User's Manual

32

RH850/E1M-S2

ユーザーズマニュアル　ハードウェア編

ルネサスマイクロコントローラ
RH850 ファミリ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.10　2017.10

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。

   当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。

注 1.　本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

(1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して，VIL（MAX.）からVIH（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，VIL（MAX.）からVIH（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

(2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介して電源またはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

(3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。また，MOSデバイスを実装したボードについても同様の扱いをしてください。

(4) 初期化以前の状態：電源投入時，MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

(5) 電源投入切断順序：内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

(6) 電源OFF時における入力信号：当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

このマニュアルの使い方

1.　目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RH850/E1x グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性		
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 注：周辺機能の使用方法はアプリケーションノートを参照してください。	RH850/E1M-S2 ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明		
アプリケーションノート	周辺機能の使用方法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法		
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2.　数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後ろにレジスタ、ビット、端子を付けて区別します。

（例）　ABC レジスタの CDF ビット
　　PA01 端子、VCC 端子

(2) 数字の表記

2 進数は nnnnB（明らかに 2 進数と判断できる場合は B を省略）、16 進数は nnnnH、10 進数は nnnn で表します。

（例）　2 進数：11B または 11
　　16 進数：EFA0H
　　10 進数：1234

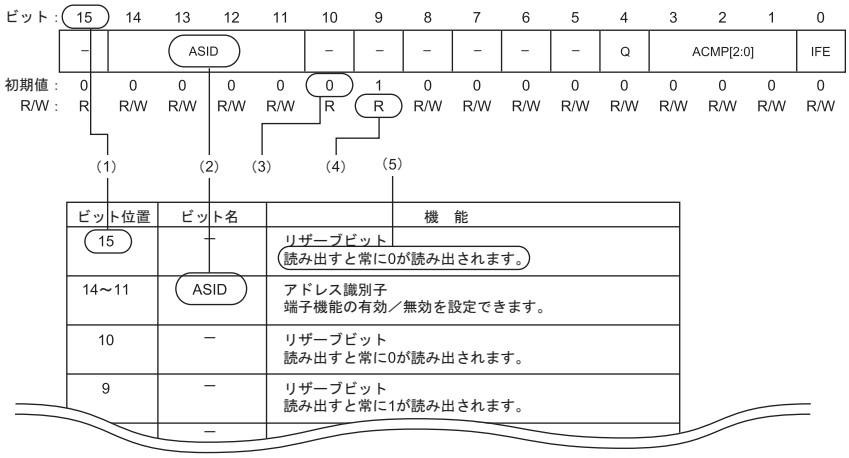
(3) ローアクティブの表記

ローアクティブの信号にはオーバーバーを付けています。

（例）　$\overline{\text{ABCDEF}}$

3.　レジスタの表記

各レジスタの説明には、ビットの並びを示す図とビットに設定する内容を説明する表があります。
下記にその例を示します。



【注】　上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

(1) ビット位置

ビット番号を示します。
32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に、8ビットレジスタの場合は7から0の順に示します。

(2) ビット名

レジスタのビット名またはフィールド名を示します。
フィールドでビット桁数を明示する必要があるときは、ABCD[3:0]のように桁数の表記を追加します。
また、リザーブビットの場合は「—」と表記します。
ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) リセット後の値

各ビットのリセット後の値を示します。

0：　リセット後の値は0であることを示します。
1：　リセット後の値は1であることを示します。
—：　リセット後の値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であるかを示します。

R/W：　読み出しおよび書き込みが可能なビットまたはフィールドです。
R：　読み出しが可能なビットまたはフィールドです。
ただし、リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、ビット表で指定された値またはリセット後の値を書き込んでください。
リザーブビットではないR属性ビットが混在するライト可能なレジスタにライトする場合、指定が無い限りR属性ビットへの書き込みは無視されます。
W：　書き込みが可能なビットまたはフィールドです。
ただし、読み出すときの値は、ビット表に記載してある場合以外は保証されません。

(5) 機能

ビットの機能について説明しています。

すべての商標および登録商標は、それぞれの所有者に帰属します。

目　次

第 1 章　概要 54

1.1　概説 54

1.2　特長 56

1.3　応用分野 60

1.4　オーダ情報 60

1.5　端子接続図（Top View） 61

1.6　機能ブロック構成 76

第 2 章　端子 77

2.1　ポート機能 77

2.1.1　特長 77

2.1.2　概説 77

2.1.2.1　用語 77

2.1.2.2　端子機能概要 78

2.1.2.3　端子データ入力 / 出力 80

2.1.3　ポートタイプ 82

2.1.4　ポートグループコンフィグレーションレジスタ 84

2.1.4.1　概要 84

2.1.4.2　端子機能の設定 85

2.1.4.3　端子データ入力／出力 92

2.1.4.4　電気的特性の設定 97

2.1.4.5　ポートレジスタ保護 100

2.1.4.6　端子単位のレジスタ 102

2.1.4.7　ポート設定のフロー例 104

2.1.5　機能選択 108

2.1.5.1　兼用機能使用時のレジスタ設定 108

2.1.5.2　直接 I/O 制御兼用モードで使用する兼用機能 108

2.1.5.3　ERROROUT_C 端子の設定 109

2.1.5.4　アナログ入力端子使用時のレジスタ設定 109

2.1.5.5　LVDS バッファ使用時のレジスタ設定 109

2.1.5.6　JTAG ポートの機能選択 110

2.2　ポートグループ構成 111

2.2.1　BGA304、BGA252 ポート機能 111

2.2.1.1　BGA304、BGA252 ポートレジスター覧 111

2.2.1.2　BGA304、BGA252 端子兼用機能一覧 126

2.3　DNF 135

2.3.1　ノイズ除去例 135

2.3.2　周辺機能 DNF 136

2.3.2.1　機能概要 136

2.3.2.2　制御レジスタ詳細 136

2.3.2.3　DNFP01nCTLm — デジタルノイズ除去コントロールレジスタ 137

2.3.2.4　周辺機能 DNF の設定手順 137

2.3.2.5　DNF 挿入対象の周辺機能端子 138

2.3.3　エッジ検出 DNF 139

2.3.3.1　機能概要 139

2.3.3.2　制御レジスタ詳細 139

2.3.3.3　DNFP02nCTL — デジタルノイズ除去コントロールレジスタ 140

2.3.3.4　DNFP02nEDCm — エッジ検出制御レジスタ 141

2.3.3.5　DNFP02nEDFm — エッジ検出フラグレジスタ 142

2.3.3.6　エッジ検出 DNF の設定手順 142

2.3.3.7 DNF 挿入対象の Pn_m 端子 143
2.4 POD 制御 145
2.4.1 機能概要 145
2.5 端子説明 148
2.5.1 概要 148
2.5.2 端子機能一覧 148
2.5.3 端子状態 164
2.5.4 未使用端子の処理 167

第 3 章 CPU システム 170
3.1 概要 170
3.1.1 ブロック構成 170
3.2 CPU 172
3.2.1 コア機能 172
3.2.1.1 特長 172
3.2.1.2 レジスタセット 173
3.2.2 命令キャッシュ、データバッファ 212
3.2.2.1 特長 212
3.2.2.2 命令キャッシュ機能 213
3.2.2.3 データバッファ機能 214
3.2.3 プロセッサ間割り込み 215
3.2.3.1 プロセッサ間割り込み制御レジスタ 215
3.2.4 信頼性機能 217
3.2.4.1 PE ガード機能（PEG） 217
3.2.4.2 PE 内部周辺装置保護機能（IPG） 225
3.2.4.3 システムエラー通知制御機能（SEG） 233
3.2.4.4 Checker Core 240
3.3 PCU 241
3.3.1 コア機能 241
3.3.1.1 特長 241
3.3.1.2 レジスタセット 242
3.3.2 プロセッサ間割り込み 275
3.3.3 信頼性機能 276
3.3.3.1 システムエラー通知制御機能（SEG） 276
3.4 CPU 間機能 280
3.4.1 プロセッサエレメント識別子 280
3.4.2 プロセッサ間割り込み機能 280
3.4.3 排他制御 281
3.4.3.1 排他制御用レジスタ（MEV） 281
3.4.3.2 LDL.W/STC.W 命令の動作 282
3.5 使用上の注意 283
3.5.1 ストア命令の完了と後続命令の同期化 283
3.5.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合 283
3.5.1.2 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合 283
3.5.1.3 Code Flash の領域を切り替える場合 284
3.5.1.4 ストア命令による更新完了を SYNCM 命令で待ち合わせる場合 284
3.5.2 ビット操作命令でのレジスタ・アクセス 284
3.5.3 CodeFlash 書き換え後のコヒーレンシ確保 285

3.5.4 多重例外受け付け時のコンテキストの上書き 285
3.5.5 プリフェッチに関する注意事項 285
3.5.6 ビット操作命令のブロッキング動作設定について 287

第 4 章 アドレス空間 288
4.1 アドレス空間 288
4.2 各バスマスタから見たアドレス空間 289
4.2.1 命令フェッチ可能空間 289
4.2.2 CPU1 によるデータアクセス可能空間 289
4.2.3 PCU によるデータアクセス可能空間 289
4.2.4 DMA（DMAC、DTS）によるデータアクセス可能空間 289
4.2.5 H-Bus によるデータアクセス可能空間 289
4.3 Code Flash 291
4.3.1 ユーザ領域に対する並列アクセスについて 291
4.4 Global RAM と Retention RAM 292

第 5 章 動作モード 293
5.1 特徴 293
5.2 動作モード 293
5.2.1 ユーザブートモード 293
5.2.2 シリアルプログラミングモード 293
5.2.3 バウンダリスキャンモード 293

第 6 章 割り込み 294
6.1 概要 294
6.2 レジスタ仕様 296
6.2.1 レジスタ構成 296
6.2.2 EIC0 ～ EIC511 — EI レベル割り込み制御レジスタ 0 ～ 511 298
6.2.3 IMR0 ～ IMR15 — EI レベル割り込みマスクレジスタ 0 ～ 15 300
6.2.4 EIBD0 ～ EIBD511 — EI レベル割り込みバインドレジスタ 0 ～ 511 301
6.2.5 NMICTL — NMI 割り込みコントロールレジスタ 302
6.2.6 EXINTCTL — 外部割り込みコントロールレジスタ 303
6.2.7 EXINTSTR — 外部割り込みステータスレジスタ 304
6.2.8 EXINTSTC — 外部割り込みステータスクリアレジスタ 305
6.2.9 SINTR0 ～ SINTR3 — ソフトウェア割り込みレジスタ 306
6.2.10 PINT0 ～ PINT7、PINTCLR0 ～ PINTCLR7 — 周辺割り込みステータスレジスタ、周辺割り込みステータスクリアレジスタ 307
6.2.11 TIMER — タイマインタラプトマスクイネーブルレジスタ 311
6.3 割り込み要因 313
6.3.1 NMI 割り込み 313
6.3.2 IRQ 割り込み 313
6.3.3 ECM 割り込み 313
6.3.4 プロセッサ間割り込み 313
6.3.5 ソフトウェア割り込み 314
6.3.6 内蔵周辺モジュール割り込み 314

6.4 割り込み例外ハンドラと優先順位動作説明 315
6.5 動作説明 330
6.5.1 外部割り込み（NMI/IRQ） 330
6.5.2 プロセッサ間割り込み 330
6.5.3 ソフトウェア割り込み 330
6.5.4 DTS 割り込みのマージ機能 330
6.5.5 ATU-IV/TSG2 マージ機能 331
6.5.6 割り込み処理フロー 332
6.5.6.1 NMI 処理フロー 332
6.5.6.2 外部割り込み処理フロー 333
6.5.6.3 プロセッサ間割り込みフロー 334
6.5.6.4 ソフトウェア割り込み処理フロー 335
6.5.6.5 DTS 割り込み処理フロー 336
6.6 割り込み応答時間 338
6.7 割り込み要求信号によるデータ転送 339

第 7 章 DMA 340
7.1 概要 340
7.1.1 概要 340
7.1.2 語句の定義 340
7.2 DMA 機能 341
7.2.1 DMA 転送基本動作 341
7.2.1.1 転送モード 341
7.2.1.2 DMA サイクルの実行 341
7.2.1.3 転送情報の更新 341
7.2.1.4 最終転送とアドレスリロード転送 342
7.2.1.5 転送完了割り込み、転送回数一致割り込み出力 343
7.2.1.6 連続転送 344
7.2.2 チャネルの優先順位 346
7.2.2.1 DMAC チャネルアービトレーション 346
7.2.2.2 DTS チャネルアービトレーション 347
7.2.2.3 インタフェースアービトレーション 348
7.2.3 リロード機能 349
7.2.3.1 リロード機能の概要 349
7.2.3.2 リロード機能 1 の動作 349
7.2.3.3 リロード機能 2 350
7.2.3.4 DMAC のリロードレジスタ設定タイミング 352
7.2.3.5 DTS のリロード情報設定タイミング 352
7.2.4 チェイン機能 353
7.2.4.1 概要 353
7.2.4.2 チェイン動作の設定方法 354
7.2.4.3 チェイン機能使用時の注意 354
7.2.5 DMAC 動作 355
7.2.5.1 DMA 転送要求の種類と割り当て 355
7.2.5.2 ソフトウェア DMA 転送要求の発生と受け付け 355
7.2.6 DTS 動作 356
7.2.6.1 DMA 転送要求の種類と割り当て 356
7.2.6.2 DMA 転送要求の発生と受け付け 356
7.2.6.3 DMA 転送の実行 356
7.2.6.4 DTSRAM アクセス 357
7.3 一時中断・再開、転送中止および DMA 転送要求のクリア 358

7.3.1 ソフトウェア制御による DMA 一時中断・再開 358
7.3.2 DMAC チャネルの一時中断・再開および転送中止 358
7.3.3 DTS の一時中断・再開および転送中止 359
7.3.4 DTFR のハードウェア DMA 転送要求マスクおよびクリア 361
7.3.5 DTSFSL の DMA 転送要求マスクおよびクリア 361
7.3.6 一時中断・再開・転送中止機能一覧 362
7.4 エラー制御 363
7.4.1 エラーの種類 363
7.4.2 DMA 転送エラー 363
7.4.2.1 DMAC の DMA 転送エラー発生時の動作 363
7.4.2.2 DTS の DMA 転送エラー発生時の動作 364
7.4.3 DTSRAM エラー 364
7.5 信頼性機能 365
7.5.1 概要 365
7.5.2 レジスタアクセス保護機能 365
7.5.2.1 アクセス元マスタの識別 365
7.5.2.2 マスタアクセス 365
7.5.2.3 チャネル割り当て 365
7.5.2.4 違反アクセス 366
7.5.3 マスタ情報継承機能 367
7.5.4 その他の信頼性機能 367
7.5.4.1 チェイン先の制限 367
7.6 DMA 転送の設定手順 368
7.6.1 DMA 設定手順概要 368
7.6.2 DMA 全体動作設定手順 370
7.6.3 DMA チャネル設定手順 371
7.6.3.1 DMAC チャネル設定手順 371
7.6.3.2 DTS チャネル設定手順 372
7.7 DMA トリガ要因 373
7.7.1 DMA トリガ要因一覧 373
7.8 DTS トリガ要因 377
7.8.1 DTS トリガ要因一覧 377
7.9 グローバルレジスタ 381
7.9.1 グローバルレジスタアドレス一覧 381
7.9.2 グローバルレジスタ詳細 383
7.9.2.1 DMACTL — DMA 制御レジスタ 383
7.9.2.2 DTSCTL1 — DTS 制御レジスタ 1 384
7.9.2.3 DTSCTL2 — DTS 制御レジスタ 2 385
7.9.2.4 DTSSTS — DTS 状態レジスタ 386
7.9.2.5 DMACER — DMAC エラーレジスタ 387
7.9.2.6 DTSER1 — DTS エラーレジスタ 1 388
7.9.2.7 DTSER2 — DTS エラーレジスタ 2 389
7.9.2.8 DTSERC — DTS エラークリアレジスタ 391
7.9.2.9 DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ 392
7.9.2.10 DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ 393
7.9.2.11 DTSCMV — DTS レジスタアクセス保護違反レジスタ 394
7.9.2.12 CMVC — レジスタアクセス保護違反クリアレジスタ 395
7.9.2.13 DTSPRn — DTS チャネル優先度設定レジスタ (n = 0 ～ 7) 396
7.9.2.14 DTRECCTL — DTSRAM ECC コントロールレジスタ 400

7.9.2.15 DTRERINT — DTSRAM エラー通知コントロールレジスタ 401
7.9.2.16 DTRTSCTL — DTSRAM テストコントロールレジスタ 402
7.9.2.17 DTRTWDAT — DTSRAM テスト書き込みデータレジスタ 403
7.9.2.18 DTRTRDAT — DTSRAM テスト読み出しデータレジスタ 404
7.9.2.19 DMnnCM — DMAC チャネルマスタ設定 レジスタ (nn = 00 ～ 07、10 ～ 17) 405
7.9.2.20 DTSnnnCM — DTS チャネルマスタ設定レジスタ (nnn = 000 ～ 127) 406
7.10 DMAC チャネルレジスタ 408
7.10.1 DMAC チャネルレジスタアドレス 408
7.10.2 DMAC チャネルレジスタ詳細 409
7.10.2.1 DSAn — DMAC ソースアドレスレジスタ 409
7.10.2.2 DDAn — DMAC ディスティネーションアドレスレジスタ 410
7.10.2.3 DTCn — DMAC 転送回数レジスタ 411
7.10.2.4 DTCTn — DMAC 転送制御レジスタ 412
7.10.2.5 DRSAn — DMAC リロードソースアドレスレジスタ 415
7.10.2.6 DRDAn — DMAC リロードディスティネーションアドレスレジスタ 416
7.10.2.7 DRTCn — DMAC リロード転送回数レジスタ 417
7.10.2.8 DTCCn — DMAC 転送回数コンペアレジスタ 418
7.10.2.9 DCENn — DMAC チャネル動作有効設定レジスタ 419
7.10.2.10 DCSTn — DMAC 転送ステータスレジスタ 420
7.10.2.11 DCSTSn — DMAC 転送ステータスセットレジスタ 422
7.10.2.12 DCSTCn — DMAC 転送ステータスクリアレジスタ 423
7.10.2.13 DTFRn — DTFR 設定レジスタ 424
7.10.2.14 DTFRRQn — DTFR 転送要求ステータスレジスタ 425
7.10.2.15 DTFRRQCn — DTFR 転送要求クリアレジスタ 426
7.11 DTS チャネルレジスタ 427
7.11.1 DTS の転送情報（TI） 427
7.11.1.1 TI 構成 427
7.11.1.2 DTSRAM 内の TI 配置 428
7.11.1.3 TI へのアクセス方法 429
7.11.1.4 TI アクセスの際の注意点 429
7.11.2 DTS チャネルレジスタアドレス 430
7.11.3 DTS チャネルレジスタ詳細 431
7.11.3.1 DTSAnnn — DTS ソースアドレスレジスタ 431
7.11.3.2 DTDAnnn — DTS ディスティネーションアドレスレジスタ 432
7.11.3.3 DTTCnnn — DTS 転送回数レジスタ 433
7.11.3.4 DTTCTnnn — DTS 転送制御レジスタ 434
7.11.3.5 DTRSAnnn — DTS リロードソースアドレスレジスタ 437
7.11.3.6 DTRDAnnn — DTS リロードディスティネーションアドレスレジスタ 438
7.11.3.7 DTRTCnnn — DTS リロード転送回数レジスタ 439
7.11.3.8 DTTCCnnn — DTS 転送回数コンペアレジスタ 440
7.11.3.9 DTFSLnnn — DTSFSL 動作設定レジスタ 441
7.11.3.10 DTFSTnnn — DTSFSL 転送要求ステータスレジスタ 442
7.11.3.11 DTFSSnnn — DTSFSL 転送要求セットレジスタ 443
7.11.3.12 DTFSCnnn — DTSFSL 転送要求クリアレジスタ 444

第 8 章 リセット 445
8.1 特長 445
8.2 リセット状態 446
8.2.1 外部リセット状態 446
8.2.2 内部リセット状態 446
8.3 リセット要因 447
8.4 レジスタ仕様 448

8.4.1 レジスター覧 448
8.4.2 RESF — リセット要因判定レジスタ 449
8.4.3 RESFC — リセット要因クリアレジスタ 450
8.4.4 POF — パワーオンクリアフラグレジスタ 451
8.4.5 POFC — パワーオンクリアフラグクリアレジスタ 452
8.4.6 SWRESA — ソフトウェアリセット要求レジスタ 453
8.5 ソフトウェアリセット 455
8.6 RAM 保持 455
8.7 使用上の注意 455

第 9 章 電源回路 456
9.1 特長 456
9.2 電源 IC の接続例 457
9.3 電源投入シーケンス 458
9.4 使用上の注意 458
9.5 EPT 基板実装ガイド 459
9.5.1 BGA の場合 459
9.5.2 参考情報 460

第 10 章 電源電圧モニタ 461
10.1 特長 461
10.2 構成 461
10.3 レジスタ仕様 462
10.3.1 DETFLG — CVM 検出フラグレジスタ 463
10.3.2 DETFLGC — CVM 検出フラグクリアレジスタ 464
10.3.3 VSCTL — CVM 制御レジスタ 465
10.3.4 HDETCTL — 上限電圧設定レジスタ 466
10.3.5 LDETCTL — 下限電圧設定レジスタ 467
10.3.6 VSDETFCTL — 検出信号フィルタ制御レジスタ 468
10.4 使用方法 469
10.5 使用上の注意 471

第 11 章 クロックコントローラ 472
11.1 特長 472
11.2 クロック種類 473
11.3 入出力端子 475
11.3.1 水晶発振子の接続方法 475
11.4 レジスタ仕様 476
11.4.1 レジスター覧 476
11.4.2 PLL0CLKS — PLL0 ステータスレジスタ 477
11.4.3 PLL0CLKC1 — PLL0 制御レジスタ 1 478
11.4.4 CKSC0CTL — クロック 0 選択制御レジスタ 480
11.4.5 CKSC0ACT — クロック 0 選択アクティブレジスタ 481
11.4.6 CLKD0DIV — クロック 0 分周レジスタ 482

11.4.7 CLKD0STAT — クロック 0 分周ステータスレジスタ 483
11.4.8 CKSC1CTL — クロック 1 選択制御レジスタ 484
11.4.9 CKSC1ACT — クロック 1 選択アクティブレジスタ 485
11.4.10 PROT1PHCMD — プロテクト 1 コマンドレジスタ 486
11.4.11 PROT1PS — プロテクト 1 ステータスレジスタ 488
11.5 動作説明 489
11.5.1 分周機能使用時の動作説明 489
11.6 注意事項 492
11.6.1 ボード設計上の注意 492
11.7 ASIC クロック 493
11.7.1 特長 493
11.7.2 構成 493
11.7.3 レジスタ仕様 494
11.7.3.1 ACK0CKC — クロックコントロールレジスタ 495
11.7.3.2 ACK0CKCFLG — CKC フラグレジスタ 496
11.7.3.3 ACK0CKCTL — クロック選択レジスタ 497
11.7.3.4 ACK0BRGA0CMP — BRGA0 コンペアレジスタ 498
11.7.3.5 ACK0CKCPCMD — CKC プロテクトコマンドレジスタ 499
11.7.3.6 ACK0CKCPS — CKC プロテクトステータスレジスタ 501
11.7.4 使用方法 502
11.7.4.1 CK 端子出力機能 502
11.7.4.2 CK 出力用ボーレートジェネレータ回路（BRGA） 502
11.7.4.3 制御レジスタ書き換えプロテクト 503
11.7.4.4 CK 出力切り替え手順 504

第 12 章 スタンバイコントローラ 506
12.1 特徴 506
12.1.1 低消費電力モードの種類 506
12.2 動作説明 507
12.2.1 電源遮断スタンバイモード 507
12.2.2 モジュールスタンバイ機能 507
12.3 レジスタ仕様 508
12.3.1 レジスター覧 508
12.3.2 EPTCNT — EPT 制御レジスタ 509
12.3.3 PROT0PHCMD — 保護コマンドレジスタ 510
12.3.4 PROT0PS — 保護コマンドステータスレジスタ 512
12.3.5 モジュールスタンバイレジスタ 513
12.3.5.1 MSRTSG — モジュールスタンバイレジスタ - TSG2 513
12.3.5.2 MSRTAPA — モジュールスタンバイレジスタ - TAPA 514
12.3.5.3 MSROSTM — モジュールスタンバイレジスタ - OSTM 515
12.3.5.4 MSRWDTA — モジュールスタンバイレジスタ - WDTA 516
12.3.5.5 MSRPIC — モジュールスタンバイレジスタ - PIC 516
12.3.5.6 MSRRCAN — モジュールスタンバイレジスタ - RS-CANFD 517
12.3.5.7 MSRFRAY — モジュールスタンバイレジスタ - FlexRay 517
12.3.5.8 MSRRLIN — モジュールスタンバイレジスタ - RLIN2 518
12.3.5.9 MSRSCI — モジュールスタンバイレジスタ - SCI3 519
12.3.5.10 MSRCSIH — モジュールスタンバイレジスタ - CSIH 520
12.3.5.11 MSRSAD — モジュールスタンバイレジスタ - SAR-AD 521
12.3.5.12 MSRDAD — モジュールスタンバイレジスタ - ΔΣAD 522

12.3.5.13 MSRATU — モジュールスタンバイレジスタ - ATU-IV 522
12.3.5.14 MSRAPA — モジュールスタンバイレジスタ - APA 523
12.3.5.15 MSRDFE — モジュールスタンバイレジスタ - DFE 523
12.3.5.16 MSRRHSB — モジュールスタンバイレジスタ - RHSB 524
12.3.5.17 MSRRSENT — モジュールスタンバイレジスタ - RSENT 525
12.3.6 MSRPCMD — MSR プロテクトコマンドレジスタ 526
12.3.7 MSRPS — MSR プロテクトステータスレジスタ 528

第 13 章 クロック同期シリアルインタフェース H（CSIH）..... 529

13.1 CSIH の特長 529
13.2 端子の組み合わせの注意事項 531
13.3 機能の概要 532
13.4 注意事項の一覧 534
13.5 機能の説明 536
13.5.1 動作モード（マスタ／スレーブ）..... 537
13.5.2 マスタ／スレーブの接続 539
13.5.3 チップセレクト（CS）機能 541
13.5.4 チップセレクトのタイミングの詳細 545
13.5.5 送信クロックの選択 548
13.5.6 データ転送モード 550
13.5.7 データ長の選択 551
13.5.8 シリアルデータ方向の選択 555
13.5.9 スレーブモードでの通信 556
13.5.10 CSIH の割り込み要求 559
13.5.11 ハンドシェイク機能 566
13.5.12 エラー検出 568
13.5.13 ループバックモード 572
13.5.14 強制 CS アイドル設定 573
13.6 CSIH 制御レジスタ 574
13.6.1 CSIHnCTL0 — CSIH 制御レジスタ 0 575
13.6.2 CSIHnCTL1 — CSIH 制御レジスタ 1 576
13.6.3 CSIHnCTL2 — CSIH 制御レジスタ 2 579
13.6.4 CSIHnSTR0 — CSIH ステータスレジスタ 0 581
13.6.5 CSIHnSTCR0 — CSIH ステータスクリアレジスタ 0 583
13.6.6 CSIHnCFGx — CSIH コンフィグレーションレジスタ x 584
13.6.7 CSIHnTX0W — CSIH ワードアクセス用送信データレジスタ 0 589
13.6.8 CSIHnTX0H — CSIH ハーフワードアクセス用送信データレジスタ 0 591
13.6.9 CSIHnRX0W — CSIH ワードアクセス用受信データレジスタ 0 592
13.6.10 CSIHnRX0H — CSIH ハーフワードアクセス用受信データレジスタ 0 593
13.6.11 CSIHnBRSi — CSIHn ボーレート設定レジスタ i 594
13.7 操作手順 595
13.7.1 ダイレクトアクセスモードでの手順 595

第 14 章 シリアルコミュニケーションインタフェース 3（SCI3）..... 599

14.1 概要 599
14.1.1 SCI3 の特長 599

14.1.2 機能の概要 599
14.1.3 シリアル通信方式 600
14.1.4 ブロック図 601
14.2 入出力端子 602
14.3 レジスタの説明 603
14.3.1 SCI3nRSR — レシーブシフトレジスタ 604
14.3.2 SCI3nRDR — レシーブデータレジスタ 604
14.3.3 SCI3nTDR — トランスミットデータレジスタ 604
14.3.4 SCI3nTSR — トランスミットシフトレジスタ 604
14.3.5 SCI3nSMR — シリアルモードレジスタ 605
14.3.6 SCI3nSCR — シリアルコントロールレジスタ 606
14.3.7 SCI3nSSR — シリアルステータスレジスタ 608
14.3.8 SCI3nSCMR — シリアル通信フォーマットレジスタ 610
14.3.9 SCI3nSEMR — シリアル拡張モードレジスタ 611
14.3.10 SCI3nBRR — ビットレートレジスタ 612
14.3.11 SCI3nMDDR — モジュレーションデューティレジスタ 615
14.4 調歩同期式モードの動作 616
14.4.1 送受信フォーマット 617
14.4.2 受信データサンプリングタイミングと受信マージン 618
14.4.3 クロック 619
14.4.4 倍速動作 619
14.4.5 SCI3 の初期化（調歩同期式） 620
14.4.6 シリアルデータ送信（調歩同期式） 621
14.4.7 シリアルデータ受信（調歩同期式） 624
14.5 マルチプロセッサ通信機能 628
14.5.1 概要と接続例 628
14.5.2 マルチプロセッサシリアルデータ送信 629
14.5.3 マルチプロセッサシリアルデータ受信 630
14.6 クロック同期式モードの動作 634
14.6.1 クロック 634
14.6.2 SCI3 の初期化（クロック同期式） 635
14.6.3 シリアルデータ送信（クロック同期式） 636
14.6.4 シリアルデータ受信（クロック同期式） 639
14.6.5 シリアルデータ送受信同時動作（クロック同期式） 641
14.7 ビットレートモジュレーション機能 643
14.8 割り込み要因 644
14.9 使用上の注意事項 645
14.9.1 ブレークの検出と処理 645
14.9.2 マーク状態とブレーク送出 645
14.9.3 クロック同期式モードの受信エラーフラグと送信動作 645
14.9.4 SCI3nTDR へのライトと TDRE フラグの関係 645
14.9.5 クロック同期式モード送信での外部クロック使用の制約事項 646
14.9.6 クロック同期式モードの外部クロック入力 646

第 15 章　LIN マスタインタフェース（RLIN2）..... 647
15.1　RLIN2 の特長..... 647
15.1.1　ユニット数とチャネル数..... 647
15.1.2　レジスタベースアドレス..... 647
15.1.3　クロック供給..... 648
15.1.4　割り込み要求..... 648
15.1.5　リセット要因..... 648
15.1.6　外部入出力信号..... 648
15.2　機能..... 649
15.2.1　機能概要..... 649
15.2.2　ブロック図..... 650
15.3　レジスタ..... 651
15.3.1　レジスター覧..... 651
15.3.2　グローバルレジスタ..... 652
15.3.2.1　RLN21nGLWBR — LIN ウエイクアップボーレート選択レジスタ..... 652
15.3.2.2　RLN21nGLBRP0 — LIN ボーレートプリスケーラ 0 レジスタ..... 653
15.3.2.3　RLN21nGLBRP1 — LIN ボーレートプリスケーラ 1 レジスタ..... 654
15.3.2.4　RLN21nGLSTC — LIN セルフテスト制御レジスタ..... 655
15.3.3　チャネルレジスタ..... 656
15.3.3.1　RLN21nmLiMD — LIN モードレジスタ..... 656
15.3.3.2　RLN21nmLiBFC — LIN ブレークフィールド設定レジスタ..... 657
15.3.3.3　RLN21nmLiSC — LIN スペース設定レジスタ..... 658
15.3.3.4　RLN21nmLiWUP — LIN ウェイクアップ設定レジスタ..... 659
15.3.3.5　RLN21nmLiIE — LIN 割り込み許可レジスタ..... 660
15.3.3.6　RLN21nmLiEDE — LIN エラー検出許可レジスタ..... 661
15.3.3.7　RLN21nmLiCUC — LIN 制御レジスタ..... 663
15.3.3.8　RLN21nmLiTRC — LIN 送信制御レジスタ..... 664
15.3.3.9　RLN21nmLiMST — LIN モードステータスレジスタ..... 665
15.3.3.10　RLN21nmLiST — LIN ステータスレジスタ..... 666
15.3.3.11　RLN21nmLiEST — LIN エラーステータスレジスタ..... 668
15.3.3.12　RLN21nmLiDFC — LIN データフィールド設定レジスタ..... 670
15.3.3.13　RLN21nmLiIDB — LIN ID バッファレジスタ..... 672
15.3.3.14　RLN21nmLiCBR — LIN チェックサムバッファレジスタ..... 673
15.3.3.15　RLN21nmLiDBRb — LIN データバッファ b レジスタ..... 674
15.4　割り込み要因..... 675
15.5　モード..... 676
15.6　LIN リセットモード..... 678
15.7　LIN 動作モード..... 679
15.8　LIN ウェイクアップモード..... 679
15.9　ヘッダ送信／レスポンス送信／レスポンス受信..... 680
15.9.1　ヘッダ送信..... 680
15.9.2　レスポンス送信..... 681
15.9.3　レスポンス受信..... 682
15.10　データ送信／受信..... 683
15.10.1　データ送信..... 683
15.10.2　データ受信..... 684
15.11　送信／受信データのバッファ処理..... 685
15.11.1　LIN フレームの送信..... 685

15.11.2 LIN フレームの受信 686
15.12 ウェイクアップ送信／受信 687
15.12.1 ウェイクアップ送信動作 687
15.12.2 ウェイクアップ受信動作 688
15.12.3 ウェイクアップ衝突 688
15.13 ステータス 689
15.14 エラーステータス 690
15.14.1 エラーステータスの種類 690
15.14.2 エラー検出の対象時間領域 691
15.15 LIN セルフテストモード 692
15.15.1 LIN セルフテストモードへの移行 693
15.15.2 LIN セルフテストモードにおける送信 694
15.15.3 LIN セルフテストモードにおける受信 695
15.15.4 LIN セルフテストモード終了 696
15.16 ボーレートジェネレータ 697

第 16 章 CANFD インタフェース（RS-CANFD） 699
16.1 RH850/E1M-S2 RS-CANFD の特長 699
16.1.1 ユニット数とチャネル数 699
16.1.2 レジスタベースアドレス 701
16.1.3 クロック供給 701
16.1.4 割り込み要求 702
16.1.5 リセット要因 702
16.1.6 外部入出力信号 702
16.2 概要 703
16.2.1 機能概要 703
16.2.2 インタフェースモード 705
16.2.3 CAN FD プロトコル切り替え 705
16.2.4 ブロック図 706
16.3 レジスタ（クラシカル CAN モード） 707
16.3.1 レジスター覧 707
16.3.2 インタフェースモード関連レジスタの詳細 712
16.3.2.1 RSCANnGRMCFG — グローバルインタフェースモード選択レジスタ 712
16.3.3 チャネル関連レジスタの詳細 713
16.3.3.1 RSCANnCmCFG — チャネルコンフィグレーションレジスタ（m = 0 ～ 3） 713
16.3.3.2 RSCANnCmCTR — チャネル制御レジスタ（m = 0 ～ 3） 715
16.3.3.3 RSCANnCmSTS — チャネルステータスレジスタ（m = 0 ～ 3） 720
16.3.3.4 RSCANnCmERFL — チャネルエラーフラグレジスタ（m = 0 ～ 3） 722
16.3.4 グローバル関連レジスタの詳細 726
16.3.4.1 RSCANnGCFG — グローバルコンフィグレーションレジスタ 726
16.3.4.2 RSCANnGCTR — グローバル制御レジスタ 729
16.3.4.3 RSCANnGSTS — グローバルステータスレジスタ 731
16.3.4.4 RSCANnGERFL — グローバルエラーフラグレジスタ 733
16.3.4.5 RSCANnGTSC — グローバルタイムスタンプカウンタレジスタ 735
16.3.4.6 RSCANnGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0 736
16.3.4.7 RSCANnGFDCFG — グローバル FD コンフィグレーションレジスタ 739
16.3.5 受信ルール関連レジスタの詳細 740

16.3.5.1 RSCANnGAFLECTR — 受信ルールエントリ制御レジスタ 740
16.3.5.2 RSCANnGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0 741
16.3.5.3 RSCANnGAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15）..... 743
16.3.5.4 RSCANnGAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）..... 745
16.3.5.5 RSCANnGAFLP0_j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）..... 747
16.3.5.6 RSCANnGAFLP1_j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）..... 749
16.3.6 受信バッファ関連レジスタの詳細 750
16.3.6.1 RSCANnRMNB — 受信バッファナンバレジスタ 750
16.3.6.2 RSCANnRMNDy — 受信バッファ新データレジスタ（y = 0、1）..... 751
16.3.6.3 RSCANnRMIDq — 受信バッファ ID レジスタ（q = 0 ～ 63）..... 752
16.3.6.4 RSCANnRMPTRq — 受信バッファポインタレジスタ（q = 0 ～ 63）..... 753
16.3.6.5 RSCANnRMDF0_q — 受信バッファデータフィールド 0 レジスタ（q = 0 ～ 63）..... 754
16.3.6.6 RSCANnRMDF1_q — 受信バッファデータフィールド 1 レジスタ（q = 0 ～ 63）..... 755
16.3.7 受信 FIFO バッファ関連レジスタの詳細 756
16.3.7.1 RSCANnRFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）..... 756
16.3.7.2 RSCANnRFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）..... 758
16.3.7.3 RSCANnRFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）... 760
16.3.7.4 RSCANnRFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）..... 761
16.3.7.5 RSCANnRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）..... 762
16.3.7.6 RSCANnRFDF0_x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ（x = 0 ~ 7）..... 763
16.3.7.7 RSCANnRFDF1_x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ（x = 0 ~ 7）..... 764
16.3.8 送受信 FIFO バッファ関連レジスタの詳細 765
16.3.8.1 RSCANnCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ～ 11）..... 765
16.3.8.2 RSCANnCFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ～ 11）..... 769
16.3.8.3 RSCANnCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ～ 11）..... 773
16.3.8.4 RSCANnCFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ～ 11）.... 775
16.3.8.5 RSCANnCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ～ 11）..... 777
16.3.8.6 RSCANnCFDF0_k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ（k = 0 ～ 11）..... 779
16.3.8.7 RSCANnCFDF1_k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ（k = 0 ～ 11）..... 780
16.3.9 FIFO ステータス関連レジスタの詳細 781
16.3.9.1 RSCANnFESTS — FIFO エンプティステータスレジスタ 781
16.3.9.2 RSCANnFFSTS — FIFO フルステータスレジスタ 783
16.3.9.3 RSCANnFMSTS — FIFO メッセージロストステータスレジスタ 785
16.3.9.4 RSCANnRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ 787
16.3.9.5 RSCANnCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ 788
16.3.9.6 RSCANnCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ 789
16.3.10 送信バッファ関連レジスタの詳細 790
16.3.10.1 RSCANnTMCp — 送信バッファ制御レジスタ（p = 0 ～ 63）..... 790
16.3.10.2 RSCANnTMSTSp — 送信バッファステータスレジスタ（p = 0 ～ 63）..... 792
16.3.10.3 RSCANnTMIDp — 送信バッファ ID レジスタ（p = 0 ~ 63）..... 794
16.3.10.4 RSCANnTMPTRp — 送信バッファポインタレジスタ（p = 0 ~ 63）..... 796
16.3.10.5 RSCANnTMDF0_p — 送信バッファデータフィールド 0 レジスタ（p = 0 ～ 63）..... 798
16.3.10.6 RSCANnTMDF1_p — 送信バッファデータフィールド 1 レジスタ（p = 0 ～ 63）..... 799

16.3.10.7 RSCANnTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ（y = 0、1） 800
16.3.11 送信バッファステータス関連レジスタの詳細 802
16.3.11.1 RSCANnTMTRSTSy — 送信バッファ送信要求ステータスレジスタ（y = 0、1） 802
16.3.11.2 RSCANnTMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ（y = 0、1） 804
16.3.11.3 RSCANnTMTCSTSy — 送信バッファ送信完了ステータスレジスタ（y = 0、1） 806
16.3.11.4 RSCANnTMTASTSy — 送信バッファ送信アボートステータスレジスタ（y = 0、1） 808
16.3.12 送信キュー関連レジスタの詳細 810
16.3.12.1 RSCANnTXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0 ～ 3） 810
16.3.12.2 RSCANnTXQSTSm — 送信キューステータスレジスタ（m = 0 ～ 3） 812
16.3.12.3 RSCANnTXQPCTRm — 送信キューポインタ制御レジスタ（m = 0 ～ 3） 814
16.3.13 送信履歴関連レジスタの詳細 815
16.3.13.1 RSCANnTHLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0 ～ 3） 815
16.3.13.2 RSCANnTHLSTSm — 送信履歴ステータスレジスタ（m = 0 ～ 3） 817
16.3.13.3 RSCANnTHLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0 ～ 3） 819
16.3.13.4 RSCANnTHLACCm — 送信履歴アクセスレジスタ（m = 0 ～ 3） 820
16.3.14 テスト関連レジスタの詳細 822
16.3.14.1 RSCANnGTSTCFG — グローバルテストコンフィグレーションレジスタ 822
16.3.14.2 RSCANnGTSTCTR — グローバルテスト制御レジスタ 824
16.3.14.3 RSCANnGLOCKK — グローバルロックキーレジスタ 825
16.3.14.4 RSCANnRPGACCr — RAM テストページアクセスレジスタ（r = 0 ~ 63） 826
16.4 レジスタ（CAN FD モード） 827
16.4.1 レジスター覧 827
16.4.2 インタフェースモード関連レジスタの詳細 832
16.4.2.1 RSCFDnCFDGRMCFG — グローバルインタフェースモード選択レジスタ 832
16.4.3 チャネル関連レジスタの詳細 833
16.4.3.1 RSCFDnCFDCmNCFG — チャネル通常ビットレートコンフィグレーションレジスタ（m = 0 ～ 3） 833
16.4.3.2 RSCFDnCFDCmCTR — チャネル制御レジスタ（m = 0 ～ 3） 835
16.4.3.3 RSCFDnCFDCmSTS — チャネルステータスレジスタ（m = 0 ～ 3） 841
16.4.3.4 RSCFDnCFDCmERFL — チャネルエラーフラグレジスタ（m = 0 ～ 3） 844
16.4.3.5 RSCFDnCFDCmDCFG — チャネルデータビットレートコンフィグレーションレジスタ（m = 0 ～ 3） 848
16.4.3.6 RSCFDnCFDCmFDCFG — チャネル CAN FD コンフィグレーションレジスタ（m = 0 ～ 3） 851
16.4.3.7 RSCFDnCFDCmFDCTR — チャネル CAN FD 制御レジスタ（m = 0 ～ 3） 856
16.4.3.8 RSCFDnCFDCmFDSTS — チャネル CAN FD ステータスレジスタ（m = 0 ～ 3） 857
16.4.3.9 RSCFDnCFDCmFDCRC — チャネル CAN FD CRC レジスタ（m = 0 ～ 3） 860
16.4.4 グローバル関連レジスタの詳細 861
16.4.4.1 RSCFDnCFDGCFG — グローバルコンフィグレーションレジスタ 861
16.4.4.2 RSCFDnCFDGCTR — グローバル制御レジスタ 864
16.4.4.3 RSCFDnCFDGSTS — グローバルステータスレジスタ 867
16.4.4.4 RSCFDnCFDGERFL — グローバルエラーフラグレジスタ 869
16.4.4.5 RSCFDnCFDGTSC — グローバルタイムスタンプカウンタレジスタ 871
16.4.4.6 RSCFDnCFDGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0 872
16.4.4.7 RSCFDnCFDGFDCFG — グローバル FD コンフィグレーションレジスタ 875
16.4.5 受信ルール関連レジスタの詳細 876
16.4.5.1 RSCFDnCFDGAFLECTR — 受信ルールエントリ制御レジスタ 876
16.4.5.2 RSCFDnCFDGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0 877
16.4.5.3 RSCFDnCFDGAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15） 879

16.4.5.4 RSCFDnCFDGAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）..... 881
16.4.5.5 RSCFDnCFDGAFLP0_j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）..... 883
16.4.5.6 RSCFDnCFDGAFLP1_j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）..... 885
16.4.6 受信バッファ関連レジスタの詳細..... 886
16.4.6.1 RSCFDnCFDRMNB — 受信バッファナンバレジスタ..... 886
16.4.6.2 RSCFDnCFDRMNDy — 受信バッファ新データレジスタ（y = 0、1）..... 887
16.4.6.3 RSCFDnCFDRMIDq — 受信バッファ ID レジスタ（q = 0 ～ 63）..... 888
16.4.6.4 RSCFDnCFDRMPTRq — 受信バッファポインタレジスタ（q = 0 ～ 63）..... 889
16.4.6.5 RSCFDnCFDRMFDSTSq — 受信バッファ CAN FD ステータスレジスタ（q = 0 ～ 63）..... 891
16.4.6.6 RSCFDnCFDRMDFb_q — 受信バッファデータフィールド b レジスタ（b = 0 ～ 4、q = 0 ～ 63）..... 892
16.4.7 受信 FIFO バッファ関連レジスタの詳細..... 893
16.4.7.1 RSCFDnCFDRFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）..... 893
16.4.7.2 RSCFDnCFDRFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）..... 896
16.4.7.3 RSCFDnCFDRFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）..... 898
16.4.7.4 RSCFDnCFDRFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）..... 899
16.4.7.5 RSCFDnCFDRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）..... 901
16.4.7.6 RSCFDnCFDRFFDSTSx — 受信 FIFO CAN FD ステータスレジスタ（x = 0 ~ 7）..... 903
16.4.7.7 RSCFDnCFDRFDFd_x — 受信 FIFO バッファアクセスデータフィールド d レジスタ（d = 0 ~ 15、x = 0 ~ 7）..... 904
16.4.8 送受信 FIFO バッファ関連レジスタの詳細..... 905
16.4.8.1 RSCFDnCFDCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ～ 11）..... 905
16.4.8.2 RSCFDnCFDCFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ～ 11）..... 909
16.4.8.3 RSCFDnCFDCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ～ 11）..... 913
16.4.8.4 RSCFDnCFDCFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ～ 11）..... 915
16.4.8.5 RSCFDnCFDCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ～ 11）..... 917
16.4.8.6 RSCFDnCFDCFFDCSTSk — 送受信 FIFO CAN FD コンフィグレーション／ステータスレジスタ（k = 0 ～ 11）..... 919
16.4.8.7 RSCFDnCFDCFDFd_k — 送受信 FIFO バッファアクセスデータフィールド d レジスタ（d = 0 ～ 15、k = 0 ～ 11）..... 921
16.4.9 FIFO ステータス関連レジスタの詳細..... 922
16.4.9.1 RSCFDnCFDFESTS — FIFO エンプティステータスレジスタ..... 922
16.4.9.2 RSCFDnCFDFFSTS — FIFO フルステータスレジスタ..... 924
16.4.9.3 RSCFDnCFDFMSTS — FIFO メッセージロストステータスレジスタ..... 926
16.4.9.4 RSCFDnCFDRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ..... 928
16.4.9.5 RSCFDnCFDCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ..... 929
16.4.9.6 RSCFDnCFDCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ..... 930
16.4.10 送信バッファ関連レジスタの詳細..... 931
16.4.10.1 RSCFDnCFDTMCp — 送信バッファ制御レジスタ（p = 0 ～ 63）..... 931
16.4.10.2 RSCFDnCFDTMSTSp — 送信バッファステータスレジスタ（p = 0 ～ 63）..... 933
16.4.10.3 RSCFDnCFDTMIDp — 送信バッファ ID レジスタ（p = 0 ～ 63）..... 935
16.4.10.4 RSCFDnCFDTMPTRp — 送信バッファポインタレジスタ（p = 0 ～ 63）..... 937
16.4.10.5 RSCFDnCFDTMFDCTRp — 送信バッファ CAN FD コンフィグレーションレジスタ（p = 0 ～ 63）..... 939
16.4.10.6 RSCFDnCFDTMDFb_p — 送信バッファデータフィールド b レジスタ（b = 0 ～ 4、p = 0 ～ 63）..... 941

16.4.10.7 RSCFDnCFDTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ（y = 0、1）..... 942
16.4.11 送信バッファステータス関連レジスタの詳細..... 944
16.4.11.1 RSCFDnCFDTMTRSTSy — 送信バッファ送信要求ステータスレジスタ（y = 0、1）..... 944
16.4.11.2 RSCFDnCFDTMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ（y = 0、1）..... 946
16.4.11.3 RSCFDnCFDTMTCSTSy — 送信バッファ送信完了ステータスレジスタ（y = 0、1）..... 948
16.4.11.4 RSCFDnCFDTMTASTSy — 送信バッファ送信アボートステータスレジスタ（y = 0、1）..... 950
16.4.12 送信キュー関連レジスタの詳細..... 952
16.4.12.1 RSCFDnCFDTXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0 ～ 3）..... 952
16.4.12.2 RSCFDnCFDTXQSTSm — 送信キューステータスレジスタ（m = 0 ～ 3）..... 954
16.4.12.3 RSCFDnCFDTXQPCTRm — 送信キューポインタ制御レジスタ（m = 0 ～ 3）..... 956
16.4.13 送信履歴関連レジスタの詳細..... 957
16.4.13.1 RSCFDnCFDTHLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0 ～ 3）..... 957
16.4.13.2 RSCFDnCFDTHLSTSm — 送信履歴ステータスレジスタ（m = 0 ～ 3）..... 959
16.4.13.3 RSCFDnCFDTHLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0 ～ 3）..... 961
16.4.13.4 RSCFDnCFDTHLACCm — 送信履歴アクセスレジスタ（m = 0 ～ 3）..... 962
16.4.14 テスト関連レジスタの詳細..... 963
16.4.14.1 RSCFDnCFDGTSTCFG — グローバルテストコンフィグレーションレジスタ..... 963
16.4.14.2 RSCFDnCFDGTSTCTR — グローバルテスト制御レジスタ..... 965
16.4.14.3 RSCFDnCFDGLOCKK — グローバルロックキーレジスタ..... 967
16.4.14.4 RSCFDnCFDRPGACCr — RAM テストページアクセスレジスタ（r = 0 ~ 63）..... 968
16.5 割り込み要因..... 969
16.5.1 割り込み要因..... 969
16.6 CAN モード..... 973
16.6.1 グローバルモード..... 973
16.6.1.1 グローバルストップモード..... 974
16.6.1.2 グローバルリセットモード..... 975
16.6.1.3 グローバルテストモード..... 975
16.6.1.4 グローバル動作モード..... 975
16.6.2 チャネルモード..... 976
16.6.2.1 チャネルストップモード..... 977
16.6.2.2 チャネルリセットモード..... 977
16.6.2.3 チャネル待機モード..... 977
16.6.2.4 チャネル通信モード..... 978
16.6.2.5 バスオフ状態..... 979
16.6.3 CAN モード遷移によるレジスタ初期化..... 980
16.7 受信機能..... 982
16.7.1 受信ルールテーブルを用いたデータ処理..... 982
16.7.1.1 アクセプタンスフィルタ処理..... 983
16.7.1.2 DLC フィルタ処理..... 984
16.7.1.3 ルーティング処理..... 984
16.7.1.4 ラベル付加処理..... 984
16.7.1.5 ミラー機能の処理..... 984
16.7.1.6 タイムスタンプ..... 985
16.8 送信機能..... 986
16.8.1 送信の優先順位判定..... 987
16.8.2 送信バッファを用いた送信..... 988

16.8.2.1 送信アボート機能 988
16.8.2.2 ワンショット送信機能（再送信禁止機能） 988
16.8.2.3 送信バッファマージモード（CAN FD モードのみ） 988
16.8.3 FIFO バッファによる送信 989
16.8.3.1 インターバル送信機能 989
16.8.4 送信キューによる送信 992
16.8.5 送信データパディング（CAN FD モードのみ） 992
16.8.6 送信履歴機能 993
16.9 ゲートウェイ機能 995
16.9.1 CAN-CAN FD ゲートウェイ（CAN FD モードのみ） 995
16.10 テスト機能 996
16.10.1 標準テストモード 996
16.10.2 リッスンオンリモード 996
16.10.3 セルフテストモード（ループバックモード） 997
16.10.3.1 セルフテストモード 0（外部ループバックモード） 997
16.10.3.2 セルフテストモード 1（内部ループバックモード） 998
16.10.4 制限動作モード（CAN FD モードのみ） 998
16.10.5 RAM テスト 998
16.10.6 チャネル間通信テスト 999
16.10.6.1 CRC エラーテスト 1000
16.11 RS-CANFD の設定手順 1001
16.11.1 初期設定 1001
16.11.1.1 クロックの設定 1002
16.11.1.2 ビットタイミングの設定 1002
16.11.1.3 通信速度の設定 1004
16.11.1.4 受信ルールの設定 1006
16.11.1.5 バッファの設定 1007
16.11.1.6 送信遅延補正（CAN FD モードのみ） 1010
16.11.2 受信手順 1011
16.11.2.1 受信バッファの読み出し手順 1011
16.11.2.2 FIFO バッファの読み出し手順 1013
16.11.3 送信手順 1017
16.11.3.1 送信バッファからの送信手順 1017
16.11.3.2 送受信 FIFO バッファからの送信手順 1022
16.11.3.3 送信キューからの送信手順 1025
16.11.3.4 送信履歴バッファの読み出し手順 1026
16.11.4 テスト設定 1027
16.11.4.1 セルフテストモードの設定手順 1027
16.11.4.2 プロテクト解除手順 1028
16.11.4.3 RAM テストの設定手順 1029
16.11.4.4 チャネル間通信テストの設定手順 1030
16.12 RS-CANFD モジュールの注意事項 1031

第 17 章 FlexRay 1033

17.1 FlexRay モジュール 1033
17.1.1 概要 1033
17.1.2 用語と略号 1035
17.1.3 ブロック図 1036
17.2 プログラマモデル 1039

17.2.1 レジスタマップ 1039
17.2.2 FlexRay 動作レジスタ 1042
17.2.2.1 FLXA0FROC — FlexRay 動作制御レジスタ 1042
17.2.2.2 FLXA0FROS — FlexRay 動作ステータスレジスタ 1045
17.2.3 特殊レジスタ 1048
17.2.3.1 FLXA0FRLCK — FlexRay ロックレジスタ 1048
17.2.4 割り込み関連レジスタ 1049
17.2.4.1 FLXA0FREIR — FlexRay エラー割り込みレジスタ 1049
17.2.4.2 FLXA0FRSIR — FlexRay ステータス割り込みレジスタ 1055
17.2.4.3 FLXA0FREILS — FlexRay エラー割り込み出力選択レジスタ 1061
17.2.4.4 FLXA0FRSILS — FlexRay ステータス割り込み出力選択レジスタ 1063
17.2.4.5 FLXA0FREIES — FlexRay エラー割り込み許可レジスタ 1065
17.2.4.6 FLXA0FREIER — FlexRay エラー割り込み禁止レジスタ 1067
17.2.4.7 FLXA0FRSIES — FlexRay ステータス割り込み許可レジスタ 1069
17.2.4.8 FLXA0FRSIER — FlexRay ステータス割り込み禁止レジスタ 1071
17.2.4.9 FLXA0FRILE — FlexRay 割り込み出力許可レジスタ 1073
17.2.5 FlexRay タイマレジスタ 1074
17.2.5.1 FLXA0FRT0C — FlexRay タイマ 0 設定レジスタ 1074
17.2.5.2 FLXA0FRT1C — FlexRay タイマ 1 設定レジスタ 1076
17.2.5.3 FLXA0FRT2C — FlexRay タイマ 2 設定レジスタ 1078
17.2.5.4 FLXA0FRSTPW1 — FlexRay ストップウォッチレジスタ 1 1080
17.2.5.5 FLXA0FRSTPW2 — FlexRay ストップウォッチレジスタ 2 1083
17.2.6 CC 制御レジスタ 1084
17.2.6.1 FLXA0FRSUCC1 — FlexRay SUC 設定レジスタ 1 1084
17.2.6.2 FLXA0FRSUCC2 — FlexRay SUC 設定レジスタ 2 1092
17.2.6.3 FLXA0FRSUCC3 — FlexRay SUC 設定レジスタ 3 1094
17.2.6.4 FLXA0FRNEMC — FlexRay NEM 設定レジスタ 1096
17.2.6.5 FLXA0FRPRTC1 — FlexRay PRT 設定レジスタ 1 1097
17.2.6.6 FLXA0FRPRTC2 — FlexRay PRT 設定レジスタ 2 1100
17.2.6.7 FLXA0FRMHDC — FlexRay MHD 設定レジスタ 1102
17.2.6.8 FLXA0FRGTUC1 — FlexRay GTU 設定レジスタ 1 1103
17.2.6.9 FLXA0FRGTUC2 — FlexRay GTU 設定レジスタ 2 1104
17.2.6.10 FLXA0FRGTUC3 — FlexRay GTU 設定レジスタ 3 1105
17.2.6.11 FLXA0FRGTUC4 — FlexRay GTU 設定レジスタ 4 1107
17.2.6.12 FLXA0FRGTUC5 — FlexRay GTU 設定レジスタ 5 1109
17.2.6.13 FLXA0FRGTUC6 — FlexRay GTU 設定レジスタ 6 1111
17.2.6.14 FLXA0FRGTUC7 — FlexRay GTU 設定レジスタ 7 1112
17.2.6.15 FLXA0FRGTUC8 — FlexRay GTU 設定レジスタ 8 1113
17.2.6.16 FLXA0FRGTUC9 — FlexRay GTU 設定レジスタ 9 1114
17.2.6.17 FLXA0FRGTUC10 — FlexRay GTU 設定レジスタ 10 1116
17.2.6.18 FLXA0FRGTUC11 — FlexRay GTU 設定レジスタ 11 1117
17.2.7 CC ステータスレジスタ 1119
17.2.7.1 FLXA0FRCCSV — FlexRay CC ステータスベクタレジスタ 1119
17.2.7.2 FLXA0FRCCEV — FlexRay CC エラーベクタレジスタ 1124
17.2.7.3 FLXA0FRSCV — FlexRay スロットカウンタ値レジスタ 1126
17.2.7.4 FLXA0FRMTCCV — FlexRay MT 値／サイクルカウンタ値レジスタ 1127
17.2.7.5 FLXA0FRRCV — FlexRay レート補正値レジスタ 1128
17.2.7.6 FLXA0FROCV — FlexRay オフセット補正値レジスタ 1129
17.2.7.7 FLXA0FRSFS — FlexRay Sync フレームステータスレジスタ 1130
17.2.7.8 FLXA0FRSWNIT — FlexRay シンボルウィンドウ／ NIT ステータスレジスタ 1133
17.2.7.9 FLXA0FRACS — FlexRay チャネルステータス集計レジスタ 1136
17.2.7.10 FLXA0FRESIDn — FlexRay 偶数 Sync ID レジスタ n（n = 1 ～ 15）..... 1140
17.2.7.11 FLXA0FROSIDn — FlexRay 奇数 Sync ID レジスタ n（n = 1 ～ 15）..... 1142
17.2.7.12 FLXA0FRNMVn — FlexRay ネットワーク管理ベクタレジスタ n（n = 1 ～ 3）..... 1144

17.2.8 メッセージバッファ制御レジスタ 1145
17.2.8.1 FLXA0FRMRC — FlexRay メッセージ RAM 設定レジスタ 1145
17.2.8.2 FLXA0FRFRF — FlexRay FIFO リジェクションフィルタレジスタ 1149
17.2.8.3 FLXA0FRFRFM — FlexRay FIFO リジェクションフィルタマスクレジスタ 1151
17.2.8.4 FLXA0FRFCL — FlexRay FIFO クリティカルレベルレジスタ 1152
17.2.9 メッセージバッファステータスレジスタ 1153
17.2.9.1 FLXA0FRMHDS — FlexRay メッセージハンドラステータスレジスタ 1153
17.2.9.2 FLXA0FRLDTS — FlexRay 最終ダイナミック送信スロットレジスタ 1157
17.2.9.3 FLXA0FRFSR — FlexRay FIFO ステータスレジスタ 1158
17.2.9.4 FLXA0FRMHDF — FlexRay メッセージハンドラ制限フラグレジスタ 1160
17.2.9.5 FLXA0FRTXRQi — FlexRay 送信要求レジスタ i （i = 1 ～ 4） 1164
17.2.9.6 FLXA0FRNDATi — FlexRay 新データレジスタ i（i = 1 ～ 4） 1165
17.2.9.7 FLXA0FRMBSCi — FlexRay メッセージバッファステータス変化レジスタ i （i = 1 ～ 4） 1166
17.2.10 入力バッファ 1167
17.2.10.1 FLXA0FRWRDSn — FlexRay データセクションライトレジスタ n （n = 1 ～ 64） 1168
17.2.10.2 FLXA0FRWRHS1 — FlexRay ヘッダセクションライトレジスタ 1 1169
17.2.10.3 FLXA0FRWRHS2 — FlexRay ヘッダセクションライトレジスタ 2 1172
17.2.10.4 FLXA0FRWRHS3 — FlexRay ヘッダセクションライトレジスタ 3 1173
17.2.10.5 FLXA0FRIBCM — FlexRay 入力バッファコマンドマスクレジスタ 1174
17.2.10.6 FLXA0FRIBCR — FlexRay 入力バッファコマンド要求レジスタ 1176
17.2.11 出力バッファ 1178
17.2.11.1 FLXA0FRRDDSn — FlexRay データセクションリードレジスタ n （n = 1 ～ 64） 1178
17.2.11.2 FLXA0FRRDHS1 — FlexRay ヘッダセクションリードレジスタ 1 1179
17.2.11.3 FLXA0FRRDHS2 — FlexRay ヘッダセクションリードレジスタ 2 1181
17.2.11.4 FLXA0FRRDHS3 — FlexRay ヘッダセクションリードレジスタ 3 1183
17.2.11.5 FLXA0FRMBS — FlexRay メッセージバッファステータスレジスタ 1185
17.2.11.6 FLXA0FROBCM — FlexRay 出力バッファコマンドマスクレジスタ 1191
17.2.11.7 FLXA0FROBCR — FlexRay 出力バッファコマンド要求レジスタ 1193
17.2.12 データ転送制御レジスタ 1196
17.2.12.1 FLXA0FRITC — FlexRay 入力転送設定レジスタ 1196
17.2.12.2 FLXA0FROTC — FlexRay 出力転送設定レジスタ 1199
17.2.12.3 FLXA0FRIBA — FlexRay 入力ポインタテーブルベースアドレスレジスタ 1202
17.2.12.4 FLXA0FRFBA — FlexRay FIFO ポインタテーブルベースアドレスレジスタ 1203
17.2.12.5 FLXA0FROBA — FlexRay 出力ポインタテーブルベースアドレスレジスタ 1204
17.2.12.6 FLXA0FRIQC — FlexRay 入力キュー制御レジスタ 1205
17.2.12.7 FLXA0FRUIR — FlexRay ユーザ入力転送要求レジスタ 1206
17.2.12.8 FLXA0FRUOR — FlexRay ユーザ出力転送要求レジスタ 1207
17.2.12.9 FLXA0FRAHBC — FlexRay H-Bus 設定レジスタ 1209
17.2.13 データ転送ステータスレジスタ 1210
17.2.13.1 FLXA0FRITS — FlexRay 入力転送ステータスレジスタ 1210
17.2.13.2 FLXA0FROTS — FlexRay 出力転送ステータスレジスタ 1214
17.2.13.3 FLXA0FRAES — FlexRay アクセスエラーステータスレジスタ 1220
17.2.13.4 FLXA0FRAEA — FlexRay アクセスエラーアドレスレジスタ 1223
17.2.13.5 FLXA0FRDAi — FlexRay メッセージデータ使用可能レジスタ i（i = 0 ～ 3） 1224
17.3 機能説明 1226
17.3.1 FlexRay モジュール動作制御 1226
17.3.1.1 FlexRay モジュールイネーブル 1226
17.3.1.2 FlexRay モジュールディセーブル 1227
17.3.2 通信サイクル 1229
17.3.2.1 スタティックセグメント 1230
17.3.2.2 ダイナミックセグメント 1231
17.3.2.3 シンボルウィンドウ 1231
17.3.2.4 ネットワークアイドル時間（NIT） 1231

17.3.2.5 NIT 開始位置設定、オフセット補正開始位置の設定 1232
17.3.3 通信モード 1233
17.3.3.1 タイムトリガ式分散（TT-D） 1233
17.3.4 クロック同期 1234
17.3.4.1 グローバルタイム 1234
17.3.4.2 ローカルタイム 1234
17.3.4.3 同期プロセス 1234
17.3.5 エラー処理 1236
17.3.5.1 クロック補正失敗カウンタ 1236
17.3.5.2 Passive-to-Active カウンタ 1237
17.3.5.3 HALT コマンド 1237
17.3.5.4 FREEZE コマンド 1237
17.3.6 通信コントローラの状態 1238
17.3.6.1 通信コントローラ状態遷移図 1238
17.3.6.2 DEFAULT_CONFIG 状態 1239
17.3.6.3 CONFIG 状態 1240
17.3.6.4 READY 状態 1240
17.3.6.5 WAKEUP 状態 1241
17.3.6.6 STARTUP 状態 1245
17.3.6.7 NORMAL_ACTIVE 状態 1250
17.3.6.8 NORMAL_PASSIVE 状態 1251
17.3.6.9 HALT 状態 1252
17.3.7 ネットワーク管理 1253
17.3.8 フィルタリングとマスキング 1254
17.3.8.1 スロットカウンタフィルタリング 1254
17.3.8.2 サイクルカウンタフィルタリング 1255
17.3.8.3 チャネル ID フィルタリング 1256
17.3.8.4 FIFO フィルタリング 1256
17.3.9 送信プロセス 1257
17.3.9.1 スタティックセグメント 1257
17.3.9.2 ダイナミックセグメント 1257
17.3.9.3 送信バッファ 1257
17.3.9.4 フレーム送信 1258
17.3.9.5 Null フレーム送信 1259
17.3.10 受信プロセス 1259
17.3.10.1 専用受信バッファ 1259
17.3.10.2 フレーム受信 1259
17.3.10.3 Null フレーム受信 1260
17.3.11 FIFO 機能 1261
17.3.11.1 解説 1261
17.3.11.2 FIFO の設定 1262
17.3.11.3 FIFO へのアクセス 1263
17.3.12 メッセージハンドリング 1263
17.3.12.1 メッセージバッファの設定変更 1263
17.3.12.2 メッセージ RAM へのアクセス 1265
17.3.12.3 FlexRay プロトコルコントローラからメッセージ RAM へのアクセス 1272
17.3.13 メッセージ RAM 1273
17.3.13.1 ヘッダパーティション 1275
17.3.13.2 データパーティション 1279
17.3.13.3 メッセージデータ安全性チェック 1280
17.3.13.4 アクセスエラーの処理 1282
17.3.14 割り込み 1283
17.3.15 FlexRay 設定パラメータ 1284
17.3.16 データ転送の使用法 1286

17.3.16.1 入力データ転送 1287
17.3.16.2 出力データ転送 1297
17.3.16.3 データ構造転送のスケジューリング 1310
17.3.16.4 データ転送アクセスエラーの場合の動き 1311
17.3.16.5 RAM 読み出しエラーの場合の動作 1313
17.3.16.6 データ転送のタイミング 1315
17.3.17 バイトアライメント 1318
17.3.17.1 リトルエンディアンアライメント 1318
17.3.17.2 ビッグエンディアンアライメント 1319

第 18 章 ルネサスハイスピードバス（RHSB） 1320

18.1 概要 1320
18.1.1 RHSB の特長 1320
18.1.2 モジュールの概要 1321
18.1.2.1 ダウンストリームチャネル通信機能 1321
18.1.2.2 アップストリームチャネル通信機能 1322
18.1.2.3 割り込み 1322
18.1.2.4 DMA のサポート 1322
18.1.2.5 その他の機能 1322
18.1.2.6 注意事項 1323
18.1.3 ブロック図 1323
18.2 レジスタの説明 1324
18.2.1 I/O レジスタの概要 1324
18.2.2 記号説明 1325
18.2.3 共通制御部のレジスタ説明 1326
18.2.3.1 RHSBjGC — グローバル設定レジスタ 1326
18.2.3.2 RHSBjMSR — モジュールステータスレジスタ 1328
18.2.4 ダウンストリーム（Tx）の レジスタ説明 1330
18.2.4.1 RHSBjDCR — ダウンストリーム設定レジスタ 1330
18.2.4.2 RHSBjDCR1 — 周期 1 用ダウンストリーム設定レジスタ 1334
18.2.4.3 RHSBjDEC — データエレメント設定レジスタ 1335
18.2.4.4 RHSBjSDCi — スレーブデバイス設定レジスタ i （i = 0） 1337
18.2.4.5 RHSBjDEBAm — データエレメントビット割り当てレジスタ m （m = 0 ～ 3） 1339
18.2.4.6 RHSBjEBEi — 緊急ビットイネーブルレジスタ i（i = 0, 1） 1341
18.2.4.7 RHSBjDTC — ダウンストリーム送信制御レジスタ 1342
18.2.4.8 RHSBjDCD — ダウンストリームコマンドデータレジスタ 1344
18.2.4.9 RHSBjDDRi — ダウンストリームデータレジスタ i（i = 0, 1） 1345
18.2.4.10 RHSBjDEDi — ダウンストリーム緊急データレジスタ i（i = 0, 1） 1346
18.2.5 アップストリーム （Rx）のレジスタ説明 1347
18.2.5.1 RHSBjUCR — アップストリーム設定レジスタ 1347
18.2.5.2 RHSBjUCC — アップストリームチャネル設定レジスタ 1349
18.2.5.3 RHSBjUCS — アップストリームチャネル選択レジスタ 1352
18.2.5.4 RHSBjUDR — アップストリームデータ読み出しレジスタ 1354
18.2.5.5 RHSBjUDi — アップストリームデータレジスタ i（i = 0, 1） 1357
18.2.5.6 RHSBjUSS — アップストリームステータスサマリレジスタ 1360
18.2.6 割り込みレジスタ 1362
18.2.6.1 RHSBjIC — 割り込み制御レジスタ 1362
18.2.6.2 RHSBjIS — 割り込みステータスレジスタ 1364
18.3 動作説明 1369
18.3.1 動作状態の説明 1369
18.3.1.1 RESET 状態 1369
18.3.1.2 CONFIG 状態 1369

18.3.1.3 ACTIVE 状態 1369
18.3.1.4 TEST 状態 1370
18.3.2 RHSB モジュールのアクティブ化 （RESET 状態を抜ける方法） 1370
18.3.3 RHSB モジュールの非アクティブ化（RESET 状態に入る方法） 1371
18.3.4 動作状態間の変更（ACTIVE、CONFIG、TEST） 1371
18.3.5 実行中の送信を中断させずに ACTIVE 状態を抜ける方法 1372
18.4 RHSB の動作 1373
18.4.1 ダウンストリーム通信 1373
18.4.1.1 ダウンストリーム通信の位相 1374
18.4.1.2 フレーム依存のフラグ付け 1376
18.4.1.3 ダウンストリームモード 1377
18.4.1.4 マルチ周期繰り返しモードでのコマンドフレーム挿入法 1383
18.4.1.5 物理的フレーム形式 1385
18.4.1.6 データフレームのアセンブル 1387
18.4.1.7 コマンドフレームのアセンブル 1389
18.4.1.8 緊急時機能 1390
18.4.1.9 ダウンストリームビットレート 1392
18.4.1.10 データ更新およびデータフレーム送信要求 1393
18.4.1.11 コマンドフレーム送信要求 1394
18.4.2 アップストリーム通信 1394
18.4.2.1 アップストリームモード 1396
18.4.2.2 個々のスレーブ設定 1396
18.4.2.3 フレーム形式の種類 1397
18.4.2.4 フレームの格納 1398
18.4.2.5 アップストリームビットレート 1398
18.4.2.6 デコードステータスの更新 1399
18.4.3 タイムアウト検出 1400
18.4.3.1 リモートデータ要求によるコマンド送信 1401
18.4.3.2 タイムアウト検出の詳細 1402
18.4.4 テストモード動作 1402
18.4.4.1 テストモードデータの生成 1404
18.5 割り込み 1405
18.5.1 ダウンストリーム関連の割り込み （送信） 1405
18.5.2 アップストリーム関連の割り込み（受信） 1405
18.5.3 割り込み要求の詳細 1406
18.6 DMA の機能 1407
18.6.1 ダウンストリームデータ送信での DMA の使用 1407
18.6.1.1 ダウンストリームデータ DMA を使用するための設定とイネーブルの流れ 1407
18.6.1.2 ダウンストリームデータ DMA 向けのメモリ内のデータ配置 1408
18.6.2 ダウンストリームコマンド送信での DMA の使用 1408
18.6.2.1 ダウンストリームコマンド DMA を使用するための設定とイネーブルの流れ 1408
18.6.2.2 ダウンストリームコマンド DMA 向けのメモリ内のコマンドデータ配置 1409
18.6.3 アップストリームデータ受信での DMA の使用 1409
18.6.3.1 アップストリーム DMA を使用するための設定とイネーブルの流れ 1409
18.6.3.2 アップストリーム DMA 向けのメモリ内のデータ配置 1410
18.7 クロスバー（XBAR） 1411
18.7.1 概要 1411
18.7.2 モジュール構成 1411
18.7.2.1 RHSB XBAR の構成 1411
18.7.3 レジスタ仕様 1412
18.7.3.1 レジスター覧 1412

18.7.3.2 RHSBGiCRjH — マイクロセカンドバスコントロールレジスタ H 1413
18.7.3.3 RHSBGiCRjL — マイクロセカンドバスコントロールレジスタ L 1417
18.7.4 動作概要 1421

第 19 章 Single Edge Nibble Transmission（RSENT）..... 1423

19.1 概要 1423
19.1.1 チャネル数 1423
19.1.2 レジスタベースアドレス 1423
19.1.3 クロック供給 1423
19.1.4 割り込みと DTS 1424
19.1.5 外部入出力信号 1425
19.2 機能 1426
19.2.1 ブロック図 1427
19.3 レジスタ 1428
19.3.1 RSENTnTSPC — RSENT タイムスタンプレジスタ 1429
19.3.2 RSENTnTSC— RSENT タイムスタンプカウンタ 1431
19.3.3 RSENTnCC — RSENT 通信設定レジスタ 1432
19.3.4 RSENTnBRP — RSENT ボーレートプリスケーラレジスタ 1436
19.3.5 RSENTnIDE — RSENT 割り込み／ DMA イネーブルレジスタ 1438
19.3.6 RSENTnMDC — RSENT モード制御レジスタ 1441
19.3.7 RSENTnSPCT — RSENT SPC 送信レジスタ 1442
19.3.8 RSENTnMST — RSENT モードステータスレジスタ 1443
19.3.9 RSENTnCS — RSENT 通信ステータスレジスタ 1445
19.3.10 RSENTnCSC — RSENT 通信ステータスクリアレジスタ 1449
19.3.11 RSENTnSRTS — RSENT 低速チャネル受信タイムスタンプレジスタ 1451
19.3.12 RSENTnSRXD — RSENT 低速チャネル受信データレジスタ 1452
19.3.13 RSENTnCPL — RSENT キャリブレーションパルス長レジスタ 1454
19.3.14 RSENTnML — RSENT メッセージ長レジスタ 1455
19.3.15 RSENTnFRTS — RSENT 高速チャネル受信タイムスタンプレジスタ 1456
19.3.16 RSENTnFRXD — RSENT 高速チャネル受信データレジスタ 1457
19.4 動作モード 1459
19.4.1 RESET モード 1460
19.4.2 CONFIGURATION モード 1460
19.4.3 OPERATION IDLE モード 1460
19.4.4 OPERATION ACTIVE モード 1460
19.4.5 動作モードにおけるレジスタ動作 1461
19.5 クロック設定 1462
19.5.1 タイムスタンプ 1462
19.5.1.1 タイムスタンプクロック設定 1462
19.5.1.2 タイムスタンプカウンタ動作 1462
19.5.2 通信クロック設定 1464
19.5.2.1 RX BRP 設定 1464
19.5.2.2 受信と SPC のティック設定 1464
19.6 RSENT 動作 1465
19.6.1 動作モードの移行 1465
19.6.2 メッセージの受信 1469

19.6.2.1 キャリブレーションパルス受信 1469
19.6.2.2 データニブル受信 1469
19.6.2.3 高速チャネルメッセージ受信 1470
19.6.2.4 高速チャネル受信フロー 1474
19.6.2.5 低速チャネルメッセージ受信 1476
19.6.2.6 低速チャネル受信フロー 1478
19.6.2.7 DMA フロー 1479
19.6.2.8 エラーのフラグ 1480
19.7 SPC 機能 1481
19.8 割り込みとチェック 1483

第 20 章 ウィンドウウォッチドッグタイマ（WDTA） 1485
20.1 特長 1485
20.2 概要 1487
20.2.1 機能概要 1487
20.2.2 ブロック図 1488
20.3 レジスタ 1489
20.3.1 レジスタの概要 1489
20.3.1.1 WDTAnWDTE — WDTA イネーブルレジスタ 1490
20.3.1.2 WDTAnMD — WDTA モードレジスタ 1491
20.4 割り込み要因 1493
20.5 機能説明 1494
20.5.1 リセット解除後の WDTA 1494
20.5.1.1 スタートモード 1494
20.5.1.2 スタートモードの選択（WDTA0 のみ） 1494
20.5.1.3 リセット解除後の WDTA 設定 1494
20.5.1.4 デフォルトスタートモードのタイミング（WDTA0 のみ） 1495
20.5.1.5 ソフトウェアトリガスタートモードのタイミング（WDTA0、WDTA1 共通） 1496
20.5.2 WDTA トリガ 1497
20.5.3 エラー検出 1497
20.5.4 WDTA エラーモード 1498
20.5.5 75%割り込み要求信号 1499
20.5.6 ウインドウ機能 1500

第 21 章 OS タイマ（OSTM） 1501
21.1 機能概要 1501
21.1.1 特長 1501
21.2 レジスタ 1503
21.2.1 レジスタの概要 1503
21.2.2 レジスタの詳細 1504
21.2.2.1 OSTMnCMP — OSTM コンペアレジスタ 1504
21.2.2.2 OSTMnCNT — OSTM カウンタレジスタ 1505
21.2.2.3 OSTMnTO — OSTM 出力レジスタ 1506
21.2.2.4 OSTMnTOE — OSTM 出力イネーブルレジスタ 1506
21.2.2.5 OSTMnTE — OSTM カウントイネーブルステータスレジスタ 1507
21.2.2.6 OSTMnTS — OSTM カウント開始トリガレジスタ 1508
21.2.2.7 OSTMnTT — OSTM カウント停止トリガレジスタ 1508
21.2.2.8 OSTMnCTL — OSTM 制御レジスタ 1509

21.3 機能説明 1510
21.3.1 ブロック図 1510
21.3.2 カウントクロック 1510
21.3.3 出力モード（OSTM0 のみ） 1511
21.3.4 割り込み要求の生成 1512
21.3.5 タイマの起動と停止 1513
21.3.6 インターバルタイマモード 1515
21.3.6.1 インターバルタイマモードの基本動作 1515
21.3.6.2 OSTMnCMP = 0000 0000_H の場合の動作 1518
21.3.7 フリーランニングコンペアモード 1519
21.3.7.1 フリーランニングコンペアモードの基本動作 1519
21.3.7.2 OSTMnCMP = 0000 0000_H の場合の動作 1521

第 22 章 アドバンストタイマユニット（ATU-IV） 1522

22.1 概要 1522
22.1.1 ATU-IV の構成 1527
22.1.2 ATU-IV 関連レジスタ 1529
22.1.3 ATU-IV 入出力信号一覧 1569
22.1.4 クロック供給 1571
22.2 共通制御部 1572
22.2.1 動作概要 1572
22.2.2 共通制御部関連レジスタ 1573
22.2.2.1 ATUENR — ATU-IV マスタイネーブルレジスタ 1573
22.2.2.2 CBCNT — クロックバスコントロールレジスタ 1576
22.2.2.3 NCMR — ノイズキャンセルモードレジスタ 1577
22.3 プリスケーラ 1588
22.3.1 動作概要 1588
22.3.2 プリスケーラ関連レジスタ 1589
22.3.2.1 PSCRx — プリスケーラレジスタ x（x = 0 ～ 3） 1589
22.3.3 詳細動作説明 1590
22.4 タイマ A 1591
22.4.1 動作概要 1591
22.4.2 タイマ A 制御レジスタ 1593
22.4.2.1 TCR1A — タイマコントロールレジスタ 1A 1593
22.4.2.2 TCR2A — タイマコントロールレジスタ 2A 1595
22.4.2.3 TCR3A — タイマコントロールレジスタ 3A 1597
22.4.2.4 TCR4A — タイマコントロールレジスタ 4A 1599
22.4.2.5 NCMCR1A — ノイズキャンセルモードチャネルレジスタ 1A 1601
22.4.2.6 NCMCR2A — ノイズキャンセルモードチャネルレジスタ 2A 1603
22.4.2.7 TIOR1A — タイマ I/O コントロールレジスタ 1A 1605
22.4.2.8 TIOR2A — タイマ I/O コントロールレジスタ 2A 1607
22.4.2.9 TSRA — タイマステータスレジスタ A 1611
22.4.2.10 TSCRA — タイマステータスクリアレジスタ A 1613
22.4.2.11 ICRAx — インプットキャプチャレジスタ Ax（x = 0 ～ 6） 1615
22.4.2.12 TCNTA — フリーランニングカウンタ A 1616
22.4.2.13 TILRA — タイマ入力信号レベルレジスタ A 1617
22.4.2.14 TILCRA — タイマ入力信号レベルキャプチャレジスタ A 1618
22.4.2.15 NCNTAx — ノイズキャンセルカウンタ Ax（x = 0 ～ 6） 1619
22.4.2.16 NCRAx — ノイズキャンセルレジスタ Ax（x = 0 ～ 6） 1621
22.4.3 詳細動作説明 1623

22.5 タイマ B 1627
22.5.1 動作概要 1627
22.5.2 タイマ B 制御レジスタ 1630
22.5.2.1 TCRB — タイマコントロールレジスタ B 1630
22.5.2.2 TIORB — タイマ I/O コントロールレジスタ B 1632
22.5.2.3 TSRB — タイマステータスレジスタ B 1634
22.5.2.4 TSCRB — タイマステータスクリアレジスタ B 1638
22.5.2.5 TICRB — タイマインタラプトコントロールレジスタ B 1640
22.5.2.6 TCNTB0 — 入力エッジ間計測カウンタ B0 1642
22.5.2.7 ICRB0 — インプットキャプチャレジスタ B0 1643
22.5.2.8 RECRBx — レコードレジスタ Bx （x = 1 ～ 6） 1644
22.5.2.9 RBURBx — レコードバックアップレジスタ Bx（x = 0 ～ 6） 1645
22.5.2.10 ICRB3x — インプットキャプチャレジスタ B3x（x = 0 ～ 6） 1646
22.5.2.11 OCRB0 — アウトプットコンペアレジスタ B0 1647
22.5.2.12 TCNTB1 — イベントカウンタ B1 1648
22.5.2.13 OCRB1 — アウトプットコンペアレジスタ B1 1649
22.5.2.14 OCRB10 — アウトプットコンペアレジスタ B10 1650
22.5.2.15 OCRB11 — アウトプットコンペアレジスタ B11 1651
22.5.2.16 OCRB12 — アウトプットコンペアレジスタ B12 1652
22.5.2.17 ICRB1 — インプットキャプチャレジスタ B1 1653
22.5.2.18 ICRB2 — インプットキャプチャレジスタ B2 1654
22.5.2.19 LDB — ロードレジスタ B 1655
22.5.2.20 RLDB — リロードレジスタ B 1656
22.5.2.21 TCNTB2 — リロードカウンタ B2 1657
22.5.2.22 PIMR1 — パルスインターバルマルチプライヤレジスタ 1 1658
22.5.2.23 PIMR2 — パルスインターバルマルチプライヤレジスタ 2 1659
22.5.2.24 TCNTB6 — 倍周クロックカウンタ B6 1660
22.5.2.25 ICRB6 — インプットキャプチャレジスタ B6 1661
22.5.2.26 RARB6 — 倍率設定レジスタ B6 1662
22.5.2.27 TCNTB6M — 倍周クロックカウンタ B6M 1663
22.5.2.28 OCRB6 — アウトプットコンペアレジスタ B6 1664
22.5.2.29 OCRB7 — アウトプットコンペアレジスタ B7 1665
22.5.2.30 TCNTB3 — 補正イベントカウンタ B3 1666
22.5.2.31 OCRB8 — アウトプットコンペアレジスタ B8 1667
22.5.2.32 TCNTB4 — 補正倍周クロックカウンタ B4 1668
22.5.2.33 TCNTB5 — 倍周補正クロック生成カウンタ B5 1669
22.5.2.34 TCCLFRB — 補正カウンタクリアフラグレジスタ B 1671
22.5.2.35 TCCLFSRB — 補正カウンタクリアフラグセットレジスタ B 1672
22.5.2.36 TCCLFCRB — 補正カウンタクリアフラグクリアレジスタ B 1673
22.5.2.37 TCCLRB — 補正カウンタクリアレジスタ B 1674
22.5.2.38 ACRTRGB — AGCKM2 補正許可設定レジスタ 1675
22.5.2.39 ACRCLRB — AGCKM2 補正クリア設定レジスタ 1676
22.5.2.40 ACRSTRB — AGCKM2 補正ステータスレジスタ 1677
22.5.2.41 ACRVALRB — AGCKM2 補正クロック数設定レジスタ 1678
22.5.3 詳細動作説明 1679
22.6 タイマ C 1692
22.6.1 動作概要 1692
22.6.2 タイマ C 関連レジスタ 1694
22.6.2.1 TSTRC — タイマスタートレジスタ C 1694
22.6.2.2 NCCRCx — ノイズキャンセラコントロールレジスタ Cx（x = 0 ～ 7） 1696
22.6.2.3 TCRCx — タイマコントロールレジスタ Cx（x = 0 ～ 7） 1698
22.6.2.4 TSRCx — タイマステータスレジスタ Cx（x = 0 ～ 7） 1702
22.6.2.5 TSCRCx — タイマステータスクリアレジスタ Cx（x = 0 ～ 7） 1705
22.6.2.6 TIORCx — タイマ I/O コントロールレジスタ Cx（x = 0 ～ 7） 1707
22.6.2.7 TCNTCx — タイマカウンタ Cx（x = 0 ～ 7） 1710
22.6.2.8 GRCxy — タイマ汎用レジスタ Cxy 1711

22.6.2.9 NCNTCxy — ノイズキャンセルカウンタ Cxy 1713
22.6.2.10 NCRCxy — ノイズキャンセルレジスタ Cxy 1715
22.6.2.11 OCRCxy — アウトプットコンペアレジスタ Cxy 1716
22.6.2.12 TIERCx — タイマインタラプトイネーブルレジスタ Cx 1718
22.6.2.13 CUCRCx — カウンタ上限値設定コンペアレジスタ Cx 1719
22.6.2.14 NCMCR1C — ノイズキャンセルモードチャネルレジスタ 1C 1720
22.6.2.15 NCMCR2C — ノイズキャンセルモードチャネルレジスタ 2C 1722
22.6.3 動作説明 1724
22.7 タイマ D 1739
22.7.1 動作概要 1739
22.7.2 タイマ D 関連レジスタ 1741
22.7.2.1 TSTRD — タイマスタートレジスタ D 1741
22.7.2.2 TCRDx — タイマコントロールレジスタ Dx 1743
22.7.2.3 TIOR1Dx — タイマ I/O コントロールレジスタ 1Dx 1747
22.7.2.4 TIOR2Dx — タイマ I/O コントロールレジスタ 2Dx 1749
22.7.2.5 OSELRDx — 出力選択レジスタ Dx 1751
22.7.2.6 ODRDx — 出力値レジスタ Dx 1752
22.7.2.7 DSTRDx — ダウンカウントスタートレジスタ Dx 1753
22.7.2.8 DSR1Dx — ダウンカウントステータスレジスタ 1Dx 1754
22.7.2.9 DSR2Dx — ダウンカウントステータスレジスタ 2Dx 1756
22.7.2.10 DSCRDx — ダウンカウントステータスクリアレジスタ Dx 1757
22.7.2.11 DCRDx — ダウンカウンタコントロールレジスタ Dx 1758
22.7.2.12 TSRDx — タイマステータスレジスタ Dx 1760
22.7.2.13 TSCRDx — タイマステータスクリアレジスタ Dx 1764
22.7.2.14 TOCRDx — タイマアウトプットコントロールレジスタ Dx 1767
22.7.2.15 OSBRDx — タイマオフセットベースレジスタ Dx 1769
22.7.2.16 TICTSELDx — タイマインプットキャプチャトリガ選択レジスタ Dx 1770
22.7.2.17 TCNT1Dx — タイマカウンタ 1Dx 1771
22.7.2.18 TCNT2Dx — タイマカウンタ 2Dx 1772
22.7.2.19 CUCR1Dx — カウンタ上限値設定コンペアレジスタ 1Dx 1773
22.7.2.20 CUCR2Dx — カウンタ上限値設定コンペアレジスタ 2Dx 1774
22.7.2.21 OCR1Dxy — アウトプットコンペアレジスタ 1Dxy 1775
22.7.2.22 RCR1Dx — 範囲コンペア値設定レジスタ 1Dx 1776
22.7.2.23 OCR2Dxy — アウトプットコンペアレジスタ 2Dxy 1778
22.7.2.24 RCR2Dx — 範囲コンペア値設定レジスタ 2Dx 1779
22.7.2.25 ICR1Dxy — インプットキャプチャレジスタ 1Dxy 1781
22.7.2.26 ICR2Dxy — インプットキャプチャレジスタ 2Dxy 1782
22.7.2.27 DCNTDxy — タイマダウンカウンタ Dxy 1783
22.7.3 動作説明 1785
22.8 タイマ E 1795
22.8.1 動作概要 1795
22.8.2 タイマ E 関連レジスタ 1797
22.8.2.1 TSTRE — タイマスタートレジスタ E 1797
22.8.2.2 SSTREx — サブブロックスタートレジスタ Ex 1798
22.8.2.3 PSCREx — プリスケーラレジスタ Ex 1800
22.8.2.4 PSCCRExy — プリスケーラチャネルレジスタ Exy 1801
22.8.2.5 TCREx — タイマコントロールレジスタ Ex 1802
22.8.2.6 RLDCREx — リロードコントロールレジスタ Ex 1803
22.8.2.7 POECREx — 出力遮断コントロールレジスタ Ex 1804
22.8.2.8 SOLVLEx — 出力遮断レベル設定レジスタ Ex 1805
22.8.2.9 TSREx — タイマステータスレジスタ Ex 1806
22.8.2.10 TSCREx — タイマステータスクリアレジスタ Ex 1809
22.8.2.11 TIEREx — タイマインタラプトイネーブルレジスタ Ex 1811
22.8.2.12 TOCREx — タイマアウトプットコントロールレジスタ Ex 1813
22.8.2.13 TCNTExy — タイマカウンタ Exy 1814

22.8.2.14 CYLRExy — サイクルレジスタ Exy 1815
22.8.2.15 DTRExy — デューティレジスタ Exy 1816
22.8.2.16 CRLDExy — サイクルリロードレジスタ Exy 1817
22.8.2.17 DRLDExy — デューティリロードレジスタ Exy 1818
22.8.3 動作説明 1819
22.9 タイマ F 1824
22.9.1 動作概要 1824
22.9.2 タイマ F 関連レジスタ 1827
22.9.2.1 TSTRF — タイマスタートレジスタ F 1827
22.9.2.2 NCMCR1F — ノイズキャンセルモードチャネルレジスタ 1F 1828
22.9.2.3 NCMCR2F — ノイズキャンセルモードチャネルレジスタ 2F 1830
22.9.2.4 NCCRF — ノイズキャンセラコントロールレジスタ F 1832
22.9.2.5 PVFCRF — プライベートファンクションコントロールレジスタ F 1834
22.9.2.6 TCR1Fx — タイマコントロールレジスタ 1Fx 1835
22.9.2.7 TCR2Fx — タイマコントロールレジスタ 2Fx 1837
22.9.2.8 TIERFx — タイマインタラプトイネーブルレジスタ Fx 1838
22.9.2.9 BKCRFx — バックアップコントロールレジスタ Fx 1840
22.9.2.10 TSRFx — タイマステータスレジスタ Fx 1842
22.9.2.11 TSCRFx — タイマステータスクリアレジスタ Fx 1845
22.9.2.12 ECNTAFx — 時間計測カウンタ AFx 1847
22.9.2.13 ECNTBFx — イベントカウンタ Fx 1848
22.9.2.14 ECNTCFx — 時間計測カウンタ CFx 1849
22.9.2.15 GRAFx — 汎用レジスタ AFx 1850
22.9.2.16 BGRAFx — バックアップレジスタ AFx 1851
22.9.2.17 GRBFx — 汎用レジスタ BFx 1852
22.9.2.18 GRCFx — 汎用レジスタ CFx 1853
22.9.2.19 BGRCFx — バックアップレジスタ CFx 1854
22.9.2.20 GRDFx — 汎用レジスタ DFx 1855
22.9.2.21 BGRDFx — バックアップレジスタ DFx 1856
22.9.2.22 CDRFx — キャプチャ出力レジスタ Fx 1857
22.9.2.23 NCNTFAx — ノイズキャンセルカウンタ FAx 1859
22.9.2.24 NCNTFBx — ノイズキャンセルカウンタ FBx 1861
22.9.2.25 NCRFAx — ノイズキャンセルレジスタ FAx 1863
22.9.2.26 NCRFBx — ノイズキャンセルレジスタ FBx 1864
22.9.3 詳細動作説明 1866
22.10 タイマ G 1884
22.10.1 動作概要 1884
22.10.2 タイマ G 関連レジスタ 1885
22.10.2.1 TSTRG — タイマスタートレジスタ G 1885
22.10.2.2 TCRGx — タイマコントロールレジスタ Gx 1886
22.10.2.3 TSRGx — タイマステータスレジスタ Gx 1887
22.10.2.4 TSCRGx — タイマステータスクリアレジスタ Gx 1889
22.10.2.5 TCNTGx — タイマカウンタ Gx 1890
22.10.2.6 OCRGx — コンペアマッチレジスタ Gx 1891
22.10.3 詳細動作説明 1892
22.11 タイマ H 1893
22.11.1 動作概要 1893
22.11.2 タイマ H 関連レジスタ 1894
22.11.2.1 TCRH — タイマコントロールレジスタ H 1894
22.11.2.2 TSRH — タイマステータスレジスタ H 1895
22.11.2.3 TSCRH — タイマステータスクリアレジスタ H 1897
22.11.2.4 TCNT1H — タイマカウンタ 1H 1898
22.11.2.5 OCR1H — コンペアマッチレジスタ 1H 1899
22.11.2.6 TCNT2H — タイマカウンタ 2H 1900

22.11.3　動作説明 1901
22.12　タイマ J 1902
22.12.1　動作概要 1902
22.12.2　タイマ J 関連レジスタ 1903
22.12.2.1　TSTRJ — タイマスタートレジスタ J 1903
22.12.2.2　TCRJx — タイマコントロールレジスタ Jx 1904
22.12.2.3　FCRJx — FIFO コントロールレジスタ Jx 1906
22.12.2.4　TSRJx — タイマステータスレジスタ Jx 1908
22.12.2.5　TSCRJx — タイマステータスクリアレジスタ Jx 1911
22.12.2.6　TCNTJx — タイマカウンタ Jx 1913
22.12.2.7　OCRJx — コンペアマッチレジスタ Jx 1914
22.12.2.8　FIFOJx — FIFO レジスタ Jx 1915
22.12.2.9　FDNRJx — FIFO データ数レジスタ Jx 1916
22.12.2.10 NCNTJx — ノイズキャンセルカウンタ Jx 1917
22.12.2.11 NCRJx — ノイズキャンセルレジスタ Jx 1919
22.12.3　動作説明 1920
22.13　DMA/AD 要求自動切り替え 1923
22.13.1　動作概要 1923
22.13.2　DMA/AD 要求自動切り替え関連レジスタ 1924
22.13.2.1　TRGSRDMA0 — トリガステータスレジスタ DMA0 1924
22.13.2.2　TRGSELDMA00 — トリガ選択レジスタ DMA00 1925
22.13.2.3　TRGSELDMA01 — トリガ選択レジスタ DMA01 1926
22.13.2.4　TRGSELAD — トリガ選択レジスタ AD 1927
22.13.2.5　TRGSRDMA1 — トリガステータスレジスタ DMA1 1928
22.13.2.6　TRGSELDMA10 — トリガ選択レジスタ DMA10 1929
22.13.2.7　TRGSELDMA11 — トリガ選択レジスタ DMA11 1930
22.13.3　詳細動作説明 1931
22.14　使用上の注意 1934
22.14.1　インプットキャプチャ競合動作 1934
22.14.1.1　汎用レジスタへの書き込みとインプットキャプチャの競合 1934
22.14.1.2　カウンタへの書き込みとインプットキャプチャの競合 1935
22.14.1.3　インプットキャプチャステータスのセットとクリアの競合 1936
22.14.2　コンペアマッチ競合動作 1937
22.14.2.1　コンペアが連続した場合のコンペアマッチ信号について 1937
22.14.2.2　コンペアマッチ／汎用レジスタへの書き込みとコンペアマッチの競合 1937
22.14.2.3　CYLRExy への書き込みと TCNTExy とのサイクルマッチの競合 1939
22.14.2.4　DTRExy への書き込みと TCNTExy とのサイクルマッチの競合 1939
22.14.2.5　カウンタへの書き込みとコンペアマッチの競合 1940
22.14.2.6　カウンタへの書き込みとコンペアマッチカウンタクリアの競合 1941
22.14.2.7　TCNTExy への書き込みとサイクルマッチによるカウンタクリアの競合 1942
22.14.2.8　コンペアマッチステータスのセットとクリアの競合 1943
22.14.2.9　サイクルマッチステータスのセットとステータスクリアレジスタへの 1 書き込みの競合 1944
22.14.2.10 コンペアマッチ 1H 検出と ATUENR オフ切り替えの競合 1945
22.14.2.11 TCNTExy へのゼロ書き込みとサイクルマッチの競合 1946
22.14.3　ロード／リロード競合動作 1947
22.14.3.1　データ転送と転送先レジスタへの書き込みとの競合 1947
22.14.3.2　データ転送と転送元レジスタへの書き込みの競合 1948
22.14.4　カウンタ競合動作 1949
22.14.4.1　カウンタの書き込みとカウントアップ／カウントダウンの競合 1949
22.14.4.2　カウントアップとカウンタクリアの競合 1949
22.14.4.3　カウンタへの書き込みとオーバフローの競合 1950
22.14.4.4　オーバフローステータスのセットとクリアの競合 1951
22.14.4.5　オーバフローとコンペアマッチカウンタクリアの競合 1952

22.14.5 ノイズキャンセラ競合動作 1954
22.14.5.1 ノイズキャンセラカウンタへの書き込みとノイズキャンセラレジスタとのコンペアマッチの競合 1954
22.14.5.2 ノイズキャンセラレジスタへの書き込みとノイズキャンセラカウンタとのコンペアマッチの競合 1955
22.14.6 タイマダウンカウンタ Dxy 競合動作 1956
22.14.6.1 DCNTDxy カウンタへの書き込みとカウントダウンの競合 1956
22.14.6.2 DCNTDxy カウンタへの書き込みとアンダフローの競合 1956
22.14.6.3 DCNTDxy カウンタへの書き込みとコンペアマッチ B（カウント停止トリガ）の競合 1957
22.14.6.4 アンダフローステータスのセットとステータスクリアレジスタへの 1 書き込みクリアの競合 1958
22.14.6.5 ダウンカウンタ値 0000 0000_H 時のダウンカウンタスタートトリガ発生による TODxyB 出力 1958
22.14.6.6 ダウンカウンタスタートトリガ、ストップトリガが同時に発生した場合の TODxyB 出力 1958
22.14.6.7 ダウンカウンタスタートトリガとアンダフローの競合 1959
22.14.7 タイマ A、B とタイマ D 連携動作 1960
22.14.7.1 TCNT1Dx、2Dx カウンタクリアとコンペアマッチの競合 1960
22.14.7.2 TCNT1Dx、TCNT2Dx カウンタへの書き込みとタイマ B からのカウンタクリアの競合 1961
22.14.7.3 TCNT1Dx、TCNT2Dx カウンタオーバフローとタイマ B からのカウンタクリアの競合 1962
22.14.7.4 タイマ B からのクリア信号による TCNT1Dx クリアと OSBRDx へのインプットキャプチャの競合 1963
22.14.7.5 タイマ B からの 0 クリアとカウンタ上限値設定機能によるクリアの競合 1963
22.14.8 コンペアマッチ動作仕様の混在 1964

第 23 章 APA 1966

23.1 APA の特長 1966
23.2 機能概要 1967
23.2.1 用語 1971
23.3 構成 1973
23.4 レジスタ 1975
23.4.1 レジスター覧 1975
23.4.2 制御レジスタ詳細（全体動作） 1980
23.4.2.1 APAAnEN — APAn 動作イネーブルレジスタ 1980
23.4.2.2 APAAnCHEN — APAn チャネル動作イネーブルレジスタ 1981
23.4.2.3 APAAnCHST — APAn チャネル出力ステータスレジスタ 1983
23.4.3 制御レジスタ詳細（リファレンスバス） 1984
23.4.3.1 APAAnRFDTm — APAn リファレンスデータレジスタ m（m = 0 ～ 9） 1984
23.4.3.2 APAAnRFSW — APAn ソフトウェアリファレンスデータレジスタ 1985
23.4.3.3 APAAnRFMXm — APAn リファレンス最大値設定レジスタ m（m = 0, 1, sw） 1986
23.4.4 制御レジスタ詳細（イベントバス） 1988
23.4.4.1 APAAnEVSLm — APAn イベント選択レジスタ m（m = 00 ～ 15） 1988
23.4.4.2 APAAnEVSW — APAn ソフトウェアイベントレジスタ 1991
23.4.4.3 APAAnEVSC — APAn ソフトウェアイベント設定レジスタ 1992
23.4.4.4 APAAnESTA — APAn イベントステータスレジスタ A 1994
23.4.5 制御レジスタ詳細（パルス生成チャネル 0 ～ 15） 1995
23.4.5.1 APAAnCCGAm — APAn チャネル設定レジスタ Am（m = 00 ～ 15） 1995
23.4.5.2 APAAnCCGBm — APAn チャネル設定レジスタ Bm（m = 00 ～ 15） 1997
23.4.5.3 APAAnCSTAm — APAn チャネルステータスレジスタ Am（m = 00 ～ 15） 2001
23.4.5.4 APAAnCSTBm — APAn チャネルステータスレジスタ Bm（m = 00 ～ 15） 2003
23.4.5.5 APAAnCSTCm — APAn チャネルステータスレジスタ Cm （m = 00 ～ 15） 2006

23.4.5.6 APAAnCSTDm — APAn チャネルステータスレジスタ Dm（m = 00 ～ 15）..... 2008
23.4.6 エレメント制御レジスタ詳細..... 2010
23.4.6.1 APAAnELMAm — APAn エレメント設定レジスタ Am（m = 000 ～ 127）..... 2010
23.4.6.2 APAAnELMBm — APAn エレメント設定レジスタ Bm（m = 000 ～ 127）..... 2012
23.4.6.3 APAAnELMCm — APAn エレメント設定レジスタ Cm（m = 000 ～ 127）..... 2013
23.5 機能..... 2015
23.5.1 概念..... 2015
23.5.1.1 APA におけるパルス生成..... 2015
23.5.1.2 エレメント..... 2016
23.5.1.3 例外処理について..... 2016
23.5.2 リファレンス制御..... 2017
23.5.2.1 特徴・機能概要..... 2017
23.5.2.2 リファレンスバスの動作..... 2018
23.5.3 イベント制御..... 2019
23.5.3.1 特徴・機能概要..... 2019
23.5.3.2 動作：イベント入力の選択..... 2020
23.5.3.3 動作：時分割制御信号の生成..... 2020
23.5.4 パルス生成..... 2022
23.5.4.1 特徴・機能概要..... 2022
23.5.4.2 動作：マッチ比較器..... 2023
23.5.4.3 動作：イベントデコーダ..... 2039
23.5.4.4 動作：マッチ比較器とイベントデコーダの競合..... 2053
23.5.5 エレメント制御..... 2054
23.5.5.1 特徴・機能概要..... 2054
23.5.5.2 エレメントの動作..... 2056
23.5.5.3 動作中の開始エレメント番号の変更に関して..... 2057
23.5.5.4 動作：エレメントデコーダ..... 2059
23.5.6 エレメント RAM へのアクセス..... 2062
23.5.6.1 エレメント RAM への Write..... 2062
23.5.6.2 エレメント RAM からの Read..... 2062
23.5.7 使用上の注意事項..... 2063
23.5.7.1 マッチ条件の設定 1..... 2063
23.5.7.2 マッチ条件の設定 2 （ADC 入力）..... 2063
23.5.7.3 イベント入力の間隔..... 2063
23.5.7.4 動作手順..... 2064
23.5.7.5 例外未使用時の処置..... 2065
23.5.7.6 割り込み出力に対する制限..... 2066
23.5.7.7 マッチ条件の相対指定に対する制限..... 2067
23.6 APA 入出力選択機能概要..... 2070
23.6.1 レジスター覧..... 2070
23.7 レジスタ機能説明..... 2071
23.7.1 APGAnCNTR0 — APGAn コントロールレジスタ 0（n = 0）..... 2071
23.7.2 APGAnCNTR1 — APGAn コントロールレジスタ 1（n = 0）..... 2072
23.7.3 APGAnCNTR2 — APGAn コントロールレジスタ 2（n = 0）..... 2073
23.7.4 APGAnCNTR3 — APGAn コントロールレジスタ 3（n = 0）..... 2075
23.7.5 APGAnCNTR5 — APGAn コントロールレジスタ 5（n = 0）..... 2076
23.8 詳細動作説明..... 2077
23.8.1 リファレンスソースの選択機能 1..... 2077
23.8.2 リファレンスソースの選択機能 2..... 2079
23.8.2.1 符号変換機能..... 2080

第 24 章　モータコントロールタイマ（TSG2）..... 2082
24.1　TSG2n の機能..... 2082
24.2　機能の概要..... 2084
24.3　構成..... 2086
24.4　レジスタ 2087
24.4.1　レジスター覧 2087
24.4.2　TSG2n レジスタの詳細 2089
24.4.2.1　TSG2nCTL0 — TSG2n 制御レジスタ 0..... 2089
24.4.2.2　TSG2nCTL1 — TSG2n 制御レジスタ 1..... 2090
24.4.2.3　TSG2nCTL3 — TSG2n 制御レジスタ 3..... 2091
24.4.2.4　TSG2nCTL4 — TSG2n 制御レジスタ 4..... 2092
24.4.2.5　TSG2nCTL5 — TSG2n 制御レジスタ 5..... 2093
24.4.2.6　TSG2nCTL6 — TSG2n 制御レジスタ 6..... 2095
24.4.2.7　TSG2nIOC0 — TSG2n I/O 制御レジスタ 0 2097
24.4.2.8　TSG2nIOC1 — TSG2n I/O 制御レジスタ 1 2098
24.4.2.9　TSG2nIOC2 — TSG2n I/O 制御レジスタ 2 2099
24.4.2.10　TSG2nIOC3 — TSG2n I/O 制御レジスタ 3 2100
24.4.2.11　TSG2nSTR0 — TSG2n ステータスレジスタ 0..... 2101
24.4.2.12　TSG2nSTR1 — TSG2n ステータスレジスタ 1..... 2102
24.4.2.13　TSG2nSTR2 — TSG2n ステータスレジスタ 2..... 2103
24.4.2.14　TSG2nSTC — TSG2n ステータスクリアトリガレジスタ 2105
24.4.2.15　TSG2nOPT0 — TSG2n オプションレジスタ 0 2106
24.4.2.16　TSG2nOPT1 — TSG2n オプションレジスタ 1 2107
24.4.2.17　TSG2nTRG0 — TSG2n トリガレジスタ 0 2108
24.4.2.18　TSG2nTRG1 — TSG2n トリガレジスタ 1 2109
24.4.2.19　TSG2nCNT — TSG2n カウンタレジスタ 2110
24.4.2.20　TSG2nSBC — TSG2n サブカウンタレジスタ 2111
24.4.2.21　TSG2nCMP0 — TSG2n コンペアレジスタ 0 2112
24.4.2.22　TSG2nCMP1W — TSG2n コンペアレジスタ 1、2 2113
24.4.2.23　TSG2nCMP5W — TSG2n コンペアレジスタ 5、6 2114
24.4.2.24　TSG2nCMP9W — TSG2n コンペアレジスタ 9、10 2115
24.4.2.25　TSG2nCMP3W — TSG2n コンペアレジスタ 3、4 2116
24.4.2.26　TSG2nCMP7W — TSG2n コンペアレジスタ 7、8 2117
24.4.2.27　TSG2nCMP11W — TSG2n コンペアレジスタ 11、12 2118
24.4.2.28　TSG2nCMP1-12 — TSG2n コンペアレジスタ 1 ～ 12..... 2119
24.4.2.29　TSG2nDCMP0W — TSG2n 診断コンペアレジスタ 0、1..... 2120
24.4.2.30　TSG2nDCMP2 — TSG2n 診断コンペアレジスタ 2..... 2121
24.4.2.31　TSG2nPAT0W — TSG2n パタンレジスタ 0..... 2122
24.4.2.32　TSG2nPAT1W — TSG2n パタンレジスタ 1..... 2123
24.4.2.33　TSG2nDTC0W — TSG2n デッドタイムコンペアレジスタ 0..... 2124
24.4.2.34　TSG2nDTC1W — TSG2n デッドタイムコンペアレジスタ 1..... 2125
24.4.2.35　TSG2nCMPU — TSG2n U 相用コンペアレジスタ 2126
24.4.2.36　TSG2nCMPV — TSG2n V 相用コンペアレジスタ 2127
24.4.2.37　TSG2nCMPW — TSG2n W 相用コンペアレジスタ 2128
24.4.2.38　TSG2nUPW — TSG2n U 相期間レジスタ 2129
24.4.2.39　TSG2nVPW — TSG2n V 相期間レジスタ 2130
24.4.2.40　TSG2nWPW — TSG2n W 相期間レジスタ 2131
24.4.2.41　TSG2nDTPR — TSG2n デッドタイム保護レジスタ 2132
24.5　基本動作 2133
24.5.1　16 ビットカウンタ基本動作 2133
24.5.2　コンペアレジスタの機能..... 2135
24.5.3　コンペアレジスタの書き換え操作..... 2137
24.5.4　各モード時における出力一覧..... 2144

24.6 一致割り込み 2149
24.7 フラグ 2152
24.7.1 アップカウントフラグ（TSG2nCUF、TSG2nSUF） 2153
24.7.2 正相／逆相同時アクティブ検出フラグ（TSG2nTBF0-TSG2nTBF2） 2155
24.7.3 リロード要求フラグ（TSG2nRSF） 2156
24.7.4 ノイズ検出フラグ（TSG2nNDF） 2157
24.7.5 パタン順序検出フラグ（TSG2nTSF） 2158
24.7.6 パタンエラー検出フラグ（TSG2nPEF） 2160
24.7.7 パタン反転検出フラグ（TSG2nPRF） 2161
24.7.8 パタン位相差異検出フラグ（TSG2nPPF） 2163
24.7.9 タイマ出力パタンフラグ（TSG2nOPF2-TSG2nOPF0） 2164
24.7.10 パタン切り替え検出信号（TSG2nPTE） 2164
24.8 割り込み間引き機能 2166
24.8.1 割り込み間引き機能の動作 2167
24.8.2 山割り込みを発生する場合の動作例（PWM モード時） 2172
24.9 A/D 変換トリガ機能 2173
24.9.1 A/D 変換トリガの動作 2173
24.10 エラー／ワーニング割り込み 2179
24.10.1 エラー割り込み機能 2179
24.10.2 ワーニング割り込み機能 2182
24.11 各モードの動作 2183
24.11.1 PWM モード 2183
24.11.1.1 PWM モード動作一覧 2186
24.11.1.2 PWM モード時のリロード／割り込み間引き機能 2190
24.11.1.3 PWM モード時のデッド・タイム制御 2190
24.11.1.4 PWM モード動作時のデッド・タイム書き換え 2193
24.11.2 HT-PWM モード（High accuracy Triangular - Pulse Width Modulation モード） 2194
24.11.2.1 ブロック図と基本タイミング図 2195
24.11.2.2 HT-PWM モード動作一覧 2198
24.11.2.3 HT-PWM モードの各種設定 2201
24.11.2.4 HT-PWM モードの 16 ビット・カウンタ動作 2204
24.11.2.5 HT-PWM モードの基本動作 2206
24.11.2.6 HT-PWM モード時の付加パルス制御 2208
24.11.2.7 HT-PWM モード時のデッド・タイム制御 2210
24.11.2.8 HT-PWM モード時のデッド・タイム制御に関する注意事項 2211
24.11.2.9 HT-PWM モード時のソフトウエア出力制御機能 2212
24.11.2.10 HT-PWM モードの非対称三角波制御 2215
24.11.3 SP-PWM モード（Shifted-pulse - Pulse Width Modulation モード） 2217
24.11.3.1 基本タイミング図 2218
24.11.3.2 SP-PWM モード動作一覧 2220
24.11.3.3 SP-PWM モードの各種設定 2222
24.11.3.4 SP-PWM モード時のデッド・タイム制御 2224
24.11.3.5 SP-PWM モード時のソフトウエア出力制御機能 2225
24.11.4 120-DC モード 2228
24.11.4.1 120-DC モード動作一覧 2231
24.11.4.2 120-DC モードの各種設定 2233
24.11.4.3 120-DC モードの制御方式 2235
24.11.4.4 120-DC モードのタイマ出力 2237
24.11.4.5 120-DC モードの動作 2239
24.11.4.6 120-DC モードの出力パタン一覧 2243

24.11.4.7 120-DC モードの動作開始タイミング 2245
24.11.4.8 120-DC モードの出力切り替えタイミング 2248
24.11.4.9 120-DC モードのコンペア・レジスタ書き換えタイミング 2250
24.11.4.10 120-DC モードのデッド・タイム制御 2251
24.11.4.11 120-DC モード時、TAPTSn2-TAPTSn0 端子にノイズが発生した場合の動作 2252
24.11.4.12 120-DC モード時の基本制御フロー 2256
24.11.4.13 120-DC モード時のソフトウエア出力制御機能 2257
24.11.5 ソフトウエア出力制御機能 2260

第 25 章 タイマオプション（TAPA） 2261

25.1 概要 2261
25.1.1 基本機能 2261
25.2 レジスタ 2262
25.2.1 レジスタの概要 2262
25.2.2 TAPAnCTL0 — TAPAn 制御レジスタ 0 2263
25.2.3 TAPAnFLG — TAPAn フラグレジスタ 2264
25.2.4 TAPAnACWE — TAPAn 非同期制御ライトイネーブルレジスタ 2265
25.2.5 TAPAnACTS — TAPAn 非同期制御スタートトリガレジスタ 2265
25.2.6 TAPAnACTT — TAPAn 非同期制御ストップトリガレジスタ 2266
25.2.7 TAPAnOPHS — TAPAn Hi-Z スタートトリガレジスタ 2266
25.2.8 TAPAnOPHT — TAPAn Hi-Z ストップトリガレジスタ 2267
25.3 基本動作説明 2268
25.3.1 Hi-Z 制御機能 2268
25.3.1.1 Hi-Z 制御機能の目的 2268
25.3.1.2 Hi-Z 制御機能の概要 2268
25.3.1.3 Hi-Z 制御の機能と動作 2268
25.3.2 端子入力に対応した非同期 Hi-Z 制御 2269
25.3.2.1 非同期入力 Hi-Z 制御の基本動作 2269
25.3.2.2 非同期入力 Hi-Z 制御のためのソフトウエア操作 2269
25.3.2.3 非同期入力 Hi-Z 制御の操作例 2270

第 26 章 ペリフェラルインターコネクション（PIC） 2271

26.1 タイマ同調機能、ポート Hi-Z 機能 2271
26.1.1 概要 2271
26.1.2 レジスタ 2272
26.1.2.1 PIC1EN — 制御レジスタ EN 2273
26.1.2.2 PIC1SST — 同時スタートトリガ制御レジスタ 0 2274
26.1.2.3 PIC1SSER2 — 同時スタート制御レジスタ 2 2275
26.1.2.4 PIC1SSER3 — 同時スタート制御レジスタ 3 2276
26.1.2.5 PIC1HIZCEN2 — Hi-Z 出力制御レジスタ 2 2277
26.1.2.6 PIC1HIZCEN3 — Hi-Z 出力制御レジスタ 3 2278
26.1.3 動作説明 2279
26.1.3.1 タイマ同調機能 2279
26.2 トリガ選択機能（PIC2） 2280
26.2.1 概要 2280
26.2.2 ブロック図 2281
26.2.3 レジスタ 2282
26.2.3.1 PIC2ADCBnTSELj — AD コンバータ n トリガ選択制御レジスタ j 2285
26.2.3.2 PIC2ADCBnEDGSEL — AD コンバータ n トリガエッジ制御レジスタ 2287

26.2.3.3 PIC2ADTEN5nj — AD コンバータトリガ出力制御レジスタ 5nj 2288
26.2.3.4 PIC2ADTEN6nj — AD コンバータトリガ出力制御レジスタ 6nj 2291
26.2.3.5 PIC2ADTEN7nj — AD コンバータトリガ出力制御レジスタ 7nj 2294
26.2.3.6 PIC2DSADTEN0n0 — DSADC スタートトリガ出力制御レジスタ n0 （n = 0 ～ 7） 2296
26.2.3.7 PIC2DSADTEN0n1 — DSADC スタートトリガ出力制御レジスタ n1 （n = 0 ～ 7） 2297
26.2.3.8 PIC2DSADTEN0n2 — DSADC スタートトリガ出力制御レジスタ n2 （n = 0 ～ 7） 2299
26.2.3.9 PIC2DSADTEN1n0 — DSADC ストップトリガ出力制御レジスタ n0 （n = 0 ～ 7） 2301
26.2.3.10 PIC2DSADTEN1n1 — DSADC ストップトリガ出力制御レジスタ n1 （n = 0 ～ 7） 2302
26.2.3.11 PIC2DSADTEN1n2 — DSADC ストップトリガ出力制御レジスタ n2 （n = 0 ～ 7） 2304
26.2.3.12 PIC2DSADCATSEL0 — DSADC トリガ選択制御レジスタ 0 2306
26.2.3.13 PIC2DSADCATSEL1 — DSADC トリガ選択制御レジスタ 1 2308
26.2.4 AD トリガ選択機能 2310
26.2.4.1 ADC トリガ選択機能 2310
26.2.4.2 ΔΣADC トリガ選択機能 2310

第 27 章 ADC 2311

27.1 特長 2311
27.2 構成 2314
27.3 レジスタアドレス 2320
27.4 ADC 共有レジスタ 2322
27.4.1 ADCB0ADSYNSTCR — AD 同期開始制御レジスタ 2322
27.4.2 ADCB0ADTSYNSTCR — AD タイマ同期開始制御レジスタ 2323
27.5 ADC 固有レジスタ 2324
27.5.1 ADCBmVCRn — 仮想チャネルレジスタ n 2324
27.5.2 ADCBmDRn — データレジスタ n 2327
27.5.3 ADCBmDIRn — データ付帯情報レジスタ n 2328
27.5.4 ADCBmADHALTR — AD 終了レジスタ 2329
27.5.5 ADCBmADCR1 — AD 制御レジスタ 1 2330
27.5.6 ADCBmMPXCURCR — MPX カレント制御レジスタ 2331
27.5.7 ADCBmMPXCURR — MPX カレントレジスタ 2332
27.5.8 ADCBmMPXOWR — MPX 任意ウェイトレジスタ 2333
27.5.9 ADCBmMPXCMDR — MPX コマンド情報レジスタ 2334
27.5.10 ADCBmADCR2 — AD 制御レジスタ 2 2335
27.5.11 ADCBmDFASENTSGER — DFE/APA/ASF エントリスキャングループイネーブルレジスタ 2336
27.5.12 ADCBmADENDP — AD 変換モニタ仮想チャネルポインタ 2337
27.5.13 ADCBmSFTCR — セーフティ制御レジスタ 2338
27.5.14 ADCBmTDCR — 端子レベル自己診断制御レジスタ 2339
27.5.15 ADCBmODCR — 断線検出制御レジスタ 2340
27.5.16 ADCBmULLMTBR0 ～ 2 — 上限／下限テーブルレジスタ 0 ～ 2 2341
27.5.17 ADCBmECR — エラークリアレジスタ 2342
27.5.18 ADCBmULER — 上限／下限エラーレジスタ 2343
27.5.19 ADCBmOWER — オーバーライトエラーレジスタ 2344
27.5.20 ADCBmPER — パリティエラーレジスタ 2345

27.5.21 ADCBmIDER — ID エラーレジスタ 2346
27.6 スキャングループ固有レジスタ 2347
27.6.1 ADCBmSGSTCRx — スキャングループ x 開始制御レジスタ 2347
27.6.2 ADCBmADTSTCRy — AD タイマ y 開始制御レジスタ 2348
27.6.3 ADCBmADTENDCRy — AD タイマ y 終了制御レジスタ 2348
27.6.4 ADCBmSGCRx — スキャングループ x 制御レジスタ 2349
27.6.5 ADCBmSGVCSPx — スキャングループ x 開始仮想チャネルポインタ 2351
27.6.6 ADCBmSGVCEPx — スキャングループ x 終了仮想チャネルポインタ 2352
27.6.7 ADCBmSGMCYCRx — スキャングループ x マルチサイクルレジスタ 2353
27.6.8 ADCBmSGSRx — スキャングループ x ステータスレジスタ 2354
27.6.9 ADCBmADTIPRy — AD タイマ y 初期位相レジスタ 2355
27.6.10 ADCBmADTPRRy — AD タイマ y 周期レジスタ 2356
27.6.11 ADCBmULLMSRx — スキャングループ x 上限値／下限値テーブル選択レジスタ 2357
27.7 動作説明 2358
27.7.1 設定手順 2358
27.7.1.1 初期設定 2358
27.7.1.2 トリガ入力フロー 2359
27.7.1.3 終了手順 2361
27.7.2 通常 A/D 変換動作例 2362
27.7.2.1 マルチサイクルスキャンモード 2362
27.7.2.2 連続スキャンモード 2363
27.7.3 同時トラック & ホールド動作例 2364
27.7.3.1 同時トラック＆ホールド動作（物理チャネルグループ選択） 2364
27.7.4 加算モードの通常 A/D 変換動作例 2365
27.7.5 外付けアナログマルチプレクサ動作例 2366
27.7.5.1 外付けアナログマルチプレクサ使用例（ポート出力） 2366
27.7.5.2 外付けアナログマルチプレクサ使用例（SPI 出力） 2367
27.7.6 同期サスペンド & レジューム動作例 2368
27.7.7 非同期サスペンド & レジューム動作例 2369
27.7.8 AD タイマ動作例 2370
27.7.9 自己診断機能 2371
27.7.9.1 端子レベル自己診断機能 2371
27.7.9.2 A/D 変換回路自己診断機能 2372
27.7.9.3 断線検出自己診断機能 2373
27.7.10 アナログ入力のサンプリングとスキャングループ処理時間 2374
27.7.10.1 選択 T&H 実行／ホールド値 A/D 変換動作時の処理時間 2375
27.7.11 スキャングループのトリガ入力選択 2376
27.7.12 ハードウェアトリガによるスキャングループの起動 2377
27.7.13 AD タイマトリガによるスキャングループの起動 2377
27.7.14 ハードウェアトリガによる AD タイマの起動 2377
27.7.15 A/D 変換モニタ端子によるモニタ機能 2378
27.7.16 スキャン終了割り込み要求 2379
27.7.17 MPX 割り込み要求 2380
27.7.18 AD エラー割り込み要求と AD パリティエラー割り込み要求 2381
27.7.19 DFE/APA/ASF へのエントリ機能 2382
27.8 A/D 変換精度の定義 2383
27.9 使用上の注意事項 2384
27.9.1 外付けアナログマルチプレクサの使用上の注意点 2384

27.9.2 アナログ入力端子の使用上の注意 2385
27.9.3 注入電流印加時の注意事項 2386
27.9.4 レジスタ設定時の注意事項 2387
27.10 IFC（Integer/Floating-point 変換モジュール） 2388
27.10.1 特長 2388
27.10.2 構成 2388
27.10.3 レジスタアドレス 2388
27.10.4 レジスタ 2389
27.10.4.1 FDRmn — 浮動小数点データレジスタ mn 2389
27.11 ASF（ADC 積算機能） 2390
27.11.1 特長 2390
27.11.2 構成 2390
27.11.3 レジスタアドレス 2391
27.11.4 レジスタ 2392
27.11.4.1 ASF1nDRi — 積算データレジスタ i 2392
27.11.4.2 ASF1nCMPi — 積算コンペアマッチレジスタ i 2394
27.11.4.3 ASF1nCTL0 — 積算カウンタ制御レジスタ 0 2395
27.11.4.4 ASF1nCTL1 — 積算カウンタ制御レジスタ 1 2396
27.11.4.5 ASF1nCNT — 積算カウントリードレジスタ 2397
27.11.5 動作説明 2398
27.11.5.1 積算処理動作例 2399

第 28 章 ΔΣAD コンバータ（DS-ADC） 2402
28.1 特長 2402
28.2 構成 2404
28.3 レジスタアドレス 2406
28.4 ΔΣADC 共有レジスタ 2407
28.4.1 DSADCCADSYNSTCR — AD 同期開始制御レジスタ 2407
28.4.2 DSADCCOSMPRCR — オーバサンプリングレート制御レジスタ 2408
28.4.3 DSADCCTDCR — 端子レベル自己診断制御レジスタ 2409
28.4.4 DSADCCTDLVR — 端子レベル自己診断レベル指定レジスタ 2410
28.5 ΔΣADC 固有レジスタ 2411
28.5.1 DSADCmCCR — チャネル制御レジスタ（m = 0 ～ 7） 2411
28.5.2 DSADCmDIR — データ付帯情報レジスタ（m = 0 ～ 7） 2413
28.5.3 DSADCmADSTCR — AD 開始制御レジスタ（m = 0 ～ 7） 2416
28.5.4 DSADCmADENDCR — AD 停止制御レジスタ（m = 0 ～ 7） 2416
28.5.5 DSADCmADCR — AD 制御レジスタ（m = 0 ～ 7） 2417
28.5.6 DSADCmADSR — AD ステータスレジスタ（m = 0 ～ 7） 2418
28.5.7 DSADCmSFTCR — セーフティ制御レジスタ（m = 0 ～ 7） 2419
28.5.8 DSADCmULLMTBR — 上限／下限テーブルレジスタ（m = 0 ～ 7） 2420
28.5.9 DSADCmECR — エラークリアレジスタ（m = 0 ～ 7） 2421
28.5.10 DSADCmER — エラーレジスタ（m = 0 ～ 7） 2422
28.5.11 DSADCmFCR — デジタルフィルタ FIR 制御レジスタ（m = 0 ～ 7） 2423
28.6 動作説明 2425
28.6.1 A/D 変換フロー 2425
28.6.2 フィルタタイプの設定 2426

28.6.3 A/D 変換時間 2426
28.6.4 外部トリガによる A/D 変換の起動 2428
28.6.5 外部トリガによる A/D 変換の終了 2428
28.6.6 タイマトリガによる A/D 変換の起動 2429
28.6.7 タイマトリガによる A/D 変換の終了 2429
28.6.8 A/D 変換モニタ端子によるモニタ機能 2430
28.6.9 DMA 要求要因 2431
28.6.10 AD エラー割り込み要求と AD パリティエラー割り込み要求 2432
28.7 使用上の注意事項 2433
28.7.1 アナログ入力端子の使用上の注意 2433
28.7.2 モジュールスタンバイ機能 2433

第 29 章 デジタルフィルタ（DFE） 2434
29.1 概要 2434
29.1.1 特徴 2434
29.1.2 全体構成 2434
29.1.3 データフォーマット 2435
29.1.4 フィルタ回路 2436
29.1.4.1 FIR フィルタ 2436
29.1.4.2 IIR フィルタ 2436
29.1.5 ディスパッチ回路 2437
29.1.6 積算回路 2437
29.1.7 PH 回路 2438
29.1.8 出力回路 2438
29.1.9 中間値出力回路 2438
29.1.10 用語 2438
29.2 制御レジスタ 2441
29.2.1 レジスター覧 2441
29.2.2 CTLACHn － 制御レジスタ A（n = 0 ～ 15） 2446
29.2.3 CTLBCHn － 制御レジスタ B（n = 0 ～ 15） 2449
29.2.4 DOCHn － 出力データレジスタ（n = 0 ～ 15） 2452
29.2.5 PHCHn － PH 結果レジスタ（n = 0 ～ 9） 2453
29.2.6 STCHn － ステータスレジスタ（n = 0 ～ 15） 2454
29.2.7 CLRSTCHn － クリアステータスレジスタ（n = 0 ～ 15） 2456
29.2.8 ERMCHn － エラーマスクレジスタ（n = 0 ～ 15） 2457
29.2.9 TRGCHn － トリガ設定レジスタ（n = 0 ～ 15） 2458
29.2.10 TRHCHn － トリガ履歴レジスタ（n = 0 ～ 15） 2460
29.2.11 CPA ～ CPD － 比較値設定レジスタ 2461
29.2.12 PHIA ～ PHID － PH 初期値設定レジスタ 2462
29.2.13 ACA ～ ACD － 積算／デシメーション回数設定レジスタ 2463
29.2.14 DI － ソフトウエア入力データレジスタ 2464
29.2.15 TRG － ソフトウエアトリガレジスタ 2465
29.2.16 ST － DFE ステータスレジスタ 2466
29.2.17 PITRG － PH 初期化／終了用タイマトリガ選択レジスタ 2467
29.2.18 MITRG － 積算／デシメーション初期化／禁止用タイマトリガ選択レジスタ 2469
29.2.19 FITRG － フィルタ初期化用タイマトリガ選択レジスタ 2471

29.2.20 PHUPDC － PH 更新通知設定レジスタ n（n = 0、1）..... 2473
29.2.21 PHINDCHn － PH インデックスレジスタ（n = 0 ～ 9）..... 2474
29.2.22 HOLCHn － 中間値出力レジスタ L（n = 0 ～ 7）..... 2475
29.2.23 HOHCHn － 中間値出力レジスタ H（n = 0 ～ 7）..... 2476
29.2.24 HOLMCHn － 中間値出力ミラーレジスタ L（n = 0 ～ 7）..... 2477
29.3 動作説明 2478
29.3.1 動作概要 2478
29.3.2 動作手順 2480
29.3.3 エラー処理手順 2481
29.4 詳細 2482
29.4.1 データフロー 2482
29.4.2 アドレスマップ 2483
29.4.3 メモリ 2484
29.4.4 係数メモリのデータフォーマット 2485
29.4.5 データメモリのデータフォーマット 2486
29.4.6 制御レジスタの設定 2487
29.4.6.1 FIR（固定小数点）..... 2487
29.4.6.2 FIR（整数）..... 2488
29.4.6.3 IIR（固定小数点）..... 2489
29.4.7 トリガ制御 2490
29.4.7.1 タイマトリガ入力 2490
29.4.7.2 トリガフラグ機能 2491
29.4.7.3 トリガフラグ機能と処理 2493
29.4.8 入力データ制御 2494
29.4.8.1 AD 入力 2494
29.4.8.2 カスケード入力 2494
29.4.8.3 ソフトウエア入力 2495
29.4.8.4 ディスパッチ 2496
29.4.9 フィルタ回路 2497
29.4.9.1 FIR（8/16/24/32TAP）..... 2497
29.4.9.2 FIR（64TAP）..... 2499
29.4.9.3 IIR（1 段）..... 2500
29.4.9.4 IIR（2 段）..... 2502
29.4.9.5 IIR（3 段）..... 2504
29.4.9.6 フィルタ回路のエラー 2506
29.4.10 積算回路 2507
29.4.10.1 絶対値演算 2507
29.4.10.2 積算処理の概要 2507
29.4.10.3 積算処理の動作 2508
29.4.10.4 積算処理の動作（トリガフラグあり）..... 2511
29.4.10.5 デシメーション処理の概要 2513
29.4.10.6 デシメーション処理の動作 2513
29.4.10.7 デシメーション処理の動作（トリガフラグあり）..... 2516
29.4.11 PH 回路 2518
29.4.11.1 PH 処理の概要 2518
29.4.11.2 PH 処理の動作 2518
29.4.11.3 PH インデックスレジスタ動作 2520
29.4.11.4 PH インデックスレジスタリードとレジスタの動作 2522
29.4.11.5 比較 2525
29.4.12 出力回路 2526
29.4.12.1 浮動小数点変換回路 2526
29.4.12.2 出力レジスタ回路 2526

29.4.12.3　中間値出力レジスタ L/H の浮動小数点変換回路 2526
29.4.12.4　中間値出力レジスタ回路 2526
29.4.13　ステータスレジスタ 2527
29.4.13.1　DOEN フラグセット／クリア条件 2528
29.4.14　エラーマスクレジスタ 2530
29.4.15　割り込み要求 2531
29.4.15.1　出力データ割り込み要求 2531
29.4.15.2　条件一致割り込み要求 2532
29.4.15.3　エラー割り込み要求 2533
29.5　注意と制限事項 2534
29.5.1　処理時間 2534
29.5.1.1　1 チャネルの処理時間 2534
29.5.1.2　停止処理時間 2534
29.5.2　DFE 起動入力間隔 2535
29.5.2.1　DFE 処理時間 2536
29.5.3　トリガ入力 2537
29.5.4　チャネルタグと AD タグ 2538
29.5.5　入力データフォーマットと演算の制限 2538
29.5.6　カスケード処理の制限 2538
29.5.7　チャネル無効時の動作 2539
29.5.7.1　チャネル有効ビットによる無効化 2539
29.5.7.2　フィルタ処理選択ビットによる無効化 2540
29.5.8　メモリアクセスの制限 2541
29.5.9　トリガ設定レジスタの制限 2541
29.5.10　PH 処理禁止ビットと積算／デシメーション処理禁止ビットの設定 2541
29.5.11　制御レジスタ A ／ B の制限 2542
29.5.12　PH インデックスレジスタの制限 2542
29.5.13　中間値出力レジスタの制限 2542

第 30 章　セーフティ 2543

30.1　概要 2543
30.2　ECC および EDC 2544
30.2.1　概要 2544
30.2.1.1　ECC 2544
30.2.1.2　アドレスパリティ 2545
30.2.1.3　データパリティ 2545
30.2.2　Code Flash の ECC およびアドレスパリティ 2546
30.2.2.1　概要 2546
30.2.2.2　レジスター覧 2549
30.2.2.3　レジスタ詳細 2550
30.2.2.4　テスト機能 2559
30.2.3　Data Flash の ECC 2561
30.2.3.1　概要 2561
30.2.3.2　レジスター覧 2562
30.2.3.3　レジスタ詳細 2563
30.2.3.4　テスト機能 2568
30.2.4　Local RAM（CPU1）の ECC およびアドレスパリティ 2569
30.2.4.1　概要 2569
30.2.4.2　レジスター覧 2571
30.2.4.3　レジスタ詳細 2572
30.2.4.4　テスト機能 2581

30.2.5 Local RAM（PCU）の ECC 2583
30.2.5.1 概要 2583
30.2.5.2 レジスター覧 2584
30.2.5.3 レジスタ詳細 2585
30.2.5.4 テスト機能 2593
30.2.6 Global RAM の ECC およびアドレスパリティ 2594
30.2.6.1 概要 2594
30.2.6.2 レジスター覧 2599
30.2.6.3 レジスタ詳細 2600
30.2.6.4 テスト機能 2611
30.2.7 命令キャッシュの ECC および EDC 2614
30.2.7.1 概要 2614
30.2.7.2 レジスター覧 2615
30.2.7.3 レジスタ詳細 2616
30.2.7.4 テスト機能 2628
30.2.8 DTS 用 RAM の ECC 2629
30.2.9 周辺 RAM（32 ビット）の ECC 2630
30.2.9.1 概要 2630
30.2.9.2 レジスター覧 2632
30.2.9.3 レジスタ詳細 2634
30.2.9.4 ECM への通知 2642
30.2.9.5 テスト機能 2643
30.2.10 周辺 RAM（16 ビット）の ECC 2644
30.2.10.1 概要 2644
30.2.10.2 レジスター覧 2645
30.2.10.3 レジスタ詳細 2647
30.2.10.4 ECM への通知 2656
30.2.10.5 テスト機能 2657
30.2.11 データ転送経路のデータパリティ 2658
30.2.11.1 レジスター覧 2659
30.2.11.2 レジスタ詳細 2662
30.3 ロックステップ 2666
30.3.1 レジスター覧 2666
30.3.2 レジスタ詳細 2667
30.3.2.1 TESTCOMPREG0 — 比較器テストレジスタ 0 2667
30.3.2.2 TESTCOMPREG1 — 比較器テストレジスタ 1 2668
30.3.2.3 LS_ERR_CNT — ロックステップエラーコントロールレジスタ 2669
30.3.2.4 LS_ERR_ST — ロックステップエラーステータスレジスタ 2670
30.3.2.5 LS_ERR_ADDRESS — ロックステップエラーアドレススレジスタ 2672
30.3.2.6 LS_ERR_DATA — ロックステップエラーデータレジスタ 2673
30.4 メモリ保護 2674
30.4.1 概要 2674
30.4.1.1 スレーブガードの識別子 2675
30.4.2 GRG（Global RAM Guard） 2676
30.4.2.1 レジスター覧 2676
30.4.2.2 レジスタ詳細 2678
30.4.3 PBG 2686
30.4.3.1 レジスター覧 2688
30.4.3.2 レジスタ詳細 2689
30.5 マルチインプットシグネチャジェネレータ（MISG） 2694
30.5.1 概要 2694
30.5.2 ブロック図 2695
30.5.2.1 MISG 2695

30.5.2.2 シグネチャ生成 2696
30.5.3 機能仕様 2698
30.5.3.1 シグネチャ生成条件 2698
30.5.3.2 シグネチャ自動比較機能 2700
30.5.3.3 データカウンタ 2700
30.5.3.4 エラー通知 2700
30.5.4 レジスタ仕様 2701
30.5.4.1 レジスタマップ 2701
30.5.4.2 MISRCDR_PE1/PCU — MISR カルキュレーションデータレジスタ 2703
30.5.4.3 MISR1_PE1/PCU — マルチインプットシグネチャレジスタ 1 2704
30.5.4.4 MISR2_PE1/PCU — マルチインプットシグネチャレジスタ 2 2705
30.5.4.5 MISRCR_PE1/PCU — MISR コントロールレジスタ 2706
30.5.4.6 MISRBASEADR_PE1/PCU — MISR 監視領域ベースアドレスレジスタ 2707
30.5.4.7 MISRADRMSK_PE1/PCU — MISR 監視領域アドレスマスクレジスタ 2708
30.5.4.8 MISRDCNTCTL_PE1/PCU — MISR データカウンタコントロールレジスタ 2709
30.5.4.9 MISRDCNT_PE1/PCU — MISR データカウンタレジスタ 2710
30.5.4.10 MISRCMPCTL — MISR コンパレータコントロールレジスタ 2711
30.5.4.11 MISRCMPERSTR — MISR コンペアエラーステータスレジスタ 2712
30.5.4.12 MISRCMPERRSTC — MISR コンペアエラーステータスクリアレジスタ 2713
30.5.4.13 MISRERRCTL — MISR エラー通知コントロールレジスタ 2714
30.5.5 使用例 2715
30.5.5.1 使用例 1 2715
30.5.5.2 使用例 2 2716
30.6 クロックモニタ 2717
30.6.1 概要 2717
30.6.2 レジスター覧 2718
30.6.2.1 クロックモニタ チャネルレジスタ 2718
30.6.2.2 共通レジスタ 2718
30.6.3 レジスタ詳細 2719
30.6.3.1 CLMAnCTL0 — CLMAn 制御レジスタ 0 2719
30.6.3.2 CLMAnCMPL — CLMAn 比較レジスタ L 2719
30.6.3.3 CLMAnCMPH — CLMAn 比較レジスタ H 2720
30.6.3.4 CLMAnPCMD — CLMAn 保護命令レジスタ 2720
30.6.3.5 CLMAnPS — CLMAn 保護命令ステータスレジスタ 2721
30.6.3.6 CLMATEST — CLMA セルフテストレジスタ 2722
30.6.3.7 CLMATESTS — CLMA セルフテストステータスレジスタ 2723
30.6.4 異常クロック周波数の検出 2724
30.6.5 自己診断 2727
30.6.6 レジスタ設定時の注意事項 2728
30.6.6.1 保護レジスタへの書き込み 2728
30.6.6.2 CLMAnCMPL/CLMAnCMPH レジスタの設定 2729
30.7 BIST 2730
30.8 ECM 2731

第 31 章 エラーコントロールモジュール (ECM) 2732
31.1 概要 2732
31.1.1 仕様概要 2732
31.1.2 エラー要因とセーフティ処理 2733
31.1.3 ERROROUT 出力動作 2736
31.1.3.1 ダイナミックモードを有効にする 2736
31.1.3.2 ダイナミックモードを無効にする 2736
31.1.4 ループバック機能 2736

31.1.5 疑似エラー発生 2736
31.1.6 エラー状態 2737
31.1.7 書き込み保護レジスタ 2738
31.1.7.1 書き込み保護されたレジスタへの書き込みシーケンス 2738
31.1.8 割り込み処理のタイムアウト機能 2739
31.2 ブロック図 2740
31.3 レジスタ仕様 2741
31.3.1 レジスター覧 2741
31.3.2 ECMmESET, m = M/C — ECM マスタ／チェッカエラーセットトリガレジスタ 2743
31.3.3 ECMmECLR, m = M/C — ECM マスタ／チェッカエラークリアトリガレジスタ 2744
31.3.4 ECMmESSTR0, m = M/C — ECM マスタ／チェッカエラーソースステータスレジスタ 0 2745
31.3.5 ECMmESSTR1, m = M/C — ECM マスタ／チェッカエラーソースステータスレジスタ 1 2746
31.3.6 ECMmPCMD0, m = M/C — ECM マスタ／チェッカ保護コマンドレジスタ 2747
31.3.7 ECMEPCFG — ECM エラーパルスコンフィグレーションレジスタ 2748
31.3.8 ECMMICFG0 — ECM マスカブル割り込みコンフィグレーションレジスタ 0 2749
31.3.9 ECMMICFG1 — ECM マスカブル割り込みコンフィグレーションレジスタ 1 2750
31.3.10 ECMNMICFG0 — ECM FE レベル割り込みコンフィグレーションレジスタ 0 2751
31.3.11 ECMNMICFG1 — ECM FE レベル割り込みコンフィグレーションレジスタ 1 2752
31.3.12 ECMIRCFG0 — ECM 内部リセットコンフィグレーションレジスタ 0 2753
31.3.13 ECMIRCFG1 — ECM 内部リセットコンフィグレーションレジスタ 1 2754
31.3.14 ECMEMK0 － ECM エラーマスクレジスタ 0 2755
31.3.15 ECMEMK1 － ECM エラーマスクレジスタ 1 2756
31.3.16 ECMESSTC0 － ECM エラーソースステータスクリアトリガレジスタ 0 2757
31.3.17 ECMESSTC1 － ECM エラーソースステータスクリアトリガレジスタ 1 2758
31.3.18 ECMPCMD1 － ECM 保護コマンドレジスタ 2759
31.3.19 ECMPS － ECM 保護ステータスレジスタ 2760
31.3.20 ECMPE0 － ECM 擬似エラートリガレジスタ 0 2761
31.3.21 ECMPE1 － ECM 擬似エラートリガレジスタ 1 2762
31.3.22 ECMDTMCTL － ECM ディレイタイマコントロールレジスタ 2763
31.3.23 ECMDTMR － ECM ディレイタイマレジスタ 2764
31.3.24 ECMDTMCMP － ECM ディレイタイマコンペアレジスタ 2764
31.3.25 ECMDTMCFG0 － ECM ディレイタイマコンフィグレーションレジスタ 0 2765
31.3.26 ECMDTMCFG1 － ECM ディレイタイマコンフィグレーションレジスタ 1 2766
31.3.27 ECMDTMCFG2 － ECM ディレイタイマコンフィグレーションレジスタ 2 2767
31.3.28 ECMDTMCFG3 － ECM ディレイタイマコンフィグレーションレジスタ 3 2768

第 32 章 データ CRC（DCRA） 2769
32.1 概要 2769
32.1.1 機能概要 2769
32.1.2 ブロック図 2770
32.1.3 演算回路 2771
32.2 レジスタ仕様 2772
32.2.1 レジスター覧 2772
32.2.2 DCRA0CIN — CRC インプットレジスタ 2773

32.2.3 DCRA0COUT — CRC データレジスタ 2774
32.2.4 DCRA0CTL — CRC 制御レジスタ 2775
32.3 機能 2776

第 33 章 オンチップデバッグユニット (OCD) 2777
33.1 デバッグ機能 2777
33.2 キャリブレーション機能 2779
33.3 トレース・コントロール機能 2779
33.4 ペリフェラル・ブレークの制御 2780
33.4.1 概要 2780
33.5 AUD-RAM モニタ（AUDR） 2781
33.5.1 概要 2781
33.5.2 入出力端子 2783
33.5.3 レジスタの説明 2783
33.5.3.1 AUDISR — AUDR Configuration 情報保持レジスタ 2784
33.5.3.2 AUDMBR/AUDMBRC — AUDR メッセージボードレジスタ 2785
33.5.4 RAM モニタ機能 2787
33.5.4.1 通信プロトコル 2787
33.5.4.2 動作説明 2787
33.5.4.3 AUDR 機能に関しての使用上の注意事項 2795
33.5.4.4 RAM モニタ機能の有効 / 無効設定 2795
33.6 オンチップ・デバッグ使用上の注意 2796

第 34 章 フラッシュ・メモリ 2797
34.1 特徴 2797
34.2 メモリ構成 2798
34.3 フラッシュ・メモリ関連の動作モード 2800
34.4 機能概要 2801
34.5 シリアル・プログラミング 2806
34.5.1 プログラミング環境 2806
34.6 通信方式の選択 2807
34.7 セルフ・プログラミング 2808
34.7.1 概要 2808
34.7.2 BGO 機能 2808
34.8 フラッシュ・メモリの読み出し 2809
34.8.1 Code Flash メモリの読み出し 2809
34.8.2 Data Flash メモリの読み出し 2809
34.9 レジスタの説明 2810
34.9.1 Data Flash メモリ関連のレジスタ 2810
34.9.1.1 FRDCYCLD ー Data Flash メモリ読み出しサイクル設定レジスタ 2810
34.9.2 フラッシュ・メモリ書き込み・消去プロテクト関連レジスタ 2811
34.9.2.1 FHVE15 ー FHVE15 コントロールレジスタレジスタ 2811
34.9.2.2 FHVE3 ー FHVE3 コントロールレジスタレジスタ 2812
34.9.3 製品情報関連レジスタ 2813
34.9.3.1 PRDNAMEn、n = 1 ～ 4 ー 製品名格納レジスタ 2813

34.10 オプション・バイト 2814
34.10.1 OPBT0 ー オプション・バイト 4 ～ 1 ビット配置 2815
34.10.2 OPBT2 ー オプション・バイト 12 ～ 9 ビット配置 2816
34.10.3 OPBT3 ー オプション・バイト 16 ～ 13 ビット配置 2817
34.10.4 OPBT5 ー オプション・バイト 24 ～ 21 ビット配置 2818
34.10.5 OPBT6 ー オプション・バイト 25 ～ 28 ビット配置 2819
34.11 使用上の注意事項 2820

第 35 章 セキュリティ 2822
35.1 特徴 2822
35.1.1 コードフラッシュおよびデータフラッシュ、ID コード保護 2822
35.1.1.1 ユーザブートモード固有機能 2822
35.1.1.2 シリアルプログラミングモード固有機能 2823
35.1.1.3 ユーザブートモードおよびシリアルプログラミングモード共通機能 2823
35.1.2 デバッグインターフェースの接続制限機能 2824
35.2 ユーザブートモード時のセキュリティ機能 2825
35.2.1 SELF ID 認証 2825
35.2.2 SELF ID 認証とセキュリティ状態 2825
35.3 シリアルプログラミングモード時のセキュリティ機能 2827
35.4 デバッグインターフェースの接続制限機能 2827
35.4.1 セキュリティレベルとデバッグインターフェースの接続制限状態 2827

第 36 章 ICUS 2830

第 37 章 セキュアウォッチドッグタイマ (SWDT) 2831
37.1 機能概要 2831
37.1.1 SWDT の特長 2831
37.2 レジスタ説明 2833
37.2.1 SWDTnWDTE — SWDT イネーブルレジスタ 2833
37.2.2 SWDTnMD — SWDT モードレジスタ 2834
37.2.3 SWDTnCLR — SWDT クリアレジスタ 2835
37.2.4 SWDTnSTS0 — SWDT ステータスレジスタ 0 2836
37.2.5 SWDTnSTS1 — SWDT ステータスレジスタ 1 2837
37.2.6 SWDTnSTSC — SWDT ステータスクリアレジスタ 2838
37.3 動作説明 2839
37.3.1 リセット解除時の動作 2839
37.3.2 SWDTn のカウンタクリア動作 2840

第 38 章 内蔵 RAM 2841
38.1 搭載 RAM 一覧 2841
38.2 特長 2841
38.3 RAM のデータ保持 2841
38.4 EmulationRAM(ERAM) 2842
38.4.1 ERAM について 2842

38.4.2 ERAM を使った Code Flash エミュレーション機能について 2842
38.4.3 ERAM のメモリ・マップ 2844
38.4.4 CFU レジスター覧 2845
38.4.5 TM_CC — キャッシュ・クリア操作レジスタ 2846
38.4.6 TM_ME — チューニング･メモリ･マッピング許可レジスタ 2847
38.4.7 TM_MS — チューニング･メモリ･マッピング･ステータス･レジスタ 2848
38.4.8 TM_BNK — チューニング･メモリ･マッピング･バンク･レジスタ 2849
38.4.9 TM_ERR — チューニング･メモリ･マッピング･エラー･レジスタ 2850
38.4.10 TM_FST — チューニング･メモリ･ Flash バンク･レジスタ 2851
38.4.11 TM_BMC0 — チューニング・メモリ・バンク・マッピング・サイズ・コンフィグレーション・レジスタ 0 2852
38.4.12 TM_MA00 — チューニング・メモリ・マッピング・アドレス・レジスタ 00 2854
38.4.13 チューニング処理フロー 2855
38.5 使用上の注意事項 2856

第 39 章 バウンダリスキャン 2857
39.1 特長 2857
39.2 入出力端子 2859
39.3 レジスタの説明 2860
39.3.1 SDIR — インストラクションレジスタ 2861
39.3.2 SDID — ID レジスタ 2861
39.3.3 SDBPR — バイパスレジスタ 2861
39.3.4 SDBSR — バウンダリスキャンレジスタ 2861
39.4 動作説明 2862
39.4.1 TAP コントローラ 2862
39.4.2 サポートするコマンド 2863
39.4.2.1 BYPASS 2863
39.4.2.2 SAMPLE/PRELOAD 2863
39.4.2.3 EXTEST 2863
39.4.2.4 CLAMP 2863
39.4.2.5 HIGHZ 2863
39.4.2.6 IDCODE 2864
39.4.3 注意事項 2864
39.5 使用上の注意 2865

第 40 章 電気的特性 2866
40.1 絶対最大定格 2866
40.2 DC 特性 2868
40.2.1 電源名と端子の関係 2868
40.2.2 動作条件 2875
40.2.3 入力電圧特性 2876
40.2.4 入力リーク電流特性 2877
40.2.5 プルアップ／プルダウン MOS 電流特性 2878
40.2.6 出力電圧特性 2879
40.2.7 許容出力電流 2880
40.2.8 注入電流 2880

40.2.9 LVDS ドライバ 2881
40.2.10 入力容量 2882
40.2.11 消費電流特性 2883
40.2.12 スタンバイ電流 2884
40.2.13 電源電圧モニタ特性 2884
40.3 AC 特性 2885
40.3.1 電源投入・切断タイミング 2886
40.3.2 スタンバイ移行・復帰タイミング 2888
40.3.3 クロックタイミング 2889
40.3.3.1 外部クロックと出力クロック 2889
40.3.3.2 スペクトラム拡散クロックジェネレータ 2890
40.3.3.3 オンチップオシレータ発振周波数精度 2890
40.3.4 出力スルーレート 2891
40.3.5 制御信号タイミング 2892
40.3.6 CSIH タイミング 2893
40.3.7 SCI3/FLSCI3 タイミング 2901
40.3.8 FlexRay タイミング 2903
40.3.9 RS-CANFD タイミング 2904
40.3.10 TSG2 タイミング 2905
40.3.11 RHSB タイミング 2906
40.3.12 JTAG、NEXUS タイミング 2907
40.3.13 LDU4 線式タイミング 2908
40.3.14 AUD RAM モニタ 2909
40.4 A/D 変換器特性 2910
40.5 Code Flash 特性 2914
40.6 Data Flash 特性 2915
40.7 熱特性 2916
40.7.1 パラメータ 2916
40.7.2 想定基板 2916

付録 レジスター覧 2917

付録 外形寸法図 3238

第 1 章　概要

RH850/E1M-S2 は、ルネサス エレクトロニクスのシングルチップマイクロコンピュータ「RH850 シリーズ」の 1 製品です。この章では、RH850/E1M-S2 の概要を説明します。

1.1　概説

本製品は、RH850 シリーズの CPU を複数搭載し、Code Flash、RAM、DMA コントローラ、CAN、RHSB（マイクロセカンドバス）を含めた各種高速通信インタフェース、逐次変換型と ΔΣ 型の 2 種類の A/D コンバータ、デジタルフィルタ処理などの周辺機能を内蔵し、かつ高速、高精度なパワートレイン制御に最適なアドバンスドタイマユニット（ATU-IV）を搭載した 32 ビットシングルチップマイクロコンピュータです。また、近年自動車分野に於いて要求の高い機能安全（ASIL）にも対応した製品です。

(1) RH850 のマルチコア搭載

本製品は、メイン CPU に「RH850G3MH」を 1 ユニット搭載しております（各々の CPU については、以下 CPU1 と称す）。また、周辺制御用 CPU（以下 PCU：Peripheral Control Unit と称す）に「RH850G3K」を 1 ユニット搭載しております。CPU1 と PCU は、RISC 型命令セットをサポートしており、1 命令を 1 クロックで実行する基本命令と、それぞれ 9 段と 5 段に最適化されたパイプライン構成により、命令実行速度を飛躍的に向上させています。さらに自動車パワートレイン制御の応用をはじめとしたあらゆる分野に最適な命令として、32 ビットのハードウエア乗算器による乗算命令、飽和積和演算命令、ビット操作命令などもサポートしています。

また、2 バイト長の基本命令、高級言語対応命令などにより、C コンパイラでのオブジェクトコード効率を高めており、プログラムサイズのコンパクト化を実現します。さらに、内蔵割り込みコントローラでの処理を含む割り込み応答時間も高速なため、高度なリアルタイム制御分野に適しています。

(2) Code Flash、Data Flash 内蔵

本製品は、高速アクセス可能な Code Flash を 4M バイト内蔵しており、各 CPU からアクセスすることが可能です。アプリケーションシステム上に実装したままプログラムの書き換えが可能です。そのためシステム開発期間の短縮が実現できるとともに、システム出荷後のメンテナンス性を飛躍的に向上させることができます。

また、Data Flash を 64K バイト搭載しており、EEPROM のデータ格納用メモリとして使用することが可能です。

(3) 豊富な周辺機能

本製品は、自動車パワートレイン制御（エンジン、トランスミッション等）でのハードウェア・ソフトウェア共に制御負荷を削減するために最適化したタイマ（ATU-IV、APA）、デジタルフィルタエンジン（DFE）、2 種類の AD コンバータ（ADCB、DS-ADC）等を内蔵しています。また、自動車分野では標準の周辺機能（UART、CAN、RHSB）などを内蔵しています。デバッグインタフェースとしても世界標準のオンチップデバッグインタフェース（NEXUS JTAG）を搭載しております。これにより、これら機能を外付けすることなくシステム構築できるため、コスト低減、部品点数や実装面積の削減を図ることができます。

(4) 機能安全対応

本製品は ISO26262 における SEooC（Safety Element out of Context）として開発しており、LSI に生じた故障を早期に検出するために ECC などの故障検出機能を搭載する他、メモリ保護機能、周辺装置保護機能、システムレジスタ保護機能、クロックモニタ機能も持っています。これらを搭載することで自動車分野の機能安全要求に対応をしております。

1.2 特長

CPU1 コア	RH850G3MH：1 ユニット（高速演算・制御用 CPU コア）
CPU1 キャッシュメモリ	8K バイト
CPU1 最小命令実行時間	3.125ns（内部 320MHz 動作時）
CPU1 汎用レジスタ	32 ビット × 32 本
CPU1 命令セット	符号付き乗算（32 ビット × 32 ビット→ 64 ビット）：1-2 CPU クロック 飽和演算命令（オーバフロー／アンダフロー検出機能付き） 32 ビット算術／論理シフト命令：1 CPU クロック ビット操作命令 ロング／ショート形式を持つロード／ストア命令 符号付きロード命令
PCU コア	RH850G3K：1 ユニット（中速演算・周辺制御用）
PCU 最小命令実行時間	12.5ns（内部 80MHz 動作時）
PCU 汎用レジスタ	32 ビット × 32 本
PCU 命令セット	符号付き乗算（32 ビット × 32 ビット→ 64 ビット）：1-2 CPU クロック 飽和演算命令（オーバフロー／アンダフロー検出機能付き） 32 ビット算術／論理シフト命令：1 CPU クロック ビット操作命令 ロング／ショート形式を持つロード／ストア命令 符号付きロード命令
メモリ空間	4G バイトアドレス空間（プログラム／データ共有） （PCU は 128M バイトのみアクセス可能）
Code Flash	2 種類のメモリ領域 • ユーザ領域：4M バイト（CPU1/PCU 共通） • ユーザブート領域：32K バイト キャッシュ経由で高速読み出し可能（CPU1 のみ）
Data Flash	64K バイト（CPU1/PCU 共通）
RAM	RAM（Local RAM）：64K バイト（CPU1）、32K バイト（PCU） （Global RAM）：256K バイト（CPU1/PCU 共通）　内 32K バイトスタンバイ RAM Emulation RAM：8K バイト（CPU1 のみ R/W 可）
割り込み／例外	1 本のノンマスカブル割り込み（端子 NMI） 1 本の FE レベル割り込み （ECM） 491 本のマスカブル割り込み（高速：23 本、低速 468 本） 割り込み要因の複数コアへの同時配分対応（CPU1/PCU） • 対応要因：ノンマスカブル割り込み（端子 NMI）、FE レベル割り込み、 23 本の高速マスカブル割り込み 外部割り込み入力機能（端子 IRQ） ソフトウエア割り込み機能（SINT） プロセッサ間割り込み機能（IPIR） マスカブル割り込みの 16 レベルの優先順位指定可能 RH850 G3MH、G3K 例外については「RH850G3MH ユーザーズマニュアル ソフトウェア編」、「RH850G3K ユーザーズマニュアル ソフトウェア編」を参照してください。
DMA コントローラ	16 チャネル内蔵（8 チャネル × 2　モジュール） 転送単位：8 ビット／ 16 ビット／ 32 ビット／ 64 ビット／ 128 ビット 64 ビット × 2 バースト転送対応 デュアルアドレス転送モード アドレスリロード機能 チェーン転送機能 3 種類の転送モード設定可能：シングル転送、ブロック転送 1（転送回数で指定した転送）、ブロック転送 2（アドレスカウントで指定した回数転送） 転送対象：内蔵メモリ、内蔵周辺モジュール（DMAC/DTS 除く） 転送要求は割り込み要因およびソフトウエアで設定可能

DTS コントローラ	128 チャネル内蔵 転送単位：8 ビット／ 16 ビット／ 32 ビット／ 64 ビット／ 128 ビット 64 ビット × 2 バースト転送対応 デュアルアドレス転送モード アドレスリロード機能 チェーン転送機能 3 種類の転送モード設定可能：シングル転送、ブロック転送 1（転送回数で指定した転送）、ブロック転送 2（アドレスカウントで指定した回数転送） 転送対象：内蔵メモリ、内蔵周辺モジュール（DMAC/DTS 除く） 転送要求は割り込み要因およびソフトウエアで設定可能
I/O	特定の入出力端子の出力ドライブ能力を選択可能 特定の入出力端子の出力値の反転有無を選択可能 特定の入力端子のプルダウン / プルダウンオフを選択可能
セーフティ	フラッシュメモリ ECC エラー検出機能 RAM ECC エラー検出機能 周辺モジュール RAM ECC エラー検出機能（DTS、APA、CAN、FlexRay、DFE） 発振停止検出機能、バックアップクロックでの発振機能 エラーコントロールモジュール ECM モジュールの二重化（CPU1、ECM、エラー出力端子他）
エラーコントロールモジュール（ECM）	各エラーチェック機構およびセーフティ機能の情報を集約しエラーステータス表示 エラー検出時はエラー端子から外部へエラー信号を出力可能 エラー検出により割り込みや内部リセット信号を発生可能 デバッグ、自己診断用擬似エラーを発生する機能
データ CRC	データ CRC（データ巡回冗長検査）は、様々な長さで異なるビット幅の CRC で保護されたデータストリームを検証または生成可能
マルチインプットシグネチャジェネレータ（MISG）	各々の CPU による特定のアドレスへのライトアクセスを監視し、そのライトデータを用いて 64 ビットのシグネチャを生成
ウィンドウウォッチドックタイマ（WDTA）	2 チャネル内蔵 エラー発生時に ECM への信号発生可能 エラー発生要因（カウンタオーバフロー、ウィンドウクローズ期間のレジスタライト） ウィンドウの 75% で割り込み発生可能
アドバンストタイマユニット IV（ATU-IV）	タイマ A：32 ビットインプットキャプチャ × 7 チャネル タイマ B：アングルクロック生成タイマ × 1 チャネル タイマ C：32 ビットインプットキャプチャ／アウトプットコンペア ×32 チャネル タイマ D：32 ビットワンショットパルス × 40 チャネル 32 ビットインプットキャプチャ × 40 チャネル 32 ビットアウトプットコンペア × 40 チャネル タイマ E：24 ビット PWM × 28 チャネル タイマ F：32 ビットイベントカウンタ × 16 チャネル タイマ G：32 ビットインターバルタイマ × 10 チャネル タイマ H：32 ビットインターバルタイマ × 1 チャネル タイマ J：9 段の FIFO 付き 32 ビットインプットキャプチャ ×6 チャネル
オートノマスパルスアダプタ（APA）	1 チャネル内蔵 • トータルで 16 チャネルの PWM 出力が可能 • 周辺モジュール（ATU-IV、ADCB、DS-ADC）の値をリファレンスとして CPU 負荷なしにイベント（コンペアマッチ）で出力を変化 • イベントを複数組み合わせで出力パターンの自動生成が可能
モータコントロールタイマ（TSG2） タイマオプション（TAPA）	TSG2、TAPA：各 2 ユニット内蔵 • 3 相モータ制御（U、V、W）を最大 2 つまで制御可能なタイマユニット搭載 • 異常検出時に TSG2 タイマの出力を強制的に Hi-Z 設定可能
OS タイマ（OSTM）	3 ユニット内蔵 • OS 使用を想定した 32bit のタイマ • インターバルタイマモード、フリーランニングタイマモード設定可能 • ユニット間の同期スタート設定可能
ペリフェラルインターコネクション（PIC）	1 ユニット内蔵 • TSG2 タイマを使用した同期動作やタイマ入出力の内部をタイマ間で接続可能

シリアル コミュニケーション インタフェース 3 （SCI3）	4 チャネル内蔵 • クロック同期／調歩同期式の設定可能 • 全二重通信が可能 • 内蔵ボーレートジェネレータで任意のビットレート設定可能 • LSB ファースト /MSB ファースト選択可能
シリアル インタフェース H （CSIH）	4 チャネル内蔵 • 3 線式シリアル同期データ転送 • マスタモード、スレーブモードの選択可能 • 設定可能な 6 個／4 個のチップセレクト出力信号 • 内蔵ボーレートジェネレータで任意のビットレート設定可能
CAN インタフェース （RS-CAN-FD）	4 チャネル内蔵 • クラシカル CAN モード（RS-CAN の SW 互換モード） – CAN ISO 11898-1: 2015 に準拠 – 転送速度最大 1Mbps – 4 チャネル合計で 320 個のメッセージバッファを搭載 – 受信フィルタリング機能内蔵 • CAN-FD モード – CAN-FD ISO 11898-1: 2015 に準拠 – 転送速度最大 5Mbps – 4 チャネル合計で 320 個のメッセージバッファを搭載 – 受信フィルタリング機能内蔵
FlexRay	2 チャネル内蔵（A ch, B ch） • Protocol Specification 2.1 準拠 • バッファサイズ：8K バイトを最大 128 に分割（送信、受信、受信 FIFO） • メッセージフィルタリング：ID フィルタ、チャネルフィルタ、サイクルカウンタフィルタ • ビットレート 10Mbps
LIN マスタ インタフェース （RLIN2）	1 チャネル内蔵 • 多種のフレーム幅に対応できるよう設定可能 • チェックサムタイプを設定可能 • ウェークアップ送受信可能 • 内蔵ボーレートジェネレータで任意のビットレート設定可能（2400、9600、10417、19200bps）
ルネサス ハイスピードバス （RHSB）	2 チャネル内蔵 マイクロセカンドバスチャネルに対応する通信モジュール • ダウンストリーム通信 • 最大 2 つのスレーブを個別設定可能 • 緊急時対応の機能内蔵
RSENT	6 チャネル内臓 • SENT（Single Edge Nibble Transmission）通信プロトコル標準仕様 SAE J2716（version JAN2010） • および、SPC（Short PWM Code）拡張仕様に準拠 • 1 端子で単方向、または双方向通信が可能 • 2 端子で双方向通信が可能 • CRC で保護されたデータ転送が可能

AD コンバータ （ADCB）	48 チャネル内蔵 • 12 ビット分解能、逐次変換方式 • 変換速度：1.0us • 12 ビット分解能 × 24 チャネル（ADC0）、12 ビット分解能 × 24 チャネル（ADC1）独立動作 • トラック &ホールド回路（ADC0 × 2 チャネル、ADC1 × 2 チャネル） • 5 系統のスキャングループ設定可能 • 2 種類のスキャンモード（マルチスキャンモード、連続スキャンモード） • ADC0：最大 40 チャネルの仮想チャネル設定可能 • ADC1：最大 40 チャネルの仮想チャネル設定可能 • 2 種類の A/D 変換加算機能内蔵 • 変換結果を浮動小数点フォーマットに変換 • デジタルフィルタエンジンへ直接データをエントリ可能 • セーフティ機能（自己診断機能、データレジスタ上限 / 下限チェック、データレジスタパリティ他）
ΔΣAD コンバータ （DS-ADC）	16 チャネル内蔵（8 チャネル × 2 入力） • 高性能な A/D 変換 • A/D 変換方式は ΔΣ 変調方式 • シングルエンド入力と作動入力をサポート • プログラマブルゲインアンプ内蔵（x1、x2、x4、x8） • デジタルフィルタエンジンへ直接データをエントリ可能 • セーフティ機能（自己診断機能、データレジスタ上限 / 下限チェック、データレジスタパリティ他）
電源電圧モニタ	LSI 内部で VDD 電圧をモニタ VDD が所定電圧以上や所定電圧以下になると LSI 外部にエラーを通知 エラー検出に時間フィルタを設定可能
デジタルフィルタ	16 チャネルのデジタルフィルタ（FIR/IIR）機能内蔵 • 最大 64 タップの FIR を選択可能設定可能 • 最大 6 次の IIR を選択可能 • フィルタ係数、データは接続する RAM に格納 • フィルタ処理後のデータに対して 積算処理もしくはデシメーション処理が可能 ピークホールド処理もしくは比較処理が可能 • AD 変換器や ΔΣAD 変換器からの変換データを直接入力し、自動フィルタ処理を実行
セキュア ウォッチドックタイマ （SWDT）	2 チャネル内蔵 エラー発生時に ECM への信号発生可能 エラー発生要因（カウンタオーバフロー） 指定したプログラムカウンタ (PC) 一致確認機能
インテリジェントクリプトグラフィックユニット (ICUS)	SHE（Secure Hardware Extension）規格で定義される車載セキュリティ向け標準機能をサポート
オンチップデバッグユニット （OCD）	NEXUS　JTAG：1ch 内蔵 LDU(4pin)　：1ch 内蔵
バウンダリスキャン	IEEE1149.1 規格に準拠したバウンダリスキャン機能をサポート
クロックコントローラ	発振回路を内蔵 外付け容量なしで 20MHz 発振可能 EXTAL 端子から Max 20MHz のクロック入力可能 内蔵 PLL によりクロック逓倍が可能 リングオシレータ回路を内蔵 輻射ノイズ低減のため SSCG を内蔵。ただし、タイマや通信モジュールには SSCG なしのクロックを供給
動作モード	動作モード • ユーザブートモード • シリアルプログラミングモード 低消費電力モード • 電源遮断スタンバイ
パッケージ	304 ピン・プラスチック FBGA（0.8 mm ボールピッチ）（19 × 19） 252 ピン・プラスチック FBGA（0.8 mm ボールピッチ）（17 × 17）

1.3 応用分野

- 自動車分野（エンジン制御システム、トランスミッション制御システムなど）

1.4 オーダ情報

品　名	パッケージ	内蔵 ROM	動作温度（T_j）	外付け発振子	最大動作周波数
R7F701215EABA	プラスチック BGA-304 0.8mm ボールピッチ 19mm × 19mm	4MB	max.150°C	20MHz	240MHz
R7F701215EABG	プラスチック BGA-252 0.8mm ボールピッチ 17mm × 17mm	4MB	max.150°C	20MHz	240MHz
R7F701216EABA	プラスチック BGA-304 0.8mm ボールピッチ 19mm × 19mm	4MB	max.150°C	20MHz	320MHz
R7F701216EABG	プラスチック BGA-252 0.8mm ボールピッチ 17mm × 17mm	4MB	max.150°C	20MHz	320MHz

これ以降、特段の必要性が無い限り、FBGA は BGA と表記します。

1.5 端子接続図（Top View）

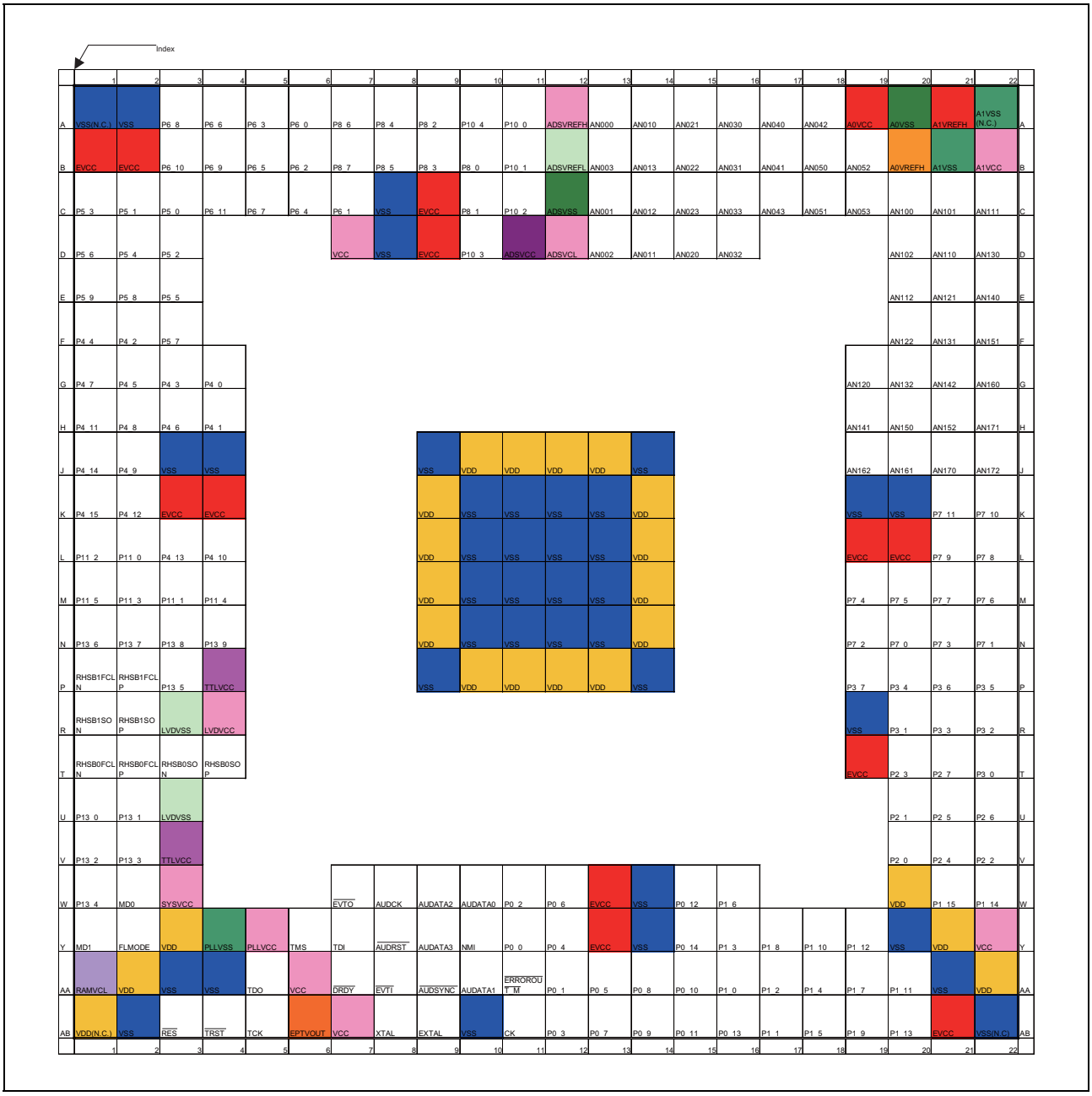


図 1.1 端子接続図（E1M-S2-BGA304）

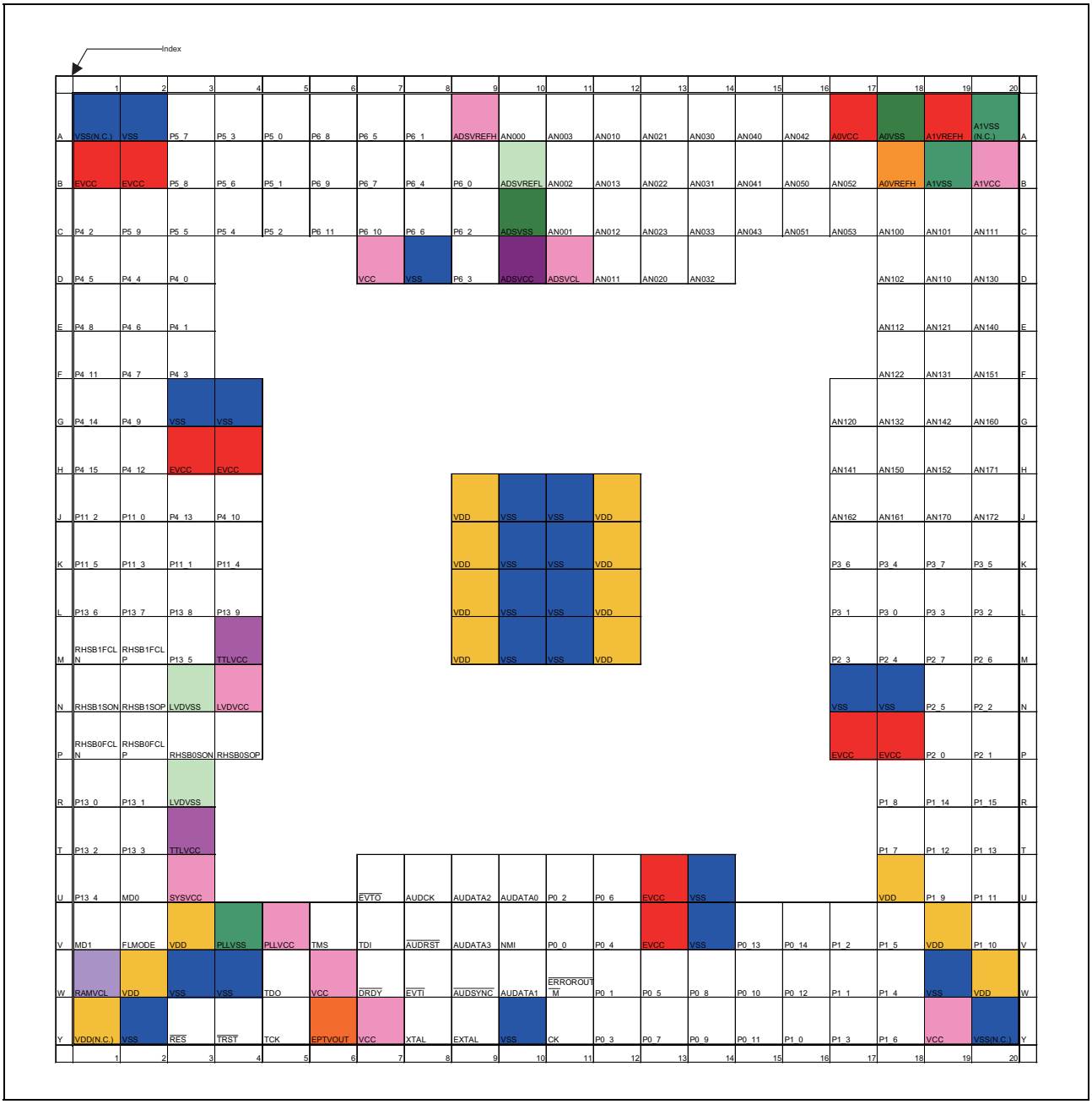


図 1.2 端子接続図（E1M-S2-BGA252）

表 1.1　端子番号と端子名の対応表（BGA304）(1/7)

端子番号	端子名
A1	VSS(N.C.)
A2	VSS
A3	P6_8/TIF1A/TOD70B/TIOC70/TOE60/RSENT4SPCO/SCI3RxD/DSADTRG7
A4	P6_6/TOD72A/TOD62B/TIOC63/TOE52/SCI2RxD/DSADTRG6
A5	P6_3/TIF0A/TOD63A/TIOC60/TOE43/CTX3/SCI1TxD/DSADEND4
A6	P6_0/TIF13/TOD60A/TIJ0/RSENT0RX/RSENT0SPCO/TOE40/CRX0/DSADTRG3
A7	P8_6/TIF11/TOE22/TIJ2/TIOC72/RSENT2RX/RSENT2SPCO
A8	P8_4/TIF9/TOE20/TIJ0/TIOC70/RSENT0RX/RSENT0SPCO/SCI0TxD
A9	P8_2/TIF7/TOE12/TIOC62/SCI2TxD
A10	P10_4/TIF4/TOE03/TIOC53/RSENT3SPCO/CRX2/SCI1RxD
A11	P10_0/TIF0A/CRX0/SCI3RxD
A12	ADSVREFH
A13	AN000/DSAN0P
A14	AN010/P14_12/DSAN2P/TIF9
A15	AN021/P14_1/DSAN4N/TIF1A
A16	AN030/P14_4/DSAN6P/TIF1B/TIA01
A17	AN040/P14_8/TIF5/TIA04
A18	AN042/P14_10/TIF7/TIJ2
A19	A0VCC
A20	A0VSS
A21	A1VREFH
A22	A1VSS(N.C.)
B1	EVCC
B2	EVCC
B3	P6_10/TIJ4/TOD72B/TIOC72/TOE62/RSENT4RX/RSENT4SPCO/SCI0RxD
B4	P6_9/TIF2A/TOD71B/TIOC71/TOE61/RSENT5SPCO/SCI3TxD/DSADEND7
B5	P6_5/TOD71A/TOD61B/TIOC62/TOE51/CTX1/RSENT5SPCO/DSADEND5
B6	P6_2/TIF15/TOD62A/TIJ2/RSENT2RX/RSENT2SPCO/TOE42/CRX3/SCI1RxD/DSADTRG4
B7	P8_7/TIF12/TOE23/TIJ3/TIOC73/RSENT3RX/RSENT3SPCO/IRQ0
B8	P8_5/TIF10/TOE21/TIJ1/TIOC71/RSENT1RX/RSENT1SPCO
B9	P8_3/TIF8/TOE13/TIOC63/SCI0RxD
B10	P8_0/TIF5/TOE10/TIOC60/RSENT4SPCO/CTX2/SCI1TxD
B11	P10_1/TIF1A/TOE00/TIOC50/RSENT0SPCO/CTX0/SCI3TxD
B12	ADSVREFL
B13	AN003/DSAN1N
B14	AN013/P14_15/DSAN3N/TIF12/TIJ1
B15	AN022/P14_2/DSAN5P/TIF2A
B16	AN031/P14_5/DSAN6N/TIF2B/TIA02
B17	AN041/P14_9/TIF6/TIA05
B18	AN050/P15_0/TIF9/TIA06
B19	AN052/P15_2/TIF11
B20	A0VREFH
B21	A1VSS
B22	A1VCC

表 1.1　端子番号と端子名の対応表（BGA304）(2/7)

端子番号	端子名
C1	P5_3/TIF6/TIJ0/TOD23B/TIOC03/ESO3/CRX1/SCI2RxD/RSENT0RX/RSENT0SPCO
C2	P5_1/TIF1B/TOE42/TOD21B/TIOC01/CTX0/SCI1TxD
C3	P5_0/TIF0B/TOE41/TOD20B/TIOC00/CRX0/SCI1RxD
C4	P6_11/TIJ5/TOD73B/TIOC73/TOE63/RSENT5RX/RSENT5SPCO/SCI0TxD
C5	P6_7/TOD73A/TIJ3/TOD63B/RSENT3RX/RSENT3SPCO/TOE53/SCI2TxD/DSADEND6
C6	P6_4/TOD70A/TOD60B/TIOC61/TOE50/CRX1/RSENT4SPCO/DSADTRG5
C7	P6_1/TIF14/TOD61A/TIJ1/RSENT1RX/RSENT1SPCO/TOE41/CTX0/DSADEND3
C8	VSS
C9	EVCC
C10	P8_1/TIF6/TOE11/TIOC61/RSENT5SPCO/SCI2RxD
C11	P10_2/TIF2A/TOE01/TIOC51/RSENT1SPCO/CRX1
C12	ADSVSS
C13	AN001/DSAN0N
C14	AN012/P14_14/DSAN3P/TIF11
C15	AN023/P14_3/DSAN5N/TIF0B/TIA00
C16	AN033/P14_7/DSAN7N/TIF4/TIA03
C17	AN043/P14_11/TIF8/TIJ3
C18	AN051/P15_1/TIF10
C19	AN053/P15_3/TIF12
C20	AN100
C21	AN101
C22	AN111
D1	P5_6/TIF9/TOE21/TOD32B/TIOC12/LRX0/CRX2/DSADTRG0
D2	P5_4/TIF7/TIJ1/TOD30B/TIOC10/RSENT1RX/RSENT1SPCO/CTX1/SCI2TxD/DSADTRG1
D3	P5_2/TIF2B/TOE43/TOD22B/TIOC02/ESO2/SCI0RxD/SCI1SCK/$\overline{\text{POD}}$
D7	VCC
D8	VSS
D9	EVCC
D10	P10_3/TIF3/TOE02/TIOC52/RSENT2SPCO/CTX1
D11	ADSVCC
D12	ADSVCL
D13	AN002/DSAN1P
D14	AN011/P14_13/DSAN2N/TIF10/TIJ0
D15	AN020/P14_0/DSAN4P/TIF0A
D16	AN032/P14_6/DSAN7P/TIF3
D20	AN102
D21	AN110
D22	AN130
E1	P5_9/TIF12/TOE33/TIJ3/TIOC41/RSENT3RX/RSENT3SPCO/SCI3TxD/DSADEND2
E2	P5_8/TIF11/TOE23/TIJ2/TIOC40/RSENT2RX/RSENT2SPCO/SCI3RxD/DSADTRG2
E3	P5_5/TIF8/TOE20/TOD31B/TIOC11/SCI0TxD/SCI2SCK/DSADEND1
E20	AN112
E21	AN121
E22	AN140

表 1.1 端子番号と端子名の対応表（BGA304）(3/7)

端子番号	端子名
F1	P4_4/TOD10A/TAPTS11/TOD10B/TOE30/TIF4/APA4/CSIH2TRY/CSIH3TCSS1
F2	P4_2/TOD02A/TAPTS02/TOD02B/TIOC22/TIF2A/APA2/RSENT2SPCO/CSIH3TSCK
F3	P5_7/TIF10/TOE22/TOD33B/TIOC13/LTX0/CTX2/SCI3SCK/DSADEND0
F20	AN122
F21	AN131
F22	AN151/P16_1
G1	P4_7/TOD13A/TOD13B/TOE00/TIF7/APA7/CSIH2TSI/$\overline{\text{CSIH3TSSI}}$
G2	P4_5/TOD11A/TAPTS12/TOD11B/TOE31/TIF5/APA5/CRX0/CSIH3TCSS2
G3	P4_3/TOD03A/TAPTS10/TOD03B/TIOC23/TIF3/APA3/$\overline{\text{CSIH2TSSI}}$/RSENT3SPCO/CSIH3TCSS0
G4	P4_0/TOD00A/TAPTS00/TOD00B/TIOC20/TIF0A/APA0/$\overline{\text{ERROROUT_C}}$/RSENT0SPCO/CSIH3TSI
G19	AN120
G20	AN132
G21	AN142
G22	AN160/P16_2
H1	P4_11/TOD43A/TOD43B/TOE10/TIF11/APA11/CSIH2TCSS1
H2	P4_8/TOD40A/TOD40B/TOE01/TIF8/APA8/CSIH2TSO/CSIH3TRY
H3	P4_6/TOD12A/TOD12B/TOE32/TIF6/APA6/CTX0/CSIH3TCSS3
H4	P4_1/TOD01A/TAPTS01/TOD01B/TIOC21/TIF1A/APA1/RSENT1SPCO/CSIH3TSO
H19	AN141
H20	AN150/P16_0
H21	AN152/P16_6
H22	AN171/P16_5
J1	P4_14/TOD20B/TOD52B/TOE13/TIF14/APA14/CRX1/RSENT2SPCO
J2	P4_9/TOD41A/TOD41B/TOE02/TIF9/APA9/CRX3/CSIH2TSCK
J3	VSS
J4	VSS
J9	VSS
J10	VDD
J11	VDD
J12	VDD
J13	VDD
J14	VSS
J19	AN162/P16_7
J20	AN161/P16_3
J21	AN170/P16_4
J22	AN172/P16_8
K1	P4_15/TOD21B/TOD53B/TOE40/TIF15/APA15/CTX1/RSENT3SPCO/$\overline{\text{ERROROUT_C}}$
K2	P4_12/TIOC42/TOD50B/TOE11/TIF12/APA12/SCI1RxD/CSIH2TCSS2/RSENT0SPCO
K3	EVCC
K4	EVCC
K9	VDD
K10	VSS
K11	VSS
K12	VSS

表 1.1 端子番号と端子名の対応表（BGA304）(4/7)

端子番号	端子名
K13	VSS
K14	VDD
K19	VSS
K20	VSS
K21	P7_11/TOD73A/TOD73B/TIOC23
K22	P7_10/TOD72A/TOD72B/TIOC22/TOE03
L1	P11_2/TOD80A/TOD80B/APA1/TOE20
L2	P11_0
L3	P4_13/TIOC43/TOD51B/TOE12/TIF13/APA13/SCI1TxD/CSIH2TCSS3/RSENT1SPCO
L4	P4_10/TOD42A/TOD42B/TOE03/TIF10/APA10/CTX3/CSIH2TCSS0
L9	VDD
L10	VSS
L11	VSS
L12	VSS
L13	VSS
L14	VDD
L19	EVCC
L20	EVCC
L21	P7_9/TOD71A/TOD71B/TIOC21/TOE02
L22	P7_8/TOD70A/TOD70B/TIOC20/TOE01/CSIH3TRY
M1	P11_5/TOD83A/TOD83B/APA4/TOE23
M2	P11_3/TOD81A/TOD81B/APA2/TOE21
M3	P11_1/TIF13/TOD22B/APA0/TOE33
M4	P11_4/TOD82A/TOD82B/APA3/TOE22
M9	VDD
M10	VSS
M11	VSS
M12	VSS
M13	VSS
M14	VDD
M19	P7_4/TOD60A/TOD60B/TIOC10/CSIH3TCSS1
M20	P7_5/TOD61A/TIJ0/TOD61B/TIOC11/CSIH3TCSS2
M21	P7_7/TOD63A/TOD63B/TIOC13/TOE00/$\overline{\text{CSIH3TSSI}}$
M22	P7_6/TOD62A/TIJ1/TOD62B/TIOC12/CSIH3TCSS3
N1	P13_6/RHSB1CSD1
N2	P13_7/RHSB1SI0
N3	P13_8/RHSB1SI1
N4	P13_9/RHSB1EMRG
N9	VDD
N10	VSS
N11	VSS
N12	VSS
N13	VSS
N14	VDD

表 1.1 端子番号と端子名の対応表（BGA304）(5/7)

端子番号	端子名
N19	P7_2/TIOC02/CSIH3TSCK
N20	P7_0/TIOC00/CSIH3TSI
N21	P7_3/TIOC03/CSIH3TCSS0
N22	P7_1/TIOC01/CSIH3TSO
P1	RHSB1FCLN
P2	RHSB1FCLP
P3	P13_5/RHSB1CSD0
P4	TTLVCC
P9	VSS
P10	VDD
P11	VDD
P12	VDD
P13	VDD
P14	VSS
P19	P3_7/TIF6/TOD53B/TIOC01/CTX3
P20	P3_4/TIF4/TIJ2/TOD50B/TIOC42/ADTRG0/ESO3
P21	P3_6/TIA06/TOD52B/TIOC00/CRX3
P22	P3_5/TIF5/TIJ3/TOD51B/TIOC43/ADEND0
R1	RHSB1SON
R2	RHSB1SOP
R3	LVDVSS
R4	LVDVCC
R19	VSS
R20	P3_1/TIF1A/TOE61/TOD31B/TIOC33/CTX1/SCI1TxD
R21	P3_3/TIF3/TOE63/TOD33B/TIOC41/ADEND1/CTX2/ESO2/SCI2TxD
R22	P3_2/TIF2A/TOE62/TOD32B/TIOC40/ADTRG1/CRX2/SCI2RxD
T1	RHSB0FCLN
T2	RHSB0FCLP
T3	RHSB0SON
T4	RHSB0SOP
T19	EVCC
T20	P2_3/TIA03/TOE53/TOD03B/TIOC21/IRQ3
T21	P2_7/TCLKB/TOE13/TOD13B/TIOC31/CTX0/IRQ7
T22	P3_0/TIF0A/TOE60/TOD30B/TIOC32/CRX1/SCI1RxD
U1	P13_0/RHSB0CSD0/CSIH1TSI
U2	P13_1/RHSB0CSD1/CSIH1TSO
U3	LVDVSS
U20	P2_1/TIA01/TOE51/TOD01B/TIOC13/IRQ1
U21	P2_5/TIA05/TOE11/TOD11B/TIOC23/CTX3/IRQ5
U22	P2_6/TCLKA/TOE12/TOD12B/TIOC30/CRX0/IRQ6
V1	P13_2/RHSB0SI0/CSIH1TSCK
V2	P13_3/RHSB0SI1/CSIH1TCSS0
V3	TTLVCC
V20	P2_0/TIA00/TOE50/TOD00B/TIOC12/TSO17/IRQ0

表 1.1　端子番号と端子名の対応表（BGA304）(6/7)

端子番号	端子名
V21	P2_4/TIA04/TOE10/TOD10B/TIOC22/CRX3/IRQ4
V22	P2_2/TIA02/TOE52/TOD02B/TIOC20/IRQ2
W1	P13_4/RHSB0EMRG/CSIH1TCSS1/$\overline{\text{ERROROUT_C}}$
W2	MD0
W3	SYSVCC
W7	$\overline{\text{EVTO}}$
W8	AUDCK
W9	AUDATA2
W10	AUDATA0
W11	P0_2/$\overline{\text{FR0ENA}}$/CSIH0TSCK/SCI0SCK
W12	P0_6/CSIH1TSI/IRQ3
W13	EVCC
W14	VSS
W15	P0_12/TIA04/TOD01B/CSIH0TCSS4/CSIH1TCSS3/CSIH2TSO
W16	P1_6/TOD32A/TOD32B/TOE42/APA6/TSO05
W20	VDD
W21	P1_15/TIOC53/TOD63B/TOE33/APA15/TSO16
W22	P1_14/TIOC52/TOD62B/TOE32/APA14/TSO15
Y1	MD1
Y2	FLMODE
Y3	VDD
Y4	PLLVSS
Y5	PLLVCC
Y6	TMS/$\overline{\text{EVTO}}$
Y7	TDI/LPDI/LPDIO/FLSCI3RX
Y8	$\overline{\text{AUDRST}}$
Y9	AUDATA3
Y10	NMI
Y11	P0_0/FR0RXDA/CSIH0TSI/SCI0RxD
Y12	P0_4/FR0TXDB/CSIH0TCSS1/CTX2/IRQ1
Y13	EVCC
Y14	VSS
Y15	P0_14/TIA06/TOD03B/CSIH1TRY/CSIH2TCSS0
Y16	P1_3/TOD23A/TOD23B/TOE03/APA3/TSO02/$\overline{\text{CSIH2TSSI}}$
Y17	P1_8/TOD50A/TOD50B/TOE20/APA8/TSO07/LRX0
Y18	P1_10/TOD52A/TOD52B/TOE22/APA10/TSO11
Y19	P1_12/TIOC50/TOD60B/TOE30/APA12/TSO13
Y20	VSS
Y21	VDD
Y22	VCC
AA1	RAMVCL
AA2	VDD
AA3	VSS

表 1.1　端子番号と端子名の対応表（BGA304）(7/7)

端子番号	端子名
AA4	VSS
AA5	TDO/LPDO/FLSCI3TX
AA6	VCC
AA7	$\overline{\text{DRDY}}$/LPDCLKO
AA8	$\overline{\text{EVTI}}$
AA9	$\overline{\text{AUDSYNC}}$
AA10	AUDATA1
AA11	$\overline{\text{ERROROUT_M}}$
AA12	P0_1/FR0TXDA/CSIH0TSO/SCI0TxD
AA13	P0_5/$\overline{\text{FR0ENB}}$/CSIH0TCSS2/IRQ2
AA14	P0_8/TIA00/CSIH1TSCK/IRQ5
AA15	P0_10/TIA02/CSIH0TRY/CSIH1TCSS1/IRQ7
AA16	P1_0/TOD20A/TOD20B/TOE00/APA0/SCI0RxD/CSIH2TCSS1
AA17	P1_2/TOD22A/TOD22B/TOE02/APA2/TSO01/CSIH2TCSS3
AA18	P1_4/TOD30A/TOD30B/TOE40/APA4/TSO03/CSIH2TRY
AA19	P1_7/TOD33A/TOD33B/TOE43/APA7/TSO06
AA20	P1_11/TOD53A/TOD53B/TOE23/APA11/TSO12
AA21	VSS
AA22	VDD
AB1	VDD(N.C.)
AB2	VSS
AB3	$\overline{\text{RES}}$
AB4	$\overline{\text{TRST}}$/$\overline{\text{LPDRST}}$
AB5	TCK/LPDCLKI/FLSCI3SCK
AB6	EPTVOUT
AB7	VCC
AB8	XTAL
AB9	EXTAL
AB10	VSS
AB11	CK
AB12	P0_3/FR0RXDB/CSIH0TCSS0/CRX2/IRQ0
AB13	P0_7/CSIH1TSO/IRQ4
AB14	P0_9/TIA01/$\overline{\text{CSIH0TSSI}}$/CSIH1TCSS0/IRQ6
AB15	P0_11/TIA03/TOD00B/CSIH0TCSS3/CSIH1TCSS2/CSIH2TSI
AB16	P0_13/TIA05/TOD02B/CSIH0TCSS5/$\overline{\text{CSIH1TSSI}}$/CSIH2TSCK
AB17	P1_1/TOD21A/TOD21B/TOE01/APA1/TSO00/SCI0TxD/CSIH2TCSS2
AB18	P1_5/TOD31A/TOD31B/TOE41/APA5/TSO04
AB19	P1_9/TOD51A/TOD51B/TOE21/APA9/TSO10/LTX0
AB20	P1_13/TIOC51/TOD61B/TOE31/APA13/TSO14
AB21	EVCC
AB22	VSS(N.C.)

表 1.2　端子番号と端子名の対応表（BGA252）(1/6)

端子番号	端子名
A1	VSS(N.C.)
A2	VSS
A3	P5_7/TIF10/TOE22/TOD33B/TIOC13/LTX0/CTX2/SCI3SCK/DSADEND0
A4	P5_3/TIF6/TIJ0/TOD23B/TIOC03/ESO3/CRX1/SCI2RxD/RSENT0RX/RSENT0SPCO
A5	P5_0/TIF0B/TOE41/TOD20B/TIOC00/CRX0/SCI1RxD
A6	P6_8/TIF1A/TOD70B/TIOC70/TOE60/RSENT4SPCO/SCI3RxD/DSADTRG7
A7	P6_5/TOD71A/TOD61B/TIOC62/TOE51/CTX1/RSENT5SPCO/DSADEND5
A8	P6_1/TIF14/TOD61A/TIJ1/RSENT1RX/RSENT1SPCO/TOE41/CTX0/DSADEND3
A9	ADSVREFH
A10	AN000/DSAN0P
A11	AN003/DSAN1N
A12	AN010/P14_12/DSAN2P/TIF9
A13	AN021/P14_1/DSAN4N/TIF1A
A14	AN030/P14_4/DSAN6P/TIF1B/TIA01
A15	AN040/P14_8/TIF5/TIA04
A16	AN042/P14_10/TIF7/TIJ2
A17	A0VCC
A18	A0VSS
A19	A1VREFH
A20	A1VSS(N.C.)
B1	EVCC
B2	EVCC
B3	P5_8/TIF11/TOE23/TIJ2/TIOC40/RSENT2RX/RSENT2SPCO/SCI3RxD/DSADTRG2
B4	P5_6/TIF9/TOE21/TOD32B/TIOC12/LRX0/CRX2/DSADTRG0
B5	P5_1/TIF1B/TOE42/TOD21B/TIOC01/CTX0/SCI1TxD
B6	P6_9/TIF2A/TOD71B/TIOC71/TOE61/RSENT5SPCO/SCI3TxD/DSADEND7
B7	P6_7/TOD73A/TIJ3/TOD63B/RSENT3RX/RSENT3SPCO/TOE53/SCI2TxD/DSADEND6
B8	P6_4/TOD70A/TOD60B/TIOC61/TOE50/CRX1/RSENT4SPCO/DSADTRG5
B9	P6_0/TIF13/TOD60A/TIJ0/RSENT0RX/RSENT0SPCO/TOE40/CRX0/DSADTRG3
B10	ADSVREFL
B11	AN002/DSAN1P
B12	AN013/P14_15/DSAN3N/TIF12/TIJ1
B13	AN022/P14_2/DSAN5P/TIF2A
B14	AN031/P14_5/DSAN6N/TIF2B/TIA02
B15	AN041/P14_9/TIF6/TIA05
B16	AN050/P15_0/TIF9/TIA06
B17	AN052/P15_2/TIF11
B18	A0VREFH
B19	A1VSS
B20	A1VCC
C1	P4_2/TOD02A/TAPTS02/TOD02B/TIOC22/TIF2A/APA2/RSENT2SPCO/CSIH3TSCK
C2	P5_9/TIF12/TOE33/TIJ3/TIOC41/RSENT3RX/RSENT3SPCO/SCI3TxD/DSADEND2
C3	P5_5/TIF8/TOE20/TOD31B/TIOC11/SCI0TxD/SCI2SCK/DSADEND1
C4	P5_4/TIF7/TIJ1/TOD30B/TIOC10/RSENT1RX/RSENT1SPCO/CTX1/SCI2TxD/DSADTRG1

表 1.2 端子番号と端子名の対応表（BGA252）(2/6)

端子番号	端子名
C5	P5_2/TIF2B/TOE43/TOD22B/TIOC02/ESO2/SCI0RxD/SCI1SCK/$\overline{\text{POD}}$
C6	P6_11/TIJ5/TOD73B/TIOC73/TOE63/RSENT5RX/RSENT5SPCO/SCI0TxD
C7	P6_10/TIJ4/TOD72B/TIOC72/TOE62/RSENT4RX/RSENT4SPCO/SCI0RxD
C8	P6_6/TOD72A/TOD62B/TIOC63/TOE52/SCI2RxD/DSADTRG6
C9	P6_2/TIF15/TOD62A/TIJ2/RSENT2RX/RSENT2SPCO/TOE42/CRX3/SCI1RxD/DSADTRG4
C10	ADSVSS
C11	AN001/DSAN0N
C12	AN012/P14_14/DSAN3P/TIF11
C13	AN023/P14_3/DSAN5N/TIF0B/TIA00
C14	AN033/P14_7/DSAN7N/TIF4/TIA03
C15	AN043/P14_11/TIF8/TIJ3
C16	AN051/P15_1/TIF10
C17	AN053/P15_3/TIF12
C18	AN100
C19	AN101
C20	AN111
D1	P4_5/TOD11A/TAPTS12/TOD11B/TOE31/TIF5/APA5/CRX0/CSIH3TCSS2
D2	P4_4/TOD10A/TAPTS11/TOD10B/TOE30/TIF4/APA4/CSIH2TRY/CSIH3TCSS1
D3	P4_0/TOD00A/TAPTS00/TOD00B/TIOC20/TIF0A/APA0/$\overline{\text{ERROROUT_C}}$/RSENT0SPCO/CSIH3TSI
D7	VCC
D8	VSS
D9	P6_3/TIF0A/TOD63A/TIOC60/TOE43/CTX3/SCI1TxD/DSADEND4
D10	ADSVCC
D11	ADSVCL
D12	AN011/P14_13/DSAN2N/TIF10/TIJ0
D13	AN020/P14_0/DSAN4P/TIF0A
D14	AN032/P14_6/DSAN7P/TIF3
D18	AN102
D19	AN110
D20	AN130
E1	P4_8/TOD40A/TOD40B/TOE01/TIF8/APA8/CSIH2TSO/CSIH3TRY
E2	P4_6/TOD12A/TOD12B/TOE32/TIF6/APA6/CTX0/CSIH3TCSS3
E3	P4_1/TOD01A/TAPTS01/TOD01B/TIOC21/TIF1A/APA1/RSENT1SPCO/CSIH3TSO
E18	AN112
E19	AN121
E20	AN140
F1	P4_11/TOD43A/TOD43B/TOE10/TIF11/APA11/CSIH2TCSS1
F2	P4_7/TOD13A/TOD13B/TOE00/TIF7/APA7/CSIH2TSI/$\overline{\text{CSIH3TSSI}}$
F3	P4_3/TOD03A/TAPTS10/TOD03B/TIOC23/TIF3/APA3/$\overline{\text{CSIH2TSSI}}$/RSENT3SPCO/CSIH3TCSS0
F18	AN122
F19	AN131
F20	AN151/P16_1
G1	P4_14/TOD20B/TOD52B/TOE13/TIF14/APA14/CRX1/RSENT2SPCO
G2	P4_9/TOD41A/TOD41B/TOE02/TIF9/APA9/CRX3/CSIH2TSCK

表 1.2　端子番号と端子名の対応表（BGA252）(3/6)

端子番号	端子名
G3	VSS
G4	VSS
G17	AN120
G18	AN132
G19	AN142
G20	AN160/P16_2
H1	P4_15/TOD21B/TOD53B/TOE40/TIF15/APA15/CTX1/RSENT3SPCO/$\overline{\text{ERROROUT_C}}$
H2	P4_12/TIOC42/TOD50B/TOE11/TIF12/APA12/SCI1RxD/CSIH2TCSS2/RSENT0SPCO
H3	EVCC
H4	EVCC
H17	AN141
H18	AN150/P16_0
H19	AN152/P16_6
H20	AN171/P16_5
J1	P11_2/TOD80A/TOD80B/APA1/TOE20
J2	P11_0
J3	P4_13/TIOC43/TOD51B/TOE12/TIF13/APA13/SCI1TxD/CSIH2TCSS3/RSENT1SPCO
J4	P4_10/TOD42A/TOD42B/TOE03/TIF10/APA10/CTX3/CSIH2TCSS0
J9	VDD
J10	VSS
J11	VSS
J12	VDD
J17	AN162/P16_7
J18	AN161/P16_3
J19	AN170/P16_4
J20	AN172/P16_8
K1	P11_5/TOD83A/TOD83B/APA4/TOE23
K2	P11_3/TOD81A/TOD81B/APA2/TOE21
K3	P11_1/TIF13/TOD22B/APA0/TOE33
K4	P11_4/TOD82A/TOD82B/APA3/TOE22
K9	VDD
K10	VSS
K11	VSS
K12	VDD
K17	P3_6/TIA06/TOD52B/TIOC00/CRX3
K18	P3_4/TIF4/TIJ2/TOD50B/TIOC42/ADTRG0/ESO3
K19	P3_7/TIF6/TOD53B/TIOC01/CTX3
K20	P3_5/TIF5/TIJ3/TOD51B/TIOC43/ADEND0
L1	P13_6/RHSB1CSD1
L2	P13_7/RHSB1SI0
L3	P13_8/RHSB1SI1
L4	P13_9/RHSB1EMRG
L9	VDD
L10	VSS

表 1.2　端子番号と端子名の対応表（BGA252）(4/6)

端子番号	端子名
L11	VSS
L12	VDD
L17	P3_1/TIF1A/TOE61/TOD31B/TIOC33/CTX1/SCI1TxD
L18	P3_0/TIF0A/TOE60/TOD30B/TIOC32/CRX1/SCI1RxD
L19	P3_3/TIF3/TOE63/TOD33B/TIOC41/ADEND1/CTX2/ESO2/SCI2TxD
L20	P3_2/TIF2A/TOE62/TOD32B/TIOC40/ADTRG1/CRX2/SCI2RxD
M1	RHSB1FCLN
M2	RHSB1FCLP
M3	P13_5/RHSB1CSD0
M4	TTLVCC
M9	VDD
M10	VSS
M11	VSS
M12	VDD
M17	P2_3/TIA03/TOE53/TOD03B/TIOC21/IRQ3
M18	P2_4/TIA04/TOE10/TOD10B/TIOC22/CRX3/IRQ4
M19	P2_7/TCLKB/TOE13/TOD13B/TIOC31/CTX0/IRQ7
M20	P2_6/TCLKA/TOE12/TOD12B/TIOC30/CRX0/IRQ6
N1	RHSB1SON
N2	RHSB1SOP
N3	LVDVSS
N4	LVDVCC
N17	VSS
N18	VSS
N19	P2_5/TIA05/TOE11/TOD11B/TIOC23/CTX3/IRQ5
N20	P2_2/TIA02/TOE52/TOD02B/TIOC20/IRQ2
P1	RHSB0FCLN
P2	RHSB0FCLP
P3	RHSB0SON
P4	RHSB0SOP
P17	EVCC
P18	EVCC
P19	P2_0/TIA00/TOE50/TOD00B/TIOC12/TSO17/IRQ0
P20	P2_1/TIA01/TOE51/TOD01B/TIOC13/IRQ1
R1	P13_0/RHSB0CSD0/CSIH1TSI
R2	P13_1/RHSB0CSD1/CSIH1TSO
R3	LVDVSS
R18	P1_8/TOD50A/TOD50B/TOE20/APA8/TSO07/LRX0
R19	P1_14/TIOC52/TOD62B/TOE32/APA14/TSO15
R20	P1_15/TIOC53/TOD63B/TOE33/APA15/TSO16
T1	P13_2/RHSB0SI0/CSIH1TSCK
T2	P13_3/RHSB0SI1/CSIH1TCSS0
T3	TTLVCC
T18	P1_7/TOD33A/TOD33B/TOE43/APA7/TSO06

表 1.2　端子番号と端子名の対応表（BGA252）(5/6)

端子番号	端子名
T19	P1_12/TIOC50/TOD60B/TOE30/APA12/TSO13
T20	P1_13/TIOC51/TOD61B/TOE31/APA13/TSO14
U1	P13_4/RHSB0EMRG/CSIH1TCSS1/$\overline{\text{ERROROUT_C}}$
U2	MD0
U3	SYSVCC
U7	$\overline{\text{EVTO}}$
U8	AUDCK
U9	AUDATA2
U10	AUDATA0
U11	P0_2/$\overline{\text{FR0ENA}}$/CSIH0TSCK/SCI0SCK
U12	P0_6/CSIH1TSI/IRQ3
U13	EVCC
U14	VSS
U18	VDD
U19	P1_9/TOD51A/TOD51B/TOE21/APA9/TSO10/LTX0
U20	P1_11/TOD53A/TOD53B/TOE23/APA11/TSO12
V1	MD1
V2	FLMODE
V3	VDD
V4	PLLVSS
V5	PLLVCC
V6	TMS/$\overline{\text{EVTO}}$
V7	TDI/LPDI/LPDIO/FLSCI3RX
V8	$\overline{\text{AUDRST}}$
V9	AUDATA3
V10	NMI
V11	P0_0/FR0RXDA/CSIH0TSI/SCI0RxD
V12	P0_4/FR0TXDB/CSIH0TCSS1/CTX2/IRQ1
V13	EVCC
V14	VSS
V15	P0_13/TIA05/TOD02B/CSIH0TCSS5/$\overline{\text{CSIH1TSSI}}$/CSIH2TSCK
V16	P0_14/TIA06/TOD03B/CSIH1TRY/CSIH2TCSS0
V17	P1_2/TOD22A/TOD22B/TOE02/APA2/TSO01/CSIH2TCSS3
V18	P1_5/TOD31A/TOD31B/TOE41/APA5/TSO04
V19	VDD
V20	P1_10/TOD52A/TOD52B/TOE22/APA10/TSO11
W1	RAMVCL
W2	VDD
W3	VSS
W4	VSS
W5	TDO/LPDO/FLSCI3TX
W6	VCC
W7	$\overline{\text{DRDY}}$/LPDCLKO

表 1.2　端子番号と端子名の対応表（BGA252）(6/6)

端子番号	端子名
W8	$\overline{\text{EVTI}}$
W9	$\overline{\text{AUDSYNC}}$
W10	AUDATA1
W11	$\overline{\text{ERROROUT_M}}$
W12	P0_1/FR0TXDA/CSIH0TSO/SCI0TxD
W13	P0_5/$\overline{\text{FR0ENB}}$/CSIH0TCSS2/IRQ2
W14	P0_8/TIA00/CSIH1TSCK/IRQ5
W15	P0_10/TIA02/CSIH0TRY/CSIH1TCSS1/IRQ7
W16	P0_12/TIA04/TOD01B/CSIH0TCSS4/CSIH1TCSS3/CSIH2TSO
W17	P1_1/TOD21A/TOD21B/TOE01/APA1/TSO00/SCI0TxD/CSIH2TCSS2
W18	P1_4/TOD30A/TOD30B/TOE40/APA4/TSO03/CSIH2TRY
W19	VSS
W20	VDD
Y1	VDD(N.C.)
Y2	VSS
Y3	$\overline{\text{RES}}$
Y4	$\overline{\text{TRST}}$/$\overline{\text{LPDRST}}$
Y5	TCK/LPDCLKI/FLSCI3SCK
Y6	EPTVOUT
Y7	VCC
Y8	XTAL
Y9	EXTAL
Y10	VSS
Y11	CK
Y12	P0_3/FR0RXDB/CSIH0TCSS0/CRX2/IRQ0
Y13	P0_7/CSIH1TSO/IRQ4
Y14	P0_9/TIA01/$\overline{\text{CSIH0TSSI}}$/CSIH1TCSS0/IRQ6
Y15	P0_11/TIA03/TOD00B/CSIH0TCSS3/CSIH1TCSS2/CSIH2TSI
Y16	P1_0/TOD20A/TOD20B/TOE00/APA0/SCI0RxD/CSIH2TCSS1
Y17	P1_3/TOD23A/TOD23B/TOE03/APA3/TSO02/$\overline{\text{CSIH2TSSI}}$
Y18	P1_6/TOD32A/TOD32B/TOE42/APA6/TSO05
Y19	VCC
Y20	VSS(N.C.)

1.6 機能ブロック構成

内部ブロック図

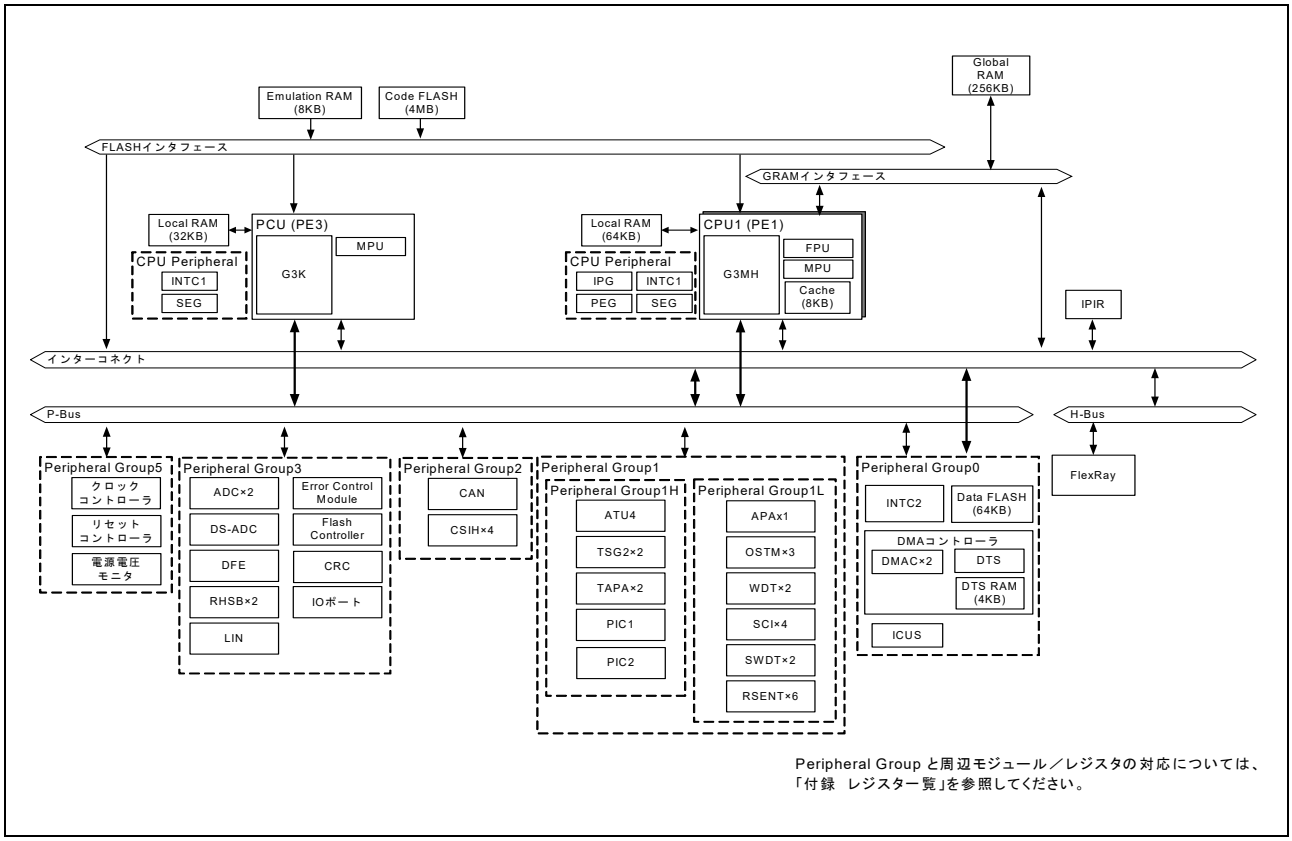


図 1.3 内部ブロック図

CPU1/PCU にそれぞれ固有の CPU Peripheral が内蔵されております。これらの CPU Peripheral は、同じアドレスが割り付けられており、CPU1 から CPU Peripheral をアクセスした場合は、CPU1 の CPU Peripheral が、PCU から CPU Peripheral をアクセスした場合は、PCU の CPU Peripheral が、それぞれアクセスされます。

第 2 章　端子

2.1　ポート機能

2.1.1　特長

ポートグループ

この製品には下記番号のポートグループがあります。

表 2.1　本製品のポートグループ

製品	グループ数	グループ名
BGA304	16	P0 ～ P8、P10、P11、P13 ～ P17
BGA252	13	P0 ～ P6、P11、P13 ～ P17

ポートグループインデクス n

この章を通して、個々のポートグループはインデクス “n”（n = 0 ～ 17）により識別されます。たとえば、Pn 端子のポートモードコントロールレジスタは PMCn です。

レジスタアドレス

すべてのポートアドレスは、ベースアドレス <PORT_Base2> および <PORT_Base1> からのオフセットアドレスとして与えられます。ベースアドレスの <PORT_Base2> および <PORT_Base1> は**表 2.2** に示します。

表 2.2　ポートベースアドレス

ベースアドレス	アドレス
<PORT_Base1>	FF61 0000_H
<PORT_Base2>	FFC1 0000_H

2.1.2　概説

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポートグループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。端子、ポート、またはポートグループの用語の説明は、**「2.1.2.1　用語」**を参照してください。

2.1.2.1　用語

この章で使用されている用語について説明します。

- ポートグループ
  1 つのポートグループは最大で 16 本の端子から成り、ポートグループにより端子数が異なります。同じポートグループ内の複数の端子で、制御レジスタを共有しています。
- ポートモード / ポート
  ポートモードでは、端子は汎用入出力として機能します。汎用入出力機能を「ポート」と呼び、Pn_m の名称で示します。たとえば、P0_7 はポートグループ 0 のポート 7 を示します。

- 兼用モード
  兼用モードでは、端子は周辺機能の入出力として機能します。1 つの端子に複数の周辺機能を兼用しており、使用する周辺機能を制御レジスタで選択できます。

2.1.2.2 端子機能概要

端子は、3 つのモードで動作することができます。

- ポートモード（PMCn.PMCn_m = 0）
  ポートモードでは、端子は汎用入出力ポートとして動作します。PMn.PMn_m で入力 / 出力を選択します。
- S/W I/O 制御兼用モード（PMCn.PMCn_m = 1、PIPCn.PIPCn_m = 0）
  S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力 / 出力の選択は、S/W による PMn.PMn_m コントロールビットの設定によって行われます。
- 直接 I/O 制御兼用モード（PMCn.PMCn_m = 1、PIPCn.PIPCn_m = 1）
  直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力 / 出力が直接制御されます。

レジスタ設定の概要は**表 2.3** に示します。

表 2.3 端子機能の設定（概要）

モード	ビット			I/O
	PMCn_m	PMn_m	PIPCn_m	
ポートモード	0	0	0 / 1	出力モード
		1	0 / 1	入力モード 注 1
S/W I/O 制御兼用モード	1	0	0	出力モード
		1	0	入力モード 注 2
直接 I/O 制御兼用モード		0 / 1	1	兼用機能による制御 注 2

注 1. 入力バッファを必ず許可（PIBCn_m = 1）してください。
注 2. 兼用モードの入力端子として使用する場合、必ず PIBCn_m = 0 に設定してください。

端子が兼用モード（PMCn.PMCn_m = 1）の場合、最大 7 つの異なる兼用機能の 1 つを PFCn、PFCEn 、PFCAEn レジスタによって選択します。

- S/W I/O 制御兼用モード （PIPCn.PIPCn_m = 0）：
  - 出力 （PMn_m = 0）：ALT-OUT1 ～ ALT-OUT7
  - 入力 （PMn_m = 1）：ALT-IN1 ～ ALT-IN7

- 直接 I/O 制御兼用モード （PIPCn.PIPCn_m = 1）：
  - ALT-OUT1 ～ ALT-OUT7、ALT-IN1 ～ ALT-IN7 の入出力は、兼用機能によって直接選択されます。

表 2.4　兼用モード選択の概要（PMCn.PMCn_m = 1）

機能	レジスタ				I/O
	PFCAE	PFCE	PFC	PM 注1	
兼用出力モード 1（ALT-OUT1）	0	0	0	0	O
兼用入力モード 1（ALT-IN1）	0	0	0	1	I
兼用出力モード 2（ALT-OUT2）	0	0	1	0	O
兼用入力モード 2（ALT-IN2）	0	0	1	1	I
兼用出力モード 3（ALT-OUT3）	0	1	0	0	O
兼用入力モード 3（ALT-IN3）	0	1	0	1	I
兼用出力モード 4（ALT-OUT4）	0	1	1	0	O
兼用入力モード 4（ALT-IN4）	0	1	1	1	I
兼用出力モード 5（ALT-OUT5）	1	0	0	0	O
兼用入力モード 5（ALT-IN5）	1	0	0	1	I
兼用出力モード 6（ALT-OUT6）	1	0	1	0	O
兼用入力モード 6（ALT-IN6）	1	0	1	1	I
兼用出力モード 7（ALT-OUT7）	1	1	0	0	O
兼用入力モード 7（ALT-IN7）	1	1	0	1	I

注 1.　PIPCn.PIPCn_m = 1 の場合は、入出力方向は周辺（兼用）機能によって直接制御され、PM は無視されます。

端子が兼用モード（PMCn.PMCn_m = 1）の場合、複数の兼用機能の 1 つを PFCn、PFCEn、PFCAEn レジスタによって選択します。

2.1.2.3 端子データ入力 / 出力

データの入力 / 出力に使用するレジスタについて説明します。

端子モードによって PPRn レジスタを介してリードされる場所が異なります。

出力データ

ポートモード（PMCn.PMCn_m = 0）では Pn.Pn_m の値 が Pn_m 端子から出力されます。

入力データ

PPRn レジスタのリード動作では、Pn_m 端子の値、ポートレジスタの関連ビット Pn.Pn_m の値、または兼用機能による出力値のいずれかを読み出します。

PPRn のリード元は、端子モードといくつかの制御ビットの設定に依存します。

PPRn リードモードの違いを**表 2.5** に示します。

表 2.5 PPRn_m リード値

PMCn_m	PMn_m	PIBCn_m	PIPCn_m	モード	PPRn_m リード値
0	1	0	X	ポート入力、入力バッファ禁止	Pn.Pn_m ビット
		1		ポート入力、入力バッファ許可	Pn_m 端子
	0	X		ポートプッシュプル出力	Pn.Pn_m ビット 注 1
1	1	X	0	S/W I/O 制御入力	Pn_m 端子
	0			S/W I/O 制御出力	兼用機能内部出力信号 注 1
	X		1	直接 I/O 制御兼用モード	兼用モードでの入出力ポート： • 入力：Pn_m 端子 • 出力：兼用機能内部出力信号 注 1

注 1. PBDCn_m = 1 の場合、Pn_m 端子レベルが、PPRn_m ビットでリードされます。

表 2.5 に示す各制御レジスタの効果：

- PMCn.PMCn_m
  このビットは、ポートモード（PMCn_m = 0）または兼用機能モード（PMCn_m = 1）を選択します。
- PMn.PMn_m
  このビットは、ポートモード（PMCn_m = 0）と S/W I/O 制御兼用モード（PMCn_m= 1、PIPCn_m = 0）時に入力（PMn_m = 1）または出力（PMn_m = 0）を選択します。
- PIBCn.PIBCn_m
  このビットは、入力ポートモード（PMCn_m = 0 と PMn_m = 1）時に入力バッファを使用不可（PIBCn_m = 0）または使用許可（PIBCn_m = 1）を選択します。入力バッファが使用不可の場合、PPRn_m は Pn.Pn_m ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。
- PIPCn.PIPCn_m
  このビットは、S/W I/O 制御兼用モードまたは直接 I/O 制御兼用モードを選択します。
- PBDCn.PBDCn_m
  出力モード時、このビットを 1 に設定すると、ポートは双方向モードになります。双方向モード時、PPPn.PPRn_m から Pn_m 端子のレベルを読み出すことができます。

Pn レジスタへのライト

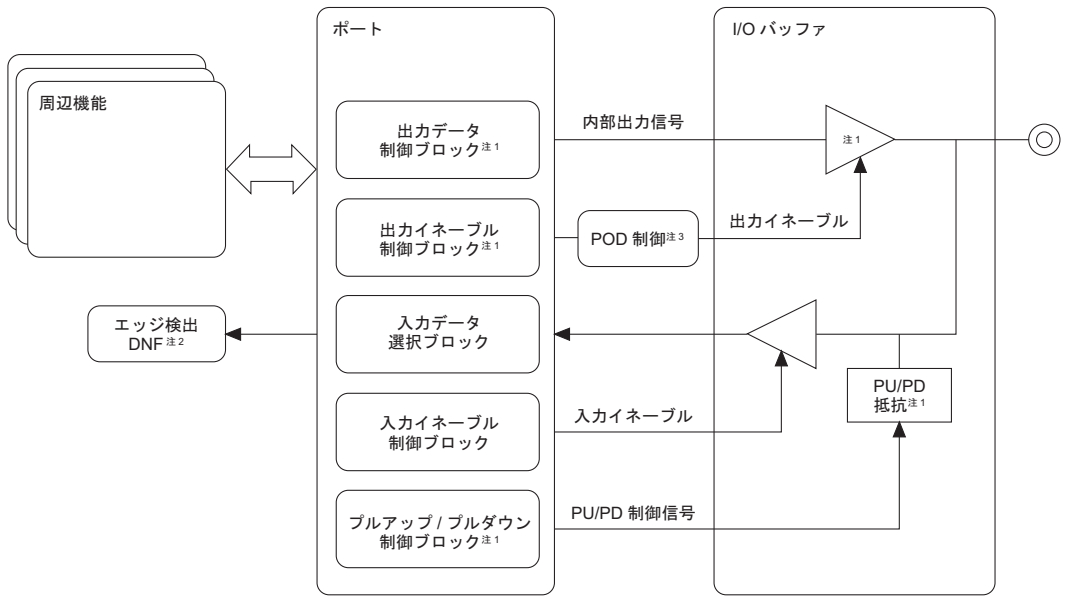
ポートモード（PMCn.PMCn_m = 0）時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。Pn データは 2 つの方法で書き換えることができます。

- Pn レジスタへの直接ライト
  新しいデータは Pn レジスタに直接ライトすることができます。
- 間接的な Pn レジスタへのビット操作（set/reset/not）
  Pn レジスタへのビット操作（set/reset/not）は 2 つのレジスタを使って間接的に可能です。
  - ポートセット／リセットレジスタ　PSRn
    PSRn.PSRn_（m+16）= 1 の場合、PSRn.PSRn_m ビットの値が Pn.Pn_m ビットの値を決めます。つまり、Pn レジスタへ直接ライトせずに Pn_m ビットを set/reset することが可能です。
  - ポートノットレジスタ　PNOTn
    PNOTn.PNOTn_m = 1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pn_m ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作（set/reset/not）は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット（1 ビットとは限りません）を書き換えることができます。

2.1.3 ポートタイプ

端子機能の全体構成を**図 2.1** に示します。ポートブロックの詳細は、**図 2.2** を参照してください。



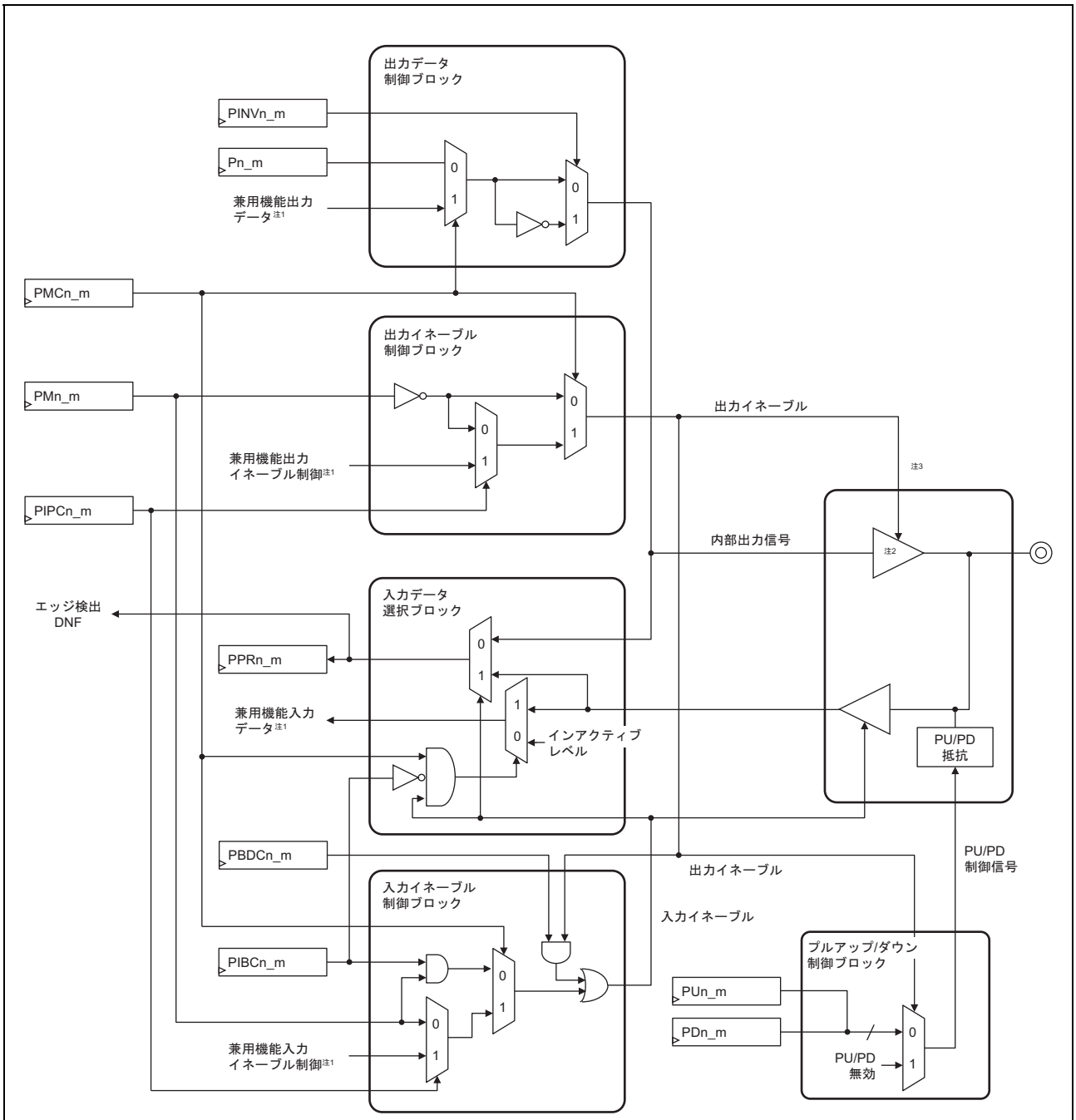
注 1. アナログ入力兼用のポートグループ P14、P15、P16 は入力専用端子であるため、出力関連の機能は非搭載です。また、これらのポートグループではプルアップ / プルダウン抵抗は非搭載です。

注 2. エッジ検出 DNF の機能詳細と対象端子は、**「2.3.3 エッジ検出 DNF」**を参照してください。

注 3. POD 制御の機能詳細と対象端子は、**「2.4 POD 制御」** を参照してください。

図 2.1 端子全体構成ブロック図

ポートの制御論理を**図 2.2** に示します。実際の回路を表現するものではありません。



注 1. PFCn_m、PFCEn_m、PFCAEn_m で選択した兼用機能の信号。
注 2. PDSCn_m、PUCCn_m で出力ドライブ強度を設定できます。
注 3. POD 制御対象端子では、POD 制御有効時に出力イネーブルを強制的に無効にします。

図 2.2 ポート制御論理

2.1.4 ポートグループコンフィグレーションレジスタ

この節では、はじめにすべてのコンフィギュレーションレジスタの概要を示し、次に各レジスタの詳細を示します。コンフィギュレーションレジスタは次のように分類されます。

- **2.1.4.2 端子機能の設定**
- **2.1.4.3 端子データ入力／出力**
- **2.1.4.4 電気的特性の設定**
- **2.1.4.5 ポートレジスタ保護**
- **2.1.4.6 端子単位のレジスタ**

2.1.4.1 概要

次のレジスタは、ポートグループの各端子の設定に使用されます。

表 2.6 ポートグループコンフィギュレーションレジスタ

レジスタ名	記号	レジスタ設定単位	アドレス
ポートレジスタ	Pn	ポートグループ単位	<PORT_Base1> + 0000_H + n x 40_H
ポートセット／リセットレジスタ	PSRn	ポートグループ単位	<PORT_Base1> + 0004_H + n x 40_H
ポートノットレジスタ	PNOTn	ポートグループ単位	<PORT_Base1> + 0008_H + n x 40_H
ポート端子リードレジスタ	PPRn	ポートグループ単位	<PORT_Base1> + $000C_H$ + n x 40_H
ポートモードレジスタ	PMn	ポートグループ単位	<PORT_Base1> + 0010_H + n x 40_H
ポートモードコントロールレジスタ	PMCn	ポートグループ単位	<PORT_Base1> + 0014_H + n x 40_H
ポート機能コントロールレジスタ	PFCn	ポートグループ単位	<PORT_Base1> + 0018_H + n x 40_H
ポート機能コントロール拡張レジスタ	PFCEn	ポートグループ単位	<PORT_Base1> + $001C_H$ + n x 40_H
ポートモードセット／リセットレジスタ	PMSRn	ポートグループ単位	<PORT_Base1> + 0020_H + n x 40_H
ポートモードコントロールセット／リセットレジスタ	PMCSRn	ポートグループ単位	<PORT_Base1> + 0024_H + n x 40_H
ポート機能コントロール追加拡張レジスタ	PFCAEn	ポートグループ単位	<PORT_Base1> + 0028_H + n x 40_H
ポート出力レベル反転レジスタ	PINVn	ポートグループ単位	<PORT_Base1> + 0030_H + n x 40_H
ポート入力バッファコントロールレジスタ	PIBCn	ポートグループ単位	<PORT_Base2> + 4000_H + n x 40_H
ポート双方向コントロールレジスタ	PBDCn	ポートグループ単位	<PORT_Base2> + 4004_H + n x 40_H
ポート IP コントロールレジスタ	PIPCn	ポートグループ単位	<PORT_Base2> + 4008_H + n x 40_H
プルアップオプションレジスタ	PUn	ポートグループ単位	<PORT_Base2> + $400C_H$ + n x 40_H
プルダウンオプションレジスタ	PDn	ポートグループ単位	<PORT_Base2> + 4010_H + n x 40_H
ポートドライブ強度コントロールレジスタ	PDSCn	ポートグループ単位	<PORT_Base2> + 4018_H + n x 40_H
ポートユニバーサルコントロールレジスタ	PUCCn	ポートグループ単位	<PORT_Base2> + 4028_H + n x 40_H
ポートレジスタ保護コマンドレジスタ	PPCMDn	ポートグループ単位	<PORT_Base2> + $402C_H$ + n x 40_H
ポート保護ステータスレジスタ	PPROTSn	ポートグループ単位	<PORT_Base2> + 4034_H + n x 40_H
ポートコントロールレジスタ	PCRn_m	端子単位	<PORT_Base1> + 2000_H + n x 40_H + m x 4_H

備考 n：ポートグループ番号
m：ポートグループ内のビット番号

ベースアドレス

PORTn のベースアドレス <PORT_Base2>、<PORT_Base1> は、**「2.1.1　特長」**のレジスタアドレスで定義しています。

レジスタのリセット後の値

リセット後の値はポートに依存します。リセット後の値については、以降のレジスタ説明ではなく、**「2.2.1.1　BGA304、BGA252 ポートレジスター覧」**に記載します。

2.1.4.2　端子機能の設定

次のレジスタは、ポートグループの各端子の設定に使用されます。

(1) PMCn — ポートモードコントロールレジスタ

このレジスタは、ポートグループ n の各端子がポートモードか兼用モードかを指定します。

アクセス　16 ビット単位でリード／ライト可能です。

リセット後の値　**「2.2.1.1　BGA304、BGA252 ポートレジスター覧」**を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCn_15	PMCn_14	PMCn_13	PMCn_12	PMCn_11	PMCn_10	PMCn_9	PMCn_8	PMCn_7	PMCn_6	PMCn_5	PMCn_4	PMCn_3	PMCn_2	PMCn_1	PMCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.7　PMCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PMCn_[15:0]	対応する端子の動作モードを指定します。 0：ポートモード 1：兼用モード

(2) PMCSRn — ポートモードコントロールセット／リセットレジスタ

このレジスタは PMCn レジスタの任意のビットにデータをライトするもう 1 つの方法を提供します。

PMCSRn の上位 16 ビットは、対応する PMCSRn の下位 16 ビットのデータを PMCn.PMCn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラム毎に独立したビット設定が可能です。

アクセス 32 ビット単位でリード／ライト可能です。
ビット 31 ～ 16 は常に 0000_H がリードされます。
ビット 15 ～ 0 は PMCn レジスタの値がリードされます。

リセット後の値 「**2.2.1.1 BGA304、BGA252 ポートレジスター覧**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMCSRn_31	PMCSRn_30	PMCSRn_29	PMCSRn_28	PMCSRn_27	PMCSRn_26	PMCSRn_25	PMCSRn_24	PMCSRn_23	PMCSRn_22	PMCSRn_21	PMCSRn_20	PMCSRn_19	PMCSRn_18	PMCSRn_17	PMCSRn_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCSRn_15	PMCSRn_14	PMCSRn_13	PMCSRn_12	PMCSRn_11	PMCSRn_10	PMCSRn_9	PMCSRn_8	PMCSRn_7	PMCSRn_6	PMCSRn_5	PMCSRn_4	PMCSRn_3	PMCSRn_2	PMCSRn_1	PMCSRn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.8 PMCn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	PMCSRn_[31:16]	対応する PMCSRn_m の下位ビットの値を PMCn_m にライトするかどうかを指定するイネーブルビットです。 0：PMCn_m は PMCSRn_m に依存しません。 1：PMCn_m は PMCSRn_m の値になります。 例：PMCSRn.PMCSRn_31 = 1 の場合、PMCSRn.PMCSRn_15 ビットの値を PMCn.PMCn_15 ビットにライトします。
15 ～ 0	PMCSRn_[15:0]	対応する上位ビットの PMCSRn_（m + 16）が 1 の場合、PMCn_m の値を指定するデータビットです。 0：PMCn_m = 0 1：PMCn_m = 1

(3) PIPCn — ポート IP コントロールレジスタ

このレジスタは、Pn_m 端子の入出力方向がポートモードレジスタ PMn.PMn_m と兼用機能のどちらによって制御されるかを指定します。

Pn_m 端子が兼用モード（PMCn.PMCn_m = 1）となり、兼用機能が直接 Pn_m の入出力方向を制御する場合、PIPCn.PIPCn_m は 1 に設定する必要があります。

これにより兼用機能が入出力制御を行い、PMn.PMn_m の設定が無効となります。

アクセス　16 ビット単位でリード／ライト可能です。

リセット後の値　「2.2.1.1　BGA304、BGA252 ポートレジスター覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPCn_15	PIPCn_14	PIPCn_13	PIPCn_12	PIPCn_11	PIPCn_10	PIPCn_9	PIPCn_8	PIPCn_7	PIPCn_6	PIPCn_5	PIPCn_4	PIPCn_3	PIPCn_2	PIPCn_1	PIPCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.9　PIPCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PIPCn_[15:0]	入出力制御モードを指定します。 0：入出力モードは PMn.PMn_m（S/W 入出力制御）によって制御します。 1：入出力モードは周辺機能（直接入出力制御）によって制御します。

(4) PMn — ポートモードレジスタ

このレジスタは、ポートグループ n の各端子が入力モードか出力モードかを指定します。

アクセス　16 ビット単位でリード／ライト可能です。

リセット後の値　「2.2.1.1　BGA304、BGA252 ポートレジスター覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMn_15	PMn_14	PMn_13	PMn_12	PMn_11	PMn_10	PMn_9	PMn_8	PMn_7	PMn_6	PMn_5	PMn_4	PMn_3	PMn_2	PMn_1	PMn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.10　PMn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PMn_[15:0]	対応する端子の入力／出力モードを指定します。 0：出力モード（出力許可） 1：入力モード（出力禁止）

備　考

1. 端子を入力ポートモード（PMCn.PMCn_m = 0 かつ PMn.PMn_m = 1）で使用する場合は、入力バッファを許可する必要があります（PIBCn.PIBCn_m = 1）。
2. リセット後は PIPCn.PIPCn_m = 0 なので、PMn_m はポートモード（PMCn.PMCn_m = 0）と兼用モード（PMCn.PMCn_m = 1）の入出力方向を指定します。

(5) PMSRn — ポートモードセット / リセットレジスタ

このレジスタは PMn レジスタの任意のビットを設定するもう 1 つの方法を提供します。

PMSRn の上位 16 ビットは、対応する PMSRn の下位 16 ビットのデータを PMn.PMn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラム毎に独立したビット設定が可能です。

アクセス 32 ビット単位でリード／ライト可能です。
ビット 31 ～ 16 は常に 0000_H がリードされます。
ビット 15 ～ 0 は PMn レジスタの値がリードされます。

リセット後の値 「**2.2.1.1 BGA304、BGA252 ポートレジスター覧**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSRn_31	PMSRn_30	PMSRn_29	PMSRn_28	PMSRn_27	PMSRn_26	PMSRn_25	PMSRn_24	PMSRn_23	PMSRn_22	PMSRn_21	PMSRn_20	PMSRn_19	PMSRn_18	PMSRn_17	PMSRn_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMSRn_15	PMSRn_14	PMSRn_13	PMSRn_12	PMSRn_11	PMSRn_10	PMSRn_9	PMSRn_8	PMSRn_7	PMSRn_6	PMSRn_5	PMSRn_4	PMSRn_3	PMSRn_2	PMSRn_1	PMSRn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.11 PMn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	PMSRn_[31:16]	対応する PMSRn_m の下位ビットの値を PMn_m にライトするかどうかを指定するイネーブルビットです。 0：PMn_m は PMSRn_m に依存しません。 1：PMn_m は PMSRn_m の値になります。 例：PMSRn.PMSRn_31 = 1 の場合、PMSRn.PMSRn_15 ビットの値を PMn.PMn_15 ビットにライトします。
15 ～ 0	PMSRn_[15:0]	対応する上位ビットの PMSRn_（m + 16）が 1 の場合、PMn_m の値を指定するデータビットです。 0：PMn_m = 0 1：PMn_m = 1

(6) PIBCn — ポート入力バッファコントロールレジスタ

このレジスタは、端子を入力ポートモード（PMCn.PMCn_m = 0 かつ PMn.PMn_m = 1）で使用する場合、入力バッファの許可 / 禁止を設定します。ただし、S/W I/O 制御兼用モード（PMCn.PMCn_m = 1 かつ PIPCn.PIPCn_m = 0）や直接 I/O 制御兼用モード（PMCn.PMCn_m = 1 かつ PIPCn.PIPCn_m = 1）の入力端子として使用する場合は、PIBCn.PIBCn_m = 0 に設定してください。

また、端子が双方向モード（PBDCn.PBDCn_m = 1）のとき、PIBCn.PIBCn_m の設定で兼用出力レベルループバック機能と端子出力レベルリード機能を選択できます。詳細は、**2.1.4.3 端子データ入力／出力 (1) PBDCn — ポート双方向コントロールレジスタ** を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

リセット後の値　「**2.2.1.1 BGA304、BGA252 ポートレジスター覧**」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIBCn_15	PIBCn_14	PIBCn_13	PIBCn_12	PIBCn_11	PIBCn_10	PIBCn_9	PIBCn_8	PIBCn_7	PIBCn_6	PIBCn_5	PIBCn_4	PIBCn_3	PIBCn_2	PIBCn_1	PIBCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.12　PIBCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PIBCn_[15:0]	入力ポートモード時、入力バッファの許可／禁止を設定します。 0：入力バッファ禁止 1：入力バッファ許可

備　考

入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません。

(7) PFCn — ポート機能コントロールレジスタ

このレジスタは、PFCEn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス　16 ビット単位でリード／ライト可能です。

リセット後の値　**「2.2.1.1　BGA304、BGA252 ポートレジスター覧」**を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCn_15	PFCn_14	PFCn_13	PFCn_12	PFCn_11	PFCn_10	PFCn_9	PFCn_8	PFCn_7	PFCn_6	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.13　PFCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PFCn_[15:0]	端子の兼用機能を指定します。 詳細は**「表 2.4　兼用モード選択の概要（PMCn.PMCn_m = 1）」**を参照してください。

(8) PFCEn — ポート機能コントロール拡張レジスタ

このレジスタは、PFCn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス　16 ビット単位でリード／ライト可能です。

リセット後の値　**「2.2.1.1　BGA304、BGA252 ポートレジスター覧」**を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCEn_15	PFCEn_14	PFCEn_13	PFCEn_12	PFCEn_11	PFCEn_10	PFCEn_9	PFCEn_8	PFCEn_7	PFCEn_6	PFCEn_5	PFCEn_4	PFCEn_3	PFCEn_2	PFCEn_1	PFCEn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.14　PFCEn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PFCEn_[15:0]	端子の兼用機能を指定します。 詳細は**「表 2.4　兼用モード選択の概要（PMCn.PMCn_m = 1）」**を参照してください。

(9) PFCAEn — ポート機能コントロール追加拡張レジスタ

このレジスタは、PFCn、PFCEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があります。

他の兼用機能では、入出力は PMn.PMn_m によって指定されます。

アクセス　16 ビット単位でリード／ライト可能です。

リセット後の値　**「2.2.1.1　BGA304、BGA252 ポートレジスター覧」**を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCAEn_15	PFCAEn_14	PFCAEn_13	PFCAEn_12	PFCAEn_11	PFCAEn_10	PFCAEn_9	PFCAEn_8	PFCAEn_7	PFCAEn_6	PFCAEn_5	PFCAEn_4	PFCAEn_3	PFCAEn_2	PFCAEn_1	PFCAEn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.15　PFCAEn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PFCAEn_[15:0]	端子の兼用機能を指定します。 詳細は**「表 2.4　兼用モード選択の概要（PMCn.PMCn_m = 1）」**を参照してください。

2.1.4.3 端子データ入力／出力

(1) PBDCn — ポート双方向コントロールレジスタ

このレジスタは、端子を出力モードで使用時に入力バッファも許可し、双方向モードにします。双方向モード時、PPRn.PPRn_m は Pn_m 端子のレベルを読み出すことができます。

- 兼用出力レベルループバック機能
  Pn_m 端子を兼用出力機能として使用する場合、PBDCn.PBDCn_m = 1、PIBCn.PIBCn_m= 0 に設定すると、兼用出力機能による実際の端子出力レベルを、兼用入力側にループバックすることができます。たとえば、第 1 兼用機能による端子出力レベルを、同じ第 1 兼用の入力側にループバックすることができます。また、PPRn.PPRn_m で端子出力レベルをリードすることもできます。
- 端子出力レベルリード機能
  Pn_m 端子を汎用出力ポート機能もしくは兼用出力機能として使用する場合、PBDCn.PBDCn_m = 1、PIBCn.PIBCn_m = 1 に設定すると、PPRn.PPRn_m で実際の端子出力レベルをリードすることができます。兼用出力モードであっても、端子出力レベルが兼用入力側にループバックすることはありません。

アクセス 16 ビット単位でリード／ライト可能です。

リセット後の値 「2.2.1.1 BGA304、BGA252 ポートレジスター覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBDCn_15	PBDCn_14	PBDCn_13	PBDCn_12	PBDCn_11	PBDCn_10	PBDCn_9	PBDCn_8	PBDCn_7	PBDCn_6	PBDCn_5	PBDCn_4	PBDCn_3	PBDCn_2	PBDCn_1	PBDCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.16 PBDCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PBDCn_[15:0]	対応する端子の双方向モードの許可／禁止を指定します。 0：双方向モードを禁止 1：双方向モードを許可

(2) PPRn — ポート端子リードレジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pn_m ビットの値、または兼用機能の出力レベルを表します。リードする値は、**「表 2.5　PPRn_m リード値」**に示すように、制御設定によって異なります。

アクセス　16 ビット単位でリードのみ可能です。

リセット後の値　**「2.2.1.1　BGA304、BGA252 ポートレジスター覧」**を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPRn_15	PPRn_14	PPRn_13	PPRn_12	PPRn_11	PPRn_10	PPRn_9	PPRn_8	PPRn_7	PPRn_6	PPRn_5	PPRn_4	PPRn_3	PPRn_2	PPRn_1	PPRn_0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 2.17　PPRn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PPRn_[15:0]	Pn_m 端子、Pn.Pn_m の値、または兼用機能の出力

(3) Pn — ポートレジスタ

このレジスタは、出力ポートモード時（PMCn.PMCn_m = 0、PMn.PMn_m = 0）に、ポート Pn_m から出力される Pn.Pn_m データを設定 / 保持します。

アクセス　16 ビット単位でリード／ライト可能です。

リセット後の値　**「2.2.1.1　BGA304、BGA252 ポートレジスター覧」**を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pn_15	Pn_14	Pn_13	Pn_12	Pn_11	Pn_10	Pn_9	Pn_8	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.18　Pn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	Pn_[15:0]	m 端子（m = 0 ～ 15）の出力レベルを設定します。 0：ロウレベル出力 1：ハイレベル出力

備　考

このレジスタのビットは、さまざまな手段で操作できます。**「2.1.2.3　端子データ入力 / 出力」**の「Pn レジスタへのライト」を参照してください。

(4) PNOTn— ポートノットレジスタ

このレジスタは、ポートレジスタ Pn に直接ライトせずに Pn の Pn_m ビットを反転できます。

アクセス 16 ビット単位でライト可能です。常に 0000_H としてリードされます。

リセット後の値 「2.2.1.1 BGA304、BGA252 ポートレジスター覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PNOTn_15	PNOTn_14	PNOTn_13	PNOTn_12	PNOTn_11	PNOTn_10	PNOTn_9	PNOTn_8	PNOTn_7	PNOTn_6	PNOTn_5	PNOTn_4	PNOTn_3	PNOTn_2	PNOTn_1	PNOTn_0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 2.19 PNOTn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PNOTn_[15:0]	Pn.Pn_m を反転するかどうかを指定します。 0：Pn.Pn_m を反転しない（Pn_m → Pn_m） 1：Pn.Pn_m を反転する（Pn_m → Pn_m）

(5) PSRn — ポートセット／リセットレジスタ

このレジスタは Pn レジスタの任意のビットを設定するもう 1 つの方法を提供します。

PSRn の上位 16 ビットは、対応する PSRn の下位 16 ビットのデータを Pn.Pn_m にライトするかどうかを指定します。

複数のプログラムが使用する端子が同じポートグループに属している場合でも、使用しないビットの書き換えをマスクすることで、プログラム毎に独立したビット設定が可能です。

アクセス 32 ビット単位でリード／ライト可能です。
ビット 31 ～ 16 は常に 0000_H がリードされます。
ビット 15 ～ 0 は Pn レジスタの値がリードされます。

リセット後の値 「**2.2.1.1 BGA304、BGA252 ポートレジスター覧**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PSRn_31	PSRn_30	PSRn_29	PSRn_28	PSRn_27	PSRn_26	PSRn_25	PSRn_24	PSRn_23	PSRn_22	PSRn_21	PSRn_20	PSRn_19	PSRn_18	PSRn_17	PSRn_16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSRn_15	PSRn_14	PSRn_13	PSRn_12	PSRn_11	PSRn_10	PSRn_9	PSRn_8	PSRn_7	PSRn_6	PSRn_5	PSRn_4	PSRn_3	PSRn_2	PSRn_1	PSRn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.20 PSRn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	PSRn_[31:16]	対応する PSRn_m の下位ビットの値を Pn_m にライトするかどうかを指定するイネーブルビットです。 0：Pn_m は PSRn_m に依存しません。 1：Pn_m は PSRn_m の値になります。 例：PSRn.PSRn_31 = 1 の場合、PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットにライトします。
15 ～ 0	PSRn_[15:0]	対応する上位ビットの PSRn_（m + 16）が 1 の場合、Pn_m の値を指定するデータビットです。 0：Pn_m = 0 1：Pn_m = 1

(6) PINVn — ポート出力レベル反転レジスタ

このレジスタは、端子からの出力レベルを反転させることができます。ポート出力モードや兼用出力モードを問わず、端子が出力モードの時に有効です。

アクセス 32 ビット単位でリード／ライト可能です。
このレジスタを更新するには、PPCMDn レジスタを使った
正しい書き込みシーケンスが必要です。

リセット後の値 **「2.2.1.1 BGA304、BGA252 ポートレジスター覧」**を参照してください。

注 意

上位 16 ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。
詳細は「2.1.4.5 ポートレジスタ保護」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PINVn_15	PINVn_14	PINVn_13	PINVn_12	PINVn_11	PINVn_10	PINVn_9	PINVn_8	PINVn_7	PINVn_6	PINVn_5	PINVn_4	PINVn_3	PINVn_2	PINVn_1	PINVn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.21 PINVn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PINVn_[15:0]	端子からの出力値を反転させるかどうかを指定します。 0：端子出力レベルを反転しない 1：端子出力レベルを反転する

2.1.4.4 電気的特性の設定

(1) PUn — プルアップオプションレジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス 16 ビット単位でリード／ライト可能です。

リセット後の値 「2.2.1.1 BGA304、BGA252 ポートレジスター覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUn_15	PUn_14	PUn_13	PUn_12	PUn_11	PUn_10	PUn_9	PUn_8	PUn_7	PUn_6	PUn_5	PUn_4	PUn_3	PUn_2	PUn_1	PUn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.22 PUn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PUn_[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0：内蔵プルアップ抵抗を接続しない 1：内蔵プルアップ抵抗を接続する

備 考

1. 1 端子に対して、PUn.PUn_m = 1 かつ PDn.PDn_m = 1 に設定しないでください。
2. 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。

(2) PDn — プルダウンオプションレジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス 16 ビット単位でリード／ライト可能です。

リセット後の値 「2.2.1.1 BGA304、BGA252 ポートレジスター覧」を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDn_15	PDn_14	PDn_13	PDn_12	PDn_11	PDn_10	PDn_9	PDn_8	PDn_7	PDn_6	PDn_5	PDn_4	PDn_3	PDn_2	PDn_1	PDn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.23 PDn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PDn_[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0：内蔵プルダウン抵抗を接続しない 1：内蔵プルダウン抵抗を接続する

備 考

1. 1 端子に対して、PUn.PUn_m = 1 かつ PDn.PDn_m = 1 に設定しないでください。
2. 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。

(3) PDSCn — ポートドライブ強度コントロールレジスタ

このレジスタは PUCCn レジスタとの組み合わせで、出力ポートや兼用出力端子の出力ドライバビリティ（ドライブ強度）を設定することができます。なお、使用する端子機能によってドライバビリティ設定に指定がある場合があります。詳細は**「第 40 章　電気的特性」**を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。
このレジスタを更新するには、PPCMDn レジスタを使った
正しい書き込みシーケンスが必要です。

リセット後の値　**「2.2.1.1　BGA304、BGA252 ポートレジスター覧」**を参照してください。

注　意

上位 16 ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。
詳細は「2.1.4.5　ポートレジスタ保護」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDSCn_15	PDSCn_14	PDSCn_13	PDSCn_12	PDSCn_11	PDSCn_10	PDSCn_9	PDSCn_8	PDSCn_7	PDSCn_6	PDSCn_5	PDSCn_4	PDSCn_3	PDSCn_2	PDSCn_1	PDSCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.24　PDSCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PDSCn_[15:0]	PUCCn レジスタとの組み合わせで、出力ポートや兼用出力端子の出力ドライバビリティを設定します。レジスタ設定と出力ドライバビリティの対応は**「表 2.25　PUCCn レジスタの内容」**を参照してください。

(4) PUCCn — ポートユニバーサルコントロールレジスタ

このレジスタは PDSCn レジスタとの組み合わせで、出力ポートや兼用出力端子の出力ドライバビリティ（ドライブ強度）を設定することができます。なお、使用する端子機能によってドライバビリティ設定に指定がある場合があります。詳細は**「第 40 章　電気的特性」**を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。
このレジスタを更新するには、PPCMDn レジスタを使った
正しい書き込みシーケンスが必要です。

リセット後の値　**「2.2.1.1　BGA304、BGA252 ポートレジスター覧」**を参照してください。

注　意

上位 16 ビットも保護対象のポートレジスタの書き込みシーケンスの反転値の対象となります。
詳細は「2.1.4.5　ポートレジスタ保護」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUCCn_15	PUCCn_14	PUCCn_13	PUCCn_12	PUCCn_11	PUCCn_10	PUCCn_9	PUCCn_8	PUCCn_7	PUCCn_6	PUCCn_5	PUCCn_4	PUCCn_3	PUCCn_2	PUCCn_1	PUCCn_0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2.25　PUCCn レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	PUCCn_[15:0]	PDSCn レジスタとの組み合わせで、出力ポートや兼用出力端子の出力ドライバビリティを設定します。各設定での電気的特性は**「40.3.4　出力スルーレート」**を参照してください。

PUCCn_m	PDSCn_m	出力ドライバビリティ
0	0	Low
0	1	High
1	0	Mid
1	1	設定禁止

2.1.4.5 ポートレジスタ保護

(1) PPCMDn — ポートレジスタ保護コマンドレジスタ

このレジスタは、保護対象のポートレジスタのためのコマンドレジスタです。

アクセス 8 ビット単位でライト可能です。
ビット 7 ～ 0 は、常に 0 がリードされます。

リセット後の値 「2.2.1.1 BGA304、BGA252 ポートレジスター覧」を参照してください。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W

表 2.26 PPCMDn レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	—	固定値 $A5_H$ を書き込むことで保護解除シーケンスに入ります。

(2) PPROTSn— ポート保護ステータスレジスタ

このレジスタは、保護対象のポートレジスタの書き込みシーケンスのステータスを示します。

アクセス 8 ビット単位でリード可能です。
ライトした場合、無視されます。

リセット後の値 「2.2.1.1 BGA304、BGA252 ポートレジスター覧」を参照してください。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PPROTSn_0
R/W	R	R	R	R	R	R	R	R

表 2.27 PPROTSn レジスタの内容

ビット位置	ビット名	機能
0	PPROTSn_0	保護対象のポートレジスタの書き込みシーケンスエラーを確認します。 0：保護エラー未発生 1：保護エラー発生

(3) 保護対象のポートレジスタ

- ポートドライブ強度コントロールレジスタ（PDSCn）
- ポートユニバーサルコントロールレジスタ（PUCCn）
- ポート出力レベル反転レジスタ（PINVn）

(4) 保護対象のポートレジスタの書き込みシーケンス

書き込み保護されたレジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. ポートレジスタ保護コマンドレジスタ PPCMDn に固定値 $A5_H$ を書き込みます。

手順 2. 保護されているレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、ポート保護ステータスレジスタ PPROTSn の PPROTSn_0 ビットが 1 にセットされます。（必須ではありませんが、手順 4 の後、PPROTSn_0 ビットの値が 0 であることを確認することでも、保護レジスタに設定値が正しく書き込まれたことを確認できます。）

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ[注 1] へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、PPROTSn_0 ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. ポートグループコンフィグレーションレジスタは以下の 2 つのモジュールに分かれています。それぞれのモジュールには、保護関連のレジスタを含む、すべてのポートコンフィグレーションレジスタが含まれます。
・ポートグループ 0
・ポートグループ 0 以外のポートグループ

2.1.4.6 端子単位のレジスタ

(1) PCRn_m — ポートコントロールレジスタ

このレジスタ経由でポートグループ単位の各レジスタにアクセスすることができ、1 端子の全機能を 1 つの PCRn_m レジスタで設定可能です。たとえば、PCRn_m レジスタのビット 6 に 1 をセットすると、PMCn レジスタのビット m も 1 になります。また、PDSCn、PUCCn、PINVn レジスタは書き込み保護レジスタですが、PCRn_m レジスタ経由でアクセスする場合は保護解除シーケンスは不要です。

注 意

- **「2.1.4.7 ポート設定のフロー例 (2) 個別設定」**に記載がある設定範囲内で、PCRn_m レジスタの複数ビットを一括設定できます。
- PMn_m = 1 かつ PMCn_m = 1 の場合、入力イネーブルが有効となり、端子がオープンや中間電位の場合、貫通電流が流れる可能性があるので、PUn_m/PDn_m の設定などを事前に行ってください。
- PCRn_m 設定範囲をまたいで一括設定を行った場合、意図しないレベルが、端子から出力される場合があります。

アクセス 32 ビット単位でリード／ライト可能です。

リセット後の値 **「2.2.1.1 BGA304、BGA252 ポートレジスター覧」**を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PINV	—	—	—	—	PUCC	PDSC	—	—	—	—	PU	PD	PBDC	PIBC
R/W	R	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	P	—	—	—	PPR	—	PMC	PIPC	PM	—	PFCAE	PFCE	PFC
R/W	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 2.28 PCRn_m レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	PINV	PINVn レジスタのビット m と同じ機能
29 ～ 26	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	PUCC	PUCCn レジスタのビット m と同じ機能
24	PDSC	PDSCn レジスタのビット m と同じ機能
23 ～ 20	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	PU	PUn レジスタのビット m と同じ機能
18	PD	PDn レジスタのビット m と同じ機能
17	PBDC	PBDCn レジスタのビット m と同じ機能
16	PIBC	PIBCn レジスタのビット m と同じ機能
15 ～ 13	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	P	Pn レジスタのビット m と同じ機能
11 ～ 9	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PPR	PPRn レジスタのビット m と同じ機能

表 2.28　PCRn_m レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PMC	PMCn レジスタのビット m と同じ機能
5	PIPC	PIPCn レジスタのビット m と同じ機能
4	PM	PMn レジスタのビット m と同じ機能
3	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PFCAE	PFCAEn レジスタのビット m と同じ機能
1	PFCE	PFCEn レジスタのビット m と同じ機能
0	PFC	PFCn レジスタのビット m と同じ機能

2.1.4.7 ポート設定のフロー例

ポート設定のフローチャート例を次に示します。各フローチャートの「ポートフィルタの設定」については、**「2.3.2.4 周辺機能 DNF の設定手順」**もしくは**「2.3.3.6 エッジ検出 DNF の設定手順」**を参照してください。

注 意

ポートを S/W I/O 制御兼用モードで使用するとき、本紙のポート設定フロー例では一時的に兼用入力モードになる場合があるので注意してください。下図の例では、PMCn_m = 1 に設定してから、PMn_m = 0 に設定するまでの期間が該当します。

(1) 一括設定

一括でポートグループを設定する場合のフローチャート例を次に示します。

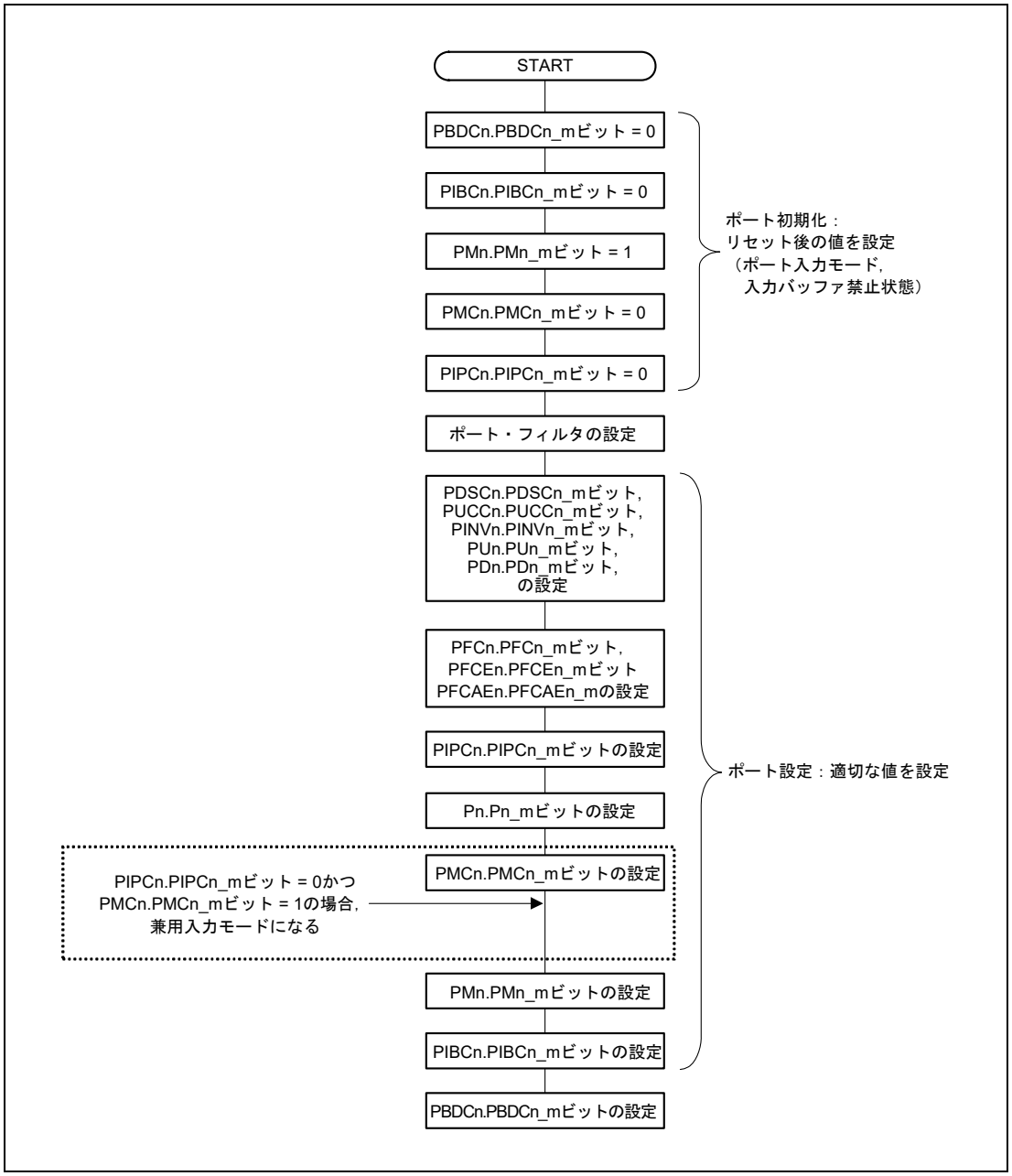


図 2.3 ポート設定のフローチャート例（一括設定の場合）

(2) 個別設定

個別でポートを設定する場合のフローチャート例を次に示します。
また、PCRn_m レジスタを使用すれば、下図の設定範囲内の複数ビットを一括設定できます。

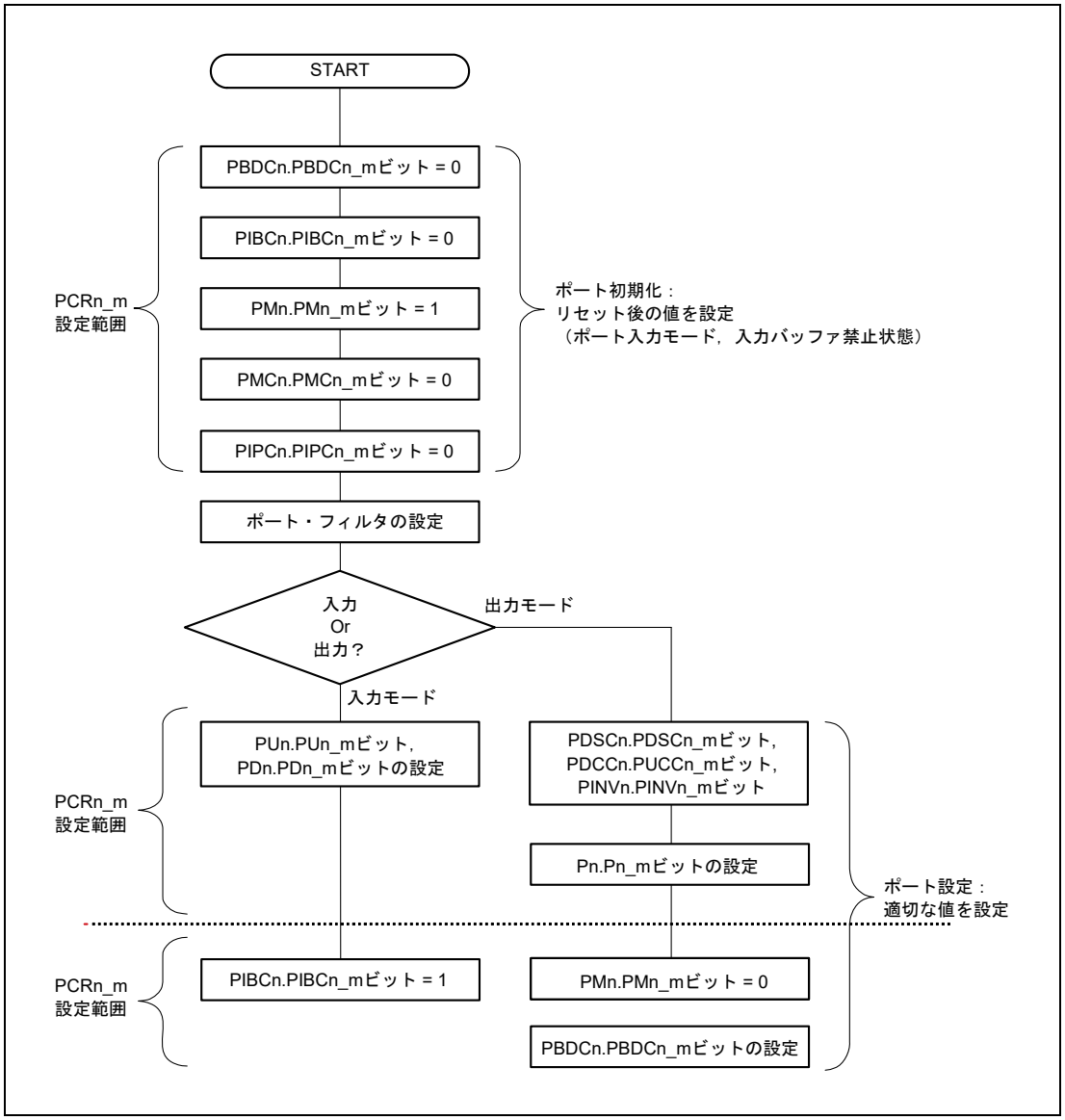


図 2.4 ポート設定のフローチャート例（ポートモードの場合）

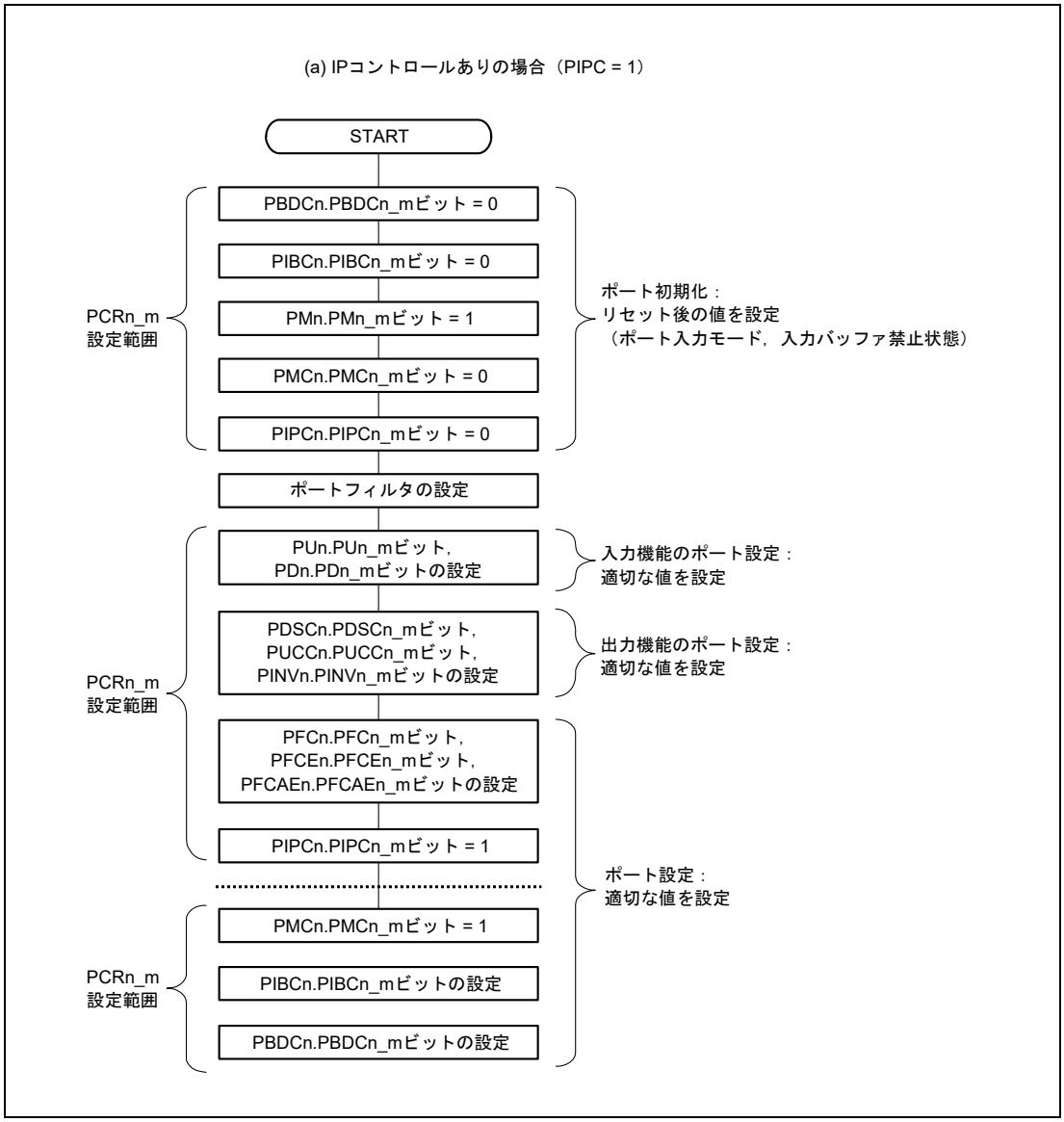


図 2.5 ポート設定のフローチャート例（兼用モードの場合）（1/2）

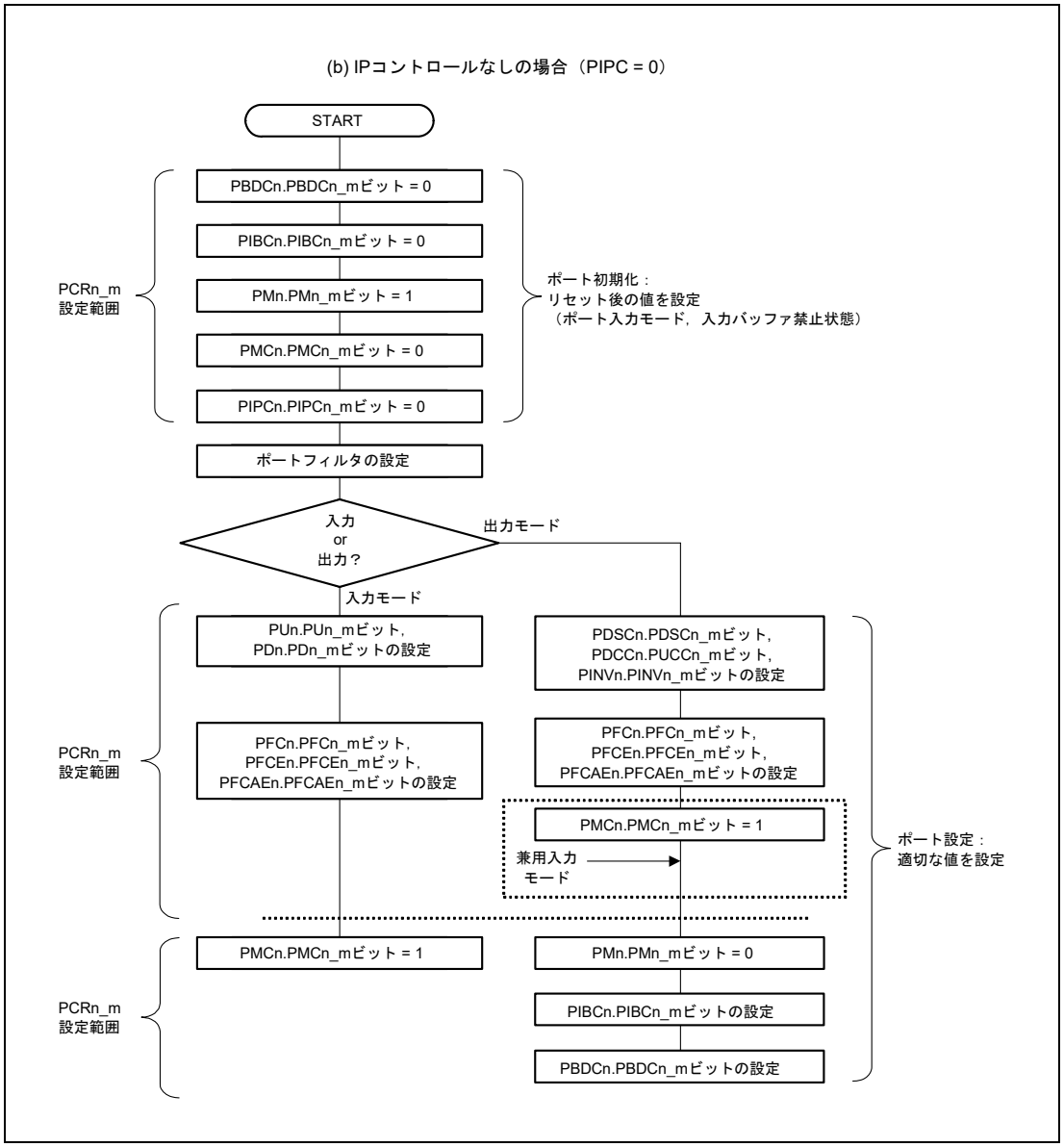


図 2.6 ポート設定のフローチャート例（兼用モードの場合）（2/2）

2.1.5 機能選択

2.1.5.1 兼用機能使用時のレジスタ設定

端子の兼用機能を使用するとき、PMCn_m = 1 に設定し、PFCn_m、PFCEn_m、PFCAEn_m で兼用番号を選択してください。また、いくつかの周辺機能では、1 つの兼用入出力機能を複数の端子に割り当てています。しかし、これらの兼用機能を、複数の端子で有効にすることは禁止です。たとえば、外部割り込み入力の IRQ0 は P0_3 や P2_0 に割り当てられていますが、この兼用機能を選択してよいのは 1 端子のみです。

2.1.5.2 直接 I/O 制御兼用モードで使用する兼用機能

表 2.29 の兼用機能を使用するときは、直接 I/O 制御兼用モードに設定してください。PIPCn_m = 1 に設定すると、周辺機能がバッファの入力，出力許可を制御するため、PMn_m の設定値は無視されます。なお、**表 2.29** 以外の兼用機能を使用するときは、PIPCn_m ＝ 0 に設定してください。

表 2.29 PIPC レジスタの設定が必要な端子一覧

分類	端子名	I/O	端子機能	周辺機能からの制御信号
SCIn	SCInRxD	I	受信データ入力	SCI3nSCR.RE ビットで SCI3 の受信動作を許可に設定すると、端子が入力許可状態になります。
	SCInTxD	O	送信データ出力	SCI3nSCR.TE ビットで SCI3 の送信動作を許可に設定すると、端子が出力許可状態になります。
	SCISCK	I/O	シリアルクロック入出力	SCI3nSCR.CKE[1:0] ビットの設定により、端子の入出力モードが決まります。 • 調歩同期式の場合 CKE[1:0] = 00：端子の入出力は禁止状態です。 CKE[1:0] = 01：端子が出力モードになります。 CKE[1:0] = 1x：（設定禁止です。） • クロック同期式の場合 CKE[1:0] = 0x：端子が出力モードになります。
CSIHn	CSIHnTSO	O	送信データ出力（データ整合性チェック）	• 出力制御 「**13.5.9 スレーブモードでの通信 (3) CSIHTSSO の動作**」を参照してください。 • 入力制御 CSIHnCTL1.DCS ビットで CSIH のデータ整合性チェック機能を有効に設定すると、端子の入力バッファ側も許可状態になり、実際の端子出力レベルを製品内部にループバックできます。
	CSIHnTSCK	I/O	シリアルクロック入出力	CSIHnCTL2 レジスタで CSIH をスレーブモードに設定すると、端子が入力モードになります。マスタモードに設定すると、端子が出力モードになります。
	CSIHnTRY	I/O	ハンドシェイク信号入出力	CSIHnCTL2 レジスタで CSIH をスレーブモードに設定すると、端子が出力モードになります。マスタモードに設定すると、端子が入力モードになります。
TSG2n	TSOn1 ～ TSOn6	O	タイマ PWM 出力（Hi-Z 制御）	TAPA からの制御により、異常発生時に端子出力を強制的に Hi-Z 状態にします。正常動作時は、端子出力は許可状態です。
ATU-IV タイマ C	TIOCn0 ～ TIOCn3	I/O	インプットキャプチャトリガ入力、アウトプットコンペア出力	TIORCx レジスタで ATU-IV タイマ C をコンペアマッチに設定すると、端子が出力モードになります。インプットキャプチャに設定すると、端子が入力モードになります。
RSENT	RSENTnRX	I	RSENTn 受信データ入力	PIPCn_m = 1 での制御対象は SPC 拡張の 1 線式のみです。PIPCn_m = 1 で入力許可となります。 SPC 拡張の有効 / 無効は、RSENT n CC レジスタの SPCE ビットで制御します。
	RSENTnSPCO	O	RSENTn SPC 拡張出力	PIPCn_m = 1 での制御対象は SPC 拡張の 1 線式のみです。SPC 拡張の有効 / 無効は、RSENT n CC レジスタの SPCE ビットで制御します。

備考 n は各周辺機能のモジュール番号を示します。

2.1.5.3 $\overline{\text{ERROROUT_C}}$ 端子の設定

$\overline{\text{ERROROUT_C}}$ 端子のエラーアウト出力機能を使用するときは、故障診断のために兼用出力レベルループバック機能を有効にしてください。

2.1.5.4 アナログ入力端子使用時のレジスタ設定

アナログ入力の ANxxx（ADC）と DSANxP、DSANxN（DSADC）は常時 A/D コンバータと接続されているので、端子機能を選択するためのポートレジスタ設定は必要ありません。ただし、汎用入力ポートと兼用しているアナログ入力端子を使用する場合、PMCn_m = 0 注 1、PIBCn_m = 0（リセット後の値）に設定してください。アナログ電圧入力時に、デジタル側の入力バッファの貫通電流を防止できます。本製品では、ポートグループ P14、P15、P16 が該当端子です。

注 1. 端子によっては PMCn_m が非搭載の場合もあります。搭載有無は、「**2.2 ポートグループ構成**」のレジスター覧を参照してください。

2.1.5.5 LVDS バッファ使用時のレジスタ設定

RHSB の LVDS バッファを使用する場合、PM17_m = 0 に設定してください。PM17_m = 0 に設定してから LVDS バッファが出力可能な状態になるまで、10usec 以上の待機時間が必要です。

表 2.30 LVDS バッファ対象ポート

ポートレジスタ	LVDS バッファ	E1M-S2 BGA304 BGA252
PM17_0	RHSB0SOP	○
	RHSB0SON	
PM17_1	RHSB0FCLP	○
	RHSB0FCLN	
PM17_2	RHSB1SOP	○
	RHSB1SON	
PM17_3	RHSB1FCLP	○
	RHSB1FCLN	

2.1.5.6 JTAG ポートの機能選択

JTAG ポートには複数のツール接続用のインタフェース（I/F）を兼用しており、モード端子設定とオプションバイト設定の組み合わせにより I/F が決定します。動作モードがユーザブートモードの場合、オプションバイトの OPBT2 の設定で I/F を選択できます。それ以外の動作モードの場合 OPBT2 の設定は無効となり、各動作モードに対応した I/F が選択されます。詳細は**「5.2　動作モード」**を参照してください。

2.2 ポートグループ構成

2.2.1 BGA304、BGA252 ポート機能

2.2.1.1 BGA304、BGA252 ポートレジスター覧

各ポートの制御レジスタ詳細ビット配置について、**表 2.31** ～**表 2.46** に示します。ビットマップにおいて“○”は有効ビット、“—”は無効ビットを表します。リザーブビットをリードするとリセット後の値を読み出します。ライトするときもリセット後の値を書き込んで下さい。また、ポートグループ 7、8、10 の端子は、BGA304 パッケージでは搭載していますが、BGA252 パッケージでは非搭載です。非搭載端子のポートレジスタは、リセット後の値から設定を変更しないでください。

表 2.31 BGA304、BGA252 ポートグループ 0 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	P0	R/W	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PSR0	R/W	$0000\ 0000_H$	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR0	R	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PM0	R/W	$FFFF_H$	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PMC0	R/W	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PFC0	R/W	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PFCE0	R/W	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PFCAE0	R/W	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PNOT0	W	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PMSR0	R/W	$0000\ FFFF_H$	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PMCSR0	R/W	$0000\ 0000_H$	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC0	R/W	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PBDC0	R/W	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PIPC0	R/W	0000_H	16	—	○	○	○	—	○	—	○	○	—	—	—	—	○	○	○	
	PU0	R/W	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PD0	R/W	0000_H	16	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PDSC0	R/W	$0000\ 0000_H$	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC0	R/W	$0000\ 0000_H$	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS0	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD0	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV0	R/W	$0000\ 0000_H$	32	—	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ														
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
0	PCR0_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR0_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR0_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR0_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR0_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR0_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR0_6	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR0_7	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR0_8	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR0_9	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR0_10	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR0_11	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR0_12	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR0_13	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR0_14	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

表 2.32 BGA304、BGA252 ポートグループ 1 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
1	P1	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PSR1	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR1	R	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PM1	R/W	$FFFF_H$	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PMC1	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PFC1	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PFCE1	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PFCAE1	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PNOT1	W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PMSR1	R/W	$0000\ FFFF_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PMCSR1	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC1	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PBDC1	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PIPC1	R/W	0000_H	16	○	○	○	○	○	○	—	—	○	○	○	○	○	○	○	○	
	PU1	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PD1	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PDSC1	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC1	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS1	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD1	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV1	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ														
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
1	PCR1_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_6	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_7	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_8	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR1_9	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR1_10	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_11	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_12	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_13	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_14	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR1_15	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

表 2.33 BGA304、BGA252 ポートグループ 2 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
2	P2	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PSR2	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR2	R	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PM2	R/W	$FFFF_H$	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PMC2	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PFC2	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PFCE2	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PFCAE2	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PNOT2	W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PMSR2	R/W	$0000\ FFFF_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	上位 16 ビット
	PMCSR2	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC2	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PBDC2	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PIPC2	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PU2	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PD2	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PDSC2	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC2	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS2	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD2	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV2	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ														
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
2	PCR2_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR2_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR2_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR2_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR2_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR2_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR2_6	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR2_7	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

表 2.34 BGA304、BGA252 ポートグループ 3 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
3	P3	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PSR3	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR3	R	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PM3	R/W	$FFFF_H$	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PMC3	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PFC3	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PFCE3	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PFCAE3	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PNOT3	W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PMSR3	R/W	$0000\ FFFF_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	上位 16 ビット
	PMCSR3	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC3	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PBDC3	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PIPC3	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PU3	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PD3	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PDSC3	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC3	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS3	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD3	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV3	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ														
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
3	PCR3_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR3_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR3_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR3_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR3_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR3_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR3_6	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR3_7	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

表 2.35 BGA304、BGA252 ポートグループ 4 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
4	P4	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PSR4	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR4	R	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PM4	R/W	$FFFF_H$	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PMC4	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PFC4	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PFCE4	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PFCAE4	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PNOT4	W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PMSR4	R/W	$0000\ FFFF_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PMCSR4	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC4	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PBDC4	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PIPC4	R/W	0000_H	16	—	—	○	○	—	—	○	○	—	—	—	○	○	○	○	○	
	PU4	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PD4	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PDSC4	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC4	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS4	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD4	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV4	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポート グループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ														
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
4	PCR4_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR4_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR4_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR4_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR4_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR4_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR4_6	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR4_7	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR4_8	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR4_9	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR4_10	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR4_11	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR4_12	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR4_13	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR4_14	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR4_15	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○

表 2.36 BGA304、BGA252 ポートグループ 5 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
5	P5	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PSR5	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR5	R	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PM5	R/W	$FFFF_H$	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PMC5	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PFC5	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PFCE5	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PFCAE5	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PNOT5	W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PMSR5	R/W	$0000\ FFFF_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PMCSR5	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC5	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PBDC5	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PIPC5	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PU5	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PD5	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PDSC5	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC5	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS5	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD5	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV5	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
5	PCR5_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR5_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR5_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR5_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR5_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR5_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR5_6	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR5_7	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR5_8	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR5_9	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

表 2.37 BGA304、BGA252 ポートグループ 6 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
6	P6	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PSR6	R/W	$0000\ 0000_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR6	R	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PM6	R/W	$FFFF_H$	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PMC6	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PFC6	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PFCE6	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PFCAE6	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PNOT6	W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PMSR6	R/W	$0000\ FFFF_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PMCSR6	R/W	$0000\ 0000_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC6	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PBDC6	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PIPC6	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PU6	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PD6	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PDSC6	R/W	$0000\ 0000_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC6	R/W	$0000\ 0000_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS6	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD6	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV6	R/W	$0000\ 0000_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
6	PCR6_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_6	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_7	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_8	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_9	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_10	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR6_11	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

表 2.38 BGA304、BGA252 ポートグループ 7 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
7	P7	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PSR7	R/W	$0000\ 0000_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR7	R	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PM7	R/W	$FFFF_H$	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PMC7	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PFC7	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PFCE7	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PFCAE7	R/W	0000_H	16	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	
	PNOT7	W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PMSR7	R/W	$0000\ FFFF_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PMCSR7	R/W	$0000\ 0000_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC7	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PBDC7	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PIPC7	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PU7	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PD7	R/W	0000_H	16	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	
	PDSC7	R/W	$0000\ 0000_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC7	R/W	$0000\ 0000_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS7	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD7	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV7	R/W	$0000\ 0000_H$	32	—	—	—	—	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
7	PCR7_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR7_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR7_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR7_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR7_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR7_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR7_6	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR7_7	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR7_8	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR7_9	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	—	○	○
	PCR7_10	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	—	○	○
	PCR7_11	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	—	○	○

表 2.39 BGA304、BGA252 ポートグループ 8 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
8	P8	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PSR8	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR8	R	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PM8	R/W	$FFFF_H$	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PMC8	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PFC8	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PFCE8	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PFCAE8	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	—	—	○	○	○	○	○	
	PNOT8	W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PMSR8	R/W	$0000\ FFFF_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	上位 16 ビット
	PMCSR8	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC8	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PBDC8	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PIPC8	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PU8	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PD8	R/W	0000_H	16	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PDSC8	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC8	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS8	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD8	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV8	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
8	PCR8_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR8_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR8_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR8_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR8_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR8_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	—	○	○
	PCR8_6	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	—	○	○
	PCR8_7	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

表 2.40 BGA304、BGA252 ポートグループ 10 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
10	P10	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PSR10	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	上位 16 ビット
	PPR10	R	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PM10	R/W	$FFFF_H$	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PMC10	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PFC10	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PFCE10	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	—	
	PFCAE10	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PNOT10	W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PMSR10	R/W	$0000\ FFFF_H$	32	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	上位 16 ビット
	PMCSR10	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	上位 16 ビット
	PIBC10	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PBDC10	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PIPC10	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PU10	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PD10	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PDSC10	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC10	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS10	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD10	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV10	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
10	PCR10_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	—	○
	PCR10_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR10_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR10_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
	PCR10_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

表 2.41 BGA304、BGA252 ポートグループ 11 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
11	P11	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	
	PSR11	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
	PPR11	R	0000_H	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	
	PM11	R/W	$FFFF_H$	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	
	PMC11	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	—	
	PFC11	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	—	
	PFCE11	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	—	
	PNOT11	W	0000_H	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	
	PMSR11	R/W	$0000\ FFFF_H$	32	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	上位 16 ビット
	PMCSR11	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	—	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	—	上位 16 ビット
	PIBC11	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	
	PBDC11	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	
	PU11	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	
	PD11	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	
	PDSC11	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC11	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS11	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD11	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV11	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ														
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
11	PCR11_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	—	—	○	—	—	—
	PCR11_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	—	○	○
	PCR11_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	—	○	○
	PCR11_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	—	○	○
	PCR11_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	—	○	○
	PCR11_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	—	○	○

表 2.42 BGA304、BGA252 ポートグループ 13 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
13	P13	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PSR13	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PPR13	R	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PM13	R/W	$FFFF_H$	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PMC13	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PFC13	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	○	
	PFCE13	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	○	—	—	—	—	
	PFCAE13	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PNOT13	W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PMSR13	R/W	$0000\ FFFF_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PMCSR13	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC13	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PBDC13	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PIPC13	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	—	—	○	○	—	
	PU13	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PD13	R/W	0000_H	16	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	
	PDSC13	R/W	00000000_H	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PUCC13	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット
	PPROTS13	R	00_H	8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PPCMD13	W	00_H	8	—	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	
	PINV13	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
13	PCR13_0	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	—	○
	PCR13_1	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	—	○
	PCR13_2	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	—	○
	PCR13_3	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	—	○
	PCR13_4	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	○	○
	PCR13_5	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	—	—
	PCR13_6	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	—	—
	PCR13_7	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	—	—
	PCR13_8	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	—	—
	PCR13_9	R/W	$0000\ 0010_H$	32	○	○	○	○	○	○	○	○	○	○	—	○	○	—	—

表 2.43 BGA304、BGA252 ポートグループ 14 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
14	PPR14	R	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PMC14	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
	PFC14	R/W	0000_H	16	○	—	○	—	○	○	○	○	○	—	○	○	○	—	—	—	
	PMCSR14	R/W	$0000\ 0000_H$	32	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	下位 16 ビット
					○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	上位 16 ビット
	PIBC14	R/W	0000_H	16	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0	
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC	
14	PCR14_0	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	—	
	PCR14_1	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	—	
	PCR14_2	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	—	
	PCR14_3	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	
	PCR14_4	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	
	PCR14_5	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	
	PCR14_6	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	—	
	PCR14_7	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	
	PCR14_8	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	
	PCR14_9	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	
	PCR14_10	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	
	PCR14_11	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	
	PCR14_12	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	—	
	PCR14_13	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	
	PCR14_14	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	—	
	PCR14_15	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	

表 2.44 BGA304、BGA252 ポートグループ 15 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
15	PPR15	R	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	
	PMC15	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	
	PFC15	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	○	
	PMCSR15	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	上位 16 ビット
	PIBC15	R/W	0000_H	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ															
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0	
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC	
15	PCR15_0	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	○	
	PCR15_1	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	—	
	PCR15_2	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	—	
	PCR15_3	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	○	—	—	—	—	—	

表 2.45 BGA304、BGA252 ポートグループ 16 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
16	PPR16	R	0000_H	16	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	
	PIBC16	R/W	0000_H	16	—	—	—	—	—	—	—	○	○	○	○	○	○	○	○	○	

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ														
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
16	PCR16_0	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	—	—	—	—	—	—
	PCR16_1	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	—	—	—	—	—	—
	PCR16_2	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	—	—	—	—	—	—
	PCR16_3	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	—	—	—	—	—	—
	PCR16_4	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	—	—	—	—	—	—
	PCR16_5	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	—	—	—	—	—	—
	PCR16_6	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	—	—	—	—	—	—
	PCR16_7	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	—	—	—	—	—	—
	PCR16_8	R/W	$0000\ 0000_H$	32	—	—	—	—	—	—	○	—	○	—	—	—	—	—	—

表 2.46 BGA304、BGA252 ポートグループ 17 レジスター覧

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ																備考
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
17	PM17	R/W	$FFFF_H$	16	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	
	PMSR17	R/W	$0000\ FFFF_H$	32	—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	下位 16 ビット
					—	—	—	—	—	—	—	—	—	—	—	—	○	○	○	○	上位 16 ビット

ポートグループ名	レジスタ名	R/W	リセット後の値	アクセスサイズ	ビットマップ														
					30	25	24	19	18	17	16	12	8	6	5	4	2	1	0
					PINV	PUCC	PDSC	PU	PD	PBDC	PIBC	P	PPR	PMC	PIPC	PM	PFCAE	PFCE	PFC
17	PCR17_0	R/W	$0000\ 0010_H$	32	—	—	—	—	—	—	—	—	—	—	—	○	—	—	—
	PCR17_1	R/W	$0000\ 0010_H$	32	—	—	—	—	—	—	—	—	—	—	—	○	—	—	—
	PCR17_2	R/W	$0000\ 0010_H$	32	—	—	—	—	—	—	—	—	—	—	—	○	—	—	—
	PCR17_3	R/W	$0000\ 0010_H$	32	—	—	—	—	—	—	—	—	—	—	—	○	—	—	—

2.2.1.2 BGA304、BGA252 端子兼用機能一覧

各ポートの端子兼用機能一覧を、**表 2.47** ～**表 2.62** に示します。表の “—” の記載はリザーブですので、選択しないでください。また、ポートグループ 7、8、10 の端子は、BGA304 パッケージでは搭載していますが、BGA252 パッケージでは非搭載です。非搭載端子のポートグループの機能は使用できないため、ポートレジスタはリセット後の値から設定を変更しないでください。

表 2.47　BGA304、BGA252 ポートグループ 0 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P0_0	IO	—	—	—	—	—	—	FR0RXDA	—	CSIH0TSI	—	SCI0RxD	—	—	—	—
P0_1	IO	—	—	—	—	—	—	—	FR0TXDA	—	CSIH0TSO	—	SCI0TxD	—	—	—
P0_2	IO	—	—	—	—	—	—	—	$\overline{\text{FR0ENA}}$	CSIH0TSCK	CSIH0TSCK	SCI0SCK	SCI0SCK	—	—	—
P0_3	IO	—	—	—	—	—	—	FR0RXDB	—	—	CSIH0TCSS0	CRX2	—	IRQ0	—	—
P0_4	IO	—	—	—	—	—	—	—	FR0TXDB	—	CSIH0TCSS1	—	CTX2	IRQ1	—	—
P0_5	IO	—	—	—	—	—	—	—	$\overline{\text{FR0ENB}}$	—	CSIH0TCSS2	—	—	IRQ2	—	—
P0_6	IO	—	—	—	—	—	—	—	—	—	—	CSIH1TSI	—	IRQ3	—	—
P0_7	IO	—	—	—	—	—	—	—	—	—	—	—	CSIH1TSO	IRQ4	—	—
P0_8	IO	TIA00	—	—	—	—	—	—	—	—	—	CSIH1TSCK	CSIH1TSCK	IRQ5	—	—
P0_9	IO	TIA01	—	—	—	—	—	—	—	$\overline{\text{CSIH0TSSI}}$	—	—	CSIH1TCSS0	IRQ6	—	—
P0_10	IO	TIA02	—	—	—	—	—	—	—	CSIH0TRY	CSIH0TRY	—	CSIH1TCSS1	IRQ7	—	—
P0_11	IO	TIA03	—	—	TOD00B	—	—	—	—	—	CSIH0TCSS3	—	CSIH1TCSS2	CSIH2TSI	—	—
P0_12	IO	TIA04	—	—	TOD01B	—	—	—	—	—	CSIH0TCSS4	—	CSIH1TCSS3	—	CSIH2TSO	—
P0_13	IO	TIA05	—	—	TOD02B	—	—	—	—	—	CSIH0TCSS5	$\overline{\text{CSIH1TSSI}}$	—	CSIH2TSCK	CSIH2TSCK	—
P0_14	IO	TIA06	—	—	TOD03B	—	—	—	—	—	—	CSIH1TRY	CSIH1TRY	—	CSIH2TCSS0	—

表 2.48　BGA304、BGA252 ポートグループ 1 端子兼用機能一覧 (1/2)

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P1_0	IO	—	TOD20A	—	TOD20B	—	TOE00	—	APA0	—	—	SCI0RxD	—	—	CSIH2TCSS1	—
P1_1	IO	—	TOD21A	—	TOD21B	—	TOE01	—	APA1	—	TSO00	—	SCI0TxD	—	CSIH2TCSS2	—
P1_2	IO	—	TOD22A	—	TOD22B	—	TOE02	—	APA2	—	TSO01	—	—	—	CSIH2TCSS3	—
P1_3	IO	—	TOD23A	—	TOD23B	—	TOE03	—	APA3	—	TSO02	—	—	$\overline{\text{CSIH2TSSI}}$	—	—
P1_4	IO	—	TOD30A	—	TOD30B	—	TOE40	—	APA4	—	TSO03	—	—	CSIH2TRY	CSIH2TRY	—
P1_5	IO	—	TOD31A	—	TOD31B	—	TOE41	—	APA5	—	TSO04	—	—	—	—	—

表 2.48　BGA304、BGA252 ポートグループ 1 端子兼用機能一覧 (2/2)

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P1_6	IO	—	TOD32A	—	TOD32B	—	TOE42	—	APA6	—	TSO05	—	—	—	—	—
P1_7	IO	—	TOD33A	—	TOD33B	—	TOE43	—	APA7	—	TSO06	—	—	—	—	—
P1_8	IO	—	TOD50A	—	TOD50B	—	TOE20	—	APA8	—	TSO07	—	—	LRX0	—	—
P1_9	IO	—	TOD51A	—	TOD51B	—	TOE21	—	APA9	—	TSO10	—	—	—	LTX0	—
P1_10	IO	—	TOD52A	—	TOD52B	—	TOE22	—	APA10	—	TSO11	—	—	—	—	—
P1_11	IO	—	TOD53A	—	TOD53B	—	TOE23	—	APA11	—	TSO12	—	—	—	—	—
P1_12	IO	TIOC50	TIOC50	—	TOD60B	—	TOE30	—	APA12	—	TSO13	—	—	—	—	—
P1_13	IO	TIOC51	TIOC51	—	TOD61B	—	TOE31	—	APA13	—	TSO14	—	—	—	—	—
P1_14	IO	TIOC52	TIOC52	—	TOD62B	—	TOE32	—	APA14	—	TSO15	—	—	—	—	—
P1_15	IO	TIOC53	TIOC53	—	TOD63B	—	TOE33	—	APA15	—	TSO16	—	—	—	—	—

表 2.49　BGA304、BGA252 ポートグループ 2 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P2_0	IO	TIA00	TOE50	—	TOD00B	TIOC12	TIOC12	—	—	—	TSO17	—	—	IRQ0	—	—
P2_1	IO	TIA01	TOE51	—	TOD01B	TIOC13	TIOC13	—	—	—	—	—	—	IRQ1	—	—
P2_2	IO	TIA02	TOE52	—	TOD02B	TIOC20	TIOC20	—	—	—	—	—	—	IRQ2	—	—
P2_3	IO	TIA03	TOE53	—	TOD03B	TIOC21	TIOC21	—	—	—	—	—	—	IRQ3	—	—
P2_4	IO	TIA04	TOE10	—	TOD10B	TIOC22	TIOC22	—	—	CRX3	—	—	—	IRQ4	—	—
P2_5	IO	TIA05	TOE11	—	TOD11B	TIOC23	TIOC23	—	—	—	CTX3	—	—	IRQ5	—	—
P2_6	IO	TCLKA	TOE12	—	TOD12B	TIOC30	TIOC30	—	—	CRX0	—	—	—	IRQ6	—	—
P2_7	IO	TCLKB	TOE13	—	TOD13B	TIOC31	TIOC31	—	—	—	CTX0	—	—	IRQ7	—	—

表 2.50　BGA304、BGA252 ポートグループ 3 端子兼用機能一覧 (1/2)

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P3_0	IO	TIF0A	TOE60	—	TOD30B	TIOC32	TIOC32	—	—	CRX1	—	SCI1RxD	—	—	—	—
P3_1	IO	TIF1A	TOE61	—	TOD31B	TIOC33	TIOC33	—	—	—	CTX1	—	SCI1TxD	—	—	—
P3_2	IO	TIF2A	TOE62	—	TOD32B	TIOC40	TIOC40	ADTRG1	—	CRX2	—	SCI2RxD	—	—	—	—
P3_3	IO	TIF3	TOE63	—	TOD33B	TIOC41	TIOC41	—	ADEND1	—	CTX2	ESO2	SCI2TxD	—	—	—
P3_4	IO	TIF4	—	TIJ2	TOD50B	TIOC42	TIOC42	ADTRG0	—	—	—	ESO3	—	—	—	—
P3_5	IO	TIF5	—	TIJ3	TOD51B	TIOC43	TIOC43	—	ADEND0	—	—	—	—	—	—	—

表 2.50　BGA304、BGA252 ポートグループ 3 端子兼用機能一覧 (2/2)

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P3_6	IO	TIA06	—	—	TOD52B	TIOC00	TIOC00	—	—	CRX3	—	—	—	—	—	—
P3_7	IO	TIF6	—	—	TOD53B	TIOC01	TIOC01	—	—	—	CTX3	—	—	—	—	—

表 2.51　BGA304、BGA252 ポートグループ 4 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P4_0	IO	—	TOD00A	TAPTS00	TOD00B	TIOC20	TIOC20	TIF0A	APA0	—	$\overline{\text{ERROROUT_C}}$	—	RSENT0SPCO	CSIH3TSI	—	—
P4_1	IO	—	TOD01A	TAPTS01	TOD01B	TIOC21	TIOC21	TIF1A	APA1	—	—	—	RSENT1SPCO	—	CSIH3TSO	—
P4_2	IO	—	TOD02A	TAPTS02	TOD02B	TIOC22	TIOC22	TIF2A	APA2	—	—	—	RSENT2SPCO	CSIH3TSCK	CSIH3TSCK	—
P4_3	IO	—	TOD03A	TAPTS10	TOD03B	TIOC23	TIOC23	TIF3	APA3	—	—	$\overline{\text{CSIH2TSSI}}$	RSENT3SPCO	—	CSIH3TCSS0	—
P4_4	IO	—	TOD10A	TAPTS11	TOD10B	—	TOE30	TIF4	APA4	—	—	CSIH2TRY	CSIH2TRY	—	CSIH3TCSS1	—
P4_5	IO	—	TOD11A	TAPTS12	TOD11B	—	TOE31	TIF5	APA5	CRX0	—	—	—	—	CSIH3TCSS2	—
P4_6	IO	—	TOD12A	—	TOD12B	—	TOE32	TIF6	APA6	—	CTX0	—	—	—	CSIH3TCSS3	—
P4_7	IO	—	TOD13A	—	TOD13B	—	TOE00	TIF7	APA7	—	—	CSIH2TSI	—	$\overline{\text{CSIH3TSSI}}$	—	—
P4_8	IO	—	TOD40A	—	TOD40B	—	TOE01	TIF8	APA8	—	—	—	CSIH2TSO	CSIH3TRY	CSIH3TRY	—
P4_9	IO	—	TOD41A	—	TOD41B	—	TOE02	TIF9	APA9	CRX3	—	CSIH2TSCK	CSIH2TSCK	—	—	—
P4_10	IO	—	TOD42A	—	TOD42B	—	TOE03	TIF10	APA10	—	CTX3	—	CSIH2TCSS0	—	—	—
P4_11	IO	—	TOD43A	—	TOD43B	—	TOE10	TIF11	APA11	—	—	—	CSIH2TCSS1	—	—	—
P4_12	IO	TIOC42	TIOC42	—	TOD50B	—	TOE11	TIF12	APA12	SCI1RxD	—	—	CSIH2TCSS2	—	RSENT0SPCO	—
P4_13	IO	TIOC43	TIOC43	—	TOD51B	—	TOE12	TIF13	APA13	—	SCI1TxD	—	CSIH2TCSS3	—	RSENT1SPCO	—
P4_14	IO	—	TOD20B	—	TOD52B	—	TOE13	TIF14	APA14	CRX1	—	—	RSENT2SPCO	—	—	—
P4_15	IO	—	TOD21B	—	TOD53B	—	TOE40	TIF15	APA15	—	CTX1	—	RSENT3SPCO	—	$\overline{\text{ERROROUT_C}}$	—

表 2.52　BGA304、BGA252 ポートグループ 5 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P5_0	IO	TIF0B	TOE41	—	TOD20B	TIOC00	TIOC00	—	—	CRX0	—	SCI1RxD	—	—	—	—
P5_1	IO	TIF1B	TOE42	—	TOD21B	TIOC01	TIOC01	—	—	—	CTX0	—	SCI1TxD	—	—	—
P5_2	IO	TIF2B	TOE43	—	TOD22B	TIOC02	TIOC02	ESO2	—	SCI0RxD	—	SCI1SCK	SCI1SCK	$\overline{\text{POD}}$	—	—
P5_3	IO	TIF6	—	TIJ0	TOD23B	TIOC03	TIOC03	ESO3	—	CRX1	—	SCI2RxD	—	RSENT0RX	RSENT0SPCO	—
P5_4	IO	TIF7	—	TIJ1	TOD30B	TIOC10	TIOC10	RSENT1RX	RSENT1SPCO	—	CTX1	—	SCI2TxD	DSADTRG1	—	—
P5_5	IO	TIF8	TOE20	—	TOD31B	TIOC11	TIOC11	—	—	—	SCI0TxD	SCI2SCK	SCI2SCK	—	DSADEND1	—
P5_6	IO	TIF9	TOE21	—	TOD32B	TIOC12	TIOC12	LRX0	—	CRX2	—	—	—	DSADTRG0	—	—
P5_7	IO	TIF10	TOE22	—	TOD33B	TIOC13	TIOC13	—	LTX0	—	CTX2	SCI3SCK	SCI3SCK	—	DSADEND0	—
P5_8	IO	TIF11	TOE23	TIJ2	—	TIOC40	TIOC40	RSENT2RX	RSENT2SPCO	—	—	SCI3RxD	—	DSADTRG2	—	—
P5_9	IO	TIF12	TOE33	TIJ3	—	TIOC41	TIOC41	RSENT3RX	RSENT3SPCO	—	—	—	SCI3TxD	—	DSADEND2	—

表 2.53　BGA304、BGA252 ポートグループ 6 端子兼用機能一覧 (1/2)

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P6_0	IO	TIF13	TOD60A	TIJ0	—	RSENT0RX	RSENT0SPCO	—	TOE40	CRX0	—	—	—	DSADTRG3	—	—
P6_1	IO	TIF14	TOD61A	TIJ1	—	RSENT1RX	RSENT1SPCO	—	TOE41	—	CTX0	—	—	—	DSADEND3	—
P6_2	IO	TIF15	TOD62A	TIJ2	—	RSENT2RX	RSENT2SPCO	—	TOE42	CRX3	—	SCI1RxD	—	DSADTRG4	—	—
P6_3	IO	TIF0A	TOD63A	—	—	TIOC60	TIOC60	—	TOE43	—	CTX3	—	SCI1TxD	—	DSADEND4	—
P6_4	IO	—	TOD70A	—	TOD60B	TIOC61	TIOC61	—	TOE50	CRX1	—	—	RSENT4SPCO	DSADTRG5	—	—
P6_5	IO	—	TOD71A	—	TOD61B	TIOC62	TIOC62	—	TOE51	—	CTX1	—	RSENT5SPCO	—	DSADEND5	—
P6_6	IO	—	TOD72A	—	TOD62B	TIOC63	TIOC63	—	TOE52	—	—	SCI2RxD	—	DSADTRG6	—	—
P6_7	IO	—	TOD73A	TIJ3	TOD63B	RSENT3RX	RSENT3SPCO	—	TOE53	—	—	—	SCI2TxD	—	DSADEND6	—
P6_8	IO	TIF1A	—	—	TOD70B	TIOC70	TIOC70	—	TOE60	—	RSENT4SPCO	SCI3RxD	—	DSADTRG7	—	—
P6_9	IO	TIF2A	—	—	TOD71B	TIOC71	TIOC71	—	TOE61	—	RSENT5SPCO	—	SCI3TxD	—	DSADEND7	—

表 2.53　BGA304、BGA252 ポートグループ 6 端子兼用機能一覧 (2/2)

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P6_10	IO	—	—	TIJ4	TOD72B	TIOC72	TIOC72	—	TOE62	RSENT4RX	RSENT4SPCO	SCI0RxD	—	—	—	—
P6_11	IO	—	—	TIJ5	TOD73B	TIOC73	TIOC73	—	TOE63	RSENT5RX	RSENT5SPCO	—	SCI0TxD	—	—	—

表 2.54　BGA304、BGA252 ポートグループ 7 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P7_0	IO	—	—	—	—	TIOC00	TIOC00	—	—	—	—	CSIH3TSI	—	—	—	—
P7_1	IO	—	—	—	—	TIOC01	TIOC01	—	—	—	—	—	CSIH3TSO	—	—	—
P7_2	IO	—	—	—	—	TIOC02	TIOC02	—	—	—	—	CSIH3TSCK	CSIH3TSCK	—	—	—
P7_3	IO	—	—	—	—	TIOC03	TIOC03	—	—	—	—	—	CSIH3TCSS0	—	—	—
P7_4	IO	—	TOD60A	—	TOD60B	TIOC10	TIOC10	—	—	—	—	—	CSIH3TCSS1	—	—	—
P7_5	IO	—	TOD61A	TIJ0	TOD61B	TIOC11	TIOC11	—	—	—	—	—	CSIH3TCSS2	—	—	—
P7_6	IO	—	TOD62A	TIJ1	TOD62B	TIOC12	TIOC12	—	—	—	—	—	CSIH3TCSS3	—	—	—
P7_7	IO	—	TOD63A	—	TOD63B	TIOC13	TIOC13	—	TOE00	—	—	$\overline{\text{CSIH3TSSI}}$	—	—	—	—
P7_8	IO	—	TOD70A	—	TOD70B	TIOC20	TIOC20	—	TOE01	—	—	CSIH3TRY	CSIH3TRY	—	—	—
P7_9	IO	—	TOD71A	—	TOD71B	TIOC21	TIOC21	—	TOE02	—	—	—	—	—	—	—
P7_10	IO	—	TOD72A	—	TOD72B	TIOC22	TIOC22	—	TOE03	—	—	—	—	—	—	—
P7_11	IO	—	TOD73A	—	TOD73B	TIOC23	TIOC23	—	—	—	—	—	—	—	—	—

表 2.55　BGA304、BGA252 ポートグループ 8 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P8_0	IO	TIF5	TOE10	—	—	TIOC60	TIOC60	—	RSENT4SPCO	—	CTX2	—	SCI1TxD	—	—	—
P8_1	IO	TIF6	TOE11	—	—	TIOC61	TIOC61	—	RSENT5SPCO	—	—	SCI2RxD	—	—	—	—
P8_2	IO	TIF7	TOE12	—	—	TIOC62	TIOC62	—	—	—	—	—	SCI2TxD	—	—	—
P8_3	IO	TIF8	TOE13	—	—	TIOC63	TIOC63	—	—	—	—	SCI0RxD	—	—	—	—
P8_4	IO	TIF9	TOE20	TIJ0	—	TIOC70	TIOC70	RSENT0RX	RSENT0SPCO	—	—	—	SCI0TxD	—	—	—
P8_5	IO	TIF10	TOE21	TIJ1	—	TIOC71	TIOC71	RSENT1RX	RSENT1SPCO	—	—	—	—	—	—	—
P8_6	IO	TIF11	TOE22	TIJ2	—	TIOC72	TIOC72	RSENT2RX	RSENT2SPCO	—	—	—	—	—	—	—
P8_7	IO	TIF12	TOE23	TIJ3	—	TIOC73	TIOC73	RSENT3RX	RSENT3SPCO	—	—	—	—	IRQ0	—	—

表 2.56　BGA304、BGA252 ポートグループ 10 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P10_0	IO	TIF0A	—	—	—	—	—	—	—	CRX0	—	SCI3RxD	—	—	—	—
P10_1	IO	TIF1A	TOE00	—	—	TIOC50	TIOC50	—	RSENT0SPCO	—	CTX0	—	SCI3TxD	—	—	—
P10_2	IO	TIF2A	TOE01	—	—	TIOC51	TIOC51	—	RSENT1SPCO	CRX1	—	—	—	—	—	—
P10_3	IO	TIF3	TOE02	—	—	TIOC52	TIOC52	—	RSENT2SPCO	—	CTX1	—	—	—	—	—
P10_4	IO	TIF4	TOE03	—	—	TIOC53	TIOC53	—	RSENT3SPCO	CRX2	—	SCI1RxD	—	—	—	—

表 2.57　BGA304、BGA252 ポートグループ 11 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P11_0	IO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P11_1	IO	TIF13	—	—	TOD22B	—	APA0	—	TOE33	—	—	—	—	—	—	—
P11_2	IO	—	TOD80A	—	TOD80B	—	APA1	—	TOE20	—	—	—	—	—	—	—
P11_3	IO	—	TOD81A	—	TOD81B	—	APA2	—	TOE21	—	—	—	—	—	—	—
P11_4	IO	—	TOD82A	—	TOD82B	—	APA3	—	TOE22	—	—	—	—	—	—	—
P11_5	IO	—	TOD83A	—	TOD83B	—	APA4	—	TOE23	—	—	—	—	—	—	—

表 2.58　BGA304、BGA252 ポートグループ 13 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P13_0	IO	—	—	—	—	—	—	—	—	—	RHSB0CSD0	CSIH1TSI	—	—	—	—
P13_1	IO	—	—	—	—	—	—	—	—	—	RHSB0CSD1	—	CSIH1TSO	—	—	—
P13_2	IO	—	—	—	—	—	—	—	—	RHSB0SI0	—	CSIH1TSCK	CSIH1TSCK	—	—	—
P13_3	IO	—	—	—	—	—	—	—	—	RHSB0SI1	—	—	CSIH1TCSS0	—	—	—
P13_4	IO	—	—	—	—	—	—	—	—	RHSB0EMRG	—	—	CSIH1TCSS1	—	$\overline{\text{ERROROUT_C}}$	—
P13_5	IO	—	—	—	—	—	—	—	—	—	RHSB1CSD0	—	—	—	—	—
P13_6	IO	—	—	—	—	—	—	—	—	—	RHSB1CSD1	—	—	—	—	—
P13_7	IO	—	—	—	—	—	—	—	—	RHSB1SI0	—	—	—	—	—	—
P13_8	IO	—	—	—	—	—	—	—	—	RHSB1SI1	—	—	—	—	—	—
P13_9	IO	—	—	—	—	—	—	—	—	RHSB1EMRG	—	—	—	—	—	—

表 2.59　BGA304、BGA252 ポートグループ 14 端子兼用機能一覧 (1/2)

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能	
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7		
P14_0	I	TIF0A	—	—	—	—	—	—	—	—	—	—	—	—	—	AN020	/DSAN4P
P14_1	I	TIF1A	—	—	—	—	—	—	—	—	—	—	—	—	—	AN021	/DSAN4N
P14_2	I	TIF2A	—	—	—	—	—	—	—	—	—	—	—	—	—	AN022	/DSAN5P
P14_3	I	TIF0B	—	TIA00	—	—	—	—	—	—	—	—	—	—	—	AN023	/DSAN5N
P14_4	I	TIF1B	—	TIA01	—	—	—	—	—	—	—	—	—	—	—	AN030	/DSAN6P
P14_5	I	TIF2B	—	TIA02	—	—	—	—	—	—	—	—	—	—	—	AN031	/DSAN6N
P14_6	I	TIF3	—	—	—	—	—	—	—	—	—	—	—	—	—	AN032	/DSAN7P
P14_7	I	TIF4	—	TIA03	—	—	—	—	—	—	—	—	—	—	—	AN033	/DSAN7N
P14_8	I	TIF5	—	TIA04	—	—	—	—	—	—	—	—	—	—	—	AN040	
P14_9	I	TIF6	—	TIA05	—	—	—	—	—	—	—	—	—	—	—	AN041	
P14_10	I	TIF7	—	TIJ2	—	—	—	—	—	—	—	—	—	—	—	AN042	
P14_11	I	TIF8	—	TIJ3	—	—	—	—	—	—	—	—	—	—	—	AN043	
P14_12	I	TIF9	—	—	—	—	—	—	—	—	—	—	—	—	—	AN010	/DSAN2P
P14_13	I	TIF10	—	TIJ0	—	—	—	—	—	—	—	—	—	—	—	AN011	/DSAN2N

表 2.59　BGA304、BGA252 ポートグループ 14 端子兼用機能一覧 (2/2)

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P14_14	I	TIF11	—	—	—	—	—	—	—	—	—	—	—	—	—	AN012　/DSAN3P
P14_15	I	TIF12	—	TIJ1	—	—	—	—	—	—	—	—	—	—	—	AN013　/DSAN3N

表 2.60　BGA304、BGA252 ポートグループ 15 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P15_0	I	TIF9	—	TIA06	—	—	—	—	—	—	—	—	—	—	—	AN050
P15_1	I	TIF10	—	—	—	—	—	—	—	—	—	—	—	—	—	AN051
P15_2	I	TIF11	—	—	—	—	—	—	—	—	—	—	—	—	—	AN052
P15_3	I	TIF12	—	—	—	—	—	—	—	—	—	—	—	—	—	AN053

表 2.61　BGA304、BGA252 ポートグループ 16 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P16_0	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AN150
P16_1	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AN151
P16_2	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AN160
P16_3	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AN161
P16_4	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AN170
P16_5	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AN171
P16_6	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AN152
P16_7	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AN162
P16_8	I	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AN172

表 2.62　BGA304、BGA252 ポートグループ 17 端子兼用機能一覧

ポート	汎用入出力ポート	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用		専用機能
		ALT_IN1	ALT_OUT1	ALT_IN2	ALT_OUT2	ALT_IN3	ALT_OUT3	ALT_IN4	ALT_OUT4	ALT_IN5	ALT_OUT5	ALT_IN6	ALT_OUT6	ALT_IN7	ALT_OUT7	
P17_0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RHSB0SOP, RHSB0SON
P17_1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RHSB0FCLP, RHSB0FCLN
P17_2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RHSB1SOP, RHSB1SON
P17_3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RHSB1FCLP, RHSB1FCLN

2.3 DNF

Digital Noise Filter（以下 DNF）は、製品外部からの入力信号に対してデジタルノイズ除去を実現します。本製品には周辺機能 DNF と、エッジ検出 DNF の 2 種類を搭載しています。

2.3.1 ノイズ除去例

周辺機能 DNF とエッジ検出 DNF のノイズ除去例を、**図 2.7** に示します。この例では、サンプリングクロックを DNF 入力クロックの 1/2 、サンプリング回数を 2 回に設定し、現状の出力レベルを Low にしています。また、図の○は、High レベルを検出したことを意味しています。

入力例 1、2、3 は 2 回連続で同一レベルが検出たことにより、出力が Low → High に変化します。入力例 4、5、6 は 2 回連続で同一レベルが検出されず、結果としてノイズとみなされたことにより、入力信号の状態が除去されていることを示します。

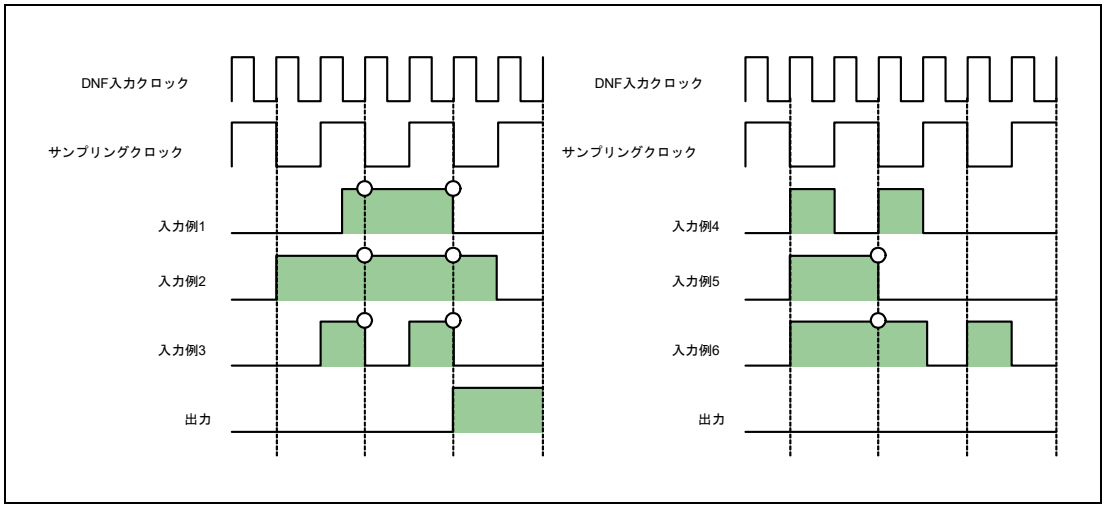


図 2.7 デジタルノイズ除去タイミングチャート

2.3.2 周辺機能 DNF

2.3.2.1 機能概要

周辺機能の入力機能端子に対してノイズ除去を実現します。

周辺機能 DNF は以下の機能を持っています。

- デジタルノイズを入力信号から取り除き、ノイズが取り除かれた信号を出力します。
- デジタルノイズ除去信号またはデジタルノイズ非除去信号のどちらを出力するか選択する機能を持ちます。
- デジタルノイズ除去幅は、サンプリングクロックの 2、3、4、5 回分の中から選択することができます。
- 5 タイプのサンプリング周波数を選択することができます。サンプリング周波数は以下のとおりです。DNF 入力クロックの 1/1、1/2、1/4、1/8、1/16 分周
- ノイズ除去条件を 1 チャネル毎にレジスタ設定できます。
- DNF グループ番号 0 の DNF 入力クロックは低速周辺クロックです。
- DNF グループ番号 1 の DNF 入力クロックは非変調高速周辺クロックです。
- DNF グループ番号 8 の DNF 入力クロックは非変調低速周辺クロックです。

2.3.2.2 制御レジスタ詳細

DNF のベースアドレスを**表 2.63** に示します。n は DNF グループ番号を意味します。

表 2.63 周辺機能 DNF のベースアドレス

DNFn	<DNFn_base> アドレス
DNF0	FFC30000
DNF1	FFC30100
DNF8	FFC30800

2.3.2.3 DNFP01nCTLm — デジタルノイズ除去コントロールレジスタ

DNF グループ番号 n、チャネル番号 m のノイズ除去条件を設定するレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <DNFn_base> ＋ 4_H × m（m：チャネル番号）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NFEN	SLST[1:0]		—	—	PRS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

表 2.64 DNFP01nCTLm レジスタの内容

ビット位置	ビット名	機 能
7	NFEN	デジタルノイズ除去許可／禁止設定 0：デジタルノイズ除去しない 1：デジタルノイズ除去する
6、5	SLST[1:0]	デジタルノイズ除去サンプリング回数設定 00：2 回 01：3 回 10：4 回 11：5 回
4、3	—	予約です。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。
2 ～ 0	PRS[2:0]	デジタルノイズ除去サンプリングクロック分周比設定 000：DNF 入力クロック／1 001：DNF 入力クロック／2 010：DNF 入力クロック／4 011：DNF 入力クロック／8 100：DNF 入力クロック／16 上記以外：設定禁止

2.3.2.4 周辺機能 DNF の設定手順

周辺機能 DNF の設定手順を示します。(4) と (5) の期間に製品端子への入力レベルが変化すると、予期しない信号が周辺機能に入力される可能性があるため、(6) で周辺機能側のフラグクリア等を実施してください。

(1) DNFP01nCTLm レジスタの PRS[2:0] ビット と SLST[1:0] ビット を設定する。

(2) DNFP01nCTLm レジスタの NFEN ビット をセットする。上記 (1) と同時設定可。

(3) ポートレジスタを設定して兼用機能を選択する。

(4) サンプリングクロック × サンプリング回数 + DNF 入力クロック × 2 の時間待機する。

(5) DNF 接続先の周辺機能の動作を許可する。

(6) 周辺機能のフラグクリア等。

また、DNF が動作している状態から設定を変更する場合、DNFP01nCTLm レジスタの NFEN ビット をクリアしてから、上記 (1) ～ (6) の手順で再設定してください。

2.3.2.5 DNF 挿入対象の周辺機能端子

DNF 挿入対象は以下の信号です。

表 2.65 DNF 挿入対象

DNF グループ番号 n	DNF チャネル番号 m	DNF 挿入対象端子			E1M-S2
		端子名	端子機能	周辺機能	BGA304 BGA252
0	0	IRQ0	外部割込み入力	INTC	○
	1	IRQ1	外部割込み入力	INTC	○
	2	IRQ2	外部割込み入力	INTC	○
	3	IRQ3	外部割込み入力	INTC	○
	4	IRQ4	外部割込み入力	INTC	○
	5	IRQ5	外部割込み入力	INTC	○
	6	IRQ6	外部割込み入力	INTC	○
	7	IRQ7	外部割込み入力	INTC	○
	10	ESO2	緊急時 Hiz 要求入力 （TSG20 PWM 用）	TAPA2 （PIC 経由）	○
	11	ESO3	緊急時 Hiz 要求入力 （TSG21 PWM 用）	TAPA3 （PIC 経由）	○
1	0	ADTRG0	ADC 変換起動トリガ入力	ADC0	○
	1	ADTRG1	ADC 変換起動トリガ入力	ADC1	○
	2	TAPTS00	ホールセンサー入力	TSG20	○
	3	TAPTS01	ホールセンサー入力	TSG20	○
	4	TAPTS02	ホールセンサー入力	TSG20	○
	5	TAPTS10	ホールセンサー入力	TSG21	○
	6	TAPTS11	ホールセンサー入力	TSG21	○
	7	TAPTS12	ホールセンサー入力	TSG21	○
	8	RHSB0EMRG	緊急信号入力	RHSB0	○
	9	RHSB1EMRG	緊急信号入力	RHSB1	○
8	0	RSENT0RX	RSENT0 受信データ入力	RSENT0	○
	1	RSENT1RX	RSENT1 受信データ入力	RSENT1	○
	2	RSENT2RX	RSENT2 受信データ入力	RSENT2	○
	3	RSENT3RX	RSENT3 受信データ入力	RSENT3	○
	4	RSENT4RX	RSENT4 受信データ入力	RSENT4	○
	5	RSENT5RX	RSENT5 受信データ入力	RSENT5	○

2.3.3 エッジ検出 DNF

2.3.3.1 機能概要

端子入力信号の有効エッジを検出します。エッジ検出のための信号は、ノイズ除去前、ノイズ除去後のいずれかを選択できます。エッジ検出 DNF は以下の機能を持っています。

- デジタルノイズを入力信号から取り除き、ノイズが取り除かれた信号のエッジを検出します。
- デジタルノイズ除去信号またはデジタルノイズ非除去信号の、どちらをエッジ検出するか選択する機能を持ちます。
- デジタルノイズ除去幅は、サンプリングクロックの 2、3、4、5 回分の中から選択することができます。
- 5 タイプのサンプリング周波数を選択することができます。サンプリング周波数は以下のとおりです。
  DNF 入力クロックの 1/1、1/2、1/4、1/8、1/16 分周
- デジタルノイズ除去条件は、全チャネル一括でレジスタ設定できます。
- DNF 入力クロックは低速周辺クロックです。

2.3.3.2 制御レジスタ詳細

エッジ検出 DNF のベースアドレスを**表 2.66** に示します。n は DNF グループ番号を意味します。

表 2.66 エッジ検出 DNF のベースアドレス

DNFn	<DNFn_base> アドレス	E1M-S2 BGA304	E1M-S2 BGA252
DNF2	FFC30200	○	○
DNF3	FFC30300	○	○
DNF4	FFC30400	○	○
DNF5	FFC30500	○	—
DNF6	FFC30600	○	○
DNF7	FFC30700	○	○

2.3.3.3 DNFP02nCTL — デジタルノイズ除去コントロールレジスタ

DNF グループ番号 n の全チャネル共通のノイズ除去条件を設定するレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <DNFn_base> + 00_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	SLST[1:0]		—	—	PRS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 2.67 DNFP02nCTL レジスタの内容

ビット位置	ビット名	機 能
7	—	予約です。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。
6、5	SLST[1:0]	デジタルノイズ除去サンプリング回数設定 0 0 : 2 回 0 1 : 3 回 1 0 : 4 回 1 1 : 5 回
4、3	—	予約です。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。
2 ～ 0	PRS[2:0]	デジタルノイズ除去サンプリングクロック分周比設定 0 0 0 : DNF 入力クロック／1 0 0 1 : DNF 入力クロック／2 0 1 0 : DNF 入力クロック／4 0 1 1 : DNF 入力クロック／8 1 0 0 : DNF 入力クロック／16 上記以外 : 設定禁止

2.3.3.4 DNFP02nEDCm — エッジ検出制御レジスタ

DNF グループ番号 n、チャネル番号 m のエッジ検出制御を設定するレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <DNFn_base> + 4_H + 8_H × m（m：チャネル番号）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NFEN	—	—	DMD[1:0]		—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R/W	R/W	R	R	R

表 2.68 DNFP02nEDCm レジスタの内容

ビット位置	ビット名	機　能
7	NFEN	デジタルノイズ除去許可／禁止設定 0：デジタルノイズ除去していない信号でエッジ検出する 1：デジタルノイズ除去した信号でエッジ検出する
6、5	—	予約です。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。
4、3	DMD[1:0]	エッジ検出許可／検出エッジ設定ビット ００：エッジ検出禁止。 ０１：立ち上がりエッジ検出 １０：立ち下がりエッジ検出 １１：両エッジ検出
2 ～ 0	—	予約です。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。

2.3.3.5 DNFP02nEDFm — エッジ検出フラグレジスタ

DNF グループ番号 n、チャネル番号 m のエッジ検出フラグとフラグクリアビットを有するレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <DNFn_base> + 8_H + 8_H × m（m：チャネル番号）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	EDF	—	—	—	—	—	—	CLED
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 2.69 DNFP02nEDFm レジスタの内容

ビット位置	ビット名	機 能
7	EDF	本ビットにチャネル番号 m の検出エッジ設定によるエッジ検出結果を保持します。本ビットは、CLED ビットに 1 を書き込むことでクリアされ、クリアされない限り 1 を保持します。1 を保持している状態でエッジが検出されても状態は変化しません。 0：有効エッジを検出していない 1：有効エッジを検出した
6 ～ 1	—	予約です。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。
0	CLED	1 を書き込むと、ビット 7:EDF のステータスフラグをクリアします。1 書き込みとビット 7 のセット要因が競合した際には、EDF のクリアが優先されます。0 書き込みを行っても状態は変化しません。また、読み出し値は常に 0 です。

2.3.3.6 エッジ検出 DNF の設定手順

エッジ検出 DNF の設定手順を示します。デジタルノイズ除去しない信号でエッジ検出する場合、(*) は不要です。(4) と (5) の期間に製品端子への入力レベルが変化すると、予期しないエッジを検出する可能性があるため、(6) でエッジ検出フラグをクリアしてください。

(1) DNFP02nCTL レジスタの PRS[2:0] ビット と SLST[1:0] ビット を設定する。(*)

(2) DNFP02nEDCm レジスタの NFEN ビット を設定する。

(3) ポートレジスタを汎用入力ポートモードに設定する。

(4) サンプリングクロック × サンプリング回数 + DNF 入力クロック × 2 の時間待機する。(*)

(5) DNFP02nEDCm レジスタの DMD[1:0] ビット でエッジ検出を有効にする。

(6) DNFP02nEDFm レジスタの CLED ビット でエッジ検出フラグをクリアする。

また、エッジ検出 DNF が動作している状態から設定を変更する場合、DNFP02nEDCm レジスタの DMD[1:0] を 00_B に設定してから、上記 (1) ～ (6) の手順で再設定してください。

2.3.3.7 DNF 挿入対象の Pn_m 端子

エッジ検出 DNF の対象は以下の信号です。

表 2.70 DNF 挿入対象 (1/2)

DNF グループ番号 n	DNF チャネル番号 m	端子名	E1M-S2 BGA304	E1M-S2 BGA252
2	0	P2_0	○	○
	1	P2_1	○	○
	2	P2_2	○	○
	3	P2_3	○	○
	4	P2_4	○	○
	5	P2_5	○	○
	6	P2_6	○	○
	7	P2_7	○	○
3	0	P3_0	○	○
	1	P3_1	○	○
	2	P3_2	○	○
	3	P3_3	○	○
	4	P3_4	○	○
	5	P3_5	○	○
	6	P3_6	○	○
	7	P3_7	○	○
4	0	P4_0	○	○
	1	P4_1	○	○
	2	P4_2	○	○
	3	P4_3	○	○
	4	P4_4	○	○
	5	P4_5	○	○
	6	P4_6	○	○
	7	P4_7	○	○
	8	P4_8	○	○
	9	P4_9	○	○
	10	P4_10	○	○
	11	P4_11	○	○
	12	P4_12	○	○
	13	P4_13	○	○
	14	P4_14	○	○
	15	P4_15	○	○

表 2.70 DNF 挿入対象 (2/2)

DNF グループ番号 n	DNF チャネル番号 m	端子名	E1M-S2 BGA304	E1M-S2 BGA252
5	0	P7_0	○	—
	1	P7_1	○	—
	2	P7_2	○	—
	3	P7_3	○	—
	4	P7_4	○	—
	5	P7_5	○	—
	6	P7_6	○	—
	7	P7_7	○	—
	8	P7_8	○	—
	9	P7_9	○	—
	10	P7_10	○	—
	11	P7_11	○	—
6	0	P14_0	○	○
	1	P14_1	○	○
	2	P14_2	○	○
	3	P14_3	○	○
	4	P14_4	○	○
	5	P14_5	○	○
	6	P14_6	○	○
	7	P14_7	○	○
	8	P14_8	○	○
	9	P14_9	○	○
	10	P14_10	○	○
	11	P14_11	○	○
	12	P14_12	○	○
	13	P14_13	○	○
	14	P14_14	○	○
	15	P14_15	○	○
7	0	P16_0	○	○
	1	P16_1	○	○
	2	P16_2	○	○
	3	P16_3	○	○
	4	P16_4	○	○
	5	P16_5	○	○
	6	P16_6	○	○
	7	P16_7	○	○
	8	P16_8	○	○

2.4 POD 制御

2.4.1 機能概要

$\overline{\text{POD}}$（ポートアウトプットディスエーブル）端子の入力レベルにより、**表 2.72** に示す関連端子の出力バッファを制御できます。この機能は、対象となる端子が出力に設定されているとき、選択されている機能に関係なく常に有効となります。$\overline{\text{POD}}$ 端子による出力バッファの制御は、バスサイクルとは非同期に行ないます。POD 制御は、ポートレジスタの出力設定や、各 IP の出力指定に優先されます。リセットよりは優先度は低いです。

表 2.71 $\overline{\text{POD}}$ 端子の状態

$\overline{\text{POD}}$ 端子状態	説明
0	端子出力無効（ハイインピーダンス）
1	端子出力有効（各設定機能）

表 2.72 POD 制御対象端子一覧 (1/3)

ポートグループ	端子名	E1M-S2 BGA304	E1M-S2 BGA252
P0	P0_11	○	○
	P0_12	○	○
	P0_13	○	○
	P0_14	○	○
P1	P1_0	○	○
	P1_1	○	○
	P1_2	○	○
	P1_3	○	○
	P1_4	○	○
	P1_5	○	○
	P1_6	○	○
	P1_7	○	○
	P1_8	○	○
	P1_9	○	○
	P1_10	○	○
	P1_11	○	○
	P1_12	○	○
	P1_13	○	○
	P1_14	○	○
	P1_15	○	○

表 2.72 POD 制御対象端子一覧 (2/3)

ポートグループ	端子名	E1M-S2 BGA304	E1M-S2 BGA252
P2	P2_0	○	○
	P2_1	○	○
	P2_2	○	○
	P2_3	○	○
	P2_4	○	○
	P2_5	○	○
	P2_6	○	○
	P2_7	○	○
P3	P3_0	○	○
	P3_1	○	○
	P3_2	○	○
	P3_3	○	○
	P3_4	○	○
	P3_5	○	○
	P3_6	○	○
	P3_7	○	○
P4	P4_0	○	○
	P4_1	○	○
	P4_2	○	○
	P4_3	○	○
	P4_4	○	○
	P4_5	○	○
	P4_6	○	○
	P4_7	○	○
	P4_8	○	○
	P4_9	○	○
	P4_10	○	○
	P4_11	○	○
	P4_12	○	○
	P4_13	○	○
	P4_14	○	○
	P4_15	○	○
P5	P5_0	○	○
	P5_1	○	○
	P5_3	○	○
	P5_4	○	○
	P5_5	○	○
	P5_6	○	○
	P5_7	○	○
	P5_8	○	○
	P5_9	○	○

表 2.72 POD 制御対象端子一覧 (3/3)

ポートグループ	端子名	E1M-S2 BGA304	E1M-S2 BGA252
P6	P6_0	○	○
	P6_1	○	○
	P6_2	○	○
	P6_3	○	○
	P6_4	○	○
	P6_5	○	○
	P6_6	○	○
	P6_7	○	○
	P6_8	○	○
	P6_9	○	○
	P6_10	○	○
	P6_11	○	○
P7	P7_0	○	—
	P7_1	○	—
	P7_2	○	—
	P7_3	○	—
	P7_4	○	—
	P7_5	○	—
	P7_6	○	—
	P7_7	○	—
	P7_8	○	—
	P7_9	○	—
	P7_10	○	—
	P7_11	○	—
P8	P8_0	○	—
	P8_1	○	—
	P8_2	○	—
	P8_3	○	—
	P8_3	○	—
	P8_5	○	—
	P8_6	○	—
	P8_7	○	—
P10	P10_1	○	—
	P10_2	○	—
	P10_3	○	—
	P10_4	○	—
P11	P11_1	○	○
	P11_2	○	○
	P11_3	○	○
	P11_4	○	○
	P11_5	○	○

2.5 端子説明

2.5.1 概要

本節では、端子機能および外部端子の一覧と、リセット時および各状態での外部端子の端子状態を示します。

2.5.2 端子機能一覧

各端子の機能を**表 2.73** に示します。表の“○”はサポート機能、“—”は非サポート機能を意味します。非サポートの端子機能は、使用しないでください。

表 2.73 端子機能 (1/16)

分類	端子名	IO	機能	BGA304	BGA252
ATU-IV（共通部）	TCLKA	I	外部クロック入力	○	○
	TCLKB	I	外部クロック入力	○	○
ATU-IV（Timer A）	TIA00	I	タイマ A の各チャネルへのインプットキャプチャトリガ	○	○
	TIA01	I		○	○
	TIA02	I		○	○
	TIA03	I		○	○
	TIA04	I		○	○
	TIA05	I		○	○
	TIA06	I		○	○
ATU-IV（Timer C）	TIOC00	IO	タイマ C へのインプットキャプチャトリガ、およびアウトプットコンペア出力	○	○
	TIOC01	IO		○	○
	TIOC02	IO		○	○
	TIOC03	IO		○	○
	TIOC10	IO		○	○
	TIOC11	IO		○	○
	TIOC12	IO		○	○
	TIOC13	IO		○	○
	TIOC20	IO		○	○
	TIOC21	IO		○	○
	TIOC22	IO		○	○
	TIOC23	IO		○	○
	TIOC30	IO		○	○
	TIOC31	IO		○	○
	TIOC32	IO		○	○
	TIOC33	IO		○	○
	TIOC40	IO		○	○
	TIOC41	IO		○	○
	TIOC42	IO		○	○
	TIOC43	IO		○	○

表 2.73 端子機能 (2/16)

分類	端子名	IO	機能	BGA304	BGA252
ATU-IV（Timer C）	TIOC50	IO	タイマ C へのインプットキャプチャトリガ、およびアウトプットコンペア出力	○	○
	TIOC51	IO		○	○
	TIOC52	IO		○	○
	TIOC53	IO		○	○
	TIOC60	IO		○	○
	TIOC61	IO		○	○
	TIOC62	IO		○	○
	TIOC63	IO		○	○
	TIOC70	IO		○	○
	TIOC71	IO		○	○
	TIOC72	IO		○	○
	TIOC73	IO		○	○
ATU-IV（Timer D）	TOD00A	O	タイマ D のワンショットパルス出力	○	○
	TOD01A	O		○	○
	TOD02A	O		○	○
	TOD03A	O		○	○
	TOD10A	O		○	○
	TOD11A	O		○	○
	TOD12A	O		○	○
	TOD13A	O		○	○
	TOD20A	O		○	○
	TOD21A	O		○	○
	TOD22A	O		○	○
	TOD23A	O		○	○
	TOD30A	O		○	○
	TOD31A	O		○	○
	TOD32A	O		○	○
	TOD33A	O		○	○
	TOD40A	O		○	○
	TOD41A	O		○	○
	TOD42A	O		○	○
	TOD43A	O		○	○
	TOD50A	O		○	○
	TOD51A	O		○	○
	TOD52A	O		○	○
	TOD53A	O		○	○
	TOD60A	O		○	○
	TOD61A	O		○	○
	TOD62A	O		○	○
	TOD63A	O		○	○

表 2.73 端子機能 (3/16)

分類	端子名	IO	機能	BGA304	BGA252
ATU-IV（Timer D）	TOD70A	O	タイマ D のワンショットパルス出力	○	○
	TOD71A	O		○	○
	TOD72A	O		○	○
	TOD73A	O		○	○
	TOD80A	O		○	○
	TOD81A	O		○	○
	TOD82A	O		○	○
	TOD83A	O		○	○
	TOD00B	O		○	○
	TOD01B	O		○	○
	TOD02B	O		○	○
	TOD03B	O		○	○
	TOD10B	O		○	○
	TOD11B	O		○	○
	TOD12B	O		○	○
	TOD13B	O		○	○
	TOD20B	O		○	○
	TOD21B	O		○	○
	TOD22B	O		○	○
	TOD23B	O		○	○
	TOD30B	O		○	○
	TOD31B	O		○	○
	TOD32B	O		○	○
	TOD33B	O		○	○
	TOD40B	O		○	○
	TOD41B	O		○	○
	TOD42B	O		○	○
	TOD43B	O		○	○
	TOD50B	O		○	○
	TOD51B	O		○	○
	TOD52B	O		○	○
	TOD53B	O		○	○
	TOD60B	O		○	○
	TOD61B	O		○	○
	TOD62B	O		○	○
	TOD63B	O		○	○
	TOD70B	O		○	○
	TOD71B	O		○	○
	TOD72B	O		○	○
	TOD73B	O		○	○
	TOD80B	O		○	○
	TOD81B	O		○	○
	TOD82B	O		○	○
	TOD83B	O		○	○

表 2.73 端子機能 (4/16)

分類	端子名	IO	機能	BGA304	BGA252
ATU-IV （Timer E）	TOE00	O	タイマ E の PWM 出力	○	○
	TOE01	O		○	○
	TOE02	O		○	○
	TOE03	O		○	○
	TOE10	O		○	○
	TOE11	O		○	○
	TOE12	O		○	○
	TOE13	O		○	○
	TOE20	O		○	○
	TOE21	O		○	○
	TOE22	O		○	○
	TOE23	O		○	○
	TOE30	O		○	○
	TOE31	O		○	○
	TOE32	O		○	○
	TOE33	O		○	○
	TOE40	O		○	○
	TOE41	O		○	○
	TOE42	O		○	○
	TOE43	O		○	○
	TOE50	O		○	○
	TOE51	O		○	○
	TOE52	O		○	○
	TOE53	O		○	○
	TOE60	O		○	○
	TOE61	O		○	○
	TOE62	O		○	○
	TOE63	O		○	○
ATU-IV （Timer F）	TIF0A	I	タイマ F へのイベント入力信号	○	○
	TIF1A	I		○	○
	TIF2A	I		○	○
	TIF0B	I		○	○
	TIF1B	I		○	○
	TIF2B	I		○	○
	TIF3	I		○	○
	TIF4	I		○	○
	TIF5	I		○	○

表 2.73　端子機能 (5/16)

分類	端子名	IO	機能	BGA304	BGA252
ATU-IV（Timer F）	TIF6	I	タイマ F へのイベント入力信号	○	○
	TIF7	I		○	○
	TIF8	I		○	○
	TIF9	I		○	○
	TIF10	I		○	○
	TIF11	I		○	○
	TIF12	I		○	○
	TIF13	I		○	○
	TIF14	I		○	○
	TIF15	I		○	○
ATU-IV（Timer J）	TIJ0	I	タイマ J のインプットキャプチャトリガ	○	○
	TIJ1	I		○	○
	TIJ2	I		○	○
	TIJ3	I		○	○
	TIJ4	I		○	○
	TIJ5	I		○	○
APA	APA0	O	APA 出力	○	○
	APA1	O		○	○
	APA2	O		○	○
	APA3	O		○	○
	APA4	O		○	○
	APA5	O		○	○
	APA6	O		○	○
	APA7	O		○	○
	APA8	O		○	○
	APA9	O		○	○
	APA10	O		○	○
	APA11	O		○	○
	APA12	O		○	○
	APA13	O		○	○
	APA14	O		○	○
	APA15	O		○	○
TSG20	TSO00	O	タイマ　アップダウンステータス出力	○	○
	TSO01	O	タイマ PWM 出力 **注 意** 出力は PIC からのものを使用します。	○	○
	TSO02	O		○	○
	TSO03	O		○	○
	TSO04	O		○	○
	TSO05	O		○	○
	TSO06	O		○	○
	TSO07	O	A/D トリガ診断出力	○	○
	TAPTS00	I	ホールセンサー入力	○	○
	TAPTS01	I		○	○
	TAPTS02	I		○	○

表 2.73　端子機能 (6/16)

分類	端子名	IO	機能	BGA304	BGA252
TSG21	TSO10	O	タイマ　アップダウンステータス出力	○	○
	TSO11	O	タイマ PWM 出力 注 意 出力は PIC からのものを使用します	○	○
	TSO12	O		○	○
	TSO13	O		○	○
	TSO14	O		○	○
	TSO15	O		○	○
	TSO16	O		○	○
	TSO17	O	A/D トリガ診断出力	○	○
	TAPTS10	I	ホールセンサー入力	○	○
	TAPTS11	I		○	○
	TAPTS12	I		○	○
TAPA （PIC 経由）	ESO2	I	緊急時 Hiz 要求入力（TSG20 PWM 用）	○	○
	ESO3	I	緊急時 Hiz 要求入力（TSG21 PWM 用）	○	○
LIN0	LRX0	I	LIN0 受信データ入力	○	○
	LTX0	O	LIN0 送信データ出力	○	○
SCI0	SCI0TxD	O	SCI0 送信データ出力	○	○
	SCI0RxD	I	SCI0 受信データ入力	○	○
	SCI0SCK	IO	SCI0 シリアルクロック入出力	○	○
SCI1	SCI1TxD	O	SCI1 送信データ出力	○	○
	SCI1RxD	I	SCI1 受信データ入力	○	○
	SCI1SCK	IO	SCI1 シリアルクロック入出力	○	○
SCI2	SCI2TxD	O	SCI2 送信データ出力	○	○
	SCI2RxD	I	SCI2 受信データ入力	○	○
	SCI2SCK	IO	SCI2 シリアルクロック入出力	○	○
SCI3	SCI3TxD	O	SCI3 送信データ出力	○	○
	SCI3RxD	I	SCI3 受信データ入力	○	○
	SCI3SCK	IO	SCI3 シリアルクロック入出力	○	○
CSIH0	CSIH0TSI	I	CSIH0 受信データ入力	○	○
	CSIH0TSO	O	CSIH0 送信データ出力	○	○
	CSIH0TSCK	IO	CSIH0 シリアルクロック入出力	○	○
	$\overline{\text{CSIH0TSSI}}$	I	CSIH0 スレーブセレクト信号入力	○	○
	CSIH0TRY	IO	CSIH0 マスタ／スレーブ間のハンドシェイク信号入出力	○	○
	CSIH0TCSS0	O	CSIH0 スレーブセレクト信号出力	○	○
	CSIH0TCSS1	O		○	○
	CSIH0TCSS2	O		○	○
	CSIH0TCSS3	O		○	○
	CSIH0TCSS4	O		○	○
	CSIH0TCSS5	O		○	○

表 2.73 端子機能 (7/16)

分類	端子名	IO	機能	BGA304	BGA252
CSIH1	CSIH1TSI	I	CSIH1 受信データ入力	○	○
	CSIH1TSO	O	CSIH1 送信データ出力	○	○
	CSIH1TSCK	IO	CSIH1 シリアルクロック入出力	○	○
	$\overline{\text{CSIH1TSSI}}$	I	CSIH1 スレーブセレクト信号入力	○	○
	CSIH1TRY	IO	CSIH1 マスタ／スレーブ間のハンドシェイク信号入出力	○	○
	CSIH1TCSS0	O	CSIH1 スレーブセレクト信号出力	○	○
	CSIH1TCSS1	O		○	○
	CSIH1TCSS2	O		○	○
	CSIH1TCSS3	O		○	○
CSIH2	CSIH2TSI	I	CSIH2 受信データ入力	○	○
	CSIH2TSO	O	CSIH2 送信データ出力	○	○
	CSIH2TSCK	IO	CSIH2 シリアルクロック入出力	○	○
	$\overline{\text{CSIH2TSSI}}$	I	CSIH2 スレーブセレクト信号入力	○	○
	CSIH2TRY	IO	CSIH2 マスタ／スレーブ間のハンドシェイク信号入出力	○	○
	CSIH2TCSS0	O	CSIH2 スレーブセレクト信号出力	○	○
	CSIH2TCSS1	O		○	○
	CSIH2TCSS2	O		○	○
	CSIH2TCSS3	O		○	○
CSIH3	CSIH3TSI	I	CSIH3 受信データ入力	○	○
	CSIH3TSO	O	CSIH3 送信データ出力	○	○
	CSIH3TSCK	IO	CSIH3 シリアルクロック入出力	○	○
	$\overline{\text{CSIH3TSSI}}$	I	CSIH3 スレーブセレクト信号入力	○	○
	CSIH3TRY	IO	CSIH3 マスタ／スレーブ間のハンドシェイク信号入出力	○	○
	CSIH3TCSS0	O	CSIH3 スレーブセレクト信号出力	○	○
	CSIH3TCSS1	O		○	○
	CSIH3TCSS2	O		○	○
	CSIH3TCSS3	O		○	○
CAN0	CTX0	O	CAN0 送信データ出力	○	○
	CRX0	I	CAN0 受信データ入力	○	○
CAN1	CTX1	O	CAN1 送信データ出力	○	○
	CRX1	I	CAN1 受信データ入力	○	○
CAN2	CTX2	O	CAN2 送信データ出力	○	○
	CRX2	I	CAN2 受信データ入力	○	○
CAN3	CTX3	O	CAN3 送信データ出力	○	○
	CRX3	I	CAN3 受信データ入力	○	○
FlexRay	FR0RXDA	I	FlexRay0 チャネル A 受信データ入力	○	○
	FR0TXDA	O	FlexRay0 チャネル A 送信データ出力	○	○
	$\overline{\text{FR0ENA}}$	O	FlexRay0 チャネル A 送信データ許可	○	○
	FR0RXDB	I	FlexRay0 チャネル B 受信データ入力	○	○
	FR0TXDB	O	FlexRay0 チャネル B 送信データ出力	○	○
	$\overline{\text{FR0ENB}}$	O	FlexRay0 チャネル B 送信データ許可	○	○

表 2.73 端子機能 (8/16)

分類	端子名	IO	機能	BGA304	BGA252
RHSB0	RHSB0FCLP	O	RHSB0 差動クロック出力	○	○
	RHSB0FCLN	O		○	○
	RHSB0SOP	O	RHSB0 差動データ出力	○	○
	RHSB0SON	O		○	○
	RHSB0CSD0	O	RHSB0 チップセレクト出力	○	○
	RHSB0CSD1	O		○	○
	RHSB0SI0	I	RHSB0 シリアル入力	○	○
	RHSB0SI1	I		○	○
	RHSB0EMRG	I	RHSB0 緊急信号入力	○	○
RHSB1	RHSB1FCLP	O	RHSB1 差動クロック出力	○	○
	RHSB1FCLN	O		○	○
	RHSB1SOP	O	RHSB1 差動データ出力	○	○
	RHSB1SON	O		○	○
	RHSB1CSD0	O	RHSB1 チップセレクト出力	○	○
	RHSB1CSD1	O		○	○
	RHSB1SI0	I	RHSB1 シリアル入力	○	○
	RHSB1SI1	I		○	○
	RHSB1EMRG	I	RHSB1 緊急信号入力	○	○
RSENT0	RSENT0RX	I	RSENT0 受信データ入力	○	○
	RSENT0SPCO	O	RSENT0 SPC 拡張出力	○	○
RSENT1	RSENT1RX	I	RSENT1 受信データ入力	○	○
	RSENT1SPCO	O	RSENT1 SPC 拡張出力	○	○
RSENT2	RSENT2RX	I	RSENT2 受信データ入力	○	○
	RSENT2SPCO	O	RSENT2 SPC 拡張出力	○	○
RSENT3	RSENT3RX	I	RSENT3 受信データ入力	○	○
	RSENT3SPCO	O	RSENT3 SPC 拡張出力	○	○
RSENT4	RSENT4RX	I	RSENT4 受信データ入力	○	○
	RSENT4SPCO	O	RSENT4 SPC 拡張出力	○	○
RSENT5	RSENT5RX	I	RSENT5 受信データ入力	○	○
	RSENT5SPCO	O	RSENT5 SPC 拡張出力	○	○

表 2.73 端子機能 (9/16)

分類	端子名	IO	機能	BGA304	BGA252
ADC0	AN000	I	ADC0 アナログ入力	○	○
	AN001	I		○	○
	AN002	I		○	○
	AN003	I		○	○
	AN010	I		○	○
	AN011	I		○	○
	AN012	I		○	○
	AN013	I		○	○
	AN020	I		○	○
	AN021	I		○	○
	AN022	I		○	○
	AN023	I		○	○
	AN030	I		○	○
	AN031	I		○	○
	AN032	I		○	○
	AN033	I		○	○
	AN040	I		○	○
	AN041	I		○	○
	AN042	I		○	○
	AN043	I		○	○
	AN050	I		○	○
	AN051	I		○	○
	AN052	I		○	○
	AN053	I		○	○
	ADTRG0	I	ADC0 変換起動トリガ入力	○	○
	ADEND0	O	ADC0 変換タイミングモニタ出力	○	○

表 2.73 端子機能 (10/16)

分類	端子名	IO	機能	BGA304	BGA252
ADC1	AN100	I	ADC1 アナログ入力	○	○
	AN101	I		○	○
	AN102	I		○	○
	AN110	I		○	○
	AN111	I		○	○
	AN112	I		○	○
	AN120	I		○	○
	AN121	I		○	○
	AN122	I		○	○
	AN130	I		○	○
	AN131	I		○	○
	AN132	I		○	○
	AN140	I		○	○
	AN141	I		○	○
	AN142	I		○	○
	AN150	I		○	○
	AN151	I		○	○
	AN152	I		○	○
	AN160	I		○	○
	AN161	I		○	○
	AN162	I		○	○
	AN170	I		○	○
	AN171	I		○	○
	AN172	I		○	○
	ADTRG1	I	ADC1 変換起動トリガ入力	○	○
	ADEND1	O	ADC1 変換タイミングモニタ出力	○	○
DSADC0	DSAN0P	I	DSADC0 アナログ入力	○	○
	DSAN0N	I		○	○
	DSADTRG0	I	DSADC0 変換起動トリガ入力	○	○
	DSADEND0	O	DSADC0 変換タイミングモニタ出力	○	○
DSADC1	DSAN1P	I	DSADC1 アナログ入力	○	○
	DSAN1N	I		○	○
	DSADTRG1	I	DSADC1 変換起動トリガ入力	○	○
	DSADEND1	O	DSADC1 変換タイミングモニタ出力	○	○
DSADC2	DSAN2P	I	DSADC2 アナログ入力	○	○
	DSAN2N	I		○	○
	DSADTRG2	I	DSADC2 変換起動トリガ入力	○	○
	DSADEND2	O	DSADC2 変換タイミングモニタ出力	○	○
DSADC3	DSAN3P	I	DSADC3 アナログ入力	○	○
	DSAN3N	I		○	○
	DSADTRG3	I	DSADC3 変換起動トリガ入力	○	○
	DSADEND3	O	DSADC3 変換タイミングモニタ出力	○	○

表 2.73 端子機能 (11/16)

分類	端子名	IO	機能	BGA304	BGA252
DSADC4	DSAN4P	I	DSADC4 アナログ入力	○	○
	DSAN4N	I		○	○
	DSADTRG4	I	DSADC4 変換起動トリガ入力	○	○
	DSADEND4	O	DSADC4 変換タイミングモニタ出力	○	○
DSADC5	DSAN5P	I	DSADC5 アナログ入力	○	○
	DSAN5N	I		○	○
	DSADTRG5	I	DSADC5 変換起動トリガ入力	○	○
	DSADEND5	O	DSADC5 変換タイミングモニタ出力	○	○
DSADC6	DSAN6P	I	DSADC6 アナログ入力	○	○
	DSAN6N	I		○	○
	DSADTRG6	I	DSADC6 変換起動トリガ入力	○	○
	DSADEND6	O	DSADC6 変換タイミングモニタ出力	○	○
DSADC7	DSAN7P	I	DSADC7 アナログ入力	○	○
	DSAN7N	I		○	○
	DSADTRG7	I	DSADC7 変換起動トリガ入力	○	○
	DSADEND7	O	DSADC7 変換タイミングモニタ出力	○	○
ポート	$\overline{\text{POD}}$	I	ポートアウトプットディセーブル	○	○
ECM	$\overline{\text{ERROROUT_M}}$	O	エラー出力（Master）	○	○
	$\overline{\text{ERROROUT_C}}$	O	エラー出力（Checker）	○	○
割り込み	NMI	I	ノンマスカブル割り込み入力	○	○
	IRQ0	I	外部割り込み入力	○	○
	IRQ1	I		○	○
	IRQ2	I		○	○
	IRQ3	I		○	○
	IRQ4	I		○	○
	IRQ5	I		○	○
	IRQ6	I		○	○
	IRQ7	I		○	○
クロック	EXTAL	I	外部クロック	○	○
	XTAL	O	クリスタル	○	○
	CK	O	周辺クロック	○	○
リセット	$\overline{\text{RES}}$	I	外部リセット入力	○	○
モード設定	MD0	I	モード設定	○	○
	MD1	I		○	○
	FLMODE	I		○	○
Nexus/JTAG	$\overline{\text{TRST}}$	I	リセット入力	○	○
	TDO	O	シリアルデータ出力	○	○
	TMS	I	モードセレクト入力	○	○
	TDI	I	シリアルデータ入力	○	○
	TCK	I	クロック入力	○	○
	$\overline{\text{DRDY}}$	O	レディ出力	○	○
	$\overline{\text{EVTO}}$	O	イベントトリガ出力（専用端子）	○	○
	$\overline{\text{EVTI}}$	I	イベントトリガ入力	○	○

表 2.73 端子機能 (12/16)

分類	端子名	IO	機能	BGA304	BGA252
LPD	$\overline{\text{LPDRST}}$	I	LPD リセット入力	○	○
	LPDO	O	LPD4pin データ出力	○	○
	LPDI	I	LPD4pin データ入力	○	○
	LPDCLKO	O	LPD4pin クロック出力	○	○
	LPDCLKI	I	LPD4pin クロック入力	○	○
	$\overline{\text{EVTO}}$	O	イベントトリガ出力（TMS 兼用端子）	○	○
AUD	$\overline{\text{AUDRST}}$	I	AUD リセット入力	○	○
	AUDCK	I	外部入力クロック	○	○
	$\overline{\text{AUDSYNC}}$	I	データ先頭位置認識信号入力	○	○
	AUDATA3	IO	モニタアドレス入力／データ入出力	○	○
	AUDATA2	IO	モニタアドレス入力／データ入出力	○	○
	AUDATA1	IO	モニタアドレス入力／データ入出力	○	○
	AUDATA0	IO	モニタアドレス入力／データ入出力	○	○
FLSCI（ライタ I/F）	FLSCI3TX（FPDT）	O	送信データ出力	○	○
	FLSCI3RX（FPDR）	I	受信データ入力	○	○
	FLSCI3SCK（FPCK）	I	シリアルクロック入力	○	○
ポートグループ 0	P0_0	IO	汎用入出力ポート	○	○
	P0_1	IO		○	○
	P0_2	IO		○	○
	P0_3	IO		○	○
	P0_4	IO		○	○
	P0_5	IO		○	○
	P0_6	IO		○	○
	P0_7	IO		○	○
	P0_8	IO		○	○
	P0_9	IO		○	○
	P0_10	IO		○	○
	P0_11	IO		○	○
	P0_12	IO		○	○
	P0_13	IO		○	○
	P0_14	IO		○	○

表 2.73 端子機能 (13/16)

分類	端子名	IO	機能	BGA304	BGA252
ポート グループ 1	P1_0	IO	汎用入出力ポート	○	○
	P1_1	IO		○	○
	P1_2	IO		○	○
	P1_3	IO		○	○
	P1_4	IO		○	○
	P1_5	IO		○	○
	P1_6	IO		○	○
	P1_7	IO		○	○
	P1_8	IO		○	○
	P1_9	IO		○	○
	P1_10	IO		○	○
	P1_11	IO		○	○
	P1_12	IO		○	○
	P1_13	IO		○	○
	P1_14	IO		○	○
	P1_15	IO		○	○
ポート グループ 2	P2_0	IO	汎用入出力ポート、エッジ検出機能あり	○	○
	P2_1	IO		○	○
	P2_2	IO		○	○
	P2_3	IO		○	○
	P2_4	IO		○	○
	P2_5	IO		○	○
	P2_6	IO		○	○
	P2_7	IO		○	○
ポート グループ 3	P3_0	IO	汎用入出力ポート、エッジ検出機能あり	○	○
	P3_1	IO		○	○
	P3_2	IO		○	○
	P3_3	IO		○	○
	P3_4	IO		○	○
	P3_5	IO		○	○
	P3_6	IO		○	○
	P3_7	IO		○	○
ポート グループ 4	P4_0	IO	汎用入出力ポート、エッジ検出機能あり	○	○
	P4_1	IO		○	○
	P4_2	IO		○	○
	P4_3	IO		○	○
	P4_4	IO		○	○
	P4_5	IO		○	○
	P4_6	IO		○	○
	P4_7	IO		○	○
	P4_8	IO		○	○
	P4_9	IO		○	○
	P4_10	IO		○	○

表 2.73 端子機能 (14/16)

分類	端子名	IO	機能	BGA304	BGA252
ポート グループ 4	P4_11	IO	汎用入出力ポート、エッジ検出機能あり	○	○
	P4_12	IO		○	○
	P4_13	IO		○	○
	P4_14	IO		○	○
	P4_15	IO		○	○
ポート グループ 5	P5_0	IO	汎用入出力ポート	○	○
	P5_1	IO		○	○
	P5_2	IO		○	○
	P5_3	IO		○	○
	P5_4	IO		○	○
	P5_5	IO		○	○
	P5_6	IO		○	○
	P5_7	IO		○	○
	P5_8	IO		○	○
	P5_9	IO		○	○
ポート グループ 6	P6_0	IO	汎用入出力ポート	○	○
	P6_1	IO		○	○
	P6_2	IO		○	○
	P6_3	IO		○	○
	P6_4	IO		○	○
	P6_5	IO		○	○
	P6_6	IO		○	○
	P6_7	IO		○	○
	P6_8	IO		○	○
	P6_9	IO		○	○
	P6_10	IO		○	○
	P6_11	IO		○	○
ポート グループ 7	P7_0	IO	汎用入出力ポート、エッジ検出機能あり	○	—
	P7_1	IO		○	—
	P7_2	IO		○	—
	P7_3	IO		○	—
	P7_4	IO		○	—
	P7_5	IO		○	—
	P7_6	IO		○	—
	P7_7	IO		○	—
	P7_8	IO		○	—
	P7_9	IO		○	—
	P7_10	IO		○	—
	P7_11	IO		○	—

表 2.73 端子機能 (15/16)

分類	端子名	IO	機能	BGA304	BGA252
ポート グループ 8	P8_0	IO	汎用入出力ポート	○	—
	P8_1	IO		○	—
	P8_2	IO		○	—
	P8_3	IO		○	—
	P8_4	IO		○	—
	P8_5	IO		○	—
	P8_6	IO		○	—
	P8_7	IO		○	—
ポート グループ 10	P10_0	IO	汎用入出力ポート	○	—
	P10_1	IO		○	—
	P10_2	IO		○	—
	P10_3	IO		○	—
	P10_4	IO		○	—
ポート グループ 11	P11_0	IO	汎用入出力ポート	○	○
	P11_1	IO		○	○
	P11_2	IO		○	○
	P11_3	IO		○	○
	P11_4	IO		○	○
	P11_5	IO		○	○
ポート グループ 13	P13_0	IO	汎用入出力ポート	○	○
	P13_1	IO		○	○
	P13_2	IO		○	○
	P13_3	IO		○	○
	P13_4	IO		○	○
	P13_5	IO		○	○
	P13_6	IO		○	○
	P13_7	IO		○	○
	P13_8	IO		○	○
	P13_9	IO		○	○
ポート グループ 14	P14_0	I	汎用入力ポート、エッジ検出機能あり	○	○
	P14_1	I		○	○
	P14_2	I		○	○
	P14_3	I		○	○
	P14_4	I		○	○
	P14_5	I		○	○
	P14_6	I		○	○
	P14_7	I		○	○
	P14_8	I		○	○
	P14_9	I		○	○
	P14_10	I		○	○

表 2.73　端子機能 (16/16)

分類	端子名	IO	機能	BGA304	BGA252
ポート グループ 14	P14_11	I	汎用入力ポート、エッジ検出機能あり	○	○
	P14_12	I		○	○
	P14_13	I		○	○
	P14_14	I		○	○
	P14_15	I		○	○
ポート グループ 15	P15_0	I	汎用入力ポート	○	○
	P15_1	I		○	○
	P15_2	I		○	○
	P15_3	I		○	○
ポート グループ 16	P16_0	I	汎用入力ポート、エッジ検出機能あり	○	○
	P16_1	I		○	○
	P16_2	I		○	○
	P16_3	I		○	○
	P16_4	I		○	○
	P16_5	I		○	○
	P16_6	I		○	○
	P16_7	I		○	○
	P16_8	I		○	○

2.5.3 端子状態

リセット状態の定義

端子状態の記載において、各リセット状態を**表 2.74** のように定義しています。

表 2.74 リセット状態の定義

リセット状態	定義
外部リセット	外部端子からのリセット状態（$\overline{\text{RES}}$ = L）
内部リセット	外部リセット解除から内部リセット解除までの間
内部リセット解除後	内部リセットが解除された状態

各状態の端子状態を**表 2.75** に示します。製品グレードやパッケージの種類によっては、非搭載の端子もあります。端子搭載の有無は、**「1.5 端子接続図（Top View）」**の**「表 1.1 端子番号と端子名の対応表（BGA304）」**、**「表 1.2 端子番号と端子名の対応表（BGA252）」**を参照してください。

表 2.75 端子状態 (1/3)

端子機能			端子状態			
分類	端子名		$\overline{\text{RES}}$ = L	$\overline{\text{RES}}$ = H		電源遮断スタンバイモード
				内部リセット状態	内部リセット解除後	
		I/F モード：端子名	外部リセット状態	I/F モード確定後		
クロック	CK		O	O	O	Z
	XTAL		O	O	O	Z
	EXTAL		I	I	I	Z
システム制御	$\overline{\text{RES}}$		I (pull-down)	I (pull-down)	I (pull-down)	I (pull-down)
	MD0		I (pull-down)	I (pull-down)	I (pull-down)	I (pull-down)
	MD1		I (pull-down)	I (pull-down)	I (pull-down)	I (pull-down)
	FLMODE		I (pull-down)	I (pull-down)	I (pull-down)	I (pull-down)
割り込み	NMI		I (pull-down)	I (pull-down)	I (pull-down)	Z
ECM	$\overline{\text{ERROROUT_M}}$		O	O	O	Z
汎用入出力ポート	P0_0 ～ P0_14		Z	Z	Z	Z
	P1_0 ～ P1_15		Z	Z	Z	Z
	P2_0 ～ P2_7		Z	Z	Z	Z
	P3_0 ～ P3_7		Z	Z	Z	Z
	P4_0 ～ P4_15		Z	Z	Z	Z
	P5_0 ～ P5_9		Z	Z	Z	Z
	P6_0 ～ P6_11		Z	Z	Z	Z
	P7_0 ～ P7_11		Z	Z	Z	Z
	P8_0 ～ P8_7		Z	Z	Z	Z
	P10_0 ～ P10_4		Z	Z	Z	Z
	P11_0 ～ P11_5		Z	Z	Z	Z
	P13_0 ～ P13_9		Z	Z	Z	Z

表 2.75 端子状態 (2/3)

端子機能			端子状態			
分類	端子名		$\overline{RES}$ = L	$\overline{RES}$ = H		電源遮断スタンバイモード
				内部リセット状態	内部リセット解除後	
		I/F モード：端子名	外部リセット状態	I/F モード確定後		
ADC、DSADC	AN0xx/DSANxP		Z	Z	Z	Z
	AN0xx/DSANxN		Z	Z	Z	Z
	AN0xx		Z	Z	Z	Z
	AN1xx		Z	Z	Z	Z
RHSB LVDS バッファ	RHSB0FCLP ～ RHSB1FCLP		Z	Z	Z	Z
	RHSB0FCLN ～ RHSB1FCLN		Z	Z	Z	Z
	RHSB0SOP ～ RHSB1SOP		Z	Z	Z	Z
	RHSB0SON ～ RHSB1SON		Z	Z	Z	Z
AUD RAM モニタ	$\overline{AUDRST}$		I (pull-down)	I (pull-down)	I (pull-down)	Z
	AUDCK		I (Pull-up)	I (Pull-up)	I (Pull-up)	Z
	$\overline{AUDSYNC}$		I (Pull-up)	I (Pull-up)	I (Pull-up)	Z
	AUDATA0 ～ 3		I (Pull-up)	I (Pull-up)	I (Pull-up)	Z

表 2.75 端子状態 (3/3)

端子機能			端子状態			
分類	端子名		$\overline{RES}$ = L	$\overline{RES}$ = H		電源遮断スタンバイモード
				内部リセット状態	内部リセット解除後	
		I/F モード：端子名	外部リセット状態	I/F モード確定後		
デバッグ系	$\overline{EVTO}$		O	O	O	Z
	$\overline{EVTI}$		I (pull-up)	I (pull-up)	I (pull-up)	Z
	TDI/LPDI/FLSCI3RX	Nexus：TDI	Z	I (Pull-up)	I (Pull-up)	Z
		LPD-4pin：LPDI	Z	I (Pull-up)	I (Pull-up)	Z
		ライタ I/F：FLSCI3RX	Z	Z	Z	Z
		BSCAN：TDI	I (Pull-up)	I (Pull-up)	I (Pull-up)	Z
	TDO/LPDO/FLSCI3TX	Nexus：TDO	Z	Z	Z	Z
		LPD-4pin：LPDO	Z	O	O	Z
		ライタ I/F：FLSCI3TX	Z	Z	Z	Z
		BSCAN：TDO	Z	Z	Z	Z
	TCK/LPDCLKI/FLSCI3SCK	Nexus：TCK	Z	I (Pull-up)	I (Pull-up)	Z
		LPD-4pin：LPDCLKI	Z	I (Pull-up)	I (Pull-up)	Z
		ライタ I/F：FLSCI3SCK	Z	Z	Z	Z
		BSCAN：TCK	I (Pull-up)	I (Pull-up)	I (Pull-up)	Z
	TMS/$\overline{EVTO}$	Nexus：TMS	Z	I (Pull-up)	I (Pull-up)	Z
		LPD-4pin：$\overline{EVTO}$	Z	O	O	Z
		ライタ I/F：（機能なし）	Z	Z	Z	Z
		BSCAN：TMS	I (Pull-up)	I (Pull-up)	I (Pull-up)	Z
	$\overline{TRST}$/$\overline{LPDRST}$	Nexus：$\overline{TRST}$	I (Pull-down)	I (Pull-down)	I (Pull-down)	I (Pull-down)
		LPD-4pin：$\overline{LPDRST}$				
		ライタ I/F：（機能なし）				
		BSCAN：$\overline{TRST}$				
	$\overline{DRDY}$/LPDCLKO	Nexus：$\overline{DRDY}$	Z	O	O	Z
		LPD-4pin：LPDCLKO	Z	O	O	Z
		ライタ I/F：（機能なし）	Z	Z	Z	Z
		BSCAN：（機能なし）	Z	Z	Z	Z

備考 I：入力
O：出力
Z：ハイインピーダンス
Pull-up：内蔵プルアップ抵抗
Pull-dowm：内蔵プルダウン抵抗

2.5.4 未使用端子の処理

表 2.76 に未使用端子の処理例を示します。

表 2.76 未使用端子の処理例 (1/3)

分類	端子	IO	未使用端子の処理例	内蔵プルアップ / ダウン抵抗
クロック	CK	O	• 端子オープン処理。	なし
	XTAL	O	• 端子オープン処理。	なし
	EXTAL	I	（必ず使用する。）	なし
システム制御	$\overline{\text{RES}}$	I	（必ず使用する。）	内蔵プルダウン抵抗を搭載しています。
	MD0、FLMODE	I	（必ず使用する。ユーザブートモードで使用する場合は、個別に抵抗を介して VSS に接続する。）	内蔵プルダウン抵抗を搭載しています。
	MD1	I	• 個別に抵抗を介して VSS に接続する。	内蔵プルダウン抵抗を搭載しています。
割り込み	NMI	I	• 個別に抵抗を介して VSS に接続する。	内蔵プルダウン抵抗を搭載しています。
ECM	$\overline{\text{ERROROUT_M}}$	O	• 端子オープン処理。	なし
汎用入出力ポート	P0_m、P1_m、P2_m、P3_m、P4_m、P5_m、P6_m、P7_m、P8_m、P10_m、P11_m、P13_m	IO	[入力モード] • 端子オープン処理で、入力イネーブルを禁止に設定（PMCn_m = 0, PMn_m = 1, PIBCn_m = 0 リセット後の値）する。 • 端子オープン処理で、内蔵プルアップ / ダウン抵抗を有効に設定（PUn_m, PDn_m を使用）する。 • 個別に抵抗を介して各端子の電源 /GND に接続する。 [出力モード] • 端子オープン処理。	レジスタで設定可能な内蔵プルアップ／ダウン抵抗を搭載しています。
ADC、DSADC	AN000/DSAN0P、AN001/DSAN0N、AN002/DSAN1P、AN003/DSAN1N、AN10x、AN11x、AN12x、AN13x、AN14x（アナログ入力専用）	I	• 端子オープン処理。	なし
	AN010/DSAN2P、AN011/DSAN2N、AN012/DSAN3P、AN013/DSAN3N、AN020/DSAN4P、AN021/DSAN4N、AN022/DSAN5P、AN023/DSAN5N、AN030/DSAN6P、AN031/DSAN6N、AN032/DSAN7P、AN033/DSAN7N、AN04x、AN05x、AN15x、AN16x、AN17x（アナログ入力 / デジタル入力 兼用）	I	• 端子オープン処理で、入力イネーブルを禁止に設定（PMCn_m = 0, PIBCn_m = 0 リセット後の値）する。	なし
RHSB LVDS バッファ	RHSBxSOP、RHSBxSON、RHSBxFCLP、RHSBxFCLN	O	• 端子オープン処理で、出力イネーブルを禁止に設定（PM17_m = 1 リセット後の値）する。	なし

表 2.76 未使用端子の処理例 (2/3)

分類	端子		IO	未使用端子の処理例	内蔵プルアップ / ダウン抵抗
AUD RAM モニタ	$\overline{\text{AUDRST}}$		I	• 端子オープン処理。 • 個別に抵抗を介して VSS に接続する。	内蔵プルダウン抵抗を搭載しています。
	AUDCK、$\overline{\text{AUDSYNC}}$		I	• 端子オープン処理。 • 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。
	AUDATAn		IO	• 端子オープン処理。	内蔵プルアップ抵抗を搭載しています。
デバッグ系	$\overline{\text{EVTO}}$		O	• 端子オープン処理。	なし
	$\overline{\text{EVTI}}$		I	• 端子オープン処理。 • 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。
	TDI/LPDI/FLSCI3RX	TDI	I	• 端子オープン処理。 • 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。
		LPDI	I	• 端子オープン処理。 • 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。
		FLSCI3RX	I	• 端子未使用時は、FLSCI3RX を選択しないでください。	ブートファームが起動した場合は、内蔵プルアップ抵抗が有効になります。
	TDO/LPDO/FLSCI3TX	TDO	O	• 端子オープン処理。	なし
		LPDO	O	• 端子オープン処理。	なし
		FLSCI3TX	O	• 端子未使用時は、FLSCI3TX を選択しないでください。	なし
	TCK/LPDCLKI/FLSCI3SCK	TCK	I	• 端子オープン処理。 • 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。
		LPDCLKI	I	• 端子オープン処理。 • 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。
		FLSCI3SCK	I	• 端子未使用時は、FLSCI3SCK を選択しないでください。	なし
	TMS/$\overline{\text{EVTO}}$	TMS	I	• 端子オープン処理。 • 個別に抵抗を介して VCC に接続する。	内蔵プルアップ抵抗を搭載しています。
		$\overline{\text{EVTO}}$	O	• 端子オープン処理。	なし
	$\overline{\text{TRST}}$/$\overline{\text{LPDRST}}$		I	• 個別に抵抗を介して VSS に接続する。	内蔵プルダウン抵抗を搭載しています。
	$\overline{\text{DRDY}}$/LPDCLKO	$\overline{\text{DRDY}}$	O	• 端子オープン処理。	なし
		LPDCLKO	O	• 端子オープン処理。	なし
NC	NC		—	• 端子オープン処理。	なし

表 2.76　未使用端子の処理例 (3/3)

分類	端子	IO	未使用端子の処理例	内蔵プルアップ / ダウン抵抗
電源系	EVCC		（必ず使用する。）	—
	SYSVCC		（必ず使用する。）	—
	VCC		（必ず使用する。）	—
	PLLVCC		（必ず使用する。）	—
	PLLVSS		（必ず使用する。）	—
	VDD		（必ず使用する。）	—
	RAMVCL		（必ず使用する。）	—
	VSS		（必ず使用する。）	—
	LVDVCC		• VCC に接続する。	—
	LVDVSS		• VSS に接続する。	—
	TTLVCC		• VCC に接続する。	—
	EPTVOUT		• 端子オープン処理。	—
	ADSVCC、 ADSVSS、 ADSVREFH、 ADSVREFL、 ADSVCL		• DSADC は使用しないが、ADC を使用する場合。 ADSVCC：A0VCC に接続する。 ADSVSS：A0VSS に接続する。 ADSVREFH：A0VCC に接続する。 ADSVREFL：A0VSS に接続する。 ADSVCL：端子オープン処理。 • DSADCとADCの両方を使用しない場合。 ADSVCC：EVCC に接続する。 ADSVSS：VSS に接続する。 ADSVREFH：EVCC に接続する。 ADSVREFL：VSS に接続する。 ADSVCL：端子オープン処理。	—
	A0VCC、 A0VSS、 A0VREFH、 A1VCC、 A1VSS、 A1VREFH		• ADC は使用しないが、DSADC を使用する場合。 A0VCC：ADSVCC に接続する。 A0VSS：ADSVSS に接続する。 A0VREFH：ADSVCC に接続する。 A1VCC：ADSVCC に接続する。 A1VSS：ADSVSS に接続する。 A1VREFH：ADSVCC に接続する。 • ADCとDSADCの両方を使用しない場合。 A0VCC：EVCC に接続する。 A0VSS：VSS に接続する。 A0VREFH：EVCC に接続する。 A1VCC：EVCC に接続する。 A1VSS：VSS に接続する。 A1VREFH：EVCC に接続する。	—

注 1.　各端子と電源／ GND の対応は、「**第 40 章　電気的特性**」を参照してください。
注 2.　製品外部で抵抗を介してプルアップ／ダウンする場合は、抵抗値を 1kΩ 以上にしてください。
注 3.　内蔵プルアップ／ダウン抵抗を搭載している端子を、製品外部でも抵抗を介してプルアップ／ダウンする場合は、抵抗分圧にご注意ください。

第 3 章 CPU システム

3.1 概要

3.1.1 ブロック構成

ブロック構成を**図 3.1** に示します。

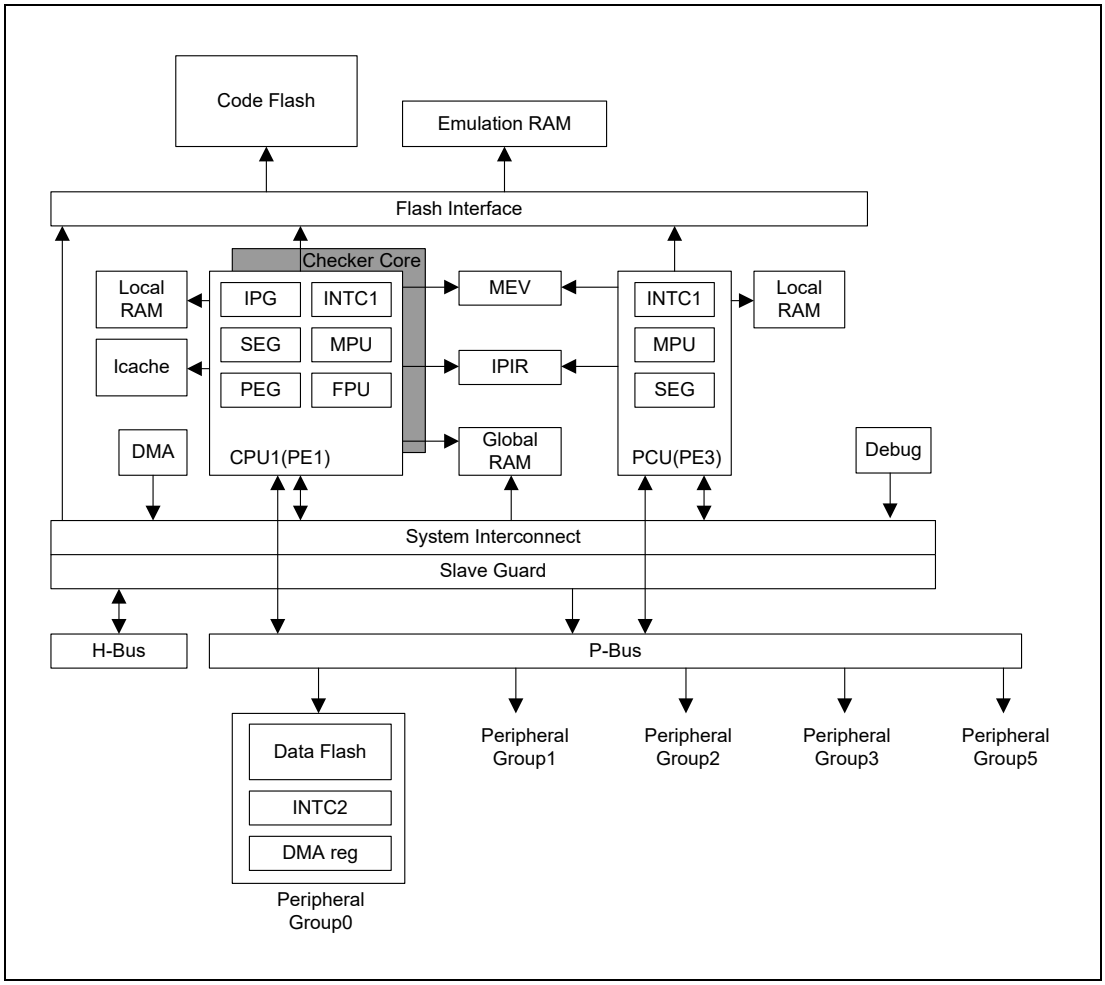


図 3.1 ブロック構成図

CPU1（PE1）

メイン CPU として、RH850 G3MH コアを搭載します。また、CPU1 はセーフティ対応として、Checker Core を備えます。

PCU（PE3）

周辺 IP 制御用コントローラ PCU（Peripheral Control Unit）として、RH850 G3K コアを搭載します。

Local RAM

PE ごとに、高速アクセス可能な Local RAM を持ちます。

Global RAM

各 PE が共有する大容量の RAM です。Global RAM の一部の領域は、Retention RAM として機能します。

Code Flash

プログラム格納用に、大容量の Code Flash を搭載しています。CPU1、PCU で Code Flash を共用しており、Flash Interface を介して接続します。

Emulation RAM

Code Flash をエミュレーションする RAM です。外部ツールからの制御により、Code Flash を書き換えることなくプログラムの置き換えが可能です。

Data Flash

CPU から書き換え可能な Flash メモリです。

P-Bus、H-Bus

周辺 IP を接続するバスです。P-Bus は、Peripheral Group 0 ～ 3、5 に分かれています。

Peripheral Group と周辺モジュール／レジスタの対応については、**「付録　レジスタ一覧」**を参照してください。

INTC1、INTC2

INTC1 は PE ごとに固有の割り込みコントローラです。INTC2 は PE 共有の割り込みコントローラで、割り込み要求のバインド先 PE をレジスタで設定できます。

DMA

DMAC と DTS の 2 種類の DMA 転送モジュールを搭載します。

Slave Guard

特定のバスマスタからの不正アクセスを防止する機構です。次の Guard 機構で構成されます。

(1) PE ガード（PEG）
外部マスタから PE 内資源への不正なアクセスを防止する機構です。リセット解除後は自 PE 以外からのアクセスは禁止状態になっています。

(2) Global RAM ガード（GRG）
外部マスタから Global RAM への不正なアクセスを防止する機構です。リセット解除後はガードされていない状態（すべてのバスマスタがアクセス可能）になっています。

(3) 周辺ガード（PBG）
外部マスタから周辺機能への不正なアクセスを防止する機構です。リセット解除後は、ガードされていない状態（すべてのバスマスタがアクセス可能）になっています。

3.2 CPU

3.2.1 コア機能

3.2.1.1 特長

RH850G3MH コアの特長を**表 3.1** に示します。

表 3.1 RH850G3MH コアの特長

項目	特長
CPU	• 組み込み制御用高性能 32 ビットアーキテクチャ • 32 ビット内部データバス • 32 本の 32 ビット汎用レジスタ • RISC タイプ命令セット – ロング／ショート形式を持つロード／ストア命令 – 3 オペランド命令 – C 言語に基づく命令セット • CPU 動作モード – ユーザモード、スーパバイザモード • アドレス空間：データ／命令ともに 4G バイトリニア • 命令：SNOOZE 命令による一時停止期間は CPU クロック（CLK_CPU）で 32 クロック
コプロセッサ	• 浮動小数点演算コプロセッサ（FPU）搭載 – 単精度（32 ビット）および倍精度（64 ビット）をサポート – IEEE754 に準拠したデータタイプおよび例外をサポート – 丸めモード：近傍、0 方向、＋∞方向、－∞方向 – 非正規化数の扱い：0 への切り捨て、または IEEE754 準拠のための例外通知
例外／割り込み	• チャネルごとに設定可能な 16 レベルの割り込み優先度 • 性能要求／メモリ消費量によって選択可能なベクタ選択方式 – 直接分岐方式の例外ベクタ – アドレステーブル参照の間接分岐方式の例外ベクタ • 専用命令（PUSHSP, POPSP）による割り込み時のコンテキスト高速退避／復帰処理の支援
メモリ管理	• メモリ保護機能搭載（MPU）：16 領域設定可能
キャッシュ	• 命令キャッシュ搭載

3.2.1.2 レジスタセット

本章では本 CPU に搭載しているプログラム・レジスタとシステム・レジスタについて説明します。

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ（r0-r31）とプログラムカウンタ（PC）があります。汎用レジスタの r0 は常に 0 を保持していますが、r1-r31 のリセット後の値は不定です。

表 3.2 プログラムレジスター覧

プログラムレジスタ	名称	機能	説明
汎用レジスタ	r0	ゼロレジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキングレジスタとして使用
	r2	アドレス／データ変数用レジスタ（使用するリアルタイム OS がこのレジスタを使用していない場合）	
	r3	スタックポインタ（SP）	関数コール時のスタックフレーム生成時に使用
	r4	グローバルポインタ（GP）	データ領域のグローバル変数をアクセスするときに使用
	r5	テキストポインタ（TP）	テキスト領域（プログラムコードを配置する領域）の先頭を示すレジスタとして使用
	r6 ～ r29	アドレス / データ変数用レジスタ	
	r30	エレメントポインタ（EP）	メモリをアクセスするときのアドレス生成用ベースポインタとして使用
	r31	リンクポインタ（LP）	コンパイラが関数コールをするときに使用
プログラムカウンタ	PC	プログラム実行中の命令アドレスを保持	

備考 アセンブラや C コンパイラで使用される r1、r3-r5、r31 の詳細な説明は、それぞれのソフトウェア開発環境のドキュメントを参照してください。

(a) 汎用レジスタ

汎用レジスタとして、r0-r31 の 32 本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。r0 は常に 0 を保持していますが、r1-r31 の初期値は不定です。

汎用レジスタのうち、r0-r5、r30、r31 は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30
   命令により暗黙的に使用されます。
   r0 は常に 0 を保持しているレジスタであり、0 を使用する演算やベースアドレスが 0 のアドレシングで使用されます。
   r3 は PREPARE 命令、DISPOSE 命令、PUSHSP 命令、POPSP 命令により、暗黙的に使用されます。
   r30 は SLD 命令と SST 命令により、メモリをアクセスするときのベースポインタとして使用されます。

2. r1、r4、r5、r31
   アセンブラと C コンパイラにより暗黙的に使用されます。
   これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

3. r2
   リアルタイム OS が使用する場合があります。使用するリアルタイム OS が r2 を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b) PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。

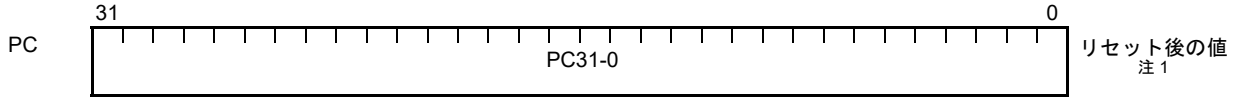


表 3.3 PC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	PC31 ～ 1	実行中の命令アドレスです。	R/W	注 1
0	PC0	常に 0 を示します。奇数番地への分岐はできません。	R/W	0

注 1. 本製品では起動領域によりリセット後の値が異なります。詳細は「第 4 章 アドレス空間」を参照してください。

(2) 基本システムレジスタ

基本システムレジスタは、CPU の状態制御、例外情報保持などを行います。

システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.4 基本システムレジスター覧

レジスタ番号（regID、selID）	名称	機能	アクセス権限
SR0、0	EIPC	EI レベル例外受け付け時の状態退避レジスタ	SV
SR1、0	EIPSW	EI レベル例外受け付け時の状態退避レジスタ	SV
SR2、0	FEPC	FE レベル例外受け付け時の状態退避レジスタ	SV
SR3、0	FEPSW	FE レベル例外受け付け時の状態退避レジスタ	SV
SR5、0	PSW	プログラムステータスワード	注 1
SR6、0	FPSR	（**(4) FPU 機能レジスタ**参照）	CU0 かつ SV
SR7、0	FPEPC	（**(4) FPU 機能レジスタ**参照）	CU0 かつ SV
SR8、0	FPST	（**(4) FPU 機能レジスタ**参照）	CU0
SR9、0	FPCC	（**(4) FPU 機能レジスタ**参照）	CU0
SR10、0	FPCFG	（**(4) FPU 機能レジスタ**参照）	CU0
SR13、0	EIIC	EI レベル例外要因	SV
SR14、0	FEIC	FE レベル例外要因	SV
SR16、0	CTPC	CALLT 実行時の状態退避レジスタ	UM
SR17、0	CTPSW	CALLT 実行時の状態退避レジスタ	UM
SR20、0	CTBP	CALLT ベースポインタ	UM
SR28、0	EIWR	EI レベル例外用作業レジスタ	SV
SR29、0	FEWR	FE レベル例外用作業レジスタ	SV
SR0、1	MCFG0	マシンコンフィグレーション	SV
SR2、1	RBASE	リセットベクタベースアドレス	SV
SR3、1	EBASE	例外ハンドラベクタアドレス	SV
SR4、1	INTBP	割り込みハンドラアドレステーブルのベースアドレス	SV
SR5、1	MCTL	CPU の制御	SV
SR6、1	PID	プロセッサ識別子	SV
SR11、1	SCCFG	SYSCALL の動作設定	SV
SR12、1	SCBP	SYSCALL ベースポインタ	SV
SR0、2	HTCFG0	スレッドコンフィグレーション	SV
SR6、2	MEA	メモリエラーアドレス	SV
SR7、2	ASID	アドレス空間識別子	SV
SR8、2	MEI	メモリエラー情報	SV

注 1. ビットによってアクセス権限が異なります。詳細は基本システムレジスタ基本システムレジスタの PSW レジスタの説明を参照してください。

(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*4.1.3 例外の実行形態*」を参照してください）。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

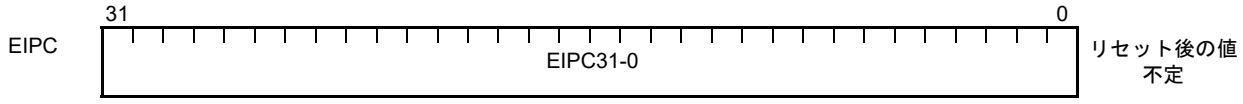


表 3.5 EIPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	EIPC31 ～ 1	EI レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	EIPC0	EI レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(b) EIPSW — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11-9 はデバッグ機能に関わるため、通常は変更できません。

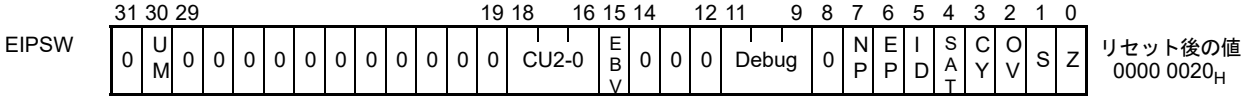


表 3.6 EIPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください）	R	0
30	UM	レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29 ～ 19	—	（将来のための予約です。必ず 0 を設定してください）	R	0
18 ～ 16	CU2-0	EI レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。（CU2-1 ビットは将来のための予約です。必ず 0 を設定してください）	R/W	0
15	EBV	EI レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14 ～ 12	—	（将来のための予約です。必ず 0 を設定してください）	R	0
11 ～ 9	Debug	EI レベル例外受け付け時の PSW.Debug フィールドを退避します。	R/W	0
8	—	（将来のための予約です。必ず 0 を設定してください）	R	0
7	NP	EI レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	EI レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	EI レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	EI レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	EI レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	EI レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	EI レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	EI レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(c) FEPC — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*4.1.3 例外の実行形態*」を参照してください）。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

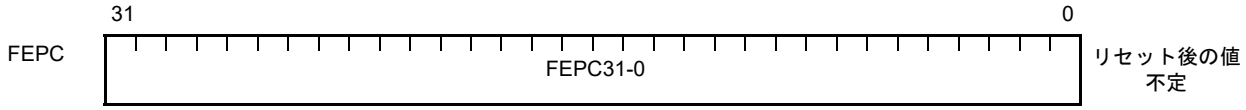


表 3.7 FEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	FEPC31-1	FE レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	FEPC0	FE レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(d) FEPSW — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11-9 はデバッグ機能に関わるため、通常は変更できません。

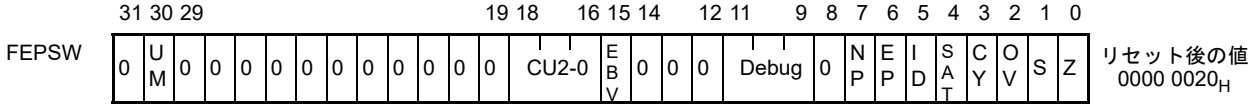


表 3.8 FEPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください）	R	0
30	UM	FE レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29 ～ 19	—	（将来のための予約です。必ず 0 を設定してください）	R	0
18 ～ 16	CU2-0	FE レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。（CU2-1 ビットは将来のための予約です。必ず 0 を設定してください）	R/W	0
15	EBV	FE レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14 ～ 12	—	（将来のための予約です。必ず 0 を設定してください）	R	0
11 ～ 9	Debug	デバッグ関係のビットです。	R/W	0
8	—	（将来のための予約です。必ず 0 を設定してください）	R	0
7	NP	FE レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	FE レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	FE レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	FE レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	FE レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	FE レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	FE レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	FE レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(e) PSW — プログラムステータスワード

PSW（プログラムステータスワード）は、プログラムの状態（命令実行の結果）を示すフラグや CPU の動作状態を示すビットの集合です（フラグとは条件命令（Bcond や CMOV など）によって参照される PSW 上のビットを示します）。

注 意

1. **LDSR 命令を使用して、このレジスタのビット 7 ～ 0 の内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。**
2. **PSW レジスタは、ビットごとにアクセス権限が違います。すべてのビットは読み出しは常に行えますが、書き込みは特定の条件でのみ書き込み可能なものが存在します。各ビットのアクセス権限は、「表 3.9 PSW レジスタビットのアクセス権限」を参照してください。**

表 3.9 PSW レジスタビットのアクセス権限

ビット		読み出し時アクセス権限	書き込み時アクセス権限
30	UM	UM	SV 注 1
18 ～ 16	CU2-0	UM	SV 注 1
15	EBV	UM	SV 注 1
11 ～ 9	Debug	UM	特殊注 1
7	NP	UM	SV 注 1
6	EP	UM	SV 注 1
5	ID	UM	SV 注 1
4	SAT	UM	UM
3	CY	UM	UM
2	OV	UM	UM
1	S	UM	UM
0	Z	UM	UM

注 1. PSW レジスタ全体はアクセス権限が UM であるため、PSW.UM = 1 のとき LDSR で書き込みを行っても PIE 例外は起きません。書き込みが無視されます。

	31	30	29										19	18		16	15	14			12	11			9	8	7	6	5	4	3	2	1	0	
PSW	0	UM	0	0	0	0	0	0	0	0	0	0	0	CU2-0			EBV	0	0	0	Debug					0	NP	EP	ID	SAT	CY	OV	S	Z	リセット後の値 $0000\ 0020_H$

表 3.10 PSW レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください）	R	0
30	UM	CPU がユーザモード（UM モード）にあることを示します。 0：スーパバイザモード 1：ユーザモード	R/W	0
29 ～ 19	—	（将来のための予約です。必ず 0 を設定してください）	R	0
18 ～ 16	CU2 - CU0	コプロセッサ使用権を示します。コプロセッサに対応するビットが 0 のとき、そのコプロセッサ命令の実行、コプロセッサリソース（システムレジスタ）へのアクセス で、コプロセッサ使用不可例外を発生します。 CU2 ビット 18：（将来のための予約です。必ず 0 に設定してください。） CU1 ビット 17：（将来のための予約です。必ず 0 に設定してください。） CU0 ビット 16：FPU	R/W	000

表 3.10 PSW レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W	リセット後の値
15	EBV	リセットベクタ、例外ベクタの動作を示します。 詳細は，本節の RBASE レジスタ、EBASE レジスタを参照してください。	R/W	0
14 ～ 12	—	（将来のための予約です。必ず 0 を設定してください）	R	0
11 ～ 9	Debug	開発ツール向けのデバッグ機能で使用します。通常は、0 を設定してください。	—	0
8	—	（将来のための予約です。必ず 0 を設定してください）	R	0
7	NP	FE レベル例外の受付けを禁止します。FE レベル例外が受け付けられるとセット（1）され、EI レベル例外、FE レベル例外の受付けを禁止します。NP ビットによって、受付けが禁止される例外は、「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*表 4.1 例外要因一覧*」を参照してください。 0：FE レベル例外の受付けを許可する 1：FE レベル例外の受付けを禁止する	R/W	0
6	EP	割り込みコントローラで制御される割り込み以外の例外処理中であることを示します。該当する例外の発生でセット（1）されます。なお、このビットはセット（1）されても例外要求の受け付けには影響しません。 0：割り込み以外のの処理中ではない 1：割り込み以外の例外処理中である	R/W	0
5	ID	EI レベル例外の受付けを禁止します。EI レベル例外、FE レベル例外が受け付けられるとセット（1）され、EI レベル例外の受付けを禁止します。ID ビットによって、受付けが禁止される例外は、「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*表 4.1 例外要因一覧*」を参照してください。また、通常のプログラムや、割り込み処理中にクリティカル・セクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット（1）し、EI 命令の実行によってクリア（0）します。EI 命令，DI 命令による ID ビットの変更は、次の命令から有効となります。 0：EI レベル例外の受付けを許可する 1：EI レベル例外の受付けを禁止する	R/W	1
4	SAT 注 1	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット（1）され、以降の命令の演算結果が飽和しなくてもクリア（0）されません。クリア（0）する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット（1）もクリア（0）も行いません。 0：飽和していない 1：飽和している	R/W	0
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0：キャリー、およびボローが発生していない 1：キャリー、またはボローが発生した	R/W	0
2	OV 注 1	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローが発生していない 1：オーバフローが発生した	R/W	0
1	S 注 1	演算の結果が負かどうかを示します。 0：演算の結果は、正または 0 であった 1：演算の結果は負であった	R/W	0
0	Z	演算の結果が 0 かどうかを示します。 0：演算の結果は 0 でなかった 1：演算の結果は 0 であった	R/W	0

注 1. 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット（1）された場合だけ、SAT フラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFF $FFFF_H$
負の最大値を越えた	1	1	1	8000 0000_H
正（最大値を越えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(f) EIIC — EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。

EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

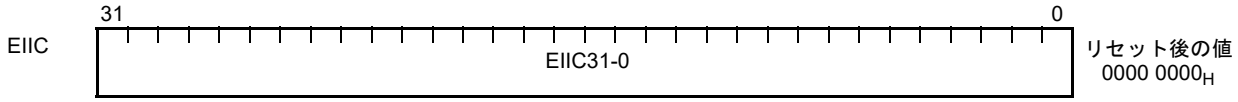


表 3.11 EIIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	EIIC31-0	EI レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.14 割り込み例外ハンドラと優先順位」および「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*表 4.1 例外要因一覧*」を参照してください。 EIIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外に関わる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(g) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。

FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

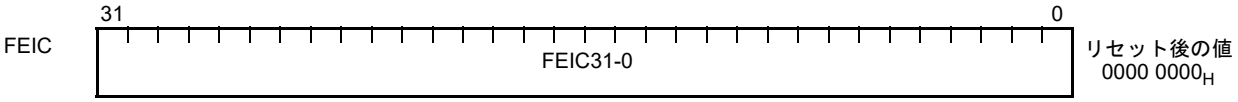


表 3.12 FEIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	FEIC31-0	FE レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.14 割り込み例外ハンドラと優先順位」および「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*表 4.1 例外要因一覧*」を参照してください。 FEIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外に関わる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(h) CTPC — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。

CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

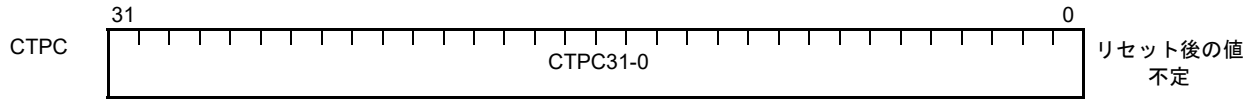


表 3.13 CTPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	CTPC31-1	CALLT 命令の次の命令の PC を示します。	R/W	不定
0	CTPC0	CALLT 命令の次の命令の PC を示します。 常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(i) CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

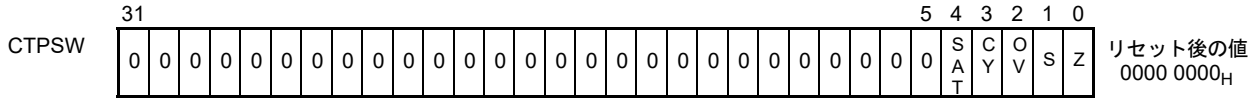


表 3.14 CTPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 5	—	（将来のための予約です。必ず 0 を設定してください）	R	0
4	SAT	CALLT 命令実行時の PSW.SAT ビットを退避します	R/W	0
3	CY	CALLT 命令実行時の PSW.CY ビットを退避します。	R/W	0
2	OV	CALLT 命令実行時の PSW.OV ビットを退避します。	R/W	0
1	S	CALLT 命令実行時の PSW.S ビットを退避します。	R/W	0
0	Z	CALLT 命令実行時の PSW.Z ビットを退避します。	R/W	0

(j) CTBP — CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

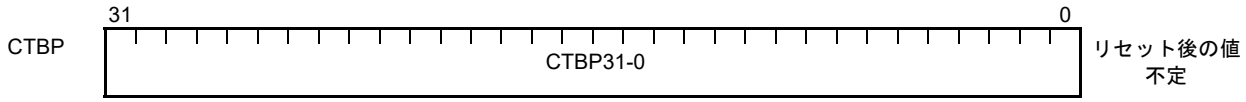


表 3.15 CTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	CTBP31-1	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
0	CTBP0	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(k) ASID — アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

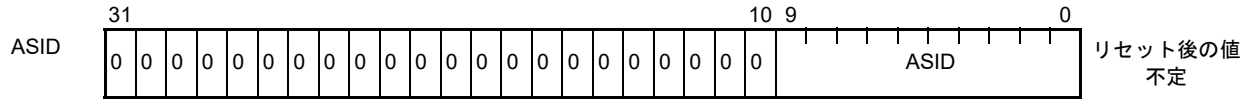


表 3.16 ASID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 10	—	（将来のための予約です。必ず 0 を設定してください）	R	0
9 ～ 0	ASID	アドレス空間識別子です。	R/W	不定

(l) EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

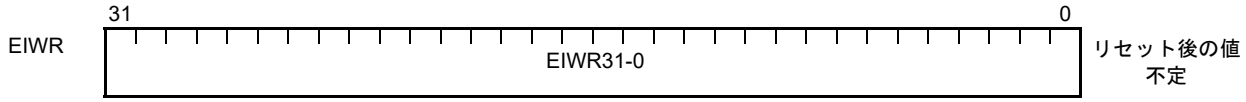


表 3.17 EIWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	EIWR31-0	EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(m) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

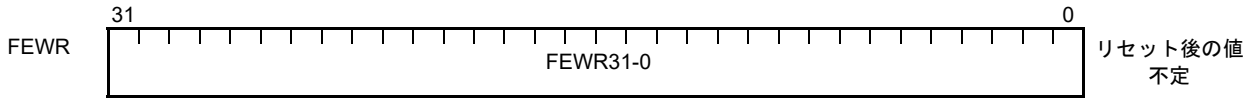


表 3.18 FEWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	FEWR31-0	FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(n) HTCFG0 — スレッドコンフィグレーション

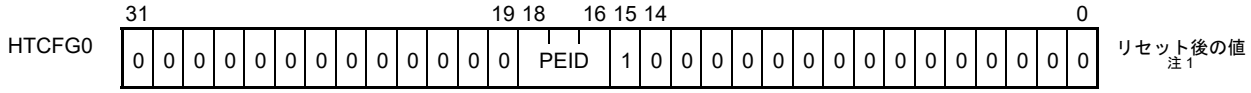


表 3.19 HTCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 19	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
18 ～ 16	PEID	プロセッサエレメント番号を示します。	R	注 2
15	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
14 ～ 0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

注 1. 本製品の CPU1（PE1）では $0001\ 8000_H$ です
注 2. 本製品の CPU1（PE1）では 001_B です。

(o) MEA — メモリエラーアドレス

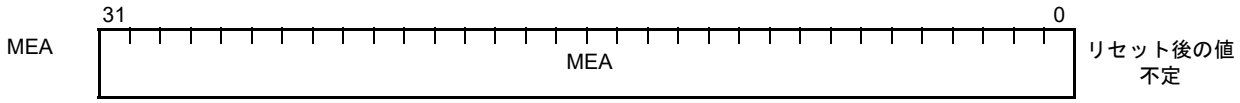


表 3.20 MEA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	MEA	MAE（ミスアライン）／MPU 違反時のアドレスを保存します。	R/W	不定

(p) MEI — メモリエラー情報

ミスアライン例外（MAE）、メモリ保護例外（MDP）発生時に、例外を引き起こした命令の情報を格納します。

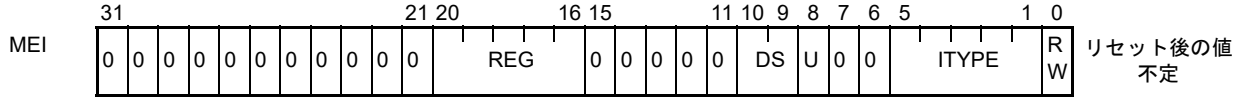


表 3.21 MEI レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 21	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
20 ～ 16	REG	例外を引き起こした命令のソースレジスタ番号、またはディスティネーションレジスタ番号を示します。 詳細は、**「表 3.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
15 ～ 11	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
10、9	DS	例外を引き起こした命令のデータタイプを示します[注1]。 0：バイト（8 ビット） 1：ハーフワード（16 ビット） 2：ワード（32 ビット） 3：ダブルワード（64 ビット） 詳細は、**「表 3.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
8	U	例外を引き起こした命令の符号拡張方式を示します。 0：Signed 1：Unsigned 詳細は、**「表 3.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
7、6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5 ～ 1	ITYPE	例外を引き起こした命令を示します。 詳細は、**「表 3.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
0	RW	例外を引き起こした命令のオペレーションが、リード（Loadmemory）だったのか、ライト（Store-memory）だったのかを示します。 0：リード（Load-memory） 1：ライト（Store-memory） 詳細は、**「表 3.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定

注 1. ハードウェアによってアクセスが分割されるような場合においても、命令の示すデータタイプが格納されます。

表 3.22 例外を引き起こした命令と MEI レジスタの値 (1/2)

命令	REG	DS	U	RW	ITYPE
SLD.B	dst	0（Byte）	0（Signed）	0（Read）	00000_B
SLD.BU	dst	0（Byte）	1（Unsigned）	0（Read）	00000_B
SLD.H	dst	1（Half-word）	0（Signed）	0（Read）	00000_B
SLD.HU	dst	1（Half-word）	1（Unsigned）	0（Read）	00000_B
SLD.W	dst	2（Word）	0（Signed）	0（Read）	00000_B
SST.B	src	0（Byte）	0（Signed）	1（Write）	00000_B
SST.H	src	1（Half-word）	0（Signed）	1（Write）	00000_B
SST.W	src	2（Word）	0（Signed）	1（Write）	00000_B
LD.B（disp16）	dst	0（Byte）	0（Signed）	0（Read）	00001_B
LD.BU（disp16）	dst	0（Byte）	1（Unsigned）	0（Read）	00001_B
LD.H（disp16）	dst	1（Half-word）	0（Signed）	0（Read）	00001_B

表 3.22 例外を引き起こした命令と MEI レジスタの値 (2/2)

命令	REG	DS	U	RW	ITYPE
LD.HU（disp16）	dst	1（Half-word）	1（Unsigned）	0（Read）	00001_B
LD.W（disp16）	dst	2（Word）	0（Signed）	0（Read）	00001_B
ST.B（disp16）	src	0（Byte）	0（Signed）	1（Write）	00001_B
ST.H（disp16）	src	1（Half-word）	0（Signed）	1（Write）	00001_B
ST.W（disp16）	src	2（Word）	0（Signed）	1（Write）	00001_B
LD.B（disp23）	dst	0（Byte）	0（Signed）	0（Read）	00010_B
LD.BU（disp23）	dst	0（Byte）	1（Unsigned）	0（Read）	00010_B
LD.H（disp23）	dst	1（Half-word）	0（Signed）	0（Read）	00010_B
LD.HU（disp23）	dst	1（Half-word）	1（Unsigned）	0（Read）	00010_B
LD.W（disp23）	dst	2（Word）	0（Signed）	0（Read）	00010_B
ST.B（disp23）	src	0（Byte）	0（Signed）	1（Write）	00010_B
ST.H（disp23）	src	1（Half-word）	0（Signed）	1（Write）	00010_B
ST.W（disp23）	src	2（Word）	0（Signed）	1（Write）	00010_B
LD.DW（disp23）	dst	3（Double-word）	0（Signed）	0（Read）	00010_B
ST.DW（disp23）	src	3（Double-word）	0（Signed）	1（Write）	00010_B
LDL.W	dst	2（Word）	0（Signed）	0（Read）	00111_B
STC.W	src	2（Word）	0（Signed）	1（Write）	00111_B
CAXI	dst	2（Word）	0（signed）注 5	0（Read）注 1	01000_B
SET1	—	0（Byte）	0（signed）注 5	0（Read）注 1	01001_B
CLR1	—	0（Byte）	0（signed）注 5	0（Read）注 1	01001_B
NOT1	—	0（Byte）	0（signed）注 5	0（Read）注 1	01001_B
TST1	—	0（Byte）	0（signed）注 5	0（Read）	01001_B
PREPARE	src 注 5	2（Word）	0（signed）注 5	1（Write）	01100_B
DISPOSE	dst 注 5	2（Word）	0（signed）注 5	0（Read）	01100_B
PUSHSP	src 注 5	2（Word）	0（signed）注 5	1（Write）	01101_B
POPSP	dst 注 4 注 5	2（Word）	0（signed）注 5	0（Read）	01101_B
SWITCH	—	1（Half-word）	0（Signed）	0（Read）	10000_B
CALLT	—	1（Half-word）	1（Unsigned）	0（Read）	10001_B
SYSCALL	—	2（Word）	0（signed）注 5	0（Read）	10010_B
CACHE	—	—	—	0/1 注 2	10100_B
割り込み（テーブル参照）注 3	—	2（Word）	0（signed）注 5	0（Read）	10101_B

注 1. リード時点で例外が発生します。
注 2. オペレーションに依存します。
注 3. テーブル参照方式の割り込みベクタ読み込み時
注 4. 汎用レジスタ r3 が対象の場合、0 が格納されます。
注 5. G3M と値が異なります。

備考 dst：ディスティネーションレジスタ番号、src：ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア（0）されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

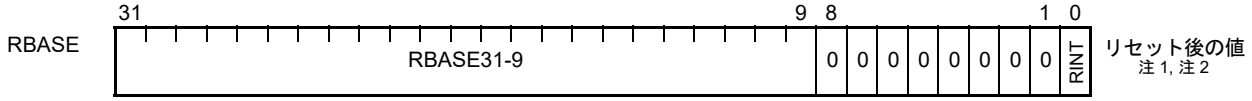


表 3.23 RBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	RBASE31-9	リセット時のリセットベクタを示します。このアドレスは PSW.EBV = 0 のとき、例外ベクタとしても使用されます。 RBASE8-0 は、暗黙的に 0 が利用されます。	R	注 1
8 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。詳細は、「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*4.4.1 (1) 直接ベクタ方式*」を参照してください。このビットは PSW.EBV = 0 のときに有効です。	R	注 2

注 1. 本製品では起動領域によりリセット後の値が異なります。詳細は「第 4 章 アドレス空間」を参照してください。

注 2. 本製品では 0_B です。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット（1）されている場合に有効です。

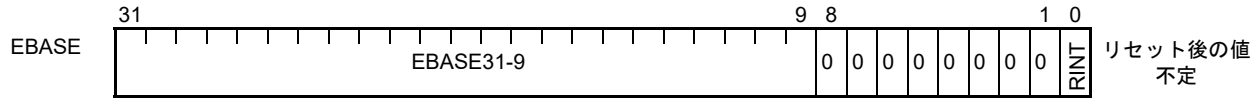


表 3.24 EBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	EBASE31-9	例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。 EBASE8-0 は、暗黙的に 0 が利用されます。	R/W	不定
8 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。詳細は、「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*4.4.1 (1) 直接ベクタ方式*」を参照してください。	R/W	不定

(s) INTBP — 例外ハンドラアドレステーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、アドレステーブル参照方式を選択したときの、アドレステーブルのベースアドレスを示すレジスタです。

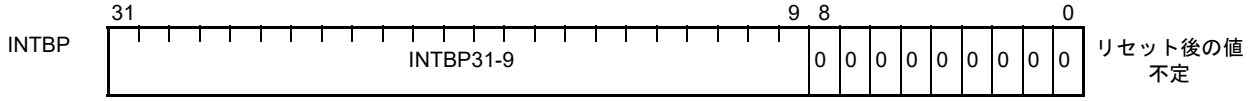


表 3.25 INTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	INTBP31-9	拡張仕様の割り込みのベースポインタアドレスです。 拡張仕様に指定された割り込み（EIINT0-511）受け付け時の例外ハンドラ決定時のテーブルアドレスの先頭を示します。 INTBP8-0 は、暗黙的に 0 が利用されます。	R/W	不定
8 ～ 0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

(t) PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

注 意

PID レジスタは、搭載された CPU コア、および CPU コアのコンフィグレーションを識別するための情報です。ソフトウェアの挙動を、PID レジスタの情報によって、動的に変化させるような利用方法を想定していません。

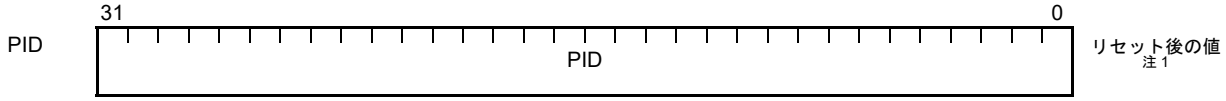


表 3.26 PID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 24	PID	アーキテクチャ識別子 プロセッサの属するアーキテクチャを示す識別子です。	R	05_H
23 ～ 8		機能識別子 プロセッサの持つ機能を示す識別子です。 ビットごとに定義された機能の搭載 / 非搭載を示します（1：搭載、0：非搭載）。 ビット 23-11 予約 ビット 10 倍精度浮動小数点演算機能 ビット 9 単精度浮動小数点演算機能 ビット 8 メモリ保護機能 (MPU)	R	8007
7 ～ 0		バージョン識別子 プロセッサのバージョンを示す識別子です。	R	80_H

注 1. 本製品では 0580 0780_H です。

(u) SCCFG — SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

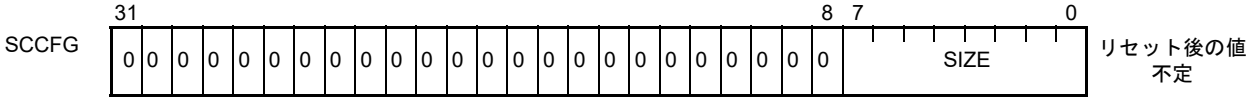


表 3.27 SCCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7 ～ 0	SIZE	SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。 SYSCALL が参照する最大エントリ数は､SIZE が 0 の場合は 1 エントリ、255 の場合は 256 エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。 最大エントリ数を越えるベクタが SYSCALL 命令で指定された場合には、先頭のエントリが選択されます。先頭のエントリには、エラー処理ルーチンを配置してください。	R/W	不定

(v) SCBP — SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

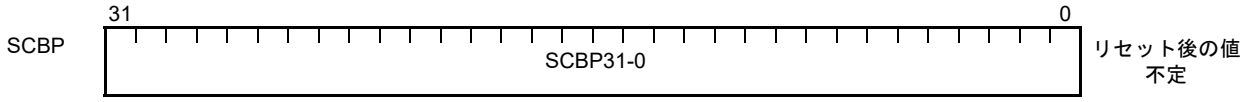


表 3.28 SCBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	SCBP31 - 2	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
1、0	SCBP1 - 0	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(w) MCFG0 — マシンコンフィグレーション

CPU のコンフィギュレーションを表すレジスタです。

	31							24 23							16 15											3	2	1	0	
MCFG0	0	0	0	0	0	0	0	0	SPID						0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	リセット後の値 注1

表 3.29 MCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 24	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
23 ～ 16	SPID	ビット 23 ～ 18：本製品では対応していません。 （将来のための予約です。必ず 0 を設定してください。） ビット 17、16：システムプロテクション番号を示します。	R/W	注 2
15 ～ 3	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
2	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
1、0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

注 1. 本製品の CPU1（PE1）では $0001\ 0004_H$ です。
注 2. 本製品の CPU1（PE1）では 01_H です。

(x) MCTL — マシンの制御

CPU の制御を行うレジスタです。

	31	30																											2	1	0	
MCTL	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	UIC	リセット後の値 $8000\ 0000_H$

表 3.30 MCTL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
30 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	UIC	ユーザモードでの割り込み許可禁止操作を制御するビットです。このビットをセット（1）するとユーザモードでの EI/DI 命令の実行が可能になります。	R/W	0

(3) 割り込み機能レジスタ

割り込み機能システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.31 割り込み機能システムレジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR10、2	ISPR	受け付け中割り込み優先度	SV
SR11、2	PMR	割り込み優先度マスク	SV
SR12、2	ICSR	割り込み制御ステータス	SV
SR13、2	INTCFG	割り込み機能の設定	SV

(a) ISPR — 受け付け中割り込み優先度

CPU で処理中の EIINTn の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

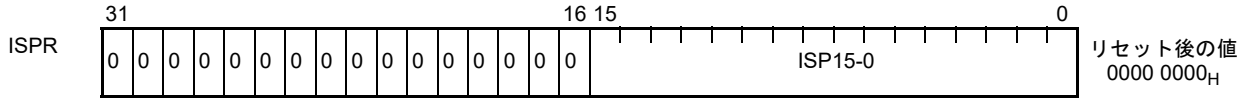


表 3.32 ISPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 16	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
15 ～ 0	ISP15-0	ビット位置に対応した優先度[注1]の割り込み（EIINTn）の受け付け状況を示します。 0：ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1：ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中 各ビット位置が、次のように各優先度に対応しています。 ビット／優先度 0／優先度 0（最高優先度） 1／優先度 1 ： 14／優先度 14 15／優先度 15 割り込み（EIINTn）要求を受け付けた場合、受け付けた割り込み（EIINTn）要求に対応するビットが自動的にセット（1）されます。 また、EIRET 命令実行時に PSW.EP = 0 の場合、ISP15-0 でセット（1）されているビットのうち、最も高優先度（0 が高優先度側）のビットがクリア（0）されます[注2]。 このビットがセット（1）されている間、その優先度以下の割り込み（EIINTn）がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません。詳細は、「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*4.1.5 割り込みの例外優先度と優先度マスク*」を参照してください。 PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。	R [注3]	0

注 1. 詳細は、「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*4.1.5 割り込みの例外優先度と優先度マスク*」を参照してください。

注 2. INTCFG.ISPC の設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。

注 3. INTCFG.ISPC の設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(b) PMR — 割り込み優先度マスク

指定した割り込み優先度のマスクを行うレジスタです。

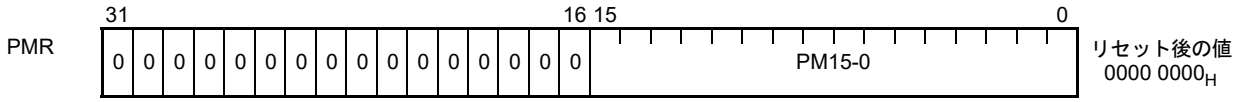


表 3.33 PMR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 16	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
15 ～ 0	PM15-0	ビット位置に対応した割り込み要求をマスクします。 0：ビット位置に対応する優先度の割り込み処理を許可 1：ビット位置に対応する優先度の割り込み処理を禁止 各ビット位置が、次のように各優先度に対応しています。 ビット ／ 優先度 0 ／ 優先度 0（最高優先度） 1 ／ 優先度 1 ： 14 ／ 優先度 14 15 ／ 優先度 15 および優先度 16（最低優先度） このビットがセット（1）されている間、その優先度の割り込み（EIINTn）がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません注 1。	R/W	0

注 1. マスクは低優先側から、連続して 1 を設定してください。例えば $FF00_H$ のような設定は可能ですが、$F0F0_H$ や $00FF_H$ のような設定は禁止します。

(c) ICSR — 割り込み制御ステータス

CPU 内部の割り込み制御の状況を示すレジスタです。

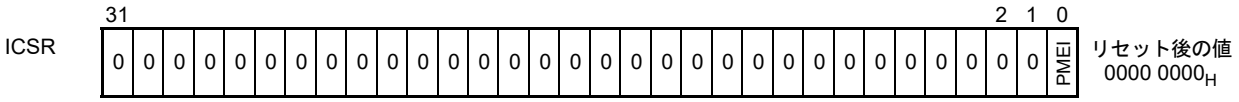


表 3.34 ICSR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	PMEI	PMR の設定でマスクされている優先度の割り込み（EIINTn）が存在することを示します。	R	0

(d) INTCFG — 割り込み機能の設定

CPU 内部の割り込み機能に関する設定を行うレジスタです。

	31																															1	0	
INTCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISPC	リセット後の値 $0000\ 0000_H$

表 3.35 INTCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	ISPC	ISPR レジスタの書き込み変更方法を設定するビットです。 0：ISPR を自動的に更新します。プログラムによる更新（LDSR）を無視します。 1：ISPR を自動的に更新しません。プログラムによる更新（LDSR）が行えます。 このビットがクリア（0）されている場合、ISPR レジスタの各ビットは割り込み（EIINTn）の受け付けにより自動的にセット（1）、EIRET 命令の実行によって自動的にクリア（0）が行われます。この状態ではプログラムによる LDSR を使った更新を無視します。このビットがセット（1）されている場合、ISPR レジスタの各ビットは割り込み（EIINTn）の受け付けや、EIRET 命令の実行によっては、更新を行いません。この状態ではプログラムによる LDSR を使った更新が可能となります。 通常 ISPC ビットはクリア（0）した状態で利用してください。ソフトウェアによる割り込み優先度を管理する場合に、このビットをセット（1）し、PMR レジスタによる優先度管理を行ってください。	R/W	0

(4) FPU 機能レジスタ

(a) 浮動小数点レジスタ

FPU は CPU の汎用レジスタ（r0 - r31）を使用します。浮動小数点演算専用のレジスタファイルはありません。

- 単精度浮動小数点演算命令：
  32 個の 32 ビットレジスタを指定できます。これは汎用レジスタの r0 - r31 に相当します。
- 倍精度浮動小数点演算命令：
  16 個の 64 ビットレジスタを指定できます。これは汎用レジスタを 1 対ずつ使用するレジスタペア（{r1、r0}、{r3、r2} … {r31、r30}）に相当します。レジスタペアは命令形式上、偶数レジスタで指定します。r0 がゼロレジスタ（常に 0 を保持）であるので、原則として {r1、r0} は倍精度浮動小数点演算命令では使用するべきではありません。

(b) 浮動小数点機能システムレジスタ

FPU では浮動小数点演算制御のために以下のシステムレジスタが使用できます。浮動小数点機能システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。レジスタの詳細は「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」の「*3.4.2 浮動小数点機能システム・レジスタ*」を参照してください。

表 3.36 FPU 機能システムレジスター覧

レジスタ番号（regID、selID）	名称	機能	アクセス権限
SR6、0	FPSR	浮動小数点演算の設定／ステータス	CU0 かつ SV
SR7、0	FPEPC	浮動小数点演算例外プログラムカウンタ	CU0 かつ SV
SR8、0	FPST	浮動小数点のステータス	CU0
SR9、0	FPCC	浮動小数点演算の比較結果	CU0
SR10、0	FPCFG	浮動小数点機能の設定	CU0

(5) MPU 機能レジスタ

(a) MPU 機能システムレジスタ

MPU 機能システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.37 MPU 機能システムレジスター覧 (1/3)

レジスタ番号（regID、selID）	名称	機能	アクセス権限
SR0、5	MPM	メモリ保護動作モードの設定	SV
SR1、5	MPRC	MPU リージョン制御	SV
SR4、5	MPBRGN	MPU ベースリージョン番号	SV
SR5、5	MPTRGN	MPU 終端リージョン番号	SV
SR8、5	MCA	メモリ保護設定チェックアドレス	SV
SR9、5	MCS	メモリ保護設定チェックサイズ	SV
SR10、5	MCC	メモリ保護設定チェックコマンド	SV
SR11、5	MCR	メモリ保護設定チェック結果	SV
SR0、6	MPLA0	保護領域の下限アドレス	SV

表 3.37 MPU 機能システムレジスター覧 (2/3)

レジスタ番号（regID、selID）	名称	機能	アクセス権限
SR1、6	MPUA0	保護領域の上限アドレス	SV
SR2、6	MPAT0	保護領域の属性	SV
SR4、6	MPLA1	保護領域の下限アドレス	SV
SR5、6	MPUA1	保護領域の上限アドレス	SV
SR6、6	MPAT1	保護領域の属性	SV
SR8、6	MPLA2	保護領域の下限アドレス	SV
SR9、6	MPUA2	保護領域の上限アドレス	SV
SR10、6	MPAT2	保護領域の属性	SV
SR12、6	MPLA3	保護領域の下限アドレス	SV
SR13、6	MPUA3	保護領域の上限アドレス	SV
SR14、6	MPAT3	保護領域の属性	SV
SR16、6	MPLA4	保護領域の下限アドレス	SV
SR17、6	MPUA4	保護領域の上限アドレス	SV
SR18、6	MPAT4	保護領域の属性	SV
SR20、6	MPLA5	保護領域の下限アドレス	SV
SR21,6	MPUA5	保護領域の上限アドレス	SV
SR22、6	MPAT5	保護領域の属性	SV
SR24、6	MPLA6	保護領域の下限アドレス	SV
SR25、6	MPUA6	保護領域の上限アドレス	SV
SR26、6	MPAT6	保護領域の属性	SV
SR28、6	MPLA7	保護領域の下限アドレス	SV
SR29、6	MPUA7	保護領域の上限アドレス	SV
SR30、6	MPAT7	保護領域の属性	SV
SR0、7	MPLA8	保護領域の下限アドレス	SV
SR1、7	MPUA8	保護領域の上限アドレス	SV
SR2、7	MPAT8	保護領域の属性	SV
SR4、7	MPLA9	保護領域の下限アドレス	SV
SR5、7	MPUA9	保護領域の上限アドレス	SV
SR6、7	MPAT9	保護領域の属性	SV
SR8、7	MPLA10	保護領域の下限アドレス	SV
SR9、7	MPUA10	保護領域の上限アドレス	SV
SR10、7	MPAT10	保護領域の属性	SV
SR12、7	MPLA11	保護領域の下限アドレス	SV
SR13、7	MPUA11	保護領域の上限アドレス	SV
SR14、7	MPAT11	保護領域の属性	SV
SR16、7	MPLA12	保護領域の下限アドレス	SV
SR17、7	MPUA12	保護領域の上限アドレス	SV
SR18、7	MPAT12	保護領域の属性	SV
SR20、7	MPLA13	保護領域の下限アドレス	SV
SR21、7	MPUA13	保護領域の上限アドレス	SV
SR22、7	MPAT13	保護領域の属性	SV
SR24、7	MPLA14	保護領域の下限アドレス	SV
SR25、7	MPUA14	保護領域の上限アドレス	SV

表 3.37 MPU 機能システムレジスター覧 (3/3)

レジスタ番号（regID、selID）	名称	機能	アクセス権限
SR26、7	MPAT14	保護領域の属性	SV
SR28、7	MPLA15	保護領域の下限アドレス	SV
SR29、7	MPUA15	保護領域の上限アドレス	SV
SR30、7	MPAT15	保護領域の属性	SV

(b) MPM — メモリ保護動作モード

メモリ保護モードレジスタはメモリ保護機能の基本的な動作状態を決定します。

	31																				11	10	9	8	7						2	1	0	
MPM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DX	DW	DR	0	0	0	0	0	0	SVP	MPE	リセット後の値 0000 0000$_H$

表 3.38 MPM レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 11	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
10	DX	本製品では対応していません。 （将来のための予約です。必ず 0 を設定してください。）	R	0
9	DW	本製品では対応していません。 （将来のための予約です。必ず 0 を設定してください。）	R	0
8	DR	本製品では対応していません。 （将来のための予約です。必ず 0 を設定してください。）	R	0
7 ～ 2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	SVP	SV モード（PSW.UM = 0）時に、各保護領域ごとに MPAT レジスタの SX、SW、SR に従ってアクセス制限を行うかどうかを指定します。注 1 0：従来どおり、SV モードでは、暗黙的にすべてのアクセスは許可とします。 1：SV モードであっても、SX、SW、SR ビットに従ってアクセス制限を行います。注 2	R/W	0
0	MPE	MPU 機能の有効／無効を指定します。 0：無効 1：有効	R/W	0

注 1. SVP ビットをセット（1）すると、SV モードであっても各保護領域ごとの設定に従ってアクセス制限が課されるようになります。このため、SVP ビットをセットするプログラム自身がアクセス制限されることがないように、あらかじめ保護領域の設定を行ってください。

注 2. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(c) MPRC — MPU リージョン制御

メモリ保護機能の特殊操作を行うビットが配置されたレジスタです。

	31															16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MPRC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0	リセット後の値 $0000\ 0000_H$

表 3.39 MPRC レジスタの内容

ビット	名称	意味	R/W	リセット後の値
31 ～ 16	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
15 ～ 0	E15-E0	各保護領域の Enable ビットです。En ビットが MPATn.E ビットの写像です（n = 15 ～ 0）。本製品の保護領域数は 16 です。	R/W	0

(d) MPBRGN — MPU ベースリージョン

利用可能な MPU 領域の最小番号を示します。

	31																											5	4			0	
MPBRGN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MPBRGN				リセット後の値 $0000\ 0000_H$

表 3.40 MPBRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4 ～ 0	MPBRGN	MPU 領域の一番小さい番号を示します。 常に 0 を示します。	R	0

(e) MPTRGN — MPU 終端リージョン

利用可能な MPU 領域の最大番号 + 1 を示します。

	31																											5	4			0	
MPTRGN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MPTRGN				リセット後の値 $0000\ 0010_H$

表 3.41 MPTRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4 ～ 0	MPTRGN	MPU 領域の一番大きい番号 + 1 を示します。 常にハードウェアが搭載する MPU 領域の最大数を示します。 本製品の保護領域数は 16 です。	R	10_H

(f) MCA — メモリ保護設定チェックアドレス

メモリ保護設定のチェックを行う領域のベースアドレスを指定します。

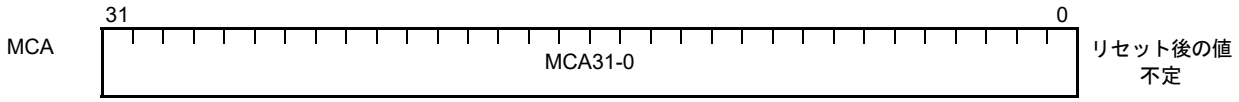


表 3.42 MCA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	MCA31-MCA0	メモリ保護設定のチェックを行う対象のメモリ領域の先頭アドレスをバイト単位で指定します。	R/W	不定

(g) MCS — メモリ保護設定チェックサイズ

メモリ保護設定のチェックを行う領域のサイズを指定します。

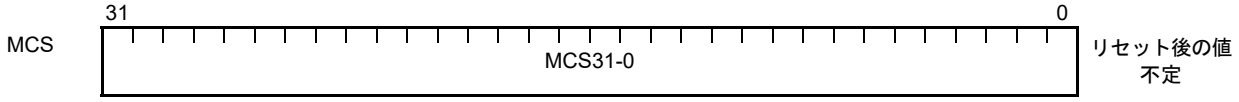


表 3.43 MCS レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	MCS31-MCS0	メモリ保護設定のチェックを行う対象のメモリ領域のサイズを指定する、対象領域のサイズをバイト単位で指定します。指定されたサイズは符号なしの整数として扱うため、MCA レジスタの値からアドレス値が減少する方向へ領域のチェックを行うことができません。MCS レジスタには $0000\ 0000_H$ を設定しないでください。	R/W	不定

(h) MCC — メモリ保護設定チェックコマンド

メモリ保護設定のチェックを開始するためのコマンドレジスタです。

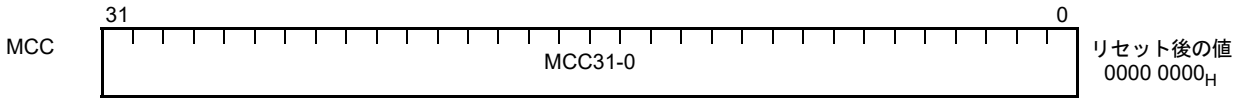


表 3.44 MCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	MCC31-MCC0	MCC レジスタへの任意の値を書き込むと、メモリ保護設定のチェックが開始されます。事前に MCA/MCS レジスタを設定し、このレジスタへの書き込み操作を行うことで、MCR に結果が格納されます。任意の書き込み値で、チェックを開始するため、r0 をソースレジスタとして、余分なレジスタを使用することなく、チェックを開始できます。 また、チェックは、PSW.UM ビットの状態にかかわらず、各領域設定に従った結果を反映します。 MCC レジスタからの読み出し値は、常に $0000\ 0000_H$ となります。	R/W	0

(i) MCR — メモリ保護設定チェック結果

メモリ保護設定のチェックの結果を格納するレジスタです。

ビット 31 ～ 9、7、6 には、必ず 0 を設定してください。

注 意

1. **チェック対象の領域の指定が 0000 0000$_H$ をまたぐ場合、領域指定が誤っていると判断し、MCR.OV ビットがセット（1）されます。このため、チェック結果を参照する場合には、必ず MCR.OV ビットを確認し、結果が不正でないことを確認（OV = 0 であることを確認）してから、その他のチェック結果を利用してください。**
2. **デフォルト設定（MPM.DX, DW, DR）をセット（1）している場合、正しい結果が得られない場合があります。デフォルトを許可にする場合、メモリ保護設定チェック機能は利用しないで下さい。**

	31																						9	8	7	6	5	4	3	2	1	0	
MCR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OV	0	0	SXE	SWE	SRE	UXE	UWE	URE	リセット後の値 不定

表 3.45 MCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
8	OV	指定された領域が 0000 0000$_H$ または、7FFF FFFF$_H$ をまたがる場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
7 ～ 6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5	SXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザ実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
4	SWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザライト許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
3	SRE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
2	UXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモード実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
1	UWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモードライト許可であった場合に、1 が格納されます。それ以外の場合は 0 が格納されます。	R/W	不定
0	URE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモードリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定

(j) MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです（n = 0 ～ 15）本製品の保護領域数は 16 です。

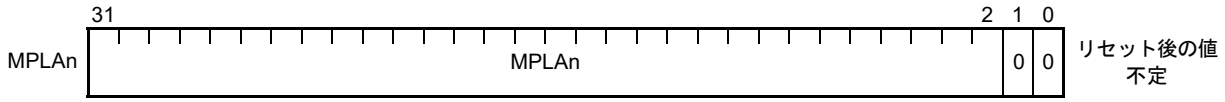


表 3.46 MPLAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	MPLA31-2	領域 n の下限アドレスを示します。 MPLA1-0 は暗黙的に 0 を使用します。	R/W	不定
1、0	—	将来のための予約です。必ず 0 に設定してください。	R	0

(k) MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです n = 0 ～ 15)。本製品の保護領域数は 16 です。

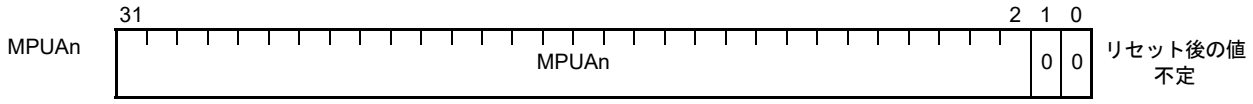


表 3.47 MPUAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	MPUA31-2	領域 n の上限アドレスを示します。 MPUA1-0 は暗黙的に 1 を使用します。	R/W	不定
1、0	—	将来のための予約です。必ず 0 に設定してください。	R	0

(l) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです（n = 0 ～ 15）。本製品の保護領域数は 16 です。

	31					26	25								16	15							8	7	6	5	4	3	2	1	0	
MPATn	0	0	0	0	0	0	ASID									0	0	0	0	0	0	0	0	E	G	SX	SW	SR	UX	UW	UR	リセット後の値 不定

表 3.48 MPATn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 26	—	（将来のための予約です。必ず 0 に設定してください。）	R	0
25 ～ 16	ASID	領域一致の条件として利用する ASID の値を示します。	R/W	不定
15 ～ 8	—	（将来のための予約です。必ず 0 に設定してください。）	R	0
7	E	領域 n の有効／無効を示します。 0：領域 n を無効とする 1：領域 n を有効とする	R/W	0
6	G	0：ASID 一致を条件とする 1：ASID 一致を条件としない このビットが 0 の場合は、MPATn.ASID = ASID.ASID であることが領域一致の条件となります。このビットが 1 の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません。	R/W	不定
5	SX	スーパバイザモードでの実行権を示します 注 1。 0：実行禁止 1：実行許可	R/W	不定
4	SW	スーパバイザモードでの書き込み許可を示します注 1。 0：書き込み禁止 1：書き込み許可	R/W	不定
3	SR	スーパバイザモードでの読み出し許可を示します注 1。 0：読み出し禁止 1：読み出し許可	R/W	不定
2	UX	ユーザモードでの実行権を示します。 0：実行禁止 1：実行許可	R/W	不定
1	UW	ユーザモードでの書き込み許可を示します。 0：書き込み禁止 1：書き込み許可	R/W	不定
0	UR	ユーザモードでの読み出し許可を示します。 0：読み出し禁止 1：読み出し許可	R/W	不定

注 1. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ

(a) キャッシュ制御機能システムレジスタ

キャッシュ制御機能システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.49 キャッシュ操作機能システムレジスター覧

レジスタ番号（regID、selID）	名称	機能	アクセス権限
SR16、4	ICTAGL	命令キャッシュタグ Lo アクセス	SV
SR17、4	ICTAGH	命令キャッシュタグ Hi アクセス	SV
SR18、4	ICDATL	命令キャッシュデータ Lo アクセス	SV
SR19、4	ICDATH	命令キャッシュデータ Hi アクセス	SV
SR24、4	ICCTRL	命令キャッシュ制御	SV
SR26、4	ICCFG	命令キャッシュコンフィグ	SV
SR28、4	ICERR	命令キャッシュエラー	SV

(b) ICTAGL — 命令キャッシュタグ Lo アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのタグ RAM に格納する値を、CILD 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。

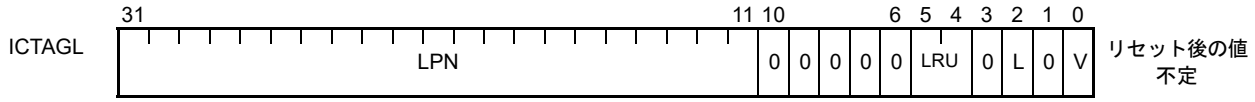


表 3.50 ICTAGL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 11	LPN	物理ページ番号のビット 24 ～ 11 を保持します。 ビット 31 ～ 25 には必ず 0 を設定してください。	R/W	不定
10 ～ 6	—	（将来のための予約です。必ず 0 を設定してください）	R	0
5、4	LRU	指定したキャッシュラインの LRU 情報を示します。LRU 情報は CIST 命令で任意の値に変更することはできません。	R/W	不定
3	—	（将来のための予約です。必ず 0 を設定してください）	R	0
2	L	ロック情報を保持します。	R/W	不定
1	—	（将来のための予約です。必ず 0 を設定してください）	R	0
0	V	指定したキャッシュラインの有効／無効情報を保持します。	R/W	不定

(c) ICTAGH — 命令キャッシュタグ Hi アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのタグ RAM に格納する値を、CILD 実行時には命令キャッシュのタグ RAM から読み出した値をそれぞれ格納します。

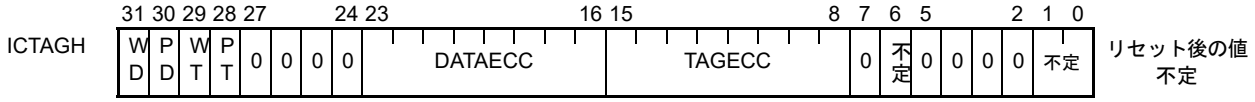


表 3.51 ICTAGH レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	WD	CIST の実行時にセット（1）しておくとキャッシュのデータ RAM を更新します。	R/W	不定
30	PD	CIST の実行時にセット（1）しておくと DATAECC フィールドの値をデータ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。	R/W	不定
29	WT	CIST の実行時にセット（1）しておくとキャッシュのタグ RAM を更新します。	R/W	不定
28	PT	CIST の実行時にをセット（1）しておくと TAGECC フィールドの値をタグ RAM 用の ECC に書き込みます。0 の場合は、ECC はライトデータから自動生成されます。	R/W	不定
27 ～ 24	—	（将来のための予約です。必ず 0 を設定してください）	R	0
23 ～ 16	DATAECC	データ RAM の ECC を保持します。	R/W	不定
15 ～ 8	TAGECC	タグ RAM の ECC を保持します。 ビット 15 ～ 14 には 0 を書き込んでください。	R/W	不定
7	—	（将来のための予約です。必ず 0 を設定してください）	R	0
6	—	（将来のための予約です。必ず 0 を設定してください）	R	不定
5 ～ 2	—	（将来のための予約です。必ず 0 を設定してください）	R	0
1、0	—	（将来のための予約です。必ず 0 を設定してください）	R	不定

(d) ICDATL — 命令キャッシュデータ Lo アクセス

命令キャッシュに対する CIST ／ CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのデータ RAM に格納する値を、CILD 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

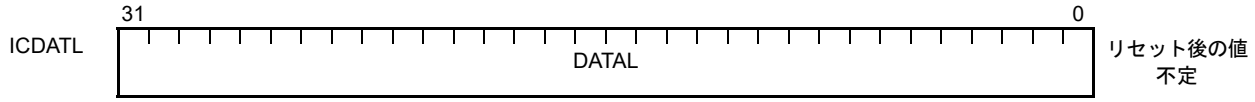


表 3.52 ICDATL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	DATAL	指定したキャッシュライン内ブロックの命令データのうちビット 31 ～ 0、95 ～ 64、159 ～ 128、223 ～ 192 のいずれかを保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 00000 ：ビット 31 ～ 0 インデックスの Offset = 01000 ：ビット 95 ～ 64 インデックスの Offset = 10000 ：ビット 159 ～ 128 インデックスの Offset = 11000 ：ビット 223 ～ 192 データ配置は**図 3.4** に対応しています。	R/W	不定

(e) ICDATH — 命令キャッシュデータ Hi アクセス

命令キャッシュに対する CIST/CILD 命令で使用するレジスタです。CIST 実行時には命令キャッシュのデータ RAM に格納する値を、CILD 実行時には命令キャッシュのデータ RAM から読み出した値をそれぞれ格納します。

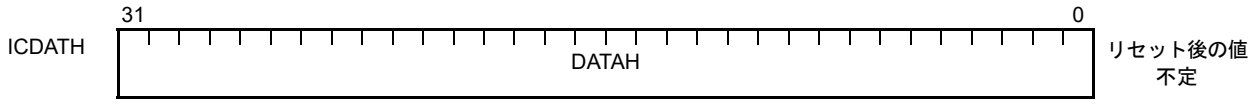


表 3.53 ICDATH レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	DATAH	指定したキャッシュライン内ブロックの命令データのうちビット 63 ～ 32、127 ～ 96、191 ～ 160、255 ～ 224 を保持します。保持するビットは、インデックスの Offset で指定します。 インデックスの Offset = 00000 ：ビット 63 ～ 32 インデックスの Offset = 01000 ：ビット 127 ～ 96 インデックスの Offset = 10000 ：ビット 191 ～ 160 インデックスの Offset = 11000 ：ビット 255 ～ 224 データ配置は**図 3.4** に対応しています。	R/W	不定

(f) ICCTRL — 命令キャッシュ制御

命令キャッシュの制御を行うレジスタです。

	31														17	16	15							9	8	7					3	2	1	0	
ICCTRL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	ICHCLR	0	0	0	0	0	ICHEIV	ICHEMK	ICHEN	リセット後の値 $0001\ 0003_H$

表 3.54 ICCTRL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 17	—	（将来のための予約です。必ず 0 を設定してください）	R	0
16	—	（将来のための予約です。必ず 1 を設定してください）	R	1
15 ～ 9	—	（将来のための予約です。必ず 0 を設定してください）	R	0
8	ICHCLR	セット（1）すると命令キャッシュを一括でクリアします。本ビットに 1 を設定後、クリアを完了するまではこのビットのリード値は 1 になります。クリア完了後、このビットのリード値は 0 になります。	R/W	0
7 ～ 3	—	（将来のための予約です。必ず 0 を設定してください）	R	0
2	ICHEIV	セット（1）するとキャッシュエラーの発生時に自動的に命令キャッシュを無効（ICHEN ビットを 0 にします）にします。	R/W	0
1	ICHEMK	セット（1）するとキャッシュエラーの発生時に CPU に対するキャッシュエラー例外の通知をマスクします。	R/W	1
0	ICHEN	命令キャッシュの有効 / 無効を示します。 0：命令キャッシュは無効 1：命令キャッシュは有効 このビットを設定してから実際に命令キャッシュに反映されるまで、このビットのリード値は設定前の値となります。	R/W	1

(g) ICCFG — 命令キャッシュコンフィグ

命令キャッシュの構成を示すレジスタです。

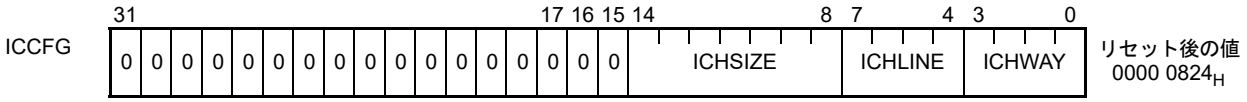


表 3.55 ICCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 15	—	（将来のための予約です。必ず 0 を設定してください）	R	0
14 ～ 8	ICHSIZE	命令キャッシュの容量（K バイト）を示します。 000 1000：8 K バイト	R	08_H
7 ～ 4	ICHLINE	命令キャッシュの 1way あたりのライン数を示します。本製品では 64 ラインです。 0010：64 ライン	R	2_H
3 ～ 0	ICHWAY	命令キャッシュの way 数を示します。 0100：4way	R	4_H

(h) ICERR — 命令キャッシュエラー

命令キャッシュのキャッシュエラー情報を格納するレジスタです。

ICHERR ビットがセット（1）された後は、それが明示的にクリア（0）されるまで後続で発生するキャッシュエラー情報は格納されません。ただし、エラーステータス情報（ESMH、ESPBSE、ESTE1、ESTE2、ESDC、ESDE）は累積されます。

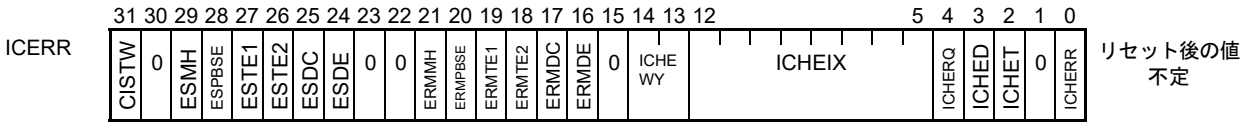


表 3.56 ICERR レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W	リセット後の値
31	CISTW	CISTI 実行後、書き込み先 WAY 指定に不正があったことを示します。書き込みは完了するためエントリ情報は上書きされますが、当該キャッシュラインのリード時に V ビットがクリアされます（ミス判定扱い）。本ビットから CPU への例外通知は行われません。	R/W	不定
30	—	（将来のための予約です。必ず 0 を設定してください）	R	0
29	ESMH	エラーステータス：マルチヒット	R/W	不定
28	ESPBSE	エラーステータス：WAY エラー	R/W	不定
27	ESTE1	エラーステータス：タグ RAM 1bit エラー	R/W	不定
26	ESTE2	エラーステータス：タグ RAM 2bits エラー	R/W	不定
25	ESDC	エラーステータス：データ RAM 1bit 訂正	R/W	不定
24	ESDE	エラーステータス：データ RAM 2bits エラー	R/W	不定
23、22	—	（将来のための予約です。必ず 0 を設定してください）	R	0
21	ERMMH	エラー例外通知マスク：マルチヒット	R/W	0
20	ERMPBSE	エラー例外通知マスク：WAY エラー	R/W	0
19	ERMTE1	エラー例外通知マスク：タグ RAM 1bit エラー	R/W	0
18	ERMTE2	エラー例外通知マスク：タグ RAM 2bits エラー	R/W	0
17	ERMDC	エラー例外通知マスク：データ RAM 1bit 訂正	R/W	0

表 3.56 ICERR レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W	リセット後の値
16	ERMDE	エラー例外通知マスク：データ RAM 2bits エラー	R/W	0
15	—	（将来のための予約です。必ず 0 を設定してください）	R	0
14、13	ICHEWY	キャッシュエラーが発生した way 番号を保持します。	R/W	不定
12 ～ 5	ICHEIX	キャッシュエラーが発生したキャッシュインデックスを保持します。	R/W	不定
4	ICHERQ	1 の場合はキャッシュエラー例外を通知中であることを示します。ただしキャッシュエラー例外の通知がマスクされている場合はセット（1）されていても CPU への通知は行われません。	R/W	0
3	ICHED	データ RAM でエラーが発生したことを示します。	R/W	0
2	ICHET	タグ RAM でエラーが発生したことを示します。	R/W	0
1	—	（将来のための予約です。必ず 0 を設定してください）	R	0
0	ICHERR	キャッシュエラーが発生するとセット（1）されます。	R/W	0

(7) LSU 制御機能レジスタ

表 3.57 LSU 制御レジスター覧

レジスタ番号（regID、selID）	名称	機能	アクセス権限
SR8、13	LSUCR	LSU 制御レジスタ	SV

(a) LSUCR — LSU 制御レジスタ

本レジスタはビット操作命令の前後の命令実行の待ち合わせを設定します。BBOPEN ビットに 1 を設定することで、特定のビット操作命令（CLR1/NOT1/SET1/TST1）の実行に続くロード命令・ストア命令に対し、正常にイベント検出することができます。本レジスタの設定に関する注意事項については、**「3.5.6 ビット操作命令のブロッキング動作設定について」**をご参照ください。

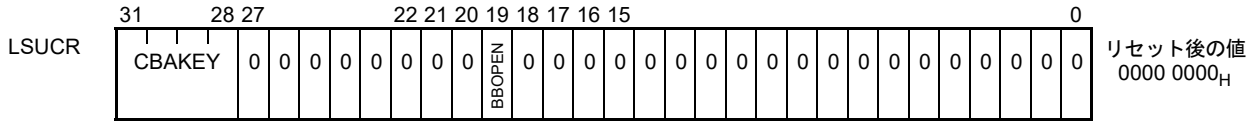


表 3.58 LSUCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 28	CBAKEY	LSUCR レジスタの BBOPEN ビットへの R/W を許可する鍵ビットです。 開錠手順は下記の通りです。 (1) 本ビットに 1100 をライト (2) 本ビットに 1101 をライト（本ビットの値が 1100 の時のみ 1101 のライトが可能） 本ビットの値が 1101 の時、BBOPEN ビットにアクセスできます。本ビットが 1101 以外の値であると、BBOPEN ビットにアクセスできません。本ビットのリード値は、1101 以外の時は 0000 となります。	R/W	0000
27 ～ 22	—	（将来のための予約です。必ず 0 を設定してください）	R	0
21	—	（将来のための予約です。必ず 1 を設定してください。ただし本ビットは CBAKEY = 1101 の時のみリード値が 1 となります。1101 以外の時は 0 となります。）	R	0
20	—	（将来のための予約です。必ず 0 を設定してください）	R	0
19	BBOPEN	ビット操作命令を前後の Load/Store 命令との間で待ち合わせ設定します。 0：前の Load/Store 命令と待ち合せせずにビット操作命令を実行します。また、後続の Load/Store 命令はビット操作命令の完了を待たずに実行されます 1：前の Load/Store 命令と待ち合わせしてからビット操作命令を実行します。また、後続の Load/Store 命令はビット操作命令が完了してから実行されます 本ビットは CBAKEY = 1101 の時のみ R/W 可能です。本ビットのリード値は、1101 以外の時は 0 となります。	R/W	0
18	—	（将来のための予約です。必ず 0 を設定してください）	R	0
17	—	（将来のための予約です。必ず 1 を設定してください。ただし本ビットは CBAKEY = 1101 の時のみリード値が 1 となります。1101 以外の時は 0 となります。）	R	0
16	—	（将来のための予約です。必ず 1 を設定してください。ただし本ビットは CBAKEY = 1101 の時のみリード値が 1 となります。1101 以外の時は 0 となります。）	R	0
15 ～ 0	—	（将来のための予約です。必ず 0 を設定してください）	R	0

(8) データバッファ操作機能レジスタ

(a) データバッファ制御機能システムレジスタ

データバッファ制御機能システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います

表 3.59 データバッファ操作機能レジスター覧

レジスタ番号（regID、selID）	名称	機能	アクセス権限
SR24、13	CDBCR	データバッファ制御レジスタ	SV

(b) CDBCR — データバッファ制御レジスタ

データバッファを制御するためのレジスタです。

CDBCR

31																														2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CDBCLR	CDBEN

リセット後の値 $0000\ 0001_H$

表 3.60 CDBCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	—	（将来のための予約です。必ず 0 を設定してください）	R	0
1	CDBCLR	1 をセットすると、データバッファを一括クリアします。このビットは常に 0 が読み出されます。	W	0
0	CDBEN	データバッファの有効／無効を指定します。 0 ：データバッファは無効 1 ：データバッファは有効	R/W	1

3.2.2 命令キャッシュ、データバッファ

3.2.2.1 特長

CPU1 と Code Flash 間に、8K バイト 4Way セットアソシアティブの命令キャッシュを搭載しています。命令キャッシュと Code Flash 間は 256 ビットの専用バスで接続されており、キャッシュミスヒット時のペナルティを最小にします。また、CPU1 と Code Flash 間にデータバッファを搭載しており、高速なデータアクセスが可能です。アドレス空間上、$0000\ 0000_H$ ～ $01FF\ FFFF_H$ の 32MB 領域が、命令キャッシュおよびデータバッファ対象です。

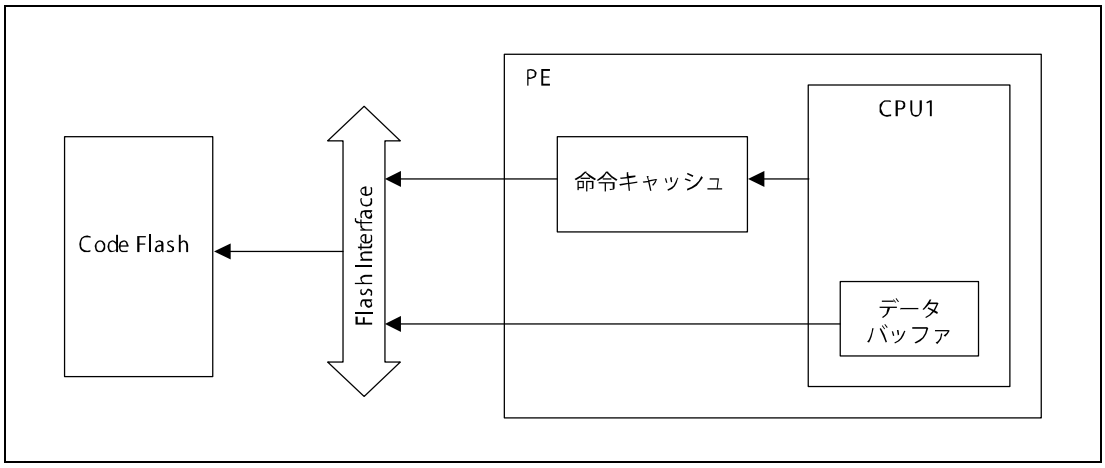


図 3.2 命令キャッシュ、データバッファ

3.2.2.2 命令キャッシュ機能

命令キャッシュは4Wayセットアソシアティブで構成し、合計の容量は8Kバイトです。キャッシュラインのサイズは32バイトです。キャッシュミスが発生した場合は、LRUによる入れ替えアルゴリズムにより1ライン単位のリフィルを行います。フェッチデータサイズは8バイトです。1ライン中のオフセットで指定された8バイトデータを選択します。Wayは2つのグループに分かれており、Way0、Way1がWayグループ0、Way2、Way3がWayグループ1です。アクセス対象のアドレス情報をデコードし、使用するWayグループを選択します。Code Flash領域への命令フェッチアクセスがキャッシュ対象です。

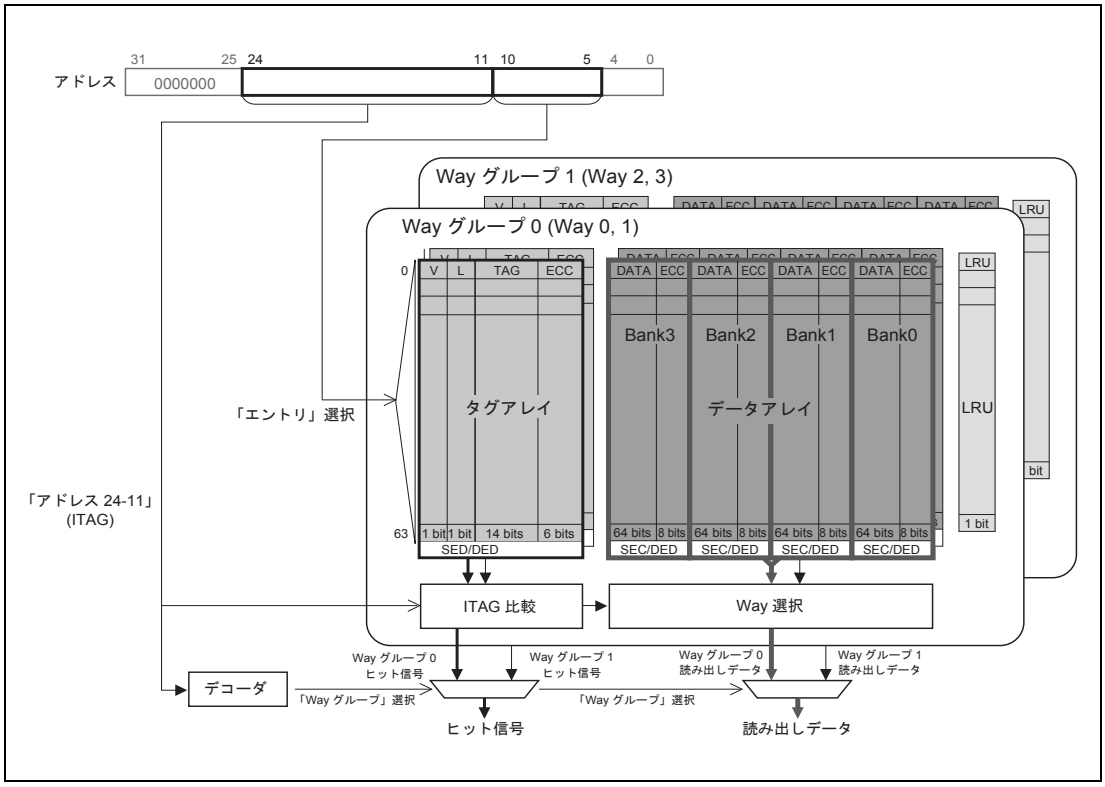


図 3.3 命令キャッシュの構成

タグアレイ

TAG キャッシュされるデータラインの操作アドレス32ビットのうち、ビット24～11を格納します。TAGはリセットで初期化されません。

ECC タグアレイのECCを格納します。ECCはリセットで初期化されません。

Valid ／ Lock

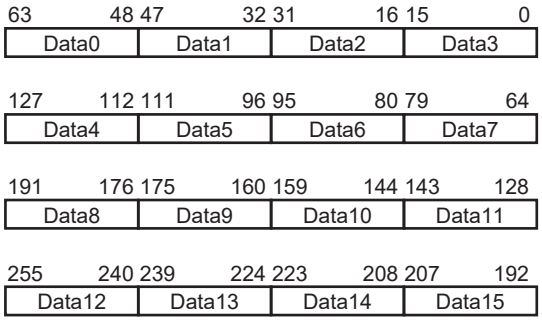
Vビット	キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはリセットで0に初期化されます。
Lビット	キャッシュラインがロック状態か否かを示します。このビットが1のとき、そのキャッシュラインはロック状態であり、新たなデータで置換されることはありません。LビットはVビットが1のときのみ有効です。Lビットはリセットで初期化されます。

データアレイ

DATA	キャッシュラインのデータ 256 ビットを 64 ビットごとに各バンクに格納します。各データの格納位置は Way とオフセットにより決定します。データ配置は**図 3.4** を参照ください。DATA はリセットで初期化されません。
ECC	データアレイの ECC を格納します。ECC はリセットで初期化されません。

LRU

LRU	Way グループ内での LRU 情報を格納します。LRU はリセットで初期化されます。



Data0 $+00_H$ 番地のハーフワードデータ
Data1 $+02_H$ 番地のハーフワードデータ
Data2 $+04_H$ 番地のハーフワードデータ
Data3 $+06_H$ 番地のハーフワードデータ
Data4 $+08_H$ 番地のハーフワードデータ
Data5 $+0A_H$ 番地のハーフワードデータ
Data6 $+0C_H$ 番地のハーフワードデータ
Data7 $+0E_H$ 番地のハーフワードデータ
Data8 $+10_H$ 番地のハーフワードデータ
Data9 $+12_H$ 番地のハーフワードデータ
Data10 $+14_H$ 番地のハーフワードデータ
Data11 $+16_H$ 番地のハーフワードデータ
Data12 $+18_H$ 番地のハーフワードデータ
Data13 $+1A_H$ 番地のハーフワードデータ
Data14 $+1C_H$ 番地のハーフワードデータ
Data15 $+1E_H$ 番地のハーフワードデータ

図 3.4 キャッシュ内のデータ配置

3.2.2.3 データバッファ機能

データバッファとして、1 ラインあたり 128 ビットのバッファを、8 ライン搭載しています。Code Flash からリードされる 256 ビットのデータを 128 ビット単位で、データバッファに格納します。次回以降、同一アドレスにアクセスした場合、データバッファから読み出すため、Code Flash へのアクセスは発生しません。

3.2.3 プロセッサ間割り込み

PE 間で割り込み通信を行うためのレジスタ（IPIR_CHn）を 4CH 分持っています。

IPIR_CH0-3 はユーザ割り込み（EIINT）の CH0 ～ 3 にアサインされます。各 PE に対応したビットを操作することで特定の PE（自身を含む）に対して割り込みを要求することが可能です。

3.2.3.1 プロセッサ間割り込み制御レジスタ

本レジスタは、各 PE の CPU Peripheral に配置されています。各 PE は各々 IPIR_CH0-3 レジスタを持っており、他 PE のレジスタにアクセスすることはできません。

表 3.61 レジスター覧

レジスタシンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ				アドレス
				1	8	16	32	
IPIR_CH0	PE 間割り込みレジスタ 0	R/W	$0000\ 0000_H$	○	○	○	○	$FFFE\ EC80_H$
IPIR_CH1	PE 間割り込みレジスタ 1	R/W	$0000\ 0000_H$	○	○	○	○	$FFFE\ EC84_H$
IPIR_CH2	PE 間割り込みレジスタ 2	R/W	$0000\ 0000_H$	○	○	○	○	$FFFE\ EC88_H$
IPIR_CH3	PE 間割り込みレジスタ 3	R/W	$0000\ 0000_H$	○	○	○	○	$FFFE\ EC8C_H$

(1) IPIR_CHn — PE 間割り込みレジスタ n (n = 0 ～ 3)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PE3	—	PE1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 3.62 IPIR_CHn レジスタの内容

ビット位置	ビット名	機能
2	PE3	PE3 宛て PE 間割り込み要求 本ビットに 1 を書き込むことで、PE3 に割り込みを要求することができます。割り込み要求の通知を完了したら自動的に 0 にクリアされます。 0：PE 間割り込み要求出力を指示しない、または割り込み要求出力中でない 1：割り込み要求出力を指示する、または割り込み要求出力中
0	PE1	PE1 宛て PE 間割り込み要求 本ビットに 1 を書き込むことで、PE1 に割り込みを要求することができます。割り込み要求の通知を完了したら自動的に 0 にクリアされます。 0：PE 間割り込み要求出力を指示しない、または割り込み要求出力中でない 1：割り込み要求出力を指示する、または割り込み要求出力中

3.2.4 信頼性機能

3.2.4.1 PE ガード機能（PEG）

(1) PEG 機能概要

PEG は Slave Guard の構成要素であり、外部マスタから PE 内資源への不正なアクセスを防止します。PE 内部の Local RAM へのアクセスが対象です。リセット初期状態では、自 PE 以外のマスタからのアクセスを全てガードします。**「(3) PEG 保護設定レジスター覧」**のレジスタを設定することで、自 PE 以外のマスタからのアクセスを許可します。

1. PE ガード違反の検出
   PE ガードを設定した PE 内の資源領域に対して、PE 外部のマスタが不正なアクセスを行うと 「PE ガード違反」として検出します。
2. 不正アクセスの阻止
   PE ガード違反を検出した場合、PE 資源の内容が不正に書き換えられてしまうことを防ぐために、PE 内部への不正アクセスを阻止します。
3. 違反発生の通知
   PE ガード違反を検出した場合、ECM に通知します。また、DMAC や DTS が不正アクセスを実行した場合は、DMA 転送エラーが検出されます。

(2) PEID と SPID による保護

- PEG 保護設定
  - 自 PE の LocalRAM アドレスによって 4 領域まで設定できます。
  - 領域の範囲指定は「ベースアドレス」と「マスクビット」により行います（最小 4kB~ 最大 2MB）。
  - 各領域に対して 「リード許可」、「ライト許可」をそれぞれ設定できます。
  - 各領域に対して 「システム保護識別子（SPID）」および「プロセッサ・エレメント番号（PEID）」ごとに許可 / 禁止を選択できます。

- 「プロセッサ・エレメント（PEID）」「システム保護識別子（SPID）」によるアクセス許可（**図 3.5** を参照）

1. アクセス対象が「LocalRAM 領域」なら 2 へ。
   さもなければ「エラー応答」を返します。
2. アクセス対象が「有効な 領域 0 ～ 3」のどれかの範囲内であれば 3 へ。
   さもなければ「エラー応答」を返します。
3. 該当領域に対して以下の条件すべてを満たすか
   ー 「システム保護識別子（SPID）」が許可
   ー 「プロセッサ・エレメント（PEID）」が許可
   ー「要求されている操作（リード、ライト）」が許可
   さもなければ「エラー応答」を返します。

メモリアクセスタイプについて、以下の表に示す操作が許可されていなければエラー応答を返します。BitOp（ビット操作命令）と CAXI は Read 操作と Write 操作の両方が許可されていないと通過しません。

表 3.63 リクエストタイプ毎に必要なメモリアクセス操作

リクエストタイプ	Read	Write
READ	○	—
WRITE	—	○
BitOp	○	○
CAXI	○	○
LDL	○	—
STC	—	○

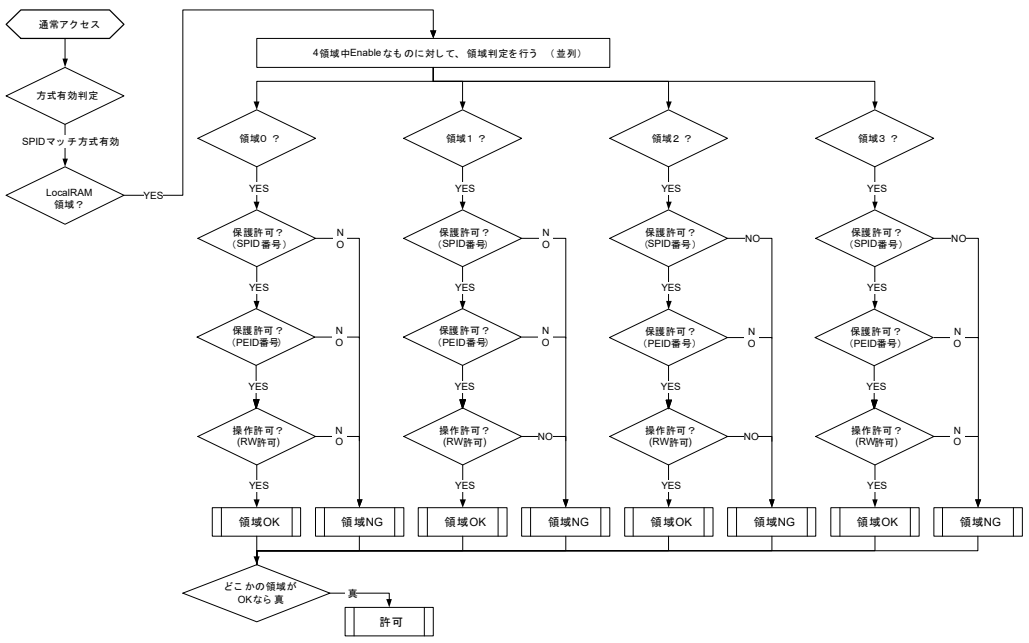


図 3.5 プロセッサエレメント (PEID) 及びシステム保護識別子（SPID）によるアクセス許可

(3) PEG 保護設定レジスター覧

外部マスタによる不正アクセスから PE 内資源を保護するには、以下のレジスタに必要な設定を行います。

- PE 内部の周辺装置領域、Local RAM 領域へのアクセスを検出対象として許可を与えます。
- レジスタ･セットへのアクセスに対しては、PEG 機能独自にアクセス制限を実施していません。必要に応じて IPG などによるアクセス保護設定を行なってください。

表 3.64 PEG レジスタのベースアドレス：FFFE $E600_H$

アドレスオフセット	サイズ (byte)	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の値
						1	8	16	32	
$+00C_H$	2	PE ガード PEID&SPID マスタ判定制御レジスタ	PEGSP	—	R/W	—	○	○	—	0000_H
$+080_H$	4	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	—	R/W	—	○	○	○	FFE0 0000_H
$+084_H$	4	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	—	R/W	—	○	○	○	注 1
$+088_H$	4	PE ガード領域 0SPID 設定レジスタ	PEGG0SP	—	R/W	—	○	○	○	0000 0000_H
$+08C_H$	4	PE ガード領域 0PEID 設定レジスタ	PEGG0PE	—	R/W	—	○	○	○	0000 0000_H
$+090_H$	4	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	—	R/W	—	○	○	○	FFE0 0000_H
$+094_H$	4	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	—	R/W	—	○	○	○	注 1
$+098_H$	4	PE ガード領域 1SPID 設定レジスタ	PEGG1SP	—	R/W	—	○	○	○	0000 0000_H
$+09C_H$	4	PE ガード領域 1PEID 設定レジスタ	PEGG1PE	—	R/W	—	○	○	○	0000 0000_H
$+0A0_H$	4	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	—	R/W	—	○	○	○	FFE0 0000_H
$+0A4_H$	4	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	—	R/W	—	○	○	○	注 1
$+0A8_H$	4	PE ガード領域 2SPID 設定レジスタ	PEGG2SP	—	R/W	—	○	○	○	0000 0000_H
$+0AC_H$	4	PE ガード領域 2PEID 設定レジスタ	PEGG2PE	—	R/W	—	○	○	○	0000 0000_H
$+0B0_H$	4	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	—	R/W	—	○	○	○	FFE0 0000_H
$+0B4_H$	4	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	—	R/W	—	○	○	○	注 1
$+0B8_H$	4	PE ガード領域 3SPID 設定レジスタ	PEGG3SP	—	R/W	—	○	○	○	0000 0000_H
$+0BC_H$	4	PE ガード領域 3PEID 設定レジスタ	PEGG3PE	—	R/W	—	○	○	○	0000 0000_H

注 1. CPU1（PE1）のリセット後の値は FEA0_0000_H です。

(4) レジスタセット

(a) PEGSP — PE ガード PEID & SPID マスタ判定制御レジスタ

外部マスタから PE 内資源へのアクセス許可設定を有効にするレジスタです。SPEN ビットの初期状態は 0 であり、外部マスタから PE 内資源へのアクセスはできません。SPEN ビットに 1 をセットすると、PEGGnMK と PEGGnBA で設定した条件で、外部マスタからのアクセスを許可します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 3.65 PEGSP レジスタの内容

ビット位置	ビット名	機能
15 ～ 1	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SPEN	PEID と SPID を持つ外部マスタによるアクセスの検出を有効にします。 0：PEID と SPID を持つ外部マスタによるアクセスの検出は無効です。 1：PEID と SPID を持つ外部マスタによるアクセスの検出は有効です。

(b) PEGGnMK — PE ガード領域 n マスク設定レジスタ

PE ガード保護領域 n の範囲を、PEGGnBA レジスタとの組み合わせで指定するレジスタです。GnMASK ビットに 1 をセットすると、PEGGnBA レジスタの対応するアドレスビットがマスクされ、PE ガード保護領域 n の範囲内に指定できます。なお、PE ガード保護領域 n の最小設定単位は 4KB です。PEGGnMK[31:21] は読み書き可能ですが、PEID&SPID アクセス判定時には下記のように扱われ、PEGGnMK[31:21] の値は無視されます。

- PEGGnMK[31:21] = $1111_1111_111_B$

PEGGnBA レジスタと組み合わせることにより、CPU1（PE1）の場合には $FEA0_0000_H$ ～ $FEBF_FFFF_H$ の領域を外部マスタから保護することができます。

例：PEGGnBA[31:12] = $FEBF6_H$, PEGGnMK[31:12] = 00008_H に設定した場合、PE ガード保護領域 n は $FEBF6000_H$ ～ $FEBF6FFF_H$ と $FEBFE000_H$ ～ $FEBFEFFF_H$ になります。

PEGGnMK レジスタに書き込みを行うとグループ n の PEGGnBA レジスタの GnEN レジスタが自動的に 0 にセットされます。これは、アクセス領域の設定中に外部マスタからの意図しないアクセスを防ぐためです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnMASK															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnMASK				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 3.66 PEGGnMK レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	GnMASK	PE ガード保護領域 n の範囲を指定するベースアドレス PEGGnBA[31:12] に対するマスク有無を設定します。 0：対象となるアドレスビットは、PE ガード領域判定時の比較対象 1：対象となるアドレスビットは、PE ガード領域判定時の比較対象外
11 ～ 0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください

(c) PEGGnBA — PE ガード領域 n ベース設定レジスタ

PE ガード保護領域 n の範囲を PEGGnMK レジスタとの組み合わせで指定し、その領域内に対するアクセス許可条件を設定するレジスタです。GnEN ビットに 1 をセットすると、本レジスタと PEGGnMK レジスタで設定したアクセス許可条件が有効になります。
PEGGnBA[31:21] は読み書き可能ですが、SPID&PEID アクセス判定時には下記のように扱われ、PEGGnBA[31:21] の値は無視されます。

- CPU1（PE1）の内部資源へのアクセス検出 : PEGGnBA[31:21] = $1111_1110_101_B$

PEGGnBA レジスタと組み合わせることにより、CPU1（PE1）の場合には $FEA0_0000_H$ ～ $FEBF_FFFF_H$ の領域を外部マスタから保護することができます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnBASE															
リセット後の値	1	1	1	1	1	1	1	0	1	0	注 1	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnBASE				—	—	—	—	—	—	—	GnLOCK	—	GnWR	GnRD	GnEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

注 1. 本製品の CPU1（PE1）では 1_B です。

表 3.67 PEGGnBA レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	GnBASE	PE ガード保護領域 n の範囲を指定するベースアドレスを設定します。
11 ～ 5	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
4	GnLOCK	保護領域 n のシステムレジスタへの書き込みを禁止します。本ビットは 1 をセットすることができますが、0 をセットすることはできません。 0 : PEGGnMK、PEGGnBA、PEGGnSP、PEGGnBA への書き込みを許可します。 1 : PEGGnMK、PEGGnBA、PEGGnSP、PEGGnBA への書き込みを許可しません。
3	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
2	GnWR	PE ガード保護領域 n に対するライト許可を設定します。 0 : ライト・アクセスをガード 1 : ライト・アクセスを許可
1	GnRD	PE ガード保護領域 n に対するリード許可を設定します。 0 : リード・アクセスをガード 1 : リード・アクセスを許可
0	GnEN	PE ガード保護領域 n に対するアクセス許可条件の設定を有効にします。 0 : アクセス許可条件の設定無効 1 : アクセス許可条件の設定有効

注 意

PEGGnBA.GnEN は、PEGGnMK のレジスタライトによってクリアされます。

(d) PEGGnSP — PE ガード領域 n SPID 設定レジスタ

PE ガード保護領域 n に対する SPID の外部マスタによるアクセス許可を設定します。

PEGGnSP[m] ビットを 1 にすることにより、SPID = m の外部マスタからのアクセスを許可します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GnSP			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 3.68 PEGGnSP レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
3 ～ 0	GnSP	PE ガード保護領域 n に対する SPID の外部マスタによるアクセス許可を設定します。 ビット位置 m について 0：SPID = m の外部マスタからのアクセスをガード 1：SPID = m の外部マスタからのアクセスを許可

(e) PEGGnPE — PE ガード領域 n PEID 設定レジスタ

PE ガード保護領域 n に対する PEID の外部マスタによるアクセス許可を設定します。

PEGGnPE[m] ビットを 1 にすることにより、PEID = m の外部マスタからのアクセスを許可します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	GnPE							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3.69 PEGGnPE レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
7 ～ 0	GnPE	PE ガード保護領域 n に対する PEID の外部マスタによるアクセス許可を設定します。ビット位置 m について 0：PEID = m の外部マスタからのアクセスをガード 1：PEID = m の外部マスタからのアクセスを許可

3.2.4.2 PE 内部周辺装置保護機能（IPG）

(1) IPG 機能概要

IPG は、IPG を備える CPU コアから周辺装置への不正なアクセスを防止する機構であり、以下の機能を実現します。CPU 内に搭載される周辺装置へのアクセスが対象です。

（1） 周辺装置保護違反の検出

周辺装置保護を設定した領域（周辺装置）に対して、CPU が不正なアクセスを行うと「周辺装置保護違反」として 検出します。

（2） 不正アクセス情報の保存

周辺装置保護違反を検出した場合、不正アクセス情報を IPG 内部のレジスタに保存します。

（3） 不正アクセスの阻止

周辺装置保護違反を検出した場合、周辺装置の内容が不正に書き換えられてしまうことを防ぐために、周辺装置への不正アクセスを阻止します。

（4） 違反発生の通知

周辺装置保護違反を検出した場合、CPU に対して処理中断を促すべくシステムエラー例外 (SYSERR 例外) の発生を要求します。

システムエラー例外 (SYSERR 例外) は、**「3.2.4.3 システムエラー通知制御機能（SEG）」**を参照して下さい。

（5） 後続アクセスの無効化

周辺装置保護違反を検出した場合、CPU からの指示があるまで（不正に限らず）全対象領域への全転送種別の後続アクセスを阻止します。

備 考

上記 (4) で直ちに「CPU に対して例外発生を要求」しても、CPU が違反発生を知らず（IPG からの要求を受け付ける前）に発行してしまった後発アクセスが周辺装置の内容を不正に書き換えてしまう場合があります（違反発生後のアクセスは結果的に不正になります）。

(2) IPG 機能

(1) アクセスの属性（アドレス／転送種別／アクセス権限）に基づいて周辺装置保護違反を検出してアクセスを無効化します。

(2) アクセス権限違反を検出したのち、エラーフラグ（後述）が、ソフトウェアの書き込みによってクリアされるまで、後続アクセスを無効化します。ただし、無効化動作は、CPU のアクセスに対してのみ作用します。CPU コア外部からのアクセスに対しては行われません。また、無効化動作は、アドレスとは無関係に行われます。

(3) ミスアラインダブルワード等のアクセスにより、同時に異なる周辺装置に対してアクセスを行うリクエストに対しては、当該アクセス対象すべてのアクセスが許可されている場合にアクセスが実行されます。

(3) 対不正ユーザ IPG 保護設定レジスター覧

ユーザモードのプログラムによる不正アクセスから周辺装置を保護するには、以下のレジスタに必要な設定を行います。

- ユーザモードによるアクセスを検出対象とします。
- 本レジスタセットはユーザモードに関連した IPG 設定やその読み出しを目的としています。

表 3.70 IPG レジスタのベースアドレス：FFFE $E000_H$

アドレスオフセット	サイズ (byte)	レジスタ名称	略称	権限 注1	R/W	操作可能ビット				リセット後の値
						1	8	16	32	
$+002_H$	2	周辺装置保護違反アクセス情報保存レジスタ	IPGECRUM	SV	R/W	—	—	○	—	不定（保持）
$+008_H$	4	周辺装置保護違反アクセスアドレス保存レジスタ	IPGADRUM	SV	R/W	—	—	—	○	不定（保持）
$+00D_H$	1	周辺装置保護イネーブルレジスタ	IPGENUM	SV	R/W	○	○	—	—	00_H
$+020_H$	1	Reserved		SV	R	○	○	—	—	00_H
$+021_H$	1	Reserved		SV	R	○	○	—	—	00_H
$+022_H$	1	周辺装置保護設定レジスタ 2	IPGPMTUM2	SV	R/W	○	○	—	—	00_H
$+023_H$	1	周辺装置保護設定レジスタ 3	IPGPMTUM3	SV	R/W	○	○	—	—	00_H
$+024_H$	1	周辺装置保護設定レジスタ 4	IPGPMTUM4	SV	R/W	○	○	—	—	00_H

注 1. 「SV」と記載されたレジスタは、SV 特権（UM = 0）でのみアクセス可能です。

(4) レジスタセット

(a) IPGECRUM — 周辺装置保護違反アクセス情報保存レジスタ

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DS				EX	WR	RD	VD
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 ×：不定（保持）

表 3.71 IPGECRUM レジスタの内容

ビット位置	ビット名	機能
15 ～ 8	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 ～ 4	DS	違反を起こしたアクセスのデータサイズが格納されます。 0100：ワード (4byte) 0010：ハーフワード (2byte) 0001：バイト 上記以外は、RFU **注 意** G3MH ではリードアクセスの場合、常にワード（0100）相当のサイズが格納されます。
3	EX	違反を起こしたアクセスが命令フェッチリードアクセスであった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
2	WR	違反を起こしたアクセスがライトアクセスあるいはビットオペレーションあるいは CAXI であった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
1	RD	違反を起こしたアクセスがリードアクセスあるいはビットオペレーションあるいは CAXI であった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
0	VD	該当する権限によるプログラムによる周辺装置保護違反を検出するとセット（1）されます。セットされている場合、新たに周辺装置保護違反を検出しても、本レジスタ IPGECRUM 、および IPGADRUM レジスタを更新せず保持します。

備 考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、検出対象のモードおよびユーザで動作するプログラムにより検出された周辺装置保護違反の転送種別が命令フェッチリードアクセスの場合には、本レジスタのすべてのビットは更新されません。

(b) IPGADRUM — 周辺装置保護違反アクセスアドレス保存レジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EADR															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 ×：不定（保持）

表 3.72 IPGADRUM レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	EADR	違反を起こしたアクセスアドレスを格納します。 **注 意** G3MH ではリードアクセスの場合、常にワードアラインされたアドレスが格納されます。

備 考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、検出対象のモードおよびユーザで動作するプログラムにより検出された周辺装置保護違反の転送種別が命令フェッチリードアクセスの場合には、本レジスタのすべてのビットは更新されません。

(c) IPGENUM — 周辺装置保護イネーブルレジスタ

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IRE	E
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 3.73 IPGENUM レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
1	IRE	周辺装置保護違反を起こしたアクセスが命令フェッチアクセスである場合、そのアクセスの情報を周辺装置保護違反アクセスアドレス保存レジスタと周辺装置保護違反アクセス情報保存レジスタに保存するか否かを設定します 0：命令フェッチアクセスのアクセス情報を保存しません 1：命令フェッチアクセスのアクセス情報を保存します **注 意** 投機的な命令フェッチ（命令を実行しない場合がある）に対する検出を望まない場合に本ビットを 0 にクリアしてください。
0	E	該当する権限によるアクセスに対して、周辺装置保護機能の有効 / 無効を設定します。 0：周辺装置保護機能は無効です 1：周辺装置保護機能は有効です

(d) IPGPMTUM2— 周辺装置保護設定レジスタ 2

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 3.74 IPGPMTUM2 レジスタの内容

ビット位置	ビット名	機能
7、6	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
5	W1	IPIR、MEV、COMPTEST 周辺装置へのライトアクセスを許可するかどうかを設定します。 0：IPIR、MEV、COMPTEST へのライトアクセスを違反とします。 1：IPIR、MEV、COMPTEST へのライトアクセスを制限しません。
4	R1	IPIR へのリードアクセスを許可するかどうかを設定します。 0：IPIR、MEV、COMPTEST へのリードアクセスを違反とします。 1：IPIR、MEV、COMPTEST へのリードアクセスを制限しません。
3、2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	W0	INTC1 へのライトアクセスを許可するかどうかを設定します。 0：INTC1 へのライトアクセスを違反とします。 1：INTC1 へのライトアクセスを制限しません。
0	R0	INTC1 へのリードアクセスを許可するかどうかを設定します。 0：INTC1 へのリードアクセスを違反とします。 1：INTC1 へのリードアクセスを制限しません。

(e) IPGPMTUM3— 周辺装置保護設定レジスタ 3

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R

表 3.75 IPGPMTUM3 レジスタの内容

ビット位置	ビット名	機能
7、6	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	W1	SysErrGen へのライトアクセスを許可するかどうかを設定します。 0：SysErrGen へのライトアクセスを違反とします。 1：SysErrGen へのライトアクセスを制限しません。
4	R1	SysErrGen へのリードアクセスを許可するかどうかを設定します。 0：SysErrGen へのリードアクセスを違反とします。 1：SysErrGen へのリードアクセスを制限しません。
3 ～ 0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(f) IPGPMTUM4 — 周辺装置保護設定レジスタ 4

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 3.76 IPGPMTUM4 レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	W0	PEG へのライトアクセスを許可するかどうかを設定します。 0：PEG へのライトアクセスを違反とします。 1：PEG へのライトアクセスを制限しません。
0	R0	PEG へのリードアクセスを許可するかどうかを設定します。 0：PEG へのリードアクセスを違反とします。 1：PEG へのリードアクセスを制限しません。

3.2.4.3 システムエラー通知制御機能（SEG）

命令フェッチまたはデータアクセスによるエラーは、システムエラー例外の要因となります。システムエラー例外は、復帰／回復が不可能な FE レベル例外です。

システムエラー例外の要因コード（FEIC）とエラー内容の対応は、**「表 3.79 G3MH コアのシステムエラー例外の要因コードとエラー内容の対応」**を参照して下さい。

データアクセスによるエラーは、SEG（SysErrGen）で通知・記録を制御します。命令フェッチアクセスによるエラーは SEG を経由しませんが、命令キャッシュの RAM 上で発生したエラーは SEG に通知されます。詳細は「**(2) レジスタセット (a) SEGCONT — エラー通知制御レジスタ**」と「**(3) SEG 機能 (c) SYSERR 例外に関する補足事項**」を参照してください。

複数のエラー発生入力はエラー要因ごとに区別され、優先すべきエラー要因から順に処理し、FE レベルの非同期例外（SYSERR）を発生させます。

SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。

エラー情報はエラー発生回数によらず、一度だけ記録されます。

エラーが同時に発生した場合はエラー要因の優先順位が最高位のものが有効です。記録されたエラー情報はその後のエラーによって上書きされることはありません。

(1) SEG 機能制御レジスター覧

表 3.77 SEG レジスタのベースアドレス：FFFE $E980_H$

アドレスオフセット	サイズ (byte)	レジスタ名称	略称	権限 注1	R/W	操作可能ビット				リセット後の値
						1	8	16	32	
$+00_H$	2	エラー通知制御レジスタ	SEGCONT	–	R/W 注1	–	–	○	–	0000_H
$+02_H$	2	エラー発生保持レジスタ	SEGFLAG	–	R/W 注1	–	–	○	–	0000_H
$+08_H$	4	エラー要因保持レジスタ（アドレス）	SEGADDR	–	R/W 注1	–	–	○	○	不定（保持）

注 1. ユーザモードからのライトアクセスは無視します。

備 考

- 上記以外の「アドレスオフセット」「操作可能ビット」でアクセスすると「エラー応答」を返します。
- ライトアクセスについては、スーパバイザモード（UM = 0）のみ有効です。その他のアクセス権限によるライトアクセスはエラー応答になります。
- リードアクセスは、アクセス制限を設けていません。
- ほかの保護機構が許可する範囲内であればいつでも読み出し可能です。

(2) レジスタセット

(a) SEGCONT — エラー通知制御レジスタ

- エラーの発生状態を要因ごとに保存するエラー発生フラグに対して、SYSERR 要求の通知許可（= 1）／不許可（= 0）を設定します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PBPE	HBPE	GRME	LRME	CFBE	LSUE	—	ICCE	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R

表 3.78 SEGCONT レジスタの内容（1/2）

ビット位置	ビット名	機能
15 ～ 10	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PBPE	P-Bus の読み出しデータで下記エラーが生じた場合。 • バスパリティエラーの発生
8	HBPE	H-Bus の読み出しデータで下記エラーが生じた場合。 • バスパリティエラーの発生
7	GRME	Global RAM へのデータアクセスで下記エラーが生じた場合。 • 訂正できない ECC エラーの発生（1bit 訂正禁止時を含む） • アドレスパリティエラーの発生（2 重化ビット訂正禁止時を含む）
6	LRME	自 Local RAM へのデータアクセスで下記エラーが生じた場合。 • 訂正できない ECC エラーの発生（1bit 訂正禁止時を含む） • アドレスパリティエラーの発生（2 重化ビット訂正禁止時を含む）
5	CFBE	Code Flash へのアクセスで下記エラーが生じた場合。 • 訂正できない ECC エラーの発生（1bit 訂正禁止時を含む） • アドレスパリティエラーの発生（2 重化ビット訂正禁止時を含む）
4	LSUE	データアクセスに伴う下記がガードエラー、エラー応答が生じる場合 • P-Bus エラー応答通知（P-Bus ライトエラーを除く） ・未実装領域（FFFF 7900_H ～ FFFF $7EFF_H$）アクセス時 ・PE 内部周辺装置保護 (IPG) エラー時 ・他 PE の Local RAM へのアクセスガード (PEG) エラー時 ・P-Bus ガードエラー（INTC2，PDMA，Global RAM ガードの、各レジスタに対する P-Bus ガード） • H-Bus エラー応答通知 ・拡張領域 (10000000_H ～ $EFFFFFFF_H$) アクセス時のエラー • Global RAM エラー応答 ・保護違反アクセス発生 ・未実装領域アクセス発生 • Local RAM エラー応答 ・未実装領域アクセス発生 • Code Flash エラー応答 ・ストアアクセス時 • Data Flash エラー応答 ・訂正できない ECC エラーの発生注 1 • Interconnect 予約領域アクセス検出通知 ・未実装領域アクセス発生

表 3.78 SEGCONT レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	ICCE	命令キャッシュエラー通知イネーブル 命令キャッシュのシステムレジスタ ICCTRL.ICHEMK = 0（リセット後の値 = 1）に設定した場合に、命令キャッシュで発生したエラーを扱います。命令キャッシュのエラーについては「**3.2.1.2 レジスタセット (h) ICERR — 命令キャッシュエラー**」を参照してください。
1、0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

注 1. ECC のエラー通知設定が有効な状態で、訂正できない ECC エラーが発生した場合です。

表 3.79 G3MH コアのシステムエラー例外の要因コードとエラー内容の対応

要因コード	エラー内容
10	予約
11	命令フェッチに伴うガードエラー、エラー応答が生じた場合
12	SEGCONT 2bit 目（ICCE）により通知許可されるエラー
13	命令フェッチに伴う下記エラーが生じた場合 • バスパリティエラーの発生 • 訂正できない ECC エラーの発生（1bit 訂正禁止時を含む） • アドレスパリティエラーの発生（2 重化ビット訂正禁止時を含む）
14	SEGCONT 4bit 目（LSUE）により通知許可されるエラー
15	SEGCONT 5bit 目（CFBE）により通知許可されるエラー
16	SEGCONT 6bit 目（LRME）により通知許可されるエラー
17	SEGCONT 7bit 目（GRME）により通知許可されるエラー
18	SEGCONT 8bit 目（HBPE）により通知許可されるエラー
19	SEGCONT 9bit 目（PBPE）により通知許可されるエラー
1A	予約
1B	予約
1C	予約
1D	予約
1E	予約
1F	予約

(b) SEGFLAG — エラー発生保持レジスタ

- エラーの発生状態を要因ごとに保存するエラー発生フラグです。エラー発生入力でセット（= 1）されます。自動クリア（= 0）はありません。
- レジスタへの書き込みであれば、セット／クリアの両方が可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PBPF	HBPF	GRMF	LRMF	CFBF	LSUF	—	ICCF	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R

表 3.80 SEGFLAG レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PBPF	SEGCONT レジスタのビット 9 に対応したフラグ。
8	HBPF	SEGCONT レジスタのビット 8 に対応したフラグ。
7	GRMF	SEGCONT レジスタのビット 7 に対応したフラグ。
6	LRMF	SEGCONT レジスタのビット 6 に対応したフラグ。
5	CFBF	SEGCONT レジスタのビット 5 に対応したフラグ。
4	LSUF	SEGCONT レジスタのビット 4 に対応したフラグ。
3	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	ICCF	SEGCONT レジスタのビット 2 に対応したフラグ。
1、0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(c) SEGADDR — エラー要因保持レジスタ（アドレス）

SYSERR 要求の通知を行ったエラー要因の情報（1 履歴）が記録されます。SEGFLAG レジスタのうち 4 ～ 9 ビットのエラー要因（PBPF、HBPF、GRMF、LRMF、CFBF、LSUF）がエラーアドレスの記録対象です。通知許可のエラー発生フラグがセットされた状態では変更されません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Address[31:16]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
R/W	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Address[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
R/W	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

備考 ×：不定（保持）

注 1. 通知許可のエラー発生フラグがセットされた状態では変更されません。

表 3.81 SEGADDR アドレスの内容

ビット位置	ビット名	機能
31 ～ 0	Address[31:0]	SYSERR 要因が発生したアドレスを保持します。 （命令キャッシュエラー（ICCE）が発生した場合、0 が格納されます。ICERR レジスタを参照してください）

(3) SEG 機能

(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知

- 各エラー発生フラグはセット優先
  - 同時のクリア操作は無視します。
- エラー要因の優先順位
  - 通知許可の SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。エラー要因のうち優先順位の高いものから通知します。
  - エラー要因のビット位置を「SYSERR 要因コード」として通知します。
- SYSERR 要求の通知開始条件
  - 通知不許可のフラグをセットしても通知しません。
  - 通知許可のフラグをセットした直後に通知します。
  - クリア操作後はフラグ状態次第で通知します（再調停）。
- SYSERR 要求応答で通知を終了
  - 通知を終了しても、フラグを自動クリアしません。
  - 新たなセットもしくは、クリア操作による再調停があるまで通知しません。
  - 要求応答までにエラー要因よりも優先するエラー発生フラグがセットされると通知内容がより上位の SYSERR 要因コードに挿し替わることがあります。

(b) SEG 機能：エラー要因の情報記録

- 通知許可のエラー発生入力時にそのエラーアドレスを上記レジスタに保持します。
  - **「(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知」**の「エラー発生フラグのセット／クリア操作」では情報の保持は行われません。
  - 同時に複数のエラー発生入力があるとき、優先するエラー要因以外の情報は保持されません。
- **「(a) SEG 機能：エラー発生フラグによる SYSERR 要求の通知」**の「通知許可のエラー発生フラグがセットされている状態」では上記レジスタに対する上書きを抑制します。
  - エラー発生入力が連続した場合には、後発のエラー要因の情報は保持されません。
  - レジスタ上書き抑制を解除するには、SEGCONT レジスタ／ SEGFLAG レジスタのいずれか（または両方）をクリアしてください。

(c) SYSERR 例外に関する補足事項

- SYSERR 例外が発生しても PSW.EBV ビットの値は保持され、例外ハンドラのベースアドレスは切り替わりません。
- 命令キャッシュでのエラー検出
  命令キャッシュの RAM 上でエラーが発生しても、命令フェッチ要因の再実行型 SYSERR 例外は発生しません。エラーが発生した対象エントリを自動的にインバリデートし Code Flash から再フェッチすることで、CPU の命令実行を継続します。システムレジスタの ICCTRL.ICHEMK ビットを 0 に設定すると、命令キャッシュで発生したエラーを SEG に通知することができます。命令キャッシュのエラーについては「**3.2.1.2 レジスタセット (h)　ICERR — 命令キャッシュエラー**」を参照してください。

3.2.4.4 Checker Core

CPU1 はセーフティ対応として Checker Core を備えており、高信頼性のシステムを実現します。CPU1 と Checker Core からの出力を常時比較器で監視することで、CPU1 の異常動作を直ちに検出できます。Checker Core による 2 重化の範囲は、CPU コアと FPU、MPU、PEG、IPG、SEG、INTC1 です。また、COMPTEST モジュールで擬似エラーを発生させ、比較器自体の故障診断テストをすることができます。COMPTEST モジュールの詳細は、**「第 30 章 セーフティ」**を参照してください。

注 意

PE 内のリセット値が不定のレジスタを初期化せずに読み出し、PE 外のメモリやレジスタに書き込むと、ロックステップコンペアエラーが発生する場合があります。プログラム・レジスタやシステム・レジスタの一部はリセット値が不定なので、RAM へのスタック退避時などはご注意ください。

3.3 PCU

3.3.1 コア機能

3.3.1.1 特長

RH850G3K コアの特長を**表 3.82** に示します。

表 3.82 RH850G3K コアの特長

項目	特長
CPU	• 組み込み制御用高性能 32 ビットアーキテクチャ • 32 ビット内部データバス • 32 本の 32 ビット汎用レジスタ • RISC タイプ命令セット ・ロング／ショート形式を持つロード／ストア命令 ・3 オペランド命令 ・C 言語に基づく命令セット • CPU 動作モード ・ユーザモード、スーパバイザモード • アドレス空間：データ／命令ともに 128M バイトリニア • 命令：SNOOZE 命令による一時停止期間は高速周辺クロック（CLK_HSB）で 32 クロック
コプロセッサ	• コプロセッサ非搭載
例外 / 割り込み	• チャネルごとに設定可能な 8 レベルの割り込み優先度 • 性能要求／メモリ消費量によって選択可能なベクタ選択方式 ・直接分岐方式の例外ベクタ ・アドレステーブル参照の間接分岐方式の例外ベクタ • 専用命令（PUSHSP, POPSP）による割り込み時のコンテキスト高速退避／復帰処理の支援
メモリ管理	• メモリ保護機能搭載（MPU）：8 領域設定可能
キャッシュ	• キャッシュ非搭載

注 意

PCU 未使用時は、HALT 命令等を使用のうえ、PCU を停止してください。

3.3.1.2 レジスタセット

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ（r0 ～ r31）とプログラムカウンタ（PC）があります。汎用レジスタの r0 は常に 0 を保持していますが、r1 ～ r31 のリセット後の値は不定です。

表 3.83 プログラムレジスター覧

プログラムレジスタ	名称	機能	説明
汎用レジスタ	r0	ゼロレジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキングレジスタとして使用
	r2	アドレス／データ変数用レジスタ（使用するリアルタイム OS がこのレジスタを使用していない場合）	
	r3	スタックポインタ（SP）	関数コール時のスタックフレーム生成時に使用
	r4	グローバルポインタ（GP）	データ領域のグローバル変数をアクセスするときに使用
	r5	テキストポインタ（TP）	テキスト領域（プログラムコードを配置する領域）の先頭を示すレジスタとして使用
	r6 ～ r29	アドレス／データ変数用レジスタ	
	r30	エレメントポインタ（EP）	メモリをアクセスするときのアドレス生成用ベースポインタとして使用
	r31	リンクポインタ（LP）	コンパイラが関数コールをするときに使用
プログラムカウンタ	PC	プログラム実行中の命令アドレスを保持	

備 考

アセンブラや C コンパイラで使用される r1、r3 ～ r5、r31 の詳細な説明は、それぞれのソフトウェア開発環境のドキュメントを参照してください。

(a) 汎用レジスタ

汎用レジスタとして、r0-r31 の 32 本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。汎用レジスタのうち、r0-r5、r30、r31 は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30

   命令により暗黙的に使用されます。

   r0 は常に 0 を保持しているレジスタであり、0 を使用する演算やベースアドレスが 0 のアドレシングで使用されます。

   r3 は PREPARE 命令、DISPOSE 命令、PUSHSP 命令、POPSP 命令により、暗黙的に使用されます。

   r30 は SLD 命令と SST 命令により、メモリをアクセスするときのベースポインタとして使用されます。

2. r1、r4、r5、r31

   アセンブラと C コンパイラにより暗黙的に使用されます。

   これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

3. r2

   リアルタイム OS が使用する場合があります。使用するリアルタイム OS が r2 を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b) PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。

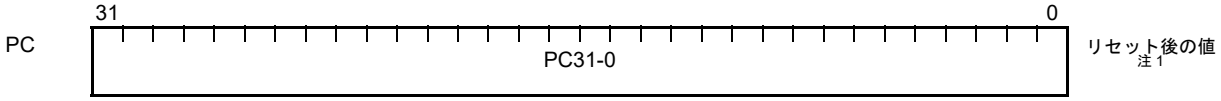


表 3.84 PC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	PC31-1	実行中の命令アドレスです。	R/W	注 1
0	PC0	常に 0 を示します。奇数番地への分岐はできません。	R/W	0

注 1. 本製品では起動領域によりリセット後の値が異なります。詳細は「第 4 章 アドレス空間」を参照してください。

注 意

命令アドレッシング範囲は 128 M バイトです。ビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(2) 基本システムレジスタ

基本システムレジスタは、CPU の状態制御、例外情報保持などを行います。

システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.85 基本システムレジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR0、0	EIPC 注 1	EI レベル例外受け付け時の状態退避レジスタ	SV
SR1、0	EIPSW	EI レベル例外受け付け時の状態退避レジスタ	SV
SR2、0	FEPC 注 1	FE レベル例外受け付け時の状態退避レジスタ	SV
SR3、0	FEPSW	FE レベル例外受け付け時の状態退避レジスタ	SV
SR5、0	PSW	プログラムステータスワード	注 2
SR13、0	EIIC	EI レベル例外要因	SV
SR14、0	FEIC	FE レベル例外要因	SV
SR16、0	CTPC 注 1	CALLT 実行時の状態退避レジスタ	UM
SR17、0	CTPSW	CALLT 実行時の状態退避レジスタ	UM
SR20、0	CTBP 注 1	CALLT ベースポインタ	UM
SR28、0	EIWR	EI レベル例外用作業レジスタ	SV
SR29、0	FEWR	FE レベル例外用作業レジスタ	SV
SR0、1	MCFG0	マシンコンフィグレーション	SV
SR2、1	RBASE	リセットベクタベースアドレス	SV
SR3、1	EBASE 注 1	例外ハンドラベクタアドレス	SV
SR4、1	INTBP 注 1	割り込みハンドラアドレステーブルのベースアドレス	SV
SR5、1	MCTL	CPU の制御	SV
SR6、1	PID	プロセッサ識別子	SV
SR11、1	SCCFG	SYSCALL の動作設定	SV
SR12、1	SCBP 注 1	SYSCALL ベースポインタ	SV
SR0、2	HTCFG0	プロセッサ番号	SV
SR6、2	MEA 注 1	メモリエラーアドレス	SV
SR7、2	ASID	アドレス空間識別子	SV
SR8、2	MEI	メモリエラー情報	SV

注 1. 命令アドレッシング範囲は 128 M バイトです。ビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

注 2. ビットによってアクセス権限が異なります。詳細は、**「表 3.90 PSW レジスタビットのアクセス権限」**の PSW レジスタの説明を参照してください。

(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*4.1.3 例外の実行形態*」を参照してください）。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

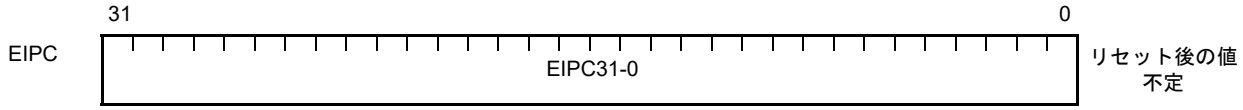


表 3.86 EIPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	EIPC31-1	EI レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	EIPC0	EI レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

注 意

命令アドレッシング範囲は 128 M バイトです。EIPC のビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(b) EIPSW — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11 ～ 9 はデバッグ機能にかかわるため、通常は変更できません。

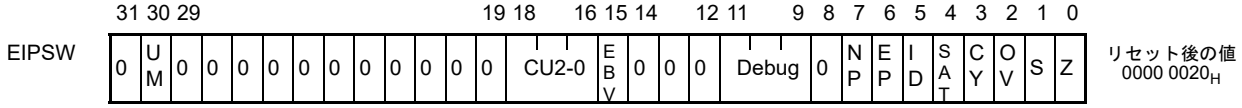


表 3.87 EIPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください）	R	0
30	UM	レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29 ～ 19	—	（将来のための予約です。必ず 0 を設定してください）	R	0
18 ～ 16	CU2-0	EI レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。 （将来のための予約です。必ず 0 を設定してください）	R/W	0
15	EBV	EI レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14 ～ 12	—	（将来のための予約です。必ず 0 を設定してください）	R	0
11 ～ 9	Debug	EI レベル例外受け付け時の PSW.Debug フィールドを退避します	R/W	0
8	—	（将来のための予約です。必ず 0 を設定してください）	R	0
7	NP	EI レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	EI レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	EI レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	EI レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	EI レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	EI レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	EI レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	EI レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(c) FEPC — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*4.1.3 例外の実行形態*」を参照してください）。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

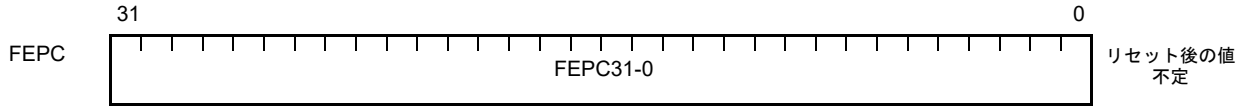


表 3.88 FEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	FEPC31-1	FE レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	FEPC0	FE レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

注 意

命令アドレッシング範囲は 128 M バイトです。FEPC のビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(d) FEPSW — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

注 意

ビット 11 ～ 9 はデバッグ機能にかかわるため、通常は変更できません。

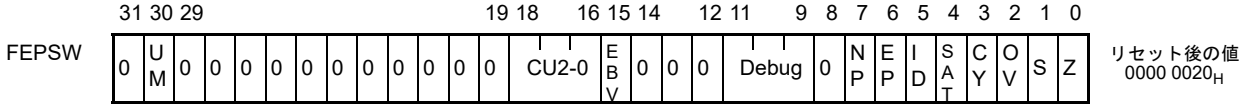


表 3.89 FEPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください）	R	0
30	UM	FE レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29 ～ 19	—	（将来のための予約です。必ず 0 を設定してください）	R	0
18 ～ 16	CU2-0	FE レベル例外受け付け時の PSW.CU2-0 フィールドを退避します。 （将来のための予約です。必ず 0 を設定してください）	R/W	0
15	EBV	FE レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14 ～ 12	—	（将来のための予約です。必ず 0 を設定してください）	R	0
11 ～ 9	Debug	FE レベル例外受け付け時の PSW.Debug フィールドを退避します	R/W	0
8	—	（将来のための予約です。必ず 0 を設定してください）	R	0
7	NP	FE レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	FE レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	FE レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	FE レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	FE レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	FE レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	FE レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	FE レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(e) PSW — プログラムステータスワード

PSW（プログラムステータスワード）は、プログラムの状態（命令実行の結果）を示すフラグや CPU の動作状態を示すビットの集合です（フラグとは条件命令（Bcond や CMOV など）によって参照される PSW 上のビットを示します）。

LDSR 命令を使用して、このレジスタの各ビットの内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。

PSW レジスタは、ビットごとにアクセス権限が違います。すべてのビットは読み出しは常に行えますが、書き込みは特定の条件でのみ書き込み可能なものが存在します。各ビットのアクセス権限は、**「表 3.90 PSW レジスタビットのアクセス権限」**を参照してください。

表 3.90 PSW レジスタビットのアクセス権限

ビット		読み出し時アクセス権限	書き込み時アクセス権限
30	UM	UM	SV 注 1
18 ～ 16	CU2-0	UM	SV 注 1
15	EBV	UM	SV 注 1
11 ～ 9	Debug	UM	特殊注 1
7	NP	UM	SV 注 1
6	EP	UM	SV 注 1
5	ID	UM	SV 注 1
4	SAT	UM	UM
3	CY	UM	UM
2	OV	UM	UM
1	S	UM	UM
0	Z	UM	UM

注 1. PSW レジスタ全体はアクセス権限が UM であるため、PSW.UM = 1 のとき LDSR で書き込みを行っても PIE 例外は起きません。書き込みが無視されます。

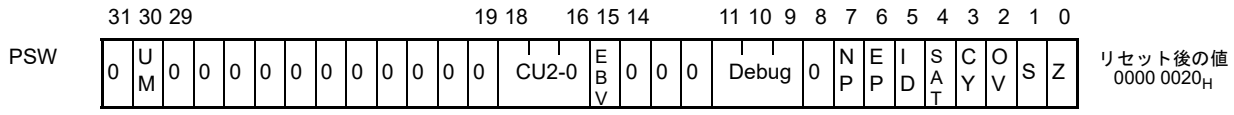


表 3.91 PSW レジスタの内容 (1/2)

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください）	R	0
30	UM	CPU がユーザモード（UM モード）にあることを示します。 0：スーパバイザモード 1：ユーザモード	R/W	0
29 ～ 19	—	（将来のための予約です。必ず 0 を設定してください）	R	0
18 ～ 16	CU2-CU0	（将来のための予約です。必ず 0 に設定してください。）	R	000
15	EBV	リセットベクタ、例外ベクタの動作を示します。詳細は、本節の RBASE レジスタ、EBASE レジスタを参照してください。	R/W	0
14 ～ 12	—	（将来のための予約です。必ず 0 を設定してください）	R	0
11 ～ 9	Debug	開発ツール向けのデバッグ機能で使用します。通常は、0 を設定してください。	—	0
8	—	（将来のための予約です。必ず 0 を設定してください）	R	0

表 3.91 PSW レジスタの内容 (2/2)

ビット位置	ビット名	機能	R/W	リセット後の値
7	NP	FE レベル例外の受け付けを禁止します。FE レベル例外が受け付けられるとセット（1）され、EI レベル例外、FE レベル例外の受け付けを禁止します。NP ビットによって、受け付けが禁止される例外は、「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*表 4.1 例外要因一覧*」を参照してください。 0：FE レベル例外の受け付けを許可する 1：FE レベル例外の受け付けを禁止する	R/W	0
6	EP	割り込みコントローラで制御される割り込み以外の例外処理中であることを示します。該当する例外の発生でセット（1）されます。なお、このビットはセット（1）されても例外要求の受け付けには影響しません。 0：割り込み以外の例外処理中ではない 1：割り込み以外の例外処理中である	R/W	0
5	ID	EI レベル例外の受付けを禁止します。EI レベル例外、FE レベル例外が受け付けられるとセット（1）され、EI レベル例外の受付けを禁止します。ID ビットによって、受付けが禁止される例外は、「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*表 4.1 例外要因一覧*」を参照してください。また、通常のプログラムや、割り込み処理中にクリティカル・セクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット（1）し、EI 命令の実行によってクリア（0）します。EI 命令、DI 命令による ID ビットの変更は、次の命令から有効となります。 0：EI レベル例外の受付けを許可する 1：EI レベル例外の受付けを禁止する	R/W	1
4	SAT 注 1	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット（1）され、以降の命令の演算結果が飽和しなくてもクリア（0）されません。クリア（0）する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット（1）もクリア（0）も行いません。 0：飽和していない 1：飽和している	R/W	0
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0：キャリー、およびボローが発生していない 1：キャリー、またはボローが発生した	R/W	0
2	OV 注 1	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローが発生していない 1：オーバフローが発生した	R/W	0
1	S 注 1	演算の結果が負かどうかを示します。 0：演算の結果は、正または 0 であった 1：演算の結果は負であった	R/W	0
0	Z	演算の結果が 0 かどうかを示します。 0：演算の結果は 0 でなかった 1：演算の結果は 0 であった	R/W	0

注 1. 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット（1）された場合だけ、SAT フラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	$7FFF\ FFFF_H$
負の最大値を越えた	1	1	1	$8000\ 0000_H$
正（最大値を越えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(f) EIIC — EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。

EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

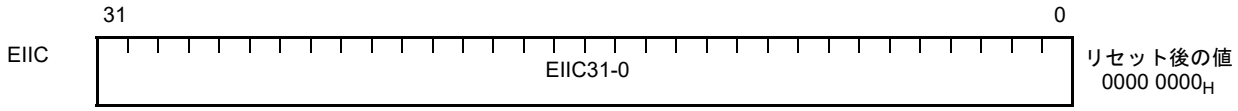


表 3.92 EIIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	EIIC31-0	EI レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.14 割り込み例外ハンドラと優先順位」および「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*表 4.1 例外要因一覧*」を参照してください。 EIIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(g) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。

FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

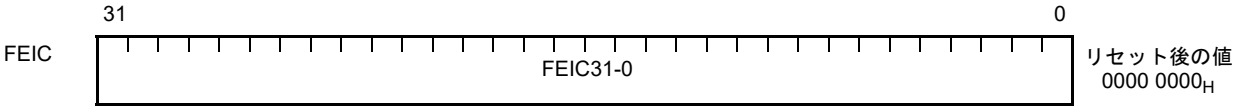


表 3.93 FEIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	FEIC31-0	FE レベル例外受け付け時に、例外要因コードが格納されます。格納される例外要因コードは「表 6.14 割り込み例外ハンドラと優先順位」および「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*表 4.1 例外要因一覧*」を参照してください。 FEIC31-16 は、例外ごとに定義された詳細な例外要因コードが格納されます。例外にかかわる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(h) CTPC — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。

CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

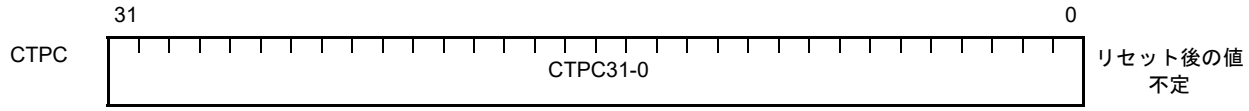


表 3.94 CTPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	CTPC31-1	CALLT 命令の次の命令の PC を示します。	R/W	不定
0	CTPC0	CALLT 命令の次の命令の PC を示します。 常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

注 意

命令アドレッシング範囲は 128 M バイトです。CTPC のビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(i) CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

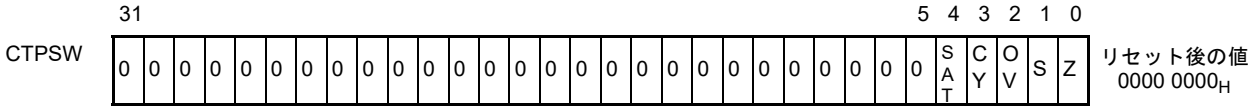


表 3.95 CTPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 5	—	（将来のための予約です。必ず 0 を設定してください）	R	0
4	SAT	CALLT 命令実行時の PSW.SAT ビットを退避します	R/W	0
3	CY	CALLT 命令実行時の PSW.CY ビットを退避します。	R/W	0
2	OV	CALLT 命令実行時の PSW.OV ビットを退避します。	R/W	0
1	S	CALLT 命令実行時の PSW.S ビットを退避します。	R/W	0
0	Z	CALLT 命令実行時の PSW.Z ビットを退避します。	R/W	0

(j) CTBP — CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

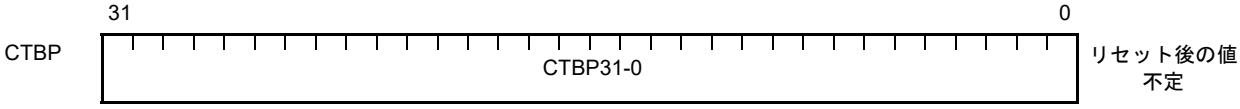


表 3.96 CTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	CTBP31-1	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
0	CTBP0	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

注 意

命令アドレッシング範囲は 128 M バイトです。CTBP のビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(k) ASID — アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

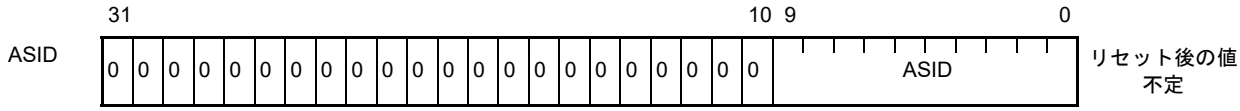


表 3.97 ASID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 10	—	（将来のための予約です。必ず 0 を設定してください）	R	0
9 ～ 0	ASID	アドレス空間識別子です。	R/W	不定

(l) EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

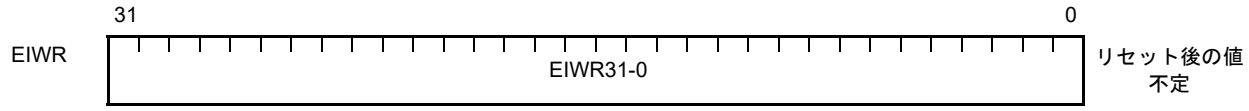


表 3.98 EIWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	EIWR31-0	EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(m) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

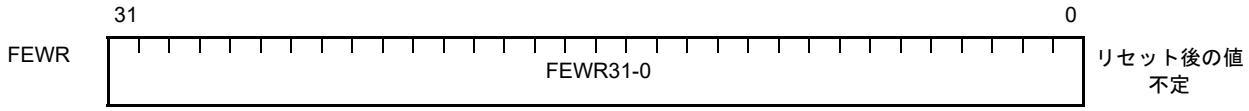


表 3.99 FEWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	FEWR31-0	FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの一時退避などに利用してください。	R/W	不定

(n) HTCFG0 — スレッドコンフィグレーション

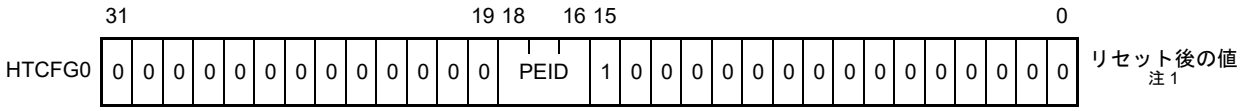


表 3.100 HTCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 19	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
18 ～ 16	PEID	プロセッサエレメント番号を示します。	R	注 2
15	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
14 ～ 0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

注 1. 本製品の PCU（PE3）では 00038000_H です
注 2. 本製品の PCU（PE3）では 011_B です。

(o) MEA — メモリエラーアドレス

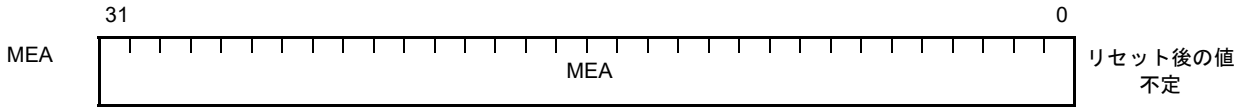


表 3.101 MEA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	MEA	MAE（ミスアライン）／MPU 違反時のアドレスを保存します。	R/W	不定

(p) MEI — メモリエラー情報

ミスアライン例外（MAE）、メモリ保護例外（MDP）発生時に、エミュレーションを行う場合のヒント情報として、例外を引き起こした命令の情報を格納します。

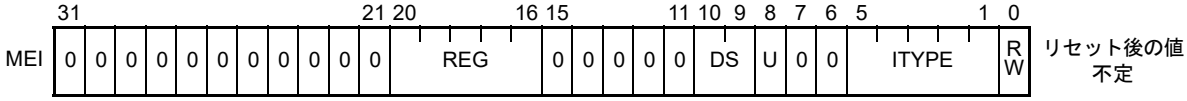


表 3.102 MEI レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 21	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
20 ～ 16	REG4-0	例外を引き起こした命令のソースレジスタ番号、またはディスティネーションレジスタ番号を示します。 詳細は、**「表 3.103 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
15 ～ 11	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
10、9	DS	例外を引き起こした命令のデータタイプを示します[注1] 0：バイト（8 ビット） 1：ハーフワード（16 ビット） 2：ワード（32 ビット） 3：ダブルワード（64 ビット） 詳細は、**「表 3.103 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
8	U	例外を引き起こした命令の符号拡張方式を示します。 0：Signed 1：Unsigned 詳細は、**「表 3.103 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
7、6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5 ～ 1	ITYPE4-0	例外を引き起こした命令を示します。 詳細は、**「表 3.103 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
0	RW	例外を引き起こした命令のオペレーションが、リード（Loadmemory）だったのか、ライト（Store-memory）だったのかを示します。 0：リード（Load-memory） 1：ライト（Store-memory） 詳細は**「表 3.103 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定

注 1. ハードウェアによってアクセスが分割されるような場合においても、命令の示すデータタイプが格納されます。

表 3.103 例外を引き起こした命令と MEI レジスタの値 (1/2)

命令	REG	DS	U	RW	ITYPE
SLD.B	dst	0（Byte）	0（Signed）	0（Read）	00000_B
SLD.BU	dst	0（Byte）	1（Unsigned）	0（Read）	00000_B
SLD.H	dst	1（Half-word）	0（Signed）	0（Read）	00000_B
SLD.HU	dst	1（Half-word）	1（Unsigned）	0（Read）	00000_B
SLD.W	dst	2（Word）	0（Signed）	0（Read）	00000_B
SST.B	src	0（Byte）	0（Signed）	1（Write）	00000_B
SST.H	src	1（Half-word）	0（Signed）	1（Write）	00000_B
SST.W	src	2（Word）	0（Signed）	1（Write）	00000_B

表 3.103 例外を引き起こした命令と MEI レジスタの値 (2/2)

命令	REG	DS	U	RW	ITYPE
LD.B（disp16）	dst	0（Byte）	0（Signed）	0（Read）	00001_B
LD.BU（disp16）	dst	0（Byte）	1（Unsigned）	0（Read）	00001_B
LD.H（disp16）	dst	1（Half-word）	0（Signed）	0（Read）	00001_B
LD.HU（disp16）	dst	1（Half-word）	1（Unsigned）	0（Read）	00001_B
LD.W（disp16）	dst	2（Word）	0（Signed）	0（Read）	00001_B
ST.B（disp16）	src	0（Byte）	0（Signed）	1（Write）	00001_B
ST.H（disp16）	src	1（Half-word）	0（Signed）	1（Write）	00001_B
ST.W（disp16）	src	2（Word）	0（Signed）	1（Write）	00001_B
LD.B（disp23）	dst	0（Byte）	0（Signed）	0（Read）	00010_B
LD.BU（disp23）	dst	0（Byte）	1（Unsigned）	0（Read）	00010_B
LD.H（disp23）	dst	1（Half-word）	0（Signed）	0（Read）	00010_B
LD.HU（disp23）	dst	1（Half-word）	1（Unsigned）	0（Read）	00010_B
LD.W（disp23）	dst	2（Word）	0（Signed）	0（Read）	00010_B
ST.B（disp23）	src	0（Byte）	0（Signed）	1（Write）	00010_B
ST.H（disp23）	src	1（Half-word）	0（Signed）	1（Write）	00010_B
ST.W（disp23）	src	2（Word）	0（Signed）	1（Write）	00010_B
LD.DW（disp23）	dst	3（Double-word）	0（Signed）	0（Read）	00010_B
ST.DW（disp23）	src	3（Double-word）	0（Signed）	1（Write）	00010_B
LDL.W	dst	2（Word）	0（Signed）	0（Read）	00111_B
STC.W	src	2（Word）	0（Signed）	1（Write）	00111_B
CAXI	dst	2（Word）	1（Unsigned）	0（Read）注 1	01000_B
SET1	—	0（Byte）	1（Unsigned）	0（Read）注 1	01001_B
CLR1	—	0（Byte）	1（Unsigned）	0（Read）注 1	01001_B
NOT1	—	0（Byte）	1（Unsigned）	0（Read）注 1	01001_B
TST1	—	0（Byte）	1（Unsigned）	0（Read）	01001_B
PREPARE	—	2（Word）	1（Unsigned）	1（Write）	01100_B
DISPOSE	—	2（Word）	1（Unsigned）	0（Read）	01100_B
PUSHSP	—	2（Word）	1（Unsigned）	1（Write）	01101_B
POPSP	—	2（Word）	1（Unsigned）	0（Read）	01101_B
SWITCH	—	1（Half-word）	0（Signed）	0（Read）	10000_B
CALLT	—	1（Half-word）	1（Unsigned）	0（Read）	10001_B
SYSCALL	—	2（Word）	1（Unsigned）	0（Read）	10010_B
割り込み（テーブル参照）注 2	—	2（Word）	1（Unsigned）	0（Read）	10101_B

注 1. リード時点で例外が発生します。
注 2. テーブル参照方式の割り込みベクタ読み込み時

備 考

dst：ディスティネーションレジスタ番号、src：ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア（0）されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

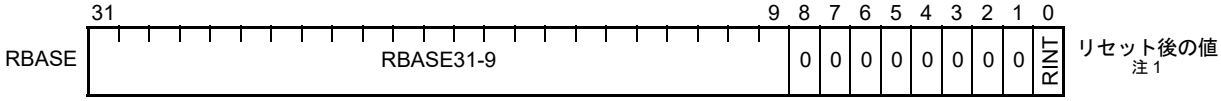


表 3.104 RBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	RBASE31-9	リセット時のリセットベクタを示します。このアドレスは PSW.EBV = 0 のとき、例外ベクタとしても使用されます。 RBASE8 ～ 0 は、暗黙的に 0 が利用されます。	R	注 1
8 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスの縮小を行います。このビットは PSW.EBV = 0 のときに有効です。	R	0

注 1. リセットベクタは起動領域により異なります。詳細は「第 4 章 アドレス空間」を参照してください。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット（1）されている場合に有効です。

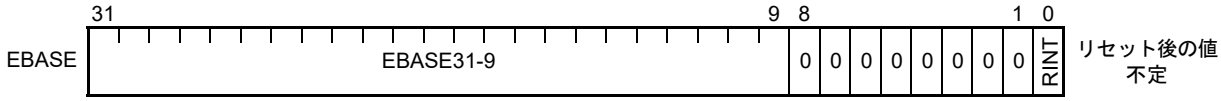


表 3.105 EBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	EBASE31-9	例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。 EBASE8 ～ 0 は、暗黙的に 0 が利用されます。	R/W	不定
8 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスが縮小を行います。	R/W	不定

注 意

命令アドレッシング範囲は 128 M バイトです。EBASE のビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(s) INTBP — 例外ハンドラアドレステーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、アドレステーブル参照方式を選択したときの、アドレステーブルのベースアドレスを示すレジスタです。

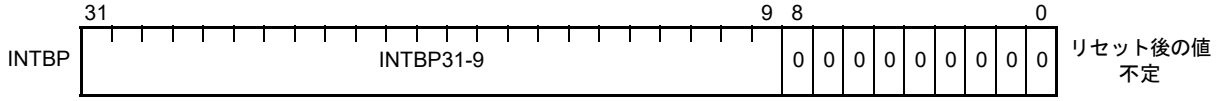


表 3.106 INTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 9	INTBP31-9	拡張仕様の割り込みのベースポインタアドレスです。 拡張仕様に指定された割り込み（EIINT0 ～ 511）受け付け時の例外ハンドラ決定時のテーブルアドレスの先頭を示します。 INTBP8 ～ 0 は、暗黙的に 0 が利用されます。	R/W	不定
8 ～ 0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

注 意

命令アドレッシング範囲は 128 M バイトです。INTBP のビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(t) PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

注 意

PID レジスタは、搭載された CPU コア、および CPU コアのコンフィグレーションを識別するための情報です。ソフトウェアの挙動を、PID レジスタの情報によって、動的に変化させるような利用方法を想定していません。

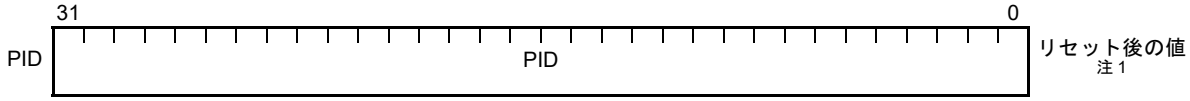


表 3.107 PID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 24	PID	アーキテクチャ識別子 プロセッサの属するアーキテクチャを示す識別子です。	R	$F5_H$
23 ～ 8		機能識別子 プロセッサの持つ機能を示す識別子です。 ビットごとに定義された機能の搭載 / 非搭載を示します（1：搭載、0：非搭載）。 ビット 23 ～ 9 予約 ビット 8 メモリ保護機能	R	0001_H
7 ～ 0		バージョン識別子 プロセッサのバージョンを示す識別子です。	R	36_H

注 1. 本製品では F500 0136_H です。

(u) SCCFG — SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

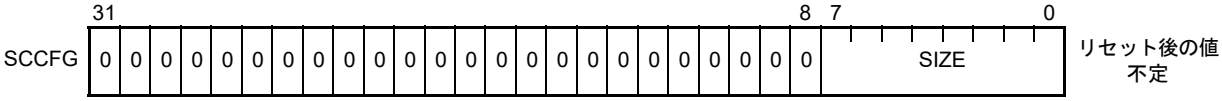


表 3.108 SCCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7 ～ 0	SIZE	SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。SYSCALL が参照する最大エントリ数は、SIZE が 0 の場合は 1 エントリ、255 の場合は 256 エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。 最大エントリ数を越えるベクタが SYSCALL 命令で指定された場合には、先頭のエントリが選択されます。先頭のエントリには、エラー処理ルーチンを配置してください。	R/W	不定

(v) SCBP — SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

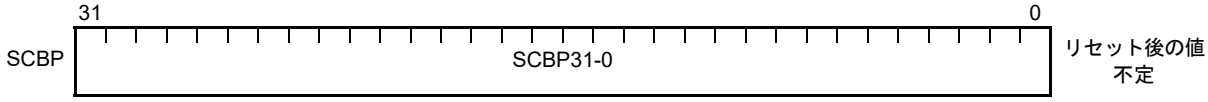


表 3.109 SCBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	SCBP31-2	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
1、0	SCBP1-0	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

注 意

命令アドレッシング範囲は 128 M バイトです。SCBP のビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(w) MCFG0 — マシンコンフィグレーション

CPU のコンフィギュレーションを表すレジスタです。

	31							24 23							16 15											4	3	2	1	0	
MCFG0	0	0	0	0	0	0	0	0	SPID							0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	リセット後の値 注1

表 3.110 MCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 24	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
23 ～ 16	SPID	ビット 23 ～ 18：本製品では対応していません。 （将来のための予約です。必ず 0 を設定してください。） ビット 17、16：システムプロテクション番号を示します。	R/W	注 2
15 ～ 3	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
2	—	（将来のための予約です。必ず 1 を設定してください）	R	1
1, 0	—	（将来のための予約です。必ず 0 を設定してください）	R	0

注 1. 本製品の PCU（PE3）では 00030004_H です。
注 2. 本製品の PCU（PE3）では 03_H です。

(x) MCTL — マシンの制御

CPU の制御を行うレジスタです。

	31	30																												2	1	0	
MCTL	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MA	UIC	リセット後の値 $8000\ 0000_H$

表 3.111 MCTL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 1 を設定してください）	R	1
30 ～ 2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	MA	ミスアラインアクセスを制御するビットです。 0：ミスアラインアクセス時、例外が発生します。注 1 1：ミスアライン例外が発生せず、アクセスを行います。注 1	R/W	0
0	UIC	ユーザモードでの割り込み許可禁止操作を制御するビットです。このビットをセット（1）するとユーザモードでの EI/DI 命令の実行が可能になります。	R/W	0

注 1. ダブルワード形式の命令のミスアライン例外の発生は制御（抑制）できません。

(3) 割り込み機能レジスタ

表 3.112 割り込み機能システムレジスター覧

レジスタ番号 (regID, selID)	名称	機能	アクセス 権限
SR10、2	ISPR	受け付け中割り込み優先度	SV
SR11、2	PMR	割り込み優先度マスク	SV
SR12、2	ICSR	割り込み制御ステータス	SV
SR13、2	INTCFG	割り込み機能の設定	SV

(a) ISPR — 受け付け中割り込み優先度

CPU で処理中の EIINTn の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

ISPR	31																							8	7						0	リセット後の値
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISP7-0							$0000\ 0000_H$

表 3.113 ISPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7 ～ 0	ISP7-0	ビット位置に対応した優先度[注1]の割り込み (EIINTn) の受け付け状況を示します。 0：ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1：ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中 各ビット位置が、次のように各優先度に対応しています。 ビット / 優先度 0 / 優先度 0（最高優先度） 1 / 優先度 1 ： 6 / 優先度 6 7 / 優先度 7 割り込み（EIINTn）要求を受け付けた場合、受け付けた割り込み（EIINTn）要求に対応するビットが自動的にセット（1）されます。また、EIRET 命令実行時に PSW.EP = 0 の場合、ISP7-0 でセット（1）されているビットのうち、最も高優先度（0 が高優先度側）のビットがクリア（0）されます[注2]。 このビットがセット（1）されている間、その優先度以下の割り込み（EIINTn）がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません。詳細は、「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*4.1.5 割り込みの例外優先度と優先度マスク*」を参照してください。 PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。	R[注3]	0

注 1. 詳細は「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*4.1.5 割り込みの例外優先度と優先度マスク*」を参照してください。

注 2. INTCFG.ISPC の設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。

注 3. INTCFG.ISPC の設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(b) PMR — 割り込み優先度マスク

指定した割り込み優先度のマスクを行うレジスタです。

	31																							8	7							0	
PMR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PM7-0								リセット後の値 $0000\ 0000_H$

表 3.114 PMR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7 ～ 0	PM7-0	ビット位置に対応した割り込み要求をマスクします。 0：ビット位置に対応する優先度の割り込み処理を許可 1：ビット位置に対応する優先度の割り込み処理を禁止 各ビット位置が、次のように各優先度に対応しています。。 ビット / 優先度 0 / 優先度 0（最高優先度） 1 / 優先度 1 ： 6 / 優先度 6 7 / 優先度 7（最低優先度） このビットがセット（1）されている間、その優先度の割り込み（EIINTn）がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません[注1]。	R/W	0

注 1. マスクは低優先側から、連続して 1 を設定してください。例えば $F0_H$ のような設定は可能ですが、CC_H や $0F_H$ のような設定は禁止します。

(c) ICSR — 割り込み制御ステータス

CPU 内部の割り込み制御の状況を示すレジスタです。

	31																														1	0	
ICSR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PMEI	リセット後の値 $0000\ 0000_H$

表 3.115 ICSR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	PMEI	PMR の設定でマスクされている優先度の割り込み（EIINTn）が存在することを示します。	R	0

(d) INTCFG — 割り込み機能の設定

CPU 内部の割り込み機能に関する設定を行うレジスタです。

	31																														1	0	
INTCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISPC	リセット後の値 $0000\ 0000_H$

表 3.116 INTCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	ISPC	ISPR レジスタの書き込み変更方法を設定するビットです。 0：ISPR を自動的に更新します。プログラムによる更新（LDSR）を無視します。 1：ISPR を自動的に更新しません。プログラムによる更新（LDSR）が行えます。 このビットがクリア（0）されている場合、ISPR レジスタの各ビットは割り込み（EIINTn）の受け付けにより自動的にセット（1）、EIRET 命令の実行によって自動的にクリア（0）が行われます。この状態ではプログラムによる LDSR を使った更新を無視します。このビットがセット（1）されている場合、ISPR レジスタの各ビットは割り込み（EIINTn）の受け付けや、EIRET 命令の実行によっては、更新を行いません。この状態ではプログラムによる LDSR を使った更新が可能となります。 通常 ISPC ビットはクリア（0）した状態で利用してください。ソフトウェアによる割り込み優先度を管理する場合に、このビットをセット（1）し、PMR レジスタによる優先度管理を行ってください。	R/W	0

(4) FPU 機能レジスタ

FPU 機能は非搭載です

(5) MPU 機能レジスタ

(a) MPU 機能システムレジスタ

MPU 機能システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3.117 MPU 機能システムレジスター覧 (1/2)

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR0、5	MPM	メモリ保護動作モードの設定	SV
SR1、5	MPRC	MPU リージョン制御	SV
SR4、5	MPBRGN	MPU ベースリージョン番号	SV
SR5、5	MPTRGN	MPU 終端リージョン番号	SV
SR11、5	MCR	メモリ保護設定チェック結果	SV
SR0、6	MPLA0	保護領域の下限アドレス	SV
SR1、6	MPUA0	保護領域の上限アドレス	SV
SR2、6	MPAT0	保護領域の属性	SV
SR4、6	MPLA1	保護領域の下限アドレス	SV
SR5、6	MPUA1	保護領域の上限アドレス	SV
SR6、6	MPAT1	保護領域の属性	SV
SR8、6	MPLA2	保護領域の下限アドレス	SV
SR9、6	MPUA2	保護領域の上限アドレス	SV
SR10、6	MPAT2	保護領域の属性	SV
SR12、6	MPLA3	保護領域の下限アドレス	SV
SR13、6	MPUA3	保護領域の上限アドレス	SV
SR14、6	MPAT3	保護領域の属性	SV
SR16、6	MPLA4	保護領域の下限アドレス	SV
SR17、6	MPUA4	保護領域の上限アドレス	SV
SR18、6	MPAT4	保護領域の属性	SV
SR20、6	MPLA5	保護領域の下限アドレス	SV
SR21、6	MPUA5	保護領域の上限アドレス	SV
SR22、6	MPAT5	保護領域の属性	SV
SR24、6	MPLA6	保護領域の下限アドレス	SV
SR25、6	MPUA6	保護領域の上限アドレス	SV
SR26、6	MPAT6	保護領域の属性	SV
SR28、6	MPLA7	保護領域の下限アドレス	SV
SR29、6	MPUA7	保護領域の上限アドレス	SV
SR30、6	MPAT7	保護領域の属性	SV
SR0、7	MPLA8	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR1、7	MPUA8	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR2、7	MPAT8	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR4、7	MPLA9	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR5、7	MPUA9	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV

表 3.117 MPU 機能システムレジスター覧 (2/2)

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR6、7	MPAT9	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR8、7	MPLA10	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR9、7	MPUA10	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR10、7	MPAT10	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR12、7	MPLA11	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR13、7	MPUA11	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR14、7	MPAT11	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR16、7	MPLA12	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR17、7	MPUA12	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR18、7	MPAT12	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR20、7	MPLA13	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR21、7	MPUA13	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR22、7	MPAT13	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR24、7	MPLA14	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR25、7	MPUA14	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR26、7	MPAT14	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR28、7	MPLA15	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR29、7	MPUA15	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV
SR30、7	MPAT15	（搭載していません。常に 0 を読み出し、書き込みは無視されます。）	SV

(b) MPM — メモリ保護動作モード

メモリ保護モードレジスタはメモリ保護機能の基本的な動作状態を決定します。

	31																				11	10	9	8	7						2	1	0	
MPM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DX	DW	DR	0	0	0	0	0	0	SVP	MPE	リセット後の値 $0000\ 0000_H$

表 3.118 MPM レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 11	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
10	DX	保護領域が指定されていないアドレスに対する命令実行時のデフォルトの動作を設定します。 0：保護領域が指定されていないアドレスに対する命令実行の禁止 1：保護領域が指定されていないアドレスに対する命令実行の許可	R/W	0
9	DW	保護領域が指定されていないアドレスに対する書き込み操作時のデフォルトの動作を設定します。 0：保護領域が指定されていないアドレスに対する書き込みの禁止 1：保護領域が指定されていないアドレスに対する書き込みの許可	R/W	0
8	DR	保護領域が指定されていないアドレスに対する読み出し操作時のデフォルトの動作を設定します。 0：保護領域が指定されていないアドレスに対する読み出しの禁止 1：保護領域が指定されていないアドレスに対する読み出しの許可	R/W	0
7 ～ 2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	SVP 注 3、注 4	SV モード（PSW.UM = 0）時に、各保護領域ごとに MPAT レジスタの SX、SW、SR に従ってアクセス制限を行うかどうかを指定します。注 1 0：従来どおり、SV モードでは、暗黙的にすべてのアクセスは許可とします。 1：SV モードであっても、SX、SW、SR ビットに従ってアクセス制限を行います。注 2	R/W 注 4	0
0	MPE	MPU 機能の有効 / 無効を指定します。 0：無効 1：有効	R/W	0

注 1. SVP ビットをセットすると、SV モードであっても各保護領域ごとの設定にしたがってアクセス制限が課されるようになります。このため、SVP ビットをセットするプログラム自身がアクセス制限されることがないように、あらかじめ保護領域の設定を行ってください。

注 2. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

注 3. SVP = 1 における SYSCALL 命令とテーブル参照方式 EIINT でのテーブル参照時の処理において、本 CPU ではスーパーバイザモードでアクセス制限を行いません。

注 4. SVP ビットをセット (1) してデバッガを使用する場合、FE60 0000_H ～ FE7F $FFFF_H$ 領域での SV モードによる命令実行を許可に設定してください。また、サードパーティ製デバッガが Global RAM 領域や PE1 の Local RAM 領域にコードをダウンロードして命令実行する場合は、該当領域での SV モードによる命令実行も許可に設定してください。

(c) MPRC — MPU リージョン制御

メモリ保護機能の特殊操作を行うビットが配置されたレジスタです。

	31															16	15							8	7							0	
MPRC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0	リセット後の値 $0000\ 0000_H$

表 3.119 MPRC レジスタの内容

ビット	名称	意味	R/W	リセット後の値
31 ～ 16	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
15 ～ 8	E15-E8	本製品では対応していません。（将来のための予約です。必ず 0 を設定してください）	R	0
7 ～ 0	E7-E0	各保護領域の Enable ビットです。En ビットが MPATn.E ビットの写像です（n = 7 ～ 0）。本製品の保護領域数は 8 です。	R/W	0

(d) MPBRGN — MPU ベースリージョン

利用可能な MPU 領域の最小番号を示します。

	31																												4	3			0	
MPBRGN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MPBRGN				リセット後の値 $0000\ 0000_H$

表 3.120 MPBRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 4	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
3 ～ 0	MPBRGN	MPU 領域の一番小さい番号を示します。	R	0000

(e) MPTRGN — MPU 終端リージョン

利用可能な MPU 領域の最大番号を示します。

	31																												4	3			0	
MPTRGN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MPTRGN				リセット後の値 $0000\ 0007_H$

表 3.121 MPTRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 4	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
3 ～ 0	MPTRGN	MPU 領域の一番大きい番号を示します。	R	0111

(f) MCR — メモリ保護設定チェック結果

本 CPU では、メモリ保護設定のチェック機能は非搭載です。本レジスタは将来のための予約レジスタです。

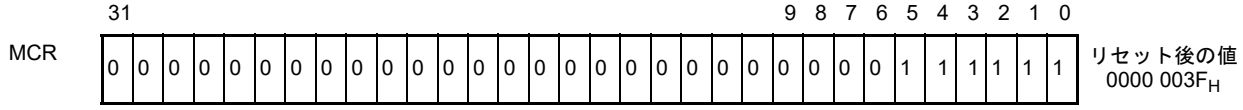


表 3.122 MCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 0	—	（将来のための予約です。）	R	0000 003F$_H$

(g) MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです（n = 0 ～ 7）。

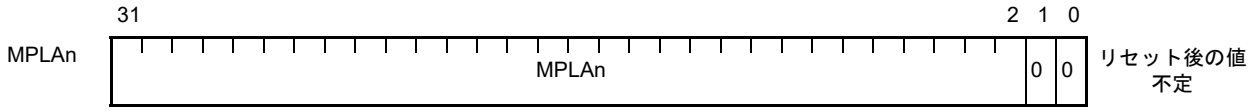


表 3.123 MPLAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	MPLA31-2	領域 n の下限アドレスを示します。 MPLA1-0 は暗黙的に 0 を使用します。	R/W	不定
1、0	—	将来のための予約です。必ず 0 に設定してください。	R	0

注 意

命令アドレッシング範囲は 128 M バイトです。MPLAn のビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(h) MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです（n = 0 ～ 7）。

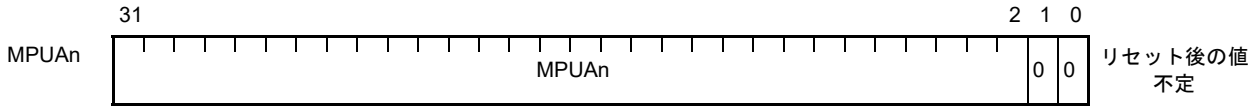


表 3.124 MPUAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 2	MPUA31-2	領域 n の上限アドレスを示します。 MPUA1-0 は暗黙的に 1 を使用します。	R/W	不定
1、0	—	将来のための予約です。必ず 0 に設定してください。	R	0

注 意

命令アドレッシング範囲は 128 M バイトです。MPUAn のビット 31 ～ 27 はビット 26 を符号拡張した値が自動的に設定されます。

(i) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです（n = 0 ～ 7）。

	31					26	25							16	15						8	7	6	5	4	3	2	1	0	
MPATn	0	0	0	0	0	0	ASID								0	0	0	0	0	0	0	0	E	G	SX	SW	SR	UX	UW	UR	リセット後の値 不定

表 3.125 MPATn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31 ～ 26	—	（将来のための予約です。必ず 0 に設定してください。）	R	0
25 ～ 16	ASID	領域一致の条件として利用する ASID の値を示します。	R/W	0
15 ～ 8	—	（将来のための予約です。必ず 0 に設定してください。）	R	0
7	E	領域 n の有効／無効を示します。 0：領域 n を無効とする 1：領域 n を有効とする	R/W	0
6	G	0：ASID 一致を条件とする 1：ASID 一致を条件としない このビットが 0 の場合は、MPATn.ASID = ASID.ASID であることが領域一致の条件となります。このビットが 1 の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません	R/W	不定
5	SX	スーパバイザモードでの実行権を示します 注 1。 0：実行禁止 1：実行許可	R/W	不定
4	SW	スーパバイザモードでの書き込み許可を示します 注 1。 0：書き込み禁止 1：書き込み許可	R/W	不定
3	SR	スーパバイザモードでの読み出し許可を示します 注 1。 0：読み出し禁止 1：読み出し許可	R/W	不定
2	UX	ユーザモードでの実行権を示します。 0：実行禁止 1：実行許可	R/W	不定
1	UW	ユーザモードでの書き込み許可を示します。 0：書き込み禁止 1：書き込み許可	R/W	不定
0	UR	ユーザモードでの読み出し許可を示します。 0：読み出し禁止 1：読み出し許可	R/W	不定

注 1. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ

キャッシュ操作機能レジスタは非搭載です。

(7) データバッファ操作機能レジスタ

データバッファ操作機能レジスタは非搭載です

3.3.2 プロセッサ間割り込み

PCU はプロセッサ間割り込み制御レジスタ IPIR_CH0-3 を搭載しています。CPU Peripheral であり、機能やアドレスは CPU1 と同じです。各 PE は各々 IPIR_CH0-3 レジスタを持っており、他 PE のレジスタにアクセスすることはできません。詳細は、**「3.4.2　プロセッサ間割り込み機能」**を参照してください。

3.3.3 信頼性機能

3.3.3.1 システムエラー通知制御機能（SEG）

命令フェッチまたはデータアクセスによるエラーは、システムエラー例外の要因となります。システムエラー例外は、復帰 / 回復が不可能な FE レベル例外です。

システムエラー例外の要因コード (FEIC) とエラー内容の対応は、**「表 3.127　G3K コアのシステムエラー例外の要因コードとエラー内容の対応」**を参照して下さい。

なお、システムエラー例外受け付け時は PSW レジスタの EBV ビットが 0 にクリアされ、例外ハンドラは常に RBASE を参照します。

データアクセスによるエラーは、SEG（SysErrGen）で通知・記録を制御します。

(1) レジスタセット

(a) SEG_CONT — システムエラーコントロールレジスタ

各 SYSERR 要因のエラー通知の許可 / 不許可を設定するイネーブルレジスタです。ビットがセット（1）されているときは、エラー発生時の SYSERR 通知を許可します。ビットがクリア（0）されているときは、発生したエラー要因に対応するエラーフラグはセットされますが、SYSERR 通知は行われません。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RMWE	—	RAME	—	EXTE	FCHE	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R

表 3.126 SEG_CONT レジスタの内容

ビット位置	ビット名	機能
15 ～ 7	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	RMWE	Local RAM リード・モディファイライトエラー通知イネーブル Local RAM に対してバイトライトおよびハーフワードライトを行ったときのリードモディファイライト動作時でのリードアクセスした際の ECC エラー発生に対して SYSERR 通知許可を設定します。
5	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	RAME	Local-RAM ECC エラー通知イネーブル CPU が Local-RAM 領域へデータアクセスした際の ECC エラー発生に対して SYSERR 通知許可を設定します。
3	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	EXTE	P-Bus / H-Bus / Global RAM 領域エラー通知イネーブル P-Bus / H-Bus / Global RAM 領域にアクセスしたときのエラー発生に対して SYSERR 通知許可を設定します。 エラー発生は、 • P-Bus：Data Parity Error、Guard エラー • H-Bus：Slave でのエラーレスポンス • Global RAM: Data ECC エラー、Address Prity エラー、Guard エラー
1	FCHE	Code Flash エラー通知イネーブル CPU が Code Flash 領域へデータアクセスしたときのエラー発生に対して SYSERR 通知許可を設定します。 エラー発生は、 • Data ECC エラー • Address Parity エラー
0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 3.127 G3K コアのシステムエラー例外の要因コードとエラー内容の対応

要因コード	エラー内容
10	予約
11	命令フェッチのエラー
12	予約
13	予約
14	SEG_CONT レジスタにより通知許可されるエラー。発生したエラーは SEG_FLAG レジスタにより判別可能。
15	予約
16	予約
17	予約
18	予約
19	予約
1A	予約
1B	予約
1C	予約
1D	予約
1E	予約
1F	予約

(b) SEG_FLAG — システムエラーフラグレジスタ

各 SYSERR 要因の発生状態を保存するフラグレジスタです。SYSERR 要因が発生すると、対応するエラー要因のフラグがセット（1）されます。レジスタ書き込みにより直接フラグをセット（1）し、SYSERR を発生させることも可能です。各フラグは、(1) の状態をリード後、(0) をライトすることでクリア可能です。

リード時に（0）だったフラグに対し、その後のライト動作で（0）をライトしても、リード - ライト間で発生したエラーに対しては、フラグはセットされます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RMWF	—	RAMF	—	EXTF	FCHF	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R

表 3.128 SEG_FLAG レジスタの内容

ビット位置	ビット名	機能
15 ～ 7	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	RMWF	SEG_CONT レジスタのビット 6 に対応したフラグ。
5	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	RAMF	SEG_CONT レジスタのビット 4 に対応したフラグ。
3	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	EXTF	SEG_CONT レジスタのビット 2 に対応したフラグ。
1	FCHF	SEG_CONT レジスタのビット 1 に対応したフラグ。
0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

3.4 CPU 間機能

3.4.1 プロセッサエレメント識別子

各プロセッサのプロセッサエレメント番号 PEID は、HTCFG0 レジスタの PEID フィールドより読み出せます。PEID を参照することで、プログラム自身がいずれの CPU コアで実行されているのかを知ることができます。本製品の PEID は以下のとおりです。

CPU コア	PEID
CPU1（PE1）	001_B
PCU（PE3）	011_B

3.4.2 プロセッサ間割り込み機能

CPU1 及び PCU は各々 CPU Peripheral 機能として、IPIR レジスタを持っています。IPIR レジスタを設定することで、ある PE から他の PE に EI レベル割り込みを要求することができます。詳細は、**「3.2.3　プロセッサ間割り込み」**を参照してください。

3.4.3 排他制御

Local RAM、Global RAM、排他制御用レジスタ（MEV）を、排他制御用のリソースとして利用可能です。アトミック操作命令として、Local RAM、Global RAM に対しては、LDL/STC、CAXI、SET1、CLR1、NOT1 命令を、排他制御用レジスタ（MEV）に対しては CAXI、SET1、CLR1、NOT1 命令を実行可能です。なお、LD,ST 命令でもアクセス可能ですが、アトミック操作にはなりません。

注 意

PCU からの CAXI、SET1、CLR1、NOT1 命令による Local RAM（PCU）や MEV へのアクセスはアトミック操作ですが、Local RAM（CPU1）や Global RAM へのアクセスはアトミック操作になりません。PCU と CPU1 間での排他制御が必要な場合は、MEV を使用してください。

3.4.3.1 排他制御用レジスタ（MEV）

PE 間で共有される変数（共有リソース）に対しての排他制御を支援するためのレジスタです。（MEV：Mutual Exclusion Variable Register）

- 32 本の MEV（32bit レジスタ）を搭載しています。
- 各 MEV は 32/16/8/1 ビットアクセスが可能です。
- CPU1（PE1）および PCU（PE3）からアクセス可能です。
- アトミック操作命令は、CAXI、SET1、CLR1、NOT1 を実行可能です。

MEV に対し、CPU1、PCU はそれぞれ独立したアクセス経路を持ちます。このことから、CPU1、PCU が異なる MEV レジスタにアクセスする場合、待ち合わせすることなくアクセス可能です。同じ MEV レジスタにアクセスする場合は、待ち合わせが発生します。

表 3.129 レジスター覧（ベースアドレス：FFFE EC00$_H$）

レジスタシンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ				オフセットアドレス
				1	8	16	32	
G0MEV0	排他制御専用レジスタ 0	R/W	0000 0000$_H$	○	○	○	○	+00$_H$
G0MEV1	排他制御専用レジスタ 1	R/W	0000 0000$_H$	○	○	○	○	+04$_H$
G0MEV2	排他制御専用レジスタ 2	R/W	0000 0000$_H$	○	○	○	○	+08$_H$
G0MEV3	排他制御専用レジスタ 3	R/W	0000 0000$_H$	○	○	○	○	+0C$_H$
:	:	:	:	:	:	:	:	:
G0MEV31	排他制御専用レジスタ 31	R/W	0000 0000$_H$	○	○	○	○	+7C$_H$

3.4.3.2 LDL.W/STC.W 命令の動作

LDL.W 命令と STC.W 命令を使い、アトミックな Read-Modify-Write を実現し、これによってマルチコア・システムでのメモリ更新を正確に処理できます。LDL.W 命令と STC.W 命令の動作は以下の通りです。LDL.W / STC.W 命令は CPU（G3MH）のみ対応しており、PCU（G3K）では非対応です。LDL.W/STC.W 命令の動作については、「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」を参照してください。

- リンクの生成 : CPU では、Local RAM と Global RAM のそれぞれに対してリンクを生成できます。操作対象に、LDL.W 命令を実行してリードすると、リンクアドレスを登録しリンクフラグをセットしてリンクを生成します。リンクフラグは、以下の 2 系統が用意されています。

(1) 自 Local RAM 用 : 1 個

(2) Global RAM 用 : 1 個

このリンクフラグは互いに独立に生成されるため、CPU から一方の系統（例 . 自 Local RAM）へリンク生成後、異なる系統（例 .Global RAM）への LDL.W 命令実行によって、先に生成した（例 . 自 Local RAM への）リンクが消失することはありません。

- ストアの成功 : リンクが生成された状態で、生成されたリンクに対応した STC.W 命令を実行した場合にだけストア処理を実行します。
- ストアの失敗 : リンクが消失した状態では、STC.W 命令を実行してもストア処理は実行されません。また、リンクに対応していない STC.W 命令の実行でもストア処理は実行されません。
- ストア成功の条件 : 以下の条件を満たす場合に、その STC.W 命令はリンクに対応していると判断されます。
  - リンクを生成した LDL.W 命令とアドレスが一致する
- リンクの消失 : 以下のいずれかが起こるとリンクフラグはクリアされ、リンクが消失します。
  - リンクを生成した CPU に以下の事象が発生した場合 :
    - STC.W 命令の実行。ストアの成功／失敗にかかわらず対応するリンク（上記 (1) または (2)）は消失します。
    - 各種例外の発生や、例外からの復帰命令（FERET、EIRET）の実行。
      2 系統とリンクフラグはすべてクリアされます。
    - 同系統のリンクフラグに対して複数の LDL.W 命令を連続して実行。
      先行する LDL.W 命令で生成したリンクが消失します。このような処理は実行しないでください。
    - リンクを生成しているアドレス[注]に対して、STC.W 以外のストア動作を実行。
      このような処理は実行しないでください。
  - ほかのバスマスタによって以下のアクセスが実行された場合 :
    - リンクを生成しているアドレス[注]に対して、STC.W 命令実行を含むストア動作を実行。対応するリンクは消失します。

注 . リンクアドレス上位 27 ビットと一致するアドレスを指します。

STC.W 命令が成功した場合は、LDL.W 命令と STC.W 命令によってアトミックな Read-Modify-Write が実現されたことになります。

3.5 使用上の注意

3.5.1 ストア命令の完了と後続命令の同期化

ストア命令によって各制御レジスタを更新する場合、CPU によるストア命令の実行から実際に制御レジスタが更新されるまでには時間差があります。このため、ストア命令に続く命令に対して、ストア命令による制御レジスタの更新内容を反映したい場合は、適切な同期化処理が必要となります。以下に同期化処理の実行方法を示します。

LDSR 命令によるシステム・レジスタの更新と後続命令の同期化に関する手続きについては、「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」、「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*付録 A システム・レジスタのハザード解消手続き*」をご参照ください。

3.5.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合

例 1.INTC2 や周辺回路の制御レジスタアクセスによって割り込み要求をクリアしてから、EI 命令を実行して割り込みを許可する場合などが考えられます。この場合は以下の処理を実行してください。

(1) 制御レジスタを更新するストア命令（ST.W など）

(2) 上記制御レジスタのダミーリード（LD.W など）注 1

(3) SYNCP

(4) 後続の命令（EI など）

例 2. ある制御レジスタ A の確実な更新を待ってから、他の制御レジスタ B にアクセスする必要がある場合も、同様の処理を実行してください。異なる周辺機能を連携動作させる場合や、周辺機能を設定してから INTC の割り込みマスクを解除する場合などが考えられます。ただし、制御レジスタ A と B が同じ Peripheral Group であれば、この処理は不要です。

Peripheral Group と周辺モジュール／レジスタの対応については、**「付録 レジスター覧」**を参照してください。

(1) 制御レジスタ A を更新するストア命令（ST.W など）

(2) 上記制御レジスタのダミーリード（LD.W など）注 1

(3) SYNCP

(4) 制御レジスタ B にアクセスする命令（ST.W, LD.W など）

なお、各種メモリ保護や ECC などのセーフティ機能の設定完了を待ってから、保護対象の制御レジスタやメモリへのアクセスを開始する場合も、同様の処理が必要です。

注 1. 同じ Peripheral Group のレジスタのダミーリードでも代替できます。

3.5.1.2 制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合

(a) RAM に命令を書き込んでから、その RAM に分岐して書き込んだ命令を実行したい場合は、以下の処理を実行してください。

(1) メモリを更新するストア命令（ST.W など）

(2) 上記メモリのダミーリード（LD.W など）

(3) SYNCP

(4) SYNCI

（5） 後続の命令（分岐命令など）

(b) メモリ保護機能および ECC の制御レジスタの更新完了を待ってから対象のメモリに分岐する場合は、以下の処理を実行してください。

（1） 制御レジスタを更新するストア命令（ST.W など）

（2） 制御レジスタのダミーリード（LD.W など）

（3） SYNCP

（4） SYNCI

（5） 後続の命令（分岐命令など）

3.5.1.3 Code Flash の領域を切り替える場合

この場合は、「*RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編*」の「*第 9 章 使用上の注意点 (7) FCUFAREA レジスタの更新*」をご参照ください。

3.5.1.4 ストア命令による更新完了を SYNCM 命令で待ち合わせる場合

SYNCM 命令を実行し、先行するストア命令のアクセス先の更新完了を待ち合わせる場合、ストア命令を実行する CPU とそのアクセス先が以下の場合のみ、SYNCM 命令により待ち合わせることが可能です。

ストア命令を実行する CPU	ストア命令のアクセス対象
CPU1	Local RAM (self), Local RAM (PE1), Global RAM

3.5.2 ビット操作命令でのレジスタ・アクセス

ビット操作命令によるライトは、8 ビット単位のアトミックなリード・モディファイ・ライト処理です。このため、8 ビット単位のリードアクセスとライトアクセスを許可しているレジスタであれば、基本的にビット操作命令でのアクセスが可能です。しかし、複数のフラグ・ビットを共有しているレジスタには、リード・モディファイ・ライトによりクリア対象外のフラグもクリアしてしまうものもあるのでご注意ください。

なお、FlexRay のレジスタに対してビット操作命令でライト・アクセスしても、アトミック操作にはなりません。リード・モディファイ・ライト処理の期間中に、他のマスタからのアクセスが割り込む可能性があります。

3.5.3 CodeFlash 書き換え後のコヒーレンシ確保

CPU は CodeFlash 領域に対して有効な命令キャッシュとデータバッファを搭載しています。このため、セルフプログラミングで CodeFlash を書き換えた後は、コヒーレンシ確保のために命令キャッシュとデータバッファをクリアしてください。命令キャッシュは ICCTRL レジスタで、データバッファは CDBCR レジスタでクリアできます。

また、TM_CC レジスタを使用して、命令キャッシュとデータバッファを一括クリアすることもできます。TM_CC レジスタの詳細は**「38.4.5 TM_CC — キャッシュ・クリア操作レジスタ」**を参照してください。

また、PCU を使用している場合も同様に、CodeFlash 書き換え後は TM_CC レジスタを使用してクリア処理を実施してください。その後、外部リセットを実施してください。

3.5.4 多重例外受け付け時のコンテキストの上書き

例外要因の種類によっては、PSW レジスタの ID、NP ビットの状態にかかわらず例外が受け付けられます。多重例外が発生した場合はコンテキスト情報を格納しているシステムレジスタの内容は上書きされます。例外要因ごとの受け付け条件と復帰／回復の可否については「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」、「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の例外要因一覧を参照してください。

3.5.5 プリフェッチに関する注意事項

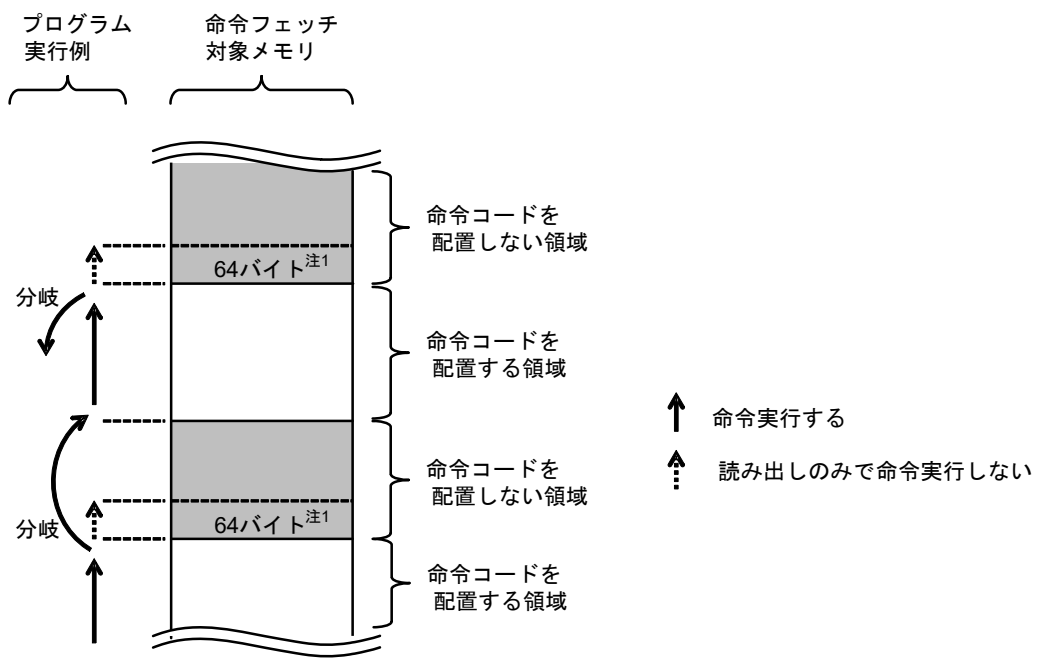
CPU は命令フェッチのスループットを維持するために、実行中のプログラムより後方の領域に対して投機的な命令フェッチを実施します。このプリフェッチにより、命令コードを配置していない領域（**図 3.6** の注 1）からもメモリの読み出しが発生する場合があるため、以下の点にご注意ください。なお、該当領域（**図 3.6** の注 1）からメモリの読み出しが発生しても、読み出した値を命令実行することはありません。

本注意事項は命令フェッチが可能な全メモリが対象です。

- メモリ値不定状態による ECC エラーの発生
  このプリフェッチにより、消去状態の Code Flash や初期化前の Local RAM、Global RAM で ECC エラーが発生する可能性があります。命令コードをメモリに配置する際は、該当領域（**図 3.6** の注 1）を任意のデータで初期化してください。

- GRG、IPG 機能による違反アクセスの検出
  このプリフェッチを、GRG、IPG 機能が違反アクセスとして検出する可能性があります。違反アクセスとして検出させたくない場合、該当領域（**図 3.6** の注 1）と GRG、IPG によるアクセス禁止領域が重ならないようにしてください。なお、MPU で保護している領域に対してこのメモリ読み出しが発生しても、メモリ保護例外が発生することはありません。

- アクセス禁止領域へのアクセス
  該当領域（**図 3.6** の注 1）とアクセス禁止領域が重ならないよう、命令コードをメモリに配置してください。



注 1. 命令コードの最終アドレス～最終アドレス **+64** バイトの領域。この領域に命令コードを配置していなくても、プリフェッチ要求により分岐時にメモリの読み出しが発生する場合があります。

図 3.6 プリフェッチに対する注意が必要な領域

3.5.6 ビット操作命令のブロッキング動作設定について

ビット操作命令（SET1/NOT1/CLR1/TST1）は、システムレジスタの LSUCR[19] BBOPEN ビットに 1 を設定することで、前の Load/Store 命令実行の完了を待ってからビット操作命令を実行します。また、後続の Load/Store 命令の実行はビット操作命令の実行完了を待ってから実行されます。BBOPEN ビットにアクセスするには、LSUCR[31:28] CBAKEY ビットを操作してキーを解錠する必要があります。BBOPEN ビットに設定する際は、他の予約ビットに指定の値以外を設定しないようご注意ください。また、BBOPEN ビットを設定した後は、CBAKEY ビットの再施錠を推奨します。以下に BBOPEN ビットの設定命令列の例を示します。

CBAKEY を解錠して BBOPEN へ 1 をセットし、CBAKEY を施錠する命令列。
（※ 割り込み禁止で実行する）

```
mov  0xc02b0000, r1
mov  0xd02b0000, r2  -- set BBOPEN
ldsr  r1, sr8, 13  -- LSUCR
ldsr  r2, sr8, 13
ldsr  r2, sr8, 13
ldsr  r1, sr8, 13
ldsr  r0, sr8, 13  -- close CBAKEY
```

CBAKEY を解錠して BBOPEN を 0 にクリアし、CBAKEY を施錠する命令列。
（※ 割り込み禁止で実行する）

```
mov  0xc0230000, r1
mov  0xd0230000, r2  -- clear BBOPEN
ldsr  r1, sr8, 13  -- LSUCR
ldsr  r2, sr8, 13
ldsr  r2, sr8, 13
ldsr  r1, sr8, 13
ldsr  r0, sr8, 13  -- close CBAKEY
```

LSUCR[19] BBOPEN ビットに 1 を設定することで、ビット操作命令を使用したプログラムにおいてパフォーマンスが低下する場合があります。BBOPEN ビットに 1 を設定する際は、ご注意ください。

第 4 章　アドレス空間

表 4.1 に RH850/E1M-S2 のアドレス空間を示します。

内蔵 I/O レジスタ空間へのアクセスは、**「付録　レジスター覧」**に示すアドレスにアクセスしてください。**表 4.1** に記載のないアドレスおよびアクセス禁止領域（Access prohibited）にはアクセスしないでください。アクセスした場合は、動作の保証はできません。

4.1　アドレス空間

表 4.1　アドレス空間

アドレス	アドレス空間の種類	サイズ
0000 0000_H ～ 003F $FFFF_H$ (0001 7000_H ～ 0001 $7FFF_H$)	Code Flash（ユーザ領域 リード） （FCU ファームウェア格納領域（FCUFAREA レジスタで Map を切り替え））注 3	4MB (4KB)
0040 0000_H ～ 00FF $FFFF_H$	Access prohibited	
0100 0000_H ～ 0100 $7FFF_H$	Code Flash（ユーザブート領域 リード）	32KB
0100 8000_H ～ 0103 $6FFF_H$	Access prohibited	
0103 7000_H ～ 0103 $7FFF_H$	FCU ファームウェア格納領域 2 注 3	4KB
0103 8000_H ～ 0FFF $FFFF_H$	Access prohibited	
1000 0000_H ～ 1FFF $FFFF_H$	内蔵 I/O レジスタ	256MB
2000 0000_H ～ FEBE $FFFF_H$	Access prohibited	
FEBF 0000_H ～ FEBF $FFFF_H$	LocalRAM (CPU1)	64KB
FEC0 0000_H ～ FEDE $FFFF_H$	Access prohibited	
FEDF 0000_H ～ FEDF $FFFF_H$	Local RAM（self 注 1）	64KB
FEE0 0000_H ～ FEED $FFFF_H$	Access prohibited	
FEEE 0000_H ～ FEF1 $FFFF_H$	Global RAM 領域	256KB
FEF2 0000_H ～ FEFF $FFFF_H$	Access prohibited	
FF00 0000_H ～ FFFD $FFFF_H$ (FF20 0000_H ～ FF20 $FFFF_H$) (FFA1 2000_H ～ FFA1 $2FFF_H$)	内蔵 I/O レジスタ （Data Flash （リード / ライト）） （FCU RAM）	16MB-128KB （64KB） （4KB）
FFFE 0000_H ～ FFFE $DFFF_H$	Access prohibited	
FFFE $E000_H$ ～ FFFE $FFFF_H$	内蔵 I/O レジスタ（self 注 2）	8KB
FFFF 0000_H ～ FFFF $4FFF_H$	Access prohibited	
FFFF 5000_H ～ FFFF $FFFF_H$	内蔵 I/O レジスタ	44KB

注 1.　CPU1 および CPU1 以外からも LocalRAM へアクセスしたい場合、Local RAM(CPU1) へアクセスすると、CPU1 が持つ Local RAM にアクセスできます。Local RAM（self）へアクセスすると、各 CPU（CPU1/PCU）が持つ Local RAM にアクセスできます。CPU1 と PCU では搭載 Local RAM（self）容量が違うため、Local RAM（self）は以下の違いがあります。
・CPU1 の Local RAM（self）: FEDF_0000_H ～ FEDF_$FFFF_H$（64KB）
・PCU の Local RAM（self）: FEDF_8000_H ～ FEDF_$FFFF_H$（32KB）
なお、ツールによっては Local RAM（self）領域を経由した CPU1 の Local RAM へのアクセスに対応していない場合があります。詳細はツールのマニュアルを参照してください。ツールが対応していない場合、CPU1 が持つ Local RAM へのアクセスは Local RAM（CPU1）領域を、PCU が持つ Local RAM へのアクセスは Local RAM（self）領域を経由することを想定しています。

注 2.　内蔵 I/O レジスタ（self）は CPU Peripheral 機能を配置している領域です。CPU Peripheral は基本的に各 PE 固有の機能であり、他 PE の CPU Peripheral にアクセスすることはできません。ただし、排他制御用レジスタ（MEV）は例外で、PE 間で実体を共有しています。

注 3.　詳細は、*『RH850/E1x-FCC2　フラッシュメモリ ユーザーズマニュアル　ハードウェア　インタフェース編』*をご参照ください。

4.2 各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を**図 4.1** に示します。

4.2.1 命令フェッチ可能空間

1. CPU1 および PCU は、Code Flash、Local RAM、Global RAM から命令フェッチ可能です。
2. CPU1 および PCU のリセットベクタ（RBASE 初期値）について、

- ユーザブート領域から起動する場合、先頭アドレスは「0100_0000_H」です。
- ユーザ領域から起動する場合、先頭アドレスは「0000_0000_H」です。

4.2.2 CPU1 によるデータアクセス可能空間

すべての空間をアクセス可能です。

4.2.3 PCU によるデータアクセス可能空間

すべての空間をアクセス可能です。

ただし、CPU1 から見た内蔵 I/O レジスタ（1000_0000_H ～ $1FFF_FFFF_H$）へのアクセスは不可です。アクセスする場合、（$FC00_0000_H$ ～ $FE5F_FFFF_H$）を使用してください。

4.2.4 DMA（DMAC、DTS）によるデータアクセス可能空間

DMA からアクセス可能な空間について、**図 4.1** を参照してください。

4.2.5 H-Bus によるデータアクセス可能空間

H-Bus からアクセス可能な空間について、**図 4.1** を参照してください。

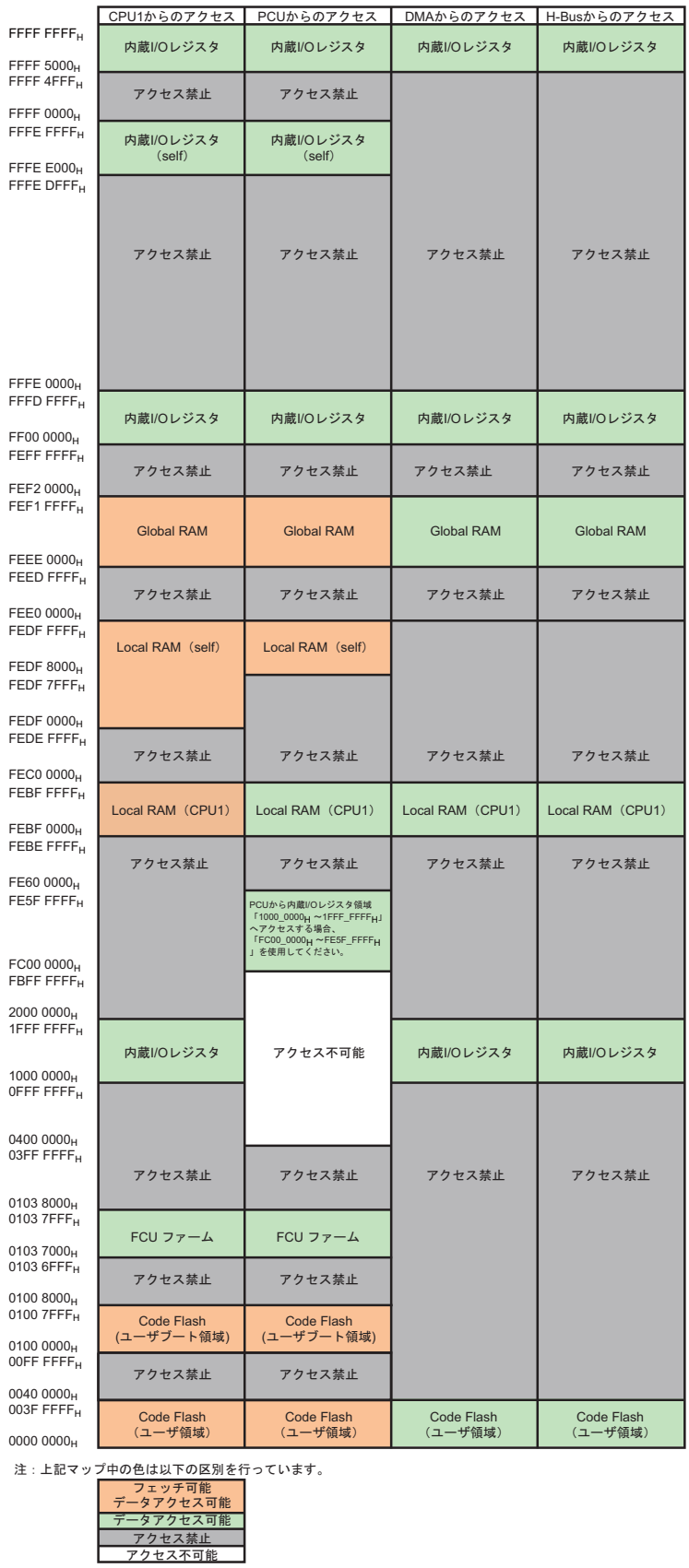


図 4.1　各バスマスタから見たアドレス空間

4.3 Code Flash

4.3.1 ユーザ領域に対する並列アクセスについて

Code Flash のユーザ領域は 2 個の Mat 構成を持ちます。ユーザ領域は設定によって 2 個の Mat を 2 つの BankA、BankB に振り分けることが可能です。2 つのバスマスタからこの BankA、BankB のそれぞれ同時にアクセスする場合、アクセス経路の競合の調停のためのウェイトの発生なしにアクセスすることができます。

BankA、BankB の同じ Bank に複数のバスマスタからアクセスを行った場合はラウンドロビン方式で調停が行われます。

この BankA、BankB の容量は用途に合わせて変更することが可能で、ユーザがオプションバイトから設定します。設定には以下の制限があります。

1. ユーザマット 0 は BankA に固定されており変更できません。

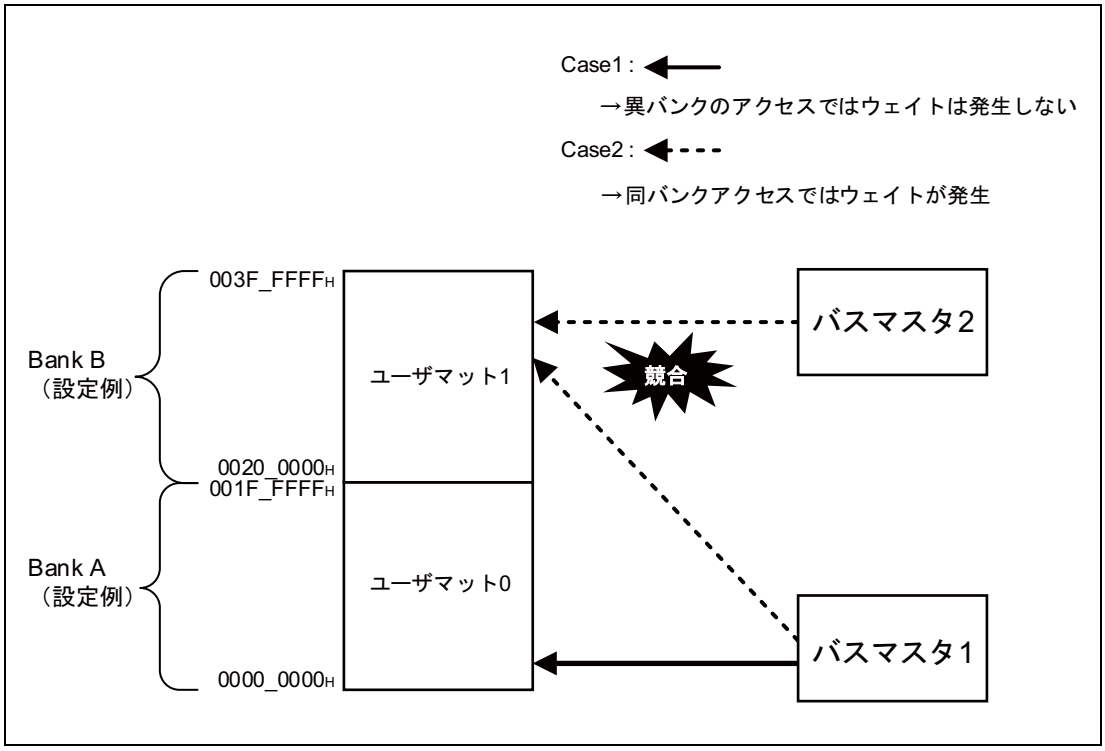


図 4.2　BankA/B（設定例）に対する各アクセスの動作

設定方法の詳細については**「第 34 章　フラッシュ・メモリ」**を参照ください。

4.4 Global RAM と Retention RAM

Global RAM は BankA と BankB の 2 つに分かれており、異なるバンクに対しては並列にアクセス可能です。また、BankA の上位 32KB は Retention RAM となっており、電源遮断スタンバイ中も内容が失われません。

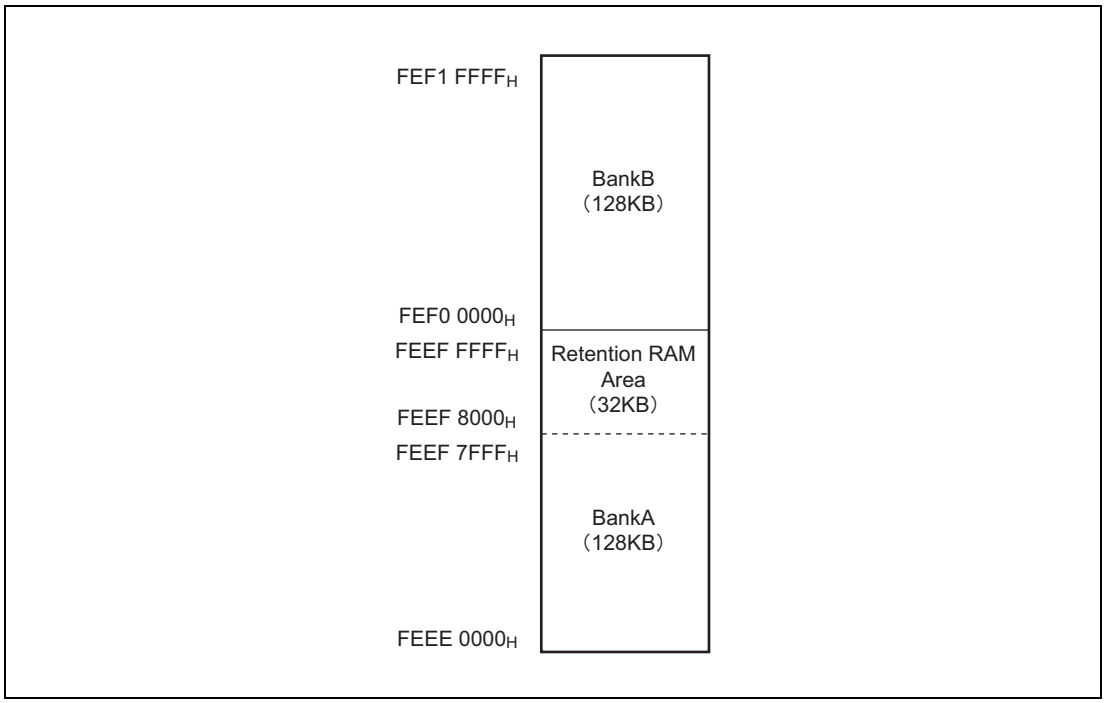


図 4.3　Global RAM

第 5 章　動作モード

5.1　特徴

動作モードを決定するモード端子を 3 本搭載。（MD0、MD1、FLMODE）

5.2　動作モード

本 LSI は複数の動作モードを持ち、MD1、MD0、FLMODE、の 3 つの端子、およびオプションバイト 0 の STMSEL1/STMSEL0 の設定で選択できます。STMSEL1/STMSEL0 の設定方法に関しては、**「第 34 章　フラッシュ・メモリ」**を参照してください。

表 5.1 に動作モードの一覧を示します。

表 5.1　動作モードの選択

端子設定値			オプションバイト 0 設定値 OPBT0		動作モード	起動領域	デバッグインタフェースの種類 注 1	備考
MD1	MD0	FLMODE	STMSEL1	STMSEL0				
0	0	0	0	0	ユーザブートモード	ユーザ領域	オプションバイトの OPBT2 でデバッグインタフェースを選択可能。詳細は**「34.10.2　OPBT2 ― オプション・バイト 12 ～ 9 ビット配置」**を参照	オンチップデバッグ可能
0	0	0	0	1	ユーザブートモード	ユーザブート領域		
0	0	0	1	X	シリアルプログラミングモード	ブート領域	ライタ I/F（2 wire UART）	シリアルプログラミング可能
0	0	1	X	X	バウンダリスキャンモード	―	JTAG	バウンダリスキャン可能
0	1	0	X	X	シリアルプログラミングモード	ブート領域	ライタ I/F（2 wire UART）	シリアルプログラミング可能
0	1	1	X	X	シリアルプログラミングモード	ブート領域	ライタ I/F（CSI（Clocked Serial Interface））	シリアルプログラミング可能

備考　X = Don't care

注 1.　各デバッグインタフェースでの端子機能や端子状態との対応は**「2.5.3　端子状態」**を参照してください。

5.2.1　ユーザブートモード

リセット解除後、ユーザブート領域もしくはユーザ領域から命令フェッチを行います。

5.2.2　シリアルプログラミングモード

リセット解除後、内蔵のブートプログラムから起動し、設定した通信方式で接続を開始します。

詳細は**「第 34 章　フラッシュ・メモリ」**を参照してください。

5.2.3　バウンダリスキャンモード

IEEE1149.1 規格に準拠した、バウンダリスキャン機能を使用できるモードです。

詳細は**「第 39 章　バウンダリスキャン」**を参照してください。

第 6 章　割り込み

割り込みコントローラ（INTC）は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

6.1　概要

- 割り込み要因の複数コアへの同時分配対応
  - 1 つの割り込み要因を複数の CPU コアに分配可能
    （分配するコア：CPU1 ／ PCU）
  - 対象割り込み要因：ノンマスカブル割り込み 1 要因、FE レベル割り込み 1 要因、EI レベル割り込み 23 要因
- 割り込み要因
  - ノンマスカブル割り込み
    外部端子 NMI 割り込み（FENMI）1 要因
  - FE レベル割り込み
    ECM 割り込み（FEINT）1 要因
  - EI レベル割り込み（マスカブル）（EIINT）
    高速割り込み（EIINT0 ～ 31）23 要因
    ・プロセッサ間割り込み
    ・ECM 割り込み
    ・外部端子 IRQ 割り込み
    ・ソフトウェア割り込み
    ・定周期タイマ（OSTM）
    ・DMA エラー通知割り込み
    ・ICU-S 割り込み
    低速割り込み（EIINT32 ～ 511）468 要因
    ・タイマ系
    ・通信系
    ・AD 変換器
    ・DMAC/DTS など
- 割り込み優先順位を設定可能
  割り込み制御レジスタにより、IRQ（外部割り込み）および、マスカブル割り込みの優先順位を要求別に CPU1 は 16 レベル、PCU は 8 レベルで設定することができます。
- 外部割り込み（NMI/IRQ）のセンス方法
  NMI 要因については、Fall エッジ、Rise エッジの 2 種類から選択可能です。
  IRQ 要因については、ロウレベル、ハイレベル、Fall エッジ、Rise エッジの 4 種類から選択可能です。
- 2 種類の割り込みハンドラアドレス指定
  レジスタ設定により、直接分岐方式とテーブル参照方式から選択可能です。
- プロセッサ間割り込み
  高速なプロセッサ間割り込みが可能です。

- ソフトウェア割り込み（SINT）
  ソフトウェア割り込みレジスタにより、任意の優先順位の割り込みをプログラムから発生させることができます。
- 割り込み要因の共有化
  複数の割り込み要因をマージして、例外ハンドラアドレスを削減します。

割り込みは以下の割り込みコントローラで制御されます。

- INTC1
  CPU1、PCU で独立して持つ割り込みコントローラです。
  各 PE で INTC1 レジスタにアクセスした場合、各 PE に対応した INTC1 のレジスタにアクセスされます。
  高速割り込みを制御します。
  以下の機能を提供します。
  　優先度設定
  　割り込みマスク設定
- INTC2
  CPU1、PCU で共有する割り込みコントローラです。
  低速割り込みを制御します。
  以下の機能を提供します。
  　優先度設定
  　割り込みマスク設定
  　バインド設定

6.2 レジスタ仕様

INTC には以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

6.2.1 レジスタ構成

表 6.1 割り込み制御

アドレス	レジスタシンボル	レジスタ名	R/W	アクセス幅	リセット後の値
FFFE $EA00_H$-FFFE $EA3E_H$ （EIC0 ～ 31） FFFF $B040_H$-FFFF $B3FE_H$ （EIC32 ～ 511）	EICn 注 1	EI レベル割り込み制御レジスタ	R/W	8、16	$008F_H$ 注 5 $808F_H$ 注 6
FFFE $EAF0_H$ (IMR0) FFFF $B404_H$-FFFF $B43C_H$ (IMR1 ～ IMR15)	IMRn 注 2	EI レベル割り込みマスクレジスタ	R/W	8、16、32	FFFF $FFFF_H$
FFFE $EB00_H$-FFFE $EB7C_H$ (EIBD0 ～ 31) FFFF $B880_H$-FFFF $BFFC_H$ (EIBD32 ～ 511)	EIBDn 注 3	EI レベル割り込みバインドレジスタ	R/W	32	注 4

注 1. n = 0 ～ 511
注 2. n = 0 ～ 15
注 3. n = 0 ～ 511
注 4. n = 0 ～ 31：PEID ビットと同じ値
n = 32 ～ 511：$0000\ 0001_H$
注 5. エッジ検出時（EICn (n = 0 ～ 31) の PCU 配置レジスタは、0087_H）
注 6. レベル検出時（EICn (n = 0 ～ 31) の PCU 配置レジスタは、8087_H）

表 6.1 に示すレジスタのうち、EIC0 ～ 31、IMR0、EIBD0 ～ 31 は、各 CPU が内蔵する CPU Peripheral 領域内の INTC1 に配置されています。これらのレジスタは、これらのレジスタを内蔵している CPU1 または PCU からしかアクセスすることはできません。また、書き込みは、スーパバイザモード（PSW.UM = 0）のみが実行可能です。

表 6.1 に示すレジスタのうち、EIC32 ～ 511、IMR1 ～ 15、EIBD32 ～ 511 は、Peripheral Group0 内の INTC2 に配置されています。これらのレジスタへの書き込みは、EIBDn（n = 32 ～ 511）によってバインドされた PE のスーパバイザモードのみが実行可能です。IMR1 ～ 15 への書き込みでは、上記条件に一致するビットのみが書き換えられ、条件に一致しなかったビットは更新されません。

表 6.1 に示すレジスタのうち、**「表 6.14 割り込み例外ハンドラと優先順位」**で Reserved となっているチャネル番号に対応するレジスタの設定値は初期値から変更しないでください。

表 6.2 外部割り込み / ソフトウェア割り込み /NMI

アドレス	レジスタシンボル	レジスタ名	R/W	アクセス幅	リセット後の値
FFC0 0000_H	NMICTL	NMI 割り込みコントロールレジスタ	R/W	8	00_H
FFC0 0010_H	EXINTCTL	外部割り込みコントロールレジスタ	R/W	8、16	0000_H
FFC0 0014_H	EXINTSTR	外部割り込みステータスレジスタ	R	8	00_H
FFC0 0018_H	EXINTSTC	外部割り込みステータスクリアレジスタ	W	8	00_H
FFC0 0020_H	SINTR0	ソフトウェア割り込みレジスタ	R/W	8	00_H
FFC0 0024_H	SINTR1	ソフトウェア割り込みレジスタ 1	R/W	8	00_H
FFC0 0028_H	SINTR2	ソフトウェア割り込みレジスタ 2	R/W	8	00_H
FFC0 $002C_H$	SINTR3	ソフトウェア割り込みレジスタ 3	R/W	8	00_H

表 6.3 割り込みマージ機能

アドレス	レジスタシンボル	レジスタ名	R/W	アクセス幅	リセット後の値
FFF9 8000_H	PINT0	周辺割り込みステータスレジスタ 0	R	32	0000 0000_H
FFF9 8004_H	PINT1	周辺割り込みステータスレジスタ 1	R	32	0000 0000_H
FFF9 8008_H	PINT2	周辺割り込みステータスレジスタ 2	R	32	0000 0000_H
FFF9 $800C_H$	PINT3	周辺割り込みステータスレジスタ 3	R	32	0000 0000_H
FFF9 8010_H	PINT4	周辺割り込みステータスレジスタ 4	R	32	0000 0000_H
FFF9 8014_H	PINT5	周辺割り込みステータスレジスタ 5	R	32	0000 0000_H
FFF9 8018_H	PINT6	周辺割り込みステータスレジスタ 6	R	32	0000 0000_H
FFF9 $801C_H$	PINT7	周辺割り込みステータスレジスタ 7	R	32	0000 0000_H
FFF9 8020_H	PINTCLR0	周辺割り込みステータスクリアレジスタ 0	W	32	0000 0000_H
FFF9 8024_H	PINTCLR1	周辺割り込みステータスクリアレジスタ 1	W	32	0000 0000_H
FFF9 8028_H	PINTCLR2	周辺割り込みステータスクリアレジスタ 2	W	32	0000 0000_H
FFF9 $802C_H$	PINTCLR3	周辺割り込みステータスクリアレジスタ 3	W	32	0000 0000_H
FFF9 8030_H	PINTCLR4	周辺割り込みステータスクリアレジスタ 4	W	32	0000 0000_H
FFF9 8034_H	PINTCLR5	周辺割り込みステータスクリアレジスタ 5	W	32	0000 0000_H
FFF9 8038_H	PINTCLR6	周辺割り込みステータスクリアレジスタ 6	W	32	0000 0000_H
FFF9 $803C_H$	PINTCLR7	周辺割り込みステータスクリアレジスタ 7	W	32	0000 0000_H

表 6.4 ATU-IV 割り込み制御

アドレス	レジスタシンボル	レジスタ名	R/W	アクセス幅	リセット後の値
FFF9 8040_H	TIMER	タイマインタラプトマスクイネーブルレジスタ	R/W	8	00_H

6.2.2 EIC0 ～ EIC511 — EI レベル割り込み制御レジスタ 0 ～ 511

EI レベル INT の要因ごとに用意され、各要因の割り込み制御条件を設定します。それぞれの要因は**「表 6.14 割り込み例外ハンドラと優先順位」**を参照してください。

注 意

エッジ検出で、周辺モジュールからの割り込み要求の直後（CPU によって割り込みが受け付けられる前）に、EIRFn ビットに “0” を書き込んだ場合は、要求が失われる場合があります。

また、CPU によって割り込みが受け付けられた直後に、EIRFn ビットに “1” を書き込んだ場合は要求が再セットされる場合があります。

レジスタへの書き込みにはビット操作命令（set1、clr1、not1）を含みます。

ビット操作命令については、「3.5.2 ビット操作命令でのレジスタ・アクセス」もご参照ください。

EIMKn ビットを含む下位バイトへのビット操作命令実行時には、EIRFn ビットは影響を受けません。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EICTn	—	—	EIRFn	—	—	—	—	EIMKn	EITBn	—	—	EIPn			
リセット後の値	注1	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W

注 1. エッジ検出時 0、レベル検出時 1

表 6.5 EIC0 ～ EIC511 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	EICTn	割り込みチャネルタイプビットです。割り込み入力インタフェースにより以下の値がリードされます。リードのみ可能です。 0：エッジ検出 1：レベル検出 ライトする場合はリセット後の値を書いてください。
14、13	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	EIRFn	割り込み要求フラグです。割り込み入力インタフェースにより動作が異なります。 0：割り込み要求なし（初期値） 1：割り込み要求あり • エッジ検出 CPU コアに自チャネルの割り込み要求が受け付けられると自動的にクリアされます。 ソフトウェアによるビットのセット・クリアが可能です。EIRFn ビットをセット（1）すると、割り込み要求を受け付けた場合と同じように、EI レベルマスカブル割り込み n（EIINTn）を発生します。 • レベル検出 ソフトウェアによるビットのセット・クリアはできません。リードのみ可能です。
11 ～ 8	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 6.5　EIC0 ～ EIC511 レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	EIMKn	割り込みマスクビットです。本ビットがセットされている場合は割り込み要求フラグ（EIRFn）へセットされた割り込み要求をマスクし、そのチャネルから CPU コアへ割り込み要求が行われないようにします。また、本ビットがセットされているチャネルからは未処理割り込みの存在通知と ICSR レジスタの PMEI ビットのセットは行われません。本ビットで割り込み処理を禁止に設定した場合も、割り込み信号の入力そのもののマスクは行われず、割り込み要求フラグはセットされます。割り込みマスクレジスタ（IMR）の対応するビットの設定も反映されます。 0：割り込み処理を許可 1：割り込み処理を禁止（初期値）
6	EITBn	割り込みベクタ方式選択ビットです。 0：優先度に基づいた直接分岐方式 1：テーブル参照方式
5、4	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3 ～ 0	EIP3n-0n 注 1	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ通知されます。本ビットで指定される優先度が同じ場合は、固定の優先度としてチャネル番号が小さい要因が選択されます。

備考　n = 0 ～ 511
「表 6.14　割り込み例外ハンドラと優先順位」で Reserved となっているチャネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

注 1.　PCU に内蔵される EIC0 ～ 31 では、EIPn の bit2-0 の 8 レベルで割り込み優先度を指定します。（EIPn の bit3 には、“0” を設定してください。）
また、EIC32 ～ 511 で、PCU にバインドした割り込みの優先度は、EIPn の bit3-1 の 3 ビットが、PCU 内では EIPn の bit2-0 の 3 ビットとして優先順位判定されます。（PCU へのバインド時、EIPn の bit0 の設定は無視されます。）

6.2.3 IMR0 ～ IMR15 — EI レベル割り込みマスクレジスタ 0 ～ 15

EIC レジスタの EIMK ビットの集合レジスタです。IMRn レジスタの各ビットは対応する EIMK ビットの設定が反映されます。また IMRn レジスタへの設定は対応する EIMK ビットへ反映されます。

IMR0

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EIMK31	EIMK30	EIMK29	EIMK28	EIMK27	EIMK26	EIMK25	EIMK24	EIMK23	EIMK22	EIMK21	EIMK20	EIMK19	EIMK18	EIMK17	EIMK16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EIMK15	EIMK14	EIMK13	EIMK12	EIMK11	EIMK10	EIMK9	EIMK8	EIMK7	EIMK6	EIMK5	EIMK4	EIMK3	EIMK2	EIMK1	EIMK0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IMR1

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EIMK63	EIMK62	EIMK61	EIMK60	EIMK59	EIMK58	EIMK57	EIMK56	EIMK55	EIMK54	EIMK53	EIMK52	EIMK51	EIMK50	EIMK49	EIMK48
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EIMK47	EIMK46	EIMK45	EIMK44	EIMK43	EIMK42	EIMK41	EIMK40	EIMK39	EIMK38	EIMK37	EIMK36	EIMK35	EIMK34	EIMK33	EIMK32
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

:

:

IMR15

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EIMK511	EIMK510	EIMK509	EIMK508	EIMK507	EIMK506	EIMK505	EIMK504	EIMK503	EIMK502	EIMK501	EIMK500	EIMK499	EIMK498	EIMK497	EIMK496
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EIMK495	EIMK494	EIMK493	EIMK492	EIMK491	EIMK490	EIMK489	EIMK488	EIMK487	EIMK486	EIMK485	EIMK484	EIMK483	EIMK482	EIMK481	EIMK480
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 **「表 6.14 割り込み例外ハンドラと優先順位」**で Reserved となっているチャネル番号に対応する EIMK ビットには、必ず “1” を設定してください。

6.2.4 EIBD0 ～ EIBD511 — EI レベル割り込みバインドレジスタ 0 ～ 511

EI レベル INT の要因ごとに用意され、各要因と PE の対応付けを行います。それぞれの要因は**「表 6.14 割り込み例外ハンドラと優先順位」**を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GPID	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PEID		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	注 1		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

注 1. EIBD32 ～ 511 ：001

表 6.6 EIBD0 ～ EIBD511 レジスタの内容

ビット位置	ビット名	機能
31 ～ 18	—	予約です。必ず “0” を書いてください。
17、16	GPID	本ビットは、EIBD32 ～ 511 にのみ実装されています。本ビットには、PEID の設定に応じて以下のいずれかを設定してください。 00：PEID でバインド先に CPU1 を選択した場合 01：PEID でバインド先に PCU を選択した場合 EIBD0 ～ 31 では予約ビットであり、書き込む値は “0” を設定してください。読み出した場合は必ず “0” が読み出されます。
15 ～ 3	—	予約です。必ず “0” を書いてください。
2 ～ 0	PEID	割り込みをバインド（要求）する先を指定します。 ただし、EIBD0 ～ EIBD31 の PEID ビットは固定されており、変更することはできません。 001：CPU1 に割り込みをバインドします 011：PCU に割り込みをバインドします 対応する要因の割り込みを実行する場合は、必ず上記のいずれかを設定してください。

備考 **「表 6.14 割り込み例外ハンドラと優先順位」**で Reserved となっているチャネル番号に対応するレジスタの設定値はリセット後の値から変更しないでください。

注 意

EIINT の要求を処理中に対応する EIBDn レジスタの値を変更する事は禁止です。

6.2.5 NMICTL — NMI 割り込みコントロールレジスタ

本レジスタは NMI 割り込み入力に対して、Fall エッジ、Rise エッジの検出モードを設定する 8 ビットレジスタです。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	NMIS	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 6.7 NMICTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	予約ビット
1、0	NMIS	NMI 割り込みセンス選択ビット NMI 割り込み信号のセンス方法を Fall エッジ、Rise エッジから選択します。 ００：割り込み要求を NMI 入力の Fall エッジで検出する ０１：割り込み要求を NMI 入力の Rise エッジで検出する １０：設定禁止 １１：設定禁止

6.2.6 EXINTCTL — 外部割り込みコントロールレジスタ

本レジスタは外部割り込み入力端子 IRQ7 ～ IRQ0 に対してロウレベル、ハイレベル、Fall エッジ、Rise エッジの検出モードを個別に指定する 16 ビットレジスタです。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ7S		IRQ6S		IRQ5S		IRQ4S		IRQ3S		IRQ2S		IRQ1S		IRQ0S	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6.8　EXINTCTL レジスタの内容

ビット位置	ビット名	機能
15、14	IRQ7S	外部割り込みセンス選択ビット IRQ7 ～ IRQ0 端子に対する割り込み信号のセンス方法をロウレベル、ハイレベル、Fall エッジ、Rise エッジから選択します。 ００：割り込み要求を IRQn 入力のロウレベルで検出する注 1 ０１：割り込み要求を IRQn 入力のハイレベルで検出する注 1 １０：割り込み要求を IRQn 入力の Fall エッジで検出する １１：割り込み要求を IRQn 入力の Rise エッジで検出する
13、12	IRQ6S	
11、10	IRQ5S	
9、8	IRQ4S	
7、6	IRQ3S	
5、4	IRQ2S	
3、2	IRQ1S	
1、0	IRQ0S	

注 1.　レベルセンス選択時は、割り込みが受け付けられるまでアクティブレベルを保持してください。

6.2.7 EXINTSTR — 外部割り込みステータスレジスタ

EXINTSTR は 8 ビットレジスタで、外部割り込み入力端子 IRQ7 ～ IRQ0 の割り込み要求を示します。IRQ7 ～ IRQ0 割り込みをエッジ検出に設定している場合は、EXINTSTC レジスタで保持されている割り込み要求を取り下げることができます。

ビット	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 6.9 EXINTSTR レジスタの内容

ビット位置	ビット名	機能
7	IRQ7F	外部割り込み要求ビット IRQ7 ～ IRQ0 割り込み要求ステータスを表示します。 • レベル検出選択時 0：IRQn 割り込み要求が存在しません 1：IRQn 割り込み要求が存在します [クリア条件] IRQn 入力が EXINTCTL の IRQn1S, IRQn0S に対応するレベルでないとき [セット条件] IRQn 入力が EXINTCTL の IRQn1S, IRQn0S に対応するレベルのとき • エッジ検出選択時 0：IRQn 割り込み要求が検出されていません 1：IRQn 割り込み要求が検出されています [クリア条件] EXINTSTC の IRQnC ビットへ 1 書き込み [セット条件] EXINTCTL の IRQn1S, IRQn0S に対応するエッジが発生したとき
6	IRQ6F	
5	IRQ5F	
4	IRQ4F	
3	IRQ3F	
2	IRQ2F	
1	IRQ1F	
0	IRQ0F	

備考 n = 0 ～ 7

6.2.8 EXINTSTC — 外部割り込みステータスクリアレジスタ

EXINTSTC レジスタは 8 ビットレジスタで、IRQn のセンス方法にエッジ検出を選択したときの EXINTSTR の IRQnF をクリアするためのレジスタです。IRQnC に 1 を書き込むと対応する EXINTSTR の IRQnF がクリアされます。

ビット	7	6	5	4	3	2	1	0
	IRQ7C	IRQ6C	IRQ5C	IRQ4C	IRQ3C	IRQ2C	IRQ1C	IRQ0C
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 6.10 EXINTSTC レジスタの内容

ビット位置	ビット名	機能
7	IRQ7C	外部割り込み要求クリアビット IRQ7 ～ IRQ0 割り込みのセンス方法にエッジ検出を選択したときの割り込み要求ステータスをクリアします。 • レベル検出選択時 本ビットに機能はありません。 • エッジ検出選択時 1 書き込みで対応する EXINTSTR レジスタの IRQnF ビットをクリアします。
6	IRQ6C	
5	IRQ5C	
4	IRQ4C	
3	IRQ3C	
2	IRQ2C	
1	IRQ1C	
0	IRQ0C	

備考 n = 0 ～ 7

6.2.9 SINTR0 ～ SINTR3 — ソフトウェア割り込みレジスタ

本レジスタは、ソフトウェア割り込み 0 ～ 3（SINT0 ～ SINT3）を制御する 8 ビットのレジスタです。

本レジスタに、01_H をライトすることでカウンタ値をインクリメントします。また、00_H をライトすることでカウンタ値をデクリメントします。本レジスタのカウンタ値が 1 以上のとき、ソフトウェア割り込み 0 ～ 3（SINT0 ～ SINT3）が発生します。

リードした場合、現在のカウンタ値が読み出されます。

ビット	7	6	5	4	3	2	1	0
	SINTCn[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 6.11 SINTR0 ～ SINTR3 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	SINTCn[7:0]	ソフトウェア割り込み要求 ソフトウェア割り込みを発生します。 ［リード動作］SINTn の割り込み要求回数カウント値が読み出されます。 ［ライト動作］01_H をライト：カウンタをインクリメントします。注 1 00_H をライト：カウンタをデクリメントします。注 2

注 1. カウンタが FF_H のときに 01_H をライトした場合、インクリメントされず、FF_H のままとなります。
注 2. カウンタが 00_H のときに 00_H をライトした場合、デクリメントされず、00_H のままとなります。

6.2.10 PINT0 ～ PINT7、PINTCLR0 ～ PINTCLR7 — 周辺割り込みステータスレジスタ、周辺割り込みステータスクリアレジスタ

PINT0 ～ PINT7 は、32 チャネル単位でマージされている DTS の転送完了割り込みおよび転送回数一致割り込みについて、チャネルごとの割り込みステータスを確認することができます。PINT0 ～ PINT7 の同一レジスタ内で複数の割り込み要因が発生した場合、下位ビット側の 1 ビットのみセットされます。

割り込みハンドラ内で、周辺割り込みステータスレジスタ（PINT0 ～ PINT7）のリード値を、同チャネルの割り込みクリアレジスタ（PINTCLR0 ～ PINTCLR7）にライトすることにより、割り込みをクリアします。

PINT n + x（n = 0 ～ 3、x = 0）

ビット	31	30	29	28	27	26	25	24
	INTDTS [31+32*n]	INTDTS [30+32*n]	INTDTS [29+32*n]	INTDTS [28+32*n]	INTDTS [27+32*n]	INTDTS [26+32*n]	INTDTS [25+32*n]	INTDTS [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	23	22	21	20	19	18	17	16
	INTDTS [23+32*n]	INTDTS [22+32*n]	INTDTS [21+32*n]	INTDTS [20+32*n]	INTDTS [19+32*n]	INTDTS [18+32*n]	INTDTS [17+32*n]	INTDTS [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8
	INTDTS [15+32*n]	INTDTS [14+32*n]	INTDTS [13+32*n]	INTDTS [12+32*n]	INTDTS [11+32*n]	INTDTS [10+32*n]	INTDTS [9+32*n]	INTDTS [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	7	6	5	4	3	2	1	0
	INTDTS [7+32*n]	INTDTS [6+32*n]	INTDTS [5+32*n]	INTDTS [4+32*n]	INTDTS [3+32*n]	INTDTS [2+32*n]	INTDTS [1+32*n]	INTDTS [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

PINT n + x（n = 0 ～ 3、x = 4）

ビット	31	30	29	28	27	26	25	24
	INTCTDTS [31+32*n]	INTCTDTS [30+32*n]	INTCTDTS [29+32*n]	INTCTDTS [28+32*n]	INTCTDTS [27+32*n]	INTCTDTS [26+32*n]	INTCTDTS [25+32*n]	INTCTDTS [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	23	22	21	20	19	18	17	16
	INTCTDTS [23+32*n]	INTCTDTS [22+32*n]	INTCTDTS [21+32*n]	INTCTDTS [20+32*n]	INTCTDTS [19+32*n]	INTCTDTS [18+32*n]	INTCTDTS [17+32*n]	INTCTDTS [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8
	INTCTDTS [15+32*n]	INTCTDTS [14+32*n]	INTCTDTS [13+32*n]	INTCTDTS [12+32*n]	INTCTDTS [11+32*n]	INTCTDTS [10+32*n]	INTCTDTS [9+32*n]	INTCTDTS [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

ビット	7	6	5	4	3	2	1	0
	INTCTDTS [7+32*n]	INTCTDTS [6+32*n]	INTCTDTS [5+32*n]	INTCTDTS [4+32*n]	INTCTDTS [3+32*n]	INTCTDTS [2+32*n]	INTCTDTS [1+32*n]	INTCTDTS [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

PINTCLR n + x（n = 0 ～ 3、x = 0）

ビット	31	30	29	28	27	26	25	24
	INTCLR [31+32*n]	INTCLR [30+32*n]	INTCLR [29+32*n]	INTCLR [28+32*n]	INTCLR [27+32*n]	INTCLR [26+32*n]	INTCLR [25+32*n]	INTCLR [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ビット	23	22	21	20	19	18	17	16
	INTCLR [23+32*n]	INTCLR [22+32*n]	INTCLR [21+32*n]	INTCLR [20+32*n]	INTCLR [19+32*n]	INTCLR [18+32*n]	INTCLR [17+32*n]	INTCLR [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8
	INTCLR [15+32*n]	INTCLR [14+32*n]	INTCLR [13+32*n]	INTCLR [12+32*n]	INTCLR [11+32*n]	INTCLR [10+32*n]	INTCLR [9+32*n]	INTCLR [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ビット	7	6	5	4	3	2	1	0
	INTCLR [7+32*n]	INTCLR [6+32*n]	INTCLR [5+32*n]	INTCLR [4+32*n]	INTCLR [3+32*n]	INTCLR [2+32*n]	INTCLR [1+32*n]	INTCLR [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PINTCLR n + x（n = 0 ～ 3、x = 4）

ビット	31	30	29	28	27	26	25	24
	INTCTCLR [31+32*n]	INTCTCLR [30+32*n]	INTCTCLR [29+32*n]	INTCTCLR [28+32*n]	INTCTCLR [27+32*n]	INTCTCLR [26+32*n]	INTCTCLR [25+32*n]	INTCTCLR [24+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ビット	23	22	21	20	19	18	17	16
	INTCTCLR [23+32*n]	INTCTCLR [22+32*n]	INTCTCLR [21+32*n]	INTCTCLR [20+32*n]	INTCTCLR [19+32*n]	INTCTCLR [18+32*n]	INTCTCLR [17+32*n]	INTCTCLR [16+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8
	INTCTCLR [15+32*n]	INTCTCLR [14+32*n]	INTCTCLR [13+32*n]	INTCTCLR [12+32*n]	INTCTCLR [11+32*n]	INTCTCLR [10+32*n]	INTCTCLR [9+32*n]	INTCTCLR [8+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ビット	7	6	5	4	3	2	1	0
	INTCTCLR [7+32*n]	INTCTCLR [6+32*n]	INTCTCLR [5+32*n]	INTCTCLR [4+32*n]	INTCTCLR [3+32*n]	INTCTCLR [2+32*n]	INTCTCLR [1+32*n]	INTCTCLR [0+32*n]
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PINT0

ビット位置	ビット名	機能
31 ～ 0	INTDTS[31:0]	DTS ch31 ～ 0 転送完了割り込みステータス

PINT1

ビット位置	ビット名	機能
31 ～ 0	INTDTS[63:32]	DTS ch63 ～ 32 転送完了割り込みステータス

PINT2

ビット位置	ビット名	機能
31 ～ 0	INTDTS[95:64]	DTS ch95 ～ 64 転送完了割り込みステータス

PINT3

ビット位置	ビット名	機能
31 ～ 0	INTDTS [127:96]	DTS ch127 ～ 96 転送完了割り込みステータス

PINT4

ビット位置	ビット名	機能
31 ～ 0	INTCTDTS [31:0]	DTS ch31 ～ 0 転送回数一致割り込みステータス

PINT5

ビット位置	ビット名	機能
31 ～ 0	INTCTDTS [63:32]	DTS ch63 ～ 32 転送回数一致割り込みステータス

PINT6

ビット位置	ビット名	機能
31 ～ 0	INTCTDTS [95:64]	DTS ch95 ～ 64 転送回数一致割り込みステータス

PINT7

ビット位置	ビット名	機能
31 ～ 0	INTCTDTS [127:96]	DTS ch127 ～ 96 転送回数一致割り込みステータス

PINTCLR0

ビット位置	ビット名	機能
31 ～ 0	INTCLR[31:0]	DTS ch31 ～ 0 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT0 の読み出し値を書き込みます。

PINTCLR1

ビット位置	ビット名	機能
31 ～ 0	INTCLR[63:32]	DTS ch63 ～ 32 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT1 の読み出し値を書き込みます。

PINTCLR2

ビット位置	ビット名	機能
31 ～ 0	INTCLR[95:64]	DTS ch95 ～ 64 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT2 の読み出し値を書き込みます。

PINTCLR3

ビット位置	ビット名	機能
31 ～ 0	INTCLR [127:96]	DTS ch127 ～ 96 転送完了割り込みステータスをクリアします。 割り込みハンドラ内で PINT3 の読み出し値を書き込みます。

PINTCLR4

ビット位置	ビット名	機能
31 ～ 0	INTCTCLR [31:0]	DTS ch31 ～ 0 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT4 の読み出し値を書き込みます。

PINTCLR5

ビット位置	ビット名	機能
31 ～ 0	INTCTCLR [63:32]	DTS ch63 ～ 32 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT5 の読み出し値を書き込みます。

PINTCLR6

ビット位置	ビット名	機能
31 ～ 0	INTCTCLR [95:64]	DTS ch95 ～ 64 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT6 の読み出し値を書き込みます。

PINTCLR7

ビット位置	ビット名	機能
31 ～ 0	INTCTCLR [127:96]	DTS ch127 ～ 96 転送回数一致割り込みステータスをクリアします。 割り込みハンドラ内で PINT7 の読み出し値を書き込みます。

6.2.11 TIMER — タイマインタラプトマスクイネーブルレジスタ

TIMER は 8 ビットの読み出し／書き込み可能なレジスタで、ATU-IV タイマ D サブブロック 4、5、6 の割り込み要求の有効／無効を設定します。対応する割り込みを、**「表 6.13 TIMER レジスタ対象割り込み」**に示します。これらの割り込みは、TSG2 の割り込みとマージされて INTC に入力されるため、TSG2 を使用する場合は該当する IMEn ビットを “1” に設定してください。また、タイマ D のサブブロック 4 を DMA トリガ要因としてのみ使用する場合は IME2 ビットを、サブブロック 6 を A/D 変換器、DFE へのトリガ出力としてのみ使用する場合は IME0 ビットを “1” に設定してください。なお、ATU-IV タイマ D のサブブロック 4、5、6 の動作中に本ビットの設定を変更しないでください。

TIMER は、バイト単位で読み出し／書き込み可能です。

TIMER は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	IME2	IME1	IME0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 6.12 TIMER レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	—	何も配置されていません。“0” に固定してください。
2	IME2	ATU-IV タイマ D のサブブロック 4 の割り込み要求の有効／無効を設定します。 0：割り込み要求は有効 1：割り込み要求は無効
1	IME1	ATU-IV タイマ D のサブブロック 5 の割り込み要求の有効／無効を設定します。 0：割り込み要求は有効 1：割り込み要求は無効
0	IME0	ATU-IV タイマ D のサブブロック 6 の割り込み要求の有効／無効を設定します。 0：割り込み要求は有効 1：割り込み要求は無効

対象となる割り込みを以下に示します。

表 6.13　TIMER レジスタ対象割り込み

TIMER レジスタ対象ビット	ATU-Ⅳタイマ D サブブロック	割り込みチャネル	割り込み名称
IME2	4	180	DCNTD40 ダウンカウンタアンダフロー割り込み
		181	DCNTD41 ダウンカウンタアンダフロー割り込み
		182	DCNTD42 ダウンカウンタアンダフロー割り込み
		183	DCNTD43 ダウンカウンタアンダフロー割り込み
IME1	5	184	OCR1D50 コンペアマッチ割り込み
		185	OCR2D50 コンペアマッチ割り込み
		186	OCR1D51 コンペアマッチ割り込み
		187	OCR2D51 コンペアマッチ割り込み
		188	OCR1D52 コンペアマッチ割り込み
		189	OCR2D52 コンペアマッチ割り込み
		190	OCR1D53 コンペアマッチ割り込み
		191	OCR2D53 コンペアマッチ割り込み
		192	TCNT1D5 オーバーフロー割り込み
		193	TCNT2D5 オーバーフロー割り込み
		194	DCNTD50 ダウンカウンタアンダフロー割り込み
		195	DCNTD51 ダウンカウンタアンダフロー割り込み
		196	DCNTD52 ダウンカウンタアンダフロー割り込み
		197	DCNTD53 ダウンカウンタアンダフロー割り込み
IME0	6	198	OCR1D60 コンペアマッチ割り込み
		199	OCR2D60 コンペアマッチ割り込み
		200	OCR1D61 コンペアマッチ割り込み
		201	OCR2D61 コンペアマッチ割り込み
		202	OCR1D62 コンペアマッチ割り込み
		203	OCR2D62 コンペアマッチ割り込み
		204	OCR1D63 コンペアマッチ割り込み
		205	OCR2D63 コンペアマッチ割り込み
		206	TCNT1D6 オーバーフロー割り込み
		207	TCNT2D6 オーバーフロー割り込み

6.3 割り込み要因

割り込み要因は、外部割り込み（NMI/IRQ）、ECM 割り込み、プロセッサ間割り込み、ソフトウェア割り込み、周辺モジュール割り込みの 5 つに分類されます。

6.3.1 NMI 割り込み

NMI 割り込みは、NMI 端子からの入力による外部割り込みです。NMI 割り込みコントロールレジスタ（NMICTL）の NMI 割り込みセンス選択ビット（NMIS）の設定によって Fall エッジ、Rise エッジを選択できます。

NMI 割り込みは、他の FE レベル割り込みが発生していても最優先で受け付けられます。CPU システムレジスタ　PSW.NP の状態にかかわらず、マスクすることはできません。

復帰／回復が不可能なノンマスカブル割り込みです。

6.3.2 IRQ 割り込み

IRQ 割り込みは IRQ7 ～ IRQ0 端子からの入力による割り込みです。IRQ 割り込みは、外部割り込みコントロール（EXINTCTL）の外部割り込みセンス選択ビット（IRQ7S ～ IRQ0S）の設定によって、端子ごとにロウレベル、ハイレベル、Fall エッジ、Rise エッジを選択できます。また、割り込み制御レジスタによって、優先レベルを要因ごとに CPU1 は 16 レベル、PCU は 8 レベルで設定できます。

IRQ 割り込みをロウレベル検出に設定している場合、IRQ7 ～ IRQ0 端子がロウレベルの期間、INTC に割り込み要求信号が送られます。IRQ7 ～ IRQ0 端子がハイレベルになると、割り込み要求信号は INTC に送られません。割り込みが受け付けられるまでアクティブレベルを保持してください。外部割り込みステータスレジスタ（EXINTSTR）の IRQ 割り込み要求ビット（IRQ7F ～ IRQ0F）をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7 ～ IRQ0 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。EXINTSTR の IRQ7F ～ IRQ0F ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認できます。また、エッジ検出時は EXINTSTC の対応するビットへ 1 をライトすることにより IRQ 割り込み要求をクリアできます。

IRQ 割り込み例外ハンドラから復帰する際は、誤って再度受け付けないように、外部割り込みステータスレジスタ（EXINTSTR）をクリアしてから、割り込み復帰命令を実行してください。

6.3.3 ECM 割り込み

ECM（Error Control Module）で複数の割り込み要求をマージして生成される要因です。詳細は**「第 31 章　エラーコントロールモジュール (ECM)」**を参照ください。

6.3.4 プロセッサ間割り込み

PE 間で割り込み通信を行うためのレジスタ（IPIR_CHn）を 4CH 分持っています。IPIR_CH0-3 はユーザ割り込み（EIINT）の CH0-3 にアサインされます。各 PE に対応したビットを操作することで特定の PE（自身を含む）に対して割り込みを要求することが可能です。

割り込み制御レジスタによって、優先レベルを要因ごとに CPU1 は 16 レベル、PCU は 8 レベルで設定できます。

6.3.5 ソフトウェア割り込み

ソフトウェア割り込み（SINT）は、SINTR0 ～ SINTR3 レジスタを設定することで発生する割り込みです。複数回の割込み要求をキューイングすることができます。

割り込み制御レジスタによって、優先レベルを要因ごとに CPU1 は 16 レベル、PCU は 8 レベルで設定できます。

6.3.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- Code Flash/Data Flash
- シリアルコミュニケーションインタフェース 3（SCI3）
- OS タイマ（OSTM）
- ウィンドウウォッチドッグタイマ（WDTA）
- アドバンストタイマユニット IV（ATU-IV）
- モータコントロールタイマ（TSG2）
- オートノマスパルスコントロールアダプタ（APA）
- AD コンバータ（ADC）
- AD 加算機能（ASF）
- ΔΣAD コンバータ（DS-ADC）
- シリアルコミュニケーションインタフェース H（CSIH）
- CAN インタフェース（RS-CANFD）
- FlexRay
- LIN マスタインタフェース（RLIN2）
- ルネサスハイスピードバス（RHSB）
- ダイレクトメモリアクセスコントローラ（DMAC、DTS）
- デジタルフィルタ（DFE）
- インテリジェントクリプトグラフィックユニット（ICU-S）
- ルネサスシングルエッジニブルトランスミッション（RSENT）

要因ごとに異なる割り込みベクタが割り当てられているため、割り込み例外ハンドラで要因を判定する必要はありません。優先順位は、割り込み要因ごとに優先レベルを CPU1 は 16 レベル、PCU は 8 レベルで設定できます。

6.4 割り込み例外ハンドラと優先順位動作説明

表 6.14 に、割り込み要因と要因コード、例外ハンドラアドレスオフセット、割り込み優先順位を示します。

例外ハンドラアドレスは、CPU コア内の PSW.EBV ビットと、RBASE レジスタ、EBASE レジスタによって決定する標準仕様に加えて、割り込みに関しては、チャネルごとに例外ハンドラアドレスを個別に指定する拡張仕様があります。

標準仕様は、CPU コア内にあるベースアドレス（RBASE レジスタ /EBASE レジスタ）に、オフセットアドレスを加算して例外ハンドラアドレスとします。割り込みのオフセットアドレスの与え方には、以下の 2 通りの方式があります。なお、割り込みチャネル以外は指定のオフセットアドレスとなります。

- 割り込みチャネルに関係なく、チャネルごとに設定する優先度（0 ～ 15）によって $+100_H$ ～ $+1F0_H$ の範囲で決定する。（**表 6.14** の**注 1, 2, 3.**）
- 優先度に無関係に、一律 $+100_H$ となる。これは、例外ハンドラのメモリ占有サイズを小さくするための機能です。（**表 6.14** の**注 1, 2, 3.**）

拡張仕様は、割り込みチャネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求まります。（**表 6.14** の**注 1, 2, 3.**）INTBP レジスタは、CPU コア内のレジスタです。

例外ハンドラアドレス読み出し位置 = INTBP レジスタ + チャネル番号 × 4 バイト

RH850G3MH、G3K 例外については「*RH850G3MH シリーズ ユーザーズマニュアル ソフトウェア編*」、「*RH850G3K シリーズ ユーザーズマニュアル ソフトウェア編*」を参照してください。

システムエラー例外については**「第 3 章　CPU システム」**を参照してください。

優先順位は、チャネルごとに設定できます。指定した優先レベルが同じ場合は、固定の優先度としてチャネル番号が小さい要因が選択されます。

表 6.14 割り込み例外ハンドラと優先順位 (1/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
ノンマスカブル割り込み	NMI 割り込み		（FENMI）	$E0_H$	$+0E0_H$	$+0E0_H$	—		優先高
FE レベル割り込み	エラーコントロールモジュール（ECM）FE レベル割り込み		（FEINT）	$F0_H$	$+0F0_H$	$+0F0_H$	—		
プロセッサ間割り込み	IPIR_CH0		0	1000	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+000_H$	0 ～ 15(15)	
	IPIR_CH1		1	1001			$+004_H$	0 ～ 15(15)	
	IPIR_CH2		2	1002			$+008_H$	0 ～ 15(15)	
	IPIR_CH3		3	1003			$+00C_H$	0 ～ 15(15)	
	Reserved		4	1004					
	Reserved		5	1005					
	Reserved		6	1006					
	Reserved		7	1007					
エラーコントロールモジュール	エラーコントロールモジュール（ECM）マスカブル割り込み		8	1008			$+020_H$	0 ～ 15(15)	
IRQ（外部割り込み）	IRQ0 割り込み	○	9	1009			$+024_H$	0 ～ 15(15)	
	IRQ1 割り込み	○	10	100A			$+028_H$	0 ～ 15(15)	
	IRQ2 割り込み	○	11	100B			$+02C_H$	0 ～ 15(15)	
	IRQ3 割り込み	○	12	100C			$+030_H$	0 ～ 15(15)	
	IRQ4 割り込み	○	13	100D			$+034_H$	0 ～ 15(15)	
	IRQ5 割り込み	○	14	100E			$+038_H$	0 ～ 15(15)	
	IRQ6 割り込み	○	15	100F			$+03C_H$	0 ～ 15(15)	
	IRQ7 割り込み	○	16	1010			$+040_H$	0 ～ 15(15)	
SINT（ソフトウェア割り込み）	SINT0 割り込み	○	17	1011			$+044_H$	0 ～ 15(15)	
	SINT1 割り込み	○	18	1012			$+048_H$	0 ～ 15(15)	
	SINT2 割り込み	○	19	1013			$+04C_H$	0 ～ 15(15)	
	SINT3 割り込み	○	20	1014			$+050_H$	0 ～ 15(15)	
	Reserved		21	1015					
	Reserved		22	1016					
	Reserved		23	1017					
	Reserved		24	1018					
OSTM	OSTM0 割り込み（OSTM0TINT）		25	1019			$+064_H$	0 ～ 15(15)	
	OSTM1 割り込み（OSTM1TINT）		26	101A			$+068_H$	0 ～ 15(15)	
	OSTM2 割り込み（OSTM2TINT）		27	101B			$+06C_H$	0 ～ 15(15)	
	Reserved		28	101C					
DMA	DMA 転送エラー（DMAERR）		29	101D			$+074_H$	0 ～ 15(15)	
ICU-S	INT_WR_RDY		30	101E			$+078_H$	0 ～ 15(15)	
	INT_RD_RDY		31	101F			$+07C_H$	0 ～ 15(15)	
	Reserved		32	1020					
Code Flash/ Data Flash	フラッシュシーケンサ処理完了割り込み 備考 1		33	1021			$+084_H$	0 ～ 15(15)	
	Reserved		34	1022					
	Reserved		35	1023					
	Reserved		36	1024					
	Reserved		37	1025					
DMAC	ch0 転送完了割り込み／ ch0 転送回数一致割り込み		38	1026			$+098_H$	0 ～ 15(15)	
	ch1 転送完了割り込み／ ch1 転送回数一致割り込み		39	1027			$+09C_H$	0 ～ 15(15)	
	ch2 転送完了割り込み／ ch2 転送回数一致割り込み		40	1028			$+0A0_H$	0 ～ 15(15)	
	ch3 転送完了割り込み／ ch3 転送回数一致割り込み		41	1029			$+0A4_H$	0 ～ 15(15)	
	ch4 転送完了割り込み／ ch4 転送回数一致割り込み		42	102A			$+0A8_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (2/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
DMAC	ch5 転送完了割り込み／ ch5 転送回数一致割り込み		43	102B	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+0AC_H$	0 ～ 15(15)	優先高
	ch6 転送完了割り込み／ ch6 転送回数一致割り込み		44	102C			$+0B0_H$	0 ～ 15(15)	
	ch7 転送完了割り込み／ ch7 転送回数一致割り込み		45	102D			$+0B4_H$	0 ～ 15(15)	
	ch8 転送完了割り込み／ ch8 転送回数一致割り込み		46	102E			$+0B8_H$	0 ～ 15(15)	
	ch9 転送完了割り込み／ ch9 転送回数一致割り込み		47	102F			$+0BC_H$	0 ～ 15(15)	
	ch10 転送完了割り込み／ ch10 転送回数一致割り込み		48	1030			$+0C0_H$	0 ～ 15(15)	
	ch11 転送完了割り込み／ ch11 転送回数一致割り込み		49	1031			$+0C4_H$	0 ～ 15(15)	
	ch12 転送完了割り込み／ ch12 転送回数一致割り込み		50	1032			$+0C8_H$	0 ～ 15(15)	
	ch13 転送完了割り込み／ ch13 転送回数一致割り込み		51	1033			$+0CC_H$	0 ～ 15(15)	
	ch14 転送完了割り込み／ ch14 転送回数一致割り込み		52	1034			$+0D0_H$	0 ～ 15(15)	
	ch15 転送完了割り込み／ ch15 転送回数一致割り込み		53	1035			$+0D4_H$	0 ～ 15(15)	
WDTA	WDTA0TIT インターバルタイマ割り込み（75% 割り込み）		54	1036			$+0D8_H$	0 ～ 15(15)	
	WDTA1TIT インターバルタイマ割り込み（75% 割り込み）		55	1037			$+0DC_H$	0 ～ 15(15)	
	Reserved		56	1038					
ATU-IV TimerA	ICRA0 インプットキャプチャ割り込み		57	1039			$+0E4_H$	0 ～ 15(15)	
	ICRA1 インプットキャプチャ割り込み		58	103A			$+0E8_H$	0 ～ 15(15)	
	ICRA2 インプットキャプチャ割り込み		59	103B			$+0EC_H$	0 ～ 15(15)	
	ICRA3 インプットキャプチャ割り込み		60	103C			$+0F0_H$	0 ～ 15(15)	
	ICRA4 インプットキャプチャ割り込み		61	103D			$+0F4_H$	0 ～ 15(15)	
	ICRA5 インプットキャプチャ割り込み		62	103E			$+0F8_H$	0 ～ 15(15)	
	ICRA6 インプットキャプチャ割り込み		63	103F			$+0FC_H$	0 ～ 15(15)	
	TCNTA オーバーフロー割り込み		64	1040			$+100_H$	0 ～ 15(15)	
ATU-IV TimerB	OCRB0 コンペアマッチ割り込み		65	1041			$+104_H$	0 ～ 15(15)	
	OCRB1 コンペアマッチ割り込み		66	1042			$+108_H$	0 ～ 15(15)	
	OCRB6 コンペアマッチ割り込み		67	1043			$+10C_H$	0 ～ 15(15)	
	OCRB10 コンペアマッチ割り込み		68	1044			$+110_H$	0 ～ 15(15)	
	OCRB11 コンペアマッチ割り込み		69	1045			$+114_H$	0 ～ 15(15)	
	OCRB12 コンペアマッチ割り込み		70	1046			$+118_H$	0 ～ 15(15)	
	TCNTB6M と ICRB6 の比較条件マッチ割り込み		71	1047			$+11C_H$	0 ～ 15(15)	
	CMFB6 と CMFB6M の AND/OR 条件条件マッチ割り込み		72	1048			$+120_H$	0 ～ 15(15)	
	ICRB0 インプットキャプチャ割り込み		73	1049			$+124_H$	0 ～ 15(15)	
ATU-IV TimerC	GRC00 インプットキャプチャ／コンペアマッチ割り込み／OCRC00 コンペアマッチ割り込み		74	104A			$+128_H$	0 ～ 15(15)	
	GRC01 インプットキャプチャ／コンペアマッチ割り込み／OCRC01 コンペアマッチ割り込み		75	104B			$+12C_H$	0 ～ 15(15)	
	GRC02 インプットキャプチャ／コンペアマッチ割り込み／OCRC02 コンペアマッチ割り込み		76	104C			$+130_H$	0 ～ 15(15)	
	GRC03 インプットキャプチャ／コンペアマッチ割り込み／OCRC03 コンペアマッチ割り込み		77	104D			$+134_H$	0 ～ 15(15)	
	TCNTC0 オーバーフロー割り込み		78	104E			$+138_H$	0 ～ 15(15)	
	GRC10 インプットキャプチャ／コンペアマッチ割り込み／OCRC10 コンペアマッチ割り込み		79	104F			$+13C_H$	0 ～ 15(15)	
	GRC11 インプットキャプチャ／コンペアマッチ割り込み／OCRC11 コンペアマッチ割り込み		80	1050			$+140_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (3/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
ATU-IV TimerC	GRC12 インプットキャプチャ／コンペアマッチ割り込み／OCRC12 コンペアマッチ割り込み		81	1051	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+144_H$	0 ～ 15(15)	優先高
	GRC13 インプットキャプチャ／コンペアマッチ割り込み／OCRC13 コンペアマッチ割り込み		82	1052			$+148_H$	0 ～ 15(15)	
	TCNTC1 オーバーフロー割り込み		83	1053			$+14C_H$	0 ～ 15(15)	
	GRC20 インプットキャプチャ／コンペアマッチ割り込み／OCRC20 コンペアマッチ割り込み		84	1054			$+150_H$	0 ～ 15(15)	
	GRC21 インプットキャプチャ／コンペアマッチ割り込み／OCRC21 コンペアマッチ割り込み		85	1055			$+154_H$	0 ～ 15(15)	
	GRC22 インプットキャプチャ／コンペアマッチ割り込み／OCRC22 コンペアマッチ割り込み		86	1056			$+158_H$	0 ～ 15(15)	
	GRC23 インプットキャプチャ／コンペアマッチ割り込み／OCRC23 コンペアマッチ割り込み		87	1057			$+15C_H$	0 ～ 15(15)	
	TCNTC2 オーバーフロー割り込み		88	1058			$+160_H$	0 ～ 15(15)	
	GRC30 インプットキャプチャ／コンペアマッチ割り込み／OCRC30 コンペアマッチ割り込み		89	1059			$+164_H$	0 ～ 15(15)	
	GRC31 インプットキャプチャ／コンペアマッチ割り込み／OCRC31 コンペアマッチ割り込み		90	105A			$+168_H$	0 ～ 15(15)	
	GRC32 インプットキャプチャ／コンペアマッチ割り込み／OCRC32 コンペアマッチ割り込み		91	105B			$+16C_H$	0 ～ 15(15)	
	GRC33 インプットキャプチャ／コンペアマッチ割り込み／OCRC33 コンペアマッチ割り込み		92	105C			$+170_H$	0 ～ 15(15)	
	TCNTC3 オーバーフロー割り込み		93	105D			$+174_H$	0 ～ 15(15)	
	GRC40 インプットキャプチャ／コンペアマッチ割り込み／OCRC40 コンペアマッチ割り込み		94	105E			$+178_H$	0 ～ 15(15)	
	GRC41 インプットキャプチャ／コンペアマッチ割り込み／OCRC41 コンペアマッチ割り込み		95	105F			$+17C_H$	0 ～ 15(15)	
	GRC42 インプットキャプチャ／コンペアマッチ割り込み／OCRC42 コンペアマッチ割り込み		96	1060			$+180_H$	0 ～ 15(15)	
	GRC43 インプットキャプチャ／コンペアマッチ割り込み／OCRC43 コンペアマッチ割り込み		97	1061			$+184_H$	0 ～ 15(15)	
	TCNTC4 オーバーフロー割り込み		98	1062			$+188_H$	0 ～ 15(15)	
	GRC50 インプットキャプチャ／コンペアマッチ割り込み／OCRC50 コンペアマッチ割り込み		99	1063			$+18C_H$	0 ～ 15(15)	
	GRC51 インプットキャプチャ／コンペアマッチ割り込み／OCRC51 コンペアマッチ割り込み		100	1064			$+190_H$	0 ～ 15(15)	
	GRC52 インプットキャプチャ／コンペアマッチ割り込み／OCRC52 コンペアマッチ割り込み		101	1065			$+194_H$	0 ～ 15(15)	
	GRC53 インプットキャプチャ／コンペアマッチ割り込み／OCRC53 コンペアマッチ割り込み		102	1066			$+198_H$	0 ～ 15(15)	
	TCNTC5 オーバーフロー割り込み		103	1067			$+19C_H$	0 ～ 15(15)	
	GRC60 インプットキャプチャ／コンペアマッチ割り込み／OCRC60 コンペアマッチ割り込み		104	1068			$+1A0_H$	0 ～ 15(15)	
	GRC61 インプットキャプチャ／コンペアマッチ割り込み／OCRC61 コンペアマッチ割り込み		105	1069			$+1A4_H$	0 ～ 15(15)	
	GRC62 インプットキャプチャ／コンペアマッチ割り込み／OCRC62 コンペアマッチ割り込み		106	106A			$+1A8_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (4/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
ATU-IV TimerC	GRC63 インプットキャプチャ／コンペアマッチ割り込み／OCRC63 コンペアマッチ割り込み		107	106B	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+1AC_H$	0 ～ 15(15)	優先高
	TCNTC6 オーバーフロー割り込み		108	106C			$+1B0_H$	0 ～ 15(15)	
	GRC70 インプットキャプチャ／コンペアマッチ割り込み／OCRC70 コンペアマッチ割り込み		109	106D			$+1B4_H$	0 ～ 15(15)	
	GRC71 インプットキャプチャ／コンペアマッチ割り込み／OCRC71 コンペアマッチ割り込み		110	106E			$+1B8_H$	0 ～ 15(15)	
	GRC72 インプットキャプチャ／コンペアマッチ割り込み／OCRC72 コンペアマッチ割り込み		111	106F			$+1BC_H$	0 ～ 15(15)	
	GRC73 インプットキャプチャ／コンペアマッチ割り込み／OCRC73 コンペアマッチ割り込み		112	1070			$+1C0_H$	0 ～ 15(15)	
	TCNTC7 オーバーフロー割り込み		113	1071			$+1C4_H$	0 ～ 15(15)	
ATU-IV TimerD	OCR1D00 コンペアマッチ割り込み		114	1072			$+1C8_H$	0 ～ 15(15)	
	OCR2D00 コンペアマッチ割り込み		115	1073			$+1CC_H$	0 ～ 15(15)	
	OCR1D01 コンペアマッチ割り込み		116	1074			$+1D0_H$	0 ～ 15(15)	
	OCR2D01 コンペアマッチ割り込み		117	1075			$+1D4_H$	0 ～ 15(15)	
	OCR1D02 コンペアマッチ割り込み		118	1076			$+1D8_H$	0 ～ 15(15)	
	OCR2D02 コンペアマッチ割り込み		119	1077			$+1DC_H$	0 ～ 15(15)	
	OCR1D03 コンペアマッチ割り込み		120	1078			$+1E0_H$	0 ～ 15(15)	
	OCR2D03 コンペアマッチ割り込み		121	1079			$+1E4_H$	0 ～ 15(15)	
	TCNT1D0 オーバーフロー割り込み		122	107A			$+1E8_H$	0 ～ 15(15)	
	TCNT2D0 オーバーフロー割り込み		123	107B			$+1EC_H$	0 ～ 15(15)	
	DCNTD00 ダウンカウンタアンダフロー割り込み		124	107C			$+1F0_H$	0 ～ 15(15)	
	DCNTD01 ダウンカウンタアンダフロー割り込み		125	107D			$+1F4_H$	0 ～ 15(15)	
	DCNTD02 ダウンカウンタアンダフロー割り込み		126	107E			$+1F8_H$	0 ～ 15(15)	
	DCNTD03 ダウンカウンタアンダフロー割り込み		127	107F			$+1FC_H$	0 ～ 15(15)	
	OCR1D10 コンペアマッチ割り込み		128	1080			$+200_H$	0 ～ 15(15)	
	OCR2D10 コンペアマッチ割り込み		129	1081			$+204_H$	0 ～ 15(15)	
	OCR1D11 コンペアマッチ割り込み		130	1082			$+208_H$	0 ～ 15(15)	
	OCR2D11 コンペアマッチ割り込み		131	1083			$+20C_H$	0 ～ 15(15)	
	OCR1D12 コンペアマッチ割り込み		132	1084			$+210_H$	0 ～ 15(15)	
	OCR2D12 コンペアマッチ割り込み		133	1085			$+214_H$	0 ～ 15(15)	
	OCR1D13 コンペアマッチ割り込み		134	1086			$+218_H$	0 ～ 15(15)	
	OCR2D13 コンペアマッチ割り込み		135	1087			$+21C_H$	0 ～ 15(15)	
	TCNT1D1 オーバーフロー割り込み		136	1088			$+220_H$	0 ～ 15(15)	
	TCNT2D1 オーバーフロー割り込み		137	1089			$+224_H$	0 ～ 15(15)	
	DCNTD10 ダウンカウンタアンダフロー割り込み		138	108A			$+228_H$	0 ～ 15(15)	
	DCNTD11 ダウンカウンタアンダフロー割り込み		139	108B			$+22C_H$	0 ～ 15(15)	
	DCNTD12 ダウンカウンタアンダフロー割り込み		140	108C			$+230_H$	0 ～ 15(15)	
	DCNTD13 ダウンカウンタアンダフロー割り込み		141	108D			$+234_H$	0 ～ 15(15)	
	OCR1D20 コンペアマッチ割り込み		142	108E			$+238_H$	0 ～ 15(15)	
	OCR2D20 コンペアマッチ割り込み		143	108F			$+23C_H$	0 ～ 15(15)	
	OCR1D21 コンペアマッチ割り込み		144	1090			$+240_H$	0 ～ 15(15)	
	OCR2D21 コンペアマッチ割り込み		145	1091			$+244_H$	0 ～ 15(15)	
	OCR1D22 コンペアマッチ割り込み		146	1092			$+248_H$	0 ～ 15(15)	
	OCR2D22 コンペアマッチ割り込み		147	1093			$+24C_H$	0 ～ 15(15)	
	OCR1D23 コンペアマッチ割り込み		148	1094			$+250_H$	0 ～ 15(15)	
	OCR2D23 コンペアマッチ割り込み		149	1095			$+254_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (5/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
ATU-IV TimerD	TCNT1D2 オーバーフロー割り込み		150	1096	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+258_H$	0 ～ 15(15)	優先高
	TCNT2D2 オーバーフロー割り込み		151	1097			$+25C_H$	0 ～ 15(15)	
	DCNTD20 ダウンカウンタアンダフロー割り込み		152	1098			$+260_H$	0 ～ 15(15)	
	DCNTD21 ダウンカウンタアンダフロー割り込み		153	1099			$+264_H$	0 ～ 15(15)	
	DCNTD22 ダウンカウンタアンダフロー割り込み		154	109A			$+268_H$	0 ～ 15(15)	
	DCNTD23 ダウンカウンタアンダフロー割り込み		155	109B			$+26C_H$	0 ～ 15(15)	
	OCR1D30 コンペアマッチ割り込み		156	109C			$+270_H$	0 ～ 15(15)	
	OCR2D30 コンペアマッチ割り込み		157	109D			$+274_H$	0 ～ 15(15)	
	OCR1D31 コンペアマッチ割り込み		158	109E			$+278_H$	0 ～ 15(15)	
	OCR2D31 コンペアマッチ割り込み		159	109F			$+27C_H$	0 ～ 15(15)	
	OCR1D32 コンペアマッチ割り込み		160	10A0			$+280_H$	0 ～ 15(15)	
	OCR2D32 コンペアマッチ割り込み		161	10A1			$+284_H$	0 ～ 15(15)	
	OCR1D33 コンペアマッチ割り込み		162	10A2			$+288_H$	0 ～ 15(15)	
	OCR2D33 コンペアマッチ割り込み		163	10A3			$+28C_H$	0 ～ 15(15)	
	TCNT1D3 オーバーフロー割り込み		164	10A4			$+290_H$	0 ～ 15(15)	
	TCNT2D3 オーバーフロー割り込み		165	10A5			$+294_H$	0 ～ 15(15)	
	DCNTD30 ダウンカウンタアンダフロー割り込み		166	10A6			$+298_H$	0 ～ 15(15)	
	DCNTD31 ダウンカウンタアンダフロー割り込み		167	10A7			$+29C_H$	0 ～ 15(15)	
	DCNTD32 ダウンカウンタアンダフロー割り込み		168	10A8			$+2A0_H$	0 ～ 15(15)	
	DCNTD33 ダウンカウンタアンダフロー割り込み		169	10A9			$+2A4_H$	0 ～ 15(15)	
	OCR1D40 コンペアマッチ割り込み		170	10AA			$+2A8_H$	0 ～ 15(15)	
	OCR2D40 コンペアマッチ割り込み		171	10AB			$+2AC_H$	0 ～ 15(15)	
	OCR1D41 コンペアマッチ割り込み		172	10AC			$+2B0_H$	0 ～ 15(15)	
	OCR2D41 コンペアマッチ割り込み		173	10AD			$+2B4_H$	0 ～ 15(15)	
	OCR1D42 コンペアマッチ割り込み		174	10AE			$+2B8_H$	0 ～ 15(15)	
	OCR2D42 コンペアマッチ割り込み		175	10AF			$+2BC_H$	0 ～ 15(15)	
	OCR1D43 コンペアマッチ割り込み		176	10B0			$+2C0_H$	0 ～ 15(15)	
	OCR2D43 コンペアマッチ割り込み		177	10B1			$+2C4_H$	0 ～ 15(15)	
	TCNT1D4 オーバーフロー割り込み		178	10B2			$+2C8_H$	0 ～ 15(15)	
	TCNT2D4 オーバーフロー割り込み		179	10B3			$+2CC_H$	0 ～ 15(15)	
	DCNTD40 ダウンカウンタアンダフロー割り込み		180	10B4			$+2D0_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 1 （INTTSG20I1）								
ATU-IV TimerD	DCNTD41 ダウンカウンタアンダフロー割り込み		181	10B5			$+2D4_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 2 （INTTSG20I2）								
ATU-IV TimerD	DCNTD42 ダウンカウンタアンダフロー割り込み		182	10B6			$+2D8_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 3 （INTTSG20I3）								
ATU-IV TimerD	DCNTD43 ダウンカウンタアンダフロー割り込み		183	10B7			$+2DC_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 4 （INTTSG20I4）								
ATU-IV TimerD	OCR1D50 コンペアマッチ割り込み		184	10B8			$+2E0_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 5 （INTTSG20I5）								
ATU-IV TimerD	OCR2D50 コンペアマッチ割り込み		185	10B9			$+2E4_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 6 （INTTSG20I6）								
ATU-IV TimerD	OCR1D51 コンペアマッチ割り込み		186	10BA			$+2E8_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 7 （INTTSG20I7）								
ATU-IV TimerD	OCR2D51 コンペアマッチ割り込み		187	10BB			$+2EC_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 8 （INTTSG20I8）								
ATU-IV TimerD	OCR1D52 コンペアマッチ割り込み		188	10BC			$+2F0_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 9 （INTTSG20I9）								

表 6.14 割り込み例外ハンドラと優先順位 (6/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
ATU-IV TimerD	OCR2D52 コンペアマッチ割り込み		189	10BD	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+2F4_H$	0 ～ 15(15)	優先高 ↑
TSG2_0	TSG20 コンペアー致割り込み 10 （INTTSG20I10）								
ATU-IV TimerD	OCR1D53 コンペアマッチ割り込み		190	10BE			$+2F8_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 11 （INTTSG20I11）								
ATU-IV TimerD	OCR2D53 コンペアマッチ割り込み		191	10BF			$+2FC_H$	0 ～ 15(15)	
TSG2_0	TSG20 コンペアー致割り込み 12 （INTTSG20I12）								
ATU-IV TimerD	TCNT1D5 オーバーフロー割り込み		192	10C0			$+300_H$	0 ～ 15(15)	
TSG2_0	TSG20 エラー割り込み (INTTSG20IER）								
ATU-IV TimerD	TCNT2D5 オーバーフロー割り込み		193	10C1			$+304_H$	0 ～ 15(15)	
TSG2_0	TSG20 ワーニング割り込み（INTTSG20IWN）								
ATU-IV TimerD	DCNTD50 ダウンカウンタアンダフロー割り込み		194	10C2			$+308_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 1 （INTTSG21I1）								
ATU-IV TimerD	DCNTD51 ダウンカウンタアンダフロー割り込み		195	10C3			$+30C_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 2 （INTTSG21I2）								
ATU-IV TimerD	DCNTD52 ダウンカウンタアンダフロー割り込み		196	10C4			$+310_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 3 （INTTSG21I3）								
ATU-IV TimerD	DCNTD53 ダウンカウンタアンダフロー割り込み		197	10C5			$+314_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 4 （INTTSG21I4）								
ATU-IV TimerD	OCR1D60 コンペアマッチ割り込み		198	10C6			$+318_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 5 (INTTSG21I5）								
ATU-IV TimerD	OCR2D60 コンペアマッチ割り込み		199	10C7			$+31C_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 6 (INTTSG21I6）								
ATU-IV TimerD	OCR1D61 コンペアマッチ割り込み		200	10C8			$+320_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 7 (INTTSG21I7）								
ATU-IV TimerD	OCR2D61 コンペアマッチ割り込み		201	10C9			$+324_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 8 (INTTSG21I8）								
ATU-IV TimerD	OCR1D62 コンペアマッチ割り込み		202	10CA			$+328_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 9 (INTTSG21I9）								
ATU-IV TimerD	OCR2D62 コンペアマッチ割り込み		203	10CB			$+32C_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 10 (INTTSG21I10）								
ATU-IV TimerD	OCR1D63 コンペアマッチ割り込み		204	10CC			$+330_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 11 (INTTSG21I11）								
ATU-IV TimerD	OCR2D63 コンペアマッチ割り込み		205	10CD			$+334_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 12 （INTTSG21I12）								
ATU-IV TimerD	TCNT1D6 オーバーフロー割り込み		206	10CE			$+338_H$	0 ～ 15(15)	
TSG2_1	TSG21 エラー割り込み（INTTSG21IER）								
ATU-IV TimerD	TCNT2D6 オーバーフロー割り込み		207	10CF			$+33C_H$	0 ～ 15(15)	
TSG2_1	TSG21 ワーニング割り込み (INTTSG21IWN）								
ATU-IV TimerD	DCNTD60 ダウンカウンタアンダフロー割り込み		208	10D0			$+340_H$	0 ～ 15(15)	
	DCNTD61 ダウンカウンタアンダフロー割り込み		209	10D1			$+344_H$	0 ～ 15(15)	
	DCNTD62 ダウンカウンタアンダフロー割り込み		210	10D2			$+348_H$	0 ～ 15(15)	
	DCNTD63 ダウンカウンタアンダフロー割り込み		211	10D3			$+34C_H$	0 ～ 15(15)	
	OCR1D70 コンペアマッチ割り込み		212	10D4			$+350_H$	0 ～ 15(15)	
	OCR2D70 コンペアマッチ割り込み／ DCNTD70 ダウンカウンタアンダフロー割り込み		213	10D5			$+354_H$	0 ～ 15(15)	
	OCR1D71 コンペアマッチ割り込み		214	10D6			$+358_H$	0 ～ 15(15)	
	OCR2D71 コンペアマッチ割り込み／ DCNTD71 ダウンカウンタアンダフロー割り込み		215	10D7			$+35C_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (7/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
ATU-IV TimerD	OCR1D72 コンペアマッチ割り込み		216	10D8	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+360_H$	0 ～ 15(15)	優先高
	OCR2D72 コンペアマッチ割り込み／DCNTD72 ダウンカウンタアンダフロー割り込み		217	10D9			$+364_H$	0 ～ 15(15)	
	OCR1D73 コンペアマッチ割り込み		218	10DA			$+368_H$	0 ～ 15(15)	
	OCR2D73 コンペアマッチ割り込み／DCNTD73 ダウンカウンタアンダフロー割り込み		219	10DB			$+36C_H$	0 ～ 15(15)	
	TCNT1D7 オーバーフロー割り込み		220	10DC			$+370_H$	0 ～ 15(15)	
	TCNT2D7 オーバーフロー割り込み		221	10DD			$+374_H$	0 ～ 15(15)	
	OCR1D80 コンペアマッチ割り込み		222	10DE			$+378_H$	0 ～ 15(15)	
	OCR2D80 コンペアマッチ割り込み／DCNTD80 ダウンカウンタアンダフロー割り込み		223	10DF			$+37C_H$	0 ～ 15(15)	
	OCR1D81 コンペアマッチ割り込み		224	10E0			$+380_H$	0 ～ 15(15)	
	OCR2D81 コンペアマッチ割り込み／DCNTD81 ダウンカウンタアンダフロー割り込み		225	10E1			$+384_H$	0 ～ 15(15)	
	OCR1D82 コンペアマッチ割り込み		226	10E2			$+388_H$	0 ～ 15(15)	
	OCR2D82 コンペアマッチ割り込み／DCNTD82 ダウンカウンタアンダフロー割り込み		227	10E3			$+38C_H$	0 ～ 15(15)	
	OCR1D83 コンペアマッチ割り込み		228	10E4			$+390_H$	0 ～ 15(15)	
	OCR2D83 コンペアマッチ割り込み／DCNTD83 ダウンカウンタアンダフロー割り込み		229	10E5			$+394_H$	0 ～ 15(15)	
	TCNT1D8 オーバーフロー割り込み		230	10E6			$+398_H$	0 ～ 15(15)	
	TCNT2D8 オーバーフロー割り込み		231	10E7			$+39C_H$	0 ～ 15(15)	
	OCR1D90 コンペアマッチ割り込み		232	10E8			$+3A0_H$	0 ～ 15(15)	
	OCR2D90 コンペアマッチ割り込み／DCNTD90 ダウンカウンタアンダフロー割り込み		233	10E9			$+3A4_H$	0 ～ 15(15)	
	OCR1D91 コンペアマッチ割り込み		234	10EA			$+3A8_H$	0 ～ 15(15)	
	OCR2D91 コンペアマッチ割り込み／DCNTD91 ダウンカウンタアンダフロー割り込み		235	10EB			$+3AC_H$	0 ～ 15(15)	
	OCR1D92 コンペアマッチ割り込み		236	10EC			$+3B0_H$	0 ～ 15(15)	
	OCR2D92 コンペアマッチ割り込み／DCNTD92 ダウンカウンタアンダフロー割り込み		237	10ED			$+3B4_H$	0 ～ 15(15)	
	OCR1D93 コンペアマッチ割り込み		238	10EE			$+3B8_H$	0 ～ 15(15)	
	OCR2D93 コンペアマッチ割り込み ／DCNTD93 ダウンカウンタアンダフロー割り込み		239	10EF			$+3BC_H$	0 ～ 15(15)	
	TCNT1D9 オーバーフロー割り込み		240	10F0			$+3C0_H$	0 ～ 15(15)	
	TCNT2D9 オーバーフロー割り込み		241	10F1			$+3C4_H$	0 ～ 15(15)	
ATU-IV TimerE	CYLRE00 サイクルコンペアマッチ／DTRE00 デューティコンペアマッチ割り込み	○	242	10F2			$+3C8_H$	0 ～ 15(15)	
	CYLRE01 サイクルコンペアマッチ／DTRE01 デューティコンペアマッチ割り込み	○	243	10F3			$+3CC_H$	0 ～ 15(15)	
	CYLRE02 サイクルコンペアマッチ／DTRE02 デューティコンペアマッチ割り込み	○	244	10F4			$+3D0_H$	0 ～ 15(15)	
	CYLRE03 サイクルコンペアマッチ／DTRE03 デューティコンペアマッチ割り込み	○	245	10F5			$+3D4_H$	0 ～ 15(15)	
	CYLRE10 サイクルコンペアマッチ／DTRE10 デューティコンペアマッチ割り込み	○	246	10F6			$+3D8_H$	0 ～ 15(15)	
	CYLRE11 サイクルコンペアマッチ／DTRE11 デューティコンペアマッチ割り込み	○	247	10F7			$+3DC_H$	0 ～ 15(15)	
	CYLRE12 サイクルコンペアマッチ／DTRE12 デューティコンペアマッチ割り込み	○	248	10F8			$+3E0_H$	0 ～ 15(15)	
	CYLRE13 サイクルコンペアマッチ／DTRE13 デューティコンペアマッチ割り込み	○	249	10F9			$+3E4_H$	0 ～ 15(15)	
	CYLRE20 サイクルコンペアマッチ／DTRE20 デューティコンペアマッチ割り込み	○	250	10FA			$+3E8_H$	0 ～ 15(15)	
	CYLRE21 サイクルコンペアマッチ／DTRE21 デューティコンペアマッチ割り込み	○	251	10FB			$+3EC_H$	0 ～ 15(15)	
	CYLRE22 サイクルコンペアマッチ／DTRE22 デューティコンペアマッチ割り込み	○	252	10FC			$+3F0_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (8/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
ATU-IV TimerE	CYLRE23 サイクルコンペアマッチ／DTRE23 デューティコンペアマッチ割り込み	○	253	10FD	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+3F4_H$	0 ～ 15(15)	優先高
	CYLRE30 サイクルコンペアマッチ／DTRE30 デューティコンペアマッチ割り込み	○	254	10FE			$+3F8_H$	0 ～ 15(15)	
	CYLRE31 サイクルコンペアマッチ／DTRE31 デューティコンペアマッチ割り込み	○	255	10FF			$+3FC_H$	0 ～ 15(15)	
	CYLRE32 サイクルコンペアマッチ／DTRE32 デューティコンペアマッチ割り込み	○	256	1100			$+400_H$	0 ～ 15(15)	
	CYLRE33 サイクルコンペアマッチ／DTRE33 デューティコンペアマッチ割り込み	○	257	1101			$+404_H$	0 ～ 15(15)	
	CYLRE40 サイクルコンペアマッチ／DTRE40 デューティコンペアマッチ割り込み	○	258	1102			$+408_H$	0 ～ 15(15)	
	CYLRE41 サイクルコンペアマッチ／DTRE41 デューティコンペアマッチ割り込み	○	259	1103			$+40C_H$	0 ～ 15(15)	
	CYLRE42 サイクルコンペアマッチ／DTRE42 デューティコンペアマッチ割り込み	○	260	1104			$+410_H$	0 ～ 15(15)	
	CYLRE43 サイクルコンペアマッチ／DTRE43 デューティコンペアマッチ割り込み	○	261	1105			$+414_H$	0 ～ 15(15)	
	CYLRE50 サイクルコンペアマッチ／DTRE50 デューティコンペアマッチ割り込み	○	262	1106			$+418_H$	0 ～ 15(15)	
	CYLRE51 サイクルコンペアマッチ／DTRE51 デューティコンペアマッチ割り込み	○	263	1107			$+41C_H$	0 ～ 15(15)	
	CYLRE52 サイクルコンペアマッチ／DTRE52 デューティコンペアマッチ割り込み	○	264	1108			$+420_H$	0 ～ 15(15)	
	CYLRE53 サイクルコンペアマッチ／DTRE53 デューティコンペアマッチ割り込み	○	265	1109			$+424_H$	0 ～ 15(15)	
	CYLRE60 サイクルコンペアマッチ／DTRE60 デューティコンペアマッチ割り込み	○	266	110A			$+428_H$	0 ～ 15(15)	
	CYLRE61 サイクルコンペアマッチ／DTRE61 デューティコンペアマッチ割り込み	○	267	110B			$+42C_H$	0 ～ 15(15)	
	CYLRE62 サイクルコンペアマッチ／DTRE62 デューティコンペアマッチ割り込み	○	268	110C			$+430_H$	0 ～ 15(15)	
	CYLRE63 サイクルコンペアマッチ／DTRE63 デューティコンペアマッチ割り込み	○	269	110D			$+434_H$	0 ～ 15(15)	
ATU-IV TimerF	タイマ F0 オーバーフロー割り込み	○	270	110E			$+438_H$	0 ～ 15(15)	
	タイマ F1 オーバーフロー割り込み	○	271	110F			$+43C_H$	0 ～ 15(15)	
	タイマ F2 オーバーフロー割り込み	○	272	1110			$+440_H$	0 ～ 15(15)	
	タイマ F3 オーバーフロー割り込み	○	273	1111			$+444_H$	0 ～ 15(15)	
	タイマ F4 オーバーフロー割り込み	○	274	1112			$+448_H$	0 ～ 15(15)	
	タイマ F5 オーバーフロー割り込み	○	275	1113			$+44C_H$	0 ～ 15(15)	
	タイマ F6 オーバーフロー割り込み	○	276	1114			$+450_H$	0 ～ 15(15)	
	タイマ F7 オーバーフロー割り込み	○	277	1115			$+454_H$	0 ～ 15(15)	
	タイマ F8 オーバーフロー割り込み	○	278	1116			$+458_H$	0 ～ 15(15)	
	タイマ F9 オーバーフロー割り込み	○	279	1117			$+45C_H$	0 ～ 15(15)	
	タイマ F10 オーバーフロー割り込み	○	280	1118			$+460_H$	0 ～ 15(15)	
	タイマ F11 オーバーフロー割り込み	○	281	1119			$+464_H$	0 ～ 15(15)	
	タイマ F12 オーバーフロー割り込み	○	282	111A			$+468_H$	0 ～ 15(15)	
	タイマ F13 オーバーフロー割り込み	○	283	111B			$+46C_H$	0 ～ 15(15)	
	タイマ F14 オーバーフロー割り込み	○	284	111C			$+470_H$	0 ～ 15(15)	
	タイマ F15 オーバーフロー割り込み	○	285	111D			$+474_H$	0 ～ 15(15)	
	タイマ F0 インプットキャプチャ割り込み		286	111E			$+478_H$	0 ～ 15(15)	
	タイマ F1 インプットキャプチャ割り込み		287	111F			$+47C_H$	0 ～ 15(15)	
	タイマ F2 インプットキャプチャ割り込み		288	1120			$+480_H$	0 ～ 15(15)	
	タイマ F3 インプットキャプチャ割り込み		289	1121			$+484_H$	0 ～ 15(15)	
	タイマ F4 インプットキャプチャ割り込み		290	1122			$+488_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (9/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
ATU-IV TimerF	タイマ F5 インプットキャプチャ割り込み		291	1123	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+48C_H$	0 ～ 15(15)	優先高
	タイマ F6 インプットキャプチャ割り込み		292	1124			$+490_H$	0 ～ 15(15)	
	タイマ F7 インプットキャプチャ割り込み		293	1125			$+494_H$	0 ～ 15(15)	
	タイマ F8 インプットキャプチャ割り込み		294	1126			$+498_H$	0 ～ 15(15)	
	タイマ F9 インプットキャプチャ割り込み		295	1127			$+49C_H$	0 ～ 15(15)	
	タイマ F10 インプットキャプチャ割り込み		296	1128			$+4A0_H$	0 ～ 15(15)	
	タイマ F11 インプットキャプチャ割り込み		297	1129			$+4A4_H$	0 ～ 15(15)	
	タイマ F12 インプットキャプチャ割り込み		298	112A			$+4A8_H$	0 ～ 15(15)	
	タイマ F13 インプットキャプチャ割り込み		299	112B			$+4AC_H$	0 ～ 15(15)	
	タイマ F14 インプットキャプチャ割り込み		300	112C			$+4B0_H$	0 ～ 15(15)	
	タイマ F15 インプットキャプチャ割り込み		301	112D			$+4B4_H$	0 ～ 15(15)	
ATU-IV TimerG	OCRG0 コンペアマッチ割り込み		302	112E			$+4B8_H$	0 ～ 15(15)	
	OCRG1 コンペアマッチ割り込み		303	112F			$+4BC_H$	0 ～ 15(15)	
	OCRG2 コンペアマッチ割り込み		304	1130			$+4C0_H$	0 ～ 15(15)	
	OCRG3 コンペアマッチ割り込み		305	1131			$+4C4_H$	0 ～ 15(15)	
	OCRG4 コンペアマッチ割り込み		306	1132			$+4C8_H$	0 ～ 15(15)	
	OCRG5 コンペアマッチ割り込み		307	1133			$+4CC_H$	0 ～ 15(15)	
	OCRG6 コンペアマッチ割り込み		308	1134			$+4D0_H$	0 ～ 15(15)	
	OCRG7 コンペアマッチ割り込み		309	1135			$+4D4_H$	0 ～ 15(15)	
	OCRG8 コンペアマッチ割り込み		310	1136			$+4D8_H$	0 ～ 15(15)	
	OCRG9 コンペアマッチ割り込み		311	1137			$+4DC_H$	0 ～ 15(15)	
ATU-IV TimerH	OCR1H コンペアマッチ割り込み		312	1138			$+4E0_H$	0 ～ 15(15)	
ATU-IV TimerJ	FIFOJ0 FIFO データ フル割り込み		313	1139			$+4E4_H$	0 ～ 15(15)	
RSENT	RSENT0 受信割り込み (INT_SENT_RX0)								
ATU-IV TimerJ	FIFOJ1 FIFO データ フル割り込み		314	113A			$+4E8_H$	0 ～ 15(15)	
RSENT	RSENT1 受信割り込み (INT_SENT_RX1)								
ATU-IV TimerJ	FIFOJ2 FIFO データ フル割り込み		315	113B			$+4EC_H$	0 ～ 15(15)	
RSENT	RSENT2 受信割り込み（INT_SENT_RX2）								
ATU-IV TimerJ	FIFOJ3 FIFO データ フル割り込み		316	113C			$+4F0_H$	0 ～ 15(15)	
RSENT	RSENT3 受信割り込み（INT_SENT_RX3）								
ATU-IV TimerJ	FIFOJ4 FIFO データ フル割り込み		317	113D			$+4F4_H$	0 ～ 15(15)	
RSENT	RSENT4 受信割り込み（INT_SENT_RX4）								
ATU-IV TimerJ	FIFOJ5 FIFO データ フル割り込み		318	113E			$+4F8_H$	0 ～ 15(15)	
RSENT	RSENT5 受信割り込み（INT_SENT_RX5）								
	Reserved		319	113F					
	Reserved		320	1140					
ATU-IV TimerJ	TCNTJ0 オーバーフロー割り込み		321	1141			$+504_H$	0 ～ 15(15)	
	TCNTJ1 オーバーフロー割り込み		322	1142			$+508_H$	0 ～ 15(15)	
	TCNTJ2 オーバーフロー割り込み		323	1143			$+50C_H$	0 ～ 15(15)	
	TCNTJ3 オーバーフロー割り込み		324	1144			$+510_H$	0 ～ 15(15)	
	TCNTJ4 オーバーフロー割り込み		325	1145			$+514_H$	0 ～ 15(15)	
	TCNTJ5 オーバーフロー割り込み		326	1146			$+518_H$	0 ～ 15(15)	
	Reserved		327	1147					
	Reserved		328	1148					
ATU-IV TimerJ	FIFOJ0 FIFO データオーバーフロー割り込み		329	1149			$+524_H$	0 ～ 15(15)	
	FIFOJ1 FIFO データオーバーフロー割り込み		330	114A			$+528_H$	0 ～ 15(15)	
	FIFOJ2 FIFO データオーバーフロー割り込み		331	114B			$+52C_H$	0 ～ 15(15)	
	FIFOJ3 FIFO データオーバーフロー割り込み		332	114C			$+530_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (10/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
ATU-IV TimerJ	FIFOJ4 FIFO データオーバーフロー割り込み		333	114D	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+534_H$	0 ～ 15(15)	優先高
	FIFOJ5 FIFO データオーバーフロー割り込み		334	114E			$+538_H$	0 ～ 15(15)	
	Reserved		335	114F					
	Reserved		336	1150					
TSG2_0	TSG20 コンペアー致割り込み 0 （INTTSG20I0）		337	1151			$+544_H$	0 ～ 15(15)	
	TSG20 山割り込み（INTTSG20IPEK）		338	1152			$+548_H$	0 ～ 15(15)	
	TSG20 谷割り込み（INTTSG20IVLY）		339	1153			$+54C_H$	0 ～ 15(15)	
TSG2_1	TSG21 コンペアー致割り込み 0 （INTTSG21I0）		340	1154			$+550_H$	0 ～ 15(15)	
	TSG21 山割り込み（INTTSG21IPEK）		341	1155			$+554_H$	0 ～ 15(15)	
	TSG21 谷割り込み（INTTSG21IVLY）		342	1156			$+558_H$	0 ～ 15(15)	
APA0	PWM 出力 ch.0 ステータス変化割り込み		343	1157			$+55C_H$	0 ～ 15(15)	
	PWM 出力 ch.1 ステータス変化割り込み		344	1158			$+560_H$	0 ～ 15(15)	
	PWM 出力 ch.2 ステータス変化割り込み		345	1159			$+564_H$	0 ～ 15(15)	
	PWM 出力 ch.3 ステータス変化割り込み		346	115A			$+568_H$	0 ～ 15(15)	
	PWM 出力 ch.4 ステータス変化割り込み		347	115B			$+56C_H$	0 ～ 15(15)	
	PWM 出力 ch.5 ステータス変化割り込み		348	115C			$+570_H$	0 ～ 15(15)	
	PWM 出力 ch.6 ステータス変化割り込み		349	115D			$+574_H$	0 ～ 15(15)	
	PWM 出力 ch.7 ステータス変化割り込み		350	115E			$+578_H$	0 ～ 15(15)	
	PWM 出力 ch.8 ステータス変化割り込み		351	115F			$+57C_H$	0 ～ 15(15)	
	PWM 出力 ch.9 ステータス変化割り込み		352	1160			$+580_H$	0 ～ 15(15)	
	PWM 出力 ch.10 ステータス変化割り込み		353	1161			$+584_H$	0 ～ 15(15)	
	PWM 出力 ch.11 ステータス変化割り込み		354	1162			$+588_H$	0 ～ 15(15)	
	PWM 出力 ch.12 ステータス変化割り込み		355	1163			$+58C_H$	0 ～ 15(15)	
	PWM 出力 ch.13 ステータス変化割り込み		356	1164			$+590_H$	0 ～ 15(15)	
	PWM 出力 ch.14 ステータス変化割り込み		357	1165			$+594_H$	0 ～ 15(15)	
	PWM 出力 ch.15 ステータス変化割り込み		358	1166			$+598_H$	0 ～ 15(15)	
DFE	CH0 出力データ割り込み／ CH0 条件一致割り込み		359	1167			$+59C_H$	0 ～ 15(15)	
	CH1 出力データ割り込み／ CH1 条件一致割り込み		360	1168			$+5A0_H$	0 ～ 15(15)	
	CH2 出力データ割り込み／ CH2 条件一致割り込み		361	1169			$+5A4_H$	0 ～ 15(15)	
	CH3 出力データ割り込み／ CH3 条件一致割り込み		362	116A			$+5A8_H$	0 ～ 15(15)	
	CH4 出力データ割り込み／ CH4 条件一致割り込み		363	116B			$+5AC_H$	0 ～ 15(15)	
	CH5 出力データ割り込み／ CH5 条件一致割り込み		364	116C			$+5B0_H$	0 ～ 15(15)	
	CH6 出力データ割り込み／ CH6 条件一致割り込み		365	116D			$+5B4_H$	0 ～ 15(15)	
	CH7 出力データ割り込み／ CH7 条件一致割り込み		366	116E			$+5B8_H$	0 ～ 15(15)	
	CH8 出力データ割り込み／ CH8 条件一致割り込み		367	116F			$+5BC_H$	0 ～ 15(15)	
	CH9 出力データ割り込み／ CH9 条件一致割り込み		368	1170			$+5C0_H$	0 ～ 15(15)	
	CH10 出力データ割り込み		369	1171			$+5C4_H$	0 ～ 15(15)	
	CH11 出力データ割り込み		370	1172			$+5C8_H$	0 ～ 15(15)	
	CH12 出力データ割り込み		371	1173			$+5CC_H$	0 ～ 15(15)	
	CH13 出力データ割り込み		372	1174			$+5D0_H$	0 ～ 15(15)	
	CH14 出力データ割り込み		373	1175			$+5D4_H$	0 ～ 15(15)	
	CH15 出力データ割り込み		374	1176			$+5D8_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (11/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
ADC	ADI00 ADC0 スキャングループ 0 終了割り込み		375	1177	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+5DC_H$	0 ～ 15(15)	優先高
	ADI01 ADC0 スキャングループ 1 終了割り込み		376	1178			$+5E0_H$	0 ～ 15(15)	
	ADI02 ADC0 スキャングループ 2 終了割り込み		377	1179			$+5E4_H$	0 ～ 15(15)	
	ADI03 ADC0 スキャングループ 3 終了割り込み		378	117A			$+5E8_H$	0 ～ 15(15)	
	ADI04 ADC0 スキャングループ 4 終了割り込み		379	117B			$+5EC_H$	0 ～ 15(15)	
	ADI10 ADC1 スキャングループ 0 終了割り込み		380	117C			$+5F0_H$	0 ～ 15(15)	
	ADI11 ADC1 スキャングループ 1 終了割り込み		381	117D			$+5F4_H$	0 ～ 15(15)	
	ADI12 ADC1 スキャングループ 2 終了割り込み		382	117E			$+5F8_H$	0 ～ 15(15)	
	ADI13 ADC1 スキャングループ 3 終了割り込み		383	117F			$+5FC_H$	0 ～ 15(15)	
	ADI14 ADC1 スキャングループ 4 終了割り込み		384	1180			$+600_H$	0 ～ 15(15)	
	ADC0 MPX 割り込み（ADMPXI0）		385	1181			$+604_H$	0 ～ 15(15)	
	ADC1 MPX 割り込み（ADMPXI1）		386	1182			$+608_H$	0 ～ 15(15)	
	ADE0 ADC0AD エラー割り込み		387	1183			$+60C_H$	0 ～ 15(15)	
	ADE1 ADC1AD エラー割り込み		388	1184			$+610_H$	0 ～ 15(15)	
ASF（AD 加算機能）	ASI0 ch0 積算終了割り込み		389	1185			$+614_H$	0 ～ 15(15)	
	ASI1 ch1 積算終了割り込み		390	1186			$+618_H$	0 ～ 15(15)	
	ASI2 ch2 積算終了割り込み		391	1187			$+61C_H$	0 ～ 15(15)	
	ASI3 ch3 積算終了割り込み		392	1188			$+620_H$	0 ～ 15(15)	
	ASI4 ch4 積算終了割り込み		393	1189			$+624_H$	0 ～ 15(15)	
	ASI5 ch5 積算終了割り込み		394	118A			$+628_H$	0 ～ 15(15)	
	ASI6 ch6 積算終了割り込み		395	118B			$+62C_H$	0 ～ 15(15)	
	ASI7 ch7 積算終了割り込み		396	118C			$+630_H$	0 ～ 15(15)	
	ASI8 ch8 積算終了割り込み		397	118D			$+634_H$	0 ～ 15(15)	
	ASI9 ch9 積算終了割り込み		398	118E			$+638_H$	0 ～ 15(15)	
	ASI10 ch10 積算終了割り込み		399	118F			$+63C_H$	0 ～ 15(15)	
DS-ADC	DSADEn DSADCnAD エラー割り込み（n = 0 ～ 7）		400	1190			$+640_H$	0 ～ 15(15)	
FlexRay	FlexRay0 割り込み	○	401	1191			$+644_H$	0 ～ 15(15)	
	FlexRay1 割り込み	○	402	1192			$+648_H$	0 ～ 15(15)	
	タイマ 0 割り込み	○	403	1193			$+64C_H$	0 ～ 15(15)	
	タイマ 1 割り込み	○	404	1194			$+650_H$	0 ～ 15(15)	
	タイマ 2 割り込み	○	405	1195			$+654_H$	0 ～ 15(15)	
	FIFO 転送割り込み	○	406	1196			$+658_H$	0 ～ 15(15)	
	FIFO 転送警告割り込み	○	407	1197			$+65C_H$	0 ～ 15(15)	
	出力転送警告割り込み	○	408	1198			$+660_H$	0 ～ 15(15)	
	出力転送割り込み	○	409	1199			$+664_H$	0 ～ 15(15)	
	入力キューフル割り込み	○	410	119A			$+668_H$	0 ～ 15(15)	
	入力キューエンプティ割り込み	○	411	119B			$+66C_H$	0 ～ 15(15)	
RS-CAN/CAN-FD	受信 FIFO 割り込み	○	412	119C			$+670_H$	0 ～ 15(15)	
	グローバルエラー割り込み	○	413	119D			$+674_H$	0 ～ 15(15)	
RS-CAN-Ch0/CAN-FD-Ch0	送受信 FIFO 受信完了割り込み	○	414	119E			$+678_H$	0 ～ 15(15)	
	エラー割り込み	○	415	119F			$+67C_H$	0 ～ 15(15)	
	送信割り込み	○	416	11A0			$+680_H$	0 ～ 15(15)	
RS-CAN-Ch1/CAN-FD-Ch1	送受信 FIFO 受信完了割り込み	○	417	11A1			$+684_H$	0 ～ 15(15)	
	エラー割り込み	○	418	11A2			$+688_H$	0 ～ 15(15)	
	送信割り込み	○	419	11A3			$+68C_H$	0 ～ 15(15)	
RS-CAN-Ch2/CAN-FD-Ch2	送受信 FIFO 受信完了割り込み	○	420	11A4			$+690_H$	0 ～ 15(15)	
	エラー割り込み	○	421	11A5			$+694_H$	0 ～ 15(15)	
	送信割り込み	○	422	11A6			$+698_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (12/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
RS-CAN-Ch3/ CAN-FD-Ch3	送受信 FIFO 受信完了割り込み	○	423	11A7	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+69C_H$	0 ～ 15(15)	優先高
	エラー割り込み	○	424	11A8			$+6A0_H$	0 ～ 15(15)	
	送信割り込み	○	425	11A9			$+6A4_H$	0 ～ 15(15)	
	Reserved		426	11AA					
	Reserved		427	11AB					
	Reserved		428	11AC					
LIN（RLIN2_0）	送信完了割り込み／受信完了割り込み／エラー検出割り込み	○	429	11AD			$+6B4_H$	0 ～ 15(15)	
RSENT	RSENT0 ステータス割り込み（INT_SENT_ST0）	○	430	11AE			$+6B8_H$	0 ～ 15(15)	
	RSENT1 ステータス割り込み（INT_SENT_ST1）	○	431	11AF			$+6BC_H$	0 ～ 15(15)	
	RSENT2 ステータス割り込み（INT_SENT_ST2）	○	432	11B0			$+6C0_H$	0 ～ 15(15)	
	RSENT3 ステータス割り込み（INT_SENT_ST3）	○	433	11B1			$+6C4_H$	0 ～ 15(15)	
RHSB_0	データフレーム送信開始割り込み／データフレーム送信実行割り込み	○	434	11B2			$+6C8_H$	0 ～ 15(15)	
	送信開始割り込み／コマンドフレーム送信実行割り込み	○	435	11B3			$+6CC_H$	0 ～ 15(15)	
	緊急フレーム送信実行割り込み	○	436	11B4			$+6D0_H$	0 ～ 15(15)	
	データ受信割り込み	○	437	11B5			$+6D4_H$	0 ～ 15(15)	
	アップストリームエラー割り込み／タイムアウト検出割り込み／データ消失割り込み	○	438	11B6			$+6D8_H$	0 ～ 15(15)	
RHSB_1	データフレーム送信開始割り込み／データフレーム送信実行割り込み	○	439	11B7			$+6DC_H$	0 ～ 15(15)	
	送信開始割り込み／コマンドフレーム送信実行割り込み	○	440	11B8			$+6E0_H$	0 ～ 15(15)	
	緊急フレーム送信実行割り込み	○	441	11B9			$+6E4_H$	0 ～ 15(15)	
	データ受信割り込み	○	442	11BA			$+6E8_H$	0 ～ 15(15)	
	アップストリームエラー割り込み／タイムアウト検出割り込み／データ消失割り込み	○	443	11BB			$+6EC_H$	0 ～ 15(15)	
SCI_0	ERI（受信エラー）	○	444	11BC			$+6F0_H$	0 ～ 15(15)	
	RXI（受信データフル）		445	11BD			$+6F4_H$	0 ～ 15(15)	
	TXI（送信データエンプティ）		446	11BE			$+6F8_H$	0 ～ 15(15)	
	TEI（送信終了）	○	447	11BF			$+6FC_H$	0 ～ 15(15)	
SCI_1	ERI（受信エラー）	○	448	11C0			$+700_H$	0 ～ 15(15)	
	RXI（受信データフル）		449	11C1			$+704_H$	0 ～ 15(15)	
	TXI（送信データエンプティ）		450	11C2			$+708_H$	0 ～ 15(15)	
	TEI（送信終了）	○	451	11C3			$+70C_H$	0 ～ 15(15)	
SCI_2	ERI（受信エラー）	○	452	11C4			$+710_H$	0 ～ 15(15)	
	RXI（受信データフル）		453	11C5			$+714_H$	0 ～ 15(15)	
	TXI（送信データエンプティ）		454	11C6			$+718_H$	0 ～ 15(15)	
	TEI（送信終了）	○	455	11C7			$+71C_H$	0 ～ 15(15)	
SCI_3	ERI（受信エラー）	○	456	11C8			$+720_H$	0 ～ 15(15)	
	RXI（受信データフル）		457	11C9			$+724_H$	0 ～ 15(15)	
	TXI（送信データエンプティ）		458	11CA			$+728_H$	0 ～ 15(15)	
	TEI（送信終了）	○	459	11CB			$+72C_H$	0 ～ 15(15)	
CSIH_0	通信ステータス割り込み（INT_CSIHTIC）		460	11CC			$+730_H$	0 ～ 15(15)	
	受信ステータス割り込み（INT_CSIHTIR）		461	11CD			$+734_H$	0 ～ 15(15)	
	通信エラー割り込み（INT_CSIHTIRE）		462	11CE			$+738_H$	0 ～ 15(15)	
	ジョブ完了割り込み（INT_CSIHTIJC）		463	11CF			$+73C_H$	0 ～ 15(15)	

表 6.14 割り込み例外ハンドラと優先順位 (13/13)

機能・モジュール	割り込み要因名	レベル割り込み 注	EIINT 割り込みチャネル番号	要因コード	オフセットアドレス 直接分岐方式 RINT = 0 注 1, 2, 3.	オフセットアドレス 直接分岐方式 RINT = 1 注 1, 2, 3.	オフセットアドレス テーブル参照方式 注 1, 2, 3.	割り込み優先順位（初期値）	デフォルト優先順位
CSIH_1	通信ステータス割り込み（INT_CSIHTIC）		464	11D0	割り込みチャネルに関係なく、オフセットアドレスは、優先度によって $+100_H$ ～ $+1F0_H$ の範囲で決定されます	優先度に無関係に、オフセットアドレスは、一律 $+100_H$	$+740_H$	0 ～ 15(15)	優先高
	受信ステータス割り込み（INT_CSIHTIR）		465	11D1			$+744_H$	0 ～ 15(15)	
	通信エラー割り込み（INT_CSIHTIRE）		466	11D2			$+748_H$	0 ～ 15(15)	
	ジョブ完了割り込み（INT_CSIHTIJC）		467	11D3			$+74C_H$	0 ～ 15(15)	
CSIH_2	通信ステータス割り込み（INT_CSIHTIC)		468	11D4			$+750_H$	0 ～ 15(15)	
	受信ステータス割り込み（INT_CSIHTIR）		469	11D5			$+754_H$	0 ～ 15(15)	
	通信エラー割り込み（INT_CSIHTIRE）		470	11D6			$+758_H$	0 ～ 15(15)	
	ジョブ完了割り込み（INT_CSIHTIJC）		471	11D7			$+75C_H$	0 ～ 15(15)	
CSIH_3	通信ステータス割り込み（INT_CSIHTIC)		472	11D8			$+760_H$	0 ～ 15(15)	
	受信ステータス割り込み（INT_CSIHTIR）		473	11D9			$+764_H$	0 ～ 15(15)	
	通信エラー割り込み（INT_CSIHTIRE）		474	11DA			$+768_H$	0 ～ 15(15)	
	ジョブ完了割り込み（INT_CSIHTIJC）		475	11DB			$+76C_H$	0 ～ 15(15)	
	Reserved		476	11DC					
	Reserved		477	11DD					
	Reserved		478	11DE					
	Reserved		479	11DF					
DTS	ch31-0 転送完了割り込み	○	480	11E0			$+780_H$	0 ～ 15(15)	
	ch63-32 転送完了割り込み	○	481	11E1			$+784_H$	0 ～ 15(15)	
	ch95-64 転送完了割り込み	○	482	11E2			$+788_H$	0 ～ 15(15)	
	ch127-96 転送完了割り込み	○	483	11E3			$+78C_H$	0 ～ 15(15)	
	ch31-0 転送回数一致割り込み	○	484	11E4			$+790_H$	0 ～ 15(15)	
	ch63-32 転送回数一致割り込み	○	485	11E5			$+794_H$	0 ～ 15(15)	
	ch95-64 転送回数一致割り込み	○	486	11E6			$+798_H$	0 ～ 15(15)	
	ch127-96 転送回数一致割り込み	○	487	11E7			$+79C_H$	0 ～ 15(15)	
	Reserved		488	11E8					
DFE	エラー割り込み		489	11E9			$+7A4_H$	0 ～ 15(15)	
	Reserved		490	11EA					
	Reserved		491	11EB					
	Reserved		492	11EC					
	Reserved		493	11ED					
	Reserved		494	11EE					
	Reserved		495	11EF					
	Reserved		496	11F0					
	Reserved		497	11F1					
	Reserved		498	11F2					
	Reserved		499	11F3					
	Reserved		500	11F4					
	Reserved		501	11F5					
	Reserved		502	11F6					
	Reserved		503	11F7					
	Reserved		504	11F8					
RSENT	RSENT4 ステータス割り込み（INT_SENT_ST4）	○	505	11F9			$+7E4_H$	0 ～ 15(15)	
	RSENT5 ステータス割り込み（INT_SENT_ST5）	○	506	11FA			$+7E8_H$	0 ～ 15(15)	
	Reserved		507	11FB					
	Reserved		508	11FC					
	Reserved		509	11FD					
	Reserved		510	11FE					
	Reserved		511	11FF					

注 レベル割り込みは割り込み要求を取り下げるには、割り込み処理内でソフトで各モジュールにあるステータスレジスタをクリアする必要があります。ステータスレジスタのクリアについては、**「3.5.1　ストア命令の完了と後続命令の同期化」**もご参照ください。また、EICn.EICTn ビットは 1 になります。EICn.EIRFn ビットはソフトでクリアできません。

注 1, 2, 3. **「6.4　割り込み例外ハンドラと優先順位動作説明」**をご参照ください。

備考 1. 『*RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編*』をご参照ください。

6.5 動作説明

6.5.1 外部割り込み（NMI/IRQ）

外部から入力される割り込みは NMI と IRQ があります。NMI は 2 種類、IRQ は 4 種類のセンス方法から選択可能です。割り込みフローについては**「6.5.6　割り込み処理フロー」**を参照してください。

6.5.2 プロセッサ間割り込み

動作説明は**「3.2.3.1　プロセッサ間割り込み制御レジスタ」**、および**「6.5.6.3　プロセッサ間割り込みフロー」**を参照してください。

6.5.3 ソフトウェア割り込み

動作説明は、**「6.2.9　SINTR0 ～ SINTR3 — ソフトウェア割り込みレジスタ」**、および**「6.5.6.4　ソフトウェア割り込み処理フロー」**を参照してください。

6.5.4 DTS 割り込みのマージ機能

転送完了割り込み（128 本）と転送回数一致割り込み（128 本）は、32 本単位で 1 本にまとめられています。

複数の割り込み要因が発生した場合、どの割り込みを受け付けたかを判断できるよう、ステータスレジスタ (PINT0 ～ 7) は、受け付けた割り込み要因のうち、下位ビット側の 1 ビットのみセットされます。DTS 割り込みのマージによる割り込みフローについては、**「6.5.6 割り込み処理フロー」**を参照してください。

表 6.15　DTS 割り込み関連レジスタ

割り込み要因	CH	ステータスレジスタ	クリアレジスタ
DTS 転送完了割り込み	0-31	PINT0	PINTCLR0
	32-63	PINT1	PINTCLR1
	64-95	PINT2	PINTCLR2
	96-127	PINT3	PINTCLR3
DTS 転送回数一致割り込み	0-31	PINT4	PINTCLR4
	32-63	PINT5	PINTCLR5
	64-95	PINT6	PINTCLR6
	96-127	PINT7	PINTCLR7

6.5.5 ATU-IV/TSG2 マージ機能

ATU-IV タイマ割り込みと TSG2 の割り込みをシェアしており、**表 6.16** に示す機能的な制限があります。

シェアの組み合わせを**表 6.17** に示します。

表 6.16 ATU-IV タイマ D/TSG2 使用時の割り込み機能制限

ATU-IV タイマ D（4、5、6）				TSG2 注 1		機能制限
①	②	③	④	⑤	⑥	
ch4	ch5	ch6	周辺トリガ用	TSG2_0	TSG2_1	
○	○	○	○	×	×	ATU-IV 使用時は、TSG2 が使用できない
×	×	×	×	○	○	TSG2 使用時は、ATU-IV タイマ D が使用できない
×	×	×	○	○	○	TSG2 使用時に、ATU-IV（タイマ D4、5、6）が使用できない。ただし、ATU-IV の周辺トリガ機能は使用可能
×	×	○	○	○	×	ATU-IV と TSG2 のチャネルの組み合わせは可能だが、一部のチャネルは使用できない
○	×	×	○	×	○	

注 1. TSG2 の周期割り込み／山割り込み／谷割り込みは、マージされておらず単独で使用可能です。

表 6.17 ATU-IV/TSG2 シェア対応表

ATU-IV	TSG2 注 1	シェア方法
①と②注 2	⑤	OR
②注 3 と③	⑥	OR

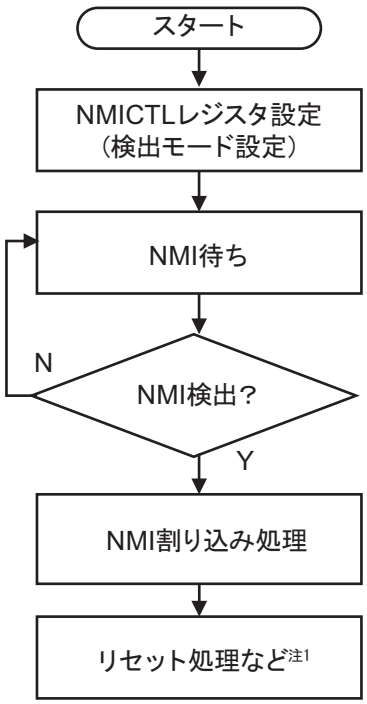
注 1. TSG2 の周期割り込み／山割り込み／谷割り込みは、マージされておらず単独で使用可能です。
注 2. タイマ D ch5 のコンペアマッチ割り込み（8 本）、オーバーフロー割り込み（2 本）
注 3. タイマ D ch5 のダウンカウンタアンダーフロー割り込み（4 本）

6.5.6 割り込み処理フロー

6.5.6.1 NMI 処理フロー

NMI 処理フロー例を**図 6.1** に示します。

- NMI は、NMICTL レジスタの設定により、検出方法（Fall エッジ、Rise エッジ）を選択します。
- NMI 検出後、INTC へ割り込み要求を出します。
- NMI 割り込みは、他の FE レベル割り込みが発生していても最優先で受け付けられます。CPU システムレジスタ PSW.NP の状態にかかわらず、マスクすることはできません。復帰／回復が不可能なノンマスカブル割り込みです。



注 1. NMI 受け付け時は、システムレジスタ（FEPC、FEPSW）が上書きされます。NMI 受け付け後にユーザ処理に分岐する場合は、用途に合わせて FEPC、FEPSW レジスタを設定した後、FERET 命令を実行してください。

図 6.1 NMI 処理フロー例

6.5.6.2 外部割り込み処理フロー

IRQ（外部割り込み）処理フロー例を**図 6.2** に示します。

- IRQ は、EXINTCTL レジスタの設定により、検出方法（エッジ検出／レベル検出）を選択します。
- IRQ 検出後、INTC へ割り込み要求を出します。
- レベル検出時、INTC 内での割り込み処理が終了し復帰する際は、IRQn 端子のネゲートを確認してから、割り込み復帰命令を実行してください。
- エッジ検出時、INTC 内での割り込み処理が終了し復帰する際は、EXINTSTR レジスタの割り込み要求をクリアしてから、割り込み復帰命令を実行してください。

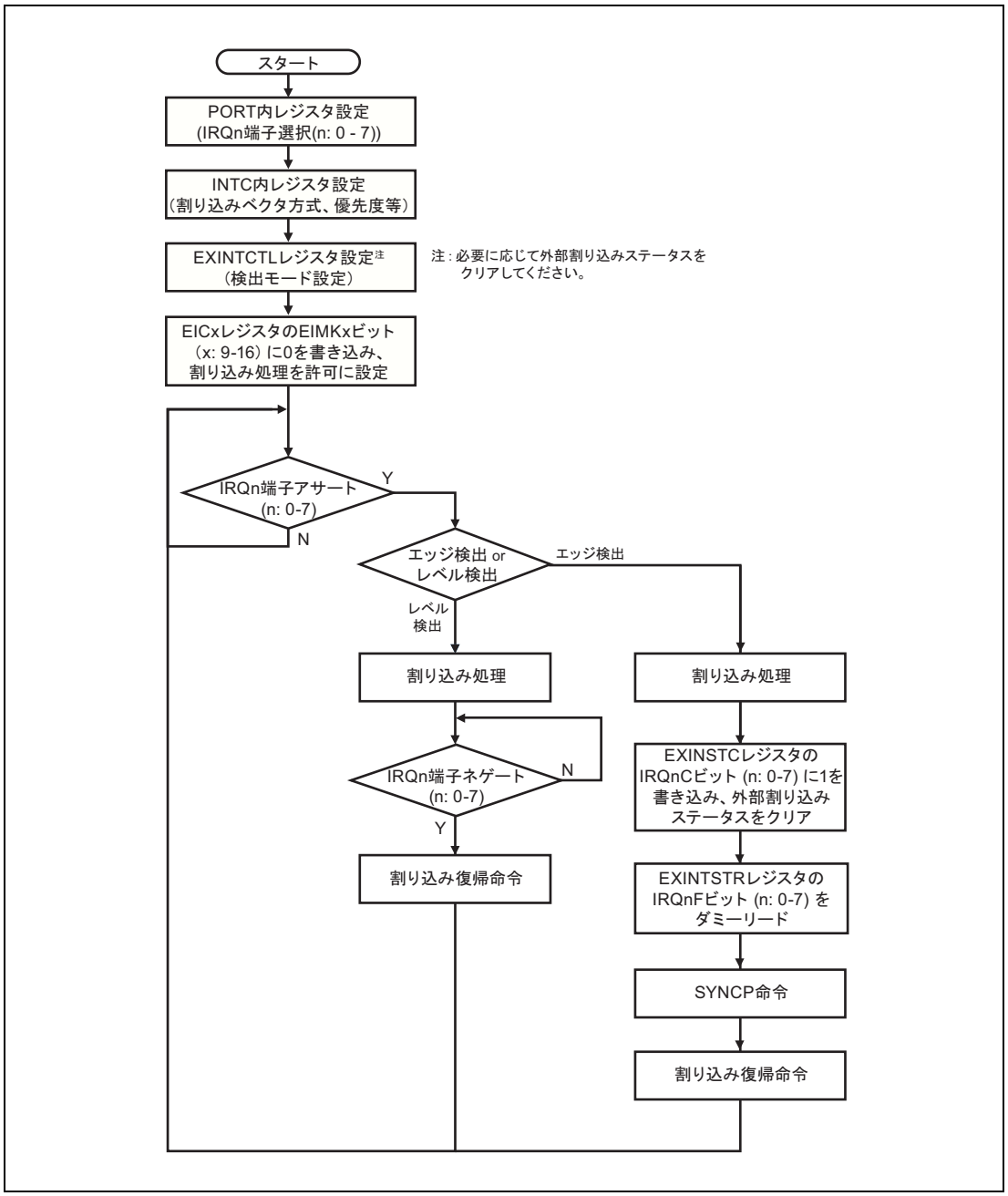


図 6.2 外部割り込み処理フロー例

6.5.6.3 プロセッサ間割り込みフロー

プロセッサ間割り込み処理フロー例を**図 6.3** に示します。

- プロセッサ間割り込みは PE 間割り込みレジスタ（IPIR0 ～ 3）の割り込み要求先 PE の該当ビットに 1 を書き込むことで割り込み要求を発生します。
- PE 間割り込みレジスタ（IPIR0 ～ 3）の割り込み要求設定は、割り込み要求の通知を完了したら自動的に 0 にクリアされます。

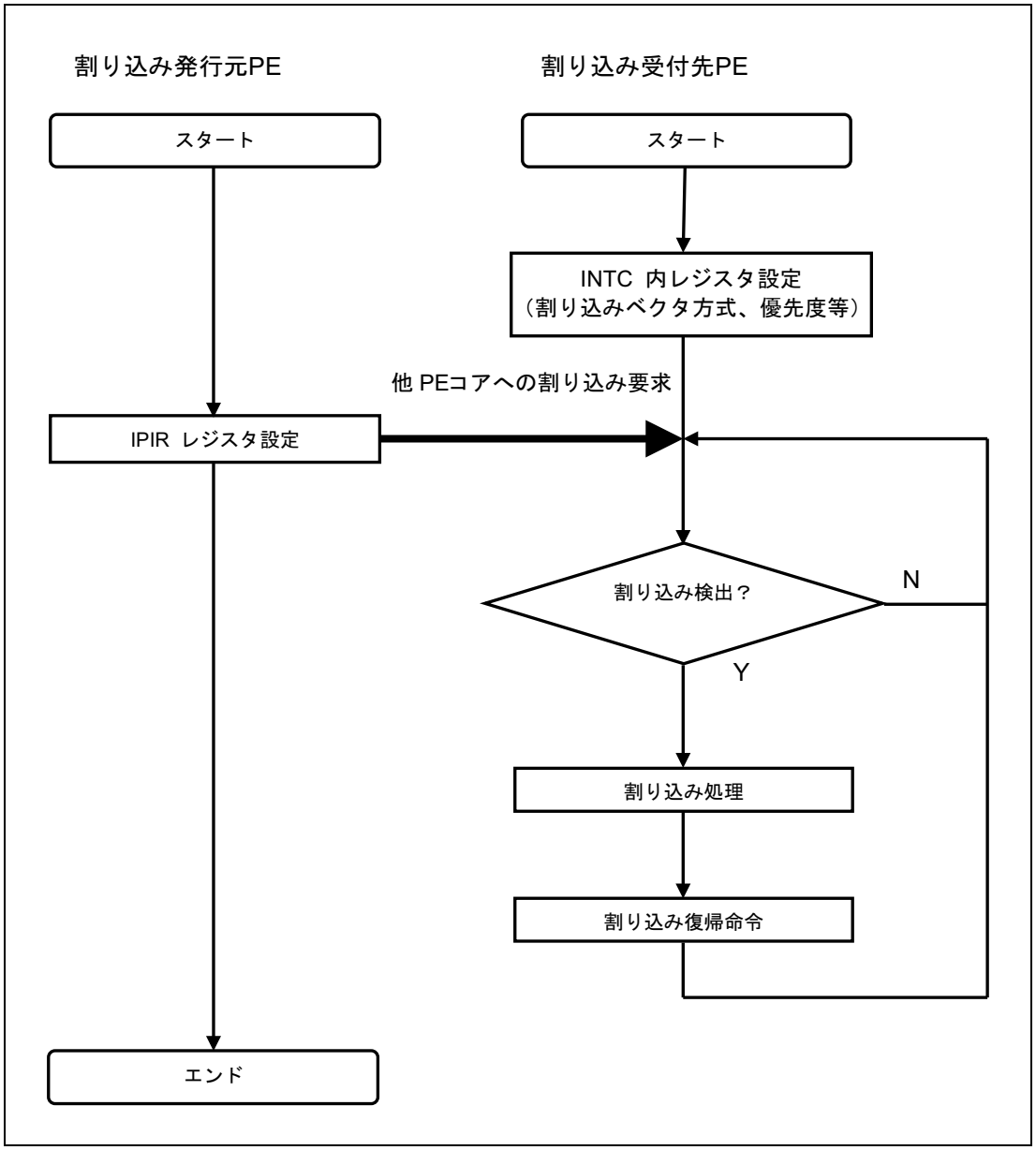


図 6.3 プロセッサ間割り込み処理フロー例

6.5.6.4 ソフトウェア割り込み処理フロー

ソフトウェア割り込みの割り込み処理フロー例を**図 6.4** に示します。

- ソフトウェア割り込みは、カウンタレジスタ（SINTR0 ～ SINTR3）に、00_H または、01_H を書き込む事で、割り込み要求を制御します。
- 00_H を書き込んだ場合、カウンタ値は、1 デクリメントされます。
- 01_H を書き込んだ場合、カウンタ値は、1 インクリメントされます。
- インクリメントされたカウンタ値が、1 以上の場合、INTC へ割り込み要求を出します。
- INTC 内での割り込み処理にて、1 デクリメントを行い、割り込み復帰命令を実行した後、SINTRn が 00_H であれば、SINTRn への 01_H 書き込みを待ちます。

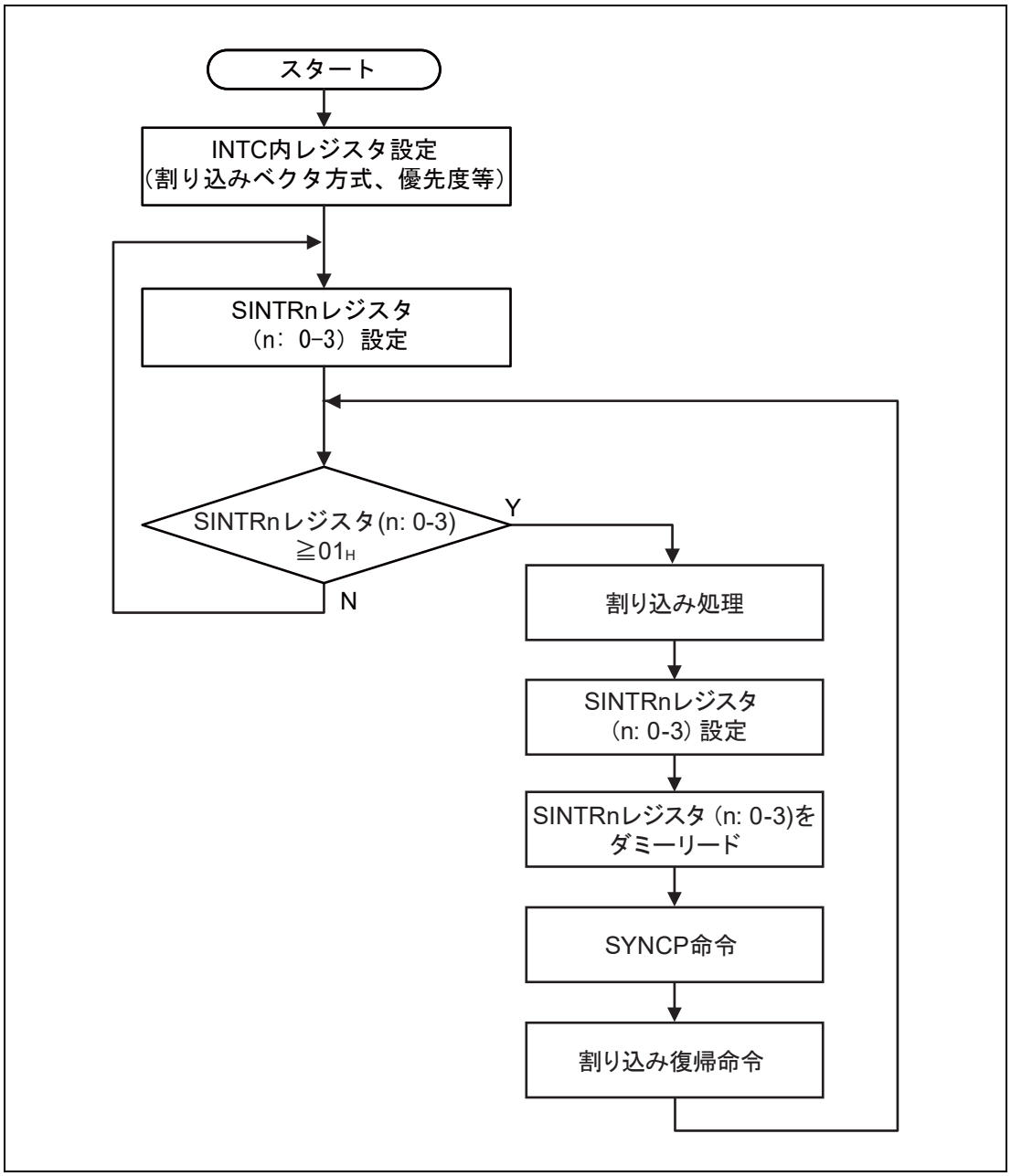


図 6.4 ソフトウェア割り込み処理フロー例

6.5.6.5 DTS 割り込み処理フロー

DTS 割り込み処理フロー例を**図 6.5** に示します。

- 32 本に束ねた割り込み要因に対して、1 本のみ割り込み要求が発生した場合
  - PINTn レジスタの割り込み要求のあったビットに 1 を立てて、割り込み要求を出します。
  - 割り込み処理が終了し復帰する際は、クリアレジスタ（PINTCLRn）に 1 を書き込むことで、割り込み要求をクリアしてから、割り込み復帰命令を実行し、次の割り込み要求を待ちます。
- 32 本に束ねた割り込み要因に対して、複数の割り込み要因が発生した場合
  - 割り込み要求のある複数ビットの内、下位側ビットを抽出し、PINTn レジスタのその抽出したビットのみに 1 を立てて、割り込み要求を出します。
  - 割り込み処理が終了し復帰する際は、クリアレジスタ（PINTCLRn）の対象ビットに 1 を書き込むことで、割り込み要求をクリアしてから、割り込み復帰命令を実行します。
  - 割り込み処理を行った割り込み要求をクリアすることで、前回同様に割り込み要求に対応する PINTn レジスタの下位側ビットを抽出し、割り込み要求を出します。
  - 以後、32 ビットに束ねた割り込み要因がなくなるまで、繰り返されます。

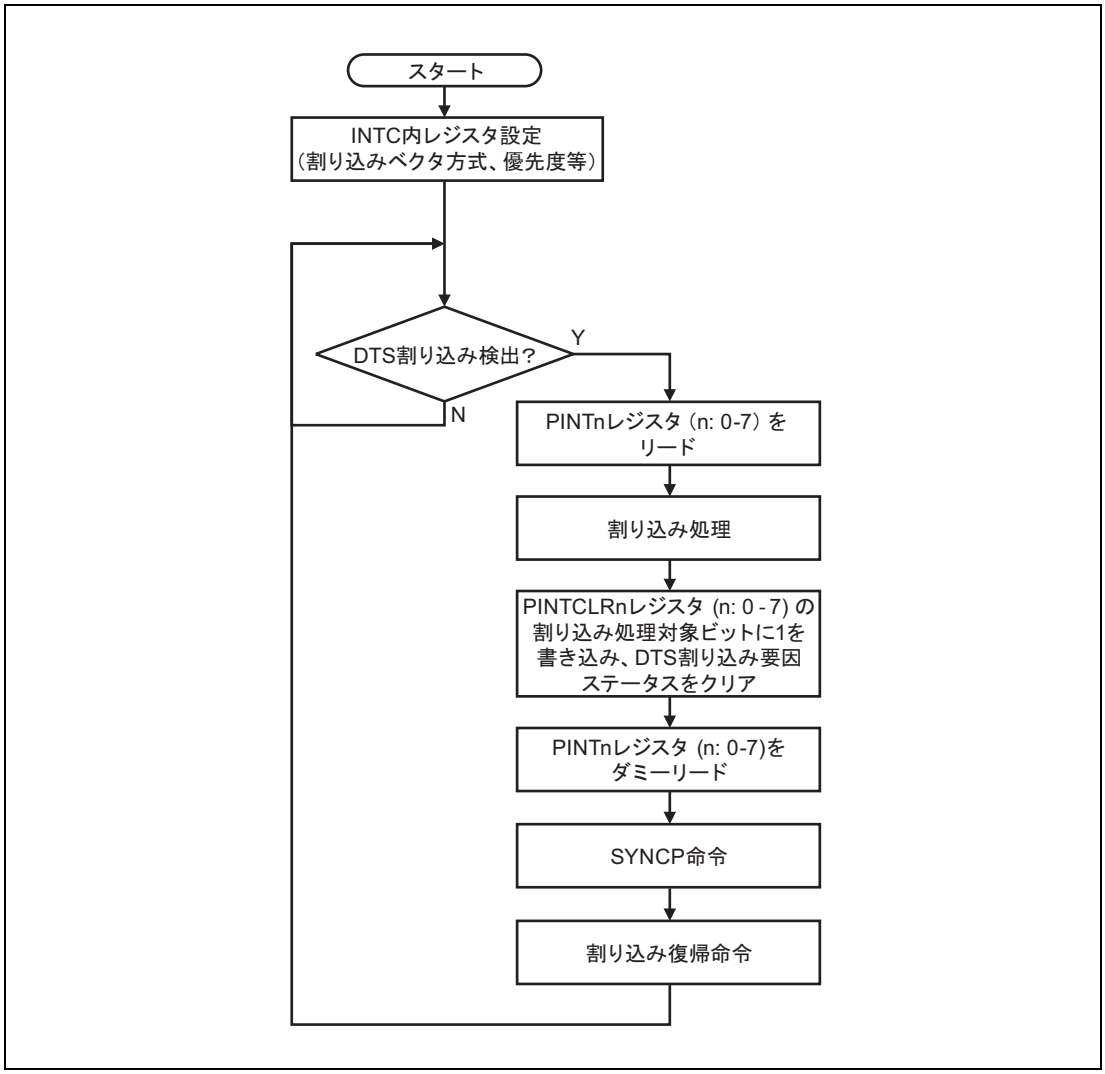


図 6.5　DTS 割り込み処理フロー例

6.6 割り込み応答時間

表 6.18 割り込み応答時間

	割り込み要求元		処理サイクル				
対象	INTC 接続	動作クロック	同期化	INTC2	INTC1	CPU1 内 / PCU 内	合計（エッジ検出で固定ベクタ方式 a）の場合）
CPU1	INTC1 に直接入力	高速／低速周辺クロック	0	—	2 × Iϕ <1 × Iϕ>	下記の CPU1 内を参照	7 × Iϕ
		非変調高速周辺クロック	—				—
		非変調低速周辺クロック	5 × Pϕ <2 × Pϕ>				5 × Pϕ + 7 × Iϕ
	INTC2 に経由で入力	高速／低速周辺クロック	0	3 × Pϕ + 1 × Iϕ <2 × Pϕ + 1 × Iϕ>	—		3 × Pϕ + 6 × Iϕ
		非変調高速周辺クロック	4 × Pϕ <2 × Pϕ>				7 × Pϕ + 6 × Iϕ
		非変調低速周辺クロック	5 × Pϕ <2 × Pϕ>				8 × Pϕ + 6 × Iϕ
PCU	INTC1 に直接入力	高速／低速周辺クロック	0	—	2 × Pϕ <1 × Pϕ>	下記の PCU 内を参照	7 × Pϕ
		非変調高速周辺クロック	—				—
		非変調低速周辺クロック	5 × Pϕ <2 × Pϕ>				12 × Pϕ
	INTC2 に経由で入力	高速／低速周辺クロック	0	4 × Pϕ <3 × Pϕ>	—		9 × Pϕ
		非変調高速周辺クロック	4 × Pϕ <2 × Pϕ>				13 × Pϕ
		非変調低速周辺クロック	5 × Pϕ <2 × Pϕ>				14 × Pϕ

備考 1. <> 内は、レベル検出時のサイクル数を示します。
備考 2. Iϕ = CLK_CPU
Pϕ = 4Iϕ@320MHz、
= 3Iϕ@240MHz

ベクタ方式	Cache HIT/MISS	CPU1 内（320MHz 時）	CPU1 内（240MHz 時）	ベクタ方式	PCU 内
固定ベクタ方式	a）ISR エントリ IS HIT	5 × Iϕ	5 × Iϕ	a）固定ベクタ方式	5 × Pϕ
	b）ISR エントリ IS MISS	9 × Iϕ	9 × Iϕ		
ベクタテーブル参照方式	c）ベクタ Code Flash 配置、ISR エントリ IS HIT	13 × Iϕ	13 × Iϕ	b）ベクタテーブル参照方式 Code Flash 配置	12 × Pϕ
	d）ベクタ Code Flash 配置、ISR エントリ IS MISS	18 × Iϕ	18 × Iϕ		

備考 1. Iϕ = CLK_CPU
Pϕ = 4Iϕ@320MHz、
= 3Iϕ@240MHz

6.7 割り込み要求信号によるデータ転送

割り込み要求信号により、DMAC・DTS を起動し、データ転送を行うことができます。

詳細は、**「第 7 章　DMA」**を参照してください。

第 7 章 DMA

7.1 概要

7.1.1 概要

DMA（Direct Memory Access）とは、CPU を介さずにデータをアクセスする機能です。

DMA は、DMAC と DTS という 2 種類の方式の DMA 転送モジュールを含んでいます。DMAC は転送情報をレジスタに持ち、DTS は転送情報を専用の RAM（DTSRAM）に格納します。DMA は 8 チャネルの DMAC モジュールを 2 つ、128 チャネルの DTS モジュールを 1 つ搭載しています。

また本マニュアルでは、DMAC のハードウェア DMA 転送要因を選択して DMA 転送要求を保持する機能を DTFR、DTS の各チャネルの DMA 転送要求を保持する機能を DTSFSL と称しています。DTFR は 128 種類のハードウェア DMA 転送要因を、DTSFSL は 128 種類のハードウェア DMA 転送要因を扱うことができます。

DMA が DMA 転送の対象として指定可能なアドレス空間は、32 ビットアドレスで表現される 4GB のアドレス空間です。4GB のアドレス空間のどの領域にどのようなリソースが割り当てられるかや、DMA に対してどの領域へのアクセスを許可するかは、**「第 4 章 アドレス空間」**を参照してください。

7.1.2 語句の定義

本章で使用する語句を**表 7.1** に示します。

表 7.1 語句の定義

語句	意味
DMA 転送	DMA が行うデータ転送の総称
DMA サイクル	転送サイズで指定した量（8/16/32/64/128 ビット）のデータを、ソースアドレスで指定したアドレスからリードして、ディスティネーションアドレスで指定したアドレスへライトする動作。なお、DMA サイクルの前半のリード動作をリードサイクル、後半のライト動作をライトサイクルと呼ぶ
ハードウェア DMA 転送要因	内蔵周辺回路から与えられる DMA 転送要求のトリガ
ハードウェア DMA 転送要求	ハードウェア DMA 転送要因により発生する DMA 転送要求
ソフトウェア DMA 転送要求	ソフトウェアがレジスタを操作することで発生する DMA 転送要求
DMA 転送要求	DMAC および DTS で DMA 転送を開始するトリガ
転送情報（TI）	ソースアドレス、ディスティネーションアドレス、転送データサイズ、転送回数といった DMA 転送に必要な情報。DTS の転送情報を特に TI（Transfer Information）と呼ぶ
DTSRAM	DTS が転送情報を格納するための RAM
シングル転送	一回の DMA 転送要求で、一回の DMA サイクルを実行する DMA 転送動作
ブロック転送 1	一回の DMA 転送要求で、転送情報の転送回数で指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送 2	一回の DMA 転送要求で、転送情報のアドレスリロードカウントで指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送	ブロック転送 1 とブロック転送 2 の総称
最終転送	転送情報の転送回数が残り 1 回の状態で実行する DMA サイクル
アドレスリロード転送	リロード機能 2 を使用中に、転送情報のアドレスリロードカウントが残り 1 回の状態で実行する DMA サイクル
一時中断	ブロック転送の途中で DMA 転送を中断する動作、再開が可能
再開	一時中断を解除して、DMA 転送を継続する動作
転送中止	DMA 転送を途中で中止する動作、再開は不可能

7.2 DMA 機能

7.2.1 DMA 転送基本動作

7.2.1.1 転送モード

DMA には 3 種類の転送モードがあります。

シングル転送

DMA 転送要求を受け付けると、DMA サイクルを 1 回実行します。

ブロック転送 1

DMA 転送要求を受け付けると、転送回数レジスタで指定した回数の DMA サイクルを実行します。

ブロック転送 2

DMA 転送要求を受け付けると、アドレスリロードカウントで指定した回数の DMA サイクルを実行します。アドレスリロードカウントで指定した回数が転送回数レジスタで指定した回数よりも大きい場合には、転送回数レジスタで指定した回数の DMA サイクルを実行します。

7.2.1.2 DMA サイクルの実行

DMA サイクルはデュアルアドレス転送（2 サイクル転送）を行います。

DMA は必ずリードサイクルが完了した後で、ライトサイクルを実行します。

たとえば、転送データサイズが 128 ビットの場合は、128 ビット分のデータのリードサイクルが完了した後で、ライトサイクルを実行します。リードサイクルの途中でライトサイクルの実行を開始することはありません。

7.2.1.3 転送情報の更新

DMA サイクルを実行すると、DMA は次の転送情報を更新します。

ソースアドレス／ディスティネーションアドレス

転送制御レジスタのソースアドレスカウント方向、ディスティネーションアドレスカウント方向および転送データサイズの設定にしたがって、**表 7.2** のように更新します。

表 7.2 ソースアドレス／ディスティネーションアドレスの更新 (1/2)

カウント方向	転送データサイズ	更新後のアドレス
インクリメント	8 ビット	更新前のアドレス + 0000_0001_H
	16 ビット	更新前のアドレス + 0000_0002_H
	32 ビット	更新前のアドレス + 0000_0004_H
	64 ビット	更新前のアドレス + 0000_0008_H
	128 ビット	更新前のアドレス + 0000_0010_H

表 7.2 ソースアドレス／ディスティネーションアドレスの更新 (2/2)

カウント方向	転送データサイズ	更新後のアドレス
デクリメント	8 ビット	更新前のアドレス－ 0000_0001_H
	16 ビット	更新前のアドレス－ 0000_0002_H
	32 ビット	更新前のアドレス－ 0000_0004_H
	64 ビット	更新前のアドレス－ 0000_0008_H
	128 ビット	更新前のアドレス－ 0000_0010_H
固定	—	更新前のアドレスと同じ

リロード機能を使用する場合は、**表 7.2** とは別に最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、**「7.2.3 リロード機能」**を参照してください。

転送回数／アドレスリロードカウント

転送回数は、DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。

アドレスリロードカウントは、リロード機能 2 またはブロック転送 2 を使用する場合は DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合には更新されません。

リロード機能を使用する場合は、最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、**「7.2.3 リロード機能」**を参照してください。

その他の転送情報

DMA サイクルの実行では、更新されません。

7.2.1.4 最終転送とアドレスリロード転送

最終転送とは、転送回数レジスタが示す残り転送回数が 1 回の状態で実行される DMA サイクルを指します。最終転送では、最終転送でない DMA サイクルの実行時と比較して次の動作が異なります。

- 最終転送が完了すると転送完了フラグ（DCSTn.TC）がセットされます。（DMAC のみ）
- 最終転送が完了するとチャネル動作有効（DCENn.DTE）ビットがクリアされます。（DMAC のみ、連続転送機能が無効の場合）
- 転送完了割り込み出力イネーブルがセットされている場合、最終転送が完了すると転送完了割り込みが出力されます。
- リロード機能 1 が有効の場合は、最終転送でリロード機能 1 の動作が実行されます。詳細は、**「7.2.3 リロード機能」**を参照してください。

アドレスリロード転送とは、リロード機能 2 が有効で、かつアドレスリロードカウントが 1 回の状態で実行される DMA サイクルを指します。アドレスリロード転送では、リロード機能 2 の動作が実行されます。詳細は、**「7.2.3 リロード機能」**を参照してください。

7.2.1.5 転送完了割り込み、転送回数一致割り込み出力

DMA は、転送完了割り込みまたは転送回数一致割り込みを出力する機能を持ちます。

転送完了割り込み出力

DMAC は、転送制御レジスタで転送完了割り込みイネーブル（DTCTn.TCE）がセットされている場合、最終転送が完了すると転送完了割り込みを要求します。

DTS は、転送制御レジスタで転送完了割り込みイネーブル（DTTCTn.TCE）がセットされている場合、最終転送が完了すると DTS 転送完了割り込みを要求します。

転送回数一致割り込み出力

DMAC は、転送制御レジスタで転送回数一致割り込みイネーブル（DTCTn.CCE）がセットされている場合、転送カウントコンペアレジスタと転送回数が一致する DMA サイクルが完了すると DMAC 転送回数一致割り込みを要求します。

DTS は、転送制御レジスタで転送回数一致割り込みイネーブル（DTTCTn.CCE）がセットされている場合、転送カウントコンペアレジスタと転送回数が一致する DMA サイクルが完了すると DTS 転送回数一致割り込みを要求します。

図 7.1 に転送完了割り込み・転送回数一致割り込みの動作を示します。

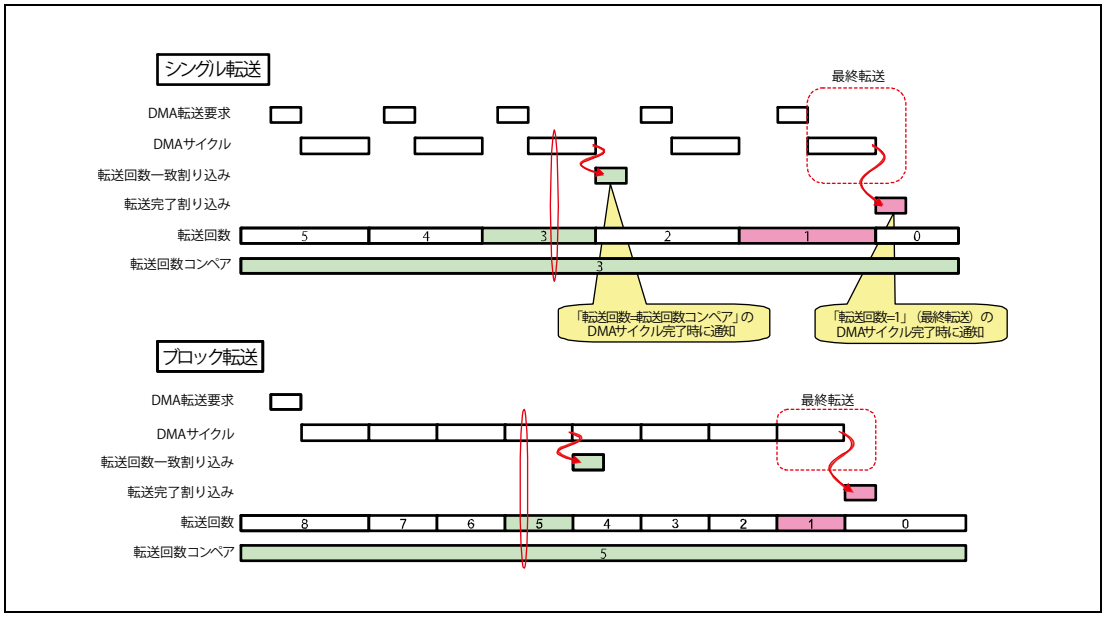


図 7.1 転送完了割り込み・転送回数一致割り込み

7.2.1.6 連続転送

DMAC では、連続転送機能を利用しない場合は、最終転送が完了すると転送完了フラグ（DCSTn.TC）がセットされ、チャネル動作有効（DCENn.DTE）ビットがクリアされます。このため、最終転送の完了後に DMA 転送要求が発生しても DMA 転送要求を受け付けません。

連続転送機能を利用すると、最終転送が完了してもチャネル動作有効（DCENn.DTE）ビットがクリアされず、また転送完了フラグがセットされた状態でも DMA 転送要求を受け付けることができます。指定した回数の DMA 転送を繰り返し実行するような用途では、連続転送機能を利用することで、最終転送完了後の転送完了フラグのクリアやチャネル動作有効ビットのセットのためのソフトウェア処理のオーバヘッドを減らすことができます。

連続転送機能は、DMAC 転送制御レジスタの連続転送イネーブル（DTCTn.MLE）をセットすることで有効になります。

連続転送機能はリロード機能 1 と一緒に利用することを想定しています。連続転送機能には、ソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を変更する機能はありません。最終転送の完了後にソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタを DMA 転送開始前の状態に戻す動作は、リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタおよびリロード転送回数レジスタに DMA 転送開始前のソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を設定しておき、リロード機能 1 を利用することで実現できます。

DTS では、DMAC の連続転送イネーブル（DTCTn.MLE）に該当する設定はありません。DTS には DMAC の転送完了フラグ（DCSTn.TC）やチャネル動作有効（DCENn.DTE）の各ビットが存在しないためです。

DTS では、転送回数が 0 回の状態で DMA 転送要求が発生すると DMA 転送は行われません（DMAC で連続転送機能を利用しない場合の動作に相当します）。

DTS でリロード機能 1 を利用して、最終転送の完了時に転送回数を 0 回以外の値でリロードしておけば、次の DMA 転送要求を受け付けた際に DMA 転送を実行することができます（DMAC で連続転送機能を利用する場合の動作に相当します）。

図 7.2 に DMAC の連続転送の動作イメージを示します。

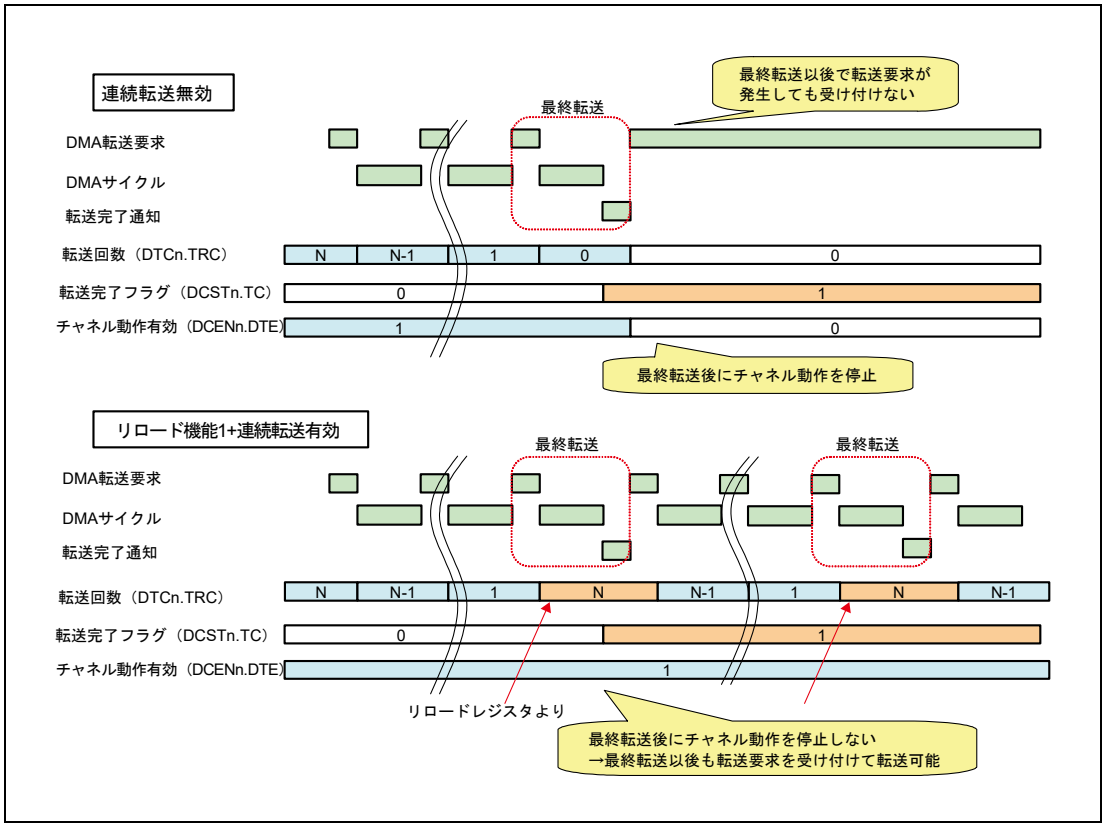


図 7.2 DMAC の連続転送の動作イメージ

7.2.2 チャネルの優先順位

DMA の複数のチャネル間のアービトレーションについて説明します。

7.2.2.1 DMAC チャネルアービトレーション

DMAC では 8 チャネルから 1 チャネルを選択するアービトレーションを行います。

アービトレーションは固定優先順位で、DMAC0 では「チャネル 0 ＞チャネル 1 ＞チャネル 2 ＞チャネル 3 ＞チャネル 4 ＞チャネル 5 ＞チャネル 6 ＞チャネル 7」、DMAC1 では「チャネル 8 ＞チャネル 9 ＞チャネル 10 ＞チャネル 11 ＞チャネル 12 ＞チャネル 13 ＞チャネル 14 ＞チャネル 15」です。

アービトレーションは DMA サイクルごとに行われます。DMA サイクルのリードとライトの間ではアービトレーションは発生しません。

あるチャネルのブロック転送の途中の DMA サイクルが終了した時点で、優先順位の高いチャネルの DMA 転送要求があった場合には、アービトレーションの結果優先順位の高いチャネルの DMA サイクルが実行されます。

DMAC がブロック転送 1 またはブロック転送 2 を実行する場合は、1 回の DMA サイクルごとに DMAC チャネルアービトレーションを行うため、他の優先順位の高い DMAC チャネルの DMA サイクルが割り込むことがあります。

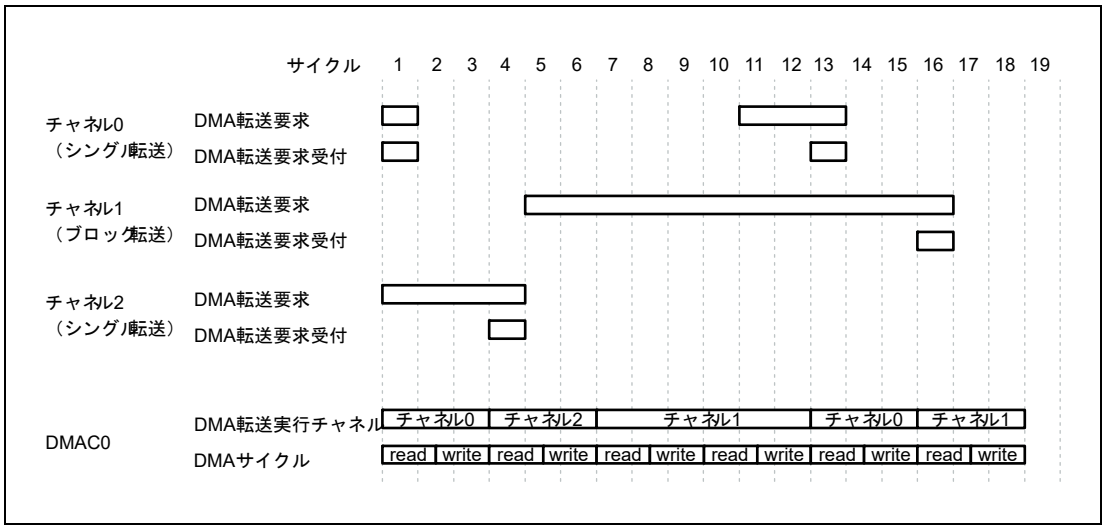


図 7.3 DMAC チャネルアービトレーション

図 7.3 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 7.3 において、サイクル 1 でチャネル 0 とチャネル 2 の DMA 転送要求があり、アービトレーションの結果、優先度の高いチャネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャネル 2 の DMA サイクルの実行を開始します。サイクル 5 でチャネル 1 の DMA 転送要求が発生しますが、チャネル 2 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 7 でチャネル 1 の DMA サイクルを実行します。チャネル 1 はブロック転送なので、他のチャネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャネル 0 の DMA 転送要求が発生しますが、チャネル 1 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 12 でチャネル 1 の DMA サイクルが完了し、サイクル 13 では DMA チャネル 0 とチャネル 1 のアービトレーションの結果チャネル 0 の DMA サイクルの実行を開始します。サイクル 13 では既にブロック転送を実行中のチャネル 1 よりも優先度の高いチャネル 0 の

DMA サイクルを実行していることに注意してください。サイクル 15 でチャネル 0 の DMA サイクルが完了し、サイクル 16 で再びチャネル 1 の DMA サイクルの実行を開始します。サイクル 18 でチャネル 1 のブロック転送の最後の DMA サイクルが完了しています。

7.2.2.2 DTS チャネルアービトレーション

複数の DTS チャネルで DMA 転送要求がある場合、DTSFSL で DTS チャネルアービトレーションを行います。DTS の各チャネルは、DTS チャネル優先度設定レジスタで 4 段階の優先度が設定可能です。

複数の DTS チャネルで DMA 転送要求がある場合のアービトレーションは、

1. DTS チャネル優先度設定レジスタで設定した優先度の高いチャネルを優先
2. DTS チャネル優先度設定レジスタで設定した優先度が同一の場合は、チャネル番号が小さいチャネルを優先

します。

DTSFSL は、アービトレーションにより選択したチャネルの DMA 転送要求を DTS に伝えます。DTS は、DMA 転送要求を受け付けると DMA 転送を実行します。

DMAC での DMA 転送と異なり、DTS での DMA 転送ではブロック転送の途中で DTS チャネル間のアービトレーションは行われません。つまり、あるチャネルのブロック転送を実行中に、優先順位の高いチャネルの DMA 転送要求があった場合でも、優先順位の低いチャネルのブロック転送が終了する[注 1] までは、優先順位の高いチャネルの DMA 転送は実行されません。

注 1. ブロック転送が終了するのは、ブロック転送 1 の最終転送か、ブロック転送 2 の最終転送またはアドレスリロード転送が発生した時点

DTS がブロック転送 1 またはブロック転送 2 を実行する場合は、最終転送まで他の優先順位の高い DTS チャネルの DMA サイクルが割り込むことはありません。

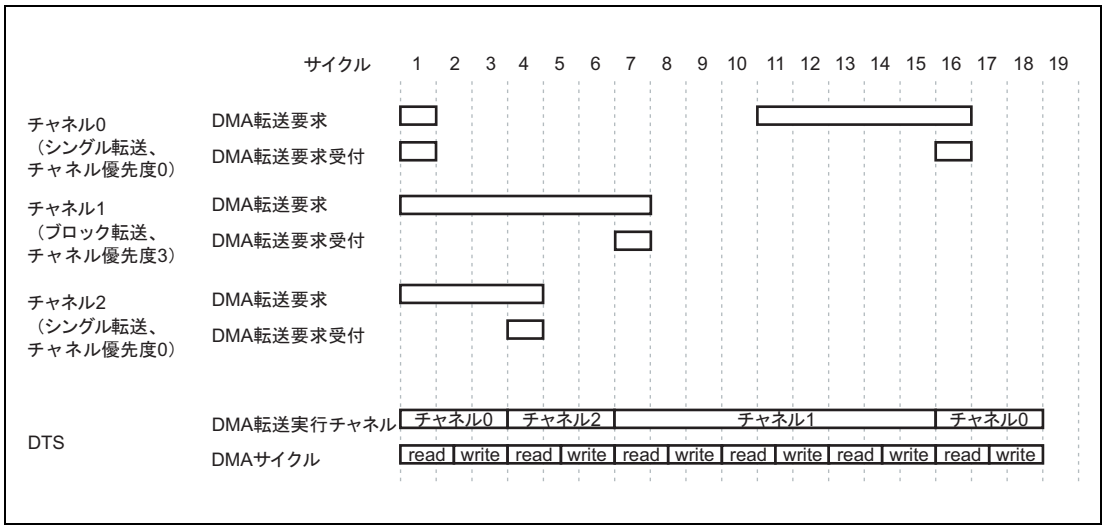


図 7.4 DTS チャネルアービトレーション

図 7.4 のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

図 7.4 において、サイクル 1 でチャネル 0 とチャネル 1 とチャネル 2 の DMA 転送要求があります。チャネル 0 およびチャネル 2 のチャネル優先度は 0 でチャネル 1 のチャネル優先度 3 よりも高く、またチャネル優先度が同一の場合はチャネル番号の小さいチャネルが優先度が高くなるため、アービトレーションの優先度は「チャネル 0 ＞チャネル 2 ＞チャネル 1」となり、優先度の高いチャネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャネル 1 とチャネル 2 のアービトレーションの結果チャネル 2 の DMA サイクルの実行を開始します。サイクル 7 でチャネル 1 の DMA サイクルの実行を開始します。チャネル 1 はブロック転送なので、他のチャネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャネル 0 の DMA 転送要求が発生しますが、チャネル 1 の DMA サイクルを実行中であるため、チャネル 1 のブロック転送が終了するまでアービトレーションは行われません。サイクル 15 でチャネル 1 のブロック転送が終了し、サイクル 16 でチャネル 0 の DMA サイクルの実行を開始します。

7.2.2.3 インタフェースアービトレーション

DMAC0、DMAC1、DTS はそれぞれ独立して動作し、DMA 転送を実行します。

DMAC0、DMAC1、DTS の要求が競合した場合は、ラウンドロビンによるアービトレーションを行います。

7.2.3 リロード機能

7.2.3.1 リロード機能の概要

リロード機能は、DMA 転送中に、転送情報のうちソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロード回数をあらかじめ指定した値で更新する機能です。

リロード機能はリロード機能 1 とリロード機能 2 の 2 つの機能があります。

7.2.3.2 リロード機能 1 の動作

リロード機能 1 が有効の場合、最終転送の実行時にリロード機能 1 設定にしたがって**表 7.3** の動作を行います。

表 7.3 リロード機能 1 動作

リロード機能 1 設定 （DTCTn.RLD1M[1:0]）	レジスタ	最終転送時の動作
00 （リロード機能 1 無効）	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	転送回数	リロードしない
	アドレスリロードカウント	リロードしない
01 （リロード機能 1 有効、ソースアドレスと転送回数をリロード）	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	• リロード機能 2 が無効の場合、リロードしない • リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
10 （リロード機能 1 有効、ディスティネーションアドレスと転送回数をリロード）	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	• リロード機能 2 が無効の場合、リロードしない • リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
11 （リロード機能 1 有効、ソースアドレスとディスティネーションアドレスと転送回数をリロード）	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	• リロード機能 2 が無効の場合、リロードしない • リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー

図 7.5 にリロード機能 1 の動作イメージを示します。

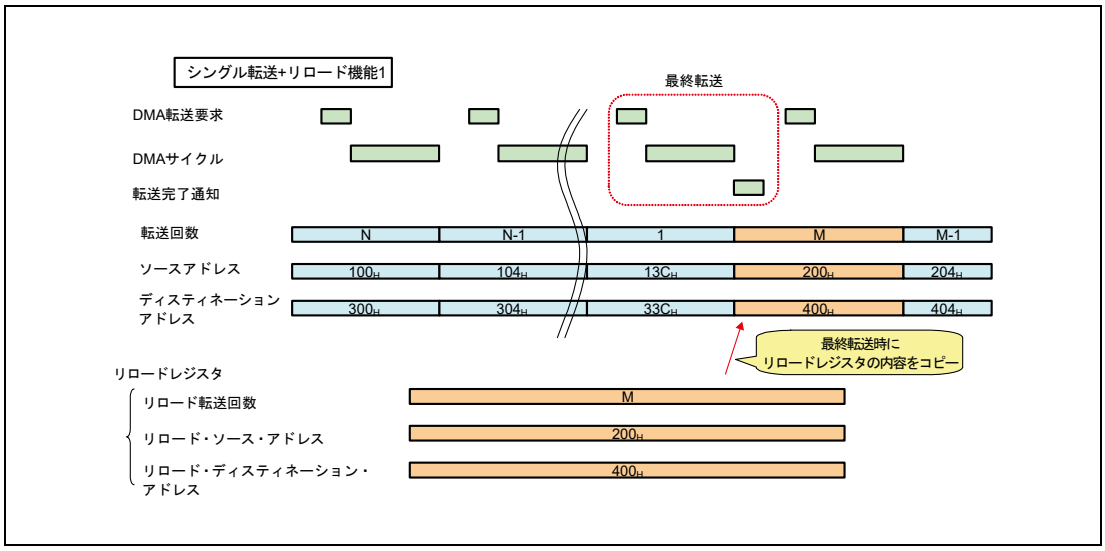


図 7.5 リロード機能 1 動作イメージ

7.2.3.3 リロード機能 2

リロード機能 2 が有効の場合、アドレスリロード転送の実行時にリロード機能 2 の設定にしたがって**表 7.4** の動作を行います。

表 7.4 リロード機能 2 動作

リロード機能 2 設定 (DTCTn.RLD2M[1:0])	レジスタ	アドレスリロード転送時の動作
00 (リロード機能 2 無効)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードしない
01 (リロード機能 2 有効、ソースアドレスをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
10 (リロード機能 2 有効、ディスティネーションアドレスをリロード)	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
11 (リロード機能 2 有効、ソースアドレスとディスティネーションアドレスをリロード)	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー

図 7.6 にリロード機能 2 の動作イメージを示します。

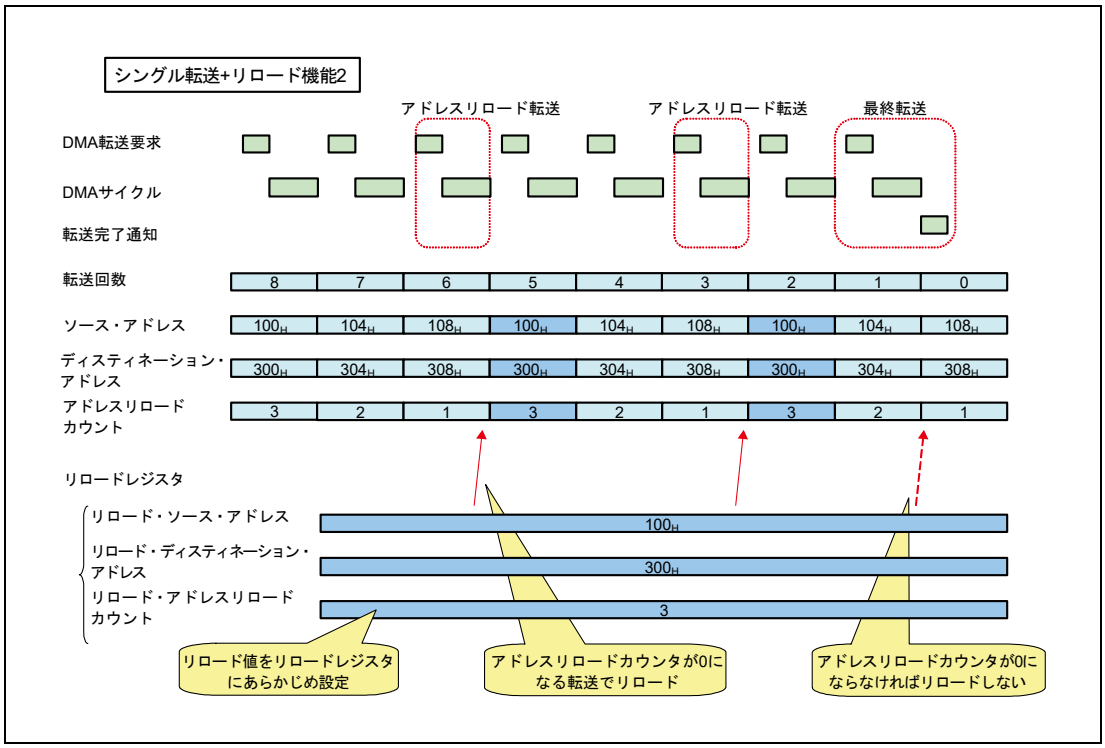


図 7.6 リロード機能 2 動作イメージ

図 7.7 にリロード機能 1 とリロード機能 2 を同時に使用する場合の動作イメージを示します。

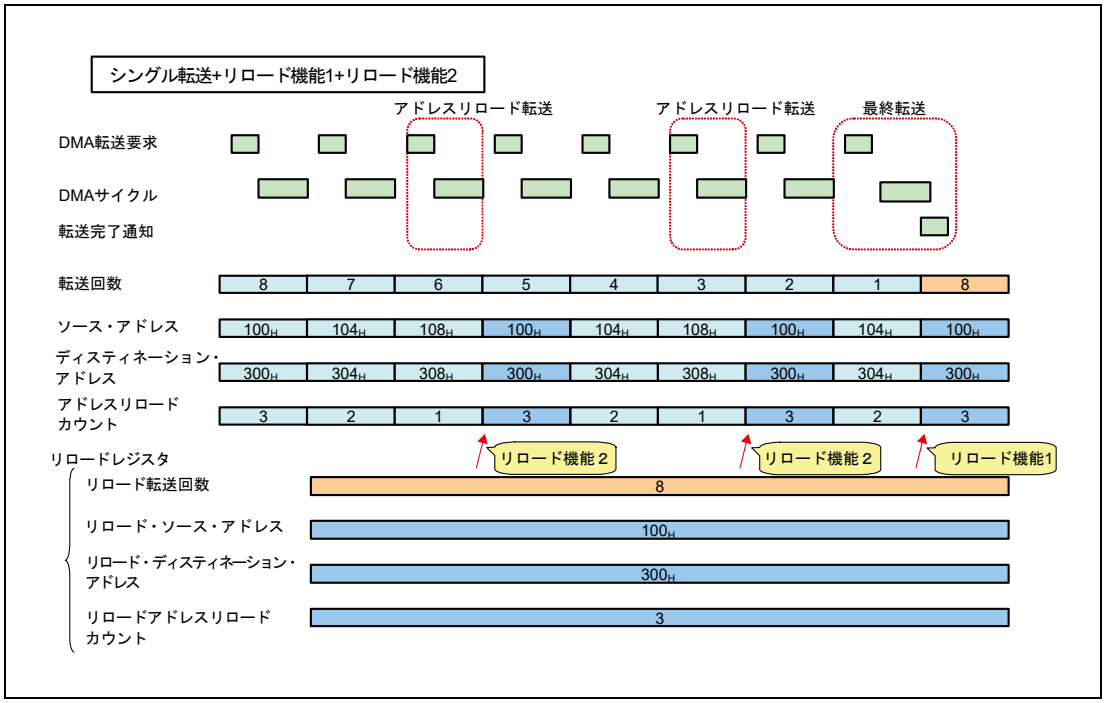


図 7.7 リロード機能 1 + リロード機能 2 動作イメージ

7.2.3.4 DMAC のリロードレジスタ設定タイミング

リロードソースアドレスレジスタ・リロードディスティネーションアドレスレジスタ・リロード転送回数レジスタはいつでも（DMA 転送中でも）設定が可能です。ただし、DMA 転送中にリロードソースアドレスレジスタ・リロードディスティネーションアドレスレジスタ・リロード転送回数レジスタの内容を書き換えた場合には、最終転送またはアドレスリロード転送時のリロード動作とユーザによるリロードレジスタの書き換えが競合する可能性があります。この競合を避けるため、リロードレジスタの設定は最終転送またはアドレスリロード転送が始まる前に完了するようにしてください。

DMA 転送中にリロードソースアドレスレジスタ・リロードディスティネーションアドレスレジスタ・リロード転送回数レジスタの内容を書き換える必要がある場合、書き換えのタイミングを知る方法として、DMA 転送回数一致割り込みを使用する方法があります。その場合、リロードレジスタの内容を書き換えるのに必要な時間を十分確保できるように DMA 転送回数コンペアレジスタ（DTCCn）を設定してください。

7.2.3.5 DTS のリロード情報設定タイミング

DTS のリロードソースアドレス情報・リロードディスティネーションアドレス情報・リロード転送回数情報の設定のタイミングは、転送モードによって異なるため注意が必要です。

シングル転送の場合には、最終転送またはアドレスリロード転送の開始時に TI フェッチした内容をもとに、DMA サイクル完了時にリロード動作を行います。このため、シングル転送でリロード機能を使用する場合には、最終転送またはアドレスリロード転送の開始前に、TI のリロードソースアドレス情報・リロードディスティネーションアドレス情報・リロード転送回数情報を設定しておく必要があります。

ブロック転送の場合は、TI フェッチが行われるのは DMA 転送の開始時のみです。最終転送またはアドレスリロード転送時には、DMA 転送の開始時に TI フェッチした情報にしたがってリロード動作を行います。このため、ブロック転送でリロード機能を使用する場合には、DMA 転送の開始前に TI のリロードソースアドレス情報・リロードディスティネーションアドレス情報・リロード転送回数情報を設定しておく必要があります。ブロック転送の実行の途中で TI のリロードソースアドレス情報・リロードディスティネーションアドレス情報・リロード転送回数情報を書き換えた場合には、そのブロック転送の完了時のリロード動作には反映されません。

7.2.4 チェイン機能

7.2.4.1 概要

DMA は、あるチャネルの DMA サイクルの完了または最終転送の完了をトリガにして、別のチャネルの DMA 転送要求を行うチェイン機能を提供します。

チェイン機能による別のチャネルへの DMA 転送要求をチェイン要求と呼びます。

チェイン要求の条件として選択できるのは次の 2 つです。

- 常にチェイン：DMA サイクルの完了ごとにチェイン要求を行います。
- 最終転送でチェイン：最終転送の完了の際にチェイン要求を行います。

図 7.8 に常にチェインの動作イメージを示します。

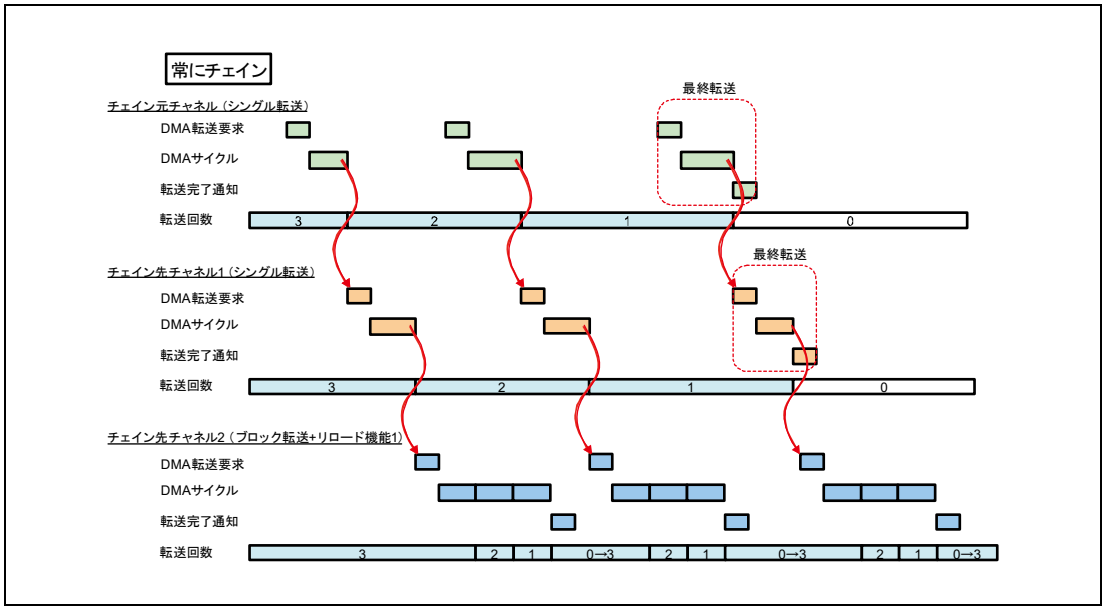


図 7.8 常にチェインの動作イメージ

図 7.9 に最終転送でチェインの動作イメージを示します。

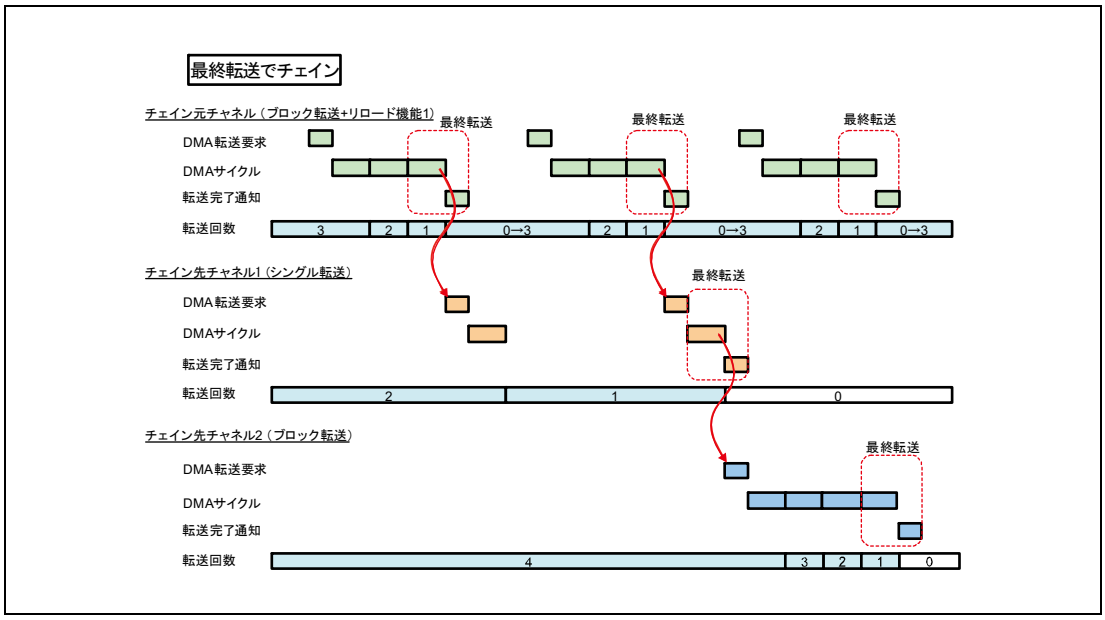


図 7.9 最終転送でチェインの動作イメージ

7.2.4.2 チェイン動作の設定方法

DMAC の場合は、DMAC 転送制御レジスタのチェインイネーブル（DTCTn.CHNE）およびチェイン先選択（DTCTn.CHNSEL）に、チェイン動作の種類およびチェイン先のチャネル番号を設定します。

DTS の場合は、DTS 転送制御レジスタのチェインイネーブル（DTTCTnnn.CHNE）およびチェイン先選択（DTTCTnnn.CHNSEL）に、チェイン動作の種類およびチェイン先のチャネル番号を設定します。

7.2.4.3 チェイン機能使用時の注意

チェイン動作は、チェイン先のチャネルのソフトウェア DMA 転送要求フラグをセットすることで実現しています。したがって、チェイン先となるチャネルでは、ソフトウェア DMA 転送要求を使用する場合と同様のチャネル設定を実施してください。ハードウェア DMA 転送要求を使用する設定を行ったチャネルをチェイン先に指定した場合には、チェイン動作を行うことができません。

チェイン先のチャネルは、チェイン元のチャネルと同一のモジュール内（DMAC0、DMAC1、DTS）のチャネルに限られます。異なるモジュールのチャネルをチェイン先として指定することはできません。

7.2.5 DMAC 動作

7.2.5.1 DMA 転送要求の種類と割り当て

DMAC はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。ハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかは、DMAC 転送制御レジスタ（DTCTn）の DMA 転送要求選択割り付け（DRS）ビットで指定します。

DMAC のハードウェア DMA 転送要求は、DTFR で 128 種類のハードウェア DMA 転送要因から DMAC の各チャネルにそれぞれ 1 つずつ選択して割り当てます。この割り当ては DTFR 設定レジスタで行います。

7.2.5.2 ソフトウェア DMA 転送要求の発生と受け付け

DMAC 転送ステータスセットレジスタ（DCSTSn）を使用して DMAC 転送ステータスレジスタ（DCSTn）のソフトウェア DMA 転送要求フラグ（SR）をセットすると、ソフトウェア DMA 転送要求を発生させることができます。

ソフトウェア DMA 転送要求フラグは、DMAC が DMA 転送要求を実行すると自動的にクリアされます。ソフトウェア DMA 転送要求フラグが自動的にクリアされるタイミングは、実行する DMA 転送の転送モードによって異なります。

- シングル転送の場合は、ソフトウェア DMA 転送要求を受け付ける度に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 1 の場合は、最終転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 2 の場合は、最終転送またはアドレスリロード転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。

ソフトウェア DMA 転送要求フラグは DMAC 転送ステータスクリアレジスタ（DCSTCn）を利用してソフトウェアでクリアすることも可能です。DMAC チャネルの DMA 転送中止の操作を行う際は、ソフトウェア DMA 転送要求フラグをクリアしてください。

7.2.6 DTS 動作

7.2.6.1 DMA 転送要求の種類と割り当て

DTS はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。

DTS の転送要求は、DTSFSL の転送要求保持状態ビットにチャネルごとに保持されます。DTSFSL ではハードウェア DMA 転送要求とソフトウェア DMA 転送要求はどちらも同じ転送要求保持状態ビットに保持されます。DTS は DMA 転送を実行する際に、DMA 転送要求がハードウェア DMA 転送要求であるかソフトウェア DMA 転送要求であるかの区別はしません。

DTS のハードウェア DMA 転送要求は、DTSFSL で 128 種類のハードウェア DMA 転送要因が DTS の 128 チャネルに固定的に割り当てられています。この割り当てはレジスタなどで変更することはできません。

7.2.6.2 DMA 転送要求の発生と受け付け

DTSFSL はハードウェア DMA 転送要因入力を検出すると転送要求保持状態ビットをセットして DMA 転送要求として保持します。転送要求保持状態ビットがセットされており、DTSFSL 動作設定レジスタの転送要求有効ビット（DTFSLnnn.REQEN）がセットされている場合、DTSFSL は DTS に対して DMA 転送要求があることを通知します。

ソフトウェアで DTSFSL 転送要求セットレジスタ（DTFSSnnn）を使用して、DTSFSL 転送要求ステータスレジスタの転送要求保持状態ビット（DTFSTnnn.DRQ）をセットすることでも、DMA 転送要求を発生させることができます。

DTSFSL が保持可能な DMA 転送要求はチャネルごとに 1 つです。あるチャネルの転送要求保持状態ビットがセットされている状態で、同じチャネルに対して後続のハードウェア DMA 転送要因入力が入力されても、後続のハードウェア DMA 転送要因入力は無視します。

DTS では、DMA 転送要求を受け付けると、DMA 転送要求受け付けを通知します。

転送要求保持状態ビットは、DTS が DMA 転送要求を受け付けると自動的にクリアされます。DTSFSL の転送要求保持状態ビットは、DTS で実行する DMA 転送の種類によらず、DTS が DMA 転送要求を受け付けた際に自動的にクリアされます。

転送要求保持状態ビットは、DTSFSL 転送要求クリアレジスタ（DTFSCnnn）を利用してクリアすることも可能です。DTS が DMA 転送要求を受け付ける前に転送要求保持状態ビットをクリアした場合は、そのチャネルの DMA 転送が実行されることはありません。

7.2.6.3 DMA 転送の実行

DTS は DMA 転送要求を受け付けたチャネルの DMA 転送を実行します。

複数のチャネルからの DMA 転送要求が存在する場合には、DTSFSL が DTS チャネルアービトレーションを行って DMA 転送要求を行うチャネルを決定します。

DTS で DMA 転送を実行中の場合は、DTS 状態レジスタの DTS 転送状態（DTSSTS.DTSACT）ビットがセットされます。また、DMA 転送を実行中のチャネル番号が同じレジスタの DTS 転送チャネル（DTSSTS.DTSACH）にセットされます。DMA 転送が完了したり、DMA 転送エラーやレジスタ操作により DMA 転送が中止されたりして、DMA 転送を実行中のチャネルがなくなった場合には、DTS 転送状態（DTSSTS.DTSACT）ビットはクリアされます。

7.2.6.4 DTSRAM アクセス

DTS では、DMA 転送の開始時および DMA 転送の終了時に DTSRAM アクセスを行います。

DTS が DMA 転送の開始時に DTSRAM から転送情報を読み出す動作を TI フェッチと呼びます。

DTS が DMA 転送の終了時に DTSRAM 上の転送情報を更新する動作を TI ライトバックと呼びます。

シングル転送では DMA サイクルの開始時に TI フェッチを行い、DMA サイクルの完了時に TI ライトバックを行います。

ブロック転送では、最初の DMA サイクルの開始時に TI フェッチし、ブロック転送完了の条件（最終転送またはアドレスリロード転送）の DMA サイクルの完了後に TI ライトバックを行います。

したがって、シングル転送では DMA サイクルごとに DTSRAM 上の転送情報が更新されます。ブロック転送ではブロック転送の完了後に DTSRAM 上の転送情報が更新されます。ブロック転送の実行中に、ソフトウェアで DTSRAM 上の転送情報を読み出した場合は、ブロック転送の開始時の転送情報が読み出されます。

7.3 一時中断・再開、転送中止および DMA 転送要求のクリア

7.3.1 ソフトウェア制御による DMA 一時中断・再開

DMA 制御レジスタ（DMACTL）により、全チャネルの DMA 転送一時中断機能を提供します。

DMA 制御レジスタの DMA 一時中断ビット（DMACTL.DMASPD）がセットされると、DMA は全チャネル一時中断状態に移行します。全チャネル一時中断状態で、DMA 制御レジスタの DMA 一時中断ビットがクリアされると、DMA は全チャネル一時中断状態から通常状態に復帰し、一時中断状態だったチャネルの DMA 転送は再開されます。

全チャネル一時中断状態では、DMAC の各チャネルの DCENn.DTE ビットおよび DTS の DTSCTL1.DTSUST ビットの状態は変わりませんが、すべてのチャネルの DMA 転送は一時中断された状態になります。

注 意

DTS で実行中の DMA 転送を一時中断／再開する場合は、DMA 転送要求有効ビット（DTFSLnnn.REQEN）の有効／無効の操作を行う必要があります。詳細は、「7.3.3 DTS の一時中断・再開および転送中止」の注意事項をご参照ください。

7.3.2 DMAC チャネルの一時中断・再開および転送中止

DMAC チャネル動作有効設定レジスタのチャネル動作有効ビット（DCENn.DTE）をクリアまたは DMA 制御レジスタの DMA 一時中断ビット（DMACTL.DMASPD）をセットすることで、DMAC チャネルの DMA 転送を一時中断することができます。DMA サイクルを実行中の場合、実行中の DMA サイクルの終了後に DMA 転送を一時中断します。一時中断の状態で DCENn.DTE ビットを再びセットまたは DMACTL.DMASPD ビットをクリアすると、一時中断した DMAC チャネルの DMA 転送を再開します。

DMAC チャネルで実行中の DMA 転送を中止したい場合、DMAC チャネル動作有効設定レジスタのチャネル動作有効ビット（DCENn.DTE）をクリアした後で、ハードウェア DMA 転送要求であれば DTFR のハードウェア DMA 転送要求をクリアし、ソフトウェア DMA 転送要求であれば DMAC 転送ステータスクリアレジスタのソフトウェア DMA 転送要求フラグクリアビット（DCSTCn.SRC）を利用してソフトウェア DMA 転送要求フラグ（DCSTn.SR）をクリアしてください。

連続転送イネーブルビット（DTCTn.MLE）がセットされた状態では、チャネル動作有効ビット（DCENn.DTE）がセットされた状態が維持されます。最終転送の DMA サイクル中にソフトウェアでチャネル動作有効ビット（DCENn.DTE）をクリアしても、連続転送イネーブルビット（DTCTn.MLE）の機能が優先され最終転送完了後にチャネル動作有効ビット（DCENn.DTE）が再びセットされます。

連続転送機能を使用中に DMAC チャネルを一時中断させたい場合は、DMAC 転送制御レジスタの連続転送イネーブルビット（DTCTn.MLE）をクリアした後で、DMAC チャネル動作有効設定レジスタのチャネル動作有効ビット（DCENn.DTE）をクリアして DMAC チャネルの DMA 転送を中断してください。この操作を行う場合に限り、DMAC 転送制御レジスタ（DTCTn）をチャネル動作有効状態（DCENn.DTE = 1）で書き込みことが許可されます。

図 7.10 に DMAC チャネルの一時中断・再開・転送中止の動作例を示します。

図 7.10 では、チャネル 0 とチャネル 1 はいずれもブロック転送を実行します。時間 1 でチャネル 1 が DMA 転送を開始します。時間 2 でチャネル 0 の DMA 転送要求が受け付けられ、DMAC チャネルアービトレーションにより、チャネル 1 よりも優先度の高いチャネル 0 の DMA 転送を開始します。時間 3 でチャネル 0 の最終転送が完了し、チャネル 1 のブロック転送の残りの DMA 転送を開始します。時間 4 でチャネル 1 の最終転送が完了します。時間 5 以降は同様にチャネル 0 とチャネル 1 の DMA 転送を実行しますが、時間 7 でチャネル 0 の DMA 転送が一時中断され、DMAC チャネルアービトレーションによりチャネル 1 の DMA 転送を開始します。時間 8 でチャネル 1 の最終転送が完了した後、時間 9 でチャネル 0 の DMA 転送を再開しています。時間 10 で再びチャネル 0 の DMA 転送を一時中断し、時間 11 でチャネル 0 の DMA 転送を中止しています。時間 12 でチャネル 0 の一時中断状態を解除していますが、時間 11 で DMA 転送が中止されているためチャネル 0 の DMA 転送は実行されません。

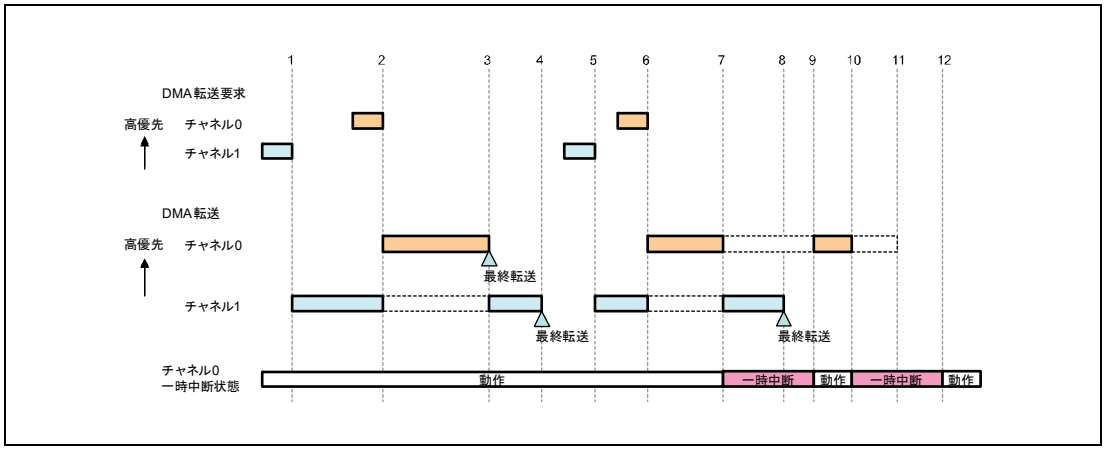


図 7.10 DMAC チャネルの一時中断・再開・転送中止の動作例

7.3.3 DTS の一時中断・再開および転送中止

DTS 制御レジスタ 1 の DTS 一時中断ビット（DTSCTL1.DTSUST）または DMA 制御レジスタの DMA 一時中断ビット（DMACTL.DMASPD）をセットすることで、DTS で実行中の DMA 転送を一時中断することができます[注 1]。DMA サイクルを実行中の場合、DMA サイクルが完了した時点で一時中断状態になります。実行中の DMA サイクルがシングル転送、またはブロック転送を完了する転送（最終転送またはアドレスリロード転送）の場合は、DMA サイクルの完了後、TI ライトバックを行った後に一時中断状態になります。それ以外の DMA サイクルを実行中の場合は、DMA サイクルの完了後、TI ライトバックは行わずに一時中断状態になります。一時中断状態から DMA 転送を再開するには DTS 制御レジスタ 1 の DTS 一時中断ビットまたは DMA 制御レジスタの DMA 一時中断ビットをクリアします[注 1]。

注 1. DTS で実行中の DMA 転送を一時中断／再開する前に DMA 転送要求有効ビット（DTFSLnnn.REQEN）の有効／無効の操作を行う必要があります。一時中断／再開する際には、以下の処置を行ってください。

(a) DTS を一時中断する際の手順

1. DMA 転送要求有効ビット（DTFSLnnn.REQEN）がセットされている全ての DTS チャネルの DMA 転送要求有効ビット（DTFSLnnn.REQEN）をクリアする。
2. DTSCTL1.DTSUST ビットまたは DMACTL.DMASPD ビットをセットする。

(b) DTS を再開する際の手順

1. (a) の 1. でクリアした DTS チャネルの DMA 転送要求有効ビット（DTFSLnnn.REQEN）をセットする。
2. (a) の 2. でセットした DTSCTL1.DTSUST ビットまたは DMACTL.DMASPD ビットをクリアする。

DTS で実行中の DMA 転送を中止したい場合は、まず上記の操作のうち、DTS 制御レジスタ 1 の DTS 一時中断ビット（DTSCTL1.DTSUST）を使用して DTS を一時中断状態にした後、DTS 制御レジスタ 2 の DTS 転送中止要求ビット（DTSCTL2.DTSTIT）をセットすることで、一時中断中の DMA 転送を中止することができます。転送中止の際に TI ライトバックは行われません。また、転送中止の操作を行った場合も DTS 一時中断ビット（DTSCTL1.DTSUST）の状態は変わりませんので、転送中止後に DTS で別の DMA 転送要求を受け付けたい場合は、DTS チャネルの DMA 転送要求有効ビット（DTFSLnnn.REQEN）をセットした後、DTS 一時中断ビットをクリアしてください。

図 7.11 に DTS の一時中断・再開・転送中止の動作例を示します。

図 7.11 では、チャネル 0、チャネル 1 およびチャネル 2 はいずれもブロック転送を実行します。時間 1 でチャネル 1 の DMA 転送要求が受け付けられ、DMA 転送を開始します。時間 2 でチャネル 0 とチャネル 2 の DMA 転送要求が発生しています。時間 3 でチャネル 1 の最終転送が完了し、DTS チャネルアービトレーションにより優先度の高いチャネル 0 の DMA 転送要求が受け付けられチャネル 0 の DMA 転送を開始します。時間 4 でチャネル 0 の最終転送が完了し、チャネル 2 の DMA 転送を開始します。時間 5 で DTS が一時中断状態にセットされ、チャネル 2 の DMA 転送は一時中断されます。時間 6 でチャネル 0 とチャネル 1 の DMA 転送要求が発生しています。時間 7 で DTS の一時中断状態がクリアされ、ブロック転送の途中で一時中断となったチャネル 2 の DMA 転送が再開されます。ブロック転送の途中で一時中断となった場合、再開時に DTS チャネルアービトレーションは行われません。時間 8 でチャネル 2 の最終転送が完了し、DTS チャネルアービトレーションにより優先度の高いチャネル 0 の DMA 転送要求が受け付けられ、DMA 転送を開始します。時間 9 で DTS が一時中断状態にセットされ、時間 10 で一時中断中のチャネル 0 の DMA 転送が中止されています。時間 11 で DTS の一時中断状態がクリアされると、現在 DMA 転送中のチャネルは存在しないため、DMA 転送要求のあるチャネル 1 の DMA 転送が開始されます。

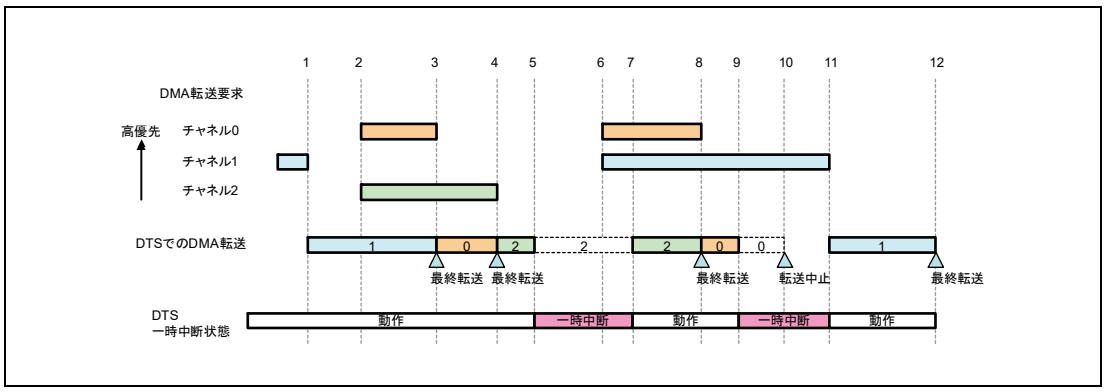


図 7.11 DTS の一時中断・再開・転送中止の動作例

7.3.4 DTFR のハードウェア DMA 転送要求マスクおよびクリア

DMAC でハードウェア DMA 転送要求を使用している場合、DTFR 設定レジスタのハードウェア DMA 転送要因選択有効ビット（DTFRn.REQEN）をクリアすることで、一時的に DTFR から DMAC に対するハードウェア DMA 転送要求出力を無効化（マスク）することができます。

また、ハードウェア DMA 転送要因を利用する場合には、DTFR 転送要求クリアレジスタのハードウェア DMA 転送要求クリア（DTFRRQCn.DRQC）ビットを使用して、DTFR で保持しているハードウェア DMA 転送要求をクリアすることができます。

DMAC チャネルに対して DMA 転送の一時中断や転送中止の操作を行った場合でも、DTFR のハードウェア DMA 転送要求選択・保持回路は動作したままですので、DMAC チャネルの一時中断の期間または転送中止の期間中に DTFR に入力されたハードウェア DMA 転送要求を DTFR は保持している場合があります。DMAC チャネルで DMA 転送を再開または開始する場合には、必要に応じて、DTFR で保持しているハードウェア DMA 転送要求をクリアする操作を行ってください。

DMAC をハードウェア転送要求かつブロック転送（1 または 2）の設定で使用する場合、DMAC がブロック転送を実行中に、ソフトウェアで DTFR のハードウェア転送要因選択ビットを無効 (DTFRn.REQEN = 0) に設定した場合、実行中のブロック転送が中断します。

7.3.5 DTSFSL の DMA 転送要求マスクおよびクリア

DTS では、DTSFSL 動作設定レジスタの転送要求有効ビット（DTFSLnnn.REQEN）をクリアすることで、一時的に DTS に対するそのチャネルからの DMA 転送要求を無効化（マスク）することができます。（実際の動作としては、DTSFSL 内で DTS チャネルアービトレションの際に、そのチャネルをアービトレーション対象から除外します。）

また、DTSFSL 転送要求クリアレジスタの転送要求クリア（DTFSCnnn.DRQC）ビットを使用して、DTSFSL で保持している DMA 転送要求をクリアすることができます。

DTS の状態や DTSFSL の転送要求有効ビット（DTFSLnnn.REQEN）の状態に関わらず、DTSFSL は常にハードウェア転送要因入力を監視しており、DTSFSL にハードウェア転送要因が入力されるとそのチャネルに対応する DMA 転送要求がセットされます。DTS 転送を再開または開始する場合には、必要に応じて、DTSFSL で保持している DMA 転送要求をクリアする操作を行ってください。

7.3.6 一時中断・再開・転送中止機能一覧

表 7.5 一時中断・再開・転送中止機能一覧

機能	操作方法	動作	DMA 転送中止の可否	操作可能なマスタ（「7.5 信頼性機能」参照）
DMA 一時中断・再開	DMACTL.DMASPD をセット・クリア注 2	全チャネルが一時中断状態	不可注 1	特殊マスタ
DMAC チャネル一時中断・再開	各チャネルレジスタの DCENn.DTE をクリア・セット注 3	チャネルの DMA 転送を一時中断	可能 （一時中断状態で DMA 転送要求フラグをクリア）	特殊マスタ、チャネルに割り当てられた一般マスタ
DTS 一時中断・再開	DTSCTL1.DTSUST をセット・クリア注 2	DTS の DMA 転送を一時中断	可能 （一時中断状態で DTSCTL2.DTSTIT をセット）	特殊マスタ

注 1. DMA 転送を中止するためには、DMAC チャネルの転送中止または DTS の転送中止の操作を行う必要があります。

注 2. DTS で実行中の DMA 転送を一時中断／再開する場合は、DMA 転送要求有効ビット（DTFSLnnn.REQEN）の有効／無効の操作を行う必要があります。詳細は、**「7.3.3 DTS の一時中断・再開および転送中止」**の注意事項をご参照ください。

注 3. 連続転送機能使用中は、連続転送イネーブルビット（DTCTn.MLE）を先に操作（セット・クリア）してください。

7.4 エラー制御

7.4.1 エラーの種類

DMA で発生するエラーは次の 2 つの種類があります。

- DMA 転送エラー
  DMA サイクルのリードサイクルまたはライトサイクルで、エラーが検出された場合に発生します。DMAC および DTS のすべてのチャネルで、DMA 転送の実行時に発生する可能性があります。
- DTSRAM エラー
  DTS による DTSRAM リードアクセスで ECC エラーを検出した場合に発生します。
  DTS の DMA 転送実行時の TI フェッチ、またはソフトウェアから DTS チャネルレジスタアクセスの際に発生する可能性があります。

7.4.2 DMA 転送エラー

DMA 転送エラーが発生すると DMA 転送エラー割り込み（DMAERR）が発生します。

DMA 転送エラーの検出は、DMAC の各チャネルと DTS とで独立していますが、DMA 転送エラー割り込み（DMAERR）は DMAC と DTS で共通です。

7.4.2.1 DMAC の DMA 転送エラー発生時の動作

DMAC で DMA 転送エラーが発生すると、DMA 転送エラーが発生したチャネルの DMAC 転送ステータスレジスタの転送エラーフラグ（DCSTn.ER）がセットされます。DMAC エラーレジスタ（DMACER）で DMAC の 16 チャネルすべての転送エラーフラグの状態を確認することができます。

転送エラーフラグがセットされたチャネルでは、転送エラー時 DMA 転送禁止設定（DTCTn.ESE）ビットがセットされている場合は、新たな DMA サイクルは実行されませんが、転送エラー時 DMA 転送禁止設定（DTCTn.ESE）ビットがクリアされている場合は、転送エラーフラグの状態に関係なく DMA サイクルが実行されます。

DMA 転送エラーが発生したチャネルの DMA 転送を中止する場合は、DMAC チャネルの DMA 転送中止の操作を実行してください。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウントの各レジスタは更新されます。

7.4.2.2 DTS の DMA 転送エラー発生時の動作

DTS で DMA 転送エラーが発生すると、DTS エラーレジスタの DTS エラー発生フラグ（DTSER1.DTSER）がセットされ、同レジスタの DTS エラーチャネル（DTSER1.DTSERCH）に DMA 転送エラーが発生した DTS チャネル番号が格納されます。

シングル転送で DMA 転送エラーが発生すると、TI ライトバックを行って DMA サイクルを終了します。

ブロック転送の途中で DMA 転送エラーが発生し、転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がセットされている場合は、ブロック転送の残りの DMA サイクルを実行せずに、TI ライトバックを行って DMA 転送を終了します。その際 DTS 状態レジスタの DTS 転送状態（DTSSTS.DTSACT）ビットはクリアされます。ブロック転送の途中で DMA 転送エラーが発生し、転送エラー時 DMA 転送中止設定（DTTCTnnn.ESE）がクリアされている場合は、DMA 転送エラーの発生に関係なくブロック転送を継続します。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウントは更新され、TI ライトバックの際に TI が更新されます。

DTS エラーレジスタの DTS エラー発生フラグがセットされた状態で、DTS エラーチャネルに格納されたチャネル番号と同じチャネルの DMA 転送要求を DTS が受け付けると、TI フェッチを実行します。TI フェッチの結果転送エラー時 DMA 転送中止設定 (DTTCTnnn.ESE) がセットされていた場合は DMA サイクルおよび TI ライトバックを実行しません。転送エラー時 DMA 転送中止設定（DTTCTnnn.ESE）がクリアされている場合は DMA 転送が実行されます。

DTS エラーレジスタの DTS エラー発生フラグがセットされた状態で、DTS エラーチャネルに格納されたチャネル番号と異なるチャネルの DMA 転送要求を DTS が受け付けた場合には、DMA 転送が実行されます。

7.4.3 DTSRAM エラー

DTSRAM リードアクセスで検出する DTSRAM エラーには、ECC 1 ビットエラーと ECC 2 ビットエラーの 2 種類があります。

TI フェッチの際に ECC 1 ビットエラーを検出した場合は、訂正後のデータを用いて DMA 転送を継続します。ソフトウェアからの DTS チャネルレジスタアクセスの際に ECC 1 ビットエラーを検出した場合は、訂正後のデータをリードデータとして応答します。またいずれの場合にも、DTS エラーレジスタ 2 の DTSRAM 1 ビットエラー発生フラグ（DTSER2.RAMSED）がセットされ、DTSRAM 1 ビットエラーアドレス（DTSER2.RAMSEDAD）にエラーが発生した DTSRAM のアドレスが保持されます。また、ECM にエラー通知を行います。

TI フェッチの際に ECC 2 ビットエラーを検出した場合は、DMA サイクルおよび TI ライトバックを実行せずに、その DMA 転送要求に対する処理を終了します。ソフトウェアからの DTS チャネルレジスタアクセスの際に ECC 2 ビットエラーを検出した場合は、周辺バスエラーの通知を行います。またいずれの場合にも、DTS エラーレジスタ 2 の DTSRAM 2 ビットエラー発生フラグ（DTSER2.RAMDED）がセットされ、DTSRAM 2 ビットエラーアドレス（DTSER2.RAMDEDAD）にエラーが発生したアドレスが保持されます。また、ECM にエラー通知を行います。

7.5 信頼性機能

7.5.1 概要

本製品では、DMA は複数のマスタ（CPU1 や PCU）から利用される資源であり、DMA でマルチコア構成に対応するための以下の信頼性機能を提供します。

- レジスタアクセス保護機能
- マスタ情報継承機能

7.5.2 レジスタアクセス保護機能

本製品では、DMA の各チャネルは CPU1 や PCU に割り当てて利用することを想定しています。

レジスタアクセス保護機能は、DMA の各チャネルの転送情報に対して、チャネルに割り当てたマスタ（CPU1 や PCU）からのみアクセスを許可し、他のマスタからのアクセスを禁止する機能です。

レジスタアクセス保護機能により、たとえば、チャネルに割り当てたマスタ以外の無関係のマスタによってチャネルの設定内容が読み出されたり変更されたりすることを防ぐことができます。

7.5.2.1 アクセス元マスタの識別

DMA は、アクセス元の CPU 番号（PEID）、CPU がスーパバイザモード（PSW.UM = 0）かユーザモード（PSW.UM = 1）かによってマスタを識別します。

7.5.2.2 マスタアクセス

マスタアクセスには、以下の 2 種類があります。

- 特殊マスタアクセス（CPU1 のスーパーバイザモード（UM = 0））
- 一般マスタアクセス（特殊マスタアクセス以外のアクセス）

特殊マスタアクセスでは、すべてのレジスタに対してアクセスが許可されます。

一般マスタアクセスでは、すべてのレジスタにリードアクセスが許可されていますが、ライトアクセスに関してはチャネル割り当て（**「7.5.2.3 チャネル割り当て」**参照）によって割り当てられたチャネルのチャネルレジスタに対してアクセスが許可されます。

7.5.2.3 チャネル割り当て

DMA では、各チャネル単位で、そのチャネルを利用するマスタ（CPU1 や PCU）を割り当てることができます。チャネル割り当ては CPU1 のスーパーバイザモード（UM = 0）がチャネルマスタ設定レジスタ（DMAC の場合は DMnnCM、DTS の場合は DTSnnnCM）を設定することで行います。

一般マスタアクセスでは、チャネル割り当てによって割り当てられたマスタは、そのチャネルのチャネルレジスタにライトアクセスすることが許可されます。チャネル割り当てによって割り当てられたマスタ以外がチャネルレジスタにライトアクセスした場合は、違反アクセスとなります。違反アクセスについては**「7.5.2.4 違反アクセス」**で説明します。

7.5.2.4 違反アクセス

DMA は次のアクセスを違反アクセスとして扱います。

a) 一般マスタからのグローバルレジスタへのライトアクセス

b) チャネル割り当てによって割り当てられたマスタ以外からのチャネルレジスタに対する一般マスタからのライトアクセス

DMA はいかなるマスタからのリードアクセスも違反アクセスとして取り扱いません。

DMA は違反アクセスに対して次の動作を行います。

a)、b) の場合ともに

- ライトアクセスは無視します。

また、b) の場合にのみ、

- レジスタアクセス保護違反レジスタに、違反アクセスの際の情報を保存します。
- レジスタアクセス保護違反レジスタは DMAC0、DMAC1 および DTS で分かれています（DM0CMV, DM1CMV, DTSCMV）。
- ECM に DMAVIOL（DMA 違反アクセス）を通知します。

特殊マスタのみレジスタアクセス保護違反レジスタにライトアクセスが可能です。特殊マスタはレジスタアクセス保護違反レジスタを定期的に確認することで、違反アクセスの発生状態を確認することができます。

また、DMA を利用するマスタは、チャネルレジスタに転送情報を設定する際に、違反アクセスが発生せずに設定が正しく行われていることをリードバックなどにより確認することを推奨します。

7.5.3 マスタ情報継承機能

本製品では、DMA アクセスの際には DMA チャネルを設定した CPU1 や PCU と同等のマスタ情報を継承します。

DMA が出力するマスタ情報は**表 7.6** のとおりです。

表 7.6 DMA が出力するマスタ情報

意味	DMA から出力する値
UM	チャネルマスタ設定レジスタの UM ビットの値
SPID	チャネルマスタ設定レジスタの SPID ビットの値
PEID	7
DMA アクセス	1

7.5.4 その他の信頼性機能

7.5.4.1 チェイン先の制限

信頼性機能により、チェイン先として指定可能なチャネルが制限されます。

チェイン機能を使用する際は、チェイン元チャネルのチャネルマスタ設定とチェイン先チャネルのチャネルマスタ設定は同じ内容を設定してください。

チェイン機能の使用時は、チェイン元のチャネルとチェイン先のチャネルは同一のマスタの管理下で使用することを想定しています。

DMA は、異なるマスタを割り当てたチャネルへのチェインは意図外の動作であると判断し、チェイン動作を制限します。具体的には、DMA はチェイン実行時にチェイン元チャネルのチャネルマスタ設定とチェイン先チャネルのチャネルマスタ設定の内容をチェックして、チャネルマスタ設定の PEID、UM がすべて同一の場合はチェインを許可し、チェイン先チャネルにチェイン要求を行います。チャネルマスタ設定の PEID、UM のいずれかが異なる場合は、チェイン要求を行いません。

7.6 DMA 転送の設定手順

7.6.1 DMA 設定手順概要

表 7.7 チャネル割り当て (1/2)

No.	設定元マスタ	内容		レジスタ	操作の必要条件
1	特殊マスタ（CPU1 のスーパーバイザモード（UM = 0）	DMA 全体動作の設定	DTSPR0 ～ DTSPR7	DTS チャネル優先度設定レジスタ	必須（DTS を使用する場合）
2			DM00CM ～ DM17CM	DMAC チャネルマスタ設定レジスタ	必須（DMAC を使用する場合）
3			DTS0CM ～ DTS127CM	DTS チャネルマスタ設定レジスタ	必須（DTS を使用する場合）
4		ステータスのクリア	DTSERC	DTS エラークリアレジスタ	推奨
5			CMVC	チャネル保護違反クリアレジスタ	推奨
6	DMAC チャネルに割り当てられたマスタ	チャネルの設定	DSAn	DMAC ソースアドレスレジスタ	必須
7			DDAn	DMAC ディスティネーションアドレスレジスタ	必須
8			DTCn	DMAC 転送回数レジスタ	必須
9			DTCTn	DMAC 転送制御レジスタ	必須
10			DRSAn	DMAC リロードソースアドレスレジスタ	リロード機能を使用する場合必須
11			DRDAn	DMAC リロードディスティネーションアドレスレジスタ	リロード機能を使用する場合必須
12			DRTCn	DMAC リロード転送回数レジスタ	リロード機能を使用する場合必須
13			DTCCn	DMAC 転送回数コンペアレジスタ	転送回数一致割り込みを使用する場合必須
14			DTFRn	DTFR 設定レジスタ	必須
15		ステータスのクリア	DCSTCn	DMAC 転送ステータスクリアレジスタ	必須
16			DTFRRQCn	DTFR 転送要求クリアレジスタ	推奨
17		チャネル動作有効	DCENn	DMAC チャネル動作有効設定レジスタ	必須

表 7.7 チャネル割り当て (2/2)

No.	設定元マスタ	内容		レジスタ	操作の必要条件
18	DTS チャネルに割り当てられたマスタ	チャネルの設定	DTSAnnn	DTS ソースアドレスレジスタ	必須
19			DTDAnnn	DTS ディスティネーションアドレスレジスタ	必須
20			DTTCnnn	DTS 転送回数レジスタ	必須
21			DTTCTnnn	DTS 転送制御レジスタ	必須
22			DTRSAnnn	DTS リロードソースアドレスレジスタ	リロード機能を使用する場合必須
23			DTRDAnnn	DTS リロードディスティネーションアドレスレジスタ	リロード機能を使用する場合必須
24			DTRTCnnn	DTS リロード転送回数レジスタ	リロード機能を使用する場合必須
25			DTTCCnnn	DTS 転送回数コンペアレジスタ	転送回数一致割り込みを使用する場合必須
26		ステータスのクリア	DTFSCnnn	DTSFSL 転送要求クリアレジスタ	推奨
27		転送要求有効	DTFSLnnn	DTSFSL 動作設定レジスタ	必須

7.6.2 DMA 全体動作設定手順

DMA の利用を開始する前に、DMA 全体動作設定を行う必要があります。

DMA 全体動作設定は、特殊マスタである CPU1 のスーパーバイザモード（UM = 0）がグローバルレジスタを設定することで実施します。グローバルレジスタの設定は特殊マスタアクセスのみ許可されます。詳細は**「7.5 信頼性機能」**を参照してください。

DMA 全体動作設定で設定が必要なレジスタは以下のとおりです。

- DTS チャネル優先度設定レジスタ（DTSPRn、n = 0 ～ 7）
  DTS チャネルアービトレーションの際の DTS の各チャネルの優先度を設定します。
- DMAC チャネルマスタ設定レジスタ（DMnnCM）
- DTS チャネルマスタ設定レジスタ（DTSnnnCM）
  チャネル割り当てを行います。（詳細は**「7.5 信頼性機能」**を参照）
  DMAC チャネルマスタ設定レジスタと DTS チャネルマスタ設定レジスタの設定を正しく行わない場合、DMA チャネル設定および DMA 転送が正しく実行できません。

また、DMA 全体動作設定の際に次のレジスタでエラーを検出している場合には、エラーをクリアすることを推奨します。

- DTS エラーレジスタ 1（DTSER1）
- DTS エラーレジスタ 2（DTSER2）
- DMAC0 レジスタアクセス保護違反レジスタ（DM0CMV）
- DMAC1 レジスタアクセス保護違反レジスタ（DM1CMV）
- DTS レジスタアクセス保護違反レジスタ（DTSCMV）

7.6.3 DMA チャネル設定手順

DMA チャネル設定では、DMAC および DTS の各チャネルの転送情報や転送要因の選択を行います。

DMA チャネル設定は、チャネル割り当てによって割り当てられた各チャネルのマスタがチャネルレジスタを設定することで実施します。

7.6.3.1 DMAC チャネル設定手順

DMAC を利用する場合の DMAC チャネル設定は以下の手順で行います。

(1) チャネル動作無効設定

DMAC チャネル動作有効設定レジスタ（DCENn）でチャネル動作有効（DTE）がセットされている場合は、DTE ビットをクリアしてチャネル動作を無効の状態に変更します。

(2) 転送情報の設定

DMAC の転送情報の設定では、次のレジスタを設定します。

- DMAC ソースアドレスレジスタ（DSAn）
- DMAC ディスティネーションアドレスレジスタ（DDAn）
- DMAC 転送回数レジスタ（DTCn）
- DMAC 転送制御レジスタ（DTCTn）
- DMAC リロードソースアドレスレジスタ（DRSAn）
- DMAC リロードディスティネーションアドレスレジスタ（DRDAn）
- DMAC リロード転送回数レジスタ（DRTCn）
- DMAC 転送回数コンペアレジスタ（DTCCn）

(3) DMA 転送要求の設定

転送情報の設定で、DMAC 転送制御レジスタ（DTCTn）の DMA 転送要求選択割り付け（DTCTn.DRS）ビットにハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定します。

1 つのチャネルでハードウェア DMA 転送要求とソフトウェア DMA 転送要求の両方を同時に使用することはできません。

ハードウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択（DTFRn.REQSEL）で 128 種類のハードウェア DMA 転送要因からハードウェア DMA 転送要求として使用する要因を選択して設定します。また同じレジスタのハードウェア DMA 転送要因選択（DTFRn.REQEN）を有効に設定します。

DTFR には、ハードウェア DMA 転送要因を選択する前の状態でハードウェア DMA 転送要求が保持されている場合があるので、必要に応じて、DTFR 転送要求クリアレジスタ（DTFRRQCn）を利用して DTFR で保持しているハードウェア DMA 転送要求（DTFRRQn.DRQ）をクリアしてください。

ソフトウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択（DTFRn.REQEN）を無効に設定します。

(4) 転送ステータスのクリア

DMAC 転送ステータスレジスタ（DCSTn）に、以前の DMA 転送結果が保持されている場合があるので、DMAC 転送ステータスクリアレジスタ（DCSTCn）を利用して DMAC 転送ステータスレジスタの各フラグをクリアします。

(5) チャネル動作有効設定

DMAC チャネル動作有効設定レジスタのチャネル動作有効（DCENn.DTE）ビットをセットして、チャネル動作を有効にします。

チャネル動作有効設定を行った後は、DMAC は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

7.6.3.2 DTS チャネル設定手順

DTS を利用する場合の DTS チャネル設定は以下の手順で行います。

(1) DTSFSL の転送要求無効設定

チャネル設定を実行する DTS チャネルに対応する DTSFSL 動作設定レジスタの転送要求有効（DTFSLnnn.REQEN）ビットをクリアします。本手順は必須ではありませんが、チャネル設定を実行する DTS チャネルに誤って DMA 転送要求が入力されてしまうことを防ぐために実施することを推奨します。

また、チャネル設定を実行する DTS チャネルが DMA 転送を実行中でないことを、DTS 状態レジスタ（DTSSTS）で確認することを推奨します。

(2) 転送情報の設定

DTS の転送情報の設定では、次のレジスタから転送情報を設定します。

- DTS ソースアドレスレジスタ（DTSAnnn）
- DTS ディスティネーションアドレスレジスタ（DTDAnnn）
- DTS 転送回数レジスタ（DTTCnnn）
- DTS 転送制御レジスタ（DTTCTnnn）
- DTS リロードソースアドレスレジスタ（DTRSAnnn）
- DTS リロードディスティネーションアドレスレジスタ（DTRDAnnn）
- DTS リロード転送回数レジスタ（DTRTCnnn）
- DTS 転送回数コンペアレジスタ（DTTCCnnn）

(3) DMA 転送要求の設定

DMAC と異なり、DTS は DMA 転送要求がハードウェア DMA 転送要求であるかソフトウェア DMA 転送要求であるかの区別はしません。DTS ではチャネルごとの転送要求保持状態ビットを DTSFSL に持っており、ハードウェア DMA 転送要求とソフトウェア DMA 転送要求はどちらも同じ転送要求保持状態ビット（DTFSTnnn.DRQ）に保持されます。このため、DTS ではハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定する機能はありません。

DTSFSL には、転送情報を設定する前の状態で DMA 転送要求が保持されている場合があります。必要に応じて、DTSFSL 転送要求クリアレジスタ（DTFSCnnn）を利用して DTSFSL で保持されている DMA 転送要求（DTFSTnnn.DRQ）をクリアしてください。

(4) DTSFSL の転送要求有効設定

DTSFSL 動作設定レジスタの転送要求有効（DTFSLnnn.REQEN）ビットをセットして、DTS チャネルに対応する DMA 転送要求を有効にします。

DTSFSL の転送要求有効設定を行った後は、DTS は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

7.7 DMA トリガ要因

7.7.1 DMA トリガ要因一覧

DMA チャネル n への DMA トリガソースの割り当ては DTFR 設定レジスタ（DTFRn）で設定します。

表 7.8 DMA トリガ要因一覧 (1/4)

	DTSTRG 共通	機能・モジュール	DMA トリガ要因名
DMACTRG[0]	—	ATU-IV TimerD	OCR2D00 コンペアマッチ割り込み
DMACTRG[1]	—		OCR2D01 コンペアマッチ割り込み
DMACTRG[2]	—		OCR2D02 コンペアマッチ割り込み
DMACTRG[3]	—		OCR2D03 コンペアマッチ割り込み
DMACTRG[4]	—		DCNTD00 ダウンカウンタアンダフロー割り込み
DMACTRG[5]	—		DCNTD01 ダウンカウンタアンダフロー割り込み
DMACTRG[6]	—		DCNTD02 ダウンカウンタアンダフロー割り込み
DMACTRG[7]	—		DCNTD03 ダウンカウンタアンダフロー割り込み
DMACTRG[8]	—		OCR2D10 コンペアマッチ割り込み
DMACTRG[9]	—		OCR2D11 コンペアマッチ割り込み
DMACTRG[10]	—		OCR2D12 コンペアマッチ割り込み
DMACTRG[11]	—		OCR2D13 コンペアマッチ割り込み
DMACTRG[12]	—		DCNTD10 ダウンカウンタアンダフロー割り込み
DMACTRG[13]	—		DCNTD11 ダウンカウンタアンダフロー割り込み
DMACTRG[14]	—		DCNTD12 ダウンカウンタアンダフロー割り込み
DMACTRG[15]	—		DCNTD13 ダウンカウンタアンダフロー割り込み
DMACTRG[16]	—		OCR2D20 コンペアマッチ割り込み
DMACTRG[17]	—		OCR2D21 コンペアマッチ割り込み
DMACTRG[18]	—		OCR2D22 コンペアマッチ割り込み
DMACTRG[19]	—		OCR2D23 コンペアマッチ割り込み
DMACTRG[20]	—		DCNTD20 ダウンカウンタアンダフロー割り込み
DMACTRG[21]	—		DCNTD21 ダウンカウンタアンダフロー割り込み
DMACTRG[22]	—		DCNTD22 ダウンカウンタアンダフロー割り込み
DMACTRG[23]	—		DCNTD23 ダウンカウンタアンダフロー割り込み

表 7.8 DMA トリガ要因一覧 (2/4)

	DTSTRG 共通	機能・モジュール	DMA トリガ要因名
DMACTRG[24]	—	ATU-IV TimerD	DCNTD30 ダウンカウンタアンダフロー割り込み
DMACTRG[25]	—		DCNTD31 ダウンカウンタアンダフロー割り込み
DMACTRG[26]	—		DCNTD32 ダウンカウンタアンダフロー割り込み
DMACTRG[27]	—		DCNTD33 ダウンカウンタアンダフロー割り込み
DMACTRG[28]	—		DCNTD40 ダウンカウンタアンダフロー割り込み
DMACTRG[29]	—		DCNTD41 ダウンカウンタアンダフロー割り込み
DMACTRG[30]	—		DCNTD42 ダウンカウンタアンダフロー割り込み
DMACTRG[31]	—		DCNTD43 ダウンカウンタアンダフロー割り込み
DMACTRG[32]	—		OCR2D40 コンペアマッチ割り込み
DMACTRG[33]	—		OCR2D41 コンペアマッチ割り込み
DMACTRG[34]	—		OCR2D42 コンペアマッチ割り込み
DMACTRG[35]	—		OCR2D43 コンペアマッチ割り込み
DMACTRG[36]	—		OCR2D60 コンペアマッチ割り込み
DMACTRG[37]	—		OCR2D61 コンペアマッチ割り込み
DMACTRG[38]	—		OCR2D62 コンペアマッチ割り込み
DMACTRG[39]	—		OCR2D63 コンペアマッチ割り込み
DMACTRG[40]	—		OCR2D90 コンペアマッチ割り込み
DMACTRG[41]	—		OCR2D91 コンペアマッチ割り込み
DMACTRG[42]	—		OCR2D92 コンペアマッチ割り込み
DMACTRG[43]	—		OCR2D93 コンペアマッチ割り込み
DMACTRG[44]	—	ATU-IV TimerE	CYLRE00 サイクルコンペアマッチ DMA 起動要求
DMACTRG[45]	—		CYLRE10 サイクルコンペアマッチ DMA 起動要求
DMACTRG[46]	—		CYLRE20 サイクルコンペアマッチ DMA 起動要求
DMACTRG[47]	—		CYLRE30 サイクルコンペアマッチ DMA 起動要求
DMACTRG[48]	—		CYLRE40 サイクルコンペアマッチ DMA 起動要求
DMACTRG[49]	—		CYLRE50 サイクルコンペアマッチ DMA 起動要求
DMACTRG[50]	—		CYLRE60 サイクルコンペアマッチ DMA 起動要求
DMACTRG[51]	DTSTRG[70]	ATU-IV TimerF	タイマ F0 インプットキャプチャ割り込み
DMACTRG[52]	DTSTRG[71]		タイマ F1 インプットキャプチャ割り込み
DMACTRG[53]	DTSTRG[72]		タイマ F2 インプットキャプチャ割り込み
DMACTRG[54]	DTSTRG[73]		タイマ F3 インプットキャプチャ割り込み
DMACTRG[55]	DTSTRG[74]		タイマ F4 インプットキャプチャ割り込み
DMACTRG[56]	DTSTRG[75]		タイマ F5 インプットキャプチャ割り込み
DMACTRG[57]	DTSTRG[76]		タイマ F6 インプットキャプチャ割り込み
DMACTRG[58]	DTSTRG[77]		タイマ F7 インプットキャプチャ割り込み
DMACTRG[59]	—		タイマ F8 インプットキャプチャ割り込み
DMACTRG[60]	—		タイマ F9 インプットキャプチャ割り込み
DMACTRG[61]	—		タイマ F10 インプットキャプチャ割り込み
DMACTRG[62]	—		タイマ F11 インプットキャプチャ割り込み
DMACTRG[63]	—		タイマ F12 インプットキャプチャ割り込み
DMACTRG[64]	—		タイマ F13 インプットキャプチャ割り込み
DMACTRG[65]	—		タイマ F14 インプットキャプチャ割り込み
DMACTRG[66]	—		タイマ F15 インプットキャプチャ割り込み

表 7.8 DMA トリガ要因一覧 (3/4)

	DTSTRG 共通	機能・モジュール	DMA トリガ要因名
DMACTRG[67]	—	ATU-IV TimerG	OCRG0 コンペアマッチ割り込み
DMACTRG[68]	—		OCRG1 コンペアマッチ割り込み
DMACTRG[69]	—		OCRG2 コンペアマッチ割り込み
DMACTRG[70]	—		OCRG3 コンペアマッチ割り込み
DMACTRG[71]	—		OCRG4 コンペアマッチ割り込み
DMACTRG[72]	—		OCRG5 コンペアマッチ割り込み
DMACTRG[73]	—		OCRG6 コンペアマッチ割り込み
DMACTRG[74]	—		OCRG7 コンペアマッチ割り込み
DMACTRG[75]	—	予約	—
DMACTRG[76]	—	予約	—
DMACTRG[77]	—	予約	—
DMACTRG[78]	—	予約	—
DMACTRG[79]	—	APA0	APA0 PWM 出力 ch.0 ステータス変化割り込み
DMACTRG[80]	—		APA0 PWM 出力 ch.1 ステータス変化割り込み
DMACTRG[81]	—		APA0 PWM 出力 ch.2 ステータス変化割り込み
DMACTRG[82]	—		APA0 PWM 出力 ch.3 ステータス変化割り込み
DMACTRG[83]	—		APA0 PWM 出力 ch.4 ステータス変化割り込み
DMACTRG[84]	—		APA0 PWM 出力 ch.5 ステータス変化割り込み
DMACTRG[85]	—		APA0 PWM 出力 ch.6 ステータス変化割り込み
DMACTRG[86]	—		APA0 PWM 出力 ch.7 ステータス変化割り込み
DMACTRG[87]	—		APA0 PWM 出力 ch.8 ステータス変化割り込み
DMACTRG[88]	—		APA0 PWM 出力 ch.9 ステータス変化割り込み
DMACTRG[89]	—		APA0 PWM 出力 ch.10 ステータス変化割り込み
DMACTRG[90]	—		APA0 PWM 出力 ch.11 ステータス変化割り込み
DMACTRG[91]	—		APA0 PWM 出力 ch.12 ステータス変化割り込み
DMACTRG[92]	—		APA0 PWM 出力 ch.13 ステータス変化割り込み
DMACTRG[93]	—		APA0 PWM 出力 ch.14 ステータス変化割り込み
DMACTRG[94]	—		APA0 PWM 出力 ch.15 ステータス変化割り込み
DMACTRG[95]	—	DS-ADC	DSADI0 DSADC0 A/D 変換終了割り込み（DMA 要求）
DMACTRG[96]	—		DSADI1 DSADC1 A/D 変換終了割り込み（DMA 要求）
DMACTRG[97]	—		DSADI2 DSADC2 A/D 変換終了割り込み（DMA 要求）
DMACTRG[98]	—		DSADI3 DSADC3 A/D 変換終了割り込み（DMA 要求）
DMACTRG[99]	—		DSADI4 DSADC4 A/D 変換終了割り込み（DMA 要求）
DMACTRG[100]	—		DSADI5 DSADC5 A/D 変換終了割り込み（DMA 要求）
DMACTRG[101]	—		DSADI6 DSADC6 A/D 変換終了割り込み（DMA 要求）
DMACTRG[102]	—		DSADI7 DSADC7 A/D 変換終了割り込み（DMA 要求）
DMACTRG[103]	DTSTRG[90]	RHSB_0	ダウンストリームデータ DMA 要求
DMACTRG[104]	DTSTRG[91]		アップストリーム DMA 要求
DMACTRG[105]	DTSTRG[93]	RHSB_1	ダウンストリームデータ DMA 要求
DMACTRG[106]	DTSTRG[94]		アップストリーム DMA 要求
DMACTRG[107]	—	SCI_0	RXI（受信データフル）
DMACTRG[108]	—		TXI（送信データエンプティ）
DMACTRG[109]	—	SCI_1	RXI（受信データフル）
DMACTRG[110]	—		TXI（送信データエンプティ）

表 7.8 DMA トリガ要因一覧 (4/4)

	DTSTRG 共通	機能・モジュール	DMA トリガ要因名
DMACTRG[111]	—	SCI_2	RXI（受信データフル）
DMACTRG[112]	—		TXI（送信データエンプティ）
DMACTRG[113]	—	SCI_3	RXI（受信データフル）
DMACTRG[114]	—		TXI（送信データエンプティ）
DMACTRG[115]	—	ICU-S	DMA write リクエスト
DMACTRG[116]	—		DMA read リクエスト
DMACTRG[117]	—	外部割り込み	IRQ0 割り込み注 2
DMACTRG[118]	—		IRQ1 割り込み注 2
DMACTRG[119]	—		IRQ2 割り込み注 2
DMACTRG[120]	—		IRQ3 割り込み注 2
DMACTRG[121]	—	予約	—
DMACTRG[122]	—	予約	—
DMACTRG[123]	—	予約	—
DMACTRG[124]	—	予約	—
DMACTRG[125]	—	Data Flash	DMA プログラムコマンド用信号注 3
DMACTRG[126]	—	予約	—
DMACTRG[127]	—	予約	—

注 1. DMA トリガ要因名は、各モジュールの出力信号名称と異なる場合があります。

注 2. IRQ 割り込みを DMA 要因として使用する場合は外部割り込みコントロールレジスタ（EXINTCTL）の外部割り込みセンス選択ビットをハイレベル指定（01_H）にしてください。

注 3. 『*RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアルハードウェア インタフェース編*』をご参照ください。

7.8 DTS トリガ要因

7.8.1 DTS トリガ要因一覧

DTS チャネル n への DTS トリガソースの割り当ては**表 7.9** のとおりとなります。

表 7.9 DTS トリガ要因一覧 (1/4)

	DMACTRG 共通	機能・モジュール	DTS トリガ要因名
DTSTRG[0]	—	OSTM	OSTM0 割り込み（OSTM0TINT）
DTSTRG[1]	—		OSTM1 割り込み（OSTM1TINT）
DTSTRG[2]	—		OSTM2 割り込み（OSTM2TINT）
DTSTRG[3]	—	予約	—
DTSTRG[4]	—	ADC	ADI00 ADC0 スキャングループ 0 終了割り込み
DTSTRG[5]	—		ADI01 ADC0 スキャングループ 1 終了割り込み
DTSTRG[6]	—		ADI02 ADC0 スキャングループ 2 終了割り込み
DTSTRG[7]	—		ADI03 ADC0 スキャングループ 3 終了割り込み
DTSTRG[8]	—		ADI04 ADC0 スキャングループ 4 終了割り込み
DTSTRG[9]	—		ADI10 ADC1 スキャングループ 0 終了割り込み
DTSTRG[10]	—		ADI11 ADC1 スキャングループ 1 終了割り込み
DTSTRG[11]	—		ADI12 ADC1 スキャングループ 2 終了割り込み
DTSTRG[12]	—		ADI13 ADC1 スキャングループ 3 終了割り込み
DTSTRG[13]	—		ADI14 ADC1 スキャングループ 4 終了割り込み
DTSTRG[14]	—		ADC0 MPX 割り込み（ADMPXI0）
DTSTRG[15]	—		ADC1 MPX 割り込み（ADMPXI1）
DTSTRG[16]	—	ASF（AD 加算機能）	ASI0 ch0 積算終了割り込み
DTSTRG[17]	—		ASI1 ch1 積算終了割り込み
DTSTRG[18]	—		ASI2 ch2 積算終了割り込み
DTSTRG[19]	—		ASI3 ch3 積算終了割り込み
DTSTRG[20]	—		ASI4 ch4 積算終了割り込み
DTSTRG[21]	—		ASI5 ch5 積算終了割り込み
DTSTRG[22]	—	DFE	CH0 出力データ割り込み / CH0 条件一致割り込み
DTSTRG[23]	—		CH1 出力データ割り込み / CH1 条件一致割り込み
DTSTRG[24]	—		CH2 出力データ割り込み / CH2 条件一致割り込み
DTSTRG[25]	—		CH3 出力データ割り込み / CH3 条件一致割り込み
DTSTRG[26]	—		CH4 出力データ割り込み / CH4 条件一致割り込み
DTSTRG[27]	—		CH5 出力データ割り込み / CH5 条件一致割り込み
DTSTRG[28]	—		CH6 出力データ割り込み / CH6 条件一致割り込み
DTSTRG[29]	—		CH7 出力データ割り込み / CH7 条件一致割り込み
DTSTRG[30]	—		CH8 出力データ割り込み / CH8 条件一致割り込み
DTSTRG[31]	—		CH9 出力データ割り込み / CH9 条件一致割り込み
DTSTRG[32]	—		CH10 出力データ割り込み
DTSTRG[33]	—		CH11 出力データ割り込み
DTSTRG[34]	—		CH12 出力データ割り込み
DTSTRG[35]	—		CH13 出力データ割り込み
DTSTRG[36]	—		CH14 出力データ割り込み
DTSTRG[37]	—		CH15 出力データ割り込み

表 7.9 DTS トリガ要因一覧 (2/4)

	DMACTRG 共通	機能・モジュール	DTS トリガ要因名
DTSTRG[38]	—	ATU-IV TimerA	ICRA0 インプットキャプチャ割り込み
DTSTRG[39]	—		ICRA1 インプットキャプチャ割り込み
DTSTRG[40]	—		ICRA2 インプットキャプチャ割り込み
DTSTRG[41]	—		ICRA3 インプットキャプチャ割り込み
DTSTRG[42]	—		ICRA4 インプットキャプチャ割り込み
DTSTRG[43]	—		ICRA5 インプットキャプチャ割り込み
DTSTRG[44]	—		ICRA6 インプットキャプチャ割り込み
DTSTRG[45]	—	ATU-IV TimerB	OCRB12 コンペアマッチ割り込み
DTSTRG[46]	—		ICRB0 インプットキャプチャ割り込み
DTSTRG[47]	—	ATU-IV TimerC	GRC00 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[48]	—		GRC01 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[49]	—		GRC02 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[50]	—		GRC03 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[51]	—		GRC10 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[52]	—		GRC11 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[53]	—		GRC12 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[54]	—		GRC13 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[55]	—		GRC20 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[56]	—		GRC21 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[57]	—		GRC22 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[58]	—		GRC23 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[59]	—		GRC30 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[60]	—		GRC31 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[61]	—		GRC32 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[62]	—		GRC33 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[63]	—		GRC40 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[64]	—		GRC41 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[65]	—		GRC42 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[66]	—		GRC43 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[67]	—		GRC50 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[68]	—		GRC60 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[69]	—		GRC70 インプットキャプチャ / コンペアマッチ割り込み
DTSTRG[70]	DMACTRG[51]	ATU-IV TimerF	タイマ F0 インプットキャプチャ割り込み
DTSTRG[71]	DMACTRG[52]		タイマ F1 インプットキャプチャ割り込み
DTSTRG[72]	DMACTRG[53]		タイマ F2 インプットキャプチャ割り込み
DTSTRG[73]	DMACTRG[54]		タイマ F3 インプットキャプチャ割り込み
DTSTRG[74]	DMACTRG[55]		タイマ F4 インプットキャプチャ割り込み
DTSTRG[75]	DMACTRG[56]		タイマ F5 インプットキャプチャ割り込み
DTSTRG[76]	DMACTRG[57]		タイマ F6 インプットキャプチャ割り込み
DTSTRG[77]	DMACTRG[58]		タイマ F7 インプットキャプチャ割り込み
DTSTRG[78]	—	ATU-IV TimerJ	FIFOJ0 FIFO データ フル割り込み
	—	RSENT	RSENT0 受信割り込み（INT_SENT_RX0）
DTSTRG[79]	—	ATU-IV TimerJ	FIFOJ1 FIFO データ フル割り込み
	—	RSENT	RSENT1 受信割り込み（INT_SENT_RX1）

表 7.9 DTS トリガ要因一覧 (3/4)

	DMACTRG 共通	機能・モジュール	DTS トリガ要因名
DTSTRG[80]	—	ATU-IV TimerJ	FIFOJ2 FIFO データ フル割り込み
	—	RSENT	RSENT2 受信割り込み（INT_SENT_RX2）
DTSTRG[81]	—	ATU-IV TimerJ	FIFOJ3 FIFO データ フル割り込み
	—	RSENT	RSENT3 受信割り込み（INT_SENT_RX3）
DTSTRG[82]	—	ATU-IV TimerJ	FIFOJ4 FIFO データ フル割り込み
	—	RSENT	RSENT4 受信割り込み（INT_SENT_RX4）
DTSTRG[83]	—	ATU-IV TimerJ	FIFOJ5 FIFO データ フル割り込み
	—	RSENT	RSENT5 受信割り込み（INT_SENT_RX5）
DTSTRG[84]	—	予約	—
DTSTRG[85]	—	予約	—
DTSTRG[86]	—	予約	—
DTSTRG[87]	—	予約	—
DTSTRG[88]	—	予約	—
DTSTRG[89]	—	予約	—
DTSTRG[90]	DMACTRG[103]	RHSB_0	ダウンストリームデータ DMA 要求
DTSTRG[91]	DMACTRG[104]		アップストリーム DMA 要求
DTSTRG[92]	—		ダウンストリームコマンド DMA 要求
DTSTRG[93]	DMACTRG[105]	RHSB_1	ダウンストリームデータ DMA 要求
DTSTRG[94]	DMACTRG[106]		アップストリーム DMA 要求
DTSTRG[95]	—		ダウンストリームコマンド DMA 要求
DTSTRG[96]	—	TSG2_0	TSG20 コンペアー致割り込み 11（INTTSG20I11）
DTSTRG[97]	—		TSG20 コンペアー致割り込み 12（INTTSG20I12）
DTSTRG[98]	—		TSG20 山割り込み（INTTSG20IPEK)
DTSTRG[99]	—		TSG20 谷割り込み（INTTSG20IVLY)
DTSTRG[100]	—	TSG2_1	TSG21 コンペアー致割り込み 11（INTTSG21I11）
DTSTRG[101]	—		TSG21 コンペアー致割り込み 12（INTTSG21I12）
DTSTRG[102]	—		TSG21 山割り込み（INTTSG21IPEK）
DTSTRG[103]	—		TSG21 谷割り込み（INTTSG21IVLY）
DTSTRG[104]	—	CSIH_0	通信ステータス割り込み（INT_CSIHTIC）
DTSTRG[105]	—		受信ステータス割り込み（INT_CSIHTIR）
DTSTRG[106]	—		ジョブ完了割り込み（INT_CSIHTIJC）
DTSTRG[107]	—	CSIH_1	通信ステータス割り込み（INT_CSIHTIC）
DTSTRG[108]	—		受信ステータス割り込み（INT_CSIHTIR）
DTSTRG[109]	—		ジョブ完了割り込み（INT_CSIHTIJC）
DTSTRG[110]	—	CSIH_2	通信ステータス割り込み（INT_CSIHTIC）
DTSTRG[111]	—		受信ステータス割り込み（INT_CSIHTIR）
DTSTRG[112]	—		ジョブ完了割り込み（INT_CSIHTIJC）
DTSTRG[113]	—	CSIH_3	通信ステータス割り込み（INT_CSIHTIC）
DTSTRG[114]	—		受信ステータス割り込み（INT_CSIHTIR）
DTSTRG[115]	—		ジョブ完了割り込み（INT_CSIHTIJC）
DTSTRG[116]	—	予約	—
DTSTRG[117]	—	予約	—
DTSTRG[118]	—	予約	—
DTSTRG[119]	—	予約	—

表 7.9 DTS トリガ要因一覧 (4/4)

	DMACTRG 共通	機能・モジュール	DTS トリガ要因名
DTSTRG[120]	—	予約	—
DTSTRG[121]	—	予約	—
DTSTRG[122]	—	予約	—
DTSTRG[123]	—	予約	—
DTSTRG[124]	—	予約	—
DTSTRG[125]	—	予約	—
DTSTRG[126]	—	予約	—
DTSTRG[127]	—	予約	—

7.9 グローバルレジスタ

7.9.1 グローバルレジスタアドレス一覧

アドレス＝ベースアドレス “FFFF 8000_H” + オフセットアドレス

表 7.10 グローバルレジスタアドレス一覧 (1/2)

オフセットアドレス	レジスタ略称	意味	アクセス許可	
			特殊マスタ	一般マスタ
0000_H	DMACTL	DMA 制御レジスタ	○	注 2
0010_H	DTSCTL1	DTS 制御レジスタ 1	○	注 2
0014_H	DTSCTL2	DTS 制御レジスタ 2	○	注 2
0018_H	DTSSTS	DTS 状態レジスタ	○	注 2
0020_H	DMACER	DMAC エラーレジスタ	○	注 2
0024_H	DTSER1	DTS エラーレジスタ 1	○	注 2
0028_H	DTSER2	DTS エラーレジスタ 2	○	注 2
$002C_H$	DTSERC	DTS エラークリアレジスタ	○	注 2
0030_H	DM0CMV	DMAC0 レジスタアクセス保護違反レジスタ	○	注 2
0034_H	DM1CMV	DMAC1 レジスタアクセス保護違反レジスタ	○	注 2
0038_H	DTSCMV	DTS レジスタアクセス保護違反レジスタ	○	注 2
$003C_H$	CMVC	レジスタアクセス保護違反クリアレジスタ	○	注 2
0060_H	DTSPR0	DTS チャネル優先度設定レジスタ 0	○	注 2
0064_H	DTSPR1	DTS チャネル優先度設定レジスタ 1	○	注 2
0068_H	DTSPR2	DTS チャネル優先度設定レジスタ 2	○	注 2
$006C_H$	DTSPR3	DTS チャネル優先度設定レジスタ 3	○	注 2
0070_H	DTSPR4	DTS チャネル優先度設定レジスタ 4	○	注 2
0074_H	DTSPR5	DTS チャネル優先度設定レジスタ 5	○	注 2
0078_H	DTSPR6	DTS チャネル優先度設定レジスタ 6	○	注 2
$007C_H$	DTSPR7	DTS チャネル優先度設定レジスタ 7	○	注 2
0080_H	DTRECCTL	DTSRAM ECC コントロールレジスタ	○	注 2
0084_H	DTRERINT	DTSRAM エラー通知コントロールレジスタ	○	注 2
0094_H	DTRTSCTL	DTSRAM テストコントロールレジスタ	○	注 2
0098_H	DTRTWDAT	DTSRAM テスト書き込みデータレジスタ	○	注 2
$009C_H$	DTRTRDAT	DTSRAM テスト読み出しデータレジスタ	○	注 2
0100_H	DM00CM	DMAC0 チャネル 0 チャネルマスタ設定レジスタ	○	注 2
0104_H	DM01CM	DMAC0 チャネル 1 チャネルマスタ設定レジスタ	○	注 2
0108_H	DM02CM	DMAC0 チャネル 2 チャネルマスタ設定レジスタ	○	注 2
$010C_H$	DM03CM	DMAC0 チャネル 3 チャネルマスタ設定レジスタ	○	注 2
0110_H	DM04CM	DMAC0 チャネル 4 チャネルマスタ設定レジスタ	○	注 2
0114_H	DM05CM	DMAC0 チャネル 5 チャネルマスタ設定レジスタ	○	注 2
0118_H	DM06CM	DMAC0 チャネル 6 チャネルマスタ設定レジスタ	○	注 2
$011C_H$	DM07CM	DMAC0 チャネル 7 チャネルマスタ設定レジスタ	○	注 2
0120_H	DM10CM	DMAC1 チャネル 0 チャネルマスタ設定レジスタ	○	注 2
0124_H	DM11CM	DMAC1 チャネル 1 チャネルマスタ設定レジスタ	○	注 2
0128_H	DM12CM	DMAC1 チャネル 2 チャネルマスタ設定レジスタ	○	注 2
$012C_H$	DM13CM	DMAC1 チャネル 3 チャネルマスタ設定レジスタ	○	注 2
0130_H	DM14CM	DMAC1 チャネル 4 チャネルマスタ設定レジスタ	○	注 2

表 7.10 グローバルレジスタアドレス一覧 (2/2)

オフセットアドレス	レジスタ略称	意味	アクセス許可	
			特殊マスタ	一般マスタ
0134_H	DM15CM	DMAC1 チャネル 5 チャネルマスタ設定レジスタ	○	注 2
0138_H	DM16CM	DMAC1 チャネル 6 チャネルマスタ設定レジスタ	○	注 2
$013C_H$	DM17CM	DMAC1 チャネル 7 チャネルマスタ設定レジスタ	○	注 2
0200_H + 4 ＊ [DTS チャネル番号] 注 1 （0200_H ～ $03FC_H$）	DTSnnnCM 注 1	DTS チャネル nnn チャネルマスタ設定レジスタ 注 1	○	注 2

注 1. [DTS チャネル番号]、レジスタ略称および意味の nnn は、000 ～ 127

注 2. リードアクセスのみ可能

7.9.2 グローバルレジスタ詳細

7.9.2.1 DMACTL — DMA 制御レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8000$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASPD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.11 DMACTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	DMASPD	DMA 一時中断 すべてのチャネルの DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、すべてのチャネルの DMA 転送を一時中断状態することができます。また、ユーザが 0 を書き込むことで、すべてのチャネルの DMA 転送の一時中断状態を解除することができます。 本ビットで制御する一時中断は、DMAC の各チャネルの転送有効ビット（DTE）および DTS の一時中断設定ビット（DTSUST）で制御する一時中断とは無関係に行われます。つまり、DMAC の各チャネルの DTE ビットおよび DTS の DTSUST ビットがいかなる状態でも、本ビットを 1 にセットした場合はすべての DMA 転送が一時中断されます。 本ビットを操作しても、DMAC の各チャネルの DTE ビットおよび DTS の DTSUST ビットの状態は変わりません。 0：DMA 一時中断状態解除 1：DMA 一時中断要求・DMA 一時中断状態

注 意

DTS で実行中の DMA 転送を一時中断／再開する場合は、DMA 転送要求有効ビット（DTFSLnnn.REQEN）の有効／無効の操作を行う必要があります。詳細は、**「7.3.3 DTS の一時中断・再開および転送中止」**の注意事項をご参照ください。

7.9.2.2 DTSCTL1 — DTS 制御レジスタ 1

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8010_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSUST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.12 DTSCTL1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	DTSUST	DTS 一時中断 DTS の DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、DTS の DMA 転送を一時中断することができます。 0：DTS 一時中断解除 1：DTS 一時中断要求・一時中断状態

注 意

DTS で実行中の DMA 転送を一時中断／再開する場合は、DMA 転送要求有効ビット（DTFSLnnn.REQEN）の有効／無効の操作を行う必要があります。詳細は、**「7.3.3 DTS の一時中断・再開および転送中止」**の注意事項をご参照ください。

7.9.2.3 DTSCTL2 — DTS 制御レジスタ 2

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8014_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSTIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.13 DTSCTL2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	DTSTIT	DTS 転送中止要求 DTS が一時中断状態の場合に、ユーザが 1 を書き込むことで一時中断中の DMA 転送を中止します。 DTS で一時中断中の DMA 転送を中止した場合、DTSSTS.DTSACT ビットが 0 になります。 本ビットのリード値は常に 0 です。

7.9.2.4 DTSSTS — DTS 状態レジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8018_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DTSCYC	DTSACH[6:0]							DTSACT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.14 DTSSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 9	—	リザーブビット
8	DTSCYC	DMA サイクル実行状態 DTS で DMA サイクルを実行中かどうかを示します。 0：DMA サイクルを実行中でない 1：DMA サイクルを実行中
7 ～ 1	DTSACH[6:0]	DTS 転送チャネル DTS で DMA 転送中のチャネルがある場合、そのチャネル番号を示します。 DTS で DMA 転送中のチャネルがない場合、最後に DMA 転送を行ったチャネル番号を示します。
0	DTSACT	DTS 転送状態 DTS で DMA 転送中のチャネルがあるかどうかを表します。 0：DMA 転送中のチャネルがない 1：DMA 転送中のチャネルがある DMA 転送中のチャネルがある状態で DTS 一時中断状態になると本ビットは 1 のままです。DTSCTL2.DTSTIT ビットで DTS 転送中止要求を行うと、一時中断状態の DTS 転送を中止するとともに本ビットは 0 になります。 DMA 転送エラーが発生して DMA 転送が中止されると本ビットはクリアされます。

7.9.2.5 DMACER — DMAC エラーレジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8020_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1ER[7:0]								DM0ER[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.15 DMACER レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブビット。
15 ～ 8	DM1ER[7:0]	DMAC1 DMA 転送エラー状態 DMAC1 のチャネル 0 ～ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC1 の各チャネルの DCSTn.ER ビットの写像で、リードオンリーです。 0：DMA 転送エラー非発生 1：DMA 転送エラー発生
7 ～ 0	DM0ER[7:0]	DMAC0 DMA 転送エラー状態 DMAC0 のチャネル 0 ～ 7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC0 の各チャネルの DCSTn.ER ビットの写像で、リードオンリーです。 0：DMA 転送エラー非発生 1：DMA 転送エラー発生

7.9.2.6 DTSER1 — DTS エラーレジスタ 1

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8024_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DTSERCH[6:0]							—	—	—	—	—	—	DTSER WR	DTSER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.16 DTSER1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 15	—	リザーブビット
14 ～ 8	DTSERCH[6:0]	DTS エラーチャネル DTSER ビットが 0 の状態で最初に DMA 転送エラーが発生した DTS チャネル番号を示します。 本ビットはリードオンリーで、クリアできません。
7 ～ 2	—	リザーブビット
1	DTSERWR	DTS DMA 転送エラー発生サイクル DTS DMA 転送エラー発生フラグ（DTSER）がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。既に DTSER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 DTSER ビットがクリアされると本ビットも 0 にクリアされます。 0：DMA 転送エラーがリードサイクルで発生した 1：DMA 転送エラーがライトサイクルで発生した
0	DTSER	DTS DMA 転送エラー発生フラグ DTS で DMA 転送エラーが発生したかどうかを示します。 0：DMA 転送エラー非発生 1：DMA 転送エラー発生 本ビットが 0 の状態で DTS で DMA 転送エラーが発生すると、本ビットがセットされるとともに DTSERCH6-0 に DMA 転送エラーが発生した DTS チャネル番号が保持されます。 本ビットが 1 の状態で DTS で DMA 転送エラーが発生すると、本ビットはセットされたままで、DTSERCH6-0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。

7.9.2.7 DTSER2 — DTS エラーレジスタ 2

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8028_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RAMDED	RAMDEDOV	—	—	RAMDEDAD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RAMSED	RAMSEDOV	—	—	RAMSEDAD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.17 DTSER2 レジスタの内容

ビット位置	ビット名	機能
31	RAMDED	DTSRAM 2 ビットエラー発生フラグ DTSRAM のリードアクセスで 2 ビットエラーが発生したことを示します。 0：DTSRAM で 2 ビットエラーが発生していない 1：DTSRAM で 2 ビットエラーが発生した 本ビットが 0 の状態で DTSRAM にリードアクセスして 2 ビットエラーが発生すると、本ビットがセットされるとともに RAMDEDAD11-0 にエラーが発生した DTSRAM アドレスが保持されます。 本ビットが 1 の状態で DTSRAM にリードアクセスして 2 ビットエラーが発生すると、本ビットはセットされたままで、RAMDEDAD11-0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。
30	RAMDEDOV	DTSRAM 2 ビットエラーオーバフロー発生フラグ RAMDED ビットが 1 のときに、RAMDEDAD11-0 ビットが示すアドレスと異なるアドレスの DTSRAM のリードアクセスで 2 ビットエラーが発生するとセットされます。 本ビットは DTSERC レジスタの操作でクリアが可能です。
29、28	—	リザーブビット
27 ～ 16	RAMDEDAD [11:0]	DTSRAM 2 ビットエラーアドレス RAMDED ビットが 0 の状態で最初に DTSRAM にリードアクセスして 2 ビットエラーが発生した DTSRAM アドレスを示します。 本ビットはリードオンリーで、クリアできません。
15	RAMSED	DTSRAM 1 ビットエラー発生フラグ DTSRAM のリードアクセスで 1 ビットエラーが発生したことを示します。 0：DTSRAM で 1 ビットエラーが発生していない 1：DTSRAM で 1 ビットエラーが発生した 本ビットが 0 の状態で DTSRAM にリードアクセスして 1 ビットエラーが発生すると、本ビットがセットされるとともに RAMSEDAD11-0 にエラーが発生した DTSRAM アドレスが保持されます。 本ビットが 1 の状態で DTSRAM にリードアクセスして 1 ビットエラーが発生すると、本ビットはセットされたままで、RAMSEDAD11-0 の内容は変化しません。 本ビットは DTSERC レジスタの操作でクリアが可能です。

表 7.17 DTSER2 レジスタの内容

ビット位置	ビット名	機能
14	RAMSEDOV	DTSRAM 1 ビットエラーオーバフロー発生フラグ RAMSED ビットが 1 のときに、RAMSEDAD11-0 ビットが示すアドレスと異なるアドレスの DTSRAM のリードアクセスで 1 ビットエラーが発生するとセットされます。 本ビットは DTSERC レジスタの操作でクリアが可能です。
13、12	—	リザーブビット
11 ～ 0	RAMSEDAD [11:0]	DTSRAM 1 ビットエラーアドレス RAMSED ビットが 0 の状態で最初に DTSRAM にリードアクセスして 1 ビットエラーが発生した DTSRAM アドレスを示します。 本ビットはリードオンリーで、クリアできません。

7.9.2.8 DTSERC — DTS エラークリアレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 802C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RAMDEDC	RAMDEDOVC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RAMSEDC	RAMSEDOVC	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSERC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.18 DTSERC レジスタの内容

ビット位置	ビット名	機能
31	RAMDEDC	DTSRAM 2 ビットエラー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 2 ビットエラー発生フラグ（DTSER2.RAMDED）をクリアします。 本ビットのリード値は常に 0 です。
30	RAMDEDOVC	DTSRAM 2 ビットエラーオーバフロー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 2 ビットエラーオーバフロー発生フラグ（DTSER2.RAMDEDOV）をクリアします。 本ビットのリード値は常に 0 です。
29 ～ 16	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
15	RAMSEDC	DTSRAM 1 ビットエラー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 1 ビットエラー発生フラグ（DTSER2.RAMSED）をクリアします。 本ビットのリード値は常に 0 です
14	RAMSEDOVC	DTSRAM 1 ビットエラーオーバフロー発生フラグクリア ユーザが 1 を書き込むと、DTSRAM 1 ビットエラーオーバフロー発生フラグ（DTSER2.RAMSEDOV）をクリアします。 本ビットのリード値は常に 0 です。
13 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	DTSERC	DTS エラー発生フラグクリア ユーザが 1 を書き込むと、DTS DMA 転送エラー発生フラグ（DTSER1.DTSER）をクリアします。 本ビットのリード値は常に 0 です。

7.9.2.9 DM0CMV — DMAC0 レジスタアクセス保護違反レジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8030_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH[2:0]			—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.19 DM0CMV レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット
22 ～ 17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6 ～ 1 には、以下のアクセス元マスタ情報が保持されます。 MINF6 ～ 4 ：アクセス元の PEID MINF3、2 ：アクセス元の SPID MINF1 ：アクセス元の UM
16 ～ 7	—	リザーブビット
6 ～ 4	VCH[2:0]	違反アクセス発生チャネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号（0 ～ 7）を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ～ 1	—	リザーブビット
0	VF	違反アクセス発生フラグ DMAC0 で違反アクセスが発生したかどうかを示します。 0：DMAC0 で違反アクセスが発生していない 1：DMAC0 で違反アクセスが発生している 本ビットが 0 の状態で DMAC0 で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ～ 1, VCH2 ～ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DMAC0 で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ～ 1, VCH2 ～ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.10 DM1CMV — DMAC1 レジスタアクセス保護違反レジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8034_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH[2:0]			—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.20 DM1CMV レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット
22 ～ 17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6 ～ 1 には、以下のアクセス元マスタ情報が保持されます。 MINF6 ～ 4 ：アクセス元の PEID MINF3、2 ：アクセス元の SPID MINF1 ：アクセス元の UM
16 ～ 7	—	リザーブビット
6 ～ 4	VCH[2:0]	違反アクセス発生チャネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号（0 ～ 7）を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ～ 1	—	リザーブビット
0	VF	違反アクセス発生フラグ DMAC1 で違反アクセスが発生したかどうかを示します。 0：DMAC1 で違反アクセスが発生していない 1：DMAC1 で違反アクセスが発生している 本ビットが 0 の状態で DMAC1 で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ～ 1, VCH2 ～ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DMAC1 で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ～ 1, VCH2 ～ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.11 DTSCMV — DTS レジスタアクセス保護違反レジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8038_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	MINF[6:1]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VCH[6:0]							—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.21 DTSCMV レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット
22 ～ 17	MINF[6:1]	違反アクセスマスタ情報 VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。本ビットはリードオンリーで、クリアできません。 MINF6 ～ 1 には、以下のアクセス元マスタ情報が保持されます。 MINF6 ～ 4 ：アクセス元の PEID MINF3、2 ：アクセス元の SPID MINF1 ：アクセス元の UM
16 ～ 11	—	リザーブビット
10 ～ 4	VCH[6:0]	違反アクセス発生チャネル VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号（0 ～ 127）を保持します。 VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3 ～ 1	—	リザーブビット
0	VF	違反アクセス発生フラグ DTS で違反アクセスが発生したかどうかを示します。 0：DTS で違反アクセスが発生していない 1：DTS で違反アクセスが発生している 本ビットが 0 の状態で DTS で違反アクセスが発生すると、本ビットがセットされるとともに MINF6 ～ 1, VCH6 ～ 0 ビットに情報が保存されます。 本ビットが 1 の状態で DTS で違反アクセスが発生すると、本ビットはセットされたままで、MINF6 ～ 1, VCH6 ～ 0 ビットの内容は変化しません。 本ビットは CMVC レジスタの操作でクリアが可能です。

7.9.2.12 CMVC — レジスタアクセス保護違反クリアレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 803C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DTSVC	DM1VC	DM0VC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 7.22 CMVC レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
2	DTSVC	DTS 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DTS の違反アクセス発生フラグ（DTSCMV.VF）をクリアすることができます。本ビットのリード値は常に 0 です。
1	DM1VC	DMAC1 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC1 の違反アクセス発生フラグ（DM1CMV.VF）をクリアすることができます。本ビットのリード値は常に 0 です。
0	DM0VC	DMAC0 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC0 の違反アクセス発生フラグ（DM0CMV.VF）をクリアすることができます。本ビットのリード値は常に 0 です。

7.9.2.13 DTSPRn — DTS チャネル優先度設定レジスタ (n = 0 ～ 7)

- DTSPR0

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8060_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS15PR[1:0]		DTS14PR[1:0]		DTS13PR[1:0]		DTS12PR[1:0]		DTS11PR[1:0]		DTS10PR[1:0]		DTS9PR[1:0]		DTS8PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS7PR[1:0]		DTS6PR[1:0]		DTS5PR[1:0]		DTS4PR[1:0]		DTS3PR[1:0]		DTS2PR[1:0]		DTS1PR[1:0]		DTS0PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.23 DTSPR0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DTS[15:0] PR[1:0]	DTS チャネル [15:0] 優先順位設定 DTS チャネルアービトレーション時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR1

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8064_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS31PR[1:0]		DTS30PR[1:0]		DTS29PR[1:0]		DTS28PR[1:0]		DTS27PR[1:0]		DTS26PR[1:0]		DTS25PR[1:0]		DTS24PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS23PR[1:0]		DTS22PR[1:0]		DTS21PR[1:0]		DTS20PR[1:0]		DTS19PR[1:0]		DTS18PR[1:0]		DTS17PR[1:0]		DTS16PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.24 DTSPR1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DTS[31:16] PR[1:0]	DTS チャネル [31:16] 優先順位設定 DTS チャネルアービトレーション時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR2

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8068_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS47PR[1:0]		DTS46PR[1:0]		DTS45PR[1:0]		DTS44PR[1:0]		DTS43PR[1:0]		DTS42PR[1:0]		DTS41PR[1:0]		DTS40PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS39PR[1:0]		DTS38PR[1:0]		DTS37PR[1:0]		DTS36PR[1:0]		DTS35PR[1:0]		DTS34PR[1:0]		DTS33PR[1:0]		DTS32PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.25 DTSPR2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DTS[47:32] PR[1:0]	DTS チャネル [47:32] 優先順位設定 DTS チャネルアービトレーション時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR3

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF $806C_H$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS63PR[1:0]		DTS62PR[1:0]		DTS61PR[1:0]		DTS60PR[1:0]		DTS59PR[1:0]		DTS58PR[1:0]		DTS57PR[1:0]		DTS56PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS55PR[1:0]		DTS54PR[1:0]		DTS53PR[1:0]		DTS52PR[1:0]		DTS51PR[1:0]		DTS50PR[1:0]		DTS49PR[1:0]		DTS48PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.26 DTSPR3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DTS[63:48] PR[1:0]	DTS チャネル [63:48] 優先順位設定 DTS チャネルアービトレーション時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR4

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8070_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS79PR[1:0]		DTS78PR[1:0]		DTS77PR[1:0]		DTS76PR[1:0]		DTS75PR[1:0]		DTS74PR[1:0]		DTS73PR[1:0]		DTS72PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS71PR[1:0]		DTS70PR[1:0]		DTS69PR[1:0]		DTS68PR[1:0]		DTS67PR[1:0]		DTS66PR[1:0]		DTS65PR[1:0]		DTS64PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.27 DTSPR4 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DTS[79:64] PR[1:0]	DTS チャネル [79:64] 優先順位設定 DTS チャネルアービトレーション時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR5

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8074_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS95PR[1:0]		DTS94PR[1:0]		DTS93PR[1:0]		DTS92PR[1:0]		DTS91PR[1:0]		DTS90PR[1:0]		DTS89PR[1:0]		DTS88PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS87PR[1:0]		DTS86PR[1:0]		DTS85PR[1:0]		DTS84PR[1:0]		DTS83PR[1:0]		DTS82PR[1:0]		DTS81PR[1:0]		DTS80PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.28 DTSPR5 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DTS[95:80] PR[1:0]	DTS チャネル [95:80] 優先順位設定 DTS チャネルアービトレーション時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR6

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8078_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS111PR[1:0]		DTS110PR[1:0]		DTS109PR[1:0]		DTS108PR[1:0]		DTS107PR[1:0]		DTS106PR[1:0]		DTS105PR[1:0]		DTS104PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS103PR[1:0]		DTS102PR[1:0]		DTS101PR[1:0]		DTS100PR[1:0]		DTS99PR[1:0]		DTS98PR[1:0]		DTS97PR[1:0]		DTS96PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.29 DTSPR6 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DTS[111:96] PR[1:0]	DTS チャネル [111:96] 優先順位設定 DTS チャネルアービトレーション時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

- DTSPR7

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF $807C_H$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTS127PR[1:0]		DTS126PR[1:0]		DTS125PR[1:0]		DTS124PR[1:0]		DTS123PR[1:0]		DTS122PR[1:0]		DTS121PR[1:0]		DTS120PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTS119PR[1:0]		DTS118PR[1:0]		DTS117PR[1:0]		DTS116PR[1:0]		DTS115PR[1:0]		DTS114PR[1:0]		DTS113PR[1:0]		DTS112PR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.30 DTSPR7 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DTS[127:112] PR[1:0]	DTS チャネル [127:112] 優先順位設定 DTS チャネルアービトレーション時の DTS チャネルの優先順位を指定します。 00 が最高優先順位、11 が最低優先順位です。

7.9.2.14 DTRECCTL — DTSRAM ECC コントロールレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8080_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.31 DTRECCTL レジスタの内容

ビット位置	ビット名	機能
31、30	PROT[1:0]	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは (PROT1, PROT0) = (0, 1) で行ってください。
29 ～ 2	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
1	SECDIS	DTSRAM SEC エラー訂正ディスエーブル ECCDIS ビットが 0 のときに、SEC エラー訂正の許可 / 禁止を設定するためのビットです。 本ビットの状態に関係なく 、ECC1 ビットエラー検出動作は ECCDIS ビットが 0 であれば、常に行われます。 このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0：SEC エラー検出時にエラー訂正する 1：SEC エラー検出時にエラー訂正しない
0	ECCDIS	DTSRAM ECC ディスエーブル DTSRAM の ECC エラー検出・訂正機能の有効 / 無効を設定します。 このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0：DTSRAM ECC エラー検出・訂正機能が有効 1：DTSRAM ECC エラー検出・訂正機能が無効 **備考** エラー検出・訂正機能が無効の場合でもエンコード機能は有効です。

7.9.2.15 DTRERINT — DTSRAM エラー通知コントロールレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8084_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.32 DTRERINT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
1	DEDIE	DTSRAM 2 ビット エラー通知許可ビット DTRECCTL.ECCDIS = 0 の場合に、2 ビット エラー検出時の ECM への通知の有無を制御するビットです。 0 : 2 ビット エラーの ECM への通知禁止 1 : 2 ビット エラーの ECM への通知許可
0	SEDIE	DTSRAM 1 ビット エラー通知許可ビット DTRECCTL.ECCDIS = 0 の場合に、1 ビット エラー検出時の ECM への通知の有無を制御するビットです。 0 : 1 ビット エラーの ECM への通知禁止 1 : 1 ビットエラーの ECM への通知許可

7.9.2.16 DTRTSCTL — DTSRAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモードの設定、DTSRAM へ書き込む ECC データの選択が可能です。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8094_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 7.33 DTRTSCTL レジスタの内容

ビット位置	ビット名	機能
31、30	PROT[1:0]	ECCTST ビット、DATSEL ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは (PROT1, PROT0) = (0, 1) で行ってください。
29 ～ 2	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
1	ECCTST	DTSRAM ECC テストモード DTSRAM の ECC テストモードを設定します。 このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0：ECC テストモード無効 1：ECC テストモード有効
0	DATSEL	ECC テストデータ選択 ECCTST = 1 の時に有効で、DTSRAM に書き込む ECC データを選択します。このビットの書き込み時は (PROT1, PROT0) = (0, 1) を同時に書き込む必要があります。 0：書き込みデータからエンコードした ECC を使用 1：DTSRAM テスト書き込みデータレジスタ（DTRTWDAT）で指定した値を使用

7.9.2.17 DTRTWDAT — DTSRAM テスト書き込みデータレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）セット後、DTSRAM に書き込む ECC データを指定します。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8098_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TWDAT[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.34 DTRTWDAT レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
6 ～ 0	TWDAT[6:0]	ECC テスト書き込みデータ DTRTSCTL.ECCTST = 1 かつ DTRTSCTL.DATSEL = 1 のときに、DTSRAM に書き込む ECC データの値を指定します。 本ビットへの書き込みは DTRTSCTL.ECCTST = 1 のときに可能です。 DTRTSCTL.ECCTST = 0 のときは書き込みできず、リードすると 0 が読み出せます。

7.9.2.18 DTRTRDAT — DTSRAM テスト読み出しデータレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）セット後、DTSRAM の ECC データをリードすることが可能です。

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 809C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TRDAT[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.35 DTRTRDAT レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	—	リザーブビット
6 ～ 0	TRDAT[6:0]	ECC テスト読み出しデータ DTRTSCTL.ECCTST = 1 のときに、DTSRAM から最後に読み出した ECC データを保持します。 DTRTSCTL.ECCTST = 0 のときにリードすると 0 が読み出せます。

7.9.2.19 DMnnCM — DMAC チャネルマスタ設定 レジスタ (nn = 00 ～ 07、10 ～ 17)

アクセス 32 ビット単位でリード / ライト可能です

アドレス FFFF 8100_H + 4_H × チャネル番号 n（n = 0 ～ 7）
FFFF 8120_H + 4_H × チャネル番号 n − 10（n = 10 ～ 17）

リセット後の値 0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PEID[2:0]			SPID[1:0]		UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 7.36 DMnnCM レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
6 ～ 4	PEID[2:0]	チャネルマスタ PEID 設定 チャネルに割り当てるマスタの PEID 情報を設定します。
3、2	SPID[1:0]	チャネルマスタ SPID 設定 チャネルに割り当てるマスタが利用する SPID 情報を設定します。
1	UM	チャネルマスタ UM 設定 チャネルに割り当てるマスタの UM 情報を設定します。
0	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。

注 意

DM00CM ～ DM07CM は DMAC0 チャネル 0 ～ 7 のチャネルマスタ情報を設定
DM10CM ～ DM17CM は DMAC1 チャネル 0 ～ 7 のチャネルマスタ情報を設定

本レジスタにより提供される機能の説明は**「7.5 信頼性機能」**を参照してください。

7.9.2.20 DTSnnnCM — DTS チャネルマスタ設定レジスタ (nnn = 000 ～ 127)

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8200_H + 4_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PEID[2:0]			SPID[1:0]		UM	—
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC[15:0]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.37 DTSnnnCM レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット 読み出すと不定値が読み出されます。書き込む値は “0” に設定してください。
22 ～ 20	PEID[2:0]	チャネルマスタ PEID 設定 チャネルに割り当てるマスタの PEID 情報を設定します。
19、18	SPID[1:0]	チャネルマスタ SPID 設定 チャネルに割り当てるマスタが利用する SPID 情報を設定します。
17	UM	チャネルマスタ UM 設定 チャネルに割り当てるマスタの UM 情報を設定します。
16	—	リザーブビット 読み出すと不定値が読み出されます。書き込む値は “0” に設定してください。
15 ～ 0	CMC[15:0]	転送回数コンペア このフィールドは「**7.11.3.8 DTTCCnnn — DTS 転送回数コンペアレジスタ**」のビット [15:0] の内容と同じです。

注 意

DTS000CM ～ DTS127CM は DTS チャネル 0 ～ 127 のチャネルマスタ情報を設定

本レジスタにより提供される機能の説明は「**7.5 信頼性機能**」を参照してください。

注 意

このレジスタの下位 16 ビットは、DTS チャネルレジスタの DTS 転送回数コンペアレジスタと共通です。

このレジスタに対するライトの結果は、DTS 転送回数コンペアレジスタ にも反映されます。

DTS チャネルマスタ設定レジスタの推奨設定手順

特殊マスタによる DMA 全体動作設定時に、このレジスタのビット 22 ～ 17 にチャネルマスタ設定を行うとともに、ビット 15 ～ 0、およびリザーブビット（31 ～ 23 ビット、ビット 16）は 0 で初期化してください。

チャネルに割り当てられたマスタが転送回数コンペア値を書き換える場合には、DTS 転送回数コンペアレジスタを利用してください。

本レジスタのリザーブビットは、値の読み書きが可能です。ライト時は 0 を書き、リード時はソフトウェアにて値を無視することを推奨します。

7.10 DMAC チャネルレジスタ

7.10.1 DMAC チャネルレジスタアドレス

アドレス = ベースアドレス “FFFF 8000_H” + オフセットアドレス

表 7.38 DMAC チャネルレジスタアドレス

オフセットアドレス	レジスタ略称	意味	アクセス許可	
			特殊マスタ	一般マスタ
$0400_H + 40_H$ ＊ [チャネル番号]	DSAn	DMAC ソースアドレス	○	○
$0404_H + 40_H$ ＊ [チャネル番号]	DDAn	DMAC ディスティネーションアドレス	○	○
$0408_H + 40_H$ ＊ [チャネル番号]	DTCn	DMAC 転送回数	○	○
$040C_H + 40_H$ ＊ [チャネル番号]	DTCTn	DMAC 転送制御	○	○
$0410_H + 40_H$ ＊ [チャネル番号]	DRSAn	DMAC リロードソースアドレス	○	○
$0414_H + 40_H$ ＊ [チャネル番号]	DRDAn	DMAC リロードディスティネーションアドレス	○	○
$0418_H + 40_H$ ＊ [チャネル番号]	DRTCn	DMAC リロード転送回数	○	○
$041C_H + 40_H$ ＊ [チャネル番号]	DTCCn	DMAC 転送回数コンペア	○	○
$0420_H + 40_H$ ＊ [チャネル番号]	DCENn	DMAC チャネル動作有効設定	○	○
$0424_H + 40_H$ ＊ [チャネル番号]	DCSTn	DMAC 転送ステータス	○	○
$0428_H + 40_H$ ＊ [チャネル番号]	DCSTSn	DMAC 転送ステータスセット	○	○
$042C_H + 40_H$ ＊ [チャネル番号]	DCSTCn	DMAC 転送ステータスクリア	○	○
$0430_H + 40_H$ ＊ [チャネル番号]	DTFRn	DTFR 設定	○	○
$0434_H + 40_H$ ＊ [チャネル番号]	DTFRRQn	DTFR 転送要求ステータス	○	○
$0438_H + 40_H$ ＊ [チャネル番号]	DTFRRQCn	DTFR 転送要求クリア	○	○

注 1. オフセットアドレスの [チャネル番号] およびレジスタ略称の n は 0 ～ 15 で、対応は以下のとおりです。

チャネル番号 n	チャネル
0	DMAC0 channel 0
1	DMAC0 channel 1
2	DMAC0 channel 2
3	DMAC0 channel 3
4	DMAC0 channel 4
5	DMAC0 channel 5
6	DMAC0 channel 6
7	DMAC0 channel 7
8	DMAC1 channel 0
9	DMAC1 channel 1
10	DMAC1 channel 2
11	DMAC1 channel 3
12	DMAC1 channel 4
13	DMAC1 channel 5
14	DMAC1 channel 6
15	DMAC1 channel 7

7.10.2 DMAC チャネルレジスタ詳細

レジスタ名称の n は、DMAC チャネル番号（n = 0 ～ 15）を示します。

7.10.2.1 DSAn — DMAC ソースアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス $FFFF8400_H + 40_H$ × チャネル番号 n（n = 0 ～ 15）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.39 DSAn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送元アドレスが読み出せます。

注 意

1. チャネル動作有効状態（DTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは、DTE ビットが “0” の状態で設定してください。
3. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。
   下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.10.2.2 DDAn — DMAC ディスティネーションアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8404_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.40 DDAn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DA[31:0]	ディスティネーションアドレス DMA 転送先アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送先アドレスが読み出せます。

注 意

1. チャネル動作有効状態（DTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. アドレスは、DTE ビットが “0” の状態で設定してください。
3. DMA 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、ディスティネーションアドレスは更新します。
4. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.10.2.3 DTCn — DMAC 転送回数レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8408_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.41 DTCn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	ARC[15:0]	アドレスリロードカウント リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。DMA 転送中に参照すると、次の DMA サイクルを実行する際のアドレスリロードカウントが読み出せます。リロード機能 2 またはブロック転送 2 を使用する場合、本ビットは DMA サイクル毎に 1 ずつ減算されて更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。 0000_H はリロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数が 65536 回であることを示します。
15 ～ 0	TRC[15:0]	転送回数 転送回数を設定します。DMA サイクルを実行するごとに 1 ずつ減算されて更新され、リードすると次の DMA サイクルを実行する際の残り転送回数が読み出せます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値（0000_H）を保持します。

TRC15-0	動 作
0000_H	65536 回転送、または転送完了
0001_H	1 回転送、または残り転送回数 1 回
:	:
$FFFF_H$	65535 回転送、または残り転送回数 65535 回

注 意

1. チャネル動作有効状態（DTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウントは更新します。

7.10.2.4 DTCTn — DMAC 転送制御レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 840C_H + 40$_H$ × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	DRS	—	—	—	—	—	CHNSEL[2:0]			CHNE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCE	TCE	MLE	RLD2M[1:0]		RLD1M[1:0]		DACM[1:0]		SACM[1:0]		DS[2:0]			TRM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.42 DTCTn レジスタの内容 (1/3)

ビット位置	ビット名	機能
31 ～ 28	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
27	ESE	転送エラー時 DMA 転送禁止設定 DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行するかどうかを設定します。 本ビットが 0 にセットされている場合は、DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態でも、後続の DMA サイクルを実行することができます。本ビットが 1 にセットされている場合は、DMA 転送エラーが発生して DCSTn.ER ビットがセットされた状態で、後続の DMA サイクルを実行しません。 0：DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行する 1：DCSTn.ER ビットがセットされた状態で、DMA サイクルを実行しない
26	DRS	DMA 転送要求選択割り付け 受け付ける DMA 転送要求の種類を選択します。 0：ソフトウェア DMA 転送要求 1：ハードウェア DMA 転送要求
25 ～ 21	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
20 ～ 18	CHNSEL[2:0]	チェイン先選択 チェイン先のチャネルを指定します。 チェイン先は同一 DMAC 内の別のチャネルをしてください。異なる DMAC および DTS のチャネルへのチェインは指定できません。チェイン先のチャネルをチェイン元のチャネルと同一に指定することは禁止です（設定した場合の動作を保証しません）。
17、16	CHNE[1:0]	チェインイネーブル チェイン機能を設定します。 00：無効 01：最終転送でチェイン 残り転送回数が 1 回の DMA サイクルが完了した際にチェインします 10：（設定禁止、設定した場合の動作を保証しません） 11：常にチェイン DMA サイクルが完了するたびにチェインします
15	CCE	転送回数一致割り込みイネーブル このビットをセットすると、残り転送回数が転送回数コンペアレジスタに設定した転送回数に一致する DMA サイクルが完了した際に転送回数一致割り込みを発生します。
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みを発生します。

表 7.42 DTCTn レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>13</td><td>MLE</td><td>連続転送イネーブル
このビットをセットすると、DMA 転送完了時に DTE ビットをクリアしません。また、TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います。
0：DMA 転送完了時に DTE ビットをクリアします。また、TC ビットをクリアしてからでないと、次の DMA 転送を開始しません
1：DMA 転送完了時に DTE ビットをクリアしません。また、TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います</td></tr>
<tr><td>12、11</td><td>RLD2M[1:0]</td><td>リロード機能 2 設定
リロード機能 2 の設定をします。
00：リロード機能 2 無効
01：リロード機能 2 有効
アドレスリロードカウントが 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウントをリロード
10：リロード機能 2 有効
アドレスリロードカウントが 1 の DMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウントをリロード
11：リロード機能 2 有効
アドレスリロードカウントが 1 の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウントをリロード</td></tr>
<tr><td>10、9</td><td>RLD1M[1:0]</td><td>リロード機能 1 設定
リロード機能 1 の設定をします
00：リロード機能 1 無効
01：リロード機能 1 有効
転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）
10：リロード機能 1 有効
転送回数が残り 1 回の DMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）
11：リロード機能 1 有効
転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）</td></tr>
<tr><td>8、7</td><td>DACM[1:0]</td><td>ディスティネーションアドレスカウント方向
ディスティネーションアドレスのカウント方向を設定します。
<table>
<tr><th>DACM1</th><th>DACM0</th><th>カウント方向</th></tr>
<tr><td>0</td><td>0</td><td>インクリメント</td></tr>
<tr><td>0</td><td>1</td><td>デクリメント</td></tr>
<tr><td>1</td><td>0</td><td>固定</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr>
</table></td></tr>
</table>

表 7.42 DTCTn レジスタの内容 (3/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>6、5</td><td>SACM[1:0]</td><td>ソースアドレスカウント方向
ソースアドレスのカウント方向を設定します。
<table>
<tr><th>SACM1</th><th>SACM0</th><th>カウント方向</th></tr>
<tr><td>0</td><td>0</td><td>インクリメント</td></tr>
<tr><td>0</td><td>1</td><td>デクリメント</td></tr>
<tr><td>1</td><td>0</td><td>固定</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr>
</table></td></tr>
<tr><td>4 ～ 2</td><td>DS[2:0]</td><td>転送データサイズ
転送データサイズを設定します。
<table>
<tr><th>DS2</th><th>DS1</th><th>DS0</th><th>転送データサイズ</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>8 ビット</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>16 ビット</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>64 ビット</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>128 ビット</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr>
</table></td></tr>
<tr><td>1、0</td><td>TRM[1:0]</td><td>転送モード
DMA 転送モードを設定します
00：シングル転送
01：ブロック転送 1 （転送回数で指定した回数分を転送）
10：ブロック転送 2 （アドレスリロードカウントで指定した回数分を転送）
11：設定禁止（設定した場合の動作を保証しません）</td></tr>
</table>

注 意

1. チャネル動作有効状態（DTE ビット = 1）では、MLE ビットを “1” から “0” へ設定する事のみ可能です。（MLE ビット以外の値を変更した場合の動作は保証しません）
2. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。

7.10.2.5 DRSAn — DMAC リロードソースアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8410_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.43 DRSAn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ソースアドレスレジスタにリロードするソースアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.10.2.6 DRDAn — DMAC リロードディスティネーションアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8414_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.44 DRDAn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RDA[31:0]	リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ディスティネーションアドレスレジスタにリロードするディスティネーションアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.10.2.7 DRTCn — DMAC リロード転送回数レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8418_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RARC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.45 DRTCn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	RARC[15:0]	リロードアドレスリロードカウント リロード機能 2 を使用する場合に、リロード動作時に転送回数レジスタのアドレスリロードカウントにリロードする値を設定します。
15 ～ 0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用する場合に、リロード動作時に転送回数レジスタの転送回数にリロードする値を設定します。

7.10.2.8 DTCCn — DMAC 転送回数コンペアレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 841C$_H$ + 40$_H$ × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.46 DTCCn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
15 ～ 0	CMC[15:0]	転送回数コンペア 転送回数レジスタとコンペアする転送回数を設定します。 残り転送回数がこのレジスタの設定値と一致する DMA サイクルが完了すると、DMAC 転送ステータスレジスタの転送完了一致フラグ（DCSTn.CC）がセットされます。さらに DMAC 転送制御レジスタの転送回数一致割り込みイネーブル（DTCTn.CCE）ビットが 1 の場合は、転送回数一致割り込みを発生します。 0000$_H$ を設定した場合には、転送回数とのコンペアを行いません。その場合、DMAC 転送ステータスレジスタの転送完了一致フラグはセットされず、転送回数一致割り込みも発生しません。

注 意

チャネル動作有効状態（DTE ビット = 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。

7.10.2.9 DCENn — DMAC チャネル動作有効設定レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8420_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.47 DCENn レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	DTE	チャネル動作有効 チャネルの転送動作の有効、無効を設定します。DTE ビットが 1 の状態で、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に MLE ビットが 0 の場合、自動的にクリアします。また、DMA 転送中に DTE ビットに 0 を書き込むと、DMA 転送を一時中断します。一時中断した状態で DTE ビットに 1 を書き込むと、一時中断を解除して DMA 転送を再開します 0：チャネル動作無効・チャネル一時中断 1：チャネル動作有効・チャネル一時中断解除

7.10.2.10 DCSTn — DMAC 転送ステータスレジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8424_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ERWR	—	—	CY	ER	—	CC	TC	—	—	DR	SR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.48 DCSTn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 12	—	リザーブビット
11	ERWR	DMA 転送エラー発生サイクル DMA 転送エラーフラグ (ER) がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。既に ER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 ER ビットがクリアされると本ビットも 0 にクリアされます。 0：DMA 転送エラーがリードサイクルで発生した 1：DMA 転送エラーがライトサイクルで発生した
10、9	—	リザーブビット
8	CY	DMA サイクル実行状態 このチャネルで DMA サイクルを実行中かどうかを示します。 0：DMA サイクルを実行中でない 1：DMA サイクルを実行中
7	ER	転送エラーフラグ DMA 転送エラーが発生した際にセットされます。本ビットが 1 かつ DTCTn.ESE ビットがセットされている場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0：DMA 転送エラーなし 1：DMA 転送エラーあり
6	—	リザーブビット
5	CC	転送回数一致フラグ 残り転送回数が転送回数コンペアレジスタの設定値と一致する DMA サイクルが完了した際にセットされます。 0：転送回数コンペアレジスタと転送回数の一致が発生していない 1：転送回数コンペアレジスタと転送回数の一致が発生した
4	TC	転送完了フラグ 最終転送が完了した際にセットされ、DMA 転送が完了したことを示します。 MLE ビットが 0 で本ビットが 1 の場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0：DMA 転送未完了 1：DMA 転送完了

表 7.48 DCSTn レジスタの内容 (2/2)

ビット位置	ビット名	機能
3、2	—	リザーブビット
1	DR	ハードウェア DMA 転送要求状態 DTFR からのハードウェア DMA 転送要求（DMARQ）があることを示します。本ビットは DTFR からのハードウェア DMA 転送要求があると、DTE ビットの状態に関わらず変化します。DMAC 転送制御レジスタの転送要求選択ビット（DRS）でソフトウェア DMA 転送要求を選択している場合は、DTFR からハードウェア DMA 転送要求が入力されても本ビットはセットされません。 0：ハードウェア DMA 転送要求なし 1：ハードウェア DMA 転送要求あり
0	SR	ソフトウェア DMA 転送要求フラグ ソフトウェア DMA 転送要求があることを示します。DMA 転送を実行すると自動的に クリア され ます。ユーザは DMAC 転送ステータスセットレジスタ（DCSTSn）の SRS ビットに 1 を書き込むことで本ビットをセットすることができます。また DMAC 転送ステータスクリアレジスタ（DCSTCn）の SRC ビットに 1 を書き込むことで本ビットをクリアすることができますが、その際に実行中の DMA 転送は中止され、再開することはできません。 0：ソフトウェア DMA 転送要求なし 1：ソフトウェア DMA 転送要求あり

7.10.2.11 DCSTSn — DMAC 転送ステータスセットレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8428_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.49 DCSTSn レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	SRS	ソフトウェア DMA 転送要求セット ユーザは本ビットに 1 を書き込むことでソフトウェア DMA 転送要求フラグ（SR）をセットすることができます。本ビットのリード値は常に 0 です。

7.10.2.12 DCSTCn — DMAC 転送ステータスクリアレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF $842C_H$ + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ERC	—	CCC	TCC	—	—	—	SRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R	R	R/W

表 7.50 DCSTCn レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
7	ERC	転送エラーフラグクリア 本ビットに 1 を書き込むことで DMA 転送エラーフラグ（ER）をクリアすることができます。本ビットのリード値は常に 0 です。
6	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
5	CCC	転送回数一致フラグクリア 本ビットに 1 を書き込むことで転送回数一致フラグ（CC）をクリアすることができます。本ビットのリード値は常に 0 です。
4	TCC	転送完了フラグクリア 本ビットに 1 を書き込むことで転送完了フラグ（TC）をクリアすることができます。本ビットのリード値は常に 0 です。
3 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	SRC	ソフトウェア DMA 転送要求フラグクリア 本ビットに 1 を書き込むことでソフトウェア DMA 転送要求フラグ（SR）をクリアすることができます。本ビットのリード値は常に 0 です。

7.10.2.13 DTFRn — DTFR 設定レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8430_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	REQSEL[6:0]							REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.51 DTFRn レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
7 ～ 1	REQSEL[6:0]	ハードウェア DMA 転送要因選択 128 種類のハードウェア DMA 転送要因の中から 1 つをハードウェア DMA 転送要求として選択します。 000_0000 : DMACTRG[0] 入力を選択 ～ 111_1111 : DMACTRG[127] 入力を選択
0	REQEN	ハードウェア DMA 転送要因選択有効 ハードウェア DMA 転送要因選択を有効にします。 0：ハードウェア DMA 転送要因選択無効 1：ハードウェア DMA 転送要因選択有効 本ビットが 0 の場合、REQSEL6 ～ 0 ビットで選択したハードウェア DMA 転送要因がアクティブになってもハードウェア DMA 転送要求として認識せずハードウェア DMA 転送要求は発生しません。

7.10.2.14 DTFRRQn — DTFR 転送要求ステータスレジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 8434_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.52 DTFRRQn レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット
0	DRQ	ハードウェア DMA 転送要求状態 ハードウェア DMA 転送要求がある、または保持していることを示します。 • エッジ検出のハードウェア DMA 転送要求の場合[注 1] エッジ検出したハードウェア DMA 転送要求を保持しているかどうかを示します。DMAC から DMA 転送要求受け付け信号（DMAAKn）がアサートされると自動的にクリアされます。ユーザは DTFRRQCn.DRQC ビットに 1 を書き込むことで本ビットをクリアすることができます。 • レベル入力のハードウェア DMA 転送要求の場合[注 1] ハードウェア DMA 転送要求入力の有無を示します。DMAC から DMA 転送要求受け付け信号（DMAAKn）がアサートされても自動的にクリアされません。 またユーザは DTFRRQCn.DRQC ビットを操作してもクリアすることはできません。 本ビットはハードウェア DMA 転送要求があると、DTFRn.REQEN ビットの状態に関わらず変化します。 0：ハードウェア DMA 転送要求なし 1：ハードウェア DMA 転送要求あり

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRn.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

7.10.2.15 DTFRRQCn — DTFR 転送要求クリアレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 8438_H + 40_H × チャネル番号 n（n = 0 ～ 15）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.53 DTFRRQCn レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	DRQC	ハードウェア DMA 転送要求クリア エッジ検出のハードウェア DMA 転送要求の場合[注 1]、ユーザは本ビットに 1 を書き込むことで DTFRRQn.DRQ ビットをクリアすることができます。 レベル入力のハードウェア DMA 転送要求の場合[注 1]、本ビットを操作しても DTFRRQn.DRQ ビットをクリアすることはできません。 本ビットのリード値は常に 0 です。

注 1. ハードウェア DMA 転送要求がエッジ検出かレベル入力かは、DTFRn.REQSEL で選択するハードウェア DMA 転送要因ごとに異なります。本製品のハードウェア DMA 転送要求は、エッジ検出のみです。

7.11 DTS チャネルレジスタ

7.11.1 DTS の転送情報（TI）

7.11.1.1 TI 構成

DTS 転送情報を TI（Trasfer Information）と呼び、32 ビットを 1 つの TI として、1 チャネルあたり 8 つの TI が割り当てられます。8 つの TI をそれぞれ TI-A、TI-B、TI-C、TI-D、TI-E、TI-F、TI-G、TI-H と呼びます。

図 7.12 に TI の構成を示します。

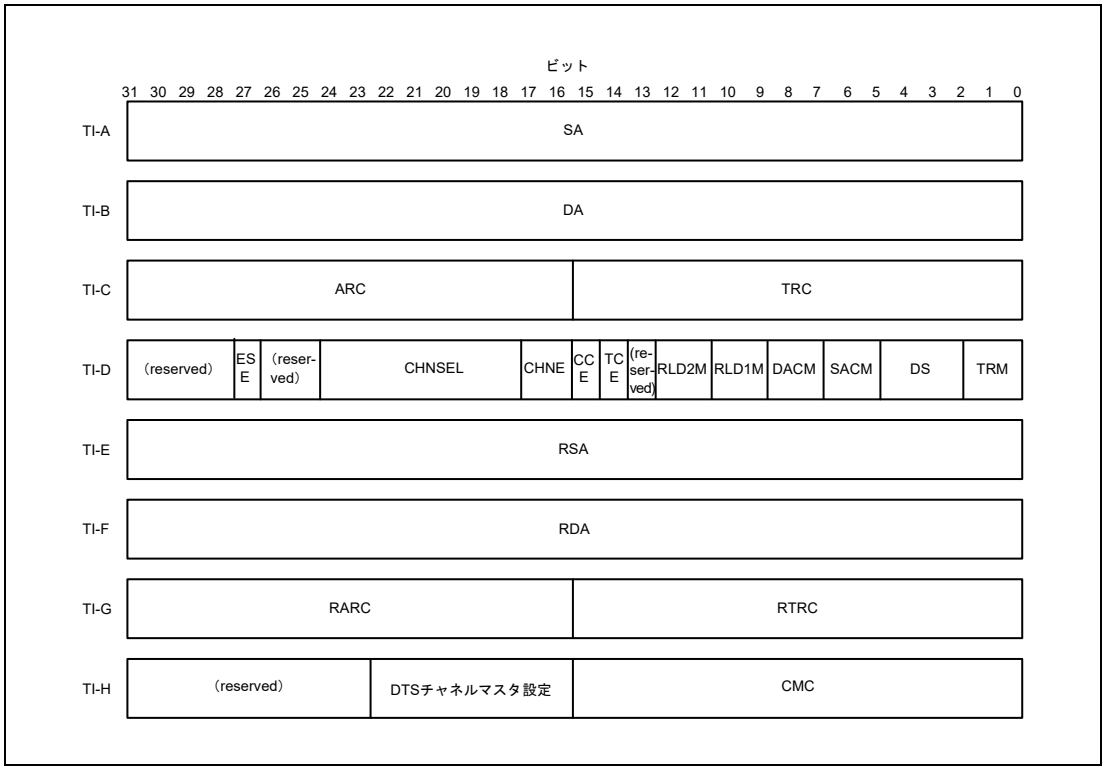


図 7.12 TI の構成

7.11.1.2 DTSRAM 内の TI 配置

ユーザは各チャネルの DTS チャネルレジスタおよび DTS チャネルマスタ設定レジスタにアクセスすることで、間接的に DTSRAM にアクセスを行います。

したがって、ユーザは通常 DTSRAM 内の TI 配置アドレスを意識する必要はありません。

ただし、DTSRAM リード時に ECC エラーが発生した場合、グローバルレジスタの DTSRAM エラーレジスタ 2（DTSER2）に ECC エラーが発生した DTSRAM 上のアドレスが保存されます。DTSRAM の ECC エラー発生時にどのチャネルのどの TI でエラーが発生したのかを DTSRAM エラーレジスタの内容から知るためには、DTSRAM 内の TI 配置アドレスを理解する必要があります。

図 7.13 に DTSRAM 内の TI 配置アドレスを示します。

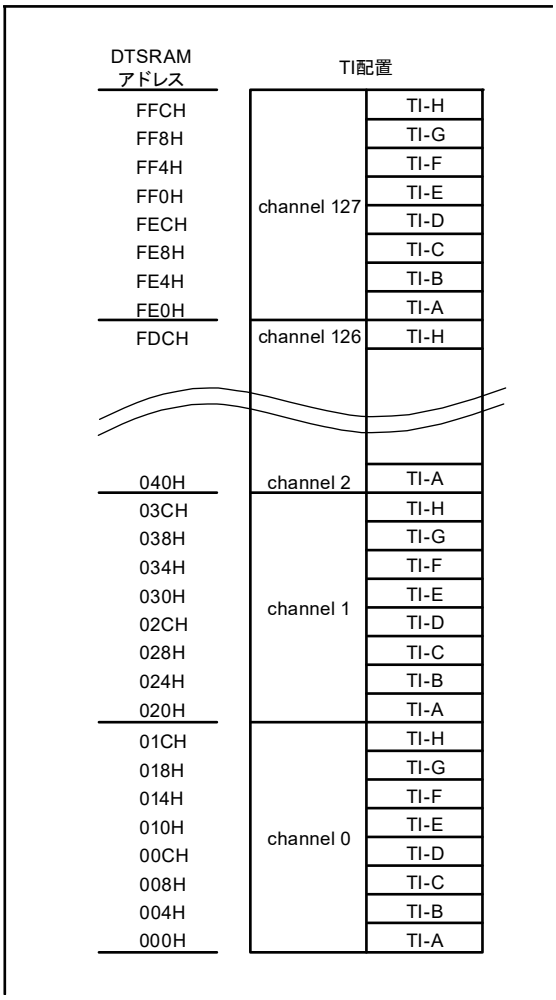


図 7.13 DTSRAM 内の TI 配置

7.11.1.3 TI へのアクセス方法

TI-A は、各チャネルの DTS ソースアドレスレジスタ（DTSAnnn）からアクセスが可能です。

TI-B は、各チャネルの DTS ディスティネーションアドレスレジスタ（DTDAnnn）からアクセスが可能です。

TI-C は、各チャネルの DTS 転送回数レジスタ（DTTCnnn）からアクセスが可能です。

TI-D は、各チャネルの DTS 転送制御レジスタ（DTTCTnnn）からアクセスが可能です。

TI-E は、各チャネルの DTS リロードソースアドレスレジスタ（DTRSAnnn）からアクセスが可能です。

TI-F は、各チャネルの DTS リロードディスティネーションアドレスレジスタ（DTRDAnnn）からアクセスが可能です。

TI-G は、各チャネルの DTS リロード転送回数レジスタ（DTRTCnnn）からアクセスが可能です。

TI-H はグローバルレジスタのチャネルマスタ設定レジスタ（DTSnnnCM）、および各チャネルの転送回数コンペアレジスタ（DTTCCnnn）からアクセスが可能です。

7.11.1.4 TI アクセスの際の注意点

DTS チャネルマスタ設定レジスタの内容と DTS 転送回数コンペアレジスタの内容は同一の TI-H に格納されます。

DTS チャネルマスタ設定レジスタ（DTSnnnCM）へのアクセスは、32 ビットの TI-H 全体に対するアクセスとなります。したがって、DTS チャネルマスタ設定レジスタへのライトアクセスでは、下位 16 ビットの DTS 転送回数コンペア（CMC）の値も同時に書き換えられます。DTS チャネルマスタ設定レジスタへのリードアクセスでは、下位 16 ビットに DTS 転送回数コンペア（CMC）の値が読み出されます。

DTS 転送回数コンペアレジスタ（DTTCCnnn）へのリードアクセスでは、32 ビットの TI-H をリードした結果の下位 16 ビットのみがレジスタリード結果に反映されます。DTS 転送回数コンペアレジスタ（DTTCCnnn）へのライトアクセスでは、32 ビットの TI-H に対する下位 16 ビットのリードモディファイライトアクセスを行います。リセット直後の TI の内容は不定であり、DTS チャネルマスタ設定レジスタへの設定を行わないまま DTS 転送回数コンペアレジスタ（DTTCCnnn）へのライトアクセスを行うと、リードモディファイライトアクセスのリード時に ECC エラーを検出する可能性がありますので注意してください。

TI-H のビット 31-23 は未使用ですが、DTS チャネルマスタ設定レジスタにアクセスすることでリードライトが可能です。ライト時は 0 を書き、リード時はソフトウェアにて値を無視することを推奨します。

TI を格納する DTSRAM のリセット後の内容は不定です。リセット後、値をライトする前の TI に対してリードを行うと ECC エラーが発生します。

したがって、リセット後の次のレジスタへの最初のアクセスは、必ずライトアクセスを行ってください。リセット後の最初のアクセスでリードアクセスを行わないでください。

- DTS ソースアドレスレジスタ（DTSAnnn）
- DTS ディスティネーションアドレスレジスタ（DTDAnnn）
- DTS 転送回数レジスタ（DTTCnnn）
- DTS 転送制御レジスタ（DTTCTnnn）
- DTS リロードソースアドレスレジスタ（DTRSAnnn）

- DTS リロードディスティネーションアドレスレジスタ（DTRDAnnn）
- DTS リロード転送回数レジスタ（DTRTCnnn）
- チャネルマスタ設定レジスタ（DTSnnnCM）

また、リセット後の DTS 転送回数コンペアレジスタ（DTTCCnnn）への最初のアクセスは、必ずチャネルマスタ設定レジスタ（DTSnnnCM）へのライトアクセスを行った後に行ってください。

DTS で DMA 転送を実行中でも CPU からの TI アクセスが可能です。その際、次の点に注意してください。

- DMA 転送を実行中のチャネルの TI を CPU からの TI アクセスで書き換える操作は行わないようにしてください。DMA 転送の結果と TI の内容に不整合が生じる可能性があります。
- TI フェッチまたは TI ライトバックの実行中に CPU からの TI アクセス要求があると、TI フェッチまたは TI ライトバックの完了を待ってから TI アクセスを実行します。また、CPU からの TI アクセス要求の処理中に TI フェッチまたは TI ライトバックが発生すると、TI アクセス処理の完了を待ってから TI フェッチまたは TI ライトバックを実行します。

7.11.2 DTS チャネルレジスタアドレス

アドレス = ベースアドレス “FFFF 9000_H” + オフセットアドレス

表 7.54 DTS チャンネルレジスタアドレス

オフセットアドレス	レジスタ略称	意味	アクセス許可	
			特殊マスタ	一般マスタ
$0000_H + 40_H$ ＊ [チャネル番号]	DTSAnnn	DTS ソースアドレス	○	○
$0004_H + 40_H$ ＊ [チャネル番号]	DTDAnnn	DTS ディスティネーションアドレス	○	○
$0008_H + 40_H$ ＊ [チャネル番号]	DTTCnnn	DTS 転送回数	○	○
$000C_H + 40_H$ ＊ [チャネル番号]	DTTCTnnn	DTS 転送制御	○	○
$0010_H + 40_H$ ＊ [チャネル番号]	DTRSAnnn	DTS リロードソースアドレス	○	○
$0014_H + 40_H$ ＊ [チャネル番号]	DTRDAnnn	DTS リロードディスティネーションアドレス	○	○
$0018_H + 40_H$ ＊ [チャネル番号]	DTRTCnnn	DTS リロード転送回数	○	○
$001C_H + 40_H$ ＊ [チャネル番号]	DTTCCnnn	DTS 転送回数コンペア	○	○
$0020_H + 40_H$ ＊ [チャネル番号]	DTFSLnnn	DTSFSL 動作設定	○	○
$0024_H + 40_H$ ＊ [チャネル番号]	DTFSTnnn	DTSFSL 転送要求ステータス	○	○
$0028_H + 40_H$ ＊ [チャネル番号]	DTFSSnnn	DTSFSL 転送要求セット	○	○
$002C_H + 40_H$ ＊ [チャネル番号]	DTFSCnnn	DTSFSL 転送要求クリア	○	○

注 1. オフセットアドレスの [チャネル番号] は 0 ～ 127
レジスタ名称の nnn は 3 桁のチャネル番号 000 ～ 127

7.11.3 DTS チャネルレジスタ詳細

レジスタ名称の nnn の部分は DTS チャネル番号（nnn = 000 ～ 127）を示します。

7.11.3.1 DTSAnnn — DTS ソースアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 9000_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:0]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.55 DTSAnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。 TI ライトバック時に更新され、次に DMA 転送を開始する DMA 転送元アドレスが保持されます。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.11.3.2 DTDAnnn — DTS ディスティネーションアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 9004_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DA[31:16]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA[15:0]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.56 DTDAnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DA[31:0]	ディスティネーションアドレス DMA 転送先アドレスを設定します。TI ライトバック時に更新され、次に DMA 転送を開始する DMA 転送先アドレスが保持されます。

注 意

1. DMA 転送のリードサイクルで DMA 転送エラーが発生すると、ライトサイクルは実行しませんが、ディスティネーションアドレスは更新します
2. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。
   下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.11.3.3 DTTCnnn — DTS 転送回数レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 9008_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARC[15:0]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRC[15:0]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.57 DTTCnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	ARC[15:0]	アドレスリロードカウント リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。リロード機能 2 またはブロック転送 2 を使用する場合本ビットは DMA サイクル毎に 1 ずつ減算され、TI ライトバック時に更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。 0000_H を設定した場合にはアドレスリロードは発生しません。 DMA サイクル開始時の値が 0000_H の場合、DMA サイクルが発生してもアドレスリロードカウントは減算されません。
15 ～ 0	TRC[15:0]	転送回数 転送回数を設定します。DMA サイクルを実行する毎に 1 ずつ減算され、TI ライトバック時に更新されます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値（0000_H）を保持します。 0000_H を設定した場合、DMA 転送要求を受け付けても DMA 転送を行いません。

TRC[15:0]	動 作
0000_H	転送無効、または転送完了
0001_H	1 回転送、または残り転送回数 1 回
:	:
$FFFF_H$	65535 回転送、または残り転送回数 65535 回

注 意

1. DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウントは更新します
2. DMAC と異なり、DTS の転送回数の “0000_H” は 65536 回転送ではなく、転送無効または転送完了を示します。

7.11.3.4 DTTCTnnn — DTS 転送制御レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 900C_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	—	—	CHNSEL[6:0]							CHNE[1:0]	
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCE	TCE	—	RLD2M[1:0]		RLD1M[1:0]		DACM[1:0]		SACM[1:0]		DS[2:0]			TRM[1:0]	
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.58 DTTCTnnn レジスタの内容 (1/3)

ビット位置	ビット名	機能
31 ～ 28	—	リザーブビット 読み出すと不定値が読み出されます。書き込む値は “0” に設定してください。
27	ESE	転送エラー時 DMA 転送中止設定 DMA 転送エラーが発生した場合に DMA 転送を中止するかどうかを設定します。 本ビットが 0 にセットされている場合は、DMA 転送エラーが発生しても DMA 転送を継続します。 本ビットが 1 にセットされている場合は、DMA 転送エラーが発生した場合、残りの DMA 転送を中止します。 0：DMA 転送エラーが発生した場合に DMA 転送を継続する 1：DMA 転送エラーが発生した場合に DMA 転送を中止する
26、25	—	リザーブビット 読み出すと不定値が読み出されます。書き込む値は “0” に設定してください。
24 ～ 18	CHNSEL[6:0]	チェイン先選択 チェイン先のチャネルを指定します。 チェイン先は DTS 内の別のチャネルを指定してください。DMAC のチャネルへのチェインは指定できません。 チェイン先のチャネルをチェイン元のチャネルと同一に指定することは禁止です。（設定した場合の動作を保証しません。）
17、16	CHNE[1:0]	チェインイネーブル チェイン機能を設定します 00：無効 01：最終転送でチェイン 残り転送回数が 1 回の DMA サイクルが完了した際にチェインします 10：（設定禁止、設定した場合の動作を保証しません） 11：常にチェイン DMA サイクルが完了するたびにチェインします
15	CCE	転送回数一致割り込みイネーブル このビットをセットすると、残り転送回数が転送回数コンペアレジスタに設定した転送回数に一致する DMA サイクルが完了した際に転送回数一致割り込みを発生します。
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みを発生します。
13	—	リザーブビット 読み出すと不定値が読み出されます。書き込む値は “0” に設定してください。

表 7.58 DTTCTnnn レジスタの内容 (2/3)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>12、11</td><td>RLD2M[1:0]</td><td>リロード機能 2 設定
リロード機能 2 の設定をします
00：リロード機能 2 無効
01：リロード機能 2 有効
アドレスリロードカウントが 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウントをリロード
10：リロード機能 2 有効
アドレスリロードカウントが 1 の DMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウントをリロード
11：リロード機能 2 有効
アドレスリロードカウントが 1 の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウントをリロード</td></tr>
<tr><td>10、9</td><td>RLD1M[1:0]</td><td>リロード機能 1 設定
リロード機能 1 の設定をします
00：リロード機能 1 無効
01：リロード機能 1 有効
転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）
10：リロード機能 1 有効
転送回数が残り 1 回の DMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）
11：リロード機能 1 有効
転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）</td></tr>
<tr><td>8、7</td><td>DACM[1:0]</td><td>ディスティネーションアドレスカウント方向
ディスティネーションアドレスのカウント方向を設定します。
<table>
<tr><th>DACM1</th><th>DACM0</th><th>カウント方向</th></tr>
<tr><td>0</td><td>0</td><td>インクリメント</td></tr>
<tr><td>0</td><td>1</td><td>デクリメント</td></tr>
<tr><td>1</td><td>0</td><td>固定</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr>
</table></td></tr>
<tr><td>6、5</td><td>SACM[1:0]</td><td>ソースアドレスカウント方向
ソースアドレスのカウント方向を設定します。
<table>
<tr><th>SACM1</th><th>SACM0</th><th>カウント方向</th></tr>
<tr><td>0</td><td>0</td><td>インクリメント</td></tr>
<tr><td>0</td><td>1</td><td>デクリメント</td></tr>
<tr><td>1</td><td>0</td><td>固定</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr>
</table></td></tr>
<tr><td>4 ～ 2</td><td>DS[2:0]</td><td>転送データサイズ
転送データサイズを設定します。
<table>
<tr><th>DS2</th><th>DS1</th><th>DS0</th><th>転送データサイズ</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>8 ビット</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>16 ビット</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>64 ビット</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>128 ビット</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr>
</table></td></tr>
</table>

表 7.58 DTTCTnnn レジスタの内容 (3/3)

ビット位置	ビット名	機能
1、0	TRM[1:0]	転送モード DMA 転送モードを設定します 00：シングル転送 01：ブロック転送 1 （転送回数で指定した回数分を転送） 10：ブロック転送 2 （アドレスリロードカウントで指定した回数分を転送） 11：設定禁止（設定した場合の動作を保証しません）

注 意

1. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。
2. ビット 31 ～ 28、ビット 26、25、ビット 13、は未使用ですがリード・ライトが可能です。ライト時は 0 とし、リード時はこれらのビットの値を無視することを推奨します。

7.11.3.5 DTRSAnnn — DTS リロードソースアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 9010_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA[31:16]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA[15:0]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.59 DTRSAnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時にリロードするソースアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.11.3.6 DTRDAnnn — DTS リロードディスティネーションアドレスレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 9014_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA[31:16]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA[15:0]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.60 DTRDAnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RDA[31:0]	リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時にリロードするディスティネーションアドレスを設定します。

注 意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（x は任意の 1 ビットを表します）。
下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	x	x	x	x
16 ビット	x	x	x	0
32 ビット	x	x	0	0
64 ビット	x	0	0	0
128 ビット	0	0	0	0

7.11.3.7 DTRTCnnn — DTS リロード転送回数レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 9018_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RARC[15:0]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRC[15:0]															
リセット後の値	不定															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.61 DTRTCnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	RARC[15:0]	リロードアドレスリロードカウント リロード機能 2 を使用時に、アドレスリロードカウントにリロードする値を設定します。
15 ～ 0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用時に、転送回数にリロードする値を設定します。

RTRC[15:0]	動 作
0000_H	DMA 転送しない
0001_H	1 回転送
:	:
$FFFF_H$	65535 回転送

7.11.3.8 DTTCCnnn — DTS 転送回数コンペアレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 901C_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7.62 DTTCCnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
15 ～ 0	CMC[15:0]	転送回数コンペア 転送回数レジスタとコンペアする転送回数を設定します。 DTS 転送制御レジスタの転送回数一致割り込みイネーブル（DTTCTnnn.CCE）ビットが 1 の場合、残り転送回数がこのレジスタの設定値と一致する DMA サイクルが完了すると、転送回数一致割り込みを発生します。 0000_H を設定した場合には、転送回数とのコンペアを行いません。その場合、転送回数一致割り込みは発生しません。

注 意

本レジスタは、必ず DTS チャネルマスタ設定レジスタの設定を行った後でアクセスを行ってください。

リセット後に DTS チャネルマスタ設定を行わないまま本レジスタにアクセスを行うと、アクセスの際に ECC エラーが発生する可能性があります。

7.11.3.9 DTFSLnnn — DTSFSL 動作設定レジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 9020_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.63 DTFSLnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	REQEN	DMA 転送要求有効 DTSFSL で保持しているこのチャネルの DMA 転送要求を DTS チャネルアービトレーションの候補とするかどうかを選択します。 0：このチャネルの DMA 転送要求を DTS チャネルアービトレーションの候補としない 1：このチャネルの DMA 転送要求を DTS チャネルアービトレーションの候補とする 本ビットが 0 の場合は、DTSFSL で DMA 転送要求を保持していても、このチャネルは DTSFSL 内での DTS チャネルアービトレーションの候補とならず、結果としてこのチャネルの DMA 転送要求は発生しません。

7.11.3.10 DTFSTnnn — DTSFSL 転送要求ステータスレジスタ

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 9024_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7.64 DTFSTnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット
0	DRQ	DMA 転送要求保持状態 このチャネルで DMA 転送要求を保持していることを示します。 ハードウェア転送要因入力の検出、またはソフトウェアでの DTFSSnnn.DRQS ビットへの “1” 書き込みによりセットされます。 DTSFSL からこのチャネルの DMA 転送要求を行っている際に DTS が DMA 転送要求を受け付けると自動的にクリアされます。またはソフトウェアで DTFSCnnn.DRQC ビットに “1” を書き込むことで本ビットをクリアすることができます。 0：DMA 転送要求を保持していない 1：DMA 転送要求を保持している

7.11.3.11 DTFSSnnn — DTSFSL 転送要求セットレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 9028_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.65 DTFSSnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	DRQS	DMA 転送要求セット ユーザは本ビットに 1 を書き込むことで DTFSTnnn.DRQ ビットをセットすることができます。 本ビットのリード値は常に 0 です。

7.11.3.12 DTFSCnnn — DTSFSL 転送要求クリアレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFFF 902C_H + 40_H × チャネル番号 n（n = 0 ～ 127）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 7.66 DTFSCnnn レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
0	DRQC	DMA 転送要求クリア ユーザは本ビットに 1 を書き込むことで DTFSTnnn.DRQ ビットをクリアすることができます。 本ビットのリード値は常に 0 です。

第 8 章　リセット

8.1　特長

- $\overline{\text{RES}}$ 端子にノイズキャンセラを搭載
- リセット要因判別レジスタを参照することにより、どの要因でリセットが掛かったかを判断することができます。
- CPU からレジスタを設定することによりリセットを発行することができます。

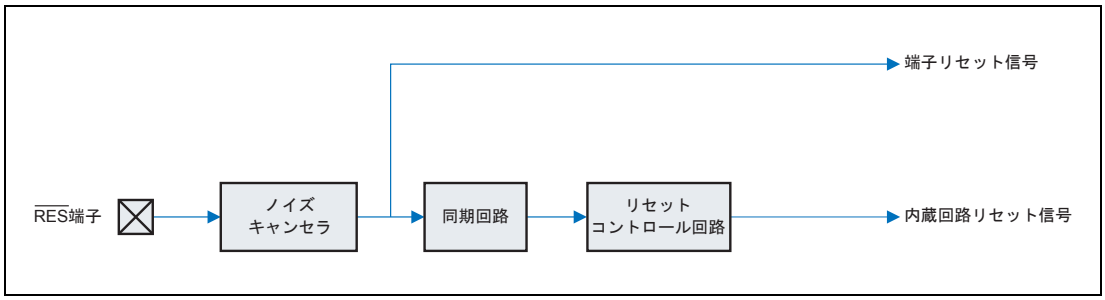


図 8.1　リセット回路

8.2 リセット状態

8.2.1 外部リセット状態

$\overline{\text{RES}}$ 端子にノイズキャンセル幅（t_{RESNCW}）以上のロウレベルパルスが入力されると、外部リセットが受け付けられ、本製品は外部リセット状態に遷移します。外部リセットが受け付けられると各端子は外部リセット状態に遷移します。各端子の外部リセット中の状態は、**「第 2 章　端子」の「表 2.75　端子状態」**をご参照ください。

$\overline{\text{RES}}$ 端子にはノイズキャンセル回路が内蔵されているため、入力するロウレベルパルス幅は、t_{RESW6} 以上の期間入力する必要があります。その後、$\overline{\text{RES}}$ 端子にハイレベルを入力すると、本製品は内部リセット状態へ遷移します。

注　意

t_{RESNCW}、t_{RESW6} は、「第 40 章　電気的特性」を参照してください。

8.2.2 内部リセット状態

外部リセット状態から $\overline{\text{RES}}$ 端子にノイズキャンセル幅（t_{RESNCW}）以上のハイレベルが入力されると、本製品は内部リセット状態へ遷移します。各端子の状態は、**「第 2 章　端子」の「表 2.75　端子状態」**をご参照ください。

外部リセット解除後、200μs (max.) 後に内部リセット状態が解除され、CPU はリセット例外処理を開始いたします。

注　意

t_{RESNCW} は、「第 40 章　電気的特性」を参照してください。

8.3 リセット要因

本製品のリセット要因を次に示します。

いくつかのレジスタは外部リセット状態でのみ初期化されます。つまり、$\overline{\text{RES}}$ 端子へのロウレベル入力によってのみ初期化されます。

大半のレジスタは、外部リセット状態と内部リセット状態のいずれでも初期化されます。つまり、すべてのリセット要因によって初期化されます。

各レジスタの初期化要因については、各章の説明を参照してください。リセット要因や初期化要因を明記していないレジスタは、外部リセット状態と内部リセット状態のいずれでも初期化されます。つまり、すべてのリセット要因によって初期化されます。ただし、レジスタによってはリセット後の値が不定の場合もあります。これらのレジスタは、リセットによって値が確定しませんので注意してください。

要因	動作説明
$\overline{\text{RES}}$ 端子にロウレベルが入力された場合	外部リセット状態へ遷移します。
ECM からリセット要求が発行された場合	内部リセット状態へ遷移します。
デバッガからリセットが発行された場合（強制リセット発行時）	外部リセット状態へ遷移します。
CPU からソフトウェアリセット要求レジスタを設定	内部リセット状態へ遷移します。

8.4 レジスタ仕様

8.4.1 レジスター覧

表 8.1 レジスター覧

リセット要因判定

アドレス	レジスタ名	説明	アクセス幅	リセット後の値	アクセス保護
FFF8 2800$_H$	RESF	リセット要因判定レジスタ	32	0000 0000$_H$	
FFF8 2808$_H$	RESFC	リセット要因クリアレジスタ	32	0000 0000$_H$	

パワーオン検知

アドレス	レジスタ名	説明	アクセス幅	リセット後の値	アクセス保護
FFF8 AC10$_H$	POF	パワーオンクリアフラグレジスタ	32	0000 000X$_H$	
FFF8 AC14$_H$	POFC	パワーオンクリアフラグクリアレジスタ	32	0000 0000$_H$	

ソフトウェアリセット制御

アドレス	レジスタ名	説明	アクセス幅	リセット後の値	アクセス保護
FFF8 AC18$_H$	SWRESA	ソフトウェアリセット要求レジスタ	32	0000 0000$_H$	PROT1PHCMD

8.4.2 RESF — リセット要因判定レジスタ

本レジスタは、リセット要因を判別するレジスタです。

このレジスタのフラグは RESFC レジスタでクリアできます。また、外部リセットでのみリセットされます。内部リセットではリセットされません。

アクセス 32 ビット単位でリード可能です。

アドレス FFF8 2800$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RESF1	RESF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.2 RESF レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
1	RESF1	ECM リセット リセットイベントが起きたことを示します。 0：イベントなし 1：イベントあり
0	RESF0	ソフトウェアリセット リセットイベントが起きたことを示します。 0：イベントなし 1：イベントあり

8.4.3 RESFC — リセット要因クリアレジスタ

本レジスタは、RESF レジスタで示されたリセット要因をクリアするレジスタです。

リードすると常に 00_H が読み出されます。

本レジスタは、外部リセットでのみリセットされます。内部リセットではリセットされません。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス $FFF8\ 2808_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RESFC1	RESFC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 8.3 RESFC レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
1	RESFC1	ECM リセット ステータスビットをクリアします。 0：クリアしない 1：クリアする
0	RESFC0	ソフトウェアリセット ステータスビットをクリアします。 0：クリアしない 1：クリアする

8.4.4 POF — パワーオンクリアフラグレジスタ

本レジスタは、SYSVCC が電源 OFF から電源 ON を検知したことを判別するレジスタです。

POF フラグは、SYSVCC が電源 OFF から電源 ON を検知した場合に “1”（コールドスタート）になります。

また、本レジスタに “0” または “1” を書いても変化しません。

POFC レジスタの POFC ビットに “0 または “1” をライトすると、“0” になります。

POF フラグを “0” に設定した状態で、その他のリセットが発生しても POF フラグは変化しません。（ウォームスタートを判断可能）

アクセス 32 ビット単位でリード可能です。

アドレス FFF8 AC10$_H$

リセット後の値 0000 000X$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	POF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.4 POF レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
0	POF	コールドスタートイベント検出 コールドスタートイベントが発生したことを示します。 0：発生しない 1：発生

8.4.5 POFC — パワーオンクリアフラグクリアレジスタ

本レジスタは、POF レジスタをクリアするレジスタです。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFF8 AC14$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	POFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.5 POFC レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
0	POFC	ライトすると（値は 0/1 いずれでも）パワーオンクリアフラグレジスタのコールドスタートイベント検出ビットをクリアします。

8.4.6 SWRESA — ソフトウェアリセット要求レジスタ

本レジスタは、レジスタをアクセスすることで内部リセットを発生させるレジスタです。

SWRESA に 1 を書き込むと、ソフトウェアリセットが発行されます。

本レジスタは、PROT1PHCMD レジスタによって保護することができます。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFF8 AC18$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWRESA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.6 SWRESA レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SWRESA	0：—（デフォルト） 1：内部リセットが有効（内部リセットのトリガ）

例）SWRESA レジスタへの書き込みシーケンス

SWRESA レジスタへの書き込みは、**「第 11 章 クロックコントローラ」**に記載された保護解除シーケンスを用いることによって可能となります。

手順 1. PROT1PHCMD レジスタに固定値 0000 00A5$_H$ を書き込みます。

手順 2. SWRESA レジスタに設定値 0000 0001$_H$ を書き込みます。

手順 3. SWRESA レジスタに反転値 FFFF FFFE$_H$ を書き込みます。

手順 4. SWRESA レジスタに設定値 0000 0001$_H$ を書き込みます。

以上の手順で、SWRESA レジスタに設定値 0000 0001$_H$ を書き込むことができます。

上記手順とおりに行わなかった場合、保護解除シーケンスは失敗し、SWRESA レジスタに設定値 0000 0001$_H$ は書き込まれず、PROT1PS レジスタの PROTERR ビットが 1 にセットされます。

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ[注 1] へのライトアクセスの場合、保護レジスタへの書き込みは失敗し、PROT1PS レジスタの PROTERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護レジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. 対象のレジスタは、**「11.4.10　PROT1PHCMD — プロテクト 1 コマンドレジスタ」**を参照してください。

8.5 ソフトウェアリセット

ソフトウェアリセット設定時のフローを以下に示します。

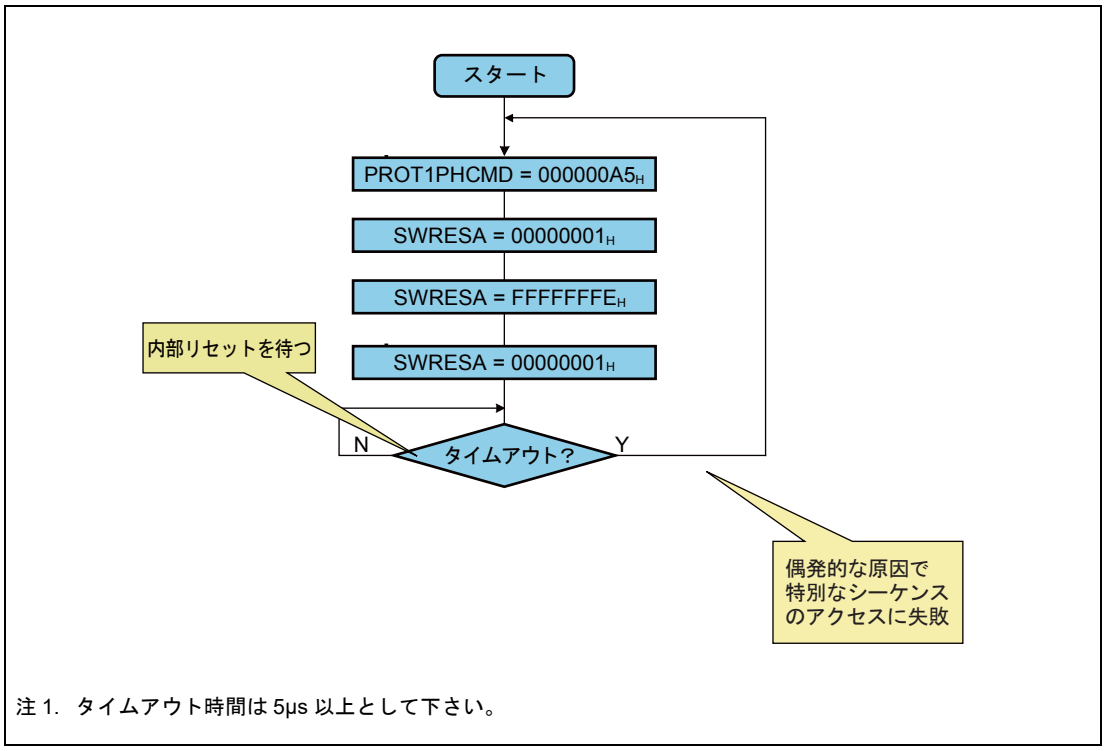


図 8.2 ソフトウェアリセットのフロー

8.6 RAM 保持

保持領域の RAM についてはリセットで値が破壊されることはありません。

8.7 使用上の注意

デバッグ機能において、リセットをマスクする機能があります。本機能の誤動作を防ぐため、デバッグ機能を使用しない場合は $\overline{\text{TRST}}$ 端子をロウ固定して使用してください。

第 9 章　電源回路

9.1　特長

- 外部パストランジスタ（External Pass Transistor）方式の採用。略称：EPT

EPT あり	EPT なし
2 電源 IC で動作可能 （5V、3.3V）	3 電源 IC で動作可能 （5V、3.3V、1.25V）

- システム用電源端子（SYSVCC）

  SYSVCC からスタンバイ時にシステム論理、Retention RAM に電源を供給します。

電源端子電源名	端子名	オペレーション状態の電源電圧値	電源用途
SYSVCC	—	3.0V ～ 3.6V	システム論理、RAM 保持
VCC	—	3.0V ～ 3.6V	発振器、EPT、Flash 書き換え
PLLVCC	—	3.0V ～ 3.6V	PLL
VDD	—	1.15V ～ 1.35V	コア電源（ダイレクト給電）、コア電源用安定化容量
EVCC	—	4.5V ～ 5.5V	Port（5V）
LVDVCC	—	3.0V ～ 3.6V	MSC（VccLVDS）
TTLVCC	—	3.0V ～ 3.6V / 4.5V ～ 5.5V	MSC（VccTTL）、Port（5V、3.3V）
A0VCC/A1VCC	—	4.5V ～ 5.5V	SAR AD 用電源
—	A0VREFH/A1VREFH	4.5V ～ 5.5V	SAR AD 用基準電圧
ADSVCC	—	4.5V ～ 5.5V	ΔΣAD 用電源
—	ADSVREFH	4.5V ～ 5.5V	ΔΣAD 電源用基準電圧
—	EPTVOUT	—	VDD 用 EPT 制御　注 . 外部印加ではない
—	RAMVCL	—	RAM 保持用安定化容量
—	ADSVCL	—	ΔΣAD 電源用安定化容量

9.2 電源 IC の接続例

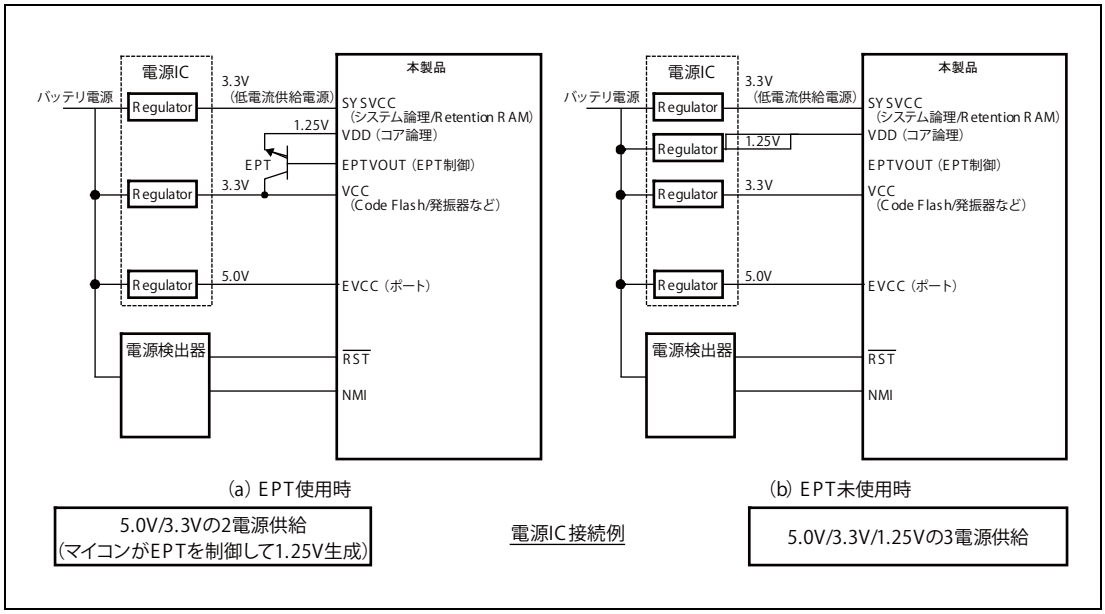


図 9.1 電源 - 電源 IC の接続例

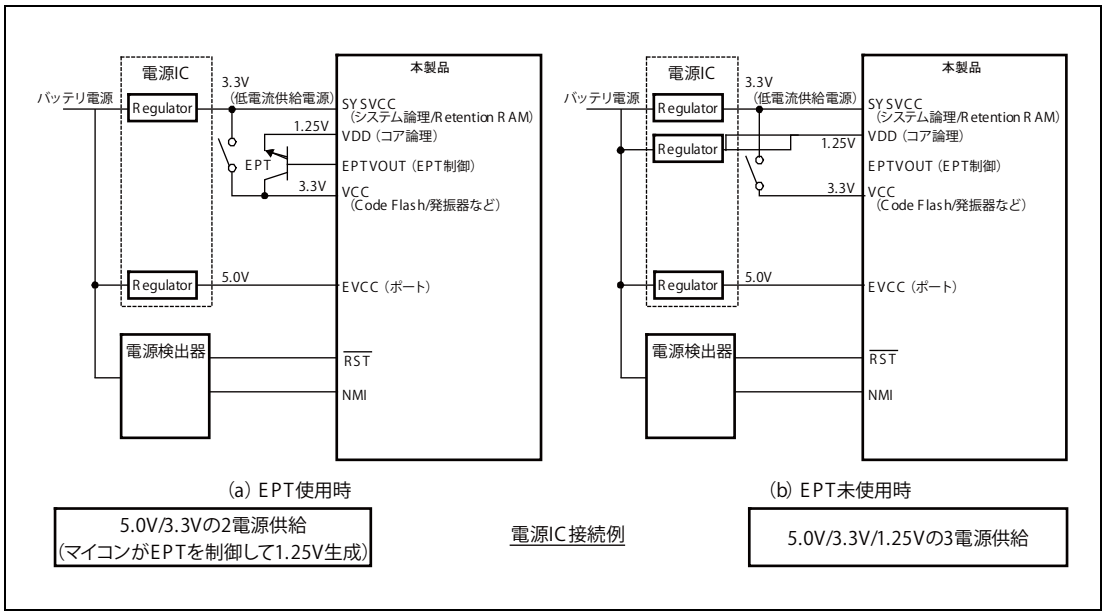


図 9.2 電源 - 電源 IC の接続例 SW 遮断

9.3 電源投入シーケンス

詳細値は**「第 40 章　電気的特性」**を参照してください。

9.4 使用上の注意

ご使用になる電源端子の処置について記します。不使用時の端子処置は、**「2.5.4　未使用端子の処理」**をご参照ください。

電源端子電源名	端子名	必須事項	推奨処置
SYSVCC		デカップリング容量として、 0.1μF ± 30%。	
VCC		電源安定化容量として、 10μF ± 30% 以上。	各端子にデカップリングコンデンサ。
PLLVCC			VCC と共通。 各端子にデカップリングコンデンサ。
VDD			次節掲載の EPT 基板実装ガイドに 同じ。
EVCC			使用状況に応じて容量を外付け。
LVDVCC			使用状況に応じて容量を外付け。
TTLVCC			使用状況に応じて容量を外付け。
A0VCC/ A1VCC			別途発行のアプリケーションノートを 参照。
	A0VREFH/ A1VREFH		別途発行のアプリケーションノートを 参照。
ADSVCC			別途発行のアプリケーションノートを 参照。
	ADSVREFH		別途発行のアプリケーションノートを 参照。
	EPTVOUT	「EPT 不使用時は**「2.5.4　未使用端子の処理」**を参照。 EPT 使用時は**「9.5　EPT 基板実装ガイド」**を参照。	
	RAMVCL	電源安定化容量として、 0.22μF ± 30%。	
	ADSVCL		別途発行のアプリケーションノートを 参照。

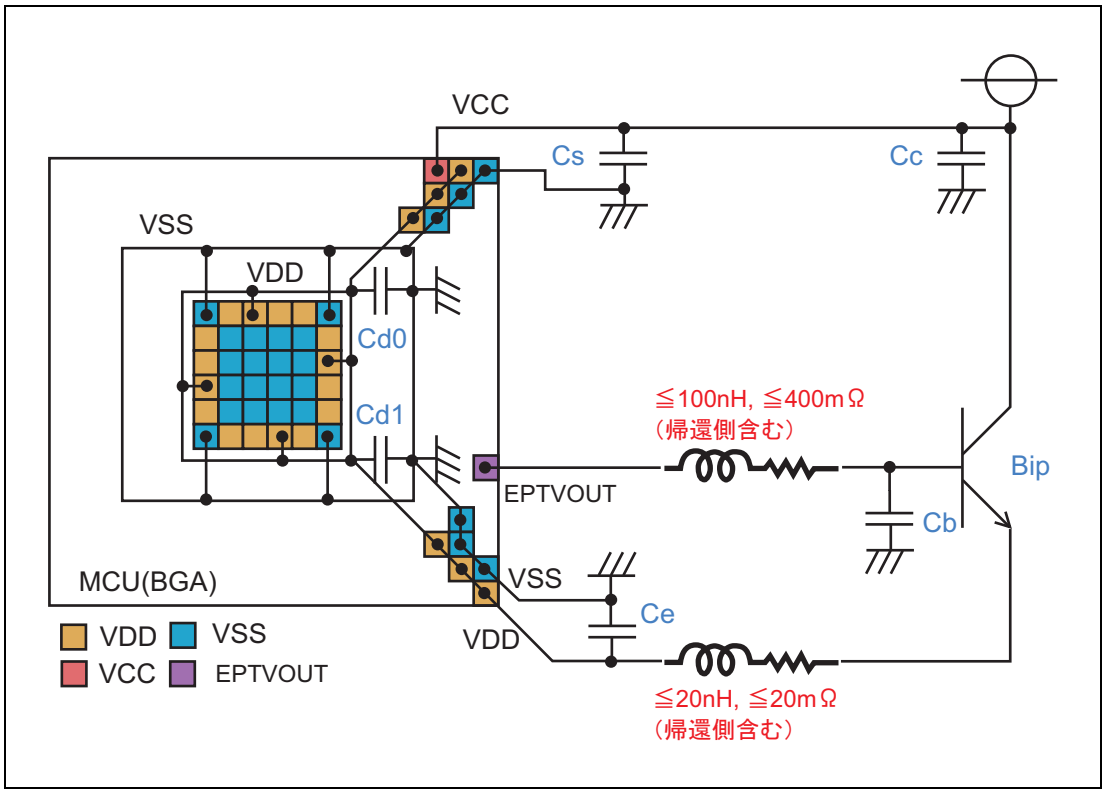
9.5 EPT 基板実装ガイド

EPT による VDD 電源供給を行う場合、VDD が規定の電圧範囲内に収まるようにするためには、以下の実装ガイドを守ってください。

ただし、これはルネサス製 NPN バイポーラトランジスタ 2SD1899 を EPT として使用する場合のガイドです。その他のトランジスタを使用する場合は、別途詳細検討が必要です。

9.5.1 BGA の場合

パスコン配置：PKG/ チップ直下に 2.2μF (1608) × 2、PKG 外引き出し先に 4.7μF (2012)



記号	Spec	Notes
Bip	—	NPN Bip.、DC Gain 100-400 2SD1899 Renesas
Cc	≧ 5μF	—
Cb	1μF ±30%	容量誤差：±10%、 温特：X7R,X8R、 ESR：<50mΩ
Ce	4.7μF ±30%	容量誤差：±10%、 温特：X7R, X8R、 ESR：<50mΩ 外形：2012 ＊ PKG 近傍に配置
Cdn(n:0, 1)	2.2μF ±30% x2	容量誤差：±10%、 温特：X7R, X8R、 ESR：<50mΩ 外形：1608 ＊ PKG/ チップ直下に 2 個配置
Cs	≧ 0.6μF	ESR：<50mΩ ＊ VCC/VSS ピン間直近に接続。VCC ピンが複数ある場合は各ピンの容量の合計を左記とすること。

注　意

1. **基板接続の寄生 LR は VSS がプレーンで設けられていることを想定した数値です（銅箔厚：VSS/VDD とも 35μm、層間厚：1mm 以下）。**
2. **VDD もプレーン状のパタンで形成することを推奨します。それが無理な場合でも可能な限り配線幅を太くしてください。**

9.5.2 参考情報

プリント基板配線の寄生 LR の目安を以下に示します。

配線幅 [mm]	インダクタンス [nH/m]	抵抗 [mΩ/m]
0.7	621	1210
1	555	913
2	432	571
4	263	257
6	200	183

注　意

VSS がプレーンで設けられていることを想定した数値です。
（銅箔厚：VSS/VDD とも 35μm、層間厚：1mm 以下を想定）

第 10 章　電源電圧モニタ

10.1　特長

- 電源電圧モニタ（CVM：Core Voltage Monitor）は、コア論理に給電される VDD 電位をモニタします。
- 電源電圧モニタには、H 側電圧検出と L 側電圧検出があり、VDD が設定電圧以上／以下であることを検知します。
- 電源電圧モニタの機能停止・動作を選択する際のレジスタ書き換えは、プログラムの暴走などで容易に書き換わらないように特定シーケンスで実施する必要があります。
- 電源電圧モニタでエラーを検出した場合は、LSI 外部へエラーを通知することができます。

10.2　構成

電源電圧モニタブロック図を**図 10.1** に示します。

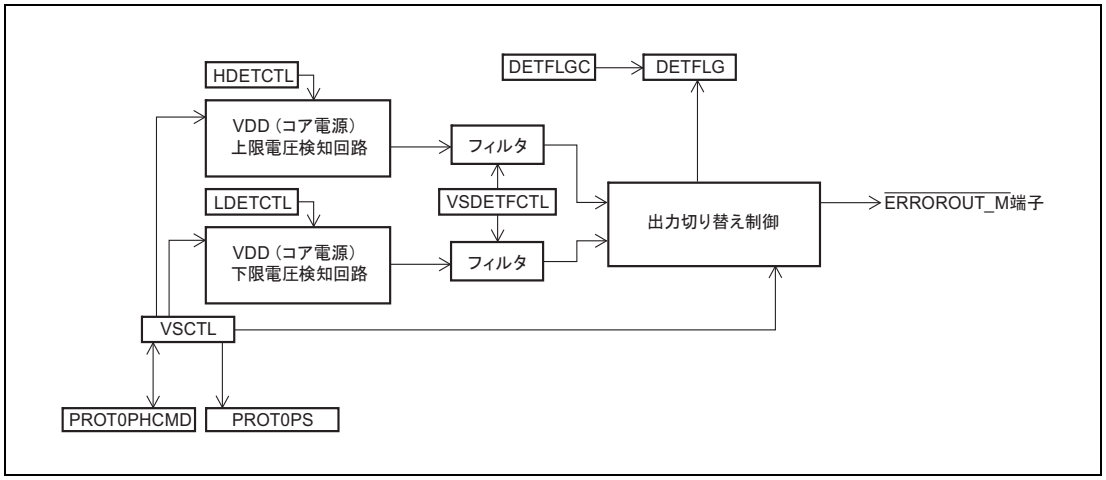


図 10.1　電源電圧モニタブロック図

注 1. 図中のレジスタについて、「**10.3　レジスタ仕様**」を参照してください。

10.3　レジスタ仕様

レジスタ仕様を**表 10.1** に示します。

表 10.1　レジスタ仕様

レジスタ名	略号	R/W	リセット後の値	アドレス	アクセスサイズ	アクセス保護
CVM 検出フラグレジスタ	DETFLG	R	$0000\ 0000_H$	$FFF8\ 2820_H$	32	
CVM 検出フラグクリアレジスタ	DETFLGC	R/W	$0000\ 0000_H$	$FFF8\ 2828_H$	32	
CVM 制御レジスタ	VSCTL	R/W	$0000\ 0000_H$	$FFF8\ 2C10_H$	32	PROT0PHCMD
上限電圧設定レジスタ	HDETCTL	R/W	$0000\ 0003_H$	$FFF8\ 2C14_H$	32	
下限電圧設定レジスタ	LDETCTL	R/W	$0000\ 0003_H$	$FFF8\ 2C18_H$	32	
検出信号フィルタ制御レジスタ	VSDETFCTL	R/W	$0000\ 0000_H$	$FFF8\ 2C1C_H$	32	

10.3.1 DETFLG — CVM 検出フラグレジスタ

このレジスタは、上限電圧／下限電圧の検出状態を示します。

このレジスタは、外部リセットでのみリセットされます。

また、このレジスタは DETFLGC レジスタによってリセットできます。

アクセス 32 ビット単位でリードできます。

アドレス FFF8 2820$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LDET FLG	HDET FLG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 10.2　DETFLG レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
1	LDETFLG	下限電圧検出フラグ 0：下限電圧は未検出 1：下限電圧を検出
0	HDETFLG	上限電圧検出フラグ 0：上限電圧は未検出 1：上限電圧を検出

10.3.2 DETFLGC — CVM 検出フラグクリアレジスタ

このレジスタは、DETFLG レジスタをクリアするレジスタです。

アクセス 32 ビット単位でリード／ライトできます。
読み出すと、常に値 0000 0000_H が返されます。

アドレス $FFF8\ 2828_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LDET FLGC	HDET FLGC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 10.3 DETFLGC レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
1	LDETFLGC	下限電圧検出フラグクリア 0：クリアしない 1：クリアする
0	HDETFLGC	上限電圧検出フラグクリア 0：クリアしない 1：クリアする

10.3.3 VSCTL — CVM 制御レジスタ

このレジスタは、CVM の有効／無効を制御します。

このレジスタは、PROT0PHCMD レジスタによって保護されています。詳細は、PROT0PHCMD レジスタの説明をご参照ください。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32 ビット単位でリード／ライトできます。

アドレス FFF8 2C10$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	EOUTEN	VSHEN	VSLEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 10.4 VSCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
2	EOUTEN	0：エラー出力をマスクする 1：エラー出力をマスクしない
1	VSHEN	0：上限電圧検出は無効 1：上限電圧検出は有効
0	VSLEN	0：下限電圧検出は無効 1：下限電圧検出は有効

VSHEN/VSLEN の有効後、CVM 機能の動作開始には 200μs かかります。

10.3.4 HDETCTL — 上限電圧設定レジスタ

このレジスタは、上限電圧検出レベルを制御するレジスタです。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32 ビット単位でリード／ライトできます。

アドレス FFF8 2C14$_H$

リセット後の値 0000 0003$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VDDREFH[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 10.5 HDETCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	VDDREFH[1:0]	上限電圧検出レベル設定ビット 使用時は必ず 0 に設定してください。 VDDREFH1 / VDDREFH0 / 上限電圧検出レベル 0 / 0 / 1.50V 上記以外の設定は禁止です。

10.3.5 LDETCTL — 下限電圧設定レジスタ

このレジスタは、下限電圧検出レベルを制御するレジスタです。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32 ビット単位でリード／ライトできます。

アドレス FFF8 2C18$_H$

リセット後の値 0000 0003$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VDDREFL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 10.6 LDETCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	VDDREFL[1:0]	下限電圧検出レベル設定ビット 使用時は必ず 0 に設定してください。 VDDREFL1 / VDDREFL0 / 下限電圧検出レベル 0 / 0 / 0.95V 上記以外の設定は禁止です。

10.3.6 VSDETFCTL — 検出信号フィルタ制御レジスタ

このレジスタは、デジタルノイズフィルタの幅を制御するレジスタです。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32 ビット単位でリード／ライトできます。

アドレス FFF8 2C1C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DETF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 10.7 VSDETFCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	DETF[1:0]	デジタルノイズフィルタ幅設定ビット DETF1 / DETF0 / デジタルノイズフィルタの幅 0 / 0 / フィルタをバイパス 0 / 1 / フィルタ期間：16clk 1 / 0 / フィルタ期間：32clk 1 / 1 / フィルタ期間：64clk デジタルノイズフィルタのサンプリングクロック clk は、ROSC（240kHz）

10.4 使用方法

電源電圧モニタの検出条件設定から電圧検出動作への流れは次のようになります。

1. 電源電圧モニタの H 側電圧検出の電圧条件を上限電圧設定レジスタ（HDETCTL）に、L 側電圧検出の電圧条件を下限電圧設定レジスタ（LDETCTL）に設定します。また、電圧検出のノイズフィルタの幅を検出信号フィルタ制御レジスタに設定し、すべての電源電圧モニタ関連のレジスタ設定後に、電源電圧モニタコントロールレジスタ（VSCTL）の電源電圧モニタ H 側イネーブルビット（VSHEN）、L 側イネーブルビット（VSLEN）、LSI 外部へのエラー通知可否（EOUTEN）を操作し、動作を開始します。
2. VDD が上限電圧設定を超えた場合は、VSCTL レジスタの EOUTEN ビットの設定に応じ、LSI 外部へエラーを通知すると共に、上限電圧検出フラグ（DETFLG レジスタ、HDETFLG ビット）がセットされます。VDD が下限電圧設定を下回った場合は、VSCTL レジスタの EOUTEN ビットの設定に応じ、LSI 外部へエラーを通知すると共に、下限電圧検出フラグ（DETFLG レジスタ、LDETFLG ビット）がセットされます。
3. H 側電圧および L 側電圧検出後に上限電圧検出フラグおよび下限電圧検出フラグを確認することで、該当する検出内容を確認できます。

なお、電源電圧モニタエラー出力端子は、エラーコントロールモジュール（ECM）の $\overline{\text{ERROROUT_M}}$ 端子（マスタ）と共通です。

電源電圧モニタで $\overline{\text{ERROROUT_M}}$ 端子出力を使用する場合は、以下のフローで設定してください。

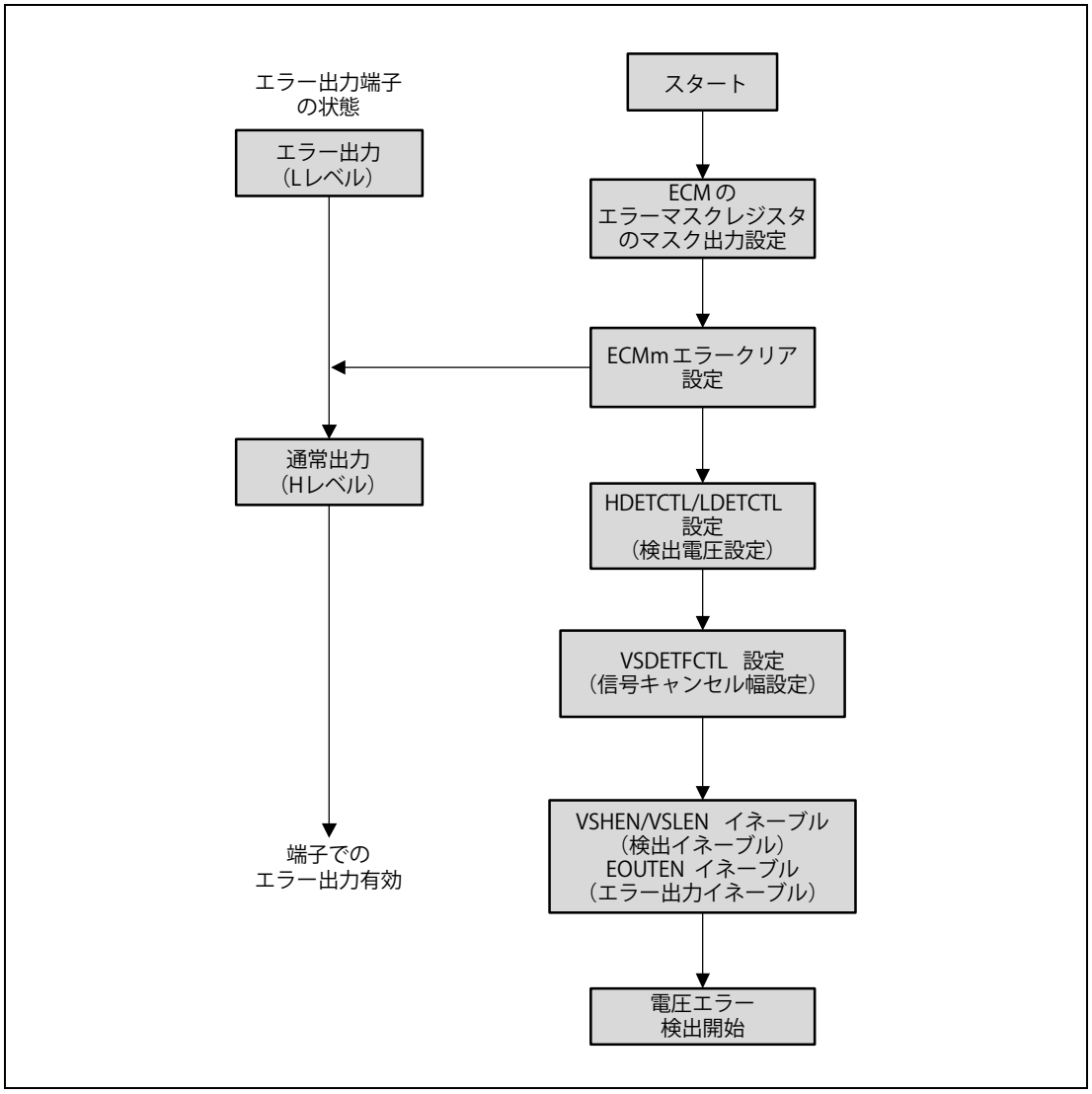


図 10.2　　フローチャート

10.5　使用上の注意

- 電源電圧モニタは、外部リセット解除後のみ動作します。外部リセット中は電源電圧モニタの動作が停止しており、各種レジスタも初期化されます。
- 電源電圧モニタの各種設定レジスタやフラグレジスタは、外部リセットでのみ初期化されます。CPU や ECM からのリセット要求による内部リセットでは初期化されません。

第 11 章　クロックコントローラ

11.1　特長

- 発振回路を内蔵（メイン OSC）
- 外付け容量なしで 20MHz 発振可能（振動子限定）
- EXTAL 端子から 20MHz のクロックを入力可能
  メイン OSC とは別に、EXTAL 端子よりダイレクトに 20MHz の外部クロックを入力可能。

注　意

ダイレクトに外部クロック入力時は、XTAL をオープンにする必要があります。

- 内蔵 PLL によりクロックの逓倍が可能
- 輻射ノイズを低減するため SSCG（Spread Spectrum Clock Generator）の PLL0 を内蔵
  タイマや通信モジュール用に周波数変調のない非変調クロック（clean clock）の PLL1 も搭載
- リングオシレータ回路（ROSC）を 内蔵
- メインOSCがクロックモニタで設定した周波数範囲を外れた場合に割り込みを発生可能
  クロックモニタの使用方法については、**「第 30 章　セーフティ」**を参照してください。
- リセット解除後の突入電流抑制のためソフトウェアによる段階的なクロックギアアップが可能。
  レジスタ設定にて CPU クロックおよび周辺クロックの分周比を選択（1/4、1/2、1/1）し、クロックギアアップ。注 1
- CK 端子から、1MHz クロック、ボーレートジェネレータ（BRG）で設定した分周クロックを出力可能

注 1. 本製品は、クロックギアアップシーケンスを実行後、分周器 0A/1A の分周比が 1/1（分周なし）の状態で使用してください。

11.2　クロック種類

表 11.1 にクロック一覧、**表 11.2** に各機能モジュールの動作クロック、**図 11.1** にクロックのブロック図を示します。

表 11.1　クロック一覧

入力周波数（メイン OSC）20MHz 動作時

クロック名	シンボル	クロック周波数[注3]			備考
		分周器 **0A/** 分周器 **1A** の分周比			
		1/1	1/2	1/4	
CPU クロック	CLK_CPU	320MHz[注1]	160MHz[注1]	80MHz[注1]	PLL0（SSCG 選択可）
		240MHz[注2]	120MHz[注2]	60MHz[注2]	
高速周辺クロック	CLK_HSB	80MHz	40MHz	20MHz	
低速周辺クロック（周辺クロック）	CLK_LSB	40MHz	20MHz	10MHz	
非変調高速周辺クロック	CLKC_HSB	80MHz	40MHz	20MHz	PLL1（SSCG 選択不可）
非変調低速周辺クロック	CLKC_LSB	40MHz	20MHz	10MHz	
低速 ROSC クロック	CLK_ROSCL	240KHz			
ASIC クロック（1MHz クロック）	CLKA_ASIC	1MHz			MainOSC の 1/20
WDTA カウンタクロック	WDTACLKI	250KHz			MainOSC の 1/80

注 1.　最大動作周波数 320MHz の製品の場合

注 2.　最大動作周波数 240MHz の製品の場合

注 3.　本製品は、クロックギアアップシーケンスを実行後、周器 0A/1A の分周比が 1/1（分周なし）の状態で使用してください。

表 11.2 クロックと機能モジュール

クロック名	機能モジュール名
CPU クロック	CPU
高速周辺クロック	PCU、INTC、DMAC、DTS、CSIH、DFE、FlexRay、ICUS
低速周辺クロック（周辺クロック）	ECM、CRC、PORT
非変調高速周辺クロック	RHSB、ΔΣAD、TSG2、TAPA、PIC
非変調低速周辺クロック	CAN、LIN、ATU-IV、APA、WDTA 注 1、OSTM、SCI、AD、RSENT、SWDTA 注 1
低速 ROSC クロック	CLM
WDTA カウンタクロック	WDTA 注 1、SWDTA 注 1

注 1. WDTA、SWDTA の PCLK（P-Bus のクロック）は非変調低速周辺クロック、WDTA、SWDTA の動作クロックは WDTA カウンタクロック。

各機能モジュールの章において PCLK と記載がある場合は、**表 11.2** のそれぞれのクロック名に対応した上記**表 11.1** の分周比 1/1 に記載の周波数を表します。

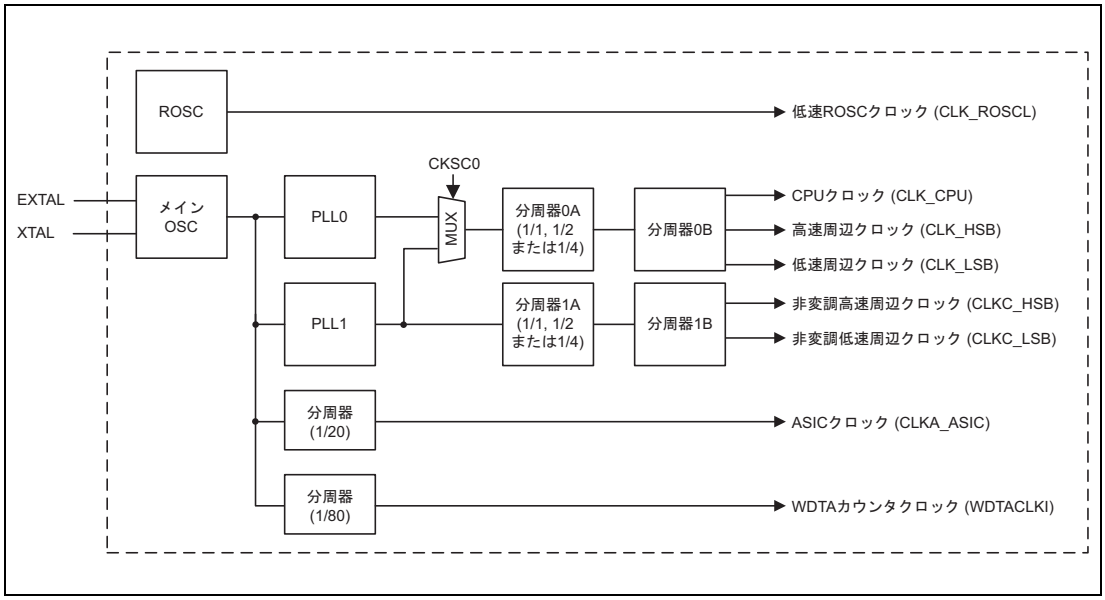


図 11.1 クロックコントローラのブロック図

11.3　入出力端子

クロックコントローラに関連する端子を**表 11.3** に示します。

表 11.3　クロック発振関連端子

名称	端子名	入出力	機能
外部クロック	EXTAL	入力	水晶発振子または外部クロック入力
クリスタル	XTAL	出力	水晶発振子を接続
クロック出力	CK	出力	1MHz クロック /BRG 出力
PLL 電源	PLLVCC	入力	PLL 逓倍回路用電源
PLL グランド	PLLVSS	入力	PLL 逓倍回路用電源

11.3.1　水晶発振子の接続方法

図 11.2 に水晶発振子の接続方法を示します。弊社推奨の水晶発振子（別途お問い合わせください）を使用した場合、基本的に負荷容量やダンピング抵抗などの外付け部品なしで発振が可能ですが、ご使用の環境で評価の上でお使いください。

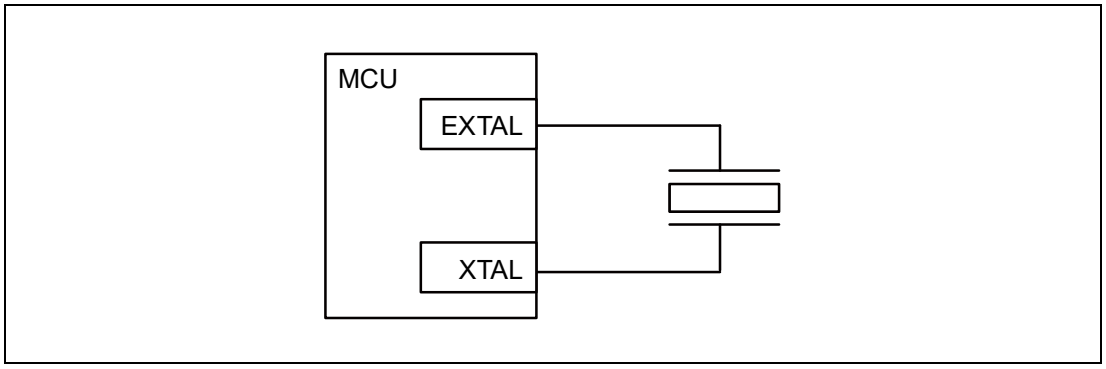


図 11.2　水晶発振子の接続例 1

11.4　レジスタ仕様

11.4.1　レジスター覧

レジスター覧を**表 11.4** に示します。

表 11.4　クロック発振関連レジスター覧

レジスタ名（略称）	R/W	リセット後の値	アドレス	アクセスサイズ	アクセス保護
PLL0 ステータスレジスタ（PLL0CLKS）	R	$0000\ 0001_H$	$FFF8\ 8004_H$	32	
PLL0 制御レジスタ 1（PLL0CLKC1）	R/W	$0000\ 0000_H$	$FFF8\ 8200_H$	32	PROT1PHCMD
クロック 0 選択制御レジスタ（CKSC0CTL）	R/W	$0000\ 0020_H$	$FFF8\ 9000_H$	32	PROT1PHCMD
クロック 0 選択アクティブレジスタ（CKSC0ACT）	R	$0000\ 0020_H$	$FFF8\ 9008_H$	32	
クロック 0 分周レジスタ（CLKD0DIV）	R/W	$0000\ 0004_H$	$FFF8\ 8800_H$	32	PROT1PHCMD
クロック 0 分周ステータスレジスタ（CLKD0STAT）	R	$0000\ 0001_H$	$FFF8\ 8804_H$	32	
クロック 1 選択制御レジスタ（CKSC1CTL）	R/W	$0000\ 0021_H$	$FFF8\ 9040_H$	32	PROT1PHCMD
クロック 1 選択アクティブレジスタ（CKSC1ACT）	R	$0000\ 0021_H$	$FFF8\ 9048_H$	32	
プロテクト 1 コマンドレジスタ（PROT1PHCMD）	R/W	$0000\ 0000_H$	$FFF8\ B000_H$	32	
プロテクト 1 ステータスレジスタ（PROT1PS）	R	$0000\ 0000_H$	$FFF8\ B004_H$	32	

11.4.2 PLL0CLKS — PLL0 ステータスレジスタ

このレジスタは、PLL0 クロックの有効／アクティブ状態および安定状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード可能です

アドレス FFF8 8004$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKACT	CLKSTAB	CLKEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0 注1	0 注1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. CPU の動作スタート後にリードされたタイミングに依存します。

表 11.5 PLL0CLKS レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	—	リザーブビット 読み出すと “0” が読み出されます。
2	CLKACT	PLL0 クロックソース状態 0：PLL0 クロックソースインアクティブ 1：PLL0 クロックソースアクティブ
1	CLKSTAB	PLL0 クロック安定状態 0：PLL0 クロック不安定 1：PLL0 クロック安定
0	CLKEN	PLL0 動作状態 0：停止 1：動作

11.4.3 PLL0CLKC1 — PLL0 制御レジスタ 1

このレジスタは、PLL0 の SSCG（Spread Spectrum Clock Generator）の動作を制御します。

PLL0 が作動しているとき、このレジスタはセットすることができます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です

アドレス FFF8 8200$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SSMODE1	—	SELMFREQ[4:0]					SELMPERCENT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.6 PLL0CLKC1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 10	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
9	SSMODE1	SSCG 制御 0：変調なし 1：変調あり

表 11.6　PLL0CLKC1 レジスタの内容

ビット位置	ビット名	機能
8	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
7 ～ 3	SELMFREQ [4:0]	SSCG 周期設定 本ビットを設定することで、SSCG の変調周期を選択することができます。 選択可能な設定は以下です。 10000_B : 80.65kHz 10001_B : 75.76kHz 10010_B : 69.44kHz 10011_B : 65.79kHz 10100_B : 62.50kHz 10101_B : 59.52kHz 10110_B : 58.14kHz 10111_B : 50.00kHz 11000_B : 41.67kHz 11001_B : 39.68kHz 11010_B : 37.31kHz 11011_B : 33.33kHz 11100_B : 30.12kHz 11101_B : 25.00kHz 11110_B : 20.00kHz SSMODE1 を 1 に設定した場合は、上記以外の値を設定しないでください。
2 ～ 0	SELMPERCENT[2:0]	SSCG 変調範囲設定 本ビットを設定することで、SSCG 変調範囲を選択することができます。 選択可能な設定は本製品では以下です。 100_B : -5.0% SSMODE1 を 1 に設定した場合は、上記以外の値を設定しないでください。

PLL0 の変調度切り替えの際は、いったん SSCG を OFF にして、かつ min 1.6ms 待つ必要があります。

11.4.4 CKSC0CTL — クロック 0 選択制御レジスタ

このレジスタは分周器 0A のクロックソース選択に使用されます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です

アドレス FFF8 9000$_H$

リセット後の値 0000 0020$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CKSC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 11.7 CKSC0CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
5 ～ 0	CKSC[5:0]	分周器 0A のクロックソースを選択します。 100000_B：PLL1 クロックを選択します。 100011_B：PLL0 クロックを選択します。 上記以外を設定しないでください。

11.4.5 CKSC0ACT — クロック 0 選択アクティブレジスタ

このレジスタは分周器 0A のクロックソース状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード可能です

アドレス FFF8 9008$_H$

リセット後の値 0000 0020$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CLKACT[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.8 CKSC0ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	—	リザーブビット 読み出すと “0” が読み出されます。
5 ～ 0	CLKACT[5:0]	CKSC0CTL レジスタの CKSC[5:0] に設定した値と同じ値になっていれば、分周器 0A のクロックソース切り替えが完了していることを示します。

11.4.6 CLKD0DIV — クロック 0 分周レジスタ

このレジスタは分周器 0A の分周比を設定します。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です

アドレス FFF8 8800$_H$

リセット後の値 0000 0004$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKD0DIV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 11.9 CLKD0DIV レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2 ～ 0	CLKD0DIV[2:0]	分周器 0A の分周比を設定します。 001_B：分周なし 010_B：2 分周 100_B：4 分周 上記以外を設定しないでください。

11.4.7 CLKD0STAT — クロック 0 分周ステータスレジスタ

このレジスタは、分周器 0A のクロック状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード可能です

アドレス FFF8 8804$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKD0 SYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.10 CLKD0STAT レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。
0	CLKD0SYNC	分周器同期ステータス 0：分周器 0A は CLKD0DIV で設定した分周比への切り替え途中です。 1：分周器 0A は CLKD0DIV で設定した分周比で動作しています。

11.4.8 CKSC1CTL — クロック 1 選択制御レジスタ

このレジスタは分周器 1A の出力クロック選択に使用されます。

このレジスタは PROT1PHCMD レジスタによって保護されています。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です

アドレス FFF8 9040$_H$

リセット後の値 0000 0021$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CKSC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 11.11 CKSC1CTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
5 ～ 0	CKSC[5:0]	分周器 1A の出力クロックを選択します。 100001_B : PLL1 の 1/4 のクロックを選択します。 100010_B : PLL1 の 1/2 のクロックを選択します。 100100_B : PLL1 クロックを選択します。 上記以外を設定しないでください。

11.4.9 CKSC1ACT — クロック 1 選択アクティブレジスタ

このレジスタは分周器 1A のクロック状態を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード可能です

アドレス $FFF8\ 9048_H$

リセット後の値 $0000\ 0021_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CLKACT[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.12 CKSC1ACT レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	—	リザーブビット 読み出すと “0” が読み出されます。
5 ～ 0	CLKACT[5:0]	CKSC1CTL レジスタの CKSC[5:0] に設定した値と同じ値になっていれば、分周器 1A の出力クロック切り替えが完了していることを示します。 100001_B : 1/4 × PLL1 100010_B : 1/2 × PLL1 100100_B : 1/1 × PLL1

11.4.10 PROT1PHCMD — プロテクト 1 コマンドレジスタ

このレジスタは保護レジスタへのライトアクセスのために必要なプロテクト解除シーケンスを開始するための保護コマンドレジスタです。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です

アドレス FFF8 B000$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.13 PROT1PHCMD レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	リザーブビット 読み出すと “0” が読み出されます。
7 ～ 0	PCMD[7:0]	書き込みプロテクションコマンドレジスタ

このレジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタ（保護レジスタ）への書き込み動作に対してプロテクションを施すために使用するものです。

保護レジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. PROT1PHCMD レジスタに固定値 0000 00A5$_H$ を書き込みます。

手順 2. 保護レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護レジスタに設定値を書き込むことができます。

上記手順とおりに行わなかった場合、保護解除シーケンスは失敗し、保護レジスタに設定値は書き込まれず、PROT1PS レジスタの PROTERR ビットが 1 にセットされます。（必須ではありませんが、手順 4 のあと、PROT1PS レジスタの PROTERR ビットの値が 0 であることを確認することでも、保護レジスタに設定値が正しく書き込まれたことを確認できます。）

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ[注 1] へのライトアクセスの場合、保護レジスタへの書き込みは失敗し、PROT1PS レジスタの PROTERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護レジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. PROT1PHCMD では、アドレス $FFF88004_H$ ～ $FFF8B004_H$ に配置されたレジスタが該当します。
レジスタ名、レジスタシンボルおよびモジュール名については、「**付録　レジスター覧**」を参照してください。

11.4.11 PROT1PS — プロテクト 1 ステータスレジスタ

このレジスタはプロテクト解除シーケンスの状態レジスタです。保護レジスタへのライトアクセスのエラー情報を示します。

このレジスタは内部・外部リセットの両方で初期化されます。

アクセス 32 ビット単位でリード可能です

アドレス FFF8 B004$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.14 PROT1PS レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。
0	PROTERR	プロテクションエラーフラグ 0: プロテクションエラーが発生していない 1: プロテクションエラーが発生した

PROTERR ビットの動作条件

セット条件：PROT1PHCMD でプロテクションの対象となっているレジスタ（保護レジスタ）に対して、プロテクト解除シーケンスを守らずにアクセスした場合。

クリア条件：PROT1PHCMD レジスタに 000000A5$_H$ を書き込んだ場合（プロテクト解除シーケンスのステップ 1）。

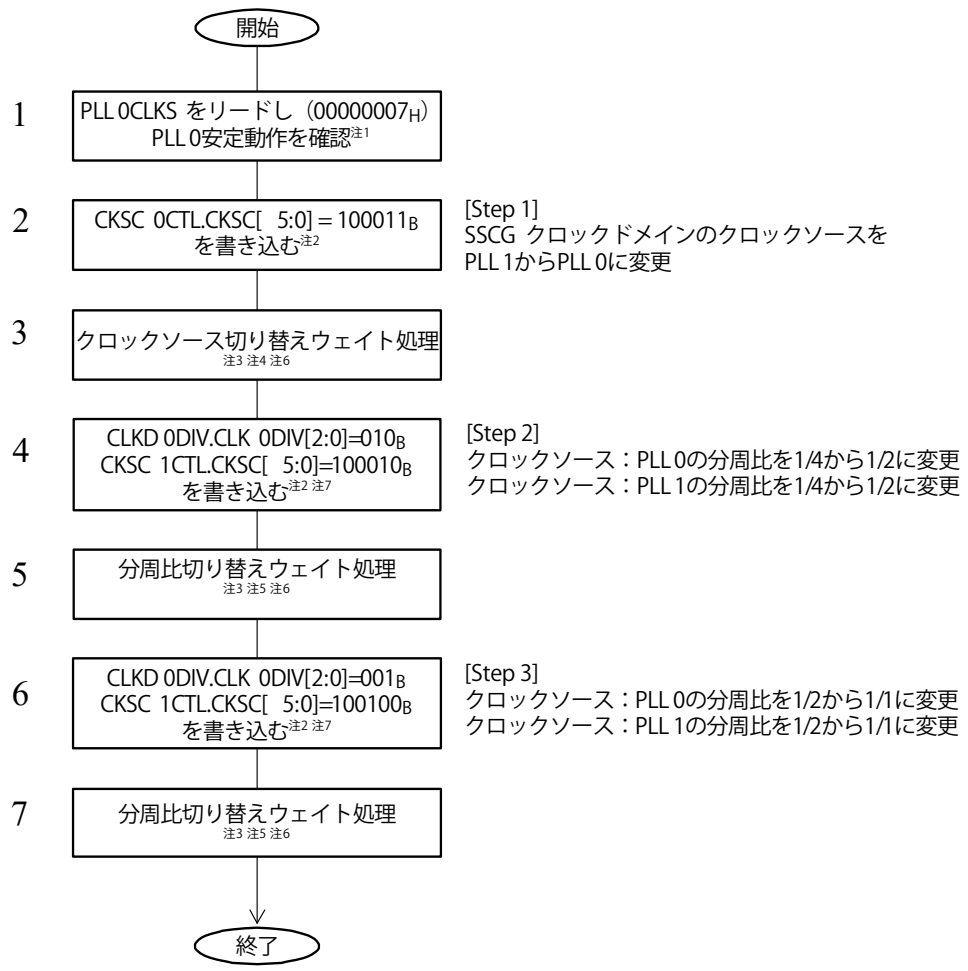
11.5 動作説明

11.5.1 分周機能使用時の動作説明

起動時の電流変動を抑えるため、下記手順にてクロック切り替えを行ってください。

1. リセット解除後のユーザプログラム動作時、PLL0/PLL1 は発振状態にあり、内部は PLL1 にて動作しています。また分周器 0A は 1/4 設定となっています。
   PLL0CLKS レジスタをリードし、値が 07_H で PLL0 が安定して動作していることを確認します。
2. CKSC0CTL.CKSC[5:0] に 23_H を書き込み、クロックソースを PLL0 選択とします。
3. クロックソース切り替えウェイト処理として、CPU 最大動作周波数が 320MHz の製品では CPU クロック 140 サイクル以上、240MHz の製品では CPU クロック 105 サイクル以上経過したのち、CKSC0ACT をリードし、CKSC0ACT.CLKACT[5:0] の値が 23_H になっていることを確認します。
4. CLKD0DIV.CLKD0DIV[2:0] に 010_B を設定し、分周器を 1/2 設定にします。
5. 分周比切り替えウェイト処理として、CPU 最大動作周波数が 320MHz の製品では CPU クロック 140 サイクル以上、240MHz の製品では CPU クロック 105 サイクル以上経過したのち、CLKD0STAT をリードし、CLKD0SYNC が 1 になっていることを確認します。
6. CLKD0DIV.CLKD0DIV[2:0] に 001_B を設定し、分周器を 1/1 設定にします。
7. 分周比切り替えウェイト処理として、CPU 最大動作周波数が 320MHz の製品では CPU クロック 140 サイクル以上、240MHz の製品では CPU クロック 105 サイクル以上経過したのち、CLKD0STAT をリードし、CLKD0SYNC が 1 になっていることを確認します。
   PLL1 側の分周器 1A の分周比切り替えも、上記 4 ～ 7 と同様の手順を踏んでください。

上記クロック切り替えの手順（クロックギアアップシーケンス）の例を、**図 11.3** に示します。なお**表 11.15** に、それぞれの処理におけるクロックの周波数を示します。



注 1. リセット解除後、PLL0 が安定して動作していることを確認してから、クロックギアアップシーケンスへ進んでください。PLL0 が安定しているときは、PLL0CLKS = 07_H です。

注 2. CKSC0CTL/CLKD0DIV レジスタは、PROT1PHCMD レジスタで保護されています。これらを設定をする前には、プロテクト解除シーケンス（プロテクト 1 コマンドレジスタを参照）に従ってください。

注 3. 直前のレジスタ設定から実際のクロックソース切り替え・分周比切り替えに要する処理を待つために必要な処理です。ウェイト処理の期間は、CPU 最大動作周波数が 320MHz の製品では CPU クロック 140 サイクル以上、240MHz の製品では CPU クロック 105 サイクル以上としてください。SNOOZE 命令も利用可能ですので、「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」を参照ください。

注 4. 分周器 0A のソースクロックを切り替えた後は、CKSC0ACT.CLKACT[5:0] が CKSC0CTL.CKSC[5:0] で設定した値となっていることを確認してください。
同様に、分周器 1A の分周比を切り替えた後は、CKSC1ACT.CLKACT[5:0] が CKSC1CTL.CKSC[5:0] で設定した値となっていることを確認してください。

注 5. 分周器 0A の分周比を切り替えた後は、CLKD0STAT.CLKD0SYNC が 1 であることを確認してください。

注 6. クロックソース切り替え・分周比の切り替えの際に生じる過渡的な電圧変動を待つ時間に関しては、本 LSI の使用環境を考慮・評価の上、ウェイト処理のサイクル数を加算するなどの対応をお願いします。

注 7. 上記のフローは PLL0 側の分周と PLL1 側の分周を同時に設定する例です。このフローで過渡的な電圧変動が許容できない場合は、各レジスタ設定とそれに続くウェイト処理を、PLL0 と PLL1 とで別々に行うことで、さらに過渡的な電圧変動を抑制できます（ただし処理時間は長くなります）。

図 11.3 クロックギアアップシーケンスの例

表 11.15　クロックギアアップシーケンスにおける周波数

	CLK_CPU		CLK_HSB	CLK_LSB	CLKC_HSB	CLKC_LSB
	CPU 320MHz 製品	CPU 240MHz 製品				
Step 1 前	80	60	20	10	20	10
Step 1 – Step 2	80	60	20	10	20	10
Step 2 – Step 3	160	120	40	20	40	20
Step 3 後	320	240	80	40	80	40

11.6 注意事項

分周比変更時は FPU 演算等演算器を使用する命令は避けるようにしてください。分周比変更時の電流変動が大きくなり、動作が不安定になる恐れがあります。

11.6.1 ボード設計上の注意

図 11.4 に示すように、EXTAL、XTAL 端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

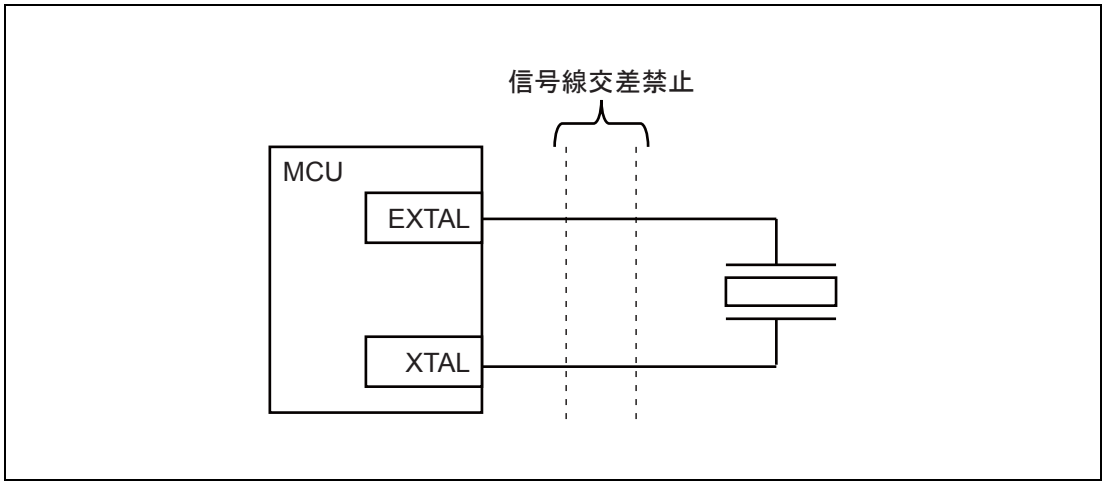


図 11.4 ボード設計上の注意

11.7 ASIC クロック

11.7.1 特長

- CK 端子より出力するクロックを選択する機能を提供します。
- レジスタ設定によって、1MHz クロック注1、ボーレートジェネレータ（BRG）で設定した分周クロック注2を選択することができます。
- 電源遮断スタンバイ解除後、1MHz クロックが CK 端子から出力されます。
- クロックの停止・動作を選択する際のレジスタ書き換えは、プログラムの暴走などで容易に書き換わらないように特定シーケンスで実施する必要があります。

注 1. 1MHz クロック：メイン OSC 20MHz の 20 分周クロック

注 2. BRG（Baud Rate Generator）：非変調低速周辺クロック（CLKC_LSB）の 1/N 分周クロック

11.7.2 構成

図 11.5 に、ASIC クロック出力構成図を記載します。

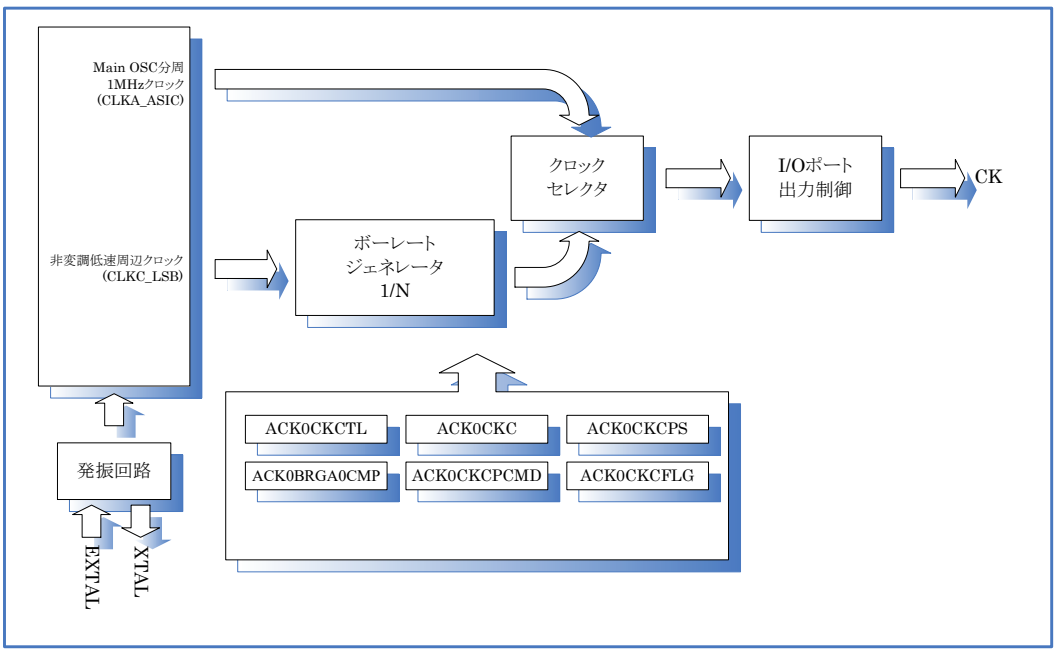


図 11.5 ASIC クロックブロック図

11.7.3 レジスタ仕様

表 11.16 に、レジスタ仕様を記載します。

表 11.16 レジスタ仕様

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ	アクセス保護
クロックコントロールレジスタ	ACK0CKC	R/W	01_H	FFC0 4000_H	8	ACK0CKCPCMD
CKC フラグレジスタ	ACK0CKCFLG	R	01_H	FFC0 4004_H	8	
クロック選択レジスタ	ACK0CKCTL	R/W	00_H	FFC0 4008_H	8	
BRGA0 コンペアレジスタ	ACK0BRGA0CMP	R/W	00_H	FFC0 $400C_H$	8	
CKC プロテクトコマンドレジスタ	ACK0CKCPCMD	W	—	FFC0 4100_H	8	
CKC プロテクトステータスレジスタ	ACK0CKCPS	R	00_H	FFC0 4104_H	8	

11.7.3.1 ACK0CKC — クロックコントロールレジスタ

システムクロック周波数を制御する8ビットのレジスタで、プログラムの暴走などにより誤って容易に書き換えられないように、特定の命令シーケンスの組み合わせによってのみ書き込みが可能です。

本レジスタは、コマンドレジスタ（ACK0CKCPCMD）への書き込みにより、プロテクションが解除されます。

なお、特定レジスタの読み出し時は、特定の命令シーケンスは不要です。

アクセス 8ビット単位でリード / ライト可能です

アドレス FFC0 4000_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DCLK0
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R/W

表 11.17 ACK0CKC レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと常に0が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	DCLK0	クロック出力制御 0：クロック出力インヒビット・モード CK端子からのクロック出力を禁止します。（Lowレベル固定） CKの動作が完全に停止するため、いっそうの低消費電力化 およびCK端子からの輻射ノイズ抑止が可能です。 1：クロック出力 ACK0CKCTLで選択したクロックがCK端子より出力されます。

注 1. DCLK0への“0”書き込み後、CK端子への出力クロックが停止するまでには、CK端子から出力しているクロック（ACK0CKCTLで選択したクロック）の最大3サイクルを要します。クロック出力停止状態であることは、ACK0CKCFLGレジスタのDCLKF0ビットにより確認できます。

11.7.3.2 ACK0CKCFLG — CKC フラグレジスタ

ACK0CKCFLG レジスタは、クロック出力制御のステータス示すレジスタです。

アクセス 8 ビット単位でリード可能です

アドレス FFC0 4004_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DCLKF0
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R

表 11.18 ACK0CKCFLG レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと常に 0 が読み出されます
0	DCLKF0	クロック出力制御のステータスを示すビットです。 0：CK 端子出力停止中 1：ACK0CKCTL で選択したクロックが CK 端子より出力中

11.7.3.3 ACK0CKCTL — クロック選択レジスタ

ACK0CKCTL レジスタは、CK 端子より出力するクロックを選択する 8 ビットのレジスタです。

CKC フラグレジスタの DCLKF0 ビット＝ “0” の時、8 ビット単位でライト可能です。リードは常に可能です。

DCLKF0 ビットは CKC フラグレジスタを参照してください。

アクセス 8 ビット単位でリード / ライト可能です

アドレス FFC0 4008_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CKSL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 11.19 ACK0CKCTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	CKSL[1:0]	CK 端子より出力するクロックを選択するレジスタです。 00：1MHz クロック（Main OSC クロック 20 分周） 01：BRG（Baud Rate Generator） 上記以外：設定禁止

注 意

ACK0CKCTL への書き込み（CK 端子への出力クロックの選択）は、CK 端子へのクロック出力停止した状態（ACK0CKCFLG レジスタの DCLKF0 ビット＝ 0）のみライト可能です。

11.7.3.4 ACK0BRGA0CMP — BRGA0 コンペアレジスタ

ACK0BRGA0CMP レジスタは、ボーレートカウンタとのコンペア値を格納するレジスタです。

アクセス 8 ビット単位でリード / ライト可能です

アドレス FFC0 400C$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	BRGA0CMP[4:0]				
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 11.20 ACK0BRGA0CMP レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4 ～ 0	BRGA0CMP [4:0]	コンペア値を設定します。 設定値は、**「表 11.22 非変調低速周辺クロックの周波数（ACK0BRGA0CMP レジスタの設定値と出力される周波数）」**を参照。

注 意

ACK0BRGA0CMP への書き込み（ボーレートカウンタとのコンペア値選択）は、CK 端子へのクロック出力停止した状態（ACK0CKCFLG レジスタの DCLKF0 ビット＝ 0）のみライト可能です。

11.7.3.5 ACK0CKCPCMD — CKC プロテクトコマンドレジスタ

ACK0CKCPCMD レジスタは、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用するものです。

AKC0CKC レジスタは、あらかじめ定められたシーケンスによってのみレジスタ値が書き換えられ、不正な書き込み動作は排除されます。

アクセス 8 ビット単位でリード / ライト可能です。リード時は不定データの読み出しとなります。

アドレス FFC0 4100$_H$

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W

ACK0CKC レジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. ACK0CKCPCMD レジスタに固定値 A5$_H$ を書き込みます。

手順 2. ACK0CKC レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. ACK0CKC レジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. ACK0CKC レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、ACK0CKC レジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、ACK0CKC レジスタに設定値は書き込まれず、

ACK0CKCPS レジスタの CKCPRERR ビットが 1 にセットされます。（必須ではありませんが、手順 4 の後、ACK0CKCPS レジスタの CKCPRERR ビットの値が 0 であることを確認することでも、ACK0CKC レジスタに設定値が正しく書き込まれたことを確認できます。）

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ[注 1] へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、ACK0CKCPS レジスタの CKCPRERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書

き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. “同一モジュール内の別のレジスタ”とは、保護されているレジスタのモジュール名と同じモジュール名のレジスタのことを指します。レジスタのモジュール名については、**「付録 レジスター覧」**を参照してください。

11.7.3.6 ACK0CKCPS — CKC プロテクトステータスレジスタ

ACK0CKCPS レジスタは、プロテクションエラーの発生を示す CKCPRERR フラグが割り付けられたレジスタです。

ACK0CKC レジスタに対して、コマンドレジスタ設定を含む正しいシーケンスで書き込み動作をしなかった場合、対象レジスタへの書き込みは行われず、プロテクションエラーが発生し、ステータスフラグが（CKCPRERR）セット（1）されます。

ACK0CKCPS レジスタは、特定シーケンス開始時に毎回クリアされます。

アクセス 8 ビット単位でリード可能です

アドレス FFC0 4104$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CKCPR ERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 11.21 ACK0CKCPS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと常に 0 が読み出されます。
0	CKCPRERR	プロテクションエラーの検出 0：プロテクションエラーが発生していない 1：プロテクションエラーが発生した

11.7.4 使用方法

11.7.4.1 CK 端子出力機能

CK 端子から出力するクロックソースを選択し、CK 端子から出力し供給します。

電源遮断スタンバイ解除直後、リセット期間から 1MHz クロックを CK 端子から出力します。CK 端子から出力するクロックソースは、ACK0CKCTL レジスタを切り替えることにより 1MHz クロック、ボーレートジェネレータ（BRG）で設定した分周クロックから選択できます。

選択可能なクロックソース

- 1MHz クロック（Main OSC クロック 20 分周）（初期値）
- BRG（Baud Rate Generator）

11.7.4.2 CK 出力用ボーレートジェネレータ回路（BRGA）

ボーレートジェネレータ回路は、非変調低速周辺クロック（CLKC_LSB）を分周し CK 端子から出力し供給します。

BRGA0 はボーレートカウンタ値と ACK0BRGA0CMP レジスタの BRGA0CMP[4:0] ビット設定値との比較一致により CK 出力を反転します。

また、CK 出力は、ACK0CKC レジスタの DCLK0 ビット＝ “0” にした際は Low 固定となります。

なお、非変調低速周辺クロックの周波数は、**表 11.22** に示す値のみ設定可能です。

表 11.22 非変調低速周辺クロックの周波数（ACK0BRGA0CMP レジスタの設定値と出力される周波数）

BRGA0CMP4	BRGA0CMP3	BRGA0CMP2	BRGA0CMP1	BRGA0CMP0	出力周波数 [MHz]
0	0	0	0	0	1.25
1	0	1	0	0	2.00
1	0	1	0	1	1.90
1	0	1	1	0	1.82
1	0	1	1	1	1.74
1	1	0	0	0	1.67
1	1	0	0	1	1.60
1	1	0	1	0	1.54
1	1	0	1	1	1.48
1	1	1	0	0	1.43
1	1	1	0	1	1.38
1	1	1	1	0	1.33
1	1	1	1	1	1.29

注 1. 上記以外は設定禁止

11.7.4.3 制御レジスタ書き換えプロテクト

図 11.6 に示すように、CK 端子からの出力クロックを制御する ACK0CKC レジスタは、プロテクトにより特定シーケンスでのみ書き換えが可能です。また、クロックが動作している時にクロックソースの切り替えは禁止です。CKC フラグレジスタの DCLKF0 ビット＝“0”である時のみ ACK0CKCTL レジスタの書き換えが可能です。

ボーレートカウンタが動作中も、カウントコンペア値の書き換えが禁止です。ACK0CKC フラグレジスタの DCLKF0 ビット＝“0”である時のみ ACK0BRGA0CMP レジスタの書き換えが可能です。

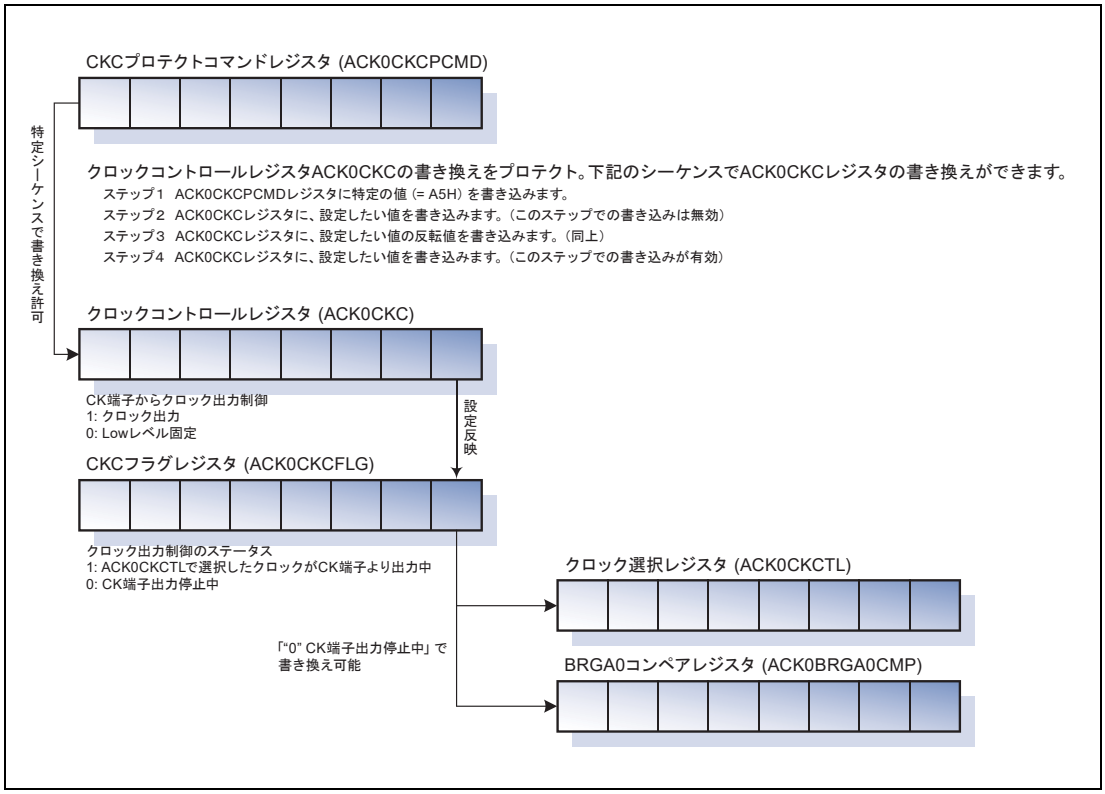


図 11.6 書き換えプロテクト

11.7.4.4 CK 出力切り替え手順

CK 端子からの出力クロックは、下記の手順で切り替えます。

(1) CK 端子からの出力を停止

クロックコントロールレジスタ（ACK0CKC）の、DCLK0 ビットを書き換え、CK 端子からの出力を停止します。

- ACK0CKCPCMD レジスタに $A5_H$ を書き込みます。
- ACK0CKC レジスタに、00_H を書き込みます。
- ACK0CKC レジスタに、FF_H を書き込みます。
- ACK0CKC レジスタに、00_H を書き込みます。

CKC フラグレジスタ（ACK0CKCFLG）の DCLKF0 ビットをリードし、CK 端子からの出力が停止状態であることを確認します。

(2) クロックソースを選択

クロック選択レジスタ（ACK0CKCTL）の、CKSL[1:0] ビットを書き換え、クロックソースを選択します。

また、BRGA0 コンペアレジスタ（ACK0BRGA0CMP）の、BRGA0CMP[4:0] ビットを書き換え、ボーレートジェネレータのクロック周期を選択します。

(3) CK 端子からの出力を再開

クロックコントロールレジスタ（ACK0CKC）の、DCLK0 ビットを書き換え、CK 端子からの出力を再開します。

- ACK0CKCPCMD レジスタに $A5_H$ を書き込みます。
- ACK0CKC レジスタに、01_H を書き込みます。
- ACK0CKC レジスタに、FE_H を書き込みます。
- ACK0CKC レジスタに、01_H を書き込みます。

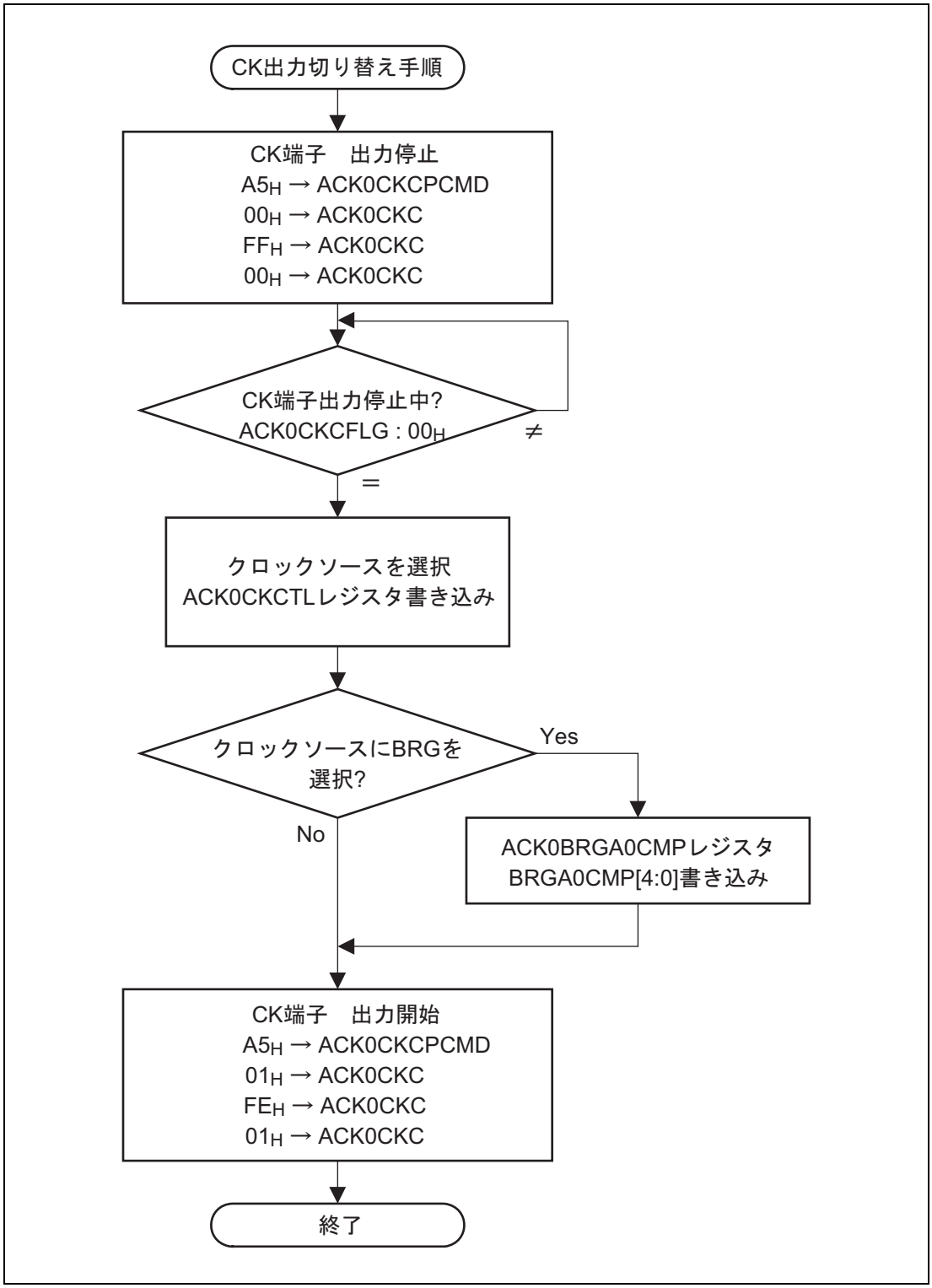


図 11.7　CK 出力切り替え手順

第 12 章　スタンバイコントローラ

低消費電力モードとして、電源遮断スタンバイモード、HALT モードの 2 種類のモード、および周辺モジュールの動作を停止させることができるモジュールスタンバイ機能があります。アプリケーションに応じて適当なモードを選択することで、LSI の消費電力を低減させることができます。

12.1　特徴

12.1.1　低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

- 電源遮断スタンバイモード
  RAM 保持のみ可能なモードです。LSI 外部で電源を遮断することによって低リークを実現します。発振も停止します。
  $\overline{\text{RES}}$ 端子のアサートと電源（EVCC）を遮断することにより遷移します。
  この状態からは遮断電源の立ち上がりと、発振安定時間を確保することで外部リセット状態へ遷移します。
- HALT モード
  HALT 命令を実行することにより、CPU は HALT モードに移行し、命令実行を停止します。
  CPU ごとに制御が可能です。
  リセット入力、割り込み、および、例外の発生によって復帰します。
- モジュールスタンバイ機能
  レジスタ設定により、周辺マクロのクロックを停止させ、消費電力を低減する機能です。周辺モジュールは、リセット解除後は動作状態です。そのため、使用しないモジュールは、クロックのギアアップ前にモジュールストップ状態に設定することを推奨します。モジュールストップ状態に設定したモジュールは、再度動作状態にしないでください（モジュールスタンバイレジスタの各ビットを 1 にセットした後、0 にクリアしないでください）。
  設定した（0 にクリアした）場合の動作は保証しません。

12.2 動作説明

12.2.1 電源遮断スタンバイモード

$\overline{\text{RES}}$ 端子のアサート後に EVCC 電源を 0V にすると電源遮断スタンバイモードに遷移します。電源遮断スタンバイモードでは発振器が停止し、コア電源が遮断されるため、リーク電流を抑えることができます。EPT ありの場合、EPT 制御により VDD が遮断されます。

電源遮断スタンバイモードでは SYSVCC が規定値に保たれている限り、RAM の保持が可能です。

対象の RAM は、**「第 38 章　内蔵 RAM」**をご参照ください。

電源遮断スタンバイモードからの復帰は EVCC、VCC を規定電圧に戻すことで外部リセット状態へ復帰します。発振安定時間を確保した後に $\overline{\text{RES}}$ 端子をネゲートすることで通常状態へ復帰します。

電源遮断シーケンスについては**「第 40 章　電気的特性」**を参照してください。

12.2.2 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

モジュールスタンバイレジスタの各ビットに 1 をセットすることで、それぞれに対応した内蔵周辺 モジュールへのクロック供給を停止させることができます。

消費電力低減のため、クロックのギアアップ前（モジュールがディスエーブル状態）にモジュールスタンバイ状態に設定することを推奨します。

モジュールスタンバイレジスタは、誤ったプログラム動作などによる不正な書き込みから保護されています。

詳細は、**「12.3.6　MSRPCMD — MSR プロテクトコマンドレジスタ」**を参照してください。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、LSI を 内部・外部リセット状態にすることで行います。

モジュールスタンバイ状態に設定した後、モジュールスタンバイレジスタへ、0 書き込みによる解除をした場合の動作は保証しません。

12.3　レジスタ仕様

12.3.1　レジスター覧

すべてのレジスタは CPU からアクセス可能です。

表 12.1　レジスタ構成

アドレス	レジスタ名	説明	アクセス幅	リセット後の値	アクセス保護
FFF82C0C	EPTCNT	EPT 制御レジスタ	32	0000 0000_H	PROT0PHCMD
FFF83000	PROT0PHCMD	保護コマンドレジスタ	32	0000 0000_H	
FFF83004	PROT0PS	保護コマンドステータスレジスタ	32	0000 0000_H	
FFC05000	MSRTSG	モジュールスタンバイレジスタ - TSG2	8	00_H	MSRPCMD
FFC05004	MSRTAPA	モジュールスタンバイレジスタ - TAPA	8	00_H	MSRPCMD
FFC05008	MSROSTM	モジュールスタンバイレジスタ - OSTM	8	00_H	MSRPCMD
FFC0500C	MSRWDTA	モジュールスタンバイレジスタ - WDTA	8	00_H	MSRPCMD
FFC05010	MSRPIC	モジュールスタンバイレジスタ - PIC	8	00_H	MSRPCMD
FFC05014	MSRRCAN	モジュールスタンバイレジスタ - RS-CANFD	8	00_H	MSRPCMD
FFC05018	MSRFRAY	モジュールスタンバイレジスタ - FlexRay	8	00_H	MSRPCMD
FFC0501C	MSRRLIN	モジュールスタンバイレジスタ - RLIN2	8	00_H	MSRPCMD
FFC05020	MSRSCI	モジュールスタンバイレジスタ - SCI3	8	00_H	MSRPCMD
FFC05024	MSRCSIH	モジュールスタンバイレジスタ - CSIH	8	00_H	MSRPCMD
FFC05028	MSRSAD	モジュールスタンバイレジスタ - SAR AD	8	00_H	MSRPCMD
FFC0502C	MSRDAD	モジュールスタンバイレジスタ - ΔΣAD	8	00_H	MSRPCMD
FFC05030	MSRATU	モジュールスタンバイレジスタ - ATU-IV	8	00_H	MSRPCMD
FFC05034	MSRAPA	モジュールスタンバイレジスタ - APA	8	00_H	MSRPCMD
FFC05038	MSRDFE	モジュールスタンバイレジスタ - DFE	8	00_H	MSRPCMD
FFC0503C	MSRRHSB	モジュールスタンバイレジスタ - RHSB	8	00_H	MSRPCMD
FFC05044	MSRRSENT	モジュールスタンバイレジスタ - RSENT	8	00_H	MSRPCMD
FFC05070	MSRPCMD	MSR プロテクトコマンドレジスタ	8	—	
FFC05074	MSRPS	MSR プロテクトステータスレジスタ	8	00_H	

12.3.2 EPTCNT — EPT 制御レジスタ

このレジスタは、EPT の有効 / 無効を制御するレジスタです。

このレジスタは、PROT0PHCMD レジスタによって保護されます。

このレジスタは、外部リセットでのみリセットされます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 2C0C

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EPTCNT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12.2　EPTCNT レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	EPTCNT	0：EPT は有効 1：EPT は無効

EPT 未使用時は、上記レジスタに 1 を設定することにより、EPT 制御をパワーダウンさせることができ、消費電力削減が可能です。

12.3.3 PROT0PHCMD — 保護コマンドレジスタ

このレジスタは特別シーケンスレジスタとして使用されます。

このレジスタは内部・外部リセットの両方で、リセットすることができます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 3000

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12.3　PROT0PHCMD レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	リザーブビット 読み出すと “0” が読み出されます。書き込む値も “0” に設定してください。
7 ～ 0	PCMD[7:0]	書き込みプロテクションコマンドレジスタ

書込み保護されたレジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. PROT0PHCMD レジスタに固定値 $0000\ 00A5_H$ を書き込みます。

手順 2. 保護レジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、PROT0PS レジスタの PROTERR ビット　が 1 にセットされます。（必須ではありませんが、手順 4 の後、PROT0PS レジスタの PROTERR ビット　の値が 0 であることを確認することでも、保護されているレジスタに設定値が正しく書き込まれたことを確認できます。）

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセス　があった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ[注 1] へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、PROT0PS レジスタの PROTERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. PROT0PHCMD では、アドレス $FFF82410_H$ ～ $FFF83004_H$ に配置されたレジスタが該当します。
レジスタ名、レジスタシンボルおよびモジュール名については、「**付録　レジスタ一覧**」を参照してください。

12.3.4 PROT0PS — 保護コマンドステータスレジスタ

このレジスタは、特別シーケンスレジスタの状態レジスタとして使用されます。

このレジスタは内部・外部リセットの両方で、リセットすることができます。

アクセス 32 ビット単位でリード可能です。

アドレス FFF8 3004

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12.4　PROT0PS レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。
0	PROTERR	プロテクションエラーフラグ 0：プロテクションエラーが発生していない 1：プロテクションエラーが発生した

12.3.5 モジュールスタンバイレジスタ

モジュールスタンバイレジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。

12.3.5.1 MSRTSG — モジュールスタンバイレジスタ - TSG2

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5000

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MS_TSG21	MS_TSG20
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 12.5 MSRTSG レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1	MS_TSG21	本ビットを 1 にすると TSG21 へのクロック供給を停止します。 0：TSG21 は動作 1：TSG21 へのクロック供給を停止
0	MS_TSG20	本ビットを 1 にすると TSG20 へのクロック供給を停止します。 0：TSG20 は動作 1：TSG20 へのクロック供給を停止

12.3.5.2　MSRTAPA — モジュールスタンバイレジスタ - TAPA

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　FFC0 5004

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MS_TAPA3	MS_TAPA2	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R

表 12.6　MSRTAPA レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
3	MS_TAPA3	本ビットを 1 にすると TAPA3 へのクロック供給を停止します。 0：TAPA3 は動作 1：TAPA3 へのクロック供給を停止
2	MS_TAPA2	本ビットを 1 にすると TAPA2 へのクロック供給を停止します。 0：TAPA2 は動作 1：TAPA2 へのクロック供給を停止
1、0	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

12.3.5.3　MSROSTM — モジュールスタンバイレジスタ - OSTM

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　FFC0 5008

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	MS_OSTM2	MS_OSTM1	MS_OSTM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 12.7　MSROSTM レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
2	MS_OSTM2	本ビットを 1 にすると OSTM2 へのクロック供給を停止します。 0：OSTM2 は動作 1：OSTM2 へのクロック供給を停止
1	MS_OSTM1	本ビットを 1 にすると OSTM1 へのクロック供給を停止します。 0：OSTM1 は動作 1：OSTM1 へのクロック供給を停止
0	MS_OSTM0	本ビットを 1 にすると OSTM0 へのクロック供給を停止します。 0：OSTM0 は動作 1：OSTM0 へのクロック供給を停止

12.3.5.4 MSRWDTA — モジュールスタンバイレジスタ - WDTA

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 500C

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MS_WDTA1	MS_WDTA0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 12.8 MSRWDTA レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1	MS_WDTA1	本ビットを 1 にすると WDTA1 へのクロック供給を停止します。 0：WDTA1 は動作 1：WDTA1 へのクロック供給を停止
0	MS_WDTA0	本ビットを 1 にすると WDTA0 へのクロック供給を停止します。 0：WDTA0 は動作 1：WDTA0 へのクロック供給を停止

12.3.5.5 MSRPIC — モジュールスタンバイレジスタ - PIC

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5010

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MS_PIC2	MS_PIC1
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 12.9 MSRPIC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1	MS_PIC2	本ビットを 1 にすると PIC2 へのクロック供給を停止します。 0：PIC2 は動作 1：PIC2 へのクロック供給を停止
0	MS_PIC1	本ビットを 1 にすると PIC1 へのクロック供給を停止します。 0：PIC1 は動作 1：PIC1 へのクロック供給を停止

12.3.5.6 MSRRCAN — モジュールスタンバイレジスタ - RS-CANFD

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5014

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MS_RCAN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 12.10 MSRRCAN レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	MS_RCAN	本ビットを 1 にすると RS-CANFD へのクロック供給を停止します。 0：RS-CANFD は動作 1：RS-CANFD へのクロック供給を停止

12.3.5.7 MSRFRAY — モジュールスタンバイレジスタ - FlexRay

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5018

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	MS_FRAY	—	—	—	MS_DSAD2_7
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R	R	R/W

表 12.11 MSRFRAY レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
4	MS_FRAY	本ビットを 1 にすると FlexRay へのクロック供給を停止します。 0：FlexRay は動作 1：FlexRay へのクロック供給を停止
3 ～ 1	—	リザーブビット 読み出すと 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	MS_DSAD2_7	本ビットを 1 にすると、ΔΣAD の ch2-7 へのクロック供給を停止します。 0：ΔΣAD は動作 1：ΔΣAD の ch2-7 へのクロック供給を停止

12.3.5.8　MSRRLIN — モジュールスタンバイレジスタ - RLIN2

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　FFC0 501C

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MS_RLIN0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 12.12　MSRRLIN レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	MS_RLIN0	本ビットを 1 にすると RLIN0 へのクロック供給を停止します。 0：RLIN0 は動作 1：RLIN0 へのクロック供給を停止

12.3.5.9　MSRSCI — モジュールスタンバイレジスタ - SCI3

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　FFC0 5020

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MS_SCI3	MS_SCI2	MS_SCI1	MS_SCI0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 12.13　MSRSCI レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
3	MS_SCI3	本ビットを 1 にすると SCI3 へのクロック供給を停止します。 0：SCI3 は動作 1：SCI3 へのクロック供給を停止
2	MS_SCI2	本ビットを 1 にすると SCI2 へのクロック供給を停止します。 0：SCI2 は動作 1：SCI2 へのクロック供給を停止
1	MS_SCI1	本ビットを 1 にすると SCI1 へのクロック供給を停止します。 0：SCI1 は動作 1：SCI1 へのクロック供給を停止
0	MS_SCI0	本ビットを 1 にすると SCI0 へのクロック供給を停止します。 0：SCI0 は動作 1：SCI0 へのクロック供給を停止

12.3.5.10 MSRCSIH — モジュールスタンバイレジスタ - CSIH

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5024

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MS_CSIH3	MS_CSIH2	MS_CSIH1	MS_CSIH0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 12.14 MSRCSIH レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
3	MS_CSIH3	本ビットを 1 にすると CSIH3 へのクロック供給を停止します。 0：CSIH3 は動作 1：CSIH3 へのクロック供給を停止
2	MS_CSIH2	本ビットを 1 にすると CSIH2 へのクロック供給を停止します。 0：CSIH2 は動作 1：CSIH2 へのクロック供給を停止
1	MS_CSIH1	本ビットを 1 にすると CSIH1 へのクロック供給を停止します。 0：CSIH1 は動作 1：CSIH1 へのクロック供給を停止
0	MS_CSIH0	本ビットを 1 にすると CSIH0 へのクロック供給を停止します。 0：CSIH0 は動作 1：CSIH0 へのクロック供給を停止

12.3.5.11 MSRSAD — モジュールスタンバイレジスタ - SAR-AD

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5028

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MS_SARAD1	MS_SARAD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 12.15 MSRSAD レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1	MS_SARAD1	本ビットを 1 にすると SAR-AD1 へのクロック供給を停止します。 0：SAR-AD1 は動作 1：SAR-AD1 へのクロック供給を停止
0	MS_SARAD0	本ビットを 1 にすると SAR-AD0 へのクロック供給を停止します。 0：SAR-AD0 は動作 1：SAR-AD0 へのクロック供給を停止

12.3.5.12 MSRDAD — モジュールスタンバイレジスタ - ΔΣAD

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 502C

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MS_DSAD67	MS_DSAD45	MS_DSAD23	MS_DSAD
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 12.16 MSRDAD レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
3	MS_DSAD67	本ビットを 1 にすると ΔΣAD の ch6、7 へのクロック供給を停止します。 0：ΔΣAD の ch6、7 は動作 1：ΔΣAD の ch6、7 へのクロック供給を停止
2	MS_DSAD45	本ビットを 1 にすると ΔΣAD の ch4、5 へのクロック供給を停止します。 0：ΔΣAD の ch4、5 は動作 1：ΔΣAD の ch4、5 へのクロック供給を停止
1	MS_DSAD23	本ビットを 1 にすると ΔΣAD の ch2、3 へのクロック供給を停止します。 0：ΔΣAD の ch2、3 は動作 1：ΔΣAD の ch2、3 へのクロック供給を停止
0	MS_DSAD	本ビットを 1 にすると ΔΣAD の ch0 ～ 7 へのクロック供給を停止します。 0：ΔΣAD の ch0 ～ 7 は動作 1：ΔΣAD の ch0 ～ 7 へのクロック供給を停止

12.3.5.13 MSRATU — モジュールスタンバイレジスタ - ATU-IV

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5030

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MS_ATU
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 12.17 MSRATU レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	MS_ATU	本ビットを 1 にすると ATU へのクロック供給を停止します。 0：ATU は動作 1：ATU へのクロック供給を停止

12.3.5.14 MSRAPA — モジュールスタンバイレジスタ - APA

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5034

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MS_APA0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 12.18 MSRAPA レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	MS_APA0	本ビットを 1 にすると APA へのクロック供給を停止します。 0：APA0 は動作 1：APA0 へのクロック供給を停止

12.3.5.15 MSRDFE — モジュールスタンバイレジスタ - DFE

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5038

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MS_DFE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 12.19 MSRDFE レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	MS_DFE	本ビットを 1 にすると DFE へのクロック供給を停止します。 0：DFE は動作 1：DFE へのクロック供給を停止

12.3.5.16 MSRRHSB — モジュールスタンバイレジスタ - RHSB

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 503C

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MS_RHSB1	MS_RHSB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 12.20 MSRRHSB レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1	MS_RHSB1	本ビットを 1 にすると RHSB1 へのクロック供給を停止します。 0：RHSB1 は動作 1：RHSB1 へのクロック供給を停止
0	MS_RHSB0	本ビットを 1 にすると RHSB0 へのクロック供給を停止します。 0：RHSB0 は動作 1：RHSB0 へのクロック供給を停止

12.3.5.17 MSRRSENT — モジュールスタンバイレジスタ - RSENT

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFC0 5044

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	MS_RSENT5	MS_RSENT4	MS_RSENT3	MS_RSENT2	MS_RSENT1	MS_RSENT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 12.21 MSRRSENT レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブビット 読み出すと “0” が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
5	MS_RSENT5	本ビットを 1 にすると RSENT5 へのクロック供給を停止します。 0：RSENT5 は動作 1：RSENT5 へのクロック供給を停止
4	MS_RSENT4	本ビットを 1 にすると RSENT4 へのクロック供給を停止します。 0：RSENT4 は動作 1：RSENT4 へのクロック供給を停止
3	MS_RSENT3	本ビットを 1 にすると RSENT3 へのクロック供給を停止します。 0：RSENT3 は動作 1：RSENT3 へのクロック供給を停止
2	MS_RSENT2	本ビットを 1 にすると RSENT2 へのクロック供給を停止します。 0：RSENT2 は動作 1：RSENT2 へのクロック供給を停止
1	MS_RSENT1	本ビットを 1 にすると RSENT1 へのクロック供給を停止します。 0：RSENT1 は動作 1：RSENT1 へのクロック供給を停止
0	MS_RSENT0	本ビットを 1 にすると RSENT0 へのクロック供給を停止します。 0：RSENT0 は動作 1：RSENT0 へのクロック供給を停止

12.3.6 MSRPCMD — MSR プロテクトコマンドレジスタ

MSRPCMD レジスタは , プログラムの暴走などにより応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用するものです。

モジュールスタンバイレジスタは，あらかじめ定められたシーケンスによってのみレジスタ値が書き換えられ，不正な書き込み動作は排除されます。

アクセス　8 ビット単位でライト可能です。リード時は不定データの読み出しとなります。

アドレス　FFC0 5070

リセット後の値　不定

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W

書き込み保護されたレジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. MSRPCMD レジスタ に固定値 $A5_H$ を書き込みます。

手順 2. 保護されているレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、MSRPS レジスタの MSRPRERR ビット が 1 にセットされます。（必須ではありませんが、手順 4 の後、MSRPS レジスタの MSRPRERR ビット の値が 0 であることを確認することでも、保護されているレジスタに設定値が正しく書き込まれたことを確認できます。）

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセス があった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ[注 1] へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、MSRPS レジスタの MSRPRERR ビットが 1 になります。

- 他のモジュールのレジスタへのライトアクセス の場合、
  保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. “ 同一モジュール内の別のレジスタ ” とは、保護されているレジスタのモジュール名と同じモジュール名のレジスタのことを指します。レジスタのモジュール名については、**「付録 レジスター覧」**を参照してください。

12.3.7 MSRPS — MSR プロテクトステータスレジスタ

MSRPS レジスタは、プロテクション・エラーの発生を示す MSRPRERR フラグが割り付けられたレジスタです。

モジュールスタンバイレジスタに対して、コマンド・レジスタ設定を含む正しいシーケンスで書き込み動作をしなかった場合、対象レジスタへの書き込みは行われず、プロテクション・エラーが発生し、ステータス・フラグが（MSRPRERR）セット（1）されます。

アクセス 8 ビット単位でリード可能です。

アドレス FFC0 5074

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MSRPRERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 12.22 MSRPS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと常に 0 が読み出されます。
0	MSRPRERR	プロテクション・エラーの検出 0：プロテクション・エラーが発生していない 1：プロテクション・エラーが発生した

第 13 章　クロック同期シリアルインタフェース H（CSIH）

本章ではクロック同期シリアルインタフェース H（CSIH）全般について説明します。

13.1　CSIH の特長

チャネル数

本マイクロコントローラは以下のチャネル数のクロック同期シリアルインタフェース H を搭載しています。

表 13.1　CSIH のチャネル数

クロック同期シリアルインタフェース H	
チャネル数	4
名称	CSIH0、CSIH1、CSIH2、CSIH3

n の意味

本章では、クロック同期シリアルインタフェース H の各チャネルを「n」（n = 0 ～ 3）で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0 と記述します。

x の意味

クロック同期シリアルインタフェース H は最大 6 個のチップセレクト信号を備えています。本章では、各チップセレクト信号を「x」で識別します。たとえば、特定のチップセレクト信号は CSIHnTCSSx と記述します。
CSIH の各チャネルのチップセレクト信号の数を以下の表に示します。

表 13.2　CSIH のチップセレクト数

CSIHn チャネル	チップセレクト数
CSIH0	CSIH0TCSSx（x = 0 ～ 5）
CSIH1	CSIH1TCSSx（x = 0 ～ 3）
CSIH2	CSIH2TCSSx（x = 0 ～ 3）
CSIH3	CSIH3TCSSx（x = 0 ～ 3）

レジスタアドレス

CSIHn のレジスタアドレスは、ベースアドレス <CSIHn_base> からのオフセットで表されます。
各 CSIHn のベースアドレス <CSIHn_base> を以下の表に示します。

表 13.3　レジスタベースアドレス <CSIHn_base>

CSIHn のチャネル	<CSIHn_base> アドレス
CSIH0	$FFD8\ 0000_H$
CSIH1	$FFD8\ 2000_H$
CSIH2	$FFD8\ 4000_H$
CSIH3	$FFD8\ 6000_H$

データ整合性チェック

CSIHnTSO の兼用ポートのデータ整合性チェック対応を以下の表に示します。データ整合性チェックの詳細は、**「13.5.12　エラー検出」**を参照してください。

表 13.4　CSIHn のデータ整合性チェックの対応

CSIHn の I/O ポート	ポート機能	兼用機能	データ整合性チェック
CSIH0			
CSIH0TSO	P0_1	ALT_OUT5	対応
CSIH1			
CSIH1TSO	P13_1	ALT_OUT6	対応
CSIH1TSO	P0_7	ALT_OUT6	対応
CSIH2			
CSIH2TSO	P4_8	ALT_OUT6	対応
CSIH2TSO	P0_12	ALT_OUT7	対応
CSIH3			
CSIH3TSO	P4_1	ALT_OUT7	対応
CSIH3TSO	P7_1	ALT_OUT6	対応

13.2　端子の組み合わせの注意事項

CSIH は 1 つのチャネルを複数の端子に出しているものがありますが、以下に示すグループごとにお使いください。

グループ		CSIHn TSCK	CSIHn TSI	CSIHn TSO	CSIHn TCSS0	CSIHn TCSS1	CSIHn TCSS2	CSIHn TCSS3	$\overline{\text{CSIHn}}$ $\overline{\text{TSSI}}$	CSIHn TRY
CSIH1	A	P0_8	P0_6	P0_7	P0_9	P0_10	P0_11	P0_12	P0_13	P0_14
	B	P13_2	P13_0	P13_1	P13_3	P13_4	—	—	—	—
CSIH2	C	P4_9	P4_7	P4_8	P4_10	P4_11	P4_12	P4_13	P4_3	P4_4
	D	P0_13	P0_11	P0_12	P0_14	P1_0	P1_1	P1_2	P1_3	P1_4
CSIH3	E	P4_2	P4_0	P4_1	P4_3	P4_4	P4_5	P4_6	P4_7	P4_8
	F	P7_2	P7_0	P7_1	P7_3	P7_4	P7_5	P7_6	P7_7	P7_8

13.3 機能の概要

機能の概要

- 3 ワイヤシリアル同期データ転送
- マスタモードまたはスレーブモードを選択可能
- 設定可能な最大 6 個のチップセレクト出力信号を備えているため、複数スレーブ構成と RCB（Recessive Configuration for Broadcasting）が可能
- スレーブ選択機能を内蔵（スレーブ選択入力信号（$\overline{\text{CSIHnTSSI}}$））
- ボーレートジェネレータを内蔵
- ボーレートが調整可能。スレーブモードでは入力クロックによってボーレートを決定
- 最大転送速度：
  - マスタモード：PCLK/8: 10Mbps
  - スレーブモード：PCLK/20: 4Mbps
- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 2 ビットから 16 ビットまでの転送データ長を 1 ビット単位で選択可能
- 16 ビットを上回るデータを転送するための EDL（Extended Data Length：拡張データ長）機能
- 以下の 3 つの転送モードを選択可能：
  - 送信専用モード
  - 受信専用モード
  - 送受信モード
- ハンドシェイク機能を内蔵
- エラー検出（データ整合性チェック、パリティ、オーバラン）
- ジョブ概念のサポート
- AUTOSAR のための JOB イネーブル制御ビットを内蔵
- 自己テスト用の LBM（ループバックモード）機能
- 強制 CS アイドル設定

以下のブロック図は CSIH の主要なコンポーネントを示しています。

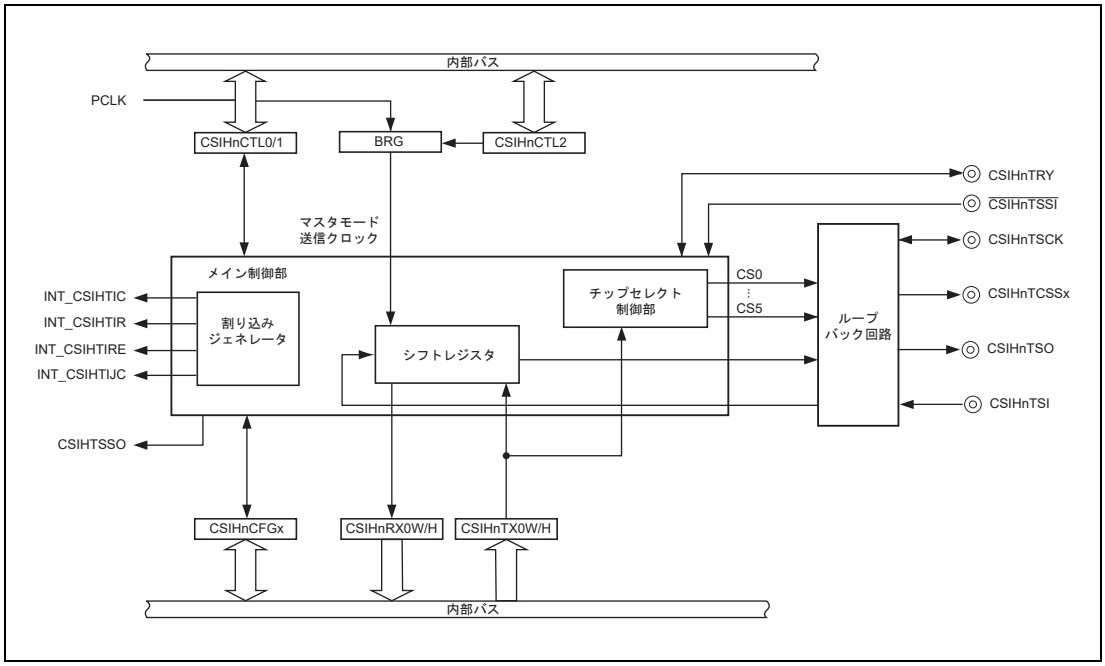


図 13.1　　CSIH のブロック図

マスタモードでは、送信クロック CSIHnTSCK が内蔵のボーレートジェネレータ（BRG）によって生成されます。スレーブモードでは、外部ソースから送信クロックが供給されます。

ループバック回路は CSIH をポートから完全に切り離し、内部の自己テストに対応します。

備　考

本章では、以下のモードについて説明します。

- 「動作モード」はマスタモードとスレーブモードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます（詳細については、**「13.5.1　動作モード（マスタ／スレーブ）」**を参照してください）。
- 「ジョブモード」は AUTOSAR ジョブ概念に関連しています（詳細については、**「13.5.3　チップセレクト（CS）機能」**の**「(3)　ジョブ概念」**を参照してください）。
- 「データ転送モード」では、通信のモードを指定します。送信専用モード、受信専用モード、送受信モードがあります（詳細については、**「13.5.6　データ転送モード」**を参照してください）。

13.4　注意事項の一覧

表 13.5　レジスタとビット動作の重要ポイント　(1/2)

レジスタ名	ビット名	内容
CSIHnCTL0	CSIHnPWR	通信中に本ビットを 0 に設定すると、実行中の通信は中断されます。
CSIHnCTL0	CSIHnTXE CSIHnRXE	CSIHnCTL0.CSIHnPWR = 0 の間、これらのビットのどちらも変更しないでください。（このビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。）実行中の通信が中断され保証されないので、CSIHnSTR0.CSIHnTSF = 1 の間、これらのビットを変更しないでください。
CSIHnCTL0	CSIHnJOBE	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。 CSIHnCTL1.CSIHnJE = 1 のときのみ、このビットは有効です。 このビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL0	CSIHnMBS	CSIHnCTL0.CSIHnPWR = 0 である間に、このビットを変更しないでください。 （このビットは CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。） このビットの変更は CSIHnSTR0.CSIHnTSF = 0 のときのみ許可されます。
CSIHnCTL1	CSIHnCKR	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 CS を使用しない場合、CSIHnCFG0-5.CSIHnCKPx の代わりにこのビットを使用し、CSIHnCFG0-5.CSIHnCKP ビットを 0 に設定してください。 このビットはスレーブモードの場合は必ず使用してください。
CSIHnCTL1	CSIHnSLIT CSIHnCSL7-0 CSIHnDCS CSIHnCSRI CSIHnEDLE CSIHnHSE	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。
CSIHnCTL1	CSIHnJE CSIHnLBM	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 このビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL1	CSIHnSSE	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 マスタモードの場合、このビットを “1” に設定することは禁止されます。
CSIHnCTL1	CSIHnSIT	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIHnCTL2	CSIHnPRS2-0	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 最大ボーレートの設定は、以下のとおりです。 • マスタモード：PCLK/8 • スレーブモード：PCLK/20
CSIHnSTR0	CSIHnTSF	書き込みは禁止します。読み出しのみ有効です。
CSIHnSTR0	CSIHnDCE CSIHnPE CSIHnOVE	これらのビットは、CSIHnCTL0.CSIHnPWR = 0 → 1 または CSIHnCTL0.CSIHnPWR = 1 → 0 のときに初期化されます。
CSIHnCFGx	CSIHnBRSSx1-0 CSIHnRCBx CSIHnIDLx CSIHnIDx2-0 CSIHnHDx3-0 CSIHnINx3-0 CSIHnSPx3-0	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、これらのビットを “0” に設定してください。

表 13.5 レジスタとビット動作の重要ポイント (2/2)

レジスタ名	ビット名	内容
CSIHnCFGx	CSIHnPSx1-0 CSIHnDLSx3-0 CSIHnDIRx CSIHnDAPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードのときは、CSIHnCFG0 の設定が使用されます。したがって、CSIHnCFG1 ～ 5 のすべてのビットを “0” に設定する必要があります。
CSIHnCFGx	CSIHnCKPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 スレーブモードでは、CSIHnCTL1.CSIHnCKR を使用する必要があるため、本ビットには “0” を設定してください。 CS が使用されていない場合、このビットの代わりに、CSIHnCTL1.CSIHnCKR ビットを使用し、このビットを “0” に設定してください。
CSIHnTX0W	CSIHnEOJ	このビットは、CSIHnCTL1.CSIHnJE = 1 のときのみ有効です。 CSIHnCTL1.CSIHnJE = 0 のとき、リード値が “1” でも、この値は無視されます。 スレーブモードでは、このビットを “0” に設定してください。
CSIHnTX0W	CSIHnEDL	このビットは、CSIHnCTL1.CSIHnEDLE = 1 のときのみ有効です。 CSIHnCTL1.CSIHnEDLE = 0 のとき、リード値が “1” でも、この値は無視されます。
CSIHnTX0W	CSIHnCS7-0	マスタモード時は、これらのビットを “FF_H” に設定することは禁止されています。 スレーブモード時は、これらのビットを “FE_H” に設定してください。
CSIHnTX0W CSIHnTX0H		CSIHnCTL0.CSIHnTXE = CSIHnCTL0.CSIHnRXE = 0 のとき、これらのビットの書き込みは禁止されます。
CSIHnRX0W CSIHnRX0H		CSIHnCTL0.CSIHnPWR = 0 → 1 または CSIHnCTL0.CSIHnPWR = 1 → 0 のとき、これらのビットは初期化されます。
CSIHnBRSi		これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR = 0 のときのみ許可されます。 最大ボーレートの設定は、CSIH0CTL2.PRS2 ～ 0 設定と合わせて、以下のとおりです。 • マスタモード：PCLK/8 • スレーブモード：PCLK/20

13.5　機能の説明

クロック同期シリアルインタフェースでは以下の 3 つの信号を通信に使用します。

- 送信クロック CSIHnTSCK（マスタモードでは出力、スレーブモードでは入力）
- データ出力信号 CSIHnTSO
- データ入力信号 CSIHnTSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- $\overline{\text{CSIHnTSSI}}$：スレーブ選択入力信号
- CSIHnTRY：ハンドシェイク信号
- CSIHnTCSSx：チップセレクト信号

データ送信は、1 ビットずつシリアルに行われ、送信クロックに同期します。

CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

表 13.6　CSIH の主なレジスタ

レジスタ	機能
CSIHnCTL0	シリアルクロックを有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効（バッファのバイパス）にします。
CSIHnCTL1	割り込みのタイミング、拡張データ長、ジョブの機能、データ整合性チェック、ループバックモード、ハンドシェイクなどのオプション機能を制御します。
CSIHnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵ボーレートジェネレータ（BRG）でボーレートを選択します。
CSIHnBRSi	チップセレクト信号ごとにボーレートを設定するためのレジスタです。
CSIHnCFGx	各チップセレクト信号の通信プロトコルを設定するレジスタです。

13.5.1 動作モード（マスタ／スレーブ）

CSIH がマスタモードまたはスレーブモードのどちらで動作するかでシリアルクロックのソースが異なります。

(1) マスタモード

マスタモードでは、シリアル送信クロックが内蔵のボーレートジェネレータ（BRG）によって生成され、CSIHnTSCK 信号を介してスレーブに供給されます。

マスタモードは、CSIHnCTL2.CSIHnPRS[2:0] を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIHnCTL2. CSIHnPRS[2:0] ビットと CSIHnBRSi.CSIHnBRSi[11:0] ビットを組み合わせて設定することで BRG の周波数を設定できます。

チップセレクト信号

マスタモードでは、1 つ以上のチップセレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップセレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。

通信プロトコルとさまざまなパラメータはチップセレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、**「13.5.3 チップセレクト（CS）機能」**を参照してください。

クロックのデフォルト設定

CSIHnTSCK のデフォルトレベルは、CSIHnTSCK のクロック反転機能ビット CSIHnCTL1.CSIHnCKR の状態によって異なります。CSIHnTSCK のデフォルトレベルは、CSIHnCTL1.CSIHnCKR = 0 であればハイレベルであり、CSIHnCTL1.CSIHnCKR = 1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIHnCTL1.CSIHnCKR = 0、CSIHnCFGx.CSIHnCKPx = 0、CSIHnCFGx.CSHBAnDAPx = 0、MSB ファーストのときのマスタモードの通信を示しています。

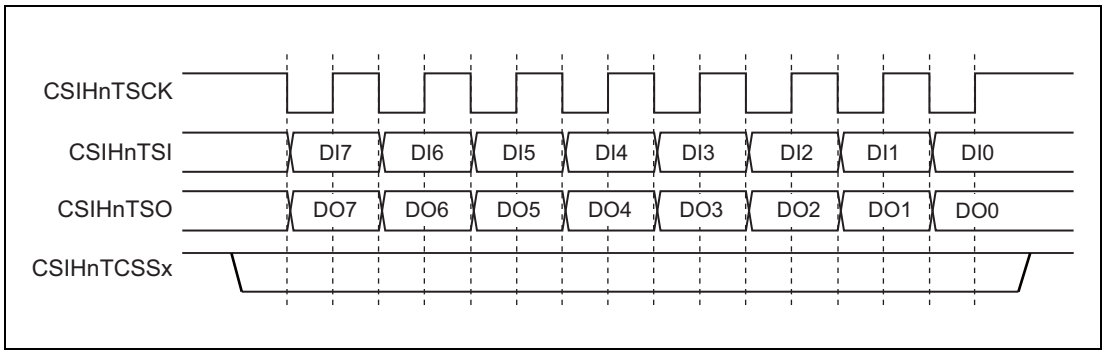


図 13.2 マスタモードでの送受信

(2) スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになり、送信クロックが供給されます。クロック信号を検出すると、ただちに通常どおりの送信動作または受信動作が開始されます。

スレーブモードは、CSIHnCTL2.CSIHnPRS[2:0] ビットを 111_B に設定することによって選択されます。

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります（CSIHnCFG1-CSIHnCFGx レジスタの設定は無効となります）。

- CSIHnPS0[1:0]：パリティの使用法
- CSIHnDLS0[3:0]：データ長の選択
- CSIHnDIR0：データ方向
- CSIHnCKP0、CSIHnDAP0：クロック位相とデータ位相

備　考

スレーブモードを使用するときは、CSIHnBRSi.CSIHnBRSi[11:0] ビットを 000_H にすることによってボーレートジェネレータ（BRG）を無効にします。

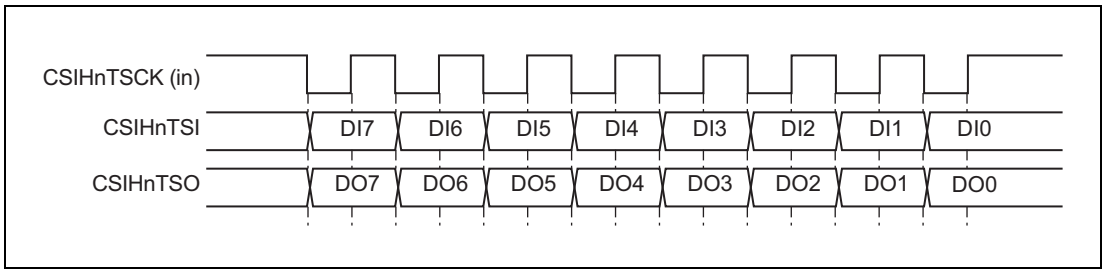


図 13.3　スレーブモードでの送受信

13.5.2 マスタ／スレーブの接続

(1) マスタ 1、スレーブ 1 の場合

以下の図は、1 つのマスタと 1 つのスレーブの間の接続を示しています。

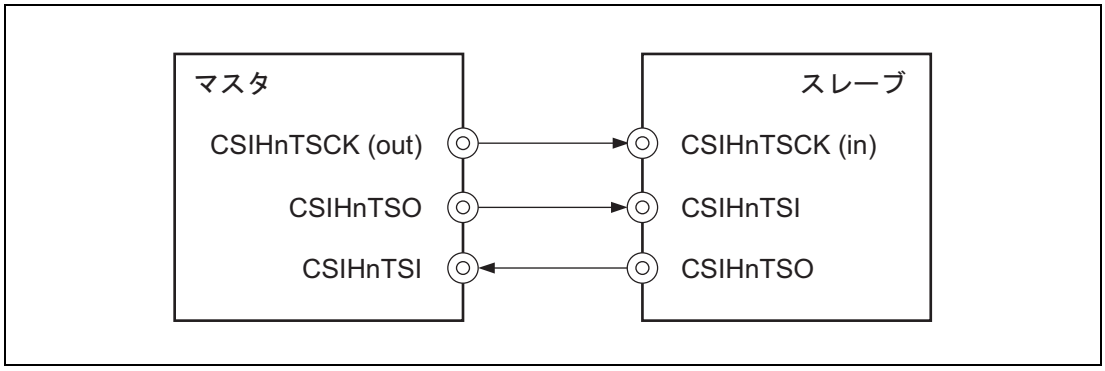


図 13.4 マスタ／スレーブ間の直接の接続

(2) マスタ 1、スレーブ複数の場合

以下の図は、1 つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタが各スレーブに 1 つずつチップセレクト（CS）信号を供給します。この信号は、スレーブのスレーブ選択入力 $\overline{\text{CSIHnTSSI}}$ に接続されます。

$\overline{\text{CSIHnTSSI}}$ 信号は、CSIHnCTL1.CSIHnSSE ビットを使用して有効または無効にすることができます。

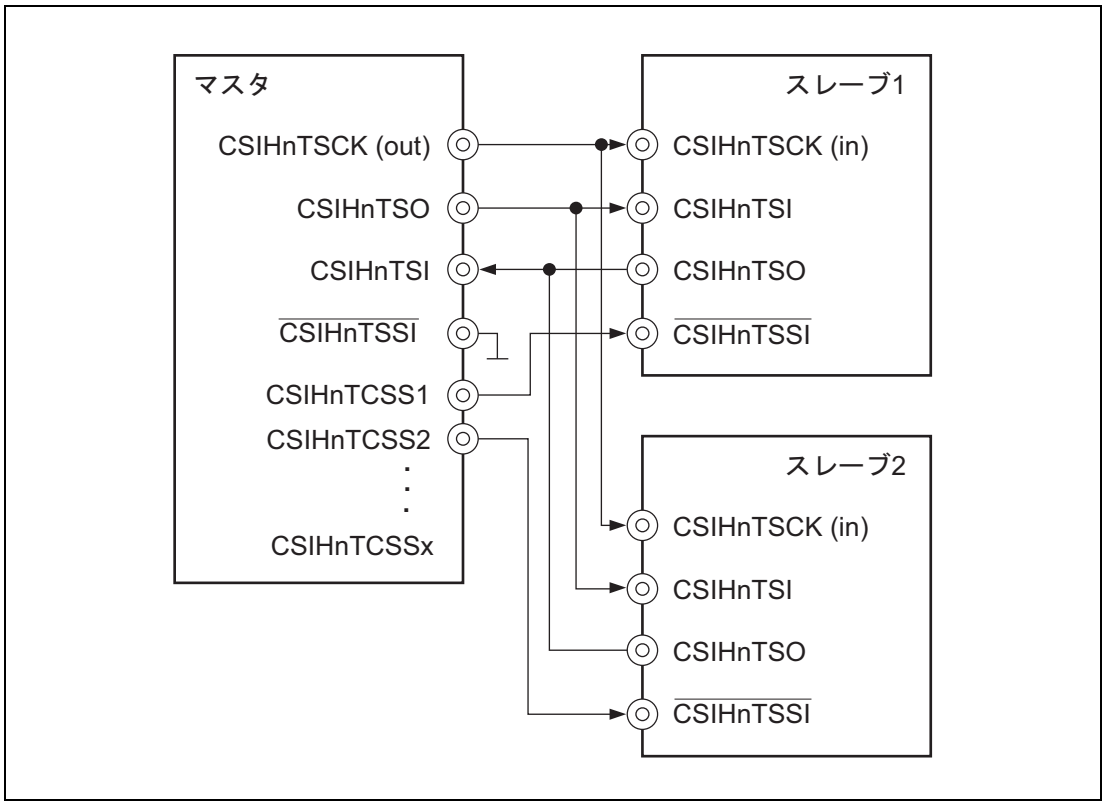


図 13.5 1 つのマスタと複数のスレーブの間の接続

デフォルトのチップセレクトレベルはアクティブロウです。つまり、スレーブの $\overline{\text{CSIHnTSSI}}$ 信号がロウレベルになっていると、そのスレーブが CSIH スレーブとして選択されます（有効になります)。ただし、CS をほかのデバイスに適合させるために、チップセレクト信号の出力レベルがアクティブハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、送信専用モードまたは送受信モードに設定されている (CSIHnCTL0.CSIHnTXE = 1) とき、選択されていないスレーブの出力 CSIHnTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

13.5.3 チップセレクト（CS）機能

マスタはチップセレクト信号 CSIHnTCSSx を使用して 1 つ以上のスレーブを通信相手として選択することができます。

(1) コンフィグレーションレジスタ

各チップセレクト信号 CSIHnTCSSx のパラメータは、対応するコンフィグレーションレジスタ CSIHnCFGx で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：送信または受信されるビットの数。
- 転送方向：MSB ファーストまたは LSB ファースト。
- パリティの使用法：奇数、偶数、0 パリティまたは、なし。
- クロック位相とデータ位相。

マスタモードでのみ利用可能な各チップセレクト信号の付加的なパラメータを以下に示します。

- 各チップセレクト信号個別のボーレートジェネレータのプリスケーラ選択。
- チップセレクト優先度：チップセレクト信号を「ドミナント」と「リセッシブ」に分けます。設定の異なる複数のチップセレクト信号がメッセージブロードキャスティング用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。

この原則は、「RCB（Recessive Configuration for Broadcasting）」とも呼ばれます。

注　意

すべてのドミナントチップセレクト信号の設定が同じである場合を除き、複数のチップセレクト信号をドミナントに指定し、それぞれの信号を別の設定にすることは禁止されています。

- チップセレクトのタイミング
  - セットアップ時間 T_{setup}：CS 信号をアクティブに設定してからデータの出力が開始されるまでの時間。
  - データ間時間 T_{inter}：同じ CS 信号がアクティブになっている間の 1 つのデータと次のデータの間の時間。
  - ホールド時間 T_{hold}：CS が切り替わるまでに CS のアクティブレベルが保持される時間。
  - アイドル時間 T_{idle}：CS 信号が終了したあと、または同じ CSx への 1 回ごとのデータ転送が完了したあとの非アクティブ時間。

以下の図に CS のセットアップ時間、データ間時間、ホールド時間、アイドル時間のタイミングを示します。CSIHnCFGx.CSIHnIDLx ビットに 1 を設定した場合、CS 信号に関係なく 1 転送ごとにアイドル時間を挿入します。

CSIHnTCSS1 信号と CSIHnTCSS2 信号がデフォルトのアクティブロウ（CSIHnCTL1. CSIHnCSL1 ビット = 0, CSIHnCTL1.CSIHnCSL2 ビット = 0）に設定した場合の例を**図 13.6** に示します。アクティブレベルは CS ごとに個別に指定することができます。

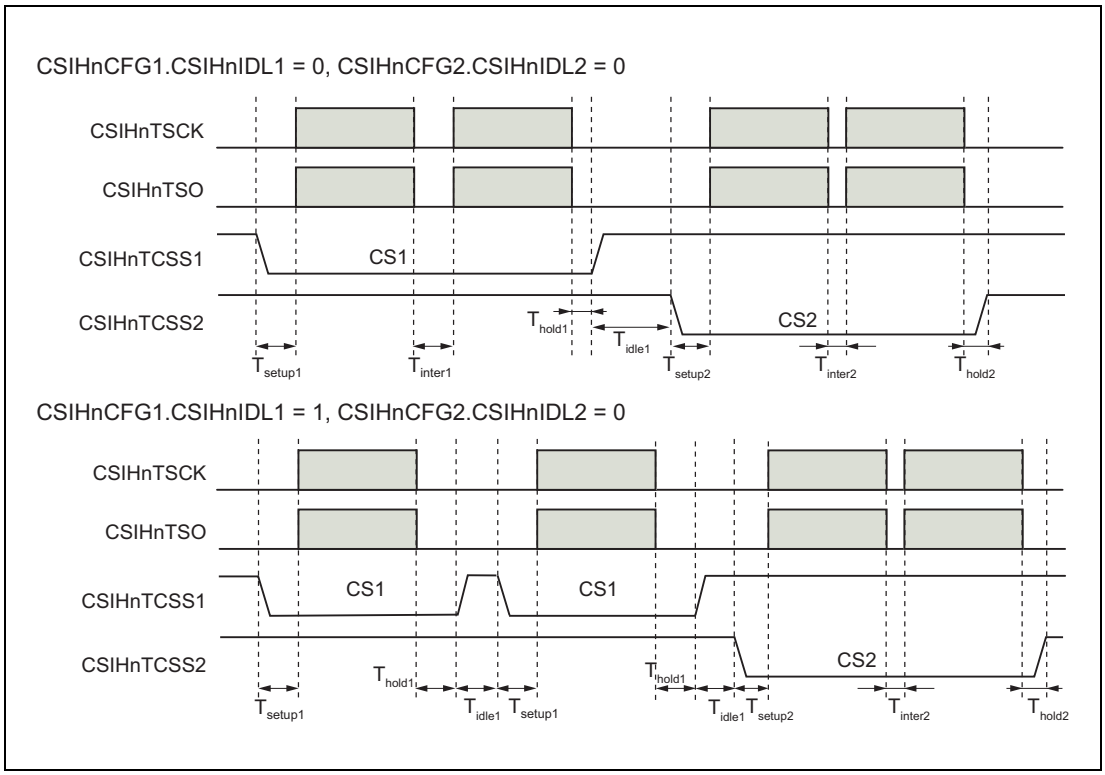


図 13.6　チップセレクトのタイミング

セットアップ時間、データ間時間、ホールド時間、アイドル時間を CS 信号ごとに個別に設定できる点に注意してください。

特定のチップセレクト信号をアクティブにするには、送信レジスタ CSIHnTX0W.CSIHnCS[7:0] の対応するビットをセットします。

受信レジスタの CSIHnRX0W.CSIHnCS[7:0] は、受信データに関連付けられたチップセレクト信号を示します。

(2) CS の例

以下の図は 2 回続けてデータを送信する例を示しています。

最初の通信では CS0 を使用して 1 つのスレーブと通信しています。2 番目の通信では CS0 と CS1 を有効にして 2 つのスレーブにメッセージをブロードキャストしています。CS0 の優先度は「リセッシブ：低優先度」に設定されており、CS1 の優先度は「ドミナント：高優先度」に設定されています。よって、2 番目の通信はドミナントに設定されている CS1 の設定を用いて行われます。

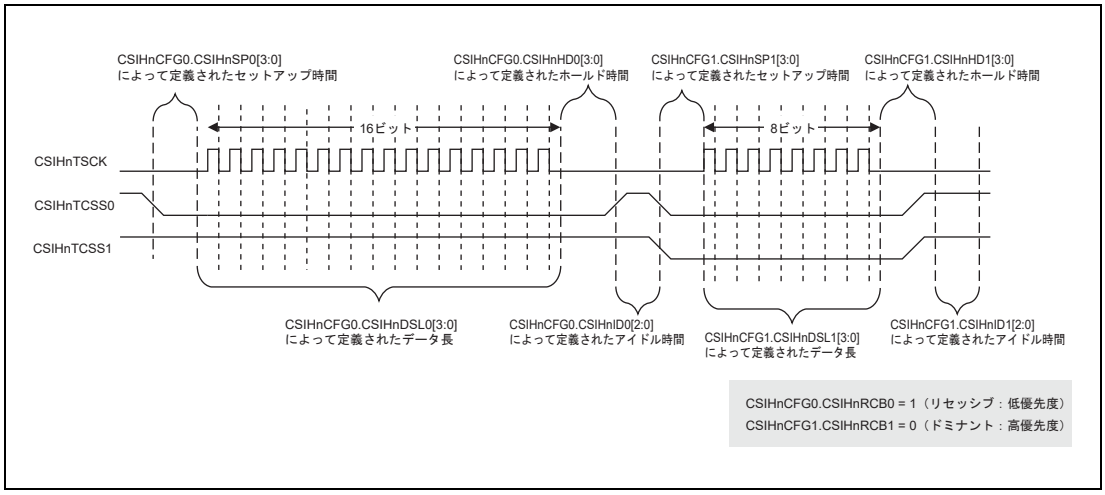


図 13.7　　チップセレクトと RCB の例

(3) ジョブ概念

CSIH でいうジョブは、転送の対象となる複数のデータから構成されます。

ジョブモードの有効化

ジョブモードはマスタモードでのみ有効になります。CSIHnCTL0.CSIHnPWR = 0 の設定によって CSIH が無効になっている間に、CSIHnCTL1.CSIHnJE によってジョブモードを有効または無効にします。

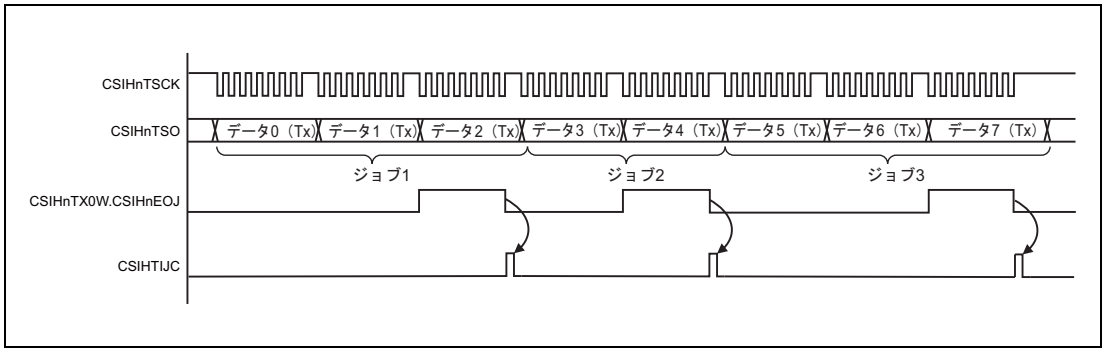


図 13.8　ジョブの例

エンドオブジョブビットがセットされたデータ、つまり CSIHnTX0W.CSIHnEOJ = 1 に設定されているデータを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHnCTL0.CSIHnJOBE をセットします。CSIHnJOBE がセットされていると、CSIHnEOJ ビットがセットされたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、ジョブ完了割り込み INT_CSIHTIJC が生成されます。

13.5.4 チップセレクトのタイミングの詳細

(1) クロック位相の変更

CSIHnCFGx.CSIHnCKPx によって指定されたシリアルクロックレベルを通信停止中に変更することができます。アイドル時間の最小値は、クロック位相が同じ場合は送信クロック（CSIHnTSCK）の 0.5 周期、位相が異なる場合は 1 周期です。

CSIHnCFGx.CSIHnIDx[2:0] でアイドル時間が 0.5 送信クロック周期に設定されており、異なる CSIHnCFGx.CSIHnCKPx の設定を持つ 2 つのデータが連続して送信されると、アイドル時間が自動的に CSIHnTSCK の 1 周期に延長されます。

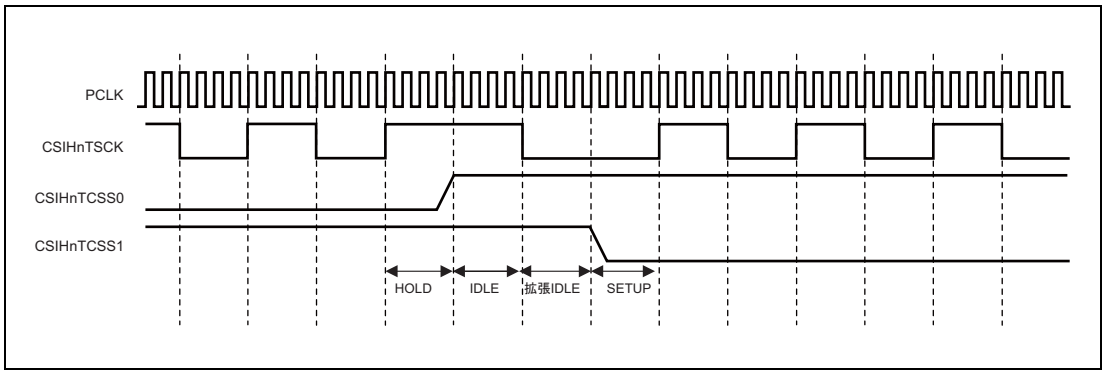


図 13.9 クロック位相のタイミング（PCLK/8、Thold0 = Tsetup1 = 0（0.5CSIHnTSCK）、Tidle0 = 0（0.5CSIHnTSCK）、CSIHnCFG0.CSIHnCKP0 = 0（CSIHnTCSS0）→ CSIHnCFG1.CSIHnCKP1 = 1（CSIHnTCSS1）の場合）

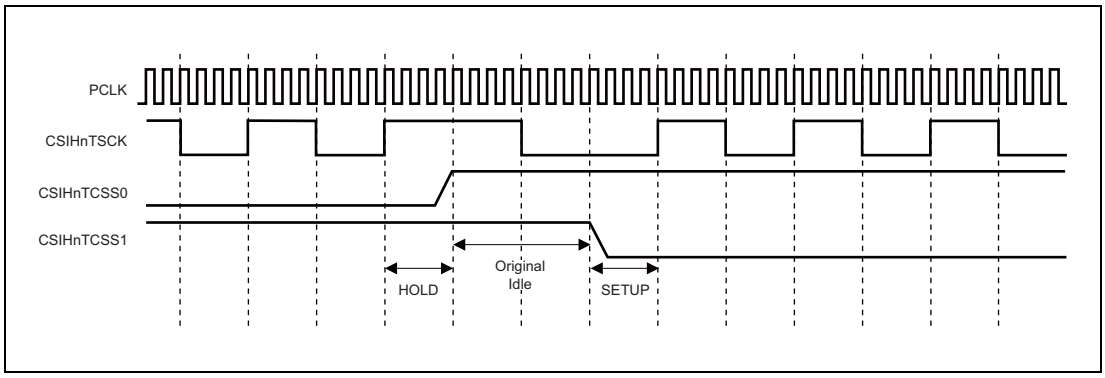


図 13.10 クロック位相のタイミング（PCLK/8、Thold0 = Tsetup1 = 0（0.5CSIHnTSCK）、Tidle0 = 1（1CSIHnTSCK）、CSIHnCFG0.CSIHnCKP0 = 0（CSIHnTCSS0）→ CSIHnCFG1.CSIHnCKP1 = 1（CSIHnTCSS1）の場合）

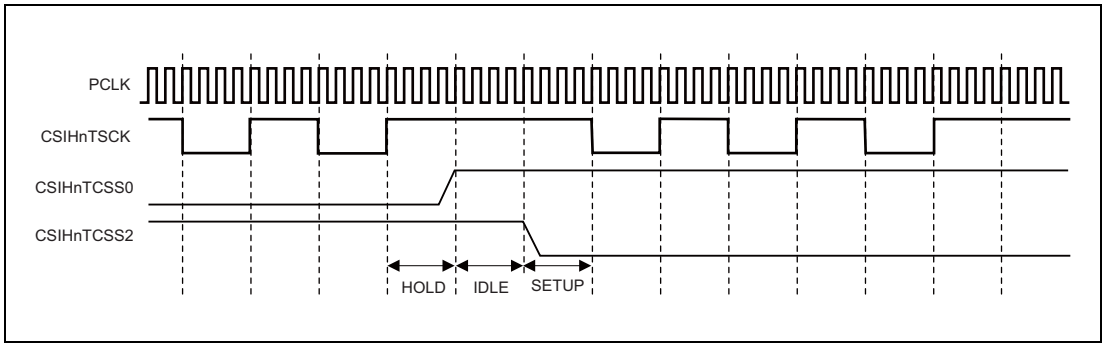


図 13.11　クロック位相のタイミング（PCLK/8、Thold0 = Tsetup1 = 0（0.5CSIHnTSCK）、Tidle0 = 0（0.5CSIHnTSCK）、CSIHnCFG0.CSIHnCKP0 = 0（CSIHnTCSS0）→ CSIHnCFG2.CSIHnCKP2 = 0（CSIHnTCSS2）の場合）

(2) データ位相の変更

CSIHnCFGx.CSIHnDAPx ビットでは、クロックを基準とするデータビットの位相を定義します。

CSIHnCFGx.CSIHnDAPx ビット とホールド／セットアップ期間の関係は次のとおりになります。

ホールド期間は、CSIHnCFGx.CSIHnDAPx の設定に関係なく、シリアルクロック（CSIHnTSCK）の最後のエッジから CSIHnTCSSx がインアクティブレベルになるまでの期間です。

セットアップ期間は、CSIHnTCSSx がアクティブレベルになるときから送信データ（CSIHnTSO）が出力されるまでの期間です。

したがって、CSIHnCFGx.CSIHnDAPx の設定によりシリアルクロック（CSIHnTSCK）のエッジが出力されるまで 0.5 CSIHnTSCK 分のずれがあります。

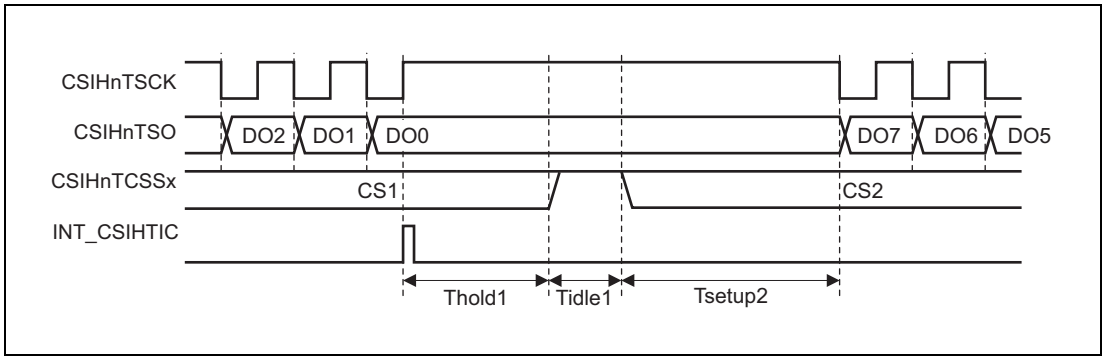


図 13.12　データ位相のタイミング（CSIHnCFG1.CSIHnCKP1 = 0、CSIHnCFG1.CSIHnDAP1 = 0 かつ CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 0 の場合）

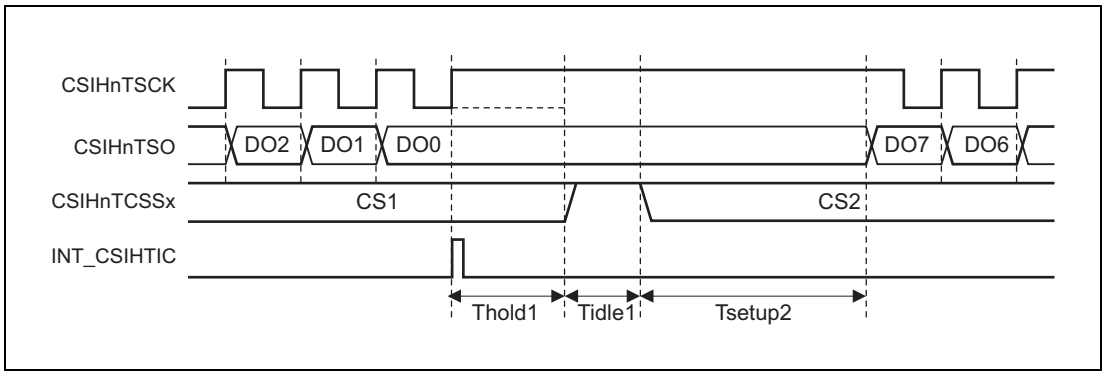


図 13.13　データ位相のタイミング（CSIHnCFG1.CSIHnCKP1 = 1、CSIHnCFG1.CSIHnDAP1 = 0 かつ CSIHnCFG2.CSIHnCKP2 = 0、CSIHnCFG2.CSIHnDAP2 = 1 の場合）

13.5.5 送信クロックの選択

マスタモードでは、以下のビットを使って送信ボーレートを選択できます。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnBRSi.CSIHnBRS[11:0]
- CSIHnCFGx.CSIHnBRSSx[1:0]

送信クロック CSIHnTSCK のボーレートは、CSIHnCTL2.CSIHnPRS[2:0] の設定と、CSIHnBRSi.CSIHnBRSi[11:0] の設定によって決まりますが、CSIHnCFGx.CSIHnBRSSx[1:0] によってチップセレクト信号ごとに CSIHnBRS3 ～ CSIHnBRS0 の 4 種類のうちいずれか 1 つの設定を選択することができます。

ボーレートジェネレータのブロック図を以下に示します。

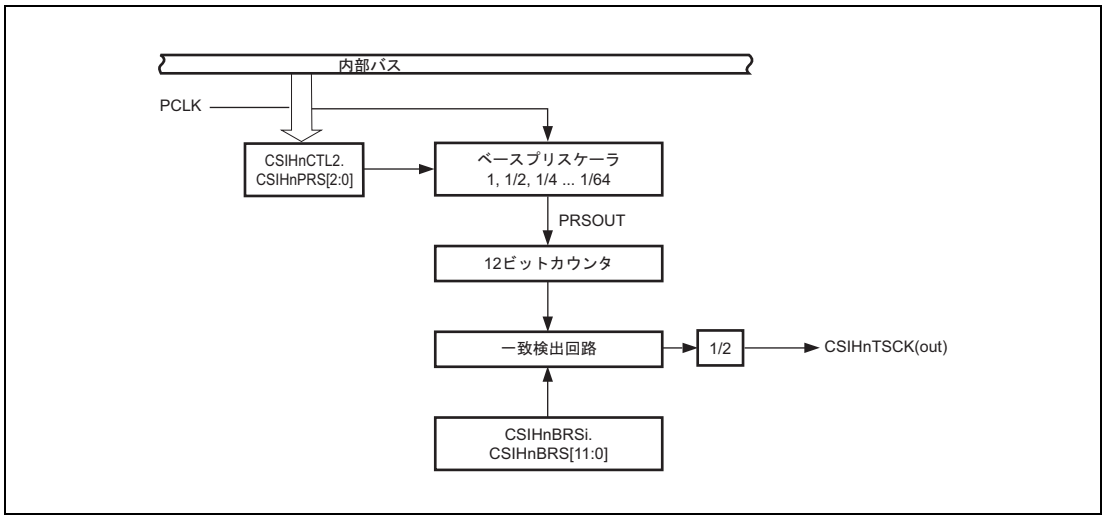


図 13.14　ボーレートジェネレータのブロック図

CSIH0BRS[3:0].CSIH0BRS[11:0] に 000_H を設定すると、ボーレートジェネレータが無効になり、すべての CSIHnTSCK が停止します。

ボーレートの計算

ボーレートは以下の式で計算します。

$$CSIHnTSCK = PCLK / (2^m \times k \times 2)$$

ただし、

m = CSIHnCTL2.CSIHnPRS[2:0] = 0 ～ 6

k = CSIH0BRSx (x = 0 ～ 3).CSIH0BRS0 11-0 = 1 to 4095
(CSIH0BRSS1-0 = 0 時)
CSIH0BRSx (x = 0 ～ 3).CSIH0BRS1 11-0 = 1 to 4095
(CSIH0BRSS1-0 = 1 時)
CSIH0BRSx (x = 0 ～ 3).CSIH0BRS2 11-0 = 1 to 4095
(CSIH0BRSS1-0 = 2 時)
CSIH0BRSx (x = 0 ～ 3).CSIH0BRS3 11-0 = 1 to 4095
(CSIH0BRSS1-0 = 3 時)

ボーレートの上限と下限

ボーレートを設定するときは、以下のことに注意してください。

- マスタモードで使用できる最大ボーレートは PCLK / 8 です。
- スレーブモードで使用できる最大ボーレートは PCLK / 20 です（外部マスタのボーレートがこの範囲に収まっていることを確認する必要があります）。
- いずれのモードでも最小ボーレートは PCLK / 524160 です。

例

PCLK = 80 MHz の場合、最大ボーレートは以下のとおりです。

- マスタモードでは 10 Mbps（PCLK / 8）
- スレーブモードでは 4 Mbps（PCLK / 20）

最小ボーレートは 152.625 bps（PCLK / 524160）です。

13.5.6 データ転送モード

(1) 送信専用モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 0 に設定すると、CSIH は送信専用モードになります。

- CSIHnTX0W レジスタまたはCSIHnTX0H レジスタに送信データが書き込まれると送信が開始されます。

(2) 受信専用モード

CSIHnCTL0.CSIHnTXE = 0 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は受信専用モードになります。

- CSIHnTX0W レジスタまたはCSIHnTX0H レジスタにダミーデータが書き込まれると受信が開始されます。

スレーブモードでは、マスタから送信クロック CSIHnTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータを書き込む必要はありません。

(3) 送受信モード

CSIHnCTL0.CSIHnTXE = 1 かつ CSIHnCTL0.CSIHnRXE = 1 に設定すると、CSIH は送受信モードになります。

- CSIHnTX0W レジスタまたはCSIHnTX0H レジスタに送信データが書き込まれると通信が開始されます。

(4) まとめ

以下の表にこのセクションのまとめを記載します。この表は、動作モード、転送モードでデータ転送を開始する条件を示しています。

表 13.7 データ転送の開始

動作モード		転送モード	
		送信専用モード 送受信モード	受信専用モード
ダイレクトアクセスモード	マスタ	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信

13.5.7 データ長の選択

(1) 2 ～ 16 ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0] を使用して、チップセレクト信号ごとに 2 ビットから 16 ビットの間のデータパケット長を選択できます。以下の例は、MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）での通信を示しています。

データ長 = 16 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 0000_B）

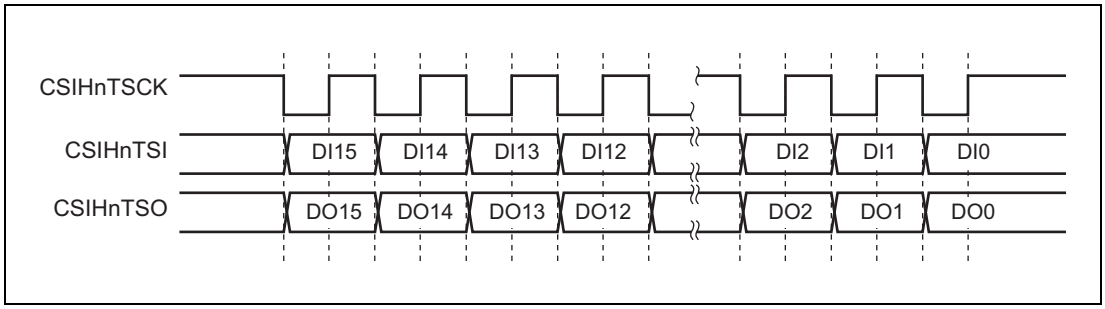


図 13.15 データ長 16 ビット、MSB ファースト

データ長 = 14 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1110_B）

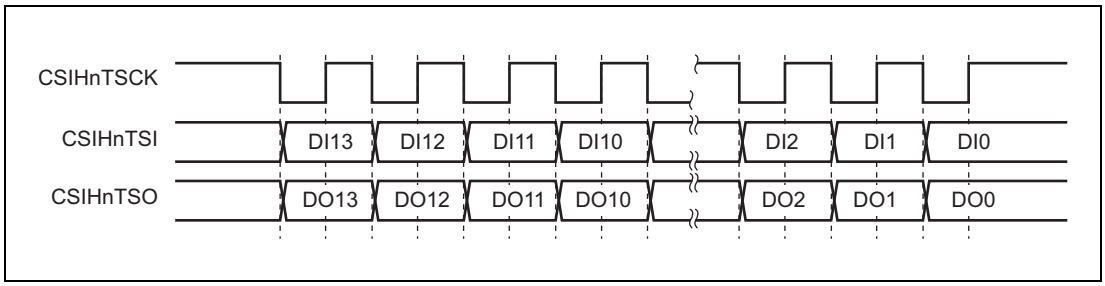


図 13.16 データ長 14 ビット、MSB ファースト

(2) 16 ビットを上回るデータ長

16 ビットを上回るデータを送受信する場合は、拡張データ長（EDL）機能を使用できます。

EDL 機能は CSIHnCTL1.CSIHnEDLE ビットに 1 をセットすることで有効になります。

EDL 機能は以下の仕組みで機能します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば、42 ビットのデータは 2 つの 16 ビットブロックと 10 ビットに分割します。
- 剰余部分のビット長は、CSIHnCFGx.CSIHnDLSx[3:0] ビットに、「データ長」として設定します。
- 16 ビットブロックを送信するには、CSIHnTX0W.CSIHnEDL を 1 にセットする必要があります。その場合、CSIHnTX0W に書き込まれるデータは、CSIHnCFGx.CSIHnDLSx[3:0] ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長（CSIHnTX0W.CSIHnEDL = 0 に設定して指定された剰余部分）のブロックが送信されると転送が完了します。

例

$123456789A_H$ という 40 ビットのデータを CS0 に送信する例

40 ビットを 2 つの 16 ビットと 8 ビットに分割します。

- CSIHnCFG0.CSIHnDLS0[3:0] = 8 に初期化します。
- $123456789A_H$ を MSB ファーストで送信するには、以下のシーケンスを CSIHnTX0W に書き込みます。
  - $20FE\ 1234_H$ (CSIHnTX0W.CSIHnEDL = 1)
  - $20FE\ 5678_H$ (CSIHnTX0W.CSIHnEDL = 1)
  - $00FE\ 009A_H$ (CSIHnTX0W.CSIHnEDL = 0)

以下にタイミング図を示します。

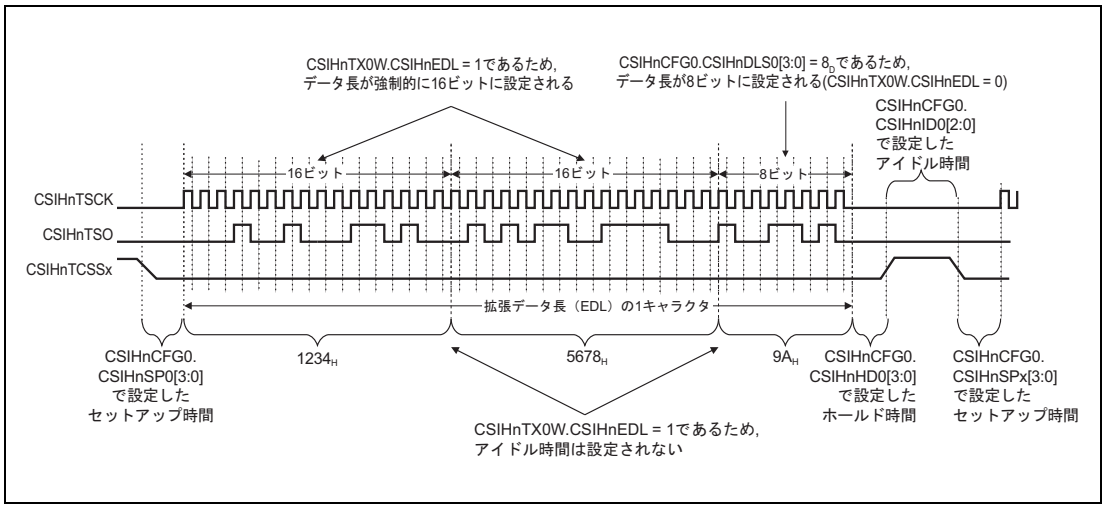


図 13.17　EDL のタイミング図

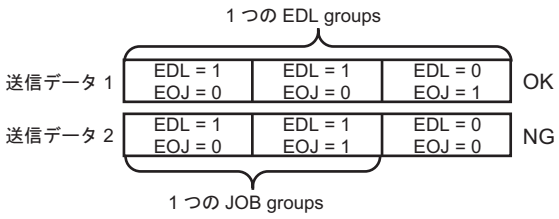
備　考

1. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されます。
2. 拡張データ長（EDL）機能を使用して送信しているときは、同一のチップセレクト信号を使用してください。
3. 以下の例でデータ方向について説明します。

   送信されるデータ：123456_H

   MSB ファースト：
   CSIHnCFGx.CSIHnDIRx = 0 に設定
   CSIHnTX0W = 2000 1234_H を書き込み（EDL ビット = 1）
   CSIHnTX0W = 0000 0056_H を書き込み（EDL ビット = 0）

   LSB ファースト：
   CSIHnCFGx.CSIHnDIRx = 1 に設定
   CSIHnTX0W = 2000 3456_H を書き込み（EDL ビット = 1）
   CSIHnTX0W = 0000 0012_H を書き込み（EDL ビット = 0）
4. ジョブモード時で EDL 機能が有効 (CSIHnCTL1.CSIHnJE = 1、CSIHnCTL1.CSIHnEDLE = 1) の場合、CSIHnTX0W.CSIHnEDL = 1 のまま CSIHnTX0W.CSIHnEOJ を 1 にセットすると、動作を保証できません。



5. EDL モードは、スレーブモードの受信専用モードでは使えません。
（CSIHnCTL2.CSIHnPRS[2:0] = 111_B, CSIHnCTL0.CSIHnTXE = 0,
CSIHnCTL0.CSIHnRXE = 1）

13.5.8 シリアルデータ方向の選択

CSIHnCFGx レジスタの CSIHnDIRx ビットを使用して、チップセレクト信号ごとにシリアルデータ方向を選択することができます。

以下の例はデータ長 8 ビットの通信（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）を示しています。

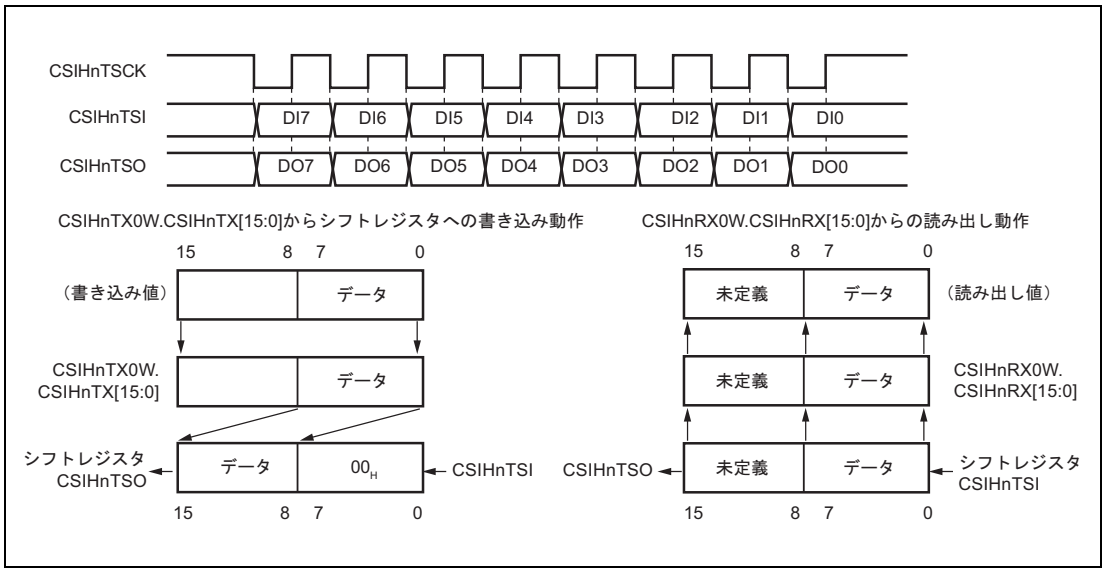


図 13.18 シリアルデータ方向選択機能 - MSB ファースト（CSIHnDIRx = 0）

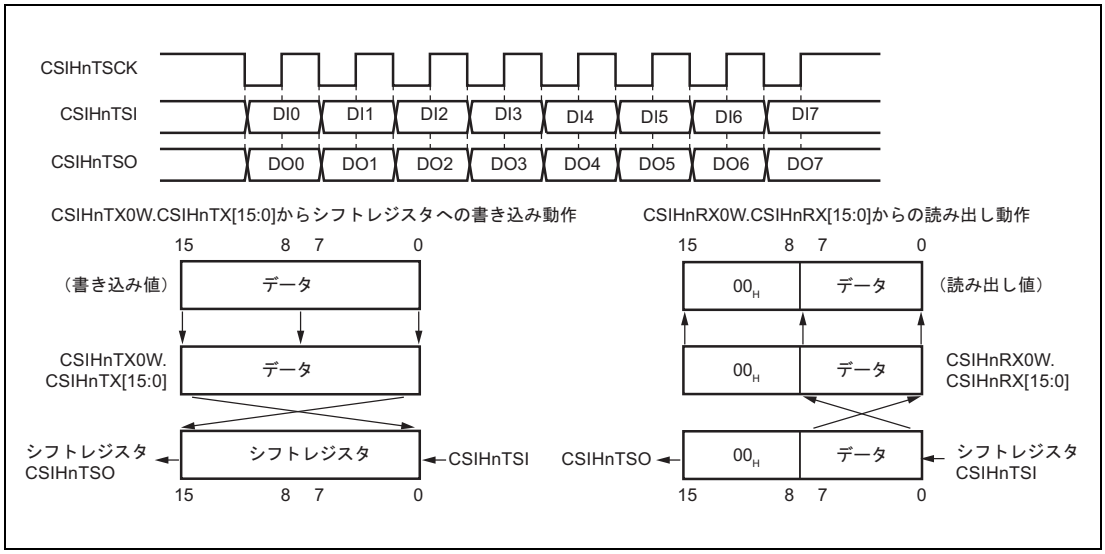
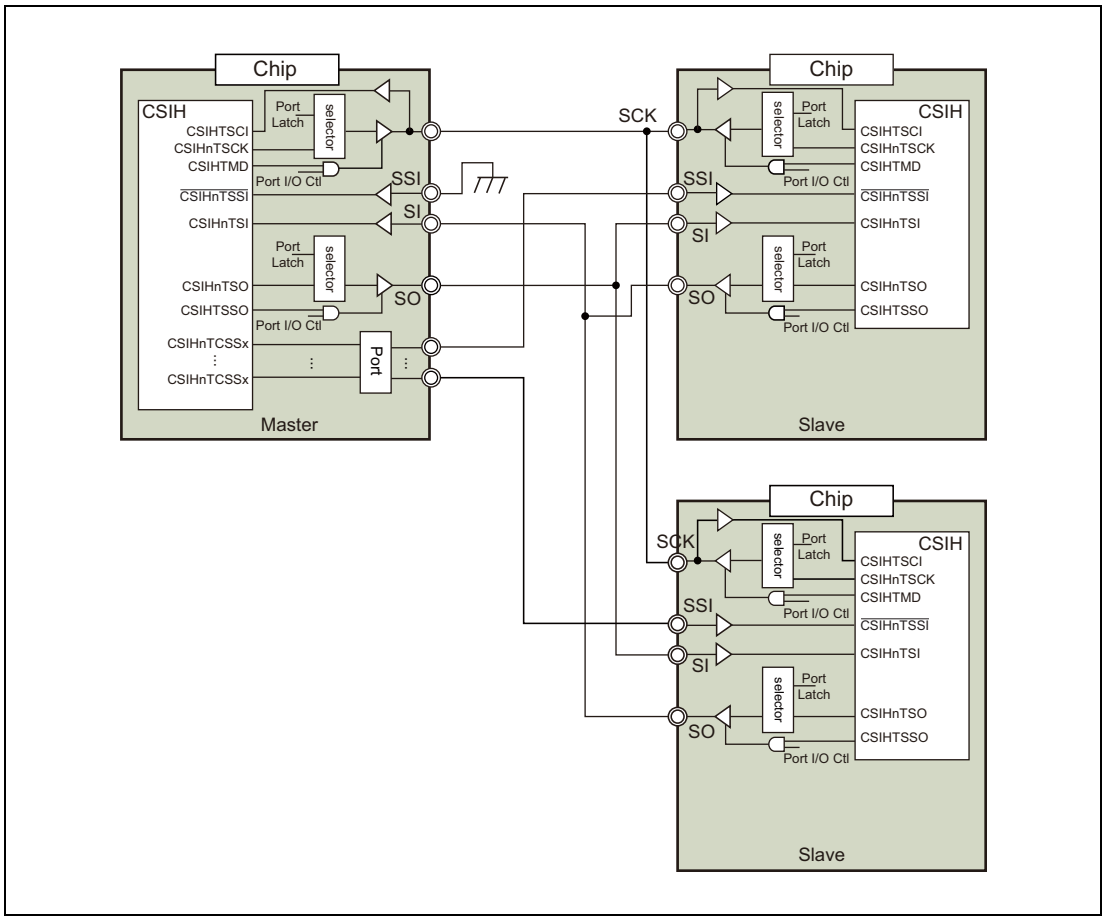


図 13.19 シリアルデータ方向選択機能 - LSB ファースト（CSIHnDIRx = 1）

13.5.9 スレーブモードでの通信

(1) システムの概要



本 CSIH は、スレーブ選択機能を使用することによって 1 つのマスタと複数のスレーブ間の通信を実現します。マスタチップは、スレーブチップの 1 つにスレーブ選択信号（CSIHnTCSSx）を出力します。各スレーブチップは、自身の CSIH が選択されている対象スレーブか否かを判断します。選択されている場合、スレーブチップは、SO 端子の I/O 機能が出力端子となるよう制御する必要があります。その後、スレーブチップは送信データをマスタチップに送ることができます。スレーブチップとして選択されていない場合、SO 端子は選択されているほかのスレーブチップからの SO 出力と競合しないよう、入力機能として設定されていなければなりません。また、選択されていないスレーブチップは、マスタチップからシリアルクロックを受け取っても、データは受信しません。マスタチップの SI 端子とボード上のすべてのスレーブチップの複数の SO 端子を接続することで、1 つのマスタと複数のスレーブ間の通信が可能になります。本シリアルデータラインにレベル保持回路を配置することを推奨します。

(2) 通信のタイミング

以下の図は、スレーブモードでの通信の信号とタイミングを示しています。

スレーブモードでは、CSIHnCFG0 レジスタによってデータ転送の設定が決まります。

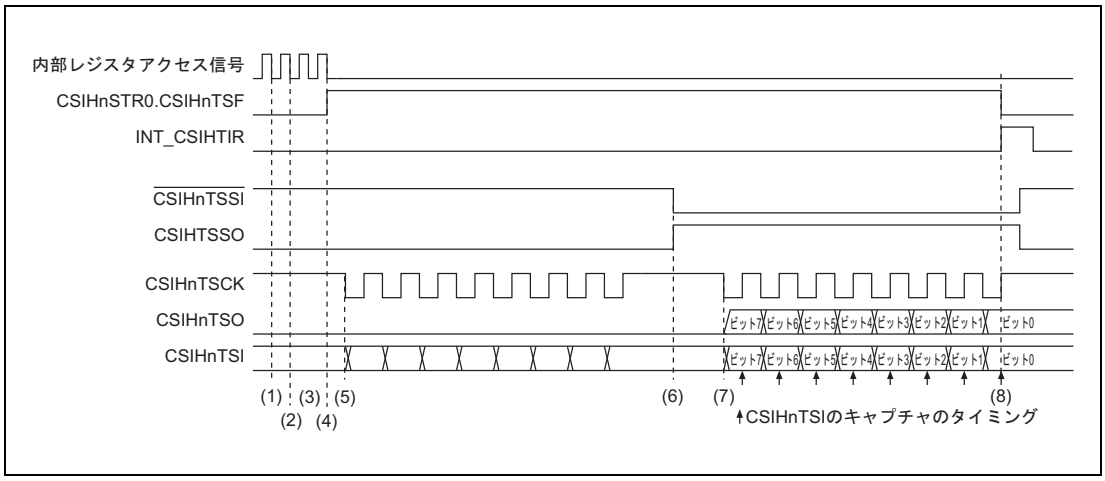


図 13.20　スレーブモードでの送受信のタイミング

(1) CSIHnCTL2.CSIHnPRS[2:0] = 111_B を設定することによって、CSIH はスレーブモードに入ります。CSIHnCFG0.CSIHnCKP0 と CSIHnCFG0.CSIHnDAP0 は 0 です。

(2) データ長は 8 ビットです（CSIHnCFG0.CSIHnDLS0[3:0] = 1000_B）。データ方向は MSB ファースト（CSIHnCFG0.CSIHnDIR0 = 0）です。

(3) 送受信モードに設定されます（CSIHnCTL0.CSIHnCSIHnPWR = 1, CSIHnCTL0.CSIHnTXE = 1，CSIHnCTL0.CSIHnRXE = 1）。通信の開始が許可されます。

(4) 転送データが送信レジスタ CSIHnTX0W または CSIHnTX0H に書き込まれると、転送ステータスフラグ CSIHnSTR0.CSIHnTSF が自動的にセットされます。

(5) $\overline{\text{CSIHnTSSI}}$ 信号がハイである間は、外部送信クロック CSIHnTSCK が入力されても、送受信は開始されません。CSIHnTSI への入力は無視されます。

(6) $\overline{\text{CSIHnTSSI}}$ がロウレベルに下がると、CSIHnTSO が有効になったことを示し、送信が可能になります。

(7) 外部クロック信号 CSIHnTSCK が検出されると、スレーブはだたちにデータを CSIHnTSO に送信し、同時に CSIHnTSI からデータをキャプチャします。

(8) 割り込み INT_CSIHTIR が受信の完了を示します。CSIHnRX0W/H レジスタが読み出し可能になります。

(3) CSIHTSSO の動作

CHIHnPWR	CHIHnTXE	CSIHnRXE	CSIHnSSE	CSIHTSSO
0	—	—	—	H
1	—	—	0	H
	0		1	H
	1		1	$\overline{\text{CSIHnTSSI}}$ レベルの反転値

CSIHTSSO 信号は、スレーブ選択機能を使用する場合に CSIHnTSO 端子の I/O 機能を制御する信号です。

CSIHnTSO 端子は CSIHTSSO 信号が “ ハイレベル ” のときに有効になります（CSIHnTSO 端子は駆動されている）。

CSIHnTSO 端子は CSIHTSSO 信号が “ ロウレベル ” のときに無効になります（CSIHnTSO 端子は駆動されていない）。

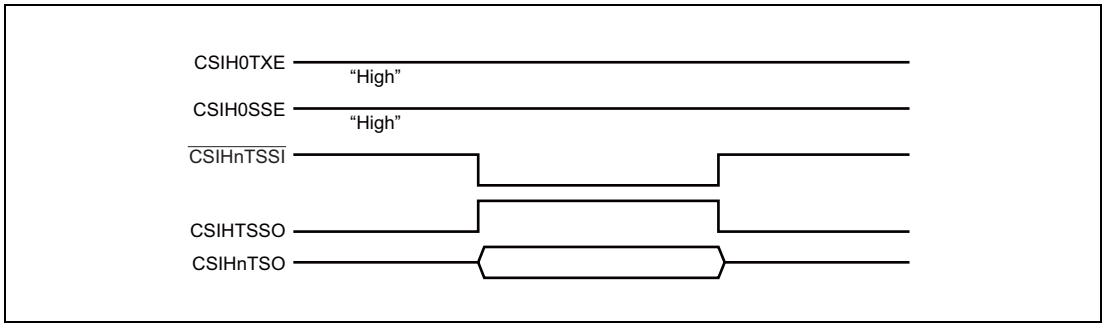


図 13.21　CSIHTSSO の動作

注　意

通信中に $\overline{\text{CSIHnTSSI}}$ 端子が変化した場合（CSIH0STR0.CSIH0TSF = 1）の通信は保証されません。

13.5.10 CSIH の割り込み要求

CSIH は以下の割り込み要求を生成することができます。

- INT_CSIHTIC（通信ステータス割り込み）
- INT_CSIHTIR（受信ステータス割り込み）
- INT_CSIHTIRE（通信エラー割り込み）
- INT_CSIHTIJC（ジョブ完了割り込み）

(1) 概要

エラーが検出されると、エラー割り込み INT_CSIHTIRE が生成されます。ほかの割り込みが生成される条件は、ジョブモードによって異なり、ジョブ完了割り込み INT_CSIHTIJC の場合は動作モードによっても異なります。

ジョブ完了割り込み INT_CSIHTIJC は、ジョブモードが有効になっているとき（CSIHnCTL1.CSIHnJE = 1）にのみ生成されます。スレーブモードでこの割り込みを利用することはできません。

割り込みの概要を以下の表に示します。

表 13.8 割り込みの生成

モード	割り込み	割り込み要因	
		ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
ダイレクトアクセス	INT_CSIHTIC （通信ステータス割り込み）	1 データ転送	1 データ転送（ジョブ中断[注2]の状態を除く）
	INT_CSIHTIR （受信ステータス割り込み）	データ受信かつ CSIHnCTL0.CSIHnRXE = 1	データ受信かつ CSIHnCTL0.CSIHnRXE = 1
	INT_CSIHTIRE （通信エラー割り込み）	エラー検出	エラー検出
	INT_CSIHTIJC[注1] （ジョブ完了割り込み）	適用不可	ジョブ中断[注2]

注 1. スレーブモードでは INT_CSIHTIJC は利用できません。
注 2. ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

(2) 割り込み遅延

マスタモードでは、マスタが生成するすべての割り込みを送信クロック CSIHnTSCK の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIHnCTL1.CSIHnSIT = 1 に設定します。

CSIHnCTL1.CSIHnSIT = 1（割り込み遅延有効）、
CSIHnCFGx.CSIHnCKPx = 0、
CSIHnCFGx.CSIHnDAPx = 0（クロック位相とデータ位相）、CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B（データ長 8 ビット）の設定で割り込み遅延機能を使用する例を以下の図に示します。

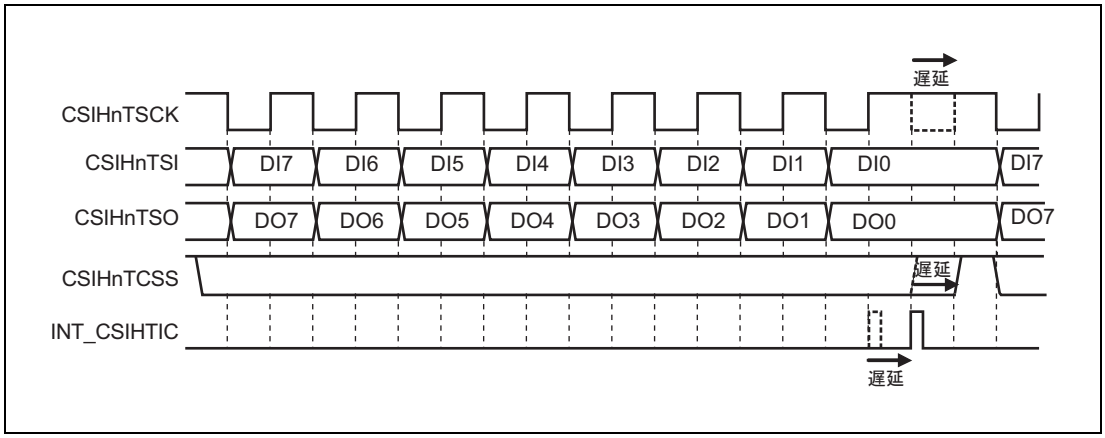


図 13.22 割り込み遅延機能（CSIHnCTL1.CSIHnSIT = 1）

CSIHnCTL1.CSIHnSIT = 1 に設定すると、送信クロックに半周期の遅延が追加されます。これによって現在のチップセレクト信号（CSIHnTCSSx）の終了も遅延します。

(3) INT_CSIHTIC（通信ステータス割り込み）

この割り込みが生成される条件は、以下に示すように、ジョブモードによって異なります。

表 13.9　INT_CSIHTIC 割り込みの生成

モード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
ダイレクト アクセス	データ転送が 1 回行われるたびに生成されます。	通信が中断された場合を除き、データ転送が 1 回行われるたびに生成されます。

ダイレクトアクセスモードでの INT_CSIHTIC

以下の例はダイレクトアクセスモードでの INT_CSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 通常の INT_CSIHTIC 割り込みのタイミング（CSIHnCTL1.CSIHnSLIT = 0）

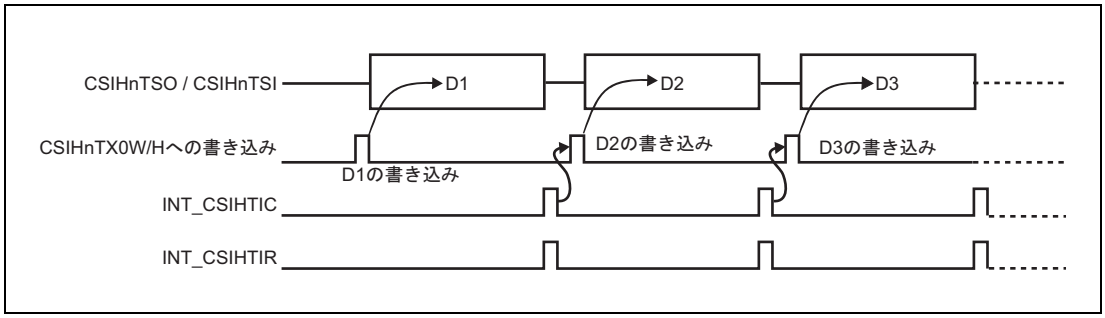


図 13.23　転送後の INT_CSIHTIC の生成（CSIHnCTL1.CSIHnSLIT = 0）

ジョブモードが有効になっており（CSIHnCTL1.CSIHnJE = 1）、CSIHnTX0W.CSIHnEOJ = 1 の設定でデータが送信され、通信停止の要求が発行されている（CSIHnCTL0.CSIHnJOBE = 1）状態でジョブが終了した場合、INT_CSIHTIC はジョブ完了割り込み INT_CSIHTIJC に置き換えられます。

CSIHnTX0W/H レジスタが空になり、次のデータの受け入れが可能になったときに INT_CSIHTIC が生成されるように設定することもできます。そうするには、CSIHnCTL1.CSIHnSLIT = 1 に設定します。

以下の図にその効果を示します。

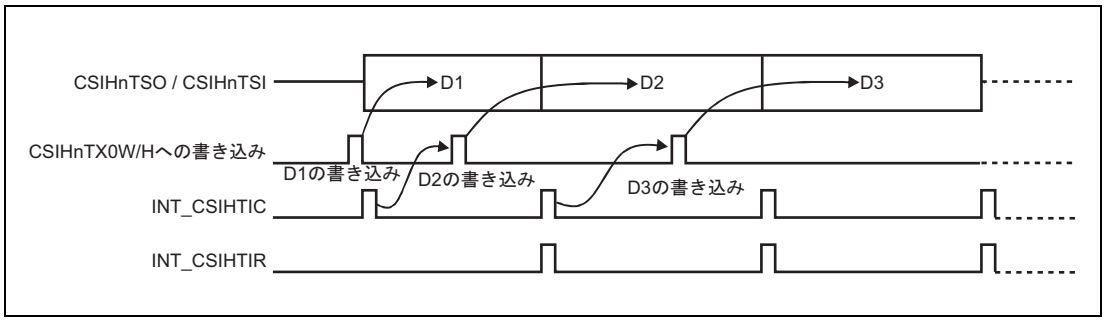


図 13.24　INT_CSIHTIC の即時の生成（CSIHnCTL1.CSIHnSLIT = 1）

このように、新しいデータを先行して書き込むことができます。

備　考

上記の設定を行うとデータ転送が高速になります。ただし、ダイレクトアクセスモードでのみ設定することができます。

ジョブモードでの INT_CSIHTIC

以下の例はジョブモードでの INT_CSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ジョブモード有効（CSIHnCTL1.CSIHnJE = 1）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 通常の INT_CSIHTIC 割り込みのタイミング（CSIHnCTL1.CSIHnSLIT = 0）

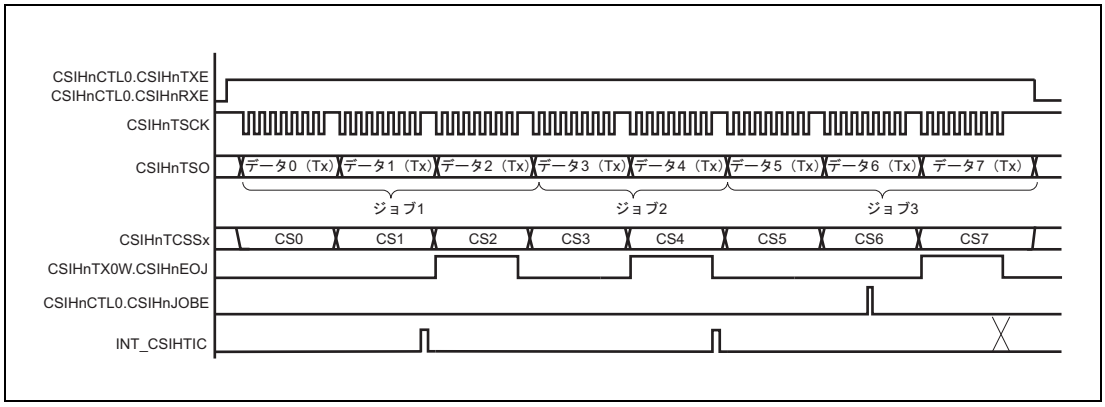


図 13.25　ジョブモードでの INT_CSIHTIC の生成

ジョブモードでの INT_CSIHTIC の生成に適用される規則を以下の表に示します。

表 13.10　ジョブモードでの INT_CSIHTIC の生成

CSIHnTX0W. CSIHnEOJ	INT_CSIHTIC
0	生成されません。
0	生成されます。
1	生成されません。
1	CSIHnCTL0.CSIHnJOBE = 0：生成されます。
	CSIHnCTL0.CSIHnJOBE = 1：生成されず、割り込み INT_CSIHTIJC に置き換えられます。

(4) INT_CSIHTIR（受信ステータス割り込み）

この割り込みが生成される条件は、以下に示すようになります。

表 13.11　IINT_CSIHTIR 割り込みの生成

モード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
ダイレクト アクセスモード	データ転送が 1 回行われるたびに生成されます。	

ダイレクトアクセスモードでの INT_CSIHTIR

以下の例はダイレクトアクセスモードでの INT_CSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）

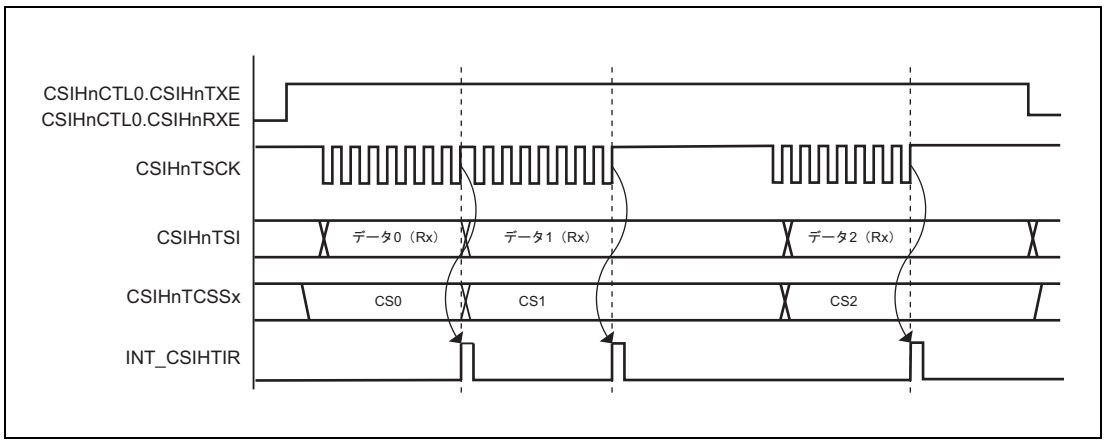


図 13.26　ダイレクトアクセスモードでの INT_CSIHTIR の生成

(5) INT_CSIHTIRE（通信エラー割り込み）

この割り込みはエラーが検出されるたびに生成されます。

割り込み生成タイミングは、**「13.5.12　エラー検出」**を参照ください。

表 13.12　データエラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
パリティエラー	割り込みが生成されても通信は継続します。	—
データ整合性エラー	割り込みが生成されても通信は継続します。	—
オーバランエラー	割り込みが生成されても通信は継続します。	スレーブモードで、CSIHnCTL1.CSIHnHSE = 0（ハンドシェイクなし）の場合のみ割り込みが発生します。

INT_CSIHTIRE が生成される原因となったエラーのタイプは、CSIHnSTR0 レジスタのフラグによって識別されます。

さらに、CSIHnRX0W 内の受信データにパリティエラーフラグとデータ整合性エラーフラグが添付されます。

さまざまなエラータイプの詳細については、**「13.5.12　エラー検出」**を参照してください。

(6) INT_CSIHTIJC（ジョブ完了割り込み）

この割り込みはジョブの処理に対応しています。**「(3)　ジョブ概念」**を参照してください。
この割り込みはマスタモードでのみ利用できます。

ジョブモードは CSIHnCTL1.CSIHnJE = 1 に設定することによって有効になります。
CSIHnCTL1.CSIHnJE = 0 の場合、INT_CSIHTIJC は生成されません。

この割り込みが生成される条件は、以下に示すようになります。

表 13.13　INT_CSIHTIJC 割り込みの生成

モード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE = 0	ジョブモード有効 CSIHnCTL1.CSIHnJE = 1
ダイレクトアクセス	適用不可	ジョブ中断[注1]がトリガされたあと、ジョブの終了時に通信が停止したことを示します。

注 1.　ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1

13.5.11　ハンドシェイク機能

CSIH はマスタデバイスとスレーブデバイスを同期させるハンドシェイク機能を備えています。この機能は CSIHnCTL1.CSIHnHSE ビットで有効または無効にすることができます。ハンドシェイクでは、CSIHnTRY 信号を使用します。

ビジーとなるタイミングはデータ位相選択 CSIHnCFGx.CSIHnDAPx ビットの設定によって異なります。

(1) スレーブモード

CSIHnCTL1.CSIHnHSE = 1 のとき、スレーブはビジー状態になると CSIHnTRY 信号がロウレベル 0 を出力します。この状態になるのは以下の 2 つの場合です。

ケース 1．転送準備ができていない場合

（次の送信データが存在しない）

ケース 2．受信レジスタがフルになっている場合

スレーブが受信専用モードまたは送受信モードに設定されてる状態で、前に受信したデータがまだ CSIHnRX0W/H レジスタにあるため、新しいデータをシフトレジスタから CSIHnRX0W/H へコピーできない（CSIHnRX0W/H フル状態）。

以下の例では、8 ビットのデータ長を想定しています。

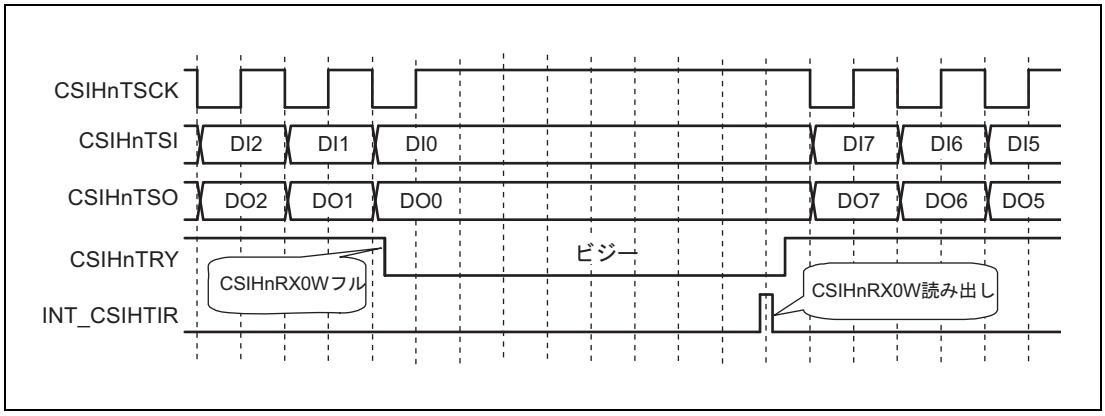


図 13.27　スレーブからのビジー信号（ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 0）

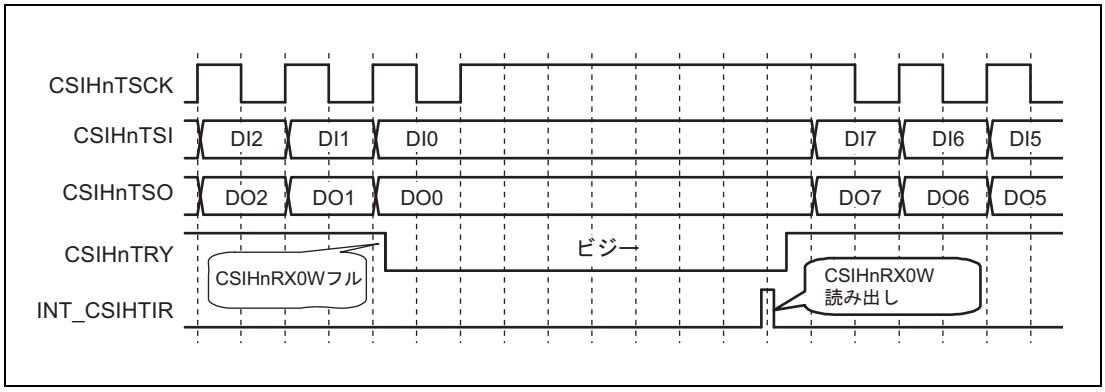


図 13.28　スレーブからのビジー信号（ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx = 1）

(2) マスタモード

CSIHnCTL1.CSIHnHSE = 1 のとき、マスタが CSIHnTRY = 0 を検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIHnTSCK を停止させます。

CSIHnTRY のレベルは、CSIHnTSCK の半クロック周期ごとにチェックされます。

また、待機状態中、チップセレクト信号は出力されます。

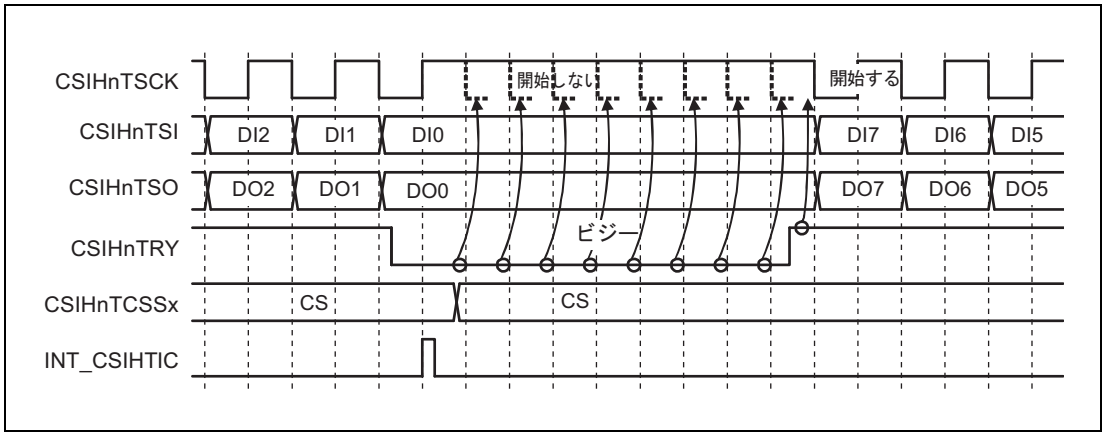


図 13.29　CSIHnTRY に対するマスタの反応（CSIHnCFGx.CSIHnDAPx = 0）

次の転送が始まる前にスレーブは CSIHnTRY をロウレベルに下げる必要があります。データ転送中にスレーブ側で CSIHnTRY 信号をロウレベルに下げると、転送が完了した後、マスタからのシリアルクロックが停止します。

マスタは CSIHnTRY がハイレベルになる（スレーブが「レディ」になる）と、ただちに通信を再開します。

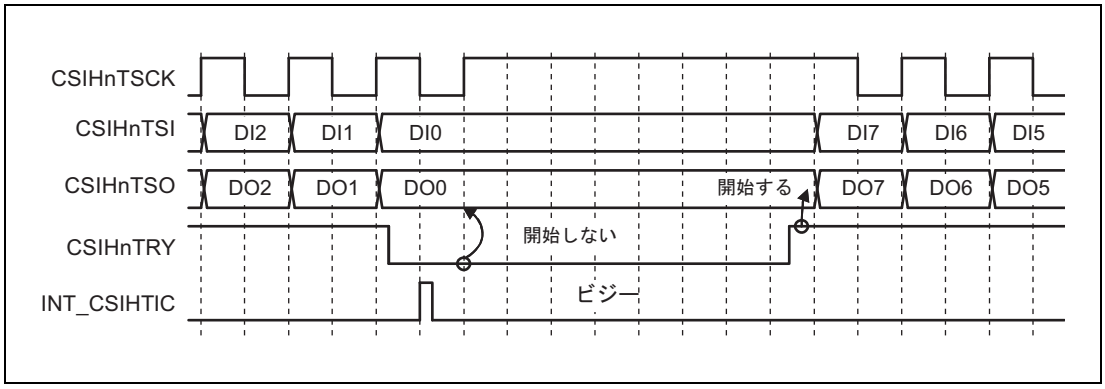


図 13.30　CSIHnTRY に対するマスタの反応（CSIHnCFGx.CSIHnDAPx = 1）

注　意

1. **複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIHnTRY 信号だけを検出する必要があります。**
2. **転送中にスレーブが CSIHnTRY 信号をロウレベルにしても、転送は完了するまで継続します。**

13.5.12 エラー検出

CSIH は 3 種類のエラーを検出することができます。

- データ整合性エラー（送信データ）
- パリティエラー（受信データ）
- オーバランエラー（受信データ）

パリティエラー、データ整合性エラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると、割り込み要求 INT_CSIHTIRE が生成され、検出されたエラーに対応するフラグがセットされます。

(1) データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックは CSIHnCTL1.CSIHnDCS ビット で有効または無効にすることができます。データ送信が禁止されていると（CSIHnCTL0.CSIHnTXE = 0）、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIHnTX0W または CSIHnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、CSIHTDCS 信号を介して CSIHnTSO の物理レベルが独自のシフトレジスタに読み込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性エラーと見なされます。

- 割り込み INT_CSIHTIRE が生成されます。
- CSIHnSTR0.CSIHnDCE ビットがセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnTDCE ビットがセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

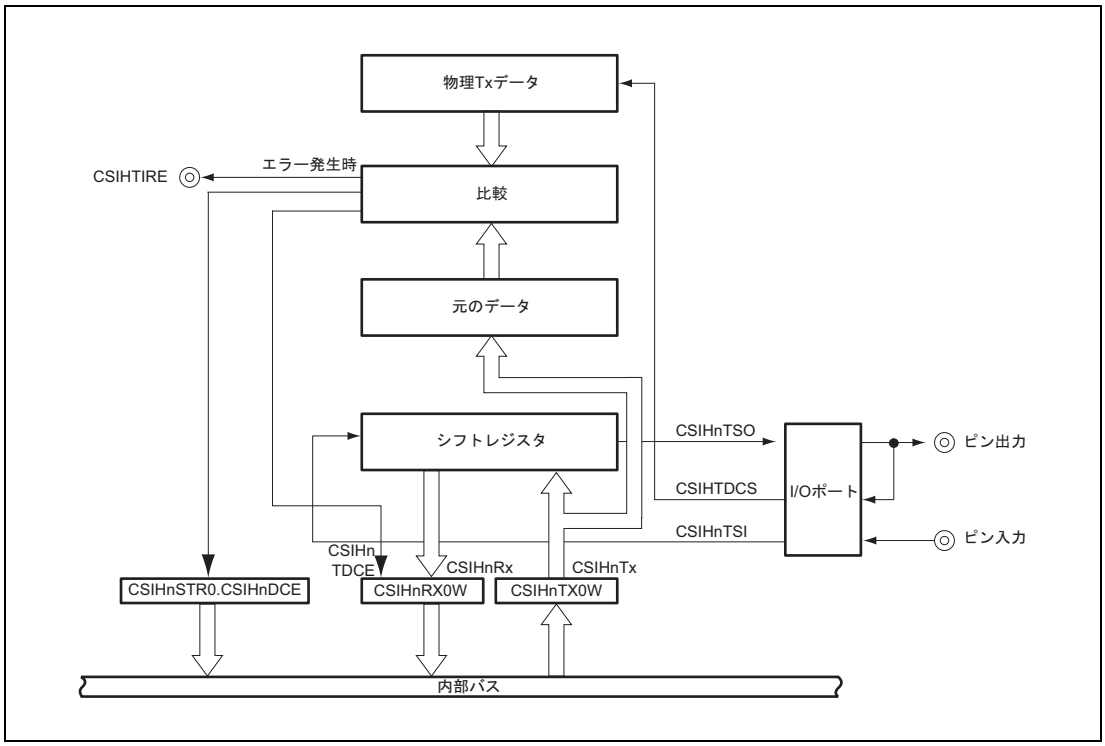


図 13.31　データ整合性チェック機能のブロック図

(2) パリティチェック

CSIH では、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは CSIHnCFGx.CSIHnPSx[1:0] で指定されます。

CSIHnCFGx.CSIHnPSx[1] = 1 であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み INT_CSIHTIRE が生成されます。
- CSIHnSTR0.CSIHnPE ビットがセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnRPE がセットされます。

以下の図に例を示します。

- データ長は 8 ビットです。
- 送信されるデータは 05_H と 35_H です。
- データ方向は LSB ファーストです。
- パリティタイプは奇数です。

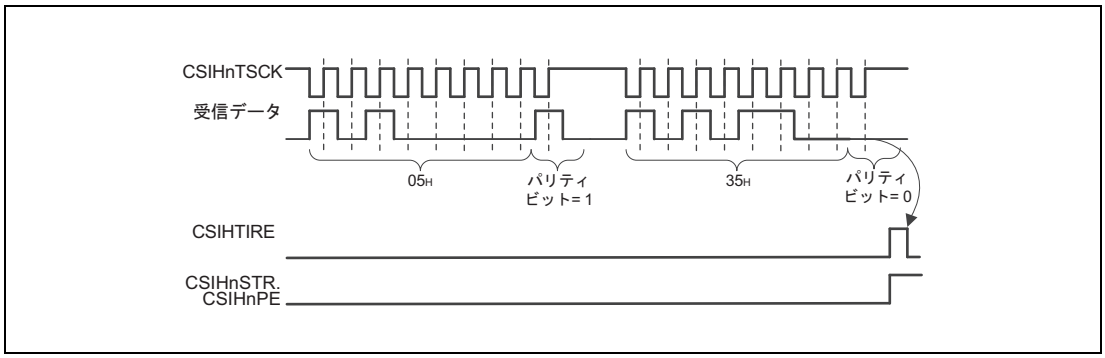


図 13.32 パリティチェックの例

1 つめのデータのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

2 つめのデータのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

(3) オーバランエラー

オーバランエラーは、ダイレクトアクセスモードで発生する可能性があります。データ受信が禁止されていると（CSIHnCTL0.CSIHnRXE = 0）、オーバランエラーは発生しません。

ダイレクトアクセス

ダイレクトアクセスモードでは、新たに受信したデータをシフトレジスタから受信レジスタCSIHnRX0W/H へ転送できなくなると、このエラーが発生します。CSIHnRX0W/H が読み出されていないため、前に受信したデータが CSIHnRX0W/H に残っていると、その状態になります。

以下の図にオーバランエラー検出機能の仕組みを示します。

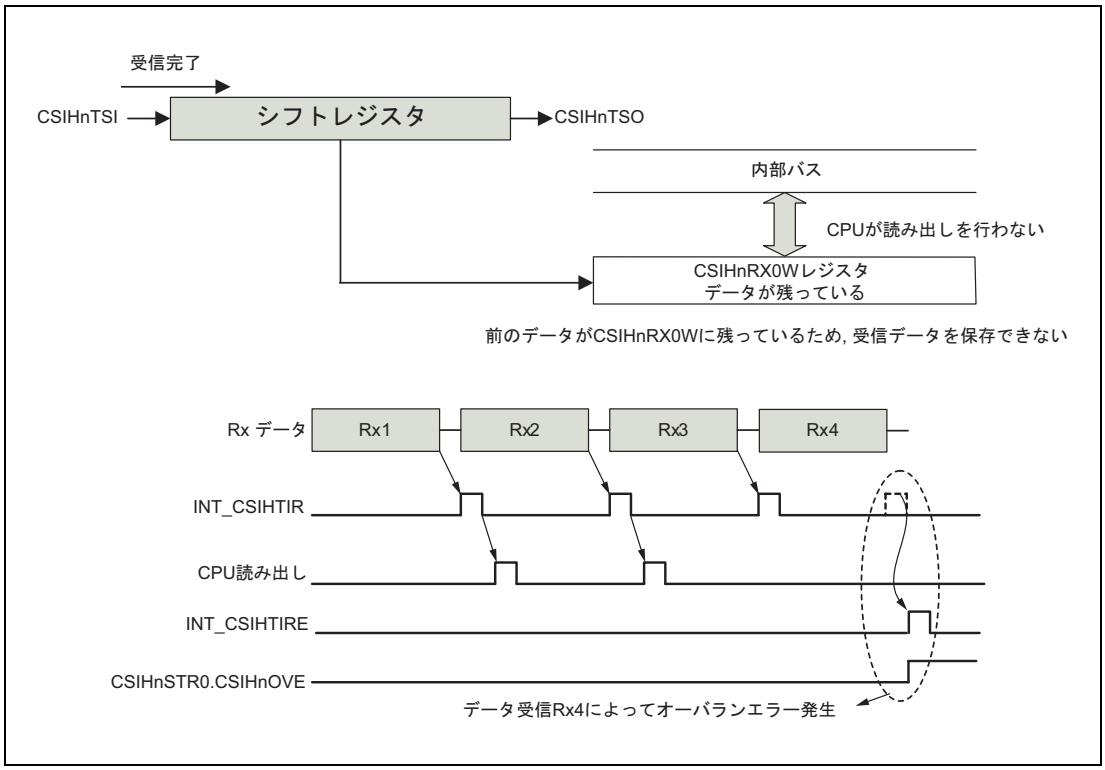


図 13.33　ダイレクトアクセスモードでのオーバランエラーの検出

オーバラン・エラーが発生すると、以下のことが行われます。

- INT_CSIHTIR の代わりに、INT_CSIHTIRE 割り込みが発生します。
- CSIHnSTR0.CSIHnOVE ビットがセットされます。
- CSIHnRX0W レジスタは、受信データによって上書きされます。

備　考

スレーブモードでは、ハンドシェイク機能を利用してオーバランエラーを回避することができます。
スレーブモードでハンドシェイクを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

詳細については**「13.5.11　ハンドシェイク機能」**を参照してください。

13.5.13　ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ (CSIHnCTL1.CSIHnLBM = 1) になっていると、CSIHnTCSSx はインアクテイブレベルに固定されます（アクティブレベルは CSIHnCTL1.CSIHnCSLx の値で定義されます)。そして、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIHnTSCK 信号、CSIHnTSO 信号、CSIHnTSI 信号、CSIHnTCSS x 信号はポートから切り離されます。さらに、CSIHnTSO の出力レベルがロウレベルに固定され、CSIHnCFGx.CSIHnCKPx レジスタの値に関係なく、CSIHnTSCK はリセットレベル（High）に設定されます。CSIH のそれ以外の部分は通常どおりに動作します。

CSIH をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

ループバックテストは接続先のデバイスに影響を与えません。

表 13.14　ループバックモード使用時の端子の出力レベル

端子名	出力レベル
CSIHnTSCK(out)	ハイレベル
CSIHnTCSSx	インアクティブレベル
CSIHnTSO	ロウレベル（それまでの値に依存しない）
割り込み	通常の機能
CSIHnTRY	通常の機能　（ロウレベル）

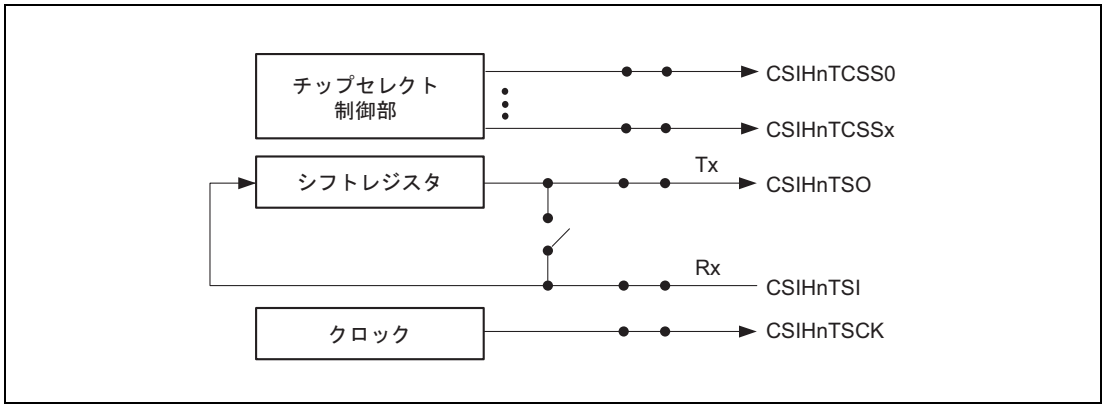


図 13.34　　通常の動作

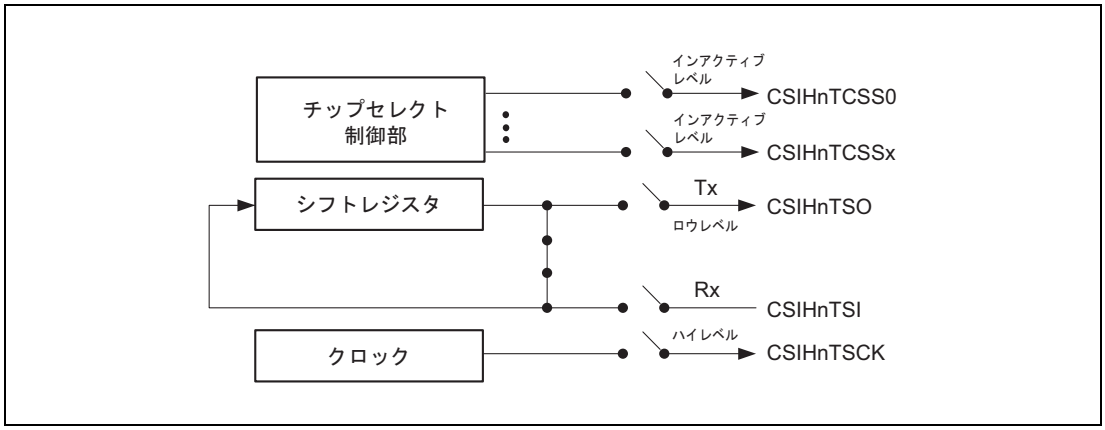


図 13.35　　ループバックモードでの動作

13.5.14　強制 CS アイドル設定

本 CSIH は CSIHnCFGx.CSIHnIDLx（x：チップセレクト信号 x）を設定することで、連続する 2 つの転送データ間にアイドル状態を挿入することができます。

1. CSIHnCFGx.CSIHnIDLx が 0 のとき
   次の CSIHnTCSSx が前と同じ場合、アイドル状態が挿入されず、データ間時間が挿入されます。
   次の CSIHnTCSSx が前と違う場合、アイドル状態が挿入されます。
2. CSIHnCFGx.CSIHnIDLx が 1 のとき
   次の CSIHnTCSSx が前と同じ場合でも、アイドル状態が常に挿入されます。

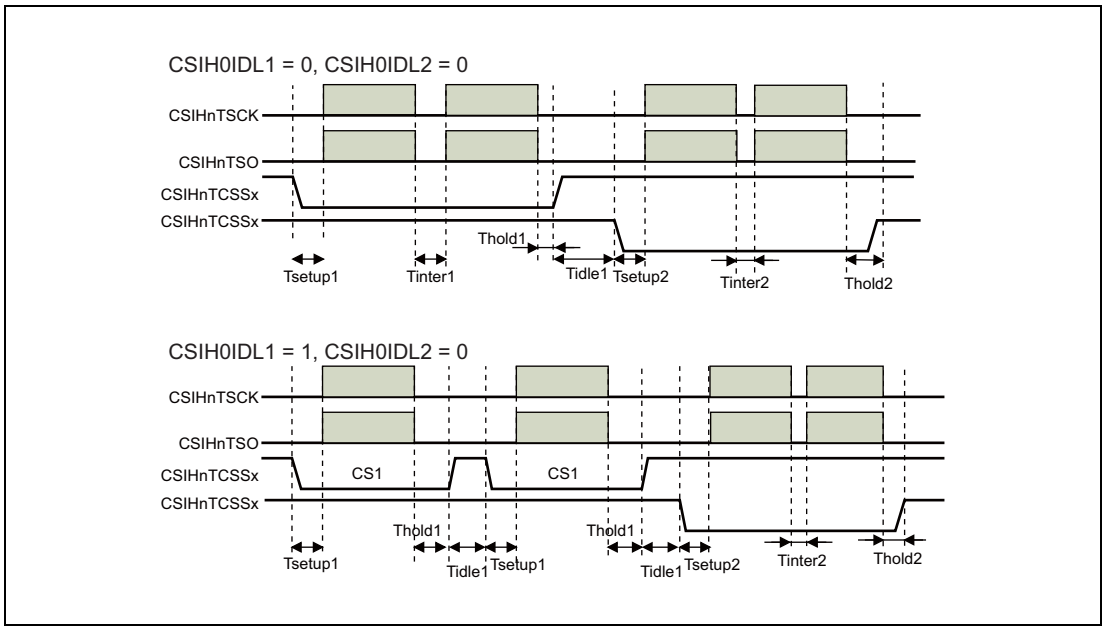


図 13.36　強制 CS アイドル設定の例

13.6 CSIH 制御レジスタ

CSIHn は、以下のレジスタによって制御され、操作されます。

表 13.15 CSIH レジスタの概要

レジスタ名	略号	アドレス
CSIH 制御レジスタ 0	CSIHnCTL0	<CSIHn_base> + 0000_H
CSIH 制御レジスタ 1	CSIHnCTL1	<CSIHn_base> + 0010_H
CSIH 制御レジスタ 2	CSIHnCTL2	<CSIHn_base> + 0014_H
CSIH ステータスレジスタ 0	CSIHnSTR0	<CSIHn_base> + 0004_H
CSIH ステータスクリアレジスタ 0	CSIHnSTCR0	<CSIHn_base> + 0008_H
CSIH コンフィグレーションレジスタ 0	CSIHnCFG0	<CSIHn_base> + 1044_H
CSIH コンフィグレーションレジスタ 1	CSIHnCFG1	<CSIHn_base> + 1048_H
CSIH コンフィグレーションレジスタ 2	CSIHnCFG2	<CSIHn_base> + $104C_H$
CSIH コンフィグレーションレジスタ 3	CSIHnCFG3	<CSIHn_base> + 1050_H
CSIH コンフィグレーションレジスタ 4	CSIHnCFG4	<CSIHn_base> + 1054_H
CSIH コンフィグレーションレジスタ 5	CSIHnCFG5	<CSIHn_base> + 1058_H
CSIH ワードアクセス用送信データレジスタ 0	CSIHnTX0W	<CSIHn_base> + 1008_H
CSIH ハーフワードアクセス用送信データレジスタ 0	CSIHnTX0H	<CSIHn_base> + $100C_H$
CSIH ワードアクセス用受信データレジスタ 0	CSIHnRX0W	<CSIHn_base> + 1010_H
CSIH ハーフワードアクセス用受信データレジスタ 0	CSIHnRX0H	<CSIHn_base> + 1014_H
CSIHn ボーレート設定レジスタ 0	CSIHnBRS0	<CSIHn_base> + 1068_H
CSIHn ボーレート設定レジスタ 1	CSIHnBRS1	<CSIHn_base> + $106C_H$
CSIHn ボーレート設定レジスタ 2	CSIHnBRS2	<CSIHn_base> + 1070_H
CSIHn ボーレート設定レジスタ 3	CSIHnBRS3	<CSIHn_base> + 1074_H

<CSIHn_base>

CSIHn のベースアドレス <CSIHn_base> は、本章第 1 節のキーワード「レジスタアドレス」で定義されています。

13.6.1　CSIHnCTL0 — CSIH 制御レジスタ 0

本レジスタでは、動作クロックを制御し、送受信を許可／禁止し、送信または受信、あるいはその両方に割り当てられるメモリを有効または無効にします。また、現在のジョブの終了時に通信を強制的に停止します。

アクセス　8 ビット単位または 1 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 0000_H

リセット後の値　00_H　本レジスタは各種リセットにより初期化されます。

ビット	7	6	5	4	3	2	1	0
	CSIHnPWR	CSIHnTXE	CSIHnRXE	—	—	—	CSIHnJOBE	CSIHnMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

表 13.16　CSIHnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIHnPWR	動作クロックを制御します。 0：動作クロックを停止させます。 1：動作クロックを供給します。 CSIHnPWR をクリア “0” すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIHnPWR をクリア（0）した場合、実行中の通信はただちに中止されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIHnTXE	送信を許可または禁止します。 0：送信を禁止します。 1：送信を許可します。
5	CSIHnRXE	受信を許可または禁止します。 0：受信を禁止します。 1：受信を許可します。
4 ～ 2	—	予約ビットです。書く場合は初期値を書き込んでください。
1	CSIHnJOBE	現在のジョブの終了時に通信を停止します（CSIHnTX0W.CSIHnEOJ = 1（ジョブ終了）時に送信バッファにデータを書き込まれると通信が終了になります）。 0：通信停止を要求しません。 1：通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア “0” されます。このビットをセット（1）しても、リード値は常に 0 です。
0	CSIHnMBS	ダイレクトアクセスモードを設定します。 0：CSIH 送受信動作禁止 1：ダイレクトアクセスモード CSIH で送受信をする場合は、CSIHnMBS ビットには必ず 1 を書くようにしてください。

注　意

1. CSIHnPWR = 0 のときは、CSIHnTXE, CSIHnRXE, CSIHnJOBE, CSIHnMBS ビットのいずれも変更しないでください。
   CSIHnPWR = 1 のときに CSIHnMBS ビットを変更しないでください。
   CSIHnPWR ビットを 0 から 1 に変更するのと同時に、CSIHnTXE, CSIHnRXE, CSIHnMBS ビットを変更することはできます。
   CSIHnMBS ビットを変更するときは、CSIHnPWR ビットを 0 から 1 に変更するのと同時に変更してください。
2. データ送信が保留中または進行中、つまり CSIHnSTR0.CSIHnTSF = 1 のときに、CSIHnTXE または CSIHnRXE または CSIHnMBS を変更しないでください。

13.6.2　CSIHnCTL1 — CSIH 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェイク機能、ジョブモードを有効または無効する機能も持っています。また、各チップセレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップセレクト信号の動作の選択も行います。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 0010_H

リセット後の値　$0000\ 0000_H$　本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSIHn CKR	CSIHn SLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn CSL7	CSIHn CSL6	CSIHn CSL5	CSIHn CSL4	CSIHn CSL3	CSIHn CSL2	CSIHn CSL1	CSIHn CSL0	CSIHn EDLE	CSIHn JE	CSIHn DCS	CSIHn CSRI	CSIHn LBM	CSIHn SIT	CSIHn HSE	CSIHn SSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注　意

本レジスタの内容は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。

表 13.17　CSIHnCTL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 18	—	予約ビットです。書く場合は初期値を書き込んでください。
17	CSIHnCKR	CSIHnTSCK のクロック反転機能 0：CSIHnTSCK のデフォルトレベルはハイレベル 1：CSIHnTSCK のデフォルトレベルはロウレベル 詳細については、**「13.6.6　CSIHnCFGx — CSIH コンフィグレーションレジスタ x」**を参照してください。 **注 意** チップセレクト機能を使用せずこのビットを使用する場合は、CSIHnCFGx.CSIHnCKPx = 0 に設定してください。
16	CSIHnSLIT	割り込み INT_CSIHTIC のタイミングを選択します。 0：通常の割り込みのタイミング（転送後に割り込みを生成します）。 1：CSIHnTX0W/H レジスタの内容がシフトレジスタに転送されると、ただちに割り込みが生成されます。 詳細については、**「13.5.10　CSIH の割り込み要求」**の**「(3)　INT_CSIHTIC（通信ステータス割り込み）」**を参照してください。
15 ～ 8	CSIHnCSL[7:0]	チップセレクト信号 x（CSIHnTCSSx）のアクティブ出力レベルを選択します（n = 0 ～ 7）。 0：チップセレクト信号をアクティブロウにします。 1：チップセレクト信号をアクティブハイにします。 詳細については、**「13.5.3　チップセレクト（CS）機能」**を参照してください。
7	CSIHnEDLE	拡張データ長（EDL）モードを有効または無効にします。 0：拡張データ長モードを無効にします。 1：拡張データ長モードを有効にします。 詳細については、**「13.5.7　データ長の選択」**の**「(2)　16 ビットを上回るデータ長」**を参照してください。

表 13.17　CSIHnCTL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
6	CSIHnJE	ジョブモードを有効または無効にします。 0：ジョブモードを無効にします。 1：ジョブモードを有効にします。 詳細については、**「13.5.3　チップセレクト（CS）機能」**の**「(3)　ジョブ概念」**を参照してください。 CSIHnCTL0.CSIHnJOBE, CSIH0TX0W.CSIH0EOJ ビットは CSIHnJE = 1 のときにのみ有効です。 このビットはスレーブモードでは設定禁止です。 **備考**　CSIHnJE = 0 のときは、1 データ通信完了で INTC_CSIHnTIC 割り込みが発生します。 CSIHnJE = 1 のときも、1 データ通信完了で INTC_CSIHnTIC 割り込みが発生しますが、CSIHnTX0W.CSIHnEOJ = 1 かつ CSIHnCTL0.CSIHnJOBE = 1 ならば、1 データ通信完了で INTC_CSIHnTIC の代わりに、INTC_CSIHnTIJC 割り込みが発生します。
5	CSIHnDCS	データ整合性チェックを有効または無効にします。 0：データ整合性チェックを無効にします。 1：データ整合性チェックを有効にします。 詳細については、**「13.5.12　エラー検出」**の**「(1)　データ整合性チェック」**を参照してください。
4	CSIHnCSRI	最後のデータが転送されたあとのチップセレクト信号の動作を定義します。 0：チップセレクト信号がアクティブレベルを保持します。 1：チップセレクト信号がインアクティブレベルに戻ります。 最後のデータの判定は、CSIHnCTL1.CSIHnSLIT = 1 のときの割り込みタイミングで行います。
3	CSIHnLBM	ループバックモード（LBM）を制御します。 0：ループバックモードを非アクティブにします。 1：ループバックモードをアクティブにします。 詳細については、**「13.5.13　ループバックモード」**を参照してください。 このビットはスレーブモードでは設定禁止です。
2	CSIHnSIT	割り込み遅延モードを選択します。 0：遅延を生成しません。 1：すべての割り込みについて半クロック周期の遅延を生成します。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 詳細については、**「13.5.10　CSIH の割り込み要求」**の**「(2)　割り込み遅延」**を参照してください。
1	CSIHnHSE	ハンドシェイク機能を有効または無効にします。 0：ハンドシェイク機能を無効にします。 1：ハンドシェイク機能を有効にします。 詳細については、**「13.5.11　ハンドシェイク機能」**を参照してください。
0	CSIHnSSE	スレーブ選択機能を有効または無効にします。 0：入力信号 CSIHnTSSI を無効にします。 1：入力信号 CSIHnTSSI を認識します。 スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります（**「13.5.2　マスタ／スレーブの接続」**も参照してください）。

CSIHnCTL1.CSIHnSSE の詳細を次に示します。

表 13.18　受信中のスレーブ選択機能の動作

CSIHnCTL0. CSIHnRXE	CSIHnCTL1. CSIHnSSE	$\overline{\text{CSIHnTSSI}}$	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 13.19 送信中のスレーブ選択機能の動作

CSIHnCTL0. CSIHnTXE	CSIHnCTL1. CSIHnSSE	$\overline{\text{CSIHnTSSI}}$	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

13.6.3　CSIHnCTL2 — CSIH 制御レジスタ 2

本レジスタでは動作モードと基本クロックの値を選択し、ボーレートを指定します。

詳細については、**「13.5.5　送信クロックの選択」**を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 0014_H

リセット後の値　$E000_H$　本レジスタは各種リセットにより初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnPRS[2:0]			—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

注　意

本レジスタの内容は、CSIHnCTL0.CSIHnPWR = 0 のときにのみ変更することができます。

表 13.20　CSIHnCTL2 レジスタの内容

ビット位置	ビット名	機能
15 ～ 13	CSIHnPRS[2:0]	基本クロック（PRSOUT）の選択
12 ～ 0	—	予約ビットです。書く場合は初期値を書き込んでください。

CSIHnPRS2	CSIHnPRS1	CSIHnPRS0	プリスケーラ選択ビット
0	0	0	PCLK（マスタモード）
0	0	1	PCLK/2（マスタモード）
0	1	0	PCLK/4（マスタモード）
0	1	1	PCLK/8（マスタモード）
1	0	0	PCLK/16（マスタモード）
1	0	1	PCLK/32（マスタモード）
1	1	0	PCLK/64（マスタモード）
1	1	1	CSIHnTSCK (in) 経由の外部クロック（スレーブモード）

注 意

最大ボーレートの設定は以下のとおりです。
- マスタモード：PCLK の 8 分周
- スレーブモード：PCLK の 20 分周

マスタモードでは、以下のビットを使って送信ボーレートを設定します。

CSIHnCTL2.CSIHnPRS2-0,

CSIHnCFGx.CSIHnBRSSx1-0,

CSIHnBRSi.CSIHnBRSi11-0

また、CSIHnBRSi (i = 0 ～ 3).CSIHnBRSi11-0 (i = 0 ～ 3) ビットで設定される 4 種類のボーレート設定は、チップセレクト信号ごとに、その何れかの設定が選択されます。チップセレクト信号ごとのボーレート設定の選択は、CSIHnCFGx.CSIHnBRSSx1-0 ビットにて行います。

CSIHnCFGx.CSIHnBRSSx1-0 と CSIHnBRSi (i = 0 ～ 3).CSIHnBRSi11-0 (i = 0 ～ 3) の関係は以下のとおりです。

CSIHnCFGx CSIHnBRSSx1-0	選択されるボーレート設定ビット
00	CSIHnBRS0.CSIHnBRS0 11-0
01	CSIHnBRS1.CSIHnBRS1 11-0
10	CSIHnBRS2.CSIHnBRS2 11-0
11	CSIHnBRS3.CSIHnBRS3 11-0

CSIHnPRS[2:0] ビットの値を m とした場合、CSIHnBRSSx[1:0] にて選択されたボーレート設定（CSIHnBRSi[11:0]）とボーレートの関係は、以下のとおりです。

CSIHnBRSx11-0(k)	Baud rate Selection Bits
0	BRG stopped
1	PLCK / (2^m × 1 × 2)
2	PLCK / (2^m × 2 × 2)
3	PLCK / (2^m × 3 × 2)
4	PLCK / (2^m × 4 × 2)
:	:
k	PLCK / (2^m × k × 2)
:	:
4095	PLCK / (2^m × 4095× 2)

13.6.4 CSIHnSTR0 — CSIH ステータスレジスタ 0

本レジスタは CSIH の状態を示します。

アクセス　32 ビット単位でリード可能です。

アドレス　<CSIHn_base> + 0004_H

リセット後の値　$0000\ 0010_H$　本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIHn TSF	—	—	—	CSIHn DCE	—	CSIHn PE	CSIHn OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13.21　CSIHnSTR0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 8	—	予約ビットです。
7	CSIHnTSF	転送ステータスフラグ 0：アイドル状態 1：通信中または通信の準備中 このビットがセットまたはクリアされるタイミングを以下に示します。

マスタモード	セットされるタイミング	クリアされるタイミング
送信専用モード	送信レジスタへの書き込み	最後のシリアルクロックエッジから半クロック以内
送受信モード		
受信専用モード		

スレーブモード	セットされるタイミング	クリアされるタイミング
送信専用モード	送信レジスタへの書き込み	最後のシリアルクロックエッジから半クロック以内
送受信モード		
受信専用モード	CSIHnTSCK 入力タイミング	

6 ～ 4	—	予約ビットです。
3	CSIHnDCE	データ整合性チェックエラーフラグ 0：データ整合性エラーが検出されていません。 1：データ整合性エラーが検出されています。 このビットは CSIHnSTCR0.CSIHnDCEC に “1” を書き込むことによってクリア “0” されます。このビットにセット “1” とクリア “0” を同時に行った場合、セット “1” が優先されます。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。

表 13.21　CSIHnSTR0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	—	予約ビットです。
1	CSIHnPE	パリティエラーフラグ 0：パリティエラーが検出されていません。 1：パリティエラーが検出されています。 詳細は**「13.5.12　エラー検出」**の**「(2)　パリティチェック」**を参照してください。 このビットは、CSIHnSTCR0.CSIHnPEC ビットによってクリアされます。 このビットにセット（1）とクリア “0” が同時に行われた場合、セットがクリアより優先されます。
0	CSIHnOVE	オーバランエラーフラグ 0：オーバランエラーが検出されていません。 1：オーバランエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnOVEC に “1” を書き込むことによってクリア “0” されます。このビットにセット “1” とクリア “0” を同時に行った場合、セット “1” が優先されます。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。

13.6.5　CSIHnSTCR0 — CSIH ステータスクリアレジスタ 0

本レジスタは CSIHnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス　16 ビット単位でリード／ライト可能です。
読み出すと、常に値 0000_H が返されます。

アドレス　<CSIHn_base> + 0008_H

リセット後の値　0000_H　本レジスタは各種リセットにより初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CSIHn DCEC	—	CSIHn PEC	CSIHn OVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W

表 13.22　CSIHnSTCR0 レジスタの内容

ビット位置	ビット名	機能
15 ～ 4	—	予約ビットです。書く場合は初期値を書き込んでください。
3	CSIHnDCEC	データ整合性エラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：データ整合性エラーフラグ（CSIHnSTR0.CSIHnDCE）をクリアします。
2	—	予約ビットです。書く場合は初期値を書き込んでください。
1	CSIHnPEC	パリティエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：パリティエラーフラグ（CSIHnSTR0.CSIHnPE）をクリアします。
0	CSIHnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：オーバランエラーフラグ（CSIHnSTR0.CSIHnOVE）をクリアします。

13.6.6 CSIHnCFGx — CSIH コンフィグレーションレジスタ x

これらのレジスタでは、各チップセレクト信号 CSIHnTCSSx のプリスケーラ、パリティ、データ長、ブロードキャスティング用のリセッシブの設定、シリアルデータ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

スレーブモード

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

- CSIHnPS0[1:0]：パリティの使用法
- CSIHnDLS0[3:0]：データ長の選択
- CSIHnDIR0：データ方向
- CSIHnCKP0、CSIHnDAP0：クロック位相とデータ位相

スレーブモードでは CSIHnCFG0 レジスタ以外のレジスタ設定は無視されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　CSIHnCFG0：<CSIHn_base> + 1044_H
CSIHnCFG1：<CSIHn_base> + 1048_H
CSIHnCFG2：<CSIHn_base> + $104C_H$
CSIHnCFG3：<CSIHn_base> + 1050_H
CSIHnCFG4：<CSIHn_base> + 1054_H
CSIHnCFG5：<CSIHn_base> + 1058_H

リセット後の値　$0000\ 0000_H$　本レジスタは各種リセットにより初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn BRSSx[1:0]		CSIHn PSx[1:0]		CSIHnDLSx[3:0]				—	—	—	—	CSIHn RCBx	CSIHn DIRx	CSIHn CKPx	CSIHn DAPx
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn IDLx	CSIHnIDx[2:0]			CSIHnHDx[3:0]				CSIHnINx[3:0]				CSIHnSPx[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注　意

CSIHnCTL0.CSIHnPWR = 0 のときのみ書き換えが可能です（同値書き込みなら CSIHnCTL0.CSIHnPWR = 1 でも可能です）。

表 13.23 CSIHnCFGx レジスタの内容 (1/4)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31、30</td><td>CSIHnBRSSx
[1:0]</td><td>ボーレートを設定するレジスタです。
<table>
<tr><th>CSIHn BRSSx1</th><th>CSIHn BRSSx0</th><th>ボーレート設定レジスタの選択</th></tr>
<tr><td>0</td><td>0</td><td>CSIH0BRS0 の設定にしたがいボーレートを設定します。</td></tr>
<tr><td>0</td><td>1</td><td>CSIH0BRS1 の設定にしたがいボーレートを設定します。</td></tr>
<tr><td>1</td><td>0</td><td>CSIH0BRS2 の設定にしたがいボーレートを設定します。</td></tr>
<tr><td>1</td><td>1</td><td>CSIH0BRS3 の設定にしたがいボーレートを設定します。</td></tr>
</table>
ボーレート設定の最大値は、CSIH0CTL2.PRS2-0 設定と合わせて、以下のとおりとしてください。
マスタモード：PLCK/8, スレーブモード：PLCK/20</td></tr>
<tr><td>29、28</td><td>CSIHnPSx[1:0]</td><td>チップセレクト信号 x の送信用と受信用のパリティを選択します。
<table>
<tr><th>CSIHn PSx1</th><th>CSIHn PSx0</th><th>送信</th><th>受信</th></tr>
<tr><td>0</td><td>0</td><td>パリティを送信しません。</td><td>パリティの受信を待機しません。</td></tr>
<tr><td>0</td><td>1</td><td>0 に固定されたパリティビットを追加します。</td><td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td></tr>
<tr><td>1</td><td>0</td><td>奇数パリティを追加します。</td><td>奇数パリティビットの受信を待機します。</td></tr>
<tr><td>1</td><td>1</td><td>偶数パリティを追加します。</td><td>偶数パリティビットの受信を待機します。</td></tr>
</table></td></tr>
<tr><td>27 ～ 24</td><td>CSIHnDLSx
[3:0]</td><td>チップセレクト信号 x のデータ長を選択します。
<table>
<tr><th>CSIHn DLSx[3:0]</th><th>データ長</th></tr>
<tr><td>0000_B</td><td>16 ビット</td></tr>
<tr><td>0001_B</td><td>1 ビット</td></tr>
<tr><td>0010_B</td><td>2 ビット</td></tr>
<tr><td>...</td><td>...</td></tr>
<tr><td>1111_B</td><td>15 ビット</td></tr>
</table>
注 意
CSIH0TX0W.CSIH0EDL = 1 のとき、このビットの設定は意味を持ちません（データ長は 16 ビット）。
CSIH0TX0W.CSIH0EDL = 0 のとき、このビットの設定が有効になります。1 つ前の送信データが CSIH0EDL = 1 設定の 16 ビットであるときだけ、1 ビットを設定することが可能です。</td></tr>
<tr><td>23 ～ 20</td><td>—</td><td>予約ビットです。書く場合は初期値を書き込んでください。</td></tr>
<tr><td>19</td><td>CSIHnRCBx</td><td>チップセレクト信号 x のブロードキャスティングのリセッシブ設定を選択します。
0：ドミナント（高優先度）
1：リセッシブ（低優先度）
詳細については、「13.5.3 チップセレクト（CS）機能」の「(1) コンフィグレーションレジスタ」を参照してください。</td></tr>
<tr><td>18</td><td>CSIHnDIRx</td><td>シリアルデータ方向の選択
0：MSB ファーストでデータを送受信します。
1：LSB ファーストでデータを送受信します。
詳細については、「13.5.8 シリアルデータ方向の選択」を参照してください。</td></tr>
</table>

表 13.23　CSIHnCFGx レジスタの内容 (2/4)

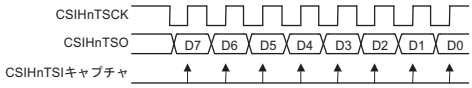
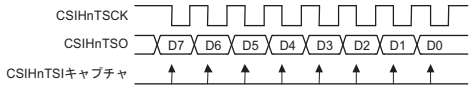
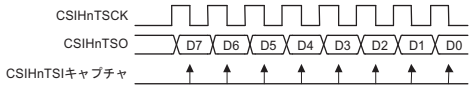
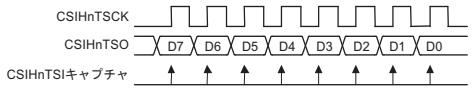
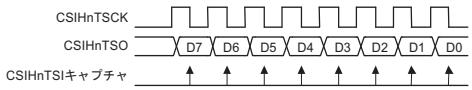
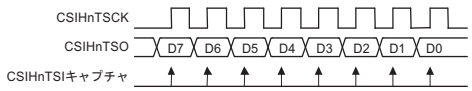
<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>17</td><td>CSIHnCKPx</td><td rowspan="2">CSIHnCKPx：クロック位相選択ビット
CSIHnDAPx：データ位相選択ビット
• CSIHnCTL1.CSIHnCKR = 0
<table><tr><th>CSIHn CKPx</th><th>CSIHn DAPx</th><th>クロック位相とデータ位相の選択</th></tr><tr><td>0</td><td>0</td><td>  </td></tr><tr><td>0</td><td>1</td><td>  </td></tr><tr><td>1</td><td>0</td><td>  </td></tr><tr><td>1</td><td>1</td><td>  </td></tr></table>• CSIHnCTL1.CSIHnCKR = 1
<table><tr><th>CSIHn CKPx</th><th>CSIHn DAPx</th><th>クロック位相とデータ位相の選択</th></tr><tr><td>0</td><td>0</td><td>  </td></tr><tr><td>0</td><td>1</td><td>  </td></tr><tr><td>1</td><td>X</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>16</td><td>CSIHnDAPx</td></tr>
<tr><td>15</td><td>CSIHnIDLx</td><td>チップセレクト信号 x の強制アイドル状態の設定を選択します。
0：連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が違うならば、2 つの転送の間に必ずアイドル状態が入ります。連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が同じならば、2 つの転送の間にアイドル状態はありません。
1：連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定に関係なく、2 つの転送の間にアイドル状態が入ります。
このビットはマスタモードでのみ利用できます。
強制アイドル状態については「13.5.14　強制 CS アイドル設定」を参照してください</td></tr>
</table>

表 13.23 CSIHnCFGx レジスタの内容 (3/4)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>14 ～ 12</td><td>CSIHnIDx[2:0]</td><td>チップセレクト信号 x のアイドル時間を選択します。
<table>
<tr><th>CSIHn IDx[2:0]</th><th>アイドル時間</th></tr>
<tr><td>000_B</td><td>0.5 送信クロック周期</td></tr>
<tr><td>001_B</td><td>1.0 送信クロック周期</td></tr>
<tr><td>010_B</td><td>1.5 送信クロック周期</td></tr>
<tr><td>011_B</td><td>2.5 送信クロック周期</td></tr>
<tr><td>100_B</td><td>3.5 送信クロック周期</td></tr>
<tr><td>101_B</td><td>4.5 送信クロック周期</td></tr>
<tr><td>110_B</td><td>6.5 送信クロック周期</td></tr>
<tr><td>111_B</td><td>8.5 送信クロック周期</td></tr>
</table>
これらのビットはマスタモードでのみ利用可能です。</td></tr>
<tr><td>11 ～ 8</td><td>CSIHnHDx [3:0]</td><td>チップセレクト信号 x のホールド時間を送信クロック周期単位で指定します。
<table>
<tr><th>CSIHn HDx[3:0]</th><th>CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間</th><th>CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間</th></tr>
<tr><td>0000_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr>
<tr><td>0001_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr>
<tr><td>0010_B</td><td>1.5 送信クロック周期</td><td>2.0 送信クロック周期</td></tr>
<tr><td>0011_B</td><td>2.5 送信クロック周期</td><td>3.0 送信クロック周期</td></tr>
<tr><td>0100_B</td><td>3.5 送信クロック周期</td><td>4.0 送信クロック周期</td></tr>
<tr><td>0101_B</td><td>4.5 送信クロック周期</td><td>5.0 送信クロック周期</td></tr>
<tr><td>0110_B</td><td>6.5 送信クロック周期</td><td>7.0 送信クロック周期</td></tr>
<tr><td>0111_B</td><td>8.5 送信クロック周期</td><td>9.0 送信クロック周期</td></tr>
<tr><td>1000_B</td><td>9.5 送信クロック周期</td><td>10.0 送信クロック周期</td></tr>
<tr><td>1001_B</td><td>10.5 送信クロック周期</td><td>11.0 送信クロック周期</td></tr>
<tr><td>1010_B</td><td>11.5 送信クロック周期</td><td>12.0 送信クロック周期</td></tr>
<tr><td>1011_B</td><td>12.5 送信クロック周期</td><td>13.0 送信クロック周期</td></tr>
<tr><td>1100_B</td><td>14.5 送信クロック周期</td><td>15.0 送信クロック周期</td></tr>
<tr><td>1101_B</td><td>16.5 送信クロック周期</td><td>17.0 送信クロック周期</td></tr>
<tr><td>1110_B</td><td>18.5 送信クロック周期</td><td>19.0 送信クロック周期</td></tr>
<tr><td>1111_B</td><td>20.5 送信クロック周期</td><td>21.0 送信クロック周期</td></tr>
</table>
これらのビットはマスタモードでのみ利用可能です。</td></tr>
</table>

表 13.23 CSIHnCFGx レジスタの内容 (4/4)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7 ～ 4</td><td>CSIHnINx[3:0]</td><td>チップセレクト信号 x のデータ間時間を送信クロック周期単位で指定します。
<table>
<tr><th>CSIHn INx[3:0]</th><th>CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間</th><th>CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間</th></tr>
<tr><td>0000_B</td><td>0.0 送信クロック周期</td><td>0.5 送信クロック周期</td></tr>
<tr><td>0001_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr>
<tr><td>0010_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr>
<tr><td>0011_B</td><td>2.0 送信クロック周期</td><td>2.5 送信クロック周期</td></tr>
<tr><td>0100_B</td><td>3.0 送信クロック周期</td><td>3.5 送信クロック周期</td></tr>
<tr><td>0101_B</td><td>4.0 送信クロック周期</td><td>4.5 送信クロック周期</td></tr>
<tr><td>0110_B</td><td>6.0 送信クロック周期</td><td>6.5 送信クロック周期</td></tr>
<tr><td>0111_B</td><td>8.0 送信クロック周期</td><td>8.5 送信クロック周期</td></tr>
<tr><td>1000_B</td><td>9.0 送信クロック周期</td><td>9.5 送信クロック周期</td></tr>
<tr><td>1001_B</td><td>10.0 送信クロック周期</td><td>10.5 送信クロック周期</td></tr>
<tr><td>1010_B</td><td>11.0 送信クロック周期</td><td>11.5 送信クロック周期</td></tr>
<tr><td>1011_B</td><td>12.0 送信クロック周期</td><td>12.5 送信クロック周期</td></tr>
<tr><td>1100_B</td><td>14.0 送信クロック周期</td><td>14.5 送信クロック周期</td></tr>
<tr><td>1101_B</td><td>16.0 送信クロック周期</td><td>16.5 送信クロック周期</td></tr>
<tr><td>1110_B</td><td>18.0 送信クロック周期</td><td>18.5 送信クロック周期</td></tr>
<tr><td>1111_B</td><td>20.0 送信クロック周期</td><td>20.5 送信クロック周期</td></tr>
</table>
これらのビットはマスタモードでのみ利用可能です。</td></tr>
<tr><td>3 ～ 0</td><td>CSIHnSPx[3:0]</td><td>チップセレクト信号 x のセットアップ時間を送信クロック周期単位で指定します。
<table>
<tr><th>CSIHn SPx[3:0]</th><th>セットアップ時間</th></tr>
<tr><td>0000_B</td><td>0.5 送信クロック周期</td></tr>
<tr><td>0001_B</td><td>1.0 送信クロック周期</td></tr>
<tr><td>0010_B</td><td>1.5 送信クロック周期</td></tr>
<tr><td>0011_B</td><td>2.5 送信クロック周期</td></tr>
<tr><td>0100_B</td><td>3.5 送信クロック周期</td></tr>
<tr><td>0101_B</td><td>4.5 送信クロック周期</td></tr>
<tr><td>0110_B</td><td>6.5 送信クロック周期</td></tr>
<tr><td>0111_B</td><td>8.5 送信クロック周期</td></tr>
<tr><td>1000_B</td><td>9.5 送信クロック周期</td></tr>
<tr><td>1001_B</td><td>10.5 送信クロック周期</td></tr>
<tr><td>1010_B</td><td>11.5 送信クロック周期</td></tr>
<tr><td>1011_B</td><td>12.5 送信クロック周期</td></tr>
<tr><td>1100_B</td><td>14.5 送信クロック周期</td></tr>
<tr><td>1101_B</td><td>16.5 送信クロック周期</td></tr>
<tr><td>1110_B</td><td>18.5 送信クロック周期</td></tr>
<tr><td>1111_B</td><td>20.5 送信クロック周期</td></tr>
</table>
これらのビットはマスタモードでのみ利用可能です。</td></tr>
</table>

13.6.7　CSIHnTX0W — CSIH ワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。さらに、通信割り込み要求、エンドオブジョブ、拡張データ長、チップセレクトアクティブ化を指定します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 1008_H

リセット後の値　不定

注　意

ダイレクトアクセスモードで CSIH0CTL0.CSIH0TXE = CSIH0CTL0. CSIH0RXE = 0 のとき、このレジスタへのライトアクセスは禁止です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CSIHn EOJ	CSIHn EDL	—	—	—	—	—	CSIHnCS7	CSIHnCS6	CSIHnCS5	CSIHnCS4	CSIHnCS3	CSIHnCS2	CSIHnCS1	CSIHnCS0
リセット後の値	0			0	0	0	0	0								
R/W	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値																
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.24　CSIHnTX0W レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	—	予約ビットです。書く場合は初期値を書き込んでください。
30	CSIHnEOJ	ジョブの終了を指定します。 0：エンドオブジョブデータではないことを示します。ジョブを続行します。 1：エンドオブジョブデータであることを示します。 **注 意** このビットはジョブモードが有効になっているとき（CSIHnCTL1.CSIHnJE = 1）にのみ有効です。 スレーブモードで使用するときこのビットは必ず 0 に設定してください。
29	CSIHnEDL	関連付けられたデータが拡張データ長（EDL）オプションを必要とするかどうかを指定します。 0：通常の動作。 1：拡張データ長を有効にします。 関連付けられたデータは 16 ビットのパケットとして送信されます。データ送信後にデータ間時間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE = 1 かつ CSIHnTX0W.CSIHnEDL = 1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 **注 意** このビットは CSIHnCTL1.CSIHnEDLE = 1 のときにのみ利用できます。

表 13.24 CSIHnTX0W レジスタの内容 (2/2)

ビット位置	ビット名	機能
28 ～ 24	—	予約ビットです。書く場合は初期値を書き込んでください。
23 ～ 16	CSIHnCSx	1 つ以上のチップセレクト信号をアクティブにします。 0：関連付けられた送信に対してチップセレクト信号 x をアクティブにします。 1：関連付けられた送信に対してチップセレクト信号 x を非アクティブにします。 CSIHnTX0W.CSIHnCS[7:0] = FF_H は設定禁止です。 **注 意** 複数のチップセレクト信号がブロードキャスティングに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx = 0（ドミナント）に設定されている信号の設定が使用されます。その場合は、すべてのドミナントなチップセレクト信号をまったく同じ値に設定にする必要があります。 スレーブモードで使用する場合には CSIHnCSx ビット = FE_H に設定してください。
15 ～ 0	CSIHnTX[15:0]	送信データを保存します。

13.6.8　CSIHnTX0H — CSIH ハーフワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIHnTX0W レジスタのビット 15 ～ 0 と同じです。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + $100C_H$

リセット後の値　不定

注　意

ダイレクトアクセスモードで CSIH0CTL0.CSIH0TXE = CSIH0CTL0. CSIH0RXE = 0 のとき、このレジスタへのライトアクセスは禁止です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.25　CSIHnTX0H レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	CSIHnTX[15:0]	送信データを保存します。

13.6.9　CSIHnRX0W — CSIH ワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。

アクセス　32 ビット単位でリード可能です。

アドレス　<CSIHn_base> + 1010_H

リセット後の値　不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CSIHnRPE	CSIHnTDCE	CSIHnCS7	CSIHnCS6	CSIHnCS5	CSIHnCS4	CSIHnCS3	CSIHnCS2	CSIHnCS1	CSIHnCS0
リセット後の値	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注　意

本レジスタは、CSIHnCTL0.CSIHnPWR = 1 である間、読み出すことができます。
本レジスタは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。

表 13.26　CSIHnRX0W レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	—	予約ビットです。
25	CSIHnRPE	受信データパリティエラーが検出されたかどうかを示します。 0：関連付けられた受信データでパリティエラーが検出されていません。 1：関連付けられた受信データでパリティエラーが検出されています。
24	CSIHnTDCE	送信データ整合性エラーが検出されたかどうかを示します。 0：関連付けられた送信で整合性エラーが検出されていません。 1：関連付けられた送信で整合性エラーが検出されています。
23 ～ 16	CSIHnCSx	どのチップセレクト信号がアクティブになっているかを示します。 0：関連付けられた受信に対してチップセレクト信号 x がアクティブになっています。 1：関連付けられた受信に対してチップセレクト信号 x が非アクティブになっています。
15 ～ 0	CSIHnRX [15:0]	受信データを保存します。

13.6.10　CSIHnRX0H — CSIH ハーフワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。本レジスタは CSIHnRX0W レジスタのビット 15 ～ 0 と同じです。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<CSIHn_base> + 1014_H

リセット後の値　不定

注　意

本レジスタは、CSIHnCTL0.CSIHnPWR = 1 である間、読み出すことができます。
本レジスタは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13.27　CSIHnRX0H レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	CSIHnRX [15:0]	受信データを保存します。

13.6.11　CSIHnBRSi — CSIHn ボーレート設定レジスタ i

チップセレクト信号ごとにボーレートを設定するためのレジスタです。
CSIHnCFGx.CSIHnBRSSx1-0 ビットにより、チップセレクト信号ごとに、4 種類のボーレート設定から 1 つの設定を選択することができます。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　CSIHnBRS0: <CSIHn_base> + 1068_H
CSIHnBRS1: <CSIHn_base> + $106C_H$
CSIHnBRS2: <CSIHn_base> + 1070_H
CSIHnBRS3: <CSIHn_base> + 1074_H

リセット後の値　0000H　本レジスタは各種リセットにより初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CSIHnBRSi[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.28　CSIHnBRSi レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	予約ビットです。書く場合は初期値を書き込んでください。
11 ～ 0	CSIHnBRSi [11:0]	0：BRG stopped 1：PCLK / (2^m × 1 × 2) 2：PCLK / (2^m × 2 × 2) 3：PCLK / (2^m × 3 × 2) 4：PCLK / (2^m × 4 × 2) : k：PCLK / (2^m × k × 2) : 4095：PCLK / (2^m × 4095 × 2) m は CSIHnCTL2.CSIHnPRS[2:0] の値です。

13.7 操作手順

13.7.1 ダイレクトアクセスモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

(1) マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE = 0）
- 通常の INT_CSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT = 0）
- ダイレクトアクセスモード（CSIHnCTL0.CSIHnMBS = 1）

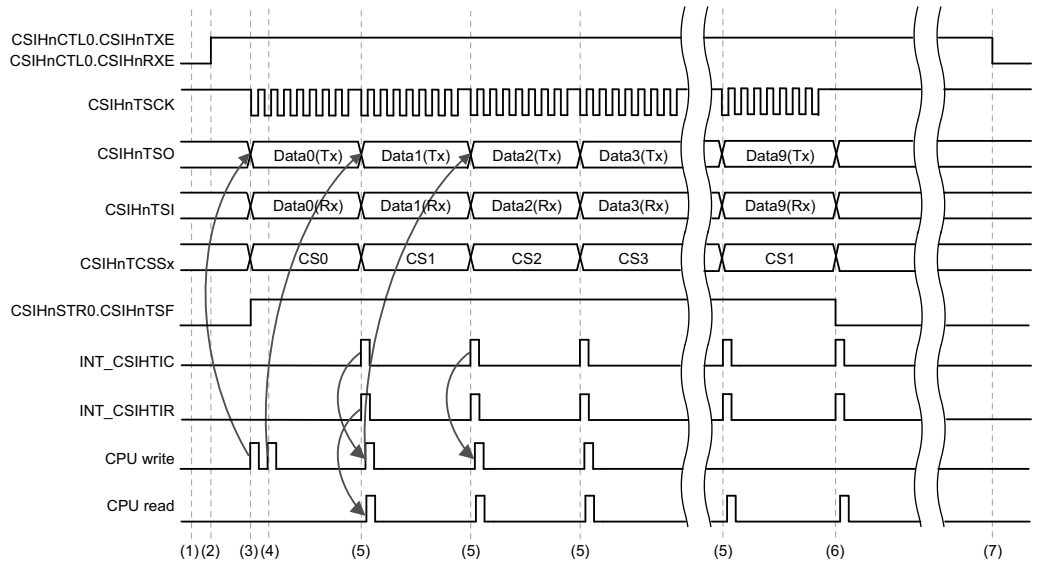


図 13.37 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 0

手順：

(1) CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS0 ～ CS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。

(2) CSIHnCTL0 レジスタで、CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）、CSIHnMBS = 1（ダイレクトアクセスモード）に設定します。

(3) 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。同じ書き込み操作で CS0 をアクティブにします。最初のデータが利用可能になると送信が自動的に開始されます。

(4) 2 番目のデータを CSIHnTX0W に書き込みます。必要に応じて、CS を変更し、別のデバイスを通信相手にすることができます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。

(5) データが送受信されるたびに割り込み INT_CSIHTIC と INT_CSIHTIR が生成されます。
- INT_CSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
- INT_CSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。

(6) データ 8 の書き込みが完了すれば、それ以降の書き込みアクションは必要ありません。データ 9（最後のデータ）は、その前に書き込まれています。
ただし、データ 8 とデータ 9 の書き込みが完了したあと、受信レジスタ CSIHnRX0W を読み出す必要があります。

(7) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また通信を行わない場合、CSIHn の消費電力を最小限にするため CSIHnCTL0.CSIHnPWR = 0 に設定してください。

(2) マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0] = 1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx = 0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx = 0, CSIHnCFGx.CSIHnDAPx = 0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT = 0）
- ジョブモード有効（CSIHnCTL1.CSIHnJE = 1）
- 通常の INT_CSIHTIC 割り込みタイミング (CSIHnCTL1.CSIHnSLIT = 0)
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS = 1)
- それぞれ 3 個のデータを送信する 2 つのジョブ

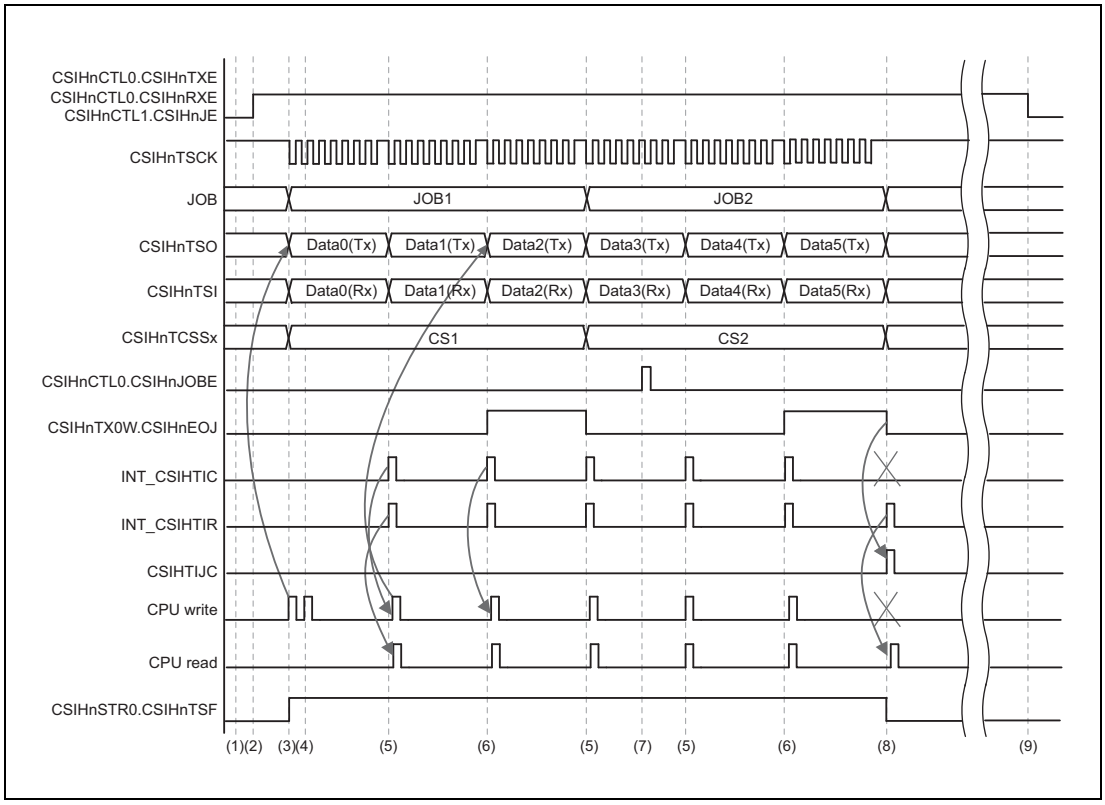


図 13.38 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE = 1

手順：

(1) CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS1, CS2 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。

(2) CSIHnCTL0 レジスタで、CSIHnPWR = 1（クロック有効）、CSIHnTXE = 1（送信許可）、CSIHnRXE = 1（受信許可）、CSIHnMBS = 1（ダイレクトアクセスモード選択）を設定します。

(3) 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
通信が進行中であることを CSIHnSTR0.CSIHnTSF フラグが示します。

(4) 2 番目のデータを CSIHnTX0W に書き込みます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。

(5) データが送受信されるたびに割り込み要求 INT_CSIHTIC と INT_CSIHTIR が生成されます。
- INT_CSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
- INT_CSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。

(6) CSIHnTX0W.CSIHnEOJ = 1 に設定することで、現在のジョブの最後のデータが送信されることを示します。そのあと、次のジョブを開始できます。

(7) CSIHnCTL0.CSIHnJOBE = 1 に設定することで、現在のジョブ（ジョブ 2）の終了時に通信を強制的に停止します。

(8) 通信の強制停止後、割り込み要求 INT_CSIHTIC が INT_CSIHTIJC に置き換えられます。INT_CSIHTIR は通常どおりに生成されます。
割り込み要求 INT_CSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INT_CSIHTIC は生成されません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。

(9) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また通信を行わない場合、CSIHn の消費電力を最小限にするため CSIHnCTL0.CSIHnPWR = 0 に設定してください。

通信を停止せず新しい送信を開始する場合は、手順 3 以降の手順で実施ください。

第 14 章　シリアルコミュニケーションインタフェース 3（SCI3）

14.1　概要

シリアルコミュニケーションインタフェース 3（SCI3：Serial Communication Interface 3）は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter（UART）や、Asynchronous Communication Interface Adapter（ACIA）などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能（マルチプロセッサ通信機能）を備えています。

14.1.1　SCI3 の特長

チャネル数

本製品では、以下のチャネル数のシリアルコミュニケーションインターフェースを搭載しています。

SCI3	
チャネル数	4
名称	SCI3n（n ＝ 0 ～ 3）

n の意味

本章では、シリアルコミュニケーションインターフェース 3 の各チャネルを「n」（n ＝ 0 ～ 3）で識別します。

例えば、シリアルモードレジスタは SCI3nSMR と記載します。

14.1.2　機能の概要

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
  独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。
  また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
  送受信クロックソースとして外部クロックの選択も可能です。
- LSB ファースト／ MSB ファースト選択可能（調歩同期式 7 ビットデータを除く）
- 割り込み要因：4 種類
  送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。
  また、送信データエンプティ、受信データフル割り込み要因により DMAC を起動することができます。
- 各チャネル毎にモジュールスタンバイの設定が可能
  （モジュールスタンバイ機能の詳細については、**「第 12 章　スタンバイコントローラ」**を参照下さい。）

- ビットレートモジュレーション機能
  内蔵ボーレートジェネレータの出力を補正することにより、高いビットレートでも誤差を平均的に低減することができます（クロック同期式モード最高速を除く）。
- シリアル入力データの端子レベルを確認可能
- 6 ビット分周器（PSC）を内蔵

14.1.3 シリアル通信方式

調歩同期式モード

- データ長：7 ビット／8 ビット選択可能
- ストップビット長：1 ビット／2 ビット選択可能
- パリティ：偶数パリティ／奇数パリティ／パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時レジスタをリードすることでブレークを検出可能

クロック同期式モード

- データ長：8 ビット
- 受信エラーの検出：オーバランエラー

14.1.4　ブロック図

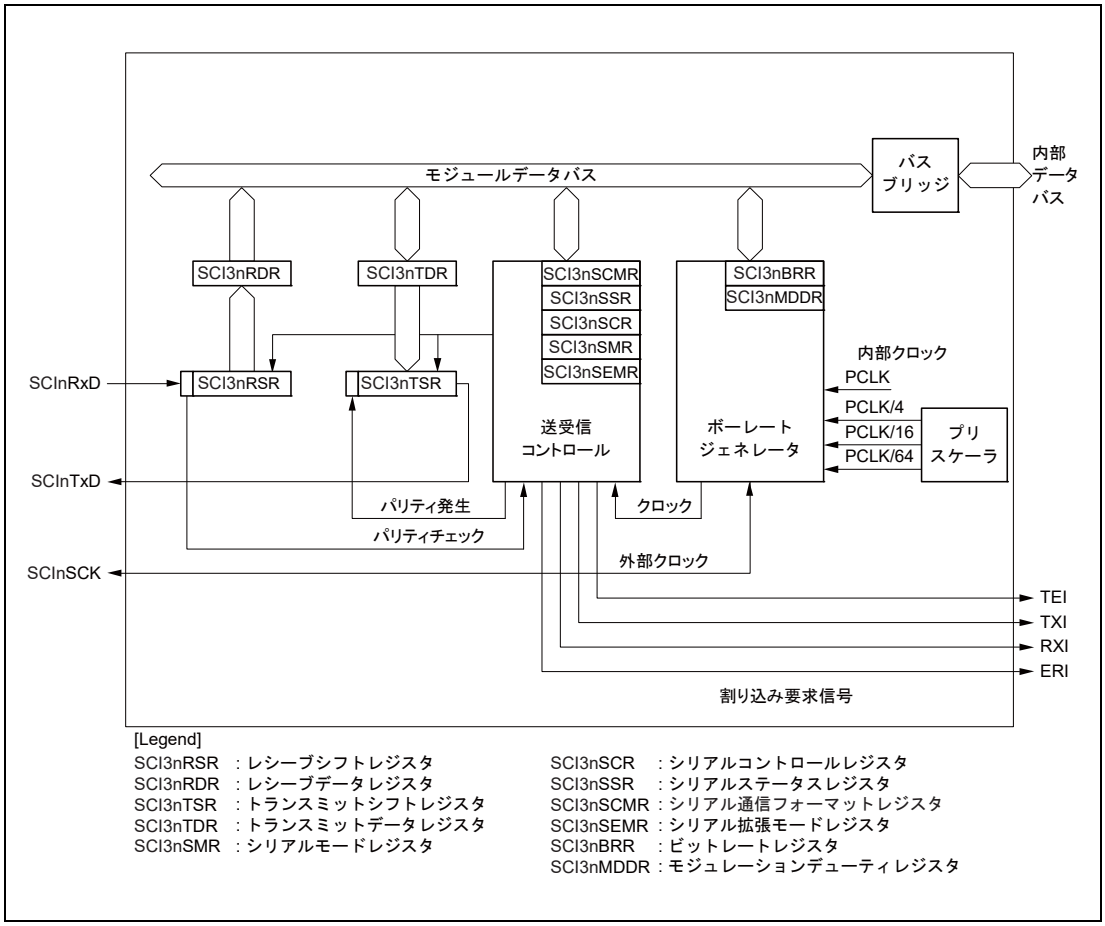


図 14.1　　SCI3 のブロック図

14.2　入出力端子

SCI3 には、**表 14.1** の入出力端子があります。

表 14.1　端子構成

名　　称	記号	入出力	機　　能
クロック入出力端子	SCInSCK	入力	シリアルクロック入力
		出力	シリアルクロック出力
受信データ入力端子	SCInRxD	入力	受信データ入力
送信データ出力端子	SCInTxD	出力	送信データ出力

14.3　レジスタの説明

SCI3n のレジスタアドレスは、ベースアドレス＜ SCI3n_base ＞からのオフセットで表されます。

各 SCI3 のベースアドレス＜ SCI3n_base ＞を**表 14.2** に示します。

表 14.2　レジスタベースアドレス＜ SCI3n_base ＞

SCI3n のチャネル	SCI3n_base アドレス
SCI30	FFD9 0000_H
SCI31	FFD9 1000_H
SCI32	FFD9 2000_H
SCI33	FFD9 3000_H

SCI3 には**表 14.3** に示すレジスタがあります。一部のレジスタには、CPU によるリード／ライトに制限があります。

表 14.3　レジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
レシーブシフトレジスタ	SCI3nRSR	—	—	—
シリアルモードレジスタ	SCI3nSMR	00_H	<SCI3n_base> + 0000_H	8
ビットレートレジスタ／ モジュレーションデューティレジスタ	SCI3nBRR/ SCI3nMDDR	FF_H	<SCI3n_base> + 0004_H	8
シリアルコントロールレジスタ	SCI3nSCR	00_H	<SCI3n_base> + 0008_H	8
トランスミットデータレジスタ	SCI3nTDR	FF_H	<SCI3n_base> + $000C_H$	8
トランスミットシフトレジスタ	SCI3nTSR	—	—	—
シリアルステータスレジスタ	SCI3nSSR	84_H	<SCI3n_base> + 0010_H	8
レシーブデータレジスタ	SCI3nRDR	00_H	<SCI3n_base> + 0014_H	8
シリアル通信フォーマットレジスタ	SCI3nSCMR	$F2_H$	<SCI3n_base> + 0018_H	8
シリアル拡張モードレジスタ	SCI3nSEMR	04_H	<SCI3n_base> + $001C_H$	8

注　意

SCI3nBRR と SCI3nMDDR は同一のアドレス（相対アドレス 4）に配置されています。これらのレジスタの切り替えは SCI3nSEMR の MDDRS ビットで行います。

相対アドレス 4k ＋ 1、4k ＋ 2、4k ＋ 3（k ＝ 0 ～ 7）はリザーブエリアです。リードした場合常に 0 がリードされます。ライトは無効です。

14.3.1 SCI3nRSR — レシーブシフトレジスタ

SCI3nRSR は SCInRxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に SCI3nRDR へ転送されます。

SCI3nRSR は CPU から直接アクセスすることはできません。

14.3.2 SCI3nRDR — レシーブデータレジスタ

SCI3nRDR は受信データを格納するための 8 ビットのレジスタです。SCI3nRDR のリセット後の値は 00_H です。1 フレーム分のデータを受信すると SCI3nRSR から受信データがこのレジスタへ転送され、SCI3nRSR は次のデータを受信可能となります。SCI3nRSR と SCI3nRDR はダブルバッファ構造になっているため連続受信動作が可能です。SCI3nRDR のリードは SCI3nSSR の SCI3nRDRF フラグが 1 にセットされていることを確認して行ってください。

SCI3nRDR は CPU からライトできません。

データ長が 7 ビットの場合、受信データはビット 0 ～ 6 に格納されます。ビット 7 は 0 に固定されます。

この時、ビット 7 の固定値は SCI3nSCMR の SINV ビットの影響は受けません。

14.3.3 SCI3nTDR — トランスミットデータレジスタ

SCI3nTDR は送信データを格納するための 8 ビットのレジスタです。SCI3nTDR のリセット後の値は FF_H です。SCI3nTSR に空きを検出すると SCI3nTDR にライトされた送信データは SCI3nTSR に転送されて送信を開始します。SCI3nTDR と SCI3nTSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき SCI3nTDR につぎの送信データがライトされていれば SCI3nTSR へ転送して送信を継続します。SCI3nTDR は CPU から常にリード／ライト可能です。

SCI3nTDR への送信データのライトは必ず SCI3nSSR の TDRE フラグが 1 にセットされていることを確認して行ってください。

14.3.4 SCI3nTSR — トランスミットシフトレジスタ

SCI3nTSR はシリアルデータを送信するためのシフトレジスタです。SCI3nTDR にライトされた送信データは自動的に SCI3nTSR に転送され、SCInTxD 端子に送出することでシリアルデータの送信を行います。

SCI3nTSR は CPU からは直接アクセスすることはできません。

14.3.5　SCI3nSMR — シリアルモードレジスタ

SCI3nSMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

アクセス　8 ビット単位でリード / ライト可能です。

アドレス　<SCI3n_base> + 0000_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1

注 1.　TE = RE = 0 の場合のみライト可能です。

表 14.4　SCI3nSMR レジスタの内容

ビット位置	ビット名	機能
7	CM	コミュニケーションモードビット 0：調歩同期式モードで動作します。 1：クロック同期式モードで動作します。
6	CHR	キャラクタレングス（調歩同期式モードのみ有効） 0：データ長 8 ビットで送受信します。 1：データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では SCI3nTDR の MSB（ビット 7）は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	パリティイネーブル（調歩同期式モードのみ有効） このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。 マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	PM	パリティモードビット（調歩同期式モードで PE ＝ 1 のときのみ有効） 0：偶数パリティで送受信します。 1：奇数パリティで送受信します。 偶数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が奇数個になるようにパリティビットを決定します。
3	STOP	ストップビットレングス（調歩同期式モードのみ有効） 0：送信時 1 ストップビット 1：送信時 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	マルチプロセッサモード（調歩同期式モードのみ有効） このビットが 1 のとき、マルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、PM ビットの設定は無効です。
1、0	CKS[1:0]	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00：PCLK クロック（m ＝ 0） 01：PCLK/4 クロック（m ＝ 1） 10：PCLK/16 クロック（m ＝ 2） 11：PCLK/64 クロック（m ＝ 3） このビットの設定値とボーレートの関係については、**「14.3.10　SCI3nBRR — ビットレートレジスタ」**を参照してください。m は設定値の 10 進表示で、**「14.3.10　SCI3nBRR — ビットレートレジスタ」**中の m の値を表します。

14.3.6　SCI3nSCR — シリアルコントロールレジスタ

SCI3nSCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。

各割り込み要求については**「14.8　割り込み要因」**を参照してください。

アクセス　8 ビット単位でリード / ライト可能です。

アドレス　<SCI3n_base> + 0008_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W 注 1	R/W 注 1	R/W	R/W	R/W 注 2	R/W 注 2

注 1.　SCI3nSMR の CM ビットが 1 のときは TE = RE = 0 の場合のみ、1 をライト可能です。一旦、TE、RE ビットのいずれかを 1 にセットした後は、TE = RE = 0 のライトのみ可能になります。
SCI3nSMR の CM ビットが 0 のときは任意のタイミングでライト可能です。

注 2.　TE = RE = 0 の場合のみライト可能です。また、TE = RE = 0 のライトと同時にライト可能です。

表 14.5　SCI3nSCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	TIE	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、SCI3nTDR に送信データをライトして、SCI3nSSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCI3nSMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を禁止すると、SCI3nSSR の TDRE フラグは 1 に固定されます。
4	RE	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SCI3nSMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

表 14.5　SCI3nSCR レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	MPIE	マルチプロセッサインタラプトイネーブル（調歩同期式モードで SCI3nSMR の MP ＝ 1 のとき有効） このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SCI3nSSR の RDRF、FER、ORER の各フラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的に 0 にクリアされ通常の受信動作に戻ります。詳細は**「14.5　マルチプロセッサ通信機能」**を参照してください。 SCI3nSSR の MPB ＝ 0 を含む受信データを受信しているときは、SCI3nRSR から SCI3nRDR への受信データの転送、および受信エラーの検出と SCI3nSSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB ＝ 1 を含む受信データを受信すると、SCI3nSSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 クリアし、RXI、ERI 割り込み要求（SCI3nSCR の RIE ビットが 1 にセットされている場合）と FER、ORER フラグのセットが許可されます。
2	TEIE	トランスミットエンドインタラプトイネーブル このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。
1、0	CKE[1:0]	クロックイネーブル 1、0 クロックソースおよび SCInSCK 端子の機能を選択します。 調歩同期式の場合 00：内蔵ボーレートジェネレータ （SCInSCK 端子は入出力ポートとして使用できます） 01：内蔵ボーレートジェネレータ （SCInSCK 端子からビットレートと同じ周波数のクロックを出力します） 1X：設定禁止 クロック同期式の場合 0X：内部クロック（SCInSCK 端子はクロック出力端子となります。） 1X：外部クロック（SCInSCK 端子はクロック入力端子となります。）

注 1.　X：Don’t care

備　考

本レジスタの MPIE ビット以外のビットを書き換える場合には、MPIE ビットへの書き込み値が “0” となるようにストア命令を使用してライトして下さい。本レジスタにビット操作命令でライトすると、リードモディファイライト動作により、意図せず MPIE ビットに “1” を設定してしまう可能性があるので注意して下さい。

14.3.7　SCI3nSSR — シリアルステータスレジスタ

SCI3nSSR は SCI3 のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER フラグはクリアのみ可能です。

アクセス　8 ビット単位でリード / ライト可能です。

アドレス　<SCI3n_base> + 0010_H

リセット後の値　84_H

ビット	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0
R/W	R/(W) 注 1	R/(W) 注 1	R/(W) 注 1	R/(W) 注 1	R/(W) 注 1	R	R	R/W

注 1.　フラグをクリアするための 0 ライトのみ可能です。

表 14.6　SCI3nSSR レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	TDRE	トランスミットデータレジスタエンプティ SCI3nTDR 内の送信データの有無を表示します。 ［セット条件］ • SCI3nSCR の TE ビットが 0 のとき • SCI3nTDR から SCI3nTSR にデータが転送され、SCI3nTDR にデータライトが可能になったとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき TE = 1 の状態で TDR へ送信データをライトしたとき
6	RDRF	レシーブデータレジスタフル SCI3nRDR 内の受信データの有無を表示します。 ［セット条件］ • 受信が正常終了し、SCI3nRSR から SCI3nRDR へ受信データが転送されたとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき • SCI3nRDR からデータをリードしたとき SCI3nSCR の RE ビットをクリアしても RDRF フラグは影響を受けず状態を保持します。 • RDRF フラグが1にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。
5	ORER	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。 ［セット条件］ • RDRF ＝ 1 の状態で次のデータを受信したとき SCI3nRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。 ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき SCI3nSCR の RE ビットをクリアしても、ORER フラグは影響を受けず以前の状態を保持します。

表 14.6　SCI3nSSR レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	FER	フレーミングエラー 調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。 ［セット条件］ • ストップビットが 0 のとき 2 ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCI3nRDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態では、以降の受信データは SCI3nRDR に転送されません。 ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき SCI3nSCR の RE ビットをクリアしても、FER フラグは影響を受けず以前の状態を保持します。
3	PER	パリティエラー 調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。 ［セット条件］ • 受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データは SCI3nRDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降の受信データは SCI3nRDR に転送されません。 ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき SCI3nSCR の RE ビットをクリアしても、PER フラグは影響を受けず以前の状態を保持します。
2	TEND	トランスミットエンド ［セット条件］ • SCI3nSCR の TE ビットが 0 のとき • 送信キャラクタの最後尾ビットの送信時、TDRE フラグが 1 のとき ［クリア条件］ • TDRE ＝ 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき • TE ＝ 1 の状態で TDR へ送信データをライトしたとき
1	MPB	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。
0	MPBT	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

14.3.8　SCI3nSCMR — シリアル通信フォーマットレジスタ

SCI3nSCMR は調歩同期式モード、クロック同期式モードで共通に設定可能な通信フォーマットを選択するためのレジスタです。

アクセス　8 ビット単位でリード / ライト可能です。

アドレス　<SCI3n_base> + 0018_H

リセット後の値　$F2_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	—
リセット後の値	1	1	1	1	0	0	1	0
R/W	R	R	R	R	R/W 注 1	R/W 注 1	R	R

注 1.　TE = RE = 0 の場合のみライト可能です。

表 14.7　SCI3nSCMR レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブビット リードすると常に 1 が読み出されます。書き込む際は必ずリセット後の値を書き込んでください。
3	SDIR	シリアルデータトランスファディレクション （調歩同期式モード、クロック同期式モードで有効） シリアル／パラレル変換の方向を選択します。 0：LSB ファーストで送受信 1：MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	シリアルデータインバート （調歩同期式モード、クロック同期式モードで有効） 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SCI3nSMR の PM ビットを反転してください。 0：SCI3nTDR の内容をそのまま送信、受信データをそのまま SCI3nRDR に格納 1：SCI3nTDR の内容を反転して送信、受信データを反転して SCI3nRDR に格納
1	—	リザーブビット リードすると常に 1 が読み出されます。書き込む際は必ずリセット後の値を書き込んでください。
0	—	リザーブビット リードすると常に 0 が読み出されます。書き込む際は必ずリセット後の値を書き込んでください。

14.3.9　SCI3nSEMR — シリアル拡張モードレジスタ

SCI3nSEMR は、1 ビット期間の選択をするためのレジスタです。

アクセス　8 ビット単位でリード / ライト可能です。

アドレス　<SCI3n_base> + $001C_H$

リセット後の値　04_H

ビット	7	6	5	4	3	2	1	0
	BRME	MDDRS	—	—	ABCS	RXDMON	—	—
リセット後の値	0	0	0	0	0	1	0	0
R/W	R/W 注 1	R/W 注 1	R	R	R/W 注 1	R	R	R

注 1.　TE = RE = 0 の場合のみライト可能です。

表 14.8　SCI3nSEMR レジスタの内容

ビット位置	ビット名	機能
7	BRME	ビットレートモジュレーションイネーブル このビットを 1 にセットするとビットレートモジュレーション機能が有効になります。
6	MDDRS	モジュレーションデューティレジスタセレクト このビットはアクセス可能にするレジスタを選択します。 0：SCI3nBRR がアクセス可能 1：SCI3nMDDR がアクセス可能
5、4	—	リザーブビット リードすると常に 0 が読み出されます。書き込む際は必ずリセット後の値を書き込んでください。
3	ABCS	調歩同期基本クロックセレクト（調歩同期式モードのみ有効） 1 ビット期間の基本クロックを選択します。 0：転送レートの 16 倍の周波数の基本クロックで動作 1：転送レートの 8 倍の周波数の基本クロックで動作（倍速動作）
2	RXDMON	シリアル入力データモニタビット RxD 端子の状態を表示します。 0：SCInRxD 端子状態は Low レベル 1：SCInRxD 端子状態は High レベル
1、0	—	リザーブビット リードすると常に 0 が読み出されます。書き込む際は必ず リセット後の値を書き込んでください。

14.3.10　SCI3nBRR — ビットレートレジスタ

SCI3nBRR はビットレートを調整するための 8 ビットのレジスタです。SCI3 はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モードにおける SCI3nBRR の設定値 N とビットレート B の関係を**表 14.9** に示します。SCI3nBRR の リセット後の値は FF_H です。SCI3nBRR は SCI3nMDDR と同一のアドレスに配置されており、SCI3nSEMR の MDDRS = 0 の場合に選択されます。TE = RE = 0 の場合のみライト可能です。

表 14.9　SCI3nBRR の設定値 N とビットレート B の関係

モード	ABCSの設定	ビットレート	平均誤差
調歩同期式	0	$B = \frac{\phi \times 10^6}{64 \times 2^{2m-1} \times (N+1)}$	誤差 (%) = $\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2m-1} \times (N+1)} - 1 \} \times 100$
	1	$B = \frac{\phi \times 10^6}{32 \times 2^{2m-1} \times (N+1)}$	誤差 (%) = $\{ \frac{\phi \times 10^6}{B \times 32 \times 2^{2m-1} \times (N+1)} - 1 \} \times 100$
クロック同期式	—	$B = \frac{\phi \times 10^6}{8 \times 2^{2m-1} \times (N+1)}$	

備考　B：ビットレート（bit/s）
N：ボーレートジェネレータの SCI3nBRR の設定値（0 ≦ N ≦ 255）
ϕ：動作周波数 PCLK（MHz）
m：下表のとおり SCI3nSMR の設定値によって決まります。

SMR の設定値		m
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

通常の調歩同期式モードにおける SCI3nBRR の値 N の設定例を**表 14.10** に、設定可能な最大ビットレートを**表 14.11** に示します。

表 14.10　ビットレートに対する BRR の設定例（調歩同期式モード）

ビットレート（bit/s）	動作周波数 φ = 40（MHz）							
	SCI3nSEMR ABCS = 0				SCI3nSEMR ABCS = 1			
	m	N	実際のビットレート（bit/s）	誤差（%）	m	N	実際のビットレート（bit/s）	誤差（%）
110	3	177	109.73	-0.25	—	—	—	—
150	3	129	150.24	0.16	3	255	152.59	1.73
300	3	64	300.48	0.16	3	129	300.48	0.16
600	2	129	600.96	0.16	3	64	600.96	0.16
1200	2	64	1201.92	0.16	2	129	1201.92	0.16
2400	1	129	2403.85	0.16	2	64	2403.85	0.16
4800	0	255	4882.81	1.73	1	129	4807.69	0.16
9600	0	129	9615.38	0.16	1	64	9615.38	0.16
19200	0	64	19230.77	0.16	0	129	19230.77	0.16
31250	0	39	31250.00	0.00	0	79	31250.00	0.00
38400	0	32	37878.79	-1.36	0	64	38461.54	0.16

表 14.11　最大ビットレート（調歩同期式モード）

φ（MHz）	設定値			最大ビットレート（bit/s）
	SCI3nSEMR ABCS の設定	m	N	
40	0	0	0	1250000
	1	0	0	2500000

クロック同期式モードにおける SCI3nBRR レジスタの値 N の設定値を**表 14.12** に示します。設定可能な最大ビットレートを**表 14.13** に示します。

表 14.12　クロック同期式モードのビットレート設定例

ビットレート（bit/s）	動作周波数 φ = 40（MHz）		
	m	N	実際のビットレート（bit/s）
1k	3	155	1001.60
2.5k	3	62	2480.16
5k	2	124	5000.00
10k	2	62	9920.63
25k	1	99	25000.00
50k	1	49	50000.00
100k	0	99	100000.00
250k	0	39	250000.00
500k	0	19	500000.00
1M	0	9	1000000.00
2M	0	4	2000000.00
2.5M	0	3	2500000.00
5M	0	1	5000000.00

表 14.13　内部クロック出力時の最大ビットレート（クロック同期式モード）

φ（MHz）	m	N	最大ビットレート（bit/s）
40	0	1	5000000.00

14.3.11　SCI3nMDDR — モジュレーションデューティレジスタ

SCI3nMDDR は SCI3nBRR により調整されたビットレートを補正するためのレジスタです。SCI3nMDDR の リセット後の値は FF_H です。SCI3nSEMR の BRME ビットが 1 にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に SCI3nMDDR/256 に補正します。SCI3nMDDR の設定値とビットレート B の関係を**表 14.14** に示します。SCI3nMDDR は SCI3nBRR と同一のアドレスに配置されており、SCI3nSEMR の MDDRS = 1 の場合に選択されます。TE = RE = 0 の場合のみライト可能です。ビット 7 は 1 に固定されています。

表 14.14　ビットレートモジュレーション機能使用時の SCI3nMDDR 設定値とビットレート B の関係

モード	ABCSの設定	ビットレート	平均誤差
調歩同期式	0	$B = \dfrac{\phi \times 10^6}{64 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	誤差 (%) = $\{\dfrac{\phi \times 10^6}{B \times 64 \times 2^{2m-1} \times (256/MDDR) \times (N+1)} - 1\} \times 100$
	1	$B = \dfrac{\phi \times 10^6}{32 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	誤差 (%) = $\{\dfrac{\phi \times 10^6}{B \times 32 \times 2^{2m-1} \times (256/MDDR) \times (N+1)} - 1\} \times 100$
クロック同期式	—	$B = \dfrac{\phi \times 10^6}{8 \times 2^{2m-1} \times (256/MDDR) \times (N+1)}$	

備考　B：ビットレート（bit/s）
N：ボーレートジェネレータの BRR の設定値（0 ≦ N ≦ 255）
ϕ：動作周波数 PCLK（MHz）
m：**表 14.9　SCI3nBRR の設定値 N とビットレート B の関係**を参照してください。
MDDR：SCI3nMDDR の設定値（128 ≦ MDDR ≦ 255）

14.4　調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを**図 14.2** に示します。1 フレームは、スタートビット（Low レベル）から始まり送受信データ、パリティビット、ストップビット（High レベル）の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態（High レベル）に保たれています。SCI3 は通信回線を監視し、スペース（Low レベル）を検出するとスタートビットとみなしてシリアル通信を開始します。SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード／ライトができ、連続送受信が可能です。

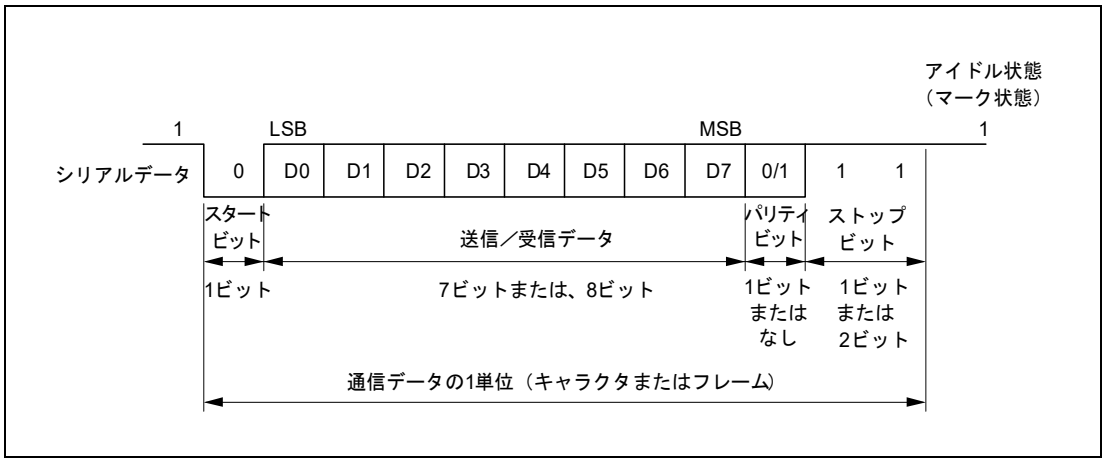


図 14.2　調歩同式通信のデータフォーマット（8 ビットデータ／パリティあり／2 ストップビットの例）

14.4.1　送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、**表 14.15** に示します。フォーマットは 12 種類あり、SCI3nSMR の選定により選択できます。マルチプロセッサビットについては**「14.5　マルチプロセッサ通信機能」**を参照してください。

表 14.15　シリアル送信 / 受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S	8ビットデータ								STOP		
0	0	0	1	S	8ビットデータ								STOP	STOP	
0	1	0	0	S	8ビットデータ								P	STOP	
0	1	0	1	S	8ビットデータ								P	STOP	STOP
1	0	0	0	S	7ビットデータ							STOP			
1	0	0	1	S	7ビットデータ							STOP	STOP		
1	1	0	0	S	7ビットデータ							P	STOP		
1	1	0	1	S	7ビットデータ							P	STOP	STOP	
0	—	1	0	S	8ビットデータ								MPB	STOP	
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP
1	—	1	0	S	7ビットデータ							MPB	STOP		
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP	

備考　S：スタートビット
STOP：ストップビット
P：パリティビット
MPB：マルチプロセッサビット

14.4.2　受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 はビットレートの 16 倍（倍速動作時は 8 倍）の周波数の基本クロックで動作します。受信時はスタートビットの始まり（Low レベル）を基本クロックでサンプリングして内部を同期化します。また、**図 14.3** に示すように受信データを基本クロックの 8ヶ目（倍速動作時は 4ヶ目）の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。

したがって、調歩同期式モードでの受信マージンは式（1）のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L-0.5)F - \frac{|D-0.5|}{N}(1+F) \right| \times 100 \ [\%] \qquad \cdots 式（1）$$

M：受信マージン

N：クロックに対するビットレートの比

（SCI3nSEMR の ABCS ＝ 0 のとき N ＝ 16、ABCS ＝ 1 のとき N ＝ 8）

D：クロックのデューティ（D ＝ 0.5 ～ 1.0）

L：フレーム長（L ＝ 9 ～ 12）

F：クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）＝ 0、D（クロックのデューティ）＝ 0.5、N ＝ 16 とすると、

$$M = \{0.5 - 1/(2\times16)\} \times 100 \ [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30%の余裕を持たせてください。

ビットレートモジュレーション機能使用時は基本クロックの周波数を平均的に補正します。

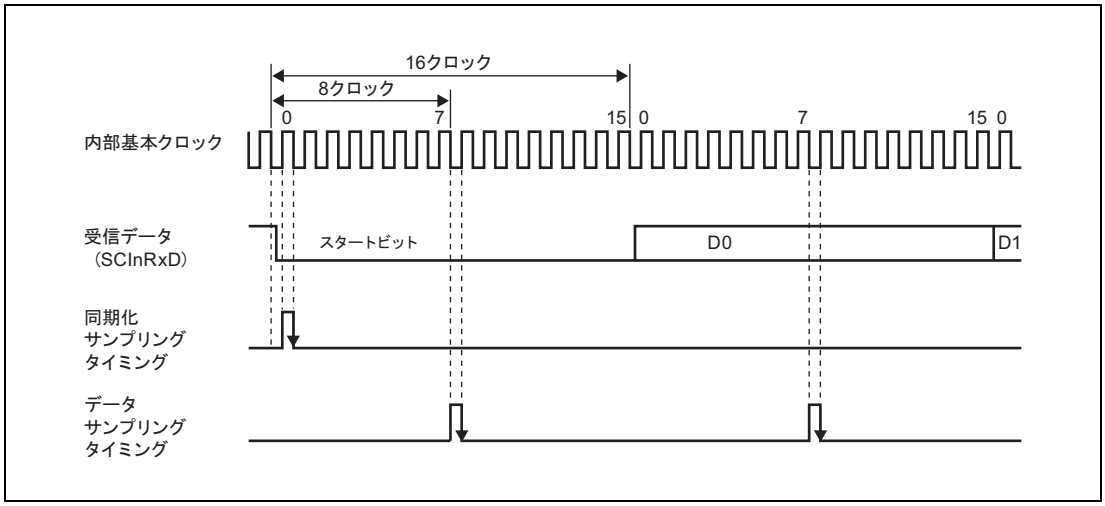


図 14.3　調歩同期式モードの受信データサンプリングタイミング

14.4.3　クロック

SCI3 の送受信クロックは、SCI3nSMR の CM ビットと SCI3nSCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックを設定できます。内部クロックで動作させるときは SCInSCK 端子からクロックを出力することができます。

クロック同期式モードについては**「14.6　クロック同期式モードの動作」**を参照してください。

調歩同期式モードの場合、**図 14.4** に示すように出力されるクロックの周波数はビットレートと等しく送信データの中央で立ち上がる位相となります。

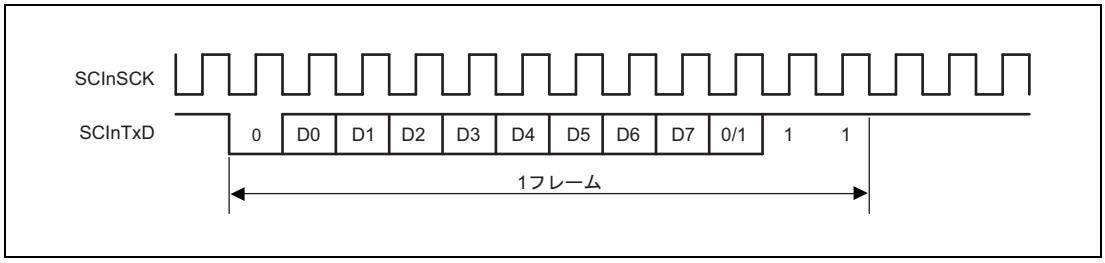


図 14.4　出力クロックと送信データの位相関係（調歩同期式モード）

14.4.4　倍速動作

「14.4.3　クロック」の動作に加えて、SCI3nSEMR の ABCS ビットの設定により倍速動作が可能です。

通常のビットレートの 16 倍の周波数のクロックの動作を倍速動作では、8 倍の周波数のクロックで動作させることができます。同一の基本クロックで 2 倍の転送レートで動作することができます。

倍速動作は、内部ボーレートジェネレータの生成する内部クロックを設定できます。

14.4.5　SCI3 の初期化（調歩同期式）

データの送受信前に、SCI3nSCR の TE、RE ビットをクリアした後、**図 14.5** のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットをいずれも 0 にクリアしてから変更を行ってください。TE ビットを 0 にクリアすると、TDRE フラグは 1 にセットされますが、RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および SCI3nRDR は初期化されませんので注意してください。

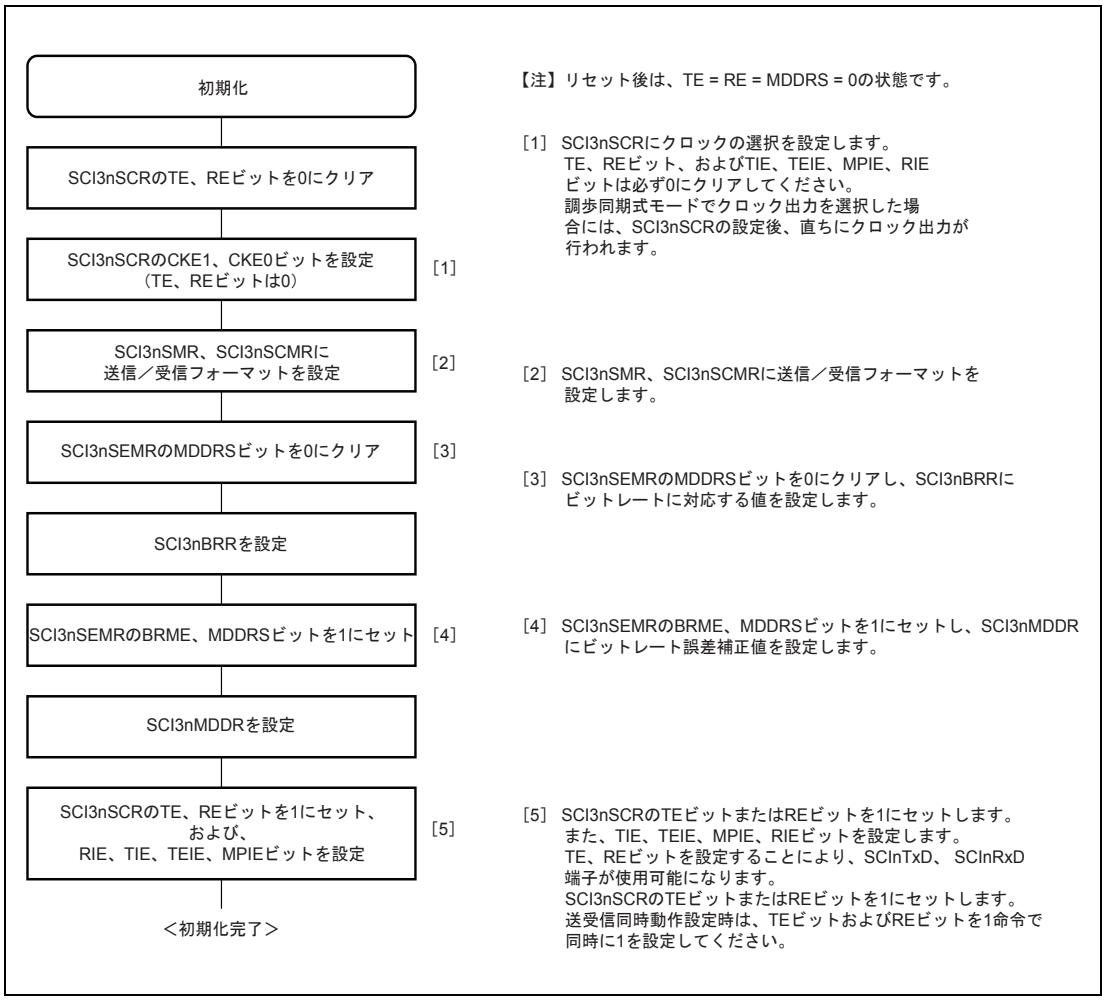


図 14.5　SCI3 の初期化フローチャートの例

14.4.6 シリアルデータ送信（調歩同期式）

図 14.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3nTDR に送信データをライトすると TDRE フラグは自動的に 0 にクリアされます。SCI3 は SCI3nSSR の TDRE フラグを監視し、クリアされると SCI3nTDR にデータが書き込まれたと認識して SCI3nTDR から SCI3nTSR にデータを転送します。なお、SCI3nTDR への送信データライトを TXI 割り込み要求にて行う場合、TIE ビットを 1 にセットした後に TE ビットを 1 にセットするか、TIE ビットと TE ビットを 1 命令で同時に 1 にセットすることで転送開始時の TXI 割り込み要求を発生させることができます。
2. SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグを 1 にセットして送信を開始します。このとき、SCI3nSCR の TIE ビットが 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに SCI3nTDR に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、最終送信データを SCI3nTDR レジスタに書き込んだ後、TIE ビットを 0 にクリアし、TEIE ビットを 1 にセットします。
3. SCInTxD 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDRE フラグをチェックします。
5. TDRE フラグが 0 であると次の送信データを SCI3nTDR から SCI3nTSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDRE フラグが 1 であると SCI3nSSR の TEND フラグを 1 をセットし、ストップビット送出後、1 を出力してマーク状態になります。このとき SCI3nSCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。

図 14.7 にデータ送信のフローチャートの例を示します。また、**図 14.8** に、データ送信後に SCI3 を停止するフローチャートの例を示します。

※ 調歩同期式モードの送信許可時の動作に関する補足

TE ビットを 0 から 1 にセットすると 1 フレーム分の High レベル (プリアンブル) を出力します。プリアンブル出力中に SCI3nTDR に送信データをライトすると、プリアンブル出力終了後にその送信データが SCI3nTDR から SCI3nTSR にデータが転送されます。

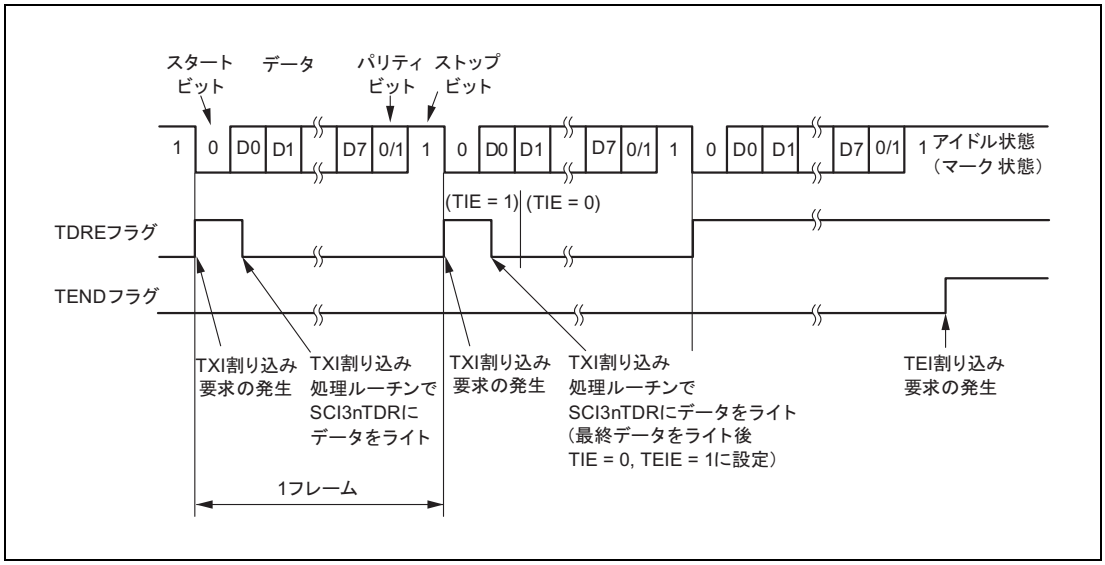


図 14.6　調歩同期式モードの送信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

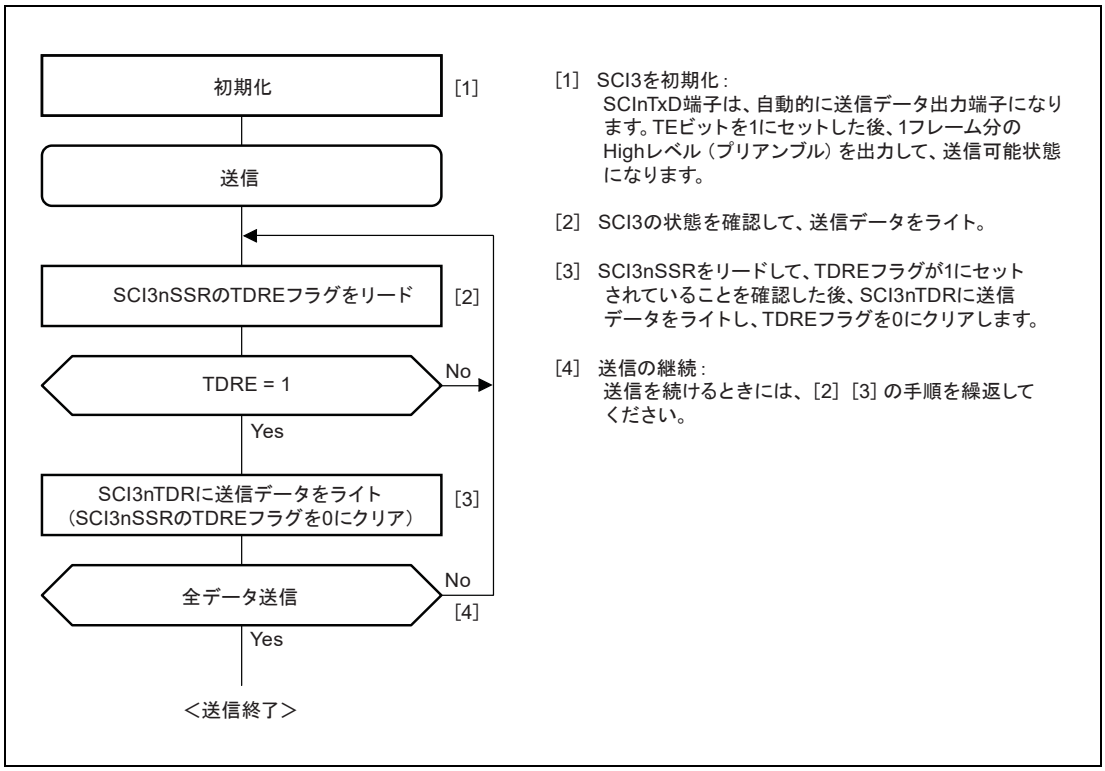


図 14.7　シリアル送信のフローチャートの例

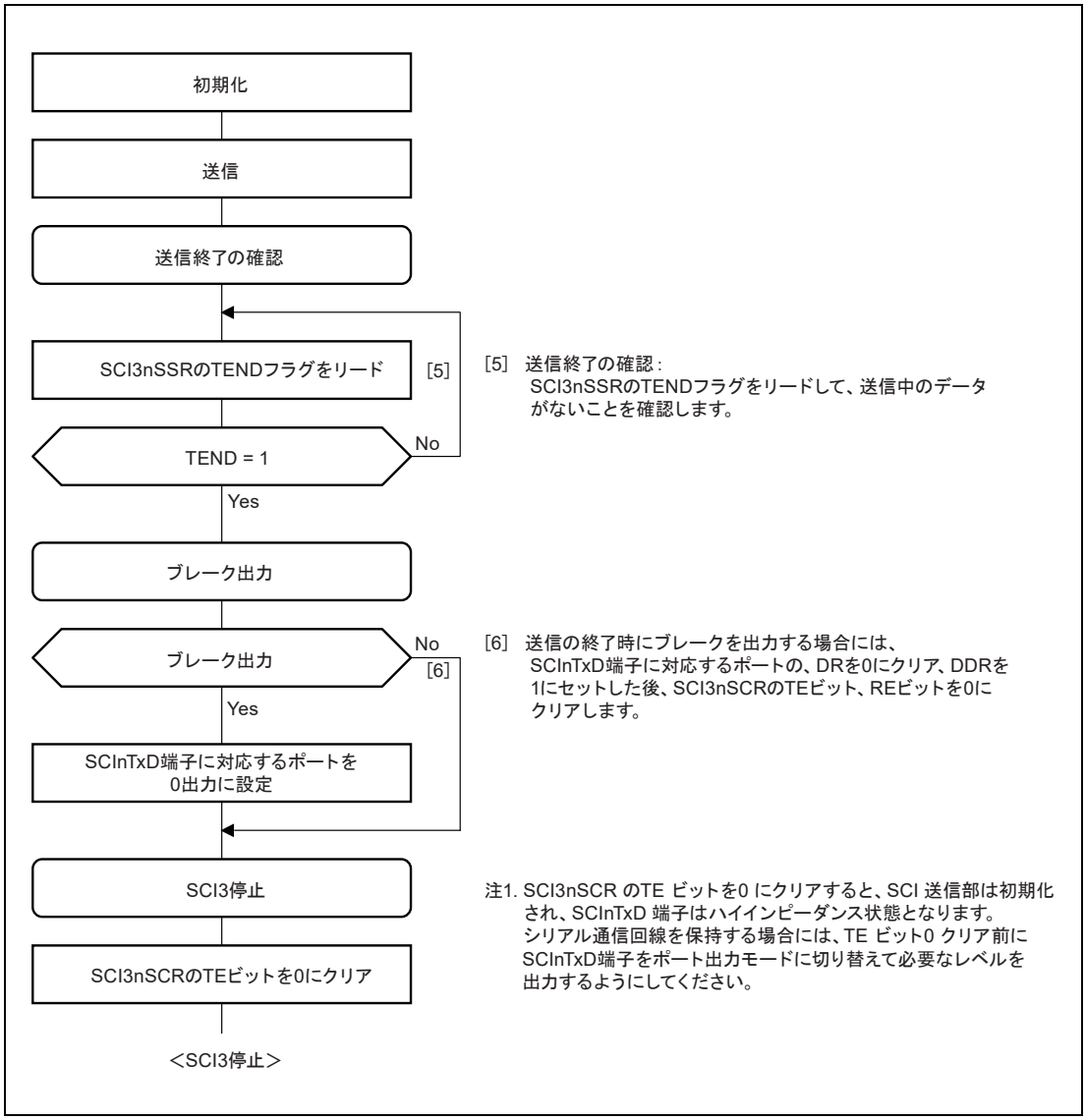


図 14.8 シリアル送信後に SCI3 を停止するフローチャートの例

14.4.7　シリアルデータ受信（調歩同期式）

図 14.9 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI3 は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データを SCI3nRSR に取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SCI3nSSR の RDRF フラグが 1 にセットされたまま次のデータを受信完了したとき）は SCI3nSSR の ORER フラグをセットします。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求を発生します。受信データは SCI3nRDR に転送しません。RDRF フラグは 1 にセットされた状態を保持します。
3. パリティエラーを検出した場合は SCI3nSSR の PER フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求を発生します。
4. フレーミングエラー（ストップビットが 0 のとき）を検出した場合は SCI3nSSR の FER フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求を発生します。
5. 正常に受信したときは SCI3nSSR の RDRF フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで SCI3nRDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。SCI3nRDR をリードすると、RDRF フラグは自動的に 0 にクリアされます。

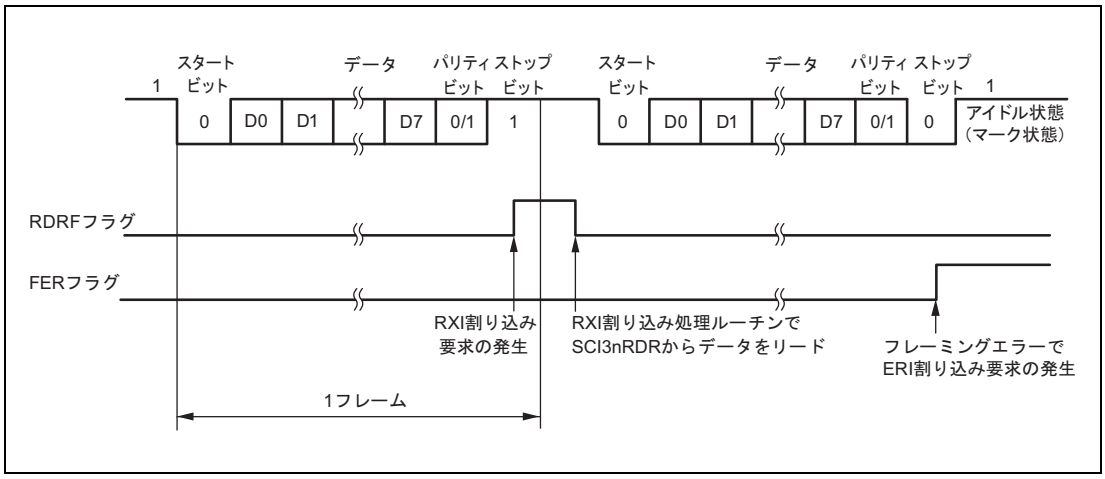


図 14.9　SCI3 の受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

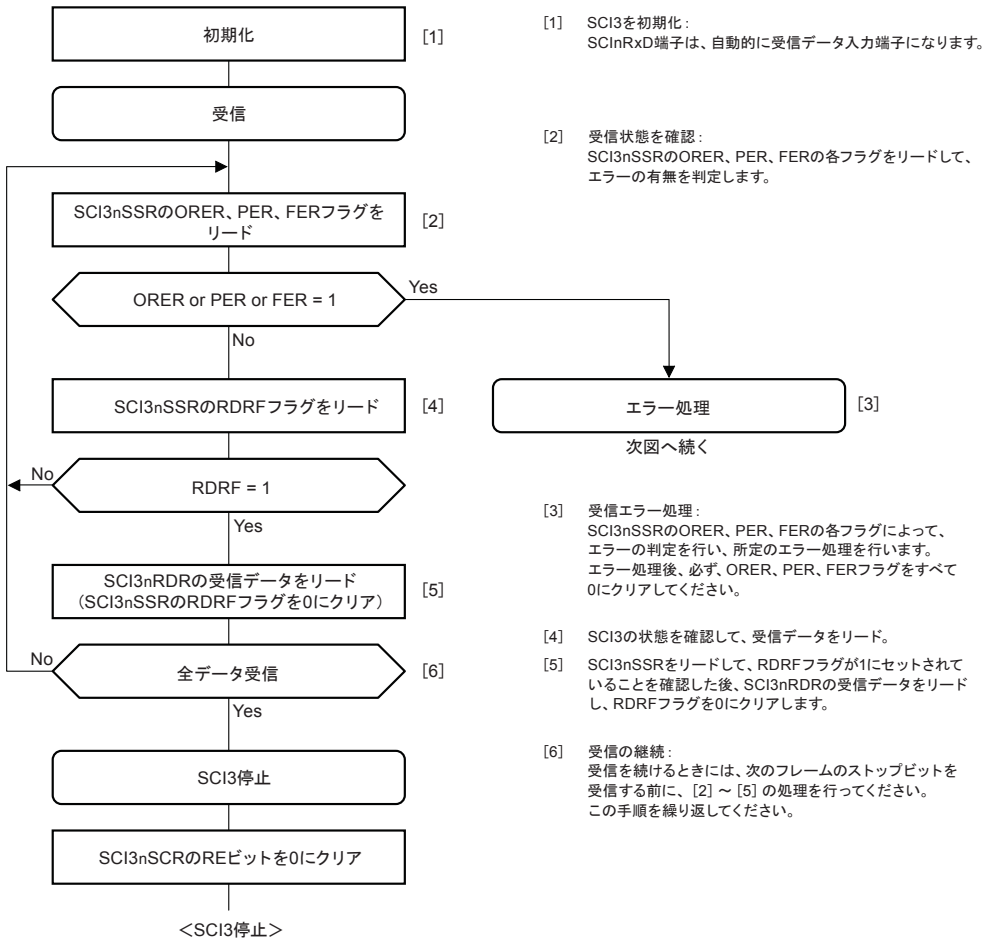
受信エラーを検出した場合の SCI3nSSR の各ステータスフラグの状態と受信データの処理を **表 14.16** に示します。受信エラーを検出すると、RDRF フラグはデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。**図 14.10**、**図 14.11** にデータ受信のためのフローチャートの例を示します。

表 14.16　SCI3nSSR のステータスフラグの状態と受信データの処理

SCI3nSSR のステータスフラグ				受信データ	受信状態
RDRF 注1	ORER	FER	PER		
1	0	0	0	SCI3nRDR へ転送	正常受信
0	0	1	0	SCI3nRDR へ転送	フレーミングエラー
0	0	0	1	SCI3nRDR へ転送	パリティエラー
0	0	1	1	SCI3nRDR へ転送	フレーミングエラー＋パリティエラー
1 注1	1	0	0	消失	オーバランエラー
1 注1	1	1	0	消失	オーバランエラー＋フレーミングエラー
1 注1	1	0	1	消失	オーバランエラー＋パリティエラー
1 注1	1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

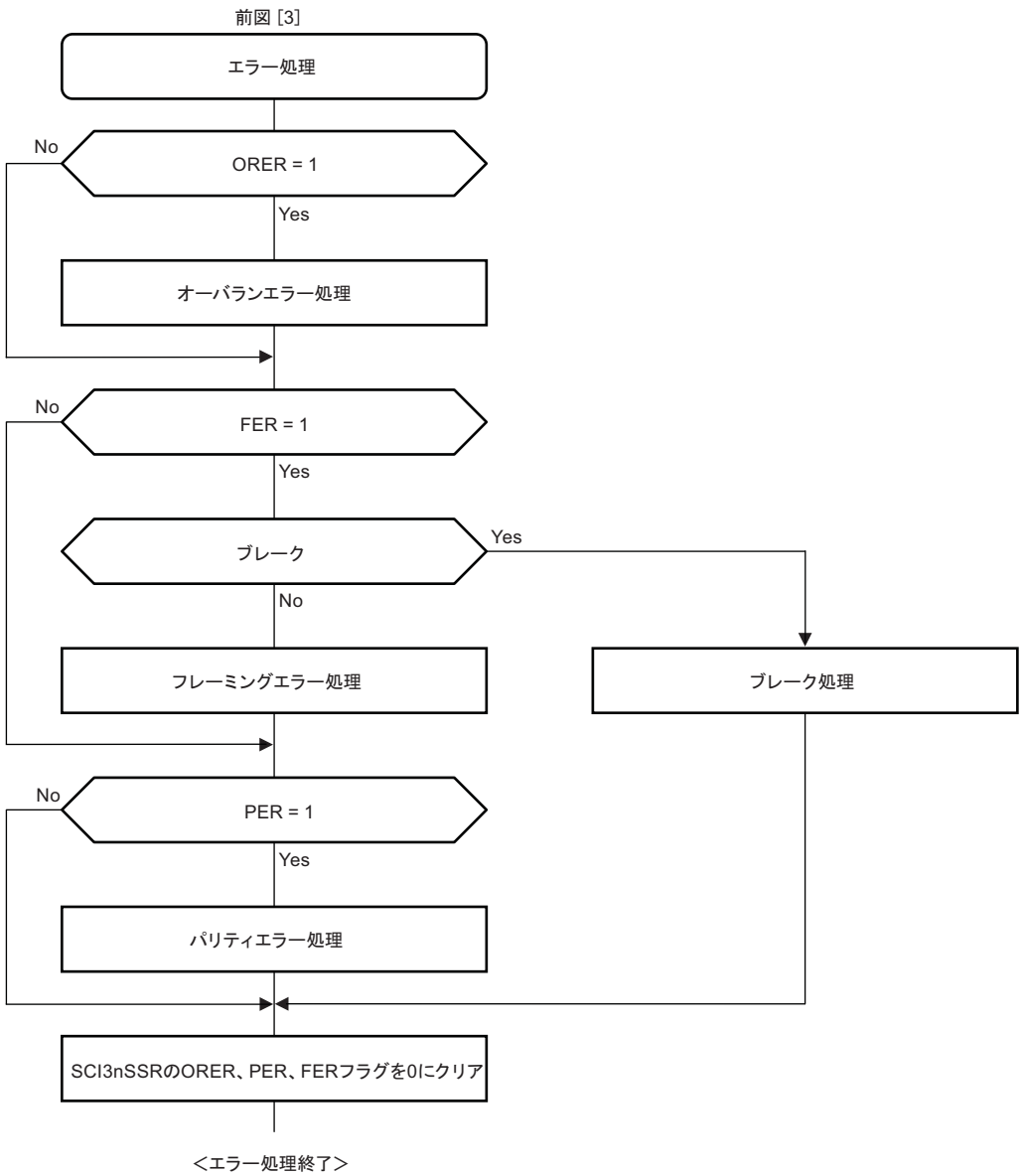
備考　＋は、1 つの受信動作において、同時に発生することを示します。

注 1.　オーバランエラーの場合、RDRF フラグは、データ受信前の状態を保持します。



注 1. SCI3nSCR の RE ビットを 0 にクリアすると、SCI 内部は初期化され、SCInRxD 端子はハイインピーダンス状態となります。
シリアル通信回線を保持する場合には、RE ビットを 0 にクリアしないでください。

図 14.10　シリアル受信のフローチャートの例（1）



注 1.　フレーミングエラー時に SCI3nSEMR の RXDMON ビットの値をリードすることでブレークの検出ができます。

注 2.　エラー処理後、必ず、ORER、PER、FER フラグを全て 0 にクリアしてください。
ORER、PER、FER フラグのいずれかが 1 にセットされた状態では、受信を再開できません。

図 14.11　シリアル受信のフローチャートの例（2）

14.5　マルチプロセッサ通信機能

14.5.1　概要と接続例

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。**図 14.12** にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI3 はこの機能をサポートするため、SCI3nSCR に MPIE ビットが設けてあります。MPIE ビットを 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで SCI3nRSR から SCI3nRDR への受信データの転送、および受信エラーの検出と SCI3nSSR の RDRF、FER、ORER の各フラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SCI3nSSR の MPB ビットが 1 にセットされるとともに MPIE ビットが自動的に 0 にクリアされて通常の受信動作に戻ります。このとき SCI3nSCR の RIE ビットがセットされていると RXI 割り込み要求を発生します。MPIE ビットが 0 にクリアされた状態では、マルチプロセッサビットの値に関係なく受信動作を行います。マルチプロセッサビットは、SCI3nSSR の MPB ビットに格納されます。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

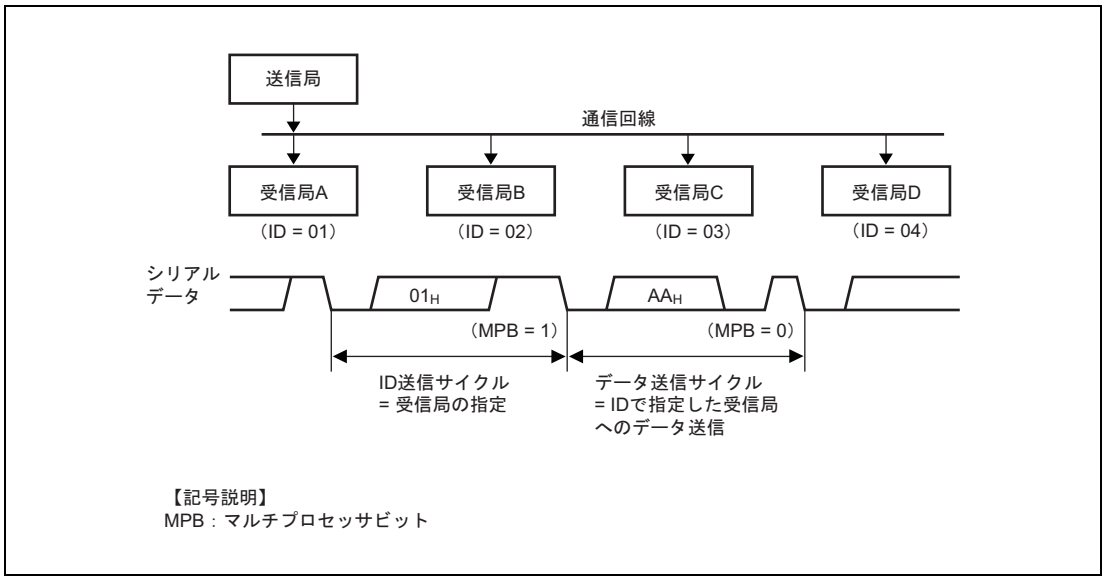


図 14.12　マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AA_H の送信の例）

14.5.2　マルチプロセッサシリアルデータ送信

図 14.13 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SCI3nSSR の MPBT ビットを 1 にセットして送信してください。データ送信サイクルでは SCI3nSSR の MPBT ビットを 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

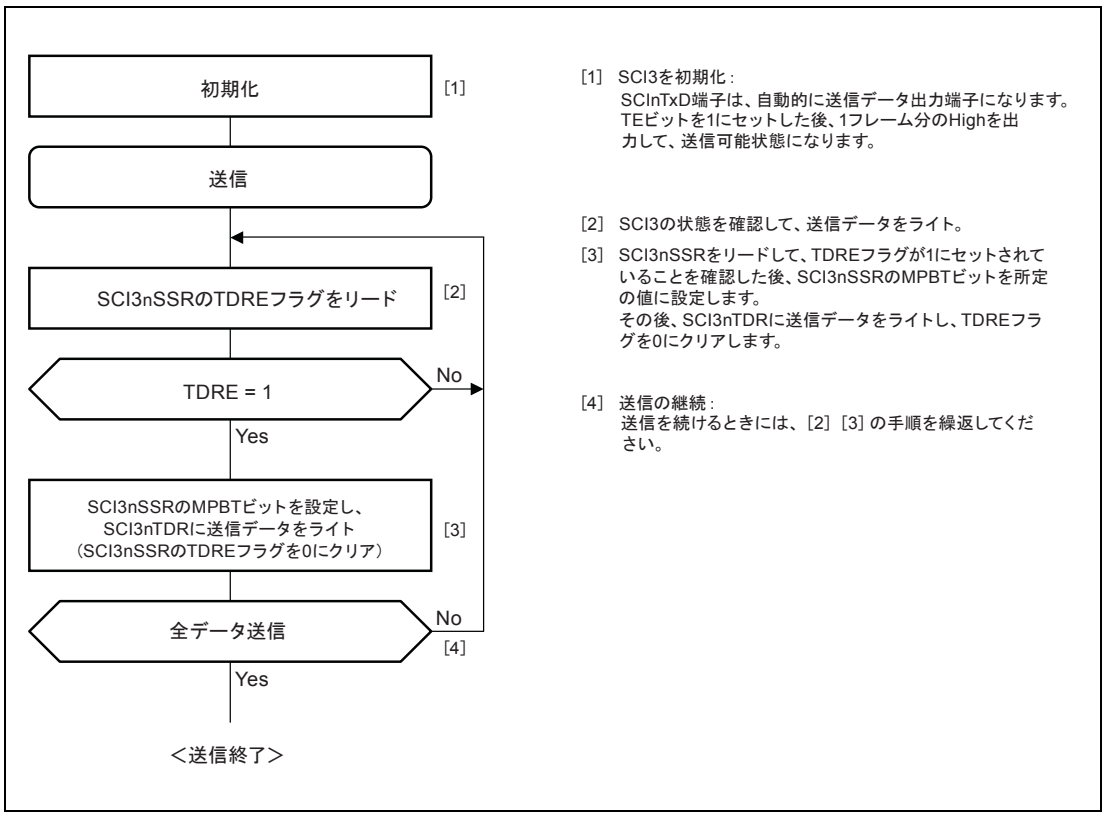


図 14.13　マルチプロセッサシリアル送信のフローチャートの例

14.5.3　マルチプロセッサシリアルデータ受信

図 14.15 ～**図 14.17** にマルチプロセッサデータ受信のフローチャートの例を示します。SCI3nSCR の MPIE ビットを 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを SCI3nRDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。**図 14.14** に受信時の動作例を示します。

［使用上の注意：マルチプロセッサビットが 1 の通信データを受信するタイミングで、SCI3nSCR へのライトを行わないでください。MPIE ビットが所望の状態にならない場合があります。］

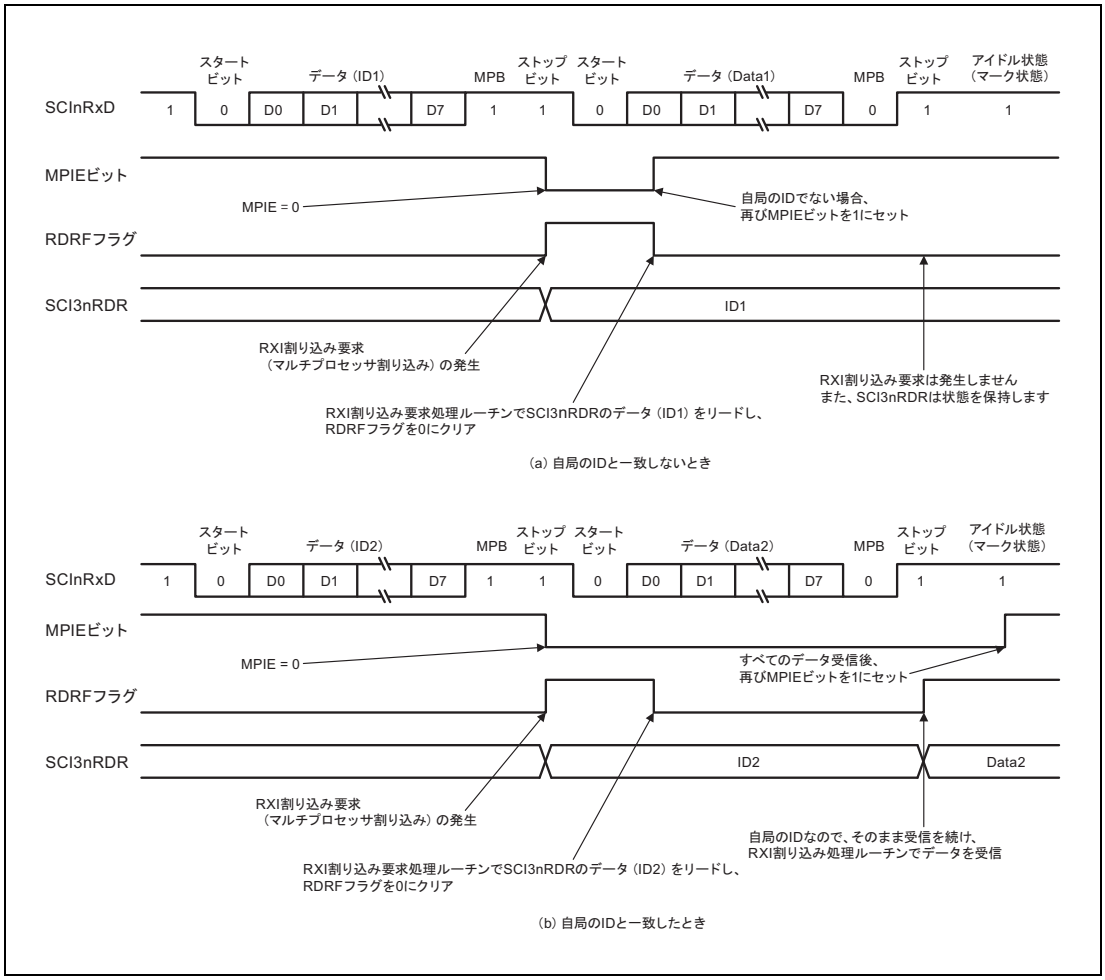


図 14.14　SCI3 の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの例）

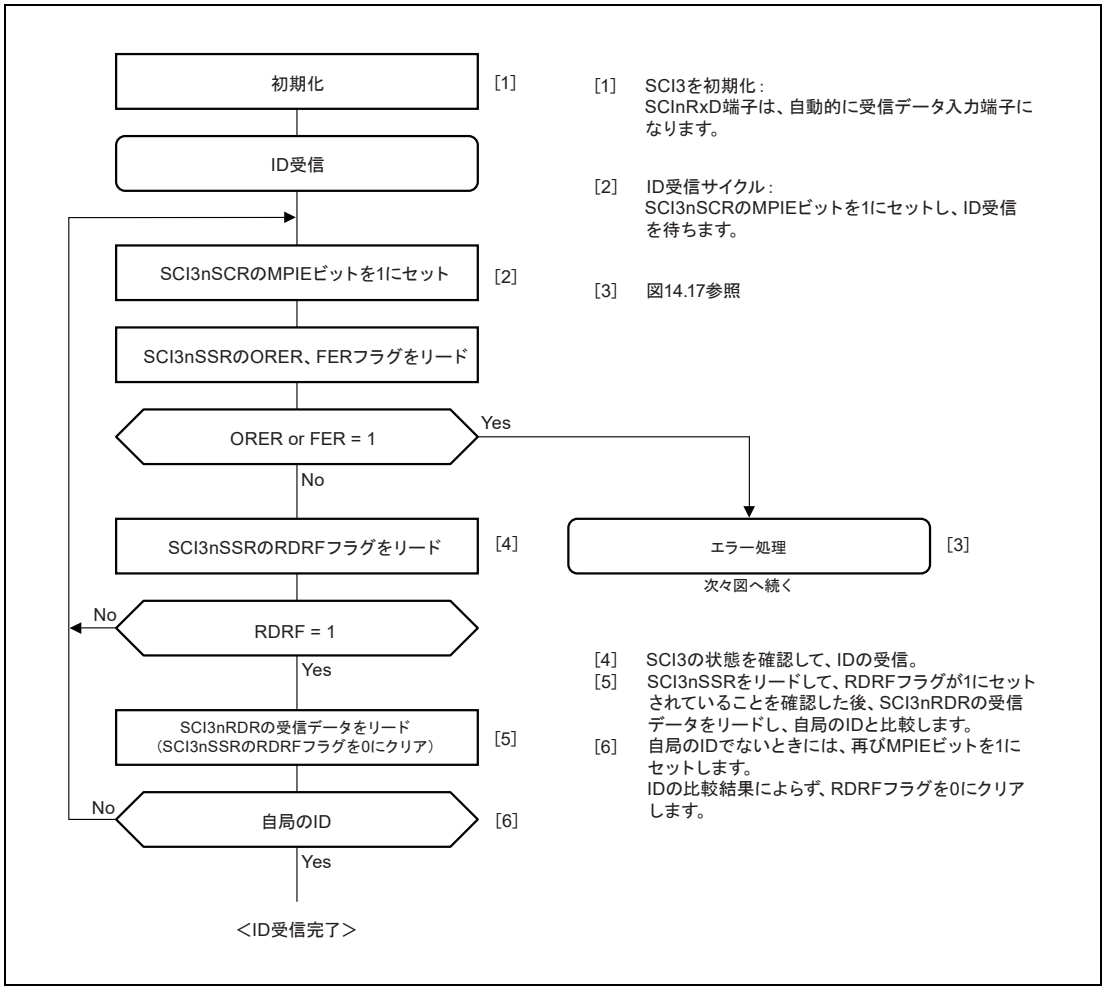
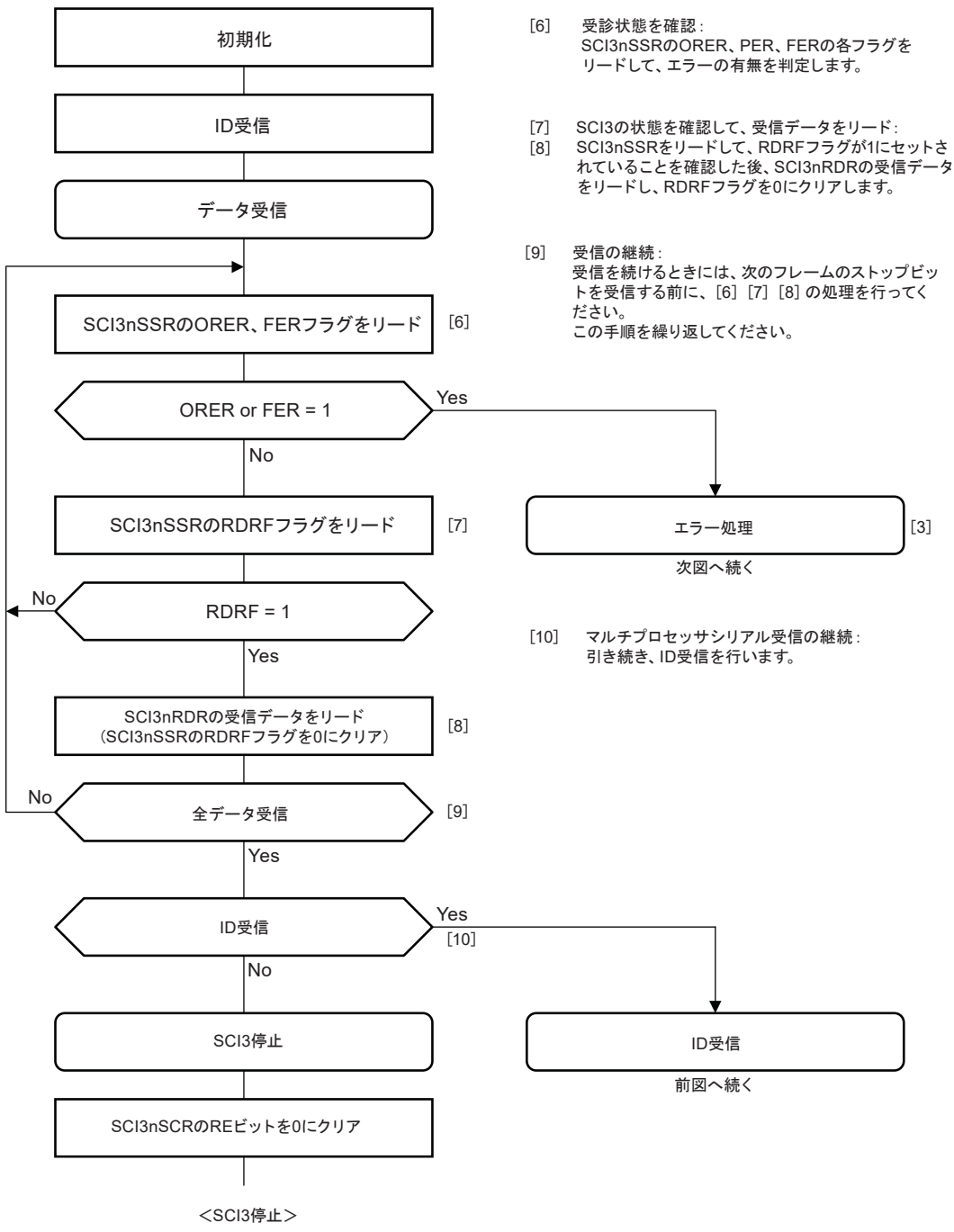
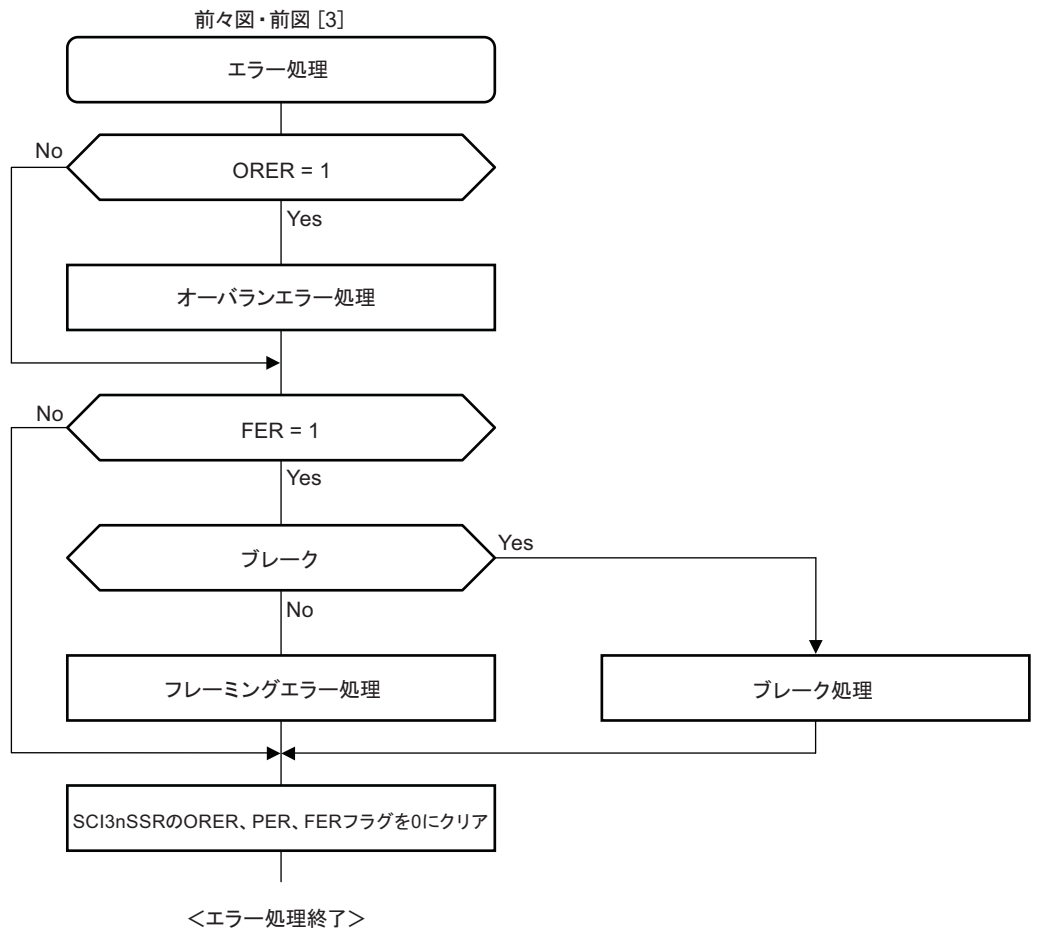


図 14.15 マルチプロセッサシリアル受信のフローチャートの例（1）



注 1.　SCI3nSCR の RE ビットを 0 にクリアすると、SCI 内部は初期化され、SCInRxD 端子はハイインピーダンス状態となります。
シリアル通信回線を保持する場合には、RE ビットを 0 にクリアしないでください。

図 14.16　マルチプロセッサシリアル受信のフローチャートの例（2）



注 1.　フレーミングエラー時に SCI3nSEMR の RXDMON ビットの値をリードすることでブレークの検出ができます。

注 2.　エラー処理後、必ず、ORER、PER、FER フラグを全て 0 にクリアしてください。
ORER、PER、FER フラグのいずれかが 1 にセットされた状態では、受信を再開できません。

図 14.17　マルチプロセッサシリアル受信のフローチャートの例（3）

14.6　クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを**図 14.18** に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI3 は、同期クロック出力時のデータ送信においては、同期クロックの立ち下がりから次の立ち下がりまでデータを出力します。同期クロック入力時のデータ送信においては、転送開始最初のデータ（ビット 0）を SCI3nSSR の TDRE ビットを 0 にクリアした直後から出力し、その後は同期クロックの立ち上がりから φ クロックで 2 ～ 3 クロック後に次のビットのデータを出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

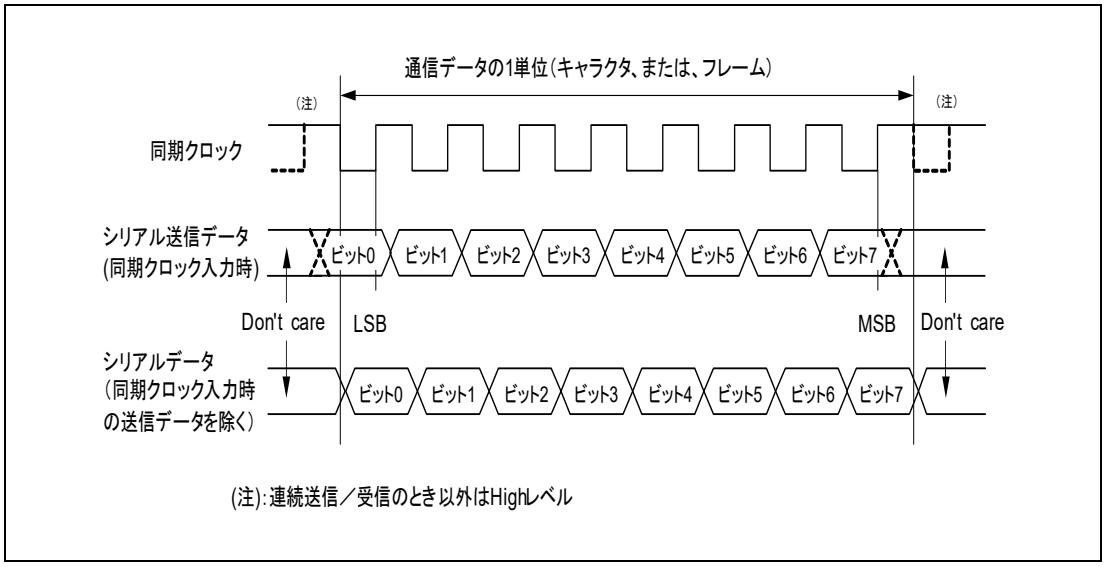


図 14.18　クロック同期式通信のデータフォーマット（LSB ファーストの場合）

14.6.1　クロック

SCI3nSCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCInSCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCInSCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

14.6.2　SCI3 の初期化（クロック同期式）

データの送受信前に、SCI3nSCR の TE、RE ビットをいずれも 0 にクリアした後、**図 14.19** のフローチャートの例に従って初期化してください。送信動作、受信動作、送受信動作を切り替えるときには、一旦、TE ビットと RE ビットを 0 にクリアしてから、TE ビット、RE ビットを所望の値に設定してください。通信フォーマットの変更の場合も必ず、TE ビットおよび RE ビットをいずれも 0 にクリアしてから変更を行ってください。TE ビットを 0 にクリアすると、TDRE フラグは 1 にセットされますが、RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および SCI3nRDR は初期化されませんので注意してください。

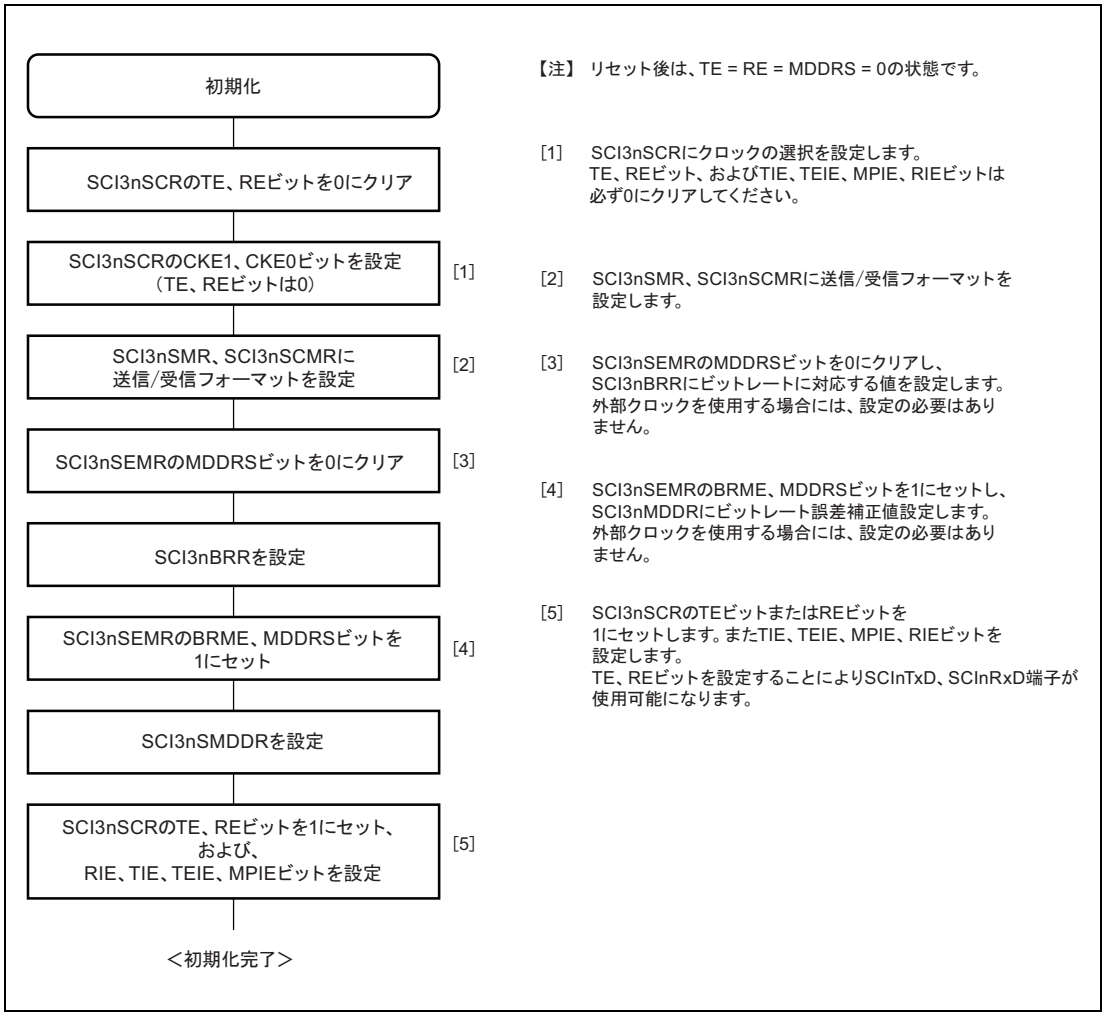


図 14.19　SCI3 の初期化フローチャートの例

14.6.3 シリアルデータ送信（クロック同期式）

図 14.20 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3nTDR に送信データをライトすると、TDRE フラグは自動的に 0 にクリアされます。SCI3 は SCI3nSSR の TDRE フラグを監視し、クリアされると SCI3nTDR にデータが書き込まれたと認識して SCI3nTDR から SCI3nTSR にデータを転送し、同期クロック入力時には最初のビットの出力を開始します。なお、SCI3nTDR への送信データライトを TXI 割り込み要求にて行う場合、TIE ビットを 1 にセットした後に TE ビットを 1 にセットするか、TIE ビットと TE ビットを 1 命令で同時に 1 にセットすることで転送開始時の TXI 割り込み要求を発生させることができます。
2. SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグを 1 にセットして送信を開始します。このとき、SCI3nSCR の TIE ビットが 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに SCI3nTDR に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、最終送信データを SCI3nTDR レジスタに書き込んだ後、TIE ビットを 0 にクリアし、TEIE ビットを 1 にセットします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、SCInTxD 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE フラグをチェックします。
5. TDRE フラグが 0 であると次の送信データを SCI3nTDR から SCI3nTSR に転送し、次のフレームの送信を開始します。
6. TDRE フラグが 1 であると SCI3nSSR の TEND フラグに 1 をセットし、最終ビット出力状態を保持します。このとき SCI3nSCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。SCInSCK 端子は High レベルに固定されます。

図 14.21 にデータ送信のフローチャートの例を示します。また、**図 14.22** に、データ送信後に SCI3 を停止するフローチャートの例を示します。受信エラーフラグ（ORER）が 1 にセットされた状態では TDRE フラグをクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

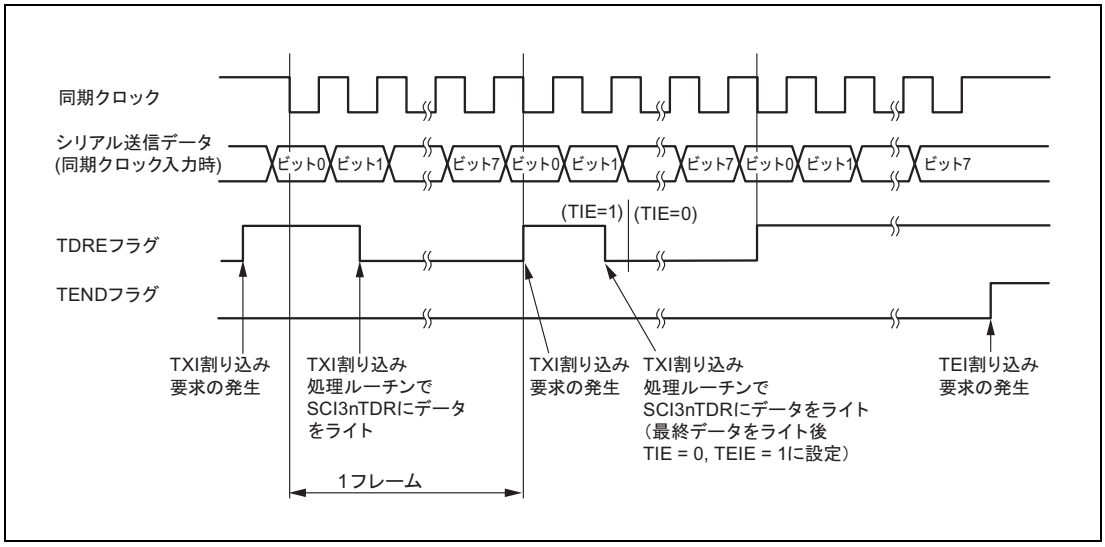


図 14.20　クロック同期式モードの送信時の動作例

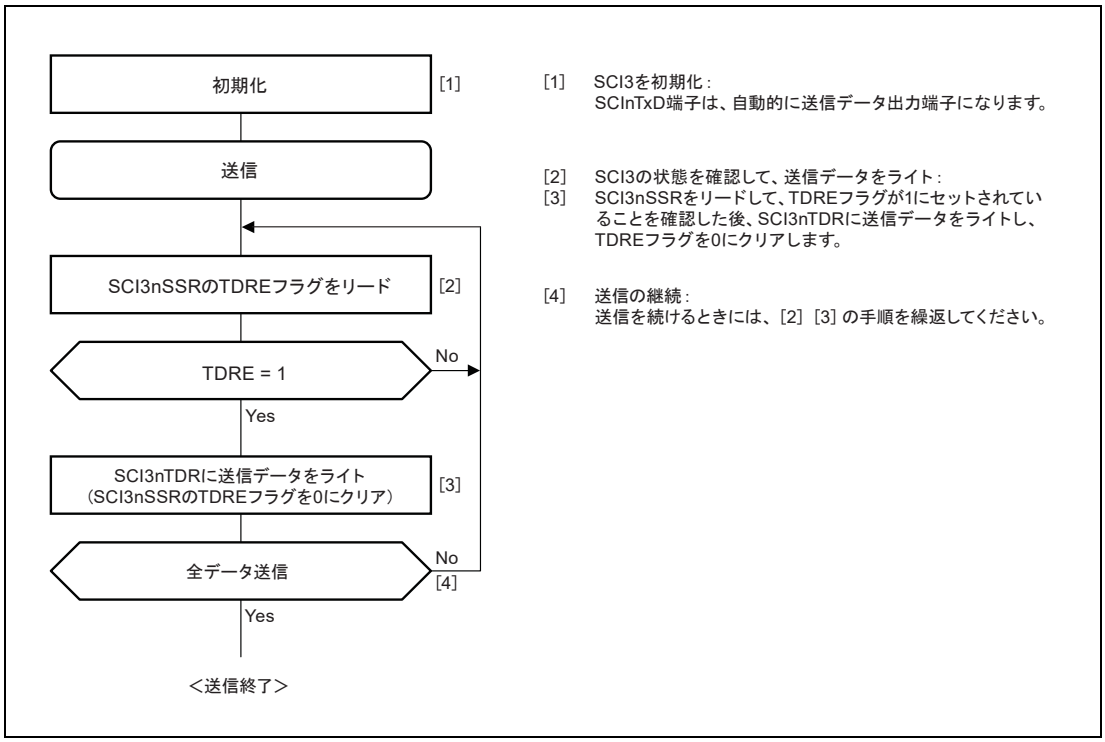


図 14.21　シリアル送信のフローチャートの例

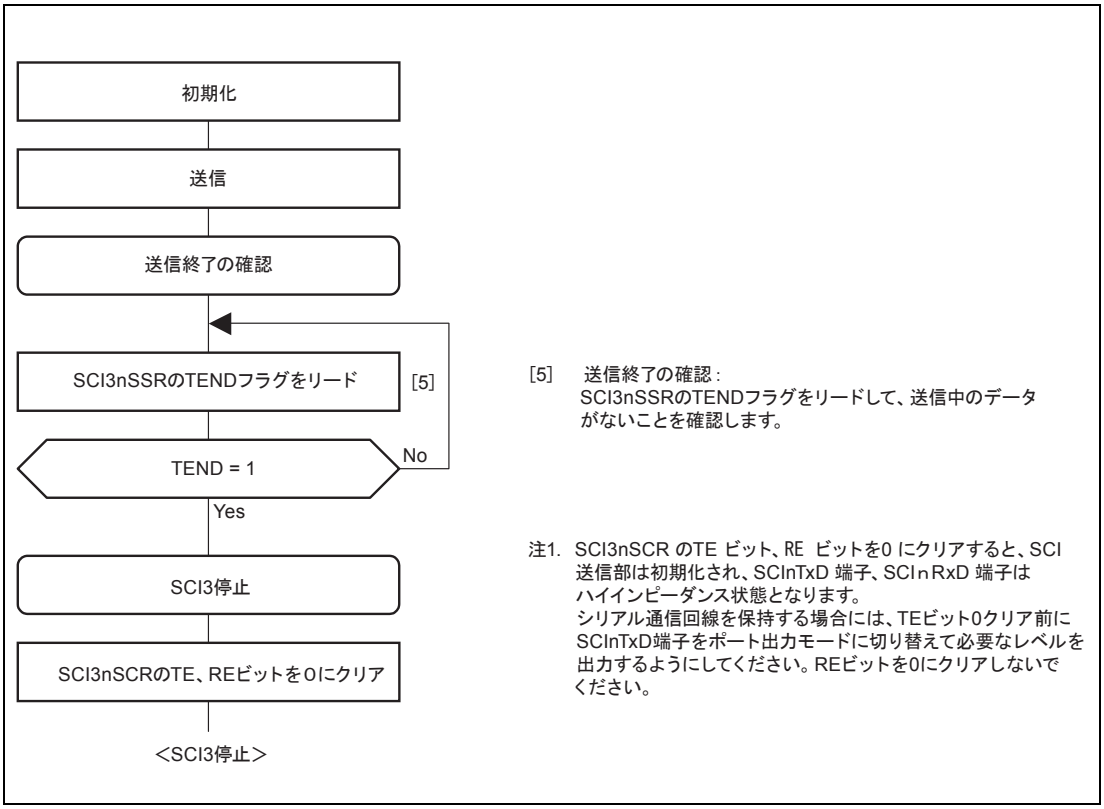


図 14.22　シリアル送信後に SCI3 を停止するフローチャートの例

14.6.4　シリアルデータ受信（クロック同期式）

図 14.23 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI3 は以下のように動作します。

1. SCI3 は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを SCI3nRSR に取り込みます。
2. オーバランエラーが発生したとき（SCI3nSSR の RDRF フラグが 1 にセットされたまま次のデータを受信完了したとき）は SCI3nSSR の ORER フラグをセットします。このとき SCI3nSCR の RIE ビットが 1 にセットされていると ERI 割り込み要求を発生します。受信データは SCI3nRDR に転送しません。RDRF フラグは 1 にセットされた状態を保持します。
3. 正常に受信したときは SCI3nSSR の RDRF フラグをセットし、受信データを SCI3nRDR に転送します。このとき SCI3nSCR の RIE ビットが 1 にセットされていると RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで SCI3nRDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。
   SCI3nRDR をリードすると、RDRF フラグは自動的に 0 にクリアされます。

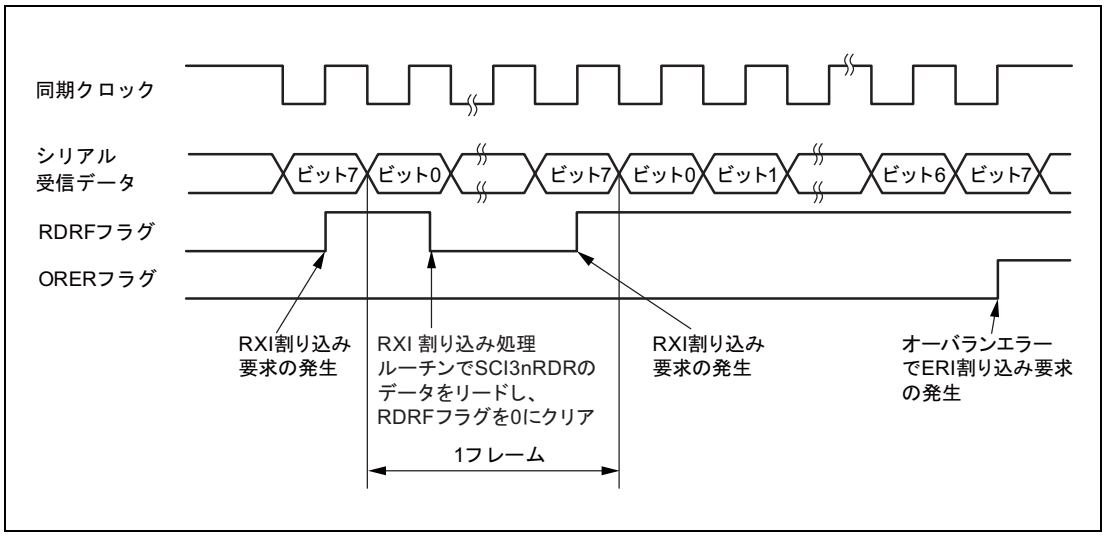
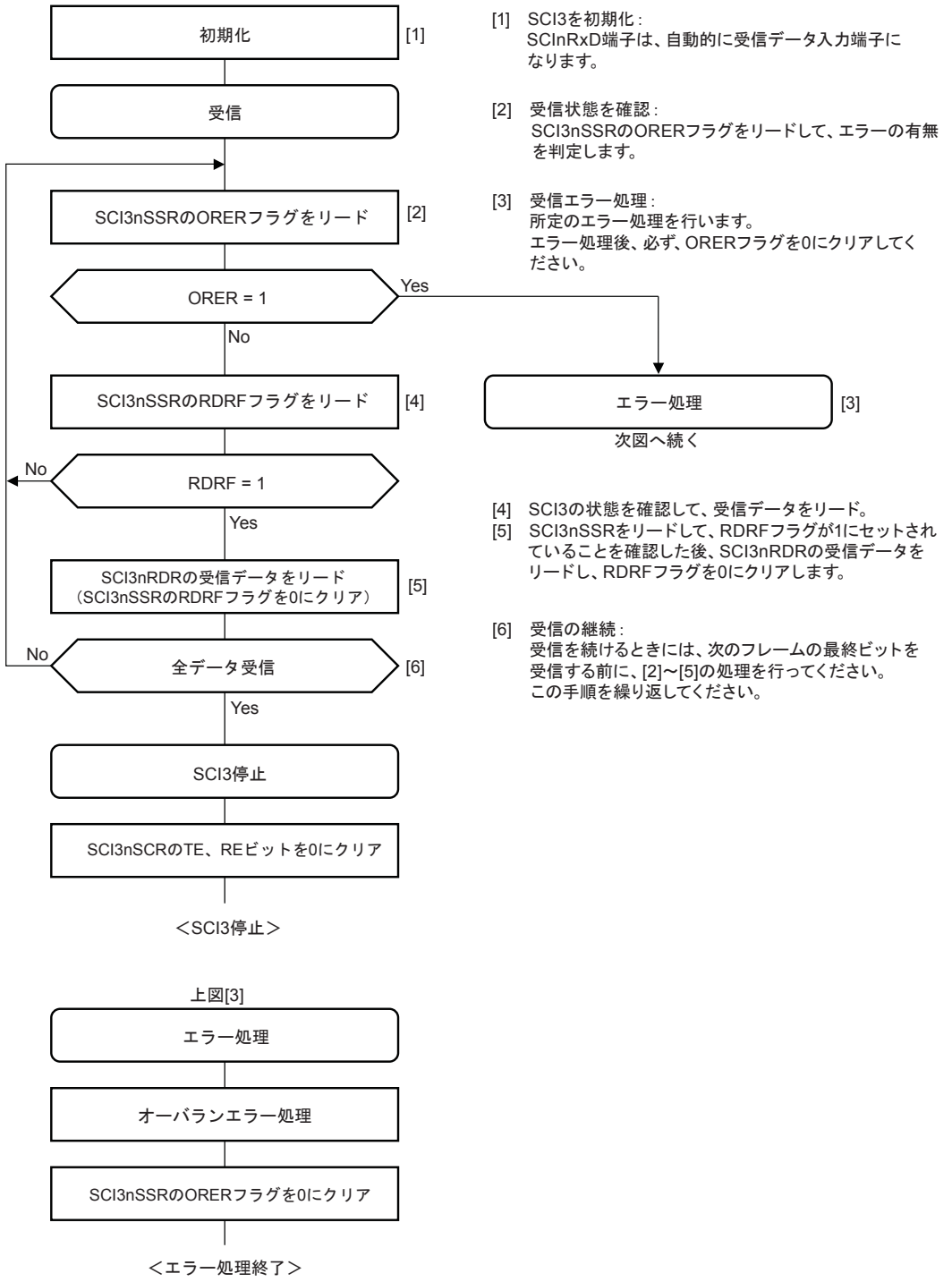


図 14.23　SCI3 の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。**図 14.24** にデータ受信のためのフローチャートの例を示します。



注 1. SCI3nSCR の TE ビット、RE ビットを 0 にクリアすると、SCI 内部は初期化され、SCInTxD 端子、SCInRxD 端子はハイインピーダンス状態となります。
シリアル通信回線を保持する場合には、TE ビット 0 クリア前に SCInTxD 端子をポート出力モードに切り替えて必要なレベルを出力するようにしてください。RE ビットを 0 にクリアしないでください。

注 2. エラー処理後、必ず、ORER、PER、FER フラグを全て 0 にクリアしてください。
ORER、PER、FER フラグのいずれかが 1 にセットされた状態では、受信を再開できません。

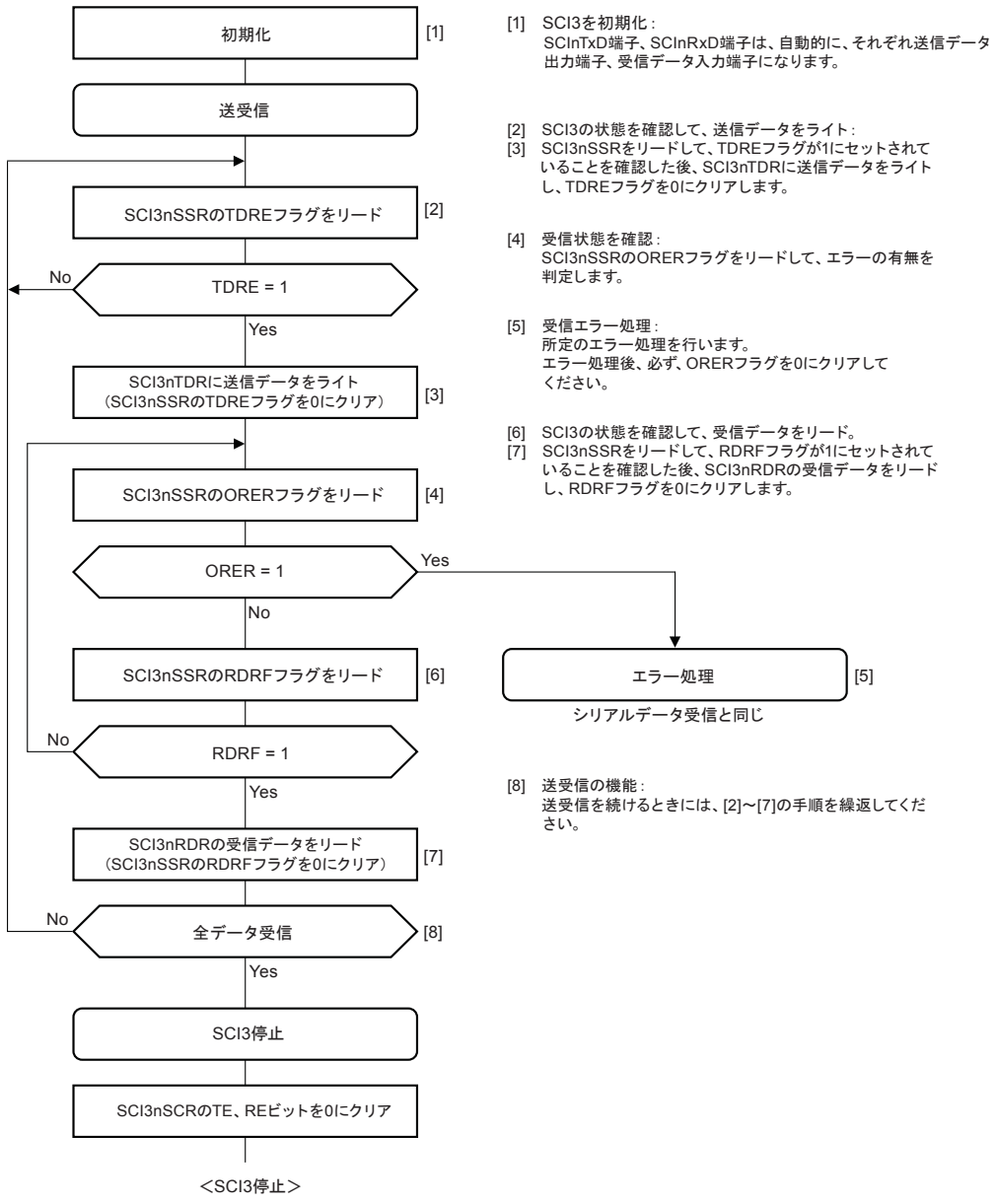
図 14.24　シリアル受信のフローチャートの例

14.6.5 シリアルデータ送受信同時動作（クロック同期式）

図 14.25 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE フラグおよび TEND フラグが 1 にセットされていることを確認した後、TE ビットを 0 にクリアしてから TE ビットおよび RE ビットを 1 命令で同時に 1 にセットしてください。

受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから RDRF フラグおよびエラーフラグ（ORER、FER、PER）が 0 にクリアされていることを確認した後、TE ビットおよび RE ビットを 1 命令で同時に 1 にセットしてください。



注 1. SCI3nSCR の TE ビット、RE ビットを 0 にクリアすると、SCI 内部は初期化され、SCInTxD 端子、SCInRxD 端子はハイインピーダンス状態となります。
シリアル通信回線を保持する場合には、TE ビット 0 クリア前に SCInTxD 端子をポート出力モードに切り替えて必要なレベルを出力するようにしてください。RE ビットを 0 にクリアしないでください。

図 14.25　シリアル送受信同時動作のフローチャートの例

14.7　ビットレートモジュレーション機能

ビットレートモジュレーション機能は、SCI3nSMR の CKS1、CKS0 ビットで指定された内部クロックを、その 256 クロック中で SCI3nMDDR で指定した個数のクロックを平均的にイネーブルにすることによってビットレートを補正します。

調歩同期式モードで CKS1、CKS0 ビットで φ クロックを選択し、SCI3nBRR ＝ 0、SCI3nMDDR ＝ 160 に設定した例を、**図 14.26** に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されます。内部クロックのイネーブルには偏りがあり、内部基本クロックのパルス幅は、選択した内部クロック分の伸縮が生じますので注意して下さい。

クロック同期式モードの最高速設定（SCI3nSMR の CKS1 ビット＝ CKS0 ビット＝ 0、かつ SCI3nSCR の CKE1 ビット＝ 0、かつ SCI3nBRR ＝ 0）では、本機能を使用しないでください。

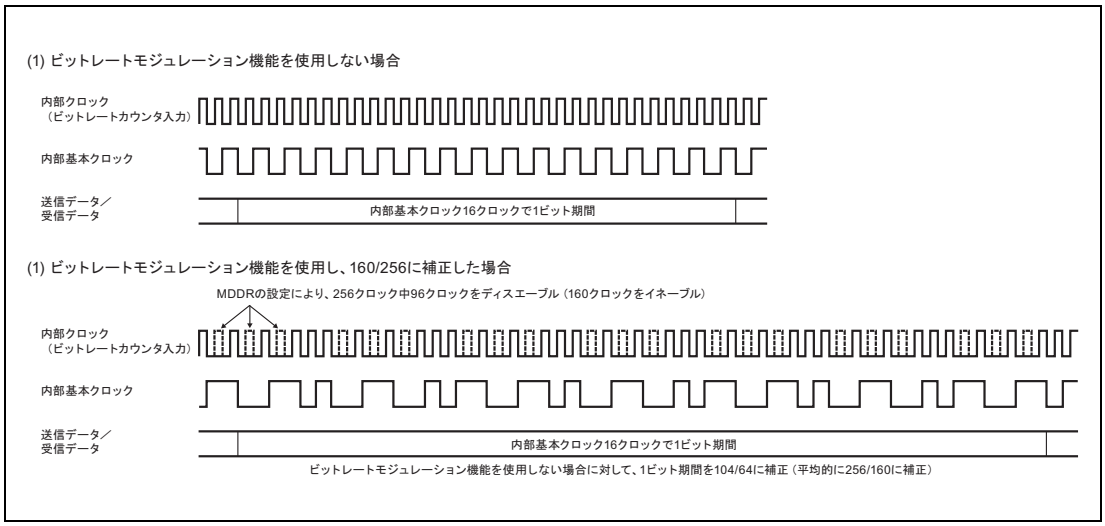


図 14.26　ビットレートモジュレーション機能使用時の内部基本クロックの例

14.8　割り込み要因

表 14.17 に割り込み要因を示します。

各割り込み要因は独立した割り込み要求信号を出力しています。これらの割込み要因は、SCI3nSCR のイネーブルビットにより独立にイネーブルにすることができます。

SCI3nSSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SCI3nSSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

TXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。

TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

注　意

SCI3nSCR の TE ビットが 0 の時には、TDRE フラグと TEND フラグを 0 にクリアすることはできません。TEND フラグは TEI 割り込みのレベル割り込み要求フラグのため、TE ビットが 0 のときには、SCI3nSCR の TEIE ビットを 1 にセットしないでください。

SCI3nSSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。

SCI3nSSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。

RXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。

RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込み要求は TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。

［使用上の注意：TEI 割り込み要求と TXI 割り込み要求が同時に発生している状態では TXI 割り込み要求が先に受け付けられます。このとき、TXI 割り込み処理ルーチンで TDRE フラグを 0 にクリアすると、自動的に TEND フラグも 0 にクリアされ、TEI 割り込み処理ルーチンへ分岐できなくなりますので注意してください。］

表 14.17　SCI3 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動
ERI	受信エラー	ORER、FER、PER	不可
RXI	受信データフル	RDRF	可
TXI	送信データエンプティ	TDRE	可
TEI	送信終了	TEND	不可

14.9 使用上の注意事項

14.9.1 ブレークの検出と処理

フレーミングエラー検出時に、SCI3nSEMR の RXDMON ビットの値をリードすることでブレークを検出できます。ブレークでは SCInRxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、また PER フラグもセットされる可能性があります。SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER フラグを 0 にクリアしてもふたたび FER フラグが 1 にセットされますので注意してください。

14.9.2 マーク状態とブレーク送出

TE ビットが 0 のとき（通信動作禁止時）、SCInTxD 端子を汎用出力ポートに切り替えることで、SCInTxD 端子から任意のレベルが出力可能です。これを利用して SCInTxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

14.9.3 クロック同期式モードの受信エラーフラグと送信動作

クロック同期式送受信同時動作時、受信エラーフラグ（ORER）が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

14.9.4 SCI3nTDR へのライトと TDRE フラグの関係

SCI3nSSR の TDRE フラグは SCI3nTDR から SCI3nTSR に送信データの転送が行われたことを示すステータスフラグです。

SCI3 が SCI3nTDR から SCI3nTSR にデータを転送すると、TDRE フラグが 1 にセットされます。

SCI3nTDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCI3nTDR にライトすると、SCI3nTDR に格納されていたデータは SCI3nTSR に転送されていないため失われてしまいます。したがって SCI3nTDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

14.9.5　クロック同期式モード送信での外部クロック使用の制約事項

同期クロックに外部クロックを使用する場合、TDRE フラグを 0 にクリアした後に送信クロックを入力してください（**図 14.27** 参照）。連続送信時においても、TDRE フラグを 0 にクリアした後に次のフレームの送信クロックを入力してください。

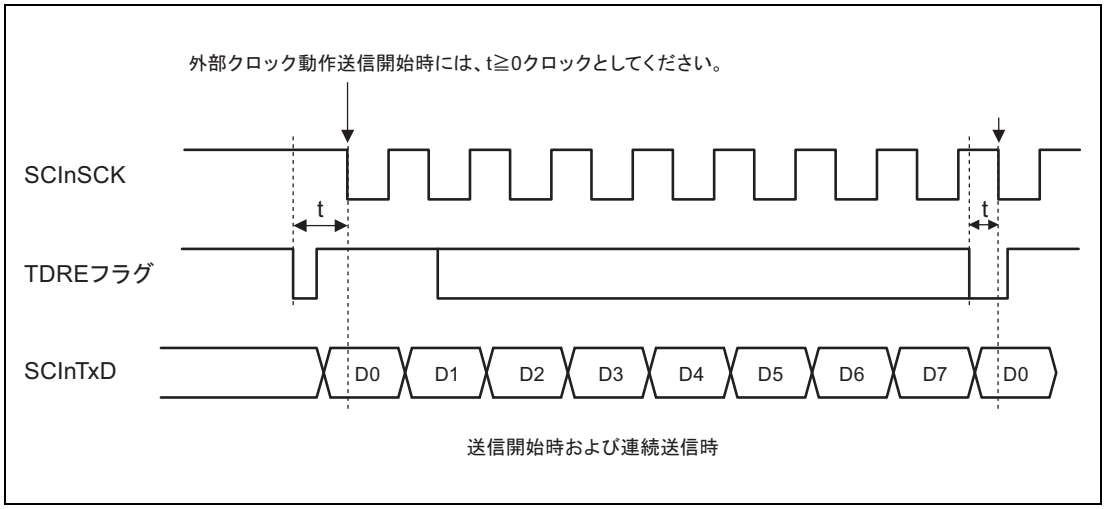


図 14.27　クロック同期式モード送信での外部クロック使用の制約事項

14.9.6　クロック同期式モードの外部クロック入力

クロック同期式モード時、外部クロック SCInSCK 入力は、**「40.3.7　SCI3/FLSCI3 タイミング」**参照してください。

第 15 章 LIN マスタインタフェース（RLIN2）

本章では、LIN マスタインタフェース（RLIN2）全般について説明します。

15.1 RLIN2 の特長

15.1.1 ユニット数とチャネル数

本製品は、以下に示すユニット数とチャネル数の RLIN2 を搭載しています。

表 15.1 ユニット数

RLIN2	
ユニット数	1
名称	RLIN210

表 15.2 RLIN2 のユニット構成とチャネルおよびユニットチャネル番号の対応

ユニット名 RLIN21n	ユニットチャネル数	ユニットチャネル番号	チャネル名 RLIN2m
RLIN210	1	0	RLIN20

表 15.3 添字

添字	意味
n	本章では、RLIN2 の各ユニットを「n」（n = 0）で識別します。
m	本章では、各チャネルを「m」（m = 0）で識別します。
i	本章では、RLIN2 を構成するユニットの各チャネルを「i」（i = 0）で識別します。
b	本章では、RLIN2 が搭載する各データバッファを「b」（b = 1 ～ 8）で識別します。

たとえば、RLIN2 のグローバルレジスタである LIN ウェイクアップボーレート選択レジスタは、RLN21nGLWBR、チャネルレジスタである LIN モードレジスタは RLN21nmLiMD と記述しています。

15.1.2 レジスタベースアドレス

RLIN2 のベースアドレスを以下の表に示します。

RLIN2 のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 15.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RLIN210_base>	$FFCE\ 0000_H$

15.1.3 クロック供給

RLIN2 のクロック供給を以下の表に示します。

表 15.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RLIN21n	pclk（P-Bus クロック）	CLK_LSB（低速周辺クロック）
	clkc（LIN 通信クロック源）	CLKC_LSB（非変調低速周辺クロック）

15.1.4 割り込み要求

RLIN2 の割り込み要求を以下の表に示します。

表 15.6 割込み要求

ユニット割り込み信号	概要	割り込み番号
INTRLIN0	送信完了割り込み／受信完了割り込み／エラー検出割り込み（RLIN210 割り込み）	429

15.1.5 リセット要因

RLIN2 のリセット要因を以下に示します。RLIN2 は以下のリセット要因で初期化されます。

表 15.7 リセット要因

ユニット名	リセット要因
RLIN21n	すべてのリセット要因

15.1.6 外部入出力信号

RLIN2 の外部入出力信号を以下の表に示します。

表 15.8 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
RLIN210		
RLIN20RX	RLIN210 受信データ入力	LRX0
RLIN20TX	RLIN210 送信データ出力	LTX0

15.2 機能

15.2.1 機能概要

LIN マスタインタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602（SEP 2005）に準拠したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

表 15.9 に LIN マスタインタフェースの仕様、**図 15.1** に LIN マスタインタフェースのブロック図を示します。

表 15.9 LIN マスタインタフェースの仕様

項目		仕様
チャネル数		1 チャネル
LIN 通信機能	プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602 (SEP 2005)
	フレーム構成可変	• 送信ブレーク幅：13 ～ 28 Tbit • 送信ブレークデリミタ幅：1 ～ 4 Tbit • インタバイトスペース（ヘッダ）：0 ～ 7 Tbit（Sync フィールドと ID フィールド間のスペース）注 1 • レスポンススペース：0 ～ 7 Tbit 注 1 • インタバイトスペース：0 ～ 3 Tbit（レスポンス領域内のデータバイト間のスペース） • 送信ウェイクアップ：1 ～ 16 Tbit
	チェックサム	• 送受信ともに自動演算 • クラシックまたはエンハンス選択可能（フレームごとに変更可能）
	レスポンスフィールドデータバイト数	0 ～ 8 バイト可変
	フレーム通信方法	• ヘッダ送信とレスポンス送信／受信を 1 つの送信開始要求により通信するモード • ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード）
	ウェイクアップ送受信	LIN ウェイクアップモードで使用可能 • ウェイクアップ送信機能（1 ～ 16 Tbit） • ウェイクアップ受信 入力信号ロウレベル幅カウント機能
	ステータス	• フレーム／ウェイクアップ送信完了 • ヘッダ送信完了 • フレーム／ウェイクアップ受信完了注 2 • データ 1 受信完了 • エラー検出 • 動作モード（LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード）
	エラーステータス	• ビットエラー • チェックサムエラー • フレームタイムアウトエラー • フィジカルバスエラー • フレーミングエラー
	ボーレート選択	ボーレートジェネレータで LIN 仕様のボーレートを生成可能
	テストモード	ユーザ評価用セルフテストモード
	割り込み機能	• フレーム／ウェイクアップ送信完了 • フレーム／ウェイクアップ受信完了注 2 • エラー検出 これら 3 つの論理和が各チャネルの割り込み要因（INTRLINm）となります。

注 1. 同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。
注 2. ウェイクアップ受信は、入力信号ロウレベル幅カウントを示します。

15.2.2 ブロック図

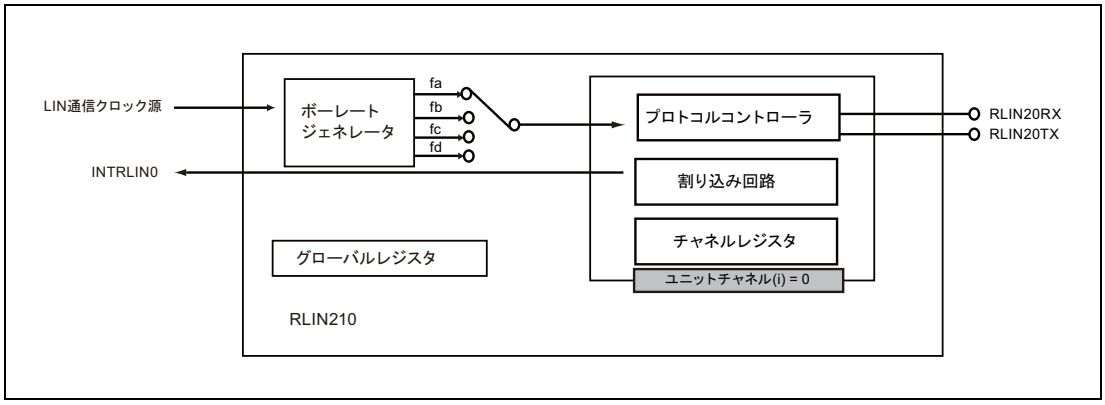


図 15.1 LIN マスタインタフェースブロック図

15.3 レジスタ

LIN マスタインタフェースのレジスタは、グローバルレジスタとチャネルレジスタで構成されています。グローバルレジスタは、ユニットごとに配置されているため、ユニット単位で個々の設定が可能です。チャネルレジスタは、チャネルごとに存在し各チャネルの制御が可能です。

15.3.1 レジスター覧

RLIN2 のレジスター覧を以下の表に示します。

<RLIN21n_base> は「**15.1.2 レジスタベースアドレス**」を参照してください。

表 15.10 レジスター覧

モジュール名	レジスタ名	略号	アドレス
グローバルレジスタ			
RLN21nG	LIN ウェイクアップボーレート選択レジスタ	RLN21nGLWBR	<RLIN21n_base> + 01_H
RLN21nG	LIN ボーレートプリスケーラ 0 レジスタ	RLN21nGLBRP0	<RLIN21n_base> + 02_H
RLN21nG	LIN ボーレートプリスケーラ 1 レジスタ	RLN21nGLBRP1	<RLIN21n_base> + 03_H
RLN21nG	LIN セルフテスト制御レジスタ	RLN21nGLSTC	<RLIN21n_base> + 04_H
チャネルレジスタ			
RLN21nm	LIN モードレジスタ	RLN21nmLiMD	<RLIN21n_base> + 08_H
RLN21nm	LIN ブレークフィールド設定レジスタ	RLN21nmLiBFC	<RLIN21n_base> + 09_H
RLN21nm	LIN スペース設定レジスタ	RLN21nmLiSC	<RLIN21n_base> + $0A_H$
RLN21nm	LIN ウェイクアップ設定レジスタ	RLN21nmLiWUP	<RLIN21n_base> + $0B_H$
RLN21nm	LIN 割り込み許可レジスタ	RLN21nmLiIE	<RLIN21n_base> + $0C_H$
RLN21nm	LIN エラー検出許可レジスタ	RLN21nmLiEDE	<RLIN21n_base> + $0D_H$
RLN21nm	LIN 制御レジスタ	RLN21nmLiCUC	<RLIN21n_base> + $0E_H$
RLN21nm	LIN 送信制御レジスタ	RLN21nmLiTRC	<RLIN21n_base> + 10_H
RLN21nm	LIN モードステータスレジスタ	RLN21nmLiMST	<RLIN21n_base> + 11_H
RLN21nm	LIN ステータスレジスタ	RLN21nmLiST	<RLIN21n_base> + 12_H
RLN21nm	LIN エラーステータスレジスタ	RLN21nmLiEST	<RLIN21n_base> + 13_H
RLN21nm	LIN データフィールド設定レジスタ	RLN21nmLiDFC	<RLIN21n_base> + 14_H
RLN21nm	LIN ID バッファレジスタ	RLN21nmLiIDB	<RLIN21n_base> + 15_H
RLN21nm	LIN チェックサムバッファレジスタ	RLN21nmLiCBR	<RLIN21n_base> + 16_H
RLN21nm	LIN データバッファ 1 レジスタ	RLN21nmLiDBR1	<RLIN21n_base> + 18_H
RLN21nm	LIN データバッファ 2 レジスタ	RLN21nmLiDBR2	<RLIN21n_base> + 19_H
RLN21nm	LIN データバッファ 3 レジスタ	RLN21nmLiDBR3	<RLIN21n_base> + $1A_H$
RLN21nm	LIN データバッファ 4 レジスタ	RLN21nmLiDBR4	<RLIN21n_base> + $1B_H$
RLN21nm	LIN データバッファ 5 レジスタ	RLN21nmLiDBR5	<RLIN21n_base> + $1C_H$
RLN21nm	LIN データバッファ 6 レジスタ	RLN21nmLiDBR6	<RLIN21n_base> + $1D_H$
RLN21nm	LIN データバッファ 7 レジスタ	RLN21nmLiDBR7	<RLIN21n_base> + $1E_H$
RLN21nm	LIN データバッファ 8 レジスタ	RLN21nmLiDBR8	<RLIN21n_base> + $1F_H$

15.3.2 グローバルレジスタ

15.3.2.1 RLN21nGLWBR — LIN ウエイクアップボーレート選択レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス <RLIN21n_base> + 01_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LWBR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 15.11 RLN21nGLWBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	LWBR0	ウエイクアップボーレート選択ビット 0：LIN ウェイクアップモードにおいて、RLN21nmLiMD レジスタの LCKS ビットの設定通りのクロックが使用される（LIN1.3 使用時） 1：LIN ウェイクアップモードにおいて、RLN21nmLiMD レジスタの LCKS ビットの設定によらずクロック fa が使用される（LIN2.x 使用時）

RLN21nGLWBR レジスタは同一ユニット内のすべてのチャネルが RLN21nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

LWBR0 ビット（ウェイクアップボーレート選択ビット）

LIN Specification Package Revision 1.3 使用時は、RLN21nGLWBR レジスタの LWBR0 ビットを “0” にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5 Tbit 以上で計測することができます。

LIN Specification Package Revision 2.x 使用時は “1” にしてください。“1” にすることで LIN ウェイクアップモード中は RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック（fLIN）は fa が選択されます（LCKS ビットは変化しません）。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。

fa 選択時のボーレートを 19200bps に設定することにより、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 130μs 以上の入力信号ロウレベル幅を検出することができます。

15.3.2.2 RLN21nGLBRP0 — LIN ボーレートプリスケーラ 0 レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス <RLIN21n_base> + 02_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LBRP0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.12 RLN21nGLBRP0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LBRP0[7:0]	設定値を N (0 ～ 255) とすると、ボーレートプリスケーラは LIN 通信クロック源を N+1 分周する 設定範囲：00_H ～ FF_H

RLN21nGLBRP0 レジスタは同一ユニット内のすべてのチャネルの RLN21nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fa”、“fb”、“fc” の周波数制御に使用されます。

このレジスタの設定値を N とすると、ボーレートプリスケーラ 0 は LIN 通信クロック源を N+1 分周します。

15.3.2.3 RLN21nGLBRP1 — LIN ボーレートプリスケーラ 1 レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス <RLIN21n_base> + 03_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LBRP1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.13 RLN21nGLBRP1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LBRP1[7:0]	設定値を M（0 ～ 255）とすると、ボーレートプリスケーラは LIN 通信クロック源を M+1 分周する 設定範囲：00_H ～ FF_H

RLN21nGLBRP1 レジスタは同一ユニット内のすべてのチャネルの RLN21nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fd” の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケーラ 1 は LIN 通信クロック源を M+1 分周します。

15.3.2.4 RLN21nGLSTC — LIN セルフテスト制御レジスタ

RLN21nGLSTC レジスタは、LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。RLN21nGLSTC レジスタは、同一ユニット内のすべてのチャネルの RLN21nmLiMST レジスタの OMM0 ビットが “0” （LIN リセットモード）のときに設定してください。

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス <RLIN21n_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LSTC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1

注 1. LIN リセットモード以外では書き込みは無視されます。

表 15.14 RLN21nGLSTC レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LSTC	LIN セルフテストモード設定ビット 00_H : LIN セルフテストモードではない注 1 01_H : LIN セルフテストモード注 2 “$A7_H$” → ”58_H” → ”01_H” の連続書き込みにより、LIN セルフテストモードにエントリします。それ以外の設定は禁止です。設定した場合の読み出し値は不定です。

注 1. LIN セルフテストモードを終了する場合の移行方法は、「**15.15.4 LIN セルフテストモード終了**」を参照してください。LIN セルフテストモードを終了した場合、“00_H” が読み出せます。

注 2. LIN セルフテストモードへの移行方法は、「**15.15.1 LIN セルフテストモードへの移行**」を参照してください。LIN セルフテストモードへ移行した場合、“01_H” が読み出せます。

15.3.3 チャネルレジスタ

15.3.3.1 RLN21nmLiMD — LIN モードレジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiMD: <RLIN21n_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	LCKS[1:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R

表 15.15 RLN21nmLiMD レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3、2	LCKS[1:0]	LIN システムクロック選択ビット b3 b2 0 0 : fa（ボーレートプリスケーラ 0 生成クロック） 0 1 : fb（ボーレートプリスケーラ 0 生成クロック /2） 1 0 : fc（ボーレートプリスケーラ 0 生成クロック /8） 1 1 : fd（ボーレートプリスケーラ 1 生成クロック /2）
1、0	予約ビット	読むと “0” が読めます。書く場合、“0” としてください

RLN21nmLiMD レジスタは RLN21nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

LCKS[1:0] ビット（LIN システムクロック選択ビット）

プロトコルコントローラに入力するクロックを選択するビットです。
“00_B” の場合、プロトコルコントローラには fa（ボーレートプリスケーラ 0 生成クロック）が入力されます。
“01_B” の場合、プロトコルコントローラには fb（ボーレートプリスケーラ 0 生成クロック／2）が入力されます。
“10_B” の場合、プロトコルコントローラには fc（ボーレートプリスケーラ 0 生成クロック／8）が入力されます。
“11_B” の場合、プロトコルコントローラには fd（ボーレートプリスケーラ 1 生成クロック／2）が入力されます。

RLN21nGLWBR レジスタの LWBR0 ビットが “1”（LIN 2.x 使用時）かつ RLN21nmLiMST レジスタが “01_H”（LIN ウェイクアップモード）の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます（LCKS ビットは変化しません）。

15.3.3.2 RLN21nmLiBFC — LIN ブレークフィールド設定レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiBFC: <RLIN21n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 15.16 RLN21nmLiBFC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	ライトする場合はリセット後の値を書いてください。
5、4	BDT[1:0]	送信ブレークデリミタ（ハイレベル）幅設定ビット b5 b4 0 0：1 Tbit 0 1：2 Tbits 1 0：3 Tbits 1 1：4 Tbits
3 ～ 0	BLT[3:0]	送信ブレーク（ロウレベル）幅設定ビット b3 b0 0 0 0 0：13 Tbits 0 0 0 1：14 Tbits 0 0 1 0：15 Tbits : 1 1 1 0：27 Tbits 1 1 1 1：28 Tbits

RLN21nmLiBFC レジスタは RLN21nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0] ビット（送信ブレークデリミタ（ハイレベル）幅設定ビット）

送信フレーム ヘッダ部のブレークデリミタ（**ハイレベル**）幅の設定をします。
1 Tbit ～ 4 Tbits を設定できます。

BLT[3:0] ビット（送信ブレーク（ロウレベル）幅設定ビット）

送信フレーム ヘッダ部のブレーク（**ロウレベル**）幅の設定をします。
13 Tbits ～ 28 Tbits を設定できます。

15.3.3.3 RLN21nmLiSC — LIN スペース設定レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiSC: <RLIN21n_base> + $0A_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 15.17 RLN21nmLiSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	ライトする場合はリセット後の値を書いてください。
2 ～ 0	IBHS[2:0]	インタバイトスペース（ヘッダ）／レスポンススペース設定ビット b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLIN21nmLiSC レジスタは RLN21nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレーム または レスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット（インタバイトスペース設定ビット）

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。
0 Tbit ～ 3 Tbits を設定できます。
レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0] ビット（インタバイトスペース（ヘッダ）／レスポンススペース設定ビット）

送信フレームヘッダ部のインタバイトスペース（ヘッダ）とレスポンススペースの幅の設定をします。
0 Tbit ～ 7 Tbits を設定できます。
レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。
インタバイトスペース（ヘッダ）とレスポンススペースの値は、同じになります。

15.3.3.4 RLN21nmLiWUP — LIN ウェイクアップ設定レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiWUP: <RLIN21n_base> + $0B_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 15.18 RLN21nmLiWUP レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	WUTL[3:0]	ウェイクアップ送信ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits
3 ～ 0	予約ビット	ライトする場合はリセット後の値を書いてください。

RLN21nmLiWUP レジスタは RLN21nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

WUTL[3:0] ビット（ウェイクアップ送信ロウレベル幅設定ビット）

ウェイクアップシグナル送信時のロウレベル幅を設定します。
1 Tbit ～ 16 Tbits を設定できます。

RLN21nGLWBR レジスタの LWBR0 ビットが “1”（LIN 2.x 使用時）の場合、RLN21nmLiMD レジスタの LCKS ビットにかかわらず、LIN システムクロック（fLIN）は fa が選択されます（LCKS ビットは変化しません）。

15.3.3.5 RLN21nmLiIE — LIN 割り込み許可レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiIE: <RLIN21n_base> + $0C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 15.19 RLN21nmLiIE レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	ライトする場合はリセット後の値を書いてください。
2	ERRIE	エラー検出割り込み要求許可ビット 0：エラー検出割り込み要求禁止 1：エラー検出割り込み要求許可
1	FRCIE	フレーム／ウェイクアップ受信完了割り込み要求許可ビット 0：フレーム／ウェイクアップ受信完了割り込み要求禁止 1：フレーム／ウェイクアップ受信完了割り込み要求許可
0	FTCIE	フレーム／ウェイクアップ送信完了割り込み要求許可ビット 0：フレーム／ウェイクアップ送信完了割り込み要求禁止 1：フレーム／ウェイクアップ送信完了割り込み要求許可

RLN21nmLiIE レジスタは RLN21nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

ERRIE ビット（エラー検出割り込み要求許可ビット）

エラーを検出したときの割り込み要求許可／禁止を設定します。
“0” の場合、RLN21nmLiST レジスタの ERR フラグが “1” になった際に割り込み要求が発生しません。
“1” の場合、RLN21nmLiST レジスタの ERR フラグが “1” になった際に割り込み要求が発生します。
発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラー、チェックサムエラーです。
ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラーは、RLN21nmLiEDE レジスタで検出許可／禁止の設定ができます。

FRCIE ビット（フレーム／ウェイクアップ受信完了割り込み要求許可ビット）

フレーム受信完了、または ウェイクアップシグナル受信（入力信号ロウレベル幅カウント）完了時の割り込み要求許可／禁止を設定します。
“0” の場合、RLN21nmLiST レジスタの FRC フラグが “1” になった際に割り込み要求が発生しません。
“1” の場合、RLN21nmLiST レジスタの FRC フラグが “1” になった際に割り込み要求が発生します。

FTCIE ビット（フレーム／ウェイクアップ送信完了割り込み要求許可ビット）

フレーム送信完了、または ウェイクアップシグナル送信完了時の割り込み要求許可／禁止を設定します。
“0” の場合、RLN21nmLiST レジスタの FTC フラグが “1” になった際に割り込み要求が発生しません。
“1” の場合、RLN21nmLiST レジスタの FTC フラグが “1” になった際に割り込み要求が発生します。

15.3.3.6 RLN21nmLiEDE — LIN エラー検出許可レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。
アドレス RLN21nmLiEDE: <RLIN21n_base> + $0D_H$
リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 15.20 RLN21nmLiEDE レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット 0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可
2	FTERE	フレームタイムアウトエラー検出許可ビット 0：フレームタイムアウトエラー検出禁止 1：フレームタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0：フィジカルバスエラー検出禁止 1：フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット 0：ビットエラー検出禁止 1：ビットエラー検出許可

RLN21nmLiEDE レジスタは RLN21nmLiMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

FERE ビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。
“0” の場合、フレーミングエラーを検出しません。
“1” の場合、フレーミングエラーを検出します。
このビットが “1” の場合の検出結果は、RLN21nmLiEST レジスタの FER フラグに反映されます。
フレーミングエラーの詳細は、**「15.14 エラーステータス」**を参照ください。

FTERE ビット（フレームタイムアウトエラー検出許可ビット）

フレームタイムアウトエラー 検出の許可／禁止を設定します。
“0” の場合、フレームタイムアウトエラーを検出しません。
“1” の場合、フレームタイムアウトエラー を検出します。
このビットが “1” の場合の検出結果は、RLN21nmLiEST レジスタの FTER フラグに反映されます。
フレームタイムアウトエラーの詳細は、**「15.14　エラーステータス」**を参照ください。

PBERE ビット（フィジカルバスエラー検出許可ビット）

フィジカルバスエラー検出の許可／禁止を設定します。
“0” の場合、フィジカルバスエラーを検出しません。
“1” の場合、フィジカルバスエラーを検出します。
このビットが “1” の場合の検出結果は、RLN21nmLiEST レジスタの PBER フラグに反映されます。
フィジカルバスエラーの詳細は、**「15.14　エラーステータス」**を参照ください。

BERE ビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。
“0” の場合、ビットエラーを検出しません。
“1” の場合、ビットエラーを検出します。
このビットが “1” の場合の検出結果は、RLN21nmLiEST レジスタの BER フラグに反映されます。
ビットエラーの詳細は、**「15.14　エラーステータス」**を参照ください。

15.3.3.7 RLN21nmLiCUC — LIN 制御レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiCUC: <RLIN21n_base> + $0E_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 15.21 RLN21nmLiCUC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0 : LIN ウェイクアップモード 1 : LIN 動作モード
0	OM0	LIN リセットビット 0 : LIN リセットモード 1 : LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウェイクアップモードに移行させる場合は RLN21nmLiCUC レジスタに “01_H” を、LIN 動作モードに移行させる場合は RLN21nmLiCUC レジスタに “03_H” を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN21nmLiCUC レジスタを “03_H” にしてください。

このレジスタに書き込みをしたあとは、書き込んだ値が RLN21nmLiMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット（LIN モード選択ビット）

LIN リセットモード解除時の LIN 動作モード（LIN ウェイクアップモード、LIN 動作モード）選択をするビットです。
“0” にすると、LIN ウェイクアップモードになります。
“1” にすると、LIN 動作モードになります。
このビットは、RLN21nmLiMST レジスタの OMM0 ビットが “1” のときのみ有効です。
このビットは、RLN21nmLiTRC レジスタの FTS ビットが “1” の間は書けません。

OM0 ビット（LIN リセットビット）

LIN リセットモードへの移行／ LIN リセットモードの解除を選択するビットです。
“0” にすると、LIN リセットモードになります。
“1” にすると、LIN リセットモードは解除されます。

15.3.3.8 RLN21nmLiTRC — LIN 送信制御レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiTRC: <RLIN21n_base> + 10_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 15.22 RLN21nmLiTRC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	RTS	レスポンス送信開始ビット 0：フレームセパレートモードにおいてレスポンス送信停止 1：フレームセパレートモードにおいてレスポンス送信開始
0	FTS	フレーム送信／ウエイクアップ送受信開始ビット 0：フレーム送信／ウエイクアップ送受信停止 1：フレーム送信／ウエイクアップ送受信開始

RTS ビット（レスポンス送信開始ビット）

フレームセパレートモードで、ヘッダを送信開始（FTS ビットを “1”）し、レスポンス送信データの準備が完了したあとに、“1” にしてください。設定後、このビットはフレーム送信終了 および LIN リセットモード移行時に自動的に “0” になります。
このビットは “1” のみ書けます。“0” は書けません。
このビットに “1” を書く場合は、ストア命令で “02_H” を書き込んでください。
このビットは、OMM0 ビットが “0”（LIN リセットモード）の時は書けません。
OMM1 ビットが “0”（LIN ウエイクアップモード）のときは、“1” を書かないでください。
このビットは、FTS ビットが “0”（フレーム送信／ウェイクアップ送受信停止）のときは書けません。

FTS ビット（フレーム送信／ウエイクアップ送受信開始ビット）

フレーム／ウエイクアップ送信開始時、“1” にしてください。
また、ウエイクアップ受信（入力信号ロウレベル幅カウント）を行う場合にも、このビットを “1” にしてください。
このビットは “1” のみ書けます。“0” は書けません。
このビットは、OMM0 ビットが “0”（LIN リセットモード）の時は書けません。
このビットは、フレーム および ウェイクアップの通信終了時に “0” になります。
LIN リセットモード移行時に “0” になります。

15.3.3.9 RLN21nmLiMST — LIN モードステータスレジスタ

アクセス 8 ビット単位でリードのみ可能です。

アドレス RLN21nmLiMST: <RLIN21n_base> + 11_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.23 RLN21nmLiMST レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合は、リセット後の値が読めます。
1	OMM1	LIN モードステータスモニタ 0 : LIN ウェイクアップモード 1 : LIN 動作モード
0	OMM0	LIN リセットステータスモニタ 0 : LIN リセットモード 1 : LIN リセットモードでない

OMM1 ビット（LIN モードステータスモニタ）

現在の動作モードが確認できます。OMM0 ビットが “0_B”（LIN リセットモード）の間、このビットの値は無効です。

OMM0 ビット（LIN リセットステータスモニタ）

現在の動作モードが確認できます。

15.3.3.10 RLN21nmLiST — LIN ステータスレジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiST: <RLIN21n_base> + 12_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 15.24 RLN21nmLiST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0：送信未完了 1：ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0：受信未完了 1：データ 1 受信完了
5、4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0：エラー未検出 1：エラー検出
2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	FRC	フレーム／ウェイクアップ受信完了フラグ 0：受信未完了 1：フレームまたはウェイクアップ受信完了
0	FTC	フレーム／ウェイクアップ送信完了フラグ 0：送信未完了 1：フレームまたはウェイクアップ送信完了

RLN21nmLiST レジスタは LIN リセットモード移行時 および 次の通信開始（RLN21nmLiTRC レジスタの FTS ビットが “1”）時、自動的に “00_H” になります。
LIN リセットモード中は、このレジスタへは書くことができません。

LIN リセットモード中は “00_H” を保持します。

RLN21nmLiTRC レジスタの FTS ビットが “1”（フレーム送信／ウエイクアップ送受信開始）の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

HTRC フラグ（ヘッダ送信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
ヘッダ送信完了時、“1” となりますが、割り込み要求は発生しません。次の通信が始まる（RLN21nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

D1RC フラグ（データ 1 受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1” となりますが割り込み要求は発生しません。次の通信が始まる（RLN21nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

ERR フラグ（エラー検出フラグ）

エラー検出（RLN21nmLiEST レジスタのフラグのうち 1 つでも “1”）時、“1” となります。このとき RLN21nmLiIE レジスタの ERRIE ビットが “1”（割り込み要求許可）の場合、割り込み要求が発生します。次の通信が始まる（RLN21nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウェイクアップモード内で RLN21nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに “0” を書いてください。ERR フラグが “0” となります。

FRC フラグ（フレーム／ウェイクアップ受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
フレーム受信完了またはウェイクアップ受信完了時、“1” となります。このとき RLN21nmLiIE レジスタの FRCIE ビットが “1”（割り込み要求許可）の場合、割り込み要求が発生します。次の通信が始まる（RLN21nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウェイクアップモード内で “0” を書いてください。

FTC フラグ（フレーム／ウェイクアップ送信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
フレーム送信完了またはウェイクアップ送信完了時、“1” となります。このとき RLN21nmLiIE レジスタの FTCIE ビットが “1”（割り込み要求許可）の場合、割り込み要求が発生します。次の通信が始まる（RLN21nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウェイクアップモード内で “0” を書いてください。

15.3.3.11 RLN21nmLiEST — LIN エラーステータスレジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiEST: <RLIN21n_base> + 13_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

表 15.25 RLN21nmLiEST レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	ライトする場合はリセット後の値を書いてください。
5	CSER	チェックサムエラーフラグ 0：チェックサムエラー未検出 1：チェックサムエラー検出
4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	FER	フレーミングエラーフラグ 0：フレーミングエラー未検出 1：フレーミングエラー検出
2	FTER	フレームタイムアウトエラーフラグ 0：フレームタイムアウトエラー未検出 1：フレームタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0：フィジカルバスエラー未検出 1：フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0：ビットエラー未検出 1：ビットエラー検出

RLN21nmLiEST レジスタは LIN リセットモード移行時、および 次の通信開始（RLN21nmLiTRC レジスタの FTS ビットが “1”）時、自動的に “00_H” になります。
LIN リセットモード中は、このレジスタへは書くことができません。

LIN リセットモード中は “00_H” を保持します。

RLN21nmLiTRC レジスタの FTS ビットが “1”（フレーム送信／ウェイクアップ送受信開始）の間は、このレジスタに書かないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

CSER フラグ（チェックサムエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
チェックサムエラー検出時、“1” となります。次の通信が始まる（RLN21nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

FER フラグ（フレーミングエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN21nmLiEST レジスタの FERE ビットが “1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、“1” となります。次の通信が始まる（RLN21nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

FTER フラグ（フレームタイムアウトエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN21nmLiEDE レジスタの FTERE ビットが “1”（フレームタイムアウトエラー検出許可）で、フレームタイムアウトエラー 検出時、“1” となります。次の通信が始まる（RLN21nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

PBER フラグ（フィジカルバスエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。
RLN21nmLiEDE レジスタの PBERE ビットが “1”（フィジカルバスエラー検出許可）で、フィジカルバスエラー検出時、“1” となります。次の通信が始まる（RLN21nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウェイクアップモード内で “0” を書いてください。

BER フラグ（ビットエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。RLN21nmLiEDE レジスタの BERE ビットが “1”（ビットエラー検出許可）で、ビットエラー検出時、“1” となります。次の通信が始まる（RLN21nmLiTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウェイクアップモード内で “0” を書いてください。

15.3.3.12 RLN21nmLiDFC — LIN データフィールド設定レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　RLN21nmLiDFC: <RLIN21n_base> + 14_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.26　RLN21nmLiDFC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	ライトする場合はリセット後の値を書いてください。
6	FSM	フレームセパレートモード選択ビット 0：フレームセパレートモードではない 1：フレームセパレートモード
5	CSM	チェックサム選択ビット 0：クラシック 1：エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0：受信 1：送信
3 ～ 0	RFDL[3:0]	レスポンスフィールド長設定ビット b3　b0 0000：0 バイト＋チェックサム 0001：1 バイト＋チェックサム 0010：2 バイト＋チェックサム ： 0111：7 バイト＋チェックサム 1000：8 バイト＋チェックサム 上記以外は設定しないでください。

RLN21nmLiDFC レジスタは、RLN21nmLiTRC レジスタの FTS ビットが “0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

FSM ビット（フレームセパレートモード選択ビット）

レスポンス送信の方式を設定します。
“0” の場合、フレームセパレートモードになりません。ヘッダ送信開始（RLN21nmLiTRC レジスタの FTS ビットが “1”）後、RLN21nmLiTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。
“1” の場合、フレームセパレートモードになります。ヘッダ送信中に RLN21nmLiTRC レジスタの RTS ビットを “1” にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

レスポンス受信（RFT ビットが “0”）時は、このビットを “0” に設定してください。

LIN セルフテストモードに移行する場合は、移行前にこのビットを “0” に設定してください。
フレームセパレートモードの詳細は**「15.11.1　LIN フレームの送信」**を参照してください。

CSM ビット（チェックサム選択ビット）

チェックサムの方式の設定をします。
“0” の場合、チェックサムの方式はクラシックとなります。
“1” の場合、チェックサムの方式はエンハンスとなります。
フレームタイムアウトエラーを使用する（RLN21nmLiEDE レジスタの FTERE ビットが “1”）場合は、このビット設定によりタイムアウト時間が異なります。詳細は**「15.14　エラーステータス」**を参照してください。

RFT ビット（レスポンスフィールド通信方向選択ビット）

レスポンスフィールド／ウエイクアップシグナルの通信方向を設定します。
“0” の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信（入力信号**ロウレベル**幅カウント）を行います。
“1” の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

RFDL[3:0] ビット（レスポンスフィールド長設定ビット）

レスポンスフィールドのデータ長を設定します。
データ長は 0 ～ 8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

15.3.3.13 RLN21nmLiIDB — LIN ID バッファレジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiIDB: <RLIN21n_base> + 15_H

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.27 RLN21nmLiIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット（P1） ID フィールドで送信するパリティ（P1）ビットを設定
6	IDP0	パリティ設定ビット（P0） ID フィールドで送信するパリティ（P0）ビットを設定
5 ～ 0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLN21nmLiTRC レジスタの FTS ビットが “0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

LIN セルフテストモード時は、以下のとおりとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**15.15 LIN セルフテストモード**」を参照してください。

IDP ビット（パリティ設定ビット）

LIN フレームの ID フィールドで送信するパリティ（P0、P1）ビットを設定します。IDP0 が P0、IDP1 が P1 です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID ビット（ID 設定ビット）

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

15.3.3.14 RLN21nmLiCBR — LIN チェックサムバッファレジスタ

アクセス 8 ビット単位でリードのみ可能です。
ただし、LIN セルフテストモード時は、8 ビット単位でリード／ライト可能です。

アドレス RLN21nmLiCBR: <RLIN21n_base> + 16_H

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	CKSM[7:0]							
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.28 RLN21nmLiCBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN 動作モード時は、以下のとおりとなります。

- RLN21nmLiDFC レジスタの RFT ビットが “1”（送信）の場合：
  送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
  書き込みは無効になります。
- RLN21nmLiDFC レジスタの RFT ビットが “0”（受信）の場合：
  受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
  書き込みは無効になります。

LIN セルフテストモード時は、以下のとおりとなります。

- RLN21nmLiDFC レジスタの RFT ビットが “1”（送信）の場合：
  フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。
  書き込みは無効になります。
- RLN21nmLiDFC レジスタの RFT ビットが “0”（受信）の場合：
  通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**15.15 LIN セルフテストモード**」を参照してください。

このレジスタは RLN21nmLiTRC レジスタの FTS ビットが “0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

15.3.3.15 RLN21nmLiDBRb — LIN データバッファ b レジスタ

アクセス 8 ビット単位でリード／ライトが可能です。

アドレス RLN21nmLiDBR1: <RLIN21n_base> + 18_H、RLN21nmLiDBR2: <RLIN21n_base> + 19_H、RLN21nmLiDBR3: <RLIN21n_base> + $1A_H$、RLN21nmLiDBR4: <RLIN21n_base> + $1B_H$、RLN21nmLiDBR5: <RLIN21n_base> + $1C_H$、RLN21nmLiDBR6: <RLIN21n_base> + $1D_H$、RLN21nmLiDBR7: <RLIN21n_base> + $1E_H$、RLN21nmLiDBR8: <RLIN21n_base> + $1F_H$

リセット後の値 不定

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.29 RLN21nmLiDBRb レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LDB[7:0]	送信データを設定、または受信データを読み出し 設定範囲：00_H ～ FF_H

- レスポンス送信の場合：

  レスポンスフィールドで送信するデータを設定します。
  これらのレジスタは以下の状態で設定してください

  – RLN21nmLiDFC レジスタの RFT ビットが “1”（送信）
  – RLN21nmLiDFC レジスタの FSM ビットが “0”（フレームセパレートモードではない）
  – RLN21nmLiTRC レジスタの FTS ビットが “0”（フレーム送信／ウェイクアップ送受信停止）

  または

  – RLN21nmLiDFC レジスタの RFT ビットが “1”（送信）
  – RLN21nmLiDFC レジスタの FSM ビットが “1”（フレームセパレートモード）
  – RLN21nmLiTRC レジスタの RTS ビットが “0”（レスポンス送信停止）

- レスポンス受信の場合：

  レスポンスフィールドで受信したデータが格納されます。
  受信データは上書きされます。また、エラー検出時は、エラーを検出したバイトまでのデータが格納されます。
  これらのレジスタは、FTS ビットが “1”（フレーム送信／ウェイクアップ送受信開始）のときに読み出さないでください。

LIN セルフテストモード時は、以下のとおりとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**15.15 LIN セルフテストモード**」を参照してください。

15.4　割り込み要因

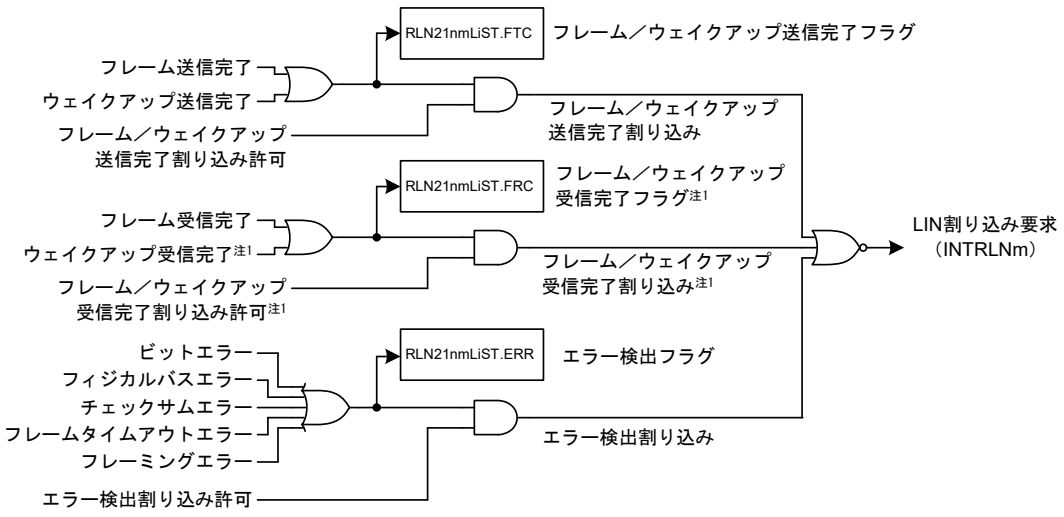
LIN マスタインタフェースは LIN 割り込み要求を生成します。

割り込み要因はチャネルごとに、フレーム／ウエイクアップ送信完了、フレーム／ウエイクアップ受信完了、エラー検出の 3 つがあります。

フレーム／ウエイクアップ送信完了、フレーム／ウエイクアップ受信完了、エラー検出の 3 つのステータスによる割り込み要求は、論理和をとって 1 つの割り込み要求「LIN 割り込み」にまとめられます。

それぞれの割り込み要求は、RLN21nmLiIE レジスタの対応するビットが “1”（割り込み許可）のとき、RLN21nmLiST レジスタの対応するフラグが “1” になると出力されます。ただし、RLN21nmLiST レジスタの対応するフラグが “1” の状態での割り込み要求は無視されますので、再度割り込みを可能にするには、該当するフラグを “0” にしてください。

図 15.2 に LIN 割り込みブロック図を示します。



注 1.　ウェイクアップ受信は、入力信号 Low 幅カウントを示します。

図 15.2　LIN 割り込みブロック図

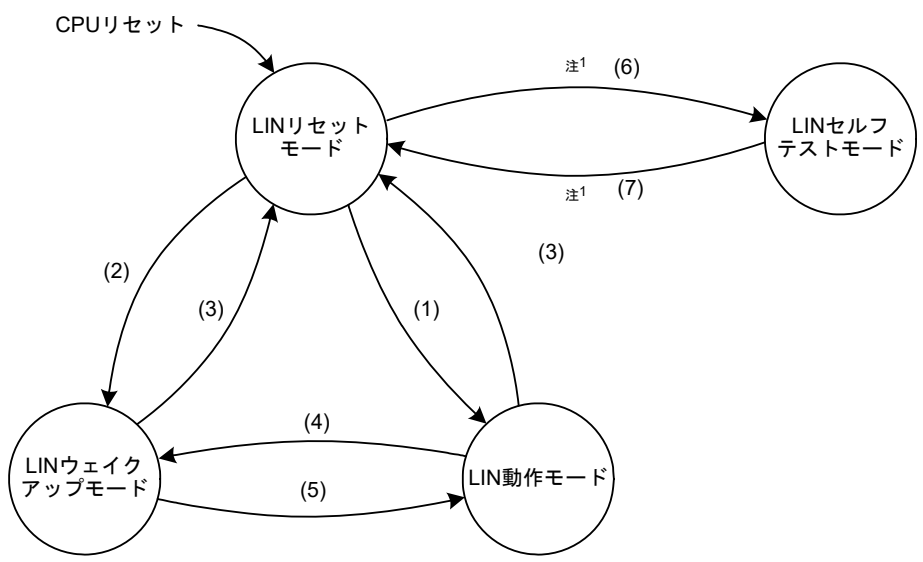
15.5 モード

LIN マスタインタフェースには、次の 4 つのモードがあります。

- LIN リセットモード
- LIN 動作モード
- LIN ウエイクアップモード
- LIN セルフテストモード

LIN セルフテストモードを除くモードの移行は、チャネルごとに独立して制御します。

図 15.3 に動作モードの移行、**表 15.30** にモード移行条件、**表 15.31** に各モードで可能な動作を示します。



注 1. 詳細は「**15.15 LIN セルフテストモード**」を参照してください。

図 15.3 動作モードの移行

表 15.30 各モードの移行条件

	移行モード			移行条件
(1)	LIN リセットモード	→	LIN 動作モード	RLN21nmLiCUC.OM1, OM0 = “11_B”
(2)	LIN リセットモード	→	LIN ウエイクアップモード	RLN21nmLiCUC.OM1, OM0 = “01_B”
(3)	LIN ウエイクアップモード LIN 動作モード	→	LIN リセットモード	RLN21nmLiCUC.OM0 = “0_B”
(4)	LIN 動作モード	→	LIN ウエイクアップモード	RLN21nmLiCUC.OM1, OM0 = “01_B”
(5)	LIN ウエイクアップモード	→	LIN 動作モード	RLN21nmLiCUC.OM1, OM0 =“11_B”
(6)	LIN リセットモード	→	LIN セルフテストモード	**「15.15 LIN セルフテストモード」**参照
(7)	LIN セルフテストモード	→	LIN リセットモード	**「15.15 LIN セルフテストモード」**参照

表 15.31 各モードで可能な動作

LIN 動作モード	LIN ウエイクアップモード	LIN セルフテストモード
ヘッダ送信 レスポンス送信 レスポンス受信 エラー検出	ウェイクアップ送信 ウェイクアップ受信 エラー検出	セルフテスト

RLN21nmLiMST レジスタの OMM1、OMM0 ビットを読むことで、LIN リセットモード、LIN 動作モード、LIN ウエイクアップモードへ移行したことを確認できます。

LIN セルフテストモードについては、**「15.15 LIN セルフテストモード」**を参照してください。

15.6 LIN リセットモード

RLN21nmLiCUC レジスタの OM0 ビットを “0”（LIN リセットモード）にすると、LIN リセットモードに移行します。RLN21nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能は停止しています。

LIN リセットモードからは、LIN 動作モード、LIN ウエイクアップモード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行したあと、それぞれのリセット後の値に初期化され、LIN リセットモード中はリセット後の値を保持します。

- RLN21nmLiTRC レジスタ
- RLN21nmLiST レジスタ
- RLN21nmLiEST レジスタ

以下のレジスタは、LIN リセットモードに移行したあとも、以前の値を保持します。

- RLN21nGLWBR レジスタ
- RLN21nGLBRP0 レジスタ
- RLN21nGLBRP1 レジスタ
- RLN21nmLiMD レジスタ
- RLN21nmLiBFC レジスタ
- RLN21nmLiSC レジスタ
- RLN21nmLiWUP レジスタ
- RLN21nmLiIE レジスタ
- RLN21nmLiEDE レジスタ
- RLN21nmLiDFC レジスタ
- RLN21nmLiIDB レジスタ
- RLN21nmLiCBR レジスタ
- RLN21nmLiDBRb レジスタ

15.7 LIN 動作モード

LIN 動作モードでは、フレーム処理（ヘッダ送信、レスポンス送信、レスポンス受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN21nmLiCUC レジスタの OM1 ビット、OM0 ビットを “11_B” にすると LIN 動作モードになり、RLN21nmLiMST レジスタの OMM1 ビット、OMM0 ビットが “11_B” になります。RLN21nmLiMST レジスタが “11_B” になるのを待ってから、通信設定を行ってください。

15.8 LIN ウェイクアップモード

LIN ウェイクアップモードでは、ウェイクアップシグナル処理（ウェイクアップ送信、ウェイクアップ受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN21nmLiCUC レジスタの OM1 ビット、OM0 ビットを “01_B” にすると LIN ウェイクアップモードになり、RLN21nmLiMST レジスタの OMM1 ビット、OMM0 ビットが “01_B” になります。RLN21nmLiMST レジスタが “01_B” になるのを待ってから、通信設定を行ってください。

15.9 ヘッダ送信／レスポンス送信／レスポンス受信

15.9.1 ヘッダ送信

図 15.4 にヘッダ送信時の動作、**表 15.32** にヘッダ送信時の処理を示します。

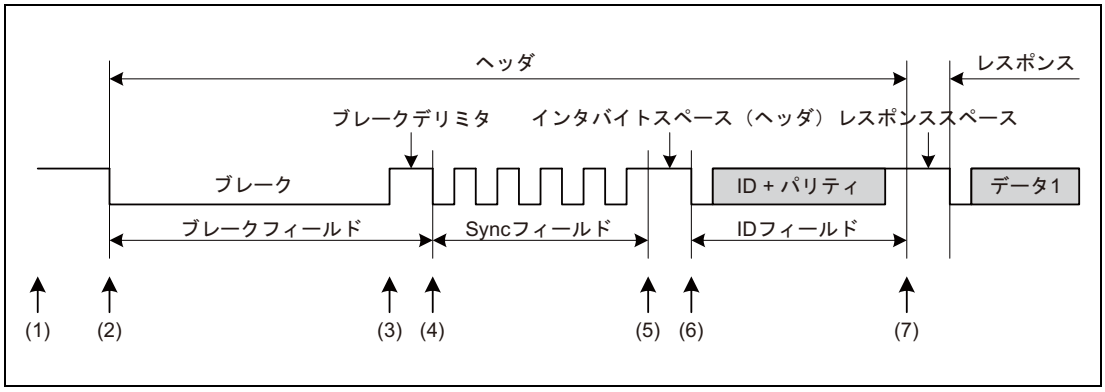


図 15.4 ヘッダ送信時の動作

表 15.32 ヘッダ送信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	• ボーレートを設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN 動作モードに移行 • 送信するフレーム情報 (ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ) を設定	ソフトウェアによる RLN21nmLiTRC レジスタの FTS ビット設定待ち（アイドル）
(2)	RLN21nmLiTRC レジスタの FTS ビットを “1”（フレーム送信／ウェイクアップ送受信開始）にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド（55h）送信
(5)		インタバイトスペース（ヘッダ）送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備 考

エラー検出に関しては、「**15.14 エラーステータス**」を参照してください。

15.9.2　レスポンス送信

図 15.5 にレスポンス送信時の動作、**表 15.33** にレスポンス送信時の処理を示します。

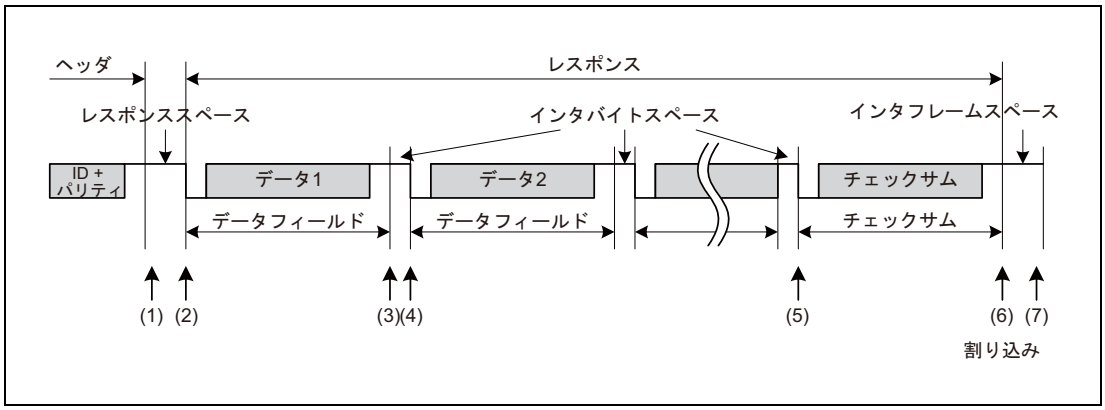


図 15.5　レスポンス送信時の動作

表 15.33　レスポンス送信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	（フレームセパレートモード時） • RLN21nmLiTRC レジスタの RTS ビットに “1” を設定（レスポンス送信開始） （フレームセパレートモードでないとき） • 割り込み要求発生待ち	（フレームセパレートモード時） • ソフトウェア処理による RLN21nmLiTRC レジスタの RTS ビットの “1” 設定待ち（この間、“1” を出力） • “1” に設定されたあと、レスポンススペースを送信 （フレームセパレートモードでないとき） • レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		• データ 2 送信 • インタバイトスペース送信 • データ 3 送信 • インタバイトスペース送信 （RLN21nmLiDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返し。） ： ：
(5)		チェックサム送信
(6)		• フレーム／ウェイクアップ送信完了フラグ設定 • RLN21nmLiTRC レジスタの FTS ビットを “0” （フレーム 送信／ウェイクアップ送受信停止）にする (フレームセパレートモード時) • RLN21nmLiTRC レジスタの RTS ビットを “0”（レスポンス送信停止）にする
(7)	• 通信後の処理 RLN21nmLiST レジスタのチェック、フラグのクリア	アイドル

備　考

エラー検出に関しては、「**15.14　エラーステータス**」を参照してください。

15.9.3　レスポンス受信

図 15.6 にレスポンス受信時の動作、**表 15.34** にレスポンス受信時の処理を示します。

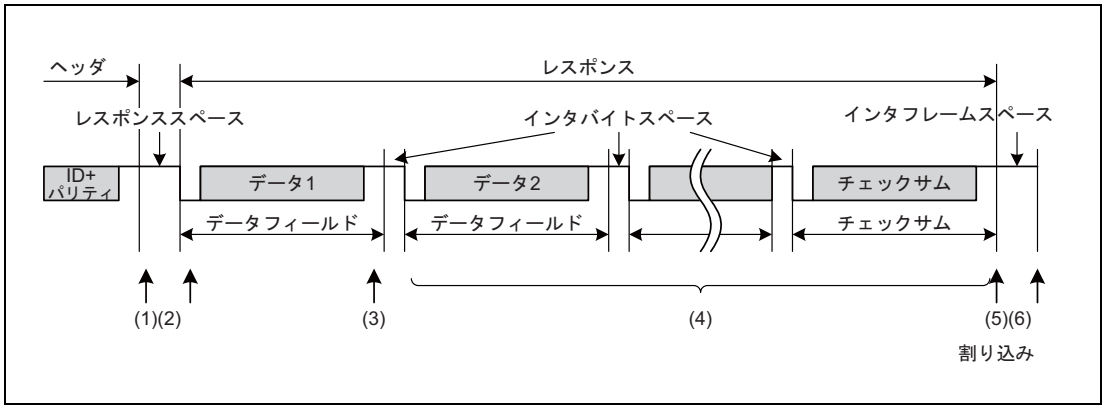


図 15.6　レスポンス受信時の動作

表 15.34　レスポンス受信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	割り込み要求発生待ち（処理はなし）	スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		• スタートビット検出によりデータ 2 受信 • スタートビット検出によりデータ 3 受信 （RLN21nmLiDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返し。） ： ： • スタートビット検出によりチェックサム受信
(5)		• チェックサム判定 • フレーム／ウェイクアップ受信完了フラグ設定 • RLN21nmLiTRC レジスタの FTS ビットを “0”（フレーム送信／ウェイクアップ送受信停止）にする
(6)	• 通信後の処理 受信データの読み出し RLN21nmLiST レジスタのチェック、フラグのクリア	アイドル

備　考

エラー検出に関しては、「**15.14　エラーステータス**」を参照してください。

15.10 データ送信／受信

15.10.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLN21nmLiEST レジスタの BER フラグに格納されます（**「15.14 エラーステータス」**参照）。

LIN マスタインタフェースでは、1 Tbit = 16fLIN で生成され、受信データのサンプリングポイントは 13 クロック目（81.25% 位置）になります。

図 15.7 にデータ送信タイミングの例を示します。

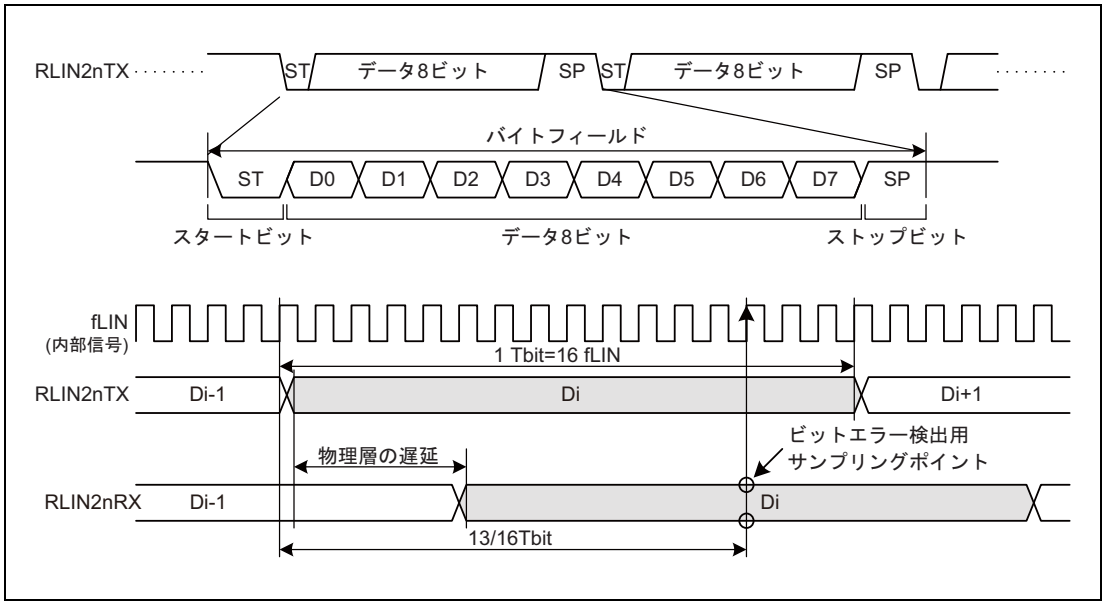


図 15.7 データ送信タイミング例

15.10.2 データ受信

データ受信は、LRX0 端子からの入力を LIN システムクロック（fLIN）に同期させた同期化 RLIN2nRX（内部信号）を使用して行います。

この同期化 RLIN2nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い、同期化 RLIN2nRX 信号が**ロウレベル**であった場合にスタートビットと認識します。リセット解除後から RLIN2nRX 信号が**ロウレベル**固定の場合や、再サンプリング時に**ハイレベル**を検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

図 15.8 にデータ受信タイミングの例を示します。

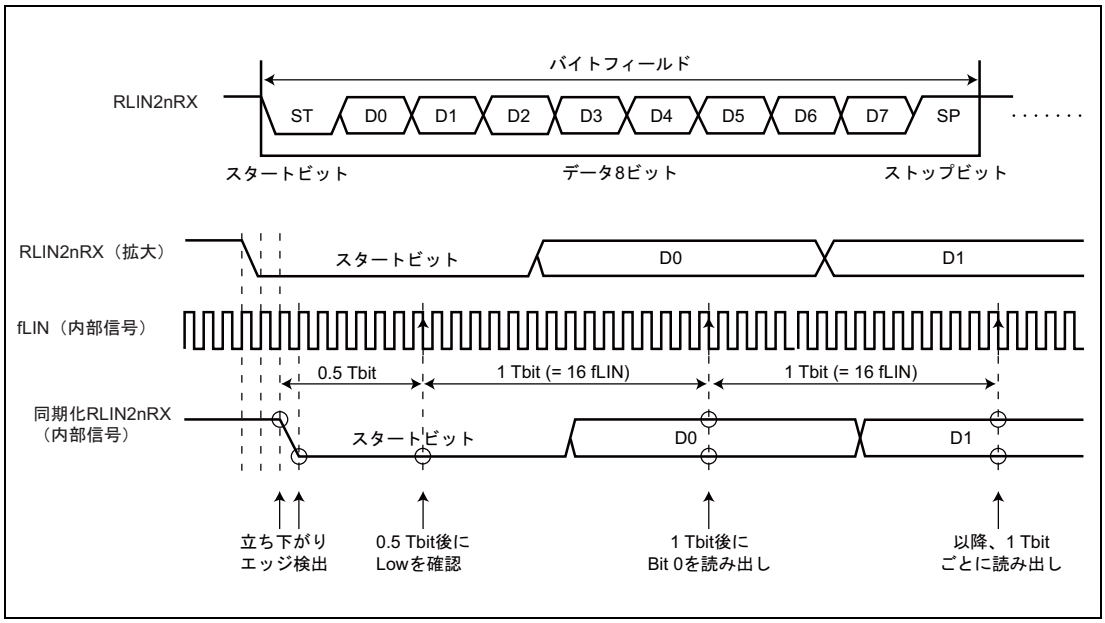


図 15.8 データ受信タイミング例

15.11 送信／受信データのバッファ処理

LIN マスタインタフェースの連続データ送受信時のバッファ処理について説明します。

15.11.1 LIN フレームの送信

8 バイト送信の場合、RLN21nmLiDBR1 レジスタ～ RLN21nmLiDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1 ～ 8 領域に送信されます。4 バイト送信の場合は、RLN21nmLiDBR1 レジスタ～ RLN21nmLiDBR4 レジスタに格納されている内容が LIN フレームのデータ 1 ～ 4 領域に送信され、RLN21nmLiDBR5 レジスタ～ RLN21nmLiDBR8 レジスタの内容は送信されません。また、RLN21nmLiCBR レジスタには送信したチェックサムデータが格納されます。

図 15.9 に LIN 送信処理とバッファを示します。

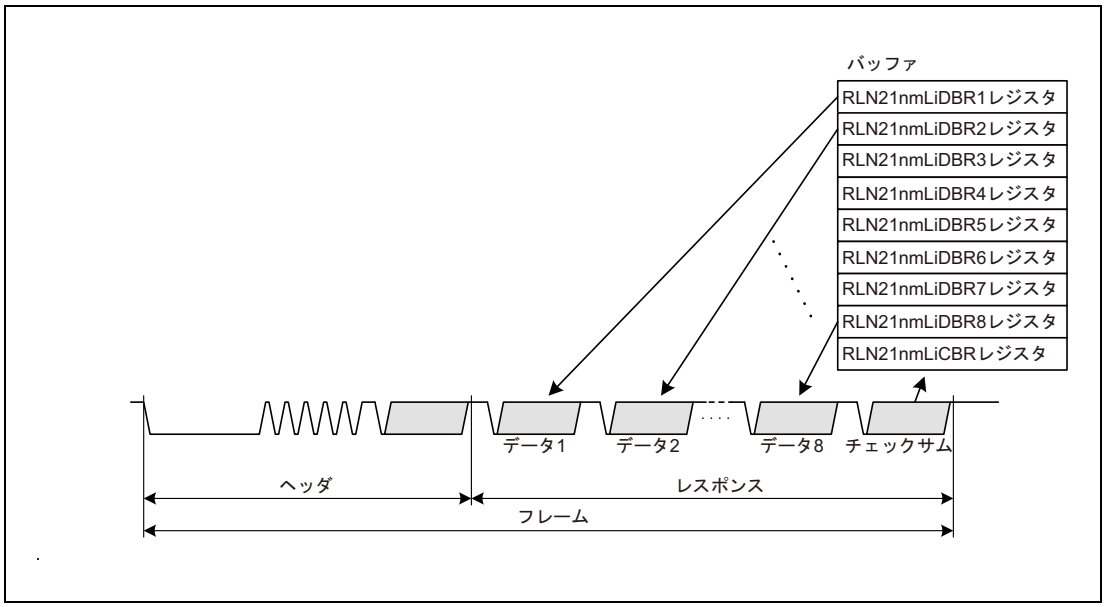


図 15.9 LIN 送信処理とバッファ

(1) フレームセパレートモード

RLN21nmLiDFC レジスタの FSM ビットを “1” にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN21nmLiST レジスタの HTRC フラグが “1”（ヘッダ送信完了）になります。

15.11.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1 ～ 8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN21nmLiDBR1 レジスタ～ RLN21nmLiDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1 ～ 4 領域の内容が、それぞれ RLN21nmLiDBR1 レジスタ～ RLN21nmLiDBR4 レジスタに格納され、RLN21nmLiDBR5 レジスタ～ RLN21nmLiDBR8 レジスタには何も格納されません。また、RLN21nmLiCBR レジスタには受信したチェックサムデータが格納されます。

図 15.10 に LIN 受信処理とバッファを示します。

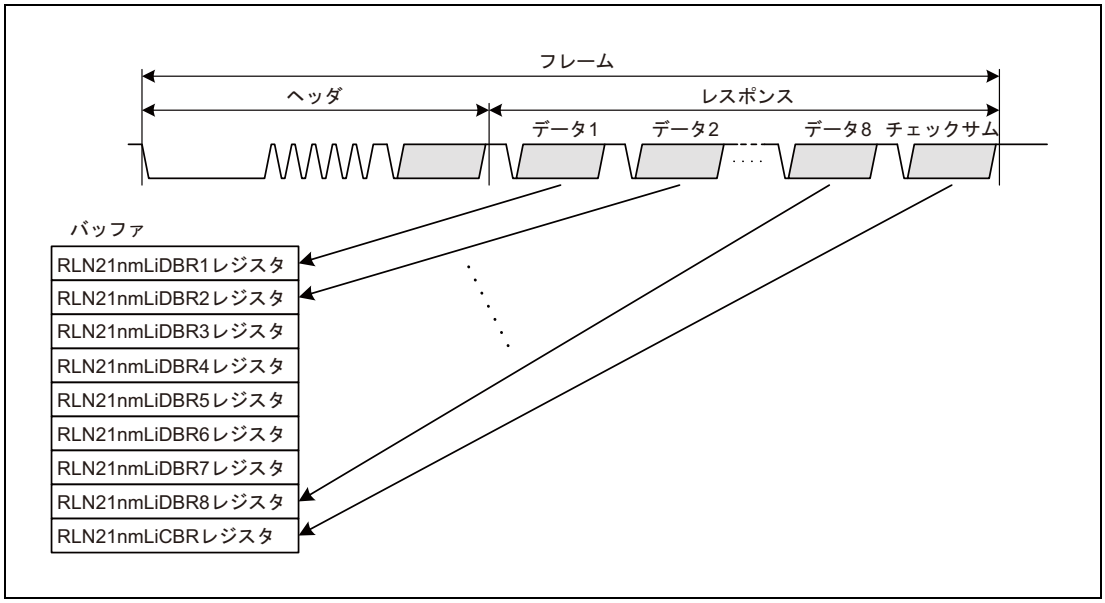


図 15.10 LIN 受信処理とバッファ

(1) データ 1 受信

1 バイト目のデータ受信が完了すると、RLN21nmLiST レジスタの D1RC フラグが “1”（データ 1 受信完了）になります。

15.12 ウェイクアップ送信／受信

ウェイクアップの送受信は LIN ウェイクアップモードで使用できます。

15.12.1 ウェイクアップ送信動作

LIN ウェイクアップモード時、RLN21nmLiDFC レジスタの RFT ビットを “1”（送信）、RLN21nmLiTRC レジスタの FTS ビットを “1”（フレーム送信／ウェイクアップ送受信開始）にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号の**ロウレベル**幅は RLN21nmLiWUP レジスタの WUTL[3:0] ビットで設定します。

ただし、RLN21nGLWBR レジスタの LWBR0 ビットが “1”（LIN2.x 使用時）の場合は、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN システムクロック（fLIN）が fa でのロウ幅になります。fa 選択時のボーレートを 19200 bps に、RLN21nmLiWUP レジスタの WUTL[3:0] ビットを “0100_B”（5Tbits）に設定することにより、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウエイクアップモード時に 260 µs のロウ幅を出力することができます。

エラーなくウェイクアップの**ロウレベル**が出力された場合、RLN21nmLiST レジスタの FTC フラグが “1”（フレームまたはウェイクアップ送信完了）になり、RLN21nmLiIE レジスタの FTCIE ビットが “1”（フレーム／ウェイクアップ送信完了割り込み許可）のとき割り込み要求が発生します。

エラーを検出した場合は、ウェイクアップ送信を中断し、検出したエラーに対するエラーフラグ（RLN21nmLiEST レジスタの PBER フラグまたは BER フラグ）を “1”（フィジカルバスエラー検出／ビットエラー検出）にします。

図 15.11 にウェイクアップ送信タイミングを示します。

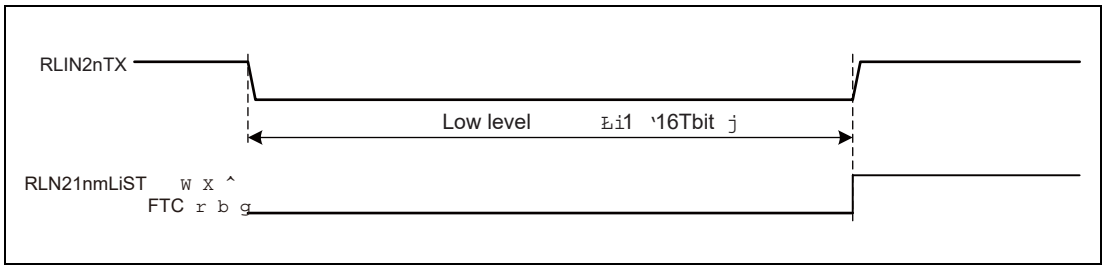


図 15.11 ウェイクアップ送信タイミング

15.12.2 ウェイクアップ受信動作

ウェイクアップシグナルを検出するには、入力信号ロウレベル幅カウント機能を使用します。入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントでLRX0 端子への入力信号のロウレベル幅を計測する機能です。入力信号のロウレベル幅をfLIN の 2.5Tbit 以上で計測することができます。

LIN Specification Package Revision 1.3 使用時は、RLN21nGLWBR レジスタの LWBR0 ビットを “0” に、LIN Specification Package Revision 2.x 使用時は “1” に設定してください。LWBR0 ビットを “1” にすると RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック (fLIN) が fa になります（LCKS ビットは変化しません）。fa 選択時のボーレートを 19200bps に設定することにより、RLN21nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 130us 以上の入力信号ロウレベル幅を検出することができます。

この機能を使用する場合、LIN ウェイクアップモードにて、RLN21nmLiDFC レジスタの RFT ビットを “0”（受信）、RLN21nmLiTRC レジスタの FTS ビットを “1”（フレーム送信／ウェイクアップ送受信開始）にしてください。

計測する**ロウレベル**幅に達すると RLN21nmLiST レジスタの FRC フラグが “1”（フレームまたはウェイクアップ受信完了）になり、RLN21nmLiIE レジスタの FRCIE ビットが “1”（フレーム／ウェイクアップ受信完了割り込み許可）の場合、割り込み要求が発生します。

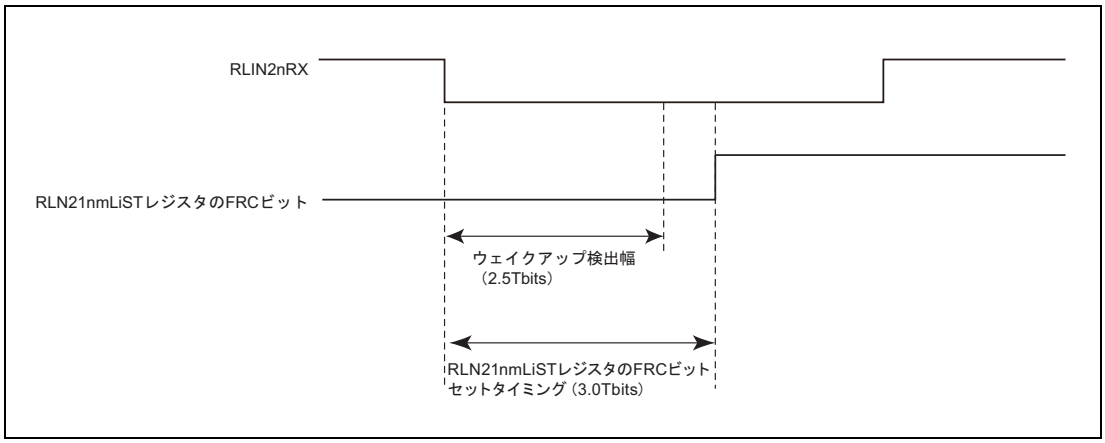


図 15.12 入力信号ロウレベルカウント機能

15.12.3 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN マスタインタフェースではウェイクアップ信号の衝突は検知しません。

15.13ステータス

LIN マスタインタフェースは 7 種類のステータスを検出します。

フレーム／ウェイクアップ送信完了、フレーム／ウェイクアップ受信完了、エラー検出の 3 つのステータスは割り込み要求を発生することができます。

表 15.35 にステータスの種類を示します。

表 15.35 ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN21nmLiCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN マスタインタフェースが LIN リセットモード解除になったとき	RLN21nmLiCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN マスタインタフェースが LIN リセットモードになったとき	すべてのモード	RLN21nmLiMST レジスタの OMM0 ビット	—
動作モード	RLN21nmLiCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN マスタインタフェースが LIN 動作モードになったとき	RLN21nmLiCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN マスタインタフェースが LIN ウェイクアップモードになったとき	• LIN 動作モード • LIN ウェイクアップモード	RLN21nmLiMST レジスタの OMM1 ビット	—
フレーム／ウェイクアップ送信完了	フレーム（ヘッダ送信 + レスポンス送信）、またはウェイクアップ信号 を正常に送信完了したとき	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時	• LIN 動作モード • LIN ウェイクアップモード	RLN21nmLiST レジスタの FTC フラグ	○
フレーム／ウェイクアップ受信完了	フレーム（ヘッダ送信 + レスポンス受信）、またはウェイクアップ信号 を正常に受信完了したとき	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時	• LIN 動作モード • LIN ウェイクアップモード	RLN21nmLiST レジスタの FRC フラグ	○
エラー検出	RLN21nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが “1”（エラー検出）になったとき	• 次の通信開始時 • ソフトウェアによるクリア 注 1 • LIN リセットモード移行時	• LIN 動作モード • LIN ウェイクアップモード	RLN21nmLiST レジスタの ERR フラグ	○
データ 1 受信完了	RLN21nmLiDFC レジスタの RFT ビットが “0”（受信）で、レスポンスフィールドの最初の 1 バイトを受信完了したとき 注 2	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時	LIN 動作モード	RLN21nmLiST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時	LIN 動作モード	RLN21nmLiST レジスタの HTRC フラグ	—

注 1. LIN 動作モード内で RLN21nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに “0” を書くことにより、RLN21nmLiST レジスタの ERR フラグは “0” になります。

注 2. RLN21nmLiDFC レジスタの RFDL[3:0] ビットが “0000_B”（0 バイト＋チェックサム）のときは検出されません。

15.14 エラーステータス

15.14.1 エラーステータスの種類

LIN マスタインタフェースでは LIN マスタモードで 5 種類のエラーステータスを検出します。これらのエラーの状態は RLN21nmLiEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

表 15.36 にエラーステータスの種類を示します。

表 15.36 エラーステータスの種類

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき注 1	• LIN 動作モード • LIN ウェイクアップモード	中断	○	RLN21nmLiEST レジスタの BER フラグ
フィジカルバスエラー	• ブレーク送信時に LIN バスがハイレベルを検出した場合 • ブレークデリミタ送信時に LIN バスがロウレベルを検出した場合 • ウェイクアップ送信時に LIN バスがハイレベルを検出した場合	• LIN 動作モード • LIN ウェイクアップモード	中断	○	RLN21nmLiEST レジスタの PBER フラグ
フレームタイムアウトエラー	フレームの送受信 がある一定の時間内に終了しなかったとき注 2	LIN 動作モード	中断	○	RLN21nmLiEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN21nmLiEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN21nmLiEST レジスタの CSER フラグ

注 1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注 2. タイムアウト時間は、レスポンスフィールドデータ長（RLN21nmLiDFC レジスタの RFDL[3:0] ビット）、およびチェックサム選択（ RLN21nmLiDFC レジスタの CSM ビット）に依存し、下記の式により計算できます。

クラシック選択時（RLN21nmLiDFC レジスタの CSM ビットが “0” の場合）:

タイムアウト時間 = 49 ＋ (データバイト数 ＋ 1) × 14 [Tbit]

エンハンス選択時（RLN21nmLiDFC レジスタの CSM ビットが “1” の場合）:

タイムアウト時間 = 48 ＋ (データバイト数 ＋ 1) × 14 [Tbit]

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

エラーステータスのクリア条件は、次の通信開始時、ソフトウェアによるクリア、LIN リセットモード移行時 です。

15.14.2 エラー検出の対象時間領域

図 15.13 にエラーを検出するために LIN マスタインタフェースが監視する時間領域を示します。

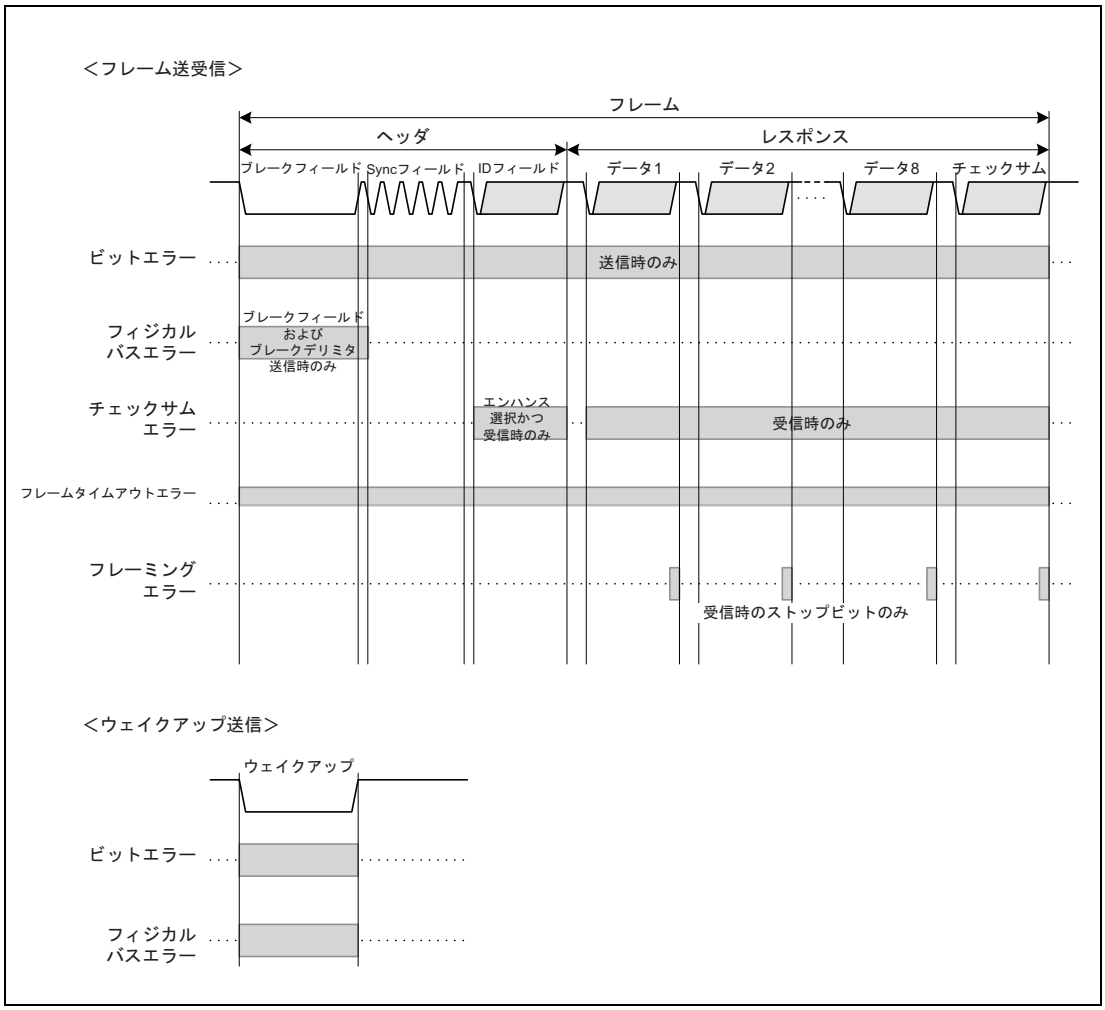


図 15.13 エラー検出の対象時間領域

15.15 LIN セルフテストモード

LIN マスタインタフェースは、LIN セルフテストモードを持ちます。一度 LIN マスタインタフェースが LIN セルフテストモードになると、RLIN2nTX と RLIN2nRX は外部端子から切断され、LIN マスタインタフェース内部で RLIN2nTX と RLIN2nRX が接続されます。よって、RLIN2nTX から送信するフレームは RLIN2nRX にループバックします。

セルフテストは、以下の 2 種類行うことができます。

- LIN セルフテストモード（送信）：ヘッダ送信およびレスポンス送信
- LIN セルフテストモード（受信）：ヘッダ送信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定にかかわらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定にかかわらず、LIN 通信クロック源／16[bps] で動作します。

また、LIN セルフテストモードでは、以下の機能はサポートしません。

- LIN ウェイクアップモード
- フレームセパレートモード

これらの機能は使用しないでください。

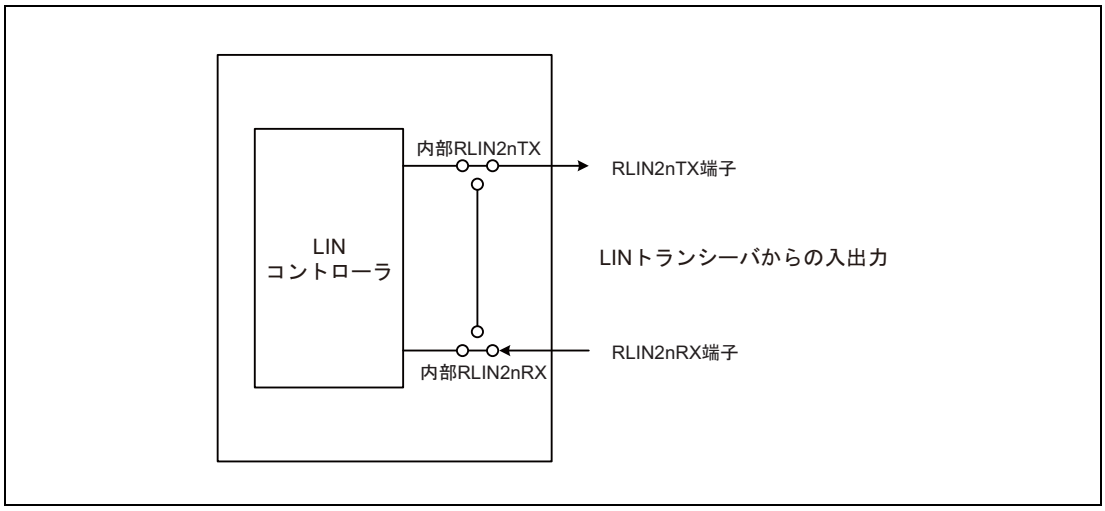


図 15.14 LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード 接続

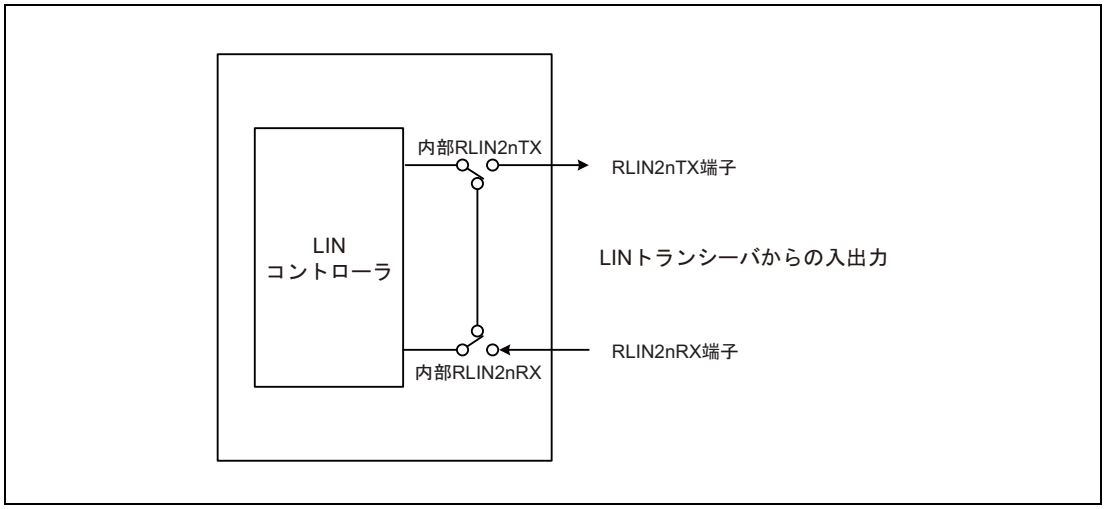


図 15.15 LIN セルフテストモード接続

15.15.1 LIN セルフテストモードへの移行

RLN21nGLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。

RLN21nGLSTC レジスタが “01_H” になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次のとおり LIN セルフテスト制御レジスタに 3 回連続書き込みを行う必要があります。

- ユニット内の全チャネルを LIN リセットモードへ移行
  RLN21nmLiCUC レジスタの OM0 ビットを “0”（LIN リセットモード）にする。
  RLN21nmLiMST レジスタの OMM0 ビットを読み出し、“0”（LIN リセットモード）であることを確認する
- 1 回目書き込み：RLN21nGLSTC レジスタ = “$1010\ 0111_B$”（$A7_H$）
- 2 回目書き込み：RLN21nGLSTC レジスタ = “$0101\ 1000_B$”（58_H）
- 3 回目書き込み：RLN21nGLSTC レジスタ = “$0000\ 0001_B$”（01_H）
- LIN セルフテストモードへの移行を確認する
  RLN21nGLSTC レジスタを読み出し、“01_H”（LIN セルフテストモード）であることを確認する。

1 回目のキー（$A7_H$）を誤って 2 回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度 1 回目の書き込みから実施してください。また、LIN セルフテストモードへの移行（RLN21nGLSTC レジスタへの 3 回連続書き込み）中に同一ユニット内のほかの LIN 関連レジスタに書き込みを行った場合も移行は中断します。

15.15.2 LIN セルフテストモードにおける送信

送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する
  RLN21nGLBRP0 レジスタ = xxxx $xxxx_B$ 注 1
  RLN21nGLBRP1 レジスタ = xxxx $xxxx_B$ 注 1
  RLN21nmLiMD レジスタ = 0000 $xx00_B$ 注 1
- 割り込み許可、エラー許可関連レジスタを設定する
  RLN21nmLiIE レジスタ = 0000 $0xxx_B$ 注 2
  RLN21nmLiEDE レジスタ = 0000 $xxxx_B$
- ブレークフィールド、スペース関連レジスタを設定する
  RLN21nmLiBFC レジスタ = 00xx $xxxx_B$
  RLN21nmLiSC レジスタ = 00xx $0xxx_B$
- LIN リセットモード解除
  RLN21nmLiCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN21nmLiMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する
- 送信フレーム関連レジスタを設定する
  RLN21nmLiDFC レジスタ = 00x1 $xxxx_B$
  RLN21nmLiIDB レジスタ = xxxx $xxxx_B$
  RLN21nmLiDBR1 ～ RLN21nmLiDBR8 レジスタ = xxxx $xxxx_B$
- ヘッダ送信→レスポンス送信開始
  RLN21nmLiTRC レジスタの FTS ビットを “1”（フレーム送信／ウェイクアップ送受信開始）にする
  LIN セルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムは LIN マスタインタフェースが自動演算する
  LIN セルフテストモード（送信）実行中に中断したい場合は、RLN21nmLiCUC レジスタの OM0 ビットに “0” （LIN リセットモード）を書き込み、LIN リセットモードへ移行する
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN21nmLiIDB レジスタ、RLN21nmLiDBRb レジスタ、RLN21nmLiCBR レジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます。）、RLN21nmLiTRC レジスタの FTS ビットがクリアされる
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN21nmLiTRC レジスタの FTS ビットがクリアされる

備　考

x：任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN21nGLBRP0 レジスタ、RLN21nGLBRP1 レジスタ、RLN21nmLiMD レジスタの LCKS ビット
そのため、設定は必須ではありません。

注 2. 必要に応じて、**「第 6 章　割り込み」**の関連レジスタを設定してください。

15.15.3 LIN セルフテストモードにおける受信

受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する
  RLN21nGLBRP0 レジスタ = $xxxx\ xxxx_B$ 注1
  RLN21nGLBRP1 レジスタ = $xxxx\ xxxx_B$ 注1
  RLN21nmLiMD レジスタ = $0000\ xx00_B$ 注1
- 割り込み許可、エラー許可関連レジスタを設定する
  RLN21nmLiIE レジスタ = $0000\ 0xxx_B$ 注2
  RLN21nmLiEDE レジスタ = $0000\ xxxx_B$
- ブレークフィールド、スペース関連レジスタを設定する
  RLN21nmLiBFC レジスタ = $00xx\ xxxx_B$
  RLN21nmLiSC レジスタ = $00xx\ 0xxx_B$ 注1
- LIN リセットモード解除
  RLN21nmLiCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLN21nmLiMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する
- 受信フレーム関連レジスタを設定する
  RLN21nmLiDFC レジスタ = $00x0\ xxxx_B$
  RLN21nmLiIDB レジスタ = $xxxx\ xxxx_B$
  RLN21nmLiDBR1 ～ RLN21nmLiDBR8 レジスタ = $xxxx\ xxxx_B$
  RLN21nmLiCBR レジスタ = $xxxx\ xxxx_B$
  送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN21nmLiCBR レジスタに設定する。このとき 誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です
- ヘッダ送信→レスポンス受信開始
  RLN21nmLiTRC レジスタの FTS ビットを “1”（フレーム送信／ウェイクアップ送受信開始）にする
  LIN セルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される
  LIN セルフテストモード（受信）実行中に中断したい場合は、RLN21nmLiCUC レジスタの OM0 ビットに “0” （LIN リセットモード）を書き込み、LIN リセットモードへ移行する
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN21nmLiIDB レジスタ、RLN21nmLiDBRb レジスタ、RLN21nmLiCBR レジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます。）、RLN21nmLiTRC レジスタの FTS ビットがクリアされる
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN21nmLiTRC レジスタの FTS ビットがクリアされる

備　考

x：任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN21nGLBRP0 レジスタ、RLN21nGLBRP1 レジスタ、RLN21nmLiMD レジスタの LCKS ビット、RLN21nmLiSC レジスタの IBS ビット、IBHS ビット（レスポンススペースのみ）
そのため、設定は必須ではありません。

注 2. 必要に応じて、**「第 6 章　割り込み」**の関連レジスタを設定してください。

15.15.4 LIN セルフテストモード終了

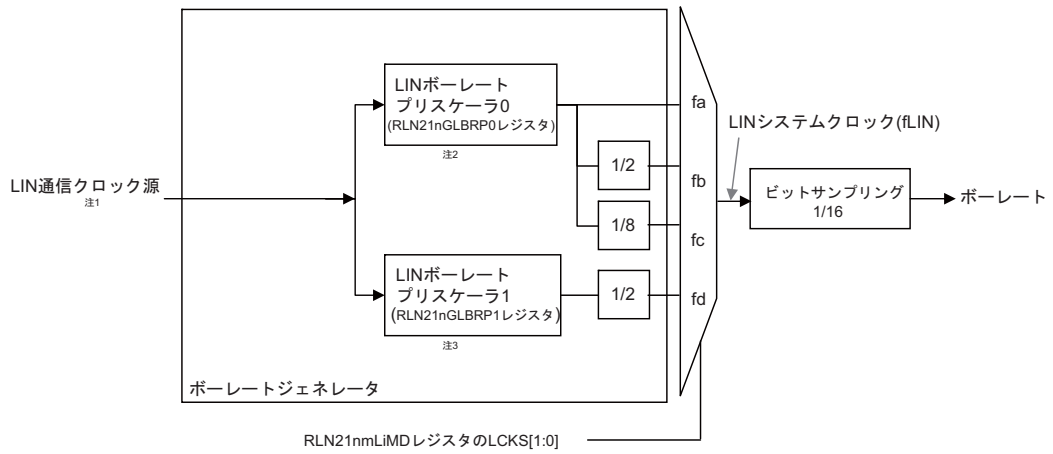
LIN セルフテストモードを終了するには、次の手順を行ってください。

- ユニット内の全チャネルを LIN リセットモードへ移行。
  RLN21nmLiCUC レジスタの OM0 ビットに “0” を書き込み、LIN リセットモードに移行します。ただし、LIN セルフテストモード移行後、ユニット内で 1 チャネルも RLN21nmLiMST レジスタの OMM1、OMM0 ビットが “11_B” でない場合は、任意の 1 チャネルに対して RLN21nmLiCUC レジスタの OM1、OM0 ビットに “11_B” を書き、RLN21nmLiMST レジスタの OMM1, OMM0 ビットが “11_B” になることを確認したあとに、LIN リセットモードに移行してください。
- LIN セルフテストモードの解除を確認する。
  RLN21nGLSTC レジスタを読み、“00_H”（LIN セルフテストモードではない）を確認。
- LIN リセットモードへの移行を確認する。
  RLN21nmLiMST レジスタの OMM0 ビットを読み、“0”（LIN リセットモード）を確認。

15.16 ボーレートジェネレータ

LIN 通信クロック源をボーレートジェネレータで分周したクロックが LIN システムクロック（fLIN）となり、これを 16 分周したクロックがボーレートになります。このボーレートの逆数をビットタイム（Tbit）といいます。

図 15.16 にボーレート生成ブロック図を示します。



注 1. LIN 通信クロック源については、**「第 11 章　クロックコントローラ」**を参照してください。
注 2. RLN21nGLBRP0 レジスタにより、N ＋ 1 分周（N = 0 ～ 255）を設定します。
注 3. RLN21nGLBRP1 レジスタにより、M ＋ 1 分周（M = 0 ～ 255）を設定します。

図 15.16　ボーレート生成ブロック図

LIN 通信クロック源は、40MHz に設定してください。

fa が 307200Hz（= 19200 × 16）となるように RLN21nGLBRP0 レジスタを設定すれば、fa = 19200 × 16、fb = 9600 × 16、fc = 2400 × 16 となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、fd が 166672Hz（= 10417 × 16）となるように RLN21nGLBRP1 レジスタを設定すれば、fd = 10417 × 16 となり、ビットタイミング生成部で 16 分周するため、10417bps が生成できます。

ボーレートの計算式は、以下のとおりです。

ボーレート

= {LIN 通信クロック源の周波数 } ÷ ((RLN21nGLBRP0) + 1) ÷16 [bps]（fa 選択時）

= {LIN 通信クロック源の周波数 } ÷ ((RLN21nGLBRP0) + 1) ÷2 ÷ 16 [bps]（fb 選択時）

= {LIN 通信クロック源の周波数 } ÷ ((RLN21nGLBRP0) + 1) ÷8 ÷ 16 [bps]（fc 選択時）

= {LIN 通信クロック源の周波数 } ÷ ((RLN21nGLBRP1) + 1) ÷2 ÷ 16 [bps]（fd 選択時）

表 15.37 にボーレート（19200、9600、2400、10417bps）生成例とその誤差を示します。

表 15.37　ボーレート生成例（19200bps、10417bps、9600bps、2400bps）

LIN 通信 クロック源	ボーレートジェネレータ 0 （N ＋ 1）分周	ボーレートジェネレータ 1 （M ＋ 1）分周	システム クロック	ボーレート	誤差
40MHz	130	—	fa	19230.77	+0.16%
	—	120	fd	10416.67	–0.003%
	130	—	fb	9615.38	+0.16%
	130	—	fc	2403.85	+0.16%.

第 16 章　CANFD インタフェース（RS-CANFD）

本章では、CANFD インタフェース（RS-CANFD）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/E1M-S2 固有の特長について説明します。

それ以降の節では、RS-CANFD の機能、レジスタについて説明します。

16.1　RH850/E1M-S2 RS-CANFD の特長

16.1.1　ユニット数とチャネル数

本製品は以下のユニット数の RS-CANFD を搭載しています。

表 16.1　ユニット数

パッケージ	BGA304	BGA252
ユニット数	1	
名称	RSCFDn (n = 0)	

また各製品は以下に示す CANFD インタフェースチャネルを搭載しています。

表 16.2　RS-CANFD のユニット構成とチャネルの対応

ユニット名	チャネル名	BGA304	BGA252
RSCFD0	CAN0	○	○
	CAN1	○	○
	CAN2	○	○
	CAN3	○	○

RS-CANFD は 2 種類のインタフェースモード（クラシカル CAN モードと CAN FD モード）を持ち、それぞれで異なるレジスタを使用します。レジスタ名はインタフェースモードによって RSCANnXXX と RSCFDnCFDXXX の 2 種類があり（XXX は任意）、2 つのレジスタで共通した仕様について説明する場合は RSCFDn(CFD)XXX と記述します。

表 16.3 添字

添字	意味
n	本章では、RS-CANFD のユニットを「n」（n = 0）で識別します。たとえば、ユニット n の RSCFD のグローバル制御レジスタは RSCFDn(CFD)GCTR と記述します。
m	本章では、RS-CANFD のチャネル数を「m」（m = 0 ～ 3）で識別します。たとえば、チャネル m ステータスレジスタは RSCFDn(CFD)CmSTS と記述します。
j	受信ルールテーブルを関係するレジスタを「j」（j = 0 ～ 15）で識別します。たとえば、受信ルール ID レジスタは RSCFDn(CFD)GAFLIDj と記述します。
k	送受信 FIFO バッファ番号を「k」（k = 0 ～チャネル m × 3 + 2）で識別します。たとえば、送受信 FIFO バッファコンフィグレーション / 制御レジスタは RSCFDn(CFD)CFCCk と記述します。
x	受信 FIFO バッファ番号を「x」(x = 0 ～ 7）で識別します。例えば、受信 FIFO バッファステータスレジスタは、RSCFDn(CFD)RFSTSx と記述します。
d	送受信 FIFO バッファおよび受信 FIFO バッファのデータフィールドレジスタを「d」（クラシカル CAN モードは d = 0 ～ 1、CAN FD モードは d = 0 ～ 15）で識別します。たとえば、送受信 FIFO バッファデータフィールドレジスタは RSCFDn(CFD)CFDFd_k と記述します。
q	受信バッファの番号を「q」（q = 0 ～チャネル m × 16 + 15）で識別します。たとえば、受信バッファ ID レジスタは RSCFDn(CFD)RMIDq で記述します。
p	送信バッファの番号を「p」（p = 0 ～チャネル m × 16 + 15）で識別します。たとえば、送信バッファ制御レジスタは RSCFDn(CFD)TMCp と記述します。
b	受信バッファおよび送信バッファのデータフィールドレジスタを「b」（クラシカル CAN モードは b = 0 ～ 1、CAN FD モードは b = 0 ～ 4）で識別します。たとえば、受信バッファデータフィールドレジスタは RSCFDn(CFD)RMDFb_q と記述します。
r	CAN 用 RAM テスト番号を「r」（r = 0 ～ 63）で識別します。たとえば、RAM テストページアクセスレジスタは RSCFDn(CFD)RPGACCr と記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」（y ＝ 0 ～ 1）で識別します。たとえば、受信バッファ新データレジスタ は RSCFDn(CFD)RMNDy と記述します。

備考 お使いになる製品により添字の範囲外となるビットへ書き込む場合はリセット後の値を書き込んでください。

16.1.2 レジスタベースアドレス

RSCFDn のベースアドレスを以下の表に示します。

RSCFDn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表 16.4 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RSCFD0_base>	FFD0 0000_H

16.1.3 クロック供給

RSCFDn のクロック供給を以下の表に示します。

表 16.5 クロック供給

ユニット名	ユニットクロック名	供給クロック名
RSCFDn	clk_xincan 注 1	メイン OSC
	clkc 注 1	CLKC_LSB（非変調低速周辺クロック）
	pclk 注 1	CLK_HSB（高速周辺クロック）

注 1. pclk は CAN エンジンクロックのイベントを見逃さないよう以下の条件を満たす必要があります。
・pclk ≧ 2 × clkc
・pclk ≧ 2 × clk_xincan

16.1.4 割り込み要求

RSCFDn の割り込み要求を以下の表に示します。

表 16.6 割り込み要求

ユニット割り込み信号		概要	割り込み番号
RSCFD0			
INTRCANGERR		CAN グローバルエラー割り込み	413
INTRCANGRECC		CAN 受信 FIFO 割り込み	412
CAN0	INTRCAN0ERR	CAN0 エラー割り込み	415
	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	414
	INTRCAN0TRX	CAN0 送信割り込み	416
CAN1	INTRCAN1ERR	CAN1 エラー割り込み	418
	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	417
	INTRCAN1TRX	CAN1 送信割り込み	419
CAN2	INTRCAN2ERR	CAN2 エラー割り込み	421
	INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	420
	INTRCAN2TRX	CAN2 送信割り込み	422
CAN3	INTRCAN3ERR	CAN3 エラー割り込み	424
	INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	423
	INTRCAN3TRX	CAN3 送信割り込み	425

16.1.5 リセット要因

RSCFDn のリセット要因を以下に示します。RSCFDn は以下のリセット要因で初期化されます。

表 16.7 リセット要因

ユニット名	リセット要因
RSCFDn	すべてのリセット要因

16.1.6 外部入出力信号

RSCFDn の外部入出力信号を以下の表に示します。

表 16.8 外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
RSCFD0		
CANmRX	CANm 受信データ入力	CRXm
CANmTX	CANm 送信データ出力	CTXm

16.2　概要

16.2.1　機能概要

表 16.9 に RS-CANFD モジュールの仕様、**図 16.1** に RS-CANFD モジュールブロック図を示します。

表 16.9　RS-CANFD モジュールの仕様 (1/3)

項目	仕様
チャネル数	4
プロトコル	ISO11898-1 仕様準拠 インタフェースモードの切り替えにより、CAN FD フレームの使用を選択可能
通信速度	クラシカル CAN モード： 最大 1Mbps $\text{通信速度（CANm ビットタイムクロック）} = \dfrac{1}{\text{CANm ビットタイム}}$ CANm ビットタイム ＝ CANmTq × 1 ビット分の Tq 数 $\text{CANmTq} = \dfrac{\text{（RSCANnCmCFG レジスタの BRP[9:0] ビット + 1）}}{\text{fCAN}}$ fCAN：CAN クロック（RSCANnGCFG レジスタの DCS ビットで選択したクロック）の周波数 CAN FD モード： 通常ビットレート 最大 1Mbps、データビットレート 最大 5Mbps $\text{通信速度（CANm 通常ビットタイムクロック）} = \dfrac{1}{\text{CANm 通常ビットタイム}}$ $\text{通信速度（CANm データビットタイムクロック）} = \dfrac{1}{\text{CANmデータビットタイム}}$ CANm 通常ビットタイム ＝ CANmTq(N) × 1 通常ビット分の Tq 数 CANm データビットタイム ＝ CANmTq(D) × 1 データビット分の Tq 数 $\text{CANmTq(N)} = \dfrac{\text{（RSCFDnCFDCmNCFG レジスタの NBRP[9:0] ビット + 1）}}{\text{fCAN}}$ $\text{CANmTq(D)} = \dfrac{\text{（RSCFDnCFDCmDCFG レジスタの DBRP[7:0] ビット + 1）}}{\text{fCAN}}$ fCAN：CAN クロック（RSCFDnCFDGCFG レジスタの DCS ビットで選択したクロック）の周波数 m = 0 ～ 3 Tq：Time quantum
バッファ	合計 320 バッファ • 各チャネル専用：64 バッファ（16 バッファ × 4 チャネル） 送信バッファ：16 バッファ／1 チャネル 送信キュー：1 本／1 チャネル（送信バッファと共用、最大 16 バッファ割り当て可能） • チャネル間共用：256 バッファ 受信バッファ：0 ～ 64 バッファ 受信 FIFO バッファ：8 本（1 本あたり最大 128 バッファ割り当て可能） 送受信 FIFO バッファ：3 本／1 チャネル（1 本あたり最大 128 バッファ割り当て可能） • ECC 内蔵
受信機能	• データフレームとリモートフレームを受信可能 • 受信する ID フォーマット（標準 ID、拡張 ID、両方）を選択可能 • FIFO ごとの割り込み許可／禁止設定可能 • ミラー機能（自送信メッセージの受信機能） • タイムスタンプ機能（メッセージの受信時間を 16 ビットタイマ値で記録）

表 16.9 RS-CANFD モジュールの仕様 (2/3)

項目	仕様
受信フィルタ機能	• 合計 256 個の受信ルールで受信メッセージを選別可能 • チャネルごとに 0 ～ 128 個の範囲で受信ルール数を設定可能 • アクセプタンスフィルタ処理：各受信ルールごとに ID、マスク設定可能 • DLC フィルタ処理：各受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	• ルーティング機能 受信メッセージを任意のバッファへ転送する機能（転送可能バッファ数：8） 転送先：受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ • ラベル付加機能 受信バッファおよび FIFO バッファへメッセージ格納時、ラベル情報も同時に格納可能
送信機能	• データフレームとリモートフレームを送信可能 • 送信する ID フォーマット（標準 ID、拡張 ID、両方）を選択可能 • 送信バッファ、送受信 FIFO バッファごとに割り込み許可／禁止設定可能 • ID 優先送信または送信バッファ番号優先送信を選択可能 • 送信アボート機能（フラグでアボート完了を確認可能） • ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能（送受信 FIFO バッファの送信モードまたはゲートウェイモード）
送信キュー機能	格納された全メッセージが ID 優先で送信される機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能 履歴情報にタイムスタンプ（メッセージの送信時間を 16 ビットタイマ値で記録）を付加
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 • ISO11898-1 仕様準拠 • バスオフ開始でチャネル待機モードへ自動遷移 • バスオフ終了でチャネル待機モードへ自動遷移 • プログラムによる要求によってチャネル待機モードへ遷移 • プログラムによる要求によってエラーアクティブ状態へ遷移（バスオフ強制復帰機能）
エラー状態の監視	• CAN プロトコルエラー（スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスドミナントロック）を監視 • エラー状態の遷移を検出（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） • エラーカウンタの読み出し • DLC エラーを監視
割り込み要因	14 本 • グローバル割り込み（2 本） 受信 FIFO 割り込み グローバルエラー割り込み • チャネル割り込み（チャネルごとに 3 本ずつ） CANm 送信割り込み（m = 0 ～ 3） – CANm 送信完了割り込み – CANm 送信アボート割り込み – CANm 送受信 FIFO 送信完了割り込み（送信モード、ゲートウェイモード時） – CANm 送信履歴割り込み – CANm 送信キュー割り込み CANm 送受信 FIFO 受信完了割り込み（受信モード、ゲートウェイモード時） CANm エラー割り込み
CAN ストップモード	RS-CANFD モジュールに供給されるクロックを停止することで消費電流を低減可能
CAN クロックソース	clkc か clk_xincan を選択可能

表 16.9 RS-CANFD モジュールの仕様 (3/3)

項目	仕様
テスト機能	ユーザ評価用テスト機能 • リッスンオンリモード • セルフテストモード 0（外部ループバック） • セルフテストモード 1（内部ループバック） • 制限動作モード • RAM テスト（読み書きテスト） • チャネル間通信テスト [CRC エラーテスト可能]

16.2.2 インタフェースモード

RS-CANFD は 2 種類のインタフェースモードを持ちます。

- クラシカル CAN モード：クラシカル CAN フレームのみを扱います
- CAN FD モード：クラシカル CAN フレームと CAN FD フレームの両方を扱います

2 つのモードはそれぞれベースアドレスが共通の異なるレジスタマップを使用し、モードの切り替えによりレジスタマップが切り替わります。

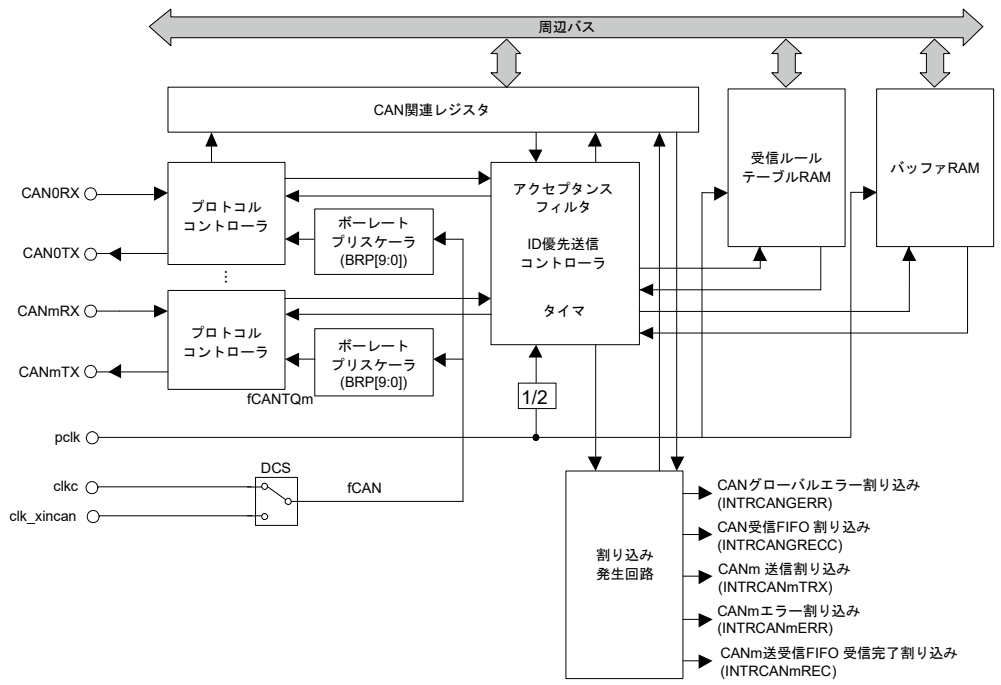
インタフェースモードの切り替えは RSCFDn(CFD)GRMCFG レジスタの RCMC ビットで行います。

16.2.3 CAN FD プロトコル切り替え

E1M-S2 では、オプション・バイト 4 ～ 1（OPBT0）のビット番号 10 を “0” に設定することで、スタッフカウンタを含む新しい CRC フィールドの ISO 11898-1: 2015 に準拠した CAN FD を使用することができます。

出荷状態では、オプション・バイト 4 ～ 1（OPBT0）のビット番号 10 は “1” となっており、E1x-FCC2 の CAN FD プロトコルと互換性がある CRC フィールドが使用されます（ISO/CD 11898-1 (2014-08-12 版))。

16.2.4 ブロック図



備考 m = 0 ～ 3
BRP[9:0]：RSCANnCmCFG レジスタのビット
DCS：RSCANnGCFG レジスタのビット
fCANTQm：CANmTq クロック
fCAN：CAN クロック

図 16.1 RS-CANFD モジュールのブロック図（クラシカル CAN モード時）

CAN FD モード時は、ボーレートプリスケーラおよびプロトコルコントローラに入力されるクロックが異なります。**「16.11.1.3 通信速度の設定」**を参照してください。

16.3 レジスタ（クラシカル CAN モード）

16.3.1 レジスター覧

クラシカル CAN モードで使用する場合の RS-CANFD のレジスター覧を以下の表に示します。

<RSCFDn_base> は「**16.1.2 レジスタベースアドレス**」を参照してください。

なお、グローバルリセットモードやチャネルリセットモードで初期化されるレジスタについては以下をご参照ください。

- **「表 16.174 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧」**
- **「表 16.175 グローバルリセットモードでのみ初期化されるレジスター覧」**

表 16.10 レジスター覧 (1/3)

モジュール名	レジスタ名	略号	アドレス
インタフェースモード関連レジスタ			
RSCFDn	グローバルインタフェースモード選択レジスタ	RSCANnGRMCFG	<RSCFDn_base> + $04FC_H$
チャネル関連レジスタ			
RSCFDn	チャネル m コンフィグレーションレジスタ	RSCANnCmCFG	<RSCFDn_base> + 0000_H + (10_H × m)
RSCFDn	チャネル m 制御レジスタ	RSCANnCmCTR	<RSCFDn_base> + 0004_H + (10_H × m)
RSCFDn	チャネル m ステータスレジスタ	RSCANnCmSTS	<RSCFDn_base> + 0008_H + (10_H × m)
RSCFDn	チャネル m エラーフラグレジスタ	RSCANnCmERFL	<RSCFDn_base> + $000C_H$ + (10_H × m)
グローバル関連レジスタ			
RSCFDn	グローバルコンフィグレーションレジスタ	RSCANnGCFG	<RSCFDn_base> + 0084_H
RSCFDn	グローバル制御レジスタ	RSCANnGCTR	<RSCFDn_base> + 0088_H
RSCFDn	グローバルステータスレジスタ	RSCANnGSTS	<RSCFDn_base> + $008C_H$
RSCFDn	グローバルエラーフラグレジスタ	RSCANnGERFL	<RSCFDn_base> + 0090_H
RSCFDn	グローバルタイムスタンプカウンタレジスタ	RSCANnGTSC	<RSCFDn_base> + 0094_H
RSCFDn	グローバル TX 割り込みステータスレジスタ 0	RSCANnGTINTSTS0	<RSCFDn_base> + 0460_H
RSCFDn	グローバル FD コンフィグレーションレジスタ	RSCANnGFDCFG	<RSCFDn_base> + 0474_H
受信ルール関連レジスタ			
RSCFDn	受信ルールエントリ制御レジスタ	RSCANnGAFLECTR	<RSCFDn_base> + 0098_H
RSCFDn	受信ルールコンフィグレーションレジスタ 0	RSCANnGAFLCFG0	<RSCFDn_base> + $009C_H$
RSCFDn	受信ルール ID レジスタ j	RSCANnGAFLIDj	<RSCFDn_base> + 0500_H + (10_H × j)
RSCFDn	受信ルールマスクレジスタ j	RSCANnGAFLMj	<RSCFDn_base> + 0504_H + (10_H × j)
RSCFDn	受信ルールポインタ 0 レジスタ j	RSCANnGAFLP0_j	<RSCFDn_base> + 0508_H + (10_H × j)
RSCFDn	受信ルールポインタ 1 レジスタ j	RSCANnGAFLP1_j	<RSCFDn_base> + $050C_H$ + (10_H × j)
受信バッファ関連レジスタ			
RSCFDn	受信バッファナンバレジスタ	RSCANnRMNB	<RSCFDn_base> + $00A4_H$

表 16.10 レジスタ一覧 (2/3)

モジュール名	レジスタ名	略号	アドレス
RSCFDn	受信バッファ新データレジスタ y	RSCANnRMNDy	<RSCFDn_base> + $00A8_H$ + (04_H × y)
RSCFDn	受信バッファ ID レジスタ q	RSCANnRMIDq	<RSCFDn_base> + 0600_H + (10_H × q)
RSCFDn	受信バッファポインタレジスタ q	RSCANnRMPTRq	<RSCFDn_base> + 0604_H + (10_H × q)
RSCFDn	受信バッファデータフィールド 0 レジスタ q	RSCANnRMDF0_q	<RSCFDn_base> + 0608_H + (10_H × q)
RSCFDn	受信バッファデータフィールド 1 レジスタ q	RSCANnRMDF1_q	<RSCFDn_base> + $060C_H$ + (10_H × q)
受信 FIFO バッファ関連レジスタ			
RSCFDn	受信 FIFO バッファコンフィグレーション／制御レジスタ x	RSCANnRFCCx	<RSCFDn_base> + $00B8_H$ + (04_H × x)
RSCFDn	受信 FIFO バッファステータスレジスタ x	RSCANnRFSTSx	<RSCFDn_base> + $00D8_H$ + (04_H × x)
RSCFDn	受信 FIFO バッファポインタ制御レジスタ x	RSCANnRFPCTRx	<RSCFDn_base> + $00F8_H$ + (04_H × x)
RSCFDn	受信 FIFO バッファアクセス ID レジスタ x	RSCANnRFIDx	<RSCFDn_base> + $0E00_H$ + (10_H × x)
RSCFDn	受信 FIFO バッファアクセスポインタレジスタ x	RSCANnRFPTRx	<RSCFDn_base> + $0E04_H$ + (10_H × x)
RSCFDn	受信 FIFO バッファアクセスデータフィールド 0 レジスタ x	RSCANnRFDF0_x	<RSCFDn_base> + $0E08_H$ + (10_H × x)
RSCFDn	受信 FIFO バッファアクセスデータフィールド 1 レジスタ x	RSCANnRFDF1_x	<RSCFDn_base> + $0E0C_H$ + (10_H × x)
送受信 FIFO バッファ関連レジスタ			
RSCFDn	送受信 FIFO バッファコンフィグレーション／制御レジスタ k	RSCANnCFCCk	<RSCFDn_base> + 0118_H + (04_H × k)
RSCFDn	送受信 FIFO バッファステータスレジスタ k	RSCANnCFSTSk	<RSCFDn_base> + 0178_H + (04_H × k)
RSCFDn	送受信 FIFO バッファポインタ制御レジスタ k	RSCANnCFPCTRk	<RSCFDn_base> + $01D8_H$ + (04_H × k)
RSCFDn	送受信 FIFO バッファアクセス ID レジスタ k	RSCANnCFIDk	<RSCFDn_base> + $0E80_H$ + (10_H × k)
RSCFDn	送受信 FIFO バッファアクセスポインタレジスタ k	RSCANnCFPTRk	<RSCFDn_base> + $0E84_H$ + (10_H × k)
RSCFDn	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ k	RSCANnCFDF0_k	<RSCFDn_base> + $0E88_H$ + (10_H × k)
RSCFDn	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ k	RSCANnCFDF1_k	<RSCFDn_base> + $0E8C_H$ + (10_H × k)
FIFO ステータス関連レジスタ			
RSCFDn	FIFO エンプティステータスレジスタ	RSCANnFESTS	<RSCFDn_base> + 0238_H
RSCFDn	FIFO フルステータスレジスタ	RSCANnFFSTS	<RSCFDn_base> + $023C_H$
RSCFDn	FIFO メッセージロストステータスレジスタ	RSCANnFMSTS	<RSCFDn_base> + 0240_H
RSCFDn	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCANnRFISTS	<RSCFDn_base> + 0244_H
RSCFDn	送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ	RSCANnCFRISTS	<RSCFDn_base> + 0248_H
RSCFDn	送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ	RSCANnCFTISTS	<RSCFDn_base> + $024C_H$
送信バッファ関連レジスタ			

表 16.10 レジスター覧 (3/3)

モジュール名	レジスタ名	略号	アドレス
RSCFDn	送信バッファ制御レジスタ p	RSCANnTMCp	<RSCFDn_base> + 0250_H + (01_H × p)
RSCFDn	送信バッファステータスレジスタ p	RSCANnTMSTSp	<RSCFDn_base> + $02D0_H$ + (01_H × p)
RSCFDn	送信バッファ ID レジスタ p	RSCANnTMIDp	<RSCFDn_base> + 1000_H + (10_H × p)
RSCFDn	送信バッファポインタレジスタ p	RSCANnTMPTRp	<RSCFDn_base> + 1004_H + (10_H × p)
RSCFDn	送信バッファデータフィールド 0 レジスタ p	RSCANnTMDF0_p	<RSCFDn_base> + 1008_H + (10_H × p)
RSCFDn	送信バッファデータフィールド 1 レジスタ p	RSCANnTMDF1_p	<RSCFDn_base> + $100C_H$ + (10_H × p)
RSCFDn	送信バッファ割り込みイネーブルコンフィグレーションレジスタ y	RSCANnTMIECy	<RSCFDn_base> + 0390_H + (04_H × y)
送信バッファステータス関連レジスタ			
RSCFDn	送信バッファ送信要求ステータスレジスタ y	RSCANnTMTRSTSy	<RSCFDn_base> + 0350_H + (04_H × y)
RSCFDn	送信バッファ送信アボート要求ステータスレジスタ y	RSCANnTMTARSTSy	<RSCFDn_base> + 0360_H + (04_H × y)
RSCFDn	送信バッファ送信完了ステータスレジスタ y	RSCANnTMTCSTSy	<RSCFDn_base> + 0370_H + (04_H × y)
RSCFDn	送信バッファ送信アボートステータスレジスタ y	RSCANnTMTASTSy	<RSCFDn_base> + 0380_H + (04_H × y)
送信キュー関連レジスタ			
RSCFDn	送信キューコンフィグレーション／制御レジスタ m	RSCANnTXQCCm	<RSCFDn_base> + $03A0_H$ + (04_H × m)
RSCFDn	送信キューステータスレジスタ m	RSCANnTXQSTSm	<RSCFDn_base> + $03C0_H$ + (04_H × m)
RSCFDn	送信キューポインタ制御レジスタ m	RSCANnTXQPCTRm	<RSCFDn_base> + $03E0_H$ + (04_H × m)
送信履歴関連レジスタ			
RSCFDn	送信履歴コンフィグレーション／制御レジスタ m	RSCANnTHLCCm	<RSCFDn_base> + 0400_H + (04_H × m)
RSCFDn	送信履歴ステータスレジスタ m	RSCANnTHLSTSm	<RSCFDn_base> + 0420_H + (04_H × m)
RSCFDn	送信履歴ポインタ制御レジスタ m	RSCANnTHLPCTRm	<RSCFDn_base> + 0440_H + (04_H × m)
RSCFDn	送信履歴アクセスレジスタ m	RSCANnTHLACCm	<RSCFDn_base> + 1800_H + (04_H × m)
テスト関連レジスタ			
RSCFDn	グローバルテストコンフィグレーションレジスタ	RSCANnGTSTCFG	<RSCFDn_base> + 0468_H
RSCFDn	グローバルテスト制御レジスタ	RSCANnGTSTCTR	<RSCFDn_base> + $046C_H$
RSCFDn	グローバルロックキーレジスタ	RSCANnGLOCKK	<RSCFDn_base> + $047C_H$
RSCFDn	RAM テストページアクセスレジスタ r	RSCANnRPGACCr	<RSCFDn_base> + 1900_H + (04_H × r)

表 16.11 各チャネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ 16 × m + 0
	送信バッファ 16 × m + 1
	送信バッファ 16 × m + 2
	送信バッファ 16 × m + 3
	送信バッファ 16 × m + 4
	送信バッファ 16 × m + 5
	送信バッファ 16 × m + 6
	送信バッファ 16 × m + 7
	送信バッファ 16 × m + 8
	送信バッファ 16 × m + 9
	送信バッファ 16 × m + 10
	送信バッファ 16 × m + 11
	送信バッファ 16 × m + 12
	送信バッファ 16 × m + 13
	送信バッファ 16 × m + 14
	送信バッファ 16 × m + 15

表 16.12 各チャネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ 3 × m + 0
	送受信 FIFO バッファ 3 × m + 1
	送受信 FIFO バッファ 3 × m + 2

表 16.13 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[3:0] ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000_B	送信バッファ 16 × m + 0
0001_B	送信バッファ 16 × m + 1
0010_B	送信バッファ 16 × m + 2
0011_B	送信バッファ 16 × m + 3
0100_B	送信バッファ 16 × m + 4
0101_B	送信バッファ 16 × m + 5
0110_B	送信バッファ 16 × m + 6
0111_B	送信バッファ 16 × m + 7
1000_B	送信バッファ 16 × m + 8
1001_B	送信バッファ 16 × m + 9
1010_B	送信バッファ 16 × m + 10
1011_B	送信バッファ 16 × m + 11
1100_B	送信バッファ 16 × m + 12
1101_B	送信バッファ 16 × m + 13
1110_B	送信バッファ 16 × m + 14
1111_B	送信バッファ 16 × m + 15

表 16.14 各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC [3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p
0000_B	設定しないでください。
0001_B	設定しないでください。
0010_B	送信バッファ 16 × m + 15 ～ 16 × m + 13
0011_B	送信バッファ 16 × m + 15 ～ 16 × m + 12
0100_B	送信バッファ 16 × m + 15 ～ 16 × m + 11
0101_B	送信バッファ 16 × m + 15 ～ 16 × m + 10
0110_B	送信バッファ 16 × m + 15 ～ 16 × m + 9
0111_B	送信バッファ 16 × m + 15 ～ 16 × m + 8
1000_B	送信バッファ 16 × m + 15 ～ 16 × m + 7
1001_B	送信バッファ 16 × m + 15 ～ 16 × m + 6
1010_B	送信バッファ 16 × m + 15 ～ 16 × m + 5
1011_B	送信バッファ 16 × m + 15 ～ 16 × m + 4
1100_B	送信バッファ 16 × m + 15 ～ 16 × m + 3
1101_B	送信バッファ 16 × m + 15 ～ 16 × m + 2
1110_B	送信バッファ 16 × m + 15 ～ 16 × m + 1
1111_B	送信バッファ 16 × m + 15 ～ 16 × m + 0

16.3.2 インタフェースモード関連レジスタの詳細

16.3.2.1 RSCANnGRMCFG — グローバルインタフェースモード選択レジスタ

アクセス RSCANnGRMCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGRMCFGL、RSCANnGRMCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGRMCFGLL、RSCANnGRMCFGLH、RSCANnGRMCFGHL、RSCANnGRMCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGRMCFG: <RSCFDn_base> + $04FC_H$

RSCANnGRMCFGL: <RSCFDn_base> + $04FC_H$ 、
RSCANnGRMCFGH: <RSCFDn_base> + $04FE_H$

RSCANnGRMCFGLL: <RSCFDn_base> + $04FC_H$ 、
RSCANnGRMCFGLH: <RSCFDn_base> + $04FD_H$ 、
RSCANnGRMCFGHL: <RSCFDn_base> + $04FE_H$ 、
RSCANnGRMCFGHH: <RSCFDn_base> + $04FF_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 16.15 RSCANnGRMCFG レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RCMC	インタフェースモード選択ビット 0：クラシカル CAN モード 1：CAN FD モード

注 1. RSCANnGRMCFG レジスタと RSCFDnCFDGRMCFG レジスタは同一レジスタです。どちらかのレジスタを設定してください。

RSCANnGRMCFG レジスタはグローバルリセットモードでのみ書き換えてください。また、他の RS-CANFD レジスタを設定する前に設定を行ってください。

RCMC ビット

“0” にすると、クラシカル CAN モードになります。CAN FD モードからクラシカル CAN モードに変更する場合は、CAN FD モードのレジスタマップにのみ割り当てられているレジスタ、ビットすべてにリセット後の値にしてから、RSCANnGRMCFG レジスタを書き換えてください。

16.3.3 チャネル関連レジスタの詳細

16.3.3.1 RSCANnCmCFG — チャネルコンフィグレーションレジスタ（m = 0 ～ 3）

アクセス RSCANnCmCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCmCFGL、RSCANnCmCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCmCFGLL、RSCANnCmCFGLH、RSCANnCmCFGHL、RSCANnCmCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnCmCFG: <RSCFDn_base> + 0000_H + (10_H × m)

RSCANnCmCFGL: <RSCFDn_base> + 0000_H + (10_H × m)、
RSCANnCmCFGH: <RSCFDn_base> + 0002_H + (10_H × m)

RSCANnCmCFGLL: <RSCFDn_base> + 0000_H + (10_H × m)、
RSCANnCmCFGLH: <RSCFDn_base> + 0001_H + (10_H × m)、
RSCANnCmCFGHL: <RSCFDn_base> + 0002_H + (10_H × m)、
RSCANnCmCFGHH: <RSCFDn_base> + 0003_H + (10_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SJW [1:0]		—	TSEG2 [2:0]			TSEG1 [3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	BRP [9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.16 RSCANnCmCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25、24	SJW [1:0]	再同期ジャンプ幅制御ビット b25 b24 0 0 : 1 Tq 0 1 : 2 Tq 1 0 : 3 Tq 1 1 : 4 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 20	TSEG2 [2:0]	タイムセグメント 2 制御ビット b22 b21 b20 0 0 0 : CAN 通信を行うチャネルでは設定しないでください 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq

表 16.16 RSCANnCmCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
19 ～ 16	TSEG1 [3:0]	タイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0 : CAN 通信を行うチャネルでは設定しないでください 0 0 0 1 : CAN 通信を行うチャネルでは設定しないでください 0 0 1 0 : CAN 通信を行うチャネルでは設定しないでください 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ～ 0	BRP [9:0]	プリスケーラ分周比設定ビット 設定値を P（0 ～ 1023）とすると、ボーレートプリスケーラは fCAN を P+1 で分周します。

RSCANnCmCFG レジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネルリセットモードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、**「16.11.1 初期設定」**を参照してください。

SJW[1:0] ビット

再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。1 ～ 4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。

TSEG2[2:0] ビット

フェーズセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。

2 ～ 8Tq の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

TSEG1[3:0] ビット

プロパゲーションセグメント（PROP_SEG）とフェーズセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。

4 ～ 16Tq の値が設定可能です。

BRP[9:0] ビット

CAN クロック（fCAN）をボーレートプリスケーラ（(BRP[9:0]) + 1）で分周したクロックが CANmTq クロック（fCANTQm）になり、CANmTq クロックの 1 クロックが 1 Time Quantum（Tq）になります。

16.3.3.2 RSCANnCmCTR — チャネル制御レジスタ（m = 0 ～ 3）

アクセス RSCANnCmCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCmCTRL、RSCANnCmCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCmCTRLL、RSCANnCmCTRLH、RSCANnCmCTRHL、RSCANnCmCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnCmCTR: <RSCFDn_base> + 0004_H + (10_H × m)

RSCANnCmCTRL: <RSCFDn_base> + 0004_H + (10_H × m)、
RSCANnCmCTRH: <RSCFDn_base> + 0006_H + (10_H × m)

RSCANnCmCTRLL: <RSCFDn_base> + 0004_H + (10_H × m)、
RSCANnCmCTRLH: <RSCFDn_base> + 0005_H + (10_H × m)、
RSCANnCmCTRHL: <RSCFDn_base> + 0006_H + (10_H × m)、
RSCANnCmCTRHH: <RSCFDn_base> + 0007_H + (10_H × m)

リセット後の値 $0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCT	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 16.17 RSCANnCmCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30	CRCT	CRC エラーテスト許可ビット 0：受信 ID フィールドの先頭ビットを反転しない 1：受信 ID フィールドの先頭ビットを反転する
29 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0 0：標準テストモード 0 1：リッスンオンリモード 1 0：セルフテストモード 0（外部ループバックモード） 1 1：セルフテストモード 1（内部ループバックモード）
24	CTME	通信テストモード許可ビット 0：通信テストモード禁止 1：通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0：RSCANnCmERFL レジスタのビット 14 ～ 8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1：発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0 0：ISO11898-1 仕様準拠 0 1：バスオフ開始でチャネル待機モードへ遷移 1 0：バスオフ終了でチャネル待機モードへ遷移 1 1：バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20 ～ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 16.17 RSCANnCmCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
16	TAIE	送信アボート割り込み許可ビット 0：送信アボート割り込み禁止 1：送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み禁止 1：アービトレーションロスト割り込み許可
14	BLIE	バスロック割り込み許可ビット 0：バスロック割り込み禁止 1：バスロック割り込み許可
13	OLIE	オーバロードフレーム送信割り込み許可ビット 0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0：バスエラー割り込み禁止 1：バスエラー割り込み許可
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを “1” にすると、バスオフから強制的に復帰します。常に “0” が読めます。
2	CSLPR	チャネルストップモードビット 0：チャネルストップモードではない 1：チャネルストップモード
1、0	CHMDC[1:0]	モード選択ビット b1 b0 0 0：チャネル通信モード 0 1：チャネルリセットモード 1 0：チャネル待機モード 1 1：設定しないでください

CRCT ビット

RS-CANFD モジュール内部の CRC 生成回路をテストするビットです。“1” にするとメッセージの受信時に ID フィールドの先頭ビットを反転します。このビット反転により、CRC 演算結果は受信フレームの正常な CRC 値と一致しなくなるため、CRC エラーが検出されます（RSCANnCmERFL レジスタの CERR ビットが “1”）。この機能を使用する場合は、以下の点に注意してください。

- RSCANnCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合に使用できます。
- 他の CAN ノードと通信はできません。チャネル間通信テスト（RSCANnGTSTCFG レジスタの CmICBCE ビットが “1”）で使用してください。

- IDフィールドのビット反転によりビットスタッフィングルール違反が起こる可能性があります。その場合は、CRC エラーではなくスタッフエラーが検出されます。

このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CTME ビット

“1” にすると通信テストモードは許可になります。このビットはチャネル待機モードで書き換えてください。チャネルリセットモード時は、“0” になります。

ERRD ビット

RSCANnCmERFL レジスタのビット 14 ～ 8 の表示モードを制御します。

“0” にすると、RSCANnCmERFL レジスタのビット 14 ～ 8 のすべてのフラグが “0” の状態でエラーが検出された場合に、最初に発生したエラーのフラグのみが “1” になります。最初のエラーで複数のエラーが発生した場合は、検出されたエラーのフラグはすべて “1” になります。

“1” にすると発生順に関係なく、起こったエラーのフラグはすべて “1” になります。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CANFD モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが “00_B” の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CANFD モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを “10_B”（チャネル待機モード）にしても 128 回検出するまでチャネル待機モードには遷移しません。

BOM[1:0] ビットが “01_B” の場合、RS-CANFD モジュールがバスオフ状態に達すると、RSCANnCmCTR レジスタ（m = 0 ～ 3）の CHMDC[1:0] ビットが “10_B” になり、チャネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCANnCmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00_H” になります。

BOM[1:0] ビットが “10_B” の場合、RS-CANFD モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが “10_B” になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが “00_H” になります。

BOM[1:0] ビットが “11_B” の場合、RS-CANFD モジュールがバスオフ状態のときに CHMDC[1:0] ビットを “10_B” にすると、チャネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは “00_H” になります。しかし、CHMDC[1:0] ビットを “10_B” にする前に、11 ビットの連続する

レセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールがチャネル待機モードに遷移するのと同時（BOM[1:0] ビットが “01_B” のとき : バスオフ開始時、または BOM[1:0] ビットが “10_B” のとき : バスオフ終了時）に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを “1” に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを “1” に設定し、RSCANnCmERFL レジスタの ALF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを “1” に設定し、RSCANnCmERFL レジスタの BLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを “1” に設定し、RSCANnCmERFL レジスタの OVLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを “1” に設定し、RSCANnCmERFL レジスタの BORF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを “1” に設定し、RSCANnCmERFL レジスタの BOEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを “1” に設定し、RSCANnCmERFL レジスタの EPF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを “1” に設定し、RSCANnCmERFL レジスタの EWF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを “1” に設定し、RSCANnCmERFL レジスタの BEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時 “1” にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に “0” になります。“1” にすると、RSCANnCmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00_H” になり、RSCANnCmSTS レジスタの BOSTS フラグは “0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCANnCmCTR レジスタの BOM[1:0] ビットが “00_B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを “1” にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャネル通信モードで “1” を書いてください。

CSLPR ビット

“1” にすると、チャネルストップモードになります。
“0” にすると、チャネルストップモードは解除されます。
このビットは、チャネル通信モードまたはチャネル待機モードでは書き換えないでください。

CHMDC[1:0] ビット

チャネルのモード（チャネル通信モード、チャネルリセットモード、チャネル待機モード）を選択するビットです。詳細は、**「16.6.2　チャネルモード」**を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを “1” にすることで遷移します。CHMDC[1:0] ビットを “11_B” には設定しないでください。BOM[1:0] ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に “10_B” になります。

16.3.3.3 RSCANnCmSTS — チャネルステータスレジスタ（m = 0 ～ 3）

アクセス RSCANnCmSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnCmSTSL、RSCANnCmSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnCmSTSLL、RSCANnCmSTSLH、RSCANnCmSTSHL、RSCANnCmSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCmSTS: <RSCFDn_base> + 0008_H + (10_H × m)

RSCANnCmSTSL: <RSCFDn_base> + 0008_H + (10_H × m)、
RSCANnCmSTSH: <RSCFDn_base> + $000A_H$ + (10_H × m)

RSCANnCmSTSLL: <RSCFDn_base> + 0008_H + (10_H × m)、
RSCANnCmSTSLH: <RSCFDn_base> + 0009_H + (10_H × m)、
RSCANnCmSTSHL: <RSCFDn_base> + $000A_H$ + (10_H × m)、
RSCANnCmSTSHH: <RSCFDn_base> + $000B_H$ + (10_H × m)

リセット後の値 $0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC [7:0]								REC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.18 RSCANnCmSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	TEC [7:0]	送信エラーカウンタ（TEC）の値が読めます。
23 ～ 16	REC [7:0]	受信エラーカウンタ（REC）の値が読めます。
15 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	COMSTS	通信ステータスフラグ 0：通信可能な状態ではない 1：通信可能な状態
6	RECSTS	受信ステータスフラグ 0：バスアイドルまたは送信中またはバスオフ状態 1：受信中
5	TRMSTS	送信ステータスフラグ 0：バスアイドルまたは受信中 1：送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0：バスオフ状態ではない 1：バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0：エラーパッシブ状態ではない 1：エラーパッシブ状態
2	CSLPSTS	チャネルストップステータスフラグ 0：チャネルストップモードではない 1：チャネルストップモード
1	CHLTSTS	チャネル待機ステータスフラグ 0：チャネル待機モードではない 1：チャネル待機モード
0	CRSTSTS	チャネルリセットステータスフラグ 0：チャネルリセットモードではない 1：チャネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャネルリセットモードまたはチャネル待機モードからチャネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に、“1” になります。チャネルリセットモードまたはチャネル待機モード時は、“0” になります。

RECSTS フラグ

受信を開始すると “1” になります。バスアイドル状態になるか、または送信を開始すると “0” になります。

TRMSTS フラグ

送信を開始すると “1” になります。バスオフ状態では “1” のままです。バスアイドル状態になるか、または受信を開始すると “0” になります。

BOSTS フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると “1” になります。バスオフ状態以外になると “0” になります。

EPSTS フラグ

エラーパッシブ状態（（128 ≦ TEC[7:0] ビット≦ 255）または（128 ≦ REC[7:0] ビット））になると、“1” になります。エラーパッシブ状態以外になるか、またはチャネルリセットモードになると、“0” になります。

CSLPSTS フラグ

チャネルストップモードに遷移すると、“1” になります。チャネルストップモードから復帰すると “0” になります。

CHLTSTS フラグ

チャネル待機モードに遷移すると “1” になります。チャネル待機モード以外のモードに遷移すると “0” になります。

CRSTSTS フラグ

チャネルリセットモードに遷移すると “1” になります。チャネル通信モードまたはチャネル待機モードに遷移すると “0” になります。チャネルリセットモードからチャネルストップモードに遷移しても、“1” のままです。

16.3.3.4 RSCANnCmERFL — チャネルエラーフラグレジスタ（m = 0 ～ 3）

アクセス RSCANnCmERFL レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCmERFLL、RSCANnCmERFLH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCmERFLLL、RSCANnCmERFLLH、RSCANnCmERFLHL、RSCANnCmERFLHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnCmERFL: <RSCFDn_base> + $000C_H$ + (10_H × m)

RSCANnCmERFLL: <RSCFDn_base> + $000C_H$ + (10_H × m)、
RSCANnCmERFLH: <RSCFDn_base> + $000E_H$ + (10_H × m)

RSCANnCmERFLLL: <RSCFDn_base> + $000C_H$ + (10_H × m)、
RSCANnCmERFLLH: <RSCFDn_base> + $000D_H$ + (10_H × m)、
RSCANnCmERFLHL: <RSCFDn_base> + $000E_H$ + (10_H × m)、
RSCANnCmERFLHH: <RSCFDn_base> + $000F_H$ + (10_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCREG[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.19 RSCANnCmERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30 ～ 16	CRCREG[14:0]	CRC 演算データ 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACK デリミタエラーフラグ 0：ACK デリミタエラー未検出 1：ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0：ドミナントビットエラー未検出 1：ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0：レセシブビットエラー未検出 1：レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0：CRC エラー未検出 1：CRC エラー検出
10	AERR	ACK エラーフラグ 0：ACK エラー未検出 1：ACK エラー検出
9	FERR	フォームエラーフラグ 0：フォームエラー未検出 1：フォームエラー検出

表 16.19 RSCANnCmERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	SERR	スタッフエラーフラグ 0：スタッフエラー未検出 1：スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0：アービトレーションロスト未検出 1：アービトレーションロスト検出
6	BLF	バスロックフラグ 0：チャネルバスロック未検出 1：チャネルバスロック検出
5	OVLF	オーバロードフラグ 0：オーバロード未検出 1：オーバロード検出
4	BORF	バスオフ復帰フラグ 0：バスオフ復帰未検出 1：バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0：バスオフ開始未検出 1：バスオフ開始検出
2	EPF	エラーパッシブフラグ 0：エラーパッシブ未検出 1：エラーパッシブ検出
1	EWF	エラーワーニングフラグ 0：エラーワーニング未検出 1：エラーワーニング検出
0	BEF	バスエラーフラグ 0：チャネルバスエラーは未検出 1：チャネルバスエラー検出

各エラーの発生条件を確認するには、CAN 仕様（ISO11898-1）を参照してください。各フラグを “0” にする場合は、プログラムで “0” を書いてください。プログラムで “1” にできません。フラグが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのフラグは “1” になります。チャネルリセットモード時、“0” になります。

RSCANnCmERFL レジスタのビット 14 ～ 8 に関して、RSCANnCmCTR レジスタの ERRD ビットを “0”（最初に発生したエラー情報のみ表示）に設定したとき、ビット 14 ～ 8 のすべてのフラグが “0” の状態でエラーが検出された場合に、対応するフラグは “1” になります。

CRCREG[14:0] フラグ

RSCANnCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。

チャネルリセットモード時は、“0” になります。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1” になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると “1” になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると “1” になります。

CERR フラグ

CRC エラーを検出すると “1” になります。

AERR フラグ

ACK エラーを検出すると “1” になります。

FERR フラグ

フォームエラーを検出すると “1” になります。

SERR フラグ

スタッフエラーを検出すると “1” になります。

ALF フラグ

アービトレーションロストを検出すると “1” になります。

BLF フラグ

チャネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1” になります。“1” になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを “1” から “0” にした後、レセシブビットを検出
- BLF ビットを “1” から “0” にした後、チャネルリセットモードに遷移し、再度チャネル通信モードに遷移

OVLF フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると “1” になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると “1” になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は “1” になりません。

- RSCANnCmCTR レジスタの CHMDC[1:0] ビットを “01_B”（チャネルリセットモード）に設定した場合
- RSCANnCmCTR レジスタの RTBO ビットを “1”（バスオフからの強制復帰）に設定した場合
- RSCANnCmCTR レジスタの BOM[1:0] ビットを “01_B”（バスオフ開始でチャネル待機モードへ遷移）に設定した場合
- BOM[1:0] ビットが “11_B”（バスオフ中にプログラムによる要求でチャネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを “10_B”（チャネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると、“1” になります。RSCANnCmCTR レジスタ（m = 0 ～ 3）の BOM[1:0] ビットが “01_B”（バスオフ開始でチャネル待機モードへ遷移）で、バスオフ状態になった場合も、“1” になります。

EPF フラグ

エラーパッシブ状態（REC[7:0] または TEC[7:0] ビット＞ 127）になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

EWF フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビット が最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC [7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビット が 95 を超えるまでは “1” にはなりません。

BEF フラグ

RSCANnCmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

備　考

本レジスタのフラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

16.3.4 グローバル関連レジスタの詳細

16.3.4.1 RSCANnGCFG — グローバルコンフィグレーションレジスタ

アクセス RSCANnGCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGCFGL、RSCANnGCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGCFGLL、RSCANnGCFGLH、RSCANnGCFGHL、RSCANnGCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGCFG: <RSCFDn_base> + 0084_H

RSCANnGCFGL: <RSCFDn_base> + 0084_H、RSCANnGCFGH: <RSCFDn_base> + 0086_H

RSCANnGCFGLL: <RSCFDn_base> + 0084_H、RSCANnGCFGLH: <RSCFDn_base> + 0085_H、
RSCANnGCFGHL: <RSCFDn_base> + 0086_H、RSCANnGCFGHH: <RSCFDn_base> + 0087_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]			TSSS	TSP[3:0]				TMTSCE	EEFE	—	DCS	MME	DRE	DCE	TPRI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 16.20 RSCANnGCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 16	ITRCP [15:0]	インターバルタイマプリスケーラ設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイマを使用する場合、“0000_H” を設定しないでください。
15 ～ 13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0：チャネル 0 ビットタイムクロック 0 0 1：チャネル 1 ビットタイムクロック 0 1 0：チャネル 2 ビットタイムクロック 0 1 1：チャネル 3 ビットタイムクロック 1 0 0：設定しないでください 1 0 1：設定しないでください 1 1 0：設定しないでください 1 1 1：設定しないでください
12	TSSS	タイムスタンプソース選択 0：pclk/2 注 1 1：ビットタイムクロック

表 16.20 RSCANnGCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
11 ～ 8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0：分周なし 0 0 0 1：2 分周 0 0 1 0：4 分周 0 0 1 1：8 分周 0 1 0 0：16 分周 0 1 0 1：32 分周 0 1 1 0：64 分周 0 1 1 1：128 分周 1 0 0 0：256 分周 1 0 0 1：512 分周 1 0 1 0：1024 分周 1 0 1 1：2048 分周 1 1 0 0：4096 分周 1 1 0 1：8192 分周 1 1 1 0：16384 分周 1 1 1 1：32768 分周
7	TMTSCE	送信タイムスタンプ許可ビット 0：送信タイムスタンプ禁止 1：送信タイムスタンプ許可
6	EEFE	ECC エラーフラグ許可ビット 0：ECC エラーフラグ禁止 1：ECC エラーフラグ許可
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	DCS	CAN クロック源選択ビット 0：clkc 1：clk_xincan
3	MME	ミラー機能許可ビット 0：ミラー機能禁止 1：ミラー機能許可
2	DRE	DLC 置換許可ビット 0：DLC 置換禁止 1：DLC 置換許可
1	DCE	DLC チェック許可ビット 0：DLC チェック禁止 1：DLC チェック許可
0	TPRI	送信優先順位選択ビット 0：ID 優先 1：送信バッファ番号優先

注 1. タイムスタンプのカウントソースに pclk/2 を設定するときは、TSBTCS[2:0] を “000_B” にしてください。

RSCANnGCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は**「16.8.3.1 インターバル送信機能」**を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが “1” のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャネルの選択ができます。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

TMTSCE ビット

“1” にすると、送信完了したメッセージのタイムスタンプを送信履歴バッファに格納できます。タイムスタンプは RSCANnTHLACCm レジスタの TMTS[15:0] ビットに格納されます。

EEFE ビット

“1” にすると、送信優先順位判定で ECC2 ビットエラーを検出したとき、RSCANnGERFL レジスタの EEFm ビットが “1” になります。このとき、ECC2 ビットエラーが検出されたメッセージの送信は行いません。

DCS ビット

“0” のとき、clkc が CAN クロック（fCAN）のクロック源になります 。

“1” のとき、clk_xincan が CAN クロック（fCAN）のクロック源になります。

MME ビット

“1” にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00_H” が格納されます。

DCE ビットが “1”（DLC チェック許可）のときに、DLC 置換機能を使用できます。

DCE ビット

“1” にすると、DLC チェック機能が使用できます。RSCANnGAFLP0_j レジスタの GAFLDLC[3:0] ビットを “0000_B” にしてから、RSCANnGCFG レジスタの DCE ビットを “0” にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール（ISO11898-1 仕様）に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0” に設定してください。

16.3.4.2 RSCANnGCTR — グローバル制御レジスタ

アクセス RSCANnGCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGCTRL、RSCANnGCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGCTRLL、RSCANnGCTRLH、RSCANnGCTRHL、RSCANnGCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGCTR: <RSCFDn_base> + 0088_H

RSCANnGCTRL: <RSCFDn_base> + 0088_H、RSCANnGCTRH: <RSCFDn_base> + $008A_H$

RSCANnGCTRLL: <RSCFDn_base> + 0088_H、RSCANnGCTRLH: <RSCFDn_base> + 0089_H、
RSCANnGCTRHL: <RSCFDn_base> + $008A_H$、RSCANnGCTRHH: <RSCFDn_base> + $008B_H$

リセット後の値 $0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 16.21 RSCANnGCTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを “1” にすると、タイムスタンプカウンタをリセットします。読むと “0” が読み出されます。
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLEIE	送信履歴バッファオーバフロー割り込み許可ビット 0：送信履歴バッファオーバフロー割り込み禁止 1：送信履歴バッファオーバフロー割り込み許可
9	MEIE	FIFO メッセージロスト割り込み許可ビット 0：FIFO メッセージロスト割り込み禁止 1：FIFO メッセージロスト割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0：DLC エラー割り込み禁止 1：DLC エラー割り込み許可
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0：グローバルストップモードではない 1：グローバルストップモード
1、0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0：グローバル動作モード 0 1：グローバルリセットモード 1 0：グローバルテストモード 1 1：設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1” にすると RSCANnGTSC レジスタが “0000_H” になります。

THLEIE ビット

THLEIE ビットを “1” に設定し、RSCANnGERFL レジスタの THLES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを “1” に設定し、RSCANnGERFL レジスタの MES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを “1” に設定し、RSCANnGERFL レジスタの DEF フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1” にすると、グローバルストップモードになります。

“0” にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

GMDC[1:0] ビット

RS-CANFD モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、**「16.6.1　グローバルモード」**を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを “1” にすることで遷移します。

16.3.4.3 RSCANnGSTS — グローバルステータスレジスタ

アクセス RSCANnGSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnGSTSL、RSCANnGSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnGSTSLL、RSCANnGSTSLH、RSCANnGSTSHL、RSCANnGSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnGSTS: <RSCFDn_base> + $008C_H$

RSCANnGSTSL: <RSCFDn_base> + $008C_H$、RSCANnGSTSH: <RSCFDn_base> + $008E_H$

RSCANnGSTSLL: <RSCFDn_base> + $008C_H$、RSCANnGSTSLH: <RSCFDn_base> + $008D_H$、
RSCANnGSTSHL: <RSCFDn_base> + $008E_H$、RSCANnGSTSHH: <RSCFDn_base> + $008F_H$

リセット後の値 $0000\ 000D_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.22 RSCANnGSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0：CAN 用 RAM クリア完了 1：CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0：グローバルストップモードではない 1：グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0：グローバルテストモードではない 1：グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0：グローバルリセットモードではない 1：グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると “0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると “0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると “0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると “1” になります。

グローバルリセットモード以外のモードに遷移すると “0” になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1” のままです。

16.3.4.4 RSCANnGERFL — グローバルエラーフラグレジスタ

アクセス RSCANnGERFL レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGERFLL、RSCANnGERFLH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGERFLLL、RSCANnGERFLLH、RSCANnGERFLHL、RSCANnGERFLHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGERFL: <RSCFDn_base> + 0090_H

RSCANnGERFLL: <RSCFDn_base> + 0090_H、RSCANnGERFLH: <RSCFDn_base> + 0092_H

RSCANnGERFLLL: <RSCFDn_base> + 0090_H、RSCANnGERFLLH: <RSCFDn_base> + 0091_H、
RSCANnGERFLHL: <RSCFDn_base> + 0092_H、RSCANnGERFLHH: <RSCFDn_base> + 0093_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	EEF3	EEF2	EEF1	EEF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.23 RSCANnGERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	EEF3	チャネル 3 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
18	EEF2	チャネル 2 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
17	EEF1	チャネル 1 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
16	EEF0	チャネル 0 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ～ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
4、3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	THLES	送信履歴バッファオーバフローステータスフラグ 0：送信履歴バッファオーバフローなし 1：送信履歴バッファオーバフロー

表 16.23 RSCANnGERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
1	MES	FIFO メッセージロストステータスフラグ 0：FIFO メッセージロストエラーなし 1：FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0：DLC エラーなし 1：DLC エラー

RSCANnGERFL レジスタのフラグは、グローバルリセットモード時、“0” になります。

EEFm フラグ

RSCANnGCFG レジスタの EEFE ビットが “1” のとき、チャネル m（m = 0 ～ 3）の送信優先順位判定で ECC2 ビットエラーが検出されると、EEFm フラグが “1” になり、メッセージの送信は行われません。プログラムで “0” を書くことで、“0” にできます。

THLES フラグ

RSCANnTHLSTSm レジスタ（m = 0 ～ 3）の THLELT フラグのいずれか 1 つでも “1” になると、THLES フラグは “1” になります。

全チャネルの THLELT フラグを “0” にすると、THLES フラグは “0” になります。

MES フラグ

RSCANnRFSTSx レジスタ（x = 0 ~ 7）の RFMLT フラグまたは RSCANnCFSTSk レジスタ（k = 0 ~ 11）の CFMLT フラグのいずれか 1 つでも “1” になると、MES フラグは “1” になります。

すべての RFMLT フラグおよび CFMLT フラグを “0” にすると、MES フラグは “0” になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1” になります。プログラムで “0” を書くことで、“0” にできます。

備　考

本レジスタのフラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

16.3.4.5 RSCANnGTSC — グローバルタイムスタンプカウンタレジスタ

アクセス RSCANnGTSC レジスタは、32 ビット単位でリードのみ可能です。
RSCANnGTSCL、RSCANnGTSCH レジスタは、16 ビット単位でリードのみ可能です。

アドレス RSCANnGTSC: <RSCFDn_base> + 0094_H

RSCANnGTSCL: <RSCFDn_base> + 0094_H、RSCANnGTSCH: <RSCFDn_base> + 0096_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.24 RSCANnGTSC レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ～ 0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値：0000_H ～ $FFFF_H$

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。また、RSCANnGCFG レジスタの TMTSCE ビットが “1” のとき、送信履歴バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCANnGCFG レジスタの TSSS ビットが “0”（pclk）の場合：
  グローバル動作モードへ遷移したときに、カウント開始。
  グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが “1”（CANm ビットタイムクロック）の場合：
  対応するチャネルがチャネル通信モードへ遷移したときに、カウント開始。
  対応するチャネルがチャネルリセットモードまたはチャネル待機モードで、カウント停止。

16.3.4.6 RSCANnGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス RSCANnGTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。
RSCANnGTINTSTS0L、RSCANnGTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。
RSCANnGTINTSTS0LL、RSCANnGTINTSTS0LH、RSCANnGTINTSTS0HL、RSCANnGTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnGTINTSTS0: <RSCFDn_base> + 0460_H

RSCANnGTINTSTS0L: <RSCFDn_base> + 0460_H、RSCANnGTINTSTS0H: <RSCFDn_base> + 0462_H

RSCANnGTINTSTS0LL: <RSCFDn_base> + 0460_H、RSCANnGTINTSTS0LH: <RSCFDn_base> + 0461_H、RSCANnGTINTSTS0HL: <RSCFDn_base> + 0462_H、RSCANnGTINTSTS0HH: <RSCFDn_base> + 0463_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	THIF3	CFTIF3	TQIF3	TAIF3	TSIF3	—	—	—	THIF2	CFTIF2	TQIF2	TAIF2	TSIF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R注1	R注1	R注1	R注1	R注1	R	R	R	R注1	R注1	R注1	R注1	R注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R注1	R注1	R注1	R注1	R注1	R	R	R	R注1	R注1	R注1	R注1	R注1

注 1. 本ビットはグローバルリセットモードまたはチャネルリセットモードで自動的にクリアされます。

表 16.25 RSCANnGTINTSTS0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 29	予約ビット	リードした場合はリセット後の値が読めます。
28	THIF3	チャネル 3 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
27	CFTIF3	チャネル 3 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
26	TQIF3	チャネル 3 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
25	TAIF3	チャネル 3 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
24	TSIF3	チャネル 3 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
23 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。
20	THIF2	チャネル 2 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
19	CFTIF2	チャネル 2 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
18	TQIF2	チャネル 2 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
17	TAIF2	チャネル 2 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり

表 16.25 RSCANnGTINTSTS0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
16	TSIF2	チャネル 2 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャネル 1 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
11	CFTIF1	チャネル 1 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
10	TQIF1	チャネル 1 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
9	TAIF1	チャネル 1 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
8	TSIF1	チャネル 1 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャネル 0 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
3	CFTIF0	チャネル 0 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
2	TQIF0	チャネル 0 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TAIF0	チャネル 0 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
0	TSIF0	チャネル 0 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCANnTMIECy レジスタの TMIEp ビットが “1”（送信バッファ割り込みが許可）、かつ対応する RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、アボート要求なし）、または “11_B”（送信完了、アボート要求あり）になると、TSIFm ビットは “1” になります。

TSIFm が “1” になる条件が成立している TMTRF[1:0] フラグを全て “00_B” にすると、このフラグは “0” になります。また TMIEp ビットを “0” にすることでも、このフラグは “0” になります。

TAIFm ビット

RSCANnCmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）、かつ RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると、TAIFm ビットは “1” になります。

送信アボートを完了した TMTRF[1:0] フラグを全て “00_B” にすると、このフラグは “0” になります。

TQIFm ビット

RSCANnTXQCCm レジスタの TXQIE ビットが “1”（送信キュー割り込み許可）、かつ RSCANnTXQSTSm レジスタの TXQIF が “1”（送信キュー割り込み要求あり）になると TQIFm ビットは “1” になります。

RSCANnTXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を “0” にすると、このビットは “0” になります。TXQIE ビットを “0” にすることでも、このフラグは “0” になります。

CFTIFm ビット

RSCANnCFCCk レジスタの CFTXIE ビットが “1”（送受信 FIFO 送信割り込み許可）、かつ RSCANnCFSTSk レジスタの CFTXIF ビットが “1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは “1” になります。

CFTIFm が “1” になる条件が成立している CFTXIF ビットをすべて “0” にすると、このビットは “0” になります。CFTXIE ビットを “0” にすることでも、このフラグは “0” になります。

THIFm ビット

RSCANnTHLCCm レジスタの THLIE ビットが “1”（送信履歴割り込み許可）、かつ RSCANnTHLSTSm レジスタの THLIF ビットが “1”（送信履歴割り込み要求あり）になると、THIFm ビットは “1” になります。

RSCANnTHLSTSm レジスタの THLIF ビットを “0” にすると、このビットは “0” になります。THLIE ビットを “0” にすることでも、このフラグは “0” になります。

16.3.4.7 RSCANnGFDCFG — グローバル FD コンフィグレーションレジスタ

アクセス RSCANnGFDCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGFDCFG L、RSCANnGFDCFG H レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGFDCFG LL、RSCANnGFDCFG LH、RSCANnGFDCFG HL、RSCANnGFDCFG HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGFDCFG: <RSCFDn_base> + 0474_H
RSCANnGFDCFG L: <RSCFDn_base> + 0474_H、RSCANnGFDCFG H: <RSCFDn_base> + 0476_H
RSCANnGFDCFG LL: <RSCFDn_base> + 0474_H、RSCANnGFDCFG LH: <RSCFDn_base> + 0475_H、
RSCANnGFDCFG HL: <RSCFDn_base> + 0476_H、RSCANnGFDCFG HH: <RSCFDn_base> + 0477_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.26 RSCANnGFDCFG レジスタの内容

ビット位置	ビット名	機能
31 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TSCCFG[1:0]	タイムスタンプキャプチャ設定ビット b9 b8 0 0 : SOF ビットのサンプルポイントでキャプチャ 0 1 : 有効なフレーム送受信完了でキャプチャ 1 0 : 設定しないでください 1 1 : 設定しないでください
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。

TSCCFG[1:0] ビット

タイムスタンプ値のキャプチャポイントを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

16.3.5 受信ルール関連レジスタの詳細

16.3.5.1 RSCANnGAFLECTR — 受信ルールエントリ制御レジスタ

アクセス RSCANnGAFLECTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGAFLECTRL、RSCANnGAFLECTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGAFLECTRLL、RSCANnGAFLECTRLH、RSCANnGAFLECTRHL、RSCANnGAFLECTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGAFLECTR: <RSCFDn_base> + 0098_H

RSCANnGAFLECTRL: <RSCFDn_base> + 0098_H、RSCANnGAFLECTRH: <RSCFDn_base> + $009A_H$

RSCANnGAFLECTRLL: <RSCFDn_base> + 0098_H、RSCANnGAFLECTRLH: <RSCFDn_base> + 0099_H、RSCANnGAFLECTRHL: <RSCFDn_base> + $009A_H$、RSCANnGAFLECTRHH: <RSCFDn_base> + $009B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN [4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 16.27 RSCANnGAFLECTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0：受信ルールテーブル書き込み禁止 1：受信ルールテーブル書き込み許可
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 0	AFLPN [4:0]	受信ルールテーブルページ番号設定ビット ページ 0（00000_B）からページ 15（01111_B）の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ “1” にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“00000_B” ～ “01111_B” 以外の値を設定しないでください。

16.3.5.2 RSCANnGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス RSCANnGAFLCFG0 レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGAFLCFG0L、RSCANnGAFLCFG0H レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGAFLCFG0LL、RSCANnGAFLCFG0LH、RSCANnGAFLCFG0HL、RSCANnGAFLCFG0HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGAFLCFG0: <RSCFDn_base> + $009C_H$

RSCANnGAFLCFG0L: <RSCFDn_base> + $009C_H$、RSCANnGAFLCFG0H: <RSCFDn_base> + $009E_H$

RSCANnGAFLCFG0LL: <RSCFDn_base> + $009C_H$、RSCANnGAFLCFG0LH: <RSCFDn_base> + $009D_H$、RSCANnGAFLCFG0HL: <RSCFDn_base> + $009E_H$、RSCANnGAFLCFG0HH: <RSCFDn_base> + $009F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC2[7:0]								RNC3[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.28 RSCANnGAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RNC0[7:0]	チャネル 0 用ルール数 チャネル 0 の受信ルール数を設定してください。
23 ～ 16	RNC1[7:0]	チャネル 1 用ルール数 チャネル 1 の受信ルール数を設定してください。
15 ～ 8	RNC2[7:0]	チャネル 2 用ルール数 チャネル 2 の受信ルール数を設定してください。
7 ～ 0	RNC3[7:0]	チャネル 3 用ルール数 チャネル 3 の受信ルール数を設定してください。

RSCANnGAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 ×（チャネル数）です。各チャネルの受信ルール数は、次の条件を満たしてください。

- 1 チャネルのルール数は 128 以下である。
- 各チャネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

RNC1[7:0] ビット

チャネル 1 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

RNC2[7:0] ビット

チャネル 2 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

RNC3[7:0] ビット

チャネル 3 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

16.3.5.3　RSCANnGAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15）

アクセス　RSCANnGAFLIDj レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGAFLIDjL、RSCANnGAFLIDjH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGAFLIDjLL、RSCANnGAFLIDjLH、RSCANnGAFLIDjHL、RSCANnGAFLIDjHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RSCANnGAFLIDj: <RSCFDn_base> + 0500_H + (10_H × j)

RSCANnGAFLIDjL: <RSCFDn_base> + 0500_H + (10_H × j)、
RSCANnGAFLIDjH: <RSCFDn_base> + 0502_H + (10_H × j)

RSCANnGAFLIDjLL: <RSCFDn_base> + 0500_H + (10_H × j)、
RSCANnGAFLIDjLH: <RSCFDn_base> + 0501_H + (10_H × j)、
RSCANnGAFLIDjHL: <RSCFDn_base> + 0502_H + (10_H × j)、
RSCANnGAFLIDjHH: <RSCFDn_base> + 0503_H + (10_H × j)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.29　RSCANnGAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0：標準 ID 1：拡張 ID
30	GAFLRTR	RTR 選択ビット 0：データフレーム 1：リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0：他の CAN ノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時
28 ～ 0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10 ～ b0 に ID を設定してください。b28 ～ b11 は “0” にしてください。

RSCANnGAFLIDj レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に “1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

16.3.5.4 RSCANnGAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）

アクセス RSCANnGAFLMj レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGAFLMjL、RSCANnGAFLMjH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGAFLMjLL、RSCANnGAFLMjLH、RSCANnGAFLMjHL、RSCANnGAFLMjHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGAFLMj: <RSCFDn_base> + 0504_H + (10_H × j)

RSCANnGAFLMjL: <RSCFDn_base> + 0504_H + (10_H × j)、
RSCANnGAFLMjH: <RSCFDn_base> + 0506_H + (10_H × j)

RSCANnGAFLMjLL: <RSCFDn_base> + 0504_H + (10_H × j)、
RSCANnGAFLMjLH: <RSCFDn_base> + 0505_H + (10_H × j)、
RSCANnGAFLMjHL: <RSCFDn_base> + 0506_H + (10_H × j)、
RSCANnGAFLMjHH: <RSCFDn_base> + 0507_H + (10_H × j)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDEM	GAFLRTRM	—	GAFLIDM [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.30 RSCANnGAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0：IDE ビットを比較しない 1：IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0：RTR ビットを比較しない 1：RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ～ 0	GAFLIDM [28:0]	ID マスクビット 0：対応する ID ビットを比較しない 1：対応する ID ビットを比較する

RSCANnGAFLMj レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCANnGAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0” にすると、 すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを “0” にする場合は、GAFLIDM[28:0] ビットをすべて “0” にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

16.3.5.5　RSCANnGAFLP0_j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）

アクセス　RSCANnGAFLP0_j レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGAFLP0_jL、RSCANnGAFLP0_jH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGAFLP0_jLL、RSCANnGAFLP0_jLH、RSCANnGAFLP0_jHL、RSCANnGAFLP0_jHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RSCANnGAFLP0_j: <RSCFDn_base> + 0508_H + (10_H × j)

RSCANnGAFLP0_jL: <RSCFDn_base> + 0508_H + (10_H × j)、
RSCANnGAFLP0_jH: <RSCFDn_base> + $050A_H$ + (10_H × j)

RSCANnGAFLP0_jLL: <RSCFDn_base> + 0508_H + (10_H × j)、
RSCANnGAFLP0_jLH: <RSCFDn_base> + 0509_H + (10_H × j)、
RSCANnGAFLP0_jHL: <RSCFDn_base> + $050A_H$ + (10_H × j)、
RSCANnGAFLP0_jHH: <RSCFDn_base> + $050B_H$ + (10_H × j)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC [3:0]				GAFLPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLRMV	GAFLRMDP [6:0]							—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 16.31　RSCANnGAFLP0_j レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	GAFLDLC [3:0]	受信ルール DLC 設定ビット b31 b30 b29 b28 0 0 0 0 : DLC チェックしない 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	GAFLPTR [11:0]	受信ルールラベル設定ビット 12 ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0 : 受信バッファを使用しない 1 : 受信バッファを使用する
14 ～ 8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCANnGAFLP0_j レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B” を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1” にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを “1” にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCANnRMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

16.3.5.6 RSCANnGAFLP1_j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）

アクセス RSCANnGAFLP1_j レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGAFLP1_jL、RSCANnGAFLP1_jH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGAFLP1_jLL、RSCANnGAFLP1_jLH、RSCANnGAFLP1_jHL、RSCANnGAFLP1_jHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGAFLP1_j: <RSCFDn_base> + $050C_H$ + (10_H × j)

RSCANnGAFLP1_jL: <RSCFDn_base> + $050C_H$ + (10_H × j)、
RSCANnGAFLP1_jH: <RSCFDn_base> + $050E_H$ + (10_H × j)

RSCANnGAFLP1_jLL: <RSCFDn_base> + $050C_H$ + (10_H × j)、
RSCANnGAFLP1_jLH: <RSCFDn_base> + $050D_H$ + (10_H × j)、
RSCANnGAFLP1_jHL: <RSCFDn_base> + $050E_H$ + (10_H × j)、
RSCANnGAFLP1_jHH: <RSCFDn_base> + $050F_H$ + (10_H × j)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	GAFLFDP [19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLFDP [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.32 RSCANnGAFLP1_j レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ～ 8	GAFLFDP [19:8]	送受信 FIFO バッファ k 選択ビット （ビット位置 -8 が対象となる送受信 FIFO バッファ番号 k になります） 0：送受信 FIFO バッファを選択しない 1：送受信 FIFO バッファを選択する
7 ～ 0	GAFLFDP [7:0]	受信 FIFO バッファ x 選択ビット （ビット位置が対象となる受信 FIFO バッファ番号 x になります） 0：受信 FIFO バッファを選択しない 1：受信 FIFO バッファを選択する

RSCANnGAFLP1_j レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLFDP [19:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCANnGAFLP0_j レジスタの GAFLRMV ビットを “1”（受信バッファにメッセージを格納する）にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCANnCFCCk レジスタの CFM[1:0] ビットを “00_B”（受信モード）または “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファのみ選択できます。

16.3.6 受信バッファ関連レジスタの詳細

16.3.6.1 RSCANnRMNB — 受信バッファナンバレジスタ

アクセス RSCANnRMNB レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnRMNBL、RSCANnRMNBH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnRMNBLL、RSCANnRMNBLH、RSCANnRMNBHL、RSCANnRMNBHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnRMNB: <RSCFDn_base> + $00A4_H$

RSCANnRMNBL: <RSCFDn_base> + $00A4_H$、RSCANnRMNBH: <RSCFDn_base> + $00A6_H$

RSCANnRMNBLL: <RSCFDn_base> + $00A4_H$、RSCANnRMNBLH: <RSCFDn_base> + $00A5_H$、
RSCANnRMNBHL: <RSCFDn_base> + $00A6_H$、RSCANnRMNBHH: <RSCFDn_base> + $00A7_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	NRXMB [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.33 RSCANnRMNB レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～ 0	NRXMB [7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0 ～ 64 の範囲で設定してください。

RSCANnRMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[7:0] ビット

RS-CANFD モジュール全体の受信バッファ数を設定します。最大値は、16 ×（チャネル数）です。

“0” を設定すると、受信バッファは使用できません。

16.3.6.2 RSCANnRMNDy — 受信バッファ新データレジスタ（y = 0、1）

アクセス RSCANnRMNDy レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnRMNDyL、RSCANnRMNDyH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnRMNDyLL、RSCANnRMNDyLH、RSCANnRMNDyHL、RSCANnRMNDyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnRMNDy: <RSCFDn_base> + $00A8_H$ + (04_H × y)

RSCANnRMNDyL: <RSCFDn_base> + $00A8_H$ + (04_H × y)、
RSCANnRMNDyH: <RSCFDn_base> + $00AA_H$ + (04_H × y)

RSCANnRMNDyLL: <RSCFDn_base> + $00A8_H$ + (04_H × y)、
RSCANnRMNDyLH: <RSCFDn_base> + $00A9_H$ + (04_H × y)、
RSCANnRMNDyHL: <RSCFDn_base> + $00AA_H$ + (04_H × y)、
RSCANnRMNDyHH: <RSCFDn_base> + $00AB_H$ + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31)	RMNSq (q = y × 32 + 30)	RMNSq (q = y × 32 + 29)	RMNSq (q = y × 32 + 28)	RMNSq (q = y × 32 + 27)	RMNSq (q = y × 32 + 26)	RMNSq (q = y × 32 + 25)	RMNSq (q = y × 32 + 24)	RMNSq (q = y × 32 + 23)	RMNSq (q = y × 32 + 22)	RMNSq (q = y × 32 + 21)	RMNSq (q = y × 32 + 20)	RMNSq (q = y × 32 + 19)	RMNSq (q = y × 32 + 18)	RMNSq (q = y × 32 + 17)	RMNSq (q = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15)	RMNSq (q = y × 32 + 14)	RMNSq (q = y × 32 + 13)	RMNSq (q = y × 32 + 12)	RMNSq (q = y × 32 + 11)	RMNSq (q = y × 32 + 10)	RMNSq (q = y × 32 + 9)	RMNSq (q = y × 32 + 8)	RMNSq (q = y × 32 + 7)	RMNSq (q = y × 32 + 6)	RMNSq (q = y × 32 + 5)	RMNSq (q = y × 32 + 4)	RMNSq (q = y × 32 + 3)	RMNSq (q = y × 32 + 2)	RMNSq (q = y × 32 + 1)	RMNSq (q = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.34 RSCANnRMNDy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	RMNSq	受信バッファ受信完了フラグ q（q = y × 32 + 31 ～ y × 32 + 16） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり
15 ～ 0	RMNSq	受信バッファ受信完了フラグ q（q = y × 32 + 15 ～ y × 32 + 0） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり

RSCANnRMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

RMNSq フラグ（q = 0 ～ 63）

対応する受信バッファにメッセージを格納する処理が始まると “1” になります。

フラグを “0” にする場合は、プログラムで “0” を書いてください。書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いて下さい。メッセージ格納中は “0” にできません。メッセージを格納する時間は pclk の 10 クロック分です。

グローバルリセットモード時、“0” になります。

16.3.6.3 RSCANnRMIDq — 受信バッファ ID レジスタ（q = 0 ～ 63）

アクセス RSCANnRMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMIDqL、RSCANnRMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMIDqLL、RSCANnRMIDqLH、RSCANnRMIDqHL、RSCANnRMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRMIDq: <RSCFDn_base> + 0600_H + (10_H × q)

RSCANnRMIDqL: <RSCFDn_base> + 0600_H + (10_H × q)、
RSCANnRMIDqH: <RSCFDn_base> + 0602_H + (10_H × q)

RSCANnRMIDqLL: <RSCFDn_base> + 0600_H + (10_H × q)、
RSCANnRMIDqLH: <RSCFDn_base> + 0601_H + (10_H × q)、
RSCANnRMIDqHL: <RSCFDn_base> + 0602_H + (10_H × q)、
RSCANnRMIDqHH: <RSCFDn_base> + 0603_H + (10_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.35 RSCANnRMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RMRTR	受信バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ～ 0	RMID [28:0]	受信バッファ ID データ 受信メッセージの標準 ID ／拡張 ID が読めます。 標準 ID の場合は、b10 ～ b0 を読んでください。b28 ～ b11 は “0” が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

16.3.6.4 RSCANnRMPTRq — 受信バッファポインタレジスタ（q = 0 ～ 63）

アクセス RSCANnRMPTRq レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMPTRqL、RSCANnRMPTRqH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMPTRqLL、RSCANnRMPTRqLH、RSCANnRMPTRqHL、RSCANnRMPTRqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRMPTRq: <RSCFDn_base> + 0604_H + (10_H × q)

RSCANnRMPTRqL: <RSCFDn_base> + 0604_H + (10_H × q)、
RSCANnRMPTRqH: <RSCFDn_base> + 0606_H + (10_H × q)

RSCANnRMPTRqLL: <RSCFDn_base> + 0604_H + (10_H × q)、
RSCANnRMPTRqLH: <RSCFDn_base> + 0605_H + (10_H × q)、
RSCANnRMPTRqHL: <RSCFDn_base> + 0606_H + (10_H × q)、
RSCANnRMPTRqHH: <RSCFDn_base> + 0607_H + (10_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC [3:0]				RMPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.36 RSCANnRMPTRq レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	RMDLC [3:0]	受信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : データバイトなし 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	RMPTR [11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ～ 0	RMTS [15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

16.3.6.5 RSCANnRMDF0_q — 受信バッファデータフィールド 0 レジスタ（q = 0 ～ 63）

アクセス RSCANnRMDF0_q レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMDF0_qL、RSCANnRMDF0_qH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMDF0_qLL、RSCANnRMDF0_qLH、RSCANnRMDF0_qHL、RSCANnRMDF0_qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRMDF0_q: <RSCFDn_base> + 0608_H + (10_H × q)

RSCANnRMDF0_qL: <RSCFDn_base> + 0608_H + (10_H × q)、
RSCANnRMDF0_qH: <RSCFDn_base> + $060A_H$ + (10_H × q)

RSCANnRMDF0_qLL: <RSCFDn_base> + 0608_H + (10_H × q)、
RSCANnRMDF0_qLH: <RSCFDn_base> + 0609_H + (10_H × q)、
RSCANnRMDF0_qHL: <RSCFDn_base> + $060A_H$ + (10_H × q)、
RSCANnRMDF0_qHH: <RSCFDn_base> + $060B_H$ + (10_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB3 [7:0]								RMDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB1 [7:0]								RMDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.37 RSCANnRMDF0_q レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RMDB3 [7:0]	受信バッファデータバイト 3
23 ～ 16	RMDB2 [7:0]	受信バッファデータバイト 2
15 ～ 8	RMDB1 [7:0]	受信バッファデータバイト 1
7 ～ 0	RMDB0 [7:0]	受信バッファデータバイト 0 受信バッファに格納されたメッセージのデータが読めます。

RSCANnRMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

16.3.6.6 RSCANnRMDF1_q — 受信バッファデータフィールド 1 レジスタ（q = 0 ～ 63）

アクセス RSCANnRMDF1_q レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMDF1_qL、RSCANnRMDF1_qH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMDF1_qLL、RSCANnRMDF1_qLH、RSCANnRMDF1_qHL、RSCANnRMDF1_qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRMDF1_q: <RSCFDn_base> + $060C_H$ + (10_H × q)

RSCANnRMDF1_qL: <RSCFDn_base> + $060C_H$ + (10_H × q)、
RSCANnRMDF1_qH: <RSCFDn_base> + $060E_H$ + (10_H × q)

RSCANnRMDF1_qLL: <RSCFDn_base> + $060C_H$ + (10_H × q)、
RSCANnRMDF1_qLH: <RSCFDn_base> + $060D_H$ + (10_H × q)、
RSCANnRMDF1_qHL: <RSCFDn_base> + $060E_H$ + (10_H × q)、
RSCANnRMDF1_qHH: <RSCFDn_base> + $060F_H$ + (10_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB7 [7:0]								RMDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB5 [7:0]								RMDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.38 RSCANnRMDF1_q レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RMDB7 [7:0]	受信バッファデータバイト 7
23 ～ 16	RMDB6 [7:0]	受信バッファデータバイト 6
15 ～ 8	RMDB5 [7:0]	受信バッファデータバイト 5
7 ～ 0	RMDB4 [7:0]	受信バッファデータバイト 4 受信バッファに格納されたメッセージのデータが読めます。

RSCANnRMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

16.3.7 受信 FIFO バッファ関連レジスタの詳細

16.3.7.1 RSCANnRFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）

アクセス RSCANnRFCCx レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnRFCCxL、RSCANnRFCCxH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnRFCCxLL、RSCANnRFCCxLH、RSCANnRFCCxHL、RSCANnRFCCxHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnRFCCx: <RSCFDn_base> + $00B8_H$ + (04_H × x)

RSCANnRFCCxL: <RSCFDn_base> + $00B8_H$ + (04_H × x)、
RSCANnRFCCxH: <RSCFDn_base> + $00BA_H$ + (04_H × x)

RSCANnRFCCxLL: <RSCFDn_base> + $00B8_H$ + (04_H × x)、
RSCANnRFCCxLH: <RSCFDn_base> + $00B9_H$ + (04_H × x)、
RSCANnRFCCxHL: <RSCFDn_base> + $00BA_H$ + (04_H × x)、
RSCANnRFCCxHH: <RSCFDn_base> + $00BB_H$ + (04_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV [2:0]			RFIM	—	RFDC [2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 16.39 RSCANnRFCCx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 13	RFIGCV [2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0：FIFO バッファに 1/8 までメッセージ格納時 0 0 1：FIFO バッファに 2/8 までメッセージ格納時 0 1 0：FIFO バッファに 3/8 までメッセージ格納時 0 1 1：FIFO バッファに 4/8 までメッセージ格納時 1 0 0：FIFO バッファに 5/8 までメッセージ格納時 1 0 1：FIFO バッファに 6/8 までメッセージ格納時 1 1 0：FIFO バッファに 7/8 までメッセージ格納時 1 1 1：FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0：RFIGCV[2:0] ビットで設定した条件に達したときに発生 1：1 メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ～ 8	RFDC [2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0：0 メッセージ 0 0 1：4 メッセージ 0 1 0：8 メッセージ 0 1 1：16 メッセージ 1 0 0：32 メッセージ 1 0 1：48 メッセージ 1 1 0：64 メッセージ 1 1 1：128 メッセージ

表 16.39 RSCANnRFCCx レジスタの内容 (2/2)

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0：受信 FIFO 割り込み禁止 1：受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0：受信 FIFO バッファを使用しない 1：受信 FIFO バッファを使用する

RFIGCV[2:0] ビット

RFIM ビットを “0” にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（RFDC[2:0] の設定）に対する分数で指定します。

RFDC[2:0] ビットを “001_B”（4 メッセージ）に設定した場合は、RFIGCV[2:0] ビットを “001_B”、“011_B”、“101_B”、または “111_B” にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B” に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1” にすると、受信 FIFO 割り込みが使用できます。RFE ビットが “0”（受信 FIFO バッファを使用しない）のときに、RFIE ビットを書き換えてください。

RFE ビット

“1” にすると、受信 FIFO バッファが使用できます。“0” にすると、RSCANnRFSTSx レジスタの RFEMP フラグが “1”（バッファ空）になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

このビットは、RSCANnRFCCx レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

グローバルリセットモード時、“0” になります。

16.3.7.2 RSCANnRFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）

アクセス RSCANnRFSTSx レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnRFSTSxL、RSCANnRFSTSxH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnRFSTSxLL、RSCANnRFSTSxLH、RSCANnRFSTSxHL、RSCANnRFSTSxHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnRFSTSx: <RSCFDn_base> + $00D8_H$ + (04_H × x)

RSCANnRFSTSxL: <RSCFDn_base> + $00D8_H$ + (04_H × x)、
RSCANnRFSTSxH: <RSCFDn_base> + $00DA_H$ + (04_H × x)

RSCANnRFSTSxLL: <RSCFDn_base> + $00D8_H$ + (04_H × x)、
RSCANnRFSTSxLH: <RSCFDn_base> + $00D9_H$ + (04_H × x)、
RSCANnRFSTSxHL: <RSCFDn_base> + $00DA_H$ + (04_H × x)、
RSCANnRFSTSxHH: <RSCFDn_base> + $00DB_H$ + (04_H × x)

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]								—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.40 RSCANnRFSTSx レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0：受信 FIFO 割り込み要求なし 1：受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0：受信 FIFO メッセージロストなし 1：受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファフルではない 1：受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0：受信 FIFO バッファに未読メッセージあり 1：受信 FIFO バッファに未読メッセージなし（バッファ空）

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCANnRFCCx レジスタの RFE ビットを “0” にすると、“00_H” になります。

RFIF フラグ

RSCANnRFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに “1” になります。RFIF フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき “1” になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCANnRFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると “1” になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると “0” になります。また、RSCANnRFCCx レジスタの RFE ビットが “0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に “0” になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと “1” になります。また、RSCANnRFCCx レジスタの RFE ビットが “0” のとき、またはグローバルリセットモード時に “1” になります。

受信メッセージが 1 つでも受信 FIFO バッファに格納されると “0” になります。

備　考

RFMLT もしくは RFIF フラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

16.3.7.3 RSCANnRFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）

アクセス RSCANnRFPCTRx レジスタは、32 ビット単位でライトのみ可能です。
RSCANnRFPCTRxL、RSCANnRFPCTRxH レジスタは、16 ビット単位でライトのみ可能です。
RSCANnRFPCTRxLL、RSCANnRFPCTRxLH、RSCANnRFPCTRxHL、RSCANnRFPCTRxHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCANnRFPCTRx: <RSCFDn_base> + $00F8_H$ + (04_H × x)

RSCANnRFPCTRxL: <RSCFDn_base> + $00F8_H$ + (04_H × x)、
RSCANnRFPCTRxH: <RSCFDn_base> + $00FA_H$ + (04_H × x)

RSCANnRFPCTRxLL: <RSCFDn_base> + $00F8_H$ + (04_H × x)、
RSCANnRFPCTRxLH: <RSCFDn_base> + $00F9_H$ + (04_H × x)、
RSCANnRFPCTRxHL: <RSCFDn_base> + $00FA_H$ + (04_H × x)、
RSCANnRFPCTRxHH: <RSCFDn_base> + $00FB_H$ + (04_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 16.41 RSCANnRFPCTRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	RFPC [7:0]	受信 FIFO ポインタ制御 “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RFPC[7:0] ビット

RFPC[7:0] ビットに “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCANnRFSTSx レジスタの RFMC[7:0] ビット（受信 FIFO 未読メッセージ数表示カウンタ）の値が 1 減算されます。RSCANnRFIDx、RSCANnRFPTRx、RSCANnRFDF0_x、RSCANnRFDF1_x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCANnRFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）で、RSCANnRFSTSx レジスタの RFEMP フラグが “0” 未読メッセージあり）のときに行ってください。

16.3.7.4 RSCANnRFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）

アクセス RSCANnRFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFIDxL、RSCANnRFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFIDxLL、RSCANnRFIDxLH、RSCANnRFIDxHL、RSCANnRFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFIDx: <RSCFDn_base> + $0E00_H$ + (10_H × x)

RSCANnRFIDxL: <RSCFDn_base> + $0E00_H$ + (10_H × x)、
RSCANnRFIDxH: <RSCFDn_base> + $0E02_H$ + (10_H × x)

RSCANnRFIDxLL: <RSCFDn_base> + $0E00_H$ + (10_H × x)、
RSCANnRFIDxLH: <RSCFDn_base> + $0E01_H$ + (10_H × x)、
RSCANnRFIDxHL: <RSCFDn_base> + $0E02_H$ + (10_H × x)、
RSCANnRFIDxHH: <RSCFDn_base> + $0E03_H$ + (10_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.42 RSCANnRFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RFRTR	受信 FIFO バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ～ 0	RFID [28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID ／拡張 ID が読めます。 標準 ID の場合は、b10 ～ b0 を読んでください。b28 ～ b11 は “0” が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

16.3.7.5 RSCANnRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）

アクセス RSCANnRFPTRx レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFPTRxL、RSCANnRFPTRxH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFPTRxLL、RSCANnRFPTRxLH、RSCANnRFPTRxHL、RSCANnRFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFPTRx: <RSCFDn_base> + $0E04_H$ + (10_H × x)

RSCANnRFPTRxL: <RSCFDn_base> + $0E04_H$ + (10_H × x)、
RSCANnRFPTRxH: <RSCFDn_base> + $0E06_H$ + (10_H × x)

RSCANnRFPTRxLL: <RSCFDn_base> + $0E04_H$ + (10_H × x)、
RSCANnRFPTRxLH: <RSCFDn_base> + $0E05_H$ + (10_H × x)、
RSCANnRFPTRxHL: <RSCFDn_base> + $0E06_H$ + (10_H × x)、
RSCANnRFPTRxHH: <RSCFDn_base> + $0E07_H$ + (10_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC [3:0]				RFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.43 RSCANnRFPTRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	RFDLC [3:0]	受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	RFPTR [11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ～ 0	RFTS [15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

16.3.7.6 RSCANnRFDF0_x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ（x = 0 ~ 7）

アクセス RSCANnRFDF0_x レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFDF0_xL、RSCANnRFDF0_xH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFDF0_xLL、RSCANnRFDF0_xLH、RSCANnRFDF0_xHL、RSCANnRFDF0_xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFDF0_x: <RSCFDn_base> + $0E08_H$ + (10_H × x)

RSCANnRFDF0_xL: <RSCFDn_base> + $0E08_H$ + (10_H × x)、
RSCANnRFDF0_xH: <RSCFDn_base> + $0E0A_H$ + (10_H × x)

RSCANnRFDF0_xLL: <RSCFDn_base> + $0E08_H$ + (10_H × x)、
RSCANnRFDF0_xLH: <RSCFDn_base> + $0E09_H$ + (10_H × x)、
RSCANnRFDF0_xHL: <RSCFDn_base> + $0E0A_H$ + (10_H × x)、
RSCANnRFDF0_xHH: <RSCFDn_base> + $0E0B_H$ + (10_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB3 [7:0]								RFDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB1 [7:0]								RFDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.44 RSCANnRFDF0_x レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RFDB3 [7:0]	受信 FIFO バッファデータバイト 3
23 ～ 16	RFDB2 [7:0]	受信 FIFO バッファデータバイト 2
15 ～ 8	RFDB1 [7:0]	受信 FIFO バッファデータバイト 1
7 ～ 0	RFDB0 [7:0]	受信 FIFO バッファデータバイト 0 受信 FIFO バッファに格納されたメッセージのデータが読めます。

RSCANnRFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

16.3.7.7 RSCANnRFDF1_x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ（x = 0 ~ 7）

アクセス RSCANnRFDF1_x レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFDF1_xL、RSCANnRFDF1_xH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFDF1_xLL、RSCANnRFDF1_xLH、RSCANnRFDF1_xHL、RSCANnRFDF1_xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFDF1_x: <RSCFDn_base> + $0E0C_H$ + (10_H × x)

RSCANnRFDF1_xL: <RSCFDn_base> + $0E0C_H$ + (10_H × x)、
RSCANnRFDF1_xH: <RSCFDn_base> + $0E0E_H$ + (10_H × x)

RSCANnRFDF1_xLL: <RSCFDn_base> + $0E0C_H$ + (10_H × x)、
RSCANnRFDF1_xLH: <RSCFDn_base> + $0E0D_H$ + (10_H × x)、
RSCANnRFDF1_xHL: <RSCFDn_base> + $0E0E_H$ + (10_H × x)、
RSCANnRFDF1_xHH: <RSCFDn_base> + $0E0F_H$ + (10_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB7 [7:0]								RFDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB5 [7:0]								RFDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.45 RSCANnRFDF1_x レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RFDB7 [7:0]	受信 FIFO バッファデータバイト 7 受信 FIFO バッファデータバイト 6 受信 FIFO バッファデータバイト 5 受信 FIFO バッファデータバイト 4 受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	RFDB6 [7:0]	
15 ～ 8	RFDB5 [7:0]	
7 ～ 0	RFDB4 [7:0]	

RSCANnRFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

16.3.8 送受信 FIFO バッファ関連レジスタの詳細

16.3.8.1 RSCANnCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ～ 11）

アクセス RSCANnCFCCk レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFCCkL、RSCANnCFCCkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFCCkLL、RSCANnCFCCkLH、RSCANnCFCCkHL、RSCANnCFCCkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnCFCCk: <RSCFDn_base> + 0118_H + (04_H × k)

RSCANnCFCCkL: <RSCFDn_base> + 0118_H + (04_H × k)、
RSCANnCFCCkH: <RSCFDn_base> + $011A_H$ + (04_H × k)

RSCANnCFCCkLL: <RSCFDn_base> + 0118_H + (04_H × k)、
RSCANnCFCCkLH: <RSCFDn_base> + 0119_H + (04_H × k)、
RSCANnCFCCkHL: <RSCFDn_base> + $011A_H$ + (04_H × k)、
RSCANnCFCCkHH: <RSCFDn_base> + $011B_H$ + (04_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]								CFTML[3:0]				CFITR	CFITSS	CFM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV [2:0]			CFIM	—	CFDC [2:0]			—	—	—	—	—	CFTXIE	CFRXIE	CFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 16.46 RSCANnCFCCk レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値：00_H ～ FF_H
23 ～ 20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイマ分解能 0：pclk/2 を ITRCP [15:0] ビットで分周したクロック 1：pclk/2 を ITRCP [15:0] ビットの値 × 10 で分周したクロック
18	CFITSS	送受信 FIFO インターバルタイマクロックソース選択 0：CFITR ビットで選択したクロックソース 1：関連チャネルの通常ビットタイムクロック
17 ～ 16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0 0：受信モード 0 1：送信モード 1 0：ゲートウェイモード 1 1：設定しないでください
15 ～ 13	CFIGCV [2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0：FIFO バッファに 1/8 までメッセージ格納時 0 0 1：FIFO バッファに 2/8 までメッセージ格納時 0 1 0：FIFO バッファに 3/8 までメッセージ格納時 0 1 1：FIFO バッファに 4/8 までメッセージ格納時 1 0 0：FIFO バッファに 5/8 までメッセージ格納時 1 0 1：FIFO バッファに 6/8 までメッセージ格納時 1 1 0：FIFO バッファに 7/8 までメッセージ格納時 1 1 1：FIFO バッファがフルのとき

表 16.46 RSCANnCFCCk レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0： • 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 • 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1： • 受信モード、ゲートウェイモード時 1 メッセージ受信ごとに FIFO 受信割り込み要求発生 • 送信モード、ゲートウェイモード時 1 メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ～ 8	CFDC [2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0：0 メッセージ 0 0 1：4 メッセージ 0 1 0：8 メッセージ 0 1 1：16 メッセージ 1 0 0：32 メッセージ 1 0 1：48 メッセージ 1 1 0：64 メッセージ 1 1 1：128 メッセージ
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0：送受信 FIFO 送信割り込み禁止 1：送受信 FIFO 送信割り込み許可
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0：送受信 FIFO 受信割り込み禁止 1：送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0：送受信 FIFO バッファを使用しない 1：送受信 FIFO バッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを “01_B”（送信モード）または “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを “01_B”（送信モード）または “10_B”（ゲートウェイモード）に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャネル番号 m は、k/3 の整商となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、（16 × m）+ CFTML[3:0] となります（**表 16.13** を参照）。

送受信 FIFO バッファ k と送信バッファ p の関係は、**表 16.11** および**表 16.12** を参照してください。

CFDC[2:0] ビットを “001_B” 以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが “0” のとき、有効です。

“0” のとき、インターバルタイマクロックソースは、pclk/2 を RSCANnGCFG レジスタの ITRCP [15:0] ビットで分周したクロックとなります。

“1” のとき、インターバルタイマクロックソースは、pclk/2 を RSCANnGCFG レジスタの ITRCP[15:0] ビットの値 ×10 で分周したクロックとなります。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0” のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1” のとき、FIFO にリンクしているチャネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットを “00_B”（受信モード）または “10_B”（ゲートウェイモード）に、CFIM ビットを “0” にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0] の設定）に対する分数で指定します。

CFDC[2:0] ビットを “001_B”（4 メッセージ）に設定した場合は、CFIGCV[2:0] ビットを “001_B”、“011_B”、“101_B”、または “111_B” にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B” に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを “1” に設定し、RSCANnCFSTSk レジスタの CFTXIF フラグが “1” になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを “1” に設定し、RSCANnCFSTSk レジスタの CFRXIF フラグが “1” になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが “0” の状態で、CFRXIE ビットを書き換えてください。

CFE ビット

“1” にすると、送受信 FIFO バッファを使用できます。

“0” にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で “0” になります。

- 受信モード時 : グローバルリセットモード
- 送信モードまたはゲートウェイモード時 : チャネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード : グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード : チャネル通信モードまたはチャネル待機モード

このビットは、RSCANnCFCCk レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

16.3.8.2　RSCANnCFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ～ 11）

アクセス　RSCANnCFSTSk レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFSTSkL、RSCANnCFSTSkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFSTSkLL、RSCANnCFSTSkLH、RSCANnCFSTSkHL、RSCANnCFSTSkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RSCANnCFSTSk: <RSCFDn_base> + 0178_H + (04_H × k)

RSCANnCFSTSkL: <RSCFDn_base> + 0178_H + (04_H × k)、
RSCANnCFSTSkH: <RSCFDn_base> + $017A_H$ + (04_H × k)

RSCANnCFSTSkLL: <RSCFDn_base> + 0178_H + (04_H × k)、
RSCANnCFSTSkLH: <RSCFDn_base> + 0179_H + (04_H × k)、
RSCANnCFSTSkHL: <RSCFDn_base> + $017A_H$ + (04_H × k)、
RSCANnCFSTSkHH: <RSCFDn_base> + $017B_H$ + (04_H × k)

リセット後の値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC [7:0]								—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R

注 1.　このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.47　RSCANnCFSTSk レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 8	CFMC [7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0：送受信 FIFO 受信割り込み要求なし 1：送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロストフラグ 0：送受信 FIFO メッセージロストなし 1：送受信 FIFO メッセージロスト
1	CFFLL	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファフルではない 1：送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0：送受信 FIFO バッファにメッセージあり 1：送受信 FIFO バッファにメッセージなし（バッファ空）

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCANnCFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01_B” (送信モード) の場合 : バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが “00_B” （受信モード） の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが “10_B” (ゲートウェイモード) の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード
- RSCANnCFDCFCCk レジスタの CFE ビットが “0” の場合

CFTXIF フラグ

次の条件で、CFTXIF フラグは “1” になります。

- CFM[1:0] ビットが “01_B” または “10_B” で、RSCANnCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは “0” になります。

- CFTXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0] ビットが “00_B” または “10_B” で、RSCANnCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは “1” になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは “0” になります。

- CFMLT フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFFLL フラグ

次の条件で、CFFLL フラグは “1” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCANnCFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFFLL フラグは “0” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCANnCFCCk レジスタの CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：送信アボート中でないとき
- CFM[1:0] ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：チャネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは “1” になります。

- CFM[1:0] ビットが “00_B” の場合：
  全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：
  すべてのメッセージを送信したとき、またはチャネルリセットモード
- CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：
  送信アボート中でないとき

次の条件で、CFEMP フラグは “0” になります。

- CFM[1:0] ビットが “00_B” または “10_B” の場合：
  受信メッセージが 1 つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが “01_B” の場合：
  RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタに書いてから、RSCANnCFPCTRk レジスタに “FF_H” を書いたとき

備　考

CFTXIF, CFRXIF, CFMLT フラグを “0” にする場合は、プログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いてください。

16.3.8.3 RSCANnCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ～ 11）

アクセス RSCANnCFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RSCANnCFPCTRkL、RSCANnCFPCTRkH レジスタは、16 ビット単位でライトのみ可能です。
RSCANnCFPCTRkLL、RSCANnCFPCTRkLH、RSCANnCFPCTRkHL、RSCANnCFPCTRkHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCANnCFPCTRk: <RSCFDn_base> + $01D8_H$ + (04_H × k)

RSCANnCFPCTRkL: <RSCFDn_base> + $01D8_H$ + (04_H × k)、
RSCANnCFPCTRkH: <RSCFDn_base> + $01DA_H$ + (04_H × k)

RSCANnCFPCTRkLL: <RSCFDn_base> + $01D8_H$ + (04_H × k)、
RSCANnCFPCTRkLH: <RSCFDn_base> + $01D9_H$ + (04_H × k)、
RSCANnCFPCTRkHL: <RSCFDn_base> + $01DA_H$ + (04_H × k)、
RSCANnCFPCTRkHH: <RSCFDn_base> + $01DB_H$ + (04_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 16.48 RSCANnCFPCTRk レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	CFPC [7:0]	送受信 FIFO ポインタ制御 • 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 • 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 • ゲートウェイモード時 設定しないでください。

CFPC[7:0] ビット

- 受信モード（RSCANnCFCCk レジスタの CFM[1:0] ビットが “00_B”）のとき：
  CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCANnCFSTSk レジスタの CFMC[7:0] ビット（送受信 FIFO メッセージ数表示カウンタ）の値が 1 減算されます。RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
  なお、“FF_H” の書き込みは RSCANnCFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCANnCFSTSk レジスタの CFEMP フラグが “0”（メッセージあり）のときに行ってください。

- 送信モード（RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B”）のとき：
  CFPC[7:0] ビットに “FF_H” を書くと、RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FF_H” を書いてください。
  なお、“FF_H” の書き込みは、RSCANnCFCCk レジスタの CFE ビットが “1” で、RSCANnCFSTSk レジスタの CFFLL フラグが “0”（フルではない）のときに行ってください。
- ゲートウェイモード（RSCANnCFCCk レジスタの CFM[1:0] ビットが “10_B”）のとき：
  設定しないでください。

16.3.8.4　RSCANnCFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ～ 11）

アクセス　RSCANnCFIDk レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFIDkL、RSCANnCFIDkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFIDkLL、RSCANnCFIDkLH、RSCANnCFIDkHL、RSCANnCFIDkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RSCANnCFIDk: <RSCFDn_base> + $0E80_H$ + (10_H × k)

RSCANnCFIDkL: <RSCFDn_base> + $0E80_H$ + (10_H × k)、
RSCANnCFIDkH: <RSCFDn_base> + $0E82_H$ + (10_H × k)

RSCANnCFIDkLL: <RSCFDn_base> + $0E80_H$ + (10_H × k)、
RSCANnCFIDkLH: <RSCFDn_base> + $0E81_H$ + (10_H × k)、
RSCANnCFIDkHL: <RSCFDn_base> + $0E82_H$ + (10_H × k)、
RSCANnCFIDkHH: <RSCFDn_base> + $0E83_H$ + (10_H × k)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.49　RSCANnCFIDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	THLEN	送信履歴データ格納許可ビット CFM[1:0] ビットが “01_B”（送信モード）時のみ有効 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28 ～ 0	CFID [28:0]	送受信 FIFO バッファ ID データ • CFM[1:0] ビットが “01_B”（送信モード）時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ～ b0 に ID を設定してください。b28 ～ b11 は “0” にしてください。 • CFM[1:0] ビットが “00_B”（受信モード）時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ～ b0 を読んでください。b28 ～ b11 は “0” が読めます。

RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット（標準 ID または拡張 ID）を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット（データフレームまたはリモートフレーム）を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ）が送信履歴バッファに格納されます。

CFM[1:0] ビットが “01_B”（送信モード）のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

16.3.8.5 RSCANnCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ～ 11）

アクセス RSCANnCFPTRk レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFPTRkL、RSCANnCFPTRkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFPTRkLL、RSCANnCFPTRkLH、RSCANnCFPTRkHL、RSCANnCFPTRkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnCFPTRk: <RSCFDn_base> + $0E84_H$ + (10_H × k)

RSCANnCFPTRkL: <RSCFDn_base> + $0E84_H$ + (10_H × k)、
RSCANnCFPTRkH: <RSCFDn_base> + $0E86_H$ + (10_H × k)

RSCANnCFPTRkLL: <RSCFDn_base> + $0E84_H$ + (10_H × k)、
RSCANnCFPTRkLH: <RSCFDn_base> + $0E85_H$ + (10_H × k)、
RSCANnCFPTRkHL: <RSCFDn_base> + $0E86_H$ + (10_H × k)、
RSCANnCFPTRkHH: <RSCFDn_base> + $0E87_H$ + (10_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC [3:0]				CFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.50 RSCANnCFPTRk レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	CFDLC [3:0]	送受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	CFPTR [11:0]	送受信 FIFO バッファラベルデータ • CFM[1:0] ビットが “01_B”（送信モード）時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 • CFM[1:0] ビットが “00_B”（受信モード）時 受信メッセージのラベル情報が読めます。
15 ～ 0	CFTS [15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが “00_B”（受信モード）時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。“1001_B” 以上を設定した場合、実際に送られるデータは 8 バイトになります。

CFPTR[11:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが “01_B” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが “00_B” のときに、有効になります。

16.3.8.6 RSCANnCFDF0_k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ（k = 0 ～ 11）

アクセス RSCANnCFDF0_k レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFDF0_kL、RSCANnCFDF0_kH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFDF0_kLL、RSCANnCFDF0_kLH、RSCANnCFDF0_kHL、RSCANnCFDF0_kHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnCFDF0_k: <RSCFDn_base> + $0E88_H$ + (10_H × k)

RSCANnCFDF0_kL: <RSCFDn_base> + $0E88_H$ + (10_H × k)、
RSCANnCFDF0_kH: <RSCFDn_base> + $0E8A_H$ + (10_H × k)

RSCANnCFDF0_kLL: <RSCFDn_base> + $0E88_H$ + (10_H × k)、
RSCANnCFDF0_kLH: <RSCFDn_base> + $0E89_H$ + (10_H × k)、
RSCANnCFDF0_kHL: <RSCFDn_base> + $0E8A_H$ + (10_H × k)、
RSCANnCFDF0_kHH: <RSCFDn_base> + $0E8B_H$ + (10_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB3 [7:0]								CFDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB1 [7:0]								CFDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.51 RSCANnCFDF0_k レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	CFDB3 [7:0]	送受信 FIFO バッファデータバイト 3 送受信 FIFO バッファデータバイト 2 送受信 FIFO バッファデータバイト 1 送受信 FIFO バッファデータバイト 0 • CFM[1:0] ビットが “01_B”（送信モード）時 送受信 FIFO バッファのデータを設定してください。 • CFM[1:0] ビットが “00_B”（受信モード）時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	CFDB2 [7:0]	
15 ～ 8	CFDB1 [7:0]	
7 ～ 0	CFDB0 [7:0]	

RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” の場合のみ、このレジスタを読めます。RSCANnCFPTRk レジスタの CFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

16.3.8.7 RSCANnCFDF1_k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ（k = 0 ～ 11）

アクセス　RSCANnCFDF1_k レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFDF1_kL、RSCANnCFDF1_kH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFDF1_kLL、RSCANnCFDF1_kLH、RSCANnCFDF1_kHL、RSCANnCFDF1_kHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RSCANnCFDF1_k: <RSCFDn_base> + $0E8C_H$ + (10_H × k)

RSCANnCFDF1_kL: <RSCFDn_base> + $0E8C_H$ + (10_H × k)、
RSCANnCFDF1_kH: <RSCFDn_base> + $0E8E_H$ + (10_H × k)

RSCANnCFDF1_kLL: <RSCFDn_base> + $0E8C_H$ + (10_H × k)、
RSCANnCFDF1_kLH: <RSCFDn_base> + $0E8D_H$ + (10_H × k)、
RSCANnCFDF1_kHL: <RSCFDn_base> + $0E8E_H$ + (10_H × k)、
RSCANnCFDF1_kHH: <RSCFDn_base> + $0E8F_H$ + (10_H × k)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB7 [7:0]								CFDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB5 [7:0]								CFDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.52　RSCANnCFDF1_k レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	CFDB7 [7:0]	送受信 FIFO バッファデータバイト 7 送受信 FIFO バッファデータバイト 6 送受信 FIFO バッファデータバイト 5 送受信 FIFO バッファデータバイト 4 • CFM[1:0] ビットが “01_B”（送信モード）時 送受信 FIFO バッファのデータを設定してください。 • CFM[1:0] ビットが “00_B”（受信モード）時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	CFDB6 [7:0]	
15 ～ 8	CFDB5 [7:0]	
7 ～ 0	CFDB4 [7:0]	

RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” の場合のみ、このレジスタを読めます。RSCANnCFPTRk レジスタの CFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

16.3.9 FIFO ステータス関連レジスタの詳細

16.3.9.1 RSCANnFESTS — FIFO エンプティステータスレジスタ

アクセス RSCANnFESTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnFESTSL、RSCANnFESTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnFESTSLL、RSCANnFESTSLH、RSCANnFESTSHL、RSCANnFESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnFESTS: <RSCFDn_base> + 0238_H

RSCANnFESTSL: <RSCFDn_base> + 0238_H、RSCANnFESTSH: <RSCFDn_base> + $023A_H$

RSCANnFESTSLL: <RSCFDn_base> + 0238_H、RSCANnFESTSLH: <RSCFDn_base> + 0239_H、
RSCANnFESTSHL: <RSCFDn_base> + $023A_H$、RSCANnFESTSHH: <RSCFDn_base> + $023B_H$

リセット後の値 $03FF\ FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11EMP	CF10EMP	CF9EMP	CF8EMP
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7EMP	CF6EMP	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP	RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.53 RSCANnFESTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11EMP	送受信 FIFO バッファエンプティステータスフラグ 0：送受信 FIFO バッファ k にメッセージあり 1：送受信 FIFO バッファ k にメッセージなし （k = 0 ～ 11）
18	CF10EMP	
17	CF9EMP	
16	CF8EMP	
15	CF7EMP	
14	CF6EMP	
13	CF5EMP	
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	
7	RF7EMP	受信 FIFO バッファエンプティステータスフラグ 0：受信 FIFO バッファ x に未読メッセージあり 1：受信 FIFO バッファ x に未読メッセージなし （x = 0 ～ 7）
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCANnFESTS レジスタは、グローバルリセットモード時、“03FF $FFFF_H$” になります。

CFkEMP フラグ（k = 0 ～ 11）

RSCANnCFSTSk レジスタの CFEMP フラグが “1”（メッセージなし）になると、CFkEMP フラグは “1” になります。CFEMP フラグが “0”（メッセージあり）になると、CFkEMP フラグは “0” になります。

RFxEMP フラグ（x = 0 ～ 7）

RSCANnRFSTSx レジスタの RFEMP フラグが “1”（未読メッセージなし）になると、RFxEMP フラグは “1” になります。RFEMP フラグが “0”（未読メッセージあり）になると、RFxEMP フラグは “0” になります。

16.3.9.2 RSCANnFFSTS — FIFO フルステータスレジスタ

アクセス RSCANnFFSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnFFSTSL、RSCANnFFSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnFFSTSLL、RSCANnFFSTSLH、RSCANnFFSTSHL、RSCANnFFSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnFFSTS: <RSCFDn_base> + $023C_H$

RSCANnFFSTSL: <RSCFDn_base> + $023C_H$、RSCANnFFSTSH: <RSCFDn_base> + $023E_H$

RSCANnFFSTSLL: <RSCFDn_base> + $023C_H$、RSCANnFFSTSLH: <RSCFDn_base> + $023D_H$、
RSCANnFFSTSHL: <RSCFDn_base> + $023E_H$、RSCANnFFSTSHH: <RSCFDn_base> + $023F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11 FLL	CF10 FLL	CF9FLL	CF8FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7FLL	CF6FLL	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.54 RSCANnFFSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11FLL	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファ k はフルではない 1：送受信 FIFO バッファ k はフル （k = 0 ～ 11）
18	CF10FLL	
17	CF9FLL	
16	CF8FLL	
15	CF7FLL	
14	CF6FLL	
13	CF5FLL	
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	
9	CF1FLL	
8	CF0FLL	
7	RF7FLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファ x はフルではない 1：受信 FIFO バッファ x はフル （x = 0 ～ 7）
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCANnFFSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkFLL フラグ（k = 0 ～ 11）

RSCANnCFSTSk レジスタの CFFLL フラグが “1”（バッファフル）になると、CFkFLL フラグは “1” になります。

CFFLL フラグが “0”（送受信 FIFO がバッファフルでない）になると、CFkFLL フラグは “0” になります。

RFxFLL フラグ（x = 0 ～ 7）

RSCANnRFSTSx レジスタの RFFLL フラグが “1”（バッファフル）になると、RFxFLL フラグは “1” になります。RFFLL フラグが “0”（バッファフルでない）になると、RFxFLL フラグは “0” になります。

16.3.9.3 RSCANnFMSTS — FIFO メッセージロストステータスレジスタ

アクセス RSCANnFMSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnFMSTSL、RSCANnFMSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnFMSTSLL、RSCANnFMSTSLH、RSCANnFMSTSHL、RSCANnFMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnFMSTS: <RSCFDn_base> + 0240_H

RSCANnFMSTSL: <RSCFDn_base> + 0240_H、RSCANnFMSTSH: <RSCFDn_base> + 0242_H

RSCANnFMSTSLL: <RSCFDn_base> + 0240_H、RSCANnFMSTSLH: <RSCFDn_base> + 0241_H、
RSCANnFMSTSHL: <RSCFDn_base> + 0242_H、RSCANnFMSTSHH: <RSCFDn_base> + 0243_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11 MLT	CF10 MLT	CF9 MLT	CF8 MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7 MLT	CF6 MLT	CF5 MLT	CF4 MLT	CF3 MLT	CF2 MLT	CF1 MLT	CF0 MLT	RF7 MLT	RF6 MLT	RF5 MLT	RF4 MLT	RF3 MLT	RF2 MLT	RF1 MLT	RF0 MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.55 RSCANnFMSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0：送受信 FIFO バッファ k メッセージロストなし 1：送受信 FIFO バッファ k メッセージロスト （k = 0 ～ 11）
18	CF10MLT	
17	CF9MLT	
16	CF8MLT	
15	CF7MLT	
14	CF6MLT	
13	CF5MLT	
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0：受信 FIFO バッファ x メッセージロストなし 1：受信 FIFO バッファ x メッセージロスト （x = 0 ～ 7）
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCANnFMSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkMLT フラグ（k = 0 ～ 11）

RSCANnCFSTSk レジスタの CFMLT フラグが “1”（メッセージロスト）になると、CFkMLT フラグは “1” になります。

CFMLT フラグを “0” にすると、CFkMLT フラグは “0” になります。

RFxMLT フラグ（x = 0 ～ 7）

RSCANnRFSTSx レジスタの RFMLT フラグが “1”（メッセージロスト）になると、RFxMLT フラグは “1” になります。RFMLT フラグを “0” にすると、RFxMLT フラグは “0” になります。

16.3.9.4 RSCANnRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス RSCANnRFISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFISTSL、RSCANnRFISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFISTSLL、RSCANnRFISTSLH、RSCANnRFISTSHL、RSCANnRFISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnRFISTS: <RSCFDn_base> + 0244_H

RSCANnRFISTSL: <RSCFDn_base> + 0244_H、RSCANnRFISTSH: <RSCFDn_base> + 0246_H

RSCANnRFISTSLL: <RSCFDn_base> + 0244_H、RSCANnRFISTSLH: <RSCFDn_base> + 0245_H、
RSCANnRFISTSHL: <RSCFDn_base> + 0246_H、RSCANnRFISTSHH: <RSCFDn_base> + 0247_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.56 RSCANnRFISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0：受信 FIFO バッファ x 割り込み要求なし 1：受信 FIFO バッファ x 割り込み要求あり （x = 0 ~ 7）
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCANnRFISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

RFxIF フラグ（x = 0 ～ 7）

RSCANnRFSTSx レジスタの RFIF フラグが “1”（割り込み要求あり）になると、RFxIF フラグは “1” になります。RFIF フラグを “0” にすると、RFxIF フラグは “0” になります。

16.3.9.5 RSCANnCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス RSCANnCFRISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnCFRISTSL、RSCANnCFRISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnCFRISTSLL、RSCANnCFRISTSLH、RSCANnCFRISTSHL、RSCANnCFRISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCFRISTS: <RSCFDn_base> + 0248_H

RSCANnCFRISTSL: <RSCFDn_base> + 0248_H、RSCANnCFRISTSH: <RSCFDn_base> + $024A_H$

RSCANnCFRISTSLL: <RSCFDn_base> + 0248_H、RSCANnCFRISTSLH: <RSCFDn_base> + 0249_H、
RSCANnCFRISTSHL: <RSCFDn_base> + $024A_H$、RSCANnCFRISTSHH: <RSCFDn_base> + $024B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CF11RXIF	CF10RXIF	CF9RXIF	CF8RXIF	CF7RXIF	CF6RXIF	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.57 RSCANnCFRISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。
11	CF11RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 受信割り込み要求なし 1：送受信 FIFO バッファ k 受信割り込み要求あり （k = 0 ～ 11）
10	CF10RXIF	
9	CF9RXIF	
8	CF8RXIF	
7	CF7RXIF	
6	CF6RXIF	
5	CF5RXIF	
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCANnCFRISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkRXIF フラグ（k = 0 ～ 11）

RSCANnCFSTSk レジスタの CFRXIF フラグが “1”（割り込み要求あり）になると、CFkRXIF フラグは “1” になります。CFRXIF フラグを “0” にすると、CFkRXIF フラグは “0” になります。

16.3.9.6 RSCANnCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ

アクセス RSCANnCFTISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnCFTISTSL、RSCANnCFTISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnCFTISTSLL、RSCANnCFTISTSLH、RSCANnCFTISTSHL、RSCANnCFTISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnCFTISTS: <RSCFDn_base> + $024C_H$

RSCANnCFTISTSL: <RSCFDn_base> + $024C_H$、RSCANnCFTISTSH: <RSCFDn_base> + $024E_H$

RSCANnCFTISTSLL: <RSCFDn_base> + $024C_H$、RSCANnCFTISTSLH: <RSCFDn_base> + $024D_H$、
RSCANnCFTISTSHL: <RSCFDn_base> + $024E_H$、RSCANnCFTISTSHH: <RSCFDn_base> + $024F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CF11TXIF	CF10TXIF	CF9TXIF	CF8TXIF	CF7TXIF	CF6TXIF	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.58 RSCANnCFTISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。
11	CF11TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 送信割り込み要求なし 1：送受信 FIFO バッファ k 送信割り込み要求あり （k = 0 ～ 11）
10	CF10TXIF	
9	CF9TXIF	
8	CF8TXIF	
7	CF7TXIF	
6	CF6TXIF	
5	CF5TXIF	
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCANnCFTISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkTXIF フラグ（k = 0 ～ 11）

RSCANnCFSTSk レジスタの CFTXIF フラグが “1”（割り込み要求あり）になると、CFkTXIF フラグは “1” になります。CFTXIF フラグを “0” にすると、CFkTXIF フラグは “0” になります。

16.3.10 送信バッファ関連レジスタの詳細

16.3.10.1 RSCANnTMCp — 送信バッファ制御レジスタ（p = 0 ～ 63）

アクセス RSCANnTMCp レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnTMCp: <RSCFDn_base> + 0250_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W 注 1	R/W 注 1

注 1. このビットへの書き込みは、ビットセットする（“1” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.59 RSCANnTMCp レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0：ワンショット送信禁止 1：ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0：送信アボートを要求しない 1：送信アボートを要求する
0	TMTR	送信要求ビット 0：送信を要求しない 1：送信を要求する

RSCANnTMCp レジスタが次の条件を満たす場合は、“00_H” にしてください。

- RSCANnCFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCANnTMCp レジスタ（p = m × 16 + CFTML[3:0] ビットの値）
- RSCANnTXQCCm レジスタ（m = 0 ～ 3）の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCANnTMCp レジスタ（p = (m × 16 + 15) ～ (m × 16 + 15 - TXQDC[3:0] ビットの値)）

RSCANnTMCp レジスタのビットは、チャネルリセットモード時に “0” になります。RSCANnTMCp レジスタは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

TMOM ビット

“1” にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCANnTMSTSp レジスタの TMTRM フラグが “0” のときに書き換えてください。TMOM ビットに “1” を書く場合は、TMTR ビットと同時に “1” を書いてください。

TMTAR ビット

“1” にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが “1” のとき、TMTAR ビットを “1” にできます。

TMTAR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0” になるタイミングと “1” を書くタイミングが同じ場合、“0” になります。

TMTR ビット

“1” にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” にできません。

- 送信が完了したとき
- TMTAR ビットを “1” にし、送信アボートが完了したとき
- TMOM ビットが “1” の状態で、エラーまたはアービトレーションロストを検出したとき

RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “00_B” のときに、TMTR ビットを “1” に設定してください。

16.3.10.2 RSCANnTMSTSp — 送信バッファステータスレジスタ（p = 0 ～ 63）

アクセス RSCANnTMSTSp レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnTMSTSp: <RSCFDn_base> + $02D0_H$ + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 16.60 RSCANnTMSTSp レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0：送信アボート要求なし 1：送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0：送信要求なし 1：送信要求あり
2、1	TMTRF[1:0]	送信バッファ送信結果フラグ b2 b1 0 0：送信中、または送信要求なし 0 1：送信アボート完了 1 0：送信完了（送信アボート要求なし） 1 1：送信完了（送信アボート要求あり）
0	TMTSTS	送信バッファ送信ステータスフラグ 0：送信中ではない 1：送信中

RSCANnTMSTSp レジスタのビットは、チャネルリセットモード時に “0” になります。

TMTARM フラグ

RSCANnTMCp レジスタの TMTAR ビットを “1” にすると、TMTARM フラグは “1” になります。

RSCANnTMCp レジスタの TMTAR ビットが “0” になると、TMTARM フラグは “0” になります。

TMTRM フラグ

RSCANnTMCp レジスタの TMTR ビットを “1” にすると、TMTRM フラグは “1” になります。

RSCANnTMCp レジスタの TMTR ビットが “0” になると、TMTRM フラグは “0” になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。

00_B：送信中または送信要求なし。

01_B：送信バッファからの送信がアボートされた。

10_B：RSCANnTMCp レジスタの TMTAR ビットが “0”（送信アボートを要求しない）で、送信が完了した。

11_B：RSCANnTMCp レジスタの TMTAR ビットが “1”（送信アボートを要求する）で、送信が完了した。

TMTRF[1:0] フラグは、チャネル通信モードまたはチャネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0” になります。

16.3.10.3 RSCANnTMIDp — 送信バッファ ID レジスタ（p = 0 ~ 63）

アクセス RSCANnTMIDp レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTMIDpL、RSCANnTMIDpH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTMIDpLL、RSCANnTMIDpLH、RSCANnTMIDpHL、RSCANnTMIDpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnTMIDp: <RSCFDn_base> + 1000_H + (10_H × p)

RSCANnTMIDpL: <RSCFDn_base> + 1000_H + (10_H × p)、
RSCANnTMIDpH: <RSCFDn_base> + 1002_H + (10_H × p)

RSCANnTMIDpLL: <RSCFDn_base> + 1000_H + (10_H × p)、
RSCANnTMIDpLH: <RSCFDn_base> + 1001_H + (10_H × p)、
RSCANnTMIDpHL: <RSCFDn_base> + 1002_H + (10_H × p)、
RSCANnTMIDpHH: <RSCFDn_base> + 1003_H + (10_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.61 RSCANnTMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	TMRTR	送信バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	THLEN	送信履歴データ格納許可ビット 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28 ～ 0	TMID [28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ～ b0 に ID を設定してください。b28 ～ b11 は “0” にしてください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ、RSCANnGCFG レジスタの TMTSCE ビットが “1” のときはタイムスタンプを含む）が送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

16.3.10.4 RSCANnTMPTRp — 送信バッファポインタレジスタ（p = 0 ~ 63）

アクセス RSCANnTMPTRp レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTMPTRpL、RSCANnTMPTRpH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTMPTRpLL、RSCANnTMPTRpLH、RSCANnTMPTRpHL、RSCANnTMPTRpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnTMPTRp: <RSCFDn_base> + 1004_H + (10_H × p)

RSCANnTMPTRpL: <RSCFDn_base> + 1004_H + (10_H × p)、
RSCANnTMPTRpH: <RSCFDn_base> + 1006_H + (10_H × p)

RSCANnTMPTRpLL: <RSCFDn_base> + 1004_H + (10_H × p)、
RSCANnTMPTRpLH: <RSCFDn_base> + 1005_H + (10_H × p)、
RSCANnTMPTRpHL: <RSCFDn_base> + 1006_H + (10_H × p)、
RSCANnTMPTRpHH: <RSCFDn_base> + 1007_H + (10_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC [3:0]				—	—	—	—	TMPTR [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.62 RSCANnTMPTRp レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	TMDLC [3:0]	送信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ～ 16	TMPTR [7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0] ビット

RSCANnTMIDp レジスタの TMRTR ビットが “0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。“1001_B” 以上を設定した場合、送信されるデータは、8 バイトになります。

TMRTR ビットが “1”（リモートフレーム）のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

16.3.10.5 RSCANnTMDF0_p — 送信バッファデータフィールド 0 レジスタ（p = 0 ～ 63）

アクセス RSCANnTMDF0_p レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTMDF0_pL、RSCANnTMDF0_pH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTMDF0_pLL、RSCANnTMDF0_pLH、RSCANnTMDF0_pHL、RSCANnTMDF0_pHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnTMDF0_p: <RSCFDn_base> + 1008_H + (10_H × p)

RSCANnTMDF0_pL: <RSCFDn_base> + 1008_H + (10_H × p)、
RSCANnTMDF0_pH: <RSCFDn_base> + $100A_H$ + (10_H × p)

RSCANnTMDF0_pLL: <RSCFDn_base> + 1008_H + (10_H × p)、
RSCANnTMDF0_pLH: <RSCFDn_base> + 1009_H + (10_H × p)、
RSCANnTMDF0_pHL: <RSCFDn_base> + $100A_H$ + (10_H × p)、
RSCANnTMDF0_pHH: <RSCFDn_base> + $100B_H$ + (10_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB3 [7:0]								TMDB2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB1 [7:0]								TMDB0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.63 RSCANnTMDF0_p レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	TMDB3 [7:0]	送信バッファデータバイト 3
23 ～ 16	TMDB2 [7:0]	送信バッファデータバイト 2
15 ～ 8	TMDB1 [7:0]	送信バッファデータバイト 1
7 ～ 0	TMDB0 [7:0]	送信バッファデータバイト 0 送信バッファのデータを設定してください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

16.3.10.6 RSCANnTMDF1_p — 送信バッファデータフィールド 1 レジスタ（p = 0 ～ 63）

アクセス RSCANnTMDF1_p レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTMDF1_pL、RSCANnTMDF1_pH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTMDF1_pLL、RSCANnTMDF1_pLH、RSCANnTMDF1_pHL、RSCANnTMDF1_pHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnTMDF1_p: <RSCFDn_base> + $100C_H$ + (10_H × p)

RSCANnTMDF1_pL: <RSCFDn_base> + $100C_H$ + (10_H × p)、
RSCANnTMDF1_pH: <RSCFDn_base> + $100E_H$ + (10_H × p)

RSCANnTMDF1_pLL: <RSCFDn_base> + $100C_H$ + (10_H × p)、
RSCANnTMDF1_pLH: <RSCFDn_base> + $100D_H$ + (10_H × p)、
RSCANnTMDF1_pHL: <RSCFDn_base> + $100E_H$ + (10_H × p)、
RSCANnTMDF1_pHH: <RSCFDn_base> + $100F_H$ + (10_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB7 [7:0]								TMDB6 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB5 [7:0]								TMDB4 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.64 RSCANnTMDF1_p レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	TMDB7 [7:0]	送信バッファデータバイト 7
23 ～ 16	TMDB6 [7:0]	送信バッファデータバイト 6
15 ～ 8	TMDB5 [7:0]	送信バッファデータバイト 5
7 ～ 0	TMDB4 [7:0]	送信バッファデータバイト 4 送信バッファのデータを設定してください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

16.3.10.7 RSCANnTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ（y = 0、1）

アクセス　RSCANnTMIECy レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTMIECyL、RSCANnTMIECyH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTMIECyLL、RSCANnTMIECyLH、RSCANnTMIECyHL、RSCANnTMIECyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RSCANnTMIECy: <RSCFDn_base> + 0390_H + (04_H × y)

RSCANnTMIECyL: <RSCFDn_base> + 0390_H + (04_H × y)、
RSCANnTMIECyH: <RSCFDn_base> + 0392_H + (04_H × y)

RSCANnTMIECyLL: <RSCFDn_base> + 0390_H + (04_H × y)、
RSCANnTMIECyLH: <RSCFDn_base> + 0391_H + (04_H × y)、
RSCANnTMIECyHL: <RSCFDn_base> + 0392_H + (04_H × y)、
RSCANnTMIECyHH: <RSCFDn_base> + 0393_H + (04_H × y)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 31)	TMIEp (p = y × 32 + 30)	TMIEp (p = y × 32 + 29)	TMIEp (p = y × 32 + 28)	TMIEp (p = y × 32 + 27)	TMIEp (p = y × 32 + 26)	TMIEp (p = y × 32 + 25)	TMIEp (p = y × 32 + 24)	TMIEp (p = y × 32 + 23)	TMIEp (p = y × 32 + 22)	TMIEp (p = y × 32 + 21)	TMIEp (p = y × 32 + 20)	TMIEp (p = y × 32 + 19)	TMIEp (p = y × 32 + 18)	TMIEp (p = y × 32 + 17)	TMIEp (p = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15)	TMIEp (p = y × 32 + 14)	TMIEp (p = y × 32 + 13)	TMIEp (p = y × 32 + 12)	TMIEp (p = y × 32 + 11)	TMIEp (p = y × 32 + 10)	TMIEp (p = y × 32 + 9)	TMIEp (p = y × 32 + 8)	TMIEp (p = y × 32 + 7)	TMIEp (p = y × 32 + 6)	TMIEp (p = y × 32 + 5)	TMIEp (p = y × 32 + 4)	TMIEp (p = y × 32 + 3)	TMIEp (p = y × 32 + 2)	TMIEp (p = y × 32 + 1)	TMIEp (p = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.65　RSCANnTMIECy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可
15 ～ 0	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可

TMIEp ビット（p = 0 ～ 63）

このビットを “1” に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCANnTMSTSp レジスタの TMTRM フラグが “0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは “0” にしてください。

表 16.66 にビット配置を示します。

表 16.66 TMIEp ビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15

16.3.11　送信バッファステータス関連レジスタの詳細

16.3.11.1 RSCANnTMTRSTSy — 送信バッファ送信要求ステータスレジスタ（y = 0、1）

アクセス　RSCANnTMTRSTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMTRSTSyL、RSCANnTMTRSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMTRSTSyLL、RSCANnTMTRSTSyLH、RSCANnTMTRSTSyHL、RSCANnTMTRSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RSCANnTMTRSTSy: <RSCFDn_base> + 0350_H + (04_H × y)

RSCANnTMTRSTSyL: <RSCFDn_base> + 0350_H + (04_H × y)、
RSCANnTMTRSTSyH: <RSCFDn_base> + 0352_H + (04_H × y)

RSCANnTMTRSTSyLL: <RSCFDn_base> + 0350_H + (04_H × y)、
RSCANnTMTRSTSyLH: <RSCFDn_base> + 0351_H + (04_H × y)、
RSCANnTMTRSTSyHL: <RSCFDn_base> + 0352_H + (04_H × y)、
RSCANnTMTRSTSyHH: <RSCFDn_base> + 0353_H + (04_H × y)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31)	TMTRSTSp (p = y × 32 + 30)	TMTRSTSp (p = y × 32 + 29)	TMTRSTSp (p = y × 32 + 28)	TMTRSTSp (p = y × 32 + 27)	TMTRSTSp (p = y × 32 + 26)	TMTRSTSp (p = y × 32 + 25)	TMTRSTSp (p = y × 32 + 24)	TMTRSTSp (p = y × 32 + 23)	TMTRSTSp (p = y × 32 + 22)	TMTRSTSp (p = y × 32 + 21)	TMTRSTSp (p = y × 32 + 20)	TMTRSTSp (p = y × 32 + 19)	TMTRSTSp (p = y × 32 + 18)	TMTRSTSp (p = y × 32 + 17)	TMTRSTSp (p = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15)	TMTRSTSp (p = y × 32 + 14)	TMTRSTSp (p = y × 32 + 13)	TMTRSTSp (p = y × 32 + 12)	TMTRSTSp (p = y × 32 + 11)	TMTRSTSp (p = y × 32 + 10)	TMTRSTSp (p = y × 32 + 9)	TMTRSTSp (p = y × 32 + 8)	TMTRSTSp (p = y × 32 + 7)	TMTRSTSp (p = y × 32 + 6)	TMTRSTSp (p = y × 32 + 5)	TMTRSTSp (p = y × 32 + 4)	TMTRSTSp (p = y × 32 + 3)	TMTRSTSp (p = y × 32 + 2)	TMTRSTSp (p = y × 32 + 1)	TMTRSTSp (p = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.67　RSCANnTMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信要求なし 1：送信要求あり
15 ～ 0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信要求なし 1：送信要求あり

TMTRSTSp フラグ（p = 0 ～ 63）

RSCANnTMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを “1”（送信を要求する）にすると、対応する TMTRSTSp フラグは “1” になります。

TMTR ビットが “0”（送信を要求しない）になると、対応する TMTRSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 16.68 にビット配置を示します。

表 16.68 TMTRSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15

16.3.11.2 RSCANnTMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ（y = 0、1）

アクセス　RSCANnTMTARSTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMTARSTSyL、RSCANnTMTARSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMTARSTSyLL、RSCANnTMTARSTSyLH、RSCANnTMTARSTSyHL、RSCANnTMTARSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RSCANnTMTARSTSy: <RSCFDn_base> + 0360_H + (04_H × y)

RSCANnTMTARSTSyL: <RSCFDn_base> + 0360_H + (04_H × y)、
RSCANnTMTARSTSyH: <RSCFDn_base> + 0362_H + (04_H × y)

RSCANnTMTARSTSyLL: <RSCFDn_base> + 0360_H + (04_H × y)、
RSCANnTMTARSTSyLH: <RSCFDn_base> + 0361_H + (04_H × y)、
RSCANnTMTARSTSyHL: <RSCFDn_base> + 0362_H + (04_H × y)、
RSCANnTMTARSTSyHH: <RSCFDn_base> + 0363_H + (04_H × y)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p = y × 32 + 31)	TMTARSTSp (p = y × 32 + 30)	TMTARSTSp (p = y × 32 + 29)	TMTARSTSp (p = y × 32 + 28)	TMTARSTSp (p = y × 32 + 27)	TMTARSTSp (p = y × 32 + 26)	TMTARSTSp (p = y × 32 + 25)	TMTARSTSp (p = y × 32 + 24)	TMTARSTSp (p = y × 32 + 23)	TMTARSTSp (p = y × 32 + 22)	TMTARSTSp (p = y × 32 + 21)	TMTARSTSp (p = y × 32 + 20)	TMTARSTSp (p = y × 32 + 19)	TMTARSTSp (p = y × 32 + 18)	TMTARSTSp (p = y × 32 + 17)	TMTARSTSp (p = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15)	TMTARSTSp (p = y × 32 + 14)	TMTARSTSp (p = y × 32 + 13)	TMTARSTSp (p = y × 32 + 12)	TMTARSTSp (p = y × 32 + 11)	TMTARSTSp (p = y × 32 + 10)	TMTARSTSp (p = y × 32 + 9)	TMTARSTSp (p = y × 32 + 8)	TMTARSTSp (p = y × 32 + 7)	TMTARSTSp (p = y × 32 + 6)	TMTARSTSp (p = y × 32 + 5)	TMTARSTSp (p = y × 32 + 4)	TMTARSTSp (p = y × 32 + 3)	TMTARSTSp (p = y × 32 + 2)	TMTARSTSp (p = y × 32 + 1)	TMTARSTSp (p = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.69　RSCANnTMTARSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信アボート要求なし 1：送信アボート要求あり
15 ～ 0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信アボート要求なし 1：送信アボート要求あり

TMTARSTSp フラグ（p = 0 ～ 63）

RSCANnTMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを “1”（送信アボートを要求する）にすると、対応する TMTARSTSp フラグは “1” になります。

TMTAR ビットが “0”（送信アボートを要求しない）になると、対応する TMTARSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 16.70 にビット配置を示します。

表 16.70 TMTARSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15

16.3.11.3 RSCANnTMTCSTSy — 送信バッファ送信完了ステータスレジスタ（y = 0、1）

アクセス RSCANnTMTCSTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMTCSTSyL、RSCANnTMTCSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMTCSTSyLL、RSCANnTMTCSTSyLH、RSCANnTMTCSTSyHL、RSCANnTMTCSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTMTCSTSy: <RSCFDn_base> + 0370_H + (04_H × y)

RSCANnTMTCSTSyL: <RSCFDn_base> + 0370_H + (04_H × y)、
RSCANnTMTCSTSyH: <RSCFDn_base> + 0372_H + (04_H × y)

RSCANnTMTCSTSyLL: <RSCFDn_base> + 0370_H + (04_H × y)、
RSCANnTMTCSTSyLH: <RSCFDn_base> + 0371_H + (04_H × y)、
RSCANnTMTCSTSyHL: <RSCFDn_base> + 0372_H + (04_H × y)、
RSCANnTMTCSTSyHH: <RSCFDn_base> + 0373_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTCSTSp (p = y × 32 + 31)	TMTCSTSp (p = y × 32 + 30)	TMTCSTSp (p = y × 32 + 29)	TMTCSTSp (p = y × 32 + 28)	TMTCSTSp (p = y × 32 + 27)	TMTCSTSp (p = y × 32 + 26)	TMTCSTSp (p = y × 32 + 25)	TMTCSTSp (p = y × 32 + 24)	TMTCSTSp (p = y × 32 + 23)	TMTCSTSp (p = y × 32 + 22)	TMTCSTSp (p = y × 32 + 21)	TMTCSTSp (p = y × 32 + 20)	TMTCSTSp (p = y × 32 + 19)	TMTCSTSp (p = y × 32 + 18)	TMTCSTSp (p = y × 32 + 17)	TMTCSTSp (p = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTCSTSp (p = y × 32 + 15)	TMTCSTSp (p = y × 32 + 14)	TMTCSTSp (p = y × 32 + 13)	TMTCSTSp (p = y × 32 + 12)	TMTCSTSp (p = y × 32 + 11)	TMTCSTSp (p = y × 32 + 10)	TMTCSTSp (p = y × 32 + 9)	TMTCSTSp (p = y × 32 + 8)	TMTCSTSp (p = y × 32 + 7)	TMTCSTSp (p = y × 32 + 6)	TMTCSTSp (p = y × 32 + 5)	TMTCSTSp (p = y × 32 + 4)	TMTCSTSp (p = y × 32 + 3)	TMTCSTSp (p = y × 32 + 2)	TMTCSTSp (p = y × 32 + 1)	TMTCSTSp (p = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.71 RSCANnTMTCSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信未完了 1：送信完了
15 ～ 0	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信未完了 1：送信完了

TMTCSTSp フラグ（p = 0 ～ 63）

RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、送信アボート要求なし）または “11_B”（送信完了、送信アボート要求あり）になると、対応する TMTCSTSp フラグは “1” になります。

TMTCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 16.72 にビット配置を示します。

表 16.72 TMTCSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15

16.3.11.4 RSCANnTMTASTSy — 送信バッファ送信アボートステータスレジスタ（y = 0、1）

アクセス RSCANnTMTASTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMTASTSyL、RSCANnTMTASTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMTASTSyLL、RSCANnTMTASTSyLH、RSCANnTMTASTSyHL、RSCANnTMTASTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTMTASTSy: <RSCFDn_base> + 0380_H + (04_H × y)

RSCANnTMTASTSyL: <RSCFDn_base> + 0380_H + (04_H × y)、
RSCANnTMTASTSyH: <RSCFDn_base> + 0382_H + (04_H × y)

RSCANnTMTASTSyLL: <RSCFDn_base> + 0380_H + (04_H × y)、
RSCANnTMTASTSyLH: <RSCFDn_base> + 0381_H + (04_H × y)、
RSCANnTMTASTSyHL: <RSCFDn_base> + 0382_H + (04_H × y)、
RSCANnTMTASTSyHH: <RSCFDn_base> + 0383_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p = y × 32 + 31)	TMTASTSp (p = y × 32 + 30)	TMTASTSp (p = y × 32 + 29)	TMTASTSp (p = y × 32 + 28)	TMTASTSp (p = y × 32 + 27)	TMTASTSp (p = y × 32 + 26)	TMTASTSp (p = y × 32 + 25)	TMTASTSp (p = y × 32 + 24)	TMTASTSp (p = y × 32 + 23)	TMTASTSp (p = y × 32 + 22)	TMTASTSp (p = y × 32 + 21)	TMTASTSp (p = y × 32 + 20)	TMTASTSp (p = y × 32 + 19)	TMTASTSp (p = y × 32 + 18)	TMTASTSp (p = y × 32 + 17)	TMTASTSp (p = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15)	TMTASTSp (p = y × 32 + 14)	TMTASTSp (p = y × 32 + 13)	TMTASTSp (p = y × 32 + 12)	TMTASTSp (p = y × 32 + 11)	TMTASTSp (p = y × 32 + 10)	TMTASTSp (p = y × 32 + 9)	TMTASTSp (p = y × 32 + 8)	TMTASTSp (p = y × 32 + 7)	TMTASTSp (p = y × 32 + 6)	TMTASTSp (p = y × 32 + 5)	TMTASTSp (p = y × 32 + 4)	TMTASTSp (p = y × 32 + 3)	TMTASTSp (p = y × 32 + 2)	TMTASTSp (p = y × 32 + 1)	TMTASTSp (p = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.73 RSCANnTMTASTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信アボートなし 1：送信アボートあり
15 ～ 0	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信アボートなし 1：送信アボートあり

TMTASTSp フラグ（p = 0 ～ 63）

RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると、対応する TMTASTSp フラグは “1” になります。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 16.74 にビット配置を示します。

表 16.74 TMTASTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15

16.3.12 送信キュー関連レジスタの詳細

16.3.12.1 RSCANnTXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0 ～ 3）

アクセス RSCANnTXQCCm レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTXQCCmL、RSCANnTXQCCmH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTXQCCmLL、RSCANnTXQCCmLH、RSCANnTXQCCmHL、RSCANnTXQCCmHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnTXQCCm: <RSCFDn_base> + $03A0_H$ + (04_H × m)

RSCANnTXQCCmL: <RSCFDn_base> + $03A0_H$ + (04_H × m)、
RSCANnTXQCCmH: <RSCFDn_base> + $03A2_H$ + (04_H × m)

RSCANnTXQCCmLL: <RSCFDn_base> + $03A0_H$ + (04_H × m)、
RSCANnTXQCCmLH: <RSCFDn_base> + $03A1_H$ + (04_H × m)、
RSCANnTXQCCmHL: <RSCFDn_base> + $03A2_H$ + (04_H × m)、
RSCANnTXQCCmHH: <RSCFDn_base> + $03A3_H$ + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC [3:0]				—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 16.75 RSCANnTXQCCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0：送信完了によって送信キューが空になったときに発生 1：1 メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0：送信キュー割り込み禁止 1：送信キュー割り込み許可
11 ～ 8	TXQDC [3:0]	送信キュー段数設定ビット 設定値を g（g = 2 ~ 15）とすると、g+1 の送信キューを使用できます。 “0” を設定すると、送信キューは使用できません。 “1” は設定しないでください。
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0：送信キューを使用しない 1：送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを “1” に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを “0” にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に（m × 16 + 15）から（m × 16 + 0）まで順番に割り付けられます（**表 16.14** を参照）。バッファの割り当て例については、**図 16.9** を参照してください。このビットはチャネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1” にすると送信キューを使用できます。このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。チャネルリセットモード時、“0” になります。

TXQDC[3:0] ビットの値を “0010_B” 以上に設定してから TXQE ビットを “1” にしてください。

16.3.12.2 RSCANnTXQSTSm — 送信キューステータスレジスタ（m = 0 ～ 3）

アクセス RSCANnTXQSTSm レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTXQSTSmL、RSCANnTXQSTSmH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTXQSTSmLL、RSCANnTXQSTSmLH、RSCANnTXQSTSmHL、RSCANnTXQSTSmHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnTXQSTSm: <RSCFDn_base> + $03C0_H$ + (04_H × m)

RSCANnTXQSTSmL: <RSCFDn_base> + $03C0_H$ + (04_H × m)、
RSCANnTXQSTSmH: <RSCFDn_base> + $03C2_H$ + (04_H × m)

RSCANnTXQSTSmLL: <RSCFDn_base> + $03C0_H$ + (04_H × m)、
RSCANnTXQSTSmLH: <RSCFDn_base> + $03C1_H$ + (04_H × m)、
RSCANnTXQSTSmHL: <RSCFDn_base> + $03C2_H$ + (04_H × m)、
RSCANnTXQSTSmHH: <RSCFDn_base> + $03C3_H$ + (04_H × m)

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFLL	TXQEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.76 RSCANnTXQSTSm レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0：送信キューフルではない 1：送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0：送信キューにメッセージあり 1：送信キューにメッセージなし（送信キュー空）

TXQIF フラグ

RSCANnTXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1” になります。

TXQIF フラグへの “0” 書き込み、またはチャネルリセットモード時、“0” になります。
TXQIF フラグは、RSCANnTXQCCm レジスタの TXQE ビットを “0”（送信キューを使用しない）にしても “0” になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCANnTXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で “0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャネルリセットモード時

TXQEMP フラグ

メッセージを 1 つでも送信キューに設定すると、TXQEMP フラグは “0” になります。

次の条件で、“1” になります。

- TXQE ビットを “0”（送信キューを使用しない）にしたとき
- 送信キューが空になったとき
- チャネルリセットモード時

16.3.12.3 RSCANnTXQPCTRm — 送信キューポインタ制御レジスタ（m = 0 ～ 3）

アクセス RSCANnTXQPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCANnTXQPCTRmL、RSCANnTXQPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCANnTXQPCTRmLL、RSCANnTXQPCTRmLH、RSCANnTXQPCTRmHL、RSCANnTXQPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCANnTXQPCTRm: <RSCFDn_base> + $03E0_H$ + (04_H × m)

RSCANnTXQPCTRmL: <RSCFDn_base> + $03E0_H$ + (04_H × m)、
RSCANnTXQPCTRmH: <RSCFDn_base> + $03E2_H$ + (04_H × m)

RSCANnTXQPCTRmLL: <RSCFDn_base> + $03E0_H$ + (04_H × m)、
RSCANnTXQPCTRmLH: <RSCFDn_base> + $03E1_H$ + (04_H × m)、
RSCANnTXQPCTRmHL: <RSCFDn_base> + $03E2_H$ + (04_H × m)、
RSCANnTXQPCTRmHH: <RSCFDn_base> + $03E3_H$ + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 16.77 RSCANnTXQPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	TXQPC [7:0]	送信キューポインタ制御 “FF_H” を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに “FF_H” を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCANnTMIDp、RSCANnTMPTRp、RSCANnTMDF0_p、RSCANnTMDF1_p レジスタ（p = 15、31、47、63）に送信メッセージを書いた後に、TXQPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCANnTXQCCm レジスタの TXQE ビットが “1”（送信キューを使用する）で、RSCANnTXQSTSm レジスタの TXQFLL フラグが “0”（フルではない）の場合にのみ行ってください。

16.3.13 送信履歴関連レジスタの詳細

16.3.13.1 RSCANnTHLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0 ～ 3）

アクセス RSCANnTHLCCm レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTHLCCmL、RSCANnTHLCCmH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTHLCCmLL、RSCANnTHLCCmLH、RSCANnTHLCCmHL、RSCANnTHLCCmHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnTHLCCm: <RSCFDn_base> + 0400_H + (04_H × m)

RSCANnTHLCCmL: <RSCFDn_base> + 0400_H + (04_H × m)、
RSCANnTHLCCmH: <RSCFDn_base> + 0402_H + (04_H × m)

RSCANnTHLCCmLL: <RSCFDn_base> + 0400_H + (04_H × m)、
RSCANnTHLCCmLH: <RSCFDn_base> + 0401_H + (04_H × m)、
RSCANnTHLCCmHL: <RSCFDn_base> + 0402_H + (04_H × m)、
RSCANnTHLCCmHH: <RSCFDn_base> + 0403_H + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 16.78 RSCANnTHLCCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0：送受信 FIFO、送信キューからのエントリ 1：送信バッファ、送受信 FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0：送信履歴バッファに 12 データ格納されたとき 1：1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0：送信履歴割り込み禁止 1：送信履歴割り込み許可
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0：送信履歴バッファを使用しない 1：送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを “1” に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが “0” の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1” にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

チャネルリセットモード時、“0” になります。

16.3.13.2 RSCANnTHLSTSm — 送信履歴ステータスレジスタ（m = 0 ～ 3）

アクセス RSCANnTHLSTSm レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTHLSTSmL、RSCANnTHLSTSmH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTHLSTSmLL、RSCANnTHLSTSmLH、RSCANnTHLSTSmHL、RSCANnTHLSTSmHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnTHLSTSm: <RSCFDn_base> + 0420_H + (04_H × m)

RSCANnTHLSTSmL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCANnTHLSTSmH: <RSCFDn_base> + 0422_H + (04_H × m)

RSCANnTHLSTSmLL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCANnTHLSTSmLH: <RSCFDn_base> + 0421_H + (04_H × m)、
RSCANnTHLSTSmHL: <RSCFDn_base> + 0422_H + (04_H × m)、
RSCANnTHLSTSmHH: <RSCFDn_base> + 0423_H + (04_H × m)

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC [4:0]					—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.79 RSCANnTHLSTSm レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～ 8	THLMC [4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバフローフラグ 0：送信履歴バッファオーバフローではない 1：送信履歴バッファオーバフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0：送信履歴バッファフルではない 1：送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0：送信履歴バッファに未読データあり 1：送信履歴バッファに未読データなし（バッファ空）

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。チャネルリセットモード時、“0” になります。

THLIF フラグ

RSCANnTHLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1” になります。

プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき “1” になります。この場合、新しいデータは破棄されます。プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLFLL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1” になります。格納数が 16 個より少なくなると “0” になります。RSCANnTHLCCm レジスタの THLE ビットが “0”（送信履歴バッファを使用しない）のとき、またはチャネルリセットモード時、“0” になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると “0” になります。

送信履歴バッファのすべてのデータを読むと “1” になります。RSCANnTHLCCm レジスタの THLE ビットを “0”（送信履歴バッファを使用しない）にしたとき、またはチャネルリセットモード時、“1” になります。

備　考

THLIF 、THLELT フラグを “0” にする場合は、プログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いてください。

16.3.13.3 RSCANnTHLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0 ～ 3）

アクセス RSCANnTHLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCANnTHLPCTRmL、RSCANnTHLPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCANnTHLPCTRmLL、RSCANnTHLPCTRmLH、RSCANnTHLPCTRmHL、RSCANnTHLPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCANnTHLPCTRm: <RSCFDn_base> + 0440_H + (04_H × m)

RSCANnTHLPCTRmL: <RSCFDn_base> + 0440_H + (04_H × m)、
RSCANnTHLPCTRmH: <RSCFDn_base> + 0442_H + (04_H × m)

RSCANnTHLPCTRmLL: <RSCFDn_base> + 0440_H + (04_H × m)、
RSCANnTHLPCTRmLH: <RSCFDn_base> + 0441_H + (04_H × m)、
RSCANnTHLPCTRmHL: <RSCFDn_base> + 0442_H + (04_H × m)、
RSCANnTHLPCTRmHH: <RSCFDn_base> + 0443_H + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 16.80 RSCANnTHLPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	THLPC [7:0]	送信履歴リストポインタ制御 “FF_H” を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに “FF_H” を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCANnTHLSTSm レジスタの THLMC[4:0] ビット（送信履歴バッファ未読数カウンタ）の値が 1 減算されます。RSCANnTHLACCm レジスタを読んだあと、THLPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCANnTHLCCm レジスタの THLE ビットが “1”（送信履歴バッファを使用する）で、RSCANnTHLSTSm レジスタの THLEMP フラグが “0” のときのみ行ってください。

16.3.13.4 RSCANnTHLACCm — 送信履歴アクセスレジスタ（m = 0 ～ 3）

アクセス RSCANnTHLACCm レジスタは、32 ビット単位でリードのみです。
RSCANnTHLACCmL、RSCANnTHLACCmH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTHLACCmLL、RSCANnTHLACCmLH、RSCANnTHLACCmHL、RSCANnTHLACCmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCANnTHLACCm: <RSCFDn_base> + 1800_H + (04_H × m)

RSCANnTHLACCmL: <RSCFDn_base> + 1800_H + (04_H × m)、
RSCANnTHLACCmH: <RSCFDn_base> + 1802_H + (04_H × m)

RSCANnTHLACCmLL: <RSCFDn_base> + 1800_H + (04_H × m)、
RSCANnTHLACCmLH: <RSCFDn_base> + 1801_H + (04_H × m)、
RSCANnTHLACCmHL: <RSCFDn_base> + 1802_H + (04_H × m)、
RSCANnTHLACCmHH: <RSCFDn_base> + 1803_H + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]								—	BN[3:0]				BT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.81 RSCANnTHLACCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTS[15:0]	タイムスタンプデータ 格納されたデータのタイムスタンプデータが読めます。
15 ～ 8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 3	BN[3:0]	バッファ番号データ 送信元の送信バッファ／送受信 FIFO ／送信キュー番号が読めます。
2 ～ 0	BT[2:0]	バッファタイプデータ b2 b1 b0 0 0 1：送信バッファ 0 1 0：送受信 FIFO バッファ 1 0 0：送信キュー

TMTS[15:0] ビット

RSCANnGCFG レジスタの TMTSCE ビットが “1” のとき、送信履歴バッファに格納された送信履歴データの

タイムスタンプ値を表示します。TMTSCE ビットが “0” のとき、常に “0” が読めます。

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

16.3.14 テスト関連レジスタの詳細

16.3.14.1 RSCANnGTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス RSCANnGTSTCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGTSTCFGL、RSCANnGTSTCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGTSTCFGLL、RSCANnGTSTCFGLH、RSCANnGTSTCFGHL、RSCANnGTSTCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGTSTCFG: <RSCFDn_base> + 0468_H

RSCANnGTSTCFGL: <RSCFDn_base> + 0468_H、RSCANnGTSTCFGH: <RSCFDn_base> + $046A_H$

RSCANnGTSTCFGLL: <RSCFDn_base> + 0468_H、RSCANnGTSTCFGLH: <RSCFDn_base> + 0469_H、
RSCANnGTSTCFGHL: <RSCFDn_base> + $046A_H$、RSCANnGTSTCFGHH: <RSCFDn_base> + $046B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS [6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	C3ICBCE	C2ICBCE	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 16.82 RSCANnGTSTCFG レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 16	RTMPS [6:0]	RAM テストページ設定ビット ページ 0（00_H）～ 49（31_H）ページの範囲で設定
15 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	C3ICBCE	CAN3 チャネル間通信テスト許可ビット 0：CAN3 チャネル間通信テスト禁止 1：CAN3 チャネル間通信テスト許可
2	C2ICBCE	CAN2 チャネル間通信テスト許可ビット 0：CAN2 チャネル間通信テスト禁止 1：CAN2 チャネル間通信テスト許可
1	C1ICBCE	CAN1 チャネル間通信テスト許可ビット 0：CAN1 チャネル間通信テスト禁止 1：CAN1 チャネル間通信テスト許可
0	C0ICBCE	CAN0 チャネル間通信テスト許可ビット 0：CAN0 チャネル間通信テスト禁止 1：CAN0 チャネル間通信テスト許可

RSCANnGTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ～ 31_H 以外の値を設定しないでください。

C3ICBCE ビット

“1” にすると、チャネル 3 のチャネル間通信テストが許可になります。

グローバルリセットモード時、“0” になります。

C2ICBCE ビット

“1” にすると、チャネル 2 のチャネル間通信テストが許可になります。

グローバルリセットモード時、“0” になります。

C1ICBCE ビット

“1” にすると、チャネル 1 のチャネル間通信テストが許可になります。

グローバルリセットモード時、“0” になります。

C0ICBCE ビット

“1” にすると、チャネル 0 のチャネル間通信テストが許可になります。

グローバルリセットモード時、“0” になります。

16.3.14.2 RSCANnGTSTCTR — グローバルテスト制御レジスタ

アクセス RSCANnGTSTCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGTSTCTRL、RSCANnGTSTCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGTSTCTRLL、RSCANnGTSTCTRLH、RSCANnGTSTCTRHL、RSCANnGTSTCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnGTSTCTR: <RSCFDn_base> + $046C_H$

RSCANnGTSTCTRL: <RSCFDn_base> + $046C_H$、RSCANnGTSTCTRH: <RSCFDn_base> + $046E_H$

RSCANnGTSTCTRLL: <RSCFDn_base> + $046C_H$、RSCANnGTSTCTRLH: <RSCFDn_base> + $046D_H$、
RSCANnGTSTCTRHL: <RSCFDn_base> + $046E_H$、RSCANnGTSTCTRHH: <RSCFDn_base> + $046F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 16.83 RSCANnGTSTCTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0：RAM テスト禁止 1：RAM テスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICBCTME	チャネル間通信テスト許可ビット 0：チャネル間通信テスト禁止 1：チャネル間通信テスト許可

RTME ビット

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。グローバルリセットモード時、“0” になります。

1. RSCANnGCTR レジスタの GMDC[1:0] ビットを “10_B”（グローバルテストモード）にする。
2. RTME ビットを “1” にする。
3. RTME ビットが “1” になったことを確認する。

RAM テストの設定手順については、**「図 16.37 RAM テストの設定手順」**を参照してください。

ICBCTME ビット

“1” にすると、RSCANnGTSTCFG レジスタの CmICBCE ビット（m = 0 ~ 3）を “1” に設定したチャネルのチャネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。グローバルリセットモード時、“0” になります。

16.3.14.3 RSCANnGLOCKK — グローバルロックキーレジスタ

アクセス RSCANnGLOCKK レジスタは、32 ビット単位でライトのみ可能です。
RSCANnGLOCKKL、RSCANnGLOCKKH レジスタは、16 ビット単位でライトのみ可能です。

アドレス RSCANnGLOCKK: <RSCFDn_base> + $047C_H$

RSCANnGLOCKKL: <RSCFDn_base> + $047C_H$、RSCANnGLOCKKH: <RSCFDn_base> + $047E_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1	W 注1

注 1. RS-CANFD モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表 16.84 RSCANnGLOCKK レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	ライトする場合はリセット後の値を書いてください。
15 ～ 0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCANnGLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、**「16.11.4.2 プロテクト解除手順」**を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCANnGTSTCTR レジスタの RTME ビットへの “1” 書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域（<RSCFDn_base> + 0000_H ～ <RSCFDn_base> + $04FF_H$）に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

16.3.14.4 RSCANnRPGACCr — RAM テストページアクセスレジスタ（r = 0 ~ 63）

アクセス RSCANnRPGACCr レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnRPGACCrL、RSCANnRPGACCrH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnRPGACCrLL、RSCANnRPGACCrLH、RSCANnRPGACCrHL、RSCANnRPGACCrHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCANnRPGACCr: <RSCFDn_base> + 1900_H + (04_H × r)

RSCANnRPGACCrL: <RSCFDn_base> + 1900_H + (04_H × r)、
RSCANnRPGACCrH: <RSCFDn_base> + 1902_H + (04_H × r)

RSCANnRPGACCrLL: <RSCFDn_base> + 1900_H + (04_H × r)、
RSCANnRPGACCrLH: <RSCFDn_base> + 1901_H + (04_H × r)、
RSCANnRPGACCrHL: <RSCFDn_base> + 1902_H + (04_H × r)、
RSCANnRPGACCrHH: <RSCFDn_base> + 1903_H + (04_H × r)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA [31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.85 RSCANnRPGACCr レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RDTA [31:0]	RAM データテストアクセス CAN 用 RAM データの読み書きができます。

RSCANnRPGACCr レジスタは、グローバルテストモードでかつ RSCANnGTSTCTR レジスタの RTME ビットが “1”（RAM テスト許可）の状態で書き換えてください。

RTME ビットが “1” のときに、RSCANnRPGACCr レジスタへの読み書きができます。

16.4 レジスタ（CAN FD モード）

この節では、RS-CANFD を CAN FD モードで使用する場合のすべてのレジスタについて説明します。

16.4.1 レジスタ一覧

CAN FD モードで使用する場合の RS-CANFD のレジスタ一覧を以下の表に示します。

<RSCFDn_base> は**「16.1.2 レジスタベースアドレス」**を参照してください。

なお、グローバルリセットモードやチャネルリセットモードで初期化されるレジスタについては以下をご参照ください。

- **「表 16.174 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスタ一覧」**
- **「表 16.175 グローバルリセットモードでのみ初期化されるレジスタ一覧」**

表 16.86 レジスタ一覧 (1/4)

モジュール名	レジスタ名	略号	アドレス
インタフェースモード関連レジスタ			
RSCFDn	グローバルインタフェースモード選択レジスタ	RSCFDnCFDGRMCFG	<RSCFDn_base> + $04FC_H$
チャネル関連レジスタ			
RSCFDn	チャネル m 通常ビットレートコンフィグレーションレジスタ	RSCFDnCFDCmNCFG	<RSCFDn_base> + 0000_H + (10_H × m)
RSCFDn	チャネル m 制御レジスタ	RSCFDnCFDCmCTR	<RSCFDn_base> + 0004_H + (10_H × m)
RSCFDn	チャネル m ステータスレジスタ	RSCFDnCFDCmSTS	<RSCFDn_base> + 0008_H + (10_H × m)
RSCFDn	チャネル m エラーフラグレジスタ	RSCFDnCFDCmERFL	<RSCFDn_base> + $000C_H$ + (10_H × m)
RSCFDn	チャネル m データビットレートコンフィグレーションレジスタ	RSCFDnCFDCmDCFG	<RSCFDn_base> + 0500_H + (20_H × m)
RSCFDn	チャネル m CAN FD コンフィグレーションレジスタ	RSCFDnCFDCmFDCFG	<RSCFDn_base> + 0504_H + (20_H × m)
RSCFDn	チャネル m CAN FD 制御レジスタ	RSCFDnCFDCmFDCTR	<RSCFDn_base> + 0508_H + (20_H × m)
RSCFDn	チャネル m CAN FD ステータスレジスタ	RSCFDnCFDCmFDSTS	<RSCFDn_base> + $050C_H$ + (20_H × m)
RSCFDn	チャネル m CAN FD CRC レジスタ	RSCFDnCFDCmFDCRC	<RSCFDn_base> + 0510_H + (20_H × m)
グローバル関連レジスタ			
RSCFDn	グローバルコンフィグレーションレジスタ	RSCFDnCFDGCFG	<RSCFDn_base> + 0084_H
RSCFDn	グローバル制御レジスタ	RSCFDnCFDGCTR	<RSCFDn_base> + 0088_H
RSCFDn	グローバルステータスレジスタ	RSCFDnCFDGSTS	<RSCFDn_base> + $008C_H$
RSCFDn	グローバルエラーフラグレジスタ	RSCFDnCFDGERFL	<RSCFDn_base> + 0090_H
RSCFDn	グローバルタイムスタンプカウンタレジスタ	RSCFDnCFDGTSC	<RSCFDn_base> + 0094_H
RSCFDn	グローバル TX 割り込みステータスレジスタ 0	RSCFDnCFDGTINTSTS0	<RSCFDn_base> + 0460_H
RSCFDn	グローバル FD コンフィグレーションレジスタ	RSCFDnCFDGFDCFG	<RSCFDn_base> + 0474_H

表 16.86 レジスター覧 (2/4)

モジュール名	レジスタ名	略号	アドレス
受信ルール関連レジスタ			
RSCFDn	受信ルールエントリ制御レジスタ	RSCFDnCFDGAFLECTR	<RSCFDn_base> + 0098_H
RSCFDn	受信ルールコンフィグレーションレジスタ 0	RSCFDnCFDGAFLCFG0	<RSCFDn_base> + $009C_H$
RSCFDn	受信ルール ID レジスタ j	RSCFDnCFDGAFLIDj	<RSCFDn_base> + 1000_H + (10_H × j)
RSCFDn	受信ルールマスクレジスタ j	RSCFDnCFDGAFLMj	<RSCFDn_base> + 1004_H + (10_H × j)
RSCFDn	受信ルールポインタ 0 レジスタ j	RSCFDnCFDGAFLP0_j	<RSCFDn_base> + 1008_H + (10_H × j)
RSCFDn	受信ルールポインタ 1 レジスタ j	RSCFDnCFDGAFLP1_j	<RSCFDn_base> + $100C_H$ + (10_H × j)
受信バッファ関連レジスタ			
RSCFDn	受信バッファナンバレジスタ	RSCFDnCFDRMNB	<RSCFDn_base> + $00A4_H$
RSCFDn	受信バッファ新データレジスタ y	RSCFDnCFDRMNDy	<RSCFDn_base> + $00A8_H$ + (04_H × y)
RSCFDn	受信バッファ ID レジスタ q	RSCFDnCFDRMIDq	<RSCFDn_base> + 2000_H + (20_H × q)
RSCFDn	受信バッファポインタレジスタ q	RSCFDnCFDRMPTRq	<RSCFDn_base> + 2004_H + (20_H × q)
RSCFDn	受信バッファ CAN FD ステータスレジスタ q	RSCFDnCFDRMFDSTSq	<RSCFDn_base> + 2008_H + (20_H × q)
RSCFDn	受信バッファデータフィールド b レジスタ q	RSCFDnCFDRMDFb_q	<RSCFDn_base> + $200C_H$ + (04_H × b) + (20_H × q)
受信 FIFO バッファ関連レジスタ			
RSCFDn	受信 FIFO バッファコンフィグレーション／制御レジスタ x	RSCFDnCFDRFCCx	<RSCFDn_base> + $00B8_H$ + (04_H × x)
RSCFDn	受信 FIFO バッファステータスレジスタ x	RSCFDnCFDRFSTSx	<RSCFDn_base> + $00D8_H$ + (04_H × x)
RSCFDn	受信 FIFO バッファポインタ制御レジスタ x	RSCFDnCFDRFPCTRx	<RSCFDn_base> + $00F8_H$ + (04_H × x)
RSCFDn	受信 FIFO バッファアクセス ID レジスタ x	RSCFDnCFDRFIDx	<RSCFDn_base> + 3000_H + (80_H × x)
RSCFDn	受信 FIFO バッファアクセスポインタレジスタ x	RSCFDnCFDRFPTRx	<RSCFDn_base> + 3004_H + (80_H × x)
RSCFDn	受信 FIFO CAN FD ステータスレジスタ x	RSCFDnCFDRFFDSTSx	<RSCFDn_base> + 3008_H + (80_H × x)
RSCFDn	受信 FIFO バッファアクセスデータフィールド d レジスタ x	RSCFDnCFDRFDFd_x	<RSCFDn_base> + $300C_H$ + (04_H × d) + (80_H × x)
送受信 FIFO バッファ関連レジスタ			
RSCFDn	送受信 FIFO バッファコンフィグレーション／制御レジスタ k	RSCFDnCFDCFCCk	<RSCFDn_base> + 0118_H + (04_H × k)
RSCFDn	送受信 FIFO バッファステータスレジスタ k	RSCFDnCFDCFSTSk	<RSCFDn_base> + 0178_H + (04_H × k)
RSCFDn	送受信 FIFO バッファポインタ制御レジスタ k	RSCFDnCFDCFPCTRk	<RSCFDn_base> + $01D8_H$ + (04_H × k)
RSCFDn	送受信 FIFO バッファアクセス ID レジスタ k	RSCFDnCFDCFIDk	<RSCFDn_base> + 3400_H + (80_H × k)
RSCFDn	送受信 FIFO バッファアクセスポインタレジスタ k	RSCFDnCFDCFPTRk	<RSCFDn_base> + 3404_H + (80_H × k)

表 16.86 レジスタ一覧 (3/4)

モジュール名	レジスタ名	略号	アドレス
RSCFDn	送受信 FIFO CAN FD コンフィグレーション／ステータスレジスタ k	RSCFDnCFDCFFDCSTSk	<RSCFDn_base> + 3408_H + (80_H × k)
RSCFDn	送受信 FIFO バッファアクセスデータフィールド d レジスタ k	RSCFDnCFDCFDFd_k	<RSCFDn_base> + $340C_H$ + (04_H × d) + (80_H × k)
FIFO ステータス関連レジスタ			
RSCFDn	FIFO エンプティステータスレジスタ	RSCFDnCFDFESTS	<RSCFDn_base> + 0238_H
RSCFDn	FIFO フルステータスレジスタ	RSCFDnCFDFFSTS	<RSCFDn_base> + $023C_H$
RSCFDn	FIFO メッセージロストステータスレジスタ	RSCFDnCFDFMSTS	<RSCFDn_base> + 0240_H
RSCFDn	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCFDnCFDRFISTS	<RSCFDn_base> + 0244_H
RSCFDn	送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ	RSCFDnCFDCFRISTS	<RSCFDn_base> + 0248_H
RSCFDn	送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ	RSCFDnCFDCFTISTS	<RSCFDn_base> + $024C_H$
送信バッファ関連レジスタ			
RSCFDn	送信バッファ制御レジスタ p	RSCFDnCFDTMCp	<RSCFDn_base> + 0250_H + (01_H × p)
RSCFDn	送信バッファステータスレジスタ p	RSCFDnCFDTMSTSp	<RSCFDn_base> + $02D0_H$ + (01_H × p)
RSCFDn	送信バッファ ID レジスタ p	RSCFDnCFDTMIDp	<RSCFDn_base> + 4000_H + (20_H × p)
RSCFDn	送信バッファポインタレジスタ p	RSCFDnCFDTMPTRp	<RSCFDn_base> + 4004_H + (20_H × p)
RSCFDn	送信バッファ CAN FD コンフィグレーションレジスタ p	RSCFDnCFDTMFDCTRp	<RSCFDn_base> + 4008_H + (20_H × p)
RSCFDn	送信バッファデータフィールド b レジスタ p	RSCFDnCFDTMDFb_p	<RSCFDn_base> + $400C_H$ + (04_H × b) + (20_H × p)
RSCFDn	送信バッファ割り込みイネーブルコンフィグレーションレジスタ y	RSCFDnCFDTMIECy	<RSCFDn_base> + 0390_H + (04_H × y)
送信バッファステータス関連レジスタ			
RSCFDn	送信バッファ送信要求ステータスレジスタ y	RSCFDnCFDTMTRSTSy	<RSCFDn_base> + 0350_H + (04_H × y)
RSCFDn	送信バッファ送信アボート要求ステータスレジスタ y	RSCFDnCFDTMTARSTSy	<RSCFDn_base> + 0360_H + (04_H × y)
RSCFDn	送信バッファ送信完了ステータスレジスタ y	RSCFDnCFDTMTCSTSy	<RSCFDn_base> + 0370_H + (04_H × y)
RSCFDn	送信バッファ送信アボートステータスレジスタ y	RSCFDnCFDTMTASTSy	<RSCFDn_base> + 0380_H + (04_H × y)
送信キュー関連レジスタ			
RSCFDn	送信キューコンフィグレーション／制御レジスタ m	RSCFDnCFDTXQCCm	<RSCFDn_base> + $03A0_H$ + (04_H × m)
RSCFDn	送信キューステータスレジスタ m	RSCFDnCFDTXQSTSm	<RSCFDn_base> + $03C0_H$ + (04_H × m)
RSCFDn	送信キューポインタ制御レジスタ m	RSCFDnCFDTXQPCTRm	<RSCFDn_base> + $03E0_H$ + (04_H × m)
送信履歴関連レジスタ			
RSCFDn	送信履歴コンフィグレーション／制御レジスタ m	RSCFDnCFDTHLCCm	<RSCFDn_base> + 0400_H + (04_H × m)
RSCFDn	送信履歴ステータスレジスタ m	RSCFDnCFDTHLSTSm	<RSCFDn_base> + 0420_H + (04_H × m)
RSCFDn	送信履歴ポインタ制御レジスタ m	RSCFDnCFDTHLPCTRm	<RSCFDn_base> + 0440_H + (04_H × m)

表 16.86 レジスタ一覧 (4/4)

モジュール名	レジスタ名	略号	アドレス
RSCFDn	送信履歴アクセスレジスタ m	RSCFDnCFDTHLACCm	<RSCFDn_base> + 6000_H + (04_H × m)
テスト関連レジスタ			
RSCFDn	グローバルテストコンフィグレーションレジスタ	RSCFDnCFDGTSTCFG	<RSCFDn_base> + 0468_H
RSCFDn	グローバルテスト制御レジスタ	RSCFDnCFDGTSTCTR	<RSCFDn_base> + $046C_H$
RSCFDn	グローバルロックキーレジスタ	RSCFDnCFDGLOCKK	<RSCFDn_base> + $047C_H$
RSCFDn	RAM テストページアクセスレジスタ r	RSCFDnCFDRPGACCr	<RSCFDn_base> + 6400_H + (04_H × r)

表 16.87 各チャネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ 16 × m + 0
	送信バッファ 16 × m + 1
	送信バッファ 16 × m + 2
	送信バッファ 16 × m + 3
	送信バッファ 16 × m + 4
	送信バッファ 16 × m + 5
	送信バッファ 16 × m + 6
	送信バッファ 16 × m + 7
	送信バッファ 16 × m + 8
	送信バッファ 16 × m + 9
	送信バッファ 16 × m + 10
	送信バッファ 16 × m + 11
	送信バッファ 16 × m + 12
	送信バッファ 16 × m + 13
	送信バッファ 16 × m + 14
	送信バッファ 16 × m + 15

表 16.88 各チャネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ 3 × m + 0
	送受信 FIFO バッファ 3 × m + 1
	送受信 FIFO バッファ 3 × m + 2

表 16.89 CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[3:0] ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000_B	送信バッファ 16 × m + 0
0001_B	送信バッファ 16 × m + 1
0010_B	送信バッファ 16 × m + 2
0011_B	送信バッファ 16 × m + 3
0100_B	送信バッファ 16 × m + 4
0101_B	送信バッファ 16 × m + 5
0110_B	送信バッファ 16 × m + 6
0111_B	送信バッファ 16 × m + 7
1000_B	送信バッファ 16 × m + 8
1001_B	送信バッファ 16 × m + 9
1010_B	送信バッファ 16 × m + 10
1011_B	送信バッファ 16 × m + 11
1100_B	送信バッファ 16 × m + 12
1101_B	送信バッファ 16 × m + 13
1110_B	送信バッファ 16 × m + 14
1111_B	送信バッファ 16 × m + 15

表 16.90 各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC [3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p
0000_B	設定しないでください。
0001_B	設定しないでください。
0010_B	送信バッファ 16 × m + 15 ～ 16 × m + 13
0011_B	送信バッファ 16 × m + 15 ～ 16 × m + 12
0100_B	送信バッファ 16 × m + 15 ～ 16 × m + 11
0101_B	送信バッファ 16 × m + 15 ～ 16 × m + 10
0110_B	送信バッファ 16 × m + 15 ～ 16 × m + 9
0111_B	送信バッファ 16 × m + 15 ～ 16 × m + 8
1000_B	送信バッファ 16 × m + 15 ～ 16 × m + 7
1001_B	送信バッファ 16 × m + 15 ～ 16 × m + 6
1010_B	送信バッファ 16 × m + 15 ～ 16 × m + 5
1011_B	送信バッファ 16 × m + 15 ～ 16 × m + 4
1100_B	送信バッファ 16 × m + 15 ～ 16 × m + 3
1101_B	送信バッファ 16 × m + 15 ～ 16 × m + 2
1110_B	送信バッファ 16 × m + 15 ～ 16 × m + 1
1111_B	送信バッファ 16 × m + 15 ～ 16 × m + 0

16.4.2 インタフェースモード関連レジスタの詳細

16.4.2.1 RSCFDnCFDGRMCFG — グローバルインタフェースモード選択レジスタ

アクセス RSCFDnCFDGRMCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGRMCFGL、RSCFDnCFDGRMCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGRMCFGLL、RSCFDnCFDGRMCFGLH、RSCFDnCFDGRMCFGHL、RSCFDnCFDGRMCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGRMCFG: <RSCFDn_base> + $04FC_H$

RSCFDnCFDGRMCFGL: <RSCFDn_base> + $04FC_H$ 、
RSCFDnCFDGRMCFGH: <RSCFDn_base> + $04FE_H$

RSCFDnCFDGRMCFGLL: <RSCFDn_base> + $04FC_H$ 、
RSCFDnCFDGRMCFGLH: <RSCFDn_base> + $04FD_H$ 、
RSCFDnCFDGRMCFGHL: <RSCFDn_base> + $04FE_H$ 、
RSCFDnCFDGRMCFGHH: <RSCFDn_base> + $04FF_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 16.91 RSCFDnCFDGRMCFG レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RCMC	インタフェースモード選択ビット 0：クラシカル CAN モード 1：CAN FD モード

注 1. RSCANnGRMCFG レジスタと RSCFDnCFDGRMCFG レジスタは同一レジスタです。どちらかのレジスタを設定してください。

RSCFDnCFDGRMCFG レジスタはグローバルリセットモードでのみ書き換えてください。また、他の RS-CANFD レジスタを設定する前に設定を行ってください。

RCMC ビット

“1” にすると、CAN FD モードになります。クラシカル CAN モードから CAN FD モードに変更する場合は、クラシカル CAN モードのレジスタマップにのみ割り当てられているレジスタ、ビットすべてにリセット後の値にしてから、RSCFDnCFDGRMCFG レジスタを書き換えてください。

16.4.3 チャネル関連レジスタの詳細

16.4.3.1 RSCFDnCFDCmNCFG — チャネル通常ビットレートコンフィグレーションレジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDCmNCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCmNCFGL、RSCFDnCFDCmNCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCmNCFGLL、RSCFDnCFDCmNCFGLH、RSCFDnCFDCmNCFGHL、
RSCFDnCFDCmNCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCmNCFG: <RSCFDn_base> + 0000_H + (10_H × m)

RSCFDnCFDCmNCFGL: <RSCFDn_base> + 0000_H + (10_H × m)、
RSCFDnCFDCmNCFGH: <RSCFDn_base> + 0002_H + (10_H × m)

RSCFDnCFDCmNCFGLL: <RSCFDn_base> + 0000_H + (10_H × m)、
RSCFDnCFDCmNCFGLH: <RSCFDn_base> + 0001_H + (10_H × m)、
RSCFDnCFDCmNCFGHL: <RSCFDn_base> + 0002_H + (10_H × m)、
RSCFDnCFDCmNCFGHH: <RSCFDn_base> + 0003_H + (10_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	NTSEG2 [4:0]					—	NTSEG1 [6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NSJW [4:0]					—	NBRP [9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.92 RSCFDnCFDCmNCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ～ 24	NTSEG2 [4:0]	通常ビットレート タイムセグメント 2 制御ビット b28 b27 b26 b25 b24 0 0 0 0 0 : CAN 通信行うチャネルでは設定しないでください 0 0 0 0 1 : 2 Tq : : 1 1 1 1 0 : 31 Tq 1 1 1 1 1 : 32 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 16	NTSEG1 [6:0]	通常ビットレート タイムセグメント 1 制御ビット b22 b21 b20 b19 b18 b17 b16 0 0 0 0 0 0 0 : CAN 通信を行うチャネルでは設定しないでください 0 0 0 0 0 0 1 : CAN 通信を行うチャネルでは設定しないでください 0 0 0 0 0 1 0 : CAN 通信を行うチャネルでは設定しないでください 0 0 0 0 0 1 1 : 4 Tq : : 1 1 1 1 1 1 0 : 127 Tq 1 1 1 1 1 1 1 : 128 Tq

表 16.92 RSCFDnCFDCmNCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
15 ～ 11	NSJW [4:0]	通常ビットレート 再同期ジャンプ幅制御ビット b15 b14 b13 b12 b11 0 0 0 0 0 : 1 Tq 0 0 0 0 1 : 2 Tq 0 0 0 1 0 : 3 Tq : : 1 1 1 1 0 : 31 Tq 1 1 1 1 1 : 32 Tq
10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ～ 0	NBRP [9:0]	通常ビットレート プリスケーラ分周比設定ビット 設定値を P（0 ～ 1023）とすると、通常ビットレートプリスケーラは fCAN を P+1 で分周します。

RSCFDnCFDCmNCFG レジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネルリセットモードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、**「16.11.1 初期設定」**を参照してください。

NTSEG2[4:0] ビット

通常ビットレートのフェーズセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。

2 ～ 32Tq の値が設定可能です。

NTSEG1[6:0] ビットより小さい値を設定してください。

NTSEG1[6:0] ビット

通常ビットレートのプロパゲーションセグメント（PROP_SEG）とフェーズセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。

4 ～ 128Tq の値が設定可能です。

NSJW[4:0] ビット

通常ビットレートの再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。1 ～ 32Tq の値が設定可能です。NTSEG2[4:0] ビット以下の値を設定してください。

NBRP[9:0] ビット

CAN クロック（fCAN）を通常ビットレートプリスケーラ（(NBRP[9:0]) + 1）で分周したクロックが CANmTq(N) クロック（fCANTQ(N)m）になり、CANmTq(N) クロックの 1 クロックが 1 Time Quantum（Tq）になります。

通常ビットレートとデータビットレートは NBRP[9:0] ビットと DBRP[7:0] ビットを同じ値に設定し、セグメントの値によって 2 つのビットレートを異なる値にしてください。

16.4.3.2 RSCFDnCFDCmCTR — チャネル制御レジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDCmCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCmCTRL、RSCFDnCFDCmCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCmCTRLL、RSCFDnCFDCmCTRLH、RSCFDnCFDCmCTRHL、RSCFDnCFDCmCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCmCTR: <RSCFDn_base> + 0004_H + (10_H × m)

RSCFDnCFDCmCTRL: <RSCFDn_base> + 0004_H + (10_H × m)、
RSCFDnCFDCmCTRH: <RSCFDn_base> + 0006_H + (10_H × m)

RSCFDnCFDCmCTRLL: <RSCFDn_base> + 0004_H + (10_H × m)、
RSCFDnCFDCmCTRLH: <RSCFDn_base> + 0005_H + (10_H × m)、
RSCFDnCFDCmCTRHL: <RSCFDn_base> + 0006_H + (10_H × m)、
RSCFDnCFDCmCTRHH: <RSCFDn_base> + 0007_H + (10_H × m)

リセット後の値 $0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ROM	CRCT	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	TDCVFIE	SOCOIE	EOCOIE	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 16.93 RSCFDnCFDCmCTR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	ROM	制限動作モード許可ビット 0：制限動作モード禁止 1：制限動作モード許可
30	CRCT	CRC エラーテスト許可ビット 0：受信 ID フィールドの先頭ビットを反転しない 1：受信 ID フィールドの先頭ビットを反転する
29 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0 0：標準テストモード 0 1：リッスンオンリモード 1 0：セルフテストモード 0（外部ループバックモード） 1 1：セルフテストモード 1（内部ループバックモード）
24	CTME	通信テストモード許可ビット 0：通信テストモード禁止 1：通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0：RSCFDnCFDCmERFL レジスタのビット 14 ～ 8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1：発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0 0：ISO11898-1 仕様準拠 0 1：バスオフ開始でチャネル待機モードへ遷移 1 0：バスオフ終了でチャネル待機モードへ遷移 1 1：バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 16.93 RSCFDnCFDCmCTR レジスタの内容 (2/2)

ビット位置	ビット名	機能
19	TDCVFIE	送信遅延補正バイオレーション割り込み許可ビット 0：送信遅延補正バイオレーション割り込み禁止 1：送信遅延補正バイオレーション割り込み許可
18	SOCOIE	通信成功回数カウンタオーバフロー割り込み許可ビット 0：通信成功回数カウンタオーバフロー割り込み禁止 1：通信成功回数カウンタオーバフロー割り込み許可
17	EOCOIE	エラー発生回数カウンタオーバフロー割り込み許可ビット 0：エラー発生回数カウンタオーバフロー割り込み禁止 1：エラー発生回数カウンタオーバフロー割り込み許可
16	TAIE	送信アボート割り込み許可ビット 0：送信アボート割り込み禁止 1：送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み禁止 1：アービトレーションロスト割り込み許可
14	BLIE	バスロック割り込み許可ビット 0：バスロック割り込み禁止 1：バスロック割り込み許可
13	OLIE	オーバロードフレーム送信割り込み許可ビット 0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0：バスエラー割り込み禁止 1：バスエラー割り込み許可
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを “1” にすると、バスオフから強制的に復帰します。常に “0” が読めます。
2	CSLPR	チャネルストップモードビット 0：チャネルストップモードではない 1：チャネルストップモード
1、0	CHMDC[1:0]	モード選択ビット b1 b0 0 0：チャネル通信モード 0 1：チャネルリセットモード 1 0：チャネル待機モード 1 1：設定しないでください

ROM ビット

RSCFDnCFDCmCTR レジスタの ROM ビットと CTME ビットを “1” にすると、制限動作モードが許可されます。制限動作モードは RSCFDnCFDCmCTR レジスタの CTMS[1:0] ビットが “00_B”（標準テストモード）の場合のみ使用してください。このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CRCT ビット

RS-CANFD モジュール内部の CRC 生成回路をテストするビットです。“1” にするとメッセージの受信時に ID フィールドの先頭ビットを反転します。このビット反転により、CRC 演算結果は受信フレームの正常な CRC 値と一致しなくなるため、CRC エラーが検出されます（RSCFDnCFDCmERFL レジスタの CERR ビットが “1”）。この機能を使用する場合は、以下の点に注意してください。

- RSCFDnCFDCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合に使用できます。
- 他の CAN ノードと通信はできません。チャネル間通信テスト（RSCFDnCFDGTSTCFG レジスタの CmICBCE ビットが “1”）で使用してください。
- IDフィールドのビット反転によりビットスタッフィングルール違反が起こる可能性があります。その場合は、CRC エラーではなくスタッフエラーが検出されます。

このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CTME ビット

“1” にすると通信テストモードは許可になります。このビットはチャネル待機モードで書き換えてください。チャネルリセットモード時は、“0” になります。

ERRD ビット

RSCFDnCFDCmERFL レジスタのビット 14 ～ 8 の表示モードを制御します。

“0” にすると、RSCFDnCFDCmERFL レジスタのビット 14 ～ 8 のすべてのフラグが “0” の状態でエラーが検出された場合に、最初に発生したエラーのフラグのみが “1” になります。最初に発生したエラーのフラグのみ “1” になります。最初のエラーで複数のエラーが発生した場合は、検出されたエラーのフラグはすべて “1” になります 。

“1” にすると発生順に関係なく、起こったエラーのフラグはすべて “1” になります。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CANFD モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが “00_B” の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CANFD モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの

復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを “10_B”（チャネル待機モード）にしても 128 回検出するまでチャネル待機モードには遷移しません。

BOM[1:0] ビットが “01_B” の場合、RS-CANFD モジュールがバスオフ状態に達すると、RSCFDnCFDCmCTR レジスタ（m = 0 ~ 3）の CHMDC[1:0] ビットが “10_B” になり、チャネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCFDnCFDCmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00_H” になります。

BOM[1:0] ビットが “10_B” の場合、RS-CANFD モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが “10_B” になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが “00_H” になります。

BOM[1:0] ビットが “11_B” の場合、RS-CANFD モジュールがバスオフ状態のときに CHMDC[1:0] ビットを “10_B” にすると、チャネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは “00_H” になります。しかし、CHMDC[1:0] ビットを “10_B” にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールがチャネル待機モードに遷移するのと同時（BOM[1:0] ビットが “01_B” のとき : バスオフ開始時、または BOM[1:0] ビットが “10_B” のとき : バスオフ終了時）に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャネルリセットモードでのみ書き換えてください。

TDCVFIE ビット

TDCVFIE ビットを “1” に設定し、RSCFDnCFDCmFDSTS レジスタの TDCVF フラグが “1” になった場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

SOCOIE ビット

SOCOIE ビットを “1” に設定し、RSCFDnCFDCmFDSTS レジスタの SOCO フラグが “1” になった場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EOCOIE ビット

EOCOIE ビットを “1” に設定し、RSCFDnCFDCmFDSTS レジスタの EOCO フラグが “1” になった場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを “1” に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの ALF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの BLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの OVLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの BORF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの BOEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの EPF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの EWF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの BEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時 “1” にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に “0” になります。“1” にすると、RSCFDnCFDCmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00_H” になり、RSCFDnCFDCmSTS レジスタの BOSTS フラグは “0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。

RSCFDnCFDCmCTR レジスタの BOM[1:0] ビットが “00_B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを “1” にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャネル通信モードで “1” を書いてください。

CSLPR ビット

“1” にすると、チャネルストップモードになります。
“0” にすると、チャネルストップモードは解除されます。
このビットは、チャネル通信モードまたはチャネル待機モードでは書き換えないでください。

CHMDC[1:0] ビット

チャネルのモード（チャネル通信モード、チャネルリセットモード、チャネル待機モード）を選択するビットです。詳細は、**「16.6.2　チャネルモード」**を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを “1” にすることで遷移します。CHMDC[1:0] ビットを “11_B” には設定しないでください。BOM[1:0] ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に “10_B” になります。

16.4.3.3 RSCFDnCFDCmSTS — チャネルステータスレジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDCmSTS レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCmSTSL、RSCFDnCFDCmSTSH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCmSTSLL、RSCFDnCFDCmSTSLH、RSCFDnCFDCmSTSHL、RSCFDnCFDCmSTSHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCmSTS: <RSCFDn_base> + 0008_H + (10_H × m)

RSCFDnCFDCmSTSL: <RSCFDn_base> + 0008_H + (10_H × m)、
RSCFDnCFDCmSTSH: <RSCFDn_base> + $000A_H$ + (10_H × m)

RSCFDnCFDCmSTSLL: <RSCFDn_base> + 0008_H + (10_H × m)、
RSCFDnCFDCmSTSLH: <RSCFDn_base> + 0009_H + (10_H × m)、
RSCFDnCFDCmSTSHL: <RSCFDn_base> + $000A_H$ + (10_H × m)、
RSCFDnCFDCmSTSHH: <RSCFDn_base> + $000B_H$ + (10_H × m)

リセット後の値 $0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC [7:0]								REC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ESIF	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R/W 注1	R	R	R	R	R	R	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.94 RSCFDnCFDCmSTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 24	TEC [7:0]	送信エラーカウンタ（TEC）の値が読めます。
23 ～ 16	REC [7:0]	受信エラーカウンタ（REC）の値が読めます。
15 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	ESIF	エラーステート表示フラグ 0：ESI ビットがレセシブである CAN FD メッセージを受信していない 1：ESI ビットがレセシブである CAN FD メッセージを少なくとも 1 メッセージ受信した
7	COMSTS	通信ステータスフラグ 0：通信可能な状態ではない 1：通信可能な状態
6	RECSTS	受信ステータスフラグ 0：バスアイドルまたは送信中またはバスオフ状態 1：受信中
5	TRMSTS	送信ステータスフラグ 0：バスアイドルまたは受信中 1：送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0：バスオフ状態ではない 1：バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0：エラーパッシブ状態ではない 1：エラーパッシブ状態

表 16.94 RSCFDnCFDCmSTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	CSLPSTS	チャネルストップステータスフラグ 0：チャネルストップモードではない 1：チャネルストップモード
1	CHLTSTS	チャネル待機ステータスフラグ 0：チャネル待機モードではない 1：チャネル待機モード
0	CRSTSTS	チャネルリセットステータスフラグ 0：チャネルリセットモードではない 1：チャネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

ESIF フラグ

正常に受信したメッセージでレセシブの ESI ビットを検出すると、“1” になります。ループバックモードまたはミラーモードの場合は、自送信メッセージが受信メッセージとみなされます。このフラグを “0” にする場合は、プログラムで “0” を書いてください。プログラムで “1” にできません。フラグが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのフラグは “1” になります。

チャネルリセットモード時は、“0” になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャネルリセットモードまたはチャネル待機モードからチャネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に、“1” になります。チャネルリセットモードまたはチャネル待機モード時は、“0” になります。

RECSTS フラグ

受信を開始すると “1” になります。バスアイドル状態になるか、または送信を開始すると “0” になります。

TRMSTS フラグ

送信を開始すると “1” になります。バスオフ状態では “1” のままです。バスアイドル状態になるか、または受信を開始すると “0” になります。

BOSTS フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると “1” になります。バスオフ状態以外になると “0” になります。

EPSTS フラグ

エラーパッシブ状態（(128 ≦ TEC[7:0] ビット≦ 255）または（128 ≦ REC[7:0] ビット)）になると、“1” になります。エラーパッシブ状態以外になるか、またはチャネルリセットモードになると、“0” になります。

CSLPSTS フラグ

チャネルストップモードに遷移すると、“1” になります。チャネルストップモードから復帰すると “0” になります。

CHLTSTS フラグ

チャネル待機モードに遷移すると “1” になります。チャネル待機モード以外のモードに遷移すると “0” になります。

CRSTSTS フラグ

チャネルリセットモードに遷移すると “1” になります。チャネル通信モードまたはチャネル待機モードに遷移すると “0” になります。チャネルリセットモードからチャネルストップモードに遷移しても、“1” のままです。

16.4.3.4 RSCFDnCFDCmERFL — チャネルエラーフラグレジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDCmERFL レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCmERFLL、RSCFDnCFDCmERFLH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCmERFLLL、RSCFDnCFDCmERFLLH、RSCFDnCFDCmERFLHL、
RSCFDnCFDCmERFLHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCmERFL: <RSCFDn_base> + $000C_H$ + (10_H × m)

RSCFDnCFDCmERFLL: <RSCFDn_base> + $000C_H$ + (10_H × m)、
RSCFDnCFDCmERFLH: <RSCFDn_base> + $000E_H$ + (10_H × m)

RSCFDnCFDCmERFLLL: <RSCFDn_base> + $000C_H$ + (10_H × m)、
RSCFDnCFDCmERFLLH: <RSCFDn_base> + $000D_H$ + (10_H × m)、
RSCFDnCFDCmERFLHL: <RSCFDn_base> + $000E_H$ + (10_H × m)、
RSCFDnCFDCmERFLHH: <RSCFDn_base> + $000F_H$ + (10_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCREG[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.95 RSCFDnCFDCmERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30 ～ 16	CRCREG[14:0]	CRC 演算データ（CRC 長 15 ビット） 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACK デリミタエラーフラグ 0：ACK デリミタエラー未検出 1：ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0：ドミナントビットエラー未検出 1：ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0：レセシブビットエラー未検出 1：レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0：CRC エラー未検出 1：CRC エラー検出
10	AERR	ACK エラーフラグ 0：ACK エラー未検出 1：ACK エラー検出
9	FERR	フォームエラーフラグ 0：フォームエラー未検出 1：フォームエラー検出

表 16.95 RSCFDnCFDCmERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	SERR	スタッフエラーフラグ 0：スタッフエラー未検出 1：スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0：アービトレーションロスト未検出 1：アービトレーションロスト検出
6	BLF	バスロックフラグ 0：チャネルバスロック未検出 1：チャネルバスロック検出
5	OVLF	オーバロードフラグ 0：オーバロード未検出 1：オーバロード検出
4	BORF	バスオフ復帰フラグ 0：バスオフ復帰未検出 1：バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0：バスオフ開始未検出 1：バスオフ開始検出
2	EPF	エラーパッシブフラグ 0：エラーパッシブ未検出 1：エラーパッシブ検出
1	EWF	エラーワーニングフラグ 0：エラーワーニング未検出 1：エラーワーニング検出
0	BEF	バスエラーフラグ 0：チャネルバスエラーは未検出 1：チャネルバスエラー検出

各エラーの発生条件を確認するには、CAN 仕様（ISO11898-1）を参照してください。各フラグを “0” にする場合は、プログラムで “0” を書いてください。プログラムで “1” にできません。フラグが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのフラグは “1” になります。チャネルリセットモード時、“0” になります。

RSCFDnCFDCmERFL レジスタのビット 14 ～ 8 に関して、RSCFDnCFDCmCTR レジスタの ERRD ビットを “0”（最初に発生したエラー情報のみ表示）に設定したとき、ビット 14 ～ 8 のすべてのフラグが “0” の状態でエラーが検出された場合に、対応するフラグは “1” になります。

CRCREG[14:0] フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージがクラシカル CAN フレーム（CRC 長 15 ビット）ならば、このフラグが更新され、メッセージを基に計算した CRC 値が読めます。CAN FD フレームを送受信したときは、RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0] ビットが更新されます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1” になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると “1” になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると “1” になります。

CERR フラグ

CRC エラーを検出すると “1” になります。

AERR フラグ

ACK エラーを検出すると “1” になります。

FERR フラグ

フォームエラーを検出すると “1” になります。

SERR フラグ

スタッフエラーを検出すると “1” になります。

ALF フラグ

アービトレーションロストを検出すると “1” になります。

BLF フラグ

チャネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1” になります。“1” になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを “1” から “0” にした後、レセシブビットを検出
- BLF ビットを “1” から “0” にした後、チャネルリセットモードに遷移し、再度チャネル通信モードに遷移

OVLF フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると “1” になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると “1” になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は “1” になりません。

- RSCFDnCFDCmCTR レジスタの CHMDC[1:0] ビットを “01_B”（チャネルリセットモード）に設定した場合
- RSCFDnCFDCmCTR レジスタの RTBO ビットを “1”（バスオフからの強制復帰）に設定した場合
- RSCFDnCFDCmCTR レジスタの BOM[1:0] ビットを “01_B”（バスオフ開始でチャネル待機モードへ遷移）に設定した場合
- BOM[1:0] ビットが “11_B”（バスオフ中にプログラムによる要求でチャネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを “10_B”（チャネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると、“1” になります。RSCFDnCFDCmCTR レジスタ（m = 0 ～ 3）の BOM[1:0] ビットが “01_B”（バスオフ開始でチャネル待機モードへ遷移）で、バスオフ状態になった場合も、“1” になります。

EPF フラグ

エラーパッシブ状態（REC[7:0] または TEC[7:0] ビット＞ 127）になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

EWF フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビット が最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC [7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビット が 95 を超えるまでは “1” にはなりません。

BEF フラグ

RSCFDnCFDCmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

備　考

本レジスタのフラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

16.4.3.5 RSCFDnCFDCmDCFG — チャネルデータビットレートコンフィグレーションレジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDCmDCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCmDCFGL、RSCFDnCFDCmDCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCmDCFGLL、RSCFDnCFDCmDCFGLH、RSCFDnCFDCmDCFGHL、
RSCFDnCFDCmDCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCmDCFG: <RSCFDn_base> + 0500_H + (20_H × m)

RSCFDnCFDCmDCFGL: <RSCFDn_base> + 0500_H + (20_H × m)、
RSCFDnCFDCmDCFGH: <RSCFDn_base> + 0502_H + (20_H × m)

RSCFDnCFDCmDCFGLL: <RSCFDn_base> + 0500_H + (20_H × m)、
RSCFDnCFDCmDCFGLH: <RSCFDn_base> + 0501_H + (20_H × m)、
RSCFDnCFDCmDCFGHL: <RSCFDn_base> + 0502_H + (20_H × m)、
RSCFDnCFDCmDCFGHH: <RSCFDn_base> + 0503_H + (20_H × m)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	DSJW [2:0]			—	DTSEG2 [2:0]			DTSEG1 [3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DBRP [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.96 RSCFDnCFDCmDCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26 ～ 24	DSJW [2:0]	データビットレート 再同期ジャンプ幅制御ビット b26 b25 b24 0 0 0 : 1 Tq 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 20	DTSEG2 [2:0]	データビットレート タイムセグメント 2 制御ビット b22 b21 b20 0 0 0 : CAN 通信を行うチャネルでは設定しないでください 0 0 1 : 2 Tq 0 1 0 : 3 Tq 0 1 1 : 4 Tq 1 0 0 : 5 Tq 1 0 1 : 6 Tq 1 1 0 : 7 Tq 1 1 1 : 8 Tq

表 16.96 RSCFDnCFDCmDCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
19 ～ 16	DTSEG1 [3:0]	データビットレート タイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0 : CAN 通信を行うチャネルでは設定しないでください 0 0 0 1 : 2 Tq 0 0 1 0 : 3 Tq 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq
15 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～ 0	DBRP [7:0]	データビットレート プリスケーラ分周比設定ビット 設定値を P（0 ～ 255）とすると、データビットレートプリスケーラは fCAN を P+1 で分周します。

RSCFDnCFDCmDCFG レジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネルリセットモードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。CAN FD モードでクラシカル CAN フレームしか使用しない場合は、RSCFDnCFDCmDCFG レジスタに、RSCFDnCFDCmNCFG レジスタの設定値と同じ値を設定してください。ビットタイミングパラメータの説明と設定については、**「16.11.1 初期設定」**を参照してください。

DSJW[2:0] ビット

データビットレートの再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。1 ～ 8Tq の値が設定可能です。DTSEG2[2:0] ビット以下の値を設定してください。

DTSEG2[2:0] ビット

データビットレートのフェーズセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。

2 ～ 8Tq の値が設定可能です。

DTSEG1[3:0] ビットより小さい値を設定してください。

DTSEG1[3:0] ビット

データビットレートのプロパゲーションセグメント（PROP_SEG）とフェーズセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。

2 ～ 16Tq の値が設定可能です。

DBRP[7:0] ビット

CAN クロック（fCAN）をデータビットレートプリスケーラ（(DBRP[7:0]) + 1）で分周したクロックが CANmTq(D) クロック（fCANTQ(D)m）になり、CANmTq(D) クロックの 1 クロックが 1 Time Quantum（Tq）になります。

NBRP[9:0] ビットと DBRP[7:0] ビットには必ず同じ値に設定してください。

通常ビットレートとデータビットレートを異なる値に設定したい場合、RSCFDnCFDCmNCFG.NTSEG1, NTSEG2 ビット、RSCFDnCFDCmDCFG.DTSEG1, DTSEG2 ビットでそれぞれ希望するビットレート値に変更してください。

RSCFDnCFDCmFDCFG レジスタの TDCE ビットが 1（送信遅延補正許可）のときは、NBRP[9:0] ビットと DBRP[7:0] ビットに 1 以下の同じ値を設定してください。

16.4.3.6 RSCFDnCFDCmFDCFG — チャネル CAN FD コンフィグレーションレジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDCmFDCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCmFDCFGL、RSCFDnCFDCmFDCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCmFDCFGLL、RSCFDnCFDCmFDCFGLH、RSCFDnCFDCmFDCFGHL、RSCFDnCFDCmFDCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCmFDCFG: <RSCFDn_base> + 0504_H + (20_H × m)

RSCFDnCFDCmFDCFGL: <RSCFDn_base> + 0504_H + (20_H × m)、
RSCFDnCFDCmFDCFGH: <RSCFDn_base> + 0506_H + (20_H × m)

RSCFDnCFDCmFDCFGLL: <RSCFDn_base> + 0504_H + (20_H × m)、
RSCFDnCFDCmFDCFGLH: <RSCFDn_base> + 0505_H + (20_H × m)、
RSCFDnCFDCmFDCFGHL: <RSCFDn_base> + 0506_H + (20_H × m)、
RSCFDnCFDCmFDCFGHH: <RSCFDn_base> + 0507_H + (20_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	REFE	FDOE	TMME	GWBRS	GWFDF	GWEN	—	TDCO[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ESIC	TDCE	TDCOC	—	—	—	—	—	EOCCFG[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 16.97 RSCFDnCFDCmFDCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	REFE	受信データエッジフィルタ許可ビット 0：受信データエッジフィルタ禁止 1：受信データエッジフィルタ許可
28	FDOE	FD オンリーモード許可ビット 0：FD オンリーモード禁止 1：FD オンリーモード許可
27	TMME	送信バッファマージモード許可ビット 0：送信バッファマージモード禁止 1：送信バッファマージモード許可
26	GWBRS	ゲートウェイ BRS 設定ビット 0：受信フレームの BRS ビットを “0” にして送信 1：受信フレームの BRS ビットを “1” にして送信
25	GWFDF	ゲートウェイ FDF 設定ビット 0：受信フレームをクラシカル CAN フレームとして送信 1：受信フレームを CAN FD フレームとして送信
24	GWEN	CAN-CAN FD ゲートウェイ許可ビット 0：CAN-CAN FD ゲートウェイ禁止 1：CAN-CAN FD ゲートウェイ許可
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 16	TDCO[6:0]	送信遅延補正オフセット設定ビット 送信遅延補正のオフセット値を設定します。
15 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 16.97 RSCFDnCFDCmFDCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	ESIC	エラーステート表示モード選択ビット 0：常にチャネルのエラーステートをフレームの ESI ビットとして送信 1：チャネルがエラーパッシブではないとき、メッセージバッファのエラーステートをフレームの ESI ビットとして送信 チャネルがエラーパッシブのとき、チャネルのエラーステートをフレームの ESI ビットとして送信
9	TDCE	送信遅延補正許可ビット 0：送信遅延補正禁止 1：送信遅延補正許可
8	TDCOC	送信遅延補正計測選択ビット 0：計測およびオフセット 1：オフセットのみ
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	EOCCFG[2:0]	エラー発生回数カウント方式選択ビット b2 b1 b0 0 0 0：全ての送信メッセージと受信メッセージ 0 0 1：全ての送信メッセージ 0 1 0：全ての受信メッセージ 0 1 1：設定しないでください 1 0 0：送信または受信した CAN FD メッセージのデータフェーズのみ 1 0 1：送信した CAN FD メッセージのデータフェーズのみ 1 1 0：受信した CAN FD メッセージのデータフェーズのみ 1 1 1：設定しないでください

REFE ビット

“1” にするとアイドル状態検出時の受信データエッジフィルタが許可され、2TQ 未満のドミナントは無視されます。2TQ 以上のドミナントをエッジとして検出します。このビットはチャネルリセットモードでのみ書き換えてください。

FDOE ビット

“1” にすると FD オンリーモードが許可されます。送信時、RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットまたは RSCFDnCFDTMFDCTRp レジスタの TMFDF ビットの設定に関係なく CAN FD フレームを送信します。受信時、クラシカル CAN フレームを受信した場合は、フォームエラーを検出します。このビットはチャネルリセットモードでのみ書き換えてください。

TMME ビット

“1” にすると送信バッファマージモードが許可されます。このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

GWBRS ビット

GWEN ビットが “1” のとき、ゲートウェイ機能で送信する CAN FD フレームの BRS ビットを設定します。GWFDF ビットを “0” にするときは、このビットに “0” を書いてください。このビットはチャネルリセットモードでのみ書き換えてください。

GWFDF ビット

GWEN ビットが “1” のとき、ゲートウェイ機能で送信する CAN FD フレームの FDF ビットを設定します。このビットはチャネルリセットモードでのみ書き換えてください。

GWEN ビット

RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットを “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファの動作を制御します。

このビットを “1” にすると、CAN-CAN FD ゲートウェイが許可され、ゲートウェイ機能で受信したフレームと異なるフォーマットでの送信ができます。受信フレームは GWFDF ビットと GWBRS ビットの設定に従って置換されます。受信したクラシカル CAN フレームの DLC 値が “1001_B” 以上であり、GWFDF ビットが “1”（CAN FD フレーム）の場合は、DLC を “1000_B” に置き換えます。

このビットが “1” のとき、以下のフレームはゲートウェイ機能でルーティングしないでください。

- ペイロード長が 8 バイトを超える CAN FD フレーム
- リモートフレーム

また、このビットが “1” のとき、GWFDF の設定により以下のフレームのみ該当するチャネルから送信してください。

- GWFDF = 0 のとき、クラシカル CAN フレームのみ送信してください。
- GWFDF = 1 のとき、CAN FD フレームのみ送信してください。

このビットはチャネルリセットモードでのみ書き換えてください。

表 16.98 に CAN-CAN FD ゲートウェイ許可時の送受信フレームのフォーマットと設定を示します。

表 16.98 CAN-CAN FD ゲートウェイ許可時動作

受信フレーム			GWFDF ビット	送信フレーム		
フォーマット	BRS ビット	受信 DLC 値		フォーマット	BRS ビット	送信 DLC 値
クラシカル CAN	なし	DLC ≦ “1000_B”	0	クラシカル CAN	なし	置換しない
		DLC ＞ “1000_B”				
CAN FD	任意	DLC ≦ “1000_B”				
クラシカル CAN	なし	DLC ≦ “1000_B”	1	CAN FD	GWBRS ビットの設定に従う	置換しない
		DLC ＞ “1000_B”				“1000_B” に置換
CAN FD	任意	DLC ≦ “1000_B”				置換しない

TDCO[6:0] ビット

SSP オフセット値を設定します。この値の使用方法は、RSCFDnCFDCmFDCFG レジスタの TDCOC ビットに依存します。

TDCOC ビットが “0” のとき、送信遅延補正結果は測定した遅延と TDCO[6:0] ビット値の合計値と等しくなります（最も近い整数の Tq に切り捨てます）。

TDCOC ビットが “1” のとき、送信遅延補正結果は TDCO[6:0] ビットの値と等しくなります。

SSP オフセット値は TDCO[6:0] ビットの設定値＋ 1 となります。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

ESIC ビット

ESIC ビットを “1” にすると、チャネルがエラーアクティブならば、送信メッセージの ESI ビット値として、送受信 FIFO バッファまたは送信バッファに設定された ESI ビット値（RSCFDnCFDCFFDCSTSk レジスタの CFESI ビットまたは RSCFDnCFDTMFDCTRp レジスタの TMESI ビット）が送信されます。チャネルがエラーパッシブであるか、ESIC ビットが “0” ならばチャネルのステータスが ESI ビット値として送信されます。このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

表 16.99 送信 ESI 値

ESIC ビット	チャネルステータス	送信 ESI 値
0	エラーアクティブ	0（ノードはエラーアクティブ）
	エラーパッシブ	1（ノードはエラーパッシブ）
1	エラーアクティブ	送受信 FIFO バッファまたは 送信バッファに設定した ESI 値 （RSCFDnCFDCFFDCSTSk レジスタの CFESI ビットまたは RSCFDnCFDTMFDCTRp レジスタの TMESI ビット）
	エラーパッシブ	1（ノードはエラーパッシブ）

TDCE ビット

“1” にすると送信遅延補正が許可されます。このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

TDCOC ビット

“0” のとき、SSP の位置は測定した遅延と SSP オフセット値（固定値）の合計で定義されます。

“1” のとき、SSP の位置は SSP オフセット値のみで定義されます。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

EOCCFG[2:0] ビット

エラー発生回数カウンタで CAN バスエラーをカウントするときのフレームフォーマットおよび送受信方向を選択します。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

16.4.3.7 RSCFDnCFDCmFDCTR — チャネル CAN FD 制御レジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDCmFDCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCmFDCTRL、RSCFDnCFDCmFDCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCmFDCTRLL、RSCFDnCFDCmFDCTRLH、RSCFDnCFDCmFDCTRHL、RSCFDnCFDCmFDCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCmFDCTR: <RSCFDn_base> + 0508_H + (20_H × m)

RSCFDnCFDCmFDCTRL: <RSCFDn_base> + 0508_H + (20_H × m)、
RSCFDnCFDCmFDCTRH: <RSCFDn_base> + $050A_H$ + (20_H × m)

RSCFDnCFDCmFDCTRLL: <RSCFDn_base> + 0508_H + (20_H × m)、
RSCFDnCFDCmFDCTRLH: <RSCFDn_base> + 0509_H + (20_H × m)、
RSCFDnCFDCmFDCTRHL: <RSCFDn_base> + $050A_H$ + (20_H × m)、
RSCFDnCFDCmFDCTRHH: <RSCFDn_base> + $050B_H$ + (20_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOCCLR	EOCCLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 16.100 RSCFDnCFDCmFDCTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SOCCLR	通信成功回数カウンタクリアビット SOCCLR ビットを “1” にすると、通信成功回数カウンタがクリアされます。常に “0” が読めます。
0	EOCCLR	エラー発生回数カウンタクリアビット EOCCLR ビットを “1” にすると、エラー発生回数カウンタがクリアされます。常に “0” が読めます。

SOCCLR ビット

“1” にすると、通信成功回数カウンタ（RSCFDnCFDCmFDSTS レジスタの SOC[7:0] ビット）がクリアされます。このビットは自動的に “0” になります。

EOCCLR ビット

“1” にすると、エラー発生回数カウンタ（RSCFDnCFDCmFDSTS レジスタの EOC[7:0] ビット）がクリアされます。このビットは自動的に “0” になります。

16.4.3.8 RSCFDnCFDCmFDSTS — チャネル CAN FD ステータスレジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDCmFDSTS レジスタは、32 ビット単位でリード / ライト可能です。
RSCFDnCFDCmFDSTSL、RSCFDnCFDCmFDSTSH レジスタは、16 ビット単位でリード / ライト可能です。
RSCFDnCFDCmFDSTSLL、RSCFDnCFDCmFDSTSLH、RSCFDnCFDCmFDSTSHL、RSCFDnCFDCmFDSTSHH レジスタは、8 ビット単位でリード / ライト可能です。

アドレス RSCFDnCFDCmFDSTS: <RSCFDn_base> + $050C_H$ + (20_H × m)

RSCFDnCFDCmFDSTSL: <RSCFDn_base> + $050C_H$ + (20_H × m)、
RSCFDnCFDCmFDSTSH: <RSCFDn_base> + $050E_H$ + (20_H × m)

RSCFDnCFDCmFDSTSLL: <RSCFDn_base> + $050C_H$ + (20_H × m)、
RSCFDnCFDCmFDSTSLH: <RSCFDn_base> + $050D_H$ + (20_H × m)、
RSCFDnCFDCmFDSTSHL: <RSCFDn_base> + $050E_H$ + (20_H × m)、
RSCFDnCFDCmFDSTSHH: <RSCFDn_base> + $050F_H$ + (20_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SOC[7:0]								EOC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SOCO	EOCO	TDCVF	TDCR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R	R	R	R	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.101 RSCFDnCFDCmFDSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	SOC[7:0]	通信成功回数カウンタ 通信成功回数カウンタの値が読めます。
23 ～ 16	EOC[7:0]	エラー発生回数カウンタ エラー発生回数カウンタの値が読めます。
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	SOCO	通信成功回数カウンタオーバフローフラグ 0：通信成功回数カウンタオーバフローではない 1：通信成功回数カウンタオーバフロー
8	EOCO	エラー発生回数カウンタオーバフローフラグ 0：エラー発生回数カウンタオーバフローではない 1：エラー発生回数カウンタオーバフロー
7	TDCVF	送信遅延補正バイオレーションフラグ 0：送信遅延補正バイオレーションなし 1：送信遅延補正バイオレーション
6 ～ 0	TDCR[6:0]	送信遅延補正結果ステータスビット 送信遅延補正結果が読めます。

SOC[7:0] ビット

通信成功回数カウンタの値を示します。通信成功回数カウンタはエラーなしでメッセージの受信完了または送信完了が起こるとインクリメントされ、“FF_H” に達すると、更新を停止します。ループバックモードのとき、このカウンタは 2 回インクリメントされます。

このビットは、RSCFDnCFDCmCTR レジスタの SOCCLR ビットに “1” を書き込むと “0” にクリアされます。チャネルリセットモード時は、“0” になります。

EOC[7:0] ビット

エラー発生回数カウンタの値を示します。エラー発生回数カウンタは、RSCFDnCFDCmFDCFG レジスタの EOCCFG[2:0] ビットに設定された条件に従って、エラー発生時にインクリメントされ、カウンタが “FF_H” に達すると、更新が停止します。

このビットは、RSCFDnCFDCmCTR レジスタの EOCCLR ビットに “1” を書き込むと “0” にクリアされます。チャネルリセットモード時は、“0” になります。

SOCO フラグ

通信成功回数カウンタのオーバフローが発生したことを示すビットです。

SOC[7:0] ビットが “FF_H” に達しているとき、メッセージの受信完了または送信完了が起こると “1” になります。チャネルリセットモード時は、“0” になります。

EOCO フラグ

エラー発生回数カウンタのオーバフローが発生したことを示すビットです。

EOC[7:0] ビットが “FF_H” に達しているとき、RSCFDnCFDCmFDCFG レジスタの EOCCFG[2:0] ビットに設定された条件下で CAN バスエラーが検出されると “1” になります。チャネルリセットモード時は、“0” になります。

TDCVF フラグ

送信遅延補正のバイオレーションを示すビットです。

送信データはトランシーバのループ遅延によって遅延した受信 CAN バスレベルと比較されます。この遅延は温度のような物理的な要因によって変化します。TDCR[6:0] フラグはメッセージごとに更新されるため、一時的な最大遅延を確認することができません。

このビットは送信遅延補正が補正最大 3CANm ビットタイム - 2fCAN を超えた場合、“1” になります（CANm ビットタイムはデータビットレートの値）。

チャネルリセットモード時は、“0” になります。

TDCR[6:0] フラグ

送信遅延補正結果を CAN クロック（fCAN）のクロックの倍数で示すビットです。

この結果は RSCFDnCFDCmFDCFG レジスタの TDCOC ビットおよび TDCO[6:0] ビットの設定に依存します。このフラグは、RSCFDnCFDCmFDCFG レジスタの TDCE ビットが “1”（送信遅延補正許可）で、TDCOC ビットが “0”（計測およびオフセット）の場合に、FDF ビットと res ビット間の立ち下がりエッジのタイミングで更新されます。

チャネルリセットモード時は、“0” になります。

備　考

本レジスタのフラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

16.4.3.9　RSCFDnCFDCmFDCRC — チャネル CAN FD CRC レジスタ（m = 0 ～ 3）

アクセス　RSCFDnCFDCmFDCRC レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCmFDCRCL、RSCFDnCFDCmFDCRCH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCmFDCRCLL、RSCFDnCFDCmFDCRCLH、RSCFDnCFDCmFDCRCHL、
RSCFDnCFDCmFDCRCHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RSCFDnCFDCmFDCRC: <RSCFDn_base> + 0510_H + (20_H × m)

RSCFDnCFDCmFDCRCL: <RSCFDn_base> + 0510_H + (20_H × m)、
RSCFDnCFDCmFDCRCH: <RSCFDn_base> + 0512_H + (20_H × m)

RSCFDnCFDCmFDCRCLL: <RSCFDn_base> + 0510_H + (20_H × m)、
RSCFDnCFDCmFDCRCLH: <RSCFDn_base> + 0511_H + (20_H × m)、
RSCFDnCFDCmFDCRCHL: <RSCFDn_base> + 0512_H + (20_H × m)、
RSCFDnCFDCmFDCRCHH: <RSCFDn_base> + 0513_H + (20_H × m)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	SCNT[3:0]				—	—	—	CRCREG[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRCREG[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.102 RSCFDnCFDCmFDCRC レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	予約ビット	リードした場合はリセット後の値が読めます。
27 ～ 24	SCNT[3:0]	スタッフカウントビット FD フレーム中のスタッフカウントビット値が読めます。b25 ～ b27 は、送受信したフレームのスタッフビット数をモジュロ 8 変換し、クレイコード化した値です。b24 は b25 ～ b27 の偶数パリティ値です。
23 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。
20 ～ 0	CRCREG[20:0]	CRC 演算データ（CRC 長 17 ビットまたは 21 ビット） 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。 CRC 長 17 ビットのとき、b20 ～ b17 は “0” が読めます。

SCNT[3:0] フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージが CAN FD フレームならば、CAN FD フレームのスタッフカウントビット値が読めます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。このフラグは、CAN FD フレームの CRC フィールドの 1 ビット目で更新されます。チャネルリセットモード時は、“0” になります。

CRCREG[20:0] フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージが CAN FD フレーム（CRC 長 17 ビットまたは 21 ビット）ならば、このフラグが更新され、メッセージを基に計算した CRC 値が読めます。メッセージの CRC 長が 17 ビットのとき、b20 ～ b17 は常に “0” が読めます。クラシカル CAN フレームを送受信したときは、RSCFDnCFDCmERFL レジスタの CRCREG[14:0] ビットが更新されます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。

16.4.4 グローバル関連レジスタの詳細

16.4.4.1 RSCFDnCFDGCFG — グローバルコンフィグレーションレジスタ

アクセス RSCFDnCFDGCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGCFGL、RSCFDnCFDGCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGCFGLL、RSCFDnCFDGCFGLH、RSCFDnCFDGCFGHL、RSCFDnCFDGCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGCFG: <RSCFDn_base> + 0084_H

RSCFDnCFDGCFGL: <RSCFDn_base> + 0084_H、RSCFDnCFDGCFGH: <RSCFDn_base> + 0086_H

RSCFDnCFDGCFGLL: <RSCFDn_base> + 0084_H、RSCFDnCFDGCFGLH: <RSCFDn_base> + 0085_H、
RSCFDnCFDGCFGHL: <RSCFDn_base> + 0086_H、RSCFDnCFDGCFGHH: <RSCFDn_base> + 0087_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]			TSSS	TSP[3:0]				—	—	CMPOC	DCS	MME	DRE	DCE	TPRI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 16.103 RSCFDnCFDGCFG レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 16	ITRCP [15:0]	インターバルタイマプリスケーラ設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイマを使用する場合、“0000_H” を設定しないでください。
15 ～ 13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0：チャネル 0 通常ビットタイムクロック 0 0 1：チャネル 1 通常ビットタイムクロック 0 1 0：チャネル 2 通常ビットタイムクロック 0 1 1：チャネル 3 通常ビットタイムクロック 1 0 0：設定しないでください 1 0 1：設定しないでください 1 1 0：設定しないでください 1 1 1：設定しないでください
12	TSSS	タイムスタンプソース選択 0：pclk/2 注 1 1：通常ビットタイムクロック

表 16.103 RSCFDnCFDGCFG レジスタの内容 (2/2)

ビット位置	ビット名	機能
11 ～ 8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0：分周なし 0 0 0 1：2 分周 0 0 1 0：4 分周 0 0 1 1：8 分周 0 1 0 0：16 分周 0 1 0 1：32 分周 0 1 1 0：64 分周 0 1 1 1：128 分周 1 0 0 0：256 分周 1 0 0 1：512 分周 1 0 1 0：1024 分周 1 0 1 1：2048 分周 1 1 0 0：4096 分周 1 1 0 1：8192 分周 1 1 1 0：16384 分周 1 1 1 1：32768 分周
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CMPOC	ペイロードオーバフローモード選択ビット 0：メッセージは格納されない 1：メッセージは格納され、バッファサイズを超える分のペイロードは切り捨てられる
4	DCS	CAN クロック源選択ビット 0：clkc 1：clk_xincan
3	MME	ミラー機能許可ビット 0：ミラー機能禁止 1：ミラー機能許可
2	DRE	DLC 置換許可ビット 0：DLC 置換禁止 1：DLC 置換許可
1	DCE	DLC チェック許可ビット 0：DLC チェック禁止 1：DLC チェック許可
0	TPRI	送信優先順位選択ビット 0：ID 優先 1：送信バッファ番号優先

注 1. タイムスタンプのカウントソースに pclk/2 を設定するときは、TSBTCS[2:0] を “000_B” にしてください。

RSCFDnCFDGCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は**「16.8.3.1 インターバル送信機能」**を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが “1” のとき、タイムスタンプカウンタのクロック源となる通常ビットタイムクロックのチャネルの選択ができます。ただし、CAN FD フレームを扱うチャネルは選択しないでください。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。クラシカル CAN フレームのみを扱うチャネルがない場合は、pclk を選択してください。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

CMPOC ビット

受信したメッセージのペイロード長が格納先バッファのペイロード格納サイズを超えた場合の動作を選択します。

“0” のとき、ペイロードがオーバフローする受信メッセージはバッファに格納されません。

“1” のとき、ペイロードがオーバフローする受信メッセージはバッファに格納され、DRE ビットに応じて、受信した DLC 値または受信ルールテーブルの DLC 値がバッファに格納されます。このとき、バッファのペイロード格納サイズを超える分のペイロードは切り捨てられます。

バッファのペイロード格納サイズは以下のビットで設定します。

- 受信バッファ :RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビット
- 受信 FIFO バッファ :RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビット
- 送受信 FIFO バッファ :RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビット

DCS ビット

“0” のとき、clkc が CAN クロック（fCAN）のクロック源になります 。

“1” のとき、clk_xincan が CAN クロック（fCAN）のクロック源になります。

MME ビット

“1” にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00_H” が格納されます。

DCE ビットが “1”（DLC チェック許可）のときに、DLC 置換機能を使用できます。

DCE ビット

“1” にすると、DLC チェック機能が使用できます。RSCFDnCFDGAFLP0_j レジスタの GAFLDLC[3:0] ビットを “0000_B” にしてから、RSCFDnCFDGCFG レジスタの DCE ビットを “0” にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール（ISO11898-1 仕様）に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0” に設定してください。

16.4.4.2 RSCFDnCFDGCTR — グローバル制御レジスタ

アクセス RSCFDnCFDGCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGCTRL、RSCFDnCFDGCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGCTRLL、RSCFDnCFDGCTRLH、RSCFDnCFDGCTRHL、RSCFDnCFDGCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGCTR: <RSCFDn_base> + 0088_H

RSCFDnCFDGCTRL: <RSCFDn_base> + 0088_H、RSCFDnCFDGCTRH: <RSCFDn_base> + $008A_H$

RSCFDnCFDGCTRLL: <RSCFDn_base> + 0088_H、RSCFDnCFDGCTRLH: <RSCFDn_base> + 0089_H、RSCFDnCFDGCTRHL: <RSCFDn_base> + $008A_H$、RSCFDnCFDGCTRHH: <RSCFDn_base> + $008B_H$

リセット後の値 $0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CMPOFIE	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 16.104 RSCFDnCFDGCTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを “1” にすると、タイムスタンプカウンタをリセットします。読むと “0” が読み出されます。
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	CMPOFIE	ペイロードオーバフロー割り込み許可ビット 0：ペイロードオーバフロー割り込み禁止 1：ペイロードオーバフロー割り込み許可
10	THLEIE	送信履歴バッファオーバフロー割り込み許可ビット 0：送信履歴バッファオーバフロー割り込み禁止 1：送信履歴バッファオーバフロー割り込み許可
9	MEIE	FIFO メッセージロスト割り込み許可ビット 0：FIFO メッセージロスト割り込み禁止 1：FIFO メッセージロスト割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0：DLC エラー割り込み禁止 1：DLC エラー割り込み許可

表 16.104 RSCFDnCFDGCTR レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0：グローバルストップモードではない 1：グローバルストップモード
1、0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0：グローバル動作モード 0 1：グローバルリセットモード 1 0：グローバルテストモード 1 1：設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1” にすると RSCFDnCFDGTSC レジスタが “0000_H” になります。

CMPOFIE ビット

CMPOFIE ビットを “1” に設定し、RSCFDnCFDGERFL レジスタの CMPOF フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

THLEIE ビット

THLEIE ビットを “1” に設定し、RSCFDnCFDGERFL レジスタの THLES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを “1” に設定し、RSCFDnCFDGERFL レジスタの MES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを “1” に設定し、RSCFDnCFDGERFL レジスタの DEF フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1” にすると、グローバルストップモードになります。

“0” にすると、グローバルストップモードは解除されます。

このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

GMDC[1:0] ビット

RS-CANFD モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、**「16.6.1 グローバルモード」**

を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを “1” にすることで遷移します。

16.4.4.3 RSCFDnCFDGSTS — グローバルステータスレジスタ

アクセス RSCFDnCFDGSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDGSTSL、RSCFDnCFDGSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDGSTSLL、RSCFDnCFDGSTSLH、RSCFDnCFDGSTSHL、RSCFDnCFDGSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDGSTS: <RSCFDn_base> + $008C_H$

RSCFDnCFDGSTSL: <RSCFDn_base> + $008C_H$、RSCFDnCFDGSTSH: <RSCFDn_base> + $008E_H$

RSCFDnCFDGSTSLL: <RSCFDn_base> + $008C_H$、RSCFDnCFDGSTSLH: <RSCFDn_base> + $008D_H$、RSCFDnCFDGSTSHL: <RSCFDn_base> + $008E_H$、RSCFDnCFDGSTSHH: <RSCFDn_base> + $008F_H$

リセット後の値 $0000\ 000D_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.105 RSCFDnCFDGSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0：CAN 用 RAM クリア完了 1：CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0：グローバルストップモードではない 1：グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0：グローバルテストモードではない 1：グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0：グローバルリセットモードではない 1：グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると “0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると “0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると “0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると “1” になります。

グローバルリセットモード以外のモードに遷移すると “0” になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1” のままです。

16.4.4.4 RSCFDnCFDGERFL — グローバルエラーフラグレジスタ

アクセス RSCFDnCFDGERFL レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGERFLL、RSCFDnCFDGERFLH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGERFLLL、RSCFDnCFDGERFLLH、RSCFDnCFDGERFLHL、RSCFDnCFDGERFLHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGERFL: <RSCFDn_base> + 0090_H

RSCFDnCFDGERFLL: <RSCFDn_base> + 0090_H、RSCFDnCFDGERFLH: <RSCFDn_base> + 0092_H

RSCFDnCFDGERFLLL: <RSCFDn_base> + 0090_H、RSCFDnCFDGERFLLH: <RSCFDn_base> + 0091_H、RSCFDnCFDGERFLHL: <RSCFDn_base> + 0092_H、RSCFDnCFDGERFLHH: <RSCFDn_base> + 0093_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	EEF3	EEF2	EEF1	EEF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CMPOF	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R	R/W 注1

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.106 RSCFDnCFDGERFL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	EEF3	チャネル 3 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
18	EEF2	チャネル 2 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
17	EEF1	チャネル 1 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
16	EEF0	チャネル 0 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ～ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	CMPOF	ペイロードオーバフローフラグ 0：ペイロードオーバフローなし 1：ペイロードオーバフロー

表 16.106 RSCFDnCFDGERFL レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	THLES	送信履歴バッファオーバフローステータスフラグ 0：送信履歴バッファオーバフローなし 1：送信履歴バッファオーバフロー
1	MES	FIFO メッセージロストステータスフラグ 0：FIFO メッセージロストエラーなし 1：FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0：DLC エラーなし 1：DLC エラー

RSCFDnCFDGERFL レジスタのフラグは、グローバルリセットモード時、“0” になります。

EEFm フラグ

チャネル m（m = 0 ～ 3）の送信優先順位判定で ECC2 ビットエラーが検出されると、EEFm フラグが “1” になり、メッセージの送信は行われません。プログラムで “0” を書くことで、“0” にできます。

CMPOF フラグ

チャネル m（m = 0 ～ 3）のいずれか 1 つでもペイロードオーバフローが発生すると、CMPOF フラグは “1” になります。プログラムで “0” を書くことで、“0” にできます。

THLES フラグ

RSCFDnCFDTHLSTSm レジスタ（m = 0 ～ 3）の THLELT フラグのいずれか 1 つでも “1” になると、THLES フラグは “1” になります。

全チャネルの THLELT フラグを “0” にすると、THLES フラグは “0” になります。

MES フラグ

RSCFDnCFDRFSTSx レジスタ（x = 0 ～ 7）の RFMLT フラグまたは RSCFDnCFDCFSTSk レジスタ（k = 0 ～ 11）の CFMLT フラグのいずれか 1 つでも “1” になると、MES フラグは “1” になります。

すべての RFMLT フラグおよび CFMLT フラグを “0” にすると、MES フラグは “0” になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1” になります。プログラムで “0” を書くことで、“0” にできます。

備　考

本レジスタのフラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

16.4.4.5 RSCFDnCFDGTSC — グローバルタイムスタンプカウンタレジスタ

アクセス RSCFDnCFDGTSC レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDGTSCL、RSCFDnCFDGTSCH レジスタは、16 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDGTSC: <RSCFDn_base> + 0094_H

RSCFDnCFDGTSCL: <RSCFDn_base> + 0094_H、RSCFDnCFDGTSCH: <RSCFDn_base> + 0096_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.107 RSCFDnCFDGTSC レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。
15 ～ 0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値：0000_H ～ $FFFF_H$

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。また、送信履歴バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCFDnCFDGCFG レジスタの TSSS ビットが “0”（pclk）の場合：
  グローバル動作モードへ遷移したときに、カウント開始。
  グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが “1”（CANm 通常ビットタイムクロック）の場合：
  対応するチャネルがチャネル通信モードへ遷移したときに、カウント開始。
  対応するチャネルがチャネルリセットモードまたはチャネル待機モードで、カウント停止。

16.4.4.6 RSCFDnCFDGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス RSCFDnCFDGTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDGTINTSTS0L、RSCFDnCFDGTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDGTINTSTS0LL、RSCFDnCFDGTINTSTS0LH、RSCFDnCFDGTINTSTS0HL、RSCFDnCFDGTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDGTINTSTS0: <RSCFDn_base> + 0460_H

RSCFDnCFDGTINTSTS0L: <RSCFDn_base> + 0460_H、RSCFDnCFDGTINTSTS0H: <RSCFDn_base> + 0462_H

RSCFDnCFDGTINTSTS0LL: <RSCFDn_base> + 0460_H、RSCFDnCFDGTINTSTS0LH: <RSCFDn_base> + 0461_H、
RSCFDnCFDGTINTSTS0HL: <RSCFDn_base> + 0462_H、RSCFDnCFDGTINTSTS0HH: <RSCFDn_base> + 0463_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	THIF3	CFTIF3	TQIF3	TAIF3	TSIF3	—	—	—	THIF2	CFTIF2	TQIF2	TAIF2	TSIF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1

注 1. 本ビットはグローバルリセットモードまたはチャネルリセットモードで自動的にクリアされます。

表 16.108 RSCFDnCFDGTINTSTS0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 29	予約ビット	リードした場合はリセット後の値が読めます。
28	THIF3	チャネル 3 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
27	CFTIF3	チャネル 3 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
26	TQIF3	チャネル 3 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
25	TAIF3	チャネル 3 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
24	TSIF3	チャネル 3 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
23 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。
20	THIF2	チャネル 2 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
19	CFTIF2	チャネル 2 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
18	TQIF2	チャネル 2 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり

表 16.108 RSCFDnCFDGTINTSTS0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
17	TAIF2	チャネル 2 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
16	TSIF2	チャネル 2 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
15 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャネル 1 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
11	CFTIF1	チャネル 1 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
10	TQIF1	チャネル 1 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
9	TAIF1	チャネル 1 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
8	TSIF1	チャネル 1 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャネル 0 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
3	CFTIF0	チャネル 0 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
2	TQIF0	チャネル 0 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TAIF0	チャネル 0 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
0	TSIF0	チャネル 0 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCFDnCFDTMIECy レジスタの TMIEp ビットが “1”（送信バッファ割り込みが許可）、かつ対応する RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、アボート要求なし）、または “11_B”（送信完了、アボート要求あり）になると、TSIFm ビットは “1” になります。

TSIFm が “1” になる条件が成立している TMTRF[1:0] フラグを全て “00_B” にすると、このフラグは “0” になります。また TMIEp ビットを “0” にすることでも、このフラグは “0” になります。

TAIFm ビット

RSCFDnCFDCmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）、かつ RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると、TAIFm ビットは “1” になります。

送信アボートを完了した TMTRF[1:0] フラグを全て “00_B” にすると、このフラグは “0” になります。

TQIFm ビット

RSCFDnCFDTXQCCm レジスタの TXQIE ビットが “1”（送信キュー割り込み許可）、かつ RSCFDnCFDTXQSTSm レジスタの TXQIF が “1”（送信キュー割り込み要求あり）になると TQIFm ビットは “1” になります。

RSCFDnCFDTXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を “0” にすると、このビットは “0” になります。TXQIE ビットを “0” にすることでも、このフラグは “0” になります。

CFTIFm ビット

RSCFDnCFDCFCCk レジスタの CFTXIE ビットが “1”（送受信 FIFO 送信割り込み許可）、かつ RSCFDnCFDCFSTSk レジスタの CFTXIF ビットが “1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは “1” になります。

CFTIFm が “1” になる条件が成立している CFTXIF ビットをすべて “0” にすると、このビットは “0” になります。CFTXIE ビットを “0” にすることでも、このフラグは “0” になります。

THIFm ビット

RSCFDnCFDTHLCCm レジスタの THLIE ビットが “1”（送信履歴割り込み許可）、かつ RSCFDnCFDTHLSTSm レジスタの THLIF ビットが “1”（送信履歴割り込み要求あり）になると、THIFm ビットは “1” になります。

RSCFDnCFDTHLSTSm レジスタの THLIF ビットを “0” にすると、このビットは “0” になります。THLIE ビットを “0” にすることでも、このフラグは “0” になります。

16.4.4.7 RSCFDnCFDGFDCFG — グローバル FD コンフィグレーションレジスタ

アクセス RSCFDnCFDGFDCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGFDCFG L、RSCFDnCFDGFDCFG H レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGFDCFG LL、RSCFDnCFDGFDCFG LH、RSCFDnCFDGFDCFG HL、RSCFDnCFDGFDCFG HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGFDCFG: <RSCFDn_base> + 0474_H
RSCFDnCFDGFDCFG L: <RSCFDn_base> + 0474_H、RSCFDnCFDGFDCFG H: <RSCFDn_base> + 0476_H
RSCFDnCFDGFDCFG LL: <RSCFDn_base> + 0474_H、RSCFDnCFDGFDCFG LH: <RSCFDn_base> + 0475_H、RSCFDnCFDGFDCFG HL: <RSCFDn_base> + 0476_H、RSCFDnCFDGFDCFG HH: <RSCFDn_base> + 0477_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	RPED
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.109 RSCFDnCFDGFDCFG レジスタの内容

ビット位置	ビット名	機能
31 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TSCCFG[1:0]	タイムスタンプキャプチャ設定ビット b9 b8 0 0：SOF ビットのサンプルポイントでキャプチャ 0 1：有効なフレーム送受信完了でキャプチャ 1 0：res ビットのサンプルポイントでキャプチャ注 1 1 1：設定しないでください
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RPED	プロトコルエクセプションイベント検出禁止ビット 0：プロトコルエクセプションイベント検出許可 1：プロトコルエクセプションイベント検出禁止

注 1. クラシカル CAN フレーム送受信の場合は、タイムキャプチャポイントは SOF ビットのサンプルポイントとなります。

TSCCFG ビット

タイムスタンプ値のキャプチャポイントを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RPED ビット

“1” にするとプロトコルエクセプションイベントの検出が禁止されます。このビットが、“1” のとき、プロトコルエクセプションイベントを検出した場合は、フォームエラーと判断してエラーフレームを出力します。このビットはグローバルリセットモードでのみ書き換えてください。

16.4.5 受信ルール関連レジスタの詳細

16.4.5.1 RSCFDnCFDGAFLECTR — 受信ルールエントリ制御レジスタ

アクセス RSCFDnCFDGAFLECTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLECTRL、RSCFDnCFDGAFLECTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLECTRLL、RSCFDnCFDGAFLECTRLH、RSCFDnCFDGAFLECTRHL、RSCFDnCFDGAFLECTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGAFLECTR: <RSCFDn_base> + 0098_H

RSCFDnCFDGAFLECTRL: <RSCFDn_base> + 0098_H、RSCFDnCFDGAFLECTRH: <RSCFDn_base> + $009A_H$

RSCFDnCFDGAFLECTRLL: <RSCFDn_base> + 0098_H、RSCFDnCFDGAFLECTRLH: <RSCFDn_base> + 0099_H、
RSCFDnCFDGAFLECTRHL: <RSCFDn_base> + $009A_H$、RSCFDnCFDGAFLECTRHH: <RSCFDn_base> + $009B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN [4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 16.110 RSCFDnCFDGAFLECTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0：受信ルールテーブル書き込み禁止 1：受信ルールテーブル書き込み許可
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 0	AFLPN [4:0]	受信ルールテーブルページ番号設定ビット ページ 0（00000_B）からページ 15（01111_B）の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ “1” にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“00000_B” ～ “01111_B” 以外の値を設定しないでください。

16.4.5.2 RSCFDnCFDGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス RSCFDnCFDGAFLCFG0 レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLCFG0L、RSCFDnCFDGAFLCFG0H レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLCFG0LL、RSCFDnCFDGAFLCFG0LH、RSCFDnCFDGAFLCFG0HL、RSCFDnCFDGAFLCFG0HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGAFLCFG0: <RSCFDn_base> + $009C_H$

RSCFDnCFDGAFLCFG0L: <RSCFDn_base> + $009C_H$、RSCFDnCFDGAFLCFG0H: <RSCFDn_base> + $009E_H$

RSCFDnCFDGAFLCFG0LL: <RSCFDn_base> + $009C_H$、RSCFDnCFDGAFLCFG0LH: <RSCFDn_base> + $009D_H$、
RSCFDnCFDGAFLCFG0HL: <RSCFDn_base> + $009E_H$、RSCFDnCFDGAFLCFG0HH: <RSCFDn_base> + $009F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC2[7:0]								RNC3[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.111 RSCFDnCFDGAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RNC0[7:0]	チャネル 0 用ルール数 チャネル 0 の受信ルール数を設定してください。
23 ～ 16	RNC1[7:0]	チャネル 1 用ルール数 チャネル 1 の受信ルール数を設定してください。
15 ～ 8	RNC2[7:0]	チャネル 2 用ルール数 チャネル 2 の受信ルール数を設定してください。
7 ～ 0	RNC3[7:0]	チャネル 3 用ルール数 チャネル 3 の受信ルール数を設定してください。

RSCFDnCFDGAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 ×（チャネル数）です。各チャネルの受信ルール数は、次の条件を満たしてください。

- 1 チャネルのルール数は 128 以下である。
- 各チャネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

RNC1[7:0] ビット

チャネル 1 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

RNC2[7:0] ビット

チャネル 2 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

RNC3[7:0] ビット

チャネル 3 の受信ルールテーブルに登録するルール数を設定します。

00_H ～ 80_H 以外の値を設定しないでください。

16.4.5.3　RSCFDnCFDGAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15）

アクセス　RSCFDnCFDGAFLIDj レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLIDjL、RSCFDnCFDGAFLIDjH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLIDjLL、RSCFDnCFDGAFLIDjLH、RSCFDnCFDGAFLIDjHL、RSCFDnCFDGAFLIDjHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RSCFDnCFDGAFLIDj: <RSCFDn_base> + 1000_H + (10_H × j)

RSCFDnCFDGAFLIDjL: <RSCFDn_base> + 1000_H + (10_H × j)、
RSCFDnCFDGAFLIDjH: <RSCFDn_base> + 1002_H + (10_H × j)

RSCFDnCFDGAFLIDjLL: <RSCFDn_base> + 1000_H + (10_H × j)、
RSCFDnCFDGAFLIDjLH: <RSCFDn_base> + 1001_H + (10_H × j)、
RSCFDnCFDGAFLIDjHL: <RSCFDn_base> + 1002_H + (10_H × j)、
RSCFDnCFDGAFLIDjHH: <RSCFDn_base> + 1003_H + (10_H × j)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.112 RSCFDnCFDGAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0：標準 ID 1：拡張 ID
30	GAFLRTR	RTR 選択ビット 0：データフレーム 1：リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0：他の CAN ノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時
28 ～ 0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10 ～ b0 に ID を設定してください。b28 ～ b11 は “0” にしてください。

RSCFDnCFDGAFLIDj レジスタは、RSCFDnCFDGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に “1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

16.4.5.4 RSCFDnCFDGAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）

アクセス RSCFDnCFDGAFLMj レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLMjL、RSCFDnCFDGAFLMjH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLMjLL、RSCFDnCFDGAFLMjLH、RSCFDnCFDGAFLMjHL、RSCFDnCFDGAFLMjHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGAFLMj: <RSCFDn_base> + 1004_H + (10_H × j)

RSCFDnCFDGAFLMjL: <RSCFDn_base> + 1004_H + (10_H × j)、
RSCFDnCFDGAFLMjH: <RSCFDn_base> + 1006_H + (10_H × j)

RSCFDnCFDGAFLMjLL: <RSCFDn_base> + 1004_H + (10_H × j)、
RSCFDnCFDGAFLMjLH: <RSCFDn_base> + 1005_H + (10_H × j)、
RSCFDnCFDGAFLMjHL: <RSCFDn_base> + 1006_H + (10_H × j)、
RSCFDnCFDGAFLMjHH: <RSCFDn_base> + 1007_H + (10_H × j)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDEM	GAFLRTRM	—	GAFLIDM [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.113 RSCFDnCFDGAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0：IDE ビットを比較しない 1：IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0：RTR ビットを比較しない 1：RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ～ 0	GAFLIDM [28:0]	ID マスクビット 0：対応する ID ビットを比較しない 1：対応する ID ビットを比較する

RSCFDnCFDGAFLMj レジスタは、RSCFDnCFDGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCFDnCFDGAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0” にすると、 すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを “0” にする場合は、GAFLIDM[28:0] ビットをすべて “0” にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

16.4.5.5 RSCFDnCFDGAFLP0_j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）

アクセス RSCFDnCFDGAFLP0_j レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLP0_jL、RSCFDnCFDGAFLP0_jH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLP0_jLL、RSCFDnCFDGAFLP0_jLH、RSCFDnCFDGAFLP0_jHL、RSCFDnCFDGAFLP0_jHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGAFLP0_j: <RSCFDn_base> + 1008_H + (10_H × j)

RSCFDnCFDGAFLP0_jL: <RSCFDn_base> + 1008_H + (10_H × j)、
RSCFDnCFDGAFLP0_jH: <RSCFDn_base> + $100A_H$ + (10_H × j)

RSCFDnCFDGAFLP0_jLL: <RSCFDn_base> + 1008_H + (10_H × j)、
RSCFDnCFDGAFLP0_jLH: <RSCFDn_base> + 1009_H + (10_H × j)、
RSCFDnCFDGAFLP0_jHL: <RSCFDn_base> + $100A_H$ + (10_H × j)、
RSCFDnCFDGAFLP0_jHH: <RSCFDn_base> + $100B_H$ + (10_H × j)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC [3:0]				GAFLPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLRMV	GAFLRMDP [6:0]							—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 16.114 RSCFDnCFDGAFLP0_j レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 28	GAFLDLC [3:0]	受信ルール DLC 設定ビット
27 ～ 16	GAFLPTR [11:0]	受信ルールラベル設定ビット 12 ビットのラベル情報を設定

b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム
0	0	0	0	DLC チェックしない	
0	0	0	1	1 データバイト	
0	0	1	0	2 データバイト	
0	0	1	1	3 データバイト	
0	1	0	0	4 データバイト	
0	1	0	1	5 データバイト	
0	1	1	0	6 データバイト	
0	1	1	1	7 データバイト	
1	0	0	0	8 データバイト	
1	0	0	1	8 データバイト	12 データバイト
1	0	1	0		16 データバイト
1	0	1	1		20 データバイト
1	1	0	0		24 データバイト
1	1	0	1		32 データバイト
1	1	1	0		48 データバイト
1	1	1	1		64 データバイト

表 16.114 RSCFDnCFDGAFLP0_j レジスタの内容 (2/2)

ビット位置	ビット名	機能
15	GAFLRMV	受信バッファ許可ビット 0：受信バッファを使用しない 1：受信バッファを使用する
14 ～ 8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCFDnCFDGAFLP0_j レジスタは、RSCFDnCFDGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B” を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1” にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを “1” にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCFDnCFDRMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

16.4.5.6 RSCFDnCFDGAFLP1_j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）

アクセス RSCFDnCFDGAFLP1_j レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLP1_jL、RSCFDnCFDGAFLP1_jH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLP1_jLL、RSCFDnCFDGAFLP1_jLH、RSCFDnCFDGAFLP1_jHL、RSCFDnCFDGAFLP1_jHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGAFLP1_j: <RSCFDn_base> + $100C_H$ + (10_H × j)

RSCFDnCFDGAFLP1_jL: <RSCFDn_base> + $100C_H$ + (10_H × j)、
RSCFDnCFDGAFLP1_jH: <RSCFDn_base> + $100E_H$ + (10_H × j)

RSCFDnCFDGAFLP1_jLL: <RSCFDn_base> + $100C_H$ + (10_H × j)、
RSCFDnCFDGAFLP1_jLH: <RSCFDn_base> + $100D_H$ + (10_H × j)、
RSCFDnCFDGAFLP1_jHL: <RSCFDn_base> + $100E_H$ + (10_H × j)、
RSCFDnCFDGAFLP1_jHH: <RSCFDn_base> + $100F_H$ + (10_H × j)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	GAFLFDP [19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLFDP [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.115 RSCFDnCFDGAFLP1_j レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19 ～ 8	GAFLFDP [19:8]	送受信 FIFO バッファ k 選択ビット （ビット位置 -8 が対象となる送受信 FIFO バッファ番号 k になります） 0：送受信 FIFO バッファを選択しない 1：送受信 FIFO バッファを選択する
7 ～ 0	GAFLFDP [7:0]	受信 FIFO バッファ x 選択ビット （ビット位置が対象となる受信 FIFO バッファ番号 x になります） 0：受信 FIFO バッファを選択しない 1：受信 FIFO バッファを選択する

RSCFDnCFDGAFLP1_j レジスタは、RSCFDnCFDGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLFDP [19:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCFDnCFDGAFLP0_j レジスタの GAFLRMV ビットを “1”（受信バッファにメッセージを格納する）にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットを “00_B”（受信モード）または “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファのみ選択できます。

16.4.6 受信バッファ関連レジスタの詳細

16.4.6.1 RSCFDnCFDRMNB — 受信バッファナンバレジスタ

アクセス RSCFDnCFDRMNB レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDRMNBL、RSCFDnCFDRMNBH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDRMNBLL、RSCFDnCFDRMNBLH、RSCFDnCFDRMNBHL、RSCFDnCFDRMNBHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDRMNB: <RSCFDn_base> + $00A4_H$

RSCFDnCFDRMNBL: <RSCFDn_base> + $00A4_H$、RSCFDnCFDRMNBH: <RSCFDn_base> + $00A6_H$

RSCFDnCFDRMNBLL: <RSCFDn_base> + $00A4_H$、RSCFDnCFDRMNBLH: <RSCFDn_base> + $00A5_H$、RSCFDnCFDRMNBHL: <RSCFDn_base> + $00A6_H$、RSCFDnCFDRMNBHH: <RSCFDn_base> + $00A7_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMPLS[1:0]		NRXMB [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.116 RSCFDnCFDRMNB レジスタの内容

ビット位置	ビット名	機能
31 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	RMPLS[1:0]	受信バッファペイロード格納サイズ選択ビット b9 b8 0 0 : 8 バイト 0 1 : 12 バイト 1 0 : 16 バイト 1 1 : 20 バイト
7 ～ 0	NRXMB [7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0 ～ 64 の範囲で設定してください。

RSCFDnCFDRMNB レジスタはグローバルリセットモードでのみ書き換えてください。

RMPLS[1:0] ビット

受信バッファに格納できるペイロードの上限サイズを選択します。

NRXMB[7:0] ビット

RS-CANFD モジュール全体の受信バッファ数を設定します。最大値は、16 ×（チャネル数）です。

“0” を設定すると、受信バッファは使用できません。

16.4.6.2 RSCFDnCFDRMNDy — 受信バッファ新データレジスタ（y = 0、1）

アクセス RSCFDnCFDRMNDy レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDRMNDyL、RSCFDnCFDRMNDyH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDRMNDyLL、RSCFDnCFDRMNDyLH、RSCFDnCFDRMNDyHL、RSCFDnCFDRMNDyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDRMNDy: <RSCFDn_base> + $00A8_H$ + (04_H × y)

RSCFDnCFDRMNDyL: <RSCFDn_base> + $00A8_H$ + (04_H × y)、
RSCFDnCFDRMNDyH: <RSCFDn_base> + $00AA_H$ + (04_H × y)

RSCFDnCFDRMNDyLL: <RSCFDn_base> + $00A8_H$ + (04_H × y)、
RSCFDnCFDRMNDyLH: <RSCFDn_base> + $00A9_H$ + (04_H × y)、
RSCFDnCFDRMNDyHL: <RSCFDn_base> + $00AA_H$ + (04_H × y)、
RSCFDnCFDRMNDyHH: <RSCFDn_base> + $00AB_H$ + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31)	RMNSq (q = y × 32 + 30)	RMNSq (q = y × 32 + 29)	RMNSq (q = y × 32 + 28)	RMNSq (q = y × 32 + 27)	RMNSq (q = y × 32 + 26)	RMNSq (q = y × 32 + 25)	RMNSq (q = y × 32 + 24)	RMNSq (q = y × 32 + 23)	RMNSq (q = y × 32 + 22)	RMNSq (q = y × 32 + 21)	RMNSq (q = y × 32 + 20)	RMNSq (q = y × 32 + 19)	RMNSq (q = y × 32 + 18)	RMNSq (q = y × 32 + 17)	RMNSq (q = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15)	RMNSq (q = y × 32 + 14)	RMNSq (q = y × 32 + 13)	RMNSq (q = y × 32 + 12)	RMNSq (q = y × 32 + 11)	RMNSq (q = y × 32 + 10)	RMNSq (q = y × 32 + 9)	RMNSq (q = y × 32 + 8)	RMNSq (q = y × 32 + 7)	RMNSq (q = y × 32 + 6)	RMNSq (q = y × 32 + 5)	RMNSq (q = y × 32 + 4)	RMNSq (q = y × 32 + 3)	RMNSq (q = y × 32 + 2)	RMNSq (q = y × 32 + 1)	RMNSq (q = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.117 RSCFDnCFDRMNDy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	RMNSq	受信バッファ受信完了フラグ q（q = y × 32 + 31 ～ y × 32 + 16） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり
15 ～ 0	RMNSq	受信バッファ受信完了フラグ q（q = y × 32 + 15 ～ y × 32 + 0） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり

RSCFDnCFDRMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

RMNSq フラグ（q = 0 ～ 63）

対応する受信バッファにメッセージを格納する処理が始まると “1” になります。

フラグを “0” にする場合は、プログラムで “0” を書いてください。書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いて下さい。メッセージ格納中は “0” にできません。メッセージを格納する時間は受信バッファの格納ペイロードサイズによって異なり、RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビットが “00_B”（8 バイト）のときは pclk の 12 クロック分、RMPLS[1:0] ビットが “11_B”（20 バイト）のときは pclk の 18 クロック分です（格納ペイロードサイズ 4 バイトあたり pclk の 2 クロック分）。

グローバルリセットモード時、“0” になります。

16.4.6.3 RSCFDnCFDRMIDq — 受信バッファ ID レジスタ（q = 0 ～ 63）

アクセス RSCFDnCFDRMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMIDqL、RSCFDnCFDRMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMIDqLL、RSCFDnCFDRMIDqLH、RSCFDnCFDRMIDqHL、RSCFDnCFDRMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMIDq: <RSCFDn_base> + 2000_H + (20_H × q)

RSCFDnCFDRMIDqL: <RSCFDn_base> + 2000_H + (20_H × q)、
RSCFDnCFDRMIDqH: <RSCFDn_base> + 2002_H + (20_H × q)

RSCFDnCFDRMIDqLL: <RSCFDn_base> + 2000_H + (20_H × q)、
RSCFDnCFDRMIDqLH: <RSCFDn_base> + 2001_H + (20_H × q)、
RSCFDnCFDRMIDqHL: <RSCFDn_base> + 2002_H + (20_H × q)、
RSCFDnCFDRMIDqHH: <RSCFDn_base> + 2003_H + (20_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.118 RSCFDnCFDRMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RMRTR	受信バッファ RTR ／ RRS ビット • 受信メッセージがクラシカル CAN フレームのとき 0：データフレーム 1：リモートフレーム • 受信メッセージが CAN FD フレームのとき 受信メッセージの RRS ビット値が読めます。
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ～ 0	RMID [28:0]	受信バッファ ID データ 受信メッセージの標準 ID ／拡張 ID が読めます。 標準 ID の場合は、b10 ～ b0 を読んでください。b28 ～ b11 は “0” が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RMRTR ビット

受信したメッセージがクラシカル CAN フレームのとき、受信バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。受信したメッセージが CAN FD フレームのときはメッセージの RRS ビット値を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

16.4.6.4 RSCFDnCFDRMPTRq — 受信バッファポインタレジスタ（q = 0 ～ 63）

アクセス RSCFDnCFDRMPTRq レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMPTRqL、RSCFDnCFDRMPTRqH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMPTRqLL、RSCFDnCFDRMPTRqLH、RSCFDnCFDRMPTRqHL、
RSCFDnCFDRMPTRqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMPTRq: <RSCFDn_base> + 2004_H + (20_H × q)

RSCFDnCFDRMPTRqL: <RSCFDn_base> + 2004_H + (20_H × q)、
RSCFDnCFDRMPTRqH: <RSCFDn_base> + 2006_H + (20_H × q)

RSCFDnCFDRMPTRqLL: <RSCFDn_base> + 2004_H + (20_H × q)、
RSCFDnCFDRMPTRqLH: <RSCFDn_base> + 2005_H + (20_H × q)、
RSCFDnCFDRMPTRqHL: <RSCFDn_base> + 2006_H + (20_H × q)、
RSCFDnCFDRMPTRqHH: <RSCFDn_base> + 2007_H + (20_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC [3:0]				RMPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.119 RSCFDnCFDRMPTRq レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	RMDLC [3:0]	受信バッファ DLC データ
27 ～ 16	RMPTR [11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ～ 0	RMTS [15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム
0	0	0	0	0 データバイト	
0	0	0	1	1 データバイト	
0	0	1	0	2 データバイト	
0	0	1	1	3 データバイト	
0	1	0	0	4 データバイト	
0	1	0	1	5 データバイト	
0	1	1	0	6 データバイト	
0	1	1	1	7 データバイト	
1	0	0	0	8 データバイト	
1	0	0	1	8 データバイト	12 データバイト
1	0	1	0		16 データバイト
1	0	1	1		20 データバイト
1	1	0	0		24 データバイト
1	1	0	1		32 データバイト
1	1	1	0		48 データバイト
1	1	1	1		64 データバイト

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。受信バッファに格納されるペイロードのバイト数は RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビットに従います。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

16.4.6.5 RSCFDnCFDRMFDSTSq — 受信バッファ CAN FD ステータスレジスタ（q = 0 ～ 63）

アクセス RSCFDnCFDRMFDSTSq レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMFDSTSqL、RSCFDnCFDRMFDSTSqH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMFDSTSqLL、RSCFDnCFDRMFDSTSqLH、RSCFDnCFDRMFDSTSqHL、
RSCFDnCFDRMFDSTSqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMFDSTSq: <RSCFDn_base> + 2008_H + (20_H × q)

RSCFDnCFDRMFDSTSqL: <RSCFDn_base> + 2008_H + (20_H × q)、
RSCFDnCFDRMFDSTSqH: <RSCFDn_base> + $200A_H$ + (20_H × q)

RSCFDnCFDRMFDSTSqLL: <RSCFDn_base> + 2008_H + (20_H × q)、
RSCFDnCFDRMFDSTSqLH: <RSCFDn_base> + 2009_H + (20_H × q)、
RSCFDnCFDRMFDSTSqHL: <RSCFDn_base> + $200A_H$ + (20_H × q)、
RSCFDnCFDRMFDSTSqHH: <RSCFDn_base> + $200B_H$ + (20_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RMFDF	RMBRS	RMESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.120 RSCFDnCFDRMFDSTSq レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	RMFDF	FDF ビット 0：クラシカル CAN フレーム 1：CAN FD フレーム
1	RMBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	RMESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

RMFDF ビット

受信バッファに格納されたメッセージの FD フォーマット（クラシカル CAN フレームまたは CAN FD フレーム）を示します。

RMBRS ビット

RMFDF ビットが “1” の場合は、受信バッファに格納されたメッセージの BRS ビット値を示します。RMFDF ビットが “0” の場合は、常に “0” が読めます。

RMESI ビット

RMFDF ビットが “1” の場合は、受信バッファに格納されたメッセージの ESI ビット値を示します。RMFDF ビットが “0” の場合は、常に “0” が読めます。

16.4.6.6 RSCFDnCFDRMDFb_q — 受信バッファデータフィールド b レジスタ（b = 0 ～ 4、q = 0 ～ 63）

アクセス RSCFDnCFDRMDFb_q レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMDFb_qL、RSCFDnCFDRMDFb_qH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMDFb_qLL、RSCFDnCFDRMDFb_qLH、RSCFDnCFDRMDFb_qHL、RSCFDnCFDRMDFb_qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRMDFb_q: <RSCFDn_base> + $200C_H$ + (04_H × b) + (20_H × q)

RSCFDnCFDRMDFb_qL: <RSCFDn_base> + $200C_H$ + (04_H × b) + (20_H × q)、
RSCFDnCFDRMDFb_qH: <RSCFDn_base> + $200E_H$ + (04_H × b) + (20_H × q)

RSCFDnCFDRMDFb_qLL: <RSCFDn_base> + $200C_H$ + (04_H × b) + (20_H × q)、
RSCFDnCFDRMDFb_qLH: <RSCFDn_base> + $200D_H$ + (04_H × b) + (20_H × q)、
RSCFDnCFDRMDFb_qHL: <RSCFDn_base> + $200E_H$ + (04_H × b) + (20_H × q)、
RSCFDnCFDRMDFb_qHH: <RSCFDn_base> + $200F_H$ + (04_H × b) + (20_H × q)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB4 × b + 3 [7:0]								RMDB4 × b + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB4 × b + 1 [7:0]								RMDB4 × b + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.121 RSCFDnCFDRMDFb_q レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RMDB4 × b + 3 [7:0]	受信バッファデータバイト 4 × b + 3 受信バッファデータバイト 4 × b + 2 受信バッファデータバイト 4 × b + 1 受信バッファデータバイト 4 × b + 0 受信バッファに格納されたメッセージのデータが読めます。
23 ～ 16	RMDB4 × b + 2 [7:0]	
15 ～ 8	RMDB4 × b + 1 [7:0]	
7 ～ 0	RMDB4 × b + 0 [7:0]	

RSCFDnCFDRMPTRq レジスタの RMDLC[3:0] ビットの値が受信バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

受信バッファのペイロード格納サイズは RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDRMDFb_q レジスタは読み書きしないでください。

16.4.7 受信 FIFO バッファ関連レジスタの詳細

16.4.7.1 RSCFDnCFDRFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）

アクセス RSCFDnCFDRFCCx レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDRFCCxL、RSCFDnCFDRFCCxH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDRFCCxLL、RSCFDnCFDRFCCxLH、RSCFDnCFDRFCCxHL、RSCFDnCFDRFCCxHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDRFCCx: <RSCFDn_base> + $00B8_H$ + (04_H × x)

RSCFDnCFDRFCCxL: <RSCFDn_base> + $00B8_H$ + (04_H × x)、
RSCFDnCFDRFCCxH: <RSCFDn_base> + $00BA_H$ + (04_H × x)

RSCFDnCFDRFCCxLL: <RSCFDn_base> + $00B8_H$ + (04_H × x)、
RSCFDnCFDRFCCxLH: <RSCFDn_base> + $00B9_H$ + (04_H × x)、
RSCFDnCFDRFCCxHL: <RSCFDn_base> + $00BA_H$ + (04_H × x)、
RSCFDnCFDRFCCxHH: <RSCFDn_base> + $00BB_H$ + (04_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV [2:0]			RFIM	—	RFDC [2:0]			—	RFPLS[2:0]			—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

表 16.122 RSCFDnCFDRFCCx レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 13	RFIGCV [2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0：FIFO バッファに 1/8 までメッセージ格納時 0 0 1：FIFO バッファに 2/8 までメッセージ格納時 0 1 0：FIFO バッファに 3/8 までメッセージ格納時 0 1 1：FIFO バッファに 4/8 までメッセージ格納時 1 0 0：FIFO バッファに 5/8 までメッセージ格納時 1 0 1：FIFO バッファに 6/8 までメッセージ格納時 1 1 0：FIFO バッファに 7/8 までメッセージ格納時 1 1 1：FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0：RFIGCV[2:0] ビットで設定した条件に達したときに発生 1：1 メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ～ 8	RFDC [2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0：0 メッセージ 0 0 1：4 メッセージ 0 1 0：8 メッセージ 0 1 1：16 メッセージ 1 0 0：32 メッセージ 1 0 1：48 メッセージ 1 1 0：64 メッセージ 1 1 1：128 メッセージ

表 16.122 RSCFDnCFDRFCCx レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 4	RFPLS[2:0]	受信 FIFO バッファペイロード格納サイズ選択ビット b6 b5 b4 0 0 0：8 バイト 0 0 1：12 バイト 0 1 0：16 バイト 0 1 1：20 バイト 1 0 0：24 バイト 1 0 1：32 バイト 1 1 0：48 バイト 1 1 1：64 バイト
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0：受信 FIFO 割り込み禁止 1：受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0：受信 FIFO バッファを使用しない 1：受信 FIFO バッファを使用する

RFIGCV[2:0] ビット

RFIM ビットを “0” にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（RFDC[2:0] の設定）に対する分数で指定します。

RFDC[2:0] ビットを “001_B”（4 メッセージ）に設定した場合は、RFIGCV[2:0] ビットを “001_B”、“011_B”、“101_B”、または “111_B” にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B” に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFPLS[2:0] ビット

受信 FIFO バッファに格納できるペイロードの上限サイズを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1” にすると、受信 FIFO 割り込みが使用できます。RFE ビットが “0”（受信 FIFO バッファを使用しない）のときに、RFIE ビットを書き換えてください。

RFE ビット

“1” にすると、受信 FIFO バッファが使用できます。“0” にすると、RSCFDnCFDRFSTSx レジスタの RFEMP フラグが “1”（バッファ空）になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

このビットは、RSCFDnCFDRFCCx レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

グローバルリセットモード時、“0” になります。

16.4.7.2 RSCFDnCFDRFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）

アクセス RSCFDnCFDRFSTSx レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDRFSTSxL、RSCFDnCFDRFSTSxH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDRFSTSxLL、RSCFDnCFDRFSTSxLH、RSCFDnCFDRFSTSxHL、RSCFDnCFDRFSTSxHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDRFSTSx: <RSCFDn_base> + $00D8_H$ + (04_H × x)

RSCFDnCFDRFSTSxL: <RSCFDn_base> + $00D8_H$ + (04_H × x)、
RSCFDnCFDRFSTSxH: <RSCFDn_base> + $00DA_H$ + (04_H × x)

RSCFDnCFDRFSTSxLL: <RSCFDn_base> + $00D8_H$ + (04_H × x)、
RSCFDnCFDRFSTSxLH: <RSCFDn_base> + $00D9_H$ + (04_H × x)、
RSCFDnCFDRFSTSxHL: <RSCFDn_base> + $00DA_H$ + (04_H × x)、
RSCFDnCFDRFSTSxHH: <RSCFDn_base> + $00DB_H$ + (04_H × x)

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]								—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.123 RSCFDnCFDRFSTSx レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0：受信 FIFO 割り込み要求なし 1：受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0：受信 FIFO メッセージロストなし 1：受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファフルではない 1：受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0：受信 FIFO バッファに未読メッセージあり 1：受信 FIFO バッファに未読メッセージなし（バッファ空）

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCFDnCFDRFCCx レジスタの RFE ビットを “0” にすると、“00_H” になります。

このフラグは、グローバルリセットモード時、“00_H” になります。

RFIF フラグ

RSCFDnCFDRFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに “1” になります。RFIF フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき “1” になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCFDnCFDRFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると “1” になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると “0” になります。また、RSCFDnCFDRFCCx レジスタの RFE ビットが “0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に “0” になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと “1” になります。また、RSCFDnCFDRFCCx レジスタの RFE ビットが “0” のとき、またはグローバルリセットモード時に “1” になります。

受信メッセージが 1 つでも受信 FIFO バッファに格納されると “0” になります。

備　考

RFMLT もしくは RFIF フラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

16.4.7.3 RSCFDnCFDRFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）

アクセス RSCFDnCFDRFPCTRx レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDRFPCTRxL、RSCFDnCFDRFPCTRxH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDRFPCTRxLL、RSCFDnCFDRFPCTRxLH、RSCFDnCFDRFPCTRxHL、
RSCFDnCFDRFPCTRxHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDRFPCTRx: <RSCFDn_base> + $00F8_H$ + (04_H × x)

RSCFDnCFDRFPCTRxL: <RSCFDn_base> + $00F8_H$ + (04_H × x)、
RSCFDnCFDRFPCTRxH: <RSCFDn_base> + $00FA_H$ + (04_H × x)

RSCFDnCFDRFPCTRxLL: <RSCFDn_base> + $00F8_H$ + (04_H × x)、
RSCFDnCFDRFPCTRxLH: <RSCFDn_base> + $00F9_H$ + (04_H × x)、
RSCFDnCFDRFPCTRxHL: <RSCFDn_base> + $00FA_H$ + (04_H × x)、
RSCFDnCFDRFPCTRxHH: <RSCFDn_base> + $00FB_H$ + (04_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 16.124 RSCFDnCFDRFPCTRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	RFPC [7:0]	受信 FIFO ポインタ制御 “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RFPC[7:0] ビット

RFPC[7:0] ビットに “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCFDnCFDRFSTSx レジスタの RFMC[7:0] ビット（受信 FIFO 未読メッセージ数表示カウンタ）の値が 1 減算されます。RSCFDnCFDRFIDx、RSCFDnCFDRFPTRx、RSCFDnCFDRFFDSTSx、RSCFDnCFDRFDFd_x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCFDnCFDRFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）で、RSCFDnCFDRFSTSx レジスタの RFEMP フラグが “0” 未読メッセージあり）のときに行ってください。

16.4.7.4 RSCFDnCFDRFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）

アクセス RSCFDnCFDRFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFIDxL、RSCFDnCFDRFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFIDxLL、RSCFDnCFDRFIDxLH、RSCFDnCFDRFIDxHL、RSCFDnCFDRFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFIDx: <RSCFDn_base> + 3000_H + (80_H × x)

RSCFDnCFDRFIDxL: <RSCFDn_base> + 3000_H + (80_H × x)、
RSCFDnCFDRFIDxH: <RSCFDn_base> + 3002_H + (80_H × x)

RSCFDnCFDRFIDxLL: <RSCFDn_base> + 3000_H + (80_H × x)、
RSCFDnCFDRFIDxLH: <RSCFDn_base> + 3001_H + (80_H × x)、
RSCFDnCFDRFIDxHL: <RSCFDn_base> + 3002_H + (80_H × x)、
RSCFDnCFDRFIDxHH: <RSCFDn_base> + 3003_H + (80_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.125 RSCFDnCFDRFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RFRTR	受信 FIFO バッファ RTR ／ RRS ビット • 受信メッセージがクラシカル CAN フレームのとき 0：データフレーム 1：リモートフレーム • 受信メッセージが CAN FD フレームのとき 受信メッセージの RRS ビット値が読めます。
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ～ 0	RFID [28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID ／拡張 ID が読めます。 標準 ID の場合は、b10 ～ b0 を読んでください。b28 ～ b11 は “0” が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RFRTR ビット

受信したメッセージがクラシカル CAN フレームのとき、受信 FIFO バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。受信したメッセージが CAN FD フレームのときはメッセージの RRS ビット値を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

16.4.7.5 RSCFDnCFDRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）

アクセス RSCFDnCFDRFPTRx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFPTRxL、RSCFDnCFDRFPTRxH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFPTRxLL、RSCFDnCFDRFPTRxLH、RSCFDnCFDRFPTRxHL、RSCFDnCFDRFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFPTRx: <RSCFDn_base> + 3004_H + (80_H × x)

RSCFDnCFDRFPTRxL: <RSCFDn_base> + 3004_H + (80_H × x)、
RSCFDnCFDRFPTRxH: <RSCFDn_base> + 3006_H + (80_H × x)

RSCFDnCFDRFPTRxLL: <RSCFDn_base> + 3004_H + (80_H × x)、
RSCFDnCFDRFPTRxLH: <RSCFDn_base> + 3005_H + (80_H × x)、
RSCFDnCFDRFPTRxHL: <RSCFDn_base> + 3006_H + (80_H × x)、
RSCFDnCFDRFPTRxHH: <RSCFDn_base> + 3007_H + (80_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC [3:0]				RFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.126 RSCFDnCFDRFPTRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	RFDLC [3:0]	受信 FIFO バッファ DLC データ
27 ～ 16	RFPTR [11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ～ 0	RFTS [15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム
0	0	0	0	0 データバイト	
0	0	0	1	1 データバイト	
0	0	1	0	2 データバイト	
0	0	1	1	3 データバイト	
0	1	0	0	4 データバイト	
0	1	0	1	5 データバイト	
0	1	1	0	6 データバイト	
0	1	1	1	7 データバイト	
1	0	0	0	8 データバイト	
1	0	0	1	8 データバイト	12 データバイト
1	0	1	0		16 データバイト
1	0	1	1		20 データバイト
1	1	0	0		24 データバイト
1	1	0	1		32 データバイト
1	1	1	0		48 データバイト
1	1	1	1		64 データバイト

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

16.4.7.6 RSCFDnCFDRFFDSTSx — 受信 FIFO CAN FD ステータスレジスタ（x = 0 ~ 7）

アクセス RSCFDnCFDRFFDSTSx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFFDSTSxL、RSCFDnCFDRFFDSTSxH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFFDSTSxLL、RSCFDnCFDRFFDSTSxLH、RSCFDnCFDRFFDSTSxHL、
RSCFDnCFDRFFDSTSxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFFDSTSx: <RSCFDn_base> + 3008_H + (80_H × x)

RSCFDnCFDRFFDSTSxL: <RSCFDn_base> + 3008_H + (80_H × x)、
RSCFDnCFDRFFDSTSxH: <RSCFDn_base> + $300A_H$ + (80_H × x)

RSCFDnCFDRFFDSTSxLL: <RSCFDn_base> + 3008_H + (80_H × x)、
RSCFDnCFDRFFDSTSxLH: <RSCFDn_base> + 3009_H + (80_H × x)、
RSCFDnCFDRFFDSTSxHL: <RSCFDn_base> + $300A_H$ + (80_H × x)、
RSCFDnCFDRFFDSTSxHH: <RSCFDn_base> + $300B_H$ + (80_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFDF	RFBRS	RFESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.127 RSCFDnCFDRFFDSTSx レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	RFFDF	FDF ビット 0：クラシカル CAN フレーム 1：CAN FD フレーム
1	RFBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	RFESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

RFFDF ビット

受信 FIFO バッファに格納されたメッセージの FD フォーマット（クラシカル CAN フレームまたは CAN FD フレーム）を示します。

RFBRS ビット

RFFDF ビットが “1” の場合は、受信 FIFO バッファに格納されたメッセージの BRS ビット値を示します。RFFDF ビットが “0” の場合は、常に “0” が読めます。

RFESI ビット

RFFDF ビットが “1” の場合は、受信 FIFO バッファに格納されたメッセージの ESI ビット値を示します。RFFDF ビットが “0” の場合は、常に “0” が読めます。

16.4.7.7 RSCFDnCFDRFDFd_x — 受信 FIFO バッファアクセスデータフィールド d レジスタ（d = 0 ~ 15、x = 0 ~ 7）

アクセス RSCFDnCFDRFDFd_x レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFDFd_xL、RSCFDnCFDRFDFd_xH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFDFd_xLL、RSCFDnCFDRFDFd_xLH、RSCFDnCFDRFDFd_xHL、RSCFDnCFDRFDFd_xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFDFd_x: <RSCFDn_base> + $300C_H$ + (04_H × d) + (80_H × x)

RSCFDnCFDRFDFd_xL: <RSCFDn_base> + $300C_H$ + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xH: <RSCFDn_base> + $300E_H$ + (04_H × d) + (80_H × x)

RSCFDnCFDRFDFd_xLL: <RSCFDn_base> + $300C_H$ + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xLH: <RSCFDn_base> + $300D_H$ + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xHL: <RSCFDn_base> + $300E_H$ + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xHH: <RSCFDn_base> + $300F_H$ + (04_H × d) + (80_H × x)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB4 × d + 3 [7:0]								RFDB4 × d + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB4 × d + 1 [7:0]								RFDB4 × d + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.128 RSCFDnCFDRFDFd_x レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RFDB4 × d + 3 [7:0]	受信 FIFO バッファデータバイト 4 × d + 3 受信 FIFO バッファデータバイト 4 × d + 2 受信 FIFO バッファデータバイト 4 × d + 1 受信 FIFO バッファデータバイト 4 × d + 0 受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	RFDB4 × d + 2 [7:0]	
15 ～ 8	RFDB4 × d + 1 [7:0]	
7 ～ 0	RFDB4 × d + 0 [7:0]	

RSCFDnCFDRFPTRx レジスタの RFDLC[3:0] ビットの値が受信 FIFO バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

受信 FIFO バッファのペイロード格納サイズは RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDRFDFd_x レジスタは読み書きしないでください。

16.4.8 送受信 FIFO バッファ関連レジスタの詳細

16.4.8.1 RSCFDnCFDCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ～ 11）

アクセス RSCFDnCFDCFCCk レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCFCCkL、RSCFDnCFDCFCCkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCFCCkLL、RSCFDnCFDCFCCkLH、RSCFDnCFDCFCCkHL、RSCFDnCFDCFCCkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCFCCk: <RSCFDn_base> + 0118_H + (04_H × k)

RSCFDnCFDCFCCkL: <RSCFDn_base> + 0118_H + (04_H × k)、
RSCFDnCFDCFCCkH: <RSCFDn_base> + $011A_H$ + (04_H × k)

RSCFDnCFDCFCCkLL: <RSCFDn_base> + 0118_H + (04_H × k)、
RSCFDnCFDCFCCkLH: <RSCFDn_base> + 0119_H + (04_H × k)、
RSCFDnCFDCFCCkHL: <RSCFDn_base> + $011A_H$ + (04_H × k)、
RSCFDnCFDCFCCkHH: <RSCFDn_base> + $011B_H$ + (04_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]								CFTML[3:0]				CFITR	CFITSS	CFM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV [2:0]			CFIM	—	CFDC [2:0]			—	CFPLS[2:0]			—	CFTXIE	CFRXIE	CFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 16.129 RSCFDnCFDCFCCk レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値：00_H ～ FF_H
23 ～ 20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイマ分解能 0：pclk/2 を ITRCP [15:0] ビットで分周したクロック 1：pclk/2 を ITRCP [15:0] ビットの値 × 10 で分周したクロック
18	CFITSS	送受信 FIFO インターバルタイマクロックソース選択 0：CFITR ビットで選択したクロックソース 1：関連チャネルの通常ビットタイムクロック
17 ～ 16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0 0：受信モード 0 1：送信モード 1 0：ゲートウェイモード 1 1：設定しないでください
15 ～ 13	CFIGCV [2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0：FIFO バッファに 1/8 までメッセージ格納時 0 0 1：FIFO バッファに 2/8 までメッセージ格納時 0 1 0：FIFO バッファに 3/8 までメッセージ格納時 0 1 1：FIFO バッファに 4/8 までメッセージ格納時 1 0 0：FIFO バッファに 5/8 までメッセージ格納時 1 0 1：FIFO バッファに 6/8 までメッセージ格納時 1 1 0：FIFO バッファに 7/8 までメッセージ格納時 1 1 1：FIFO バッファがフルのとき

表 16.129 RSCFDnCFDCFCCk レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0： • 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 • 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1： • 受信モード、ゲートウェイモード時 1 メッセージ受信ごとに FIFO 受信割り込み要求発生 • 送信モード、ゲートウェイモード時 1 メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ～ 8	CFDC [2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0：0 メッセージ 0 0 1：4 メッセージ 0 1 0：8 メッセージ 0 1 1：16 メッセージ 1 0 0：32 メッセージ 1 0 1：48 メッセージ 1 1 0：64 メッセージ 1 1 1：128 メッセージ
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 4	CFPLS[2:0]	送受信 FIFO バッファペイロード格納サイズ選択ビット b6 b5 b4 0 0 0：8 バイト 0 0 1：12 バイト 0 1 0：16 バイト 0 1 1：20 バイト 1 0 0：24 バイト 1 0 1：32 バイト 1 1 0：48 バイト 1 1 1：64 バイト
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0：送受信 FIFO 送信割り込み禁止 1：送受信 FIFO 送信割り込み許可
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0：送受信 FIFO 受信割り込み禁止 1：送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0：送受信 FIFO バッファを使用しない 1：送受信 FIFO バッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを “01_B”（送信モード）または “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを “01_B”（送信モード）または “10_B”（ゲートウェイモード）に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャネル番号 m は、k/3 の整商となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、（16 × m）+ CFTML[3:0] となります（**表 16.89** を参照）。

送受信 FIFO バッファ k と送信バッファ p の関係は、**表 16.95** および**表 16.96** を参照してください。

CFDC[2:0] ビットを “001_B” 以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが “0” のとき、有効です。

“0” のとき、インターバルタイマクロックソースは、pclk/2 を RSCFDnCFDGCFG レジスタの ITRCP [15:0] ビットで分周したクロックとなります。

“1” のとき、インターバルタイマクロックソースは、pclk/2 を RSCFDnCFDGCFG レジスタの ITRCP[15:0] ビットの値 ×10 で分周したクロックとなります。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0” のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1” のとき、FIFO にリンクしているチャネルの通常ビットタイムクロックがインターバルタイマのカウントソースになります。CAN FD フレームを扱わないチャネルにのみ使用してください。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットを “00_B”（受信モード）または “10_B”（ゲートウェイモード）に、CFIM ビットを “0” にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0] の設定）に対する分数で指定します。

CFDC[2:0] ビットを “001_B”（4 メッセージ）に設定した場合は、CFIGCV[2:0] ビットを “001_B”、“011_B”、“101_B”、または “111_B” にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B” に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFPLS[2:0] ビット

送受信 FIFO バッファに格納できるペイロードの上限サイズを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを “1” に設定し、RSCFDnCFDCFSTSk レジスタの CFTXIF フラグが “1” になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを “1” に設定し、RSCFDnCFDCFSTSk レジスタの CFRXIF フラグが “1” になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが “0” の状態で、CFRXIE ビットを書き換えてください。

CFE ビット

“1” にすると、送受信 FIFO バッファを使用できます。

“0” にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で “0” になります。

- 受信モード時 : グローバルリセットモード
- 送信モードまたはゲートウェイモード時 : チャネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード : グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード : チャネル通信モードまたはチャネル待機モード

このビットは、RSCFDnCFDCFCCk レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

16.4.8.2　RSCFDnCFDCFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ～ 11）

アクセス　RSCFDnCFDCFSTSk レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCFSTSkL、RSCFDnCFDCFSTSkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCFSTSkLL、RSCFDnCFDCFSTSkLH、RSCFDnCFDCFSTSkHL、RSCFDnCFDCFSTSkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RSCFDnCFDCFSTSk: <RSCFDn_base> + 0178_H + (04_H × k)

RSCFDnCFDCFSTSkL: <RSCFDn_base> + 0178_H + (04_H × k)、
RSCFDnCFDCFSTSkH: <RSCFDn_base> + $017A_H$ + (04_H × k)

RSCFDnCFDCFSTSkLL: <RSCFDn_base> + 0178_H + (04_H × k)、
RSCFDnCFDCFSTSkLH: <RSCFDn_base> + 0179_H + (04_H × k)、
RSCFDnCFDCFSTSkHL: <RSCFDn_base> + $017A_H$ + (04_H × k)、
RSCFDnCFDCFSTSkHH: <RSCFDn_base> + $017B_H$ + (04_H × k)

リセット後の値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC [7:0]								—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R

注 1.　このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.130 RSCFDnCFDCFSTSk レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15 ～ 8	CFMC [7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0：送受信 FIFO 受信割り込み要求なし 1：送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロストフラグ 0：送受信 FIFO メッセージロストなし 1：送受信 FIFO メッセージロスト
1	CFFLL	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファフルではない 1：送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0：送受信 FIFO バッファにメッセージあり 1：送受信 FIFO バッファにメッセージなし（バッファ空）

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01_B” (送信モード) の場合 : バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが “00_B” （受信モード） の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが “10_B” (ゲートウェイモード) の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード
- RSCFDnCFDCFCCk レジスタの CFE ビットが “0” の場合

CFTXIF フラグ

次の条件で、CFTXIF フラグは “1” になります。

- CFM[1:0] ビットが “01_B” または “10_B” で、RSCFDnCFDCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは “0” になります。

- CFTXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0] ビットが “00_B” または “10_B” で、RSCFDnCFDCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは “1” になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは “0” になります。

- CFMLT フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFFLL フラグ

次の条件で、CFFLL フラグは “1” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCFDnCFDCFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFFLL フラグは “0” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCFDnCFDCFCCk レジスタの CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：送信アボート中でないとき
- CFM[1:0] ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：チャネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは “1” になります。

- CFM[1:0] ビットが “00_B” の場合：
  全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：
  すべてのメッセージを送信したとき、またはチャネルリセットモード
- CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：
  送信アボート中でないとき

次の条件で、CFEMP フラグは “0” になります。

- CFM[1:0] ビットが “00_B” または “10_B” の場合：
  受信メッセージが 1 つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが “01_B” の場合：
  RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDFd_k レジスタに書いてから、RSCFDnCFDCFPCTRk レジスタに “FF_H” を書いたとき

備　考

CFTXIF, CFRXIF, CFMLT フラグを “0” にする場合は、プログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いてください。

16.4.8.3 RSCFDnCFDCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ～ 11）

アクセス RSCFDnCFDCFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDCFPCTRkL、RSCFDnCFDCFPCTRkH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDCFPCTRkLL、RSCFDnCFDCFPCTRkLH、RSCFDnCFDCFPCTRkHL、
RSCFDnCFDCFPCTRkHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDCFPCTRk: <RSCFDn_base> + $01D8_H$ + (04_H × k)

RSCFDnCFDCFPCTRkL: <RSCFDn_base> + $01D8_H$ + (04_H × k)、
RSCFDnCFDCFPCTRkH: <RSCFDn_base> + $01DA_H$ + (04_H × k)

RSCFDnCFDCFPCTRkLL: <RSCFDn_base> + $01D8_H$ + (04_H × k)、
RSCFDnCFDCFPCTRkLH: <RSCFDn_base> + $01D9_H$ + (04_H × k)、
RSCFDnCFDCFPCTRkHL: <RSCFDn_base> + $01DA_H$ + (04_H × k)、
RSCFDnCFDCFPCTRkHH: <RSCFDn_base> + $01DB_H$ + (04_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 16.131 RSCFDnCFDCFPCTRk レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	CFPC [7:0]	送受信 FIFO ポインタ制御 • 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 • 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 • ゲートウェイモード時 設定しないでください。

CFPC[7:0] ビット

- 受信モード（RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “00_B”）のとき：
  CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCFDnCFDCFSTSk レジスタの CFMC[7:0] ビット（送受信 FIFO メッセージ数表示カウンタ）の値が 1 減算されます。
  RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDFd_k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
  なお、“FF_H” の書き込みは RSCFDnCFDCFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCFDnCFDCFSTSk レジスタの CFEMP フラグが “0”（メッセージあり）のときに行ってください。

- 送信モード（RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “01_B”）のとき：
  CFPC[7:0] ビットに “FF_H” を書くと、RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDFd_k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDFd_k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FF_H” を書いてください。
  なお、“FF_H” の書き込みは、RSCFDnCFDCFCCk レジスタの CFE ビットが “1” で、RSCFDnCFDCFSTSk レジスタの CFFLL フラグが “0”（フルではない）のときに行ってください。
- ゲートウェイモード（RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “10_B”）のとき：
  設定しないでください。

16.4.8.4 RSCFDnCFDCFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ～ 11）

アクセス RSCFDnCFDCFIDk レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCFIDkL、RSCFDnCFDCFIDkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCFIDkLL、RSCFDnCFDCFIDkLH、RSCFDnCFDCFIDkHL、RSCFDnCFDCFIDkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCFIDk: <RSCFDn_base> + 3400_H + (80_H × k)

RSCFDnCFDCFIDkL: <RSCFDn_base> + 3400_H + (80_H × k)、
RSCFDnCFDCFIDkH: <RSCFDn_base> + 3402_H + (80_H × k)

RSCFDnCFDCFIDkLL: <RSCFDn_base> + 3400_H + (80_H × k)、
RSCFDnCFDCFIDkLH: <RSCFDn_base> + 3401_H + (80_H × k)、
RSCFDnCFDCFIDkHL: <RSCFDn_base> + 3402_H + (80_H × k)、
RSCFDnCFDCFIDkHH: <RSCFDn_base> + 3403_H + (80_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.132 RSCFDnCFDCFIDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR ／ RRS ビット • CFM[1:0] ビットが “01_B”（送信モード）時 – 送信メッセージがクラシカル CAN フレームのとき 0：データフレーム 1：リモートフレーム – 送信メッセージが CAN FD フレームのとき “0” を書いてください。 • CFM[1:0] ビットが “00_B”（受信モード）時 – 受信メッセージがクラシカル CAN フレームのとき 0：データフレーム 1：リモートフレーム – 受信メッセージが CAN FD フレームのとき 受信メッセージの RRS ビット値が読めます。
29	THLEN	送信履歴データ格納許可ビット CFM[1:0] ビットが “01_B”（送信モード）時のみ有効 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28 ～ 0	CFID [28:0]	送受信 FIFO バッファ ID データ • CFM[1:0] ビットが “01_B”（送信モード）時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ～ b0 に ID を設定してください。b28 ～ b11 は “0” にしてください。 • CFM[1:0] ビットが “00_B”（受信モード）時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ～ b0 を読んでください。b28 ～ b11 は “0” が読めます。

RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット（標準 ID または拡張 ID）を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが “00_B” のとき、受信したメッセージがクラシカル CAN フレームならば、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット（データフレームまたはリモートフレーム）を示します。受信したメッセージが CAN FD フレームのときはメッセージの RRS ビット値を示します。

CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットが “1”（CAN FD フレーム）であるときは、“0” にしてください。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ、タイムスタンプ）が送信履歴バッファに格納されます。

CFM[1:0] ビットが “01_B”（送信モード）のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

16.4.8.5 RSCFDnCFDCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ～ 11）

アクセス RSCFDnCFDCFPTRk レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCFPTRkL、RSCFDnCFDCFPTRkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCFPTRkLL、RSCFDnCFDCFPTRkLH、RSCFDnCFDCFPTRkHL、RSCFDnCFDCFPTRkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCFPTRk: <RSCFDn_base> + 3404_H + (80_H × k)

RSCFDnCFDCFPTRkL: <RSCFDn_base> + 3404_H + (80_H × k)、
RSCFDnCFDCFPTRkH: <RSCFDn_base> + 3406_H + (80_H × k)

RSCFDnCFDCFPTRkLL: <RSCFDn_base> + 3404_H + (80_H × k)、
RSCFDnCFDCFPTRkLH: <RSCFDn_base> + 3405_H + (80_H × k)、
RSCFDnCFDCFPTRkHL: <RSCFDn_base> + 3406_H + (80_H × k)、
RSCFDnCFDCFPTRkHH: <RSCFDn_base> + 3407_H + (80_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC [3:0]				CFPTR [11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.133 RSCFDnCFDCFPTRk レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 28	CFDLC [3:0]	送受信 FIFO バッファ DLC データ

b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム
0	0	0	0	0 データバイト	
0	0	0	1	1 データバイト	
0	0	1	0	2 データバイト	
0	0	1	1	3 データバイト	
0	1	0	0	4 データバイト	
0	1	0	1	5 データバイト	
0	1	1	0	6 データバイト	
0	1	1	1	7 データバイト	
1	0	0	0	8 データバイト	
1	0	0	1	8 データバイト	12 データバイト
1	0	1	0		16 データバイト
1	0	1	1		20 データバイト
1	1	0	0		24 データバイト
1	1	0	1		32 データバイト
1	1	1	0		48 データバイト
1	1	1	1		64 データバイト

表 16.133 RSCFDnCFDCFPTRk レジスタの内容 (2/2)

ビット位置	ビット名	機能
27 ～ 16	CFPTR [11:0]	送受信 FIFO バッファラベルデータ • CFM[1:0] ビットが “01_B”（送信モード）時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 • CFM[1:0] ビットが “00_B”（受信モード）時 受信メッセージのラベル情報が読めます。
15 ～ 0	CFTS [15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが “00_B”（受信モード）時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットが “0”（CAN フレーム）のときに CFDLC[3:0] ビットに

“1001_B” 以上を設定した場合、実際に送られるデータは 8 バイトになります。CFFDF ビットが “1”（CAN FD フレーム）のとき、RSCFDnCFDCmFDCFG レジスタの TMME ビットおよび RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットによって設定可能な値の範囲が異なります。

- TMME ビットが “0”（送信バッファマージモード禁止）の場合 :
  “0000_B” ～ “1111_B” の全ての値が設定できます。設定したデータ長が CFPLS[2:0] ビットで設定したペイロード格納サイズを超えるとき、超えた分のペイロードは “CC_H” でパディングされます。
- TMME ビットが “1”（送信バッファマージモード許可）の場合 :
  データ長は CFPLS[2:0] ビットで設定したペイロード格納サイズを超えないように設定してください。

CFPTR[11:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが “01_B” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが “00_B” のときに、有効になります。

16.4.8.6 RSCFDnCFDCFFDCSTSk — 送受信 FIFO CAN FD コンフィグレーション／ステータスレジスタ（k = 0 ～ 11）

アクセス RSCFDnCFDCFFDCSTSk レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCFFDCSTSkL、RSCFDnCFDCFFDCSTSkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCFFDCSTSkLL、RSCFDnCFDCFFDCSTSkLH、RSCFDnCFDCFFDCSTSkHL、RSCFDnCFDCFFDCSTSkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDCFFDCSTSk: <RSCFDn_base> + 3408_H + (80_H × k)

RSCFDnCFDCFFDCSTSkL: <RSCFDn_base> + 3408_H + (80_H × k)、
RSCFDnCFDCFFDCSTSkH: <RSCFDn_base> + $340A_H$ + (80_H × k)

RSCFDnCFDCFFDCSTSkLL: <RSCFDn_base> + 3408_H + (80_H × k)、
RSCFDnCFDCFFDCSTSkLH: <RSCFDn_base> + 3409_H + (80_H × k)、
RSCFDnCFDCFFDCSTSkHL: <RSCFDn_base> + $340A_H$ + (80_H × k)、
RSCFDnCFDCFFDCSTSkHH: <RSCFDn_base> + $340B_H$ + (80_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CFFDF	CFBRS	CFESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 16.134 RSCFDnCFDCFFDCSTSk レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFFDF	FDF ビット 0：クラシカル CAN フレーム 1：CAN FD フレーム
1	CFBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	CFESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFFDF ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納されたメッセージの FD フォーマット（クラシカル CAN フレームまたは CAN FD フレーム）を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの FD フォーマットを設定します。

CFBRS ビット

CFM[1:0] ビットが “00_B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファに格納された受信メッセージの BRS ビット値を示し、CFFDF ビットが “0” ならば常に “0” が読めます。

CFM[1:0] ビットが “01_B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファから送信するメッセージの BRS ビット値を設定します。CFFDF ビットが “0” ならば “0” を書いてください。

CFESI ビット

CFM[1:0] ビットが “00_B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファに格納された受信メッセージの ESI ビット値を示し、CFFDF ビットが “0” ならば常に “0” が読めます。

CFM[1:0] ビットが “01_B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファから送信するメッセージの ESI ビット値を設定します。設定した値は RSCFDnCFDCmFDCFG レジスタの ESIC ビットが “1” かつチャネルがエラーアクティブ状態のとき送信されます。チャネルがエラーパッシブ状態であるときは、このビットにかかわらずエラーパッシブノードを示す ESI ビット値が送信されます。CFFDF ビットが “0” のときは “0” を書いてください。

16.4.8.7 RSCFDnCFDCFDFd_k — 送受信 FIFO バッファアクセスデータフィールド d レジスタ（d = 0 ～ 15、k = 0 ～ 11）

アクセス　RSCFDnCFDCFDFd_k レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCFDFd_kL、RSCFDnCFDCFDFd_kH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCFDFd_kLL、RSCFDnCFDCFDFd_kLH、RSCFDnCFDCFDFd_kHL、
RSCFDnCFDCFDFd_kHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RSCFDnCFDCFDFd_k: <RSCFDn_base> + $340C_H$ + (04_H × d) + (80_H × k)

RSCFDnCFDCFDFd_kL: <RSCFDn_base> + $340C_H$ + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDFd_kH: <RSCFDn_base> + $340E_H$ + (04_H × d) + (80_H × k)

RSCFDnCFDCFDFd_kLL: <RSCFDn_base> + $340C_H$ + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDFd_kLH: <RSCFDn_base> + $340D_H$ + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDFd_kHL: <RSCFDn_base> + $340E_H$ + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDFd_kHH: <RSCFDn_base> + $340F_H$ + (04_H × d) + (80_H × k)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB4 × d + 3 [7:0]								CFDB4 × d + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB4 × d + 1 [7:0]								CFDB4 × d + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.135 RSCFDnCFDCFDFd_k レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	CFDB4 × d + 3 [7:0]	送受信 FIFO バッファデータバイト 4 × d + 3 送受信 FIFO バッファデータバイト 4 × d + 2 送受信 FIFO バッファデータバイト 4 × d + 1 送受信 FIFO バッファデータバイト 4 × d + 0 • CFM[1:0] ビットが “01_B”（送信モード）時 送受信 FIFO バッファのデータを設定してください。 • CFM[1:0] ビットが “00_B”（受信モード）時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	CFDB4 × d + 2 [7:0]	
15 ～ 8	CFDB4 × d + 1 [7:0]	
7 ～ 0	CFDB4 × d + 0 [7:0]	

RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “01_B” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” の場合のみ、このレジスタを読めます。RSCFDnCFDCFPTRk レジスタの CFDLC[3:0] ビットの値が送受信 FIFO バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

送受信 FIFO バッファのペイロード格納サイズは RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDCFDFd_k レジスタは読み書きしないでください。

CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

16.4.9 FIFO ステータス関連レジスタの詳細

16.4.9.1 RSCFDnCFDFESTS — FIFO エンプティステータスレジスタ

アクセス RSCFDnCFDFESTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDFESTSL、RSCFDnCFDFESTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDFESTSLL、RSCFDnCFDFESTSLH、RSCFDnCFDFESTSHL、RSCFDnCFDFESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDFESTS: <RSCFDn_base> + 0238_H

RSCFDnCFDFESTSL: <RSCFDn_base> + 0238_H、RSCFDnCFDFESTSH: <RSCFDn_base> + $023A_H$

RSCFDnCFDFESTSLL: <RSCFDn_base> + 0238_H、RSCFDnCFDFESTSLH: <RSCFDn_base> + 0239_H、RSCFDnCFDFESTSHL: <RSCFDn_base> + $023A_H$、RSCFDnCFDFESTSHH: <RSCFDn_base> + $023B_H$

リセット後の値 $03FF\ FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11EMP	CF10EMP	CF9EMP	CF8EMP
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7EMP	CF6EMP	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP	RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.136 RSCFDnCFDFESTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11EMP	送受信 FIFO バッファエンプティステータスフラグ 0：送受信 FIFO バッファ k にメッセージあり 1：送受信 FIFO バッファ k にメッセージなし （k = 0 ～ 11）
18	CF10EMP	
17	CF9EMP	
16	CF8EMP	
15	CF7EMP	
14	CF6EMP	
13	CF5EMP	
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	
7	RF7EMP	受信 FIFO バッファエンプティステータスフラグ 0：受信 FIFO バッファ x に未読メッセージあり 1：受信 FIFO バッファ x に未読メッセージなし （x = 0 ～ 7）
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCFDnCFDFESTS レジスタは、グローバルリセットモード時、“03FF $FFFF_H$” になります。

CFkEMP フラグ（k = 0 ～ 11）

RSCFDnCFDCFSTSk レジスタの CFEMP フラグが “1”（メッセージなし）になると、CFkEMP フラグは “1” になります。CFEMP フラグが “0”（メッセージあり）になると、CFkEMP フラグは “0” になります。

RFxEMP フラグ（x = 0 ～ 7）

RSCFDnCFDRFSTSx レジスタの RFEMP フラグが “1”（未読メッセージなし）になると、RFxEMP フラグは “1” になります。RFEMP フラグが “0”（未読メッセージあり）になると、RFxEMP フラグは “0” になります。

16.4.9.2 RSCFDnCFDFFSTS — FIFO フルステータスレジスタ

アクセス RSCFDnCFDFFSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDFFSTSL、RSCFDnCFDFFSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDFFSTSLL、RSCFDnCFDFFSTSLH、RSCFDnCFDFFSTSHL、RSCFDnCFDFFSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDFFSTS: <RSCFDn_base> + $023C_H$

RSCFDnCFDFFSTSL: <RSCFDn_base> + $023C_H$、RSCFDnCFDFFSTSH: <RSCFDn_base> + $023E_H$

RSCFDnCFDFFSTSLL: <RSCFDn_base> + $023C_H$、RSCFDnCFDFFSTSLH: <RSCFDn_base> + $023D_H$、
RSCFDnCFDFFSTSHL: <RSCFDn_base> + $023E_H$、RSCFDnCFDFFSTSHH: <RSCFDn_base> + $023F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11FLL	CF10FLL	CF9FLL	CF8FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7FLL	CF6FLL	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.137 RSCFDnCFDFFSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11FLL	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファ k はフルではない 1：送受信 FIFO バッファ k はフル （k = 0 ～ 11）
18	CF10FLL	
17	CF9FLL	
16	CF8FLL	
15	CF7FLL	
14	CF6FLL	
13	CF5FLL	
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	
9	CF1FLL	
8	CF0FLL	
7	RF7FLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファ x はフルではない 1：受信 FIFO バッファ x はフル （x = 0 ～ 7）
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCFDnCFDFFSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkFLL フラグ（k = 0 ～ 11）

RSCFDnCFDCFSTSk レジスタの CFFLL フラグが “1”（バッファフル）になると、CFkFLL フラグは “1” になります。

CFFLL フラグが “0”（送受信 FIFO がバッファフルでない）になると、CFkFLL フラグは “0” になります。

RFxFLL フラグ（x = 0 ～ 7）

RSCFDnCFDRFSTSx レジスタの RFFLL フラグが “1”（バッファフル）になると、RFxFLL フラグは “1” になります。RFFLL フラグが “0”（バッファフルでない）になると、RFxFLL フラグは “0” になります。

16.4.9.3 RSCFDnCFDFMSTS — FIFO メッセージロストステータスレジスタ

アクセス RSCFDnCFDFMSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDFMSTSL、RSCFDnCFDFMSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDFMSTSLL、RSCFDnCFDFMSTSLH、RSCFDnCFDFMSTSHL、RSCFDnCFDFMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDFMSTS: <RSCFDn_base> + 0240_H

RSCFDnCFDFMSTSL: <RSCFDn_base> + 0240_H、RSCFDnCFDFMSTSH: <RSCFDn_base> + 0242_H

RSCFDnCFDFMSTSLL: <RSCFDn_base> + 0240_H、RSCFDnCFDFMSTSLH: <RSCFDn_base> + 0241_H、
RSCFDnCFDFMSTSHL: <RSCFDn_base> + 0242_H、RSCFDnCFDFMSTSHH: <RSCFDn_base> + 0243_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CF11MLT	CF10MLT	CF9MLT	CF8MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7MLT	CF6MLT	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.138 RSCFDnCFDFMSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	予約ビット	リードした場合はリセット後の値が読めます。
19	CF11MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0：送受信 FIFO バッファ k メッセージロストなし 1：送受信 FIFO バッファ k メッセージロスト （k = 0 ~ 11）
18	CF10MLT	
17	CF9MLT	
16	CF8MLT	
15	CF7MLT	
14	CF6MLT	
13	CF5MLT	
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0：受信 FIFO バッファ x メッセージロストなし 1：受信 FIFO バッファ x メッセージロスト （x = 0 ~ 7）
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCFDnCFDFMSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkMLT フラグ（k = 0 ~ 11）

RSCFDnCFDCFSTSk レジスタの CFMLT フラグが “1”（メッセージロスト）になると、CFkMLT フラグは “1” になります。

CFMLT フラグを “0” にすると、CFkMLT フラグは “0” になります。

RFxMLT フラグ（x = 0 ~ 7）

RSCFDnCFDRFSTSx レジスタの RFMLT フラグが “1”（メッセージロスト）になると、RFxMLT フラグは “1” になります。RFMLT フラグを “0” にすると、RFxMLT フラグは “0” になります。

16.4.9.4 RSCFDnCFDRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス RSCFDnCFDRFISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFISTSL、RSCFDnCFDRFISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFISTSLL、RSCFDnCFDRFISTSLH、RSCFDnCFDRFISTSHL、RSCFDnCFDRFISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDRFISTS: <RSCFDn_base> + 0244_H

RSCFDnCFDRFISTSL: <RSCFDn_base> + 0244_H、RSCFDnCFDRFISTSH: <RSCFDn_base> + 0246_H

RSCFDnCFDRFISTSLL: <RSCFDn_base> + 0244_H、RSCFDnCFDRFISTSLH: <RSCFDn_base> + 0245_H、RSCFDnCFDRFISTSHL: <RSCFDn_base> + 0246_H、RSCFDnCFDRFISTSHH: <RSCFDn_base> + 0247_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.139 RSCFDnCFDRFISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0：受信 FIFO バッファ x 割り込み要求なし 1：受信 FIFO バッファ x 割り込み要求あり （x = 0 ~ 7）
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCFDnCFDRFISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

RFxIF フラグ（x = 0 ~ 7）

RSCFDnCFDRFSTSx レジスタの RFIF フラグが “1”（割り込み要求あり）になると、RFxIF フラグは “1” になります。RFIF フラグを “0” にすると、RFxIF フラグは “0” になります。

16.4.9.5 RSCFDnCFDCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス RSCFDnCFDCFRISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCFRISTSL、RSCFDnCFDCFRISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCFRISTSLL、RSCFDnCFDCFRISTSLH、RSCFDnCFDCFRISTSHL、
RSCFDnCFDCFRISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCFRISTS: <RSCFDn_base> + 0248_H

RSCFDnCFDCFRISTSL: <RSCFDn_base> + 0248_H、RSCFDnCFDCFRISTSH: <RSCFDn_base> + $024A_H$

RSCFDnCFDCFRISTSLL: <RSCFDn_base> + 0248_H、RSCFDnCFDCFRISTSLH: <RSCFDn_base> + 0249_H、
RSCFDnCFDCFRISTSHL: <RSCFDn_base> + $024A_H$、RSCFDnCFDCFRISTSHH: <RSCFDn_base> + $024B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CF11RXIF	CF10RXIF	CF9RXIF	CF8RXIF	CF7RXIF	CF6RXIF	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.140 RSCFDnCFDCFRISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。
11	CF11RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 受信割り込み要求なし 1：送受信 FIFO バッファ k 受信割り込み要求あり （k = 0 ～ 11）
10	CF10RXIF	
9	CF9RXIF	
8	CF8RXIF	
7	CF7RXIF	
6	CF6RXIF	
5	CF5RXIF	
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCFDnCFDCFRISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkRXIF フラグ（k = 0 ～ 11）

RSCFDnCFDCFSTSk レジスタの CFRXIF フラグが “1”（割り込み要求あり）になると、CFkRXIF フラグは “1” になります。CFRXIF フラグを “0” にすると、CFkRXIF フラグは “0” になります。

16.4.9.6 RSCFDnCFDCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ

アクセス RSCFDnCFDCFTISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCFTISTSL、RSCFDnCFDCFTISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCFTISTSLL、RSCFDnCFDCFTISTSLH、RSCFDnCFDCFTISTSHL、
RSCFDnCFDCFTISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDCFTISTS: <RSCFDn_base> + $024C_H$

RSCFDnCFDCFTISTSL: <RSCFDn_base> + $024C_H$、RSCFDnCFDCFTISTSH: <RSCFDn_base> + $024E_H$

RSCFDnCFDCFTISTSLL: <RSCFDn_base> + $024C_H$、RSCFDnCFDCFTISTSLH: <RSCFDn_base> + $024D_H$、
RSCFDnCFDCFTISTSHL: <RSCFDn_base> + $024E_H$、RSCFDnCFDCFTISTSHH: <RSCFDn_base> + $024F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CF11TXIF	CF10TXIF	CF9TXIF	CF8TXIF	CF7TXIF	CF6TXIF	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.141 RSCFDnCFDCFTISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。
11	CF11TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 送信割り込み要求なし 1：送受信 FIFO バッファ k 送信割り込み要求あり （k = 0 ～ 11）
10	CF10TXIF	
9	CF9TXIF	
8	CF8TXIF	
7	CF7TXIF	
6	CF6TXIF	
5	CF5TXIF	
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCFDnCFDCFTISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkTXIF フラグ（k = 0 ～ 11）

RSCFDnCFDCFSTSk レジスタの CFTXIF フラグが “1”（割り込み要求あり）になると、CFkTXIF フラグは “1” になります。CFTXIF フラグを “0” にすると、CFkTXIF フラグは “0” になります。

16.4.10 送信バッファ関連レジスタの詳細

16.4.10.1 RSCFDnCFDTMCp — 送信バッファ制御レジスタ（p = 0 ～ 63）

アクセス RSCFDnCFDTMCp レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTMCp: <RSCFDn_base> + 0250_H + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W 注 1	R/W 注 1

注 1. このビットへの書き込みは、ビットセットする（“1” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.142 RSCFDnCFDTMCp レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0：ワンショット送信禁止 1：ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0：送信アボートを要求しない 1：送信アボートを要求する
0	TMTR	送信要求ビット 0：送信を要求しない 1：送信を要求する

RSCFDnCFDTMCp レジスタが次の条件を満たす場合は、“00_H” にしてください。

- RSCFDnCFDCFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCFDnCFDTMCp レジスタ（p = m × 16 + CFTML[3:0] ビットの値）
- RSCFDnCFDTXQCCm レジスタ（m = 0 ～ 3）の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCFDnCFDTMCp レジスタ（p = (m × 16 + 15) ～ (m × 16 + 15 – TXQDC[3:0] ビットの値)）
- RSCFDnCFDCmFDCFG レジスタの TMME ビットが “1”（送信バッファマージモード）で、ペイロード格納領域として割り当てられた送信バッファに対応する RSCFDnCFDTMCp レジスタ（p = (m × 16) + 1、(m × 16) + 2、(m × 16) + 4、(m × 16) + 5）

RSCFDnCFDTMCp レジスタのビットは、チャネルリセットモード時に “0” になります。RSCFDnCFDTMCp レジスタは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

TMOM ビット

“1” にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCFDnCFDTMSTSp レジスタの TMTRM フラグが “0” のときに書き換えてください。TMOM ビットに “1” を書く場合は、TMTR ビットと同時に “1” を書いてください。

TMTAR ビット

“1” にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが “1” のとき、TMTAR ビットを “1” にできます。

TMTAR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0” になるタイミングと “1” を書くタイミングが同じ場合、“0” になります。

TMTR ビット

“1” にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” にできません。

- 送信が完了したとき
- TMTAR ビットを “1” にし、送信アボートが完了したとき
- TMOM ビットが “1” の状態で、エラーまたはアービトレーションロストを検出したとき

RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “00_B” のときに、TMTR ビットを “1” に設定してください。

16.4.10.2 RSCFDnCFDTMSTSp — 送信バッファステータスレジスタ（p = 0 ～ 63）

アクセス RSCFDnCFDTMSTSp レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTMSTSp: <RSCFDn_base> + $02D0_H$ + (01_H × p)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 16.143 RSCFDnCFDTMSTSp レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0：送信アボート要求なし 1：送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0：送信要求なし 1：送信要求あり
2、1	TMTRF[1:0]	送信バッファ送信結果フラグ b2 b1 0 0：送信中、または送信要求なし 0 1：送信アボート完了 1 0：送信完了（送信アボート要求なし） 1 1：送信完了（送信アボート要求あり）
0	TMTSTS	送信バッファ送信ステータスフラグ 0：送信中ではない 1：送信中

RSCFDnCFDTMSTSp レジスタのビットは、チャネルリセットモード時に “0” になります。

TMTARM フラグ

RSCFDnCFDTMCp レジスタの TMTAR ビットを “1” にすると、TMTARM フラグは “1” になります。

RSCFDnCFDTMCp レジスタの TMTAR ビットが “0” になると、TMTARM フラグは “0” になります。

TMTRM フラグ

RSCFDnCFDTMCp レジスタの TMTR ビットを “1” にすると、TMTRM フラグは “1” になります。

RSCFDnCFDTMCp レジスタの TMTR ビットが “0” になると、TMTRM フラグは “0” になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。

00_B：送信中または送信要求なし。

01_B：送信バッファからの送信がアボートされた。

10_B：RSCFDnCFDTMCp レジスタの TMTAR ビットが “0”（送信アボートを要求しない）で、送信が完了した。

11_B：RSCFDnCFDTMCp レジスタの TMTAR ビットが “1”（送信アボートを要求する）で、送信が完了した。

TMTRF[1:0] フラグは、チャネル通信モードまたはチャネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0” になります。

16.4.10.3 RSCFDnCFDTMIDp — 送信バッファ ID レジスタ（p = 0 ～ 63）

アクセス RSCFDnCFDTMIDp レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTMIDpL、RSCFDnCFDTMIDpH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTMIDpLL、RSCFDnCFDTMIDpLH、RSCFDnCFDTMIDpHL、RSCFDnCFDTMIDpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTMIDp: <RSCFDn_base> + 4000_H + (20_H × p)

RSCFDnCFDTMIDpL: <RSCFDn_base> + 4000_H + (20_H × p)、
RSCFDnCFDTMIDpH: <RSCFDn_base> + 4002_H + (20_H × p)

RSCFDnCFDTMIDpLL: <RSCFDn_base> + 4000_H + (20_H × p)、
RSCFDnCFDTMIDpLH: <RSCFDn_base> + 4001_H + (20_H × p)、
RSCFDnCFDTMIDpHL: <RSCFDn_base> + 4002_H + (20_H × p)、
RSCFDnCFDTMIDpHH: <RSCFDn_base> + 4003_H + (20_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID [28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.144 RSCFDnCFDTMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	TMRTR	送信バッファ RTR ／ RRS ビット • 送信メッセージがクラシカル CAN フレームのとき 0：データフレーム 1：リモートフレーム • 送信メッセージが CAN FD フレームのとき “0” を書いてください。
29	THLEN	送信履歴データ格納許可ビット 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28 ～ 0	TMID [28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ～ b0 に ID を設定してください。b28 ～ b11 は “0” にしてください。

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

RSCFDnCFDTMFDCTRp レジスタの TMFDF ビットが “1”（CAN FD フレーム）であるときは、“0” にしてください。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ、タイムスタンプ）が送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

16.4.10.4 RSCFDnCFDTMPTRp — 送信バッファポインタレジスタ（p = 0 ～ 63）

アクセス RSCFDnCFDTMPTRp レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTMPTRpL、RSCFDnCFDTMPTRpH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTMPTRpLL、RSCFDnCFDTMPTRpLH、RSCFDnCFDTMPTRpHL、RSCFDnCFDTMPTRpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTMPTRp: <RSCFDn_base> + 4004_H + (20_H × p)

RSCFDnCFDTMPTRpL: <RSCFDn_base> + 4004_H + (20_H × p)、
RSCFDnCFDTMPTRpH: <RSCFDn_base> + 4006_H + (20_H × p)

RSCFDnCFDTMPTRpLL: <RSCFDn_base> + 4004_H + (20_H × p)、
RSCFDnCFDTMPTRpLH: <RSCFDn_base> + 4005_H + (20_H × p)、
RSCFDnCFDTMPTRpHL: <RSCFDn_base> + 4006_H + (20_H × p)、
RSCFDnCFDTMPTRpHH: <RSCFDn_base> + 4007_H + (20_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC [3:0]				—	—	—	—	TMPTR [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.145 RSCFDnCFDTMPTRp レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	TMDLC [3:0]	送信バッファ DLC データ
27 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ～ 16	TMPTR [7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム
0	0	0	0	0 データバイト	
0	0	0	1	1 データバイト	
0	0	1	0	2 データバイト	
0	0	1	1	3 データバイト	
0	1	0	0	4 データバイト	
0	1	0	1	5 データバイト	
0	1	1	0	6 データバイト	
0	1	1	1	7 データバイト	
1	0	0	0	8 データバイト	
1	0	0	1	8 データバイト	12 データバイト
1	0	1	0		16 データバイト
1	0	1	1		20 データバイト
1	1	0	0		24 データバイト
1	1	0	1		32 データバイト
1	1	1	0		48 データバイト
1	1	1	1		64 データバイト

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0] ビット

RSCFDnCFDTMIDp レジスタの TMRTR ビットが “0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。RSCFDnCFDTMFDCTRp レジスタの TMFDF ビットが “0”（クラシカル CAN フレーム）のときに TMDLC[3:0] ビットに “1001_B” 以上を設定した場合、送信されるデータは、8 バイトになります。TMFDF ビットが “1”（CAN FD フレーム）のとき、RSCFDnCFDCmFDCFG レジスタの TMME ビットによって設定可能な値の範囲が異なります。

- TMME ビットが “0”（送信バッファマージモード禁止）の場合 :
  “0000_B” ～ “1111_B” の全ての値が設定できます。“1100_B” 以上の値を設定したとき、20 バイトを超える分のペイロードは “CC_H” でパディングされます。
- TMME ビットが “1”（送信バッファマージモード許可）の場合 :
  対応する送信バッファの番号が p = (m × 16) + 0、(m × 16) + 3 であるとき、“0000_B” ～ “1111_B” の全ての値が設定できます。それ以外の場合は “1011_B”（20 データバイト）までの値を設定してください。

TMRTR ビットが “1”（リモートフレーム）のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

16.4.10.5 RSCFDnCFDTMFDCTRp — 送信バッファ CAN FD コンフィグレーションレジスタ（p = 0 ～ 63）

アクセス RSCFDnCFDTMFDCTRp レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTMFDCTRpL、RSCFDnCFDTMFDCTRpH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTMFDCTRpLL、RSCFDnCFDTMFDCTRpLH、RSCFDnCFDTMFDCTRpHL、RSCFDnCFDTMFDCTRpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTMFDCTRp: <RSCFDn_base> + 4008_H + (20_H × p)

RSCFDnCFDTMFDCTRpL: <RSCFDn_base> + 4008_H + (20_H × p)、
RSCFDnCFDTMFDCTRpH: <RSCFDn_base> + $400A_H$ + (20_H × p)

RSCFDnCFDTMFDCTRpLL: <RSCFDn_base> + 4008_H + (20_H × p)、
RSCFDnCFDTMFDCTRpLH: <RSCFDn_base> + 4009_H + (20_H × p)、
RSCFDnCFDTMFDCTRpHL: <RSCFDn_base> + $400A_H$ + (20_H × p)、
RSCFDnCFDTMFDCTRpHH: <RSCFDn_base> + $400B_H$ + (20_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TMFDF	TMBRS	TMESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 16.146 RSCFDnCFDTMFDCTRp レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMFDF	FDF ビット 0：クラシカル CAN フレーム 1：CAN FD フレーム
1	TMBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	TMESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMFDF ビット

送信バッファから送信するメッセージの FD フォーマットを設定します。

TMBRS ビット

TMFDF ビットが “1” のとき、このビットを “1” にすると、送信メッセージのデータ領域はデータビットレートで送信されます。TMFDF ビットが “0” のときは、このビットに “0” を書いてください。

TMESI ビット

TMFDF ビットが “1” のとき、送信バッファから送信するメッセージの ESI ビット値を設定します。設定した値は RSCFDnCFDCmFDCFG レジスタの ESIC ビットが “1” かつチャネルがエラーアクティブ状態のとき送信されます。チャネルがエラーパッシブ状態であるときは、このビットにかかわらずエラーパッシブノードを示す ESI ビット値が送信されます。TMFDF ビットが “0” のときは、このビットに “0” を書いてください。

16.4.10.6 RSCFDnCFDTMDFb_p — 送信バッファデータフィールド b レジスタ（b = 0 ～ 4、p = 0 ～ 63）

アクセス RSCFDnCFDTMDFb_p レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTMDFb_pL、RSCFDnCFDTMDFb_pH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTMDFb_pLL、RSCFDnCFDTMDFb_pLH、RSCFDnCFDTMDFb_pHL、RSCFDnCFDTMDFb_pHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTMDFb_p: <RSCFDn_base> + $400C_H$ + (04_H × b) + (20_H × p)

RSCFDnCFDTMDFb_pL: <RSCFDn_base> + $400C_H$ + (04_H × b) + (20_H × p)、
RSCFDnCFDTMDFb_pH: <RSCFDn_base> + $400E_H$ + (04_H × b) + (20_H × p)

RSCFDnCFDTMDFb_pLL: <RSCFDn_base> + $400C_H$ + (04_H × b) + (20_H × p)、
RSCFDnCFDTMDFb_pLH: <RSCFDn_base> + $400D_H$ + (04_H × b) + (20_H × p)、
RSCFDnCFDTMDFb_pHL: <RSCFDn_base> + $400E_H$ + (04_H × b) + (20_H × p)、
RSCFDnCFDTMDFb_pHH: <RSCFDn_base> + $400F_H$ + (04_H × b) + (20_H × p)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB4 × b + 3 [7:0]								TMDB4 × b + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB4 × b + 1 [7:0]								TMDB4 × b + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.147 RSCFDnCFDTMDFb_p レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	TMDB4 × b + 3 [7:0]	送信バッファデータバイト 4 × b + 3 送信バッファデータバイト 4 × b + 2 送信バッファデータバイト 4 × b + 1 送信バッファデータバイト 4 × b + 0 送信バッファのデータを設定してください。
23 ～ 16	TMDB4 × b + 2 [7:0]	
15 ～ 8	TMDB4 × b + 1 [7:0]	
7 ～ 0	TMDB4 × b + 0 [7:0]	

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

16.4.10.7 RSCFDnCFDTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ（y = 0、1）

アクセス RSCFDnCFDTMIECy レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTMIECyL、RSCFDnCFDTMIECyH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTMIECyLL、RSCFDnCFDTMIECyLH、RSCFDnCFDTMIECyHL、RSCFDnCFDTMIECyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTMIECy: <RSCFDn_base> + 0390_H + (04_H × y)

RSCFDnCFDTMIECyL: <RSCFDn_base> + 0390_H + (04_H × y)、
RSCFDnCFDTMIECyH: <RSCFDn_base> + 0392_H + (04_H × y)

RSCFDnCFDTMIECyLL: <RSCFDn_base> + 0390_H + (04_H × y)、
RSCFDnCFDTMIECyLH: <RSCFDn_base> + 0391_H + (04_H × y)、
RSCFDnCFDTMIECyHL: <RSCFDn_base> + 0392_H + (04_H × y)、
RSCFDnCFDTMIECyHH: <RSCFDn_base> + 0393_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 31)	TMIEp (p = y × 32 + 30)	TMIEp (p = y × 32 + 29)	TMIEp (p = y × 32 + 28)	TMIEp (p = y × 32 + 27)	TMIEp (p = y × 32 + 26)	TMIEp (p = y × 32 + 25)	TMIEp (p = y × 32 + 24)	TMIEp (p = y × 32 + 23)	TMIEp (p = y × 32 + 22)	TMIEp (p = y × 32 + 21)	TMIEp (p = y × 32 + 20)	TMIEp (p = y × 32 + 19)	TMIEp (p = y × 32 + 18)	TMIEp (p = y × 32 + 17)	TMIEp (p = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15)	TMIEp (p = y × 32 + 14)	TMIEp (p = y × 32 + 13)	TMIEp (p = y × 32 + 12)	TMIEp (p = y × 32 + 11)	TMIEp (p = y × 32 + 10)	TMIEp (p = y × 32 + 9)	TMIEp (p = y × 32 + 8)	TMIEp (p = y × 32 + 7)	TMIEp (p = y × 32 + 6)	TMIEp (p = y × 32 + 5)	TMIEp (p = y × 32 + 4)	TMIEp (p = y × 32 + 3)	TMIEp (p = y × 32 + 2)	TMIEp (p = y × 32 + 1)	TMIEp (p = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.148 RSCFDnCFDTMIECy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可
15 ～ 0	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可

TMIEp ビット（p = 0 ～ 63）

このビットを “1” に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCFDnCFDTMSTSp レジスタの TMTRM フラグが “0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは “0” にしてください。RSCFDnCFDCmFDCFG レジスタの TMME ビットが “1”（送信バッファマージモード許可）のときは、ペイロード格納領域として割り当てられた送信バッファに対応するビットは “0” にしてください。

表 16.149 にビット配置を示します。

表 16.149 TMIEp ビットの配置

ビット位置	ビット名	機能
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15

16.4.11 送信バッファステータス関連レジスタの詳細

16.4.11.1 RSCFDnCFDTMTRSTSy — 送信バッファ送信要求ステータスレジスタ（y = 0、1）

アクセス RSCFDnCFDTMTRSTSy レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDTMTRSTSyL、RSCFDnCFDTMTRSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTRSTSyLL、RSCFDnCFDTMTRSTSyLH、RSCFDnCFDTMTRSTSyHL、
RSCFDnCFDTMTRSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTMTRSTSy: <RSCFDn_base> + 0350_H + (04_H × y)

RSCFDnCFDTMTRSTSyL: <RSCFDn_base> + 0350_H + (04_H × y)、
RSCFDnCFDTMTRSTSyH: <RSCFDn_base> + 0352_H + (04_H × y)

RSCFDnCFDTMTRSTSyLL: <RSCFDn_base> + 0350_H + (04_H × y)、
RSCFDnCFDTMTRSTSyLH: <RSCFDn_base> + 0351_H + (04_H × y)、
RSCFDnCFDTMTRSTSyHL: <RSCFDn_base> + 0352_H + (04_H × y)、
RSCFDnCFDTMTRSTSyHH: <RSCFDn_base> + 0353_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31)	TMTRSTSp (p = y × 32 + 30)	TMTRSTSp (p = y × 32 + 29)	TMTRSTSp (p = y × 32 + 28)	TMTRSTSp (p = y × 32 + 27)	TMTRSTSp (p = y × 32 + 26)	TMTRSTSp (p = y × 32 + 25)	TMTRSTSp (p = y × 32 + 24)	TMTRSTSp (p = y × 32 + 23)	TMTRSTSp (p = y × 32 + 22)	TMTRSTSp (p = y × 32 + 21)	TMTRSTSp (p = y × 32 + 20)	TMTRSTSp (p = y × 32 + 19)	TMTRSTSp (p = y × 32 + 18)	TMTRSTSp (p = y × 32 + 17)	TMTRSTSp (p = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15)	TMTRSTSp (p = y × 32 + 14)	TMTRSTSp (p = y × 32 + 13)	TMTRSTSp (p = y × 32 + 12)	TMTRSTSp (p = y × 32 + 11)	TMTRSTSp (p = y × 32 + 10)	TMTRSTSp (p = y × 32 + 9)	TMTRSTSp (p = y × 32 + 8)	TMTRSTSp (p = y × 32 + 7)	TMTRSTSp (p = y × 32 + 6)	TMTRSTSp (p = y × 32 + 5)	TMTRSTSp (p = y × 32 + 4)	TMTRSTSp (p = y × 32 + 3)	TMTRSTSp (p = y × 32 + 2)	TMTRSTSp (p = y × 32 + 1)	TMTRSTSp (p = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.150 RSCFDnCFDTMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信要求なし 1：送信要求あり
15 ～ 0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信要求なし 1：送信要求あり

TMTRSTSp フラグ（p = 0 ～ 63）

RSCFDnCFDTMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを “1”（送信を要求する）にすると、対応する TMTRSTSp フラグは “1” になります。

TMTR ビットが “0”（送信を要求しない）になると、対応する TMTRSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 16.151 にビット配置を示します。

表 16.151 TMTRSTSp ビット配置

ビット位置	ビット名	機能
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15

16.4.11.2 RSCFDnCFDTMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ（y = 0、1）

アクセス RSCFDnCFDTMTARSTSy レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDTMTARSTSyL、RSCFDnCFDTMTARSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTARSTSyLL、RSCFDnCFDTMTARSTSyLH、RSCFDnCFDTMTARSTSyHL、RSCFDnCFDTMTARSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTMTARSTSy: <RSCFDn_base> + 0360_H + (04_H × y)

RSCFDnCFDTMTARSTSyL: <RSCFDn_base> + 0360_H + (04_H × y)、
RSCFDnCFDTMTARSTSyH: <RSCFDn_base> + 0362_H + (04_H × y)

RSCFDnCFDTMTARSTSyLL: <RSCFDn_base> + 0360_H + (04_H × y)、
RSCFDnCFDTMTARSTSyLH: <RSCFDn_base> + 0361_H + (04_H × y)、
RSCFDnCFDTMTARSTSyHL: <RSCFDn_base> + 0362_H + (04_H × y)、
RSCFDnCFDTMTARSTSyHH: <RSCFDn_base> + 0363_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p = y × 32 + 31)	TMTARSTSp (p = y × 32 + 30)	TMTARSTSp (p = y × 32 + 29)	TMTARSTSp (p = y × 32 + 28)	TMTARSTSp (p = y × 32 + 27)	TMTARSTSp (p = y × 32 + 26)	TMTARSTSp (p = y × 32 + 25)	TMTARSTSp (p = y × 32 + 24)	TMTARSTSp (p = y × 32 + 23)	TMTARSTSp (p = y × 32 + 22)	TMTARSTSp (p = y × 32 + 21)	TMTARSTSp (p = y × 32 + 20)	TMTARSTSp (p = y × 32 + 19)	TMTARSTSp (p = y × 32 + 18)	TMTARSTSp (p = y × 32 + 17)	TMTARSTSp (p = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15)	TMTARSTSp (p = y × 32 + 14)	TMTARSTSp (p = y × 32 + 13)	TMTARSTSp (p = y × 32 + 12)	TMTARSTSp (p = y × 32 + 11)	TMTARSTSp (p = y × 32 + 10)	TMTARSTSp (p = y × 32 + 9)	TMTARSTSp (p = y × 32 + 8)	TMTARSTSp (p = y × 32 + 7)	TMTARSTSp (p = y × 32 + 6)	TMTARSTSp (p = y × 32 + 5)	TMTARSTSp (p = y × 32 + 4)	TMTARSTSp (p = y × 32 + 3)	TMTARSTSp (p = y × 32 + 2)	TMTARSTSp (p = y × 32 + 1)	TMTARSTSp (p = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.152 RSCFDnCFDTMTARSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信アボート要求なし 1：送信アボート要求あり
15 ～ 0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信アボート要求なし 1：送信アボート要求あり

TMTARSTSp フラグ（p = 0 ～ 63）

RSCFDnCFDTMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを “1”（送信アボートを要求する）にすると、対応する TMTARSTSp フラグは “1” になります。

TMTAR ビットが “0”（送信アボートを要求しない）になると、対応する TMTARSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 16.153 にビット配置を示します。

表 16.153 TMTARSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15

16.4.11.3 RSCFDnCFDTMTCSTSy — 送信バッファ送信完了ステータスレジスタ（y = 0、1）

アクセス RSCFDnCFDTMTCSTSy レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDTMTCSTSyL、RSCFDnCFDTMTCSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTCSTSyLL、RSCFDnCFDTMTCSTSyLH、RSCFDnCFDTMTCSTSyHL、
RSCFDnCFDTMTCSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTMTCSTSy: <RSCFDn_base> + 0370_H + (04_H × y)

RSCFDnCFDTMTCSTSyL: <RSCFDn_base> + 0370_H + (04_H × y)、
RSCFDnCFDTMTCSTSyH: <RSCFDn_base> + 0372_H + (04_H × y)

RSCFDnCFDTMTCSTSyLL: <RSCFDn_base> + 0370_H + (04_H × y)、
RSCFDnCFDTMTCSTSyLH: <RSCFDn_base> + 0371_H + (04_H × y)、
RSCFDnCFDTMTCSTSyHL: <RSCFDn_base> + 0372_H + (04_H × y)、
RSCFDnCFDTMTCSTSyHH: <RSCFDn_base> + 0373_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTCSTSp (p = y × 32 + 31)	TMTCSTSp (p = y × 32 + 30)	TMTCSTSp (p = y × 32 + 29)	TMTCSTSp (p = y × 32 + 28)	TMTCSTSp (p = y × 32 + 27)	TMTCSTSp (p = y × 32 + 26)	TMTCSTSp (p = y × 32 + 25)	TMTCSTSp (p = y × 32 + 24)	TMTCSTSp (p = y × 32 + 23)	TMTCSTSp (p = y × 32 + 22)	TMTCSTSp (p = y × 32 + 21)	TMTCSTSp (p = y × 32 + 20)	TMTCSTSp (p = y × 32 + 19)	TMTCSTSp (p = y × 32 + 18)	TMTCSTSp (p = y × 32 + 17)	TMTCSTSp (p = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTCSTSp (p = y × 32 + 15)	TMTCSTSp (p = y × 32 + 14)	TMTCSTSp (p = y × 32 + 13)	TMTCSTSp (p = y × 32 + 12)	TMTCSTSp (p = y × 32 + 11)	TMTCSTSp (p = y × 32 + 10)	TMTCSTSp (p = y × 32 + 9)	TMTCSTSp (p = y × 32 + 8)	TMTCSTSp (p = y × 32 + 7)	TMTCSTSp (p = y × 32 + 6)	TMTCSTSp (p = y × 32 + 5)	TMTCSTSp (p = y × 32 + 4)	TMTCSTSp (p = y × 32 + 3)	TMTCSTSp (p = y × 32 + 2)	TMTCSTSp (p = y × 32 + 1)	TMTCSTSp (p = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.154 RSCFDnCFDTMTCSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信未完了 1：送信完了
15 ～ 0	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信未完了 1：送信完了

TMTCSTSp フラグ（p = 0 ～ 63）

RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、送信アボート要求なし）または “11_B”（送信完了、送信アボート要求あり）になると、対応する TMTCSTSp フラグは “1” になります。

TMTCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 16.167 にビット配置を示します。

表 16.155 TMTCSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15

16.4.11.4 RSCFDnCFDTMTASTSy — 送信バッファ送信アボートステータスレジスタ（y = 0、1）

アクセス RSCFDnCFDTMTASTSy レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDTMTASTSyL、RSCFDnCFDTMTASTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTASTSyLL、RSCFDnCFDTMTASTSyLH、RSCFDnCFDTMTASTSyHL、
RSCFDnCFDTMTASTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTMTASTSy: <RSCFDn_base> + 0380_H + (04_H × y)

RSCFDnCFDTMTASTSyL: <RSCFDn_base> + 0380_H + (04_H × y)、
RSCFDnCFDTMTASTSyH: <RSCFDn_base> + 0382_H + (04_H × y)

RSCFDnCFDTMTASTSyLL: <RSCFDn_base> + 0380_H + (04_H × y)、
RSCFDnCFDTMTASTSyLH: <RSCFDn_base> + 0381_H + (04_H × y)、
RSCFDnCFDTMTASTSyHL: <RSCFDn_base> + 0382_H + (04_H × y)、
RSCFDnCFDTMTASTSyHH: <RSCFDn_base> + 0383_H + (04_H × y)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p = y × 32 + 31)	TMTASTSp (p = y × 32 + 30)	TMTASTSp (p = y × 32 + 29)	TMTASTSp (p = y × 32 + 28)	TMTASTSp (p = y × 32 + 27)	TMTASTSp (p = y × 32 + 26)	TMTASTSp (p = y × 32 + 25)	TMTASTSp (p = y × 32 + 24)	TMTASTSp (p = y × 32 + 23)	TMTASTSp (p = y × 32 + 22)	TMTASTSp (p = y × 32 + 21)	TMTASTSp (p = y × 32 + 20)	TMTASTSp (p = y × 32 + 19)	TMTASTSp (p = y × 32 + 18)	TMTASTSp (p = y × 32 + 17)	TMTASTSp (p = y × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15)	TMTASTSp (p = y × 32 + 14)	TMTASTSp (p = y × 32 + 13)	TMTASTSp (p = y × 32 + 12)	TMTASTSp (p = y × 32 + 11)	TMTASTSp (p = y × 32 + 10)	TMTASTSp (p = y × 32 + 9)	TMTASTSp (p = y × 32 + 8)	TMTASTSp (p = y × 32 + 7)	TMTASTSp (p = y × 32 + 6)	TMTASTSp (p = y × 32 + 5)	TMTASTSp (p = y × 32 + 4)	TMTASTSp (p = y × 32 + 3)	TMTASTSp (p = y × 32 + 2)	TMTASTSp (p = y × 32 + 1)	TMTASTSp (p = y × 32 + 0)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.156 RSCFDnCFDTMTASTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信アボートなし 1：送信アボートあり
15 ～ 0	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信アボートなし 1：送信アボートあり

TMTASTSp フラグ（p = 0 ～ 63）

RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると、対応する TMTASTSp フラグは “1” になります。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 16.157 にビット配置を示します。

表 16.157 TMTASTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15
32	2	0
33	2	1
. .	. .	. .
47	2	15
48	3	0
. .	. .	. .
62	3	14
63	3	15

16.4.12 送信キュー関連レジスタの詳細

16.4.12.1 RSCFDnCFDTXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDTXQCCm レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTXQCCmL、RSCFDnCFDTXQCCmH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTXQCCmLL、RSCFDnCFDTXQCCmLH、RSCFDnCFDTXQCCmHL、
RSCFDnCFDTXQCCmHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTXQCCm: <RSCFDn_base> + $03A0_H$ + (04_H × m)

RSCFDnCFDTXQCCmL: <RSCFDn_base> + $03A0_H$ + (04_H × m)、
RSCFDnCFDTXQCCmH: <RSCFDn_base> + $03A2_H$ + (04_H × m)

RSCFDnCFDTXQCCmLL: <RSCFDn_base> + $03A0_H$ + (04_H × m)、
RSCFDnCFDTXQCCmLH: <RSCFDn_base> + $03A1_H$ + (04_H × m)、
RSCFDnCFDTXQCCmHL: <RSCFDn_base> + $03A2_H$ + (04_H × m)、
RSCFDnCFDTXQCCmHH: <RSCFDn_base> + $03A3_H$ + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC [3:0]				—	—	—	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 16.158 RSCFDnCFDTXQCCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0：送信完了によって送信キューが空になったときに発生 1：1 メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0：送信キュー割り込み禁止 1：送信キュー割り込み許可
11 ～ 8	TXQDC [3:0]	送信キュー段数設定ビット 設定値を g（g = 2 ～ 15）とすると、g+1 の送信キューを使用できます。 “0” を設定すると、送信キューは使用できません。 “1” は設定しないでください。 送信バッファマージモードの場合は、g = 2 ～ 9 を設定してください。
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0：送信キューを使用しない 1：送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを “1” に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを “0” にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に (m × 16 + 15) から (m × 16 + 0) まで順番に割り付けられます（**表 16.90** を参照）。バッファの割り当て例については、**図 16.9** を参照してください。
RSCFDnCFDCmFDCFG レジスタの TMME ビットが “1”（送信バッファマージモード）のとき、送信バッファ (m × 16 + 5) から (m × 16 + 0) はマージされ、送信キューに割り付けることはできないため、TXQDC[3:0] ビットに 10 ～ 15 は設定しないでください。このビットはチャネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1” にすると送信キューを使用できます。このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。チャネルリセットモード時、“0” になります。

TXQDC[3:0] ビットの値を “0010_B” 以上に設定してから TXQE ビットを “1” にしてください。

16.4.12.2 RSCFDnCFDTXQSTSm — 送信キューステータスレジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDTXQSTSm レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTXQSTSmL、RSCFDnCFDTXQSTSmH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTXQSTSmLL、RSCFDnCFDTXQSTSmLH、RSCFDnCFDTXQSTSmHL、RSCFDnCFDTXQSTSmHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTXQSTSm: <RSCFDn_base> + $03C0_H$ + (04_H × m)

RSCFDnCFDTXQSTSmL: <RSCFDn_base> + $03C0_H$ + (04_H × m)、
RSCFDnCFDTXQSTSmH: <RSCFDn_base> + $03C2_H$ + (04_H × m)

RSCFDnCFDTXQSTSmLL: <RSCFDn_base> + $03C0_H$ + (04_H × m)、
RSCFDnCFDTXQSTSmLH: <RSCFDn_base> + $03C1_H$ + (04_H × m)、
RSCFDnCFDTXQSTSmHL: <RSCFDn_base> + $03C2_H$ + (04_H × m)、
RSCFDnCFDTXQSTSmHH: <RSCFDn_base> + $03C3_H$ + (04_H × m)

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFLL	TXQEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.159 RSCFDnCFDTXQSTSm レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～ 8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0：送信キューフルではない 1：送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0：送信キューにメッセージあり 1：送信キューにメッセージなし（送信キュー空）

TXQIF フラグ

RSCFDnCFDTXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1” になります。

TXQIF フラグへの “0” 書き込み、またはチャネルリセットモード時、“0” になります。
TXQIF フラグは、RSCFDnCFDTXQCCm レジスタの TXQE ビットを “0”（送信キューを使用しない）にしても “0” になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCFDnCFDTXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で “0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャネルリセットモード時

TXQEMP フラグ

メッセージを 1 つでも送信キューに設定すると、TXQEMP フラグは “0” になります。

次の条件で、“1” になります。

- TXQE ビットを “0”（送信キューを使用しない）にしたとき
- 送信キューが空になったとき
- チャネルリセットモード時

16.4.12.3 RSCFDnCFDTXQPCTRm — 送信キューポインタ制御レジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDTXQPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDTXQPCTRmL、RSCFDnCFDTXQPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDTXQPCTRmLL、RSCFDnCFDTXQPCTRmLH、RSCFDnCFDTXQPCTRmHL、RSCFDnCFDTXQPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDTXQPCTRm: <RSCFDn_base> + $03E0_H$ + (04_H × m)

RSCFDnCFDTXQPCTRmL: <RSCFDn_base> + $03E0_H$ + (04_H × m)、
RSCFDnCFDTXQPCTRmH: <RSCFDn_base> + $03E2_H$ + (04_H × m)

RSCFDnCFDTXQPCTRmLL: <RSCFDn_base> + $03E0_H$ + (04_H × m)、
RSCFDnCFDTXQPCTRmLH: <RSCFDn_base> + $03E1_H$ + (04_H × m)、
RSCFDnCFDTXQPCTRmHL: <RSCFDn_base> + $03E2_H$ + (04_H × m)、
RSCFDnCFDTXQPCTRmHH: <RSCFDn_base> + $03E3_H$ + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 16.160 RSCFDnCFDTXQPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	TXQPC [7:0]	送信キューポインタ制御 “FF_H” を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに “FF_H” を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCFDnCFDTMIDp、RSCFDnCFDTMPTRp、RSCFDnCFDTMFDCTRp、RSCFDnCFDTMDFb_p レジスタ（p = 15、31、47、63）に送信メッセージを書いた後に、TXQPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCFDnCFDTXQCCm レジスタの TXQE ビットが “1”（送信キューを使用する）で、RSCFDnCFDTXQSTSm レジスタの TXQFLL フラグが “0”（フルではない）の場合にのみ行ってください。

16.4.13 送信履歴関連レジスタの詳細

16.4.13.1 RSCFDnCFDTHLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDTHLCCm レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTHLCCmL、RSCFDnCFDTHLCCmH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTHLCCmLL、RSCFDnCFDTHLCCmLH、RSCFDnCFDTHLCCmHL、
RSCFDnCFDTHLCCmHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTHLCCm: <RSCFDn_base> + 0400_H + (04_H × m)

RSCFDnCFDTHLCCmL: <RSCFDn_base> + 0400_H + (04_H × m)、
RSCFDnCFDTHLCCmH: <RSCFDn_base> + 0402_H + (04_H × m)

RSCFDnCFDTHLCCmLL: <RSCFDn_base> + 0400_H + (04_H × m)、
RSCFDnCFDTHLCCmLH: <RSCFDn_base> + 0401_H + (04_H × m)、
RSCFDnCFDTHLCCmHL: <RSCFDn_base> + 0402_H + (04_H × m)、
RSCFDnCFDTHLCCmHH: <RSCFDn_base> + 0403_H + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 16.161 RSCFDnCFDTHLCCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0：送受信 FIFO、送信キューからのエントリ 1：送信バッファ、送受信 FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0：送信履歴バッファに 12 データ格納されたとき 1：1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0：送信履歴割り込み禁止 1：送信履歴割り込み許可
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0：送信履歴バッファを使用しない 1：送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを “1” に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが “0” の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1” にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

チャネルリセットモード時、“0” になります。

16.4.13.2 RSCFDnCFDTHLSTSm — 送信履歴ステータスレジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDTHLSTSm レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTHLSTSmL、RSCFDnCFDTHLSTSmH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTHLSTSmLL、RSCFDnCFDTHLSTSmLH、RSCFDnCFDTHLSTSmHL、RSCFDnCFDTHLSTSmHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDTHLSTSm: <RSCFDn_base> + 0420_H + (04_H × m)

RSCFDnCFDTHLSTSmL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCFDnCFDTHLSTSmH: <RSCFDn_base> + 0422_H + (04_H × m)

RSCFDnCFDTHLSTSmLL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCFDnCFDTHLSTSmLH: <RSCFDn_base> + 0421_H + (04_H × m)、
RSCFDnCFDTHLSTSmHL: <RSCFDn_base> + 0422_H + (04_H × m)、
RSCFDnCFDTHLSTSmHH: <RSCFDn_base> + 0423_H + (04_H × m)

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC [4:0]					—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注 1. このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 16.162 RSCFDnCFDTHLSTSm レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～ 8	THLMC [4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバフローフラグ 0：送信履歴バッファオーバフローではない 1：送信履歴バッファオーバフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0：送信履歴バッファフルではない 1：送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0：送信履歴バッファに未読データあり 1：送信履歴バッファに未読データなし（バッファ空）

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。チャネルリセットモード時、“0” になります。

THLIF フラグ

RSCFDnCFDTHLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1” になります。

プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき “1” になります。この場合、新しいデータは破棄されます。プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLFLL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1” になります。格納数が 16 個より少なくなると “0” になります。RSCFDnCFDTHLCCm レジスタの THLE ビットが “0”（送信履歴バッファを使用しない）のとき、またはチャネルリセットモード時、“0” になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると “0” になります。

送信履歴バッファのすべてのデータを読むと “1” になります。RSCFDnCFDTHLCCm レジスタの THLE ビットを “0”（送信履歴バッファを使用しない）にしたとき、またはチャネルリセットモード時、“1” になります。

備　考

THLIF 、THLELT フラグを “0” にする場合は、プログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いてください。

16.4.13.3 RSCFDnCFDTHLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDTHLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDTHLPCTRmL、RSCFDnCFDTHLPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDTHLPCTRmLL、RSCFDnCFDTHLPCTRmLH、RSCFDnCFDTHLPCTRmHL、RSCFDnCFDTHLPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDTHLPCTRm: <RSCFDn_base> + 0440_H + (04_H × m)

RSCFDnCFDTHLPCTRmL: <RSCFDn_base> + 0440_H + (04_H × m)、
RSCFDnCFDTHLPCTRmH: <RSCFDn_base> + 0442_H + (04_H × m)

RSCFDnCFDTHLPCTRmLL: <RSCFDn_base> + 0440_H + (04_H × m)、
RSCFDnCFDTHLPCTRmLH: <RSCFDn_base> + 0441_H + (04_H × m)、
RSCFDnCFDTHLPCTRmHL: <RSCFDn_base> + 0442_H + (04_H × m)、
RSCFDnCFDTHLPCTRmHH: <RSCFDn_base> + 0443_H + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 16.163 RSCFDnCFDTHLPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	THLPC [7:0]	送信履歴リストポインタ制御 “FF_H” を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに “FF_H” を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCFDnCFDTHLSTSm レジスタの THLMC[4:0] ビット（送信履歴バッファ未読数カウンタ）の値が 1 減算されます。RSCFDnCFDTHLACCm レジスタを読んだあと、THLPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCFDnCFDTHLCCm レジスタの THLE ビットが “1”（送信履歴バッファを使用する）で、RSCFDnCFDTHLSTSm レジスタの THLEMP フラグが “0” のときのみ行ってください。

16.4.13.4 RSCFDnCFDTHLACCm — 送信履歴アクセスレジスタ（m = 0 ～ 3）

アクセス RSCFDnCFDTHLACCm レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDTHLACCmL、RSCFDnCFDTHLACCmH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTHLACCmLL、RSCFDnCFDTHLACCmLH、RSCFDnCFDTHLACCmHL、
RSCFDnCFDTHLACCmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RSCFDnCFDTHLACCm: <RSCFDn_base> + 6000_H + (04_H × m)

RSCFDnCFDTHLACCmL: <RSCFDn_base> + 6000_H + (04_H × m)、
RSCFDnCFDTHLACCmH: <RSCFDn_base> + 6002_H + (04_H × m)

RSCFDnCFDTHLACCmLL: <RSCFDn_base> + 6000_H + (04_H × m)、
RSCFDnCFDTHLACCmLH: <RSCFDn_base> + 6001_H + (04_H × m)、
RSCFDnCFDTHLACCmHL: <RSCFDn_base> + 6002_H + (04_H × m)、
RSCFDnCFDTHLACCmHH: <RSCFDn_base> + 6003_H + (04_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]								—	BN[3:0]				BT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 16.164 RSCFDnCFDTHLACCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTS[15:0]	タイムスタンプデータ 格納されたデータのタイムスタンプデータが読めます。
15 ～ 8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～ 3	BN[3:0]	バッファ番号データ 送信元の送信バッファ／送受信 FIFO ／送信キュー番号が読めます。
2 ～ 0	BT[2:0]	バッファタイプデータ b2 b1 b0 0 0 1：送信バッファ 0 1 0：送受信 FIFO バッファ 1 0 0：送信キュー

TMTS[15:0] ビット

送信履歴バッファに格納された送信履歴データのタイムスタンプ値を表示します。

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

16.4.14 テスト関連レジスタの詳細

16.4.14.1 RSCFDnCFDGTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス RSCFDnCFDGTSTCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGTSTCFGL、RSCFDnCFDGTSTCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGTSTCFGLL、RSCFDnCFDGTSTCFGLH、RSCFDnCFDGTSTCFGHL、RSCFDnCFDGTSTCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDGTSTCFG: <RSCFDn_base> + 0468_H

RSCFDnCFDGTSTCFGL: <RSCFDn_base> + 0468_H、RSCFDnCFDGTSTCFGH: <RSCFDn_base> + $046A_H$

RSCFDnCFDGTSTCFGLL: <RSCFDn_base> + 0468_H、RSCFDnCFDGTSTCFGLH: <RSCFDn_base> + 0469_H、
RSCFDnCFDGTSTCFGHL: <RSCFDn_base> + $046A_H$、RSCFDnCFDGTSTCFGHH: <RSCFDn_base> + $046B_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS [6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	C3ICBCE	C2ICBCE	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 16.165 RSCFDnCFDGTSTCFG レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 16	RTMPS [6:0]	RAM テストページ設定ビット ページ 0（00_H）～ 69（45_H）ページの範囲で設定
15 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	C3ICBCE	CAN3 チャネル間通信テスト許可ビット 0：CAN3 チャネル間通信テスト禁止 1：CAN3 チャネル間通信テスト許可
2	C2ICBCE	CAN2 チャネル間通信テスト許可ビット 0：CAN2 チャネル間通信テスト禁止 1：CAN2 チャネル間通信テスト許可
1	C1ICBCE	CAN1 チャネル間通信テスト許可ビット 0：CAN1 チャネル間通信テスト禁止 1：CAN1 チャネル間通信テスト許可
0	C0ICBCE	CAN0 チャネル間通信テスト許可ビット 0：CAN0 チャネル間通信テスト禁止 1：CAN0 チャネル間通信テスト許可

RSCFDnCFDGTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ～ 45_H 以外の値を設定しないでください。

C3ICBCE ビット

“1” にすると、チャネル 3 のチャネル間通信テストが許可になります。

グローバルリセットモード時、“0” になります。

C2ICBCE ビット

“1” にすると、チャネル 2 のチャネル間通信テストが許可になります。

グローバルリセットモード時、“0” になります。

C1ICBCE ビット

“1” にすると、チャネル 1 のチャネル間通信テストが許可になります。

グローバルリセットモード時、“0” になります。

C0ICBCE ビット

“1” にすると、チャネル 0 のチャネル間通信テストが許可になります。

グローバルリセットモード時、“0” になります。

16.4.14.2 RSCFDnCFDGTSTCTR — グローバルテスト制御レジスタ

アクセス　RSCFDnCFDGTSTCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGTSTCTRL、RSCFDnCFDGTSTCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGTSTCTRLL、RSCFDnCFDGTSTCTRLH、RSCFDnCFDGTSTCTRHL、RSCFDnCFDGTSTCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RSCFDnCFDGTSTCTR: <RSCFDn_base> + $046C_H$

RSCFDnCFDGTSTCTRL: <RSCFDn_base> + $046C_H$、RSCFDnCFDGTSTCTRH: <RSCFDn_base> + $046E_H$

RSCFDnCFDGTSTCTRLL: <RSCFDn_base> + $046C_H$、RSCFDnCFDGTSTCTRLH: <RSCFDn_base> + $046D_H$、
RSCFDnCFDGTSTCTRHL: <RSCFDn_base> + $046E_H$、RSCFDnCFDGTSTCTRHH: <RSCFDn_base> + $046F_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 16.166 RSCFDnCFDGTSTCTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0：RAM テスト禁止 1：RAM テスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICBCTME	チャネル間通信テスト許可ビット 0：チャネル間通信テスト禁止 1：チャネル間通信テスト許可

RTME ビット

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。グローバルリセットモード時、“0” になります。

1. RSCFDnCFDGCTR レジスタの GMDC[1:0] ビットを “10_B”（グローバルテストモード）にする。
2. RTME ビットを “1” にする。
3. RTME ビットが “1” になったことを確認する。

RAM テストの設定手順については、**「図 16.37　RAM テストの設定手順」**を参照してください。

ICBCTME ビット

“1” にすると、RSCFDnCFDGTSTCFG レジスタの CmICBCE ビット（m = 0 ~ 3）を “1” に設定したチャネルのチャネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。グローバルリセットモード時、“0” になります。

16.4.14.3 RSCFDnCFDGLOCKK — グローバルロックキーレジスタ

アクセス RSCFDnCFDGLOCKK レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDGLOCKKL、RSCFDnCFDGLOCKKH レジスタは、16 ビット単位でライトのみ可能です。

アドレス RSCFDnCFDGLOCKK: <RSCFDn_base> + $047C_H$

RSCFDnCFDGLOCKKL: <RSCFDn_base> + $047C_H$、RSCFDnCFDGLOCKKH: <RSCFDn_base> + $047E_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1

注 1. RS-CANFD モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表 16.167 RSCFDnCFDGLOCKK レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	予約ビット	ライトする場合はリセット後の値を書いてください。
15 ～ 0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCFDnCFDGLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、**「16.11.4.2 プロテクト解除手順」**を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCFDnCFDGTSTCTR レジスタの RTME ビットへの “1” 書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域（<RSCFDn_base> + 0000_H ～ <RSCFDn_base> + $0FFF_H$）に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

16.4.14.4 RSCFDnCFDRPGACCr — RAM テストページアクセスレジスタ（r = 0 ~ 63）

アクセス RSCFDnCFDRPGACCr レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDRPGACCrL、RSCFDnCFDRPGACCrH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDRPGACCrLL、RSCFDnCFDRPGACCrLH、RSCFDnCFDRPGACCrHL、RSCFDnCFDRPGACCrHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RSCFDnCFDRPGACCr: <RSCFDn_base> + 6400_H + (04_H × r)

RSCFDnCFDRPGACCrL: <RSCFDn_base> + 6400_H + (04_H × r)、
RSCFDnCFDRPGACCrH: <RSCFDn_base> + 6402_H + (04_H × r)

RSCFDnCFDRPGACCrLL: <RSCFDn_base> + 6400_H + (04_H × r)、
RSCFDnCFDRPGACCrLH: <RSCFDn_base> + 6401_H + (04_H × r)、
RSCFDnCFDRPGACCrHL: <RSCFDn_base> + 6402_H + (04_H × r)、
RSCFDnCFDRPGACCrHH: <RSCFDn_base> + 6403_H + (04_H × r)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA [31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.168 RSCFDnCFDRPGACCr レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RDTA [31:0]	RAM データテストアクセス CAN 用 RAM データの読み書きができます。

RSCFDnCFDRPGACCr レジスタは、グローバルテストモードでかつ RSCFDnCFDGTSTCTR レジスタの RTME ビットが “1”（RAM テスト許可）の状態で書き換えてください。

RTME ビットが “1” のときに、RSCFDnCFDRPGACCr レジスタへの読み書きができます。

16.5 割り込み要因

16.5.1 割り込み要因

RS-CANFD モジュールには 14 本の割り込みがあり、グローバル割り込みとチャネル割り込みに分類されます。

- グローバル割り込み（2 本）
  受信 FIFO 割り込み
  グローバルエラー割り込み
- チャネル割り込み（チャネルごとに 3 本ずつ）
  CANm 送信割り込み（m = 0 ～ 3）
  - CANm 送信完了割り込み
  - CANm 送信アボート割り込み
  - CANm 送受信 FIFO 送信完了割り込み（送信モード、ゲートウェイモード時）
  - CANm 送信履歴割り込み
  - CANm 送信キュー割り込み

  CANm 送受信 FIFO 受信完了割り込み（受信モード、ゲートウェイモード時）
  CANm エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが “1”（割り込み要求あり）になります。その場合、割り込み許可ビットを “1”（割り込み許可）にしていると、RS-CANFD モジュールから割り込み要求が出力されます。（割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。）

割り込み要求フラグを “0”（割り込み要求なし）にするか、割り込み許可ビットを “0”（割り込み禁止）にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

表 16.169 に CAN 割り込み要因一覧を示します。**図 16.2** に CAN グローバル割り込みブロック図を、**図 16.3** に CAN チャネル割り込みブロック図を示します。

表 16.169 CAN 割り込み要因一覧

割り込み要因			対応する割り込み要求フラグ	対応する割り込み許可ビット
グローバル割り込み	受信FIFO	受信 FIFO 0	RSCFDn(CFD)RFSTS0 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC0 レジスタの RFIE ビット
		受信 FIFO 1	RSCFDn(CFD)RFSTS1 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC1 レジスタの RFIE ビット
		受信 FIFO 2	RSCFDn(CFD)RFSTS2 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC2 レジスタの RFIE ビット
		受信 FIFO 3	RSCFDn(CFD)RFSTS3 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC3 レジスタの RFIE ビット
		受信 FIFO 4	RSCFDn(CFD)RFSTS4 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC4 レジスタの RFIE ビット
		受信 FIFO 5	RSCFDn(CFD)RFSTS5 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC5 レジスタの RFIE ビット
		受信 FIFO 6	RSCFDn(CFD)RFSTS6 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC6 レジスタの RFIE ビット
		受信 FIFO 7	RSCFDn(CFD)RFSTS7 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC7 レジスタの RFIE ビット
	グローバルエラー		RSCFDn(CFD)GERFL レジスタの DEF フラグ RSCFDn(CFD)GERFL レジスタの MES フラグ RSCFDn(CFD)GERFL レジスタの THLES フラグ RSCFDnCFDGERFL レジスタの CMPOF フラグ	RSCFDn(CFD)GCTR レジスタの DEIE ビット RSCFDn(CFD)GCTR レジスタの MEIE ビット RSCFDn(CFD)GCTR レジスタの THLEIE ビット RSCFDnCFDGCTR レジスタの CMPOFIE ビット
チャネル割り込み（m = 0 ～ 3）	CANm 送信	CANm 送信完了	RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグ	RSCFDn(CFD)TMIECy レジスタの TMIEp ビット
		CANm 送信アボート	RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグ	RSCFDn(CFD)CmCTR レジスタの TAIE ビット
		CANm 送受信 FIFO 送信完了	RSCFDn(CFD)CFSTSk レジスタの CFTXIF フラグ	RSCFDn(CFD)CFCCk レジスタの CFTXIE ビット
		CANm 送信キュー	RSCFDn(CFD)TXQSTSm レジスタの TXQIF フラグ	RSCFDn(CFD)TXQCCm レジスタの TXQIE ビット
		CANm 送信履歴	RSCFDn(CFD)THLSTSm レジスタの THLIF フラグ	RSCFDn(CFD)THLCCm レジスタの THLIE ビット
	CANm 送受信 FIFO 受信完了		RSCFDn(CFD)CFSTSk レジスタの CFRXIF フラグ	RSCFDn(CFD)CFCCk レジスタの CFRXIE ビット
	CANm エラー		RSCFDn(CFD)CmERFL レジスタの BEF フラグ RSCFDn(CFD)CmERFL レジスタの ALF フラグ RSCFDn(CFD)CmERFL レジスタの BLF フラグ RSCFDn(CFD)CmERFL レジスタの OVLF フラグ RSCFDn(CFD)CmERFL レジスタの BORF フラグ RSCFDn(CFD)CmERFL レジスタの BOEF フラグ RSCFDn(CFD)CmERFL レジスタの EPF フラグ RSCFDn(CFD)CmERFL レジスタの EWF フラグ RSCFDnCFDCmFDSTS レジスタの SOCO フラグ RSCFDnCFDCmFDSTS レジスタの EOCO フラグ RSCFDnCFDCmFDSTS レジスタの TDCVF フラグ	RSCFDn(CFD)CmCTR レジスタの BEIE ビット RSCFDn(CFD)CmCTR レジスタの ALIE ビット RSCFDn(CFD)CmCTR レジスタの BLIE ビット RSCFDn(CFD)CmCTR レジスタの OLIE ビット RSCFDn(CFD)CmCTR レジスタの BORIE ビット RSCFDn(CFD)CmCTR レジスタの BOEIE ビット RSCFDn(CFD)CmCTR レジスタの EPIE ビット RSCFDn(CFD)CmCTR レジスタの EWIE ビット RSCFDnCFDCmCTR レジスタの SOCOIE ビット RSCFDnCFDCmCTR レジスタの EOCOIE ビット RSCFDnCFDCmCTR レジスタの TDCVFIE ビット

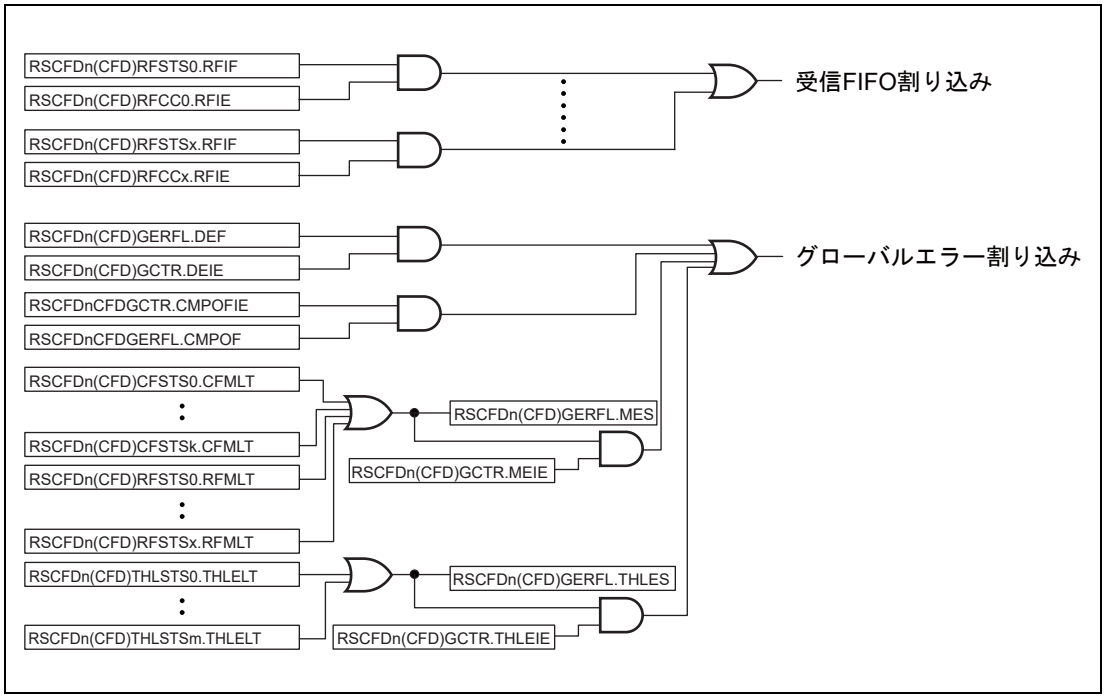


図 16.2 CAN グローバル割り込みブロック図

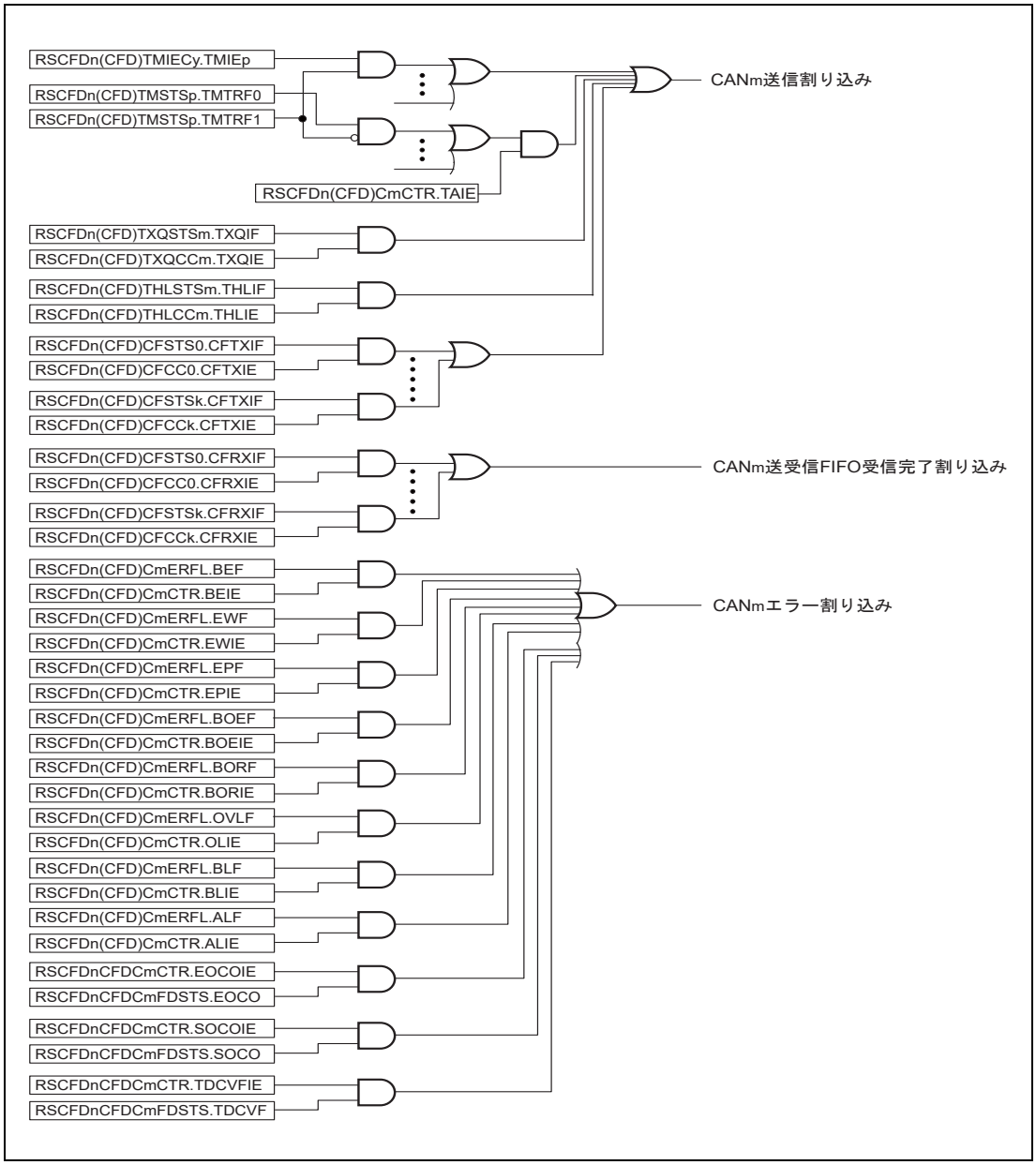


図 16.3 CAN チャネル割り込みブロック図

16.6 CAN モード

RS-CANFD モジュールには、RS-CANFD モジュール全体の状態を制御するグローバルモードが 4 種類と、個々のチャネル状態を制御するチャネルモードが 4 種類あります。**「16.6.1 グローバルモード」**にグローバルモード、**「16.6.2 チャネルモード」**にチャネルモードの詳細を示します。

- グローバルストップモード : モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード : モジュール全体の初期設定を行う。
- グローバルテストモード : テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード : モジュール全体を動作可能にする。
- チャネルストップモード : チャネルのクロックが停止する。
- チャネルリセットモード : チャネルの初期設定を行う。
- チャネル待機モード : CAN 通信を停止させる。また、チャネルのテストを許可する。
- チャネル通信モード : CAN 通信を行う。

16.6.1 グローバルモード

図 16.4 にグローバルモードの遷移図を示します。

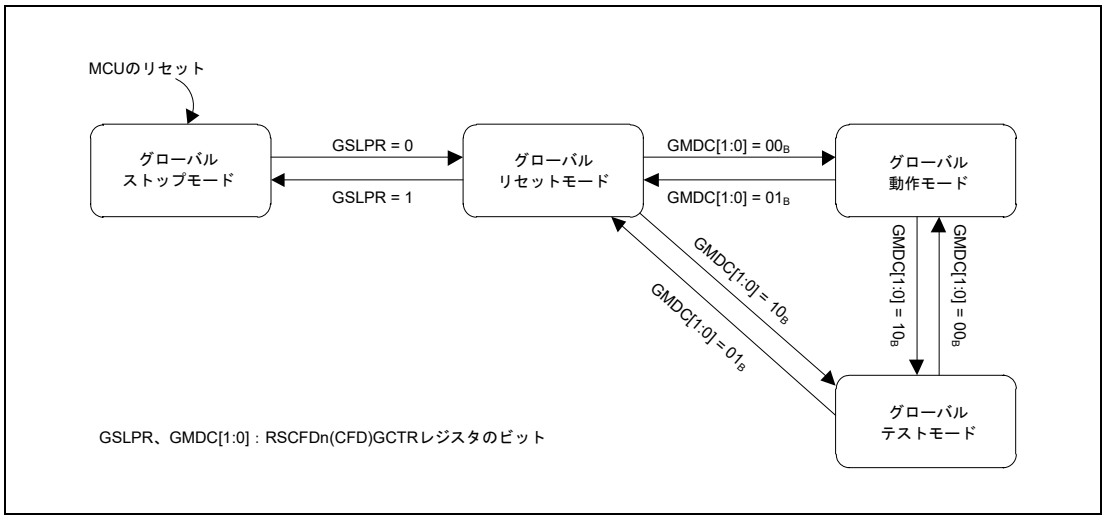


図 16.4 グローバルモードの遷移図

グローバルモードの遷移により、チャネルのモードが変化する場合があります。**表 16.170** にグローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化を示します。

表 16.170 グローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化

設定前のチャネルモード	設定後のチャネルモード			
	GMDC[1:0] = 00_B GSLPR = 0 （グローバル動作）	GMDC[1:0] = 10_B GSLPR = 0 （グローバルテスト）	GMDC[1:0] = 01_B GSLPR = 0 （グローバルリセット）	GMDC[1:0] = 01_B GSLPR = 1 （グローバルストップ）
チャネル通信	チャネル通信	チャネル待機	チャネルリセット	遷移禁止
チャネル待機	チャネル待機	チャネル待機	チャネルリセット	遷移禁止
チャネルリセット	チャネルリセット	チャネルリセット	チャネルリセット	チャネルストップ
チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ

注 1. GMDC[1:0] ビットと GSLPR ビットは、RSCFDn(CFD)GCTR レジスタのビット。

表 16.171 にグローバルモードの遷移時間を示します。

表 16.171 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	pclk の 3 クロック
グローバルリセット	グローバルストップ	pclk の 3 クロック
グローバルリセット	グローバルテスト	pclk の 10 クロック
グローバルリセット	グローバル動作	pclk の 10 クロック
グローバルテスト	グローバルリセット	2CAN ビットタイム[注 1 注 2]
グローバルテスト	グローバル動作	pclk の 3 クロック
グローバル動作	グローバルリセット	2CAN ビットタイム[注 1 注 2]
グローバル動作	グローバルテスト	CAN フレームの 2 つ分[注 1]

注 1. 使用チャネルの内、最も遅い通信速度の CAN ビットタイムおよび CAN フレーム時間になります。
注 2. CAN FD モードのときは、通常ビットレートの CAN ビットタイムになります。

16.6.1.1 グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPR ビットへの CPU 書き込み用クロックのみが動作します。

MCU のリセット後、グローバルストップモードになります。また、グローバルリセットモード時に RSCFDn(CFD)GCTR レジスタの GSLPR ビットを “1”（グローバルストップモード）にすると、各 RSCFDn(CFD)CmCTR レジスタの CSLPR ビットが “1”（チャネルストップモード）になります。その後、すべてのチャネルが強制的にチャネルストップモードへ遷移すると、グローバルストップモードになります。GSLPR ビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

16.6.1.2 グローバルリセットモード

グローバルリセットモードで RS-CANFD モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。初期化されるレジスタについては、**「表 16.174 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧」**と**「表 16.175 グローバルリセットモードでのみ初期化されるレジスター覧」**を参照してください。

RSCFDn(CFD)GCTR レジスタの GMDC[1:0] ビットを “01_B” に設定すると、各 RSCFDn(CFD)CmCTR レジスタ（m = 0 ～ 3）の CHMDC[1:0] ビットが “01_B”（チャネルリセットモード）になります。すべてのチャネルが強制的にチャネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャネルリセットモードまたはチャネルストップモードであるチャネルはモード遷移しません（CHMDC[1:0] ビットがすでに “01_B” に設定されているため）。

16.6.1.3 グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべての CAN 通信は停止します。

RSCFDn(CFD)GCTR レジスタの GMDC[1:0] ビット を “10_B” に設定すると、各 RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0] ビットが “10_B”（チャネル待機モード）になります。すべてのチャネルが強制的にチャネル待機モードへ遷移すると、グローバルテストモードになります。チャネルストップモード、チャネルリセットモード、またはチャネル待機モードであるチャネルは、モード遷移しません。

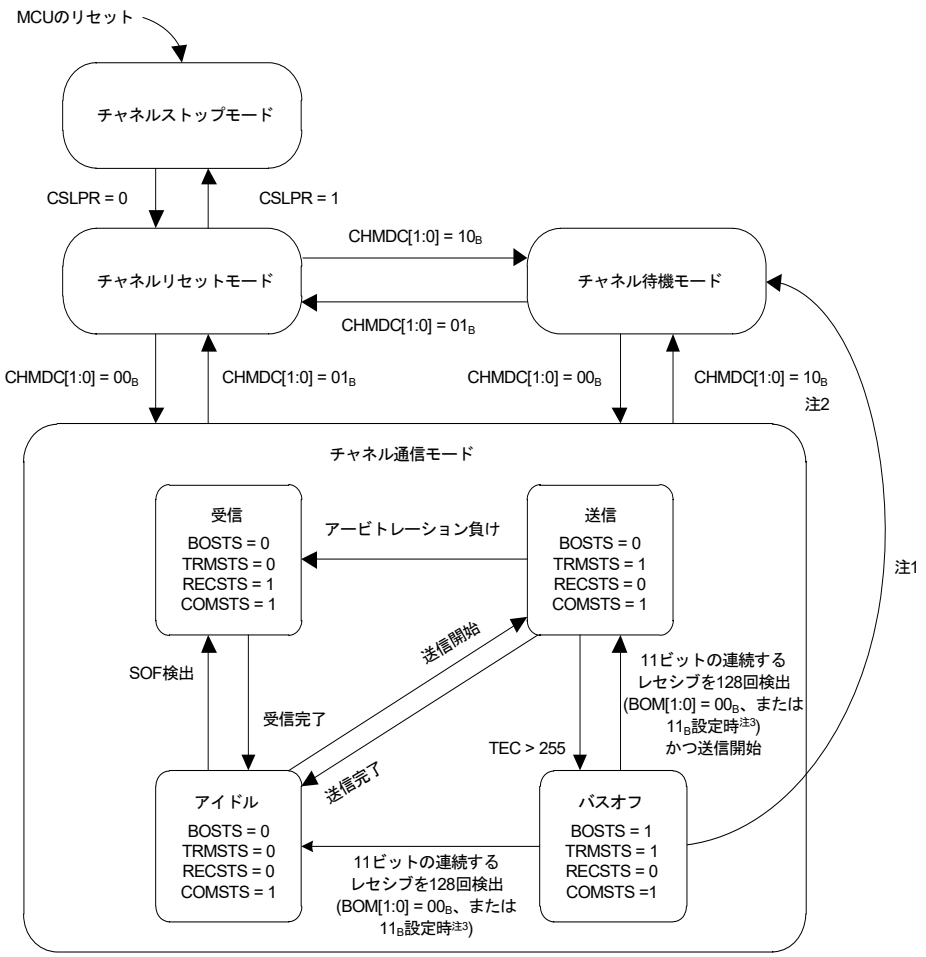
16.6.1.4 グローバル動作モード

グローバル動作モードでは RS-CANFD モジュールが動作します。

RSCFDn(CFD)GCTR レジスタの GMDC[1:0] ビットを “00_B” にすると、グローバル動作モードに遷移します。

16.6.2 チャネルモード

図 16.5 にチャネルモードの状態遷移図を示します。**表 16.172** にチャネルモードの遷移時間を示します。



備考 CHMDC[1:0]、CSLPR、BOM[1:0]：RSCFDn(CFD)CmCTR レジスタのビット (m = 0 ～ 3)
BOSTS、TRMSTS、RECSTS、COMSTS：RSCFDn(CFD)CmSTS レジスタのビット

注 1. バスオフ状態から待機モードへの遷移タイミング
- BOM[1:0] = 01_B の場合：TEC > 255 になると、チャネル待機モードへ遷移
- BOM[1:0] = 10_B の場合：11 ビットの連続するレセシブを 128 回検出したとき、チャネル待機モードへ遷移
- BOM[1:0] = 11_B の場合：CHMDC[1:0] ビットを “10_B” にすると、チャネル待機モードへ遷移

注 2. CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。

注 3. CHMDC[1:0] ビットを “10_B” にする前に 11 ビットの連続するレセシブを 128 回検出したとき

図 16.5 チャネルモードの状態遷移図

表 16.172 チャネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャネルストップ	チャネルリセット	pclk の 3 クロック
チャネルリセット	チャネルストップ	pclk の 3 クロック
チャネルリセット	チャネル待機	3CANm ビットタイム注 1
チャネルリセット	チャネル通信	4CANm ビットタイム注 1
チャネル待機	チャネルリセット	2CANm ビットタイム注 1
チャネル待機	チャネル通信	4CANm ビットタイム注 1
チャネル通信	チャネルリセット	2CANm ビットタイム注 1
チャネル通信	チャネル待機	CANm フレームの 2 つ分

注 1. CAN FD モードのときは、通常ビットレートの CANm ビットタイムになります。

16.6.2.1 チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの 読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャネルは、MCU のリセット後、チャネルストップモードになります。また、チャネルリセットモード時に、RSCFDn(CFD)CmCTR レジスタ（m = 0 ～ 3）の CSLPR ビットを “1”（チャネルストップモード）にすると、チャネルストップモードに遷移します。CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えないでください。

16.6.2.2 チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。初期化されるレジスタについては、**「表 16.174 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧」**を参照してください。

CAN 通信中に RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0] ビットを “01_B”（チャネルリセットモード）にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。**表 16.173** に CAN 通信中に CHMDC[1:0] ビットを “01_B”（チャネルリセットモード）に設定したときの動作を示します。

16.6.2.3 チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

表 16.173 に CAN 通信中に CHMDC[1:0] ビットを “10_B”（チャネル待機モード）に設定したときの動作を示します。

表 16.173 チャネルリセット／チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット（CHMDC[1:0] = “01_B”）	受信の終了を待たずにチャネルリセットモードに遷移注 1	送信の終了を待たずにチャネルリセットモードに遷移注 1	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機注 3（CHMDC[1:0] = “10_B”）	受信の終了を待ってチャネル待機モードに遷移注 2	送信の終了を待ってチャネル待機モードに遷移	【BOM[1:0] ビットが “00_B” の場合】 バスオフ復帰後のみ、チャネル待機モード遷移（CHMDC[1:0] = “10_B”）が実行される 【BOM[1:0] ビットが “01_B” の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移 【BOM[1:0] ビットが “10_B” の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移 【BOM[1:0] ビットが “11_B” の場合】 CHMDC[1:0] ビットに “10_B” が設定されるとすぐにチャネル待機モードに遷移（バスオフ復帰の終了は待たない）

注 1. 通信が終了した後にチャネルリセットモードへ遷移するには、まず CHMDC[1:0] ビットを “10_B” に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0] ビットを “01_B” に設定してください。

注 2. CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出すると RSCFDn(CFD)CmERFL レジスタの BLF フラグが “1” になるので、CAN バスの状態を確認できます。

注 3. チャネルリセットモードからチャネル待機モードへ遷移する場合、クラシカル CAN モードのときはチャネルリセットモードで RSCANnCmCFG レジスタを設定してからチャネル待機モードへ遷移してください。CAN FD モードのときは RSCFDnCFDCmNCFG レジスタと RSCFDnCFDCmDCFG レジスタを設定してから遷移してください。

16.6.2.4 チャネル通信モード

チャネル通信モードで CAN 通信を行います。CAN 通信時、各チャネルは次に示す通信状態をとります。

- アイドル：受信も送信もしていない状態。
- 受信：他のノードから送られてきたメッセージを受信している状態。
- 送信：メッセージを送信している状態。
- バスオフ：CAN 通信から遮断されている状態。

RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0] ビットを “00_B” にすると、チャネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、RSCFDn(CFD)CmSTS レジスタ（m = 0 ～ 3）の COMSTS フラグが “1”（通信可能な状態）になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

16.6.2.5 バスオフ状態

CAN 仕様の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。

バスオフ状態からの復帰条件は、RSCFDn(CFD)CmCTR レジスタの BOM[1:0] ビットで設定します。

- BOM[1:0] ビット が “00_B” のとき :
  CAN 仕様に準拠し、11 ビットの連続するレセシブを 128 回検出後に、バスオフ状態から CAN 通信可能な状態（エラーアクティブ状態）に復帰します。そのとき、RSCFDn(CFD)CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化され、RSCFDn(CFD)CmERFL レジスタの BORF フラグが “1”（バスオフ復帰検出）になり、バスオフ復帰割り込み要求が発生します。バスオフ状態で、RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0] ビットを “10_B”（チャネル待機モード）にすると、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。

- BOM[1:0] ビット が “01_B” のとき :
  バスオフ状態に遷移すると、CHMDC[1:0] ビットが “10_B” になり、チャネル待機モードへ遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化されます。BORF フラグは “1” にならず、バスオフ復帰割り込み要求は発生しません。

- BOM[1:0] ビット が “10_B” のとき :
  バスオフ状態に遷移すると、CHMDC[1:0] ビットが “10_B” になり、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化され、BORF フラグが “1” になり、バスオフ復帰割り込み要求が発生します。

- BOM[1:0] ビット が “11_B” のとき :
  バスオフ状態時に、CHMDC[1:0] ビットを “10_B” にすると、バスオフ復帰を待たずにチャネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化されます。BORF フラグは “1” になりません。またバスオフ復帰割り込み要求は発生しません。
  ただし、CHMDC[1:0] ビットを “10_B” にする前に 11 ビットの連続するレセシブを 128 回検出し、エラーアクティブ状態に復帰した場合、BORF フラグが “1” になり、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールによるチャネル待機モードへの遷移と、プログラムによる CHMDC[1:0] ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0] ビット を “01_B” または “10_B” に設定した場合のチャネル待機モードへの自動的な遷移は、CHMDC[1:0] ビットが “00_B”（チャネル通信モード）のときのみ発生します。

また、RSCFDn(CFD)CmCTR レジスタの RTBO ビットを “1” にすることで、バスオフ状態から強制的に復帰することができます。RTBO ビットに “1” を書くと、直ちにエラーアクティブ状態になり、11 ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORF フラグは “1” になりません。TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化されます。RTBO ビットは、BOM[1:0] ビットが “00_B” のときのみ “1” を書いてください。バスオフ状態以外で、RTBO ビットに “1” を書いても無視され、RTBO ビットは直ちに “0” になります。

16.6.3 CAN モード遷移によるレジスタ初期化

チャネルリセットモードへの遷移によって初期化されるビットおよびフラグを**表 16.174** に示します。これらは、グローバルリセットモードへの遷移でも初期化されます。また、グローバルリセットモードへの遷移のみによって初期化されるビットおよびフラグを**表 16.175** に示します。

表 16.174 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧

レジスタ	ビット / フラグ
RSCFDn(CFD)CmCTR レジスタ	(ROM), CRCT, CTMS[1:0], CTME, CHMDC[1:0]
RSCFDn(CFD)CmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, (ESIF), REC[7:0], TEC[7:0]
RSCFDn(CFD)CmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCFDnCFDCmFDCTR レジスタ	EOCCLR, SOCCLR
RSCFDnCFDCmFDSTS レジスタ	SOC[7:0], EOC[7:0], SOCO, EOCO, TDCVF, TDCR[6:0]
RSCFDnCFDCmFDCRC レジスタ	CRCREG[20:0]、SCNT[3:0]
RSCFDn(CFD)CFCCk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時 : CFE
RSCFDn(CFD)CFSTSk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時 : CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCFDn(CFD)CFTISTS レジスタ	CFkTXIF
RSCFDn(CFD)TMCp レジスタ	TMOM, TMTAR, TMTR
RSCFDn(CFD)TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCFDn(CFD)TMTRSTSy レジスタ	TMTRSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCFDn(CFD)TMTARSTSy レジスタ	TMTARSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCFDn(CFD)TMTCSTSy レジスタ	TMTCSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCFDn(CFD)TMTASTSy レジスタ	TMTASTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCFDn(CFD)TXQCCm レジスタ	TXQE
RSCFDn(CFD)TXQSTSm レジスタ	TXQIF, TXQFLL, TXQEMP
RSCFDn(CFD)THLCCm レジスタ	THLE
RSCFDn(CFD)THLSTSm レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCFDn(CFD)GTINTSTS0 レジスタ	TSIFm, TAIFm, TQIFm, CFTIFm, THIFm（m = 0 ~ 3）

備考 （ ）内のビット / フラグは CAN FD モードのレジスタにのみ存在

表 16.175 グローバルリセットモードでのみ初期化されるレジスター覧

レジスタ	ビット / フラグ
RSCFDn(CFD)GSTS レジスタ	GHLTSTS
RSCFDn(CFD)GERFL レジスタ	EEF0, EEF1, EEF2, EEF3 (CMPOF), THLES, MES, DEF
RSCFDn(CFD)GTSC レジスタ	TS[15:0]
RSCFDn(CFD)RMNDy レジスタ	RMNSq
RSCFDn(CFD)RFCCx レジスタ	RFE
RSCFDn(CFD)RFSTSx レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCFDn(CFD)CFCCk レジスタ	送受信 FIFO が受信モード時 : CFE
RSCFDn(CFD)CFSTSk レジスタ	送受信 FIFO バッファが受信モード時 : CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCFDn(CFD)FESTS レジスタ	CFkEMP, RFxEMP
RSCFDn(CFD)FFSTS レジスタ	CFkFLL, RFxFLL
RSCFDn(CFD)FMSTS レジスタ	CFkMLT, RFxMLT
RSCFDn(CFD)RFISTS レジスタ	RFxIF
RSCFDn(CFD)CFRISTS レジスタ	CFkRXIF
RSCFDn(CFD)GTSTCFG レジスタ	RTMPS[6:0], C0ICBCE, C1ICBCE, C2ICBCE, C3ICBCE
RSCFDn(CFD)GTSTCTR レジスタ	RTME, ICBCTME

備考　（　）内のビット / フラグは CAN FD モードのレジスタにのみ存在

16.7　受信機能

受信の種類には次の 2 つがあります。

- 受信バッファによる受信 :
  全チャネルで共有する受信バッファは、0 ～ 64 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ（受信モード）による受信 :
  全チャネルで共有する受信 FIFO バッファが 8 本と、各チャネル専用の送受信 FIFO バッファが 1 チャネルにつき 3 本ずつあります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

16.7.1　受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は 1 チャネルにつき最大 128 で、モジュール全体では、64 × チャネル数 となります（本モジュールは 4 チャネル搭載しているため、最大 256 ルール登録できます）。受信ルールはチャネルごとに設定してください。他のチャネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。**図 16.6** に受信ルール登録の説明図を示します。

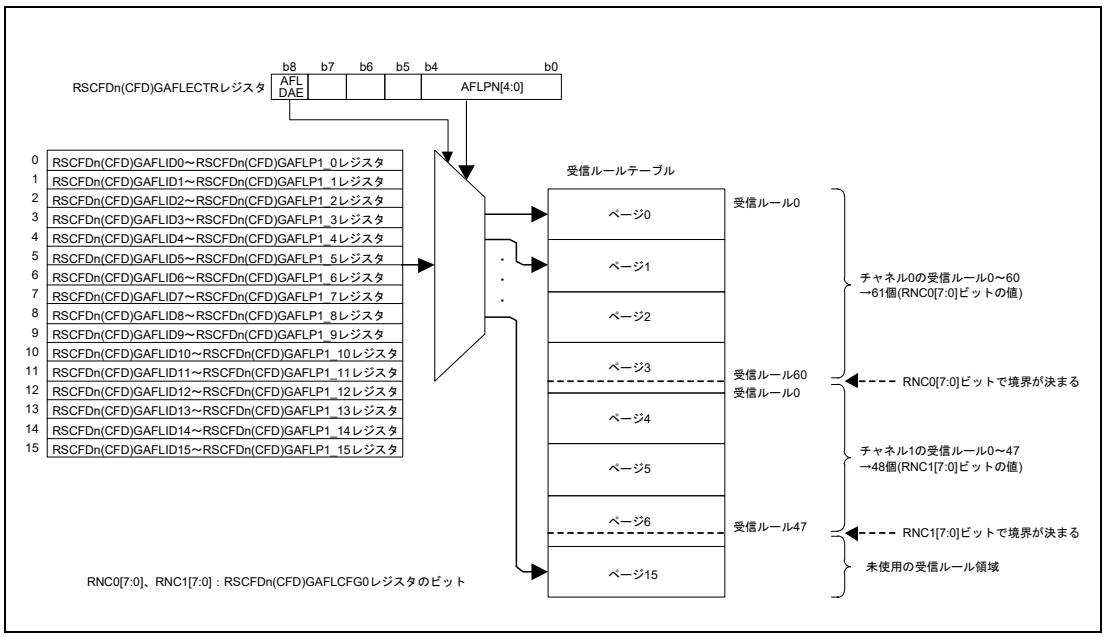


図 16.6　受信ルール登録（チャネル 0,1 を設定する場合）

注　意

各チャネルの受信ルールは、連続して設定してください。

チャネル 0 の受信ルールとチャネル 1 の受信ルールを交互に設定することはできません。

各受信ルールは RSCFDn(CFD)GAFLIDj、RSCFDn(CFD)GAFLMj、RSCFDn(CFD)GAFLP0_j、RSCFDn(CFD)GAFLP1_j レジスタ（j = 0 ~ 15）の 16 バイトで構成されています。RSCFDn(CFD)GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCFDn(CFD)GAFLMj レジスタではマスク設定、RSCFDn(CFD)GAFLP0_j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RSCFDn(CFD)GAFLP1_j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

16.7.1.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RSCFDn(CFD)GAFLMj レジスタで “0”（ビットを比較しない）にしたビットに対応する受信メッセージの ID データ、IDE ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

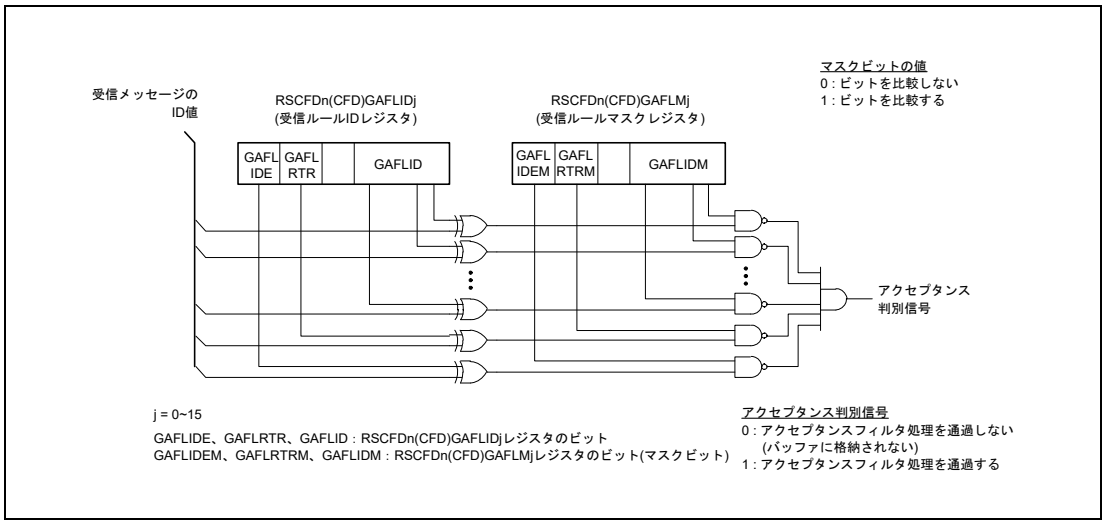


図 16.7 アクセプタンスフィルタ機能

16.7.1.2 DLC フィルタ処理

RSCFDn(CFD)GCFG レジスタの DCE ビットを “1”（DLC チェック許可）にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCFDn(CFD)GCFG レジスタの DRE ビットが “0”（DLC 置換禁止）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCFDn(CFD)GCFG レジスタの DRE ビットが “1”（DLC 置換許可）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00_H” が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCFDn(CFD)GERFL レジスタの DEF フラグが “1”（DLC エラー）となります。

16.7.1.3 ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCFDn(CFD)GAFLP0_j レジスタ（j = 0 ~ 15）の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCFDn(CFD)GAFLP1_j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

CAN FD モードのとき、受信したメッセージのペイロード長が格納先バッファのペイロード格納サイズを超える場合は、RSCFDnCFDGERFL レジスタの CMPOF フラグが “1”（ペイロードオーバフロー）となり、RSCFDnCFDGCFG レジスタの CMPOC ビットに従って処理が行われます。CMPOC ビットが “0” のとき、ペイロード格納サイズを超えるメッセージはバッファに格納されません。CMPOC ビットが “1” のときは格納サイズを超える分のペイロードは切り捨てられて、メッセージがバッファに格納され、RSCFDnCFDGCFG レジスタの DRE ビットに応じて、受信した DLC 値または受信ルールテーブルの DLC 値がバッファに格納されます。

16.7.1.4 ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCFDn(CFD)GAFLP0_j レジスタの GAFLPTR[11:0] ビットに設定します。

16.7.1.5 ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCFDn(CFD)GCFG レジスタの MME ビットを “1”（ミラー機能許可）にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、RSCFDn(CFD)GAFLIDj レジスタの GAFLLB ビットを “0” にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLB ビットを “1” にした受信ルールがデータ処理に使用されます。

16.7.1.6 タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間と送信時間を記録するために使用する16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、RSCFDn(CFD)GFDCFG レジスタの TSCCFG[1:0] ビットで設定したタイミングで取り込まれ、受信時はメッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RSCFDn(CFD)GCFG レジスタの TSBTCS[2:0]、TSSS ビットで選択します。クラシカル CAN モードのときは pclk/2 または CANm ビットタイムクロック（m = 0 ～ 3）から選択できます。CAN FD モードのときは pclk/2 または CANm 通常ビットタイムクロックから選択できます。ただし、CAN FD フレームを扱うチャネルの CANm 通常ビットタイムクロックは選択しないでください。選択したクロック源を RSCFDn(CFD)GCFG レジスタの TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックまたは CANm 通常ビットタイムクロックをクロック源として使用する場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。pclk/2 をクロック源として使用する場合、タイムスタンプ機能はチャネルモードに影響されません。

タイムスタンプカウンタ値は RSCFDn(CFD)GCTR レジスタの TSRST ビットを “1” にすると、“0000_H” にリセットされます。

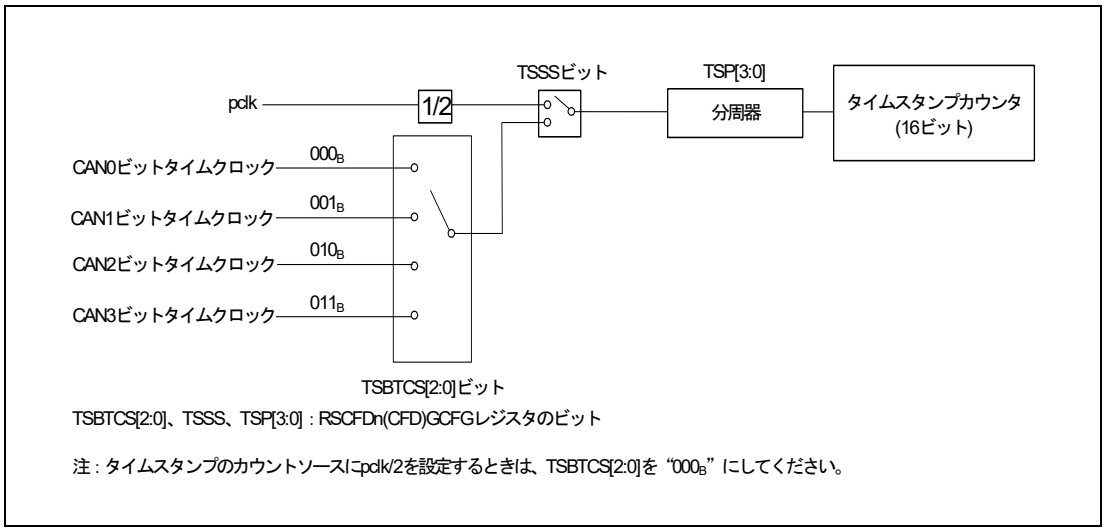


図 16.8 タイムスタンプ機能のブロック図

16.8 送信機能

送信の種類には、次の 3 つがあります。クラシカル CAN モードのとき、送信可能なペイロード長はいずれも 8 バイトです。CAN FD モードのとき、送信可能なペイロード長は送信の種類によって異なります。

- 送信バッファによる送信 :
  1 チャネルにつき 16 バッファあります。CAN FD モードで送信可能なペイロード長は 20 バイトです。ただし、送信バッファマージモードを使用すると、16 バッファのうち 4 バッファがペイロード専用格納領域として割り付けられ、2 バッファが 20 バイトを超えるペイロードを送信可能になります。
- 送受信 FIFO バッファ（送信モード）による送信 :
  1 チャネルにつき 3 本ずつあります。1 本の FIFO バッファに最大 128 メッセージ格納できます。CAN FD モードで送信可能なペイロード長は 64 バイトです。送信バッファにリンクさせて使用します。FIFO バッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信 :
  1 チャネルにつき最大 16 の送信バッファを送信キューに割り付けできます。CAN FD モードで送信可能なペイロード長は 20 バイトです。送信バッファ（16 × m）+ 15 が対応するチャネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID 順に送信されます。

図 16.9 に送信キューの割り付けと送受信 FIFO バッファのリンクを示します。

図 16.9 送信キューの割り付けと送受信 FIFO バッファのリンク

16.8.1 送信の優先順位判定

同一チャネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。

判定方法は次の 2 つから選択することができます。

- ID 優先 （TPRI ビットが “0”）
- 送信バッファ番号優先 （TPRI ビットが “1”）

RSCFDn(CFD)GCFG レジスタの TPRI ビットの設定は、すべての CAN チャネルで有効です。

TPRI ビットを “0” にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2 つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを “1” にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。また、優先順位判定処理で ECC2 ビットエラーが検出された場合、送信は行われません（クラシカル CAN モードのときは、RSCANnGCFG レジスタの EEFE ビットが “1” の場合のみ）。

16.8.2 送信バッファを用いた送信

送信バッファの送信要求ビット（RSCFDn(CFD)TMCp レジスタの TMTR ビット）を “1”（送信を要求する）にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCFDn(CFD)TMSTSp レジスタ（p = 0 ~ 63）の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは “10_B”（送信完了 : 送信アボート要求なし）または “11_B”（送信完了 : 送信アボート要求あり）になります。

16.8.2.1 送信アボート機能

RSCFDn(CFD)TMSTSp レジスタの TMTRM ビットが “1”（送信要求あり）である送信バッファにおいて、RSCFDn(CFD)TMCp レジスタの TMTAR ビットを “1”（送信アボートを要求する）にすると、送信要求が取り消されます。送信アボートが完了すると、RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になり、送信要求が取り消されます（TMTRM ビットが “0” になる）。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを “1” にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

16.8.2.2 ワンショット送信機能（再送信禁止機能）

RSCFDn(CFD)TMCp レジスタの TMOM ビットを “1”（ワンショット送信許可）にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは “10_B” または “11_B” になります。アービトレーションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは “01_B”（送信アボート完了）になります。

16.8.2.3 送信バッファマージモード（CAN FD モードのみ）

送信バッファで送信可能なペイロード長は 20 バイトですが、送信バッファマージモードによって 3 バッファの送信バッファをマージすることにより、最大 64 バイトのペイロード長を持つメッセージを送信できます。

RSCFDnCFDCmFDCFG レジスタの TMME ビットを “1” にすると、送信バッファマージモードが許可されます。このモードは 1 チャネルごとに 6 バッファがマージ領域となり、送信バッファ（16 × m）+ 0 ～（16 × m）+ 2 と送信バッファ（16 × m）+ 3 ～（16 × m）+ 5 の 2 組がマージされます。送信要求は先頭の送信バッファで行い、続く 2 バッファはペイロード格納領域として使用します。先頭バッファ以外の送信バッファに対しては、送信要求ビット（RSCFDnCFDTMCp レジスタの TMTR ビット）および送信アボート要求ビット（RSCFDnCFDTMCp レジスタの TMTAR ビット）に “1” を設定しないでください。

送信バッファマージモードが許可されているとき、マージされている 6 バッファに対して送受信 FIFO バッファをリンクしないでください。また、送信キューへの割り付けは行わないでください。

16.8.3 FIFO バッファによる送信

1 本の送受信 FIFO バッファに、RSCFDn(CFD)CFCCk レジスタ（k = 0 ～ 11）の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCFDn(CFD)CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCFDn(CFD)CFCCk レジスタの CFE ビットを “1”（送受信 FIFO バッファを使用する）にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にすると、次に示すタイミングで CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、アービトレーションロスト、またはチャネル待機モードへの遷移の後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

16.8.3.1 インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCFDn(CFD)CFCCk レジスタの CFE ビットを “1” にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します（CAN プロトコルの EOF7 の後）。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを “0” にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RSCFDn(CFD)CFCCk レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに “00_H” を設定してください。

RSCFDn(CFD)CFCCk レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを “00_B” にすると pclk/2 を ITRCP[15:0] ビットの値で分周したクロック、“10_B” にすると pclk/2 を ITRCP[15:0] ビットの値 ×10 で分周したクロック、“$x1_B$” にするとクラシカル CAN モードのときは CANm ビットタイムクロック、CAN FD モードのときは CANm 通常ビットタイムクロックがカウントソースになります（ただし、CAN FD フレームを扱わないチャネルのみ使用してください。）。

ITRCP[15:0] ビットの設定値を M、CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが “00_B” の場合 :

$$\frac{1}{\text{pclk の周波数}} \times 2 \times M \times N$$

- CFITR、CFITSS ビットが “10_B” の場合 :

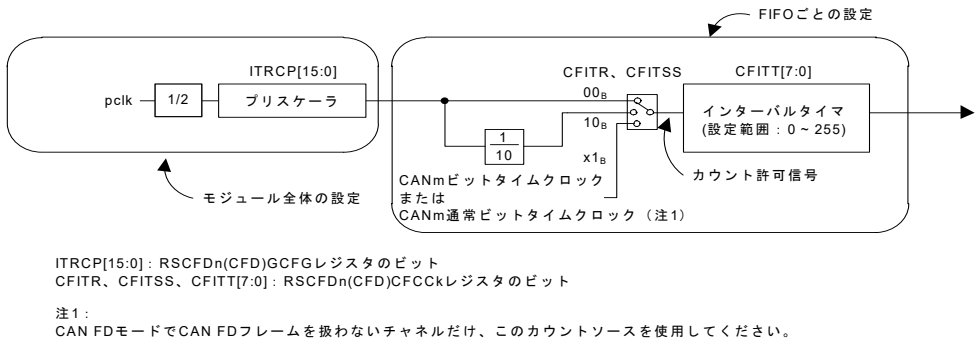
$$\frac{1}{\text{pclk の周波数}} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが “$x1_B$” の場合 :

クラシカル CAN モードの場合 : $\frac{1}{\text{CANm ビットタイムクロックの周波数}} \times N$

CAN FD モードの場合 : $\frac{1}{\text{CANm 通常ビットタイムクロックの周波数}} \times N$

図 16.10 にインターバルタイマのブロック図を示します。



備考 m = 0 ~ 3、k = 0 ~ 11

図 16.10 インターバルタイマのブロック図

図 16.11 にインターバルタイマのタイミング図を示します。

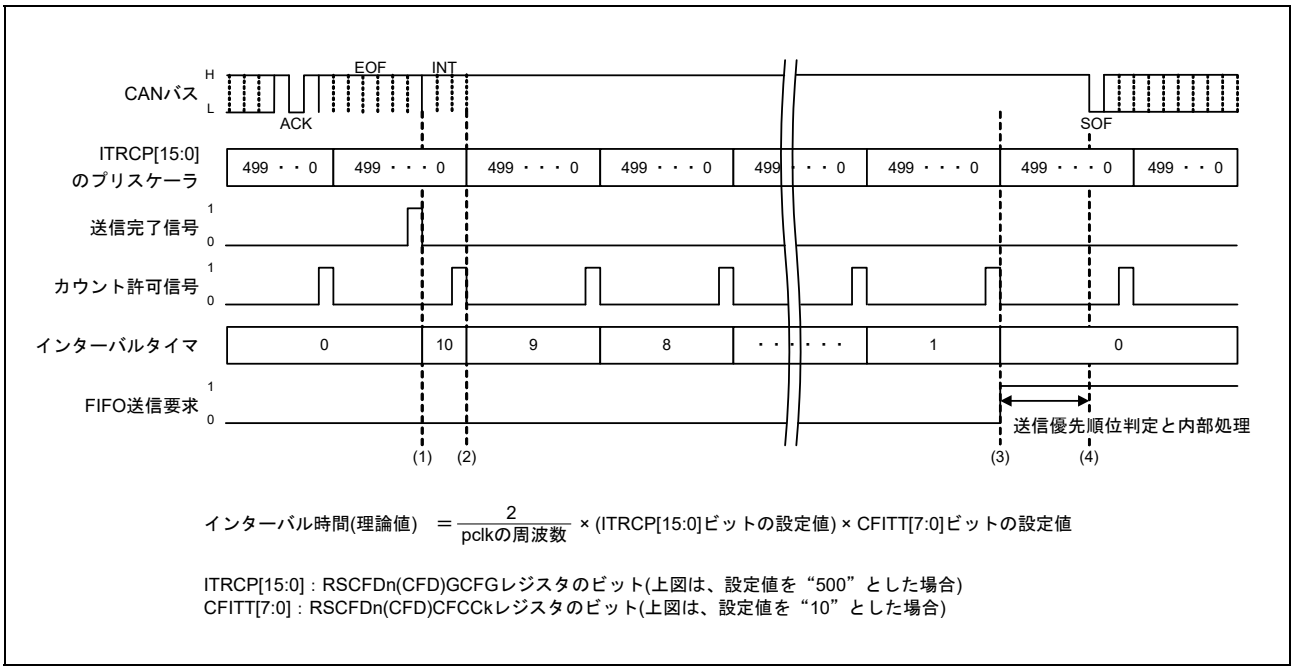


図 16.11 インターバルタイマのタイミング図

(1) 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケーラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの 1 カウント分の誤差が発生します。

(2) 次のカウント許可信号で、インターバルタイマは “1” 減算されます。

(3) インターバルタイマが “0” になると、送受信 FIFO バッファから送信要求が出されます。

(4) 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、通常 CANm ビットタイムクロックの 3 クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャネルで発生すると、最大で pclk の 1367 クロック分遅延する場合があります。

16.8.4 送信キューによる送信

送信キューは 1 チャネルごとに 3 ～ 16 バッファまで（送信バッファマージモードのときは 10 バッファまで）割り付けられ、送信バッファ（16 × m）+ 15 が対応するチャネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID 優先順に送信されます。2 つの同じ ID を持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCFDn(CFD)TXQCCm レジスタの TXQE ビットを “0” にすると、送信キューが使用不可になります。TXQE ビットを “0” にするとき、次に示すタイミングで RSCFDn(CFD)TXQSTSm レジスタの TXQEMP フラグは “1”（送信キュー空）になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、アービトレーションロスト、またはチャネル待機モードの遷移の後に、空になります。

TXQE ビットを “0” にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを “1” にする前に、TXQEMP フラグが “1” になったことを確認してください。

16.8.5 送信データパディング（CAN FD モードのみ）

設定された送信メッセージの DLC 値が示すペイロード長が、送信に使用するバッファのペイロード格納領域サイズを超える場合、超えた分のペイロードは “CC_H” でパディングされます。

この処理は、送信バッファマージモードが許可されていない（RSCFDnCFDCmFDCFG レジスタの TMME ビットが “0”）とき、次に示す場合に行われます。

- 送信またはゲートウェイモードに設定された送受信 FIFO：
  送信 DLC のペイロード長が、RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットに設定された送受信 FIFO のペイロード格納領域サイズを超えるとき
- 送信バッファ（送信キューを含む）：
  送信 DLC のペイロード長が 20 バイトを超えるとき

送信バッファマージモードが許可されているとき、送信バッファ、送受信 FIFO バッファ、送信キューのいずれを用いた送信でも送信データパディングは行われません。このとき、送信メッセージの DLC 値は、送信に使用するバッファのペイロード格納サイズを超えるペイロード長を設定しないでください。

16.8.6 送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。チャネルごとに 1 つの送信履歴バッファを持ち、送信履歴バッファには 16 個の送信履歴データを格納できます。

RSCFDn(CFD)THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCFDn(CFD)CFIDk レジスタ（k = 0 ～ 11）の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

クラシカル CAN モードのときは、RSCANnGCFG レジスタの TMTSCE ビットで、送信履歴データにタイムスタンプ値を含めるかどうかを設定できます。CAN FD モードのときは、常にタイムスタンプ値が含まれます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、クラシカル CAN モードの場合は最大で pclk の 152 クロック分、CAN FD モードの場合は最大で pclk の 420 クロック分遅延する場合があります。

- バッファタイプ
  001_B: 送信バッファ
  010_B : 送受信 FIFO バッファ
  100_B : 送信キュー
- バッファ番号
  送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。

  これはバッファタイプに依存します。**表 16.176** を参照してください。
- ラベルデータ
  送信メッセージのラベル情報
- タイムスタンプ
  送信メッセージのタイムスタンプ値
  （クラシカル CAN モードの場合は、TMTSCE ビットが “1” のとき）

表 16.176 送信履歴データのバッファ番号

バッファタイプ バッファ番号	001_B	010_B	100_B
0000_B	送信バッファ 16 × m + 0	RSCFDn(CFD)CFCCk レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッファの番号 （k = 0 ～ 11）	送信を行った送信キューに割り付けられた送信バッファの番号
0001_B	送信バッファ 16 × m + 1		
0010_B	送信バッファ 16 × m + 2		
0011_B	送信バッファ 16 × m + 3		
0100_B	送信バッファ 16 × m + 4		
0101_B	送信バッファ 16 × m + 5		
0110_B	送信バッファ 16 × m + 6		
0111_B	送信バッファ 16 × m + 7		
1000_B	送信バッファ 16 × m + 8		
1001_B	送信バッファ 16 × m + 9		
1010_B	送信バッファ 16 × m + 10		
1011_B	送信バッファ 16 × m + 11		
1100_B	送信バッファ 16 × m + 12		
1101_B	送信バッファ 16 × m + 13		
1110_B	送信バッファ 16 × m + 14		
1111_B	送信バッファ 16 × m + 15		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

タイムスタンプは、メッセージの SOF（スタートオブフレーム）のタイミングで、タイムスタンプカウンタから値が取り込まれます。タイムスタンプカウンタの詳細は**「16.7.1.6 タイムスタンプ」**を参照してください。

送信履歴データは、RSCFDn(CFD)THLACCm レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとすると、バッファがオーバフローし、新しいデータは破棄されます。

16.9 ゲートウェイ機能

送受信 FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージを任意のチャネルから送信することができます。

RSCFDn(CFD)CFCCk レジスタの CFM[1:0] ビットを “10_B”（ゲートウェイモード）に設定した送信するチャネルの送受信 FIFO バッファを RSCFDn(CFD)GAFLP1_j レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信 FIFO バッファに格納され、自動的にバッファから送信されます。

送受信 FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイ モードに設定した送受信 FIFO バッファは、RSCFDn(CFD)CFCCk レジスタの CFE ビットを “0” にすると、使用不可になります。CFE ビットを “0” にすると、次に示すタイミングで CFEMP フラグが “1” になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

16.9.1 CAN-CAN FD ゲートウェイ（CAN FD モードのみ）

CAN FD モードでゲートウェイ機能を使用するときは、送信するフレームをクラシカル CAN フレームまたは CAN FD フレームに置換することができます。

RSCFDnCFDCmFDCFG レジスタの GWEN ビットを “1” にすると、CAN-CAN FD ゲートウェイが許可されます。RSCFDnCFDCmFDCFG レジスタの GWFDF ビットと GWBRS ビットで、送信フレームの FDF ビットと BRS ビットを選択できます。受信した CAN フレームの DLC 値が “1001_B” 以上であり、GWFDF ビットが “1”（CAN FD フレーム）の場合は、DLC が “1000_B” に置き換えられます。

CAN-CAN FD ゲートウェイが許可されているとき、以下のフレームはルーティングしないでください。

- ペイロード長が 8 バイトを超える CAN FD フレーム
- リモートフレーム

また、CAN-CAN FD ゲートウェイが許可されているとき、GWFDF の設定により以下のフレームのみ該当するチャネルから送信してください。

- GWFDF = 0 のとき、クラシカル CAN フレームのみ送信してください。
- GWFDF = 1 のとき、CAN FD フレームのみ送信してください。

16.10 テスト機能

テスト機能は、通信テストとグローバルテストの 2 つに分類できます。

- 通信テスト : チャネルごとに行うテスト
  - 標準テストモード
  - リッスンオンリモード
  - セルフテストモード 0（外部ループバックモード）
  - セルフテストモード 1（内部ループバックモード）
  - 制限動作モード（CAN FD モードのみ）
- グローバルテスト : モジュール全体で行うテスト
  - RAM テスト（読み書きテスト）
  - チャネル間通信テスト [CRC エラーテスト可能]

16.10.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。送信または受信メッセージを基に RS-CANFD モジュールが計算した CRC 値がレジスタに格納されます。格納先は、メッセージがクラシカル CAN フレーム（CRC 長 15 ビット）のときは RSCFDn(CFD)CmERFL レジスタの CRCREG[14:0] ビット、CAN FD フレーム（CRC 長 17 ビットまたは 21 ビット）のときは RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0] ビットです。CRC エラーテストを行う場合は、チャネル間通信テスト機能を使用してください。詳細は**「16.10.6.1 CRC エラーテスト」**を参照してください。

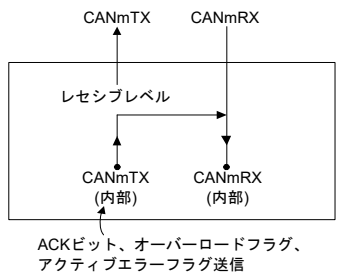
16.10.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 16.12 にリッスンオンリモード選択時の接続を示します。



備考 m = 0 ～ 3

図 16.12 リッスンオンリモード選択時の接続

16.10.3 セルフテストモード（ループバックモード）

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他の CAN ノードが送信したメッセージは、RSCFDn(CFD)GAFLIDj レジスタ（j = 0 ~ 15）の GAFLLB ビットを “0”（他の CAN ノードが送信したメッセージを受信時）にした受信ルールとのみ比較されます。

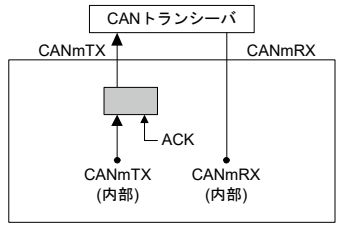
ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

16.10.3.1 セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 は CAN トランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

図 16.13 にセルフテストモード 0 選択時の接続を示します。



備考 m = 0 ～ 3

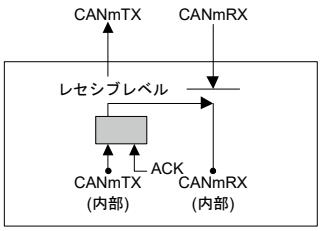
図 16.13 セルフテストモード 0 選択時の接続

16.10.3.2 セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

セルフテストモード 1 では内部 CANmTX 端子（m = 0 ～ 3）から内部 CANmRX 端子への内部フィードバックを行います。外部 CANmRX 端子の入力は、切り離されます。外部 CANmTX 端子はレセシブビットのみ出力します。

図 16.14 にセルフテストモード 1 選択時の接続を示します。



備考 m = 0 ～ 3

図 16.14 セルフテストモード 1 選択時の接続

16.10.4 制限動作モード（CAN FD モードのみ）

制限動作モードでは、有効なデータフレームおよびリモートフレームを受信した場合に ACK ビットを生成しますが、エラーフレームまたはオーバロードフレーム送信条件を検出してもこれらのフレームを送信しません。条件を検出した場合は、CAN 通信に再同期するため、バスアイドル状態になるのを待ちます。また、受信エラーカウンタ（REC）と送信エラーカウンタ（TEC）はエラーの発生で変化しません。

送信については任意の送信要求が可能であり、制限はありません。

16.10.5 RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RSCFDn(CFD)GTSTCFG レジスタの RTMPS[6:0] ビットで設定し、ページ内のデータは RSCFDn(CFD)RPGACCr レジスタ（r = 0 ～ 63）から読み出し／書き込みができます。有効な総 RAM サイズは、クラシカル CAN モードでは 12640 バイト（3160_H）、CAN FD モードでは 17760 バイト（4560_H）です。最終ページ（クラシカル CAN モード：RTMPS[6:0] = 31_H、CAN FD モード：RTMPS[6:0] = 45_H）の 96 バイト以降の RAM にはアクセスしないでください。

16.10.6 チャネル間通信テスト

チャネル間通信テスト機能を使用すると、CAN チャネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャネルは外部の CAN バスから切り離されます。

各チャネルに対して送受信の設定を行ってから、チャネル通信モードで送受信を開始してください。テストに参加しないチャネルは、チャネル待機モードにしてください。

図 16.15 にチャネル間通信テスト接続図を示します。

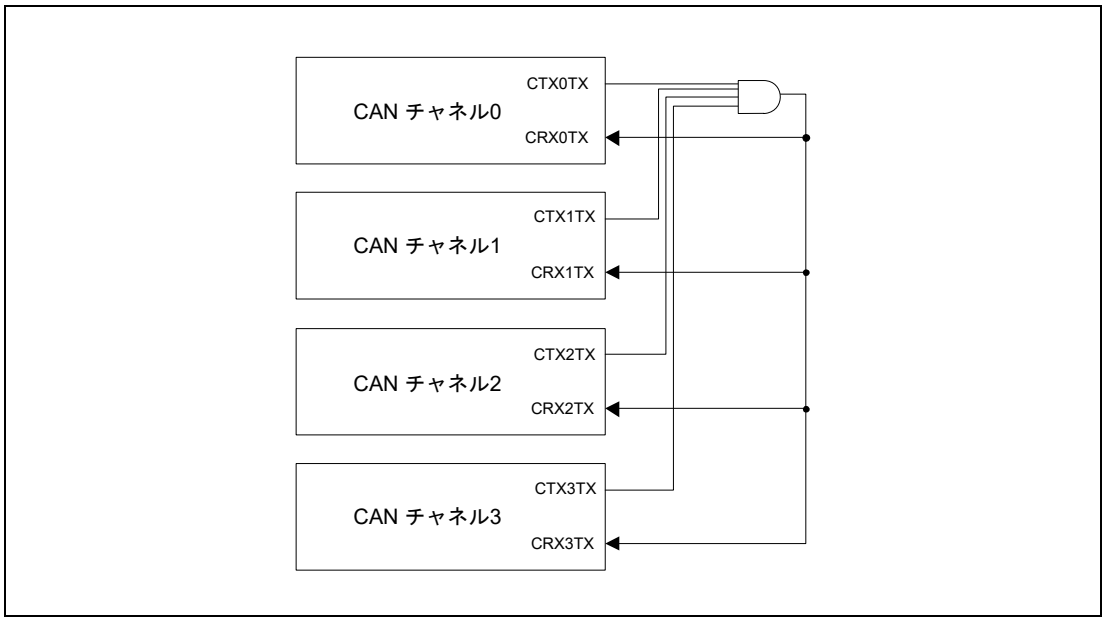


図 16.15 チャネル間通信テスト接続図

16.10.6.1 CRC エラーテスト

チャネル間通信テスト時は、CRC エラーテストを行うことができます。以下にチャネル 0-1 間通信テスト中にチャネル 0 の CRC エラーテストを行う場合の手順例を示します。

前提条件

- チャネル間通信テスト有効
- チャネル 0 およびチャネル 1 は標準テストモード

手順

1. チャネル 1 の送信バッファ p からメッセージ送信を行うよう設定
2. RSCFDn(CFD)C0CTR レジスタの CRCT ビットに “1” を設定（受信 ID フィールドの先頭ビット反転が有効）
3. RSCFDn(CFD)TMCp レジスタの TMTR ビットに “1” を設定（チャネル 1 の送信バッファ p に対し、送信要求を発行）
4. チャネルバスエラーによる CAN0 エラー割り込みの発生を待つ
5. 双方のチャネルで RSCFDn(CFD)CmERFL レジスタの CRCREG[14:0] ビットまたは RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0] ビットを読み出し、CRC 値が送信側と受信側で異なっていることを確認
6. RSCFDm(CFD)C0ERFL レジスタの CERR ビットが “1”（CRC エラー検出）になっていることを確認

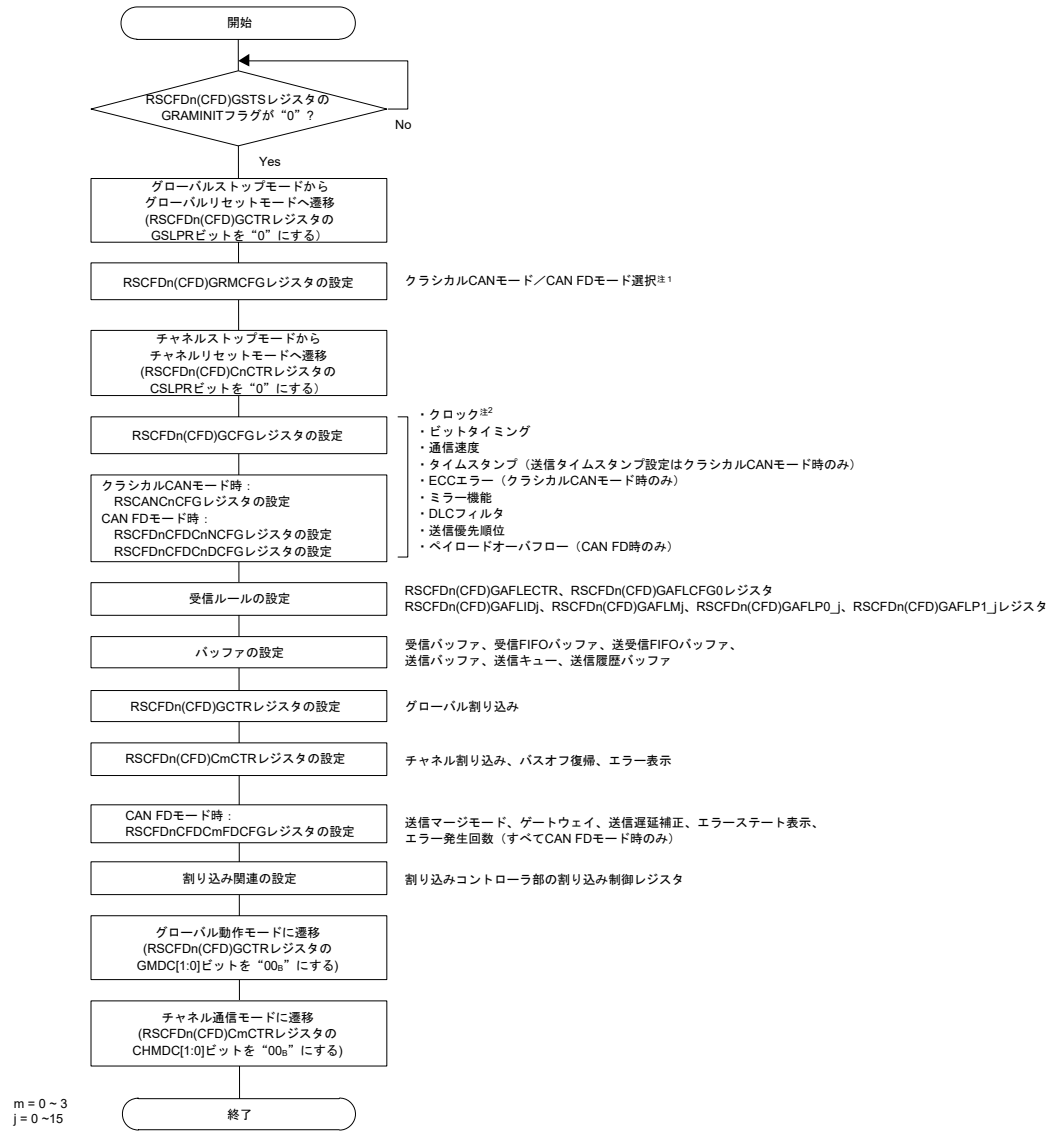
CRC エラーテスト機能は、受信 ID フィールドの先頭ビットを反転させることにより、CRC 値の不正を発生させます。したがって、ID の上位 5 ビットが 10000_B、または ID の上位 6 ビットが 011111_B であるメッセージを受信した場合、CRC エラーではなくスタッフエラー（同一レベルデータが 6 ビット連続）が検出されますので注意してください。

RS-CANFD モジュールの CRC 生成回路は各チャネルがそれぞれ持つプロトコルコントローラ内にあり、送信と受信で同一の回路を共用するため、送信時の CRC 演算テストを別途行う必要ありません。

16.11 RS-CANFD の設定手順

16.11.1 初期設定

MCU のリセット後に RS-CANFD モジュールは CAN 用 RAM の初期化を行います。RAM の初期化時間は、pclk の 6322 サイクルです。RAM の初期化中は、RSCFDn(CFD)GSTS レジスタの GRAMINIT フラグが “1”（CAN 用 RAM クリア中）になり、初期化が終了すると “0”（CAN 用 RAM クリア完了）になります。GRAMINIT フラグが “0” になった後に CAN の設定を行ってください。**図 16.16** に MCU のリセット後の設定手順を示します。



注 1. RSCANnGRMCFG レジスタと RSCFDnCFDGRMCFG レジスタは同一レジスタです。どちらかのレジスタを設定してください。

注 2. 以下の条件を満たす必要があります。
CAN クロック≦ pclk/2

図 16.16　MCU のリセット後の設定手順

16.11.1.1 クロックの設定

RS-CANFD モジュールのクロック源である CAN クロック（fCAN）を設定します。RSCFDn(CFD)GCFG レジスタの DCS ビットで、clkc、または clk_xincan を選択します。

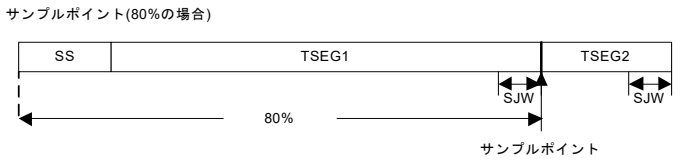
16.11.1.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャネルごとにレジスタで設定できます。クラシカル CAN モードの場合は RSCANnCmCFG レジスタで設定します。CAN FD モードの場合は 2 種類のビットレート（通常ビットレートとデータビットレート）を持ち、それぞれ RSCFDnCFDCmNCFG レジスタと RSCFDnCFDCmDCFG レジスタで設定します。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum（以下 Tq）単位で調整できます。1Tq は、RSCFDn(CFG)GCFG レジスタの DCS ビットで選択したクロックを分周したクロックの周期になります。分周比は、クラシカル CAN モードの場合は RSCANnCmCFG レジスタの BRP[9:0] ビットで設定し（CANmTq クロック）、CAN FD モードの場合は RSCFDnCFDCmNCFG レジスタの NBRP[9:0] ビットと RSCFDnCFDCmDCFG レジスタの DBRP[7:0] ビットで設定します（CANmTq(N) クロックと CANmTq(D) クロック）。ISO 11898-1 では通常ビットレートとデータビットレートで個別の分周比にすることを許可しています。ただし、それぞれを異なる値に設定した場合、通常ビットレートからデータビットレートに切り替わるタイミングで、CAN ノード間の同期が外れる可能性があります。そのため、NBRP[9:0] ビットと DBRP[7:0] ビットは同じ値に設定し、セグメントの値によって 2 つのビットレートを異なる値にすることが推奨されます。

通常ビットレートとデータビットレートを異なる値に設定したい場合、RSCFDnCFDCmNCFG.NTSEG1, NTSEG2 ビット、RSCFDnCFDCmDCFG.DTSEG1, DTSEG2 ビットでそれぞれ希望するビットレート値に変更してください。

また、RSCFDnCFDCmFDCFG レジスタの TDCE ビットが “1”（送信遅延補正許可）のとき、NBRP[9:0] ビットと DBRP[7:0] ビットには “1” 以下の同じ値を設定してください。

図 16.17 にビットタイミング図を示します。**表 16.177** にビットタイミングの設定例を示します。



クラシカルCANモード：
SS = 1Tq 固定
TSEG1 = 4 ~ 16Tq の範囲で設定
TSEG2 = 2 ~ 8Tq の範囲で設定
SJW = 1 ~ 4Tq の範囲で設定
SS + TSEG1 + TSEG2 = 8 ~ 25Tq の範囲で設定
TSEG1 > TSEG2 ≧SJW

CAN FDモード：
通常ビットレート
SS = 1Tq 固定
TSEG1 = 4 ~ 128Tq の範囲で設定
TSEG2 = 2 ~ 32Tq の範囲で設定
SJW = 1 ~ 32Tq の範囲で設定
SS + TSEG1 + TSEG2 = 8 ~ 161Tq の範囲で設定
TSEG1 > TSEG2 ≧SJW

データビットレート
SS = 1Tq 固定
TSEG1 = 2 ~ 16Tq の範囲で設定
TSEG2 = 2 ~ 8Tq の範囲で設定
SJW = 1 ~ 8Tq の範囲で設定
SS + TSEG1 + TSEG2 = 5 ~ 25Tq の範囲で設定
TSEG1 ≧ TSEG2 ≧SJW

・SS(同期セグメント)：
インターフレームスペース中に、レセシブからドミナントへのエッジをモニタして同期をとるセグメントです。
インターフレームスペース(Interframe Space)は、インターミッション(Intermission)、サスペンドトランスミッション(Suspend Transmission)、バスアイドル(Bus Idle)で構成されます。バスアイドル中では、全ノードが送信を開始することができます。
・TSEG1 (タイムセグメント1)：
CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、CANバス上の遅延、入力コンパレータ遅延および出力ドライバ遅延の総和の2 倍になります。
・TSEG2 (タイムセグメント2)：
周波数の誤差によるフェーズエラーを補償するセグメントです。
・SJW (再同期ジャンプ幅)：
フェーズエラーによっておこる位相誤差を補償するために、タイムセグメントを延長または短縮する長さです。

図 16.17 ビットタイミング図

表 16.177 ビットタイミングの設定例

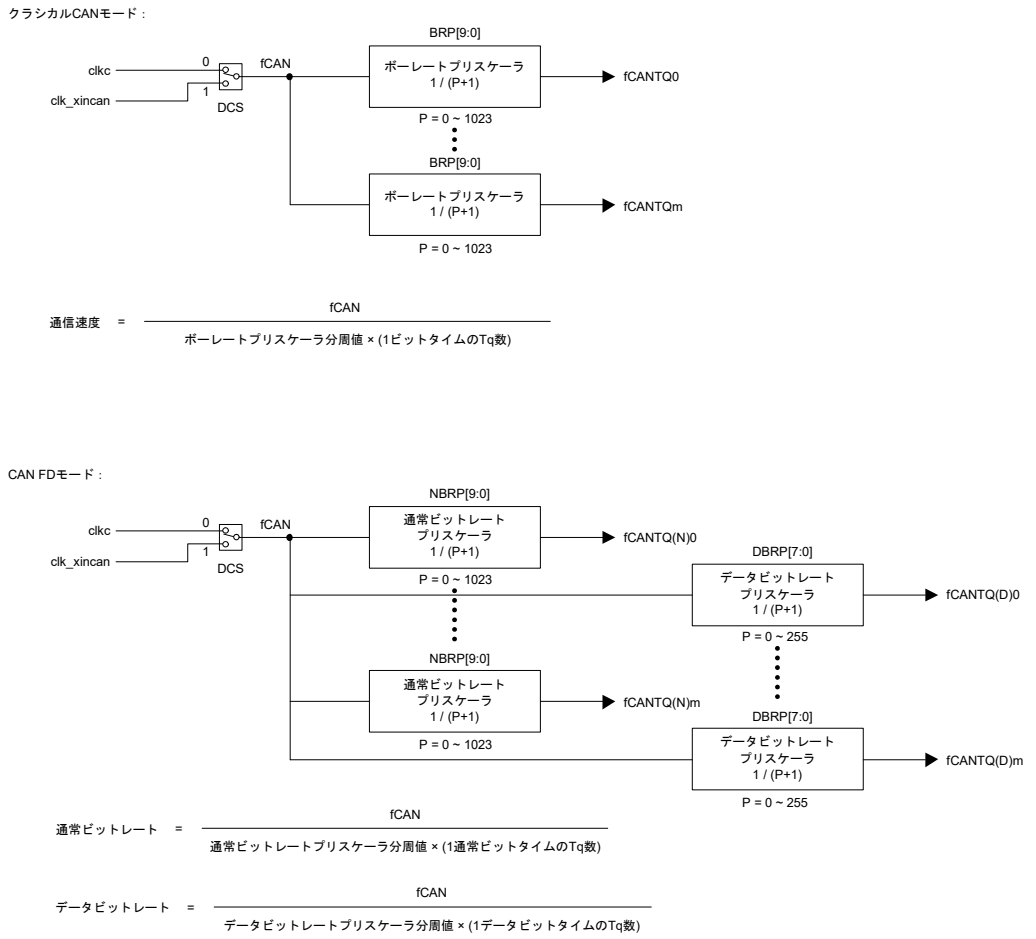
1 ビット	設定値（Tq）				サンプルポイント（%）※ 図 16.17 を参照
	SS	TSEG1	TSEG2	SJW	
5Tq 注 1	1	2	2	1	60.00
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00
50Tq 注 1	1	39	10	4	80.00

注 1. CAN FD モードのみ

16.11.1.3 通信速度の設定

CAN の通信速度は、fCAN、ボーレートプリスケーラ分周値、および 1 ビットタイムの Tq 数を用いてチャネルごとに設定します。CAN FD モードの場合は、チャネルごとにアービトレーションフェーズとデータフェーズの 2 種類の通信速度を設定します。

図 16.18 に CAN クロック制御ブロック図、**表 16.178**、**表 16.179** に通信速度の設定例を示します。



備考　m = 0 ～ 3
DCS：RSCFDn(CFD)GCFG レジスタのビット
BRP[9:0]：RSCANnCmCFG レジスタのビット
NBRP[9:0]：RSCFDnCFDCmNCFG レジスタのビット
DBRP[7:0]：RSCFDnCFDCmDCFG レジスタのビット
fCAN：CAN クロック
fCANTQm：CANmTq クロック
fCANTQ(N)m：CANmTq(N) クロック
fCANTQ(D)m：CANmTq(D) クロック

図 16.18　CAN クロック制御ブロック図

表 16.178 通信速度の設定例（クラシカル CAN モード）

通信速度＼fCAN	40MHz	32MHz	24MHz	20MHz	16MHz	8MHz
1Mbps	8Tq（5） 20Tq（2）	8Tq（4） 16Tq（2）	8Tq（3） 12Tq（2） 24Tq（1）	10Tq（2） 20Tq（1）	8Tq（2） 16Tq（1）	8Tq（1）
500Kbps	8Tq（10） 20Tq（4）	8Tq（8） 16Tq（4）	8Tq（6） 12Tq（4） 24Tq（2）	10Tq（4） 20Tq（2）	8Tq（4） 16Tq（2）	8Tq（2） 16Tq（1）
250Kbps	8Tq（20） 20Tq（8）	8Tq（16） 16Tq（8）	8Tq（12） 12Tq（8） 24Tq（4）	10Tq（8） 20Tq（4）	8Tq（8） 16Tq（4）	8Tq（4） 16Tq（2）
125Kbps	8Tq（40） 20Tq（16）	8Tq（32） 16Tq（16）	8Tq（24） 12Tq（16） 24Tq（8）	10Tq（16） 20Tq（8）	8Tq（16） 16Tq（8）	8Tq（8） 16Tq（4）

表 16.179 通信速度の設定例（CAN FD モード、通常ビットレートとデータビットレート）

通信速度＼fCAN	40MHz	20MHz
通常 1Mbps データ 5Mbps	通常 40Tq（1） データ 8Tq（1）	なし
通常 500Kbps データ 2Mbps	通常 80Tq（1） データ 20Tq（1）	通常 40Tq（1） データ 10Tq（1）

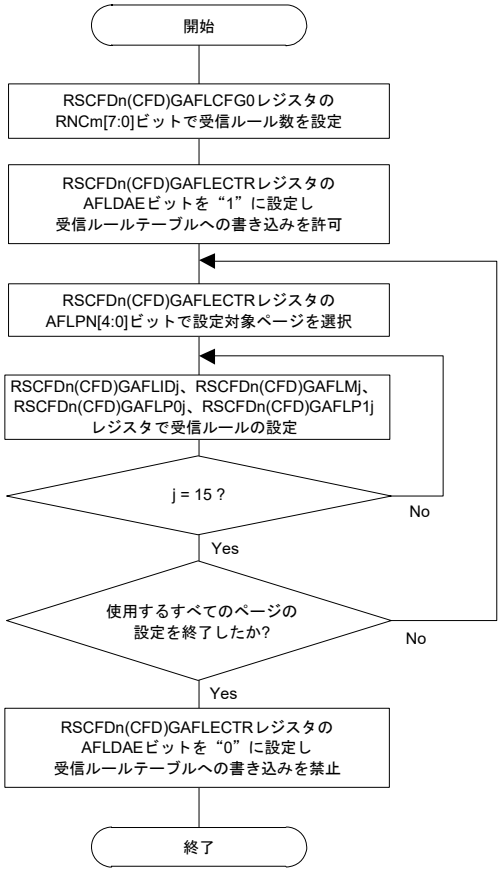
備考 （ ）内の数字はボーレートプリスケーラ分周値

16.11.1.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCFDn(CFD)GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0 ～ 15（4 チャネル搭載ユニットの場合）を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可／禁止を設定します。

図 16.19 に受信ルール設定手順について示します。



備考 m = 0 ～ 3、j = 0 ～ 15

図 16.19 受信ルール設定手順

16.11.1.5 バッファの設定

各種バッファの使用バッファ数（格納メッセージ数）と割り込み要因を設定します。CAN FD モード時はペイロード格納サイズも設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

クラシカル CAN モード時、受信バッファと FIFO バッファで使用可能な RAM は最大 4096 バイトです。使用可能なバッファは最大 256 バッファで、1 バッファあたり 16 バイトを使用します。次の条件を満たすように設定してください。

受信バッファ数

+ 受信 FIFO バッファ x の段数の合計

+ 送受信 FIFO バッファ k の段数の合計≦ 256 バッファ

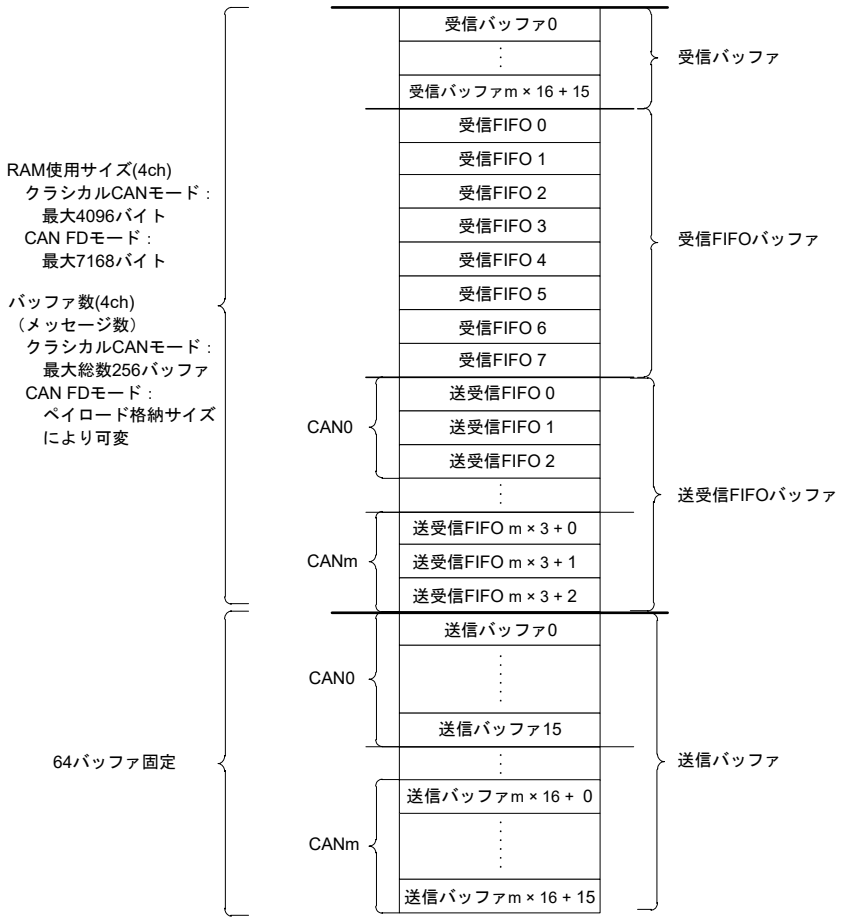
CAN FD モード時、受信バッファと FIFO バッファで使用可能な RAM は最大 7168 バイトです。次の条件を満たすように設定してください。

受信バッファ数 × （12 + ペイロード格納サイズ）

+ 受信 FIFO バッファ x の（段数 × （12 + ペイロード格納サイズ））の合計

+ 送受信 FIFO バッファ k の（段数 × （12 + ペイロード格納サイズ））の合計
≦ 7168 バイト

図 16.20 にバッファの構成を示します。**図 16.21** に各種バッファの設定手順を示します。

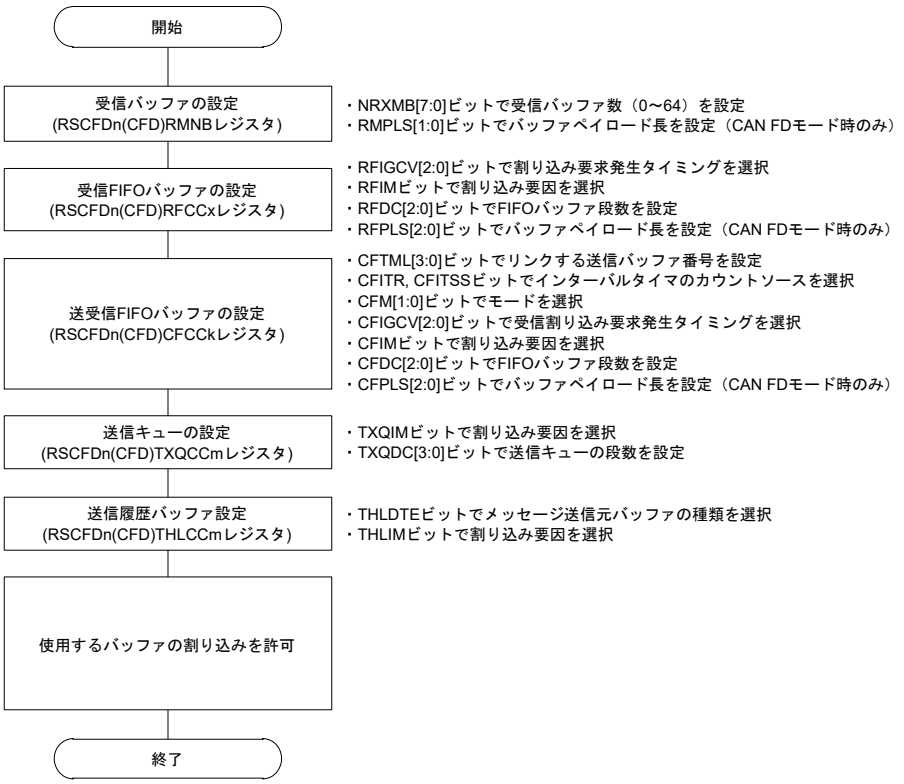


備考 m = 0 ～ 3

図 16.20 バッファの構成

注 意

受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ、送信バッファは連続して配置されます。



備考 k = 0 ～ 11、x = 0 ～ 7

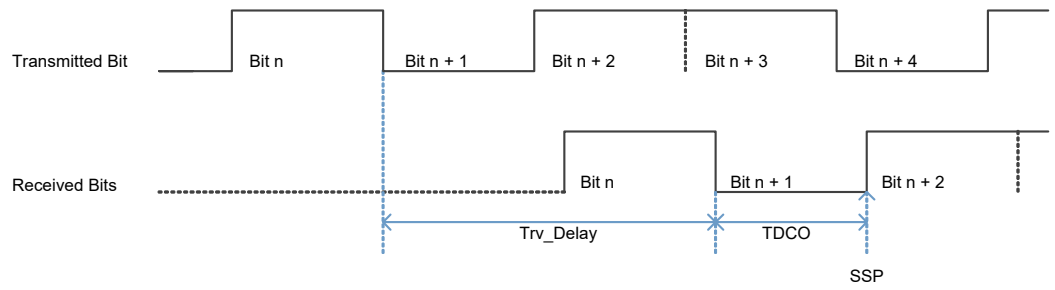
図 16.21 各種バッファの設定手順

16.11.1.6 送信遅延補正（CAN FD モードのみ）

CAN FD モードのデータフェーズでは高いボーレートが使用されます。このときの伝播遅延を許容するための機能として、送信遅延補正があります。

この機能を使用する場合は、RSCFDnCFDCmFDCFG レジスタの TDCE ビットを “1” に設定します。また、データフェーズで使用されるセカンダリサンプルポイント（SSP）のタイミングを RSCFDnCFDCmFDCFG レジスタの TDCOC ビットと TDCO[6:0] ビットで設定します。

TDCOC ビットが “0” のとき、SSP のタイミングは RS-CANFD モジュールが測定した遅延と TDCO[6:0] ビット値を合計した値と等しくなります（最も近い整数の Tq に切り捨てます）。通常、TDCO[6:0] ビット値はサンプルポイントのタイミングである SS と TSEG1 の合計値でなければなりません。



備考 ビット n：データフェーズの任意のビット
TDCO：RSCFDnCFDCmFDCFG レジスタのビット

図 16.22 SSP のタイミング

TDCOC ビットが “1” のとき、SSP のタイミングは TDCO[6:0] ビット値のみで決定されます（RSCFDnCFDCmDCFG レジスタの DBRP[7:0] ビットが 0 より大きいとき、TDCO[6:0] ビット値もまた最も近い整数の Tq に切り捨てられます）。

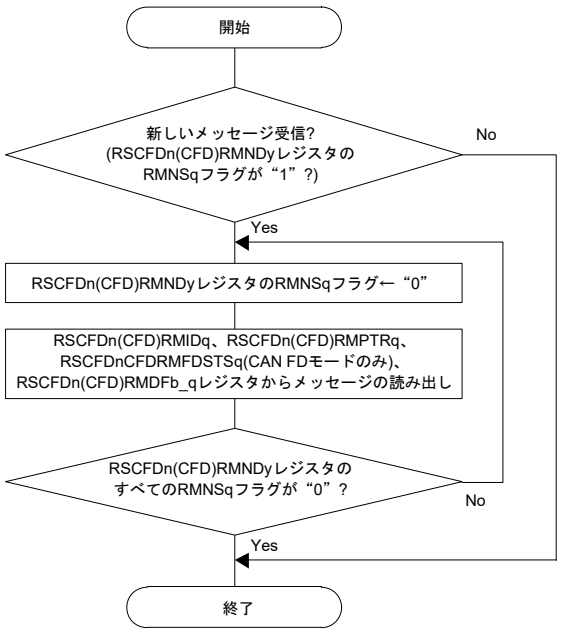
RS-CANFD モジュールは最大 3CANm ビットタイム - 2fCAN の遅延を補償します（CANm ビットタイムはデータビットレートの値）。

RSCFDnCFDCmFDCFG レジスタの TDCE ビットが “1”（送信遅延補正許可）のとき、NBRP[9:0] ビットと DBRP[7:0] ビットには “1” 以下の同じ値を設定してください。

16.11.2　受信手順

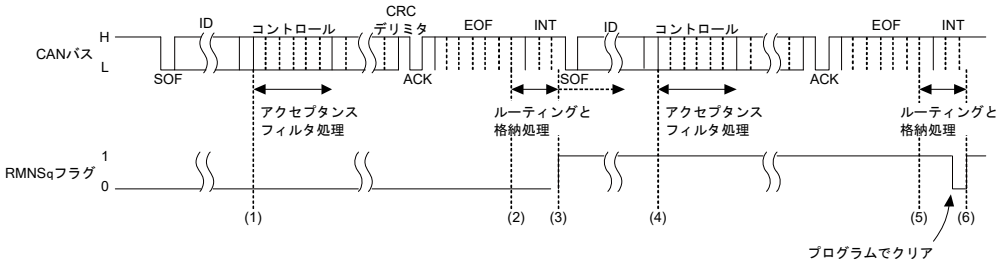
16.11.2.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCFDn(CFD)RMNDy レジスタの RMNSq フラグ（y = 0, 1、q = 0 ～ 63）が “1”（受信バッファ q に新しいメッセージあり）になります。メッセージは RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq(CAN FD モード時のみ)、RSCFDn(CFD)RMDFb_q（クラシカル CAN モード時は b = 0 ～ 1、CAN FD モード時は b = 0 ～ 4）レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。**図 16.23** に受信バッファの読み出し手順を示します。この手順により、RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCFDn(CFD)RMDFb_q レジスタから読み出したメッセージの一貫性を確保できます。



備考　y = 0, 1、q = 0 ～ 63、b = 0 ～ 1（クラシカル CAN モード時）、0 ～ 4（CAN FD モード時）

図 16.23　受信バッファの読み出し手順



備考　y = 0, 1、q = 0 ～ 63
RMNSq：RSCFDn(CFD)RMNDy レジスタのフラグ

図 16.24　受信バッファの受信タイミング図

(1) メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。
メッセージの格納処理が始まると、対応する RSCFDn(CFD)RMNDy レジスタの RMNSq フラグが “1”（受信バッファに新しいメッセージあり）になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っていると、ルーティング処理や格納処理が遅延する場合があります。

(4) 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(5) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(6) 対応する RMNSq フラグを “0”（受信バッファに新しいメッセージなし）にクリアした場合、メッセージの格納処理が始まると、再度 “1” になります。RMNSq フラグが “1” のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを “0” にできません。

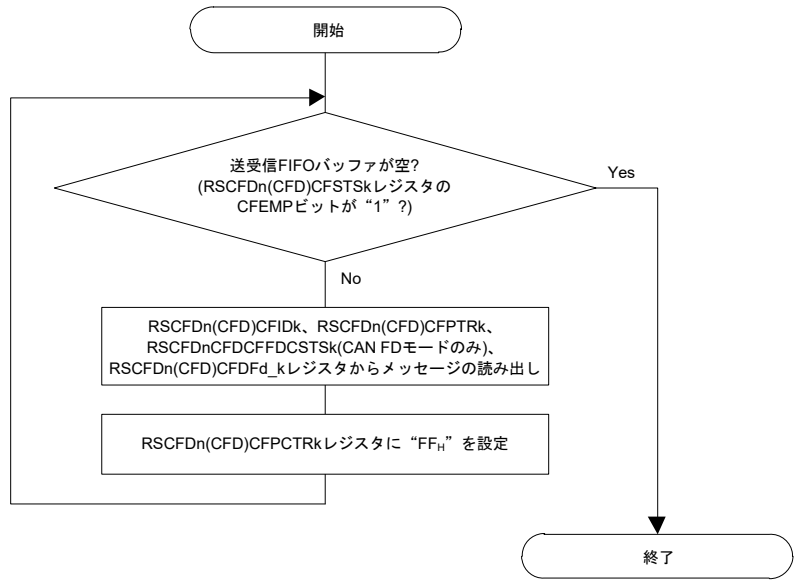
16.11.2.2 FIFO バッファの読み出し手順

受信メッセージが 1 つ以上の受信 FIFO バッファまたは、受信モード／ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ（RSCFDn(CFD)RFSTSx レジスタ（x = 0 ~ 7）の RFMC[7:0] ビットまたは RSCFDn(CFD)CFSTSk レジスタ（k = 0 ~ 11）の CFMC[7:0] ビット）の値が 1 加算されます。このとき、RSCFDn(CFD)RFCCx レジスタの RFIE ビット（受信 FIFO 割り込み許可ビット）や RSCFDn(CFD)CFCCk レジスタの CFRXIE ビット（送受信 FIFO 受信割り込み許可ビット）を “1” にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCFDn(CFD)RFIDx、RSCFDn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx（CAN FD モード時のみ）、RSCFDn(CFD)RFDFd_x（クラシカル CAN モード時は d = 0 ～ 1、CAN FD モード時は d = 0 ～ 15）レジスタから、送受信 FIFO バッファの場合は RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk（CAN FD モード時のみ）、RSCFDn(CFD)CFDFd_k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値（RSCFDn(CFD)RFCCx レジスタの RFDC[2:0] ビットまたは RSCFDn(CFD)CFCCk レジスタの CFDC[2:0] ビットで設定した値）に一致したとき、RFFLL フラグまたは CFFLL フラグが “1”（FIFO バッファフル）になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCFDn(CFD)RFSTSx レジスタの RFEMP フラグまたは RSCFDn(CFD)CFSTSk レジスタの CFEMP フラグが “1”（FIFO バッファ空）になります。

割り込み要求フラグ（RSCFDn(CFD)RFSTSx レジスタの RFIF フラグまたは RSCFDn(CFD)CFSTSk レジスタの CFRXIF フラグ）が “1”（割り込み要求あり）の状態で RFE ビットや CFE ビットを “0”（FIFO バッファを使用しない）にすると、割り込み要求フラグは自動的に “0” になりません。割り込み要求フラグはプログラムで “0” にしてください。



備考　k = 0 ～ 11、d = 0 ～ 1（クラシカル CAN モード時）、0 ～ 15（CAN FD モード時）

図 16.25　送受信 FIFO バッファの読み出し手順

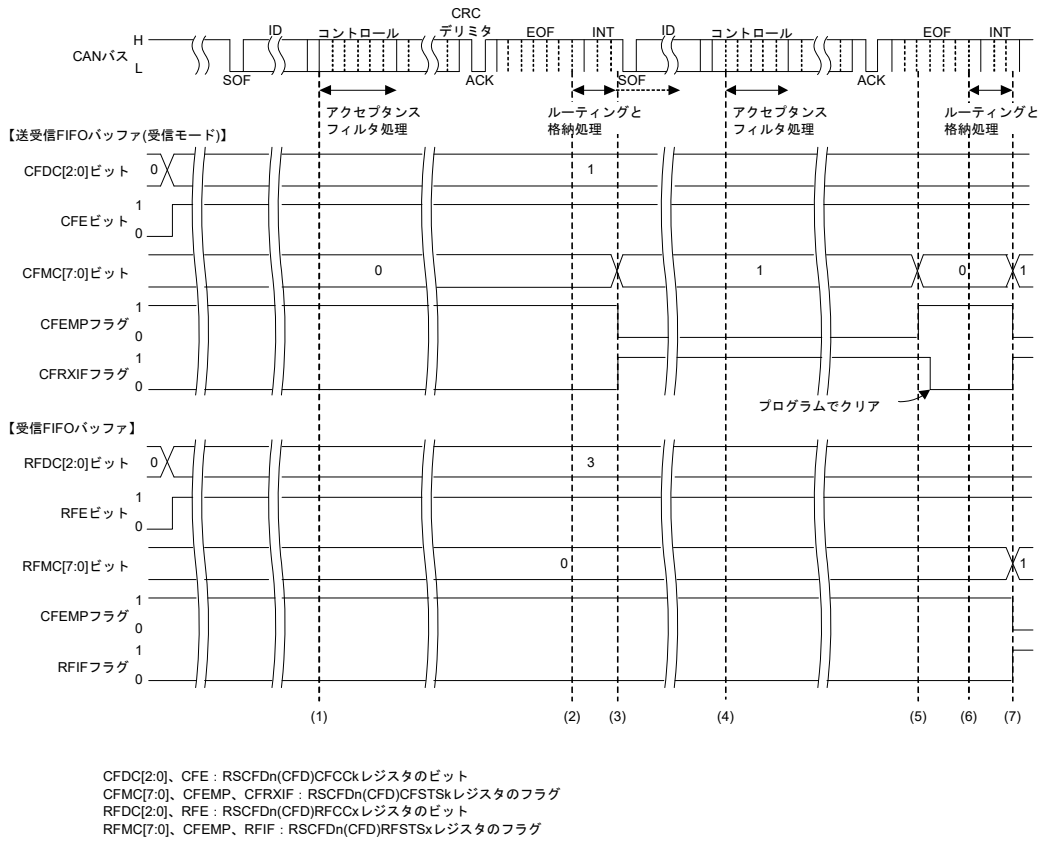
CAN FD モードでメッセージを読み出すとき、RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビットまたは RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットで設定したペイロード格納サイズを超える領域に対応する RSCFDnCFDRFDFd_x、RSCFDnCFDCFDFd_k レジスタの読み出しはしないでください。

表 16.180 受信 FIFO バッファのペイロード格納領域

RFPLS[2:0] ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000_B	8 バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF1_x
001_B	12 バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF2_x
010_B	16 バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF3_x
011_B	20 バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF4_x
100_B	24 バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF5_x
101_B	32 バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF7_x
110_B	48 バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF11_x
111_B	64 バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF15_x

表 16.181 送受信 FIFO バッファのペイロード格納領域

CFPLS[2:0] ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000_B	8 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF1_k
001_B	12 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF2_k
010_B	16 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF3_k
011_B	20 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF4_k
100_B	24 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF5_k
101_B	32 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF7_k
110_B	48 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF11_k
111_B	64 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF15_k



備考 k = 0 ～ 11、x = 0 ～ 7

図 16.26 FIFO バッファの受信タイミング図

(1) メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(3) DLC フィルタ処理を通過し、かつ RSCFDn(CFD)CFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCFDn(CFD)CFCCk レジスタの CFDC[2:0] ビットの値が “001_B” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCFDn(CFD)CFSTSk レジスタの CFMC[7:0] ビットが 1 加算されて “01_H” になります。RSCFDn(CFD)CFCCk レジスタの CFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCFDn(CFD)CFSTSk レジスタの CFRXIF フラグが “1”（送受信 FIFO 受信割り込み要求あり）になります。CFRXIF フラグはプログラムで “0” にできます。

(4) 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

（5） RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDn(CFD)CFDFd_k レジスタから受信メッセージを読み出し、RSCFDn(CFD)CFPCTRk レジスタに “FF_H” を書きます。それにより、RSCFDn(CFD)CFSTSk レジスタの CFMC[7:0] ビットが 1 減算されて “00_H” になり、RSCFDn(CFD)CFSTSk レジスタの CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

（6） 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

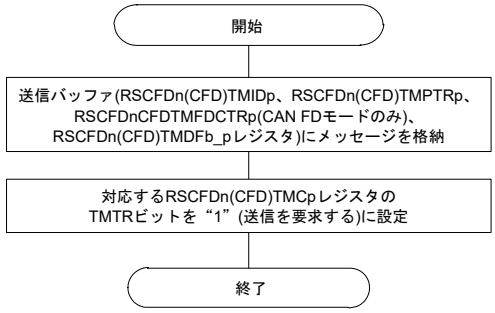
（7） DLC フィルタ処理を通過し、かつ CFE ビットが “1”（送受信 FIFO バッファを使用する）、CFDC[2:0] ビットの値が “001_B” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが 1 加算されて “01_H” になります。CFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、CFRXIF フラグが “1”（送受信 FIFO 受信割り込み要求あり）になります。
また、RSCFDn(CFD)RFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）、RSCFDn(CFD)RFCCx レジスタの RFDC[2:0] ビットの値が “001_B” 以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCFDn(CFD)RFSTSx レジスタの RFMC[7:0] ビットが 1 加算されて “01_H” になります。RSCFDn(CFD)RFCCx レジスタの RFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCFDn(CFD)RFSTSx レジスタの RFIF フラグが “1”（受信 FIFO 割り込み要求あり）になります。

16.11.3 送信手順

16.11.3.1 送信バッファからの送信手順

図 16.27 に送信バッファからの送信手順を示します。

図 16.28 に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。**図 16.29** に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。



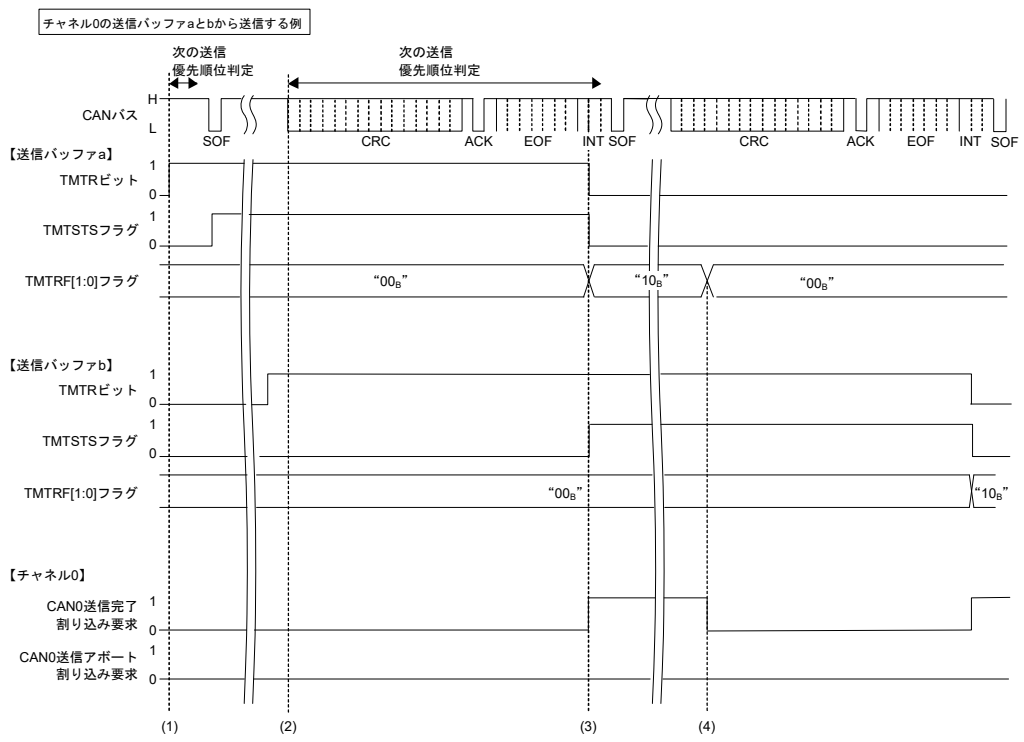
備考 p = 0 ～ 63、b = 0 ~ 1（クラシカル CAN モード時）、0 ～ 4（CAN FD モード時）

図 16.27 送信バッファからの送信手順

CAN FD モードかつ送信バッファマージモードの場合、送信バッファ（16 × m）+ 0 と送信バッファ（16 × m）+ 3 で 20 バイトを超えるペイロードを持つメッセージを送信することができます。このとき、送信バッファ（16 × m）+ 1 ～（16 × m）+ 2 と送信バッファ（16 × m）+ 4 ～（16 × m）+ 5 はペイロード格納領域として割り当てられ、これらのバッファに対応する RSCFDnCFDTMIDp、RSCFDnCFDTMPTRp、RSCFDnCFDTMFDCTRp レジスタは RSCFDnCFDTMDFb_p レジスタ同様 4 バイトのデータバイト（ペイロード）を格納可能なデータフィールドレジスタとして扱えます。**表 16.182** に送信バッファ 0 でペイロード長が 20 バイトを超えるメッセージを送信する場合のメッセージ格納レジスタを示します。

表 16.182 送信バッファマージモード時のメッセージ格納レジスタ（送信バッファ 0 の例）

送信バッファ	ベースアドレスからのオフセット	略号	送信バッファマージモード時のレジスタ機能
送信バッファ 0	4000_H	RSCFDnCFDTMID0	送信バッファ 0 ID データ、送信履歴データ格納許可ビット、RTR ビット、IDE ビット
	4004_H	RSCFDnCFDTMPTR0	送信バッファ 0 ラベルデータ、DLC データ
	4008_H	RSCFDnCFDTMFDCTR0	送信バッファ 0 ESI ビット、BRS ビット、FDF ビット
	$400C_H$ ～ $401C_H$	RSCFDnCFDTMDF0_0 ～ RSCFDnCFDTMDF4_0	送信バッファ 0 データバイト 0, 1, 2, 3 ～送信バッファ 0 データバイト 16, 17, 18, 19
送信バッファ 1	4020_H	RSCFDnCFDTMID1	送信バッファ 0 データバイト 20, 21, 22, 23
	4024_H	RSCFDnCFDTMPTR1	送信バッファ 0 データバイト 24, 25, 26, 27
	4028_H	RSCFDnCFDTMFDCTR1	送信バッファ 0 データバイト 28, 29, 30, 31
	$402C_H$ ～ $403C_H$	RSCFDnCFDTMDF0_1 ～ RSCFDnCFDTMDF4_1	送信バッファ 0 データバイト 32, 33, 34, 35 ～送信バッファ 0 データバイト 48, 49, 50, 51
送信バッファ 2	4040_H	RSCFDnCFDTMID2	送信バッファ 0 データバイト 52, 53, 54, 55
	4044_H	RSCFDnCFDTMPTR2	送信バッファ 0 データバイト 56, 57, 58, 59
	4048_H	RSCFDnCFDTMFDCTR2	送信バッファ 0 データバイト 60, 61, 62, 63
	$404C_H$ ～ $405C_H$	RSCFDnCFDTMDF0_2 ～ RSCFDnCFDTMDF4_2	使用しない



備考 a = 0 ～ 15、b = 0 ～ 15
TMTR：RSCFDn(CFD)TMCp レジスタのビット
TMTSTS、TMTRF[1:0]：RSCFDn(CFD)TMSTSp レジスタのフラグ

図 16.28 送信バッファの送信タイミング図（正常に送信完了時）

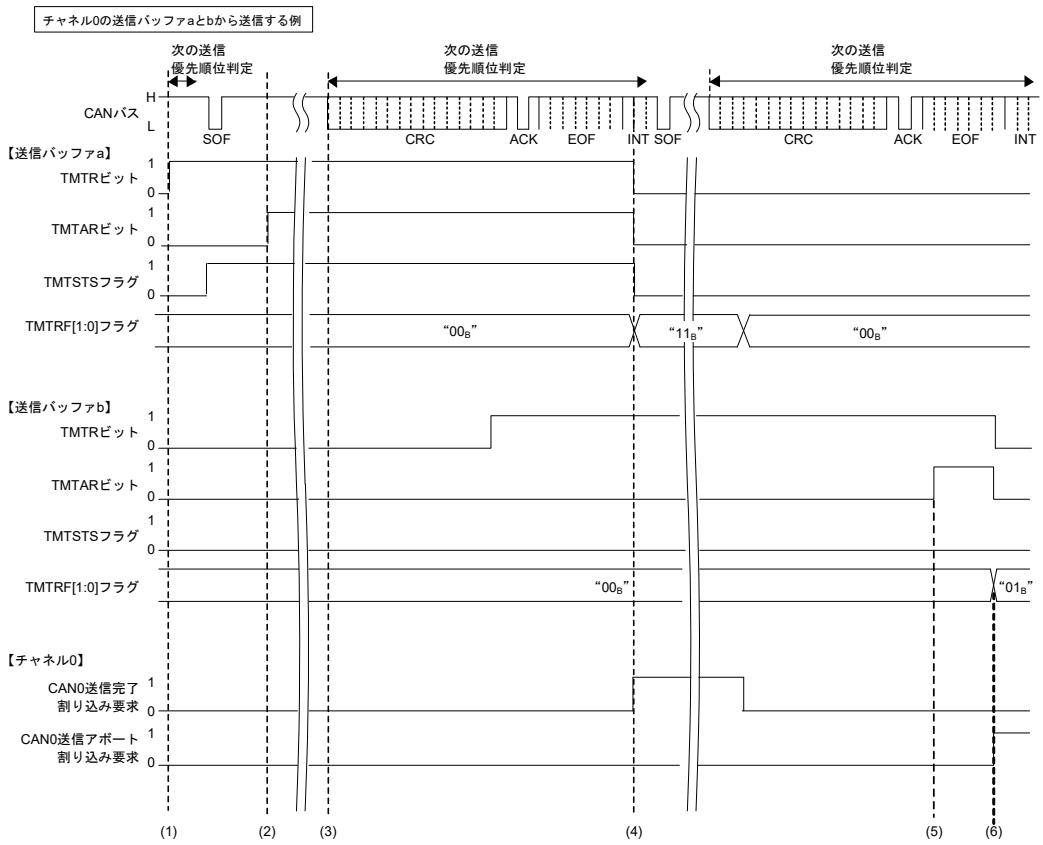
(1) CAN バスがアイドル状態のとき RSCFDn(CFD)TMCa レジスタの TMTR ビットを "1" にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCFDn(CFD)TMSTSa レジスタの TMTSTS フラグが "1"（送信中）になり、CAN チャネルは送信を開始します。

(2) CRC フィールドの 1 ビット目で、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(3) 送信が成功すると、RSCFDn(CFD)TMSTSa レジスタの TMTRF[1:0] フラグは "10_B"（送信完了（送信アボート要求なし））になり、TMTSTS フラグと RSCFDn(CFD)TMCa レジスタの TMTR ビットは "0" になります。RSCFDn(CFD)TMIEC0 レジスタの TMIEa ビットが "1"（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを "00_B"（送信中または送信要求なし）にしてください。

(4) 次の送信を開始する前に、TMTRF[1:0] フラグを "00_B" にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを "1"（送信を要求する）にしてください。TMTRF[1:0] フラグが "00_B" のときのみ、TMTR ビットを "1" に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは “0” になります。送信の優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。
優先順位判定処理で ECC2 ビットエラーが検出された場合、送信は行われません（クラシカル CAN モードのときは、RSCANnGCFG レジスタの EEFE ビットが “1” の場合のみ）。



備考 a = 0 ～ 15、b = 0 ～ 15
TMTR、TMTAR：RSCFDn(CFD)TMCp レジスタのビット
TMTSTS、TMTRF[1:0]：RSCFDn(CFD)TMSTSp レジスタのフラグ

図 16.29 送信バッファの送信タイミング図（送信アボート完了時）

(1) CAN バスがアイドル状態のとき RSCFDn(CFD)TMCa レジスタの TMTR ビットを “1” にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCFDn(CFD)TMSTSa レジスタの TMTSTS フラグが “1”（送信中）になり、CAN チャネルは送信を開始します。

(2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを “1”（アボート要求する）にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。

(3) CRC フィールドの 1 ビット目で、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(4) 送信が成功すると、RSCFDn(CFD)TMSTSa レジスタの TMTRF[1:0] フラグは “11_B”（送信完了（送信アボート要求あり））になり、TMTSTS フラグと RSCFDn(CFD)TMCa レジスタの TMTR ビットは “0” になります。RSCFDn(CFD)TMIEC0 レジスタの TMIEa ビットが “1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00_B”（送信中または送信要求なし）にしてください。

(5) CAN バス上に他の CAN ノードが送信している場合（TMTSTS フラグは “0”）、対応するチャネルが優先順位判定中に TMTAR ビットを “1” にすると、TMTR ビットを “0” にできません。

(6) 内部処理時間経過後、送信は中止され、TMTRF[1:0] フラグが “01_B” になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0] フラグは “01_B” になります。このとき、TMTR ビットと TMTAR ビットは “0” になります。RSCFDn(CFD)CmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00_B” にしてください。

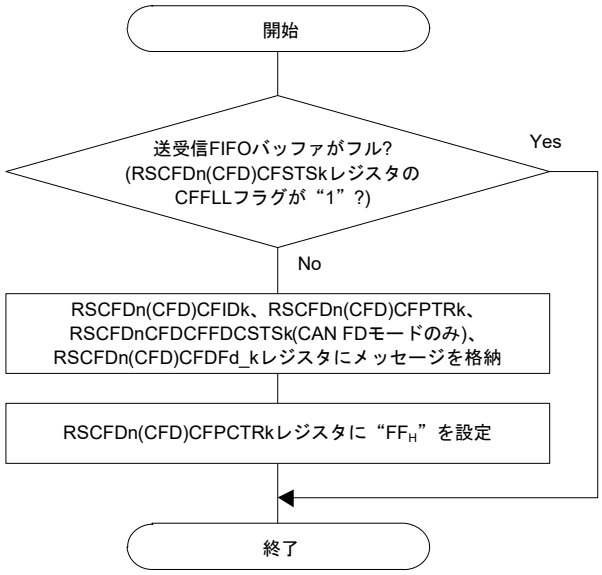
CAN チャネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは “0” になります。優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

優先順位判定処理で ECC2 ビットエラーが検出された場合、送信は行われません（クラシカル CAN モードのときは、RSCFDnGCFG レジスタの EEFE ビットが “1” の場合のみ）。

16.11.3.2 送受信 FIFO バッファからの送信手順

図 16.30 に送受信 FIFO バッファからの送信手順を示します。

図 16.31 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。**図 16.32** に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。



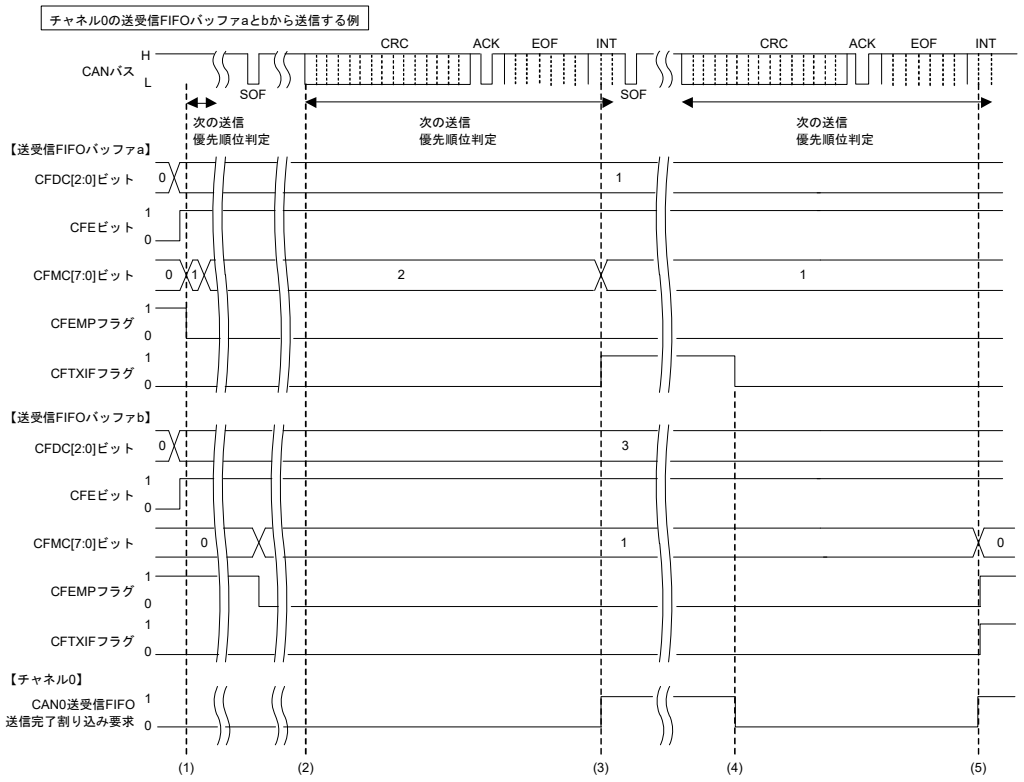
備考 k = 0 ～ 11、d = 0 ～ 1（クラシカル CAN モード時）、0 ～ 15（CAN FD モード時）

図 16.30 送受信 FIFO バッファからの送信手順

メッセージを格納するとき、RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットで設定したペイロード格納サイズを超える領域に対応する RSCFDnCFDCFDFd_k レジスタへの書き込みはしないでください。

表 16.183 送受信 FIFO バッファのペイロード格納領域

CFPLS[2:0] ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000_B	8 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF1_k
001_B	12 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF2_k
010_B	16 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF3_k
011_B	20 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF4_k
100_B	24 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF5_k
101_B	32 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF7_k
110_B	48 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF11_k
111_B	64 バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF15_k



備考 a = 0 ～ 2、b = 0 ～ 2
CFDC[2:0]、CFE：RSCFDn(CFD)CFCCk レジスタのビット
CFMC[7:0]、CFEMP、CFTXIF：RSCFDn(CFD)CFSTSk レジスタのフラグ

図 16.31 送受信 FIFO バッファの送信タイミング図（正常に送信完了時）

(1) CAN バスがアイドル状態のとき、RSCFDn(CFD)CFCCa レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）、RSCFDn(CFD)CFCCa レジスタの CFDC[2:0] ビットが “001_B”（4 メッセージ）以上、RSCFDn(CFD)CFSTSa レジスタの CFMC[7:0] ビットの値が “01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ a から送信されます。

(2) バッファからの送信要求があれば、CRC フィールドの 1 ビット目で次の優先順位判定処理を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

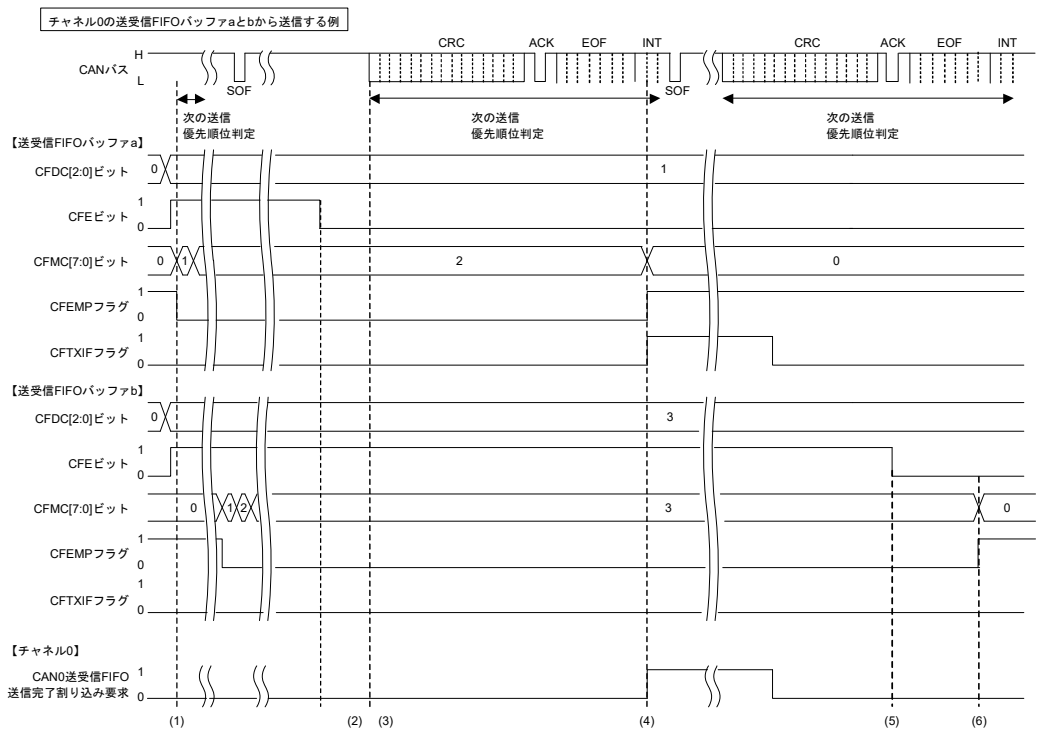
(3) 送信が成功すると、RSCFDn(CFD)CFSTSa レジスタの CFMC[7:0] ビットが 1 減算されます。RSCFDn(CFD)CFCCa レジスタの CFIM ビットを “1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCFDn(CFD)CFSTSk レジスタの CFTXIF フラグが “1”（送受信 FIFO 送信割り込み要求あり）になります。

(4) CFTXIF フラグはプログラムでクリアできます。

(5) チャネル 0 の送受信 FIFO バッファ b からの送信が完了し、RSCFDn(CFD)CFSTSb レジスタの CFMC[7:0] ビットが 1 減算されます。CFMC[7:0] ビットが “00_H” になるため、

RSCFDn(CFD)CFSTSk レジスタの CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

CFEMP フラグが “1” になるまで送信は続けられます。RSCFDn(CFD)CFSTSa、RSCFDn(CFD)CFSTSb レジスタの CFFLL フラグが “1”（送受信 FIFO バッファフル）になるまで、送信メッセージを FIFO バッファに格納することができます。



備考　a = 0 ～ 2、b = 0 ～ 2
CFDC[2:0]、CFE：RSCFDn(CFD)CFCCk レジスタのビット
CFMC[7:0]、CFEMP、CFTXIF：RSCFDn(CFD)CFSTSk レジスタのフラグ

図 16.32　送受信 FIFO バッファの送信タイミング図（送信アボート完了時）

(1) CAN バスがアイドル状態のとき、RSCFDn(CFD)CFCCa レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）、RSCFDn(CFD)CFCCa レジスタの CFDC[2:0] ビットが “001_B”（4 メッセージ）以上、RSCFDn(CFD)CFSTSa レジスタの CFMC[7:0] ビットの値が “01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ a から送信されます。

(2) メッセージが送信中、または次の送信に決まっているとき、アービトレーションロストまたはエラーが発生しない限り、CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしても送信はアボートされません。

(3) バッファからの送信要求があれば、CRC フィールドの先頭ビットで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ b は次の送信用バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

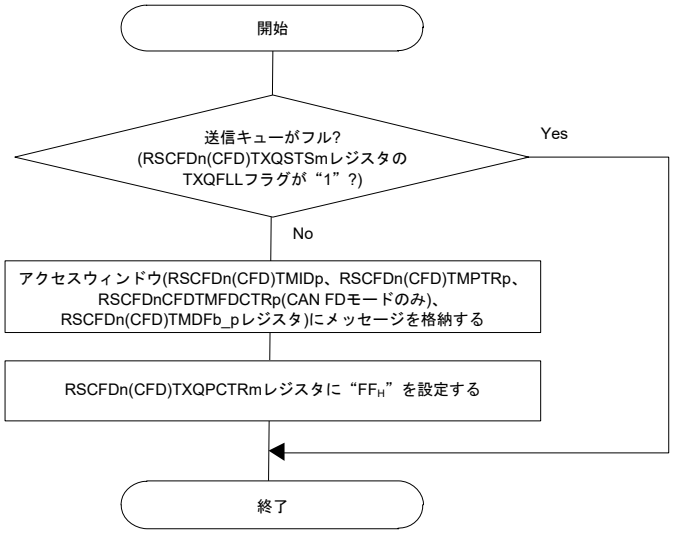
(4) 送信が成功すると、CFMC[7:0] ビットの値が “00_H” になります。CFIM ビットを “1”（1メッセージ送信ごとに割り込み要求発生）にした場合、RSCFDn(CFD)CFSTSa レジスタの CFTXIF フラグが “1”（送受信 FIFO バッファ送信割り込み要求あり）になります。CFTXIF フラグはプログラムでクリアできます。

(5) CAN バス上の他の CAN ノードが送信中の場合（送受信 FIFO バッファ b からは送信されていない）、送信の優先順位判定中に RSCFDn(CFD)CFCCb レジスタの CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしても、送受信 FIFO バッファは直ちに禁止にはできません（RSCFDn(CFD)CFSTSb レジスタの CFEMP フラグは直ちに “1”（送受信 FIFO バッファ空）にはなりません）。

(6) 内部処理時間経過後、送受信 FIFO バッファは禁止され、RSCFDn(CFD)CFSTSb レジスタの CFMC[7:0] ビットは “00_H” になり、CFEMP フラグは “1” になります。送受信 FIFO バッファが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファは禁止されます（CFMC[7:0] ビットは “00_H” になり、CFEMP フラグは “1” になります）。

16.11.3.3 送信キューからの送信手順

図 16.33 に送信キューからの送信手順を示します。



備考 p = m × 16 + 15、m = 0 ～ 3

図 16.33 送信キューからの送信手順

16.11.3.4 送信履歴バッファの読み出し手順

送信履歴データは、RSCFDn(CFD)THLACCm レジスタで読めます。1 データを読んだ後、対応する RSCFDn(CFD)THLPCTRm レジスタ（m = 0 ～ 3）へ “FF_H” を書くと、次のデータへアクセスできます。**図 16.34** に送信履歴バッファの読み出し手順を示します。

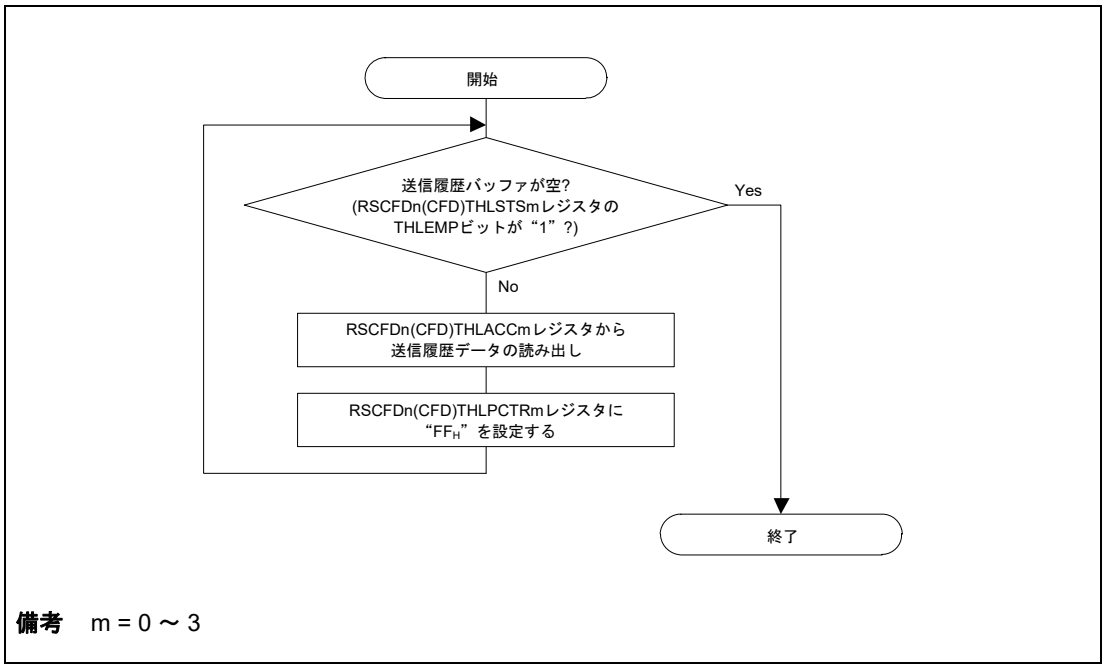


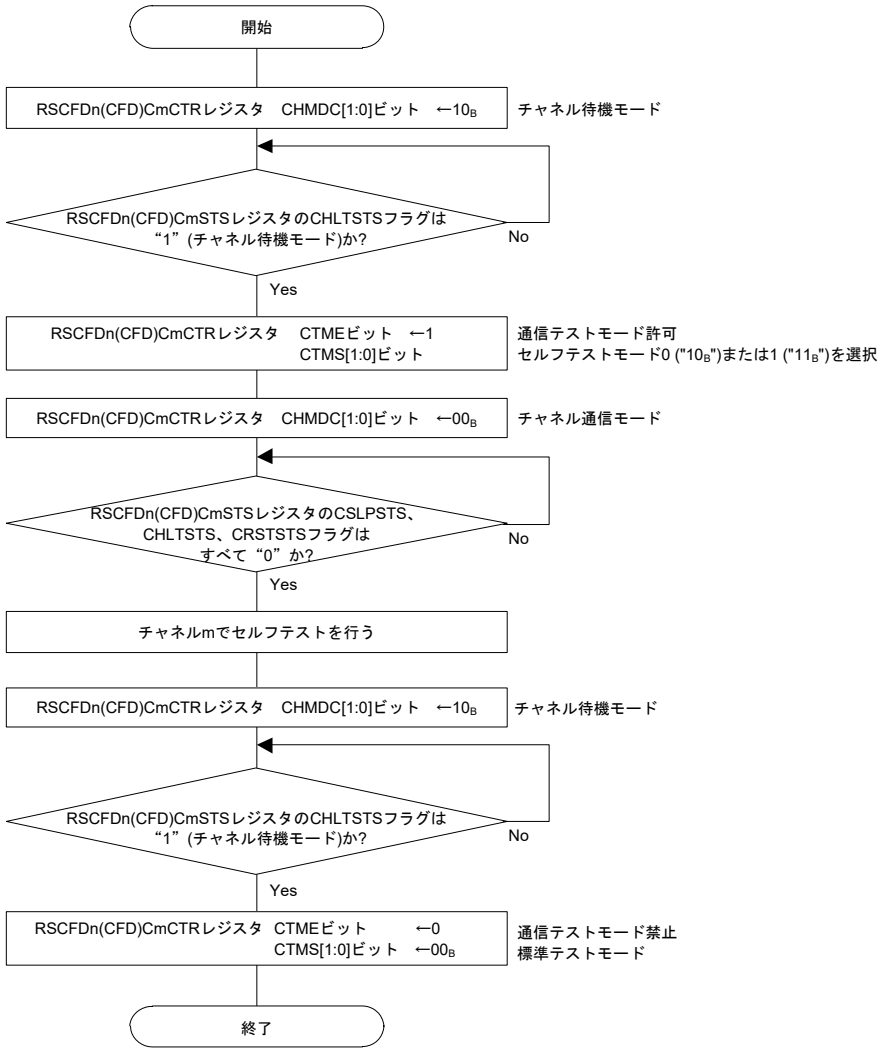
図 16.34 送信履歴バッファの読み出し手順

16.11.4 テスト設定

16.11.4.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャネル単体で通信テストを行うことができます。

図 16.35 にセルフテストモードの設定手順を示します。



備考 m = 0 ～ 3

図 16.35 セルフテストモードの設定手順

16.11.4.2 プロテクト解除手順

表 16.184 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RSCFDn(CFD)GLOCKK レジスタの LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを “1” にしてください。

表 16.184 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575_H	$8A8A_H$	RSCFDn(CFD)GTSTCTR レジスタ RTME ビット

間違った値を LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。**図 16.36** にプロテクト解除手順を示します。

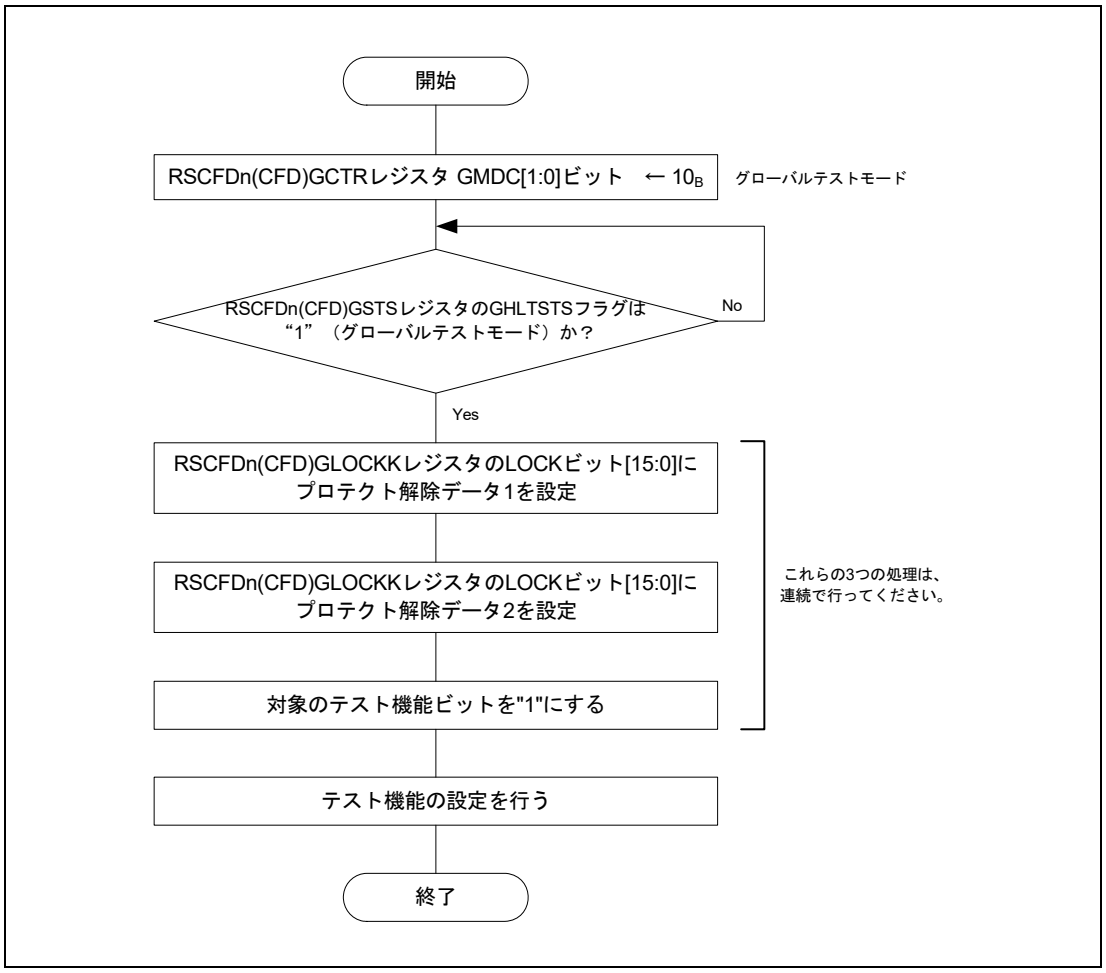
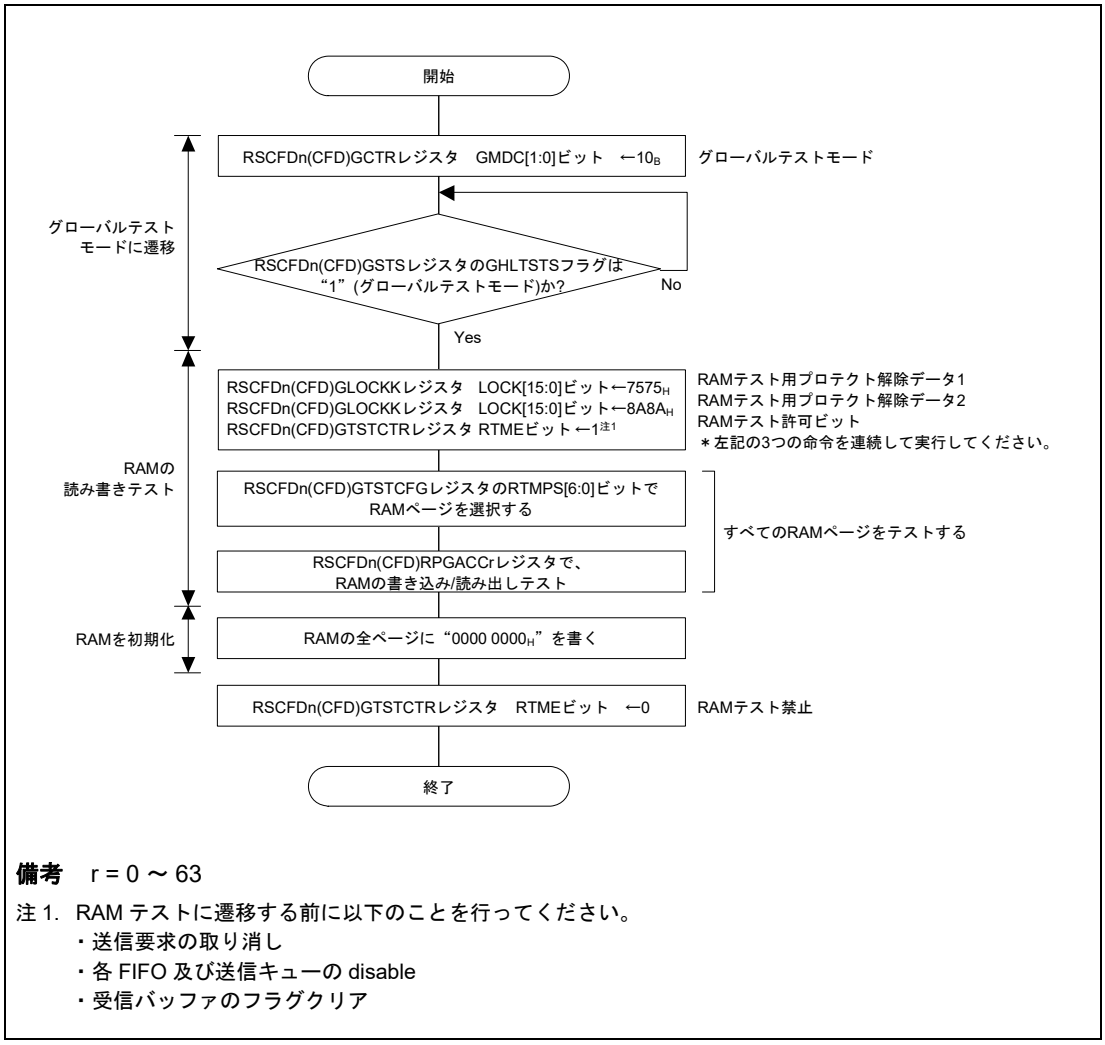


図 16.36 プロテクト解除手順

16.11.4.3 RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに “0000 0000_H” を書いてください。

図 16.37 に RAM テストの設定手順を示します。



備考 r = 0 ～ 63

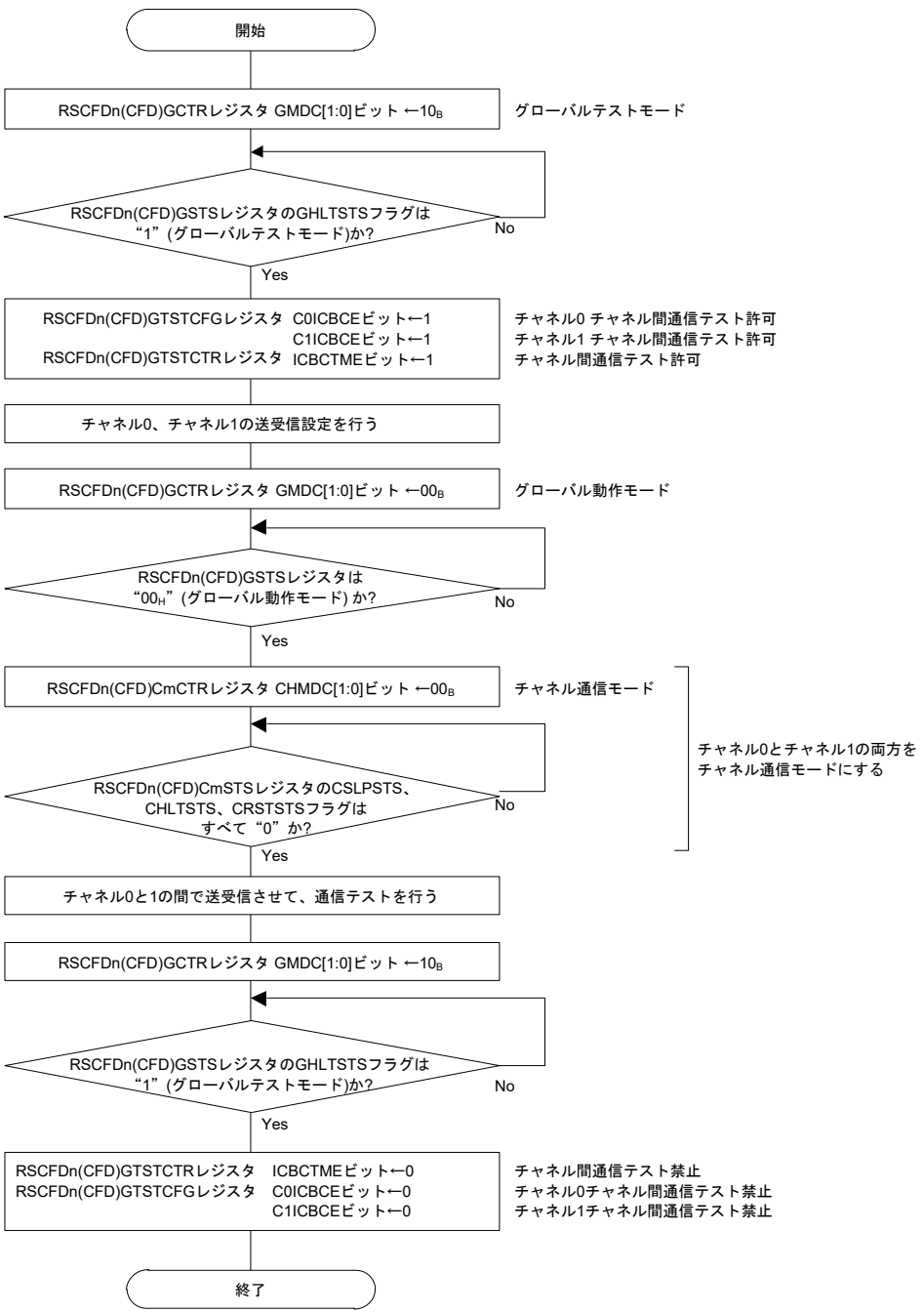
注 1. RAM テストに遷移する前に以下のことを行ってください。
- 送信要求の取り消し
- 各 FIFO 及び送信キューの disable
- 受信バッファのフラグクリア

図 16.37 RAM テストの設定手順

16.11.4.4 チャネル間通信テストの設定手順

異なるチャネル間で送受信させることにより、通信テストを行うことができます。

図 16.38 にチャネル間通信テストの設定手順を示します。



備考 m = 0、1

図 16.38 チャネル間通信テストの設定手順（チャネル 0-1 間通信テストの例）

16.12 RS-CANFD モジュールの注意事項

- RS-CANFD のリセットを行わずにインタフェースモードを変更する場合は、切り替え後のレジスタマップに割り当てられていないレジスタ、ビットすべてにリセット後の値を書いてから、RSCFDn(CFD)GRMCFG レジスタを書き換えてください。
- グローバルモードを変更する場合は、RSCFDn(CFD)GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャネルモードを変更する場合は、RSCFDn(CFD)CmSTS レジスタ（m = 0 ～ 3）の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- CAN FD モード時、クラシカル CAN フレームしか使用しない場合は、RSCFDnCFDCmDCFG レジスタに、RSCFDnCFDCmNCFG レジスタの設定値と同じ値を設定してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てたりした場合、対応する送信バッファの制御レジスタ（RSCFDn(CFD)TMCp レジスタ）は “00_H” にしてください。また、対応する送信バッファのステータスレジスタ（RSCFDn(CFD)TMSTSp レジスタ）は使用しないでください。その他のステータスレジスタ（RSCFDn(CFD)TMTRSTS0 ～ RSCFDn(CFD)TMTRSTS1、RSCFDn(CFD)TMTARSTS0 ～ RSCFDn(CFD)TMTARSTS1、RSCFDn(CFD)TMTCSTS0 ～ RSCFDn(CFD)TMTCSTS1、RSCFDn(CFD)TMTASTS0 ～ RSCFDn(CFD)TMTASTS1 レジスタ）は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ（RSCFDn(CFD)TMIEC0 ～ RSCFDn(CFD)TMIEC1 レジスタ）の許可ビットは “0”（割り込み禁止）にしてください。
- 送信バッファマージモード（CAN FD モード時）を使用する場合、ペイロード格納領域として割り当てられた送信バッファに対応する送信バッファの制御レジスタ（RSCFDn(CFD)TMCp レジスタ）は “00_H” にしてください。また、対応する割り込み許可レジスタ（RSCFDn(CFD)TMIEC0 ～ RSCFDn(CFD)TMIEC1 レジスタ）の許可ビットは “0”（割り込み禁止）にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。また、送信バッファマージモード（CAN FD モード時）でペイロード格納領域として割り当てられた送信バッファを、送信キューに割り当てないでください。
- 1 つの送信バッファには、1 つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- クラシカルCANモードでタイムスタンプカウンタのクロック源にCANmビットタイムクロックを選択した場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。

- **「16.3　レジスタ（クラシカル CAN モード）」**と**「16.4　レジスタ（CAN FD モード）」**に記載されているリセット後の値は、RAM アクセスを行うレジスタの場合、CAN 用 RAM 初期化によってクリアされた後の値を示します。クリア前の値は不定です。次のレジスタが該当します。
  - 受信ルール（RSCFDn(CFD)GAFLIDj、RSCFDn(CFD)GAFLMj、RSCFDn(CFD)GAFLP0_j、RSCFDn(CFD)GAFLP1_j レジスタ）
  - 受信バッファ（RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCFDn(CFD)RMDFb_q レジスタ）
  - 受信 FIFO バッファアクセスレジスタ（RSCFDn(CFD)RFIDx、RSCFDn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx、RSCFDn(CFD)RFDFd_x レジスタ）
  - 送受信 FIFO バッファアクセスレジスタ（RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDn(CFD)CFDFd_k レジスタ）
  - 送信バッファ（RSCFDn(CFD)TMIDp、RSCFDn(CFD)TMPTRp、RSCFDnCFDTMFDCTRp、RSCFDn(CFD)TMDFb_p レジスタ）
  - 送信履歴アクセスレジスタ（RSCFDn(CFD)THLACCm レジスタ）
  - RAM テストページアクセスレジスタ（RSCFDn(CFD)RPGACCr レジスタ）
- 未使用の受信バッファ（RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCFDn(CFD)RMDFb_q レジスタ）、受信 FIFO バッファアクセスレジスタ（RSCFDn(CFD)RFIDx、RSCFDn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx、RSCFDn(CFD)RFDFd_x レジスタ）と送受信 FIFO バッファアクセスレジスタ（RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDn(CFD)CFDFd_k レジスタ）の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

第 17 章 FlexRay

17.1 FlexRay モジュール

本製品搭載の FlexRay モジュールは、FlexRay プロトコル仕様（FlexRay communication Systems Protocol Specification V2.1）に準拠した FlexRay 通信を実行します。最大ビットレートは 10Mbit/sec です。物理層との接続のためには、バスドライバハードウェアが別途必要となります。

17.1.1 概要

FlexRay ネットワーク上での通信用に最大 254 データバイトの独立したメッセージバッファを設定することができます。メッセージ記憶は、最大 128 個のメッセージバッファを持つシングルポートのメッセージ RAM によって構成されます。メッセージ処理に関する機能はすべてメッセージハンドラに組み込まれています。主な機能は、フィルタリングの設定、2 つの FlexRay チャネルプロトコルコントローラとメッセージ RAM 間のメッセージ転送、伝送スケジュールの保守、メッセージステータス情報の提供などです。

FlexRay IP モジュールのレジスタセットは、モジュールの CPU インタフェースを介して外部 CPU から直接アクセス可能です。これらのレジスタは、FlexRay チャネルプロトコルコントローラ、メッセージハンドラ、内部クロック生成、システム制御を制御・構成・監視し、入出力バッファを介してメッセージ RAM にアクセスし、メッセージ RAM と Local RAM や Global RAM 間のデータ転送を制御するために使用されます。

FlexRay IP モジュールは、次に示す機能をサポートします。

項目	仕様
通信	FlexRay 通信システムプロトコル仕様 v2.1 に準拠
データ転送速度	チャネルごとに最大 10 Mbit/s
データリンクレイヤクロック周波数	80MHz
チャネルごとの入出力ピン	TxD, RxD, ExEN
FlexRay チャネル	2 本（チャネル A および B）
メッセージバッファ	最大 128 個のメッセージバッファが構成可能
	異なるペイロード長でメッセージバッファが構成可能
	各メッセージバッファを受信バッファ、転送バッファ、あるいは受信 FIFO の 1 部として構成可能
	スロットカウンタ、サイクルカウンタ、チャネル用にフィルタリング
メッセージ RAM	8K バイトのメッセージ RAM は下記例のような構成をとることが可能です。
	最大 48 バイトのデータセクションを持つ 128 個のメッセージバッファ
	254 バイトのデータセクションを持つ最大 30 個のメッセージバッファ
FIFO	1 つの構成可能な受信 FIFO
メッセージバッファアクセス	入出力バッファを介してホスト CPU によるもの 入力バッファ：メッセージ RAM へ転送されるメッセージを保持 出力バッファ：メッセージ RAM から読み込んだメッセージを保持
	データ転送機能によるもの 入力転送：メッセージバッファの内容は、CPU の要求によって Local RAM や Global RAM からメッセージ RAM へ転送される 出力転送：メッセージバッファの内容は、メッセージ RAM から Local RAM や Global RAM へ自動的に転送される
ネットワーク管理	サポート
割り込み	マスク可能なモジュール割り込み
タイマ	2 個の絶対値タイマ 1 個の相対値タイマ 1 個のストップウォッチタイマ

17.1.2 用語と略号

本章では、以下の用語と略号を使用しています。

用語	意味
AP	アクション・ポイント（Action Point）
BD	バス・ドライバ（Bus Driver）
BSS	バイト・スタート・シーケンス（Byte Start Sequence）
CAS	衝突回避シンボル（Collision Avoidance Symbol）
CC	通信コントローラ（Communication Controller）
CHI	コントローラ・ホスト・インタフェース（Controller Host Interface）
CIF	ホスト・インタフェース（Host CPU Interface Block）
CRC	CRC チェック（Cyclic Redundancy Check）
FES	フレーム・エンド・シーケンス（Frame End Sequence）
FSS	フレーム・スタート・シーケンス（Frame Start Sequence）
FIFO	FIFO データバッファ構造（First In First Out）
FSM	有限ステート・マシン（Finite State Machine）
FSP	フレームとシンボルの処理部（Frame and Symbol Processing Block）
FTM	FTM クロック補正アルゴリズム（Fault Tolerant Midpoint）
GIF	汎用 CPU インタフェース（Generic Interface Block）
GTU	グローバル・タイム・ユニット（Global Time Unit Block）
IBF	入力バッファ（Input Buffer）
INT	割り込み制御部（Interrupt Control Block）
MBF	メッセージ RAM（Message (Buffer) RAM）
MHD	メッセージ・ハンドラ（Message Handler Block）
MT	マクロティック（Macrotick）
MTS	メディア・アクセス・テスト・シンボル（Media Access Test Symbol）
NCT	ネットワーク通信時間（Network Communication Time）
NEM	ネットワーク管理部（Network Management Block）
NIT	ネットワーク・アイドル・タイム（Network Idle Time）
NM	ネットワーク管理（Network Management）
OBF	出力バッファ（Output Buffer）
PE	プロトコル・エンジン（Protocol Engine）
POC	プロトコル・オペレーション制御（Protocol Operation Control）
PRT	プロトコル・コントローラ（Protocol Controller Block）
SDL	SDL 仕様記述言語（Specification and Description Language）
SUC	システム汎用制御部（System Universal Control Block）
TBF	トランジェント・バッファ（Transient Buffer）
TDMA	時分割多重アクセス（Time Division Multiple Access）（メディア・アクセス方式）
TRH	転送ハンドラ（Transfer Handler）
TSS	送信開始シーケンス（Transmission Start Sequence）
TT-D	タイム・トリガによる分散同期（Time Triggered Distributed synchronization）（プロトコル・モード）
URAM	FlexRay のメッセージ、メッセージバッファ、設定、ステータスを格納するために使用する RAM（User RAM）
μT	マイクロティック（Microtick）
WUP	ウェイクアップ・パターン（Wakeup Pattern
WUS	ウェイクアップ・シンボル（Wakeup Symbol）

17.1.3 ブロック図

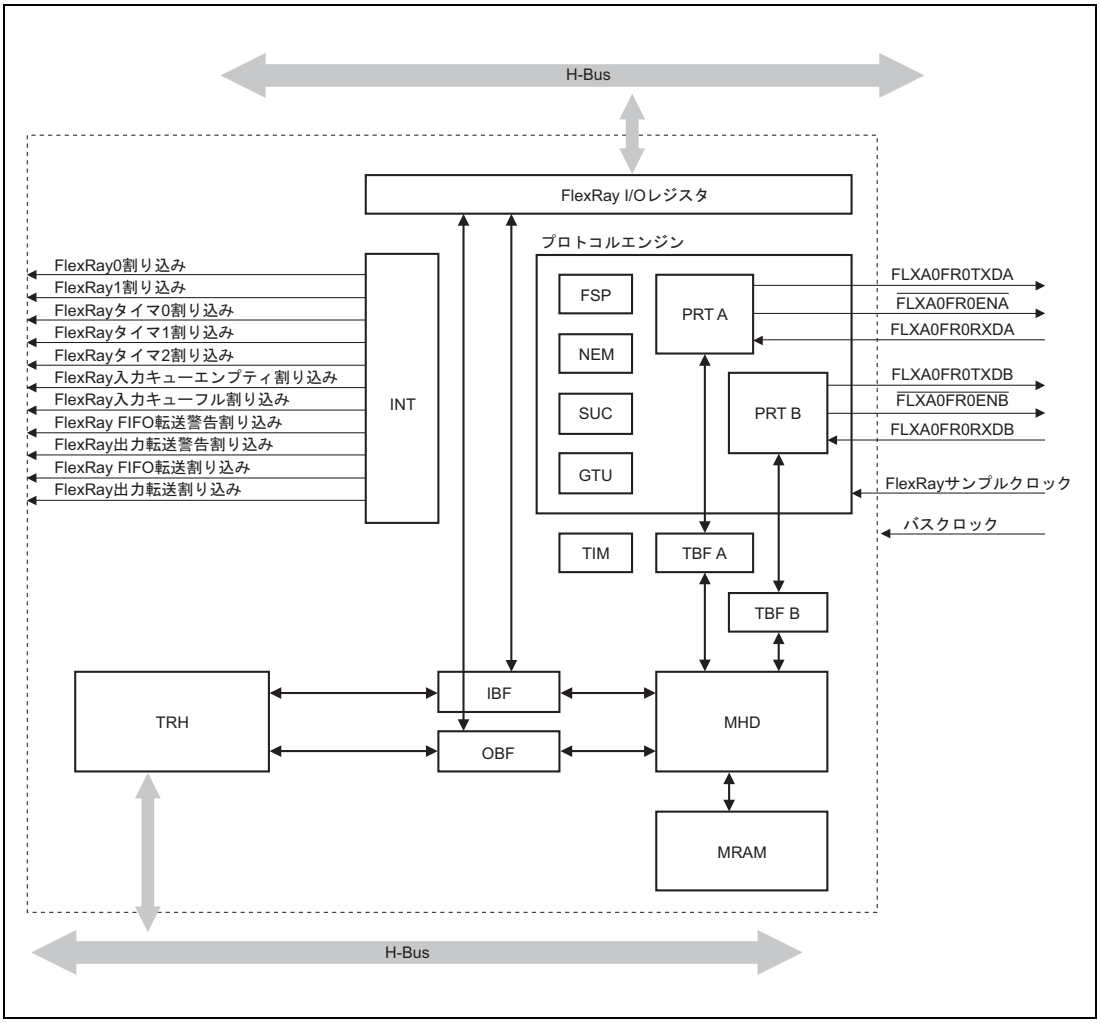


図 17.1 FlexRay IP ブロック図

入力バッファ（IBF）

メッセージ RAM 内に設定されたメッセージバッファへ書き込む場合、CPU は入力バッファに対する特定のメッセージバッファのヘッダおよびデータセクションに書き込みます。その後、メッセージハンドラがデータを入力バッファからメッセージ RAM 内の選択されたメッセージバッファに転送します。

出力バッファ（OBF）

メッセージ RAM に設定されたメッセージバッファに読み出す場合、メッセージハンドラは選択されたメッセージバッファを出力バッファに転送します。転送完了後、CPU は転送されたメッセージバッファのヘッダおよびデータセクションを読み出せます。

メッセージハンドラ（MHD）

FlexRay メッセージハンドラは、以下のコンポーネント間のデータ転送を制御します。

- 入力／出力バッファとメッセージ RAM 間
- 2つのFlexRayプロトコルコントローラのテンポラリバッファRAMとメッセージRAM間

メッセージ RAM（MRAM）

メッセージ RAM は、最大 128 個の FlexRay メッセージバッファと関連設定データ（ヘッダおよびデータパーティション）を格納するシングルポート RAM で構成されます。

テンポラリバッファ RAM（TBF A/B）

2 つの完全なメッセージのデータセクションを格納します。

FlexRay チャネルプロトコルコントローラ（PRT A/B）

FlexRay チャネルプロトコルコントローラは、シフトレジスタと FlexRay プロトコル FSM で構成されます。このコントローラは、メッセージを一時的に保存するためにテンポラリバッファ RAM に接続され、物理レイヤにもバスドライバ BD を介して接続されます。

このコントローラには以下の機能があります。

- ビットタイミングの制御とチェック
- FlexRay フレームおよびシンボルの送受信
- ヘッダ CRC のチェック
- フレーム CRC の生成／チェック
- バスドライバとの接続

内部クロック生成ブロック（GTU）

内部クロック生成ブロックには以下の機能があります。

- μT の生成
- MT の生成
- FTM アルゴリズムによるフォールトトレラントクロック同期の
  - レート補正
  - オフセット補正
- サイクルカウンタ
- スタティックセグメントのタイミング制御
- ダイナミックセグメント（ミニスロット）のタイミング制御
- 外部クロック補正のサポート

システムコントローラ（SUC）

システムコントローラには以下の機能があります。

- 設定
- ウェイクアップ
- スタートアップ
- 通常動作
- パッシブ動作

フレーム／シンボル処理（FSP）

フレーム／シンボル処理には以下の機能があります。

- フレームおよびシンボルのタイミングが正しいかどうか確認
- 受信フレームのシンタックスとセマンティクスが正しいかどうか確認
- スロットステータスフラグの設定

ネットワーク管理（NEM）

ネットワーク管理ベクタを処理します。

割り込み処理（INT）

割り込みコントローラには以下の機能があります。

- エラーおよびステータス割り込みフラグの提供
- 割り込みソースの許可／禁止
- 割り込みソースを 2 つのモジュール割り込み出力のどちらかに割り当て
- モジュール割り込みの有効／無効

タイマ（TIM）

タイマモジュールには、次に示すマクロティックタイマが含まれます。

- 2 個の絶対値タイマ
- 1 個の相対値タイマ
- 1 個のストップウォッチタイマ

転送ハンドラ（TRH）

Local RAM や Global RAM と FlexRay モジュール間のデータ転送を処理します。

転送ハンドラは、以下の転送方式をサポートしています。

- Local RAM や Global RAM からメッセージ RAM へのバッファ設定データの転送
- Local RAM や Global RAM からメッセージ RAM へ送信バッファ用ペイロードデータの転送
- Local RAM や Global RAM からメッセージ RAM へ送信バッファ用バッファ設定データおよびペイロードデータの転送
- フレーム受信において受信バッファからLocal RAMやGlobal RAMへのペイロードデータの自動転送
- フレーム受信において受信バッファから Local RAM や Global RAM へのペイロードデータ、バッファ構成データ、メッセージバッファステータスデータの自動転送
- スロットステータス更新において専用の送信および受信バッファから Local RAM や Global RAM へのバッファ構成データとメッセージバッファステータスデータの自動転送
- 専用の送信および受信バッファから Local RAM や Global RAM へのペイロードデータ、バッファ構成データ、メッセージバッファステータスデータのマニュアル転送

17.2 プログラマモデル

17.2.1 レジスタマップ

FlexRay モジュールは、**表 17.2** に示すようにアドレス空間を割り当てます。

この仕様内で、「リセット後の値」とはマイクロコントローラの HW リセットを意味します。0010_H から $0FFF_H$ のアドレス範囲のレジスタでは SW リセット時（FLXA0FROC.OE を使用）にも「リセット後の値」は適用されます。

この仕様内のアドレスは間接アドレスです。すべてのアドレスに**表 17.1** にあるアドレスオフセット ERAY を加える必要があります。また、PE1（**表 17.1** 上段）から FlexRay のレジスタをアクセスする場合、PCU（**表 17.1** 下段）からとはアドレスが異なります。PCU からアクセスする場合は、レジスタ名のシンボルのうち「FLXA0」を「FLXA0PCU」として読み替え、ベースアドレスを「FlexRay(fromPCU)」としてください。なお機能は全く変わりありません。

表 17.1 ベースアドレス <ERAY>

ベースアドレス名	ベースアドレス
FlexRay	$1002\ 0000_H$
FlexRay(from PCU)	$FC02\ 0000_H$

表 17.2 FlexRay レジスタマップ (1/3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
FlexRay 動作制御レジスタ	FLXA0FROC	$0000\ 0000_H$	<ERAY> + 0004_H	8, 16, 32
FlexRay 動作ステータスレジスタ	FLXA0FROS	$0000\ 0000_H$	<ERAY> + $000C_H$	8, 16, 32
FlexRay ロックレジスタ	FLXA0FRLCK	$0000\ 0000_H$	<ERAY> + $001C_H$	8, 16, 32
FlexRay エラー割り込みレジスタ	FLXA0FREIR	$0000\ 0000_H$	<ERAY> + 0020_H	8, 16, 32
FlexRay ステータス割り込みレジスタ	FLXA0FRSIR	$0000\ 0000_H$	<ERAY> + 0024_H	8, 16, 32
FlexRay エラー割り込み出力選択レジスタ	FLXA0FREILS	$0000\ 0000_H$	<ERAY> + 0028_H	8, 16, 32
FlexRay ステータス割り込み出力選択レジスタ	FLXA0FRSILS	$0303\ FFFF_H$	<ERAY> + $002C_H$	8, 16, 32
FlexRay エラー割り込み許可レジスタ	FLXA0FREIES	$0000\ 0000_H$	<ERAY> + 0030_H	8, 16, 32
FlexRay エラー割り込み禁止レジスタ	FLXA0FREIER	$0000\ 0000_H$	<ERAY> + 0034_H	8, 16, 32
FlexRay ステータス割り込み許可レジスタ	FLXA0FRSIES	$0000\ 0000_H$	<ERAY> + 0038_H	8, 16, 32
FlexRay ステータス割り込み禁止レジスタ	FLXA0FRSIER	$0000\ 0000_H$	<ERAY> + $003C_H$	8, 16, 32
FlexRay 割り込み出力許可レジスタ	FLXA0FRILE	$0000\ 0000_H$	<ERAY> + 0040_H	8, 16, 32
FlexRay タイマ 0 設定レジスタ	FLXA0FRT0C	$0000\ 0000_H$	<ERAY> + 0044_H	8, 16, 32
FlexRay タイマ 1 設定レジスタ	FLXA0FRT1C	$0002\ 0000_H$	<ERAY> + 0048_H	8, 16, 32
FlexRay ストップウォッチレジスタ 1	FLXA0FRSTPW1	00000000_H	<ERAY> + $004C_H$	8, 16, 32
FlexRay ストップウォッチレジスタ 2	FLXA0FRSTPW2	00000000_H	<ERAY> + 0050_H	8, 16, 32
FlexRay SUC 設定レジスタ 1	FLXA0FRSUCC1	$0C40\ 1080_H$	<ERAY> + 0080_H	8, 16, 32
FlexRay SUC 設定レジスタ 2	FLXA0FRSUCC2	$0100\ 0504_H$	<ERAY> + 0084_H	8, 16, 32
FlexRay SUC 設定レジスタ 3	FLXA0FRSUCC3	$0000\ 0011_H$	<ERAY> + 0088_H	8, 16, 32
FlexRay NEM 設定レジスタ	FLXA0FRNEMC	$0000\ 0000_H$	<ERAY> + $008C_H$	8, 16, 32
FlexRay PRT 設定レジスタ 1	FLXA0FRPRTC1	$084C\ 0633_H$	<ERAY> + 0090_H	8, 16, 32
FlexRay PRT 設定レジスタ 2	FLXA0FRPRTC2	$0F2D\ 0A0E_H$	<ERAY> + 0094_H	8, 16, 32
FlexRay MHD 設定レジスタ	FLXA0FRMHDC	$0000\ 0000_H$	<ERAY> + 0098_H	8, 16, 32
FlexRay GTU 設定レジスタ 1	FLXA0FRGTUC1	$0000\ 0280_H$	<ERAY> + $00A0_H$	8, 16, 32

表 17.2 FlexRay レジスタマップ (2/3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
FlexRay GTU 設定レジスタ 2	FLXA0FRGTUC2	0002 000A$_H$	<ERAY> + 00A4$_H$	8, 16, 32
FlexRay GTU 設定レジスタ 3	FLXA0FRGTUC3	0202 0000$_H$	<ERAY> + 00A8$_H$	8, 16, 32
FlexRay GTU 設定レジスタ 4	FLXA0FRGTUC4	0008 0007$_H$	<ERAY> + 00AC$_H$	8, 16, 32
FlexRay GTU 設定レジスタ 5	FLXA0FRGTUC5	0E00 0000$_H$	<ERAY> + 00B0$_H$	8, 16, 32
FlexRay GTU 設定レジスタ 6	FLXA0FRGTUC6	0002 0000$_H$	<ERAY> + 00B4$_H$	8, 16, 32
FlexRay GTU 設定レジスタ 7	FLXA0FRGTUC7	0002 0004$_H$	<ERAY> + 00B8$_H$	8, 16, 32
FlexRay GTU 設定レジスタ 8	FLXA0FRGTUC8	0000 0002$_H$	<ERAY> + 00BC$_H$	8, 16, 32
FlexRay GTU 設定レジスタ 9	FLXA0FRGTUC9	0000 0101$_H$	<ERAY> + 00C0$_H$	8, 16, 32
FlexRay GTU 設定レジスタ 10	FLXA0FRGTUC10	0002 0005$_H$	<ERAY> + 00C4$_H$	8, 16, 32
FlexRay GTU 設定レジスタ 11	FLXA0FRGTUC11	0000 0000$_H$	<ERAY> + 00C8$_H$	8, 16, 32
FlexRay CC ステータスベクタレジスタ	FLXA0FRCCSV	0010 4000$_H$	<ERAY> + 0100$_H$	8, 16, 32
FlexRay CC エラーベクタレジスタ	FLXA0FRCCEV	0000 0000$_H$	<ERAY> + 0104$_H$	8, 16, 32
FlexRay スロットカウンタ値レジスタ	FLXA0FRSCV	0000 0000$_H$	<ERAY> + 0110$_H$	8, 16, 32
FlexRay MT 値／サイクルカウンタ値レジスタ	FLXA0FRMTCCV	0000 0000$_H$	<ERAY> + 0114$_H$	8, 16, 32
FlexRay レート補正値レジスタ	FLXA0FRRCV	0000 0000$_H$	<ERAY> + 0118$_H$	8, 16, 32
FlexRay オフセット補正値レジスタ	FLXA0FROCV	0000 0000$_H$	<ERAY> + 011C$_H$	8, 16, 32
FlexRay Sync フレームステータスレジスタ	FLXA0FRSFS	0000 0000$_H$	<ERAY> + 0120$_H$	8, 16, 32
FlexRay シンボルウィンドウ／ NIT ステータスレジスタ	FLXA0FRSWNIT	0000 0000$_H$	<ERAY> + 0124$_H$	8, 16, 32
FlexRay チャネルステータス集計レジスタ	FLXA0FRACS	0000 0000$_H$	<ERAY> + 0128$_H$	8, 16, 32
FlexRay 偶数 Sync ID レジスタ n（n = 1 ～ 15）	FLXA0FRESIDn （n = 1 ～ 15）	0000 0000$_H$	<ERAY> + 0130$_H$ ～ <ERAY> + 0168$_H$ (<ERAY> + 0130$_H$ + (n-1) *4)	8, 16, 32
FlexRay 奇数 Sync ID レジスタ n（n = 1 ～ 15）	FLXA0FROSIDn （n = 1 ～ 15）	0000 0000$_H$	<ERAY> + 0170$_H$ ～ <ERAY> + 01A8$_H$ (<ERAY> + 0170$_H$ + (n-1) *4)	8, 16, 32
FlexRay ネットワーク管理ベクタレジスタ n（n = 1 ～ 3）	FLXA0FRNMVn （n = 1 ～ 3）	0000 0000$_H$	<ERAY> + 01B0$_H$ ～ <ERAY> + 01B8$_H$ (<ERAY> + 01B0$_H$ + (n-1) *4)	8, 16, 32
FlexRay メッセージ RAM 設定レジスタ	FLXA0FRMRC	0180 0000$_H$	<ERAY> + 0300$_H$	8, 16, 32
FlexRay FIFO リジェクションフィルタレジスタ	FLXA0FRFRF	0180 0000$_H$	<ERAY> + 0304$_H$	8, 16, 32
FlexRay FIFO リジェクションフィルタマスクレジスタ	FLXA0FRFRFM	0000 0000$_H$	<ERAY> + 0308$_H$	8, 16, 32
FlexRay FIFO クリティカルレベルレジスタ	FLXA0FRFCL	0000 0080$_H$	<ERAY> + 030C$_H$	8, 16, 32
FlexRay メッセージハンドラステータスレジスタ	FLXA0FRMHDS	0000 0080$_H$	<ERAY> + 0310$_H$	8, 16, 32
FlexRay 最終ダイナミック送信スロットレジスタ	FLXA0FRLDTS	0000 0000$_H$	<ERAY> + 0314$_H$	8, 16, 32
FlexRay FIFO ステータスレジスタ	FLXA0FRFSR	0000 0000$_H$	<ERAY> + 0318$_H$	8, 16, 32
FlexRay メッセージハンドラ制限フラグレジスタ	FLXA0FRMHDF	0000 0000$_H$	<ERAY> + 031C$_H$	8, 16, 32
FlexRay 送信要求レジスタ i（i = 1 ～ 4）	FLXA0FRTXRQi （i = 1 ～ 4）	0000 0000$_H$	<ERAY> + 0320$_H$ ～ <ERAY> + 032C$_H$ (<ERAY> + 0320$_H$ + (i - 1) *4)	8, 16, 32
FlexRay 新データレジスタ i （i = 1 ～ 4）	FLXA0FRNDATi （i = 1 ～ 4）	0000 0000$_H$	<ERAY> + 0330$_H$ ～ <ERAY> + 033C$_H$ (<ERAY> + 0330$_H$ + (i - 1) *4)	8, 16, 32

表 17.2 FlexRay レジスタマップ (3/3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
FlexRay メッセージバッファステータス変化レジスタ i （i = 1 ～ 4）	FLXA0FRMBSCi（i = 1 ～ 4）	0000 0000_H	<ERAY> + 0340_H ～ <ERAY> + $034C_H$ (<ERAY> + 0340_H + (i - 1) *4)	8, 16, 32
FlexRay データセクションライトレジスタ n（n = 1 ～ 64）	FLXA0FRWRDSn（n = 1 ～ 64）	0000 0000_H	<ERAY> + 0400_H ～ <ERAY> + $04FC_H$ (<ERAY> + 0400_H + (n - 1) *4)	8, 16, 32
FlexRay ヘッダセクションライトレジスタ 1	FLXA0FRWRHS1	0000 0000_H	<ERAY> + 0500_H	8, 16, 32
FlexRay ヘッダセクションライトレジスタ 2	FLXA0FRWRHS2	0000 0000_H	<ERAY> + 0504_H	8, 16, 32
FlexRay ヘッダセクションライトレジスタ 3	FLXA0FRWRHS3	0000 0000_H	<ERAY> + 0508_H	8, 16, 32
FlexRay 入力バッファコマンドマスクレジスタ	FLXA0FRIBCM	0000 0000_H	<ERAY> + 0510_H	8, 16, 32
FlexRay 入力バッファコマンド要求レジスタ	FLXA0FRIBCR	0000 0000_H	<ERAY> + 0514_H	8, 16, 32
FlexRay データセクションリードレジスタ n（n = 1 ～ 64）	FLXA0FRRDDSn（n = 1 ～ 64）	0000 0000_H	<ERAY> + 0600_H ～ <ERAY> + $06FC_H$ (<ERAY> + 0600_H + (n - 1) *4)	8, 16, 32
FlexRay ヘッダセクションリードレジスタ 1	FLXA0FRRDHS1	0000 0000_H	<ERAY> + 0700_H	8, 16, 32
FlexRay ヘッダセクションリードレジスタ 2	FLXA0FRRDHS2	0000 0000_H	<ERAY> + 0704_H	8, 16, 32
FlexRay ヘッダセクションリードレジスタ 3	FLXA0FRRDHS3	0000 0000_H	<ERAY> + 0708_H	8, 16, 32
FlexRay メッセージバッファステータスレジスタ	FLXA0FRMBS	0000 0000_H	<ERAY> + $070C_H$	8, 16, 32
FlexRay 出力バッファコマンドマスクレジスタ	FLXA0FROBCM	0000 0000_H	<ERAY> + 0710_H	8, 16, 32
FlexRay 出力バッファコマンド要求レジスタ	FLXA0FROBCR	0000 0000_H	<ERAY> + 0714_H	8, 16, 32
FlexRay 入力転送設定レジスタ	FLXA0FRITC	0000 0000_H	<ERAY> + 0800_H	8, 16, 32
FlexRay 出力転送設定レジスタ	FLXA0FROTC	0000 0000_H	<ERAY> + 0804_H	8, 16, 32
FlexRay 入力ポインタテーブルベースアドレスレジスタ	FLXA0FRIBA	0000 0000_H	<ERAY> + 0808_H	8, 16, 32
FlexRay FIFO ポインタテーブルベースアドレスレジスタ	FLXA0FRFBA	0000 0000_H	<ERAY> + $080C_H$	8, 16, 32
FlexRay 出力ポインタテーブルベースアドレスレジスタ	FLXA0FROBA	0000 0000_H	<ERAY> + 0810_H	8, 16, 32
FlexRay 入力キュー制御レジスタ	FLXA0FRIQC	0000 0000_H	<ERAY> + 0814_H	8, 16, 32
FlexRay ユーザ入力転送要求レジスタ	FLXA0FRUIR	0000 0000_H	<ERAY> + 0818_H	8, 16, 32
FlexRay ユーザ出力転送要求レジスタ	FLXA0FRUOR	0000 0000_H	<ERAY> + $081C_H$	8, 16, 32
FlexRay 入力転送ステータスレジスタ	FLXA0FRITS	0000 0000_H	<ERAY> + 0820_H	8, 16, 32
FlexRay 出力転送ステータスレジスタ	FLXA0FROTS	0000 0000_H	<ERAY> + 0824_H	8, 16, 32
FlexRay アクセスエラーステータスレジスタ	FLXA0FRAES	0000 0000_H	<ERAY> + 0828_H	8, 16, 32
FlexRay アクセスエラーアドレスレジスタ	FLXA0FRAEA	0000 0000_H	<ERAY> + $082C_H$	8, 16, 32
FlexRay メッセージデータ使用可能レジスタ i（i = 0 ～ 3）	FLXA0FRDAi（i = 0 ～ 3）	0000 0000_H	<ERAY> + 0830_H ～ <ERAY> + $083C_H$ (<ERAY> + 0830_H + i *4)	8, 16, 32
FlexRay H-Bus 設定レジスタ	FLXA0FRAHBC	0000 0000_H	<ERAY> + 0840_H	8, 16, 32
FlexRay タイマ 2 設定レジスタ	FLXA0FRT2C	0000 0000_H	<ERAY> + 0844_H	8, 16, 32

17.2.2 FlexRay 動作レジスタ

17.2.2.1 FLXA0FROC — FlexRay 動作制御レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> +0004_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	T2IE	T1IE	T0IE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OEP	—	—	—	—	—	BEC	OE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W

表 17.3 FLXA0FROC レジスタの内容

ビット位置	ビット名	機能
31 ～ 19	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
18	T2IE	タイマ 2 割り込み許可ビット 0：タイマ 2 割り込み禁止 1：タイマ 2 割り込み許可
17	T1IE	タイマ 1 割り込み許可ビット 0：タイマ 1 割り込み禁止 1：タイマ 1 割り込み許可
16	T0IE	タイマ 0 割り込み許可ビット 0：タイマ 0 割り込み禁止 1：タイマ 0 割り込み許可
15 ～ 8	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
7	OEP	動作許可ビット保護ビット 0：OE ビットは保護されていない 1：OE ビットは保護されている
6 ～ 2	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
1	BEC	バイトエンディアンコントロールビット 0：リトルエンディアン 1：ビッグエンディアン
0	OE	動作許可ビット 0：動作停止、SW リセット 1：動作許可

(1) FLXA0FROC.T2IE

タイマ2割り込み許可ビット

タイマ2割り込みを制御します。

0：禁止

割り込みは要求されず、タイマ2割り込み出力は開放されます。

1：許可

FLXA0FROTS.T2IS ビットが1の場合、タイマ2割り込みが発生します。

(2) FLXA0FROC.T1IE

タイマ1割り込み許可ビット

FlexRay ステータス割り込み許可レジスタのタイマ1割り込みビットが無効の場合（FLXA0FRSIES.TI1E が0）のみ、ユーザはこのビットを1にセットできます。

このビットはタイマ1割り込みを制御します。

0：禁止

割り込みは要求されず、タイマ1割り込み出力は開放されます。

1：許可

FLXA0FROTS.T1IS が1の場合、タイマ1割り込みが発生します。

(3) FLXA0FROC.T0IE

タイマ0割り込み許可ビット

FlexRay ステータス割り込み許可レジスタのタイマ0割り込みビットが無効の場合（FLXA0FRSIES.TI0E が0）のみ、ユーザはこのビットを1にセットできます。

このビットはタイマ0割り込みを制御します。

0：禁止

割り込みは要求されず、タイマ0割り込み出力は開放されます。

1：許可

FLXA0FROTS.T0IS が1の場合、タイマ0割り込みが発生します。

(4) FLXA0FROC.OEP

動作許可ビット保護ビット

このビットは OE ビットへの意図しない書き込みを保護するものです。

0：OE ビットはアンプロテクト状態

OE ビットへの書き込みは有効

1：OE ビットはプロテクト状態

OE ビットへの書き込みは禁止

(5) FLXA0FROC.BEC

バイトエンディアンコントロールビット

FLXA0FROS.OS が 1 の場合のみこのビットを変更することができます。

このビットは、FlexRay ネットワーク管理ベクタレジスタ（FLXA0FRNMVn）、FlexRay データセクションライトレジスタ（FLXA0FRWRDSn）、FlexRay データセクションリードレジスタ（FLXA0FRWRDSn）の読み出し／書き込みのバイト順を制御します。このビットは、データ転送機能を使用した FlexRay ペイロードデータの読み出し／書き込みのバイト順も制御します。

バイトアライメントの詳細については**「17.3.17 バイトアライメント」**を参照してください。

0: リトルエンディアン

FLXA0FRNMVn、FLXA0FRWRDSn、FLXA0FRRDDSn 内のバイトアライメントはリトルエンディアン方式

1: ビッグエンディアン

FLXA0FRNMVn、FLXA0FRWRDSn、FLXA0FRRDDSn 内のバイトアライメントはビッグエンディアン方式

(6) FLXA0FROC.OE

動作許可ビット

FLXA0FROC.OEP が 0 の場合のみこのビットに書き込み可能です。

FLXA0FROS.OS が 1 の場合のみこのビットに 0 を書き込んでください。

FLXA0FROS.OS が 0 で FlexRay サンプルクロックが有効な場合のみこのビットに 1 を書き込んでください。

このビットは動作状態を制御し、FlexRay モジュールのソフトウェアリセットを提供します。動作状態ビット（FLXA0FROS.OS）は、FlexRay モジュールがリセット状態かどうかを示します。

0：動作停止、SW リセット

FlexRay モジュールの状態にかかわらず、FlexRay モジュールは強制的にリセット状態になります。

1：動作許可

FlexRay モジュールのリセット状態は解除されています。

17.2.2.2 FLXA0FROS — FlexRay 動作ステータスレジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $000C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	T2IS	T1IS	T0IS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.4 FLXA0FROS レジスタの内容

ビット位置	ビット名	機能
31 ～ 19	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
18	T2IS	タイマ 2 割り込みステータスビット 0：タイマ 2 は FLXA0FRT2C レジスタに設定された状態と一致していない。 1：タイマ 2 は FLXA0FRT2C レジスタに設定された状態と一致した
17	T1IS	タイマ 1 割り込みステータスビット 0：タイマ 1 は FLXA0FRT1C レジスタに設定された状態と一致していない。 1：タイマ 1 は FLXA0FRT1C レジスタに設定された状態と一致した。
16	T0IS	タイマ 0 割り込みステータスビット 0：タイマ 0 は FLXA0FRT0C レジスタに設定された状態と一致していない。 1：タイマ 0 は FLXA0FRT0C レジスタに設定された状態と一致した。
15 ～ 1	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
0	OS	動作状態ビット 0：動作禁止、リセット状態 1：動作可能

(1) FLXA0FROS.T2IS

タイマ2割り込みステータスビット

このビットに0を書き込んでも無効です。

このビットは、タイマ2がFLXA0FRT2Cレジスタに設定された状態と一致したことを示します。

FLXA0FROC.T2IEが有効でFLXA0FROS.T2ISが1の場合、タイマ2割り込みが発生します。

[クリア条件]

FLXA0FROS.T2ISに1を書き込むと、このビットはクリアされます。

FLXA0FROS.OSが1から0に変化すると、このビットはクリアされます。

[セット条件]

FLXA0FRT2Cレジスタに設定された状態と一致すると、このビットはセットされます。

(2) FLXA0FROS.T1IS

タイマ1割り込みステータスビット

このビットに0を書き込んでも無効です。

このビットは、タイマ1がFLXA0FRT1Cレジスタに設定された状態と一致したことを示します。

FLXA0FROC.T1IEが有効でFLXA0FROS.T1ISが1の場合、タイマ1割り込みが発生します。

[クリア条件]

FLXA0FROS.T1ISに1を書き込むと、このビットはクリアされます。

FLXA0FROS.OSが1から0に変化すると、このビットはクリアされます。

[セット条件]

FLXA0FRT1Cレジスタに設定された状態と一致すると、このビットはセットされます。

(3) FLXA0FROS.T0IS

タイマ0割り込みステータスビット

このビットに0を書き込んでも無効です。

このビットは、タイマ0がFLXA0FRT0Cレジスタに設定された状態と一致したことを示します。

FLXA0FROC.T0IEが有効でFLXA0FROS.T0ISが1の場合、タイマ1割り込みが発生します。

[クリア条件]

FLXA0FROS.T0ISに1を書き込むと、このビットはクリアされます。

FLXA0FROS.OSが1から0に変化すると、このビットはクリアされます。

[セット条件]

FLXA0FRT0Cレジスタに設定された状態と一致すると、このビットはセットされます。

(4) FLXA0FROS.OS

動作状態ビット

このビットは FlexRay モジュールがリセット状態であるか動作状態であるかを示します。

FLXA0FROS.OS が 0 の場合、FlexRay モジュールは初期化され、アドレス範囲 ERAY + 0010_H から ERAY + $0FFF_H$ にマッピングされたレジスタをアクセスすることはできません。また、これらのレジスタを読み出すと未定義データを返します。

FLXA0FROS.OS が 1 の場合、アドレス範囲 ERAY + 0010_H から ERAY + $0FFF_H$ へのアクセスおよび FlexRay 通信の実行が可能です。

FLXA0FROS.OS が 0 から 1 へ変化すると、アドレス範囲 ERAY + 0010_H から ERAY + $0FFF_H$ 内のすべてのレジスタは " リセット後の値 " にセットされます。

[クリア条件]

FLXA0FROC.OE が 0 にセットされている場合、FLXA0FROS.OS が 0 にセットされるまで最大 2 周辺クロック必要です。

[セット条件]

FLXA0FROC.OE が 1 にセットされている場合、FLXA0FROS.OS が 1 にセットされるまで FlexRay サンプルクロックと周辺バスクロックのうち、より低い周波数をもつクロックの最大 4 周辺クロック必要です。

17.2.3 特殊レジスタ

17.2.3.1 FLXA0FRLCK — FlexRay ロックレジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $001C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CLK[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.5 FLXA0FRLCK レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
7 ～ 0	CLK[7:0]	設定ロックキービット

(1) FLXA0FRLCK.CLK

設定ロックキービット

ロックレジスタは書き込み専用です。リードすると $0000\ 0000_H$ が戻ります。

FLXA0FRSUCC1.CMD（READY コマンド）への書き込みによって CONFIG 状態から抜ける前に、設定ロックキービットに連続した 2 つの書き込み（ロック解除シーケンス）を行ってください。以下にその手順を示します。設定ロックキービットへの 2 番目の書き込みと FLXA0FRSUCC1 レジスタへの書き込みサイクルの間にほかのライトアクセスが発生した場合、CONFIG 状態のままなので、下記の手順を繰り返してください。

1 番目の書き込み：FLXA0FRLCK.CLK = “1100 1110”（CE_H）

2 番目の書き込み：FLXA0FRLCK.CLK = “0011 0001”（31_H）

3 番目の書き込み：FLXA0FRSUCC1.CMD

注 意

CPU が 8/16 ビットアクセスで上記のビットフィールドに書き込む場合、プログラマはコンパイラが残りのレジスタバイト／ワードにダミーアクセスしないように設定してください。

17.2.4 割り込み関連レジスタ

17.2.4.1 FLXA0FREIR — FlexRay エラー割り込みレジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

下記のいずれかのエラーが検出されると、フラグがセットされます。フラグは、クリアされるまでセットされたままです。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0020_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABB	LTVB	EDB	—	—	—	—	—	TABA	LTVA	EDA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHF	IOBA	IIBA	EFA	RFO	AERR	CCL	CCF	SFO	SFBM	CNA	PEMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.6 FLXA0FREIR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26	TABB	チャネル B 境界越え送信フラグ 0：チャネル B でスロット境界を越えた送信が未検出 1：チャネル B でスロット境界を越えた送信が検出
25	LTVB	チャネル B 最終送信違反フラグ 0：チャネル B で最終送信違反が未検出 1：チャネル B で最終送信違反が検出
24	EDB	チャネル B エラー検出フラグ 0：チャネル B でエラー未検出 1：チャネル B でエラー検出
23 ～ 19	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
18	TABA	チャネル A 境界越え送信フラグ 0：チャネル A でスロット境界を越えた送信が未検出 1：チャネル A でスロット境界を越えた送信が検出
17	LTVA	チャネル A 最終送信違反フラグ 0：チャネル A で最終送信違反が未検出 1：チャネル A で最終送信違反が検出
16	EDA	チャネル A エラー検出フラグ 0：チャネル A でエラー未検出 1：チャネル A でエラー検出
15 ～ 12	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
11	MHF	メッセージハンドラ制約フラグ 0：メッセージハンドラ制約違反なし 1：メッセージハンドラ制約違反発生
10	IOBA	出力バッファ不正アクセスフラグ 0：出力バッファへの不正 CPU アクセスなし 1：出力バッファへの不正 CPU アクセス発生

表 17.6 FLXA0FREIR レジスタの内容 (2/2)

ビット位置	ビット名	機能
9	IIBA	入力バッファ不正アクセスフラグ 0：入力バッファへの不正な CPU アクセスなし 1：入力バッファへの不正な CPU アクセス発生
8	EFA	エンプティ FIFO アクセスフラグ 0：エンプティ FIFO へのアクセスなし 1：エンプティ FIFO へのアクセスあり
7	RFO	受信 FIFO オーバランフラグ 0：受信 FIFO オーバラン未検出 1：受信 FIFO オーバラン発生
6	AERR	アクセスエラーフラグ 0：アクセスエラー未検出 1：アクセスエラー検出
5	CCL	CHI コマンドロックフラグ 0：CHI コマンド受け付け 1：CHI コマンド拒否
4	CCF	クロック補正エラーフラグ 0：クロック補正成功 1：クロック補正エラー
3	SFO	Sync フレーム数オーバフローフラグ 0：受信した Sync フレーム数が FLXA0FRGTUC2.SNM ビットの設定値以下 1：受信した Sync フレーム数が FLXA0FRGTUC2.SNM ビットの設定値を超過
2	SFBM	Sync フレーム数不足フラグ 0：Sync ノード：1 つ以上の Sync フレームを受信 非 Sync ノード：2 つ以上の Sync フレームを受信 1：受信した Sync フレーム数が規定の最小値未満
1	CNA	コマンド無効フラグ 0：CHI コマンド受け付け 1：CHI コマンド無効
0	PEMC	POC エラーモード変更フラグ 0：エラーモード未変更 1：エラーモード変更

(1) FLXA0FREIR.TABB

チャネル B 境界越え送信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャネル B においてスロット境界を越える送信が発生したことを示します。

(2) FLXA0FREIR.LTVB

チャネル B 最終送信違反フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャネル B 最終送信違反があったことを示します。

(3) FLXA0FREIR.EDB

チャネル B エラー検出フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXA0FRACS レジスタの SEDB、CEDB、CIB、SBVB ビットのいずれかが “0” から “1” になると “1” になります。

(4) FLXA0FREIR.TABA

チャネル A 境界越え送信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャネル A においてスロット境界を越える送信が発生したことを示します。

(5) FLXA0FREIR.LTVA

チャネル A 最終送信違反フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

チャネル A 最終送信違反があったことを示します。

(6) FLXA0FREIR.EDA

チャネル A エラー検出フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXA0FRACS レジスタの SEDA、CEDA、CIA、SBVA のいずれかが “0” から “1” になると “1” になります。

(7) FLXA0FREIR.MHF

メッセージハンドラ制約フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージハンドラ制約違反状態を示します。FLXA0FRMHDF レジスタの SNUA、SNUB、FNFA、FNFB、TBFA、TBFB、WAHP ビットのいずれかが “0” から “1” になると “1” になります。

(8) FLXA0FREIR.IOBA

出力バッファ不正アクセスフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXA0FROBCR レジスタの OBSYS ビットが “1” のとき、メッセージ RAM から出力バッファへ、メッセージバッファの転送要求が発生すると “1” になります。

(9) FLXA0FREIR.IIBA

入力バッファ不正アクセスフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

CPU が入力バッファ経由でメッセージバッファの変更を要求し、下記のいずれかの条件が発生したとき、“1” になります。

（1） CONFIG 状態または DEFAULT_CONFIG 状態以外で、CPU が以下の変更をするために、FlexRay 入力バッファコマンド要求レジスタに書き込んだ場合

- キースロットとして設定されているメッセージバッファ 0 または 1 のヘッダセクション
- FLXA0FRMRC レジスタの SEC ビットが “01” のとき、FDB ビットで設定したバッファ番号より小さいバッファ番号を持つスタティックメッセージバッファのヘッダセクション
- FLXA0FRMRC レジスタの SEC ビットが “1x” のとき、スタティックメッセージバッファまたはダイナミックメッセージバッファのヘッダセクション
- 受信 FIFO に属するメッセージバッファのヘッダおよび / またはデータセクション

（2） FLXA0FRIBCR レジスタの IBSYH ビットが “1” のとき、入力バッファ関連のレジスタに書き込んだ場合

(10) FLXA0FREIR.EFA

エンプティ FIFO アクセスフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

受信 FIFO がエンプティ状態のとき、CPU が出力バッファを通じて受信 FIFO からメッセージ転送を要求した場合、“1” になります。

(11) FLXA0FREIR.RFO

受信 FIFO オーバランフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

受信 FIFO オーバランを検出したとき “1” になります。受信 FIFO オーバランが発生すると、受信 FIFO 内の一番古いメッセージに新しいメッセージが上書きされます。FIFO の現在の状態は FLXA0FRFSR レジスタで読むことができます。

(12) FLXA0FREIR.AERR

アクセスエラーフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

アクセスエラーを通知します。

FLXA0FRMHDS レジスタの AMR ビット、ATBF1 ビットまたは ATBF2 ビットが “0” から “1” になると “1” になります。

(13) FLXA0FREIR.CCL

CHI コマンドロックフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前の CHI コマンドの実行が完了していないために、FLXA0FRSUCC1 レジスタの CMD ビットへの CHI コマンド書き込みが無効になったことを示します。このフラグが “1” になると同時に、CNA フラグも “1” になります。

(14) FLXA0FREIR.CCF

クロック補正エラーフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

下記のエラーのうちいずれかが発生した場合、コミュニケーションサイクルの最後で “1” になります。

- オフセットおよび／またはレート補正未満
- クロック補正制限値の超過

クロック補正の状態は FLXA0FRCCEV レジスタ、FLXA0FRSFS レジスタで読むことができます。このフラグはスタートアップ中に “1” なる可能性があるため、NORMAL_ACTIVE 状態に遷移後、このフラグを “0” にしてください。

(15) FLXA0FREIR.SFO

Sync フレーム数オーバフローフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のコミュニケーションサイクル中で受信した Sync フレーム数、または最後の 2 つのサイクルで受信した異なる Sync フレーム ID 数の総和が、FLXA0FRGTUC2 レジスタの SNM ビットで設定した Sync フレームの最大数を超過した場合、“1” になります。

(16) FLXA0FREIR.SFBM

Sync フレーム数不足フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のコミュニケーションサイクル中に受信した Sync フレーム数が、レートあるいはオフセット補正値で規定された最小値未満の場合（レートおよび／またはオフセット補正未満）、サイクルの最後で “1” になります。

クロック補正の状態は、FLXA0FRCCEV レジスタ、FLXA0FRSFS レジスタで読むことができます。

このフラグはスタートアップ中に “1” なる可能性があるため、NORMAL_ACTIVE 状態に遷移後このフラグを “0” にしてください。

(17) FLXA0FREIR.CNA

コマンド無効フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

要求したコマンドが、現状の POC 状態で無効だった、または CHI コマンドがロックされた（CCL = 1）ために、FLXA0FRSUCC1 レジスタの CMD ビットへのコマンドが無効だったことを示します。

(18) FLXA0FREIR.PEMC

POC エラーモード変更フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXA0FRCCEV レジスタの ERRM ビットで示されるエラーモードが変更されると “1” になります。

17.2.4.2 FLXA0FRSIR — FlexRay ステータス割り込みレジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

下記のいずれかのイベントを検出すると、フラグがセットされます。フラグは、クリアされるまでセットされたままです。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0024_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSB	WUPB	—	—	—	—	—	—	MTSA	WUPA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDS	MBSI	SUCS	SWE	TOBC	TIBC	TI1	TI0	NMVC	RFCL	RFNE	RXI	TXI	CYCS	CAS	WST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.7 FLXA0FRSIR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
25	MTSB	チャネル B MTS 受信フラグ（vSS!ValidMTSB） 0：チャネル B で MTS の受信なし 1：チャネル B で MTS を受信した
24	WUPB	チャネル B ウェイクアップパターン受信フラグ 0：チャネル B でウェイクアップパターンの受信なし 1：チャネル B でウェイクアップパターンを受信した
23 ～ 18	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
17	MTSA	チャネル A MTS 受信フラグ（vSS!ValidMTSA） 0：チャネル A で MTS の受信なし 1：チャネル A で MTS を受信した
16	WUPA	チャネル A ウェイクアップパターン受信フラグ 0：チャネル A でウェイクアップパターンの受信なし 1：チャネル A でウェイクアップパターンを受信した
15	SDS	ダイナミックセグメント開始フラグ 0：ダイナミックセグメント未開始 1：ダイナミックセグメント開始
14	MBSI	メッセージバッファステータス割り込みフラグ 0：MBI ビットが “1” のメッセージバッファのステータス変化なし 1：MBI ビットが “1” のメッセージバッファのステータスが 1 つ以上変化
13	SUCS	スタートアップ正常終了フラグ 0：スタートアップ未終了 1：スタートアップ正常終了
12	SWE	ストップウォッチイベントフラグ 0：ストップウォッチイベントなし 1：ストップウォッチイベントあり
11	TOBC	出力バッファ転送完了フラグ 0：転送未完了 1：メッセージ RAM から出力バッファへの転送完了

表 17.7 FLXA0FRSIR レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	TIBC	入力バッファ転送完了フラグ 0：転送未完了 1：入力バッファからメッセージ RAM への転送完了
9	TI1	タイマ 1 割り込みフラグ 0：タイマ 1 割り込みなし 1：タイマ 1 割り込み発生
8	TI0	タイマ 0 割り込みフラグ 0：タイマ 0 割り込みなし 1：タイマ 0 割り込み発生
7	NMVC	NM ベクタ変更フラグ 0：NM ベクタ変更なし 1：NM ベクタ変更された
6	RFCL	受信 FIFO クリティカルレベルフラグ 0：受信 FIFO 中のデータがクリティカルレベル未満 1：受信 FIFO 中のデータがクリティカルレベルに達した
5	RFNE	受信 FIFO データありフラグ 0：受信 FIFO にデータなし 1：受信 FIFO にデータあり
4	RXI	受信割り込みフラグ 0：MBI ビットが “1” の受信バッファの ND フラグが “1” に設定されていない 1：MBI ビットが “1” の受信バッファの ND フラグが “1” に設定されていた
3	TXI	送信割り込みフラグ 0：MBI ビットが 1 の送信バッファからフレーム送信なし 1：MBI ビットが 1 の送信バッファから 1 つ以上のフレームの送信あり
2	CYCS	サイクル開始割り込みフラグ 0：コミュニケーションサイクル開始せず 1：コミュニケーションサイクル開始
1	CAS	衝突回避シンボル受信フラグ 0：CAS シンボルと同じビットパターンを受信せず 1：CAS シンボルと同じビットパターンを受信
0	WST	ウェイクアップ状態変化フラグ 0：ウェイクアップ状態変化せず 1：ウェイクアップ状態変化

(1) FLXA0FRSIR.MTSB

チャネル B MTS 受信フラグ（vSS!ValidMTSB）

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のチャネル B シンボルウィンドウで Media Access Test Symbol（MTS）を受信したことを示します。シンボルウィンドウの最後でチャネルごとに更新されます。

(2) FLXA0FRSIR.WUPB

チャネル B ウェイクアップパターン受信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

以下のいずれかの状態の場合に、チャネル B でウェイクアップパターンを受信すると “1” になります。

- WAKEUP
- READY
- STARTUP

(3) FLXA0FRSIR.MTSA

チャネル A MTS 受信フラグ（vSS!ValidMTSA）

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

前のチャネル A シンボルウィンドウで Media Access Test Symbol（MTS）を受信したことを示します。シンボルウィンドウの最後でチャネルごとに更新されます。

(4) FLXA0FRSIR.WUPA

チャネル A ウェイクアップパターン受信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

以下のいずれかの状態の場合に、チャネル A でウェイクアップパターンを受信すると “1” になります。

- WAKEUP
- READY
- STARTUP

(5) FLXA0FRSIR.SDS

ダイナミックセグメント開始フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

ダイナミックセグメントが開始したときに “1” になります。

(6) FLXA0FRSIR.MBSI

メッセージバッファステータス割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

該当するメッセージバッファの MBI ビットが “1” のとき、メッセージバッファのステータス（FLXA0FRMBS）が変化すると、“1” になります。（**表 17.100** 参照）

(7) FLXA0FRSIR.SUCS

スタートアップ正常終了フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

スタートアップが正常に終了して、NORMAL_ACTIVE 状態に遷移したときに “1” になります。

(8) FLXA0FRSIR.SWE

ストップウォッチイベントフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

現在のサイクルカウンタ値と MT 値がストップウォッチレジスタに格納されたとき、ストップウォッチ有効化のあと、“1” になります。（**「17.2.5.4 FLXA0FRSTPW1 — FlexRay ストップウォッチレジスタ 1」**参照）

(9) FLXA0FRSIR.TOBC

出力バッファ転送完了フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージ RAM から出力バッファへの転送が完了して、FLXA0FROBCR レジスタの OBSYS ビットが、メッセージハンドラによりクリアされたときに “1” になります。

(10) FLXA0FRSIR.TIBC

入力バッファ転送完了フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージ RAM から入力バッファへの転送が完了して、FLXA0FRIBCR レジスタの IBSYS ビットが、メッセージハンドラによりクリアされたときに “1” になります。

(11) FLXA0FRSIR.TI1

タイマ 1 割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

タイマ 1 の値と FLXA0FRT1C レジスタの値が一致したときに “1” になります。

FLXA0FROC レジスタの T1IE ビットが有効の場合、FlexRay タイマ 1 割り込みが発生します。

(12) FLXA0FRSIR.TI0

タイマ 0 割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

タイマ 0 の値と FLXA0FRT0C レジスタの値が一致したときに “1” になります。

FLXA0FROC レジスタの T0IE ビットが有効の場合、FlexRay タイマ 0 割り込みが発生します。

(13) FLXA0FRSIR.NMVC

NM ベクタ変更フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

ネットワーク管理ベクタ（NM ベクタ）が変更されたとき、“1” になります。

(14) FLXA0FRSIR.RFCL

受信 FIFO クリティカルレベルフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXA0FRFSR レジスタの RFFL ビットで示される FIFO データ量が FLXA0FRFCL レジスタの CL ビットの設定値以上の場合 “1” になります。

(15) FLXA0FRSIR.RFNE

受信 FIFO データありフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

有効なフレームが受信 FIFO に格納されると “1” になります。現在の受信 FIFO の状態は FLXA0FRFSR レジスタで読むことができます。

(16) FLXA0FRSIR.RXI

受信割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

メッセージバッファの ND フラグの設定条件が満たされ（**「17.2.9.6 FLXA0FRNDATi — FlexRay 新データレジスタ i（i = 1 ～ 4）」**参照）、このとき、各メッセージバッファの MBI ビットが “1” に設定されると、“1” になります。（**表 17.100** 参照）

(17) FLXA0FRSIR.TXI

送信割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

各メッセージバッファの MBI ビットに “1” が設定されているとフレーム送信の最後に “1” になります。（**表 17.100** 参照）

(18) FLXA0FRSIR.CYCS

サイクル開始割り込みフラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

コミュニケーションサイクル開始ごとに “1” になります。

(19) FLXA0FRSIR.CAS

衝突回避シンボル受信フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

STARTUP 状態のとき CAS（または、予測される CAS）を受信すると “1” になります。

(20) FLXA0FRSIR.WST

ウェイクアップ状態変化フラグ

このビットに 0 を書き込んでも無効です。

このビットに 1 を書き込むとクリアされます。

FLXA0FRCCSV レジスタの WSV フラグが UNDEFINED 以外に変化すると “1” になります。

17.2.4.3 FLXA0FREILS — FlexRay エラー割り込み出力選択レジスタ

FlexRay エラー割り込み出力選択レジスタは、FLXA0FREIR レジスタの特定のエラー割り込みフラグで生成される割り込みを 2 つのモジュール割り込み出力（FlexRay0 割り込みあるいは FlexRay1 割り込み）のどちらかに割り当てます。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0028_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBL	LTVBL	EDBL	—	—	—	—	—	TABAL	LTVAL	EDAL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFL	IOBAL	IIBAL	EFAL	RFOL	AERRL	CCLL	CCFL	SFOL	SFBML	CNAL	PEMCL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.8 FLXA0FREILS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26	TABBL	チャネル B スロット境界越え送信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
25	LTVBL	チャネル B 最終送信違反割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
24	EDBL	チャネル B エラー検出割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
23 ～ 19	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
18	TABAL	チャネル A スロット境界越え送信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
17	LTVAL	チャネル A 最終送信違反割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
16	EDAL	チャネル A エラー検出割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
15 ～ 12	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
11	MHFL	メッセージハンドラ制限割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
10	IOBAL	出力バッファ不正アクセス割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
9	IIBAL	入力バッファ不正アクセス割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て

表 17.8 FLXA0FREILS レジスタの内容 (2/2)

ビット位置	ビット名	機能
8	EFAL	エンプティ FIFO アクセス割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
7	RFOL	受信 FIFO オーバラン割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
6	AERRL	アクセスエラー割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
5	CCLL	CHI コマンドロック割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
4	CCFL	クロック補正失敗割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
3	SFOL	Sync フレーム数オーバフロー割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
2	SFBML	Sync フレーム数不足割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
1	CNAL	コマンド無効割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
0	PEMCL	POC エラーモード変化割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て

17.2.4.4 FLXA0FRSILS — FlexRay ステータス割り込み出力選択レジスタ

FlexRay ステータス割り込み出力選択レジスタは、FLXA0FRSIR レジスタの特定のステータス割り込みフラグで生成される割り込みを 2 つのモジュール割り込み出力（FlexRay0 割り込みあるいは FlexRay1 割り込み）のどちらかに割り当てます。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $002C_H$

リセット後の値 $0303\ FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBL	WUPBL	—	—	—	—	—	—	MTSAL	WUPAL
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSL	MBSIL	SUCSL	SWEL	TOBCL	TIBCL	TI1L	TI0L	NMVCL	RFCLL	RFNEL	RXIL	TXIL	CYCSL	CASL	WSTL
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.9 FLXA0FRSILS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
25	MTSBL	チャネル B MTS 受信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
24	WUPBL	チャネル B ウェイクアップパターン受信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
23 ～ 18	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
17	MTSAL	チャネル A MTS 受信割り込み出力ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
16	WUPAL	チャネル A ウェイクアップパターン受信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
15	SDSL	ダイナミックセグメント開始割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
14	MBSIL	メッセージバッファステータス割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
13	SUCSL	スタートアップ正常終了割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
12	SWEL	ストップウォッチイベント割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
11	TOBCL	出力バッファ転送完了割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て

表 17.9 FLXA0FRSILS レジスタの内容 (2/2)

ビット位置	ビット名	機能
10	TIBCL	入力バッファ転送完了割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
9	TI1L	タイマ 1 割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
8	TI0L	タイマ 0 割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
7	NMVCL	NM ベクタ変化割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
6	RFCLL	受信 FIFO クリティカルレベル割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
5	RFNEL	受信 FIFO データあり割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
4	RXIL	受信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
3	TXIL	送信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
2	CYCSL	サイクル開始割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
1	CASL	衝突回避シンボル受信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
0	WSTL	ウェイクアップ状態変化割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て

17.2.4.5 FLXA0FREIES — FlexRay エラー割り込み許可レジスタ

FlexRay エラー割り込み許可レジスタ（FLXA0FREIES）および FlexRay エラー割り込み禁止レジスタ（FLXA0FREIER）では、FlexRay エラー割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXA0FREIES レジスタに書き込むことによって許可ビットをセットし、FLXA0FREIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがセットされます。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0030_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBE	LTVBE	EDBE	—	—	—	—	—	TABAE	LTVAE	EDAE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFE	IOBAE	IIBAE	EFAE	RFOE	AERRE	CCLE	CCFE	SFOE	SFBME	CNAE	PEMCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.10 FLXA0FREIES レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26	TABBE	チャネル B スロット境界送信違反割り込み許可ビット 0：割り込み禁止 1：割り込み許可
25	LTVBE	チャネル B 最終送信違反割り込み許可ビット 0：割り込み禁止 1：割り込み許可
24	EDBE	チャネル B エラー検出割り込み許可ビット 0：割り込み禁止 1：割り込み許可
23 ～ 19	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
18	TABAE	チャネル A スロット境界送信違反割り込み許可ビット 0：割り込み禁止 1：割り込み許可
17	LTVAE	チャネル A 最終送信違反割り込み許可ビット 0：割り込み禁止 1：割り込み許可
16	EDAE	チャネル A エラー検出割り込み許可ビット 0：割り込み禁止 1：割り込み許可
15 ～ 12	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。

表 17.10 FLXA0FREIES レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	MHFE	メッセージハンドラ制限割り込み許可ビット 0：割り込み禁止 1：割り込み許可
10	IOBAE	出力バッファ不正アクセス割り込み許可ビット 0：割り込み禁止 1：割り込み許可
9	IIBAE	入力バッファ不正アクセス割り込み許可ビット 0：割り込み禁止 1：割り込み許可
8	EFAE	エンプティ FIFO アクセス割り込み許可ビット 0：割り込み禁止 1：割り込み許可
7	RFOE	受信 FIFO オーバラン割り込み許可ビット 0：割り込み禁止 1：割り込み許可
6	AERRE	アクセスエラー割り込み許可ビット 0：割り込み禁止 1：割り込み許可
5	CCLE	CHI コマンドロック割り込み許可ビット 0：割り込み禁止 1：割り込み許可
4	CCFE	クロック補正失敗割り込み許可ビット 0：割り込み禁止 1：割り込み許可
3	SFOE	Sync フレーム数オーバフロー割り込み許可ビット 0：割り込み禁止 1：割り込み許可
2	SFBME	Sync フレーム数不足割り込み許可ビット 0：割り込み禁止 1：割り込み許可
1	CNAE	コマンド無効割り込み許可ビット 0：割り込み禁止 1：割り込み許可
0	PEMCE	POC エラーモード変化割り込み許可ビット 0：割り込み禁止 1：割り込み許可

17.2.4.6 FLXA0FREIER — FlexRay エラー割り込み禁止レジスタ

FlexRay エラー割り込み許可レジスタ（FLXA0FREIES）および FlexRay エラー割り込み禁止レジスタ（FLXA0FREIER）では、FlexRay エラー割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXA0FREIES レジスタに書き込むことによって許可ビットをセットし、FLXA0FREIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがクリアされます。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0034_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBD	LTVBD	EDBD	—	—	—	—	—	TABAD	LTVAD	EDAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFD	IOBAD	IIBAD	EFAD	RFOD	AERRD	CCLD	CCFD	SFOD	SFBMD	CNAD	PEMCD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.11 FLXA0FREIER レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26	TABBD	チャネル B スロット境界送信違反割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
25	LTVBD	チャネル B 最終送信違反割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
24	EDBD	チャネル B エラー検出割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
23 ～ 19	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
18	TABAD	チャネル A スロット境界送信違反割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
17	LTVAD	チャネル A 最終送信違反割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
16	EDAD	チャネル A エラー検出割り込み禁止ビット 0：割り込み禁止 1：割り込み禁止
15 ～ 12	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。

表 17.11 FLXA0FREIER レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	MHFD	メッセージハンドラ制限割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
10	IOBAD	出力バッファ不正アクセス割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
9	IIBAD	入力バッファ不正アクセス割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
8	EFAD	エンプティ FIFO アクセス割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
7	RFOD	受信 FIFO オーバラン割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
6	AERRD	アクセスエラー割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
5	CCLD	CHI コマンドロック割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
4	CCFD	クロック補正失敗割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
3	SFOD	Sync フレーム数オーバフロー割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
2	SFBMD	Sync フレーム数不足割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
1	CNAD	コマンド無効割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
0	PEMCD	POC エラーモード変化割り込み禁止ビット 0：割り込み禁止 1：割り込み許可

17.2.4.7 FLXA0FRSIES — FlexRay ステータス割り込み許可レジスタ

FlexRay ステータス割り込み許可レジスタ（FLXA0FRSIES）および FlexRay ステータス割り込み禁止レジスタ（FLXA0FRSIER）では、FlexRay ステータス割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXA0FRSIES レジスタに書き込むことによって許可ビットをセットし、FLXA0FRSIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがセットされます。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0038_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBE	WUPBE	—	—	—	—	—	—	MTSAE	WUPAE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSE	MBSIE	SUCSE	SWEE	TOBCE	TIBCE	TI1E	TI0E	NMVCE	RFCLE	RFNEE	RXIE	TXIE	CYCSE	CASE	WSTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.12 FLXA0FRSIES レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
25	MTSBE	チャネル B MTS 受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
24	WUPBE	チャネル B ウェイクアップパターン受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
23 ～ 18	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
17	MTSAE	チャネル A MTS 受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
16	WUPAE	チャネル A ウェイクアップパターン受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
15	SDSE	ダイナミックセグメント開始割り込み許可ビット 0：割り込み禁止 1：割り込み許可
14	MBSIE	メッセージバッファステータス割り込み許可ビット 0：割り込み禁止 1：割り込み許可
13	SUCSE	スタートアップ正常終了割り込み許可ビット 0：割り込み禁止 1：割り込み許可

表 17.12 FLXA0FRSIES レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	SWEE	ストップウォッチイベント割り込み許可ビット 0：割り込み禁止 1：割り込み許可
11	TOBCE	出力バッファ転送完了割り込み許可ビット 0：割り込み禁止 1：割り込み許可
10	TIBCE	入力バッファ転送完了割り込み許可ビット 0：割り込み禁止 1：割り込み許可
9	TI1E	タイマ 1 割り込み許可ビット 0：割り込み禁止 1：割り込み許可
8	TI0E	タイマ 0 割り込み許可ビット 0：割り込み禁止 1：割り込み許可
7	NMVCE	NM ベクタ変化割り込み許可ビット 0：割り込み禁止 1：割り込み許可
6	RFCLE	受信 FIFO クリティカルレベル割り込み許可ビット 0：割り込み禁止 1：割り込み許可
5	RFNEE	受信 FIFO データあり割り込み許可ビット 0：割り込み禁止 1：割り込み許可
4	RXIE	受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
3	TXIE	送信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
2	CYCSE	サイクル開始割り込み許可ビット 0：割り込み禁止 1：割り込み許可
1	CASE	衝突回避シンボル受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
0	WSTE	ウェイクアップ状態変化割り込み許可ビット 0：割り込み禁止 1：割り込み許可

17.2.4.8 FLXA0FRSIER — FlexRay ステータス割り込み禁止レジスタ

FlexRay ステータス割り込み許可レジスタ（FLXA0FRSIES）および FlexRay ステータス割り込み禁止レジスタ（FLXA0FRSIER）では、FlexRay ステータス割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXA0FRSIES レジスタに書き込むことによって許可ビットをセットし、FLXA0FRSIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0” を書き込んでも影響はありません。

“1” を書き込むと割り込み許可ビットがクリアされます。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $003C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBD	WUPBD	—	—	—	—	—	—	MTSAD	WUPAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSD	MBSID	SUCSD	SWED	TOBCD	TIBCD	TI1D	TI0D	NMVCD	RFCLD	RFNED	RXID	TXID	CYCSD	CASD	WSTD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.13 FLXA0FRSIER レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 26	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
25	MTSBD	チャネル B MTS 受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
24	WUPBD	チャネル B ウェイクアップパターン 受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
23 ～ 18	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
17	MTSAD	チャネル A MTS 受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
16	WUPAD	チャネル A ウェイクアップパターン 受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
15	SDSD	ダイナミックセグメント開始割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
14	MBSID	メッセージバッファステータス割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
13	SUCSD	スタートアップ正常終了割り込み禁止ビット 0：割り込み禁止 1：割り込み許可

表 17.13 FLXA0FRSIER レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	SWED	ストップウォッチイベント割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
11	TOBCD	出力バッファ転送完了割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
10	TIBCD	入力バッファ転送完了割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
9	TI1D	タイマ 1 割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
8	TI0D	タイマ 0 割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
7	NMVCD	NM ベクタ変化割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
6	RFCLD	受信 FIFO クリティカルレベル割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
5	RFNED	受信 FIFO データあり割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
4	RXID	受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
3	TXID	送信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
2	CYCSD	サイクル開始割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
1	CASD	衝突回避シンボル受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
0	WSTD	ウェイクアップ状態変化割り込み禁止ビット 0：割り込み禁止 1：割り込み許可

17.2.4.9 FLXA0FRILE — FlexRay 割り込み出力許可レジスタ

FlexRay0 割り込み要求および FlexRay1 割り込み要求の出力許可／禁止を FLXA0FRILE.EINT0、FLXA0FRILE.EINT1 ビットで設定します。

アクセス 8、16、32 ビット単位でリード／ ライト可能です。

アドレス <ERAY> + 0040_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EINT1	EINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 17.14 FLXA0FRILE レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
1	EINT1	FlexRay1 割り込み出力許可ビット 0：FlexRay 1 割り込み要求出力禁止 1：FlexRay 1 割り込み要求出力許可
0	EINT0	FlexRay0 割り込み出力許可ビット 0：FlexRay 0 割り込み要求出力禁止 1：FlexRay0 割り込み要求出力許可

17.2.5 FlexRay タイマレジスタ

17.2.5.1 FLXA0FRT0C — FlexRay タイマ 0 設定レジスタ

絶対値タイマです。タイマ 0 割り込みの発生タイミングをサイクルカウント値と MT 値で指定します。タイマ 0 が経過すると、FLXA0FRSIR レジスタの TI0 ビットおよび FLXA0FROS レジスタの T0IS ビットが “1” にセットされ、FLXA0FROC レジスタの T0IE ビットが有効の場合、タイマ 0 割り込みが発生します。

注 意

タイマ 0 の設定は、MT カウンタ値と比較されます。タイマ 0 用に独立したカウンタはありません。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0044_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T0MO[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	T0CC[6:0]							—	—	—	—	—	—	T0MS	T0RC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 17.15 FLXA0FRT0C レジスタの内容

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29 ～ 16	T0MO[13:0]	タイマ 0 MT オフセットビット タイマ 0 MT オフセット
15	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
14 ～ 8	T0CC[6:0]	タイマ 0 サイクルコードビット タイマ 0 サイクルコード
7 ～ 2	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
1	T0MS	タイマ 0 モード選択ビット 0：シングルショットモード 1：連続モード
0	T0RC	タイマ 0 制御ビット 0：タイマ 0 停止 1：タイマ 0 動作開始

(1) FLXA0FRT0C.T0MO

タイマ 0 MT オフセットビット

タイマの設定値を変更する場合は、FLXA0FRT0C レジスタの T0RC ビットに “0” を書き、タイマを停止させてから設定してください。

本ビットは、タイマ 0 割り込みを発生させるタイミングを、通信サイクルの開始位置からの MT オフセット値で設定します。タイマ 0 割り込みは、サイクルセットの各サイクルの設定したオフセット位置で発生します。

(2) FLXA0FRT0C.T0CC

タイマ 0 サイクルコードビット

タイマの設定値を変更する場合は、FLXA0FRT0C レジスタの T0RC ビットに “0” を書き、タイマを停止させてから設定してください。

タイマ 0 割り込みを発生させるサイクルセットを 7 ビットのタイマ 0 サイクルコードで設定します。詳細は**「17.3.8.2 サイクルカウンタフィルタリング」**を参照してください。

(3) FLXA0FRT0C.T0MS

タイマ 0 モード選択ビット

タイマの設定値を変更する場合は、FLXA0FRT0C レジスタの T0RC ビットに “0” を書き、タイマを停止させてから設定してください。

タイマの実行モードを設定します。シングルショットモードでは、タイマの設定がサイクルカウンタと MT 値の設定と一致した場合、タイマは停止状態になります。

(4) FLXA0FRT0C.T0RC

タイマ 0 制御ビット

タイマ 0 は、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ動作可能（FLXA0FRT0C レジスタの T0RC ビットに “1” をセット）です。

タイマ 0 は、NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、ほかの状態に遷移すると停止します。

17.2.5.2 FLXA0FRT1C — FlexRay タイマ 1 設定レジスタ

相対値タイマです。一定の MT 数が経過すると、タイマ 1 割り込みが発生します。タイマ 1 が経過すると、FLXA0FRSIR レジスタの TI1 ビットおよび FLXA0FROS レジスタの T1IS ビットに “1” がセットされ、FLXA0FROC レジスタの T1IE ビットが有効の場合、タイマ 1 割り込みが発生します。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0048_H

リセット後の値 $0002\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T1MC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	T1MS	T1RC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 17.16 FLXA0FRT1C レジスタの内容

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29 ～ 16	T1MC[13:0]	タイマ 1 MT カウントビット タイマ 1 MT カウント
15 ～ 2	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
1	T1MS	タイマ 1 モード選択ビット 0：シングルショットモード 1：連続モード
0	T1RC	タイマ 1 制御ビット 0：タイマ 1 停止 1：タイマ 1 動作開始

(1) FLXA0FRT1C.T1MC

タイマ1 MT カウントビット

タイマの設定値を変更する場合は、FLXA0FRT1C レジスタの T1RC ビットに “0” を書き、タイマを停止させてから設定してください。

連続モード時の有効値：2 ～ 16383 MT

シングルショットモード時の有効値：1 ～ 16383 MT

タイマ1の値が設定した MT カウント値になるとタイマ1割り込みが発生します。

(2) FLXA0FRT1C.T1MS

タイマ1モード選択ビット

タイマの設定値を変更する場合は、FLXA0FRT1C レジスタの T1RC ビットに “0” を書き、タイマを停止させてから設定してください。

タイマの実行モードを設定します。シングルショットモードでは、タイマの設定がサイクルカウンタと MT 値の設定と一致した場合、タイマは停止状態になります。

(3) FLXA0FRT1C.T1RC

タイマ1制御ビット

タイマ1は、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ動作可能（FLXA0FRT1C レジスタの T1RC ビットに “1” をセット）です。

タイマ1は、NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、ほかの状態に遷移すると停止します。

17.2.5.3 FLXA0FRT2C — FlexRay タイマ 2 設定レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0844_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T2MO[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	T2CC[6:0]							—	—	—	—	—	—	T2MS	T2RC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 17.17 FLXA0FRT2C レジスタの内容

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29 ～ 16	T2MO[13:0]	タイマ 2 MT オフセットビット タイマ 2 MT オフセット
15	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
14 ～ 8	T2CC[6:0]	タイマ 2 サイクルコードビット タイマ 2 サイクルコード
7 ～ 2	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
1	T2MS	タイマ 2 モード選択ビット 0：シングルショットモード 1：連続モード
0	T2RC	タイマ 2 制御ビット 0：タイマ 2 停止 1：タイマ 2 動作開始

(1) FLXA0FRT2C.T2MO

タイマ2 MT オフセットビット

タイマの設定値を変更する場合は、FLXA0FRT2C レジスタの T2RC ビットに “0” を書き、タイマを停止させてから設定してください。

本ビットは、タイマ2割り込みを発生させるタイミングを、通信サイクルの開始位置からの MT オフセット値で設定します。タイマ2割り込みは、サイクルセットの各サイクルの設定したオフセット位置で発生します。

(2) FLXA0FRT2C.T2CC

タイマ2サイクルコードビット

タイマの設定値を変更する場合は、FLXA0FRT2C レジスタの T2RC ビットに “0” を書き、タイマを停止させてから設定してください。

タイマ2割り込みを発生させるサイクルセットを7ビットのタイマ2サイクルコードで設定します。詳細は**「17.3.8.2 サイクルカウンタフィルタリング」**を参照してください。

(3) FLXA0FRT2C.T2MS

タイマ2モード選択ビット

タイマの設定値を変更する場合は、FLXA0FRT2C レジスタの T2RC ビットに “0” を書き、タイマを停止させてから設定してください。

タイマの実行モードを設定します。シングルショットモードでは、タイマの設定がサイクルカウンタと MT 値の設定と一致した場合、タイマは停止状態になります。

(4) FLXA0FRT2C.T2RC

タイマ2制御ビット

タイマ2は、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ動作可能（FLXA0FRT2C レジスタの T2RC ビットに “1” をセット）です。

タイマ2は、NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、他の状態に遷移すると停止します。

17.2.5.4 FLXA0FRSTPW1 — FlexRay ストップウォッチレジスタ 1

ストップウォッチタイマは、以下のトリガイベントにより起動します。

- FlexRay0 割り込み要求または FlexRay1 割り込み要求の発生
- FLXA0FRSTPW1.SSWT ビットへの “1” 書き込み

ストップウォッチが起動してから最初の MT カウンタのインクリメント発生時に、サイクルカウンタ値と MT 値が FLXA0FRSTPW1 レジスタに、チャネル A および B のスロットカウンタ値が FLXA0FRSTPW2 レジスタに取り込まれます。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $004C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SMTV[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SCCV[5:0]						—	EINT1	EINT0	—	SSWT	EDGE	SWMS	ESWT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W

表 17.18 FLXA0FRSTPW1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29 ～ 16	SMTV[13:0]	ストップウォッチイベント発生 MT 値ビット ストップウォッチイベント発生 MT 値
15、14	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
13 ～ 8	SCCV[5:0]	ストップウォッチイベント発生サイクルカウンタ値ビット ストップウォッチイベント発生サイクルカウンタ値
7	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
6	EINT1	FlexRay1 割り込みトリガ許可ビット 0：FlexRay1 割り込みによるトリガ禁止 1：FlexRay1 割り込みによるトリガ許可
5	EINT0	FlexRay0 割り込みトリガ許可ビット 0：FlexRay0 割り込みによるトリガ禁止 1：FlexRay0 割り込みによるトリガ許可
4	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
3	SSWT	ソフトウェアストップウォッチトリガビット 0：ソフトウェアトリガリセット 1：ストップウォッチトリガが起動

表 17.18 FLXA0FRSTPW1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	EDGE	ストップウォッチトリガエッジ選択ビット 0：立ち下がりエッジ 1：立ち上がりエッジ
1	SWMS	ストップウォッチモード選択ビット 0：シングルショットモード 1：連続モード
0	ESWT	ハードウェアストップウォッチトリガ許可ビット 0：ハードウェアトリガ禁止 1：ハードウェアトリガ許可

(1) FLXA0FRSTPW1.SMTV

ストップウォッチイベント発生 MT 値ビット

ストップウォッチイベント発生時の MT カウンタ値を示します。

(2) FLXA0FRSTPW1.SCCV

ストップウォッチイベント発生サイクルカウンタ値ビット

ストップウォッチイベント発生時のサイクルカウンタ値を示します。

(3) FLXA0FRSTPW1.EINT1

FlexRay1 割り込みトリガ許可ビット

FLXA0FRSTPW1 レジスタの ESWT ビットが “1” のときに FlexRay1 割り込みイベントをストップウォッチトリガとします。

(4) FLXA0FRSTPW1.EINT0

FlexRay0 割り込みトリガ許可ビット

FLXA0FRSTPW1 レジスタの ESWT ビットが “1” のときに FlexRay0 割り込みイベントをストップウォッチトリガとします。

(5) FLXA0FRSTPW1.SSWT

ソフトウェアストップウォッチトリガビット

FLXA0FRSTPW1 レジスタの ESWT ビットと SSWT ビットを同時に “1” にセットすることはできません。この場合、レジスタへの書き込みアクセスは無視され、両方のビットは前の値のままです。外部ストップウォッチトリガあるいはソフトウェアストップウォッチトリガのいずれかが使用されます。

このビットに “1” が書き込まれるとストップウォッチが起動します。このビットは、サイクルカウンタ値、スロットカウンタ値および MT 値が FlexRay ストップウォッチレジスタに設定されたあと、“0” になります。

(6) FLXA0FRSTPW1.EDGE

ストップウォッチトリガエッジ選択ビット

(7) FLXA0FRSTPW1.SWMS

ストップウォッチモード選択ビット

(8) FLXA0FRSTPW1.ESWT

ハードウェアストップウォッチトリガ許可ビット

FLXA0FRSTPW1 レジスタの ESWT ビットと SSWT ビットを同時に “1” にセットすることはできません。この場合、レジスタへの書き込みアクセスは無視され、両方のビットは前の値のままです。外部ストップウォッチトリガあるいはソフトウェアストップウォッチトリガのいずれかが使用されます。

本ビットが許可されると、FlexRay0 割り込みイベントか FlexRay1 割り込みイベントがストップウォッチを起動します。

シングルショットモード時、このビットは、サイクルカウンタ値、スロットカウンタ値および MT 値が FlexRay ストップウォッチレジスタに設定された後 “0” になります。

17.2.5.5 FLXA0FRSTPW2 — FlexRay ストップウォッチレジスタ 2

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0050_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SSCVB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SSCVA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.19 FLXA0FRSTPW2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26 ～ 16	SSCVB[10:0]	チャネル B ストップウォッチスロットカウンタ値ビット チャネル B ストップウォッチスロットカウンタ値
15 ～ 11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 0	SSCVA[10:0]	チャネル A ストップウォッチスロットカウンタ値ビット チャネル A ストップウォッチスロットカウンタ値

(1) FLXA0FRSTPW2.SSCVB

チャネル B ストップウォッチスロットカウンタ値ビット

ストップウォッチイベント発生時のチャネル B のスロットカウンタ値を示します。

(2) FLXA0FRSTPW2.SSCVA

チャネル A ストップウォッチスロットカウンタ値ビット

ストップウォッチイベント発生時のチャネル A のスロットカウンタ値を示します。

17.2.6 CC 制御レジスタ

ここでは、CPU が CC の動作を制御するためのレジスタについて説明します。FlexRay プロトコル仕様では、アプリケーション設定データの書き込みを CONFIG 状態でのみ行うよう規定しています。なお、各設定レジスタは DEFAULT_CONFIG 状態での書き換えからは保護されていないことに注意してください。

設定データは、リセット後に DEFAULT_CONFIG 状態に入るとクリアされます。POC の状態を DEFAULT_CONFIG 状態から CONFIG 状態に遷移させるには、CHI コマンドの CONFIG を使用します。CONFIG 状態から抜けるには、**「17.2.3.1 FLXA0FRLCK — FlexRay ロックレジスタ」**に記載のロック解除シーケンスを実行します。

17.2.6.1 FLXA0FRSUCC1 — FlexRay SUC 設定レジスタ 1

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0080_H

リセット後の値 $0C40\ 1080_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	CCHB	CCHA	MTSB	MTSA	HCSE	TSM	WUCS	PTA[4:0]				
リセット後の値	0	0	0	0	1	1	0	0	0	1	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSA[4:0]					—	TXSY	TXST	PBSY	—	—	—	CMD[3:0]			
リセット後の値	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 17.20 FLXA0FRSUCC1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 28	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
27	CCHB	チャネル B 接続設定ビット pChannels を設定します。 0：ノードをチャネル B に接続しない 1：ノードをチャネル B に接続する（リセット後のデフォルト値）
26	CCHA	チャネル A 接続設定ビット pChannels を設定します。 0：ノードをチャネル A に接続しない 1：ノードをチャネル A に接続する（リセット後のデフォルト値）
25	MTSB	チャネル B MTS 送信設定ビット 0：チャネル B で MTS シンボルを送信しない 1：チャネル B で MTS シンボルを送信する
24	MTSA	チャネル A MTS 送信設定ビット 0：チャネル A で MTS シンボルを送信しない 1：チャネル A で MTS シンボルを送信する
23	HCSE	クロック同期エラー時 HALT 遷移ビット pAllowHaltDueToClock を設定します。 0：NORMAL_PASSIVE 状態への遷移 / 状態維持 1：HALT 状態への遷移
22	TSM	送信スロットモード選択ビット pSingleSlotEnabled を設定します。 0：ALL スロットモード 1：SINGLE スロットモード（ハードウェアリセット後の初期値）

表 17.20 FLXA0FRSUCC1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
21	WUCS	ウェイクアップチャネル選択ビット pWakeupChannel を設定します。 0：チャネル A でウェイクアップパターンを送信する 1：チャネル B でウェイクアップパターンを送信する
20 ～ 16	PTA[4:0]	Passive-to-Active 遷移条件設定ビット pAllowPassiveToActive を設定します。
15 ～ 11	CSA[4:0]	Coldstart 試行回数設定ビット gColdStartAttempts を設定します。
10	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
9	TXSY	Sync フレームキースロット送信ビット pKeySlotUsedForSync を設定します。 0：キースロットで Sync フレームを送信しない（同期ノード、Coldstart ノード以外） 1：キースロットを Sync フレーム送信に使用（Sync ノード用）
8	TXST	Startup フレームキースロット送信ビット pKeySlotUsedForStartup を設定します。 0：キースロットで Startup フレームを送信しない（非 Coldstart ノード用） 1：キースロットを Startup フレーム送信に使用（Leading Coldstart ノードまたは Following Coldstart ノード用）
7	PBSY	POC ビジーフラグ 0：POC がビジーでない , FLXA0FRSUCC1.CMD ビットへの書き込み可能 1：POC がビジー、FLXA0FRSUCC1.CMD がロック状態
6 ～ 4	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
3 ～ 0	CMD[3:0]	CHI コマンドベクタビット 0000：無効コマンド 0001：CONFIG コマンド 0010：READY コマンド 0011：WAKEUP コマンド 0100：RUN コマンド 0101：ALL_SLOTS コマンド 0110：HALT コマンド 0111：FREEZE コマンド 1000：SEND_MTS コマンド 1001：ALLOW_COLDSTART コマンド 1010：RESET_STATUS_INDICATORS コマンド 1100：CLEAR_RAMS コマンド その他：リザーブ

(1) FLXA0FRSUCC1.CCHB

チャネル B 接続設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

ノードをチャネル B に接続するかどうかを設定します。（pChannels）

(2) FLXA0FRSUCC1.CCHA

チャネル A 接続設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

ノードをチャネル A に接続するかどうかを設定します。(pChannels)

(3) FLXA0FRSUCC1.MTSB

チャネル B MTS 送信設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

FLXA0FRSUCC1 レジスタの MTSB ビットは、FLXA0FRSUCC1 レジスタの設定ロックキービットでロックを解除する(**「17.2.3.1 FLXA0FRLCK — FlexRay ロックレジスタ」**参照)直前に設定した場合、DEFAULT_CONFIG 状態または CONFIG 状態以外でも変化する可能性があります。CHI コマンド SEND_MTS と連結可能です。MTSA ビットおよび MTSB ビットともに "1" の場合、FLXA0FRSUCC1.CMD に "1000" を設定すると両チャネルで MTS シンボルが送信されます。

チャネル B で MTS シンボルを送信するかどうかを設定します。

(4) FLXA0FRSUCC1.MTSA

チャネル A MTS 送信設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

FLXA0FRSUCC1 レジスタの MTSA ビットは、FLXA0FRSUCC1 レジスタの設定ロックキービットでロックを解除する(**「17.2.3.1 FLXA0FRLCK — FlexRay ロックレジスタ」**参照)直前に設定した場合、DEFAULT_CONFIG 状態または CONFIG 状態以外でも変化する可能性があります。CHI コマンド SEND_MTS と連結可能です。MTSA ビットおよび MTSB ビットともに "1" の場合、FLXA0FRSUCC1.CMD に "1000" を設定すると両チャネルで MTS シンボルが送信されます

チャネル A で MTS シンボルを送信するかどうかを設定します。

(5) FLXA0FRSUCC1.HCSE

クロック同期エラー時 HALT 遷移ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

同期クロックエラーによる HALT 状態への遷移を制御します。(pAllowHaltDueToClock)

(6) FLXA0FRSUCC1.TSM

送信スロットモード選択ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

送信スロットモードの初期値を設定します。(pSingleSlotEnabled)

SINGLE スロットモードでは事前に設定されたキースロットでのみ送信できます。キースロット ID は FLXA0FRMRC レジスタの SPLM ビットの設定にしたがい、メッセージバッファ 0、あるいはメッセージバッファ 0、1 両方の各ヘッダセクションで設定されます。

このビットが “1” のとき、メッセージバッファ 0、あるいはメッセージバッファ 0、1 両方は DEFAULT_CONFIG あるいは CONFIG 状態でのみ設定（または変更）できます。

ALL スロットモードでは、すべてのスロットで送信可能です。

このビットの設定は CPU からのみ可能です。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で FLXA0FRSUCC1.CMD ビットに “0101”（ALL_SLOTS コマンド）を設定すると SINGLE スロットモードから ALL スロットモードへ遷移します。現在の送信モードは FLXA0FRCCSV.SLM ビットで確認できます。

(7) FLXA0FRSUCC1.WUCS

ウェイクアップチャネル選択ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

ウェイクアップパターンの送信チャネルを選択します。（pWakeupChannel）

(8) FLXA0FRSUCC1.PTA

Passive-to-Active 遷移条件設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 31 偶数／奇数サイクルペア

CC が NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態へ遷移する条件となるクロック補正成功の回数を、連続する偶数 / 奇数サイクルペアの組数で設定します。（pAllowPassiveToActive）

“00000” に設定されている場合、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移はできません。

(9) FLXA0FRSUCC1.CSA

Coldstart 試行回数設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

クラスタ内の全ノードで同じ設定にしてください。

有効値：2 ～ 31

Coldstart のネットワークスタートアップで、ほかのノードから有効なレスポンスを受け取れない場合の Startup 試行回数の最大値を設定します。（gColdStartAttempts）

(10) FLXA0FRSUCC1.TXSY

Sync フレームキースロット送信ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

キースロットで Sync フレームを送信するかどうかを設定します。（pKeySlotUsedForSync）

注　意

プロトコル規定では、FLXA0FRSUCC1 レジスタの TXST と TXSY の両ビットは Coldstart ノード用に設定されています。

(11) FLXA0FRSUCC1.TXST

Startup フレームキースロット送信ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

キースロットで Startup フレームを送信するかどうか設定します。（pKeySlotUsedForStartup）

注 意

プロトコル規定では、FLXA0FRSUCC1 レジスタの TXST と TXSY の両ビットは Coldstart ノード用に設定されています。

(12) FLXA0FRSUCC1.PBSY

POC ビジーフラグ

POC がビジーでコマンドを受け付けられないことを示します。FLXA0FRSUCC1 レジスタの CMD ビットはライトアクセスに対してロックされます。

リセット後、内部 RAM の初期化中に “1” に設定されます。

(13) FLXA0FRSUCC1.CMD

CHI コマンドベクタビット

CHI コマンドベクタはいつでも書き込み可能ですが、一部のコマンドは特定の POC 状態でのみ有効です。コマンドが有効でない場合、そのコマンドは実行されず、CHI コマンドベクタ FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされ、FLXA0FREIR レジスタの CNA フラグが “1” になります。

なお、新しい CHI コマンドを書き込む前に、本レジスタの PBSY フラグをチェックする必要があります。

前の CHI コマンドが完了しなかった場合、FLXA0FREIR レジスタの CCL フラグと CNA フラグがともに “1” になります。この場合、CHI コマンドを繰り返してください。

HALT 状態を除く、ある POC 状態の間にそれと同じ状態への遷移コマンドを発行した場合、そのコマンドによる状態遷移は起きず、また、FLXA0FREIR レジスタの CNA フラグがセットされることもありません。

FLXA0FRSUCC1.CMD の読み出しは、受け付けられた最後の CHI コマンドを示します。実際の POC 状態は FLXA0FRCCSV.POCS でモニタされます。

- 無効コマンド
  下記のうち 1 つが該当した場合、FLXA0FRSUCC1.CMD は “0000” にクリアされます。
  - 不正なコマンドが発行された場合
  - 設定ロックキーを入力せずに CONFIG 状態から遷移するコマンドを発行した場合
  - 前のコマンド実行中に新しいコマンドが発行された場合
  - 無効コマンドが発行された場合

FLXA0FRSUCC1.CMD が “0000” にクリアされた場合、FLXA0FREIR レジスタの CNA フラグが “1” になり、割り込みが有効な場合は、割り込みが発生します。コマンドが無効な場合は、そのコマンドは実行されません。

CONFIG コマンド

DEFAULT_CONFIG 状態、READY 状態でこのコマンドを発行すると、CONFIG 状態に遷移します。HALT 状態で発行した場合、DEFAULT_CONFIG 状態に遷移します。ほかの状態で発行した場合は FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされます。

READY コマンド

CONFIG 状態、NORMAL_ACTIVE 状態、NORMAL_PASSIVE 状態、STARTUP 状態、WAKEUP 状態でこのコマンドを発行すると、READY 状態に遷移します。ほかの状態で発行したときは FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされます。

WAKEUP コマンド

READY 状態でこのコマンドを発行すると、WAKEUP 状態に遷移します。ほかの状態で発行したときは FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされます。

RUN コマンド

READY 状態でこのコマンドを発行すると、STARTUP 状態に遷移します。ほかの状態で発行したときは FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされます。

ALL_SLOTS コマンド

NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態でこのコマンドを発行すると、次のサイクルの終了時、スタートアップ／統合の成功後に、シングルスロットモードから ALL スロットモードに遷移します。ほかの状態で発行したときは、FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされます。

HALT コマンド

NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態でこのコマンドを発行すると、FLXA0FRCCSV レジスタの HRQ フラグ（HALT 要求ビット）が “1” にセットされ、次のサイクルの終了時に HALT 状態に遷移します。ほかの状態で発行したときは、FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされます。

FREEZE コマンド

このコマンドを発行すると、FLXA0FRCCSV レジスタの FSI フラグ（フリーズ状態インジケータ）が “1” にセットされて、ただちに HALT 状態に遷移します。これは、すべての状態で発行可能です。

SEND_MTS コマンド

ALL スロットモード（FLXA0FRCCSV:SLM=11）に設定したあとに NORMAL_ACTIVE 状態でこのコマンドを発行すると、次のシンボルウィンドウ中に FLXA0FRSUCC1 レジスタの MTSA、MTSB で設定したチャネル上に、シングル MTS シンボルを送信します。ほかの状態で発行したとき、または、前回要求した MTS シンボルがまだ未送信だったときには、FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされます。

ALLOW_COLDSTART コマンド

ノードの coldstart を有効にするために FLXA0FRCCSV レジスタの CSI フラグを “0” にクリアするコマンドです。DEFAULT_CONFIG 状態、CONFIG 状態、HALT 状態で発行すると、FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされます。また、coldstart を有効にするために FLXA0FRSUCC1 レジスタの TXST と TXSY の両方をセットしてください。

RESET_STATUS_INDICATORS コマンド

FLXA0FRCCSV レジスタの FSI、HRQ、CSNI および CSAI の全状態フラグを初期値にクリアするコマンドです。これは、READY 状態、または STARUP 状態で発行可能です。ほかの状態で発行すると、FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされます。

CLEAR_RAMS コマンド

DEFAULT_CONFIG 状態または CONFIG 状態でこのコマンドを発行すると、FLXA0FRMHDS レジスタの CRAM ビットが “1” になります。ほかの状態で発行すると、FLXA0FRSUCC1.CMD は “0000” = 無効コマンドにクリアされます。

リセット後も、FLXA0FRMHDS レジスタの CRAM ビットは “1” にセットされます。FLXA0FRMHDS レジスタの CRAM ビットを “1” に設定することで、すべての内部 RAM ブロックがゼロに初期化されます。RAM の初期化の間、PBSY は POC ビジーを示します。本コマンドの実行中は、設定レジスタおよび、ステータスレジスタへのアクセスが可能です。

内部 RAM ブロックの初期化は、周辺バスクロック 2048 サイクルを必要とします。リセット後、もしくは CLEAR_RAMS コマンドを有効にした後、内部 RAM ブロックの初期化中に入力バッファや出力バッファにアクセスしないでください。

CLEAR_RAMS コマンドを有効にする前に、メッセージ RAM と入力バッファ／出力バッファ 間もしくはメッセージ RAM とテンポラリバッファ RAM 間に何も転送されていないこと、およびデータ転送ハンドラが無効であること（FLXA0FRITS.ITS = “0” および FLXA0FROTS.OTS = “0”）を確認してください。本コマンドは、メッセージバッファ状態レジスタ（FLXA0FRMHDS、FLXA0FRLDTS、FLXA0FRFSR、FLXA0FRMHDF、FLXA0FRTXRQ1/2/3/4、FLXA0FRNDAT1/2/3/4、FLXA0FRMBSC1/2/3/4）をクリアします。

注　意

1. **CLEAR_RAMS と SEND_MTS を除くすべての許可コマンドは、最大で 8 サイクル後、FlexRay サンプルクロックドメインでの POC 状態に反映されます。サイクルカウントは、“ バスクロック ” と “FlexRay サンプルクロック ” のうち速度の遅い方のサイクルを適用します。これはコマンド適用時に POC がビジーでない、また、同タイムフレーム内で、バス動作による POC の状態変化がないことを前提とします。**
   FLXA0FRCCSV レジスタの読み出しは、FlexRay サンプルクロックドメインからバスクロックドメインへの同期時間分の追加遅延が発生します。追加遅延は最大 12 サイクルです。サイクルカウントは、“ バスクロック ” と “FlexRay サンプルクロック ” のうち速度の遅い方のサイクルを適用します。
2. **FREEZE コマンド または READY コマンドによって通信を停止した後に Leading Coldstart ノードとして再びスタートアップしたとき、FlexRay モジュールの内部状態によって、サイクル 0 で Startup フレームを送信しない場合があります。この現象は Startup フレームをスロット 1 ～スロット 7 のいずれかのスロットに設定している場合に発生します。**
   ハードウェアリセット後の ColdStart ではこの現象は発生しません。
   この現象が発生した場合においても、2 回目の ColdStart の試みは成功します。
   ColdStart 時間が長くなりますが、FlexRay システムの ColdStart はこの現象によって阻害されません。
   この現象を回避したい場合は、Startup/Sync フレームをスタティックスロット 8 以上のスタティックスロットに配置してください。

表 17.21 に、FlexRay プロトコル仕様書（セクション 2.2.1.1、表 2.2）の CHI コマンドと本モジュールの CHI コマンドベクタ FLXA0FRSUCC1.CMD の対応を示します。

表 17.21 FlexRay プロトコル仕様の CHI ホストコマンド対応表

CHI コマンド	コマンドを発行できる POC の状態	CHI コマンドベクタ CMD
ALL_SLOTS	POC:normal active, POC:normal passive	ALL_SLOTS
ALLOW_COLDSTART	POC:default config、POC:config、POC:halt 以外のすべて	ALLOW_COLDSTART
CONFIG	POC:default config, POC:ready	CONFIG
CONFIG_COMPLETE	POC:config	ロック解除シーケンス + READY
DEFAULT_CONFIG	POC:halt	CONFIG
FREEZE	すべての状態	FREEZE
HALT	POC:normal active, POC:normal passive	HALT
READY	POC:default config、POC:config、POC:ready、POC:halt 以外のすべて	READY
RUN	POC:ready	RUN
WAKEUP	POC:ready	WAKEUP

17.2.6.2 FLXA0FRSUCC2 — FlexRay SUC 設定レジスタ 2

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0084_H

リセット後の値 $0100\ 0504_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	LTN[3:0]				—	—	—	LT[20:16]				
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LT[15:0]															
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.22 FLXA0FRSUCC2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
27 ～ 24	LTN[3:0]	Listen タイムアウトノイズ値設定ビット （gListenNoise - 1）を設定
23 ～ 21	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
20 ～ 0	LT[20:0]	Listen タイムアウト値設定ビット pdListenTimeout を設定

(1) FLXA0FRSUCC2.LTN

Listen タイムアウトノイズ値設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 16

クラスタ内の全ノードで同じ設定にしてください。

ノイズがある状態でのウェイクアップ / スタートアップ時の Listen タイムアウト値の上限を Listen タイムアウト値の倍数で設定します。

注　意

ウェイクアップ / スタートアップノイズタイムアウト値は以下のように計算されます。

pdListenTimeout × gListenNoise = FLXA0FRSUCC2.LT ×（FLXA0FRSUCC2.LTN + 1）

(2) FLXA0FRSUCC2.LT

Listen タイムアウト値設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：1284 ～ 1283846μT

ウェイクアップ／スタートアップ時の Listen タイムアウト値を μT 単位で設定します。

17.2.6.3 FLXA0FRSUCC3 — FlexRay SUC 設定レジスタ 3

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0088_H

リセット後の値 $0000\ 0011_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WCF[3:0]				WCP[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.23 FLXA0FRSUCC3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
7 ～ 4	WCF[3:0]	クロック補正エラー回数設定ビット（HALT 状態への遷移条件） gMaxWithoutClockCorrectionFatal を設定
3 ～ 0	WCP[3:0]	クロック補正エラー回数設定ビット（NORMAL_PASSIVE 状態への遷移条件） gMaxWithoutClockCorrectionPassive を設定

(1) FLXA0FRSUCC3.WCF

クロック補正エラー回数設定ビット（HALT 状態への遷移条件）

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：1 ～ 15

クラスタ内の全ノードで同じ設定にしてください。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態から HALT 状態へ遷移する原因となるクロック補正失敗の回数を、連続する偶数／奇数サイクルペア数で設定します。

注 意

FLXA0FRSUCC1 レジスタの HCSE ビットがセットされていない場合、HALT 状態への遷移はできません。

(2) FLXA0FRSUCC3.WCP

クロック補正エラー回数設定ビット（NORMAL_PASSIVE 状態への遷移条件）

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：1 ～ 15

クラスタ内の全ノードで同じ設定にしてください。

NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態へ遷移する原因となるクロック補正失敗の回数を、連続する偶数／奇数サイクルペア数で設定します。

17.2.6.4 FLXA0FRNEMC — FlexRay NEM 設定レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $008C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	NML[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 17.24 FLXA0FRNEMC レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
3 ～ 0	NML[3:0]	ネットワーク管理ベクタ長設定ビット gNetworkManagementVectorLength を設定

(1) FLXA0FRNEMC.NML

ネットワーク管理ベクタ長設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 12 バイト

クラスタ内の全ノードで同じ設定にしてください。

ネットワーク管理ベクタ長をバイト単位で設定します。

17.2.6.5 FLXA0FRPRTC1 — FlexRay PRT 設定レジスタ 1

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0090_H

リセット後の値 $084C\ 0633_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RWP[5:0]						—	RXW[8:0]								
リセット後の値	0	0	0	0	1	0	0	0	0	1	0	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRP[1:0]		SPP[1:0]		—	CASM[6:0]							TSST[3:0]			
リセット後の値	0	0	0	0	0	1	1	0	0	0	1	1	0	0	1	1
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.25 FLXA0FRPRTC1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	RWP[5:0]	送信ウェイクアップパターン繰り返し回数設定ビット pWakeupPattern を設定
25	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
24 ～ 16	RXW[8:0]	ウェイクアップシンボル受信ウィンドウ幅設定ビット gdWakeupSymbolRxWindow を設定
15、14	BRP[1:0]	ボーレートプリスケーラ設定ビット gdSampleClockPeriod and pSamplesPerMicrotick を設定 00 = 10 Mbps 01 = 5 Mbps 10 = 2.5 Mbps 11 = 2.5 Mbps
13、12	SPP[1:0]	ストローブポイント位置設定ビット ストローブポイント位置設定 00 = サンプル 5 01 = サンプル 4 10 = サンプル 6 11 = サンプル 5
11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 4	CASM[6:0]	衝突回避シンボル最大長設定ビット gdCASRxLowMax を設定
3 ～ 0	TSST[3:0]	送信 TSS 長設定ビット gdTSSTransmitter を設定

(1) FLXA0FRPRTC1.RWP

送信ウェイクアップパターン繰り返し回数設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 63

送信ウェイクアップシンボルの繰り返し（シーケンス）回数を設定します。

(2) FLXA0FRPRTC1.RXW

ウェイクアップシンボル受信ウィンドウ幅設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：76 ～ 301

クラスタ内の全ノードで同じ設定にしてください。

ノードが受信したウェイクアップパターンを評価する期間をビットタイム数で設定します。

(3) FLXA0FRPRTC1.BRP

ボーレートプリスケーラ設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

FlexRay バスのボーレートを設定します。下記値はサンプルクロックが 80MHz の場合のみ有効です。設定されたボーレートに関係なく、1 ビット時間は常に 8 サンプルで構成されます。

00 = 10 MBit/s

gdSampleClockPeriod = 12.5 ns = 1 * ‘sample clock’

pSamplesPerMicrotick = 2 （1 μT = 25 ns）

01 = 5 MBit/s

gdSampleClockPeriod = 25 ns = 2 * ‘sample clock’

pSamplesPerMicrotick = 1 （1 μT = 25 ns）

10, 11 = 2.5 MBit/s

gdSampleClockPeriod = 50 ns = 4 * ‘sample clock’

pSamplesPerMicrotick = 1 （1 μT = 50 ns）

(4)FLXA0FRPRTC1.SPP

ストローブポイント位置設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

CC が受信ビットをストローブするサンプルカウンタの位置を設定します。
FLXA0FRPRTC1.SPP によって設定された回数分サンプリングを行い、それによって観測されたサンプル値の多数決判定によって、ビット値を決定します。

注 意

FlexRay 通信システムプロトコル仕様 v 2.1 では、FLXA0FRPRTC1.SPP は “00” に規定しています。その他の設定値は物理レイヤの不均衡を補正するために使用されます。

(5) FLXA0FRPRTC1.CASM

衝突回避シンボル最大長設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

CASM6 ビットは “1” 固定です。

有効値：67 ～ 99

衝突回避シンボル（CAS）の受信可能な最大許容長をビットタイムで設定します。

(6) FLXA0FRPRTC1.TSST

送信 TSS 長設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：3 ～ 15

クラスタ内の全ノードで同じ設定にしてください。

送信時の送信開始シーケンス（TSS）幅をビットタイムで設定します。（1 ビットタイム = 4 μT = 100ns @ 10Mbps）

17.2.6.6 FLXA0FRPRTC2 — FlexRay PRT 設定レジスタ 2

アクセス 8、16、32 ビット単位でリード／ ライト可能です。

アドレス <ERAY> + 0094_H

リセット後の値 $0F2D\ 0A0E_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	TXL[5:0]						TXI[7:0]							
リセット後の値	0	0	0	0	1	1	1	1	0	0	1	0	1	1	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RXL[5:0]						—	—	RXI[5:0]					
リセット後の値	0	0	0	0	1	0	1	0	0	0	0	0	1	1	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 17.26 FLXA0FRPRTC2 レジスタの内容

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29 ～ 24	TXL[5:0]	送信ウェイクアップシンボル Low 幅設定ビット gdWakeupSymbolTxLow を設定
23 ～ 16	TXI[7:0]	送信ウェイクアップシンボルアイドル幅設定ビット gdWakeupSymbolTxIdle を設定
15、14	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
13 ～ 8	RXL[5:0]	受信ウェイクアップシンボル Low 幅設定ビット gdWakeupSymbolRxLow を設定
7、6	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
5 ～ 0	RXI[5:0]	受信ウェイクアップシンボルアイドル幅設定ビット gdWakeupSymbolRxIdle を設定

(1) FLXA0FRPRTC2.TXL

送信ウェイクアップシンボル Low 幅設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：15 ～ 60

クラスタ内の全ノードで同じ設定にしてください。

ノードが送信するウェイクアップシンボルの “L” 幅をビットタイムで設定します。

(2) FLXA0FRPRTC2.TXI

送信ウェイクアップシンボルアイドル幅設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：45 ～ 180

クラスタ内の全ノードで同じ設定にしてください。

ノードが送信するウェイクアップシンボルのアイドル幅をビットタイムで設定します。

(3) FLXA0FRPRTC2.RXL

受信ウェイクアップシンボル Low 幅設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：10 ～ 55

クラスタ内の全ノードで同じ設定にしてください。

ノードが受信するウェイクアップシンボルの最小 “L” 幅をビットタイムで設定します。

(4) FLXA0FRPRTC2.RXI

受信ウェイクアップシンボルアイドル幅設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：14 ～ 59

クラスタ内の全ノードで同じ設定にしてください。

ノードが受信するウェイクアップシンボルの最小アイドル幅をビットタイムで設定します。

17.2.6.7 FLXA0FRMHDC — FlexRay MHD 設定レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0098_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SLT[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SFDL[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.27 FLXA0FRMHDC レジスタの内容

ビット位置	ビット名	機能
31 ～ 29	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
28 ～ 16	SLT[12:0]	最終送信開始位置設定ビット pLatestTx を設定
15 ～ 7	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
6 ～ 0	SFDL[6:0]	スタティックフレームデータ長設定ビット gPayloadLengthStatic を設定

(1) FLXA0FRMHDC.SLT

最終送信開始位置設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 7981

ダイナミックセグメント内で送信を開始できる最終の最大ミニスロット値を設定します。このビットが “0” の場合、ダイナミックセグメントでの送信はありません。

(2) FLXA0FRMHDC.SFDL

スタティックフレームデータ長設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 127

クラスタ内の全ノードで同じ設定にしてください。

スタティックセグメントで送信されるすべてのフレームについて、クラスタのペイロード長を 2 バイト単位で設定します。

17.2.6.8 FLXA0FRGTUC1 — FlexRay GTU 設定レジスタ 1

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00A0_H$

リセット後の値 $0000\ 0280_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	UT[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UT[15:0]															
リセット後の値	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.28 FLXA0FRGTUC1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
19 ～ 0	UT[19:0]	コミュニケーションサイクル μT 数設定ビット pMicroPerCycle を設定

(1) FLXA0FRGTUC1.UT

コミュニケーションサイクル μT 数設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：640 ～ 640000μT

コミュニケーションサイクル長を μT 単位で設定します。

17.2.6.9 FLXA0FRGTUC2 — FlexRay GTU 設定レジスタ 2

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00A4_H$

リセット後の値 $0002\ 000A_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	SNM[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MPC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.29 FLXA0FRGTUC2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
19 ～ 16	SNM[3:0]	最大 Sync ノード数設定ビット
15 ～ 14	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
13 ～ 0	MPC[13:0]	コミュニケーションサイクル MT 数設定ビット gMacroPerCycle を設定

(1) FLXA0FRGTUC2.SNM

最大 Sync ノード数設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 15

クラスタ内の全ノードで同じ設定にしてください。

Sync フレームインジケータ SYN に “1” がセットされたフレームの最大数を設定します。

(2) FLXA0FRGTUC2.MPC

コミュニケーションサイクル MT 数設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：10 ～ 16000MT

クラスタ内の全ノードで同じ設定にしてください。

コミュニケーションサイクル長を MT 単位で設定します。

17.2.6.10 FLXA0FRGTUC3 — FlexRay GTU 設定レジスタ 3

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00A8_H$

リセット後の値 $0202\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MIOB[6:0]							—	MIOA[6:0]						
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UIOB[7:0]								UIOA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.30 FLXA0FRGTUC3 レジスタの内容

ビット位置	ビット名	機能
31	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
30 ～ 24	MIOB[6:0]	チャネル B MT 初期オフセット設定ビット pMacroInitialOffset[B] を設定
23	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
22 ～ 16	MIOA[6:0]	チャネル A MT 初期オフセット設定ビット pMacroInitialOffset[A] を設定
15 ～ 8	UIOB[7:0]	チャネル B µT 初期オフセット設定ビット pMicroInitialOffset[B] を設定
7 ～ 0	UIOA[7:0]	チャネル A µT 初期オフセット設定ビット pMicroInitialOffset[A] を設定

(1) FLXA0FRGTUC3.MIOB

チャネル B MT 初期オフセット設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 72MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロット境界からセカンダリ TRP（time reference point）直後の MT 境界までの MT 数を公称 MT 長ベースで設定します。

(2) FLXA0FRGTUC3.MIOA

チャネル A MT 初期オフセット設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 72MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロット境界からセカンダリ TRP 直後の MT 境界までの MT 数を公称 MT 長ベースで設定します。

(3) FLXA0FRGTUC3.UIOB

チャネル B μT 初期オフセット設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 240μT

チャネル B のセカンダリ TRP から直後の MT 境界までの時間を μT 単位で設定します。パラメータは FLXA0FRGTUC5 レジスタの pDelayCompensation[B] の設定値に依存しますので、チャネルごとに設定する必要があります。

(4) FLXA0FRGTUC3.UIOA

チャネル A μT 初期オフセット設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 240μT

チャネル A のセカンダリ TRP（time reference point）から直後の MT 境界までの時間を μT 単位で設定します。パラメータは FLXA0FRGTUC5 レジスタの pDelayCompensation[A] の設定値に依存しますので、チャネルごとに設定する必要があります。

17.2.6.11 FLXA0FRGTUC4 — FlexRay GTU 設定レジスタ 4

FLXA0FRGTUC4 レジスタの NIT ビットおよび FLXA0FRGTUC4 レジスタの OCS ビットの設定については、**「17.3.2.5 NIT 開始位置設定、オフセット補正開始位置の設定」**を参照してください。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00AC_H$

リセット後の値 $0008\ 0007_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	OCS[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	NIT[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.31 FLXA0FRGTUC4 レジスタの内容

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29 ～ 16	OCS[13:0]	オフセット補正開始位置設定ビット （gOffsetCorrectionStart - 1）を設定
15、14	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
13 ～ 0	NIT[13:0]	NIT 開始位置設定ビット （gMacroPerCycle - gdNIT - 1）を設定

(1) FLXA0FRGTUC4.OCS

オフセット補正開始位置設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：8 ～ 15998 MT

E-Ray のみで構成されているクラスタについては、FLXA0FRGTUC4.OCS = FLXA0FRGTUC4.NIT + 1 とプログラムすることで十分です。

クラスタ内の全ノードで同じ設定にしてください。

NIT フェーズ内でのオフセット補正の開始位置をコミュニケーションサイクルの先頭から数えて計算します。

(2) FLXA0FRGTUC4.NIT

NIT 開始位置設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：7 ～ 15997MT

クラスタ内の全ノードで同じ設定にしてください。

NIT（Network Idle Time）の開始位置をコミュニケーションサイクルの先頭からの MT 数で設定します。MT 値が gMacroPerCycle -gdNIT -1 と一致し、MT のインクリメントパルスがセットされたとき NIT の開始位置と認識されます。

17.2.6.12 FLXA0FRGTUC5 — FlexRay GTU 設定レジスタ 5

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00B0_H$

リセット後の値 $0E00\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEC[7:0]								—	—	—	CDD[4:0]				
リセット後の値	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCB[7:0]								DCA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.32 FLXA0FRGTUC5 レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	DEC[7:0]	デコード補正ビット pDecodingCorrection を設定
23 ～ 21	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
20 ～ 16	CDD[4:0]	クラスタドリフトダンピング値設定ビット pClusterDriftDamping を設定
15 ～ 8	DCB[7:0]	チャネル B 遅延補正値設定ビット pDelayCompensation[B] を設定
7 ～ 0	DCA[7:0]	チャネル A 遅延補正値設定ビット pDelayCompensation[A] を設定

(1) FLXA0FRGTUC5.DEC

デコード補正ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：14 ～ 143μT

プライマリ TRP（time reference point）を決定するために使用するデコード補正値を μT 単位で設定します。

(2) FLXA0FRGTUC5.CDD

クラスタドリフトダンピング値設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 20μT

クロック同期において、丸め誤差の蓄積を最小限にするために使用するクラスタドリフトダンピング値を μT 単位で設定します。

(3) FLXA0FRGTUC5.DCB

チャネル B 遅延補正値設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 200μT

チャネル B での受信遅延の補正に使用します。このビットは 0.0125 ～ 0.05μs の範囲の μT に対し、最大 cPropagationDelayMax までの想定される伝播遅延をカバーします。実際には、全 Sync ノードの最小伝播遅延値を適用してください。

(4) FLXA0FRGTUC5.DCA

チャネル A 遅延補正値設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 200μT

チャネル A での受信遅延の補正に使用します。このビットは 0.0125 ～ 0.05μs の範囲の μT に対し、最大 cPropagationDelayMax までの想定される伝播遅延をカバーします。実際には、全 Sync ノードの最小伝播遅延値を適用してください。

17.2.6.13 FLXA0FRGTUC6 — FlexRay GTU 設定レジスタ 6

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00B4_H$

リセット後の値 $0002\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MOD[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ASR[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.33 FLXA0FRGTUC6 レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26 ～ 16	MOD[10:0]	最大発振偏移設定ビット pdMaxDrift を設定
15 ～ 11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 0	ASR[10:0]	許容 Startup 範囲設定ビット pdAcceptedStartupRange を設定

(1) FLXA0FRGTUC6.MOD

最大発振偏移設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 1923μT

異なるクロックで動作している二つのノード間における 1 コミュニケーションサイクル間での最大偏移量を μT 単位で設定します。

(2) FLXA0FRGTUC6.ASR

許容 Startup 範囲設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 1875μT

統合中の Startup フレームの許容誤差範囲を拡張して μT 単位で設定します。

17.2.6.14 FLXA0FRGTUC7 — FlexRay GTU 設定レジスタ 7

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00B8_H$

リセット後の値 $0002\ 0004_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NSS[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SSL[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.34 FLXA0FRGTUC7 レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
25 ～ 16	NSS[9:0]	スタティックスロット数設定ビット gNumberOfStaticSlots を設定
15 ～ 10	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
9 ～ 0	SSL[9:0]	スタティックスロット長設定ビット gdStaticSlot を設定

(1) FLXA0FRGTUC7.NSS

スタティックスロット数設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 1023

クラスタ内の全ノードで同じ設定にしてください。

1 サイクル当たりのスタティックスロット数を設定します。

(2) FLXA0FRGTUC7.SSL

スタティックスロット長設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：4 ～ 659MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロット長を MT 単位で設定します。

17.2.6.15 FLXA0FRGTUC8 — FlexRay GTU 設定レジスタ 8

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00BC_H$

リセット後の値 $0000\ 0002_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	NMS[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	MSL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 17.35 FLXA0FRGTUC8 レジスタの内容

ビット位置	ビット名	機能
31 ～ 29	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
28 ～ 16	NMS[12:0]	ミニスロット数設定ビット gNumberOfMinislots を設定
15 ～ 6	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
5 ～ 0	MSL[5:0]	ミニスロット長設定ビット gdMinislot を設定

(1) FLXA0FRGTUC8.NMS

ミニスロット数設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 7986

クラスタ内の全ノードで同じ設定にしてください。

1 サイクル中のダイナミックセグメント内のミニスロット数を設定します。

(2) FLXA0FRGTUC8.MSL

ミニスロット長設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 63MT

クラスタ内の全ノードで同じ設定にしてください。

ミニスロット長を MT 単位で設定します。

17.2.6.16 FLXA0FRGTUC9 — FlexRay GTU 設定レジスタ 9

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00C0_H$

リセット後の値 $0000\ 0101_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DSI[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MAPO[4:0]					—	—	APO[5:0]					
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 17.36 FLXA0FRGTUC9 レジスタの内容

ビット位置	ビット名	機能
31 ～ 18	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
17、16	DSI[1:0]	ダイナミックスロットアイドルフェーズ設定ビット gdDynamicSlotIdlePhase を設定
15 ～ 13	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
12 ～ 8	MAPO[4:0]	ミニスロットアクションポイントオフセット設定ビット gdMinislotActionPointOffset を設定
7、6	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
5 ～ 0	APO[5:0]	アクションポイントオフセット設定ビット gdActionPointOffset を設定

(1) FLXA0FRGTUC9.DSI

ダイナミックスロットアイドルフェーズ設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 2

クラスタ内の全ノードで同じ設定にしてください。

ダイナミックスロットアイドルフェーズ時間をミニスロット数で設定します。アイドル検出時間以上に設定してください。

(2) FLXA0FRGTUC9.MAPO

ミニスロットアクションポイントオフセット設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：1 ～ 31MT

クラスタ内の全ノードで同じ設定にしてください。

ダイナミックセグメントのミニスロット内のアクションポイントの位置を MT 単位で設定します。

(3) FLXA0FRGTUC9.APO

アクションポイントオフセット設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：1 ～ 63MT

クラスタ内の全ノードで同じ設定にしてください。

スタティックスロットおよびシンボルウィンドウ内のアクションポイントの位置を MT 単位で設定します。

17.2.6.17 FLXA0FRGTUC10 — FlexRay GTU 設定レジスタ 10

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00C4_H$

リセット後の値 $0002\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MOC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.37 FLXA0FRGTUC10 レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26 ～ 16	MRC[10:0]	最大レート補正値設定ビット pRateCorrectionOut を設定
15 ～ 14	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
13 ～ 0	MOC[13:0]	最大オフセット補正値設定ビット pOffsetCorrectionOut を設定

(1) FLXA0FRGTUC10.MRC

最大レート補正値設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2 ～ 1923μT

内部クロック同期アルゴリズムで使用されるレート補正値の最大許容値を設定します。CC は最大レート補正値（絶対値）と内部レート補正値を比較確認します。

(2) FLXA0FRGTUC10.MOC

最大オフセット補正値設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：5 ～ 15266μT

内部クロック同期アルゴリズム（絶対値）で使用されるオフセット補正値の最大許容値（絶対値）を設定します。CC は最大オフセット補正値と内部オフセット補正値を比較確認します。

17.2.6.18 FLXA0FRGTUC11 — FlexRay GTU 設定レジスタ 11

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $00C8_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ERC[2:0]			—	—	—	—	—	EOC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ERCC[1:0]		—	—	—	—	—	—	EOCC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 17.38 FLXA0FRGTUC11 レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26 ～ 24	ERC[2:0]	外部レート補正値設定ビット pExternRateCorrection を設定
23 ～ 19	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
18 ～ 16	EOC[2:0]	外部オフセット補正値設定ビット pExternOffsetCorrection を設定
15 ～ 10	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
9、8	ERCC[1:0]	外部レート補正制御ビット vExternRateControl を設定 00：外部レート補正禁止 01：外部レート補正禁止 10：減算 11：加算
7 ～ 2	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
1、0	EOCC[1:0]	外部オフセット補正制御ビット vExternOffsetControl 00：外部オフセット補正禁止 01：外部オフセット補正禁止 10：減算 11：加算

(1) FLXA0FRGTUC11.ERC

外部レート補正値設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 7μT

内部クロック同期アルゴリズムで使用される外部レート補正値を μT 単位で設定します。値は計算されたレート補正値から減算または加算されます。設定値は NIT 期間に使用されます。

(2) FLXA0FRGTUC11.EOC

外部オフセット補正値設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0 ～ 7μT

内部クロック同期アルゴリズムで使用される外部オフセット補正値を μT 単位で設定します。値は計算されたオフセット補正値から減算または加算されます。設定値は NIT 期間に使用されます。

(3) FLXA0FRGTUC11.ERCC

外部レート補正制御ビット

設定変更は NIT（ネットワークアイドル時間）以外で行ってください。

下記の値を FLXA0FRGTUC11 レジスタの ERCC ビットに書き込むと、外部レート補正が有効になります。

00 = 外部レート補正禁止

01 = 外部レート補正禁止

10 = 減算

計算されたレート補正値－外部レート補正値

11= 加算

計算されたレート補正値＋外部レート補正値

(4) FLXA0FRGTUC11.EOCC

外部オフセット補正制御ビット

設定変更は NIT（ネットワークアイドル時間）以外で行ってください。

下記の値を FLXA0FRGTUC11 レジスタの EOCC ビットに書き込むと、外部オフセット補正が有効になります。

00 ＝ 外部オフセット補正禁止

01 ＝外部オフセット補正禁止

10 ＝減算

計算されたオフセット補正値－外部オフセット補正値

11 ＝加算

計算されたオフセット補正値＋外部オフセット補正値

17.2.7 CC ステータスレジスタ

8/16 ビットを超えるステータス変数に対して 8/16 ビットアクセスを行った場合、2 回のアクセス（非アトミックなリードアクセス）の間に CC によって変数が更新される可能性があります。

17.2.7.1 FLXA0FRCCSV — FlexRay CC ステータスベクタレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0100_H

リセット後の値 $0010\ 4000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	PSL[5:0]						RCA[4:0]					WSV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CSI	CSAI	CSNI	—	—	SLM[1:0]		HRQ	FSI	POCS[5:0]					
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.39 FLXA0FRCCSV レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29 ～ 24	PSL[5:0]	POC 状態ログフラグ HALT 状態へ遷移する直前の FLXA0FRCCSV レジスタの POCS ビットの値が設定されます。
23 ～ 19	RCA[4:0]	Coldstart 試行残数フラグ vRemainingColdstartAttempts を表示
18 ～ 16	WSV[2:0]	ウェイクアップ状態フラグ vPOC!WakeupStatus を表示
15	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
14	CSI	Coldstart 禁止フラグ vColdStartInhibit を表示 0：ノードの Coldstart 許可 1：ノードの Coldstart 禁止
13	CSAI	Coldstart アボート表示フラグ
12	CSNI	Coldstart ノイズ表示フラグ vPOC!ColdstartNoise を表示
11、10	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
9、8	SLM[1:0]	スロットモードフラグ vPOC!SlotMode を表示 00：SINGLE 01：リザーブ 10：ALL_PENDING 11：ALL

表 17.39 FLXA0FRCCSV レジスタの内容 (2/2)

ビット位置	ビット名	機能
7	HRQ	HALT 要求フラグ vPOC!CHIHaltRequest を表示
6	FSI	フリーズ状態フラグ vPOC!Freeze を表示
5 ～ 0	POCS[5:0]	POC 状態フラグ

(1) FLXA0FRCCSV.PSL

POC 状態ログフラグ

HALT 状態へ遷移する直前の FLXA0FRCCSV レジスタの POCS ビットの値が設定されます。

HALT 状態時に FREEZE コマンドが受け付けられ、かつ、FSI フラグがまだ “1” にセットされていない、つまり、FREEZE コマンドにより HALT 状態に到達していない場合は、HALT が設定されます。

HALT 状態から抜けると、“000000_B” になります。

(2) FLXA0FRCCSV.RCA

Coldstart 試行残数フラグ

Coldstart の試行回数の残数（vRemainingColdstartAttempts）を表示します。

CONFIG 状態および DEFAULT_CONFIG 状態時の FLXA0FRCCSV レジスタの RCA ビットの初期値は、FLXA0FRSUCC1 レジスタの CSA ビットの値になります。

RUN コマンドにより、FLXA0FRSUCC1 レジスタの CSA ビットで設定した Coldstart の試行回数の最大値に初期化されます。

(3) FLXA0FRCCSV.WSV

ウェイクアップ状態フラグ

現在のウェイクアップ試行状態（vPOC!WakeupStatus）を示します

CHI コマンドの RESET_STATUS_INDICATORS、または、DEFAULT_CONFIG 状態から CONFIG 状態への遷移でより、ウェイクアップ状態になると、“0” になります。

000 = UNDEFINED 状態

CC によるウェイクアップが実行されていない状態です。

001 = RECEIVED_HEADER 状態

WAKEUP_LISTEN 状態において、いずれのチャネル上にもコード違反が生じることなくフレームヘッダが受信され、CC がウェイクアップを終了すると、終了時に本状態が設定されます。

010 = RECEIVED_WUP 状態

WAKEUP_LISTEN 状態において、指定のウェイクアップチャネル上の有効なウェイクアップパターンが受信され、CC がウェイクアップを終了すると、終了時に本状態が設定されます。

011 = COLLISION_HEADER 状態

ウェイクアップパターン送信中に、いずれかのチャネル上の有効なヘッダが受信されたことにより衝突が検出され、CC がウェイクアップを停止すると、停止時に本状態が設定されます。

100 = COLLISION_WUP 状態

ウェイクアップパターン送信中に、指定のウェイクアップチャネル上の有効なウェイクアップパターンが受信されたことにより衝突が検出され、CC がウェイクアップを停止すると、停止時に本状態が設定されます。

101 = COLLISION_UNKNOWN 状態

有効なウェイクアップパターンおよび有効なフレームヘッダのいずれも受信されないまま、ウェイクアップタイマが終了して WAKEUP_DETECT 状態から遷移し、CC がウェイクアップを停止すると、停止時に本状態が設定されます。

110 = TRANSMITTED 状態

CC がウェイクアップパターンを正常に終了した場合、終了時に本状態が設定されます。

111 = リザーブ

(4) FLXA0FRCCSV.CSI

Coldstart 禁止フラグ

Coldstart が許可されている状態かどうかを示します。（vColdStartInhibit）

POC が CHI コマンドにより READY 状態に遷移したときは常に “1” になります。

“0” にするときは CHI コマンドの ALLOW_COLDSTART コマンドを発行（FLXA0FRSUCC1.CMD ビットに “1001” を設定）してください。

(5) FLXA0FRCCSV.CSAI

Coldstart アボート表示フラグ

Coldstart が中止されたことを示します。

CHI コマンドの RESET_STATUS_INDICATORS、HALT 状態から DEFAULT_CONFIG 状態への遷移、または READY 状態から STARTUP 状態への遷移により “0” になります。

(6) FLXA0FRCCSV.CSNI

Coldstart ノイズ表示フラグ

Coldstart 処理がノイズの多い条件化で発生したことを示します。（vPOC!ColdstartNoise）

CHI コマンドの RESET_STATUS_INDICATORS、HALT 状態から DEFAULT_CONFIG 状態への遷移、または READY 状態から STARTUP 状態への遷移により “0” になります。

(7) FLXA0FRCCSV.SLM

スロットモードフラグ

READY 状態、WAKEUP 状態、STARTUP 状態、NORMAL_ACTIVE 状態、または NORMAL_PASSIVE 状態のときの、POC のスロットモード（vPOC!SlotMode）を示します。

デフォルトは SINGLE です。ALL に変化するかどうかは FLXA0FRSUCC1.TSM ビットの値に依存します。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態のときに CHI コマンドの ALL_SLOT コマンドを設定すると、SINGLE から ALL_PENDING を経て ALL になります。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態以外は FLXA0FRSUCC1.TSM ビットを SINGLE スロットモードに設定してください。

(8) FLXA0FRCCSV.HRQ

HALT 要求フラグ

コミュニケーションサイクルの終了時に HALT 状態に遷移するように CPU から要求されたことを示します。（vPOC!CHIHaltRequest）

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに “0” になります。

(9) FLXA0FRCCSV.FSI

フリーズ状態フラグ

CHI コマンド、FREEZE（CMD = 0111）の設定、または HALT 状態への遷移が必要なエラーが発生したため、HALT 状態へ遷移したことを示します（vPOC!Freeze）。

HALT 状態から DEFAULT_CONFIG 状態への遷移により “0” になります。

(10) FLXA0FRCCSV.POCS

POC 状態フラグ

現在の POC の実行状態を表示します。

00 0000 = DEFAULT_CONFIG 状態

00 0001 = READY 状態

00 0010 = NORMAL_ACTIVE 状態

00 0011 = NORMAL_PASSIVE 状態

00 0100 = HALT 状態

00 0110 ～ 00 1110 = リザーブ

00 1111 = CONFIG 状態

ウェイクアップ処理における現在の POC 状態を表示します。

01 0000 = WAKEUP_STANDBY 状態

01 0001 = WAKEUP_LISTEN 状態

01 0010 = WAKEUP_SEND 状態

01 0011 = WAKEUP_DETECT 状態

スタートアップ処理における現在の POC 状態を表示します。

10 0000 = STARTUP_PREPARE 状態

10 0001 = COLDSTART_LISTEN 状態

10 0010 = COLDSTART_COLLISION_RESOLUTION 状態

10 0011 = COLDSTART_CONSISTENCY_CHECK 状態

10 0100 = COLDSTART_GAP 状態

10 0101 = COLDSTART_JOIN 状態

10 0110 = INTEGRATION_COLDSTART_CHECK 状態

10 0111 = INTEGRATION_LISTEN 状態

10 1000 = INTEGRATION_CONSISTENCY_CHECK 状態

10 1001 = INITIALIZE_SCHEDULE 状態

10 1010 = ABORT_STARTUP 状態

10 1011 = STARTUP_SUCCESS 状態

その他 = リザーブ

17.2.7.2 FLXA0FRCCEV — FlexRay CC エラーベクタレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0104_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PTAC[4:0]					ERRM[1:0]		—	—	CCFC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.40 FLXA0FRCCEV レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
12 ～ 8	PTAC[4:0]	Passive-to-Active カウンタ vAllowPassiveToActive を示します。
7、6	ERRM[1:0]	エラーモードフラグ vPOC!ErrorMode を示します。 00：ACTIVE 01：PASSIVE 10：COMM_HALT 11：リザーブ
5、4	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
3 ～ 0	CCFC[3:0]	クロック補正失敗カウンタ vClockCorrectionFailed を示します。

(1) FLXA0FRCCEV.PTAC

Passive-to-Active カウンタ

ノードが NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移を待っている間に、有効なレート／オフセット補正量で通過した連続する偶数／奇数サイクルペアの組数を表示します。FLXA0FRSUCC1.PTA で設定した値 -1 と FLXA0FRCCEV.PTAC ビットの値が一致したとき、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態へ遷移します。

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに “0” になります。

(2) FLXA0FRCCEV.ERRM

エラーモードフラグ

POC の現在のエラーモードを示します。（vPOC!ErrorMode）

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに “0” になります。

(3) FLXA0FRCCEV.CCFC

クロック補正失敗カウンタ

POC のクロック補正失敗カウンタの値 （vClockCorrectionFailed）を表示します。

オフセット補正欠落エラーまたはレート補正欠落エラーを検出した場合、奇数コミュニケーションサイクル終了時にインクリメントされます。

オフセット補正欠落エラーとレート補正欠落エラーのどちらも検出されていない場合、奇数コミュニケーションサイクル終了時に “0” になります。

クロック補正失敗カウンタは 15 までカウントすると停止します。

HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに “0” になります。

17.2.7.3 FLXA0FRSCV — FlexRay スロットカウンタ値レジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0110_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SCCB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCCA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.41 FLXA0FRSCV レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26 ～ 16	SCCB[10:0]	チャネル B スロットカウンタ vSlotCounter[B] を表示します。
15 ～ 11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 0	SCCA[10:0]	チャネル A スロットカウンタ vSlotCounter[A] を表示します。

(1) FLXA0FRSCV.SCCB

チャネル B スロットカウンタ

チャネル B の現在のスロットカウンタ値（vSlotCounter[B]）を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXA0FRSCV.SCCA

チャネル A スロットカウンタ

チャネル A の現在のスロットカウンタ値（vSlotCounter[A]）を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

17.2.7.4 FLXA0FRMTCCV — FlexRay MT 値／サイクルカウンタ値レジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0114_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	CCV[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MTV[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.42 FLXA0FRMTCCV レジスタの内容

ビット位置	ビット名	機能
31 ～ 22	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
21 ～ 16	CCV[5:0]	サイクルカウンタ値 vCycleCounter を表示します。
15 ～ 14	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
13 ～ 0	MTV[13:0]	MT 値 vMacrotick を表示します。

(1) FLXA0FRMTCCV.CCV

サイクルカウンタ値

現在のサイクルカウンタ値（vCycleCounter）を表示します。値はコミュニケーションサイクルの開始時に CC によってインクリメントされます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXA0FRMTCCV.MTV

MT 値

現在の MT 値（vMacrotick）を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

17.2.7.5 FLXA0FRRCV — FlexRay レート補正値レジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0118_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RCV[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.43 FLXA0FRRCV レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
11 ～ 0	RCV[11:0]	レート補正値フラグ vRateCorrection を表示します。

(1) FLXA0FRRCV.RCV

レート補正値フラグ

範囲制限前の内部レート補正値（vRateCorrection/ 2 の補数）を示します。
FLXA0FRRCV.RCV の値が FLXA0FRGTUC10.MRC で設定した範囲を超えた場合は、
FLXA0FRSFS.RCLR フラグが “1” になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

注 意

外部レート補正値には、この値を範囲制限した値が加算されます。

17.2.7.6 FLXA0FROCV — FlexRay オフセット補正値レジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + $011C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	OCV[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.44 FLXA0FROCV レジスタの内容

ビット位置	ビット名	機能
31 ～ 19	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
18 ～ 0	OCV[18:0]	オフセット補正値フラグ vOffsetCorrection を表示します。

(1) FLXA0FROCV.OCV

オフセット補正値フラグ

範囲制限前の内部オフセット補正値を 2 の補数で表示します。FLXA0FROCV.OCV の値が FLXA0FRGTUC10.MOC で設定した範囲を超えた場合は、FLXA0FRSFS.OCLR フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

注 意

外部オフセット補正値には、この値を範囲制限した値が加算されます。

17.2.7.7 FLXA0FRSFS — FlexRay Sync フレームステータスレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0120_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RCLR	MRCS	OCLR	MOCS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSBO[3:0]				VSBE[3:0]				VSAO[3:0]				VSAE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.45 FLXA0FRSFS レジスタの内容

ビット位置	ビット名	機能
31 ～ 20	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
19	RCLR	レート補正値制限到達フラグ 0：レート補正値が制限値未満 1：レート補正値が制限値に到達
18	MRCS	レート補正欠落フラグ 0：レート補正有効 1：レート補正欠落
17	OCLR	オフセット補正値制限到達フラグ 0：オフセット補正値が制限値未満 1：オフセット補正値が制限値に到達
16	MOCS	オフセット補正欠落フラグ 0：オフセット補正有効 1：オフセット補正欠落
15 ～ 12	VSBO[3:0]	チャネル B 有効 Sync フレーム、奇数コミュニケーションサイクル
11 ～ 8	VSBE[3:0]	チャネル B 有効 Sync フレーム、偶数コミュニケーションサイクル
7 ～ 4	VSAO[3:0]	チャネル A 有効 Sync フレーム、奇数コミュニケーションサイクル
3 ～ 0	VSAE[3:0]	チャネル A 有効 Sync フレーム、偶数コミュニケーションサイクル

(1) FLXA0FRSFS.RCLR

レート補正値制限到達フラグ

レート補正値が FLXA0FRGTUC10 レジスタの MRC10 ～ MRC0 ビットで設定した制限範囲を超えたことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(2) FLXA0FRSFS.MRCS

レート補正欠落フラグ

レート補正欠落フラグは、一対の偶数／奇数 Sync フレームが受信されなかったためにレート補正を実行できなかったことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(3) FLXA0FRSFS.OCLR

オフセット補正値制限到達フラグ

オフセット補正値が FLXA0FRGTUC10 レジスタの MOC ビットで設定した制限範囲を超えたことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(4) FLXA0FRSFS.MOCS

オフセット補正欠落フラグ

オフセット補正欠落フラグは、Sync フレームが受信されなかったためにオフセット補正を実行できなかったことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(5) FLXA0FRSFS.VSBO

チャネル B 有効 Sync フレーム、奇数コミュニケーションサイクル

FLXA0FRSUCC1 レジスタの CCHB ビットが “1” のとき有効です。

奇数コミュニケーションサイクル中にチャネル B で受信した有効な Sync フレーム数を表示します。FLXA0FRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は奇数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(6) FLXA0FRSFS.VSBE

チャネル B 有効 Sync フレーム、偶数コミュニケーションサイクル

FLXA0FRSUCC1 レジスタの CCHB ビットが “1” のとき有効です。

偶数コミュニケーションサイクル中にチャネル B で受信した有効な Sync フレーム数を表示します。FLXA0FRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は偶数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(7) FLXA0FRSFS.VSAO

チャネル A 有効 Sync フレーム、奇数コミュニケーションサイクル

FLXA0FRSUCC1 レジスタの CCHA ビットが “1” のとき有効です。

奇数コミュニケーションサイクル中にチャネル A で受信した有効な Sync フレーム数を表示します。FLXA0FRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は奇数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(8) FLXA0FRSFS.VSAE

チャネル A 有効 Sync フレーム、偶数コミュニケーションサイクル

FLXA0FRSUCC1 レジスタの CCHA ビットが “1” のとき有効です。

偶数コミュニケーションサイクル中にチャネル A で受信した有効な Sync フレーム数を表示します。FLXA0FRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は偶数コミュニケーションサイクルの NIT の期間中に更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

17.2.7.8 FLXA0FRSWNIT — FlexRay シンボルウィンドウ／ NIT ステータスレジスタ

シンボルウィンドウ関連のステータスを示します。各チャネルのシンボルウィンドウの最後で CC によって更新されます。ステータス情報に関する NIT は各チャネルの NIT の最後で CC によって更新されます。

スタートアップ中は更新されません。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0124_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SBNB	SENB	SBNA	SENA	MTSB	MTSA	TCSB	SBSB	SESB	TCSA	SBSA	SESA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.46 FLXA0FRSWNIT レジスタの内容 (1/2)

ビット位置	ビット	機能
31 ～ 12	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
11	SBNB	チャネル B NIT 内スロット境界違反検出フラグ 0：スロット境界違反検出なし 1：チャネル B で NIT 内スロット境界違反検出
10	SENB	チャネル B NIT 内シンタックスエラー検出フラグ 0：シンタックスエラー検出なし 1：チャネル B で NIT 内シンタックスエラー検出
9	SBNA	チャネル A NIT 内スロット境界違反検出フラグ 0：スロット境界違反検出なし 1：チャネル A で NIT 内スロット境界違反検出
8	SENA	チャネル A NIT 内シンタックスエラー検出フラグ 0：シンタックスエラー検出なし 1：チャネル A で NIT 内シンタックスエラー検出
7	MTSB	チャネル B MTS 受信フラグ 0：チャネル B で MTS シンボル受信なし 1：チャネル B で MTS シンボル受信
6	MTSA	チャネル A MTS 受信フラグ 0：チャネル A で MTS シンボル受信なし 1：チャネル A で MTS シンボル受信
5	TCSB	チャネル B シンボルウィンドウ内送信競合検出フラグ 0：送信競合検出なし 1：チャネル B でシンボルウィンドウ内送信競合検出
4	SBSB	チャネル B シンボルウィンドウ内スロット境界違反検出フラグ 0：スロット境界違反検出なし 1：チャネル B でシンボルウィンドウ内スロット境界違反検出
3	SESB	チャネル B シンボルウィンドウ内シンタックスエラー検出フラグ 0：シンタックスエラー検出なし 1：チャネル B でシンボルウィンドウ内シンタックスエラー検出

表 17.46 FLXA0FRSWNIT レジスタの内容 (2/2)

ビット位置	ビット	機能
2	TCSA	チャネル A シンボルウィンドウ内送信競合検出フラグ 0：送信競合検出なし 1：チャネル A でシンボルウィンドウ内送信競合検出
1	SBSA	チャネル A シンボルウィンドウ内スロット境界違反検出フラグ 0：スロット境界違反検出なし 1：チャネル A でシンボルウィンドウ内スロット境界違反検出
0	SESA	チャネル A シンボルウィンドウ内シンタックスエラー検出フラグ 0：シンタックスエラー検出なし 1：チャネル A でシンボルウィンドウ内シンタックスエラー検出

(1) FLXA0FRSWNIT.SBNB

チャネル B NIT 内スロット境界違反検出フラグ（vSS!BViolationB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXA0FRSWNIT.SENB

チャネル B NIT 内シンタックスエラー検出フラグ （vSS!SyntaxErrorB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXA0FRSWNIT.SBNA

チャネル A NIT 内スロット境界違反検出フラグ（vSS!BViolationA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(4) FLXA0FRSWNIT.SENA

チャネル A NIT 内シンタックスエラー検出フラグ（vSS!SyntaxErrorA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(5) FLXA0FRSWNIT.MTSB

チャネル B MTS 受信フラグ（vSS!ValidMTSB）を表示します。

直前のシンボルウィンドウ区間内で MTS シンボル（Media Access Test Symbol）をチャネル B で受信したことを示します。各チャネルのシンボルウィンドウの最後で CC により更新されます。

このビットが “1” になると、FLXA0FRSIR レジスタの MTSB ビットも “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(6) FLXA0FRSWNIT.MTSA

チャネル A MTS 受信フラグ （vSS!ValidMTSA）を表示します。

直前のシンボルウィンドウ区間内で MTS シンボル（Media Access Test Symbol）をチャネル A で受信したことを示します。各チャネルのシンボルウィンドウの最後で CC により更新されます。

このビットが “1” になると、FLXA0FRSIR レジスタの MTSA ビットも “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(7) FLXA0FRSWNIT.TCSB

チャネル B シンボルウィンドウ内送信競合検出フラグ （vSS!TxConflictB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(8) FLXA0FRSWNIT.SBSB

チャネル B シンボルウィンドウ内スロット境界違反検出フラグ（vSS!BViolationB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(9) FLXA0FRSWNIT.SESB

チャネル B シンボルウィンドウ内シンタックスエラー検出フラグ（vSS!SyntaxErrorB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(10) FLXA0FRSWNIT.TCSA

チャネル A シンボルウィンドウ内送信競合検出フラグ（vSS!TxConflictA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(11) FLXA0FRSWNIT.SBSA

チャネル A シンボルウィンドウ内スロット境界違反検出フラグ（vSS!BViolationA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(12) FLXA0FRSWNIT.SESA

チャネル A シンボルウィンドウ内シンタックスエラー検出フラグ（vSS!SyntaxErrorA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

17.2.7.9 FLXA0FRACS — FlexRay チャネルステータス集計レジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

チャネルステータス集計レジスタは、チャネルが送信／受信のどちらに割り当てられているかに関係なく、すべてのコミュニケーションスロットのチャネル処理のステータスを示します。

このレジスタにはシンボルウィンドウおよび NIT からのステータスデータも含まれます。

ステータスデータは、各スロットの終了後に更新（セット）され、クリアされるまで集計されます。

スタートアップ中は更新されません。

アクセス 8、16、32 ビット単位でリード／ ライト可能です。

アドレス <ERAY> + 0128_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SBVB	CIB	CEDB	SEDB	VFRB	—	—	—	SBVA	CIA	CEDA	SEDA	VFRA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 17.47 FLXA0FRACS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 13	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
12	SBVB	チャネル B スロット境界違反検出フラグ 0：スロット境界違反検出されず 1：チャネル B でスロット境界違反を検出
11	CIB	チャネル B 通信表示フラグ 0：追加の通信を含む有効なフレームを受信せず 1：チャネル B のスロットで追加の通信を含む有効なフレームを受信
10	CEDB	チャネル B コンテンツエラー検出フラグ 0：コンテンツエラーを含むフレームを受信せず 1：チャネル B でコンテンツエラーを含むフレームを受信
9	SEDB	チャネル B シンタックスエラー検出フラグ 0：シンタックスエラー検出されず 1：チャネル B でシンタックスエラーを検出
8	VFRB	チャネル B 有効フレーム受信フラグ 0：有効なフレームを受信せず 1：チャネル B で有効なフレームを受信
7 ～ 5	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
4	SBVA	チャネル A スロット境界違反検出フラグ 0：スロット境界違反検出されず 1：チャネル A でスロット境界違反を検出
3	CIA	チャネル A 通信表示フラグ 0：追加の通信を含む有効なフレームを受信せず 1：チャネル A のスロットで追加の通信を含む有効なフレームを受信

表 17.47 FLXA0FRACS レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	CEDA	チャネル A コンテンツエラー検出フラグ 0：コンテンツエラーを含むフレームを受信せず 1：チャネル A でコンテンツエラーを含むフレームを受信
1	SEDA	チャネル A シンタックスエラー検出フラグ 0：シンタックスエラー検出されず 1：チャネル A でシンタックスエラーを検出
0	VFRA	チャネル A 有効フレーム受信フラグ 0：有効なフレームを受信せず 1：チャネル A で有効なフレームを受信

(1) FLXA0FRACS.SBVB

チャネル B スロット境界違反検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中（スタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、および NIT で）、チャネル B でスロット境界違反が検出されたことを示します。

本フラグが “0” から “1” に変化すると、FLXA0FREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXA0FRACS.CIB

チャネル B 通信表示フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル B のスロットで有効なフレームを 1 つ以上受信し、それが追加の通信を含んでいたことを示します。つまり、1 つ以上のスロットが有効なフレームを受信し、かつシンタックスエラー、コンテンツエラー、スロット境界違反のいずれかがあったことを示します。

本フラグが “0” から “1” に変化すると、FLXA0FREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

注 意

スロットにフレームが一つしかなく、チャネルアイドル認識フェーズ中に、そのスロットの最後にあるスロット境界に到達した場合も CIB ビットの設定条件は満たされます。

(3) FLXA0FRACS.CEDB

チャネル B コンテンツエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル B のスタティックセグメントまたはダイナミックセグメントでコンテンツエラーを含むフレームを 1 つ以上受信したことを示します。

本フラグが “0” から “1” に変化すると、FLXA0FREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(4) FLXA0FRACS.SEDB

チャネル B シンタックスエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

チャネル B のスタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、または NIT で 1 つ以上のシンタックスエラーが検出されたことを示します。

本フラグが “0” から “1” に変化すると、FLXA0FREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(5) FLXA0FRACS.VFRB

チャネル B 有効フレーム受信フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル B のスタティックスロットまたはダイナミックスロットで有効なフレームを 1 つ以上受信したことを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(6) FLXA0FRACS.SBVA

チャネル A スロット境界違反検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中（スタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、および NIT で）、チャネル A でスロット境界違反が検出されたことを示します。

本フラグが “0” から “1” に変化すると、FLXA0FREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(7) FLXA0FRACS.CIA

チャネル A 通信表示フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル A のスロットで有効なフレームを 1 つ以上受信し、それが追加の通信を含んでいたことを示します。つまり、1 つ以上のスロットが有効なフレームを受信し、かつシンタックスエラー、コンテンツエラー、スロット境界違反のいずれかがあったことを示します。

本フラグが “0” から “1” に変化すると、FLXA0FREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

注 意

スロットにフレームが一つしかなく、チャネルアイドル認識フェーズ中に、そのスロットの最後にあるスロット境界に到達した場合も CIA ビットの設定条件は満たされます。

(8) FLXA0FRACS.CEDA

チャネル A コンテンツエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル A のスタティックセグメントまたはダイナミックセグメントでコンテンツエラーを含むフレームを 1 つ以上受信したことを示します。

本フラグが “0” から “1” に変化すると、FLXA0FREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(9) FLXA0FRACS.SEDA

チャネル A シンタックスエラー検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

チャネル A のスタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、または NIT で 1 つ以上のシンタックスエラーが検出されたことを示します。

本フラグが “0” から “1” に変化すると、FLXA0FREIR レジスタの EDB ビットが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(10) FLXA0FRACS.VFRA

チャネル A 有効フレーム受信フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

観測期間中、チャネル A のスタティックスロットまたはダイナミックスロットで有効なフレームを 1 つ以上受信したことを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

17.2.7.10 FLXA0FRESIDn — FlexRay 偶数 Sync ID レジスタ n（n = 1 ～ 15）

FLXA0FRESID1 ～ FLXA0FRESID15 レジスタは、gSyncNodeMax の限界値までのクロック同期に使用される偶数コミュニケーションサイクルで受信した Sync フレームのフレーム ID を、フレーム ID の昇順に FLXA0FRESID1 から格納します。自ノードが偶数コミュニケーションサイクルで Sync フレームを送信する場合、FLXA0FRESID1 レジスタはメッセージバッファ 0 に設定された Sync フレーム ID を保持し、FLXA0FRESID1 レジスタの RXEA フラグと RXEB フラグがセットされます。レジスタの内容は、各偶数コミュニケーションサイクルの NIT 期間中に更新されます。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0130_H ～ <ERAY> + 0168_H（<ERAY> + 0130_H +（n - 1）*4）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXEB	RXEA	—	—	—	—	EID[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.48 FLXA0FRESIDn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
15	RXEB	偶数 Sync ID チャネル B 受信／設定フラグ 0：Sync フレームはチャネル B では受信せず、またノードは Sync フレーム送信用に設定されていない 1：保存した偶数 Sync ID に対応する Sync フレームはチャネル B で受信、またはノードが Sync フレーム送信用に設定
14	RXEA	偶数 Sync ID チャネル A 受信／設定フラグ 0：Sync フレームはチャネル A では受信せず、またノードは Sync フレーム送信用に設定されていない 1：保存した偶数 Sync ID に対応する Sync フレームはチャネル A で受信、またはノードが Sync フレーム送信用に設定
13 ～ 10	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
9 ～ 0	EID[9:0]	偶数 Sync ID フラグ（vsSyncIDListA,B even）

(1) FLXA0FRESIDn.RXEB

偶数 Sync ID チャネル B 受信／設定フラグ

保存した偶数 SyncID に対応する Sync フレームをチャネル B で受信したか、そのノードが FLXA0FRESID1.EID で示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXA0FRESIDn.RXEA

偶数 Sync ID チャネル A 受信／設定フラグ

保存した偶数 SyncID に対応する Sync フレームをチャネル A で受信したか、そのノードが FLXA0FRESID1.EID で示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXA0FRESIDn.EID

偶数 Sync ID フラグ（vsSyncIDListA,B even）

偶数コミュニケーションサイクルで受信した Sync フレーム ID を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

17.2.7.11 FLXA0FROSIDn — FlexRay 奇数 Sync ID レジスタ n（n = 1 ～ 15）

FLXA0FRESID1 ～ FLXA0FRESID15 レジスタは、gSyncNodeMax の限界値までのクロック同期に使用される奇数コミュニケーションサイクルで受信した Sync フレームのフレーム ID を、フレーム ID の昇順に FLXA0FRESID1 から格納します。自ノードが奇数コミュニケーションサイクルで Sync フレームを送信する場合、FLXA0FRESID1 レジスタはメッセージバッファ 0 に設定された Sync フレーム ID を保持し、FLXA0FRESID1 レジスタの RXOA フラグと RXOB フラグがセットされます。レジスタの内容は、各奇数コミュニケーションサイクルの NIT 期間中に更新されます。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0170_H ～ <ERAY> + $01A8_H$（<ERAY> + 0170_H +（n-1）*4）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXOB	RXOA	—	—	—	—	OID[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.49 FLXA0FROSIDn レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
15	RXOB	奇数 Sync ID チャネル B 受信／設定フラグ 0：Sync フレームはチャネル B では受信せず、またノードは Sync フレーム送信用に設定されていない 1：保存した奇数 Sync ID に対応する Sync フレームはチャネル B で受信、またはノードが Sync フレーム送信用に設定
14	RXOA	奇数 Sync ID チャネル A 受信／設定フラグ 0：Sync フレームはチャネル A では受信せず、またノードは Sync フレーム送信用に設定されていない 1：保存した奇数 Sync ID に対応する Sync フレームはチャネル A で受信、またはノードが Sync フレーム送信用に設定
13 ～ 10	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
9 ～ 0	OID[9:0]	奇数 Sync ID フラグ （vsSyncIDListA, B odd）

(1) FLXA0FROSIDn.RXOB

奇数 Sync ID チャネル B 受信／設定フラグ

保存した奇数 SyncID に対応する Sync フレームをチャネル B で受信したか、そのノードが FLXA0FROSID1.OID で示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXA0FROSIDn.RXOA

奇数 Sync ID チャネル A 受信／設定フラグ

保存した奇数 SyncID に対応する Sync フレームをチャネル A で受信したか、そのノードが FLXA0FROSID1.OID で示すキースロット番号を持った Sync ノードに設定されていることを示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXA0FROSIDn.OID

奇数 Sync ID フラグ（vsSyncIDListA, B odd）

奇数コミュニケーションサイクルで受信した Sync フレーム ID を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

17.2.7.12 FLXA0FRNMVn — FlexRay ネットワーク管理ベクタレジスタ n （n = 1 ～ 3）

3 つのネットワーク管理ベクタレジスタは、生成された NM ベクタ（**「17.3.7 ネットワーク管理」**参照）。

レジスタの内容は CC が NORMAL_ACTIVE または NORMAL_PASSIVE 状態にある限り、コミュニケーションサイクル終了時ごとに更新されます。

設定されている NM ベクタ長を超える NMVn バイトは無効です。

「17.3.17 バイトアライメント」に、本レジスタの受信ネットワークベクタでのバイトデータの割り当てを示します。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + $01B0_H$ ～ <ERAY> + $01B8_H$（<ERAY> + $01B0_H$ +（n - 1）*4）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NM[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.50 FLXA0FRNMVn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	NM[31:0]	NM ベクタ 3 つのネットワーク管理ベクタレジスタは、生成された NM ベクタ（0 ～ 12 バイト設定可能）を保持します。保持されるベクタは、各チャネルで受信された NM ベクタ（PPI が 1 の有効なスタティックフレーム）をビットごとの論理 OR を取って生成されます（**「17.3.7 ネットワーク管理」**参照）。 **「17.3.17 バイトアライメント」**に、本レジスタの受信ネットワークベクタでのバイトデータの割り当てを示します。 設定されている NM ベクタ長を超える NMVn バイトは無効です。 レジスタの内容は CC が NORMAL_ACTIVE または NORMAL_PASSIVE 状態にある限り、コミュニケーションサイクル終了時ごとに更新されます。 CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

17.2.8 メッセージバッファ制御レジスタ

17.2.8.1 FLXA0FRMRC — FlexRay メッセージ RAM 設定レジスタ

メッセージ RAM 設定レジスタは、スタティックセグメント、ダイナミックセグメント、および FIFO に割り当てられるメッセージバッファ数を設定します。

メッセージ RAM は、スタティックバッファ領域、スタティック + ダイナミックバッファ領域、FIFO 領域の、最大 3 つの異なる領域に分けることができます。スタティックバッファ領域が存在する場合、スタティックバッファ領域は、メッセージバッファ 0 から始まります。

スタティック + ダイナミックバッファ領域の始まりは、FLXA0FRMRC.FDB により設定されます。FLXA0FRMRC.FDB でスタティックバッファ領域の終りを定義します。スタティックバッファ領域が存在しない場合、スタティック + ダイナミックバッファ領域が、メッセージバッファ 0 から始まります。

FIFO 領域の始まりは、FLXA0FRMRC.FFB により設定されます。FLXA0FRMRC.FFB が前の領域の終り（スタティックバッファ領域、またはスタティック + ダイナミックバッファ領域）を定義します。

スタティックバッファ領域もスタティック + ダイナミックバッファ領域も存在しない場合、FIFO 領域が、メッセージバッファ 0 から始まります。

最後に設定された領域の終り（スタティックバッファ領域、スタティック + ダイナミックバッファ領域、または FIFO 領域）は、FLXA0FRMRC.LCB で設定されます。

図 17.2 に、3 領域すべてが設定された場合のメッセージ RAM の設定例を示します。

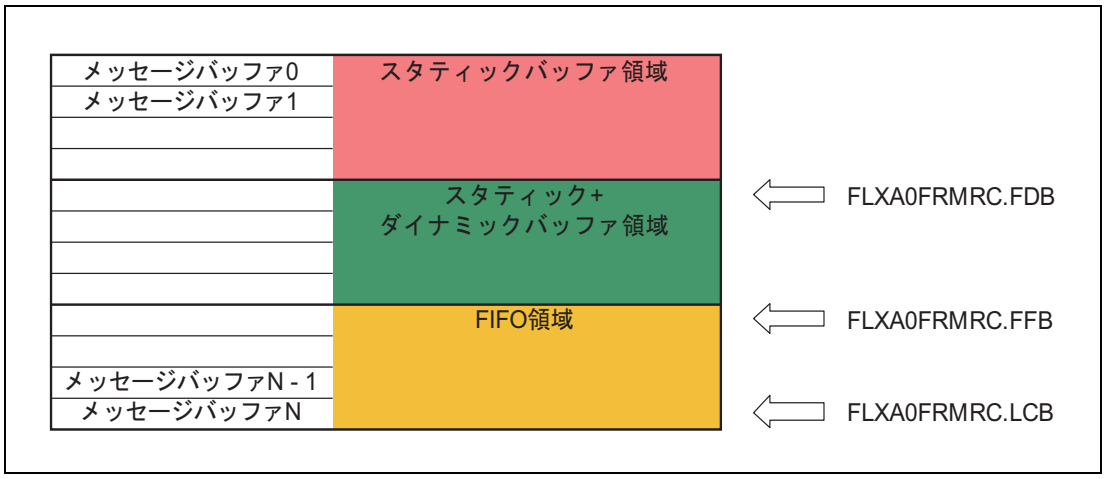


図 17.2 メッセージ RAM の構成

注 意

1. **Sync ノードの場合（FLXA0FRSUCC1.TXSY = ‘1’）、または SINGLE スロットモードに設定されている場合（FLXA0FRSUCC1.TSM = ‘1’）、メッセージバッファ 0 および 1 は Sync フレーム用または SNGLE スロットフレーム用に確保されるので、ノード固有のキースロット ID を設定してください。Sync ノードまたは SINGLE スロットモードとして設定されていない場合、メッセージバッファ 0 および 1 はほかのメッセージバッファと同様に扱われます。**
2. **ヘッダセクション数は最大で 128 です。したがって、最大で 128 個のメッセージバッファを設定できます。データセクションの最大長は 254 バイトです。データセクション長は、メッセージバッファごとに個別に設定できます。詳細については、「17.3.13**

メッセージ RAM」を参照してください。

3. サイクルフィルタリングを使用することで 2 個以上のメッセージバッファをスロット 1 に割り当てる場合、それらはすべて「スタティックバッファ領域」か「スタティック + ダイナミックバッファ領域」セクションの先頭に配置しなければなりません。
4. FlexRay プロトコル仕様では、各ノードがそれぞれのキースロットでフレームを送信する必要があります。したがって、少なくともメッセージバッファ 0 は、キースロットでの送信のため予約されます。このため、FIFO 領域 に割り当てることができるメッセージバッファは最大 127 個です。ただしこの場合でも、スタティックセグメントでの送信スロットを持たず、プロトコルに一致しない設定は有効となります。
5. ペイロード長およびデータセクション長は、FLXA0FRWRHS2.PLC と FLXA0FRWRHS3.DP を使用して FIFO 領域内のすべてのメッセージバッファで同じ値を設定してください。CC が DEFAULT_CONFIG 状態または CONFIG 状態以外の場合、FIFO 領域のメッセージバッファは設定変更できません。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0300_H

リセット後の値 $0180\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SPLM	SEC[1:0]		LCB[7:0]							
リセット後の値	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FFB[7:0]								FDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.51 FLXA0FRMRC レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26	SPLM	Sync フレームペイロード Multiplex ビット 0：メッセージバッファ 0 への書き込み禁止 1：メッセージバッファ 0 および 1 への書き込み禁止
25、24	SEC[1:0]	保護バッファビット 00：すべてのバッファへの書き込み許可 01：スタティックバッファへの書き込み禁止、FIFO への書き込み禁止、送信制限 10：すべてのバッファへの書き込み禁止 11：すべてのバッファへの書き込み禁止、送信制限
23 ～ 16	LCB[7:0]	最終バッファ番号設定ビット 0 ～ 127：メッセージバッファ数は LCB+1 128：FIFO バッファ設定なし
15 ～ 8	FFB[7:0]	FIFO バッファ先頭位置設定ビット 0：すべて FIFO バッファに設定 1 ～ 127：メッセージバッファ FFB ～ LCB を FIFO バッファに設定 128：メッセージ バッファ設定なし

表 17.51 FLXA0FRMRC レジスタの内容 (2/2)

ビット位置	ビット名	機能
7 ～ 0	FDB[7:0]	ダイナミックバッファ先頭位置設定ビット 0：スタティックセグメント用にメッセージバッファなし 1 ～ 127：メッセージバッファ 0 ～ FDB-1 をスタティックセグメント用に確保 128：ダイナミックメッセージバッファなし

(1) FLXA0FRMRC.SPLM

Sync フレームペイロード Multiplex ビット

DEFAULT_CONFIG 状態または CONFIG 状態でのみ書き込み可能です。

Sync ノードの場合（FLXA0FRSUCC1 レジスタの TXSY ビットが “1” のとき）または SINGLE スロットモードに設定されている場合（FLXA0FRSUCC1 レジスタの TSM ビットが “1” のとき）有効です。

このビットを “1” にすると、メッセージバッファ 0 および 1 はチャネル A および B で個別のペイロードデータをもつ Sync フレーム送信専用のメッセージバッファとなります。

“0” にした場合、全設定チャネルで同一のペイロードデータをもつ Sync フレームがメッセージバッファ 0 から送信されます。メッセージバッファ 0 およびメッセージバッファ 1 用のチャネルフィルタは SPLM ビット設定に応じて選択されます。

(2) FLXA0FRMRC.SEC

保護バッファビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

DEFAULT_CONFIG 状態、または、CONFIG 状態では、これらのビットは無効です。一時的なロック解除については**「17.3.13.4 アクセスエラーの処理」**を参照してください。

00 = すべてのバッファに対する書き込み許可
メッセージバッファ（<FFB）への書き込み許可
【例外】ノードが Sync フレーム送信用または SINGLE スロットモードに設定されている場合、メッセージバッファ 0（SPLM ビットが “1” のときはメッセージバッファ 1 も同様）への書き込みは禁止です。

01 = スタティックバッファへの書き込み禁止、FIFO への書き込み禁止、送信制限
メッセージバッファ（<FDB かつ≧ FFB）への書き込み禁止、およびメッセージバッファ（≧ FDB）のスタティックセグメントへの送信禁止

10 = すべてのバッファへの書き込み禁止
すべてのメッセージバッファへの書き込み禁止

11 = すべてのバッファへの書き込み禁止、送信制限
すべてのメッセージバッファへの書き込み禁止、およびメッセージバッファ（≧ FDB）のスタティックセグメントへの送信禁止

(3) FLXA0FRMRC.LCB

最終バッファ番号設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

スタティック + ダイナミックバッファ領域が設定された場合（FLXA0FRMRC.FDB < 128）、ユーザは FLXA0FRMRC.LCB >= FLXA0FRMRC.FDB を設定しなければなりません。

FIFO 領域が設定された場合（FLXA0FRMRC.FFB < 128）、ユーザは FLXA0FRMRC.LCB >= FLXA0FRMRC.FFB を設定しなければなりません。

(4) FLXA0FRMRC.FFB

FIFO バッファ先頭位置設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

スタティック + ダイナミックバッファ領域が設定された場合（FLXA0FRMRC.FDB < 128）、ユーザは FLXA0FRMRC.FFB > FLXA0FRMRC.FDB を設定しなければなりません。

(5) FLXA0FRMRC.FDB

ダイナミックバッファ先頭位置設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

17.2.8.2 FLXA0FRFRF — FlexRay FIFO リジェクションフィルタレジスタ

FlexRay FIFO リジェクションフィルタレジスタは、受信フレームのチャネル、フレーム ID、およびサイクルカウントと比較するユーザ指定のビットシーケンスを定義します。FlexRay FIFO リジェクションフィルタマスクレジスタとともに、FIFO のメッセージを除外するかどうかを決定します。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0304_H

リセット後の値 $0180\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	RNF	RSS	CYF[6:0]						
リセット後の値	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FID[10:0]											CH[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.52 FLXA0FRFRF レジスタの内容

ビット位置	ビット名	機能
31 ～ 25	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
24	RNF	Null フレームのリジェクトビット 0：Null フレームを FIFO に格納 1：全 Null フレームを除外
23	RSS	スタティックセグメントリジェクトビット 0：FIFO をスタティックセグメントにも使用 1：スタティックセグメント内のメッセージを除外
22 ～ 16	CYF[6:0]	サイクルカウンタフィルタビット
15 ～ 13	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
12 ～ 2	FID[10:0]	フレーム ID フィルタビット フレーム ID フィルタ値 = 0 ～ 2047
1、0	CH[1:0]	チャネルフィルタビット 00：チャネル A およびチャネル B で受信 01：チャネル B で受信 10：チャネル A で受信 11：受信禁止

(1) FLXA0FRFRF.RNF

Null フレームのリジェクトビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

このビットが “1” の場合、受信した Null フレームは FIFO に格納されません。

(2) FLXA0FRFRF.RSS

スタティックセグメントリジェクトビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

このビットが “1” の場合、FIFO はダイナミックセグメント中のメッセージのみに使用されます。

(3) FLXA0FRFRF.CYF

サイクルカウンタフィルタビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

7 ビットサイクルカウンタフィルタはサイクルセットを指定し、フレーム ID フィルタとチャネルリジェクションフィルタが適用されるサイクルを決定します。このビットで設定されていないサイクルではすべての受信フレームが拒否されます。サイクルカウンタフィルタ設定の詳細は、**「17.3.8.2 サイクルカウンタフィルタリング」**を参照してください。

(4) FLXA0FRFRF.FID

フレーム ID フィルタビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

FIFO で除外するフレーム ID を設定します。FLXA0FRFRFM レジスタの設定をすることで対応するビットを無視させることができます。FLXA0FRFRFM.MFID が 0 のときは、フレーム ID フィルタ値 0 は、除外するフレーム ID がないことを示します。

(5) FLXA0FRFRF.CH

チャネルフィルタビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

両チャネルでの受信が設定されていれば、スタティックセグメント内で、チャネル A および B からの両フレームが同一であっても、両フレームとも FIFO に格納されます。

17.2.8.3 FLXA0FRFRFM — FlexRay FIFO リジェクションフィルタマスクレジスタ

FlexRay FIFO リジェクションフィルタマスクレジスタは、除外フィルタリングに関連するフレーム ID フィルタビットを指定します。ビットに 1 をセットすると、FLXA0FRFRF レジスタの対応するビットは除外フィルタリングに使用されません。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0308_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MFID[10:0]											—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 17.53 FLXA0FRFRFM レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
12 ～ 2	MFID[10:0]	マスクフレーム ID フィルタビット 0：対応するフレーム ID フィルタビットを除外フィルタリングに使用する 1：対応するフレーム ID フィルタビットを無視
1、0	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。

(1) FLXA0FRFRFM.MFID

マスクフレーム ID フィルタビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

17.2.8.4 FLXA0FRFCL — FlexRay FIFO クリティカルレベルレジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $030C_H$

リセット後の値 $0000\ 0080_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.54 FLXA0FRFCL レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
7 ～ 0	CL[7:0]	クリティカルレベル設定ビット クリティカルレベル設定

(1) FLXA0FRFCL.CL

クリティカルレベル設定ビット

FLXA0FRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

受信 FIFO フィルレベル（FLXA0FRCCSV.POCS）が FLXA0FRFCL.CL で設定されるクリティカルレベル以上の場合、FLXA0FRFSR.RFCL が “1” になります。

128 を超える値を設定した場合、FLXA0FRFSR.RFCL が “1” になることはありません。

17.2.9 メッセージバッファステータスレジスタ

17.2.9.1 FLXA0FRMHDS — FlexRay メッセージハンドラステータスレジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0310_H

リセット後の値 $0000\ 0080_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MBU[6:0]							—	MBT[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	FMB[6:0]							CRAM	MFMB	FMBD	ATBF2	ATBF1	AMR	—	—
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R

表 17.55 FLXA0FRMHDS レジスタの内容

ビット位置	ビット名	機能
31	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
30 ～ 24	MBU[6:0]	メッセージバッファ更新フラグ
23	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
22 ～ 16	MBT[6:0]	メッセージバッファ送信完了フラグ
15	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
14 ～ 8	FMB[6:0]	誤りメッセージバッファ番号フラグ
7	CRAM	内部 RAM クリアフラグ 0：CLEAR_RAMS コマンド非実行 1：CLEAR_RAMS コマンド実行中
6	MFMB	誤りメッセージバッファ複数検出フラグ 0：追加の誤りメッセージバッファなし 1：FMBD フラグが “1” のとき別の誤りメッセージバッファを検出
5	FMBD	誤りメッセージバッファ検出フラグ 0：誤りメッセージバッファなし 1：FLXA0FRMHDS.FMB で示すメッセージバッファにパリティエラーのある誤りデータを格納
4	ATBF2	テンポラリバッファ RAM B アクセスエラーフラグ 0：アクセスエラーなし 1：リード時アクセスエラー検出
3	ATBF1	テンポラリバッファ RAM A アクセスエラーフラグ 0：アクセスエラーなし 1：リード時アクセスエラー検出
2	AMR	メッセージ RAM アクセスエラーフラグ 0：アクセスエラーなし 1：リード時アクセスエラー検出
1、0	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。

(1) FLXA0FRMHDS.MBU

メッセージバッファ更新フラグ

最後に更新されたメッセージバッファ番号を表示します。FLXA0FRNDAT1 ～ FLXA0FRNDAT4 レジスタの対応する新データ（ND）フラグ、FLXA0FRMBSC1 ～ FLXA0FRMBSC4 レジスタの対応するメッセージバッファステータス変化（MBC）フラグの両方または一方も “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXA0FRMHDS.MBT

メッセージバッファ送信完了フラグ

最後にフレーム送信が成功したメッセージバッファ番号を表示します。

メッセージバッファがシングルショットモードの場合、FLXA0FRTXRQ1 ～ FLXA0FRTXRQ4 レジスタの対応する TXR フラグは “0” になっています。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(3) FLXA0FRMHDS.FMB

誤りメッセージバッファ番号フラグ

メッセージバッファ読み出し時にアクセスエラーが発生したことを示します。

AMR フラグ、ATBF1 フラグ、ATBF2 フラグ、FMBD フラグのうちいずれかが “1” のときのみ有効です。

FMBD フラグが “1” のときは更新されません。

CHI コマンド CLEAR_RAMS によってクリアされます。

(4) FLXA0FRMHDS.CRAM

内部 RAM クリアフラグ

CHI コマンドの CLEAR_RAMS コマンドが実行中であることを示します。（メッセージ RAM、入力バッファ、出力バッファ、テンポラリバッファ RAM すべてのビットが “0” になります）

このビットは CHI コマンド CLEAR_RAMS によってセットされます。

(5) FLXA0FRMHDS.MFMB

誤りメッセージバッファ複数検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

このビットは、FMBD フラグがセットされる間にほかの誤りメッセージバッファが検出されたことを示します。

CHI コマンド CLEAR_RAMS によってクリアされます。

(6) FLXA0FRMHDS.FMBD

誤りメッセージバッファ検出フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

このビットは、アクセスエラーによってメッセージバッファが誤りデータを格納していることを示します。

CHI コマンド CLEAR_RAMS によってクリアされます。

(7) FLXA0FRMHDS.ATBF2

テンポラリバッファ RAM B アクセスエラーフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

このビットは、テンポラリバッファ RAM B 読み出し時にアクセスエラーが発生していることを示します。

注 意

本フラグが “0” から “1” になると、FLXA0FREIR レジスタの AERR ビットが “1” にセットされます。CHI コマンド CLEAR_RAMS によってリセットされます。

(8) FLXA0FRMHDS.ATBF1

テンポラリバッファ RAM A アクセスエラーフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

このビットは、テンポラリバッファ RAM A 読み出し時にアクセスエラーが発生していることを示します。

注 意

本フラグが “0” から “1” になると、FLXA0FREIR レジスタの AERR ビットが “1” にセットされます。CHI コマンド CLEAR_RAMS によってリセットされます。

(9) FLXA0FRMHDS.AMR

メッセージ RAM アクセスエラーフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

このビットは、メッセージ RAM 読み出し時にアクセスエラーが発生していることを示します。

注 意

本フラグが “0” から “1” になると FLXA0FREIR レジスタの AERR フラグが “1” になります。

CHI コマンド CLEAR_RAMS によってクリアされます。

17.2.9.2 FLXA0FRLDTS — FlexRay 最終ダイナミック送信スロットレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0314_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	LDTB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	LDTA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.56 FLXA0FRLDTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
26 ～ 16	LDTB[10:0]	チャネル B 最終ダイナミック送信スロットフラグ
15 ～ 11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 0	LDTA[10:0]	チャネル A 最終ダイナミック送信スロットフラグ

(1) FLXA0FRLDTS.LDTB

チャネル B 最終ダイナミック送信スロットフラグ

ダイナミックセグメントでチャネル B から最後にフレームを送信したときのスロットカウンタ値を格納します。

ダイナミックセグメントの終了時に更新され、チャネル B のダイナミックセグメント中にフレームが送信されなかった場合、“0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXA0FRLDTS.LDTA

チャネル A 最終ダイナミック送信スロットフラグ

ダイナミックセグメントでチャネル A から最後にフレームを送信したときのスロットカウンタ値を格納します。

ダイナミックセグメントの終了時に更新され、チャネル A のダイナミックセグメント中にフレームが送信されなかった場合、“0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

17.2.9.3 FLXA0FRFSR — FlexRay FIFO ステータスレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0318_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFFL[7:0]								—	—	—	—	—	RFO	RFCL	RFNE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.57 FLXA0FRFSR レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
15 ～ 8	RFFL[7:0]	受信 FIFO フィルレベルフラグ
7 ～ 3	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
2	RFO	受信 FIFO オーバランフラグ 0：受信 FIFO オーバラン未検出 1：受信 FIFO オーバラン検出
1	RFCL	受信 FIFO クリティカルフラグ 0：クリティカルレベル未満 1：クリティカルレベル以上
0	RFNE	受信 FIFO データありフラグ 0：受信 FIFO エンプティ 1：受信 FIFO にデータあり

(1) FLXA0FRFSR.RFFL

受信 FIFO フィルレベルフラグ

未読の受信データを格納している FIFO バッファ数を表示します。最大値は 128 です。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXA0FRFSR.RFO

受信 FIFO オーバランフラグ

受信 FIFO のオーバランが検出されると “1” になります。

受信 FIFO オーバランが起こると一番古いメッセージに最新の受信メッセージが上書きされます。また FLXA0FREIR レジスタの RFO フラグが “1” になります。

FIFO が読まれると “0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(3) FLXA0FRFSR.RFCL

受信 FIFO クリティカルフラグ

FLXA0FRFSR.RFFL の値が FLXA0FRFCL.CL に設定した値以上になると “1” になります。

FLXA0FRFSR.RFCL が “0” から “1” になると FLXA0FRSIR.RFCL ビットが “1” になり、割り込みが許可されている場合、割り込みが発生します。

FLXA0FRFSR.RFFL の値が FLXA0FRFCL.CL に設定した値未満になると “0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(4) FLXA0FRFSR.RFNE

受信 FIFO データありフラグ

受信した有効なフレーム（データまたはリジェクションマスク設定によっては Null フレーム）が FIFO に格納されると “1” になります。さらに FLXA0FRSIR レジスタの RFNE ビットも “1” になります。

FIFO のメッセージがすべて読まれると “0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

17.2.9.4 FLXA0FRMHDF — FlexRay メッセージハンドラ制限フラグレジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

メッセージハンドラには、周辺バスクロック、メッセージ RAM 設定、および FlexRay バストラフィックに関していくつかの制限事項があります。ソフトウェア開発を容易にするため、このレジスタのフラグによって制限違反がわかるようになっています。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $031C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WAHP	TNSB	TNSA	TBFB	TBFA	FNFB	FNFA	SNUB	SNUA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.58 FLXA0FRMHDF レジスタの内容

ビット位置	ビット名	機能
31 ～ 9	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
8	WAHP	ヘッダパーティションへの書き込みフラグ 0：ヘッダパーティションへの書き込みトライなし 1：ヘッダパーティションへの書き込みトライあり
7	TNSB	チャネル B 転送開始不可フラグ 0：チャネル B で開始できなかった転送なし 1：チャネル B で開始できなかった転送あり
6	TNSA	チャネル A 転送開始不可フラグ 0：チャネル A で開始できなかった転送なし 1：チャネル A で開始できなかった転送あり
5	TBFB	テンポラリバッファ B アクセス失敗フラグ 0：テンポラリバッファ B アクセス成功 1：テンポラリバッファ B アクセス失敗
4	TBFA	テンポラリバッファ A アクセス失敗フラグ 0：テンポラリバッファ A アクセス成功 1：テンポラリバッファ A アクセス失敗
3	FNFB	チャネル B 検査処理未完了フラグ 0：チャネル B で完了しなかった検査処理なし 1：チャネル B で検査処理完了せず
2	FNFA	チャネル A 検査処理未完了フラグ 0：チャネル A で完了しなかった検査処理なし 1：チャネル A で検査処理完了せず
1	SNUB	チャネル B ステータス未更新フラグ 0：チャネル B のメッセージバッファステータス（FLXA0FRMBS）更新時に過負荷状態なし 1：チャネル B のメッセージバッファステータス（FLXA0FRMBS）更新なし
0	SNUA	チャネル A ステータス未更新フラグ 0：チャネル A のメッセージバッファステータス（FLXA0FRMBS）更新時に過負荷状態なし 1：チャネル A のメッセージバッファステータス（FLXA0FRMBS）更新なし

(1) FLXA0FRMHDF.WAHP

ヘッダパーティションへの書き込みフラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

DEFAULT_CONFIG 状態と CONFIG 状態を除き、メッセージバッファの誤設定により、メッセージハンドラがメッセージ RAM のヘッダパーティションにデータを書き込もうとすると “1” になります。意図しない書き込みからヘッダパーティションを保護するため、書き込み自体は実行されません。

このフラグが “0” から “1” になると FLXA0FREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXA0FRMHDF.TNSB

チャネル B 送信開始不可フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

設定されたスロットの動作ポイントで、チャネル B 上の予定された送信を開始する際メッセージハンドラの準備ができていない場合 “1” になります。

このフラグが “0” から “1” になると FLXA0FREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(3) FLXA0FRMHDF.TNSA

チャネル A 送信開始不可フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

設定されたスロットの動作ポイントで、チャネル A 上の予定された送信を開始する際メッセージハンドラの準備ができていない場合 “1” になります。

このフラグが “0” から “1” になると FLXA0FREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(4) FLXA0FRMHDF.TBFB

テンポラリバッファ B アクセス失敗フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

プロトコルコントローラ（PRT）B が要求するテンポラリバッファ B への読み出しまたは書き込みが所定の時間内に完了しなかった場合 “1” になります。

このフラグが “0” から “1” になると FLXA0FREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(5) FLXA0FRMHDF.TBFA

テンポラリバッファ A アクセス失敗フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

プロトコルコントローラ（PRT）A が要求するテンポラリバッファ A への読み出しまたは書き込みが所定の時間内に完了しなかった場合 “1” になります。

このフラグが “0” から “1” になると FLXA0FREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(6) FLXA0FRMHDF.FNFB

チャネル B 検査処理未完了フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

メッセージハンドラが、過負荷のために検査処理（メッセージ RAM をスキャンして、一致するメッセージバッファを探すこと）を完了できなかったときに “1” になります。

このフラグが “0” から “1” になると FLXA0FREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(7) FLXA0FRMHDF.FNFA

チャネル A 検査処理未完了フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

メッセージハンドラが、過負荷のために検査処理（メッセージ RAM をスキャンして、一致するメッセージバッファを探すこと）を完了できなかったときに “1” になります。

このフラグが “0” から “1” になると FLXA0FREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(8) FLXA0FRMHDF.SNUB

チャネル B ステータス未更新フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

メッセージハンドラが、過負荷のためにメッセージバッファステータス（FLXA0FRMBS）を更新できなかったときに “1” になります。

このフラグが “0” から “1” になると FLXA0FREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

(9) FLXA0FRMHDF.SNUA

チャネル A ステータス未更新フラグ

“0” をライトしてもフラグは変化しません。

本ビットをクリアするには “1” を書き込みます。

メッセージハンドラが、過負荷のためにメッセージバッファステータス（FLXA0FRMBS）を更新できなかったときに “1” になります。

このフラグが “0” から “1” になると FLXA0FREIR レジスタの MHF フラグが “1” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

17.2.9.5 FLXA0FRTXRQi — FlexRay 送信要求レジスタ i （i = 1 ～ 4）

この 4 つのレジスタは、全メッセージバッファの TXR フラグの状態を示します。フラグは、送信バッファに対してのみ有効です。メッセージバッファ数が 128 個未満の場合、使用していない TXR フラグは無効です。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0320_H ～ <ERAY> + $032C_H$（<ERAY> + 0320_H +（i - 1）*4）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TXRo (o = (i - 1) × 32 + 31)	TXRo (o = (i - 1) × 32 + 30)	TXRo (o = (i - 1) × 32 + 29)	TXRo (o = (i - 1) × 32 + 28)	TXRo (o = (i - 1) × 32 + 27)	TXRo (o = (i - 1) × 32 + 26)	TXRo (o = (i - 1) × 32 + 25)	TXRo (o = (i - 1) × 32 + 24)	TXRo (o = (i - 1) × 32 + 23)	TXRo (o = (i - 1) × 32 + 22)	TXRo (o = (i - 1) × 32 + 21)	TXRo (o = (i - 1) × 32 + 20)	TXRo (o = (i - 1) × 32 + 19)	TXRo (o = (i - 1) × 32 + 18)	TXRo (o = (i - 1) × 32 + 17)	TXRo (o = (i - 1) × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXRo (o = (i - 1) × 32 + 15)	TXRo (o = (i - 1) × 32 + 14)	TXRo (o = (i - 1) × 32 + 13)	TXRo (o = (i - 1) × 32 + 12)	TXRo (o = (i - 1) × 32 + 11)	TXRo (o = (i - 1) × 32 +10)	TXRo (o = (i - 1) × 32 + 9)	TXRo (o = (i - 1) × 32 + 8)	TXRo (o = (i - 1) × 32 + 7)	TXRo (o = (i - 1) × 32 + 6)	TXRo (o = (i - 1) × 32 + 5)	TXRo (o = (i - 1) × 32 + 4)	TXRo (o = (i - 1) × 32 + 3)	TXRo (o = (i - 1) × 32 + 2)	TXRo (o = (i - 1) × 32 + 1)	TXRo (o = (i - 1) × 32)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.59 FLXA0FRTXRQi レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	TXRo	送信要求フラグ o

(1) FLXA0FRTXRQi.TXRo （o = (i-1) *32 to (i*32-1)）

送信要求フラグ o

このビットが “1” のとき対応するメッセージバッファの送信準備ができている、または送信中であることを示します。

シングルショットモードでは送信完了後 “0” になります。

CHI コマンド CLEAR_RAMS によってクリアされます。

17.2.9.6 FLXA0FRNDATi — FlexRay 新データレジスタ i（i = 1 ～ 4）

この 4 つのレジスタは、全メッセージバッファの ND フラグの状態を示します。送信バッファの ND フラグは無効です。メッセージバッファ数が 128 個未満の場合、使用していない ND フラグは無効です。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0330_H ～ <ERAY> + $033C_H$ (<ERAY> + 0330_H + (i - 1) *4)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NDn (n = (i - 1) × 32 + 31)	NDn (n = (i - 1) × 32 + 30)	NDn (n = (i - 1) × 32 + 29)	NDn (n = (i - 1) × 32 + 28)	NDn (n = (i - 1) × 32 + 27)	NDn (n = (i - 1) × 32 + 26)	NDn (n = (i - 1) × 32 + 25)	NDn (n = (i - 1) × 32 + 24)	NDn (n = (i - 1) × 32 + 23)	NDn (n = (i - 1) × 32 + 22)	NDn (n = (i - 1) × 32 + 21)	NDn (n = (i - 1) × 32 + 20)	NDn (n = (i - 1) × 32 + 19)	NDn (n = (i - 1) × 32 + 18)	NDn (n = (i - 1) × 32 + 17)	NDn (n = (i - 1) × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NDn (n = (i - 1) × 32 + 15)	NDn (n = (i - 1) × 32 + 14)	NDn (n = (i - 1) × 32 + 13)	NDn (n = (i - 1) × 32 + 12)	NDn (n = (i - 1) × 32 + 11)	NDn (n = (i - 1) × 32 + 10)	NDn (n = (i - 1) × 32 + 9)	NDn (n = (i - 1) × 32 + 8)	NDn (n = (i - 1) × 32 + 7)	NDn (n = (i - 1) × 32 + 6)	NDn (n = (i - 1) × 32 + 5)	NDn (n = (i - 1) × 32 + 4)	NDn (n = (i - 1) × 32 + 3)	NDn (n = (i - 1) × 32 + 2)	NDn (n = (i - 1) × 32 + 1)	NDn (n = (i - 1) × 32)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.60 FLXA0FRNDATi レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	NDn	新データフラグ n

(1) FLXA0FRNDATi.NDn （n = (i - 1) *32 to (i*32 - 1)）

新データフラグ n

有効な受信データフレームが、メッセージバッファのフィルタ設定に合致していたとき “1” になります。このとき、メッセージバッファで受信したペイロード長や、設定したペイロード長には依存しません。

受信 FIFO に設定しているメッセージバッファを除いて、Null フレームを受信した場合は “1” になりません。

新データ（ND）フラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか、データセクションが出力バッファに転送されたとき “0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

17.2.9.7 FLXA0FRMBSCi — FlexRay メッセージバッファステータス変化レジスタ i（i = 1 ～ 4）

この 4 つのレジスタは、全メッセージバッファの MBC フラグの状態を示します。メッセージバッファ数が 128 個未満の場合、使用していない MBC フラグは無効です。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0340_H ～ <ERAY> + $034C_H$（<ERAY> + 0340_H + (i - 1) *4）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBCm (m = (i - 1) × 32 + 31)	MBCm (m = (i - 1) × 32 + 30)	MBCm (m = (i - 1) × 32 + 29)	MBCm (m = (i - 1) × 32 + 28)	MBCm (m = (i - 1) × 32 + 27)	MBCm (m = (i - 1) × 32 + 26)	MBCm (m = (i - 1) × 32 + 25)	MBCm (m = (i - 1) × 32 + 24)	MBCm (m = (i - 1) × 32 + 23)	MBCm (m = (i - 1) × 32 + 22)	MBCm (m = (i - 1) × 32 + 21)	MBCm (m = (i - 1) × 32 + 20)	MBCm (m = (i - 1) × 32 + 19)	MBCm (m = (i - 1) × 32 + 18)	MBCm (m = (i - 1) × 32 + 17)	MBCm (m = (i - 1) × 32 + 16)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBCm (m = (i - 1) × 32 + 15)	MBCm (m = (i - 1) × 32 + 14)	MBCm (m = (i - 1) × 32 + 13)	MBCm (m = (i - 1) × 32 + 12)	MBCm (m = (i - 1) × 32 + 11)	MBCm (m = (i - 1) × 32 + 10)	MBCm (m = (i - 1) × 32 + 9)	MBCm (m = (i - 1) × 32 + 8)	MBCm (m = (i - 1) × 32 + 7)	MBCm (m = (i - 1) × 32 + 6)	MBCm (m = (i - 1) × 32 + 5)	MBCm (m = (i - 1) × 32 + 4)	MBCm (m = (i - 1) × 32 + 3)	MBCm (m = (i - 1) × 32 + 2)	MBCm (m = (i - 1) × 32 + 1)	MBCm (m = (i - 1) × 32)
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.61 FLXA0FRMBSCi レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	MBCm	メッセージバッファステータス変更フラグ m

(1) FLXA0FRMBSCi.MBCm （m = (i - 1) *32 to (i*32 - 1)）

メッセージバッファステータス変更フラグ m

メッセージバッファのヘッダセクション（**「17.2.11.5 FLXA0FRMBS — FlexRay メッセージバッファステータスレジスタ」**および**「17.3.13.1 ヘッダパーティション」**を参照）に関するステータスフラグ（VFRA, VFRB, SEOA, SEOB, CEOA, CEOB, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB）の変更の有無を表示します。

MBC フラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか OBF への転送が完了すると “0” になります。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

CHI コマンド CLEAR_RAMS によってクリアされます。

17.2.10 入力バッファ

入力バッファ（IBF）は、IBF ホストと IBF シャドウの 2 段バッファ構成になっています。CPU からの書き込みアクセスは IBF ホストへ、メッセージ RAM への転送は IBF シャドウから行います。IBF は、メッセージ RAM 内の選択されたメッセージバッファに転送されるヘッダセクションとデータセクションを保持します。IBF は、メッセージ RAM 内のメッセージバッファの設定と送信バッファのデータセクションの更新に使用されます。

メッセージ RAM 内のメッセージバッファのヘッダセクションを IBF から更新すると、**「17.2.11.5 FLXA0FRMBS — FlexRay メッセージバッファステータスレジスタ」**章に記載の FlexRay メッセージバッファステータスは自動的に “0” になります。

受信 FIFO に設定したメッセージバッファのヘッダセクションを設定または変更できるのは、CC が DEFAULT_CONFIG 状態または CONFIG 状態の場合のみです。これらのメッセージバッファには、FLXA0FRWRHS2.PLC、および FLXA0FRWRHS3.DP により、ペイロード長およびデータポインタだけが設定できます。アクセプタンスフィルタリングに必要な情報はすべて、FIFO リジェクションフィルタレジスタおよび FIFO リジェクションフィルタマスクレジスタから取り出されます。

入力バッファ（IBF）とメッセージ RAM 間のデータ転送については、**「17.3.12.2 メッセージ RAM へのアクセス」**で詳しく説明しています。

「17.3.16.1 入力データ転送」に示す入力データ転送機能を使用するとき、および FLXA0FRITS レジスタの ITS ビットが “1” のときは、これらのレジスタに書き込むことはできません。

17.2.10.1 FLXA0FRWRDSn — FlexRay データセクションライトレジスタ n（n = 1 ～ 64）

指定したメッセージバッファのデータセクションへ転送するデータワードを保持します。メッセージ RAM に書き込まれるデータワード数は、FLXA0FRWRHS2 レジスタの PLC ビットに設定されたペイロード長によって定義されます。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0400_H to <ERAY> + $04FC_H$（<ERAY> + 0400_H + (n - 1) *4）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.62 FLXA0FRWRDSn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	MD[31:0]	メッセージデータビット

(1) FLXA0FRWRDSn.MD

メッセージデータビット

メッセージデータのバイトアライメントについては、**「17.3.17 バイトアライメント」**を参照してください。

注 意

1. **FLXA0FRWRHS2 レジスタの PLC ビットが奇数ペイロード長を指定している場合、残りのメッセージデータバイトは使用されません。**
2. **FLXA0FRWRDSn にライトする場合、入力バッファからメッセージ RAM への転送を始める前に、各 32 ビットワードを、1 つの 32 ビットアクセス、連続した 2 つの 16 ビットアクセス、または連続した 4 つの 8 ビットアクセスにより、すべてのバイトをライトしておく必要があります。32 ビットワードの全バイトがホスト（8 ビットアクセス、または 16 ビットアクセスのみ）によりライトされていない場合、FLXA0FRWRDSn は、部分的に不定なデータを保持します。CHI コマンド CLEAR_RAMS でリセットしてください。**

17.2.10.2 FLXA0FRWRHS1 — FlexRay ヘッダセクションライトレジスタ 1

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0500_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MBI	TXM	PPIT	CFG	CH[1:0]		—	CYC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FID[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.63 FLXA0FRWRHS1 レジスタの内容

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29	MBI	メッセージバッファ割り込み許可ビット 0：メッセージバッファ割り込み禁止 1：メッセージバッファ割り込み許可
28	TXM	送信モード設定ビット 0：連続送信モード 1：シングルショットモード
27	PPIT	ペイロードプリアンブルインジケータ送信ビット 0：PPI ビットを “0” にする 1：PPI ビットを “1” にする
26	CFG	メッセージバッファ方向設定ビット 0：受信バッファに設定 1：送信バッファに設定
25、24	CH[1:0]	チャネルフィルタ制御ビット
23	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
22 ～ 16	CYC[6:0]	サイクルコード設定ビット
15 ～ 11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 0	FID[10:0]	フレーム ID 設定ビット

(1) FLXA0FRWRHS1.MBI

メッセージバッファ割り込み許可ビット

メッセージバッファ割り込みを許可します。

メッセージハンドラによって受信バッファが更新されると、FLXA0FRSIR レジスタの RXI ビットまたは／および MBSI ビットが “1” になります。また、メッセージバッファからのフレーム送信が完了したとき FLXA0FRSIR レジスタの TXI ビットが “1” になります。

(2) FLXA0FRWRHS1.TXM

送信モード設定ビット

対応するメッセージバッファの送信モードを選択します。送信モードについては、**「17.3.9.3 送信バッファ」**を参照してください。

(3) FLXA0FRWRHS1.PPIT

ペイロードプリアンブルインジケータ送信ビット

対応するメッセージバッファの送信フレームのペイロードプリアンブルインジケータの状態を制御します。

スタティックメッセージバッファでこのビットを “1” にすると、対応するメッセージバッファにネットワーク管理情報が含まれます。

ダイナミックメッセージバッファでこのビットを “1” にすると、ペイロードセグメントの最初の 2 バイトが受信側のメッセージ ID フィルタリングに使用されます。本 FlexRay モジュールでは、メッセージ ID フィルタリングはサポートしていませんが、CPU でサポートすることができます。

(4) FLXA0FRWRHS1.CFG

メッセージバッファ方向設定ビット

対応するバッファを、送信バッファまたは受信バッファとして設定します。受信 FIFO に設定したメッセージバッファについては、このビットは無効です。

データパーティションの先頭に 32 ビット以上の未使用領域を配置しない場合は、ヘッダパーティション（の最終バッファ）直後に配置するメッセージバッファのデータセクションは、このビットを “1” にセットすることにより、送信バッファとして設定してください。

(5) FLXA0FRWRHS1.CH

チャネルフィルタ制御ビット

各バッファに割り当てられている 2 ビットのチャネルフィルタリングフィールドは、受信バッファにはフィルタとして、送信バッファには制御フィールドとして使えます。

CH[1:0]	送信バッファ フレーム送信	受信バッファ 受信したフレームを格納
00	送信禁止	受信フレームを無視する
01	チャネル A	チャネル A
10	チャネル B	チャネル B
11	両チャネル（スタティックセグメントのみ）	チャネル A または B（最初に受信した有効なフレームをメッセージバッファへ格納、スタティックセグメントのみ）

注 意

メッセージバッファがダイナミックセグメントに設定されており、かつチャネルフィルタリングフィールドの両ビットが “1” に設定されている場合、フレームの送受信は行われません（CH = “00” にしたのと同じ機能になります）。

(6) FLXA0FRWRHS1.CYC

サイクルコード設定ビット

サイクルカウンタフィルタリングで使用するサイクルセットを定義する 7 ビットのサイクルコードを設定します。

サイクルコードの設定に関する詳細は**「17.3.8.2 サイクルカウンタフィルタリング」**を参照してください。

(7) FLXA0FRWRHS1.FID

フレーム ID 設定ビット

選択したメッセージバッファのフレーム ID を設定します。フレーム ID は、それぞれのメッセージを送受信するためのスロット番号です。

フレーム ID に “0” を設定したメッセージバッファは無効となります。

17.2.10.3 FLXA0FRWRHS2 — FlexRay ヘッダセクションライトレジスタ 2

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0504_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PLC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.64 FLXA0FRWRHS2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
22 ～ 16	PLC[6:0]	ペイロード長設定ビット
15 ～ 11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 0	CRC[10:0]	ヘッダ CRC 設定ビット（vRF!Header!HeaderCRC） 受信バッファ：設定不要 送信バッファ：ヘッダ CRC を設定

(1) FLXA0FRWRHS2.PLC

ペイロード長設定ビット

ペイロード長（データセクションの長さ）を 2 バイト単位で設定します。

スタティックセグメントでは、FLXA0FRMHDC.SFDL で設定したスタティックフレームのペイロード長により全スタティックフレームのペイロード長が決定します。FLXA0FRWRHS2.PLC で設定したペイロード長がこの値より短い場合、適切な物理長になるようパディングバイトが追加されます。パディングバイトの内容は “0000_H” です（**「17.3.9.3 送信バッファ」**参照）。

(2) FLXA0FRWRHS2.CRC

ヘッダ CRC 設定ビット（vRF!Header!HeaderCRC）

受信バッファの設定は必要ありません。

メッセージバッファの送信には、ヘッダ CRC の計算と設定が必要になります。

ヘッダ CRC の計算では、送信フレームのペイロード長を考慮する必要があります。スタティックセグメントでは全フレームのペイロード長を FLXA0FRMHDC.SFDL で設定します。

17.2.10.4 FLXA0FRWRHS3 — FlexRay ヘッダセクションライトレジスタ 3

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0508_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.65 FLXA0FRWRHS3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 0	DP[10:0]	データポインタ設定ビット

(1) FLXA0FRWRHS3.DP

データポインタ設定ビット

メッセージ RAM 内のメッセージバッファのデータセクションの最初の 32 ビットワードの位置を設定します。

17.2.10.5 FLXA0FRIBCM — FlexRay 入力バッファコマンドマスクレジスタ

FLXA0FRIBCR レジスタで選択したメッセージ RAM 内のメッセージバッファの更新方法を設定します。IBF ホストと IBF シャドウが切り替わるとき、LHSH、LDSH、STXRH ビットと LHSS、LDSS、STXRS ビットもそれぞれ切り替わります。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0510_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	STXRS	LDSS	LHSS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	STXRH	LDSH	LHSH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 17.66 FLXA0FRIBCM レジスタの内容

ビット位置	ビット名	機能
31 ～ 19	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
18	STXRS	送信要求シャドウ設定フラグ 0：TXR フラグを “0” に設定 1：TXR フラグを “1” に設定し、送信予約（転送中または転送完了）
17	LDSS	データセクションシャドウロードフラグ 0：データセクションを更新しない 1：データセクションを転送する（転送中または転送完了）
16	LHSS	ヘッダセクションシャドウロードフラグ 0：ヘッダセクションを更新しない 1：ヘッダセクションを転送する（転送中または転送完了）
15 ～ 3	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
2	STXRH	送信要求ホスト設定ビット 0：TXR フラグを “0” に設定 1：TXR フラグを “1” に設定し、送信予約
1	LDSH	データセクションホストロード設定ビット 0：データセクションを更新しない 1：データセクションを転送する
0	LHSH	ヘッダセクションホストロード設定ビット 0：ヘッダセクションを更新しない 1：ヘッダセクションを転送する

(1) FLXA0FRIBCM.STXRS

送信要求シャドウ設定フラグ

(2) FLXA0FRIBCM.LDSS

データセクションシャドウロードフラグ

(3) FLXA0FRIBCM.LHSS

ヘッダセクションシャドウロードフラグ

(4) FLXA0FRIBCM.STXRH

送信要求ホスト設定ビット

このビットが “1” に設定されている場合、選択されたメッセージバッファの TXR フラグが FLXA0FRTXRQ1 ～ FLXA0FRTXRQ4 レジスタ内で “1” に設定され、そのメッセージバッファは送信バッファとして設定可能になります。シングルショットモードでは、送信完了後にクリアされます。

TXR は、送信バッファに対してのみ有効です。

(5) FLXA0FRIBCM.LDSH

データセクションホストロード設定ビット

(6) FLXA0FRIBCM.LHSH

ヘッダセクションホストロード設定ビット

17.2.10.6 FLXA0FRIBCR — FlexRay 入力バッファコマンド要求レジスタ

CPU が転送先であるメッセージ RAM のメッセージバッファ番号を FLXA0FRIBCR.IBRH に書き込むと、IBF ホストと IBF シャドウが切り替わります。また FLXA0FRIBCR.IBRH と FLXA0FRIBCR.IBRS に格納されているメッセージ番号も切り替わります。（**17.3.12.2 (1) 入力バッファからメッセージ RAM へのデータ転送**を参照）。

この書き込みにより、FLXA0FRIBCR.IBSYS が “1” にセットされます。次に、メッセージハンドラにより IBF シャドウの内容が FLXA0FRIBCR.IBRS で選択されたメッセージ RAM のメッセージバッファに転送されます。

転送中 IBF ホストに次のメッセージを書き込むことができます。IBF シャドウとメッセージ RAM 間の転送が完了すると、FLXA0FRIBCR.IBSYS は再び “0” になり、FLXA0FRIBCR.IBRH に次のメッセージバッファ番号が書込まれると次のデータ転送が始まります。

FLXA0FRIBCR.IBSYS が “1” のときに FLXA0FRIBCR.IBRH へ書き込もうとすると、FLXA0FRIBCR.IBSYH が “1” にセットされます。データ転送が完了すると IBF ホストと IBF シャドウが切り替わり、FLXA0FRIBCR.IBSYH は “0” にクリアされます。FLXA0FRIBCR.IBSYS は “1” のまま、次の転送が始まります。また FLXA0FRIBCR.IBRH および FLXA0FRIBCR.IBRS に格納されているメッセージバッファ番号も入れ替わります。

FLXA0FRIBCR.IBSYS および FLXA0FRIBCR.IBSYH が “1” のときに IBF レジスタへ書き込もうとすると、FLXA0FREIR.IIBA フラグ（エラーフラグ）が “1” にセットされます。この場合、書き込みは影響せず、IBF は切り替わりません。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0514_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IBSYS	—	—	—	—	—	—	—	—	IBRS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IBSYH	—	—	—	—	—	—	—	—	IBRH[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.67 FLXA0FRIBCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	IBSYS	入力バッファビジーシャドウフラグ 0：IBF シャドウからメッセージ RAM へ転送完了 1：IBF シャドウからメッセージ RAM へ転送中
30 ～ 23	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
22 ～ 16	IBRS[6:0]	入力バッファ要求シャドウフラグ

表 17.67 FLXA0FRIBCR レジスタの内容 (2/2)

ビット位置	ビット名	機能
15	IBSYH	入力バッファビジーホストフラグ 0：保留中の転送要求なし 1：IBF シャドウからメッセージ RAM への転送中に次の転送要求あり
14 ～ 7	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
6 ～ 0	IBRH[6:0]	入力バッファ要求ホストビット

(1) FLXA0FRIBCR.IBSYS

入力バッファビジーシャドウフラグ

FLXA0FRIBCR.IBRH への書き込みのあとに “1” にセットされます。

IBF シャドウとメッセージ RAM 間の転送が進行中であることを示します。

IBF シャドウとメッセージ RAM 間の転送が完了すると “0” にクリアされます。

(2) FLXA0FRIBCR.IBRS

入力バッファ要求シャドウフラグ

更新中もしくは最後に更新した転送先メッセージバッファ番号を保存します。

(3) FLXA0FRIBCR.IBSYH

入力バッファビジーホストフラグ

FLXA0FRIBCR.IBSYS が “1” のときに FLXA0FRIBCR.IBRH への書き込みを行うと “1” にセットされます。

IBF シャドウとメッセージ RAM 間の転送が進行中であることを示します。

IBF シャドウとメッセージ RAM 間の転送が完了すると “0” にクリアされます。

(4) FLXA0FRIBCR.IBRH

入力バッファ要求ホストビット

入力バッファからデータを転送するためのメッセージ RAM 中のターゲットメッセージバッファを選択します。

17.2.11 出力バッファ

出力バッファ（OBF）は、OBF ホストと OBF シャドウの 2 段バッファ構成になっており、メッセージ RAM からメッセージバッファのデータを読み出すのに使用します。CPU による読み出しは OBF ホストから、メッセージハンドラによるメッセージ RAM からの転送は OBF シャドウから行います。**「17.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送」**に OBF とメッセージ RAM 間の転送について詳しく説明しています。

「17.3.16.2 出力データ転送」に示す出力データ転送機能を使用するとき、および FLXA0FROTS レジスタの OTS ビットが “1” のときは、これらのレジスタに書き込むことはできません。

17.2.11.1 FLXA0FRRDDSn — FlexRay データセクションリードレジスタ n（n = 1 ～ 64）

指定したメッセージバッファのデータセクションから読み出されたデータワードを保持します。メッセージ RAM から読み出されるデータワード数は、FLXA0FRRDHS2 レジスタの PLC ビットに設定されたペイロード長によって定義されます。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0600_H ～ <ERAY> + $06FC_H$（<ERAY> + 0600_H +（n-1）*4）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.68 FLXA0FRRDDSn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	MD[31:0]	メッセージデータフラグ

(1) FLXA0FRRDDSn.MD

メッセージデータフラグ

メッセージデータのバイトアライメントについては、**「17.3.17 バイトアライメント」**を参照してください。

注 意

FLXA0FRWRHS2 レジスタの PLC ビットが奇数ペイロード長を指定している場合、残りのメッセージデータバイトは使用されません。

CHI コマンド CLEAR_RAMS によってクリアされます。

17.2.11.2 FLXA0FRRDHS1 — FlexRay ヘッダセクションリードレジスタ 1

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0700_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MBI	TXM	PPIT	CFG	CH[1:0]		—	CYC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FID[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.69 FLXA0FRRDHS1 レジスタの内容

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29	MBI	メッセージバッファ割り込み許可フラグ
28	TXM	送信モードフラグ
27	PPIT	ペイロードプリアンブルインジケータ送信フラグ
26	CFG	メッセージバッファ方向設定フラグ
25、24	CH[1:0]	チャネルフィルタ制御フラグ
23	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
22 ～ 16	CYC[6:0]	サイクルコード
15 ～ 11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 0	FID[10:0]	フレーム ID

(1) FLXA0FRRDHS1.MBI

メッセージバッファ割り込み許可フラグ

FLXA0FRWRHS1 レジスタの MBI ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(2) FLXA0FRRDHS1.TXM

送信モードフラグ

FLXA0FRWRHS1 レジスタの TXM ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(3) FLXA0FRRDHS1.PPIT

ペイロードプリアンブルインジケータ送信フラグ

FLXA0FRWRHS1 レジスタの PPIT ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(4) FLXA0FRRDHS1.CFG

メッセージバッファ方向設定フラグ

FLXA0FRWRHS1 レジスタの CFG ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(5) FLXA0FRRDHS1.CH

チャネルフィルタ制御フラグ

FLXA0FRWRHS1 レジスタの CH ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(6) FLXA0FRRDHS1.CYC

サイクルコード

FLXA0FRWRHS1 レジスタの CYC ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは “0” になります。

(7) FLXA0FRRDHS1.FID

フレーム ID

FLXA0FRWRHS1 レジスタの FID ビットを使用して設定した値です。

受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは受信フレーム ID を保持します。

17.2.11.3 FLXA0FRRDHS2 — FlexRay ヘッダセクションリードレジスタ 2

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0704_H

リセット後の値 $0000\ 0000_H$

注 意

スタティックバッファ領域、またはスタティックバッファ + ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXA0FRWRHS2 はデータフレームからのみ更新されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PLR[6:0]							—	PLC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.70 FLXA0FRRDHS2 レジスタの内容

ビット位置	ビット名	機能
31	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
30 ～ 24	PLR[6:0]	受信フレームペイロード長フラグ（vRF!Header!Length）
23	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
22 ～ 16	PLC[6:0]	ペイロード長設定フラグ
15 ～ 11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 0	CRC[10:0]	ヘッダ CRC フラグ （vRF!Header!HeaderCRC）

(1) FLXA0FRRDHS2.PLR

受信フレームペイロード長フラグ（vRF!Header!Length）

受信したデータフレームにより更新されたペイロード長（vRF!Header!Length）が読めます。（例外：受信 FIFO に設定したメッセージバッファでは、Null フレームを受信しても更新されます。）

(2) FLXA0FRRDHS2.PLC

ペイロード長設定フラグ

設定したデータセクションの長さ（2 バイトワードの数）が読めます。

(3) FLXA0FRRDHS2.CRC

ヘッダ CRC フラグ（vRF!Header!HeaderCRC）

受信バッファ時：受信したデータフレームのヘッダ CRC（vRF!Header!HeaderCRC）が読めます。

送信バッファ時：設定したヘッダ CRC が読めます。

(4) Data storage

メッセージがメッセージバッファに格納される場合、受信したペイロード長と設定したペイロード長に関連して次の処理が実行されます。

FLXA0FRRDHS2.PLR > FLXA0FRRDHS2.PLC：メッセージバッファに格納されるペイロードデータは、FLXA0FRRDHS2.PLC が偶数の場合は FLXA0FRRDHS2.PLC のサイズ、奇数の場合は FLXA0FRRDHS2.PLC + 1 のサイズに切り詰められます。

FLXA0FRRDHS2.PLR <= FLXA0FRRDHS2.PLC：受信したペイロードデータはメッセージバッファのデータセクションに格納されます。FLXA0FRRDHS2.PLC で定義されたデータセクションの残りのデータバイトには不定値が入ります。

FLXA0FRRDHS2.PLR = 0：メッセージバッファのデータセクションにはすべて不定値が入ります。

FLXA0FRRDHS2.PLC = 0：メッセージバッファにデータセクションが構成されません。メッセージバッファのデータセクションにデータは格納されません。

注　意

1. **メッセージ RAM は 4 バイトワード単位で構成されます。受信データがメッセージバッファのデータセクションに格納される場合、メッセージバッファに書き込まれる 2 バイトのデータワード数は次の偶数値に丸められた FLXA0FRRDHS2.PLC の値になります。**
2. **受信 FIFO に設定されたメッセージバッファの FLXA0FRRDHS2.PLC の値はすべて同じ値にしてください。**
   スタティックバッファ領域、またはスタティックバッファ + ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXA0FRWRHS2 はデータフレームからのみ更新されます。

17.2.11.4 FLXA0FRRDHS3 — FlexRay ヘッダセクションリードレジスタ 3

注 意

スタティックバッファ領域、またはスタティックバッファ + ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXA0FRWRHS3 はデータフレームからのみ更新されます。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + 0708_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RES	PPI	NFI	SYN	SFI	RCI	—	—	RCC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.71 FLXA0FRRDHS3 レジスタの内容

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29	RES	予約ビット表示フラグ （vRF!Header!Reserved）
28	PPI	ペイロードプリアンブルインジケータフラグ（vRF!Header!PPIndicator）
27	NFI	Null フレームインジケータフラグ（vRF!Header!NFIndicator） 0：現在まで、該当メッセージバッファにデータフレームは格納されていません。 1：少なくとも 1 つのデータフレームが該当メッセージバッファに格納されています。
26	SYN	Sync フレームインジケータフラグ （vRF!Header!SyFIndicator） 0：受信フレームは非 sync フレーム 1：受信フレームは sync フレーム
25	SFI	Startup フレームインジケータフラグ（vRF!Header!SuFIndicator） 0：受信フレームは非 Startup フレーム 1：受信フレームは Startup フレーム
24	RCI	受信チャネルインジケータフラグ （vSS!Channel） 0：チャネル B でフレーム受信 1：チャネル A でフレーム受信
23、22	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
21 ～ 16	RCC[5:0]	受信サイクルカウンタ （vRF!Header!CycleCount）
15 ～ 11	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
10 ～ 0	DP[10:0]	データポインタフラグ

(1) FLXA0FRRDHS3.RES

リザーブビット表示フラグ（vRF!Header!Reserved）

受信フレームのヘッダにあるリザーブビットの値が読めます。リザーブビットは “0” で送信されます。

(2) FLXA0FRRDHS3.PPI

ペイロードプリアンブルインジケータフラグ（vRF!Header!PPIndicator）

受信フレームのペイロードセグメントに NM ベクタまたはメッセージ ID が含まれるかどうかを定義します。

0= 受信フレームのペイロードセグメントに NM ベクタもメッセージ ID も含まない

1= スタティックセグメントの場合：ペイロードの先頭部分に NM ベクタを含む
ダイナミックセグメントの場合：ペイロードの先頭部分にメッセージ ID を含む

(3) FLXA0FRRDHS3.NFI

Null フレームインジケータフラグ （vRF!Header!NFIndicator）

最初に受信したデータフレームを格納すると、“1” に設定されます。

(4) FLXA0FRRDHS3.SYN

Sync フレームインジケータフラグ（vRF!Header!SyFIndicator）

Sync フレームインジケータで Sync フレームを表示します。

(5) FLXA0FRRDHS3.SFI

Startup フレームインジケータフラグ （vRF!Header!SuFIndicator）

Startup フレームインジケータで Startup フレームを表示します。

(6) FLXA0FRRDHS3.RCI

受信チャネルインジケータフラグ （vSS!Channel）

受信バッファを更新するための受信データフレームのチャネルを表示します。

(7) FLXA0FRRDHS3.RCC

受信サイクルカウンタ（vRF!Header!CycleCount）

受信データフレームによって更新されたサイクルカウンタ値が読めます。

(8) FLXA0FRRDHS3.DP

データポインタフラグ

メッセージ RAM 内のメッセージバッファのデータセクションの最初の 32 ビットワードの位置を示します。

FLXA0FRWRHS3 レジスタの DP ビットに設定された値です。

17.2.11.5 FLXA0FRMBS — FlexRay メッセージバッファステータスレジスタ

FlexRay メッセージバッファステータスは、メッセージバッファに割り当てられたスロットの終了時にチャネルの最新状態に更新されます。

フラグは、CC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ更新されます。

チャネル A かチャネル B のいずれか一方だけがメッセージバッファに割り当てられている場合、割り当てられていないチャネルだけに関連するステータスフラグは “0” になります。両方のチャネルがメッセージバッファに割り当てられている場合、両方のチャネルのフラグが更新されます。

FlexRay メッセージバッファステータスは、スロットカウンタが設定したフレーム ID に到達し、サイクルカウンタフィルタが一致した場合のみ更新されます。CPU が入力バッファを介してメッセージバッファを更新すると、FLXA0FRIBCM レジスタの設定に関係なく、FLXA0FRMBS レジスタのフラグはすべて “0” になります。

送受信フィルタリングの詳細については、**「17.3.8 フィルタリングとマスキング」**、**「17.3.9 送信プロセス」**および**「17.3.10 受信プロセス」**を参照してください。

FLXA0FRMBS.VFRA, FLXA0FRMBS.VFRB, FLXA0FRMBS.SEOA, FLXA0FRMBS.SEOB, FLXA0FRMBS.CEOA, FLXA0FRMBS.CEOB, FLXA0FRMBS.SVOA, FLXA0FRMBS.SVOB, FLXA0FRMBS.TCIA, FLXA0FRMBS.TCIB, FLXA0FRMBS.ESA, FLXA0FRMBS.ESB, FLXA0FRMBS.MLST, FLXA0FRMBS.FTA, FLXA0FRMBS.FTB フラグのいずれかが変化すると、FLXA0FRMBSC1 ～ FLXA0FRMBSC4 レジスタの対応するメッセージバッファの MBC フラグがセットされます。

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + $070C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RESS	PPIS	NFIS	SYNS	SFIS	RCIS	—	—	CCS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTB	FTA	—	MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.72 FLXA0FRMBS レジスタの内容 (1/3)

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29	RESS	リザーブビットステータスフラグ （vRF!Header!Reserved）
28	PPIS	ペイロードプリアンブルインジケータステータスフラグ （vRF!Header!PPIndicator） 0：PP インジケータは “0” にセット 1：PPI インジケータは “1” にセット
27	NFIS	Null フレームインジケータステータスフラグ（vRF!Header!NFIndicator） 0：受信フレームは Null フレーム 1：受信フレームは非 Null フレーム

表 17.72 FLXA0FRMBS レジスタの内容 (2/3)

ビット位置	ビット名	機能
26	SYNS	Sync フレームインジケータステータスフラグ （vRF!Header!SyFIndicator） 0：Sync フレームを受信せず 1：受信フレームは Sync フレーム
25	SFIS	Startup フレームインジケータステータスフラグ （vRF!Header!SuFIndicator） 0：Startup フレームを受信せず 1：受信フレームは Startup フレーム
24	RCIS	受信チャネル表示ステータスフラグ（vSS!Channel） 0：チャネル B でフレーム受信 1：チャネル A でフレーム受信
23、22	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
21 ～ 16	CCS[5:0]	サイクルカウントステータスフラグ
15	FTB	チャネル B フレーム送信フラグ 0：チャネル B でデータフレーム送信せず 1：チャネル B でデータフレーム送信
14	FTA	チャネル A フレーム送信フラグ 0：チャネル A でデータフレーム送信せず 1：チャネル A でデータフレーム送信
13	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
12	MLST	メッセージロストフラグ 0：メッセージロストなし 1：受信バッファのフレームを読む前に次のフレームが上書きされた
11	ESB	チャネル B エンプティスロットフラグ 0：チャネル B で割り当てられたスロットではバスがアイドル状態でない 1：チャネル B で割り当てられたスロットではバスがアイドル状態である
10	ESA	チャネル A エンプティスロットフラグ 0：チャネル A で割り当てられたスロットではバスがアイドル状態でない 1：チャネル A で割り当てられたスロットではバスがアイドル状態である
9	TCIB	チャネル B 送信競合検出フラグ（vSS!TxConflictB） 0：チャネル B で送信競合を検出せず 1：チャネル B で送信競合を検出
8	TCIA	チャネル A 送信競合検出フラグ （vSS!TxConflictA） 0：チャネル A で送信競合を検出せず 1：チャネル A で送信競合を検出
7	SVOB	チャネル B スロット境界違反フラグ（vSS!BViolationB） 0：チャネル B でスロット境界違反を検出せず 1：チャネル B でスロット境界違反検出
6	SVOA	チャネル A スロット境界違反フラグ（vSS!BViolationA） 0：チャネル A でスロット境界違反を検出せず 1：チャネル A でスロット境界違反検出
5	CEOB	チャネル B コンテンツエラーフラグ（vSS!ContentErrorB） 0：チャネル B でコンテンツエラーを検出せず 1：チャネル B でコンテンツエラーを検出
4	CEOA	チャネル A コンテンツエラーフラグ（vSS!ContentErrorA） 0：チャネル A でコンテンツエラーを検出せず 1：チャネル A でコンテンツエラーを検出
3	SEOB	チャネル B シンタックスエラーフラグ （vSS!SyntaxErrorB） 0：チャネル B でシンタックスエラーを検出せず 1：チャネル B でシンタックスエラーを検出

表 17.72 FLXA0FRMBS レジスタの内容 (3/3)

ビット位置	ビット名	機能
2	SEOA	チャネル A シンタックスエラーフラグ （vSS!SyntaxErrorA） 0：チャネル A でシンタックスエラーを検出せず 1：チャネル A でシンタックスエラーを検出
1	VFRB	チャネル B 受信有効フレームフラグ（vSS!ValidFrameB） 0：チャネル B で有効フレーム受信せず 1：チャネル B で有効フレームを受信
0	VFRA	チャネル A 受信有効フレームフラグ（vSS!ValidFrameA） 0：チャネル A で有効フレーム受信せず 1：チャネル A で有効フレームを受信

(1) FLXA0FRMBS.RESS

リザーブビットステータスフラグ（vRF!Header!Reserved）

受信フレームのヘッダにあるリザーブビットの値が読めます。リザーブビットは “0” で送信されます。

受信バッファ（FLXA0FRWRHS1.CFG = ‘0’）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(2) FLXA0FRMBS.PPIS

ペイロードプリアンブルインジケータステータスフラグ（vRF!Header!PPIndicator）

受信フレームのペイロードセグメントに NM ベクタまたはメッセージ ID が含まれるかどうかを定義します。

受信バッファ（FLXA0FRWRHS1.CFG = ‘0’）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

0 = PP インジケータは ‘0’ にセット

受信フレームのペイロードセグメントに NM ベクタもメッセージ ID も含まない

1 = PPI インジケータは ‘1’ にセット

スタティックセグメントの場合：ペイロードの先頭部分に NM ベクタを含む

ダイナミックセグメントの場合：ペイロードの先頭部分にメッセージ ID を含む

(3)FLXA0FRMBS.NFIS

Null フレームインジケータステータスフラグ（vRF!Header!NFIndicator）

“0” の場合、受信フレームのペイロードセグメントのデータは無効です。

受信バッファ（FLXA0FRWRHS1.CFG = ‘0’）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(4) FLXA0FRMBS.SYNS

Sync フレームインジケータステータスフラグ （vRF!Header!SyFIndicator）

Sync フレームインジケータで Sync フレームを表示します。

受信バッファ（FLXA0FRWRHS1.CFG = ‘0’）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(5) FLXA0FRMBS.SFIS

Startup フレームインジケータステータスフラグ（vRF!Header!SuFIndicator）

Startup フレームインジケータで Startup フレームを表示します。

受信バッファ（FLXA0FRWRHS1.CFG = ‘0’）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(6) FLXA0FRMBS.RCIS

受信チャネル表示ステータスフラグ（vSS!Channel）

フレームを受信したチャネルを表示します。

受信バッファ（FLXA0FRWRHS1.CFG = ‘0’）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(7) FLXA0FRMBS.CCS

サイクルカウントステータスフラグ

ステータスが更新されたときのサイクルカウンタ値が読めます。

(8) FLXA0FRMBS.FTB

チャネル B フレーム送信フラグ

チャネル B にデータフレームを送信したことを示します。

注　意

CPU のみが FLXA0FRMBS.FTB をクリアすることができます。したがって、本ビットが “1” に設定されるサイクルでサイクルカウントステータス（FLXA0FRMBS.CCS）のみが有効です。

(9) FLXA0FRMBS.FTA

チャネル A フレーム送信フラグ

チャネル A にデータフレームを送信したことを示します。

注　意

CPU のみが FLXA0FRMBS.FTA をクリアすることができます。したがって、本ビットが “1” に設定されるサイクルでサイクルカウントステータス（FLXA0FRMBS.CCS）のみが有効です。

(10) FLXA0FRMBS.MLST

メッセージロストフラグ

CPU がメッセージデータを読む前に、受信したデータフレームによってメッセージバッファが上書きされたとき “1” になります。

受信 FIFO に設定したメッセージバッファを除き、Null フレームの受信による影響はありません。入力バッファを介してメッセージバッファに書き込みを行うか、出力バッファを介してメッセージを読み出すことで ND ビットが “0” になったあと、新しいメッセージがメッセージバッファに格納されると、このフラグは “0” になります。

(11) FLXA0FRMBS.ESB

チャネル B エンプティスロットフラグ

エンプティスロットでは、バスがアイドル状態、つまり、フレーム送信が検出されていないことを意味します。この状態は、スタティックスロットおよびダイナミックスロットでチェックされます。

(12) FLXA0FRMBS.ESA

チャネル A エンプティスロットフラグ

エンプティスロットでは、バスがアイドル状態、つまり、フレーム送信が検出されていないことを意味します。この状態は、スタティックスロットおよびダイナミックスロットでチェックされます

(13) FLXA0FRMBS.TCIB

チャネル B 送信競合検出フラグ （vSS!TxConflictB）

送信競合がチャネル B で検出されたときに、“1” に設定されます。

(14) FLXA0FRMBS.TCIA

チャネル A 送信競合検出フラグ（vSS!TxConflictA）

送信競合がチャネル A で検出されたときに、“1” に設定されます。

(15) FLXA0FRMBS.SVOB

チャネル B スロット境界違反フラグ （vSS!BViolationB）

スロット境界違反（設定されたスロットの開始もしくは終了においてチャネルがアクティブであること）がチャネル B に割り当てられたスロットで検出されたことを示します。

(16) FLXA0FRMBS.SVOA

チャネル A スロット境界違反フラグ （vSS!BViolationA）

スロット境界違反（設定されたスロットの開始もしくは終了においてチャネルがアクティブであること）がチャネル A に割り当てられたスロットで検出されたことを示します。

(17) FLXA0FRMBS.CEOB

チャネル B コンテンツエラーフラグ （vSS!ContentErrorB）

チャネル B に割り当てられたスロットでコンテンツエラーが検出されたことを示します。

(18) FLXA0FRMBS.CEOA

チャネル A コンテンツエラーフラグ （vSS!ContentErrorA）

チャネル A に割り当てられたスロットでコンテンツエラーが検出されたことを示します。

(19) FLXA0FRMBS.SEOB

チャネル B シンタックスエラーフラグ（vSS!SyntaxErrorB）

チャネル B に割り当てられたスロットでシンタックスエラーが検出されたことを示します。

(20) FLXA0FRMBS.SEOA

チャネル A シンタックスエラーフラグ （vSS!SyntaxErrorA）

チャネル B に割り当てられたスロットでシンタックスエラーが検出されたことを示します。

(21) FLXA0FRMBS.VFRB

チャネル B 受信有効フレームフラグ （vSS!ValidFrameB）

チャネル B で有効フレームが受信されたときに “1” に設定されます。

(22) FLXA0FRMBS.VFRA

チャネル A 受信有効フレームフラグ （vSS!ValidFrameA）

チャネル A で有効フレームが受信されたときに “1” に設定されます。

17.2.11.6 FLXA0FROBCM — FlexRay 出力バッファコマンドマスクレジスタ

FLXA0FROBCR レジスタの OBRS ビットで選択したメッセージ RAM 内のメッセージバッファによる出力バッファの更新方法を設定します。

FLXA0FROBCR レジスタの REQ ビットによりメッセージ RAM 転送が要求されると、RDSS ビットおよび RHSS ビットの内容が内部メモリにコピーされます。

OBF ホストと OBF シャドウが切り替わるとき、RDSH ビットおよび RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま内部メモリの値と切り替わります。

出力バッファとメッセージ RAM 間のデータ転送についての詳細は、「**17.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送**」を参照してください。

注 意

ヘッダセクションがメッセージ RAM から OBF シャドウに転送された後、FLXA0FRMBSC1 ～ FLXA0FRMBSC4 レジスタの選択されたメッセージバッファの FlexRay メッセージバッファステータス変化フラグ（MBC）がクリアされます。データセクションがメッセージ RAM から OBF シャドウに転送された後、FLXA0FRNDAT1 ～ FLXA0FRNDAT4 レジスタの選択されたメッセージバッファの新データフラグ（ND）がクリアされます。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0710_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDSH	RHSH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDSS	RHSS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 17.73 FLXA0FROBCM レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 18	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
17	RDSH	データセクションホスト読み出しフラグ 0：データセクションを読み出さない 1：データセクションをメッセージ RAM から出力バッファへ転送する
16	RHSH	ヘッダセクションホスト読み出しフラグ 0：ヘッダセクションを読み出さない 1：ヘッダセクションをメッセージ RAM から出力バッファへ転送する

表 17.73 FLXA0FROBCM レジスタの内容 (2/2)

ビット位置	ビット名	機能
15 ～ 2	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
1	RDSS	データセクションシャドウ読み出しビット 0：データセクションを読み出さない 1：データセクションをメッセージ RAM から出力バッファへ転送する
0	RHSS	ヘッダセクションシャドウ読み出しビット 0：ヘッダセクションを読み出さない 1：ヘッダセクションをメッセージ RAM から出力バッファへ転送する

(1) FLXA0FROBCM.RDSH

データセクションホスト読み出しフラグ

(2) FLXA0FROBCM.RHSH

ヘッダセクションホスト読み出しフラグ

(3) FLXA0FROBCM.RDSS

データセクションシャドウ読み出しビット

(4) FLXA0FROBCM.RHSS

ヘッダセクションシャドウ読み出しビット

17.2.11.7 FLXA0FROBCR — FlexRay 出力バッファコマンド要求レジスタ

FLXA0FROBCR.OBSYS ビットが “0” のときに FLXA0FROBCR.REQ ビットに “1” を書き込むと、FLXA0FROBCR.OBSYS ビットが自動的に “1” にセットされます。また、FLXA0FROBCR.OBRS ビットの値は内部メモリにコピーされ、FLXA0FROBCM.RDSS ビットおよび FLXA0FROBCM.RHSS ビットの値は FLXA0FROBCM レジスタの内部メモリにコピーされます。さらに、FLXA0FROBCR.OBRS ビットで選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送が完了すると、FLXA0FROBCM.OBSYS ビットを “0” に戻すことで完了が通知されます。

FLXA0FROBCR.OBSYS ビットが “0” のときに FLXA0FROBCR.VIEW ビットを “1” にセットすると、OBF ホストと OBF シャドウが切り替わります。同時に、FLXA0FROBCM.RDSH ビットおよび FLXA0FROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXA0FROBCM レジスタの内部メモリの値と切り替わります。アクセスが可能なメッセージバッファ番号は FLXA0FROBCR.OBRH により示されます。

FLXA0FROBCR.OBSYS ビットが “0” のときに FLXA0FROBCR.REQ ビットと FLXA0FROBCR.VIEW ビットに同時に “1” を書き込むと、FLXA0FROBCR.OBSYS ビットが自動的に “1” にセットされ、OBF シャドウと OBF ホストが切り替わります。同時に、FLXA0FROBCM.RDSH ビットおよび FLXA0FROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXA0FROBCM レジスタの内部メモリの値と切り替わります。その後、FLXA0FROBCR.OBRS ビットの値は内部メモリにコピーされ、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送している間、CPU は前回転送されたメッセージバッファを OBF ホストから読み出すことができます。メッセージ RAM と OBF シャドウ間の最新の転送が完了すると、FLXA0FROBCR.OBSYS ビットを “0” に戻すことで完了が通知されます。

FLXA0FROBCR.OBSYS ビットが “1” のとき FLXA0FROBCR[15:8] へ書き込もうとすると、FLXA0FREIR レジスタの IOBA ビットが “1” にセットされます。この場合、書き込みは影響せず、OBF は切り替わりません。

出力バッファとメッセージ RAM 間のデータ転送についての詳細は、「**17.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送**」を参照してください。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0714_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	OBRH[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OBSYS	—	—	—	—	—	REQ	VIEW	—	OBRS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.74 FLXA0FROBCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
22 ～ 16	OBRH[6:0]	OBF ホスト転送要求フラグ
15	OBSYS	OBF シャドウビジーフラグ 0：実行中の転送なし 1：メッセージ RAM から OBF シャドウへの転送中
14 ～ 10	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
9	REQ	メッセージ RAM 転送要求ビット 0：要求なし 1：OBF シャドウへの転送を要求あり
8	VIEW	シャドウバッファ・ホストバッファ切り替えビット 0：切り替えなし 1：OBF シャドウと OBF ホストを切り替える
7	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
6 ～ 0	OBRS[6:0]	OBF シャドウ転送要求ビット

(1) FLXA0FROBCR.OBRH

OBF ホスト転送要求フラグ

FLXA0FRRDHS1 ～ FLXA0FRRDHS3、FLXA0FRMBS、FLXA0FRRDDS1 ～ FLXA0FRRDDS64 を経由して、現在、アクセスが可能なメッセージバッファ番号を示します。

FLXA0FROBCR.VIEW へ “1” を書き込むと、OBF ホストが切り替わり、転送されたメッセージバッファはアクセス可能となります。

(2) FLXA0FROBCR.OBSYS

OBF シャドウビジーフラグ

FLXA0FROBCR.REQ ビットに “1” を書くと、“1” になります。メッセージ RAM から OBF シャドウへの転送が完了すると、“0” になります。

(3) FLXA0FROBCR.REQ

メッセージ RAM 転送要求ビット

FLXA0FROBCR.OBSYS が “0” の間のみ書き込み可能です。

FLXA0FROBCR.OBRS によって指定されたメッセージバッファをメッセージ RAM から OBF シャドウへ転送します。

(4) FLXA0FROBCR.VIEW

シャドウバッファ・ホストバッファ切り替えビット

FLXA0FROBCR.OBSYS が “0” の間のみ書き込み可能です。

OBF シャドウと OBF ホストを切り替えます。

(5) FLXA0FROBCR.OBRS

OBF シャドウ転送要求ビット

FLXA0FROBCR.OBSYS が “0” の間のみ書き込み可能です。

メッセージ RAM から OBF シャドウに転送する際の転送元メッセージバッファ番号を示します。

受信 FIFO の先頭のメッセージバッファ番号をこのレジスタに書いた場合、GET Index（GIDX、**「17.3.11 FIFO 機能」**参照）で示されるメッセージバッファが OBF シャドウに転送されます。

17.2.12 データ転送制御レジスタ

17.2.12.1 FLXA0FRITC — FlexRay 入力転送設定レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0800_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	ITM[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IQEIE	IQFIE	—	—	—	—	—	—	IQHR	ITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 17.75 FLXA0FRITC レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
22 ～ 16	ITM[6:0]	入力キューテーブル最大値ビット 入力バッファハンドラが入力キューに保持可能な、入力ポインタテーブル内のエントリ数を設定します。
15 ～ 10	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
9	IQEIE	入力キューエンプティ割り込み許可ビット 0：割り込み禁止 1：割り込み許可
8	IQFIE	入力キューフル割り込み許可ビット 0：割り込み禁止 1：割り込み許可
7 ～ 2	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
1	IQHR	入力キュー停止要求ビット 0：入力キュー動作要求 1：入力キュー停止要求
0	ITE	入力転送許可ビット 0：転送禁止要求 1：転送許可要求

(1) FLXA0FRITC.ITM

入力キューテーブル最大値ビット

FLXA0FRITS レジスタの ITS ビットが “0” の場合のみ書き込み可能です。

入力バッファハンドラが入力キューに保持可能な、入力ポインタテーブル内のエントリ数を設定します。

有効値：00_H （1 キューエントリ）～ $7F_H$ （128 キューエントリ）

各エントリは入力ポインタテーブルに 2 ロングワード必要です。

(2) FLXA0FRITC.IQEIE

入力キューエンプティ割り込み許可ビット

入力キューエンプティ割り込みを制御します。

0：割り込み禁止

割り込み要求されず、入力キューエンプティ割り込みは発生しません。

1：割り込み許可

FLXA0FRITS レジスタの IQEIS ビットが “1” の場合、入力キューエンプティ割り込みが発生します。

(3) FLXA0FRITC.IQFIE

入力キューフル割り込み許可ビット

入力キューフル割り込みを制御します。

0：割り込み禁止

割り込み要求されず、入力キューフル割り込みは発生しません。

1：割り込み許可

FLXA0FRITS レジスタの IQEIS ビットが “1” の場合、入力キューフル割り込みが発生します。

(4) FLXA0FRITC.IQHR

入力キュー停止要求ビット

FLXA0FRITS レジスタの ITS ビットが “0” の場合、“1” にセットすることはできません。

入力キューの停止を要求します。

停止要求の状態は FLXA0FRITS レジスタの IQH ビットで見ることができます。

本ビットの使用法については **17.3.16.1 (5) 入力キューの停止**を参照してください。

0：入力キュー動作要求

入力キューは動作します。

1：入力キュー停止要求

入力キューは停止します。動作中の入力転送は完了しますが、以降の転送は行われません。

(5) FLXA0FRITC.ITE

入力転送許可ビット

FLXA0FRIBCR.IBSYS が “0” の場合のみ “1” にセットできます。

FLXA0FRITC.IQHR が “0” の場合のみ “0” にセットできます。それ以外では入力転送できません。

入力転送キューの動作モードを制御します。

入力転送キューの動作状態は FLXA0FRITS レジスタの ITS ビットで見ることができます。

本ビットの使用法については **17.3.16.1 (1) 起動および停止**を参照してください。

0：動作禁止要求

入力転送キューがエンプティになると動作不可となります。

1：動作許可要求

入力転送キューは動作許可となります。入力データの構造体は FlexRay 内部メッセージ RAM へ転送されます。

17.2.12.2 FLXA0FROTC — FlexRay 出力転送設定レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0804_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	FTM[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	FWIE	OWIE	FIE	OIE	—	—	—	—	—	—	OTCS	OTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 17.76 FLXA0FROTC レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
20 ～ 16	FTM[4:0]	FIFO テーブル最大値ビット 出力転送ハンドラが Local RAM や Global RAM 内に保持できる FIFO エントリ数を設定します。
15 ～ 12	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
11	FWIE	FIFO 転送警告割り込み許可ビット 0：割り込み禁止 1：割り込み許可
10	OWIE	出力転送警告割り込み許可ビット 0：割り込み禁止 1：割り込み許可
9	FIE	FIFO 転送割り込み許可ビット 0：割り込み禁止 1：割り込み許可
8	OIE	出力転送割り込み許可ビット 0: 割り込み禁止 1: 割り込み許可
7 ～ 2	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
1	OTCS	出力転送条件選択ビット 0：新規データ専用モード 1：新規データおよびステータス変更モード
0	OTE	出力転送許可ビット 0：動作禁止要求 1：動作許可要求

(1) FLXA0FROTC.FTM

FIFO テーブル最大値ビット

FLXA0FROTS レジスタの OTS ビットが “0” の場合のみ書き込み可能です。

出力転送ハンドラが Local RAM や Global RAM 内に保持できる FIFO エントリ数を設定します。

有効値：00_H（1 FIFO エントリ）～ $1F_H$（32 FIFO エントリ）

(2) FLXA0FROTC.FWIE

FIFO 転送警告割り込み許可ビット

FIFO 転送警告割り込みを制御します。

0：割り込み禁止

割り込み要求されず、FIFO 転送警告割り込みは発生しません。

1：割り込み許可

FLXA0FROTS レジスタの FWIS ビットが “1” の場合、FIFO 転送警告割り込みが発生します。

(3) FLXA0FROTC.OWIE

出力転送警告割り込み許可ビット

出力転送警告割り込みを制御します。

0：割り込み禁止

割り込み要求されず、出力転送警告割り込みは発生しません。

1：割り込み許可

FLXA0FROTS レジスタの OWIS ビットが “1” の場合、出力転送警告割り込みが発生します。

(4) FLXA0FROTC.FIE

FIFO 転送割り込み許可ビット

FIFO 転送割り込みを制御します。

0：割り込み禁止

割り込み要求されず、FIFO 転送割り込みは発生しません。

1：割り込み許可

FLXA0FROTS レジスタの FIS ビットが “1” の場合、FIFO 転送割り込みが発生します。

(5) FLXA0FROTC.OIE

出力転送割り込み許可ビット

出力転送割り込みを制御します。

0：割り込み禁止

割り込み要求されず、出力転送割り込みは発生しません。

1：割り込み許可

FLXA0FROTS レジスタの OTIS ビットが “1” の場合、出力転送割り込みが発生します。

(6) FLXA0FROTC.OTCS

出力転送条件選択ビット

FLXA0FROTS レジスタの OTS ビットが “0” の場合のみ書き込み可能です。

出力転送条件を制御します。

0：新規データ専用モード

FLXA0FRNDATi レジスタの ND ビットは、専用の受信バッファの転送条件を検出するために使用されます。

1：新規データおよびステータス変更モード

FLXA0FRNDATi レジスタの ND ビットおよび FLXA0FRMBSCi レジスタの MBC ビットは、専用の送受信バッファの転送条件を検出するために使用されます。

(7) FLXA0FROTC.OTE

出力転送許可ビット

FLXA0FROBCR レジスタの OBSYS ビットが “0” の場合のみ “1” にセットできます。

出力転送機能の動作モードを制御します。

出力転送機能の動作状態は FLXA0FROTS レジスタの OTS ビットで見ることができます。

本ビットの使用法については「**17.3.16.2 (1) 起動および停止**」を参照してください。

0：動作禁止要求

出力バッファ転送は禁止されます。

動作中のメッセージバッファ転送は完了しますが、その後の転送は行われません。

1：動作許可要求

出力バッファ転送は許可されます。メッセージバッファは FlexRay 内部メッセージ RAM から出力データ構造へ転送されます。

FLXA0FRMRC レジスタに書き込んで E-Ray メッセージ RAM の設定を変更することはできません。

17.2.12.3 FLXA0FRIBA — FlexRay 入力ポインタテーブルベースアドレスレジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0808_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ITA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 17.77 FLXA0FRIBA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ITA[31:0]	入力テーブルベースアドレスビット 入力ポインタテーブルのベースアドレスを設定します。

(1) FLXA0FRIBA.ITA

入力テーブルベースアドレスビット

FLXA0FRITS.ITS ビットが “0” の場合のみ書き込み可能です。

アドレスは 32 ビットのアライン値である必要があります。したがって FLXA0FRIBA.ITA[1:0] ビットは常に “0” です。

入力ポインタテーブルのベースアドレスを設定します。

このテーブルは、メッセージバッファを Local RAM や Global RAM から FlexRay 内部メッセージ RAM へ転送する入力転送キューに使用されます。

入力キューのサイズは、FLXA0FRITC.ITM ビット内で設定されます。

各エントリは、入力ポインタテーブル内に 2 ロングワード分必要です。

17.2.12.4 FLXA0FRFBA — FlexRay FIFO ポインタテーブルベースアドレスレジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $080C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 17.78 FLXA0FRFBA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	FTA[31:0]	FIFO ポインタテーブルベースアドレスビット FIFO ポインタテーブルのベースアドレスを設定します。

(1) FLXA0FRFBA.FTA

FIFO ポインタテーブルベースアドレスビット

FLXA0FROTS.OTS ビットが “0” の場合のみ書き込み可能です。

アドレスは 32 ビットのアライン値である必要があります。したがって FLXA0FRFBA.FTA[1:0] ビットは常に “0” です。

FIFO ポインタテーブルのベースアドレスを設定します。

このテーブルは、FlexRay 内部 FIFO から Local RAM や Global RAM へ転送されるメッセージバッファに使用されます。

FIFO のサイズは、FLXA0FROTC.FTM ビットで設定されます。

17.2.12.5 FLXA0FROBA — FlexRay 出力ポインタテーブルベースアドレスレジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0810_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 17.79 FLXA0FROBA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OTA[31:0]	出力ポインタテーブルベースアドレスビット 出力ポインタテーブルのベースアドレスを設定します。

(1) FLXA0FROBA.OTA

出力ポインタテーブルベースアドレスビット

FLXA0FROTS.OTS ビットが “0” の場合のみ書き込み可能です。

アドレスは 32 ビットのアライン値である必要があります。したがって FLXA0FROBA.OTA[1:0] ビットは常に “0” です。

出力ポインタテーブルのベースアドレスを設定します。

このテーブルは、FlexRay 内部メッセージ RAM から Local RAM や Global RAM へ転送されるメッセージバッファに使用されます。

テーブルのサイズは、FlexRay 内部メッセージ RAM の利用度に依存し、最大 128 エントリまでです。

17.2.12.6 FLXA0FRIQC — FlexRay 入力キュー制御レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0814_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	IMBNR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W

表 17.80 FLXA0FRIQC レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
6 ～ 0	IMBNR[6:0]	入力メッセージバッファ番号ビット 入力キューに加えるメッセージバッファ番号

(1) FLXA0FRIQC.IMBNR

入力メッセージバッファ番号ビット

FLXA0FRITS レジスタの IQFP ビットが “0” の場合のみ書き込み可能です。

FLXA0FRITS レジスタの ITS ビットが “0” あるいは FLXA0FRITC レジスタの ITE ビットが “0” の場合、書き込みはできません。

読み出すと “0” が読み出されます。

入力キューに加えるメッセージバッファを指定します。

この番号は入力ポインタテーブルの FLXA0FRWRHS4.IMBNR （「**17.3.16.1 (3) 入力ポインタテーブル**」参照）と同じである必要があります。

本レジスタへ書き込む前に、入力データ構造へのアドレスを入力ポインタテーブルのプットインデックス（FLXA0FRITS.IPIDX）の位置に書き込む必要があります。

本レジスタへ書き込むと、入力プットインデックス（FLXA0FRITS.IPIDX）がインクリメントされます。

17.2.12.7 FLXA0FRUIR — FlexRay ユーザ入力転送要求レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0818_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIDX[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.81 FLXA0FRUIR レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
7 ～ 0	UIDX[7:0]	ユーザ入力インデックス要求ビット 入力転送用に要求される入力ポインタテーブルインデックスを設定します。

(1) FLXA0FRUIR.UIDX

ユーザ入力インデックス要求ビット

FLXA0FRITS レジスタの UIRP ビットが “0” の場合のみ書き込み可能です。

FLXA0FRITS レジスタの ITS ビットが “0” の場合、本レジスタに書き込みはできません。

FLXA0FRITS レジスタの UIRP ビットが “1” の場合、本レジスタに書き込みはできません。

FLXA0FRITS レジスタの IQH ビットが “1” の場合、本レジスタに書き込みはできません。

FLXA0FRITC.ITM + 1 のみ書き込み可能です。

この値は入力転送用に要求されたユーザの入力ポインタテーブルインデックスを設定します。

本レジスタへ書き込む前に、入力データ構造へのアドレスを入力ポインタテーブルのインデックス UIDX の位置に書き込む必要があります。

本レジスタに書き込むと、要求された入力データ構造は入力データ構造の位置から FlexRay 内部メッセージ RAM へ転送されます。

キューに加えられた入力転送とは反対に、関連する FLXA0FRDA レジスタの DA フラグはユーザ入力転送には影響されません。

17.2.12.8 FLXA0FRUOR — FlexRay ユーザ出力転送要求レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + $081C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	URDS	—	—	UMBNR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.82 FLXA0FRUOR レジスタの内容

ビット位置	ビット名	機能
31 ～ 10	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
9	URDS	ユーザリードデータセクション要求ビット 0：データセクションは転送されない 1：データセクションは転送される
8、7	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
6 ～ 0	UMBNR[6:0]	ユーザ出力メッセージバッファ番号要求ビット 出力転送用に要求されるメッセージバッファ番号を設定します。

(1) FLXA0FRUOR.URDS

ユーザリードデータセクション要求ビット

FLXA0FROTS レジスタの UORP ビットが “0” の場合のみ書き込み可能です。

FLXA0FROTS レジスタの OTS ビットが “0” の場合、本レジスタに書き込みはできません。

FLXA0FROTS レジスタの UORP ビットが “1” の場合、本レジスタに書き込みはできません。

0：データセクションは転送されない

UMBNR ビットで選択されたメッセージバッファのデータセクションは要求されていません。

1：データセクションは転送される

UMBNR ビットで選択されたメッセージバッファのデータセクションが要求されています。

(2) FLXA0FRUOR.UMBNR

ユーザ出力メッセージバッファ番号要求ビット

FLXA0FROTS レジスタの UORP ビットが “0” の場合のみ書き込み可能です。

FLXA0FROTS レジスタの OTS ビットが “0” の場合、本レジスタに書き込みはできません。

FLXA0FROTS レジスタの UORP ビットが “1” の場合、本レジスタに書き込みはできません。

FlexRay モジュールが CONFIG 状態でない場合、本ビットを専用の受信バッファおよび送信バッファに制限してください。

本レジスタに書き込むと、要求されたメッセージバッファのヘッダセクションと任意のデータセクション（URDS によって設定）が、FlexRay 内部メッセージ RAM から出力ポインタテーブル内の出力構造データポインタによって定義された出力データ構造の位置に転送されます。

17.2.12.9 FLXA0FRAHBC — FlexRay H-Bus 設定レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0840_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	HPROT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 17.83 FLXA0FRAHBC レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
3 ～ 0	HPROT[3:0]	保護制御ビット

(1) FLXA0FRAHBC.HPROT

保護制御ビット

FLXA0FRITS レジスタの ITS ビットが “0” かつ FLXA0FROTS レジスタの OTS ビットが “0” の場合のみ、本レジスタに書き込むことができます。

本レジスタは、H-Bus 保護制御シグナルに割り当てられた値を設定します。

17.2.13 データ転送ステータスレジスタ

17.2.13.1 FLXA0FRITS — FlexRay 入力転送ステータスレジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0820_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IGIDX[6:0]							—	IPIDX[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IQFP	—	—	IQEIS	IQFIS	—	—	—	—	—	UIRP	IQH	ITS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 17.84 FLXA0FRITS レジスタの内容

ビット位置	ビット名	機能
31	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
30 ～ 24	IGIDX[6:0]	入力キューゲットインデックスビット 入力ポインタテーブルのゲットインデックスを示します。
23	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
22 ～ 16	IPIDX[6:0]	入力キュープットインデックスビット 入力ポインタテーブルのプットインデックスを示します
15 ～ 13	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
12	IQFP	入力キューフル条件保留ビット 0：入力キュー内のエントリが使用可能 1：入力キュー内のすべてのエントリが使用中
11、10	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
9	IQEIS	入力キューエンプティ 割り込みステータスビット 0：入力キューエンプティ条件は検出されない 1：入力キューエンプティ条件検出
8	IQFIS	入力キューフル割り込みステータスビット 0：入力キューフル条件は検出されない 1：入力キューフル条件検出
7 ～ 3	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
2	UIRP	ユーザ入力転送要求保留ビット 0：ユーザ入力転送要求の保留なし 1：ユーザ入力転送要求保留
1	IQH	入力キュー停止ビット 0：入力キューは停止しない 1：入力キュー停止
0	ITS	入力転送ステータスビット 0：無効 1：有効

(1) FLXA0FRITS.IGIDX

入力キューゲットインデックスビット

FLXA0FRITS レジスタの IQH ビットが “1” の場合のみ有効です。

入力キューハンドラが次に転送する入力ポインタインデックスを示します。

有効値：00_H ～ FLXA0FRITC.ITM

入力データ構造が Local RAM や Global RAM から転送され、関連する FLXA0FRDA レジスタの DA フラグがクリアされると、ゲットインデックスはインクリメントされます。

FLXA0FRITS レジスタの ITS ビットが “0” から “1” に変化すると、このインデックスは 00_H になります。

(2) FLXA0FRITS.IPIDX

入力キュープットインデックスビット

入力ポインタテーブル内の次の入力データ構造ポインタが格納される位置を表します。

有効値：00_H ～ FLXA0FRITC.ITM

最大値に到達すると、プットインデックスは 00_H から続けます。

FLXA0FRIQC レジスタの IMBNR ビットに書き込まれるとこのインデックスはインクリメントされます。

ITS ビットが “0” から “1” に変化すると、このインデックスは 00_H になります。

(3) FLXA0FRITS.IQFP

入力キューフル条件保留ビット

入力キューがフルであることを示します。

本ビットが “1” であるとき、FLXA0FRIQC レジスタの IMBNR ビットへの書き込みによって、さらに入力転送要求することはできません。

[クリア条件]

入力キュー内に 1 つのエンプティエントリがある場合

[セット条件]

入力キュー内のすべてのエントリが使用中の場合

(4) FLXA0FRITS.IQEIS

入力キューエンプティ割り込みステータスビット

“0” を書き込んでも影響はありません。

本ビットが “1” の場合、FLXA0FRITC レジスタの IQEIE ビットが有効であれば入力キューエンプティ割り込みが発生します。

[クリア条件]

“1” を書き込むとクリアされます。

ITS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

[セット条件]

すべての保留中の入力転送が処理され、最終的に入力キューがエンプティになったとき、本ビットはセットされます。

(5) FLXA0FRITS.IQFIS

入力キューフル割り込みステータスビット

“0” を書き込んでも影響はありません。

本ビットが “1” の場合、FLXA0FRITC レジスタの IQFIE ビットが有効であれば入力キューフル割り込みが発生します。

本フラグは割り込みステータスフラグを意味します。現在の入力キューステータスを表すものではありません。このステータスについては IQFP ビットを参照してください。

[クリア条件]

本ビットに “1” を書き込むとクリアされます。

ITS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

[セット条件]

入力キュー内のすべてのエントリが使用中の場合セットされます。

(6) FLXA0FRITS.UIRP

ユーザ入力転送要求保留ビット

ユーザ入力転送がまだ保留中であることを表します。

本ビットが “1” の場合、さらに FLXA0FRUIR レジスタの UIDX ビットに書き込みアクセスを行うことはできません。

[クリア条件]

ユーザ入力転送要求が入力転送ハンドラによって処理されている場合、本ビットはクリアされます。

[セット条件]

FLXA0FRUIR レジスタの UIDX ビットに書き込まれると、本ビットはセットされます。

(7) FLXA0FRITS.IQH

入力キュー停止ビット

入力キューのステータスを表します。

本ビットが “1” の場合、さらに FLXA0FRUIR レジスタの UIDX ビットに書き込みアクセスを行うことはできません。

[クリア条件]

FLXA0FRITC レジスタの IQHR ビットが “0” のとき、本ビットはクリアされます。

[セット条件]

FLXA0FRITC レジスタの IQHR ビットが “1” にセットされ実行中の入力転送がない場合、すぐに本ビットはセットされます。

実行中の入力転送が終了し FLXA0FRITC レジスタの IQHR ビットが “1” にセットされたあとでのみ、本ビットはセットされます。

(8) FLXA0FRITS.ITS

入力転送ステータスビット

入力キューハンドラのステータスを表します。

本ビットが “1” の間、アドレスエリア ERAY + 0400_H ～ ERAY + $05FF_H$ への読み出しあるいは書き込みアクセスはできません。また、FLXA0FRSUCC1 レジスタの CMD ビットに CLEAR_RAMS コマンドを書き込むことはできません。

入力転送キューインデックスと関連するステータスフラグは、本ビットが “0” から “1” に変化すると、“0” になります。

[クリア条件]

FLXA0FRITC レジスタの ITE ビットが “0” にセットされ保留中の入力転送がない場合、すぐに本ビットはクリアされます。

すべての保留中の要求が処理され FLXA0FRITC レジスタの ITE ビットが “0” にセットされたあと、本ビットはクリアされます。

[セット条件]

FLXA0FRITC レジスタの ITE ビットが “1” にセットされると、本ビットはセットされます。

17.2.13.2 FLXA0FROTS — FlexRay 出力転送ステータスレジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0824_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	FFL[5:0]						—	—	—	FGIDX[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FWP	OWP	FDA	—	FWIS	OWIS	FIS	OTIS	—	—	—	—	—	UORP	—	OTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 17.85 FLXA0FROTS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 30	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
29 ～ 24	FFL[5:0]	FIFO フィルレベルビット 未処理の出力 FIFO 構造数を表します。
23 ～ 21	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
20 ～ 16	FGIDX[4:0]	FIFO ゲットインデックスビット FIFO ポインタテーブル内のゲットインデックスを示します。
15	FWP	FIFO 転送警告条件保留ビット 0：保留中の FIFO 転送警告条件なし 1：保留中の FIFO 転送警告条件あり
14	OWP	出力転送警告条件保留ビット 0：保留中の出力転送警告条件なし 1：保留中の出力転送警告条件あり
13	FDA	FIFO データ使用可能ビット 0：使用可能な FIFO 構造なし 1：現在の FLXA0FROTS.FGIDX インデックスの位置の FIFO 構造が使用可能
12	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
11	FWIS	FIFO 転送警告割り込みステータスビット 0：FIFO 転送警告条件検出せず 1：FIFO 転送警告条件検出
10	OWIS	出力転送警告割り込みステータスビット 0：出力転送警告条件検出せず 1：出力転送警告条件検出
9	FIS	FIFO 転送割り込みステータスビット 0：Local RAM や Global RAM 内で更新された FIFO 構造なし 1：Local RAM や Global RAM 内で FIFO 構造更新
8	OTIS	出力転送割り込みステータスビット 0：Local RAM や Global RAM 内で更新された出力構造なし 1：Local RAM や Global RAM 内で出力構造更新
7 ～ 3	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。

表 17.85 FLXA0FROTS レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	UORP	ユーザ出力転送要求保留ビット 0：保留中のユーザ出力転送なし 1：ユーザ出力転送保留中
1	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
0	OTS	出力転送ステータスビット 0：無効 1：有効

(1) FLXA0FROTS.FFL

FIFO フィルレベルビット

Local RAM や Global RAM 内の使用可能な出力 FIFO 構造の数を表します。

有効値：00_H ～ FLXA0FROTC.FTM + 1

値 00_H は、FIFO がエンプティであることを示します。

値 FLXA0FROTC.FTM + 1 は、FIFO がフル状態でこれ以上 FIFO 転送できないことを示します。

1 つの FIFO データ構造が FlexRay 内部 FIFO から Local RAM や Global RAM へ転送されると、本ビットはインクリメントされます。

ユーザが FDA ビットに “1” を書き込んで Local RAM や Global RAM 内の 1 つの FIFO データ構造を解放すると、本ビットはデクリメントされます。

OTS ビットが “0” から “1” に変化すると、本ビットに 00_H がセットされます。

(2) FLXA0FROTS.FGIDX

FIFO ゲットインデックスビット

FIFO ポインタテーブル内で現在の出力データ構造ポインタを読み出すことができる位置を示すインデックスです。

有効値：00_H ～ FLXA0FROTC.FTM

最大値に到達するとゲットインデックスは 00_H から続けます。

FDA ビットに “1” が書き込まれ 1 つの FIFO データ構造が解放されると、このインデックスはインクリメントされます。

OTS ビットが “0” から “1” に変化すると、このインデックスは 00_H になります。

(3) FLXA0FROTS.FWP

FIFO 転送警告条件保留ビット

FIFO 転送警告条件を示します。

[クリア条件]

フリーな出力データ構造がある場合（FLXA0FROTS.FFL ≦ FLXA0FROTC.FTM）本ビットはクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

[セット条件]

出力転送ハンドラが FIFO メッセージバッファへの転送条件を検出したにもかかわらずフリーな出力データ構造がない場合（FLXA0FROTS.FFL = FLXA0FROTC.FTM + 1）、本ビットはセットされます。

(4) FLXA0FROTS.OWP

出力転送警告条件保留ビット

出力転送警告条件を示します。

[クリア条件]

出力ハンドラ転送条件保留中と検出されたすべての出力構造ポインタが解放される（専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け）と、本ビットはクリアされます。

[セット条件]

出力転送ハンドラが転送条件を検出した（専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け）にもかかわらず関連する出力構造ポインタがアプリケーションによってまだ解放されていない場合（データ使用可能フラグが “1” のまま）、本ビットはセットされます。

出力転送ハンドラが専用の送信および受信メッセージバッファへの転送条件を検出したにもかかわらず同じメッセージバッファに対して保留中の入力転送がある場合（データ使用可能フラグが入力転送要求のために “1” にセットされている）、本ビットはセットされます。

(5) FLXA0FROTS.FDA

FIFO データ使用可能ビット

“0” を書き込んでも影響はありません。

本ビットが “1” の場合、次の有効な出力データ構造は使用可能です。

関連するデータ構造ポインタは FIFO ポインタテーブルの FGIDX ビットの位置にあります。

本ビットに “1” を書き込むと、

- FLXA0FROTS.FGIDX ビットがインクリメントされ、
- FIFO フィルレベルビット（FLXA0FROTS.FFL）がデクリメントされます。

未処理のデータ構造がある場合、本ビットは “1” のままです。

[クリア条件]

本ビットに “1” が書き込まれ FIFO フィルレベルビットが 00_H になると、本ビットはクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

[セット条件]

Local RAM や Global RAM 内に少なくとも 1 つ使用可能な FIFO データ構造がある場合、本ビットはセットされます。

(6) FLXA0FROTS.FWIS

FIFO 転送警告割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXA0FROTC レジスタの FWIE ビットが有効であると、本ビットが “1” の場合 FIFO 転送警告割り込みが発生します。

[クリア条件]

本ビットに “1” を書き込むとクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

[セット条件]

出力転送ハンドラが FIFO メッセージバッファへの転送条件を検出したにもかかわらずフリーな出力データ構造がない場合（FLXA0FROTS.FFL = FLXA0FROTC.FTM + 1）、本ビットはセットされます。

(7) FLXA0FROTS.OWIS

出力転送警告割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXA0FROTC レジスタの OWIE ビットが有効であると、本ビットが “1” の場合出力転送警告割り込みが発生します。

[クリア条件]

本ビットに “1” を書き込むとクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

[セット条件]

出力転送ハンドラが転送条件を検出した（専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け）にもかかわらず関連する出力構造ポインタがアプリケーションによってまだ解放されていない場合（データ使用可能フラグが “1” のまま）、本ビットはセットされます。

出力転送ハンドラが専用の送信および受信メッセージバッファへの転送条件を検出したにもかかわらず同じメッセージバッファに対して保留中の入力転送がある場合（データ使用可能フラグが入力転送要求のために “1” にセットされている）、本ビットはセットされます。

(8) FLXA0FROTS.FIS

FIFO 転送割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXA0FROTC レジスタの FIE ビットが有効であると、本ビットが “1” の場合 FIFO 転送割り込みが発生します。

[クリア条件]

本ビットに “1” を書き込むとクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

[セット条件]

FIFO データ構造が転送ハンドラによって更新されると、また、FFL ビットが 00_H から 01_H に変化すると、本ビットはセットされます。

(9) FLXA0FROTS.OTIS

出力転送割り込みステータスビット

“0” を書き込んでも影響はありません。

FLXA0FROTC レジスタの OIE ビットが有効であると、本ビットが “1” の場合出力転送割り込みが発生します。

[クリア条件]

本ビットに “1” を書き込むとクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

[セット条件]

出力データ構造が転送ハンドラによって更新される（専用の送信あるいは受信メッセージバッファから、あるいはユーザ出力転送要求によって）と、本ビットはセットされます。

(10) FLXA0FROTS.UORP

ユーザ出力転送要求保留ビット

ユーザ出力転送が保留中であることを示します。

本ビットが “1” の場合、さらに FLXA0FRUOR レジスタの UMBNR ビットへ書き込みアクセスを行うことはできません。

[クリア条件]

ユーザ出力転送要求が出力転送ハンドラによって処理された場合、本ビットはクリアされます。

OTS ビットが “0” から “1” に変化すると、本ビットはクリアされます。

[セット条件]

FLXA0FRUOR レジスタの UMBNR ビットへ書き込むと、本ビットはセットされます。

(11) FLXA0FROTS.OTS

出力転送ステータスビット

出力転送ハンドラの状態を示します。

本ビットが “1” の間、アドレスエリア ERAY + 0600_H ～ ERAY + $07FF_H$ への読み出しもしくは書き込みアクセスはできません。また、FLXA0FRSUCC1 レジスタの CMD ビットへ CLEAR_RAMS コマンドを提供することはできません。

本ビットが “1” の間、E-Ray メッセージ RAM の設定を FLXA0FRMRC レジスタへの書き込みによって変更することはできません。

出力ハンドラ転送インデックスおよび関連する状態フラグは、本ビットが “0” から “1” に変化すると “0” にセットされます。

[クリア条件]

OTE ビットが “0” にセットされ動作中の出力転送がない場合、すぐに本ビットはクリアされます。

動作中の転送が完了後 FLXA0FROTC レジスタの OTE ビットが “0” の場合、本ビットはクリアされます。

[セット条件]

FLXA0FROTC レジスタの OTE ビットが “1” の場合、本ビットはセットされます。

17.2.13.3 FLXA0FRAES — FlexRay アクセスエラーステータスレジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0828_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MAE	FAE	OAE	IAE	EIDX[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 17.86 FLXA0FRAES レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	—	リザーブビット 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
11	MAE	複数アクセスエラービット 0：複数のアクセスエラーなし 1：複数のアクセスエラー発生
10	FAE	FIFO 転送アクセスエラービット 0：FIFO 転送中にアクセスエラーなし 1：FIFO 転送中にアクセスエラー発生
9	OAE	出力転送アクセスエラービット 0：出力転送中にアクセスエラーなし 1：出力転送中にアクセスエラー発生
8	IAE	入力転送アクセスエラービット 0：入力転送中にアクセスエラーなし 1：入力転送中にアクセスエラー発生
7 ～ 0	EIDX[7:0]	エラーインデックスビット データ転送ポインタインデックス番号

(1) FLXA0FRAES.MAE

複数アクセスエラービット

“0” を書き込んでも影響はありません。

データ転送中に複数のエラーが発生したことを示します。

[クリア条件]

本ビットに “1” を書き込むとクリアされます。

[セット条件]

FAE 、OAE あるいは IAE ビットがセットされ、かつ次の条件のうち 1 つが満たされると本ビットはセットされます。

- FIFO データ転送中に保護されたアドレスへのアクセス発生
- 出力データ転送中に保護されたアドレスへのアクセス発生
- 入力データ転送中に保護されたアドレスへのアクセス発生

(2) FLXA0FRAES.FAE

FIFO 転送アクセスエラービット

“0” を書き込んでも影響はありません。

FIFO データ転送中に 1 回アクセスエラーが発生したことを示します。

[クリア条件]

本ビットに “1” を書き込むとクリアされます。

[セット条件]

FIFO 転送中に Local RAM や Global RAM アクセスエラーが検出され OAE 、IAE 、MAE ビットが “0” の場合、本ビットはセットされます。

(3) FLXA0FRAES.OAE

出力転送アクセスエラービット

“0” を書き込んでも影響はありません。

出力データ転送中に 1 回アクセスエラーが発生したことを示します。

[クリア条件]

本ビットに “1” を書き込むとクリアされます。

[セット条件]

出力転送中に Local RAM や Global RAM アクセスエラーが検出され FAE 、IAE 、MAE ビットが “0” の場合、本ビットはセットされます。

(4) FLXA0FRAES.IAE

入力転送アクセスエラービット

“0” を書き込んでも影響はありません。

入力データ転送中に 1 回アクセスエラーが発生したことを示します。

[クリア条件]

本ビットに “1” を書き込むとクリアされます。

[セット条件]

入力転送中に Local RAM や Global RAM アクセスエラーが検出され OAE 、FAE 、MAE ビットが “0” の場合、本ビットはセットされます。

(5) FLXA0FRAES.EIDX

エラーインデックスビット

FAE 、OAE 、あるいは IAE ビットのうち 1 つが “1” の場合のみ有効です。

FAE ビットが “1” の場合、本ビットはアクセスエラーが発生した際に使用された FIFO プットインデックスの値を保持します。

OAE ビットが “1” の場合、本ビットはアクセスエラーが発生した際に使用された出力テーブルエントリ（メッセージバッファ番号に関連）を保持します。

IAE ビットが “1” の場合、本ビットは、入力転送中にアクセスエラーが発生したとき、またはユーザが入力転送を要求したときに使用された入力ポインタテーブルゲットインデックスを保持します。

FAE 、OAE 、あるいは IAE ビットのうち 1 つが “0” から “1” に変化すると、本ビットは更新されます。

17.2.13.4 FLXA0FRAEA — FlexRay アクセスエラーアドレスレジスタ

アクセス 8、16、32 ビット単位でリードのみ可能です。

アドレス <ERAY> + $082C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AEA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AEA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.87 FLXA0FRAEA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	AEA[31:0]	アクセスエラーアドレスビット アクセスエラーが発生したときの Local RAM や Global RAM 内のアドレス

(1) FLXA0FRAEA.AEA

アクセスエラーアドレスビット

FLXA0FRAES レジスタの FAE 、OAE 、あるいは IAE ビットのうち 1 つが “1” の場合のみ有効です。

FLXA0FRAES レジスタ内で示されたアクセスエラーのアドレスを表します。

FLXA0FRAES レジスタの FAE 、OAE 、あるいは IAE ビットのうち 1 つが “0” から “1” に変化すると、本ビットは更新されます。

17.2.13.5 FLXA0FRDAi — FlexRay メッセージデータ使用可能レジスタ i（i = 0 ～ 3）

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <ERAY> + 0830_H ～ <ERAY> + $083C_H$（<ERAY> + 0830_H + i*4）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAb (b = (i + 1) × 32 - 1 ～ i × 32 + 16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAb (b = i × 32 + 15 ～ i × 32)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.88 FLXA0FRDAi レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DAb	データ使用可能ビット b 0：使用可能なデータなし 1：使用可能なデータあり

(1) FLXA0FRDAi.DAb (b = i*32 to ((i + 1) *32) -1）

データ使用可能ビット b

“0” のビットに “1” を書き込むことはできません。

入力転送のステータスを維持するため、入力転送に関連するビットをクリアすることはできません。

本レジスタは、入力および出力転送用に使用されます。

各フラグは FlexRay メッセージバッファに対応します。

[クリア条件]

入力転送：

入力データ構造が Local RAM や Global RAM から転送されると、本ビットはクリアされます。データ構造およびデータ構造ポインタは関連するフラグが “0” のとき変更可能です。

出力転送：

“1” を書き込むと本ビットはクリアされます。

[セット条件]

入力転送：

対応するメッセージバッファ番号が FLXA0FRIQC.IMBNR に書き込まれると、本ビットはセットされます。

本ビットが “1” である限り、この入力転送要求に対応する入力データ構造およびデータ構造ポインタを変更することはできません。

出力転送：

このメッセージバッファに対応する出力データ構造が更新されると、本ビットはセットされます。

本ビットが “1” である限り、データ構造は持続します。出力ハンドラによるデータ構造の更新は行われません。本ビットが “1” である間、アプリケーションはこのメッセージバッファ番号の出力ポインタテーブル内の出力データ構造ポインタを変更することができます。

17.3 機能説明

本章では FlexRay のインプリメンテーションについて、関連する FlexRay プロトコルの特長とあわせて説明します。FlexRay プロトコルについての詳細な情報については FlexRay 通信システムプロトコル仕様を参照してください。

17.3.1 FlexRay モジュール動作制御

17.3.1.1 FlexRay モジュールイネーブル

ハードウェアリセット後あるいは FlexRay モジュールがディセーブル（**「17.3.1.2 FlexRay モジュールディセーブル」**参照）になったあと FlexRay モジュールはリセット状態になり（FLXA0FROS.OS は '0'）、FlexRay コアモジュールのクロックはディセーブルになります。

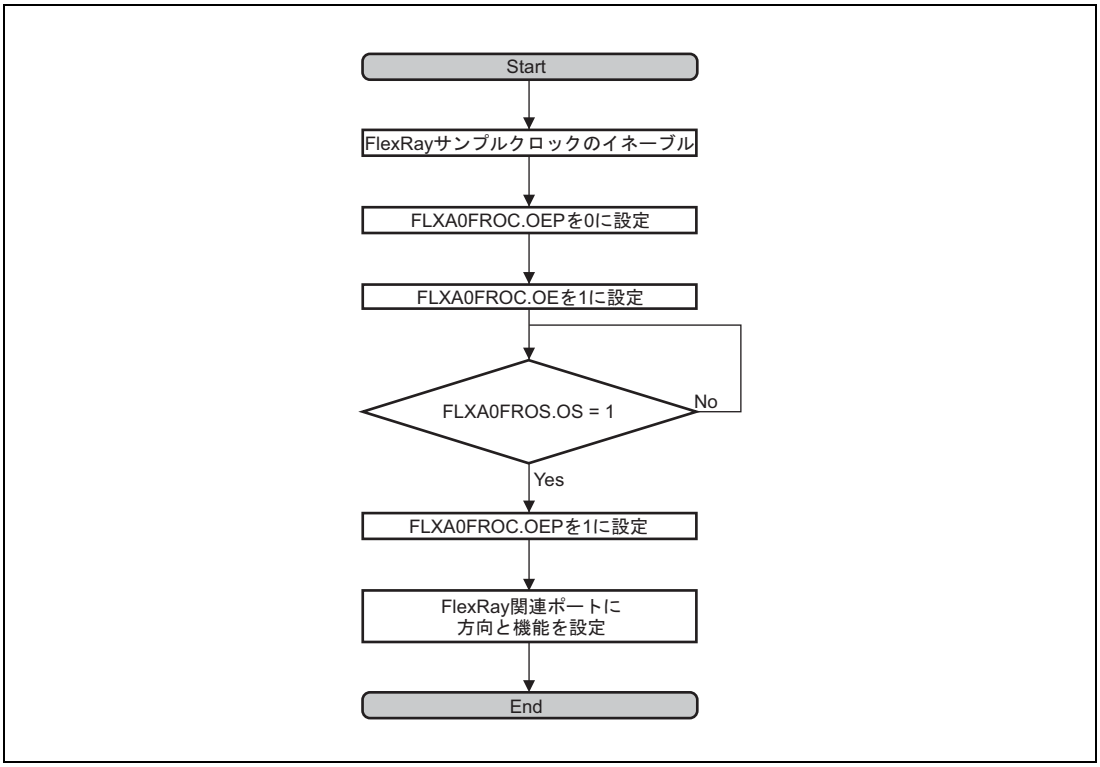


図 17.3 FlexRay イネーブルの流れ

17.3.1.2 FlexRay モジュールディセーブル

FlexRay モジュールはいつでもディセーブルにできます。しかし、FLXA0FROC.OE レジスタを使用して FlexRay モジュールをディセーブルにするのは、FlexRay モジュールが HALT、CONFIG、あるいは DEFAULT_CONFIG 状態のときのみにすることをお勧めします。ほかの状態のときに FlexRay モジュールをリセットすると動作中の FlexRay 通信を中止することになります。

データ転送機能を使用している場合、FlexRay モジュールをディセーブルにする前にその機能をディセーブルすることも必要です。（入力転送機能の中断については「**17.3.16.1 (1) 起動および停止**」を、出力転送の中断については「**17.3.16.2 (2) 出力転送データ構造**」を参照してください。）

FlexRay モジュールをディセーブルするには次に示すフローで行います。

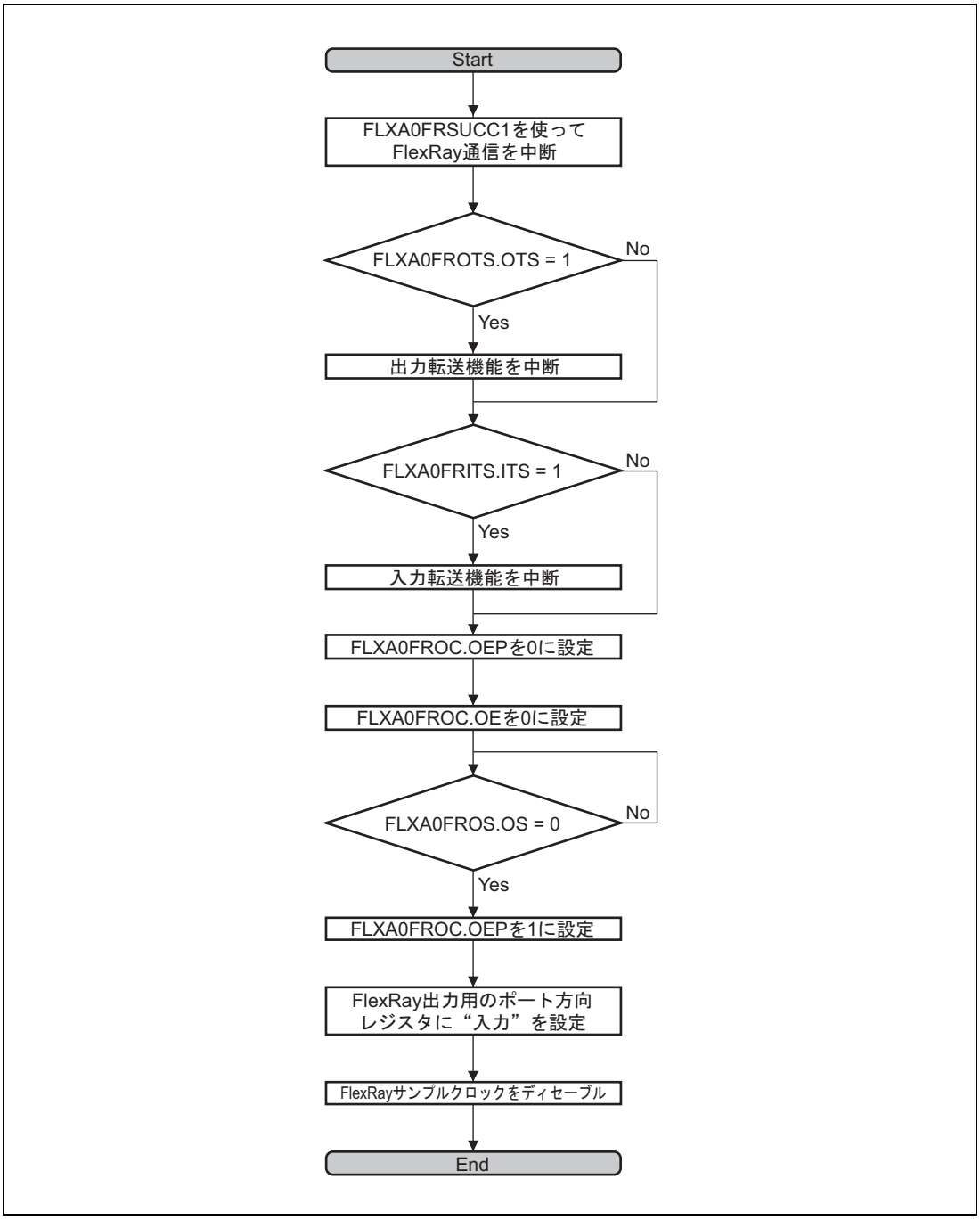


図 17.4 FlexRay ディセーブルの流れ

17.3.2 通信サイクル

FlexRay ネットワーク上の通信は、フレームとシンボルがベースになっています。ウェイクアップシンボル（WUS）および衝突回避シンボル（CAS）は、タイムスケジュールをセットアップするために通信サイクル外で転送されます。フレームおよびメディアアクセステストシンボル（MTS）は、通信サイクル内で転送されます。

FlexRay 通信 サイクルは以下の 4 つの部分で構成されます。

- スタティックセグメント
- ダイナミックセグメント（オプション）
- シンボルウィンドウ（オプション）
- ネットワークアイドル時間（NIT）

スタティックセグメント、ダイナミックセグメント、およびシンボルウィンドウでネットワーク通信時間（NCT）が構成されます。通信チャネルごとにスロットカウンタは 1 から始まりダイナミックセグメントの終了時に到達するまでカウントアップされます。両チャネルは同じ調停グリッドつまり、同じ同期 MT 値を使用します。

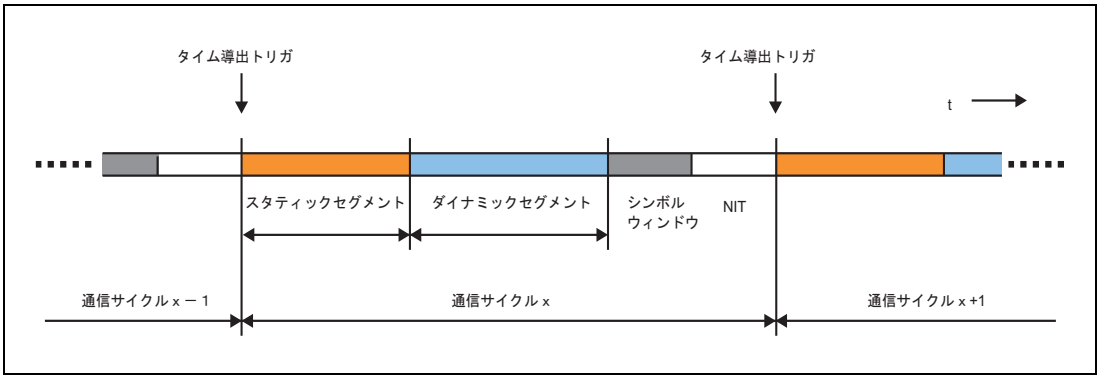


図 17.5 通信サイクルの構造

17.3.2.1 スタティックセグメント

スタティックセグメントには以下の特徴があります。

- タイムスロットが固定長（オプションとしてバスガーディアンによるプロテクトあり）
- 各スタティックスロットのアクションポイントでフレーム送信開始
- 両チャネルのすべてのフレームで同じペイロード長

パラメータ：スタティックスロット数（FLXA0FRGTUC7.NSS）
スタティックスロット長（FLXA0FRGTUC7.SSL）
スタティックフレームペイロード長（FLXA0FRMHDC.SFDL）
アクションポイントオフセット（FLXA0FRGTUC9.APO）

17.3.2.2 ダイナミックセグメント

ダイナミックセグメントには以下の特徴があります。

- すべてのコントローラにバスアクセスあり（バスガーディアンによるプロテクト不可）
- 可変ペイロード長、可変スロット長、チャネルごとに異なる設定
- ミニスロットアクションポイントでフレーム送信開始

パラメータ：ミニスロット数（FLXA0FRGTUC8.NMS）

ミニスロット長（FLXA0FRGTUC8.MSL）

ミニスロットアクションポイントオフセット（FLXA0FRGTUC9.MAPO）

最終送信開始（最終ミニスロット）（FLXA0FRMHDC.SLT）

17.3.2.3 シンボルウィンドウ

シンボルウィンドウ期間中、メディアアクセステストシンボル（MTS）は各チャネルで 1 回だけ送信できます。

MTS シンボルは NORMAL_ACTIVE 状態でバスガーディアンをテストするために送信されます。

シンボルウィンドウには以下の特徴があります。

- 1 つのシンボル送信
- MTS シンボルの送信はシンボルウィンドウアクションポイントで開始

パラメータ：

シンボルウィンドウアクションポイントオフセット（FLXA0FRGTUC9.APO）（スタティックスロットと同じ）

ネットワークアイドル時間開始位置（FLXA0FRGTUC4.NIT）

17.3.2.4 ネットワークアイドル時間（NIT）

ネットワークアイドル時間中、CC は以下の処理を行います。

- クロック補正項（オフセットおよびレート）の計算
- オフセット補正開始後、複数の MT にわたってオフセット補正値を分散
- タスク関連のクラスタサイクル実行

パラメータ：

ネットワークアイドル時間開始位置設定（FLXA0FRGTUC4.NIT）

オフセット補正開始位置設定（FLXA0FRGTUC4.OCS）

17.3.2.5 NIT 開始位置設定、オフセット補正開始位置の設定

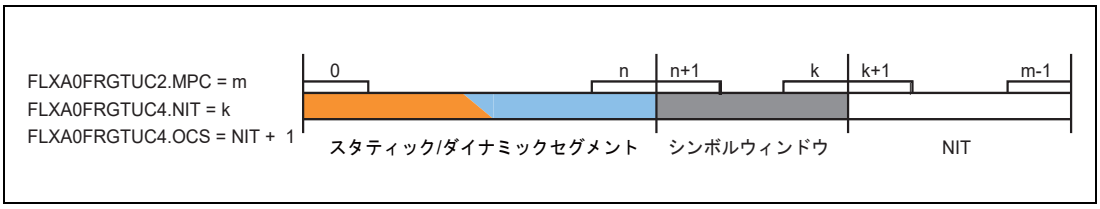


図 17.6 NIT 開始位置とオフセット補正開始位置の設定

サイクル当たりの MT 数（gMacroPerCycle）を m とすると、FLXA0FRGTUC2 レジスタの MPC ビットの設定値は m となります。

スタティック／ダイナミックセグメントは、MT 値 0 で開始、n で終了します。ここで n は、

n= スタティックセグメント長 + ダイナミックセグメントオフセット + ダイナミックセグメント長 -1MT

n = gNumberOfStaticSlots o gdStaticSlot + ダイナミックセグメントオフセット + gNumberOfMinislots o gdMinislot - 1 MT

スタティックセグメント長は FLXA0FRGTUC7.SSL および FLXA0FRGTUC7.NSS で設定します。

ダイナミックセグメント長は FLXA0FRGTUC8.MSL および FLXA0FRGTUC8.NMS で設定します。

ダイナミックセグメントオフセットは、

gdActionPointOffset ≦ gdMinislotActionPointOffset: の場合

ダイナミックセグメントオフセット = 0MT

gdActionPointOffset > gdMinislotActionPointOffset の場合

ダイナミックセグメントオフセット = gdActionPointOffset - gdMinislotActionPointOffset

NIT は MT 値 k + 1 で開始、サイクルの最終 MT: m – 1 で終了します。NIT は、FLXA0FRGTUC4.NIT = k で設定します。

本モジュールでは、オフセット補正開始位置は “FLXA0FRGTUC4.OCS ≧ FLXA0FRGTUC4.NIT + 1 = k + 1” を満たす必要があります。

シンボルウィンドウ長は、スタティック／ダイナミックセグメントの終了時から NIT の開始点までの MT 数（k – n）で決まります。

17.3.3 通信モード

FlexRay プロトコル仕様書では、タイムトリガ式分散（TT – D）モードを定義しています。

17.3.3.1 タイムトリガ式分散（TT-D）

TT-D モードでは以下の設定が可能です。

- スタティック専用 : スタティックスロット 2 個以上 + シンボルウィンドウ（オプション）
- スタティック／ダイナミック混合:スタティックスロット2個以上+ダイナミックセグメント + シンボルウィンドウ（オプション）

タイムトリガ式分散動作には、最低 2 つの Coldstart ノードが必要です。クラスタのスタートアップには 2 つの正常な Coldstart ノードが必要です。各 Startup フレームは Sync フレームでなければならず、そのためすべての Coldstart ノードは Sync ノードになります。

17.3.4 クロック同期

TT-D モードでは分散クロック同期が使用されます。各ノードは、ほかのノードから受信した Sync フレームのタイミングに応じて個別にクラスタに同期します。

17.3.4.1 グローバルタイム

FlexRay ノードにおいて、通信などの動作は、グローバルタイムという概念に基づいて行われます。FlexRay クラスタと個別のクロックメカニズムを持つほかのノード群とを区別しているのは、このクロック同期メカニズムです。グローバルタイムは、サイクル（サイクルカウンタ）とサイクルタイム（MT カウンタ）という 2 つの値からなるベクタです。

クラスタ定義 :

- MT = FlexRay ネットワークにおける時間計測の基本単位。1MT は整数個の μT で構成されます。
- サイクル長 = MT 単位の通信サイクル時間

17.3.4.2 ローカルタイム

内部的には、ノードは自身の動作を μT の解像度で計測します。μT は特定のノードにおける発振クロックから得られる時間の単位です。したがって μT はコントローラ個別の単位です。μT はコントローラによって長さが異なる可能性があります。1 つのノードのローカルタイムの誤差計測の精度が μT です。

ノード定義 :

- 発振クロック→プリスケーラ→ μT
- μT=CC における時間計測の基本単位。クロック補正は μT 単位で行います。
- サイクルカウンタ + MT カウンタ＝ノードから見たグローバルタイム

17.3.4.3 同期プロセス

クロック同期は Sync フレームを用いて行われます。Sync フレームを送信できるのは、事前に設定されたノード（Sync ノード）のみです。2 チャネル構成のクラスタでは、Sync ノードは両方のチャネルに Sync フレームを送信しなければなりません。

FlexRay で同期を行うには、以下の制限を考慮する必要があります。

- 1 通信サイクルにおけるノードあたりの Sync フレーム数は最大 1
- 1 通信サイクルにおけるクラスタあたりの Sync フレーム数は最大 15
- 各ノードは事前に設定された Sync フレーム数（FLXA0FRGTUC2.SNM）をクロック同期に使用しなければならない
- クロック同期およびスタートアップ用として最低 2 つの Sync ノードが必要

クロック同期を行うには、スタティックセグメント内で受信された Sync フレームの到達時間の期待値と実測値の差を計測します。2 チャネル構成のクラスタでは、両チャネルで Sync フレームを送信するように Sync ノードを設定してください。補正項の計算は NIT 期間中（オフセットはすべてのサイクル、レートはすべての奇数サイクル）に FTM アルゴリズムによって行います。詳細は FlexRay プロトコル仕様書の第 8 章を参照してください。

(1) オフセット（位相）補正

- 通信中のサイクルで計測、格納された偏差値のみを使用
- 2 チャネルノードの場合、より小さい方の値を採用
- すべての通信サイクルの NIT 期間に計算
- 偶数サイクルで計算されたオフセット補正値はエラーチェックのみに使用
- 上限値をチェック
- 補正値は符号付き整数の μT 値
- 奇数サイクルで計算された補正値を、次のサイクルの開始位置をずらすために、オフセット補正開始からサイクルの終わり（NIT の終了時）までの MT に分散（MT 長設定）

(2) レート（周波数）補正

- 偶数／奇数サイクルペアで計測、格納された 1 対の偏差値を使用
- 2 チャネルノードの場合、両チャネルの差の平均値を使用
- 奇数サイクルの NIT 期間に計算
- クラスタドリフトダンピングにグローバルダンピング値を使用
- 上限値をチェック
- 補正値は符号付き整数の μT 値
- 次の偶数／奇数サイクルペアを構成する MT に分散（MT 長設定）

(3) Sync フレーム送信

Sync フレームの送信はバッファ 0 および 1 からのみ可能です。メッセージバッファ 1 が Sync フレーム送信用となるのは、2 つのチャネルで Sync フレームのペイロードが異なる場合です。この場合、FLXA0FRMRC レジスタの SPLM ビットを “1” にセットしてください。

Sync フレーム送信に使用するメッセージバッファにはキースロット ID の設定が必要です。設定は DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。Sync フレームを送信するノードでは、FLXA0FRSUCC1 レジスタの TXSY ビットを “1” にセットしてください。

(4) 外部クロック同期

通常のオペレーションにおいて、独立したクラスタ間ではかなりのクロック誤差が生じる可能性があります。

独立したクラスタ間の同期をとるには、各クラスタ内のノード間が同期しているかどうかにかかわらず、外部同期が必要となります。外部同期にはクラスタに対するレート補正値、オフセット補正値を推測する同期アプリケーションが必要です。

- 外部オフセット／レート補正値は符号付き整数
- 外部オフセット／レート補正値は、計算されたオフセット／レート補正値に加算されます
- 総合オフセット／レート補正値（内部＋外部）は設定された上限値に対しチェックされません

17.3.5 エラー処理

本モジュールにおけるエラー処理は、単一ノードで下位レイヤのプロトコルエラーが発生しても、影響を受けないノード間の通信は継続できることを保証するものです。場合によっては、通常動作を再開するために上位レイヤでのプログラム処理が必要な場合もあります。エラー処理状態が変化すると FLXA0FREIR.PEMC フラグが “1” にセットされます。また割り込みが許可されている場合、割り込み要求が発生します。FLXA0FRCCEV.ERRM により現在のエラーモードを確認できます。

表 17.89 POC のエラーモード（劣化モデル）

エラーモード	動作
ACTIVE	完全稼働 状態：NORMAL_ACTIVE CC が完全に同期し、クラスタ内クロック同期をサポートしています。CPU は、割り込み（許可されている場合）または FLXA0FREIR レジスタ、FLXA0FRSIR レジスタのエラー／ステータス割り込みフラグを読み出すことによりすべてのエラーとステータス変化を知ることができます。
PASSIVE	縮小稼働 状態：NORMAL_PASSIVE、CC 自動復帰可能 CC はフレームとシンボルの送信を停止し、受信済みフレームの処理のみ実行します。クロック同期メカニズムは受信済みフレームに基づき継続します。クラスタ内クロック同期に関しては積極的には関与しません。CPU は、割り込み（許可されている場合）または FLXA0FREIR レジスタ、FLXA0FRSIR レジスタのエラー／ステータス割り込みフラグを読み出すことによりすべてのエラーとステータス変化を知ることができます。
COMM_HALT	稼動停止 状態：HALT、CC 自動復帰禁止 CC はフレームおよびシンボルの処理、クロック同期処理、MT 生成を停止します。CPU は、FLXA0FREIR レジスタ、FLXA0FRSIR レジスタのエラー／ステータス割り込みフラグを読み出すことで、エラー／ステータス情報にアクセスすることができます。バスドライバは無効です。

17.3.5.1 クロック補正失敗カウンタ

クロック補正失敗カウンタが、FLXA0FRSUCC3.WCP で定義している「クロック補正回数最大値」に達すると、POC は NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態に遷移します。また、FLXA0FRSUCC3.WCF で定義している「クロック補正エラー回数最大値」に達すると、NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態から HALT 状態に遷移します。

CC がプロトコルスタートアップフェーズを終了したあと、クロック補正失敗カウンタ（FLXA0FRCCEV.CCFC）を読み出すと、ノードがクロック補正項を計算できなかった期間がわかります。クロック補正失敗カウンタは、オフセット補正欠落フラグ（FLXA0FRSFS.MOCS）またはレート補正欠落フラグ（FLXA0FRSFS.MRCS）のいずれかが “1” のとき、奇数コミュニケーションサイクルの終了時にインクリメントされます。

いずれのフラグも “1” でない場合、クロック補正失敗カウンタは奇数コミュニケーションサイクルの終了時に 0 にクリアされます。

「クロック補正エラー回数最大値」に達すると、クロック補正失敗カウンタは停止します（最大値に達してからインクリメントしても 0 に戻りません）。CC が READY 状態に入るか、NORMAL_ACTIVE 状態になると、クロック補正失敗カウンタは 0 に初期化されます。

注 意

FLXA0FRSUCC1.HCSE が “1” に設定されていない場合、HALT 状態への遷移はできません。

17.3.5.2 Passive-to-Active カウンタ

Passive to Active カウンタは、POC の NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移を制御します。FLXA0FRSUCC1.PTA は、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移が許可される前に必要となる、クロック補正に成功した連続した偶数／奇数サイクルペア数を設定します。

FLXA0FRSUCC1.PTA が 0 の場合、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移はできません。

17.3.5.3 HALT コマンド

ローカルノードの FlexRay 通信を停止するには、HALT コマンドを発行することで CC を HALT 状態にします。HALT コマンドは FLXA0FRSUCC1.CMD ビットに “0110” を書き込むことで実現します。FlexRay ネットワーク全体の通信を停止する場合は、すべてのノードが同時に HALT コマンドを適用するように、上位レイヤプロトコルが保証する必要があります。

HALT 状態へ遷移する前の POC の状態は、FLXA0FRCCSV.PSL フラグから読み出せます。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で HALT コマンドが発行された場合、POC は現行サイクルの終了時に HALT 状態に遷移します。それ以外の状態で発行された場合、FLXA0FRSUCC1.CMD ビットは “0000”（無効コマンド）になり、FLXA0FREIR.CNA フラグが “1” にセットされます。割り込みが許可されている場合、割り込み要求が発生します

17.3.5.4 FREEZE コマンド

CPU は、重大なエラー状態を検出した場合、FREEZE コマンドを発行することで CC を HALT 状態にします。

FREEZE コマンドは FLXA0FRSUCC1.CMD ビットに “0111” を書き込むことで実現します。FREEZE コマンドは、現在の POC の状態に関係なくただちに HALT 状態に遷移させます。

HALT 状態へ遷移する前の POC の状態は、FLXA0FRCCSV.PSL フラグから読み出せます。

注　意

FREEZE コマンド または READY コマンドによって通信を停止した後に Leading Coldstart ノードとして再びスタートアップしたとき、FlexRay モジュールの内部状態によって、サイクル 0 で Startup フレームを送信しない場合があります。この現象は Startup フレームをスロット 1 ～スロット 7 のいずれかのスロットに設定している場合に発生します。
ハードウェアリセット後の ColdStart ではこの現象は発生しません。
この現象が発生した場合においても、2 回目の ColdStart の試みは成功します。ColdStart 時間が長くなりますが、FlexRay システムの ColdStart はこの現象によって阻害されません。
この現象を回避したい場合は、Startup/Sync フレームをスタティックスロット 8 以上のスタティックスロットに配置してください。

17.3.6 通信コントローラの状態

17.3.6.1 通信コントローラ状態遷移図

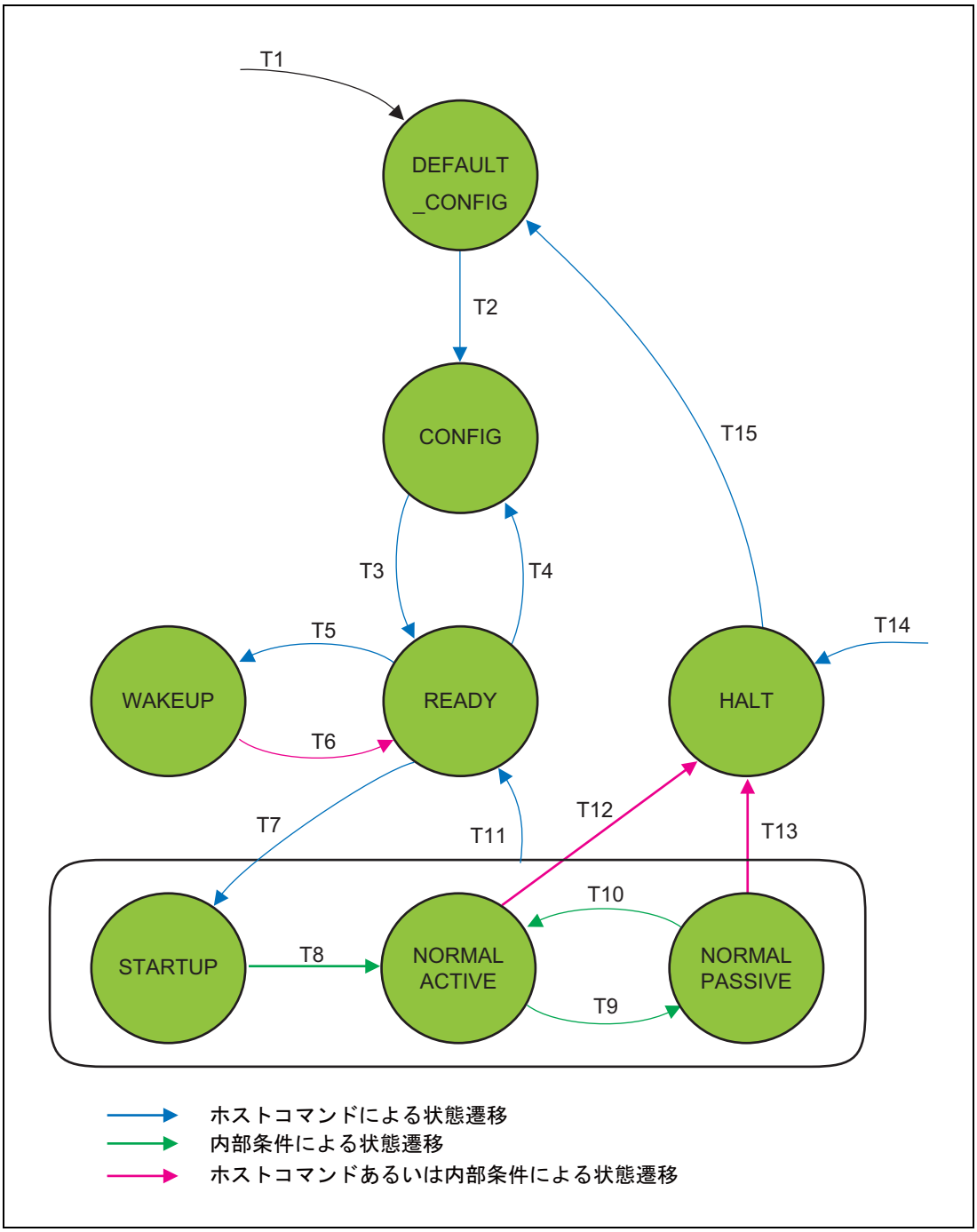


図 17.7 FlexRay 通信コントローラの状態遷移図

状態遷移は、リセット、FLXA0FR0RXDA 、FLXA0FR0RXDB、POC ステートマシン、CHI コマンドベクタ（FLXA0FRSUCC1.CMD）で制御します。

FREEZE コマンド（FLXA0FRSUCC1.CMD = “0111”）実行後、CC はいずれの状態にあっても、HALT 状態に遷移します。

表 17.90 FlexRay モジュールの状態遷移条件

T#	Condition	From	To
1	リセット	すべて	DEFAULT_CONFIG
2	CONFIG コマンド発行（FLXA0FRSUCC1.CMD = “0001”）	DEFAULT_CONFIG	CONFIG
3	ロック解除シーケンス + READY コマンド発行（FLXA0FRSUCC1.CMD = “0010”）	CONFIG	READY
4	CONFIG コマンド発行（FLXA0FRSUCC1.CMD = “0001”）	READY	CONFIG
5	WAKEUP コマンド発行（FLXA0FRSUCC1.CMD = “0011”）	READY	WAKEUP
6	Wakeup パターン送信完了 Wakeup パターン受信完了 フレームヘッダ受信完了 Wakeup 衝突検出 READY コマンド発行（FLXA0FRSUCC1.CMD=“0010”）	WAKEUP	READY
7	RUN コマンド発行（FLXA0FRSUCC1.CMD = “0100”）	READY	STARTUP
8	STARTUP 成功	STARTUP	NORMAL_ACTIVE
9	クロック補正失敗カウンタ値が FLXA0FRSUCC3.WCP が設定したクロック補正パッシブ最大値に到達	NORMAL_ACTIVE	NORMAL_PASSIVE
10	クロック補正成功サイクルペア数が FLXA0FRSUCC1.PTA が設定した Passive-to-Active の制限値に到達	NORMAL_ACTIVE	NORMAL_ACTIVE
11	READY コマンド発行（FLXA0FRSUCC1.CMD = “0010”）	STARTUP, NORMAL_ACTIVE, NORMAL_PASSIVE	READY
12	FLXA0FRSUCC1.HCSE ビットが “1” のときにクロック補正失敗カウンタ値が FLXA0FRSUCC3.WCF の設定値に到達、または、HALT コマンド発行（FLXA0FRSUCC1.CMD = “0110”）	NORMAL_ACTIVE	HALT
13	FLXA0FRSUCC1.HCSE ビットが “1” のときにクロック補正失敗カウンタ値が FLXA0FRSUCC3.WCF の設定値に到達、または、HALT コマンド発行（FLXA0FRSUCC1.CMD = “0110”）	NORMAL_PASSIVE	HALT
14	FREEZE コマンド発行（FLXA0FRSUCC1.CMD = “0111”）	すべて	HALT
15	CONFIG コマンド発行（FLXA0FRSUCC1.CMD = “0001”）	HALT	DEFAULT_CONFIG

17.3.6.2 DEFAULT_CONFIG 状態

DEFAULT_CONFIG 状態では、CC は停止しています。すべての制御レジスタにアクセスでき、端子は非アクティブ状態です。

CC は以下の場合に DEFAULT_CONFIG 状態へ遷移します。

- リセット後（HW リセットあるいは SW リセット）
- HALT 状態から抜けたとき

DEFAULT_CONFIG 状態を抜けるには、FLXA0FRSUCC1.CM ビットに “0001” を書き込むことで、CONFIG 状態に遷移します。

17.3.6.3 CONFIG 状態

CONFIG 状態では、CC は停止しています。すべての制御レジスタにアクセスでき、端子は非アクティブ状態です。この状態で CC の初期設定を行います。

CC は以下の場合に DEFAULT_CONFIG 状態へ遷移します。

- DEFAULT_CONFIG 状態から抜けたとき
- READY 状態から抜けたとき

HALT 状態と DEFAULT_CONFIG 状態を経由して CONFIG 状態に遷移した場合、ステータス情報と設定内容を解析することができます。CONFIG 状態から抜ける前に設定に間違いがないか確認する必要があります。

CONFIG 状態から抜けるには、**「17.2.3.1 FLXA0FRLCK — FlexRay ロックレジスタ」**に記載のロック解除シーケンスを実行します。CONFIG 状態のロックを解除した直後に、次の状態に遷移するため FLXA0FRSUCC1.CMD ビットに書き込む必要があります。

注 意

FLXA0FRMHDS[14:0] ビット、FLXA0FRTXRQ1 ～ FLXA0FRTXRQ4 レジスタおよびメッセージ RAM に格納されているステータスデータは、CONFIG 状態から READY 状態への遷移による影響を受けません。

CONFIG 状態では、モジュールクロック（バスクロック、サンプルクロック）を停止することで、CC を省電力モードにすることができます。クロックを停止する前に、すべてのメッセージ RAM の転送が完了していることを確認する必要があります。

17.3.6.4 READY 状態

CONFIG 状態のロックを解除し、FLXA0FRSUCC1.CMD に “0010” を書き込むと、READY 状態に遷移します。この状態から WAKEUP 状態に遷移してクラスタウェイクアップを実行したり、STARTUP 状態に遷移して Coldstart を実行したり稼動中のクラスタに統合することができます。

CC は以下の場合に READY 状態へ遷移します。

- FLXA0FRSUCC1.CMD ビットに “0010”（READY コマンド）を書き込み、CONFIG 状態、WAKEUP 状態、STARTUP 状態、NORMAL_ACTIVE 状態、または NORMAL_PASSIVE 状態から抜けたとき

CC は以下の場合に READY 状態から抜けます。

- FLXA0FRSUCC1.CMD ビットに “0001”（CONFIG コマンド）を書き込み、CONFIG 状態に遷移したとき
- FLXA0FRSUCC1.CMD ビットに “0011”（WAKEUP コマンド）を書き込み、WAKEUP 状態に遷移したとき
- FLXA0FRSUCC1.CMD ビットに “0100”（RUN コマンド）を書き込み、STARTUP 状態に遷移したとき

STARTUP 状態に遷移すると、内部カウンタおよび CC ステータスフラグが初期化されます。

注 意

FLXA0FRMHDS[14:0] ビット、FLXA0FRTXRQ1 ～ FLXA0FRTXRQ4 レジスタおよびメッセージ RAM に格納されているステータスデータは、READY 状態から STARTUP 状態への遷移による影響を受けません。

17.3.6.5 WAKEUP 状態

ここでは、FlexRay モジュールのウェイクアップの設定について説明します。ウェイクアップ処理の詳細および関連する SDL 図については、FlexRay プロトコル仕様書の 7.1 章を参照してください。

CC は以下の場合に WAKEUP 状態へ遷移します。

- FLXA0FRSUCC1.CMD ビットに “0011”（WAKEUP コマンド）を書き込み、READY 状態を抜けたとき

CC は以下の場合に WAKEUP 状態を抜けて READY 状態へ遷移します。

- ウェイクアップパターン（WUP）の送信が中断されることなく完了した後
- WUP 受信後
- WUP 衝突検出後
- フレームヘッダ受信後
- FLXA0FRSUCC1.CMD ビットに “0010”（READY コマンド）を書き込んだとき

クラスタ内のすべてのノードをウェイクアップさせるため、通信スタートアップ処理の前にクラスタのウェイクアップ処理を行う必要があります。クラスタのウェイクアップ処理を行うには、すべてのバスドライバに電源が供給されていることが必須です。バスドライバは、チャネルでウェイクアップパターンを受信すると自ノードのほかのコンポーネントをウェイクアップさせることができます。クラスタ内の少なくとも 1 つのノードに対し外部ウェイクアップソースが必要です。

ウェイクアップ処理はすべてプログラムで制御されます。プログラムによって、バスドライバと CC からクラスタの状態に関する情報を得て、バスガーディアン（使用できる場合）と CC を設定し、クラスタのウェィクアップを行います。CC によって、有効なチャネルのそれぞれに個別にウェイクアップパターンを送信することができます。CC は、WAKEUP 状態でのみウェイクアップパターンを認識します。

ウェイクアップ処理は一度に 1 つのチャネルでのみ実行可能です。CC が CONFIG 状態のときに FLXA0FRSUCC1 レジスタの WUCS ビットで使用するチャネルを選択してください。CC は選択されたチャネル上での通信が妨害されないようにします。選択したチャネルに接続されているすべてのノードがウェイクアップパターンの送信でウェイクアップすることは保証できません。これらのノードからはスタートアップフェーズに移行するまでフィードバックを受けられないからです。ウェイクアップ処理は 2 チャネルシステムのシングルチャネルデバイスに対し、それらが接続されているチャネル上にウェイクアップパターンを送信するだけで、ウェイクアップ処理を起動させることができます。システムスタートアップが必要と思われる Coldstart ノードがあれば、通信スタートアップ処理を開始する前にもう一方のチャネルをウェイクアップさせます。

ウェイクアップ処理では、いくつものノードが同時にシングルチャネルをウェイクアップさせようとするのを許容しますが、ウェイクアップパターンを送信できるノードは 1 つだけです。またウェイクアップパターン衝突耐性があり、2 つのノードが同時にウェイクアップパターンを送信しようとしてエラーが発生しても、衝突した信号もほかのノードをウェイクアップさせることができます。

ウェイクアップ処理が終了すると、CC は READY 状態に戻ります。また、FLXA0FRSIR.WST フラグが “1” になり、ウェイクアップ状態に変化があったことがわかります。ウェイクアップステータスベクタは、FLXA0FRCCSV.WSV フラグから読み出せます。有効なウェイクアップパターンを受信した場合、FLXA0FRSIR.WUPA フラグまたは FLXA0FRSIR.WUPB フラグも “1” になります。

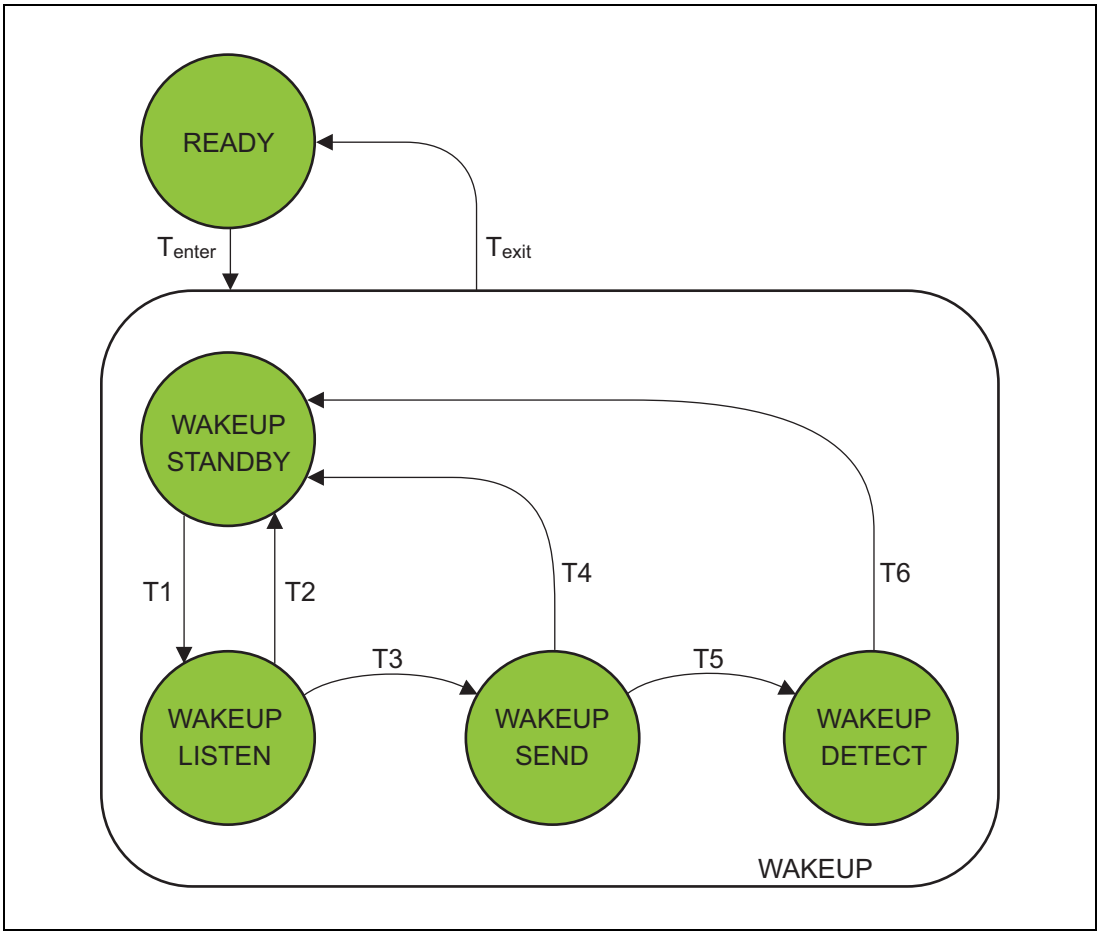


図 17.8 POC 状態 WAKEUP の構成

表 17.91 WAKEUP 時の状態遷移条件

T#	遷移条件	遷移前の状態	遷移後の状態
enter	FLXA0FRSUCC1.CMD ビットに “0011”（WAKEUP コマンド）を書き込んで WAKEUP 状態に遷移	READY	WAKEUP
1	CHI コマンドの WAKEUP コマンドにより Wakeup FSM が WAKEUP_LISTEN 状態へ遷移	WAKEUP_STANDBY	WAKEUP_LISTEN
2	FLXA0FRSUCC1.WUCS ビットで設定したチャネルで WUP を受信、またはどちらかの有効なチャネルでフレームヘッダを受信	WAKEUP_LISTEN	WAKEUP_STANDBY
3	タイマイベント	WAKEUP_LISTEN	WAKEUP_SEND
4	ウェイクアップパターンが中断されずに送信完了	WAKEUP_SEND	WAKEUP_STANDBY
5	衝突を検出	WAKEUP_SEND	WAKEUP_DETECT
6	ウェイクアップタイマがタイムアウト、FLXA0FRSUCC1.WUCS ビットで設定したチャネルで WUP を検出、またはどちらかの有効なチャネルでフレームヘッダを受信	WAKEUP_DETECT	WAKEUP_STANDBY
exit	ウェイクアップ処理が完了（T2、T4、または T6 の遷移後）、または FLXA0FRSUCC1.CMD ビットに “0010”（READY コマンド）を書き込み READY 状態に遷移 READY コマンドにより WakeupFSM を WAKEUP_STANDBY 状態にリセット	WAKEUP	READY

WAKEUP_LISTEN 状態はウェイクアップタイマとウェイクアップノイズタイマにより制御されます。これら 2 つのタイマは、ListenTimeout 値（FLXA0FRSUCC2.LT ビット）、ListenTimeoutNoise 値（FLXA0FRSUCC2.LTN ビット）で制御します。ListenTimeout 値はノイズがない環境で高速なクラスタのウェイクアップ処理を、ListenTimeoutNoise 値はノイズ干渉に関してより困難な条件下でのウェイクアップ処理を可能にします。

WAKEUP_SEND 状態では、CC は設定されたチャネルにウェイクアップパターンを送信し、衝突の有無をチェックします。ウェイクアップ処理から復帰したあと、CHI コマンドの RUN コマンドを発行して STARTUP 状態に遷移する必要があります。

WAKEUP_DETECT 状態では、CC は WAKEUP_SEND 状態で検出された衝突の原因を特定しようとします。モニタリングは FLXA0FRSUCC2.LT ビットで設定した ListenTimeout 値に到達すると制限されます。ほかのノードによるウェイクアップ試行を意味するウェイクアップパターン検出、または通信中であることを意味するフレームヘッダ受信により、直接 READY 状態に遷移します。検出も受信も行わない場合、ListenTimeout 値に到達後 WAKEUP_DETECT 状態を抜け、衝突原因は不明となります。

プログラムでは考えられうるウェイクアップエラーを推察し、適切に対処することが必要です。ウェイクアップしたノードでのスタートアップ試行は、ほかの Coldstart ノードがウェイクアップして設定が完了するのに必要な最低限の時間だけ遅らせることを推奨します。

FlexRay プロトコル仕様書 では、2 つの異なる CC が 2 つのチャネルをウェイクアップさせることを推奨しています。

(1) CPU の役割

CPU はプログラムにより、2 つのチャネルのウェイクアップ処理を調整し、指定したチャネルをウェイクアップさせるかどうかを決定する必要があります。ウェイクアップパターンの送信はプログラムで制御されます。ウェイクアップパターンはリモートバスドライバで検出され、それぞれの CPU に通知されます。

プログラム制御によるウェイクアップ処理（シングルチャネルウェイクアップ）：

- CONFIG 状態で CC を設定する
  - FLXA0FRSUCC1.WUCS ビットでウェイクアップチャネルを選択
- WUP を受信したかどうかローカルバスドライバをチェックする
- 選択したチャネルのバスドライバを有効にする
- READY 状態に遷移するよう CC に指示
- FLXA0FRSUCC1.CMD ビットに “0011”（WAKEUP コマンド）を書き込み、選択したチャネルでウェイクアップ処理を開始するよう CC に指示
  - CC は WAKEUP 状態に遷移
  - CC は READY 状態に戻り、ウェイクアップ試行ステータスを CPU に通知
- ほかのノードがウェイクアップして設定を完了できるように一定時間待機
- Coldstart ノードの場合
  - 2 チャネル構成のクラスタでは、もう一方のチャネルの WUP を待機
  - FLXA0FRSUCC1.CMD ビットに “1001”（ALLOW_COLDSTART コマンド）を書き込み、FLXA0FRCCSV.CSI フラグを “0”（Coldstart 許可）にリセットする
- FLXA0FRSUCC1.CMD ビットに “0100”（RUN コマンド）を書き込み、STARTUP 状態に遷移するよう CC に指示

バスドライバがトリガとなるウェイクアップ処理：

- バスドライバがウェイクアップ処理を認識
- バスドライバによるマイコンの電源投入（必要な場合）
- バスドライバによるウェイクアップイベントの CPU への通知
- CPU がローカル CC を設定
- 必要であれば 2 番目のチャネルのウェイクアップ処理を指示、ほかのノードがウェイクアップして設定を完了できるように一定時間待機
- FLXA0FRSUCC1.CMD ビットに “0100”（RUN コマンド）を書き込み、STARTUP 状態に遷移するよう CC に指示

(2) ウェイクアップパターン（WUP）

ウェイクアップパターン（WUP）は、2 つ以上の Wakeup シンボル（WUS）で構成されています。Wakeup シンボルとウェイクアップパターンは、FLXA0FRPRTC1 レジスタと FLXA0FRPRTC2 レジスタで設定されます。

- シングルチャネルウェイクアップでは、Wakeup シンボルを一度に両方のチャネルで送信することはできません。
- 2 つ以上の送信ノードに対し、Wakeup シンボルは衝突耐性あり（2 つの Wakeup シンボルがオーバラップしても認識可能）。
- Wakeup シンボルはクラスタ内のすべてのノードで同じ設定にしてください。
- FLXA0FRPRTC2.TXL ビットで送信 Wakeup シンボルの “L” 幅を設定します。
- FLXA0FRPRTC2.TXI ビットでバス処理検出に使用する Wakeup シンボルのアイドル幅を設定します。
- ウェイクアップには、2 つ以上の送信 Wakeup シンボルからなるウェイクアップパターンが必要です。
- FLXA0FRPRTC1.RWP ビットで Wakeup シンボルの繰り返し回数を 2～63 の範囲で設定します。
- FLXA0FRPRTC1.RXW ビットで Wakeup シンボルの受信ウィンドウ幅を設定します。
- FLXA0FRPRTC2.RXL ビットで Wakeup シンボルの受信 “L” 幅を設定します。
- FLXA0FRPRTC2.RXI ビットで Wakeup シンボルの受信アイドル幅を設定します。

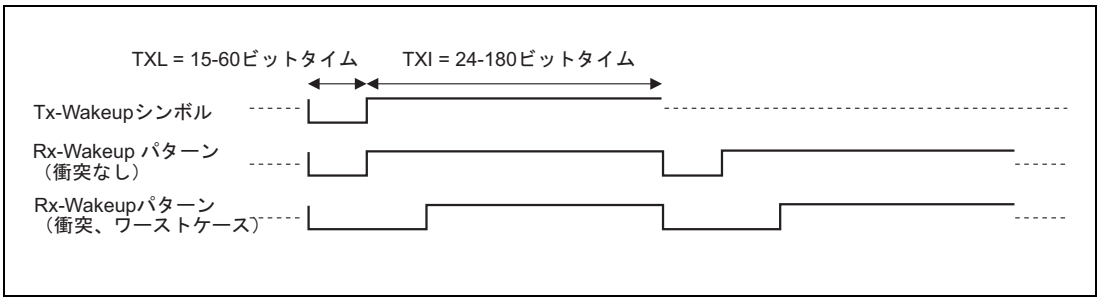


図 17.9 ウェイクアップパターンのタイミング

17.3.6.6 STARTUP 状態

ここでは、FlexRay モジュールのスタートアップの設定について説明します。スタートアップ処理の詳細および関連する SDL 図については、FlexRay プロトコル仕様書の 7.2 章を参照してください。

Coldstart が可能なノードが STARTUP 状態に遷移する場合は、Coldstart 開始前に自ノードのチャネルが 2 つともウェイクアップしていることを確認してください。

全ノードおよびスターが完全にウェイクアップして、設定が完了するのに要する時間はさまざまです。クラスタ通信を開始するには少なくとも 2 つのノードが必要なので、ウェイクアップしたノードでのスタートアップ試行は、ほかの Coldstart ノードがウェイクアップして設定が完了するのに必要な最低限の時間だけ遅らせることを推奨します。ご使用のハードウェアによっては、全ノードおよびスターがウェイクアップして設定完了するまでに数百 ms 要する場合があります。

スタートアップ処理はすべてのチャネルで同期して実行されます。スタートアップ処理中、ノードは Startup フレームのみ送信します。Startup フレームは Sync フレームと Null フレームの両方です。

耐故障性がある分散スタートアップ手順は、全ノードの最初の同期で決まります。通常、NORMAL_ACTIVE 状態に遷移するには以下の経路をたどります（**図 17.10** 参照）。

- スケジュール同期を開始する Coldstart パス（LeadingColdstart ノード）
- ほかの Coldstart ノードが参加する Coldstart パス（FollowingColdstart ノード）
- 既存の通信スケジュールに統合する統合パス（その他のノード）

Coldstart 試行は衝突回避シンボル（CAS）の送信で開始します。CAS シンボルを送信した 1 つの Coldstart ノードが、CAS シンボル送信後最初の 4 サイクルでフレームを送信します。その後ほかの Coldstart ノード、次いでその他のすべてのノードが参加します。

Coldstart ノードでは FLXA0FRSUCC1 レジスタの TXST ビットと TXSY ビットが “1” に設定されています。メッセージバッファ 0 には Startup フレームを送信するスロット番号を指定するキースロット ID があります。Startup フレームのフレームヘッダでは Startup フレームインジケータビットが “1” になっています。

ノードが 3 つ以上あるクラスタの場合、少なくとも 3 つのノードを Coldstart ノードに設定します。ノードが 2 つのクラスタの場合は、両ノードとも Coldstart ノードになります。クラスタをスタートアップさせるには 2 つの正常な Coldstart ノードが必要です。

各 Startup フレームは Sync フレームでもあります。したがって各 Coldstart ノードは Sync ノードでもあります。

Coldstart 試行回数は FLXA0FRSUCC1.CSA ビットで設定します。

非 Coldstart ノードがほかのノードと統合するには、ほかのノードからの 2 つ以上の Startup フレームが必要です。

Coldstart ノードのスタートアップ処理が完了する前に、統合を開始できます。2 つ以上の Coldstart ノードがスタートアップ処理を完了するまで、非 Coldstart ノードのスタートアップ処理は完了しません。

非 Coldstart ノードと Coldstart ノードは、TDMA スケジュール情報を引き出す Sync フレームを受信すると、統合パスを通って統合を開始します。統合中は、ノードのクロックをグローバルクロック（レートおよびオフセット）に同期させ、サイクル時間をネットワークで観測できるグローバルスケジュールに一致させる必要があります。その後これらの設定は、すべての有効なネットワークノードと一致しているかチェックされます。チェックが問題なく終了すると、ノードは統合フェーズを抜けて通信に参加することができます。

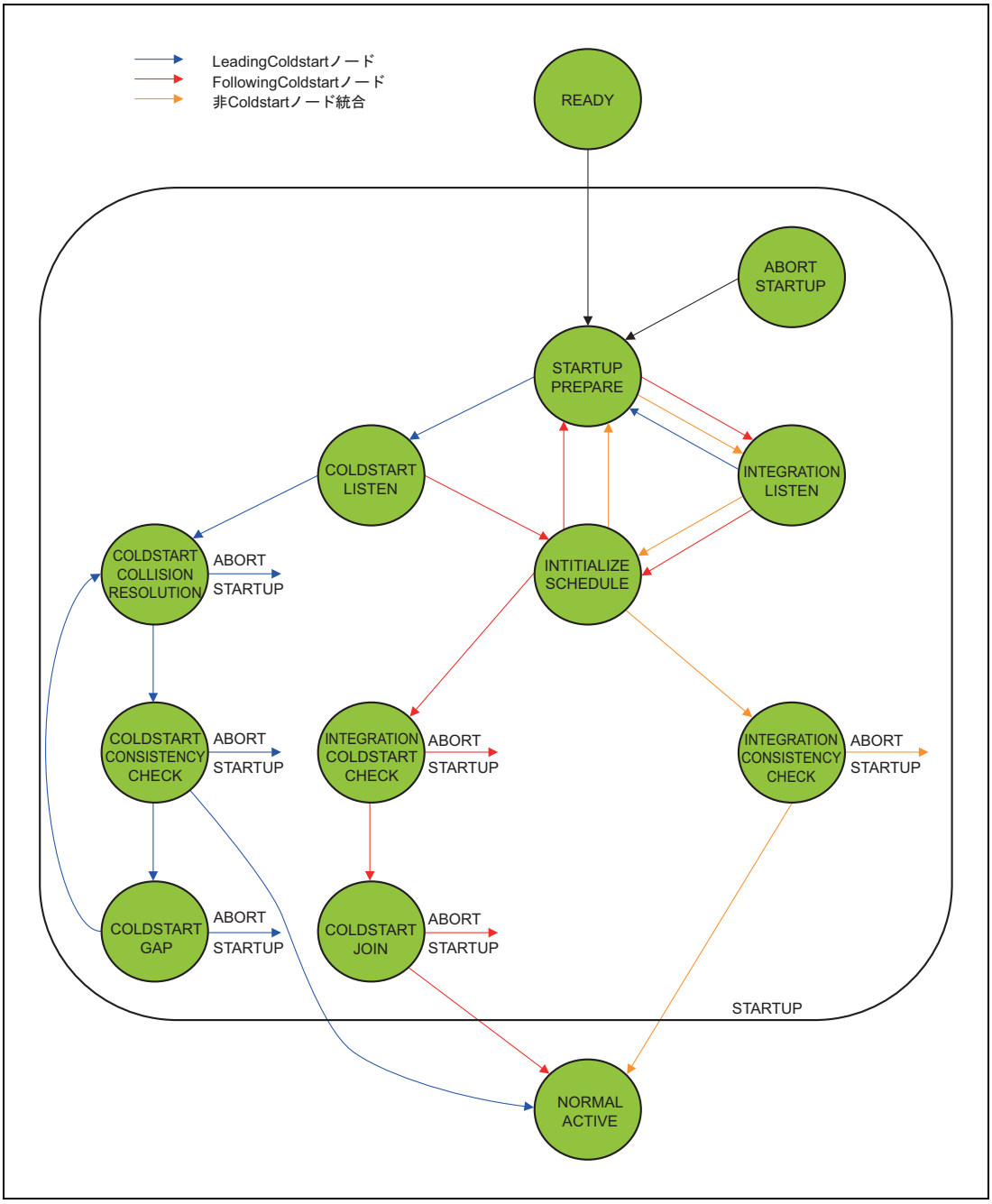


図 17.10 タイムトリガ式スタートアップ状態遷移図

(1) Coldstart 禁止モード

Coldstart 禁止モードではノードは TDMA 通信スケジュールを初期化できません。FLXA0FRCCSV.CSI フラグが “1”（Coldstart 禁止）の場合、ノードによるクラスタ通信の初期化が禁止、つまり、Coldstart パスへの遷移が禁止されます。稼働中のクラスタへの統合または Startup フレーム送信が許可されるのは、ほかの Coldstart ノードがクラスタ通信の初期化を開始してからになります。

Coldstart 禁止フラグ（FLXA0FRCCSV.CSI ビット）は、POC が READY 状態に遷移すると “1” になります。

プログラムで ALLOW_COLDSTART コマンド（FLXA0FRSUCC1.CMD ビット =“1001”）を発行することで “0” にクリアします。

(2) スタートアップタイムアウト

スタートアップタイムアウトとスタートアップノイズタイムアウトの2つのタイムアウト値を管理するための2つのμTタイマがあります。これらのタイマはCCがCOLDSTART_LISTEN状態に遷移するとスタートします。いずれかのタイマがタイムアウトすると、ノードは通信スタートアップ処理のために初期センシングフェーズ（COLDSTART_LISTEN状態）を抜けます。

注 意

スタートアップタイマとスタートアップノイズタイマはウェイクアップタイマおよびウェイクアップノイズタイマと同じもので、FLXA0FRSUCC2.LTビットおよびFLXA0FRSUCC2.LTNビットという同じ設定値を使用します。

(a) スタートアップタイムアウト

スタートアップタイムアウトは、ほかのノード間ですでに通信が行われているか、ほかのノードとの統合要求をしているColdstartノードがあるかをノードが判断するために使用する監視時間を制限するものです。スタートアップタイマはFLXA0FRSUCC2.LTビットで設定します（**「17.2.6.2 FLXA0FRSUCC2 — FlexRay SUC設定レジスタ2」**参照）。

スタートアップタイムアウト：

pdListenTimeout = FLXA0FRSUCC2.LT

スタートアップタイマは以下のときに再スタートします。

- COLDSTART_LISTEN状態に入ったとき
- COLDSTART_LISTEN状態中に両チャネルがアイドル状態になったとき

スタートアップタイマは以下のときに停止します。

- COLDSTART_LISTEN状態中、設定されたチャネルの1つで通信チャネルアクティビティを検出したとき
- COLDSTART_LISTEN状態から抜けたとき

一度スタートアップタイムアウトになると、オーバフローも再スタートも起こりません。スタートアップステートマシンによる次の処理のために、タイマの状態は保持されます。

(b) スタートアップノイズタイムアウト

スタートアップタイマが初めてスタートする（STARTUP_PREPARE 状態から COLDSTART_LISTEN 状態への遷移時）と同時に、スタートアップノイズタイマもスタートします。この付加的なタイムアウトは、ノイズの多い環境におけるスタートアップ処理の信頼性を高めるために使用されます。スタートアップノイズタイムアウトは FLXA0FRSUCC2.LTN ビットで設定します（**「17.2.6.2 FLXA0FRSUCC2 — FlexRay SUC 設定レジスタ 2」**参照）。

スタートアップノイズタイムアウト：

pdListenTimeout * gListenNoise = FLXA0FRSUCC2.LT * （FLXA0FRSUCC2.LTN + 1）

スタートアップノイズタイマは以下のときに再スタートします。

- COLDSTART_LISTEN 状態に入ったとき
- COLDSTART_LISTEN 状態中に正常にデコードされたヘッダまたは CAS シンボルを受信したとき

スタートアップノイズタイマは COLDSTART_LISTEN 状態を抜けると停止します。

一度スタートアップノイズタイムアウトになると、オーバフローも再スタートも起こりません。スタートアップステートマシンによる次の処理のために、タイマの状態は保持されます。ランダムチャネルアクティビティが検出された場合にはスタートアップノイズタイマは再スタートしないので、このタイムアウトによりノイズの多い環境でも通信クラスタをスタートアップさせることを保証する代替ソリューションが提供されます。

(3) Leading Coldstart ノードの状態遷移（Coldstart の開始）

Coldstart ノードは、COLDSTART_LISTEN 状態に入ると自ノードのチャネルを監視します。

通信が検出されなかった場合、COLDSTART_COLLISION_RESOLUTION 状態に移り、Coldstart 試行を開始します。最初の CAS シンボルの送信の後に、最初の通常サイクルが続きます。このサイクルがサイクル番号 0 となります。

サイクル 0 から当該ノードはスタートアップフレームを送信します。各 Coldstart ノードがそれぞれ Coldstart 試行を実行する可能性があるため、複数のノードが同時に CAS シンボルを送信し、Coldstart パスに入る場合もあります。この状況は、CAS シンボルが送信された後の最初の 4 サイクルで解決されます。

Coldstart 試行を開始したノードがこの 4 サイクル間に CAS シンボルやフレームヘッダを受信すると、すぐに COLDSTART_LISTEN 状態に再遷移します。その結果、Coldstart パスに残るのは 1 つのノードのみになります。サイクル 4 に入ると、ほかの Coldstart ノードが Startup フレームの送信を開始します。

COLDSTART_COLLISION_RESOLUTION 状態での 4 サイクルの後、Coldstart を開始したノードは COLDSTART_CONSISTENCY_CHECK 状態に入ります。サイクル 4 および 5 の Startup フレームをすべて集めてクロック補正を行います。クロック補正にエラーがなく、1 組以上の有効な Startup フレームを受信した場合、COLDSTART_CONSISTENCY_CHECK 状態を抜けて NORMAL_ACTIVE 状態に移ります。

1 つのノードが実行できる Coldstart 試行回数は、FLXA0FRSUCC1.CSA ビットで設定します。Coldstart 試行残数は FLXA0FRCCSV.RCA ビットから読み出せます。Coldstart 試行が実行されるたび残数は 1 ずつ減算されます。ノードは、この値が 2 以上のときのみ COLDSTART_LISTEN 状態に、1 以上のときのみ COLDSTART_COLLISION_RESOLUTION 状態に遷移できます。Coldstart 試行回数が 1 回の場合、Coldstart は禁止されますが、統合は可能です。

(4) Following Coldstart ノードの状態遷移（Leading Coldstart ノードへの応答）

Coldstart ノードが COLDSTART_LISTEN 状態に入ると、Leading Coldstart ノードからスケジュールとクロック補正を引き出すため、有効な Startup フレームのペアを受信しようとします。

有効な Startup フレームを受信するとただちに INITIALIZE_SCHEDULE 状態に入ります。クロック同期が対になる 2 つ目の有効な Startup フレームを受信し、スケジュールを引き出すと、INTEGRATION_COLDSTART_CHECK 状態に移ります。

INTEGRATION_COLDSTART_CHECK 状態では、クロック補正が正しく実行され、ノードのスケジュールを初期化した Coldstart ノードがまだ有効であることが保証されます。ノードはすべての Sync フレームを集め、次のサイクルペアでクロック補正を実行します。クロック補正でエラーがなく、統合した同じノードから引き続きフレームを受信している場合、COLDSTART_JOIN 状態に入ります。

COLDSTART_JOIN 状態では、Following Coldstart ノードが Startup フレームの送信を開始し、次のサイクルでも Startup フレームを送信します。その結果、Leading Coldstart ノードとそれに統合するノードが、互いのスケジュールが一致しているかどうかをチェックできます。クロック補正でエラーがあった場合、ノードは統合するのを中断します。この状態にあるノードがすべての偶数サイクルで有効な Startup フレームを 1 つ以上検知し、すべてのサイクルペアで有効な Startup フレームを 1 つ以上検知した場合、ノードは COLDSTART_JOIN 状態を抜け NORMAL_ACTIVE 状態に遷移します。結果として Coldstart を開始したノードの最低 1 サイクル後に、FollowingColdstart ノードは STARTUP 状態から抜けます。

(5) 非 Coldstart ノードの状態遷移

非 Coldstart ノードは、INTEGRATION_LISTEN 状態に入ると自ノードのチャネルを監視します。

有効な Startup フレームを受信するとただちに INITIALIZE_SCHEDULE 状態に入ります。クロック同期が対になる 2 つ目の有効な Startup フレームを受信し、スケジュールを引き出すと、INTEGRATION_CONSISTENCY_CHECK 状態に移ります。

INTEGRATION_CONSISTENCY_CHECK 状態では、クロック補正が正しく実行されたか、十分な数（2 つ以上）の Coldstart ノードがノードのスケジュールに一致する Startup フレーム送信をしているかを確認します。クロック補正が実行され、エラーが検出されると、ノードは統合するのを中断します。

この状態での最初の偶数サイクル中、有効な Startup フレーム 2 つか、統合したノードの Startup フレームかのどちらかが受信されなければなりません。受信されなければ、ノードは統合するのを中断します。

この状態での最初のサイクルペア中、有効な Startup フレームペア 2 つか、統合したノードの Startup フレームペアかのどちらかが受信されなければなりません。受信されなければ、ノードは統合するのを中断します。

最初のサイクルペア後、偶数サイクルで受信した有効な Startup フレームが 2 つ未満の場合、またはサイクルペアで受信した有効な Startup フレームペアが 2 つ未満の場合、スタートアップは中断されます。

STARTUP 状態を抜け NORMAL_OPERATION 状態に入るためには、この状態においてノードは 2 つの連続したサイクルペアそれぞれに対し 2 つの有効な Startup フレームペアを検知することが必要です。結果として、Coldstart を開始したノードの最低 1 サイクルペア後、かつ奇数サイクルの終了時に、非 Coldstart ノードは STARTUP 状態から抜けます。

17.3.6.7 NORMAL_ACTIVE 状態

最初の CAS シンボルを送信したノード（アクセス競合を解決して Coldstart パスを経て STARTUP に遷移）と、もう 1 つのノードが NORMAL_ACTIVE 状態に入ると、クラスタのスタートアップフェーズが完了します。NORMAL_ACTIVE 状態ではすべての設定されたメッセージが設定どおりに送信されます。ここには Sync フレームだけでなく、データフレームも含まれます。レートおよびオフセット計測は偶数サイクル（偶数／奇数サイクルペアが必要です）で行われます。

NORMAL_ACTIVE 状態では以下の標準の通信機能がサポートされます。

- FlexRay バス上での送受信を設定されたとおりに実行
- クロック同期を実施
- CPU インタフェースが動作

CC は以下の場合に NORMAL_ACTIVE 状態を抜けます。

- FLXA0FRSUCC1.CMD ビットに “0110”（HALT コマンド）を書き込むことで、現サイクルの終了時に HALT 状態に遷移
- FLXA0FRSUCC1.CMD ビットに “0111”（FREEZE コマンド）を書き込むことで、ただちに HALT 状態に遷移
- ACTIVE から COMM_HALT へエラーステータスが変化したことにより HALT 状態に遷移
- ACTIVE から PASSIVE へエラーステータスが変化したことにより NORMAL_PASSIVE 状態に遷移
- FLXA0FRSUCC1.CMD ビットに “0010”（READY コマンド）を書き込むことで READY 状態に遷移

17.3.6.8 NORMAL_PASSIVE 状態

エラーステータスが ACTIVE から PASSIVE に変化すると、NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態へ遷移します。

NORMAL_PASSIVE 状態では、ノードはすべてのフレームを受信することができます（ノードが完全に同期していてクロック同期を行う場合）。NORMAL_ACTIVE 状態と違い、ノードは積極的には通信に参加しません、つまりシンボルもフレームも送信しません。

NORMAL_PASSIVE 状態では

- FlexRay バス上での受信を実行
- FlexRay バス上にフレームもシンボルも送信しない
- クロック同期を実施
- CPU インタフェースが動作

CC は以下の場合に NORMAL_PASSIVE 状態を抜けます。

- FLXA0FRSUCC1.CMD ビットに “0110”（HALT コマンド）を書き込むことで、現サイクルの終了時に HALT 状態に遷移
- FLXA0FRSUCC1.CMD ビットに “0111”（FREEZE コマンド）を書き込むことで、ただちに HALT 状態に遷移
- PASSIVEからCOMM_HALTへエラーステータスが変化したことによりHALT状態に遷移
- PASSIVE から ACTIVE へエラーステータスが変化したことにより NORMAL_ACTIVE 状態に遷移
  この変化は FLXA0FRCCEV.PTAC ビットの値が FLXA0FRSUCC1.PTA ビットの設定値 - 1 になったときに起こります。
- FLXA0FRSUCC1.CMD ビットに “0010”（READY コマンド）を書き込むことで READY 状態に遷移

17.3.6.9 HALT 状態

この状態ではすべての通信（送受信）が停止します。

CC は以下の場合に HALT 状態へ遷移します。

- NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で、FLXA0FRSUCC1.CMD ビットに “0110”（HALT コマンド）を設定
- 状態にかかわらず、FLXA0FRSUCC1.CMD ビットに “0111”（FREEZE コマンド）を設定
- FLXA0FRSUCC1.HCSE ビットが “1” に設定されていて、クロック補正失敗カウンタが「クロック補正エラー回数（HALT 状態への遷移条件）」に達したため NORMAL_ACTIVE 状態から抜けたとき
- FLXA0FRSUCC1.HCSE ビットが “1” に設定されていて、クロック補正失敗カウンタが「クロック補正エラー回数（HALT 状態への遷移条件）」に達したため NORMAL_PASSIVE 状態から抜けたとき

CC は以下の場合に HALT 状態から DEFAULT_CONFIG 状態へ遷移します。

- FLXA0FRSUCC1.CMD ビットに “0001”（CONFIG コマンド）を設定

HALT 状態に遷移すると、すべてのレジスタ設定やステータスデータは解析のために保存されます。

プログラムで FLXA0FRSUCC1.CMD ビットに “0110”（HALT コマンド）を書き込むと、FLXA0FRCCSV レジスタの HRQ フラグが “1” になり、次のサイクルの終了時、HALT 状態に遷移します。

プログラムで FLXA0FRSUCC1.CMD ビットに “0111”（FREEZE コマンド）を書き込むと、ただちに HALT 状態に遷移し、FLXA0FRCCSV レジスタの FSI フラグが “1” になります。

HALT 状態へ遷移する前の POC の状態は、FLXA0FRCCSV.PSL フラグから読み出せます。

17.3.7 ネットワーク管理

生成されたネットワーク管理（NM）ベクタはFLXA0FRNMV1 ～ FLXA0FRNMV3 レジスタで読み出せます。CC は、ペイロードプリアンブルインジケータ（PPI）ビットが “1” になっているすべての有効な受信 NM フレームの中から、すべての NM ベクタをビットごとに OR 演算します。スタティックフレームだけが NM 情報を持つように設定されています。CC は各サイクルの終了時に NM ベクタを更新します。NM ベクタ長は FLXA0FRNEMC.NML ビットにより 0 ～ 12 バイトの範囲で設定します。NM ベクタ長はクラスタ内のすべてのノードで同じ値にしてください。

FlexRay フレームを PPI ビットを “1” にして送信するように送信バッファを設定するには、それぞれの送信バッファのヘッダセクションにある PPIT ビットを、FLXA0FRWRHS1 レジスタの PPIT ビットを使って “1” にしなければなりません。さらにプログラムで NM 情報をそれぞれの送信バッファのデータセクションに書き込む必要があります。

NM ベクタの評価はアプリケーションプログラム側で行う必要があります。

FLXA0FRNMV1 ～ FLXA0FRNMV3 レジスタでの受信 NM ベクタのバイトアライメントについては、**「17.3.17 バイトアライメント」**を参照してください。

注 意

1. **メッセージバッファがネットワーク管理フレームの送信／受信用に設定されている場合、メッセージバッファのヘッダ 2 で設定するペイロード長は、FLXA0FRNEMC.NML ビットで設定した NM ベクタ長以上にする必要があります。**
2. **CC が HALT 状態に遷移したとき、サイクルカウンタはインクリメントされないので、NM ベクタも更新されません。このとき FLXA0FRNMV1 ～ FLXA0FRNMV3 レジスタは以前のサイクルの値を保持します。**

17.3.8 フィルタリングとマスキング

フィルタリングは、指定されたメッセージバッファの設定と、実際のスロットカウンタ値、サイクルカウンタ値およびチャネル ID（チャネル A、B）とを比較することで行われます。比較した値が一致した場合にのみ、メッセージバッファは更新 / 送信されます。

フィルタリングは以下の条件で行われます。

- スロットカウンタ
- サイクルカウンタ
- チャネル ID

以下のフィルタの組み合わせがアクセプタンス / 送信フィルタリングに使用できます。

- スロットカウンタ + チャネル ID
- スロットカウンタ + サイクルカウンタ + チャネル ID

メッセージバッファに受信メッセージを格納するには、設定されたすべてのフィルタが一致する必要があります。

注 意

FIFO については、アクセプタンスフィルタは FlexRayFIFO リジェクションフィルタレジスタ（FLXA0FRFRF）と、FlexRayFIFO リジェクションフィルタマスクレジスタ（FLXA0FRFRFM）で設定されます。

設定したチャネルの設定したフレーム ID に相当するタイムスロットでメッセージは送信されます。サイクルカウンタフィルタリングが有効な場合、設定されたサイクルフィルタ値も一致する必要があります。

17.3.8.1 スロットカウンタフィルタリング

すべての送信／受信バッファは、ヘッダセクションにフレーム ID を持っています。このフレーム ID が実際のスロットカウンタ値と比較されて、受信／送信バッファを対応するスロットに割り当てます。

2 つ以上のメッセージバッファが同じフレーム ID とチャネル ID を持つように設定され、同じスロットに対してサイクルカウンタフィルタ値が一致した場合、最小メッセージバッファ番号を持つメッセージバッファが使用されます。

17.3.8.2 サイクルカウンタフィルタリング

サイクルカウンタフィルタリングはサイクルセットという概念に基づきます。フィルタリングという目的においては、サイクルセットの項目が 1 つでも一致すると、一致と検出されます。サイクルセットは各メッセージバッファのヘッダセクション 1 にあるサイクルコードフィールドで定義されます。

メッセージバッファ 0 または 1 が、FLXA0FRSUCC1.TXST ビット、FLXA0FRSUCC1.TXSY ビット、FLXA0FRSUCC1.TSM ビットによって、Startup フレーム／ Sync フレーム、または SINGLE スロットフレームになるように設定されている場合、該当するメッセージバッファのサイクルカウンタフィルタリングは禁止する必要があります。

注 意

FlexRay ネットワークの異なるノード間で、サイクルカウンタフィルタリングを使用してスタティックタイムスロットを共有することは禁止されています。

サイクルセットに含まれるサイクル番号のセットは**表 17.92** のように定義されています。

表 17.92 サイクルセットの定義

サイクル	一致するサイクルカウンタ値
0b000000x	全サイクル
0b000001c	2 サイクルごと （サイクルカウント値）mod2 = c のとき
0b00001cc	4 サイクルごと （サイクルカウント値）mod4 = cc のとき
0b0001ccc	8 サイクルごと （サイクルカウント値）mod8 = ccc のとき
0b001cccc	16 サイクルごと （サイクルカウント値）mod16 = cccc のとき
0b01ccccc	32 サイクルごと （サイクルカウント値）mod32 = ccccc のとき
0b1cccccc	64 サイクルごと （サイクルカウント値 mod64 = cccccc のとき

表 17.93 にサイクルカウンタフィルタリングに使用する有効なサイクルセットの例を示します。

表 17.93 有効なサイクルセット例

サイクル	一致するサイクルカウンタ値
0b0000011	1-3-5-7-…. -63
0b0000100	0-4-8-12-…. -60
0b0001110	6-14-22-30-…. -62
0b0011000	8-24-40-56
0b0100011	3-35
0b1001001	9

メッセージが受信されたサイクルのサイクルカウンタ値と受信バッファのサイクルセットの要素が一致したときのみ、受信メッセージが格納されます。チャネル ID およびフレーム ID も一致する必要があります。

送信バッファに設定したサイクルコードが現在のサイクルカウンタ値に一致した場合、フレームを送信します。チャネル ID およびフレーム ID も一致する必要があります。

17.3.8.3 チャネル ID フィルタリング

メッセージ RAM の各メッセージバッファのヘッダセクションには 2 ビットのチャネルフィルタリング制御フィールド（CH ビット）があります。これらは受信バッファのフィルタおよび送信バッファの制御フィールドとして使用します（**表 17.94** 参照）。

表 17.94 チャネルフィルタリング設定

CH[1:0]	送信バッファのフレーム送信	受信バッファの有効受信フレーム格納
00	送信禁止	フレーム無視
01	チャネル A	チャネル A で受信
10	チャネル B	チャネル B で受信
11	両チャネル（スタティックセグメントのみ）	チャネル A または B で受信（最初のセマンティクス的に有効なフレームを格納、スタティックセグメントのみ）

スロットカウンタフィルタリングとサイクルカウンタフィルタリングの条件を満たした場合、送信バッファの内容は、チャネルフィルタリング制御フィールドで設定したチャネルに送信されます。送信バッファは、スタティックセグメントでのみ両方のチャネル（CH ビット = “11”）に送信するように設定できます。

スロットカウンタフィルタリングとサイクルカウンタフィルタリングの条件を満たした場合、チャネルフィルタリング制御フィールドで設定したチャネルで受信した有効な受信フレームが格納されます。受信バッファは、スタティックセグメントでのみ両方のチャネル（CH ビット = “11”）から受信するように設定できます。

注 意

メッセージバッファがダイナミックセグメント用に設定されており、チャネルフィルタリング制御フィールドの両ビットが “1” のとき、フレームの送信は行われず、受信フレームは無視されます（CH ビット = “00” と同じ機能）。

17.3.8.4 FIFO フィルタリング

FIFO フィルタリングでは FLXA0FRFRF レジスタおよび FLXA0FRFRFM レジスタを使用します。FIFO フィルタはチャネルフィルタ（FLXA0FRFRF.CH ビット）、フレーム ID フィルタ（FLXA0FRFRF.FID ビット）およびサイクルカウンタフィルタ（FLXA0FRFRF.CYF ビット）から構成されています。FLXA0FRFRF レジスタおよび FLXA0FRFRFM レジスタは DEFAULT_CONFIG 状態または CONFIG 状態でのみ設定できます。FIFO に割り当てられたメッセージバッファのヘッダセクションに対するフィルタ設定は無視されます。

7 ビットのサイクルカウンタフィルタはフレーム ID フィルタとチャネルリジェクションフィルタが適用されるサイクルセットを決定します。FLXA0FRFRF.CYF ビットで設定されたサイクルセットに該当しないサイクルでは、すべてのフレームが除外されます。

FLXA0FRFRF レジスタと FLXA0FRFRFM レジスタの設定によってチャネル ID、フレーム ID およびサイクルカウンタが除外されず、かつ一致する専用受信バッファがない場合、有効な受信フレームが FIFO に格納されます。

17.3.9 送信プロセス

17.3.9.1 スタティックセグメント

スタティックセグメントでは、送信待ちメッセージがある場合、次の送信スロットに対応するフレーム ID を持ったメッセージが送信するために選択されます。

スタティックセグメントに割り当てられた送信バッファのデータセクションは、その前のタイムスロットの終了時まで更新できます。つまり、遅くともこのときまでに FlexRay 入力バッファコマンド要求レジスタ（FLXA0FRIBCR レジスタ）に書き込み、入力バッファからの転送を開始させる必要があります。

17.3.9.2 ダイナミックセグメント

ダイナミックセグメントでは、送信待ちメッセージがある場合、優先度が高い（フレーム ID の小さい）メッセージが次の送信に選択されます。このセグメントではチャネル A とチャネル B で異なるスロットカウンタシーケンスを使用できます（両チャネルで異なるフレーム ID の同時送信が可能）。

ダイナミックセグメントに割り当てられた送信バッファのデータセクションは、その前のスロットの終了時まで更新できます。つまり、遅くともこのときまでに FlexRay 入力バッファコマンド要求レジスタ（FLXA0FRIBCR レジスタ）に書き込み、入力バッファからの転送を開始させる必要があります。

FLXA0FRMHDC.SLT ビットで設定される最終送信開始位置により、最大ミニスロット値が定義されます。このスロット以降、現サイクルのダイナミックセグメントでは新たなフレーム送信は禁止になります。

17.3.9.3 送信バッファ

FlexRay メッセージバッファは、FLXA0FRWRHS1 レジスタにより該当メッセージバッファのヘッダセクションにある CFG ビットに “1” を書き込むことで、送信バッファに設定できます。

送信バッファの CC チャネルへの割り当ては以下のいずれかになります。

- スタティックセグメント：チャネル A またはチャネル B
  チャネル A とチャネル B の両方
- ダイナミックセグメント：チャネル A またはチャネル B

メッセージバッファ 0、1 は、それぞれ FLXA0FRSUCC1.TXST、FLXA0FRSUCC1.TXSY、FLXA0FRSUCC1.TSM ビットで設定したとおり、Startup フレーム、Sync フレーム、指定された SINGLE スロットフレーム専用となります。この場合、DEFAULT_CONFIG 状態または CONFIG 状態でのみ設定変更ができます。このため各ノードは、1 つのコミュニケーションサイクルに多くとも 1 つの Startup フレーム／ Sync フレームしか送信できません。ほかのメッセージバッファから Startup フレーム／ Sync フレームを送信することはできません。

スタティックセグメントまたはダイナミックセグメントでの送信用に設定されているほかのメッセージバッファはすべて、FLXA0FRMRC.SEC ビットの設定次第でランタイム中に設定変更可能です（**「17.3.12.1 メッセージバッファの設定変更」**参照）。（データポインタによって参照されるという）メッセージ RAM のデータパーティションの構成上、メッセージバッファのヘッダセクションのペイロード長とデータポインタの設定変更はエラーを引き起こす可能性があります。

ランタイム中にメッセージバッファが設定変更（ヘッダセクションを更新）された場合、このメッセージバッファは、対応するコミュニケーションサイクル中に送信されない場合があります。

CC にはヘッダ CRC を計算する機能はありません。プログラムですべての送信バッファにヘッダ CRC を用意する必要があります。ネットワーク管理が必要な場合、該当するメッセージバッファのヘッダセクションにある PPIT ビットを “1” に設定し、データセクションにネットワーク管理情報を書き込む必要があります（**「17.3.7 ネットワーク管理」**参照）

ペイロード長フィールドは 2 バイト単位でペイロード長を設定します。スタティック送信バッファのペイロード長が FLXA0FRMHDC.SFDL ビットに設定したスタティックセグメントでのペイロード長より短い場合、CC はフレームが正しい物理長になるようにパディングバイトを生成します。パディングパターンは “0000_H” です。

注 意

ペイロード長が奇数の場合（PLC = 1、3、5、…）、パディングパターンを確実に “0000_H” にするため、アプリケーションは、メッセージバッファのデータセクションの最後の 16 ビットに “0” を書き込む必要があります。

それぞれの送信バッファには、ホストによる送信バッファの送信モード設定を可能にする、送信モードフラグ TXM が 1 つあります。このビットがセットされると、トランスミッタはシングルショットモードで動作します。このビットがクリアされると、トランスミッタは連続モードで動作します。

シングルショットモードでは、送信完了後に対応する TXR フラグが “0” になります。このとき送信バッファの更新が可能です。

連続送信モードでは、送信が完了しても対応する送信要求フラグ（TXR）は “0” になりません。この場合、フィルタ条件が一致するごとにフレームが送信されます。TXR フラグを “0” にするには、FLXA0FRIBCM レジスタの STXRH ビットが “0” の間に当該メッセージバッファ番号を FLXA0FRIBCR レジスタに書き込みます。

2 つ以上の送信バッファが同時にフィルタ条件を満たした場合、メッセージバッファ番号が最も小さい送信バッファが対応するスロットで送信されます。

17.3.9.4 フレーム送信

以下にメッセージバッファを送信するための手順を示します。

- FLXA0FRWRHS1 ～ FLXA0FRWRHS3 レジスタによりメッセージ RAM の送信バッファを設定する。
- FLXA0FRWRDSn により送信バッファのデータセクションを書き込む。
- 対象となるメッセージバッファ番号を FLXA0FRIBCR レジスタに書き込むことで、入力バッファからメッセージ RAM に設定値とメッセージデータを転送する。
- FLXA0FRIBCM レジスタで設定した場合、転送完了次第、対象のメッセージバッファの送信要求フラグ（TXR）が “1” になり、メッセージバッファの送信準備が完了する。
- FLXA0FRTXRQ1 ～ FLXA0FRTXRQ4 レジスタの対応する TXR フラグをチェックする（TXR = “0”）ことで、メッセージバッファが送信されたかどうかを確認する（シングルショットモードのみ）。

送信完了後、FLXA0FRTXRQ1 ～ FLXA0FRTXRQ4 レジスタの対応する TXR フラグが “0” になります（シングルショットモードのみ）。また、メッセージバッファのヘッダセクションの MBI ビットが “1” の場合、FLXA0FRSIR レジスタの TXI ビットが “1” になります。割り込みが許可されている場合、割り込み要求が発生します。

17.3.9.5 Null フレーム送信

スタティックセグメントにおいて、送信前に送信要求フラグが “1” になっていない場合、CC は、Null フレームインジケータビットを “0”、ペイロードデータを 0 にして Null フレームを送信します。

以下の場合 Null フレームが送信されます。

- フィルタ条件に合致するメッセージバッファ番号が最も小さいメッセージバッファの送信要求フラグが “1” になっていない場合（TXR = “0”）
- そのスロットに設定された送信バッファのサイクルカウンタフィルタが、現在のサイクルに一致しない場合。この場合、メッセージバッファステータス（FLXA0FRMBS）は更新されません。

ダイナミックセグメントでは Null フレームは送信されません。

17.3.10 受信プロセス

17.3.10.1 専用受信バッファ

一部の FlexRay メッセージバッファは、FLXA0FRWRHS1 レジスタにより該当メッセージバッファのヘッダセクションにある CFG ビットに “0” を書き込むことで、専用受信バッファに設定できます。

受信バッファの CC チャネルへの割り当ては以下のいずれかになります。

- スタティックセグメント：チャネル A またはチャネル B
  チャネル A とチャネル B の両方（最初のセマンティクス的に有効なフレームを格納）
- ダイナミックセグメント：チャネル A またはチャネル B

CC は、FlexRay チャネルプロトコルコントローラ（チャネル A または B）のシフトレジスタから一致するフィルタ設定を持つ受信バッファに、有効な受信メッセージのペイロードデータを転送します。受信バッファは、フレーム CRC 以外のすべてのフレーム要素を格納します。

スタティックセグメントまたはダイナミックセグメントでの受信用に設定されているメッセージバッファはすべて、FLXA0FRMRC.SEC ビットの設定次第でランタイム中に設定変更可能です（**「17.3.12.1 メッセージバッファの設定変更」**参照）。ランタイム中にメッセージバッファの設定を変更（ヘッダセクションを更新）すると、対応するコミュニケーションサイクルで受信メッセージが失われる可能性があります。

2 つ以上の受信バッファが同時にフィルタ条件を満たした場合、メッセージバッファ番号が最も小さい受信バッファが対応する受信メッセージで更新されます。

17.3.10.2 フレーム受信

以下に専用受信メッセージバッファに送信準備をさせるための手順を示します。

- FLXA0FRWRHS1～FLXA0FRWRHS3 レジスタによりメッセージRAMの受信バッファを設定する。
- 対象となるメッセージバッファ番号を FLXA0FRIBCR レジスタに書き込むことで、入力バッファからメッセージ RAM に設定値を転送する。

上記の手順を実行したら、メッセージバッファは受信バッファとして機能し、メッセージを受信するたびに行われる内部アクセプタンスフィルタリング処理に参加します。最初に一致した受信バッファが受信メッセージにより更新されます。

有効なペイロードセグメントがメッセージバッファのデータセクションに格納された場合、FLXA0FRNDAT1 ～ FLXA0FRNDAT4 レジスタの対応する ND フラグが “1” になります。また、メッセージバッファのヘッダセクションにある MBI ビットが “1” の場合、FLXA0FRSIR レジスタの RXI ビットが “1” になります。割り込みが許可されている場合、割り込み要求が発生します。

メッセージハンドラがメッセージバッファを更新したときに ND ビットがすでに “1” になっていた場合、対応するメッセージバッファの FLXA0FRMBS にある MLST ビットが “1” になり、未処理のメッセージデータは失われます。

フレームを受信しなかった場合、または Null フレームや破損したフレームを受信した場合、このスロットに設定されたメッセージバッファのデータセクションは更新されません。この場合、対応するメッセージバッファステータス（FLXA0FRMBS）だけが更新されます。

メッセージハンドラがメッセージバッファのヘッダセクションにある FlexRay メッセージバッファステータス（FLXA0FRMBS）を変化させたとき、FLXA0FRMBSC1 ～ FLXA0FRMBSC4 レジスタの対応する MBC フラグが “1” になります。また、メッセージバッファのヘッダセクションにある MBI ビットが “1” の場合、FLXA0FRSIR レジスタの MBSI ビットが “1” になります。割り込みが許可されている場合、割り込み要求が発生します。

受信したフレームのペイロード長（PLR）が、対応するメッセージバッファのヘッダセクションにある PLC ビットの設定値より長い場合、メッセージバッファに格納されるデータフィールドは設定された長さに切り詰められます。

出力バッファを介してメッセージ RAM から受信バッファを読み出すには、「**17.3.12.2 (2) メッセージ RAM から出力バッファへのデータ転送**」に記載の処理を行ってください。

注　意

受信メッセージのペイロードデータとヘッダが出力バッファに転送された場合、ND フラグと MBC フラグは自動的に “0” になります。

17.3.10.3 Null フレーム受信

受信した Null フレームのペイロードセグメントは、一致した専用受信バッファにコピーされません。Null フレームが受信されると、一致したメッセージバッファの FlexRay メッセージバッファステータス（FLXA0FRMBS）だけが受信した Null フレームにより更新されます。一致したメッセージバッファのヘッダ 2 と 3 にあるビットはいずれも変化しません。これらのビットの内容は受信データフレームによってのみ更新されます。

メッセージハンドラがメッセージバッファのヘッダセクションにある FlexRay メッセージバッファステータス（FLXA0FRMBS）を変化させたとき、FLXA0FRMBSC1 ～ FLXA0FRMBSC4 レジスタの対応する MBC フラグが “1” になります。また、メッセージバッファのヘッダセクションにある MBI ビットが “1” の場合、FLXA0FRSIR レジスタの MBSI フラグが “1” になります。割り込みが許可されている場合、割り込み要求が発生します。

17.3.11 FIFO 機能

17.3.11.1 解説

メッセージバッファの一部を FIFO バッファとして設定できます。FIFO に設定したメッセージバッファは、FLXA0FRMRC.FFB ビットで指定したメッセージバッファから始まり、FLXA0FRMRC.LCB ビットで指定したメッセージバッファで終わるレジスタマップ内で、連続しています。最大 127 のメッセージバッファを FIFO に割り当てることができます。

専用受信バッファには一致しなかったが、プログラマブル FIFO フィルタはパスした有効な受信メッセージはすべて FIFO に格納されます。この場合、指定された FIFO メッセージバッファのフレーム ID、ペイロード長、受信サイクルカウント、FlexRay メッセージバッファステータス（FLXA0FRMBS）にはそれぞれ受信フレームの値が上書きされます。FLXA0FRSIR レジスタの RFNE フラグが “1” の場合、受信 FIFO がエンプティでないことを、RFCL ビットが “1” の場合、受信 FIFO フィルレベル（FLXA0FRFSR.RFFL）が FLXA0FRSIR.RFCL ビットで設定されたクリティカルレベル以上であることを、また FLXA0FREIR レジスタの RFO ビットが “1” の場合、FIFO オーバランが検出されたことを示します。割り込みが許可されている場合、割り込み要求が発生します。

Null フレームが FIFO リジェクションフィルタで除去されなかった場合、その Null フレームは FIFO に格納されたときデータフレームのように扱われます。

FIFO に関連した 2 つのインデックスレジスタがあります。PUT インデックスレジスタ（PIDX）は FIFO 内で次に使用可能な場所を示すインデックスです。新しいメッセージを受信したとき、当該メッセージは PIDX レジスタに示されるメッセージバッファに書き込まれます。その後 PIDX レジスタはインクリメントされ、次に使用可能なメッセージバッファを示します。PIDX レジスタが FIFO のメッセージバッファ番号の最大値を超えると、PIDX レジスタには FIFO チェーン内の先頭（最も値が小さい）メッセージバッファの番号が設定されます。GET インデックスレジスタ（GIDX）は次に読み出される FIFO のメッセージバッファを示すために使用します。FIFO 内のメッセージバッファの内容が出力バッファへ転送されると、GIDX レジスタはインクリメントされます。PIDX レジスタと GIDX レジスタへは CPU からアクセスできません。

PIDX レジスタの値が GIDX レジスタの値に達したとき、FIFO は一杯になります。一番古いメッセージが読み出される前に新しいメッセージが書き込まれると、両レジスタはインクリメントされ、新しいメッセージは一番古いメッセージに上書きされます。このとき FIFO オーバランフラグ（FLXA0FREIR.RFO ビット）が “1” になります。

PIDX レジスタの値が GIDX レジスタの値と異なる場合、FIFO がエンプティでないことがわかります。このとき FLXA0FRSIR レジスタの FLXA0FRSIR.RFNE フラグが “1” になります。これは少なくとも 1 つの受信メッセージが FIFO にあることを示します。FIFO エンプティ、FIFO 非エンプティ、FIFO オーバランの状態を、3 つのメッセージバッファからなる FIFO を例に**図 17.11** に示します。

プログラマブル FIFO リジェクションフィルタ（FLXA0FRFRF レジスタ）は、除去されるメッセージのフィルタパターンを定義します。FIFO フィルタはチャネルフィルタ、フレーム ID フィルタ、サイクルカウンタフィルタで構成されます。FLXA0FRFRF レジスタの RSS ビットが “1” の場合、スタティックセグメントで受信したメッセージはすべて FIFO に除去されます。RNF ビットが “1” の場合、受信した Null フレームは FIFO に格納されません。

FlexRay FIFO リジェクションフィルタマスク（FLXA0FRFRFM レジスタ）では、FLXA0FRFRF レジスタのフレーム ID フィルタのどのビットを除外フィルタリングで “don't care” にするかを指定します。

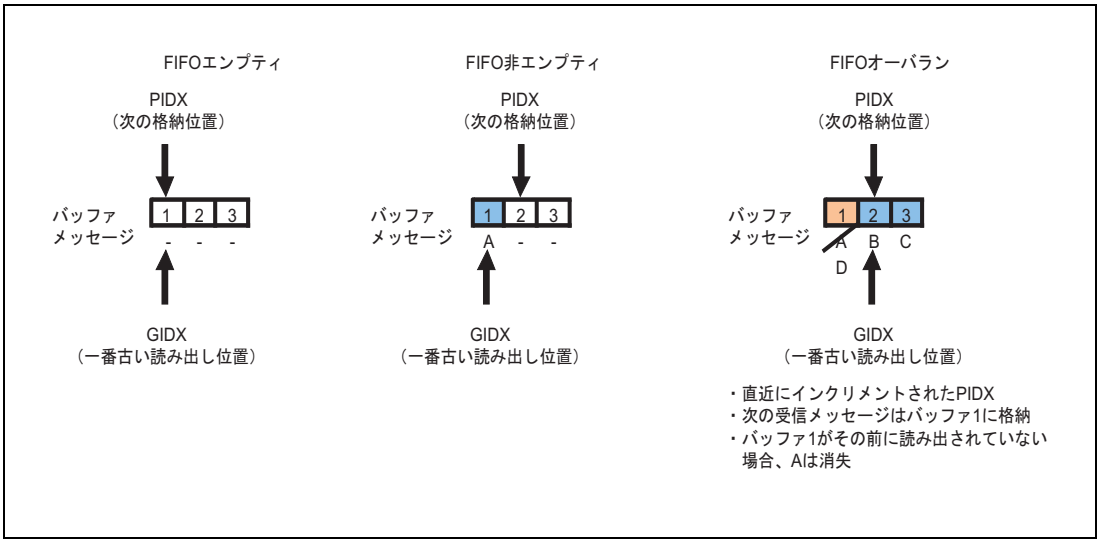


図 17.11 FIFO ステータス：エンプティ、非エンプティ、オーバラン

17.3.11.2 FIFO の設定

FIFO に設定したメッセージバッファの設定（もしくは設定変更）は、CC が DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。CC が DEFAULT_CONFIG 状態または CONFIG 状態にあるとき、FIFO 機能は使用できません。

FIFO に設定したすべてのメッセージバッファにおいて、FLXA0FRWRHS2.PLC ビットで設定するペイロード長は同じ値にする必要があります。メッセージ RAM の各メッセージバッファのデータセクションの最初の 32 ビットへのデータポインタは、FLXA0FRWRHS3.DP ビットで設定します。

アクセプタンスフィルタリングに必要な情報はすべて、FlexRay FIFO リジェクションフィルタレジスタおよび FlexRay FIFO リジェクションフィルタマスクレジスタから取り出されます。FIFO に設定したメッセージバッファのヘッダセクションに設定されている値は、DP ビットおよび PLC ビットを除いて、意味を持ちません。

注 意

1. **受信割り込み要求が発生しないよう、FIFO に設定したメッセージバッファの MBI ビットは FLXA0FRWRHS1 レジスタを使用して “0” にすることを推奨します。**
2. **受信したフレームのペイロード長が、対応するメッセージバッファのヘッダセクションにある FLXA0FRWRHS2.PLC ビットの設定値より長い場合、FIFO のメッセージバッファに格納されるデータフィールドは設定された長さに切り詰められます。**

17.3.11.3 FIFO へのアクセス

(1) 出力バッファを使用

DEFAULT_CONFIG 状態または CONFIG 状態以外で FIFO にアクセスするには、（FLXA0FRMRC.FFB ビットで参照される）FIFO の先頭メッセージバッファ番号を FLXA0FROBCR レジスタに書き込み、メッセージ RAM から出力バッファへの転送を起動する必要があります。そうすると、メッセージハンドラが GET インデックスレジスタ（GIDX）で示されるメッセージバッファを出力バッファに転送します。この転送のあと、GIDX レジスタはインクリメントされます。

(2) データ転送機能を使用

FIFO に受信したメッセージは、出力データ転送機能を使用して、Local RAM や Global RAM に転送できます。出力データ転送機能については、**「17.3.16.2 出力データ転送」**を参照してください。

17.3.12 メッセージハンドリング

メッセージハンドラは、入力バッファ／出力バッファとメッセージ RAM 間、メッセージ RAM と 2 つのテンポラリバッファ間のデータ転送を制御します。

メッセージ RAM に格納されたメッセージバッファへのアクセスは、メッセージハンドラステートマシンの制御下で行われます。これにより、2 つの FlexRay チャネルプロトコルコントローラと CPU がメッセージ RAM へアクセスする際の衝突が避けられます。

スタティックセグメントに割り当てられたメッセージバッファのフレーム ID は、1 から FLXA0FRGTUC7.NSS ビットの設定値までの範囲に収まる必要があります。ダイナミックセグメントに割り当てられたメッセージバッファのフレーム ID は、「FLXA0FRGTUC7.NSS ビットの設定値 +1 ～ 2047」の範囲に収まる必要があります。

一致する専用受信バッファ（スタティックセグメントまたはダイナミックセグメント）がない受信メッセージは、FIFO リジェクションフィルタをパスすれば、受信 FIFO（設定されている場合）に格納されます。

ここでは、入力バッファ機能または出力バッファ機能を使用したメッセージバッファの内容へのホストアクセスについて説明します。データ転送機能を使用したメッセージバッファの内容へのアクセスについては、**「17.3.16 データ転送の使用法」**で説明しています。

17.3.12.1 メッセージバッファの設定変更

アプリケーションが 128 を超えるメッセージを扱う必要がある場合、FlexRay オペレーション中にスタティックおよびダイナミックメッセージバッファの設定を変更することができます。入力バッファレジスタ（FLXA0FRWRHS1 ～ FLXA0FRWRHS3 レジスタ）で、各メッセージバッファのヘッダセクションを更新してください。

設定変更は、FlexRay メッセージ RAM 設定レジスタ（FLXA0FRMRC レジスタ）の SEC ビットで可能になります。

設定変更を始める前にメッセージバッファが送信されなかった、あるいは受信フレームにより更新されなかった場合、そのメッセージは失われます。

設定変更されたメッセージバッファが、設定変更されたフレーム ID にしたがって送信／受信される準備が整うタイミングは、ヘッダセクションの更新が完了したときのスロットカウンタの実際の状態に依存します。このため、設定変更されたメッセージバッファが、設定変更されたサイクルで送信されない、あるいは受信フレームにより更新されない場合があります。

メッセージ RAM は**表 17.95** にしたがってスキャンされます。

表 17.95 メッセージ RAM のスキャン

スキャンの開始スロット	スロットのスキャン
1	2…15, 1 （次のサイクル）
8	16…23, 1 （次のサイクル）
16	24…31, 1 （次のサイクル）
24	32…39, 1 （次のサイクル）
…	…

メッセージ RAM のスキャンは、スキャンが終了したかどうかにかかわらず NIT の開始とともに終了させられます。スロット 2 ～ 15 に対応するメッセージ RAM のスキャンは、現行のサイクルのスロット 1 の先頭で開始します。スロット 1 に対応するメッセージ RAM のスキャンは、次のサイクルのスロット 1 用に設定されたメッセージバッファがあるかどうかを、各メッセージ RAM のスキャンと並行してチェックすることで、その前のサイクルで行われます。

ダイナミックメッセージバッファの先頭番号は FLXA0FRMRC.FDB ビットで設定します。メッセージ RAM のスキャンをダイナミックセグメント中に開始する場合、スキャンは FLXA0FRMRC.FDB ビットで設定されたメッセージバッファ番号から開始されます。

次のサイクルのスロット 1 でメッセージバッファを使用するように再設定するには、以下の点を考慮してください。

- スロット 1 用に再設定するメッセージバッファが「スタティックバッファ」の部分にある場合、現行サイクルのスタティックセグメントにおける最後のメッセージ RAM スキャンが、このメッセージバッファを評価する 前に再設定した場合のみ検出されます。
- スロット 1 用に再設定するメッセージバッファが「スタティックバッファ + ダイナミックバッファ」の部分にある場合、現行サイクルのスタティックセグメントにおける最後のメッセージ RAM スキャンが、このメッセージバッファを評価する前に再設定した場合のみ検出されます。
- NIT が始まるとメッセージ RAM スキャンは終了します。この時点までにメッセージ RAM スキャンが再設定されたメッセージバッファを評価していない場合、そのメッセージバッファは次のサイクル用とは認識されません。

注 意

メッセージバッファの設定変更は、メッセージが失われる可能性があるため、十分に注意して実施してください。最悪の場合（連続サイクルでの設定変更時）、メッセージバッファがまったく送信されなかったり、受信フレームによって更新されなかったりすることもあります。

17.3.12.2 メッセージ RAM へのアクセス

入力バッファとメッセージ RAM 間、メッセージ RAM と出力バッファ間のメッセージ転送は、プログラムで、それぞれ転送先／転送元メッセージバッファ番号を FLXA0FRIBCR レジスタまたは FLXA0FROBCR レジスタに書き込むことで起動されます。

FLXA0FRIBCM レジスタ、FLXA0FROBCM レジスタは、選択されたメッセージバッファのヘッダセクションとデータセクションを個別に書き込んだり読み出したりするのに使用します。

FLXA0FRIBCM レジスタの STXR ビットが “1” の場合、選択されたメッセージバッファが更新されたあと、このメッセージバッファの送信要求フラグ（TXR ビット）は自動的に “1” になります。STXR ビットに “0” を書き込むと、選択されたメッセージバッファの送信要求フラグ（TXR ビット）は “0” になります。これは、連続モードで動作しているメッセージバッファからの送信を停止するのに使用できます。

入力バッファ（IBF）と出力バッファ（OBF）は、二重バッファ構成になっています。この二重バッファの構成の一方は CPU からアクセスでき（IBF ホスト／ OBF ホスト）、もう一方（IBF シャドウ／ OBF シャドウ）は IBF/OBF とメッセージ RAM 間のデータ転送のためにメッセージハンドラからアクセスされます。

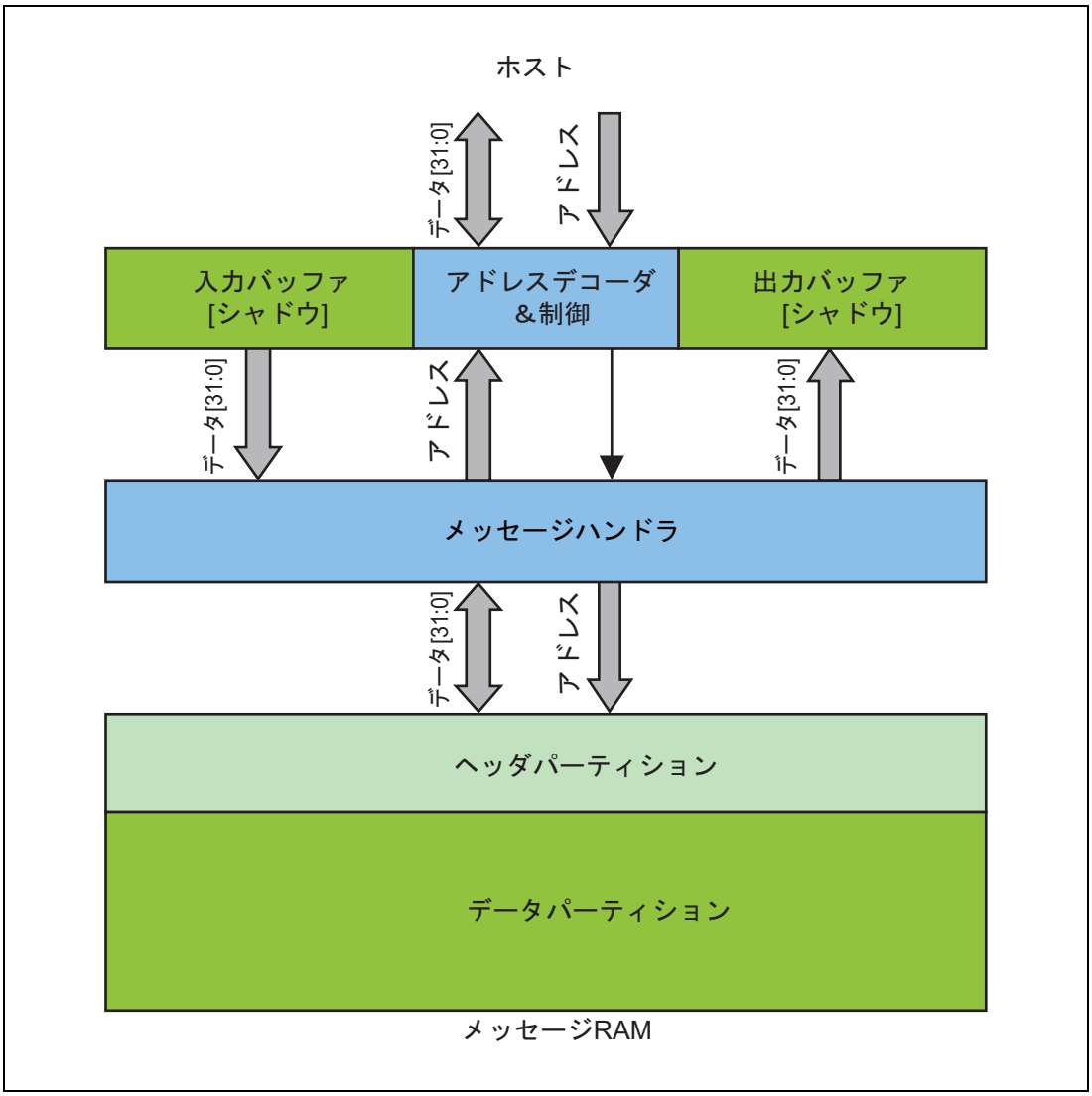


図 17.12 メッセージ RAM へのアクセス

(1) 入力バッファからメッセージ RAM へのデータ転送

メッセージ RAM 内のメッセージバッファを設定あるいは更新するには、データを FLXA0FRWRDSn レジスタに、ヘッダを FLXA0FRWRHS1 ～ FLXA0FRWRHS3 に書き込む必要があります。特殊な動作は FlexRay 入力バッファコマンドマスクレジスタ（FLXA0FRIBCM レジスタ）を設定することで選択されます。

FLXA0FRIBCR.IBRH ビットにメッセージ RAM 内の転送先メッセージバッファ番号を書き込むと、IBF ホストと IBF シャドウが切り替わります（**図 17.13** 参照）。

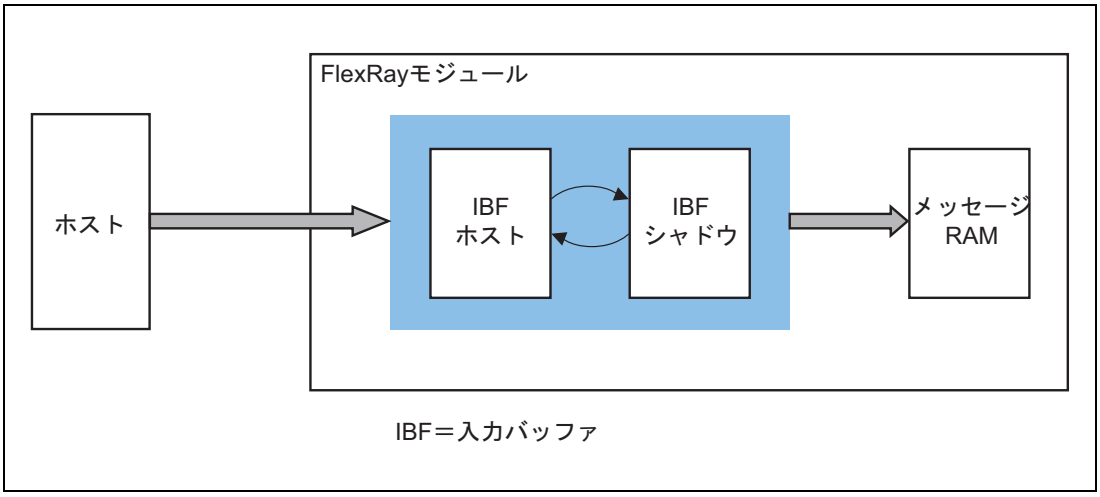


図 17.13 入力バッファのダブルバッファ構造

さらに FLXA0FRIBCM レジスタと FLXA0FRIBCR レジスタの各ビットも、各 IBF セクションにある値を維持したまま切り替わります（**図 17.14** 参照）。

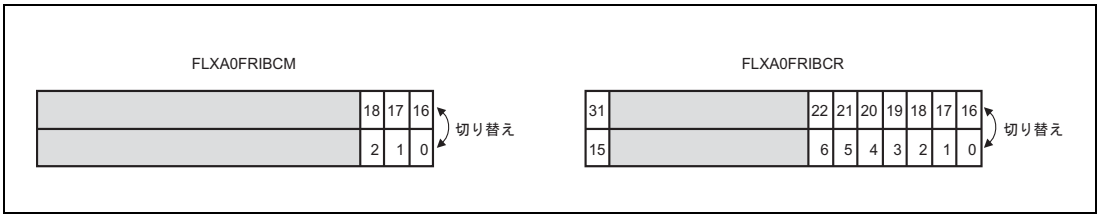


図 17.14 FLXA0FRIBCM レジスタと FLXA0FRIBCR レジスタのビットの切り替え

この書き込み動作により、FLXA0FRIBCR レジスタの IBSYS ビットが “1” にセットされます。その後、メッセージハンドラが IBF シャドウの内容を、メッセージ RAM 内の FLXA0FRIBCR.IBRS ビットで選択されたメッセージバッファへ転送し始めます。

メッセージハンドラが IBF シャドウからメッセージ RAM 内の目的のメッセージバッファへデータを転送している間、次のメッセージを IBF ホストに書き込むことができます。IBF シャドウとメッセージ RAM 間の転送が完了したあと、FLXA0FRIBCR.IBSYS ビットは再び “0” になり、FLXA0FRIBCR.IBRH ビットに次の転送先メッセージバッファ番号を書き込むことで、メッセージ RAM への次の転送が開始できます。

FLXA0FRIBCR.IBSYS ビットが “1” のときに FLXA0FRIBCR.IBRH に書き込むと、FLXA0FRIBCR.IBSYH ビットが “1” になります。実行中の IBF シャドウからメッセージ RAM へのデータ転送が完了したあと、IBF ホストと IBF シャドウが切り替わり、FLXA0FRIBCR.IBSYH ビットは “0” になります。また、FLXA0FRIBCR.IBSYS ビットは “1” のままになり、次のメッセージ RAM への転送が始まります。さらに、FLXA0FRIBCR.IBRH

ビットと FLXA0FRIBCR.IBRS ビットに入っているメッセージバッファ番号とコマンドマスクフラグも入れ替わります。

8/16/32 ビットのアクセスシーケンス例

IBF を介して n 番目のメッセージ番号を設定／更新

- FLXA0FRIBCR.IBSYH ビットが “0” になるまで待つ
- データセクションを FLXA0FRWRDSn に書き込む
- ヘッダセクションを FLXA0FRWRHS1 ～ FLXA0FRWRHS3 レジスタに書き込む
- コマンドマスクを書き込む：FLXA0FRIBCM レジスタの STXRH、LDSH、LHSH ビットの設定
- 目的のメッセージバッファへのデータ転送を要求する：FLXA0FRIBCR.IBRH ビットの設定

IBF を介して n + 1 番目のメッセージ番号を設定 / 更新

- FLXA0FRIBCR.IBSYH ビットが “0” になるまで待つ
- データセクションを FLXA0FRWRDSn に書き込む
- ヘッダセクションを FLXA0FRWRHS1 ～ FLXA0FRWRHS3 レジスタに書き込む
- コマンドマスクを書き込む：FLXA0FRIBCM レジスタの STXRH、LDSH、LHSH ビットの設定
- 目的のメッセージバッファへのデータ転送を要求する：FLXA0FRIBCR.IBRH ビットの設定

注　意

FLXA0FRIBCR レジスタの IBSYH ビットが “1” のときに IBF に書き込みアクセスすると、FLXA0FREIR レジスタの IIBA ビットが “1” になります。この場合その書き込みアクセスは無視されます。

表 17.96 FLXA0FRIBCM レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
18	r	STXRS	送信要求シャドウ設定フラグ（転送中または転送完了）
17	r	LDSS	データセクションシャドウロードフラグ （転送中または転送完了）
16	r	LHSS	ヘッダセクションシャドウロードフラグ （転送中または転送完了）
2	r/w	STXRH	送信要求ホスト設定
1	r/w	LDSH	データセクションホストロード設定ビット
0	r/w	LHSH	ヘッダセクションホストロード設定ビット

表 17.97 FLXA0FRIBCR レジスタのビットアサイン (1/2)

ビット番号	アクセス	ビット	機能
31	r	IBSYS	入力バッファビジーシャドウフラグ IBF シャドウからメッセージ RAM に転送中
22…16	r	IBRS	入力バッファ要求シャドウフラグ 転送中または最後に転送したメッセージバッファ番号

表 17.97 FLXA0FRIBCR レジスタのビットアサイン (2/2)

ビット番号	アクセス	ビット	機能
15	r	IBSYH	入力バッファビジーホストフラグ IBRH で示されるメッセージバッファへの転送が保留中
6…0	r/w	IBRH	入力バッファ要求ホストビット 次に転送されるメッセージバッファ番号

(2) メッセージ RAM から出力バッファへのデータ転送

メッセージ RAM からメッセージバッファのデータを読み出すには、FLXA0FROBCR レジスタに値を書き込み、FLXA0FROBCM レジスタで設定したデータ転送を行う必要があります。転送完了後、転送されたデータは FLXA0FRRDDSn、FLXA0FRRDHS1 ～ FLXA0FRRDHS3、FLXA0FRMBS レジスタから読み出せます。

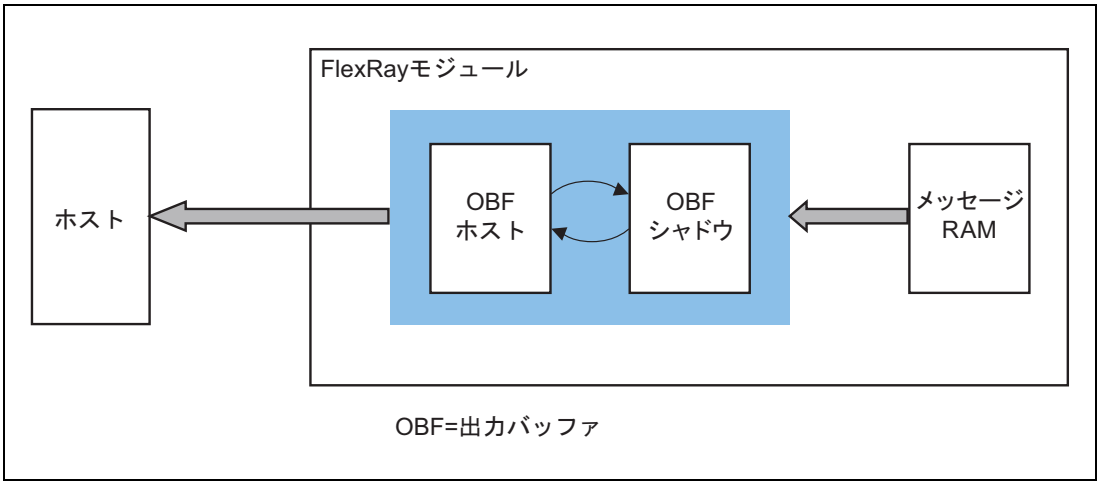


図 17.15 出力バッファのダブルバッファ構造

OBF ホストと OBF シャドウ、FLXA0FROBCM.RHSS、FLXA0FROBCM.RDSS、FLXA0FROBCM.RHSH、FLXA0FROBCM.RDSH ビット、FLXA0FROBCR.OBRS、FLXA0FROBCR.OBRH ビットが、FLXA0FROBCR.VIEW ビットと FLXA0FROBCR.REQ ビットの設定にしたがって切り替わります。

FLXA0FROBCR.REQ ビットに “1” を書き込むと、FLXA0FROBCM.RHSS、FLXA0FROBCM.RDSS ビット、FLXA0FROBCR.OBRS ビットの内容が内部メモリにコピーされます（**図 17.16** 参照）。

FLXA0FROBCR.REQ ビットを “1” にしたあと、FLXA0FROBCR.OBSYS ビットが “1” になり、FLXA0FROBCR.OBRS ビットで選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。メッセージ RAM から OBF シャドウへの転送が完了すると、FLXA0FROBCR.OBSYS ビットは “0” に戻ります。FLXA0FROBCR.REQ ビットと FLXA0FROBCR.VIEW ビットは、FLXA0FROBCR.OBSYS ビットが “0” のときのみ “1” を書き込めます。

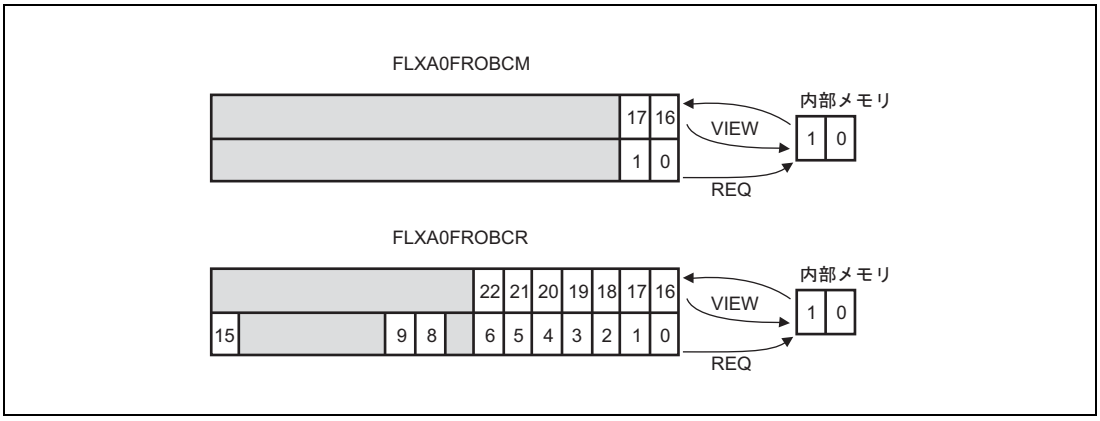


図 17.16 FLXA0FROBCM レジスタと FLXA0FROBCR レジスタのビットの切り替え

FLXA0FROBCR レジスタの OBSYS ビットが “0” のときに VIEW ビットに “1” を書き込むと、OBF ホストと OBF シャドウが切り替わります（**図 17.15** 参照）。

同時に FLXA0FROBCR.OBRH ビット、FLXA0FROBCM.RHSH、FLXA0FROBCM.RDSH ビットの値も内部メモリの値と切り替わります。このように、FLXA0FROBCR.OBRH ビットに格納されたメッセージバッファ番号と、FLXA0FROBCM.RDSH ビット、FLXA0FROBCM.RHSH ビットに格納されたマスク設定が、OBF ホストに書き込まれた転送データと一致することが保証されます（**図 17.16** 参照）。

メッセージハンドラが次のメッセージをメッセージ RAM から OBF シャドウへ転送している間に、CPU は転送されたメッセージバッファを OBF ホストから読み出すことができます。

OBSYS ビットが “0” のときに REQ ビットと VIEW ビットに同時に “1” を書き込むと、OBSYS ビットが自動的に “1” にセットされ、OBF シャドウと OBF ホストが切り替わります。同時に、FLXA0FROBCM.RDSH ビットおよび FLXA0FROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXA0FROBCM レジスタの内部メモリの値と切り替わります。その後、FLXA0FROBCR.OBRS ビットの値は FLXA0FROBCR レジスタの内部メモリに、FLXA0FROBCM.RDSS ビットおよび FLXA0FROBCM.RHSS ビットの値は FLXA0FROBCM レジスタの内部メモリにコピーされ、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送している間、CPU は前回転送されたメッセージバッファを OBF ホストから読み出すことができます。メッセージ RAM と OBF シャドウ間の最新の転送が完了すると、FLXA0FROBCR.OBSYS ビットを “0” に戻すことで完了が通知されます。

単一メッセージバッファへの 8/16/32 ビットアクセス例：

1 つのメッセージバッファを読み出すには、FLXA0FROBCR.REQ ビットと FLXA0FROBCR.VIEW ビットに対して個々に書き込みアクセスが必要です。

- FLXA0FROBCR.OBSYS ビットが “0” になるまで待つ
- 出力バッファコマンドマスクを書き込む：FLXA0FROBCM.RHSS、FLXA0FROBCM.RDSS ビットの設定
- FLXA0FROBCR.OBRS ビットと FLXA0FROBCR.REQ ビットに値を書き込むことで（8 ビットのホストインタフェースの場合、FLXA0FROBCR.REQ ビットの前に FLXA0FROBCR.OBRS ビットを書き込む）、メッセージバッファの OBF シャドウへの転送を要求する
- FLXA0FROBCR.OBSYS ビットが “0” になるまで待つ

- FLXA0FROBCR.VIEW ビットに “1” を書き込み、OBF シャドウと OBF ホストを切り替える
- FLXA0FRRDDSn、FLXA0FRRDHS1 ～ FLXA0FRRDHS3、FLXA0FRMBS レジスタを読み出すことで、転送されたメッセージバッファを読み出す

8/16/32 ビットアクセスシーケンス例：

1 回目のメッセージバッファの OBF シャドウへの転送要求を行う。

- FLXA0FROBCR.OBSYS ビットが “0” になるまで待つ
- 1 回目のメッセージバッファに対する出力バッファコマンドマスクを書き込む：FLXA0FROBCM.RHSS、FLXA0FROBCM.RDSS ビットの設定
- FLXA0FROBCR.OBRS ビットと FLXA0FROBCR.REQ ビットに値を書き込むことで（8 ビットのホストインタフェースの場合、FLXA0FROBCR.REQ ビットの前に FLXA0FROBCR.OBRS ビットを書き込む）、1 回目のメッセージバッファの OBF シャドウへの転送を要求する

OBF シャドウと OBF ホストを切り替え、1 回目に転送されたメッセージバッファの読み出しと 2 回目のメッセージバッファの転送要求を行う。

- FLXA0FROBCR.OBSYS ビットが “0” になるまで待つ
- 2 回目のメッセージバッファに対する出力バッファコマンドマスクを書き込む：FLXA0FROBCM.RHSS、FLXA0FROBCM.RDSS ビットの設定
- 2 回目のメッセージバッファのメッセージバッファ番号を FLXA0FROBCR.OBRS ビットに書き込み、FLXA0FROBCR.REQ ビット、FLXA0FROBCR.VIEW ビットに値を書き込むことで（8 ビットのホストインタフェースの場合、FLXA0FROBCR.REQ ビット、FLXA0FROBCR.VIEW ビットの前に FLXA0FROBCR.OBRS ビットに書き込む）、OBF シャドウと OBF ホストを切り替え、同時に 2 回目のメッセージバッファの OBF シャドウへの転送を要求する
- FLXA0FRRDDSn、FLXA0FRRDHS1 ～ FLXA0FRRDHS3、FLXA0FRMBS レジスタを読み出すことで、1 回目に転送されたメッセージバッファを読み出す

…

ほかのメッセージバッファへの要求をせずに、最後に転送要求したメッセージバッファへのアクセスを要求する。

- FLXA0FROBCR.OBSYS ビットが “0” になるまで待つ
- FLXA0FROBCR.VIEW ビットに書き込み、最後に転送したメッセージバッファへのアクセスを要求する
- FLXA0FRRDDSn、FLXA0FRRDHS1 ～ FLXA0FRRDHS3、FLXA0FRMBS レジスタを読み出すことで、最後に転送されたメッセージバッファを読み出す

表 17.98 FLXA0FROBCM レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
17	r	RDSH	データセクションアクセス可能
16	r	RHSH	ヘッダセクションアクセス可能
1	r/w	RDSS	データセクションシャドウ読み出しビット
0	r/w	RHSS	ヘッダセクションシャドウ読み出しビット

表 17.99 FLXA0FROBCR レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
22…16	r	OBRH	OBF ホスト転送要求フラグ アクセスできるメッセージバッファ番号
15	r	OBSYS	OBF シャドウビジーフラグ メッセージ RAM から OBF シャドウへ転送中
9	r/w	REQ	メッセージ RAM から OBF シャドウへの転送要求
8	r/w	VIEW	OBF シャドウの閲覧、OBF シャドウと OBF ホストの切り替え
6…0	r/w	OBRS	OBF 転送要求シャドウビット 次に転送されるメッセージバッファ番号

17.3.12.3 FlexRay プロトコルコントローラからメッセージ RAM へのアクセス

2 つのテンポラリバッファ（TBFA、B）は、2 つの FlexRay プロトコルコントローラとメッセージ RAM 間で転送されるデータのバッファとして使用されます。

各テンポラリバッファ はダブルバッファ構成になっており、完全な FlexRay メッセージを 2 つ格納できます。常に一方のバッファは対応するプロトコルコントローラに割り当てられ、もう一方はメッセージハンドラからアクセスできます。

たとえば、メッセージハンドラが送信テンポラリバッファに次に送信するメッセージを書き込んだ場合、FlexRay チャネルプロトコルコントローラは受信テンポラリバッファにアクセスしてそのとき受信しているメッセージを格納することができます。送信テンポラリバッファに格納されたメッセージの送信中、メッセージハンドラは受信テンポラリバッファに格納されている最後に受信したメッセージをメッセージ RAM に転送し（アクセプタンスフィルタリングをパスした場合）、対応するメッセージバッファを更新します。

テンポラリバッファと、FlexRay チャネルプロトコルコントローラのシフトレジスタ間のデータ転送は 32 ビット単位で行われます。このため FlexRay のメッセージ長にかかわらず、32 ビットのシフトレジスタを使うことができます。

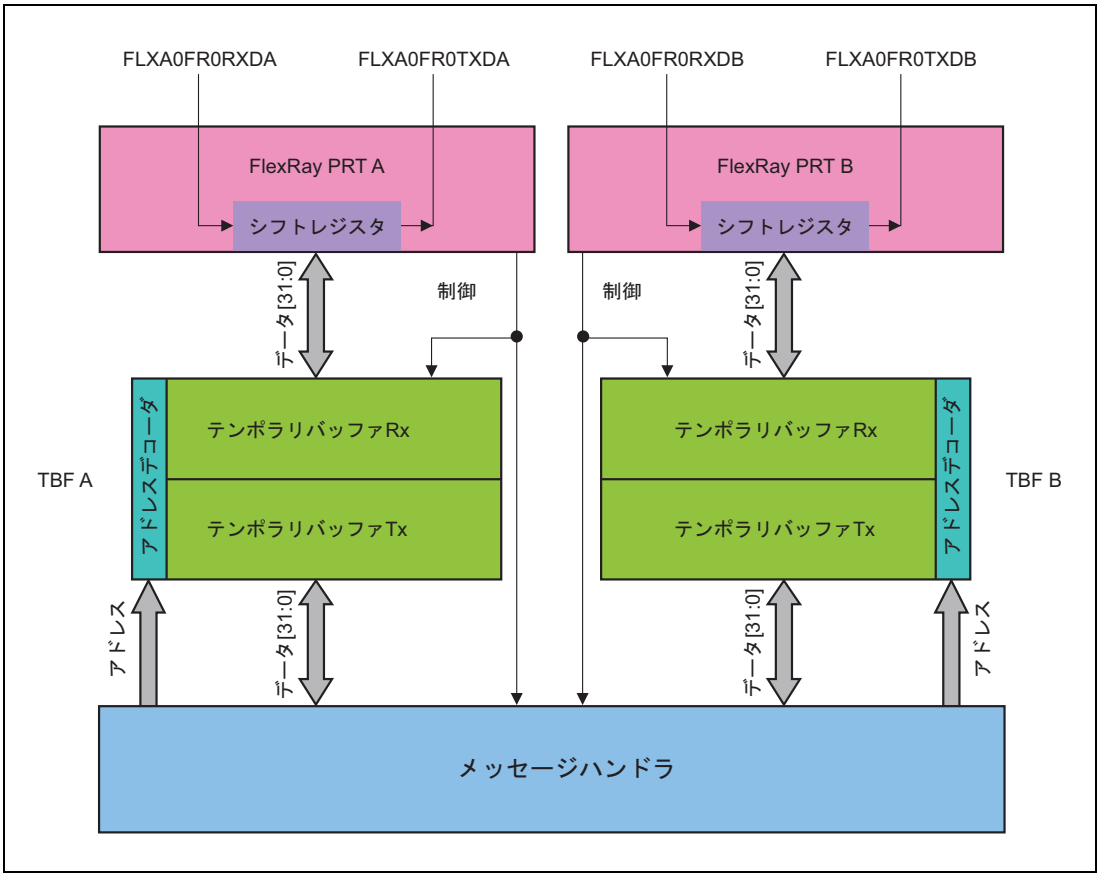


図 17.17 テンポラリバッファへのアクセス

17.3.13 メッセージ RAM

CPU のメッセージ RAM へのアクセスと、FlexRay メッセージ送受信との衝突を避けるために、CPU はメッセージ RAM 内のメッセージバッファに直接アクセスすることはできません。これらのアクセスは入力バッファと出力バッファを介して行います。メッセージ RAM には、設定したペイロード長に応じて最大 128 個のメッセージバッファを持つことができます。

メッセージ RAM は、最大 2048 個の 32 ビットワードを格納することができます。FlexRay フレームごとに異なるデータサイズ（0 ～ 254 バイト）に柔軟に対応するために、メッセージ RAM は**図 17.18** に示すような構造になっています。

ヘッダパーティションの直後に配置されるデータセクションのメッセージバッファを、受信バッファ (FLXAnFRWRHS1.CFG ビットを “0”) または 受信 FIFO バッファに設定した場合、データセクションの先頭には少なくとも 32 ビットの未使用領域を設定してください。この場合、データパーティションは、((FLXAnFRMRC.LCB[7:0] ビットの設定値 + 1）× 4) + 1 で計算されるメッセージ RAM ワード番号から開始できます。

ヘッダパーティションの直後に配置されるデータセクションのメッセージバッファを、送信バッファ (FLXAnFRWRHS1.CFG ビットを “1”) に設定した場合、データパーティションは、（FLXAnFRMRC.LCB[7:0] ビットの設定値 + 1）× 4 で計算されるメッセージ RAM ワード番号から開始できます。

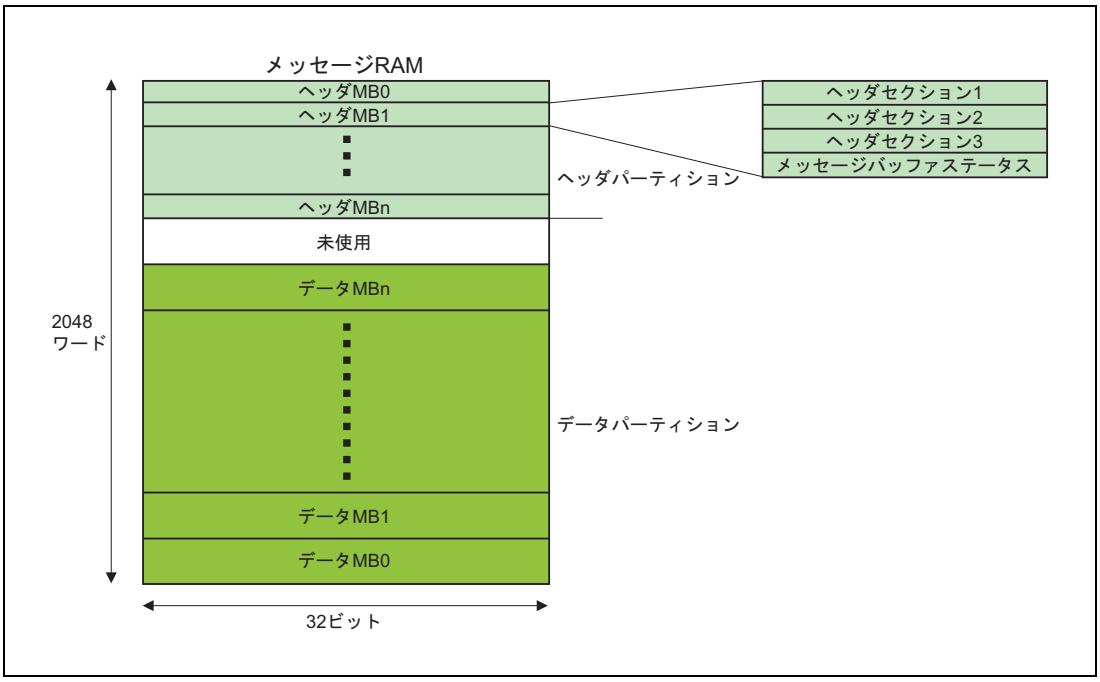


図 17.18 メッセージ RAM 内のメッセージバッファの設定例

ヘッダパーティション：

設定されたメッセージバッファのヘッダセクションを格納します。

- 最大 128 個のメッセージバッファをサポート
- 各メッセージバッファのヘッダセクションは、(32 ビット) × 4 ワード
- 各メッセージバッファのヘッダセクション 3 に、データパーティション内の対応するデータセクションへの 11 ビットのデータポインタを格納

データパーティション：

異なるデータ長のデータセクションに対するフレキシブルなメモリ。以下に最大値の例を示します。

- データセクションが 254 バイトの場合、30 個のメッセージバッファ
- データセクションが 128 バイトの場合、56 個のメッセージバッファ
- データセクションが 48 バイトの場合、128 個のメッセージバッファ

注　意

ヘッダパーティションとデータパーティションの合計サイズは 2048 個の 32 ビットワード以下にしてください。

17.3.13.1 ヘッダパーティション

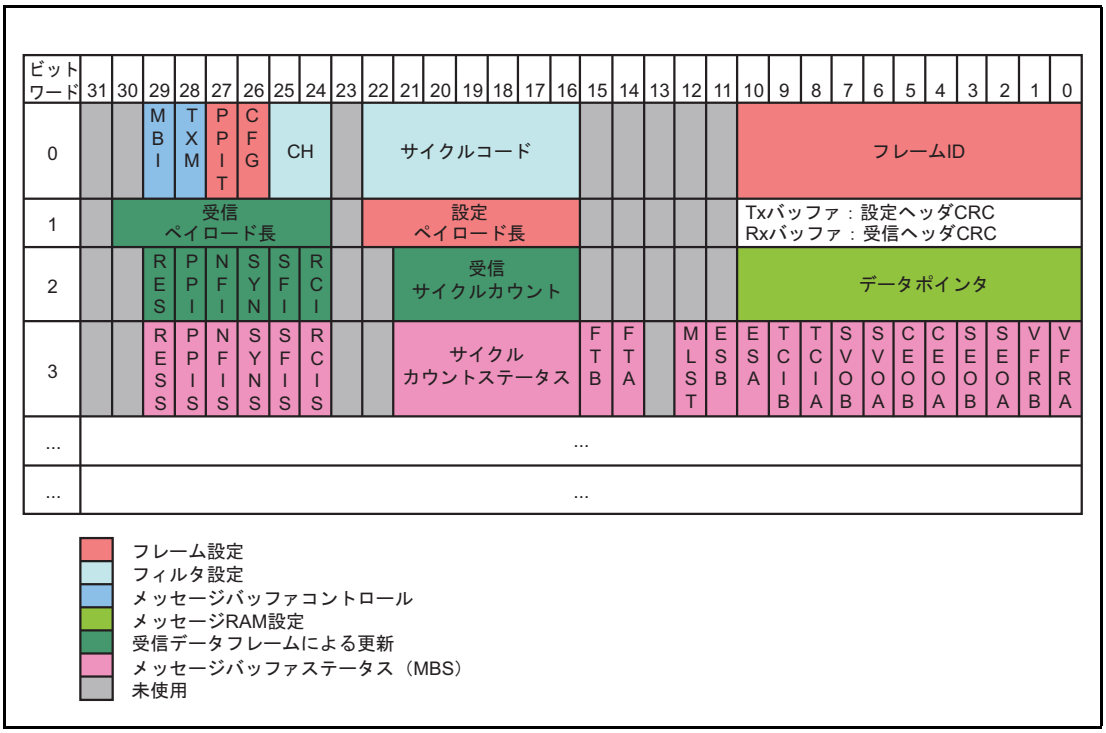
メッセージバッファの設定に使用される各要素と、メッセージバッファステータスは、メッセージ RAM のヘッダパーティションに**表 17.100** に示すように格納されています。メッセージバッファのヘッダセクションの設定は IBF（FLXA0FRWRHS1 ～ FLXA0FRWRHS3 レジスタ）を介して行います。ヘッダセクションの読み出しは OBF（FLXA0FRRDHS1 ～ FLXA0FRRDHS3 レジスタ、FLXA0FRMBS レジスタ）を介して行います。データポインタは、メッセージ RAM のデータパーティション内の対応するメッセージバッファに対するデータセクションの開始位置を定義するもので、事前に計算しておく必要があります。動作中はデータポインタを変更しないでください。受信 FIFO に設定したメッセージバッファの設定 / 再設定は、DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。

各メッセージバッファのヘッダセクションは、メッセージ RAM のヘッダパーティションのうち 4 ワード（1 ワード = 32 ビット）使用します。メッセージバッファ 0 のヘッダは、メッセージ RAM の先頭ワードから始まります。

送信バッファのヘッダ CRC はプログラムで計算する必要があります。

受信ペイロード長（PLR ビット）、受信サイクルカウンタ値（RCC ビット）、受信チャネルインジケータ（RCI ビット）、Startup フレームインジケータ（SFI ビット）、Sync フレームインジケータ（SYN ビット）、Null フレームインジケータ（NFI ビット）、ペイロードプリアンブルインジケータ（PPI ビット）、リザーブビット（RES ビット）は、有効なデータフレームを受信したときのみ更新されます。

表 17.100 メッセージ RAM 内のメッセージバッファのヘッダセクション



(1) ヘッダセクション1（ワード0）

FLXA0FRWRHS1 レジスタを介して書き込み、FLXA0FRRDHS1 レジスタを介して読み出し：

- フレーム ID
  - スロットカウンタフィルタリング設定
- サイクルコード
  - サイクルカウンタフィルタリング設定
- CH ビット
  - チャネルフィルタリング設定
- CFG ビット
  - メッセージバッファ方向設定（受信／送信）
- PPIT ビット
  - 送信ペイロードプリアンブルインジケータ
- TXM ビット
  - 送信モード設定（シングルショットモード／連続モード）
- MBI ビット
  - メッセージバッファ受信／送信割り込み許可

(2) ヘッダセクション2（ワード1）

FLXA0FRWRHS2 レジスタを介して書き込み、FLXA0FRRDHS2 レジスタを介して読み出し：

- ヘッダ CRC
  - 送信バッファ：プログラムで設定（フレームヘッダから計算）
  - 受信バッファ：受信フレームにより更新
- 設定ペイロード長
  - プログラムで設定したデータセクション長（2 バイトワード単位）
- 受信ペイロード長
  - 受信フレームから格納されたペイロードセグメント長（2 バイトワード単位）

(3) ヘッダセクション3（ワード2）

FLXA0FRWRHS3 レジスタを介して書き込み、FLXA0FRRDHS3 レジスタを介して読み出し：

- データポインタ
  - データパーティション内で対応するデータセクションの先頭へのポインタ

FLXA0FRRDHS3 レジスタを介して読み出し、受信バッファでのみ有効、受信フレームにより更新

- 受信サイクルカウント
  - 受信フレームのサイクルカウント値

- RCI ビット
  - 受信チャネルインジケータ
- SFI ビット
  - Startup フレームインジケータ
- SYN ビット
  - Sync フレームインジケータ
- NFI ビット
  - Null フレームインジケータ
- PPI ビット
  - ペイロードプリアンブルインジケータ
- RES ビット
  - リザーブビット

(4) メッセージバッファステータス（FLXA0FRMBS）（ワード 3）

FLXA0FRMBS レジスタを介して読み出し、設定したスロットの終了時に CC により更新：

- VFRA ビット
  - チャネル A 有効フレーム受信
- VFRB ビット
  - チャネル B 有効フレーム受信
- SEOA ビット
  - チャネル A シンタックスエラー検出
- SEOB ビット
  - チャネル B シンタックスエラー検出
- CEOA ビット
  - チャネル A コンテンツエラー検出
- CEOB ビット
  - チャネル B コンテンツエラー検出
- SVOA ビット
  - チャネル A スロット境界違反検出
- SVOB ビット
  - チャネル B スロット境界違反検出
- TCIA ビット
  - チャネル A 送信競合検出
- TCIB ビット
  - チャネル B 送信競合検出

- ESA ビット
  - チャネル A エンプティスロット
- ESB ビット
  - チャネル B エンプティスロット
- MLST ビット
  - メッセージ消失
- FTA ビット
  - チャネル A フレーム送信
- FTB ビット
  - チャネル B フレーム送信
- サイクルカウント
  - ステータスが更新されたときの現在のサイクルカウント
- RCIS ビット
  - 受信チャネルインジケータステータス
- SFIS ビット
  - Startup フレームインジケータステータス
- SYNS ビット
  - Sync フレームインジケータステータス
- NFIS ビット
  - Null フレームインジケータステータス
- PPIS ビット
  - ペイロードプリアンブルインジケータステータス
- RESS ビット
  - リザーブビットステータス

17.3.13.2 データパーティション

メッセージ RAM のデータパーティションは、受信／送信に設定されたメッセージバッファのデータセクションを、ヘッダパーティションで定義されたとおりに格納します。メッセージバッファのデータサイズはそれぞれ 0 ～ 254 バイトの範囲で異なる値を持ちます。2 つの FlexRay プロトコルコントローラのシフトレジスタとメッセージ RAM との間、CPU インタフェースとメッセージ RAM との間でのデータ転送を最適化するために、メッセージ RAM の物理幅は 4 バイトに設定されています。

データパーティションはヘッダパーティションの最終ワードのあとから始まります。メッセージ RAM 内のメッセージバッファを設定する場合は、データポインタが確実にデータパーティション内のアドレスを指すようにしてください。**表 17.101** は、設定されたメッセージバッファのデータセクションがメッセージ RAM のデータパーティションにどのように格納されるかを示す例です。

メッセージバッファのデータセクションの先頭と終了時に、それぞれメッセージバッファのヘッダセクションで設定されたデータポインタとペイロード長により決まります。これにより、使用できる RAM 空間を、異なるデータ長を持ったメッセージバッファの格納領域として柔軟に使用することができます。

データセクションのサイズが奇数ワード（1 ワード = 2 バイト）の場合、最後の 32 ビットの残り 16 ビットは使用されません（**表 17.101** 参照）。

表 17.101 メッセージ RAM 内のデータパーティションの構成例

ビット ワード	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
...	未使用								未使用								未使用								未使用							
...	未使用								未使用								未使用								未使用							
...	MBnデータ3								MBnデータ2								MBnデータ1								MBnデータ0							
...	...								...								...								...							
...	...								...								...								...							
...	MBnデータ(m)								MBnデータ(m-1)								MBnデータ(m-2)								MBnデータ(m-3)							
...	...								...								...								...							
...	...								...								...								...							
...	...								...								...								...							
...	MB1データ3								MB1データ2								MB1データ1								MB1データ0							
...	...								...								...								...							
2046	MB0データ3								MB0データ2								MB0データ1								MB0データ0							
2047	未使用								未使用								MB0データ5								MB0データ4							

17.3.13.3 メッセージデータ安全性チェック

FlexRay モジュールには、データ安全性チェックサム機能が搭載されており、メッセージ RAM に格納されたデータの安全性を保証しています。**図 17.19** に示すように、メッセージ RAM にはチェックサムジェネレータとチェックサムチェッカが取り付けられています。

RAM にデータが書き込まれると、ローカルのチェックサムジェネレータはチェックサムを生成します。チェックサムは各データワードとともに格納されます。メッセージ RAM からデータワードが読み出されるたびに、チェックサムが照合されます。

チェックサムエラーが検出されると、各アクセスエラーフラグが “1” になります。アクセスエラーフラグ（FLXA0FRMHDS レジスタの AMR、ATBF1、ATBF2 ビット）および誤りメッセージバッファ検出フラグ（FMBD、MFMB、FMB ビット）は FlexRay メッセージハンドラステータスレジスタにあります。これらのシングルアクセスエラーフラグによってエラー割り込みフラグ（FLXA0FREIR レジスタの AERR ビット）が制御されます。

図 17.19 に入力バッファ、テンポラリバッファ、メッセージ RAM 間のデータパスを示します。

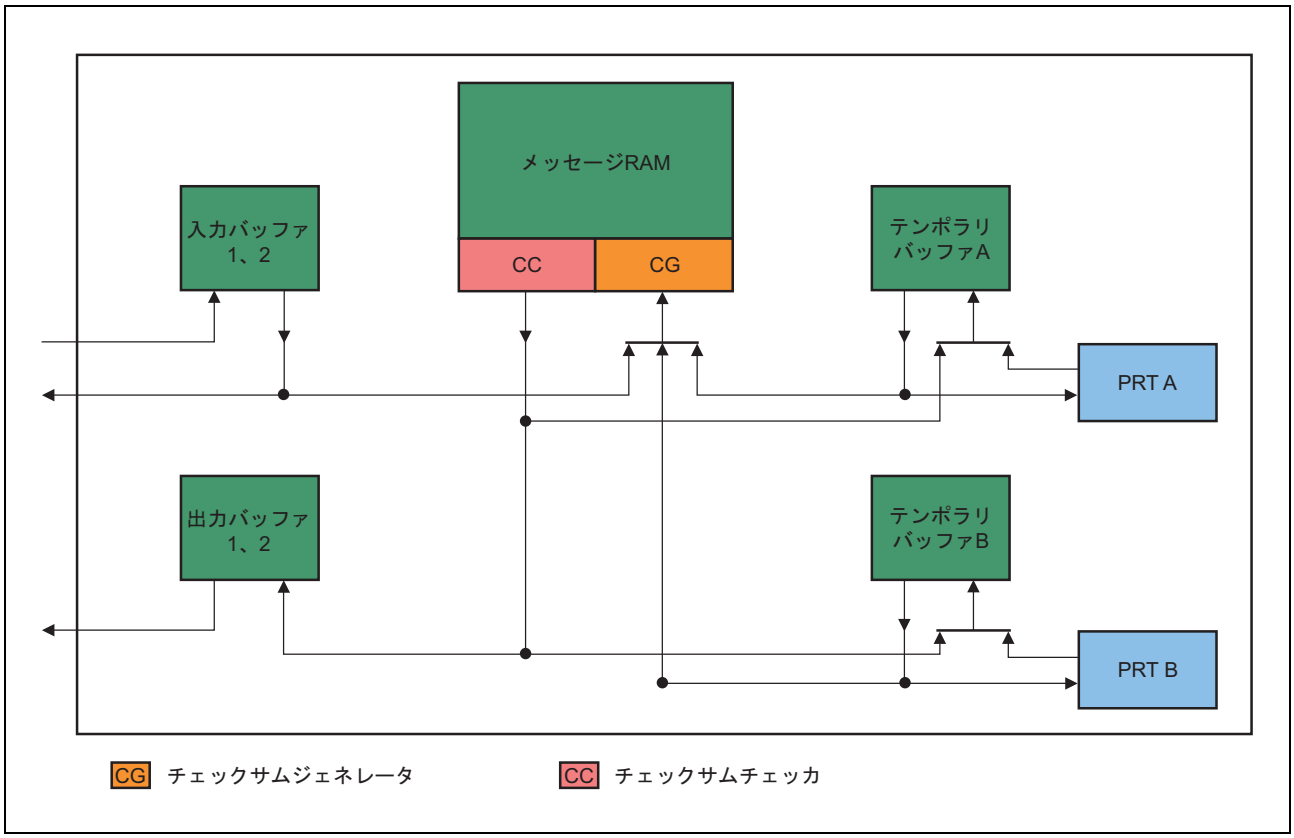


図 17.19 チェックサムの生成と照合

アクセスエラーが検出されると、以下の処理が実行されます。

すべての場合において：

- FLXA0FRMHDS レジスタの各アクセスエラーフラグがセットされます
- アクセスエラーフラグ FLXA0FREIR.AERR が “1” になり、許可されている場合、割り込み要求が発生します。

上記に加え、特殊な場合において：

(1) 各メッセージバッファのヘッダセクションをメッセージ RAM から読み出す際、入力バッファ 1、2 からメッセージ RAM へのデータ転送中のアクセスエラー

- FLXA0FRMHDS.AMR ビットが “1” になります。
- FLXA0FRMHDS.FMBD ビットが “1” になり、FLXA0FRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXA0FRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- 該当するメッセージバッファのデータセクションが更新されません。
- 送信バッファ：該当するメッセージバッファへの送信要求は “1” になりません。

(2) メッセージ RAM でヘッダセクションをスキャンしているときのアクセスエラー

- FLXA0FRMHDS.AMR ビットが “1” になります。
- FLXA0FRMHDS.FMBD ビットが “1” になり、FLXA0FRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXA0FRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- メッセージバッファは無視（スキップ）されます。

(3) メッセージ RAM からテンポラリバッファ 1、2 へのデータ転送中のアクセスエラー

- FLXA0FRMHDS.AMR ビットが “1” になります。
- FLXA0FRMHDS.FMBD ビットが “1” になり、FLXA0FRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXA0FRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- フレームは送信されません。送信中のフレームはフレーム CRC が 0 に設定されて無効になります。

(4) メッセージ RAM から対応するメッセージバッファのヘッダセクションを読み出しているとき、テンポラリバッファ 1、2 からメッセージ RAM へのデータ転送中のアクセスエラー

- FLXA0FRMHDS.AMR ビットが “1” になります。
- FLXA0FRMHDS.FMBD ビットが “1” になり、FLXA0FRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXA0FRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- 該当するメッセージバッファのデータセクションは更新されません。

(5) メッセージ RAM から出力バッファへのデータ転送中のアクセスエラー

- アクセスエラーフラグ FLXA0FREIR.AERR が “1” になります。
- FLXA0FRMHDS.FMBD ビットが “1” になり、FLXA0FRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXA0FRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。

(6) テンポラリバッファ 1、2 からプロトコルコントローラ 1、2 へのデータ転送中のアクセスエラー

- FLXA0FRMHDS.ATBF1、FLXA0FRMHDS.ATBF2 ビットが “1” になります。
- 送信中のフレームはフレーム CRC が 0 に設定されて無効になります。

(7) テンポラリバッファ 1、2 を読み出しているとき、テンポラリバッファ 1、2 からメッセージ RAM へのデータ転送中のアクセスエラー

- FLXA0FRMHDS.ATBF1、FLXA0FRMHDS.ATBF2 ビットが “1” になります。
- FLXA0FRMHDS.FMBD ビットが “1” になり、FLXA0FRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXA0FRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。

(8) テンポラリバッファ 1、2 のデータ読み出し中のアクセスエラー

メッセージハンドラがテンポラリバッファ 1、2 からネットワーク管理情報（PPI = ‘1’）を持つフレームを読むときにアクセスエラーが起きると、対応する FlexRay ネットワーク管理ベクタレジスタ FLXA0FRNMV1 ～ FLXA0FRNMV3 は更新されません。

17.3.13.4 アクセスエラーの処理

テンポラリビットのフリップによって発生するアクセスエラーは次のような処理で回復することができます。

(1) セルフヒーリング

メッセージ RAM、テンポラリバッファ A、またはテンポラリバッファ B のデータセクションに発生したアクセスエラーは、ホストアクセスあるいは FlexRay 通信によって妨害されたビットへの次の書き込みアクセスによって上書きされます。

(2) CLEAR_RAMS コマンド

DEFAULT_CONFIG あるいは CONFIG 状態のとき呼び出されると、POC コマンド CLEAR_RAMS はメッセージ RAM を “0” にイニシャライズします。

(3) ヘッダセクションの一時的なロック解除

ロックされたメッセージバッファのヘッダセクション内で発生したアクセスエラーは、入力バッファからロックされたバッファのヘッダセクションへ転送することによって回復します。この転送のため、FLXA0FRIBCR への書き込みアクセス（メッセージバッファ番号の指定）のあとすぐに、CONFIG 状態から出るためにロック解除の正常な手順が行われる必要があります。（**「17.2.3.1 FLXA0FRLCK — FlexRay ロックレジスタ」**参照）

この 1 回の転送により、ヘッダが FIFO のものであるか、あるいはロックが FLXA0FRMRC レジスタの SEC ビットにより制御されているかにかかわらず、対応するメッセージバッファのヘッダはロックが解除され新規データによって更新されます。

17.3.14 割り込み

CC によってエラーやステータス変化が検出された、フレームの送受信が完了した、設定したタイマ割り込みが有効になった、あるいはストップウォッチイベントが起こった場合に、ただちに割り込み要求が発生するというように、割り込みはプロトコルタイミングと密接な関係があります。これにより、CPU は特定のエラー状態やステータス変化、タイマイベントに対して速やかに対応することができます。その一方、割り込み要求が多すぎると、アプリケーションが要求する期限に間に合わない状況を生むことになります。このため、CC は個々の割り込み要因に対して個別に許可／禁止を制御できるようになっています。

割り込み要求は、次の場合に発生します。

- エラーが検出された
- ステータスフラグが “1” になった
- タイマが設定された値に達した
- 入力バッファからメッセージ RAM、またはメッセージ RAM から出力バッファへのメッセージ転送が完了した
- Local RAM や Global RAM からメッセージ RAM、またはメッセージ RAM から Local RAM や Global RAM へのメッセージ転送が完了した
- ストップウォッチイベントが発生した

状態の変化やエラーの発生に際して、状態を探知することと、割り込み要求を生成することは、2 つの独立したタスクです。割り込みが許可されているか禁止されているかに関わらず、CC は対応する状態を探知し、表示します。現在のステータス情報とエラー情報は、FLXA0FREIR レジスタ、FLXA0FRSIR レジスタ、FLXA0FROS レジスタ、FLXA0FROTS レジスタ、FLXA0FRITS レジスタを読み出すことで得られます。

汎用割り込みライン、FlexRay0 割り込み要求と FlexRay1 割り込み要求は、FLXA0FREIES および FLXA0FRSIES 内の有効な割り込みによって制御されます。これら 2 つの割り込み要求は、FLXA0FRILE レジスタの EINT0 ビットと EINT1 ビットを設定することで、個別に有効／無効にすることができます。

入力データ転送割り込みライン、FlexRay 入力キューエンプティ割り込み、FlexRay 入力キューフル割り込みは FLXA0FRITS 内の割り込みを許可することによって制御されます。さらに、各入力データ転送割り込みは FLXA0FRITC 内の対応するビットをプログラムすることによって個別に有効／無効にすることができます。

出力データ転送割り込みライン、FlexRay FIFO 転送警告割り込み、FlexRay 出力転送警告割り込み、FlexRay FIFO 転送割り込み、FlexRay 出力転送割り込みは、FLXA0FROTS 内の割り込みを許可することによって制御されます。さらに、各出力データ転送割り込みは FLXA0FROTC 内の対応するビットをプログラムすることによって個別に有効／無効にすることができます。

3 つのタイマ割り込みラインは FLXA0FROS レジスタの割り込みを許可することによって制御されます。さらに、各割り込みは FLXA0FROC レジスタの T0IE、T1IE、T2IE ビットをプログラムすることによって個別に有効／無効にすることができます。

IBF/OBF とメッセージ RAM 間のデータ転送が完了すると、FLXA0FRSIR レジスタの TIBC ビットまたは TOBC ビットが “1” になります。

17.3.15 FlexRay 設定パラメータ

表 17.102 FlexRay 設定パラメータ (1/2)

パラメータ	ビット（フィールド）
pKeySlotusedForStartup	FLXA0FRSUCC1 レジスタの TXST
pKeySlotUsedForSync	FLXA0FRSUCC1 レジスタの TXSY
gColdStartAttempts	FLXA0FRSUCC1 レジスタの CSA
pAllowPassiveToActive	FLXA0FRSUCC1 レジスタの PTA
pWakeupChannel	FLXA0FRSUCC1 レジスタの WUCS
pSingleSlotEnabled	FLXA0FRSUCC1 レジスタの TSM
pAllowHaltDueToClock	FLXA0FRSUCC1 レジスタの HCSE
pChannels	FLXA0FRSUCC1 レジスタの CCH
pdListenTimeOut	FLXA0FRSUCC2 レジスタの LT
gListenNoise	FLXA0FRSUCC2 レジスタの LTN
gMaxWithoutClockCorrectionPassive	FLXA0FRSUCC3 レジスタの WCP
gMaxWithoutClockCorrectionFatal	FLXA0FRSUCC3 レジスタの WCF
gNetworkManagementVectorLength	FLXA0FRNEMC レジスタの NML
gdTSSTransmitter	FLXA0FRPRTC1 レジスタの TSST
gdCASRxLowMax	FLXA0FRPRTC1 レジスタの CASM
gdSampleClockPeriod	FLXA0FRPRTC1 レジスタの BRP
pSamplesPerMicrotick	FLXA0FRPRTC1 レジスタの BRP
gdWakeupSymbolRxWindow	FLXA0FRPRTC1 レジスタの RXW
pWakeupPattern	FLXA0FRPRTC1 レジスタの RWP
gdWakeupSymbolRxIdle	FLXA0FRPRTC2 レジスタの RXI
gdWakeupSymbolRxLow	FLXA0FRPRTC2 レジスタの RXL
gdWakeupSymbolTxIdle	FLXA0FRPRTC2 レジスタの TXI
gdWakeupSymbolTxLow	FLXA0FRPRTC2 レジスタの TXL
gPayloadLengthStatic	FLXA0FRMHDC レジスタの SFDL
pLatestTx	FLXA0FRMHDC レジスタの SLT
pMicroPerCycle	FLXA0FRGTUC1 レジスタの UT
gMacroPerCycle	FLXA0FRGTUC2 レジスタの MPC
gSyncNodeMax	FLXA0FRGTUC2 レジスタの SNM
pMicroInitialOffset[A]	FLXA0FRGTUC3 レジスタの UIOA
pMicroInitialOffset[B]	FLXA0FRGTUC3 レジスタの UIOB
pMacroInitialOffset[A]	FLXA0FRGTUC3 レジスタの MIOA
pMacroInitialOffset[B]	FLXA0FRGTUC3 レジスタの MIOB
gdNIT	FLXA0FRGTUC4 レジスタの NIT
gOffsetCorrectionStart	FLXA0FRGTUC4 レジスタの OCS
pDelayCompensation[A]	FLXA0FRGTUC5 レジスタの DCA
pDelayCompensation[B]	FLXA0FRGTUC5 レジスタの DCB
pClusterDriftDamping	FLXA0FRGTUC5 レジスタの CDD
pDecodingCorrection	FLXA0FRGTUC5 レジスタの DEC
pdAcceptedStartupRange	FLXA0FRGTUC6 レジスタの ASR
pdMaxDrift	FLXA0FRGTUC6 レジスタの MOD
gdStaticSlot	FLXA0FRGTUC7 レジスタの SSL
gNumberOfStaticSlots	FLXA0FRGTUC7 レジスタの NSS

表 17.102 FlexRay 設定パラメータ (2/2)

パラメータ	ビット（フィールド）
gdMinislot	FLXA0FRGTUC8 レジスタの MSL
gNumberOfMinislots	FLXA0FRGTUC8 レジスタの NMS
gdActionPointOffset	FLXA0FRGTUC9 レジスタの APO
gdMinislotActionPointOffset	FLXA0FRGTUC9 レジスタの MAPO
gdDynamicSlotIdlePhase	FLXA0FRGTUC9 レジスタの DSI
pOffsetCorrectionOut	FLXA0FRGTUC10 レジスタの MOC
pRateCorrectionOut	FLXA0FRGTUC10 レジスタの MRC
pExternOffsetCorrection	FLXA0FRGTUC11 レジスタの EOC
pExternRateCorrection	FLXA0FRGTUC11 レジスタの ERC

17.3.16 データ転送の使用法

FlexRay メッセージを直接 Local RAM や Global RAM（ユーザ RAM）へ格納するのを可能にし、FlexRay 内部メッセージ RAM と Local RAM や Global RAM 間の転送を実現し、また最小の CPU サポートでこれを行うメカニズムが組み込まれています。Local RAM や Global RAM 内のデータは、Local RAM や Global RAM 内に格納されているデータポインタテーブルに置かれたデータ構造ポインタによって位置づけられます。

Local RAM や Global RAM から FlexRay 内部メッセージ RAM へのデータ転送（入力転送）はアプリケーションによって開始する必要があります。これらの転送はメッセージバッファを設定する、あるいは転送データを更新するために使用されます。

FlexRay 内部メッセージ RAM から Local RAM や Global RAM へのデータ転送（出力転送）は、受信メッセージバッファあるいは FlexRay 内部 FIFO への受信、またはスロットステータスの変更によって自動的に開始されます。特定のユーザ転送要求によっても開始されます。

入力および出力データ転送は、独立して実行されます。入力データ転送が実行されると、アプリケーションは FlexRay 入力バッファを使用してメッセージバッファに直接アクセスすることはできません。出力データ転送が実行されると、アプリケーションは FlexRay 出力バッファを使用してメッセージバッファに直接アクセスすることはできません。

17.3.16.1 入力データ転送

自動入力データ転送機能が有効な場合、最小の CPU サポートで入力データ構造は Local RAM や Global RAM から FlexRay 内部メッセージ RAM へ転送されます。

(1) 起動および停止

入力データ転送機能は使用する前に起動する必要があります。入力転送ハンドラは入力キュープットインデックス（FLXA0FRITS.IPIDX）およびゲットインデックス（FLXA0FRITS.IGIDX）を “0” に初期化します。また、FLXA0FRITS レジスタ内の割り込み状態フラグ（IQEIS と IQFIS）は、“0” にセットしてください。

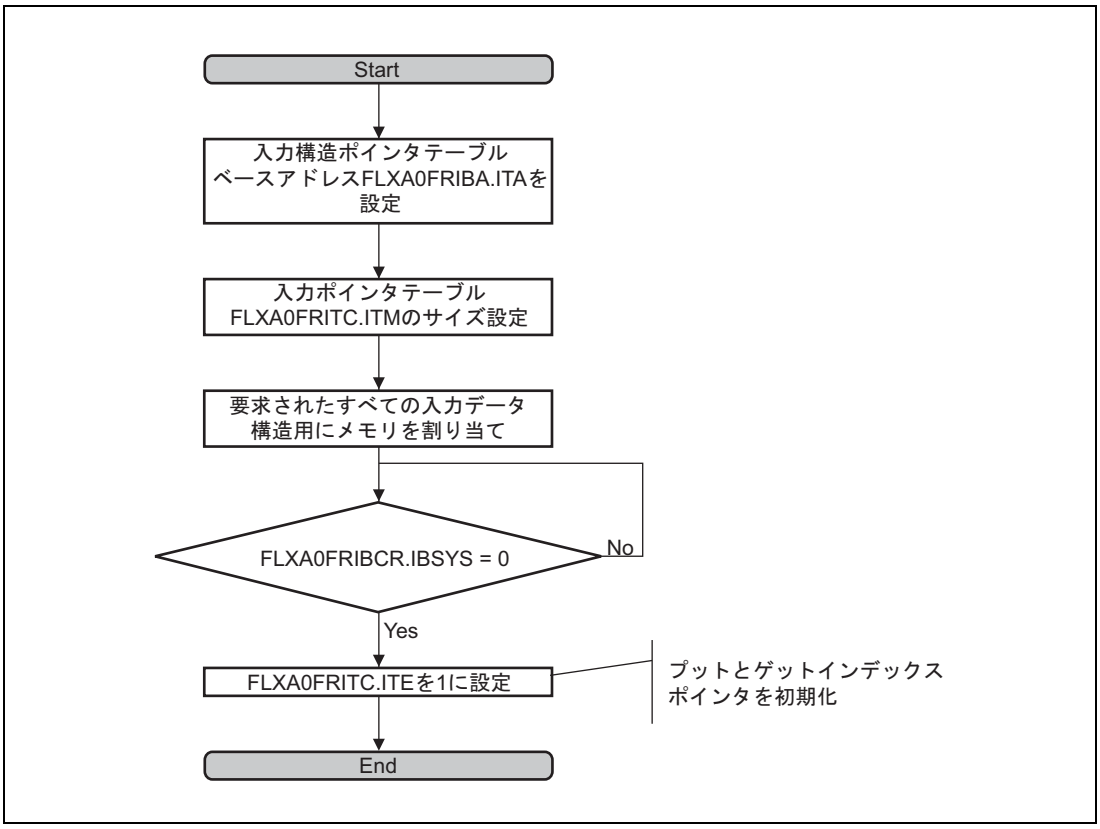


図 17.20 入力転送許可の流れ

入力転送機能の停止要求は、いつでもできます。入力キュープットインデックスと入力キューステータスは入力転送機能の状態によらず保持されます。

転送機能が無効になる前に（FLXA0FRITS.IT によって示される状態）、ユーザ要求の入力転送およびすべての入力転送は完了します。

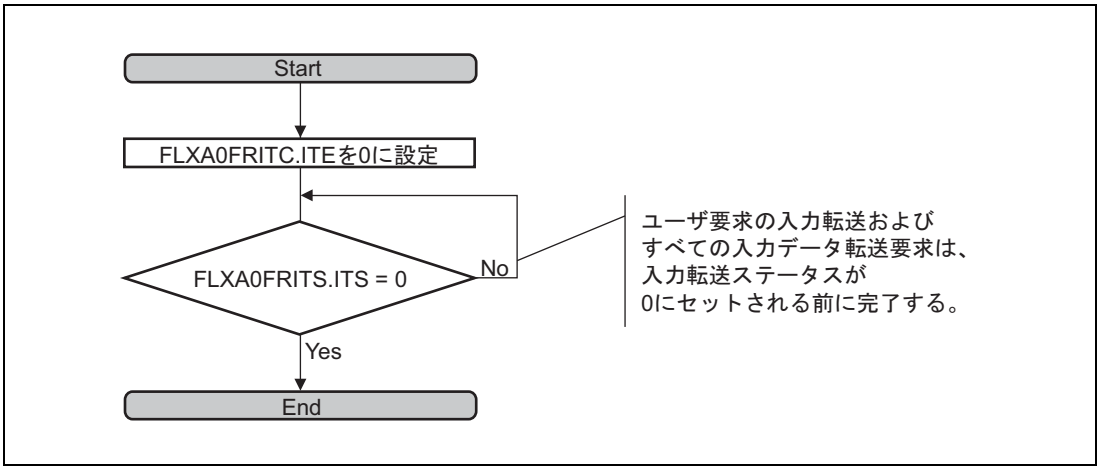


図 17.21 入力転送禁止の流れ

(2) 入力データ構造

アプリケーションはメッセージバッファの設定（入力データ構造）のための内容を提供するために Local RAM や Global RAM 内での位置を確保する必要があります。

この入力データ構造の位置は、これも Local RAM や Global RAM 内に位置する入力データ構造ポインタによって定義される必要があります。

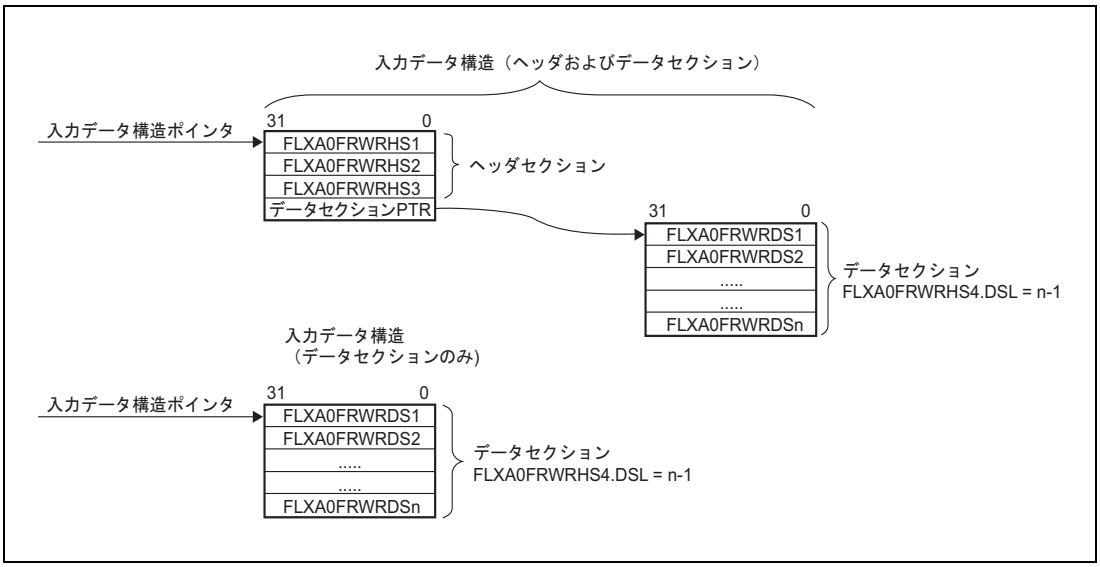


図 17.22 入力データ構造

一般的に、入力データ構造は 2 つのセクション（ヘッダセクションおよびデータセクション）から構成されます。

ヘッダセクションは FLXA0FRWRHS1、FLXA0FRWRHS2、FLXA0FRWRHS3 とデータセクションポインタから構成されます。

ビットアライメントおよびヘッダセクション内のビット機能については、**「17.3.13.1 ヘッダパーティション」**を参照してください。

入力ポインタテーブル内の制御フィールド （FLXA0FRWRHS4）の設定によって、データ構造ポインタは FLXA0FRWRHS1 あるいは FLXA0FRWRDS1 のアドレスと関連します。データ構造ポインタは 32 ビットアドレスにアラインされる必要があります。

FLXA0FRWRHS4 に関連するアドレスのビット LHS が “1” にセットされている場合、有効なヘッダセクションを提供する必要があります。この場合 FLXA0FRWRHS1 はデータ構造の先頭の要素です。

FLXA0FRWRHS4 に関連するアドレスのビット LHS が “0” にセットされている場合、ヘッダセクションは必要ありません。この場合 FLXA0FRWRDS1 はデータ構造の先頭の要素です。

FLXA0FRWRHS4 に関連するアドレスのビット LDS が “1” にセットされている場合、有効なデータセクションを提供する必要があります。データセクションへのポインタは先頭のペイロードロングワード（FLXA0FRWRDS1）のアドレスに関連し、32 ビットアドレスにアラインされる必要があります。

FLXA0FRWRHS4 に関連するアドレスのビット LDS が “0” にセットされている場合、データセクションは必要ありません。データセクションポインタは入力ハンドラによって評価されません。

入力データ構造内の FlexRay ペイロードデータのバイト順は、FLXA0FROC.BEC によって決定されます。データセクション内のペイロードデータのアライメントについては**「17.3.13.2 データパーティション」**および**「17.3.17 バイトアライメント」**を参照してください。

Local RAM や Global RAM に割り当てられるデータセクションの長さと大きさは FLXA0FRWRHS4 に関連するアドレス内のビット DSL の設定に依存します。

FlexRay コア内部メッセージ RAM への転送のため、FLXA0FRWRHS2.PLC によって設定された 16 ビットワードの数が使用されます。アプリケーションは正しい数のデータワードが Local RAM や Global RAM 内に提供されていることを保証する必要があります。バッファが FLXA0FRWRHS2.PLC によって奇数のペイロード長を持つように設定されている場合、アプリケーションは埋め込みデータがすべて “0” であることを保証するためにペイロードセクションの最後の 16 ビットに “0” を書き込む必要があります。

(3) 入力ポインタテーブル

Local RAM や Global RAM 内の入力データ構造から FlexRay 内部メッセージ RAM へデータを転送するために、関連する入力データ構造ポインタと制御フィールドを Local RAM や Global RAM 内にある入力ポインタテーブルに追加する必要があります。

このテーブルの先頭の要素の位置は入力ポインタテーブルベースアドレス（FLXA0FRIBA.ITA）によって示されます。このベースアドレスは 32 ビットアドレスにアラインされる必要があります。

キュー入力できる入力要求の最大値は、入力キューテーブル最大値レジスタ（FLXA0FRITC.ITM）によって定義されます。

入力ポインタテーブルエントリごとに 2 ロングワード必要です。キュー入力される転送要求のために要求される入力ポインタテーブルのアドレス幅は次の式で計算されます。

入力ポインタテーブルサイズ（バイト）= (((FLXA0FRITC.ITM + 1) × 2) × 4)

式 1

ユーザ要求入力転送用の入力ポインタエントリは入力ポインタテーブルの最後に追加される必要があります。

このエントリに関連するポインタテーブルのインデックス、つまり、FLXA0FRUIR.UIDX に書き込まれた値は FLXA0FRITC.ITM + 1 です。ユーザ要求入力転送に関連する入力ポインタテーブル内のアドレス（ユーザ入力アドレス）は、次の式で計算されます。

ユーザ入力アドレス = FLXA0FRIBA.ITA ＋入力ポインタテーブルサイズ

式 2

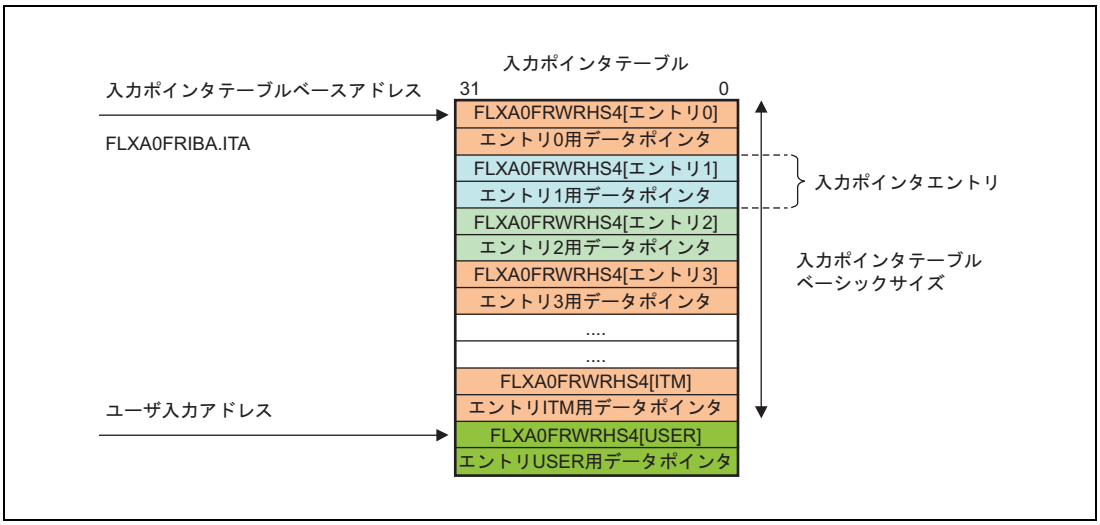


図 17.23 入力ポインタテーブル

入力ポインタテーブルは制御フィールド FLXA0FRWRHS4 およびメッセージバッファコンテンツ（ヘッダセクションあるいはデータセクション、またはその両方）が格納されている Local RAM や Global RAM へのポインタを保持しています。

アプリケーションは、転送要求が開始される前に、プットインデックスの位置に関連する入力ポインタテーブル内のアドレスに FLXA0FRWRHS4 および入力データ構造ポインタを書き込む必要があります。

FLXA0FRWRHS4:

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	DSL[5:0]					
リセット後の値																
R/W																

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	INV	STR	LDS	LHS	—	IMBNR[6:0]						
リセット後の値																
R/W																

表 17.103 FLXA0FRWRHS4 レジスタの内容

ビット	ビット名	機能
b[31:22]	—	リザーブビット 読み出した値は不定です。常に “0” を書き込んでください。
b[21:16]	DSL	データセクション長ビット 32 ビット単位のデータセクション長を指定します。
b[15:12]	—	リザーブビット 読み出した値は不定です。常に “0” を書き込んでください。
b11	INV	転送要求セットビット 0：データ構造は有効で FlexRay 内部メッセージ RAM に転送されます。 1：データ構造は無効です。この入力ポインタエントリを使用した FlexRay 内部メッセージ RAM の更新はできません。
b10	STR	転送要求セットビット 0：IMBNR ビットで選択されたメッセージバッファ用の FLXA0FRTXRQx.TXR ビットは “0” にセットされています。このメッセージバッファから転送されるデータはありません。 1：IMBNR ビットで選択されたメッセージバッファ用の FLXA0FRTXRQx.TXR ビットは転送用にメッセージバッファを解放するため “1” にセットされています。アプリケーションは STR ビットを受信バッファ用に “1” にセットすることはできません。
b9	LDS	ロードデータセクションビット 0：データセクションの更新なし 1：IMBNR ビットで選択されたメッセージバッファ用のデータセクションが更新された
b8	LHS	ロードヘッダセクションビット 0：ヘッダセクションの更新なし 1：IMBNR ビットで選択されたメッセージバッファ用のヘッダセクションが更新された
b7	—	リザーブビット 読み出した値は不定です。常に “0” を書き込んでください。
b[6:0]	IMBNR	メッセージバッファ番号更新ビット 転送用の FlexRay 内部メッセージ RAM 内のターゲットメッセージバッファ番号を選択します。

保護メッセージバッファ用に LHS ビットをセットすることはできないことに注意してください。

LDS ビットは、IMBNR ビットによって選択されたメッセージバッファのデータセクションが更新されるかどうかを定義します。

LDS ビットが “1” にセットされている場合、ペイロードデータの（DSL + 1）個の 32 ビットワードが、Local RAM や Global RAM から IMBNR ビットによって選択されたメッセージバッファへ転送されます。

LDS ビットが “0” にセットされている場合、ペイロードデータは Local RAM や Global RAM から転送されません。

転送されたペイロードは、設定されたペイロード長（FLXA0FRWRHS2 に関連したアドレス内の PLC ビット）とは関係ないことに注意してください。

送られたデータ構造の無効化に INV ビットを使うことができます。本ビットは入力キューが停止した場合に送られたデータ構造の転送をキャンセルするためにだけ使用してください（「**17.3.16.1(5) 入力キューの停止**」参照）。

本ビットが “1” にセットされている場合、メッセージバッファ番号（IMBNR）は更新されません。“0” にセットされている場合、メッセージバッファ番号（IMBNR）は更新されます。

(4) 入力データ構造の転送機能

入力データ構造の転送機能を使用するためには入力転送が起動されている必要があります（「**17.3.16.1(1) 起動および停止**」参照）。起動プロセスには、転送されるデータ構造用のソース位置（入力データ構造）を指定するために入力ポインタテーブル（「**17.3.16.1(3) 入力ポインタテーブル**」参照）をセットアップすることが必要です。入力転送が可能になるとゲットインデックスポインタが “0” に初期化されます。

すべての FlexRay 内部メッセージバッファは、入力ポインタテーブル内に構築された入力転送キューを使用して更新することができます。アプリケーションは入力ポインタテーブルに転送されるデータ構造へポインタおよび制御フィールド（テーブルエントリ）を書き込む必要があります。このため、アプリケーションはポインタが書き込まれる位置を示す入力ポインタテーブル用のプットインデックスを保持する必要があります。

このテーブルエントリを入力ハンドラに送るため、アプリケーションは入力キュー制御レジスタ（FLXA0FRIQC.IMBNR）にターゲットメッセージバッファ番号を書き込む必要があります。その後アプリケーションはアプリケーション内部プットインデックスをインクリメントします。

入力キュー制御レジスタに書き込むことによって、データ許可フラグ（FLXA0FRDAi.DA[IMBNR]）は自動的に “1” にセットされます。また入力転送ハンドラは、ステータスレジスタ内のプットインデックスポインタ（FLXA0FRITS.IPIDX）を保持します。

入力キューがフルになった場合（待機中の入力転送要求の数が入力キューテーブルのサイズと等しい）、FLXA0FRITS.IQFP および FLXA0FRITS.IQFIS は “1” にセットされます。入力キュー内に有効な入力キューがある場合、入力キューフル条件保留フラグ（FLXA0FRITS.IQFP）が “1” から “0” に変化します。それによって入力キューフル割り込みステータスフラグ（FLXA0FRITS.IQFIS）はアプリケーションによってクリアされる必要があります。

FLXA0FRITS レジスタの IQFP ビットが “1” である限りアプリケーションは FLXA0FRIQC レジスタの IMBNR ビットに書き込むことはできません。

入力キューがエンプティになった場合（待機中の入力転送要求の数がゼロになる）、FLXA0FRITS.IQEIS は “1” にセットされます。

入力キューエンプティ割り込みステータスフラグ（FLXA0FRITS.IQEIS）はアプリケーションによってクリアされる必要があります。

入力データ構造の FlexRay メッセージ RAM への転送は、FlexRay モジュール内で処理され FLXA0FRITS.IGIDX にフラグを立てられたゲットインデックスポインタによって制御されます。このインデックスは入力ポインタテーブルのアドレスオフセットではなく入力エントリを示すことに注意してください。

入力キューがエンプティではない場合、転送ハンドラは転送キューの入力ポインタテーブルエントリを読み出し、その入力ポインタが示すアドレスから入力データ構造の転送を開始します。要求されたデータワード分が FlexRay モジュールへ転送されると、その転送されたメッセージ番号に対するデータ有効フラグが “0” になり転送ハンドラ内のゲットインデックスが 1 つインクリメントされます。

無効化されたデータ構造の場合（「**17.3.16.1(5) 入力キューの停止**」参照）、FlexRay 内部メッセージバッファは更新されず関連するデータ有効フラグは自動的に “0” になります。データ有効フラグの変更は転送要求のキャンセルの確認のために使用されます。

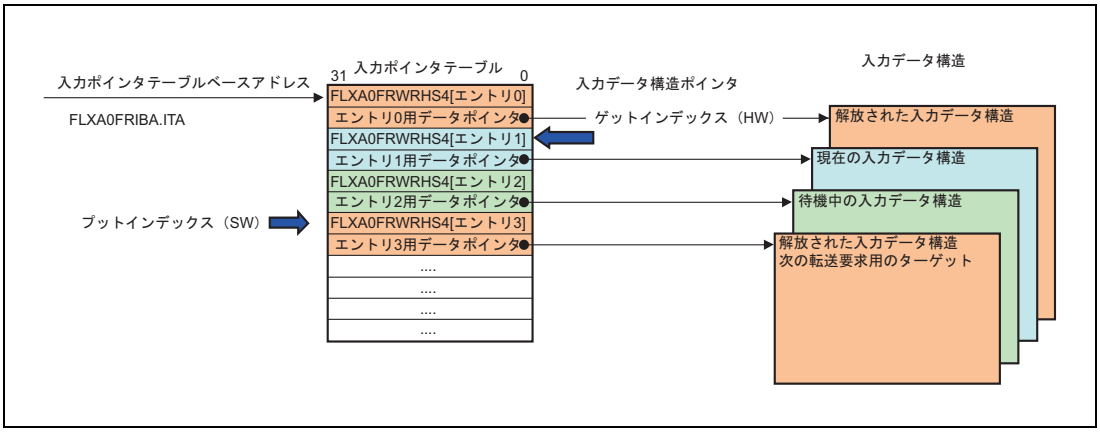


図 17.24 入力ポインタテーブル

また、要求されたヘッダセクションをセットアップすることによって入力データ転送を使用して受信メッセージバッファを設定することができ、FlexRay モジュール内で更新されるヘッダセクションだけにマークすることができます（FLXA0FRWRHS4.LDS = ‘0’, FLXA0FRWRHS4.LHS = ‘1’）。

以下の C プログラムは入力キューが SW 内でどのように処理されるかの 1 つの例です。

```
// Add the message block ‘blk’ into the FlexRay Tx queue
// If leng = -1, HS and DS is updated, else only DS
// Return 1, if the queue is full
int flex_add_transmit_block (int mbnr, int setTxReq, int leng, t_is_block *blk)
{
   int mode;

   //ckeck if resource is free
   if (FRITS.IQFP != 0) return 1;

   mode = (setTxReq << 10) + 0x20; /*load DS */
   if (leng == -1) {
      leng = (blk->hs2.plc+1) / 2; /* number of 32 bit word */
      mode |= 0x10; /* load HS + DS */
   }

   //add to input queue
   flex_tx_table[flex_tx_pidx*2+0] = blk;/* add the pointer */
   flex_tx_table[flex_tx_pidx*2+1] = (leng << 16) + mode + mbnr;

   //increment SW put index
   if (++flex_input_pidx == FLEX_INPUT_TABLE_MAX) flex_input_pidx = 0;

   //activate transmission
   FRIQC = mbnr;

   //done
   return 0;
}
```

(5) 入力キューの停止

送られたデータ構造を除去することはできませんが、入力キューが停止した際、無効にし更新することはできます。

すでに入力キューに送られたデータ構造をキャンセルするために、FLXA0FRITC.IQHR に “1” を書き込んでキューを停止することができます。

動作中の入力転送が完了したあと、キューは停止し FLXA0FRITS.IQH は “0” から “1” へ変わります。

入力キューのエントリを無効化するために FLXA0FRWRHS4.INV は “1” にセットされる必要があります。FWRHS4 のほかのすべてのビットは変更できません。

送られたメッセージがすでに FlexRay 内部メッセージ RAM に転送されたかどうかを次に示す流れを使って解析してください。

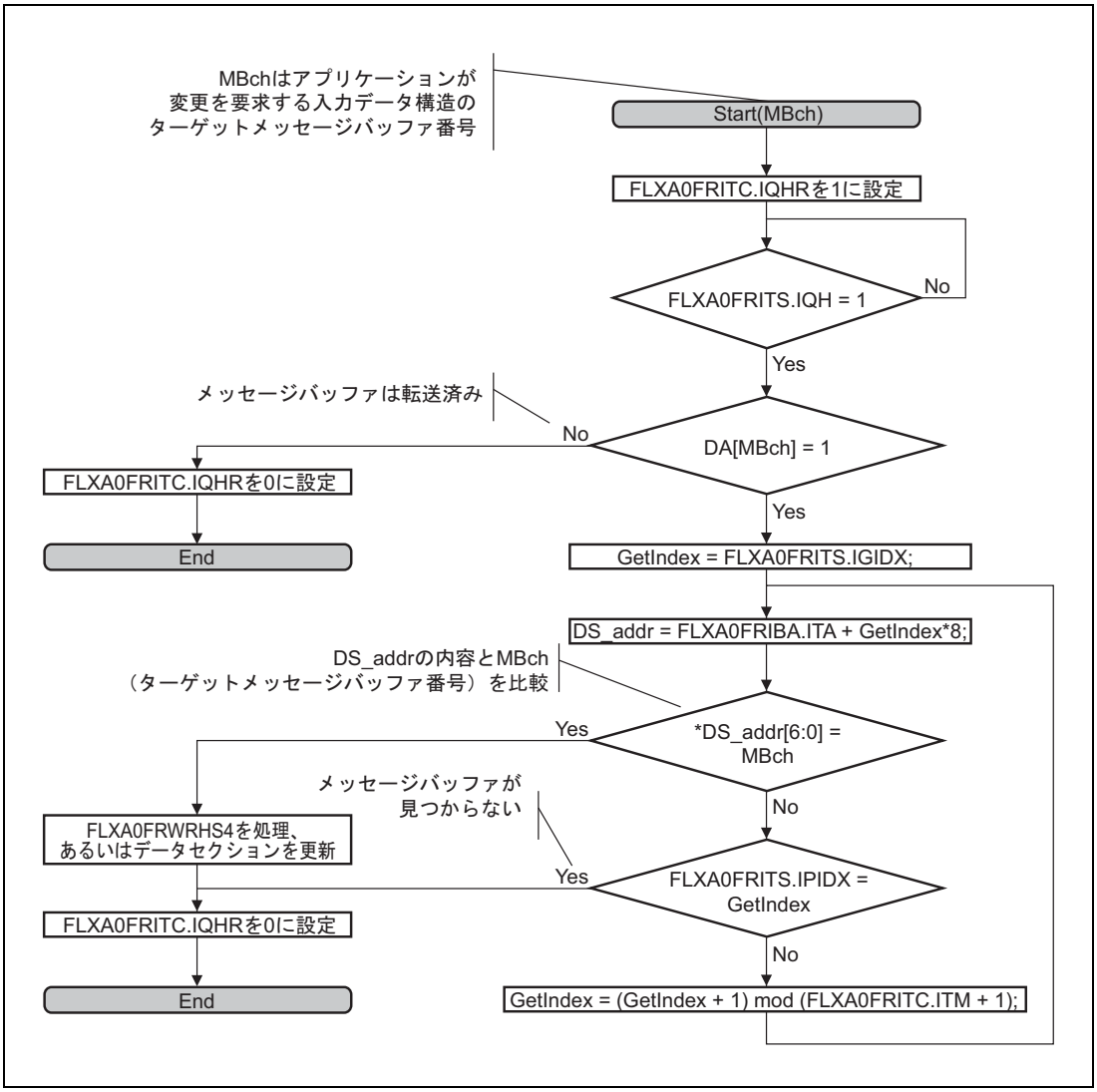


図 17.25 入力テーブルの解析

メッセージバッファがすでに FlexRay 内部メッセージ RAM に転送された場合、実際のキューを迂回し要求されたメッセージバッファを更新するためにユーザ入力転送要求を使用することができます（「**17.3.16.1(6) ユーザ要求入力転送の転送機能**」参照）。

(6) ユーザ要求入力転送の転送機能

この機能を使用するためには入力転送が起動されていることが必要です（「**17.3.16.1(1) 起動および停止**」参照）。

FLXA0FRUIR.UIDX を使用して、アプリケーションは入力データ構造の転送を要求することができます。ユーザ入力転送要求が最初に行われます。

アプリケーションは、入力ポインタテーブルへ転送されるデータ構造へポインタおよび制御フィールド（テーブルエントリ）を書き込む必要があります。ユーザ入力転送要求用のテーブルエントリを入力ポインタテーブルの最後に追加してください（「**17.3.16.1(3) 入力ポインタテーブル**」参照）。

入力ハンドラにこのテーブルエントリを送るため、アプリケーションはインデックス（FLXA0FRITC.ITM+1）をユーザ転送要求レジスタ（FLXA0FRUIR.UIDX）に書き込む必要があります。

ユーザ入力転送要求レジスタに書き込むことによって、ユーザ入力転送要求保留フラグ（FLXA0FRITS.UIRP）が自動的に “1” にセットされます。

このフラグが “1” の間、アプリケーションはさらにユーザ入力転送要求を行うことはできません。

要求された入力転送が完了するとユーザ入力転送要求保留フラグ（FLXA0FRITS.UIRP）は “1” から “0” に変化します。続いて、次の保留転送が処理されます。

17.3.16.2 出力データ転送

出力データ転送機能が有効な場合、受信メッセージ（専用メッセージバッファ内あるいはFlexRay 受信 FIFO 内）は、出力データハンドラによって Local RAM や Global RAM へ転送されます。出力データハンドラは、アプリケーションの要求によってメッセージバッファの内容を Local RAM や Global RAM へ転送することもできます。また、出力ハンドラはメッセージバッファの状態が変化した際、転送を開始することもできます。

(1) 起動および停止

出力データ転送機能は、使用の前に起動をかける必要があります。出力転送ハンドラはFIFO プットおよびゲットインデックスポインタと FIFO フィルレベル（FLXA0FROTS.FGIDX と FLXA0FROTS.FFL）を “0” にイニシャライズし、FLXA0FROTS レジスタの FDA、OWP、FWP、UORP ビットを “0” にセットします。また割り込みステータスフラグ（FLXA0FROTS.OTIS、FLXA0FROTS.FIS、FLXA0FROTS.OWIS、FLXA0FROTS.FWIS）を “0” にセットします。

起動をかけることによって専用バッファに関連したデータ有効フラグ（FLXA0FRDAi.DA）に影響することはありません。これらのフラグはアプリケーションによってクリアされる必要があります。

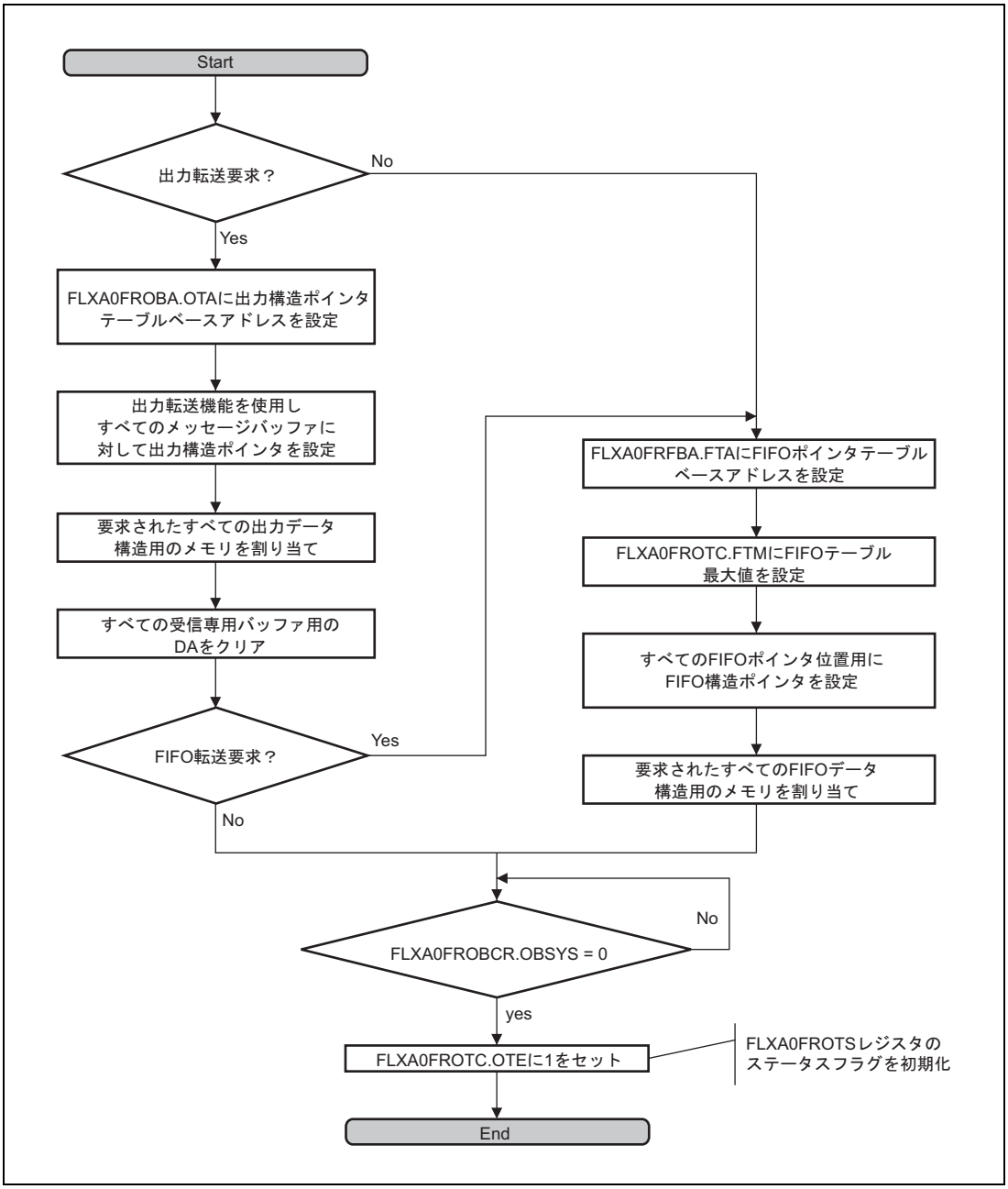


図 17.26 出力転送許可の流れ

出力データ転送機能の停止要求はいつでも可能です。実行中の転送は完了し、この転送の完了についてフラグが立てられます。この間 FLXA0FROTS.OTS は “1” のままです。

FLXA0FROTS.OTS が “1” から “0” に変化すると、出力転送機能は停止します。出力転送機能が無効な場合、データ有効ステータスフラグおよび FIFO ゲットインデックスは維持されます。

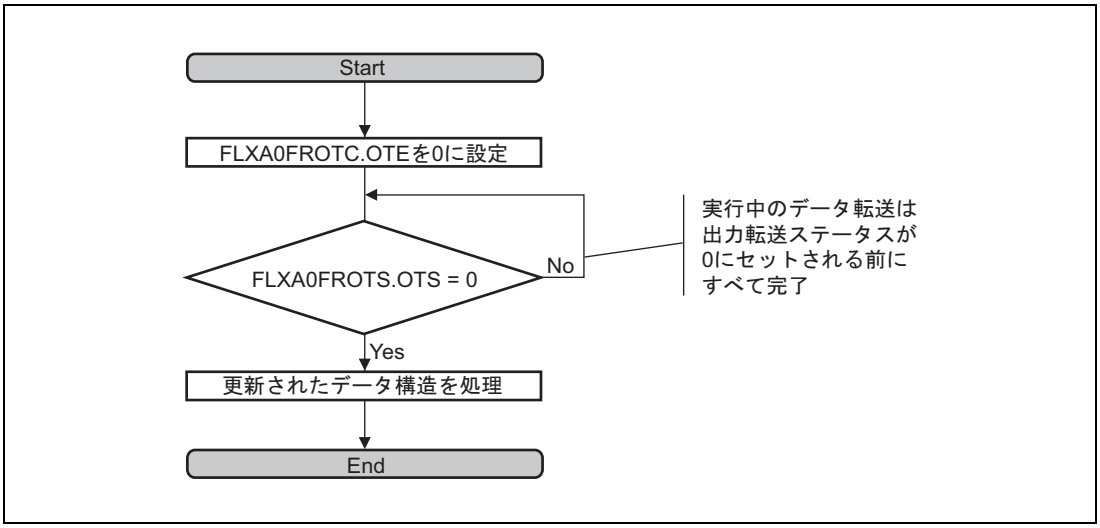


図 17.27 出力転送禁止の流れ

(2) 出力転送データ構造

Local RAM や Global RAM 内のデータは出力データ構造内に格納されます。出力データ構造の位置は出力データ構造ポインタ（これも Local RAM や Global RAM 内にある）によって決定されます。出力データ構造およびインデックス付けについて**図 17.28** に示します。

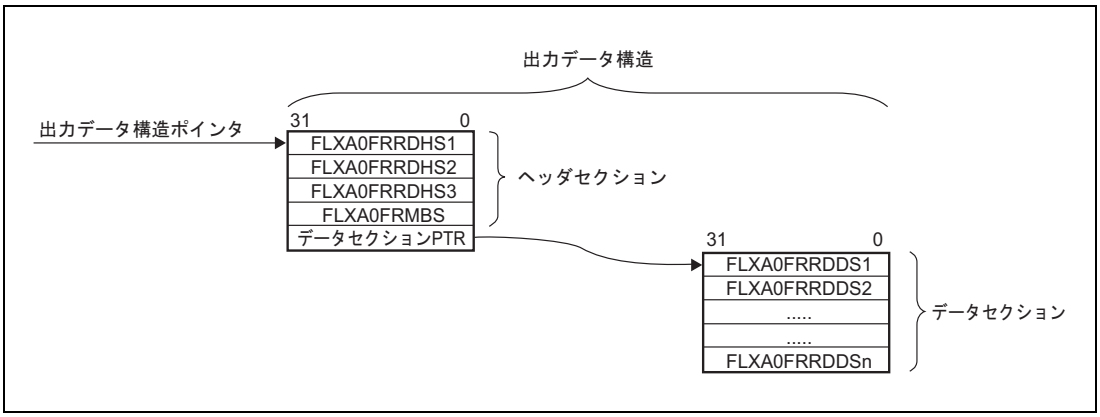


図 17.28 出力データ構造

出力データ構造は 2 つのセクション（ヘッダセクションおよびデータセクション）で構成されます。ヘッダセクションは FLXA0FRRDHS1、FLXA0FRRDHS2、FLXA0FRRDHS3、FLXA0FRMBS およびデータセクションポインタによって構成されます。FLXA0FRRDHS1 はこの構造の最初の要素で 32 ビットアドレスにアラインされている必要があります。データ構造ポインタは FLXA0FRRDHS1 のアドレスに対応しています。ヘッダセクション内のビットアライメントおよびビット機能については**「17.3.13.1 ヘッダパーティション」**を参照してください。

FLXA0FRRDDS1 はデータセクションの最初の要素です。データセクションポインタは FLXA0FRRDDS1 のアドレスに対応し 32 ビットアドレスにアラインされている必要があります。出力データ構造内の FlexRay ペイロードデータのバイト順は FLXA0FROC レジスタの BEC ビットによって決定されます。データセクション内のペイロードデータのアライメントについては**「17.3.13.2 データパーティション」**を参照してください。

Local RAM や Global RAM 内に割り当てられているデータセクションの長さと構造全体のサイズは、関連したメッセージバッファの設定されたペイロード長（FLXA0FRRDHS2.PLC）に依存します。設定されたペイロード長が奇数ワードである、あるいは受信されたペイロード長（FLXA0FRRDHS2.PLR）が設定されたペイロード長より短い場合、Local RAM や Global RAM 内の残りのデータワードは使用されず、アプリケーションが使用することはできません。

出力データ構造は 3 種すべての出力転送に特有です。ヘッダセクションのみが転送される場合、データセクションポインタは出力ハンドラによって評価されずデータセクションは変更されません。

(3) 出力ポインタテーブル

出力データ転送機能のためアプリケーションは Local RAM や Global RAM 内の出力ポインタテーブルをセットアップする必要があります。このテーブルの最初の要素の位置を出力ポインタテーブルベースアドレス（FLXA0FROBA.OTA）にプログラムする必要があります。このベースアドレスは 32 ビットアドレスにアラインされる必要があります。

出力ポインタテーブルのサイズは、最後に設定された専用メッセージバッファとユーザ出力転送要求に使用される最大のメッセージバッファ数のうち最大の値に定義されます。

出力ポインタテーブルはメモリ空間がターゲットメッセージバッファのコンテンツ（ヘッダセクションおよびデータセクション）向けに用意されている Local RAM や Global RAM の位置を示すポインタ（出力データ構造ポインタ）を保持しています。

出力ポインタテーブル内のエントリのアドレスと関連するメッセージバッファの番号とは 1 対 1 の関係です（**図 17.29** 参照）。出力ポインタテーブルは FLXA0FROBA.OTA で設定されたアドレスのメッセージバッファ番号 0 のエントリで始まり、昇順に次のメッセージバッファ番号へと続きます。すべてのメッセージバッファに対して 32 ビットのアラインされたアドレスです（メッセージバッファ 1 はアドレス OTA + 4、メッセージバッファ 2 はアドレス OTA + 8 など）。

ND ビットのセットのみが転送条件の場合（FLXA0FROTC.OTCS が “0” にセット）、専用受信バッファとして設定された、あるいはユーザ出力転送要求に使用されるメッセージバッファだけが有効なポインタエントリを持つ必要があります。

ND ビットのセットあるいは MBC ビットのセットが転送条件の場合（FLXA0FROTC.OTCS が “1” にセット）、すべての専用受信バッファおよび専用送信バッファが有効なポインタエントリを持つ必要があります。

(4) FIFO 出力ポインタテーブル

FlexRay モジュール内部 FIFO は、Local RAM や Global RAM 内に待機中のバッファ構造によって拡張可能です。

FlexRay モジュール内部 FIFO が使用される場合、アプリケーションは FIFO 出力ポインタテーブルをセットアップする必要があります。このテーブルの最初の要素の位置は FIFO ポインタテーブルベースアドレス（FLXA0FRFBA.FTA）によって決定されます。このベースアドレスは 32 ビットのアドレスにアラインされる必要があります。

FIFO ポインタテーブルのサイズとキューに追加可能なメッセージの最大数は、FIFO テーブル最大ビット（FLXA0FROTC.FTM）によって定義されます。

FIFO ポインタテーブルはメモリ空間がターゲットメッセージバッファのコンテンツ（ヘッダセクションおよびデータセクション）に用意されている Local RAM や Global RAM の位置を示すポインタ（出力データ構造ポインタ）を保持しています。テーブルエントリごとにデータポインタはこのテーブル内に設定されています。

(5) 専用メッセージバッファの転送機能

この転送機能を使用するためには出力転送が起動されている必要があります（「**17.3.16.2 (1) 起動および停止**」参照）。起動プロセスには、転送するデータの転送先の位置（出力データ構造）を指定するために出力ポインタテーブル（「**17.3.16.2 (3) 出力ポインタテーブル**」参照）のセットアップが必要です。**図 17.29** に出力ポインタテーブルの出力データ構造との対応方法を示します。

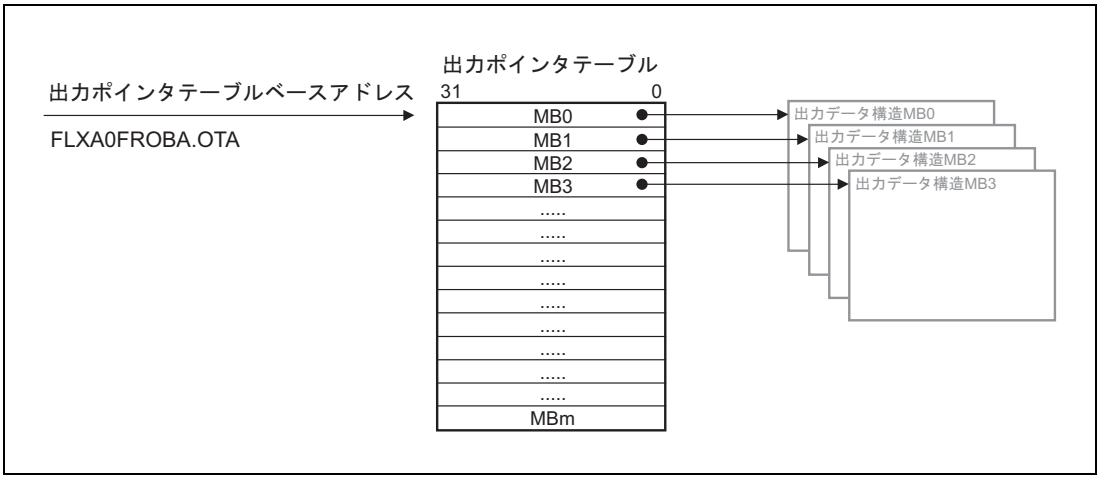


図 17.29 出力データ構造とインデックス

FLXA0FROTC.OTCS によって、出力転送条件が「新データ専用モード」と「新データおよびステータス変更モード」の間で選択可能です。

「新データ専用モード」では、有効な FlexRay データフレームが、関連する FLXA0FRNDATi レジスタの ND フラグがセットされる専用受信バッファに格納された場合、出力データ転送は開始されます。FLXA0FRNDATi レジスタの ND フラグは転送処理中自動的に “0” にセットされます。ヘッダセクションも転送され、FLXA0FRMBSCi レジスタの MBC フラグは “0” にセットされます。

「新データおよびステータス変更モード」では、出力データ転送は「新データ専用モード」の説明で記述したように開始されます。さらに出力データ転送は、メッセージバッファステータスが変更されただけでも開始されます。この変更により関連する FLXA0FRMBSCi レジスタの MBC フラグがセットされます。この場合、ヘッダセクションだけが転送されます。レジスタ内のフラグは転送処理中自動的に “0” にセットされます。

メッセージバッファのデータを FlexRay 内部メッセージ RAM から出力データ構造に転送後、対応する FLXA0FRDAi （i = 0 ～ 3）レジスタのデータ有効フラグは “1” にセットされます。出力データ構造の更新についても出力転送割り込みステータスフラグ（FLXA0FROTS.OTIS）のセットによりフラグが立てられます。

データ有効フラグが “1” の間は、対応する出力データ構造は更新されません。

- データ有効フラグが “1” であり有効受信メッセージが格納された、あるいは
- when FLXA0FROTC.OTCS が “1” でありメッセージバッファステータスが更新されたとき

上記の場合、出力転送警告割り込みフラグ（FLXA0FROTS.OWIS）が “1” にセットされ、新データは有効であるが出力データ構造転送が処理できないことをアプリケーションに知らせます。さらに出力転送警告条件の状態を連続して示す FLXA0FROTS.OWP が “1” にセットされます。

FlexRay 内部メッセージ RAM 内の有効受信メッセージは追加の受信メッセージによって上書きされた場合、メッセージ消失フラグ（FLXA0FRMBS.MLST）が “1” にセットされます。このフラグはメッセージバッファが出力データ構造へ転送されたあと評価されます。

次に出力データ構造を処理する方法について説明します。

(a) データセクションコピー方式

出力データ構造から Local RAM や Global RAM の異なる位置に情報をコピーし、関連するデータ有効フラグをクリアすることによって出力データ構造を解放するオプションです。アプリケーションはさらに処理を行うため、コピーされた情報を使用することが必要です。

以下の C プログラムは出力データ構造がどのように SW 内で処理されるかを示す例です。

```
// Get copy of one output structure block (FlexRay Rx or user transfer)
// Return -1 if the buffer has no valid data (DA = “0”) else the used payload size
int flex_copy_output_block (unsigned mbnr, void *target_hs, void *target_ds)
{
   unsigned long *this_FRDA, mask;
   int size;

   //ckeck if data of MB is available
   this_FRDA = (&FRDA0) + ((mbnr >> 5) & 0x03);
   mask = 1 << (mbnr & 0x1f)
   if ((*this_FRDA & mask) == 0) return -1;

   //calculate the real MB size min (PLC, PLR)
   size = flex_output_table[mbnr]->hs2.f.plr;
   if (size > flex_output_table[mbnr]->hs2.f.plc)
      size = flex_output_table[mbnr]->hs2.f.plc;

   //copy header and data to target location
   if (target_hs != NULL)
      memcpy (flex_output_table[mbnr], target_hs, 4*4);
   if (target_ds != NULL)
      memcpy (flex_output_table[mbnr]->dsptr, target_ds, 2*size);

   //acknowledge reception
   *this_FRDA = mask;      /* clear by writing a “1“ */

   //done
   return size;
}
```

(b) データ構造ポインタ方式

別のオプションとして、出力ポインタテーブル内の出力データ構造ポインタを変更し、関連するデータ有効フラグをクリアすることによって出力データ構造を解放する方法があります。変更された出力データポインタはフリーのデータ構造に対応します。アプリケーションはさらに処理を行うため元のデータ構造を使用する必要があります。

以下の C プログラムは出力データ構造をどのように SW 内で処理されるかを示す例です。

```
// Get one output structure block (FlexRay Rx or user transfer)
// The returned block is replaced by a free output structure
// Return the block or NULL if the buffer has no valid data (DA = “0“)
t_os_block *flex_get_output_block (unsigned mbnr, t_os_block *free_blk)
{
   t_os_block *this_blk;
   unsigned long *this_FRDA, mask;

   //ckeck if data of MB is available
   this_FRDA = (&FRDA1) + ((mbnr >> 5) & 0x03);
   mask = 1 << (mbnr & 0x1f);
   if ((*this_FRDA & mask) == 0)  return NULL;

   //get pointer from output table and replace it by free location
   this_blk = flex_output_table[mbnr];
   flex_output_table[mbnr] = free_blk;

   //acknowledge reception
   *this_FRDA = mask;      /* clear by writing a “1” */

   //done
   return this_blk;
}
```

(c) データセクションポインタ方式

3 番目のオプションとして、出力データ構造内のデータセクションポインタを変更し、関連するデータ有効フラグをクリアすることによって出力データ構造を解放する方法があります。変更されたデータセクションポインタはフリーなメモリエリアに対応する必要があります。アプリケーションはデータセクションポインタを送ることによってさらに処理するため、元のデータセクションを使用する必要があります。

以下の C プログラムは出力データ構造がどのように SW 内で処理されるかを示す例です。

```
// Get one data section block (FlexRay Rx or user transfer)
// The returned data section block is replaced by a free data section area
// Return the block or NULL if the buffer has no valid data (DA = “0”)
t_ds_block *flex_get_datasection_block (unsigned mbnr, t_ds_block *free_blk)
{
   t_os_block *this_blk;
   unsigned long *this_FRDA, mask;
   unsigned long this_os_ptr;

   //ckeck if data of MB is available
   this_FRDA = (&FRDA1) + ((mbnr >> 5) & 0x03);
   mask = 1 << (mbnr & 0x1f);
   if ((*this_FRDA & mask) == 0)  return NULL;

   //get base address from output table
   this_os_ptr = (unsigned long) flex_output_table[mbnr];

   //get pointer from output data section and replace it by free location
   this_blk = (t_os_block*) (this_os_ptr + 20);
   (t_os_block*) (this_os_ptr + 20) = free_blk;

   //acknowledge reception
   *this_FRDA = mask;      /* clear by writing a “1” */

   //done
   return this_blk;
}
```

(6) FIFO メッセージバッファの転送機能

このバッファ転送機能を使用するためには、出力転送が起動されている必要があります（「**17.3.16.2 (1) 起動および停止**」参照）。起動プロセスには、要求された出力データ構造の格納用に用意された Local RAM や Global RAM 内の位置を指定するため FIFO ポインタテーブル（「**17.3.16.2 (4) FIFO 出力ポインタテーブル**」参照）のセットアップが必要です。

FIFO データ転送は、有効なデータフレームが FlexRay 内部 FIFO に格納されると開始されます。

内部 FIFO から出力データ構造への転送後、FIFO 割り込みステータスフラグ（FLXA0FROTS.FIS）および FLXA0FROTS.FDA が “1” にセットされます。ビット FLXA0FROTS.FIS は割り込みソースとして使用可能です。ビット FLXA0FROTS.FDA は FIFO がエンプティではないことを示します。

レジスタ内で設定された出力構造は FLXA0FROTS.FTM になるまで待機可能です。

拡張 FIFO バッファ構造への転送はインデックスポインタによって制御されます。このプットインデックスは FIFO 転送ハンドラによって制御され、1 つのメッセージを出力データ構造に転送後インクリメントされます。FIFO 受信ハンドラは、FLXA0FROTS.FGIDX 内でフラグが立てられるゲットインデックスも保持しています。このゲットインデックスの値は、アプリケーションがステータスを読み出す、あるいはソフトウェア変数を保持することによって分かります。ゲットインデックス（初期値は “0”）は、FLXA0FROTS.FDA に “1” を書き込むことによってアプリケーションが FIFO キューの一番古いエントリを解放すると 1 つインクリメントされます。プットインデックスとゲットインデックスを比較することによって FIFO ハンドラは待機中のバッファ構造の現在のフィルレベルを知ることができます。

現在の FIFO フィルレベルは FLXA0FROTS.FFL 内にセットされます。FLXA0FROTS.FDA が “1” の場合、少なくとも 1 つのエントリが FIFO キュー内に存在します。

Local RAM や Global RAM 内の待機中のバッファ構造がフルの場合（FLXA0FROTS.FFL = FLXA0FROTC.FTM + 1）、転送は開始されず、新しいメッセージは FlexRay 内部 FIFO 内に残り、FIFO 転送警告割り込みステータスフラグ（FLXA0FROTS.FWIS）が “1” にセットされます。

FlexRay 内部 FIFO 構造がフルになった場合、FlexRay 内部 FIFO 構造内のメッセージは上書きされます。FlexRay コアモジュールの関連するステータスフラグおよび設定レジスタは、要求される警告の通知を生成するために使用されます。

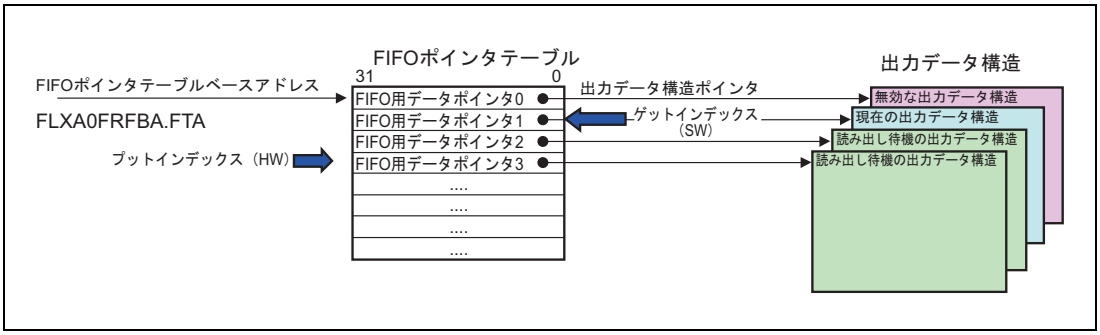


図 17.30 FIFO ポインタテーブル

次に示すプログラムは拡張 FIFO を処理するためにふさわしい例です。関数 flex_get_fifo_block () は、出力転送が有効な場合ゼロに初期化されるグローバル変数 flex_fifo_gidx が存在すると仮定します。この変数を使用すると FLXA0FROTS.FGIDX への読み込みアクセスは冗長になります。定数 FLEX_FIFO_MAX は、FLXA0FROTC.FTM を設定するのに使用されます。さらに処理するために FIFO キューから出力構造を取り出す場合、そのポインタはパラメータとして指定されたエンプティ出力データ構造に置き換わります。

```
// Get one output structure block from the FlexRay Rx FIFO
// The returned block is replaced by a free output structure
// Return the block or NULL if FIFO is empty
t_os_block *flex_get_fifo_block (t_os_block *free_blk)
{
   t_os_block_ptr this_blk;

   //ckeck if data in FIFO is available
   if (FROTS.FDA == 0) return NULL;

   //get pointer from FIFO table and replace it by free location
   this_blk = flex_fifo_table[flex_fifo_gidx];
   flex_fifo_table[flex_fifo_gidx] = free_blk;

   //increment SW get index
   if (++flex_fifo_gidx == FLEX_FIFO_MAX) flex_fifo_gidx = 0;

   //acknowledge FIFO reception
   FROTS.FDA = 1;      /* clear by writing a “1” */

   //done
   return this_blk;
}
```

(7) ユーザ出力転送要求の転送機能

この転送機能を使用するためには、出力転送が起動されている必要があります（「**17.3.16.2 (1) 起動および停止**」参照）。起動プロセスには、データ（出力データ構造）の転送用に用意された Local RAM や Global RAM 内の位置を指定するため出力ポインタテーブル（「**17.3.16.2 (3) 出力ポインタテーブル**」参照）をセットアップすることが必要です。

FLXA0FRUOR.UMBNR を使って、アプリケーションは専用メッセージバッファの出力データ構造への転送を要求することができます。CONFIG 状態以外では、FlexRay 内部 FIFO の一部であるメッセージバッファを要求することはできません。

ヘッダセクションは常に出力データ構造に転送されます。データセクションの転送は FLXA0FRUOR.URDS を “1” にセットすることによって可能です。選択されたメッセージバッファの内容は、出力ポインタテーブル内のポインタによって決定された出力データ構造の位置に格納されます。

FLXA0FRDAi レジスタの DA ビットによるデータ有効ステータスおよび転送のブロッキングはユーザ要求転送のために使用されます。要求バッファ番号（FLXA0FRUOR.UMBNR）に関連する FLXA0FRDAi レジスタの DA ビットは、転送要求が作られる前に解放される必要があります。

FLXA0FRUOR.UMBNR への書き込み後、ビット FLXA0FROTS.UORP は “1” にセットされ保留中のユーザ転送要求があることを示します。転送が処理されると、ビット FLXA0FROTS.UORP は “0” にセットされ、ビット FLXA0FROTS.OTIS は “1” にセットされ、要求バッファ番号（FLXA0FRUOR.UMBNR）に関連する FLXA0FRDAi レジスタの DA ビットは “1” にセットされます。

ユーザ出力転送要求をキューに入れることはできません。アプリケーションは FLXA0FRUOR.UMBNR に書き込む前にビット FLXA0FROTS.UORP をチェックする必要があります。

入力転送キュー内で保留中のメッセージバッファに対してユーザ出力転送要求を作成することはできません。

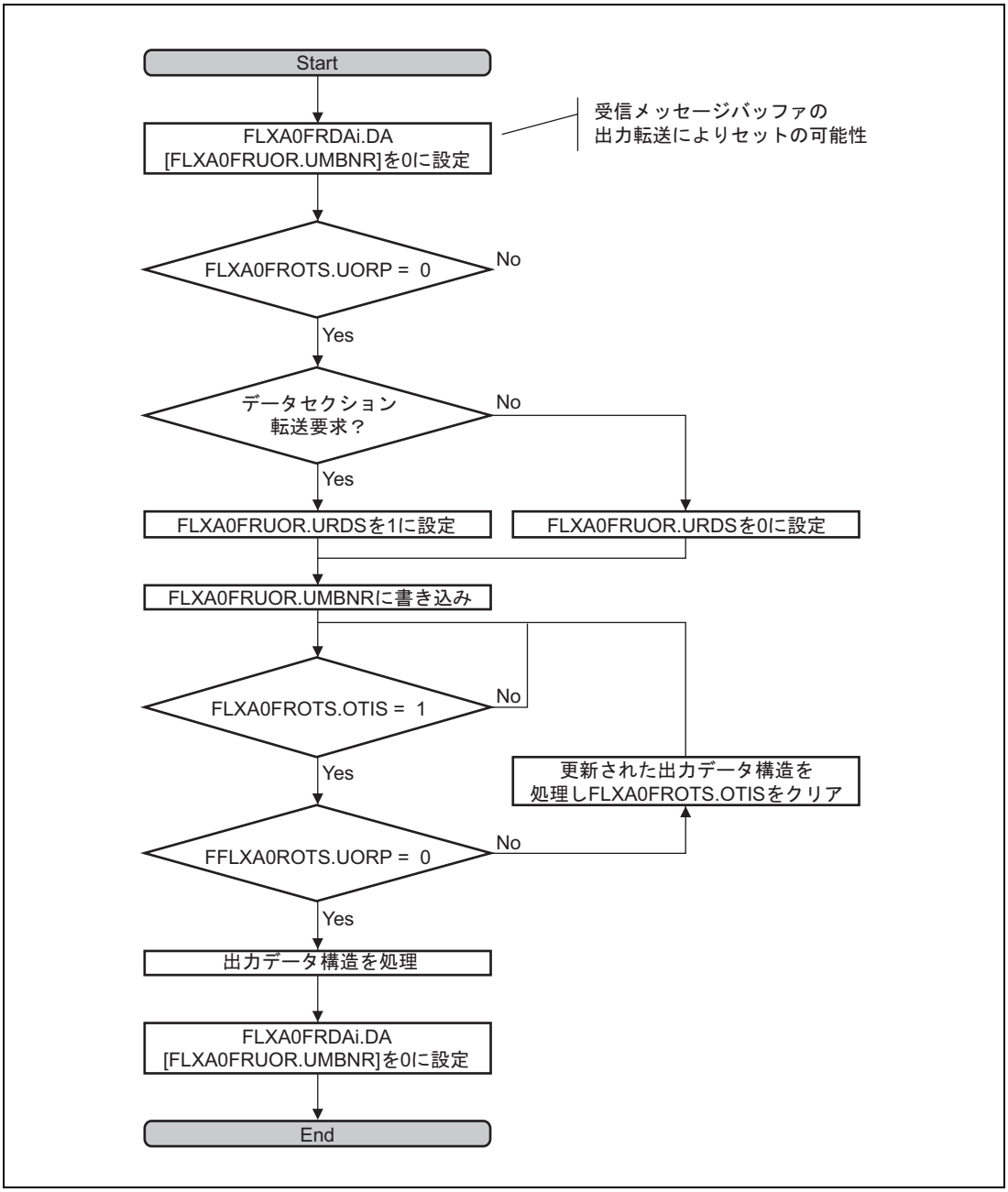


図 17.31 ユーザ出力転送要求の流れ

ユーザ要求によって指定されたデータ構造が、受信メッセージバッファの更新（これによって FLXA0FRDAi レジスタの DA ビットがセットされる）により更新される可能性のあることに注意してください。DA フラグのセットによりユーザ出力転送要求が抑制されます。したがって、FLXA0FROTS.UORP のポーリングは、要求されたメッセージバッファの転送が完了した時点を特定する安全な方法ではありません。ビット FLXA0FROTS.OTIS あるいは FLXA0FRDAi レジスタの DA ビットを代わりに使用することができます。正確な流れはソフトウェアのアーキテクチャに依存します。

17.3.16.3 データ構造転送のスケジューリング

周期的に異なるタイプの転送要求がチェックされます。確かな転送時間を保証するために、異なるタイプの転送は異なる優先度を持ちます。

最高の優先度を持つ要求された入力転送を使って、動作中の入力転送キューへ送られるデータ構造の転送を行ってください。保留中の入力転送要求がある間は新規の出力転送を開始することはできません。

特定の順序で 3 つの出力転送要求のタイプがチェックされます。

(1) 昇順のすべての専用メッセージバッファ

FLXA0FROTC.OTCS が “0” にセットされている場合、FLXA0FRNDATn レジスタのフラグにセットすると転送先のエリアがフリー（FLXA0FRDAi レジスタの DA ビットが “0”）であれば出力データ構造へのメッセージバッファの転送が行われます。

FLXA0FROTC.OTCS が “1” にセットされている場合、FLXA0FRNDATn レジスタのフラグにセットする、あるいは FLXA0FRMBSCn レジスタのフラグにセットすると転送先のエリアがフリー（FLXA0FRDAi レジスタの DA ビットが “0”）であれば出力データ構造へのメッセージバッファの転送が行われます。

(2) FlexRay 内部 FIFO

FlexRay 内部 FIFO がエンプティではなくフリーな転送先エリアがある場合、1 つの FIFO メッセージが FIFO ポインタテーブルによってアドレスされた出力データ構造へ転送されます。

(3) ユーザ出力要求

保留中のユーザ出力転送要求がある場合、1 つのメッセージバッファが対応する出力データ構造へ転送されます。

入力転送が発生するとチェックシーケンスは中断されます。

17.3.16.4 データ転送アクセスエラーの場合の動き

データ転送機能によってアクセスされるメモリ空間は、メモリ保護ユニット（MPU）によって保護されている可能性があります。保護されているアドレスが入力あるいは出力転送によってアクセスされたことを MPU が指摘すると、アクセスエラーイベントが生成され FLXA0FRAES レジスタの関連ビットがセットされます。

実行中の転送は即座に終了しますが完了した転送は処理され、さらにアクセスエラーが発生する可能性があります。続くアクセスエラーは FLXA0FRAES.MAE のみで知らされます。ほかのステータスフラグは更新されません。

(1) 入力転送時のアクセスエラー

入力転送中にアクセスエラーが発生した場合

- 実行中の転送は即座に終了します。FlexRay 内部メッセージ RAM は更新されません。
- FlexRayモジュールがアクセスしようとしたアドレスがFLXA0FRAEA レジスタに書き込まれます。
- FLXA0FRAES.IAE が “1” にセットされます。
- 入力ポインタテーブルインデックスが FLXA0FRAES.EIDX 内に書き込まれます。
- 通常の入力転送の場合、関連する FLXA0FRDAi レジスタのDA ビットは“0”にセットされます。
- ユーザ入力転送要求の場合、FLXA0FRITS.UIRP は “0” にセットされます。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。さらにアプリケーションは入力アクセスエラーフラグ（FLXA0FRAES.IAE）をクリアする必要があります。

(2) 出力転送時のアクセスエラー

出力転送中にアクセスエラーが発生した場合：

- 実行中の転送は即座に終了しますが、データ構造の更新は開始される可能性があります。
- FlexRayモジュールがアクセスしようとしたアドレスがFLXA0FRAEA レジスタに書き込まれます。
- FLXA0FRAES. OAE が “1” にセットされます。
- 出力ポインタテーブルインデックスが FLXA0FRAES.EIDX 内に書き込まれます。
- 通常の出力転送の場合、関連する FLXA0FRDAi レジスタの DA ビットは “0” のままで、出力転送割り込みは生成されません。
- ユーザ出力転送要求の場合、FLXA0FROTS.UORP は “0” にセットされます。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。Local RAM や Global RAM 内のデータ構造を有効とみなすことはできません。

さらにアプリケーションは出力アクセスエラーフラグ（FLXA0FRAES. OAE）をクリアする必要があります。

メッセージバッファの FlexRay モジュール内部転送は、Local RAM や Global RAM アクセスエラーが検出される前に完了しています。出力転送は再開できません。データの消失を避けるため、アプリケーションは正しい Local RAM や Global RAM の位置へのこのメッセージバッファのユーザ出力転送要求を行うことができます。

(3) FIFO 転送時のアクセスエラー

FIFO 転送中にアクセスエラーが発生した場合

- 実行中の転送は即座に終了します。
- FlexRayモジュールがアクセスしようとしたアドレスがFLXA0FRAEA レジスタに書き込まれます。
- FLXA0FRAES. FAE が “1” にセットされます。
- FIFO ポインタテーブルインデックスが FLXA0FRAES.EIDX 内に書き込まれます。
- FIFO インデックスポインタは変更されず、よって FIFO ステータスフラグは変更しません。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。

さらにアプリケーションは FIFO アクセスエラーフラグ（FLXA0FRAES. FAE）をクリアする必要があります。

Local RAM や Global RAM 内のデータを有効とみなすことはできずアプリケーションに解放されません。メッセージを回復することはできません。

17.3.16.5 RAM 読み出しエラーの場合の動作

FlexRay 内部メッセージ RAM には ECC チェックメカニズムがあります。補正できない RAM 読み出しエラーが発生した場合、アプリケーションは FLXA0FRMHDS レジスタのステータスを解析し、**「17.3.16.3 データ構造転送のスケジューリング」**に記述されているようにやり直す必要があります。エラーが動作中の転送に関連する場合、入力および出力転送ハンドラもメッセージ RAM 内で検出されたこれらのエラーについてやり直します。

また、テンポラリバッファ A およびテンポラリバッファ B にも同様に ECC チェックメカニズムがあります。

補正できない RAM 読み出しエラーは、データ転送機能に影響を与えませんが、**「17.3.13.1(4) メッセージバッファステータス（FLXA0FRMBS）（ワード 3）」**に記述されているように取り扱う必要があります。

すべての場合、読み出しエラーを起こしたデータが Local RAM や Global RAM へ転送されることはありません。アプリケーション内で回復不能な場合、メッセージは消失します。

(1) TBF から MBF への転送時の読み出しエラー

この内部転送はすべての有効な受信 FlexRay メッセージに対して行われます。

読み出しエラーは FlexRay メッセージ RAM 内のヘッダセクションを読み出す場合のみに発生します（FLXA0FRMHDS の読み出しエラーフラグ参照）。この場合メッセージバッファは再設定される必要があります。

専用受信メッセージバッファについて、関連する FLXA0FRNDATi レジスタの ND フラグはセットされません。したがって影響を受けるメッセージバッファは出力データ構造に転送されません。

FlexRay 内部 FIFO バッファに関して FLXA0FRNDATi レジスタの ND フラグはセットされませんが、FlexRay 内部 FIFO プットインデックスはインクリメントされます。このことにより、FlexRay 内部 FIFO バッファから出力バッファへの転送手順が開始されます。しかし、ヘッダセクション内に読み出しエラーが依然として存在する場合、出力データ構造の更新は開始されません（**「17.3.16.5 (2) MBF から OBF への転送時の読み出しエラー」**参照）。したがって Local RAM や Global RAM 内のデータは正しいままです。

保留中の FIFO 転送がある間、メッセージバッファに関連する FIFO の補正あるいはその他の再設定は Local RAM や Global RAM 内に不正なデータをもたらす可能性があることに注意してください。再設定が始まる前に出力データ転送を停止し、出力データ転送を停止する前に FlexRay 内部 FIFO をフラッシュすることを強くお勧めします。

(2) MBF から OBF への転送時の読み出しエラー

この内部転送はすべての出力データ転送（専用受信、FIFO、ユーザ要求）に対して行われます。

読み出しエラーはヘッダおよびデータセクションで発生する可能性があります（FLXA0FRMHDS の読み出しエラーフラグ参照）。両方の場合、メッセージは消失します。エラーがヘッダセクションにある場合、メッセージバッファは再設定される必要があります。エラーがデータセクションにある場合、エラーは次のデータセクションの更新によって修正されます。

メッセージ RAM から出力バッファへの転送中に読み出しエラーが発生した場合、出力データ構造は更新されず、データ有効ビットは “1” にセットされません。また、FIFO プットインデックスおよび FIFO フィルレベルは変更されません。ユーザ出力転送要求の場合、出力データ構造の更新が行われなくても FLXA0FROTS.UORP が “0” にセットされます。

(3) IBF から MBF への転送時の読み出しエラー

この内部転送はすべての入力データ転送に対して行われます。

メッセージ RAM からのヘッダセクションの読み出しが原因で（FLXA0FRMHDS 内の読み出しエラーフラグ参照）、要求されたヘッダセクションの更新ができない場合（FLXA0FRWRHS4 のビット LHS が “0” にセット）のみ、読み出しエラーが発生します。この場合、メッセージバッファは再設定される必要があります。

読み出しエラーが入力データ転送中に発生した場合、実際に転送された入力キュー内のメッセージは消失します。

(4) メッセージ RAM 読み出しエラー

ヘッダセクション読み出し中の読み出しエラーは FLXA0FRMHDS レジスタ内に記録されます。

バッファタイプおよびバッファ保護の設定により、メッセージバッファの再設定ができない可能性があります。

「17.3.13.4 (3)　ヘッダセクションの一時的なロック解除」に記述された方法により、入力転送機能を使ってロックされたメッセージバッファを再設定することはできません。

ロックされたバッファを再設定する前に、入力転送機能および出力転送機能を無効にすることが必要です。

17.3.16.6 データ転送のタイミング

Local RAM や Global RAM と FlexRay 内部メッセージバッファ間の転送のタイミングは 2 つの要素で構成されます。1 つめの要素は、インタフェースバッファとメッセージ RAM 間の FlexRay コア内部転送時間です。2 つ目の要素は、Local RAM や Global RAM とインタフェースバッファ間で要求される転送時間です。

入力および出力ハンドラのコンセプトでは、Local RAM や Global RAM と入力バッファ間の実行中の転送は 1 つだけが認められ、同様に入力バッファとメッセージ RAM 間でも実行中の転送は 1 つだけが認められます。2 つの要求が同時に発生した場合、入力転送タスクが最初に処理されます。

このコンセプトの制約のため、転送時間の算出は、パラレル転送ではなく、出力転送がすべての入力転送が完了したあとに限って開始されるという最悪の場合を想定しています。

(1) FlexRay コア内部転送時間

転送に必要なクロックサイクル数は、FlexRay コアモジュールクロックサイクル（バスクロック）内に設定されます。転送時間は、入力転送と出力転送とで異なります。

インタフェースバッファと FlexRay 内部メッセージ RAM 間の転送に必要な時間は [ERAY_ADD] によって設定されます。

$$cycles_{req_MHD[PL]} = (numberOfConcurrentTasks) * (setupTime + (DataWords_{req[PL]}) + 75)$$

式 3

データワード数（32 ビット）は以下の式で算出できます。

$$DataWords_{req[PL]} = 4 + floor\left(\frac{PLC+1}{2}\right)$$

式 4

これによって、ヘッダセクションが更新されなくても常にアクセスする必要のあるヘッダセクションのワード数（32 ビット）は 4 となります。

全体で 3 つのパラレルタスクが FlexRay 内部メッセージハンドラ内に存在する可能性があり、並行タスクの数は不明なので、最悪の場合を考慮するためだけでなく並行タスクの数を 3 にセットする必要があります。セットアップ時間と転送されるワード数と合わせて、メッセージハンドラ内部遅延時間 75 バスクロックサイクルを加える必要があります。転送されるペイロードの最大値は最長の場合 64 です。

入力転送時の最長の場合は出力転送時の場合とは異なります。

入力転送の場合、必要なセットアップ時間は 6 バスクロックサイクルです。したがって

$$cycles_{req_MHD_input[64]} = 3 * (6 + 68 + 75) = 447$$

式 5 メッセージハンドラ内部入力転送時間（最長時）

出力転送の場合、必要なセットアップ時間は 2 バスクロックサイクルです。したがって

$$cycles_{req_MHD_output}[64] = 3 * (2 + 68 + 75) = 435$$

式 6 メッセージハンドラ内部出力転送時間（最長時）

(2) システムバス転送時間

転送に必要なバスクロックサイクル数はバスクロックサイクル内に書き込まれ、Local RAM や Global RAM と FlexRay モジュール間のすべての種類の転送に対して同一です。

Local RAM や Global RAM と FlexRay インタフェースバッファ間の転送のため転送ハンドラが必要とする時間は以下の式で与えられます。

$$cycles_{req_SB}[PL] = throughput * (systemTime + DataWords_{req}[PL]) + setupTime$$

式 7 汎用システムバス転送時間算出式

式 4 を使ってペイロードワード（32 ビット）の数を算出することができます。

スループットはシステムバスの利用率およびアプリケーションによって異なります。しかし、データ転送ハンドラは Local RAM や Global RAM へのアクセスの最高の優先度を持ち、データスループット要因は最悪でも XXXX と仮定されます。システム時間（データポインタの Local RAM や Global RAM からの読み出し）はすべての場合 1 にセットすることができます。転送セットアップ時間はすべての場合 3 にセットすることができます。

したがってシステムバス転送時間（バスクロックサイクル内）は以下の式で与えられます。

$$cycles_{req_SB}[64] = throughput * (2 + 68) + 3 = XXXX * (2 + 68) + 3$$

式 8 システムバス転送時間（最長時）

システムバス転送時間に加えて、FlexRay モジュール内部処理時間を加える必要があります。必要な内部処理時間のために必要とされるクロックサイクル数は、FlexRay コアモジュールクロックサイクル（バスクロック）内に与えられ、入力転送と出力転送の間で異なりますが、定数として扱うことができます。

$$cycles_{req_THD_input} = 2 + 4 = 6$$

式 9

したがって入力バッファからメッセージ RAM への FlexRay モジュール内部転送の開始には 2 サイクル必要です。さらに内部処理に 4 サイクル必要です。

$$cycles_{req_THD_output} = 3 + 4 = 7$$

式 10

したがって入力バッファからメッセージ RAM への FlexRay モジュール内部転送の開始には 3 サイクル必要です。さらに内部処理に 4 サイクル必要です。

(3) 入力転送時間の概要

Local RAM や Global RAM と FlexRay 内部メッセージバッファ間のデータの転送に必要な最長時間（転送されたペイロードの機能として）は以下の式で算出することができます。

$$t_input_{[PL]} = t_chi * (cycles_{req_THD_input} + cycles_{req_MHD_input[PL]}) + t_sys * (cycles_{req_SB[PL]})$$
$$t_input_{[PL]} = t_chi * \left(6 + 3 * \left[81 + DataWords_{[PL]}\right]\right) + t_sys * \left(throughput * \left[2 + DataWords_{[PL]}\right] + 3\right)$$

式 11 入力転送時間

ここで

$$t_sys = \left(f(sysclk)\right)^{-1}$$

および

$$t_chi = \left(f(clkp2_flx)\right)^{-1}$$

(4) 出力転送時間の概要

FlexRay 内部メッセージバッファから Local RAM や Global RAM へのデータの転送に必要な最長時間（転送されたペイロードの機能として）は以下の式で算出することができます。

$$t_output_{[PL]} = t_chi * (cycles_{req_THD_output} + cycles_{req_MHD_output[PL]}) + t_sys * (cycles_{req_SB[PL]})$$
$$t_output_{[PL]} = t_chi * \left(7 + 3 * \left[77 + DataWords_{[PL]}\right]\right) + t_sys * \left(throughput * \left[2 + DataWords_{[PL]}\right] + 3\right)$$

式 12 出力転送時間

ここで

$$t_sys = \left(f(sysclk)\right)^{-1}$$

および

$$t_chi = \left(f(clkp2_flx)\right)^{-1}$$

17.3.17 バイトアライメント

FlexRay プロトコルが受け取ったバイトのアライメントとアプリケーションが必要とするバイトのアライメントが異なる可能性があります。FlexRay モジュールは FLXA0FROC.BEC バイトアライメント機能を提供し、異なるバイト順スタイルをサポートします。

図 17.32 に FlexRay フレーム内のペイロードのバイトアライメントを示します。

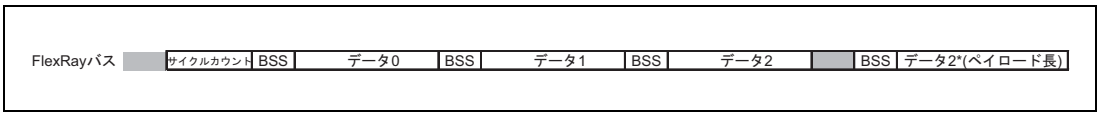


図 17.32 FlexRay バス上のバイトアライメント

17.3.17.1 リトルエンディアンアライメント

FLXA0FROC.BEC が “0” の場合、バイトアライメントは、リトルエンディアン方式です。

(1) FLXA0FRNMVn（n = 1 ～ 3）

NMV バイトのバイトアライメントを以下に示します。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXA0FRNMV1	データ 3								データ 2								データ 1								データ 0							
FLXA0FRNMV2	データ 7								データ 6								データ 5								データ 4							
FLXA0FRNMV3	データ 11								データ 10								データ 9								データ 8							

(2) FLXA0FRWRDSn（n = 1 ～ 64）

FlexRay 入力バッファ内および入力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXA0FRWRDSn.MD[7:0] = $Data_{4n-4}$

FLXA0FRWRDSn.MD[15:8] = $Data_{4n-3}$

FLXA0FRWRDSn.MD[23:16] = $Data_{4n-2}$

FLXA0FRWRDSn.MD[31:24] = $Data_{4n-1}$

FlexRay バス上の転送順は、MSB が最初に転送されて FLXA0FRWRDSn.MD[7:0]、FLXA0FRWRDSn.MD [15:8]、FLXA0FRWRDSn.MD [23:16]、FLXA0FRWRDSn.MD [31:24] です。

(3) FLXA0FRRDDSn（n = 1 ～ 64）

FlexRay 出力バッファ内および出力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXA0FRRDDSn.MD[7:0] = $Data_{4n-4}$

FLXA0FRRDDSn.MD[15:8] = $Data_{4n-3}$

FLXA0FRRDDSn.MD[23:16] = $Data_{4n-2}$

FLXA0FRRDDSn.MD[31:24] = $Data_{4n-1}$

FlexRay バス上の受信順は、MSB が最初に受信されて FLXA0FRRDDSn.MD[7:0]、FLXA0FRRDDSn.MD [15:8]、FLXA0FRRDDSn.MD [23:16]、FLXA0FRRDDSn.MD [31:24] です。

17.3.17.2 ビッグエンディアンアライメント

FLXA0FROC.BEC が “1” の場合、バイトアライメントは、ビッグエンディアン方式です。

(1) FLXA0FRNMVn（n = 1 ～ 3）

NMV バイトのバイトアライメントは以下のとおりです。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXAnFRNMV1	データ 0								データ 1								データ 2								データ 3							
FLXAnFRNMV2	データ 4								データ 5								データ 6								データ 7							
FLXAnFRNMV3	データ 8								データ 9								データ 10								データ 11							

(2) FLXA0FRWRDSn（n = 1 ～ 64）

FlexRay 入力バッファ内および入力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXA0FRWRDSn.MD[7:0] = $Data_{4n-1}$

FLXA0FRWRDSn.MD[15:8] = $Data_{4n-2}$

FLXA0FRWRDSn.MD[23:16] = $Data_{4n-3}$

FLXA0FRWRDSn.MD[31:24] = $Data_{4n-4}$

FlexRay バス上の転送順は、MSB が最初に転送されて FLXA0FRWRDSn.MD[31:24]、FLXA0FRWRDSn.MD [23:16]、FLXA0FRWRDSn.MD [15:8]、FLXA0FRWRDSn.MD [7:0] です。

(3) FLXA0FRRDDSn

FlexRay 出力バッファ内および出力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXA0FRRDDSn.MD[7:0] = $Data_{4n-1}$

FLXA0FRRDDSn.MD[15:8] = $Data_{4n-2}$

FLXA0FRRDDSn.MD[23:16] = $Data_{4n-3}$

FLXA0FRRDDSn.MD[31:24] = $Data_{4n-4}$

FlexRay バス上の受信順は、MSB が最初に受信されて FLXA0FRRDDSn.MD[31:24], FLXA0FRRDDSn.MD [23:16], FLXA0FRRDDSn.MD [15:8], FLXA0FRRDDSn.MD [7:0] です。

第 18 章　ルネサスハイスピードバス（RHSB）

18.1　概要

18.1.1　RHSB の特長

チャネル：本 MCU は次のチャネル数のルネサスハイスピードバス（RHSB）を搭載しています。

表 18.1　RHSB のチャネル数

RHSB	
チャネル数	2
名称	RHSB0、RHSB1

チップセレクトインデックス：RHSB は最大 2 つのチップセレクト信号を備えています。ここでは個々のチップセレクト信号をインデックス「x」で識別します。このため、あるチップセレクト信号を RHSBjCSDx と表します（j = 0, 1）。

RHSBj の各チャネルのチップセレクトの数を次表に示します。

表 18.2　RHSB のチップセレクトインデックス

RHSB チャネル	チップセレクト数
RHSB0	RHSB0CSDx（x = 0, 1）
RHSB1	RHSB1CSDx（x = 0, 1）

アップストリームシリアル入力インデックス：RHSB は最大 2 つのアップストリームシリアル入力信号を備えています。ここでは個々のアップストリームシリアル入力信号をインデックス「x」で識別します。このため、あるアップストリームシリアル入力信号を RHSBjSIx と表します（j = 0, 1）。

RHSBj の各チャネルのアップストリームシリアル入力の数を次表に示します。

表 18.3　RHSB アップストリームシリアル入力インデックス

RHSB チャネル	アップストリームシリアル入力数
RHSB0	RHSB0SIx（x = 0, 1）
RHSB1	RHSB1SIx（x = 0, 1）

18.1.2 モジュールの概要

ここでは、ルネサスハイスピードバス（RHSB）の機能について説明します。RHSB は、最大 4 つのマイクロセカンドバスチャネルに対応するマスタノードとして使用するように設計されています。また、MSC 1.0 （BOSCH/Infineon、2003 年 7 月）仕様および MSC 1.0.0（IPextreme、2007 年 7 月 27 日）仕様に準拠するように設計されています。

18.1.2.1 ダウンストリームチャネル通信機能

ダウンストリーム通信

- 同期シリアル送信
- クロック位相を選択可能で、パッシブ位相中にクロック動作を設定可能
- 設定可能な繰り返し時間は 1 ～ 512_D ビット（データビット）で、データフレーム長に依存しない。
- 設定可能なダウンストリームビットレートは、x =（2、4、5、8、16、32、64、128、256）のとき $f_{DW} = f_{PE}/x$。本製品の f_{PE} は 80MHz。
- 評価のために、実行中のダウンストリーム送信のステータスを表示

最大 2 つのスレーブを、以下を個別に設定してサポート

- チップセレクトおよびデータビットのアクティブレベル
- データフレームがある場合とない場合の選択ビット
- アサート時間（0 ～ 7_D ビット）とデアサート時間（0 ～ 7_D ビット）の長さ

ダウンストリームデータフレーム

- 各データフレーム（1 ～ 64 ビット）は個別の長さの 1 ～ 4 個の DFTE で構成
- DFTE のビットごとに個別のソース（タイマ入力、データレジスタなど）をユーザが定義可能
- 各データフレームの後ろのフレームパッシブ位相は、1 ～ 64_D ビットに構成可能
- 3 つの送信モードでデータ送信をスケジューリング

ダウンストリームコマンドフレーム

- リモートデータの要求がある場合とない場合のコマンドフレーム送信
- コマンドフレーム送信を行う 1 ～ 32_D ビットを定義する専用レジスタを使用可能
- コマンドフレームをデータフレームスケジュールに挿入する 3 種類の方法

緊急時機能

- 緊急事態の処理（イネーブル／ディスエーブル）を設定可能
- 緊急事態を MCU の入力ピン（アクティブレベルを設定可能）で識別
- 緊急時入力をレベルセンシティブとエッジセンシティブ間で選択可能
- 緊急フレームデータの送信後、送信の自動停止可能
- 緊急データ送信の DFTE ビットは専用レジスタにより個別に設定可能

18.1.2.2 アップストリームチャネル通信機能

アップストリーム通信

- 非同期シリアル受信
- データ要求に対してコマンドフレームを適用すると、スレーブ構成を自動的に選択
- データ要求によるコマンドフレームに関するスレーブの応答を監視するため、タイムアウト検出機能の有効化が可能
- 評価のために、実行中のアップストリーム受信／送信のステータスを表示機能の有効化が可能

アップストリーム通信では以下を個別に設定した最大 2 つのスレーブをサポート

- データラインのアクティブレベル
- 8 または 12 データビット、偶数または奇数のパリティビット、2 ビットまたは 3 ビットのストップビットを含むフレーム
- ダウンストリームビットレートから算出したアップストリームビットレート （$f_{UP} = f_{DW}/2^x$ 、x = 3 ～ 9、算出結果は /8 ～ /512）

最大 2 つのスレーブのアップストリームステータス

- 有効なデータを受信
- データ消失（データレジスタのオーバラン）
- タイムアウトエラー
- エラーを受信（パリティビットエラーまたはストップビットエラー）

18.1.2.3 割り込み

RHSB モジュールには割り込み要求の要因が 9 種類あります。割り込みの 5 つはダウンストリーム関連で、4 つはアップストリーム関連です。これらの割り込み要因は 5 つの割り込み要求として通知されます。

割り込み要因ごとに、個別の割り込みイネーブルビットと割り込みステータスビットがあります。

18.1.2.4 DMA のサポート

RHSB モジュールは、ダウンストリームデータ DMA 転送によるダウンストリームデータレジスタの更新をサポートしています。「データフレーム送信開始」割り込みは、この転送をトリガするのに使用されます。

RHSB モジュールは、ダウンストリームコマンド DMA 転送によるダウンストリームコマンドデータレジスタの更新をサポートしています。「コマンドフレーム送信実行」割り込みは、この転送をトリガするのに使用されます。

RHSB モジュールは、アップストリーム DMA による有効受信データの自動転送をサポートしています。

「データ受信」割り込みはこの転送をトリガするのに使用されます。

18.1.2.5 その他の機能

RHSB モジュールはキーオンテストのテストモードをサポートしています。このテストモードでは、ダウンストリーム送信からアップストリーム受信へのループバックにより、データパスを簡単にチェックすることができます。

18.1.2.6 注意事項

本製品では、RHSB のチップセレクト信号を使用する際は、端子の出力バッファ特性（ドライバビリティ）としてドライバビリティ = High の設定のみサポートしています。

出力バッファ特性の設定については、**表 2.25 PUCCn レジスタの内容**をご参照下さい。

18.1.3 ブロック図

図 18.1 に RHSB モジュールのトップレベルのブロック図を示します。

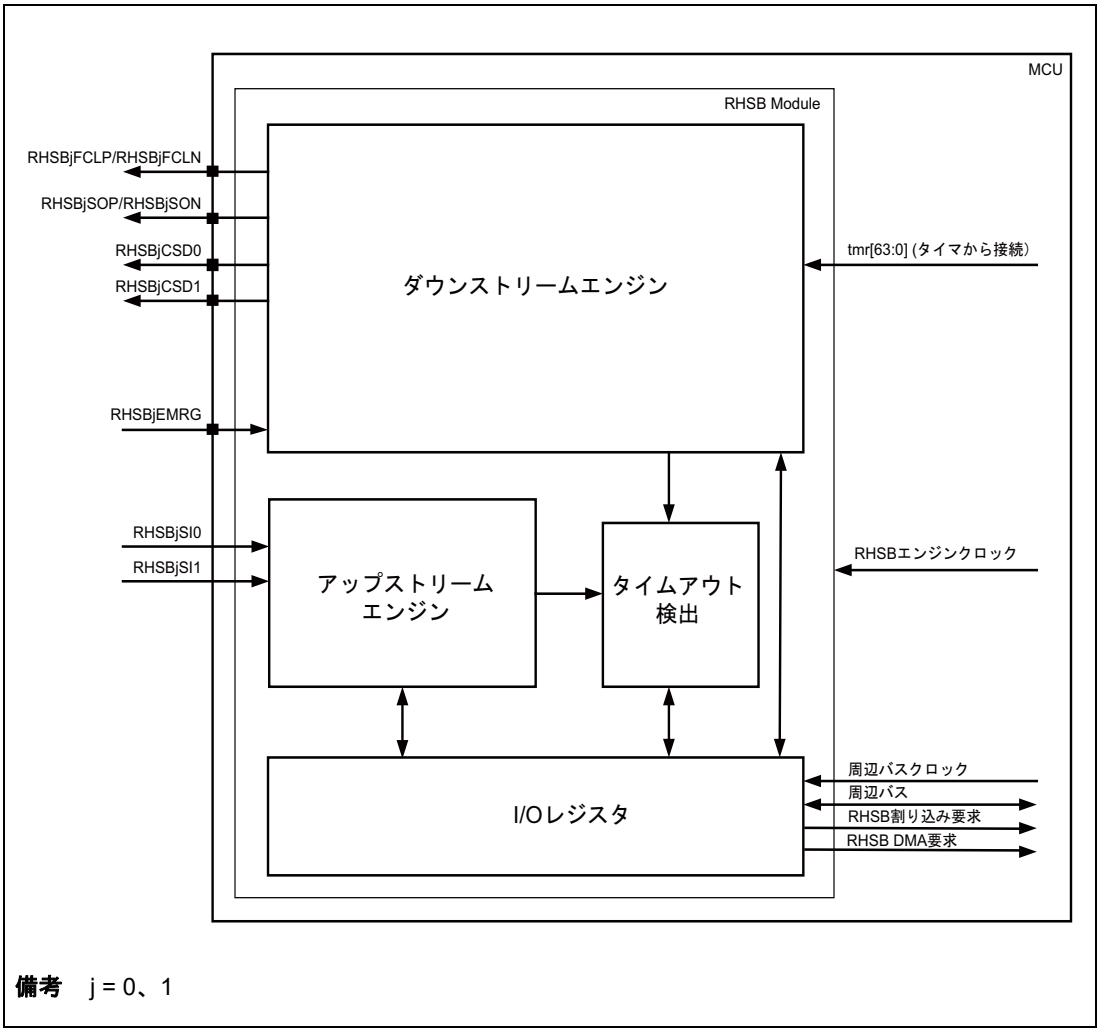


図 18.1 トップレベルのブロック図

タイマ tmr[63:0] は XBAR によって選択された ATU-IV と APA の該当ビットです。XBAR については、**「18.7 クロスバー（XBAR）」**を参照してください。

18.2 レジスタの説明

ここでは、RHSB モジュールの I/O レジスタについて詳しく説明します。

レジスタビットへの書き込みは、ハードウェアによる書き込みが CPU による書き込み（ソフトウェア書き込み）よりも優先されます。

18.2.1 I/O レジスタの概要

RHSB のアドレス範囲は、<RHSBj_base> + 00_H から始まり <RHSBj_base> + $7F_H$ で終わります。

<RHSBj_base> を**表 18.4** に示します。

RHSB モジュールのレジスタマップを**表 18.5** に示します。

表 18.4 ベースアドレス <RHSBj_base>

RHSBj	RHSBj_base
RHSB0	FFEE 0000_H
RHSB1	FFEE 1000_H

RHSBjGC.RHSBjOPS が RESET の間、RHSB モジュールはリセット状態のままです。
表 18.5 および I/O レジスタの説明に「リセット後の値」で示される値は、このリセット状態に関連しています。

RHSB の動作モードの詳細については、**「18.3 動作説明」**を参照してください。

RHSB モジュールのモジュール固有のベースアドレスは、指定されたそれぞれのオフセットアドレスに追加する必要があります。

表 18.5 I/O レジスタアドレスマップ (1/2)

レジスタ名	シンボル 注1	リセット後の値	アドレス	アクセスサイズ
グローバル設定レジスタ	RHSBjGC	0000 0000_H	<RHSBj_base> + 00_H	32, 16, 8
モジュールステータスレジスタ	RHSBjMSR	0001 0000_H	<RHSBj_base> + 08_H	32, 16, 8
ダウンストリーム設定レジスタ	RHSBjDCR	0011 $FF00_H$	<RHSBj_base> + 10_H	32, 16
データエレメント設定レジスタ	RHSBjDEC	0000 0000_H	<RHSBj_base> + 14_H	32, 16, 8
スレーブデバイス設定レジスタ i （i = 0）	RHSBjSDCi	0000 0000_H	<RHSBj_base> + 18_H + 4*i	32, 16
データエレメントビット割り当てレジスタ m （m = 0 ～ 3）	RHSBjDEBAm	0000 0000_H	<RHSBj_base> + 20_H + 4*m	32, 16
緊急ビットイネーブルレジスタ i （i = 0, 1）	RHSBjEBEi	0000 0000_H	<RHSBj_base> + 30_H + 4*i	32, 16
ダウンストリーム送信制御レジスタ	RHSBjDTC	0000 0000_H	<RHSBj_base> + 38_H	32, 16, 8
ダウンストリームコマンドデータレジスタ	RHSBjDCD	0000 0000_H	<RHSBj_base> + $3C_H$	32, 16
ダウンストリームデータレジスタ i （i = 0, 1）	RHSBjDDRi	0000 0000_H	<RHSBj_base> + 40_H + 4*i	32, 16
ダウンストリーム緊急データレジスタ i （i = 0, 1）	RHSBjDEDi	0000 0000_H	<RHSBj_base> + 48_H + 4*i	32, 16
アップストリーム設定レジスタ	RHSBjUCR	0000 1800_H	<RHSBj_base> + 50_H	32, 16, 8
アップストリームチャネル設定レジスタ	RHSBjUCC	$0F0F\ 0F0F_H$	<RHSBj_base> + 54_H	32, 16, 8
アップストリームチャネル選択レジスタ	RHSBjUCS	0000 0000_H	<RHSBj_base> + 58_H	32, 16, 8
アップストリームデータ読み出しレジスタ	RHSBjUDR	0000 0000_H	<RHSBj_base> + $5C_H$	32, 16, 8
アップストリームデータレジスタ i （i = 0, 1）	RHSBjUDi	0000 0000_H	<RHSBj_base> + 60_H + 4*i	32, 16, 8
アップストリームステータスサマリレジスタ	RHSBjUSS	0000 0000_H	<RHSBj_base> + 70_H	32, 16, 8
割り込み制御レジスタ	RHSBjIC	0000 0000_H	<RHSBj_base> + 74_H	32, 16, 8

表 18.5 I/O レジスタアドレスマップ (2/2)

レジスタ名	シンボル 注1	リセット後の値	アドレス	アクセスサイズ
割り込みステータスレジスタ	RHSBjIS	$0000\ 0000_H$	<RHSBj_base> + 78_H	32, 16, 8
周期 1 用ダウンストリーム設定レジスタ	RHSBjDCR1	$0000\ 0000_H$	<RHSBj_base> + $7C_H$	32, 16, 8

注 1. j = 0, 1

表 18.5 に記載されたアクセスサイズは、書き込みアクセスに不可欠です。また、レジスタはすべて 8、16 および 32 ビットアクセスにより読み出し可能です。

表 18.5 で「リザーブレジスタ」と表示されたレジスタにはアクセスしないでください。

また、ビットを I/O レジスタの説明で「無効」と指定された値に設定しないでください。

18.2.2 記号説明

ここでは、**「18.2.3 共通制御部のレジスタ説明」**～**「18.2.6 割り込みレジスタ」**において I/O レジスタの説明で使用される、モジュールの状態に依存する略称について説明します。

条件

- R/W: ビットは読み出し／書き込み可能
- R: このビットは読み出しのみ有効で、書き込みは無効

レジスタ名とレジスタビット名に使用されるインデックス

i: 汎用インデックス

m: DFTEm 関連のインデックス

n: スレーブ n 関連のインデックス

リザーブビット：

- 常に 0 が読み出される
- これらのビットへの書き込みは無効（ハードウェア保護）

18.2.3 共通制御部のレジスタ説明

18.2.3.1 RHSBjGC — グローバル設定レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 00_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RHSBj DCDE	RHSBj DDE	RHSBj UDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RHSBjOPS [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 18.6 RHSBjGC レジスタの内容

ビット位置	ビット名	機能
31 ～ 19	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	RHSBjDCDE	ダウンストリームコマンド DMA 要求許可ビット 0_B：ダウンストリームコマンド DMA 要求禁止 1_B：ダウンストリームコマンド DMA 要求許可
17	RHSBjDDE	ダウンストリームデータ DMA 要求許可ビット 0_B：ダウンストリームデータ DMA 要求禁止 1_B：ダウンストリームデータ DMA 要求許可
16	RHSBjUDE	アップストリーム DMA 要求許可ビット 0_B：アップストリーム DMA は要求禁止 1_B：アップストリーム DMA は要求許可
15 ～ 2	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	RHSBjOPS [1:0]	動作ステータス 00_B：RESET 状態 01_B：CONFIG 状態 10_B：ACTIVE 状態 11_B：TEST 状態

(1) RHSBjGC.RHSBjDCDE — ダウンストリームコマンド DMA 要求許可

RHSBjIS.RHSBjCTF が、割り込み要因として使用されている（RHSBjIC.RHSBjCTIE = 1_B）ときは、このビットを 1_B に設定しないでください。

このビットは、RHSBjIS.RHSBjCTF が 1_B のとき、ダウンストリームコマンドデータレジスタ（RHSBjDCD）とダウンストリーム送信制御レジスタ（RHSBjDTC）がダウンストリーム DMA 転送によって更新され、コマンドデータがスレーブに転送されるかどうかを定義します。

ダウンストリームコマンド DMA の詳細については、**「18.6.2　ダウンストリームコマンド送信での DMA の使用」**を参照してください。

(2) RHSBjGC. RHSBjDDE — ダウンストリームデータ DMA イネーブル

RHSBjIS. RHSBjDTSF が割り込み要因として使用されている（RHSBjIC.RHSBj DTSIE = 1_B）ときは、このビットを 1_B に設定しないでください。

このビットは、RHSBjIS.RHSBjDTSF が 1_B のとき、ダウンストリームデータレジスタ（RHSBjDDRi）をダウンストリーム DMA 転送によって更新するかどうかを定義します。

ダウンストリームデータ DMA の詳細については、**「18.6.1　ダウンストリームデータ送信での DMA の使用」**を参照してください。

(3) RHSBjGC. RHSBjUDE — アップストリーム DMA イネーブル

RHSBjIS.RHSBjDRF が割り込み要因として使用されている（RHSBjIC.RHSBjDRIE = 1_B）ときは、このビットを 1_B に設定しないでください。

このビットは、RHSBjIS. RHSBjDRF が 1_B のとき、アップストリームデータレジスタ（RHSBjUDR）をアップストリーム DMA によって転送するかどうかを定義します。

アップストリーム DMA の詳細については、**「18.6.3　アップストリームデータ受信での DMA の使用」**を参照してください。

(4) RHSBjGC. RHSBjOPS — 動作ステータス

RHSBjGC.RHSBjOPS が 00_B または 10_B のとき、これらのビットに 11_B（TEST）を書き込むことはできません。

また、RHSBjGC.RHSBjOPS が 00_B または 11_B のとき、これらのビットに 10_B（ACTIVE）を書き込むことはできません。

これらのビットは RHSB モジュールの現在の動作状態を定義します。

グローバル動作状態の詳細については、**「18.3　動作説明」**を参照してください。

18.2.3.2 RHSBjMSR — モジュールステータスレジスタ

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RHSBj_base> + 08_H

リセット後の値 $0001\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	RHSBjDFA[2:0]			—	—	—	—	—	—	—	RHSBjTPS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RHSBjUFA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.7 RHSBjMSR レジスタの内容

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26 ～ 24	RHSBjDFA[2:0]	ダウンストリームフレーム動作 000_B：インターフレームパッシブまたはディスエーブル 001_B：データフレームのパッシブ位相 010_B：コマンドフレームのアクティブ位相 011_B：コマンドフレームのパッシブ位相 100_B：データフレームのアクティブ位相（DFTE0） 101_B：データフレームのアクティブ位相（DFTE1） 110_B：データフレームのアクティブ位相（DFTE2） 111_B：データフレームのアクティブ位相（DFTE3）
23 ～ 17	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	RHSBjTPS	送信周期ステータス 0_B：周期 0 1_B：周期 1
15 ～ 1	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RHSBjUFA	アップストリームフレーム動作 0_B：アップストリームはアイドル状態 1_B：アップストリームフレームのデコードを実行中

(1) RHSBjMSR. RHSBjDFA — ダウンストリームフレーム動作

これらのビットはダウンストリーム送信の詳細を示します。これらのビットはダウンストリーム通信レートが 5 M ビット／秒以下の場合、有効です。

データフレームのアクティブ位相用に、転送中の DFTE にフラグが付けられます。スレーブ選択ビット（アサート位相、デアサート位相）に、関連する DFTE の部分としてフラグが付けられます。

［変更条件］

これらのビットは、ダウンストリーム通信の位相が変わると更新されます。

これらのビットは、送信に使用される DFTE の数が変わると更新されます。

これらのビットは、CONFIG 状態に入ると 000_B に設定されます。

(2) RHSBjMSR.RHSBjTPS — 送信周期ステータス

このビットはマルチ周期繰り返しモードのみ、有効です。

このビットは送信周期をカウントし、指示しています。

送信開始の際、このビットは 0_B から動作開始します。

［変更条件］

マルチ周期繰り返しモード設定時、このビットはタイムテックのタイミングで、更新されます。

［セット条件］

ユーザは RHSBjDTC.RHSBjDTE に 1_B を書き込んだ際、このビットは 1_B となります。

緊急時機能の許可ビット（RHSBjDCR.RHSBjEE）は 11_B にセットされたとき、このビットは 1_B となります。

CONFIG 状態に入ると、このビットは 1_B となります。

(3) RHSBjMSR. RHSBjUFA — アップストリームフレーム動作

このビットは、アップストリームデコーダが開始ビットを検出し、フレームが現在デコードされていることを表します。

［クリア条件］

このビットは、アップストリームデコーダが受信中の状態を抜けると 0_B に設定されます。

［セット条件］

このビットは、アップストリームデコーダが受信中の状態に入ると 1_B に設定されます。

18.2.4 ダウンストリーム（Tx）の レジスタ説明

18.2.4.1 RHSBjDCR — ダウンストリーム設定レジスタ

アクセス 16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 10_H

リセット後の値 $0011\ FF00_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RHSBjSLS[1:0]		RHSBjDFP[5:0]						RHSBjDBR[3:0]				RHSBjCIM[1:0]		RHSBj CTD	RHSBj REP[8]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RHSBjREP[7:0]								RHSBj CLP	RHSBj CAC	RHSBjEE[1:0]		RHSBjE IM	RHSBjE IP	RHSBjDMS [1:0]	
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.8 RHSBjDCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	RHSBjSLS[1:0]	シーケンス長設定 00_B：1 DFTE （DFTE0） 01_B：2 DFTE （DFTE0、DFTE1） 10_B：3 DFTE （DFTE0 ～ DFTE2） 11_B：4 DFTE （DFTE0 ～ DFTE3）
29 ～ 24	RHSBjDFP[5:0]	データフレームパッシブ長 データフレームのパッシブ位相の長さ
23 ～ 20	RHSBjDBR[3:0]	ダウンストリームビットレート 0_D：設定禁止 1_D：$f_{DW} = f_{PE}/2$ 2_D：設定禁止 3_D：$f_{DW} = f_{PE}/4$ 4_D：$f_{DW} = f_{PE}/5$ 5_D：設定禁止 6_D：設定禁止 7_D：$f_{DW} = f_{PE}/8$ 8_D：$f_{DW} = f_{PE}/16$ 9_D：$f_{DW} = f_{PE}/32$ 10_D：$f_{DW} = f_{PE}/64$ 11_D：$f_{DW} = f_{PE}/128$ その他：$f_{DW} = f_{PE}/256$
19、18	RHSBjCIM[1:0]	コマンドフレーム挿入法 00_B：タイムスロット法 01_B：即時法 10_B：ベストエフォート法 11_B：設定禁止
17	RHSBjCTD	コマンドフレーム送信遅延 0_B：制約なし 1_B：連続するコマンドフレームの送信を阻止
16 ～ 8	RHSBjREP[8:0]	繰り返し時間長 データフレームの繰り返し時間の長さ
7	RHSBjCLP	クロックライン位相 0_B：立ち上がりエッジで変化 1_B ：立ち下がりエッジで変化
6	RHSBjCAC	クロックアクティブ制御 0_B：パッシブ位相時、クロックは非アクティブ 1_B：クロックは常にアクティブ

表 18.8 RHSBjDCR レジスタの内容 (2/2)

ビット位置	ビット名	機能
5、4	RHSBjEE[1:0]	緊急時機能の許可ビット 00_B：緊急時機能の禁止 01_B：緊急時機能の許可（自動停止禁止） 10_B：設定禁止 11_B：緊急時機能の許可（自動停止許可）
3	RHSBjEIM	緊急信号の検出設定ビット 0_B：エッジ検出 1_B：レベル検出
2	RHSBjEIP	緊急信号の入力極性設定ビット 0_B：ハイレベルまたは立ち上がりエッジ 1_B：ロウレベルまたは立ち下がりエッジ
1、0	RHSBjDMS [1:0]	ダウンストリームモード選択 00_B：シングル周期繰り返しモード 01_B：トリガモード 10_B：マルチ周期繰り返しモード 11_B：設定禁止

(1) RHSBjDCR. RHSBjSLS — シーケンス長設定

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、1 つのダウンストリームデータフレームのアセンブルに使用される DFTE の数を定義します。

(2) RHSBjDCR. RHSBjDFP — データフレームパッシブ長

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、データフレームのフレームパッシブ位相の長さ（1 ～ 64_D ビット）を定義します。

すなわち、これらのビットが 0d のとき、フレームパッシブ位相の長さは 1_D ビットになります。

1_D ビットのフレームパッシブ位相は、MSC の仕様によれば有効ではないことに注意してください。

(3) RHSBjDCR. RHSBjDBR — ダウンストリームビットレート

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、ダウンストリームビットレートを f_{PE} クロックから算出する方法を定義します。

(4) RHSBjDCR. RHSBjCIM — コマンドフレームの挿入法

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、実行中のダウンストリームのスケジュールにコマンドフレームを挿入する方法を定義します。

これらの方法には次のものがあります。

タイムスロット法：

定義された繰り返し時間内に処理できるようにコマンドフレームの送信を遅延させます。繰り返し時間はコマンドフレームの送信により影響されません。

即時法：

コマンドフレームの送信を至急処理します。送信時には、繰り返し時間を再調整できます。

ベストエフォート法

コマンドフレームの送信はデータフレーム送信に対する影響を最小限に抑え、至急処理します。繰り返し時間はコマンドフレーム送信に影響されません。

(5) RHSBjDCR. RHSBjCTD — コマンドフレーム送信遅延

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、2 つのコマンドフレームの間に少なくとも 1 つのデータフレームが入るようにコマンドフレーム送信を制限するかどうかを定義します。

(6) RHSBjDCR. RHSBjREP — 繰り返し時間長

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、シングル周期繰り返しモードおよびマルチ周期繰り返しモードでダウンストリーム通信に使用される繰り返し時間の長さ（1 ～ 512_D ビット）を定義します。

すなわち、これらのビットが 0_D のとき、繰り返し時間は 1_D ビットになります。

詳細については、「**18.4.1.3　ダウンストリームモード (2)　繰り返しモード（シングル周期繰り返し、マルチ周期繰り返し）**」を参照してください。

(7) RHSBjDCR. RHSBjCLP — クロックライン位相

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、シリアルデータライン（RHSBjSOP、RHSBjSON（j = 0, 1））とチップセレクトライン（RHSB0CSD0-1、RHSB1CSD0-1）がシリアルクロックライン（RHSBjFCLP、RHSBjFCLN（j = 0, 1））の立ち上がりエッジと立ち下がりエッジのどちらで変化しているかを示します。

(8) RHSBjDCR. RHSBjCAC — クロックアクティブ制御

このビットは、パッシブ位相でのダウンストリームシリアルクロックライン（RHSBjFCLP、RHSBjFCLN（j = 0, 1））の動作を規定します。アクティブ位相時は、クロックは常にアクティブです。

(9) RHSBjDCR. RHSBjEE — 緊急時イネーブル

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、RHSB モジュールの緊急時機能をイネーブルします。

また、これらのビットは、緊急フレームの送信後にデータ送信を停止させるかどうかを定義します。

(10) RHSBjDCR. RHSBjEIM — 緊急入力モード

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、緊急事態が外部の緊急信号（RHSBjEMRG（j = 0, 1））によってどのように生じるかを定義します。

(11) RHSBjDCR. RHSBjEIP — 緊急入力極性

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、外部の緊急信号（RHSBjEMRG（j = 0, 1））のアクティブレベルを定義します。

(12) RHSBjDCR. RHSBjDMS — ダウンストリームモード選択

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、ダウンストリームチャネルのタイミングモードを定義します。

18.2.4.2　RHSBjDCR1 — 周期 1 用ダウンストリーム設定レジスタ

アクセス　8、16、32 ビット単位でリード／ライト可能です。

アドレス　<RHSBj_base> + $7C_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RHSBjSLS1[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.9　RHSBjDCR1 レジスタの内容

ビット位置	ビット名	機能
31、30	RHSBjSLS1	周期 1 のシーケンス長設定 00_B：1 DFTE（DFTE0） 01_B：2 DFTE（DFTE0、DFTE1） 10_B：3 DFTE（DFTE0 ～ DFTE2） 11_B：4 DFTE（DFTE0 ～ DFTE3）
29 ～ 0	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) RHSBjDCR1.RHSBjSLS1 — 周期 1 のシーケンス長設定

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、1 つのダウンストリームデータフレームのアセンブルに使用される DFTE の数を定義します。

マルチ周期繰り返しモードのときにのみ使用可能です。RHSBjDCR1.RHSBjSLS1 の値が RHSBjDCR.RHSBjSLS の値以下となるようにしてください。

18.2.4.3　RHSBjDEC — データエレメント設定レジスタ

アクセス　8、16、32 ビット単位でリード／ライト可能です。

アドレス　<RHSBj_base> + 14_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RHSBjSSD0 [1:0]		RHSBjNDB0[3:0]				—	—	RHSBjSSD1 [1:0]		RHSBjNDB1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RHSBjSSD2 [1:0]		RHSBjNDB2[3:0]				—	—	RHSBjSSD3 [1:0]		RHSBjNDB3[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 18.10　RHSBjDEC レジスタの内容

ビット位置	ビット名	機能
31、30	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29、28	RHSBjSSD0 [1:0]	DFTE0 用スレーブ選択 DFTE0 の送信時に選択されるスレーブ
27 ～ 24	RHSBjNDB0 [3:0]	データビット数 0 DFTE0 のうち使用されるデータビット数
23、22	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21、20	RHSBjSSD1 [1:0]	DFTE1 用スレーブ選択 DFTE1 の送信時に選択されるスレーブ
19 ～ 16	RHSBjNDB1 [3:0]	データビット数 1 DFTE1 のうち使用されるデータビット数
15、14	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	RHSBjSSD2 [1:0]	DFTE2 用スレーブ選択 DFTE2 の送信時に選択されるスレーブ
11 ～ 8	RHSBjNDB2 [3:0]	データビット数 2 DFTE2 のうち使用されるデータビット数
7、6	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	RHSBjSSD3 [1:0]	DFTE3 用スレーブ選択 DFTE3 の送信時に選択されるスレーブ
3 ～ 0	RHSBjNDB3[3: 0]	データビット数 3 DFTE3 のうち使用されるデータビット数

(1) RHSBjDEC. RHSBjSSDm — DFTEm 用スレーブ選択（m = 0 ～ 3）

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、ダウンストリームフレームの送信エレメント m（DFTEm）によってどのスレーブが指定されるかを定義します。10_B、11_B は設定禁止です。

(2) RHSBjDEC. RHSBjNDBm — データビット数 m（m = 0 ～ 3）

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、データフレーム送信で DFTEm のうち使用されるビット数（1 ～ 16）を定義します。

すなわち、これらのビットが 0_D のとき、DFTEm のうち 1 ビットが送信されます。

18.2.4.4 RHSBjSDCi — スレーブデバイス設定レジスタ i （i = 0）

アクセス 16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 18_H + 4_H × i

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	RHSBjAPLn[2:0]			—	—	RHSBj CSLPn	RHSBjS OLPn	RHSBj CPSn	RHSBjDPLn[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RHSBjAPLn[2:0]			—	—	RHSBj CSLPn	RHSBjS OLPn	RHSBj CPSn	RHSBjDPLn[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

注 1. n = 2 * i（31 ～ 16 ビット）

注 2. n = 2 * i + 1（15 ～ 0 ビット）

表 18.11 RHSBjSDCi レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26 ～ 24	RHSBjAPLn [2:0]	アサート位相長さ スレーブ 0 のアサート位相の長さ
23、22	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	RHSBjCSLPn	チップセレクトライン極性 スレーブ 0 のチップセレクトライン極性 0_B：アクティブ “H” 1_B：アクティブ “L”
20	RHSBjSOLPn	シリアル出力ライン極性 0_B：反転はディスエーブル 1_B：反転はイネーブル
19	RHSBjCPSn	内容位相選択ビットイネーブル スレーブ 0 の内容位相選択ビットイネーブル 0_B：選択ビットなし 1_B：選択ビットあり
18 ～ 16	RHSBjDPLn [2:0]	デアサート位相長さ スレーブ 0 のデアサート位相の長さ
15 ～ 11	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ～ 8	RHSBjAPLn [2:0]	アサート位相長さ スレーブ 1 のアサート位相の長さ
7、6	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	RHSBjCSLPn	チップセレクトライン極性 スレーブ 1 のチップセレクトライン極性 0_B：アクティブハイ 1_B：アクティブロウ

表 18.11 RHSBjSDCi レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	RHSBjSOLPn	シリアル出力ライン極性 スレーブ 1 のシリアル出力ライン極性 0_B：反転はディスエーブル 1_B：反転はイネーブル
3	RHSBjCPSn	内容位相選択ビットイネーブル スレーブ 1 の内容位相選択ビットイネーブル 0_B：選択ビットなし 1_B：選択ビットあり
2 ～ 0	RHSBjDPLn [2:0]	デアサート位相長さ スレーブ 1 のデアサート位相の長さ

(1) RHSBjSDCi. RHSBjAPLn — アサート位相長さ（n = 0, 1）

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、スレーブ n へのフレーム送信に使用されるアサート位相（0 ～ 7_D ビット）を定義します。これらのビットが 0d であれば、アサート位相はありません。

(2) RHSBjSDCi. RHSBjCSLPn — チップセレクトライン極性（n = 0, 1）

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、スレーブ n のチップセレクトライン（RHSBjCSDn（n = 0, 1））の極性を定義します。

(3) RHSBjSDCi. RHSBjSOLPn — シリアル出力ライン極性（n = 0, 1）

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、スレーブ n が選択されたときのシリアルデータライン（RHSBjSOP、RHSBjSON（j = 0, 1））の反転を定義します。

(4) RHSBjSDCi. RHSBjCPSn — 内容位相選択ビットイネーブル（n = 0, 1）

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、スレーブ n に送信されるデータフレームに選択ビットがあるかどうかを定義します。

コマンドフレームには、選択ビットが常に存在することに注意してください。

(5) RHSBjSDCi. RHSBjDPLn — デアサート位相長さ（n = 0, 1）

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、スレーブ n へのフレーム送信に使用されるデアサート位相（0 ～ 7_D ビット）を定義します。これらのビットが 0d であれば、デアサート位相はありません。

18.2.4.5 RHSBjDEBAm — データエレメントビット割り当てレジスタ m（m = 0 ～ 3）

アクセス 16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 20_H + 4_H × m

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RHSBjDSS15 [1:0]		RHSBjDSS14 [1:0]		RHSBjDSS13 [1:0]		RHSBjDSS12 [1:0]		RHSBjDSS11 [1:0]		RHSBjDSS10 [1:0]		RHSBjDSS9 [1:0]		RHSBjDSS8 [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RHSBjDSS7 [1:0]		RHSBjDSS6 [1:0]		RHSBjDSS5 [1:0]		RHSBjDSS4 [1:0]		RHSBjDSS3 [1:0]		RHSBjDSS2 [1:0]		RHSBjDSS1 [1:0]		RHSBjDSS0 [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.12 RHSBjDEBAm レジスタの内容

ビット位置	ビット名	機能
31、30	RHSBjDSS15 [1:0]	データソース選択 15 DFTEm のビット 15 のデータソース選択
29、28	RHSBjDSS14 [1:0]	データソース選択 14 DFTEm のビット 14 のデータソース選択
27、26	RHSBjDSS13 [1:0]	データソース選択 13 DFTEm のビット 13 のデータソース選択
25、24	RHSBjDSS12 [1:0]	データソース選択 12 DFTEm のビット 12 のデータソース選択
23、22	RHSBjDSS11 [1:0]	データソース選択 11 DFTEm のビット 11 のデータソース選択
21、20	RHSBjDSS10 [1:0]	データソース選択 10 DFTEm のビット 10 のデータソース選択
19、18	RHSBjDSS9 [1:0]	データソース選択 9 DFTEm のビット 9 のデータソース選択
17、16	RHSBjDSS8 [1:0]	データソース選択 8 DFTEm のビット 8 のデータソース選択
15、14	RHSBjDSS7 [1:0]	データソース選択 7 DFTEm のビット 7 のデータソース選択
13、12	RHSBjDSS6 [1:0]	データソース選択 6 DFTEm のビット 6 のデータソース選択
11、10	RHSBjDSS5 [1:0]	データソース選択 5 DFTEm のビット 5 のデータソース選択
9、8	RHSBjDSS4 [1:0]	データソース選択 4 DFTEm のビット 4 のデータソース選択
7、6	RHSBjDSS3 [1:0]	データソース選択 3 DFTEm のビット 3 のデータソース選択
5、4	RHSBjDSS2 [1:0]	データソース選択 2 DFTEm のビット 2 のデータソース選択
3、2	RHSBjDSS1 [1:0]	データソース選択 1 DFTEm のビット 1 のデータソース選択
1、0	RHSBjDSS0 [1:0]	データソース選択 0 DFTEm のビット 0 のデータソース選択

(1) RHSBjDEBAm. RHSBjDSSi — データソース選択 i （i = 0 ～ 15）

RHSBjGC.RHSBjOPS が 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、RHSBjDFTEm のビット i のデータソースを定義します。

00_B：タイマ入力によりビットが選択される

01_B：タイマ入力により反転ビットが選択される

10_B：ダウンストリームデータレジスタ RHSBjDDR0 または RHSBjDDR1 によりビットが選択される

11_B：無効

ビット選択およびビットマッピングの詳細については、**「18.4.1.6　データフレームのアセンブル」**を参照してください。

18.2.4.6 RHSBjEBEi — 緊急ビットイネーブルレジスタ i（i = 0, 1）

アクセス 16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 30_H + 4_H × i

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RHSBjEBE[15 + 32*i : 8 + 32*i]								RHSBjEBE[7 + 32*i : 32*i]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RHSBjEBE[31 + 32*i : 24 + 32*i]								RHSBjEBE[23 + 32*i : 16 + 32*i]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.13 RHSBjEBEi レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RHSBjEBE [15+32*i:8+32*i]	緊急ビットイネーブル DFTE i*2 （DFTE0、DFTE2）の緊急時イネーブル 0_B：このビットの緊急時機能はディスエーブル 1_B：このビットの緊急時機能はイネーブル
23 ～ 16	RHSBjEBE [7+32*i:32*i]	
15 ～ 8	RHSBjEBE [31+32*i:24+32*i]	緊急ビットイネーブル DFTE 1 ＋ i*2 （DFTE1、DFTE3）の緊急時イネーブル 0_B：このビットの緊急時機能はディスエーブル 1_B：このビットの緊急時機能はイネーブル
7 ～ 0	RHSBjEBE [23+32*i:16+32*i]	

(1) RHSBjEBEi. RHSBjEBE — 緊急ビットイネーブル

RHSBjGC.RHSBjOPS が 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、データフレームビットの緊急時機能がイネーブルかどうかを定義します。

各ビットは RHSBjDFTE の対応するビットの緊急時機能をイネーブルします。RHSBjDFTE0 は RHSBjEBE0[31:16] によって、RHSBjDFTE1 は RHSBjEBE0[15:0] によって、RHSBjDFTE2 は RHSBjEBE1[31:16] によって、RHSBjDFTE3 は RHSBjEBE1[15:0] によって制御されます。

詳細については**「18.4.1.6 データフレームのアセンブル」**を参照してください。

18.2.4.7 RHSBjDTC — ダウンストリーム送信制御レジスタ

本レジスタを書き換える際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 38_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	RHSBjNCB[4:0]					—	—	RHSBjSSCF [1:0]		—	—	RHSBjCTR [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RHSBjTSR	RHSBjDTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 18.14 RHSBjDTC レジスタの内容

ビット位置	ビット名	機能
31 ～ 29	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28 ～ 24	RHSBjNCB[4:0]	コマンドビット数 コマンドフレーム送信に使用されるビットの数
23、22	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21、20	RHSBjSSCF [1:0]	コマンドフレーム用スレーブ選択 00_B：コマンドをスレーブ 0 に送信 01_B：コマンドをスレーブ 1 に送信 10_B：設定禁止 11_B：設定禁止
19、18	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	RHSBjCTR [1:0]	コマンド送信要求 00_B：要求しない 01_B：受信スレーブからの返事を要求しないコマンド 10_B：無効 11_B：受信スレーブからの返事を要求するコマンド
15 ～ 2	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	RHSBjTSR	送信停止要求 0_B：要求しない 1_B：要求を保留
0	RHSBjDTE	データ送信イネーブル 0_B：ディスエーブル 1_B：イネーブル

(1) RHSBjDTC. RHSBjNCB — コマンドビット数

RHSBjDTC.RHSBjCTR = 00_B の場合のみ、これらのビットは書き込み可能です。

ダウンストリームコマンド DMA が許可（RHSBjGC.RHSBjDCDE = 1_B）の場合、これらのビットには書き込まないでください。

これらのビットは、コマンドフレーム送信に使用される RHSBjDCD レジスタのビット数（1～32）を定義します。

すなわち、これらのビットが 0_D のとき、RHSBjDCD レジスタの 1 ビットが送信されます。

(2) RHSBjDTC. RHSBjSSCF — コマンドフレーム用スレーブ選択

RHSBjDTC.RHSBjCTR = 00_B の場合のみ、これらのビットは書き込み可能です。

ダウンストリームコマンド DMA がイネーブル（RHSBjGC.RHSBjDCDE = 1_B）の場合、これらのビットには書き込まないでください。

これらのビットは、コマンドフレーム送信に指定されるスレーブを定義します。

(3) RHSBjDTC. RHSBjCTR — コマンド送信要求

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）、これらのビットへの書き込みは無効です。

RHSBjUCS.RHSBjBSY = 1_B の場合、これらのビットへの 11_B の書き込みは無効です。

RHSBjDTC.RHSBjCTR = 00_B の場合のみ、これらのビットは書き込み可能です。

ダウンストリームコマンド DMA が許可（RHSBjGC.RHSBjDCDE = 1_B）の場合、これらのビットには書き込まないでください。

これらのビットは、コマンドフレーム送信を要求するために使用されます。

［変更条件］

コマンドフレームが送信された場合、これらのビットは 00_B に設定されます。

CONFIG 状態に入ると、これらのビットは 00_B に設定されます。

(4) RHSBjDTC. RHSBjTSR — 送信停止要求

このビットは 1_B のみ書き込み可能です。

RHSBjDTC.RHSBjDTE = 0_B の場合、このビットへの 1_B の書き込みは無効です。

このビットは、実行中のデータフレーム送信がないときにデータ送信を停止させるかどうかを定義します。

［クリア条件］

データ送信がディスエーブルのときは（RHSBjDTC.RHSBjDTE = 0_B）、このビットは 0_B に設定されます。

(5) RHSBjDTC. RHSBjDTE — データ送信イネーブル

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）、このビットの書き込みは無効です。

このビットは 1_B のみ書き込み可能です。

このビットは、データフレーム送信をイネーブルするかどうかを定義します。

［クリア条件］

送信停止要求が出され（RHSBjDTC.RHSBjTSR = 1_B）、その要求が処理された場合、このビットは 0_B に設定されます。

緊急事態の検出と自動停止がイネーブルされ（RHSBjDCR.RHSBjEE = 11_B）、緊急時フレームが送信されると、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

18.2.4.8　RHSBjDCD — ダウンストリームコマンドデータレジスタ

アクセス　16、32 ビット単位でリード／ライト可能です。

アドレス　<RHSBj_base> + $3C_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RHSBjCB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RHSBjCB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.15　RHSBjDCD レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RHSBjCB[31:0]	コマンドビット これらのビットは、コマンドフレーム送信用のデータを定義します

(1)　RHSBjDCD. RHSBjCB — コマンドビット

RHSBjDTC.RHSBjCTR = 00_B の場合のみ、これらのビットは書き込み可能です。

ダウンストリームコマンド DMA が許可（RHSBjGC.RHSBjDCDE = 1_B）の場合、これらのビットには書き込まないでください。

これらのビットは、コマンドフレームのアセンブルに使用されるデータビットを定義します。

送信は LSB から行われます。

詳細については**「18.4.1.7　コマンドフレームのアセンブル」**を参照してください。

18.2.4.9 RHSBjDDRi — ダウンストリームデータレジスタ i（i = 0, 1）

アクセス 16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 40_H + 4_H × i

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RHSBjDB[15 + 32*i:8 + 32*i]								RHSBjDB[7 + 32*i:32*i]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RHSBjDB[31 + 32*i:24 + 32*i]								RHSBjDB[23 + 32*i:16 + 32*i]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.16 RHSBjDDRi レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	RHSBjDB [15+32*i:32*i]	データビット これらのビットは DFTE i*2 （DFTE0、DFTE2）のデータを定義します
15 ～ 0	RHSBjDB [31+32*i:16+32 *i]	データビット これらのビットは DFTE 1 + i*2 （DFTE1、DFTE3）のデータを定義します

(1) RHSBjDDRi.RHSBjDB — データビット

RHSBjIS.RHSBjDTSF = 1_B か、または RHSBjDTC.RHSBjDTE = 0_B の場合のみ、これらのビットは書き込み可能です。

上記以外のときに書き込みを行った場合、書き込み動作は無視され、ライトデータは消失します。

ダウンストリームデータ DMA が許可（RHSBjGC.RHSBjDDE = 1_B）の場合、これらのビットには書き込まないでください。

これらのビットは、データフレームのアセンブルに使用される RHSBjDFTE のデータビットを定義します。

各 RHSBjDFTE の送信は LSB から行われます。

RHSBjDFTE0 は RHSBjDDR0[31:16] により、RHSBjDFTE1 は RHSBjDDR0[15:0] により、RHSBjDFTE2 は RHSBjDDR1[31:16] により、RHSBjDFTE3 は RHSBjDDR1[15:0] によりアセンブルされます。

詳細については**「18.4.1.6 データフレームのアセンブル」**を参照してください。

また、RHSBjDDRi のどのビットへの書き込みがダウンストリーム送信のトリガとなるかは、RHSBjDCR.RHSBjSLS（使用される DFTE の数）に依存します。

詳細については**「18.4.1.10 データ更新およびデータフレーム送信要求」**を参照してください。

18.2.4.10 RHSBjDEDi — ダウンストリーム緊急データレジスタ i（i = 0, 1）

アクセス 16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 48_H + 4_H × i

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RHSBjEB[15 + 32*i:8 + 32*i]								RHSBjEB[7 + 32*i:32*i]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RHSBjEB[31 + 32*i:24 + 32*i]								RHSBjEB[23 + 32*i:16 + 32*i]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.17 RHSBjDEDi レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	RHSBjEB [15+32*i:32*i]	緊急データビット これらのビットは、DFTE i*2 （DFTE0、DFTE2）の緊急データを定義します。
15 ～ 0	RHSBjEB [31+32*i:16+32*i]	緊急データビット これらのビットは、DFTE 1 + i*2 （DFTE1、DFTE3）の緊急データを定義します。

(1) RHSBjDEDi.RHSBjEB — 緊急データビット

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、これらのビットは書き込み可能です。

これらのビットは、緊急状態でのデータフレームのアセンブルに使用される RHSBjDFTE のビットを定義します。

RHSBjDFTE0 は RHSBjDED0[31:16] により、RHSBjDFTE1 は RHSBjDED0[15:0] により、RHSBjDFTE2 は RHSBjDED1[31:16] により、RHSBjDFTE3 は RHSBjDED1[15:0] によりアセンブルされます。

詳細については**「18.4.1.6 データフレームのアセンブル」**を参照してください。

18.2.5 アップストリーム （Rx）のレジスタ説明

18.2.5.1 RHSBjUCR — アップストリーム設定レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 50_H

リセット後の値 $0000\ 1800_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	RHSBjRTO[4:0]					—	—	—	—	RHSBjUE	RHSBjTOE	RHSBjUMS	RHSBjFSM
リセット後の値	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 18.18 RHSBjUCR レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12 ～ 8	RHSBjRTO[4:0]	受信タイムアウト時間 U ビットのタイムアウト時間
7 ～ 4	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RHSBjUE	アップストリームイネーブル 0_B：ディスエーブル 1_B：イネーブル
2	RHSBjTOE	タイムアウトイネーブル 0_B：ディスエーブル 1_B：イネーブル
1	RHSBjUMS	アップストリームモード選択 0_B：DEDICATED モード 1_B：SHARED モード
0	RHSBjFSM	フレーム格納方法 0_B：通常の格納方法 1_B：指定された格納方法 詳細については**「18.4.2.4 フレームの格納」**を参照してください。

(1) RHSBjUCR.RHSBjRTO — 受信タイムアウト時間

これらのビットは、タイムアウトカウンタが終了する前に名目のアップストリームビット時間数を定義します。

すなわち、これらのビットが 24_D（18_H）のとき、タイムアウト時間の長さは 25U ビットとなります。

(2) RHSBjUCR.RHSBjUE — アップストリームイネーブル

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、アップストリームチャネル受信をイネーブルするかどうかを定義します。

(3) RHSBjUCR.RHSBjTOE — タイムアウトイネーブル

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、タイムアウト機能をイネーブルするかどうかを定義します。

(4) RHSBjUCR.RHSBjUMS — アップストリームモード選択

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、RHSB モジュールのシリアル入力ラインにスレーブを接続する方法を定義します。

(5) RHSBjUCR.RHSBjFSM — フレーム格納方法

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、アップストリームデコードの結果を格納する場所を定義します。

18.2.5.2 RHSBjUCC — アップストリームチャネル設定レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 54_H

リセット後の値 $0F0F\ 0F0F_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RHSBjUFT0	RHSBjSBN0	RHSBjILP0	RHSBjPC0	RHSBjUBR0[3:0]				RHSBjUFT1	RHSBjSBN1	RHSBjILP1	RHSBjPC1	RHSBjUBR1[3:0]			
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.19 RHSBjUCC レジスタの内容

ビット位置	ビット名	機能
31	RHSBjUFT0	アップストリームフレームタイプ チャネル 0 のアップストリームフレームが、8 ビットと 12 ビットのどちらのデータ形式を使用するかを定義します
30	RHSBjSBN0	ストップビット数 チャネル 0 のアップストリームフレームが、2 ビットと 3 ビットのどちらのストップビット形式を使用するかを定義します
29	RHSBjILP0	シリアル入力ライン極性 チャネル 0 のシリアル入力ライン（RHSBjSI0）を反転させるかどうかを定義します
28	RHSBjPC0	パリティ制御 チャネル 0 のアップストリームフレームが、偶数パリティと奇数パリティのどちらを使用するかを定義します
27 ～ 24	RHSBjUBR0 [3:0]	アップストリームビットレート チャネル 0 に使用するアップストリームビットレートを定義します
23	RHSBjUFT1	アップストリームフレームタイプ チャネル 1 のアップストリームフレームが、8 ビットと 12 ビットのどちらのデータ形式を使用するかを定義します
22	RHSBjSBN1	ストップビット数 チャネル 1 のアップストリームフレームが、2 ビットと 3 ビットのどちらのストップビット形式を使用するかを定義します
21	RHSBjILP1	シリアル入力ライン極性 チャネル 1 のシリアル入力ライン（RHSBjSI1）を反転させるかどうかを定義します
20	RHSBjPC1	パリティ制御 チャネル 1 のアップストリームフレームが、偶数パリティと奇数パリティのどちらを使用するかを定義します
19 ～ 16	RHSBjUBR1 [3:0]	アップストリームビットレート チャネル 1 に使用するアップストリームビットレートを定義します
15 ～ 0	—	リザーブビット 読み出すと、常に初期値が読み出されます。書き込む値も常に初期値にしてください。

(1) RHSBjUCC.RHSBjUFTn — アップストリームフレームタイプ

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、チャネル n で受信するアップストリームフレームのデータビット数を定義します。

0_B：8 ビットのデータフィールド形式

1_B：12 ビットのデータフィールド形式（4 ビットアドレスを含む）

(2) RHSBjUCC.RHSBjSBNn — ストップビット数

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、チャネル n で受信するアップストリームフレームのストップビット数を定義します。

0_B：2 ストップビット形式

1_B：3 ストップビット形式

(3) RHSBjUCC.RHSBjILPn — シリアル入力ライン極性

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、チャネル n のシリアル入力ラインを反転させるかどうかを定義します。

0_B：反転をディスエーブル

1_B：反転をイネーブル

RHSBjUCR.RHSBjUMS が SHARED モードの場合、RHSBjILP0 が 2 チャネルすべてに使用されることに注意してください（RHSBjILP1 は無視される）。

(4) RHSBjUCC.RHSBjPCn — パリティ制御

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

このビットは、チャネル n で受信されるアップストリームフレームのパリティビットの解釈を定義します。

0_B：偶数パリティ

1_B：奇数パリティ

(5) RHSBjUCC.RHSBjUBRn — アップストリームビットレート

RHSBjGC.RHSBjOPS = 01_B の場合（CONFIG）のみ、このビットは書き込み可能です。

これらのビットは、チャネル n のアップストリームとダウンストリームのビットレートの関係を定義します。

0_D：設定禁止

1_D：設定禁止

2_D：設定禁止

3_D：$f_{UP} = f_{DW}/8$

4_D：$f_{UP} = f_{DW}/16$

5_D：$f_{UP} = f_{DW}/32$

6_D：$f_{UP} = f_{DW}/64$

7_D：$f_{UP} = f_{DW}/128$

8_D：$f_{UP} = f_{DW}/256$

その他：$f_{UP} = f_{DW}/512$

アップストリームとダウンストリームのビットレートの組み合わせがすべて有効なわけではありません。詳細については**「18.4.2.5　アップストリームビットレート」**を参照してください。

18.2.5.3　RHSBjUCS — アップストリームチャネル選択レジスタ

アクセス　8、16、32 ビット単位でリード／ライト可能です。

アドレス　<RHSBj_base> + 58_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RHSBjBSY	—	—	—	—	—	RHSBjACC [1:0]		—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.20　RHSBjUCS レジスタの内容

ビット位置	ビット名	機能
31	RHSBjBSY	ビジー 0_B：設定済み 1_B：設定変更中
30 ～ 26	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25、24	RHSBjACC [1:0]	アクティブチャネル設定 00_B：チャネル 0 に対する設定 01_B：チャネル 1 に対する設定 10_B：設定禁止 11_B：設定禁止
23 ～ 0	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) RHSBjUCS.RHSBjBSY — ビジー

このビットは、RHSB モジュールがアクティブチャネルの設定を変更していることを示します。

［クリア条件］

アクティブチャネルの設定変更が処理された場合、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

RHSBjUCS.RHSBjACC が変更され、RHSBjGC.RHSBjOPS が 01_B（CONFIG）でない場合、このビットは 1_B に設定されます。

CONFIG 状態を抜けると、このビットは 1_B に設定されます。

(2) RHSBjUCS.RHSBjACC — アクティブチャネル設定

RHSBjUCS.RHSBjBSY が 1_B のとき、これらのビットへの書き込みは無効です。

アップストリーム受信が完了するまでにアップストリームデータ要求（RHSBjDTC.RHSBjCTR を 11_B に設定）によるコマンド送信の開始後は、これらのビットに書き込まないでください。アップストリーム受信が予想される正確な時間は、アプリケーションによって異なります。

これらのビットは、RHSBjUCC レジスタで指定され、アップストリーム受信に使用されるチャネル設定について定義します。DEDICATED モード （RHSBjUCR.RHSBjUMS = 0_B）では、これらのビットはシリアル入力ラインについても定義します。

これらのビットの変更中は、実行中の受信が停止され、タイムアウト検出が無効になることに注意してください。

［変更条件］

RHSBjDTC.RHSBjCTR を 11_B に設定することにより、アップストリームデータ要求によるコマンド送信が要求されると、これらのビットは RHSBjDTC.RHSBjSSCF の値に更新されます。

18.2.5.4 RHSBjUDR — アップストリームデータ読み出しレジスタ

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RHSBj_base> + $5C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RHSBj NDS0	RHSBj NDS1	—	—	—	—	RHSBjLUD[1:0]		—	—	—	RHSBj DL	RHSBjT O	RHSBjF ERR	RHSBjP ERR	RHSBj ND
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RHSBjEDF[3:0]				RHSBjDF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.21 RHSBjUDR レジスタの内容

ビット位置	ビット名	機能
31	RHSBjNDS0	新規データサマリ 0_B：アップストリームチャネル 0 でフォルトのないフレームの新規受信なし 1_B：アップストリームチャネル 0 でフォルトのない新規フレームを受信
30	RHSBjNDS1	新規データサマリ 0_B：アップストリームチャネル 1 でフォルトのないフレームの新規受信なし 1_B：アップストリームチャネル 1 でフォルトのない新規フレームを受信
29 ～ 26	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25、24	RHSBjLUD[1:0]	最終更新データ 00_B：UD0 （チャネル 0） 01_B：UD1 （チャネル 1）
23 ～ 21	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	RHSBjDL	データ消失 0_B：データ消失状態は検出されません 1_B：データ消失状態を検出
19	RHSBjTO	タイムアウト検出 0_B：タイムアウト状態は検出されません 1_B：タイムアウト状態を検出
18	RHSBjFERR	フレームエラー 0_B：ストップビットエラーは検出されません 1_B：ストップビットエラーを検出
17	RHSBjPERR	パリティエラー 0_B：パリティエラーは検出されません 1_B：パリティエラーを検出
16	RHSBjND	新規データ 0_B：フォルトのないフレームの新規受信なし 1_B：フォルトのない新規フレームを受信
15 ～ 12	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11 ～ 8	RHSBjEDF[3:0]	拡張データフィールド 最後に受信したフレームの 4 ビット拡張データフィールド
7 ～ 0	RHSBjDF[7:0]	データフィールド 最後に受信したフレームの 8 ビットデータフィールド

アップストリーム DMA がイネーブルされている（RHSBjGC.RHSBjUDE = 1_B）ときは、RHSBjUDR レジスタを読み出さないでください。

このレジスタを読み出すと、RHSBjIS. RHSBjDRF が 0_B に設定され、チャネル i の RHSBjUDi.RHSBjND が 0_B に設定されることに注意してください。チャネル番号 i は RHSBjUDR.RHSBjLUD によって示されます。

(1) RHSBjUDR.RHSBjNDS — 新規データサマリ

これらのビットは、チャネル i（i = 0, 1）の RHSBjUDi.RHSBjND の値を示します。

［変更条件］

RHSBjUDi.RHSBjND が変更されると、このビットは更新されます。

(2) RHSBjUDR.RHSBjLUD — 最終更新データ

これらのビットは、最後にデータ更新が発生したアップストリームデータレジスタ（RHSBjUDi）の番号を示します。

［変更条件］

RHSBjUDi.RHSBjND ビットの 1 つのセット条件が満たされると、このビットは更新されます。

(3) RHSBjUDR.RHSBjDL — データ消失

このビットは、チャネル i の RHSBjUDi.RHSBjDL の値を示します。チャネル番号 i は RHSBjUDR. RHSBjLUD によって示されます。

［変更条件］

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjDL (i = RHSBjUDR. RHSBjLUD) が変更されると、このビットは更新されます .

(4) RHSBjUDR.RHSBjTO — タイムアウト検出

このビットは、チャネル i の RHSBjUDi.RHSBjTO の値を示します。チャネル番号 i は RHSBjUDR. RHSBjLUD によって示されます。

［変更条件］

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjTO (i = RHSBjUDR.RHSBjLUD) が変更されると、このビットは更新されます。

(5) RHSBjUDR. RHSBjFERR — フレームエラー

このビットは、チャネル i の RHSBjUDi.RHSBjFERR の値を示します。チャネル番号 i は RHSBjUDR. RHSBjLUD によって示されます。

［変更条件］

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjFERR (i = RHSBjUDR.RHSBjLUD) が変更されると、このビットは更新されます。

(6) RHSBjUDR.RHSBjPERR — パリティエラー

このビットは、チャネル i の RHSBjUDi.RHSBjPERR の値を示します。チャネル番号 i は RHSBjUDR. RHSBjLUD によって示されます。

［変更条件］

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjPERR (i = RHSBjUDR.RHSBjLUD) が変更されると、このビットは更新されます。

(7) RHSBjUDR. RHSBjND — 新規データ

このビットは、チャネル i の RHSBjUDi.RHSBjND の値を示します。チャネル番号 i は RHSBjUDR.RHSBjLUD によって示されます。

［変更条件］

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjND (i = RHSBjUDR.RHSBjLUD) が変更されると、このビットは更新されます。

(8) RHSBjUDR. RHSBjEDF — 拡張データフィールド

このビットは、チャネル i の RHSBjUDi.RHSBjEDF の値を示します。チャネル番号 i は RHSBjUDR.RHSBjLUD によって示されます。

［変更条件］

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjEDF (i = RHSBjUDR.RHSBjLUD) が変更されると、このビットは更新されます。

(9) RHSBjUDR. RHSBjDF — データフィールド

このビットは、チャネル i の RHSBjUDi.RHSBjDF の値を示します。チャネル番号 i は RHSBjUDR.RHSBjLUD によって示されます。

［変更条件］

RHSBjUDR.RHSBjLUD または RHSBjUDi.RHSBjDF (i = RHSBjUDR.RHSBjLUD) が変更されると、このビットは更新されます。

18.2.5.5　RHSBjUDi — アップストリームデータレジスタ i（i = 0, 1）

本レジスタの RHSBjDL、RHSBjTO、RHSBjFERR、RHSBjPERR、RHSBjND ビットを 0_B にクリアする際は、ビット操作命令を使用しないでください。

アクセス　8、16、32 ビット単位でリード／ライト可能です。

アドレス　<RHSBj_base> + 60_H + 4_H × i

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	RHSBjDL	RHSBjTO	RHSBjFERR	RHSBjPERR	RHSBjND
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RHSBjEDF[3:0]				RHSBjDF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.22　RHSBjUDi レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	RHSBjDL	データ消失 0_B：データ消失状態は検出されません 1_B：データ消失状態を検出
19	RHSBjTO	タイムアウト検出 0_B：タイムアウト状態は検出されません 1_B：タイムアウト状態を検出
18	RHSBjFERR	フレームエラー 0_B：ストップビットエラーは検出されません 1_B：ストップビットエラーを検出
17	RHSBjPERR	パリティエラー 0_B：パリティエラーは検出されません 1_B：パリティエラーを検出
16	RHSBjND	新規データ 0_B：有効なデータを入手不能 1_B：有効なデータを入手可能
15 ～ 12	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11 ～ 8	RHSBjEDF[3:0]	拡張データフィールド 受信したフレームの 4 ビット拡張データフィールド
7 ～ 0	RHSBjDF[7:0]	データフィールド 受信したフレームの 8 ビットデータフィールド

(1) RHSBjUDi.RHSBjDL — データ消失

このビットは 0_B のみ書き込み可能です。

このビットは、このレジスタの RHSBjND ビットが 1_B のとき、チャネル i でフォルトのないフレームが受信されたことを示します。

［クリア条件］

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

このレジスタの ND ビットが 1_B のとき、ND のセット条件が満たされると、このビットは 1_B に設定されます。

(2) RHSBjUDi.RHSBjTO — タイムアウト検出

このビットは 0_B のみ書き込み可能です。

このビットは、アップストリームデータ要求によるコマンドフレーム送信後、タイムアウト時間内に有効な受信がなかったことを示します。

［クリア条件］

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

タイムアウトカウンタが終了し、RHSBjUCS.RHSBjACC がこのチャネルを示している場合、このビットは 1_B に設定されます。

(3) RHSBjUDi.RHSBjFERR — フレームエラー

このビットは 0_B のみ書き込み可能です。

このビットは、ストップビットエラーを含むフレームがチャネル i で受信されたことを示します。

［クリア条件］

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

無効なストップビットを少なくとも 1 つ含むアップストリーム受信があると、このビットは 1_B に設定されます。

(4) RHSBjUDi.RHSBjPERR — パリティエラー

このビットは 0_B のみ書き込み可能です。

このビットは、パリティエラーを含むフレームがチャネル i で受信されたことを示します。

［クリア条件］

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

無効なパリティビットを含むアップストリーム受信があると、このビットは 1_B に設定されます。

(5) RHSBjUDi.RHSBjND — 新規データ

このビットは 0_B のみ書き込み可能です。

このビットは、有効なデータを含む RHSBjUDi.RHSBjEDF および RHSBjUDi.RHSBjDF がチャネル i で受信されたことを示します。

［クリア条件］

RHSBjUDR に読み出しアクセスがあり、RHSBjUDR.RHSBjLUD がこのチャネルを示している場合、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

パリティエラーおよびストップビットエラーのないアップストリーム受信があると、このビットは 1_B に設定されます。

(6) RHSBjUDi.RHSBjEDF — 拡張データフィールド

これらのビットは、受信メッセージの 4 ビットの拡張データフィールドを示します。

8 ビットのデータ形式を使用している場合、これらのビットは不定です。

［変更条件］

RHSBjND のセット条件が満たされると、これらのビットは更新されます。

(7) RHSBjUDi.RHSBjDF — データフィールド

これらのビットは、受信メッセージの 8 ビットのデータフィールドを示します。

［変更条件］

RHSBjND のセット条件が満たされると、これらのビットは更新されます。

18.2.5.6 RHSBjUSS — アップストリームステータスサマリレジスタ

アクセス 8、16、32 ビット単位でリード可能です。

アドレス <RHSBj_base> + 70_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	RHSBjDL0	RHSBjTO0	RHSBjFERR0	RHSBjPERR0	RHSBjND0	—	—	—	RHSBjDL1	RHSBjTO1	RHSBjFERR1	RHSBjPERR1	RHSBjND1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.23 RHSBjUSS レジスタの内容

ビット位置	ビット名	機能
31 ～ 29	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	RHSBjDL0	データ消失 チャネル 0 のデータ消失表示 （RHSBjUD0.RHSBjDL）。
27	RHSBjTO0	タイムアウト検出 チャネル 0 のタイムアウト表示（RHSBjUD0.RHSBjTO）。
26	RHSBjFERR0	フレームエラー チャネル 0 のフレームエラー表示（RHSBjUD0.RHSBjFERR）。
25	RHSBjPERR0	パリティエラー チャネル 0 のパリティエラー表示（RHSBjUD0.RHSBjPERR）。
24	RHSBjND0	新規データ チャネル 0 の新規データ表示（RHSBjUD0.RHSBjND）。
23 ～ 21	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	RHSBjDL1	データ消失 チャネル 1 のデータ消失表示（RHSBjUD1.RHSBjDL）。
19	RHSBjTO1	タイムアウト検出 チャネル 1 のタイムアウト表示（RHSBjUD1.RHSBjTO）。
18	RHSBjFERR1	フレームエラー チャネル 1 のフレームエラー表示（RHSBjUD1.RHSBjFERR）。
17	RHSBjPERR1	パリティエラー チャネル 1 のパリティエラー表示（RHSBjUD1.RHSBjPERR）。
16	RHSBjND1	新規データ チャネル 1 の新規データ表示（RHSBjUD1.RHSBjND）。
15 ～ 13	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12 ～ 8	—	リザーブビット 読み出すと、常に 0 が読み出されます。
7 ～ 5	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4 ～ 0	—	リザーブビット 読み出すと、常に 0 が読み出されます。

(1) RHSBjUSS.RHSBjDLi — データ消失

このビットは、チャネル i の RHSBjUDi.RHSBjDL の値を示します。

0_B：データ消失状態は検出されない

1_B：データ消失状態を検出

［変更条件］

RHSBjUDi.RHSBjDL が変更されると、このビットは更新されます。

(2) RHSBjUSS.RHSBjTOi — タイムアウト検出

このビットは、チャネル i の RHSBjUDi.RHSBjTO の値を示します。

0_B：タイムアウト状態は検出されない

1_B：タイムアウト状態を検出

［変更条件］

RHSBjUDi.RHSBjTO が変更されると、このビットは更新されます。

(3) RHSBjUSS.RHSBjFERRi — フレームエラー

このビットは、チャネル i の RHSBjUDi.RHSBjFERR の値を示します。

0_B：ストップビットエラーは検出されない

1_B：ストップビットエラーを検出

［変更条件］

RHSBjUDi.RHSBjFERR が変更されると、このビットは更新されます。

(4) RHSBjUSS.RHSBjPERRi — パリティエラー

このビットは、チャネル i の RHSBjUDi.RHSBjPERR の値を示します。

0_B：パリティエラーは検出されない

1_B：パリティエラーを検出

［変更条件］

RHSBjUDi.RHSBjPERR が変更されると、このビットは更新されます。

(5) RHSBjUSS.RHSBjNDi — 新規データ

このビットは、チャネル i の RHSBjUDi.RHSBjND の値を示します。

0_B：有効なデータは入手不能

1_B：有効なデータを入手可能

［変更条件］

RHSBjUDi.RHSBjND が変更されると、このビットは更新されます。

18.2.6 割り込みレジスタ

18.2.6.1 RHSBjIC — 割り込み制御レジスタ

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 74_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	RHSBj DLIE	RHSBjT OIE	RHSBj UEIE	RHSBj DRIE	—	—	—	RHSBjT SIE	RHSBjE TIE	RHSBj CTIE	RHSBj DTIE	RHSBj DTSIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.24 RHSBjIC レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27	RHSBjDLIE	データ消失割り込みイネーブル 0_B：ディスエーブル 1_B：イネーブル
26	RHSBjTOIE	タイムアウト検出割り込みイネーブル 0_B：ディスエーブル 1_B：イネーブル
25	RHSBjUEIE	アップストリームエラー割り込みイネーブル 0_B：ディスエーブル 1_B：イネーブル
24	RHSBjDRIE	データ受信割り込みイネーブル 0_B：ディスエーブル 1_B：イネーブル
23 ～ 21	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	RHSBjTSIE	送信開始割り込みイネーブル 0_B：ディスエーブル 1_B：イネーブル
19	RHSBjETIE	緊急フレーム送信実行割り込みイネーブル 0_B：ディスエーブル 1_B：イネーブル
18	RHSBjCTIE	コマンドフレーム送信実行割り込みイネーブル 0_B：ディスエーブル 1_B：イネーブル
17	RHSBjDTIE	データフレーム送信実行割り込みイネーブル 0_B：ディスエーブル 1_B：イネーブル
16	RHSBjDTSIE	データフレーム送信開始割り込みイネーブル 0_B：ディスエーブル 1_B：イネーブル
15 ～ 0	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) RHSBjIC.RHSBjDLIE — データ消失割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjDLF が 1_B であれば割り込みが発生します。

(2) RHSBjIC.RHSBjTOIE — タイムアウト検出割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjTOF が 1_B であれば割り込みが発生します。

(3) RHSBjIC.RHSBjUEIE — アップストリームエラー割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjUEF が 1_B であれば割り込みが発生します。

(4) RHSBjIC.RHSBjDRIE — データ受信割り込みイネーブル

アップストリーム DMA のサポートがイネーブルのとき（RHSBjGC.RHSBjUDE = 1_B）、このビットを 1_B に設定しないでください。

このビットが 1_B のとき、RHSBjIS.RHSBjDRF が 1_B であれば割り込みが発生します。

(5) RHSBjIC.RHSBjTSIE — 送信開始割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjTSF が 1_B であれば割り込みが発生します。

(6) RHSBjIC.RHSBjETIE — 緊急フレーム送信実行割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjETF が 1_B であれば割り込みが発生します。

(7) RHSBjIC.RHSBjCTIE — コマンドフレーム送信実行割り込みイネーブル

ダウンストリームコマンド DMA 転送が許可（RHSBjGC.RHSBjDCDE is 1_B）の場合、これらのビットには書き込まないでください。

このビットが 1_B のとき、RHSBjIS.RHSBjCTF が 1_B であれば割り込みが発生します。

(8) RHSBjIC.RHSBjDTIE — データフレーム送信実行割り込みイネーブル

このビットが 1_B のとき、RHSBjIS.RHSBjDTF が 1_B であれば割り込みが発生します。

(9) RHSBjIC.RHSBjDTSIE — データフレーム送信開始割り込みイネーブル

ダウンストリームデータ DMA のサポートがイネーブルのとき（RHSBjGC.RHSBjDDE = 1_B）、このビットを 1_B に設定しないでください。

このビットが 1_B のとき、RHSBjIS.RHSBjDTSF が 1_B であれば割り込みが発生します。

18.2.6.2 RHSBjIS — 割り込みステータスレジスタ

本レジスタの各ビットを 0_B にクリアする際は、ビット操作命令を使用しないでください。

アクセス 8、16、32 ビット単位でリード／ライト可能です。

アドレス <RHSBj_base> + 78_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	RHSBj DLF	RHSBjT OF	RHSBj UEF	RHSBj DRF	—	—	—	RHSBjT SF	RHSBjE TF	RHSBj CTF	RHSBj DTF	RHSBj DTSF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RHSBjE RF	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

表 18.25 RHSBjIS レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 28	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27	RHSBjDLF	データ消失フラグ 0_B：データ消失状態は検出されません 1_B：データ消失状態を検出
26	RHSBjTOF	タイムアウト検出フラグ 0_B：タイムアウト状態は検出されません 1_B：タイムアウト状態を検出
25	RHSBjUEF	アップストリームエラーフラグ 0_B：受信エラーは検出されません 1_B：受信エラーを検出
24	RHSBjDRF	データ受信フラグ 0_B：新しい有効データの受信はなし 1_B：新しい有効データを受信
23 ～ 21	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	RHSBjTSF	送信開始フラグ 0_B：送信を開始していません 1_B：送信を開始
19	RHSBjETF	緊急フレーム送信実行フラグ 0_B：緊急送信はなし 1_B：緊急フレームを送信
18	RHSBjCTF	コマンドフレーム送信実行フラグ 0_B：コマンドフレームは送信されません 1_B：コマンドフレームを送信
17	RHSBjDTF	データフレーム送信実行フラグ 0_B：データフレームは送信されません 1_B：データフレームを送信
16	RHSBjDTSF	データフレーム送信開始フラグ 0_B：データ送信は開始していない 1_B：データ送信を開始

表 18.25 RHSBjIS レジスタの内容 (2/2)

ビット位置	ビット名	機能
15 ～ 9	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	RHSBjERF	緊急信号立ち上がりフラグ 0_B：エッジは検出されません 1_B：エッジを検出
7 ～ 0	—	リザーブビット 読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(1) RHSBjIS.RHSBjDLF — データ消失フラグ

このビットは 0_B のみ書き込み可能です。

このビットは、データの消失が少なくとも 1 つのチャネルで検出されたことを示します。

[クリア条件]

すべての RHSBjUDi.RHSBjDL (i = 0, 1) フラグが 0_B のとき、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

これらのフラグ (RHSBjUDi.RHSBjDL (i = 0, 1)) の少なくとも 1 つのセット条件が満たされると、このビットは 1_B に設定されます。

(2) RHSBjIS.RHSBjTOF — タイムアウト検出フラグ

このビットは 0_B のみ書き込み可能です。

このビットは、タイムアウト時間内にコマンドフレームの送信によって要求された有効な受信がなかったことを示します。

[クリア条件]

CONFIG 状態に入ると、このビットは 0_B に設定されます。

[セット条件]

タイムアウトカウンタが終了すると、このビットは 1_B に設定されます。

(3) RHSBjIS.RHSBjUEF — アップストリームエラーフラグ

このビットは 0_B のみ書き込み可能です。

このビットは、パリティエラーまたはストップビットエラーを含むフレームが受信されたことを示します。

[クリア条件]

すべての RHSBjUDi.RHSBjFERR (i = 0, 1) フラグとすべての RHSBjUDi.RHSBjPERR (i = 0, 1) フラグが 0_B のとき、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

これらのフラグ (RHSBjUDi.RHSBjFERR (i = 0, 1)) の少なくとも 1 つのセット条件が満たされると、このビットは 1_B に設定されます。

これらのフラグ (RHSBjUDi.RHSBjPERR (i = 0, 1)) の少なくとも 1 つのセット条件が満たされると、このビットは 1_B に設定されます。

(4) RHSBjIS.RHSBjDRF — データ受信フラグ

このビットは 0_B のみ書き込み可能です。

アップストリーム DMA がイネーブルのとき (RHSBjGC.RHSBjUDE = 1_B)、このビットを 0_B に設定しないでください。

このビットは、少なくとも 1 つの RHSBjUDi レジスタが新しい有効データによって更新されることを示します。

［クリア条件］

すべての RHSBjUDi.RHSBjND (i = 0, 1) フラグが 0_B のとき、このビットは 0_B に設定されます。

RHSBjUDR への読み出しアクセスがあると、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

これらのフラグ (RHSBjUDi.RHSBjND (i = 0, 1)) の少なくとも 1 つのセット条件が満たされると、このビットは 1_B に設定されます。

(5) RHSBjIS.RHSBjTSF — 送信開始フラグ

このビットは 0_B のみ書き込み可能です。

このビットは、コマンドフレームまたはデータフレームの送信が開始したことを示します。

［クリア条件］

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

新しいフレーム送信が開始すると、このビットは 1_B に設定されます。

(6) RHSBjIS. RHSBjETF — 緊急フレーム送信実行フラグ

このビットは 0_B のみ書き込み可能です。

このビットは、緊急状態でアセンブルされたデータフレームが送信されたことを示します。

［クリア条件］

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

緊急フレームが送信されると、このビットは 1_B に設定されます。

(7) RHSBjIS.RHSBjCTF — コマンドフレーム送信実行フラグ

このビットは 0_B のみ書き込み可能です。

ダウンストリームコマンド DMA 転送が許可 (RHSBjGC.RHSBjDCDE = 1_B) の場合、これらのビットを 0_B に設定しないでください。

このビットは、コマンドフレームが送信されたことを示します。

［クリア条件］

新しいコマンドフレームの送信が要求されると、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

コマンドフレームが送信されると、このビットは 1_B に設定されます。

(8) RHSBjIS.RHSBjDTF — データフレーム送信実行フラグ

このビットは 0_B のみ書き込み可能です。

このビットは、データフレームが送信されたことを示します。

［クリア条件］

ダウンストリームレジスタ（RHSBjDDRi）のアクティブな最終部分に書き込みがあると、このビットは 0_B になります。（**「18.4.1.10　データ更新およびデータフレーム送信要求」**を参照してください）。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

データフレームが送信されると、このビットは 1_B に設定されます。

(9) RHSBjIS.RHSBjDTSF — データフレーム送信開始フラグ

このビットは 0_B のみ書き込み可能です。

ダウンストリームデータ DMA がイネーブルのとき（RHSBjGC.RHSBjDDE = 1_B）、このビットを 0_B に設定しないでください。

このビットは、データフレーム送信が開始したことを示します。

このビットが 0_B のとき、データフレーム送信がディスエーブルされるか、ダウンストリームデータレジスタ（RHSBjDDRi）に送信待ちデータが含まれています。

このビットが 1_B のときは、データフレーム送信が開始しています。ダウンストリームデータレジスタを更新して、次のデータフレーム用のデータを指定することができます。

［クリア条件］

ダウンストリームレジスタ（RHSBjDDRi）のアクティブな最終部分に書き込みがあると、このビットは 0_B に設定されます（**「18.4.1.10　データ更新およびデータフレーム送信要求」**を参照してください）。

データフレーム送信がディスエーブルになると（RHSBjDTC.RHSBjDTE が 1_B から 0_B に変更）、このビットは 0_B に設定されます。

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

データフレーム送信が開始すると、このビットは 1_B に設定されます。

データフレーム送信がイネーブルになり（RHSBjDTC.RHSBjDTE が 0_B から 1_B に変更）、RHSBjDCR.RHSBjDMS が 01_B（TRIGGERED）になると、このビットは 1_B に設定されます。

(10) RHSBjIS.RHSBjERF — 緊急信号立ち上がりフラグ

このビットは 0_B のみ書き込み可能です。

外部緊急信号（RHSBjEMRG（j = 0, 1））のアクティブレベルへのエッジが検出されたことを示します。

［クリア条件］

CONFIG 状態に入ると、このビットは 0_B に設定されます。

［セット条件］

RHSBjGC.RHSBjOPS が ACTIVE または TEST のときに外部信号の非アクティブレベルからアクティブレベルへの遷移が検出されると、このビットは 1_B に設定されます。

CONFIG 状態から抜けたとき緊急信号がアクティブレベルであれば、このビットは 1_B に設定されます。

18.3 動作説明

MCU のハードウェアリセットの解除後、RHSB モジュールは RESET 状態にあります。RHSBjGC.RHSBjOPS にターゲット状態を書き込むことにより、動作状態の変更をトリガすることができます。

現在の動作状態は RHSBjGC.RHSBjOPS により示されます。

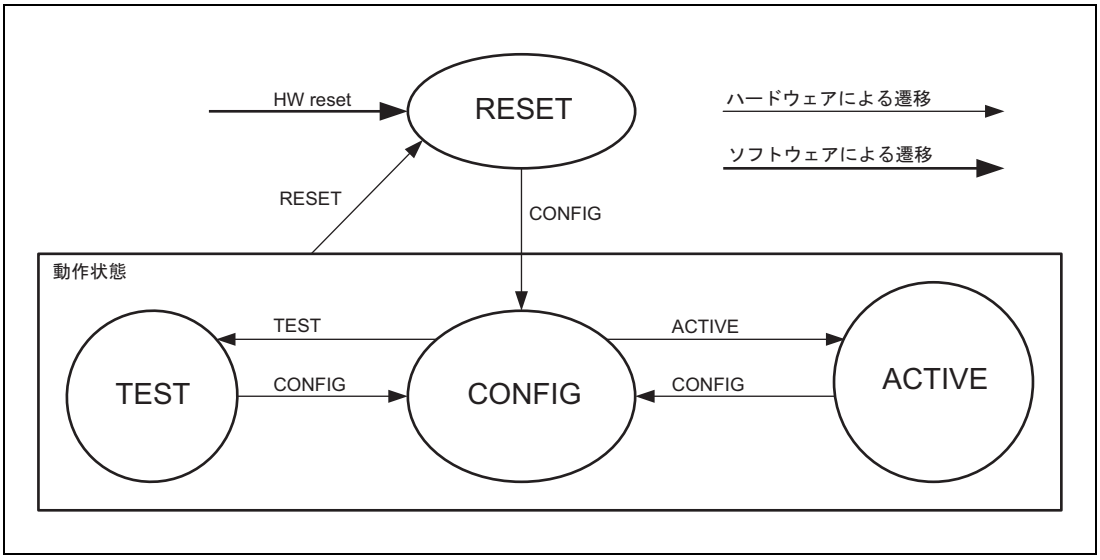


図 18.2 モジュールの状態遷移

実装された動作状態と起こり得る状態遷移を**図 18.2** に示します。RESET 状態にはすべての動作状態（TEST、CONFIG、ACTIVE）から入ることができます。

18.3.1 動作状態の説明

18.3.1.1 RESET 状態

RESET 状態は、RHSB モジュールのパワーダウンおよびリセット状態と考えられます。すべての内部クロックが停止して消費電力を低減します。設定、制御、ステータスの各レジスタがすべてリセットされます。

RHSBjGC.RHSBjOPS への書き込みによってのみ RESET 状態を抜けることができます。ほかのレジスタはすべてリセットされるので、これらのレジスタへの書き込みは無効です。

18.3.1.2 CONFIG 状態

CONFIG 状態にあるとき、モジュール構成を定義するには、すべてのレジスタに書き込みアクセスを行います。

18.3.1.3 ACTIVE 状態

ACTIVE 状態では、RHSB モジュールはアップストリームおよびダウンストリーム通信を実行できます。

アップストリーム通信機能を RHSBjUCR.RHSBjUE によってイネーブルすると、この通信は ACTIVE 状態でのみ使用可能です。

ダウンストリーム通信は、ACTIVE および TEST 状態にあるとき、RHSBjDTC レジスタで個々にイネーブルやディスエーブルすることができます。

18.3.1.4 TEST 状態

TEST 状態は、キーオンテストやフォルトローカリゼーションをサポートすることを目的としています。RHSB の内部データ経路は、ダウンストリームデータをアップストリームチャネルにループバックすることによりチェックできます。

詳細およびこのモードの制約事項については、**「18.4.4 テストモード動作」**を参照してください。

18.3.2 RHSB モジュールのアクティブ化 （RESET 状態を抜ける方法）

RESET 状態を抜けるには、このフローを使用してください。このフローは、周辺バスクロックと RHSB エンジンクロックがすでにイネーブルされていることを想定しています。

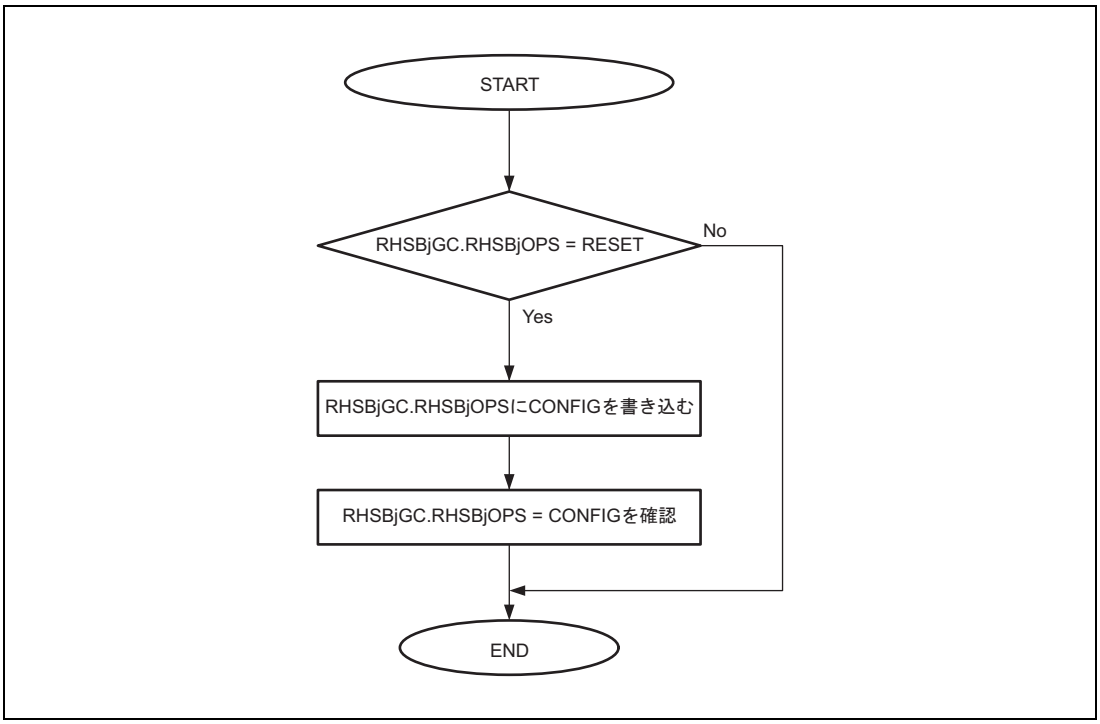


図 18.3 RESET 状態を抜けるためのソフトウェアフロー

MCU のポート機能と方向レジスタは、RHSB モジュールがアクティブ動作を実行する前に設定する必要があることに注意してください。ダウンストリームのチップセレクトラインの無効なレベル指定を避けるため、MCU のピン機能を RHSB に設定する前に、これらのラインのアクティブレベルを正しく定義することを推奨します。

18.3.3 RHSB モジュールの非アクティブ化（RESET 状態に入る方法）

RESET 状態に入るには、このフローを使用してください。このフローを実行すると、周辺バスクロックと RHSB エンジンクロックがディスエーブル可能になり、MCU ポートの機能を変更できます。

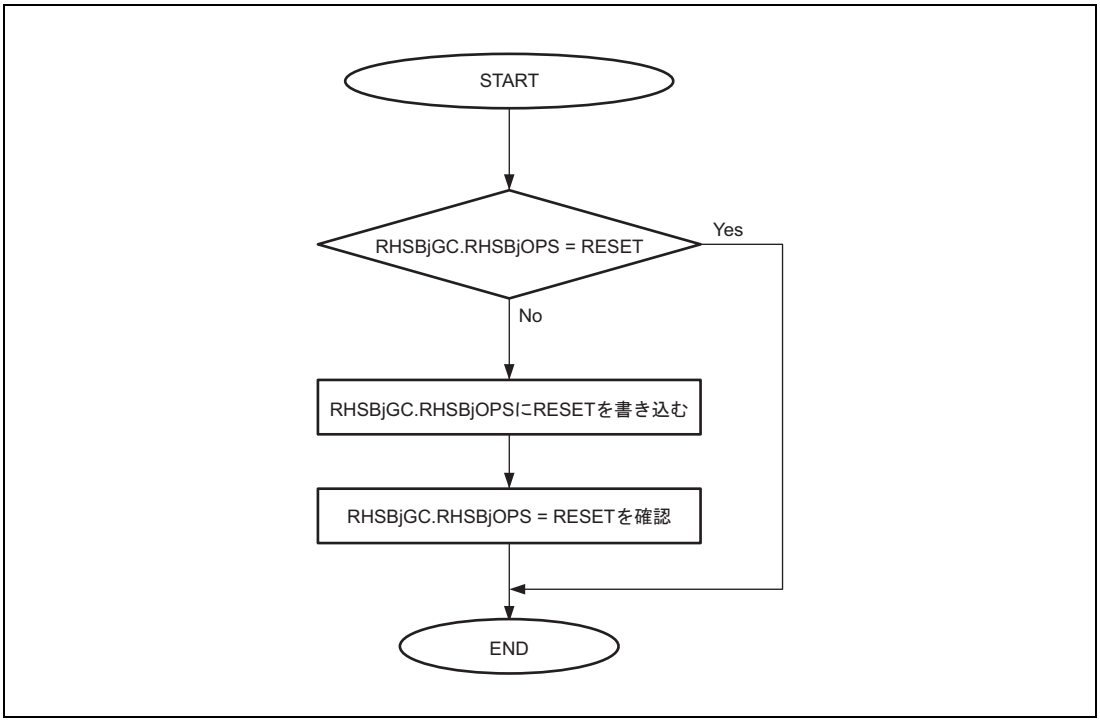


図 18.4 RESET 状態に入るためのソフトウェアフロー

モジュールが RESET 状態に入ると、実行中の送信が停止され、受信状態が消えて、RHSB の出力ラインはリセットレベルに変更されます。

図 18.5 に挙げたフローを使用すると、実行中の送信に影響を与えずに RESET 状態に入ることができることに注意してください。

18.3.4 動作状態間の変更（ACTIVE、CONFIG、TEST）

RHSB モジュールの動作状態の変更は、ターゲット状態を RHSBjGC.RHSBjOPS に書き込むことによりトリガされます。状態遷移が正しく処理されたことは、RHSBjGC.RHSBjOPS で見ることができます。

18.3.5 実行中の送信を中断させずに ACTIVE 状態を抜ける方法

ACTIVE 状態を抜けると、実行中の送信が停止されます。これにより、ダウンストリームレシーバ側（スレーブ）の受信が無効になることがあります。

このフローを使うと、動作状態を CONFIG または RESET に変更する際生じる実行中の送信の中断を防ぐことができます。

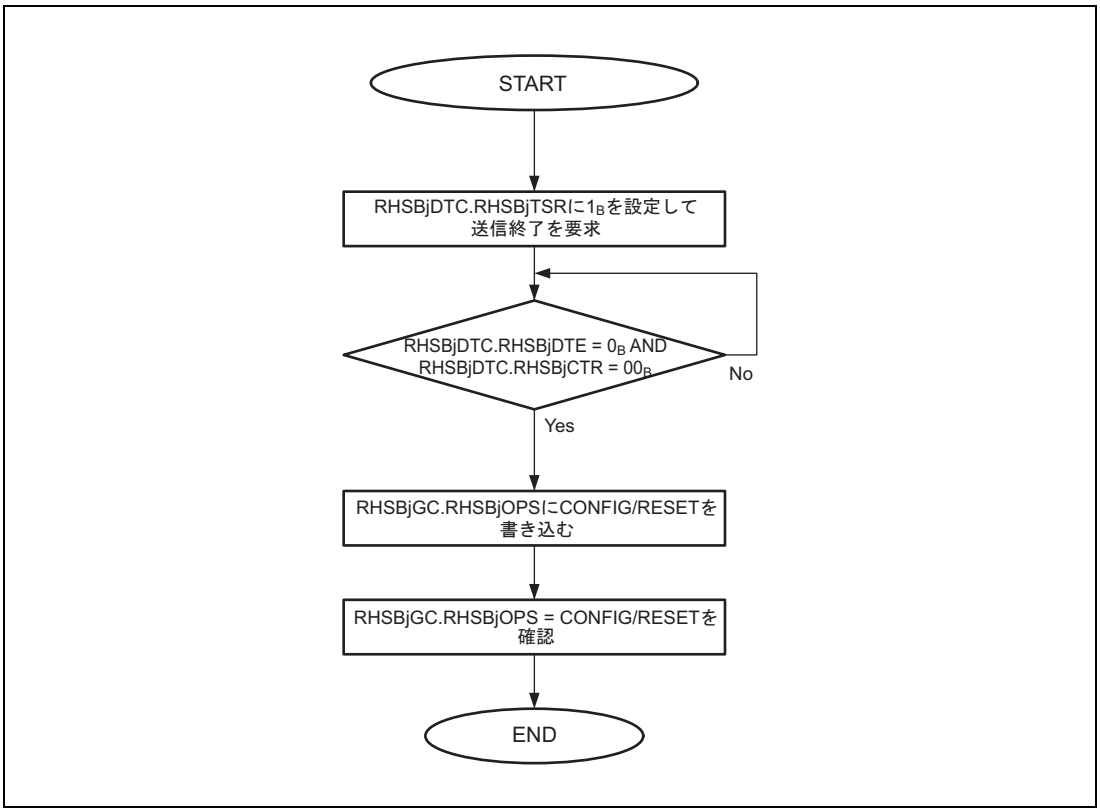


図 18.5 実行中の送信を中断せずに ACTIVE/TEST 状態を抜けるためのソフトウェアフロー

TEST 状態を抜けるのに同じフローを使用できます。

18.4 RHSB の動作

18.4.1 ダウンストリーム通信

RHSB モジュールは、同期シリアル通信をダウンストリーム通信に使用します。

この同期シリアルフレームに加え、このダウンストリーム通信では、1 つのフレームで最大 2 つのスレーブに対応するため、また周期的送信の繰り返し時間を定義するために、一連の通信位相を定義します。

アプリケーション要件に応じたダウンストリーム通信のスケジューリングには、様々なモードや設定パラメータが使用できます。このダウンストリームの設定は、**「18.2.4 ダウンストリーム（Tx）の レジスタ説明」**に記載されたレジスタで定義します。

ダウンストリームエンジンの機能ブロック図を**図 18.6** に示します。ここでは、ダウンストリーム通信について詳しく説明します。

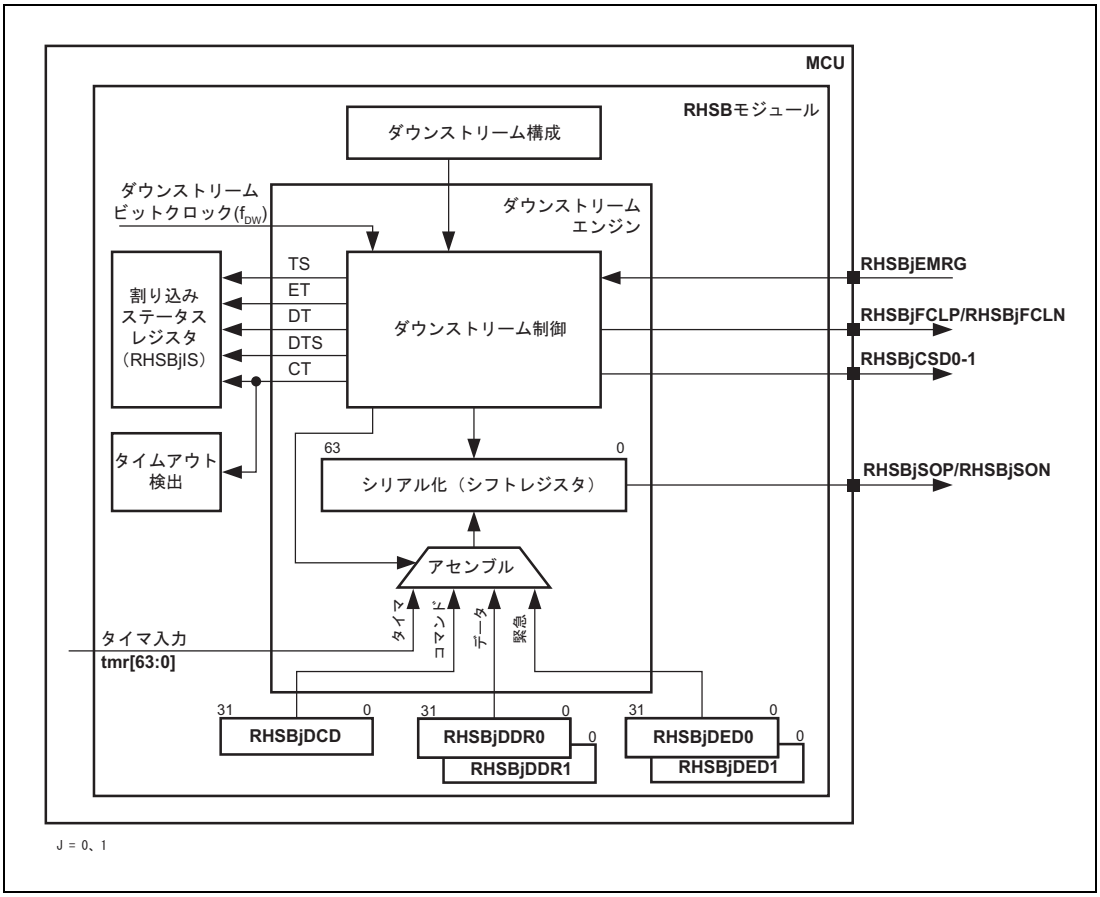


図 18.6 ダウンストリームのブロック図

ダウンストリームの設定

このブロックは、ダウンストリーム関連の設定パラメータおよびアプリケーションソフトウェアが扱うダウンストリーム制御インタフェースを表しています。

ダウンストリーム制御

このブロックは、ダウンストリームエンジンの主要機能を示しています。ここでは、送信のスケジューリング、フレームのアセンブル制御、ダウンストリーム通信信号の生成

（RHSBjFCLP/RHSBjFCLN（j = 0, 1）、RHSBjCSD0-1（j = 0, 1））、RHSBjIS レジスタにおけるダウンストリーム関連のステータス信号のトリガが行われます。

シリアル化

シフトレジスタはフレームの先頭でアセンブルされたデータを捕捉し、ダウンストリームの位相関連の情報をダウンストリームインタフェースのシリアルデータライン（RHSBjSOP/RHSBjSON（j = 0, 1））に送ります。

アセンブル

この多重化ロジックにより、データビットごとのデータソースが選択されます。

18.4.1.1 ダウンストリーム通信の位相

ダウンストリーム通信は様々な位相で構成されます。

これらの位相は、RHSB モジュールによって次のように使用されます。

アクティブ位相：

- アサート位相：シリアルデータラインは無効
  このオプション位相により、選択されたスレーブは内容位相への準備をすることができます。
- 内容位相：シリアルデータラインは有効
  この位相の間、内容が選択されたスレーブに送信されます。
- デアサート位相：シリアルデータラインは無効
  内容が選択されたスレーブに送信された後のオプション位相

パッシブ位相：

- フレームパッシブ位相：
  この位相は各フレームの一部で、次のフレームが開始するまでの非アクティブ状態の最小時間を定義します。
- インターフレームパッシブ位相：
  この位相はフレームが送信されない（バスがアイドルの）時間を表します。
  インターフレームパッシブ位相は、ダウンストリームモードとダウンストリームの設定に応じて発生します。

フレームはアクティブ位相とフレームパッシブ位相から構成されます。

図 18.7 に、ダウンストリーム通信の位相を示します。この図に示すフレームは 1 つのスレーブ（スレーブ 0）に対応しています。パッシブ位相中、モードに依存するクロックは点線で示しています。オプションの位相を含め、すべての位相は送信に使用される順序で示されています。

図 18.8 に、2 つのスレーブ（スレーブ 0 とスレーブ 1）に対応するフレームのダウンストリーム通信の位相を示します。オプションのアサート位相とデアサート位相は、スレーブごとに個別に設定可能です。

図 18.7 と**図 18.8** では、スレーブの選択信号がアクティブハイに設定され、クロックライン位相は立ち上がりエッジに設定されています。

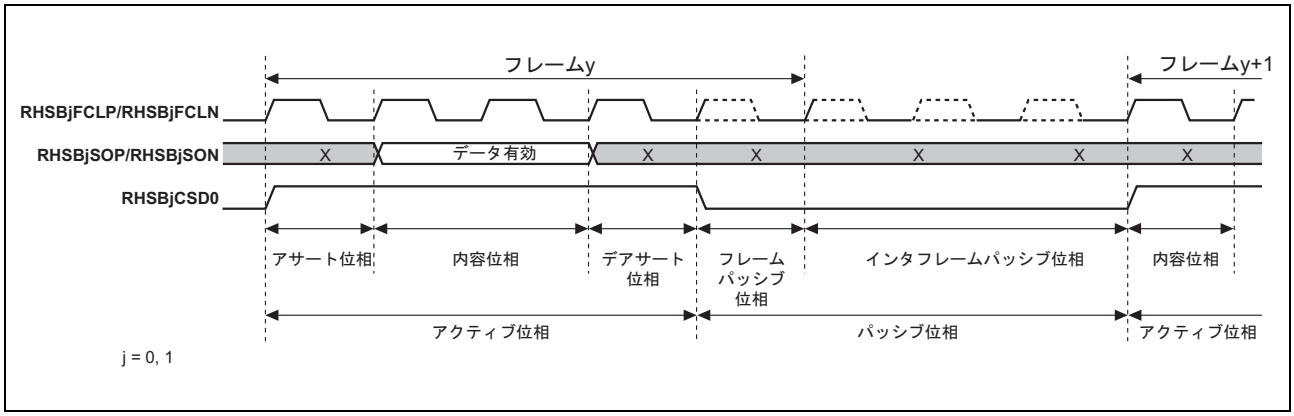


図 18.7 ダウンストリーム通信の位相

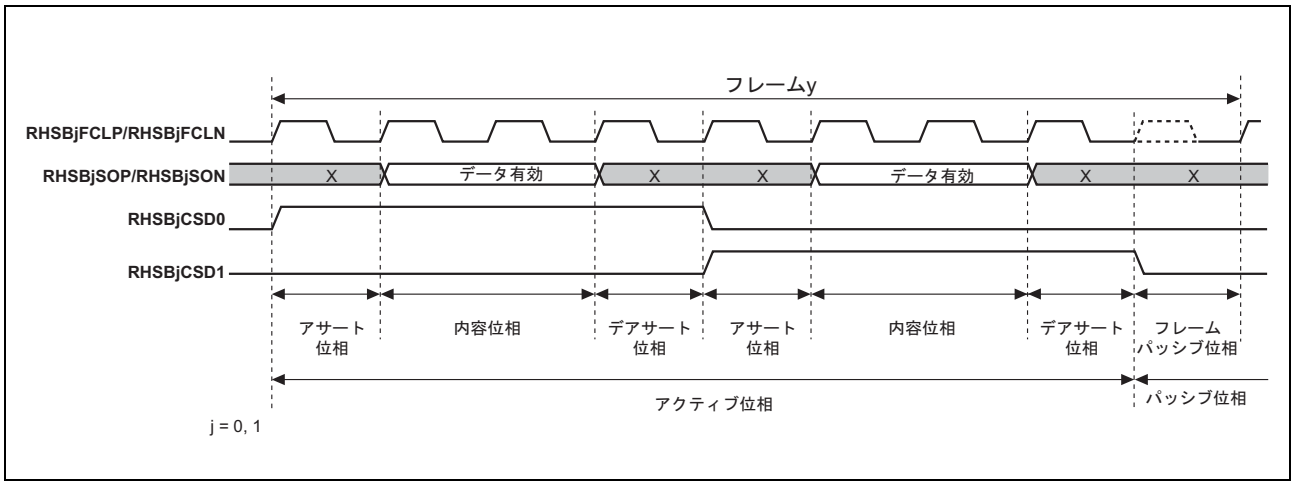


図 18.8 2 つのスレーブに対応するフレームのダウンストリーム通信の位相

評価のために、RHSBjMSR を読み出して通信位相をモニタすることができます。この機能がすべてのダウンストリームビットレートには使用できないことに注意してください。

18.4.1.2　フレーム依存のフラグ付け

図 18.9 に、コマンドフレームおよびデータフレーム送信の RHSB 内部の処理フローを示します。コマンドフレームまたはデータフレームを送信する際のスケジューリングはモードに依存しており、これについては**「18.4.1.3　ダウンストリームモード」**で説明します。

図 18.8 に示したフローは、**「18.4.1.3　ダウンストリームモード」**のモード記述においてマクロとして使用されます。

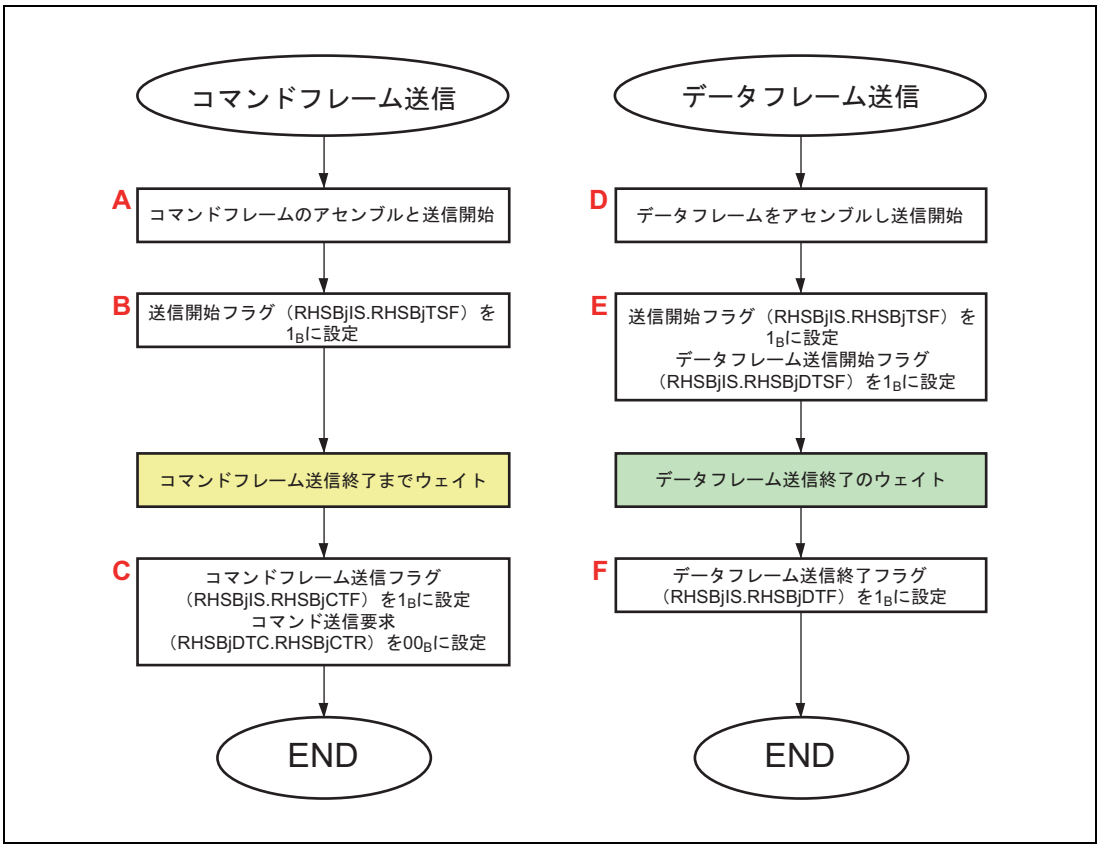


図 18.9　　コマンドフレームとデータフレームの内部送信処理

フラグ関連のコマンドフレームおよびデータフレームの送信を**図 18.10** に示します。グレーの背景部分は、ユーザの前の入力によるもので送信には影響のない値を示します。

トリガモードでは、データフレーム送信が開始する直前の RHSBjIS. RHSBjDTSF は常に 0_B です。ほかのモードでは、この値は 0_B の場合と 1_B の場合があります。

A ～ F のタイミングの記号は、**図 18.9** 中の記号を指します。

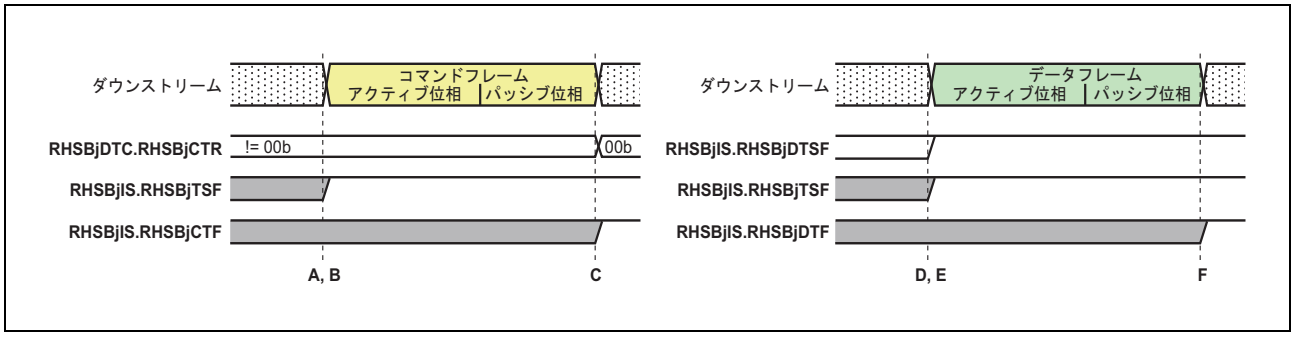


図 18.10　　コマンドフレームとデータフレーム関連のフラグ付け

緊急フレームを送信した場合、RHSBjIS.RHSBjETF フラグは RHSBjIS.RHSBjDTF（タイミング F）と同時に立ちます。

18.4.1.3 ダウンストリームモード

RHSB モジュールは、CONFIG 状態のときに選択可能な様々なダウンストリーム送信モードをサポートしています。

次に示すモードが使用可能で、RHSBjDCR.RHSBjDMS で設定することができます。

- トリガモード
  RHSB モジュールは、ユーザからの要求があるとすぐにダウンストリーム通信を開始します（ソフトウェアトリガ）。
- シングル周期繰り返しモード
  RHSB モジュールは、定義された繰り返し時間でダウンストリーム通信を開始します。周期的送信はユーザとの相互作用には依存しません。
- マルチ周期繰り返しモード
  RHSB モジュールは、2 つの定義された繰り返し時間でダウンストリーム通信を開始します。周期的送信はユーザとの相互作用には依存しません。

すべてのモードにおいて、RHSBjDTC.RHSBjDTE を 1_B に設定してデータ送信をイネーブルした場合のみデータフレーム送信が可能です。

データフレーム送信は RHSBjDTC.RHSBjDTE が 0_B から 1_B に変わると即座に開始されるため、トリガモードの場合を除き、ダウンストリームデータレジスタを有効なデータで初期化してからデータ送信をイネーブルすることを推奨します。

RHSB モジュールは、ダウンストリームモードにかかわらず、またデータ送信がイネーブルかどうかにかかわらず、コマンドフレームを送信することができます。

(1) トリガモード

このモードでは、データフレーム送信をユーザがトリガします。トリガごとに、1 つのデータフレームの送信が開始されます。

このモードでは繰り返し時間が定義されず、送信がソフトウェアの実行タイミングによって制御されます。

トリガモードでは、次の設定パラメータは無視されます。

- コマンドフレーム挿入モード （RHSBjDCR.RHSBjCIM）
- コマンドフレーム送信遅延 （RHSBjDCR.RHSBjCTD）
- 繰り返し時間長さ （RHSBjDCR.RHSBjREP）

RHSBjIS.RHSBjDTSF を 0_B にすると、データフレーム送信がトリガされます。このビットは、RHSBjIS.RHSBjDTSF に 0_B を書き込むか（データは変更しないまま）、ダウンストリームデータレジスタ（RHSBjDDRi）を更新することによりクリアできます。データ更新とデータフレーム送信要求の詳細については、**「18.4.1.10 データ更新およびデータフレーム送信要求」**を参照してください。

図 18.11 に示すフローは、RHSB モジュールがトリガモードにあり、データ送信がイネーブルされていることを想定しています。

コマンドフレーム送信とデータフレーム送信（カラーの楕円）の詳細は、**図 18.9** に示されています。

次の設定を適用すると、フローが開始します。

- RHSBjGC.RHSBjOPS が ACTIVE
- RHSBjDCR.RHSBjDMS がトリガモード
- RHSBjDTC.RHSBjDTE = 1_B

RHSB モジュールが ACTIVE 状態を抜けると、このフローはただちに停止します。

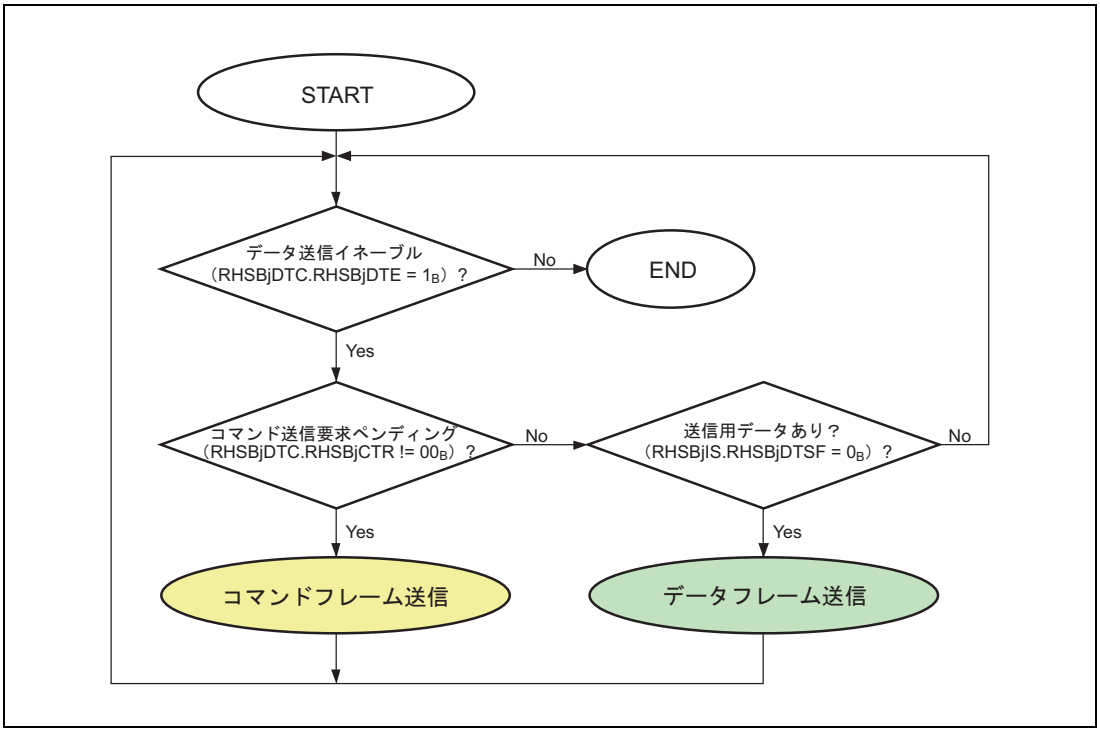


図 18.11 データ送信がイネーブル時のトリガ モードにおける内部送信処理

図 18.12 に、コマンドフレームとデータフレームの送信要求が同時に出された場合のダウンストリーム通信を示します。保留状態の要求がある場合、1 つのフレーム送信が終了するとただちに次のフレームが送信されます。

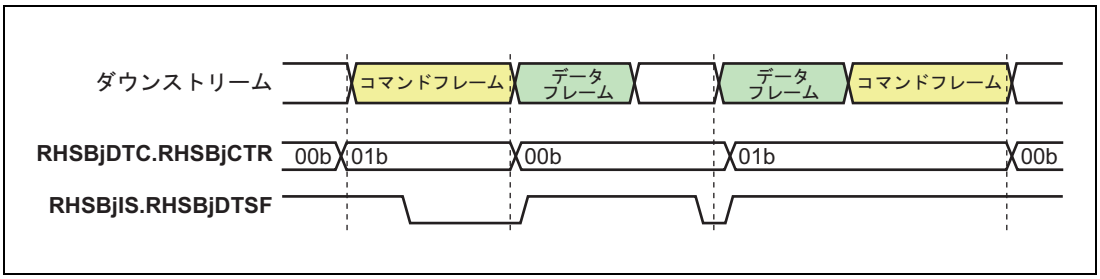


図 18.12 トリガモードにおけるコマンド / データ送信の同時要求の例

(a) トリガモードでのコマンドフレーム送信

送信処理の図に示すように、コマンドフレーム送信はデータフレーム送信よりも優先されます。データフレームおよびコマンドフレーム送信を、アプリケーション要件に合致するようにスケジューリングする必要があります。

データ送信をディスエーブルすると（RHSBjDTC.RHSBjDTE = 0_B）、保留中の要求があればコマンドフレームがただちに送信されます。このコマンドフレーム送信は、**図 18.11** に示す内部送信処理には制御されません。

(2) 繰り返しモード（シングル周期繰り返し、マルチ周期繰り返し）

このモードでは、データフレーム送信が定期的に行われます。定期的な時間の刻みにより周期的なデータ送信の繰り返し時間が定義されます。

このモードで使用される一定の繰り返し時間は、RHSB モジュールによって制御されます。

繰り返しモードでは、RHSBjDTC.RHSBjDTE と RHSBjDTC.RHSBjTSR を使って周期的データ送信の開始と停止を実行できます。RHSB モジュールは、データ送信をディスエーブルすることで実行中の送信が中断されないようにします。

繰り返しモードでは、データフレーム送信のトリガは RHSBjIS.RHSBjDTSF に依存しません。ただし、ダウンストリームデータレジスタ（RHSBjDDRi）の値が送信データのアセンブルに使用されます。

(a) 繰り返し時間の定義

繰り返し時間は RHSBjDCR.RHSBjREP によって定義されます。最小繰り返し時間はデータフレーム以上の長さにしてください。

図 18.13 に示すように、繰り返し時間がデータフレームの長さを超える場合は、2 つのデータフレームの間にインターフレームパッシブ位相があります。

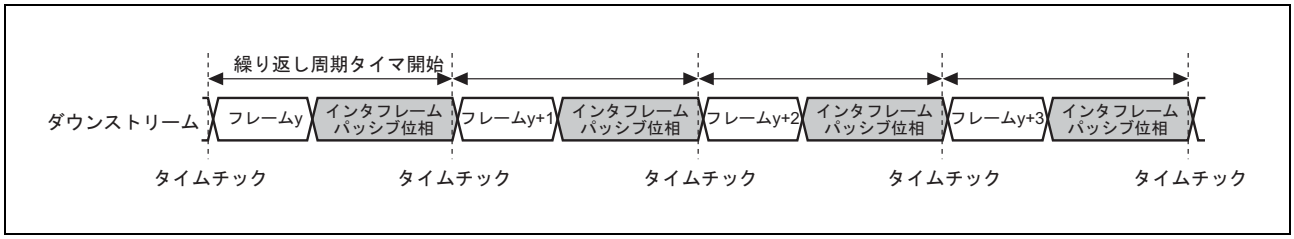


図 18.13 繰り返しモードでの送信タイミング

データフレームの長さは、次の設定パラメータの和として計算できます。

- 対応するすべてのスレーブのアサート位相長さ（RHSBjSDCi.RHSBjAPLn）
- 対応するすべてのスレーブのデータフレーム選択ビット（RHSBjSDCi.RHSBjCPSn）
- 対応するすべてのデアサート位相長さ （RHSBjSDCi.RHSBjDPLn）
- 使用されるすべての DFTE（RHSBjDCR.RHSBjSLS および RHSBjDCR1.RHSBj.SLS1（マルチ周期繰り返しモード））のデータビット数 （RHSBjDEC.RHSBjNDBm）
- データフレームのパッシブ位相長さ（RHSBjDCR.RHSBjDFP）

8 周辺バスクロックサイクルより短い繰り返し時間は設定しないでください（RHSBjDCR.RHSBjREP）。たとえば、標準の周辺バスクロック（CLK_LSB）周波数が 40 MHz のとき、繰り返し時間は最小 0.2 μs になります。

シングル周期繰り返しモードでの送信周期カウントでは「周期 0」が保持され、マルチ周期繰り返しモードでの送信周期カウントでは、**図 18.13** に示すように、「周期 0」と「周期 1」がトグルします。

シングル周期繰り返しモードでのシーケンス長は、周期 0 の RHSBjDCR.RHSBjSLS によって定義されます。マルチ周期繰り返しモードでのシーケンス長は、周期 0 の RHSBjDCR.RHSBjSLS と周期 1 の RHSBjDCR1.RHSBjSLS1 によって定義されます。

(b) コマンドフレーム送信

コマンドフレーム送信はデータフレーム送信より優先されます。設定パラメータ RHSBjDCR.RHSBjCTD により、連続するコマンドフレームの送信を防ぐことができます。

コマンドフレームの挿入には様々な方法が使用可能です。コマンドフレームの送信時、またコマンドフレームの挿入によりデータ送信がどのような影響を受けるかなど、状況に応じて方策が異なります。すべての挿入方法は RHSBjDCR.RHSBjCIM で制御します。**「18.4.1.3 (3) シングル周期繰り返しモードでのコマンドフレーム挿入法」**で詳しく説明します。

(3) シングル周期繰り返しモードでのコマンドフレーム挿入法

シングル周期繰り返しモードでは、コマンド送信の要求は繰り返し時間と非同期で発生します。RHSB モジュールは、コマンドフレームを繰り返しのスケジュールにどのように挿入するかについて、RHSBjDCR.RHSBjCIM により制御される様々な方策をサポートしています。

データ送信がディスエーブルの場合（RHSBjDTC.RHSBjDTE = 0_B）、送信要求が保留中であればただちにコマンドフレームが送信されます。また、連続するコマンドフレームに関する制約（RHSBjDCR.RHSBjCTD = 1_B）は無視されます。

(a) タイムスロット法

この方法を選択すると、RHSB モジュールはコマンドフレームとデータフレームを時間の刻みに合わせて整列させます。コマンドフレームは、繰り返し時間内にデータフレームと置き換わります。

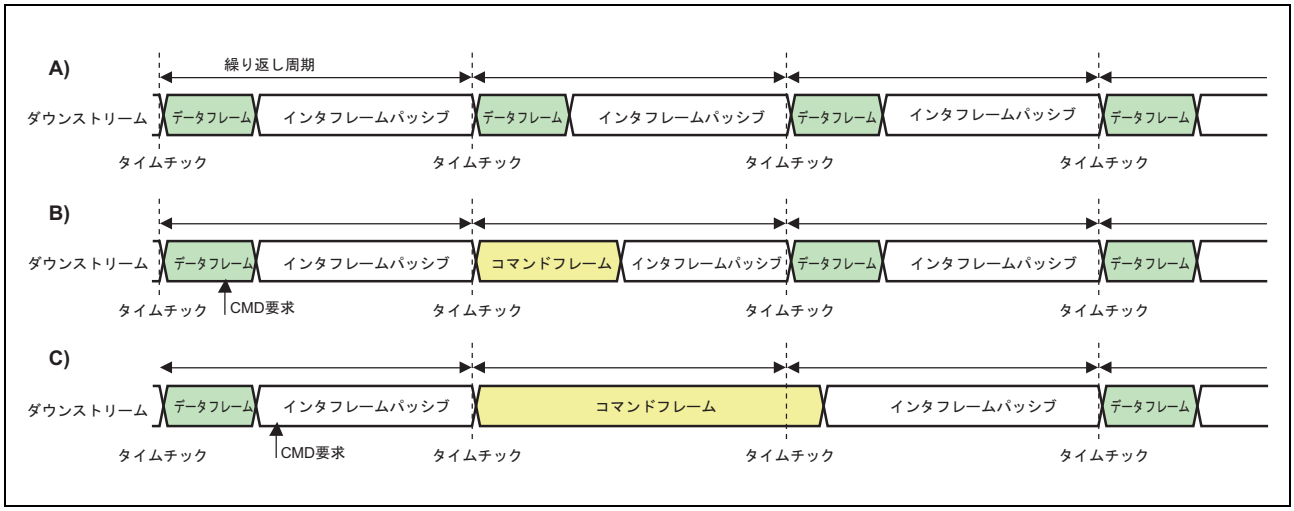


図 18.14　タイムスロット法を使用したコマンド挿入例

シナリオ A）は、コマンド要求のないスケジュールを示します。

シナリオ B）は、コマンドフレームの長さが繰り返し時間以下のコマンドフレーム挿入を示します。1 つのデータフレームが置き換えられています。

シナリオ C）は、コマンドフレームの長さが繰り返し時間より長いコマンドフレーム挿入を示します。2 つのデータフレームが置き換えられています。

(b) 即時法

この方法を選択すると、RHSB モジュールはコマンドフレームの送信要求をできるだけ早く処理します（インターフレームパッシブ位相の間、またはデータフレームの終了後ただちに）。コマンドフレーム送信が繰り返し時間に合わせて整列されることはありません。

コマンドフレームが繰り返し時間を壊したため、データフレーム送信を本来の時間の刻みで開始できない場合、そのデータ送信をできるだけ早く処理します。繰り返し時間は再調整されます。

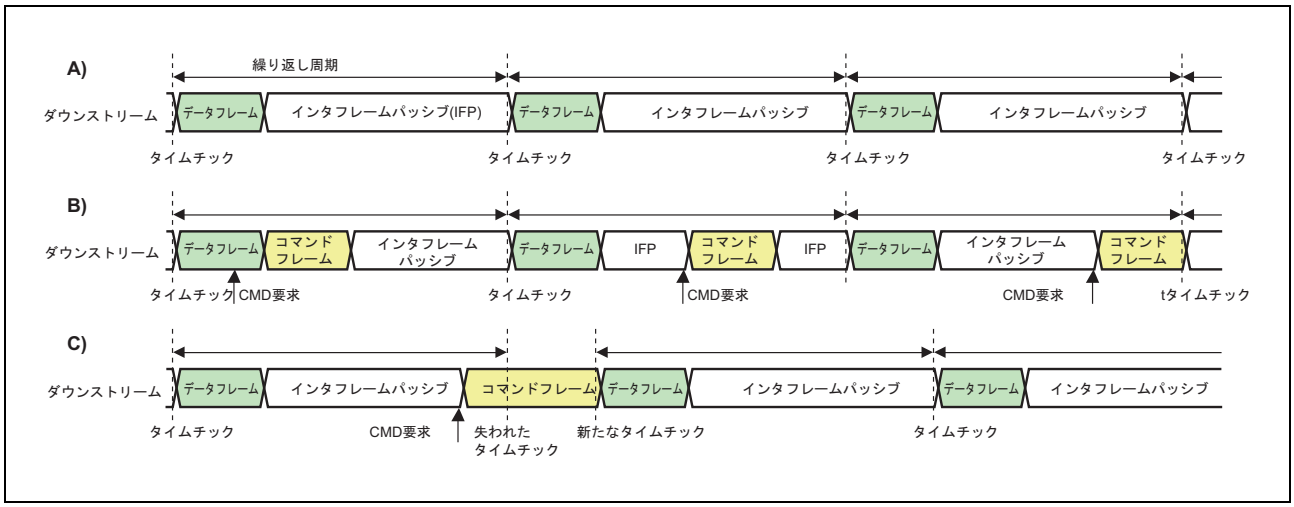


図 18.15 即時法を使用したコマンド挿入例

シナリオ A）は、コマンド要求のないスケジュールを示します。

シナリオ B）は、繰り返し時間を壊していないコマンドフレーム挿入を示します（3 例）。

シナリオ C）は、繰り返し時間を壊しているコマンドフレーム挿入を示します。データフレームの本来の時間の刻みがなくなっています。コマンドフレーム送信が終了したら、タイムベースを再調整し、新しい時間の刻みを生成して、データフレーム送信をただちに開始します。

設定上可能であれば、2 つのデータインターフレームに 2 つ以上のコマンドフレームを挿入することができます。この場合、コマンドフレームが繰り返し時間を壊しても繰り返し時間が再調整されます。

(c) ベストエフォート法

この方法を選択すると、RHSB モジュールは、以下の場合にのみコマンドフレーム送信を開始します。

- データフレーム送信の終了時、または
- コマンドフレーム送信がインターフレームパッシブ位相中に終了する場合

ベストエフォート挿入法を使用するときは、繰り返し時間グリッドは調整されません。

コマンドフレームの長さがインターフレームパッシブ位相以下の場合、コマンドフレーム送信はデータフレーム送信に影響しません（**図 18.16** の事例 B を参照）。設定から可能な場合、2 つ以上のコマンドフレームを繰り返し時間中に送信することができます。

コマンドフレームの長さがインターフレームパッシブ位相より長い場合、コマンドフレーム送信はデータフレーム送信に影響を及ぼします（**図 18.16** の事例 C を参照）。データ送信は至急処理されます。

データフレーム送信が、別のデータフレームによる影響を受けた（コマンドフレーム送信によってシフトされた）場合、データフレームは処理されません（**図 18.16** の事例 D を参照）。

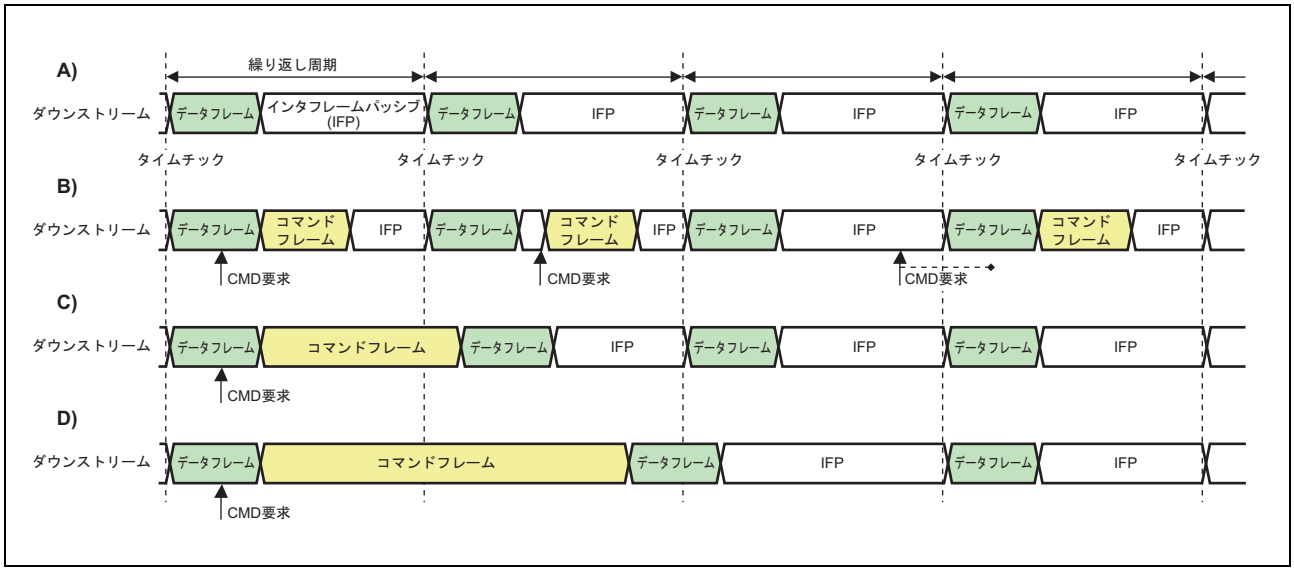


図 18.16　ベストエフォート法を使用したコマンド挿入例

シナリオ A）は、コマンド要求のないスケジュールを示します。

シナリオ B）は、コマンドフレームの長さがインターフレームパッシブ長以下のコマンドフレーム挿入を示します（3 例）。3 つめの例では、コマンドフレームはデータ送信に影響を及ぼすため、次のデータフレームのあとにシフトされています。

シナリオ C）は、コマンドフレームの長さがインターフレームパッシブ長より長いコマンドフレーム挿入を示します。遅延されたデータフレームは次のデータフレームに影響しません。

シナリオ D）は、コマンドフレームの長さがインターフレームパッシブ長より長いコマンドフレーム挿入を示します。遅延されたデータフレームは次のデータフレームに影響を及ぼします。

18.4.1.4 マルチ周期繰り返しモードでのコマンドフレーム挿入法

マルチ周期繰り返しモードでは、コマンド送信の要求は繰り返し時間と非同期で発生します。

(1) ベストエフォート法

マルチ周期繰り返しモードはベストエフォート法のみをサポートしています。この方法を選択すると、RHSB モジュールは、以下の場合にのみコマンドフレーム送信を開始します。

- 周期 1 でのデータフレーム送信終了時

ベストエフォート挿入法を使用するときは、繰り返し時間グリッドは調整されません。

周期 1 でコマンドフレームの長さがインターフレームパッシブ位相以下の場合、コマンドフレーム送信はデータフレーム送信に影響しません（**図 18.17** の事例 B、C、D、E、F および G を参照）。設定から可能な場合、2 つ以上のコマンドフレームを繰り返し時間中に送信することができます。

コマンドフレームの長さがインターフレームパッシブ位相より長い場合、コマンドフレーム送信はデータフレーム送信に影響します（**図 18.17** の事例 H を参照）。転送されたコマンドとデータは保証されません。

データフレーム送信が、別のデータフレームによる影響を受けた（コマンドフレーム送信によってシフトされた）場合、データフレームは処理されません（**図 18.17** の事例 I を参照）。転送されたコマンドとデータは保証されません。

ベストエフォート法の処理については、**図 18.17** の送信処理フローにも記載しています。

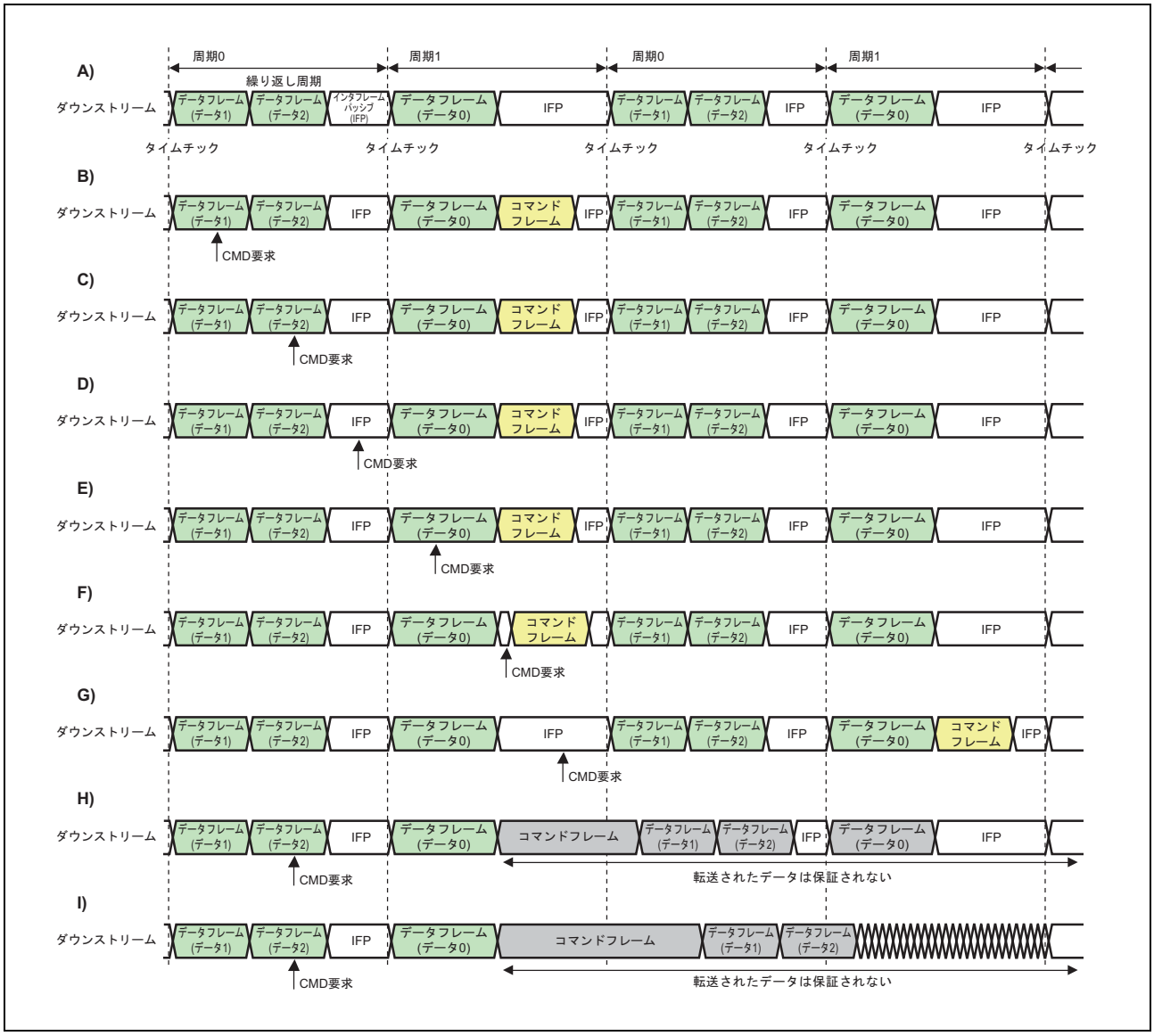


図 18.17　マルチ周期繰り返しモードでのベストエフォート法を使用したコマンド挿入例

シナリオ A）は、コマンド要求のないスケジュールを示します。

シナリオ B）、C）、D）は、周期 0 でコマンド要求が発生した場合のコマンドフレーム挿入を示します。コマンドフレームは周期 1 でデータフレームの終了後にシフトされます。

シナリオ E）は、周期 1 でデータフレームにコマンド要求が発生した場合のコマンドフレーム挿入を示します。コマンドフレームは周期 1 でデータフレームの終了後にシフトされます。

シナリオ F）は、周期 1 でコマンド要求がインターフレームパッシブ位相で発生し、コマンド長さが残りのインターフレームパッシブ長より短い場合のコマンドフレーム挿入を示します。

シナリオ G）は、コマンド要求がインターフレームパッシブ位相で発生し、コマンド長が残りのインターフレームパッシブ長より長い場合のコマンドフレーム挿入を示します。

シナリオ H）、I）は、コマンドフレームの長さがインターフレームパッシブ長より長いコマンドフレーム挿入を示します。この設定は禁止されています。コマンドフレームのあとに転送されたデータは 1_B を RHSBjDTC.RHSBjTSR に書き込むまで保証されません。

18.4.1.5 物理的フレーム形式

(1) クロックライン

シリアルクロックライン（RHSBjFCLP/RHSBjFCLN（j = 0, 1））は、MSC マスタから MSC スレーブモジュールにタイミング情報を提供します。クロックラインとクロック位相はすべてのスレーブに共通です。

シリアルデータライン（RHSBjSOP/RHSBjSON（j = 0, 1））とチップセレクトライン（RHSBjCSD0-1（j = 0, 1））がその値をシリアルクロックラインの立ち上がりエッジと立ち下がりエッジのどちらで変更するかは、RHSBjDCR.RHSBjCLP の設定によって設定することができます。

RHSBjDCR.RHSBjCLP がシリアルクロックライン（RHSBjFCLP/RHSBjFCLN（j = 0, 1））のレベルに直接影響を与えることに注意してください。

シリアルクロックの動作は、RHSBjDCR.RHSBjCAC によっていつでも設定することができます。RHSB モジュールは、シリアルクロックライン（RHSBjFCLP/RHSBjFCLN（j = 0, 1））のクロック信号にグリッチがないことを保証します。

RHSBjDCR.RHSBjCAC による設定は、アクティブ位相中のクロック動作には影響していません。適切なダウンストリーム通信を行うには、アクティブ位相中にクロックが必要です。RHSBjDCR.RHSBjCAC は、パッシブ位相中のクロック動作にのみ影響を与えています。ダウンストリーム通信では、パッシブ位相中にクロックは不要です。

アプリケーションによっては、接続されたスレーブがアクティブなシリアルクロックラインを必要とする場合があります（たとえば、アップストリーム通信を処理するためにスレーブがダウンストリームクロックを使用する場合）。

(2) 個々のスレーブ設定

各スレーブは、CONFIG 状態において個々に設定することができます。

- チップセレクトラインのアクティブレベル（RHSBjSDCi.RHSBjCSLPn）
- シリアルデータラインのアクティブレベル （RHSBjSDCi.RHSBjSOLPn）
- アサート位相の長さ （RHSBjSDCi.RHSBjAPLn）
- デアサート位相の長さ （RHSBjSDCi.RHSBjDPLn）
- データフレーム内の選択ビットの有無 （RHSBjSDCi.RHSBjCPSn）

チップセレクトラインのアクティブレベル設定は、RHSB モジュールの出力に直接現れることに注意してください。

(3) ダウンストリームフレームのコード化

選択ビットは、データフレームでは 0_B、コマンドフレームでは 1_B です。

シリアルデータライン（RHSBjSOP/RHSBjSON（j = 0, 1））は、アサート位相とデアサート位相では「無効」と指定されます。RHSB モジュールは、これらの位相中に 1_B を送信します。シリアルデータラインのレベルが個々のスレーブ設定によって決まることに注意してください（RHSBjSDCi.RHSBjSOLPn）。

スレーブ n が選択される限り、シリアルデータラインの反転はイネーブルされます。

シリアルデータラインの反転は、アクティブ位相に対してのみ設定可能です。RHSB モジュールは、RHSBjSDCi.RHSBjSOLPn の設定に関係なく、パッシブ位相中にシリアルデータライン（RHSBjSOP/RHSBjSON（j = 0, 1））を “H” に設定します。

図 18.18 は、スレーブが 2 つでチップセレクトラインがアクティブハイの場合のデータフレームのコード化を示します。フレームは 3 ビットのデータワード（値は 03_H）をスレーブ

0 とスレーブ 1 に送信します。両方のスレーブの設定は、スレーブ 1 のデータラインが反転していることを除き、同一です。

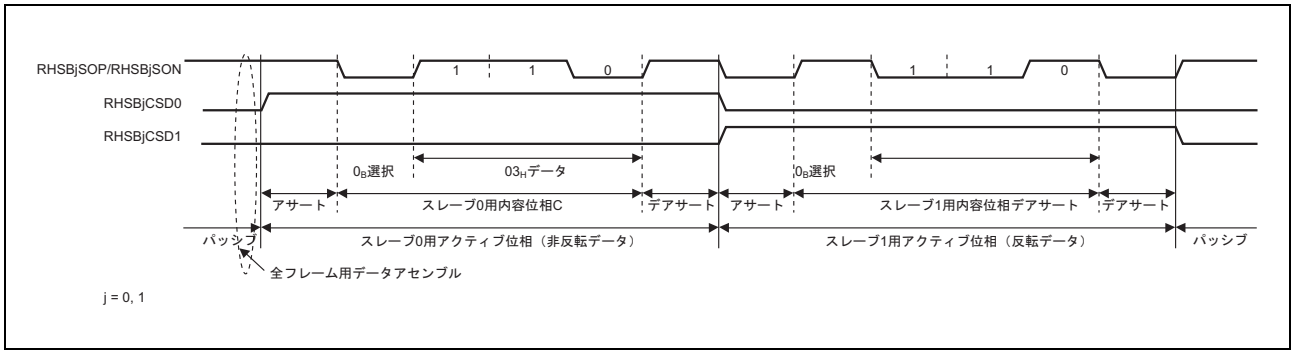


図 18.18　フレームのコード化の例

RHSB モジュールは、ダウンストリームフレームを送信開始前に（**図 18.18** に記載のとおり）直接アセンブルします。このアセンブルのタイミングはダウンストリームモード（RHSBjDCR.RHSBjDMS）およびフレームタイプ（コマンドフレーム／データフレーム）とは無関係です。

18.4.1.6 データフレームのアセンブル

データフレームは、最大 2 つのスレーブに送られる相関関係のないビットのグループです。各スレーブには個別のチップセレクトラインがあり、どの内容がどのスレーブのものかを示します。同時に 2 つのチップセレクト信号がアクティブになることはありません。

データフレームは最大 4 つのダウンストリームフレーム送信エレメント（DFTE）で構成されます。

使用される DFTE の数は RHSBjDCR.RHSBjSLS により定義されます。

各 DFTE は以下の設定をすることができます。

- 割り当てられるスレーブ（RHSBjDEC.RHSBjSSDm）
- 各内容位相におけるオプションの選択ビットの有無 （RHSBjSDCi.RHSBjCPSn）
- 使用されるデータビット数 （RHSBjDEC.RHSBjNDBm）

スレーブに 2 つ以上の DFTE が必要な場合、連続する DFTE を同じスレーブに割り当ててください。これらの DFTE は 1 つの内容位相に統合されます。

非連続的な DFTE を同じスレーブに割り当て可能なことに注意してください（たとえば、DFTE0 と DFTE2）。このように割り当てた場合、それぞれの DFTE はそれ自体の内容位相を定義します。

DFTE はデータフレーム内部で常に昇順に配置されます。DFTE ／スレーブの割り当ては自由に設定できるので、スレーブの選択順は、固定された DFTE の順序による制約は受けません。

(1) データソースの設定

DFTE の各ビットは、RHSBjDEBAm. RHSBjDSSn に次の設定をすることにより、データソースを独立に設定することができます。

- タイマ入力 （tmr）
- 反転タイマ入力
- ダウンストリームデータレジスタ

DFTE とデータソースの関係を**表 18.26** に示します。**図 18.19** は、1 つのビットを対象にこの関係を示しており、緊急の場合についても記載しています。

タイマ入力のマッピングの詳細については、**「18.7 クロスバー（XBAR）」**を参照してください。

表 18.26 DFTE とデータソースの関係

	タイマ入力	データ入力	ビット割り当て	緊急データ	緊急イネーブル
DFTE0[15:0]	**tmr**[15:0]	**DDR0**[31:16]	**DEBA0**[31:0]	**DED0**[31:16]	**EBE0**[31:16]
DFTE1[15:0]	**tmr**[31:16]	**DDR0**[15:0]	**DEBA1**[31:0]	**DED0**[15:0]	**EBE0**[15:0]
DFTE2[15:0]	**tmr**[47:32]	**DDR1**[31:16]	**DEBA2**[31:0]	**DED1**[31:16]	**EBE1**[31:16]
DFTE3[15:0]	**tmr**[63:48]	**DDR1**[15:0]	**DEBA3**[31:0]	**DED1**[15:0]	**EBE1**[15:0]

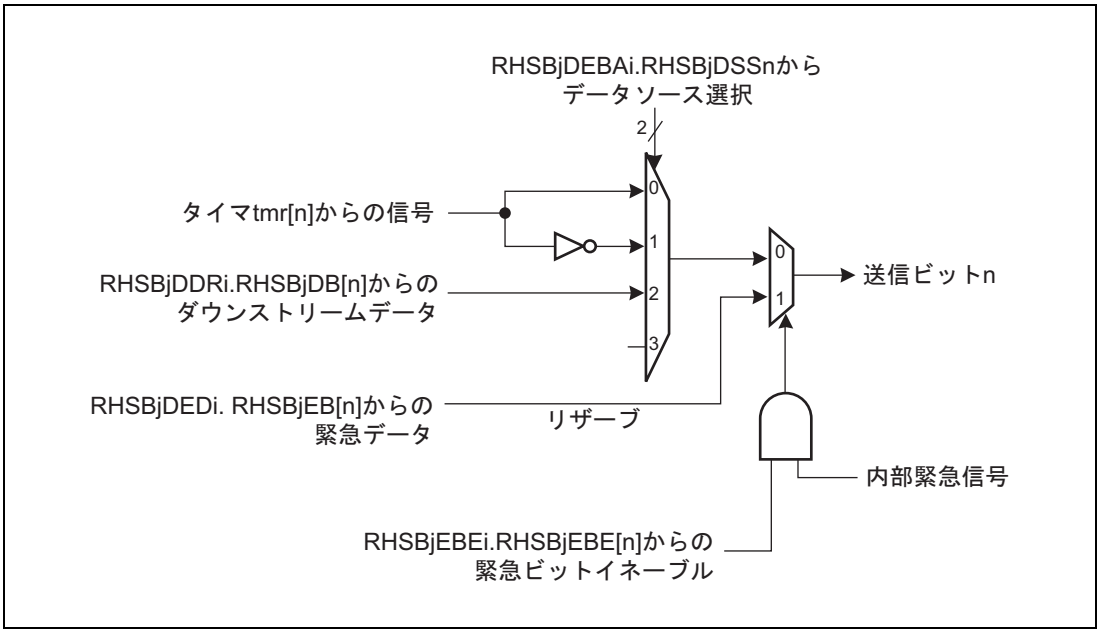


図 18.19　DFTE の 1 つのビットのデータソース選択

図 18.19 の「送信ビット n」はビット n の値を表しています。この信号は、RHSB モジュールによって、データフレーム送信の開始時にデータフレームの内容をアセンブルするのに使用されます。

(2) データフレームの DFTE のマッピング

表 18.27 は、使用するスレーブの数に応じて、各スレーブに使用できるデータビットの可能な構成をすべて示しています。DFTE とスレーブ番号に依存関係がないことを示すために、スレーブには A ～ D と名前を付けます。割り当てる DFTE の範囲が決まっている場合、これらの DFTE は連続していなければなりません。

表 18.27　スレーブへの DFTE とデータビットの割り当ての組み合わせ

スレーブ数	スレーブ A のビット	スレーブ B のビット	スレーブ C のビット	スレーブ D のビット	DFTE の割り当て
1 スレーブ（A）	1 ～ 64	—	—	—	スレーブ A に 1 ～ 4 の DFTE
2 スレーブ（A、B）	1 ～ 48	1 ～ 16	—	—	スレーブ A に 1 ～ 3 の DFTE スレーブ B に 1 つの DFTE
2 スレーブ（A、B）	1 ～ 32	1 ～ 32	—	—	スレーブ A に 1 ～ 2 の DFTE スレーブ B に 1 ～ 2 の DFTE

図 18.20 に、DFTE1 と DFTE2 からアセンブルされるスレーブ A に送信されるダウンストリームフレームの例を示します。スレーブデバイス A は、RHSBjSDCi レジスタで RHSBjAPLn = 1、RHSBjCSLPn = 0、RHSBjSOLPn = 0、RHSBjCPSn = 1、RHSBjDPLn = 1 （アクティブハイ、アサートおよびデアサート位相は 1D ビット、選択ビットあり）と設定されます。DFTE1 では、3 データビットが設定され （RHSBjDEC. RHSBjNDB1 = 2）、DFTE2 では 13 データビットが設定されます （RHSBjDEC. RHSBjNDB2 = 12）。

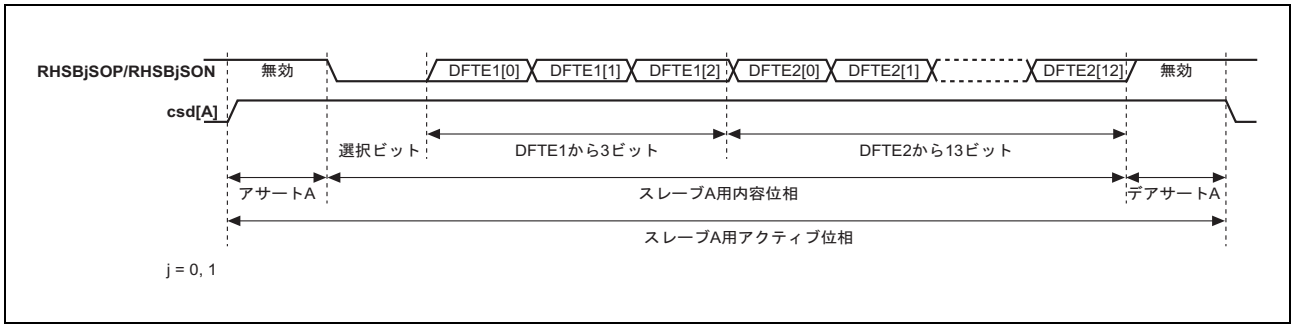


図 18.20 2 つの DFTE を結合した場合のビットマッピング例

18.4.1.7 コマンドフレームのアセンブル

コマンドフレームは、1 つのスレーブに送られる相関関係のあるビットの流れです。コマンドフレームで使用できる内容位相は 1 つだけです。

このコマンドフレームの内容位相には、常に選択ビットが含まれています。

RHSBjDCD レジスタにより内容位相時に送られるデータビット数は、1 ～ 32 ビットの範囲で設定可能です。この数はコマンドフレーム送信ごとに、RHSBjDTC. RHSBjNCB で個別に変更できます。

コマンドフレームのフレームパッシブ位相は 2 D ビットに固定されます。

アサート位相とデアサート位相の長さは、データフレームの場合と同様、RHSBjSDCi レジスタのスレーブデバイスの設定によって決まります。

図 18.21 に、スレーブ A に送信される 5 ビット （RHSBjDTC. RHSBjNCB = 4）を含むコマンドフレームの例を示します。スレーブデバイス A は RHSBjSDCi レジスタで RHSBjAPLn = 1、RHSBjCSLPn = 0、RHSBjSOLPn = 0、RHSBjDPLn = 1（アクティブハイ、アサートおよびデアサート位相は 1_D ビット）と設定されます。

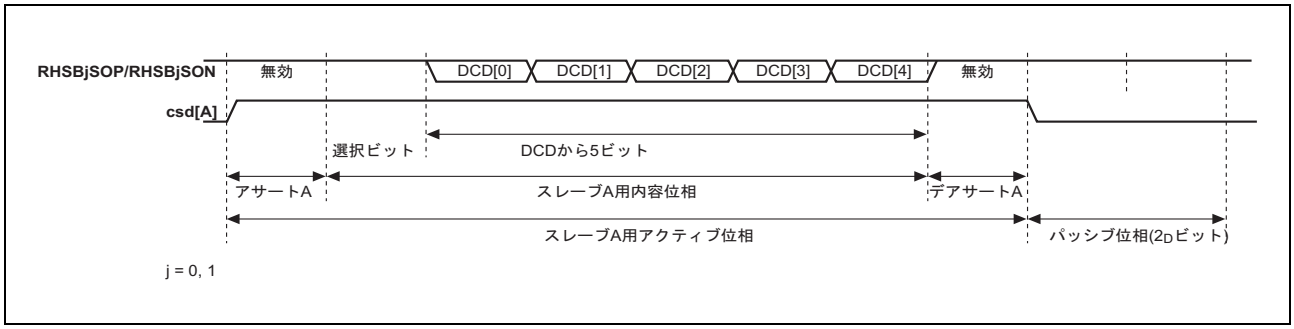


図 18.21 コマンドフレームのビットマッピング

18.4.1.8　緊急時機能

RHSB モジュールの緊急時機能は、緊急の場合予め定義されたデータのスレーブへの自動送信をサポートしています。緊急時機能はデータフレームの内容のみを制御するもので、データ送信のスケジューリングには影響ありません。

MCU のプライマリ入力ピンとして使用可能な外部の緊急信号 RHSBjEMRG（j = 0, 1）は、緊急事態の情報を得るために評価されます。

この緊急時機能は、RHSBjDCR. RHSBjEE を使ってグローバルにイネーブルまたはディスエーブルすることができます。さらに、緊急の場合に取るべき措置があれば、各 DFTE のビットごとに RHSBjEBEi. RHSBjEBE を介して選択可能です。

RHSB モジュールが緊急事態を検出すると、選択された DFTE ビットのデータソースが強制的に、ダウンストリーム緊急データレジスタ（RHSBjDEDi）に定義済みの対応する値になります。この選択については**図 18.19** に図解しています。

緊急時機能を使用するには、以下のことを実行してください。

- 緊急信号のアクティブレベルを設定する（RHSBjDCR. RHSBjEIP）
- 緊急事態であることを緊急信号からどのように得たかを示すモードを設定する（RHSBjDCR. RHSBjEIM）
- 緊急時機能をイネーブルし、自動停止機能の使用方法を定義する（RHSBjDCR. RHSBjEE）
- DFTE のビットごとに、緊急時の措置を選択する （RHSBjEBEi. RHSBjEBE）
- DFTE のビットごとの緊急データを定義する （RHSBjDEDi. RHSBjEB）

図 18.22 は、緊急事態（内部の緊急信号）が外部の緊急信号（RHSBjEMRG（j = 0, 1））のレベルからどのように得られたかを示しています。RHSB モジュールは、3 周辺バスクロック（CLK_LSB）より長い外部の緊急信号に対して安定したレベルを求めます。

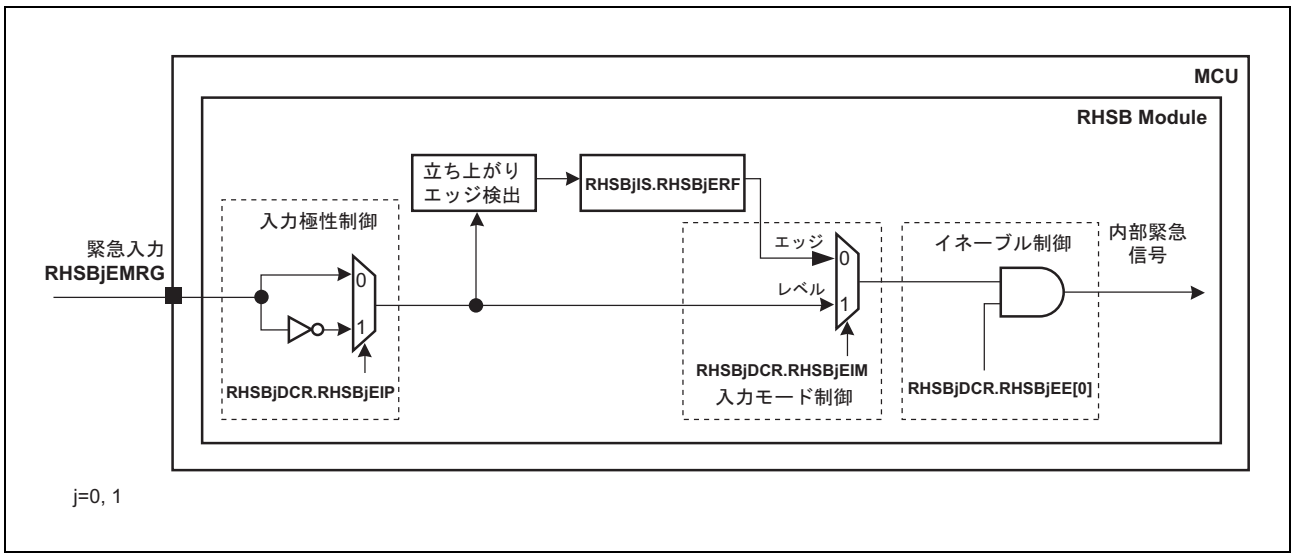


図 18.22　緊急事態の検出

RHSB モジュールは、データフレームをアセンブルする際に内部の緊急信号を使用します。緊急フレームを送信するには、アセンブル時（データフレームの開始時）に内部の緊急信号がアクティブでなければなりません。

緊急時機能を使用しない場合でも（RHSBjDCR. RHSBjEE = 00_B）、RHSBjIS. RHSBjERF を読み出して緊急事態の検出に関する情報を得ることができます。

(1) エッジセンシティブな入力モード

RHSBjDCR. RHSBjEIM = 0_B のとき、緊急入力モードはエッジセンシティブです。

外部緊急信号がアクティブになるエッジを RHSB モジュールが検出すると、RHSBjIS. RHSBjERF フラグは 1_B に設定されます。

このフラグはユーザがクリアする必要があります。

エッジセンシティブな入力モードを使用するときは、緊急フレームが送信されるまでは RHSBjIS. RHSBjERF フラグを 1_B にする必要があります。RHSBjIS.RHSBjETF フラグは緊急フレームが送信されたことを示します。

外部緊急信号がアクティブレベルのときに ACTIVE 状態に入ると、そのエッジが検出されることに注意してください。

(2) レベルセンシティブな入力モード

RHSBjDCR. RHSBjEIM = 1_B のとき、緊急入力モードはレベルセンシティブです。

レベルセンシティブな入力モードを使用するときは、外部の緊急信号がシングル周期繰り返しモードで 1 つ以上の繰り返し時間、またはマルチ周期繰り返しモードで 2 つ以上の繰り返し時間アクティブレベルになるようにする必要があります。それより短い場合、RHSB モジュールが緊急事態を検出しない場合があります。

(3) 自動停止機能

緊急時機能を RHSBjDCR.RHSBjEE によりイネーブルしたら、最初の緊急フレームの送信後にデータ送信を自動的に停止するかどうかを定義します。

RHSBjDCR.RHSBjEE を 01_B に設定すると（緊急事態の検出がイネーブル、停止なし）、自動停止機能が非アクティブになります。RHSB モジュールは、緊急事態（**図 18.22** 参照）が真である限り緊急フレームを送信します。

緊急事態が偽に変わると、RHSB モジュールは通常のデータフレームの送信を継続します。

RHSBjDCR.RHSBjEE が 11_B に設定された場合（緊急事態の検出と自動停止がイネーブル）、緊急事態が真であれば、RHSB モジュールはシングル周期繰り返しモードで緊急フレームを 1 つだけ送信するか、マルチ周期繰り返しモードで 1 つまたは 2 つの緊急フレームを送信します。

緊急フレームをすべてのスレーブに送信後、**図 18.23** に示すように、周期 0 のあと、データ送信は自動的に停止します（RHSBjDTC.RHSBjDTE は 0_B に変更）。ダウンストリームモード（RHSBjDCR.RHSBjDMS）にかかわらず、DTC.DTE を 1_B に設定してデータ送信をイネーブルするまで、データは送信できません。DTC.DTE を 1_B に設定したあと、RHSB モジュールは周期 0 から DFTE0 データの送信を再開します。

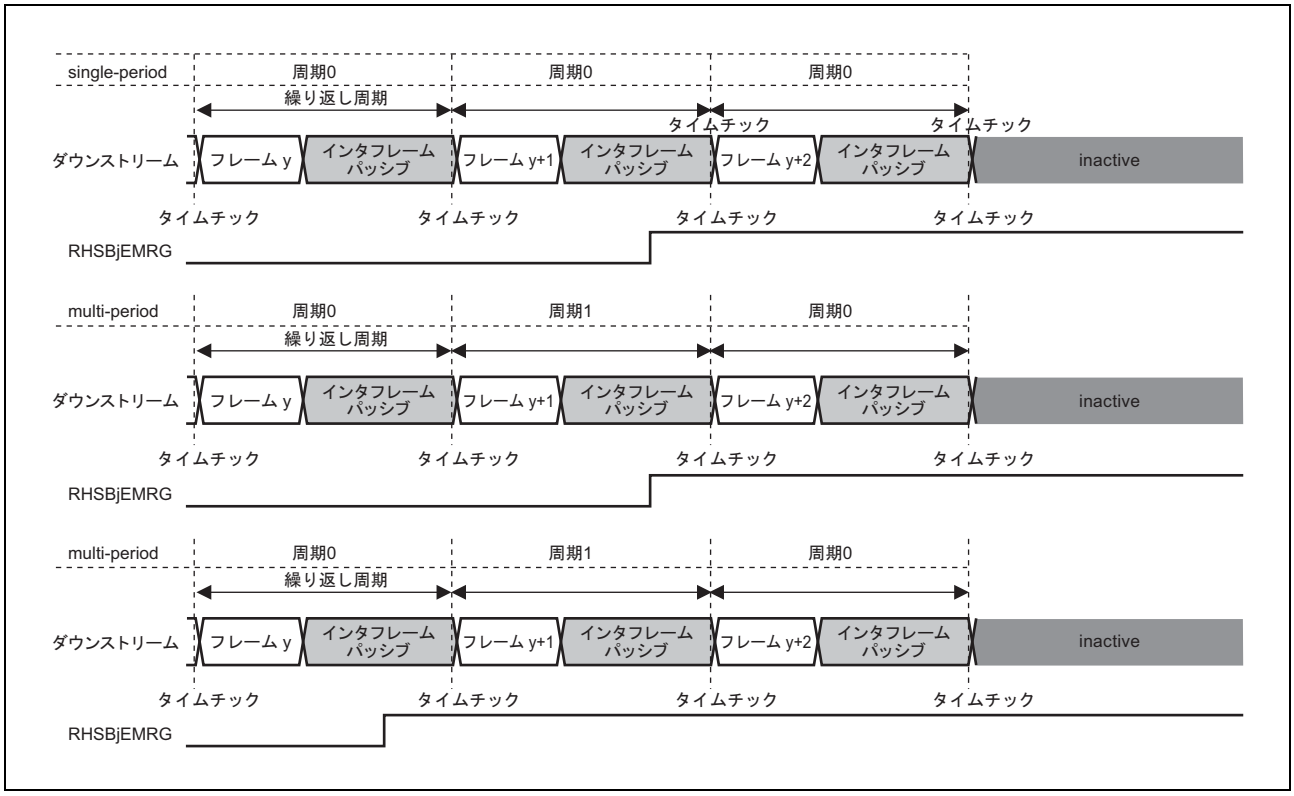


図 18.23 繰り返しモードでの自動停止機能

18.4.1.9 ダウンストリームビットレート

ダウンストリームビットレート（f_{DW}）は、RHSB エンジンのクロックソース周波数（f_{PE}）から得られます。

RHSBjDCR. RHSBjDBR によって定義される分周器の値 x を使用して、ダウンストリームビットレートは RHSB エンジンのクロックソース周波数の関数として次のように計算できます。

$f_{DW} = f_{PE} / x$

本製品の f_{PE} は 80MHz ですので、以下のダウンストリームビットレートを実現できます。

表 18.28 RHSB エンジンのクロックソースが 80 MHz のときに可能なダウンストリームビットレート

RHSBjDCR. RHSBjDBR	1	3	4	7	8	9	10	11	12
x	2	4	5	8	16	32	64	128	256
ビットレート	40 MBit/s	20 MBit/s	16 MBit/s	10 MBit/s	5 MBit/s	2.5 MBit/s	1.25 MBit/s	625 kBit/s	312.5 kBit/s

分周器の値 x が奇数の時、シリアルクロックライン (RHSBjFCLP/RHSBjFCLN) のクロック信号のデューティは 50% になりません。この場合、クロック信号の最初の位相が f_{PE} の 1 周期分長くなります。

例 . x = 5, RHSBjDCR.RHSBjCLP = 0_B の時、クロック信号のハイレベル幅は 3 × f_{PE} 周期、ロウレベル幅は 2 × f_{PE} 周期となります。また、x = 5, RHSBjDCR.RHSBjCLP = 1_B のとき、クロック信号のロウレベル幅は 3 × f_{PE} 周期、ハイレベル幅は 2 × f_{PE} 周期となります。

18.4.1.10 データ更新およびデータフレーム送信要求

RHSBjIS.RHSBjDTSF を 0_B に設定することにより、データ送信開始イベントが認識され、新しいデータを入手可能なことが RHSB モジュールに知らされます。

RHSBjIS.RHSBjDTSF は、次の 2 つの方法で 0_B に設定することができます。

- RHSBjIS.RHSBjDTSF フラグに直接 0_B を書き込む
  - RHSBjDDRi に設定されたデータが次の送信に使用される
- RHSBjDDRi レジスタに（ユーザが、または DMA により）書き込む
  - RHSBjDDRi に書き込まれる新しいデータが次の送信に使用される

DDRi に書き込む方法は、RHSBjIS.RHSBjDTSF が自動的に 0_B に設定され、それによって送信が開始されるので、送信フローの最適化が可能です。

RHSBjDDRi への書き込みで送信がトリガされる場合、この方法は設定パラメータ RHSBjDCR.RHSBjSLS（使用される DFTE の数）に依存します。

- RHSBjDCR.RHSBjSLS が 00_B（1 つの DFTE を使用）: RHSBjDDR0[31:16] に書き込む（DFTE0）
- RHSBjDCR.RHSBjSLS が 01_B（2 つの DFTE を使用）: RHSBjDDR0[15:0] に書き込む（DFTE1）
- RHSBjDCR.RHSBjSLS が 10_B（3 つの DFTE を使用）: RHSBjDDR1[31:16] に書き込む（DFTE2）
- RHSBjDCR.RHSBjSLS が 11_B（4 つの DFTE を使用）: RHSBjDDR1[15:0] に書き込む（DFTE3）

DCR1.SLS1（周期 1 に使用される DFTE の数）がマルチ周期繰り返しモードで使用できる場合でも、DDRi への書き込みで送信がトリガされる場合、この方法は設定パラメータ DCR.SLS（使用される DFTE の数）に依存します。DCR1.SLS1 が DCR.SLS 未満の場合、ダミーのデータを DCR.SLS で定義された DDRi に書き込む必要があります。

- DCR.SLS が 00_B（1 つの DFTE を使用) : DDR0[31:16] に書き込む（DFTE0）
- DCR.SLS が 01_B（2 つの DFTE を使用) : DDR0[15:0] に書き込む（DFTE1）
- DCR.SLS が 10_B（3 つの DFTE を使用) : DDR1[31:16] に書き込む（DFTE2）
- DCR.SLS が 11_B（4 つの DFTE を使用) : DDR1[15:0] に書き込む DFTE3）

データフレーム送信の開始時にアセンブルが実行された場合、データフレーム送信開始フラグ（RHSBjIS.RHSBjDTSF）は 1_B に設定されます。

RHSBjIS.RHSBjDTSF = 1_B は、データフレーム送信が開始されたため、ダウンストリームデータレジスタに新しい送信データを書き込み可能なことを示します。

さらに、データフレームがソフトウェアによる明示的なトリガなしで送信されるのを防ぐため、データ送信を RHSBjDTC.RHSBjDTE により最初にイネーブルすると、RHSBjIS.RHSBjDTSF は 1_B に設定されます。

データフレームの送信中に RHSBjDDRi を更新すると、実行中の送信には影響ありませんが、追加のデータ送信が要求されます。

ダウンストリームデータレジスタ（RHSBjDDRi）には書き込み保護機能があるので、送信待ち状態にある新しいデータがあっても、書き込まれたダウンストリームデータが少なくとも 1 回は送信されることが保証されています。

(1) ダウンストリームデータ更新のスケジューリング

ダウンストリームデータの更新は、ユーザが下記をトリガとして行うことができます。

- データフレーム送信開始をトリガとする方法
  新しいデータをできるだけ早く供給できます。この場合、RHSBjIS.RHSBjDTSF をトリガとして使用します。

- データフレーム送信完了をトリガとする方法
  新しいデータをデータフレームの送信完了後に供給できます。この場合、RHSBjIS.RHSBjDTF をトリガとして使用します。

RHSBjDDRi へ書き込みを行うと、RHSBjIS.RHSBjDTSF と RHSBjIS.RHSBjDTF はクリアされます。いずれか一方のみをダウンストリームデータの更新トリガに使用することを推奨します。

18.4.1.11 コマンドフレーム送信要求

コマンドフレーム送信は、RHSBjDTC. RHSBjCTR への書き込みがあると必ずトリガされます。要求があるたびに、1 つのコマンドフレームの送信が開始されます。コマンドフレームをどのような方法でダウンストリーム通信に挿入するかは、選択されるモードと一連の設定パラメータによって決まります。詳細については、詳細なモード記述を参照してください。

RHSBjDTC. RHSBjCTR が 00_B 以外の値に設定されると、コマンドフレーム送信がスケジューリングされます。コマンドフレーム送信の終了後、RHSBjDTC. RHSBjCTR が自動的に 00_B に設定され、新しい要求が設定可能になります。

18.4.2 アップストリーム通信

RHSB モジュールは、アップストリーム通信に非同期シリアル受信を使用します。

RHSB モジュールでは、最大 2 つのスレーブの接続に使用できるアップストリームチャネルが 2 つあります。一度にアクティブチャネルとして選択できるのは 1 つだけです。選択されないチャネルでの動作はすべて無視されます。

同一のシリアル入力ラインで、連続的なアップストリームフレームの送信と受信が可能です。

アップストリーム通信の受信は、CONFIG 状態で RHSBjUCR.RHSBjUE を 1_B に設定してこの機能をイネーブルしたときだけサポートされます。

図 18.24 に、アップストリームエンジンの機能ブロックを示します。ここではアップストリーム通信について詳しく説明します。

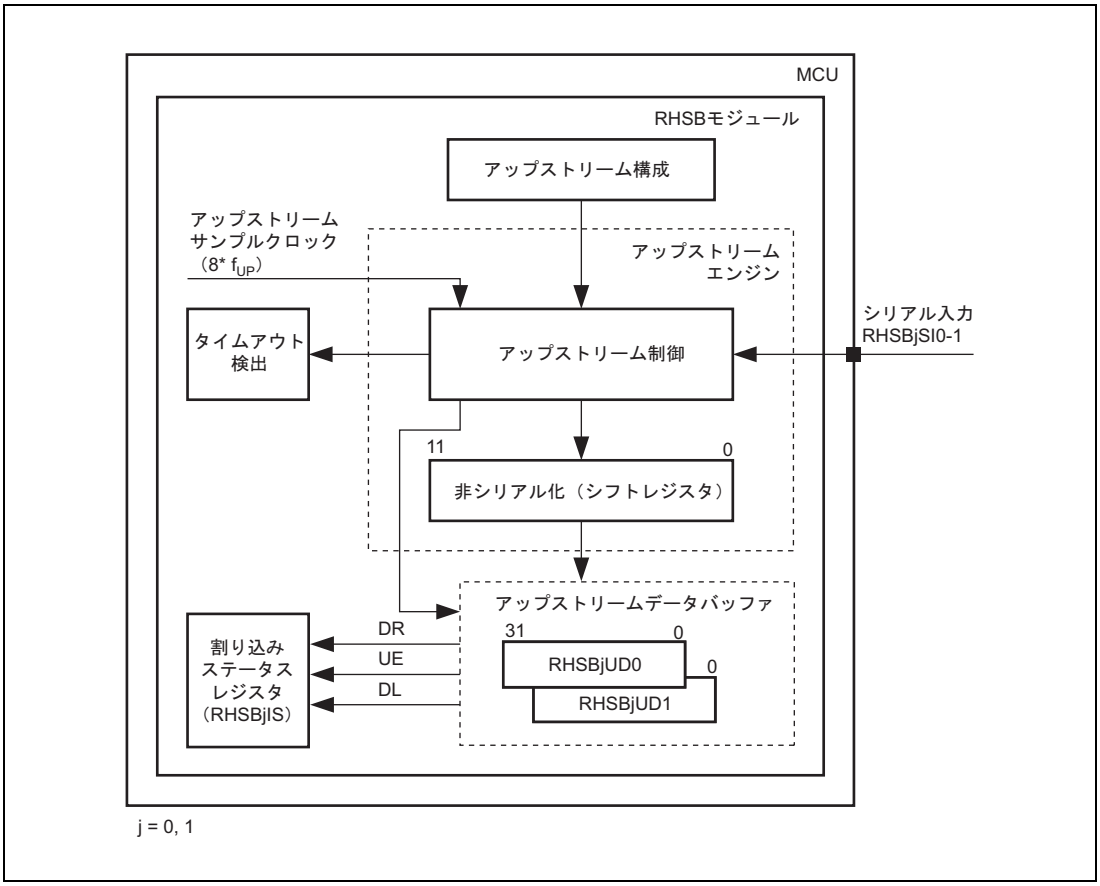


図 18.24 アップストリームのブロック図

アップストリームの設定

このブロックは、アップストリーム関連の設定パラメータと、アプリケーションソフトウェアが処理するアップストリーム制御インタフェースを示しています。

アップストリーム制御

このブロックはアップストリーム制御エンジンの主な機能を表しています。ここでアクティブなシリアルデータ入力ライン（RHSBjSI0-1（j = 0, 1））と対応する設定を選択し、開始ビットを検出し、サンプリングをスケジューリングして、フレームシンタックスを観察します。さらに、このブロックはアップストリームデータレジスタ（RHSBjUDi）で受信した情報の格納を制御し、必要なデコードステータスを提供します。

非シリアル化

シフトレジスタは受信したペイロードを格納し、アップストリームデータレジスタへの格納用にこの情報を提供します。

アップストリームデータバッファ

このブロックには、アップストリームデータレジスタと更新用の RHSBjUDi を 1 つ選択するための制御ロジックが含まれています。また、RHSBjIS レジスタのアップストリーム関連のステータフラグは、このブロックにより制御されます。

18.4.2.1 アップストリームモード

RHSB モジュールは、シリアル入力ラインへのスレーブの接続方法が異なる 2 つのアップストリームモードを備えています。これらのアップストリームモードは RHSBjUCR. RHSBjUMS で設定することができます。

- DEDICATED 入力モード
  - 各スレーブは個別のシリアル入力ラインに接続されます。
  - アクティブなシリアル入力ラインは RHSBjUCS. RHSBjACC で選択します。
- SHARED 入力モード
  - スレーブはすべてシリアル入力ライン 0 に接続されます。
  - アクティブなシリアル入力ラインは RHSBjUCS. RHSBjACC の値にかかわらず、常にライン 0 です。

SHARED 入力モードを使用するとき、使用しないシリアル入力ラインは、MCU のポート機能レジスタで RHSB の入力として設定する必要はないことに注意してください。

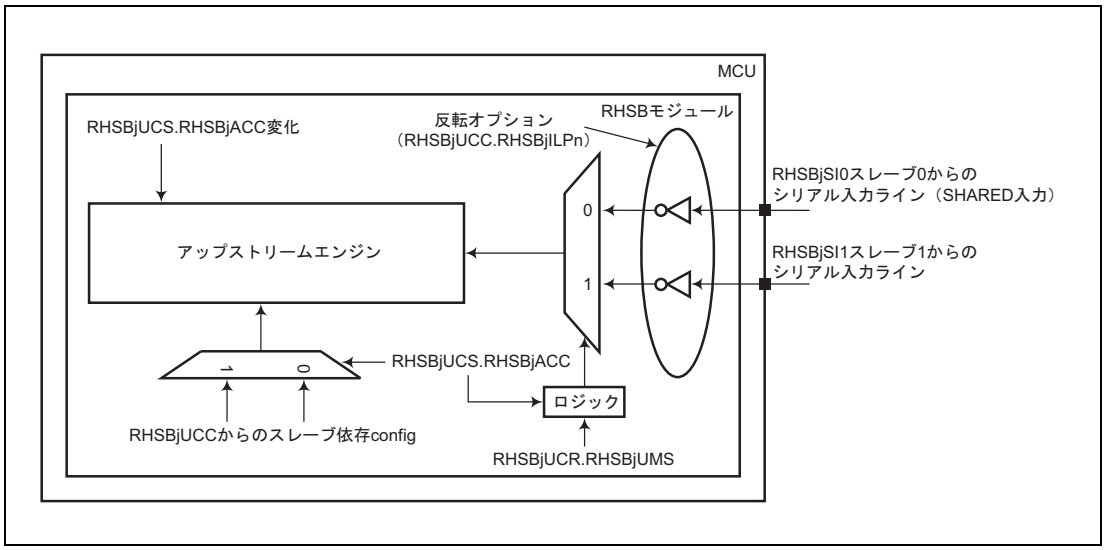


図 18.25 アップストリーム通信のスレーブの接続と選択

図 18.25 に、シリアル入力ラインをアップストリームエンジンに接続する方法を示します。図中の “ ロジック ” により、SHARED モードでは RHSBjUCS. RHSBjACC の値にかかわらず常に入力ライン 0 が使用されます。図中の “RHSBjUCS. RHSBjACC 変化 ” の情報は、選択されたチャネルが変更された場合に実行中の受信を停止するために、アップストリームエンジンにより使用されます。

18.4.2.2 個々のスレーブ設定

RHSB モジュールはスレーブごとにアップストリーム設定をサポートしています。チャネル設定が異なってもアップストリームモード（RHSBjUCR. RHSBjUMS）と無関係です。RHSBjUCC レジスタを介して、チャネルごとに以下をプログラムすることができます。

- フレームの種類 （8 または 12 ビット形式）
- ストップビット数 （2 または 3）
- パリティの種類 （偶数または奇数）
- アップストリームビットレート（詳細については**「18.4.2.5 アップストリームビット**

レート」を参照）

シリアル入力ラインの極性は RHSBjUCS. RHSBjACC に依存しません。RHSBjUCC. RHSBjILPn で設定される反転機能は固定され、シリアル入力ライン n に割り当てられます。このため、SHARED 入力モードでは 2 つのチャネルすべてに RHSBjUCC. RHSBjILP0 が使用されます。

アップストリームエンジンがアップストリームフレームのデコードに使用する設定は、RHSBjUCS. RHSBjACC により定義されます。

アクティブなアップストリーム設定を変更するには、次の 2 つの方法があります。

- 設定の変更要求を RHSBjUCS. RHSBjACC に直接書き込む
- RHSBjDTC. RHSBjCTR を 11_B に設定してアップストリームデータ要求によるコマンド送信を要求する

18.4.2.3 フレーム形式の種類

RHSB モジュールは、アップストリーム通信のフレームの種類として、データビット数のみが異なる（8 または 12 ビット）2 種類をサポートしています。構成のほかの選択項目には、フレームの種類による影響はありません。

パリティの種類が偶数のとき、パリティの対象領域内部の 1_B ビットの数は偶数（0、2、4、6、8、10、12）です。

パリティの種類が奇数のときは、パリティの対象領域内部の 1_B ビットの数は奇数（1、3、5、7、9、11、13）です。

図 18.26 と**図 18.27** は、データラインが非反転のアップストリームフレームを示します。

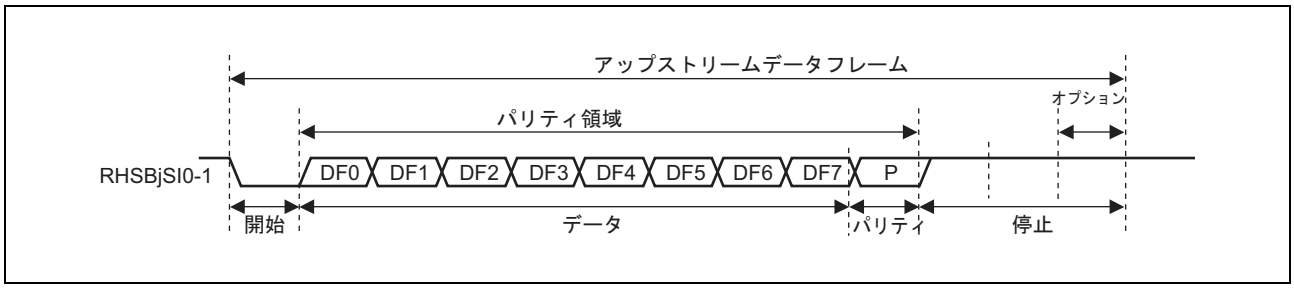


図 18.26 8 データビットのアップストリームフレーム形式（12 または 13 ビットフレーム）

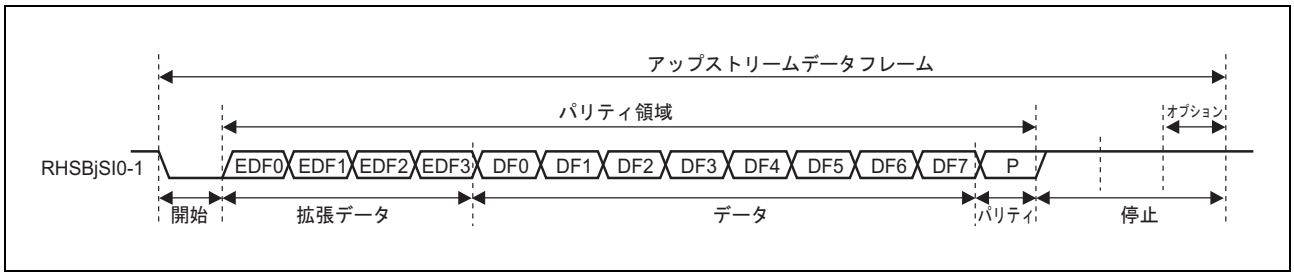


図 18.27 12 データビットのアップストリームフレーム形式（16 または 17 ビットフレーム）

18.4.2.4 フレームの格納

RHSB モジュールは 2 つのアップストリームデータレジスタ（RHSBjUDi）を備えており、アップストリームエンジンがこれらのレジスタにデコード結果を格納します。更新する RHSBjUDi をどのように選択するかを定義するには 2 つの方法があり、RHSBjUCR で選択できます。

RHSBjUCS. RHSBjACC を変更すると、実行中の受信のデコードが停止されることに注意してください。この場合、デコード結果は格納されません。

(1) 通常の格納方法

RHSBjUCR. RHSBjFSM = 0_B のとき、この方法が使用されます。

格納方法はフレームが 8 ビット形式でも 12 ビット形式でも同じです。

アクティブチャネルの設定 （RHSBjUCS. RHSBjACC）により、デコード結果を格納するアップストリームデータレジスタが定義されます。以下の関係によってターゲットを識別することができます。

- RHSBjUCS. RHSBjACC = 00_B のとき、RHSBjUD0 が更新される
- RHSBjUCS. RHSBjACC = 01_B のとき、RHSBjUD1 が更新される

(2) アドレス指定の格納方法

RHSBjUCR. RHSBjFSM = 1_B のとき、この方法を使用します。

フレームの種類を 8 ビット形式に設定すると、ターゲットは常に RHSBjUD0 となります。

フレームお種類を 12 ビット形式に設定すると、ターゲットは受信された拡張データフィールド（EDF、**図 18.27** 参照）に依存します。ターゲットは以下の関係により識別することができます。

- RHSBjEDF[3:2] = 00_B のとき、RHSBjUD0 が更新される
- RHSBjEDF[3:2] = 01_B のとき、RHSBjUD1 が更新される

受信にフォルトがある場合も（パリティエラーまたはストップビットエラーを検出）、受信された拡張データフィールドを使ってターゲットを識別し、エラーフラグを更新することに注意してください。

18.4.2.5 アップストリームビットレート

アップストリームビットレート（f_{UP}）は、ダウンストリームビットレート（f_{DW}）から求められます。

ビットレートは、RHSBjUCC. RHSBjUBRn によりチャネルごとに設定します。

（x = RHSBjUCC. RHSBjUBRn）の場合、チャネル n が使用するアップストリームビットレートは、ダウンストリームビットレートの関数として次のように計算できます。

$f_{UP} = f_{DW} / 2^x$

RHSB モジュールは各アップストリームビットを 8 回サンプリングするので、論理的な最大アップストリームビットレートは、RHSB エンジンのクロックソース周波数の 1/8 になります（$f_{PE}/8$）。ただし、本製品においては 16 分周（5MHz）以下に設定してください。

18.4.2.6　デコードステータスの更新

アップストリームフレームのデコードの終了後（最後のストップビットの後）、アップストリームエンジンは RHSBjUDi レジスタの 1 つを更新します。

デコーダがパリティエラーまたはストップビットエラーを検出すると、対応する RHSBjUDi レジスタで関連するエラーフラグ（RHSBjFERR または RHSBjPERR、あるいは両方）がセットされます。

デコーダがパリティエラーもストップビットエラーも検出しなかった場合、このフレームは有効なフレームと判断され、対応する RHSBjUDi の以下の部分が更新されます。

- 新規データフラグ（RHSBjND）が 1_B に設定される
- データフィールド（RHSBjDF）が更新される
- 12 ビットフレームの場合は拡張データフィールド（RHSBjEDF）が更新される
- 新規データフラグがすでに 1_B であった場合は、データ消失フラグ（RHSBjDL）が 1_B に設定される

18.4.3 タイムアウト検出

RHSB モジュールによって実現されたタイムアウト検出の考え方は、「データ要求によるコマンド送信」の考え方と関連しています。その考え方は、下記のフローを想定しています。

手順 1：マスタは、コマンドフレームを送信してスレーブ x のデータを要求する。

手順 2：スレーブ x は、要求されたデータをアップストリームチャネルに送ってマスタに応じる。

アプリケーションの観点では、マスタは一定時間（タイムアウト時間）内にスレーブ x から応答があることを期待しています。この期待を処理するのがタイムアウト検出機能です。

タイムアウト検出機能を使用するには、アップストリーム受信をイネーブルして（RHSBjUCR.RHSBjUE = 1_B）、タイムアウト機能をイネーブルしてください（RHSBjUCR.RHSBjTOE = 1_B）。

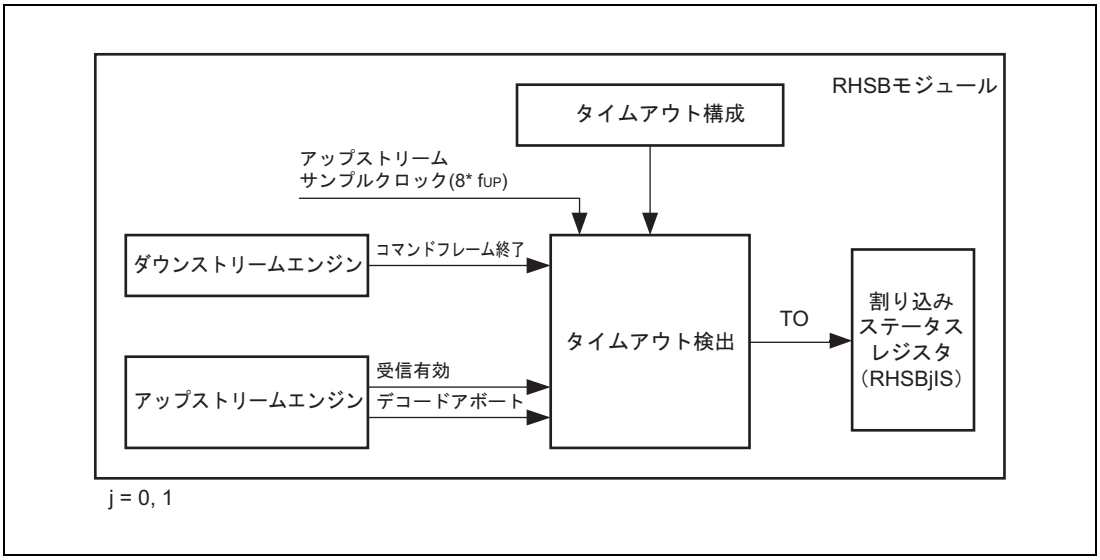


図 18.28 タイムアウトのブロック図

図 18.28 は、タイムアウト検出ブロックの範囲を図解しています。これは、ダウンストリームおよびアップストリームエンジンにより制御されます。タイムアウト検出は RHSBjIS. RHSBjTOF を制御します。この検出は実行中の受信に影響を与えません。

タイムアウト検出は要求による受信とそれ以外の受信を区別できないことに注意してください。たとえば、タイムアウト時間中に SHARED 入力モードの設定が使用され、2 つのスレーブがアップストリームフレームを送信している場合を考えてみます。タイムアウト時間中は、フォルトなしの動作においてアップストリーム受信が 1 回だけ可能であることを確認する必要があります。

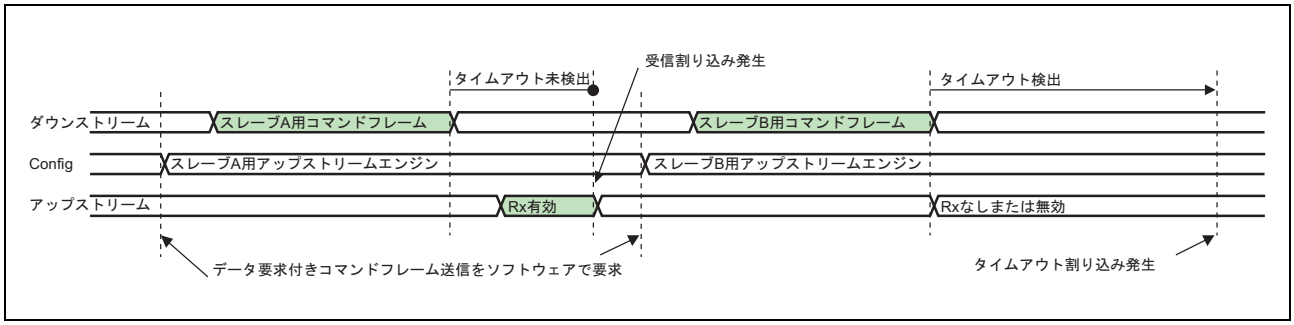


図 18.29 タイムアウト検出例

図 18.29 で示す例は、タイムアウト検出の基本的タイミングを示しています。

最初の事例では、スレーブ A へのデータ要求を受けてコマンドフレーム送信が実行されています。ダウンストリーム設定が更新され、次いでコマンドフレームの送信がスケジューリングされます。送信終了後、タイムアウト時間が開始します。タイムアウト時間が終了する前に、スレーブの有効な応答がデコードされます。

2 つめの事例では、スレーブ B へのデータ要求を受けてコマンドフレーム送信が実行されています。この場合、有効な応答がデコードされる前にタイムアウト時間が終了しています。

18.4.3.1 リモートデータ要求によるコマンド送信

データ要求によるコマンド送信を実行するには、次のフローにしたがう必要があります。

- コマンドデータを RHSBjDCD レジスタに書き込む
- ターゲットのスレーブを RHSBjDTC. RHSBjSSCF に書き込んで定義する
- RHSBjDTC. RHSBjCTR に 11_B を書き込んで、データ要求によるコマンド送信を要求する

RHSBjDRC. RHSBjCTR にコマンドを書き込むと、RHSB モジュールでトリガが発生し、以下の動作が実行されます。

- ターゲットスレーブの番号を使って（RHSBjDTC. RHSBjSSCF）アクティブなスレーブの設定（RHSBjUCS.RHSBjACC）を更新する
- アクティブなスレーブが変更されると実行中の受信が停止する
- コマンドフレームをダウンストリームチャネルに送信する
- コマンド送信が終了したら、タイムアウトカウンタを始動させる

アップストリームチャネルに有効な受信が存在するとき、RHSB モジュールはリモートデータ要求を処理すべきと判断して、タイムアウトカウンタが停止されます。

タイムアウトカウンタが終了するまでアップストリームチャネルに有効な受信が存在しないときは、リモートデータ要求は失敗と判断され、RHSBjUDi. RHSBjTO および RHSBjIS. RHSBjTOF を 1_B に設定してタイムアウトが通知されます。

18.4.3.2 タイムアウト検出の詳細

タイムアウトカウンタは、タイムアウト検出に名目のアップストリームビット時間を使用します。タイムアウトカウンタは、開始ビットのデコード中に起こり得る再同期化の結果による影響は受けません。

タイムアウトカウンタは、コマンドフレーム送信が終了すると（フレームのパッシブ位相の終わり）、（RHSBjUCR. RHSBjRTO + 1）*8 （U ビット）の値に初期化されます。

タイムアウトカウンタは、アクティブスレーブの設定（RHSBjUCC.RHSBjUBRn）にしたがってデコーダが使用するサンプル時間（U ビット／ 8）ごとに、デクリメントされます。

タイムアウトカウンタは、以下のいずれかの場合に停止します。

- アップストリームチャネルにデコード済みの有効な受信がある
- タイムアウトカウンタが終了した
- デコードが停止された（たとえば、RHSBjUCS. RHSBjACC を変更することにより）

ダウンストリームフレームのパッシブ位相の最後とアップストリームのサンプルポイントの間で同期化は行われないこい注意してください。このため、タイムアウトカウンタの最初のデクリメントは 1_D ビットと 1 U ビット／ 8 間で起こる可能性があります。

18.4.4 テストモード動作

RHSBjGC.RHSBjOPS が TEST モードのとき、RHSB モジュールはキーオンテストをサポートすることができます。

このテストモードの目的は、ダウンストリームチャネルにデータを送信し、同じデータをアップストリームフレームとして受信することです。アップストリームエンジンは UART に似たフレームしかデコードできないので、そのようなパターンは、SPI に似たダウンストリームフレーム内でエミュレートする必要があります。

RHSB モジュール内のダウンストリーム経路とアップストリーム経路は独立しているので、テストモードは RHSB のすべてのフラグを適正なテスト対象とすることができます。

テストモードが有効な間に、シリアル入力ラインをアップストリームエンジンから切断して出力を以下の固定のレベルでドライブします。

- シリアル出力ライン（RHSBjSOP/RHSBjSON）は “H” レベルでドライブする
- シリアルクロックライン（RHSBjFCLP/RHSBjFCLN）はクロックライン位相に応じたレベルでドライブする （RHSBjDCR.RHSBjCLP = 0_B のときは “L” レベル）
- チップセレクトライン（RHSBjCSD0-1）はチップセレクトラインの極性に応じたレベルでドライブする（RHSBjSDCi.RHSBjCSLPn = 0_B のときは “L” レベル）

図 18.30 は、ループバックマルチプレクサの位置について詳しく図解したものです。ダウンストリームデータ（RHSBjSDCi.RHSBjSOLPn）の反転のみがテストモードに影響を与えています。ほかの反転はすべて対象外です。

ループバックマルチプレクサは、内部のシリアルデータ（RHSBjSOP/RHSBjSON）信号を 1 つのアップストリームチャネルに接続します。チャネルはアクティブな内部チップセレクトにより選択されます。このため、2 つすべてのアップストリームチャネルをチェックすることができます。

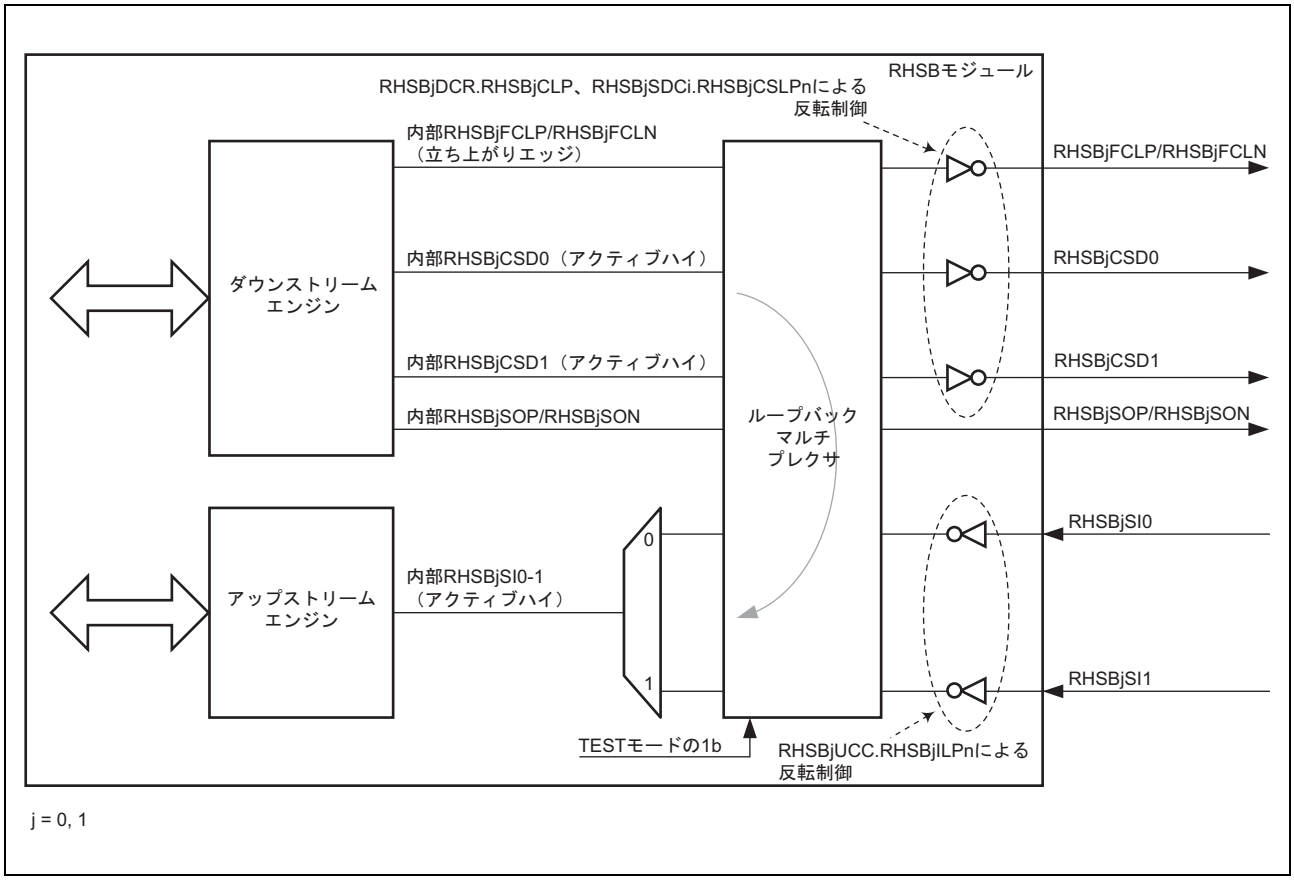


図 18.30 テストモードでのループバック接続

テストモードは以下のような条件で実行してください。

- ダウンストリームのビットレート分配器を $f_{DW} = f_{PE}/8$ とします（これにより、RHSB エンジンのクロックソース周波数に 80 MHz を使用すると、最大ビットレートが 10 MBit/s になります）。RHSBjDCR.RHSBjDBR は 7_D に設定してください。
- アップストリームビットレートをダウンストリームビットレートに等しくします（$f_{UP} = f_{DW}$）。2 つのアップストリームチャネルすべてに対して RHSBjUCC.RHSBjUBRn を 0_D に設定してください。

18.4.4.1 テストモードデータの生成

図 18.31 に、コマンドフレームのビットをアップストリームチャネルがどのように受信するかについて、一例を示します。この例は、アサート位相とデアサート位相のない非反転のダウンストリームデータを使用しており、12 ビット形式で 2 ストップビットを想定しています。

ダウンストリームデータライン上でスレーブ 1 のコマンドフレームが送信されており、UCS.ACC を 01_B に設定してレシーバを同じスレーブに接続する必要があります。

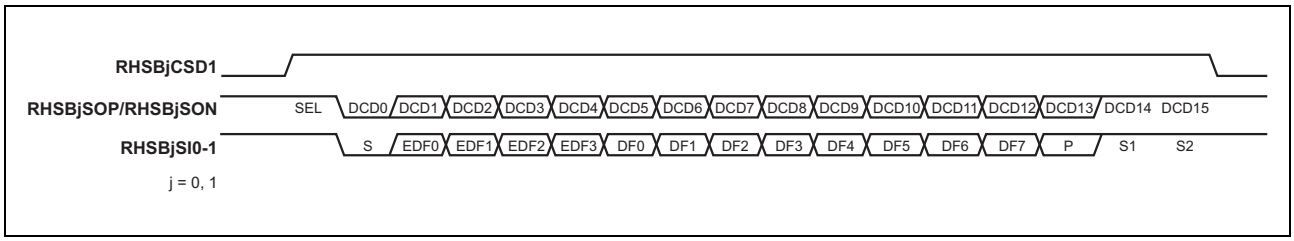


図 18.31 アップストリームエンジンによるコマンドフレームの受信方法の例

パターンを RHSBjDCD レジスタに書き込むことにより、パリティロジックとストップビットのエラー検出をチェックすることができます。さらに、RHSBjDCD レジスタの全 32 ビット、コマンド長さの設定、アサート位相とデアサート位相の長さ、データ反転をチェックすることができます。

データフレームでも同様のチェックが可能です。データフレームで複数のスレーブが対応している場合でも、選択されたスレーブのデータのみが受信されることに注意してください。

18.5 割り込み

RHSB モジュールには、割り込み要求の生成に使用可能な要因が 9 種類あります。

割り込みステータスフラグは、0_B に設定するとクリアされます。1_B を書き込んでも影響はありません。割り込みフラグによっては、SW フローの最適化を可能にするために追加の機能クリア条件を定義することがあります。これらの割り込みフラグには、**18.5.1** と **18.5.2** の割り込み要因一覧で「*」印をつけています。

RHSB モジュールが RESET 状態または CONFIG 状態にあるときは、割り込み要求は生成されません。

18.5.1 ダウンストリーム関連の割り込み （送信）

割り込みライン 0

データフレーム送信を開始 （RHSBjDTSF）*

データフレーム送信を実行 （RHSBjDTF）*

割り込みライン 1

コマンドフレーム送信を実行 （RHSBjCTF）*

送信を開始 （RHSBjTSF）

割り込みライン 2

緊急フレーム送信を実行（RHSBjETF）

18.5.2 アップストリーム関連の割り込み（受信）

割り込みライン 3

データを受信（RHSBjDRF）*

割り込みライン 4

アップストリームエラー（RHSBjUEF）*

タイムアウトを検出 （RHSBjTOF）

データ消失（RHSBjDLF）*

RHSBjUSS レジスタを読み出すことにより、アップストリームの全ステータスの情報が得られます。

18.5.3 割り込み要求の詳細

RHSBjIS レジスタ（RHSBjIS.RHSBjxF）には個別の割り込みステータスフラグがあり、RHSBjIC レジスタ（RHSBjIC.RHSBjxIE）には割り込み要因（x）ごとに個別の割り込みイネーブルビットがあります。

割り込みステータスの機能は、割り込みイネーブルとは無関係です。割り込みイネーブルは、MCU の割り込みコントローラに対して割り込み要求が出された場合のみ制御を行います。

図 18.32 に、割り込み要求の生成方法と割り込みの分類の実例を示します。

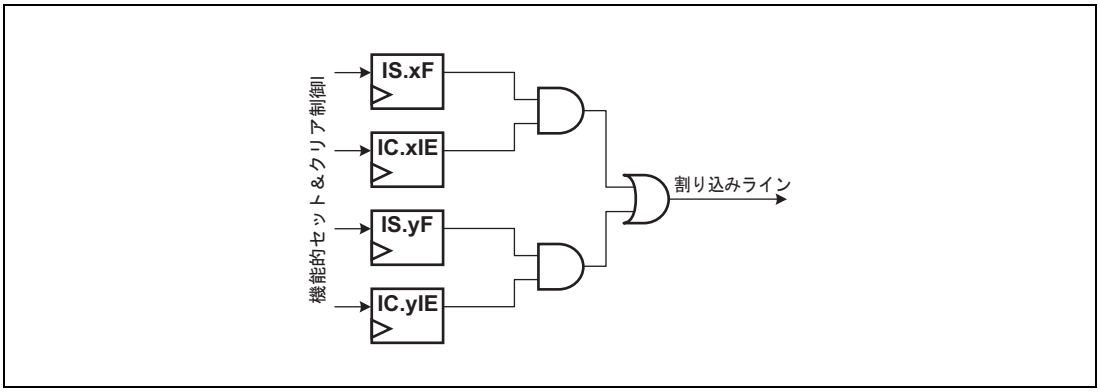


図 18.32 割り込みの分類 （2 つの割り込み x と y の例）

18.6 DMA の機能

18.6.1 ダウンストリームデータ送信での DMA の使用

ダウンストリームデータ DMA の機能は、予め算出済みのデータ表がメモリ（RAM または FLASH）に格納されているアプリケーションに役立てるためのもので、RHSB モジュールがスレーブに転送すべきパターンを定義します。

ダウンストリームデータ DMA 転送は、RHSBjIS.RHSBjDTSF が 1_B で、RHSBjGC.RHSBjDDE により DMA がイネーブルされたときに開始されます。

ダウンストリームデータ DMA を使用するときは、RHSBjIS.RHSBjDTSF を割り込み要因として使用しないでください（RHSBjIC. RHSBjDTSIE を 0_B に設定）。また、ダウンストリームデータレジスタ（RHSBjDDRi）への書き込みと RHSBjIS.RHSBjDTSF の 0_B への設定は行わないでください。

図 18.33 のケース 1 は通常のダウンストリームデータ DMA 送信を示しています。**図 18.33** のケース 2 のように、DMA が繰り返し周期内にダウンストリームデータを供給できない場合、最後に DMA で書き込まれたデータを再度送信します。繰り返し周期は、DMA がダウンストリームデータを供給する時間より長い時間に定義することを推奨します。

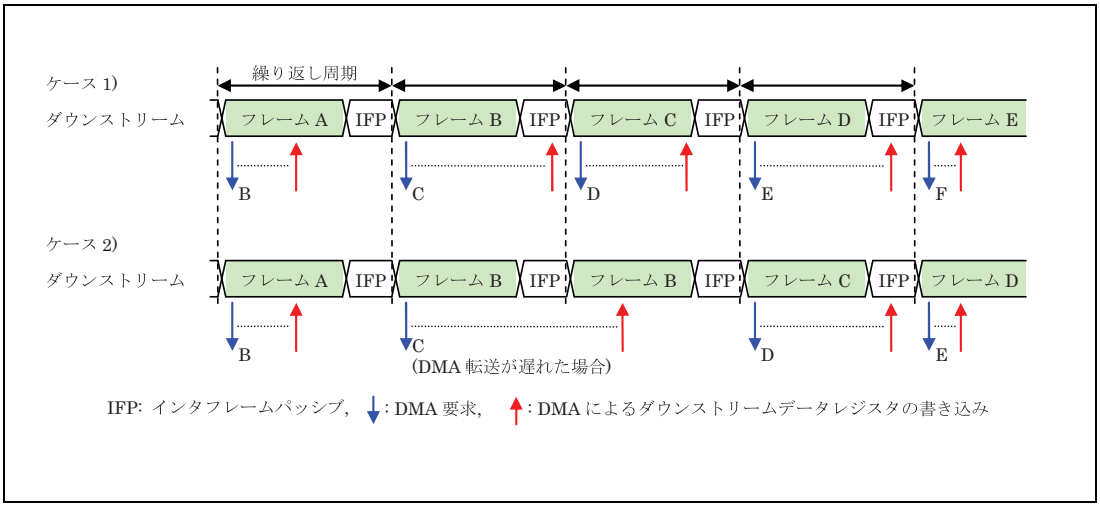


図 18.33 ダウンストリームデータ DMA タイミング

18.6.1.1 ダウンストリームデータ DMA を使用するための設定とイネーブルの流れ

以下の設定を CONFIG 状態で行ってください。

- RHSBjDCR.RHSBjDMS を 01_B に設定（トリガモード）
- RHSBjIC. RHSBjDTSIE を 0_B に設定
- ほかのすべての設定パラメータをアプリケーション要件にしたがって設定
- RHSB モジュールに必要なデータを供給するために DMA コントローラを設定
  - RHSB モジュール内のターゲットは RHSBjDDR0 レジスタ
  - 転送されるデータのワード数は RHSBjDCR.RHSBjSLS に依存

以下の動作は、アプリケーション要件にしたがって ACTIVE 状態で行うことができます。

- 初期データを RHSBjDDRi レジスタに書き込む
  - RHSBjDTC.RHSBjDTE を 1_B に設定した後最初の DMA 転送を、この初期データを含むデータフレームが送信された後に要求する
- RHSBjDTC.RHSBjDTE または RHSBjDTC.RHSBjTSR を 1_B に設定することにより、ダウンストリームデータ送信をイネーブルまたはディスエーブルする
- ダウンストリームデータ DMA の機能をイネーブルまたはディスエーブルする（RHSBjGC.RHSBjDDE）

ダウンストリームデータ DMA がイネーブルのとき、RHSBjIS.RHSBjDTSF = 1_B は DMA 転送が待ち状態にあることを示します。

18.6.1.2 ダウンストリームデータ DMA 向けのメモリ内のデータ配置

メモリから RHSB モジュールの RHSBjDDRi レジスタに転送されるデータの配置は、RHSBjDCR.RHSBjSLS におけるデータフレームの設定に依存します。

DMA 要求（RHSBjIS.RHSBjDTSF）は、ダウンストリームデータレジスタ（RHSBjDDRi）への書き込みによってクリアされるため、データの転送量が送信に必要なデータに合うようにしなければなりません（要求のマッピングの詳細については**「18.4.1.10 データ更新およびデータフレーム送信要求」**を参照）。RHSB モジュールは、必要以上のデータを RHSBjDDRi レジスタに書き込むことができます。したがって、DMA コントローラが 32 ビット転送しかサポートしていなくても、機能上の制約はありません。

16 ビット転送を使用するときは、ダウンストリームデータレジスタの上位部分（ビット [31:16]）が最初に書き込まれるようにする必要があること注意してください。

18.6.2 ダウンストリームコマンド送信での DMA の使用

ダウンストリームコマンド DMA の機能は、コマンドデータ表が RHSB モジュールによってスレーブに転送すべきメモリ（RAM または FLASH）に格納されているアプリケーションに役立てるためのものです。

ダウンストリームコマンド DMA 転送は、RHSBjIS.RHSBjCTF が 1_B で、RHSBjGC.RHSBjDCDE により DMA がイネーブルされたときに開始されます。

ダウンストリームコマンド DMA を使用するときは、RHSBjIS.RHSBjCTF を割り込み要因として使用しないでください（RHSBjIC.RHSBjCTIE を 0_B に設定）。また、ダウンストリームコマンドデータレジスタ（RHSBjDCD）およびダウンストリーム送信制御レジスタ（RHSBjDTC）への書き込みと、RHSBjIS.RHSBjCTF の 0_B への設定は行わないでください。

18.6.2.1 ダウンストリームコマンド DMA を使用するための設定とイネーブルの流れ

以下の設定を CONFIG 状態で行ってください。

- RHSBjIC.RHSBjCTIE を 0_B に設定
- ほかのすべての設定パラメータをアプリケーション要件にしたがって設定
- RHSB モジュールに必要なデータを供給するために DMA コントローラを設定
  - RHSB モジュール内のターゲットは RHSBjDCD レジスタと RHSBjDTC レジスタ
  - 転送されるコマンドビット数は RHSBjDTC.RHSBjNCB に依存

以下の動作は、アプリケーション要件にしたがって ACTIVE 状態で行うことができます。

- コマンドデータを RHSBjDCD レジスタに、設定パラメータを RHSBjDTC レジスタに書き込む
- ダウンストリームコマンド DMA の機能をイネーブルまたはディスエーブルする（RHSBjGC.RHSBjDCDE）

ダウンストリームコマンド DMA がイネーブルのとき、RHSBjIS.RHSBjCTF = 1_B は DMA 転送が待ち状態にあることを示します。

18.6.2.2 ダウンストリームコマンド DMA 向けのメモリ内のコマンドデータ配置

メモリから RHSB モジュールの RHSBjDCD レジスタに転送されるコマンドデータの配置は、RHSBjDTC.RHSBjNCB におけるコマンドフレームの設定に依存します。

DMA 要求（RHSBjIS.RHSBjCTF）は、コマンド送信要求（RHSBjDTC.RHSBjCTR）への書き込みによってクリアされるため、コマンドデータの転送量が送信に必要なコマンドに合うようにしなければなりません。RHSB モジュールは、必要以上のデータを RHSBjDCD レジスタに書き込むことができます。したがって、DMA コントローラが 32 ビット転送しかサポートしていなくても、機能上の制約はありません。

16 ビット転送を使用するときは、ダウンストリームコマンドデータレジスタの上位部分（ビット [31:16]）が最初に書き込まれるようにする必要があることに注意してください。

18.6.3 アップストリームデータ受信での DMA の使用

アップストリーム DMA の機能は、一連のアップストリームフレームをメモリに格納するためのものです。

アップストリーム DMA 転送は、RHSBjIS.RHSBjDRF が 1_B で、RHSBjGC.RHSBjUDE によって DMA をイネーブルしたときに開始されます。

アップストリーム DMA を使用するときは、RHSBjIS.RHSBjDRF を割り込み要因として使用しないでください（RHSBjIC.RHSBjDRIE を 0_B に設定）。また、アップストリームデータ読み出しレジスタ（RHSBjUDR）の読み出し、RHSBjUDi. RHSBjND の 0_B への設定、RHSBjIS.RHSBjDRF の 0_B への設定は行わないでください。

DMA コントローラが新しく受信したデータをタイムリーに処理できないときは、受信メッセージを RHSBjUDR ではもはや入手できないので（関連する RHSBjUDi でまだ入手可能な場合でも）、そのデータが失われている場合があります。ソフトウェアは、RHSBjUDR.RHSBjNDS ビットによってオーバランに関する情報を、また RHSBjUDi.RHSBjDL によってデータの消失に関する情報を得ることができます。

18.6.3.1 アップストリーム DMA を使用するための設定とイネーブルの流れ

以下の設定を CONFIG 状態で行ってください。

- RHSBjUCR.RHSBjUE を 1_B に設定
- RHSBjIC.RHSBjDRIE を 0_B に設定
- ほかのすべての設定パラメータをアプリケーション要件にしたがって設定

- RHSB モジュールに必要なデータを供給するために DMA コントローラを設定
  - RHSB モジュール内のソースは RHSBjUDR
  - 転送されるデータのビット数 （8、16、32 ビット）はアプリケーション要件に依存

以下の動作は、アプリケーション要件にしたがって ACTIVE 状態で行うことができます。

- スレーブのデータを要求する（たとえば、コマンドフレームによって）
- アップストリーム DMA 機能のイネーブルまたはディスエーブル（RHSBjGC.RHSBjUDE）
- アップストリームエラー割り込みを評価してアップストリームの問題を処理する

アップストリーム DMA がイネーブルのとき、RHSBjIS. RHSBjDRF = 1_B は DMA 転送が待ち状態であることを示します。

18.6.3.2 アップストリーム DMA 向けのメモリ内のデータ配置

DMA 転送では、RHSBjUDR のみを DMA 転送のソースとして使用してください。RHSBjUDR のすべての 32 ビットがメモリに転送されるか、または一部のみ（8 ビットまたは 16 ビット）が転送されるかは、アプリケーション要件に依存します。

DMA コントローラが RHSBjUDR を読み出すとき、RHSBjUDi レジスタ内の関連する新規データフラグが 0_B に設定されます。また、RHSBjIS.RHSBjDRF は 0_B に設定されます。DMA 転送は RHSBjUDi レジスタ内のエラーフラグには影響しないことに注意してください。

18.7 クロスバー（XBAR）

18.7.1 概要

XBAR は以下の機能で構成されます。

- RHSB XBAR

RHSB XBAR は、ATU-IV、APA からの信号をマルチプレクサで選択し任意の信号を RHSB に出力します。RHSB のチャネル数は 2 つあり、それぞれ XBAR があります。各 XBAR は 16 ビットのサブ XBAR を 4 個持ちます。RHSBGiCRjH、RHSBGiCRjL の各ビットを変更することにより RHSB への出力を選択可能です。RHSB0 と RHSB1 では XBAR で選択できる信号が異なります。RHSB0 が i = 0 であり、RHSB1 が i = 1 に対応します。

18.7.2 モジュール構成

18.7.2.1 RHSB XBAR の構成

RHSB クロスバーは ATU-IV と RHSB 間を結ぶ選択論理です。RHSB1 チャネルに対し、16 ビットのサブ XBAR を 4 つ持ちます。

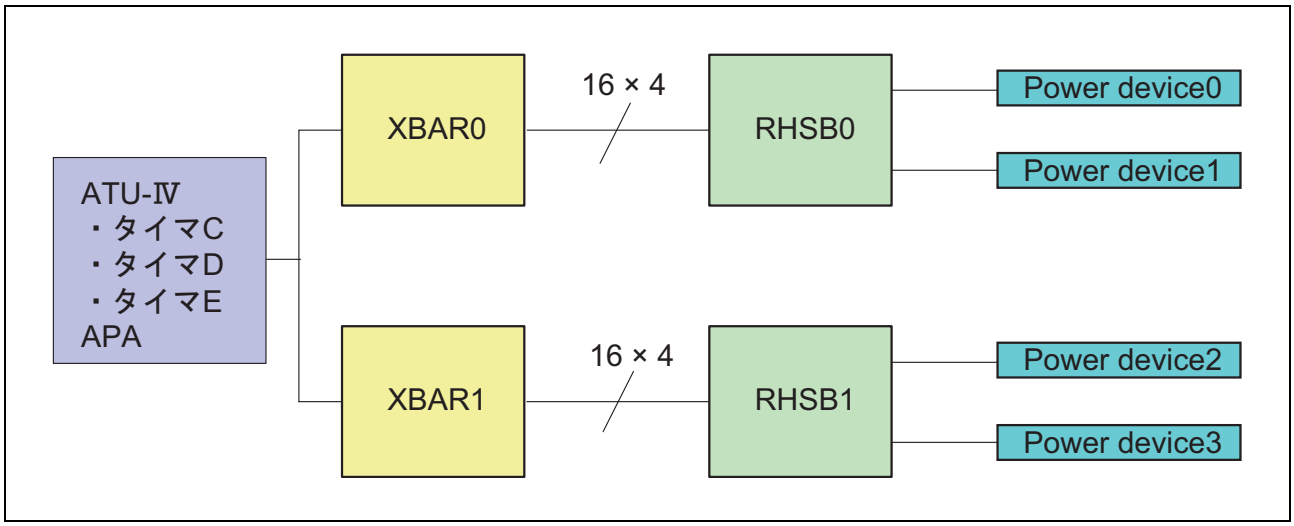


図 18.34 RHSB クロスバー構成

18.7.3 レジスタ仕様

18.7.3.1 レジスター覧

RHSB XBAR のレジスタのアドレス配置は以下のとおりです。

表 18.29 RHSB0 XBAR レジスター覧

アドレス	レジスタ配置
FFED $D000_H$	RHSBG0CR0H
FFED $D004_H$	RHSBG0CR0L
FFED $D008_H$	RHSBG0CR1H
FFED $D00C_H$	RHSBG0CR1L
FFED $D010_H$	RHSBG0CR2H
FFED $D014_H$	RHSBG0CR2L
FFED $D018_H$	RHSBG0CR3H
FFED $D01C_H$	RHSBG0CR3L

表 18.30 RHSB1 XBAR レジスター覧

アドレス	レジスタ配置
FFED $D800_H$	RHSBG1CR0H
FFED $D804_H$	RHSBG1CR0L
FFED $D808_H$	RHSBG1CR1H
FFED $D80C_H$	RHSBG1CR1L
FFED $D810_H$	RHSBG1CR2H
FFED $D814_H$	RHSBG1CR2L
FFED $D818_H$	RHSBG1CR3H
FFED $D81C_H$	RHSBG1CR3L

18.7.3.2　RHSBGiCRjH — マイクロセカンドバスコントロールレジスタ H

RHSBGiCRjH は 32 ビットの読み出し／書き込み可能なレジスタで ATU、APA から入力された信号から RHSB に出力する信号の上位ビットを選択します。対応する信号は、ATU タイマ C、タイマ D、タイマ E、APA になります。

ATU タイマ C、タイマ D、タイマ E、APA の動作中に本ビットの設定を変更しないでください。

RHSBGiCRjH は、バイト単位で読み出し／書き込み可能です。

RHSBGiCRjH は、リセット時に $0000\ 0000_H$ に初期化されます。

i = 0, 1（RHSB のチャネル数）

j = 0 ～ 3（サブ XBAR 数）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MiMDj15				MiMDj14				MiMDj13				MiMDj12			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MiMDj11				MiMDj10				MiMDj9				MiMDj8			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.31　RHSBGiCRjH レジスタの内容 (1/4)

ビット位置	ビット名	機能
31 ～ 28	MiMDj15	15 ビット目の信号を選択します。 0000：TIOC0[3] を選択 0001：TIOC2[3] を選択（i = 0）/ TIOC5[3] を選択（i = 1） 0010：TIOC3[3] を選択（i = 0）/ TIOC6[3] を選択（i = 1） 0011：TIOC4[3] を選択（i = 0）/ TIOC7[3] を選択（i = 1） 0100：TOD0B[3] を選択 0101：TOD1B[3] を選択 0110：TOD2B[3] を選択（i = 0）/ TOD4B[3] を選択（i = 1） 0111：TOD3B[3] を選択（i = 0）/ TOD5B[3] を選択（i = 1） 1000：TOE0[3] を選択 1001：TOE1[3] を選択（i = 0）/ TOE4[3] を選択（i = 1） 1010：TOE2[3] を選択（i = 0）/ TOE5[3] を選択（i = 1） 1011：TOE3[3] を選択（i = 0）/ TOE6[3] を選択（i = 1） 1100：TOD3A[3] を選択（i = 0）/ TOD5A[3] を選択（i = 1） 1101：TOD0A[3] を選択 1110：選択しないで下さい。注 1 1111：APA[15] を選択

表 18.31 RHSBGiCRjH レジスタの内容 (2/4)

ビット位置	ビット名	機能
27 ～ 24	MiMDj14	14 ビット目の信号を選択します。 0000：TIOC0[2] を選択 0001：TIOC2[2] を選択（i = 0）/ TIOC5[2] を選択（i = 1） 0010：TIOC3[2] を選択（i = 0）/ TIOC6[2] を選択（i = 1） 0011：TIOC4[2] を選択（i = 0）/ TIOC7[2] を選択（i = 1） 0100：TOD0B[2] を選択 0101：TOD1B[2] を選択 0110：TOD2B[2] を選択（i = 0）/ TOD4B[2] を選択（i = 1） 0111：TOD3B[2] を選択（i = 0）/ TOD5B[2] を選択（i = 1） 1000：TOE0[2] を選択 1001：TOE1[2] を選択（i = 0）/ TOE4[2] を選択（i = 1） 1010：TOE2[2] を選択（i = 0）/ TOE5[2] を選択（i = 1） 1011：TOE3[2] を選択（i = 0）/ TOE6[2] を選択（i = 1） 1100：TOD3A[2] を選択（i = 0）/ TOD5A[2] を選択（i = 1） 1101：TOD0A[2] を選択 1110：選択しないで下さい。注 1 1111：APA[14] を選択
23 ～ 20	MiMDj13	13 ビット目の信号を選択します。 0000：TIOC0[1] を選択 0001：TIOC2[1] を選択（i = 0）/ TIOC5[1] を選択（i = 1） 0010：TIOC3[1] を選択（i = 0）/ TIOC6[1] を選択（i = 1） 0011：TIOC4[1] を選択（i = 0）/ TIOC7[1] を選択（i = 1） 0100：TOD0B[1] を選択 0101：TOD1B[1] を選択 0110：TOD2B[1] を選択（i = 0）/ TOD4B[1] を選択（i = 1） 0111：TOD3B[1] を選択（i = 0）/ TOD5B[1] を選択（i = 1） 1000：TOE0[1] を選択 1001：TOE1[1] を選択（i = 0）/ TOE4[1] を選択（i = 1） 1010：TOE2[1] を選択（i = 0）/ TOE5[1] を選択（i = 1） 1011：TOE3[1] を選択（i = 0）/ TOE6[1] を選択（i = 1） 1100：TOD3A[1] を選択（i = 0）/ TOD5A[1] を選択（i = 1） 1101：TOD0A[1] を選択 1110：選択しないで下さい。注 1 1111：APA[13] を選択
19 ～ 16	MiMDj12	12 ビット目の信号を選択します。 0000：TIOC0[0] を選択 0001：TIOC2[0] を選択（i = 0）/ TIOC5[0] を選択（i = 1） 0010：TIOC3[0] を選択（i = 0）/ TIOC6[0] を選択（i = 1） 0011：TIOC4[0] を選択（i = 0）/ TIOC7[0] を選択（i = 1） 0100：TOD0B[0] を選択 0101：TOD1B[0] を選択 0110：TOD2B[0] を選択（i = 0）/ TOD4B[0] を選択（i = 1） 0111：TOD3B[0] を選択（i = 0）/ TOD5B[0] を選択（i = 1） 1000：TOE0[0] を選択 1001：TOE1[0] を選択（i = 0）/ TOE4[0] を選択（i = 1） 1010：TOE2[0] を選択（i = 0）/ TOE5[0] を選択（i = 1） 1011：TOE3[0] を選択（i = 0）/ TOE6[0] を選択（i = 1） 1100：TOD3A[0] を選択（i = 0）/ TOD5A[0] を選択（i = 1） 1101：TOD0A[0] を選択 1110：選択しないで下さい。注 1 1111：APA[12] を選択

表 18.31 RHSBGiCRjH レジスタの内容 (3/4)

ビット位置	ビット名	機能
15 ～ 12	MiMDj11	11 ビット目の信号を選択します。 0000：TIOC0[3] を選択 0001：TIOC1[3] を選択 0010：TIOC3[3] を選択（i = 0）/ TIOC6[3] を選択（i = 1） 0011：TIOC4[3] を選択（i = 0）/ TIOC7[3] を選択（i = 1） 0100：TOD0B[3] を選択 0101：TOD1B[3] を選択 0110：TOD2B[3] を選択（i = 0）/ TOD4B[3] を選択（i = 1） 0111：TOD3B[3] を選択（i = 0）/ TOD5B[3] を選択（i = 1） 1000：TOE0[3] を選択 1001：TOE1[3] を選択（i = 0）/ TOE4[3] を選択（i = 1） 1010：TOE2[3] を選択（i = 0）/ TOE5[3] を選択（i = 1） 1011：TOE3[3] を選択（i = 0）/ TOE6[3] を選択（i = 1） 1100：TOD2A[3] を選択（i = 0）/ TOD4A[3] を選択（i = 1） 1101：TOD3A[3] を選択（i = 0）/ TOD5A[3] を選択（i = 1） 1110：選択しないで下さい。注 1 1111：APA[11] を選択
11 ～ 8	MiMDj10	10 ビット目の信号を選択します。 0000：TIOC0[2] を選択 0001：TIOC1[2] を選択 0010：TIOC3[2] を選択（i = 0）/ TIOC6[2] を選択（i = 1） 0011：TIOC4[2] を選択（i = 0）/ TIOC7[2] を選択（i = 1） 0100：TOD0B[2] を選択 0101：TOD1B[2] を選択 0110：TOD2B[2] を選択（i = 0）/ TOD4B[2] を選択（i = 1） 0111：TOD3B[2] を選択（i = 0）/ TOD5B[2] を選択（i = 1） 1000：TOE0[2] を選択 1001：TOE1[2] を選択（i = 0）/ TOE4[2] を選択（i = 1） 1010：TOE2[2] を選択（i = 0）/ TOE5[2] を選択（i = 1） 1011：TOE3[2] を選択（i = 0）/ TOE6[2] を選択（i = 1） 1100：TOD2A[2] を選択（i = 0）/ TOD4A[2] を選択（i = 1） 1101：TOD3A[2] を選択（i = 0）/ TOD5A[2] を選択（i = 1） 1110：選択しないで下さい。注 1 1111：APA[10] を選択
7 ～ 4	MiMDj9	9 ビット目の信号を選択します。 0000：TIOC0[1] を選択 0001：TIOC1[1] を選択 0010：TIOC3[1] を選択（i = 0）/ TIOC6[1] を選択（i = 1） 0011：TIOC4[1] を選択（i = 0）/ TIOC7[1] を選択（i = 1） 0100：TOD0B[1] を選択 0101：TOD1B[1] を選択 0110：TOD2B[1] を選択（i = 0）/ TOD4B[1] を選択（i = 1） 0111：TOD3B[1] を選択（i = 0）/ TOD5B[1] を選択（i = 1） 1000：TOE0[1] を選択 1001：TOE1[1] を選択（i = 0）/ TOE4[1] を選択（i = 1） 1010：TOE2[1] を選択（i = 0）/ TOE5[1] を選択（i = 1） 1011：TOE3[1] を選択（i = 0）/ TOE6[1] を選択（i = 1） 1100：TOD2A[1] を選択（i = 0）/ TOD4A[1] を選択（i = 1） 1101：TOD3A[1] を選択（i = 0）/ TOD5A[1] を選択（i = 1） 1110：選択しないで下さい。注 1 1111：選択しないで下さい。注 1

表 18.31 RHSBGiCRjH レジスタの内容 (4/4)

ビット位置	ビット名	機能
3 ～ 0	MiMDj8	8 ビット目の信号を選択します。 0000：TIOC0[0] を選択 0001：TIOC1[0] を選択 0010：TIOC3[0] を選択（i = 0）/ TIOC6[0] を選択（i = 1） 0011：TIOC4[0] を選択（i = 0）/ TIOC7[0] を選択（i = 1） 0100：TOD0B[0] を選択 0101：TOD1B[0] を選択 0110：TOD2B[0] を選択（i = 0）/ TOD4B[0] を選択（i = 1） 0111：TOD3B[0] を選択（i = 0）/ TOD5B[0] を選択（i = 1） 1000：TOE0[0] を選択 1001：TOE1[0] を選択（i = 0）/ TOE4[0] を選択（i = 1） 1010：TOE2[0] を選択（i = 0）/ TOE5[0] を選択（i = 1） 1011：TOE3[0] を選択（i = 0）/ TOE6[0] を選択（i = 1） 1100：TOD2A[0] を選択（i = 0）/ TOD4A[0] を選択（i = 1） 1101：TOD3A[0] を選択（i = 0）/ TOD5A[0] を選択（i = 1） 1110：選択しないで下さい。注 1 1111：選択しないで下さい。注 1

注 1.　選択した場合は "Low" が出力されます。

18.7.3.3　RHSBGiCRjL — マイクロセカンドバスコントロールレジスタ L

RHSBGiCRjL は 32 ビットの読み出し／書き込み可能なレジスタで ATU、APA から入力された信号から RHSB に出力する信号の下位ビットを選択します。対応する信号は、ATU タイマ C、タイマ D、タイマ E、APA になります。

ATU タイマ C、タイマ D、タイマ E、APA の動作中に本ビットの設定を変更しないでください。

RHSBGiCRjL は、バイト単位で読み出し／書き込み可能です。

RHSBGiCRjL は、リセット時に $0000\ 0000_H$ に初期化されます。

i = 0, 1（RHSB のチャネル数）

j = 0 ～ 3（サブ XBAR 数）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MiMDj7				MiMDj6				MiMDj5				MiMDj4			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MiMDj3				MiMDj2				MiMDj1				MiMDj0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.32　RHSBGiCRjL レジスタの内容 (1/4)

ビット位置	ビット名	機能
31 ～ 28	MiMDj7	7 ビット目の信号を選択します。 0000：TIOC0[3] を選択 0001：TIOC1[3] を選択 0010：TIOC2[3] を選択（i = 0）/ TIOC5[3] を選択（i = 1） 0011：TIOC4[3] を選択（i = 0）/ TIOC7[3] を選択（i = 1） 0100：TOD0B[3] を選択 0101：TOD1B[3] を選択 0110：TOD2B[3] を選択（i = 0）/ TOD4B[3] を選択（i = 1） 0111：TOD3B[3] を選択（i = 0）/ TOD5B[3] を選択（i = 1） 1000：TOE0[3] を選択 1001：TOE1[3] を選択（i = 0）/ TOE4[3] を選択（i = 1） 1010：TOE2[3] を選択（i = 0）/ TOE5[3] を選択（i = 1） 1011：TOE3[3] を選択（i = 0）/ TOE6[3] を選択（i = 1） 1100：TOD1A[3] を選択 1101：TOD2A[3] を選択（i = 0）/ TOD4A[3] を選択（i = 1） 1110：APA[7] を選択 1111：APA[15] を選択

表 18.32 RHSBGiCRjL レジスタの内容 (2/4)

ビット位置	ビット名	機能
27 ～ 24	MiMDj6	6 ビット目の信号を選択します。 0000：TIOC0[2] を選択 0001：TIOC1[2] を選択 0010：TIOC2[2] を選択（i = 0）/ TIOC5[2] を選択（i = 1） 0011：TIOC4[2] を選択（i = 0）/ TIOC7[2] を選択（i = 1） 0100：TOD0B[2] を選択 0101：TOD1B[2] を選択 0110：TOD2B[2] を選択（i = 0）/ TOD4B[2] を選択（i = 1） 0111：TOD3B[2] を選択（i = 0）/ TOD5B[2] を選択（i = 1） 1000：TOE0[2] を選択 1001：TOE1[2] を選択（i = 0）/ TOE4[2] を選択（i = 1） 1010：TOE2[2] を選択（i = 0）/ TOE5[2] を選択（i = 1） 1011：TOE3[2] を選択（i = 0）/ TOE6[2] を選択（i = 1） 1100：TOD1A[2] を選択 1101：TOD2A[2] を選択（i = 0）/ TOD4A[2] を選択（i = 1） 1110：APA[6] を選択 1111：APA[14] を選択
23 ～ 20	MiMDj5	5 ビット目の信号を選択します。 0000：TIOC0[1] を選択 0001：TIOC1[1] を選択 0010：TIOC2[1] を選択（i = 0）/ TIOC5[1] を選択（i = 1） 0011：TIOC4[1] を選択（i = 0）/ TIOC7[1] を選択（i = 1） 0100：TOD0B[1] を選択 0101：TOD1B[1] を選択 0110：TOD2B[1] を選択（i = 0）/ TOD4B[1] を選択（i = 1） 0111：TOD3B[1] を選択（i = 0）/ TOD5B[1] を選択（i = 1） 1000：TOE0[1] を選択 1001：TOE1[1] を選択（i = 0）/ TOE4[1] を選択（i = 1） 1010：TOE2[1] を選択（i = 0）/ TOE5[1] を選択（i = 1） 1011：TOE3[1] を選択（i = 0）/ TOE6[1] を選択（i = 1） 1100：TOD1A[1] を選択 1101：TOD2A[1] を選択（i = 0）/ TOD4A[1] を選択（i = 1） 1110：APA[5] を選択 1111：APA[13] を選択
19 ～ 16	MiMDj4	4 ビット目の信号を選択します。 0000：TIOC0[0] を選択 0001：TIOC1[0] を選択 0010：TIOC2[0] を選択（i = 0）/ TIOC5[0] を選択（i = 1） 0011：TIOC4[0] を選択（i = 0）/ TIOC7[0] を選択（i = 1） 0100：TOD0B[0] を選択 0101：TOD1B[0] を選択 0110：TOD2B[0] を選択（i = 0）/ TOD4B[0] を選択（i = 1） 0111：TOD3B[0] を選択（i = 0）/ TOD5B[0] を選択（i = 1） 1000：TOE0[0] を選択 1001：TOE1[0] を選択（i = 0）/ TOE4[0] を選択（i = 1） 1010：TOE2[0] を選択（i = 0）/ TOE5[0] を選択（i = 1） 1011：TOE3[0] を選択（i = 0）/ TOE6[0] を選択（i = 1） 1100：TOD1A[0] を選択 1101：TOD2A[0] を選択（i = 0）/ TOD4A[0] を選択（i = 1） 1110：APA[4] を選択 1111：APA[12] を選択

表 18.32 RHSBGiCRjL レジスタの内容 (3/4)

ビット位置	ビット名	機能
15 ～ 12	MiMDj3	3 ビット目の信号を選択します。 0000：TIOC0[3] を選択 0001：TIOC1[3] を選択 0010：TIOC2[3] を選択（i = 0）/ TIOC5[3] を選択（i = 1） 0011：TIOC3[3] を選択（i = 0）/ TIOC6[3] を選択（i = 1） 0100：TOD0B[3] を選択 0101：TOD1B[3] を選択 0110：TOD2B[3] を選択（i = 0）/ TOD4B[3] を選択（i = 1） 0111：TOD3B[3] を選択（i = 0）/ TOD5B[3] を選択（i = 1） 1000：TOE0[3] を選択 1001：TOE1[3] を選択（i = 0）/ TOE4[3] を選択（i = 1） 1010：TOE2[3] を選択（i = 0）/ TOE5[3] を選択（i = 1） 1011：TOE3[3] を選択（i = 0）/ TOE6[3] を選択（i = 1） 1100：TOD0A[3] を選択 1101：TOD1A[3] を選択 1110：APA[3] を選択 1111：APA[11] を選択
11 ～ 8	MiMDj2	2 ビット目の信号を選択します。 0000：TIOC0[2] を選択 0001：TIOC1[2] を選択 0010：TIOC2[2] を選択（i = 0）/ TIOC5[2] を選択（i = 1） 0011：TIOC3[2] を選択（i = 0）/ TIOC6[2] を選択（i = 1） 0100：TOD0B[2] を選択 0101：TOD1B[2] を選択 0110：TOD2B[2] を選択（i = 0）/ TOD4B[2] を選択（i = 1） 0111：TOD3B[2] を選択（i = 0）/ TOD5B[2] を選択（i = 1） 1000：TOE0[2] を選択 1001：TOE1[2] を選択（i = 0）/ TOE4[2] を選択（i = 1） 1010：TOE2[2] を選択（i = 0）/ TOE5[2] を選択（i = 1） 1011：TOE3[2] を選択（i = 0）/ TOE6[2] を選択（i = 1） 1100：TOD0A[2] を選択 1101：TOD1A[2] を選択 1110：APA[2] を選択 1111：APA[10] を選択
7 ～ 4	MiMDj1	1 ビット目の信号を選択します。 0000：TIOC0[1] を選択 0001：TIOC1[1] を選択 0010：TIOC2[1] を選択（i = 0）/ TIOC5[1] を選択（i = 1） 0011：TIOC3[1] を選択（i = 0）/ TIOC6[1] を選択（i = 1） 0100：TOD0B[1] を選択 0101：TOD1B[1] を選択 0110：TOD2B[1] を選択（i = 0）/ TOD4B[1] を選択（i = 1） 0111：TOD3B[1] を選択（i = 0）/ TOD5B[1] を選択（i = 1） 1000：TOE0[1] を選択 1001：TOE1[1] を選択（i = 0）/ TOE4[1] を選択（i = 1） 1010：TOE2[1] を選択（i = 0）/ TOE5[1] を選択（i = 1） 1011：TOE3[1] を選択（i = 0）/ TOE6[1] を選択（i = 1） 1100：TOD0A[1] を選択 1101：TOD1A[1] を選択 1110：APA[1] を選択 1111：APA[9] を選択

表 18.32 RHSBGiCRjL レジスタの内容 (4/4)

ビット位置	ビット名	機能
3 ～ 0	MiMDj0	0 ビット目の信号を選択します。 0000：TIOC0[0] を選択 0001：TIOC1[0] を選択 0010：TIOC2[0] を選択（i = 0）/ TIOC5[0] を選択（i = 1） 0011：TIOC3[0] を選択（i = 0）/ TIOC6[0] を選択（i = 1） 0100：TOD0B[0] を選択 0101：TOD1B[0] を選択 0110：TOD2B[0] を選択（i = 0）/ TOD4B[0] を選択（i = 1） 0111：TOD3B[0] を選択（i = 0）/ TOD5B[0] を選択（i = 1） 1000：TOE0[0] を選択 1001：TOE1[0] を選択（i = 0）/ TOE4[0] を選択（i = 1） 1010：TOE2[0] を選択（i = 0）/ TOE5[0] を選択（i = 1） 1011：TOE3[0] を選択（i = 0）/ TOE6[0] を選択（i = 1） 1100：TOD0A[0] を選択 1101：TOD1A[0] を選択 1110：APA[0] を選択 1111：APA[8] を選択

18.7.4 動作概要

ATU-IV、APA からの信号をマルチプレクサで選択し任意の信号を RHSB に出力します。RHSB のチャネル数は 2 つあり、それぞれ XBAR があります。各 XBAR は 16 ビットのサブ XBAR を 4 個持ちます。RHSBGiCRjH、RHSBGiCRjL の各ビットを変更することにより出力を**表 18.33** のように RHSB への出力を選択可能です。RHSB0 と RHSB1 でクロスバーで選択できる信号が異なります。RHSB0 が i = 0 であり、RHSB1 が i = 1 に対応します。

表 18.33 RHSB XBAR の選択可能ビット一覧
（括弧内は、RHSB1 に接続される XBAR 仕様）

出力	RHSB0 に接続される XBAR の選択可能ビット一覧															
	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
0	TIOC 00	TIOC 10	TIOC 20 (50)	TIOC 30 (60)	TOD 00B	TOD 10B	TOD 20B (40 B)	TOD 30B (50 B)	TOE 00	TOE 10 (40)	TOE 20 (50)	TOE 30 (60)	TOD 00A	TOD 10A	APA 00	APA 08
1	TIOC 01	TIOC 11	TIOC 21 (51)	TIOC 31 (61)	TOD 01B	TOD 11B	TOD 21B (41 B)	TOD 31B (51 B)	TOE 01	TOE 11 (41)	TOE 21 (51)	TOE 31 (61)	TOD 01A	TOD 11A	APA 01	APA 09
2	TIOC 02	TIOC 12	TIOC 22 (52)	TIOC 32 (62)	TOD 02B	TOD 12B	TOD 22B (42 B)	TOD 32B (52 B)	TOE 02	TOE 12 (42)	TOE 22 (52)	TOE 32 (62)	TOD 02A	TOD 12A	APA 02	APA 10
3	TIOC 03	TIOC 13	TIOC 23 (53)	TIOC 33 (63)	TOD 03B	TOD 13B	TOD 23B (43 B)	TOD 33B (53 B)	TOE 03	TOE 13 (43)	TOE 23 (53)	TOE 33 (63)	TOD 03A	TOD 13A	APA 03	APA 11
4	TIOC 00	TIOC 10	TIOC 20 (50)	TIOC 40 (70)	TOD 00B	TOD 10B	TOD 20B (40 B)	TOD 30B (50 B)	TOE 00	TOE 10 (40)	TOE 20 (50)	TOE 30 (60)	TOD 10A	TOD 20A (40A)	APA 04	APA 12
5	TIOC 01	TIOC 11	TIOC 21 (51)	TIOC 41 (71)	TOD 01B	TOD 11B	TOD 21B (41 B)	TOD 31B (51 B)	TOE 01	TOE 11 (41)	TOE 21 (51)	TOE 31 (61)	TOD 11A	TOD 21A (41A)	APA 05	APA 13
6	TIOC 02	TIOC 12	TIOC 22 (52)	TIOC 42 (72)	TOD 02B	TOD 12B	TOD 22B (42 B)	TOD 32B (52 B)	TOE 02	TOE 12 (42)	TOE 22 (52)	TOE 32 (62)	TOD 12A	TOD 22A (42A)	APA 06	APA 14
7	TIOC 03	TIOC 13	TIOC 23 (53)	TIOC 43 (73)	TOD 03B	TOD 13B	TOD 23B (43 B)	TOD 33B (53 B)	TOE 03	TOE 13 (43)	TOE 23 (53)	TOE 33 (63)	TOD 13A	TOD 23A (43A)	APA 07	APA 15
8	TIOC 00	TIOC 10	TIOC 30 (60)	TIOC 40 (70)	TOD 00B	TOD 10B	TOD 20B (40 B)	TOD 30B (50 B)	TOE 00	TOE 10 (40)	TOE 20 (50)	TOE 30 (60)	TOD 20A (40A)	TOD 30A (50A)	— 注 1	— 注 1
9	TIOC 01	TIOC 11	TIOC 31 (61)	TIOC 41 (71)	TOD 01B	TOD 11B	TOD 21B (41 B)	TOD 31B (51 B)	TOE 01	TOE 11 (41)	TOE 21 (51)	TOE 31 (61)	TOD 21A (41A)	TOD 31A (51A)	— 注 1	— 注 1
10	TIOC 02	TIOC 12	TIOC 32 (62)	TIOC 42 (72)	TOD 02B	TOD 12B	TOD 22B (42 B)	TOD 32B (52 B)	TOE 02	TOE 12 (42)	TOE 22 (52)	TOE 32 (62)	TOD 22A (42A)	TOD 32A (52A)	— 注 1	APA 10

表 18.33 RHSB XBAR の選択可能ビット一覧
（括弧内は、RHSB1 に接続される XBAR 仕様）

出力	RHSB0 に接続される XBAR の選択可能ビット一覧															
	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
11	TIOC 03	TIOC 13	TIOC 33 (63)	TIOC 43 (73)	TOD 03B	TOD 13B	TOD 23B (43 B)	TOD 33B (53 B)	TOE 03	TOE 13 (43)	TOE 23 (53)	TOE 33 (63)	TOD 23A (43A)	TOD 33A (53A)	— 注 1	APA 11
12	TIOC 00	TIOC 20 (50)	TIOC 30 (60)	TIOC 40 (70)	TOD 00B	TOD 10B	TOD 20B (40 B)	TOD 30B (50 B)	TOE 00	TOE 10 (40)	TOE 20 (50)	TOE 30 (60)	TOD 30A (50A)	TOD 00A	— 注 1	APA 12
13	TIOC 01	TIOC 21 (51)	TIOC 31 (61)	TIOC 41 (71)	TOD 01B	TOD 11B	TOD 21B (41 B)	TOD 31B (51 B)	TOE 01	TOE 11 (41)	TOE 21 (51)	TOE 31 (61)	TOD 31A (51A)	TOD 01A	— 注 1	APA 13
14	TIOC 02	TIOC 22 (52)	TIOC 32 (62)	TIOC 42 (72)	TOD 02B	TOD 12B	TOD 22B (42 B)	TOD 32B (52 B)	TOE 02	TOE 12 (42)	TOE 22 (52)	TOE 32 (62)	TOD 32A (52A)	TOD 02A	— 注 1	APA 14
15	TIOC 03	TIOC 23 (53)	TIOC 33 (63)	TIOC 43 (73)	TOD 03B	TOD 13B	TOD 23B (43 B)	TOD 33B (53 B)	TOE 03	TOE 13 (43)	TOE 23 (53)	TOE 33 (63)	TOD 33A (53A)	TOD 03A	— 注 1	APA 15

注 1. 設定禁止となっています。
設定すると "Low" が出力されます。

第 19 章 Single Edge Nibble Transmission（RSENT）

本章では、Renesas Single Edge Nibble Transmission（RSENT）全般について説明します。

19.1 概要

19.1.1 チャネル数

本製品では、6 チャネルの RSENT を搭載しています。

表 19.1 RSENT のチャネル

RSENT	
チャネル数	6
名称	RSENTn (n = 0 ～ 5)

n の意味

本章では、RSENT の各チャネルを「n」（n = 0 ～ 5）で識別します。たとえば、RSENT タイムスタンプレジスタは RSENTnTSPC と記述します。

19.1.2 レジスタベースアドレス

RSENT のレジスタベースアドレスは、ベースアドレス <RSENTn_base> からのオフセットで表されます。

各 RSENT のベースアドレス <RSENTn_base> を以下の表に示します。

表 19.2 レジスタベースアドレス <RSENTn_base>

RSENTn のチャネル	<RSENTn_base> アドレス
RSENT0	$FFDB\ 0000_H$
RSENT1	$FFDB\ 0080_H$
RSENT2	$FFDB\ 0100_H$
RSENT3	$FFDB\ 0180_H$
RSENT4	$FFDB\ 0200_H$
RSENT5	$FFDB\ 0280_H$

19.1.3 クロック供給

RSENT は次のクロック入力が供給されます。

表 19.3 RSENT のクロックソース

モジュール	クロック	接続先
RSENTn	clkc	非変調低速周辺クロック CLKC_LSB

19.1.4 割り込みと DTS

RSENT は以下の割り込み要求を発生することができます。

表 19.4 RSENT の割り込み要求

RSENTn の信号	機能	接続先
RSENT0		
INT_SENT_ST0	RSENT ステータス割り込み	割り込みチャネル 430 （EIINT430）
INT_SENT_RX0	RSENT 受信割り込み	DTS トリガチャネル 78 （DTSTRG[78]）
RSENT1		
INT_SENT_ST1	RSENT ステータス割り込み	割り込みチャネル 431 （EIINT431）
INT_SENT_RX1	RSENT 受信割り込み	DTS トリガチャネル 79 （DTSTRG[79]）
RSENT2		
INT_SENT_ST2	RSENT ステータス割り込み	割り込みチャネル 432 （EIINT432）
INT_SENT_RX2	RSENT 受信割り込み	DTS トリガチャネル 80 （DTSTRG[80]）
RSENT3		
INT_SENT_ST3	RSENT ステータス割り込み	割り込みチャネル 433 （EIINT433）
INT_SENT_RX3	RSENT 受信割り込み	DTS トリガチャネル 81 （DTSTRG[81]）
RSENT4		
INT_SENT_ST4	RSENT ステータス割り込み	割り込みチャネル 505 （EIINT505）
INT_SENT_RX4	RSENT 受信割り込み	DTS トリガチャネル 82 （DTSTRG[82]）
RSENT5		
INT_SENT_ST5	RSENT ステータス割り込み	割り込みチャネル 506 （EIINT506）
INT_SENT_RX5	RSENT 受信割り込み	DTS トリガチャネル 83 （DTSTRG[83]）

19.1.5 外部入出力信号

RSENT の外部入出力信号を以下の表に示します。

表 19.5 RSENTn の外部入出力信号

RSENTn の信号	機能	接続先
RSENT0		
sent_rx	RSENT 受信データ入力	ポート RSENT0RX
sent_spc	RSENT SPC 拡張出力	ポート RSENT0SPCO
RSENT1		
sent_rx	RSENT 受信データ入力	ポート RSENT1RX
sent_spc	RSENT SPC 拡張出力	ポート RSENT1SPCO
RSENT2		
sent_rx	RSENT 受信データ入力	ポート RSENT2RX
sent_spc	RSENT SPC 拡張出力	ポート RSENT2SPCO
RSENT3		
sent_rx	RSENT 受信データ入力	ポート RSENT3RX
sent_spc	RSENT SPC 拡張出力	ポート RSENT3SPCO
RSENT4		
sent_rx	RSENT 受信データ入力	ポート RSENT4RX
sent_spc	RSENT SPC 拡張出力	ポート RSENT4SPCO
RSENT5		
sent_rx	RSENT 受信データ入力	ポート RSENT5RX
sent_spc	RSENT SPC 拡張出力	ポート RSENT5SPCO

19.2 機能

機能の概要

RSENT インタフェースでは次の標準仕様（SAE J2716 version JAN2010）の機能に対応しています。

- トリプルスピード拡張 Tick Time 対応：クロック周期（1µs ～ 90µs）
- 可変データ転送レート
  - 24.7 kbps ～ 64.9 kbps：3 クロックレート 6 ニブルデータ
  - 74.1 kbps ～ 194.7 kbps：1 クロックレート 6 ニブルデータ
- 単方向通信：センサと MCU 間
- 双方向通信：センサと MCU 間（SPC モードによってサポート）
- シングルエッジデータ伝送：データライン上の二つの連続検出立ち下がりエッジの時間的距離によってコード化
- 最大 6 データニブル + ステータス＆コミュニケーションニブルによる送信フレーム
- CRC で保護されたデータ転送可能
  - CRC データは RSENTnSRXD.SCRC ビットにてリード可能
- 各データフレームでキャリブレーションフレーズ（RSENTnCPL.CPLV ビット）
- 1 ワイヤインタフェース（sent_rx、sent_spc は一つの端子を共有）
- 標準拡張機能を持つ RSENT チャネルに複数のセンサが接続可能
  各センサからの受信データはソフトウエアまたは DMA にて検出
- タイムスタンプ機能をサポート：RSENT0 のみマスタ設定可能
  その他はスレーブのみ選択可能（RSENTnTSPC.TMS ビット）

19.2.1 ブロック図

RSENT のブロック図を次に示します。

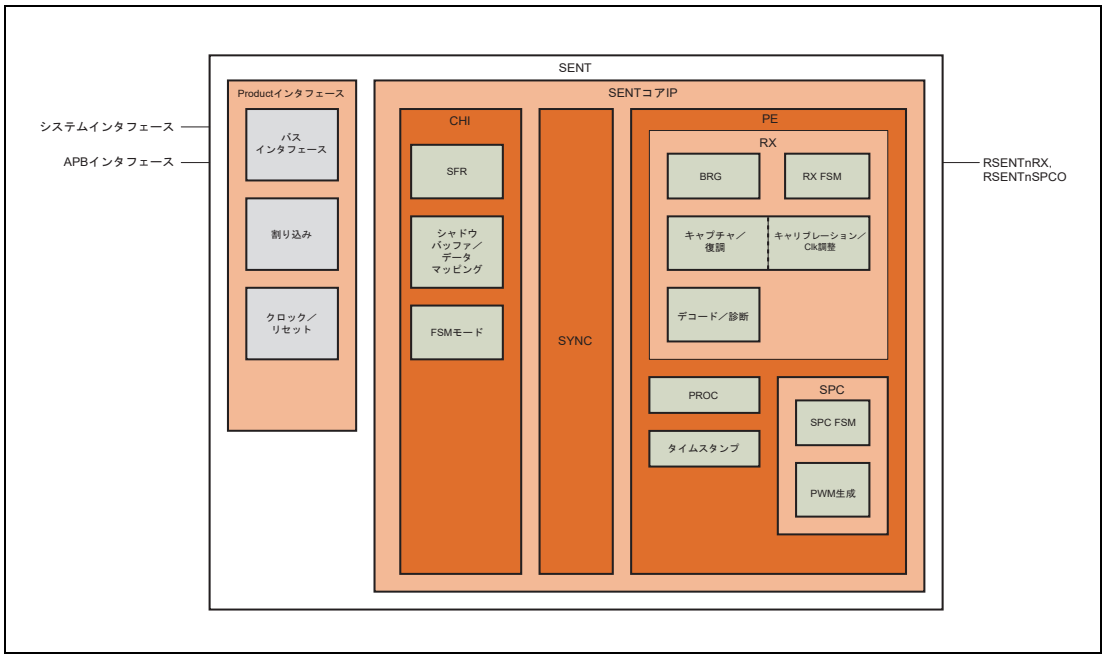


図 19.1 RSENT のブロック図

19.3 レジスタ

RSENTn は、以下のレジスタによって制御され、操作されます。

<RSENTn_base> は「**19.1.2 レジスタベースアドレス**」を参照してください。

表 19.6 RSENTn のレジスタの概要

レジスタ名	略号	アドレス
RSENT タイムスタンプレジスタ	RSENTnTSPC	<RSENTn_base> + 0000_H
RSENT タイムスタンプカウンタ	RSENTnTSC	<RSENTn_base> + 0004_H
RSENT 通信設定レジスタ	RSENTnCC	<RSENTn_base> + 0010_H
RSENT ボーレートプリスケーラレジスタ	RSENTnBRP	<RSENTn_base> + 0014_H
RSENT 割り込み／ DMA イネーブルレジスタ	RSENTnIDE	<RSENTn_base> + 0018_H
RSENT モード制御レジスタ	RSENTnMDC	<RSENTn_base> + $001C_H$
RSENT SPC 送信レジスタ	RSENTnSPCT	<RSENTn_base> + 0020_H
RSENT モードステータスレジスタ	RSENTnMST	<RSENTn_base> + 0024_H
RSENT 通信ステータスレジスタ	RSENTnCS	<RSENTn_base> + 0028_H
RSENT 通信ステータスクリアレジスタ	RSENTnCSC	<RSENTn_base> + $002C_H$
RSENT 低速チャネル受信タイムスタンプレジスタ	RSENTnSRTS	<RSENTn_base> + 0030_H
RSENT 低速チャネル受信データレジスタ	RSENTnSRXD	<RSENTn_base> + 0034_H
RSENT キャリブレーションパルス長レジスタ	RSENTnCPL	<RSENTn_base> + 0038_H
RSENT メッセージ長レジスタ	RSENTnML	<RSENTn_base> + $003C_H$
RSENT 高速チャネル受信タイムスタンプレジスタ	RSENTnFRTS	<RSENTn_base> + 0040_H
RSENT 高速チャネル受信データレジスタ	RSENTnFRXD	<RSENTn_base> + 0044_H

19.3.1　RSENTnTSPC — RSENT タイムスタンプレジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<RSENTn_base> + 0000_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TMS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TTM[6:0]							—	TTPV[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.7　RSENTnTSPC レジスタの内容

ビット位置	ビット名	機能
31 ～ 17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TMS	タイムスタンプモード選択 0：マスタモード 1：スレーブモード
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ～ 8	TTM[6:0]	タイムスタンプの乗算値 0000000_B：1 0000001_B：2 0000010_B：3 ： 1111111_B：128
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	TTPV[6:0]	タイムスタンプのプリスケーラ値 00100111_B：40 上記以外：設定禁止 RSENT で通信をする場合、TTPV[6:0] ビットには必ず上記値を書くようにしてください。

RSENTnTSPC.TMS（タイムスタンプモード選択）

本ビットが 0 に設定されると、タイムスタンプカウンタは、マスタモードで動作します。

マスタとして設定しているモジュールの RSENTnTSC に $0000\ 0000_H$ を書き込むと、そのモジュールのタイムスタンプとスレーブに設定している ch のタイムスタンプがクリアされます。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

スレーブモードで動作している RSENT は、そのマスタとして動作している RSENT とタイムスタンプカウンタのプリスケーラ設定が同じである必要があります。

備　考

本製品シリーズでは、マスタとして設定できるチャネルは RSENT0 のみです。

タイムスタンプカウンタを同期させる場合は、必ず RSENT0 をマスタモード、他のチャネルはスレーブモードとして設定した上で使用して下さい。

本設定以外でのタイムスタンプカウンタの同期動作は、保証されません。

RSENTnTSPC.TTM（タイムスタンプティック値）

本ビットは、タイムスタンプカウンタで使用される、1μs ティック時間の乗算値を定義します。

タイムスタンプクロックの設定については、**「19.5.1　タイムスタンプ」**を参照してください。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnTSPC.TTPV（タイムスタンプティックプリスケーラ値）

本ビットは、1μs クロックティックを発生するプリスケーラ値を定義します。

タイムスタンプクロックの設定については、**「19.5.1　タイムスタンプ」**を参照してください。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

供給される通信クロックに基づいて、1μs クロックティックが発生されるよう、CPU は本ビットに値を設定する必要があります。

19.3.2 RSENTnTSC— RSENT タイムスタンプカウンタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <RSENTn_base> + 0004_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.8 RSENTnTSC レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	TS[31:0]	タイムスタンプカウンタ値

RSENTnTSC.TS（タイムスタンプ）

本ビットは、現在のタイムスタンプカウンタ値を示しています。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに $0000\ 0000_H$ 以外の値を書き込むことができます。

RSENT が OPERATION IDLE または OPERATION ACTIVE モード（RSENTnMST.OMS = 011_B または 101_B）の時、タイムスタンプカウンタがスレーブモード（RSENTnTSPC.TMS = 1）で動作するように設定されると、本レジスタへの書き込みは効果がありません。

RSENT が OPERATION IDLE または OPERATION ACTIVE モード（RSENTnMST.OMS = 011_B または 101_B）の時、タイムスタンプカウンタは、タイムスタンプカウンタティックのたびに（RSENTnTSPC.TTPV と RSENTnTSPC.TTM ビットで設定）、インクリメントされます。

タイムスタンプカウンタが、マスタモード（RSENTnTSPC.TMS = 0）で動作するように設定されると、CPU は本ビットに $0000\ 0000_H$ を書き込み、RSENTnTSC.TS は $0000\ 0000_H$ に設定されます。

タイムスタンプカウンタが、スレーブモード（RSENTnTSPC.TMS = 1）で動作するように設定されると、RSENT0 の RSENT0TSC.TS ビットに $0000\ 0000_H$ を書き込むことにより RSENTnTSC.TS ビットは $0000\ 0000_H$ に設定されます。

タイムスタンプモード選択については**「19.5.1 タイムスタンプ」**を参照してください。

19.3.3 RSENTnCC — RSENT 通信設定レジスタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <RSENTn_base> + 0010_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SOPC	FCM	SCCD	FCCD	DCF	SMF[1:0]		PPTC	PPC	NDN[2:0]			SPCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.9 RSENTnCC レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	SOPC	SPC 出力極性制御 0：SPC パルスアクティブハイ 1：SPC パルスアクティブロウ
11	FCM	フレームチェック方法 0：次のキャリブレーションパルスに対するチェック 1：前回のキャリブレーションパルスに対するチェック
10	SCCD	低速チャネル CRC チェック 0：低速チャネル CRC チェック有効 1：低速チャネル CRC チェック無効
9	FCCD	高速チャネル CRC チェック 0：高速チャネル CRC チェック有効 1：高速チャネル CRC チェック無効
8	DCF	データニブル CRC フォーマット選択 0：SAE J2716 JAN2010 で定義された CRC フォーマットを選択 1：SAE J2716 FEB2008 以前の CRC フォーマットを選択
7、6	SMF	シリアルメッセージ形式 00_B：シリアルメッセージ抽出なし 01_B：ショートシリアルメッセージ形式 10_B：エンハンストシリアルメッセージ形式 11_B：設定禁止
5	PPTC	Pause Pulse のタイプ設定 0：可変メッセージ長のための Pause Pulse 1：固定メッセージ長のための Pause Pulse

表 19.9　RSENTnCC レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	PPC	Pause Pulse の設定 0：Pause Pulse なし 1：Pause Pulse あり
3 ～ 1	NDN[2:0]	データニブル数 000_B：1 データニブル 001_B：2 データニブル 010_B：3 データニブル 011_B：4 データニブル 100_B：5 データニブル 101_B：6 データニブル 上記以外：設定禁止
0	SPCE	SPC モード有効 0：SPC モード無効 1：SPC モード有効

RSENTnCC.SOPC（SPC 出力極性制御）

本ビットが 0 に設定されると、SPC パルスはアクティブハイ信号として送信されます。デフォルトの出力値はロウレベルです。

本ビットが 1 に設定されると、SPC パルスはアクティブロウ信号として送信されます。デフォルトの出力値はハイレベルです。

SPC の動作については、**「19.7　SPC 機能」**参照してください。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

備　考

本製品シリーズでは、SPC の 1 線方式で使用する場合、本ビットは必ずアクティブロウに設定して使用してください。

RSENTnCC.FCM（フレームチェック方法）

本ビットが 0 に設定されると、現在のキャリブレーションパルスが次に受信されるキャリブレーションパルスと比較されます。

バッファは、SAE J2716 2010 で説明された、推奨オプションに従って更新されます。

本ビットが 1 に設定されると、現在のキャリブレーションパルスが以前に受信したキャリブレーションパルスと比較されます。

バッファは、SAE J2716 2010 で説明された、第 2 オプションに従って更新されますが、第 2 オプションは、2 番目のキャリブレーションパルスを処理するための余分なレイテンシが許容できない場合のみ使用してください。

バッファ更新のタイミングについては、**「19.6.2.3　高速チャネルメッセージ受信」**も参照してください。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SCCD（低速チャネル CRC チェック無効）

本ビットが 1 に設定されると、低速チャネルの CRC チェックが無効になります。この場合、メッセージは、受信した CRC と共に、低速チャネルメッセージ受信バッファに保存されます。

本ビットが 1 に設定されると、RSENTnCS.SCS ビットは設定されません。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.FCCD（高速チャネル CRC チェック無効）

本ビットが 1 に設定されると、高速チャネルの CRC チェックが無効になります。この場合、メッセージは、受信した CRC と共に、高速チャネルメッセージ受信バッファに保存されます。

本ビットが 1 に設定されると、RSENTnCS.FCS は設定されません。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTn.DCF （データニブル CRC フォーマット選択)

本ビットはデータニブル CRC のフォーマットを、SAE J2716 JAN2010 で定義されたフォーマットまたは、それ以前のフォーマットから選択します。

本ビットが 0 のとき、SAE J2716 JAN2010 で定義された CRC フォーマットが設定されます。

本ビットが 1 のとき、SAE J2716 FEB2008 以前に定義された CRC フォーマットが設定されます。

データニブル CRC の詳細については、SAE J2716 JAN2010 の 5.4.2.1 章と 5.4.2.2 章を参照してください。

RSENT が CONFIGURATION モード (RSENT n MST.OMS = 001_B) のときのみ、CPU は本ビットに書き込むことができます。

RSENTnCC.SMF（シリアルメッセージ形式）

本ビットは、自動抽出して受信されるシリアルメッセージ形式を定義します。

本ビットが 00_B に設定されると、シリアルメッセージは抽出されず、ステータス＆コミュニケーションニブルは RSENTnSRXD レジスタに提供されます。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SPCE が 1 に設定され、RSENT に複数のセンサーが接続される際は、CPU は本ビットに 00_B を設定する必要があります。

RSENTnCC.PPTC（Pause Pulse タイプ設定）

本ビットは、Pause Pulse のタイプを定義します。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.PPC ビットが 0 に設定される際は、CPU は本ビットを 1 に設定しないでください。

RSENTnCC.PPC（Pause Pulse の設定）

本ビットは、Pause Pulse の有無を定義します。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.NDN（データニブル数）

本ビットは、RSENT メッセージに含まれるデータニブル数を定義します。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SPCE（SPC モード有効）

本ビットは、SPC モードを有効にします。

SPC モードの動作については、**「19.7 SPC 機能」**も参照してください。

RSENT モジュールが CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

19.3.4 RSENTnBRP — RSENT ボーレートプリスケーラレジスタ

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <RSENTn_base> + 0014_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	TTF[3:0]				—	TTI[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SCDV[6:0]							—	—	—	SCMV[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 19.10 BPR レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27 ～ 24	TTF[3:0]	タイムティック小数 0000_B：0.0 μs 0001_B：0.1 μs 0010_B：0.2 μs ： 1000_B：0.8 μs 1001_B：0.9 μs 上記以外：設定禁止
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 16	TTI[6:0]	タイムティック整数 0000000_B：1 μs 0000001_B：2 μs 0000010_B：3 μs ： 1011000_B：89 μs 1011001_B：90 μs 上記以外：設定禁止
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ～ 8	SCDV[6:0]	サンプルクロック分周値 0000000_B：1 0000001_B：2 0000010_B：3 ： 1111110_B：127 1111111_B：128
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 0	SCMV[4:0]	サンプルクロック乗算値 00000_B：1 00001_B：2 00010_B：3 ： 11110_B：31 11111_B：32

RSENTnBRP.TTF（タイムティック小数）

本ビットは、0.1 µs の長さのティックの小数部分を定義します。

ティックの長さの設定については、**「19.5.2.2 受信と SPC のティック設定」**を参照してください。

RSENT モジュールが CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.TTI（タイムティック整数）

本ビットは、ティックの長さの整数部分を定義します。

ティックの長さの設定については、**「19.5.2.2 受信と SPC のティック設定」**を参照してください。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.SCDV（サンプルクロック分周値）

本ビットは、サンプルクロック発生ロジックの分周値を定義します。

RSENTnBRP の設定については、**「19.5.2.1 RX BRP 設定」**を参照してください。

RSENT が CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.SCMV（サンプルクロック乗算値）

本ビットは、サンプルクロック発生ロジックの乗算値を定義します。

RSENTnBRP の設定については、**「19.5.2.1 RX BRP 設定」**を参照してください。

RSENT モジュールが CONFIGURATION モード（RSENTnMST.OMS = 001_B）の時のみ、CPU は、本ビットに書き込むことができます。

19.3.5 RSENTnIDE — RSENT 割り込み／ DMA イネーブルレジスタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <RSENTn_base> + 0018_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SEIE	SMIE	SCIE	NRIE	CVIE	CLIE	FNIE	FEIE	FMIE	FCIE	FRIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.11 RSENTnIDE レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	SEIE	低速チャネル符号化エラー割り込み制御 0：割り込み無効 1：割り込み有効
9	SMIE	低速チャネルメッセージロスト割り込み制御 0：割り込み無効 1：割り込み有効
8	SCIE	低速チャネル CRC エラー割り込み制御 0：割り込み無効 1：割り込み有効
7	NRIE	応答なしエラー割り込み制御 0：割り込み無効 1：割り込み有効
6	CVIE	キャリブレーションパルス長変動エラー割り込み制御 0：割り込み無効 1：割り込み有効
5	CLIE	キャリブレーションパルス長エラー割り込み制御 0：割り込み無効 1：割り込み有効
4	FNIE	高速チャネルニブルカウントエラー割り込み制御 0：割り込み無効 1：割り込み有効
3	FEIE	高速チャネルニブル符号化エラー割り込み制御 0：割り込み無効 1：割り込み有効
2	FMIE	高速チャネルメッセージロスト割り込み制御 0：割り込み無効 1：割り込み有効
1	FCIE	高速チャネル CRC エラー割り込み制御 0：割り込み無効 1：割り込み有効
0	FRIE	高速チャネル受信割り込み制御 0：割り込み無効 1：割り込み有効

RSENTnIDE.SEIE（低速チャネル符号化エラー割り込みイネーブル）

本ビットは、低速チャネル符号化エラー割り込みの発生を可能にします。

RSENT が RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.SMIE（低速チャネルメッセージロスト割り込みイネーブル）

本ビットは、低速チャネルメッセージロスト割り込みの発生を可能にします。

RSENT が RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.SCIE（低速チャネル CRC エラー割り込みイネーブル）

本ビットは、低速チャネル CRC エラー割り込みの発生を可能にします。

RSENT が RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.NRIE（応答なしエラー割り込みイネーブル）

本ビットは、応答なしエラー割り込みの発生を可能にします。

RSENT が RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

SPC モードが無効（RSENTnCC.SPCE = 0）の時は、CPU は、本ビットを設定しないでください。

RSENTnIDE.CVIE（キャリブレーションパルス長変動エラー割り込みイネーブル）

本ビットは、キャリブレーションパルス長変動エラー割り込みの発生を可能にします。

RSENT が RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.CLIE（キャリブレーションパルス長エラー割り込みイネーブル）

本ビットは、キャリブレーションパルス長エラー割り込みの発生を可能にします。

RSENT が RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FNIE（高速チャネルニブルカウントエラー割り込みイネーブル）

本ビットは、高速チャネルニブルカウントエラー割り込みの発生を可能にします。

RSENT が RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FEIE（高速チャネルニブル符号化エラー割り込みイネーブル）

本ビットは、高速チャネルニブル符号化エラー割り込みの発生を可能にします。

RSENT モジュールが RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FMIE（高速チャネルメッセージロスト割り込みイネーブル）

本ビットは、高速チャネルメッセージロスト割り込みの発生を可能にします。

RSENT が RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FCIE（高速チャネル CRC エラー割り込みイネーブル）

本ビットは、高速チャネル CRC エラー割り込みの発生を可能にします。

RSENT が RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FRIE（高速チャネル受信割り込みイネーブル）

本ビットは、高速チャネル受信割り込みの発生を可能にします。

高速チャネル受信割り込みは、DMA 要求を通知するためにも使用されます。

RSENT が RESET モード（RSENTnMST.OMS = 000_B）の時は、CPU は、本ビットに書き込むことができません。

19.3.6 RSENTnMDC — RSENT モード制御レジスタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <RSENTn_base> + $001C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	OMC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 19.12 RSENTnMDC レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	OMC[2:0]	動作モード制御 000_B：RESET 001_B：CONFIGURATION 011_B：OPERATION IDLE 101_B：OPERATION ACTIVE 上記以外：設定禁止

RSENTnMDC.OMC（動作モード制御）

本ビットは RSENT の動作モードを制御するために使用されます。

- 000_B：RESET

  RESET モードでは、動作モードは、CONFIGURATION モードにのみ、変更することができます。

- 001_B：CONFIGURATION

  CONFIGURATION モードでは、動作モードは、RESET モードまたは OPERATION ACTIVE モードにのみ、変更することができます。

- 011_B：OPERATION IDLE

  OPERATION IDLE モードでは、動作モードは、OPERATION ACTIVE モード、CONFIGURATION モードまたは RESET モードにのみ、変更することができます。

- 101_B：OPERATION ACTIVE

  OPERATION ACTIVE モードでは、動作モードは、OPERATION IDLE モード、CONFIGURATION モードまたは RESET モードにのみ、変更することができます。しかし、最初は OPERATION IDLE モードにすることを推奨します。
  動作モード変更時の、推奨方法については、**「19.6.1 動作モードの移行」**を参照してください。

- 上記以外：設定禁止

  CPU は、本レジスタに上記以外の値を書かないでください。
  CPU は、**「19.6.1　動作モードの移行」**に示すモード変更手順に従ってください。

19.3.7　RSENTnSPCT — RSENT SPC 送信レジスタ

アクセス　32 ビット単位でリード／ライト可能です。
アドレス　<RSENTn_base> + 0020_H
リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TLL[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.13　RSENTnSPCT レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 0	TLL[6:0]	ティック単位でのロウトリガフェーズの長さ 0000000_B：1 ティック 0000001_B：2 ティック 0000010_B：3 ティック ： 1111110_B：127 ティック 1111111_B：128 ティック

RSENTnSPCT.TLL（ロウトリガ長）

本ビットは、SPC トリガパルスの長さを定義します。

CPU が本ビットに書き込む時は、設定された長さを持つ SPC トリガパルスは、RSENT モジュールの現在のステータスに関係なく、すぐ送信されます。

SPC の通信については、**「19.7　SPC 機能」**を参照してください。

RSENT が OPERATION ACTIVE モード（RSENTnMST.OMS = 101_B）で、SPC 通信が有効 (RSENTnCC.SPCE = 1) の時のみ、CPU は、本ビットに書き込むことができます。

前の要求がまだ開始されていない場合、2 つの連続したライトアクセスは、応答なしエラーを発生しない可能性がありますので、注意してください。

本レジスタへの書き込み後、再度書き込みをする前に、CPU は少なくとも 1 SPC トリガティック、待機してください。

19.3.8 RSENTnMST — RSENT モードステータスレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0024_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	OMS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.14 RSENTnMST レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2 ～ 0	OMS[2:0]	動作モード 000_B：RESET 001_B：CONFIGURATION 011_B：OPERATION IDLE 101_B：OPERATION ACTIVE 上記以外：予約

RSENTnMST.OMS（動作モードステータス）

本ビットは、現在の動作モードを示しています。

本ビットは読み出しのみ可能です。

本ビットは、モード変更要求が RSENTnMDC.OMC レジスタに設定された後に、更新されます。

- 000_B：RESET モード

  RESET モードでは、すべてのレジスタはリセット値に設定されており、RSENTnMDC レジスタを除くすべてのレジスタへの書き込みアクセスは無効になっています。
  RESET モードでは、RSENT 通信は無効になります。

- 001_B：CONFIGURATION モード

  CONFIGURATION モードでは、タイムスタンプレジスタ（RSENTnTSPC と RSENTnTSC レジスタ）、設定レジスタ（RSENTnCC と RSENTnBRP レジスタ）、RSENTnIDE レジスタおよびモード制御レジスタ（RSENTnMDC.OMC）への書き込みが有効になっています。
  CONFIGURATION モードでは、RSENT 通信は無効になります。
  CONFIGURATION モードへの移行時は、すべてのステータスレジスタと受信バッファレジスタは、リセット値に設定されます。

- 011_B：OPERATION IDLE モード

  OPERATION IDLE モードでは、受信や SPC トリガ送信はできません。
  OPERATION IDLE モードへの移行時は、受信バッファ内のフレームは OPERATION ACTIVE モードとして分析されますが、新しいフレームは受信されません。

- 101_B：OPERATION ACTIVE モード

  OPERATION ACTIVE モードでは、受信や SPC トリガ送信が可能です。

- 上記以外：予約

19.3.9 RSENTnCS — RSENT 通信ステータスレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0028_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SES	SMS	SCS	NRS	CVS	CLS	FNS	FES	FMS	FCS	FRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.15 RSENTnCS レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。
10	SES	低速チャネル符号化エラー割り込み検出 0：未検出 1：検出
9	SMS	低速チャネルメッセージロスト割り込み検出 0：未検出 1：検出
8	SCS	低速チャネル CRC エラー割り込み検出 0：未検出 1：検出
7	NRS	応答なしエラー割り込み検出 0：未検出 1：検出
6	CVS	キャリブレーションパルス長変動エラー割り込み検出 0：未検出 1：検出
5	CLS	キャリブレーションパルス長エラー割り込み検出 0：未検出 1：検出
4	FNS	高速チャネルニブルカウントエラー割り込み検出 0：未検出 1：検出
3	FES	高速チャネルニブル符号化エラー割り込み検出 0：未検出 1：検出
2	FMS	高速チャネルメッセージロスト割り込み検出 0：未検出 1：検出
1	FCS	高速チャネル CRC エラー割り込み検出 0：未検出 1：検出
0	FRS	高速チャネル受信割り込み検出 0：未検出 1：検出

RSENTnCS.SES（低速チャネル符号化エラーステータス）

本ビットは、低速チャネル符号化エラーステータスを示します。

本ビットは読み出しのみ可能です。

ショートシリアルメッセージフォーマット（RSENTnCC.SMF = 01_B）では、シリアルスタートビット（ステータス＆コミュニケーションニブルのビット 3）の配列が
“$1000\ 0000\ 0000\ 0000_B$”（1 が 1 つ、0 が 15 個）と異なると、本ビットが設定されます。

拡張シリアルメッセージフォーマット（RSENTnCC.SMF = 10_B）では、シリアルメッセージ開始フレーム (ステータス＆コミュニケーションニブルのビット 3 の配列が $0111\ 1110_B$) を受信後、ビット 13 またはビット 18 が “0” として受信されないと、本ビットが設定されます。

RSENTnCSC.SEC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.SMS（低速チャネルメッセージロストステータス）

本ビットは、低速チャネルメッセージロストステータスを示します。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファを更新しようとした際、前のメッセージがまだ読み出されていない場合に、本ビットは設定されます。

RSENTnCSC.SEC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.SCS（低速チャネル CRC エラーステータス）

本ビットは、低速チャネル CRC エラーステータスを示します。

本ビットは読み出しのみ可能です。

低速チャネルで CRC エラーが検出され、低速チャネル CRC 検出が有効（RSENTnCC.SCCD = 0 に設定）の場合、本ビットは設定されます。

RSENTnCSC.SCC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.NRS（応答なしエラーステータス）

本ビットは、応答なしエラーステータスを示します。

本ビットは読み出しのみ可能です。

本ビットは、以下の時、設定されます。

- CPU が RSENTnSPCT.TLL へ書き込み
- SPC モードが有効 (RSENTnCC.SPCE = 1 に設定)

- 前の SPC トリガに対して、センサーから、応答完了の受信なし

RSENTnCSC.NRC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.CVS（キャリブレーションパルス長変動エラーステータス）

本ビットは、キャリブレーションパルス長変動エラーステータスを示します。

本ビットは読み出しのみ可能です。

RSENTnCC.PPTC が 0 の場合、2 つの連続したキャリブレーションパルスが 1.5625%以上異なると、本ビットは設定されます。

RSENTnCC.PPTC が 1 の場合、本ビットは設定されません。本モード（固定されたメッセージ長で、パルス一時停止）では、CPU は RSENTnCPL と RSENTnML レジスタを読み出すことにより、メッセージ長に対する、キャリブレーションパルス比の変動をチェックする必要があります。

RSENTnCSC.CVC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.CLS（キャリブレーションパルス長エラーステータス）

本ビットは、キャリブレーションパルス長エラーステータスを示します。

本ビットは読み出しのみ可能です。

測定されたキャリブレーションパルスの長さが 42 クロックティック未満、または 70 クロックティックを超えた（規格値（56 クロックティック）から 25%の偏差）時に、本ビットは設定されます。

RSENTnCSC.CLC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FNS（高速チャネルニブルカウントエラーステータス）

本ビットは、高速チャネルニブルカウントエラーステータスを示します。

本ビットは読み出しのみ可能です。

キャリブレーションパルスの検出後、または 2 つのキャリブレーションパルス間に、予期せぬ数の立ち下がりエッジがあると、本ビットは設定されます。

RSENTnCSC.FNC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FES（高速チャネルニブル符号化エラーステータス）

本ビットは、高速チャネルニブル符号化エラーステータスを示します。

本ビットは読み出しのみ可能です。

高速チャネル上で、測定されたニブル期間が 12 クロックティック未満、または 27 クロックティックを超えた時に、本ビットは設定されます。

RSENTnCSC.FEC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FMS（高速チャネルメッセージロストステータス）

本ビットは、高速チャネルメッセージロストステータスを示します。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファを更新しようとした際、前のメッセージがまだ読み出されていない場合に、本ビットは設定されます。

RSENTnCSC.FMC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FCS（高速チャネル CRC エラーステータス）

本ビットは、高速チャネル CRC エラーステータスを示します。

本ビットは読み出しのみ可能です。

高速チャネルで CRC エラーが検出され、高速チャネル CRC 検出が有効（RSENTnCC.FCCD = 0 に設定）の場合、本ビットは設定されます。

RSENTnRSENTnCSC.FCC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FRS（高速チャネル受信ステータス）

本ビットは、高速チャネル受信ステータスを示します。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。

CPU が RSENTnFRXD.FND ビットを読み出すと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

19.3.10 RSENTnCSC — RSENT 通信ステータスクリアレジスタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <RSENTn_base> + $002C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SEC	SMC	SCC	NRC	CVC	CLC	FNC	FEC	FMC	FCC	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 19.16 RSENTnCSC レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	SEC	低速チャネル符号化エラー割り込みクリア 0：— 1：クリア
9	SMC	低速チャネルメッセージロスト割り込みクリア 0：— 1：クリア
8	SCC	低速チャネル CRC エラー割り込みクリア 0：— 1：クリア
7	NRC	応答なしエラー割り込みクリア 0：— 1：クリア
6	CVC	キャリブレーションパルス長変動エラー割り込みクリア 0：— 1：クリア
5	CLC	キャリブレーションパルス長エラー割り込みクリア 0：— 1：クリア
4	FNC	高速チャネルニブルカウントエラー割り込みクリア 0：— 1：クリア
3	FEC	高速チャネルニブル符号化エラー割り込みクリア 0：— 1：クリア
2	FMC	高速チャネルメッセージロスト割り込みクリア 0：— 1：クリア
1	FCC	高速チャネル CRC エラー割り込みクリア 0：— 1：クリア
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSENTnCSC.SEC（低速チャネル符号化エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.SES が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.SMC（低速チャネルメッセージロストクリア）

本ビットに 1 を書き込むと、RSENTnCS.SMS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.SCC（低速チャネル CRC エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.SCS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.NRC（応答なしエラークリア）

本ビットに 1 を書き込むと、RSENTnCS.NRS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.CVC（キャリブレーションパルス長変動エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.CVS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.CLC（キャリブレーションパルス長エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.CLS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.FNC（高速チャネルニブルカウントエラークリア）

本ビットに 1 を書き込むと、RSENTnCS.FNS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.FEC（高速チャネルニブル符号化エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.FES が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.FMC

高速チャネルメッセージロストクリア

本ビットに 1 を書き込むと、RSENTnCS.FMS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

RSENTnCSC.FCC（高速チャネル CRC エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.FCS が 0 にクリアされます。

0 の書き込みは、無効です。

本ビットは常に 0 として読み出されます。

19.3.11 RSENTnSRTS — RSENT 低速チャネル受信タイムスタンプレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0030_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.17 RSENTnSRTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	STS	低速チャネル受信タイムスタンプ

RSENTnSRTS.STS（低速チャネル受信タイムスタンプ）

本ビットは読み出しのみ可能です。

低速チャネルメッセージに提供される最後のフレームのタイムスタンプカウンタ値で、低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

19.3.12 RSENTnSRXD — RSENT 低速チャネル受信データレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0034_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SND	—	SCRC[5:0]						—	—	—	SMGC	IDD[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IDD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.18 RSENTnSRXD レジスタの内容

ビット位置	ビット名	機能
31	SND	低速チャネル新データ 0：低速チャネルフレームデータが、最後の読み出し以降に更新されていない 1：低速チャネルフレームデータが、最後の読み出し以降に更新された
30	予約ビット	リードした場合はリセット後の値が読めます。
29 ～ 24	SCRC[5:0]	低速チャネル CRC データ
23 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。
20	SMGC	低速チャネルコンフィグレーションビットデータ
19 ～ 0	IDD[19:0]	低速チャネルデータと ID 情報を示す

RSENTnSRXD.SND（低速チャネル新データ）

本ビットは、低速チャネルメッセージ受信バッファがまだ読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。

本ビットは、読み出される度に、自動的にクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnSRXD.SCRC（低速チャネル CRC）

本ビットは、低速チャネル CRC データを示します。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnSRXD.SMGC（低速チャネルコンフィグレーションビット）

本ビットは、低速チャネルコンフィグレーションビットデータを示します。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnSRXD.IDD（ID/ データ）

本ビットは、低速チャネルデータと ID 情報を示します。

本レジスタ内の配置は、メッセージ形式に依存します。詳細については、**「19.6.2.5 低速チャネルメッセージ受信」**を参照してください。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

19.3.13 RSENTnCPL — RSENT キャリブレーションパルス長レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0038_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPLV [16]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPLV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.19 RSENTnCPL レジスタの内容

ビット位置	ビット名	機能
31 ～ 17	予約ビット	リードした場合はリセット後の値が読めます。
16 ～ 0	CPLV[16:0]	受信メッセージのキャリブレーションパルス長の値

RSENTnCPL.CPLV（キャリブレーションパルス長の値）

メッセージ診断のため、2 つの連続したキャリブレーションパルス、または固定されたメッセージ長モードで、パルス一時停止した、メッセージ長へのキャリブレーションパルスの比を計算する CPU によって、本ビットは使用されます。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、キャリブレーションパルス長（1 ティック時間 × キャリブレーションパルスのティック数）をサンプルクロック（fSAMPLE = 16MHz）でカウントした値が格納されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

19.3.14 RSENTnML — RSENT メッセージ長レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + $003C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	MLV[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MLV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.20 RSENTnML レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	予約ビット	リードした場合はリセット後の値が読めます。
20 ～ 0	MLV[20:0]	受信メッセージのメッセージ長

RSENTnML.MLV（メッセージ長の値）

メッセージ診断のため、固定されたメッセージ長モードで、パルス一時停止した、メッセージ長へのキャリブレーションパルスの比を計算する CPU によって、本ビットは使用されます。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは、サンプルクロックティック単位で測定されたメッセージ長で更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

19.3.15 RSENTnFRTS — RSENT 高速チャネル受信タイムスタンプレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0040_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FTS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.21 RSENTnFRTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	FTS[31:0]	高速チャネル受信タイムスタンプ

RSENTnFRTS.FTS（高速チャネル受信タイムスタンプ）

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは、更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

19.3.16　RSENTnFRXD — RSENT 高速チャネル受信データレジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + 0044_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SNDM	FND	FCCN[1:0]		FCRC[3:0]				ND[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ND[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.22　RSENTnFRXD レジスタの内容

ビット位置	ビット名	機能
31	SNDM	低速チャネル新データのミラー 0：低速チャネルフレームデータが、最後の読み出し以降、更新されない 1：低速チャネルフレームデータが、最後の読み出し以降、更新される
30	FND	高速チャネル新データ 0：高速チャネルフレームデータが、最後の読み出し以降、更新されない 1：高速チャネルフレームデータが、最後の読み出し以降、更新される
29、28	FCCN[1:0]	高速チャネルステータス＆コミュニケーションニブル [1:0]
27 ～ 24	FCRC[3:0]	高速チャネル CRC データ
23 ～ 0	ND[23:0]	高速チャネルニブルデータ

RSENTnFRXD.SNDM（低速チャネル新データミラー）

本ビットは、低速チャネルメッセージ受信バッファが読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。

本ビットは、低速チャネル新データビット（RSENTnSRXD.SND）が読み出される度に、自動的にクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnFRXD.FND（高速チャネル新データ）

本ビットは、高速チャネルメッセージ受信バッファが読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。

本ビットは、読み出されると、自動的にクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnFRXD.FCCN（高速チャネルステータス＆コミュニケーションニブル）

本ビットは、高速チャネルステータス＆コミュニケーションニブル [1:0] を表わしています。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnFRXD.FCRC（高速チャネル CRC）

本ビットは、高速チャネル CRC データを表しています。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnFRXD.ND（高速チャネルニブルデータ）

本ビットは、高速チャネルニブルデータを表しています。

ニブルデータの配置は、ニブルデータ数（RSENTnCC.NDN）に依存します。詳細については、**「19.6.2.3 高速チャネルメッセージ受信」**を参照してください。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

19.4 動作モード

RSENTn は、次の何れかのモードで動作します。

- RESET モード
- CONFIGURATION モード
- OPERATION IDLE モード
- OPERATION ACTIVE モード

図 19.2 は、チャネルモード間での可能な遷移を示しています。

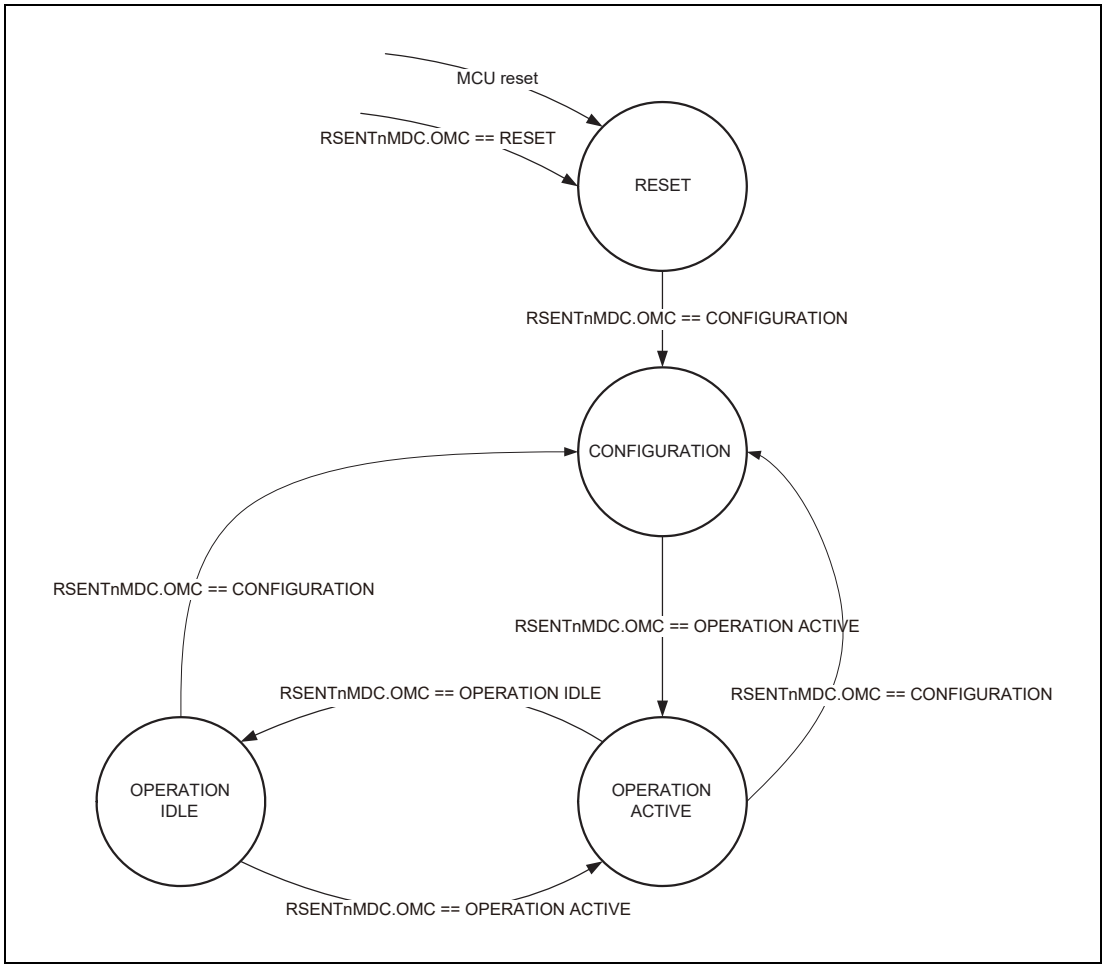


図 19.2 動作モード間での遷移

現在動作している動作モードについては、RSENTnMST.OMS ビットで確認することができます。

19.4.1 RESET モード

本モードは、リセット解除後に RSENT が自動的に移行する初期モードです。
RSENT に搭載しているレジスタの初期化を行います。

RSENTnMDC.OMC が 000_B に設定されると、RESET モードに移行します。この状態では、すべての、設定、制御（RSENTnMDC.OMC ビットを除く）およびステータスレジスタが、リセットされます。送信中または受信中の処理は直ちに停止され、RSENT のインタフェース端子は、リセット解除後の状態に設定されます。

RESET モードでは、すべてのレジスタへのリードアクセスが可能です。ライトアクセスは RSENTnMDC レジスタに制限されています。

19.4.2 CONFIGURATION モード

RSENTnMDC.OMC が 001_B に設定されると、CONFIGURATION モードに移行します。

送信中または受信中の処理は直ちに停止され、RSENT のインタフェース端子は、リセット解除後の状態に設定されます。

この状態では、すべてのステータスレジスタ（RSENTnCS）と受信バッファレジスタ（RSENTnSRTS、RSENTnSRXD、RSENTnCPL、RSENTnML、RSENTnFRTS および RSENTnFRXD）はリセット後の値に設定されます。

CONFIGURATION モードでは、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、タイムスタンプレジスタ（RSENTnTSPC および RSENTnTSC）と設定レジスタ（RSENTnCC、RSENTnBRP、RSENTnIDE、RSENTnMDC および RSENTnCSC）に制限されています。

19.4.3 OPERATION IDLE モード

RSENTnMDC.OMC が 011_B に設定されると、OPERATION IDLE モードに移行します。

OPERATION IDLE モードでは、受信または送信は行われません。

OPERATION IDLE モードに移行すると、受信バッファ内のフレームは、OPERATION ACTIVE モードの時と同じように、分析することはできますが、新しいフレームは受信されません。

OPERATION IDLE モードでは、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、RSENTnTSC、RSENTnIDE、RSENTnMDC および RSENTnCSC に制限されています。

19.4.4 OPERATION ACTIVE モード

RSENTnMDC.OMC が 101_B に設定されると、OPERATION ACTIVE モードに移行します。

OPERATION ACTIVE モードでは、受信または送信が行われます。

OPERATION ACTIVE モードでは、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、RSENTnTSC、RSENTnIDE、RSENTnMDC、RSENTnSPCT および RSENTnCSC に制限されています。

19.4.5 動作モードにおけるレジスタ動作

表 19.23 は、RSENT が以下の動作モード間で移行した際の、レジスタ動作を示しています。この表では、動作モードにおける、アクセス制限の概要も示しています。

表 19.23 動作モードにおけるレジスタ動作

レジスタ名	略称	リセット	RESET モード		CONFIGURATION モード		OPERATION IDLE モード		OPERATION ACTIVE モード	
		変更	変更	R/W	変更	R/W	変更	R/W	変更	R/W
タイムスタンププリスケーラ設定レジスタ	RSENTnTSPC	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R	変更なし	R
タイムスタンプカウンタレジスタ	RSENTnTSC	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R/W 注1	変更なし	R/W 注1
通信設定レジスタ	RSENTnCC	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R	変更なし	R
ボーレートプリスケーラレジスタ	RSENTnBRP	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R	変更なし	R
割り込み /DMA イネーブルレジスタ	RSENTnIDE	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R/W	変更なし	R/W
モード制御レジスタ	RSENTnMDC	0000 0000$_H$	0000 0000$_H$	R/W	変更なし	R/W	変更なし	R/W	変更なし	R/W
SPC 送信レジスタ	RSENTnSPCT	0000 0000$_H$	0000 0000$_H$	R	変更なし	R	変更なし	R	変更なし	R/W
モードステータスレジスタ	RSENTnMST	0000 0000$_H$	0000 0000$_H$	R	0000 0001$_H$	R	0000 0003$_H$	R	0000 0005$_H$	R
通信ステータスレジスタ	RSENTnCS	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
通信ステータスクリアレジスタ	RSENTnCSC	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R/W	変更なし	R/W
低速チャネル受信タイムスタンプレジスタ	RSENTnSRTS	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
低速チャネル受信データレジスタ	RSENTnSRXD	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
キャリブレーションパルス長レジスタ	RSENTnCPL	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
メッセージ長レジスタ	RSENTnML	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
高速チャネル受信タイムスタンプレジスタ	RSENTnFRTS	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
高速チャネル受信データレジスタ	RSENTnFRXD	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R

注 1. 書き込み制限があります。

19.5 クロック設定

19.5.1 タイムスタンプ

19.5.1.1 タイムスタンプクロック設定

RSENT は、タイムスタンプカウンタを搭載しています。

使用する通信周波数（clkc）に応じて、プリスケーラ TPV の出力が、1μs クロックティックとなるように RSENTnTSPC.TTPV ビットの値を設定してください。

設定されたティック長に応じて、RSENTnTSPC.TTM ビットを設定することにより、分解能を減少させることができます。既に分割された入力周波数は、RSENTnTSPC.TTM ビットの値によって、さらに分割されます。

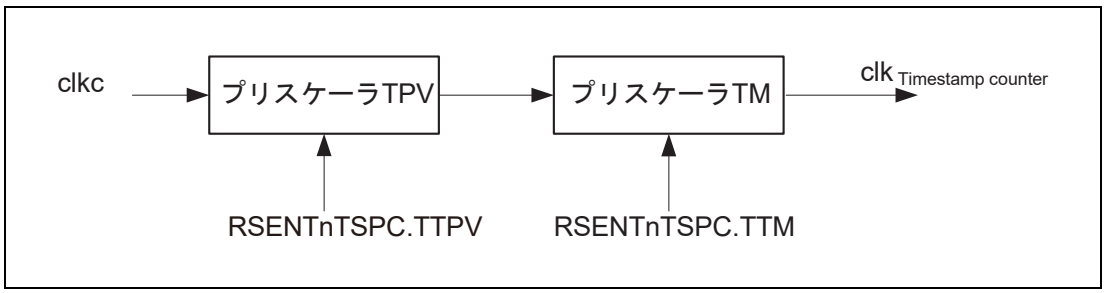


図 19.3 タイムスタンプカウンタクロック生成

19.5.1.2 タイムスタンプカウンタ動作

RSENT が、CONFIGURATION モードにある時のみ、RSENTnTSC.TS ビットに書き込むことで、タイムスタンプカウンタの値を任意の値に初期化することができます。

タイムスタンプカウンタがマスタモード（RSENTnTSPC.TMS = 0）で動作するように構成されている場合、RSENT が OPERATION IDLE モードまたは OPERATION ACTIVE モードになると、RSENTnTSC.TS ビットに $0000\ 0000_H$ を書き込むことによって、CPU はタイムスタンプカウンタをクリアすることができます。

タイムスタンプカウンタがスレーブモード（RSENTnTSPC.TMS = 1）で動作するように構成されている場合、RSENT が OPERATION IDLE または OPERATION ACTIVE モードになると、マスタに設定されているチャネルの RSENTnTSC.TS ビットに CPU が $0000\ 0000_H$ を書き込むことによって、タイムスタンプカウンタがクリアされます。タイムスタンプカウンタのプリスケーラ設定はマスタモードで動作するチャネルとそのスレーブモードで動作するチャネルで同じ設定にしてください。タイムスタンプカウンタの同期化が発生すると、内部タイムスタンプカウンタのプリスケーラも同期します。

現在のタイムスタンプカウンタ値は、RSENTnTSC.TS ビットから読み出すことができます。

RSENT が OPERATION ACTIVE モードになると、各受信メッセージは、関連するタイムスタンプに保存されます。タイムスタンプ値は、高速チャネルと低速チャネルデータに使用されます。

キャリブレーションパルスが検出されると、タイムスタンプ値がキャプチャされます。

高速チャネルのタイムスタンプ値は、RSENTnFRTS.FTS ビットに保存されます。

低速チャネルのタイムスタンプ値は、RSENTnSRTS.STS ビットに保存されます。低速チャネルのタイムスタンプ値は、低速チャネルメッセージに貢献する最後の高速チャネルメッセージのタイムスタンプ値と同じになります。

タイムスタンプカウンタの同期が必要な場合には、以下のフローに従ってください。

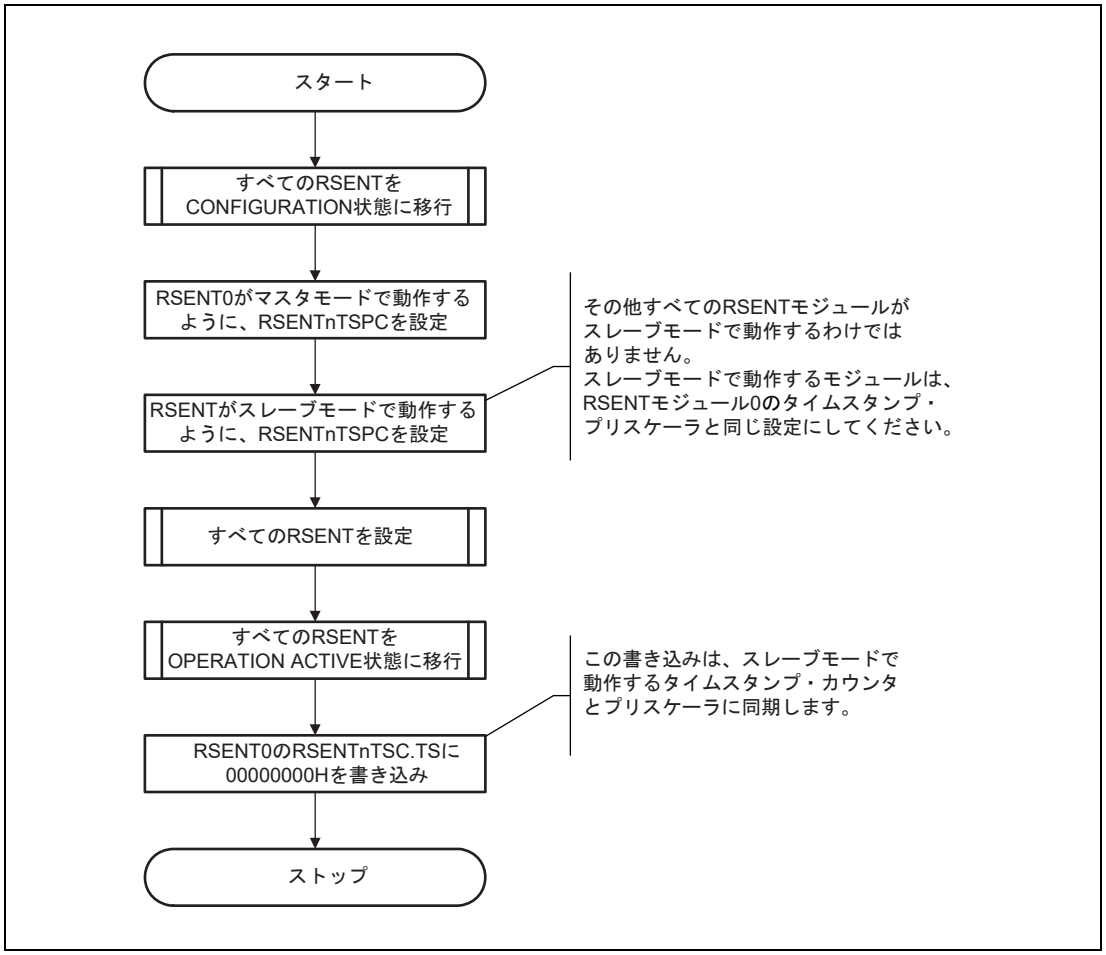


図 19.4 タイムスタンプカウンタの同期

マスタモジュールが OPERARION_ACTIVE もしくは OPERARION_IDLE 状態に遷移している場合、タイムスタンプの同期化が可能です。

19.5.2 通信クロック設定

19.5.2.1 RX BRP 設定

通信ボーレートは下記に示す計算式に従って RSENTnBRP.SCMV ビットおよび RSENTnBRP.SCDV ビットを設定してください。

$f_{COMMUNICATION}$（clkc クロック）を分周して f_{SAMPLE} が 16MHz になるように RSENTnBRP.SCMV と RSENTnBRP.SCDV の値を選択してください。

$$f_{SAMPLE} = 16MHz = f_{COMMUNICATION} \times \frac{Sample\ Clock\ Multiplication\ Value\ (RSENTnBRP.SCMV + 1)}{Sample\ Clock\ Division\ Value\ (RSENTnBRP.SCDV + 1)}$$

19.5.2.2 受信と SPC のティック設定

受信と SPC 機能で使用されるティック長は、RSENTnBRP.TTI と RSENTnBRP.TTF ビットで設定することができます。0.1μs の分解能で、1.0μs ～ 90.0μs のティック長を設定することができます。

RSENTnBRP.TTI は、ティック長の整数部を保持し、RSENTnBRP.TTF ビットは、ティック長の小数部分を保持しています。ティック長は次式に従って計算されます。

$$T_{TICK} = T_{BRP.TTI} + T_{BRP.TTF}$$

19.6 RSENT 動作

本製品シリーズに搭載している RSENTn の通信を開始する場合、必ず RSENTn インタフェースに該当する端子設定を行った後、本章に記載されている各設定フローを実施するようにして下さい。

SENT 受信、SPC1 線式、SPC2 線式それぞれについて、PORT の設定を次のように行ってください。

SPC モードで使用する場合の PORT の端子出力は、SPC1 線式では、N-MOS オープンドレイン出力、SPC2 線式ではプッシュプル出力となります。

		PORT 設定レジスタ				
		PMC	PIPC	PM	PIBC	PBDC
SENT 受信	RSENTnRX	1	0	1	0	0
SPC1 線式	RSENTnRX/ RSENTnSPCO	1	1	1	0	0
SPC2 線式	RSENTnRX	1	0	1	0	0
	RSENTnSPCO	1	0	0	0	0

端子設定の詳細については、**「第 2 章　端子」**を参照ください。

19.6.1 動作モードの移行

CONFIGURATION モードで初期設定完了後、OPERARION ACTIVE モード移行することで通信動作が有効になります。これは、RSENTnMDC.OMC ビットを OPERATION ACTIVE に設定し、RSENTnMST.OMS が OPERATION ACTIVE に移行するのを待機して、実行されます。

いったん、OPERATION ACTIVE モードになると、設定に応じて、メッセージを受信したり、SPC 通信が起動したりします。

図 19.5 に、リセットモードから通信開始するまでのフローを示します。

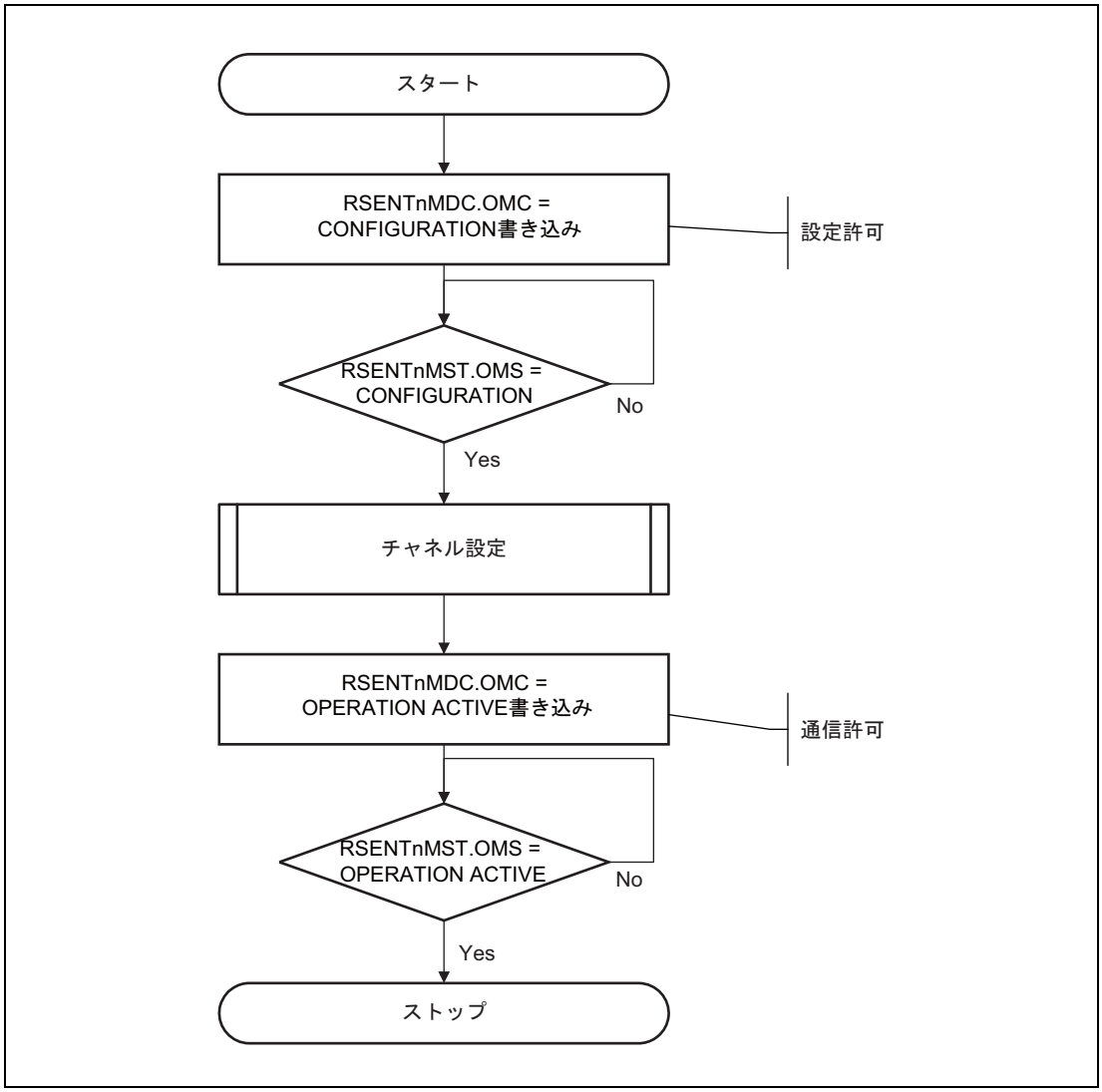


図 19.5 有効な通信フロー

OPERATION ACTIVE モードを終了するには、OPERATION IDLE モードに移行することによってまず、通信を無効にする必要があります。これは、RSENTnMDC.OMC ビットを OPERATION IDLE に設定し、RSENTnMST.OMS ビットが OPERATION IDLE に移行するのを待機して、実行されます。

OPERATION ACTIVE と OPERATION IDLE 間の遷移は、RSENTnCC.SPCE ビットの設定に依存します。

(1) RSENTnCC.SPCE = 0

受信動作が進行中の時は、受信バッファが更新された時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます（**「19.6.2.3 高速チャネルメッセージ受信」**を参照してください）。

受信動作が進行していない時は、OPERATION ACTIVE から OPERATION IDLE へのモード移行は直ちに行われます。

(2) RSENTnCC.SPCE = 1

受信動作が進行中の時は、終了パルスの立ち下がりエッジを受信した時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

応答なしエラーが発生した場合は、エラー検出と同時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

SPC トリガ後、応答を受信するシーケンスが完了したときに、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。つまり、受信動作完了後にモード移行が行われます。応答が保留されている時は、終了パルスの立ち下がりエッジを受信した時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

RSENTnMST.OMS ビットに CONFIGURATION を書き込み、RSENTnMST.OMS が CONFIGURATION に移行することを待機することで、CONFIGURATION モードにはいつでも移行することができます。

いったん CONFIGURATION モードに移行すると、ステータスとメッセージ情報が CONFIGURATION モードでクリアされるので、RSENT に保存された、残りのステータスとメッセージ情報は失われます。

図 19.6 は、OPERATION ACTIVE モードから通信禁止状態に遷移するフローを示します。

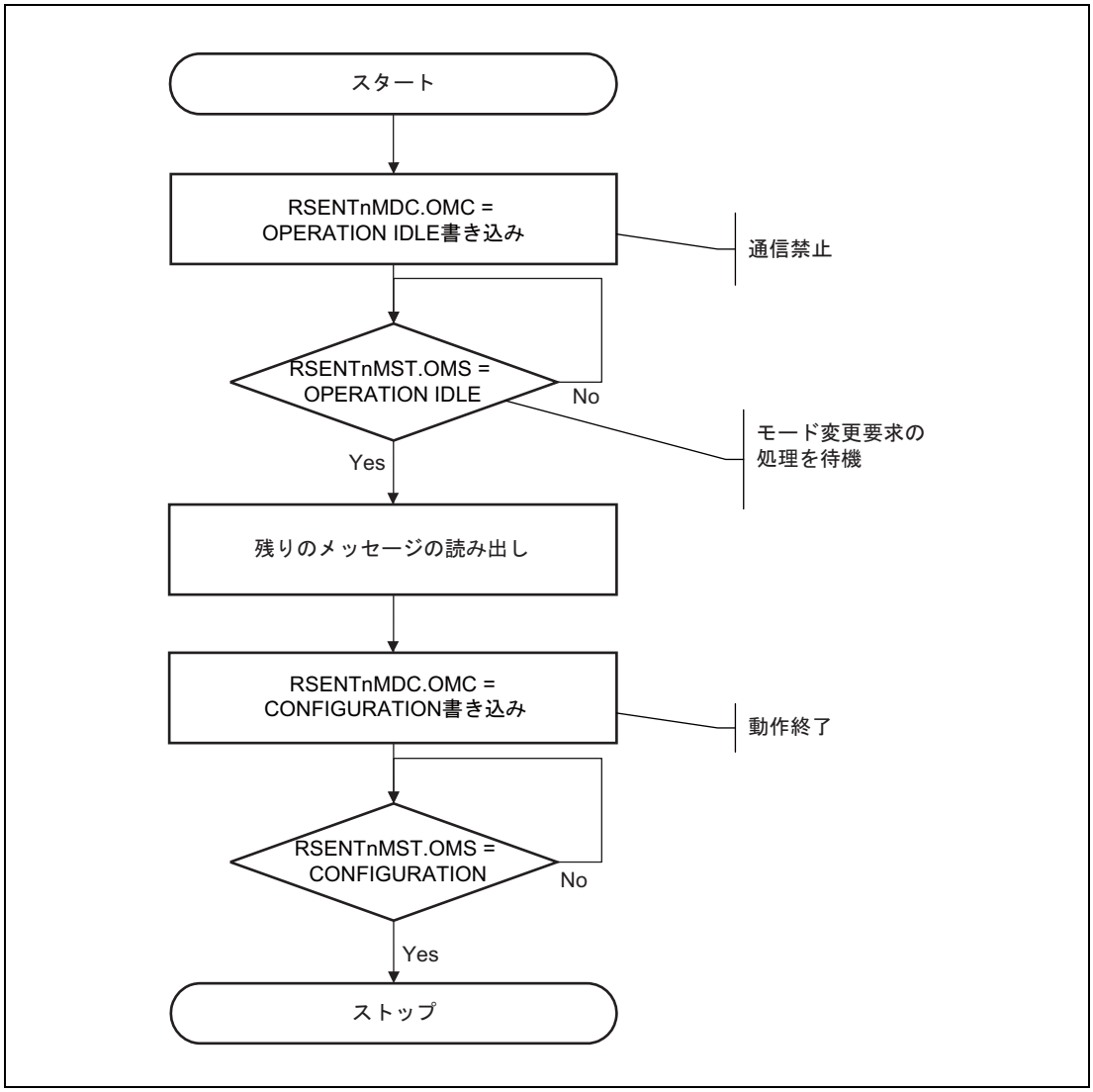


図 19.6 通信停止フロー

19.6.2 メッセージの受信

RSENT メッセージの受信は、キャリブレーションパルス受信と、それに続くデータニブルパルス受信から構成されています。

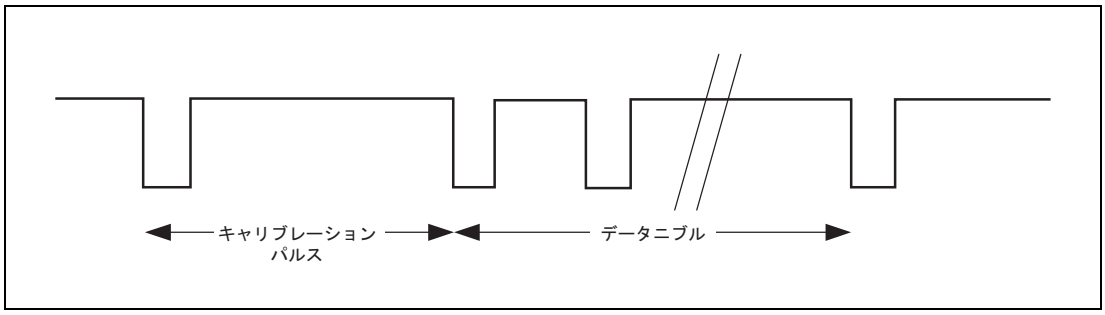


図 19.7 RSENT 受信メッセージ構成

19.6.2.1 キャリブレーションパルス受信

キャリブレーションパルスにより、内部生成されるクロックティックは、送信クロックに補正されます。

また、キャリブレーションパルスは、前のメッセージ終了、メッセージのエラー判定に使用されます。可変メッセージ長モード（RSENTnCC.PPTC =0）では、RSENT は、自動キャリブレーションパルス長の診断をサポートしています。キャリブレーションパルス比のチェックが失敗した場合は、キャリブレーションパルス長変動エラーフラグ（RSENTnCS.CVS）が 1 に設定されます。

19.6.2.2 データニブル受信

RSENT の受信機能は、簡単なキャプチャと比較機能になります。RSENT は、データライン上の 2 つの連続した立ち下がりエッジの時間で符号化されたセンサ情報を受信します。時間的距離（クロックティック数）は、キャプチャされ、実際のニブルの値を決定する、一連の値と比較されます。以下の**表 19.24** に、データ符号化について示します。

表 19.24 データニブルの符号化 (1/2)

ニブル期間（クロックティック数）	ニブル値（2 進）
12	0000_B
13	0001_B
14	0010_B
15	0011_B
16	0100_B
17	0101_B
18	0110_B
19	0111_B
20	1000_B
21	1001_B
22	1010_B
23	1011_B
24	1100_B
25	1101_B

表 19.24 データニブルの符号化 (2/2)

ニブル期間（クロックティック数）	ニブル値（2 進）
26	1110_B
27	1111_B

受信されたデータニブルは、RSENT メッセージとして、高速チャネルメッセージ受信バッファに保存されます。

規定外のニブル期間を受信した場合は高速チャネルニブル符号化エラーとなります。

19.6.2.3 高速チャネルメッセージ受信

高速メッセージチャネル上で受信されたメッセージは、受信バッファに保存されます。

高速チャネルメッセージ受信バッファは、キャリブレーションパルス長レジスタ (RSENTnCPL)、メッセージ長レジスタ (RSENTnML)、高速チャネル受信タイムスタンプレジスタ (RSENTnFRTS) と、高速チャネル受信データレジスタ (RSENTnFRXD) から構成されます。

これらのレジスタは、DMA を使用して、メモリにレジスタの内容を転送できるように、連続したアドレスに配置されています。

RSENT は、関連するタイムスタンプとメッセージ長の情報を含む、2 つの完全な RSENT メッセージの保存ができる二重受信バッファ構造になっています。メッセージのデコードと組み立ては、別々のレジスタステージで行われます。

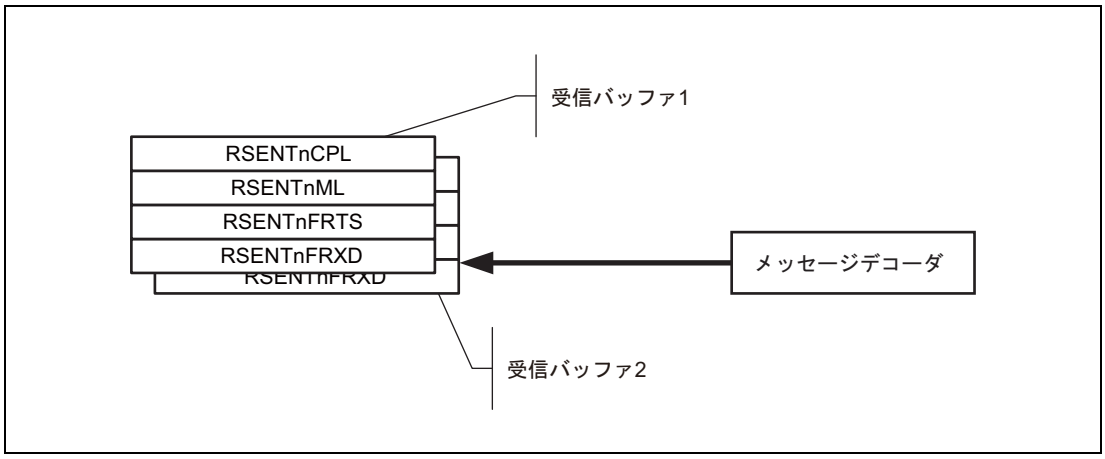


図 19.8 高速チャネルメッセージ受信バッファ

最初の受信メッセージは、CPU によってアクセス可能なメッセージバッファに配置されます。このバッファは（RSENTnFRXD.SNDM ビットを除く）、RSENTnFRXD.FND ビットが読み出されるまで、更新されません。

新しいメッセージが受信バッファに配置されると、RSENTnFRXD.FND ビットが設定されます。同時に、RSENTnCS.FRS ビットも設定され、有効になっている場合は、受信割り込み要求が発生します。

受信バッファ 1 が、処理されていないメッセージを保持している場合は（RSENTnFRXD.FND ビット = 1）、それ以降のメッセージは、受信バッファ 2 に配置されます。受信バッファ 2 は、メッセージがあるたびに、更新されます。受信バッファ 2 にある、処理されていないメッセージが上書きされた場合は、RSENTnCS.FMS ビット = 1 に設定されます。

CPU が RSENTnFRXD.FND ビットを読み出し、バッファ 2 に有効なデータがある場合は、予めバッファ 2 に置かれたデータが、受信バッファで利用可能になり、CPU からアクセスできるようになります。有効になっている場合は、高速チャネルデータ用に、新しい割り込み要求が生成され、RSENTnCS.FRS が設定されます。

RSENTnFRXD.FND/ RSENTnCS.FRS ビットが設定されていない場合は、受信バッファ内のデータが定義されておらず、CPU は受信バッファにアクセスしないでください。

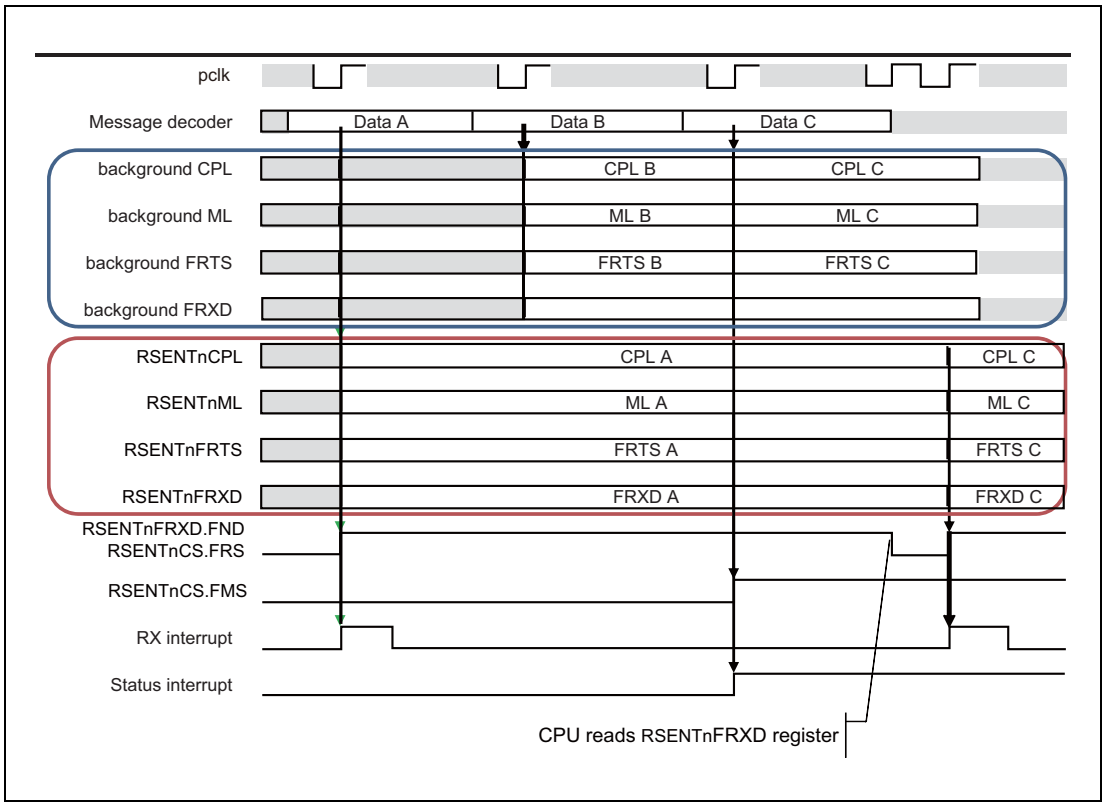


図 19.9 高速チャネルメッセージ受信バッファ更新タイミング

図 19.10 ～**図 19.13** に示すように、受信バッファの更新タイミングは、適用された構成によって異なります。

キャリブレーションパルスが検出された時点での、タイムスタンプカウンタレジスタ値で、RSENTnFRTS レジスタは更新されます。

RSENTnFRXD レジスタのデータ配置は、ニブルデータ数（RSENTnCC.NDN）に依存します。

表 19.25 RSENTnFRXD レジスタにおけるデータニブル配置

RSENTnCC.NDN	23:20	19:16	15:12	11:8	7:4	3:0
000_B	不定	不定	不定	不定	不定	ニブル 1
001_B	不定	不定	不定	不定	ニブル 1	ニブル 2
010_B	不定	不定	不定	ニブル 1	ニブル 2	ニブル 3
011_B	不定	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4
100_B	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5
101_B	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5	ニブル 6

(1) 可変メッセージ長と優先チェック法を使用した SAE 動作（RSENTnCC.SPCE=0、RSENTnCC.PPTC=0、RSENTnCC.FCM=0）

この動作モードでは、RSENT は、J2716 2010 仕様に記載された優先度に従って、連続したキャリブレーションパルス変動を自動的にチェックします。このモードでは、メッセージの診断は、メッセージに続くキャリブレーションパルスを受信した後に行われます。

チェックがパスした場合は、メッセージ受信バッファが更新されます。

チェックがパスしない場合は、メッセージ受信バッファは更新されず、RSENTnCS.CVS = 1 に設定されます。

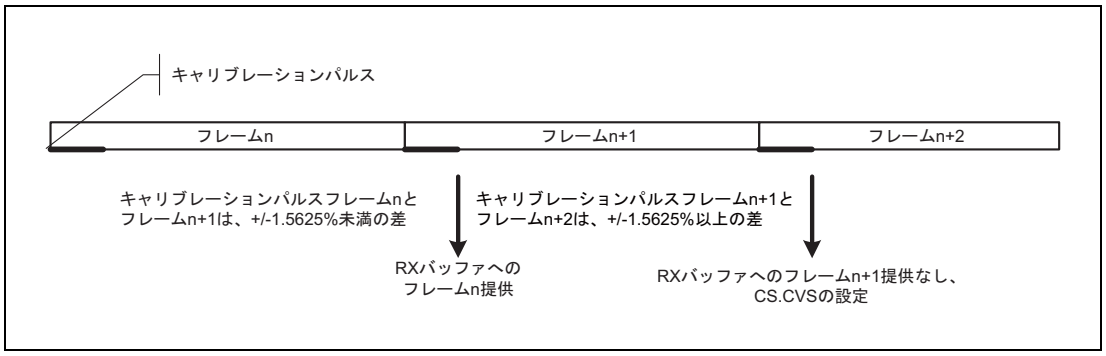


図 19.10 可変メッセージ長と優先チェック法を使用したバッファの更新

(2) 可変メッセージ長とオプションのチェック法を使用した SAE 動作（RSENTnCC.SPCE=0、RSENTnCC.PPTC=0、RSENTnCC.FCM=1）

この動作モードでは、RSENT は、J2716 2010 仕様に記載されたオプションのフレームチェック法に従って、連続したキャリブレーションパルス変動を自動的にチェックします。このモードでは、現在のフレームのキャリブレーションパルスが、直前の有効なフレームのキャリブレーションパルスと比較されます。

チェックがパスした場合は、メッセージ受信バッファが更新されます。

チェックがパスしない場合は、メッセージ受信バッファは更新されず、RSENTnCS.CVS= 1 に設定されます。

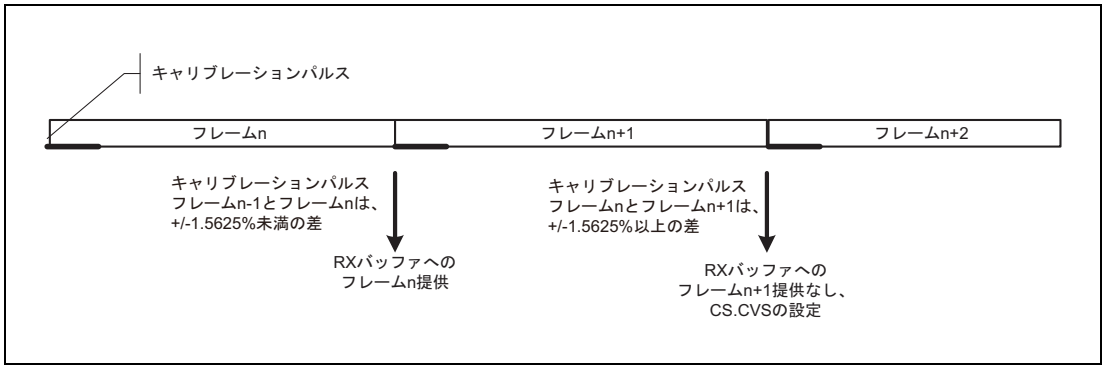


図 19.11 可変メッセージ長とオプションのチェック法を使用したバッファの更新

(3) 固定メッセージ長を使用した SAE 動作（RSENTnCC.SPCE=0、RSENTnCC.PPTC= 1、RSENTnCC.PPC=1）

この動作モードでは、RSENT は、J2716 2010 仕様に記載された優先度に従って、キャリブレーションパルスやメッセージ長の比をチェックしません。このモードでは、RSENT は、キャリブレーションパルス長を RSENTnCPL レジスタに、メッセージ長情報を RSENTnML レジスタに提供します。提供する番号はサンプルをベースにしています。

メッセージバッファは、RSENTnCPL と RSENTnML レジスタの値にかかわらず、次のキャリブレーションパルスが開始されると、更新されます。CPU は、比を計算して、メッセージを受け入れたり、破棄したりします。

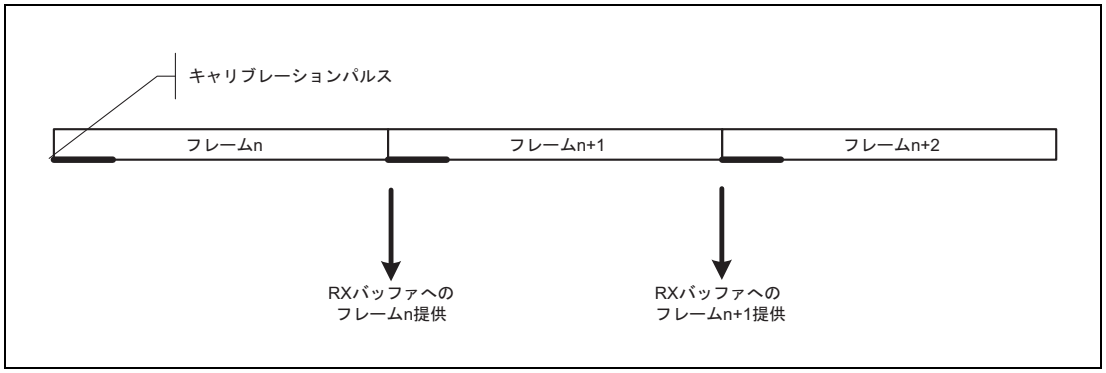


図 19.12　固定メッセージ長を使用したバッファの更新

RSENTnCS.CVS（キャリブレーションパルス幅変動エラーステータス）ビットは、このモードでは、設定されることはありません。

(4) SPC 動作（RSENTnCC.SPCE= 1）

この動作モードでは、センサデータ送信が SPC マスタートリガパルスの後に行われます。SAE SENT 通信では、キャリブレーションパルスまたは一時停止パルスは、直前のメッセージを中断しています。SPC 通信では、センサは、SPC トリガ要求の次にきたデータのみを送信しています。センサによって送信された終了パルスは、メッセージを中断しています。メッセージバッファは、終了パルスが開始されると、更新されます。

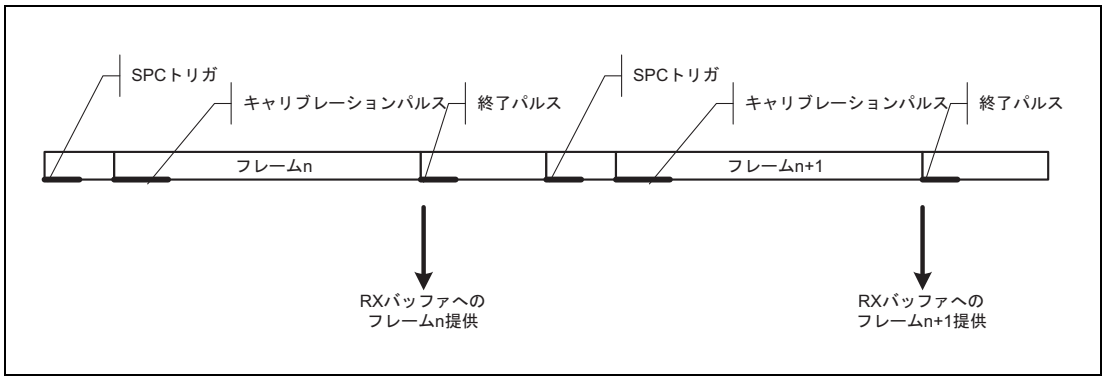


図 19.13　SPC モード時のバッファの更新

RSENTnCS.CVS（キャリブレーションパルス幅変動エラーステータス）ビットは、このモードでは、設定されることはありません。

RSENT は、キャリブレーションパルス長を RSENTnCPL レジスタに、メッセージ長情報を RSENTnML レジスタに提供します。提供する番号はサンプルをベースにしています。CPU は、キャリブレーションパルスやメッセージ長の比を計算して、メッセージを受け入れたり、破棄したりします。

可変メッセージ長モードの場合、次のキャリブレーションパルスの受信タイミングは、次の SPC トリガタイミングに依存するため、RSENT は、このチェックを実行できません。

19.6.2.4 高速チャネル受信フロー

図 19.14 に、高速チャネルメッセージ受信バッファ用の、推奨受信フローを示します。

ポーリングまたはイベント駆動型のメソッドを使用すると、CPU は、RSENTnCS.FRS ビットの設定のみを読み出せば、新しい高速チャネルデータの有無をチェックすることができます。

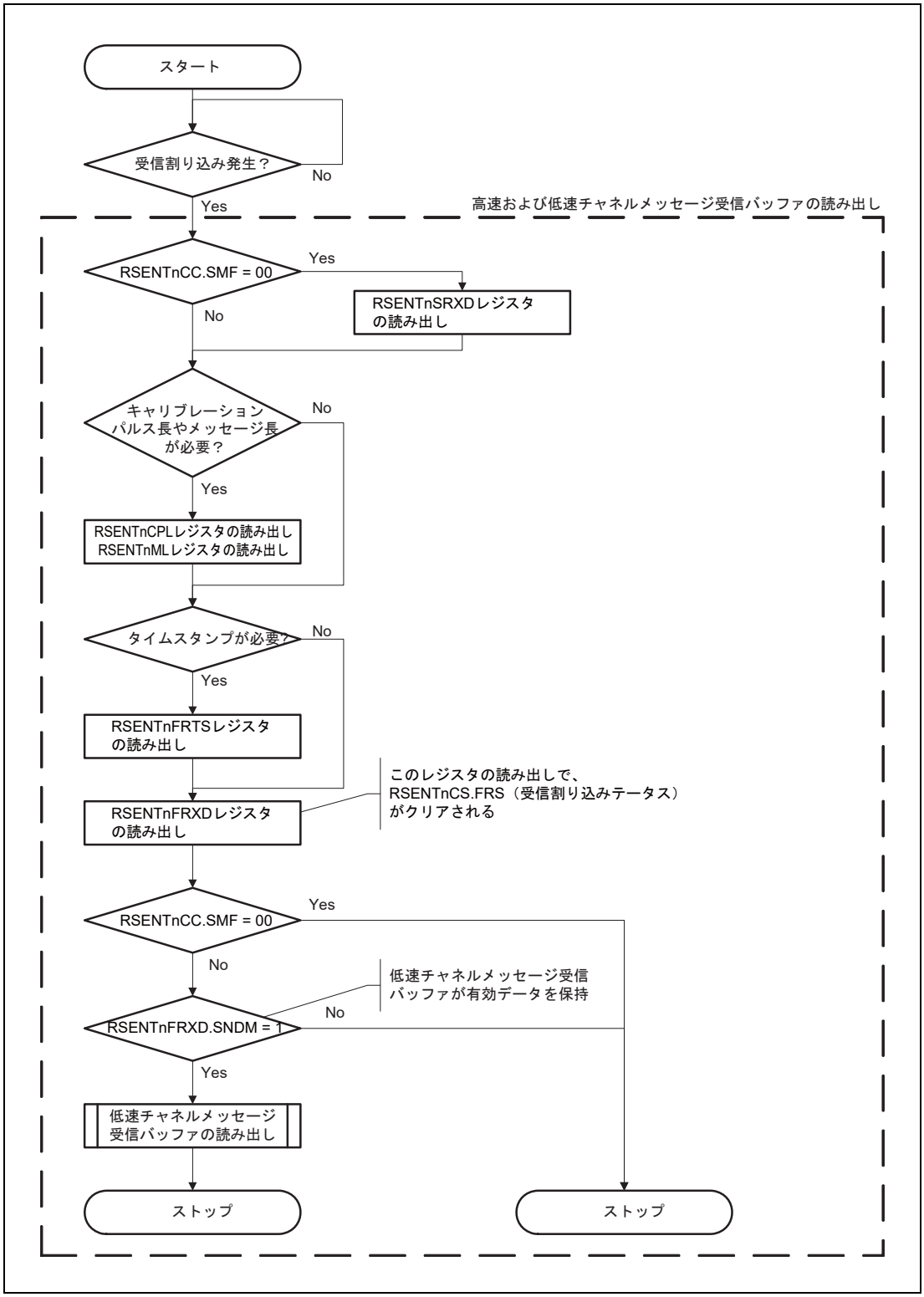


図 19.14 高速チャネル受信フロー

いずれの場合も、CPU は、このフローに示す、受信バッファレジスタの読み出し順序を守る必要があります。RSENTnFRXD レジスタは、最後にアクセスされるレジスタである必要があります。

低速チャネルメッセージ受信バッファの処理については、**「19.6.2.6 低速チャネル受信フロー」**で述べています。

一時停止パルスと固定メッセージ長を使用した SAE 通信では、キャリブレーションパルスの比をチェックすることにより、フローをメッセージ長まで、拡張しなければなりません。この可変チェックは、CPU が行う必要があります。可変チェックが失敗した場合には、CPU は、受信したメッセージを破棄しなければなりません。

19.6.2.5 低速チャネルメッセージ受信

RSENT は、ステータス＆コミュニケーションニブルのビット 3、2 を使用して、高速チャネルメッセージから、低速メッセージを抽出することをサポートしています。低速チャネルの抽出をするために、CPU は RSENTnCC.SMF ビットを、期待されるシリアルメッセージフォーマットに設定する必要があります。

シリアルメッセージの抽出が選択されていない場合は（RSENTnCC.SMF = 00_B）、RSENTnSRXD レジスタは、高速チャネルメッセージ受信バッファ構造（バッファ 2 を含む）の一部となり、RSENTnSRTS レジスタは無視されます。ステータス＆コミュニケーションニブルは RSENTnSRXD.IDD ビットに配置されます。さらに、低速チャネル新データと低速チャネルメッセージロストフラグが生成されません。

低速チャネルシリアルメッセージを受信するためには、低速チャネルシリアルメッセージに貢献するすべての高速チャネルのシリアルのメッセージが正常に受信されなければならず、また、受信された低速チャネルシリアルメッセージは、選択されたシリアルメッセージフォーマットに従わなければなりません。

高速チャネルでのメッセージロストは、低速チャネルでの受信に影響しません。

低速チャネルメッセージ受信バッファは、低速チャネル受信タイムスタンプレジスタ (RSENTnSRTS) と低速チャネル受信データレジスタ (RSENTnSRXD) で構成されます。

高速チャネルメッセージ受信バッファとは反対に、低速チャネルメッセージ受信バッファは、二重受信バッファ構造になっておらず、単一の受信バッファ構造です。メッセージのデコードと組み立ては、別々のレジスタステージで行われます。

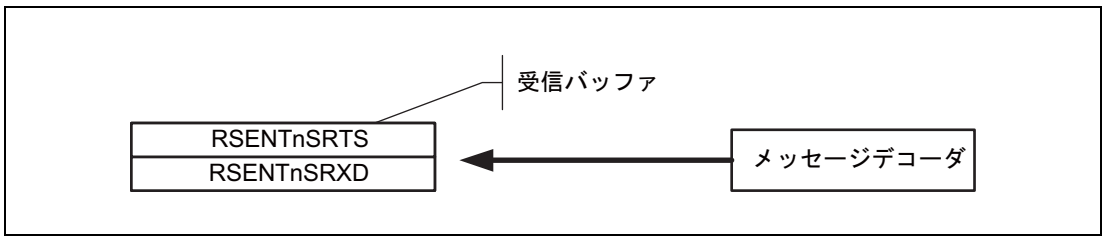


図 19.15 低速チャネルメッセージ受信バッファ

低速チャネルメッセージ受信バッファは、低速チャネルメッセージに必要な、最後のステータス＆コミュニケーションニブルを保持している、高速チャネルメッセージ受信バッファと同時に更新されます。同時に、RSENTnSRXD.SND ビットも 1 に設定されます。

RSENTnSRXD.SND ビットが読み出されるまで、バッファへの更なる更新は実行されません。

受信バッファが、処理されていないメッセージを保持している場合は（RSENTnSRXD.SND =1）、それ以降のメッセージは失われます（低速チャネルメッセージ受信バッファは更新されません）。また、RSENTnCS.SMS は 1 に設定されます。

CPU が RSENTnSRXD レジスタを読み出すと、RSENTnSRXD.SND は自動的にクリアされます。

低速チャネルメッセージに貢献する最後のフレームの、現在のタイムスタンプカウンタレジスタ値と一緒に、RSENTnSRTS レジスタは更新されます。

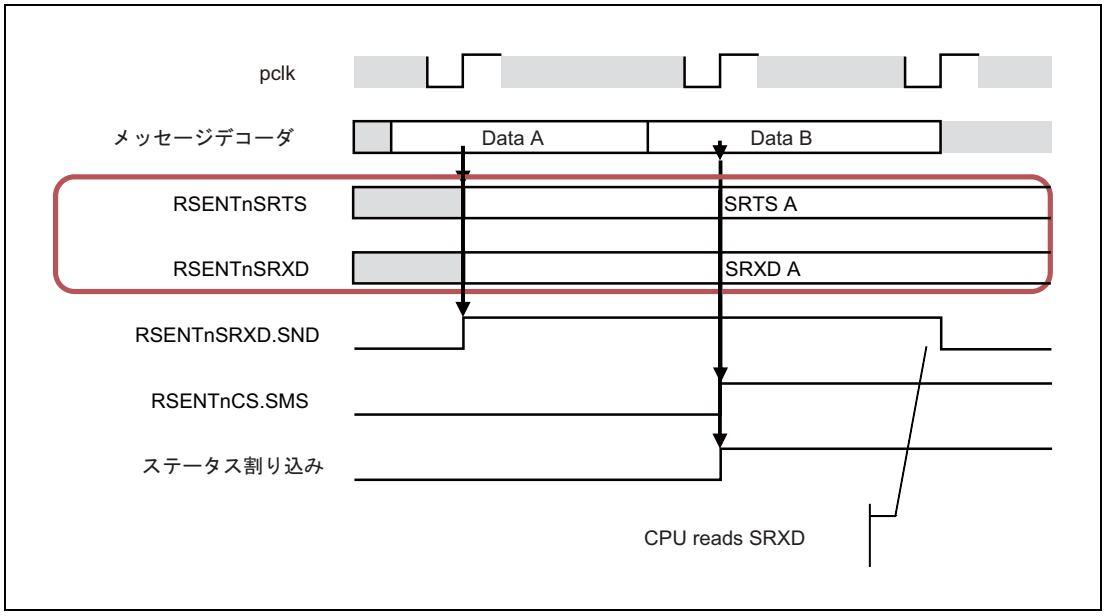


図 19.16 低速チャネルメッセージ受信バッファ更新タイミング

SRDX レジスタのデータ配置は、低速チャネルメッセージフォーマット（RSENTnCC.SMF）と受信した設定ビットに依存します。

表 19.26 RSENTnSRXD レジスタにおけるデータ配置

RSENTnCC.SMF	RSENTnSRXD.SMGC	RSENTnSRXD.IDD[19:16]	RSENTnSRXD.IDD[15:12]	RSENTnSRXD.IDD[11:8]	RSENTnSRXD.IDD[7:4]	RSENTnSRXD.IDD[3:0]
00_B	不定	不定	不定	不定	不定	C & S nibble
01_B	不定	不定	不定	メッセージ ID[3:0]	データ [7:4]	データ [3:0]
10_B	0	メッセージ ID[7:4]	メッセージ ID[3:0]	データ [11:8]	データ [7:4]	データ [3:0]
10_B	1	メッセージ ID[3:0]	データ [15:12]	データ [11:8]	データ [7:4]	データ [3:0]

19.6.2.6 低速チャネル受信フロー

図 19.17 に、低速チャネルメッセージ受信バッファ用の、推奨受信フローを示します。低速チャネル受信データが要求される場合、このプロセスは、高速チャネル受信フローの一部として実行される必要があります。

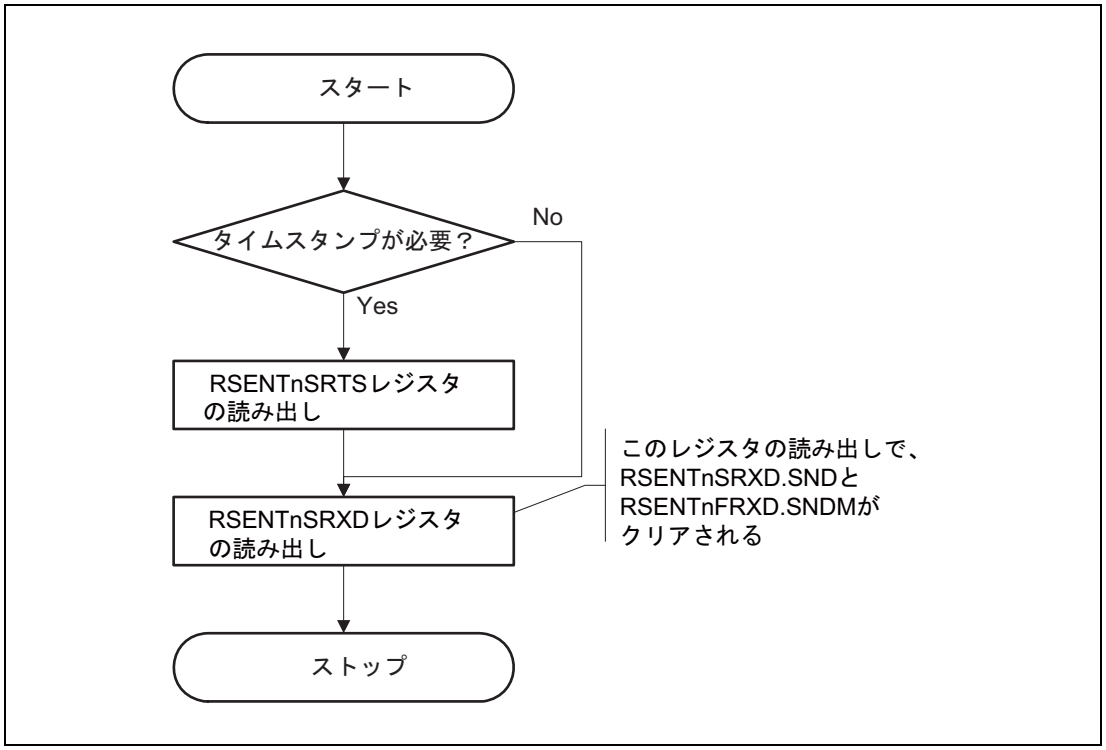


図 19.17 低速チャネル受信フロー

いずれの場合も、CPU は、このフローに示す低速チャネルメッセージ受信バッファレジスタの読み出し順序を守る必要があります。RSENTnSRXD.SND ビットは、最後にアクセスされる必要があります。

19.6.2.7 DMA フロー

DMA を使用する場合は、DMA 使用の開始アドレスと転送回数が、受信バッファのどの部分が転送されるか、定義します。RSENTnFRXD レジスタは、32 ビット単位のアクセスで、最後にアクセスされるレジスタである必要があります。

一時停止パルスと固定メッセージ長を使用した SAE 通信では、キャリブレーションパルスの比をチェックすることにより、フローをメッセージ長まで、拡張しなければなりません。この可変チェックは、CPU が行う必要があります。可変チェックが失敗した場合には、CPU は、受信したメッセージを破棄しなければなりません。

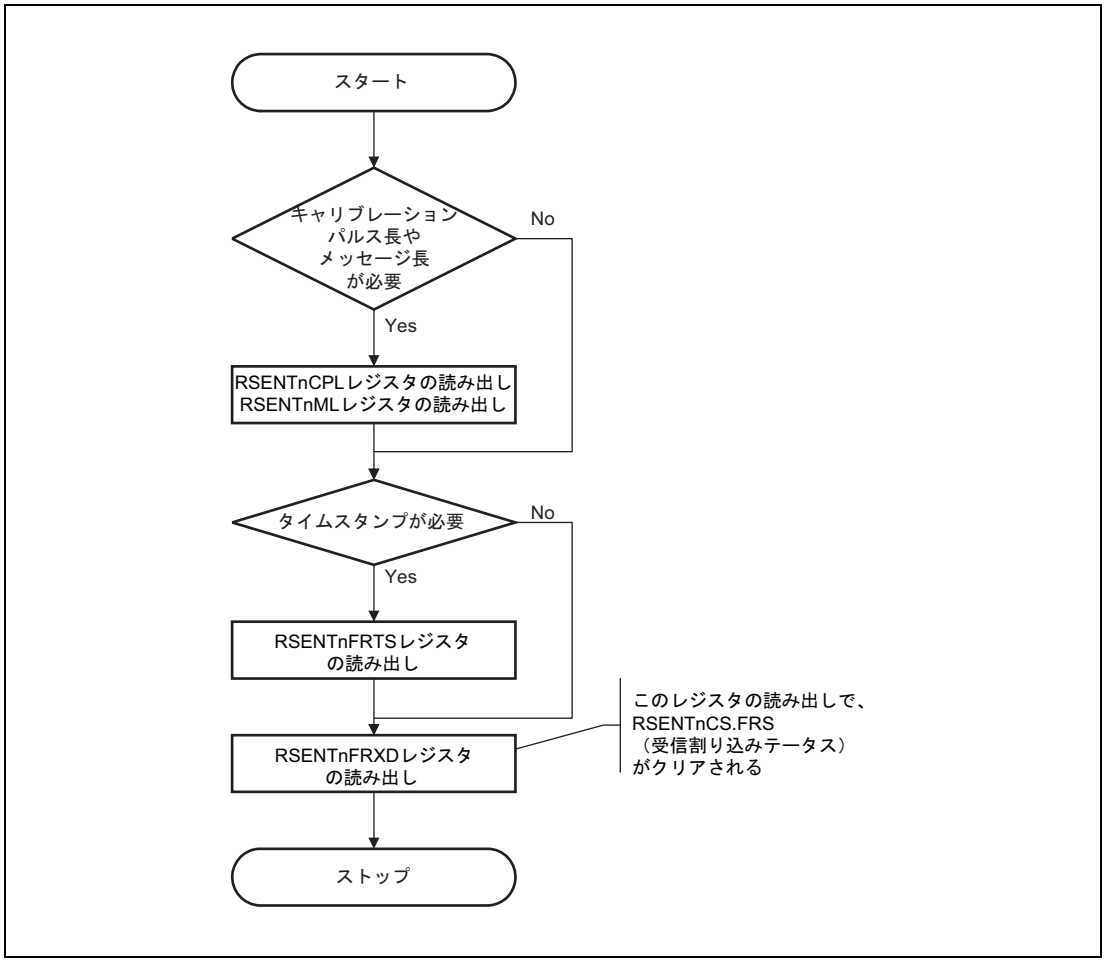


図 19.18 DMA 受信フロー

ソフトウエア処理では、転送データがセットされると、CPU は、転送された RSENTnFRXD.SNDM ビットの状態をチェックする必要があります。このビットが 1 に設定されると、ユーザは必要に応じて、低速チャネルメッセージ受信バッファを読み出す必要があります。

19.6.2.8 エラーのフラグ

キャリブレーションパルスエラーが検出されると RSENTnCS.CLS、RSENTnCS.CVS ビットがセットされます。またデコードエラーが検出されると RSENTnCS.SES、RSENTnCS.SCS、RSENTnCS.FES、RSENTnCS.FCS ビットが、セットされます。ニブルカウントエラーは、次のキャリブレーションパルスが検出されると、RSENTnCS.FNS ビットがセットされます。

ニブル符号化エラーまたはキャリブレーションパルス長エラーが検出された場合は、メッセージ受信が直ちに中断されます。このメッセージに対するこれ以降のエラー検出ビットのセットは行われません。有効なキャリブレーションパルスが検出されると、メッセージのデコードが再開されます。

メッセージロストエラー（RSENTnCS.SMS/RSENTnCS.FMS）は、前のメッセージが読み出される前に、新たなメッセージが正常と診断された場合にセットされます。

CPU がレスポンス受信中 / 受信前に RSENTnSPCT.TLL に書き込むと、SPC 通信エラービット（RSENTnCS.NRS）がセットされます。

各ステータスフラグの更新タイミングを**表 19.27**、**表 19.28** に示します。

表 19.27 SPC モード無効時のエラーフラグセットタイミング

RSENTnCC.SPCE	0							
RSENTnCC.FCM	0				1			
RSENTnCC.PPC	0		1		0		1	
RSENTnCC.PPTC	0	1	0	1	0	1	0	1
RSENTnCS.FCS	EC	×	EC	IM	IM	×	IM	IM
RSENTnCS.FES	EC	×	EC	IM	IM	×	IM	IM
RSENTnCS.FNS	EC	×	EC	—	—	×	—	—
RSENTnCS.SCS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.SES	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CLS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CVS	EC	×	EC	—	EC	×	EC	—

備考 EC：End of calibration pulse（有効キャリブレーションパルス立ち下がり）
IM：Immediately when detected（エラー検出時、即時）
—：検出されない
×：設定禁止

表 19.28 SPC モード有効時のエラーフラグセットタイミング

RSENTnCC.SPCE	1							
RSENTnCC.FCM	0				1			
RSENTnCC.PPC	0		1		0		1	
RSENTnCC.PPTC	0	1	0	1	0	1	0	1
RSENTnCS.FCS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.FES	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.FNS	—	×	—	—	—	×	—	—
RSENTnCS.SCS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.SES	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CLS	IM	×	IM	IM	IM	×	IM	IM
RSENTnCS.CVS	—	×	—	—	—	×	—	—

備考 IM：Immediately when detected（エラー検出時、即時）
—：検出されない
×：設定禁止

19.7 SPC 機能

本製品シリーズに搭載している RSENTn は、J2716 仕様の SPC 拡張をサポートしています。

RSENTnCC.SPCE ビットにより、SPC 拡張の有効 / 無効を設定できます。
SPC 有効で使用する時、RSENTnSPCO 端子はマイコン外部にて pull-up が必要となります。

RSENTnCC.SOPC により、RSENTnSPCO の極性を設定可能です。
ただし、SPC 拡張 1 線式を使用する場合、RSENTnCC.SOPC は必ず “1”(SPC パルスアクティブ Low) で使用して下さい。

RSENTnSPCO 出力を使用することで、RSENTn は外部トランジスタを介して SPCO 信号線をプルダウンすることができます。
信号線は RSENTnSPCT.TLL ビットで指定されたティック時間の間、ロウレベルに保持されます。
ティック時間は、送信ティック時間と等しい RSENTnBRP.TTI と RSENTnBRP.TTF ビットで構成されます。詳細は、**「19.5.2.2 受信と SPC のティック設定」**を参照してください。
図 19.19 に外部トランジスタの回路例を示します。

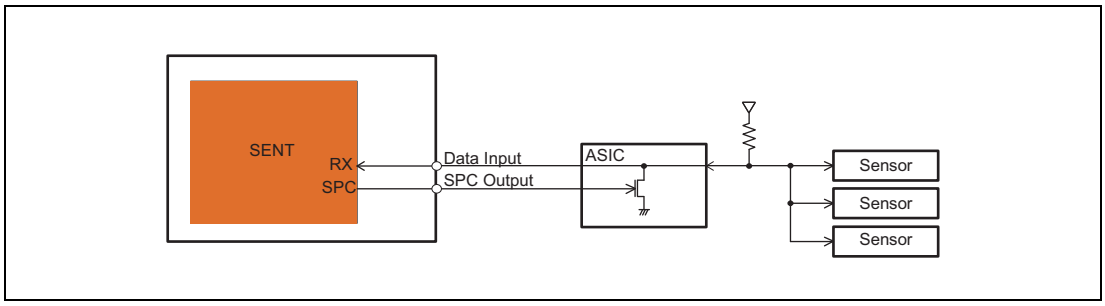


図 19.19 外部トランジスタの回路例

SPC 拡張 1 線式では、RSENTnSPCO 端子をセンサからのデータ送信をトリガするために使用することができます。さらに、データはトリガパルス長を変化させることによって、センサに送信することができます。
SPC 拡張 2 線式では、専用のセンサに対応し RSENTnSPCO 端子をデータ送信を要求するために使用することができます。

いったん SPC の初期化が完了すると、RSENTnSPCT.TLL レジスタにトリガパルス幅を書き込むことにより送信がトリガされます。
送信がトリガされると、設定された長さのトリガパルスが送信されます。
その後フレームの受信が予想され、フレーム受信が行われた後に、新しいトリガパルスを送信することができます。
RSENTnSPCT.TLL への書き込みで、SPC トリガ送信を要求します。
RSENTnSPCT.TLL に書き込んだ後、その前の SPC トリガ要求が完了したかどうかは RSENTnCS.NRS の値を確認します。
RSENTnCS.NRS に “1” が設定されている場合は、SPC トリガが送信されず、この時点で潜在的に継続的している受信が中断されます。
この場合、RSENTnCSC.NRC に 1’b1 を書き込むことにより、RSENTnCS.NRS をクリアし、SPC トリガ送信を要求するために、再度 RSENTnSPCT.TLL に書き込むことが必要となります。

RSENTnCS.NRS に “1” が設定されないエラーケースについては、SW(Soft Ware) で受信タイムアウトをカウントする必要があります。
タイムアウトカウンタがタイムアウトする前に受信が発生した場合、高速チャネル受信フロー（**図 19.15**）と低速チャネル受信フロー（**図 19.18**）に従って、受信した低速および高

速チャネルデータを処理する必要があります。
タイムアウトカウンタがタイムアウトした場合は、指定されたセンサは有効な応答を送信していないと判断できます。
その場合、RSENTnCS レジスタで成功した受信がない理由を確認する必要があります。
RSENTnCS.NRS がセットされていないことを把握したうえで、新しい要求を設定します。
タイムアウト機能の目的は、ソフトウエアにおける応答受信用に、タイムアウトウィンドウを定義することにあります。
「図 19.20　送信フロー」に、ソフトウエアで実装したタイムアウト機能を使用した、送信フローを示します。

タイムアウト機能はオプションであり、必要ない場合は省略することが可能です。

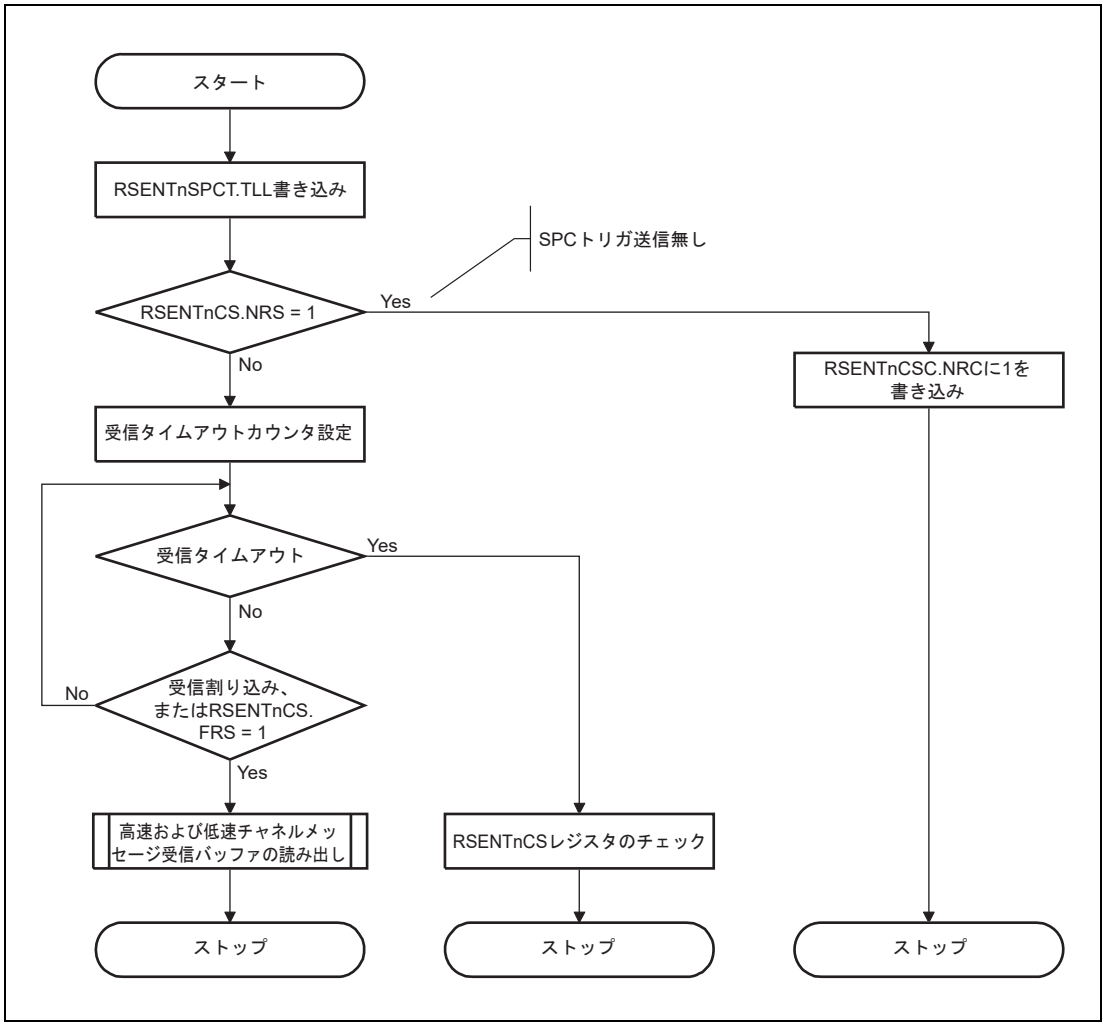


図 19.20　送信フロー

19.8 割り込みとチェック

RSENT は、2 つの割り込みラインを提供しています。

成功した高速チャネル受信割り込みが、CPU に、高速チャネルメッセージ受信バッファが更新され、有効な受信データのセットを保持していることを通知します。また、受信ステータスビット（RSENTnCS.FRS）が設定されます。

ステータス割り込みは、CPU に、エラーフラグまたは RSENTnCS レジスタのメッセージロストフラグの少なくとも一方が設定されていることを通知します。

RSENTnCS レジスタ内のステータスフラグが、割り込みイベントの発生に寄与するかどうかは、個別に設定することができます。

CRC チェックの実行は、個別に、低速チャネルおよび高速チャネルに対して無効にすることができます。チェックが無効になっている場合は、受信したメッセージの CRC はチェックされず、関連するエラーフラグもセットされません。

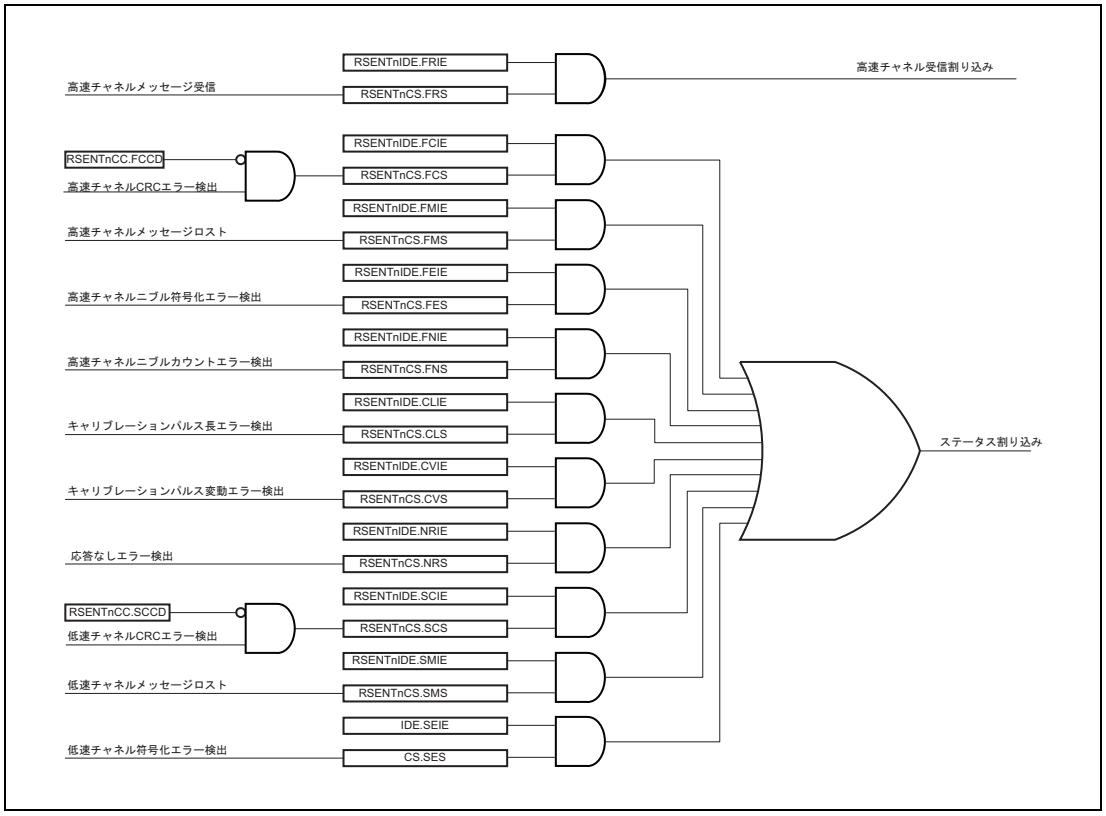


図 19.21 割り込み構造

表 19.29 は、設定されたステータスフラグとバッファ更新の関係についての概要を示します。

表 19.29 受信バッファ動作に対するステータスフラグの影響

RSENTnCS	高速チャネルメッセージ受信バッファ	低速チャネルメッセージ受信バッファ
FRS	更新	全ての低速チャネルメッセージのステータス＆コミュニケーションニブルを受信し、RSENTnCS.SES=0 と RSENTnCS.SCS=0 なら、更新
FCS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
FMS	メッセージロスト	影響なし
FES	更新なし	受信処理が中断。新たなスタートコンディションを検索。
FNS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
CLS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
CVS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
NRS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
SCS	影響なし	更新なし
SMS	影響なし	メッセージロスト
SES	影響なし	受信処理が中断。新たなスタートコンディションを検索。

第 20 章　ウィンドウウォッチドッグタイマ（WDTA）

20.1　特長

チャネル

この製品は 2 チャネルのウィンドウウォッチドッグタイマを搭載しています。

表 20.1　WDTA のチャネル

ウィンドウウォッチドッグタイマ	
チャネル数	2
名称	WDTA0、WDTA1

n の意味

この章では、ウィンドウウォッチドッグタイマ の各チャネルを「n」で識別します。たとえば、WDTAn イネーブルレジスタ（WDTAnWDTE）（n = 0、1）のように記述しています。

レジスタアドレス

WDTAn レジスタのアドレスは、それぞれのベースアドレス <WDTAn_base> からのオフセットで表されます。

各 WDTAn のレジスタベースアドレスを**表 20.2** に示します。

表 20.2　WDTAn のレジスタベースアドレス

WDTAn	<WDTAn_base> アドレス
WDTA0	FFED 0000_H
WDTA1	FFED 1000_H

クロック供給

ウィンドウウォッチドッグタイマは、クロック入力として WDTATCKI と PCLK を使用します。

表 20.3　ウィンドウウォッチドッグタイマのクロック

WDTAn	ユニットクロック名	供給クロック名
WDTA0	WDTATCKI	WDTACLKI
	PCLK	CLKC_LSB（非変調低速周辺クロック）
WDTA1	WDTATCKI	WDTACLKI
	PCLK	CLKC_LSB（非変調低速周辺クロック）

割り込みとリセット出力

WDTAn の割り込みとリセット出力を**表 20.4** に示します。

表 20.4　WDTA の割り込みとリセット出力

WDTAn 信号	機能	接続先
WDTAnTRES	ウォッチドッグリセット出力信号	ECM
WDTAnTIT	インターバルタイマ割り込み	INTC

20.2　概要

20.2.1　機能概要

WDTA には次の機能があります。

- オプションバイトによるリセット解除後の動作モード選択

  WDTA のリセット後のカウント開始／停止、75% 割り込み要求の有効／無効、ウィンドウオープン期間、オーバーフローインターバル時間が選択できます。

- WDTA トリガ機能

  WDTA は WDTA トリガレジスタへの起動コード書き込みにより、WDTA の起動およびカウンタをリスタートします。

- 75%割り込み要求信号

  オーバフローインターバル時間の 75%に達したときに割り込み要求信号を発生することができます（WDTAnMD.WDTAnWIE により有効無効が可能）。

- ウィンドウ機能

  WDTA トリガレジスタの書き込み有効期間（ウィンドウオープン期間）を設定することができます。ウィンドウオープン期間以外で WDTA トリガレジスタに書き込みを行うとエラーが発生します。

- WDTA エラー検出機能

  エラー検出時は WDTAnTRES 信号で ECM にエラー通知します。エラー検出要因は**「20.5.3　エラー検出」**を参照してください。

20.2.2　ブロック図

WDTA の主な構成要素を次の**「図 20.1　WDTA のブロック図」**に示します。

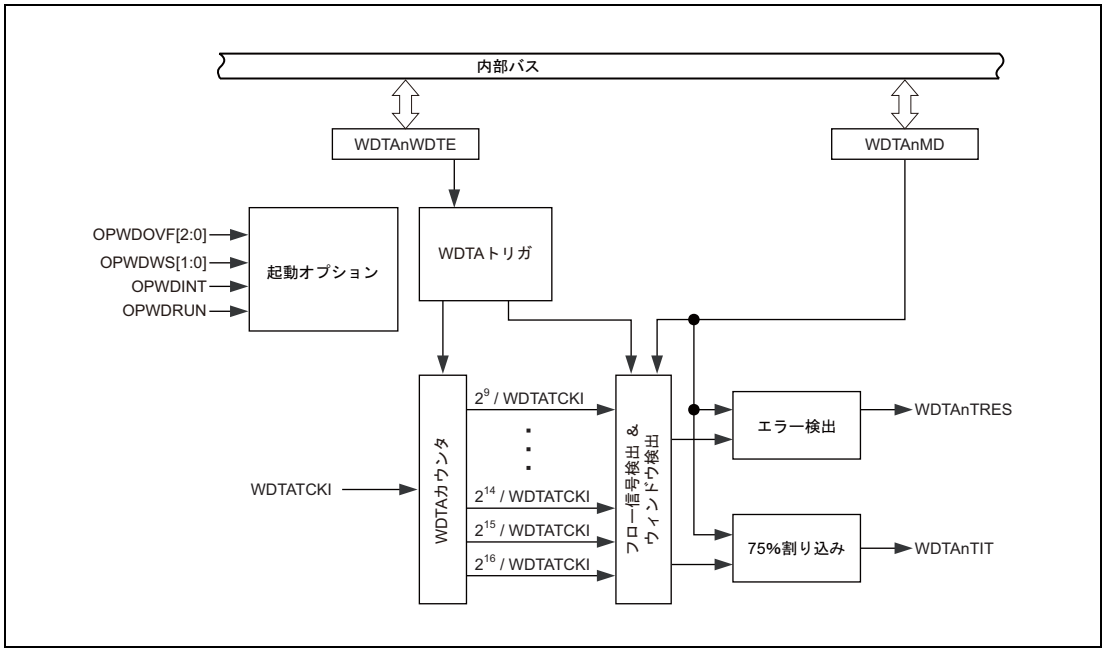


図 20.1　WDTA のブロック図

20.3 レジスタ

WDTA は、次のレジスタで制御、動作します。

20.3.1 レジスタの概要

WDTAn（n = 0, 1）のレジスタ一覧、メモリアドレスを以下に示します。

ベースアドレスは**表 20.2** を参照してください。

実際のアドレスはこのベースアドレスに表で示したオフセット値を加算します。

レジスタ名	機能	R/W	リセット後の値	アクセス幅			アドレス
				8	16	32	
WDTAnWDTE	WDTA イネーブルレジスタ	R/W	$2C_H$ 備考 1	O	X	X	<WDTAn_base> + 0000_H
WDTAnMD	WDTA モードレジスタ	R/W	$7F_H$ 備考 2	O	X	X	<WDTAn_base> + $000C_H$

備考 1. WDTA0WDTE では、オプションバイトの設定値によって変化します。
WDTAnWDTE の詳細は、**「20.3.1.1　WDTAnWDTE — WDTA イネーブルレジスタ」**を参照してください。

備考 2. WDTA0MD では、オプションバイトの設定値によって変化します。
WDTAnMD の詳細は、**「20.3.1.2　WDTAnMD — WDTA モードレジスタ」**を参照してください。

20.3.1.1　WDTAnWDTE — WDTA イネーブルレジスタ

このレジスタは、WDTA スタートコントロール／トリガレジスタです。

AC_H を書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート／リスタートします。詳細は**「20.5.2　WDTA トリガ」**を参照してください。

このレジスタに書き込める値は、AC_H のみです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<WDTAn_base> ＋ 0000_H

リセット後の値　（1）WDTA0
リセット後の値は OPWDRUN の設定値に依存します。
OPWDRUN の出荷時の初期状態は OPWDRUN = 0_B です。
したがって、WDTA0 の出荷時のリセット後の値は $2C_H$ です。
（2）WDTA1
リセット後の値は $2C_H$ です。
OPWDRUN 設定の詳細は**「34.10　オプション・バイト」**を参照してください。
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	WDTAnRUN[7:0]							
リセット後の値	0	0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.5　WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	WDTAnRUN [7:0]	固定起動コード（AC_H）を書き込むことにより WDTA トリガを発生し、WDTAn カウントのスタート／リスタートを制御します。AC_H 以外の値を書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。

起動オプションによって異なる WDTAnRUN[7] ビットのリセット後の値を次の表に示します。

表 20.6　WDTAnRUN[7] のリセット後の値

起動オプション	WDTAnRUN[7] の リセット後の値
OPWDRUN	
1	1
0	0

20.3.1.2　WDTAnMD — WDTA モードレジスタ

オーバフローインターバル時間、75% 割り込み有効／無効、およびウインドウオープン期間を指定します。

このレジスタの値は、リセット解除後、最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

最初の WDTA トリガ発生後にこのレジスタの値を変更するとエラーが発生しますが、同じ値を書き込んだ場合はエラーは発生しません。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<WDTAn_base> ＋ $000C_H$

リセット後の値　（1）WDTA0
リセット後の値は OPWDOVF2 ～ 0、OPWDINT、OPWDWS1, 0 の設定値に依存します。
オプションバイトによる WDTA0 の出荷時の初期状態は WDTA1 と同じであるため OPWDOVF2 ～ 0、OPWDINT、OPWDWS1, 0 の設定値はそれぞれ 1_B に設定されます。したがって、WDTA0 の出荷時のリセット後の値は $7F_H$ となります。
（2）WDTA1
リセット後の値は $7F_H$ です。
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	WDTAnOVF[2:0]			WDTAnWIE	—	WDTAnWS[1:0]	
リセット後の値	0	1	1	1	1	1	1	1
R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W

表 20.7　WDTAnMD レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
6 ～ 4	WDTAnOVF[2:0]	オーバフローインターバル時間を選択します。

WDTAn OVF2	WDTAn OVF1	WDTAn OVF0	オーバフローインターバル時間
0	0	0	2^9 / WDTATCKI
0	0	1	2^{10} / WDTATCKI
0	1	0	2^{11} / WDTATCKI
0	1	1	2^{12} / WDTATCKI
1	0	0	2^{13} / WDTATCKI
1	0	1	2^{14} / WDTATCKI
1	1	0	2^{15} / WDTATCKI
1	1	1	2^{16} / WDTATCKI

3	WDTAnWIE	75% 割り込み要求 WDTAnTIT の有効／無効 0：WDTAnTIT 無効 1：WDTAnTIT 有効

表 20.7　WDTAnMD レジスタの内容 (2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>2</td><td>—</td><td>予約ビット
読むと “1” が読み出されます。書き込みは “1” としてください。</td></tr>
<tr><td>1、0</td><td>WDTAnWS[1:0]</td><td>ウインドウオープン期間を選択します。
<table>
<tr><th>WDTAn WS1</th><th>WDTAn WS0</th><th>ウインドウオープン期間</th></tr>
<tr><td>0</td><td>0</td><td>25%</td></tr>
<tr><td>0</td><td>1</td><td>50%</td></tr>
<tr><td>1</td><td>0</td><td>75%</td></tr>
<tr><td>1</td><td>1</td><td>100%</td></tr>
</table></td></tr>
</table>

20.4　割り込み要因

WDTA は、WDTA カウンタ値の状態や WDTA 関連レジスタへの不正なアクセスを検出して、割り込み要求を発生します。WDTA の割り込み要求を以下に示します。

（1） WDTAnTIT（WDTA タイマカウント　75% 割り込み要求）
WDTA タイマのオーバーフローインターバル設定時間の 75%に達すると割り込み要求信号を発生します。WDTA モードレジスタ WDTAnMD により、割り込み要求信号の有効／無効設定が可能です。

20.5 機能説明

20.5.1 リセット解除後の WDTA

20.5.1.1 スタートモード

WDTA には、リセット解除後にカウンタをスタートさせる 2 つのモードがあります。

- ソフトウェアトリガスタートモード（WDTA0、WDTA1 共通）

  リセット解除後、カウンタ値は 0000_H のままです。
  カウンタは最初の WDTA トリガの発生でスタートします。

- デフォルトスタートモード（WDTA0 のみ）

  リセット解除後、カウンタは自動的にスタートします。ただし、起動オプションを OPWDRUN = 1_B に設定しても、シリアルプログラミングモードではデフォルトスタートモードが無効化されます。

WDTA1 はソフトウェアトリガモードに固定です。WDTA1 はオプションバイトによる設定はできません。

20.5.1.2 スタートモードの選択（WDTA0 のみ）

スタートモードは、起動オプションで選択することができます。

スタートモードの選択について次の**表 20.8** に示します。

表 20.8 スタートモードの選択

起動オプション OPWDRUN	リセットの種類	スタートモード
0	無視	ソフトウェアトリガ
1		デフォルト

20.5.1.3 リセット解除後の WDTA 設定

リセット解除と最初のトリガ発生の間の WDTA の設定を次の表に示します。

機能	WDTA0 のリセット後の設定	WDTA1、WDTA2 のリセット後の設定
スタートモード	起動オプションで指定	ソフトウェア トリガモード
オーバフローインターバル時間	起動オプションで指定	2^{16} / WDTATCKI
75%割り込みモード	起動オプションで指定	75%割り込み有効
ウインドウオープン期間	起動オプションで指定	100%

WDTA 設定の変更

WDTA モードレジスタ WDTAnMD の設定は最初の WDTA トリガ（WDTAnWDTE への起動コード書き込み）で有効になります。WDTAnMD レジスタの設定を変更する場合、WDTA トリガ前に行ってください。また、WDTAnMD よる WDTA 設定は 1 度のみです。WDTA トリガ後に WDTAnMD の設定値を変更した場合、エラーが発生します。同じ値を設定した場合はエラーは発生しません。

20.5.1.4 デフォルトスタートモードのタイミング（WDTA0 のみ）

デフォルトスタートモードのタイミングと WDTA 設定への変更を次の**図 20.2** に示します。

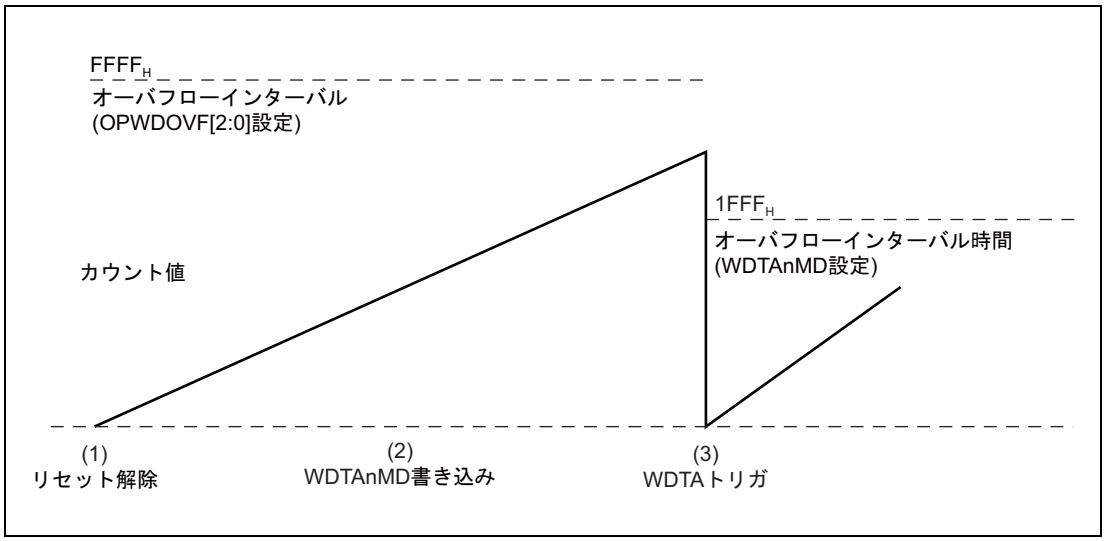


図 20.2 デフォルトスタートモード時の WDTA スタートのタイミング図

図 20.2 のタイミング図は次の動作を示します。

(1) デフォルトスタートモードではリセット解除直後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。

例）リセット解除後のオーバフローインターバル時間
$= 2^{16}$/WDTATCKI (OPWDOVF[2:0] = 111_B)

(2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。

(3) WDTA カウンタがオーバフローする前に WDTA トリガレジスタへの書き込みを行ってください。
WDTA トリガにより WDTAnMD の設定が適用されます。

例）WDTA トリガ後のオーバフローインターバル時間
$= 2^{13}$/WDTATCKI

20.5.1.5　ソフトウェアトリガスタートモードのタイミング（WDTA0、WDTA1 共通）

ソフトウェアトリガスタートモードのタイミングと WDTA 設定への変更を次の**図 20.3** に示します。

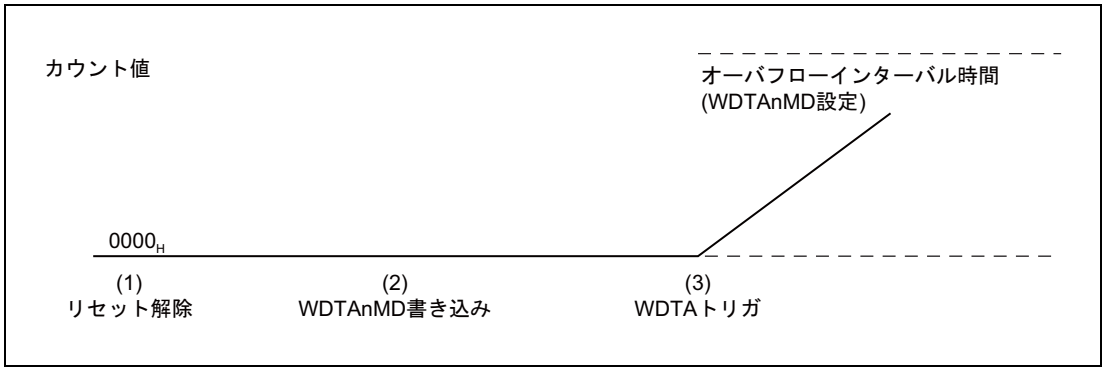


図 20.3　ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図

図 20.3 のタイミング図は次の動作を示します。

(1)　リセット解除後、最初の WDTA トリガまで WDTA カウンタは 0000_H のままです。
オーバフローインターバル時間は起動オプションにより設定されますが、カウント動作が行われないため影響はありません。

(2)　WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。

(3)　WDTA トリガにより、WDTA カウンタがスタートします。
WDTAnMD で指定したオーバフローインターバル時間とその他の設定が適用されます。

20.5.2 WDTA トリガ

WDTA イネーブルレジスタ WDTAnWDTE に、起動コードと呼ばれる特定の値を書き込むことにより WDTA トリガを発生します。

WDTA トリガには、次の機能があります。

- ソフトウェアトリガスタートモード時の WDTA カウンタの開始
- WDTA カウンタのカウントリスタート
- WDTAnMD レジスタによる WDTA モード設定（リセット解除後、最初の WDTA トリガのみ）

トリガレジスタに固定起動コードを書き込むことで、WDTA トリガを発生させることができます。

表 20.9　トリガレジスタと起動コード

起動コードの種類	トリガレジスタ	起動コード
固定	WDTAnWDTE	AC_H

20.5.3 エラー検出

WDTA は、WDTA のカウントオーバフローの発生や不正な操作をエラーとして検出します。

エラー検出条件を次に示します。

- WDTA カウンタのオーバフロー
- WDTA トリガレジスタへの誤った起動コードの書き込み
- ウィンドウオープン期間以外でのトリガレジスタへの書き込み
- 初回 WDTA トリガ発生後、WDTA モードレジスタ WDTAnMD の設定値を変更しようとした場合
- 初回 WDTA トリガ発生前に、WDTA モードレジスタ WDTAnMD の設定値を 2 回更新する場合

20.5.4 WDTA エラーモード

エラー検出時は WDTAnTRES 信号で ECM にエラー通知します。

デフォルトスタートモードが選択されているとき、カウンタがオーバフローした場合のリセットの発生を次の**図 20.4** に示します。

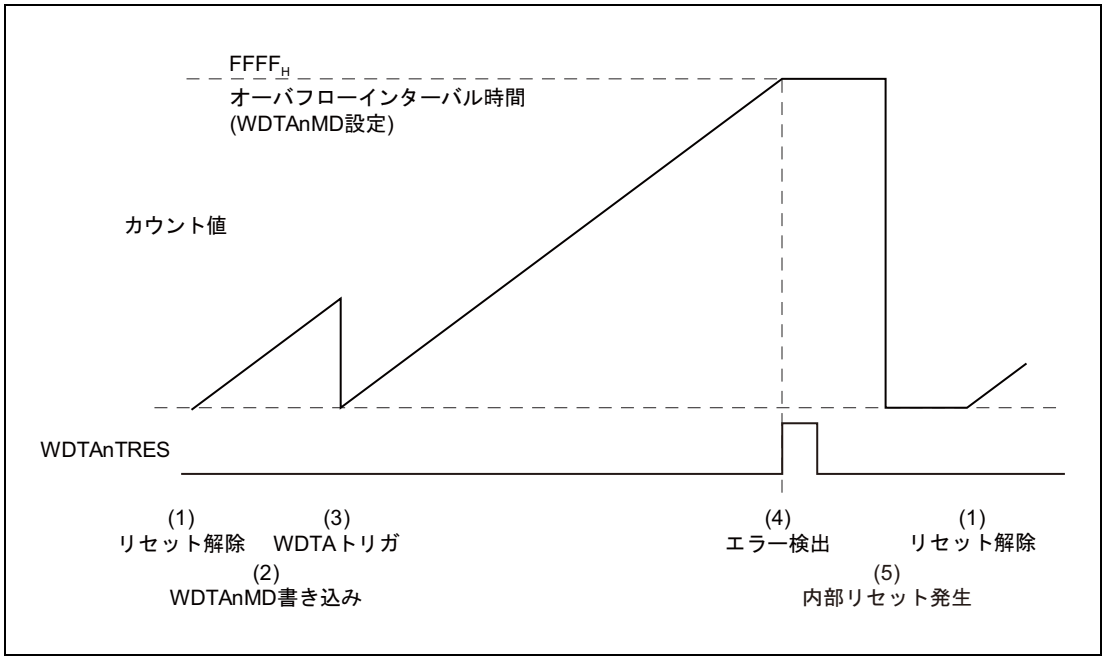


図 20.4 WDTA 内部リセット発生のタイミング図

図 20.4 のタイミング図は次の動作を示します。

(1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。

(2) WDTAnMD は WDTA トリガ前に設定します。
ここでは 2^{16}/WDTATCKI をオーバフローインターバル時間に設定しています。

(3) WDTA トリガにより WDTAnMD の設定が適用されます。

(4) カウンタがオーバフローすると、エラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は、内部リセットが発生するまで変わりません。

(5) ECM などの要因で内部リセットが発生するとカウンタがクリアされ、リセットが解除されるまで停止します。

20.5.5 75%割り込み要求信号

WDTA カウンタがオーバフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。

WDTAnMD.WDTAnWIE レジスタで、この機能の有効／無効を選択することができます。

次の条件下での 75%割り込み要求の発生を次の**図 20.5** に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、75% 割り込み要求が有効
- WDTA オーバフローインターバル時間：2^{16}/WDTATCKI

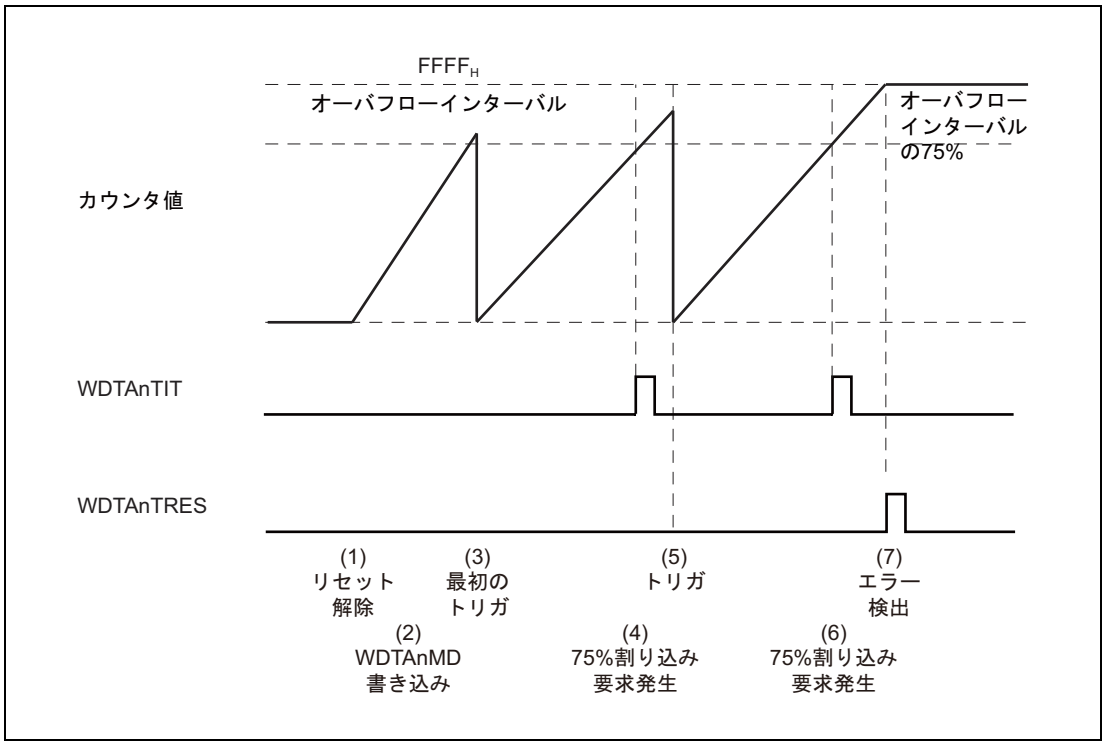


図 20.5 WDTA 75%割り込み要求信号のタイミング図

(1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションによって設定されます。

(2) WDTAnMD は WDTA トリガ前に設定します。ここでは 2^{16}/WDTATCKI をオーバフローインターバル時間に設定しています。

(3) WDTA トリガにより WDTAnMD の設定が適用されます。

(4) WDTA カウンタがオーバフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。

(5) WDTA トリガにより、カウントがリスタートします。

(6) WDTA カウンタがオーバフローインターバル設定時間の 75%に達すると、割り込み要求 WDTAnTIT が発生します。

(7) カウンタがオーバフローするとエラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は内部リセットが発生するまで変わりません。

20.5.6 ウインドウ機能

WDTA トリガの有効期間（ウィンドウオープン期間）を設定することができます。
ウインドウオープン期間を 100%未満に設定すると、ウインドウオープン期間以外の WDTA トリガによりエラーが発生します。リセット解除後、ウインドウオープン期間は 100%です。最初の WDTA トリガで、WDTAnMD.WDTAnWS[1:0] に設定した値になります。

次の条件下でのウインドウ機能動作を**図 20.6** に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、25% ウインドウオープン期間が有効（WDTAnWS[1:0] = 00_B）
- WDTA オーバフローインターバル時間：2^{16}/WDTATCKI

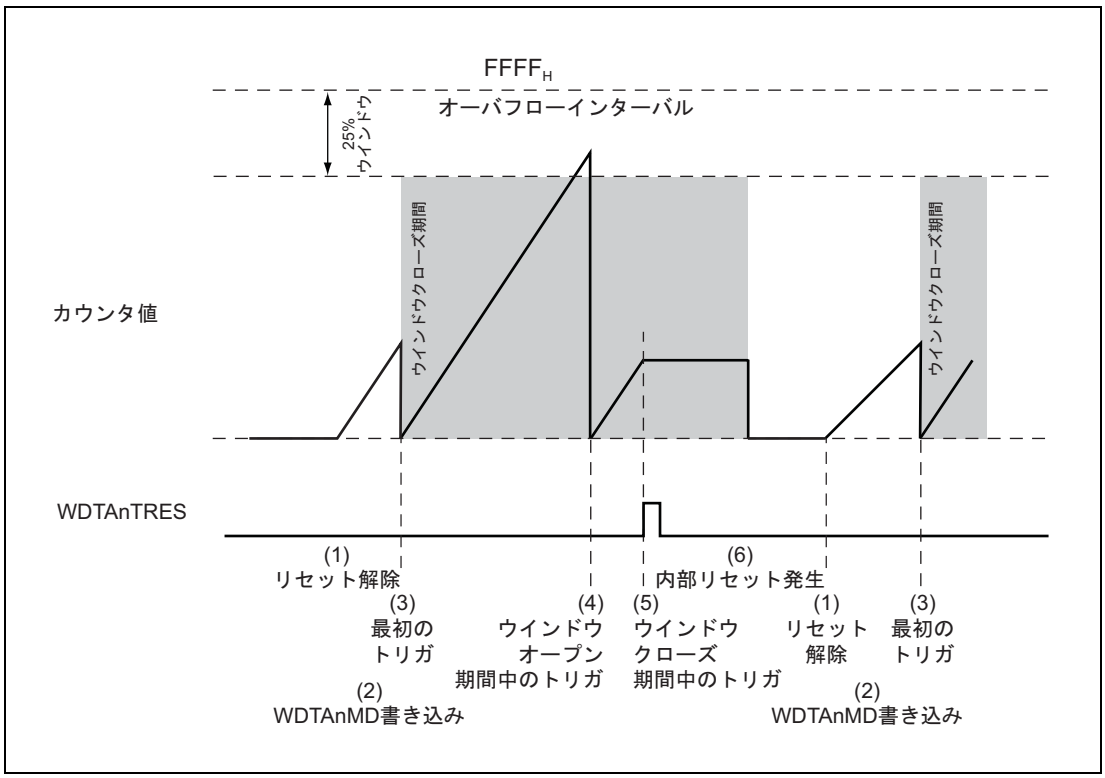


図 20.6 WDTA ウインドウ機能のタイミング図

(1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。

(2) WDTAnMD は WDTA トリガ前に設定します。ここでは 2^{16}/WDTATCKI をオーバフローインターバル時間に設定しています。

(3) WDTA トリガにより WDTAnMD の設定が適用されます。

(4) ウインドウオープン期間中に、WDTA トリガにより、カウントがリスタートします。

(5) ウインドウクローズ期間中に、WDTA トリガにより、エラーが検出され、WDTAnTRES 信号で ECM にエラー通知します。カウンタ値は、内部リセットが発生するまで変わりません。

(6) ECM などの要因で内部リセットが発生するとカウンタがクリアされ、リセットが解除されるまで停止します。

第 21 章　OS タイマ（OSTM）

21.1　機能概要

OS タイマには、次の機能があります。

- 2 つの動作モード
  - インターバルタイマモード
  - フリーランニングコンペアモード
- OS タイマの複数チャネル同時スタート（PIC1 のタイマ同調機能）
- カウント開始、再開、終了時の割り込み機能および DTS 通知機能
- OSTMn（n = 1 のみ）の割り込み発生時、ECM にエラーを通知
- ECM がダイナミックモード時の $\overline{\text{ERROROUT_M}}$ 端子、$\overline{\text{ERROROUT_C}}$ 端子からの出力波形を、OSTM0 の OSTM0TTOUT 信号で生成。
- チャネルごとにモジュールスタンバイの設定が可能
  （詳細は**「第 12 章　スタンバイコントローラ」**を参照ください）

21.1.1　特長

チャネル

この製品は次のチャネル数の OS タイマを搭載しています。

表 21.1　OS タイマのチャネル

OS タイマ	
チャネル数	3
名称	OSTMn

n の意味

この章では、OS タイマの各チャネルを「n」で識別します。たとえば、n 出力レジスタ（OSTMnTO）（n = 0 ～ 2）のように記述しています。

レジスタアドレス

OS タイマレジスタのアドレスは、それぞれのベースアドレス <OSTMn_base> からのオフセットで表されます。

各 OSTMn のレジスタベースアドレスを次の表に示します。

表 21.2　レジスタベースアドレス

OSTMn	<OSTMn_base> アドレス
OSTM0	FFEC 0000_H
OSTM1	FFEC 1000_H
OSTM2	FFEC 2000_H

割り込み

OS タイマは次の割り込み要求を発生できます。

表 21.3　OSTMn の割り込み要求

OSTMn の信号	機能	接続先
OSTM0TINT	OSTM0 の割り込み	割り込みコントローラ INTC
OSTM1TINT	OSTM1 の割り込み	割り込みコントローラ INTC、ECM へのエラー入力
OSTM2TINT	OSTM2 の割り込み	割り込みコントローラ INTC

21.2　レジスタ

OS タイマは、次のレジスタで制御、動作します。

21.2.1　レジスタの概要

OSTMn（n = 0 ～ 2）のレジスタ一覧、メモリアドレスを以下に示します。

ベースアドレスは**表 21.2** をご参照ください。

レジスタ名	機能	R/W	リセット後の値	アクセス単位（ビット）			アドレス
				8	16	32	
OSTMnCMP	OSTM コンペアレジスタ	R/W	$0000\ 0000_H$	—	—	○	<OSTMn_base> + 00_H
OSTMnCNT	OSTM カウンタレジスタ	R	$FFFF\ FFFF_H$	—	—	○	<OSTMn_base> + 04_H
OSTMnTO	OSTM 出力レジスタ	R/W	00_H	○	—	—	<OSTMn_base> + 08_H
OSTMnTOE	OSTM 出力イネーブルレジスタ	R/W	00_H	○	—	—	<OSTMn_base> + $0C_H$
OSTMnTE	OSTM カウントイネーブルステータスレジスタ	R	00_H	○	—	—	<OSTMn_base> + 10_H
OSTMnTS	OSTM カウント開始トリガレジスタ	W	00_H	○	—	—	<OSTMn_base> + 14_H
OSTMnTT	OSTM カウント停止トリガレジスタ	W	00_H	○	—	—	<OSTMn_base> + 18_H
OSTMnCTL	OSTM 制御レジスタ	R/W	00_H	○	—	—	<OSTMn_base> + 20_H

21.2.2 レジスタの詳細

21.2.2.1 OSTMnCMP — OSTM コンペアレジスタ

このレジスタは、動作モードによってダウンカウンタの開始値または、コンペア値を格納します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <OSTMn_base>

リセット後の値 $0000\ 0000_H$
どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCMP[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.4　OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OSTMnCMP [31:0]	• インターバルタイマモードの場合：ダウンカウンタの開始値 • フリーランニングコンペアモードの場合：コンペア値

21.2.2.2　OSTMnCNT — OSTM カウンタレジスタ

このレジスタはタイマのカウンタ値を示します。

アクセス　32 ビット単位でリード可能です。

アドレス　<OSTMn_base> + 4_H

リセット後の値　FFFF $FFFF_H$
どのリセット要因でも初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.5　OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OSTMnCNT [31:0]	32 ビットカウンタの値

OSTM の動作モード、カウント方向、スタート値の関係を**表 21.6** に示します。スタート値は動作モードが変更された後にリードされる値です。

表 21.6　動作モード、カウント方向、スタート値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウントのアップダウン方向	スタート値
インターバルタイマモード	0 注 1	ダウン	FFFF $FFFF_H$
フリーランニングコンペアモード	1	アップ	0000 0000_H

注 1.　リセット後の値

21.2.2.3 OSTMnTO — OSTM 出力レジスタ

このレジスタは、OSTMnTTOUT 出力のレベルを指定／リードします。OSTM0（n = 0）でのみ、レジスタに設定した値が有効になります。

アクセス 8 ビット単位でリード／ライト可能です。ソフトウエア制御モードが有効時（OSTMnTOE.OSTMnTOE = 0）にのみライト可能です。

アドレス <OSTMn_base> + 8_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTO
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 21.7 OSTMnTO レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OSTMnTO	OSTMnTTOUT 出力のレベルを指定／リードします。 0：ロウレベル 1：ハイレベル

21.2.2.4 OSTMnTOE — OSTM 出力イネーブルレジスタ

このレジスタは、OSTMnTTOUT 出力モードを指定します。OSTM0（n = 0）でのみ、レジスタに設定した値が有効になります。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <OSTMn_base> + C_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTOE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 21.8 OSTMnTOE レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OSTMnTOE	OSTMnTTOUT 出力モードを指定します。 0：ソフトウエア制御モード： OSTMnTO.OSTMnTO ビットに設定されたレベルを OSTMnTTOUT に出力 1：タイマ出力トグルモード： 割り込み要求 OSTMnTINT が発生すると、OSTMnTTOUT 出力がトグル

21.2.2.5 OSTMnTE — OSTM カウントイネーブルステータスレジスタ

このレジスタは、カウンタの状態を示します。

アクセス 8 ビット単位でリード可能です。

アドレス <OSTMn_base> + 10_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.9 OSTMnTE レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	OSTMnTE	カウンタの状態を示します。 0：カウンタが停止中 1：カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定するか、OSTMnTSST 信号（PIC1 のタイマ同調機能を使用時）が 1 になると、このビットが 1 になります。 OSTMnTT.OSTMnTT ビットを 1 に設定すると、このビットが 0 にリセットされます。

備 考

OSTMnTE = 0 の場合はカウンタ値が保持されます。
カウントを再開した場合は次のようになります。

- インターバルタイマモードでは、カウンタ値は OSTMnCMP レジスタ値からカウントダウンを開始します。
- フリーランニングコンペアモードでは、カウンタ値 $0000\ 0000_H$ からカウントアップを開始します。

21.2.2.6 OSTMnTS — OSTM カウント開始トリガレジスタ

このレジスタは、カウント動作を開始します。

アクセス 8 ビット単位でライト可能です。リードすると常に 00_H を返します。

アドレス <OSTMn_base> + 14_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 21.10 OSTMnTS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTS	カウントの動作を開始します。 0：設定は無効です。 1：カウントを開始し、OSTMnTE.OSTMnTE ビットをセットします。 • インターバルタイマモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 • フリーランニングコンペアモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

21.2.2.7 OSTMnTT — OSTM カウント停止トリガレジスタ

このレジスタは、カウント動作を停止します。

アクセス 8 ビット単位でライト可能です。リードすると常に 00_H を返します。

アドレス <OSTMn_base> + 18_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 21.11 OSTMnTT レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTT	カウンタの動作を停止します。 0：設定は無効です。 1：カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

21.2.2.8　OSTMnCTL — OSTM 制御レジスタ

このレジスタは、カウンタの動作モードを設定し、カウント開始時の割り込み要求 OSTMnTINT の許可／禁止を設定します。

アクセス　8 ビット単位でリード／ライト可能です。カウンタが無効の場合（OSTMnTE.OSTMnTE = 0）のみライト可能です。

アドレス　<OSTMn_base> + 20_H

リセット後の値　00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OSTMnMD1	OSTMnMD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 21.12　OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OSTMnMD1	カウンタの動作モードを設定します。 0：インターバルタイマモード 1：フリーランニングコンペアモード
0	OSTMnMD0	カウント開始時の OSTMnTINT 割り込み許可／禁止を設定します。 0：カウント開始時の割り込みを禁止 1：カウント開始時の割り込みを許可

21.3 機能説明

OS タイマは 32 ビットのタイマ／カウンタです。

動作モードを選択することによりカウントのアップダウン方向を指定し、割り込み要求の生成を制御します。

21.3.1 ブロック図

OSTMn の主な構成要素を次のブロック図に示します。

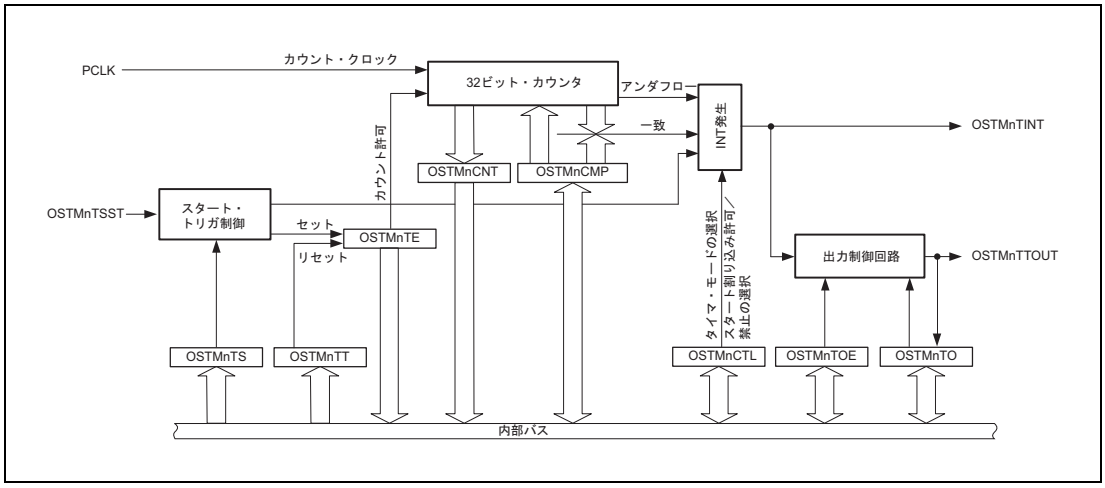


図 21.1　OSTMn のブロック図

21.3.2 カウントクロック

OSTMn のカウントクロック PCLK は、CLKC_LSB（非変調低速周辺クロック）です。

21.3.3 出力モード（OSTM0 のみ）

OSTMn には、次の出力モードがあり、OSTMnTOE.OSTMnTOE ビットで設定します。

ソフトウエア制御モード（OSTMnTOE.OSTMnTOE ビット = 0）：

OSTMnTO.OSTMnTO ビットに設定した値が OSTMnTTOUT に出力されます。

タイマ出力トグル・モード（OSTMnTOE.OSTMnTOE ビット = 1）：

OSTMnTINT 要求が発生すると、OSTMnTTOUT 出力がトグルします。

2 つの出力モードを次の図に示します。

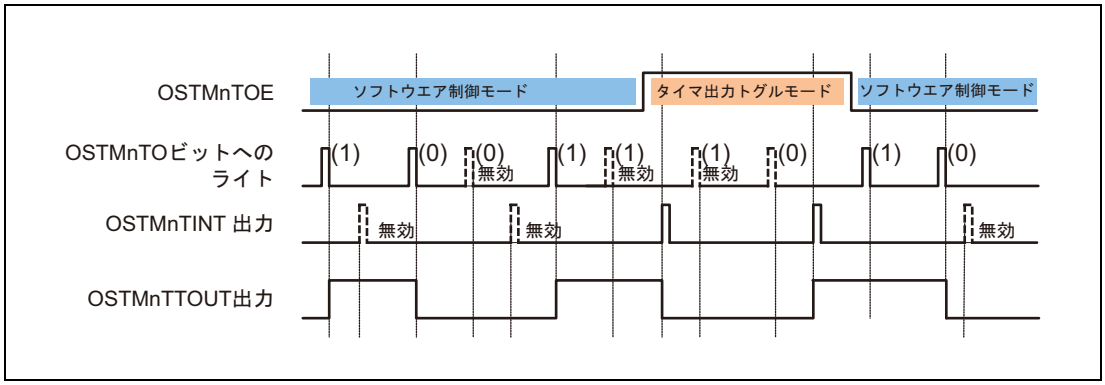


図 21.2　出力モードのタイミング

上記のタイミング図では次の内容を示しています。

- ソフトウエア制御モードでは、OSTMnTTOUT 出力が OSTMnTO.OSTMnTO ビットに設定された値になります。
- タイマ出力トグル・モードでは、OSTMnTINT 割り込み要求が発生すると OSTMnTO.OSTMnTO ビットと OSTMnTTOUT 出力がトグルします。

21.3.4 割り込み要求の生成

カウンタが $0000\ 0000_H$ に到達したとき（インターバルタイマモードの場合）またはカウンタがコンペア値と一致したとき（フリーランニングコンペアモードの場合）に割り込み要求 OSTMnTINT が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

OSTMnTINT はタイマ出力トグルモード（OSTMnTOE.OSTMnTOE = 1）で OSTMnTTOUT 出力のトグルのトリガとなるため、OSTMnCTL.OSTMnMD0 ビットの設定は OSTMnTTOUT 出力にも影響します。

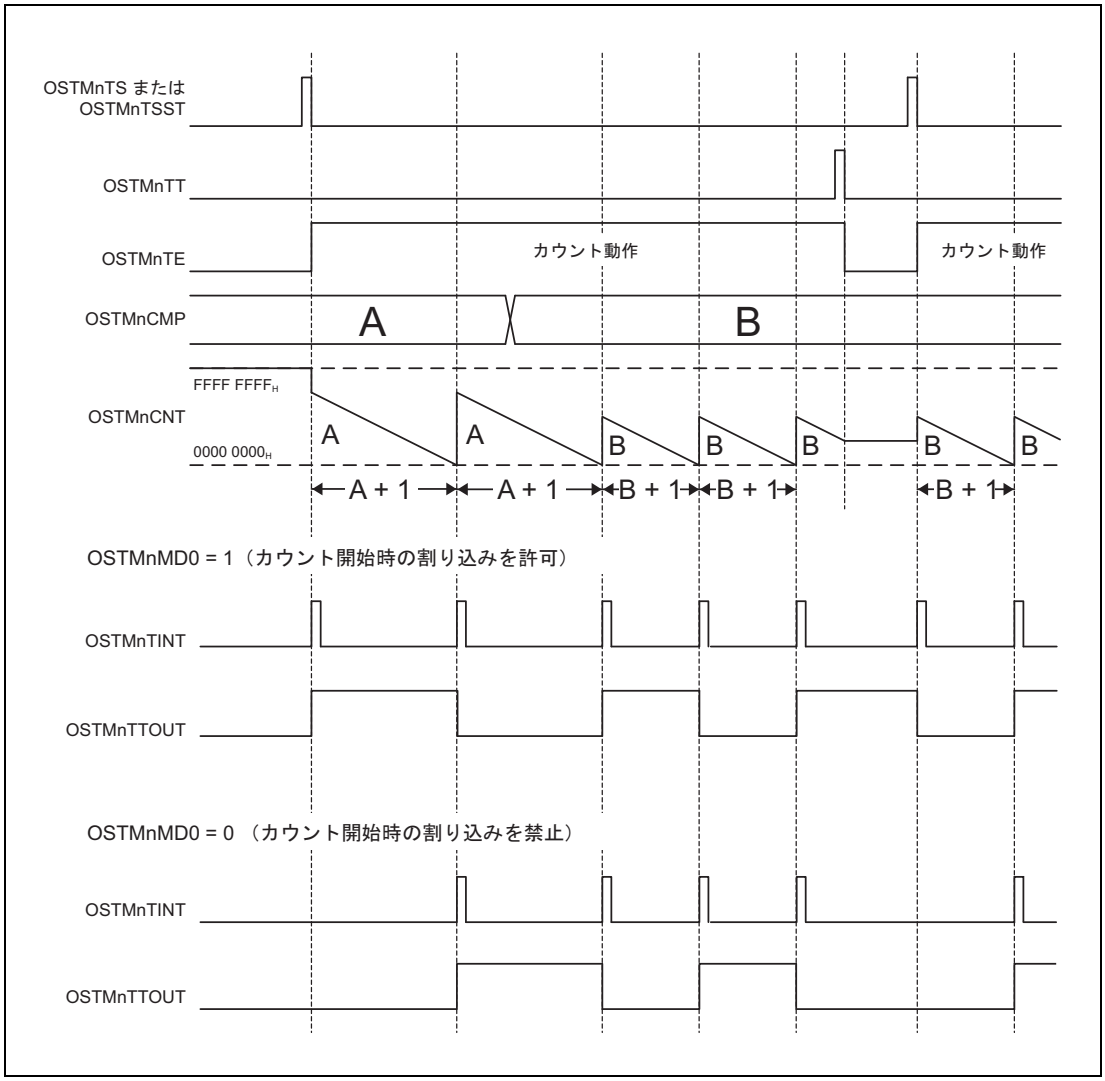


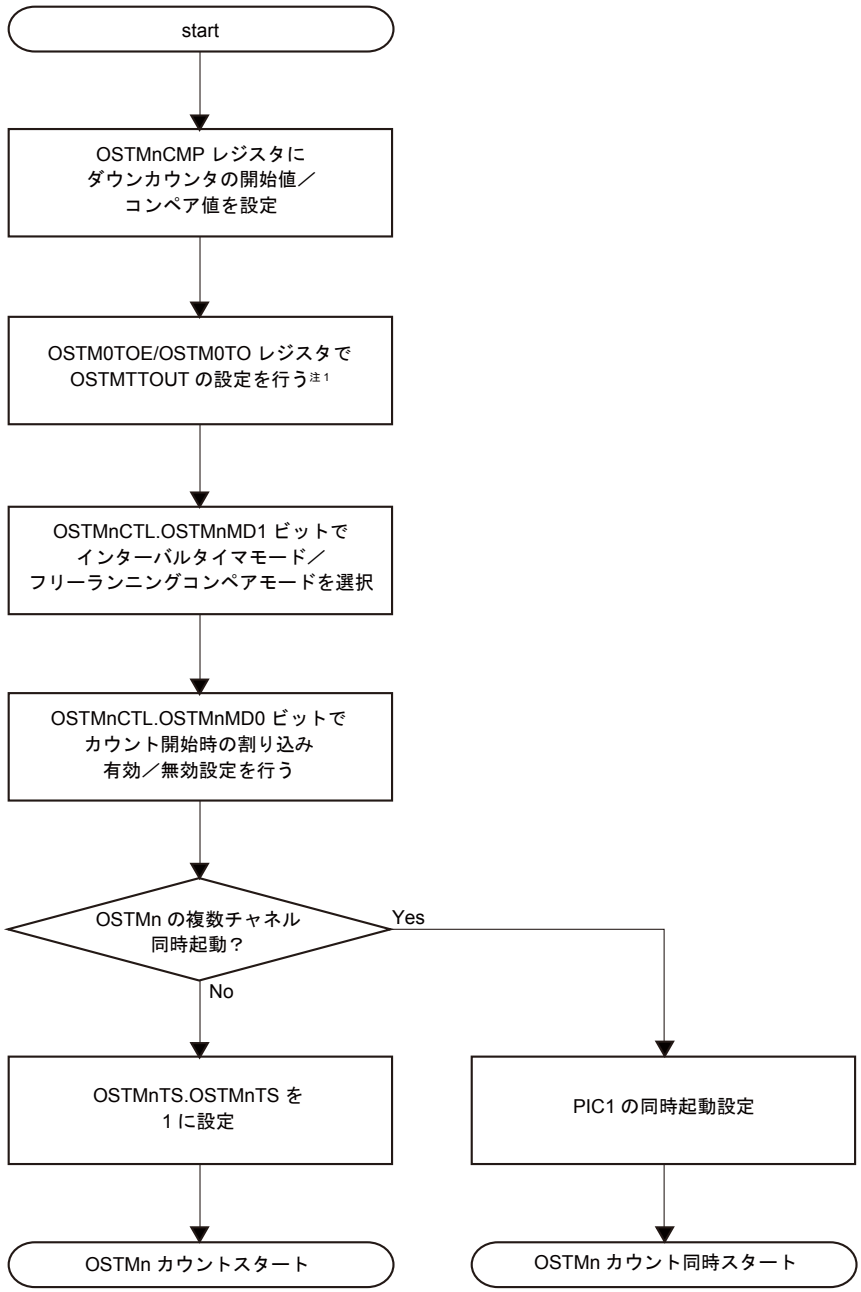
図 21.3 カウント開始時の割り込み生成（インターバルタイマモード）

21.3.5 タイマの起動と停止

OS タイマは次のように起動し、停止します。

起動設定

OSTMn のカウンタ起動フローを**図 21.4** に示します。また、図中のインターバルタイマモード／フリーランニングコンペアの詳細動作については「インターバルタイマモード」「フリーランニングコンペアモード」を参照ください。



注 1. $\overline{\text{ERROROUT_M}}$ 端子／$\overline{\text{ERROROUT_C}}$ 端子の出力波形を生成する場合は、OSTM0 のみ OSTMTTOUT 制御の設定を実施してください。
OSTMn（n = 1 ～ 2）では本設定は不要です。

図 21.4 OS タイマ起動設定フロー

停止

タイマは、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。

ステータスビット OSTMnTE.OSTMnTE がクリアされます。

タイマ同調機能（PIC1）

OSTMnTSST 信号を使用して、複数のタイマを同時に起動することができます。設定方法は、**「第 26 章　ペリフェラルインターコネクション（PIC）」**を参照してください。

21.3.6 インターバルタイマモード

インターバルタイマモードでは、OS タイマを一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

21.3.6.1 インターバルタイマモードの基本動作

インターバルタイマモードでは、タイマは OSTMnCMP レジスタで指定された値からカウントダウンします。カウンタ値が $0000\ 0000_H$ に到達した場合に、割り込み要求 OSTMnTINT が発生します。

インターバルタイマモードは OSTMnCTL.OSTMnMD1 ビット = 0 で設定されます。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタ値が $0000\ 0000_H$ に到達後、カウンタは次のカウントクロックで OSTMnCMP レジスタ値から動作を開始します。

OSTMnTINT 期間と OSTMnTTOUT 出力期間

OSTMnTINT と OSTMnTTOUT 出力の期間は次のようになります。

- OSTMnTINT 発生期間 = カウントクロック期間 × (OSTMnCMP ＋ 1)
- OSTMnTTOUT 出力期間 = OSTMnTINT 発生期間 × 2

次の図に、インターバルタイマモードでカウンタスタート割り込みを許可された場合の OSTMn の基本動作を示します。

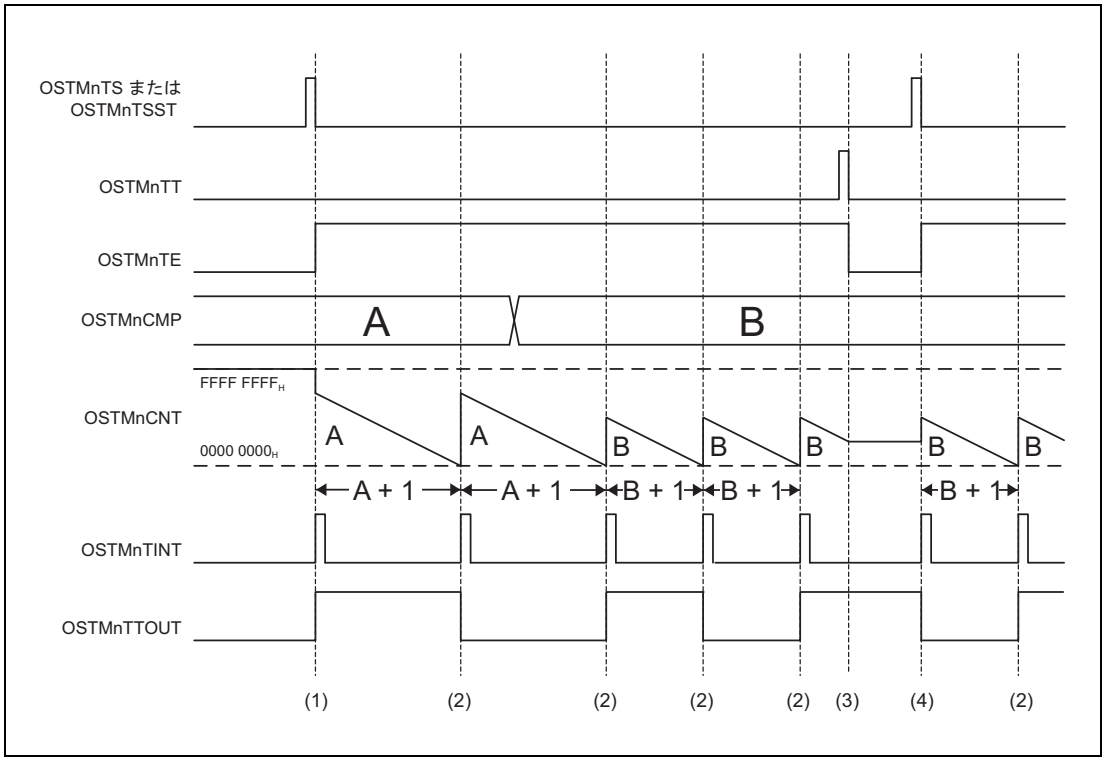


図 21.5　インターバルタイマモードの OSTMn のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウントダウンを開始します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT がトグル出力します。カウンタ値は OSTMnCNT レジスタで示されます。

(2) カウンタが 0000 0000$_H$ に達すると、割り込み要求 OSTMnTINT が発生し OSTMnTTOUT がトグル出力します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウントダウンを継続します。

(3) OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。

(4) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウントダウンを開始します。

強制リスタート

カウンタの強制リスタートは、カウント動作中に OSTMnTS.OSTMnTS = 1 または OSTMnTSST 信号の 0 から 1 への遷移（PIC1 のタイマ同調機能使用時）によって実行されます。

注 意

タイマの複数チャネル同時起動中、任意チャネルの OSTMnTS.OSTMnTS = 1 を設定した場合、個別チャネルで強制リスタートが実行されるため、各チャネル間の同期動作は保障されません。

また、タイマの複数チャネルを個別起動中に、PIC1 の同時起動を使用すると、同時起動が設定されたタイマは同時に強制リスタートが実行されます。

カウンタは、OSTMnCMP の値からカウントダウンを開始します。

次の図に、インターバルタイマモードでカウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1）、OSTMnTTOUT 出力がタイマ出力トグルモードの場合（OSTMnTOE.OSTMnTOE = 1）の タイミング図を示します。

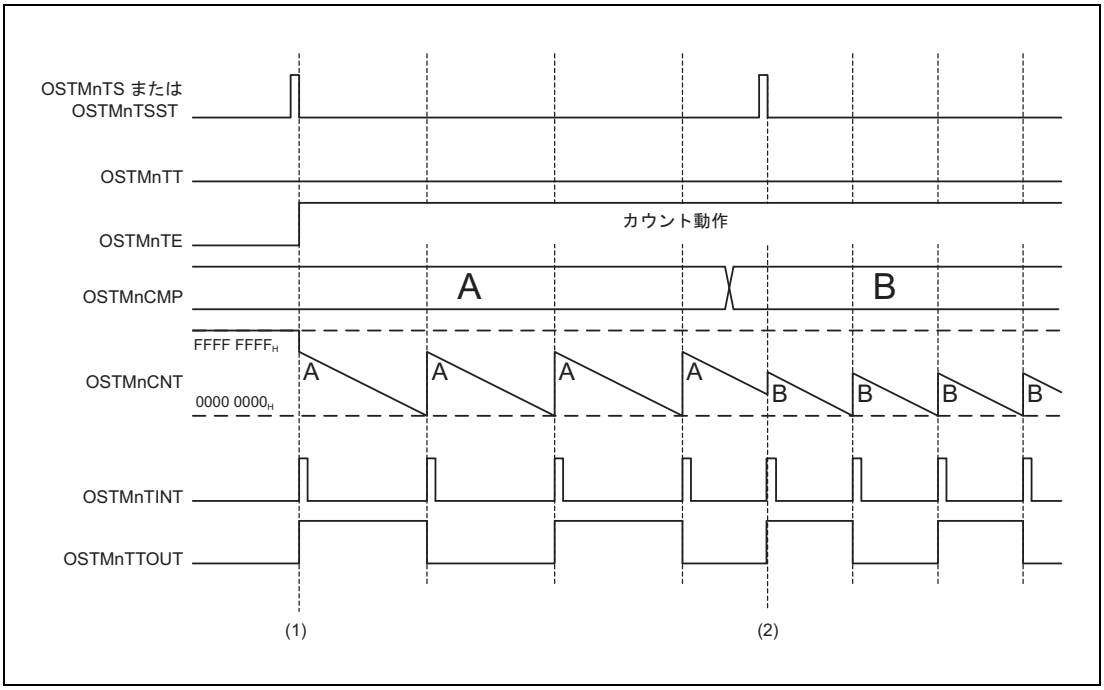


図 21.6 インターバルタイマモードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、**「図 21.5 インターバルタイマモードの OSTMn のタイミング図」**で説明されているように動作を開始します。

(2) カウンタは、動作している間（OSTMnTE.OSTMnTE = 1）OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 にすると、リスタートします。
カウンタは、ただちに OSTMnCMP の現在値からカウントダウンを再開します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT がトグル出力します。

21.3.6.2 OSTMnCMP = 0000 0000$_H$ の場合の動作

OSTMnCMP = 0000 0000$_H$ の場合に、OS タイマは次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMnTINT は常に 1 になります。ただし、タイマ（OSTMnTTOUT）出力は使用できます。タイマ出力トグルモードを使用し、タイマ（OSTMnTTOUT）出力を行うとカウントクロック毎にトグル出力します。

次の図に、OSTMnCMP = 0000 0000$_H$ であり、カウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1）、OSTMnTTOUT 出力がタイマ出力トグルモードの場合（OSTMnTOE.OSTMnTOE = 1）の OSTMn の動作を示します。

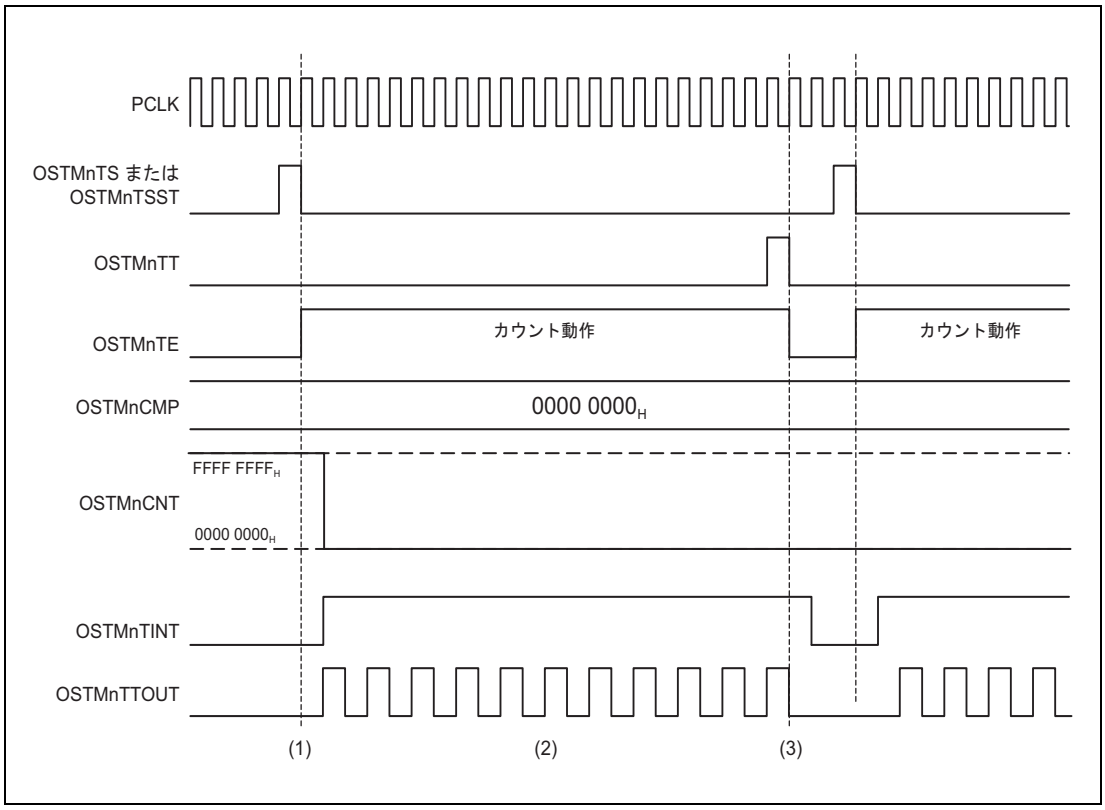


図 21.7 インターバルタイマモードで OSTMnCMP = 0000 0000$_H$ の場合のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000$_H$ のままです。

(2) 割り込み要求 OSTMnTINT が発生すると、OSTMnTTOUT がトグル出力します。（**図 21.7** は、カウントクロック = PCLK のため、OSTMnTINT がハイレベル固定となります。）。

(3) カウンタが停止すると、割り込み要求 OSTMnTINT が停止し、OSTMnTTOUT 出力は、出力レベルを保持します。

カウント開始時の割り込み禁止の場合は、カウント開始時にカウントクロックの 1 クロック分発生しません。

21.3.7 フリーランニングコンペアモード

21.3.7.1 フリーランニングコンペアモードの基本動作

フリーランニングコンペアモードでは、カウンタは 0000 0000_H から FFFF $FFFF_H$ までカウントアップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 OSTMnTINT が発生します。フリーランニングコンペアモードは、OSTMnCTL.OSTMnMD1 ビット = 1 で設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリーランニングコンペアモードでカウント開始が許可（OSTMnCTL.OSTMnMD0 = 1）OSTMnTTOUT 出力がタイマ出力トグルモードの場合（OSTMnTOE.OSTMnTOE = 1）の OSTMn の基本動作を示します。

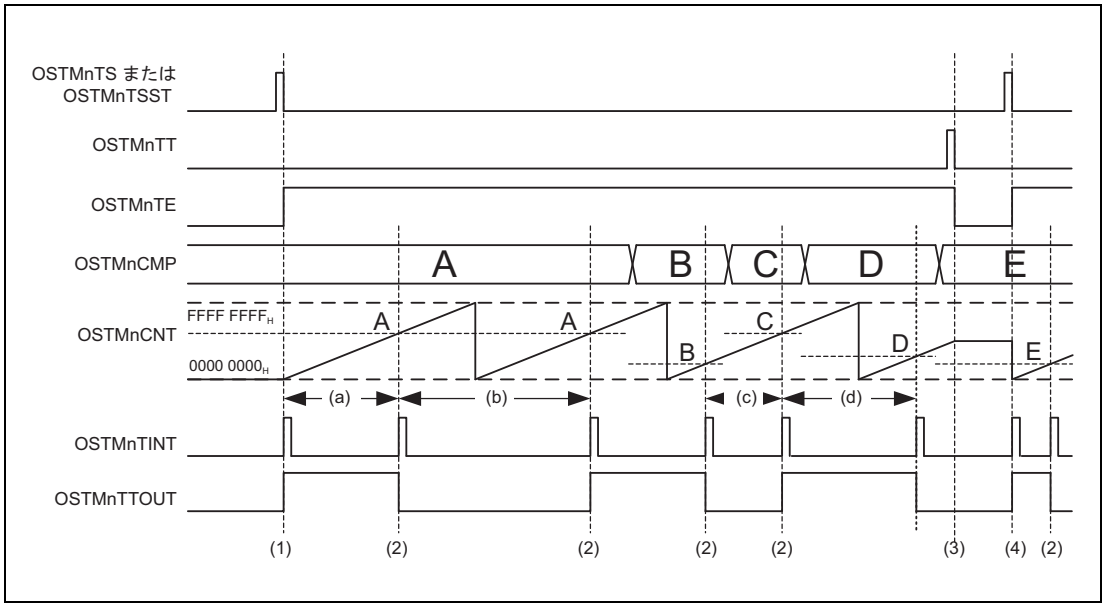


図 21.8 フリーランニングコンペアモードの OSTMn のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。カウンタは 0000 0000_H から FFFF $FFFF_H$ までカウントアップします。カウンタ値はレジスタ OSTMnCNT で示されます。OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMnTINT が発生します。

(2) OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMnTINT 割り込み要求が発生し、OSTMnTTOUT がトグル出力します。

(3) カウンタが停止すると（OSTMnTT.OSTMnTT = 1）、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。

(4) OSTMnTS.OSTMnTS = 1 または OSTMnTSST = 1 によりカウントを再開すると、カウンタは 0000 0000_H からカウントを開始します。

OSTMnINT 期間

OSTMnTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 21.13 OSTMnTINT 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMnTINT の発生期間	タイミング図のラベル
カウント開始			(A + 1) × カウントクロック期間	(a)
A	A	書き換えなし	(FFFF $FFFF_H$ + 1) × カウントクロック期間	(b)
B	C > B	B < カウンタ値 < C	(C – B) × カウントクロック期間	(c)
C	D < C	カウンタ値 > D, C	(FFFF $FFFF_H$ – C + D + 1) × カウントクロック期間	(d)

強制リスタート

カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合や OSTMnTSST = ハイ（同時スタート使用時）の場合でも、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

21.3.7.2 OSTMnCMP = 0000 0000$_H$ の場合の動作

次の図に、OSTMnCMP = 0000 0000$_H$ であり、カウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1）OSTMnTTOUT 出力がタイマ出力トグルモードの場合（OSTMnTOE.OSTMnTOE = 1）の OSTMn の動作を示します。

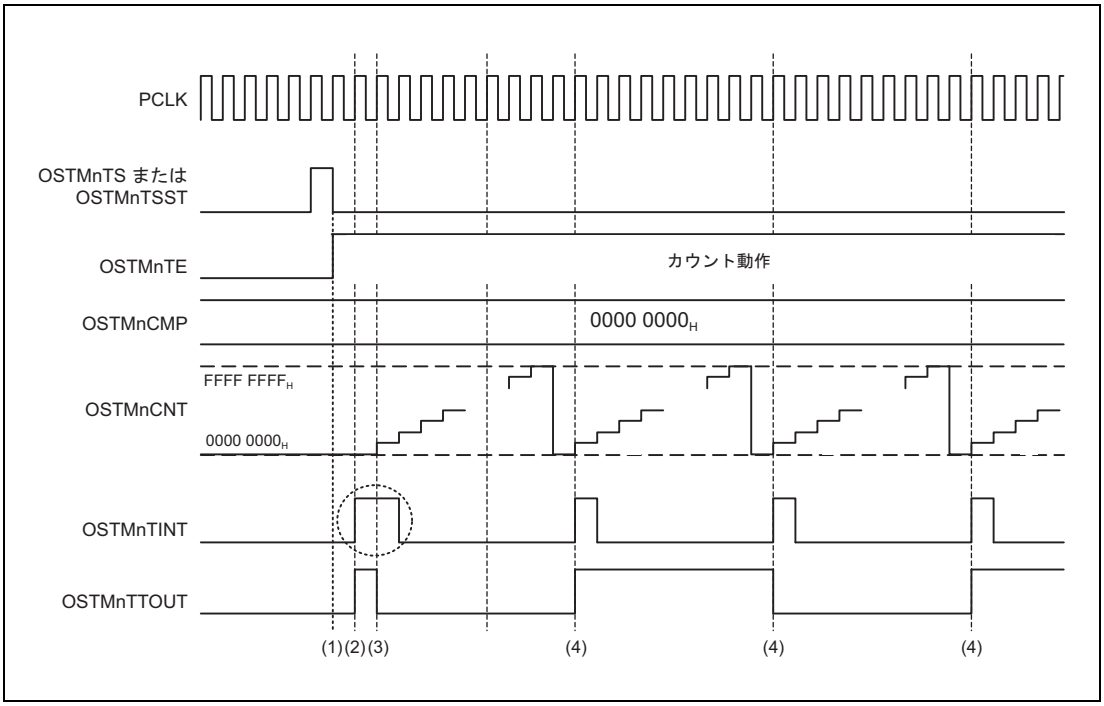


図 21.9 フリーランニングコンペアモードで OSTMnCMP = 0000 0000$_H$ の場合のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウントを開始すると、カウンタは 0000 0000$_H$ から FFFF FFFF$_H$ までをカウントします。

(2) カウント開始時に割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT がトグル出力します。

(3) 現在のカウント値が OSTMnCMP と一致する場合は、割り込み要求 OSTMnTINT が発生します。上記のように OSTMnCMP = 0000 0000$_H$ の場合、OSTMnTINT はカウントクロック 2 クロック分発生し、OSTMnTTOUT がトグル出力します。

(4) （FFFF FFFF$_H$ ＋ 1）クロックサイクルごとに、割り込み要求 OSTMnTINT が発生し、OSTMnTTOUT がトグル出力します。

カウント開始時の割り込み禁止の場合は、カウント開始時にカウントクロックの 1 クロック分発生しません。

第 22 章　アドバンストタイマユニット（ATU-IV）

22.1　概要

ATU-IV には次のような特徴があります。

- 最大 166 本のパルス入出力処理が可能です。
- 297 本の割り込み要因を生成可能です。これによって、汎用ダイレクトメモリアクセスコントローラ（DMAC）、あるいは CPU による割り込み処理の起動が可能です。
- AD および DFE に対し、パルス出力機能を備えています。（ADC に 64 本（タイマ C:16 本、タイマ D：40 本、タイマ G：8 本）、ΔΣAD に 48 本（タイマ D：40 本、タイマ G：8 本）、DFE に 40 本（タイマ D：40 本）
- 4 チャネルのプリスケーラを内蔵しており、内部周辺クロック（PCLK）を 1/1 ～ 1/1024 に分周した 4 種類のクロックを生成可能です。
- タイマの各チャネルは、カウントソースとして、プリスケーラの生成する 4 つの分周クロック、2 本の外部クロック、タイマ B の生成するアングルクロックを選択可能です。
- タイマ C、D、E の端子出力値を RHSB クロスバーで選択し、RHSB へのデータとして出力可能です。
- タイマ D と G のカウンタ値を APA 入出力選択機能で選択し、APA へのリファレンスデータとして出力可能です。タイマ D のカウンタコンペアマッチ、カウンタアンダーフロー、タイマ D の端子出力信号、およびタイマ G のカウンタコンペアマッチを APA へのイベント入力として出力可能です。
- タイマ A は、32 ビットフリーランカウンタと、7 本の 32 ビットインプットキャプチャレジスタを備え、次の動作が可能です。
  - 立ち上がりエッジ、立ち下りエッジ、及び両エッジの検出が可能。
  - キャプチャタイミングで DMAC を起動可能。
  - 各外部入力端子に最大 0.21sec のノイズキャンセル、またはアングルクロックによるノイズキャンセル機能あり。
  - 各外部入力端子の端子レベルをリードおよびキャプチャ可能。
  - キャプチャ割り込み要求、カウンタオーバーフロー割り込み要求が発生可能。
  - チャネル単位でのノイズキャンセルモード設定が可能。
  - ノイズキャンセル後の信号を、タイマ F の外部入力端子へ送ることが可能。
- タイマ B は、エッジ間計測ブロック、倍周クロック生成ブロック、倍周クロック補正ブロックの 3 つのブロックを持ちます。
- エッジ間計測ブロックは、32 ビット入力エッジ間計測タイマ、アウトプットコンペア、インプットキャプチャレジスタ（3 本）、エッジ間時間計測値記録レジスタ（6 本）、エッジ間時間計測値履歴レジスタ（7 本）、8 ビットイベントカウンタ、アウトプットコンペアレジスタを備え、次の動作が可能です。

  - 外部入力イベントのエッジ入力でキャプチャ可能。（エッジは立ち上がり／立ち下がり／両エッジを選択可能）
  - 外部入力イベントのイベントコンペアマッチでキャプチャ可能。
  - イベントコンペアマッチにより、イベントカウンタの自動クリアが可能。
  - キャプチャ割り込み要求、コンペアマッチ割り込み要求（エッジ間計測コンペアマッチ、イベントコンペアマッチ）が発生可能。
  - タイマ A からの 7 本の外部イベント入力検出でイベントカウンタ値を個別にキャプチャ可能。

- 倍周クロック生成ブロックは、24 ビットのリロードカウンタ、リロードレジスタ、20 ビット倍周クロックカウンタ、26 ビット倍周クロックカウンタ、キャプチャレジスタ、アウトプットコンペアレジスタを備え、次の動作が可能です。
  - エッジ間計測ブロックでキャプチャされた値を任意値（1 ～ 4095）でリロードカウント可能。
  - リロードカウントの減算値をエッジ間計測ブロックのイベントコンペアマッチにより、変更可能。
  - リロードカウンタのアンダーフローで生成した内部クロックを 20 ビット倍周クロックカウンタ、および 26 ビット倍周クロックカウンタの入力として使用可能。
  - 外部入力イベントのエッジ入力で 20 ビット倍周クロックカウンタ値のキャプチャが可能。
  - 20 ビット倍周クロックカウンタとアウトプットコンペアレジスタとのコンペアマッチ割り込み要求、および 26 ビット倍周クロックカウンタとキャプチャレジスタのコンペア割込み要求が発生可能。

- 倍周クロック補正ブロックでは、20 ビットの補正イベントカウンタ、20 ビットの補正倍周クロックカウンタ、20 ビットの倍周補正クロック生成カウンタに、補正カウンタクリアレジスタを備え、次の動作が可能です。
  - 倍周クロック生成ブロックのリロードカウントをもとに、他のタイマのカウントソースとなる倍周補正クロックを出力可能。
  - 倍周補正クロック生成カウンタと補正カウンタクリアレジスタのコンペアマッチ（本機能の有効無効を選択可能）で、タイマ D のフリーランカウンタのクリアが可能。
  - エッジ間計測ブロックの外部入力イベントによるイベントコンペアマッチのタイミングで、補正イベントカウンタの自動クリアが可能。
  - 倍周補正クロック（AGCKM）に対して、追加補正を施した倍周補正クロック 2（AGCKM2）を出力可能。

- タイマ C は、同一の機能を持つ 8 個のサブブロックによって構成されます。各サブブロックは 32 ビットのフリーランニングカウンタ 1 本と 4 本の 32 ビット汎用レジスタ、4 本の 32 ビットコンペアマッチレジスタ、および、1 本の 32 ビット上限値設定レジスタを備え、次の動作が可能です。

– インプットキャプチャ、アウトプットコンペアの選択が可能。
– インプットキャプチャの検出エッジを、立ち上がり、立ち下がり、または両エッジから選択可能。
– インプットキャプチャとして使用した時、タイマ A からのイベント出力 1、2A、2B のタイミングでキャプチャが可能です。
– 各外部入力端子に最大 0.21sec のノイズキャンセル、またはアングルクロックによるノイズキャンセル機能あり。
– サブブロック／チャネル単位でのノイズキャンセルモード設定が可能。
– コンペアマッチによって、1 出力、0 出力、またはトグル出力の波形出力が可能。
– PWM モードで、各サブブロック 3 本の PWM 波形出力が可能です。
– インプットキャプチャ／コンペアマッチ割込み、およびオーバーフロー割込みの発生が可能です。インプットキャプチャ／コンペアマッチ割込みで DMAC の起動が可能です。
– ワンショットパルスモード出力が可能です。
– 32 ビットカウンタに対する上限値設定機能が可能です。

- タイマ D は、同一の機能を持つ 10 個のサブブロックによって構成されます。各サブブロックは、32 ビットフリーランカウンタを 2 本、オフセットベースレジスタ、出力値レジスタ、出力設定レジスタを各 1 本、及び 4 本のチャネルからなり、各チャネルには、2 本の 32 ビットアウトプットコンペアレジスタ、2 本の範囲コンペア値設定レジスタ、2 本のインプットキャプチャレジスタ、1 本の 32 ビットワンショットパルス出力用ダウンカウンタ、及び、2 本の 32 ビット上限値設定レジスタを備えています。タイマ D は次の動作が可能です。

  – ソフトウェアによるダウンカウンタのカウント開始が可能であり、ワンショットパルスの生成が可能。
  – コンペアマッチレジスタのコンペアマッチをダウンカウンタのスタートトリガとすることができ、オフセット付きワンショットパルス生成が可能。
  – コンペアマッチレジスタでのコンペアマッチによりダウンカウントを停止させることができ、ワンショットパルス出力波形の強制遮断が可能。
  – コンペアマッチレジスタによるコンペアマッチ出力が可能。
  – 範囲コンペア値設定レジスタにより、コンペアマッチする範囲を設定可能です（範囲コンペア機能）。
  – コンペアマッチレジスタのコンペアマッチをトリガとし、インプットキャプチャレジスタにカウント値をキャプチャすることが可能。
  – タイマ A からのトリガによりフリーランカウンタ値のキャプチャが可能。
  – タイマ B からのカウンタクリア機能を搭載。
  – コンペアマッチ割り込み要求（80）本、カウンタオーバーフロー割り込み要求（20）本、アンダーフロー割込み（40）本が発生可能。コンペアマッチ割り込み要求の 24 本とアンダーフロー割込みの 20 本は DMAC の起動に対応。
  – AD 起動用にコンペアマッチ A、コンペアマッチ B 割込みを示すパルス出力が可能。（A：20 本、B：20 本）
  – 出力波形の反転切替えが可能。
  – 出力設定レジスタにより、出力値レジスタに設定されている値を各端子から出力可能。

– タイマ D のカウンタコンペアマッチ、カウンタアンダーフロー、タイマ D の端子出力信号を APA へのイベント出力として出力可能。（サブブロック 0）
– フリーランカウンタのカウント値を APA へのリファレンスデータとして出力可能。（サブブロック 0）
– 32 ビットカウンタに対する上限値設定機能が可能です。

- タイマ E は、同一の機能を持つ 7 個のサブブロックによって構成され、各サブブロックは更に 4 つのチャネルによって構成されます。各チャネルは、24 ビットフリーランカウンタ、デューティレジスタ、サイクルレジスタ、デューティリロードレジスタ、及び、サイクルリロードレジスタを備え、次の動作が可能です。
  – 周期と、デューティ 0 ～ 100% を任意に設定した PWM 出力が可能です。
  – オンデューティとオフデューティを切り替え可能です。
  – デューティリロードレジスタ／サイクルリロードレジスタの値を周期毎に、デューティレジスタ／サイクルレジスタに転送することができます。
  – カウンタの上位 24 ビットへの H’000000 書き込みによって PWM サイクルを強制的に終了し、新たな PWM サイクルを開始できます。
  – シャットオフ入力により、PWM 出力を遮断することが可能です。
  – 周期毎にサイクルマッチとデューティーマッチ兼用で割り込み要求 28 本を出力可能です。（各サブブロックのチャネル 0 はサイクルマッチによる DMAC 起動対応）
- タイマ F は、16 個のサブブロックによって構成されます。各サブブロックは、2 本の 32 ビットカウンタと、1 本の 16 ビットカウンタ、3 本（全サブブロック 3 本）の 32 ビット汎用レジスタ、1 本の 16 ビット汎用レジスタを備え、次の動作が可能です。
  – 立ち上がりエッジ、立ち下がりエッジ、および両エッジの検出が可能。
  – タイマ A の TIA00 ～ 06 のノイズキャンセル後の信号を外部入力として使用できます。
  – 外部入力端子に最大 0.21sec のノイズキャンセル、またはアングルクロックによるノイズキャンセル機能あり。
  – チャネル単位でのノイズキャンセルモード設定が可能。
  – 7 つの動作モードをもち、一定時間内入力エッジカウント、有効エッジ入力間隔、入力 High ／ Low 期間の計測、PWM 入力波形計測、回転速度／パルス計測、およびアップ／ダウンカウント、4 逓倍イベントカウントが可能。
  – インプットキャプチャ割り込み要求によって DMAC を起動可能。
  – オーバーフロー割込み発生可能。
  – 一定時間内エッジカウントモード、有効エッジ入力間隔計測モード、入力 High/Low 期間計測モード、PWM 入力波形計測モード、アップ／ダウンイベントカウントモード、4 逓倍イベントカウントモード時はコンペアマッチで割り込み要求を発生可能。
- タイマ G は、同一の機能を持つ 10 個のサブブロックによって構成されます。各サブブロックは、32 ビットタイマカウンタ、コンペアマッチレジスタを備え、次の動作が可能です。
  – コンペアマッチをトリガにイベント出力可能であり、AD 起動／割り込み要求トリガ、APA へのイベント出力として使用可能。
  – コンペアマッチ割り込み要求にで DMAC を起動可能。
  – タイマカウンタのカウント値を APA へのリファレンスデータとして出力可能。（サブブロック 0）

- タイマ H は、1 組の 16 ビットカウンタと 16 ビットコンペアマッチレジスタ、および 1 本の 32 ビットカウンタからなるタイマです。次の動作が可能です。
  - 16 ビットカウンタと 16 ビットコンペアマッチレジスタにより、周辺内部クロック（PCLK）の 1 ～ 2^{26} 倍の時間計測が可能。またコンペアマッチ割込みとして出力可能。
  - コンペアマッチ発生回数をカウントする 32 ビットカウンタ搭載。
- タイマ J は、同一の機能を持つ 6 個のサブブロックによって構成されます。各サブブロックは、32 ビットカウンタ、コンペアマッチレジスタ、9 段の FIFO レジスタを備え、次の動作が可能です。
  - 立ち上がりエッジ、立ち下りエッジ、及び両エッジの検出が可能。
  - 各外部入力端子に最大 0.21sec のノイズキャンセル、またはアングルクロックによるノイズキャンセル機能あり。
  - サブブロック単位でのノイズキャンセルモード設定のみ可能。
  - 外部入力端子のエッジ検出時に、FIFO レジスタにカウンタ値（エッジ入力間隔）をキャプチャ可能。
  - FIFO フルとなったタイミングで DMAC を起動可能。
  - コンペアマッチレジスタを用いて FIFO へのキャプチャ有効期間を制御可能。
  - FIFO フル割り込み要求、カウンタオーバーフロー、FIFO オーバフロー割り込み要求発生可能。

22.1.1 ATU-IV の構成

ATU-IV は、タイマ A からタイマ J の 9 種類のタイマブロックと、プリスケーラ、及び共通制御部から構成されています。これらのタイマブロックは、それぞれが異なる機能を備えており、互いに独立して動作することができます。また、クロックバスを介して複数のタイマを連動して動作させることもできます。タイマブロックは、同一の機能を持った 1 個以上のタイマサブブロックによって構成され、各サブブロックは更に 1 個以上のチャネルを備えています（**表 22.1　ATU-IV のブロック構成**参照）。

表 22.1　ATU-IV のブロック構成

モジュール名	ブロック名	サブブロック名	備考
ATU-IV			
	共通制御部		
	プリスケーラ		総チャネル数 : 4
		チャネル 0	
		…	
		チャネル 3	
	タイマ A		総チャネル数 : 7
		チャネル 0	
		…	
		チャネル 6	
	タイマ B		総チャネル数 : 1
	タイマ C		総チャネル数 : 32 サブブロック数 : 8 チャネル数／サブブロック : 4
		タイマ C0	
		チャネル 0	
		…	
		チャネル 3	
	タイマ C1 ～ C7		
	タイマ D		総チャネル数 :40 サブブロック数 :10 チャネル数／サブブロック : 4
		タイマ D0	
		チャネル 0	
		…	
		チャネル 3	
	タイマ D1 ～ D9		
	タイマ E		総チャネル数 : 28 サブブロック数 : 7 チャネル数／サブブロック : 4
		タイマ E0	
		チャネル 0	
		…	
		チャネル 3	
		タイマ E1 ～ E6	
	タイマ F		総チャネル数 : 16 サブブロック数 : 16 チャネル数／サブブロック : 1
		タイマ F0	
		…	
		タイマ F15	
	タイマ G		総チャネル数 : 10 サブブロック数 : 10 チャネル数／サブブロック : 1
		タイマ G0	
		…	
		タイマ G9	
	タイマ H		総チャネル数 : 1
	タイマ J		総チャネル数 : 6 サブブロック数 : 6 チャネル数／サブブロック : 1
		タイマ J0	
		…	
		タイマ J1 ～ J5	

22.1.2 ATU-IV 関連レジスタ

レジスタアクセスに関して、次の点に注意してください。

1. 予約 bit への書込み動作では、必ず “0” をライトしてください。
2. レジスタによりレジスタライト時のアクセスサイズに制限があります。レジスタビット幅より小さいビット幅でのライトアクセス時にはご注意ください。詳細は各レジスタの説明を参照ください。

ATU-IV レジスタのアドレス配置は以下のとおりです。

共通制御部関連レジスタ（0xFFE6 0000 ～ 0xFFE6 007F）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 0000	NCMR	CBCNT	ATUENR		ATU-IV
H’FFE6 0004	（使用禁止領域）				
～					
H’FFE6 007C					

プリスケーラ関連レジスタ（0xFFE6 0080 ～ 0xFFE6 00BF）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 0080	（使用禁止領域）		PSCR0		PSC
H’FFE6 0084	（使用禁止領域）		PSCR1		
H’FFE6 0088	（使用禁止領域）		PSCR2		
H’FFE6 008C	（使用禁止領域）		PSCR3		
H’FFE6 0090	（使用禁止領域）				
～					
H’FFE6 00BC					

DMA/AD 要求自動切り替え関連レジスタ（0xFFE6 00C0 ～ 0xFFE6 00FF）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 00C0	（使用禁止領域）			TRGSRDMA0	PICSU
H’FFE6 00C4	（使用禁止領域）	TRGSELDMA01	（使用禁止領域）	TRGSELDMA00	
H’FFE6 00C8	（使用禁止領域）			TRGSELAD	
H’FFE6 00CC	（使用禁止領域）				
H’FFE6 00D0	（使用禁止領域）			TRGSRDMA1	
H’FFE6 00D4	（使用禁止領域）	TRGSELDMA11	（使用禁止領域）	TRGSELDMA10	
H’FFE6 00D8	（使用禁止領域）				
～					
H’FFE6 00FC					

タイマ A 関連レジスタ（0xFFE6 0200 ～ 0xFFE6 03FF）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 0200	（使用禁止領域）	TCR2A	（使用禁止領域）	TCR1A	A 共通
H'FFE6 0204	（使用禁止領域）	TCR4A	（使用禁止領域）	TCR3A	
H'FFE6 0208	（使用禁止領域）	TSCRA	（使用禁止領域）	TSRA	
H'FFE6 020C	（使用禁止領域）	NCMCR2A	（使用禁止領域）	NCMCR1A	
H'FFE6 0210	（使用禁止領域）		TIOR1A		
H'FFE6 0214	TIOR2A				
H'FFE6 0218	（使用禁止領域）	TILCRA	（使用禁止領域）	TILRA	
H'FFE6 021C	（使用禁止領域）				
H'FFE6 0220	TCNTA				
H'FFE6 0224	（使用禁止領域）				
～					
H'FFE6 023C					
H'FFE6 0240	ICRA0				A0
H'FFE6 0244	NCRA0		NCNTA0		
H'FFE6 0248	（使用禁止領域）				
～					
H'FFE6 025C					
H'FFE6 0260	ICRA1				A1
H'FFE6 0264	NCRA1		NCNTA1		
H'FFE6 0268	（使用禁止領域）				
～					
H'FFE6 027C					
H'FFE6 0280	ICRA2				A2
H'FFE6 0284	NCRA2		NCNTA2		
H'FFE6 0288	（使用禁止領域）				
～					
H'FFE6 029C					
H'FFE6 02A0	ICRA3				A3
H'FFE6 02A4	NCRA3		NCNTA3		
H'FFE6 02A8	（使用禁止領域）				
～					
H'FFE6 02BC					
H'FFE6 02C0	ICRA4				A4
H'FFE6 02C4	NCRA4		NCNTA4		
H'FFE6 02C8	（使用禁止領域）				
～					
H'FFE6 02DC					
H'FFE6 02E0	ICRA5				A5
H'FFE6 02E4	NCRA5		NCNTA5		
H'FFE6 02E8	（使用禁止領域）				
～					
H'FFE6 02FC					

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 0300	ICRA6				A6
H'FFE6 0304	NCRA6		NCNTA 6		
H'FFE6 0308	（使用禁止領域）				
～					
H'FFE6 03FC					

タイマ B 関連レジスタ（0xFFE6 0400 ～ 0xFFE6 05FF）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 0400	（使用禁止領域）	TIORB	（使用禁止領域）	TCRB	B 共通
H'FFE6 0404	TSCRB		TSRB		
H'FFE6 0408	（使用禁止領域）			TICRB	
H'FFE6 040C	（使用禁止領域）				
～					
H'FFE6 0478					
H'FFE6 047C	（使用禁止領域）				
H'FFE6 0480	TCNTB0				
H'FFE6 0484	ICRB0				
H'FFE6 0488	RECRB1				
H'FFE6 048C	RECRB2				
H'FFE6 0490	RECRB3				
H'FFE6 0494	RECRB4				
H'FFE6 0498	RECRB5				
H'FFE6 049C	RECRB6				
H'FFE6 04A0	RBURB0				
H'FFE6 04A4	RBURB1				
H'FFE6 04A8	RBURB2				
H'FFE6 04AC	RBURB3				
H'FFE6 04B0	RBURB4				
H'FFE6 04B4	RBURB5				
H'FFE6 04B8	RBURB6				
H'FFE6 04BC	OCRB0				
H'FFE6 04C0	（使用禁止領域）				
H'FFE6 04C4	（使用禁止領域）	OCRB1	（使用禁止領域）	TCNTB1	
H'FFE6 04C8	（使用禁止領域）	OCRB11	（使用禁止領域）	OCRB10	
H'FFE6 04CC	（使用禁止領域）			OCRB12	
H'FFE6 04D0	ICRB1				
H'FFE6 04D4	ICRB2				
H'FFE6 04D8	ICRB33	ICRB32	ICRB31	ICRB30	
H'FFE6 04DC	—	ICRB36	ICRB35	ICRB34	
H'FFE6 04E0	使用禁止領域				
H'FFE6 04E4	使用禁止領域				
H'FFE6 04E8	使用禁止領域				
H'FFE6 04EC	使用禁止領域				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 04F0	使用禁止領域				
H’FFE6 04F4	使用禁止領域				
H’FFE6 04F8	使用禁止領域				
H’FFE6 04FC	使用禁止領域				
H’FFE6 0500	LDB				
H’FFE6 0504	RLDB				
H’FFE6 0508	TCNTB2				
H’FFE6 050C	PIMR2		PIMR1		
H’FFE6 0510	TCNTB6				
H’FFE6 0514	ICRB6				
H’FFE6 0518	（使用禁止領域）			RARB6	
H’FFE6 051C	TCNTB6M				
H’FFE6 0520	OCRB6				
H’FFE6 0524	OCRB7				
H’FFE6 0528	（使用禁止領域）				
～					
H’FFE6 053C					
H’FFE6 0540					
H’FFE6 0544					
H’FFE6 0548	（使用禁止領域）				
H’FFE6 054C	（使用禁止領域）				
H’FFE6 0550	（使用禁止領域）				
H’FFE6 0554	（使用禁止領域）				
H’FFE6 0558	（使用禁止領域）				
H’FFE6 055C	（使用禁止領域）				
H’FFE6 0560	（使用禁止領域）				
H’FFE6 0564	（使用禁止領域）				
H’FFE6 0568	（使用禁止領域）				
H’FFE6 056C	（使用禁止領域）				
H’FFE6 0570	（使用禁止領域）				
H’FFE6 0574	（使用禁止領域）				
H’FFE6 0578	使用禁止領域				
H’FFE6 057C	（使用禁止領域）				
H’FFE6 0580	TCNTB3				
H’FFE6 0584	TCNTB4				
H’FFE6 0588	TCNTB5				
H’FFE6 058C	（使用禁止領域）	TCCLFCRB	TCCLFSRB	TCCLFRB	
H’FFE6 0590	TCCLRB				
H’FFE6 0594	OCRB8				
H’FFE6 0598	（使用禁止領域）				
H’FFE6 059C	（使用禁止領域）				
H’FFE6 05A0		ACRSTRB	ACRCLRB	ACRTRGB	
H’FFE6 05A4			ACRVALRB		

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 05A8	（使用禁止領域）				
～					
H’FFE6 05BC					
H’FFE6 05C0	（使用禁止領域）				
H’FFE6 05C4	（使用禁止領域）				
H’FFE6 05C8	（使用禁止領域）				
H’FFE6 05CC	（使用禁止領域）				
H’FFE6 05D0	（使用禁止領域）				
～					
H’FFE6 05FC					

タイマ C 関連レジスタ（0xFFE6 0600 ～ 0xFFE6 0A1F）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 0600	（使用禁止領域）			TSTRC	C 共通
H'FFE6 0604	NCCRC3	NCCRC2	NCCRC1	NCCRC0	
H'FFE6 0608	NCCRC7	NCCRC6	NCCRC5	NCCRC4	
H'FFE6 060C	（使用禁止領域）				
H'FFE6 0610		NCMCR2C		NCMCR1C	
H'FFE6 0618					
H'FFE6 061C	（使用禁止領域）				
H'FFE6 0620	TSCRC0		（使用禁止領域）		C0
H'FFE6 0624	TSRC0		TCRC0		
H'FFE6 0628	（使用禁止領域）		TIORC0		
H'FFE6 062C	（使用禁止領域）				
H'FFE6 0630	（使用禁止領域）				
H'FFE6 0634	（使用禁止領域）		TIERC0		
H'FFE6 0638	TCNTC0				
H'FFE6 063C	CUCRC0				
H'FFE6 0640	GRC00				
H'FFE6 0644	GRC01				
H'FFE6 0648	GRC02				
H'FFE6 064C	GRC03				
H'FFE6 0650	OCRC00				
H'FFE6 0654	OCRC01				
H'FFE6 0658	OCRC02				
H'FFE6 065C	OCRC03				
H'FFE6 0660 ～ H'FFE6 066C	（使用禁止領域）				
H'FFE6 0670	NCRC00		NCNTC00		
H'FFE6 0674	NCRC01		NCNTC01		
H'FFE6 0678	NCRC02		NCNTC02		
H'FFE6 067C	NCRC03		NCNTC03		
H'FFE6 0680 ～ H'FFE6 069C	（使用禁止領域）				
H'FFE6 06A0	TSCRC1		（使用禁止領域）		C1
H'FFE6 06A4	TSRC1		TCRC1		
H'FFE6 06A8	（使用禁止領域）		TIORC1		
H'FFE6 06AC	（使用禁止領域）				
H'FFE6 06B0	（使用禁止領域）				
H'FFE6 06B4	（使用禁止領域）		TIERC1		
H'FFE6 06B8	TCNTC1				
H'FFE6 06BC	CUCRC1				
H'FFE6 06C0	GRC10				
H'FFE6 06C4	GRC11				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 06C8	GRC12				
H'FFE6 06CC	GRC13				
H'FFE6 06D0	OCRC10				
H'FFE6 06D4	OCRC11				
H'FFE6 06D8	OCRC12				
H'FFE6 06DC	OCRC13				
H'FFE6 06E0	（使用禁止領域）				
～					
H'FFE6 06EC					
H'FFE6 06F0	NCRC10		NCNTC10		
H'FFE6 06F4	NCRC11		NCNTC11		
H'FFE6 06F8	NCRC12		NCNTC12		
H'FFE6 06FC	NCRC13		NCNTC13		
H'FFE6 0700	（使用禁止領域）				
～					
H'FFE6 071C					
H'FFE6 0720	TSCRC2		（使用禁止領域）		C2
H'FFE6 0724	TSRC2		TCRC2		
H'FFE6 0728	（使用禁止領域）		TIORC2		
H'FFE6 072C	（使用禁止領域）				
H'FFE6 0730	（使用禁止領域）				
H'FFE6 0734	（使用禁止領域）		TIERC2		
H'FFE6 0738	TCNTC2				
H'FFE6 073C	CUCRC2				
H'FFE6 0740	GRC20				
H'FFE6 0744	GRC21				
H'FFE6 0748	GRC22				
H'FFE6 074C	GRC23				
H'FFE6 0750	OCRC20				
H'FFE6 0754	OCRC21				
H'FFE6 0758	OCRC22				
H'FFE6 075C	OCRC23				
H'FFE6 0760	（使用禁止領域）				
～					
H'FFE6 076C					
H'FFE6 0770	NCRC20		NCNTC20		
H'FFE6 0774	NCRC21		NCNTC21		
H'FFE6 0778	NCRC22		NCNTC22		
H'FFE6 077C	NCRC23		NCNTC23		
H'FFE6 0780	（使用禁止領域）				
～					
H'FFE6 079C					
H'FFE6 07A0	TSCRC3		（使用禁止領域）		C3
H'FFE6 07A4	TSRC3		TCRC3		

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 07A8	（使用禁止領域）		TIORC3		
H’FFE6 07AC	（使用禁止領域）				
H’FFE6 07B0	（使用禁止領域）				
H’FFE6 07B4	（使用禁止領域）		TIERC3		
H’FFE6 07B8	TCNTC3				
H’FFE6 07BC	CUCRC3				
H’FFE6 07C0	GRC30				
H’FFE6 07C4	GRC31				
H’FFE6 07C8	GRC32				
H’FFE6 07CC	GRC33				
H’FFE6 07D0	OCRC30				
H’FFE6 07D4	OCRC31				
H’FFE6 07D8	OCRC32				
H’FFE6 07DC	OCRC33				
H’FFE6 07E0	（使用禁止領域）				
～					
H’FFE6 07EC					
H’FFE6 07F0	NCRC30		NCNTC30		
H’FFE6 07F4	NCRC31		NCNTC31		
H’FFE6 07F8	NCRC32		NCNTC32		
H’FFE6 07FC	NCRC33		NCNTC33		
H’FFE6 0800	（使用禁止領域）				
～					
H’FFE6 081C					
H’FFE6 0820	TSCRC4		（使用禁止領域）		C4
H’FFE6 0824	TSRC4		TCRC4		
H’FFE6 0828	（使用禁止領域）		TIORC4		
H’FFE6 082C	（使用禁止領域）				
H’FFE6 0830	（使用禁止領域）				
H’FFE6 0834	（使用禁止領域）		TIERC4		
H’FFE6 0838	TCNTC4				
H’FFE6 083C	CUCRC4				
H’FFE6 0840	GRC40				
H’FFE6 0844	GRC41				
H’FFE6 0848	GRC42				
H’FFE6 084C	GRC43				
H’FFE6 0850	OCRC40				
H’FFE6 0854	OCRC41				
H’FFE6 0858	OCRC42				
H’FFE6 085C	OCRC43				
H’FFE6 0860	（使用禁止領域）				
～					
H’FFE6 086C					
H’FFE6 0870	NCRC40		NCNTC40		

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 0874	NCRC41		NCNTC41		
H'FFE6 0878	NCRC42		NCNTC42		
H'FFE6 087C	NCRC43		NCNTC43		
H'FFE6 0880	（使用禁止領域）				
～					
H'FFE6 089C					
H'FFE6 08A0	TSCRC5		（使用禁止領域）		C5
H'FFE6 08A4	TSRC5		TCRC5		
H'FFE6 08A8	（使用禁止領域）		TIORC5		
H'FFE6 08AC	（使用禁止領域）				
H'FFE6 08B0	（使用禁止領域）				
H'FFE6 08B4	（使用禁止領域）		TIERC5		
H'FFE6 08B8	TCNTC5				
H'FFE6 08BC	CUCRC5				
H'FFE6 08C0	GRC50				
H'FFE6 08C4	GRC51				
H'FFE6 08C8	GRC52				
H'FFE6 08CC	GRC53				
H'FFE6 08D0	OCRC50				
H'FFE6 08D4	OCRC51				
H'FFE6 08D8	OCRC52				
H'FFE6 08DC	OCRC53				
H'FFE6 08E0	（使用禁止領域）				
～					
H'FFE6 08EC					
H'FFE6 08F0	NCRC50		NCNTC50		
H'FFE6 08F4	NCRC51		NCNTC51		
H'FFE6 08F8	NCRC52		NCNTC52		
H'FFE6 08FC	NCRC53		NCNTC53		
H'FFE6 0900	（使用禁止領域）				
～					
H'FFE6 091C					
H'FFE6 0920	TSCRC6		（使用禁止領域）		C6
H'FFE6 0924	TSRC6		TCRC6		
H'FFE6 0928	（使用禁止領域）		TIORC6		
H'FFE6 092C	（使用禁止領域）				
H'FFE6 0930	（使用禁止領域）				
H'FFE6 0934	（使用禁止領域）		TIERC6		
H'FFE6 0938	TCNTC6				
H'FFE6 093C	CUCRC6				
H'FFE6 0940	GRC60				
H'FFE6 0944	GRC61				
H'FFE6 0948	GRC62				
H'FFE6 094C	GRC63				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 0950	OCRC60				
H'FFE6 0954	OCRC61				
H'FFE6 0958	OCRC62				
H'FFE6 095C	OCRC63				
H'FFE6 0960	（使用禁止領域）				
～					
H'FFE6 096C					
H'FFE6 0970	NCRC60		NCNTC60		
H'FFE6 0974	NCRC61		NCNTC61		
H'FFE6 0978	NCRC62		NCNTC62		
H'FFE6 097C	NCRC63		NCNTC63		
H'FFE6 0980	（使用禁止領域）				
～					
H'FFE6 099C					
H'FFE6 09A0	TSCRC7		（使用禁止領域）		C7
H'FFE6 09A4	TSRC7		TCRC7		
H'FFE6 09A8	（使用禁止領域）		TIORC7		
H'FFE6 09AC	（使用禁止領域）				
H'FFE6 09B0	（使用禁止領域）				
H'FFE6 09B4	（使用禁止領域）		TIERC7		
H'FFE6 09B8	TCNTC7				
H'FFE6 09BC	CUCRC7				
H'FFE6 09C0	GRC70				
H'FFE6 09C4	GRC71				
H'FFE6 09C8	GRC72				
H'FFE6 09CC	GRC73				
H'FFE6 09D0	OCRC70				
H'FFE6 09D4	OCRC71				
H'FFE6 09D8	OCRC72				
H'FFE6 09DC	OCRC73				
H'FFE6 09E0	（使用禁止領域）				
～					
H'FFE6 09EC					
H'FFE6 09F0	NCRC70		NCNTC70		
H'FFE6 09F4	NCRC71		NCNTC71		
H'FFE6 09F8	NCRC72		NCNTC72		
H'FFE6 09FC	NCRC73		NCNTC73		
H'FFE6 0A00	（使用禁止領域）				
～					
H'FFE6 0A1C					

タイマ D 関連レジスタ（0xFFE6 1000 ～ 0xFFE6 1FFC）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 1000	（使用禁止領域）		TSTRD		D 共通
H'FFE6 1004	（使用禁止領域）				
～					
H'FFE6 10F8					
H'FFE6 10FC	（使用禁止領域）				
H'FFE6 1100	DCRD0		TCRD0		D0
H'FFE6 1104	TIOR2D0		TIOR1D0		
H'FFE6 1108	DSR2D0	DSR1D0	DSCRD0	DSTRD0	
H'FFE6 110C	TSCRD0		TSRD0		
H'FFE6 1110	（使用禁止領域）	ODRD0	OSELRD0	TOCRD0	
H'FFE6 1114	（使用禁止領域）			TICTSELD0	
H'FFE6 1118	OSBRD0				
H'FFE6 111C	（使用禁止領域）				
H'FFE6 1120	TCNT1D0				
H'FFE6 1124	TCNT2D0				
H'FFE6 1128	CUCR1D0				
H'FFE6 112C	CUCR2D0				
H'FFE6 1130	（使用禁止領域）			RCR1D0	
H'FFE6 1134	（使用禁止領域）			RCR2D0	
H'FFE6 1138	（使用禁止領域）				
H'FFE6 113C	（使用禁止領域）				
H'FFE6 1140	OCR1D00				
H'FFE6 1144	（使用禁止領域）				
H'FFE6 1148	OCR2D00				
H'FFE6 114C	（使用禁止領域）				
H'FFE6 1150	ICR1D00				
H'FFE6 1154	ICR2D00				
H'FFE6 1158	DCNTD00				
H'FFE6 115C	（使用禁止領域）				
H'FFE6 1160	OCR1D01				
H'FFE6 1164	（使用禁止領域）				
H'FFE6 1168	OCR2D01				
H'FFE6 116C	（使用禁止領域）				
H'FFE6 1170	ICR1D01				
H'FFE6 1174	ICR2D01				
H'FFE6 1178	DCNTD01				
H'FFE6 117C	（使用禁止領域）				
H'FFE6 1180	OCR1D02				
H'FFE6 1184	（使用禁止領域）				
H'FFE6 1188	OCR2D02				
H'FFE6 118C	（使用禁止領域）				
H'FFE6 1190	ICR1D02				
H'FFE6 1194	ICR2D02				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 1198	DCNTD02				
H'FFE6 119C	（使用禁止領域）				
H'FFE6 11A0	OCR1D03				
H'FFE6 11A4	（使用禁止領域）				
H'FFE6 11A8	OCR2D03				
H'FFE6 11AC	（使用禁止領域）				
H'FFE6 11B0	ICR1D03				
H'FFE6 11B4	ICR2D03				
H'FFE6 11B8	DCNTD03				
H'FFE6 11BC	（使用禁止領域）				
H'FFE6 11C0	（使用禁止領域）				
～					
H'FFE6 11FC					
H'FFE6 1200	DCRD1		TCRD1		D1
H'FFE6 1204	TIOR2D1		TIOR1D1		
H'FFE6 1208	DSR2D1	DSR1D1	DSCRD1	DSTRD1	
H'FFE6 120C	TSCRD1		TSRD1		
H'FFE6 1210	（使用禁止領域）	ODRD1	OSELRD1	TOCRD1	
H'FFE6 1214	（使用禁止領域）			TICTSELD1	
H'FFE6 1218	OSBRD1				
H'FFE6 121C	（使用禁止領域）				
H'FFE6 1220	TCNT1D1				
H'FFE6 1224	TCNT2D1				
H'FFE6 1228	CUCR1D1				
H'FFE6 122C	CUCR2D1				
H'FFE6 1230	（使用禁止領域）			RCR1D1	
H'FFE6 1234	（使用禁止領域）			RCR2D1	
H'FFE6 1238	（使用禁止領域）				
H'FFE6 123C	（使用禁止領域）				
H'FFE6 1240	OCR1D10				
H'FFE6 1244	（使用禁止領域）				
H'FFE6 1248	OCR2D10				
H'FFE6 124C	（使用禁止領域）				
H'FFE6 1250	ICR1D10				
H'FFE6 1254	ICR2D10				
H'FFE6 1258	DCNTD10				
H'FFE6 125C	（使用禁止領域）				
H'FFE6 1260	OCR1D11				
H'FFE6 1264	（使用禁止領域）				
H'FFE6 1268	OCR2D11				
H'FFE6 126C	（使用禁止領域）				
H'FFE6 1270	ICR1D11				
H'FFE6 1274	ICR2D11				
H'FFE6 1278	DCNTD11				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 127C	（使用禁止領域）				
H'FFE6 1280	OCR1D12				
H'FFE6 1284	（使用禁止領域）				
H'FFE6 1288	OCR2D12				
H'FFE6 128C	（使用禁止領域）				
H'FFE6 1290	ICR1D12				
H'FFE6 1294	ICR2D12				
H'FFE6 1298	DCNTD12				
H'FFE6 129C	（使用禁止領域）				
H'FFE6 12A0	OCR1D13				
H'FFE6 12A4	（使用禁止領域）				
H'FFE6 12A8	OCR2D13				
H'FFE6 12AC	（使用禁止領域）				
H'FFE6 12B0	ICR1D13				
H'FFE6 12B4	ICR2D13				
H'FFE6 12B8	DCNTD13				
H'FFE6 12BC	（使用禁止領域）				
H'FFE6 12C0	（使用禁止領域）				
～					
H'FFE6 12FC					
H'FFE6 1300	DCRD2		TCRD2		D2
H'FFE6 1304	TIOR2D2		TIOR1D2		
H'FFE6 1308	DSR2D2	DSR1D2	DSCRD2	DSTRD2	
H'FFE6 130C	TSCRD2		TSRD2		
H'FFE6 1310	（使用禁止領域）	ODRD2	OSELRD2	TOCRD2	
H'FFE6 1314	（使用禁止領域）			TICTSELD2	
H'FFE6 1318	OSBRD2				
H'FFE6 131C	（使用禁止領域）				
H'FFE6 1320	TCNT1D2				
H'FFE6 1324	TCNT2D2				
H'FFE6 1328	CUCR1D2				
H'FFE6 132C	CUCR2D2				
H'FFE6 1330	（使用禁止領域）			RCR1D2	
H'FFE6 1334	（使用禁止領域）			RCR2D2	
H'FFE6 1338	（使用禁止領域）				
H'FFE6 133C	（使用禁止領域）				
H'FFE6 1340	OCR1D20				
H'FFE6 1344	（使用禁止領域）				
H'FFE6 1348	OCR2D20				
H'FFE6 134C	（使用禁止領域）				
H'FFE6 1350	ICR1D20				
H'FFE6 1354	ICR2D20				
H'FFE6 1358	DCNTD20				
H'FFE6 135C	（使用禁止領域）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 1360	OCR1D21				
H'FFE6 1364	（使用禁止領域）				
H'FFE6 1368	OCR2D21				
H'FFE6 136C	（使用禁止領域）				
H'FFE6 1370	ICR1D21				
H'FFE6 1374	ICR2D21				
H'FFE6 1378	DCNTD21				
H'FFE6 137C	（使用禁止領域）				
H'FFE6 1380	OCR1D22				
H'FFE6 1384	（使用禁止領域）				
H'FFE6 1388	OCR2D22				
H'FFE6 138C	（使用禁止領域）				
H'FFE6 1390	ICR1D22				
H'FFE6 1394	ICR2D22				
H'FFE6 1398	DCNTD22				
H'FFE6 139C	（使用禁止領域）				
H'FFE6 13A0	OCR1D23				
H'FFE613A4	（使用禁止領域）				
H'FFE6 13A8	OCR2D23				
H'FFE6 13AC	（使用禁止領域）				
H'FFE6 13B0	ICR1D23				
H'FFE613B4	ICR2D23				
H'FFE6 13B8	DCNTD23				
H'FFE6 13BC	（使用禁止領域）				
H'FFE6 13C0	（使用禁止領域）				
～					
H'FFE6 13FC					
H'FFE6 1400	DCRD3		TCRD3		D3
H'FFE61404	TIOR2D3		TIOR1D3		
H'FFE6 1408	DSR2D3	DSR1D3	DSCRD3	DSTRD3	
H'FFE6140C	TSCRD3		TSRD3		
H'FFE6 1410	（使用禁止領域）	ODRD3	OSELRD3	TOCRD3	
H'FFE6 1414	（使用禁止領域）			TICTSELD3	
H'FFE6 1418	OSBRD3				
H'FFE6 141C	（使用禁止領域）				
H'FFE6 1420	TCNT1D3				
H'FFE6 1424	TCNT2D3				
H'FFE6 1428	CUCR1D3				
H'FFE6 142C	CUCR2D3				
H'FFE6 1430	（使用禁止領域）			RCR1D3	
H'FFE6 1434	（使用禁止領域）			RCR2D3	
H'FFE6 1438	（使用禁止領域）				
H'FFE6 143C	（使用禁止領域）				
H'FFE6 1440	OCR1D30				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 1444	（使用禁止領域）				
H'FFE6 1448	OCR2D30				
H'FFE6 144C	（使用禁止領域）				
H'FFE6 1450	ICR1D30				
H'FFE6 1454	ICR2D30				
H'FFE6 1458	DCNTD30				
H'FFE6 145C	（使用禁止領域）				
H'FFE6 1460	OCR1D31				
H'FFE6 1464	（使用禁止領域）				
H'FFE6 1468	OCR2D31				
H'FFE6 146C	（使用禁止領域）				
H'FFE6 1470	ICR1D31				
H'FFE6 1474	ICR2D31				
H'FFE6 1478	DCNTD31				
H'FFE6 147C	（使用禁止領域）				
H'FFE6 1480	OCR1D32				
H'FFE6 1484	（使用禁止領域）				
H'FFE6 1488	OCR2D32				
H'FFE6 148C	（使用禁止領域）				
H'FFE6 1490	ICR1D32				
H'FFE6 1494	ICR2D32				
H'FFE6 1498	DCNTD32				
H'FFE6 149C	（使用禁止領域）				
H'FFE6 14A0	OCR1D33				
H'FFE6 14A4	（使用禁止領域）				
H'FFE6 14A8	OCR2D33				
H'FFE6 14AC	（使用禁止領域）				
H'FFE6 14B0	ICR1D33				
H'FFE6 14B4	ICR2D33				
H'FFE6 14B8	DCNTD33				
H'FFE6 14BC	（使用禁止領域）				
H'FFE6 14C0 ～ H'FFE6 14FC	（使用禁止領域）				
H'FFE6 1500	DCRD4		TCRD4		D4
H'FFE6 1504	TIOR2D4		TIOR1D4		
H'FFE6 1508	DSR2D4	DSR1D4	DSCRD4	DSTRD4	
H'FFE6 150C	TSCRD4		TSRD4		
H'FFE6 1510	（使用禁止領域）	ODRD4	OSELRD4	TOCRD4	
H'FFE6 1514	（使用禁止領域）			TICTSELD4	
H'FFE6 1518	OSBRD4				
H'FFE6 151C	（使用禁止領域）				
H'FFE6 1520	TCNT1D4				
H'FFE6 1524	TCNT2D4				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 1528	CUCR1D4				
H'FFE6 152C	CUCR2D4				
H'FFE6 1530	（使用禁止領域）			RCR1D4	
H'FFE6 1534	（使用禁止領域）			RCR2D4	
H'FFE6 1538	（使用禁止領域）				
H'FFE6 153C	（使用禁止領域）				
H'FFE6 1540	OCR1D40				
H'FFE6 1544	（使用禁止領域）				
H'FFE6 1548	OCR2D40				
H'FFE6 154C	（使用禁止領域）				
H'FFE6 1550	ICR1D40				
H'FFE6 1554	ICR2D40				
H'FFE6 1558	DCNTD40				
H'FFE6 155C	（使用禁止領域）				
H'FFE6 1560	OCR1D41				
H'FFE6 1564	（使用禁止領域）				
H'FFE6 1568	OCR2D41				
H'FFE6 156C	（使用禁止領域）				
H'FFE6 1570	ICR1D41				
H'FFE6 1574	ICR2D41				
H'FFE6 1578	DCNTD41				
H'FFE6 157C	（使用禁止領域）				
H'FFE6 1580	OCR1D42				
H'FFE6 1584	（使用禁止領域）				
H'FFE6 1588	OCR2D42				
H'FFE6 158C	（使用禁止領域）				
H'FFE6 1590	ICR1D42				
H'FFE6 1594	ICR2D42				
H'FFE6 1598	DCNTD42				
H'FFE6 159C	（使用禁止領域）				
H'FFE6 15A0	OCR1D43				
H'FFE6 15A4	（使用禁止領域）				
H'FFE6 15A8	OCR2D43				
H'FFE6 15AC	（使用禁止領域）				
H'FFE6 15B0	ICR1D43				
H'FFE6 15B4	ICR2D43				
H'FFE6 15B8	DCNTD43				
H'FFE6 15BC	（使用禁止領域）				
H'FFE6 15C0	（使用禁止領域）				
～					
H'FFE6 15FC					
H'FFE6 1600	DCRD5		TCRD5		D5
H'FFE6 1604	TIOR2D5		TIOR1D5		
H'FFE6 1608	DSR2D5	DSR1D5	DSCRD5	DSTRD5	

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 160C	TSCRD5		TSRD5		
H'FFE6 1610	（使用禁止領域）	ODRD5	OSELRD5	TOCRD5	
H'FFE6 1614	（使用禁止領域）			TICTSELD5	
H'FFE6 1618	OSBRD5				
H'FFE6 161C	（使用禁止領域）				
H'FFE6 1620	TCNT1D5				
H'FFE6 1624	TCNT2D5				
H'FFE6 1628	CUCR1D5				
H'FFE6 162C	CUCR2D5				
H'FFE6 1630	（使用禁止領域）			RCR1D5	
H'FFE6 1634	（使用禁止領域）			RCR2D5	
H'FFE6 1638	（使用禁止領域）				
H'FFE6 163C	（使用禁止領域）				
H'FFE6 1640	OCR1D50				
H'FFE6 1644	（使用禁止領域）				
H'FFE6 1648	OCR2D50				
H'FFE6 164C	（使用禁止領域）				
H'FFE6 1650	ICR1D50				
H'FFE6 1654	ICR2D50				
H'FFE6 1658	DCNTD50				
H'FFE6 165C	（使用禁止領域）				
H'FFE6 1660	OCR1D51				
H'FFE6 1664	（使用禁止領域）				
H'FFE6 1668	OCR2D51				
H'FFE6 166C	（使用禁止領域）				
H'FFE6 1670	ICR1D51				
H'FFE6 1674	ICR2D51				
H'FFE6 1678	DCNTD51				
H'FFE6 167C	（使用禁止領域）				
H'FFE6 1680	OCR1D52				
H'FFE6 1684	（使用禁止領域）				
H'FFE6 1688	OCR2D52				
H'FFE6 168C	（使用禁止領域）				
H'FFE6 1690	ICR1D52				
H'FFE6 1694	ICR2D52				
H'FFE6 1698	DCNTD52				
H'FFE6 169C	（使用禁止領域）				
H'FFE6 16A0	OCR1D53				
H'FFE6 16A4	（使用禁止領域）				
H'FFE6 16A8	OCR2D53				
H'FFE6 16AC	（使用禁止領域）				
H'FFE6 16B0	ICR1D53				
H'FFE6 16B4	ICR2D53				
H'FFE6 16B8	DCNTD53				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 16BC	（使用禁止領域）				
H'FFE6 16C0	（使用禁止領域）				
～					
H'FFE6 16FC					
H'FFE6 1700	DCRD6		TCRD6		D6
H'FFE6 1704	TIOR2D6		TIOR1D6		
H'FFE6 1708	DSR2D6	DSR1D6	DSCRD6	DSTRD6	
H'FFE6 170C	TSCRD6		TSRD6		
H'FFE6 1710	（使用禁止領域）	ODRD6	OSELRD6	TOCRD6	
H'FFE6 1714	（使用禁止領域）			TICTSELD6	
H'FFE6 1718	OSBRD6				
H'FFE6 171C	（使用禁止領域）				
H'FFE6 1720	TCNT1D6				
H'FFE6 1724	TCNT2D6				
H'FFE6 1728	CUCR1D6				
H'FFE6 172C	CUCR2D6				
H'FFE6 1730	（使用禁止領域）			RCR1D6	
H'FFE6 1734	（使用禁止領域）			RCR2D6	
H'FFE6 1738	（使用禁止領域）				
H'FFE6 173C	（使用禁止領域）				
H'FFE6 1740	OCR1D60				
H'FFE6 1744	（使用禁止領域）				
H'FFE6 1748	OCR2D60				
H'FFE6 174C	（使用禁止領域）				
H'FFE6 1750	ICR1D60				
H'FFE6 1754	ICR2D60				
H'FFE6 1758	DCNTD60				
H'FFE6 175C	（使用禁止領域）				
H'FFE6 1760	OCR1D61				
H'FFE6 1764	（使用禁止領域）				
H'FFE6 1768	OCR2D61				
H'FFE6 176C	（使用禁止領域）				
H'FFE6 1770	ICR1D61				
H'FFE6 1774	ICR2D61				
H'FFE6 1778	DCNTD61				
H'FFE6 177C	（使用禁止領域）				
H'FFE6 1780	OCR1D62				
H'FFE6 1784	（使用禁止領域）				
H'FFE6 1788	OCR2D62				
H'FFE6 178C	（使用禁止領域）				
H'FFE6 1790	ICR1D62				
H'FFE6 1794	ICR2D62				
H'FFE6 1798	DCNTD62				
H'FFE6 179C	（使用禁止領域）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 17A0	OCR1D63				
H'FFE6 17A4	（使用禁止領域）				
H'FFE6 17A8	OCR2D63				
H'FFE6 17AC	（使用禁止領域）				
H'FFE6 17B0	ICR1D63				
H'FFE6 17B4	ICR2D63				
H'FFE6 17B8	DCNTD63				
H'FFE6 17BC	（使用禁止領域）				
H'FFE6 17C0	（使用禁止領域）				
～					
H'FFE6 17FC					
H'FFE6 1800	DCRD7		TCRD7		D7
H'FFE6 1804	TIOR2D7		TIOR1D7		
H'FFE6 1808	DSR2D7	DSR1D7	DSCRD7	DSTRD7	
H'FFE6 180C	TSCRD7		TSRD7		
H'FFE6 1810	（使用禁止領域）	ODRD7	OSELRD7	TOCRD7	
H'FFE6 1814	（使用禁止領域）			TICTSELD7	
H'FFE6 1818	OSBRD7				
H'FFE6 181C	（使用禁止領域）				
H'FFE6 1820	TCNT1D7				
H'FFE6 1824	TCNT2D7				
H'FFE6 1828	CUCR1D7				
H'FFE6 182C	CUCR2D7				
H'FFE6 1830	（使用禁止領域）			RCR1D7	
H'FFE6 1834	（使用禁止領域）			RCR2D7	
H'FFE6 1838	（使用禁止領域）				
H'FFE6 183C	（使用禁止領域）				
H'FFE6 1840	OCR1D70				
H'FFE6 1844	（使用禁止領域）				
H'FFE6 1848	OCR2D70				
H'FFE6 184C	（使用禁止領域）				
H'FFE6 1850	ICR1D70				
H'FFE6 1854	ICR2D70				
H'FFE6 1858	DCNTD70				
H'FFE6 185C	（使用禁止領域）				
H'FFE6 1860	OCR1D71				
H'FFE6 1864	（使用禁止領域）				
H'FFE6 1868	OCR2D71				
H'FFE6 186C	（使用禁止領域）				
H'FFE6 1870	ICR1D71				
H'FFE6 1874	ICR2D71				
H'FFE6 1878	DCNTD71				
H'FFE6 187C	（使用禁止領域）				
H'FFE6 1880	OCR1D72				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 1884	（使用禁止領域）				
H'FFE6 1888	OCR2D72				
H'FFE6 188C	（使用禁止領域）				
H'FFE6 1890	ICR1D72				
H'FFE6 1894	ICR2D72				
H'FFE6 1898	DCNTD72				
H'FFE6 189C	（使用禁止領域）				
H'FFE6 18A0	OCR1D73				
H'FFE6 18A4	（使用禁止領域）				
H'FFE6 18A8	OCR2D73				
H'FFE6 18AC	（使用禁止領域）				
H'FFE6 18B0	ICR1D73				
H'FFE6 18B4	ICR2D73				
H'FFE6 18B8	DCNTD73				
H'FFE6 18BC	（使用禁止領域）				
H'FFE6 18C0	（使用禁止領域）				
～					
H'FFE6 18FC					
H'FFE6 1900	DCRD8		TCRD8		D8
H'FFE6 1904	TIOR2D8		TIOR1D8		
H'FFE6 1908	DSR2D8	DSR1D8	DSCRD8	DSTRD8	
H'FFE6 190C	TSCRD8		TSRD8		
H'FFE6 1910	（使用禁止領域）	ODRD8	OSELRD8	TOCRD8	
H'FFE6 1914	（使用禁止領域）			TICTSELD8	
H'FFE6 1918	OSBRD8				
H'FFE6 191C	（使用禁止領域）				
H'FFE6 1920	TCNT1D8				
H'FFE6 1924	TCNT2D8				
H'FFE6 1928	CUCR1D8				
H'FFE6 192C	CUCR2D8				
H'FFE6 1930	（使用禁止領域）			RCR1D8	
H'FFE6 1934	（使用禁止領域）			RCR2D8	
H'FFE6 1938	（使用禁止領域）				
H'FFE6 193C	（使用禁止領域）				
H'FFE6 1940	OCR1D80				
H'FFE6 1944	（使用禁止領域）				
H'FFE6 1948	OCR2D80				
H'FFE6 194C	（使用禁止領域）				
H'FFE6 1950	ICR1D80				
H'FFE6 1954	ICR2D80				
H'FFE6 1958	DCNTD80				
H'FFE6 195C	（使用禁止領域）				
H'FFE6 1960	OCR1D81				
H'FFE6 1964	（使用禁止領域）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 1968	OCR2D81				
H'FFE6 196C	（使用禁止領域）				
H'FFE6 1970	ICR1D81				
H'FFE6 1974	ICR2D81				
H'FFE6 1978	DCNTD81				
H'FFE6 197C	（使用禁止領域）				
H'FFE6 1980	OCR1D82				
H'FFE6 1984	（使用禁止領域）				
H'FFE6 1988	OCR2D82				
H'FFE6 198C	（使用禁止領域）				
H'FFE6 1990	ICR1D82				
H'FFE6 1994	ICR2D82				
H'FFE6 1998	DCNTD82				
H'FFE6 199C	（使用禁止領域）				
H'FFE6 19A0	OCR1D83				
H'FFE6 19A4	（使用禁止領域）				
H'FFE6 19A8	OCR2D83				
H'FFE6 19AC	（使用禁止領域）				
H'FFE6 19B0	ICR1D83				
H'FFE6 19B4	ICR2D83				
H'FFE6 19B8	DCNTD83				
H'FFE6 19BC	（使用禁止領域）				
H'FFE6 19C0	（使用禁止領域）				
～					
H'FFE6 19FC					
H'FFE6 1A00	DCRD9		TCRD9		D9
H'FFE6 1A04	TIOR2D9		TIOR1D9		
H'FFE6 1A08	DSR2D9	DSR1D9	DSCRD9	DSTRD9	
H'FFE6 1A0C	TSCRD9		TSRD9		
H'FFE6 1A10	（使用禁止領域）	ODRD9	OSELRD9	TOCRD9	
H'FFE6 1A14	（使用禁止領域）			TICTSELD9	
H'FFE6 1A18	OSBRD9				
H'FFE6 1A1C	（使用禁止領域）				
H'FFE6 1A20	TCNT1D9				
H'FFE6 1A24	TCNT2D9				
H'FFE6 1A28	CUCR1D9				
H'FFE6 1A2C	CUCR2D9				
H'FFE6 1A30	（使用禁止領域）			RCR1D9	
H'FFE6 1A34	（使用禁止領域）			RCR2D9	
H'FFE6 1A38	（使用禁止領域）				
H'FFE6 1A3C	（使用禁止領域）				
H'FFE6 1A40	OCR1D90				
H'FFE6 1A44	（使用禁止領域）				
H'FFE6 1A48	OCR2D90				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 1A4C	（使用禁止領域）				
H'FFE6 1A50	ICR1D90				
H'FFE6 1A54	ICR2D90				
H'FFE6 1A58	DCNTD90				
H'FFE6 1A5C	（使用禁止領域）				
H'FFE6 1A60	OCR1D91				
H'FFE6 1A64	（使用禁止領域）				
H'FFE6 1A68	OCR2D91				
H'FFE6 1A6C	（使用禁止領域）				
H'FFE6 1A70	ICR1D91				
H'FFE6 1A74	ICR2D91				
H'FFE6 1A78	DCNTD91				
H'FFE6 1A7C	（使用禁止領域）				
H'FFE6 1A80	OCR1D92				
H'FFE6 1A84	（使用禁止領域）				
H'FFE6 1A88	OCR2D92				
H'FFE6 1A8C	（使用禁止領域）				
H'FFE6 1A90	ICR1D92				
H'FFE6 1A94	ICR2D92				
H'FFE6 1A98	DCNTD92				
H'FFE6 1A9C	（使用禁止領域）				
H'FFE6 1AA0	OCR1D93				
H'FFE6 1AA4	（使用禁止領域）				
H'FFE6 1AA8	OCR2D93				
H'FFE6 1AAC	（使用禁止領域）				
H'FFE6 1AB0	ICR1D93				
H'FFE6 1AB4	ICR2D93				
H'FFE6 1AB8	DCNTD93				
H'FFE6 1ABC	（使用禁止領域）				
H'FFE6 1AC0	（使用禁止領域）				
～					
H'FFE6 1FFC					

タイマ E 関連レジスタ（0xFFE6 2000 ～ 0xFFE6 2FFF）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 2000	（使用禁止領域）			TSTRE	E 共通
H'FFE6 2004 ～ H'FFE6 20FC	（使用禁止領域）				
H'FFE6 2100	（使用禁止領域）			SSTRE0	E0
H'FFE6 2104	（使用禁止領域）			PSCRE0	
H'FFE6 2108	（使用禁止領域）	RLDCRE0	（使用禁止領域）	TCRE0	
H'FFE6 210C	（使用禁止領域）	SOLVLE0	POECRE0		
H'FFE6 2110	TSCRE0		TSRE0		
H'FFE6 2114	TIERE0		（使用禁止領域）	TOCRE0	
H'FFE6 2118	PSCCRE03	PSCCRE02	PSCCRE01	PSCCRE00	
H'FFE6 211C	（使用禁止領域）				
H'FFE6 2120	（使用禁止領域）				
H'FFE6 2124	TCNTE00				
H'FFE6 2128	CYLRE00				
H'FFE6 212C	DTRE00				
H'FFE6 2130	CRLDE00				
H'FFE6 2134	DRLDE00				
H'FFE6 2138	（使用禁止領域）				
H'FFE6 213C	（使用禁止領域）				
H'FFE6 2140	（使用禁止領域）				
H'FFE6 2144	TCNTE01				
H'FFE6 2148	CYLRE01				
H'FFE6 214C	DTRE01				
H'FFE6 2150	CRLDE01				
H'FFE6 2154	DRLDE01				
H'FFE6 2158	（使用禁止領域）				
H'FFE6 215C	（使用禁止領域）				
H'FFE6 2160	（使用禁止領域）				
H'FFE6 2164	TCNTE02				
H'FFE6 2168	CYLRE02				
H'FFE6 216C	DTRE02				
H'FFE6 2170	CRLDE02				
H'FFE6 2174	DRLDE02				
H'FFE6 2178	（使用禁止領域）				
H'FFE6 217C	（使用禁止領域）				
H'FFE6 2180	（使用禁止領域）				
H'FFE6 2184	TCNTE03				
H'FFE6 2188	CYLRE03				
H'FFE6 218C	DTRE03				
H'FFE6 2190	CRLDE03				
H'FFE6 2194	DRLDE03				
H'FFE6 2198	（使用禁止領域）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 219C	（使用禁止領域）				
H’FFE6 21A0	（使用禁止領域）				
～					
H’FFE6 21FC					
H’FFE6 2200	（使用禁止領域）			SSTRE1	E1
H’FFE6 2204	（使用禁止領域）			PSCRE1	
H’FFE6 2208	（使用禁止領域）	RLDCRE1	（使用禁止領域）	TCRE1	
H’FFE6 220C	（使用禁止領域）	SOLVLE1	POECRE1		
H’FFE6 2210	TSCRE1		TSRE1		
H’FFE6 2214	TIERE1		（使用禁止領域）	TOCRE1	
H’FFE6 2218	PSCCRE13	PSCCRE12	PSCCRE11	PSCCRE10	
H’FFE6 221C	（使用禁止領域）				
H’FFE6 2220	（使用禁止領域）				
H’FFE6 2224	TCNTE10				
H’FFE6 2228	CYLRE10				
H’FFE6 222C	DTRE10				
H’FFE6 2230	CRLDE10				
H’FFE6 2234	DRLDE10				
H’FFE6 2238	（使用禁止領域）				
H’FFE6 223C	（使用禁止領域）				
H’FFE6 2240	（使用禁止領域）				
H’FFE6 2244	TCNTE11				
H’FFE6 2248	CYLRE11				
H’FFE6 224C	DTRE11				
H’FFE6 2250	CRLDE11				
H’FFE6 2254	DRLDE11				
H’FFE6 2258	（使用禁止領域）				
H’FFE6 225C	（使用禁止領域）				
H’FFE6 2260	（使用禁止領域）				
H’FFE6 2264	TCNTE12				
H’FFE6 2268	CYLRE12				
H’FFE6 226C	DTRE12				
H’FFE6 2270	CRLDE12				
H’FFE6 2274	DRLDE12				
H’FFE6 2278	（使用禁止領域）				
H’FFE6 227C	（使用禁止領域）				
H’FFE6 2280	（使用禁止領域）				
H’FFE6 2284	TCNTE13				
H’FFE6 2288	CYLRE13				
H’FFE6 228C	DTRE13				
H’FFE6 2290	CRLDE13				
H’FFE6 2294	DRLDE13				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 2298	（使用禁止領域）				
～					
H’FFE6 22FC					
H’FFE6 2300	（使用禁止領域）			SSTRE2	E2
H’FFE6 2304	（使用禁止領域）			PSCRE2	
H’FFE6 2308	（使用禁止領域）	RLDCRE2	（使用禁止領域）	TCRE2	
H’FFE6 230C	（使用禁止領域）	SOLVLE2	POECRE2		
H’FFE6 2310	TSCRE2		TSRE2		
H’FFE6 2314	TIERE2		（使用禁止領域）	TOCRE2	
H’FFE6 2318	PSCCRE23	PSCCRE22	PSCCRE21	PSCCRE20	
H’FFE6 231C	（使用禁止領域）				
H’FFE6 2320	（使用禁止領域）				
H’FFE6 2324	TCNTE20				
H’FFE6 2328	CYLRE20				
H’FFE6 232C	DTRE20				
H’FFE6 2330	CRLDE20				
H’FFE6 2334	DRLDE20				
H’FFE6 2338	（使用禁止領域）				
H’FFE6 233C	（使用禁止領域）				
H’FFE6 2340	（使用禁止領域）				
H’FFE6 2344	TCNTE21				
H’FFE6 2348	CYLRE21				
H’FFE6 234C	DTRE21				
H’FFE6 2350	CRLDE21				
H’FFE6 2354	DRLDE21				
H’FFE6 2358	（使用禁止領域）				
H’FFE6 235C	（使用禁止領域）				
H’FFE6 2360	（使用禁止領域）				
H’FFE6 2364	TCNTE22				
H’FFE6 2368	CYLRE22				
H’FFE6 236C	DTRE22				
H’FFE6 2370	CRLDE22				
H’FFE6 2374	DRLDE22				
H’FFE6 2378	（使用禁止領域）				
H’FFE6 237C	（使用禁止領域）				
H’FFE6 2380	（使用禁止領域）				
H’FFE6 2384	TCNTE23				
H’FFE6 2388	CYLRE23				
H’FFE6 238C	DTRE23				
H’FFE6 2390	CRLDE23				
H’FFE6 2394	DRLDE23				
H’FFE6 2398	（使用禁止領域）				
H’FFE6 239C	（使用禁止領域）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 23A0	（使用禁止領域）				
～					
H’FFE6 23FC					
H’FFE6 2400	（使用禁止領域）			SSTRE3	E3
H’FFE6 2404	（使用禁止領域）			PSCRE3	
H’FFE6 2408	（使用禁止領域）	RLDCRE3	（使用禁止領域）	TCRE3	
H’FFE6 240C	（使用禁止領域）	SOLVLE3	POECRE3		
H’FFE6 2410	TSCRE3		TSRE3		
H’FFE6 2414	TIERE3		（使用禁止領域）	TOCRE3	
H’FFE6 2418	PSCCRE33	PSCCRE32	PSCCRE31	PSCCRE30	
H’FFE6 241C	（使用禁止領域）				
H’FFE6 2420	（使用禁止領域）				
H’FFE6 2424	TCNTE30				
H’FFE6 2428	CYLRE30				
H’FFE6 242C	DTRE30				
H’FFE6 2430	CRLDE30				
H’FFE6 2434	DRLDE30				
H’FFE6 2438	（使用禁止領域）				
H’FFE6 243C	（使用禁止領域）				
H’FFE6 2440	（使用禁止領域）				
H’FFE6 2444	TCNTE31				
H’FFE6 2448	CYLRE31				
H’FFE6 244C	DTRE31				
H’FFE6 2450	CRLDE31				
H’FFE6 2454	DRLDE31				
H’FFE6 2458	（使用禁止領域）				
H’FFE6 245C	（使用禁止領域）				
H’FFE6 2460	（使用禁止領域）				
H’FFE6 2464	TCNTE32				
H’FFE6 2468	CYLRE32				
H’FFE6 246C	DTRE32				
H’FFE6 2470	CRLDE32				
H’FFE6 2474	DRLDE32				
H’FFE6 2478	（使用禁止領域）				
H’FFE6 247C	（使用禁止領域）				
H’FFE6 2480	（使用禁止領域）				
H’FFE6 2484	TCNTE33				
H’FFE6 2488	CYLRE33				
H’FFE6 248C	DTRE33				
H’FFE6 2490	CRLDE33				
H’FFE6 2494	DRLDE33				
H’FFE6 2498	（使用禁止領域）				
H’FFE6 249C	（使用禁止領域）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 24A0	（使用禁止領域）				
～					
H’FFE6 24FC					
H’FFE6 2500	（使用禁止領域）			SSTRE4	E4
H’FFE6 2504	（使用禁止領域）			PSCRE4	
H’FFE6 2508	（使用禁止領域）	RLDCRE4	（使用禁止領域）	TCRE4	
H’FFE6 250C	（使用禁止領域）	SOLVLE4	POECRE4		
H’FFE6 2510	TSCRE4		TSRE4		
H’FFE6 2514	TIERE4		（使用禁止領域）	TOCRE4	
H’FFE6 2518	PSCCRE43	PSCCRE42	PSCCRE41	PSCCRE40	
H’FFE6 251C	（使用禁止領域）				
H’FFE6 2520	（使用禁止領域）				
H’FFE6 2524	TCNTE40				
H’FFE6 2528	CYLRE40				
H’FFE6 252C	DTRE40				
H’FFE6 2530	CRLDE40				
H’FFE6 2534	DRLDE40				
H’FFE6 2538	（使用禁止領域）				
H’FFE6 253C	（使用禁止領域）				
H’FFE6 2540	（使用禁止領域）				
H’FFE6 2544	TCNTE41				
H’FFE6 2548	CYLRE41				
H’FFE6 254C	DTRE41				
H’FFE6 2550	CRLDE41				
H’FFE6 2554	DRLDE41				
H’FFE6 2558	（使用禁止領域）				
H’FFE6 255C	（使用禁止領域）				
H’FFE6 2560	（使用禁止領域）				
H’FFE6 2564	TCNTE42				
H’FFE6 2568	CYLRE42				
H’FFE6 256C	DTRE42				
H’FFE6 2570	CRLDE42				
H’FFE6 2574	DRLDE42				
H’FFE6 2578	（使用禁止領域）				
H’FFE6 257C	（使用禁止領域）				
H’FFE6 2580	（使用禁止領域）				
H’FFE6 2584	TCNTE43				
H’FFE6 2588	CYLRE43				
H’FFE6 258C	DTRE43				
H’FFE6 2590	CRLDE43				
H’FFE6 2594	DRLDE43				
H’FFE6 2598	（使用禁止領域）				
H’FFE6 259C	（使用禁止領域）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 25A0	（使用禁止領域）				
～					
H’FFE6 25FC					
H’FFE6 2600	（使用禁止領域）			SSTRE5	E5
H’FFE6 2604	（使用禁止領域）			PSCRE5	
H’FFE6 2608	（使用禁止領域）	RLDCRE5	（使用禁止領域）	TCRE5	
H’FFE6 260C	（使用禁止領域）	SOLVLE5	POECRE5		
H’FFE6 2610	TSCRE5		TSRE5		
H’FFE6 2614	TIERE5		（使用禁止領域）	TOCRE5	
H’FFE6 2618	PSCCRE53	PSCCRE52	PSCCRE51	PSCCRE50	
H’FFE6 261C	（使用禁止領域）				
H’FFE6 2620	（使用禁止領域）				
H’FFE6 2624	TCNTE50				
H’FFE6 2628	CYLRE50				
H’FFE6 262C	DTRE50				
H’FFE6 2630	CRLDE50				
H’FFE6 2634	DRLDE50				
H’FFE6 2638	（使用禁止領域）				
H’FFE6 263C	（使用禁止領域）				
H’FFE6 2640	（使用禁止領域）				
H’FFE6 2644	TCNTE51				
H’FFE6 2648	CYLRE51				
H’FFE6 264C	DTRE51				
H’FFE6 2650	CRLDE51				
H’FFE6 2654	DRLDE51				
H’FFE6 2658	（使用禁止領域）				
H’FFE6 265C	（使用禁止領域）				
H’FFE6 2660	（使用禁止領域）				
H’FFE6 2664	TCNTE52				
H’FFE6 2668	CYLRE52				
H’FFE6 266C	DTRE52				
H’FFE6 2670	CRLDE52				
H’FFE6 2674	DRLDE52				
H’FFE6 2678	（使用禁止領域）				
H’FFE6 267C	（使用禁止領域）				
H’FFE6 2680	（使用禁止領域）				
H’FFE6 2684	TCNTE53				
H’FFE6 2688	CYLRE53				
H’FFE6 268C	DTRE53				
H’FFE6 2690	CRLDE53				
H’FFE6 2694	DRLDE53				
H’FFE6 2698	（使用禁止領域）				
H’FFE6 269C	（使用禁止領域）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 26A0	（使用禁止領域）				
～					
H’FFE6 26FC					
H’FFE6 2700	（使用禁止領域）			SSTRE6	E6
H’FFE6 2704	（使用禁止領域）			PSCRE6	
H’FFE6 2708	（使用禁止領域）	RLDCRE6	（使用禁止領域）	TCRE6	
H’FFE6 270C	（使用禁止領域）	SOLVLE6	POECRE6		
H’FFE6 2710	TSCRE6		TSRE6		
H’FFE6 2714	TIERE6		（使用禁止領域）	TOCRE6	
H’FFE6 2718	PSCCRE63	PSCCRE62	PSCCRE61	PSCCRE60	
H’FFE6 271C	（使用禁止領域）				
H’FFE6 2720	（使用禁止領域）				
H’FFE6 2724	TCNTE60				
H’FFE6 2728	CYLRE60				
H’FFE6 272C	DTRE60				
H’FFE6 2730	CRLDE60				
H’FFE6 2734	DRLDE60				
H’FFE6 2738	（使用禁止領域）				
H’FFE6 273C	（使用禁止領域）				
H’FFE6 2740	（使用禁止領域）				
H’FFE6 2744	TCNTE61				
H’FFE6 2748	CYLRE61				
H’FFE6 274C	DTRE61				
H’FFE6 2750	CRLDE61				
H’FFE6 2754	DRLDE61				
H’FFE6 2758	（使用禁止領域）				
H’FFE6 275C	（使用禁止領域）				
H’FFE6 2760	（使用禁止領域）				
H’FFE6 2764	TCNTE62				
H’FFE6 2768	CYLRE62				
H’FFE6 276C	DTRE62				
H’FFE6 2770	CRLDE62				
H’FFE6 2774	DRLDE62				
H’FFE6 2778	（使用禁止領域）				
H’FFE6 277C	（使用禁止領域）				
H’FFE6 2780	（使用禁止領域）				
H’FFE6 2784	TCNTE63				
H’FFE6 2788	CYLRE63				
H’FFE6 278C	DTRE63				
H’FFE6 2790	CRLDE63				
H’FFE6 2794	DRLDE63				
H’FFE6 2798	（使用禁止領域）				
H’FFE6 279C	（使用禁止領域）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 27A0 ～ H’FFE6 2FFC	（使用禁止領域）				

タイマ F 関連レジスタ（0xH’FFE6 3000 ～ 0xH’FFE6 38FC）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 3000	（使用禁止領域）		TSTRF		F 共通
H’FFE6 3004	（使用禁止領域）		NCMCR1F		
H’FFE6 3008	（使用禁止領域）		NCMCR2F		
H’FFE6 300C	（使用禁止領域）		NCCRF		
H’FFE6 3010	（使用禁止領域）		PVFCRF		
H’FFE6 3014 ～ H’FFE6 303C	（使用禁止領域）				
H’FFE6 3040	（使用禁止領域）	TCR2F0	（使用禁止領域）	TCR1F0	F0
H’FFE6 3044	TIERF0	TSCRF0	TSRF0	BKCRF0	
H’FFE6 3048	NCRFA0		NCNTFA0		
H’FFE6 304C	NCRFB0		NCNTFB0		
H’FFE6 3050	ECNTAF0				
H’FFE6 3054	GRAF0				
H’FFE6 3058	（使用禁止領域）		ECNTBF0		
H’FFE6 305C	（使用禁止領域）		GRBF0		
H’FFE6 3060	ECNTCF0				
H’FFE6 3064	GRCF0（ARSWCF0 = “0” のとき） BGRCF0（ARSWCF0 = “1” のとき）				
H’FFE6 3068	GRDF0				
H’FFE6 306C	CDRF0				
H’FFE6 3070	（使用禁止領域）				
H’FFE6 3074	（使用禁止領域）				
H’FFE6 3078	（使用禁止領域）				
H’FFE6 307C	（使用禁止領域）				
H’FFE6 3080	（使用禁止領域）	TCR2F1	（使用禁止領域）	TCR1F1	F1
H’FFE6 3084	TIERF1	TSCRF1	TSRF1	BKCRF1	
H’FFE6 3088	NCRFA1		NCNTFA1		
H’FFE6 308C	NCRFB1		NCNTFB1		
H’FFE6 3090	ECNTAF1				
H’FFE6 3094	GRAF1				
H’FFE6 3098	（使用禁止領域）		ECNTBF1		
H’FFE6 309C	（使用禁止領域）		GRBF1		
H’FFE6 30A0	ECNTCF1				
H’FFE6 30A4	GRCF1（ARSWCF1 = “0” のとき） BGRCF1（ARSWCF1 = “1” のとき）				
H’FFE6 30A8	GRDF1				
H’FFE6 30AC	CDRF1				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 30B0	（使用禁止領域）				
H’FFE6 30B4	（使用禁止領域）				
H’FFE6 30B8	（使用禁止領域）				
H’FFE6 30BC	（使用禁止領域）				
H’FFE6 30C0	（使用禁止領域）	TCR2F2	（使用禁止領域）	TCR1F2	F2
H’FFE6 30C4	TIERF2	TSCRF2	TSRF2	BKCRF2	
H’FFE6 30C8	NCRFA2		NCNTFA2		
H’FFE6 30CC	NCRFB2		NCNTFB2		
H’FFE6 30D0	ECNTAF2				
H’FFE6 30D4	GRAF2				
H’FFE6 30D8	（使用禁止領域）		ECNTBF2		
H’FFE6 30DC	（使用禁止領域）		GRBF2		
H’FFE6 30E0	ECNTCF2				
H’FFE6 30E4	GRCF2（ARSWCF2 = “0” のとき） BGRCF2（ARSWCF2 = “1” のとき）				
H’FFE6 30E8	GRDF2				
H’FFE6 30EC	CDRF2				
H’FFE6 30F0	（使用禁止領域）				
H’FFE6 30F4	（使用禁止領域）				
H’FFE6 30F8	（使用禁止領域）				
H’FFE6 30FC	（使用禁止領域）				
H’FFE6 3100	（使用禁止領域）	TCR2F3	（使用禁止領域）	TCR1F3	F3
H’FFE6 3104	TIERF3	TSCRF3	TSRF3	BKCRF3	
H’FFE6 3108	NCRFA3		NCNTFA3		
H’FFE6 310C	（使用禁止領域）				
H’FFE6 3110	ECNTAF3				
H’FFE6 3114	GRAF3（ARSWAF3 = “0” のとき） BGRAF3（ARSWAF3 = “1” のとき）				
H’FFE6 3118	（使用禁止領域）		ECNTBF3		
H’FFE6 311C	（使用禁止領域）		GRBF3		
H’FFE6 3120	ECNTCF3				
H’FFE6 3124	GRCF3（ARSWCF3 = “0” のとき） BGRCF3（ARSWCF3 = “1” のとき）				
H’FFE6 3128	GRDF3 （ARSWDF3 = “0” のとき） BGRDF3（ARSWDF3 = “1” のとき）				
H’FFE6 312C	CDRF3				
H’FFE6 3130	（使用禁止領域）				
H’FFE6 3134	（使用禁止領域）				
H’FFE6 3138	（使用禁止領域）				
H’FFE6 313C	（使用禁止領域）				
H’FFE6 3140	（使用禁止領域）	TCR2F4	（使用禁止領域）	TCR1F4	F4
H’FFE6 3144	TIERF4	TSCRF4	TSRF4	BKCRF4	
H’FFE6 3148	NCRFA4		NCNTFA4		
H’FFE6 314C	（使用禁止領域）				
H’FFE6 3150	ECNTAF4				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 3154	GRAF4（ARSWAF4 = "0" のとき） BGRAF4（ARSWAF4 = "1" のとき）				
H'FFE6 3158	（使用禁止領域）		ECNTBF4		
H'FFE6 315C	（使用禁止領域）		GRBF4		
H'FFE6 3160	ECNTCF4				
H'FFE6 3164	GRCF4（ARSWCF4 = "0" のとき） BGRCF4（ARSWCF4 = "1" のとき）				
H'FFE6 3168	GRDF4 （ARSWDF4 = "0" のとき） BGRDF4（ARSWDF4 = "1" のとき）				
H'FFE6 316C	CDRF4				
H'FFE6 3170	（使用禁止領域）				
H'FFE6 3174	（使用禁止領域）				
H'FFE6 3178	（使用禁止領域）				
H'FFE6 317C	（使用禁止領域）				
H'FFE6 3180	（使用禁止領域）	TCR2F5	（使用禁止領域）	TCR1F5	F5
H'FFE6 3184	TIERF5	TSCRF5	TSRF5	BKCRF5	
H'FFE6 3188	NCRFA5		NCNTFA5		
H'FFE6 318C	（使用禁止領域）				
H'FFE6 3190	ECNTAF5				
H'FFE6 3194	GRAF5（ARSWAF5 = "0" のとき） BGRAF5（ARSWAF5 = "1" のとき）				
H'FFE6 3198	（使用禁止領域）		ECNTBF5		
H'FFE6 319C	（使用禁止領域）		GRBF5		
H'FFE6 31A0	ECNTCF5				
H'FFE6 31A4	GRCF5（ARSWCF5 = "0" のとき） BGRCF5（ARSWCF5 = "1" のとき）				
H'FFE6 31A8	GRDF5 （ARSWDF5 = "0" のとき） BGRDF5（ARSWDF5 = "1" のとき）				
H'FFE6 31AC	CDRF5				
H'FFE6 31B0	（使用禁止領域）				
H'FFE6 31B4	（使用禁止領域）				
H'FFE6 31B8	（使用禁止領域）				
H'FFE6 31BC	（使用禁止領域）				
H'FFE6 31C0	（使用禁止領域）	TCR2F6	（使用禁止領域）	TCR1F6	F6
H'FFE6 31C4	TIERF6	TSCRF6	TSRF6	BKCRF6	
H'FFE6 31C8	NCRFA6		NCNTFA6		
H'FFE6 31CC	（使用禁止領域）				
H'FFE6 31D0	ECNTAF6				
H'FFE6 31D4	GRAF6（ARSWAF6 = "0" のとき） BGRAF6（ARSWAF6 = "1" のとき）				
H'FFE6 31D8	（使用禁止領域）		ECNTBF6		
H'FFE6 31DC	（使用禁止領域）		GRBF6		
H'FFE6 31E0	ECNTCF6				
H'FFE6 31E4	GRCF6（ARSWCF6 = "0" のとき） BGRCF6（ARSWCF6 = "1" のとき）				
H'FFE6 31E8	GRDF6 （ARSWDF6 = "0" のとき） BGRDF6（ARSWDF6 = "1" のとき）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 31EC	CDRF6				
H'FFE6 31F0	（使用禁止領域）				
H'FFE6 31F4	（使用禁止領域）				
H'FFE6 31F8	（使用禁止領域）				
H'FFE6 31FC	（使用禁止領域）				
H'FFE6 3200	（使用禁止領域）	TCR2F7	（使用禁止領域）	TCR1F7	F7
H'FFE6 3204	TIERF7	TSCRF7	TSRF7	BKCRF7	
H'FFE6 3208	NCRFA7		NCNTFA7		
H'FFE6 320C	（使用禁止領域）				
H'FFE6 3210	ECNTAF7				
H'FFE6 3214	GRAF7（ARSWAF7 = “0” のとき） BGRAF7（ARSWAF7 = “1” のとき）				
H'FFE6 3218	（使用禁止領域）		ECNTBF7		
H'FFE6 321C	（使用禁止領域）		GRBF7		
H'FFE6 3220	ECNTCF7				
H'FFE6 3224	GRCF7（ARSWCF7 = “0” のとき） BGRCF7（ARSWCF7 = “1” のとき）				
H'FFE6 3228	GRDF7 （ARSWDF7 = “0” のとき） BGRDF7（ARSWDF7 = “1” のとき）				
H'FFE6 322C	CDRF7				
H'FFE6 3230	（使用禁止領域）				
H'FFE6 3234	（使用禁止領域）				
H'FFE6 3238	（使用禁止領域）				
H'FFE6 323C	（使用禁止領域）				
H'FFE6 3240	（使用禁止領域）	TCR2F8	（使用禁止領域）	TCR1F8	F8
H'FFE6 3244	TIERF8	TSCRF8	TSRF8	BKCRF8	
H'FFE6 3248	NCRFA8		NCNTFA8		
H'FFE6 324C	（使用禁止領域）				
H'FFE6 3250	ECNTAF8				
H'FFE6 3254	GRAF8（ARSWAF8 = “0” のとき） BGRAF8（ARSWAF8 = “1” のとき）				
H'FFE6 3258	（使用禁止領域）		ECNTBF8		
H'FFE6 325C	（使用禁止領域）		GRBF8		
H'FFE6 3260	ECNTCF8				
H'FFE6 3264	GRCF8（ARSWCF8 = “0” のとき） BGRCF8（ARSWCF8 = “1” のとき）				
H'FFE6 3268	GRDF8 （ARSWDF8 = “0” のとき） BGRDF8（ARSWDF8 = “1” のとき）				
H'FFE6 326C	CDRF8				
H'FFE6 3270	（使用禁止領域）				
H'FFE6 3274	（使用禁止領域）				
H'FFE6 3278	（使用禁止領域）				
H'FFE6 327C	（使用禁止領域）				
H'FFE6 3280	（使用禁止領域）	TCR2F9	（使用禁止領域）	TCR1F9	F9
H'FFE6 3284	TIERF9	TSCRF9	TSRF9	BKCRF9	
H'FFE6 3288	NCRFA9		NCNTFA9		

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 328C	（使用禁止領域）				
H’FFE6 3290	ECNTAF9				
H’FFE6 3294	GRAF9（ARSWAF9 = “0” のとき） BGRAF9（ARSWAF9 = “1” のとき）				
H’FFE6 3298	（使用禁止領域）		ECNTBF9		
H’FFE6 329C	（使用禁止領域）		GRBF9		
H’FFE6 32A0	ECNTCF9				
H’FFE6 32A4	GRCF9（ARSWCF9 = “0” のとき） BGRCF9（ARSWCF9 = “1” のとき）				
H’FFE6 32A8	GRDF9 （ARSWDF9 = “0” のとき） BGRDF9（ARSWDF9 = “1” のとき）				
H’FFE6 32AC	CDRF9				
H’FFE6 32B0	（使用禁止領域）				
H’FFE6 32B4	（使用禁止領域）				
H’FFE6 32B8	（使用禁止領域）				
H’FFE6 32BC	（使用禁止領域）				
H’FFE6 32C0	（使用禁止領域）	TCR2F10	（使用禁止領域）	TCR1F10	F10
H’FFE6 32C4	TIERF10	TSCRF10	TSRF10	BKCRF10	
H’FFE6 32C8	NCRFA10		NCNTFA10		
H’FFE6 32CC	（使用禁止領域）				
H’FFE6 32D0	ECNTAF10				
H’FFE6 32D4	GRAF10（ARSWAF10 = “0” のとき） BGRAF10（ARSWAF10 = “1” のとき）				
H’FFE6 32D8	（使用禁止領域）		ECNTBF10		
H’FFE6 32DC	（使用禁止領域）		GRBF10		
H’FFE6 32E0	ECNTCF10				
H’FFE6 32E4	GRCF10（ARSWCF10 = “0” のとき） BGRCF10（ARSWCF10 = “1” のとき）				
H’FFE6 32E8	GRDF10 （ARSWDF10 = “0” のとき） BGRDF10（ARSWDF10 = “1” のとき）				
H’FFE6 32EC	CDRF10				
H’FFE6 32F0	（使用禁止領域）				
H’FFE6 32F4	（使用禁止領域）				
H’FFE6 32F8	（使用禁止領域）				
H’FFE6 32FC	（使用禁止領域）				
H’FFE6 3300	（使用禁止領域）	TCR2F11	（使用禁止領域）	TCR1F11	F11
H’FFE6 3304	TIERF11	TSCRF11	TSRF11	BKCRF11	
H’FFE6 3308	NCRFA11		NCNTFA11		
H’FFE6 330C	（使用禁止領域）				
H’FFE6 3310	ECNTAF11				
H’FFE6 3314	GRAF11（ARSWAF11 = “0” のとき） BGRAF11（ARSWAF11 = “1” のとき）				
H’FFE6 3318	（使用禁止領域）		ECNTBF11		
H’FFE6 331C	（使用禁止領域）		GRBF11		
H’FFE6 3320	ECNTCF11				
H’FFE6 3324	GRCF11（ARSWCF11 = “0” のとき） BGRCF11（ARSWCF11 = “1” のとき）				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 3328	GRDF11 （ARSWDF11 = "0" のとき） BGRDF11（ARSWDF11 = "1" のとき）				
H'FFE6 332C	CDRF11				
H'FFE6 3330	（使用禁止領域）				
H'FFE6 3334	（使用禁止領域）				
H'FFE6 3338	（使用禁止領域）				
H'FFE6 333C	（使用禁止領域）				
H'FFE6 3340	（使用禁止領域）	TCR2F12	（使用禁止領域）	TCR1F12	F12
H'FFE6 3344	TIERF12	TSCRF12	TSRF12	BKCRF12	
H'FFE6 3348	NCRFA12		NCNTFA12		
H'FFE6 334C	（使用禁止領域）				
H'FFE6 3350	ECNTAF12				
H'FFE6 3354	GRAF12（ARSWAF12 = "0" のとき） BGRAF12（ARSWAF12 = "1" のとき）				
H'FFE6 3358	（使用禁止領域）		ECNTBF12		
H'FFE6 335C	（使用禁止領域）		GRBF12		
H'FFE6 3360	ECNTCF12				
H'FFE6 3364	GRCF12（ARSWCF12 = "0" のとき） BGRCF12（ARSWCF12 = "1" のとき）				
H'FFE6 3368	GRDF12 （ARSWDF12 = "0" のとき） BGRDF12（ARSWDF12 = "1" のとき）				
H'FFE6 336C	CDRF12				
H'FFE6 3370	（使用禁止領域）				
H'FFE6 3374	（使用禁止領域）				
H'FFE6 3378	（使用禁止領域）				
H'FFE6 337C	（使用禁止領域）				
H'FFE6 3380	（使用禁止領域）	TCR2F13	（使用禁止領域）	TCR1F13	F13
H'FFE6 3384	TIERF13	TSCRF13	TSRF13	BKCRF13	
H'FFE6 3388	NCRFA13		NCNTFA13		
H'FFE6 338C	（使用禁止領域）				
H'FFE6 3390	ECNTAF13				
H'FFE6 3394	GRAF13（ARSWAF13 = "0" のとき） BGRAF13（ARSWAF13 = "1" のとき）				
H'FFE6 3398	（使用禁止領域）		ECNTBF13		
H'FFE6 339C	（使用禁止領域）		GRBF13		
H'FFE6 33A0	ECNTCF13				
H'FFE6 33A4	GRCF13（ARSWCF13 = "0" のとき） BGRCF13（ARSWCF13 = "1" のとき）				
H'FFE6 33A8	GRDF13 （ARSWDF13 = "0" のとき） BGRDF13（ARSWDF13 = "1" のとき）				
H'FFE6 33AC	CDRF13				
H'FFE6 33B0	（使用禁止領域）				
H'FFE6 33B4	（使用禁止領域）				
H'FFE6 33B8	（使用禁止領域）				
H'FFE6 33BC	（使用禁止領域）				
H'FFE6 33C0	（使用禁止領域）	TCR2F14	（使用禁止領域）	TCR1F14	F14
H'FFE6 33C4	TIERF14	TSCRF14	TSRF14	BKCRF14	

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H’FFE6 33C8	NCRFA14		NCNTFA14		
H’FFE6 33CC	（使用禁止領域）				
H’FFE6 33D0	ECNTAF14				
H’FFE6 33D4	GRAF14（ARSWAF14 = “0” のとき） BGRAF14（ARSWAF14 = “1” のとき）				
H’FFE6 33D8	（使用禁止領域）		ECNTBF14		
H’FFE6 33DC	（使用禁止領域）		GRBF14		
H’FFE6 33E0	ECNTCF14				
H’FFE6 33E4	GRCF14（ARSWCF14 = “0” のとき） BGRCF14（ARSWCF14 = “1” のとき）				
H’FFE6 33E8	GRDF14 （ARSWDF14 = “0” のとき） BGRDF14（ARSWDF14 = “1” のとき）				
H’FFE6 33EC	CDRF14				
H’FFE6 33F0	（使用禁止領域）				
H’FFE6 33F4	（使用禁止領域）				
H’FFE6 33F8	（使用禁止領域）				
H’FFE6 33FC	（使用禁止領域）				
H’FFE6 3400	（使用禁止領域）	TCR2F15	（使用禁止領域）	TCR1F15	F15
H’FFE6 3404	TIERF15	TSCRF15	TSRF15	BKCRF15	
H’FFE6 3408	NCRFA15		NCNTFA15		
H’FFE6 340C	（使用禁止領域）				
H’FFE6 3410	ECNTAF15				
H’FFE6 3414	GRAF15（ARSWAF15 = “0” のとき） BGRAF15（ARSWAF15 = “1” のとき）				
H’FFE6 3418	（使用禁止領域）		ECNTBF15		
H’FFE6 341C	（使用禁止領域）		GRBF15		
H’FFE6 3420	ECNTCF15				
H’FFE6 3424	GRCF15（ARSWCF15 = “0” のとき） BGRCF15（ARSWCF15 = “1” のとき）				
H’FFE6 3428	GRDF15 （ARSWDF15 = “0” のとき） BGRDF15（ARSWDF15 = “1” のとき）				
H’FFE6 342C	CDRF15				
H’FFE6 3430	（使用禁止領域）				
～					
H’FFE6 38FC					

タイマ G 関連レジスタ（0xFFE6 3900 ～ 0xFFE6 3BFF）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 3900	（使用禁止領域）		TSTRG		G 共通
H'FFE6 3904	（使用禁止領域）				
H'FFE6 3908	（使用禁止領域）				
H'FFE6 390C	（使用禁止領域）				
H'FFE6 3910	TSCRG0	TSRG0	（使用禁止領域）	TCRG0	G0
H'FFE6 3914	TCNTG0				
H'FFE6 3918	OCRG0				
H'FFE6 391C	（使用禁止領域）				
H'FFE6 3920	TSCRG1	TSRG1	（使用禁止領域）	TCRG1	G1
H'FFE6 3924	TCNTG1				
H'FFE6 3928	OCRG1				
H'FFE6 392C	（使用禁止領域）				
H'FFE6 3930	TSCRG2	TSRG2	（使用禁止領域）	TCRG2	G2
H'FFE6 3934	TCNTG2				
H'FFE6 3938	OCRG2				
H'FFE6 393C	（使用禁止領域）				
H'FFE6 3940	TSCRG3	TSRG3	（使用禁止領域）	TCRG3	G3
H'FFE6 3944	TCNTG3				
H'FFE6 3948	OCRG3				
H'FFE6 394C	（使用禁止領域）				
H'FFE6 3950	TSCRG4	TSRG4	（使用禁止領域）	TCRG4	G4
H'FFE6 3954	TCNTG4				
H'FFE6 3958	OCRG4				
H'FFE6 395C	（使用禁止領域）				
H'FFE6 3960	TSCRG5	TSRG5	（使用禁止領域）	TCRG5	G5
H'FFE6 3964	TCNTG5				
H'FFE6 3968	OCRG5				
H'FFE6 396C	（使用禁止領域）				
H'FFE6 3970	TSCRG6	TSRG6	（使用禁止領域）	TCRG6	G6
H'FFE6 3974	TCNTG6				
H'FFE6 3978	OCRG6				
H'FFE6 397C	（使用禁止領域）				
H'FFE6 3980	TSCRG7	TSRG7	（使用禁止領域）	TCRG7	G7
H'FFE6 3984	TCNTG7				
H'FFE6 3988	OCRG7				
H'FFE6 398C	（使用禁止領域）				
H'FFE6 3990	TSCRG8	TSRG8	（使用禁止領域）	TCRG8	G8
H'FFE6 3994	TCNTG8				
H'FFE6 3998	OCRG8				
H'FFE6 399C	（使用禁止領域）				
H'FFE6 39A0	TSCRG9	TSRG9	（使用禁止領域）	TCRG9	G9
H'FFE6 39A4	TCNTG9				
H'FFE6 39A8	OCRG9				

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 39AC	（使用禁止領域）				
H'FFE6 39B0	（使用禁止領域）				
～					
H'FFE6 3BFC					

タイマ H 関連レジスタ（0xFFE6 0100 ～ 0xFFE6 01FF）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 0100	TSCRH	TSRH	（使用禁止領域）	TCRH	H
H'FFE6 0104	OCR1H		TCNT1H		
H'FFE6 0108	TCNT2H				
H'FFE6 010C	（使用禁止領域）				
H'FFE6 0110	（使用禁止領域）				
～					
H'FFE6 01FC					

タイマ J 関連レジスタ（0xFFE6 3C00 ～ 0xFFE6 3FFF）

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 3C00	（使用禁止領域）			TSTRJ	J 共通
H'FFE6 3C04	（使用禁止領域）				
H'FFE6 3C08	（使用禁止領域）				
～					
H'FFE6 3C1C					
H'FFE6 3C20	TSCRJ0	TSRJ0	FCRJ0	TCRJ0	J0
H'FFE6 3C24	TCNTJ0				
H'FFE6 3C28	OCRJ0				
H'FFE6 3C2C	FIFOJ0				
H'FFE6 3C30	（使用禁止領域）			FDNRJ0	
H'FFE6 3C34	NCRJ0		NCNTJ0		
H'FFE6 3C38	（使用禁止領域）				
H'FFE6 3C3C	（使用禁止領域）				
H'FFE6 3C40	TSCRJ1	TSRJ1	FCRJ1	TCRJ1	J1
H'FFE6 3C44	TCNTJ1				
H'FFE6 3C48	OCRJ1				
H'FFE6 3C4C	FIFOJ1				
H'FFE6 3C50	（使用禁止領域）			FDNRJ1	
H'FFE6 3C54	NCRJ1		NCNTJ1		
H'FFE6 3C58	（使用禁止領域）				
H'FFE6 3C5C	（使用禁止領域）				
H'FFE6 3C60	TSCRJ2	TSRJ2	FCRJ2	TCRJ2	J2
H'FFE6 3C64	TCNTJ2				
H'FFE6 3C68	OCRJ2				
H'FFE6 3C6C	FIFOJ2				
H'FFE6 3C70	（使用禁止領域）			FDNRJ2	
H'FFE6 3C74	NCRJ2		NCNTJ2		
H'FFE6 3C78	（使用禁止領域）				
H'FFE6 3C7C	（使用禁止領域）				
H'FFE6 3C80	TSCRJ3	TSRJ3	FCRJ3	TCRJ3	J3
H'FFE6 3C84	TCNTJ3				
H'FFE6 3C88	OCRJ3				
H'FFE6 3C8C	FIFOJ3				
H'FFE6 3C90	（使用禁止領域）			FDNRJ3	
H'FFE6 3C94	NCRJ3		NCNTJ3		
H'FFE6 3C98	（使用禁止領域）				
H'FFE6 3C9C	（使用禁止領域）				
H'FFE6 3CA0	TSCRJ4	TSRJ4	FCRJ4	TCRJ4	J4
H'FFE6 3CA4	TCNTJ4				
H'FFE6 3CA8	OCRJ4				
H'FFE6 3CAC	FIFOJ4				
H'FFE6 3CB0	（使用禁止領域）			FDNRJ4	

番地	b31 +3 番地 b24	b23 +2 番地 b16	b15 +1 番地 b8	b7 +0 番地 b0	掲載ページ
H'FFE6 3CB4	NCRJ4		NCNTJ4		
H'FFE6 3CB8	（使用禁止領域）				
H'FFE6 3CBC	（使用禁止領域）				
H'FFE6 3CC0	TSCRJ5	TSRJ5	FCRJ5	TCRJ5	J5
H'FFE6 3CC4	TCNTJ5				
H'FFE6 3CC8	OCRJ5				
H'FFE6 3CCC	FIFOJ5				
H'FFE6 3CD0	（使用禁止領域）			FDNRJ5	
H'FFE6 3CD4	NCRJ5		NCNTJ5		
H'FFE6 3CD8	（使用禁止領域）				
H'FFE6 3CDC	（使用禁止領域）				
H'FFE6 3CE0	（使用禁止領域）				
～					
H'FFE6 3FFF					

22.1.3 ATU-IV 入出力信号一覧

共通制御部関連

ピン名	入出力	ビット数	機能説明
TCLKA	入力	1	クロックバス 4 への外部クロック入力
TCLKB	入力	1	クロックバス 5 への外部クロック入力

プリスケーラ関連

なし

タイマ A 関連

ピン名	入出力	ビット数	機能説明
TIA00 ～ TIA06	入力	7	タイマ A 各チャネルへのインプットキャプチャトリガ

タイマ B 関連

なし

タイマ C 関連

ピン名	入出力	ビット数	機能説明
TIOC00 - 03 ～ TIOC70 - 73	入出力	32	タイマ C（サブブロック C0 ～ C7 ／チャネル 0 ～ 3）へのインプットキャプチャトリガ、及びアウトプットコンペア出力

タイマ D 関連

ピン名	入出力	ビット数	機能説明
TOD00A - 03A ～ TOD90A - 93A 注 1	出力	40	タイマ D（サブブロック D0 ～ D9 ／チャネル 0 ～ 3）のコンペアマッチ出力
TOD00B - 03B ～ TOD90B - 93B 注 1	出力	40	タイマ D（サブブロック D0 ～ D9 ／チャネル 0 ～ 3）のワンショットパルス出力

注 1.　サブクロック D9 は AD、DFE 起動用であり、外部入出力端子はありません。

タイマ E 関連

ピン名	入出力	ビット数	機能説明
POE0 ～ POE5	入力	6	タイマ E（サブブロック E0 ～ E5）のシャットオフ入力 ※TIF0A ～ TIF2A、TIF0B ～ TIF2B と共用
TOE00 – 03 ～ TOE60 – 63	出力	28	タイマ E（サブブロック E0 ～ E6 ／チャネル 0 ～ 3）の PWM 出力

タイマ F 関連

ピン名	入出力	ビット数	機能説明
TIF0A ～ TIF2A TIF3 ～ TIF15	入力	16	タイマ F（サブブロック F0 ～ F15）へのイベント入力信号 TIF0A ～ TIF2A：サブブロック F0 ～ F2 入力端子 TIF3 ～ TIF15：サブブロック F3 ～ F15 用入力端子
TIF0B ～ TIF2B	入力	3	タイマ F（サブブロック F0 ～ F2）へのイベント入力信号

タイマ G 関連

なし

タイマ H 関連

なし

タイマ J 関連

ピン名	入出力	ビット数	機能説明
TIJ0 ～ TIJ5	入力	6	タイマ J 各サブブロックへのインプットキャプチャトリガ

22.1.4 クロック供給

ATU-IV のクロック供給を以下の表に示します。

ユニットクロック名	供給クロック名
Pϕ、PCLK、pclk	CLKC_LSB（非変調低速周辺クロック）

22.2 共通制御部

22.2.1 動作概要

共通制御部は ATU-IV モジュール全体に関わる動作を制御します。プリスケーラやタイマ A～タイマ J 各ブロックのタイマカウンタ動作許可／禁止の制御、クロックバスの制御がこれに該当します。

クロックバス

クロックバスは、タイマの各チャネルのカウントソースとなるクロック信号（カウンタイネーブル信号）を分配するためのものであり、7 本の信号線によって構成されています。各タイマカウンタのカウント動作は、内部周辺クロック（Pϕ）に同期して行われ、クロックバス上の信号が、これらカウンタに対するカウントイネーブル信号として作用します。

各クロックバスに入力可能な信号は以下のとおりです。

クロックバスビット番号	入力可能信号
6	タイマ B 出力（AGCKM2）
5	タイマ B 出力（アングルクロック）、または外部クロック入力 B（TCLKB）
4	外部クロック入力 A（TCLKA）
3	プリスケーラ 3 出力
2	プリスケーラ 2 出力
1	プリスケーラ 1 出力
0	プリスケーラ 0 出力

22.2.2 共通制御部関連レジスタ

22.2.2.1 ATUENR — ATU-IV マスタイネーブルレジスタ

アクセス 8 ビット／ 16 ビットアクセス可能

アドレス FFE6 0000_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TJE	THE	TGE	TFE	TEE	TDE	TCE	TBE	TAE	PSCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.2　ATUENR レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	—	何も配置されていません。“0” に固定してください。
9	TJE	タイマ J イネーブルビット 0：タイマ J のカウント動作を停止 1：タイマ J のカウント動作を許可
8	THE	タイマ H イネーブルビット 0：タイマ H のカウント動作を停止 1：タイマ H のカウント動作を許可
7	TGE	タイマ G イネーブルビット 0：タイマ G のカウント動作を停止 1：タイマ G のカウント動作を許可
6	TFE	タイマ F イネーブルビット 0：タイマ F のカウント動作を停止 1：タイマ F のカウント動作を許可
5	TEE	タイマ E イネーブルビット 0：タイマ E のカウント動作を停止 1：タイマ E のカウント動作を許可
4	TDE	タイマ D イネーブルビット 0：タイマ D のカウント動作を停止 1：タイマ D のカウント動作を許可
3	TCE	タイマ C イネーブルビット 0：タイマ C のカウント動作を停止 1：タイマ C のカウント動作を許可
2	TBE	タイマ B イネーブルビット 0：タイマ B のカウント動作を停止 1：タイマ B のカウント動作を許可
1	TAE	タイマ A イネーブルビット 0：タイマ A のカウント動作を停止 1：タイマ A のカウント動作を許可
0	PSCE	プリスケーライネーブルビット 0：プリスケーラのクロック生成を停止 1: プリスケーラのクロック生成を許可

ATU-IV コントロールレジスタは、16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは、ATU-IV モジュールに含まれる各ブロックの動作を制御します。対応するイネーブルビットがセットされている場合に、各ブロックは所定の動作を行います。対応するイネーブルヒットがクリアされている場合、これらのブロックは動作を行いません。ただし、イネーブルビットがクリアされている場合にも、これらのブロックの各レジスタをアクセスすることはできます。

複数のブロックのイネーブルビットを同時にセットすることで、これらのブロックの同期を採ることができます。

(1) TAE — タイマ A イネーブルビット

タイマ A ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを “1” にセットした場合、タイマ A のカウンタは動作します。このビットを “0” にクリアした場合、タイマ A のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

(2) TBE — タイマ B イネーブルビット

タイマ B ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを “1” にセットした場合、タイマ B のカウンタは動作します。このビットを “0” にクリアした場合、タイマ B のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

(3) TCE — タイマ C イネーブルビット

タイマ C ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを “1” にセットした場合、タイマ C のカウンタは動作します。このビットを “0” にクリアした場合、タイマ C のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

ただし、タイマ C スタートレジスタの対応ビットがセットされていない場合、TCE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(4) TDE — タイマ D イネーブルビット

タイマ D ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを “1” にセットした場合、タイマ D のカウンタは動作します。このビットを “0” にクリアした場合、タイマ D のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

ただし、タイマ D スタートレジスタの対応ビットがセットされていない場合、TDE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(5) TEE — タイマ E イネーブルビット

タイマ E ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを “1” にセットした場合、タイマ E のカウンタは動作します。このビットを “0” にクリアした場合、タイマ E のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

ただし、タイマ E スタートレジスタの対応ビットがセットされていない場合、TEE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(6) TFE — タイマ F イネーブルビット

タイマ F ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを “1” にセットした場合、タイマ F のカウンタは動作します。このビットを “0” にクリアした場合、タイマ F のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

ただし、タイマ F スタートレジスタの対応ビットがセットされていない場合、TFE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(7) TGE — タイマ G イネーブルビット

タイマ G ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを “1” にセットした場合、タイマ G のカウンタは動作します。このビットを “0” にクリアした場合、タイマ G のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

ただし、タイマ G スタートレジスタの対応ビットがセットされていない場合、TGE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(8) THE — タイマ H イネーブルビット

タイマ H ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを “1” にセットした場合、タイマ H のカウンタは動作します。このビットを “0” にクリアした場合、タイマ H のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

(9) TJE — タイマ J イネーブルビット

タイマ J ブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを “1” にセットした場合、タイマ J のカウンタは動作します。このビットを “0” にクリアした場合、タイマ J のカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

ただし、タイマ J スタートレジスタの対応ビットがセットされていない場合、TJE ビットがセットされても、そのサブブロックのカウンタは動作しません。

(10) PSCE — プリスケーライネーブルビット

プリスケーラブロックのカウンタを動作させるか、停止させるかを設定します。

このビットを “1” にセットした場合、プリスケーラのカウンタは動作します。このビットを “0” にクリアした場合、プリスケーラのカウンタは動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

22.2.2.2 CBCNT — クロックバスコントロールレジスタ

アクセス 8 ビットアクセス可能

アドレス FFE6 0002_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	CB4EG[1:0]		—	CB5SEL	CB5EG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 22.3 CBCNT レジスタの内容

ビット位置	ビット名	機能
7、6	—	何も配置されていません。“0” に固定してください。
5、4	CB4EG[1:0]	クロックバス 4 エッジセレクトフィールド クロックバス 4 に出力する外部クロック（TCLKA）のエッジを指定します 00：外部クロックのエッジ検出せず 01：外部クロックの立ち上がりエッジ 10：外部クロックの立ち下がりエッジ 11：外部クロックの立ち上がり／立ち下がりの両エッジ
3	—	何も配置されていません。“0” に固定してください。
2	CB5SEL	クロックバス 5 ソースセレクトビット クロックバス 5 に出力するクロックを指定します 0：外部クロック（TCLKB） 1：タイマ B 出力のアングルクロック
1、0	CB5EG[1:0]	クロックバス 5 エッジセレクトフィールド CB5S を “0” にクリアした場合に、クロックバス 5 に出力する外部クロックのエッジを指定します。 00：外部クロックのエッジ検出せず 01：外部クロックの立ち上がりエッジ 10：外部クロックの立ち下がりエッジ 11：外部クロックの立ち上がり／立ち下がりの両エッジ

クロックバスコントロールレジスタは、8 ビットの読み出し／書き込み可能なレジスタであり、クロックバスに供給するクロックソースの選択と、外部クロックを選択した場合のエッジを選択します。

(1) CB4EG[1:0] — クロックバス 4 エッジセレクトビット

クロックバス 4 に出力する外部クロック（TCLKA）のエッジを選択します。クロックバス 4 をカウントソースクロックとして指定したカウンタは、ここで選択したエッジでのみカウント動作を行います。

(2) CB5SEL — クロックバス 5 ソースセレクトビット

クロックバス 5 に出力するクロックソースを選択します。

(3) CB5EG[1:0]— クロックバス 5 エッジセレクトビット

クロックバス 5 に出力する外部クロック（TCLKB）のエッジを選択します。クロックバス 5 をカウントソースクロックとして指定したカウンタは、ここで選択したエッジでのみカウント動作を行います。

ただし、本ビットはクロックバス 5 ソースクロックに TCLKB を選択した場合にのみ有効です。ソースクロックにタイマ B 出力のアングルクロックを選択した場合、本ビットの設定は無視されます。

22.2.2.3 NCMR — ノイズキャンセルモードレジスタ

アクセス 8 ビットアクセス可能

アドレス FFE6 0003_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NCCSEL	—	—	NCMSEL	NCMJ	NCMF	NCMC	NCMA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 22.4 NCMR レジスタの内容

ビット位置	ビット名	機能
7	NCCSEL	ノイズキャンセラカウントクロックセレクトビット ノイズキャンセラ用のカウントクロックを選択します。 0：内部周辺クロック（PCLK）の 128 分周でカウントアップ 1：内部周辺クロック（PCLK）でカウントアップ
6、5	—	何も配置されていません。“0” に固定してください。
4	NCMSEL	ノイズキャンセルモードセレクトビット 先行エッジキャンセルモードとレベル積算キャンセルモードの選択を行います。 0：先行エッジキャンセルモード 1：レベル積算キャンセルモード
3	NCMJ	タイマ J ノイズキャンセルモードビット タイマ J のノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMSEL = 0 のとき） レベル積算キャンセルモード（NCMSEL = 1 のとき）
2	NCMF	タイマ F ノイズキャンセルモードビット タイマ F のノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMSEL = 0 のとき） レベル積算キャンセルモード（NCMSEL = 1 のとき）
1	NCMC	タイマ C ノイズキャンセルモードビット タイマ C のノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMSEL = 0 のとき） レベル積算キャンセルモード（NCMSEL = 1 のとき）
0	NCMA	タイマ A ノイズキャンセルモードビット タイマ A のノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMSEL = 0 のとき） レベル積算キャンセルモード（NCMSEL = 1 のとき）

ノイズキャンセルモードレジスタは、8 ビットの読み出し／書き込み可能なレジスタであり、タイマ A、C 、F、J にあるノイズキャンセラの動作モード、及び、カウントクロックを選択します。

後続エッジキャンセルモードは、入力信号のレベル変化を検出した後、指定期間内の入力信号のレベル変化を無視します。最初のレベル変化以降、指定期間内の信号レベルの変化をノイズとみなすモードです。

先行エッジキャンセルモードは、入力信号のレベル変化を検出した後、指定期間内に入力信号のレベルが変化した場合、最初のレベル変化と、それに続くレベル変化を無視します。信号レベルが指定期間以上一定でないものはノイズとみなすモードです。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になってはじめて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各ブロック（タイマ A、C、F、J）のノイズキャンセルレジスタで行ない、ノイズキャンセルカウンタが時間を計測します。

先行／後続エッジキャンセルモードからノイズキャンセルモードを無効にする場合、各タイマで保持しているカウンタ（タイマ A…NCNTA0 ～ 6、タイマ C…NCNTC00 ～ NCNTC03 ／ NCNTC10 ～ NCNTC13 ／ NCNTC20 ～ NCNTC23 ／ NCNTC30 ～ NCNTC33 ／ NCNTC40 ～ NCNTC43 ／ NCNTC50 ～ 53 ／ NCNTC60 ～ 63 ／ NCNTC70 ～ 73、タイマ F…NCNTFA0 ～ 15 ／ NCNTFB0 ～ 2、タイマ J…NCNTJ0 ～ 5）が 16’h0000 になってから無効にして下さい。

図 22.1 に後続エッジキャンセルモード、**図 22.2** に先行エッジキャンセルモード、また、**図 22.3** にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各タイマ（A、C、F、J）は、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。**図 22.1**、**図 22.2**、**図 22.3** は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCCSEL — ノイズキャンセラカウントクロックセレクトビット

ノイズキャンセラのカウントクロックを設定します。内部周辺クロック（PCLK）の 128 分周と内部周辺クロックのいずれかを選択可能です。初期設定は 128 分周です。タイマ毎に異なる動作カウントクロックを設定することはできません。ただし、タイマ A のみクロックバス 5 もカウントソースに選択することが可能です。設定はタイマ A 内の TIOR2A レジスタを参照願います。

(2) NCMSEL — ノイズキャンセルモードセレクトビット

各ノイズキャンセルモードビット（NCMA、NCMC、NCMF、NCMJ）を 1 に設定したときのノイズキャンセルモードを、後続エッジキャンセルモード、あるいはレベル積算キャンセルモードのいずれかに設定できます。

(3) NCMJ — タイマ J ノイズキャンセルモードビット

タイマ J ブロックのノイズキャンセラの動作モードを設定します。タイマ J のチャネル毎に異なる動作モードを設定することはできません。

(4) NCMF — タイマ F ノイズキャンセルモードビット

タイマ F ブロックのノイズキャンセラの動作モードを設定します。タイマ F のチャネル毎に異なる動作モードを設定することはできません。

タイマ F をチャネル毎に異なる動作モードを設定する場合は、本ビットを "0" に設定した上で、タイマ F 部にある、
ノイズキャンセルモードチャネルレジスタ 1F（NCMCR1F）および
ノイズキャンセルモードチャネルレジスタ 2F（NCMCR2F）
を設定する事により可能となります。

(5) NCMC — タイマ C ノイズキャンセルモードビット

タイマ C ブロックのノイズキャンセラの動作モードを設定します。タイマ C のチャネル毎に異なる動作モードを設定することはできません。

タイマ C をチャネル毎に異なる動作モードを設定する場合は、本ビットを “0” に設定したうえで、タイマ C 部にある、
ノイズキャンセルモードチャネルレジスタ 1C（NCMCR1C）および
ノイズキャンセルモードチャネルレジスタ 2C（NCMCR2C）
を設定する事により可能となります。

(6) NCMA — タイマ A ノイズキャンセルモードビット

タイマ A ブロックのノイズキャンセラの動作モードを設定します。タイマ A のチャネル毎に異なる動作モードを設定することはできません。

タイマ A をチャネル毎に異なる動作モードを設定する場合は、本ビットを “0” に設定した上で、タイマ A 部にある、

ノイズキャンセルモードチャネルレジスタ 1A（NCMCR1A）および
ノイズキャンセルモードチャネルレジスタ 2A（NCMCR2A）
を設定する事により可能となります。

以下に、ノイズキャンセルモードを設定する場合の真理値表を示します。

タイマ A に関するノイズキャンセルモード対応表

チャネル イネーブル	フィルタモード		チャネルレジスタ		動作 モード	フィルタ単位
NCCRCx. NCEA*	NCMR. NCMA	NCMR. NCMSEL	NCMCR1A. NCM1A*	NCMCR2A. NCM2A*		
0	—	—	—	—	フィルタ 無効	—
1	0	(—)	0	(—)	後続エッジ	各チャネル／ 全チャネル
1	0	(—)	1	0	先行エッジ	各チャネル
1	0	(—)	1	1	レベル積算	各チャネル
1	1	(0)	—	—	先行エッジ	全チャネル
1	1	1	—	—	レベル積算	全チャネル

備考 1.　* は 0 ～ 6

備考 2.　ノイズキャンセライネーブルビット Ax （NCEA*）は、各チャネル単位で設定可能。

※ タイマ A のフィルタ単位を各チャネルとする場合の設定方法（前提条件：チャネルイネーブル＝ “1”）

- 各チャネル設定：
  ノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードビット（NCMA）を “0” に設定し、更に、タイマ A のノイズキャンセルモードチャネルレジスタ 1A（NCMCR1A）のノイズキャンセルモードチャネル設定ビット（NCM1A*）中に 1 ビットでも “1” が設定された場合。
- 全チャネル設定：
  上記「各チャネル設定」の説明の中で、ノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードビット（NCMA）を “1” の場合。又は、上記「各チャネル設定」の説明の中で、ノイズキャンセルモードチャネルレジスタ 1A（NCMCR1A）のノイズキャンセルモードチャネル設定ビット（NCM1A*）に全て “0” が設定されている場合。

タイマ C に関するノイズキャンセルモード対応表

チャネル イネーブル	フィルタモード		チャネルレジスタ		動作 モード	フィルタ単位
NCCRCx. NCECxy	NCMR. NCMC	NCMR. NCMSEL	NCMCR1C. NCM1Cx	NCMCR2C. NCM2Cx		
0	—	—	—	—	フィルタ 無効	—
1	0	(—)	0	(—)	後続エッジ	各サブブロック / 全サブブロック
1	0	(—)	1	0	先行エッジ	各サブブロック
1	0	(—)	1	1	レベル積算	各サブブロック
1	1	(0)	—	—	先行エッジ	全サブブロック
1	1	1	—	—	レベル積算	全サブブロック

注　x は、0 ～ 7（サブブロック）、y は 0 ～ 3（チャネル）
・ノイズキャンセライネーブルビット Cx（NCEC*）は、各チャネル単位で設定可能。

注 タイマ C のフィルタ単位を各サブブロックとする場合の設定方法（前提条件：チャネルイネーブル＝ “1”）
タイマ C のみ、サブブロック単位で設定を行う。タイマ C の各サブブロックは 4 つのチャネルで構成される。

- 各サブブロック設定：
  ノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードビット（NCMC）を “0” に設定し、更に、タイマ C のノイズキャンセルモードチャネルレジスタ 1C （NCMCR1C）のノイズキャンセルモードサブブロック * 内全チャネル設定ビット（NCM1C*）中に 1 ビットでも “1” が設定された場合。
- 全サブブロック設定：
  上記「各サブブロック設定」の説明の中で、ノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードビット（NCMC）を “1” の場合。又は、上記「各サブブロック設定」の説明の中で、ノイズキャンセルモードチャネルレジスタ 1C（NCMCR1C）のノイズキャンセルモードサブブロック * 内全チャネル設定ビット（NCM1C*）に全て “0” が設定されている場合。

タイマ F に関するノイズキャンセルモード対応表

チャネルイネーブル	フィルタモード		チャネルレジスタ		動作モード	フィルタ単位
NCCRF.NCEF*	NCMR.NCMF	NCMR.NCMSEL	NCMCR1F.NCM1F*	NCMCR2F.NCM2F*		
0	—	—	—	—	フィルタ無効	—
1	0	(—)	0	(—)	後続エッジ	各チャネル／全チャネル
1	0	(—)	1	0	先行エッジ	各チャネル
1	0	(—)	1	1	レベル積算	各チャネル
1	1	(0)	—	—	先行エッジ	全チャネル
1	1	1	—	—	レベル積算	全チャネル

備考 1. * は、0 ～ 15
・ノイズキャンセライネーブルビット Fx（NCEF*）は、各チャネル単位で設定可能。

注 タイマ F のフィルタ単位を各チャネルとする場合の設定方法（前提条件：チャネルイネーブル＝“1”）

- 各チャネル設定：
  ノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードビット（NCMF）を “0” に設定し、更に、タイマ F のノイズキャンセルモードチャネルレジスタ 1F（NCMCR1F）のノイズキャンセルモードビット（NCM1F*）中に 1 ビットでも “1” が設定された場合。
- 全チャネル設定：
  上記「各チャネル設定」の説明の中で、ノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードビット（NCMF）を “1” の場合。又は、上記「各チャネル設定」の説明の中で、ノイズキャンセルモードチャネルレジスタ 1F（NCMCR1F）のノイズキャンセルモードチャネル設定ビット（NCM1F*）に全て “0” が設定されている場合。

タイマ J に関するノイズキャンセルモード対応表

キャンセライネーブル	フィルタモード		動作モード
TCRJ*.NCEJ*	NCMR.NCMJ	NCMR.NCMSEL	
0	—	—	フィルタ無効
1	0	(—)	後続エッジ
1	1	0	先行エッジ
1	1	1	レベル積算

注 1. * は、0 ～ 5
イネーブルビット（TCRJ*.NCEJ*）は、各サブブロック単位で設定可能。

以降に各モードでのノイズキャンセル動作の概略図を記載します。そのあと、各モードでの詳細動作説明を行います。いずれも説明はタイマ A で記載しているので、下記の表にあるように、他のタイマではレジスタ名やビット名、端子名を読み替えてください。

各タイマとノイズキャンセラ関係レジスタ名、ビット名、入力端子名一覧表

	タイマ A	タイマ C	タイマ F	タイマ J
共通部				
ノイズキャンセルモードレジスタ （NCMR レジスタのビット名→）	NCMA	NCMC	NCMF	NCMJ
	NCMSEL	NCMSEL	NCMSEL	NCMSEL
各タイマ				
ノイズキャンセルモードチャネルレジスタ （レジスタ名→）	NCMCR1A	NCMCR1C	NCMCR1F	—
	NCMCR2A	NCMCR2C	NCMCR2F	—
ノイズキャンセライネーブルビット （レジスタ名．ビット名→）	TIOR2A. NCEAx	NCCRCx. NCECxy	NCCRF. NCEFx	TCRJx. NCEJx
ノイズキャンセルカウンタ （レジスタ名→）	NCNTAx	NCNTCxy	NCNTFAx NCNTFBx	NCNTJx
ノイズキャンセルレジスタ （レジスタ名→）	NCRAx	NCRCxy	NCRFAx NCRFBx	NCRJx
入力端子	TIAx	TIOCxy	TIFxA TIFxB	TIJx

注 1.　x は各タイマのサブブロック数、y は各タイマのチャネル数を示す。

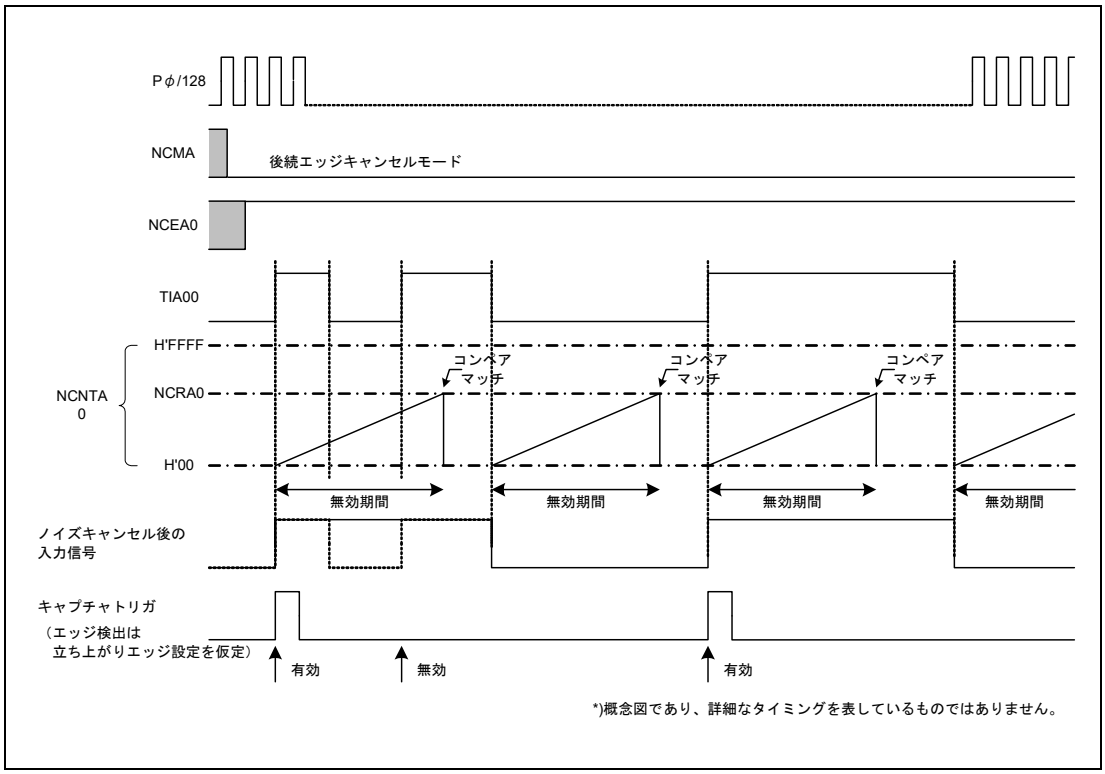


図 22.1　　後続エッジキャンセルモードでのノイズキャンセル動作概略図

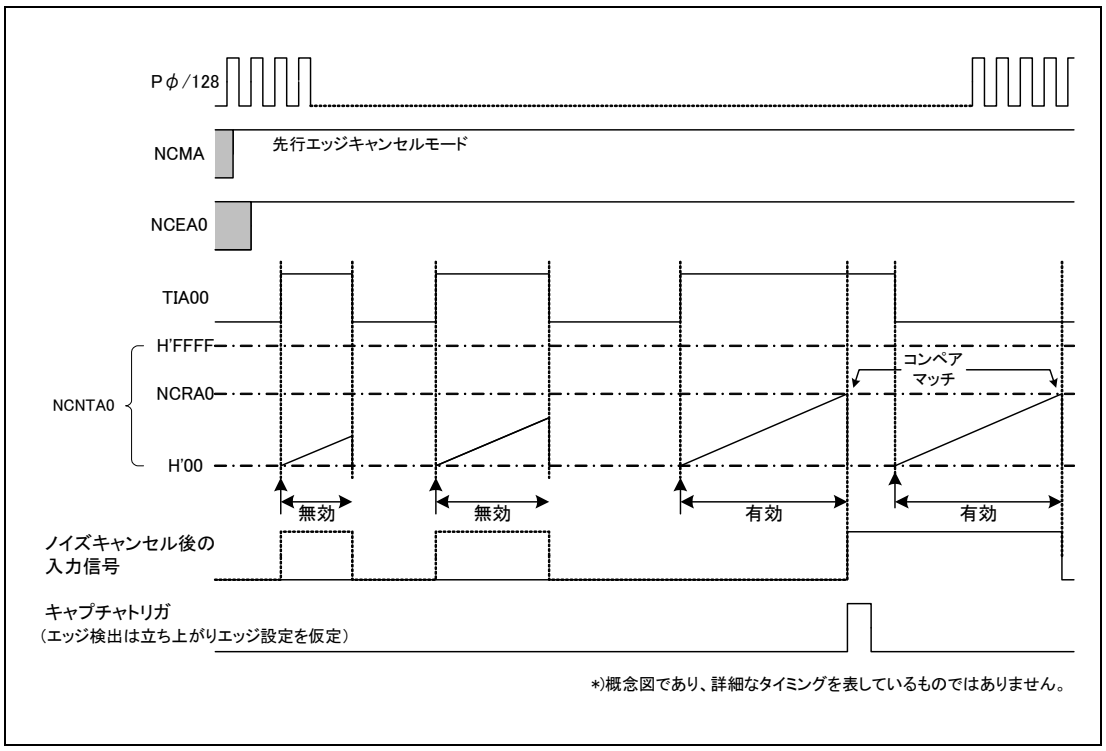


図 22.2　先行エッジキャンセルモードでのノイズキャンセル動作概略図

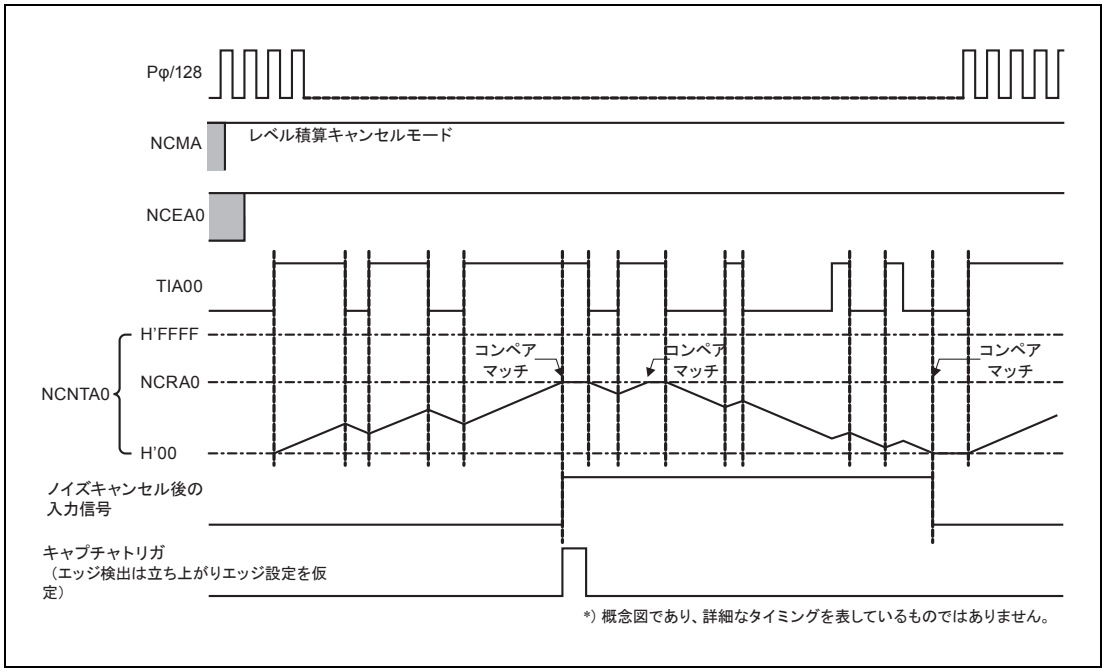


図 22.3　レベル積算キャンセルモードでのノイズキャンセル動作概略図

ノイズキャンセル動作説明

ノイズキャンセラの動作モードは 3 種類あり、共通制御部内のノイズキャンセルモードレジスタ（NCMR）、タイマ A にあるノイズキャンセルモードチャネルレジスタ 1A（NCMCR1A）、タイマ A にあるノイズキャンセルモードチャネルレジスタ 2A（NCMCR2A）の設定によって後続エッジキャンセルモード、先行エッジキャンセルモード、あるいはレベル積算キャンセルモードのいずれかを選択可能です。

図 22.4 に後続エッジキャンセルモードでのノイズキャンセル動作例に後続エッジキャンセルモードでのノイズキャンセル動作例を、**図 22.6** に先行エッジキャンセルモードでのノイズキャンセル動作例に先行エッジキャンセルモードでのノイズキャンセル動作例を示します。いずれも TIA00 入力を例にとり、**図 22.4** に後続エッジキャンセルモードでのノイズキャンセル動作例、および**図 22.6** に先行エッジキャンセルモードでのノイズキャンセル動作例ではエッジ検出が立ち上がりエッジ検出設定の場合を図示しています。

後続エッジキャンセルモードでは、ノイズキャンセルカウンタ Ax（NCNTAx）は入力信号のレベル変化をトリガとしてカウント動作を開始します。また、カウント開始と同時に、入力信号のレベル変化をノイズキャンセル処理後の信号として出力します。

カウント動作は、カウント値がノイズキャンセルレジスタ Ax（NCRAx）の設定値と一致するまで続き、このカウント期間中の入力信号のレベル変化は全て無視され、ノイズキャンセル処理後の信号として出力されません。

カウント値がノイズキャンセルレジスタの設定値と一致したときは、ノイズキャンセル処理後の信号として、そのときの入力信号レベルを出力します。そのため、カウント動作開始時（変化後のレベル）と、コンペアマッチ時で入力レベルが異なる場合は、コンペアマッチタイミングでノイズキャンセル処理後の信号が変化することになりますのでご注意ください。**図 22.5** に入力波形毎のノイズキャンセル処理例（後続エッジキャンセルモード）に後続エッジキャンセルモードでの 2 種の入力波形に対するノイズキャンセル処理例を示します。

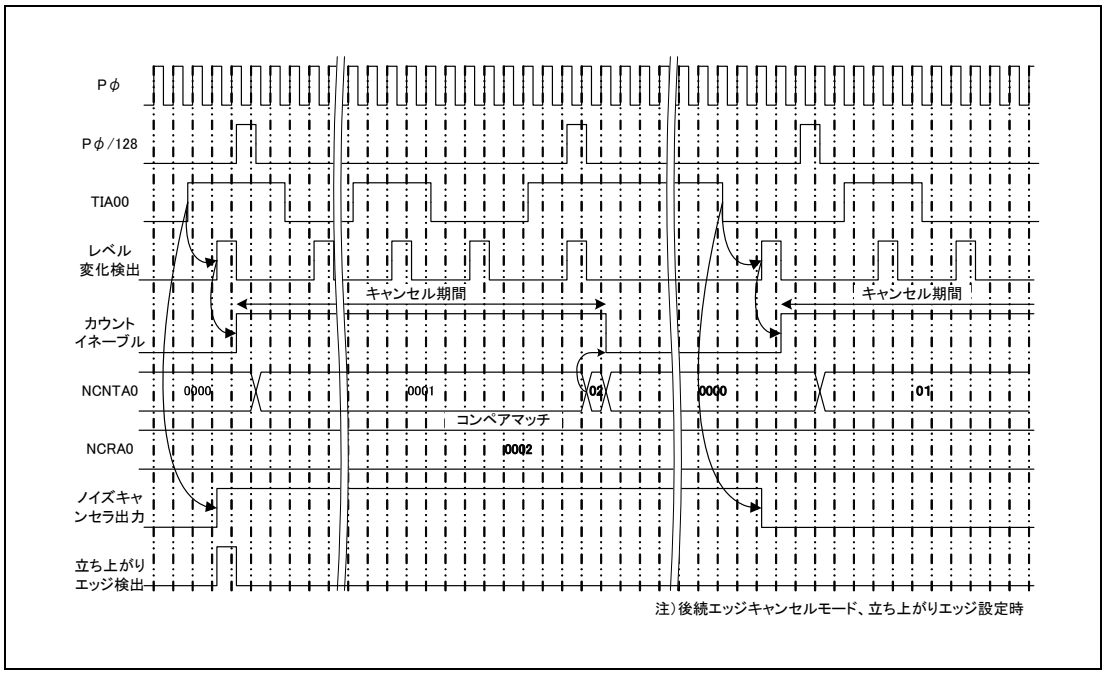


図 22.4　後続エッジキャンセルモードでのノイズキャンセル動作例

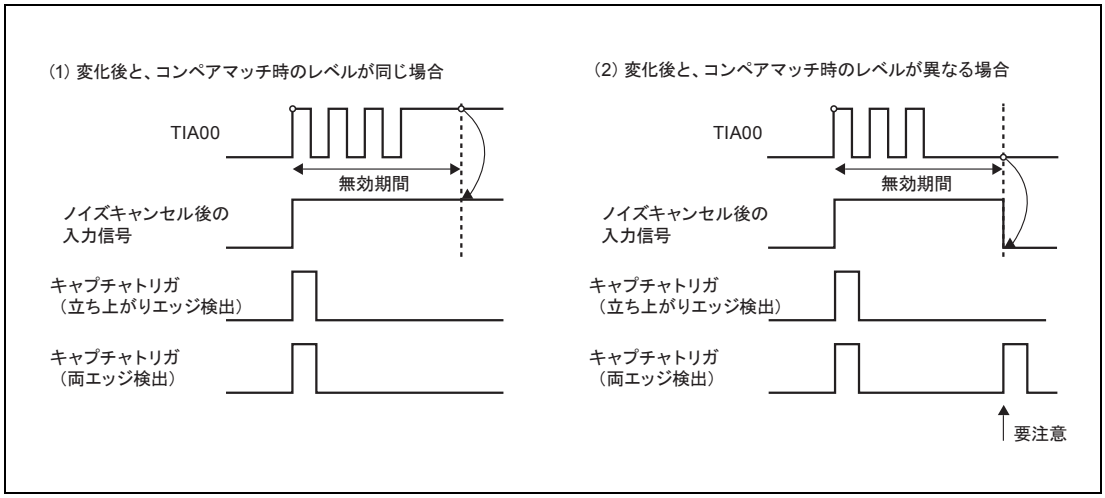


図 22.5　入力波形毎のノイズキャンセル処理例（後続エッジキャンセルモード）

先行エッジキャンセルモードでは、ノイズキャンセルカウンタ Ax（NCNTAx）は入力信号のレベル変化をトリガとしてカウント動作を開始します。カウント動作は、カウント値がノイズキャンセルレジスタ Ax （NCRAx）の設定値と一致するか、あるいはカウント開始後に入力信号のレベルが変化するまで続きます。

カウント値がノイズキャンセルレジスタの設定値と一致したとき、カウント動作開始時の入力信号のレベル変化をノイズキャンセル処理後の信号として出力します。カウント値がノイズキャンセルレジスタの設定と一致する前に入力信号のレベルが変化した場合、そのレベル変化とカウント動作開始時のレベル変化はノイズとみなされ、ノイズキャンセル処理後の信号として出力されません。

図 22.7 にレベル積算キャンセルモードでのノイズキャンセル動作例にレベル積算キャンセルモードでのノイズキャンセル動作例を示します。TIA00 入力を例にとり、エッジ検出が立ち上がりエッジ検出設定の場合を図示しています。

レベル積算キャンセルモードでは、ノイズキャンセルカウンタ Ax（NCNTAx）は入力信号のレベルに従いアップカウントあるいはダウンカウント動作を行います。カウント動作は、アップカウントでノイズキャンセルレジスタ Ax（NCRAx）の設定値と一致するか、あるいはダウンカウントで H’0000 に一致するまで続きます。

ノイズキャンセラ出力の更新は、コンペアマッチ時に行います。アップカウントで NCRAx 値とコンペアマッチした場合にはノイズキャンセラ出力値を 1 に、ダウンカウントで H’0000 にコンペアマッチした場合には 0 に更新します。

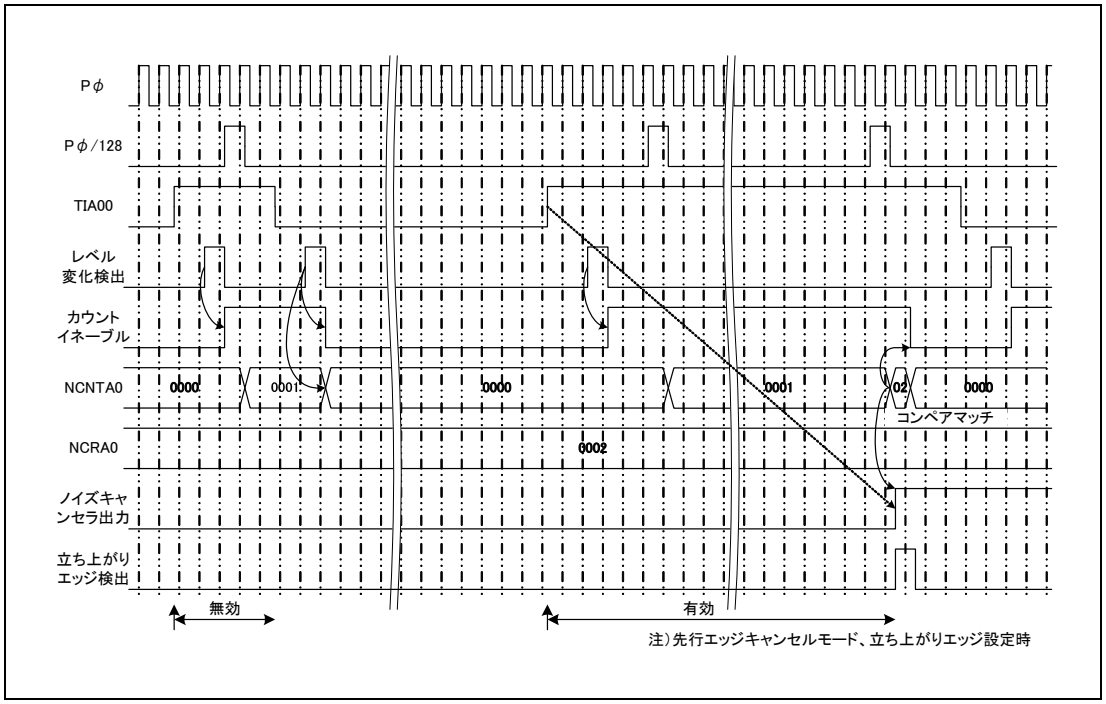


図 22.6　先行エッジキャンセルモードでのノイズキャンセル動作例

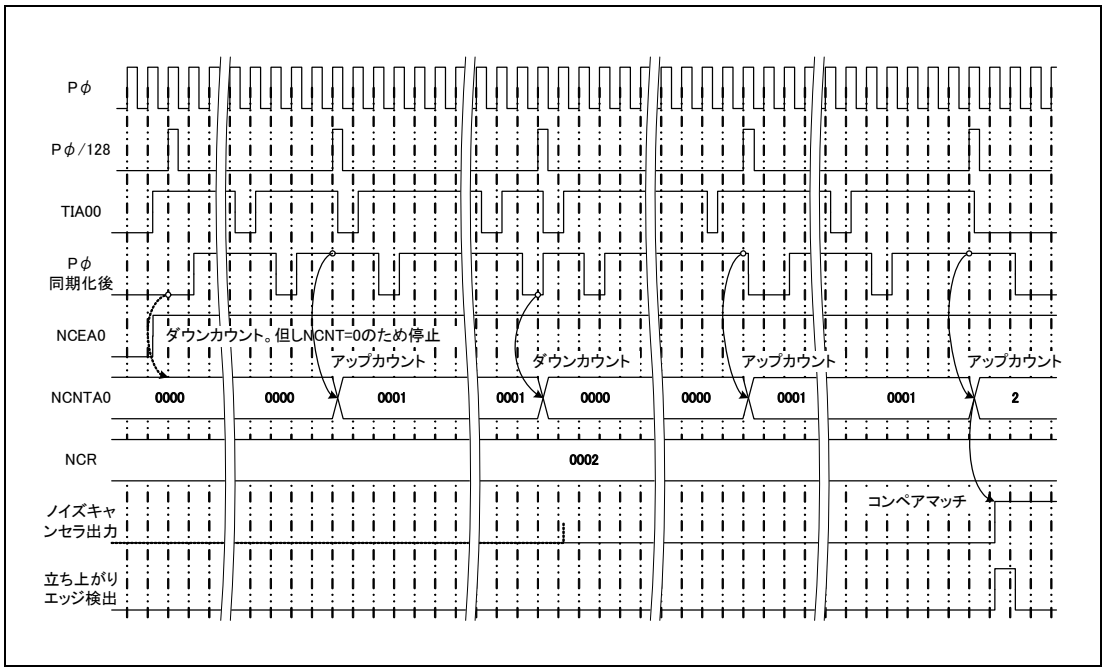


図 22.7　レベル積算キャンセルモードでのノイズキャンセル動作例

22.3 プリスケーラ

22.3.1 動作概要

ATU-IV は 4 チャネルの汎用プリスケーラとノイズキャンセルクロック用プリスケーラ 1 本を内蔵しています。

汎用プリスケーラは 10 ビットのダウンカウンタによって構成されており、内部周辺クロック（PCLK）を 1/N（1 ≦ N ≦ 1024）に分周して新しいクロックを生成します。生成されたクロックは、クロックバスを介して各タイマに供給されます。各チャネルのプリスケーラは互いに独立して動作可能です。

一方、ノイズキャンセルクロック用プリスケーラは 7 ビットのダウンカウンタによって構成されており、内部周辺クロック（PCLK）を 1/128 に分周してクロックを生成します。生成されたノイズキャンセルクロックはタイマ A、タイマ C、タイマ F、及びタイマ J に供給されます。

（ノイズキャンセル用クロックは共通制御部の NCMR レジスタの NCCSEL ビットにより、内部周辺クロックの 1/1 分周、もしくは 1/128 分周から選択可能です。分周比設定用レジスタは設けておりません。）

プリスケーラのダウンカウンタはリセット時に H’0000 に初期化されます。

22.3.2 プリスケーラ関連レジスタ

22.3.2.1 PSCRx — プリスケーラレジスタ x（x = 0 ～ 3）

アクセス 16 ビットアクセス可能。8 ビットアクセス禁止

アドレス FFE6 0080_H（PSCR0）
FFE6 0084_H（PSCR1）
FFE6 0088_H（PSCR2）
FFE6 $008C_H$（PSCR3）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PSCx[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.5　PSCR レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	—	何も配置されていません。“0” に固定してください。
9 ～ 0	PSCx[9:0]	分周比フィールド プリスケーラの分周比を設定します。

備考 x は 0 ～ 3 の整数。

プリスケーラレジスタ x は 16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは 4 チャネルのプリスケーラに 1 個ずつ用意されており、プリスケーラの分周比を設定します。

プリスケーラレジスタ x の設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。プリスケーラレジスタ x には、H’000 から H’3FF の値を設定することができます。

プリスケーラの分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{PSCx[9:0]} + 1} \quad \text{（分周設定範囲：　1/1 ～ 1/1024）}$$

また、プリスケーラの出力するクロックは 50% のデューティを保証していません。PCLK の 1 サイクル期間のみ “H” であり、残りの期間はすべて “L” となります。

22.3.3 詳細動作説明

動作の開始

プリスケーラは、ATU-IV マスタイネーブルレジスタの PSCE ビットがセットされると動作を開始し、PSCx に指定された分周比のクロックを生成します。プリスケーラの動作中、クロックには、カウンタのアンダーフローに同期して、PCLK の 1 周期分の “H” が出力されます。

動作中に PSCx が変更された場合、カウンタのアンダーフローに同期して出力クロックの分周比が切り替わります。

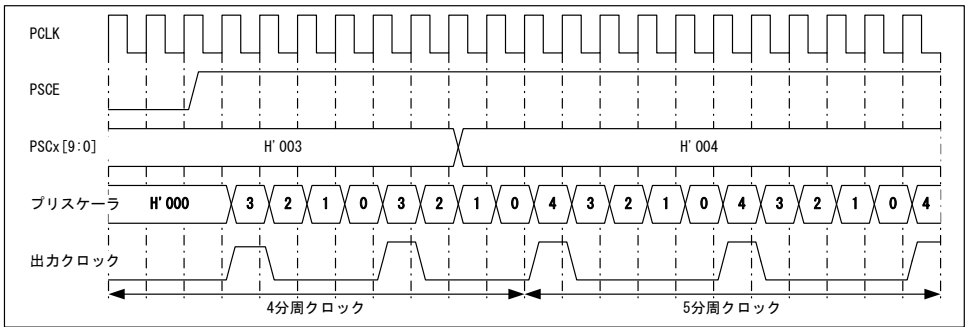


図 22.8 プリスケーラの動作開始

動作の停止と再開

プリスケーラは、ATU-IV マスタイネーブルレジスタの PSCE ビットがクリアされると動作を停止します。停止期間中、クロックには “L” が出力されます。

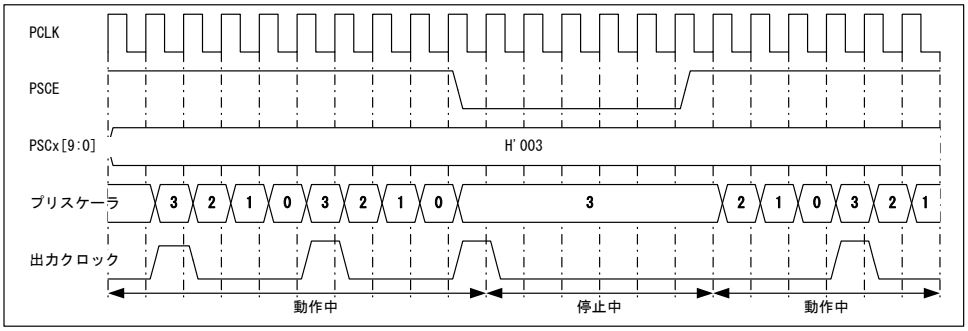


図 22.9 プリスケーラの動作停止

22.4　タイマ A

22.4.1　動作概要

タイマ A は 32 ビットフリーランニングカウンタ A（TCNTA）と 7 本の 32 ビットインプットキャプチャレジスタ Ax（ICRA0 ～ 6）を内蔵しています。TCNTA はアップカウンタで、フリーランニング動作を行います。カウンタのオーバフロー時に割り込み要求が可能です。

7 本のインプットキャプチャレジスタ A0 ～ 6（ICRA0 ～ 6）は、各々に対応する外部信号入力端子（TIA00 ～ 06）からの入力によりフリーランニングカウンタ A（TCNTA）の値をキャプチャします。外部信号入力端子からの入力によるキャプチャは、タイマ I/O コントロールレジスタ 1A（TIOR1A）により立ち上がり／立ち下がり／両エッジから選択できます。それぞれ、キャプチャするタイミングで DMAC の起動および割り込み要求が可能です。

外部信号入力端子からの入力は、入力キャンセル機能を使用してノイズをキャンセルすることができます。この外部信号入力端子（TIA00 ～ 06）については、ノイズキャンセル後の端子レベルをリードおよびキャプチャすることが可能です。端子レベルをキャプチャするタイミングは、タイマ B からの OCRB6 割り込み要求信号のタイミングでキャプチャを行ないます。また、入力端子（TIA00 ～ 06）のノイズキャンセル後の信号についてはタイマ F への入力信号として出力することが可能です。さらに、一部入力端子のノイズキャンセル、エッジ処理後の信号についてはタイマ B、タイマ C、タイマ D へイベント信号として出力することが可能です。タイマ B へは TIA00 ～ 06 の 7 本のいずれか、または組み合わせで入力エッジを併せたイベント信号を出力（イベント出力 1）出来ます。タイマ B へは TIA00 ～ 06 計 7 本のイベント信号を出力（イベント出力 1B ～ 1H）し、イベントカウンタ B1（TCNTB1）のキャプチャトリガとして使用出来ます。タイマ D へは TIA00 ～ 06 のいずれか、または組み合わせで入力エッジを併せたイベント信号をタイマ D0 ～ D9 用それぞれに出力（イベント出力 2A、2B）し、タイマオフセットベースレジスタ Dx（OSBRD0 ～ 9）のキャプチャトリガとして使用できます。これらのイベント出力 1、イベント出力 2A、2B の信号は、タイマ C のインプットキャプチャトリガとしても使用できます。

キャプチャタイミングで DMAC を起動することにより、DMAC でキャプチャレジスタの値を転送することができます。

図 22.10 に、タイマ A のブロック図を示します。

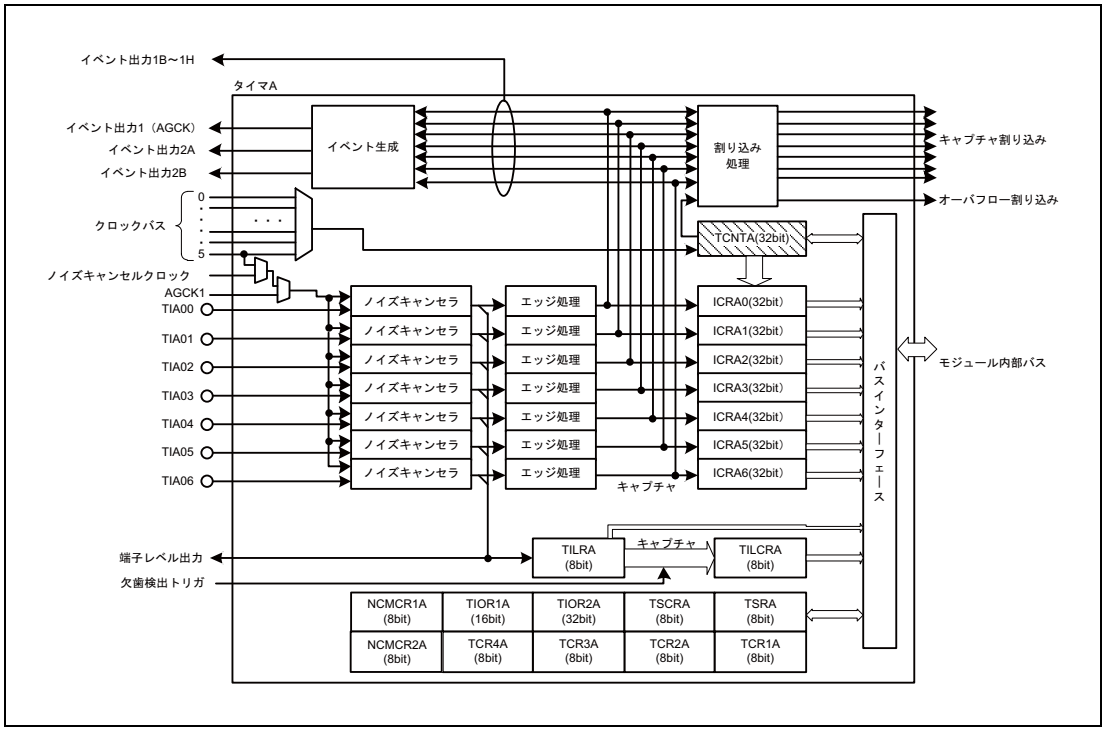


図 22.10　タイマ A ブロック図

22.4.2 タイマ A 制御レジスタ

22.4.2.1 TCR1A — タイマコントロールレジスタ 1A

アクセス 8 ビットアクセス可能

アドレス FFE6 0200_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	EVOSEL2A	EVOSEL2B	EVOSEL1			CKSELA		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.6　TCR1A レジスタの内容

ビット位置	ビット名	機能
7	EVOSEL2A	イベント出力 2A セレクト 0：TIA01 の入力エッジを出力 1：TIA02 の入力エッジを出力
6	EVOSEL2B	イベント出力 2B セレクト 0：TIA01 の入力エッジを出力 1：TIA02 の入力エッジを出力
5 ～ 3	EVOSEL1	イベント出力 1 セレクト 000：イベント出力なし 001：TIA00 の入力エッジを出力 010：TIA01 の入力エッジを出力 011：TIA01 と TIA00 の入力エッジを併せて出力 100：TIA02 の入力エッジを出力 101：TIA02 と TIA00 の入力エッジを併せて出力 110：TIA02 と TIA01 の入力エッジを併せて出力 111：TIA02 と TIA01 と TIA00 の入力エッジを併せて出力
2 ～ 0	CKSELA	クロックセレクト A 000：クロックバス 0 を選択（プリスケーラ 0） 001：クロックバス 1 を選択（プリスケーラ 1） 010：クロックバス 2 を選択（プリスケーラ 2） 011：クロックバス 3 を選択（プリスケーラ 3） 100：クロックバス 4 を選択（TCLKA） 101：クロックバス 5 を選択（TCLKB or 倍周補正クロック） 110：設定禁止 111：設定禁止

タイマコントロールレジスタ 1A（TCR1A）は 8 ビットの読み出し／書き込み可能なレジスタで、外部入力エッジ TIA00 ～ 02 のイベント出力設定、カウントクロックの選択を行います。

TCR1A はリセット時に H’00 に初期化されます。

(1) EVOSEL2A — イベント出力 2A セレクト

このイベント出力 2A セレクトの設定により、外部入力 TIA01、02（ノイズキャンセル、エッジ検出後の信号）のいずれかをイベント 2A として出力することができます。タイマ D0 ～ D9 は、このイベント 2A 信号をタイマオフセットベースレジスタ Dx（OSBRD0 ～ 9）のキャプチャトリガとして使用できます。タイマ C はこのイベント 2A 信号をキャプチャトリガとして使用できます。

(2) EVOSEL2B — イベント出力 2B セレクト

このイベント出力 2 セレクト B の設定により、外部入力 TIA01、02（ノイズキャンセル、エッジ検出後の信号）のいずれかをイベント 2B として出力することができます。タイマ D0 ～ D9 は、このイベント 2B 信号をタイマオフセットベースレジスタ Dx（OSBRD0 ～ 9）のキャプチャトリガとして使用できます。タイマ C はこのイベント 2B 信号をキャプチャトリガとして使用できます。

(3) EVOSEL1 — イベント出力 1 セレクト

このイベント出力 1 セレクトの設定により、外部入力 TIA00 ～ 02（ノイズキャンセル、エッジ検出後の信号）のいずれかをイベント 1 としてタイマ B、タイマ C へ出力することができます。さらに、TIA00 と TIA01、TIA00 と TIA02、TIA01 と TIA02、TIA00 と TIA01 と TIA02 の組み合わせで、入力エッジを併せてイベント 1 としてタイマ B、タイマ C へ出力することができます。

(4) CKSELA — クロックセレクト A

これらのビットにより、カウントクロックとしてクロックバス 0 ～ 5 のいずれかを選択します。クロックバス 0 ～ 3 はプリスケーラ 0 ～ 3 の出力する分周クロック、クロックバス 4 は外部クロック入力 A（TCLKA）に対応し、クロックバス 5 には、クロックバスコントロールレジスタの設定によって、外部クロック入力 B（TCLKB）、あるいはタイマ B の出力する倍周補正クロックが出力されます。

カウントクロックの選択は、タイマ A の動作が停止している状態で行ってください。

注　意

外部クロック入力のエッジ検出は、クロックバスへの出力前に行われます。外部クロック入力 A、B を使用する場合には、クロックバスコントロールレジスタのエッジセレクトビットで検出エッジを設定してください。

22.4.2.2 TCR2A — タイマコントロールレジスタ 2A

アクセス 8 ビットアクセス可能

アドレス FFE6 0202_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	EVOSELE1E	EVOSELE1						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.7 TCR2A レジスタの内容

ビット位置	ビット名	機能
7	EVOSELE1E	イベント出力 1 拡張イネーブル 0：イベント出力 1 拡張セレクトを無効にする 1：イベント出力 1 拡張セレクトを有効にする
6 ～ 0	EVOSELE1	イベント出力 1 拡張セレクト イベントとして出力する入力（TIA00 ～ 06）の組み合わせを選択する b6 0：TIA06 の入力エッジを出力しない 1：TIA06 の入力エッジを出力する b5 0：TIA05 の入力エッジを出力しない 1：TIA05 の入力エッジを出力する b4 0：TIA04 の入力エッジを出力しない 1：TIA04 の入力エッジを出力する b3 0：TIA03 の入力エッジを出力しない 1：TIA03 の入力エッジを出力する b2 0：TIA02 の入力エッジを出力しない 1：TIA02 の入力エッジを出力する b1 0：TIA01 の入力エッジを出力しない 1：TIA01 の入力エッジを出力する b0 0：TIA00 の入力エッジを出力しない 1：TIA00 の入力エッジを出力する

(1) EVOSELE1E — イベント出力 1 拡張セレクトイネーブル

イベント出力 1 拡張セレクトイネーブル（EVOSELE1E）は 8 ビットの読み出し／書き込み可能なレジスタで、イベント出力 1 拡張セレクトの有効無効の選択を行います。
EVOSELE1E はリセット時に H’00 に初期化されます。

(2) EVOSELE1 — イベント出力 1 拡張セレクトレジスタ

イベント出力 1 拡張セレクトレジスタ（EVOSELE1）は 8 ビットの読み出し／書き込み可能なレジスタで、EVOSELE1E が有効のとき、外部入力エッジ TIA00 ～ 06 のイベント出力 1 の設定を行います。

EVOSELE1 はリセット時に H’00 に初期化されます。

本レジスタの設定により、外部入力 TIA00 ～ 06（ノイズキャンセル、エッジ検出後の信号）のいずれか、または組み合わせで入力エッジを併せてイベント 1 としてタイマ B、タイマ C へ出力することができます。

また、本機能が有効の場合は、TCR1A で設定したイベント出力のセレクトが無効となります。

22.4.2.3 TCR3A — タイマコントロールレジスタ 3A

アクセス 8 ビットアクセス可能

アドレス FFE6 0204_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	EVOSELE2AE	EVOSELE2A						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.8 TCR3A レジスタの内容

ビット位置	ビット名	機能
7	EVOSELE2AE	イベント出力 2A 拡張イネーブル 0：イベント出力 2A 拡張セレクトを無効にする 1：イベント出力 2A 拡張セレクトを有効にする
6 ～ 0	EVOSELE2A	イベント出力 2A 拡張セレクト イベントとして出力する入力（TIA00 ～ 06）の組み合わせを選択する b6 0：TIA06 の入力エッジを出力しない 1：TIA06 の入力エッジを出力する b5 0：TIA05 の入力エッジを出力しない 1：TIA05 の入力エッジを出力する b4 0：TIA04 の入力エッジを出力しない 1：TIA04 の入力エッジを出力する b3 0：TIA03 の入力エッジを出力しない 1：TIA03 の入力エッジを出力する b2 0：TIA02 の入力エッジを出力しない 1：TIA02 の入力エッジを出力する b1 0：TIA01 の入力エッジを出力しない 1：TIA01 の入力エッジを出力する b0 0：TIA00 の入力エッジを出力しない 1：TIA00 の入力エッジを出力する

(1) EVOSELE2AE — イベント出力 2A 拡張セレクトイネーブル

イベント出力 2A 拡張セレクトイネーブル（EVOSELE2AE）は 8 ビットの読み出し／書き込み可能なレジスタで、イベント出力 2A 拡張セレクトの有効無効の選択を行います。

EVOSELE2AE はリセット時に H’00 に初期化されます。

(2) EVOSELE2A — イベント出力 2A 拡張セレクトレジスタ

イベント出力 2A 拡張セレクトレジスタ（EVOSELE2A）は 8 ビットの読み出し／書き込み可能なレジスタで、EVOSELE2AE が有効なとき、外部入力エッジ TIA00 ～ 06 のイベント出力 2A の設定を行います。

EVOSELE2A はリセット時に H’00 に初期化されます。

本レジスタの設定により、外部入力 TIA00 ～ 06（ノイズキャンセル、エッジ検出後の信号）のいずれか、または組み合わせで入力エッジを併せてイベント 2A として出力することができます。タイマ D0 ～ D9 は、このイベント 2A 信号をタイマオフセットベースレジスタ Dx

（OSBRD0 ～ 9）のキャプチャトリガとして使用できます。タイマ C はこのイベント 2A 信号をキャプチャトリガとして使用できます。

また、本機能が有効の場合は、TCR1A で設定したイベント出力のセレクトが無効となります。

22.4.2.4 TCR4A — タイマコントロールレジスタ 4A

アクセス 8 ビットアクセス可能

アドレス FFE6 0206_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	EVOSELE2BE	EVOSELE2B						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.9 TCR4A レジスタの内容

ビット位置	ビット名	機能
7	EVOSELE2BE	イベント出力 2B 拡張イネーブル 0：イベント出力 2B 拡張セレクトを無効にする 1：イベント出力 2B 拡張セレクトを有効にする
6 ～ 0	EVOSELE2B	イベント出力 2B 拡張セレクト イベントとして出力する入力（TIA00 ～ 06）の組み合わせを選択する b6 0：TIA06 の入力エッジを出力しない 1：TIA06 の入力エッジを出力する b5 0：TIA05 の入力エッジを出力しない 1：TIA05 の入力エッジを出力する b4 0：TIA04 の入力エッジを出力しない 1：TIA04 の入力エッジを出力する b3 0：TIA03 の入力エッジを出力しない 1：TIA03 の入力エッジを出力する b2 0：TIA02 の入力エッジを出力しない 1：TIA02 の入力エッジを出力する b1 0：TIA01 の入力エッジを出力しない 1：TIA01 の入力エッジを出力する b0 0：TIA00 の入力エッジを出力しない 1：TIA00 の入力エッジを出力する

(1) EVOSELE2BE — イベント出力 2B 拡張セレクトイネーブル

イベント出力 2B 拡張セレクトイネーブル（EVOSELE2BE）は 8 ビットの読み出し／書き込み可能なレジスタで、イベント出力 2B 拡張セレクトの有効無効の選択を行います。

EVOSELE2BE はリセット時に H’00 に初期化されます。

(2) EVOSELE2B — イベント出力 2B 拡張セレクトレジスタ

イベント出力 2B 拡張セレクトレジスタ（EVOSELE2B）は 8 ビットの読み出し／書き込み可能なレジスタで、EVOSELE2BE が有効のとき、外部入力エッジ TIA00 ～ 06 のイベント出力 2B の設定を行います。

EVOSELE2B はリセット時に H’00 に初期化されます。

本レジスタの設定により、外部入力 TIA00 ～ 06（ノイズキャンセル、エッジ検出後の信号）のいずれか、または組み合わせで入力エッジを併せてイベント 2B として出力することができます。タイマ D0 ～ D9 は、このイベント 2B 信号をタイマオフセットベースレジスタ Dx

（OSBRD0 ～ 9）のキャプチャトリガとして使用できます。タイマ C はこのイベント 2B 信号をキャプチャトリガとして使用できます。

また、本機能が有効の場合は、TCR1A で設定したイベント出力のセレクトが無効となります。

22.4.2.5 NCMCR1A — ノイズキャンセルモードチャネルレジスタ 1A

アクセス 8 ビットアクセス可能

アドレス FFE6 020C$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	NCM1A6	NCM1A5	NCM1A4	NCM1A3	NCM1A2	NCM1A1	NCM1A0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.10 NCMCR1A レジスタの内容

ビット位置	ビット名	機能
7	—	何も配置されていません。“0” に固定してください。
6	NCM1A6	チャネル 6 ノイズキャンセルモードビット チャネル 6 のノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMA = 0 & NCM2A6 = 0 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM2A6 = 1 時）
5	NCM1A5	チャネル 5 ノイズキャンセルモードビット チャネル 5 のノイズキャンセラの動作モードを設定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMA = 0 & NCM2A5 = 0 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM2A5 = 1 時）
4	NCM1A4	チャネル 4 ノイズキャンセルモードビット チャネル 4 のノイズキャンセラの動作モードを設定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMA = 0 & NCM2A4 = 0 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM2A4 = 1 時）
3	NCM1A3	チャネル 3 ノイズキャンセルモードビット チャネル 3 のノイズキャンセラの動作モードを設定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMA = 0 & NCM2A3 = 0 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM2A3 = 1 時）
2	NCM1A2	チャネル 2 ノイズキャンセルモードビット チャネル 2 のノイズキャンセラの動作モードを設定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMA = 0 & NCM2A2 = 0 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM2A2 = 1 時）
1	NCM1A1	チャネル 1 ノイズキャンセルモードビット チャネル 1 のノイズキャンセラの動作モードを設定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMA = 0 & NCM2A1 = 0 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM2A1 = 1 時）
0	NCM1A0	チャネル 0 ノイズキャンセルモードビット チャネル 0 のノイズキャンセラの動作モードを設定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMA = 0 & NCM2A0 = 0 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM2A0 = 1 時）

ノイズキャンセルモードチャネルレジスタ 1A は、8 ビットの読み出し／書き込み可能なレジスタであり、各チャネル単位にあるノイズキャンセラの動作モードを選択します。

後続エッジキャンセルモードは、入力信号のレベル変化を検出したあと、指定期間内の入力信号のレベル変化を無視します。最初のレベル変化以降、指定期間内の信号レベルの変化をノイズとみなすモードです。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になってはじめて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各チャネルのノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

先行／後続エッジキャンセルモードからノイズキャンセルモードを無効にする場合、各タイマで保持しているカウンタ（NCNTA0 ～ 6）が 16'h0000 になってから無効にして下さい。

図 22.1 に後続エッジキャンセルモード、**図 22.2** に、先行エッジキャンセルモード、また、**図 22.3** にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各チャネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。**図 22.1**、**図 22.2**、**図 22.3** は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM1A6 — チャネル 6 ノイズキャンセルモードビット

チャネル 6 のノイズキャンセラの動作モードを設定します。

(2) NCM1A5 — チャネル 5 ノイズキャンセルモードビット

チャネル 5 のノイズキャンセラの動作モードを設定します。

(3) NCM1A4 — チャネル 4 ノイズキャンセルモードビット

チャネル 4 のノイズキャンセラの動作モードを設定します。

(4) NCM1A3 — チャネル 3 ノイズキャンセルモードビット

チャネル 3 のノイズキャンセラの動作モードを設定します。

(5) NCM1A2 — チャネル 2 ノイズキャンセルモードビット

チャネル 2 のノイズキャンセラの動作モードを設定します。

(6) NCM1A1 — チャネル 1 ノイズキャンセルモードビット

チャネル 1 のノイズキャンセラの動作モードを設定します。

(7) NCM1A0 — チャネル 0 ノイズキャンセルモードビット

チャネル 0 のノイズキャンセラの動作モードを設定します。

注　意

1. **本レジスタは、共通制御部のノイズキャンセルモードレジスタ（NCMR）の NCMA ビットが "0" の場合にのみ設定が有効となります。さらに、本レジスタのチャネル対応ビット（NCM1A*）に "1" を設定した場合のモード状態は、ノイズキャンセルモードチャネルレジスタ 2A（NCMCR2A）の対応する同一チャネルビットの状態により、後続エッジキャンセルモード／先行エッジキャンセルモード／レベル積算キャンセルモードに設定することが可能です。**
2. *** は、0 ～ 6**

22.4.2.6 NCMCR2A — ノイズキャンセルモードチャネルレジスタ 2A

アクセス 8 ビットアクセス可能

アドレス FFE6 020E$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	NCM2A6	NCM2A5	NCM2A4	NCM2A3	NCM2A2	NCM2A1	NCM2A0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.11 NCMCR2A レジスタの内容

ビット位置	ビット名	機能
7	—	何も配置されていません。“0” に固定してください。
6	NCM2A6	チャネル 6 ノイズキャンセルモードビット チャネル 6 のノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード（NCMA = 0 & NCM1A6 = 1 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM1A6 = 1 時）
5	NCM2A5	チャネル 5 ノイズキャンセルモードビット チャネル 5 のノイズキャンセラの動作モードを設定します。 0：先行エッジキャンセルモード（NCMA = 0 & NCM1A5 = 1 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM1A5 = 1 時）
4	NCM2A4	チャネル 4 ノイズキャンセルモードビット チャネル 4 のノイズキャンセラの動作モードを設定します。 0：先行エッジキャンセルモード（NCMA = 0 & NCM1A4 = 1 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM1A4 = 1 時）
3	NCM2A3	チャネル 3 ノイズキャンセルモードビット チャネル 3 のノイズキャンセラの動作モードを設定します。 0：先行エッジキャンセルモード（NCMA = 0 & NCM1A3 = 1 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM1A3 = 1 時）
2	NCM2A2	チャネル 2 ノイズキャンセルモードビット チャネル 2 のノイズキャンセラの動作モードを設定します。 0：先行エッジキャンセルモード（NCMA = 0 & NCM1A2 = 1 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM1A2 = 1 時）
1	NCM2A1	チャネル 1 ノイズキャンセルモードビット チャネル 1 のノイズキャンセラの動作モードを設定します。 0：先行エッジキャンセルモード（NCMA = 0 & NCM1A1 = 1 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM1A1 = 1 時）
0	NCM2A0	チャネル 0 ノイズキャンセルモードビット チャネル 0 のノイズキャンセラの動作モードを設定します。 0：先行エッジキャンセルモード（NCMA = 0 & NCM1A0 = 1 時） 1：レベル積算キャンセルモード（NCMA = 0 & NCM1A0 = 1 時）

ノイズキャンセルモードチャネルレジスタ 2A は、8 ビットの読み出し／書き込み可能なレジスタであり、各チャネル単位にあるノイズキャンセラの動作モードを選択します。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になってはじめて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各チャネルのノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 22.1 に後続エッジキャンセルモード、また、**図 22.3** にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各チャネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。**図 22.1**、**図 22.3** は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM2A6 — チャネル 6 ノイズキャンセルモードビット 2

チャネル 6 のノイズキャンセラの動作モードを設定します。

(2) NCM2A5 — チャネル 5 ノイズキャンセルモードビット 2

チャネル 5 のノイズキャンセラの動作モードを設定します。

(3) NCM2A4 — チャネル 4 ノイズキャンセルモードビット 2

チャネル 4 のノイズキャンセラの動作モードを設定します。

(4) NCM2A3 — チャネル 3 ノイズキャンセルモードビット 2

チャネル 3 のノイズキャンセラの動作モードを設定します。

(5) NCM2A2 — チャネル 2 ノイズキャンセルモードビット 2

チャネル 2 のノイズキャンセラの動作モードを設定します。

(6) NCM2A1 — チャネル 1 ノイズキャンセルモードビット 2

チャネル 1 のノイズキャンセラの動作モードを設定します。

(7) NCM2A0 — チャネル 0 ノイズキャンセルモードビット 2

チャネル 0 のノイズキャンセラの動作モードを設定します。

注　意

1. **本レジスタは、共通制御部のノイズキャンセルモードレジスタ（NCMR）の NCMA ビットが “0” の場合かつ、タイマ A のノイズキャンセルモードチャネルレジスタ 1A（NCMCR1A）の対応する同一チャネルビット（NCM1A*）が “1” の場合のみ有効になります。**
2. *** は、0 ～ 6**

22.4.2.7 TIOR1A — タイマ I/O コントロールレジスタ 1A

アクセス 8 ビット／ 16 ビットアクセス可能

アドレス FFE6 0210_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IOA6		IOA5		IOA4		IOA3		IOA2		IOA1		IOA0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.12 TIOR1A レジスタの内容

ビット位置	ビット名	機能
15、14	—	何も配置されていません。“0” に固定してください。
13、12	IOA6	I/O コントロール A6 00：TIA06 のインプットキャプチャ禁止 01：TIA06 の立ち上がりで ICRA6 にキャプチャ 10：TIA06 入力の立ち下がりで ICRA6 にキャプチャ 11：TIA06 の立ち上がり／立ち下がり両エッジで ICRA6 にキャプチャ
11、10	IOA5	I/O コントロール A5 00：TIA05 のインプットキャプチャ禁止 01：TIA05 の立ち上がりで ICRA5 にキャプチャ 10：TIA05 入力の立ち下がりで ICRA5 にキャプチャ 11：TIA05 の立ち上がり／立ち下がり両エッジで ICRA5 にキャプチャ
9、8	IOA4	I/O コントロール A4 00：TIA04 のインプットキャプチャ禁止 01：TIA04 の立ち上がりで ICRA4 にキャプチャ 10：TIA04 入力の立ち下がりで ICRA4 にキャプチャ 11：TIA04 の立ち上がり／立ち下がり両エッジで ICRA4 にキャプチャ
7、6	IOA3	I/O コントロール A3 00：TIA03 のインプットキャプチャ禁止 01：TIA03 の立ち上がりで ICRA3 にキャプチャ 10：TIA03 入力の立ち下がりで ICRA3 にキャプチャ 11：TIA03 の立ち上がり／立ち下がり両エッジで ICRA3 にキャプチャ
5、4	IOA2	I/O コントロール A2 00：TIA02 のインプットキャプチャ禁止 01：TIA02 の立ち上がりで ICRA2 にキャプチャ 10：TIA02 入力の立ち下がりで ICRA2 にキャプチャ 11：TIA02 の立ち上がり／立ち下がり両エッジで ICRA2 にキャプチャ
3、2	IOA1	I/O コントロール A1 00：TIA01 のインプットキャプチャ禁止 01：TIA01 の立ち上がりで ICRA1 にキャプチャ 10：TIA01 入力の立ち下がりで ICRA1 にキャプチャ 11：TIA01 の立ち上がり／立ち下がり両エッジで ICRA1 にキャプチャ
1、0	IOA0	I/O コントロール A0 00：TIA00 のインプットキャプチャ禁止 01：TIA00 の立ち上がりで ICRA0 にキャプチャ 10：TIA00 入力の立ち下がりで ICRA0 にキャプチャ 11：TIA00 の立ち上がり／立ち下がり両エッジで ICRA0 にキャプチャ

TCR1A レジスタで選択されるイベント出力 2A、イベント出力 2B、イベント出力 1、イベント出力 1B ～ 1H のエッジ選択は、本 TIOR1A レジスタで行います。

タイマ I/O コントロールレジスタ 1A（TIOR1A）は 16 ビットの読み出し／書き込み可能なレジスタで、外部入力（TIA00 ～ 06）のエッジ検出の設定を行います。

TIOR1A はリセット時に H’0000 に初期化されます。

(1) IOA0 ～ 6 — I/O コントロール A0 ～ 6

インプットキャプチャのトリガとなる外部入力 TIA00 ～ 06 のエッジ検出を選択します。これらのビットを “00” にセットした場合、インプットキャプチャ動作は行われません。“01, 10, 11” にセットしたとき、選択したエッジを検出すると、フリーランニングカウンタ A（TCNTA）の値が、対応するインプットキャプチャレジスタ A0 ～ 6（ICRA0 ～ 6）に転送されます。

エッジの検出は、PCLK に同期して行われます。また、外部入力信号の周期が、PCLK 周期の 2 倍以上なければ正しくエッジ検出が行われませんのでご注意ください。

エッジ検出は、ノイズキャンセラ通過後の信号に対して行われます。ノイズキャンセル機能が無効であれば外部入力（TIA00 ～ 06）に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることになります。

TIA00 ～ 06 のエッジ検出信号は、イベント出力 1B ～ 1H に直接出力されます。TIA00 はイベント出力 1B、TIA01 はイベント出力 1C、TIA02 はイベント出力 1D、TIA03 はイベント出力 1E、TIA04 はイベント出力 1F、TIA05 はイベント出力 1G、TIA06 はイベント出力 1H にそれぞれ対応します。

また、TCR1A レジスタのイベント出力 1、2 セレクトビット（EVOSEL1、EVOSEL2）、TCR2A レジスタのイベント出力 1 拡張セレクトビット、TCR3A レジスタのイベント出力 2A 拡張セレクトビット、TCR4A レジスタのイベント出力 2B 拡張セレクトビットを設定することにより、ここで検出したエッジが他のタイマモジュールなどに出力されます（出力されるエッジ検出後の信号は、正論理で生成されます）。

22.4.2.8 TIOR2A — タイマ I/O コントロールレジスタ 2A

アクセス 8 ビット／16 ビット／32 ビットアクセス可能

アドレス FFE6 0214$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	NCKGA6	NCKGA5	NCKGA4	NCKGA3	NCKGA2	NCKGA1	NCKGA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	NCKA6	NCKA5	NCKA4	NCKA3	NCKA2	NCKA1	NCKA0	—	NCEA6	NCEA5	NCEA4	NCEA3	NCEA2	NCEA1	NCEA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.13 TIOR2A レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 23	—	何も配置されていません。“0” に固定してください。
22	NCKGA6	ノイズキャンセルクロックセレクト GA6 0：NCNTA6 のカウントソースクロックに NCKA6 で選択したクロックを選択 1：NCNTA6 のカウントソースクロックにノイズキャンセラ用カウントクロック（AGCK1）を選択
21	NCKGA5	ノイズキャンセルクロックセレクト GA5 0：NCNTA5 のカウントソースクロックに NCKA5 で選択したクロックを選択 1：NCNTA5 のカウントソースクロックにノイズキャンセラ用カウントクロック（AGCK1）を選択
20	NCKGA4	ノイズキャンセルクロックセレクト GA4 0：NCNTA4 のカウントソースクロックに NCKA4 で選択したクロックを選択 1：NCNTA4 のカウントソースクロックにノイズキャンセラ用カウントクロック（AGCK1）を選択
19	NCKGA3	ノイズキャンセルクロックセレクト GA3 0：NCNTA3 のカウントソースクロックに NCKA3 で選択したクロックを選択 1：NCNTA3 のカウントソースクロックにノイズキャンセラ用カウントクロック（AGCK1）を選択
18	NCKGA2	ノイズキャンセルクロックセレクト GA2 0：NCNTA2 のカウントソースクロックに NCKA2 で選択したクロックを選択 1：NCNTA2 のカウントソースクロックにノイズキャンセラ用カウントクロック（AGCK1）を選択
17	NCKGA1	ノイズキャンセルクロックセレクト GA1 0：NCNTA1 のカウントソースクロックに NCKA1 で選択したクロックを選択 1：NCNTA1 のカウントソースクロックにノイズキャンセラ用カウントクロック（AGCK1）を選択
16	NCKGA0	ノイズキャンセルクロックセレクト GA0 0：NCNTA0 のカウントソースクロックに NCKA0 で選択したクロックを選択 1：NCNTA0 のカウントソースクロックにノイズキャンセラ用カウントクロック（AGCK1）を選択
15	—	何も配置されていません。“0” に固定してください。
14	NCKA6	ノイズキャンセルクロックセレクト A6 0：NCNTA6 のカウントソースクロックにノイズキャンセラ用カウントクロック（Pϕ or Pϕ/128）を選択 1：NCNTA6 のカウントソースクロックにクロックバス 5 を選択
13	NCKA5	ノイズキャンセルクロックセレクト A5 0：NCNTA5 のカウントソースクロックにノイズキャンセラ用カウントクロック（Pϕ or Pϕ/128）を選択 1：NCNTA5 のカウントソースクロックにクロックバス 5 を選択

表 22.13 TIOR2A レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	NCKA4	ノイズキャンセルクロックセレクト A4 0：NCNTA4 のカウントソースクロックにノイズキャンセラ用カウントクロック（Pϕ or Pϕ/128）を選択 1：NCNTA4 のカウントソースクロックにクロックバス 5 を選択
11	NCKA3	ノイズキャンセルクロックセレクト A3 0：NCNTA3 のカウントソースクロックにノイズキャンセラ用カウントクロック（Pϕ or Pϕ/128）を選択 1：NCNTA3 のカウントソースクロックにクロックバス 5 を選択
10	NCKA2	ノイズキャンセルクロックセレクト A2 0：NCNTA2 のカウントソースクロックにノイズキャンセラ用カウントクロック（Pϕ or Pϕ/128）を選択 1：NCNTA2 のカウントソースクロックにクロックバス 5 を選択
9	NCKA1	ノイズキャンセルクロックセレクト A1 0：NCNTA1 のカウントソースクロックにノイズキャンセラ用カウントクロック（Pϕ or Pϕ/128）を選択 1：NCNTA1 のカウントソースクロックにクロックバス 5 を選択
8	NCKA0	ノイズキャンセルクロックセレクト A0 0：NCNTA0 のカウントソースクロックにノイズキャンセラ用カウントクロック（Pϕ or Pϕ/128）を選択 1：NCNTA0 のカウントソースクロックにクロックバス 5 を選択
7	—	何も配置されていません。“0” に固定してください。
6	NCEA6	ノイズキャンセライネーブル A6 0：TIA06 入力のノイズキャンセル機能を無効 1：TIA06 入力のノイズキャンセル機能を有効
5	NCEA5	ノイズキャンセライネーブル A5 0：TIA05 入力のノイズキャンセル機能を無効 1：TIA05 入力のノイズキャンセル機能を有効
4	NCEA4	ノイズキャンセライネーブル A4 0：TIA04 入力のノイズキャンセル機能を無効 1：TIA04 入力のノイズキャンセル機能を有効
3	NCEA3	ノイズキャンセライネーブル A3 0：TIA03 入力のノイズキャンセル機能を無効 1：TIA03 入力のノイズキャンセル機能を有効
2	NCEA2	ノイズキャンセライネーブル A2 0：TIA02 入力のノイズキャンセル機能を無効 1：TIA02 入力のノイズキャンセル機能を有効
1	NCEA1	ノイズキャンセライネーブル A1 0：TIA01 入力のノイズキャンセル機能を無効 1：TIA01 入力のノイズキャンセル機能を有効
0	NCEA0	ノイズキャンセライネーブル A0 0：TIA00 入力のノイズキャンセル機能を無効 1：TIA00 入力のノイズキャンセル機能を有効

タイマ I/O コントロールレジスタ 2A（TIOR2A）は 32 ビットの読み出し／書き込み可能なレジスタで、外部入力（TIA00 ～ 06）のノイズキャンセラ機能の設定、およびノイズキャンセルクロックの選択を行います。

TIOR2A はリセット時に H’00000000 に初期化されます。

(1) NCKGA0 ～ 6 — ノイズキャンセルクロックセレクト G A0 ～ 6

ノイズキャンセルカウンタ A0 ～ 6（NCNTA0 ～ 6）のカウントソースクロックを選択します。

カウントソースクロックには、ノイズキャンセルクロックセレクト（NCKA0 ～ 6）で選択したノイズキャンセラ用カウントクロック、もしくは AGCK1 を選択することが可能です。

(2) NCKA0 ～ 6 — ノイズキャンセルクロックセレクト A0 ～ 6

ノイズキャンセルカウンタ A0 ～ 6（NCNTA0 ～ 6）のカウントソースクロックを選択します。

カウントソースクロックには、ノイズキャンセラ用カウントクロック、もしくはクロックバス 5 を選択することが可能です。ノイズキャンセラ用カウントクロックは、共通制御部の NCCSEL ビットにより Pϕ の 128 分周と Pϕ のいずれかを選択可能です。

(3) NCEA0 ～ 6 — ノイズキャンセライネーブル A0 ～ 6

外部入力 TIA00 ～ 06 に対してノイズキャンセル機能の有効／無効を選択します。

これらのビットを “1” にセットしたあと、外部入力 TIA00 ～ 06 のレベル変化を検出すると、共通制御部内のノイズキャンセルモードレジスタ（NCMR）、タイマ A のノイズキャンセルモードチャネルレジスタ 1A（NCMCR1A）、タイマ A のノイズキャンセルモードチャネルレジスタ 2A（NCMCR2A）の設定にあわせて、後続エッジキャンセルモード、あるいは先行エッジキャンセルモード、またはレベル積算キャンセルモードのいずれかの処理を開始します。

後続エッジキャンセルモードでは、外部入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ A0 ～ 6（NCNTA0 ～ 6）がアップカウントを開始します。このノイズキャンセルカウンタがノイズキャンセルレジスタ A0 ～ 6（NCRA0 ～ 6）の値とコンペアマッチするまでの間、外部入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの外部入力信号のレベルがノイズキャンセル後の信号として出力されます。

NCNTA0 ～ 6 がカウント動作中にこれらのビットを “0” クリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も TIA00 ～ 06 のレベル変化はマスクされつづけます。

先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ A0 ～ 6（NCNTA0 ～ 6）がアップカウントを開始し、ノイズキャンセルレジスタ A0 ～ 6（NCRA0 ～ 6）の値とコンペアマッチするまでの間に外部入力の信号レベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合はノイズとみなされ、ノイズキャンセラは外部入力信号のレベル変化がなかったものとしてノイズキャンセル後の信号を変化させません。

NCNTA0 ～ 6 がカウント動作中にこれらのビットを “0” クリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

レベル積算キャンセルモードでは、入力信号のレベルに従い対応するノイズキャンセルカウンタ A0 ～ 6（NCNTA0 ～ 6）がアップ／ダウンカウントを行います。入力ハイレベルでアップカウント、入力ローレベルでダウンカウントとなります。アップカウントはノイズキャンセルカウンタがノイズキャンセルレジスタ A0 ～ 6（NCRA0 ～ 6）の値とコンペアマッチするまでの間、ダウンカウントはノイズキャンセルカウンタが H’00 にコンペアマッチするまで続きます。アップカウントでコンペアマッチ（NCRA0 ～ 6）するとノイズキャ

ンセラ出力を 1 に更新します。また、ダウンカウントでコンペアマッチ（H’00）するとノイズキャンセラ出力を 0 に更新します。

先行エッジキャンセルモードならびに後続エッジキャンセルモードにおいて、レベル変化の検出は選択したノイズキャンセルクロックに関わらず常に Pϕ によって行われます。レベル積算キャンセルモードにおいて、入力レベルのサンプリングはノイズキャンセラクロックセレクト A0 ～ 6（NCKA0 ～ 6）で選択されたクロックによって行われます。

ノイズキャンセル動作の詳細は、**「22.2.2　共通制御部関連レジスタ」**のノイズキャンセルモードレジスタの説明を参照してください。

22.4.2.9 TSRA — タイマステータスレジスタ A

アクセス 8 ビットアクセス可能

アドレス FFE6 0208_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	OVFA	ICFA6	ICFA5	ICFA4	ICFA3	ICFA2	ICFA1	ICFA0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.14 TSRA レジスタの内容

ビット位置	ビット名	機能
7	OVFA	オーバフローフラグ A 0：オーバフローなし 1：オーバフロー発生
6	ICFA6	インプットキャプチャフラグ A6 0：インプットキャプチャなし 1：インプットキャプチャ発生
5	ICFA5	インプットキャプチャフラグ A5 0：インプットキャプチャなし 1：インプットキャプチャ発生
4	ICFA4	インプットキャプチャフラグ A4 0：インプットキャプチャなし 1：インプットキャプチャ発生
3	ICFA3	インプットキャプチャフラグ A3 0：インプットキャプチャなし 1：インプットキャプチャ発生
2	ICFA2	インプットキャプチャフラグ A2 0：インプットキャプチャなし 1：インプットキャプチャ発生
1	ICFA1	インプットキャプチャフラグ A1 0：インプットキャプチャなし 1：インプットキャプチャ発生
0	ICFA0	インプットキャプチャフラグ A0 0：インプットキャプチャなし 1：インプットキャプチャ発生

タイマステータスレジスタ A（TSRA）は 8 ビットの読み出し専用のレジスタで、フリーランニングカウンタ A（TCNTA）のオーバフローの発生、インプットキャプチャレジスタ A0 ～ 6（ICRA0 ～ A6）でのインプットキャプチャの発生を示します。

これらのフラグは割り込み要求発生を示すステータスフラグであり、タイマステータスクリアレジスタ A（TSCRA）の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

TSRA はリセット時に H’00 に初期化されます。

(1) OVFA — オーバフローフラグ A

フリーランニングカウンタ A （TCNTA）のオーバフローの発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、TCNTA でオーバフローが発生したことを示します。

このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  TCNTA の値がオーバフロー（H’FFFF FFFF → H’0000 0000）したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ A（TSCRA）の OVFCA に “1” を書き込んだとき。

(2) ICFA0 ～ 6 — インプットキャプチャフラグ A0 ～ 6

インプットキャプチャレジスタ A0 ～ 6（ICRA0 ～ 6）のインプットキャプチャ発生を示すステータスフラグです。これらのフラグの読み出し値が “1” であるとき、フラグに対応するインプットキャプチャレジスタでインプットキャプチャが発生したことを示します。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  インプットキャプチャ信号 TIA（00 ～ 06）により TCNTA の値が ICRA（0 ～ 6）に転送されたとき。
- 0 クリア条件
  タイマステータスクリアレジスタ A（TSCRA）の ICFCA0 ～ ICFCA6 に “1” を書き込んだとき。

22.4.2.10 TSCRA — タイマステータスクリアレジスタ A

アクセス 8 ビットアクセス可能
“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

アドレス FFE6 020A$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	OVFCA	ICFCA6	ICFCA5	ICFCA4	ICFCA3	ICFCA2	ICFCA1	ICFCA0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.15 TSCRA レジスタの内容

ビット位置	ビット名	機能
7	OVFCA	オーバフローフラグクリア A イネーブル 0：無効（初期値） 1：タイマステータスレジスタ A（TSRA）の OVFA を 0 にクリア
6	ICFCA6	インプットキャプチャフラグクリア A6 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ A（TSRA）の ICFA6 を 0 にクリア
5	ICFCA5	インプットキャプチャフラグクリア A5 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ A（TSRA）の ICFA5 を 0 にクリア
4	ICFCA4	インプットキャプチャフラグクリア A4 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ A（TSRA）の ICFA4 を 0 にクリア
3	ICFCA3	インプットキャプチャフラグクリア A3 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ A（TSRA）の ICFA3 を 0 にクリア
2	ICFCA2	インプットキャプチャフラグクリア A2 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ A（TSRA）の ICFA2 を 0 にクリア
1	ICFCA1	インプットキャプチャフラグクリア A1 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ A（TSRA）の ICFA1 を 0 にクリア
0	ICFCA0	インプットキャプチャフラグクリア A0 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ A（TSRA）の ICFA0 を 0 にクリア

TSCRA は 8 ビットの読み出し／書き込み可能なレジスタで、オーバフロー／インプットキャプチャの発生によるフラグのクリア設定をします。

TSCRA は 8 ビット単位でのみ読み出し／書き込みが可能です。ただし読み出した場合は常に “0” が読み出せます。

TSCRA はリセット時に H’00 に初期化されます。

(1) OVFCA — オーバフローフラグクリア A イネーブル

タイマステータスレジスタ A（TSRA）のオーバフローフラグ A（OVFA）が “1” にセットされているとき、本ビットに “1” を書き込むと OVFA を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(2) ICFCA6 — インプットキャプチャフラグクリア A6 イネーブル

タイマステータスレジスタ A（TSRA）のインプットキャプチャフラグ A6（ICFA6）が “1” にセットされているとき、本ビットに “1” を書き込むと ICFA6 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(3) ICFCA5 — インプットキャプチャフラグクリア A5 イネーブル

タイマステータスレジスタ A（TSRA）のインプットキャプチャフラグ A5（ICFA5）が “1” にセットされているとき、本ビットに “1” を書き込むと ICFA5 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(4) ICFCA4 — インプットキャプチャフラグクリア A4 イネーブル

タイマステータスレジスタ A（TSRA）のインプットキャプチャフラグ A4（ICFA4）が “1” にセットされているとき、本ビットに “1” を書き込むと ICFA4 を ”0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(5) ICFCA3 — インプットキャプチャフラグクリア A3 イネーブル

タイマステータスレジスタ A（TSRA）のインプットキャプチャフラグ A3（ICFA3）が “1” にセットされているとき、本ビットに “1” を書き込むと ICFA3 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(6) ICFCA2 — インプットキャプチャフラグクリア A2 イネーブル

タイマステータスレジスタ A（TSRA）のインプットキャプチャフラグ A2（ICFA2）が “1” にセットされているとき、本ビットに “1” を書き込むと ICFA2 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(7) ICFCA1 — インプットキャプチャフラグクリア A1 イネーブル

タイマステータスレジスタ A（TSRA）のインプットキャプチャフラグ A1（ICFA1）が “1” にセットされているとき、本ビットに “1” を書き込むと ICFA1 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(8) ICFCA0 — インプットキャプチャフラグクリア A0 イネーブル

タイマステータスレジスタ A（TSRA）のインプットキャプチャフラグ A0（ICFA0）が “1” にセットされているとき、本ビットに “1” を書き込むと ICFA0 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

22.4.2.11 ICRAx — インプットキャプチャレジスタ Ax（x = 0 ～ 6）

アクセス 32 ビットアクセス可能 8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 0240_H（ICRA0）
FFE6 0260_H（ICRA1）
FFE6 0280_H（ICRA2）
FFE6 $02A0_H$（ICRA3）
FFE6 $02C0_H$（ICRA4）
FFE6 $02E0_H$（ICRA5）
FFE6 0300_H（ICRA6）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICAx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICAx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.16 ICRA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ICAx	インプットキャプチャ Ax 32 ビットインプットキャプチャ値

インプットキャプチャレジスタ A0 ～ 6（ICRA0 ～ 6）は、32 ビットの読み出し可能なレジスタで、インプットキャプチャ専用レジスタです。このレジスタに値を書きこむことはできません。

インプットキャプチャ専用レジスタは、外部からのインプットキャプチャ信号（TIA00 ～ 06）を検出して、フリーランニングカウンタ A（TCNTA）の値を格納します。このインプットキャプチャのタイミングで DMAC の起動ができます。このとき対応するタイマステータスレジスタ A（TSRA）のビットが 1 にセットされます。

インプットキャプチャ信号の検出エッジはタイマ I/O コントロールレジスタ 1A（TIOR1A）の I/O コントロールビットにより設定します。

ICRA0 ～ 6 は 32 ビットでのみ読み出しが可能です。16 ビット／ 8 ビット単位での読み出しは行わないでください。

ICRA0 ～ 6 はリセット時に H’00000000 に初期化されます。

22.4.2.12 TCNTA — フリーランニングカウンタ A

アクセス 32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 0220$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTA															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.17 TCNTA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	CNTA	タイマカウント A 32 ビットカウンタ値

フリーランニングカウンタ A（TCNTA）は 32 ビットの読み出し／書き込み可能なレジスタで、クロックバス経由で入力されるプリスケーラ出力、外部入力クロック、タイマ B 出力の倍周補正クロックのいずれかでカウント動作を行います。

ATU-IV マスタイネーブルレジスタ（ATUENR）の TAE ビットを “1” にセットするとアップカウント動作を開始します。入力するクロックはタイマコントロールレジスタ 1A（TCR1A）のクロックセレクトビット（CKSELA）により選択します

TCNTA がオーバーフロー（H’FFFF_FFFF → H’0000_0000）すると、オーバーフロー割込みを発生させることが出来ます。タイマステータスレジスタ A（TSRA）のオーバーフローフラグ（OVFA）が “1” にセットされます。

TCNTA は 32 ビットでのみ読み出し、書き込みが可能です。16 ビット／ 8 ビット単位での読み出し、書き込みは行わないでください。

TCNTA はリセット時に H’00000000 に初期化されます。

22.4.2.13 TILRA — タイマ入力信号レベルレジスタ A

アクセス 8 ビットアクセス可能

アドレス FFE6 0218_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	TIAL06	TIAL05	TIAL04	TIAL03	TIAL02	TIAL01	TIAL00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.18 TILRA レジスタの内容

ビット位置	ビット名	機能
7	—	何も配置されていません。“0” に固定してください。
6 ～ 0	TIAL0x	端子レベルリード TIA0x 端子レベルリード 読み出し専用レジスタ

タイマ入力信号レベルレジスタ A（TILRA）は 8 ビットの読み出し専用のレジスタで、外部入力（TIA00 ～ 06）について、ノイズキャンセル後の端子レベルの読み出し可能なレジスタです。

タイマ入力信号レベルレジスタ A は 8 ビットでのみ読み出しが可能です。

タイマ入力信号レベルレジスタ A はリセット時に H’00 に初期化されます。

22.4.2.14 TILCRA — タイマ入力信号レベルキャプチャレジスタ A

アクセス 8 ビットアクセス可能

アドレス FFE6 021A$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	CTIAL06	CTIAL05	CTIAL04	CTIAL03	CTIAL02	CTIAL01	CTIAL00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.19 TILCRA レジスタの内容

ビット位置	ビット名	機能
7	—	何も配置されていません。“0” に固定してください。
6 ～ 0	CTIAL0x	キャプチャ端子レベル TIA0x 端子レベルキャプチャ 読み出し専用レジスタ

タイマ入力信号レベルキャプチャレジスタ A（TILCRA）は 8 ビットの読み出し専用のレジスタで、外部信号入力端子（TIA00 ～ 06）について、ノイズキャンセル後の端子レベルをキャプチャし保持することができるレジスタです。

端子レベルのキャプチャは、タイマ B の TCNTB6 と OCRB6 のコンペアマッチのタイミングで行われます。タイマ B の TICRB の IREGB6 ビットの設定には依存しません。

キャプチャレジスタは 8 ビットでのみ読み出し可能です。

キャプチャレジスタはリセット時に H’00 に初期化されます。

22.4.2.15 NCNTAx — ノイズキャンセルカウンタ Ax（x = 0 ～ 6）

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 0244$_H$（NCNTA0）
FFE6 0264$_H$（NCNTA1）
FFE6 0284$_H$（NCNTA2）
FFE6 02A4$_H$（NCNTA3）
FFE6 02C4$_H$（NCNTA4）
FFE6 02E4$_H$（NCNTA5）
FFE6 0304$_H$（NCNTA6）

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCNTAx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.20 NCNTA レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCNTAx	ノイズキャンセルカウンタ Ax 16 ビットカウント値

ノイズキャンセルカウンタ A0 ～ 6（NCNTA0 ～ 6）は 16 ビットの読み出し、書き込み可能なレジスタです。

タイマ I/O コントロールレジスタ 2A（TIOR2A）のノイズキャンセルイネーブルビット（NCEA0 ～ 6）でノイズキャンセラ機能を有効にしたとき、後続エッジキャンセルモードおよび先行エッジキャンセルモードでは外部入力端子（TIA00 ～ 06）からの信号をトリガとして、アップカウント動作を行います。レベル積算キャンセルモードでは外部入力のレベルにしたがいアップ／ダウンカウントを行います。カウントソースには、TIOR2A のノイズキャンセルクロックセレクトビット（NCKA0 ～ 6）で、ノイズキャンセラ用カウントクロック、あるいはクロックバス 5 を選択可能です。

NCNTA0 ～ 6 は 16 ビット単位でのみ読み出し／書き込みが可能です。

NCNTA0 ～ 6 はリセット時に H’00 に初期化されます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードセレクトビット（NCMSEL）、タイマ A ノイズキャンセルモードビット（NCMA）、タイマ A にあるノイズキャンセルモードチャネルレジスタ 1A（NCMCR1A）のノイズキャンセルモードビット（NCM1A*）、及びノイズキャンセルモードチャネルレジスタ 2A（NCMCR2A）のノイズキャンセルモードビット（NCM2A*）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行ないます。

- 後続エッジキャンセルモード
  NCEA0 ～ 6 ビットが “1” であり NCNTA0 ～ 6 がカウント停止しているとき、TIA00 ～ 06 の入力信号レベルが変化すると、NCNTA0 ～ 6 はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタ A0 ～ 6（NCRA0 ～ 6）と一致すると、次の PCLK に同期してカウント値を H’0000 にクリアしてカウント動作を停止します。
  NCNTA0 ～ 6 は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TAE ビットの設定に関わらずカウント動作を行います。
  カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力さ

れエッジ検出の対象となりますが、以降カウント値が NCRA0 ～ 6 と一致するまでの間、全ての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。カウント値が NCRA0 ～ 6 と一致したときは、そのときの入力信号レベルをノイズキャンセル後の信号として出力します。
カウント動作中に NCEA ビットがクリアされても、カウント値が NCRA0 ～ 6 と一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされつづけます。

- 先行エッジキャンセルモード
  NCEA0 ～ 6 ビットが “1” であり NCNTA0 ～ 6 がカウント停止しているとき、TIA00 ～ 06 の入力信号レベルが変化すると、NCNTA0 ～ 6 はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタ A0 ～ 6（NCRA0 ～ 6）と一致した場合には、次の PCLK に同期してカウント値を H’0000 にクリアしカウント動作を停止します。
  NCNTA0 ～ 6 は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TAE ビットの設定に関わらずカウント動作を行います。
  ノイズキャンセル後の信号は、カウント値が NCRA0 ～ 6 と一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRA0 ～ 6 と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。
  カウント動作中に NCEA ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

- レベル積算キャンセルモード
  NCEA0 ～ 6 ビットが “1” であるとき、NCNTA0 ～ 6 は入力信号レベルによってアップカウントまたはダウンカウント動作を行います。入力レベルがハイのときアップカウントを行い、カウント値がノイズキャンセルレジスタ A0 ～ 6（NCRA0 ～ 6）と一致すると、次の PCLK に同期してアップカウント動作を停止します。入力レベルがローのときダウンカウントを行い、カウント値が H’0000 と一致すると、次の PCLK に同期してダウンカウント動作を停止します。
  NCNTA0 ～ 6 は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TAE ビットの設定に関わらずカウント動作を行います。
  アップカウントで NCRA0 ～ 6 の値にコンペアマッチするとノイズキャンセラ出力を 1 に更新します。逆に、ダウンカウントで H’0000 にコンペアマッチするとノイズキャンセラ出力を 0 に更新します。
  カウント動作中に NCEA ビットがクリアされるとノイズキャンセルカウンタは動作を停止し、ノイズキャンセラ出力からそのときの入力信号レベルに値が切り替わります。そのためレベル積算キャンセルモードで NCEA ビットをクリアする場合には、この切り替わりでエッジ検出が行われる可能性があることに注意が必要です。

22.4.2.16 NCRAx — ノイズキャンセルレジスタ Ax（x = 0 ～ 6）

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 0246$_H$（NCRA0）
FFE6 0266$_H$（NCRA1）
FFE6 0286$_H$（NCRA2）
FFE6 02A6$_H$（NCRA3）
FFE6 02C6$_H$（NCRA4）
FFE6 02E6$_H$（NCRA5）
FFE6 0306$_H$（NCRA6）

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCTAx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.21 NCRAx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCTAx	ノイズキャンセルタイム Ax TIA0x ノイズキャンセル期間（16 ビットコンペア値）

ノイズキャンセルレジスタ Ax（NCRA0 ～ 6）は 16 ビットの読み出し、書き込み可能なレジスタで、ノイズキャンセルカウンタ Ax（NCNTA0 ～ 6）の上限値を設定します。PCLK の 128 分周をノイズキャンセルクロックに選択している場合、H’FFFF 設定で、最大 0.21sec（PCLK = 40MHz 時）のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードセレクトビット（NCMSEL）、タイマ A ノイズキャンセルモードビット（NCMA）、タイマ A にあるノイズキャンセルモードチャネルレジスタ 1A（NCMCR1A）のノイズキャンセルモードビット（NCM1A*）、及びノイズキャンセルモードチャネルレジスタ 2A（NCMCR2A）のノイズキャンセルモードビット（NCM2A*）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行ないます。

- 後続エッジキャンセルモード
  NCNTA0 ～ 6 のカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTA0 ～ 6 と NCRA0 ～ 6 の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTA0 ～ 6 のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。
- 先行エッジキャンセルモード
  NCNTA0 ～ 6 のカウント動作中は、ノイズキャンセラの処理待ち状態となります。NCNTA0 ～ 6 と NCRA0 ～ 6 の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTA0 ～ 6 のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

- レベル積算キャンセルモード
  NCNTA0 ～ 6 がアップカウント動作中は、NCNTA0 ～ 6 と NCRA0 ～ 6 の値の比較が行われており、コンペアマッチが発生すると次の PCLK に同期して NCNTA0 ～ 6 のアップカウント動作を停止させます。NCNTA0 ～ 6 がダウンカウント動作中は、NCNTA0 ～ 6 は H’0000 との比較が行われます。

  NCRA0 ～ 6 は 16 ビット単位でのみ読み出し／書き込みが可能です。
  NCRA0 ～ 6 はリセット時に H’0000 に初期化されます。

22.4.3　詳細動作説明

ノイズキャンセル動作

ノイズキャンセル動作の詳細は、**「22.2.2　共通制御部関連レジスタ」**のノイズキャンセルモードレジスタの説明を参照してください。

フリーランニング動作

フリーランニングカウンタ A（TCNTA）は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TAE ビットを “1” にセットするとアップカウント動作を開始します。TCNTA がオーバーフロー（H’FFFFFFFF → H’00000000）するとタイマステータスレジスタ A（TSRA）の OVFA ビットが “1” にセットされます。同時に、CPU に割り込み要求を出力します。TCNTA はオーバーフロー後、H’00000000 からアップカウントを継続します。

TCNTA の動作中に ATU-IV マスタイネーブルレジスタ（ATUENR）の TAE ビットを “0” にクリアすると、TCNTA は動作を停止します。このとき TCNTA はリセットされません。再び TAE ビットを “1” にセットした場合には、動作停止時のカウント値からカウント動作を再開します。

カウント動作中に TCNTA への書き込みを行った場合、書き込みをカウント動作に優先して行い、以降書き込まれた値でカウント動作を継続します。また、書き込みはカウントソースに関係なく周辺クロック（PCLK）2 サイクルで完了します。

注　意

プリスケーラは、TAE ビットの設定に関係なく動作しており、TCNTA の動作許可時にも初期化は行われません。したがって起動から実際に TCNTA がカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。

図 22.11 にタイマ A フリーランニング動作、オーバーフロータイミングにフリーランニングカウンタ A（TCNTA）の動作を示します。

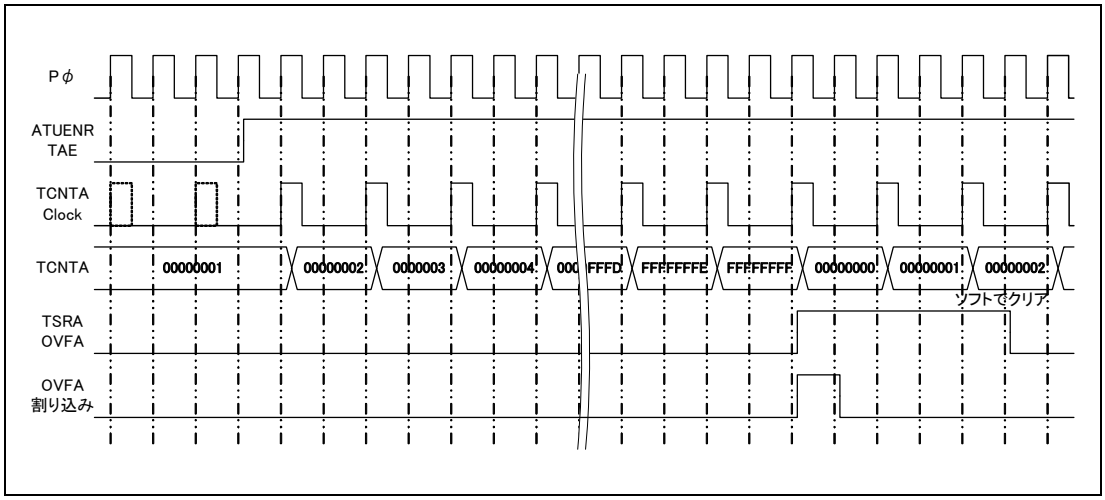


図 22.11　タイマ A フリーランニング動作、オーバーフロータイミング

インプットキャプチャ動作

インプットキャプチャレジスタ A0 ～ 6（ICRA0 ～ 6）は、タイマ I/O コントロールレジスタ 1A（TIOR1A）の IOA0 ～ 6 にインプットキャプチャ動作を指定することにより、対応する外部入力端子（TIA00 ～ 06）からのエッジ入力でインプットキャプチャ動作を行います。

外部信号入力端子からのエッジは、ノイズキャンセル機能を使用してノイズをキャンセルすることができます。ATU-IV マスタイネーブルレジスタ（ATUENR）の TAE ビットの設定によりフリーランニングカウンタ A（TCNTA）がカウントアップを開始します。ICRA の対応する外部信号入力端子のエッジが入力されると、対応するタイマステータスレジスタ A（TSRA）のビットがセットされ、TCNTA の値が ICRA に転送されます。入力されるエッジは、立ち上がり／立ち下がり／両エッジから選択できます。このとき CPU へ割り込み要求を出力することができ、DMA 転送を開始することも可能です。

インプットキャプチャとフリーランニングカウンタ A（TCNTA）への書き込みが同時に発生した場合、キャプチャされる値は書き込み前のカウンタ値となります。

図 22.12 にタイマ A のインプットキャプチャ動作に TIA00 を立ち上がりエッジ、TIA01 を立ち下がりエッジ、TIA02 を両エッジトリガと指定したときのインプットキャプチャ動作を示します。

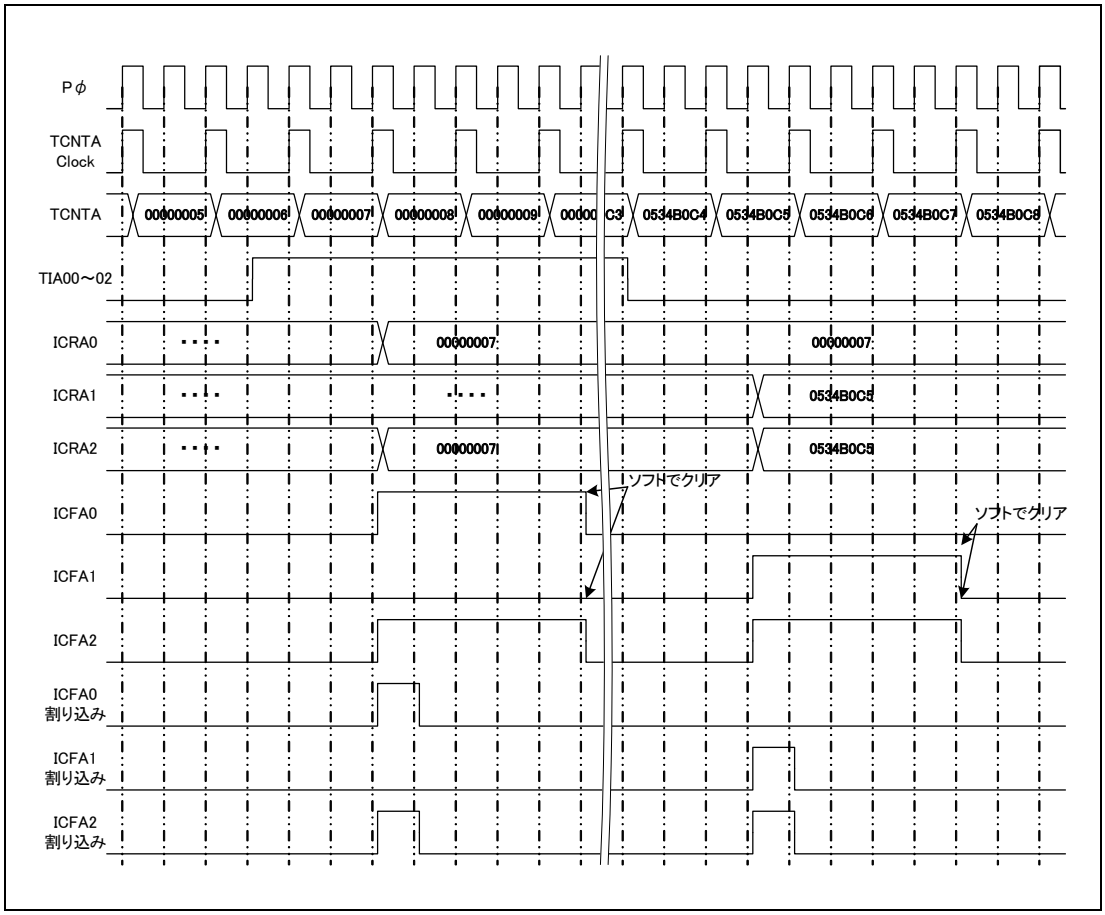


図 22.12　タイマ A のインプットキャプチャ動作

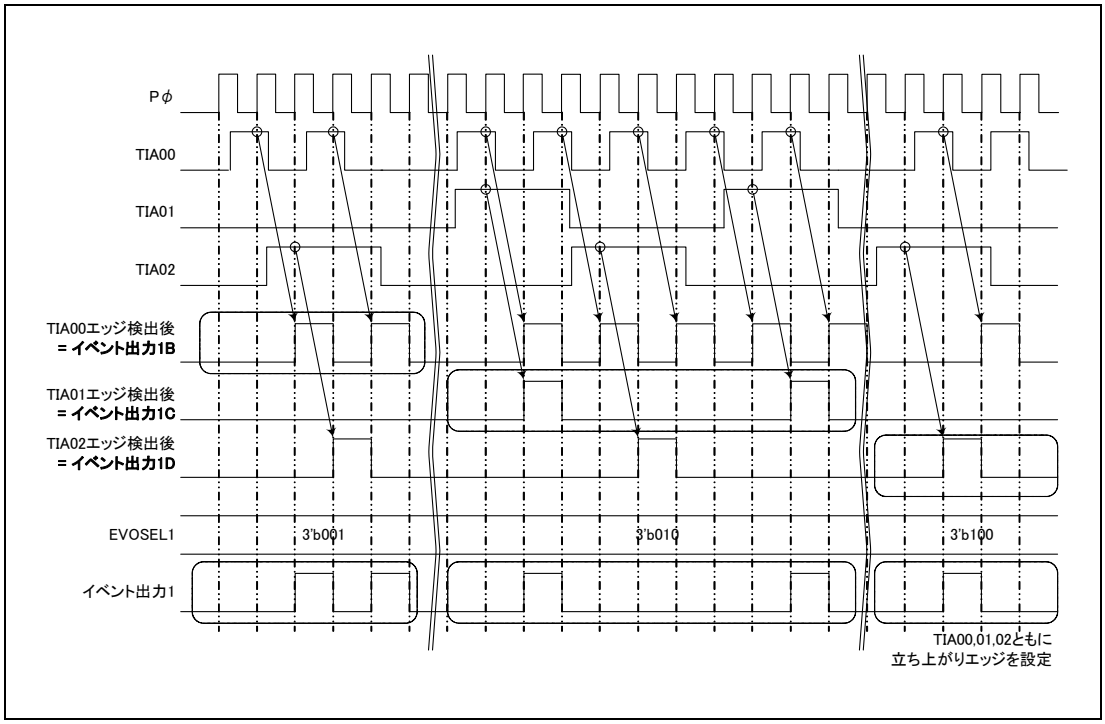


図 22.13　TIA00 ～ 02 イベント出力動作例

タイマコントロールレジスタ 1A（TCR1A）の EVOSEL1 ビットを設定することにより、外部入力端子 TIA00 ～ 02 のいずれかのエッジ検出、ノイズキャンセル後の信号をタイマ B およびタイマ C へイベント出力することができます（イベント出力 1）。

また、EVOSEL2A、EVOSEL2B ビットを設定することにより、TIA01 ～ 02 のいずれか、もしくは組み合わせでエッジ検出、ノイズキャンセル後の信号をタイマ C およびタイマ D へイベント出力することができます（イベント出力 2A ／ 2B）。さらに、タイマコントロールレジスタ 2A（TCR2A）の EVOSELE1E、EVOSELE1 ビットの設定により、外部入力端子 TIA00 ～ 06 のいずれか、もしくは組み合わせでエッジ検出、ノイズキャンセル後の信号をタイマ B および C へイベント出力することができます（イベント出力 1）。タイマコントロールレジスタ 3A（TCR3A）の EVOSELE2AE、EVOSELE2A ビット、タイマコントロールレジスタ 4A（TCR4A）の EVOSELE2BE、EVOSELE2B ビットの設定により、外部入力端子 TIA00 ～ 06 のいずれか、もしくは組み合わせでエッジ検出、ノイズキャンセル後の信号をタイマ C および D へイベント出力することができます（イベント出力 2A ／ 2B）。

図 22.13 では、EVOSEL1 を “3’b001”（TIA00 の入力エッジを出力）、“3’b010”（TIA01 の入力エッジを出力）、“3’b100”（TIA02 の入力エッジを出力）と指定したときのイベント出力動作の例を示します。

端子レベルキャプチャ動作

タイマ入力信号レベルレジスタ A（TILRA）により、外部入力端子（TIA00 ～ 06）のノイズキャンセル後の端子レベルを読み出すことが可能です。さらに、タイマ入力信号レベルレジスタ A（TILRA）の値を、タイマ入力信号レベルキャプチャレジスタ A（TILCRA）にキャプチャすることが出来ます。TILRA から TILCRA へのキャプチャはタイマ B の TCNTB6 と OCRB6 のコンペアマッチのタイミングの欠歯検出トリガによって行われます。**図 22.14** は TIA00-06 に信号を入力した時の TILRA レジスタと欠歯検出による TILCRA のキャプチャ動作の例を示します。

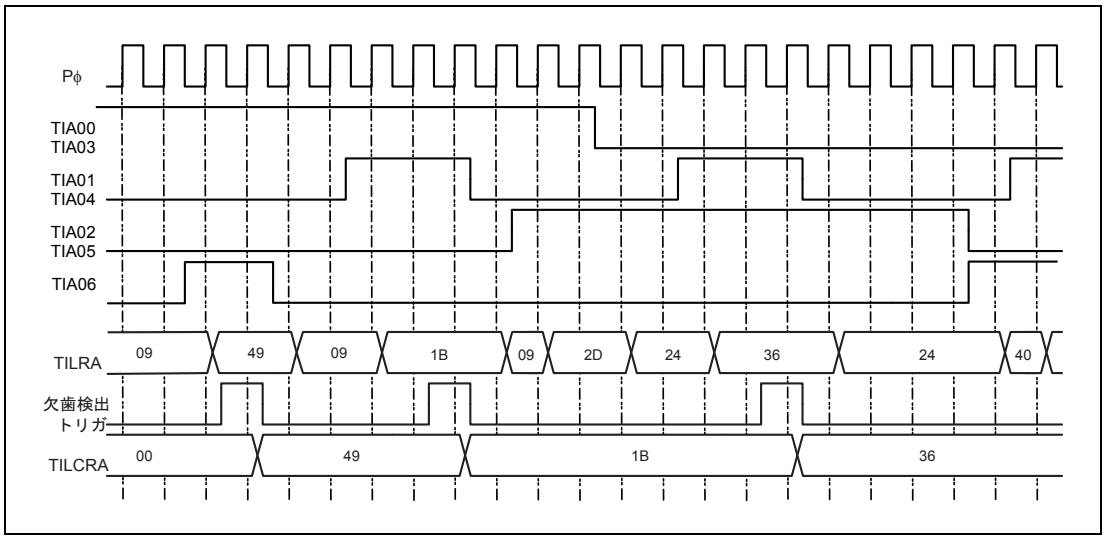


図 22.14　TILCRA キャプチャ動作例

DMA 転送

DMAC を設定することで、タイマ A のインプットキャプチャ動作で DMAC の起動が可能です。

22.5 タイマ B

22.5.1 動作概要

タイマ B は、外部イベント入力をベースにした倍周補正クロックを生成し、クロックバス経由で他のタイマブロックに供給します。タイマ B は、(a) エッジ間計測ブロック、(b) 倍周クロック生成ブロック、(c) 倍周クロック補正ブロックに分かれます。

エッジ間計測ブロック

エッジ間計測ブロックでは、タイマ A 経由で入力される外部イベントの入力エッジ間時間計測を行います（TCNTB0、ICRB0）。TCNTB0（入力エッジ間時間計測カウンタ）と OCRB0 とのコンペアマッチにより CPU への割り込み要求の出力が可能です。また、外部イベント入力をカウントソースとするイベントカウンタ B1（TCNTB1）と OCRB1 とのコンペアマッチにより、TCNTB0 の値を ICRB1 経由で ICRB2 へキャプチャすることもでき、複数イベント間の時間計測も可能です（TCNTB0 のカウント値は、外部イベント入力毎にクリアされるため、ICRB1 が TCNTB0 の値を累積してキャプチャしており、ICRB2 は外部イベントカウンタのコンペアマッチでこの値を取り込みます）。さらに、タイマコントロールレジスタ B（TCRB）の TCNTB1 クリア設定ビット CLRB1 により、外部イベント入力をカウントソースとするイベントカウンタ B1（TCNTB1）は OCRB10 とのイベントコンペアマッチ発生後の、次の外部イベント入力のタイミングで TCNTB1 の値を H'01 に設定することも可能です。また、キャプチャ値（ICRB0）は、外部入力イベントのタイミングによりその値をレコードレジスタ B 1 ～ 6（RECRB1-6）に最大 7 個まで保持することが可能です。ICRB0 及び RECRB1-6 に保持された値は、イベントカウンタ B1（TCNTB1）と OCRB12 によるイベントコンペアマッチによりレコードバックアップレジスタ B 0 ～ 6（RBURB0-6）にバックアップをとることが出来ます。

エッジ間計測ブロックでは、イベントカウンタ B1（TCNTB1）に対して、タイマ A 経由で入力される 7 種の外部イベント入力 1B ～ 1H 発生時に、イベントカウンタ B1（TCNTB1）の値をキャプチャします。（ICRB30-ICRB36）外部イベント入力 1B ～ 1H 発生では、イベントカウンタ B1（TCNTB1）をクリアしません。

倍周クロック生成ブロック

倍周クロック生成ブロックでは、外部イベント入力を 1/1 ～ 1/4095 分周した倍周クロック（AGCK1）を生成します。エッジ間計測ブロックの入力エッジ間計測カウンタ B0（TCNTB0）のキャプチャ値（ICRB0）に対して、リロード付き（RLDB）のダウンカウント（TCNTB2）を行います。ダウンカウントは PIMR 選択レジスタで設定された、分周比設定値で行います。分周比設定値は PIMR1 の他に、エッジ間計測ブロックのイベントカウンタ B1（TCNTB1）と OCRB11 によるイベントコンペアマッチにより、PIMR2 を選択することが出来ます。倍周クロック（AGCK1）は、このダウンカウンタのアンダフローで生成します。

TCNTB6 は倍周クロックベースの計測カウンタで、OCRB6 とのコンペアマッチで CPU へ割り込み要求出力が可能です。ICRB6 はキャプチャレジスタであり、この TCNTB6 の値を外部イベント入力時にキャプチャを行ないます。

TCNTB6M は倍周クロックベースの計測カウンタで、カウントアップ値を 0 ～ 4 より小さい値の範囲で 1/64 単位で設定できます。外部イベント入力発生時に ICRB6 の値と比較し、ICRB6 の値より小さい場合に CPU へ割り込み要求が可能です。

倍周クロック補正ブロック

倍周クロック生成ブロックで生成する AGCK1 は、 1 つ前の入力エッジ間隔を参考にして生成されるため、連続する 2 つのエッジ間隔に変化が生じた場合は補正が必要になります。その補正を行うのが倍周補正ブロックであり、TCNTB3、TCNTB4、TCNTB5 の 3 つの補正カウンタと、補正カウンタクリアレジスタ B（TCCLRB）を用いて倍周補正クロック（AGCKM）を生成します。倍周補正クロックは、クロックバス制御レジスタ（CBCNT）を設定することでクロックバス 5 へ出力することができ、他のタイマモジュールは倍周補正クロックをカウントソースとして使用できます。なお、倍周補正クロック（AGCKM）生成時に行われる倍周補正クロック生成カウンタ（TCNTB5）と補正カウンタクリアレジスタ B（TCCLRB）がコンペアマッチするまでカウントアップする自動カウントアップ機能については、機能の有効無効を選択できます。また、タイマコントロールレジスタ B（TCRB）の TCNTB3 クリア設定ビット CLRB3 により、補正イベントカウンタ B3（TCNTB3）は、エッジ間計測ブロックのイベントカウンタ B1（TCNTB1）と OCRB10 とのコンペアマッチ、または、補正イベントカウンタ B3（TCNTB3）と OCRB8 とのコンペアマッチによるイベントコンペアマッチのタイミングで自動クリアすることが可能です。

AGCKM2 補正許可設定レジスタ（ACRTRGB）の ACRTRG に “1” を設定することで、倍周補正クロック（AGCKM）に対する補正を行うことが可能です。AGCKM2 補正クロック数設定レジスタ（ACRVALRB）に従い、内部 AGCKM2 カウンタが動作することで、AGCKM に対して補正を施した倍周補正クロック 2（AGCKM2）を出力します。

内部 AGCKM2 カウンタがについては、カウント動作中にデバッガによるブレークと状態となってもカウント動作を継続します。内部 AGCKM2 のカウント動作を停止する場合には、AGCKM2 補正クリア設定レジスタ（ACRCLRB）の ACRCLR に “1” を設定する必要があります。

図 22.15 に、タイマ B のブロック図を示します。

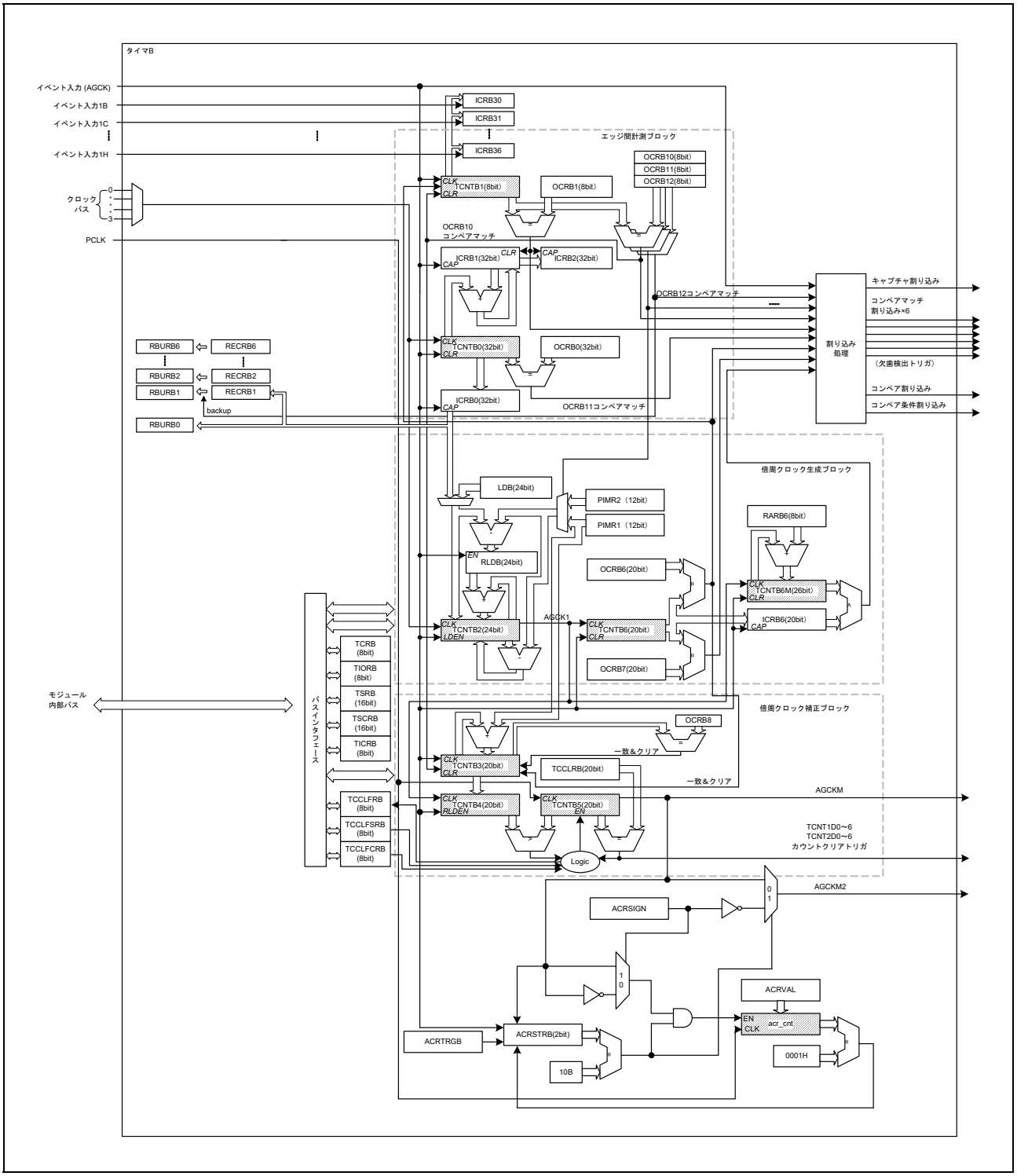


図 22.15　タイマ B ブロック図

22.5.2 タイマ B 制御レジスタ

22.5.2.1 TCRB — タイマコントロールレジスタ B

アクセス 8 ビットアクセス可能

アドレス FFE6 0400_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PIMRSEL	CLRB3	CLRB1	CLRB3SEL		CLRB1SEL	CKSELB	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.22 TCRB レジスタの内容

ビット位置	ビット名	機能
7	PIMRSEL	PIMR 選択ビット 0：常に PIMR1 を選択 1：TCNTB1 と OCRB11 の一致している間、PIMR1 の代わりに PIMR2 を選択する。
6	CLRB3	TCNTB3 クリア設定ビット 0：TCNTB3 をクリアしない 1：TCNTB3 をクリアする
5	CLRB1	TCNTB1 クリア設定ビット 0：TCNTB1 をクリアしない 1：TCNTB1 をクリアする
4、3	CLRB3SEL	TCNTB3 クリア設定選択ビット 00：TCNTB3 のクリアに TCNTB1 と OCRB10 のコンペアマッチを使用する 01：TCNTB3 のクリアに TCNTB6 と OCRB6 のコンペアマッチを使用する 10：TCNTB3 のクリアに TCNTB3 と OCRB8 のコンペアマッチを使用する 11：設定禁止
2	CLRB1SEL	TCNTB1 クリア設定選択ビット 0：TCNTB1 のクリアに TCNTB1 と OCRB10 のコンペアマッチを使用する 1：TCNTB1 のクリアに TCNTB6 と OCRB6 のコンペアマッチを使用する
1、0	CKSELB	クロックセレクト B4 00：カウントソースにクロックバス 0 を選択 01：カウントソースにクロックバス 1 を選択 10：カウントソースにクロックバス 2 を選択 11：カウントソースにクロックバス 3 を選択

TCRB は 8 ビットの読み出し／書き込み可能なレジスタで、入力エッジ間計測カウンタ B0（TCNTB0）、リロードカウンタ B2（TCNTB2）のカウントソースの選択、TCNTB1 と OCRB10 のコンペアマッチ、または TCNTB6 と OCRB6 とのコンペアマッチにより TCNTB1 の値、および TCNTB3 の値をクリアするかの選択、パルスインターバルマルチプライヤの選択を行います。

TCRB は 8 ビット単位で読み出し／書き込みが可能です。

TCRB はリセット時に H’00 に初期化されます。

(1) CKSELB — クロックセレクト B

これらのビットにより、TCNTB0、TCNTB2 のカウントクロックにクロックバス 0 ～ 3 のいずれかを選択します。クロックバス 0 ～ 3 はプリスケーラ 0 ～ 3 の出力する分周クロックです。カウントクロックのエッジ検出は立ち上がり固定です。

カウントクロックの選択は、タイマ B の動作が停止している状態で行ってください。

(2) PIMRSEL — パルスインターバルマルチプライヤ選択ビット

PIMRSEL ビットを “1” に設定することにより、TCNTB1 と OCRB11 が一致している間、リロードレジスタ B（RLDB）へのロード値の減算値、および TCNT2B のダウンカウント値時に PIMR2 を、それ以外のときは PIMR1 を選択します。ただし、TCNTB3 の加算値には常に PIMR1 を使用します。

PIMRSEL ビットが “0” の場合は、常に PIMR1 を使用します。

(3) CLRB1 — TCNTB1 クリア設定ビット

TCNTB1 クリア設定ビット（CLRB1）を “1” に設定すると、CLRB1SEL の設定条件の TCNTB1 と OCRB10 とのコンペアマッチ、または TCNTB6 と OCRB6 とのコンペアマッチ発生後の次のイベント入力のタイミングで、TCNTB1 の値はクリアされます。

(4) CLRB3 — TCNTB3 クリア設定ビット

TCNTB3 クリア設定ビット（CLRB3）を “1” に設定すると、CLRB3SEL の設定条件の TCNTB1 と OCRB10 とのコンペアマッチ、または TCNTB6 と OCRB6 とのコンペアマッチ、または TCNTB3 と OCRB8 とのコンペアマッチ発生後、次の PCLK に同期して TCNTB3 の値をクリアします。

(5) CLRB1SEL — TCNTB1 クリア設定選択ビット

TCNTB1 クリア設定選択ビット（CLRB1SEL）の設定により、TCNTB1 のクリア条件を設定できます。CLRB1SEL が “0” のとき、TCNTB1 と OCRB10 とのコンペアマッチにより TCNTB1 をクリアできます。CLRB1SEL が “1” のとき、TCNTB6 と OCRB6 とのコンペアマッチにより TCNTB1 をクリアできます。

(6) CLRB3SEL — TCNTB3 クリア設定選択ビット

TCNTB1 クリア設定選択ビット（CLRB3SEL）の設定により、TCNTB3 のクリア条件を設定できます。CLRB3SEL が “00” のとき、TCNTB1 と OCRB10 とのコンペアマッチにより TCNTB3 をクリアできます。CLRB3SEL が “01” のとき、TCNTB6 と OCRB6 とのコンペアマッチにより TCNTB3 をクリアできます。CLRB3SEL が “10” のとき、TCNTB3 と OCRB8 とのコンペアマッチにより TCNTB3 をクリアできます。

22.5.2.2 TIORB — タイマ I/O コントロールレジスタ B

アクセス 8 ビットアクセス可能

アドレス FFE6 0402_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LDSEL	CTCNTB5	EVCNTB	LDEN	CCS	—	—	IOB6
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W

表 22.23 TIORB レジスタの内容

ビット位置	ビット名	機能
7	LDSEL	ロードデータセレクト 0：TCNTB2 のロードデータ、RLDB のロードデータの計算に ICRB0 値を用いる 1：TCNTB2 のロードデータ、RLDB のロードデータの計算に LDB 値を用いる
6	CTCNTB5	カウントコントロール B5 0：TCNTB5 のカウント動作を許可 1：TCNTB5 のカウント動作を停止
5	EVCNTB	イベントコントロール B 0：外部イベントの入力を禁止 1：外部イベントの入力を許可
4	LDEN	ロードイネーブル 0：ICRB0 のインプットキャプチャ時に TCNTB2、RLDB の値を更新する 1：ICRB0 のインプットキャプチャ時に TCNTB2、RLDB の値を更新しない
3	CCS	カウンタコレクションセレクト 0：TCNTB3 = TCNTB4 のとき TCNTB4 のカウント動作を停止しない 1：TCNTB3 = TCNTB4 のとき TCNTB4 のカウント動作を停止する
2、1	—	何も配置されていません。“0” に固定してください。
0	IOB6	I/O コントロール B6 0：TCNTB6 と OCRB6 とのコンペアマッチ禁止 1：TCNTB6 と OCRB6 とのコンペアマッチ許可

タイマ I/O コントロールレジスタ B（TIORB）は 8 ビットの読み出し／書き込み可能なレジスタで、倍周クロックの元データの選択、外部入力の有効／無効、データロードの許可／禁止、補正の設定などを行います。また、倍周補正クロック生成カウンタ B5（TCNTB5）やアウトプットコンペアレジスタ B6（OCRB6）の制御も行います。

TIORB は 8 ビット単位での読み出し／書き込みが可能です。

TIORB はリセット時に H’00 に初期化されます。

(1) LDSEL — ロードデータセレクト

リロードカウンタ B2（TCNTB2）にロードする値、およびリロードレジスタ B（RLDB）にロードする値の計算値として ICRB0 値を用いるか、LDB 値を用いるかを選択できます。

(2) CTCNTB5 — カウントコントロール B5

補正倍周クロック生成カウンタ B5（TCNTB5）のカウント動作を許可、あるいは停止させることができます。

このビットを “1” にすると、TCNTB5 のカウントが停止し、他タイマへ出力する補正倍周クロックも停止します。カウント動作停止によるカウンタのクリアは行われません。動作停止後このビットを “0” に設定した場合、TCNTB5 は補正カウント動作を再開し、補正倍周クロックも発振を再開します。

(3) EVCNTB — イベントコントロール B

外部イベントの入力を許可、あるいは禁止を選択することができます。このビットを “0” にセットした場合、外部イベントは入力されません。“1” にセットしたとき、選択したエッジをもとにインプットキャプチャや、倍周補正クロックの生成が行われます。

(4) LDEN — ロードイネーブル

入力エッジ間計測カウンタ B0（TCNTB0）のインプットキャプチャ時に、インプットキャプチャレジスタ B0（ICRB0）の値をリロードカウンタ B2（TCNTB2）および、リロードレジスタ B（RLDB）の値を更新するかどうかを選択します。

(5) CCS — カウンタコレクションセレクト

補正倍周クロックカウンタ B4（TCNTB4）の動作を選択します。TCNTB3 = TCNTB4 のとき、TCNTB4 のカウント動作を停止するかどうかを選択することができます。

(6) IOB6 — I/O コントロール B6

アウトプットコンペアレジスタ B6（OCRB6）の機能を選択します。このビットに “0” を設定したとき、OCRB6 は倍周クロックカウンタ B6（TCNTB6）とのコンペアマッチを行いません。“1” に設定すると TCNTB6 とのコンペアマッチ動作を行います。このとき、コンペアマッチで CPU へ割り込み要求が出力されます。

22.5.2.3 TSRB — タイマステータスレジスタ B

アクセス 8 ビット／16 ビットアクセス可能

アドレス FFE6 0404_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CMFB6E	CMFB6M	—	CMFB12	CMFB11	CMFB10	CMFB6	CMFB1	ICFB0	CMFB0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.24 TSRB レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	—	何も配置されていません。“0” に固定してください。
9	CMFB6E	コンペアマッチフラグ B6E 0：機能非選択、またはコンペアマッチなし 1：TICRB の IREGB6E に設定した条件でのコンペアマッチ発生
8	CMFB6M	コンペアマッチフラグ B6M 0：TCNTB6M 値が ICRB6 値以上。 1：TCNTB6M 値が ICRB6 より小さいときに、次のイベント入力発生
7	—	何も配置されていません。“0” に固定してください。
6	CMFB12	コンペアマッチフラグ B12 0：コンペアマッチなし 1：コンペアマッチ発生
5	CMFB11	コンペアマッチフラグ B11 0：インプットキャプチャなし 1：インプットキャプチャ発生
4	CMFB10	コンペアマッチフラグ B10 0：コンペアマッチなし 1：コンペアマッチ発生
3	CMFB6	コンペアマッチフラグ B6 0：コンペアマッチなし 1：コンペアマッチ発生
2	CMFB1	コンペアマッチフラグ B1 0：コンペアマッチなし 1：コンペアマッチ発生
1	ICFB0	インプットキャプチャフラグ B0 0：インプットキャプチャなし 1：インプットキャプチャ発生
0	CMFB0	コンペアマッチフラグ B0 0：コンペアマッチなし 1：コンペアマッチ発生

タイマステータスレジスタ B（TSRB）は 16 ビットの読み出し専用のレジスタで、インプットキャプチャ／コンペアマッチの発生を示します。

これらのフラグは割り込み要求発生を示すステータスフラグであり、タイマステータスクリアレジスタ B（TSCRB）の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

補足：CMFB6 フラグがセットされた状態で、TCNTB6 と OCRB6 のコンペアマッチが発生しても、OCRB6 コンペアマッチ割り込みを発生しません。

TSRB は 8 ビットまたは 16 ビット単位でのみ読み出が可能です。

TSRB はリセット時に H’0000 に初期化されます。

(1) CMFB6E — コンペアマッチフラグ B6E

タイマインタラプトコントロールレジスタ B（TICRB）の IREGB6E の設定により、CMFB6 と CMFB6M のフラグセットが両方とも発生した場合、または片方のみ発生したことを示すステータスフラグです。このフラグの読み出し値が “1” であるとき、CMFB6 と CMFB6M のフラグセットが両方、または片方のみ発生したことを示します。このフラグをソフトウェアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  タイマインタラプトコントロールレジスタ B（TICRB）の IREGB6E の設定により、CMFB6E の割り込み要求の発生時にセットします。詳細は TICRB の IREGB6E の設定をご確認ください。
- 0 クリア条件
  タイマステータスクリアレジスタ B（TSCRB）の CMFCB6E に “1” を書き込んだとき。

(2) CMFB6M — コンペアマッチフラグ B6M

外部入力イベントタイミングのときに、倍周クロックカウンタ B6M（TCNTB6M）がインプットキャプチャレジスタ B6（ICRB6）の値より小さかったことを示すステータスフラグです。このフラグの読み出し値が “1” であるとき、TCNTB6M は ICRB6 以上の値にならず、次のイベント入力が発生したことを示します。このフラグをソフトウェアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  TCNTB6M のカウント値が ICRB6 の値以上にならず、次のイベント入力が発生したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ B（TSCRB）の CMFCB6M に “1” を書き込んだとき。

(3) CMFB12 — コンペアマッチフラグ B12

アウトプットコンペアレジスタ B12（OCRB12）のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、CMFB12 でコンペアマッチが発生したことを示します。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  TCNTB1 のカウント値が OCRB12 の値と一致し、次の PCLK が発生したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ B（TSCRB）の CMFCB12 に “1” を書き込んだとき。

(4) CMFB11 — コンペアマッチフラグ B11

アウトプットコンペアレジスタ B11（OCRB11）のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、CMFB11 でコンペアマッチが発生したことを示します。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  TCNTB1 のカウント値が OCRB11 の値と一致し、次の PCLK が発生したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ B（TSCRB）の CMFCB11 に “1” を書き込んだとき。

(5) CMFB10 — コンペアマッチフラグ B10

アウトプットコンペアレジスタ B10（OCRB10）のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、CMFB10 でコンペアマッチが発生したことを示します。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  TCNTB1 のカウント値が OCRB10 の値と一致し、次の PCLK が発生したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ B（TSCRB）の CMFCB10 に “1” を書き込んだとき。

(6) CMFB6 — コンペアマッチフラグ B6

アウトプットコンペアレジスタ B6（OCRB6）のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、CMFB6 でコンペアマッチが発生したことを示します。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

また、TICRB の IREGB6 を “10” に設定しているときに限り、OCRB7 のコンペアマッチ発生によって自動的にクリアされます。

- 1 セット条件
  タイマ I/O コントロールレジスタ B（TIORB）の IOB6 ビットをコンペアマッチ許可に設定し、かつ TCNTB6 のカウント値が OCRB6 の値と一致し、次の AGCK1 クロックが発生したとき。
- 0 クリア条件
  - タイマステータスクリアレジスタ B（TSCRB）の CMFCB6 に “1” を書き込んだとき。
  - IREGB6 = “10” 設定時、OCRB7 コンペアマッチ発生で自動的にクリアされます。

(7) CMFB1 — コンペアマッチフラグ B1

アウトプットコンペアレジスタ B1（OCRB1）のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、CMFB1 でコンペアマッチが発生したことを示します。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  TCNTB1 のカウント値が OCRB1 の値と一致し、次の PCLK が発生したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ B（TSCRB）の CMFCB1 に “1” を書き込んだとき。

(8) ICFB0 — インプットキャプチャフラグ B0

インプットキャプチャレジスタ B0（ICRB0）のインプットキャプチャ発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、ICRB0 でインプットキャプチャが発生したことを示します。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  外部イベントによるインプットキャプチャトリガにより TCNTB0 の値が ICRB0 に転送されたとき。
- 0 クリア条件
  タイマステータスクリアレジスタ B（TSCRB）の ICFCB0 に “1” を書き込んだとき。

(9) CMFB0 — コンペアマッチフラグ B0

アウトプットコンペアレジスタ B0（OCRB0）のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、CMFB0 でコンペアマッチが発生したことを示します。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  TCNTB0 のカウント値が OCRB0 の値と一致し、プリスケーラで設定した次のクロックが発生したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ B（TSCRB）の CMFCB0 に “1” を書き込んだとき。

22.5.2.4 TSCRB — タイマステータスクリアレジスタ B

アクセス 8 ビット／ 16 ビットアクセス可能
“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

アドレス FFE6 0406_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CMFCB 6E	CMFCB 6M	—	CMFCB 12	CMFCB 11	CMFCB 10	CMFCB 6	CMFCB 1	ICFCB0	CMFCB 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.25 TSRB レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	—	何も配置されていません。“0” に固定してください。
9	CMFCB6E	コンペアマッチフラグクリア B6E イネーブル 0：無効（初期値） 1：タイマステータスレジスタ B（TSRB）の CMFB6E を 0 にクリア
8	CMFCB6M	コンペアマッチフラグクリア B6M イネーブル 0：無効（初期値） 1：タイマステータスレジスタ B（TSRB）の CMFB6M を 0 にクリア
7	—	何も配置されていません。“0” に固定してください。
6	CMFCB12	コンペアマッチフラグクリア B12 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ B（TSRB）の CMFB12 を 0 にクリア
5	CMFCB11	コンペアマッチフラグクリア B11 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ B（TSRB）の CMFB11 を 0 にクリア
4	CMFCB10	コンペアマッチフラグクリア B10 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ B（TSRB）の CMFB10 を 0 にクリア
3	CMFCB6	コンペアマッチフラグクリア B6 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ B（TSRB）の CMFB6 を 0 にクリア
2	CMFCB1	コンペアマッチフラグクリア B1 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ B（TSRB）の CMFB1 を 0 にクリア
1	ICFCB0	インプットキャプチャフラグクリア B0 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ B（TSRB）の ICFB0 を 0 にクリア
0	CMFCB0	コンペアマッチフラグクリア B0 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ B（TSRB）の CMFB0 を 0 にクリア

タイマステータスクリアレジスタ B（TSCRB）は 16 ビットの読み出し／書き込み可能なレジスタで、インプットキャプチャ／コンペアマッチの発生によるフラグのクリア設定をします。

TSCRB は 16 ビット単位でのみ読み出し／書き込みが可能です。ただし読み出した場合は常に “0” が読み出せます。

TSCRB はリセット時に H’0000 に初期化されます。

(1) CMFCB6E — コンペアマッチフラグクリア B6E イネーブル

タイマステータスレジスタ B（TSRB）のコンペアマッチフラグ B6E（CMFB6E）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFB6E を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(2) CMFCB6M — コンペアマッチフラグクリア B6M イネーブル

タイマステータスレジスタ B（TSRB）のコンペアマッチフラグ B6M（CMFB6M）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFB6M を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(3) CMFCB12 — コンペアマッチフラグクリア B12 イネーブル

タイマステータスレジスタ B（TSRB）のコンペアマッチフラグ B12（CMFB12）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFB12 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(4) CMFCB11 — コンペアマッチフラグクリア B11 イネーブル

タイマステータスレジスタ B（TSRB）のコンペアマッチフラグ B11（CMFB11）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFB11 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(5) CMFCB10 — コンペアマッチフラグクリア B10 イネーブル

タイマステータスレジスタ B（TSRB）のコンペアマッチフラグ B10（CMFB10）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFB10 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(6) CMFCB6 — コンペアマッチフラグクリア B6 イネーブル

タイマステータスレジスタ B（TSRB）のコンペアマッチフラグ B6（CMFB6）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFB6 を ”0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(7) CMFCB1 — コンペアマッチフラグクリア B1 イネーブル

タイマステータスレジスタ B（TSRB）のコンペアマッチフラグ B1（CMFB1）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFB1 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(8) ICFCB0 — インプットキャプチャフラグクリア B0 イネーブル

タイマステータスレジスタ B（TSRB）のインプットキャプチャフラグ B0（ICFB0）が “1” にセットされているとき、本レジスタに “1” を書き込むと ICFB0 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(9) CMFCB0 — コンペアマッチフラグクリア B0 イネーブル

タイマステータスレジスタ B（TSRB）のコンペアマッチフラグ B0（CMFB0）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFB0 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

22.5.2.5 TICRB — タイマインタラプトコントロールレジスタ B

アクセス 8 ビットアクセス可能

アドレス FFE6 0408_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	IREGB6E		IREGB6	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.26 TICRB レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。“0” に固定してください。
3、2	IREGB6E	インタラプトイネーブルエッジ B6E 00：割り込み要求を出力しない。 01：CMFB6 が有効になったあとに CMFB6M が有効になったとき、または CMFB6M が有効になったあとに CMFB6 が有効になったタイミングで割り込み要求出力。（AND 条件） 10：CMFB6 が有効、または CMFB6M が有効になったタイミングで割り込み要求出力。（OR 条件） 11：設定禁止
1、0	IREGB6	インタラプトイネーブルエッジ B6 00：CMFB6 が有効になったタイミングで割り込み要求出力 01：CMFB6 が有効になったあと、次の外部イベント入力タイミングで割り込み要求出力 10：CMFB6 が有効になったあと、2 回目の外部イベント入力タイミングで割り込み要求出力。ただし、2 回の外部イベントが入力されるまでにコンペアマッチ B7 が発生した場合は、割り込み要求を出力しない。 11：設定禁止

タイマインタラプトコントロールレジスタ B（TICRB）は 8 ビットの読み出し／書き込み可能なレジスタで、コンペアマッチの割り込み要求のタイミングを制御します。

TICRB は 8 ビット単位でのみ読み出し／書き込みが可能です。

TICRB はリセット時に H’00 に初期化されます。

(1) IREGB6E — インタラプトイネーブルエッジ B6E

TSRB の CMFB6E の割り込み要求出力の条件を選択します。

このビットを “00” に設定したときはこのビットの動作は無効です。

このビットを “01” に設定したとき、IREGB6 の設定による CMFB6 の割り込みが発生した状態のときに、CMFB6M が有効になるときの外部イベント入力タイミングで割り込み要求を出力します。または、CMFB6M が有効な状態で IREGB6 の設定による CMFB6 の割り込み要求が発生したタイミングで割り込み要求を出力します。（AND 条件）CMFB6 による割り込みが発生した後でも、CMFB6 をクリアすると CMFB6M が有効になっても CMFB6E の割り込み要求は出力しません。または、CMFB6M が有効になっても、CMFB6M をクリアすると IREGB6 の設定による CMFB6 割り込み要求が発生しても、CMFB6E の割り込み要求は出力しません。

このビットを “10” に設定したとき、IREGB6 の設定による CMFB6 の割り込みが発生したとき、または CMFB6M が有効になるタイミングで割り込み要求を出力します。（OR 条件）IREGB6 の設定による CMFB6 の割り込み要求タイミングと、CMFB6M の割り込み要求タイミングがそれぞれ異なる場合、それぞれの割り込み要求が発生しますのでご注意ください。

ただし、CMFB6 と CMFB6M の割り込み要求の発生タイミングが同じ場合は一度の割り込み発生となります。

本ビットはカウンタの動作中、および TSRB の CMFB6、CMFB6M のビットがセット中には変更しないでください。変更した場合、正常に動作しません。

(2) IREGB6 — インタラプトイネーブルエッジ B6

TSRB の CMFB6 の割り込み要求出力タイミングを選択します。このビットを “00” に設定したとき、CMFB6 の割り込み要求は、CMFB6 が有効になったタイミングで割り込み要求を出力します。また、このビットを “01” に設定したときは、CMFB6 が有効になったあと、次の外部イベント入力タイミングで割り込み要求を出力します。

このビットを “10” に設定した場合は、CMFB6 が有効になったあと、外部イベントが 2 回入力されたタイミングで割り込み要求を出力します。ただし、コンペアマッチ B7 が、2 回の外部イベント入力待ちの間に発生した場合は、CMFB6 が自動的にクリアされ、その後 2 回目の外部イベントが入力されても、割り込み要求は出力されません。

本ビットはカウンタの動作中、および TSRB の CMFB6 のビットがセット中には変更しないでください。変更した場合、正常に動作しません。

22.5.2.6　TCNTB0 — 入力エッジ間計測カウンタ B0

アクセス　32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス　FFE6 0480_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.27　TCNTB0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	CNTB0	入力エッジ間計測カウント 32 ビットカウンタ値

入力エッジ間計測カウンタ B0（TCNTB0）は 32 ビットの読み出し／書き込み可能なレジスタで、タイマコントロールレジスタ B（TCRB）のクロックセレクトビット B（CKSELB）で選択した入力クロックによりカウント動作を行います。また、外部イベント入力によるインプットキャプチャタイミングでクリア（H’00000001）されます。

ATU-IV マスタイネーブルレジスタ（ATUENR）の TBE が “1” にセットされるとカウント動作を行います。TBE の “0” クリアでカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB0 は 32 ビット単位でのみ読み出し／書き込みが可能です。8 ビット／ 16 ビット単位での読み出し／書き込みは行わないでください。

TCNTB0 はリセット時に H’00000001 に初期化されます。

22.5.2.7　ICRB0 — インプットキャプチャレジスタ B0

アクセス　32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス　FFE6 0484_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICB0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICB0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.28　ICRB0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ICB0	インプットキャプチャ B0 32 ビットインプットキャプチャ値

インプットキャプチャレジスタ B0（ICRB0）は 32 ビットの読み出し専用レジスタで、外部イベントの入力タイミングで TCNTB0 の値が転送されます。このとき、同時にタイマステータスレジスタ B（TSRB）の ICFB0 が 1 にセットされます。

この ICRB0 のインプットキャプチャタイミングで、CPU へ割り込み要求を出力することができます。また、TCNTB0 は H’00000001 にクリアされます。

ICRB0 は 32 ビット単位でのみ読み出しが可能です。8 ビット／ 16 ビット単位での読み出しは行わないでください。

ICRB0 はリセット時に H’00000000 に初期化されます。

22.5.2.8 RECRBx — レコードレジスタ Bx （x = 1 ～ 6）

アクセス 32 ビットアクセス可能 8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 0488$_H$（RECRB1）
FFE6 048C$_H$（RECRB2）
FFE6 0490$_H$（RECRB3）
FFE6 0494$_H$（RECRB4）
FFE6 0498$_H$（RECRB5）
FFE6 049C$_H$（RECRB6）

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RECRB1-6															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RECRB1-6															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.29 RECRB1-6 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RECRB1-6	レコードレジスタ B1 ～ 6 32 ビットイベントキャプチャ値

レコードレジスタ B1 ～ 6（RECRB1 ～ 6）は 32 ビットレジスタで、外部イベントの入力（イベント 1 入力）タイミングで ICRB0 の値をキャプチャします。外部イベントの入力があるごとに ICRB0 の値を RECRB1 に、RECRB1 の値を RECRB2 に、RECBR2 の値を RECRB3 のように値をシフトしながらキャプチャを行い、ICRB0 と RECRB1 ～ 6 に過去 7 個までの TCNT0B の値を保持することができます。

RECRB1 ～ 6 は 32 ビット単位でのみ読み出し／書き込みが可能です。

書き込みにより初期化する場合は、H’00000000 を書き込んでください。

RECRB1 ～ 6 はリセット時に H’00000000 に初期化されます。

22.5.2.9　RBURBx — レコードバックアップレジスタ Bx（x = 0 ～ 6）

アクセス　32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス　FFE6 04A0$_H$（RBURB0）
FFE6 04A4$_H$（RBURB1）
FFE6 04A8$_H$（RBURB2）
FFE6 04AC$_H$（RBURB3）
FFE6 04B0$_H$（RBURB4）
FFE6 04B4$_H$（RBURB5）
FFE6 04B8$_H$（RBURB6）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RBURB0-6															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBURB0-6															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.30　RBURB0-6 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	RBURB0-6	レコードバックアップレジスタ B0 ～ 6 32 ビットイベントキャプチャバックアップ値

レコードバックアップレジスタ B0 ～ 6（RBURB0 ～ 6）は 32 ビットレジスタです。イベントカウンタ B1（TCNTB1）と OCRB12 によるイベントコンペアマッチのタイミングで ICRB0、および RECRB1 ～ 6 の値を本レジスタにバックアップします。

RBURB0 には ICRB0 の値を、RBURB1 には RECRB1 の値を、RBURB2 には RECRB2 の値を、RBURB3 には RECRB3 の値を、RBURB4 には RECRB4 の値を、RBURB5 には RECRB5 の値を、RBURB6 には RECRB6 の値が保持されます。

RBURB0 ～ 6 は 32 ビット単位でのみ読み出し／書き込みが可能です。

RBURB0 ～ 6 はリセット時に H’00000000 に初期化されます。

22.5.2.10 ICRB3x — インプットキャプチャレジスタ B3x（x = 0 ～ 6）

アクセス 8 ビットアクセス可能

アドレス FFE6 04D8$_H$（ICRB30）
FFE6 04D9$_H$（ICRB31）
FFE6 04DA$_H$（ICRB32）
FFE6 04DB$_H$（ICRB33）
FFE6 04DC$_H$（ICRB34）
FFE6 04DD$_H$（ICRB35）
FFE6 04DE$_H$（ICRB36）

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	ICRB30-36							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.31 ICRB30-36 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	ICRB30-36	インプットキャプチャレジスタ B30 ～ 36 8 ビットイベントキャプチャ値

インプットキャプチャレジスタ B30 ～ 36（ICRB30 ～ 36）は 8 ビットの読み出し専用レジスタです。エッジ間計測ブロックでは、イベントカウンタ B1（TCNTB1）に対して、タイマ A 経由で入力される 7 種の外部イベント入力 1B ～ 1H 発生時に、イベントカウンタ B1（TCNTB1）の値をキャプチャします（ICRB30 ～ ICRB36）。外部イベント入力 1B ～ 1H 発生では、イベントカウンタ B1（TCNTB1）をクリアしません。

ICRB30-36 は 8 ビット単位でのみ読み出しが可能です。

ICRB30-36 はリセット時に H’00 に初期化されます。

22.5.2.11 OCRB0 — アウトプットコンペアレジスタ B0

アクセス 32 ビットアクセス可能 8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 04BC$_H$

リセット後の値 FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OCB0															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCB0															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.32 OCRB0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OCB0	アウトプットコンペア B0 32 ビットコンペア値

アウトプットコンペアレジスタ B0（OCRB0）は 32 ビットの読み出し／書き込み可能なレジスタで、常に入力エッジ間計測カウンタ B0（TCNTB0）と比較されています。両者の値が一致すると、コンペアマッチによる CPU への割り込み要求を出力することができます。また、タイマステータスレジスタ B（TSRB）の CMFB0 が 1 にセットされます。

OCRB0 は 32 ビット単位でのみ読み出し／書き込みが可能です。8 ビット／ 16 ビット単位での読み出し／書き込みは行わないでください。

OCRB0 はリセット時に H’FFFF FFFF に初期化されます。

22.5.2.12 TCNTB1 — イベントカウンタ B1

アクセス 8 ビットアクセス可能

アドレス FFE6 04C4$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	CNTB1							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.33 TCNTB1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	CNTB1	イベントカウント B1 8 ビットカウント値

イベントカウンタ B1（TCNTB1）は 8 ビットの読み出し／書き込み可能なレジスタで、外部イベントのカウント動作を行います。タイマコントロールレジスタ B（TCRB）の CLRB1、CLRB1SEL ビットの設定により、TCNTB1 と OCRB10 のコンペアマッチ発生、または TCNTB6 と OCRB6 のコンペアマッチの発生により、次のイベント入力のタイミングで TCNTB1 の値を H’01 にクリアすることが可能です。

ATU-IV マスタイネーブルレジスタ（ATUENR）の TBE ビットが “1” にセットされると、外部イベント毎にカウント動作を行います。

TCNTB1 は 8 ビット単位でのみ読み出し／書き込みが可能です。

TCNTB1 はリセット時に H’00 に初期化されます。

22.5.2.13 OCRB1 — アウトプットコンペアレジスタ B1

アクセス 8 ビットアクセス可能

アドレス FFE6 04C6$_H$

リセット後の値 FF$_H$

ビット	7	6	5	4	3	2	1	0
	OCB1							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.34 OCRB1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	OCB1	アウトプットコンペア B1 8 ビットコンペア値

アウトプットコンペアレジスタ B1（OCRB1）は 8 ビットの読み出し／書き込み可能なレジスタで、常にイベントカウンタ B1（TCNTB1）と比較されています。両者の値が一致すると、コンペアマッチで CPU へ割り込み要求を出力することができます。また、次の PCLK に同期して、タイマステータスレジスタ B（TSRB）の CMFB1 が 1 にセットされます。

このコンペアマッチのタイミングでインプットキャプチャレジスタ B1（ICRB1）の値がインプットキャプチャレジスタ B2（ICRB2）に転送されるとともに、ICRB1 はクリアされます。

OCRB1 は 8 ビット単位でのみ読み出し／書き込みが可能です。

OCRB1 はリセット時に H’FF に初期化されます。

22.5.2.14 OCRB10 — アウトプットコンペアレジスタ B10

アクセス 8 ビットアクセス可能

アドレス FFE6 04C8$_H$

リセット後の値 FF$_H$

ビット	7	6	5	4	3	2	1	0
	OCB10							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.35 OCRB10 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	OCB10	アウトプットコンペア B10 8 ビットコンペア値

アウトプットコンペアレジスタ B10（OCRB10）は 8 ビットの読み出し／書き込み可能なレジスタで、常にイベントカウンタ B1（TCNTB1）と比較されています。両者の値が一致すると、コンペアマッチで CPU へ割り込み要求を出力することができます。また、次の PCLK に同期して、タイマステータスレジスタ B（TSRB）の CMFB10 が 1 にセットされます。

タイマコントロールレジスタ B（TCRB）の CLRB1、CLRB1SEL ビットの設定と、このコンペアマッチ発生により、次のイベント入力のタイミングで TCNTB1 の値を H’01 にクリアすることが可能です。また、タイマコントロールレジスタ B（TCRB）の CLRB3、CLRB3SEL ビットの設定と、このコンペアマッチ発生により、次の PCLK のタイミングで TCNTB3 の値を H’00000000 にクリアすることが可能です。

OCRB10 は 8 ビット単位でのみ読み出し／書き込みが可能です。

OCRB10 はリセット時に H’FF に初期化されます。

22.5.2.15 OCRB11 — アウトプットコンペアレジスタ B11

アクセス 8 ビットアクセス可能

アドレス FFE6 04CA$_H$

リセット後の値 FF$_H$

ビット	7	6	5	4	3	2	1	0
	OCB11							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.36 OCRB11 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	OCB11	アウトプットコンペア B11 8 ビットコンペア値

アウトプットコンペアレジスタ B11（OCRB11）は 8 ビットの読み出し／書き込み可能なレジスタです。本レジスタはタイマコントロールレジスタ B（TCRB）の PIMRSEL ビットの設定により、TCNTB1 と OCRB11 のコンペアマッチ中に、RLDB にロードするときの減算値、および TCNTB2 の減算値に、PIMR2 を使用して動作させることができます。TCNTB3 の加算値には常に PIMR1 を使用します。

TCNTB1 と OCRB11 の値が一致すると、コンペアマッチで CPU へ割り込み要求を出力することができます。また、次の PCLK に同期して、タイマステータスレジスタ B（TSRB）の CMFB11 が 1 にセットされます。

OCRB11 は 8 ビット単位でのみ読み出し／書き込みが可能です。

OCRB11 はリセット時に H’FF に初期化されます。

22.5.2.16 OCRB12 — アウトプットコンペアレジスタ B12

アクセス 8 ビットアクセス可能

アドレス FFE6 04CC$_H$

リセット後の値 FF$_H$

ビット	7	6	5	4	3	2	1	0
	OCB12							
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.37 OCRB12 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	OCB12	アウトプットコンペア B12 8 ビットコンペア値

アウトプットコンペアレジスタ B12（OCRB12）は 8 ビットの読み出し／書き込み可能なレジスタです。イベントカウンタ B1（TCNTB1）と本レジスタによるイベントコンペアマッチのタイミングで ICRB0、および RECRB0-6 の値を RBURB0-6 にバックアップすることが可能です。

TCNTB1 と OCRB12 の値が一致すると、コンペアマッチで CPU へ割り込み要求を出力することができます。また、次の PCLK に同期して、タイマステータスレジスタ B（TSRB）の CMFB12 が 1 にセットされます。

OCRB12 は 8 ビット単位でのみ読み出し／書き込みが可能です。

OCRB12 はリセット時に H’FF に初期化されます。

22.5.2.17 ICRB1 — インプットキャプチャレジスタ B1

アクセス 32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 04D0$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICB1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICB1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.38 ICRB1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ICB1	インプットキャプチャ B1 32 ビットインプットキャプチャ値

インプットキャプチャレジスタ B1（ICRB1）は 32 ビットの読み出し専用レジスタです。外部イベントの入力タイミングで、入力エッジ間計測カウンタ B0（TCNTB0）の値を ICRB1 に累積して取り込みます。ICRB1 のクリアは、イベントカウンタ B1（TCNTB1）とアウトプットコンペアレジスタ B1（OCRB1）でのコンペアマッチ発生時に行われます。

ICRB1 は 32 ビット単位でのみ読み出しが可能です。8 ビット／ 16 ビット単位での読み出しは行わないでください。

ICRB1 はリセット時に H’00000000 に初期化されます。

22.5.2.18 ICRB2 — インプットキャプチャレジスタ B2

アクセス 32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 04D4$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICB2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICB2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.39 ICRB2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ICB2	インプットキャプチャ B2 32 ビットインプットキャプチャ値

インプットキャプチャレジスタ B2（ICRB2）は 32 ビットの読み出し専用レジスタで、イベントカウンタ B1（TCNTB1）とアウトプットコンペアレジスタ B1（OCRB1）でのコンペアマッチ発生時に、インプットキャプチャレジスタ B1（ICRB1）の値を取り込みます。

ICRB2 は 32 ビット単位でのみ読み出しが可能です。16 ビット単位での読み出しは行わないでください。

ICRB2 はリセット時に H’00000000 に初期化されます。

22.5.2.19 LDB — ロードレジスタ B

アクセス 32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス FFE6 0500_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	LDVAL							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LDVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.40 LDB レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	—	何も配置されていません。“0” に固定してください。
23 ～ 0	LDVAL	ロード値 24 ビットロード値

ロードレジスタ B（LDB）は 32 ビットの読み出し／書き込み可能なレジスタで、32 ビット境界の下位 24 ビットにマッピングされています。

タイマ I/O コントロールレジスタ B（TIORB）の LDSEL が “1” のとき、この値がリロードカウンタ B2（TCNTB2）、リロードレジスタ B（RLDB）の更新に用いられます。

LDB は 32 ビット単位でのみ読み出し／書き込みが可能です。16 ビット単位での読み出し／書き込みは行わないでください。

LDB はリセット時に H’00000000 に初期化されます。

22.5.2.20 RLDB — リロードレジスタ B

アクセス　32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス　FFE6 0504_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RLDVAL															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RLDVAL								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 22.41　RLDB レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	RLDVAL	リロード値 24 ビットリロード値
7 ～ 0	—	何も配置されていません。“0” に固定してください。

リロードレジスタ B（RLDB）は 32 ビットの読み出し／書き込み可能なレジスタで、32 ビット境界の上位 24 ビットにマッピングされています。

タイマ I/O コントロールレジスタ B（TIORB）の LDEN が “0” のとき、外部イベント入力により RLDB の値が更新されます。

更新データは、インプットキャプチャレジスタ B0（ICRB0）値、もしくはロードレジスタ B（LDB）の値から、パルスインターバルマルチプライヤレジスタ（PIMR）の値を減算した値になります。PIMR 値はタイマコントロールレジスタ B（TCRB）の PIMRSEL ビットの設定、および TCNTB1 と OCRB11 のコンペアマッチにより PIMR2 を、それ以外のときは PIMR1 を使用します。ICRB0、あるいは LDB の値のどちらを用いるかは、TIORB の LDSEL ビットで選択できます。ICRB0-PIMR の計算は、ICRB0 の下位 24 ビットのデータと、PIM の値を上位 12 ビット 0 拡張した 24 ビットデータで行われます。

リロードレジスタ B（RLDB）の内容は、リロードカウント B2（CNTB2）の値がパルスインターバルマルチプライヤ値（PIM）以下になると、次のカウントタイミングで TCNTB2 に加算（TCNTB2+ = RLDB）されます。

RLDB は 32 ビット単位でのみ読み出し／書き込みが可能です。8 ビット／ 16 ビット単位での読み出し／書き込みは行わないでください。

RLDB はリセット時に H’00000000 に初期化されます。

本機能の動作開始前に初期値を設定する必要があります。動作については**「22.5.3　詳細動作説明」**の倍周クロック生成機能をご参照ください。

22.5.2.21 TCNTB2 — リロードカウンタ B2

アクセス 32 ビットアクセス可能 8 ビット／16 ビットアクセス禁止

アドレス FFE6 0508$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB2															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB2								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 22.42 TCNTB2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	CNTB2	リロードカウンタ B2 24 ビットリロードカウント値
7 ～ 0	—	何も配置されていません。“0” に固定してください。

リロードカウンタ B2（TCNTB2）は 32 ビットの読み出し／書き込み可能なレジスタにマッピングされた 24 ビットのダウンカウンタで、タイマコントロールレジスタ B（TCRB）のクロックセレクトビット B（CKSELB0 ～ 2）で選択した入力クロックによりカウント動作を行います。ダウンカウントは、パルスインターバルマルチプライヤレジスタ（PIMR）に設定された値で行われます（TCNTB2 − PIMR）。PIMR 値はタイマコントロールレジスタ B（TCRB）の PIMRSEL ビットの設定、および TCNTB1 と OCRB11 のコンペアマッチにより PIMR2 を、それ以外のときは PIMR1 を使用します。

ATU-IV マスタイネーブルレジスタ（ATUENR）の TBE が “1” にセットされるとカウント動作を行います。また TBE が “0” クリアされてもカウンタ値はクリアされません。

タイマ I/O コントロールレジスタ B（TIORB）の LDEN が “0” のとき、外部イベント入力により TCNTB2 の値が更新されます。

更新データは、インプットキャプチャレジスタ B0（ICRB0）値、もしくはロードレジスタ B（LDB）の値になります。ICRB0、あるいは LDB の値のどちらを用いるかは、TIORB の LDSEL ビットで選択できます。

また、TCNTB2 はダウンカウント動作で CNTB2 ≦ PIM となったとき、次のカウントタイミングでリロードレジスタ B（RLDB）の値を TCNTB2 に加算します（TCNTB2+ = RLDB）。このリロードタイミングに周辺クロック（PCLK）1 サイクル分のパルスを出力することで、倍周クロック（AGCK1）を生成します。

TCNTB2 は 32 ビット単位でのみ読み出し／書き込みが可能です。8 ビット／ 16 ビット単位での読み出し／書き込みは行わないでください。

TCNTB2 はリセット時に H’00000000 に初期化されます。

本機能の動作開始前に初期値を設定する必要があります。動作については**「22.5.3 詳細動作説明」**の倍周クロック生成機能をご参照ください。

22.5.2.22 PIMR1 — パルスインターバルマルチプライヤレジスタ 1

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 050C$_H$

リセット後の値 0001$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PIM1											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.43 PIMR1 レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	何も配置されていません。“0” に固定してください。
11 ～ 0	PIM1	パルスインターバルマルチプライヤ 1 倍周クロックの逓倍比を設定 （1 ～ 4095 逓倍の間で設定可能）

パルスインターバルマルチプライヤレジスタ 1（PIMR1）は 16 ビットの読み出し／書き込み可能なレジスタで、下位 12 ビットにマッピングされています。外部入力周期に対する倍周クロックの逓倍比を設定します。

逓倍比には、1（H’001）～ 4095（H’FFF）まで設定可能です。PIM に H’000 を設定しないでください。PIM1 に H’000 を設定した場合、その後の動作は保証されません。

リロードカウンタ B2（TCNTB2）は、PIMR1 の設定値（PIM1）でダウンカウントを行います。また PIMR1 の値は、リロードレジスタ B（RLDB）の入力値の計算、および補正イベントカウンタ B3（TCNTB3）の入力値の計算にも用いられます。ただし、タイマコントロールレジスタ B（TCRB）の PIMRSEL ビットを設定し、TCNTB1 と OCRB11 のコンペアマッチが発生したときは、PIMR2 を TCNTB2 のダウンカウント値、および RLDB の入力値の計算に使用します。TCNTB3 の入力値の計算には常に PIMR1 が使用されます。

PIMR1 は 16 ビット単位で読み出し／書き込みが可能です。8 ビット単位での読み出し／書き込みは行わないでください。

PIMR1 はリセット時に H’0001 に初期化されます。

22.5.2.23 PIMR2 — パルスインターバルマルチプライヤレジスタ 2

アクセス 16 ビットアクセス可能　8 ビットアクセス禁止

アドレス FFE6 050E$_H$

リセット後の値 0001$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PIM2											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.44 PIMR2 レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	何も配置されていません。“0” に固定してください。
11 ～ 0	PIM2	パルスインターバルマルチプライヤ 2 倍周クロックの逓倍比を設定 （1 ～ 4095 逓倍の間で設定可能）

パルスインターバルマルチプライヤレジスタ 2（PIMR2）は 16 ビットの読み出し／書き込み可能なレジスタで、下位 12 ビットにマッピングされています。欠歯時の倍周クロックの逓倍比を設定します。

逓倍比には、1（H’001）～ 4095（H’FFF）まで設定可能です。PIM2 に H’000 を設定しないでください。PIM2 に H’000 を設定した場合、その後の動作は保証されません。

タイマコントロールレジスタ B（TCRB）の PIMRSEL ビットを設定することにより、TCNTB1 と OCRB11 の値が一致している間、リロードカウンタ B2（TCNTB2）は、PIMR1 でなく、PIMR2 の設定値（PIM2）でダウンカウントを行います。また PIMR2 の値は、リロードレジスタ B（RLDB）の入力値の計算にも用いられます。補正イベントカウンタ B3（TCNTB3）の入力値の計算には用いられません。PIMR1 の値に対して、N（欠け歯の数）＋ 1 倍の値を設定することにより、欠歯時の倍周クロックの逓倍比を補正します。たとえば、欠け歯の数が 2 個の場合、PIMR1 の 3 倍の値を PIMR2 に設定します。

PIMR2 は 16 ビット単位で読み出し／書き込みが可能です。8 ビット単位での読み出し／書き込みは行わないでください。

PIMR2 はリセット時に H’0001 に初期化されます。

22.5.2.24 TCNTB6 — 倍周クロックカウンタ B6

アクセス 32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 0510$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB6															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB6				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 22.45 TCNTB6 レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	CNTB6	倍周クロックカウンタ B6 20 ビット倍周クロックカウント値
11 ～ 0	—	何も配置されていません。“0” に固定してください。

倍周クロックカウンタ B6（TCNTB6）は 32 ビットの読み出し／書き込み可能なレジスタにマッピングされた 20 ビットのアップカウンタで、倍周クロック（AGCK1）でカウントアップ動作を行います。外部イベント入力により H’00000 に初期化されます。

ATU-IV マスタイネーブルレジスタ（ATUENR）の TBE が “1” にセットされるとカウント動作を行います。TBE の “0” クリアでカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB6 は 32 ビット単位でのみ読み出し／書き込みが可能です。16 ビット単位での読み出し／書き込みは行わないでください。

TCNTB6 はリセット時に H’00000000 に初期化されます。

22.5.2.25 ICRB6 — インプットキャプチャレジスタ B6

アクセス 32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス FFE6 0514$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICB6															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICB6				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.46 ICRB6 レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	ICB6	インプットキャプチャ B6 20 ビットインプットキャプチャ値
11 ～ 0	—	何も配置されていません。“0” に固定してください。

インプットキャプチャレジスタ B6（ICRB6）は 32 ビットの読み出し専用のレジスタで、上位 20 ビットにマッピングされています。このレジスタに値を書きこむことはできません。

ICRB6 は外部イベント入力を検出すると次のクロック（Pϕ）のタイミングで TCNTB6 の値を格納します。ICRB6 に格納された値は、次の外部イベント入力のタイミングで TCNTB6M の値と比較を行い、比較結果が ICRB6 ＞ TCNTB6M の場合には、割り込み要求を出力することができます。

ICRB6 は 32 ビット単位でのみ読み出しが可能です。

ICRB6 はリセット時に H’00000000 に初期化されます。

22.5.2.26 RARB6 — 倍率設定レジスタ B6

アクセス 8 ビットアクセス可能

アドレス FFE6 0518_H

リセット後の値 40_H

ビット	7	6	5	4	3	2	1	0
	RARB6							
リセット後の値	0	1	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.47 RARB6 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	RARB6	倍率設定レジスタ B6 TCNTB6M のカウント値を設定します

倍率設定レジスタ B6（RARB6）は 8 ビットの読み出し／書き込み可能なレジスタです。倍周クロックカウンタ B6M（TCNTB6M）のカウントアップする値を設定します。RARB6 は下位 6 ビットを固定小数点として扱い、1/64 の分解能で、1 ～ 3.984375 まで設定が可能です。

RARB6 は 8 ビット単位でのみ読み出し／書き込みが可能です。

RARB6 はリセット時に H’40 に初期化されます。

22.5.2.27 TCNTB6M — 倍周クロックカウンタ B6M

アクセス 32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 051C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB6M															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB6M										—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

表 22.48 TCNTB6M レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	CNTB6M	倍周クロックカウント B6M 26 ビット倍周クロックカウント値
5 ～ 0	—	何も配置されていません。“0” に固定してください。

倍周クロックカウンタ B6M（TCNTB6M）は 32 ビットの読み出し／書き込み可能なレジスタで、上位 26 ビットにマッピングされているアップカウンタです。TCNTB6M は倍周クロック（AGCK1）に対し、倍率設定レジスタ B6（RARB6）で設定した倍率分のカウント値で、カウントアップ動作を行います。TCNTB6M は下位 6 ビット（b11 ～ 6）を固定小数点として扱い、1/64 の分解能で、1 ～ 1048575.984375 までのカウントアップ動作が可能です。TCNTB6M は外部イベントが入力されるたびに ICRB6 の値と比較を行い、比較結果が ICRB6 ＞ TCNTB6M の場合には、割り込み要求を出力することができます。TCNTB6M は外部イベント入力が発生した次のクロック（Pϕ）により H’00000000 に初期化されます。

ATU-IV マスタイネーブルレジスタ（ATUENR）の TBE が “1” にセットされるとカウント動作を行います。TBE の “0” クリアでカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB6M は 32 ビット単位でのみ読み出し／書き込みが可能です。8 ビット／ 16 ビット単位での読み出し／書き込みは行わないでください。

TCNTB6M はリセット時に H’00000000 に初期化されます。

22.5.2.28 OCRB6 — アウトプットコンペアレジスタ B6

アクセス 32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 0520_H

リセット後の値 FFFF $F000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OCB6															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCB6				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 22.49 OCRB6 レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	OCB6	アウトプットコンペア B6 20 ビットコンペア値
11 ～ 0	—	何も配置されていません。“0” に固定してください。

OCRB6 は 32 ビットの読み出し／書き込み可能なレジスタで、32 ビットの上位 20 ビットにアウトプットコンペア B6（OCB6）がマッピングされています。タイマ I/O コントロールレジスタ B（TIORB）の IOB6 の設定により、倍周クロックカウンタ B6 と OCRB6 のコンペアマッチを行うかどうかを選択できます。

OCRB6 の値は TCNTB6 の値と比較されており、両者が一致した状態で倍周クロック（AGCK1）が入力されると、コンペアマッチで欠歯検出トリガを生成し、CPU に割り込み要求を出力することができます。また、タイマステータスレジスタ B（TSRB）の CMFB6 が 1 にセットされます。

タイマコントロールレジスタ B（TCRB）の CLRB1、CLRB1SEL ビットの設定と、このコンペアマッチ発生により、次のイベント入力のタイミングで TCNTB1 の値を H’01 にクリアすることが可能です。また、タイマコントロールレジスタ B（TCRB）の CLRB3、CLRB3SEL ビットの設定と、このコンペアマッチ発生により、次の PCLK のタイミングで TCNTB3 の値を H’00000000 にクリアすることが可能です。

OCRB6 は、32 ビット単位でのみ読み出し／書き込みが可能です。8 ビット／ 16 ビット単位での読み出し／書き込みは行わないでください。

OCRB6 はリセット時に H’FFFFF000 に初期化されます。

22.5.2.29 OCRB7 — アウトプットコンペアレジスタ B7

アクセス 32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス FFE6 0524_H

リセット後の値 FFFF $F000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OCB7															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCB7				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 22.50 OCRB7 レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	OCB7	アウトプットコンペア B7 20 ビットコンペア値
11 ～ 0	—	何も配置されていません。“0” に固定してください。

OCRB7 は 32 ビットの読み出し／書き込み可能なレジスタで、32 ビットの上位 20 ビットにアウトプットコンペア B7（OCB7）がマッピングされています。

OCRB7 の値は TCNTB6 の値と比較されており、OCRB7 と TCNTB6 の両者が一致した状態で、倍周クロック（AGCK1）が入力されるとコンペアマッチを発生します。タイマインタラプトコントロールレジスタ B（TICRB）の IREGB6 ビットが “10” に設定されていれば、このコンペアマッチ発生により、タイマステータスレジスタ B（TSRB）の CMFB6 がクリアされます。

OCRB7 のコンペアマッチ発生を示すステータスフラグ、および割り込み要求はありません。

OCRB7 は、32 ビット単位でのみ読み出し／書き込みが可能です。16 ビット単位での読み出し／書き込みは行わないでください。

OCRB7 はリセット時に H’FFFFF000 に初期化されます。

22.5.2.30 TCNTB3 — 補正イベントカウンタ B3

アクセス 32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 0580$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB3															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB3				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 22.51 TCNTB3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	CNTB3	補正イベントカウンタ B3 20 ビットイベントカウント値
11 ～ 0	—	何も配置されていません。“0” に固定してください。

補正イベントカウンタ B3（TCNTB3）は 32 ビットの読み出し／書き込み可能なレジスタにマッピングされた 20 ビットのアップカウンタです。

外部イベント入力のタイミングで、カウンタ値を補正倍周クロックカウンタ B4（TCNTB4）に転送後、アップカウント動作を行います。アップカウントは、パルスインターバルマルチプライヤレジスタ 1（PIMR1）の値で行います（CNTB3+ = PIM1）。パルスインターバルマルチプライヤレジスタ 2（PIMR2）の値は TCNTB3 のアップカウントには用いません。

ATU-IV マスタイネーブルレジスタ（ATUENR）の TBE が “1” にセットされるとカウント動作を行います。また、TBE が “0” クリアされてもカウンタ値はクリアされません。

タイマコントロールレジスタ B（TCRB）の CLRB3、CLRB3SEL ビットの設定により、TCNTB1 と OCRB10 のコンペアマッチ発生、または TCNTB6 と OCRB6 のコンペアマッチの発生、または TCNTB3 と OCRB8 のコンペアマッチにより、次の PCLK のタイミングで TCNTB3 の値を H’00000000 にクリアすることが可能です。

TCNTB3 は 32 ビット単位でのみ読み出し／書き込みが可能です。8 ビット／ 16 ビット単位での読み出し／書き込みは行わないでください。

TCNTB3 はリセット時に H’00000000 に初期化されます。

22.5.2.31 OCRB8 — アウトプットコンペアレジスタ B8

アクセス 32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス FFE6 0594_H

リセット後の値 FFFF $F000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OCB8															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCB8				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 22.52 OCRB8 レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	OCB8	アウトプットコンペア B8 20 ビットコンペア値
11 ～ 0	—	何も配置されていません。“0” に固定してください。

OCRB8 は 32 ビットの読み出し／書き込み可能なレジスタで、32 ビットの上位 20 ビットにアウトプットコンペア B8（OCB8）がマッピングされています。

OCRB8 の値は TCNTB3 の値と比較されており、タイマコントロールレジスタ B（TCRB）のビット 4 ～ 3 で OCRB8 と TCNTB3 コンペア一致による TCNTB3 クリアが許可されているとき、OCRB8 の値と TCNTB3 の値が一致した次の PCLK で TCNTB3 を 0 にクリアします。OCRB8 のコンペアマッチ発生を示すステータスフラグ、および割り込みはありません。

OCRB8 は、32 ビット単位でのみ読み出し／書き込みが可能です。16 ビット単位での読み出し／書き込みは行わないでください。

OCRB8 はリセット時に H’FFFFF000 に初期化されます。

22.5.2.32 TCNTB4 — 補正倍周クロックカウンタ B4

アクセス 32 ビットアクセス可能 8 ビット／16 ビットアクセス禁止

アドレス FFE6 0584$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB4															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB4				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 22.53 TCNTB4 レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	CNTB4	補正倍周クロックカウンタ B4 20 ビット倍周クロックカウント値
11 ～ 0	—	何も配置されていません。“0” に固定してください。

補正倍周クロックカウンタ B4（TCNTB4）は 32 ビットの読み出し／書き込み可能なレジスタにマッピングされた 20 ビットのアップカウンタです。

TCNTB4 は外部イベント入力のタイミングで TCNTB3 の値をロードします。

リロードカウンタ B2（TCNTB2）が出力する倍周クロック（AGCK1）でアップカウント動作を行います。CNTB4 は、CNTB3 = H’00000 のときに外部イベントが入力されると H’00000 に初期化されます。

タイマ I/O コントロールレジスタ B（TIORB）の CCS ビットが “1” の場合、TCNTB4 のカウント値と TCNTB3 の値が一致するとカウント動作を停止します。CCS ビットが “0” の場合は、カウント動作を停止しません。

ATU-IV マスタイネーブルレジスタ（ATUENR）の TBE が “1” にセットされるとカウント動作を行います。また、TBE の “0” クリアでカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB4 は 32 ビット単位でのみ読み出し／書き込みが可能です。16 ビット単位での読み出し／書き込みは行わないでください。

TCNTB4 はリセット時に H’00000000 に初期化されます。

22.5.2.33 TCNTB5 — 倍周補正クロック生成カウンタ B5

アクセス 32 ビットアクセス可能 8 ビット／16 ビットアクセス禁止

アドレス FFE6 0588$_H$

リセット後の値 0000 1000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB5															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB5				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 22.54 TCNTB5 レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	CNTB5	倍周補正クロック生成カウント B5 20 ビット倍周補正クロックカウント値
11 ～ 0	—	何も配置されていません。“0” に固定してください。

倍周補正クロック生成カウンタ B5（TCNTB5）は 32 ビットの読み出し／書き込み可能なレジスタにマッピングされた 20 ビットのアップカウンタです。

TCNTB5 は、ATU-IV マスタイネーブルレジスタの TBE がカウンタ動作許可でかつ、タイマ I/O コントロールレジスタ B（TIORB）のカウントコントロール B5（CTCNTB5）がカウント許可に設定されているとき、カウント値が補正倍周クロックカウンタ B4（TCNTB4）よりも小さければ PCLK でカウントアップ動作を行い、補正カウンタクリアレジスタ B（TCCLRB）の設定値と一致した時点でカウント動作を停止します。

また、CNTB3 = H’00000 のときに外部イベントが入力されたとき、または補正カウンタクリアフラグセットレジスタ B（TCCLFSRB）の TCCLFSB ビットに “1” をセットすると、TCNTB5 のカウント値の補正およびクリアが行われます。このときの動作は、TCNTB5 のカウント値によって下記のようになります。

- TCNTB5 = TCCLRB のとき
  TCNTB5 は H’00001000 にクリアされます。補正カウンタクリアフラグレジスタ B（TCCLFRB）は “0” のままです。
- TCNTB5 ≠ TCCLRB のとき
  補正カウンタクリアフラグレジスタ B（TCCLFRB）の TCCLFB ビットに “1” をセットし、TCNTB5 は TCCLRB の値まで自動的にカウントアップします。TCNTB5 = TCCLRB となったあと、TCNTB5 は H’00001000 にクリアされ、TCCLFB ビットを “0” にクリアします。

なお、本カウンタのカウントアップごとに倍周補正クロック（AGCKM）が生成されます。AGCKM は、クロックバスコントロールレジスタ（CBCNT）の CB5SEL ビットを設定することで、クロックバス 5 に出力することが可能です。また、カウント動作中に、TIORB の CTCNTB5 ビットをカウント動作停止、許可と順に設定することにより、AGCKM の出力を一時的に停止させることが可能です。

TCNTB5 は 32 ビット単位でのみ読み出し／書き込みが可能です。16 ビット単位での読み出し／書き込みは行わないでください。

TCNTB5 はリセット時に H’00001000 に初期化されます。

本機能の動作開始前に初期値を設定する必要があります。動作については**「22.5.3　詳細動作説明」** 倍周クロック補正機能をご参照ください。

22.5.2.34 TCCLFRB — 補正カウンタクリアフラグレジスタ B

アクセス 8 ビットアクセス可能

アドレス FFE6 058C$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCCLFB
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.55 TCCLFRB レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	何も配置されていません。“0” に固定してください。
0	TCCLFB	補正カウンタクリアフラグ B 0：TCNTB5 は自動カウントアップをしていない。（初期値） 1：TCNTB5 は TCCLRB に一致するまで自動でカウントアップしている。

補正カウンタクリアフラグレジスタ B（TCCLFRB）は 8 ビットの読み出し専用のレジスタで、TCNTB5 に対して補正を行う機能（TCNTB5 = TCCLRB になるまで自動でカウントアップする機能）の有効無効のステータスを示しています。

TCCLFRB は 8 ビット単位でのみ読み出しが可能です。

TCCLFRB はリセット時に H’00 に初期化されます。

(1) TCCLFB — 補正カウンタクリアフラグ B

TCNTB5 に対して補正を行う機能が有効となり、TCNTB5 = TCCLRB になるまで自動カウントアップ中であるかを示すステータスフラグです。このフラグの読み出し値が “1” であるとき、TCNTB5 は TCNTB5 = TCCLRB になるまで自動でカウントアップを行っていることを示します。このフラグをソフトウェアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  - 補正カウンタクリアフラグセットレジスタ B（TCCLFSRB）の TCCLFSB に “1” を書き込む。
  - TCNTB3 = H’00000 かつ TCNTB5 ≠ TCCLRB のときに外部イベントが入力されたとき。
- 0 クリア条件
  - 補正カウンタクリアフラグクリアレジスタ B（TCCLFCRB）の TCCLFCB に “1” を書き込む。
  - TCCLFB ビットが “1” で TCNTB5 が TCCLRB の値まで自動的にカウントアップし、TCNTB5 = TCCLRB になり、TCNTB5 が H’00001000 にクリアされたとき。

22.5.2.35 TCCLFSRB — 補正カウンタクリアフラグセットレジスタ B

アクセス 8 ビットアクセス可能
“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

アドレス FFE6 058D$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCCLFSB
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.56 TCCLFSRB レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	何も配置されていません。“0” に固定してください。
0	TCCLFSB	補正カウンタクリアフラグセット B 0：無効 1：補正カウンタクリアフラグレジスタ B（TCCLFRB）の TCCLFB に 1 をセットする

補正カウンタクリアフラグセットレジスタ B（TCCLFSRB）は 8 ビットの読み出し／書き込み可能なレジスタです。

TCCLFSRB は 8 ビット単位でのみ読み出し／書き込みが可能です。ただし読み出した場合は常に “0” が読み出されます。

TCCLFSRB はリセット時に H’00 に初期化されます。

(1) TCCLFSB — 補正カウンタクリアフラグセット B

TCCLFSB に “1” を書き込むと、補正カウンタクリアフラグレジスタ B（TCCLFRB）の TCCLFB が “1” に設定されます。すなわち TCNTB5 = TCCLRB になるまで自動でカウントアップする状態に設定することができます。TCCLFB が “1” のときにセットした場合は TCCLFB は “1” を保持します。TCNTB5 = TCCLRB のときにセットした場合は TCNTB5 は H’00001000 にクリアされ、TCCLFB は “0” を保持します。このフラグに、“0” を書き込んだ場合、その書き込みは無視されます。

22.5.2.36 TCCLFCRB — 補正カウンタクリアフラグクリアレジスタ B

アクセス 8 ビットアクセス可能
“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

アドレス FFE6 058E$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCCLFCB
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.57 TCCLFCRB レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	何も配置されていません。“0” に固定してください。
0	TCCLFCB	補正カウンタクリアフラグクリア B 0：無効 1：補正カウンタクリアフラグレジスタ B（TCCLFRB）の TCCLFB を 0 にクリアする。

補正カウンタクリアフラグクリアレジスタ B（TCCLFCRB）は 8 ビットの読み出し／書き込み可能なレジスタです。

TCCLFCRB は 8 ビット単位でのみ読み出し／書き込みが可能です。ただし読み出した場合は常に “0” が読み出されます。

TCCLFCRB はリセット時に H’00 に初期化されます。

(1) TCCLFCB — 補正カウンタクリアフラグクリア B

TCCLFCB に “1” を書き込むと、補正カウンタクリアフラグレジスタ B（TCCLFRB）の TCCLFB が “0” に設定されます。すなわち TCNTB5 = TCCLRB になるまで自動でカウントアップしている状態を停止し、TCNTB4 ＞ TCNTB5 時の TCNTB5 のカウントアップ状態になります。TCNTB3 が 0、かつイベント入力が発生したときの TCCLFB ビットをセットする条件と競合したときは、本レジスタライトによるクリアが優先されます。TCCLFB が “0” のときのクリアした場合は TCCLFB は “0” を保持します。このフラグに、“0” を書き込んだ場合、その書き込みは無視されます。

22.5.2.37 TCCLRB — 補正カウンタクリアレジスタ B

アクセス 32 ビットアクセス可能　8 ビット／ 16 ビットアクセス禁止

アドレス FFE6 0590$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CCLRB															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCLRB				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 22.58 TCCLRB レジスタの内容

ビット位置	ビット名	機能
31 ～ 12	CCLRB	補正カウンタクリア B 20 ビット補正カウンタクリア値
11 ～ 0	—	何も配置されていません。“0” に固定してください。

補正カウンタクリアレジスタ B（TCCLRB）は 32 ビットの読み出し／書き込み可能なレジスタで、32 ビット境界の上位 20 ビットにマッピングされています。

TCCLRB は TCNTB5 と常に比較されており、両者が一致すると TCNTB5 はカウント動作を停止します。このとき、タイマ D に対してカウンタクリアトリガを出力します。タイマ D のタイマコントロールレジスタ Dx（TCRDx）のカウンタクリアビットを設定することにより、タイマ D の TCNT1Dx、TCNT2Dx を個別にクリアすることが可能です。

TCCLRB は 32 ビット単位でのみ読み出し／書き込みが可能です。8 ビット／ 16 ビット単位での読み出し／書き込みは行わないでください。

TCCLRB はリセット時に H’00000000 に初期化されます。

22.5.2.38 ACRTRGB — AGCKM2 補正許可設定レジスタ

アクセス 8 ビットアクセス可能
“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

アドレス FFE6 05A0$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ACRTRG
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.59 ACRTRGB レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	何も配置されていません。“0” に固定してください。
0	ACRTRG	AGCKM2 補正許可設定 0：無効 1：AGCKM2 の補正を許可する

AGCKM2 補正許可設定レジスタ（ACRTRGB）は 8 ビットの読み出し／書き込み可能なレジスタです。

ACRTRG ビットに 1 が設定されることで ACRVALRB レジスタの指定にしたがい補正クロック数の補正を行います。

次に入力されるタイマ B 外部イベント（AGCK）から AGCKM を元に補正した AGCKM2 出力を生成します。

AGCKM2 補正許可設定レジスタ（ACRTRGB）への書き込みは、ACRST = 00$_B$ の場合のみ有効です。

ACRST = 00$_B$ 以外の状態での書き込みは無効となります。

ACRTRGB は 8 ビット単位でのみ読み出し／書き込みが可能です。

ACRTRGB はリセット時に H’00 に初期化されます。

22.5.2.39 ACRCLRB — AGCKM2 補正クリア設定レジスタ

アクセス 8 ビットアクセス可能
“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

アドレス FFE6 05A1$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ACRCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.60 ACRCLRB レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	何も配置されていません。“0” に固定してください。
0	ACRCLR	AGCKM2 補正クリア設定 0：無効 1：AGCKM2 の補正を停止する ACRSTRB = 00B とする

AGCKM2 補正クリア設定レジスタ（ACRCLRB）は 8 ビットの読み出し／書き込み可能なレジスタです。

ACRCLR ビットに 1 が設定されることで ACRSTRB を 00$_B$ の状態とし AGCKM に対する補正制御を停止します。

ACRTCLR は 8 ビット単位でのみ読み出し／書き込みが可能です。

ACRTCLR はリセット時に H’00 に初期化されます。

22.5.2.40 ACRSTRB — AGCKM2 補正ステータスレジスタ

アクセス 8 ビットアクセス可能

アドレス FFE6 05A2$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ACRST	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.61 ACRSTRB レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	何も配置されていません。“0” に固定してください。
1、0	ACRST	AGCKM2 補正ステータス 00：AGCKM2 の補正なし 01：補正待ち ACREN ビットに 1 を設定後、外部イベント入力待ち状態 10：AGCKM2 補正中

AGCKM2 補正ステータスレジスタ（ACRSTRB）は 8 ビットの読み出し可能なレジスタです。

ACRST ビットにより、AGCKM1 に対する補正ステータスを確認することができます。

ACRSTRB は 8 ビット単位でのみ読み出しが可能です。

ACRSTRB はリセット時に H’00 に初期化されます。

22.5.2.41 ACRVALRB — AGCKM2 補正クロック数設定レジスタ

アクセス 16 ビットアクセス可能、8 ビット／32 ビットアクセス禁止

アドレス FFE6 05A4$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ACRSIGN	ACRVAL[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.62 ACRVALRB レジスタの内容

ビット位置	ビット名	機能
15	ACRSIGN	AGCKM2 補正クロック数符号設定 0：補正クロック数（ACRVAL[14:0] 値）を正の値として扱う 1：補正クロック数（ACRVAL[14:0] 値）を負の値として扱う
14 ～ 0	ACRVAL[14:0]	AGCKM2 補正クロック数設定 AGCKM2 の補正クロック数を設定するビットです。ACRSIGN ビットとこのビットの設定値を合わせて示されるクロック数分、AGCKM2 が補正される。（正の値：ハイレベル追加出力、負の値：AGCKM のハイレベルをロウレベルにマスクし AGCKM2 として出力）

AGCKM2 補正クロック数設定レジスタ（ACRVALRB）は 16 ビットの読み出し／書き込み可能なレジスタです。

AGCKM2 補正クロック数設定レジスタ（ACRVALRB）の設定値にしたがい、AGCKM を元に補正した AGCKM2 出力を生成します。

AGCKM2 補正カウンタは、ACRVALB 設定値からカウント動作を開始し、H’0001 を検出するまでダウンカウントを継続します。

ACRVALB に H’0000 を設定した場合、H’0000 → H’7FFF → H’7FFE → H’7FFD →・・・→ H’0001 とダウンカウントします。

ACRVALRB は 16 ビット単位でのみ読み出し／書き込みが可能です。

ACRVALRB はリセット時に H’0000 に初期化されます。

22.5.3 詳細動作説明

エッジ間計測機能およびエッジ入力停止検出機能

タイマ B の 32 ビットインプットキャプチャレジスタ B0（ICRB0）および 32 ビットアウトプットコンペアレジスタ B0（OCRB0）は、無条件でそれぞれインプットキャプチャ／コンペアマッチ動作を行います。これらは 32 ビット入力エッジ間計測カウンタ B0（TCNTB0）に接続されています。

ATU-IV マスタイネーブルレジスタ（ATUENR）の TBE ビットを “1” に設定すると、タイマ B 全体が動作を開始します。

タイマ A 経由で入力されるイベント（AGCK）入力により、ICRB0 は TCNTB0 の値をキャプチャします。また、キャプチャと同時に TCNTB0 は H’00000001 にクリアされます。このキャプチャタイミングで CPU に割り込み要求を出力することができます。これにより外部イベントエッジ間の時間計測が可能になります。

また、ICRB0 にキャプチャされた値は、倍周クロック生成ブロックに転送され、リロードカウンタ B2（TCNTB2）、リロードレジスタ B（RLDB）の入力値として使われます。さらに、キャプチャ値（ICRB0）は、外部入力イベントのタイミングによりその値をレコードレジスタ B1 ～ 6（RECRB1-6）に 6 個保持することが可能です。ICRB0、および RECRB1-6 に保持された値は、TCNTB1 とアウトプットコンペアレジスタ B12（OCRB12）のイベントコンペアマッチのタイミングでレコードバックアップレジスタ B 0 ～ 6（RBURB0-6）にバックアップをとることができます。

TCNTB0 が OCRB0 に設定された値に達したとき、コンペアマッチによる割り込み要求の出力が可能です。これにより OCRB0 に設定された時間以上エッジ入力が停止したことを検出することができます。

図 22.16 に、TCNTB0 のインプットキャプチャ動作とコンペアマッチ動作を示します。

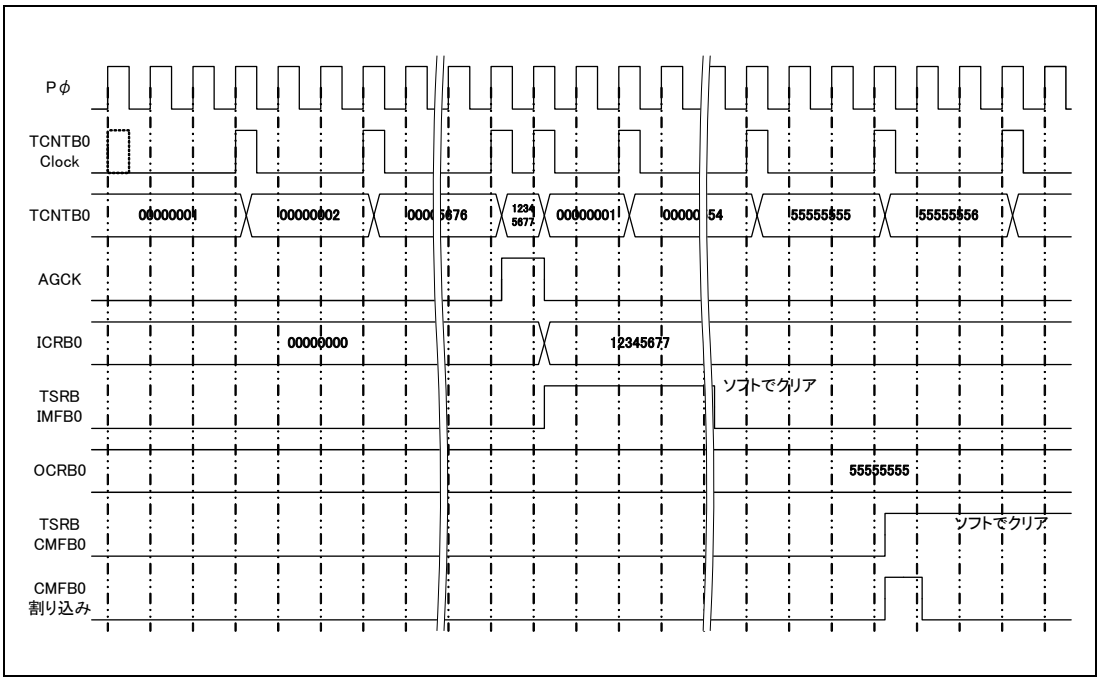


図 22.16　TCNTB0 のインプットキャプチャ動作とコンペアマッチ動作

外部イベント（AGCK）は、イベントカウンタ B1（TCNTB1）でカウントされます。あらかじめアウトプットコンペアレジスタ B1（OCRB1）に値を設定しておくと TCNTB1 が OCRB1 に一致したときにコンペアマッチを発生します。タイマコントロールレジスタ B（TCRB）の TCNTB1 クリア設定ビット（CLRB1）の設定により、アウトプットコンペアレジスタ B10（OCRB10）に値を設定しておくと、TCNTB1 と OCRB10 のイベントコンペアマッチ発生後の、次のイベント入力のタイミングで TCNTB1 をクリアすることが可能です。また、タイマコントロールレジスタ B（TCRB）の TCNTB3 クリア設定選択ビット（CLRB3SEL）の設定により、TCNTB1 と OCRB10 のコンペアマッチで TCNTB3 をクリアすることができます。TCNTB1 と OCRB1 のコンペアマッチのタイミングでインプットキャプチャレジスタ B2（ICRB2）はインプットキャプチャレジスタ B1（ICRB1）の値をキャプチャすることができます。このコンペアマッチにより CPU へ割り込み要求を出力することが可能です。これにより、外部イベントのエッジ入力停止を検出することができます。さらに、イベントカウンタ B1（TCNTB1）はアウトプットコンペアレジスタ B11（OCRB11）とのコンペアマッチ機能も持ち合わせています。パルスインターバルマルチプライヤ選択レジスタ（PIMRSELR）の設定を有効にすると、TCNTB1 と OCRB11 のコンペアマッチが発生により、RLDB にロードするときの減算値、および TCNTB2 の減算値に、PIMR2 を使用して動作させることができます。TCNTB1 と OCRB11 の値が一致すると、コンペアマッチで CPU へ割り込み要求を出力することができます。

ICRB1 は、外部イベント（AGCK）をトリガとして TCNTB0 の値を ICRB1 の値に累積してキャプチャするレジスタです。この ICRB1 の値は、TCNTB1 と OCRB1 のコンペアマッチで ICRB2 に取り込むことができ、これにより複数エッジ間の時間計測が行えます。

ICRB30 ～ 36 は、外部イベント入力 1B ～ 1H をトリガとして TCNTB1 の値をキャプチャするレジスタです。ICRB30 は外部イベント入力 1B に対応し、同様に ICRB31 ～ 36 は、それぞれ外部イベント入力 1C ～ 1H にそれぞれ対応します。

図 22.17 に TCNTB1 のコンペアマッチ動作、および ICRB1、ICRB2 のキャプチャ動作を、**図 22.18** に TCNTB1 と ICRB3x のキャプチャ動作を示します。

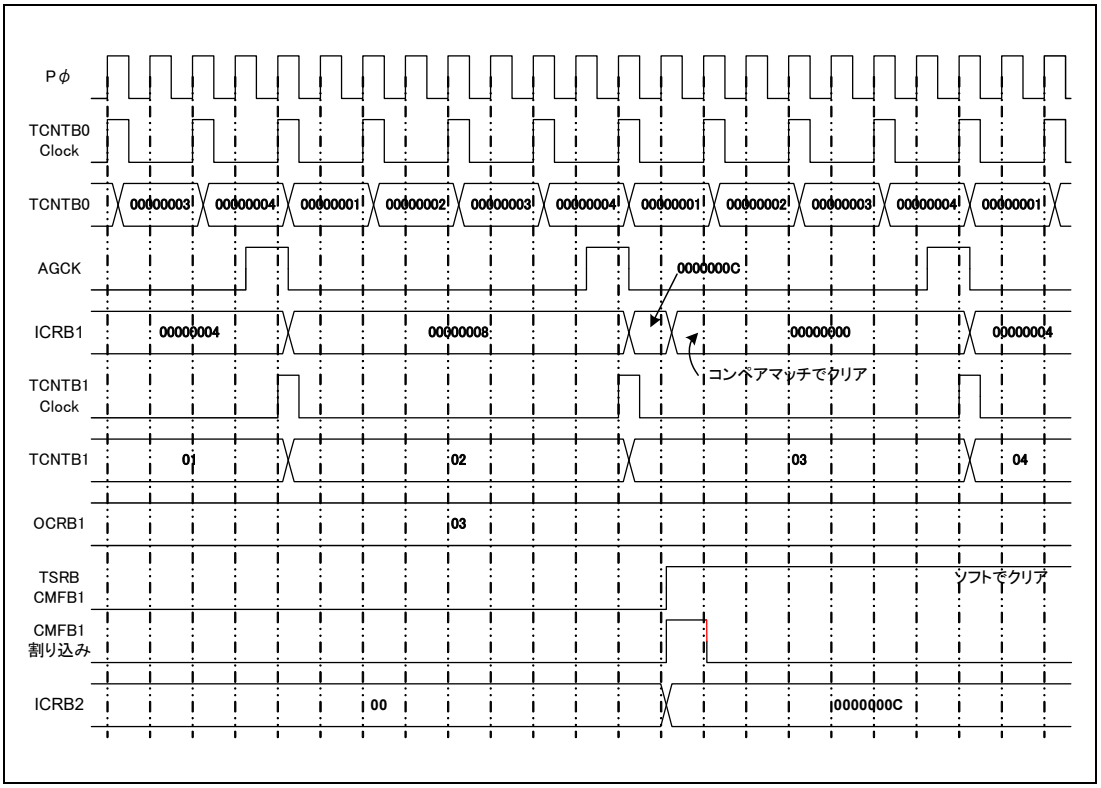


図 22.17　TCNTB1 のコンペアマッチ動作と、ICRB1、ICRB2 のキャプチャ動作

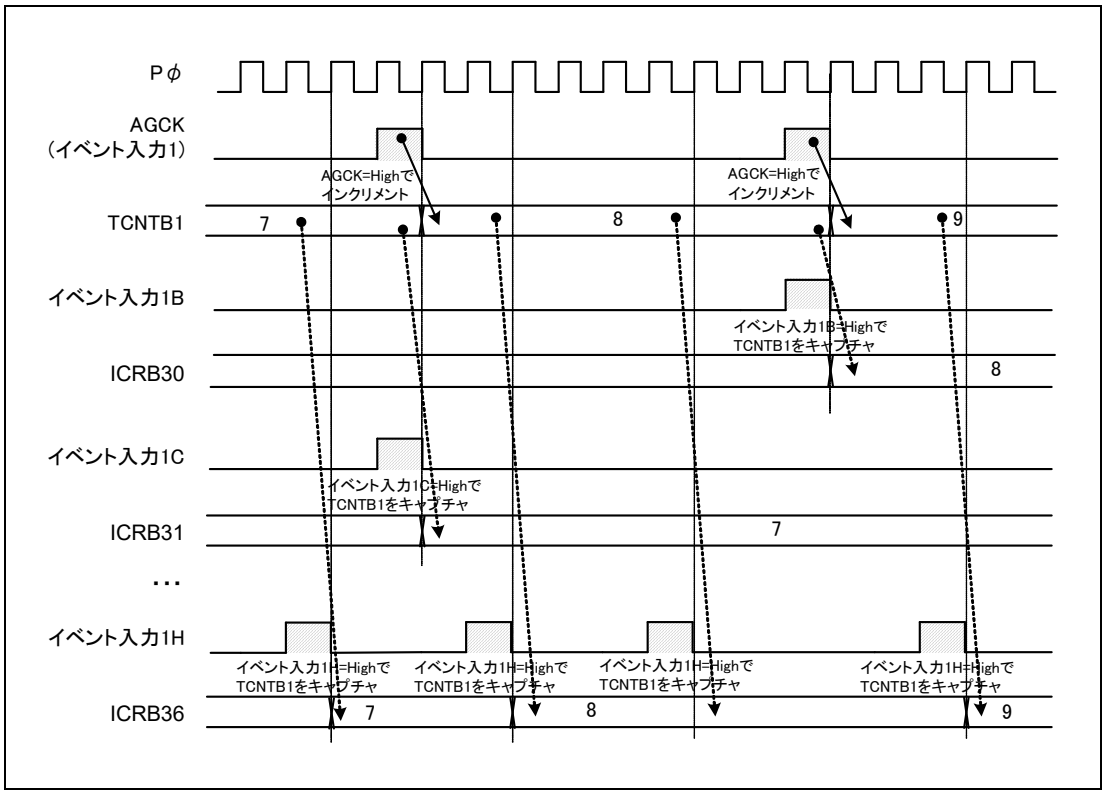


図 22.18　TCNTB1 カウント動作と、ICRB3x キャプチャ動作

倍周クロック生成機能

倍周クロック生成ブロックは、外部イベント（AGCK）の入力エッジ間を、パルスインターバルマルチプライヤレジスタ（PIMR1、もしくは PIMR2）で設定した値で逓倍した倍周クロック（AGCK1）を生成します。

TIORB の LDEN ビットが 0 の場合には、外部イベント入力タイミングで、エッジ間計測ブロックの ICRB0 でキャプチャされた値（下位 24 ビット）が、24 ビットリロードカウンタ B2（TCNTB2）に転送されます。また、24 ビットリロードレジスタ B（RLDB）にも、ICRB0 でキャプチャされた値（下位 24 ビット）から PIMR レジスタに設定された値（PIM1 もしくは、PIM2）を減算した値が取り込まれます。TIORB の LDEN ビットが 1 の場合には、ICRB0 のインプットキャプチャ時に TCNTB2、RLDB の値は更新されません。

タイマ I/O コントロールレジスタ B（TIORB）の LDSEL ビットを設定することにより、ICRB0 値の代わりにロードレジスタ B（LDB）の値を、TCNTB2、RLDB の入力データとして用いることもできます。パルスインターバルマルチプライヤ選択レジスタ（PIMRSELR）を有効に設定にしたとき、TCNTB1 と OCRB11 が一致している間は、PIMR1 の代わりに PIMR2 の値を使用して上記の動作を行います。

24 ビットリロードカウンタ B2（TCNTB2）は、タイマコントロールレジスタ B（TCRB）の CKSELB で選択したクロックによりダウンカウントを行います。ダウンカウントは PIM 値で行われます（TCNTB2 －＝ PIM）。このカウンタは、カウント値が PIM の設定値以下に達すると自動的に RLDB から値を読み込みカウント値に加算し（TCNTB2 + RLDB 値）、再度ダウンカウント動作を繰り返します。このリロードタイミングに入力クロック 1 サイクル分のパルスを出力することで、倍周クロック信号（AGCK1）を生成します。

また、20 ビットのアウトプットコンペアレジスタ B6（OCRB6）と、20 ビット倍周クロックカウンタ B6（TCNTB6）を用いて倍周クロック（AGCK1）によるコンペアマッチ動作が可能です。

TCNTB6 は無条件に AGCK1 でカウントアップを行います。TCNTB6 が OCRB6 と一致したときに CPU へ割り込み要求を出力することができます。この割り込み要求タイミングは、TICRB の IREGB6 ビットを設定することにより、コンペアマッチ発生時またはコンペアマッチ発生後の AGCK（外部イベント）入力時、あるいはコンペアマッチ発生後 2 回目の AGCK（外部イベント）入力時から選択することができます。

ICRB6 は外部イベント入力（AGCK）を検出すると次のクロック（Pϕ）のタイミングで TCNTB6 の値を格納します。また、倍周クロックカウンタ B6M（TCNTB6M）は倍周クロック（AGCK1）に対し、倍率設定レジスタ B6（RARB6）で設定した倍率分のカウント値で、カウントアップ動作を行います。TCNTB6M は外部イベント（AGCK）が入力される度に ICRB6 と値の比較を行い、比較結果が ICRB6 ＞ TCNTB6M の場合には、割り込み要求を出力することができます。

AGCK1 は、1 つ前の入力エッジ間隔を参考にして生成されているため、連続する 2 つのエッジ間隔に変化が生じた場合は、PIM で設定したとおりに正しく逓倍されません。このため、AGCK1 は次項で説明する倍周クロック補正機能により補正され、倍周補正クロック（AGCKM）に変換されます。

図 22.19、**図 22.20** にリロードカウント動作と倍周クロックの出力を、**図 22.21**、**図 22.22** に TCNTB6 のコンペアマッチ動作および、各 IREG 設定による CMB6 割り込み要求を出力を示します。**図 22.23** に PIMR1 と PIMR2 の切り替えタイミングを示します。**図 22.24** に TCNTB6M と ICRB6 の比較動作と割り込み要求出力を示します。

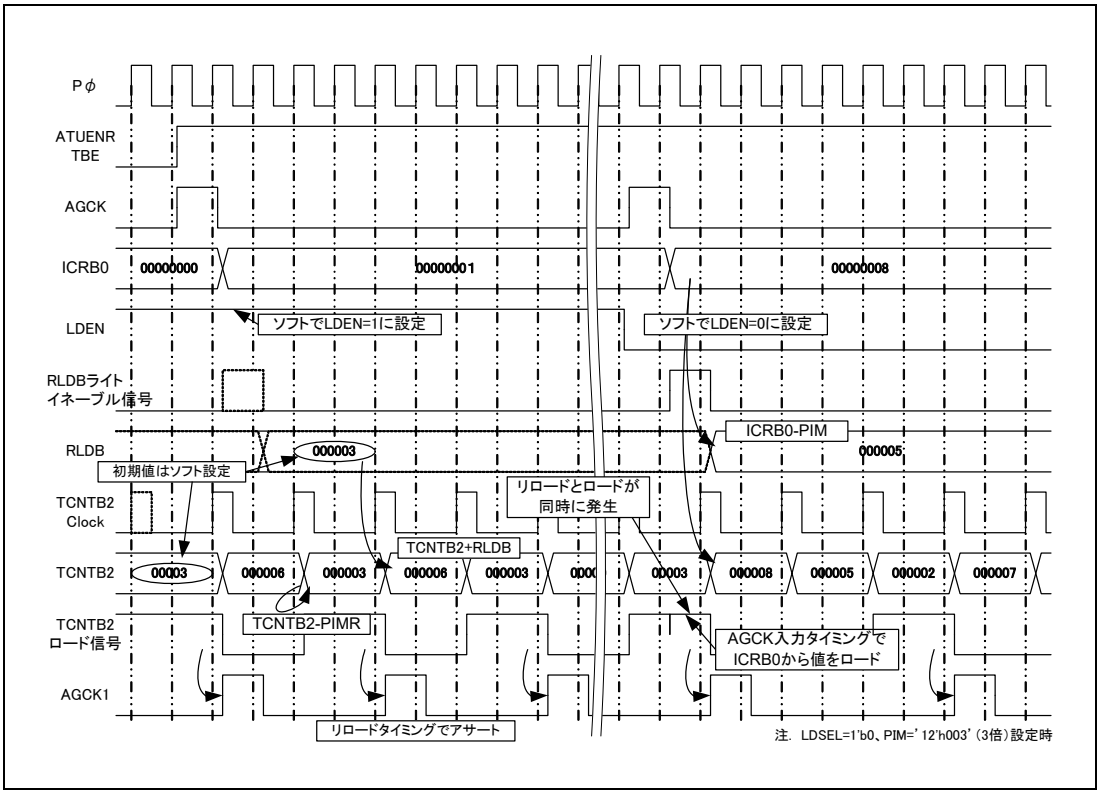


図 22.19 リロードカウント動作と、倍周クロック出力（1）

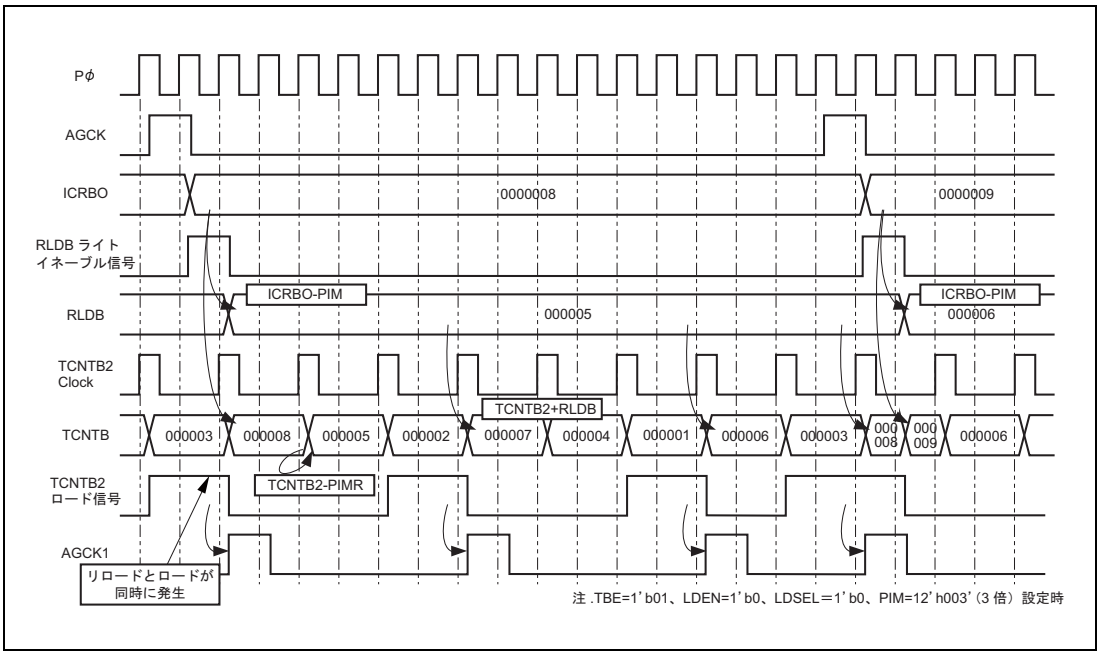


図 22.20 リロードカウント動作と、倍周クロック出力（2）

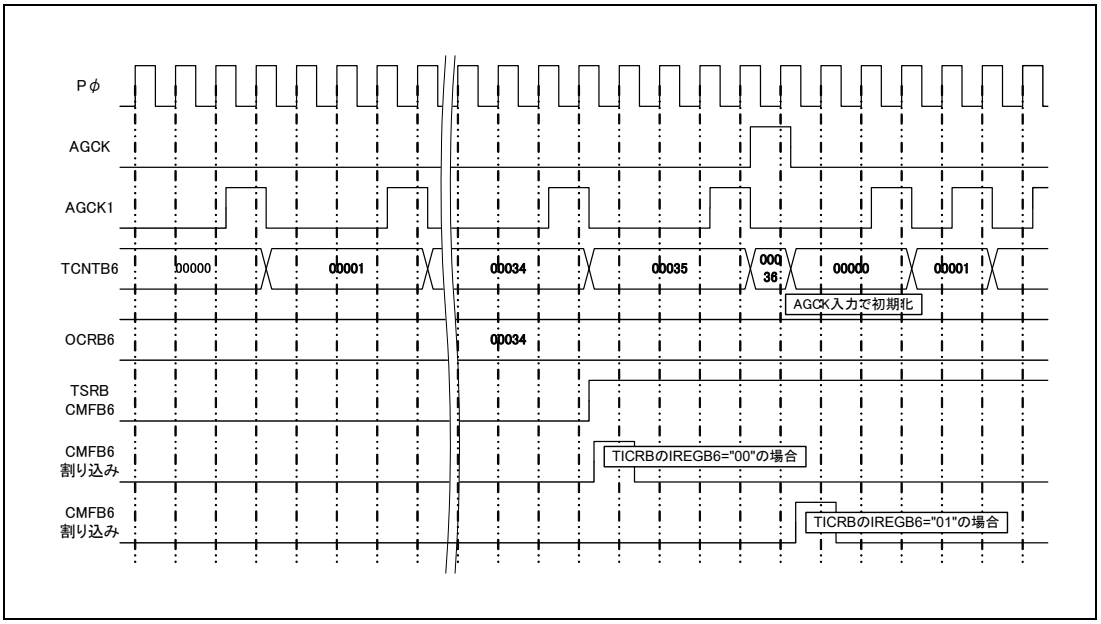
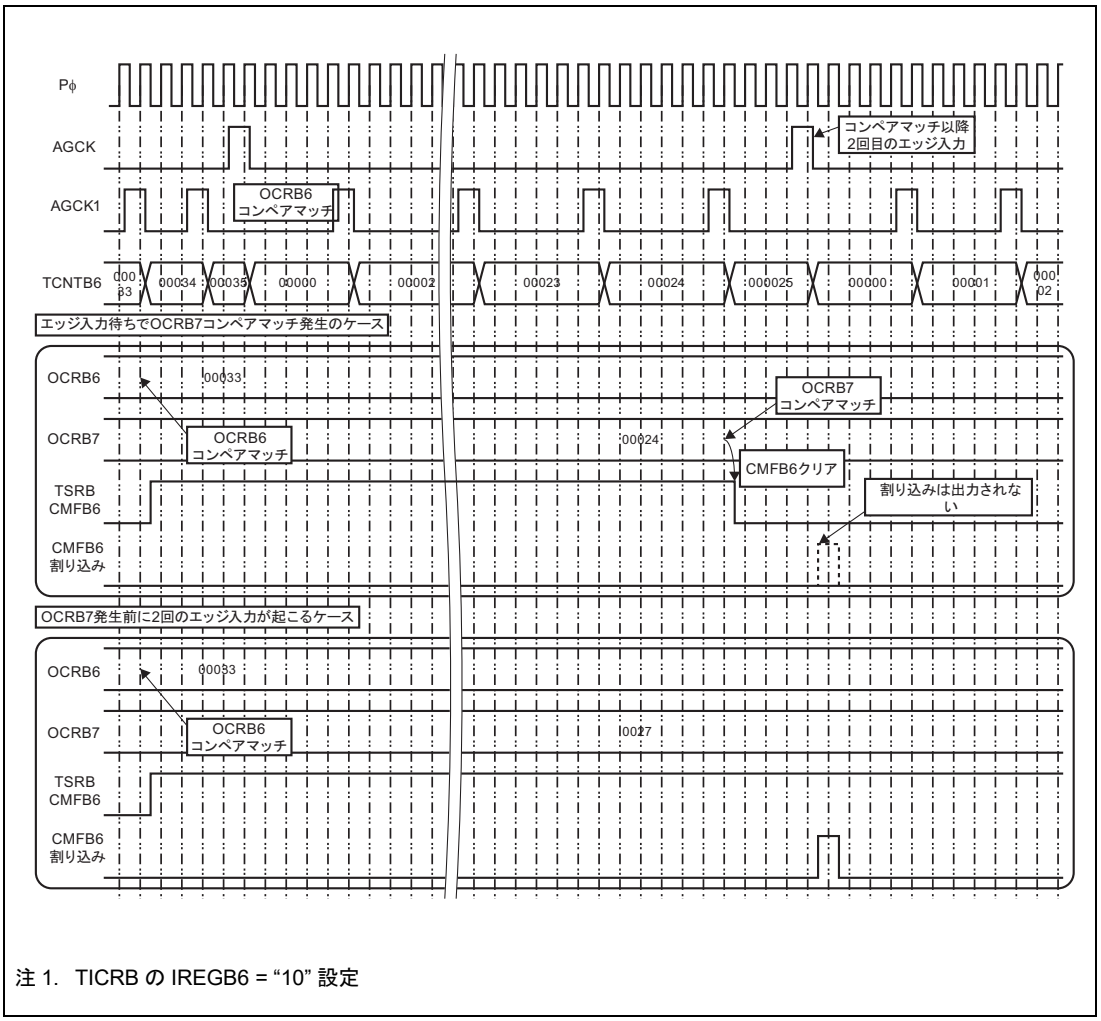


図 22.21 TCNTB6 のコンペアマッチ動作、および CMFB6 割り込み要求出力（IREGB6 ＝ “00”,“01”）



注 1. TICRB の IREGB6 = “10” 設定

図 22.22 IREGB6 ＝ “10” 設定時の CMB6 割り込み要求出力

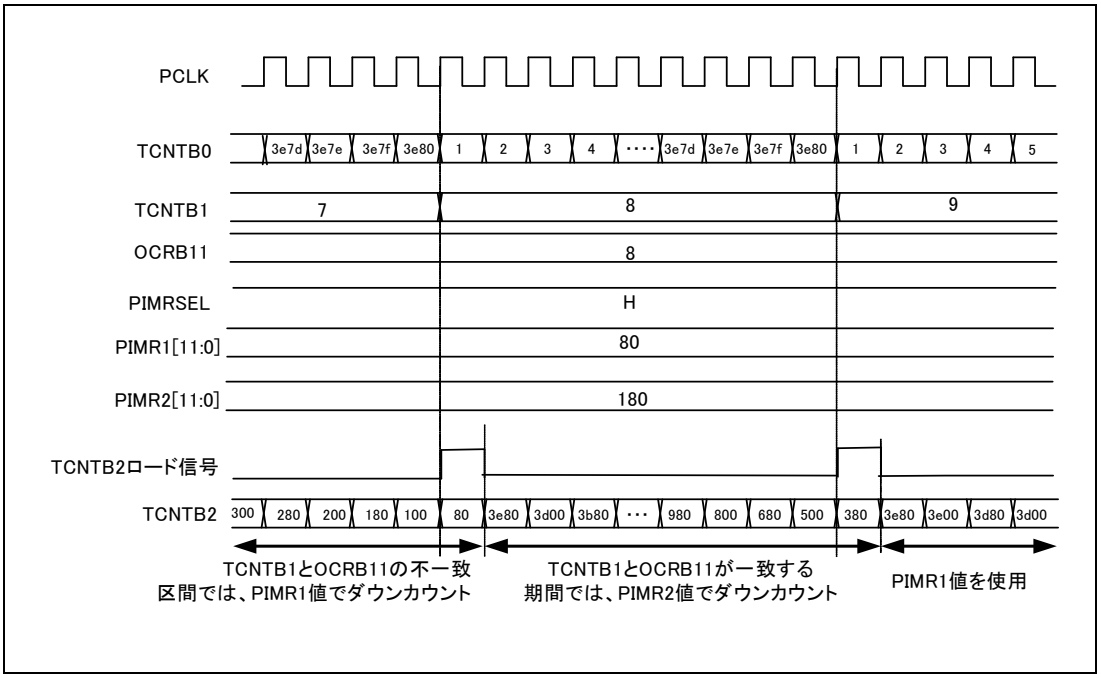


図 22.23 PIMR1 と PIMR2 の切り替えタイミング

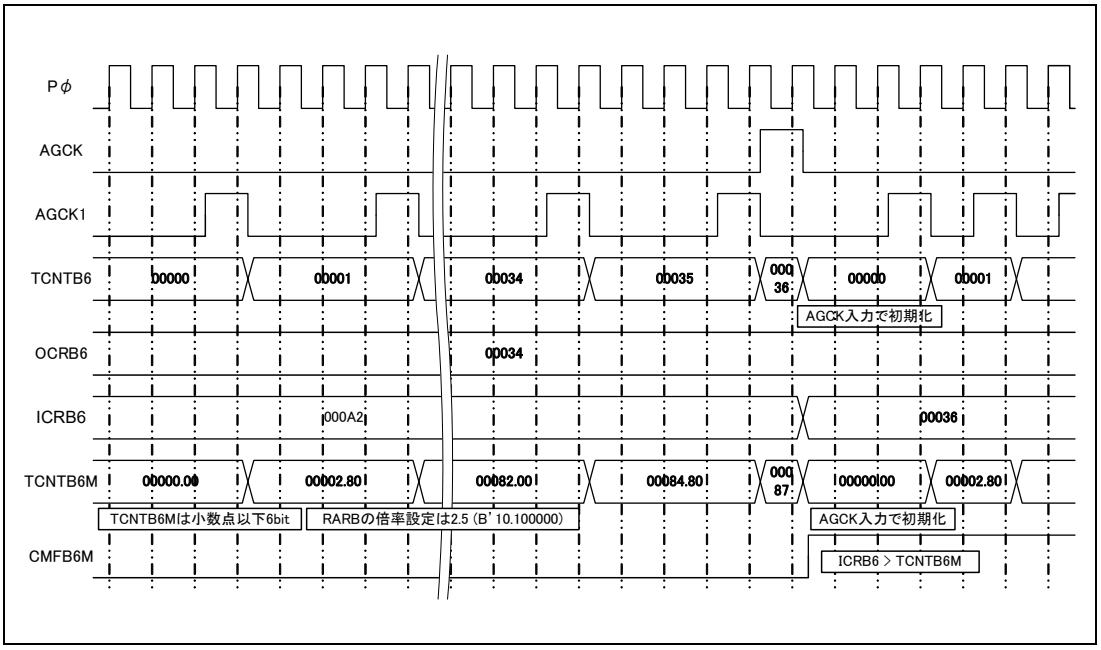


図 22.24 TCNTB6M と ICRB6 の動作例

倍周クロック補正機能

20 ビットの補正イベントカウンタ B3（TCNTB3）と、20 ビットの補正倍周クロックカウンタ B4（TCNTB4）、20 ビットの倍周補正クロック生成カウンタ B5（TCNTB5）と、補正カウンタクリアレジスタ B（TCCLRB）は、外部イベントの入力エッジ間を PIMR の PIM で設定された倍周値に補正する機能を持っています。

TCNTB3 は、外部イベント（AGCK）をカウントソースとする 20 ビットのアップカウンタです。AGCK が入力されると、TCNTB3 値が TCNTB4 に転送され、その後 TCNTB3 は PIM 値（PIM1）でアップカウントを行います（TCNTB3+ = PIM）。TCNTB3 はタイマコントロールレジスタ B（TCRB）の TCNTB3 クリア設定選択ビット（CLRB3SEL）の設定により、TCNTB1 と OCRB10 のコンペアマッチ、または、TCNTB6 と OCRB6 とのコンペアマッチ、または、TCNTB3 と OCRB8 とのコンペアマッチでクリアすることができます。

TCNTB4 は、倍周クロック（AGCK1）をカウントソースとする 20 ビットのアップカウンタです。TCNTB4 は、AGCK をトリガとして TCNTB3 をロードし、AGCK1 によりカウントアップします。

タイマ I/O コントロールレジスタ B（TIORB）のカウンタコレクションセレクト（CCS）は、TCNTB4 のアップカウント動作の設定を行うものです。TCNTB3 のカウント値と、TCNTB4 のカウント値が一致した場合に、TCNTB4 のアップカウント動作を停止するかしないかを選択できます。

TCNTB5 は、周辺クロック（PCLK）をカウントソースとする 20 ビットのアップカウンタであり、高速にカウント動作を行います。TCNTB5 の値は常に TCNTB4 と比較されており、TCNTB5 のカウント値が TCNTB4 のものより小さいときのみカウントアップを行います。TCNTB5 は、このカウントアップ時に周辺クロック 1 サイクル分のパルスを出力します。これが倍周補正クロック信号（AGCKM）であり、クロックバスコントロールレジスタ（CBCNT）の CB5SEL の設定によりクロックバス 5 に出力することが可能です。他のタイマモジュールは、クロックバス 5 経由で AGCKM をカウントソースとして使用できます。

TCNTB5 が TCNTB4 の値を上回ったときには（TCNTB4 が TCNTB3 をロードしたときに起こりえる）、カウントアップ動作を行いません。また、タイマ I/O コントロールレジスタ B（TIORB）のカウントコントロール B5（CTCNTB5）の設定により TCNTB5 のカウント動作を許可または禁止することができ、AGCKM の出力を制御することが可能です。

TCNTB5 のカウント動作は、20 ビットの補正カウンタクリアレジスタ B（TCCLRB）の値と一致するまで行われます。本機能は、補正カウンタクリアフラグレジスタ B（TCCLFRB）により自動カウントアップの状態か確認することができます。また、補正カウンタクリアフラグセットレジスタ（TCCLFSRB）、補正カウンタクリアフラグクリアレジスタにより（TCCLFCRB）、自動カウントアップの動作状態の設定が行なえます。TCNTB5 が TCCLRB と一致すると、TCNTB4 の値に関わらずカウント動作は行われません。さらに、タイマ D のタイマコントロールレジスタ D（TCRDx）の対応するカウンタクリアイネーブル（C1CEDx、C2CEDx）を “1” に設定することで、この一致をトリガとしてタイマ D のタイマカウンタ 1Dx、同 2Dx（TCNT1Dx、TCNT2Dx）を個別にクリアすることができます。

TCNTB4 の値は、TCNTB3 が H’00000000 のときに外部イベント（AGCK）が入力されると無条件で H’00000000 にクリアされます。また、TCNTB5 の値は、TCNTB3 が H’00000000 のときに外部イベント（AGCK）が入力されると H’00001000 にクリアされます。このとき、TCNTB5 のカウント値が、TCCLRB の値と一致してなければ、一旦 TCNTB5 を TCCLRB と一致するまでカウントアップした後でカウンタのクリアを行います。

図 22.25 に TCNTB3、および TCNTB4 の動作、**図 22.26** に TCNTB5 の動作（起動時）、**図 22.27** に TCNTB5 の動作（サイクル終了、補正有り）、**図 22.28** に TCNTB5 の動作（サイクル終了、補正無し）を示します。

倍周補正クロック（AGCKM）に対して、補正許可トリガビット（ACRTRG）に “1” を設定することで、倍周補正クロック 2（AGCKM2）を生成し出力します。AGCKM2 は、AGCKM に対して正論理（＋）補正の場合は、AGCKM のアクティブ期間を拡張し、負論理（–）補正の場合は、AGCKM のアクティブ期間をマスクします。

AGCKM2 の生成は、ACRSTRB によって制御され、内部ダウンカウンタによって補正期間が制御されます。

AGCKM2 の生成については、補正許可トリガビット（ACRTRG）に “1” を設定（ACRSTRB = 01B）後のタイマ B 外部イベント（AGCK）の検出により動作が開始（ACRSTRB = 10B）します。**図 22.29** に AGCKM2 の動作（正論理）、**図 22.30** に AGCKM2 の動作（負論理）を示します。

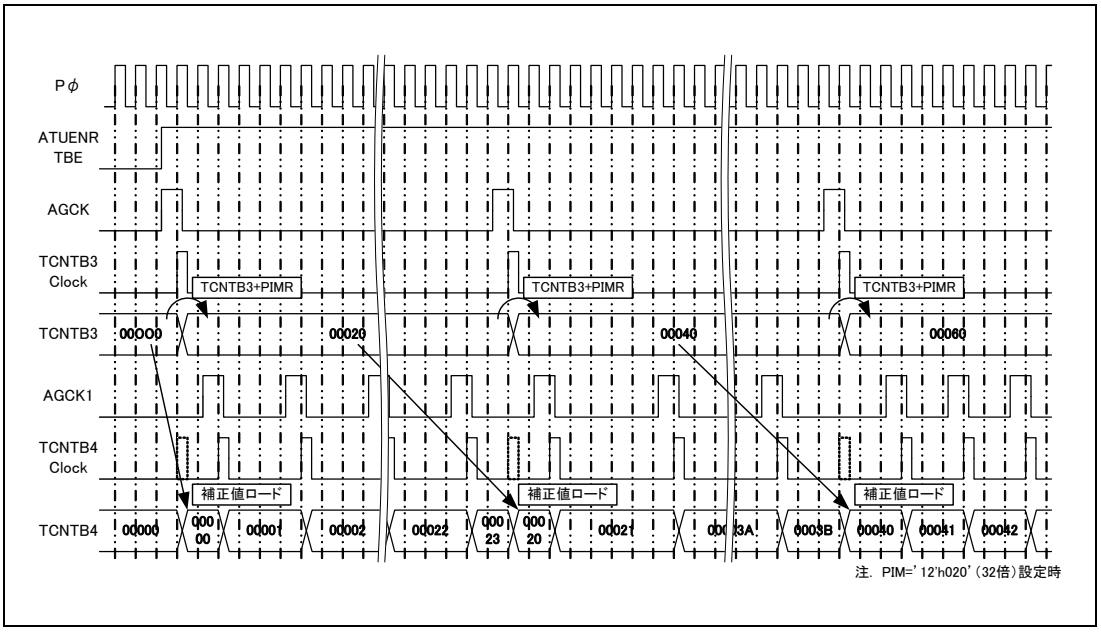


図 22.25　TCNTB3、TCNTB4 の動作

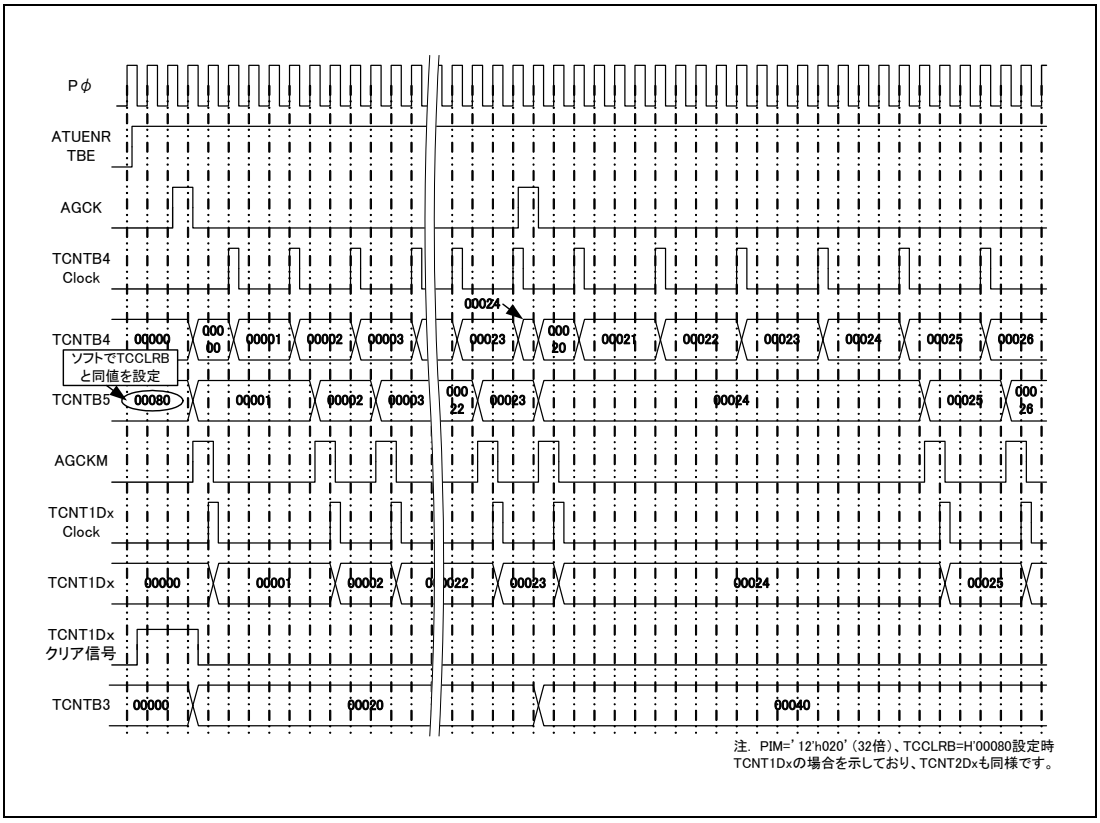


図 22.26 TCNTB5 の動作（起動時）

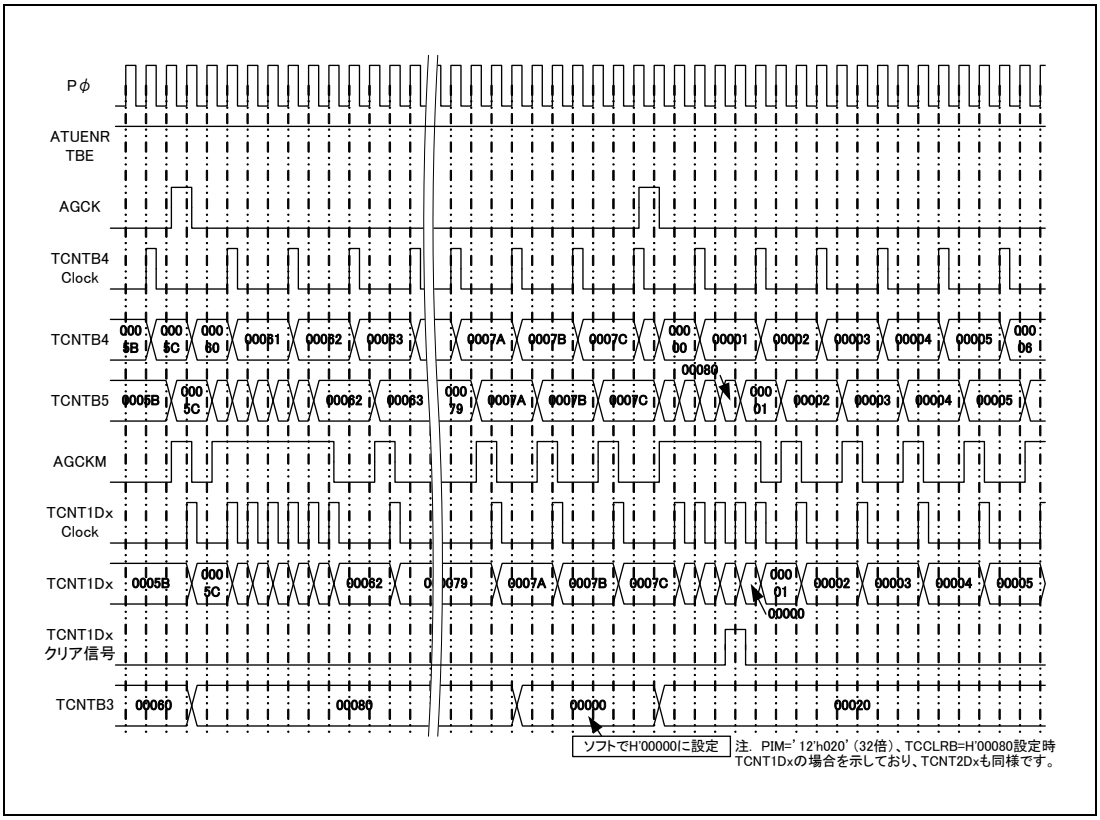


図 22.27 TCNTB5 の動作（サイクル終了、補正あり）

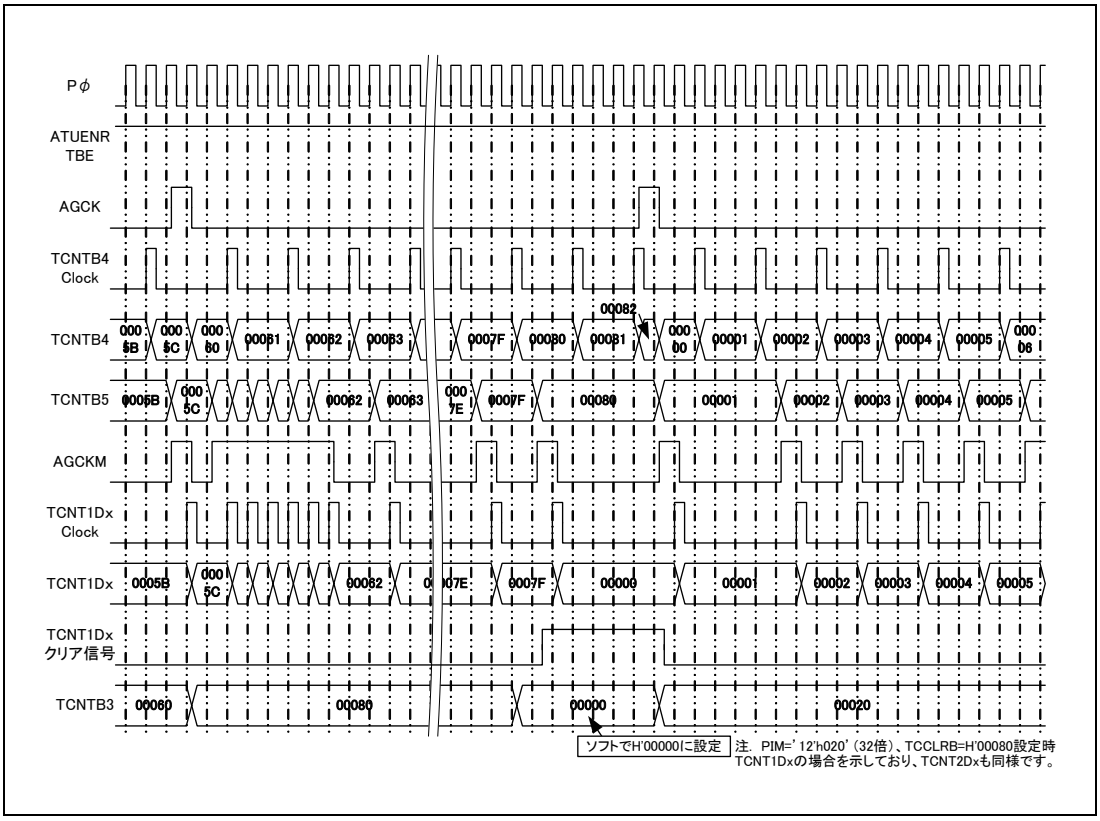


図 22.28　TCNTB5 の動作（サイクル終了、補正なし）

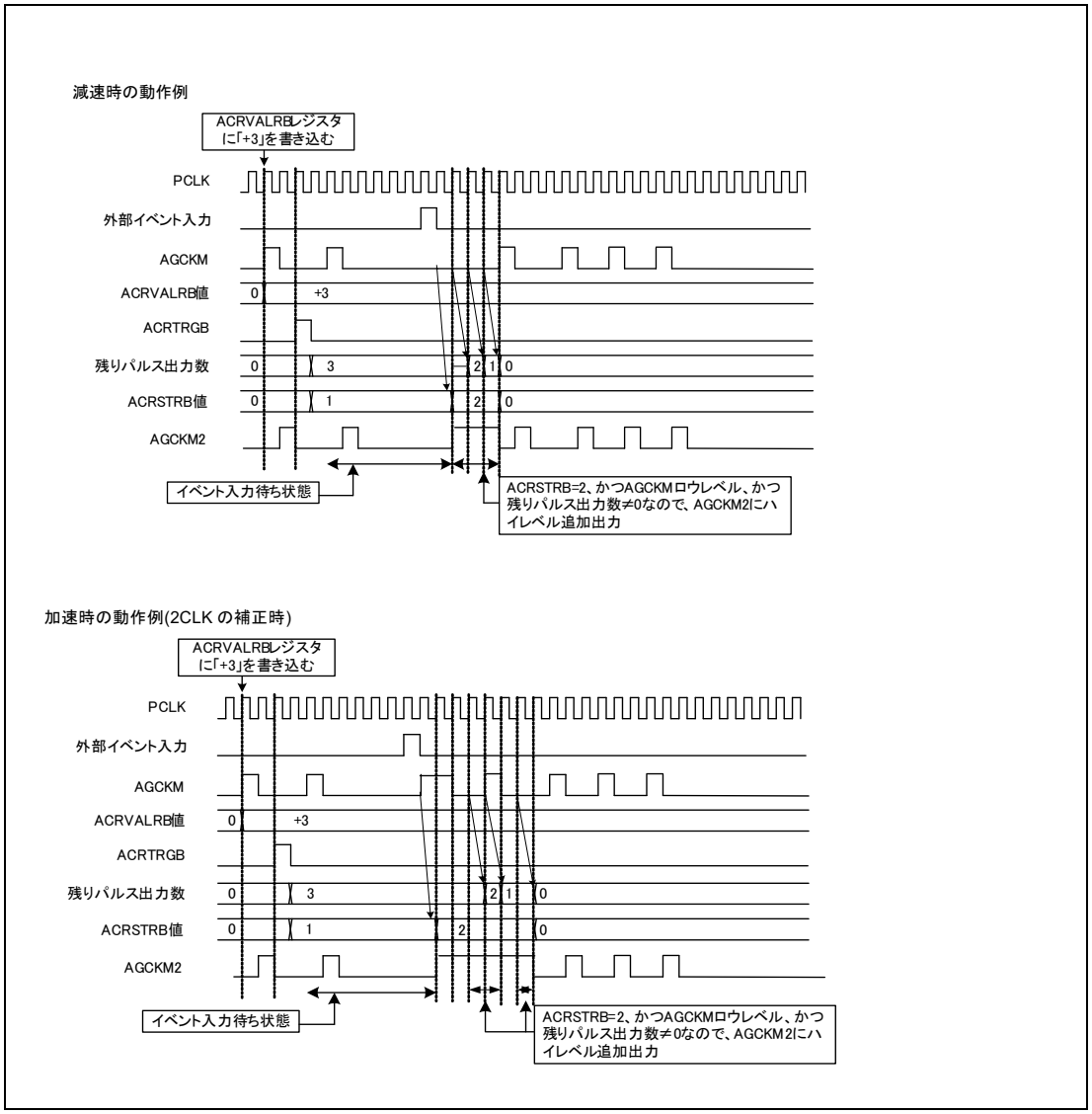


図 22.29　AGCKM2 の動作（正論理）

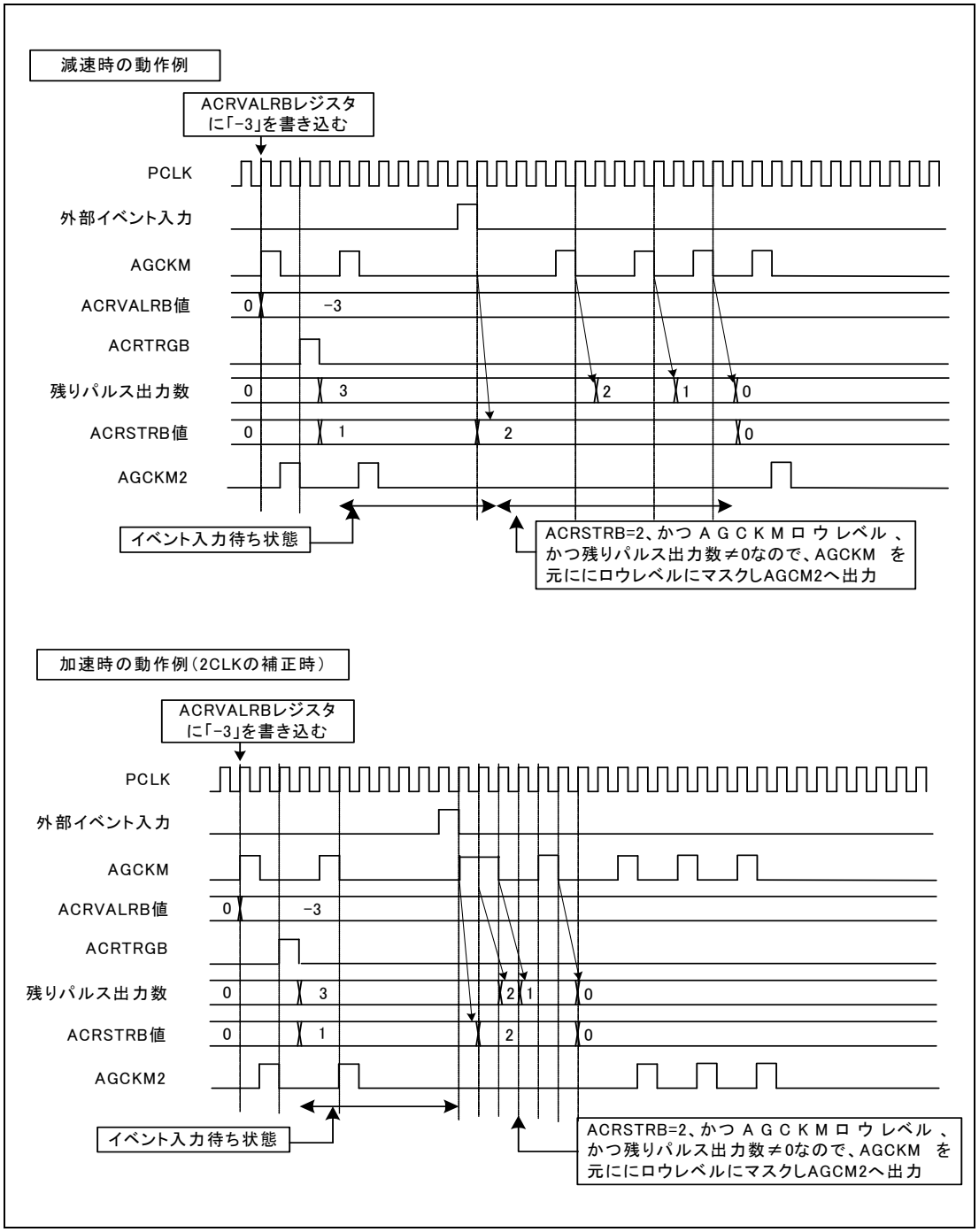


図 22.30　AGCKM2 の動作（負論理）

22.6　タイマ C

22.6.1　動作概要

タイマ C ブロックは、同一の機能を持つ 8 個のサブブロックによって構成される汎用タイマです。各サブブロックは 4 個のチャネルによって構成されています。

タイマ C サブブロックは、以下の機能を実現することができます。

- インプットキャプチャ、アウトプットコンペアの選択が可能です。
- インプットキャプチャの検出エッジを、立ち上がり／立ち下がり／両エッジから選択可能です。
- インプットキャプチャとして使用したとき、タイマ A からのイベント出力 1、2A、2B のタイミングでキャプチャすることが可能です。
- コンペアマッチで波形出力が可能です。出力はレジスタ設定により 1 出力／0 出力／トグル出力／ワンショットパルス出力から選択できます。
- キャプチャタイミング／コンペアマッチタイミングで、割り込み要求の出力、および DMA 要求が可能です。
- タイマカウントオーバーフローで割り込み要求の出力ができます。
- コンペアマッチでタイマカウンタ Cx（TCNTCx）のクリアが可能です。（2 種類）
  - ・PWM モード時は、GRCx0 のコンペアマッチによりカウンタのクリアが可能です。（GRCx1 ～ 3 は未対応）
  - ・PWM モード以外でカウンタの上限値設定機能を使用する場合は、CUCRCx のコンペアマッチによりカウンタのクリアが可能です。
- 強制コンペアマッチビットを設定することで強制的にコンペアマッチ割込み要求を発生させることが可能です。
- ノイズキャンセル機能搭載（ノイズキャンセラ用カウントクロックまたはクロックバス 5 を選択可能）

タイマ C サブブロックは、1 本の 32 ビットタイマカウンタ Cx（TCNTCx）と、4 本の 32 ビットタイマ汎用レジスタ Cxy と、4 本の 32 ビットのアウトプットコンペアレジスタ Cxy（OCRCxy）と、1 本の 32 ビットのカウンタ上限値設定コンペアレジスタ Cx（CUCRCx）、及び制御部などで構成されています。タイマ汎用レジスタ Cxy はインプットキャプチャ／コンペアマッチとして使用でき、インプットキャプチャトリガ入力／アウトプットコンペア出力としての入出力端子（TIOCxy）を備えています。

アウトプットコンペアとして使用する場合の TIOCxy 出力の初期値は 0 です。それ以降は直前の動作状態が反映されます。

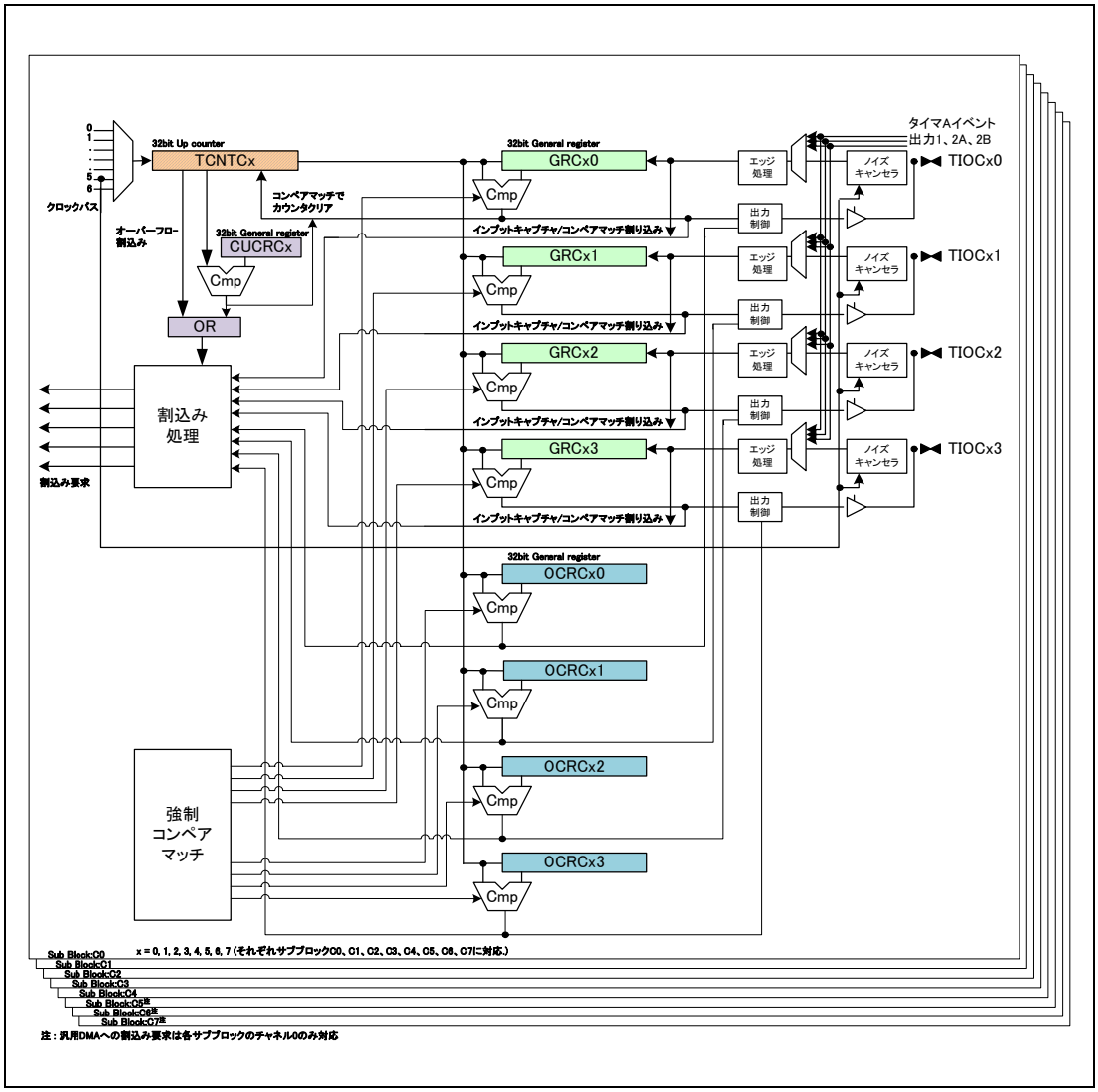


図 22.31　タイマ C ブロック図

22.6.2 タイマ C 関連レジスタ

22.6.2.1 TSTRC — タイマスタートレジスタ C

アクセス 8 ビットアクセス可能

アドレス FFE6 0600_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	STRC7	STRC6	STRC5	STRC4	STRC3	STRC2	STRC1	STRC0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.63 TSTRC レジスタの内容

ビット位置	ビット名	機能
7	STRC7	カウンタ C7 スタート 0：TCNTC7 のカウント動作を停止 1：TCNTC7 のカウント動作を許可
6	STRC6	カウンタ C6 スタート 0：TCNTC6 のカウント動作を停止 1：TCNTC6 のカウント動作を許可
5	STRC5	カウンタ C5 スタート 0：TCNTC5 のカウント動作を停止 1：TCNTC5 のカウント動作を許可
4	STRC4	カウンタ C4 スタート 0：TCNTC4 のカウント動作を停止 1：TCNTC4 のカウント動作を許可
3	STRC3	カウンタ C3 スタート 0：TCNTC3 のカウント動作を停止 1：TCNTC3 のカウント動作を許可
2	STRC2	カウンタ C2 スタート 0：TCNTC2 のカウント動作を停止 1：TCNTC2 のカウント動作を許可
1	STRC1	カウンタ C1 スタート 0：TCNTC1 のカウント動作を停止 1：TCNTC1 のカウント動作を許可
0	STRC0	カウンタ C0 スタート 0：TCNTC0 のカウント動作を停止 1：TCNTC0 のカウント動作を許可

注 1. サブブロック C0 ～ C7 ごとにスタートビットを用意。

タイマスタートレジスタ C（TSTRC）は 8 ビットの読み出し／書き込み可能なレジスタです。8 つのサブブロック Cx （x = 0, 1, 2, 3, 4, 5, 6, 7）のタイマカウンタ Cx（TCNTCx）を動作させるか、停止させるかを設定します。ただし、カウントスタート Cx ビットをカウント動作許可に設定していても、ATU-IV 制御レジスタ（ATUENR）の TCE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRC はリセット時に 00_H に初期化されます。

(1) STRCx — カウンタ Cx スタートビット

タイマカウンタ Cx（TCNTCx）を動作させるか、停止させるかを設定します。

このビットを “0” にクリアした場合、TCNTCx は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

カウンタ Cx スタートビットを “1” にセットしても、ATU-IV 制御レジスタで、タイマ Cx のマスタイネーブルが “1” にセットされていなければカウント動作は開始されません。

注　意

プリスケーラはカウンタ Cx スタートビットの設定に関係なく動作しており、TCNTCx の動作開始時にも初期化は行われません。したがって起動から実際に TCNTCx がカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さがともないます。

22.6.2.2 NCCRCx — ノイズキャンセラコントロールレジスタ Cx（x = 0 ～ 7）

アクセス 8 ビットアクセス可能

アドレス FFE6 0604_H（NCCRC0）
FFE6 0605_H（NCCRC1）
FFE6 0606_H（NCCRC2）
FFE6 0607_H（NCCRC3）
FFE6 0608_H（NCCRC4）
FFE6 0609_H（NCCRC5）
FFE6 $060A_H$（NCCRC6）
FFE6 $060B_H$（NCCRC7）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NCKCx3	NCKCx2	NCKCx1	NCKCx0	NCECx3	NCECx2	NCECx1	NCECx0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.64 NCCRCx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	NCKCxy	ノイズキャンセルクロックセレクトビット ノイズキャンセルカウンタ Cxy（NCNTCxy）のカウントソースクロックを選択
3 ～ 0	NCECxy	ノイズキャンセライネーブル Cxy TIOCxy 入力のノイズキャンセル機能の設定

備考 （x = 0, 1, 2, 3, 4, 5, 6, 7）（y = 0, 1, 2, 3）

ノイズキャンセラコントロールレジスタ Cx （NCCRCx）は 8 ビットの読み出し／書き込み可能なレジスタです。本レジスタの設定によりサブブロック Cx の TIOCxy ピンからのインプットキャプチャトリガ入力信号に対してノイズキャンセル処理が可能となります。ノイズキャンセル処理には 3 つのモードがあり、ノイズキャンセルモードレジスタ（NCMR）の NCMC ビットで切り替え可能です。また、カウントソースには、本レジスタのノイズキャンセルクロックセレクトビット（NCKCxy）で、ノイズキャンセラ用カウントクロックまたはクロックバス 5 を選択可能です。

NCCRCx はリセット時に 00_H に初期化されます。

(1) ノイズキャンセルクロックセレクトビット（NCKCxy）

ノイズキャンセルカウンタ Cxy（NCNTCxy）のカウントソースクロックを選択します。

NCKCxy	機能
0	NCNTCxy のカウントソースクロックにノイズキャンセラ カウントクロック（Pϕ or Pϕ/128）を選択 （初期値）
1	NCNTCxy のカウントソースクロックにクロックバス 5 を選択

備考 （x = 0, 1, 2, 3, 4, 5, 6, 7）（y = 0, 1, 2, 3）

カウントソースクロックには、ノイズキャンセラ用カウントクロック、もしくはクロックバス 5 を選択することが可能です。ノイズキャンセラ用カウントクロックは、共通制御部の NCCSEL ビットにより Pϕ の 128 分周と Pϕ のいずれかを選択可能です。

(2) NCECxy — ノイズキャンセライネーブル Cxy

サブブロック Cx の入出力ピン TIOCx0 ～ Cx3 に対してノイズキャンセル機能の有効／無効を設定します。

NCECxy	機能
0	TIOCxy 入力のノイズキャンセル機能を無効に設定　（初期値）
1	TIOCxy 入力のノイズキャンセル機能を有効に設定

備考　（x = 0, 1, 2, 3, 4, 5, 6, 7）（y = 0, 1, 2, 3）

これらのビットを “1” にセットしたあと、TIOCxy からの入力信号のレベル変化を検出すると、共通制御部内のノイズキャンセルモードレジスタ（NCMR）の設定とノイズキャンセルクロックセレクトビット（NCKC）の設定にあわせて、後続エッジキャンセルモード、あるいは先行エッジキャンセルモード、またはレベル積算キャンセルモードのいずれかの処理を開始します。

後続エッジキャンセルモードでは、入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ Cxy（NCNTCxy）がアップカウントを開始します。このノイズキャンセルカウンタがノイズキャンセルレジスタ Cxy（NCRCxy）の値とコンペアマッチするまでの間、入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの入力信号のレベルがノイズキャンセル後の信号として出力されます。

NCNTCxy がカウント動作中にこれらのビットを “0” クリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も入力信号のレベル変化はマスクされつづけます。

先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ Cxy（NCNTCxy）がアップカウントを開始します。NCNTCxy の値がノイズキャンセルレジスタ Cxy（NCRCxy）の値とコンペアマッチするまでの間に入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合はノイズとみなされ、ノイズキャンセラは入力信号のレベル変化がなかったものとしてノイズキャンセル後の信号を変化させません。

NCNTCxy がカウント動作中にこれらのビットを “0” クリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

レベル積算キャンセルモードでは、入力信号のレベルにしたがい対応するノイズキャンセルカウンタ Cxy（NCNTCxy）がアップ／ダウンカウントを行います。入力ハイレベルでアップカウント、入力ロウレベルでダウンカウントとなります。アップカウントはノイズキャンセルカウンタがノイズキャンセルレジスタ Cxy（NCRCxy）の値とコンペアマッチするまでの間、ダウンカウントはノイズキャンセルカウンタが 0000_H にコンペアマッチするまで続きます。アップカウントでコンペアマッチ（NCRCxy）するとノイズキャンセラ出力を 1 に更新します。また、ダウンカウントでコンペアマッチ（0000_H）するとノイズキャンセラ出力を 0 に更新します。

先行エッジキャンセルモードならびに後続エッジキャンセルモードにおいて、レベル変化の検出は選択したノイズキャンセルクロックにかかわらず常に Pϕ によって行われます。レベル積算キャンセルモードにおいて、入力レベルのサンプリングはノイズキャンセラクロックセレクト Cxy（NCKCxy）で選択されたクロックによって行われます。

各キャンセルモードの動作例は、**図 22.1** および**図 22.2**、**図 22.3** を参照してください。

22.6.2.3　TCRCx — タイマコントロールレジスタ Cx（x = 0 ～ 7）

アクセス　8 ビット／ 16 ビットアクセス可能

アドレス　FFE6 0624$_H$（TCRC0）
FFE6 06A4$_H$（TCRC1）
FFE6 0724$_H$（TCRC2）
FFE6 07A4$_H$（TCRC3）
FFE6 0824$_H$（TCRC4）
FFE6 08A4$_H$（TCRC5）
FFE6 0924$_H$（TCRC6）
FFE6 09A4$_H$（TCRC7）

リセット後の値　0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FOCMCx3	FOCMCx2	FOCMCx1	FOCMCx0	—	—	—	CLRCx	FCMCx3	FCMCx2	FCMCx1	FCMCx0	PWMx0	CKSELCx[2:0]		
リセット後の値	0 注1	0 注1	0 注1	0 注1	0	0	0	0	0 注1	0 注1	0 注1	0 注1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1.　“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

表 22.65　TCRCx レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	FOCMCxy	強制アウトプットコンペアマッチ Cxy アウトプットコンペアレジスタ Cxy（OCRCxy）で強制コンペアマッチ実施
11 ～ 9	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
8	CLRCx	TCNTCx クリア設定ビット Cx タイマカウンタをクリア許可／禁止を設定
7 ～ 4	FCMCxy	強制コンペアマッチ Cxy タイマ汎用レジスタ Cxy（GRCxy）で強制コンペアマッチ実施
3	PWMx0	PWM モードビット サブブロック Cx を PWM モードで動作させるかどうかを選択
2 ～ 0	CKSELCx[2:0]	クロック選択ビット クロックバス 0 ～ 6 からカウントクロックを選択

備考　x = 0, 1, 2, 3, 4, 5, 6, 7。サブブロック C0 ～ C7 に対応
y = 0, 1, 2, 3 汎用レジスタ Cx0、Cx1、Cx2、Cx3 に対応

タイマコントロールレジスタ Cx（TCRCx）は 8 ビット／ 16 ビットの読み出し／書き込み可能なレジスタです。本レジスタによりサブブロック C0 ～ C7 のカウントクロックの選択、および動作モードの設定を行います。また、強制コンペアマッチの設定、タイマカウンタのクリアの許可／禁止を設定します。

(1) CKSELCx[2:0] — TCNTCx クロックセレクト

TCNTCx クロックセレクト（CKSELCx）はサブブロック Cx のカウントクロックを選択します。各サブブロック Cx のタイマカウンタ Cx（TCNTCx）はここで選択されたクロックに同期してカウントアップを行います。

CKSELCx			機能
0	0	0	クロックバス 0 でカウント（初期値）
0	0	1	クロックバス 1 でカウント
0	1	0	クロックバス 2 でカウント
0	1	1	クロックバス 3 でカウント
1	0	0	クロックバス 4 でカウント
1	0	1	クロックバス 5 でカウント
1	1	0	クロックバス 6 でカウント
1	1	1	予約

備考　x = 0, 1, 2, 3, 4, 5, 6, 7。サブブロック C0 ～ C7 に対応。

(2) PWMx0 — PWM モードビット

サブブロック Cx を PWM モードで動作させるとき、このビットに “1” を設定します。PWM モードに設定すると、タイマ汎用レジスタ Cx0（GRCx0）のコンペアマッチ発生によって TCNTCx がクリアされます。GRCx0 がコンペアマッチとして機能しているときのみ有効です。

また、GRCx1、GRCx2、GRCx3 のうちコンペアマッチとして機能しているものについては、TCNTCx のクリアと同時に、その出力端子（TIOCx1、TIOCx2、TIOCx3 端子）に TIORCx の IOCx0 設定値が出力されます。

GRCx0 に PWM サイクル、GRCx1 ～ GRCx3 にデューティサイクルを設定し、TIOCx1 ～ 3 端子から PWM 出力することが可能です。

注　意

PWM モードビットに “1” をセットするだけでは、PWM として動作させることはできません。タイマ I/O コントロールレジスタ Cx（TIORCx）の IOCxy ビットで、GRCx0、および GRCx1 ～ 3（PWM 出力を行うもの）をそれぞれコンペアマッチ（IOCxy[3:2] = 2’b00）に設定する必要があります。IOCxy[1:0] は、2’b01、2’b10 を設定する必要があります。IOCxy[1:0] により PWM のアクティブ極性を指定することができます。

PWMx0	機能
0	PWM モードで動作させない（初期値）
1	PWM モードで動作させる

備考　x = 0, 1, 2, 3, 4, 5, 6, 7。サブブロック C0 ～ C7 に対応。

PWMx0 が “1” の場合、TCNTCx と GRCx0 との一致を検出するとカウンタは $0000\ 0000_H$ にクリアされます。ただし、コンペアマッチによるカウンタのクリアとカウントアップのタイミングが一致する場合のみ、TCNTCx は $0000\ 0001_H$ にクリアされます（TCNTCx が Pϕ の 1 分周クロックでカウントする場合のみ起こります）。

PWMx0 が “1” の場合、GRCx0 ～ GRCx3 には $0000\ 0000_H$ を設定しないでください。
$0000\ 0000_H$ を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

(3) FCMCxy — 強制コンペアマッチ Cxy

汎用レジスタ Cxy をコンペアマッチレジスタとして使用している場合、FCMCxy を 1 にセットすることにより強制的にコンペアマッチを発生させます。

FCMCxy	機能
0	タイマ汎用レジスタ Cxy（GRCxy）での強制コンペアマッチ禁止　（初期値）
1	タイマ汎用レジスタ Cxy（GRCxy）で強制的にコンペアマッチ発生

備考　x = 0, 1, 2, 3, 4, 5, 6, 7。サブブロック C0 ～ C7 に対応。
y = 0, 1, 2, 3。汎用レジスタ Cx0、Cx1、Cx2、Cx3 に対応。

FCMCxy ビットを 1 にセットすると、TSRCx（タイマステータスレジスタ Cx）の IMFCxy ビット（コンペアマッチフラグ）を “1” にセットし、CPU にコンペアマッチ割り込みを出力します。IMFCxy ビットが “1” の場合でもコンペアマッチ割り込みは出力します。また、TIOCxy からの出力もコンペアマッチ発生時と同様に変化します。この動作はビットを 1 にセットしたときに一度のみ実施します。“0” 書き込み無効、“1” 書き込み時はデータは保持されません。読み出し値は常に 0 となります。

PWMx0 ビット、FCMCx0 ビットをともに “1” にセットした場合、強制コンペアマッチによりカウンタクリア、および TIOCxy への IOCx0 設定値の出力が行われます。その後、TCNTCx は $0000\ 0000_H$ からカウントアップを再開します。（コンペアマッチによるカウンタクリアは各サブブロックのチャネル 0 のみ対応）

(4) CLRCx — TCNTCx クリア設定ビット Cx

TCNTCx クリア設定ビット Cx を “1” に設定すると、タイマカウンタ Cx（TCNTCx）とカウンタ上限値設定コンペアレジスタ Cx（CUCRCx）とのコンペアマッチ発生後の次のクロックで、TCNTCx の値はクリアされます。

CLRCx	機能
0	TCNTCx のクリアに CUCRCx のコンペアマッチを使用しない。　（初期値）
1	TCNTCx のクリアに CUCRCx のコンペアマッチを使用する。

備考　x = 0, 1, 2, 3, 4, 5, 6, 7。サブブロック C0 ～ C7 に対応。タイマカウンタ Cx に対応

上限値設定機能（CLRCx = 1）は、PWM モード以外（PWMx0 = 0）のときに設定することができます。

PWM モード（PWMx0 = 1）で、上限値設定機能（CLRCx = 1）を使用した場合、タイマカウンタ Cx（TCNTCx）が PWM 周期以外の周期でクリアされるため、PWM 出力が不定となります。

(5) FOCMCxy — 強制アウトプットコンペアマッチ Cxy

アウトプットコンペアレジスタ Cxy（OCRCxy）をコンペアマッチレジスタとして使用している場合、FOCMCxy を 1 にセットすることにより強制的にコンペアマッチを発生させます。

FOCMCxy	機能
0	アウトプットコンペアレジスタ Cxy（OCRCxy）での強制コンペアマッチ禁止 （初期値）
1	アウトプットコンペアレジスタ Cxy（OCRCxy）で強制的にコンペアマッチ発生。

備考 x = 0, 1, 2, 3, 4, 5, 6, 7。サブブロック C0 ～ C7 に対応。
y = 0, 1, 2, 3 アウトプットコンペアレジスタ Cx0、Cx1、Cx2、Cx3 に対応

FOCMCxy ビットを 1 にセットすると、TSRCx（タイマステータスレジスタ Cx）の OCMFCxy ビット（コンペアマッチフラグ）を “1” にセットし、CPU にコンペアマッチ割り込みを出力します。OCMFCxy ビットが “1” の場合でもコンペアマッチ割込みは出力します。また、TIOCxy からの出力もコンペアマッチ発生時と同様に変化します。この動作は本ビットに 1 をライトしたときに一度のみ実施します。“0” 書き込み無効、“1” 書き込み時のデータは保持されません。読み出し値は常に 0 となります。

22.6.2.4 TSRCx — タイマステータスレジスタ Cx（x = 0 ～ 7）

アクセス 8 ビット／ 16 ビットアクセス可能
“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

アドレス FFE6 0626$_H$（TSRC0）
FFE6 06A6$_H$（TSRC1）
FFE6 0726$_H$（TSRC2）
FFE6 07A6$_H$（TSRC3）
FFE6 0826$_H$（TSRC4）
FFE6 08A6$_H$（TSRC5）
FFE6 0926$_H$（TSRC6）
FFE6 09A6$_H$（TSRC7）

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	OCMFCx3	OCMFCx2	OCMFCx1	OCMFCx0	—	—	—	OVFCx	IMFCx3	IMFCx2	IMFCx1	IMFCx0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.66 TSRCx レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
11 ～ 8	OCMFCxy	アウトプットコンペアマッチフラグ Cxy 1：OCRCxy レジスタによるコンペアマッチ発生 0：OCRCxy レジスタによるコンペアマッチなし（初期値）
7 ～ 5	—	何も配置されていません。“0” に固定してください。
4	OVFCx	オーバフローフラグ Cx 1：オーバフロー発生 0：オーバフローなし
3 ～ 0	IMFCxy	インプットキャプチャ・コンペアマッチフラグ Cxy 1：インプットキャプチャ、GRCxy レジスタによるコンペアマッチ発生 0：インプットキャプチャ、GRCxy レジスタによるコンペアマッチなし

備考 x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7 に対応
y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応

タイマステータスレジスタ Cx（TSRCx）は 8 ビット／ 16 ビットの読み出し専用のレジスタです。サブブロック Cx（x = 0, 1, 2, 3, 4, 5, 6, 7）の持つタイマカウンタ Cx（TCNTCx）のオーバフローの発生、タイマ汎用レジスタ Cxy（GRCxy , y = 0, 1, 2, 3）でのインプットキャプチャ、コンペアマッチの発生、アウトプットコンペアレジスタ Cxy（OCRCxy、y = 0, 1, 2, 3）でのアウトプットコンペアマッチの発生を示します。

これらのフラグは割り込み要求発生を示すステータスフラグであり、タイマステータスクリアレジスタ Cx（TSCRCx）の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタ Cx によるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

TSRCx はリセット時に 0000$_H$ に初期化されます。

(1) OCMFCxy — アウトプットコンペアマッチフラグ Cxy

アウトプットコンペアレジスタ Cxy（OCRCxy）のアウトプットコンペアマッチの発生を示すステータスフラグです。このフラグをソフトウェアにより、“1” または “0” にセットすることはできません。セット条件、クリア条件は以下のとおりです。

OCMFCxy	機能
0	[クリア条件：コンペアマッチモード／インプットキャプチャモード／ワンショットパルスモード] タイマステータスクリアレジスタ Cx（TSCRCx）の OCMFCCxy に “1” を書き込んだとき （初期値）
1	[セット条件：コンペアマッチモード／インプットキャプチャモード] • TCNTCx の値が OCRCxy と等しくなったとき • TCRCx の FOCMCxy（強制アウトプットコンペアマッチビット）に 1 にセットしたとき [セット条件：ワンショットパルスモード] • ワンショットパルス出力中に TCNTCx の値が OCRCxy と等しくなったとき • ワンショットパルス出力中に TCRCx の FOCMCxy（強制アウトプットコンペアマッチビット）に 1 をセットしたとき

備考 x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7 に対応
y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応

アウトプットコンペアマッチフラグ（OCMFCxy）が 1 の状態（フラグがクリアされていない状態）でも、次のコンペア処理は実施可能です。このとき、OCMFCxy には 1 がオーバライトされます。

アウトプットコンペアマッチ検出後、TCNTCx、OCMFCxy の値が一致したままの状態で、アウトプットコンペアマッチステータスをクリアしても新たにステータスはセットされません。

OCMFCxy と IMFCxy の割り込みは共通となっており、タイマインタラプトイネーブルレジスタ Cx（TIERCx）を設定することにより、片方もしくは両方の割り込みを出力することが可能です。

(2) OVFCx — オーバフローフラグ Cx

このフラグにより、タイマカウンタ Cx（TCNTCx）のオーバフローの状態を参照することができます。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

OVFCx	機能
0	[クリア条件] タイマステータスクリアレジスタ Cx（TSCRCx）の OVFCCx に “1” を書き込んだとき （初期値）
1	[セット条件] TCNTCx の値がオーバフロー • （H’FFFF_FFFF → H’0000_0000）したとき • 上限値設定機能有効時でカウンタのクリアが発生したとき

備考 x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7 に対応

オーバフローフラグは TCNTCx が FFFF $FFFF_H$ の状態でカウントアップクロックが入力されたときと、上限値設定機能が有効なときに、カウンタと上限値設定レジスタが一致した次の PCLK クロックで発生します。TCNTCx への 0000 0000_H 書き込み、TCNTCx 初期値（0000 0000_H）で起動しても OVFCx はセットされません。

カウンタ値が FFFF $FFFF_H$ の状態で、カウントアップクロックと同時に TCNTCx への書き込みを行った場合、オーバフローフラグは “1” にセットされますが、TCNTCx 値は 0000 0000_H ではなく、書き込まれた値に更新されます。

(3) IMFCxy — インプットキャプチャ・コンペアマッチフラグ Cxy

タイマ汎用レジスタ Cxy（GRCxy）のインプットキャプチャ、コンペアマッチの発生を示すステータスフラグです。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。セット条件、クリア条件は以下のとおりです。

IMFCxy	機能
0	[クリア条件：コンペアマッチモード／インプットキャプチャモード／ワンショットパルスモード] タイマステータスクリアレジスタ Cx（TSCRCx）の IMFCCxy に “1” を書き込んだとき（初期値）
1	[セット条件：インプットキャプチャモード] • GRCxy がインプットキャプチとして機能している場合、インプットキャプチャ信号より TCNTCx の値が GRCxy に転送されたとき [セット条件：アウトプットコンペアモード] • GRCxy がアウトプットコンペアとして機能している場合、TCNTCx の値が GRCxy と等しくなったとき • TCRCx の FCMCxy（強制コンペアマッチビット）に 1 にセットした場合 [セット条件：ワンショットパルス出力モード] • ワンショットパルス出力中に OCRCxy のコンペア一致が発生後（または同時）に TCNTCx の値が GRCxy と等しくなったとき • ワンショットパルス出力中に OCRCxy のコンペア一致が発生後（または同時）に TCRCx の FCMCxy（強制コンペアマッチビット）に 1 をセットした場合

備考　x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7 に対応
y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応

インプットキャプチャ・コンペアマッチフラグ（IMFCxy）が 1 の状態（フラグがクリアされていない状態）でも、次のインプットキャプチャ／アウトプットコンペア処理は実施可能です。このとき、IMFCxy には 1 がオーバライトされます。

コンペアマッチ検出後、TCNTCx、IMFCxy の値が一致したままの状態で、コンペアマッチステータスをクリアしても新たにステータスはセットされません。

OCMFCxy と IMFCxy の割り込みは共通となっており、タイマインタラプトイネーブルレジスタ Cx（TIERCx）を設定することにより、片方もしくは両方の割り込みを出力することが可能です。

22.6.2.5 TSCRCx — タイマステータスクリアレジスタ Cx（x = 0 ～ 7）

アクセス 8 ビット／ 16 ビットアクセス可能

アドレス FFE6 0622_H（TSCRC0）
FFE6 $06A2_H$（TSCRC1）
FFE6 0722_H（TSCRC2）
FFE6 $07A2_H$（TSCRC3）
FFE6 0822_H（TSCRC4）
FFE6 $08A2_H$（TSCRC5）
FFE6 0922_H（TSCRC6）
FFE6 $09A2_H$（TSCRC7）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	OCMFCCx3	OCMFCCx2	OCMFCCx1	OCMFCCx0	—	—	—	OVFCCx	IMFCCx3	IMFCCx2	IMFCCx1	IMFCCx0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 22.67 TSCRCx レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	何も配置されていません。読み出した場合は “0” が読み出されます。
11	OCMFCCx3	アウトプットコンペアマッチフラグクリア Cx3 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Cx（TSRCx）の OCMFCx3 を 0 にクリアする。
10	OCMFCCx2	アウトプットコンペアマッチフラグクリア Cx2 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Cx（TSRCx）の OCMFCx2 を 0 にクリアする。
9	OCMFCCx1	アウトプットコンペアマッチフラグクリア Cx1 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Cx（TSRCx）の OCMFCx1 を 0 にクリアする。
8	OCMFCCx0	アウトプットコンペアマッチフラグクリア Cx0 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Cx（TSRCx）の OCMFCx0 を 0 にクリアする。
7 ～ 5	—	何も配置されていません。“0” に固定してください。
4	OVFCCx	オーバフローフラグクリア C イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Cx（TSRCx）の OVFCx を 0 にクリアする。
3	IMFCCx3	インプットキャプチャフラグクリア C3 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Cx（TSRCx）の IMFCx3 を 0 にクリアする。
2	IMFCCx2	インプットキャプチャフラグクリア C2 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Cx（TSRCx）の IMFCx2 を 0 にクリアする。
1	IMFCCx1	インプットキャプチャフラグクリア C1 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Cx（TSRCx）の IMFCx1 を 0 にクリアする。
0	IMFCCx0	インプットキャプチャフラグクリア C0 イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Cx（TSRCx）の IMFCx0 を 0 にクリアする。

備考 x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7 に対応

TSCRCx は 8 ビット／ 16 ビットの読み出し／書き込み可能なレジスタで、オーバフロー／インプットキャプチャ／コンペアマッチの発生によるフラグのクリア設定をします。

ただし読み出した場合は常に “0” が読み出されます。

TSCRCx はリセット時に 0000_H に初期化されます。

(1) OCMFCCx3 — アウトプットコンペアマッチフラグクリア Cx3 イネーブル

タイマステータスレジスタ Cx（TSRCx）のコンペアマッチフラグ（OCMFCx3）が “1” にセットされているとき、本レジスタに “1” を書き込むと OCMFCx3 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出されます。

(2) OCMFCCx2 — アウトプットコンペアマッチフラグクリア Cx2 イネーブル

タイマステータスレジスタ Cx（TSRCx）のコンペアマッチフラグ（OCMFCx2）が “1” にセットされているとき、本レジスタに “1” を書き込むと OCMFCx2 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出されます。

(3) OCMFCCx1 — アウトプットコンペアマッチフラグクリア Cx1 イネーブル

タイマステータスレジスタ Cx（TSRCx）のコンペアマッチフラグ（OCMFCx1）が “1” にセットされているとき、本レジスタに “1” を書き込むと OCMFCx1 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出されます。

(4) OCMFCCx0 — アウトプットコンペアマッチフラグクリア Cx0 イネーブル

タイマステータスレジスタ Cx（TSRCx）のコンペアマッチフラグ（OCMFCx0）が “1” にセットされているとき、本レジスタに “1” を書き込むと OCMFCx0 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出されます。

(5) OVFCCx — オーバフローフラグクリア Cx イネーブル

タイマステータスレジスタ Cx（TSRCx）のオーバフローフラグ Cx（OVFCx）が “1” にセットされているとき、本レジスタに “1” を書き込むと OVFCx を “0” にクリアすることができます。読み出した場合は常に “0” が読み出されます。

(6) IMFCCx3 — インプットキャプチャフラグクリア Cx3 イネーブル

タイマステータスレジスタ Cx（TSRCx）のインプットキャプチャ・コンペアマッチフラグ Cx3（IMFCx3）が “1” にセットされているとき、本レジスタに “1” を書き込むと IMFCx3 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出されます。

(7) IMFCCx2 — インプットキャプチャフラグクリア Cx2 イネーブル

タイマステータスレジスタ Cx（TSRCx）のインプットキャプチャ・コンペアマッチフラグ Cx2（IMFCx2）が “1” にセットされているとき、本レジスタに “1” を書き込むと IMFCx2 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出されます。

(8) IMFCCx1 — インプットキャプチャフラグクリア Cx1 イネーブル

タイマステータスレジスタ Cx（TSRCx）のインプットキャプチャ・コンペアマッチフラグ Cx1（IMFCx1）が “1” にセットされているとき、本レジスタに “1” を書き込むと IMFCx1 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出されます。

(9) IMFCCx0 — インプットキャプチャフラグクリア Cx0 イネーブル

タイマステータスレジスタ Cx（TSRCx）のインプットキャプチャ・コンペアマッチフラグ Cx0（IMFCx0）が “1” にセットされているとき、本レジスタに “1” を書き込むと IMFCx0 を “0” にクリアすることができます。読み出した場合は常に “0” が読み出されます。

22.6.2.6　TIORCx — タイマ I/O コントロールレジスタ Cx（x = 0 ～ 7）

アクセス　8 ビット／ 16 ビットアクセス可能

アドレス　FFE6 0628_H（TIORC0）
FFE6 $06A8_H$（TIORC1）
FFE6 0728_H（TIORC2）
FFE6 $07A8_H$（TIORC3）
FFE6 0828_H（TIORC4）
FFE6 $08A8_H$（TIORC5）
FFE6 0928_H（TIORC6）
FFE6 $09A8_H$（TIORC7）

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IOCx3[3:0]				IOCx2[3:0]				IOCx1[3:0]				IOCx0[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.68　TIORCx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	IOCxy[3:0]	タイマ汎用レジスタ Cxy（GRCxy）の機能設定 インプットキャプチャ／コンペアマッチの設定。 インプットキャプチャ時、取り込みエッジの設定。 コンペアマッチ時、出力値の設定。

備考　x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7 に対応
y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応

(1) IOCxy[3:0] — I/O コントロールビット

IOCxy				機能	
[3]	[2]	[1]	[0]		
0	0	0	0	コンペアマッチモード GRCxy をアウトプットコンペアレジスタとして利用 OCRCxy をアウトプットコンペアレジスタとして利用	GRCxy レジスタによるコンペアマッチ禁止（初期値） OCRCxy レジスタによるコンペアマッチ許可
0	0	0	1		GRCxy レジスタによるコンペアマッチで 0 出力 OCRCxy レジスタによるコンペアマッチ許可
0	0	1	0		GRCxy レジスタによるコンペアマッチで 1 出力 OCRCxy レジスタによるコンペアマッチ許可
0	0	1	1		GRCxy レジスタによるコンペアマッチでトグル出力 OCRCxy レジスタによるコンペアマッチ許可
0	1	0	0	インプットキャプチャモード GRCxy をインプットキャプチャレジスタとして利用 OCRCxy をアウトプットコンペアレジスタとして利用	インプットキャプチャ禁止 OCRCxy レジスタによるコンペアマッチ許可
0	1	0	1		TIOCxy 立ち上がりエッジでキャプチャ OCRCxy レジスタによるコンペアマッチ許可
0	1	1	0		TIOCxy 立ち下がりエッジでキャプチャ OCRCxy レジスタによるコンペアマッチ許可
0	1	1	1		TIOCxy の立ち上がり、立ち下がり両エッジでキャプチャ OCRCxy レジスタによるコンペアマッチ許可
1	0	0	0	ワンショットパルスモード GRCxy をアウトプットコンペアレジスタとして利用 OCRCxy をワンショット用のアウトプットコンペアレジスタとして利用 注 2	OCRCxy レジスタおよび GRCxy レジスタのコンペアマッチ禁止 TIOCxy 出力から 0 出力（アクティブハイ）注 3
1	0	0	1		OCRCxy レジスタおよび GRCxy レジスタのコンペアマッチ禁止 TIOCxy 出力から 1 出力（アクティブロウ）注 3
1	0	1	0		OCRCxy レジスタでのコンペアマッチ発生までは TIOCxy 出力から 0 出力、OCRCxy レジスタでのコンペアマッチ発生から GRCxy レジスタでのコンペアマッチ発生まで TIOCxy 出力から 1 出力、GRCxy レジスタでのコンペアマッチ発生で TIOCxy 出力から 0 出力（アクティブハイ）注 1
1	0	1	1		OCRCxy レジスタでのコンペアマッチ発生までは TIOCxy 出力から 1 出力、OCRCxy レジスタでのコンペアマッチ発生から GRCxy レジスタでのコンペアマッチ発生まで TIOCxy 出力から 0 出力、GRCxy レジスタでのコンペアマッチ発生で TIOCxy 出力から 1 出力（アクティブロウ）注 1
1	1	0	0	インプットキャプチャモード GRCxy をインプットキャプチャレジスタとして利用 OCRCxy をアウトプットコンペアレジスタとして利用	インプットキャプチャ禁止 OCRCxy レジスタによるコンペアマッチ許可
1	1	0	1		タイマ A イベント出力 1 でキャプチャ OCRCxy レジスタによるコンペアマッチ許可
1	1	1	0		タイマ A イベント出力 2A でキャプチャ OCRCxy レジスタによるコンペアマッチ許可
1	1	1	1		タイマ A イベント出力 2B でキャプチャ OCRCxy レジスタによるコンペアマッチ許可

備考　x = 0, 1, 2, 3, 4, 5, 6, 7　y = 0, 1, 2, 3

注 1.　OCRCxy レジスタによるコンペアマッチと GRCxy レジスタによるコンペアマッチが同時に発生した場合は、GRCxy レジスタによるコンペアマッチを優先します。

注 2.　ワンショットパルスモード（IOCxy[3:2] = 2'b10）に設定する場合は、PWMX0 ビットを “0” に設定してください。PWMX0 ビットを “1” に設定することは禁止となります。

注 3.　ワンショットパルスモードの IOCxy[1]=0 のモードでは、TIOCxy からの出力タイミングは GRCxy のコンペアマッチのタイミングとなります。（禁止なので、コンペアマッチによる割込みやフラグは動作しません）

IOCxy[3:2] により、動作モード（コンペアマッチモード／インプットキャプチャモード／ワンショットパルスモード）を設定します。動作モード（IOCxy[3:2]）の切り替えは、カウント動作停止状態で行ってください。

コンペアマッチモード（IOCxy[3:2] = 2'b00）の出力モード切り替え、インプットキャプチャモード（IOCxy[3:2] = 2’b01, 2’b11）のエッジ検出 / トリガ指定切り替えは、一旦、コンペアマッチ／インプットキャプチャ禁止状態（IOCxy[1:0] = 2’b00）に設定した上で切り替えてください。

ワンショットパルスモード（IOCxy[3:2] = 2’b10）への切り替え、および、ワンショットパルスモード（IOCxy[3:2] = 2’b10）時の、アクティブ極性（IOCxy[1:0]）切り替えはカウンタ停止状態で行ってください。

ワンショットパルスモード（IOCxy[3:2] = 2'b10）を使用する場合、動作モード設定後、強制コンペアマッチ Cxy （FCMCxy）にて外部端子（TIOCxy）の初期化を行ってからカウント動作を開始してください。

IOCxy[3:2] = 2’bx1 とインプットキャプチャモードに設定した場合は、出力機能は動作しません。（TIOCxy 出力は保持。）

PWMx0 ビットを “1” に設定した場合は PWM モードとなるので、IOCxy[3:2] = 2’bx0 のコンペアマッチモード / ワンショットパルスモードどちらの設定の場合も、以下の動作となります。（とくにワンショットモード設定時は前頁の表と動作が異なるので注意してください。）

IOCxy[1:0] = 2’b00 はコンペア禁止で TIOCxy 出力は保持

IOCxy[1:0] = 2’b01 はコンペアマッチで TIOCxy 0 出力

IOCxy[1:0] = 2’b10 はコンペアマッチで TIOCxy 1 出力

IOCxy[1:0] = 2’b11 はコンペアマッチで TIOCxy 出力反転

22.6.2.7　TCNTCx — タイマカウンタ Cx（x = 0 ～ 7）

アクセス　32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス　FFE6 0638$_H$（TCNTC0）
FFE6 06B8$_H$（TCNTC1）
FFE6 0738$_H$（TCNTC2）
FFE6 07B8$_H$（TCNTC3）
FFE6 0838$_H$（TCNTC4）
FFE6 08B8$_H$（TCNTC5）
FFE6 0938$_H$（TCNTC6）
FFE6 09B8$_H$（TCNTC7）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTC[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ Cx（TCNTCx）は 32 ビットの読み出し／書き込み可能なレジスタで入力したクロックによりカウント動作を行います。読み出し／書き込みはカウンタ動作中でも可能です。

タイマカウンタ Cx（TCNTCx）はタイマスタートレジスタ C（TSTRC）の対応するビットを 1 にセットするとカウントを開始します。入力するクロックはタイマコントロールレジスタ Cx（TCRCx）のクロック選択ビット（CKSEL）によって設定します。タイマがオーバフローすると、CPU にオーバフロー割り込み要求を出力します。リセット時に 0000 0000$_H$ に初期化されます。

22.6.2.8 GRCxy — タイマ汎用レジスタ Cxy

（x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス FFE6 0640$_H$ +（80$_H$ * x）+（4$_H$ * y）

リセット後の値 FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRCxy[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRCxy[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマ汎用レジスタ Cxy（GRCxy）は 32 ビットの読み出し／書き込み可能なレジスタで、インプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能をもっています。機能の切り替えはタイマ I/O コントロールレジスタ Cx（TIORCx）により行います。

インプットキャプチャモードの動作：

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNTCx の値を格納、および CPU にインプットキャプチャ割り込み要求、DMA に起動要求を出力します。このとき、対応するタイマステータスレジスタ Cx（TSRCx）の IMFCxy ビットが 1 にセットされます。インプットキャプチャ信号の検出エッジは対応する TIORCx により設定します。

カウンタが停止状態（ATUENR レジスタの TCE ビットが 0、もしくは TSTRC レジスタの STRCx ビットが 0）でもインプットキャプチャ動作は行われます。停止状態のカウンタ値を GRCxy に取り込みます。

コンペアマッチモードの動作：

コンペアマッチ用のアウトプットコンペアレジスタとして使用しているときは、GRCxy の値とタイマカウンタ Cx（TCNTCx）の値は常に比較されています。両者の値が一致すると、TIORCx で設定した方式（0 出力、1 出力、トグル出力）で TIOCxy 出力を変化させ、CPU にコンペアマッチ割込み要求、および DMA に起動要求を出力します。このとき、タイマステータスレジスタ Cx（TSRCx）の IMFCxy ビットが 1 にセットされます。TIOCxy 出力の初期値（リセット後、及びアウトプットコンペアモード切替後）は 0、それ以降は直前のコンペアマッチ出力値を維持しつづけます。

ワンショットパルスモードの動作：

ワンショットパルス出力用のアウトプットコンペアレジスタとして使用しているときは、GRCxy へのライトにより、ワンショットパスルの出力動作が開始します。GRCxy へのライトよりも前に OCRCxy の設定を行なってください。

ワンショットパルスの出力動作中は、OCRCxy のコンペア一致検出後（もしくは GRCxy = OCRCxy の場合）に GRCxy の値とタイマカウンタ Cx（TCNTCx）の値を比較します。

GRCxy のコンペア一致によりワンショットパルスがインアクティブとなります（OCRCxy のコンペア一致によりワンショットパルスがアクティブとなります)。また、タイマステータスレジスタ Cx（TSRCx）の IMFCxy ビットが 1 にセットされます。

一度ワンショットパルスが出力されると、GRCxy に再度値が設定されるまでワンショットパスルは出力されません。また、タイマステータスレジスタ Cx（TSRCx）の IMFCxy ビットも変化しません。

コンペアマッチ用もしくはワンショットパルス用のアウトプットコンペアレジスタとして使用する際、カウンタ上限値設定機能（**「22.6.3　動作説明」**参照）を使用し、カウントクロックとしてクロックバス 5 または 6、もしくは分周比が 1/1 のプリスケーラを選択する場合、タイマカウンタ値は 1 ～ CUCRCx 値の間でカウントしカウンタ値が $0000\ 0000_H$ とならないことがあるため、本レジスタには $0000\ 0000_H$ を設定しないでください。

GRCxy はリセット時に H’FFFF_FFFF に初期化されます。

22.6.2.9 NCNTCxy — ノイズキャンセルカウンタ Cxy

（x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 0670$_H$ +（80$_H$ * x）（NCNTCx0）
FFE6 0674$_H$ +（80$_H$ * x）（NCNTCx1）
FFE6 0678$_H$ +（80$_H$ * x）（NCNTCx2）
FFE6 067C$_H$ +（80$_H$ * x）（NCNTCx3）

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCNTCxy															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.69 NCNTCxy レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCNTCxy	ノイズキャンセルカウンタ Cxy 16 ビットカウント値

ノイズキャンセルカウンタ Cxy（NCNTCx0 ～ x3）は 16 ビットの読み出し、書き込み可能なレジスタです。タイマ I/O コントロールレジスタ Cx（TIORCx）のノイズキャンセルイネーブルビット（NCECx0 ～ x3）でノイズキャンセラ機能を有効にしたとき、後続エッジキャンセルモードおよび先行エッジキャンセルモードでは外部入出力端子（TIOCx0 ～ TIOCx3）からの入力信号をトリガとしてアップカウント動作を開始します。レベル積算キャンセルモードでは外部入力のレベルにしたがいアップ／ダウンカウントを行います。動作開始後のカウントアップ、カウントダウンはプリスケーラから供給されるノイズキャンセラ用カウントクロックまたはクロックバス 5 に同期して行われます。

NCNTCxy は ATU-IV マスタイネーブルレジスタ（ATUENR）のタイマ C イネーブルビット（TCE）、TSTRC の設定に関わらず（TCNTCx の動作状態に関わらず）カウント動作を行います。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードセレクトビット（NCMSEL）、タイマ C ノイズキャンセルモードビット（NCMC）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行ないます。

- 後続エッジキャンセルモード
  NCECxy ビットが “1” であり NCNTCxy がカウント停止しているとき、TIOCxy の入力信号レベルが変化すると、NCNTCxy はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタ Cxy（NCRCxy）と一致すると、次の PCLK に同期してカウント値を H’0000 にクリアしてカウント動作を停止します。
  NCNTCxy は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TCE ビットの設定に関わらずカウント動作を行います。
  カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値が NCRCxy と一致するまでの間、全ての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。カウント値が NCRCxy と一致した次の PCLK から、そのときの入力信号レベルを

ノイズキャンセル後の信号として出力します。
カウント動作中に NCECxy ビットがクリアされても、カウント値が NCRCxy と一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされつづけます。

- 先行エッジキャンセルモード
  NCECxy ビットが “1” であり NCNTCxy がカウント停止しているとき、TIOCxy の入力信号レベルが変化すると、NCNTCxy はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタ Cxy（NCRCxy）と一致した場合には、次の PCLK に同期してカウント値を H’0000 にクリアしカウント動作を停止します。
  NCNTCxy は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TCE ビットの設定に関わらずカウント動作を行います。
  ノイズキャンセル後の信号は、カウント値が NCRCxy と一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRCxy と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。
  カウント動作中に NCECxy ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

- レベル積算キャンセルモード
  NCECxy ビットが “1” であるとき、NCNTCxy は入力信号レベルによってアップカウントまたはダウンカウント動作を行います。入力レベルがハイのときアップカウントを行い、カウント値がノイズキャンセルレジスタ Cxy（NCRCxy）と一致すると、次の PCLK に同期してアップカウント動作を停止します。入力レベルがローのときダウンカウントを行い、カウント値が H’0000 と一致すると、次の PCLK に同期してダウンカウント動作を停止します。
  NCNTCxy は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TCE ビットの設定に関わらずカウント動作を行います。
  アップカウントで NCRCxy の値にコンペアマッチするとノイズキャンセラ出力を 1 に更新します。逆に、ダウンカウントで H’0000 にコンペアマッチするとノイズキャンセラ出力を 0 に更新します。
  カウント動作中に NCECxy ビットがクリアされるとノイズキャンセルカウンタは動作を停止し、ノイズキャンセラ出力からそのときの入力信号レベルに値が切り替わります。そのためレベル積算キャンセルモードで NCECxy ビットをクリアする場合には、この切り替わりでエッジ検出が行われる可能性があることに注意が必要です。
  NCNTCxy はリセット時に H’0000 に初期化されます。

22.6.2.10 NCRCxy — ノイズキャンセルレジスタ Cxy

（x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 16 ビットアクセス可能　8 ビットアクセス禁止

アドレス FFE6 0672_H +（80_H * x）（NCRCx0）
FFE6 0676_H +（80_H * x）（NCRCx1）
FFE6 $067A_H$ +（80_H * x）（NCRCx2）
FFE6 $067E_H$ +（80_H * x）（NCRCx3）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCRCxy															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.70 NCRCxy レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCRCxy	ノイズキャンセルタイム Cxy TIOCxy ノイズキャンセル期間（16 ビットコンペア値）

ノイズキャンセルレジスタ Cxy（NCRCx0 ～ Cx3）は 16 ビットの読み出し、書き込み可能なレジスタです。ノイズキャンセルカウンタ Cxy（NCNTCx0 ～ Cx3）の上限値を設定します。

PCLK の 128 分周をノイズキャンセルクロックに選択している場合、$FFFF_H$ 設定で、最大 0.21sec（PCLK = 40MHz 時）のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードセレクトビット（NCMSEL）、タイマ C ノイズキャンセルモードビット（NCMC）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード

NCNTCxy のカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTCxy と NCRCxy の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTCxy のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- 先行エッジキャンセルモード

NCNTCxy のカウント動作中は、ノイズキャンセラの処理待ち状態となります。NCNTCxy と NCRCxy の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTCxy のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

- レベル積算キャンセルモード

NCNTCxy がアップカウント動作中は、NCNTCxy と NCRCxy の値の比較が行われており、コンペアマッチが発生すると次の PCLK に同期して NCNTCxy のアップカウント動作を停止させます。NCNTCxy がダウンカウント動作中は、NCNTCxy は 0000_H との比較が行われます。

NCRCx0 ～ Cx3 は 8 ビット単位でのみ読み出し／書き込みが可能です。

NCRCx0 ～ Cx3 はリセット時に 0000_H に初期化されます。

22.6.2.11 OCRCxy — アウトプットコンペアレジスタ Cxy

（x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス　32 ビットアクセス可能　8 ビットアクセス／16 ビットアクセス禁止

アドレス
FFE6 0650_H +（4_H * y）（OCRC0y）
FFE6 $06D0_H$ +（4_H * y）（OCRC1y）
FFE6 0750_H +（4_H * y）（OCRC2y）
FFE6 $07D0_H$ +（4_H * y）（OCRC3y）
FFE6 0850_H +（4_H * y）（OCRC4y）
FFE6 $08D0_H$ +（4_H * y）（OCRC5y）
FFE6 0950_H +（4_H * y）（OCRC6y）
FFE6 $09D0_H$ +（4_H * y）（OCRC7y）

リセット後の値　$FFFF\ FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OCRCxy[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCRCxy[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットコンペアレジスタ Cxy（OCRCxy）は 32 ビットの読み出し／書き込み可能なレジスタで、アウトプットコンペアレジスタの機能を持っています。ワンショットパルスモード以外では単独のコンペアレジスタとして動作します。

インプットキャプチャモード、コンペアマッチモードでの動作：

OCRCxy の値とタイマカウンタ Cx（TCNTCx）の値は常に比較されています。両者の値が一致すると、CPU にコンペアマッチ割込み要求、および DMA に起動要求を出力します。このとき、タイマステータスレジスタ Cx（TSRCx）の OCMFCxy ビットが 1 にセットされます。

ワンショットパルスモードでの動作：

ワンショットパルス出力用のアウトプットコンペアレジスタとして使用しているときは、GRCxy へのライトにより、ワンショットパスルの出力動作が開始します。GRCxy へのライトよりも前に OCRCxy の設定を行なってください。
ワンショットパルスの出力動作が開始されると、OCRCxy はタイマカウンタ Cx（TCNTCx）の値と比較します。
OCRCxy のコンペア一致によりワンショットパルスがアクティブとなります（GRCxy のコンペア一致によりワンショットパルスがインアクティブとなります）。また、タイマステータスレジスタ Cx（TSRCx）の OCMFCxy ビットが 1 にセットされます。
一度ワンショットパルスが出力されると、GRCxy に再度値が設定されるまでワンショットパスルは出力されません。また、タイマステータスレジスタ Cx（TSRCx）の OCMFCxy ビットも変化しません。

コンペアマッチ用もしくはワンショットパルス用のアウトプットコンペアレジスタとして使用する際、カウンタ上限値設定機能（**「22.6.3　動作説明」**参照）を使用し、カウントクロックとしてクロックバス 5 または 6、もしくは分周比が 1/1 のプリスケーラを選択する場

合、タイマカウンタ値は 1 ～ CUCRCx 値の間でカウントしカウンタ値が $0000\ 0000_H$ とならないことがあるため、本レジスタには $0000\ 0000_H$ を設定しないでください。

OCRCxy はリセット時に H’FFFF_FFFF に初期化されます。

22.6.2.12 TIERCx — タイマインタラプトイネーブルレジスタ Cx

（x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス／ 16 ビットアクセス対応

アドレス FFE6 0634$_H$（TIERC0）
FFE6 06B4$_H$（TIERC1）
FFE6 0734$_H$（TIERC2）
FFE6 07B4$_H$（TIERC3）
FFE6 0834$_H$（TIERC4）
FFE6 08B4$_H$（TIERC5）
FFE6 0934$_H$（TIERC6）
FFE6 09B4$_H$（TIERC7）

リセット後の値 000F$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	OCRCEx3	OCRCEx2	OCRCEx1	OCRCEx0	—	—	—	—	GRCEx3	GRCEx2	GRCEx1	GRCEx0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.71 TIERCx レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	何も配置されていません。読み出した場合は “0” が読み出されます。
11 ～ 8	OCRCExy	OCRC インタラプトイネーブル xy OCRCxy レジスタによるコンペア動作による割り込み要求 0：OCRCxy レジスタによるコンペア動作による割り込み要求の禁止 1：OCRCxy レジスタによるコンペア動作による割り込み要求の許可
7 ～ 4	—	何も配置されていません。読み出した場合は “0” が読み出されます。
3 ～ 0	GRCExy	GRC インタラプトイネーブル xy 0：GRCxy レジスタによるコンペア、キャプチャ動作による割り込み要求の禁止 1：GRCxy レジスタによるコンペア、キャプチャ動作による割り込み要求の許可

タイマインタラプトイネーブルレジスタ Cx（TIERCx）は 16 ビットの読み出し／書き込み可能なレジスタです。本レジスタによりサブブロック C0 ～ C7 のコンペア動作による割り込み要求の設定を行います。

(1) OCRCExy — コンペア動作による割り込み要求 Cxy

アウトプットコンペアレジスタ Cxy（OCRCxy）レジスタによるコンペアマッチによって割り込みを発生させます。

(2) GRCExy — コンペア、キャプチャ動作による割り込み要求 Cxy

汎用レジスタ GRCxy レジスタによるコンペアマッチ動作、あるいはキャプチャ動作によって割り込みを発生させます。

22.6.2.13 CUCRCx — カウンタ上限値設定コンペアレジスタ Cx

（x = 0, 1, 2, 3, 4, 5, 6, 7：サブブロック C0 ～ C7、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス　32 ビットアクセス可能　8 ビットアクセス／16 ビットアクセス禁止

アドレス　FFE6 063C$_H$（CUCRC0）
FFE6 06BC$_H$（CUCRC1）
FFE6 073C$_H$（CUCRC2）
FFE6 07BC$_H$（CUCRC3）
FFE6 083C$_H$（CUCRC4）
FFE6 08BC$_H$（CUCRC5）
FFE6 093C$_H$（CUCRC6）
FFE6 09BC$_H$（CUCRC7）

リセット後の値　FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CUCRCx[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CUCRCx[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

カウンタ上限値設定コンペアレジスタ Cx（CUCRCx）は 32 ビットの読み出し／書き込み可能なレジスタで、タイマカウンタ Cx（TCNTCx）に対するコンペアレジスタの機能を持っています。本レジスタは、タイマコントロールレジスタ Cx（TCRCx）の TCNTCx クリア設定ビット Cx（CLRCx）を “1” に設定することで、タイマカウンタ Cx（TCNTCx）とのコンペアマッチが許可されます。タイマカウンタ Cx（TCNTCx）とカウンタ上限値設定コンペアレジスタ Cx（CUCRCx）のコンペアマッチにより、タイマカウンタ Cx （TCNTCx）を 0000 0000$_H$ にクリアします。このコンペアマッチがタイマカウンタ Cx（TCNTCx）のカウントアップと同時に発生した場合、タイマカウンタ Cx（TCNTCx）を 0000 0001$_H$ にクリアします。

タイマカウンタ Cx（TCNTCx）とカウンタ上限値設定コンペアレジスタ Cx（CUCRCx）のコンペアマッチにより、タイマステータスレジスタ Cx（TSRCx）の OVFCx ビットを 1 にセットし、オーバフロー割り込みを出力します。

CUCRCx には 0000 0000$_H$ を設定しないでください。0000 0000$_H$ を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

備　考

上限値設定機能（CLRCx = 1）は、PWM モード以外（PWMx0 = 0）のときに設定することができます。

22.6.2.14 NCMCR1C — ノイズキャンセルモードチャネルレジスタ 1C

アクセス 8 ビットアクセス可能

アドレス FFE6 0610$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	NCM1C7	NCM1C6	NCM1C5	NCM1C4	NCM1C3	NCM1C2	NCM1C1	NCM1C0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.72 NCMCR1C レジスタの内容

ビット位置	ビット名	機能
7	NCM1C7	サブブロック 7 内全チャネル ノイズキャンセルモードビット サブブロック 7 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMC = 0 & NCM2C7 = 0 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM2C7 = 1 時）
6	NCM1C6	サブブロック 6 内全チャネルノイズキャンセルモードビット サブブロック 6 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMC = 0 & NCM2C6 = 0 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM2C6 = 1 時）
5	NCM1C5	サブブロック 5 内全チャネルノイズキャンセルモードビット サブブロック 5 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMC = 0 & NCM2C5 = 0 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM2C5 = 1 時）
4	NCM1C4	サブブロック 4 内全チャネルノイズキャンセルモードビット サブブロック 4 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMC = 0 & NCM2C4 = 0 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM2C4 = 1 時）
3	NCM1C3	サブブロック 3 内全チャネルノイズキャンセルモードビット サブブロック 3 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMC = 0 & NCM2C3 = 0 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM2C3 = 1 時）
2	NCM1C2	サブブロック 2 内全チャネルノイズキャンセルモードビット サブブロック 2 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMC = 0 & NCM2C2 = 0 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM2C2 = 1 時）
1	NCM1C1	サブブロック 1 内全チャネルノイズキャンセルモードビット サブブロック 1 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMC = 0 & NCM2C1 = 0 時） 1: レベル積算キャンセルモード（NCMC = 0 & NCM2C1 = 1 時）
0	NCM1C0	サブブロック 0 内全チャネルノイズキャンセルモードビット サブブロック 0 内の全チャネル のノイズキャンセラの動作モードを指定します。 0: 後続エッジキャンセルモード 1: 先行エッジキャンセルモード（NCMC = 0 & NCM2C0 = 0 時） 1: レベル積算キャンセルモード（NCMC = 0 & NCM2C0 = 1 時）

ノイズキャンセルモードチャネルレジスタ 1C は、8 ビットの読み出し／書き込み可能なレジスタであり、各チャネル単位にあるノイズキャンセラの動作モードを選択します。ただし、本レジスタでの設定は、該当サブブロック内の全チャネルに適用され、チャネル個別での設定はできません。

後続エッジキャンセルモードは、入力信号のレベル変化を検出した後、指定期間内の入力信号のレベル変化を無視します。最初のレベル変化以降、指定期間内の信号レベルの変化をノイズとみなすモードです。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になってはじめて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各チャネルのノイズキャンセルレジスタで行ない、ノイズキャンセルカウンタが時間を計測します。

図 22.1 に後続エッジキャンセルモード、**図 22.2** に、先行エッジキャンセルモード、また、**図 22.3** にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各チャネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。**図 22.1**、**図 22.2**、**図 22.3** は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM1C7 — サブブロック 7 内全チャネルノイズキャンセルモードビット

サブブロック 7 内の全チャネルのノイズキャンセラの動作モードを設定します。

(2) NCM1C6 — サブブロック 6 内全チャネルノイズキャンセルモードビット

サブブロック 6 内の全チャネルのノイズキャンセラの動作モードを設定します。

(3) NCM1C5 — サブブロック 5 内全チャネルノイズキャンセルモードビット

サブブロック 5 内の全チャネルのノイズキャンセラの動作モードを設定します。

(4) NCM1C4 — サブブロック 4 内全チャネルノイズキャンセルモードビット

サブブロック 4 内の全チャネルのノイズキャンセラの動作モードを設定します。

(5) NCM1C3 — サブブロック 3 内全チャネルノイズキャンセルモードビット

サブブロック 3 内の全チャネルのノイズキャンセラの動作モードを設定します。

(6) NCM1C2 — サブブロック 2 内全チャネルノイズキャンセルモードビット

サブブロック 2 内の全チャネルのノイズキャンセラの動作モードを設定します。

(7) NCM1C1 — サブブロック 1 内全チャネルノイズキャンセルモードビット

サブブロック 1 内の全チャネルのノイズキャンセラの動作モードを設定します。

(8) NCM1C0 — サブブロック 0 内全チャネルノイズキャンセルモードビット

サブブロック 0 内の全チャネルのノイズキャンセラの動作モードを設定します。

注　意

1. **本レジスタは、共通制御部のノイズキャンセルモードレジスタ（NCMR）の NCMC ビットが “0” の場合にのみ設定が有効となります。更に、本レジスタのチャネル対応ビット（NCM1C*）に “1” を設定した場合のモード状態は、ノイズキャンセルモードチャネルレジスタ 2C（NCMCR2C）の対応する同一チャネルビットの状態により、後続エッジキャンセルモード／先行エッジキャンセルモード／レベル積算キャンセルモードに設定する事が可能です。**
2. *** は、0 ～ 7（サブブロックに対応）**

22.6.2.15 NCMCR2C — ノイズキャンセルモードチャネルレジスタ 2C

アクセス 8 ビットアクセス可能

アドレス FFE6 0612_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	NCM2C7	NCM2C6	NCM2C5	NCM2C4	NCM2C3	NCM2C2	NCM2C1	NCM2C0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.73 NCMCR2C レジスタの内容

ビット位置	ビット名	機能
7	NCM2C7	サブブロック 7 内全チャネルノイズキャンセルモードビット サブブロック 7 内の全チャネルの ノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード（NCMC = 0 & NCM1C7 = 1 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM1C7 = 1 時）
6	NCM2C6	サブブロック 6 内全チャネルノイズキャンセルモードビット サブブロック 6 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード（NCMC = 0 & NCM1C6 = 1 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM1C6 = 1 時）
5	NCM2C5	サブブロック 5 内全チャネルノイズキャンセルモードビット サブブロック 5 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード（NCMC = 0 & NCM1C5 = 1 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM1C5 = 1 時）
4	NCM2C4	サブブロック 4 内全チャネルノイズキャンセルモードビット サブブロック 4 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード（NCMC = 0 & NCM1C4 = 1 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM1C4 = 1 時）
3	NCM2C3	サブブロック 3 内全チャネルノイズキャンセルモードビット サブブロック 3 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード（NCMC = 0 & NCM1C3 = 1 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM1C3 = 1 時）
2	NCM2C2	サブブロック 2 内全チャネルノイズキャンセルモードビット サブブロック 2 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード（NCMC = 0 & NCM1C2 = 1 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM1C2 = 1 時）
1	NCM2C1	サブブロック 1 内全チャネルノイズキャンセルモードビット サブブロック 1 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード（NCMC = 0 & NCM1C1 = 1 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM1C1 = 1 時）
0	NCM2C0	サブブロック 0 内全チャネルノイズキャンセルモードビット サブブロック 0 内の全チャネルのノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード（NCMC = 0 & NCM1C0 = 1 時） 1：レベル積算キャンセルモード（NCMC = 0 & NCM1C0 = 1 時）

ノイズキャンセルモードチャネルレジスタ 2C は、8 ビットの読み出し／書き込み可能なレジスタであり、各チャネル単位にあるノイズキャンセラの動作モードを選択します。ただし、本レジスタでの設定は、該当サブブロック内の全チャネルに適用され、チャネル個別での設定はできません。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になってはじめて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各チャネルのノイズキャンセルレジスタで行ない、ノイズキャンセルカウンタが時間を計測します。

図 22.1 に後続エッジキャンセルモード、また、**図 22.3** にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各チャネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。**図 22.1**、**図 22.3** は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM2C7 — サブブロック 7 内全チャネルノイズキャンセルモードビット 2

サブブロック 7 内の全チャネルのノイズキャンセラの動作モードを設定します。

(2) NCM2C6 — サブブロック 6 内全チャネルノイズキャンセルモードビット 2

サブブロック 6 内の全チャネルのノイズキャンセラの動作モードを設定します。

(3) NCM2C5 — サブブロック 5 内全チャネルノイズキャンセルモードビット 2

サブブロック 5 内の全チャネルのノイズキャンセラの動作モードを設定します。

(4) NCM2C4 — サブブロック 4 内全チャネルノイズキャンセルモードビット 2

サブブロック 4 内の全チャネルのノイズキャンセラの動作モードを設定します。

(5) NCM2C3 — サブブロック 3 内全チャネルノイズキャンセルモードビット 2

サブブロック 3 内の全チャネルのノイズキャンセラの動作モードを設定します。

(6) NCM2C2 — サブブロック 2 内全チャネルノイズキャンセルモードビット 2

サブブロック 2 内の全チャネルのノイズキャンセラの動作モードを設定します。

(7) NCM2C1 — サブブロック 1 内全チャネルノイズキャンセルモードビット 2

サブブロック 1 内の全チャネルのノイズキャンセラの動作モードを設定します。

(8) NCM2C0 — サブブロック 0 内全チャネルノイズキャンセルモードビット 2

サブブロック 0 内の全チャネルのノイズキャンセラの動作モードを設定します。

注　意

1. **本レジスタは、共通制御部のノイズキャンセルモードレジスタ（NCMR）の NCMC ビットが “0” の場合且つ、タイマ C のノイズキャンセルモードチャネルレジスタ 1C（NCMCR1C）の対応する同一チャネルビット（NCM1C*）が “1” の場合のみ有効になります。**
2. *** は、0 ～ 7（サブブロックに対応）**

ノイズキャンセル動作の詳細は、**「22.2.2　共通制御部関連レジスタ」**のノイズキャンセルモードレジスタの説明を参照してください。

22.6.3 動作説明

インプットキャプチャ機能（インプットキャプチャモード）

タイマ C のタイマ汎用レジスタ Cxy （GRCxy）はタイマ I/O コントロールレジスタ Cx（TIORCx）にインプットキャプチャ動作を設定することにより、対応する外部端子（TIOCxy）からのエッジ入力、およびタイマ A からのイベント出力（イベント 1、2A、2B）が入力されるとインプットキャプチャ動作を行います。

タイマスタートレジスタ C（TSTRC）への設定により、タイマカウンタ Cx （TCNTCx）がカウントアップを開始します。GRCxy の対応する外部端子のエッジが入力されるか、タイマ A からのイベント出力が入力されると、対応するタイマステータスレジスタ Cx（TSRCx）のビット（IMFCxy）がセットされ、カウンタ値が GRCxy に転送されます。TIOCxy の変化エッジを取り込んでから内部動作クロック（PCLK）の 2 サイクル後に割り込み出力が変化します。インプットキャプチャフラグ（TSRCx レジスタの IMFCxy ビット）のクリア方法は、タイマステータスクリアレジスタ Cx（TSCRCx）の対応するクリアビットに 1 を書き込むことによりクリアされます。

入力されるエッジは、TIORCx レジスタの IOC ビットにより、立ち上がり／立ち下がり／両エッジから選択できます。

また、インプットキャプチャのタイミングで、CPU へ割り込み要求の出力が可能です。DMA 転送を起動することも可能です。

アウトプットコンペアレジスタ Cxy（OCRCxy）はタイマカウンタ Cx（TCNTCx）と比較されます。OCRCxy の値と TCNTCx とが一致すると OCRCxy に対応するタイマステータスレジスタ Cx（TSRCx）のビット（OCMFCxy）をセットします。

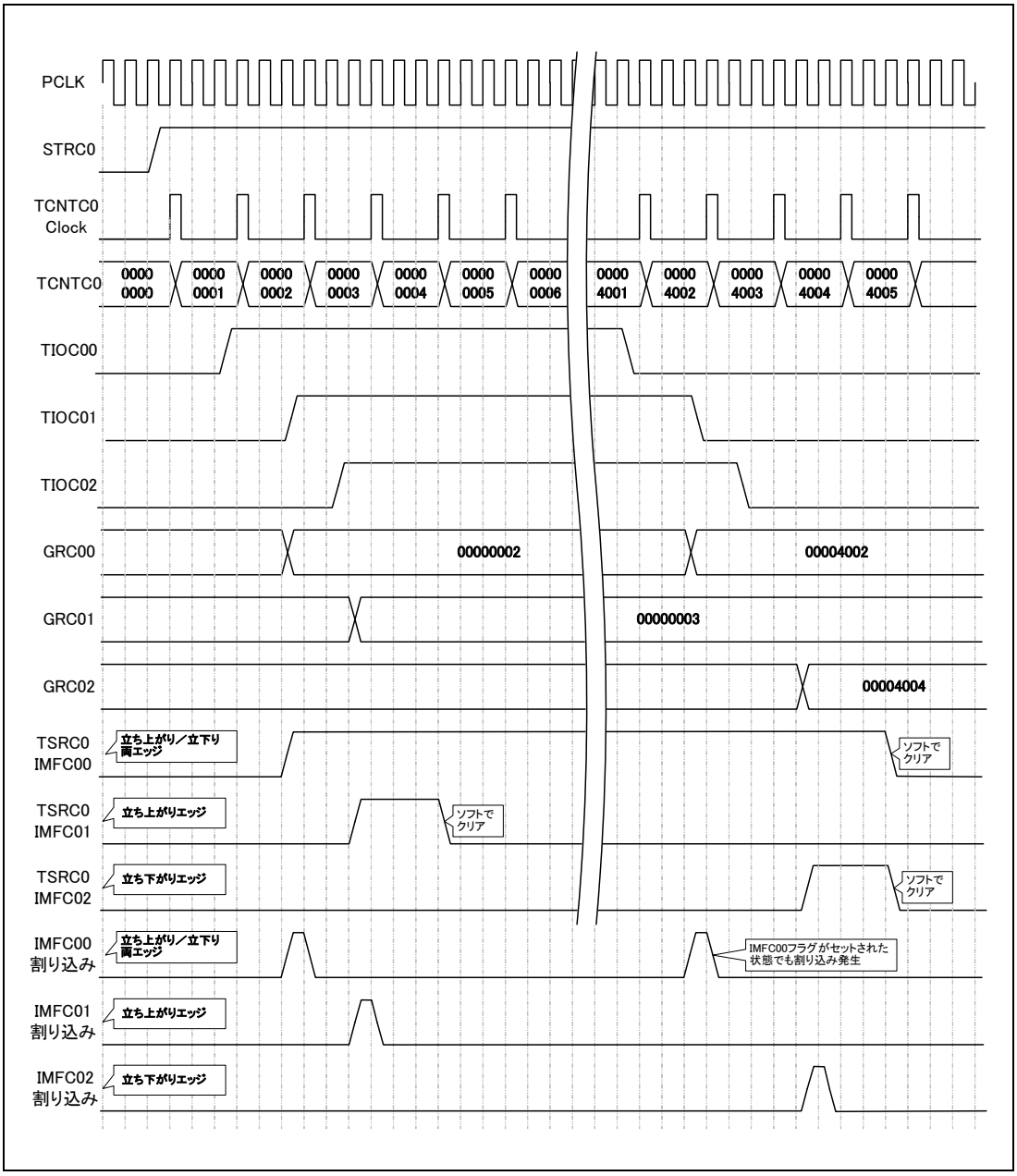


図 22.32　インプットキャプチャ動作

図 22.32 にブロック C0 でのインプットキャプチャ動作例を示します。TIOC00 は両エッジ、TIOC01 は立ち上がり、TIOC02 は立ち下がりエッジで波形を取り込んでいます。

インプットキャプチャ動作は TCNTCx が停止状態（ATUENR レジスタの TCE ビットが 0、もしくは TSTRC レジスタの STRCx ビットが 0）でも実施され、停止状態のカウンタ値が GRCxy にキャプチャされます。

コンペアマッチ機能（コンペアマッチモード）

タイマ C のタイマ汎用レジスタ Cxy （GRCxy）はタイマ I/O コントロールレジスタ Cx（TIORCx）にコンペアマッチ動作を設定することにより、対応する外部端子（TIOCxy）からコンペアマッチ出力を行います。

タイマスタートレジスタ C（TSTRC）への設定により、タイマカウンタ Cx（TCNTCx）がカウントアップを開始します。あらかじめ GRCxy に値を設定しておきます。GRCxy の値と TCNTCx とが一致すると GRCxy に対応するタイマステータスレジスタ Cx（TSRCx）のビット（IMCxy）をセットし、対応する外部端子（TIOCxy）から波形を出力します。

コンペアマッチフラグのセット、および TIOCxy への出力変化は、GRCxy と TCNTCx の値が一致した直後の内部動作クロック（PCLK）に同期して行います。コンペアマッチフラグ（TSRCx レジスタの IMFCxy ビット）のクリア方法は、タイマステータスクリアレジスタ Cx（TSCRCx）の対応するクリアビットに 1 を書き込むことによりクリアされます。

出力（TIOCxy）は TIORCx の IOC ビットの設定により 1 出力／ 0 出力／トグル出力から選択できます。

また、コンペアマッチ発生時に CPU へ割り込み要求の出力が可能です。DMA 転送を起動することも可能です。

アウトプットコンペアレジスタ Cxy（OCRCxy）はタイマカウンタ Cx（TCNTCx）と比較されます。OCRCxy の値と TCNTCx とが一致すると OCRCxy に対応するタイマステータスレジスタ Cx（TSRCx）のビット（OCMFCxy）をセットします。

図 22.33 にブロック C0 でのコンペアマッチ動作例を示します。GRC00 をトグル出力、GRC01 を 1 出力、GRC02 を 0 出力に設定し、外部出力させたときの例です。GRC0y には 004004 が設定されており、TCNTC0 と一致したあと、次の PCLK で TIOC0y の出力を変化させています。

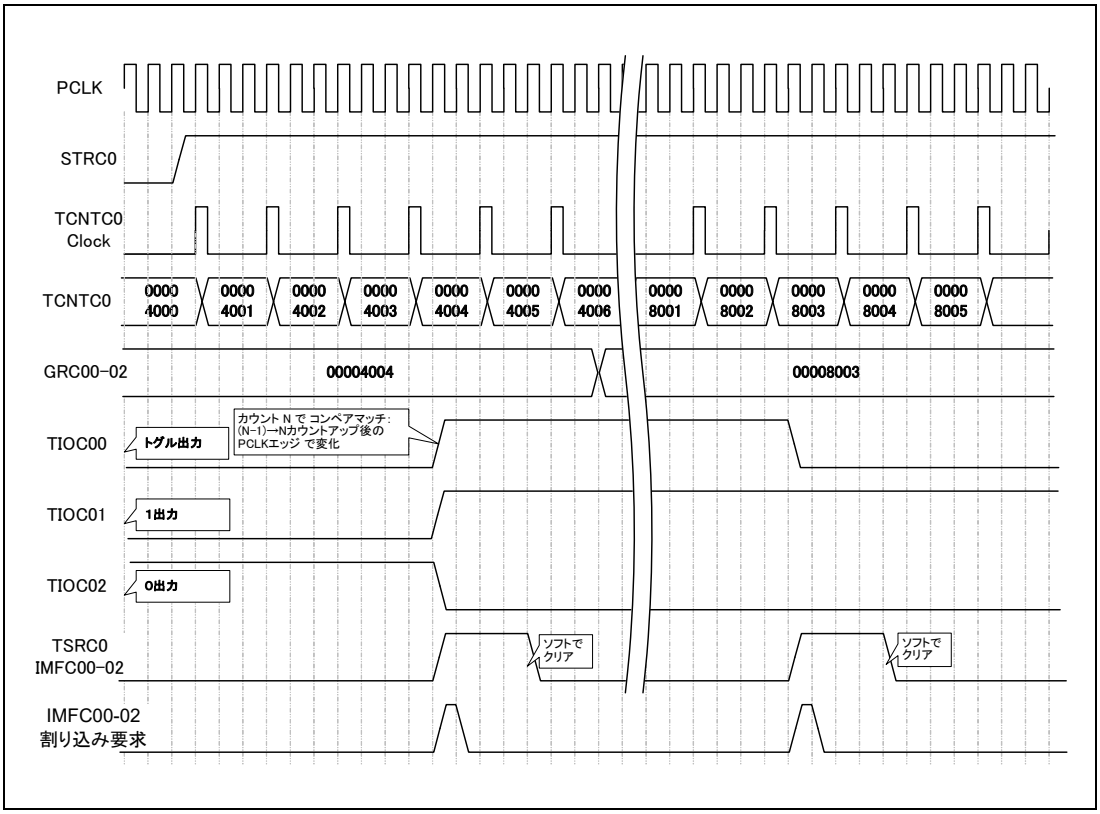


図 22.33　コンペアマッチ動作

タイマコントロールレジスタ Cx（TCRCx）の強制コンペアマッチビット（FCMFxy）を 1 にセットすると GRCxyy と TCNTCx の一致をまたずにコンペアマッチを発生させることができます。FCMFCxy ビットを 1 にセットした次の PCLK サイクルで TIOCxy 出力に反映されます。

コンペアマッチの検出は、

- TCNTCx と GRCxy が不一致から一致になったとき（ただし強制コンペアマッチは OFF 状態）
- 強制コンペアマッチビット（TCRCx レジスタの FCMCxy ビット）に “1” をセットしたとき
- GRCx0のコンペアマッチによるカウンタクリアによりTCNTCxとGRCxyが一致したとき

のいずれかが起こったときに行われます。これらを検出した次の PCLK サイクルに、コンペアマッチステータスのセット、TIOCxy からのコンペアマッチ出力変化が実施されます。ただし、前もってコンペアマッチ許可設定（TIORCx レジスタの IOCxy[2:0] ビットで設定）がされていることが条件です。TCNTCx と GRCxy を同一値に設定、もしくは強制コンペアマッチビットを “1” に設定したあとに、コンペアマッチ許可設定を行ってもコンペアマッチは検出されません。

また、コンペアマッチ検出はカウンタの動作／停止に依存しません。カウンタ停止状態であっても、上記の条件が満たされればコンペアマッチを発生します。

コンペアマッチが発生した状態で GRCxy 値、TCNTCx 値が変化していない状態（カウントアップ前、カウンタ停止状態等）で、ステータスクリアを行った場合には、新たにコンペアマッチを検出しません。

アウトプットコンペアレジスタ Cxy（OCRCxy）はタイマカウンタ Cx（TCNTCx）と比較されます。OCRCxy の値と TCNTCx とが一致すると OCRCxy に対応するタイマステータスレジスタ Cx（TSRCx）のビット（OCMFCxy）をセットします。

PWM 機能

タイマコントロールレジスタ Cx（TCRCx）の PWMx0 ビットに 1 を設定することにより、各サブブロックのチャネル 1 ～ 3 を周期が同じ PWM タイマとして動作させることができます。PWM モードでは、GRCx0 が周期レジスタとして、GRCx1 ～ 3 がデューティレジスタとして使用します。デューティレジスタに使用する GRCx それぞれに対応する外部端子（TIOCx1 ～ 3）を PWM 出力として使用できます。ただし、PWMx0 ビットの設定だけでなく、TIORCx の IOCxy ビットで GRCx0 ～ 3 をコンペアマッチに設定しておく必要があります。また、TIORCx の IOCxy[0] ビットで PWM 波形のアクティブ極性を設定することができます（IOCxy[0] = 0 : H アクティブ、1 : L アクティブ）。

タイマスタートレジスタ C（TSTRC）への設定によりタイマカウンタ Cx（TCNTCx）を動作させ、TCNTCx が周期レジスタ（GRCx0）に達するとコンペアマッチを発生し、タイマステータスレジスタ Cx（TSRCx）の該当するビットをセットします。このとき PWM モードでは TCNTCx をクリアし、同時に外部端子（TIOCx1 ～ x3）から IOCx0 の設定値を出力します（TIOCx0 端子出力も、IOCx0 ビットの設定に従います）。

TCNTCx がデューティレジスタ（GRCx1 ～ 3）に達すると、タイマステータスレジスタ Cx（TSRCx）の該当するビットがセットされ、IOCx1 ～ 3 ビットの設定値をそれぞれの外部端子（TIOCx1 ～ x3）に出力します。

周期とデューティに同じ値を設定した場合、周期レジスタコンペアマッチによる IOCx0 設定値出力が優先されます。

図 22.34 にブロック C0 の PWM モード動作例を示します。

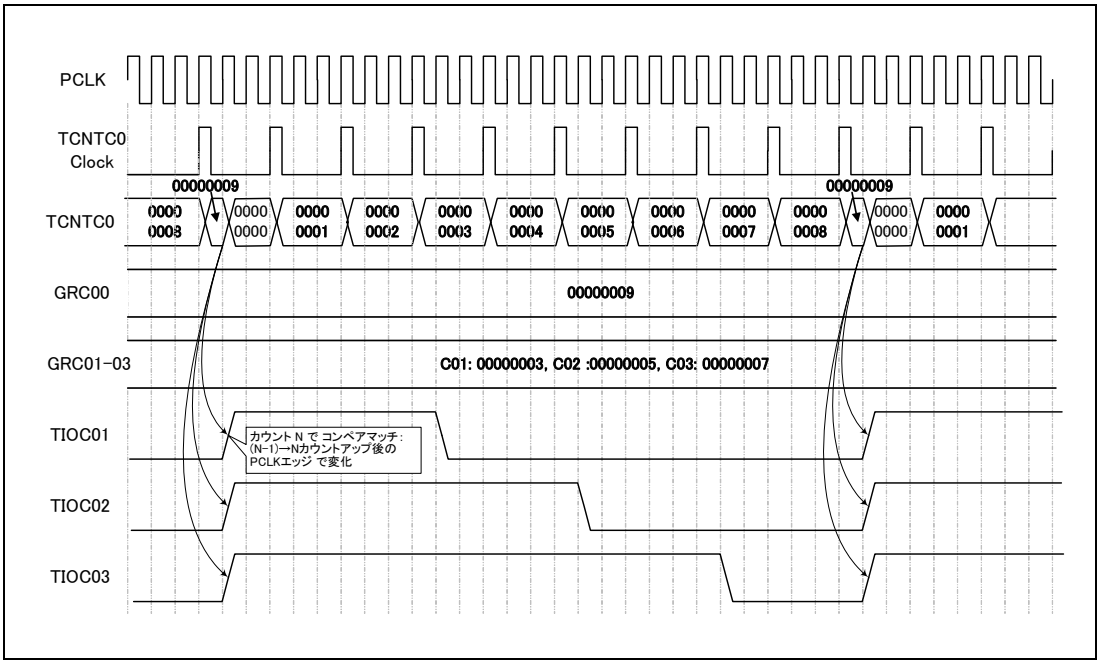


図 22.34　PWM モード動作

上記の波形を生成するには、IOC00 = 10（TIOC00 を 1 出力）設定、IOC01, 02, 03 = 01 or 11（TIOC01, 02, 03 を 0 出力 or 反転）設定にします。

注　意

PWM 出力機能は Duty0% は正しく動作しません。GRCxy = 0 と設定した場合、期待した動作になりませんので設定しないでください。（1 分周の場合：Duty100% と同じ動作になり、2 分周以上の場合：1PCLK のパルスが発生します。）

ワンショットパルス機能（ワンショットパルスモード）

タイマコントロールレジスタ Cx（TCRCx）の PWMx0 ビットを 1’b0 に設定、かつ、タイマ I/O コントロールレジスタ Cx（TIORXCx）の IOCxy[3:2] ビットを 2’b10 に設定することにより、対応する外部端子（TIOCxy）からワンショットパルス出力を行います。

タイマスタートレジスタ C（TSTRC）への設定により、タイマカウンタ Cx（TCNTCx）がカウントアップを開始します。

ワンショットパルスモードでは、GRCxy レジスタへのライトアクセスをトリガとして、ワンショットパルス出力します。

GRCxy レジスタへのライトアクセス後、タイマカウンタ Cx（TCNTCx）と OCRCxy レジスタとのコンペアマッチにより、コンペアマッチ割り込みを出力し、外部端子（TIOCxy）をセット（アクティブレベル）し、タイマカウンタ Cx（TCNTCx）と GRCxy レジスタとのコンペアマッチにより、コンペアマッチ割り込みを出力し、外部端子（TIOCxy）をリセット（インアクティブレベル）とします。GRCxy レジスタへのアクセスに対して、1 回のワンショットパルス出力を完了すると、次の GRCxy レジスタへのライトアクセス発生まで割り込みは発生せず、外部端子（TIOCxy）はインアクティブレベルを保持します。

ワンショットパルスモード（IOCxy[3:2] = 2’b10）を使用する場合、動作モード設定後、強制コンペアマッチ Cxy （FCMCxy）にて外部端子（TIOCxy）の初期化を行ってからカウント動作を開始してください。

外部端子（TIOCxy）を初期化（インアクティブレベル）しないでワンショットパルスモードを動作させた場合、出力が不定になります。

GRCxy レジスタにライトした後にワンショットパルスをキャンセルしたい場合は、強制コンペアマッチ Cxy（FCMCxy）と強制アウトプットコンペアマッチ Cxy（FOCMCxy）を同時に “1” をライトすることで、ワンショットパルスモードをキャンセルすることができます。

図 22.35 に、ブロック C0 のワンショットパルスモード動作例を示します。

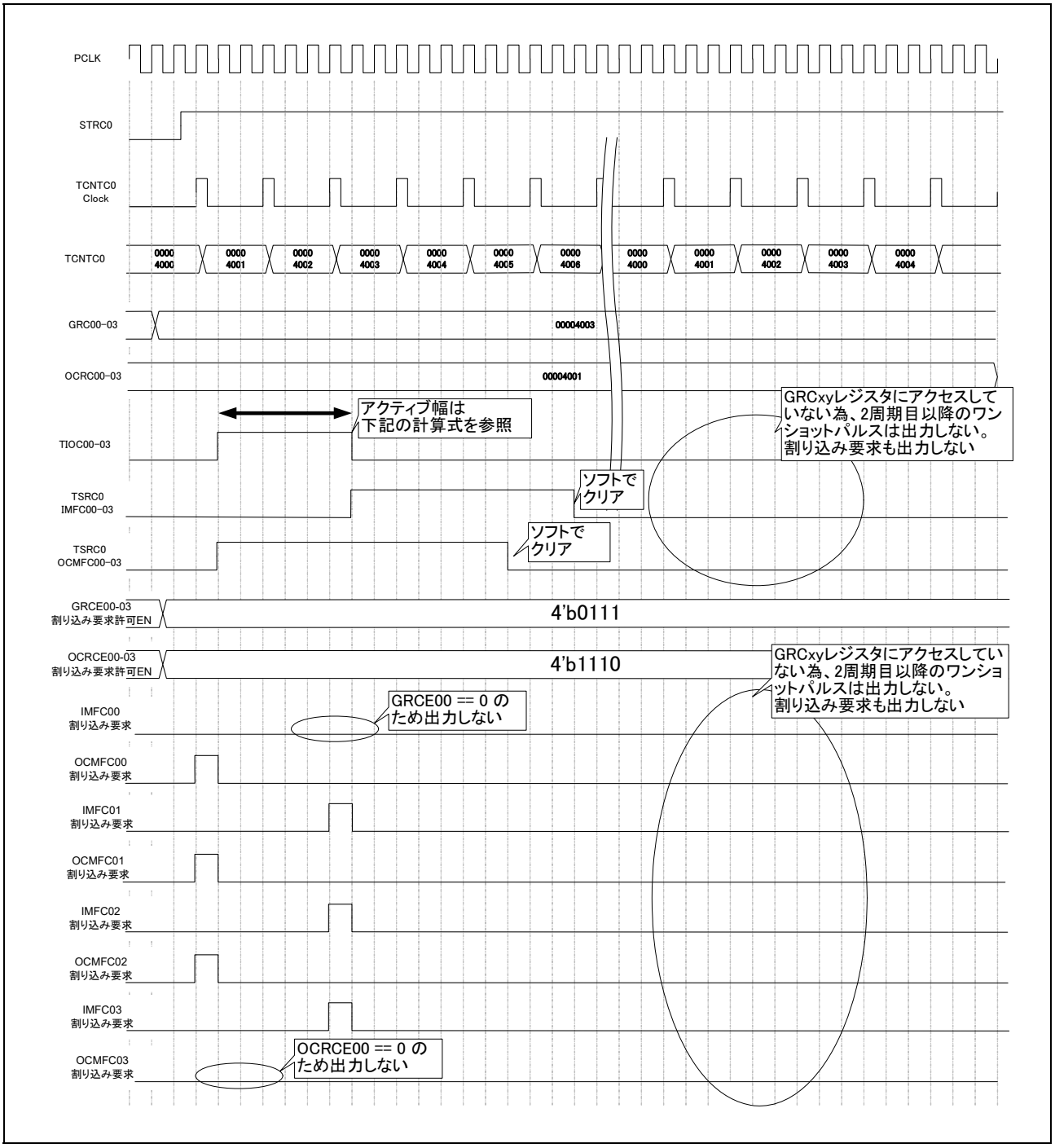


図 22.35　ワンショットパルスモード動作

※ ワンショットパルスのアクティブ幅は、以下の計算式で求められます。

GRCxy = OCRCxy の場合：

ワンショットパルス（アクティブ）幅 = 0

GRCxy ＞ OCRCxy の場合：

ワンショットパルス（アクティブ）幅 = GRCxy[31:0] – OCRCxy[31:0]

GRCxy ＜ OCRCxy の場合：

- 上限値設定機能 OFF

ワンショットパルス（アクティブ）幅 = （$FFFF\ FFFF_H$ – OCRCxy[31:0]）+ （GRCxy[31:0] + 1）

- 上限値設定機能 ON
  ワンショットパルス（アクティブ）幅 = （CUCRCx – OCRCxy[31:0]）+ GRCxy[31:0]

注．図中では、IMFC と OCMFC の割り込み要求を個別に記載していますが、1 本の割り込み信号を兼用する構成をとなっています。

2 回目以降にワンショットパルスを動作させる時は、必ず前回設定したワンショットパルス出力が完了したことを確認してから、2 回目以降の GRCxy、OCRCxy の設定を行ってください。ワンショットパルスの出力完了前に、GRCxy、OCRCxy のレジスタ値を変更すると、出力中のワンショットパルスに設定値が反映されます。

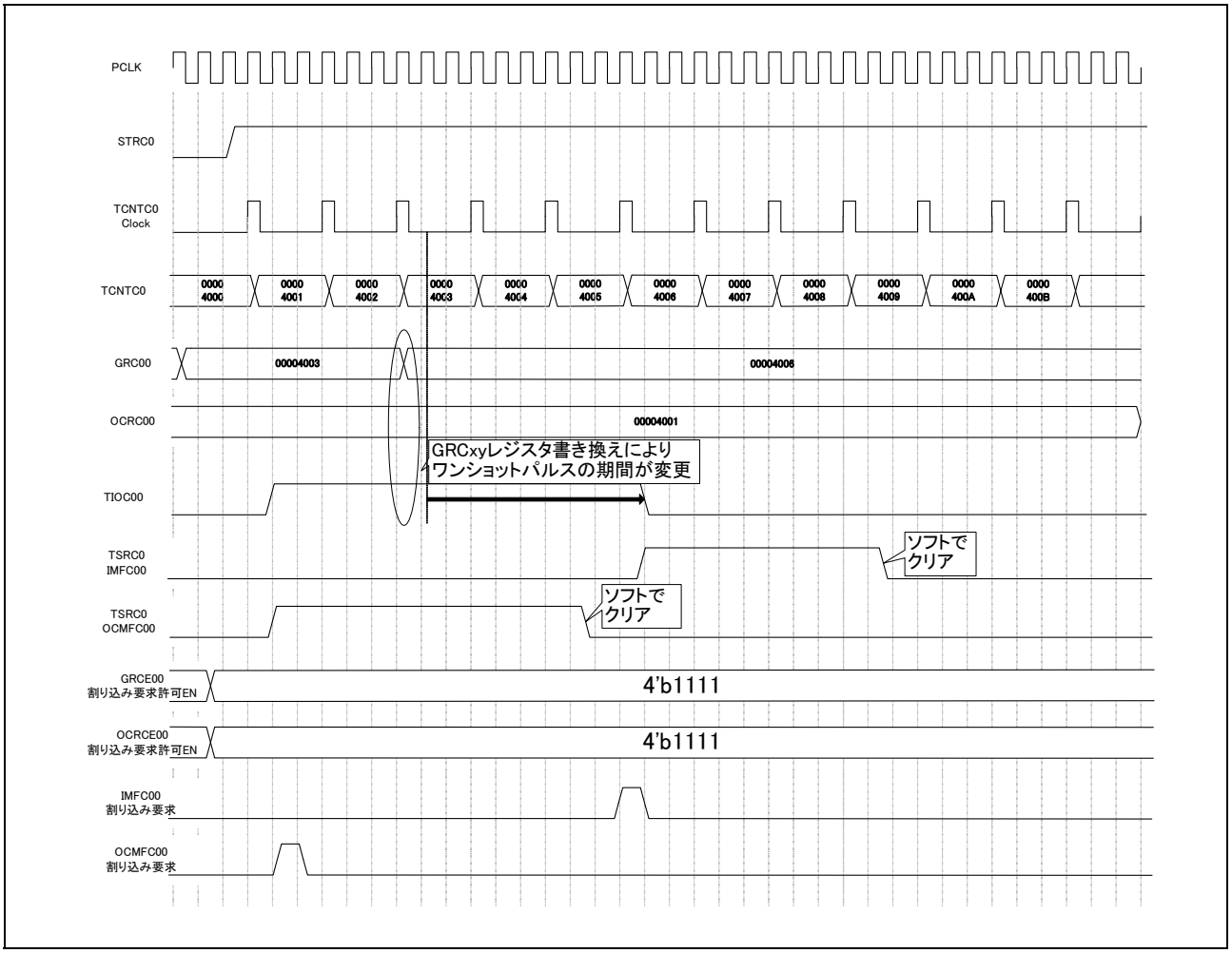


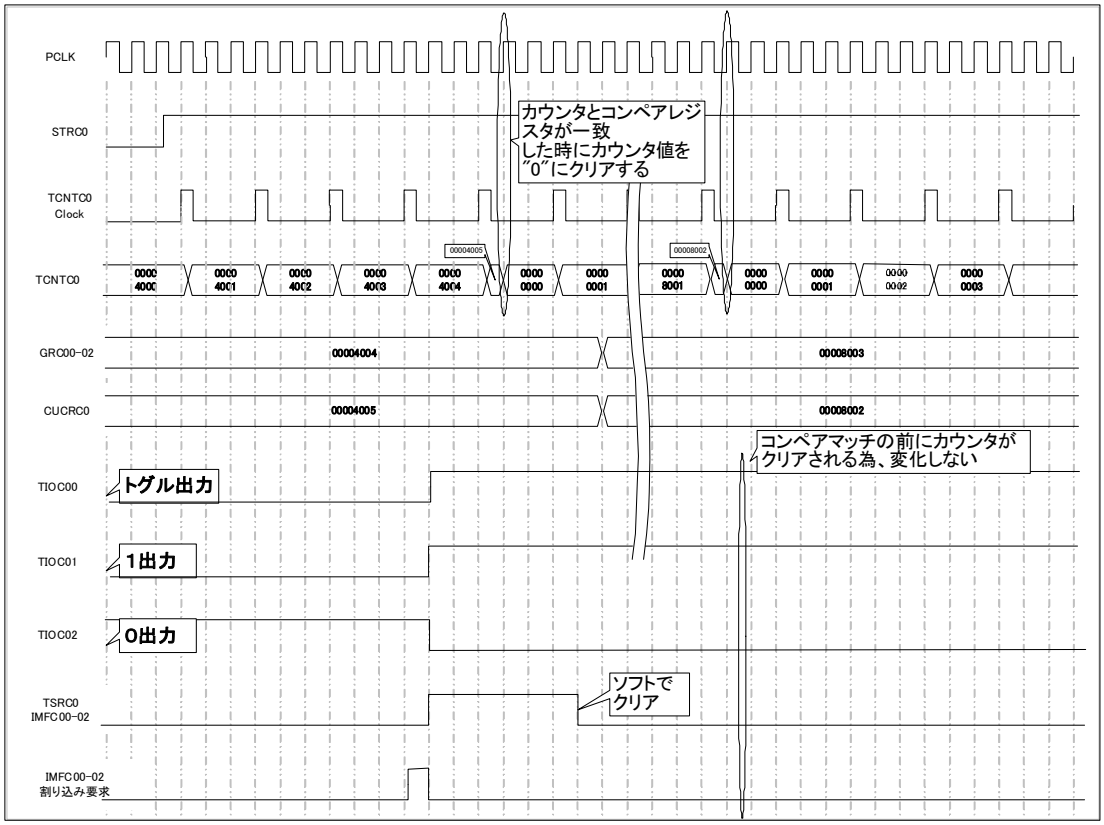
図 22.36　ワンショットパルス出力期間中にコンペアレジスタを変更した場合の動作

カウンタ上限値設定機能

カウンタ上限値設定コンペアレジスタ Cx（CUCRCx）により、各サブブロックのタイマカウンタ Cx（TCNTCx）のカウンタ値の上限値を変更し、インターバル動作することができます。カウンタの上限値設定の機能を有効にするには、タイマコントロールレジスタ Cx（TCRCx）の CLRCx ビットを “1” に設定しておく必要があります。

図 22.37 に、ブロック C0 のカウンタの上限値設定機能を ON した動作例を示します。

クリアタイミングとカウントアップタイミングが異なる場合



クリアタイミングとカウントアップタイミングが同時の場合

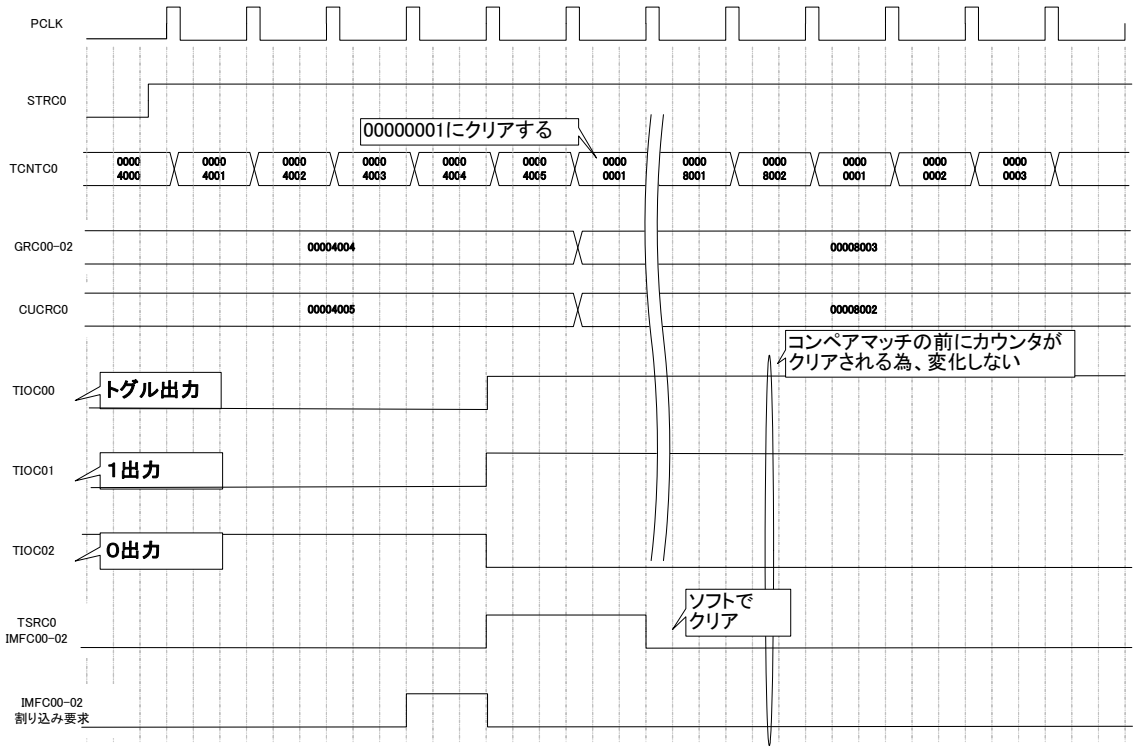


図 22.37 上限値設定機能動動作例

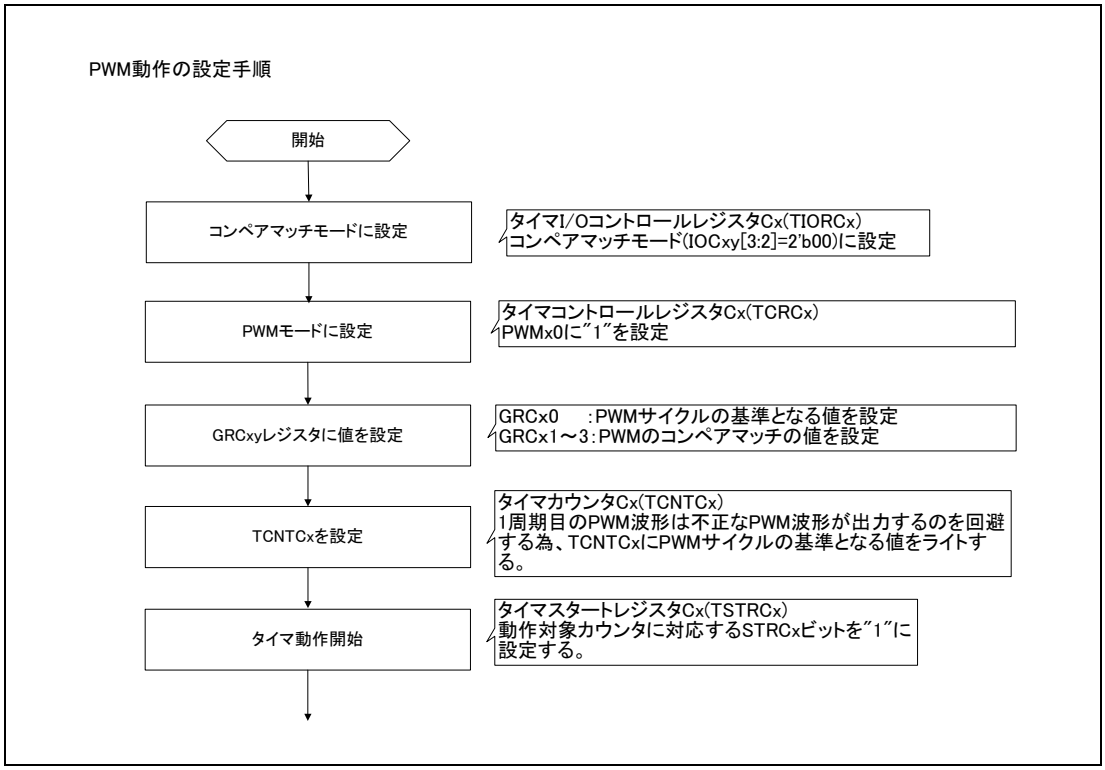


図 22.38　PWM 動作の設定手順

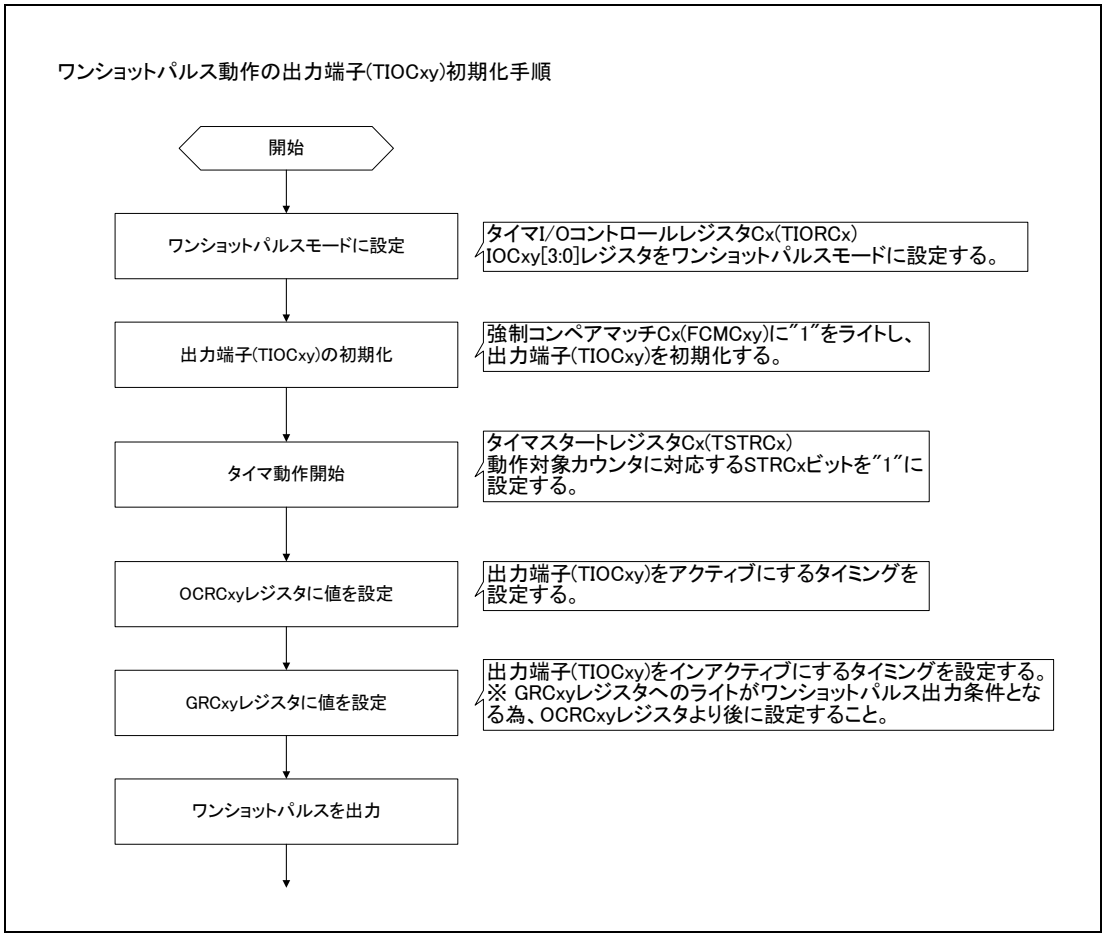


図 22.39　ワンショットパルス動作（出力端子初期化手順）

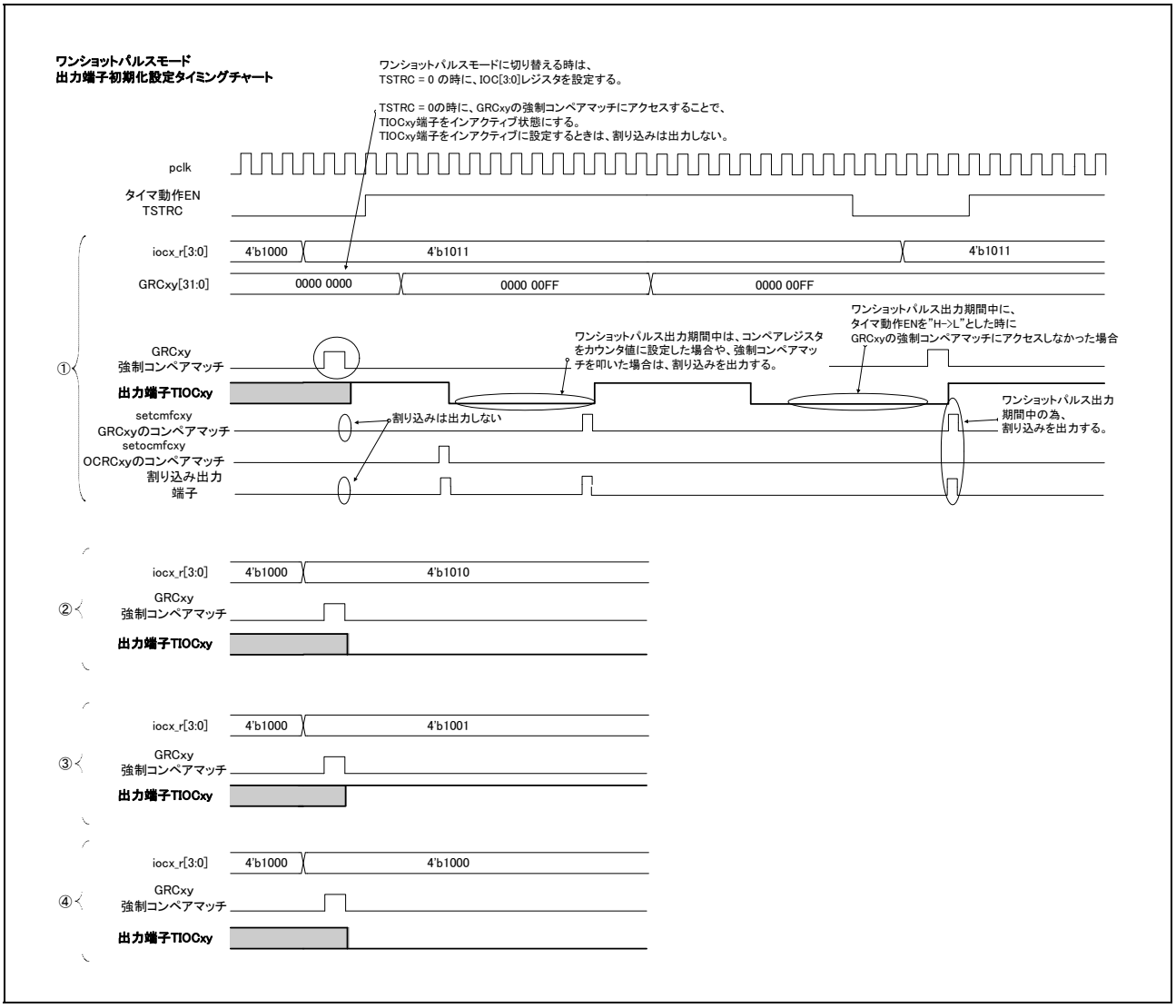


図 22.40　ワンショットパルス動作（出力端子初期化タイミングチャート）

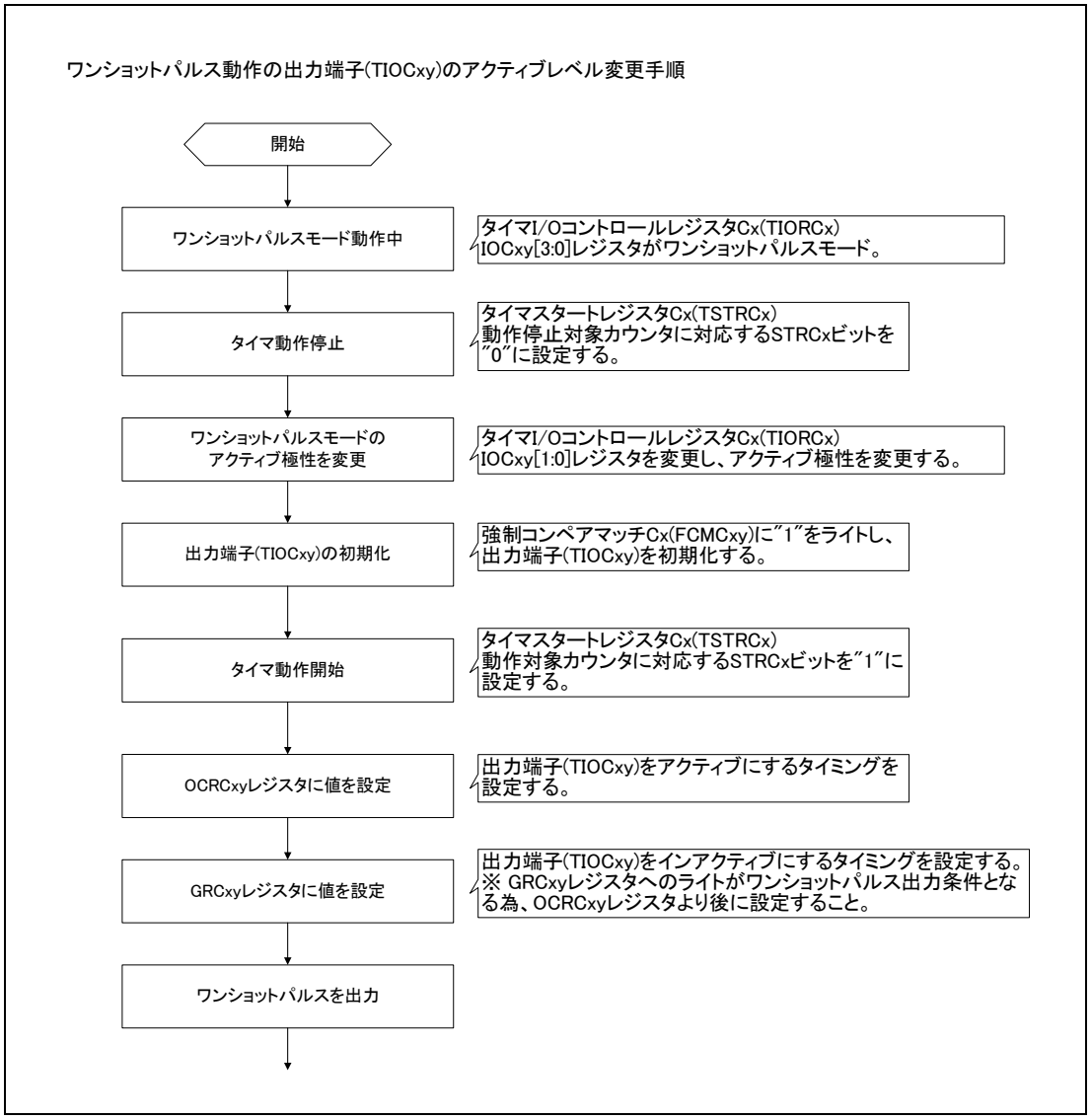


図 22.41　ワンショットパルス動作（アクティブ極性変更概要）

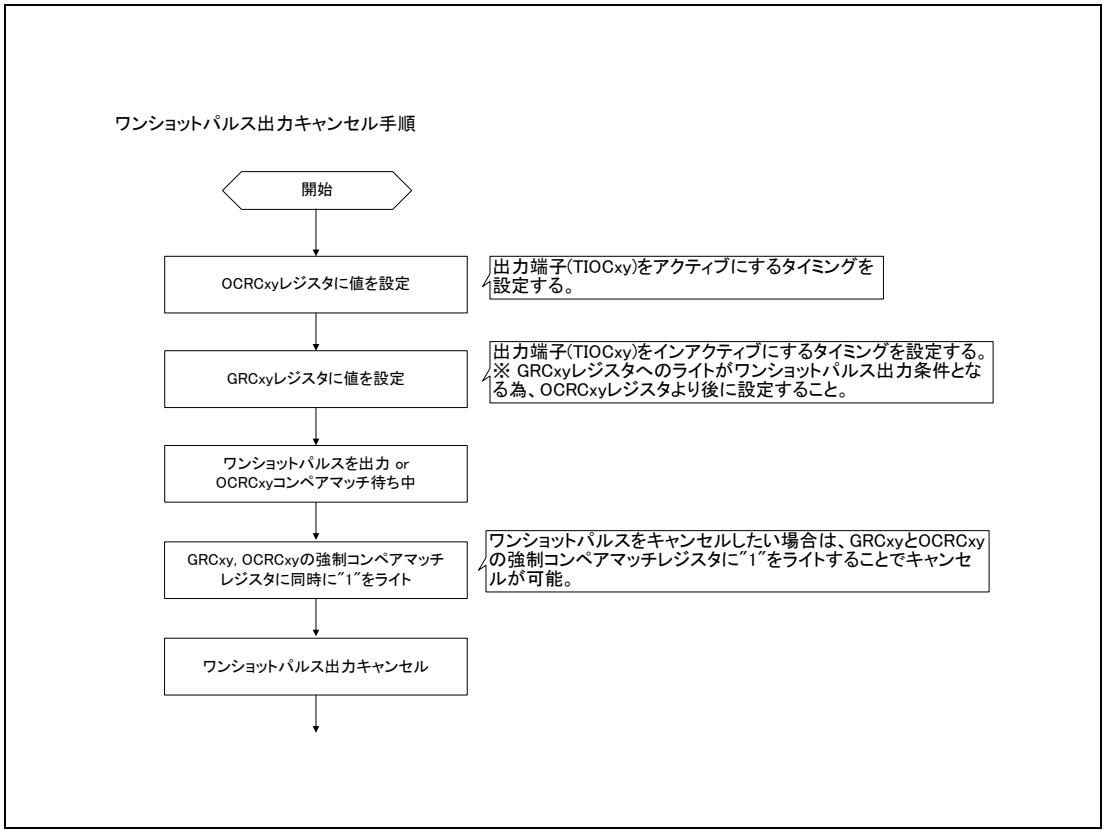


図 22.42　ワンショットパルス出力キャンセル手順

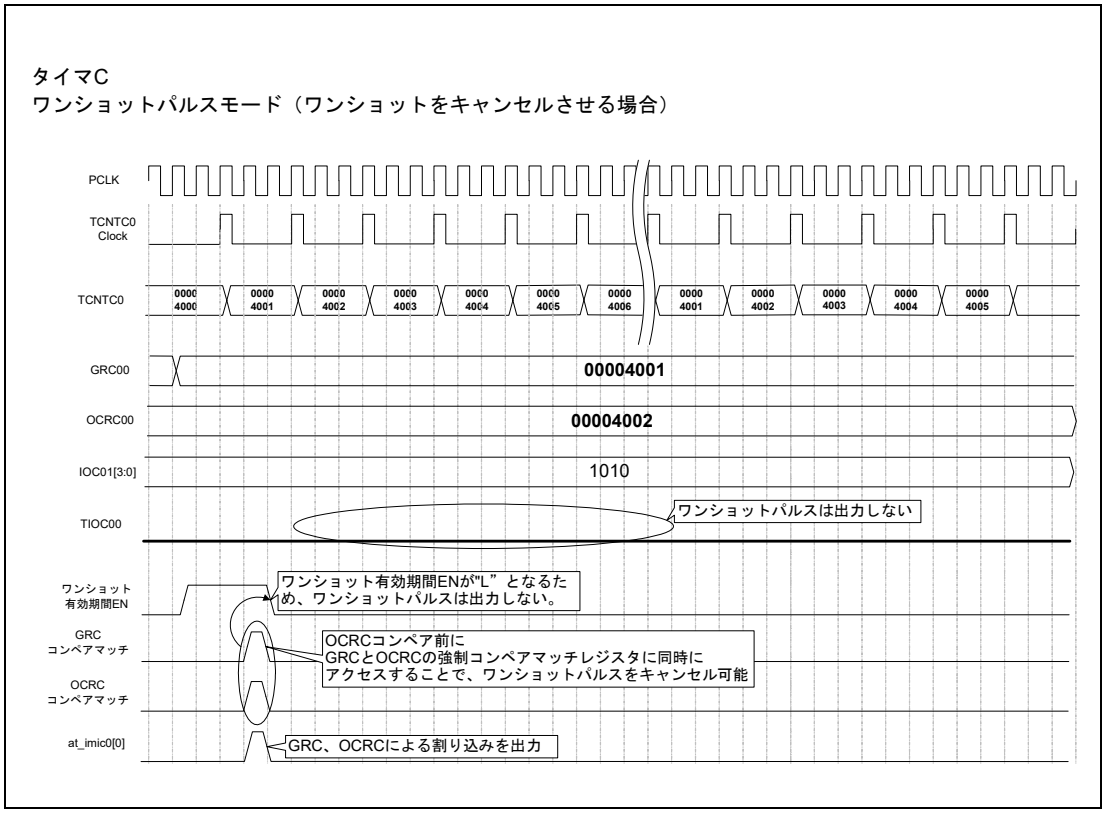


図 22.43　ワンショットパルス出力キャンセルタイミングチャート

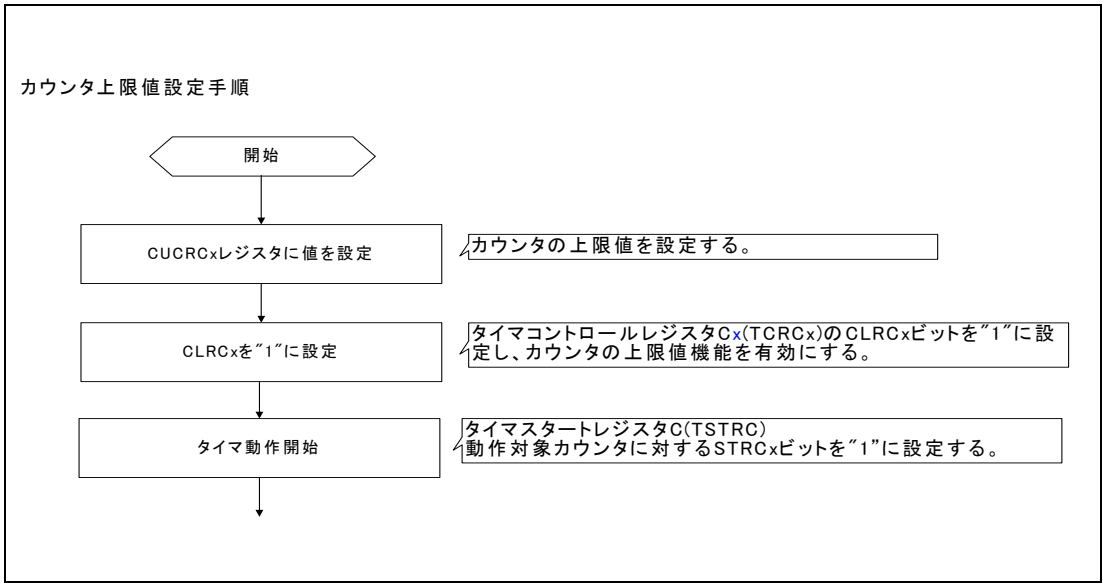


図 22.44　カウンタ上限値機能設定手順

22.7　タイマ D

22.7.1　動作概要

タイマ D ブロックは 10 個のサブブロックからなるワンショットパルス出力タイマです。

タイマ D サブブロックは、以下の機能を実現することができます。

- カウンタとアウトプットコンペアレジスタとのコンペアマッチを生成します。TCNT1Dx と OCR1Dxy とのコンペアマッチによりコンペアマッチ A を、TCNT2Dx と OCR2Dxy とのコンペアマッチによりコンペアマッチ B を生成します。
- アウトプットコンペアレジスタのコンペアマッチ A、コンペアマッチ B、あるいはダウンカウンタスタートレジスタのカウントスタートビット書き込みによりダウンカウントを開始することができ、オフセット付きワンショットパルスの出力が可能です。
- コンペアマッチレジスタのコンペアマッチ B により、ダウンカウント値に関わらず出力波形の強制遮断が可能です。（コンペアマッチ A あるいはカウントスタートビット書き込みと、コンペアマッチ B 同時発生時は出力遮断が優先）
- インプットキャプチャレジスタは、コンペアマッチ A をトリガとして TCNT2Dx 値を、コンペアマッチ B をトリガとして TCNT1Dx 値をキャプチャすることが可能です。
- コンペアマッチ A、B 検出パルス（AD 起動用）が出力可能。（サブブロック D0、D2、D4、D6、D9 の 40 本が対応）
- コンペアマッチ割込みの発生が可能です。（コンペアマッチ A、B で出力、計 80 本）
- 範囲コンペア値設定レジスタにより、コンペアマッチレジスタによるコンペアマッチ出力は範囲コンペア機能が使用可能です。
- タイマカウンタ 1Dx（TCNT1Dx）の上限値設定が有効時は、CUCR1Dx のコンペアマッチにてカウンタのクリアが可能です。
- タイマカウンタ 2Dx（TCNT2Dx）の上限値設定が有効時は、CUCR2Dx のコンペアマッチにてカウンタのクリアが可能です。
- TCNT1Dx（10 本）、TCNT2Dx（10 本）のそれぞれでカウンタオーバーフロー割込み（計 20 本）の発生が可能です。
- ダウンカウンタアンダーフロー割込み（計 40 本）の発生が可能です。このアンダーフロー割り込み要求で DMAC に DMA 転送を要求することもできます。（DMA 転送要求は、サブブロック D0 ～ D4 のダウンカウンタ、計 20 本が対応）。
- タイマ A からのトリガ信号、DFE からの PH 通知トリガにより、オフセットベースレジスタ Dx へのカウンタ値キャプチャが可能です。
- タイマ B からのクリア信号により、TCNT1Dx、TCNT2Dx のクリアが可能です。
- 出力設定レジスタにより、出力値レジスタに設定されている値を各端子から出力が可能です。
- APA へリファレンスデータとイベント出力が可能です。リファレンスデータとして TCNT1D0、TCNT2D0 のカウント値を出力可能です。出力値の選択については**「23.6 APA 入出力選択機能概要」**をご参照ください。イベント出力としてサブブロック 0 のコンペアマッチ A、コンペアマッチ B、ダウンカウンタアンダフロー、TOD0yA、TOD0yB の出力が可能です。

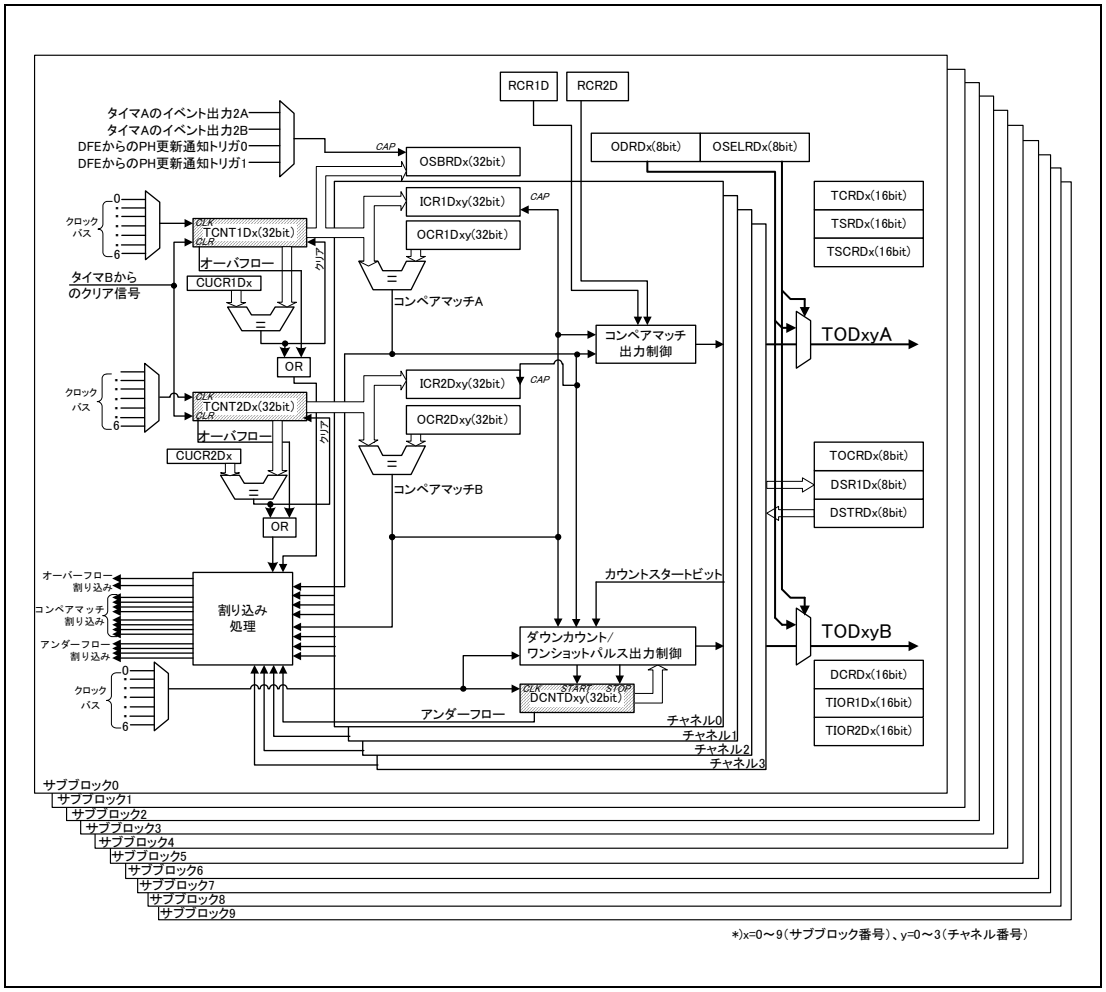


図 22.45 タイマ D ブロック図

図 22.45 にタイマ D のブロック図を示します。タイマ D のサブブロック Dx は、2 本の範囲コンペア設定レジスタ（RCR1Dx、RCR2Dx）、2 本の 32 ビットタイマカウンタ 1Dx、同 2Dx（TCNT1Dx、TCNT2Dx）、1 本のタイマオフセットベースレジスタ Dx（OSBRDx）、1 本の出力値レジスタ（ODRDx）、1 本の出力選択レジスタ Dx（OSELRDx）と、8 本のアウトプットコンペアレジスタ（OCR1Dxy、OCR2Dxy）、4 本のタイマダウンカウンタ（DCNTDxy）、2 本のカウンタ上限値設定のレジスタ（CUCRDx）、8 本のインプットキャプチャレジスタ（ICR1Dxy、ICR2Dxy）、及び制御部などで構成されています。また各チャネルに TODxyA（コンペアマッチ出力）と TODxyB（ワンショットパルス出力）の 2 本の出力端子を備えています（出力端子はサブブロック D0 ～ D8 が対応）。

TODxyA、TODxyB 出力の初期値はともに “0” です。

コンペアマッチ A、コンペアマッチ B 検出時には、割り込み要求、および AD 変換開始トリガとして AD にパルスを出力します。

22.7.2 タイマ D 関連レジスタ

22.7.2.1 TSTRD — タイマスタートレジスタ D

アクセス 8 ビット／ 16 ビットアクセス可能

アドレス FFE6 1000_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	STRD9	STRD8	STRD7	STRD6	STRD5	STRD4	STRD3	STRD2	STRD1	STRD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.74 TSTRD レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
9	STRD9	カウンタ D9 スタートビット 0 : TCNT1D9、TCNT2D9、DCNTD9y のカウント動作を停止 1 : TCNT1D9、TCNT2D9、DCNTD9y のカウント動作を許可
8	STRD8	カウンタ D8 スタートビット 0 : TCNT1D8、TCNT2D8、DCNTD8y のカウント動作を停止 1 : TCNT1D8、TCNT2D8、DCNTD8y のカウント動作を許可
7	STRD7	カウンタ D7 スタートビット 0 : TCNT1D7、TCNT2D7、DCNTD7y のカウント動作を停止 1 : TCNT1D7、TCNT2D7、DCNTD7y のカウント動作を許可
6	STRD6	カウンタ D6 スタートビット 0 : TCNT1D6、TCNT2D6、DCNTD6y のカウント動作を停止 1 : TCNT1D6、TCNT2D6、DCNTD6y のカウント動作を許可
5	STRD5	カウンタ D5 スタートビット 0 : TCNT1D5、TCNT2D5、DCNTD5y のカウント動作を停止 1 : TCNT1D5、TCNT2D5、DCNTD5y のカウント動作を許可
4	STRD4	カウンタ D4 スタートビット 0 : TCNT1D4、TCNT2D4、DCNTD4y のカウント動作を停止 1 : TCNT1D4、TCNT2D4、DCNTD4y のカウント動作を許可
3	STRD3	カウンタ D3 スタートビット 0 : TCNT1D3、TCNT2D3、DCNTD3y のカウント動作を停止 1 : TCNT1D3、TCNT2D3、DCNTD3y のカウント動作を許可
2	STRD2	カウンタ D2 スタートビット 0 : TCNT1D2、TCNT2D2、DCNTD2y のカウント動作を停止 1 : TCNT1D2、TCNT2D2、DCNTD2y のカウント動作を許可
1	STRD1	カウンタ D1 スタートビット 0 : TCNT1D1、TCNT2D1、DCNTD1y のカウント動作を停止 1 : TCNT1D1、TCNT2D1、DCNTD1y のカウント動作を許可
0	STRD0	カウンタ D0 スタートビット 0 : TCNT1D0、TCNT2D0、DCNTD0y のカウント動作を停止 1 : TCNT1D0、TCNT2D0、DCNTD0y のカウント動作を許可

備考 サブブロック D0 ～ D9 ごとにスタートビットを用意。（y = 0, 1, 2, 3 : チャネル Dx0 ～ Dx3 に対応）

タイマスタートレジスタ D（TSTRD）は 16 ビットのレジスタで、上位ビットを TSTRDH、下位ビットを TSTRDL として 8 ビットの読み出し／書き込み可能なレジスタです。9 つのサブブロック Dx （x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9）の 2 つのタイマカウンタ 1Dx、同 2Dx（TCNT1Dx、TCNT2Dx）、タイマダウンカウンタ Dxy（DCNTDxy）を動作させるか、停止させるかを設定します。ただし、カウント Dx スタートビットをカウント動作許可に設定していても、ATU-IV 制御レジスタ（ATUENR）の TDE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRD はリセット時に 0000_H に初期化されます。

(1) STRDx — カウンタ Dx スタートビット

タイマカウンタ 1Dx、2Dx（TCNT1Dx、TCNT2Dx）、タイマダウンカウンタ Dxy（DCNTDxy）を動作させるか、停止させるかを設定します。

このビットを “0” にクリアした場合、TCNT1Dx、TCNT2Dx、DCNTDxy は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

カウンタ Dx スタートビットを “1” にセットしても、ATU-IV 制御レジスタで、タイマ Dx のマスタイネーブルが “1” にセットされていなければカウント動作は開始されません。

注　意

プリスケーラは、カウンタ Dx スタートビットの設定に関係なく動作しており、TCNT1Dx、TCNT2Dx の動作開始時にも初期化は行われません。したがって起動から実際に TCNT1Dx、TCNT2Dx がカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さがともないます。

22.7.2.2 TCRDx — タイマコントロールレジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビット／ 16 ビットアクセス可能

アドレス FFE6 1100_H +（100_H * x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	OBREDx	C2CEDx	C1CEDx	CLR2Dx	CKSEL2Dx[2:0]			CLR1Dx	CKSEL1Dx[2:0]			—	DCSELDx[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 22.75 TCRDx レジスタの内容

ビット位置	ビット名	機能
15	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
14	OBREDx	オフセットベースレジスタイネーブル オフセットベースレジスタへのインプットキャプチャ動作の許可／禁止を選択
13	C2CEDx	カウンタ 2 クリアイネーブル タイマ B からのタイマカウンタ 2 クリア要求受付け許可／禁止を設定
12	C1CEDx	カウンタ 1 クリアイネーブル タイマ B からのタイマカウンタ 1 クリア要求受付け許可／禁止を設定
11	CLR2Dx	TCNT2Dx クリア設定ビット タイマカウンタをクリア許可／禁止を設定
10 ～ 8	CKSEL2Dx[2:0]	TCNT2Dx クロックセレクト クロックバス 0 ～ 6 から TCNT2Dx のカウントクロックを選択
7	CLR1Dx	TCNT1Dx クリア設定ビット タイマカウンタをクリア許可／禁止を設定
6 ～ 4	CKSEL1Dx[2:0]	TCNT1Dx クロックセレクト クロックバス 0 ～ 6 から TCNT1Dx のカウントクロックを選択
3	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
2 ～ 0	DCSELDx[2:0]	DCNTDxy クロックセレクト クロックバス 0 ～ 6 から DCNTDxy のカウントクロックを選択

タイマコントロールレジスタ Dx（TCRDx）は 16 ビットの読み出し／書き込み可能なレジスタです。TCRDx は、サブブロック Dx の 32 ビットタイマカウンタ 1Dx（TCNT1Dx）のカウントクロック、32 ビットタイマカウンタ 2Dx（TCNT2Dx）のカウントクロック、および 32 ビットタイマダウンカウンタ Dxy（DCNTDxy）のカウントクロックをそれぞれクロックバス 0 ～ 6 から選択します。また、オフセットベースレジスタへのインプットキャプチャ許可／禁止、タイマ B からの TCNT1Dx、TCNT2Dx カウンタ値クリア要求の許可／禁止、タイマカウンタ 1Dx（TCNT1Dx）とタイマカウンタ 2Dx（TCNT2Dx）のクリアの許可／禁止を設定します。

(1) OBREDx — オフセットベースレジスタイネーブル

タイマオフセットベースレジスタ Dx（OSBRDx）のインプットキャプチャ動作の許可／禁止を選択します。許可設定時、TICTSELDx レジスタにより選択された入力信号が “1” である PCLK サイクルの TCNT1Dx 値を、次の PCLK サイクルで OSBRDx にキャプチャします。タイマ A のイベント 2A、2B 信号幅が 1PCLK サイクルを超える場合、その毎サイクルにキャプチャ動作を行います。

OBREDx	機能
0	OSBRDx のインプットキャプチャ動作を許可　（初期値）
1	OSBRDx のインプットキャプチャ動作を禁止

(2) C2CEDx — カウンタ 2 クリアイネーブル

タイマ B からの TCNT2Dx カウンタ値クリアの許可／禁止を選択します。

C2CEDx ビットが “1” のとき、タイマ B から出力されるカウンタクリア信号の立ち上がりを検出すると、以下のタイミングで TCNT2Dx カウンタのクリア（$0000\ 0000_H$）を行います。

クリア信号の立ち上がり変化と同じサイクルに TCNT2Dx カウントアップクロックが入力されている場合は、そのカウントアップのタイミングでカウンタクリアが行われます。クリア信号立ち上がりサイクルにカウントアップクロックが入力されていない場合は、その後に入力される最初のカウントアップクロックによるカウントアップタイミングでクリアを行います。つまりタイマ B からのカウンタクリア信号の立ち上りから最初のカウントアップクロックまで、クリア要求を保持します。この保持期間に C2CEDx を 0 に変更しても、タイマ D を Disable としクロックが停止しても、クリア要求は保持されます。

初期設定ではカウンタクリア要求を受付けません。

C2CEDx	機能
0	タイマ B からの TCNT2Dx カウンタ値クリア要求を禁止　（初期値）
1	タイマ B からの TCNT2Dx カウンタ値クリア要求を許可

(3) C1CEDx — カウンタ 1 クリアイネーブル

タイマ B からの TCNT1Dx カウンタ値クリアの許可／禁止を選択します。

C1CEDx ビットが “1” のとき、タイマ B から出力されるカウンタクリア信号の立ち上がりを検出すると、以下のタイミングで TCNT1Dx カウンタのクリア（$0000\ 0000_H$）を行います。

クリア信号の立ち上がり変化と同じサイクルに TCNT1Dx カウントアップクロックが入力されている場合は、そのカウントアップのタイミングでカウンタクリアが行われます。クリア信号立ち上がりサイクルにカウントアップクロックが入力されていない場合は、その後に入力される最初のカウントアップクロックによるカウントアップタイミングでクリアを行います。

初期設定ではカウンタクリア要求を受付けません。

C1CEDx	機能
0	タイマ B からの TCNT1Dx カウンタ値クリア要求を禁止　（初期値）
1	タイマ B からの TCNT1Dx カウンタ値クリア要求を許可

(4) CLR2Dx — TCNT2Dx クリア設定ビット

TCNT2Dx クリア設定ビットを “1” に設定すると、タイマカウンタ 2Dx（TCNT2D）とカウンタ上限値設定コンペアレジスタ 2Dx（CUCR2Dx）とのコンペアマッチ発生後の次のクロックで、TCNT2Dx の値はクリア（$0000\ 0000_H$）されます。ただし、TCNT2Dx カウントアップと競合した場合は、$0000\ 0001_H$ にクリアされます。

CLR2Dx	機能
0	TCNT2Dx のクリアに CUCR2Dx のコンペアマッチを使用しない。（初期値）
1	TCNT2Dx のクリアに CUCR2Dx のコンペアマッチを使用する。

CLR2Dx ビットを 1 に設定する場合には、範囲コンペア値設定レジスタ 2Dx（RCR2Dx）は、00_H に設定してください。

(5) CKSEL2Dx[2:0] — TCNT2Dx クロックセレクト

クロックセレクト 2Dx（CKSEL2Dx[2:0]）は、TCNT2Dx のカウントアップクロックを選択します。

CKSEL2Dx			機能
[2]	[1]	[0]	
0	0	0	クロックバス 0 で TCNT2Dx をアップカウント（初期値）
0	0	1	クロックバス 1 で TCNT2Dx をアップカウント
0	1	0	クロックバス 2 で TCNT2Dx をアップカウント
0	1	1	クロックバス 3 で TCNT2Dx をアップカウント
1	0	0	クロックバス 4 で TCNT2Dx をアップカウント
1	0	1	クロックバス 5 で TCNT2Dx をアップカウント
1	1	0	クロックバス 6 で TCNT2Dx をアップカウント
1	1	1	予約

(6) CLR1Dx — TCNT1Dx クリア設定ビット

TCNT1Dx クリア設定ビットを “1” に設定すると、タイマカウンタ 1Dx（TCNT1Dx）とカウンタ上限値設定コンペアレジスタ 1Dx（CUCR1Dx）とのコンペアマッチ発生後の次のクロックで、TCNT1Dx の値はクリア（$0000\ 0000_H$）されます。ただし、TCNT1Dx カウントアップと競合した場合は、00000001_H にクリアされます。

CLR1Dx	機能
0	TCNT1Dx のクリアに CUCR1Dx のコンペアマッチを使用しない。（初期値）
1	TCNT1Dx のクリアに CUCR1Dx のコンペアマッチを使用する。

CLR1Dx ビットを 1 に設定する場合には、範囲コンペア値設定レジスタ 1Dx（RCR1Dx）は、00_H に設定してください。

(7) CKSEL1Dx[2:0] — TCNT1Dx クロックセレクト

クロックセレクト 1Dx（CKSEL1Dx[2:0]）は、TCNT1Dx のカウントアップクロックを選択します。

CKSEL1Dx			機能
[2]	[1]	[0]	
0	0	0	クロックバス 0 で TCNT1Dx をアップカウント（初期値）
0	0	1	クロックバス 1 で TCNT1Dx をアップカウント
0	1	0	クロックバス 2 で TCNT1Dx をアップカウント
0	1	1	クロックバス 3 で TCNT1Dx をアップカウント
1	0	0	クロックバス 4 で TCNT1Dx をアップカウント
1	0	1	クロックバス 5 で TCNT1Dx をアップカウント
1	1	0	クロックバス 6 で TCNT1Dx をアップカウント
1	1	*	予約

(8) DCSELDx[2:0] — DCNTDxy クロックセレクト

DCNTDxy クロックセレクト（DCSELDx[2:0]）は、サブブロック Dx の持つ 32 ビットタイマダウンカウンタ Dxy（DCNTDxy）のカウントダウンクロックを選択します。

DCSELDx			機能
[2]	[1]	[0]	
0	0	0	クロックバス 0 で DCNTDxy をダウンカウント（初期値）
0	0	1	クロックバス 1 で DCNTDxy をダウンカウント
0	1	0	クロックバス 2 で DCNTDxy をダウンカウント
0	1	1	クロックバス 3 で DCNTDxy をダウンカウント
1	0	0	クロックバス 4 で DCNTDxy をダウンカウント
1	0	1	クロックバス 5 で DCNTDxy をダウンカウント
1	1	0	クロックバス 6 で DCNTDxy をダウンカウント
1	1	1	予約

備考　サブブロック内チャネル 0 ～ 3 のカウントクロックは共通。

ワンショットパルス出力（TODxyB）は DCSELDx で選択したクロックに同期して制御されます。

22.7.2.3 TIOR1Dx — タイマ I/O コントロールレジスタ 1Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビット／16 ビットアクセス可能

アドレス FFE6 1104_H +（100_H * x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSSDx3		OSSDx2		OSSDx1		OSSDx0		IOADx3		IOADx2		IOADx1		IOADx0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.76 TIOR1Dx レジスタの内容

ビット位置	ビット名	機能
15 ～ 8	OSSDx3 ～ OSSDx0	コンペアマッチ出力要因選択ビット TODxyA の出力要因を選択します。コンペアマッチ A、コンペアマッチ B のいずれか、または両方を設定可能。
7 ～ 0	IOADx3 ～ IOADx0	I/O コントロール A アウトプットコンペアレジスタ 1Dxy（OCR1Dxy）のコンペアマッチ許可／禁止。出力値の設定。

タイマ I/O コントロールレジスタ 1Dx （TIOR1Dx）は 16 ビットの読み出し／書き込み可能なレジスタです。

本レジスタは、コンペアマッチ出力端子（TODxyA）の出力要因を設定するビットと、アウトプットコンペアレジスタ 1Dxy（OCR1Dxy）のコンペアマッチ許可／禁止設定ビット、およびコンペアマッチ A 発生時の TODxyA 端子出力値設定ビットで構成されます。

TIOR1Dx はリセット時に 0000_H に初期化されます。

(1) OSSDxy[1:0] — コンペアマッチ出力要因選択ビット

OSSDxy		機能
[1]	[0]	
0	0	TODxyA 端子出力なし （初期値）
0	1	コンペアマッチ A 発生時、TODxyA 端子に I/O コントロールビット A での設定値を出力
1	0	コンペアマッチ B 発生時、TODxyA 端子に I/O コントロールビット B での設定値を出力
1	1	コンペアマッチ A あるいはコンペアマッチ B 発生時、TODxyA 端子に I/ O コントロールビット A、I/O コントロールビット B それぞれの設定値を出力

コンペアマッチ出力端子（TODxyA）の出力要因を設定します。コンペアマッチ A、コンペアマッチ B のいずれか、あるいは双方で TODxyA 端子の出力を制御できます。

コンペアマッチの片方をタイマダウンカウンタ Dxy（DCNTDxy）のスタート／ストップトリガとして使用し、他方をコンペアマッチ出力とすることが可能です。またコンペアマッチ A、B の両方で出力を制御し、片方で出力アサート、他方で出力ネゲートとすることで、TODxyA からワンショットパルスを出力することもできます。

コンペアマッチ A と、コンペアマッチ B の両方を出力要因として設定しており、この二つの要因が同時に発生した場合には、コンペアマッチ B が優先され、TIOR2Dx の IOBxy ビットで設定されたコンペアマッチ値が出力されます。

TODxyA の出力初期値は “0” であり、このビットが “00” である間は、コンペアマッチ A、B が発生しても TODxyA の出力値は変化しません。

(2) IOADxy[1:0] — I/O コントロール A

IOADxy		機能
[1]	[0]	
0	0	コンペアマッチ禁止　（初期値）
0	1	コンペアマッチで 0 出力
1	0	コンペアマッチで 1 出力
1	1	コンペアマッチでトグル出力

アウトプットコンペアレジスタ 1Dxy（OCR1Dxy）の機能を選択します。このビットに “00” を設定したとき、OCR1Dxy はタイマカウンタ 1Dx（TCNT1Dx）とのコンペアマッチを行いません。“00” 以外に設定すると TCNT1Dx とのコンペアマッチ動作を行います。このとき、コンペアマッチで CPU に割り込み要求が出力されます。また、AD 変換起動トリガが出力されます（サブブロック D0、D2、D4、D6、D9 のみ）。

コンペアマッチ発生時、コンペアマッチ出力要因選択ビット（OSSDxy）でコンペアマッチ A が出力要因に選択されていれば、IOADxy で設定したコンペアマッチ出力値が TODxyA 端子に出力されます（サブブロック D0 ～ D9 のみ）。

22.7.2.4 TIOR2Dx — タイマ I/O コントロールレジスタ 2Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビット／16 ビットアクセス可能

アドレス FFE6 1106_H +（100_H * x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	IOBDx3			—	IOBDx2			—	IOBDx1			—	IOBDx0		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 22.77 TIOR2Dx レジスタの内容

ビット位置	ビット名	機能
15、11、7、3	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
14 ～ 12、10 ～ 8、6 ～ 4、2 ～ 0	IOBDx3-IOBDx0	I/O コントロール B アウトプットコンペアレジスタ 2Dxy（OCR2Dxy）の許可／禁止、およびコンペアマッチ出力値の設定

タイマ I/O コントロールレジスタ 2Dx （TIOR2Dx）は 16 ビットの読み出し／書き込み可能なレジスタです。

本レジスタは、アウトプットコンペアレジスタ 2Dxy（OCR2Dxy）の機能を設定するビットを持っています。コンペアマッチ許可／禁止、およびコンペアマッチ B 発生時の TODxyA 端子出力値を設定できます。

TIOR2Dx はリセット時に 0000_H に初期化されます。

(1) IOBDxy[2:0] — I/O コントロール B

IOBDxy			機能	
[2]	[1]	[0]		
0	0	0	OCR2Dxy のコンペアマッチ出力を選択	コンペアマッチ禁止 （初期値）
0	0	1		コンペアマッチで 0 出力
0	1	0		コンペアマッチで 1 出力
0	1	1		コンペアマッチでトグル出力
1	0	0	予約	設定禁止
1	0	1		設定禁止
1	1	0		設定禁止
1	1	1		設定禁止

アウトプットコンペアレジスタ 2Dxy（OCR2Dxy）のコンペアマッチ許可／禁止、およびコンペアマッチ B 発生時の TODxyA 端子出力値を設定できます。

コンペアマッチレジスタとして使用する場合（IOBDxy[2] = 0）、IOBDxy[1:0] が “00” であれば、OCR2Dxy はタイマカウンタ 2Dx（TCNT2Dx）とのコンペアマッチを行いません。“00” 以外に設定すると TCNT2Dx とのコンペアマッチ動作を行います。このとき、コンペアマッチで CPU に割り込み要求が出力されます。また、AD 割り込み変換起動トリガが出力されます（サブブロック D0、D2、D4、D6、D9 のみ）。

コンペアマッチ発生時、コンペアマッチ出力要因選択ビット（OSSDxy）でコンペアマッチ B が出力要因に選択されていれば、IOBDxy で設定したコンペアマッチ出力値が TODxyA 端子に出力されます。

22.7.2.5 OSELRDx — 出力選択レジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 1111_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	OSELBDx3	OSELBDx2	OSELBDx1	OSELBDx0	OSELADx3	OSELADx2	OSELADx1	OSELADx0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.78 OSELRDx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	OSELBDxy	出力選択 B ビット 0：TODxyB は通常出力 1：出力値レジスタの値を TODxyB に出力する
3 ～ 0	OSELADxy	出力選択 A ビット 0：TODxyA は通常出力 1：出力値レジスタの値を TODxyA に出力する

出力選択レジスタ Dx（OSELRDx）は 8 ビットの読み出し／書き込み可能なレジスタです。

出力値レジスタの値を各端子（TODxyA、TODxyB）から出力するか選択を行います。

OSELRDx はリセット時に 00_H に初期化されます。

(1) OSELA（B）Dxy — 出力設定ビット A（B）xy

このビットに “1” を書き込むことにより、出力値レジスタの値を対応する TODxyA（TODxyB）端子に出力することができます。出力値は、タイマ I/O コントロールレジスタ 1Dx、同 2Dx（TIOR1Dx、TIOR2Dx）、タイマアウトプットコントロールレジスタ Dx（TOCRDx）の設定や、タイマダウンカウンタ Dxy によるワンショットパルス出力の影響を受けません。

このビットに “0” を設定した場合は、TODxyA（TODxyB）端子はタイマ I/O コントロールレジスタ 1Dx、同 2Dx（TIOR1Dx、TIOR2Dx）、タイマアウトプットコントロールレジスタ Dx（TOCRDx）の設定や、タイマダウンカウンタ Dxy によるワンショットパルス出力の設定にしたがい出力します。

TODxyA（TODxyB）の通常出力の変化タイミングと、このビットの設定タイミングが重なった場合、グリッジが発生する場合があります。コンペアマッチが発生する近傍のカウンタ値において、このビットを書き換えないようご注意ください。

22.7.2.6 ODRDx — 出力値レジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 1112_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	ODBDx3	ODBDx2	ODBDx1	ODBDx0	ODADx3	ODADx2	ODADx1	ODADx0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.79 ODRDx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	ODBDxy （y = 3, 2, 1, 0：チャネル 0 ～ 3 に対応）	出力値 B ビット TODxyB に出力する値を設定します。
3 ～ 0	ODADxy （y = 3, 2, 1, 0：チャネル 0 ～ 3 に対応）	出力値 A ビット TODxyA に出力する値を設定します。

出力値レジスタ Dx（ODRDx）は 8 ビットの読み出し／書き込み可能なレジスタです。

出力選択レジスタ Dx（OSELRDx）の対応するビットが “1” に設定されているとき、対応する ODRDx の値を各端子（TODxyA、TODxyB）から出力することができます。

ODRDx はリセット時に 00_H に初期化されます。

22.7.2.7 DSTRDx — ダウンカウントスタートレジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 1108_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	DSTDx3	DSTDx2	DSTDx1	DSTDx0
リセット後の値	0	0	0	0	0 注1	0 注1	0 注1	0 注1
R/W	R	R	R	R	R/W	R/W	R/W	R/W

注 1. “0” 書き込み無効。“1” を書き込み時はデータは保持されません。読み出し値は常に “0” になります。

表 22.80 DSTRDx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
3 ～ 0	DSTDxy	ダウンカウントスタートビット 0：何もしない 1：タイマダウンカウンタ Dxy（DCNTDx3-Dx0）のカウント開始

ダウンカウントスタートレジスタ Dx （DSTRDx）は 8 ビットの読み出し／書き込み可能なレジスタです。

ダウンカウンタのスタートビットを持ち、ソフトで値を書き込むことでダウンカウント動作を開始させることができます。

DSTRDx はリセット時に 00_H に初期化されます。

(1) DSTDxy — ダウンカウントスタートビット Dxy

このビットに “1” を書き込むことにより、タイマダウンカウンタ Dxy（DCNTDxy）のカウントを開始することができます。ダウンカウントスタートビットによるダウンカウント開始は、ダウンカウンタコントロールレジスタのスタートトリガの設定に関係なく常に有効です。ただし、コンペアマッチ B もしくはコンペアマッチ A or B によるダウンカウンタの停止が設定されていて、ダウンカウントスタートビットへの “1” 書き込みと、コンペアマッチ B（コンペアマッチ A or B）が同時に発生した場合は、コンペアマッチ B（コンペアマッチ A or B）によるカウント停止が優先されるため、ダウンカウントは開始されません。

DCNTDxy 値が $0000\ 0000_H$ であるときは、ダウンカウントスタートビットへ “1” 書き込みを行ってもダウンカウントは開始されません。

22.7.2.8 DSR1Dx — ダウンカウントステータスレジスタ 1Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 110A$_H$ +（100$_H$ * x）

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	DWFDx3	DWFDx2	DWFDx1	DWFDx0	DSFDx3	DSFDx2	DSFDx1	DSFDx0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.81 DSR1Dx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	DWFDxy	ダウンカウントウェイトフラグ Dxy 0：ダウンカウントコンペアマッチ開始待ち状態が発生していない 1：ダウンカウントコンペアマッチ開始待ち状態が発生した
3 ～ 0	DSFDxy	ダウンカウントステータスフラグ Dxy 0：ダウンカウント停止状態 1：ダウンカウント動作状態

ダウンカウントステータスレジスタ 1Dx（DSR1Dx）は 8 ビットの読み出し専用のレジスタです。このレジスタは、タイマダウンカウンタ Dxy（DCNTDxy）の状態を示すフラグを持っています。

DSR1Dx はリセット時に 00$_H$ に初期化されます。

(1) DWFDxy — ダウンカウントウェイトフラグ Dxy

タイマダウンカウンタ Dxy（DCNTDxy）がカウント開始待ち状態であるかどうかを示すフラグです。ダウンカウンタコントロールレジスタ Dx（DCRDx）の TRGSELDxy ビットで、カウントスタートトリガにコンペアマッチ A&B が設定されている場合にのみ有効なフラグであり、その設定以外でこのフラグに “1” がセットされることはありません。

カウントスタートトリガにコンペアマッチ A&B が設定されていて、DWFDxy が “0” であるとき、コンペアマッチ A、B のいずれか一方が発生すると DWFDxy が “1” にセットされます。この状態で、DWFDxy を “1” セットした要因とは別のコンペアマッチ（コンペアマッチ A で DWFDxy がセットされたのであれば、コンペアマッチ B を指す）が発生するとカウントスタートトリガとして認識され、ダウンカウントが開始されます。このとき、DWFDxy は “0” にクリアされます。

DWFDxy の “1” セットと同じ要因のコンペアマッチが起きても、DWFDxy は “1” のままで、スタートトリガとも認識されません。

コンペアマッチ A および B が同時に発生した場合、すぐにカウントスタートトリガとして認識されますので、ダウンカウント待ち状態となることはなく、DWFDxy が “1” にセットされることはありません。

このフラグは読み出し専用であり、ソフトウェアで “1” をセットしたり、“0” にクリアしたりすることはできません。

- 1 セット条件
  - ダウンカウンタコントロールレジスタ Dx（DCRDx）の TRGSELDxy = 110_B のとき、コンペアマッチ A、あるいはコンペアマッチ B のいずれかが発生したとき。
- 0 クリア条件
  - コンペアマッチ A で DWFDxy が “1” にセットされ、その状態でコンペアマッチ B が発生したとき。
  - コンペアマッチ B で DWFDxy が “1” にセットされ、その状態でコンペアマッチ A が発生したとき。
  - ダウンカウントステータスクリアレジスタ Dx（DSCRDx）の DWFCDxy に “1” を書き込んだとき。

(2) DSFDxy — ダウンカウントステータスフラグ Dxy

タイマダウンカウンタ Dxy（DCNTDxy）動作の有効、無効を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、DCNTDxy のダウンカウント動作は有効であり、ATUENR の TDE ビットが 1 で TSTRD の STRDx ビットが 1 であれば、DCNTDxy がダウンカウント動作中であることがわかります。また、読み出し値が 0 であれば、DCNTDxy はダウンカウント動作無効であり、ダウンカウント停止中であることが分かります。

このフラグは読み出し専用であり、ソフトウェアで “1” をセットしたり、”0” にクリアしたりすることはできません。

- 1 セット条件
  - ダウンカウントスタートレジスタ Dx（DSTRDx）のダウンカウントスタートビットに “1” を書いたとき。
  - ダウンカウントスタートトリガとして設定された条件（コンペアマッチ A、コンペアマッチ B、コンペアマッチ A or B、コンペアマッチ A&B）が発生したとき
- 0 クリア条件
  - ダウンカウンタのアンダフローによってカウント停止したとき。
  - ダウンカウントストップトリガとして設定された条件（コンペアマッチ B、コンペアマッチ A or B）が発生し、ダウンカウンタがカウント停止したとき。

本フラグは、ATUENR の TDE ビットおよび TSTRD の STRDx ビットの設定値にかかわらず、セットされます。よって、TDE ビットまたは STRDn ビットがカウント許可に設定されていなければ、ダウンカウント有効状態であってもダウンカウント停止中であることにご注意ください。クリアはダウンカウントクロックに同期して動作します。

注　意

ダウンカウンタ DCNTDxy 値が H’0000_0000 であるとき、ダウンカウントスタートビット DSTDxy への “1” 書き込みや、コンペアマッチ A、B によるスタートトリガの発生が起きてもダウンカウントはスタートしませんが、ダウンカウンタのクロック入力が “0” の期間は上記ダウンカウントステータスフラグ DSFDxy が “1” になります。ダウンカウンタのクロック入力が “1” になると、DSFDxy は “0” に戻ります。ダウンカウンタのクロック入力が “1” の期間にダウンカウントスタートビットやコンペアマッチ A、B によるスタートトリガが発生した場合は、DSFDxy は “0” のままです。

22.7.2.9 DSR2Dx — ダウンカウントステータスレジスタ 2Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 110B_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	DWRFDx3[1:0]		DWRFDx2[1:0]		DWRFDx1[1:0]		DWRFDx0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.82 DSR2Dx レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	DWRFDxy[1:0]	ダウンカウントウェイトレコードフラグ Dxy 00：コンペアマッチ発生なし 01：コンペアマッチ A 発生によるダウンカウント開始 10：コンペアマッチ B 発生よるダウンカウント開始 11：コンペアマッチ A とコンペアマッチ B が同時発生によるダウンカウント開始

ダウンカウントステータスレジスタ 2Dx（DSR2Dx）は 8 ビットの読み出し専用のレジスタです。

DWRFDxy レジスタは、タイマダウンカウンタ Dxy（DCNTDxy）のカウント動作開始条件を示すフラグです。

タイマダウンカウンタ Dxy（DCNTDxy）のカウント動作開始タイミングでステータスが更新されます。

ダウンカウント開始条件が “A&B” の場合、ダウンカウントが開始（あとに発生したコンペアマッチ）した条件をステータスレジスタに保持します。また、ダウンカウントスタートレジスタ Dx（DSTRDx）によりダウンカウントを開始させた場合、ステータスレジスタは前の値を保持したままになります。

DSR2Dx はリセット時に 00_H に初期化されます。

- 00_B へのクリア条件
  ダウンカウントステータスクリアレジスタ Dx（DSCRDx）の DWRFCDxy に 1 を書き込んだときにクリアされます。

22.7.2.10 DSCRDx — ダウンカウントステータスクリアレジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス　8 ビットアクセス可能

アドレス　FFE6 1109_H +（100_H * x）

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	DWFCDx3	DWFCDx2	DWFCDx1	DWFCDx0	DWRFCDx3	DWRFCDx2	DWRFCDx1	DWRFCDx0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.83　DSCRDx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	DWFCDxy	ダウンカウントウェイトフラグクリアイネーブル Dxy 0：無効（初期値） 1：ダウンカウントステータスレジスタ 1Dx（DSR1Dx）の DWFDxy を 0 にクリアする。
3 ～ 0	DWRFCDxy	ダウンカウントウェイトレコードフラグクリアイネーブル Dxy 0：無効（初期値） 1：ダウンカウントステータスレジスタ 2Dx（DSR2Dx）の DWRFDxy を 0 にクリアする。

ダウンカウントステータスクリアレジスタ Dx（DSCRDx）は 8 ビットの読み出し／書き込み可能なレジスタです。このレジスタは、ダウンカウントステータスレジスタ 1Dx、同 2Dx（DSR1Dx、DSR2Dx）のコンペアマッチ A&B の設定時のコンペアマッチ発生によるフラグのクリア設定を行います。

DSCRDx はリセット時に 00_H に初期化されます。

(1) DWFCDxy — ダウンカウントウェイトフラグクリアイネーブル Dxy

ダウンカウントステータスレジスタ 1Dx（DSR1Dx）のダウンカウントウェイト発生によるフラグのクリア設定をします。

本ビットを 1 に設定することでダウンカウントステータスレジスタ 1Dx（DSR1Dx）のダウンカウントウェイトフラグ Dxy（DWFDxy）をクリアすることが可能です。読み出した場合は常に “0” が読み出せます。

(2) DWRFCDxy — ダウンカウントウェイトレコードフラグクリアイネーブル Dxy

ダウンカウントステータスレジスタ 2Dx（DSR2Dx）のダウンカウントウェイト発生によるフラグのクリア設定をします。

本ビットを 1 に設定することでダウンカウントステータスレジスタ 2Dx（DSR2Dx）のダウンカウントウェイトレコードフラグ Dx（DWRFDxy）をクリアすることが可能です。読み出した場合は常に “0” が読み出せます。

22.7.2.11 DCRDx — ダウンカウンタコントロールレジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビット／ 16 ビットアクセス可能

アドレス $FFE6\ 1102_H$ +（100_H * x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRGSELDx3				TRGSELDx2				TRGSELDx1				TRGSELDx0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.84 DCRDx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TRGSELDx3 ～ TRGSELDx0	ダウンカウントスタート／ストップトリガ選択ビット コンペアマッチ A、およびコンペアマッチ B をタイマダウンカウンタ Dxy（DCNTDxy）のカウント開始、停止条件として設定可能。

ダウンカウンタコントロールレジスタ Dx（DCRDx）は 16 ビットの読み出し／書き込み可能なレジスタです。

このレジスタは、ダウンカウントスタート／ストップトリガ設定ビットを持っており、タイマダウンカウンタ Dxy（DCNTDxy）の開始、停止のトリガとしてコンペアマッチ A、コンペアマッチ B、あるいはコンペアマッチ A or B、コンペアマッチ A & B を設定することができます。

DCRDx はリセット時に 0000_H に初期化されます。

なお、TRGSELDxy ビットの変更はカウンタ停止状態で行ってください。カウンタ動作中にトリガ要因の変更を行った場合の動作は保証できません。

(1) TRGSELDxy — ダウンカウントスタート／ストップトリガ選択ビット Dxy

TRGSELDxy				機能	
[3]	[2]	[1]	[0]	カウントスタートトリガ	カウントストップトリガ
0	0	0	0	なし	なし　（初期値）
0	0	0	1	なし	コンペアマッチ B
0	0	1	0	コンペアマッチ A	なし
0	0	1	1	コンペアマッチ A	コンペアマッチ B
0	1	0	0	コンペアマッチ B	なし
0	1	0	1	設定禁止	設定禁止
0	1	1	0	コンペアマッチ A&B	なし
0	1	1	1	設定禁止	設定禁止
1	0	0	0	設定禁止	設定禁止
1	0	0	1	なし	コンペアマッチ A or B
1	0	1	0	コンペアマッチ A or B	なし
1	0	1	1	コンペアマッチ A or B	コンペアマッチ A or B
1	1	0	0	設定禁止	設定禁止
1	1	0	1	設定禁止	設定禁止
1	1	1	0	設定禁止	設定禁止
1	1	1	1	設定禁止	設定禁止

タイマダウンカウンタ Dxy（DCNTDxy）のカウントスタート、カウントストップのトリガとなる要因を設定するビットです。カウントスタートのトリガには、コンペアマッチ A、コンペアマッチ B、コンペアマッチ A or B、あるいはコンペアマッチ A&B を設定できます。コンペアマッチ A&B はコンペアマッチ A とコンペアマッチ B が両方成立した時ダウンカウントをスタートします（コンペアマッチ A と B は同時発生である必要はありません）。

カウントストップのトリガにはコンペアマッチ B、コンペアマッチ A or B を設定できます。

ダウンカウンタのスタートトリガとしては、ここで設定した要因以外に、ダウンカウンタスタートビットへの “1” 書き込みがあります。ダウンカウンタスタートビットでのカウントスタートは、TRGSELDxy の設定に関わらず常に有効です。

ダウンカウンタのスタートトリガと、ストップトリガとなる要因が同時に発生した場合には、カウントストップが優先されます。

TRGSELDxy ＝ 4’b1011 の設定時はコンペアマッチ A or B がカウントスタートトリガであり、カウントストップトリガです。これは、カウント停止時にトリガが発生するとスタートトリガとなり、カウント動作中にトリガが発生するとストップトリガになることを意味します。コンペアマッチ A or B とはコンペアマッチ A のみ、あるいはコンペアマッチ B のみ、あるいはコンペアマッチ A と B の同時発生を意味します。

注　意

TRGSELDxy ＝ 1010b 設定時、アンダーフローとコンペアマッチ A が同時に発生した場合、アンダーフロー割り込みが発生せずアンダーフローフラグが 1 にセットされません。また、TRGSELDxy ＝ 1010b 設定時、タイマダウンカウンタ Dxy（DCNTDxy）が 00000000_H で停止時に、カウントスタートトリガとコンペアマッチ A が同時に発生した場合、アンダーフロー割り込みが発生せずアンダーフローフラグが 1 にセットされません。この時アンダーフロー発生時のソフトウェア処理を実行するためには、コンペアマッチ A 割り込み処理内で、ダウンカウンタ停止中（DSR1Dx.DSFDxy ＝ 0）かつ割り込みコントローラのアンダーフロー割り込みフラグが 0（EICz.EIRFz ＝ 0）の時のみアンダーフロー割り込みフラグに 1 をライト（EICz.EIRFz ＝ 1）して下さい。ただし、コンペアマッチ A 割り込みの割り込み優先順位を予めアンダーフロー割り込みの優先順位より高く設定して下さい。

22.7.2.12 TSRDx — タイマステータスレジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビット／ 16 ビットアクセス可能

アドレス FFE6 110C_H +（100_H * x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	OVF2Dx	OVF1Dx	UDFDx3	UDFDx2	UDFDx1	UDFDx0	CMFADx3	CMFADx2	CMFADx1	CMFADx0	CMFBDx3	CMFBDx2	CMFBDx1	CMFBDx0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.85 TSRDx レジスタの内容

ビット位置	ビット名	機能
15、14	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
13	OVF2Dx	オーバフローフラグ 2Dx 0：TCNT2Dx でオーバフローなし 1：TCNT2Dx でオーバフロー発生
12	OVF1Dx	オーバフローフラグ 1Dx 0：TCNT1Dx でオーバフローなし 1：TCNT1Dx でオーバフロー発生
11 ～ 8	UDFDx3-UDFDx0	アンダフローフラグ Dx3-Dx0 0：アンダフローなし 1：アンダフロー発生
7 ～ 4	CMFADx3-CMFADx0	コンペアマッチ A フラグ Dx3-Dx0 0：コンペアマッチ A なし 1：コンペアマッチ A 発生
3 ～ 0	CMFBDx3-CMFBDx0	コンペアマッチ B フラグ Dx3-Dx0 0：コンペアマッチ B なし 1：コンペアマッチ B 発生

タイマステータスレジスタ Dx（TSRDx）は 16 ビットの読み出し専用レジスタです。サブブロック Dx（x ＝ 0, 1, 2, 3, 4, 5, 6, 7, 8, 9）のもつ 2 つのタイマカウンタ（TCNT2Dx、TCNT1Dx）のオーバーフローの発生、チャネル 0 ～ 3 のタイマダウンカウンタ Dxy（DCNTDxy）アンダーフロー発生、アウトプットコンペアレ j ジスタ（OCRD1xy、OCR2Dxy）のコンペアマッチ発生を示します。本フラグがセットされた状態で割り込み要因が発生した場合、再度割込み要求を発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

オーバーフローフラグ 2,1、アンダーフローフラグおよびコンペアマッチ A,B フラグは、タイマステータスクリアレジスタ Dx（TSCRDx）の対応するビットを設定することによりフラグをクリアすることができます。また、コンペアマッチ A、コンペアマッチ B は各々 20 本（サブブロック D0、D2、D4、D6、D9）のパルス出力を、AD の変換起動トリガとして利用可能です。

TSRDx はリセット時に 0000_H に初期化されます。

(1) OVF2Dx — オーバフローフラグ 2Dx

OVF2Dx	機能
0	[クリア条件] タイマステータスクリアレジスタ Dx（TSCRDx）の OVFC2Dx ビットに 1 を書き込んだとき。（初期値）
1	[セット条件] • TCNT2Dx の値がオーバフロー（FFFF $FFFF_H$ → 0000 0000_H）したとき。 • 上限値設定機能有効時でカウンタのクリアが発生したとき。

このフラグはタイマカウンタ 2Dx（TCNT2Dx）のオーバフローの発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、TCNT2Dx のオーバフローが発生したことを示します。このフラグをソフトウエアにより “1” にセットすることはできません。

オーバフローフラグは TCNT2Dx が FFFF $FFFF_H$ の状態でカウントアップクロックが入力されたときと、上限値設定機能が有効なときに、カウンタと上限値設定レジスタが一致した次のクロックでセットします。TCNT2Dx への 0000 0000_H 書き込み、TCNT2Dx 初期値（0000 0000_H）で起動しても OVF2Dx はセットされません。

カウンタ値が FFFF $FFFF_H$ の状態で、カウントアップクロックと同時に TCNT2Dx への書き込みを行った場合、オーバフローフラグは “1” にセットされますが、TCNT2Dx 値は 0000 0000_H ではなく、書き込まれた値に更新されます。

タイマ B からのカウンタクリアとカウントアップによるオーバフローが同時に発生した場合、オーバフローは検出されません。しかし、タイマ B からのカウンタクリアと上限値設定機能有効時でカウンタのクリアが同時に発生した場合は、オーバフローとして検出されます。

(2) OVF1Dx — オーバフローフラグ 1Dx

OVF1Dx	機能
0	[クリア条件] タイマステータスクリアレジスタ Dx（TSCRDx）の OVFC1Dx ビットに 1 を書き込んだとき。（初期値）
1	[セット条件] • TCNT1Dx の値がオーバフロー（FFFF $FFFF_H$ → 0000 0000_H）したとき。 • 上限値設定機能有効時でカウンタのクリアが発生したとき。

このフラグはタイマカウンタ 1Dx（TCNT1Dx）のオーバフローの発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、TCNT1Dx のオーバフローが発生したことを示します。このフラグをソフトウエアにより “1” にセットすることはできません。

オーバフローフラグは TCNT1Dx が FFFF $FFFF_H$ の状態でカウントアップクロックが入力されたときと、上限値設定機能が有効なときに、カウンタと上限値設定レジスタが一致した次のクロックでセットします。TCNT1Dx への 0000 0000_H 書き込み、TCNT1Dx 初期値（0000 0000_H）で起動しても OVF1Dx はセットされません。

カウンタ値が FFFF $FFFF_H$ の状態で、カウントアップクロックと同時に TCNT1Dx への書き込みを行った場合、オーバフローフラグは “1” にセットされますが、TCNT1Dx 値は 0000 0000_H ではなく、書き込まれた値に更新されます。

タイマ B からのカウンタクリアとカウントアップによるオーバフローが同時に発生した場合、オーバフローは検出されません。しかし、タイマ B からのカウンタクリアと上限値設

定機能有効時でカウンタのクリアが同時に発生した場合は、オーバフローとして検出されます。

(3) UDFDxy — アンダフローフラグ Dxy

UDFDxy	機能
0	[クリア条件] タイマステータスクリアレジスタ Dx（TSCRDx）の UDFCDxy ビットに 1 を書き込んだとき。（初期値）
1	[セット条件] DCNTDxy の値がアンダフロー（ カウンタ値が 0000 0000_H の状態で次のダウンカウントクロックが入力 ）したとき。

このフラグはサブブロック Dx、チャネル y のダウンカウンタ Dxy のアンダフローの発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、DCNTDxy のアンダフローが発生したことを示します。このフラグをソフトウエアにより “1” にセットすることはできません。

アンダフローフラグは DCNTDxy が 0000 0000_H の状態でダウンカウントクロックが入力されたときにセットされます。アンダフロー検出時、DCNTDxy は 0000 0000_H のまま変化しません。また、DCNTDxy に FFFF $FFFF_H$ を書き込んでもアンダフローフラグはセットされません。

リセット直後のアンダフローフラグは 0 です。（DCNTDxy の値は初期値の 0000 0000_H ですが、DCNTDxy が未動作状態のため、アンダフローを検出しません。DCNTDxy 動作制御はタイマダウンカウンタの項を参照願います。）

(4) CMFADxy — コンペアマッチ A フラグ Dxy

CMFADxy	機能
0	[クリア条件] タイマステータスクリアレジスタ Dx（TSCRDx）の CMFCADxy ビットに 1 を書き込んだとき。（初期値）
1	[セット条件] アウトプットコンペアレジスタ 1Dxy（OCR1Dxy）がコンペアマッチ許可と設定されている場合に、タイマカウンタ 1Dx（TCNT1Dx）の値が OCR1Dxy と等しくなったとき。

サブブロック Dx、チャネル y のアウトプットコンペアレジスタ 1Dxy（OCR1Dxy）のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、TCNT1Dx と OCR1Dxy のコンペアマッチが発生したことを示します。このフラグをソフトウエアにより “1” にセットすることはできません。

タイマ I/O コントロールレジスタ 1Dx（TIOR1Dx）の設定により、OCR1Dxy がコンペアマッチ許可と設定されていれば、TCNT1Dx の動作状態に関係なく、TCNT1Dx と OCR1Dxy の値が一致したとき、次の PCLK サイクルでコンペアマッチ A フラグがセットされます。コンペアマッチ A 検出後、TCNT1Dx、OCR1Dxy の値が一致したままの状態で、コンペアマッチ A ステータスをクリアしても新たにステータスはセットされません。

また、AD 起動用にコンペアマッチ A 検出を示す 1PCLK 幅のパルスを出力します（サブブロック D0、D2、D4、D6、D9 の計 20 チャネルのみ対応）。

本ステータスをクリアせず “1” の状態のままであっても、新たに TCNT1Dx と OCR1Dxy が一致すればコンペアマッチ A を検出します。ステータスは “1” を上書きします。

(5) CMFBDxy — コンペアマッチ B フラグ Dxy

CMFBDxy	機能
0	[クリア条件] タイマステータスクリアレジスタ Dx（TSCRDx）の CMFCBDx y ビットに 0 を書き込んだとき。（初期値）
1	[セット条件] アウトプットコンペアレジスタ 2Dxy（OCR2Dxy）がコンペアマッチ許可として設定されている場合で、タイマカウンタ 2Dx（TCNT2Dx）の値が OCR2Dxy と等しくなったとき。

このフラグはサブブロック Dx、チャネル y のアウトプットコンペアレジスタ 2Dxy（OCR2Dxy）のコンペアマッチ発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、TCNT2Dx と OCR2Dxy のコンペアマッチが発生したことを示します。このフラグをソフトウエアにより “1” にセットすることはできません。

タイマ I/O コントロールレジスタ 2Dx（TIOR2Dx）の設定により、OCR2Dxy がコンペアマッチ許可と設定されていれば、TCNT2Dx の動作状態に関係なく、TCNT2Dx と OCR2Dxy の値が一致したとき、次の PCLK サイクルでコンペアマッチ B フラグがセットされます。コンペアマッチ B 検出後、TCNT2Dx、OCR2Dxy の値が一致したままの状態で、コンペアマッチ B ステータスをクリアしても新たにステータスはセットされません。

また、AD 起動用にコンペアマッチ B 検出を示す 1PCLK 幅のパルスを出力します（サブブロック D0、D2、D4、D6、D9 の計 20 チャネルのみ対応）。

本ステータスをクリアせず “1” の状態のままであっても、新たに TCNT2Dx と OCR2Dxy が一致すればコンペアマッチ B を検出します。ステータスは “1” を上書きします。

22.7.2.13 TSCRDx — タイマステータスクリアレジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビット／ 16 ビットアクセス可能
"0" 書き込み無効。"1" 書き込み時はデータは保持されません。読み出し値は常に "0" になります。

アドレス FFE6 110E_H +（100_H * x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	OVFC2Dx	OVFC1Dx	UDFCDx3	UDFCDx2	UDFCDx1	UDFCDx0	CMFCADx3	CMFCADx2	CMFCADx1	CMFCADx0	CMFCBDx3	CMFCBDx2	CMFCBDx1	CMFCBDx0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.86 TSCRDx レジスタの内容

ビット位置	ビット名	機能
15、14	—	何も配置されていません。読み出した場合は "0" が読み出されます。 書き込みの場合は必ず "0" を書き込んでください。
13	OVFC2Dx	オーバフローフラグクリアイネーブル 2Dx 0：無効（初期値） 1：タイマステータスレジスタ Dx（TSRDx）の OVF2Dx を 0 にクリアする。
12	OVFC1Dx	オーバフローフラグクリアイネーブル 1Dx 0：無効（初期値） 1：タイマステータスレジスタ Dx（TSRDx）の OVF1Dx を 0 にクリアする。
11 ～ 8	UDFCDx3-UDFCDx0	アンダフローフラグクリアイネーブル Dx3-Dx0 0：無効（初期値） 1：タイマステータスレジスタ Dx（TSRDx）の UDFDx3-UDFDx0 を 0 にクリアする。
7 ～ 4	CMFCADx3-CMFCADx0	コンペアマッチ A フラグクリアイネーブル Dx3-Dx0 0：無効（初期値） 1：タイマステータスレジスタ Dx（TSRDx）の CMFADx3-CMFADx0 を 0 にクリアする。
3 ～ 0	CMFCBDx3-CMFCBDx0	コンペアマッチ B フラグクリアイネーブル Dx3-Dx0 0：無効（初期値） 1：タイマステータスレジスタ Dx（TSRDx）の CMFBDx3-CMFBDx0 を 0 にクリアする。

タイマステータスクリアレジスタ Dx（TSCRDx）は、16 ビットの読み出し／書き込み可能なレジスタです。2 つの 32 ビットアップカウンタ（TCNT2Dx、TCNT1Dx）のオーバフロー、TCNT1Dx とアウトプットコンペアレジスタ 1Dxy（OCR1Dxy）とのコンペアマッチ、および TCNT2Dx とアウトプットコンペアレジスタ 2Dxy（OCR2Dxy）とのコンペアマッチ発生によるフラグのクリア設定を行います。

TSCRDx はリセット時に 0000_H に初期化されます。

(1) OVFC2Dx — オーバフローフラグクリアイネーブル 2Dx

タイマカウンタ 2Dx（TCNT2Dx）のオーバフロー発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Dx（TSRDx）のオーバフローフラグ 2Dx（OVF2Dx）をクリアすることが可能です。読み出した場合は常に “0” が読み出せます。

OVFC2Dx	機能
0	無効　（初期値）
1	OVF2Dx を 0 にクリアします。

(2) OVFC1Dx — オーバフローフラグクリアイネーブル 1Dx

タイマカウンタ 1Dx（TCNT1Dx）のオーバフロー発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Dx（TSRDx）のオーバフローフラグ 1Dx（OVF1Dx）をクリアすることが可能です。読み出した場合は常に “0” が読み出せます。

OVFC1Dx	機能
0	無効　（初期値）
1	OVF1Dx を 0 にクリアします。

(3) UDFCDxy — アンダフローフラグクリアイネーブル Dxy

タイマダウンカウンタ Dxy（DCNTDxy）のアンダフロー発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Dx（TSRDx）のアンダフローフラグ Dxy（UDFDxy）をクリアすることが可能です。読み出した場合は常に “0” が読み出せます。

UDFCDxy	機能
0	無効　（初期値）
1	UDFDxy を 0 にクリアします。

(4) CMFCADxy — コンペアマッチ A フラグクリアイネーブル Dxy

アウトプットコンペアレジスタ 1Dxy（OCR1Dxy）のコンペアマッチ発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Dx（TSRDx）のコンペアマッチ A フラグ Dxy（CMFADxy）をクリアすることが可能です。読み出した場合は常に “0” が読み出せます。

CMFCADxy	機能
0	無効　（初期値）
1	CMFADxy を 0 にクリアします。

(5) CMFCBDxy — コンペアマッチ B フラグクリアイネーブル Dxy

アウトプットコンペアレジスタ 2Dxy（OCR2Dxy）のコンペアマッチ発生によるフラグのクリア設定をします。
本ビットを設定することでタイマステータスレジスタ Dx（TSRDx）のコンペアマッチ B フラグ Dxy（CMFBDxy）をクリアすることが可能です。読み出した場合は常に “0” が読み出せます。

CMFCBDxy	機能
0	無効　（初期値）
1	CMFBDxy を 0 にクリアします。

22.7.2.14 TOCRDx — タイマアウトプットコントロールレジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 1110_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TONEBDx	TONEADx
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 22.87 TOCRDx レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
1	TONEBDx	出力反転セレクト TODxyB 0：TODxyB から通常出力 1：TODxyB からの出力信号を反転
0	TONEADx	出力反転セレクト TODxyA 0：TODxyA から通常出力 1：TODxyA からの出力信号を反転

タイマアウトプットコントロールレジスタ Dx（TOCRD0 ～ TOCRD9）は、8 ビットの読み出し／書き込み可能なレジスタです。各サブブロック Dx の持つ出力ピン TODxyA、TODxyB の信号を反転するか否かを設定します。

リセット時には 00_H に初期化されます。

(1) TONEBDx、TONEADx — 出力反転セレクト Dx

TODxyB、TODxyA からの出力を反転するか否かを設定します。

TONEBDx	機能
0	出力ピン（TODxyB）から通常出力 （初期値）
1	出力ピン（TODxyB）から反転信号を出力

TONEADx	機能
0	出力ピン（TODxyA）から通常出力 （初期値）
1	出力ピン（TODxyA）から反転信号を出力

出力反転セレクト Dx ビットを変更すると、次の PCLK クロックサイクルで TODxyB、TODxyA の出力が反転します。

タイマカウンタ 1Dx、2Dx（TCNT1Dx、TCNT2Dx）の動作／停止状態は出力反転切り替えに影響を与えません。

TONEBDx はサブブロック Dx のもつ 4 出力（TODx0B、TODx1B、TODx2B、TODx3B）全てを制御します。TONEADx も同様に 4 出力（TODx0A、TODx1A、TODx2A、TODx3A）全てを共通に制御します。TODxyB、TODxyA ともにチャネル単位での制御は出来ません。初期状態（TONEADx ＝ 0、TONEBDx ＝ 0）での TODxyA、TODxyB 出力は 0 です。

TODxyA（TODxyB）の通常出力の変化タイミングと、このビットの設定タイミングが重なった場合、グリッジが発生する場合があります。コンペアマッチが発生する近傍のカウンタ値において、このビットを書き換えないようご注意ください。

22.7.2.15 OSBRDx — タイマオフセットベースレジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応）

アクセス　32 ビットリードアクセス対応　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス　FFE6 1118$_H$ +（100$_H$ * x）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSBRD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSBRD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1.　本レジスタへの書き込みはできません。

タイマオフセットベースレジスタ Dx（OSBRDx）は 32 ビット読出し専用レジスタです。インプットキャプチャ専用レジスタで、タイマ A からのトリガ信号、DFE からの PH 更新通知トリガ 0, 1 によりタイマカウンタ 1Dx（TCNT1Dx）の値をキャプチャし格納します。タイマ A からのトリガ信号は TIA00 ～ TIA06 から選択可能で、外部入力信号の TID0、TID1 はタイマインプットキャプチャトリガ選択レジスタ Dx（TICTSELDx）にて選択可能です。詳細はタイマコントロールレジスタ 1A、3A、4 A（TCR1A、TCR3A、TCR4A）とタイマインプットキャプチャトリガ選択レジスタ Dx（TICTSELDx）を参照願います。

リセット時に 0000 0000$_H$ に初期化されます。

22.7.2.16 TICTSELDx — タイマインプットキャプチャトリガ選択レジスタ Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応）

アクセス　8 ビットアクセス可能

アドレス　FFE6 1114_H +（100_H * x）

リセット後の値　$0X_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TIDSELDx[1:0]	
リセット後の値	0	0	0	0	0	0	0	注 1
R/W	R	R	R	R	R	R	R/W	R/W

注 1.　サブブロックによって変化します。
x = 0 ～ 2：0
x = 3 ～ 9：1

タイマインプットキャプチャトリガ選択レジスタ Dx（TICTSELDx）は 8 ビットの読み出し／書き込み可能なレジスタです。

タイマ A からのイベント 2A、2B、外部入力信号の DFE からの PH 更新通知トリガ 0、DFE からの PH 更新通知トリガ 1 を選択可能なレジスタで、TCNT1Dx カウンタの値を OSBRDx レジスタにキャプチャします。

表 22.88　TICTSELDx レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
1、0	TIDSELDx [1:0]	00：イベント 2A 01：イベント 2B 10：DFE からの PH 更新通知トリガ 0 11：DFE からの PH 更新通知トリガ 1

備考　x ＝ 0 ～ 9

22.7.2.17 TCNT1Dx — タイマカウンタ 1Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応）

アクセス　32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス　FFE6 1120_H +（100_H * x）

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCNT1D[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNT1D[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ 1Dx（TCNT1Dx）は 32 ビットの読み出し／書き込み可能なレジスタです。

タイマコントロールレジスタ（TCRDx）の CKSEL1Dx[2:0] ビットにより選択されたカウントクロックによりカウント動作を行います。タイマスタートレジスタ D（TSTRD）の対応するビットを 1 にセットするとカウントを開始します。

タイマがオーバフローすると、オーバフロー割り込み要求を CPU へ出力することができます。

タイマステータスレジスタ Dx（TSRDx）のオーバフローフラグ 1Dx（OVF1Dx）に 1 がセットされます。

リセット時に $0000\ 0000_H$ に初期化されます。

22.7.2.18 TCNT2Dx — タイマカウンタ 2Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応）

アクセス　32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス　FFE6 1124_H +（100_H * x）

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCNT2D[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNT2D[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ 2Dx（TCNT2Dx）は 32 ビットの読み出し／書き込み可能なレジスタです。

タイマコントロールレジスタ Dx（TCRDx）の CKSEL2Dx[2:0] ビットにより選択されたカウントクロックによりカウント動作を行います。タイマスタートレジスタ D（TSTRD）の対応するビットを 1 にセットするとカウントを開始します。

タイマがオーバフローすると、オーバフロー割り込み要求を CPU へ出力することができます。

タイマステータスレジスタ Dx（TSRDx）のオーバフローフラグ 2Dx（OVF2Dx）に 1 がセットされます。

リセット時に $0000\ 0000_H$ に初期化されます。

22.7.2.19 CUCR1Dx — カウンタ上限値設定コンペアレジスタ 1Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応）

アクセス　32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス　FFE6 1128_H +（100_H * x）

リセット後の値　FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CUCR1D[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CUCR1D[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

カウンタ上限値設定コンペアレジスタ 1Dx（CUCR1Dx）は 32 ビットの読み出し／書き込み可能なレジスタで、TCNT1Dx タイマカウンタ 1Dx に対するコンペアレジスタの機能を持っています。本レジスタは、タイマコントロールレジスタ Dx（TCRDx）の TCNT1Dx クリア設定ビット（CLR1Dx）を “1” に設定することで、タイマカウンタ 1Dx（TCNT1Dx）とのコンペアマッチが許可されます。タイマカウンタ 1Dx（TCNT1Dx）とカウンタ上限値設定コンペアレジスタ 1Dx（CUCR1Dx）のコンペアマッチにより、タイマカウンタ 1Dx（TCNT1Dx）を 0000 0000_H にクリアします。このコンペアマッチがタイマカウンタ 1Dx（TCNT1Dx）のカウントアップと同時に発生した場合、タイマカウンタ 1Dx（TCNT1Dx）を 0000 0001_H にクリアします。

タイマカウンタ 1Dx（TCNT1Dx）とカウンタ上限値設定コンペアレジスタ 1Dx（CUCR1Dx）のコンペアマッチにより、タイマステータスレジスタ Dx（TSRDx）の OVF1Dx ビットを 1 にセットし、オーバフロー割り込みを出力します。

オーバフロー割り込みの出力幅は、PCLK の 1 クロック幅となります。

カウンタ上限値設定コンペアレジスタ 1Dx（CUCR1Dx）による OCR1Dxy のコンペアマッチの発生条件は、

$$CUCR1Dx \geqq OCR1Dxy$$

となります。

CUCR1Dx には 0000 0000_H を設定しないでください。0000 0000_H を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

22.7.2.20 CUCR2Dx — カウンタ上限値設定コンペアレジスタ 2Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応）

アクセス　32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス　FFE6 112C_H +（100_H * x）

リセット後の値　FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CUCR2D[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CUCR2D[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

カウンタ上限値設定コンペアレジスタ 2Dx（CUCR2Dx）は 32 ビットの読み出し／書き込み可能なレジスタで、TCNT2Dx タイマカウンタに対するコンペアレジスタの機能を持っています。本レジスタは、タイマコントロールレジスタ Dx（TCRDx）の TCNT2Dx クリア設定ビット（CLR2Dx）を “1” に設定することで、タイマカウンタ 2Dx（TCNT2Dx）とのコンペアマッチが許可されます。タイマカウンタ 2Dx（TCNT2Dx）とカウンタ上限値設定コンペアレジスタ 2Dx（CUCR2Dx）のコンペアマッチにより、タイマカウンタ 2Dx（TCNT2Dx）を 0000 0000_H にクリアします。このコンペアマッチがタイマカウンタ 2Dx（TCNT2Dx）のカウントアップと同時に発生した場合、タイマカウンタ 2Dx（TCNT2Dx）を 0000 0001_H にクリアします。

タイマカウンタ 2Dx（TCNT2Dx）とカウンタ上限値設定コンペアレジスタ 2Dx（CUCR2Dxy）のコンペアマッチにより、タイマステータスレジスタ Dx（TSRDx）の OVF2Dx ビットを 1 にセットし、オーバフロー割り込みを出力します。

オーバフロー割り込みの出力幅は、PCLK の 1 クロック幅となります。

カウンタ上限値設定コンペアレジスタ 2Dx（CUCR2Dx）による OCR2Dxy のコンペアマッチの発生条件は、

CUCR2Dx ≧ OCR2Dxy

となります。

CUCR2Dx には 0000 0000_H を設定しないでください。0000 0000_H を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

22.7.2.21 OCR1Dxy — アウトプットコンペアレジスタ 1Dxy

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス　32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス　FFE6 1140$_H$ +（100$_H$ * x）+（20$_H$ * y）

リセット後の値　FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OC1D[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OC1D[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットコンペアレジスタ 1Dxy（OCR1Dxy）は 32 ビットの読み出し／書き込み可能なレジスタです。OCR1Dxy はタイマカウンタ 1Dx（TCNT1Dx）と常に比較されており、TIOR1Dx レジスタの IOADxy ビットでコンペアマッチ許可に設定されていれば、TCNT1Dx の値と OCR1Dxy の値との一致を検出し、次の PCLK に同期して TSRDx レジスタの CMFADxy ビット（コンペアマッチ A フラグ）の “1” セットを行います。このとき、OSSDxy ビットでコンペアマッチ A が出力要因に設定されていれば、TODxyA 端子へのコンペアマッチ出力も行います。

また、DCRDx の TRGSELDxy ビットでコンペアマッチ A がダウンカウントスタートトリガに設定されていれば、コンペアマッチ A の検出と同時に DCNTDxy はダウンカウント可能状態となります。

ダウンカウント可能状態になると、DCNTDxy はダウンカウント用クロックに同期してダウンカウントを行います。また、ダウンカウント開始と同時に TODxyB 出力をアサート（ワンショットパルス出力開始）します。ただし、コンペアマッチ A と、ダウンカウントストップトリガに設定されたコンペアマッチ B が同時に発生した場合は、出力遮断が優先されパルスを出力せずに終了します。

TCNT1Dx がカウンタオーバフローで FFFF_FFFF$_H$ から 0000_0000$_H$ に変化したとき、OCR1Dxy に 0000_0000$_H$ が設定されていればコンペアマッチを検出します。

カウンタ上限値設定機能（**「22.7.3　動作説明」**参照）を使用し、カウントクロックとしてクロックバス 5 または 6、もしくは分周比が 1/1 のプリスケーラを選択する場合、タイマカウンタ値は 1 ～ CUCR1Dx 値の間でカウントしカウンタ値が 0000 0000$_H$ とならないことがあるため、本レジスタには 0000 0000$_H$ を設定しないでください。

コンペアマッチ A 検出により、CPU への割り込みを発生させることができます。また、サブブロック 0、2、4、6、9 は AD 起動トリガも発生することができます。

範囲コンペア機能有効時（RCR1Dx = 0 以外）、コンペア一致したタイミングの TCNT1Dx を OCR1Dxy に格納します。

リセット時に FFFF FFFF$_H$ に初期化されます。

22.7.2.22 RCR1Dx — 範囲コンペア値設定レジスタ 1Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 1130_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RC1D[4:0]				
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

範囲コンペア値設定レジスタ 1Dx（RCR1Dx）は 8 ビットの読み出し／書き込み可能なレジスタです。本レジスタの設定により、OCR1Dxy への書き込み動作時に TCNT1Dx の値が OCR1Dxy ≦ TCNT1Dx ≦（OCR1Dxy + “RCR1Dx で指定された範囲値 ”）の範囲であれば、OCR1Dxy と TCNT1Dx のコンペアマッチ A が発生します。RCR1Dx はリセット時に 00_H に初期化されます。

本機能は、RCR1Dx を 00_H 以外の設定にした場合に有効になり、OCR1Dxy に書き込みをした時のみ判定を行います。

TCNT1Dx クリア設定ビット 1Dx（CLR1Dx）を 1 に設定する場合には、RCR1Dx は、00_H に設定してください。

範囲コンペアとして設定できる範囲は、以下のとおりです（2 のべき乗の値（RCR1Dx = 0 のときのみ例外））

RCR1Dx[4:0] 設定値	選択される範囲	備考
00000	無し	範囲コンペア無効（初期値）
00001	$2^1–1$	—
00010	$2^2–1$	—
00011	$2^3–1$	—
00100	$2^4–1$	—
00101	$2^5–1$	—
00110	$2^6–1$	—
00111	$2^7–1$	—
01000	$2^8–1$	—
01001	$2^9–1$	—
01010	$2^{10}–1$	—
01011	$2^{11}–1$	—
01100	$2^{12}–1$	—
01101	$2^{13}–1$	—
01110	$2^{14}–1$	—
01111	$2^{15}–1$	—
10000	$2^{16}–1$	—
10001	$2^{17}–1$	—
10010	$2^{18}–1$	—
10011	$2^{19}–1$	—
10100	$2^{20}–1$	—
10101	$2^{21}–1$	—
10110	$2^{22}–1$	—
10111	$2^{23}–1$	—
11000	$2^{24}–1$	—
11001	$2^{25}–1$	—
11010	$2^{26}–1$	—
11011	$2^{27}–1$	—
11100	$2^{28}–1$	—
11101	$2^{29}–1$	—
11110	$2^{30}–1$	—
11111	$2^{31}–1$	—

22.7.2.23 OCR2Dxy — アウトプットコンペアレジスタ 2Dxy

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス　32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス　FFE6 1148$_H$ +（100$_H$ * x）+（20$_H$ * y）

リセット後の値　FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OC2D[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OC2D[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットコンペアレジスタ 2Dxy（OCR2Dxy）は 32 ビットの読み出し／書き込み可能なレジスタです。OCR2Dxy はタイマカウンタ T2Dx（CNT2Dx）と常に比較されており、TIOR2Dx レジスタの IOBDxy ビットでコンペアマッチ許可に設定されていれば、TCNT2Dx の値と OCR2Dxy の値との一致を検出し、次の PCLK に同期して、OSSDxy ビットでコンペアマッチ B が出力要因に設定されていれば、TODxyA 端子へのコンペアマッチ出力も行います。

また、DCRDx の TRGSELDxy ビットでコンペアマッチ B がダウンカウントスタートトリガに設定されていれば、コンペアマッチ B の検出と同時に DCNTDxy はダウンカウント可能状態となります。

ダウンカウント可能状態になると、DCNTDxy はダウンカウント用クロックに同期してダウンカウントを行います。また、ダウンカウント開始と同時に TODxyB 出力をアサート（ワンショットパルス出力開始）します。

DCRDx の TRGSELDxy ビットでコンペアマッチ B がダウンカウントストップトリガに設定されていれば、コンペアマッチ B 検出によってダウンカウント可能状態でなくなります。その後、次のダウンカウント用クロックに同期してダウンカウンタのゼロクリア、TODxyB 出力ネゲート（ワンショットパルス終了）を行います。

TCNT2Dx がカウンタオーバフローで FFFF FFFF$_H$ から 0000 0000$_H$ に変化したとき、OCR2Dxy に 0000 0000$_H$ が設定されていればコンペアマッチを検出します。

カウンタ上限値設定機能（**「22.7.3　動作説明」**参照）を使用し、カウントクロックとしてクロックバス 5 または 6、もしくは分周比が 1/1 のプリスケーラを選択する場合、タイマカウンタ値は 1 ～ CUCR2Dx 値の間でカウントしカウンタ値が 0000 0000$_H$ とならないことがあるため、本レジスタには 0000 0000$_H$ を設定しないでください。

コンペアマッチ B 検出により、CPU への割り込みを発生させることができます。また、サブブロック 0、2、4、6、9 は AD 起動トリガも発生することができます。

範囲コンペア機能有効時（RCR2Dx = 0 以外）、コンペア一致したタイミングの TCNT2Dx を OCR2Dxy に格納します。

リセット時に FFFF FFFF$_H$ に初期化されます。

22.7.2.24 RCR2Dx — 範囲コンペア値設定レジスタ 2Dx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 1134_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RC2D[4:0]				
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

範囲コンペア値設定レジスタ 2Dx（RCR2Dx）は 8 ビットの読み出し／書き込み可能なレジスタです。本レジスタの設定により、OCR2Dxy への書き込み動作時に TCNT2Dx の値が OCR2Dxy ≦ TCNT2Dx ≦（OCR2Dxy + “RCR2Dx で指定された範囲値 ”）の範囲であれば、OCR2Dxy と TCNT2Dx のコンペアマッチ B が発生します。RCR2Dx はリセット時に 00_H に初期化されます。

本機能は、RCR2Dx を 00_H 以外の設定にした場合に有効になり、OCR2Dxy に書き込みをした時のみ判定を行います。

TCNT2Dx クリア設定ビット 2Dx（CLR2Dx）を 1 に設定する場合には、RCR2Dx は、00_H に設定してください。

範囲コンペアとして設定できる範囲は、以下のとおりです（2 のべき乗の値（RCR2Dx = 0 のときのみ例外））

RCR2Dx[4:0]	選択される範囲	備考
00000	無し	範囲コンペア無効（初期値）
00001	$2^1–1$	—
00010	$2^2–1$	—
00011	$2^3–1$	—
00100	$2^4–1$	—
00101	$2^5–1$	—
00110	$2^6–1$	—
00111	$2^7–1$	—
01000	$2^8–1$	—
01001	$2^9–1$	—
01010	$2^{10}–1$	—
01011	$2^{11}–1$	—
01100	$2^{12}–1$	—
01101	$2^{13}–1$	—
01110	$2^{14}–1$	—
01111	$2^{15}–1$	—
10000	$2^{16}–1$	—
10001	$2^{17}–1$	—
10010	$2^{18}–1$	—
10011	$2^{19}–1$	—
10100	$2^{20}–1$	—
10101	$2^{21}–1$	—
10110	$2^{22}–1$	—
10111	$2^{23}–1$	—
11000	$2^{24}–1$	—
11001	$2^{25}–1$	—
11010	$2^{26}–1$	—
11011	$2^{27}–1$	—
11100	$2^{28}–1$	—
11101	$2^{29}–1$	—
11110	$2^{30}–1$	—
11111	$2^{31}–1$	—

22.7.2.25 ICR1Dxy — インプットキャプチャレジスタ 1Dxy

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス　32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス　FFE6 1150_H +（100_H * x）+（20_H * y）

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC1D[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IC1D[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

インプットキャプチャレジスタ 1Dxy（ICR1Dxy）は 32 ビットの読み出し専用のレジスタで、初期値は $0000\ 0000_H$ に設定されています。コンペアマッチ B の発生をトリガとして TCNT1Dx のカウント値を ICR1Dxy にキャプチャします。

ICR1Dxy はリセット時に $0000\ 0000_H$ に初期化されます。

22.7.2.26 ICR2Dxy — インプットキャプチャレジスタ 2Dxy

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス FFE6 1154_H +（100_H * x）+（20_H * y）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC2D[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IC2D[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

インプットキャプチャレジスタ 2Dxy（ICR2Dxy）は 32 ビットの読み出し専用のレジスタで、初期値は $0000\ 0000_H$ に設定されています。コンペアマッチ A の発生をトリガとして TCNT2Dx のカウント値を ICR2Dxy にキャプチャします。

ICR2Dxy はリセット時に $0000\ 0000_H$ に初期化されます。

22.7.2.27 DCNTDxy — タイマダウンカウンタ Dxy

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック D0 ～ D9 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 32 ビットアクセス可能 8 ビットアクセス／ 16 ビットアクセス禁止

アドレス FFE6 1158$_H$ +（100$_H$ * x）+（20$_H$ * y）

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマダウンカウンタ Dxy （DCNTDxy）は 32 ビットの読み出し／書き込み可能なレジスタです。

タイマコントロールレジスタ Dx（TCRDx）の DCSELDx[2:0] ビットにより選択したクロックによりカウント動作を行います。

DCNTDxy の動作は、ダウンカウンタコントロールレジスタ Dx（DCRDx）によって制御することができます。コンペアマッチ A 検出、コンペアマッチ B 検出、コンペアマッチ A or B 検出、コンペアマッチ A & B 検出、あるいは DSTRDx レジスタの DSTDxy ビットへの “1” 書き込みによってダウンカウントを開始します。ダウンカウントが許可されている期間中、ダウンカウントクロックが入力されるたびにダウンカウントを行います。DCNTDxy のアンダフローでカウント停止、コンペアマッチ B 検出もしくはコンペアマッチ A or B 検出によりカウントを停止させることができます。ダウンカウンタのアンダフローによる停止時は、CPU にダウンカウンタアンダフロー割り込み要求、および DMA 転送要求を発生することができます。

ダウンカウント動作は、TCNT1Dx と OCR1Dxy が同じ値となった次の PCLK（コンペアマッチ A 検出と同じタイミング）、TCNT2Dx と OCR2Dxy が同じ値となった次の PCLK（コンペアマッチ B 検出と同じタイミング）、あるいは DSTDxy ビットが “1” になったときから許可されます。そこから DCNTDxy がアンダフローするまでの間、あるいは TCNT1Dx と OCR1Dxy が同じ値となった次の PCLK（コンペアマッチ A 検出と同じタイミング）、TCNT2Dx と OCR2Dxy が同じ値となった次の PCLK（コンペアマッチ B 検出と同じタイミング）までの間がダウンカウント許可状態となります。その間にダウンカウントクロックが入力されればダウンカウントを行います。

いったん許可状態になれば、DCNTDxy のアンダフロー、コンペアマッチ B、あるいはコンペアマッチ A or B の検出（カウントストップトリガに設定されているとき）までは、ダウンカウント許可状態が継続します。許可状態において、再度カウントスタートトリガ要因が発生したり、DSTDxy ビットへの “1” 書き込みが行われたりしても、許可状態に変化はありません。

コンペマッチ B、もしくはコンペアマッチ A or B を検出（カウントストップトリガに設定されているとき）すると、次のダウンカウント用クロックに同期してダウンカウントを停止

し、カウンタ値は $0000\ 0000_H$ にクリアされます。コンペアマッチ A や DSTDxy への “1” 書き込みによるダウンカウント開始と、コンペアマッチ B によるダウンカウント停止を同時に検出した場合には、カウント停止が優先されます。このとき、ダウンカウント動作は行われずに終了し、TODxyB は出力されません。また、コンペアマッチ A や DSTDxy への “1” 書き込みによるダウンカウント開始と、コンペアマッチ B 発生によるカウント停止の間に、一度もダウンカウントクロックの入力がない場合もダウンカウントを行わずに終了します。

ダウンカウント停止状態では DCNTDxy 値にかかわらずダウンカウント動作を行いません。アンダフローでダウンカウント終了したあと、DCNTDxy に新たに $0000\ 0000_H$ 以外の値を設定しても、次のカウント開始要因が発生するまではダウンカウントは行われません。

ダウンカウント停止要求は、次のダウンカウントクロックの入力まで保持されます。そのため、カウンタ停止要求が発生した場合は、次のダウンカウントクロックの入力までカウントスタートトリガを受け付けません。

ダウンカウント開始時に、DCNTDxy 値が $0000\ 0000_H$、かつダウンカウントクロックが入力されていない場合は、ダウンカウント動作を行わずに、ダウンカウントステータスレジスタ 2Dx（DSR2Dx）のフラグのみを更新します。また、次のダウンカウントクロックで、DCNTDxy 値が $0000\ 0000_H$ によるカウントダウン停止の割り込みが発生します。割り込みが発生するまでダウンカウントステータスレジスタ 1Dx（DSR1Dx）のダウンカウントステータスフラグ Dxy（DSFDxy）が “1” の状態となります。

リセット時に $0000\ 0000_H$ に初期化されます。

22.7.3 動作説明

タイマ D は 10 つのサブブロックで構成され、各ブロックは 2 本の範囲コンペア値設定レジスタ（RCR1Dx、RCR2Dx）、2 本の 32 ビットタイマカウンタ 1Dx、同 2Dx（TCNT1Dx、TCNT2Dx）、1 本のタイマオフセットベースレジスタ Dx（OSBRDx）、1 本の出力値レジスタ（ODRDx）、1 本の出力設定レジスタ（OSELRDx）と次に述べるチャネル 4 本を持っています。各チャネルは、TCNT1Dx とのコンペアマッチを行うアウトプットコンペアレジスタ 1Dxy（OCR1Dxy）と TCNT2Dx とのコンペアマッチを行うアウトプットコンペアレジスタ 2Dxy（OCR2Dxy）、1 本のタイマダウンカウンタ Dxy（DCNTDxy）、2 本のカウンタの上限値設定レジスタ（CUCR1Dx、CUCR2Dx）、2 本のインプットキャプチャレジスタ（ICR1Dxy、ICR2Dxy）から構成されます。

タイマ D はワンショットパルスの生成が可能です。コンペアマッチ A、コンペアマッチ B、あるいはコンペアマッチ A or B、コンペアマッチ A&B をダウンカウンタのスタートトリガに用いることによってオフセット付きのワンショットパルスの出力も可能です。

ATUENR レジスタの TDE ビット、およびタイマスタートレジスタ D（TSTRD）の STRDx ビットを 1 にセットするとサブブロック Dx の 2 つのタイマカウンタ 1Dx、同 2Dx（TCNT1Dx、TCNT2Dx）がアップカウント動作を開始します。また、ダウンカウンタのスタート要因によりダウンカウンタのダウンカウントが可能になります。

ダウンカウンタのカウントスタート要因としては、ダウンカウントスタートレジスタ Dx（DSTRDx）の DSTDxy ビットへの “1” セット、およびダウンカウンタコントロールレジスタ Dx（DCRD）の TRGSELxy ビットで設定したコンペアマッチ A、コンペアマッチ B、コンペアマッチ A or B、コンペアマッチ A&B の 5 つがあります。これらのカウントスタート要因が発生すると、DCNTDxy はダウンカウント用クロックに同期してダウンカウント動作を開始します。

ダウンカウンタのカウントストップ要因としては、ダウンカウンタのアンダフロー、および TRGSELxy ビットで設定したコンペアマッチ B、コンペアマッチ A or B の 3 つがあります。アンダフロー時（カウント値が H’0000_0000 の状態でダウンカウント）は即時、コンペアマッチ B、コンペアマッチ A or B の場合には、次のダウンカウント用クロックに同期してタイマダウンカウンタ Dxy（DCNTDxy）の値を H’0000_0000 にクリアしダウンカウント動作を終了させます。

TCNT1Dx と OCR1Dxy とのコンペアマッチ A、および TCNT2Dx と OCR2Dxy とのコンペアマッチ B は、両レジスタ値が一致した次の内部動作クロック（PCLK）に同期して行われます。これらのコンペアマッチにより、CPU へコンペアマッチ割り込み要求を出力することができます。また、範囲コンペア値設定レジスタ（RCR1Dx、RCR2Dx）の設定により、OCR1Dxy への書き込み動作時に TCNT1Dx の値が OCR1Dxy ≦ TCNT1Dx ≦（OCR1Dxy + “RCR1Dx で指定された範囲値 ”）の範囲であれば、OCR1Dxy と TCNT1Dx のコンペアマッチ A を、OCR2Dxy への書き込み動作時に TCNT2Dx の値が OCR2Dxy ≦ TCNT2Dx ≦（OCR2Dxy + “RCR2Dx で指定された範囲値 ”）の範囲であれば、OCR2Dxy と TCNT2Dx のコンペアマッチ B を発生させることができます。さらに、コンペアマッチ A の発生をトリガとして TCNT2Dx のカウント値を ICR2Dx にキャプチャを、コンペアマッチ B の発生をトリガとして TCNT1Dx のカウント値を ICR1Dx にキャプチャすることができます。コンペアマッチ発生時に PCLK に同期して TSRDx レジスタの CMFADxy、CMFBDxy ビットを 1 にセットします。

コンペアマッチ出力（TODxyA）は、タイマ I/O コントロールレジスタ 1Dx（TIOR1Dx）の OSSDxy ビットで選択した出力要因（コンペアマッチ A、あるいはコンペアマッチ B）の発生時に行われます。たとえばコンペアマッチ A が選択されていた場合には、TCNT1Dx と OCR1Dxy の値が一致した次の PCLK サイクルで、IOAxy ビットに設定された値が TODxyA に出力されます。

ワンショットパルス出力（TODxyB）出力のタイミングは、ダウンカウンタのカウント動作同様、ダウンカウントクロックに同期しています。5 つのカウントスタート要因はすべて PCLK 同期で発生する事象であるため、TODxyB はカウントスタート要因発生後、最初のダウンカウントクロックを待ってアサートされます。カウントストップ要因である、ダウンカウンタアンダフローはダウンカウントクロック同期、コンペアマッチ B、コンペアマッチ A or B は PCLK で発生します。ダウンカウンタアンダフロー時は、そのタイミングで TODxyB をネゲートします。コンペアマッチ B、コンペアマッチ A or B の場合は、コンペアマッチ発生後、最初のダウンカウントクロックをまって TODxyB のネゲートを行います。

出力ピン	アサートタイミング	ネゲートタイミング	（初期値）
TODxyB	カウントスタート要因発生後、最初のダウンカウントクロック	コンペアマッチ B 発生後、最初のダウンカウントクロック。もしくは DCNTDxy アンダフロー時。	0 （TOCRDx によって反転）

注 1.　アサートとネゲートが同時に発生した場合にはネゲートの処理が優先されます。

TODxyA、TODxyB ともに初期値は 0 です。ただし、タイマアウトプットコントロールレジスタ Dx（TOCRDx）により出力の反転が可能です。TONEADx ビットを 1 にするとサブブロック Dx 内の TODxyA 出力が反転、TONEBDx ビットを 1 にセットすると TODxyB 出力が反転します。さらに、出力選択レジスタ Dx（OSELRDx）の設定により、対応する出力値レジスタ Dx（ODRDx）の値を各端子（TODxyA、TODxyB）から出力することができます。

TCNT1Dx 用クロック設定、TCNT2Dx 用クロック設定、DCNTDxy 用クロック設定、また DCNTDxy、OCR1Dxy、OCR2Dxy 等の各レジスタ値設定を TCNT1Dx、TCNT2Dx の動作中に行うときは、それぞれの値にご注意願います。コンペアマッチ値設定中にカウンタ値が意図したコンペアマッチ値を超えてしまう等、動作不具合を引き起こす可能性があります。

以下にサブブロック D0、チャネル 0 を使用した場合のワンショットパルス発生動作を示します。

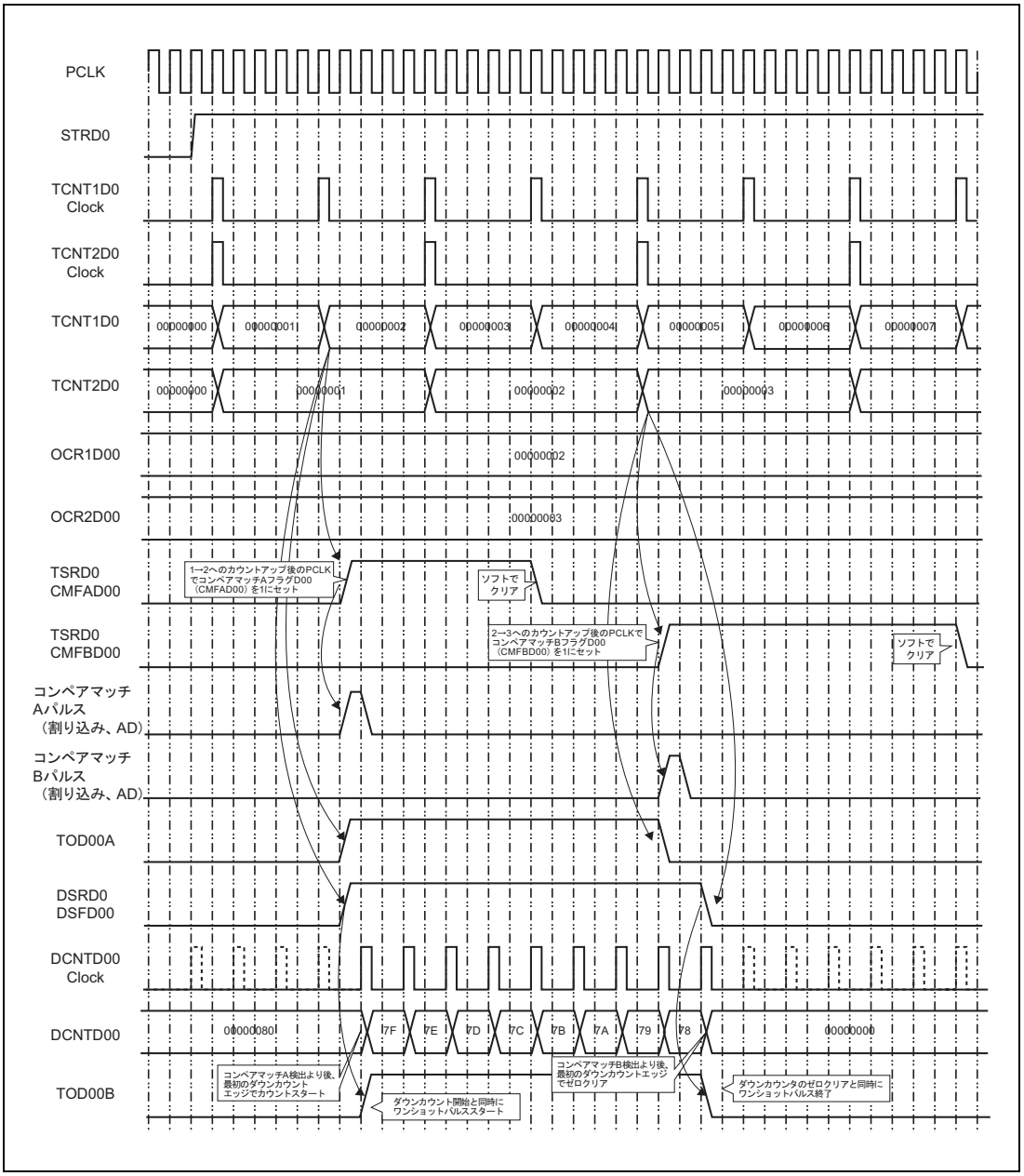


図 22.46　ワンショットパルス動作（1）
- コンペアマッチ A でカウント開始、コンペアマッチ B でカウント終了 -

図 22.46 は、コンペアマッチ A でカウント開始、コンペアマッチ B でカウント終了するときのダウンカウント動作、およびワンショットパルスの開始／停止状態を表しています。DCRD0 の TRGSELD00 でカウントスタートトリガにコンペアマッチ A、カウントストップトリガにコンペアマッチ B を設定しています。また TIOR1D0 の OSSD00 でコンペアマッチ A、コンペアマッチ B の両方を出力要因に設定し、IOAD00 ビットにコンペアマッチ許可で 1 出力、IOBD00 ビットにコンペアマッチ許可で 0 出力と設定しています。

タイマスタートレジスタ D（TSTRD）を 1 にセットすると、その直後の TCNT1D0、TCNT2D0 用カウントクロックで TCNT1D0、TCNT2D0 のそれぞれがカウントアップを開始します。TCNT1D0 がアウトプットコンペアレジスタ（OCR1D00）と一致すると次の PCLK でコンペアマッチ A が発生します。このとき、TCNT2Dx のカウント値を ICR2Dxy にキャプチャします。さらに、コンペアマッチ A をトリガとして、CPU へコンペアマッチ割り込み要求を出力します。コンペアマッチ A フラグ D00（CMFAD00）が 1 にセットされます。これらと同時に、TOD00A が “1” を出力し、またダウンカウントステータスフラグ（DSFD00）にも 1 がセットされ、ダウンカウント許可状態に入ります。このダウンカウント許可状態はコンペアマッチ B 検出、もしくは DCNTD00 アンダフローが検出されるまで継続します。この状態でダウンカウントクロックが入力されると DCNTD00 がダウンカウントを行います。最初のダウンカウントクロックと同時に TOD00B から “1” を出力します。

アウトプットコンペアレジスタ（OCR2D00）が TCNT2D0 と一致すると、直後の PCLK に同期してコンペアマッチ B が発生します。このとき、TCNT1Dx のカウント値を ICR1Dxy にキャプチャします。さらに、コンペアマッチ B をトリガとして、CPU へコンペアマッチ割り込み要求を出力します。コンペアマッチ B フラグ D00（CMFBD00）が 1 にセットされます。これらと同時に、TOD00A 出力が “0” となります。また、直後のダウンカウント用クロックに同期してダウンカウントをゼロクリアし、ワンショットパルス出力（TOD00B）も終了します。

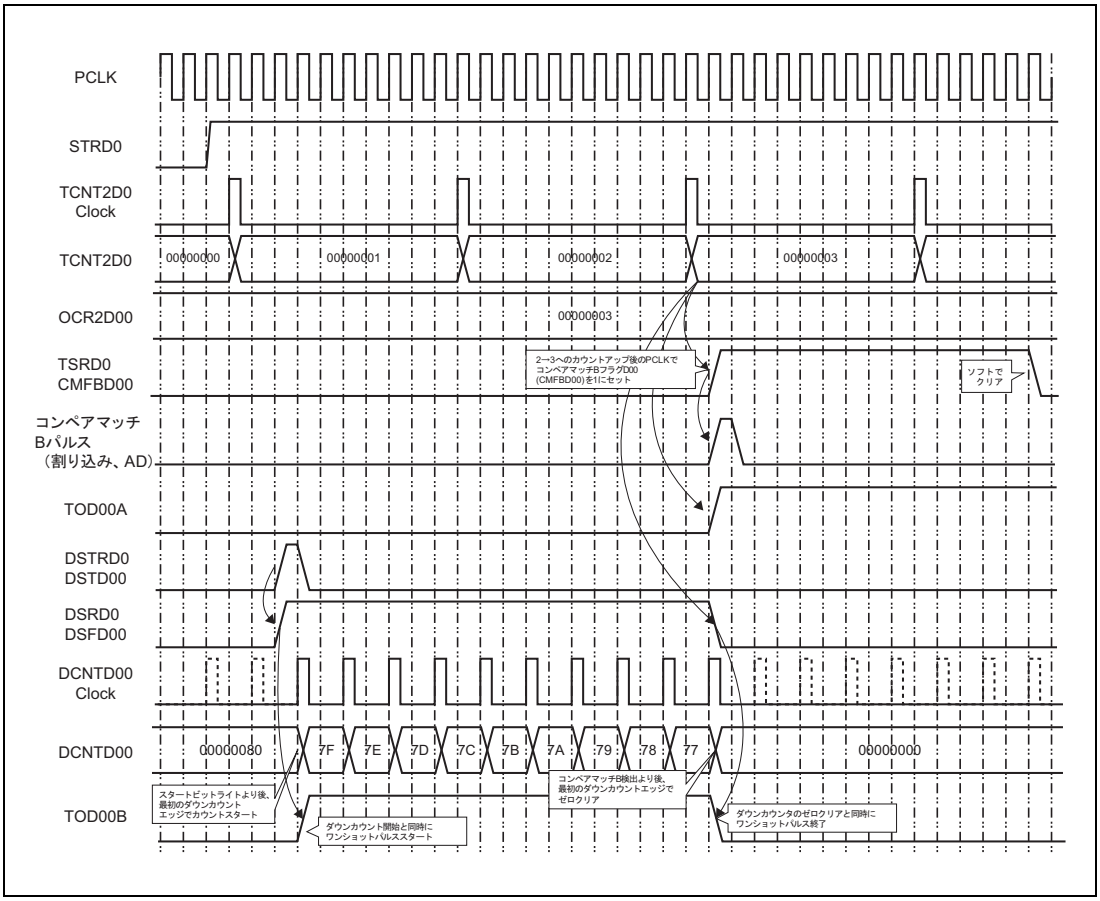


図 22.47　ワンショットパルス動作（2）
- カウントスタートビット “1” ライトでカウント開始、コンペアマッチ B でカウント終了 -

図 22.47 は、ダウンカウントスタートビットにソフトウエアで書き込みを行ってダウンカウントを開始させる動作を示しています。ここでは、DCRD0 の TRGSELD00 でカウントスタートトリガはなしに、カウントストップトリガにコンペアマッチ B を設定しています。また TIOR1D0 の OSSD00 でコンペアマッチ B のみを出力要因に設定し、IOBD00 ビットにコンペアマッチ許可で 1 出力と設定しています。

以下にサブブロック D0、チャネル 0 を使用した場合のワンショットパルス発生動作を示します。

ダウンカウントスタートレジスタ D0（DSTRD0）の DSTD00 ビットに “1” を書き込むと、同時にダウンカウントステートフラグ（DSFD00）にも “1” がセットされ、ダウンカウント許可状態に入ります。DCNTD00 は、DSFD00 が “1” になった後の最初のダウンカウントクロックでダウンカウントを行います。また、最初のダウンカウントクロックと同時に TOD00B から “1” を出力します。

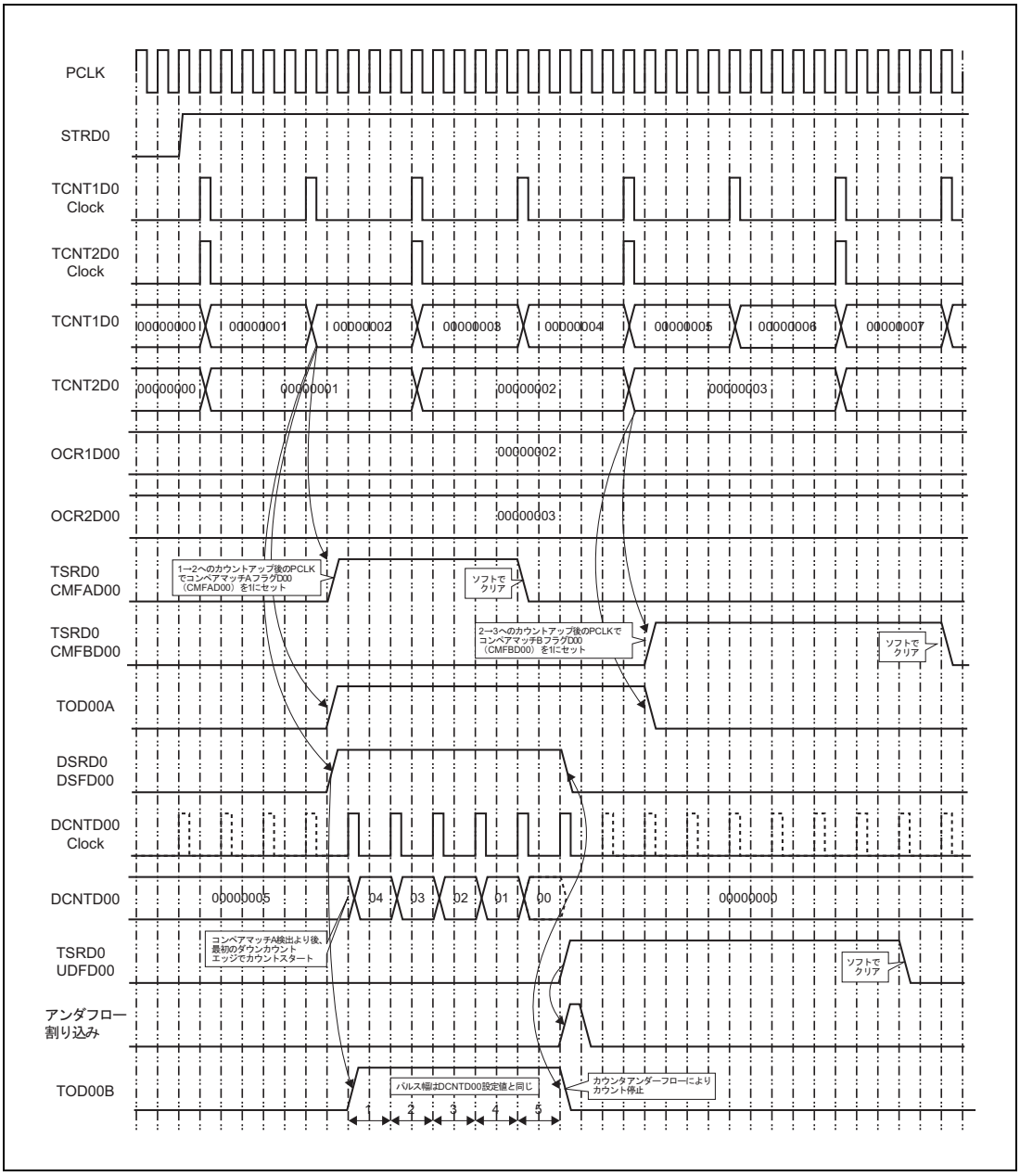


図 22.48 ワンショットパルス動作（3） – アンダフロー発生の場合 –

図 22.48 はアンダフローでのワンショットパルス終了の動作を示しています。ここでは、DCRD0 の TRGSELD00 でカウントスタートトリガにコンペアマッチ A、カウントストップトリガなしと設定しています。また TIOR1D0 の OSSD00 でコンペアマッチ A、コンペアマッチ B の両方を出力要因に設定し、IOAD00 ビットにコンペアマッチ許可で 1 出力、IOBD00 ビットにコンペアマッチ許可で 0 出力と設定しています。

タイマダウンカウンタ Dxy（DCNTD00）値が 000000_H になった直後のダウンカウントクロックでアンダフローを検出し、TSRD0 のアンダフローフラグ D00（UDFD00）がセットされます。同時に TOD00B のワンショット出力も遮断されます。TOD00B に出力されるパルス幅は、ダウンカウント前に DCNTD00 に設定した値と同じです。

範囲コンペア機能

図 22.49 は範囲コンペア値設定レジスタ 1Dx（RCR1Dx）の設定により、範囲コンペア機能を使用したコンペアマッチ発生の動作を示しています。

アウトプットコンペアレジスタ 1Dxy（OCR1Dxy）への書き込み動作時に TCNT1Dx が OCR1Dxy の値よりも大きい時、RCR1Dx の設定により、TCNT1Dx の値が OCR1Dxy ≦ TCNT1Dx ≦（OCR1Dxy + “RCR1Dx で指定された範囲値 ”）の範囲であれば、OCR1Dxy と TCNT1Dx のコンペアマッチ A を発生させることが出来ます。

また、そのときの TCNT1Dx の値を OCR1Dxy へキャプチャします。

範囲コンペア値設定レジスタ 2Dx（RCR2Dx）についても、TCNT2Dx に対して同等の動作となります。

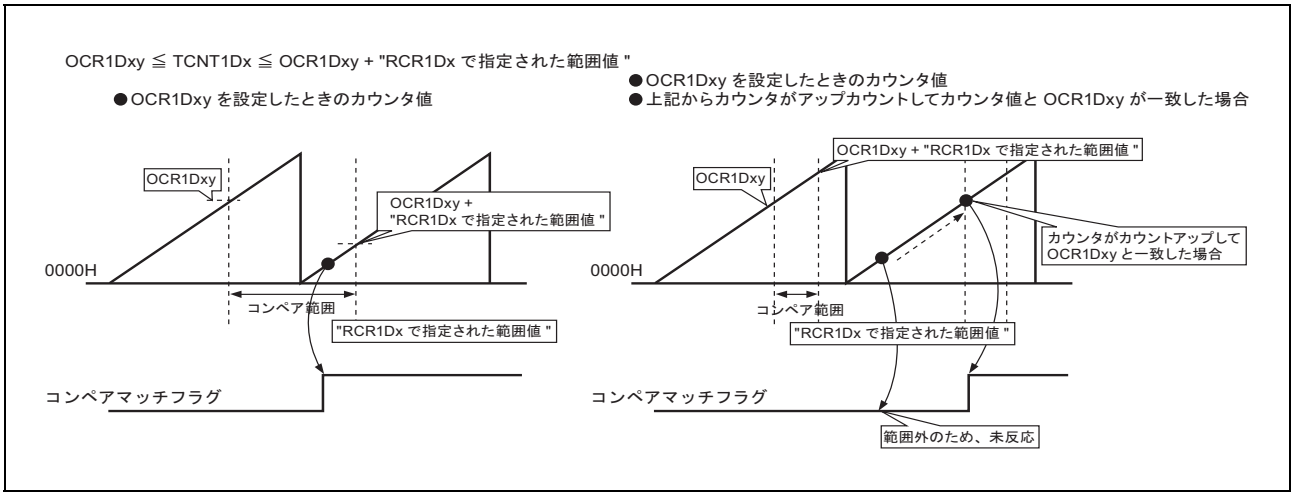


図 22.49　範囲コンペア機能動作

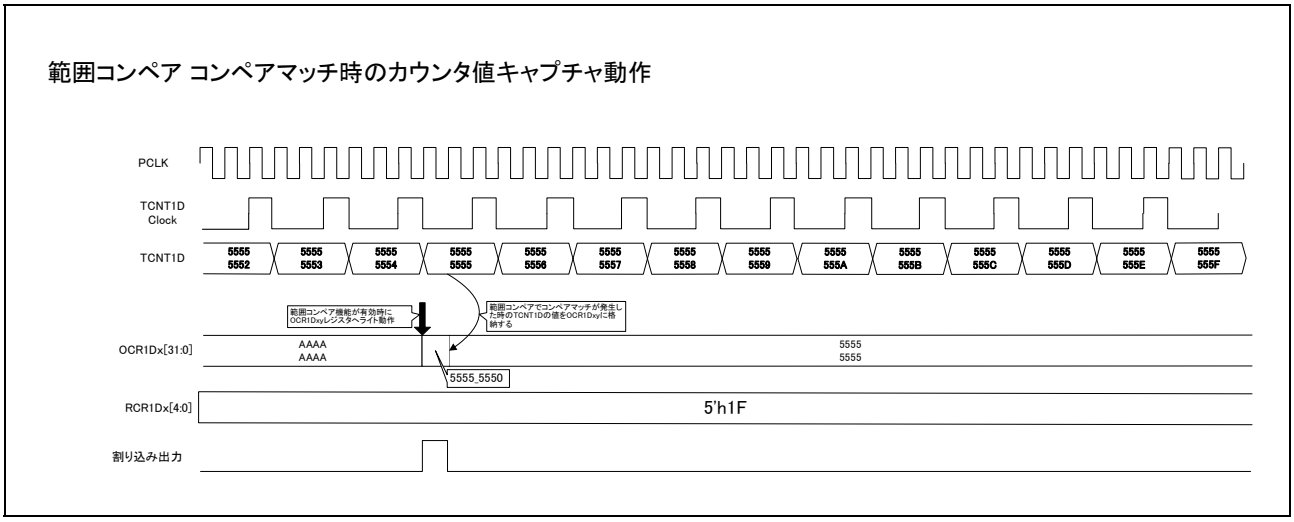


図 22.50　範囲コンペアカウンタ値キャプチャ動作

カウンタ上限値設定機能

カウンタ上限値設定コンペアレジスタ 1Dx（CUCR1Dx）により、各サブブロックのタイマカウンタ 1Dx（TCNT1Dx）のカウンタ値の上限値を変更し、ワンショットパルスの周期を変更することができます。カウンタの上限値設定の機能を有効にするには、タイマコントロールレジスタ Dx（TCRDx）の CLR1Dx ビットを 1 に設定しておく必要があります。

カウンタ上限値設定コンペアレジスタ 2Dx（CUCR2Dx）により、各サブブロックのタイマカウンタ 2Dx（TCNT2Dx）のカウンタ値の上限値を変更し、ワンショットパルスの周期を変更することができます。カウンタの上限値設定の機能を有効にするには、タイマコントロールレジスタ Dx（TCRDx）の CLR2Dx ビットを 1 に設定しておく必要があります。

図 22.51 ブロック D1 のカウンタの上限値設定機能を ON した動作例を示します。

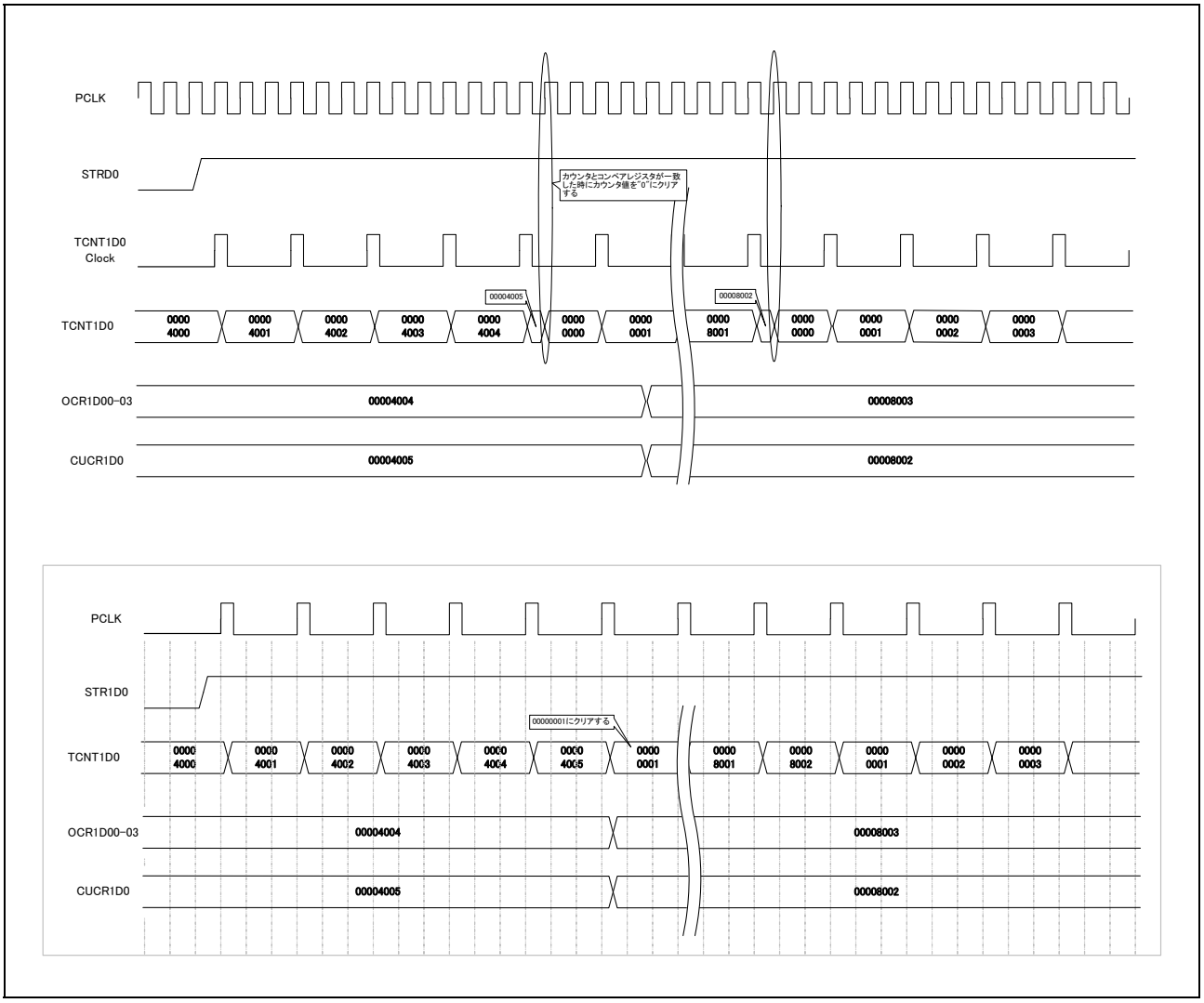


図 22.51　上限値設定機能動作

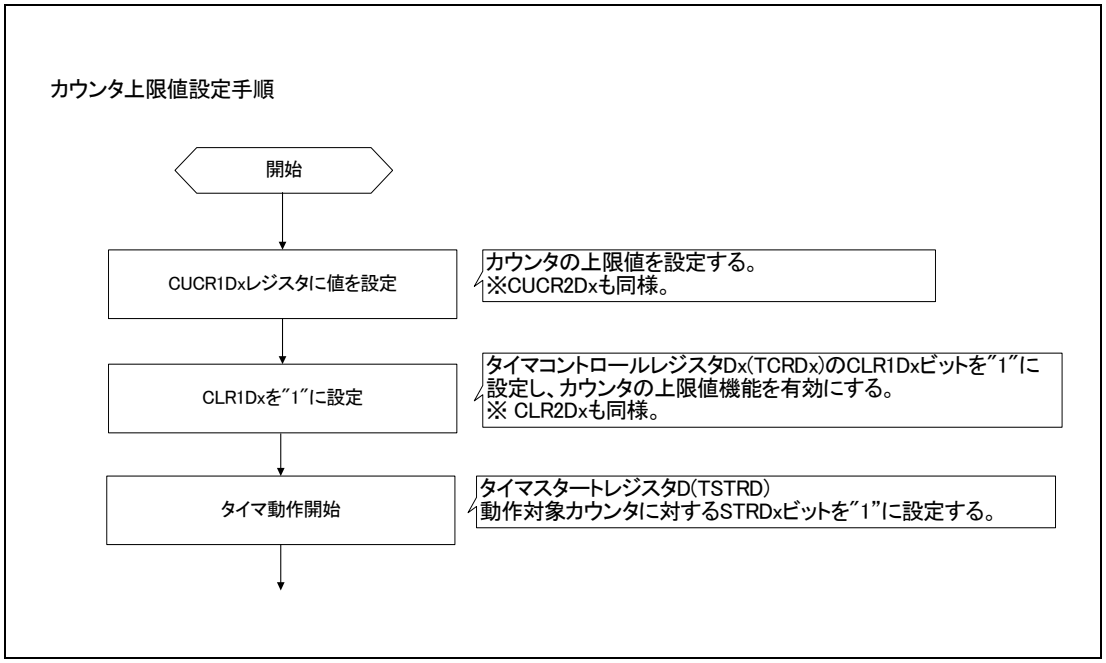


図 22.52　カウンタ上限値機能設定手順

キャプチャ機能

インプットキャプチャレジスタ 1Dxy（ICR1Dxy）、2Dxy（ICR2Dxy）は、それぞれコンペアマッチ B、コンペアマッチ A の発生をトリガとしてタイマカウンタ 1Dx（TCNT1Dx）、2Dx（TCNT2Dx）のカウント値をキャプチャします。タイミングはコンペア発生の立ち上がりエッジをコンペアマッチパルスとして、キャプチャを行います。

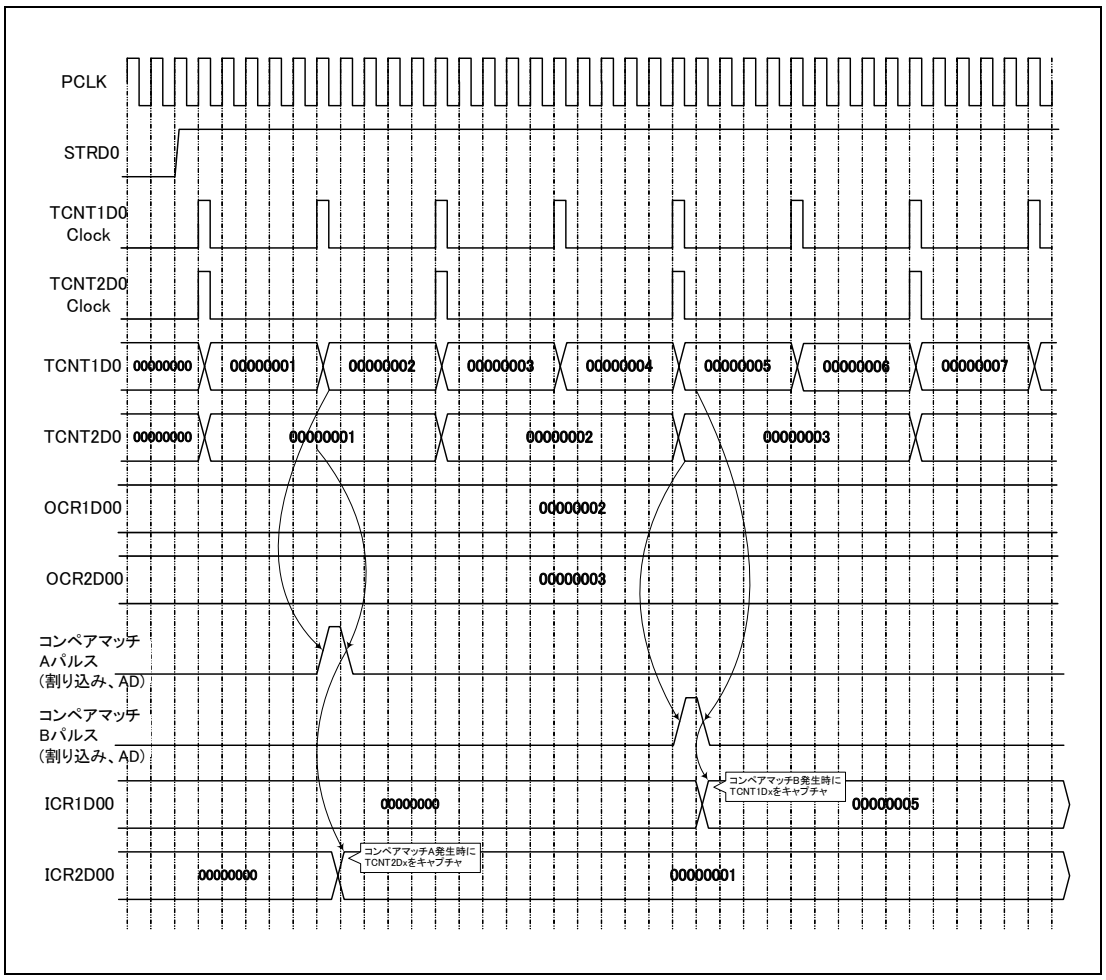


図 22.53　インプットキャプチャレジスタ 1Dxy、同 2Dxy（ICR1Dxy、ICR2Dxy）へのキャプチャ動作

22.8　タイマ E

22.8.1　動作概要

タイマ E ブロックは 7 個のタイマ E サブブロックによって構成される PWM 出力タイマです。

タイマ E サブブロックは、以下の機能を実現することができます。

- サイクルレジスタ、デューティレジスタを設定することにより、デューティ 0 ～ 100% の波形が生成できます。
- サイクルレジスタ、デューティレジスタの値は、PWM サイクル終了ごとにサイクルリロードレジスタ、デューティリロードレジスタからリロードさせることができます。リロード機能の有効／無効も制御できます。
- カウンタの上位24ビットへの000000_H書き込みでPWM サイクルの強制終了ができます。
- シャットオフ入力端子（POEx）により、PWM 出力を遮断することができます（タイマ F の入力端子と共用）。本機能は、サブブロック E0 ～ 5 が対応しています。サブブロック E6 には、本機能はありません。
- オンデューティ／オフデューティの切り替えが可能です。
- サイクルレジスタのコンペアマッチ（サイクルマッチ）で周期ごとに割り込み要求を生成できます。
- チャネル 0 のサイクルマッチは DMAC 起動割り込みとして使用できます。
- デューティレジスタのコンペアマッチ（デューティマッチ）で周期的に割り込み要求を生成できます。

タイマ E サブブロック Ex は 4 本のチャネルから構成されています。各チャネルは 24 ビットタイマカウンタ（TCNTExy）、24 ビットサイクルレジスタ（CYLRExy）、24 ビットデューティレジスタ （DTRExy）、24 ビットサイクルリロードレジスタ Exy（CRLDExy）、24 ビットデューティリロードレジスタ（DRLDExy）、および制御部などで構成されています。

またサブブロック E0 ～ 5 にシャットオフ入力端子（POEx）を、各サブブロックの各チャネルには PWM 出力端子（TOExy）を備えています。（TOExy の初期値：0）

POEx はタイマ F の TIF0A ～ TIF2A、TIF0B ～ TIF2B と共用しています。タイマ E には TIF0A ～ TIF2A、TIF0B ～ TIF2B のノイズキャンセラ通過後の信号を利用していますので、同信号のノイズキャンセル機能が利用できます。PWM 出力遮断機能の使用時において、シャットオフ入力信号にノイズキャンセラを適用する場合は、タイマ E の設定以外にタイマ F のノイズキャンセラの設定を行う必要があります。設定方法の詳細は**「22.9　タイマ F」**を参照してください。

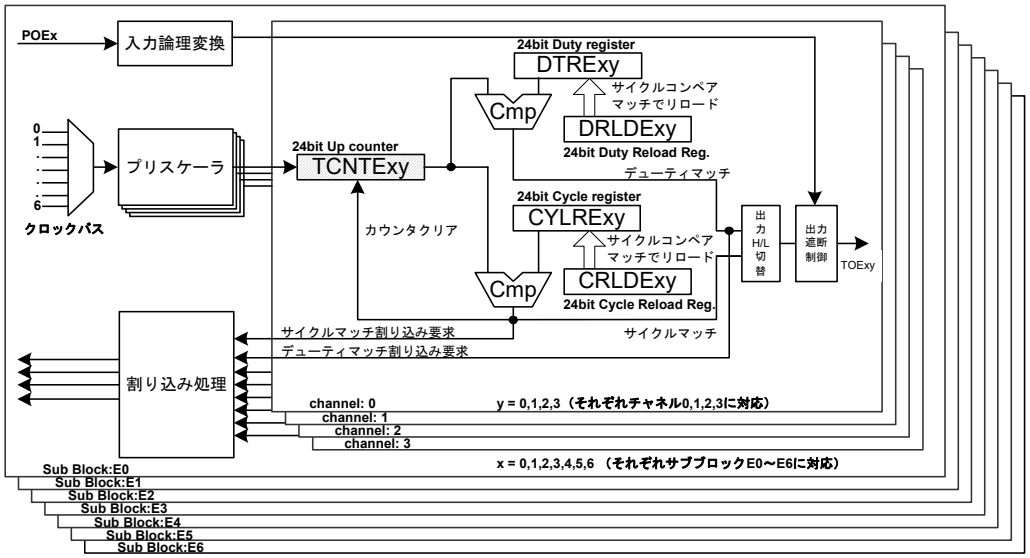
TIF0A/B ～ TIF2A/B と POEx の対応は**表 22.89** のとおりです。

表 22.89　タイマ F プライマリ入力とタイマ E シャットオフ入力の対応

タイマ F プライマリ入力	タイマ E シャットオフ入力
TIF0A	POE0
TIF1A	POE1
TIF2A	POE2
TIF0B	POE3
TIF1B	POE4
TIF2B	POE5

なお、TIF0A/B ～ TIF2A/B を POEx 入力として使用し、対応する TimerF サブブロックも同時動作させる場合、タイマ F 側の計測対象がシャットオフ入力信号となることにご注意ください。

図 22.54 にタイマ E のブロック図を示します。



注 1. 汎用 DMA への割り込み要求は各サブブロックの ch.0 のみ対応。POEx 入力はサブブロック 0 ～ 5 のみ対応。

図 22.54　タイマ E ブロック図

22.8.2 タイマ E 関連レジスタ

22.8.2.1 TSTRE — タイマスタートレジスタ E

アクセス 8 ビットアクセス可能

アドレス FFE6 2000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	STRE6	STRE5	STRE4	STRE3	STRE2	STRE1	STRE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.90 TSTRE レジスタの内容

ビット位置	ビット名	機能
7	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
6	STRE6	サブブロック E6 スタート 0：サブブロック E6 の動作を禁止 1：サブブロック E6 の動作を許可
5	STRE5	サブブロック E5 スタート 0：サブブロック E5 の動作を禁止 1：サブブロック E5 の動作を許可
4	STRE4	サブブロック E4 スタート 0：サブブロック E4 の動作を禁止 1：サブブロック E4 の動作を許可
3	STRE3	サブブロック E3 スタート 0：サブブロック E3 の動作を禁止 1：サブブロック E3 の動作を許可
2	STRE2	サブブロック E2 スタート 0：サブブロック E2 の動作を禁止 1：サブブロック E2 の動作を許可
1	STRE1	サブブロック E1 スタート 0：サブブロック E1 の動作を禁止 1：サブブロック E1 の動作を許可
0	STRE0	サブブロック E0 スタート 0：サブブロック E0 の動作を禁止 1：サブブロック E0 の動作を許可

TSTRE は、サブブロック E0 ～ E6 動作の制御を行います。

タイマ E のカウンタを動作させるには、ATU-IV 制御レジスタのタイマ E マスタイネーブル、タイマスタートレジスタ E、さらに、サブブロックスタートレジスタの設定が必要となります。

リセット時は 00_H に初期化されます。

注 意

サブブロック内の全チャネルのタイマ動作を同期させたいときは SSTREx レジスタでなく、TSTRE レジスタでサブブロックごと動作許可 / 禁止してください。

22.8.2.2 SSTREx — サブブロックスタートレジスタ Ex

（x = 0, 1, 2, 3, 4, 5, 6：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 2100_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SSTREx3	SSTREx2	SSTREx1	SSTREx0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.91 SSTREx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
3	SSTREx3	チャネル 3 スタート Ex 0：サブブロック Ex のチャネル 3 のカウント動作を禁止 1：サブブロック Ex のチャネル 3 のカウント動作を許可
2	SSTREx2	チャネル 2 スタート Ex 0：サブブロック Ex のチャネル 2 のカウント動作を禁止 1：サブブロック Ex のチャネル 2 のカウント動作を許可
1	SSTREx1	チャネル 1 スタート Ex 0：サブブロック Ex のチャネル 1 のカウント動作を禁止 1：サブブロック Ex のチャネル 1 のカウント動作を許可
0	SSTREx0	チャネル 0 スタート Ex 0：サブブロック Ex のチャネル 0 のカウント動作を禁止 1：サブブロック Ex のチャネル 0 のカウント動作を許可

サブブロックスタートレジスタ E0 ～ E6（SSTRE0 ～ SSTRE6）は 8 ビットの読み出し／書き込み可能なレジスタです。本レジスタは、各サブブロックが持つ 4 本のチャネルごとに、タイマカウンタの動作／停止を指定します。ただし、タイマスタートレジスタ E（TSTRE）で動作指定を行ったサブブロックのみに有効となります。

SSTRE0 ～ SSTRE6 はリセット時は 00_H に初期化されます。

(1) SSTRExy — カウンタ Exy スタートビット

タイマカウンタ Exy（TCNTExy）を動作させるか、停止させるかを設定します。

SSTRExy	機能
0	TCNTExy のカウント動作を停止。（初期値）
1	TCNTExy のカウント動作を実行。

このビットを “0” にクリアした場合、TCNTExy は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

カウンタ Exy スタートビットを “1” にセットしても、ATU-IV 制御レジスタで、タイマ Ex のマスタイネーブルが “1” にセットされていなければカウント動作は開始されません。

注　意

プリスケーラは、カウンタ Exy スタートビットの設定に関係なく動作しており、TCNTExy の動作開始時にも初期化は行われません。したがって起動から実際に TCNTExy がカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。

22.8.2.3 PSCREx — プリスケーラレジスタ Ex

（x = 0, 1, 2, 3, 4, 5, 6 ：サブブロック E0 ～ E6 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 2104_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	PSCEx[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 22.92 PSCREx レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	—	何も配置されていません。“0” に固定してください。
2 ～ 0	PSCEx[2:0]	分周比フィールド プリスケーラの分周比を設定します

プリスケーラレジスタ Ex は 8 ビットの読み出し／書き込み可能なレジスタです。

タイマ E は各サブブロックに 1 つのプリスケーラ Ex を内蔵しており、クロックバスから選択したクロックをさらに分周して使用することが可能です。本レジスタは各サブブロックの持つプリスケーラ Ex の分周比の設定を行います。

プリスケーラレジスタ Ex の設定値を書き換えると、プリスケーラ Ex のアンダフローに同期して、その書き換え値による動作を開始します。プリスケーラ Ex の出力により同一サブブロック内のカウンタ TCNTExy（y = 0, 1, 2, 3）はカウント動作を行います。

プリスケーラレジスタ Ex には、0_H から 7_H の値を設定することができます。プリスケーラ Ex の分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{PSCEx}[2:0]+1} \quad \text{（分周設定範囲：1/1 ～ 1/8）}$$

また、プリスケーラ Ex の出力するクロックは 50% のデューティを保証していません。PCLK の 1 サイクル期間のみ “H” であり、残りの期間はすべて “L” となります。

プリスケーラ Ex はタイマイネーブルレジスタ（ATUENR）の TEE ビット、タイマスタートレジスタ E（TSTRE）のサブブロック Ex スタートビット（STREx）が 1 に設定されている場合に動作を行います。

22.8.2.4 PSCCRExy — プリスケーラチャネルレジスタ Exy

（x = 0, 1, 2, 3, 4, 5, 6：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 2118_H +（100_H * x）+ y

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	PSCCExy[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.93 PSCCRExy レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	PSCCExy[7:0]	分周比フィールド 各チャネルのもつプリスケーラの分周比を設定します

プリスケーラチャネルレジスタ Exy は 8 ビットの読み出し／書き込み可能なレジスタです。

タイマ E は各チャネルに 1 つのプリスケーラ Exy を内蔵しており、クロックバスから選択したクロックをさらに分周して使用することが可能です。本レジスタは各チャネルの持つプリスケーラ Exy の分周比の設定を行います。

プリスケーラチャネルレジスタ Exy の設定値を書き換えると、プリスケーラ Exy のアンダフローに同期して、その書き換え値による動作を開始します。プリスケーラ Exy の出力により同一サブブロック内のカウンタ TCNTExy（y = 0, 1, 2, 3）はカウント動作を行います。

プリスケーラチャネルレジスタ Exy には、0_H から FF_H の値を設定することができます。プリスケーラ Exy の分周比は次の式で与えられます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{PSCCExy}[7:0] + 1} \qquad \text{（分周設定範囲：1/1 ～ 1/256）}$$

また、プリスケーラ Exy の出力するクロックは 50% のデューティを保証していません。PCLK の 1 サイクル期間のみ “H” であり、残りの期間はすべて “L” となります。

プリスケーラ Exy はタイマイネーブルレジスタ（ATUENR）の TEE ビット、タイマスタートレジスタ E（TSTRE）のサブブロックスタートビット Ex（STREx）が 1 に設定されている場合に動作を行います。サブブロックスタートレジスタ Ex（SSTREx）のカウンタ Exy スタートビット（SSTRExy）の設定は、プリスケーラ Exy の動作に影響しません。

22.8.2.5 TCREx — タイマコントロールレジスタ Ex

（x = 0, 1, 2, 3, 4, 5, 6：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 2108$_H$ +（100$_H$ * x）

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	PSCSEL	—	—	—	—	CKSELEx[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R/W	R/W	R/W

表 22.94 TCREx レジスタの内容

ビット位置	ビット名	機能
7	PSCSEL	プリスケーラ選択 0：プリスケーラレジスタ Ex（PSCREx：3bit・サブブロック単位）を選択 1：プリスケーラチャネルレジスタ Exy（PSCRExy：8bit・チャネル単位）を選択
6 ～ 3	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
2 ～ 0	CKSELEx[2:0]	TCNTExy クロック選択ビット クロックバス 0 ～ 6 からカウントクロックを選択

タイマコントロールレジスタ Ex（TCREx）は 8 ビットの読み出し／書き込み可能なレジスタです。TCREx は、プリスケーラ Ex のカウントソースをクロックバス 0 ～ 6 から選択します。プリスケーラ出力により 16 ビットタイマカウンタ Exy（TCNTExy）はカウント動作を行います。

(1) PSCSEL — プリスケーラセレクト

プリスケーラをサブブロック単位もしくはチャネル単位で選択できます。また、設定可能な分周比も異なります。

(2) CKSELEx[2:0] — サブブロック Ex クロックセレクト

サブブロック Ex クロックセレクト（CKSELEx）は、サブブロック Ex の持つプリスケーラのカウントソースを選択します。

CKSELEx			機能
[2]	[1]	[0]	
0	0	0	クロックバス 0 をプリスケーラ Ex のカウントソースに選択　（初期値）
0	0	1	クロックバス 1 をプリスケーラ Ex のカウントソースに選択
0	1	0	クロックバス 2 をプリスケーラ Ex のカウントソースに選択
0	1	1	クロックバス 3 をプリスケーラ Ex のカウントソースに選択
1	0	0	クロックバス 4 をプリスケーラ Ex のカウントソースに選択
1	0	1	クロックバス 5 をプリスケーラ Ex のカウントソースに選択
1	1	0	クロックバス 6 をプリスケーラ Ex のカウントソースに選択
1	1	1	予約

22.8.2.6 RLDCREx — リロードコントロールレジスタ Ex

（x = 0, 1, 2, 3, 4, 5, 6：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 210A_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	RLDENEx3	RLDENEx2	RLDENEx1	RLDENEx0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.95 RLDCREx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
3 ～ 0	RLDENEx3- RLDENEx0	リロードイネーブルビット Ex3 ～ Ex0 0：サイクルマッチ時のデューティレジスタ、サイクルレジスタのリロード機能無効 1：サイクルマッチ時のデューティレジスタ、サイクルレジスタのリロード機能有効

リロードコントロールレジスタ Ex（RLDCREx）は 8 ビットの読み出し／書き込み可能なレジスタです。RLDENExy は、リロード機能の有効／無効を制御します。

RLDCREx は、リセット時に 00_H に初期化されます。

(1) RLDENExy — リロードイネーブルビット Exy

このビットを “1” にセットしリロード機能を有効とすると、タイマカウンタ Exy（TCNTExy）と、サイクルレジスタ Exy（CYLRExy）のサイクルマッチ時に、サイクルリロードレジスタ Exy（CRLDExy）の値をサイクルレジスタに、デューティリロードレジスタ Exy（DRLDExy）の値をデューティレジスタに転送します。

22.8.2.7　POECREx — 出力遮断コントロールレジスタ Ex

（x = 0, 1, 2, 3, 4, 5, 6：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス　16 ビットアクセス可能　8 ビットアクセス禁止

アドレス　FFE6 $210C_H$ +（100_H * x）

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POECRKEY[7:0]								—	—	—	POEPOLx	POEENx3	POEENx2	POEENx1	POEENx0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	(W)注1	(W)注1	(W)注1	(W)注1	(W)注1	(W)注1	(W)注1	(W)注1	R	R	R	R/W	R/W	R/W	R/W	R/W

注 1.　ライトキーコードの書き込み値は保持されません。

表 22.96　POECREx レジスタの内容

ビット位置	ビット名	機能
15 ～ 8	POECRKEY [7:0]	ライトキーコード $9C_H$：POEENxy、POEPOLx の書き換え可能 $9C_H$ 以外：POEENxy、POEPOLx の書き換え不可
7 ～ 5	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
4	POEPOLx	シャットオフ入力アクティブレベル選択ビット 0：シャットオフ入力は L アクティブ 1：シャットオフ入力は H アクティブ
3	POEENx3	出力遮断有効／無効選択ビット 0：出力遮断は無効 1：出力遮断は有効
2	POEENx2	
1	POEENx1	
0	POEENx0	

出力遮断コントロールレジスタ Ex（POECREx）は 16 ビットの読み出し／書き込み可能なレジスタです。ただし、本レジスタへのライト時にはライトデータと同時にビット 15 ～ 8 へライトキーコードの設定が必要です。サブブロック 6 については対応する POE6 入力がないため、本機能は使用できません。POECRE6 の出力遮断有効／無効選択ビット（POEEN60 ～ POEEN63）の設定を有効にしないでください。

POECREx はリセット時に 0000_H に初期化されます。

(1) POECRKEY — ライトキーコード

POEENxy （y = 0 ～ 3）、POEPOLx ビットの書き換え可否を制御します。POEENxy （y = 0 ～ 3）、POEPOLx ビットへのライトデータと同時にビット 15 ～ 8 へライトキーコードの設定が必要です。本ビットへの書き込みデータは保持されませんので、読み出し値は常に 00_H になります。

(2) POEPOLx — シャットオフ入力アクティブレベル選択ビット

シャットオフ入力（POEx）のアクティブレベルを制御します。本ビットの設定は、サブブロック内の全チャネルに影響します。

(3) POEENxy — 出力遮断有効／無効選択ビット

出力遮断機能の有効／無効切り替えを制御します。本ビットはチャネル単位での設定が可能です。

出力遮断機能の詳細は、**「22.8.3　動作説明」**の章の**図 22.58** の説明を参照ください。

22.8.2.8 SOLVLEx — 出力遮断レベル設定レジスタ Ex

（x = 0, 1, 2, 3, 4, 5, 6：サブブロック E0 ～ E6 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 210E_H +（100_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PWMSLVx3	PWMSLVx2	PWMSLVx1	PWMSLVx0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.97 SOLVLEx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
3	PWMSLVx3	出力レベル H/L 選択ビット 0：出力遮断時、TOEx に L レベルを出力。 1：出力遮断時、TOEx に H レベルを出力。
2	PWMSLVx2	
1	PWMSLVx1	
0	PWMSLVx0	

出力遮断レベル設定レジスタ Ex（SOLVLEx）は、8 ビットの読み出し／書き込み可能なレジスタです。SOLVLEx はリセット時に 00_H に初期化されます。

(1) PWMSLVxy — 出力レベル H/L 選択ビット

出力遮断状態における TOExy 出力のレベルを設定します。

22.8.2.9 TSREx — タイマステータスレジスタ Ex

（x = 0, 1, 2, 3, 4, 5, 6：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビット／16 ビットアクセス可能

アドレス FFE6 2110_H +（100_H * x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DMFEx3	DMFEx2	DMFEx1	DMFEx0	OVFEx3	OVFEx2	OVFEx1	OVFEx0	CMFEx3	CMFEx2	CMFEx1	CMFEx0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.98 TSREx レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
11 ～ 8	DMFEx3- DMFEx0	デューティマッチフラグ Ex3 ～ Ex0 0：デューティマッチなし 1：デューティマッチ発生
7 ～ 4	OVFEx3- OVFEx0	オーバフローフラグ Ex3 ～ Ex0 0：オーバフローなし 1：オーバフロー発生
3 ～ 0	CMFEx3- CMFEx0	サイクルマッチフラグ Ex3 ～ Ex0 0：サイクルマッチなし 1：サイクルマッチ発生

タイマステータスレジスタ Ex（TSREx）は 16 ビットの読み出し専用のレジスタです。サブブロック E0 ～ E6 のサイクルレジスタ Exy（CYLRExy）とタイマカウンタ Exy（TCNTExy）とのコンペアマッチ（サイクルマッチ）発生、デューティレジスタ Exy（DTRExy）とタイマカウンタ Exy（TCNTExy）とのコンペアマッチ（デューティマッチ）発生、および、TCNTExy でのオーバフロー発生を示します。

オーバフローフラグはタイマのオーバフローの発生を示すステータスフラグです。割り込み要求を発生させることはできません。サイクルマッチフラグ、およびデューティマッチフラグは割り込み要求のステータスフラグです。TIEREx レジスタの対応するビットを設定することにより、割り込み要求を発生することができます。対応するフラグがセットされると割り込み要求を発生します。割り込み要求を取り下げるには、タイマステータスクリアレジスタ Ex（TSCREx）により本フラグをクリアしてください。タイマステータスクリアレジスタ Ex（TSCREx）の対応するビットを設定することによりフラグをクリアすることができます。また、チャネル 0 のサイクルマッチについては、サイクルマッチによる DMAC への転送要求を発生することができます。DMA 転送要求については本ビットの値とは関係なく、サイクルマッチが発生すると DMA 転送要求を発生します。この DMA 転送要求はチャネル 0 のサイクルマッチ発生の立ち上がりを検出し、1PCLK のみ生成されます 。

TSREx はリセット時に 0000_H に初期化されます。

(1) DMFExy — デューティマッチフラグ Exy

DMFExy	機能
0	[クリア条件] タイマステータスクリアレジスタ Ex（TSCREx）の DMFCExy に “1” を書き込んだとき。（初期値）
1	[セット条件] タイマカウンタ Exy（TCNTExy）の値がデューティレジスタ Exy（DTRExy） と一致した状態でカウントクロックが入力されたとき。

このフラグをソフトウエアにより “1” または “0” にセットすることはできません。DMFExy が 1 の状態（フラグがクリアされていない状態）でも、次のデューティマッチ処理は実施可能です。このとき DMFExy には 1 がオーバライトされます。

(2) CMFExy — サイクルマッチフラグ Exy

CMFExy	機能
0	[クリア条件] タイマステータスクリアレジスタ Ex（TSCREx）の CMFCExy に “1” を書き込んだとき。（初期値）
1	[セット条件] タイマカウンタ Exy（TCNTExy）の値がサイクルレジスタ Exy（CYLRExy） と一致した状態でカウントクロックが入力されたとき。

このフラグをソフトウエアにより “1” または “0” にセットすることはできません。CMFExy が 1 の状態（フラグがクリアされていない状態）でも、次のサイクルマッチ処理、および DMA 転送要求は実施可能です。このとき CMFExy には 1 がオーバライトされます。

(3) OVFExy — オーバフローフラグ Exy

OVFExy	機能
0	[クリア条件] タイマステータスクリアレジスタ Ex（TSCREx）の OVFCExy に “1” を書き込んだとき。（初期値）
1	[セット条件] タイマカウンタ Exy（TCNTExy）の上位 24 ビットの値が FFF FFF_H から 000 000_H と変化したとき。

タイマカウンタ Exy（TCNTExy）でオーバフローが発生した場合、このフラグが 1 にセットされます。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

オーバフローフラグは TCNTExy の上位 24 ビット が FFF FFF_H の状態でカウントアップクロックが入力されたときに発生します。TCNTExy の上位 24 ビット への 000 000_H 書き込みでは OVFExy はセットされません。

カウンタ値の上位 24 ビットが FFF FFF_H の状態で、カウントアップクロックと同時に TCNTExy への書き込みを行った場合、オーバフローフラグは “1” にセットされますが、TCNTExy の上位 24 ビット値は 000 000_H ではなく、書き込まれた値に更新されます。

サイクルマッチ発生でカウンタ値の上位 24 ビットは 000 001_H にクリアされるため、通常動作ではオーバフローは発生しません。カウンタ動作中にサイクルレジスタ値を変更した場合にのみ、オーバフロー発生の可能性があります。

また、オーバフローとサイクルマッチが同時に起こる場合（CYLRExy の上位 24 ビット を FFF FFF_H に設定し、TCNTExy の上位 24 ビット が FFF FFF_H の状態でカウントアップクロックが入力された場合）、オーバフローは検出されません。この場合、サイクルマッチ検出時の処理が実施されます。（カウンタ値の上位 24 ビットが 000 001_H となり、リロード有効であれば、サイクルリロード、デューティリロードが発生します。）オーバフローとデューティマッチが同時に起こる場合は、デューティ 100% 時でサイクルマッチも同時に起きているので、上記と同様の動作が起きます。

22.8.2.10 TSCREx — タイマステータスクリアレジスタ Ex

（x = 0, 1, 2, 3, 4, 5, 6：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビット／16 ビットアクセス可能
“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

アドレス FFE6 2112_H +（100_H * x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DMFCE x3	DMFCE x2	DMFCE x1	DMFCE x0	OVFCE x3	OVFCE x2	OVFCE x1	OVFCE x0	CMFCE x3	CMFCE x2	CMFCE x1	CMFCE x0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.99 TSCREx レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
11 ～ 8	DMFCExy	デューティマッチフラグクリアイネーブル Exy 0：無効（初期値） 1：タイマステータスレジスタ Ex（TSREx）の DMFExy を 0 にクリアする。
7 ～ 4	OVFCExy	オーバフローフラグクリアイネーブル Exy 0：無効（初期値） 1：タイマステータスレジスタ Ex（TSREx）の OVFExy を 0 にクリアする。
3 ～ 0	CMFCExy	サイクルマッチフラグクリアイネーブル Exy 0：無効（初期値） 1：タイマステータスレジスタ Ex（TSREx）の CMFExy を 0 にクリアする。

タイマステータスクリアレジスタ Ex（TSCREx）は、16 ビットの読み出し／書き込み可能なレジスタです。タイマカウンタ Exy（TCNTExy）のオーバフロー発生、TCNTExy とサイクルレジスタ Exy（CYLRExy）のサイクルマッチ発生、TCNTExy とデューティレジスタ Exy（DTRExy）のデューティマッチ発生によるフラグのクリア設定を行います。

TSCREx は 16 ビット単位での読み出し／書き込みが可能です。ただし読み出した場合は常に “0” が読み出せます。

TSCREx はリセット時に 0000_H に初期化されます。

(1) DMFCExy — デューティマッチフラグクリアイネーブル Exy

TCNTExy とデューティレジスタ Exy（DTRExy）のデューティマッチ発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Ex（TSREx）のデューティマッチフラグ（DMFExy）をクリアすることが可能です。読み出した場合は常に “0” が読み出せます。

DMFCExy	機能
0	無効 （初期値）
1	タイマステータスレジスタ Ex（TSREx）の DMFExy を 0 にクリアする。

(2) OVFCExy — オーバフローフラグクリアイネーブル Exy

タイマカウンタ Exy（TCNTExy）のオーバフロー発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Ex（TSREx）のオーバフローフラグ Exy（OVFExy）をクリアすることが可能です。読み出した場合は常に “0” が読み出せます。

OVFCExy	機能
0	無効　（初期値）
1	タイマステータスレジスタ Ex（TSREx）の OVFExy を 0 にクリアする。

(3) CMFCExy — サイクルマッチフラグクリアイネーブル Exy

TCNTExy とサイクルレジスタ Exy（CYLRExy）のサイクルマッチ発生によるフラグのクリア設定をします。

本ビットを設定することでタイマステータスレジスタ Ex（TSREx）のサイクルマッチフラグ Exy（CMFExy）をクリアすることが可能です。読み出した場合は常に “0” が読み出せます。

CMFCExy	機能
0	無効　（初期値）
1	タイマステータスレジスタ Ex（TSREx）の CMFExy を 0 にクリアする。

22.8.2.11 TIEREx — タイマインタラプトイネーブルレジスタ Ex

（x = 0, 1, 2, 3, 4, 5, 6：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス 8 ビット／16 ビットアクセス可能

アドレス FFE6 2116$_H$ +（100$_H$ * x）

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DMEEx3	DMEEx2	DMEEx1	DMEEx0	—	—	—	—	CMEEx3	CMEEx2	CMEEx1	CMEEx0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.100 TIEREx レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
11 ～ 8	DMEEx3- DMEEx0	デューティマッチインタラプトイネーブル Ex3 ～ Ex0 デューティマッチフラグ DMFExy による割り込み要求の許可 / 禁止を設定
7 ～ 4	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
3 ～ 0	CMEEx3- CMEEx0	サイクルマッチインタラプトイネーブル Ex3 ～ Ex0 サイクルマッチフラグ CMFExy による割り込み要求の許可 / 禁止を設定

タイマインタラプトイネーブルレジスタ Ex（TIEREx）は、16 ビットの読み出し／書き込み可能なレジスタです。サイクルレジスタ Exy（CYLRExy）と TCNTExy とのコンペアマッチ（サイクルマッチ）、およびデューティレジスタ Exy（DTRExy）と TCNTExy とのコンペアマッチ（デューティマッチ）による割り込み要求の許可／禁止を制御します。

TIEREx はリセット時に 0000$_H$ に初期化されます。

(1) DMEExy — デューティーマッチインタラプトイネーブル Exy

DTExy のデューティマッチ発生による割り込み要求の許可／禁止を設定します。

本ビットを設定することでタイマステータスレジスタ Ex（TSREx）のデューティマッチフラグ（DMFExy）を割り込みとして出力することが可能です。

DMEExy	機能
0	DMFExy による割り込み要求を禁止。（初期値）
1	DMFExy による割り込み要求を許可。

(2) CMEExy — サイクルマッチインタラプトイネーブル Exy

CYLExy のサイクルマッチ発生による割り込み要求の許可／禁止を設定します。

本ビットを設定することでタイマステータスレジスタ（TSREx）のサイクルマッチフラグ（CMFExy）を割込みとして出力することが可能です。

CMEExy	機能
0	CMFExy による割り込み要求を禁止。（初期値）
1	CMFExy による割り込み要求を許可。

注　意

タイマサブブロック Ex のサイクルマッチ（CMFExy）とデューティマッチ（DMFExy）による割り込み要求は、CMFExy と DMFExy の論理和として要求されます。TSREx を参照することによって、カウンタのサイクルマッチかデューティマッチによる割り込み要求かを判断することができます。割り込み処理時には対応する割り込み要求の TSREx のフラグをクリアしてください。クリアしない場合は割り込み要求が継続されます。

22.8.2.12 TOCREx — タイマアウトプットコントロールレジスタ Ex

（x = 0, 1, 2, 3, 4, 5, 6：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス　8 ビットアクセス可能

アドレス　FFE6 2114_H +（100_H * x）

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TONEEx3	TONEEx2	TONEEx1	TONEEx0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.101 TOCREx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。読み出した場合は “0” が読み出されます。 書き込みの場合は必ず “0” を書き込んでください。
3 ～ 0	TONEExy	TOExy 出力反転セレクト TOExy 出力信号の反転設定（オンデューティ／オフデューティ選択）

タイマアウトプットコントロールレジスタ Ex（TOCRE0 ～ TOCRE6）は、8 ビットの読み出し／書き込み可能なレジスタです。各サブブロック Ex の持つ出力ピン TOExy からの信号を反転するか否かを設定します。

リセット時に 00_H に初期化されます。

(1) TONEExy — TOExy 出力反転セレクト

TOExy からの PWM 出力を反転するか否かを設定します。

TONEExy	機能
0	出力ピン（TOExy）から通常出力　（初期値）
1	出力ピン（TOExy）から反転信号を出力

タイマアウトプットコントロールレジスタのオンデューティ／オフデューティ設定を変更した場合、次の内部動作クロック（PCLK）サイクルで TOExy 出力が反転します。タイマカウンタ Exy（TCNTExy）の動作／停止状態は、オンデューティ／オフデューティ切り替えに影響を与えません。

初期状態（TONEExy = 0）での PWM 出力は 0 です。

22.8.2.13 TCNTExy — タイマカウンタ Exy

（x = 0, 1, 2, 3, 4, 5, 6 ：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応 ）

アクセス 32 ビットアクセス可能 8 ビット／16 ビットアクセス禁止

アドレス FFE6 2124_H +（100_H * x）+（20_H * y）

リセット後の値 0000 0100_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCNTExy															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTExy								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

タイマカウンタ Exy（TCNTExy）は、サブブロック Ex、チャネル y に配置された、32 ビットの読み出し／書き込み可能なレジスタです。下位 8 ビットを読み出した場合は “0” が読み出されます。下位 8 ビットに書き込む場合は必ず “0” を書き込んでください。タイマイネーブルレジスタ（ATUENR）の TEE ビット、タイマスタートレジスタ E（TSTRE）のサブブロック Ex スタートビット（STREx）、およびサブブロックスタートレジスタ Ex（SSTREx）のカウンタ Exy スタートビット（SSTRExy）をセットすることにより動作可能となります。

カウントクロックはタイマコントロールレジスタ Ex（TCREx）の TCNTEx クロックセレクト（CKSELEx[2:0]）、およびタイマ E 内蔵のプリスケーラレジスタ Ex（PSCREx）によって設定します。

TCNTExy の上位 24 ビットはサイクルレジスタ Exy（CYLRExy）とのサイクルマッチにより 000001_H に初期化されます。サイクルレジスタの上位 24 ビットの値が N のとき、カウンタの上位 24 ビットが N から（N+1）にカウントアップするタイミングで（N+1）ではなく 1 にクリアします。すなわち、1 から N までのカウントを行い N 周期の PWM パルス出力に対応します。

TCNTExy の上位 24 ビットは 000001_H から $FFFFFF_H$ の間でカウント動作が可能です（サイクルレジスタの上位 24 ビットに $FFFFFF_H$ 設定時）。

TCNTExy の上位 24 ビットに 000000_H を書き込んだときは、PWM サイクルを強制終了し、次のカウントクロックで上位 24 ビットは再び 000001_H から新たな PWM サイクルを開始します。カウント値の上位 24 ビットが 000000_H である期間の PWM 出力は、直前の値を保持しており、新たな PWM サイクル開始と同時に “1” 出力が行われます（デューティマッチ以前に PWM サイクルを強制終了した場合、その PWM サイクルは 100%デューティ（PWM サイクル期間中常に “1”）となり、新たな PWM サイクルとの境界に “0” が出力されることはありません）。カウンタの上位 24 ビットへの 000000_H 書き込み時の詳細動作は**図 22.56**、および**図 22.57** を参照してください。

カウンタ動作中に TCNTExy、もしくは CYLRExy レジスタに書き込みを行った場合、カウンタ値の上位 24 ビットが $FFFFFF_H$ に到達してもサイクルマッチを起さない場合があります。その場合、次のカウントクロックでカウンタ値の上位 24 ビットは $FFFFFF_H$ から 000000_H に移行します。このときも 000000_H 書き込みと同様、PWM サイクルは中断されます。次のカウントクロックでカウンタ値は 000001_H となり、新たな PWM サイクルを開始します。このとき、リロード有効であればサイクルリロード、デューティリロードも発生します。

TCNTExy の上位 24 ビットはリセット時に 000001_H に初期化されます。

22.8.2.14 CYLRExy — サイクルレジスタ Exy

（x = 0, 1, 2, 3, 4, 5, 6 ：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応 ）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 2128$_H$ +（100$_H$ * x）+（20$_H$ * y）

リセット後の値　FFFF FF00$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CYLRExy															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CYLRExy								—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

CYLRExy は 32 ビットの読み出し／書き込み可能なレジスタで、PWM の周期格納レジスタです。上位 24 ビットに 000001$_H$ ～ FFFFFF$_H$ の範囲で PWM 周期を設定することが可能です。下位 8 ビットを読み出した場合は “0” が読み出されます。下位 8 ビットに書き込む場合は必ず “0” を書き込んでください。

CYLRExy の値と対応するタイマカウンタ Exy（TCNTExy）の値は常に比較されています。両者の値が一致すると、TCNTExy の上位 24 ビットは 000001$_H$ にクリアされます。このとき、リロードコントロールレジスタ Ex（RLDCREx）の RLDENxy ビットが “1” にセットされていれば、サイクルリロードレジスタ Exy（CRLDExy）、デューティリロードレジスタ Exy（DRLDExy）の値を、それぞれサイクルレジスタ Exy（CYLRExy）、デューティレジスタ Exy（DTRExy）に転送します。TCNTExy の上位 24 ビットに 000000$_H$ を書き込むと PWM サイクル強制終了となり、次のクロックサイクルで上記と同様のリロードが起きます。また、サイクルレジスタのコンペアマッチ（サイクルマッチ）により、CPU へ割り込み要求、および DMAC への転送要求（チャネル 0 のみ）の出力を行うことができます。ただし、割り込み要求と DMAC への転送要求は同時に使用しないでください。

TCNTExy 動作中に CYLRExy に書き込みを行う際は書き込み値に注意してください。TCNTExy 動作中に書き込みを行った場合、TCNTExy がサイクルマッチを検出せずに CYLRExy 設定値を超えてカウントアップを続ける可能性があります。その場合、所望の PWM 出力は得られません。

CYLRExy の上位 24 ビットはリセット時に FFFFFF$_H$ に初期化されます。

22.8.2.15 DTRExy — デューティレジスタ Exy

（x = 0, 1, 2, 3, 4, 5, 6 ：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応 ）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 212C_H +（100_H * x）+（20_H * y）

リセット後の値　FFFF $FF00_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTRExy															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTRExy								—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

DTRExy は 32 ビットの読み出し／書き込み可能なレジスタで、PWM のデューティ格納レジスタです。上位 24 ビットに 000000_H ～ $FFFFFF_H$ の範囲でデューティ設定が可能です。下位 8 ビットを読み出した場合は “0” が読み出されます。下位 8 ビットに書き込む場合は必ず “0” を書き込んでください。

DTRExy の値と対応するタイマカウンタ Exy（TCNTExy）の値は常に比較されており、両者の値が一致すると、対応するチャネルの出力端子（TOExy）は 0 出力になります。また、RLDENxy ビットが “1” に設定されていれば、CYLRExy と TCNTExy が一致すると、対応する DRLDExy の値が DTRExy にリロードされます。TCNTExy の上位 24 ビット に 000000_H を書き込むと PWM サイクル強制終了となり、次のクロックサイクルで上記と同様のリロードが起きます。また、デューティレジスタのコンペアマッチ（デューティマッチ）により、CPU へ割り込み要求の出力を行うことができます。

DTRExy の上位 24 ビット には 0 ～ CYLRExy の範囲の値を設定してください。0 を設定したときはデューティ 0%に、CYLRExy と同じ値を設定したときはデューティ 100%になります。DTRExy には CYLRExy より大きい値は設定しないでください。

TCNTExy 動作中に DTRExy に書き込みを行う際は書き込み値に注意してください。

TCNTExy 動作中に書き込みを行った場合、TCNTExy と DTRExy とのデューティマッチが検出できない可能性があります。その場合、所望の PWM 波形を得られません。

DTRExy の上位 24 ビット はリセット時に $FFFFFF_H$ に初期化されます。

22.8.2.16 CRLDExy — サイクルリロードレジスタ Exy

（x = 0, 1, 2, 3, 4, 5, 6 ：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 2130$_H$ +（100$_H$ * x）+（20$_H$ * y）

リセット後の値　FFFF FF00$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRLDExy															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRLDExy								—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

サイクルリロードレジスタ Exy（CRLDExy）は 32 ビットの読み出し／書き込み可能なレジスタです。上位 24 ビットに 000001$_H$ ～ FFFFFF$_H$ の範囲で PWM 周期を設定することが可能です。下位 8 ビットを読み出した場合は “0” が読み出されます。下位 8 ビットに書き込む場合は必ず “0” を書き込んでください。

リロード機能が有効になっていれば、サイクルレジスタ Exy（CYLRExy）のサイクルマッチ時に、本レジスタ値がサイクルレジスタ Exy（CYLRExy）に転送されます。TCNTExy の上位 24 ビットに 000000$_H$ を書き込むと PWM サイクル強制終了となり、次のクロックサイクルで上記と同様のリロードが起きます。

CRLDExy の上位 24 ビットはリセット時に FFFFFF$_H$ に初期化されます。

22.8.2.17 DRLDExy — デューティリロードレジスタ Exy

（x = 0, 1, 2, 3, 4, 5, 6 ：サブブロック E0 ～ E6 に対応、y = 0, 1, 2, 3：チャネル 0 ～ 3 に対応）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 2134$_H$　（100$_H$ * x）+（20$_H$ * y）

リセット後の値　FFFF FF00$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DRLDExy															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRLDExy								—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

デューティリロードレジスタ Exy（DRLDExy）は 32 ビットの読み出し／書き込み可能なレジスタです。上位 24 ビットに 000000$_H$ ～ FFFFFF$_H$ の範囲でデューティ設定が可能です。下位 8 ビットを読み出した場合は “0” が読み出されます。下位 8 ビットに書き込む場合は必ず “0” を書き込んでください。

リロード機能が有効になっていれば、サイクルレジスタ Exy（CYLRExy）のサイクルマッチ時、本レジスタ値がデューティレジスタ Exy（DTRExy）に転送されます。TCNTExy の上位 24 ビットに 000000$_H$ を書き込んだら PWM サイクル強制終了となり、次のクロックサイクルで上記と同様のリロードが起きます。

DRLDExy の上位 24 ビットはリセット時に FFFFFF$_H$ に初期化されます。

22.8.3 動作説明

タイマ E は 24 ビットタイマカウンタ Exy（TCNTExy）、24 ビットサイクルレジスタ Exy（CYLRExy）、24 ビットデューティレジスタ Exy（DTRExy）、および、24 ビットサイクルリロードレジスタ Exy（CRLDExy）、24 ビットデューティリロードレジスタ Exy（DRLDExy）で構成されており、PWM タイマとして使用できます。

タイマスタートレジスタ E（TSTRE）で動作対象サブブロックを、サブブロックスタートレジスタ Ex（SSTREx）でチャネルを選択することで TCNTExy はカウントアップ動作を開始します。TCNTExy がデューティレジスタ Exy（DTRExy）と一致すると次の TCNTExy カウントクロック入力時に TOExy 出力を 0 に、サイクルレジスタ Exy（CYLRExy）と一致すると次の TCNTExy カウントクロック入力時に TOExy 出力を 1 に変化させます。サイクルレジスタと一致すると、次のカウントクロックでカウント値の上位 24 ビットを 000001_H にクリアし、そこから再びアップカウントを開始します。

以降、デューティマッチ、サイクルマッチを繰り返し TOExy 端子から PWM 出力を行います。

ただしカウンタを起動してから最初のサイクルマッチまでの 1 周期の間は、外部出力は 0（初期値）のままです。

PWM 周期は 000001_H ～ $FFFFFF_H$ の期間が設定可能です。一方、デューティは 0%～ 100%までが設定できます。それぞれサイクルレジスタ、デューティレジスタに設定した値がサイクル幅、デューティ幅となります。デューティレジスタの値が 0000_H の場合は、出力は 0 のまま変化しません（デューティ 0%）。　デューティレジスタの値がサイクルレジスタと同じ場合はデューティ 100%となり 1 を出力し続けます。デューティレジスタにはサイクルレジスタを越える値を設定しないでください。

サイクルレジスタのコンペアマッチ（サイクルマッチ）で周期ごとに割込み要求を生成できますが、チャネル 0 のサイクルマッチは DMA 転送要求として使用できます。**図 22.55** のように DMA 転送要求は 1PCLK のパルス出力となります。

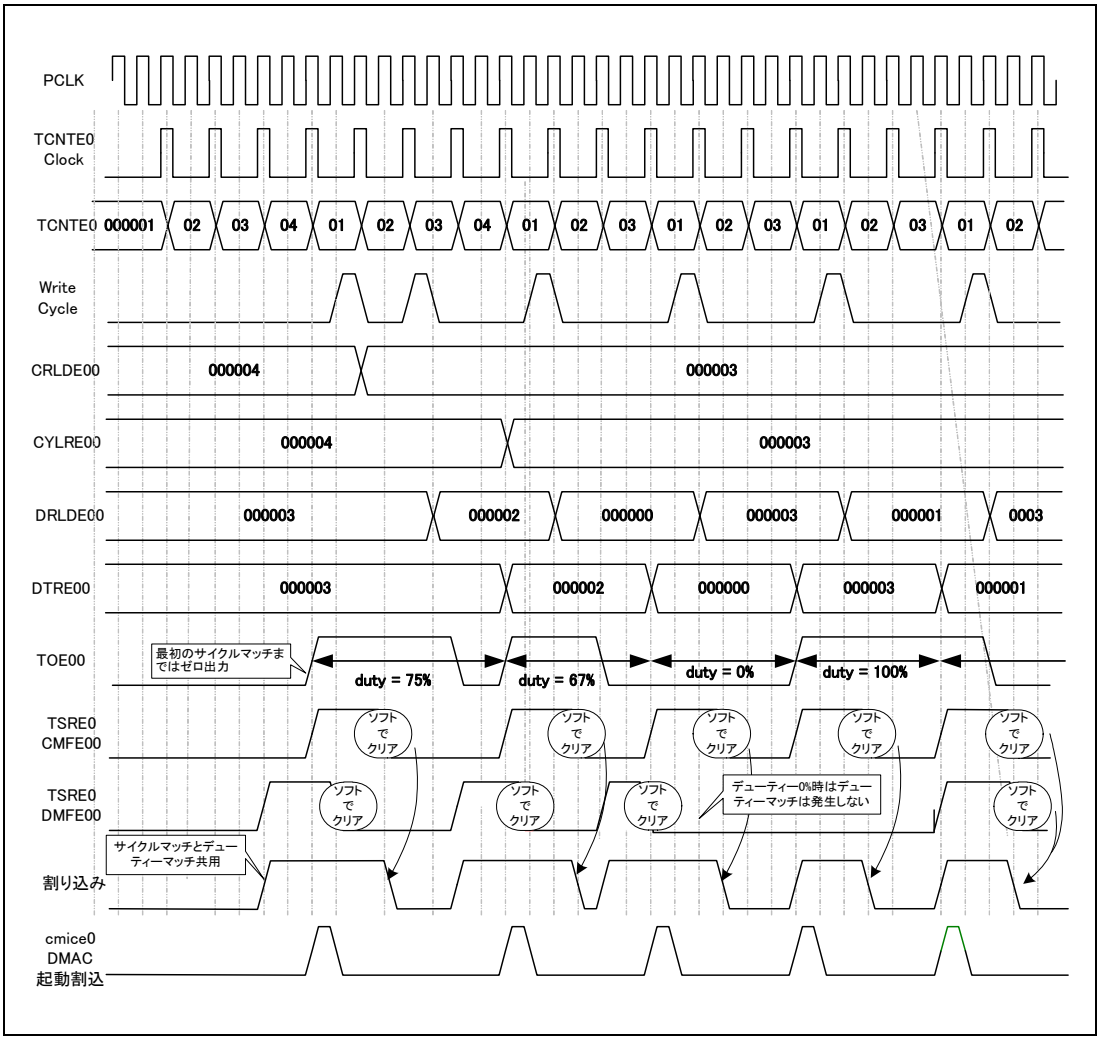


図 22.55　PWM タイマ動作（1）

デューティレジスタ、サイクルレジスタはそれぞれリロードレジスタを持っており、アップカウンタがサイクルレジスタの値と一致したときにデューティリロードレジスタからデューティレジスタへ、サイクルリロードレジスタからサイクルレジスタへ転送されます。デューティリロードレジスタ／サイクルリロードレジスタに書き込まれた値がデューティ／サイクルに反映されるのは、書き込んだ PWM 周期の次の周期からです。このリロード機能の有効／無効は、リロードコントロールレジスタ Ex（RLDCREx）のリロードイネーブルビット Exy（RLDENExy）によって制御できます。

タイマ E はタイマカウンタ Exy（TCNTExy）の上位 24 ビットに 000000_H を書き込むことで、強制的に PWM 出力サイクルを終了することができます。カウンタ値の上位 24 ビットは次のカウントクロック入力で 000000_H から 000001_H に遷移しカウントを再開します。カウンタの上位 24 ビットが 000001_H へ遷移するタイミングで、サイクルリロードレジスタからサイクルレジスタ、デューティリロードレジスタからデューティレジスタへ値が転送されます。

図 22.55 にブロック E0、チャネル 0 での PWM タイマ動作を示します。

デューティを 75%、67%、0%、100%と毎サイクル変更している状態を表しています。

図 22.56 はカウンタの上位 24 ビットに 000000_H を書き込むことで PWM 出力サイクルを強制終了させ、再起動している状態を表しています。

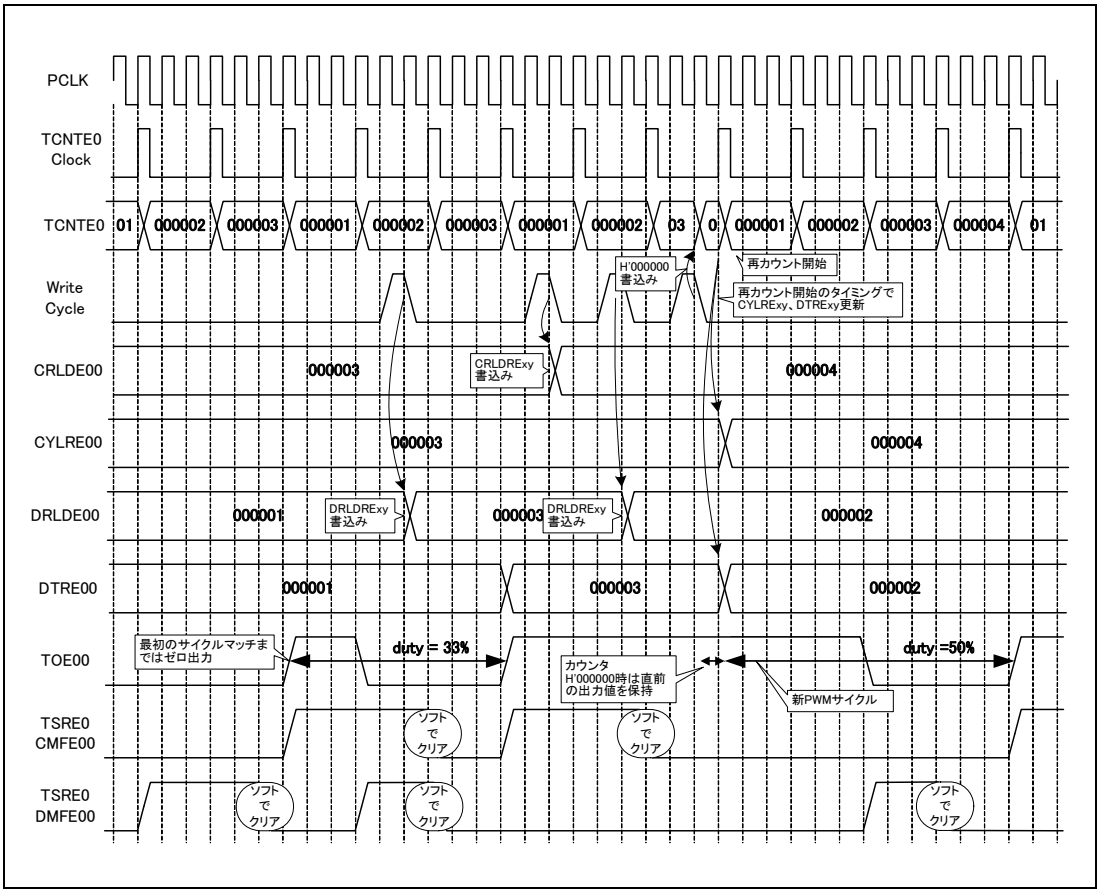


図 22.56　PWM タイマ動作（2）

カウンタの上位 24 ビットへの 000000_H 書き込みにより、カウンタの上位 24 ビットが 000000_H になります。出力波形（TOE00）は変化しません。上位 24 ビットへ 000000_H 書き込み後のカウントクロック入力により、リロード機能が有効に設定されていれば、サイクルリロードレジスタ／デューティリロードレジスタから、サイクルレジスタ／デューティレジスタへ値が転送されます。同時にカウント動作を再開し、PWM 出力も開始します。

出力波形のオフデューティ設定はタイマアウトプットコントロールレジスタ Ex（TOCREx）の該当ビットをオフデューティに設定をすることで可能です。設定した次の PCLK サイクルから出力端子（TOExy）からの出力は反転します。

図 22.57 はオンデューティ／オフデューティを切り替えた場合の出力波形を示しています。カウント動作前にオフデューティ設定をすることで、出力端子（TOE00）の初期値は 1 となります。カウント開始から最初のサイクルマッチまでの間、TOE00 は 1 を出力、その後、サイクルマッチ、デューティマッチで 0、1 出力を繰り返します。カウンタの上位 24 ビットへの 000000_H 書き込みによる強制サイクル終了が発生した場合、TOE00 は直前の出力値を保持。カウンタの上位 24 ビットが 000001_H に遷移するタイミングから再び新たな PWM サイクルを開始します。

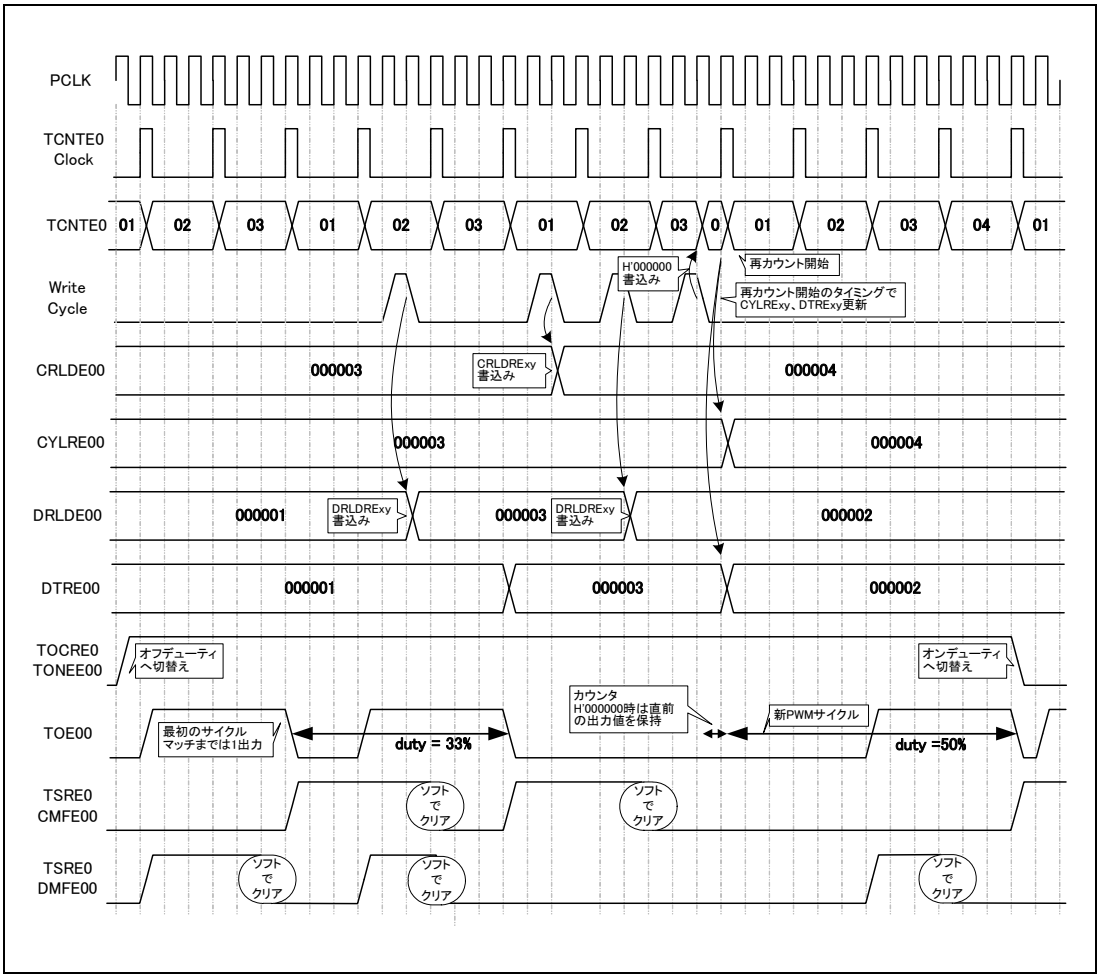


図 22.57　PWM タイマ動作（3）

図 22.58 は PWM 出力遮断出力遮断時の出力波形を示しています。出力遮断コントロールレジスタ Ex（POECREx）の出力遮断有効／無効選択ビット（POEENxy）を有効に設定した状態でかつ、デューティ期間（前 PWM サイクルのサイクルマッチからデューティマッチの間）にシャットオフ入力（POEx）がイネーブルになると PWM 出力を遮断します。非デューティ期間で POEx がイネーブルとなっても遮断動作は実行されません。出力遮断状態においては、出力遮断レベル設定レジスタ Ex（SOLVLEx）の出力レベル H/L 選択ビット（PWMSLVxy）によって指定された信号レベルを、TOExy に出力します。この出力レベルは、タイマアウトプットコントロールレジスタ Ex（TOCREx）の該当ビットによる反転設定（オンデューティ／オフデューティ設定）の影響を受けません。

出力遮断状態はサイクルマッチ時の POEx がディセーブルであれば解除されます。前述のタイミングで POEx がイネーブル状態のときは、次のサイクルマッチまで PWM 出力遮断状態を継続します。

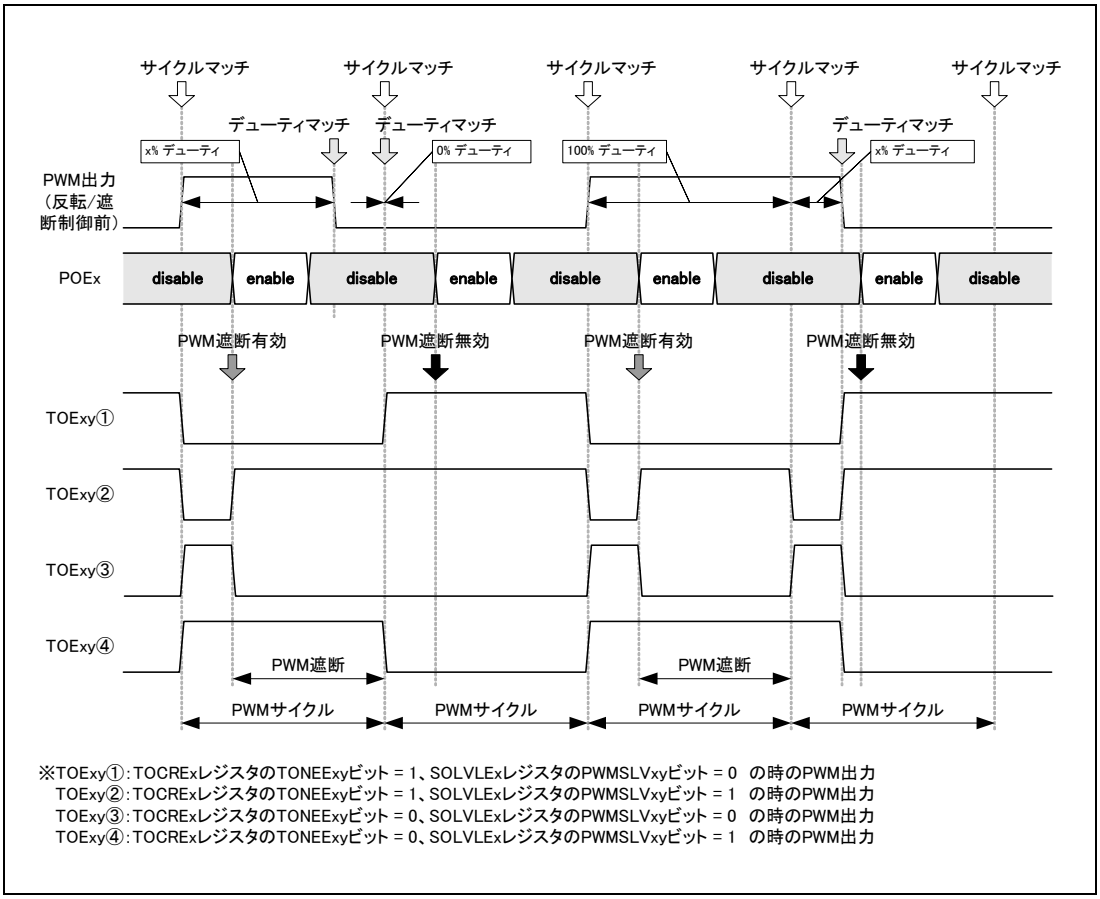


図 22.58　PWM 出力遮断の例

補足：デューティー期間内に一旦 POEx を enable にすると POEx を disable にしても、次のサイクルマッチまでは遮断状態が継続します。サイクルマッチ時でも、デューティー 100% 設定（リロードで 0% になる場合以外）の時、POEx を enable にすることで新たに遮断状態を設定することができます。PWM サイクルの強制終了であるカウンタ値の上位 24 ビットが H’0000_00 時は、デューティー 0% 設定（リロードで 0% になる場合を含む）でない場合は POEx に従って遮断もしくは遮断の解除を行います。デューティー 0% 設定（リロードで 0% になる場合を含む）の場合は、POEx を disable にした後の遮断の解除のみ受け付けます。

22.9 タイマ F

22.9.1 動作概要

タイマ F ブロックは、16 個のタイマ F サブブロックによって構成されます。

タイマ F サブブロックは、以下の機能を実現することができます。

- 一定時間内エッジカウント :
  所定の時間内に外部入力ピン（TIFxA または TIFx）に与えられたエッジをカウントします。
- 有効エッジ入力間隔計測 :
  外部入力ピン（TIFxA または TIFx）に所定回数のエッジが与えられるまでに経過した時間を計測します。
- 入力 High/Low 期間計測 :
  外部入力ピン（TIFxA または TIFx）にハイ（ロー）レベルの信号が与えられている時間を計測します。計測する期間は、外部入力ピンに与えられるパルスの個数で指定することができます。
- PWM 入力波形計測 :
  外部入力ピン（TIFxA または TIFx）に与えられる PWM 波形のオフデューティ、サイクル時間を計測します。計測する期間は、外部入力ピンに与えられる PWM サイクル数で指定することができます。
- 回転速度／パルス計測（サブブロック 3 ～ 15 のみ）:
  外部入力ピン（TIFx）にエッジ入力が与えられるたびに、エッジカウント値、エッジ入力時のタイムスタンプ、エッジ入力間隔（サイクル）、直前のハイ（ロー）レベル入力期間を保持します。
- アップ／ダウンカウント（サブブロック 0 ～ 2 のみ）:
  2 本の外部入力ピン（TIFxA, TIFxB）のうち、TIFxA をカウントソースとしてカウント動作を行います。TIFxB でアップカウント、ダウンカウントを切り替えます。
- 4 逓倍イベントカウント（サブブロック 0 ～ 2 のみ）:
  2 本の外部入力ピン（TIFxA, TIFxB）をカウントソースとしてカウント動作を行います。2 本の信号の入力状態によって、アップカウント、ダウンカウントを切り替えます。

各外部信号入力端子 TIFxA または TIFx、TIFxB からの入力は、入力キャンセル機能を使用してノイズをキャンセルすることができます。また、外部信号入力端子 TIFxA または TIFx の代わりにタイマ A からの TIA00 ～ 06 のノイズキャンセル後の信号を外部入力として使用することができます。

TIF0A ～ TIF2A、TIF0B ～ TIF2B の入力は、タイマ E の POE0 ～ POE5 の入力（シャットオフ入力）としても使用することができます。TIFxA/B と POEx の対応はタイマ E の項にある **表 22.89** のとおりです。

TIF0A ～ TIF2A、TIF0B ～ TIF2B をタイマ E のシャットオフ入力として使用する場合、対応するタイマ F サブブロックではシャットオフ入力が計測対象となることにご注意ください。

構成

図 22.59 に、タイマ F のブロック図を示します。タイマ F サブブロックは、サブブロック 0 ～ 2 は 2 本の外部入力 TIFxA、TIFxB、それ以外のサブブロックは 1 本の外部入力 TIFx、2 本の 32 ビットカウンタ（ECNTAFx、ECNTCFx）、3 本の 32 ビット汎用レジスタ（GRAFx、GRCFx、GRDFx）、3 本の 32 ビットバックアップレジスタ（BGRAFx 、BGRCFx、BGRDFx ）、16 ビットアップ／ダウンカウンタ（ENCTBFx）、16 ビット汎用レジスタ（GRBFx）、入力処理部（エッジ検出、ノイズキャンセラ）、および制御部などで構成されています。

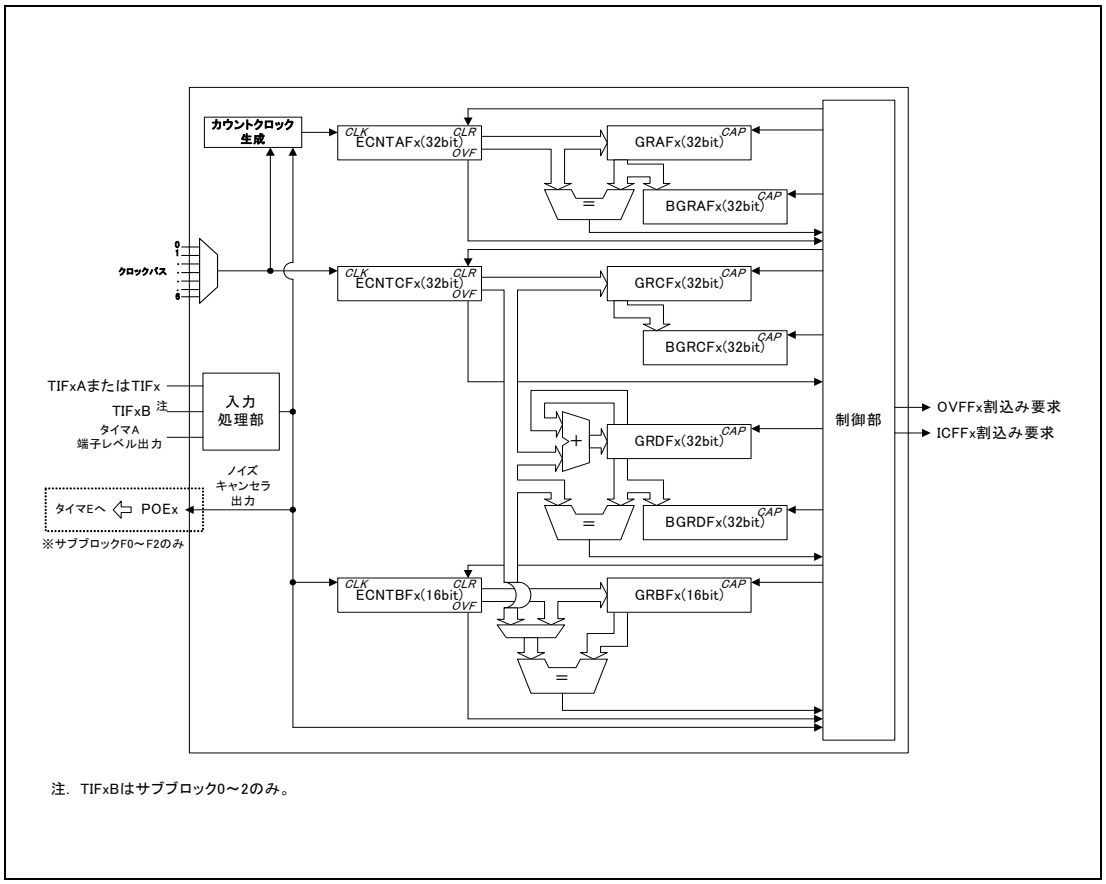


図 22.59　タイマ F サブブロック図

備　考

TIFxA/B と POEx の対応はタイマ E の項にある**表 22.89** を参照

割り込み要求

タイマ F は以下に示す 2 種類、計 32 本の割り込み要求を出力することができます。

- OVFFx 割り込み要求（0 ≦ x ≦ 15、計 16 本）: タイマサブブロック Fx の備える 3 個のカウンタ（ECNTAFx, ECNTBFx,ECNTCFx）のいずれかがオーバフロー、あるいはアンダフロー（ECNTBFx のみ）した場合に出力されます。PWM 入力波形計測モード、回転速度／パルス計測モードでは、コンペアマッチ割り込みとして出力することも可能です。ステータスレジスタを参照することで、どのカウンタによる割り込み要求か識別することができます。この要求は INTC ブロックによって受け取られ、所定の処理が行われます。
- ICFFx 割り込み要求（0 ≦ x ≦ 15、計 16 本）: タイマサブブロック Fx でカウント値のキャプチャが生じると出力されます。この要求は DMAC ブロック、あるいは INTC によって受け取られます。DMAC による DMA 転送によって、コンペアマッチをトリガとして得られたキャプチャデータを内蔵 RAM に転送することも、あるいは割り込み要求によって所定の処理を行うことも可能です。DMAC による DMA 転送の詳細は、**「第 7 章 DMA」**を参照してください。

22.9.2 タイマ F 関連レジスタ

22.9.2.1 TSTRF — タイマスタートレジスタ F

アクセス 8 ビット／16 ビットアクセス可能

アドレス FFE6 3000_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STRF 15	STRF 14	STRF 13	STRF 12	STRF 11	STRF 10	STRF 9	STRF 8	STRF 7	STRF 6	STRF 5	STRF 4	STRF 3	STRF 2	STRF 1	STRF 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.102 TSTRF レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	STRF15 ～ STRF0	タイマ F スタートビット 0: ECNTAFx、ECNTBFx、および ECNTCFx のカウント動作を停止 1: ECNTAFx、ECNTBFx、および ECNTCFx のカウント動作を許可

備考 x は 0 ～ 15 の整数。

タイマスタートレジスタ F（TSTRF）は 16 ビットの読み出し／書き込み可能なレジスタで、タイマ F に含まれる各サブブロック（タイマ F0 ～タイマ F15）を動作させるか停止させるかを指定します。ただし、タイマ F のスタートビットをカウント動作許可に設定していても、ATU-IV イネーブルレジスタ（ATUENR）の TFE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRF はリセット時に 0000_H に初期化されます。

(1) STRFx — カウンタ F スタートビット

タイマ F サブブロック F0 ～ F15 の 2 本の時間計測カウンタ（ECNTAFx、ECNTCFx）およびイベントカウンタ Fx（ECNTBFx）を動作させるか、停止させるかを設定します。
このビットを “0” にクリアした場合、ECNTAFx、ECNTBFx、および ECNTCFx は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。
カウンタ F スタートビットを “1” にセットしても、ATUENR の TFE ビットがセットされていなければカウント動作は開始されません。

注　意

プリスケーラは、カウンタ F スタートビットの設定に関係なく動作しており、上記カウンタの動作開始時にも初期化は行われません。したがって起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さがともないます。

22.9.2.2　NCMCR1F — ノイズキャンセルモードチャネルレジスタ 1F

アクセス　8 ビット／16 ビットアクセス可能

アドレス　FFE6 3004_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCM1F 15	NCM1F 14	NCM1F 13	NCM1F 12	NCM1F 11	NCM1F 10	NCM1F 9	NCM1F 8	NCM1F 7	NCM1F 6	NCM1F 5	NCM1F 4	NCM1F 3	NCM1F 2	NCM1F 1	NCM1F 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.103 NCMCR1F レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCM1F 15 ～ NCM1F 0	ノイズキャンセルモードビット チャネル x のノイズキャンセラの動作モードを指定します。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード（NCMF = 0 & NCM2Fx = 0 時） レベル積算キャンセルモード（NCMF = 0 & NCM2Fx = 1 時）

備考　x は 0 ～ 15 のサブブロック No（チャネル No）。

ノイズキャンセルモードチャネルレジスタ 1F は、16 ビットの読み出し／書き込み可能なレジスタであり、各チャネル単位にあるノイズキャンセラの動作モードを選択します。

後続エッジキャンセルモードは、入力信号のレベル変化を検出したあと、指定期間内の入力信号のレベル変化を無視します。最初のレベル変化以降、指定期間内の信号レベルの変化をノイズとみなすモードです。

先行エッジキャンセルモードは、入力信号のレベル変化を検出したあと、指定期間内に入力信号のレベルが変化した場合、最初のレベル変化と、それに続くレベル変化を無視します。信号レベルが指定期間以上一定でないものはノイズとみなすモードです。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になってはじめて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各チャネルのノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 22.1 に後続エッジキャンセルモード、**図 22.3** にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各チャネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。**図 22.1**、**図 22.3** は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM1Fx — チャネル x ノイズキャンセルモードビット

チャネル x のノイズキャンセラの動作モードを設定します。

注　意

本レジスタは、共通制御部のノイズキャンセルモードレジスタ（NCMR）の NCMF ビットが “0” の場合にのみ設定が有効となります。さらに、本レジスタのチャネル対応ビット（NCM1Fx）に “1” を設定した場合のモード状態は、ノイズキャンセルモードチャネルレジスタ 2F（NCMCR2F）の対応する同一チャネルビットの状態により、先行エッジキャンセルモード／レベル積算キャンセルモードに設定することが可能です。注）x は、0 ～ 15

22.9.2.3　NCMCR2F — ノイズキャンセルモードチャネルレジスタ 2F

アクセス　8 ビット／16 ビットアクセス可能

アドレス　FFE6 3008_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCM2F 15	NCM2F 14	NCM2F 13	NCM2F 12	NCM2F 11	NCM2F 10	NCM2F 9	NCM2F 8	NCM2F 7	NCM2F 6	NCM2F 5	NCM2F 4	NCM2F 3	NCM2F 2	NCM2F 1	NCM2F 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.104 NCMCR2F レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCM2F 15 ～ NCM2F 0	ノイズキャンセルモードビット チャネル x のノイズキャンセラの動作モードを指定します。 0：先行エッジキャンセルモード（NCMF = 0 & NCM1Fx = 1 時） 1：レベル積算キャンセルモード（NCMF = 0 & NCM1Fx = 1 時）

備考　x は 0 ～ 15 のサブブロック No（チャネル No）。

ノイズキャンセルモードチャネルレジスタ 2F は、16 ビットの読み出し／書き込み可能なレジスタであり、各チャネル単位にあるノイズキャンセラの動作モードを選択します。

レベル積算キャンセルモードは、入力信号のレベルを積算し、積算結果が 0 または指定値になって初めて入力レベルが 0 または 1 に達したとみなすモードです。

それぞれ期間の指定は、各チャネルのノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 22.1 に後続エッジキャンセルモード、**図 22.3** にレベル積算キャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略図を示します。

各チャネルでは、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。**図 22.1**、**図 22.3** は、それぞれノイズキャンセラ通過後の信号に対して、立ち上がりエッジ検出を行う場合の例を示しています。

(1) NCM2Fx — チャネル x ノイズキャンセルモードビット

チャネル x のノイズキャンセラの動作モードを設定します。

注　意

本レジスタは、共通制御部のノイズキャンセルモードレジスタ（NCMR）の NCMF ビットが “0” の場合にのみ設定が有効となります。さらに、本レジスタのチャネル対応ビット（NCM1Fx）に “1” を設定した場合のモード状態は、ノイズキャンセルモードチャネルレジスタ 2F（NCMCR2F）の対応する同一チャネルビットの状態により、先行エッジキャンセルモード／レベル積算キャンセルモードに設定することが可能です。注）x は、0 ～ 15

22.9.2.4 NCCRF — ノイズキャンセラコントロールレジスタ F

アクセス 8 ビット／16 ビットアクセス可能

アドレス FFE6 300C$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCEF 15	NCEF 14	NCEF 13	NCEF 12	NCEF 11	NCEF 10	NCEF 9	NCEF 8	NCEF 7	NCEF 6	NCEF 5	NCEF 4	NCEF 3	NCEF 2	NCEF 1	NCEF 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.105 NCCRF レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCEFx	ノイズキャンセライネーブルビット Fx（NCEFx） 0：TIFxA または TIFx、TIFxB のノイズキャンセル機能無効 1：TIFxA または TIFx、TIFxB のノイズキャンセル機能有効

備考 x は 0 ～ 15 の整数。

ノイズキャンセラコントロールレジスタ F（NCCRF）は 16 ビットの読み出し／書き込み可能なレジスタで、タイマ F に含まれる各サブブロック（タイマ F0 ～タイマ F15）のノイズキャンセラ機能の有効／無効を設定します。

NCCRF はリセット時に 0000$_H$ に初期化されます。

(1) NCEFx — ノイズキャンセライネーブルビット Fx

各サブブロックのノイズキャンセル機能の有効／無効を選択します。サブブロック 0 ～ 2 に関しては、TIFxA と TIFxB それぞれのノイズキャンセラがありますが、個別に有効／無効を設定することはできません。NCEFx ビットを “1” にすると、TIFxA、TIFxB それぞれのノイズキャンセラが有効になります。

ノイズキャンセル機能を有効にした場合、外部入力 TIFxA または TIFx、TIFxB の入力信号のレベル変化を検出すると、共通制御部内のノイズキャンセルモードレジスタ（NCMR）、タイマ F にあるノイズキャンセルモードチャネルレジスタ 1F（NCMCR1F）、タイマ F にあるノイズキャンセルモードチャネルレジスタ 2F（NCMCR2F）の設定に合わせて、後続エッジキャンセルモード、あるいは先行エッジキャンセルモード、またはレベル積算キャンセルモードのいずれかの処理を開始します。

後続エッジキャンセルモードでは、入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ FAx、FBx（NCNTFA0 ～ 15、NCNTFB0 ～ 2）がアップカウントを開始します。このノイズキャンセルカウンタの値が、ノイズキャンセルレジスタ（NCRFA0 ～ 15、NCRFB0 ～ 2）の値とコンペアマッチするまでの間、入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの入力信号のレベルがノイズキャンセル後の信号として出力されます。NCNTFAx、NCNTFBx がカウント動作中にこれらのビットを “0” クリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も対応する外部入力 TIFxA または TIFx、TIFxB のレベル変化はマスクされつづけます。

先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ（NCNTFA0 ～ 15、NCNTFB0 ～ 2）がアップカウントを開始し、ノイズキャンセルレジスタ（NCRFA0 ～ 15、NCRFB0 ～ 2）の値とコンペアマッチするまでの間に入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化し

た場合はノイズとみなされ、ノイズキャンセラは入力信号のレベルに変化がなかったものとしてノイズキャンセル後の信号を変化させません。

NCNTFx、NCNTFBx がカウント動作中にこれらのビットを “0” クリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

レベル積算キャンセルモードでは、入力信号のレベルにしたがい対応するノイズキャンセルカウンタ FAx、FBx（NCNTFA0 ～ 15、NCNTFB0 ～ 2）がアップ／ダウンカウントを行います。入力ハイレベルでアップカウント、入力ロウレベルでダウンカウントとなります。アップカウントはノイズキャンセルカウンタがノイズキャンセルレジスタ（NCRFA0 ～ 15、NCRFB0 ～ 2）の値とコンペアマッチするまでの間、ダウンカウントはノイズキャンセルカウンタが 0000_H にコンペアマッチするまで続きます。アップカウントでコンペアマッチ（NCRFA0 ～ 15、NCRFB0 ～ 2）するとノイズキャンセラ出力を 1 に更新します。また、ダウンカウントでコンペアマッチ（0000_H）するとノイズキャンセラ出力を 0 に更新します。

先行エッジキャンセルモードならびに後続エッジキャンセルモードにおいて、レベル変化の検出は選択したノイズキャンセルクロックにかかわらず常に Pϕ によって行われます。レベル積算キャンセルモードにおいて、入力レベルのサンプリングはノイズキャンセラ用クロック（Pϕ または Pϕ/128）よって行われます。

各キャンセルモードの動作例は、**図 22.1**、**図 22.2**、**図 22.3** を参照してください。

22.9.2.5 PVFCRF — プライベートファンクションコントロールレジスタ F

アクセス 16 ビットアクセス可能

アドレス FFE6 3010_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PVFCRKEY[7:0]								—	—	—	—	—	—	GRDFCMEN	BKCRWEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R	R	R	R	R	R	R/W	R/W

注 1. ライトキーコードの書き込み値は保持されません。

表 22.106 PVFCRF レジスタの内容

ビット位置	ビット名	機能
15 ～ 8	PVFCRKEY [7:0]	ライトキーコード $C9_H$：GRDFCMEN、BKCRWEN の書き換え可能 $C9_H$ 以外：GRDFCMEN、BKCRWEN の書き換え不可
7 ～ 2	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
1	GRDFCMEN	GRDFx コンペアマッチイネーブルビット 0：PWM 入力波形計測モードで GRDFx コンペアマッチ機能が無効。 1：PWM 入力波形計測モードで GRDFx コンペアマッチ機能が有効。
0	BKCRWEN	バックアップコントロールレジスタ Fx ライトイネーブルビット 0：BKCRFx レジスタはライト不可。 1：BKCRFx レジスタはライト可能。

備考 x は 0 ～ 15 の整数。

プライベートファンクションコントロールレジスタ F（PVFCRF）は、16 ビットの読み出し／書き込み可能なレジスタです。ただし、本レジスタへのライト時にはライトデータと同時にビット 15 ～ 8 へライトキーコードの設定が必要です。

PVFCRF はリセット時に 0000_H に初期化されます。

(1) PVFCRKEY — ライトキーコード

GRDFCMEN、BKCRWEN ビットの書き換え可否を制御します。GRDFCMEN、BKCRWEN ビットへのライトデータと同時にビット 15 ～ 8 へライトキーコードの設定が必要です。本ビットへの書き込みデータは保持されませんので、読み出し値は常に 00_H になります。

(2) GRDFCMEN — GRDFx コンペアマッチイネーブルビット

時間計測カウンタ CFx（ECNTCFx）と汎用レジスタ DFx（GRDFx）とのコンペアマッチ機能の有効／無効を制御します。このビットの設定は PWM 入力波形モードでのみ有効となり、ほかの動作モードでは無視されます（GRDFx コンペアマッチ機能無効）。

このビットの設定はタイマ F の全サブブロックに対し同一で、サブブロック単位で個別に異なる設定はできません。

(3) BKCRWEN — バックアップコントロールレジスタ Fx ライトイネーブルビット

バックアップコントロールレジスタ Fx（BKCRFx）へのライト可否を制御します。

このビットの設定はタイマ F の全サブブロックに対し同一で、サブブロック単位で個別に異なる設定はできません。

22.9.2.6 TCR1Fx — タイマコントロールレジスタ 1Fx

（x = 0 ～ 15 ：サブブロック F0 ～ F15 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3040_H +（40_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CKSELFx[2:0]			MDFx[2:0]			EGSELFx[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.107 TCR1Fx レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	CKSELFx[2:0]	クロックセレクト Fx 時間計測カウンタ（ECNTAFx, ECNTCFx）のクロックソースを指定します 000：クロックバス 0 001：クロックバス 1 010：クロックバス 2 011：クロックバス 3 100：クロックバス 4 101：クロックバス 5 110：クロックバス 6 111：予約
4 ～ 2	MDFx[2:0]	タイマ動作モード Fx 対応するタイマサブブロック Fx の動作モードを指定します 000：一定時間内エッジカウント 001：有効エッジ入力間隔計測 010：入力 High/Low 期間計測 011：予約 100：PWM 入力波形計測 101：回転速度／パルス計測 110：アップ／ダウンイベントカウント 111：4 逓倍イベントカウント
1、0	EGSELFx[1:0]	エッジセレクト Fx TIFxA または TIFx 入力、または TIA00-06 入力のエッジセンスモードを指定します 00：エッジ検出無効 01：立ち上がりエッジ 10：立ち下がりエッジ 11：両エッジ

タイマコントロールレジスタ 1Fx（TCR1F0 ～ TCR1F15）は 8 ビットの読み出し／書き込み可能なレジスタで、タイマ F に含まれる各サブブロック（タイマ F0 ～タイマ F15）の動作モードを指定します。

TCR1F0 ～ TCR1F15 はリセット時に 00_H に初期化されます。

(1) CKSELFx — クロックセレクト Fx

タイマサブブロック F0 ～ F15 の 2 本の時間計測カウンタ（ECNTAFx、ECNTCFx）のクロックソースを指定します。

このビットに “000” から “110” を指定することによって、クロックバス 0 からクロックバス 6 のいずれかをクロックソースとして選択することができます。このビットには “111” を指定しないでください。誤って指定した場合の動作は保証されません。

(2) MDFx — タイマ動作モード Fx

タイマサブブロック F0 ～ F15 の動作モードを指定します。動作モードには、アップ／ダウンイベントカウント、4 逓倍イベントカウント、一定時間内エッジカウント、有効エッジ入力間隔計測、入力 High/Low 期間計測、PWM 入力波形計測、回転速度／パルス波形計測の計 7 つのモードがあります。

ただし、サブブロック 3 ～ 15 以外では、回転速度／パルス計測モードを設定しないでください。

(3) EGSELFx — エッジセレクト Fx

タイマサブブロック F0 ～ F15 のイベント入力（TIFxA または TIFx）、およびタイマ A からの端子入力（TIA00 ～ 06）のエッジセンスモードを指定します。

エッジ検出は、ノイズキャンセラ通過後の信号に対して行われます。ノイズキャンセル機能が無効であれば外部入力（TIFxA または TIFx、TIFxB）に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることになります。TIA00 ～ 06 の入力のノイズキャンセルについては、タイマ A でのノイズキャンセルの設定にしたがいます。

入力 High/Low 期間計測に指定した場合、このビットで立ち下がりエッジを選択すると High 期間計測となり、立ち上がりエッジを選択すると Low 期間計測を行います。両エッジは選択しないでください。

PWM 入力波形計測、および回転速度／パルス計測に指定した場合、このビットで立ち上がりエッジを選択すると 2 つの立ち上がりエッジ間を PWM サイクルとみなし、Low 期間をオフデューティサイクルとみなして計測を行います。また、立ち下がりエッジを選択した場合は、2 つの立ち下がりエッジ間を PWM サイクル、High 期間をオフデューティサイクルと計測します。両エッジは選択しないでください。

また、アップ／ダウンカウントモード、および 4 逓倍イベントカウントモード指定時には、必ず立ち上がり／立ち下がり両エッジを指定してください。誤ってほかのエッジを選択した場合の動作は保証されません。

注　意

TIFxB は、アップダウンカウント、4 逓倍イベントカウントモードにおいてのみ有効な端子です。常に立ち上がり／立ち下がり両エッジを検出して動作します。それ以外のモードでは TIFxB のエッジ検出は行われません。

22.9.2.7 TCR2Fx — タイマコントロールレジスタ 2Fx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3042_H +（40_H * x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	EISELEFx	—	—	—	—	EISELFx		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R/W	R/W	R/W

表 22.108 TCR2Fx レジスタの内容

ビット位置	ビット名	機能
7	EISELEFx	イベント入力選択イネーブル Fx イベント入力を選択します 0：TIFxA または TIFx を選択 1：TIA のノイズキャンセル後の信号を選択
6 ～ 3	—	何も配置されていません。“0” 固定にしてください。
2 ～ 0	EISELFx	イベント入力選択 Fx EISELEFx で TIA のノイズキャンセル後の信号を選択したときの TIA の信号を選択します 000：タイマ A の TIA00 のノイズキャンセル後の信号を選択 001：タイマ A の TIA01 のノイズキャンセル後の信号を選択 010：タイマ A の TIA02 のノイズキャンセル後の信号を選択 011：タイマ A の TIA03 のノイズキャンセル後の信号を選択 100：タイマ A の TIA04 のノイズキャンセル後の信号を選択 101：タイマ A の TIA05 のノイズキャンセル後の信号を選択 110：タイマ A の TIA06 のノイズキャンセル後の信号を選択 111：設定禁止

備考 x は 0 ～ 15 の整数。

タイマコントロールレジスタ 2Fx（TCR2Fx）は 8 ビットの読み出し／書き込み可能なレジスタで、タイマ F の各サブブロック（タイマ F0 ～タイマ F15）のイベント入力を選択します。

TCR2F0 ～ 15 はリセット時に 00_H に初期化されます。

(1) EISELEFx — イベント入力選択イネーブル Fx

タイマ F に含まれる各サブブロック（タイマ F0 ～タイマ F15）のイベント入力を選択します。

本ビットの設定により、外部入力端子 TIFxA または TIFx の代わりにタイマ A の TIA00 ～ 06 のノイズキャンセル後の信号をイベント入力として選択することができます。

(2) EISELFx — イベント入力選択 Fx

EISELEFx の設定が “1” のとき、タイマ F に含まれる各サブブロック（タイマ F0 ～タイマ F15）のイベント入力として、タイマ A の TIA00 ～ 06 のノイズキャンセル後の信号を選択することができます。

ビットには “111” を指定しないでください。誤って指定した場合の動作は保証されません。

22.9.2.8 TIERFx — タイマインタラプトイネーブルレジスタ Fx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3047$_H$ +（40$_H$ * x）

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	OVECFx	OVEBFx	OVEAFx	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R

表 22.109 TIERFx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
3	OVECFx	オーバフローインタラプトイネーブル CFx 0：OVFCFx による割り込み要求を禁止 1：OVFCFx による割り込み要求を許可
2	OVEBFx	オーバフローインタラプトイネーブル BFx 0：OVFBFx による割り込み要求を禁止 1：OVFBFx による割り込み要求を許可
1	OVEAFx	オーバフローインタラプトイネーブル AFx 0：OVFAFx による割り込み要求を禁止 1：OVFAFx による割り込み要求を許可
0	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。

備考 x は 0 ～ 15 の整数。

タイマインタラプトイネーブルレジスタ Fx（TIERF0 ～ TIERF15）は 8 ビットの読み出し／書き込み可能なレジスタで、タイマステータスレジスタ Fx のステータスフラグに対応する割り込み要求を許可するか禁止するか指定します。

TIERF0 ～ TIERF15 はリセット時に 00$_H$ に初期化されます。

(1) オーバフローインタラプトイネーブル AFx

このフラグにより、時間計測カウンタ AFx（ECNTAFx）のオーバフローに対応するステータス（OVFAFx）の割り込み要求を許可するか禁止するか指定します（**注 1.**）。

(2) オーバフローインタラプトイネーブル BFx

このフラグにより、イベントカウンタ Fx（ECNTBFx）のオーバフロー／アンダフローに対応するステータス（OVFBFx）の割り込み要求を許可するか禁止するか指定します（**注 1.**）。

(3) オーバフローインタラプトイネーブル CFx

このフラグにより、時間計測カウンタ CFx（ECNTCFx）のオーバフロー（PWM 入力波形計測モード時かつ PVFCRF レジスタの GRDFCMEN ビットが “0” の場合）、ECNTCFx と GRDFx のコンペアマッチ（PWM 入力波形計測モード時かつ PVFCRF レジスタの GRDFCMEN ビットが “1” の場合）、あるいは ECNTCFx と GRBFx のコンペアマッチ（回転速度／パルス計測モード時）に対応するステータス（OVFCFx）の割り込み要求を許可するか禁止するか指定します（**注 1.**）。

注 1. タイマサブブロック Fx のオーバフロー割り込み要求は、OVFAFx、OVFBFx、OVFCFx による割り込み要求の論理和として要求されます。TSRFx を参照することによって、どのカウンタのオーバフロー（またはアンダフロー）による割り込み要求かを判断することができます。割り込み処理時には対応する割り込み要求の TSRFx のフラグをクリアしてください。クリアしない場合は割り込み要求が継続されます。

22.9.2.9 BKCRFx — バックアップコントロールレジスタ Fx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3044_H +（40_H * x）

リセット後の値 00_H

【サブブロック F00 ～ F02 の場合】

ビット	7	6	5	4	3	2	1	0
	—	—	BKENCFx	—	—	—	ARSWCFx	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R/W	R

【サブブロック F03 ～ F15 の場合】

ビット	7	6	5	4	3	2	1	0
	—	BKENAFx	BKENCFx	BKENDFx	—	ARSWAFx	ARSWCFx	ARSWDFx
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W 注 2	R/W 注 2	R/W 注 2	R	R/W 注 2	R/W 注 2	R/W 注 2

表 22.110 BKCRFx レジスタの内容

ビット位置	ビット名	機能
7	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
6	BKENAFx 注 1	バックアップイネーブルビット A CDRFx 読み出し時、GRAFx を BGRAFx に 0：退避しない。 1：退避する。
5	BKENCFx	バックアップイネーブルビット C CDRFx 読み出し時、GRCFx を BGRCFx に 0：退避しない。 1：退避する。
4	BKENDFx 注 1	バックアップイネーブルビット D CDRFx 読み出し時、GRDFx を BGRDFx に 0：退避しない。 1：退避する。
3	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
2	ARSWAFx 注 1	アクセスレジスタ切り替えビット A FFE6 3054_H +（40_H * x）に 0：GRAFx がマッピングされる。 1：BGRAFx がマッピングされる。
1	ARSWCFx	アクセスレジスタ切り替えビット C FFE6 3064_H +（40_H * x）に 0：GRCFx がマッピングされる。 1：BGRCFx がマッピングされる。
0	ARSWDFx 注 1	アクセスレジスタ切り替えビット D FFE6 3068_H +（40_H * x）に 0：GRDFx がマッピングされる。 1：BGRDFx がマッピングされる。

注 1. BKENAFx、BKENDFx、ARSWAFx、ARSWDFx は、サブブロック F03 ～ F15 にのみ存在します。F00 ～ F02 では何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。

注 2.　本レジスタへの書き込みは、PVFCRF レジスタの BKCRWEN ビットが “1” のときのみ有効です。
備考　x は 0 ～ 15 の整数。

バックアップコントロールレジスタ Fx（BKCRF00 ～ BKCRF15）は、8 ビットの読み出し／書き込み可能なレジスタです。

BKCRF00 ～ BKCRF15 への書き込みは、プライベートファンクションコントロールレジスタ F（PVFCRF）の BKCRWEN ビットが “1” のときのみ可能です。

BKCRF00 ～ BKCRF15 はリセット時に 00_H に初期化されます。

(1) BKENAFx、BKENCFx、BKENDFx — バックアップイネーブルビット A/C/D

キャプチャ出力レジスタ Fx（CDRFx）読み出し時に、GRAFx の値を BGRAFx に退避する／しない、GRCFx の値を BGRCFx に退避する／しない、GRDFx の値を BGRDFx に退避する／しないをそれぞれ選択します。

(2) ARSWAFx、ARSWCFx、ARSWDFx — アクセスレジスタ切り替えビット A/C/D

アドレス FFE6 3054_H +（40_H × x）に GRAFx の代わりに BGRAFx をマッピングする／しない、アドレス FFE6 3064_H +（40_H × x）に GRCFx の代わりに BGRCFx をマッピングする／しない、アドレス FFE6 3068_H +（40_H × x）に GRDFx の代わりに BGRDFx をマッピングする／しないをそれぞれ選択します。

注　意

このレジスタの設定は動作モードにかかわらず常に有効となります。動作モードによっては機能しないレジスタに対しても、レジスタの設定値にしたがって値の退避やマッピングの切り替えが行われることにご注意ください。

22.9.2.10 TSRFx — タイマステータスレジスタ Fx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3045_H +（40_H × x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	OVFCFx	OVFBFx	OVFAFx	ICFFx
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.111 TSRFx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
3	OVFCFx	オーバフローフラグ CFx 0：ECNTCFx にオーバフローなし 1：ECNTCFx にオーバフロー発生
2	OVFBFx	オーバフローフラグ BFx 0：ECNTBFx にオーバフロー／アンダフローなし 1：ECNTBFx にオーバフロー／アンダフロー発生
1	OVFAFx	オーバフローフラグ AFx 0：ECNTAFx にオーバフローなし 1：ECNTAFx にオーバフロー発生
0	ICFFx	インプットキャプチャフラグ Fx 0：サブブロック Fx にインプットキャプチャの検出なし 1：サブブロック Fx にインプットキャプチャを検出

タイマステータスレジスタ Fx（TSRF0 ～ TSRF15）は 8 ビットの読み出し専用のレジスタです。時間計測カウンタ A、C のオーバフローの発生や、イベントカウンタのオーバフローあるいはアンダフローの発生、およびインプットキャプチャの発生を示します。

これらのフラグは割り込み要求発生を示すステータスフラグです。オーバフローフラグ AFx、BFx、CFx（OVFAx、OVFBx、OVFCx）については TIERFx レジスタを設定することにより、割り込み要求を発生することができます。タイマステータスクリアレジスタ Fx（TSCRFx）の対応するビット設定することによりフラグをクリアすることができます。

インプットキャプチャフラグ Fx（ICFFx）については、フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

オーバフローフラグについては、タイマインタラプトイネーブルレジスタ Fx（TIERFx）の対応するビットを設定することにより、対応するフラグがセットされると割り込み要求を発生します。割り込み要求を取り下げるには、タイマステータスクリアレジスタ Fx（TSCRFx）により本フラグをクリアしてください。

TSRF00 ～ TSRF15 はリセット時に 00_H に初期化されます。

(1) ICFFx — インプットキャプチャフラグ Fx

このフラグにより、サブブロック Fx（F0 ～ F15）においてインプットキャプチャ、コンペアマッチの検出状態を参照することができます。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  サブブロック Fx でインプットキャプチャを検出したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ Fx（TSCRFx）の ICFCFx に “1” を書き込んだとき。

(2) OVFAFx — オーバフローフラグ AFx

このフラグにより、時間計測カウンタ AFx（ECNTAFx）のオーバフローの状態を参照することができます。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  ECNTAFx の値がオーバフロー（$FFFF\ FFFF_H \rightarrow 0000\ 0000_H$）したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ Fx（TSCRFx）の OVFCAFx に “1” を書き込んだとき。

(3) OVFBFx — オーバフローフラグ BFx

このフラグにより、イベントカウンタ Fx（ECNTBFx）のオーバフローあるいはアンダフローの状態を参照することができます。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  ECNTBFx の値がオーバフロー（$FFFF_H \rightarrow 0000_H$）、あるいはアンダフロー（$0000_H \rightarrow FFFF_H$）したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ Fx（TSCRFx）の OVFCBFx に “1” を書き込んだとき。

(4) OVFCFx — オーバフローフラグ CFx

このフラグは動作モードとプライベートファンクションコントロールレジスタ F（PVFCRF）の GRDFx コンペアマッチイネーブルビット（GRDFCMEN）の設定によって、その値が示す状態が異なります。PWM 入力波形計測モード設定時には、GRDFCMEN ビットが “0” であれば時間計測カウンタ CFx（ECNTCFx）のオーバフローの状態を示し、GRDFCMEN ビットが “1” であれば ENCTCFx と GRDFx とのコンペアマッチ発生を示します。また、回転速度／パルス計測モード時には、GRDFCMEN ビットの設定によらず ECNTCFx と GRBFx とのコンペアマッチ発生を示します。

このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  （PWM 入力波形計測モード）
  【GRDFCMEN = “0” の場合】
  ECNTCFx の値がオーバフロー（$FFFF\ FFFF_H \rightarrow 0000\ 0000_H$）したとき。
  【GRDFCMEN = “1” の場合】
  ECNTCFx と GRDFx の値が一致したとき。
  （回転速度／パルス計測モード）
  ECNTCFx と GRBFx（下位 16 ビットにゼロ拡張した値）が一致したとき。

- 0 クリア条件
  タイマステータスクリアレジスタ Fx（TSCRFx）の OVFCCFx に “1” を書き込んだとき。

22.9.2.11 TSCRFx — タイマステータスクリアレジスタ Fx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 8 ビットアクセス可能
“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

アドレス FFE6 3046$_H$ +（40$_H$ × x）

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	OVFCCFx	OVFCBFx	OVFCAFx	ICFCFx
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.112 TSCRFx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。“0” に固定してください。
3	OVFCCFx	オーバフローフラグクリア CFx イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Fx（TSRFx）の OVFCFx を 0 にクリアする。
2	OVFCBFx	オーバフローフラグクリア BFx イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Fx（TSRFx）の OVFBFx を 0 にクリアする。
1	OVFCAFx	オーバフローフラグクリア AFx イネーブル 0：無効（初期値） 1：タイマステータスレジスタ Fx（TSRFx）の OVFAFx を 0 にクリアする。
0	ICFCFx	インプットキャプチャフラグクリア Fx 0：無効（初期値） 1：タイマステータスレジスタ Fx（TSRFx）の ICFFx を 0 にクリアする。

タイマステータスクリアレジスタ Fx（TSCRF00 ～ TSCRF15）は 8 ビットの読み出し／書き込み可能なレジスタです。時間計測カウンタ A、C のオーバフローの発生や、イベントカウンタのオーバフローあるいはアンダフローの発生、およびインプットキャプチャの発生によるフラグのクリア設定をします。

TSCRFx は 8 ビット単位でのみ読み出し／書き込みが可能です。ただし読み出した場合は常に “0” が読み出せます。

TSCRFx はリセット時に 00$_H$ に初期化されます。

(1) OVFCCFx — オーバフローフラグクリア CFx イネーブル

タイマステータスレジスタ Fx（TSRFx）のオーバフローフラグ CFx（OVFCFx）が “1” にセットされているとき、本レジスタに “1” を書き込むと OVFCFx を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(2) OVFCBFx — オーバフローフラグクリア BFx イネーブル

タイマステータスレジスタ Fx（TSRFx）のオーバフローフラグ BFx（OVFBFx）が “1” にセットされているとき、本レジスタに “1” を書き込むと OVFBFx を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(3) OVFCAFx — オーバフローフラグクリア AFx イネーブル

タイマステータスレジスタ Fx（TSRFx）のオーバフローフラグ AFx（OVFAFx）が “1” にセットされているとき、本レジスタに “1” を書き込むと OVFAFx を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(4) ICFCFx — インプットキャプチャフラグクリア Fx

タイマステータスレジスタ Fx（TSRFx）のインプットキャプチャフラグ Fx（ICFFx）が “1” にセットされているとき、本レジスタに “1” を書き込むと ICFFx を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

22.9.2.12 ECNTAFx — 時間計測カウンタ AFx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 32 ビットアクセス可能 8 ビット／16 ビットアクセス禁止

アドレス FFE6 3050_H +（40_H × x）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECNTAFx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECNTAFx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.113 ECNTAFx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ECNTAFx	時間計測カウンタ AFx アップカウンタ A

時間計測カウンタ AFx（ECNTAF00 ～ ECNTAF15）は 32 ビットの読み出し／書き込み可能なレジスタです。32 ビット単位でのみ読み出し／書き込みが可能です。8 ビットおよび 16 ビット単位での読み出し／書き込みは行わないでください。

本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0 ～ 6 のいずれかを選ぶことができます。ECNTAFx と ECNTCFx の入力クロックは同一です。個別にクロックソースを設定することはできません。

カウンタのクリアがカウントアップのタイミングで行われる場合、ECNTAFx は 0000 0001_H にクリアされ、それ以外の場合では 0000 0000_H にクリアされます。

ECNTAF0 ～ ECNTAF15 はリセット時に 0000 0000_H に初期化されます。

22.9.2.13 ECNTBFx — イベントカウンタ Fx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 3058_H +（40_H × x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECNTBFx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.114 ECNTBFx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	ECNTBFx	イベントカウント Fx アップ／ダウンカウンタ

備考 x は 0 ～ 15 の整数。

イベントカウンタ Fx（ECNTBF0 ～ ECNTBF15）は 16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックによりアップ／ダウンカウント動作を行います。入力クロックには、サブブロック 0 ～ 2 には 2 本の外部入力ピン（TIFxA、TIFxB）が、それ以外のサブブロックは 1 本の外部入力 TIFx がが与えられ、対応するコントロールレジスタの設定（動作モード、およびエッジセレクト）に応じて、カウント対象とする外部入力ピン、およびエッジが異なります。各モードにおける入力クロックは、下表**表 22.115** のとおりです。

カウンタのクリアがカウントアップのタイミングで行われる場合、ECNTBFx は 0001_H にクリアされ、それ以外の場合では 0000_H にクリアされます。

ECNTBF0 ～ ECNTBF15 はリセット時に 0000_H に初期化されます。

表 22.115 タイマ F 動作モードごとのイベントカウンタ入力クロック、およびカウントエッジ

動作モード	入力クロック	カウントエッジ
一定時間内エッジカウント	TIFxA または TIFx	EGSELFx で選択可
有効エッジ入力間隔計測	TIFxA または TIFx	EGSELFx で選択可
入力 High/Low 期間計測	TIFxA または TIFx	EGSELFx で選択可（両エッジ以外）
PWM 入力波形計測	TIFxA または TIFx	EGSELFx で選択可（両エッジ以外）
回転速度／パルス計測	TIFx	EGSELFx で選択可（両エッジ以外）
アップ／ダウンカウント	TIFxA（TIFxB のレベルでカウント方向を指定）	立ち上がり／立ち下がり両エッジ
4 逓倍イベントカウント	TIFxA、TIFxB	立ち上がり／立ち下がり両エッジ

22.9.2.14 ECNTCFx — 時間計測カウンタ CFx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 32 ビットアクセス可能 8 ビット／16 ビットアクセス禁止

アドレス FFE6 3060_H +（40_H × x）

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECNTCFx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECNTCFx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.116 ECNTCFx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ECNTCFx	時間計測カウンタ CFx アップカウンタ C

備考 x は 0 ～ 15 の整数。

時間計測カウンタ CFx（ECNTCF00 ～ ECNTCF15）は、32 ビットの読み出し／書き込み可能なレジスタです。アップカウンタです。32 ビット単位でのみ読み出し／書き込みが可能です。8 ビットおよび 16 ビット単位での読み出し／書き込みは行わないでください。

本レジスタは各サブブロックに 1 個ずつ用意されており、PWM 入力波形計測、および回転速度／パルス計測モード時のみ有効になるレジスタです。その他のモードではカウント動作を行いません。

入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0 ～ 6 のいずれかを選ぶことができます。
ECNTAFx と ECNTCFx の入力クロックは同一です。個別にクロックソースを設定することはできません。

外部入力のタイミングや ECNTBFx のコンペアマッチをトリガとするカウント値のクリアは、ECNTCFx のカウントクロックに同期して行われます。このとき ECNTCFx は 0000 0001_H にクリアされます。

ECNTCF0 ～ ECNTCF15 はリセット時に 0000 0000_H に初期化されます。

22.9.2.15 GRAFx — 汎用レジスタ AFx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 3054_H +（40_H × x）

リセット後の値　FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRAFx															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRAFx															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.117 GRAFx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	GRAFx	汎用レジスタ AFx 時間計測カウンタ A のインプットキャプチャ値、またはアウトプットコンペア値

備考　x は 0 ～ 15 の整数。

汎用レジスタ AFx（GRAF00 ～ GRAF15）は 32 ビットの読み出し／書き込み可能なレジスタです。32 ビット単位でのみ読み出し／書き込みが可能です。8 ビットおよび 16 ビット単位での読み出し／書き込みは行わないでください。

本レジスタは各サブブロックに 1 個ずつ用意されており、時間計測カウンタ AFx（ECNTAFx）に対するインプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。

コンペアマッチレジスタとして機能させるとき、GRAFx には 0000 0000_H を設定しないでください。0000 0000_H を設定した場合、計測が正しく行われなくなることがありますのでご注意ください。

GRAF00 ～ GRAF15 はリセット時に FFFF $FFFF_H$ に初期化されます。

GRAF03 ～ GRAF15 は、バックアップコントロールレジスタ Fx（BKCRFx）の ARSWAFx ビットが “0”（初期値 “0”）のとき当該アドレスにマッピングされ、読み出し／書き込み可能となります。

22.9.2.16 BGRAFx — バックアップレジスタ AFx

（x = 3 ～ 15 ：サブブロック F3 ～ F15 に対応）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 3054_H +（40_H × x）

リセット後の値　FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BGRAFx[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BGRAFx[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.118 BGRAFx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	BGRAFx[31:0]	BKCRFx の BKENAFx ビットが “1” のとき、キャプチャ出力レジスタ Fx（CDRFx）読み出し時の汎用レジスタ AFx（GRAFx）の値を保持します。

備考　x は 3 ～ 15 の整数。

バックアップレジスタ AFx（BGRAF03 ～ BGRAF15）は 32 ビットの読み出し専用のレジスタです。本レジスタはサブブロック 03 ～ 15 に 1 個ずつ用意されており、バックアップコントロールレジスタ Fx（BKCRFx）の BKENAFx ビットが “1” のとき、キャプチャ出力レジスタ Fx（CDRFx）の読み出しタイミングで汎用レジスタ AFx（GRAFx）の値を保持します。

BGRAF03 ～ BGRAF15 はリセット時に FFFF $FFFF_H$ に初期化されます。

BGRAFx はバックアップコントロールレジスタ Fx（BKCRFx）の ARSWAFx ビットが “1”（初期値 “0”）のとき当該アドレスにマッピングされ、読み出し可能となります。

22.9.2.17 GRBFx — 汎用レジスタ BFx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス　16 ビットアクセス可能　8 ビットアクセス禁止

アドレス　FFE6 305C_H +（40_H × x）

リセット後の値　$FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRBFx															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.119 GRBFx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	GRBFx	汎用レジスタ BFx イベントカウンタのインプットキャプチャ値、またはアウトプットコンペア値

備考　x は 0 ～ 15 の整数。

汎用レジスタ BFx（GRBF00 ～ GRBF15）は 16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、イベントカウンタ Fx（ECNTBFx）に対するインプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。

コンペアマッチレジスタとして機能させるとき、GRBFx には 0000_H を設定しないでください。0000_H を設定した場合、計測が正しく行われなくなることがありますのでご注意ください。

GRBF00 ～ GRBF15 はリセット時に $FFFF_H$ に初期化されます。

22.9.2.18 GRCFx — 汎用レジスタ CFx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 3064_H +（40_H × x）

リセット後の値　FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRCFx															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRCFx															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.120 GRCFx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	GRCFx	汎用レジスタ CFx 時間計測カウンタ C のインプットキャプチャ値

備考　x は 0 ～ 15 の整数。

汎用レジスタ CFx（GRCF00 ～ GRCF15）は 32 ビットの読み出し／書き込み可能なレジスタで、32 ビット単位でのみ読み出し／書き込みが可能です。8 ビットおよび 16 ビット単位での読み出し／書き込みは行わないでください。

本レジスタは各サブブロックに 1 個ずつ用意されており、時間計測カウンタ CFx（ECNTCFx）に対するインプットキャプチャレジスタの機能を持っています。ECNTBFn と GRBFn とのコンペアマッチ（PWM 入力波形計測モード）、あるいは TIFx 端子のエッジ入力（回転速度／パルス計測モード）をトリガとして、次の ECNTCFn カウントアップタイミングで ECNTCFx のカウント値を取り込みます。

PWM 入力波形計測、および回転速度／パルス計測モード時のみ有効になるレジスタであり、その他のモードではキャプチャ動作を行いません。

GRCF00 ～ GRCF15 はリセット時に FFFF $FFFF_H$ に初期化されます。

GRCF00 ～ GRCF15 は、バックアップコントロールレジスタ Fx（BKCRFx）の ARSWCFx ビットが “0”（初期値 “0”）のとき当該アドレスにマッピングされ、読み出し／書き込み可能となります。

22.9.2.19 BGRCFx — バックアップレジスタ CFx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 3064$_H$ +（40$_H$ × x）

リセット後の値　FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BGRCFx[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BGRCFx[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.121 BGRCFx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	BGRCFx[31:0]	BKCRFx の BKENCFx ビットが “1” のとき、キャプチャ出力レジスタ Fx（CDRFx）読み出し時の汎用レジスタ CFx（GRCFx）の値を保持します。

バックアップレジスタ CFx（BGRCF00 ～ BGRCF15）は 32 ビットの読み出し専用のレジスタです。

本レジスタは各サブブロックに 1 個ずつ用意されており、バックアップコントロールレジスタ Fx（BKCRFx）の BKENCFx ビットが “1” のとき、キャプチャ出力レジスタ Fx（CDRFx）の読み出しタイミングで汎用レジスタ CFx（GRCFx）の値を保持します。

BGRCF00 ～ BGRCF15 はリセット時に FFFF FFFF$_H$ に初期化されます。

BGRCFx はバックアップコントロールレジスタ Fx（BKCRFx）の ARSWCFx ビットが “1”（初期値 “0”）のとき、当該アドレスにマッピングされ、読み出し可能となります。

22.9.2.20 GRDFx — 汎用レジスタ DFx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 32 ビットアクセス可能 8 ビット／16 ビットアクセス禁止

アドレス FFE6 3068$_H$ +（40$_H$ × x）

リセット後の値 FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRDFx															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRDFx															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.122 GRDFx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	GRDFx	汎用レジスタ DFx PWM 入力波形計測モード時： 時間計測カウンタ C のコンペアマッチ値 回転速度／パルス計測モード時：x = 3 ～ 15 のみ） 時間計測カウンタ C の値を累積して取り込んだ値

備考 x は 0 ～ 15 の整数。

汎用レジスタ DFx（GRDF00 ～ GRDF15）は 32 ビットの読み出し／書き込み可能なレジスタで、32 ビット単位でのみ読み出し／書き込みが可能です。16 ビット／ 8 ビット単位での読み出し／書き込みは行わないでください。

本レジスタはサブブロック F00 ～ 15 に 1 個ずつ用意されています。サブブロックによって動作が異なり、サブブロック F00 ～ F02 では、PWM 入力波形計測モード時にのみ有効なレジスタとして機能します。その他のモードでは動作しません。

また、サブブロック F03 ～ 15 では、PWM 入力波形計測モード、回転速度／パルス計測モード時に有効なレジスタとして機能します。その他のモードでは動作しません。

PWM 入力波形計測モードではコンペアマッチレジスタとして機能し、常に時間計測カウンタ CFx（ECNTCFx）の値と比較されます。両者の値が一致すると次の Pϕ クロックに同期して、タイマステータスレジスタ Fx（TSRFx）の OVFCFx ビットが 1 にセットされます。コンペアマッチレジスタとして機能させるには、PVFCRF の GRDFCMEN ビットの設定が必要です。

回転速度／パルス計測モードではインプットキャプチャレジスタとして機能します。TIFx 端子のエッジ入力をトリガとして、次の ECNTCFx カウントアップタイミングで、時間計測カウンタ Cx（ECNTCFx）の値を累積して取り込みます。

GRDF00 ～ GRDF15 はリセット時に FFFF FFFF$_H$ に初期化されます。

GRDF03 ～ GRDF15 は、バックアップコントロールレジスタ Fx（BKCRFx）の ARSWDFx ビットが “0”（初期値 “0”）のとき、当該アドレスにマッピングされ、読み出し／書き込み可能となります。

22.9.2.21 BGRDFx — バックアップレジスタ DFx

（x = 3 ～ 15：サブブロック F3 ～ F15 に対応）

アクセス 32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス FFE6 3068_H +（40_H × x）

リセット後の値 FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BGRDFx[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BGRDFx[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.123 BGRDFx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	BGRDFx[31:0]	BKCRFx の BKENDFx ビットが “1” のとき、キャプチャ出力レジスタ Fx（CDRFx）読み出し時の汎用レジスタ DFx（GRDFx）の値を保持します。

バックアップレジスタ DFx（BGRDF03 ～ BGRD15）は 32 ビットの読み出し専用のレジスタです。32 ビット単位でのみ読み出しが可能です。8 ビットおよび 16 ビット単位での読み出しは行わないでください。

本レジスタはサブブロック F03 ～ F15 に 1 個ずつ用意されており、バックアップコントロールレジスタ Fx（BKCRFx）の BKENDFx ビットが “1” のとき、キャプチャ出力レジスタ Fx（CDRFx）の読み出しタイミングで汎用レジスタ DFx（GRDFx）の値を保持します。

BGRDF03 ～ BGRDF15 はリセット時に FFFF $FFFF_H$ に初期化されます。

BGRDFx はバックアップコントロールレジスタ Fx（BKCRFx）の ARSWDFx ビットが “1”（初期値 “0”）のとき、当該アドレスにマッピングされ、読み出し可能となります。

22.9.2.22 CDRFx — キャプチャ出力レジスタ Fx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 32 ビットアクセス可能 8 ビット／16 ビットアクセス禁止

アドレス FFE6 306C_H +（40_H × x）

リセット後の値注 1 0000 $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDRFx															
リセット後の値注 1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDRFx															
リセット後の値注 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. リセット後のタイマ動作モードが " 一定時間内エッジカウント " になっているため（TCR1Fx レジスタの MDFx ビット = 000_B）、リセット後の値は 0000 $FFFF_H$ になります。

表 22.124 CDRFx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	CDRFx	キャプチャ出力レジスタ Fx 動作モードに応じて、GRAFx、GRBFx あるいは ECNTBFx に保持しているデータが読み出されます エッジカウントモード：GRBFx エッジ入力間隔計測モード：GRAFx 入力 High 期間計測モード：GRAFx 入力 Low 期間計測モード：GRAFx PWM 入力波形計測モード：GRAFx 回転速度／パルス計測モード：ECNTBFx アップ／ダウンカウントモード：GRBFx 4 逓倍イベントカウントモード：GRBFx

備考 x は 0 ～ 15 の整数。

キャプチャ出力レジスタ Fx は、32 ビットレジスタの読み出し専用のレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されています。本レジスタの読み出しを行うと、動作モードに応じて、GRAFx、GRBFx あるいは ECNTBFx の値が読み出されます。16 ビットの GRBFx、および ECNTBFx 値は、CDRFx の下位 16 ビットから読み出されます。このとき CDRFx の上位 16 ビットには "0" が読み出されます。

各動作モードに対応するレジスタは以下のとおりです。また、本レジスタへの書き込みは無視されます。

エッジカウントモード： GRBFx
エッジ入力間隔計測モード： GRAFx
入力 High 期間計測モード： GRAFx
入力 Low 期間計測モード： GRAFx
PWM 入力波形計測モード： GRAFx
回転速度 / パルス計測モード： ECNTBFx
アップ / ダウンカウントモード： GRBFx
4 逓倍イベントカウントモード： GRBFx

CDRF0 ～ CDRF15 はリセット時に 0000 $FFFF_H$ に初期化されます。

バックアップコントロールレジスタ Fx（BKCRFx）の BKENAFx、BKENCFx、BKENDFx ビットの設定によって、CDRFx 読み出しタイミングで汎用レジスタ AFx（GRAFx）の値をバックアップレジスタ AFx（BGRAFx）に、汎用レジスタ CFx（GRCFx）の値をバックアップレジスタ CFx（BGRCFx）に、汎用レジスタ DFx（GRDFx）の値をバックアップレジスタ DFx（BGRDFx）にそれぞれ退避します。詳細は各汎用レジスタに対応するバックアップレジスタの項を参照してください。

22.9.2.23 NCNTFAx — ノイズキャンセルカウンタ FAx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 3048_H +（40_H × x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCNTFAx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.125 NCNTFAx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCNTFAx	ノイズキャンセルカウンタ FAx 16 ビットカウント値

備考 x は 0 ～ 15 の整数。

ノイズキャンセルカウンタ FAx（NCNTFAx）は 16 ビットの読み出し、書き込み可能なレジスタです。

ノイズキャンセラコントロールレジスタ F（NCCRF）でノイズキャンセラ機能を有効にしたとき、後続エッジキャンセルモードおよび先行エッジキャンセルモードでは外部入力端子（TIFxA または TIFx）のレベル変化をトリガとして、プリスケーラから供給されるノイズキャンセラ用カウントクロックでアップカウント動作を行います。レベル積算キャンセルモードでは外部入力のレベルにしたがいアップ／ダウンカウントを行います。

NCNTFAx は 16 ビット単位でのみ読み出し／書き込みが可能です。

NCNTFAx はリセット時に 0000_H に初期化されます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードセレクトビット（NCMSEL）、タイマ F ノイズキャンセルモードビット（NCMF）、タイマ F にあるノイズキャンセルモードチャネルレジスタ 1F（NCMCR1F）のノイズキャンセルモードビット（NCM1F*）、およびノイズキャンセルモードチャネルレジスタ 2F（NCMCR2F）のノイズキャンセルモードビット（NCM2F*）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード
  NCEFx ビットが “1” であり NCNTFAx がカウント停止しているとき、TIFxA または TIFx の入力信号レベルが変化すると、NCNTFAx はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタ FAx（NCRFAx）と一致すると、次の PCLK に同期してカウント値を 0000_H にクリアしてカウント動作を停止します。
  NCNTFAx は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TFE ビットの設定にかかわらずカウント動作を行います。
  カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値が NCRFAx と一致するまでの間、すべての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。
  カウント動作中に NCEFx ビットがクリアされても、カウント値が NCRFAx と一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされつづけます。

- 先行エッジキャンセルモード
  NCEFx ビットが “1” であり NCNTFAx がカウント停止しているとき、TIFxA または TIFx の入力信号レベルが変化すると、NCNTFAx はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタ FAx（NCRFAx）と一致した場合には、次の PCLK に同期してカウント値を 0000_H にクリアしカウント動作を停止します。
  NCNTFAx は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TFE ビットの設定にかかわらずカウント動作を行います。
  ノイズキャンセル後の信号は、カウント値が NCRFAx と一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRFAx と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。
  カウント動作中に NCEFx ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

- レベル積算キャンセルモード
  NCEFx ビットが “1” であるとき、NCNTFAx は入力信号レベルによってアップカウントまたはダウンカウント動作を行います。入力レベルがハイのときアップカウントを行い、カウント値が NCRFAx と一致すると、次の PCLK に同期してアップカウント動作を停止します。入力レベルがローのときダウンカウントを行い、カウント値が 0000_H と一致すると、次の PCLK に同期してダウンカウント動作を停止します。
  NCNTFAx は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TFE ビットの設定にかかわらずカウント動作を行います。
  アップカウントで NCRFAx の値にコンペアマッチするとノイズキャンセラ出力を 1 に更新します。逆に、ダウンカウントで 0000_H にコンペアマッチするとノイズキャンセラ出力を 0 に更新します。
  カウント動作中に NCEFx ビットがクリアされるとノイズキャンセルカウンタは動作を停止し、ノイズキャンセラ出力からそのときの入力信号レベルに値が切り替わります。そのためレベル積算キャンセルモードで NCEFx ビットをクリアする場合には、この切り替わりでエッジ検出が行われる可能性があることに注意が必要です。

22.9.2.24 NCNTFBx — ノイズキャンセルカウンタ FBx

（x = 0 ～ 2 ：サブブロック F0 ～ F2 に対応）

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 304C_H +（40_H × x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCNTFBx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.126 NCNTFBx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCNTFBx	ノイズキャンセルカウンタ FBx 16 ビットカウント値

備考 x は 0 ～ 2 の整数。

ノイズキャンセルカウンタ FBx（NCNTFBx）は 16 ビットの読み出し、書き込み可能なレジスタです。

アップダウンカウント、4 逓倍イベントカウントモード時のみ有効なレジスタです。

ノイズキャンセラコントロールレジスタ F（NCCRF）でノイズキャンセラ機能を有効にしたとき、後続エッジキャンセルモードおよび先行エッジキャンセルモードでは外部入力端子（TIFxB）のレベル変化をトリガとして、プリスケーラから供給されるノイズキャンセラ用カウントクロックでアップカウント動作を行います。レベル積算キャンセルモードでは外部入力のレベルにしたがいアップ／ダウンカウントを行います。

NCNTFBx は 16 ビット単位でのみ読み出し／書き込みが可能です。

NCNTFBx はリセット時に 0000_H に初期化されます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードセレクトビット（NCMSEL）、タイマ F ノイズキャンセルモードビット（NCMF）、タイマ F にあるノイズキャンセルモードチャネルレジスタ 1F（NCMCR1F）のノイズキャンセルモードビット（NCM1F*）、およびノイズキャンセルモードチャネルレジスタ 2F（NCMCR2F）のノイズキャンセルモードビット（NCM2F*）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード
  NCEFx ビットが “1” であり NCNTBFx がカウント停止しているとき、TIFxB の入力信号レベルが変化すると、NCNTFBx はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタ FBx（NCRFBx）と一致すると、次の PCLK に同期してカウント値を 0000_H にクリアしてカウント動作を停止します。
  NCNTFBx は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TFE ビットの設定にかかわらずカウント動作を行います。
  カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値が NCRFBx と一致するまでの間、すべての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。

カウント動作中に NCEFx ビットがクリアされても、カウント値が NCRFBx と一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされつづけます。

- 先行エッジキャンセルモード
  NCEFx ビットが “1” であり NCNTBFx がカウント停止しているとき、TIFxB の入力信号レベルが変化すると、NCNTFBx はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタ FBx（NCRFBx）と一致した場合には、次の PCLK に同期してカウント値を 0000_H にクリアしカウント動作を停止します。
  NCNTFBx は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TFE ビットの設定にかかわらずカウント動作を行います。
  ノイズキャンセル後の信号は、カウント値が NCRFBx と一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRFBx と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。
  カウント動作中に NCEFx ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

- レベル積算キャンセルモード
  NCEFx ビットが “1” であるとき、NCNTFBx は入力信号レベルによってアップカウントまたはダウンカウント動作を行います。入力レベルがハイのときアップカウントを行い、カウント値が NCRFBx と一致すると、次の PCLK に同期してアップカウント動作を停止します。入力レベルがローのときダウンカウントを行い、カウント値が 0000_H と一致すると、次の PCLK に同期してダウンカウント動作を停止します。
  NCNTFBx は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TFE ビットの設定にかかわらずカウント動作を行います。
  アップカウントで NCRFBx の値にコンペアマッチするとノイズキャンセラ出力を 1 に更新します。逆に、ダウンカウントで 0000_H にコンペアマッチするとノイズキャンセラ出力を 0 に更新します。
  カウント動作中に NCEFx ビットがクリアされるとノイズキャンセルカウンタは動作を停止し、ノイズキャンセラ出力からそのときの入力信号レベルに値が切り替わります。そのためレベル積算キャンセルモードで NCEFx ビットをクリアする場合には、この切り替わりでエッジ検出が行われる可能性があることに注意が必要です。

22.9.2.25 NCRFAx — ノイズキャンセルレジスタ FAx

（x = 0 ～ 15：サブブロック F0 ～ F15 に対応）

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 304A_H +（40_H × x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCTFAx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.127 NCRFAx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCTFAx	ノイズキャンセルタイム FAx TIFxA または TIFx ノイズキャンセル期間（16 ビットコンペア値）

備考 x は 0 ～ 15 の整数。

ノイズキャンセルレジスタ FAx（NCRFAx）は 16 ビットの読み出し、書き込み可能なレジスタで、ノイズキャンセルカウンタ FAx（NCNTFAx）の上限値を設定します。PCLK の 128 分周をノイズキャンセルクロックに選択している場合、$FFFF_H$ 設定で、最大 0.21sec（PCLK = 40MHz 時）のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードセレクトビット（NCMSEL）、タイマ F ノイズキャンセルモードビット（NCMF）、タイマ F にあるノイズキャンセルモードチャネルレジスタ 1F（NCMCR1F）のノイズキャンセルモードビット（NCM1F*）、およびノイズキャンセルモードチャネルレジスタ 2F（NCMCR2F）のノイズキャンセルモードビット（NCM2F*）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード
  NCNTFAx のカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTFAx と NCRFAx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTFAx のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。
- 先行エッジキャンセルモード
  NCNTFAx のカウント動作中、ノイズキャンセラの処理待ち状態となります。NCNTFAx と NCRFAx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTFAx のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。
- レベル積算キャンセルモード
  NCNTFAx がアップカウント動作中は、NCNTFAx と NCRFAx の値の比較が行われており、コンペアマッチが発生すると次の PCLK に同期して NCNTFAx のアップカウント動作を停止させます。NCNTFAx がダウンカウント動作中は、NCNTFAx は 0000_H との比較が行われます。

NCRFAx は 16 ビット単位でのみ読み出し／書き込みが可能です。
NCRFAx はリセット時に 0000_H に初期化されます。

22.9.2.26 NCRFBx — ノイズキャンセルレジスタ FBx

（x = 0 ～ 2 ：サブブロック F0 ～ F2 に対応）

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 304E_H +（40_H × x）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCTFBx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.128 NCRFBx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCTFBx	ノイズキャンセルタイム FBx TIFxB ノイズキャンセル期間（16 ビットコンペア値）

備考 x は 0 ～ 2 の整数。

ノイズキャンセルレジスタ FBx（NCRFBx）は 16 ビットの読み出し、書き込み可能なレジスタで、ノイズキャンセルカウンタ FBx（NCNTFBx）の上限値を設定します。PCLK の 128 分周をノイズキャンセルクロックに選択している場合、$FFFF_H$ 設定で、最大 0.21sec（PCLK = 40MHz 時）のノイズをキャンセルすることができます。アップダウンカウント、4 逓倍イベントカウントモード時のみ有効なレジスタです。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードセレクトビット（NCMSEL）、タイマ F ノイズキャンセルモードビット（NCMF）、タイマ F にあるノイズキャンセルモードチャネルレジスタ 1F（NCMCR1F）のノイズキャンセルモードビット（NCM1F*）、およびノイズキャンセルモードチャネルレジスタ 2F（NCMCR2F）のノイズキャンセルモードビット（NCM2F*）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード
  NCNTFBx のカウント動作中、後続する入力信号のレベル変化がマスクされます。
  NCNTFBx と NCRFBx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTFBx のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- 先行エッジキャンセルモード
  NCNTFBx のカウント動作中、ノイズキャンセラの処理待ち状態となります。
  NCNTFBx と NCRFBx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTFBx のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

- レベル積算キャンセルモード
  NCNTFBx がアップカウント動作中は、NCNTFBx と NCRFBx の値の比較が行われており、コンペアマッチが発生すると次の PCLK に同期して NCNTFBx のアップカウント動作を停止させます。NCNTFBx がダウンカウント動作中は、NCNTFBx は 0000_H との比較が行われます。

NCRFBx は 16 ビット単位でのみ読み出し／書き込みが可能です。
NCRFBx はリセット時に 0000_H に初期化されます。

ノイズキャンセル動作の詳細は、**「22.2.2　共通制御部関連レジスタ」**のノイズキャンセルモードレジスタの説明を参照してください。

22.9.3 詳細動作説明

一定時間内エッジカウント

GRAFx にエッジをカウントする期間を指定すると、GRBFx に指定期間内のエッジカウント数が得られます。まったくエッジがカウントされなかった場合は “0” が得られます。カウントする期間は、ECNTAFx カウントソースクロックの周期（GRAFx の値）となります。このときのタイマ Fx の動作は以下のとおりです。また動作例を**図 22.60** に示します。これは、カウントソースクロックの 12 周期間に、8 個のエッジが与えられた例です。ここで “ECNTAFx Clock” と “ECNTBFx Clock” は、それぞれ時間計測カウンタ ECNTAFx とイベントカウンタ ECNTBFx が、カウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx: クロックバス 0 ～ 6 のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次の PCLK に同期してカウント値をクリアします。
- ECNTBFx: TIFxA または TIFx 入力より与えられた信号のエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がり、両エッジのいずれかを選択可能です。この例では立ち下がりエッジをカウントします。また、同期化処理のために TIFxA または TIFx には 2 サイクルの遅れが生じます。ECNTAFx のコンペアマッチの検出後、次の PCLK に同期してカウント値をクリアします。コンペアマッチによるカウントクリアと同時にカウント対象エッジが与えられた場合は、カウンタクリアとエッジカウントを 1 サイクルの間に行ったものと見なし、カウント値は 0001_H となります。この例を**図 22.61** に示します。
- GRAFx: ECNTAFx に対するコンペアマッチレジスタとして機能し、ECNTAFx のカウント値が GRAFx と一致すると、コンペアマッチを検出します。
- GRBFx: ECNTBFx に対するキャプチャレジスタとして機能します。ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して ECNTBFx のカウント値をキャプチャします。
- コンペアマッチ割り込み要求出力 : ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して CPU にコンペアマッチ割り込み要求を出力します。
- DMA 転送要求出力：ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して DMAC に DMA 転送要求を出力します。
- ICFFx : ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して ICFFx をセットします。
- ECNTCFx、GRCFx、GRDFx：機能しません。

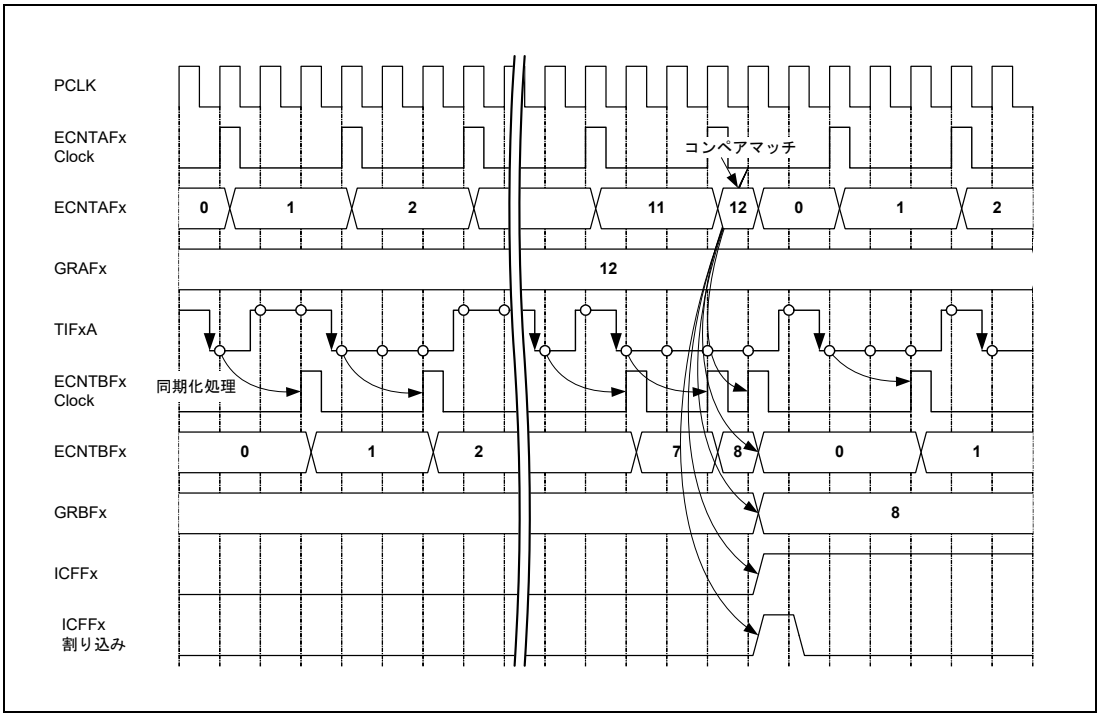


図 22.60　一定時間内エッジカウントの動作例

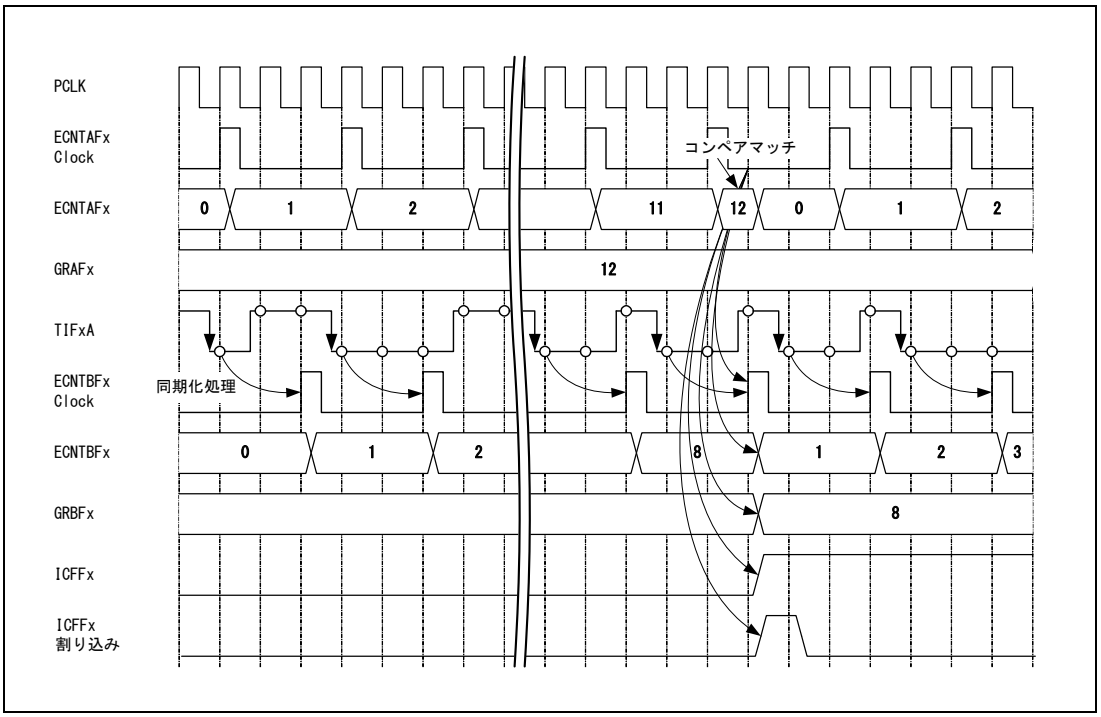


図 22.61　一定時間内エッジカウントの動作例 2（コンペアマッチとイベントが同時）

有効エッジ入力間隔計測

GRBFx に対象とするエッジの数（GRBFx の値）を指定すると、それだけのエッジをカウントするのに要した時間が GRAFx に得られます。この時間を対象とするエッジの数で割ることによって、エッジ入力間隔の平均値を得ることができます。得られる時間は、ECNTAFx のカウントソースクロックの周期（GRAFx の値）として示されます。このときのタイマ Fx の動作は次のとおりです。また動作例を**図 22.62** に示します。これは、12 個のエッジを入力するのに、カウントソースクロック 13 周期を要した例です。ここで “ECNTAFx Clock” と “ECNTBFx Clock” は、それぞれ時間計測カウンタ ECNTAFx とイベントカウンタ ECNTBFx が、カウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx: クロックバス 0 ～ 6 のいずれかをカウントソースとして時間を計測します。ECNTBFx と GRBFx のコンペアマッチを検出すると、次の “ECNTAFx Clock” に同期してカウント値をクリアします。ECNTAFx のカウントクリアはカウントアップと同じタイミングとなるため、クリア値は $0000\ 0001_H$ となります。
- ECNTBFx: TIFxA または TIFx より与えられたエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がり、両エッジのいずれかを選択可能です。この例では立ち下がりエッジをカウントします。また、同期化処理のために TIFxA または TIFx には 2 サイクルの遅れが生じます。コンペアマッチを検出すると、次の PCLK に同期してカウント値をクリアします。
- GRAFx: ECNTAFx に対するキャプチャレジスタとして機能します。ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して ECNTAFx のカウント値をキャプチャします。
- GRBFx: ECNTBFx に対するコンペアマッチレジスタとして機能し、ECNTBFx のカウント値が GRBFx と一致すると、コンペアマッチを検出します。
- コンペアマッチ割り込み要求 : ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して CPU にコンペアマッチ割り込み要求を出力します。
- DMA 転送要求出力 : ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して DMAC に DMA 転送要求を出力します。
- ICFFx: ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して ICFFx をセットします。
- ECNTCFx、GRCFx、GRDFx：機能しません。

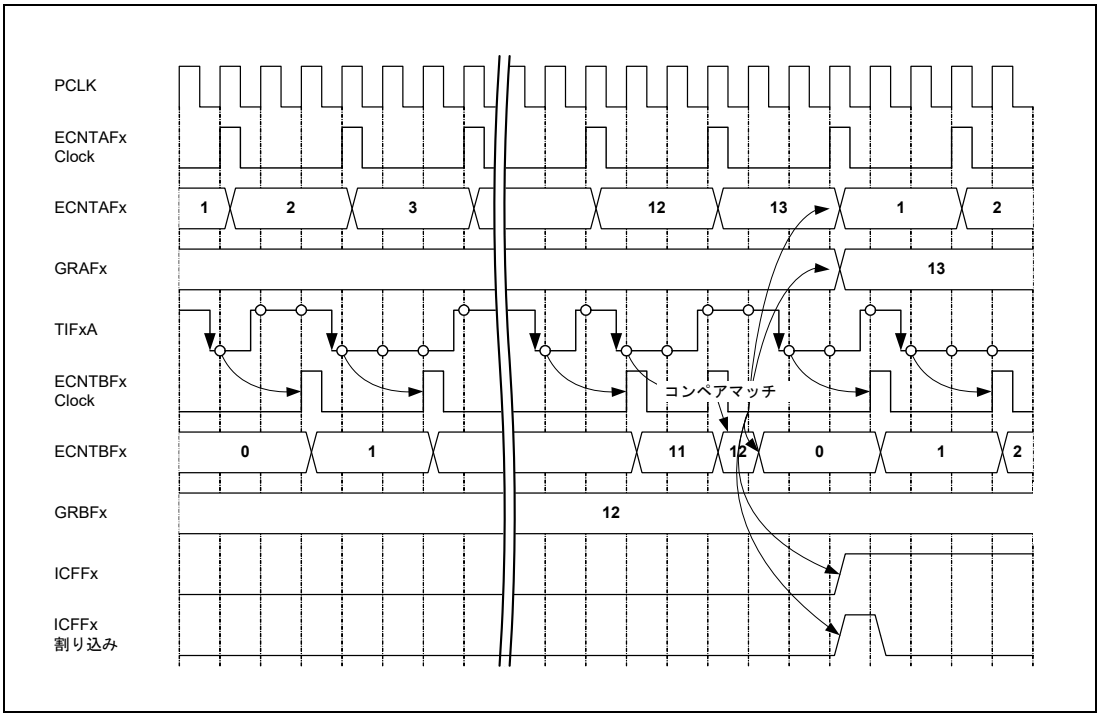


図 22.62　有効エッジ入力間隔計測の動作例

入力 High/Low 期間計測

TIFxA または TIFx にハイ（またはロー）レベルが与えられた時間を計測します。得られる時間は、ECNTAFx のクロックソースを基準として示されます。GRBFx には、時間を計測する範囲を、TIFxA または TIFx に与えられるパルスの数（GRBFx の値）として指定します。このときのタイマ F の動作は次のようになります。また動作例を**図 22.63** に示します。これは、3 個のパルスのハイ期間が、カウントソースクロック 9 周期と計測された例です。ここで “ECNTAFx Clock” と “ECNTBFx Clock” は、それぞれ時間計測カウンタ ECNTAFx とイベントカウンタ ECNTBFx が、カウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx : クロックバス 0 ～ 6 のいずれかをカウントソースとし、TIFxA または TIFx をイネーブルとしてカウントアップを行います。すなわち、TIFxA または TIFx にハイレベルが与えられている時間（EGSELFx = 2 設定、立ち下がりエッジ選択時）、または TIFxA または TIFx にロウレベルが与えられている時間（EGSELFx = 1 設定、立ち上がりエッジ選択時）を計測します。ECNTBFx のコンペアマッチの検出後、次のカウントソースクロックに同期してカウント値をクリアします。コンペアマッチによるカウントクリアの際に、TIFxA または TIFx にハイレベル（EGSELFx = 2 設定時）またはロウレベル（EGSELFx = 1 設定時）が与えられていた場合は、カウント値は $0000\ 0001_H$ となります。ハイレベル時間を計測する動作例を**図 22.64** に示します。
- ECNTBFx : TIFxA または TIFx 入力より与えられた信号のエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がりのいずれかを選択可能です。動作例では TIFxA または TIFx の立ち下がりエッジをカウントします。また、同期化処理のために TIFxA または TIFx には 2 サイクルの遅れが生じます。コンペアマッチを検出すると、次の PCLK に同期してカウント値をクリアします。
- GRAFx : ECNTAFx に対するキャプチャレジスタとして機能します。ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して ECNTAFx のカウント値をキャプチャします。
- GRBFx : ECNTBFx に対するコンペアマッチレジスタとして機能し、ECNTBFx のカウント値が GRBFx と一致すると、コンペアマッチを検出します。
- コンペアマッチ割り込み要求 : ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して CPU にコンペアマッチ割り込み要求を出力します。
- DMA 転送要求出力 : ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して DMAC に DMA 転送要求を出力します。
- ICFFx : ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して ICFFx をセットします。
- ECNTCFx、GRCFx、GRDFx：機能しません。

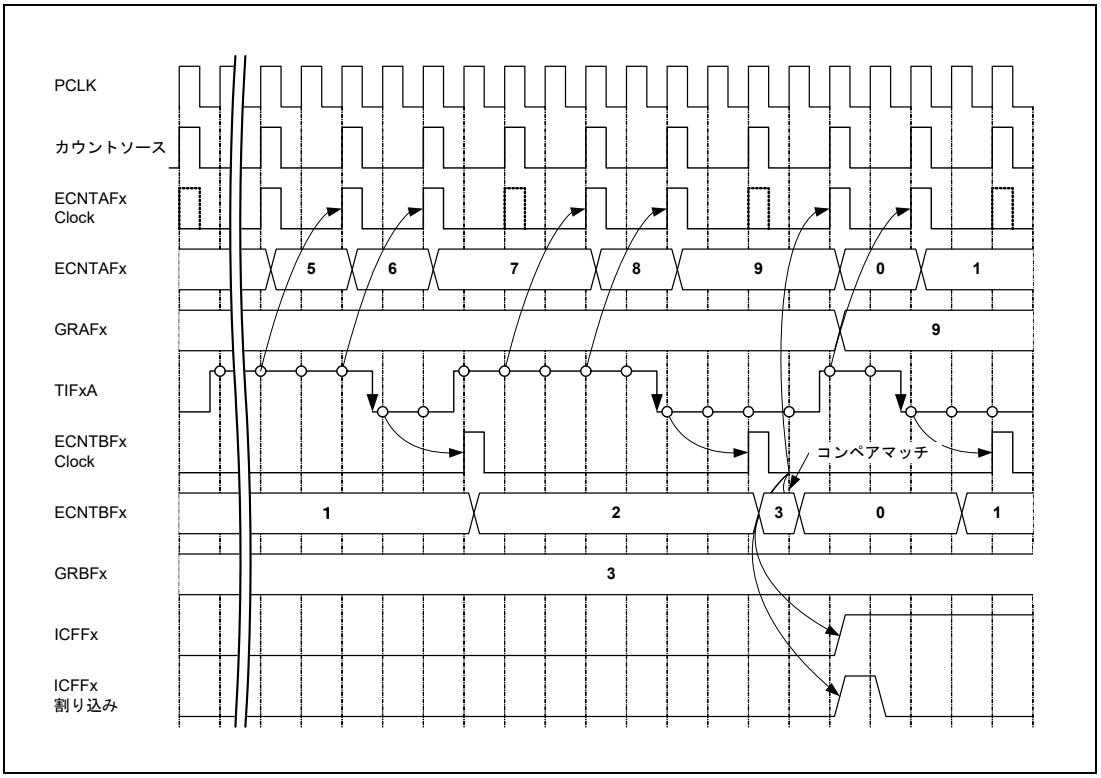


図 22.63　入力 High 期間計測の動作例

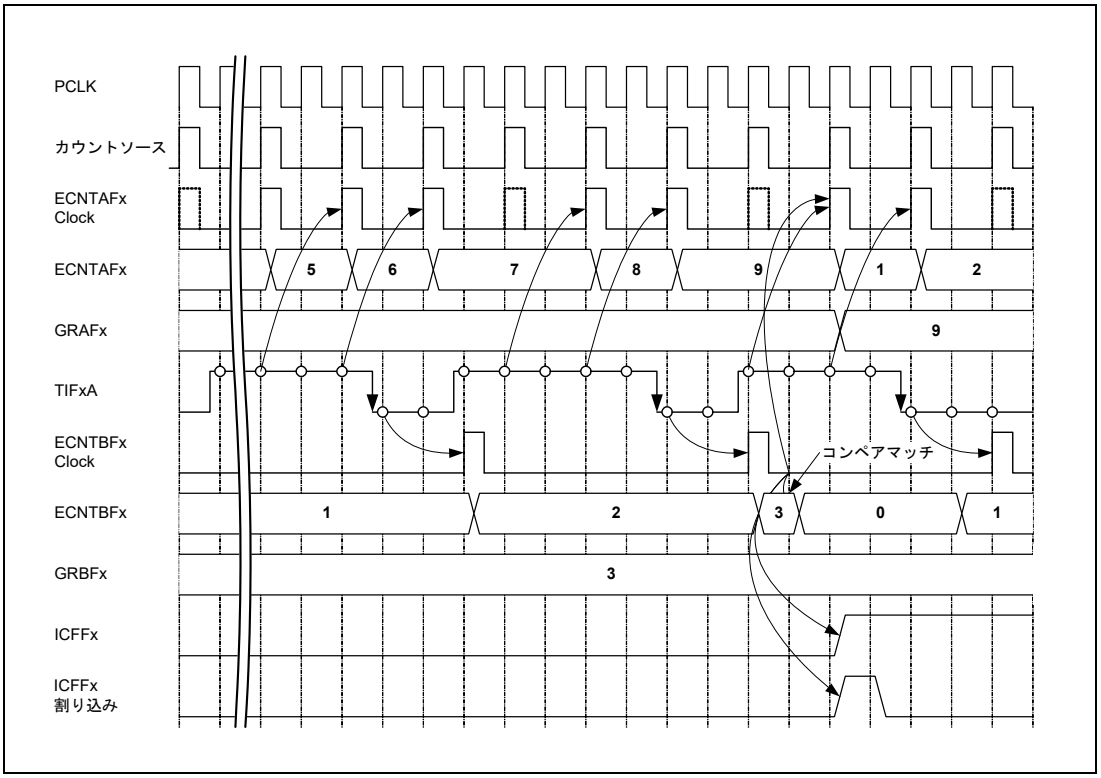


図 22.64　入力 High 期間計測の動作例（キャプチャ動作時に TIFxA がハイ）

PWM 入力波形計測

TIFxA または TIFx に入力された PWM 波形のオフデューティと、PWM サイクルを計測します。TIFxA または TIFx にロー（またはハイ）レベルが与えられた時間をオフデューティとして、エッジ入力の間隔を PWM サイクルとして同時に計測します。得られる時間は、ECNTAFx のクロックソースを基準として示されます。GRBFx には、時間を計測する範囲を、TIFxA または TIFx に与えられる PWM 波形の数（GRBFx の値）として指定します。

また、PWM サイクル数でのコンペアマッチが可能であり、コンペアマッチで CPU へ割り込み要求を要求することができます。

このときのタイマ F の動作は次のようになります。また動作例を**図 22.65** に示します。これは、2 個の PWM 波形の PWM サイクルがカウントソースクロック 6 周期、オフデューティ期間（ロー期間）がカウントソースクロック 4 周期と計測された例です。

ここで “ECNTAFx Clock” は、時間計測カウンタ ECNTAFx の、“ECNTBFx Clock” はイベントカウンタ ECNTBFx の、“ECNTCFx Clock” は ECNTCFx がカウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx : クロックバス 0 ～ 6 のいずれかをカウントソースとし、TIFxA または TIFx の入力レベルをイネーブルとしてカウントアップを行います。すなわち、TIFxA または TIFx にハイレベルが与えられている時間（EGSELFx = 2 設定、立ち下がりエッジ選択時）、または TIFxA または TIFx にロウレベルが与えられている時間（EGSELFx = 1 設定、立ち上がりエッジ選択時）を計測します。ECNTBFx のコンペアマッチの検出後、次のカウントソースクロックに同期してカウント値をクリアします。コンペアマッチによるカウントクリアの際に、TIFxA または TIFx にハイレベル（EGSELFx = 2 設定時）またはロウレベル（EGSELFx = 1 設定時）が与えられていた場合は、カウント値は $0000\ 0001_H$ となります。動作例ではロウレベル時間を計測します。
- ECNTBFx : TIFxA または TIFx 入力より与えられた信号のエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がりのいずれかを選択可能です。動作例では立ち上がりエッジをカウントします。また、同期化処理のために TIFxA または TIFx には 2 サイクルの遅れが生じます。コンペアマッチを検出すると、次の PCLK に同期してカウント値をクリアします。
- GRAFx : ECNTAFx に対するキャプチャレジスタとして機能します。ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して ECNTAFx のカウント値をキャプチャします。
- GRBFx : ECNTBFx に対するコンペアマッチレジスタとして機能し、ECNTBFx のカウント値が GRBFx と一致すると、コンペアマッチを検出します。
- ECNTCFx : ECNTAFx と同じカウントソースで時間を計測します。ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期してカウント値をクリアします。ECNTCFx のカウントクリアはカウントアップと同じタイミングとなるため、クリア値は $0000\ 0001_H$ となります。GRDFx とのコンペアマッチでは ECNTCFx はクリアされず、カウントは継続します。
- GRCFx : ECNTCFx に対するキャプチャレジスタとして機能します。ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して ECNTCFx のカウント値をキャプチャします。
- インプットキャプチャ割り込み要求 : ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して CPU にインプットキャプチャ割り込み要求を出力します。
- DMA 転送要求出力 : ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して DMAC に DMA 転送要求を出力します。

- ICFFx : ECNTBFx のコンペアマッチの検出後、次の “ECNTAFx Clock” に同期して ICFFx をセットします。
- GRDFx : ECNTCFx に対するコンペアマッチレジスタとして機能し、ECNTCFx のカウント値が GRDFx と一致するとコンペアマッチを検出します。（プライベートファンクションコントロールレジスタ（PVFCRF）の GRDFCMEN ビットが “1” のとき有効です）
- オーバフロー割り込み要求出力 : ECNTCFx のコンペアマッチの検出後、次の PCLK に同期して CPU にオーバフロー割り込み要求を出力します。（プライベートファンクションコントロールレジスタ（PVFCRF）の GRDFCMEN ビットが “1” のとき有効です）
- OVFCFx : ECNTCFx のコンペアマッチの検出後、次の PCLK に同期して OVFCFx をセットします。（プライベートファンクションコントロールレジスタ（PVFCRF）の GRDFCMEN ビットが “1” のとき有効です）

すなわち、ECNTBFx（GRBFx）と ECNTAFx（GRAFx）が Low 期間計測モードで動作し、ECNTBFx（GRBFx）と ECNTCFx（GRCFx）が有効エッジ入力間隔計測モードで動作していることになります。

PWM 入力波形計測モードの計測値は、GRAFx と GRCFx の 2 つの 32 ビットレジスタに収められます。この 2 つのレジスタを順に読み出すとき、一方のレジスタを読み出したあと、もう一方のレジスタを読み出す前に新たなキャプチャが行われ、正しい計測値を取り出せない場合があることにご注意ください（途中に割り込み要求処理が行われた場合など）。

また、このような場合に、バックアップレジスタを用いた読み出しを行うことで、2 つの計測値を矛盾なく読み出すことが可能です。詳細は後述の「複数レジスタの同時アクセス」の項を参照してください。

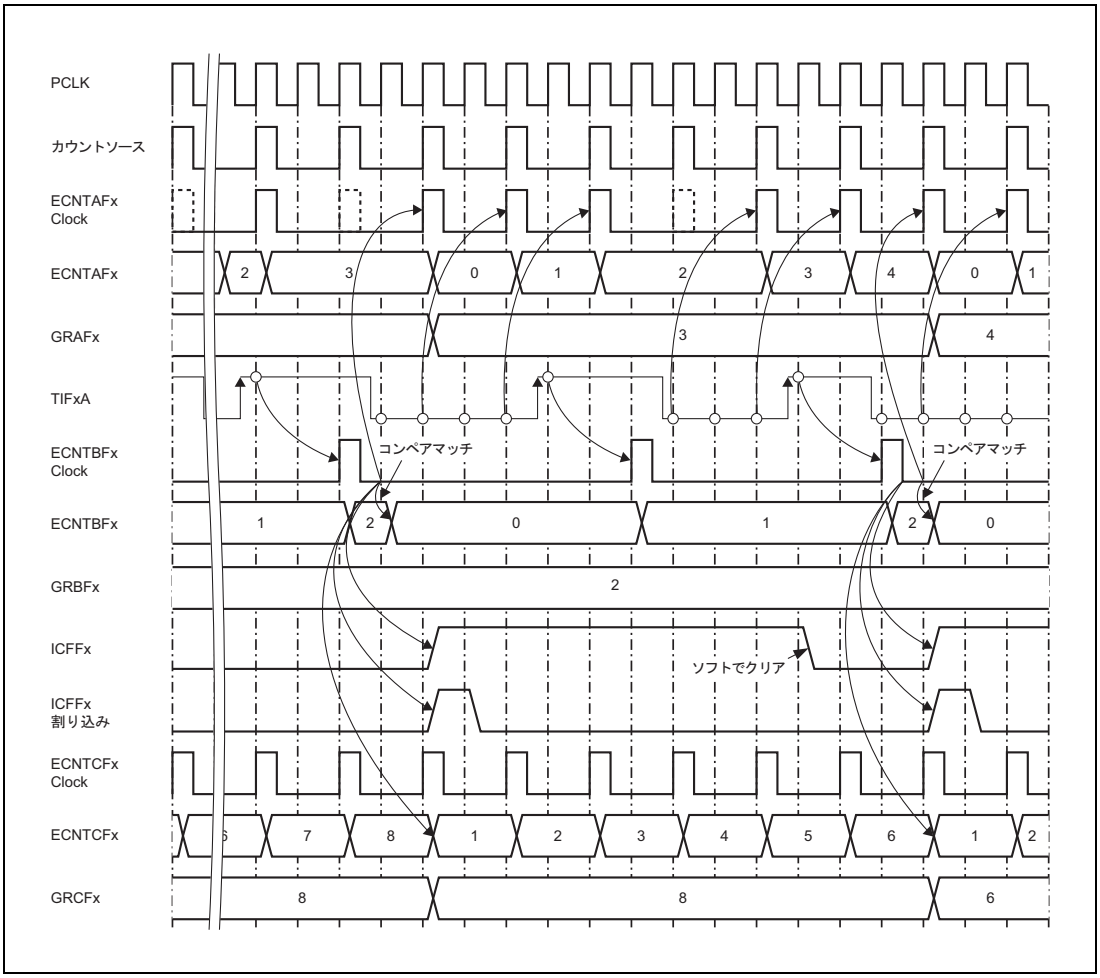


図 22.65　PWM 入力波形期間計測の動作例

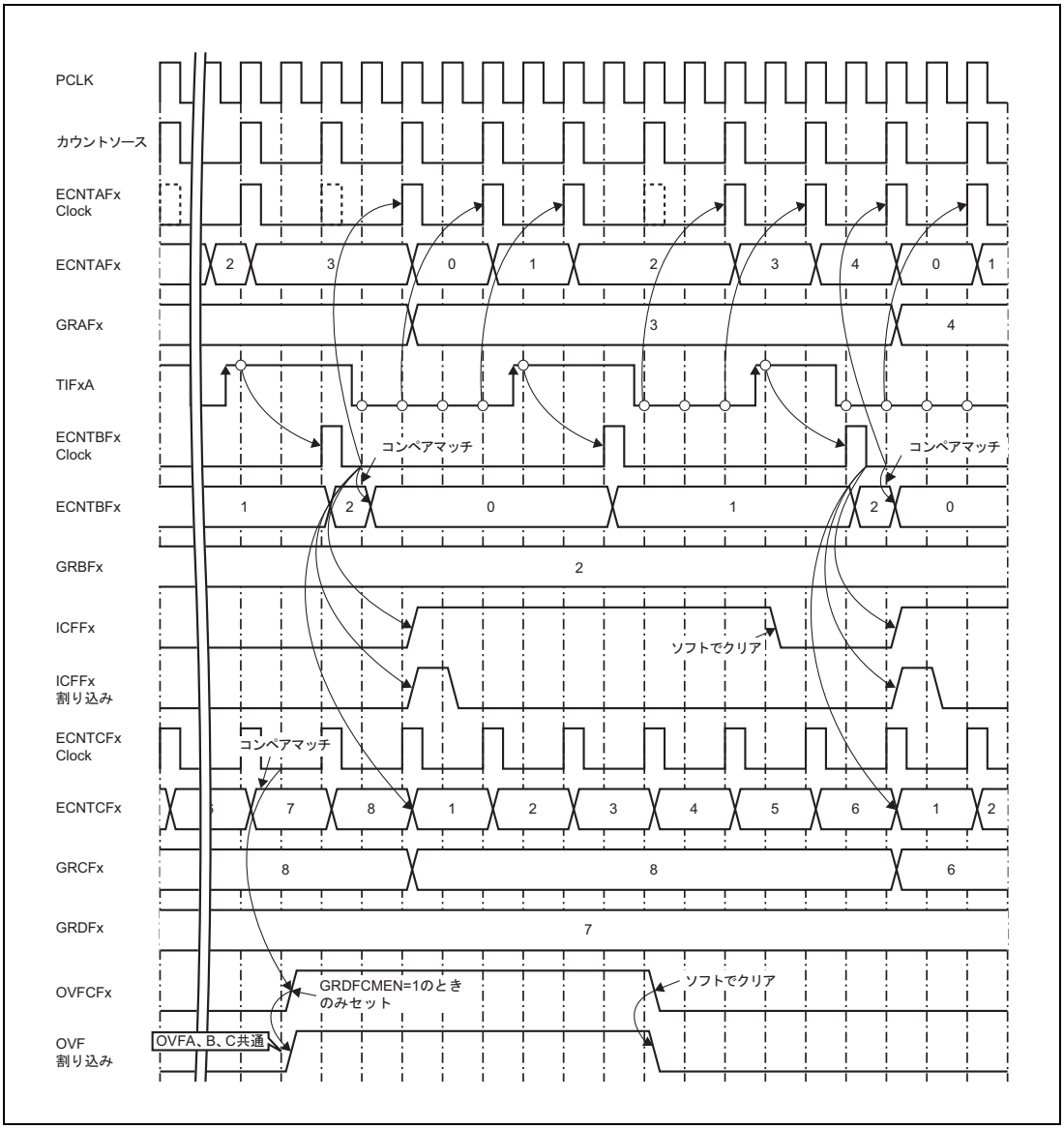


図 22.66　PWM 入力波形期間計測の動作例

回転速度／パルス計測

TIFx に入力されたエッジ数、およびエッジ入力時刻（タイムスタンプ）を計測し、また直前の入力エッジとの間に現れる PWM 波形のオフデューティと、PWM サイクルを計測します。

得られる時間は、ECNTAFx のクロックソースを基準として示されます。また、GRBFx には、エッジ入力間隔の最大値を設定でき、エッジ入力間隔が最大値を超えた場合に割り込み要求を出力することができます。

このときのタイマ F の動作は次のようになります。また動作例を**図 22.67** に示します。

ここで “ECNTAFx Clock” は、時間計測カウンタ ECNTAFx の、“ECNTBFx Clock” はイベントカウンタ ECNTBFx の、“ECNTCFx Clock” は ECNTCFx がカウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx: クロックバス 0 ～ 6 のいずれかをカウントソースとし、TIFx の入力レベルをイネーブルとしてカウントアップを行います。すなわち、TIFx にハイレベルが与えられている時間（EGSELFx = 2 設定、立ち下がりエッジ選択時）、または TIFx にロウレベルが与えられている時間（EGSELFx = 1 設定、立ち上がりエッジ選択時）を計測します。TIFx へのエッジ入力後、次のカウントソースクロックに同期してカウント値をクリアします。カウントクリアの際に、TIFx にハイレベル（EGSELFx = 2 時）またはロウレベル（EGSELFx = 1 時）が与えられていた場合は、カウント値は $0000\ 0001_H$ となります。
- ECNTBFx: TIFx 入力より与えられた信号のエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がりのいずれかを選択可能です。動作例では立ち下がりエッジをカウントします。また、同期化処理のために TIFx には 2 サイクルの遅れが生じます。
- GRAFx: ECNTAFx に対するキャプチャレジスタとして機能します。TIFx へのエッジ入力後、次の “ECNTAFx Clock” に同期して ECNTAFx のカウント値をキャプチャします。
- GRBFx: ECNTCFx に対するコンペアマッチレジスタとして機能します。ECNTCFx のカウント値と、GRBFx の下位 16 ビットをゼロ拡張した値が一致すると、コンペアマッチを検出し OVFCFx を “1” にセットします。
- ECNTCFx: ECNTAFx と同じカウントソースで時間を計測します。TIFx へのエッジ入力後、次の “ECNTAFx Clock” に同期してカウント値をクリアします。ECNTCFx のカウントクリアはカウントアップと同じタイミングとなるため、クリア値は $0000\ 0001_H$ となります。
- GRCFx: ECNTCFx に対するキャプチャレジスタとして機能します。TIFx へのエッジ入力後、次の “ECNTAFx Clock” に同期して ECNTCFx のカウント値をキャプチャします。
- GRDFx: ECNTCFx に対するキャプチャレジスタとして機能します。TIFx へのエッジ入力後、次の “ECNTAFx Clock” に同期して、ECNTCFx のカウント値を GRDFx の値に累算してキャプチャします。加算する値は、クリア前の ECNTCFx の値となります（キャプチャ値：GRDFx+ = ECNTCFx）。
- インプットキャプチャ割り込み要求出力：TIFx へのエッジ入力後、次の “ECNTAFx Clock” に同期して CPU にインプットキャプチャ割り込み要求を出力します。
- DMA 転送要求出力 : TIFx へのエッジ入力後、次の “ECNTAFx Clock” に同期して DMAC に DMA 転送要求を出力します。
- ICFFx: TIFx へのエッジ入力後、次の “ECNTAFx Clock” に同期して ICFFx をセットします。

- オーバフロー割り込み要求出力: ECNTCFx と GRBFx の値（下位 16 ビットをゼロ拡張した値）が一致した次の PCLK に同期して CPU にオーバフロー割り込み要求の出力をします。
- OVFCFx: ECNTCFx と GRBFx の値（下位 16 ビットをゼロ拡張した値）が一致した次の PCLK に同期して OVFCFx をセットします。

インプットキャプチャ割り込み要求出力時に、ECNTBFx、GRAFx、GRCFx、GRDFx を読み出すことで、それぞれからエッジ数、オフデューティサイクル、PWM サイクル、およびエッジ入力時刻を得ることができます。

GRAFx、GRCFx、GRDFx のキャプチャタイミングは、ECNTAFx のカウントクロックに同期します。TIFx へのエッジ入力周期が、ECNTAFx のカウントクロック周期よりも短くなると正しく計測できませんので、ご注意ください。

回転速度／パルス計測モードの計測値は、GRAFx と GRCFx と GRDFx の 3 つの 32 ビットレジスタに収められます。この 3 つのレジスタを順に読み出すとき、あるレジスタを読み出したあと、残りのレジスタを読み出す前に新たなキャプチャが行われ、正しい計測値を取り出せない場合があることにご注意ください（途中に割り込み要求処理が行われた場合など）。

また、このような場合に、バックアップレジスタを用いた読み出しを行うことで、3 つの計測値を矛盾なく読み出すことが可能です。詳細は後述の「複数レジスタの同時アクセス」の項を参照してください。

注　意

サブブロック 03 ～ 15 以外では、本モードを設定しないでください。

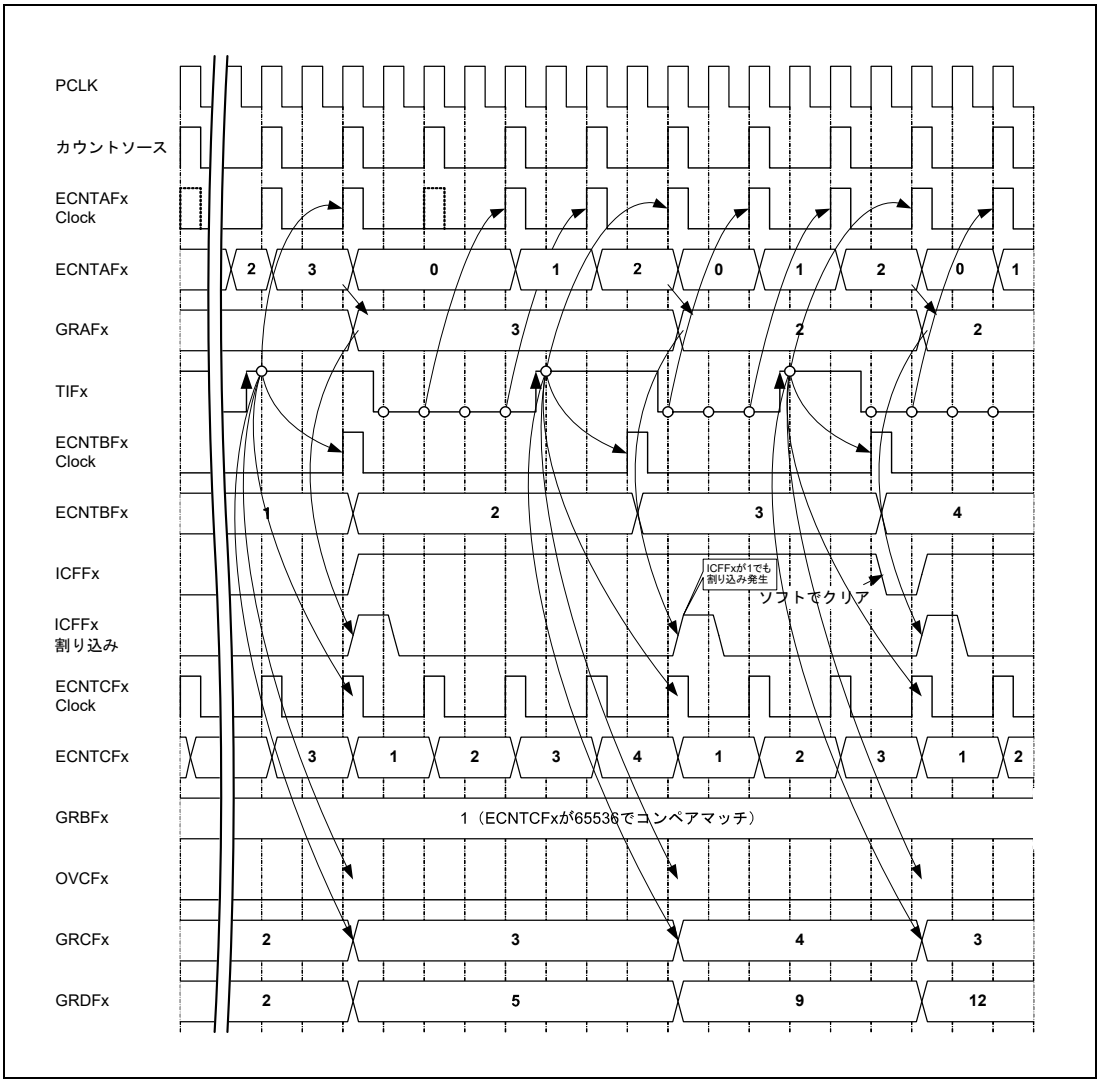


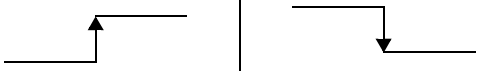
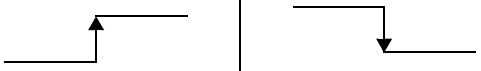
図 22.67　回転速度／パルス計測の動作例

アップ／ダウンカウント

2 本の外部入力ピン（TIFxA, TIFxB）のうち、TIFxA をカウントソースとしてカウント動作を行い、TIFxB でアップカウント、ダウンカウントを切り替えます。また、GRAFx にカウントする期間を指定すると、GRBFx に指定期間後のカウント値が得られます。カウントする期間は、ECNTAFx カウントソースクロックの周期（GRAFx の値）となります。このときのタイマ F の動作は次のようになります。また動作例を**図 22.68** に示します。ここで “ECNTAFx Clock” と “ECNTBFx Clock” は、それぞれ時間計測カウンタ ECNTAFx とイベントカウンタ ECNTBFx が、カウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx：クロックバス 0 ～ 6 のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次の PCLK に同期してカウント値をクリアします。
- ECNTBFx：TIFxA の立ち上がり・立ち下がりエッジの両エッジでアップ／ダウンカウント動作を行います。カウントの方向は、TIFxB の入力レベルにより決定されます（**表 22.129** を参照ください）。また、同期化処理のために TIFxA、TIFxB には 2 サイクルの遅れが生じます。
- GRAFx：ECNTAFx に対するコンペアマッチレジスタとして機能し、ECNTAFx のカウント値が GRAFx と一致すると、コンペアマッチを検出します。
- GRBFx：ECNTBFx に対するキャプチャレジスタとして機能します。ECNTAFx のコンペアマッチ検出後、次の PCLK に同期して ECNTBFx のカウント値をキャプチャします。
- インプットキャプチャ割り込み要求出力：ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して CPU に割り込み要求を出力します。
- DMA 転送要求出力：ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して DMAC に DMA 転送要求を出力します。
- ICFFx：ECNTAFx のコンペアマッチ検出後、次の PCLK に同期して ICFFx をセットします。
- ECNTCFx、GRCFx、GRDFx：機能しません。

表 22.129 アップ／ダウンイベントカウントモード時のカウント方向

入力	カウント方向			
	アップカウント		ダウンカウント	
TIFxA				
TIFxB	L レベル		H レベル	

注　意

サブブロック 0 ～ 2 以外では、本モードを設定しないでください。

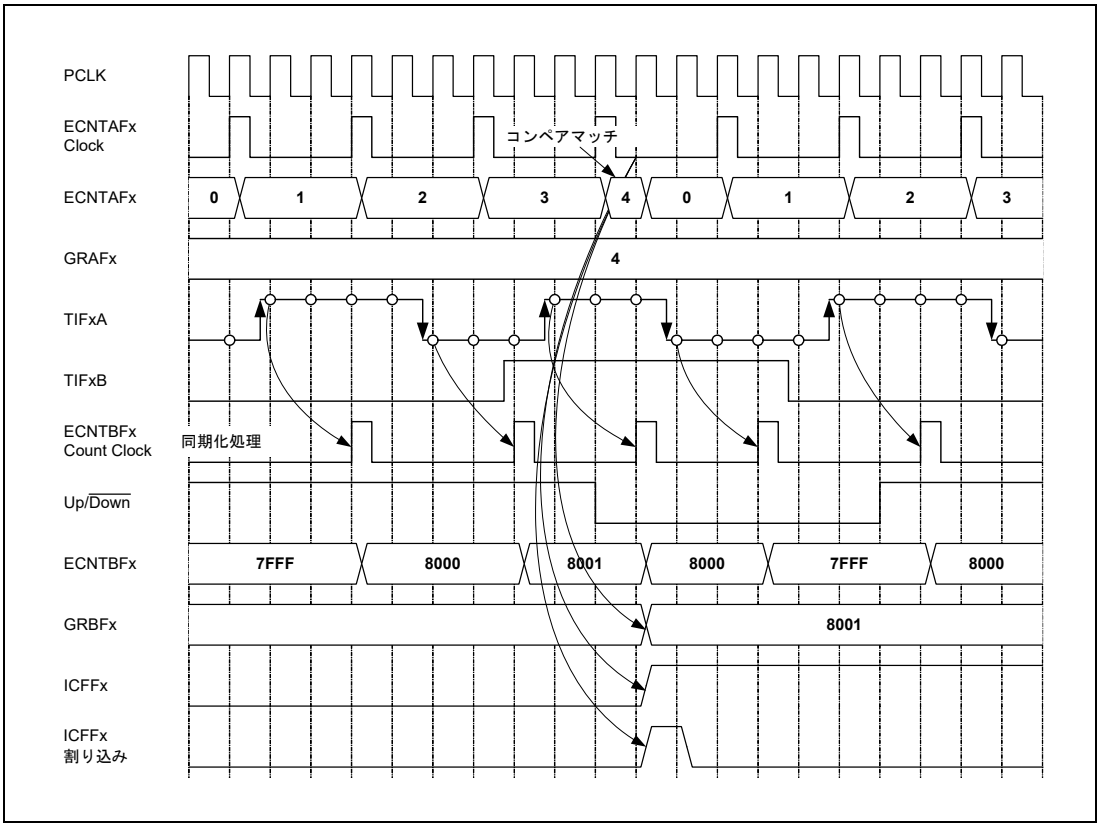


図 22.68　アップ／ダウンカウントの動作例

4 逓倍イベントカウント

2 本の外部入力ピン（TIFxA、TIFxB）をカウントソースとしてカウント動作を行い、その 2 本の入力状態によってアップカウント、ダウンカウントを切り替えます。また、GRAFx にカウントする期間を指定すると、GRBFx に指定期間後のカウント値が得られます。カウントする期間は、ECNTAFx カウントソースクロックの周期（GRAFx の値）となります。

このときのタイマ F の動作は次のようになります。また動作例を**図 22.69** に示します。ここで “ECNTAFx Clock” と “ECNTBFx Clock” は、それぞれ時間計測カウンタ ECNTAFx とイベントカウンタ ECNTBFx が、カウント動作やクリア動作を行うタイミングを示しています。

- ECNTAFx：クロックバス 0 ～ 6 のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次の PCLK に同期してカウント値をクリアします。
- ECNTBFx：TIFxA、TIFxB それぞれの立ち上がり・立ち下がりエッジの両エッジでアップ／ダウンカウント動作を行います。カウントの方向は、他方の信号の入力レベルにより決定されます（**表 22.130** を参照ください）。また、同期化処理のために TIFxA、TIFxB には 2 サイクルの遅れが生じます。
- GRAFx：ECNTAFx に対するコンペアマッチレジスタとして機能し、ECNTAFx のカウント値が GRAFx と一致すると、コンペアマッチを検出します。
- GRBFx：ECNTBFx に対するキャプチャレジスタとして機能します。ECNTAFx のコンペアマッチ検出後、次の PCLK に同期して ECNTBFx のカウント値をキャプチャします。
- インプットキャプチャ割り込み要求出力：ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して CPU にインプットキャプチャ割り込み要求を出力します。
- DMA 転送要求出力：ECNTAFx のコンペアマッチの検出後、次の PCLK に同期して DMAC に DMA 転送要求を出力します。
- ICFFx：ECNTAFx のコンペアマッチ検出後、次の PCLK に同期して ICFFx をセットします。
- ECNTCFx、GRCFx、GRDFx：機能しません。

表 22.130 4 逓倍イベントカウントモード時のカウント方向

入力	カウント方向							
	アップカウント				ダウンカウント			
TIFxA	H レベル	↓	L レベル	↑	H レベル	↓	L レベル	↑
TIFxB	↑	H レベル	↓	L レベル	↓	L レベル	↑	H レベル

注　意

1. **TIFxA と TIFxB のエッジ入力を同時に検出した場合の動作は保証されません。TIFxA と TIFxB のエッジ入力間隔は、必ず 1.5 サイクル（PCLK）以上となるようにしてください。**
2. **サブブロック 0 ～ 2 以外では、本モードを設定しないでください。**

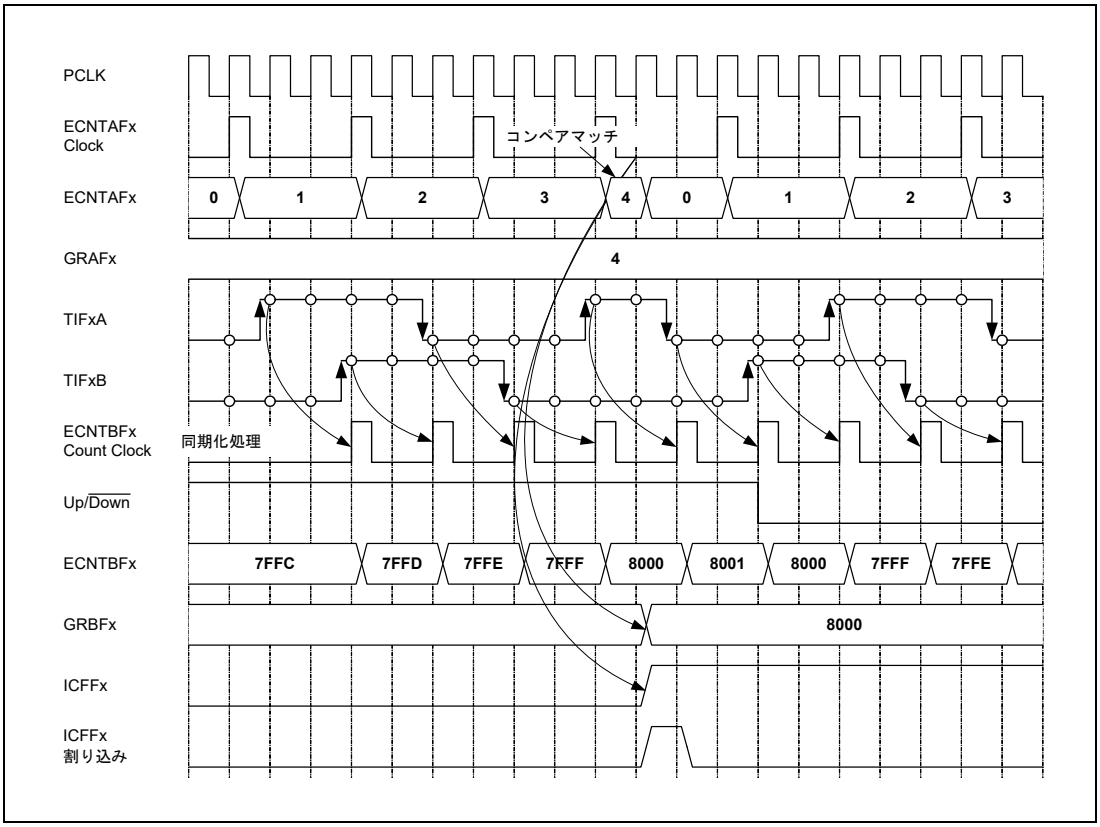


図 22.69　4 逓倍イベントカウントの動作例

オーバフロー／アンダフロー

カウンタクリア処理以外でカウント値が FFFF $FFFF_H$（ECNTAFx、ECNTCFx）→ 0000 0000_H（ECNTAFx、ECNTCFx）、あるいは $FFFF_H$（ECNTBFx）→ 0000_H（ECNTBFx）となった場合に、オーバフローを検出します。この場合、カウント値が 0000 0000_H（or 0000_H）になると同時にオーバフローフラグのセット、およびオーバフロー割り込み要求を出力します。（図は省略）。ECNTAFx でオーバフローを検出した場合は、OVFAFx のセット、およびオーバフロー A 割り込み要求、ECNTBFx のときは OVFBFx のセット、およびオーバフロー B 割り込み要求、ECNTCFx のときは OVFCFx のセット、およびオーバフロー C 割り込み要求を出力します。

また、カウント値が 0000_H（ECNTBFx）→ $FFFF_H$（ECNTBFx）となった場合に、アンダフローを検出します。この場合、カウント値が $FFFF_H$ となると同時に OVFBFx のセット、およびオーバフロー割り込み要求出力をします（図は省略）。また、OVFBFx をセットします。アンダフローは ECNTBFx でのみ発生し、オーバフロー B 割り込み要求を出力します。

複数レジスタの同時アクセス

PWM 入力波形計測モードおよび回転速度／パルス計測モードの計測結果の保持に使用されるレジスタに関しては、バックアップレジスタを用いることで同時刻における複数のレジスタ値を読み出すことが可能です。CDRFx レジスタの読み出しタイミングで、そのときの GRAFx の値を BGRAFx へ、GRCFx の値を BGRCFx へ、GRDFx の値を BGRDFx へ退避します。

汎用レジスタ値のバックアップレジスタへの退避とバックアップレジスタの読み出しには、バックアップコントロールレジスタ Fx（BKCRFx）の設定が必要です。詳細は前述のバックアップコントロールレジスタの項を参照してください。

これにより、PWM 入力波形計測モードでは、CDRFx、BGRCFx の順（DMAC 転送でのアクセス順）に読み出せば同時刻の PWM サイクル、デューティタイムを読み出すことが可能となります。回転速度／パルス計測モードでも CDRFx を読み出したあとで、BGRAFx、BGRCFx、BGRDFx を読み出すことによって同時刻のデータを読み出すことができます。

22.10 タイマ G

22.10.1 動作概要

タイマ G ブロックは、10 個のタイマ G サブブロックによって構成されます。

タイマ G サブブロックは、入力クロックをカウントし、所定の時間が経過すると PCLK で 1 サイクル期間のパルス信号を生成します。生成した信号は、AD 変換器の起動／割り込み要求トリガとして使用することができます。また、DMAC を設定することで割り込み要求により DMA 転送を起動することも可能です。カウンタの入力クロックは、クロックバス上の 7 本のクロックから選択することができます。APA へのリファレンスデータとしてフリーランカウンタ TCNTG0 のカウント値を出力可能です。出力値の選択については**「23.6　APA 入出力選択機能概要」**をご参照ください。

構成

タイマ G のサブブロックは、1 本の 32 ビットカウンタ（TCNTGx）と、1 本のコンペアマッチレジスタ（OCRGx）、制御部などで構成されています。

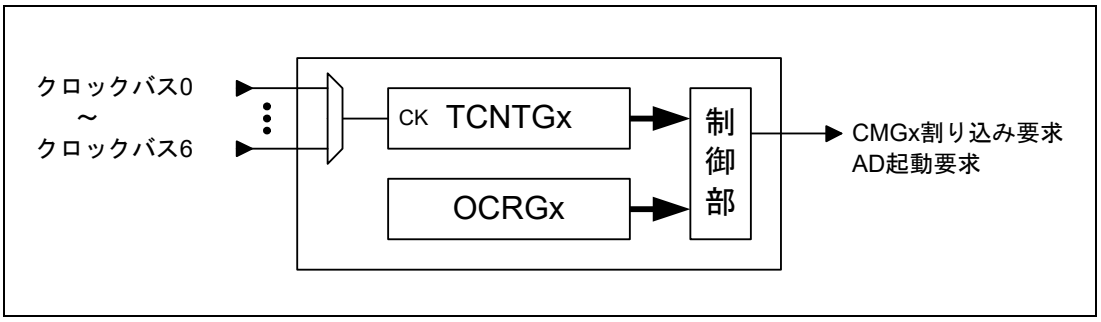


図 22.70　タイマ G の構成

割り込み要求

タイマ G は以下に示す 10 本の割り込み要求を出力することができます。

- タイマサブブロック Gx でコンペアマッチが検出されると出力されます。この要求は AD、DMAC、および割り込み要求コントローラが受け取り、各々の設定にしたがい所定の処理を行います。

22.10.2 タイマ G 関連レジスタ

22.10.2.1 TSTRG — タイマスタートレジスタ G

アクセス 8 ビット／16 ビットアクセス可能
アドレス FFE6 3900_H
リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	STRG9	STRG8	STRG7	STRG6	STRG5	STRG4	STRG3	STRG2	STRG1	STRG0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.131 TSTRG レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	—	何も配置されていません。“0” に固定してください。
9 ～ 0	STRG9 ～ STRG0	カウンタ G スタートビット 0：TCNTGx のカウント動作を停止 1：TCNTGx のカウント動作を許可

備考 x は 0 ～ 9 の整数。

タイマスタートレジスタ G（TSTRG）は 16 ビットのレジスタです。上位ビットを TSTRGH レジスタ、下位ビットを TSTRGL レジスタとして、8 ビットの読み出し／書き込み可能なレジスタで、タイマ G に含まれる各サブブロック（タイマ G0 ～タイマ G9）を動作させるか停止させるかを指定します。ただし、タイマ G のスタートビットをカウント動作許可に設定していても、ATU-IV 制御レジスタ（ATUENR）の TGE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRG はリセット時に 0000_H に初期化されます。

(1) STRGx — カウンタ G スタートビット

タイマサブブロック G0 ～ G9 のタイマカウンタ Gx（TCNTGx）を動作させるか、停止させるかを設定します。

このビットを “0” にクリアした場合、TCNTGx は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

カウンタ G スタートビットを “1” にセットしても、ATU-IV イネーブルレジスタの TGE ビットがセットされていなければカウント動作は開始されません。

注　意

プリスケーラは、カウンタ G スタートビットの設定に関係なく動作しており、上記カウンタの動作開始時にも初期化は行われません。したがって起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。

22.10.2.2 TCRGx — タイマコントロールレジスタ Gx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック G0 ～ G9 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3910_H +（10_H × x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	CKSELGx[2:0]			—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R

表 22.132 TCRGx レジスタの内容

ビット位置	ビット名	機能
7	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
6 ～ 4	CKSELGx[2:0]	クロックセレクト Gx タイマカウンタ Gx（TCNTGx）のクロックソースを指定します 000：クロックバス 0 001：クロックバス 1 010：クロックバス 2 011：クロックバス 3 100：クロックバス 4 101：クロックバス 5 110：クロックバス 6 111：予約
3 ～ 0	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。

備考 x は 0 ～ 9 の整数。

タイマコントロールレジスタ Gx（TCRG0 ～ TCRG9）は 8 ビットの読み出し／書き込み可能なレジスタで、タイマ G に含まれる各サブブロック（タイマ G0 ～タイマ G9）の動作モードを指定します。

TCRG0 ～ TCRG9 はリセット時に 00_H に初期化されます。

(1) CKSELGx — クロックセレクト Gx

タイマサブブロック G0 ～ G9 のタイマカウンタ Gx（TCNTGx）のクロックソースを指定します。
このビットに “000” から “110” を指定することによって、クロックバス 0 からクロックバス 6 のいずれかをクロックソースとして選択することができます。
このビットには “111” を指定しないでください。誤って指定した場合の動作は保証されません。

22.10.2.3 TSRGx — タイマステータスレジスタ Gx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック G0 ～ G9 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3912_H +（10_H × x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OVFGx	CMFGx
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.133 TSRGx レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
1	OVFGx	オーバフローフラグ Gx 1：TCNTGx にオーバフロー発生 0：TCNTGx にオーバフローなし
0	CMFGx	コンペアマッチフラグ Gx 1：サブブロック Gx にコンペアマッチ発生 0：サブブロック Gx にコンペアマッチ発生なし

タイマステータスレジスタ Gx（TSRG0 ～ TSRG9）は 8 ビットの読み出し専用のレジスタで、時間計測カウンタやイベントカウンタのオーバフローの発生、コンペアマッチの発生を示します。

オーバフローフラグはタイマのオーバフローの発生を示すステータスフラグです。割り込み要求を発生させることはできません。コンペアマッチフラグは割り込み要求発生のステータスフラグです。これらのフラグはタイマステータスクリアレジスタ Gx（TSCRGx）の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

TSRG0 ～ TSRG9 はリセット時に 00_H に初期化されます。

(1) OVFGx － オーバフローフラグ Gx

このフラグにより、タイマカウンタ Gx（TCNTGx）のオーバフローの状態を参照することができます。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  TCNTGx の値がオーバフロー（$FFFF\ FFFF_H \rightarrow 0000\ 0000_H$）したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ Gx（TSCRGx）の OVFCGx に “1” を書き込んだとき。

(2) CMFGx ー コンペアマッチフラグ Gx

このフラグにより、サブブロック Gx（G0 ～ G9）においてコンペアマッチの検出状態を参照することができます。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  サブブロック Gx でコンペアマッチを検出したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ Gx（TSCRGx）の CMFCGx に “1” を書き込んだとき。

22.10.2.4 TSCRGx — タイマステータスクリアレジスタ Gx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック G0 ～ G9 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3913_H +（10_H × x）

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OVFCGx	CMFCGx
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

注 1. “0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

表 22.134 TSCRGx レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
1	OVFCGx	オーバフローフラグクリア Gx イネーブル 0：無効（初期値） 1：OVFGx に 0 を書き込む。
0	CMFCGx	コンペアマッチフラグクリア Gx イネーブル 0：無効（初期値） 1：CMFGx に 0 を書き込む。

TSCRGx は 8 ビットの読み出し／書き込み可能なレジスタで、オーバフロー、コンペアマッチの発生によるフラグのクリア設定をします。

TSCRGx は 8 ビット単位でのみ読み出し／書き込みが可能です。ただし読み出した場合は常に “0” が読み出せます。

TSCRGx はリセット時に 00_H に初期化されます。

(1) OVFCGx — オーバフローフラグクリア Gx イネーブル

タイマステータスレジスタ Gx（TSRGx）のオーバフローフラグ Gx（OVFGx）が “1” にセットされているとき、本レジスタに “1” を書き込むと OVFGx を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(2) CMFCGx — コンペアマッチフラグクリア Gx イネーブル

タイマステータスレジスタ Gx（TSRGx）のコンペアマッチフラグ Gx（CMFGx）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFGx を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

22.10.2.5 TCNTGx — タイマカウンタ Gx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック G0 ～ G9 に対応）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 3914_H +（10_H × x）

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCNTGx[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTGx[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.135 TCNTGx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	TCNTGx[31:0]	タイマカウント Gx アップカウンタ

タイマカウンタ Gx（TCNTGx）は 32 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0 ～ 6 のいずれかを選ぶことができます。

TCNTGx カウンタ値はコンペアマッチレジスタ Gx（OCRGx）と比較されており、値が一致すると、次の内部クロック（PCLK）でコンペアマッチフラグ Gx（TSRGx レジスタの CMFGx ビット）がセットされ、TCNTGx カウンタ値は $0000\ 0000_H$ にクリアされます。ただし、コンペアマッチによるカウンタのクリアとカウントアップのタイミングが一致する場合のみ、TCNTGx は $0000\ 0001_H$ にクリアされます（TCNTGx が Pϕ の 1 分周クロックでカウントする場合のみ起こります）。このコンペアマッチにより、CPU へ割り込み要求を出力をすることができます。

TCNTGx はリセット時に $0000\ 0000_H$ に初期化されます。

22.10.2.6 OCRGx — コンペアマッチレジスタ Gx

（x = 0, 1, 2, 3, 4, 5, 6, 7, 8, 9：サブブロック G0 ～ G9 に対応）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 3918$_H$ +（10$_H$ × x）

リセット後の値　FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OCRGx[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCRGx[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.136 OCRGx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OCRGx[31:0]	コンペアマッチ Gx コンペアマッチ値を指定

コンペアマッチレジスタ Gx（OCRGx）は 32 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、タイマカウンタ Gx に対するアウトプットコンペアレジスタの機能を持っています。コンペマッチ発生時に、CPU への割り込み要求、および DMAC への DMA 転送要求を発生することができます。

OCRGx には 0000 0000$_H$ を設定しないでください。0000 0000$_H$ を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

OCRGx はリセットによって FFFF FFFF$_H$ に初期化されます。

22.10.3 詳細動作説明

OCRGx に時間を指定すると、指定した時間経過後に PCLK の 1 サイクル期間の正論理パルスを得ることができます。出力信号の初期値は “0” です。カウントする期間は、TCNTGx のクロックソースを基準として指定します。生成した信号を AD 変換器に出力することができ、AD 起動／割り込み要求トリガとして使用できます。

また、コンペアマッチ時は、タイマステータスレジスタ Gx（TSRGx）のコンペアマッチフラグ Gx（CMFGx）がセットされます。DMAC および CPU に対して、それぞれ DMA 起動、割り込み要求を要求することができます。

図 22.71 に動作例を示します。ここで “TCNTGx Clock” は、カウンタ TCNTGx がカウント動作やクリア動作を行うタイミングを示した仮想的な信号です。

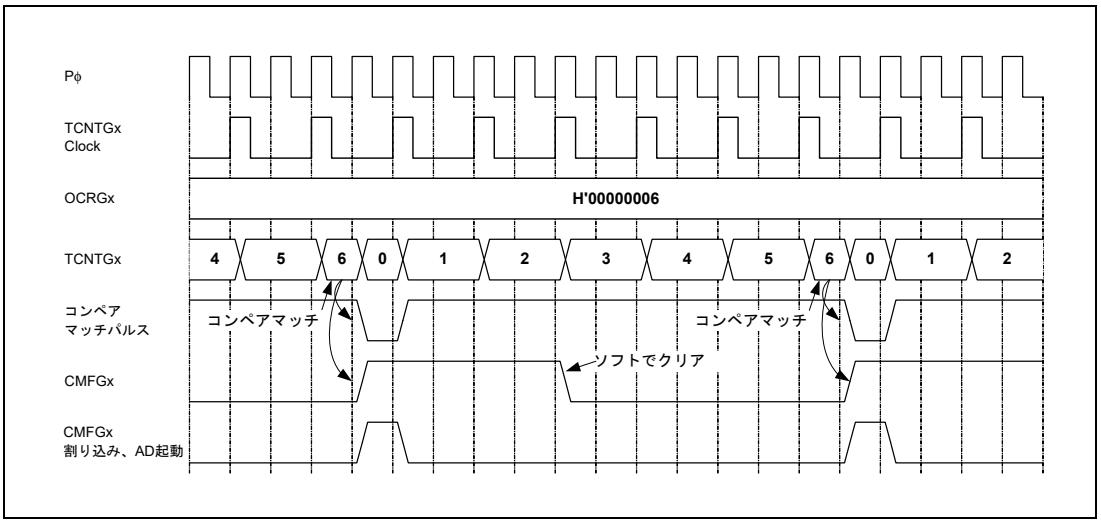


図 22.71　カウント、コンペアマッチ動作

22.11 タイマ H

22.11.1 動作概要

タイマ H は入力クロックをカウントし、所定の時間を繰り返し計測するカウンタです。

16 ビットカウンタ（TCNT1H）はクロックバス上の 7 本から選択したクロックによりカウントアップを行います。TCNT1H はコンペアマッチレジスタ（OCR1H）値に到達すると、0000_H にクリアされ、再びカウントアップを開始します。

32 ビットカウンタ（TCNT2H）は TCNT1H と OCR1H とのコンペアマッチ発生によってインクリメントを行い、コンペアマッチ発生回数をカウントします。

TCNT2H のカウントアップのタイミングで割り込みを発生することが可能です。

構成

タイマ H ブロックは、1 本の 16 ビットカウンタ（TCNT1H）と、1 本のコンペアマッチレジスタ（OCR1H）、1 本の 32 ビットカウンタ（TCNT2H）、および制御部で構成されています。

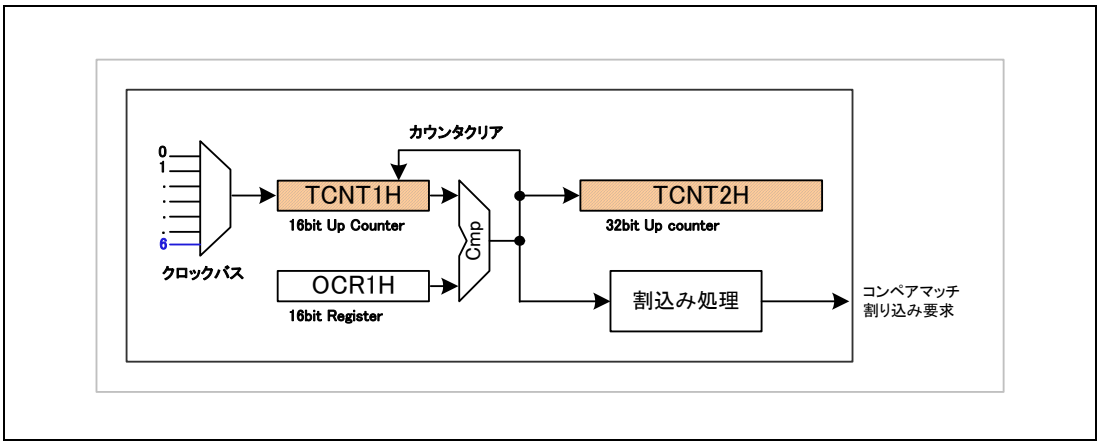


図 22.72　タイマ H の構成

割り込み要求

タイマ H は以下に示す 1 本の割り込み要求を出力することができます。

- コンペアマッチ割り込み要求（1 本）: TCNT1H と OCR1H とのコンペアマッチ発生により割り込みを出力します。

22.11.2 タイマ H 関連レジスタ

22.11.2.1 TCRH — タイマコントロールレジスタ H

アクセス 8 ビットアクセス可能

アドレス FFE6 0100_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	CKSELH[2:0]			—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R

表 22.137 TCRH レジスタの内容

ビット位置	ビット名	機能
7	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
6 ～ 4	CKSELH[2:0]	クロックセレクト H タイマカウンタ 1H（TCNT1H）のクロックソースを指定します 000：クロックバス 0 001：クロックバス 1 010：クロックバス 2 011：クロックバス 3 100：クロックバス 4 101：クロックバス 5 110：クロックバス 6 111：予約
3 ～ 0	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。

タイマコントロールレジスタ H（TCRH）は 8 ビットの読み出し／書き込み可能なレジスタです。タイマカウンタ 1H（TCNT1H）のカウントソースの選択を行います。

TCRH はリセット時に 00_H に初期化されます。

(1) CKSELH — クロックセレクト H

タイマカウンタ 1H（TCNT1H）のクロックソースを指定します。

このビットに “000” から “110” を指定することによって、クロックバス 0 からクロックバス 6 のいずれかをクロックソースとして選択することができます。このビットには “111” を指定しないでください。誤って指定した場合の動作は保証されません。

22.11.2.2 TSRH — タイマステータスレジスタ H

アクセス 8 ビットアクセス可能

アドレス FFE6 0102_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF2H	OVF1H	CMFH
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.138 TSRH レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
2	OVF2H	オーバフローフラグ 2H 1：TCNT2H オーバフロー発生 0：TCNT2H オーバフローなし
1	OVF1H	オーバフローフラグ 1H 1：TCNT1H オーバフロー発生 0：TCNT1H オーバフローなし
0	CMFH	コンペアマッチフラグ H 1：TCNT1H と OCR1H のコンペアマッチ発生 0：TCNT1H と OCR1H のコンペアマッチ発生なし

タイマステータスレジスタ H（TSRH）は 8 ビットの読み出し専用のレジスタです。

タイマカウンタ 1H（TCNT1H）とコンペアマッチレジスタ 1H（OCR1H）とのコンペアマッチ発生、TCNT1H のオーバフロー発生、32 ビットタイマカウンタ（TCNT2H）のオーバフローの発生を示します。

これらのフラグはオーバフロー、コンペアマッチ発生を示すステータスフラグであり、タイマステータスクリアレジスタ H（TSCRH）の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

TSRH はリセット時に 00_H に初期化されます。

(1) OVF2H － オーバフローフラグ 2H

このフラグにより、タイマカウンタ 2H（TCNT2H）のオーバフローの状態を参照することができます。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

OVF2H	機能
0	[クリア条件] タイマステータスクリアレジスタ H（TSCRH）の OVFC2H に “1” を書き込んだとき（初期値）
1	[セット条件] TCNT2H の値がオーバフロー（FFFF $FFFF_H$ → 0000 0000_H）したとき

TCNT2H への 0000 0000_H 書き込み、TCNT2H 初期値（0000 0000_H）で起動しても OVF2H はセットされません。

カウンタ値が FFFF $FFFF_H$ の状態で、カウントアップクロックと同時に TCNT2H への書き込みを行った場合、オーバフローフラグは “1” にセットされますが、TCNT2H 値は 0000 0000_H ではなく、書き込まれた値に更新されます。

(2) OVF1H －オーバフローフラグ 1H

このフラグにより、タイマカウンタ 1H（TCNT1H）のオーバフローの状態を参照することができます。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

OVF1H	機能
0	[クリア条件] タイマステータスクリアレジスタ H（TSCRH）の OVFC1H に “1” を書き込んだとき（初期値）
1	[セット条件] TCNT1H の値がオーバフロー（$FFFF_H$ → 0000_H）したとき

TCNT1H への 0000_H 書き込み、TCNT1H 初期値（0000_H）で起動しても OVF1H はセットされません。

カウンタ値が $FFFF_H$ の状態で、カウントアップクロックと同時に TCNT1H への書き込みを行った場合、オーバフローフラグは “1” にセットされますが、TCNT1H 値は 0000 0000_H ではなく、書き込まれた値に更新されます。

(3) CMFH －コンペアマッチフラグ H

このフラグにより、TCNT1H と OCR1H とのコンペアマッチ検出状態を参照することができます。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

CMFH	機能
0	[クリア条件] タイマステータスクリアレジスタ H（TSCRH）の CMFCH に “1” を書き込んだとき（初期値）
1	[セット条件] TCNT1H と OCR1H の値が一致したとき

CMFH が 1 の状態（フラグがクリアされていない状態）でも、次のコンペアマッチ処理は実施可能です。このとき CMFH には 1 がオーバライトされます。

22.11.2.3 TSCRH — タイマステータスクリアレジスタ H

アクセス 8 ビットアクセス可能

アドレス FFE6 0103_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVFC2H	OVFC1H	CMFCH
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 22.139 TSCRH レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	—	何も配置されていません。“0” に固定してください。
2	OVFC2H	オーバフローフラグクリア 2H イネーブル 0：無効（初期値） 1：OVF2H に 0 を書き込む。
1	OVFC1H	オーバフローフラグクリア 1H イネーブル 0：無効（初期値） 1：OVF1H に 0 を書き込む。
0	CMFCH	コンペアマッチフラグクリア H イネーブル 0：無効（初期値） 1：CMFH に 0 を書き込む。

TSCRH は 8 ビットの読み出し／書き込み可能なレジスタで、オーバフロー、コンペアマッチの発生によるフラグのクリア設定をします。

TSCRH は 8 ビット単位でのみ読み出し／書き込みが可能です。ただし読み出した場合は常に “0” が読み出せます。

TSCRH はリセット時に 00_H に初期化されます。

(1) OVFC2H — オーバフローフラグクリア 2H イネーブル

タイマステータスレジスタ H（TSRH）のオーバフローフラグ 2H（OVF2H）が “1” にセットされているとき、本レジスタに “1” を書き込むと OVF2H を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(2) OVFC1H — オーバフローフラグクリア 1H イネーブル

タイマステータスレジスタ H（TSRH）のオーバフローフラグ 1H（OVF1H）が “1” にセットされているとき、本レジスタに “1” を書き込むと OVF1H を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

(3) CMFCH — コンペアマッチフラグクリア H イネーブル

タイマステータスレジスタ H（TSRH）のコンペアマッチフラグ H（CMFH）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFH を “0” にクリアすることができます。読み出した場合は常に “0” が読み出せます。

22.11.2.4 TCNT1H — タイマカウンタ 1H

アクセス 16 ビットアクセス可能　8 ビットアクセス禁止

アドレス FFE6 0104_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNT1H[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.140 TCNT1H レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	TCNT1H[15:0]	タイマカウンタ 1H 16 ビットアップカウンタ

タイマカウンタ 1H（TCNT1H）は 16 ビットの読み出し／書き込み可能なレジスタです。8 ビットアクセスは禁止です。

ATU-IV マスタイネーブルレジスタ（ATUENR）の THE ビットが “1” にセットされている場合のみ動作可能です。タイマコントロールレジスタ H（TCRH）によって選択された入力クロックによりアップカウント動作を行います。

オーバフロー（$FFFF_H \rightarrow 0000_H$）を発生すると、タイマステータスレジスタ H（TSRH）のオーバフローフラグ 1H（OVF1H）が “1” にセットされます。

TCNT1H カウンタ値はコンペアマッチレジスタ 1H（OCR1H）と比較されており、値が一致すると、次の内部クロック（PCLK）でコンペアマッチステータス（TSRH レジスタの CMFH ビット）がセットされ、TCNT1H カウンタ値は 0000_H にクリアされます。ただし、コンペアマッチによるカウンタのクリアとカウントアップのタイミングが一致する場合のみ、TCNT1H は 0001_H にクリアされます（TCNT1H が Pϕ の 1 分周クロックでカウントする場合のみ起こります）。このコンペアマッチにより、CPU へ割り込み要求を出力をすることができます。

またコンペアマッチと同時にタイマカウンタ 2H（TCNT2H）はカウントアップを行います。

TCNT1H はリセット時に 0000_H に初期化されます。

22.11.2.5 OCR1H — コンペアマッチレジスタ 1H

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 0106$_H$

リセット後の値 FFFF$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCR1H[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.141 OCR1H レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	OCR1H[15:0]	コンペアマッチ 1H コンペアマッチ値を指定

コンペアマッチレジスタ 1H（OCR1H）は 16 ビットの読み出し／書き込み可能なレジスタです。タイマカウンタ 1H（TCNT1H）に対するアウトプットコンペアレジスタの機能を持っています。次の周期でコンペアマッチが発生します。

コンペアマッチ発生周期 = TCNT1H カウントクロック周期（TCRH レジスタの CKSELH ビットで設定）× OCR1H 値

この周期で TCNT2H はカウントアップを行います。また、CPU へ割り込みを要求を出力します。

OCR1H には 0000$_H$ を設定しないでください。0000$_H$ を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

リセットによって FFFF$_H$ に初期化されます。

22.11.2.6 TCNT2H — タイマカウンタ 2H

アクセス 32 ビットアクセス可能　8 ビットアクセス／ 16 ビットアクセス禁止

アドレス FFE6 0108_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCNT2H															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNT2H															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.142 TCNT2H レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	TCNT2H	タイマカウンタ 2H 32 ビットカウンタ値

タイマカウンタ 2H（TCNT2H）は 32 ビットの読み出し／書き込み可能なレジスタです。16 ビット単位、8 ビット単位での読み出し、書き込みは禁止です。

タイマカウンタ 1H（TCNT1H）とコンペアマッチレジスタ 1H（OCR1H）とのコンペアマッチ検出信号によってカウントアップ動作を行います。

ATU-IV マスタイネーブルレジスタ（ATUENR）の THE ビットが “1” にセットされている場合のみ動作可能です。

TCNT2H がオーバフロー（FFFF $FFFF_H$ → 0000 0000_H）を発生すると、タイマステータスレジスタ H（TSRH）のオーバフローフラグ 2H（OVF2H）が “1” にセットされます。

TCNT2H はリセット時に 0000 0000_H に初期化されます。

22.11.3 動作説明

コンペアマッチレジスタ 1H（OCR1H）に時間を指定すると、指定した時間経過後に TCNT1H とのコンペアマッチによりコンペアマッチステータス（TSRH レジスタの CMFH ビット）がセットされます。同時にタイマカウンタ 2H（TCNT2H）がカウントアップし、タイマカウンタ 1H（TCNT1H）は 0000_H にクリアされます。

TCNT1H のカウントクロックはクロックバスから TCRH レジスタによって選択します。ATUENR レジスタの THE ビットが 1 のとき、TCNT1H、TCNT2H は動作可能となります。カウンタ動作中に THE ビットを 0 にした場合、TCNT1H、TCNT2H はその状態を保持したまま停止します。再び THE ビットを 1 にすると、停止した状態からカウントを再開します。

コンペアマッチレジスタ 1H（OCR1H）のコンペアマッチにより、CPU に割り込み要求の出力が可能です。

以下に動作例を示します。ここで “TCNT1H カウントクロック ” は、カウンタ TCNT1H がカウント動作やクリア動作を行うタイミングを示した仮想的な信号です。

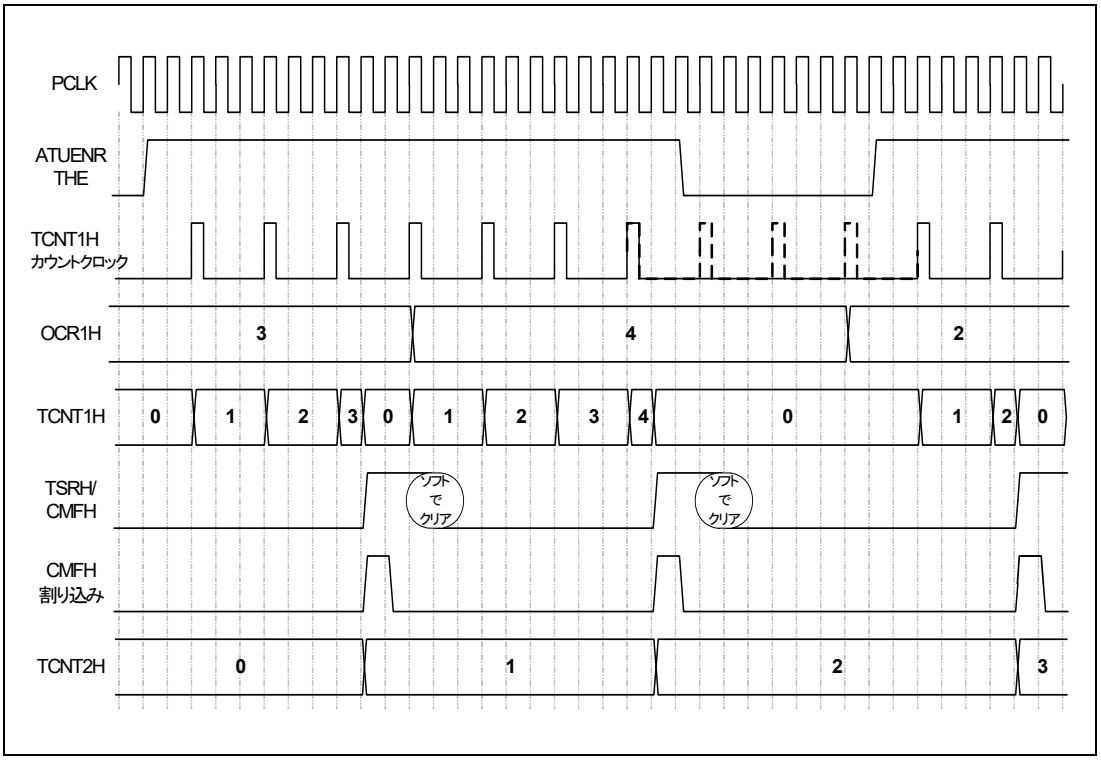


図 22.73　タイマ H 動作

22.12 タイマ J

22.12.1 動作概要

タイマ J ブロックは、6 個のサブブロックによって構成されます。

タイマ J サブブロックは入力クロックをカウントし、所定の時間を繰り返し計測するカウンタです。

32 ビットカウンタ（TCNTJx）はクロックバス上の 7 本から選択したクロックによりカウントアップを行います。TCNTJx は、TIJx 端子のエッジ入力によってクリアされます。また、タイマ J は 9 段（32bit × 9）の FIFO レジスタを持っており、エッジ入力ごと、FIFO に TCNTJx 値を取り込むことができます。FIFO レジスタがフルになったタイミングで DMAC の起動、および CPU へ割り込み要求が可能です。

そのほか、FIFO レジスタの有効期間をコンペアマッチレジスタ（OCRJx）でのコンペアマッチ後、FIFO レジスタがフルになるまでの間と制御することが可能です。

外部信号入力端子（TIJx）からの入力は、入力キャンセル機能を使用してノイズをキャンセルすることができます。

構成

タイマ J サブブロックは、1 本の 32 ビットカウンタ（TCNTJx）と、1 本のコンペアマッチレジスタ（OCRJx）、9 段の FIFO レジスタ（32 ビット × 9）、入力処理部（エッジ検出、ノイズキャンセラ）、および制御部などで構成されています。

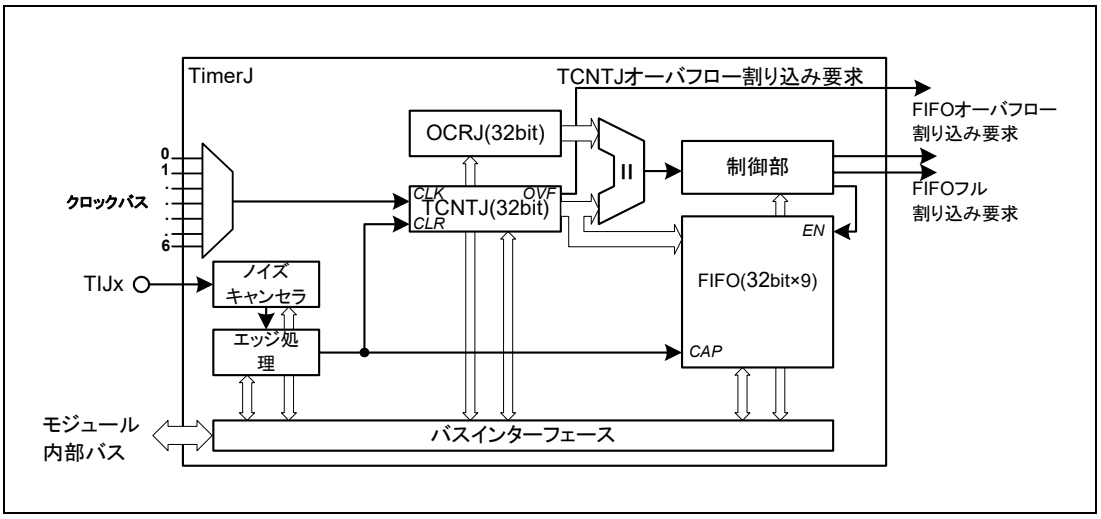


図 22.74 タイマ J サブブロックの構成

22.12.2 タイマ J 関連レジスタ

22.12.2.1 TSTRJ — タイマスタートレジスタ J

アクセス 8 ビットアクセス可能

アドレス FFE6 3C00$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	STRJ5	STRJ4	STRJ3	STRJ2	STRJ1	STRJ0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 22.143 TSTRJ レジスタの内容

ビット位置	ビット名	機能
7、6	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
5 ～ 0	STRJ5 ～ STRJ0	カウンタ J スタートビット 0：TCNTJx のカウント動作を停止 1：TCNTJx のカウント動作を許可

備考 x は 0 ～ 5 の整数。

タイマスタートレジスタ J（TSTRJ）は 8 ビットの読み出し／書き込み可能なレジスタで、タイマ J に含まれる各サブブロック（タイマ Jx）を動作させるか停止させるかを指定します。ただし、タイマ J のスタートビットをカウント動作許可に設定していても、ATU-IV 制御レジスタ（ATUENR）の TJE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRJ はリセット時に 00$_H$ に初期化されます。

(1) STRJx — カウンタ J スタートビット

タイマサブブロック Jx のタイマカウンタ Jx（TCNTJx）を動作させるか、停止させるかを設定します。

このビットを “0” にクリアした場合、TCNTJx は動作を停止します。停止時はカウンタ値をそのまま保持し、再度このビットを “1” にセットした場合には、その値から動作を再開します。

カウンタ J スタートビットを “1” にセットしても、ATU-IV イネーブルレジスタの TJE ビットがセットされていなければカウント動作は開始されません。

注　意

プリスケーラは、カウンタ J スタートビットの設定に関係なく動作しており、上記カウンタの動作開始時にも初期化は行われません。したがって起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さがともないます。

22.12.2.2 TCRJx — タイマコントロールレジスタ Jx

（x = 0, 1, 2, 3, 4, 5：サブブロック J0 ～ J5 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3C20$_H$ +（20$_H$ × x）

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	CKSELJx[2:0]			—	NCEJx	IOJx	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 22.144 TCRJx レジスタの内容

ビット位置	ビット名	機能
7、3	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
6 ～ 4	CKSELJx	クロックセレクト Jx タイマカウンタ Jx（TCNTJx）のクロックソースを指定します 000：クロックバス 0 001：クロックバス 1 010：クロックバス 2 011：クロックバス 3 100：クロックバス 4 101：クロックバス 5 110：クロックバス 6 111：予約
2	NCEJx	ノイズキャンセライネーブル Jx 0：TIJx 入力のノイズキャンセラ機能を無効にする 1：TIJx 入力のノイズキャンセラ機能を有効にする
1、0	IOJx	I/O コントロール Jx 00：TIJx のインプットキャプチャ禁止 01：TIJx の立ち上がりでインプットキャプチャ 10：TIJx の立ち下がりでインプットキャプチャ 11：TIJx の立ち上がり／立ち下がり両エッジでインプットキャプチャ

備考 x は 0 ～ 5 の整数。

タイマコントロールレジスタ Jx（TCRJx）は 8 ビットの読み出し／書き込み可能なレジスタで、タイマ J に含まれる各サブブロック（タイマ Jx）の動作モードを指定します。

TCRJx はリセット時に 00$_H$ に初期化されます。

(1) CKSELJx — クロックセレクト Jx

タイマサブブロック Jx のタイマカウンタ Jx（TCNTJx）のクロックソースを指定します。
このビットに “000” から “110” を指定することによって、クロックバス 0 からクロックバス 6 のいずれかをクロックソースとして選択することができます。
このビットには “111” を指定しないでください。誤って指定した場合の動作は保証されません。

(2) NCEJx — ノイズキャンセライネーブル Jx

外部入力 TIJx に対してノイズキャンセル機能の有効／無効を選択します。
これらのビットを “1” にセットしたあと、外部入力 TIJx のレベル変化を検出すると、共通制御部内のノイズキャンセルモードレジスタ（NCMR）の設定に合わせて、後続エッジキャンセルモード、あるいは先行エッジキャンセルモード、またはレベル積算キャンセルモードのいずれかの処理を開始します。

後続エッジキャンセルモードでは、入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ Jx（NCNTJx）がアップカウントを開始します。このノイズキャンセルカウンタがノイズキャンセルレジスタ Jx（NCRJx）の値とコンペアマッチするまでの間、入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの入力信号のレベルがノイズキャンセル後の信号として出力されます。

NCNTJx がカウント動作中にこれらのビットを “0” クリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も入力信号のレベル変化はマスクされつづけます。

先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ Jx（NCNTJx）がアップカウントを開始します。NCNTJx の値がノイズキャンセルレジスタ Jx（NCRJx）の値とコンペアマッチするまでの間に入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合はノイズとみなされ、ノイズキャンセラは入力信号のレベル変化がなかったものとしてノイズキャンセル後の信号を変化させません。

NCNTJx がカウント動作中にこれらのビットを “0” クリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

レベル積算キャンセルモードでは、入力信号のレベルに従い対応するノイズキャンセルカウンタ Jx（NCNTJx）がアップ／ダウンカウントを行います。入力ハイレベルでアップカウント、入力ロウレベルでダウンカウントとなります。アップカウントはノイズキャンセルカウンタがノイズキャンセルレジスタ Jx（NCRJx）の値とコンペアマッチするまでの間、ダウンカウントはノイズキャンセルカウンタが 0000_H にコンペアマッチするまで続きます。アップカウントでコンペアマッチ（NCRJx）するとノイズキャンセラ出力を 1 に更新します。また、ダウンカウントでコンペアマッチ（0000_H）するとノイズキャンセラ出力を 0 に更新します。

先行エッジキャンセルモード並びに後続エッジキャンセルモードにおいて、レベル変化の検出は選択したノイズキャンセルクロックにかかわらず常に Pϕ によって行われます。レベル積算キャンセルモードにおいて、入力レベルのサンプリングはノイズキャンセラ用クロックによって行われます。

各キャンセルモードの動作例は、**図 22.1** および**図 22.2**、**図 22.3** を参照してください。

(3) IOJx — I/O コントロール Jx

インプットキャプチャのトリガとなる外部入力 TIJx のエッジ検出を選択します。これらのビットを “00” にセットした場合、インプットキャプチャ動作は行われません。“01, 10, 11” にセットしたとき、選択したエッジを検出すると、タイマカウンタ Jx （TCNTJx）の値が、対応する FIFO レジスタ Jx（FIFOJx）に転送されます。

エッジ検出は、ノイズキャンセラ通過後の信号に対して行われます。ノイズキャンセル機能が無効であれば外部入力（TIJx）に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることになります。

エッジの検出は、PCLK に同期して行われます。また、外部入力信号の周期が、PCLK 周期の 2 倍以上なければ正しくエッジ検出が行われませんのでご注意ください。

22.12.2.3 FCRJx — FIFO コントロールレジスタ Jx

（x = 0, 1, 2, 3, 4, 5：サブブロック J0 ～ J5 に対応）

アクセス　8 ビットアクセス可能

アドレス　FFE6 3C21$_H$ +（20$_H$ × x）

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	FIFOENJx	—	FVCRENJx	FRSTJx	—	—	FDFTRGJx	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W 注 1	R	R	R/W	R/W

注 1.　“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

表 22.145 FCRJx レジスタの内容

ビット位置	ビット名	機能
6、3、2	—	何も配置されていません。読み出した場合は “0” が読み出されます。書き込みの場合は必ず “0” を書き込んでください。
7	FIFOENJx	FIFO レジスタイネーブル Jx FIFO レジスタ Jx（FIFOJx）の有効／無効を制御します。 0：FIFO レジスタ Jx は無効 1：FIFO レジスタ Jx は有効
5	FVCRENJx	FIFO 有効化制御イネーブル Jx FIFO レジスタの有効期間を制御するかどうかを指定します。 0：OCRJx でのコンペアマッチで FIFO を有効にしない 1：OCRJx のコンペアマッチ後、FIFO フルまで FIFO レジスタを有効にする
4	FRSTJx	FIFO レジスタリセット Jx FIFO レジスタ内のデータを無効にし、FIFO を空の状態にリセットします。 0：何もしない。 1：FIFO レジスタをリセットする。
1、0	FDFTRGJx	FIFO データフルトリガ Jx タイマ J ステータスレジスタの FDFFJx をセットする基準となるデータ数を指定します。 00：9 個 01：6 個 10：4 個 11：2 個

備考　x は 0 ～ 5 の整数。

FIFO コントロールレジスタ Jx（FCRJx）は 8 ビットの読み出し／書き込み可能なレジスタで、タイマ J に含まれる各サブブロック（タイマ Jx）の FIFO レジスタ動作を制御します。

FCRJx はリセット時に 00$_H$ に初期化されます。

(1) FIFOENJx — FIFO レジスタイネーブル Jx

タイマサブブロック Jx の FIFO レジスタ Jx（FIFOJx）の有効／無効を設定します。
このビットが “0” で FIFO レジスタが無効となっていれば、TIJx 端子にエッジ入力があっても、TCNTJx 値は FIFO レジスタに取り込まれません。
ただし、FVCRENJx が “1” に設定されている場合は、このビット（FIFOENJx）が “0” であっても、OCRJx コンペアマッチ後、FIFO がフル（FDFTRGJx ビットによって FIFO フルとするデータ数は設定可能）になるまでの間は、エッジ入力ごとに TCNTJx 値を FIFO レジスタに取り込みます。また、FVCRENJx = 1、かつ FIFOENJx = 1 の場合は、FIFOENJx の設定が優先されます。

(2) FVCRENJx — FIFO 有効化制御イネーブル Jx

FVCRENJx = 1 かつ FIFOENJx = 0 の場合、タイマカウンタ Jx（TCNTJx）とコンペアマッチレジスタ Jx（OCRJx）のコンペアマッチタイミングから、FIFO がフル（FDFTRGJx によってフルとする基準は設定可能）になるまでの間、FIFO レジスタを有効にすることができます。なお、FIFOENJx が “1” であれば、このビット（FVCRENJx）の設定にかかわらず、常に FIFO レジスタは有効になります。

(3) FRSTJx — FIFO レジスタリセット Jx

FRSTJx に 1 を書いた場合、FIFO レジスタ内のキャプチャデータを無効にし、データが空の状態に FIFO レジスタと FDNRJx がリセットされます。ただし、FIFO レジスタはリセットされても、“1” にセットされた FDFFJx、FDOVFJx のクリアは行いません。また、TSRJx.FVLDFJx もクリアされません。

(4) FDFTRGJx — FIFO データフルトリガ Jx

タイマステータスレジスタ Jx（TSRJx）の FDFFJx をセットする基準となるデータ数を指定します。FIFO レジスタが有効であるとき、FIFO レジスタに格納されたキャプチャデータが設定トリガ数以上になったとき、FDFFJx は “1” にセットされます。また、FIFOENJx が “0”、FVCRENJx が “1” であり、TCNTJx と OCRJx のコンペアマッチによって FIFO レジスタが有効になっていれば、キャプチャデータが設定データ数以上になったとき、FIFO レジスタは無効になります。

22.12.2.4 TSRJx — タイマステータスレジスタ Jx

（x = 0, 1, 2, 3, 4, 5：サブブロック J0 ～ J5 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3C22$_H$ +（20$_H$ × x）

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	FVLDFJx	CMFJx	OVFJx	FDOVFJx	FDFFJx
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.146 TSRJx レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	—	何も配置されていません。“0” に固定してください。
4	FVLDFJx	FIFO ステータスフラグ Jx 0：FIFO レジスタが有効状態でない 1：FIFO レジスタが有効状態である
3	CMFJx	コンペアマッチフラグ Jx 0：OCRJx と TCNTJx のコンペアマッチなし 1：OCRJx と TCNTJx のコンペアマッチが発生
2	OVFJx	オーバフローフラグ Jx 0：TCNTJx にオーバフローなし 1：TCNTJx にオーバフロー発生
1	FDOVFJx	FIFO データオーバフローフラグ Jx 0：FIFO 内のデータは正常であることを示す。 1：FIFO が 9 個のキャプチャデータで埋まっている状態で、次のキャプチャが起こったことを示す。
0	FDFFJx	FIFO データフルフラグ Jx 0：FIFO 内のデータ数が FDFTRGJx の設定値より少ないことを示す。 1：FIFO 内のデータ数が FDFTRGJx の設定値以上であることを示す。

備考 x は 0 ～ 5 の整数。

タイマステータスレジスタ Jx（TSRJx）は 8 ビットの読み出し専用のレジスタで、タイマカウンタ Jx（TCNTJx）のオーバフローの発生、コンペアマッチレジスタ Jx（OCRJx）でのコンペアマッチの発生を示します。また、FIFO レジスタの状態も示しており、FIFO レジスタがオーバフローしたこと、FIFO レジスタ内のデータが設定値以上になったことを示すフラグがあります。

FIFO ステータスフラグ、コンペアマッチフラグは FIFO のステータス、およびタイマのコンペアマッチの発生を示すステータスフラグです。割り込み要求を発生させることはできません。オーバフローフラグ、FIFO データオーバフローフラグ、FIFO データフルフラグは割り込み要求発生のステータスフラグです。これらのフラグはタイマステータスクリアレジスタ Jx（TSCRJx）の対応するビットを設定することによりフラグをクリアすることができます。本フラグがセットされた状態で割り込み要因が発生した場合、再度割り込み要求を発生します。また、対応するタイマステータスクリアレジスタによるクリアと割り込み要因発生によるセットが競合した場合でも割り込み要求は発生します。

TSRJ はリセット時に 00$_H$ に初期化されます。

(1) FVLDFJx — FIFO ステータスフラグ Jx

FIFO レジスタの有効／無効状態を示すフラグです。このフラグは読み出し専用であり、ソフトで “1” または “0” にセットすることはできません。
このフラグの読み出し値が “1” であるとき、フラグに対応する FIFO レジスタ Jx（FIFOJx）が有効状態であることが分かります。このとき、TIJx 端子のエッジ入力によって、TCNTJx 値を FIFO レジスタに取り込みます。
FIFOENJx ビットが “1” であれば、FVLDFJx は常に “1” となります。FIFOENJx ビットが “0” であり、FVCRENJx が “1” であるときは、TCNTJx と OCRJx のコンペアマッチによって FVLDFJx が “1” にセットされ、FIFO レジスタがフルになる（FDFTRGJx で設定したデータ数と一致する）と “0” にクリアされます。FIFOENJx、FVCRENJx の両方が “0” であれば、FVLDFJx は常に “0” となります。

- 1 セット条件
  ① FIFOENJx を “1” にセットしたとき。
  ② FIFOENJx が “0” で、FVCRENJx が “1” の場合で、OCRJx でコンペアマッチが発生したとき。
- 0 クリア条件
  ① FIFOENJx を “0” にクリアしたとき。
  ② FIFOENJx が “0” で、FVCRENJx が “1” の場合で、FIFO レジスタに FDFTRGJx の設定値以上のキャプチャデータが格納されたとき。

(2) CMFJx — コンペアマッチフラグ Jx

TCNTJx と OCRJx とのコンペアマッチ検出を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、フラグに対応するコンペアマッチレジスタ Jx（OCRJx）でコンペアマッチが発生したことを示します。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  TCNTJx の値と OCRJx の値が一致したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ J（TSCRx）の CMFCJx に “1” を書き込んだとき。

(3) OVFJx — オーバフローフラグ Jx

タイマカウンタ Jx（TCNTJx）のオーバフローの発生を示すステータスフラグです。このフラグの読み出し値が “1” であるとき、TCNTJx でオーバフローが発生したことを示します。このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  TCNTJx の値がオーバフロー（$FFFF\ FFFF_H \rightarrow 0000\ 0000_H$）したとき。
- 0 クリア条件
  タイマステータスクリアレジスタ Jx（TSCRJx）の OVFCJx に “1” を書き込んだとき。

(4) FDOVFJx — FIFO データオーバフローフラグ Jx

FIFO レジスタにキャプチャデータが 9 個埋まっている状態で、次のキャプチャが発生したことを示すステータスフラグです。このフラグの読み出し値が “1” であるとき、FIFOJx でデータのオーバフローが発生し、キャプチャデータが失われたことがわかります。
このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  FIFOJx に 9 個のキャプチャデータが格納された状態で、次のキャプチャ動作が行われたとき。
- 0 クリア条件
  タイマステータスクリアレジスタ Jx（TSCRJx）の FDOVFCJx に “1” を書き込んだとき。

(5) FDFFJx — FIFO データフルフラグ Jx

FIFO レジスタに FIFO コントロールレジスタ Jx（FCRJx）の FDFTRGJx ビットで指定した数以上のキャプチャデータが格納されたことを示すステータスフラグです。このフラグの読み出し値が “1” であるとき、FIFOJx 内に指定値以上のキャプチャデータが格納されており、FIFO レジスタからキャプチャデータを読み出すことが可能であることが分かります。
このフラグをソフトウエアにより “1” または “0” にセットすることはできません。

- 1 セット条件
  FIFOJx に FTRGJx ビットの指定値以上のキャプチャデータが格納されるとき。
- 0 クリア条件
  タイマステータスクリアレジスタ J（TSCRJx）の FDFFCJx に “1” を書き込んだとき。
  ただし、FIFOJx 内のキャプチャデータを読み出すことによって、FIFO レジスタ内の格納データを FDFTRGJx ビットで指定した数よりも少なくしておく必要があります。

22.12.2.5 TSCRJx — タイマステータスクリアレジスタ Jx

（x = 0, 1, 2, 3, 4, 5：サブブロック J0 ～ J5 に対応）

アクセス 8 ビットアクセス可能
“0” 書き込み無効。“1” 書き込み時はデータは保持されません。読み出し値は常に “0” になります。

アドレス FFE6 3C23$_H$ +（20$_H$ × x）

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	CMFCJx	OVFCJx	FDOVFCJx	FDFFCJx
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.147 TSCRJx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。“0” に固定してください。
3	CMFCJx	コンペアマッチフラグクリア Jx イネーブル 0：無効（初期値） 1：CMFJx に “0” を書き込む
2	OVFCJx	オーバフローフラグクリア Jx イネーブル 0：無効（初期値） 1：OVFJx に “0” を書き込む
1	FDOVFCJx	FIFO データオーバフローフラグクリア Jx イネーブル 0：無効（初期値） 1：FDOVFJx に “0” を書き込む
0	FDFFCJx	FIFO データフルフラグクリア Jx イネーブル 0：無効（初期値） 1：FDFFJx に “0” を書き込む

備考 x は 0 ～ 5 の整数。

タイマステータスクリアレジスタ Jx（TSCRJx）は 8 ビットの読み出し／書き込み可能なレジスタで、コンペアマッチ、オーバフロー、FIFO レジスタのデータオーバフロー、データフルの発生によるフラグのクリア設定をします。

TSCRJx は 8 ビット単位でのみ読み出し／書き込みが可能です。ただし、読み出した場合には常に “0” が読み出せます。

TSCRJx はリセット時に 00$_H$ に初期化されます。

(1) CMFCJx — コンペアマッチフラグクリア Jx イネーブル

タイマステータスレジスタ Jx（TSRJx）のコンペアマッチフラグ Jx（CMFJx）が “1” にセットされているとき、本レジスタに “1” を書き込むと CMFJx を “0” にクリアすることができます。読み出した場合には常に “0” が読み出せます。

(2) OVFCJx — オーバフローフラグクリア Jx イネーブル

タイマステータスレジスタ Jx（TSRJx）のオーバフローフラグ Jx（OVFJx）が “1” にセットされているとき、本レジスタに “1” を書き込むと OVFJx を “0” にクリアすることができます。読み出した場合には常に “0” が読み出せます。

(3) FDOVFCJx — FIFO データオーバフローフラグクリア Jx イネーブル

タイマステータスレジスタ Jx（TSRJx）の FIFO データオーバフローフラグ Jx（FDOVFJx）が “1” にセットされているとき、本レジスタに “1” を書き込むと FDOVFJx を “0” にクリアすることができます。読み出した場合には常に “0” が読み出せます。

(4) FDFFCJx — FIFO データフルフラグクリア Jx イネーブル

タイマステータスレジスタ Jx（TSRJx）の FIFO データフルフラグ Gx（FDFFJx）が “1” にセットされているとき、本レジスタに “1” を書き込むと FDFFJx を “0” にクリアすることができます。読み出した場合には常に “0” が読み出せます。ただし、FIFOJx 内のキャプチャデータを読み出すことによって、FIFO レジスタ内の格納データを FDFTRGJx ビットで指定した数よりも少なくしておく必要があります。

22.12.2.6 TCNTJx — タイマカウンタ Jx

（x = 0, 1, 2, 3, 4, 5：サブブロック J0 ～ J5 に対応）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 3C24$_H$ +（20$_H$ × x）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCNTJx[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTJx[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.148 TCNTJx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	TCNTJx	タイマカウンタ Jx アップカウンタ

備考　x は 0 ～ 5 の整数。

タイマカウンタ Jx（TCNTJx）は 32 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックにより TSTRJ.STRJx = 1 の時にアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0 ～ 6 のいずれかを選ぶことができます。また、TIJx 端子のエッジ入力によって、カウント値は 0000 0000$_H$ にクリアされます。ただし、TIJx 端子のエッジ入力によるクリアとカウントアップのタイミングが競合する場合のみ、TCNTJx は 0000 0001$_H$ にクリアされます。タイマカウンタのオーバフローにより、CPU へオーバフロー割り込み要求を出力することができます。

TCNTJx はリセット時に 0000 0000$_H$ に初期化されます。

22.12.2.7 OCRJx — コンペアマッチレジスタ Jx

（x = 0, 1, 2, 3, 4, 5：サブブロック J0 ～ J5 に対応）

アクセス　32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス　FFE6 3C28$_H$ +（20 $_H$ × x）

リセット後の値　FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OCRJx[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCRJx[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.149 OCRJx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OCRJx	コンペアマッチ Jx コンペアマッチ値を指定

備考　x は 0 ～ 5 の整数。

コンペアマッチレジスタ Jx（OCRJx）は 32 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、タイマカウンタ Jx に対するアウトプットコンペアレジスタの機能を持っています。

OCRJ0 ～ OCRJ5 はリセット時に FFFF FFFF$_H$ に初期化されます。

FIFO コントロールレジスタ Jx（FCRJx）の FIFOENJx が “0”、FVCRENJx が “1”、TSTRJ.STRJx が “1” のとき、TCNTJx と OCRJx のコンペアマッチによって FIFO レジスタは有効状態（FVLDFJx に “1” セット）となります。

OCRJx には 0000 0000$_H$ を設定しないでください。0000 0000$_H$ を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

22.12.2.8 FIFOJx — FIFO レジスタ Jx

（x = 0, 1, 2, 3, 4, 5：サブブロック J0 ～ J5 に対応）

アクセス 32 ビットアクセス可能　8 ビット／16 ビットアクセス禁止

アドレス FFE6 3C2C$_H$ +（20$_H$ × x）

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIFODJx[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFODJx[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.150 FIFOJx レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	FIFODJx	FIFO データ Jx FIFO レジスタの格納データ

備考　x は 0 ～ 5 の整数。

FIFO レジスタ Jx（FIFOJx）は 32 ビットの読み出し専用レジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、タイマカウンタ Jx（TCNTJx）9 個分のキャプチャデータを格納できます。CPU は、FIFOJx から読み出しはできますが、書き込みはできません。FIFOJx にキャプチャデータがない状態でデータを読み出した場合、読み出し値は不定になります。

FIFO レジスタ Jx に 9 個のキャプチャデータが格納された状態（= FDNRJx が 9 の場合）で、それ以降にキャプチャが発生するタイミングで、CPU へ FIFO データオーバフロー割り込み要求を出力することができます。このとき、新たなキャプチャデータは失われます。新たなキャプチャが発生する前に FIFO レジスタの値を読み出して、空き領域を確保するように（= FDNRJx を 9 未満に）してください。

22.12.2.9 FDNRJx — FIFO データ数レジスタ Jx

（x = 0, 1, 2, 3, 4, 5：サブブロック J0 ～ J5 に対応）

アクセス 8 ビットアクセス可能

アドレス FFE6 3C30$_H$ +（20$_H$ × x）

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FDNJx			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.151 FDNRJx レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	何も配置されていません。“0” に固定してください。
3 ～ 0	FDNJx	FIFO データ数 Jx FIFO レジスタ内に格納されたキャプチャデータ数を示します。 0$_H$ ～ 9$_H$ の値をとります。0$_H$ はキャプチャデータが存在しないことを、9$_H$ はキャプチャデータで FIFOJx が埋まっていることを示します。

注 1. 読み出し専用のレジスタであり、このレジスタへの書き込みはすべて無視されます。

注 2. x は 0 ～ 5 の整数。

FIFO データ数レジスタ Jx（FDNRJx）は 8 ビットの読み出し専用レジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、FIFOJx に格納されているキャプチャデータの数を示します。このレジスタに値を書きこむことはできません。

FIFO レジスタ Jx へのキャプチャが行われると FIFO データ数 Jx は “1” インクリメントし、FIFO レジスタ Jx からの読み出し（1 データリード）が行われると “1” デクリメントされます。

FIFO コントロールレジスタ Jx（FCRJx）の FRSTJx ビットで FIFO レジスタ Jx をリセットすると、FIFO データ数 Jx も 00$_H$ にリセットされます。

注 意

FDNRJx に 9 未満の値を設定しても、FIFOENJx ＝ 1 の場合、9 までカウントアップします。

FIFOENJx ＝ 0, FVCRENJx = 1、かつ FDNRJx ＝ FDFTRGJx となった場合には FIFOJx を読み出して下さい。読み出しせずに TCRJx と OCRJx のコンペアマッチが再度発生した場合、同じく 9 までカウントアップします。

22.12.2.10 NCNTJx — ノイズキャンセルカウンタ Jx

（x = 0, 1, 2, 3, 4, 5：サブブロック J0 ～ J5 に対応）

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 3C34$_H$ +（20$_H$ × x）

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCNTJx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.152 NCNTJx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCNTJx	ノイズキャンセルカウンタ Jx 16 ビットカウント値

備考 x は 0 ～ 5 の整数。

ノイズキャンセルカウンタ Jx（NCNTJx）は 16 ビットの読み出し、書き込み可能なレジスタです。

タイマコントロールレジスタ Jx（TCRJx）のノイズキャンセライネーブルビット（NCEJx）でノイズキャンセラ機能を有効にしたとき、後続エッジキャンセルモードおよび先行エッジキャンセルモードでは外部入力端子（TIJx）からの信号をトリガとして、アップカウント動作を行います。プリスケーラから供給されるノイズキャンセラ用カウントクロックをカウントソースとして動作します。レベル積算キャンセルモードでは外部入力のレベルにしたがいアップ／ダウンカウントを行います。

NCNTJx は 16 ビット単位でのみ読み出し／書き込みが可能です。

NCNTJx はリセット時に 0000$_H$ に初期化されます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードセレクトビット（NCMSEL）、タイマ J ノイズキャンセルモードビット（NCMJ）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード
  NCEJx ビットが “1” であり NCNTJx がカウント停止しているとき、TIJx の入力信号レベルが変化すると、NCNTJx はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタ Jx（NCRJx）と一致すると、次の PCLK に同期してカウント値を 0000$_H$ にクリアしてカウント動作を停止します。
  NCNTJx は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TJE ビットの設定にかかわらずカウント動作を行います。
  カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値が NCRJx と一致するまでの間、すべての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。カウント値が NCRJx と一致したときは、そのときの入力信号レベルをノイズキャンセル後の信号として出力します。
  カウント動作中に NCEJx ビットがクリアされても、カウント値が NCRJx と一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

- 先行エッジキャンセルモード
  NCEJx ビットが “1” であり NCNTJx がカウント停止しているとき、TIJx の入力信号レベルが変化すると、NCNTJx はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタ Jx（NCRJx）と一致した場合には、次の PCLK に同期してカウント値を 0000_H にクリアしカウント動作を停止します。
  NCNTJx は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TJE ビットの設定にかかわらずカウント動作を行います。
  ノイズキャンセル後の信号は、カウント値が NCRJx と一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRJx と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。
  カウント動作中に NCEJx ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

- レベル積算キャンセルモード
  NCEJx ビットが “1” であるとき、NCNTJx は入力信号レベルによってアップカウントまたはダウンカウント動作を行います。入力レベルがハイのときアップカウントを行い、カウント値がノイズキャンセルレジスタ Jx（NCRJx）と一致すると、次の PCLK に同期してアップカウント動作を停止します。入力レベルがローのときダウンカウントを行い、カウント値が 0000_H と一致すると、次の PCLK に同期してダウンカウント動作を停止します。
  NCNTJx は、ATU-IV マスタイネーブルレジスタ（ATUENR）の TJE ビットの設定にかかわらずカウント動作を行います。
  アップカウントで NCRJx の値にコンペアマッチするとノイズキャンセラ出力を 1 に更新します。逆に、ダウンカウントで 0000_H にコンペアマッチするとノイズキャンセラ出力を 0 に更新します。
  カウント動作中に NCEJx ビットがクリアされるとノイズキャンセルカウンタは動作を停止し、ノイズキャンセラ出力からそのときの入力信号レベルに値が切り替わります。そのためレベル積算キャンセルモードで NCEJx ビットをクリアする場合には、この切り替わりでエッジ検出が行われる可能性があることに注意が必要です。

ノイズキャンセル動作の詳細は、**「22.2.2　共通制御部関連レジスタ」**のノイズキャンセルモードレジスタの説明を参照してください。

22.12.2.11 NCRJx — ノイズキャンセルレジスタ Jx

（x = 0, 1, 2, 3, 4, 5：サブブロック J0 ～ J5 に対応）

アクセス 16 ビットアクセス可能 8 ビットアクセス禁止

アドレス FFE6 3C36$_H$ +（20$_H$ × x）

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCTJx															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.153 NCRJx レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	NCTJx	ノイズキャンセルタイム Jx TIJx ノイズキャンセル期間（16 ビットコンペア値）

備考 x は 0 ～ 5 の整数。

ノイズキャンセルレジスタ Jx（NCRJx）は 16 ビットの読み出し、書き込み可能なレジスタで、ノイズキャンセルカウンタ Jx（NCNTJx）の上限値を設定します。PCLK の 128 分周をノイズキャンセルクロックに選択している場合、FFFF$_H$ 設定で、最大 0.21sec（PCLK = 40MHz 時）のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のノイズキャンセルモードセレクトビット（NCMSEL）、タイマ J ノイズキャンセルモードビット（NCMJ）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモード、またはレベル積算キャンセルモードの 3 通りの動作を行います。

- 後続エッジキャンセルモード
  NCNTJx のカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTJx と NCRJx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTJx のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- 先行エッジキャンセルモード
  NCNTJx のカウント動作中は、ノイズキャンセラの処理待ち状態となります。NCNTJx と NCRJx の値は常時比較されており、コンペアマッチが発生すると、次の PCLK に同期して NCNTJx のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

- レベル積算キャンセルモード
  NCNTJ1、NCNTJ0 がアップカウント動作中は、NCNTJx と NCRJx の値の比較が行われており、コンペアマッチが発生すると次の PCLK に同期して NCNTJx のアップカウント動作を停止させます。NCNTJx がダウンカウント動作中は、NCNTJx は 0000$_H$ との比較が行われます。

NCRJx は 16 ビット単位でのみ読み出し／書き込みが可能です。

NCRJx はリセット時に 0000$_H$ に初期化されます。

ノイズキャンセル動作の詳細は、**「22.2.2 共通制御部関連レジスタ」**のノイズキャンセルモードレジスタの説明を参照してください。

22.12.3 動作説明

TCNTJx のカウントクロックはクロックバスから TCRJx レジスタによって選択します。ATUENR レジスタの TJE ビット、および TSTR の STRJx ビットが 1 のとき、TCNTJx は動作可能となります。また、TCNTJx は、TIJx 端子からのエッジ入力により $0000\ 0000_H$ にクリアされます。ただし、TIJx 端子のエッジ入力によるクリアとカウントアップのタイミングが競合する場合のみ、TCNTJx は $0000\ 0001_H$ にクリアされます。TIJx 端子のエッジ検出は、TCRJx の IOJx ビットビットによって、立ち上がり、立ち下がり、立ち上がり／立ち下がり両エッジのいずれかを設定できます。

FCRFJx の FIFOEN ビットを “1” にすると、TIJx 端子からのエッジ入力により、TCNTJx のカウント値を FIFOJx に格納（キャプチャ）します。FIFO 内の格納されているキャプチャデータ数は、FDNR レジスタで参照できます。

FCRJx の FDFTRGJx ビットに設定したデータ数以上のキャプチャデータを FIFOJx が取り込んだとき、CPU へ FIFO データフル割り込み要求、および DMAC へ DMA 転送要求を出力することができます。また、TSRJx の FDFFJx が “1” にセットされます。

FCRFJx の FIFOENJx ビットが “0”、FVCRENJx ビットが “1” のとき、TCNTJx と OCRJx とのコンペアマッチにより FIFOJx は有効状態（TSRJx の FVLDFJx が “1”）となります。この状態で、TIJx 端子からのエッジ入力により FIFOJx が FDFTRGJx ビットに設定したデータ数以上のキャプチャデータを取り込むと FIFOJx の有効状態は解除されます。

以下にサブブロック 0 での動作例を示します。ここで “TCNTJ0 カウントクロック ” は、カウンタ TCNTJ0 がカウント動作やクリア動作を行うタイミングを示した仮想的な信号です。

図 22.75 は、立ち下がりエッジ検出で、FIFOEN ビットが “1”、FDFTRGJx に “11_B” を設定したとき、エッジ入力により FDFFJx がセットされるまでの動作例です。**図 22.76** は、立ち下がりエッジ検出で、FIFOEN ビットが “0”、FVCRENJx ビットが “1”、FDFTRGJx が “00_B” 設定のとき、エッジ入力により FDFFJx がセットされる動作例です。

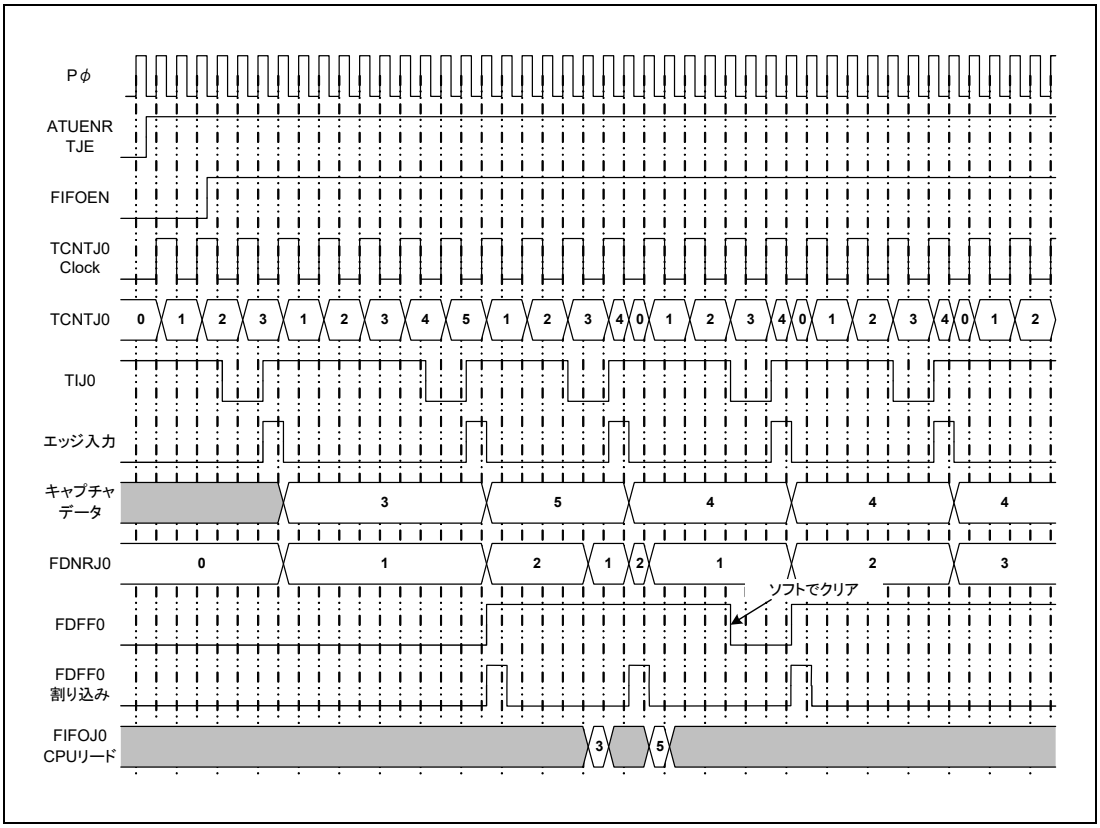


図 22.75　タイマ J 動作例（1）

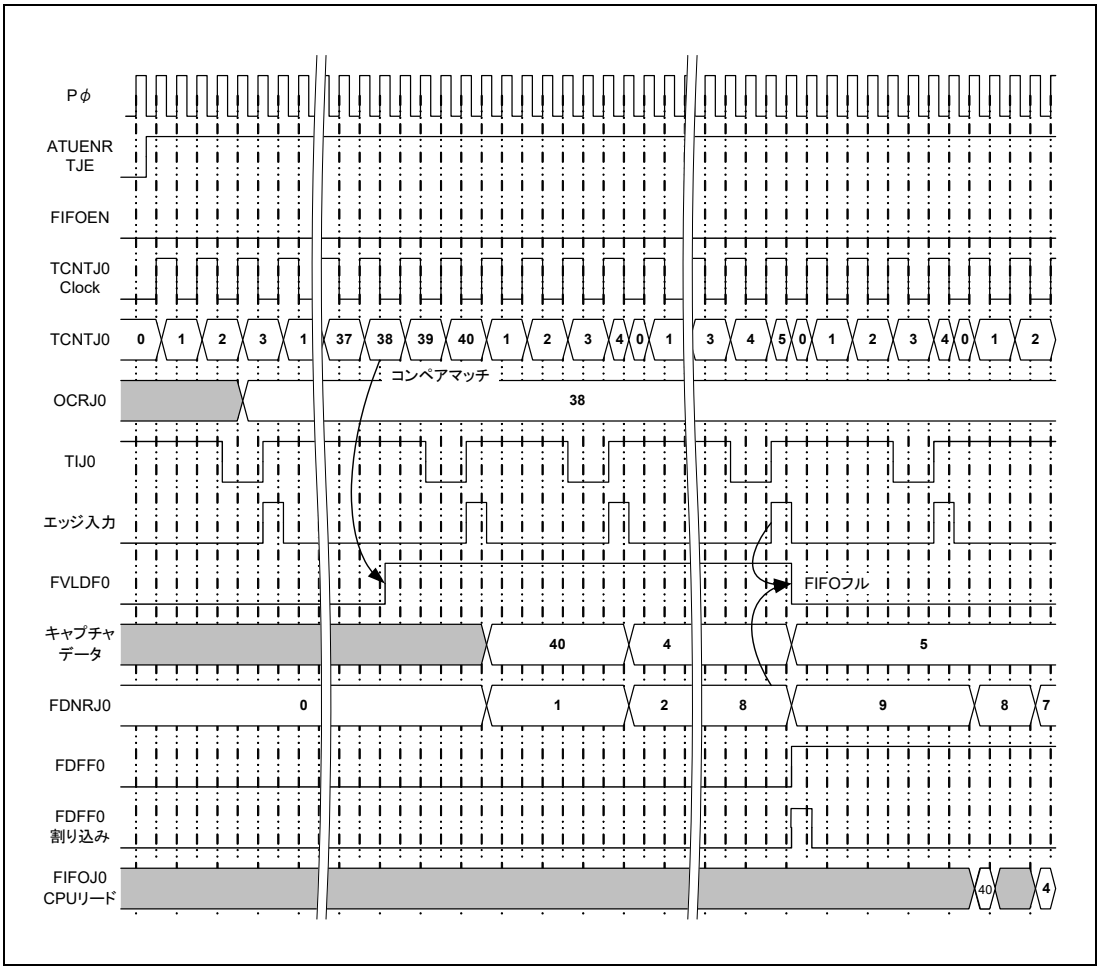


図 22.76　タイマ J 動作例（2）

22.13 DMA/AD 要求自動切り替え

22.13.1 動作概要

本機能は、DMA、SAR-AD へ出力するトリガ信号を制御する機能です。

トリガ信号は、以下に示すデータ用 DMA トリガ、回数用 DMA トリガ、SAR-AD トリガの 3 種類を持っています。

(1) データ用 DMA トリガ

データ用 DMA トリガ信号として、AD 間引き DMA 転送要求 0、AD 間引き DMA 転送要求 1 を持っています。

データ用 DMA トリガは、タイマ B からの AGCK1、タイマ G サブブロック G1、G2 コンペア割り込み出力（タイマ G1 コンペア割り込み、タイマ G2 コンペア割り込み）、DFE フィルタ完了信号、ADC0 スキャングループ 0 ～ 4 終了割り込み（ADC0 スキャングループ 0 終了割り込み、ADC0 スキャングループ 1 終了割り込み、ADC0 スキャングループ 2 終了割り込み、ADC0 スキャングループ 3 終了割り込み、ADC0 スキャングループ 4 終了割り込み）、出力停止から選択可能です。

また、データ用 DMA トリガは 2 本の内どちらか 1 本のみを出力し、タイマ D の TCNT1D0 と OCR1D00 のコンペアタイミングにより、トリガを出力する DMA 出力が切り替わります。

(2) 回数用 DMA トリガ

回数用 DMA トリガ信号として、AD 間引き DMA 転送要求 2、AD 間引き DMA 転送要求 3 を持っています。

回数用 DMA トリガは、タイマ A の AGCK とタイマ G サブブロック G3 コンペア割り込み出力（タイマ G3 コンペア割り込み）、出力停止から選択可能です。

また、DMA 出力は 2 本の内どちらか 1 本のみを出力し、タイマ D の TCNT1D0 と OCR1D00 のコンペアタイミングにより、トリガを出力する DMA 出力が切り替わります。

(3) SAR-AD トリガ

SAR-AD トリガ信号として、SAR-AD トリガを持っています。

SAR-AD トリガは、タイマ B からの AGCK1、タイマ G サブブロック G1、G2 コンペア割り込み出力（タイマ G1 コンペア割り込み、タイマ G2 コンペア割り込み）、出力停止から選択可能です。

22.13.2 DMA/AD 要求自動切り替え関連レジスタ

22.13.2.1 TRGSRDMA0 — トリガステータスレジスタ DMA0

アクセス 8 ビットアクセス可能　16 ビット／ 32 ビットアクセス禁止

アドレス FFE6 00C0$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OUTSRDMA0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.154 TRGSRDMA0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	未使用
0	OUTSRDMA0	0：AD 間引き DMA 転送要求 0 を選択 1：AD 間引き DMA 転送要求 1 を選択

トリガステータスレジスタ DMA0 は 8 ビットの読み出し専用レジスタです。

データ用 AD 間引き DMA 転送要求 0、AD 間引き DMA 転送要求 1 のどちらを選択しているのかを示します。

22.13.2.2 TRGSELDMA00 — トリガ選択レジスタ DMA00

アクセス 8 ビットアクセス可能　16 ビット／32 ビットアクセス禁止

アドレス FFE6 00C4$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	INSELDMA00			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.155 TRGSELDMA00 レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	未使用
3 ～ 0	INSELDMA00	0000：出力停止（出力 “0” 固定） 0001：AGCK1 を選択 0010：タイマ G サブブロック G1 コンペア割り込み信号（CMFG1 割り込み）を選択 0011：タイマ G サブブロック G2 コンペア割り込み信号（CMFG2 割り込み）を選択 0100：DF フィルタ完了信号を選択 0101：設定禁止 0110：設定禁止 0111：設定禁止 1000：ADC0 スキャングループ 0 終了割り込みを選択 1001：ADC0 スキャングループ 1 終了割り込みを選択 1010：ADC0 スキャングループ 2 終了割り込みを選択 1011：ADC0 スキャングループ 3 終了割り込みを選択 1100：ADC0 スキャングループ 4 終了割り込みを選択 1101：設定禁止 1110：設定禁止 1111：設定禁止

本レジスタは、8 ビットの読み出し／書き込みが可能なレジスタです。データ用 AD 間引き DMA 転送要求 0 に出力する信号を選択します。本レジスタは、動作中書き換え可能です。

22.13.2.3 TRGSELDMA01 — トリガ選択レジスタ DMA01

アクセス 8 ビットアクセス可能　16 ビット／32 ビットアクセス禁止

アドレス FFE6 00C6$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	INSELDMA01			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.156 TRGSELDMA01 レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	未使用
3 ～ 0	INSELDMA01	0000：出力停止（出力 “0” 固定） 0001：AGCK1 を選択 0010：タイマ G サブブロック G1 コンペア割り込み信号（CMFG1 割り込み）を選択 0011：タイマ G サブブロック G2 コンペア割り込み信号（CMFG2 割り込み）を選択 0100：DF フィルタ完了信号を選択 0101：設定禁止 0110：設定禁止 0111：設定禁止 1000：ADC0 スキャングループ 0 終了割り込みを選択 1001：ADC0 スキャングループ 1 終了割り込みを選択 1010：ADC0 スキャングループ 2 終了割り込みを選択 1011：ADC0 スキャングループ 3 終了割り込みを選択 1100：ADC0 スキャングループ 4 終了割り込みを選択 1101：設定禁止 1110：設定禁止 1111：設定禁止

本レジスタは、8 ビットの読み出し／書き込みが可能なレジスタです。データ用 AD 間引き DMA 転送要求 1 に出力する信号を選択します。本レジスタは、動作中書き換え可能です。

22.13.2.4 TRGSELAD — トリガ選択レジスタ AD

アクセス 8 ビットアクセス可能　16 ビット／32 ビットアクセス禁止

アドレス FFE6 00C8$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	INSELAD	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 22.157 TRGSELAD レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	未使用
1、0	INSELAD	00：出力停止（出力 “0” 固定） 01：AGCK1 を選択 10：タイマ G サブブロック G1 コンペア割り込み信号（CMFG1 割り込み）を選択 11：タイマ G サブブロック G2 コンペア割り込み信号（CMFG2 割り込み）を選択

本レジスタは、8 ビットの読み出し／書き込みが可能なレジスタです。SAR-AD トリガへ出力する信号を選択します。本レジスタは、動作中書き換え可能です。

22.13.2.5 TRGSRDMA1 — トリガステータスレジスタ DMA1

アクセス 8 ビットアクセス可能　16 ビット／32 ビットアクセス禁止

アドレス FFE6 00D0$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OUTSRDMA1
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.158 TRGSRDMA1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	未使用
0	OUTSRDMA1	0：AD 間引き DMA 転送要求 2 を選択 1：AD 間引き DMA 転送要求 3 を選択

本レジスタは、8 ビットの読み出し専用レジスタです。回数用 AD 間引き DMA 転送要求 2、AD 間引き DMA 転送要求 3 のどちらを選択しているのかを示します。

22.13.2.6 TRGSELDMA10 — トリガ選択レジスタ DMA10

アクセス 8 ビットアクセス可能　16 ビット／32 ビットアクセス禁止

アドレス FFE6 00D4$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	INSELDMA10	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 22.159 TRGSELDMA10 レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	未使用
1、0	INSELDMA10	00：出力停止（出力 “0” 固定） 01：AGCK を選択 10：タイマ G サブブロック G3 コンペア割り込み信号（CMFG3 割り込み）を選択 11：設定禁止

本レジスタは、8 ビットの読み出し／書き込みが可能なレジスタです。回数用 AD 間引き DMA 転送要求 2 に出力する信号を選択します。本レジスタは、動作中書き換え可能です。

22.13.2.7 TRGSELDMA11 — トリガ選択レジスタ DMA11

アクセス 8 ビットアクセス可能　16 ビット／32 ビットアクセス禁止

アドレス FFE6 00D6$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	INSELDMA11	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 22.160 TRGSELDMA11 レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	未使用
1、0	INSELDMA11	00：出力停止（出力 “0” 固定） 01：AGCK を選択 10：タイマ G サブブロック G3 コンペア割り込み信号（CMFG3 割り込み）を選択 11：設定禁止

本レジスタは、8 ビットの読み出し／書き込みが可能なレジスタです。回数用 AD 間引き DMA 転送要求 3 に出力する信号を選択します。本レジスタは、動作中書き換え可能です。

22.13.3 詳細動作説明

以下に各トリガの動作、ブロック図を記載します。

データ用 DMA トリガ

図 22.77 にデータ用 DMA トリガ選択回路を示します。

TRGSELDMA00.INSELDMA00[3:0] ビットでデータ用 DMA トリガ出力端子（AD 間引き DMA 転送要求 0）に出力する信号を選択します。

TRGSELDMA01.INSELDMA01[3:0] ビットでデータ用 DMA トリガ出力端子（AD 間引き DMA 転送要求 1）に出力する信号を選択します。

データ用 DMA トリガ出力端子は、DMA 選択信号が “L” の場合は、AD 間引き DMA 転送要求 0 のみを、DMA 選択信号が “H” の場合は AD 間引き DMA 転送要求 1 のみを出力します。

ADC0 スキャングループ 0 ～ 4 終了割り込みは、非同期入力であるため、同期化回路を持っています。

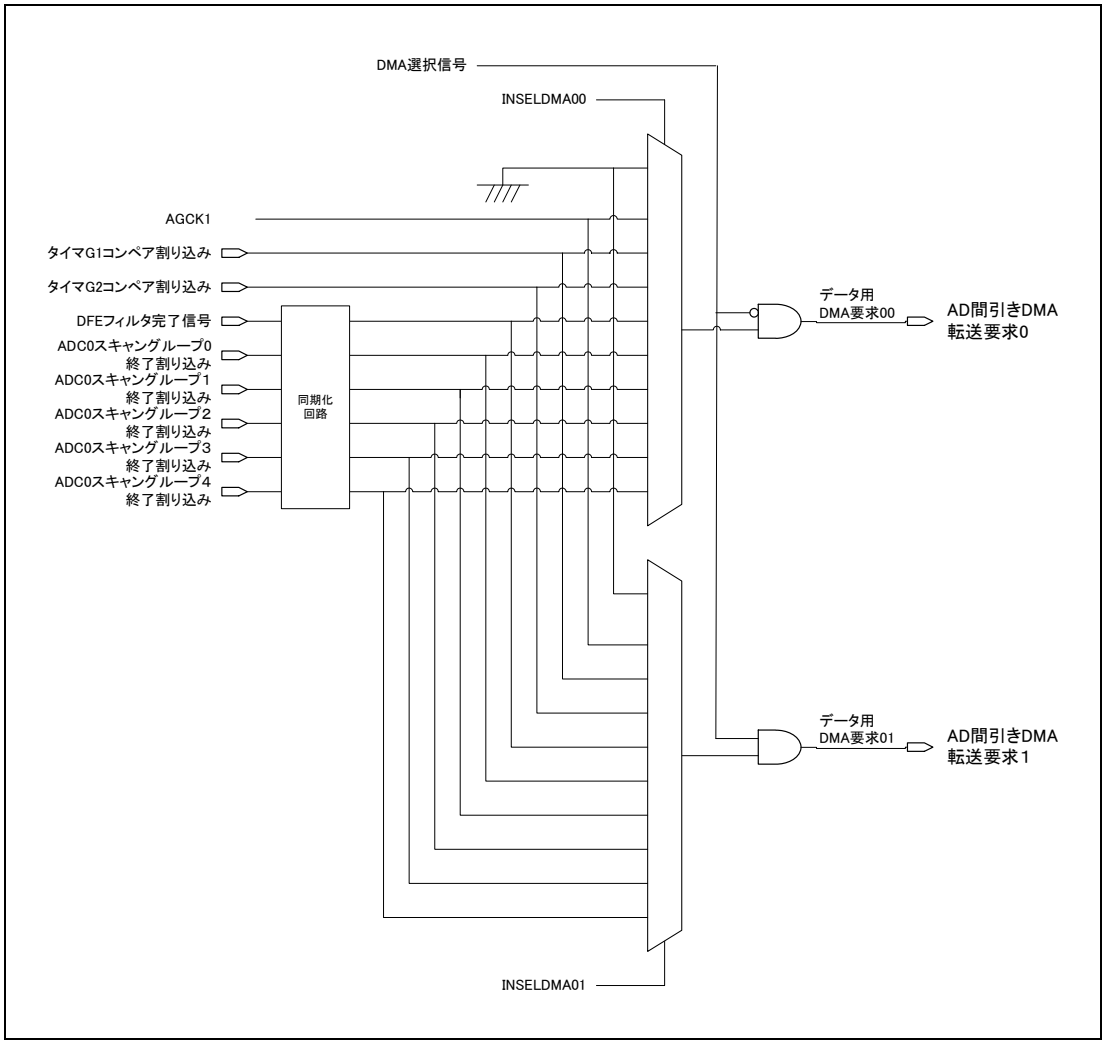


図 22.77　データ用 DMA トリガ選択回路

回数用 DMA トリガ

図 22.78 に回数用 DMA トリガ選択回路を示します。

TRGSELDMA10.INSELDMA10[1:0] ビットで回数用 DMA トリガ出力端子（AD 間引き DMA 転送要求 2）に出力する信号を選択します。

TRGSELDMA11.INSELDMA11[1:0] ビットで回数用 DMA トリガ出力端子（AD 間引き DMA 転送要求 3）に出力する信号を選択します。

回数用 DMA トリガ出力端子は、DMA 選択信号が “L” の場合は、AD 間引き DMA 転送要求 2 のみを、DMA 選択信号が “H” の場合は AD 間引き DMA 転送要求 3 のみを出力します。

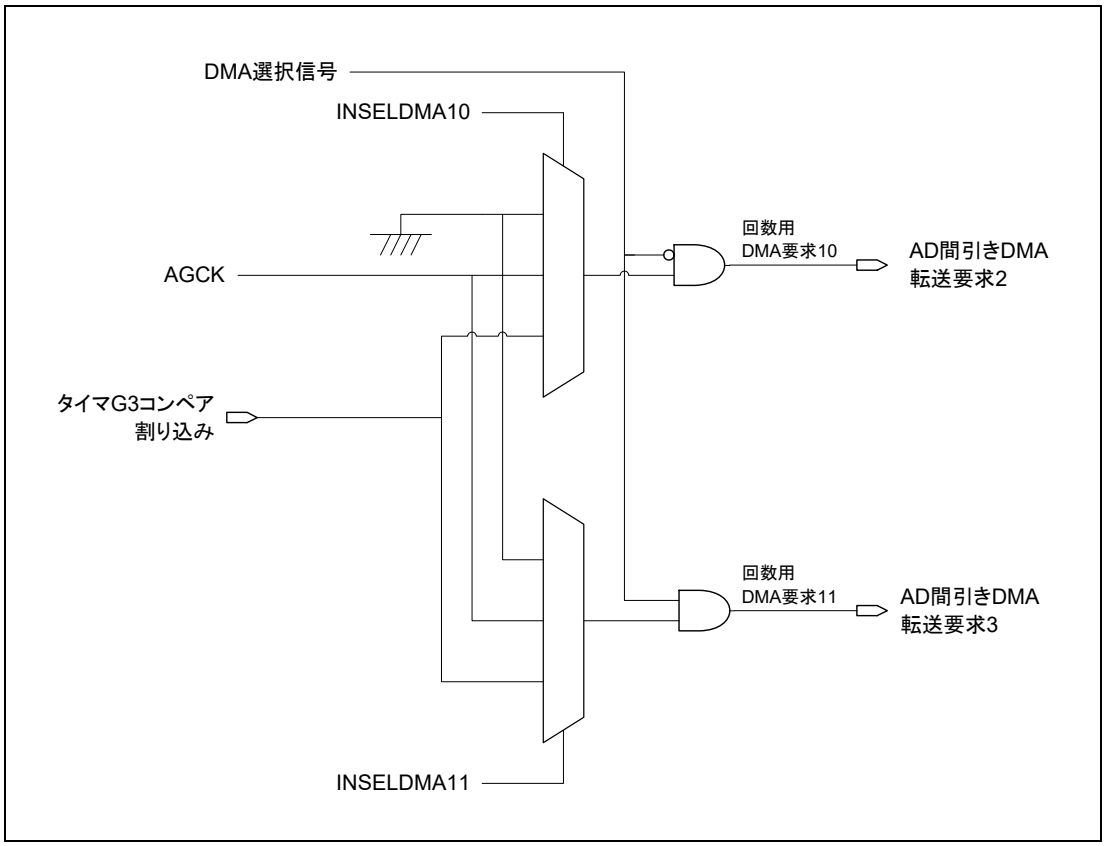


図 22.78　回数用 DMA トリガ選択回路

SAR-AD トリガ

TRGSELAD.INSELAD[1:0] ビットで SAR-AD トリガに出力信号を選択します。

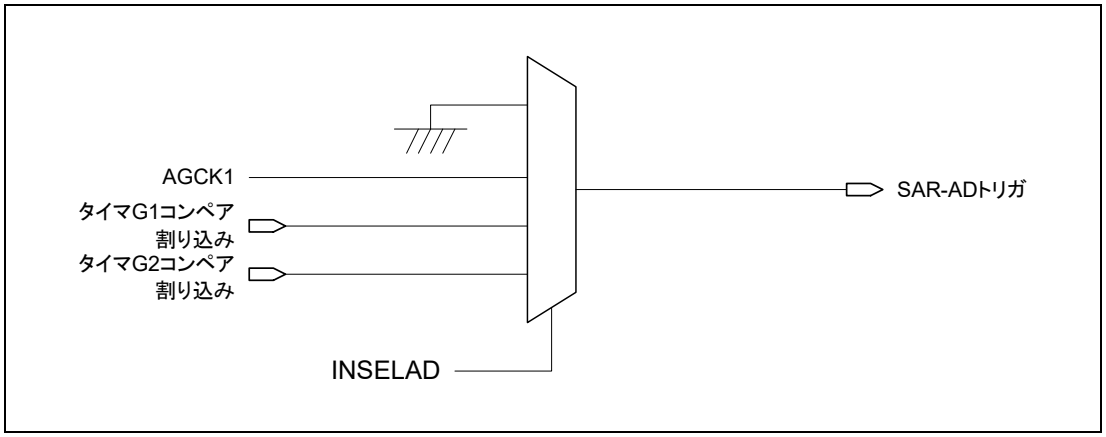


図 22.79　SAR-AD トリガ選択回路

以下にトリガ出力のタイミングチャートを記載する。

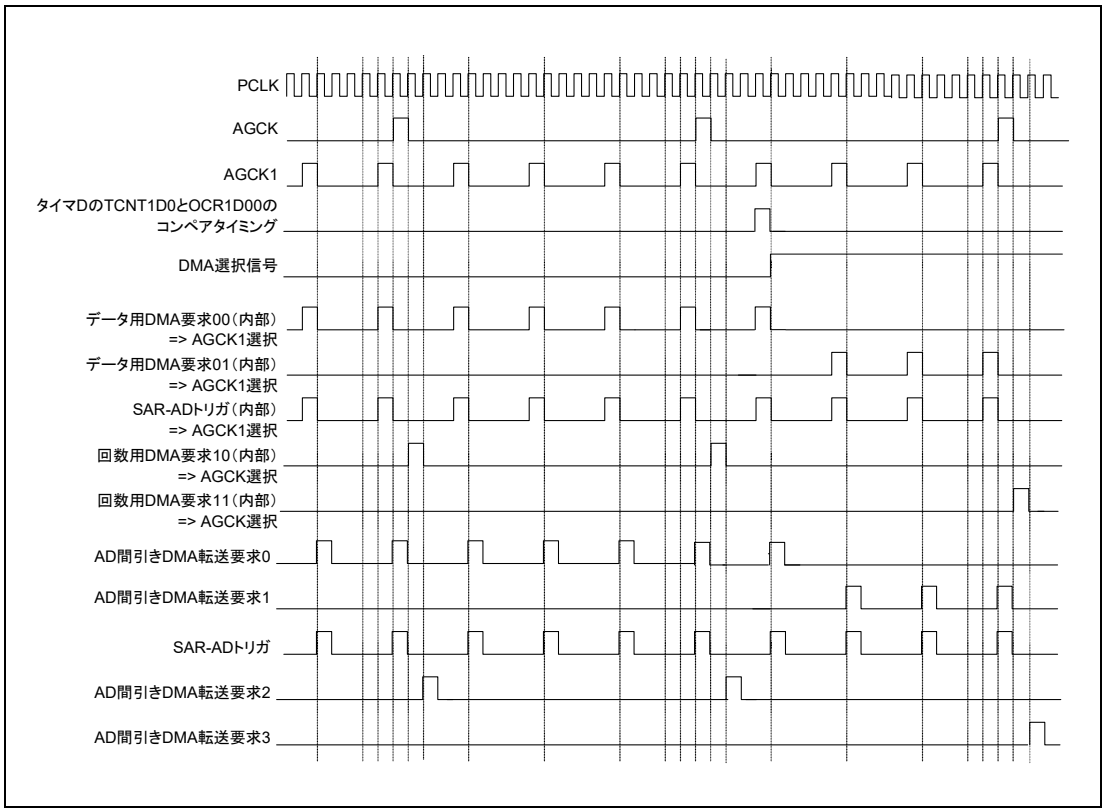


図 22.80　DMA/AD トリガ タイミングチャート

22.14 使用上の注意

ATU-IV では、各タイマに配置されたステータスレジスタ（TSR）のフラグはコンペアマッチ、オーバフロー、アンダフロー、インプットキャプチャの発生を示すステータスフラグです。ステータスフラグが “1” の状態で、コンペアマッチ、オーバフロー、アンダフロー、インプットキャプチャが再度発生した場合、ステータスフラグは “1” のまま保持され、CPU へは割り込み要求を出力します。割り込み要求が正しく行われたかどうかを確認するには「INTC」側の対応するフラグを確認する必要があります。また、PCLK に対して 1 サイクル以上の間隔がなく割り込み条件が連続で発生した場合、最初に発生した割り込みのみ割り込み要求を発生し、後続で発生した割り込み条件については割り込み要求を発生しませんのでご注意ください。

ATU-IV 動作中、次のような競合や動作が起こりますので、ご注意ください。

22.14.1 インプットキャプチャ競合動作

22.14.1.1 汎用レジスタへの書き込みとインプットキャプチャの競合

汎用レジスタへの書き込みとインプットキャプチャが同時に発生した場合には書き込みが優先されます（**図 22.81**）。ただし、インプットキャプチャ割り込み要求は出力され、インプットキャプチャステータスを備える場合、インプットキャプチャフラグはセットされます。右図は書き込みが 1 サイクル先に起こった場合を表しています。

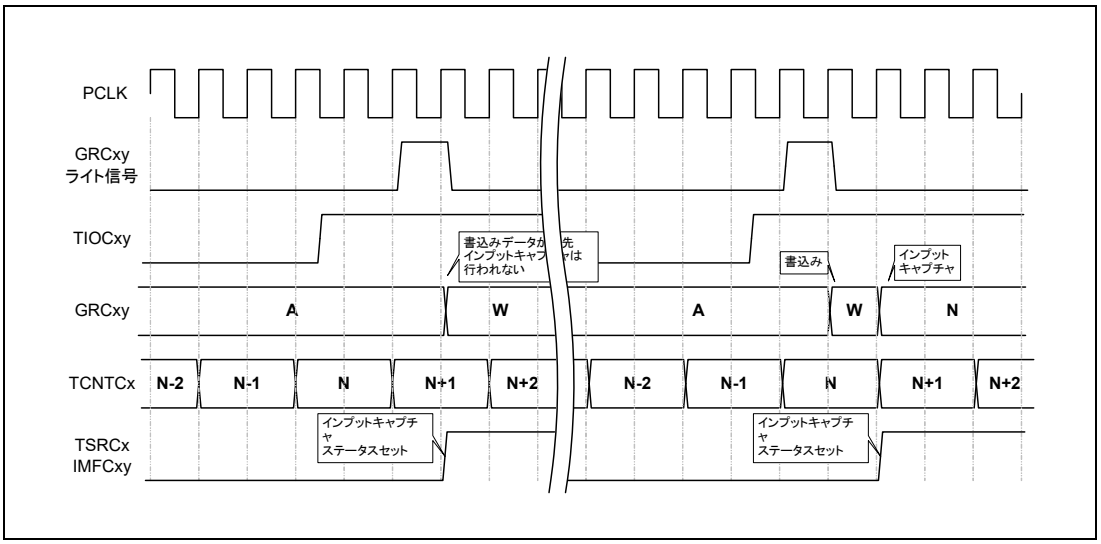


図 22.81　GRCxy 書き込みとインプットキャプチャの競合

対象タイマ	カウンタ（キャプチャ対象）	キャプチャレジスタ	ステータス
タイマ C	TCNTCx	GRCxy	IMFCxy
タイマ F	ECNTAFx	GRAFx	ICFFx
	ECNTBFx	GRBFx	
	ECNTCFx	GRCFx	
	ECNTCFx ＋ GRDFx	GRDFx	

22.14.1.2 カウンタへの書き込みとインプットキャプチャの競合

カウンタへの書き込みとインプットキャプチャが同時に発生した場合、書き込まれる直前の値がキャプチャされます（**図 22.82**）。右図は書き込みが 1 サイクル先に起こった場合で、書き込んだ値がキャプチャされる様子を表しています。

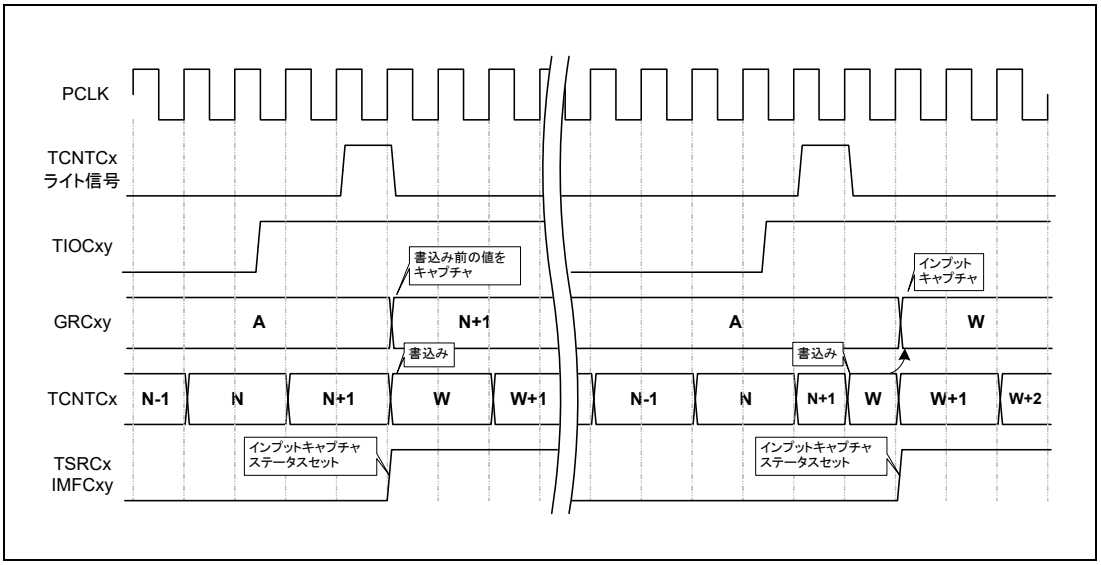


図 22.82　TCNTCx 書き込みとインプットキャプチャの競合

対象タイマ	カウンタ（キャプチャ対象）	キャプチャレジスタ	ステータス
タイマ A	TCNTAx	ICRAx	ICFAx
タイマ B	TCNTB0	ICRB0	ICFB0
	TCNTB0 + ICRB1	ICRB1	
	TCNTB6	ICRB6	
タイマ C	TCNTCx	GRCxy	IMFCxy
タイマ D	TCNT1Dx	OSBRDx	—
	TCNT1Dx	ICR1Dxy	
	TCNT2Dx	ICR2Dxy	—
タイマ F	ECNTAFx	GRAFx	ICFFx
	ECNTBFx	GRBFx	
	ECNTCFx	GRCFx	
	ECNTCFx ＋ GRDFx	GRDFx	
タイマ J	TCNTJx	FIFOJx	（FDOVFJx、FDFFJx）

22.14.1.3 インプットキャプチャステータスのセットとクリアの競合

タイマステータスクリアレジスタによるフラグのクリアが、インプットキャプチャによるフラグセットに優先して処理されます。**図 22.83** の左はインプットキャプチャとフラグのクリアが同時に発生し、クリアが行われた例を表しています。一方、右図はクリアされた直後にインプットキャプチャが起こった例です。

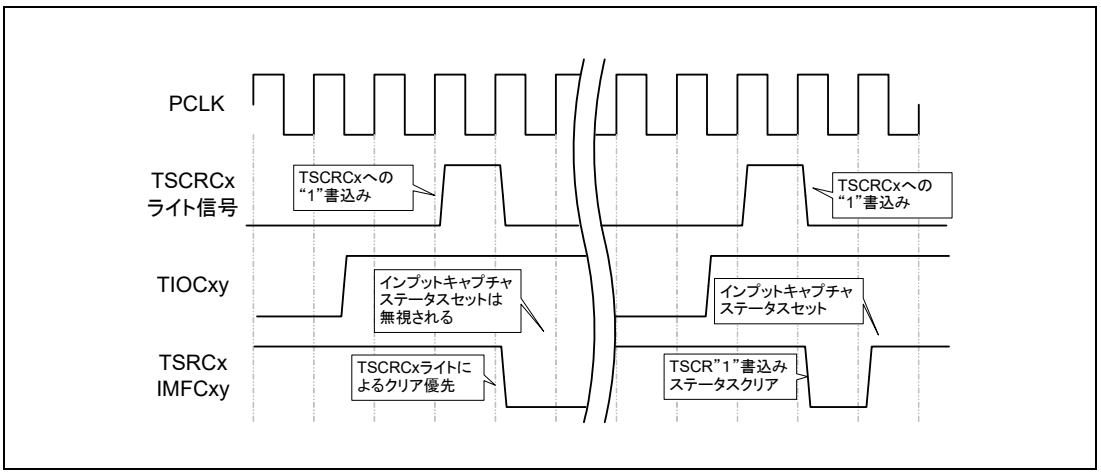


図 22.83　ステータスクリアレジスタへの 1 書き込みによるステータスクリアとインプットキャプチャの競合

対象フラグ	
タイマ A	ICFAx
タイマ C	IMFCxy
タイマ J	（FDOVFJx、FDFFJx）

対象フラグ	
タイマ B	ICFB0
タイマ F	ICFFx

22.14.2 コンペアマッチ競合動作

22.14.2.1 コンペアが連続した場合のコンペアマッチ信号について

カウンタクロックが 2PCLK クロック以上の周期の場合、カウンタとコンペアレジスタの一致は 2PCLK 以上になります。下記タイマではコンペアマッチ信号の立ち上がりエッジを検出して、コンペアマッチ信号として取り扱っています。

対象タイマ	カウンタ	コンペアマッチレジスタ
タイマ C	TCNTCx	GRCxy、OCRCxy
タイマ D	TCNT1Dx、 TCNT2Dx	OCR1Dxy、RCR1Dx OCR2Dxy、RCR2Dx

22.14.2.2 コンペアマッチ／汎用レジスタへの書き込みとコンペアマッチの競合

コンペアマッチ機能を持つレジスタへの書き込みとコンペアマッチの競合を、タイマ C を例に説明します。GRCxy と TCNTCx が一致したあとに書き込みが行われた場合（**図 22.84** 左）は、コンペマッチ割り込み要求が出力され、コンペアマッチステータスはセットされます。GRCxy と TCNTCx が 1 サイクルも一致していない場合（**図 22.84** 右）にはコンペアマッチは検出されません。

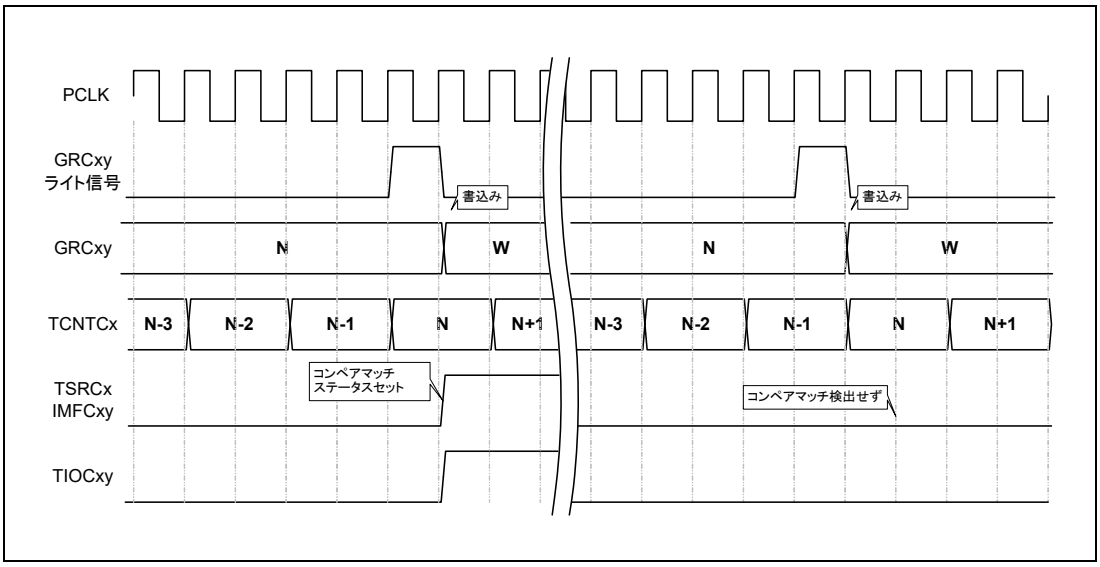


図 22.84　GRCxy 書き込みとコンペアマッチの競合

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ B	TCNTB1	OCRB1	CMFB1
	TCNTB1	OCRB10	CMFB10
	TCNTB1	OCRB11	CMFB11
	TCNTB1	OCRB12	CMFB12
タイマ C	TCNTCx	GRCxy	IMFCxy
タイマ D	TCNT1Dx	OCR1Dxy	CMFADxy
	TCNT2Dx	OCR2Dxy	CMFBDxy
タイマ F	ECNTAFx	GRAFx	—
	ECNTBFx	GRBFx	—
	ECNTCFx	GRBFx	OVFCFx
		GRDFx	OVFCFx
タイマ G	TCNTGx	OCRGx	CMFGx
タイマ H	TCNT1H	OCR1H	CMFH
タイマ J	TCNTJx	OCRJx	CMFJx
タイマ B のコンペアマッチ B0、コンペアマッチ B6、および、タイマ E のサイクルマッチタイミングはこれらコンペアマッチと異なります。次の**「22.14.2.3　CYLRExy への書き込みと TCNTExy とのサイクルマッチの競合」**を参照願います。			

22.14.2.3 CYLRExy への書き込みと TCNTExy とのサイクルマッチの競合

CYLRExy への書き込みと TCNTExy とのコンペアマッチ（サイクルマッチ）が同時に発生した場合の動作を以下に示します。**図 22.85** 左に示すとおり、サイクルマッチカウンタクリアのタイミングで CYLRExy に書き込まれた場合、TCNTExy は通常のサイクルマッチ時と同様にカウンタクリアされ、サイクルマッチ割り込み要求の出力、サイクルマッチステータス、PWM 出力も変化します。右図はカウンタクリアされるタイミングより早く CYLRExy に書き込まれた場合を示しています。このとき、サイクルマッチは検出されず、TCNTExy はカウントアップを続けます。

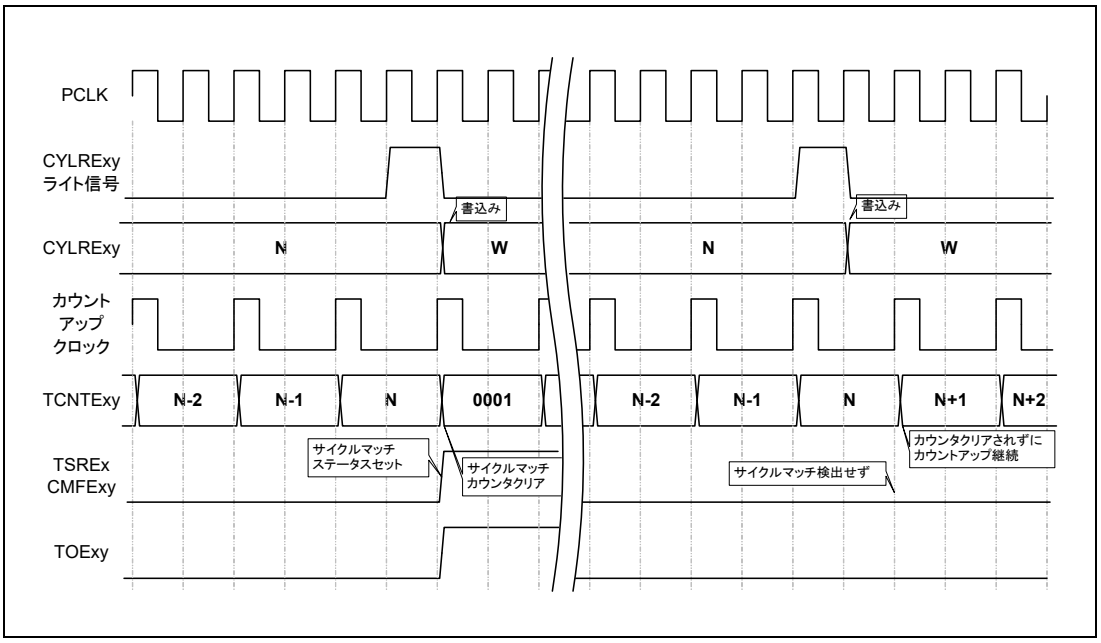


図 22.85 CYLRExy 書き込みとサイクルマッチの競合

対象タイマ	カウンタ	コンペア（サイクル）マッチレジスタ	ステータス
タイマ B	TCNTB0	OCRB0	CMFB0
	TCNTB6	OCRB6/OCRB7	CMFB6
	TCNTB6M	ICRB6	CMFB6M
タイマ E	TCNTExy	CYLRExy	CMFExy

22.14.2.4 DTRExy への書き込みと TCNTExy とのサイクルマッチの競合

上記、CYLRExy への書き込みと TCNTExy とのサイクルマッチの競合と同じ動作となります。

22.14.2.5 カウンタへの書き込みとコンペアマッチの競合

カウンタへの書き込みとコンペアマッチの競合を以下に示します。コンペアマッチレジスタとカウンタが一致したあとに書き込みが行われた場合（**図 22.86** 左）は、コンペアマッチ割り込み要求が出力され、コンペアマッチステータスはセットされます。コンペアマッチレジスタとカウンタが 1 サイクルも一致していない場合（**図 22.86** 右）にはコンペアマッチ割り込み要求は出力されず、コンペアマッチは検出されません。

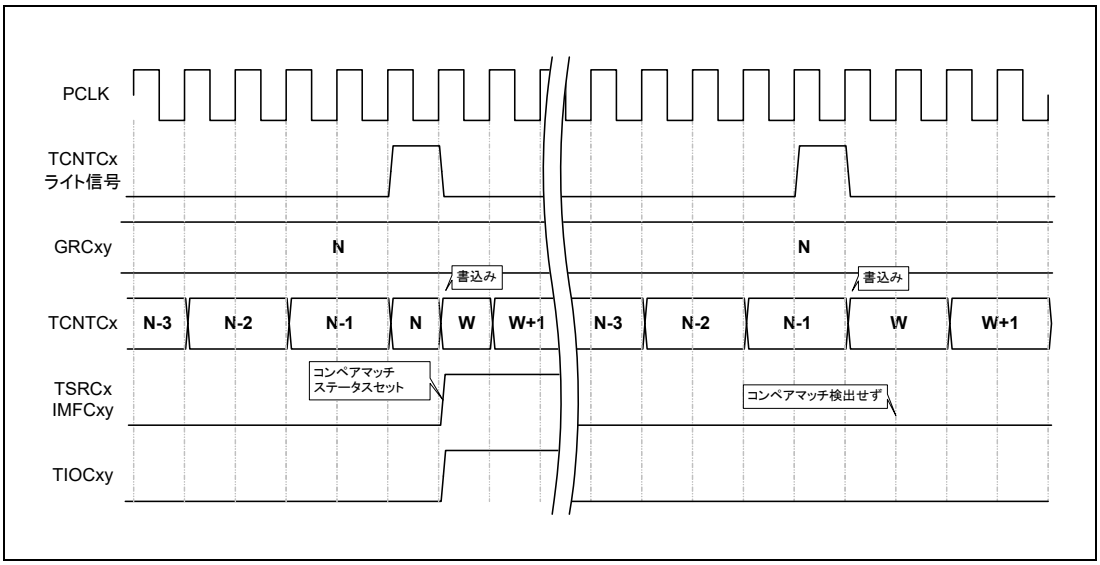


図 22.86 TCNTCx 書き込みとコンペアマッチの競合

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ B	TCNTB1	OCRB1	CMFB1
タイマ C	TCNTCx	GRCxy	IMFCxy
タイマ D	TCNT1Dx	OCR1Dxy	CMFADxy
	TCNT2Dx	OCR2Dxy	CMFBDxy
タイマ F	ECNTAFx	GRAFx	—
	ECNTBFx	GRBFx	—
	ECNTCFx	GRBFx	OVFCFx
		GRDFx	OVFCFx
タイマ G	TCNTGx	OCRGx	CMFGx
タイマ H	TCNT1H	OCR1H	CMFH
タイマ J	TCNTJx	OCRJx	CMFJx
タイマ B のコンペアマッチ B0、コンペアマッチ B6、および、タイマ E のサイクルマッチタイミングはこれらコンペアマッチと異なります。次の「**22.14.2.7 TCNTExy への書き込みとサイクルマッチによるカウンタクリアの競合**」を参照願います。			

22.14.2.6 カウンタへの書き込みとコンペアマッチカウンタクリアの競合

コンペアマッチカウンタクリア機能がある場合の波形を以下に示します。カウンタへの書き込みとコンペアマッチによるカウンタクリアが同時に発生した場合、カウンタクリアは行われず書き込みが優先されます（**図 22.87** 左）。ただし、コンペアマッチ割り込み要求は出力され、コンペアマッチステータスはセットされます。右図は TCNTCx への書き込みが 1PCLK サイクル後ろにずれた場合の動作を示しています。

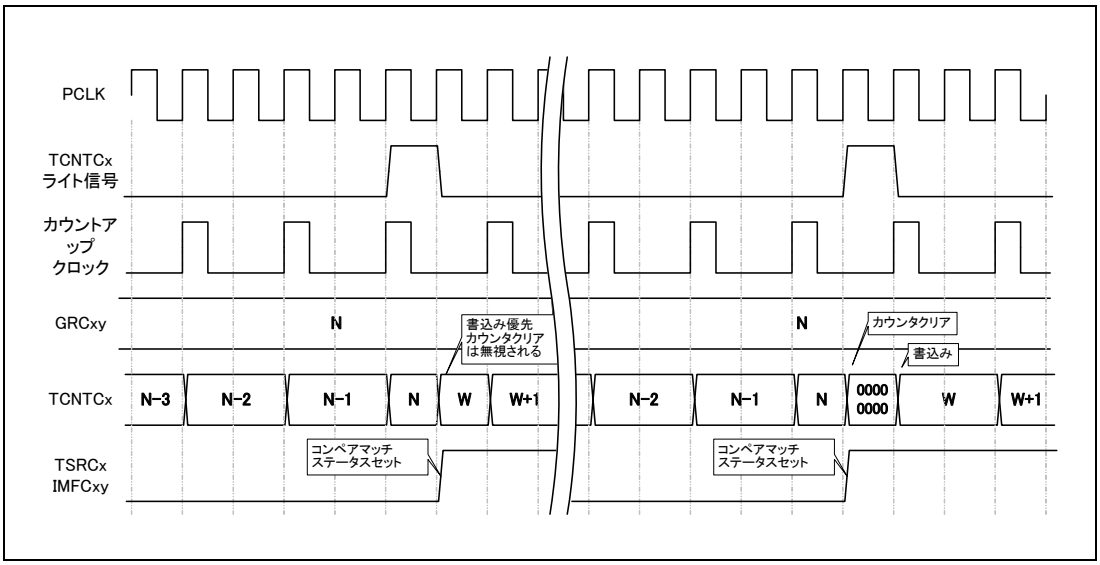


図 22.87 TCNTCx 書き込みとコンペアマッチカウンタクリアの競合

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ C	TCNTCx	GRCxy	IMFCxy
	TCNTCx	CUCRCx	OVFCx
タイマ D	TCNT1Dx	CUCR1Dx	OVF1Dx
	TCNT2Dx	CUCR2Dx	OVF2Dx
タイマ F	ECNTAFx	GRAFx	—
	ECNTBFx	GRBFx	—
タイマ G	TCNTGx	OCRGx	CMFGx
タイマ H	TCNT1H	OCR1H	CMFH

22.14.2.7 TCNTExy への書き込みとサイクルマッチによるカウンタクリアの競合

TCNTExy カウンタへの書き込みとサイクルマッチによるカウンタクリアが同時に発生した場合、カウンタクリアは行われず TCNTExy には書き込みが行われます。ただしサイクルマッチ割り込み要求の出力、サイクルマッチのステータスセット、サイクルレジスタ、デューティレジスタへのリロードは行われます（**図 22.88** 右）。PWM 波形出力もサイクルマッチ時の動作を行います。

一方、**図 22.88** 左はカウントアップクロックより 1pclk サイクル早く書き込みが行われたときの動作を示しています。

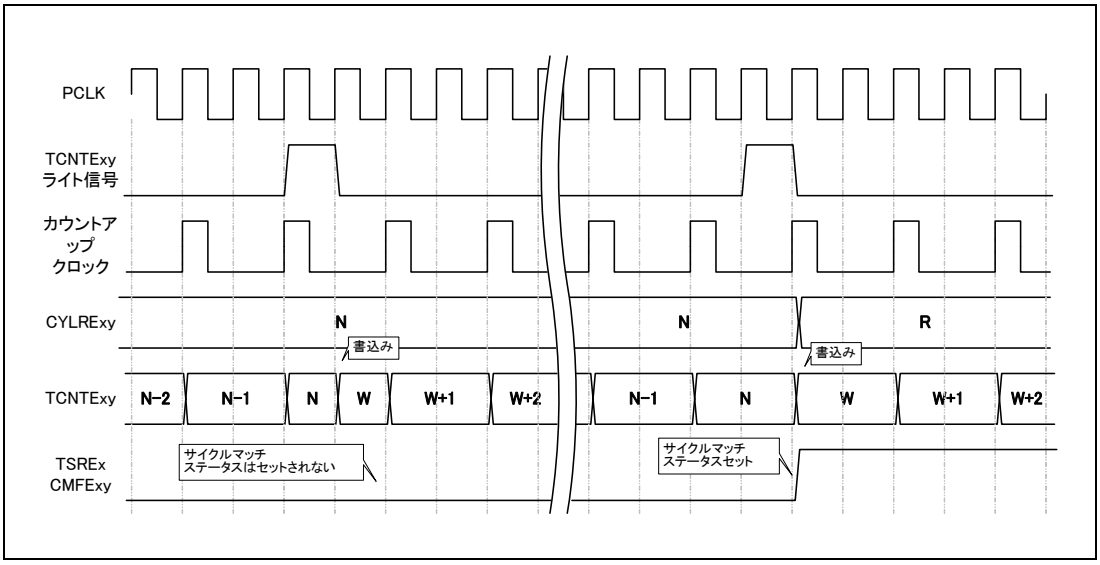


図 22.88　TCNTExy への書き込みとサイクルマッチによるカウンタクリアの競合

対象タイマ	カウンタ	コンペア（サイクル）マッチレジスタ	ステータス
タイマ B	TCNTB0	OCRB0	CMFB0
	TCNTB6	OCRB6/OCRB7	CMFB6
	TCNTB6M	ICRB6	CMFB6M
タイマ E	TCNTExy	CYLRExy	CMFExy

22.14.2.8 コンペアマッチステータスのセットとクリアの競合

タイマステータスクリアレジスタのフラグクリア動作がコンペアマッチによるフラグセットに優先して処理されます（**図 22.89** 左）。**図 22.89** 右はフラグクリアによる直後にコンペアマッチが発生した様子を示しています。

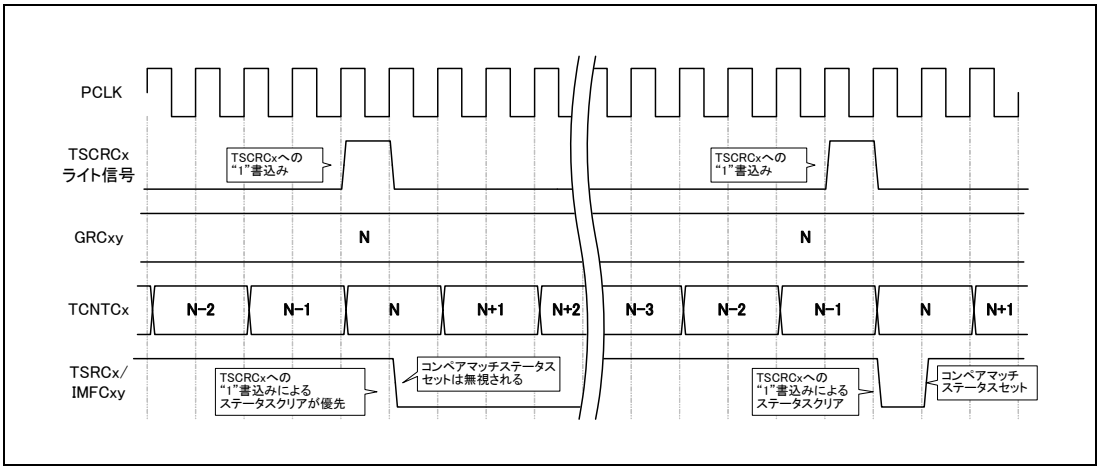


図 22.89　コンペアマッチステータスのセットとクリアの競合

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ B	TCNTB1	OCRB1	CMFB1
	TCNTB1	OCRB10	CMFB10
	TCNTB1	OCRB11	CMFB11
	TCNTB1	OCRB12	CMFB12
タイマ C	TCNTCx	GRCxy	IMFCxy
タイマ D	TCNT1Dx	OCR1Dxy	CMFADxy
	TCNT2Dx	OCR2Dxy	CMFBDxy
タイマ F	TCNTCFx	GRDFx	OVFCFx
タイマ G	TCNTGx	OCRGx	CMFGx
タイマ H	TCNT1H	OCR1H	CMFH
タイマ J	TCNTJx	OCRJx	CMFJx
タイマ B のコンペアマッチ B0、コンペアマッチ B6、および、タイマ E のサイクルマッチタイミングはこれらコンペアマッチと異なります。次の「**22.14.2.9　サイクルマッチステータスのセットとステータスクリアレジスタへの 1 書き込みの競合**」を参照願います。			

22.14.2.9 サイクルマッチステータスのセットとステータスクリアレジスタへの 1 書き込みの競合

サイクルマッチフラグのセット（サイクルマッチ）とタイマステータスクリアレジスタによるフラグのクリアが同時に発生した場合、フラグのクリアが優先して行われます。**図 22.90** 左はサイクルマッチによるフラグセットとタイマステータスクリアレジスタによるフラグのクリアが同時に発生した例を表しています。右図にはクリアが 1 サイクル先に発生した例を示しています。

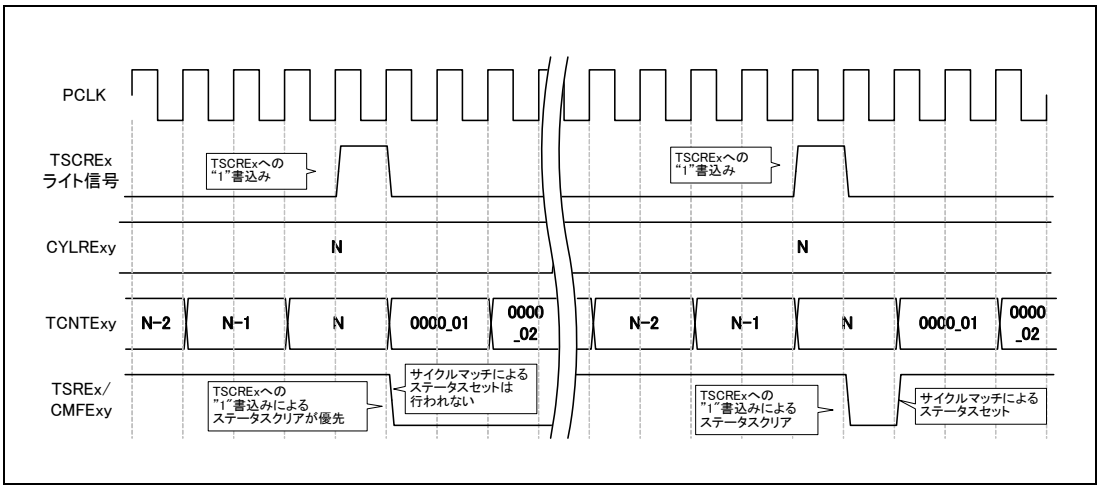


図 22.90　ステータスクリアレジスタへの 1 書き込みによるサイクルマッチステータスクリアとサイクルマッチの競合

対象タイマ	カウンタ	コンペア（サイクル）マッチレジスタ	ステータス
タイマ B	TCNTB0	OCRB0	CMFB0
	TCNTB6	OCRB6	CMFB6
	TCNTB6M	ICRB6	CMFB6M
タイマ E	TCNTExy	CYLRExy	CMFExy

22.14.2.10コンペアマッチ 1H 検出と ATUENR オフ切り替えの競合

TCNT1H と OCR1H とのコンペアマッチ検出と同時にカウンタイネーブル（ATUENR の各ビット）を “0” に切り替えた場合、コンペアマッチは検出されますが、TCNT2H のカウントアップは行われません（**図 22.91** 左図）。その後、カウンタイネーブルを “1” に設定しても次のコンペアマッチ発生まで TCNT2H のカウントアップは行われません。

右図はコンペアマッチ検出の 1PCLK サイクル後にカウンタイネーブルをオフにした場合を示しています。

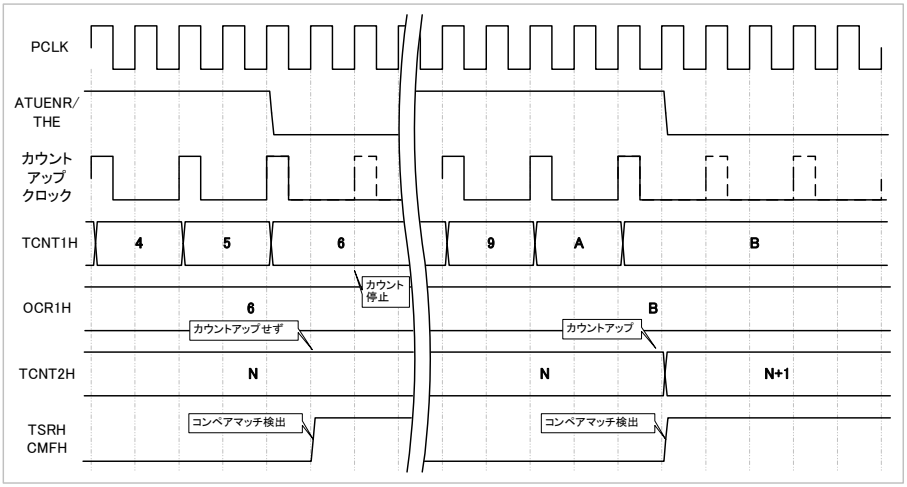


図 22.91　コンペアマッチ検出とカウンタイネーブルオフ切り替えの競合

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ H	TCNT1H	OCR1H	CMFH

22.14.2.11TCNTExy へのゼロ書き込みとサイクルマッチの競合

サイクルマッチのタイミングで TCNTExy の上位 24 ビット にゼロ書き込みを行った場合の動作を以下に示します。**図 22.92** 左は、サイクルマッチにより TCNTExy の上位 24 ビットが 000001_H にクリアされるタイミングで、TCNTExy の上位 24 ビット に 000000_H を書き込んだ様子を示しています。サイクルマッチ割り込み要求は出力され、サイクルマッチステータスはセットされますが、PWM 出力はゼロ書き込みが優先され開始しません。TCNTExy の上位 24 ビット が 000001_H にカウントアップするときに PWM 出力を再開します。中央図はサイクルマッチカウンタクリアが発生した 1PCLK サイクル後に TCNTExy の上位 24 ビット にゼロ書き込みを行った状態を表しています。TCNTExy カウンタ値の上位 24 ビットが “N” から “1” に変化するタイミングでサイクルマッチ検出、PWM 出力を再開します。一方、右図はサイクルマッチ検出の 1PCLK 前にゼロ書き込みを行った例です。この場合、サイクルマッチは検出されず PWM 出力も再開せず、前状態を保持したままです。

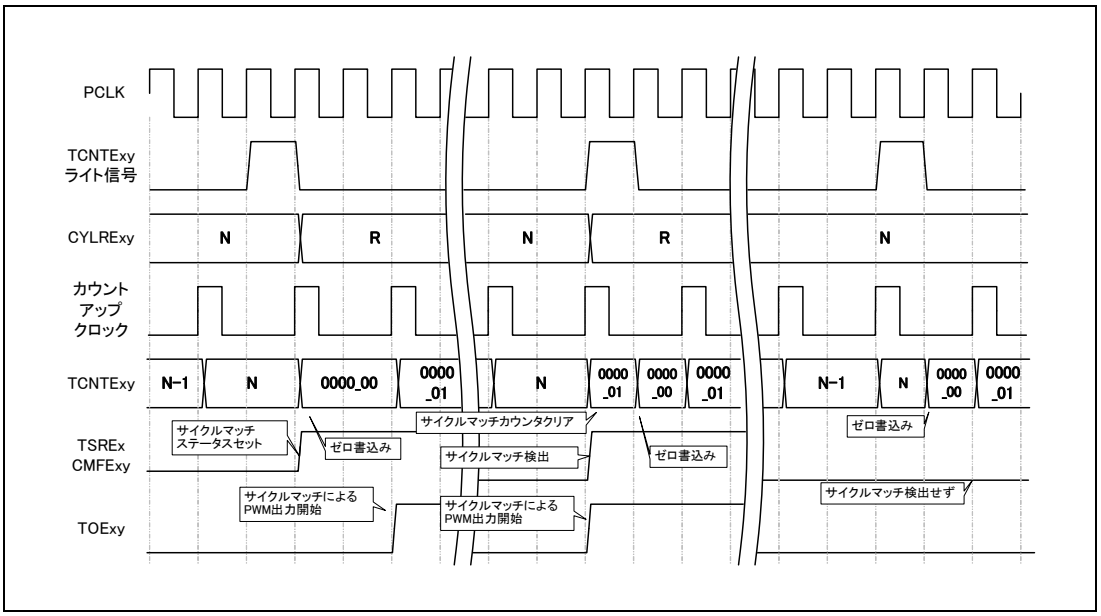


図 22.92　TCNTExy へのゼロ書き込みとサイクルマッチの競合

22.14.3 ロード／リロード競合動作

22.14.3.1 データ転送と転送先レジスタへの書き込みとの競合

レジスタ間のデータ転送と転送先レジスタへの書き込みとの競合を以下に説明します。データ転送と転送先レジスタへの書き込みが同時に発生した場合、書き込みが優先され、データ転送は無視されます。下図はタイマ E の CYLRExy へのリロードと書き込みの競合を示しています。下図左に示すとおり、サイクルリロードのタイミングで CYLRExy への書き込みが発生した場合、書き込みが優先して行われます。右図はサイクルリロード直後に CYLRExy への書き込みが行われた場合を表しています。

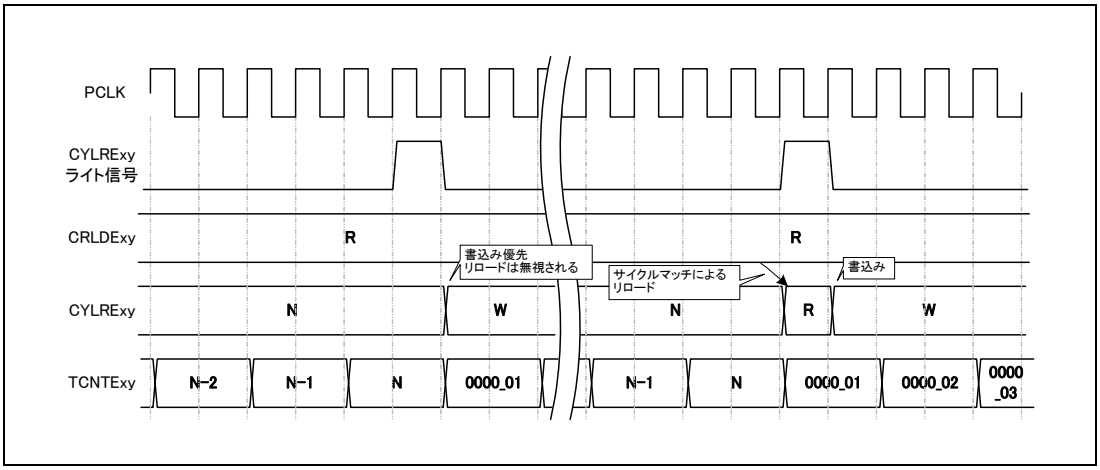


図 22.93　CYLRExy 書き込みとサイクルリロードの競合

対象タイマ	転送データ	転送先レジスタ	転送タイミング
タイマ B	ICRB0 LDB TCNTB2 – PIMR TCNTB2 + RLDB	TCNTB2	外部イベント
	ICRB0 – PIMR LDB – PIMR	RLDB	外部イベント
	TCNTB3 + PIMR	TCNTB3	外部イベント
	TCNTB3	TCNTB4	外部イベント
タイマ E	CRLDExy	CYLRExy	サイクルマッチ
	DRLDExy	DTRExy	サイクルマッチ

22.14.3.2 データ転送と転送元レジスタへの書き込みの競合

レジスタ間のデータ転送と転送元レジスタへの書き込みとの競合を以下に説明します。データ転送と転送元レジスタへの書き込みが同時に発生した場合、書き込み前の値が転送されます。同時に転送元レジスタ値は書き換えられます。サイクルリロードのタイミングで CRLDExy への書き込みが発生した場合の動作を以下に示します。CRLDExy への書き込みとサイクルリロードが同一タイミングで発生した場合（**図 22.94** 左）、書き込み直前の値がリロードされます。一方、右図の例は CRLDExy への書き込みが 1 サイクル早く発生した場合を示しています。

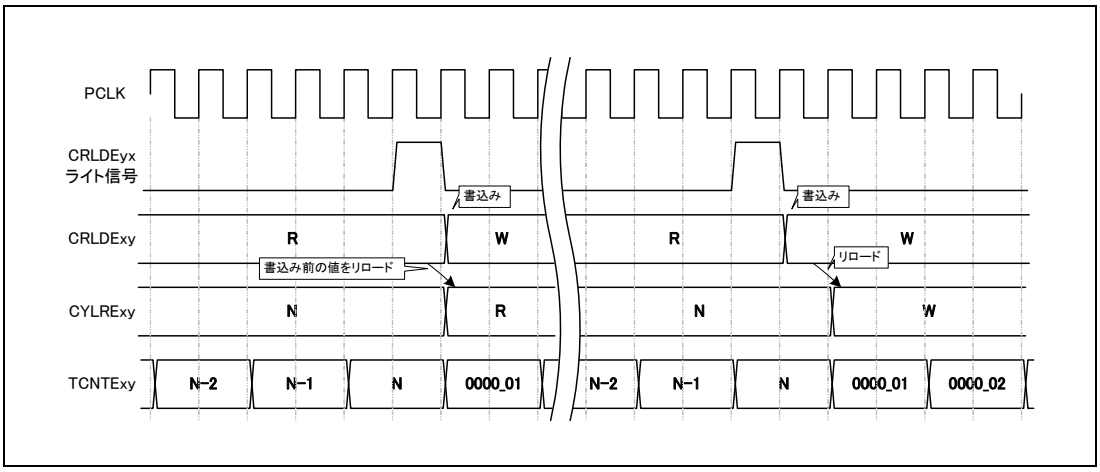


図 22.94 CRLDExy 書き込みとサイクルリロードの競合

対象タイマ	転送元レジスタ	転送値	転送先レジスタ	転送タイミング
タイマ B	LDB	LDB – PIMR	RLDB	外部イベント
		LDB	TCNTB2	外部イベント
	PIMR	ICRB0 – PIMR LDB – PIMR	RLDB	外部イベント
		TCNTB2 – PIMR	TCNTB2	外部イベント
		TCNTB3 + PIMR	TCNTB3	外部イベント
	RLDB	TCNTB2 + RLDB	TCNTB2	外部イベント
	TCNTB3	TCNTB3	TCNTB4	外部イベント
タイマ E	CRLDExy	CRLDExy	CYLRExy	サイクルマッチ
	DRLDExy	DRLDExy	DTRExy	サイクルマッチ

22.14.4 カウンタ競合動作

22.14.4.1 カウンタの書き込みとカウントアップ／カウントダウンの競合

カウンタへの書き込みとカウントアップ／ダウンが同時に発生した場合には書き込みが優先されます。カウントアップは無視され、次のカウントクロックで書き込まれた値から、再びカウントアップ／ダウンを再開します。

22.14.4.2 カウントアップとカウンタクリアの競合

カウンタのカウントアップとカウンタクリアが同時に発生した場合、カウンタは “0” にクリアされず “1” にクリアされます。

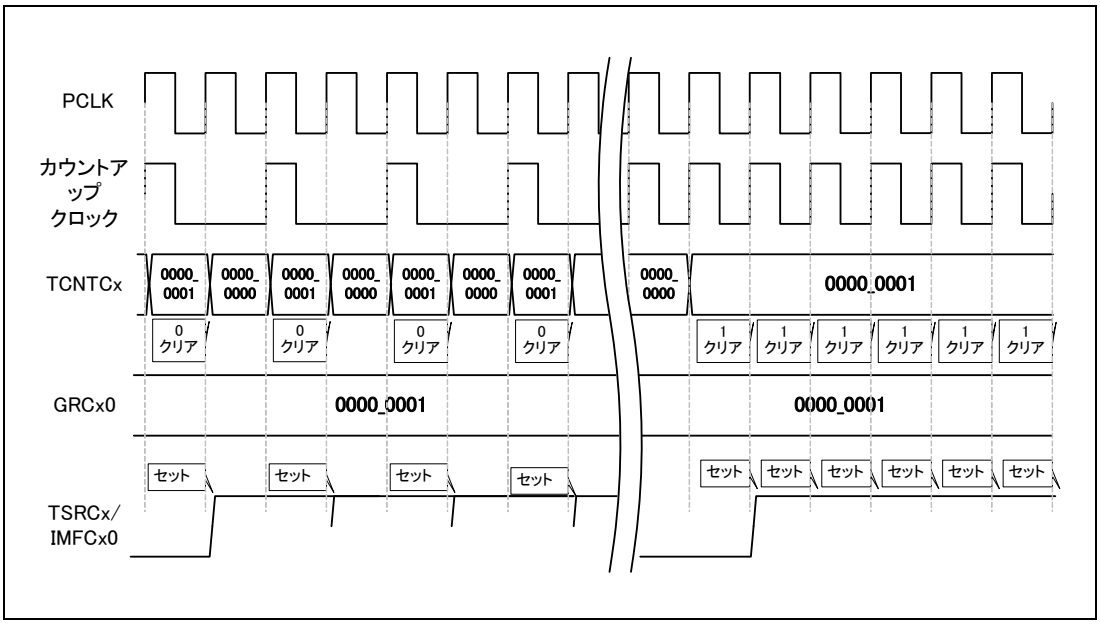


図 22.95 カウントアップとカウンタクリア同時発生

対象タイマ	カウンタ	コンペアマッチレジスタ	備考
タイマ C	TCNTCx	GRCx0	（PWMx0 = 1 のときのみ）
	TCNTCx	CUCRCx	（PWMx0 = 0, CLRCx = 1 のときのみ）
タイマ D	TCNT1Dx	CUCR1Dx	（CLR1Dx = 1 のときのみ）
	TCNT2Dx	CUCR2Dx	（CLR2Dx = 1 のときのみ）
タイマ F	ECNTAFx	GRAFx	（MDFx = “000”, “110”, “111” 設定時のみ）
	ECNTBFx	GRBFx	（MDFx = “001”, “010”, “100” 設定時のみ）
タイマ G	TCNTGx	OCRGx	
タイマ H	TCNT1H	OCR1H	

22.14.4.3 カウンタへの書き込みとオーバフローの競合

カウンタオーバフローと TCNTCx への書き込みが同時に発生した場合、書き込みが優先して行われます。ただしオーバフロー割り込み要求は出力され、オーバフローステータスはセットされます（**図 22.96** 左）。一方、カウンタへの書き込みタイミングがカウントアップより早い場合（**図 22.96** 右）にはオーバフロー割り込み要求は出力されず、オーバフローステータスはセットされません。

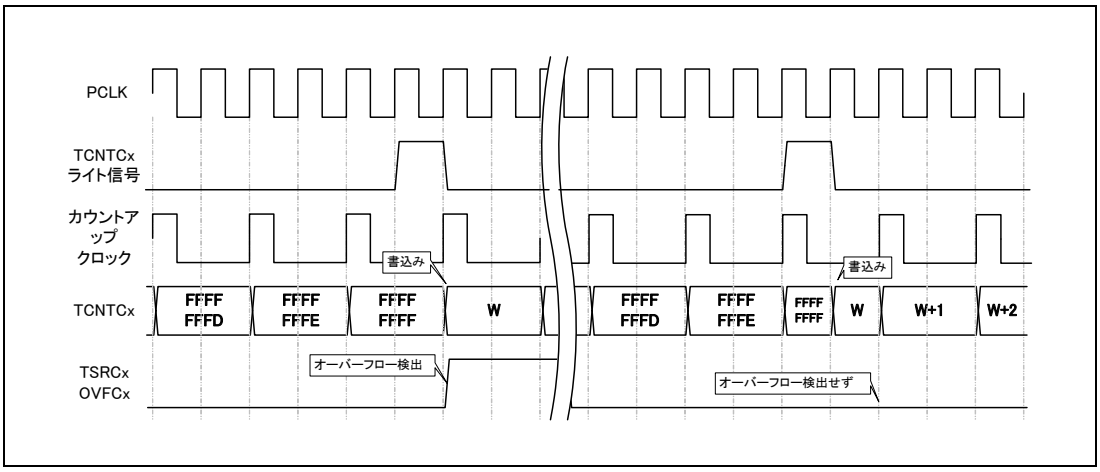


図 22.96 TCNTCx への書き込みとオーバフローカウンタクリアの競合

対象タイマ	カウンタ	ステータス
タイマ A	TCNTA	OVFA
タイマ C	TCNTCx	OVFCx
タイマ D	TCNT1Dx	OVF1Dx
	TCNT2Dx	OVF2Dx
タイマ E	TCNTExy	OVFExy
タイマ F	ECNTAFx	OVFAFx
	ECNTBFx	OVFBFx
	ECNTCFx	OVFCFx

対象タイマ	カウンタ	ステータス
タイマ G	TCNTGx	OVFGx
タイマ H	TCNT1H	OVF1H
	TCNT2H	OVF2H
タイマ J	TCNTJx	OVFJx

22.14.4.4 オーバフローステータスのセットとクリアの競合

オーバフローフラグのクリアとセットが同時に発生した場合、クリアが優先して処理されます。以下はカウンタ値 FFFF $FFFF_H$ から 0000 0000_H へのオーバフローによるステータスフラグのセットと、タイマステータスクリアレジスタによるフラグのクリアが同時に発生した例を示しています（**図 22.97** 左）。右図はステータスクリア直後に再びオーバフローがセットされる状態を示しています。

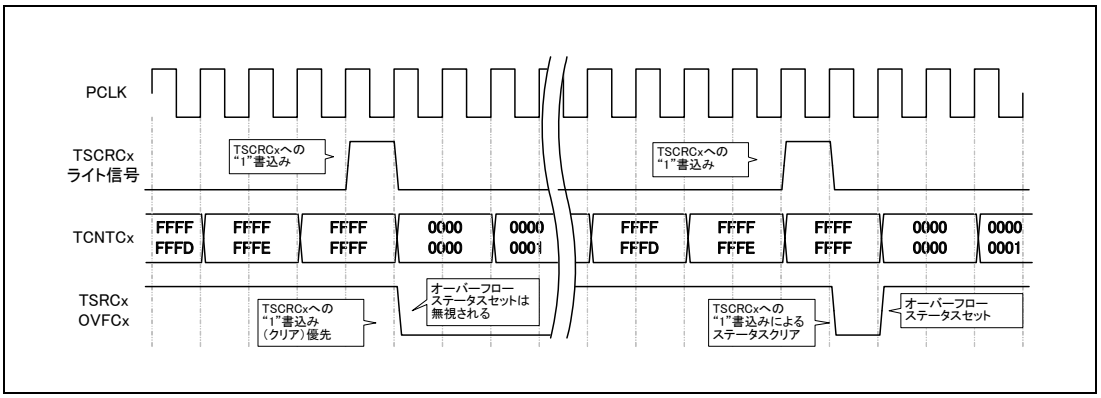


図 22.97　オーバフローステータスのセットとクリアの競合

対象タイマ	カウンタ	ステータス
タイマ A	TCNTA	OVFA
タイマ C	TCNTCx	OVFCx
タイマ D	TCNT1Dx	OVF1Dx
	TCNT2Dx	OVF2Dx
タイマ E	TCNTExy	OVFExy
タイマ F	ECNTAFx	OVFAFx
	ECNTBFx	OVFBFx
	ECNTCFx	OVFCFx

対象タイマ	カウンタ	ステータス
タイマ G	TCNTGx	OVFGx
タイマ H	TCNT1H	OVF1H
	TCNT2H	OVF2H
タイマ J	TCNTJ x	OVFJx

22.14.4.5 オーバフローとコンペアマッチカウンタクリアの競合

コンペアマッチカウンタクリア機能を持ち、かつその機能が有効な場合に、コンペアマッチレジスタに最大値を設定した場合、カウンタが最大値に達するとカウンタクリアが発生します。そのとき、カウントクロックが 1/1PCLK であったとしてもオーバフロー割り込み要求は出力はされず、オーバフローは検出されません。

タイマ H の TCNT1H と OCR1H での例を以下に示します。OCR1H に $FFFF_H$ を設定し、カウントアップクロックが 1/1PCLK でない場合（**図 22.98** 左）と、1/1PCLK の場合（**図 22.98** 右）を表しています。

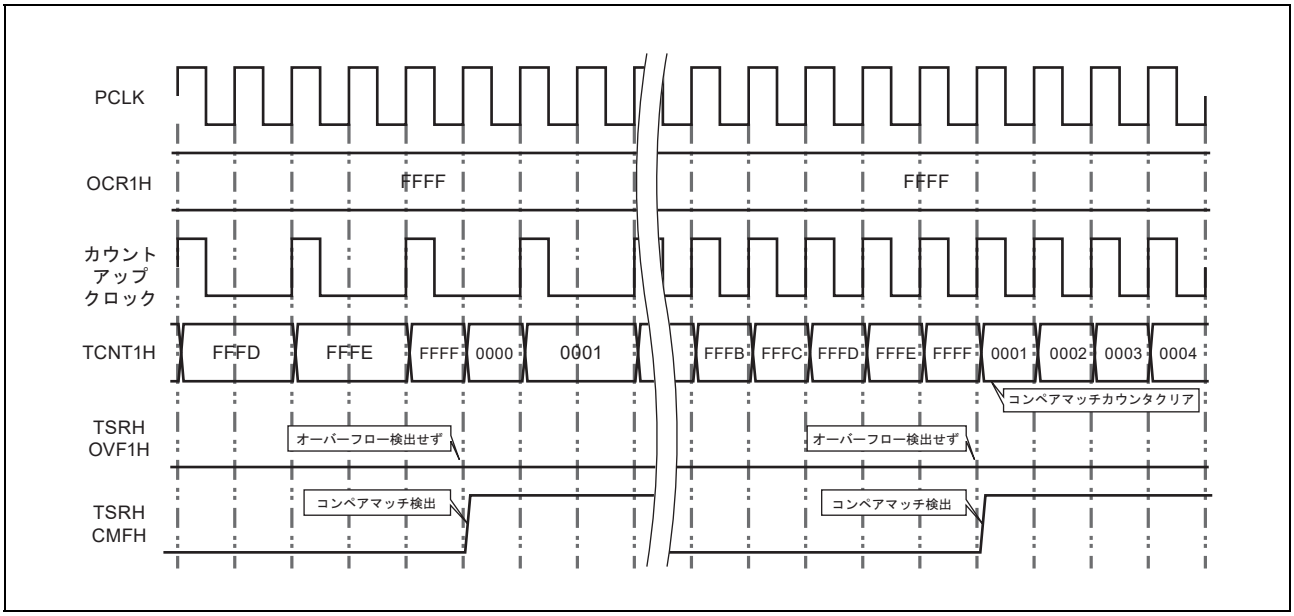


図 22.98 TCNT1H カウンタオーバフローとコンペアマッチの競合

対象タイマ	カウンタ	ステータス	備考
タイマ C	TCNTCx	OVFCx	（PWMx0 = 1 のときのみ）
タイマ F	ECNTAFx	OVFAFx	（MDFx = “000”, “110”, “111” 設定時のみ）
	ECNTBFx	OVFBFx	（MDFx = “001” 設定時のみ）
タイマ G	TCNTGx	OVFGx	
タイマ H	TCNT1H	OVF1H	

コンペアマッチカウンタクリア機能のないもの、機能を OFF にしている場合にはオーバフロー割り込み要求が出力され、オーバフローステータスがセットされます。タイマ C の PWMx0 ビットが 1 のとき（カウンタクリア有効）、PWMx0 ビットが 0 のとき（カウンタクリア無効）の動作を**図 22.99** に示します。

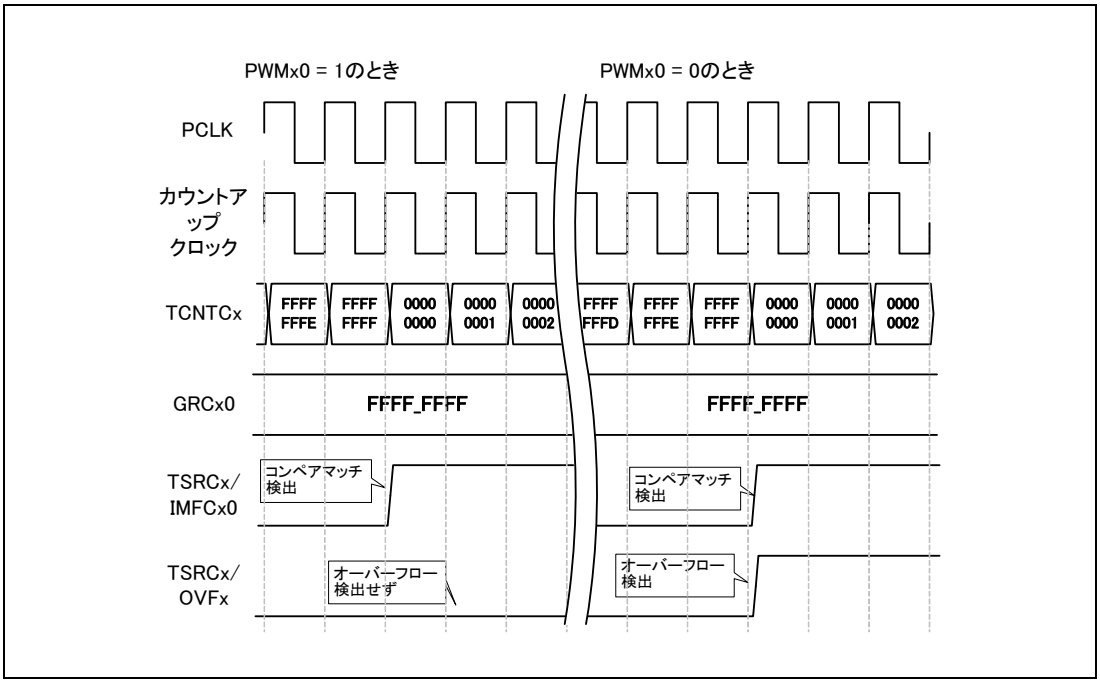


図 22.99　タイマ C コンペアマッチカウンタクリアとオーバフローの競合（PWMx0 = 1/0）

22.14.5 ノイズキャンセラ競合動作

ノイズキャンセラにおける競合を説明します。

対象タイマ	カウンタ	コンペアマッチレジスタ
タイマ A	NCNTAx	NCRAx
タイマ C	NCNTCxy	NCRCxy
タイマ F	NCNTAFx	NCRAFx
	NCNTBFx	NCRBFx
タイマ J	NCNTJx	NCRJx

22.14.5.1 ノイズキャンセラカウンタへの書き込みとノイズキャンセラレジスタとのコンペアマッチの競合

NCNT への書き込みと NCR とのコンペアマッチが同時に発生した場合、書き込みが優先して処理されます。先行エッジキャンセルモードでの例を以下に示します。**図 22.100** 左の例では、書き込みによってコンペアマッチが発生しないため、インプットキャプチャも行われません。右図の例は 1 サイクル遅れて書き込みを行った場合を示しています。この場合はコンペアマッチが発生し、インプットキャプチャ処理が行われます。

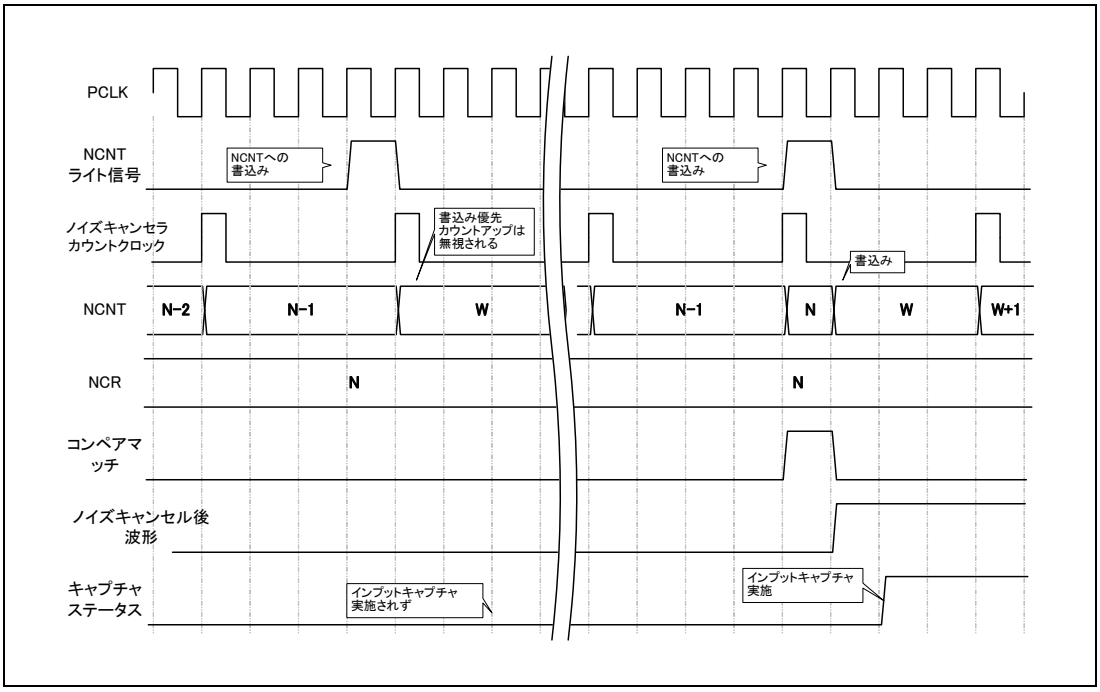


図 22.100　NCNT への書き込みと NCNT-NCR コンペアマッチの競合
（例：先行エッジキャンセルモード）

22.14.5.2 ノイズキャンセラレジスタへの書き込みとノイズキャンセラカウンタとのコンペアマッチの競合

NCR への書き込みと NCNT とのコンペアマッチが同時に発生した場合、書き込みが優先して処理されます。先行エッジキャンセルモードでの例を以下に示します。**図 22.101** 左の例では、書き込みによりコンペアマッチがは発生しないため、インプットキャプチャも行われません。右図の例は 1 サイクル遅れて書き込みを行った場合を示しています。この場合はコンペアマッチが発生し、インプットキャプチャ処理が行われます。

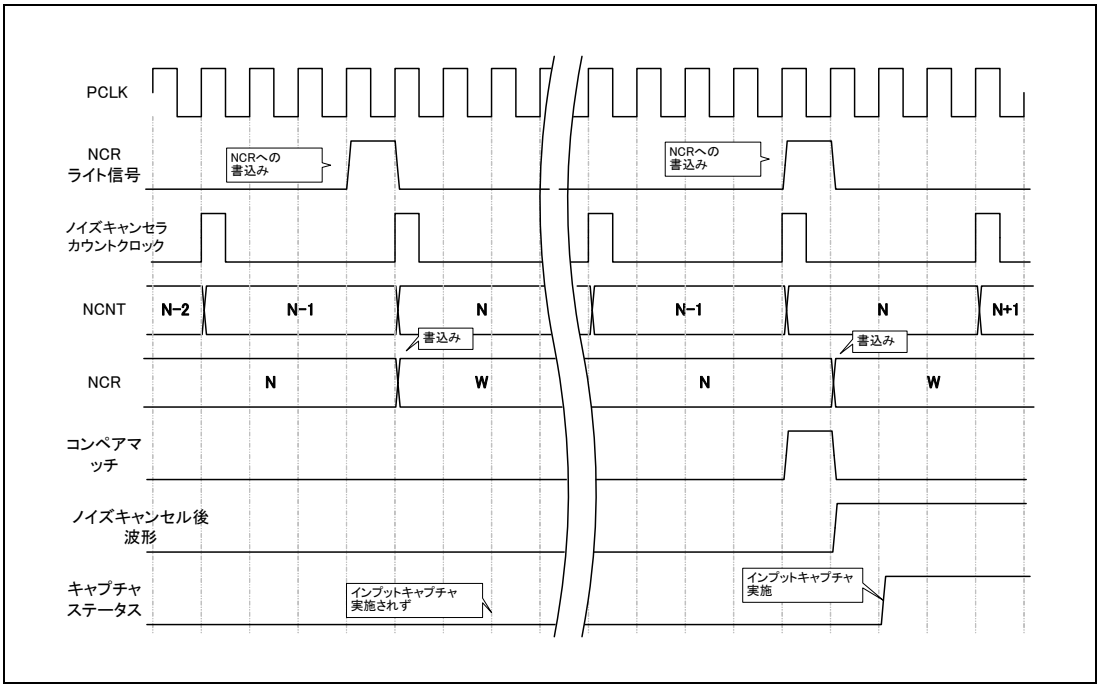


図 22.101　NCR への書き込みと NCNT とのコンペアマッチの競合
（例：先行エッジキャンセルモード）

22.14.6 タイマダウンカウンタ Dxy 競合動作

DCNTDxy における競合を説明します。

22.14.6.1 DCNTDxy カウンタへの書き込みとカウントダウンの競合

DCNTDxy への書き込みとカウントダウンが同時に発生した場合には書き込みが行われます。カウントダウンは無視され、次のカウントダウンクロックで書き込まれた値から、再びカウントダウンを再開します。

22.14.6.2 DCNTDxy カウンタへの書き込みとアンダフローの競合

DCNTDxy への書き込みとアンダフローが同時に発生した場合には書き込みが行われます。**図 22.102** 左の例は DCNTDxy が $0000\ 0000_H$ の状態でカウントダウンクロックと書き込みが同時に発生した場合の動作を表しています。DCNTDxy には新たな値が書き込まれますが、アンダフロー検出により、カウントダウン動作は停止します。アンダフロー割り込み要求は出力され、アンダフローフラグはセットされます。右図は 1 サイクル前に DCNTDxy への書き込みを行った場合であり、このときアンダフロー割り込み要求は出力されず、アンダフローは検出されません。

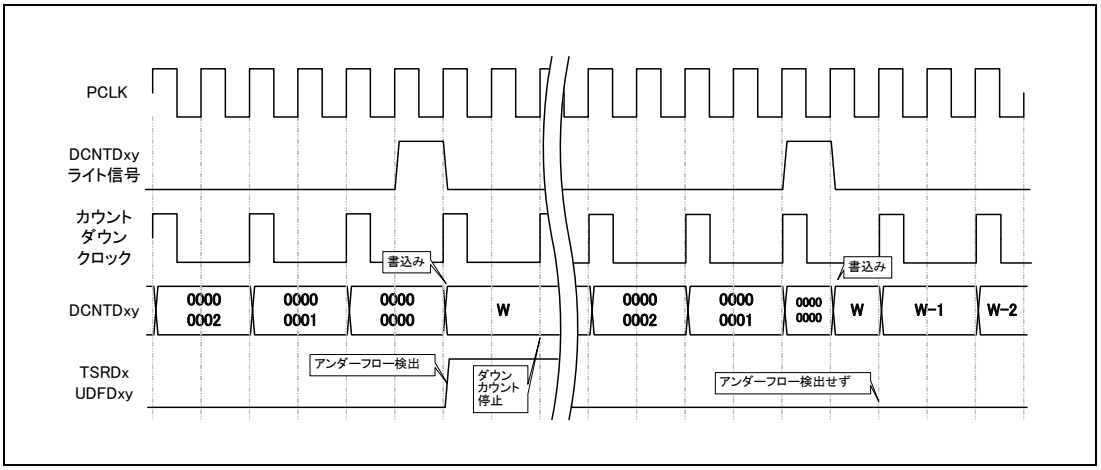


図 22.102　DCNTDxy 書き込みとアンダフローの競合

22.14.6.3 DCNTDxy カウンタへの書き込みとコンペアマッチ B（カウント停止トリガ）の競合

DCNTDxy への書き込みとコンペアマッチ B が同時に発生した場合、DCNTDxy には書き込みが行われます。（ダウンカウント停止要因としてコンペアマッチ B が選択されている場合）

下図中央は DCNTDxy への書き込みとコンペアマッチ B 検出によるカウンタクリアが同時に起こった場合を表しています。コンペアマッチ B による DCNTDxy カウンタクリアは無視され、書き込みが優先されます。しかし、コンペアマッチ B により TODxyB 出力は遮断され、DCNTDxy は書き込まれた値のまま停止します。**図 22.103** 右は書き込みサイクルが 1PCLK サイクル先に発生した場合を表しています。DCNTDxy に書き込みを行った次の PCLK サイクルでコンペアマッチ B によりカウンタはクリアされます。**図 22.103** 左はコンペアマッチ B によるカウンタクリア直後に書き込みを行った例を表しています。

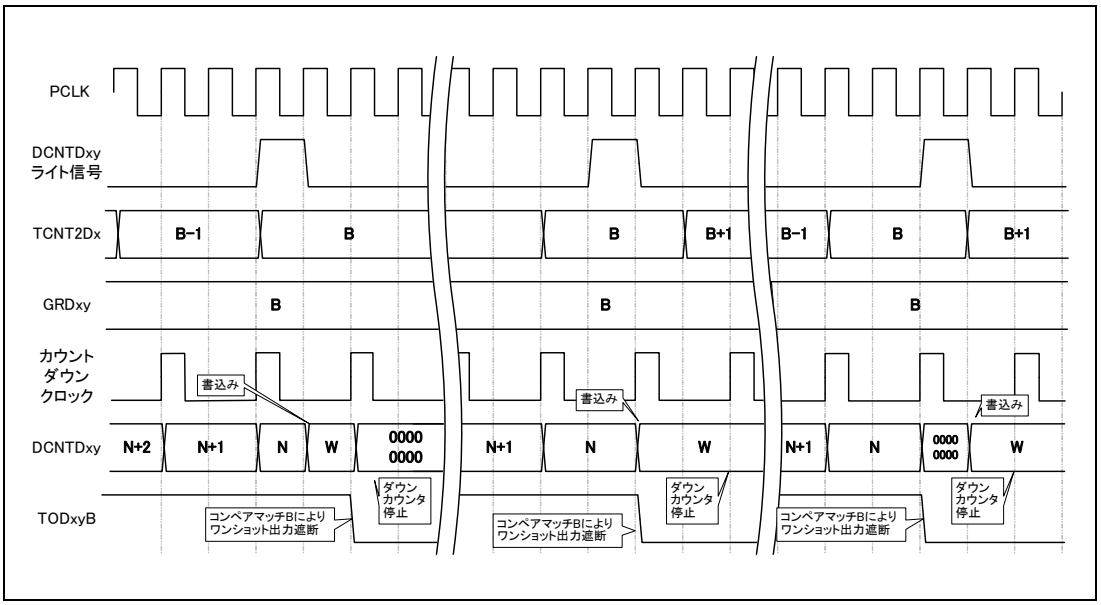


図 22.103　DCNTDxy 書き込みとコンペアマッチ B によるカウンタクリアの競合

22.14.6.4 アンダフローステータスのセットとステータスクリアレジスタへの 1 書き込みクリアの競合

タイマステータスクリアレジスタによるフラグクリアとアンダフローが同時に発生した場合、クリアが行われます。以下は DCNTDxy カウンタ値のアンダフローによるステータスフラグのセットと、タイマステータスクリアレジスタによるフラグクリアが同時に発生した例を示しています（下図左）。右図はステータスクリア直後に再びアンダフロー発生によりステータスフラグがセットがされる状態を示しています。

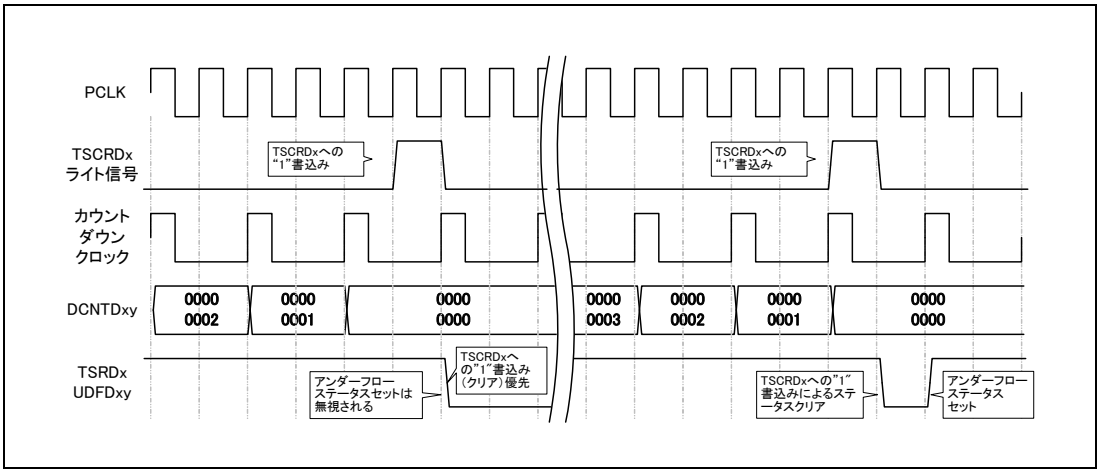


図 22.104 アンダフローステータスのセットとクリアの競合

22.14.6.5 ダウンカウンタ値 0000 0000_H 時のダウンカウンタスタートトリガ発生による TODxyB 出力

TODxyB 出力はダウンカウンタアンダフローにより開始せずに終了します。

22.14.6.6 ダウンカウンタスタートトリガ、ストップトリガが同時に発生した場合の TODxyB 出力

ダウンカウンタスタートトリガ、ダウンカウンタストップトリガが同時に発生した場合、ストップトリガにより、ダウンカウンタはゼロクリアされます。TODxyB 出力も開始せずに終了します。

ダウンカウンタスタートトリガ発生後、最初のダウンカウントクロックが入力される前にダウンカウントストップトリガが発生した場合も同様に、ダウンカウンタは一度もダウンカウントをすることなくゼロクリアされ、TODxyB 出力も開始せずに終了します。

22.14.6.7 ダウンカウンタスタートトリガとアンダフローの競合

ダウンカウンタスタートトリガとアンダフローが同時に発生した場合、DCNTDxy は $0000\ 0000_H$ で停止した状態を保ちます（**図 22.105** 中央）。その前の状態がダウンカウント中であれば TODxyB 出力はアンダフローにより遮断します（**図 22.105** 左）。ダウンカウント停止中（DCNTDxy = $0000\ 0000_H$）にコンペアマッチ A が発生した場合には TODxyB 出力はネゲート状態を維持します（**図 22.105** 右）。いずれの場合も、アンダフロー割り込み要求、アンダフローフラグの “1” セットはダウンカウントスタートトリガ検出と同時、もしくは検出後の最初のダウンカウントクロックに同期して出力されます。

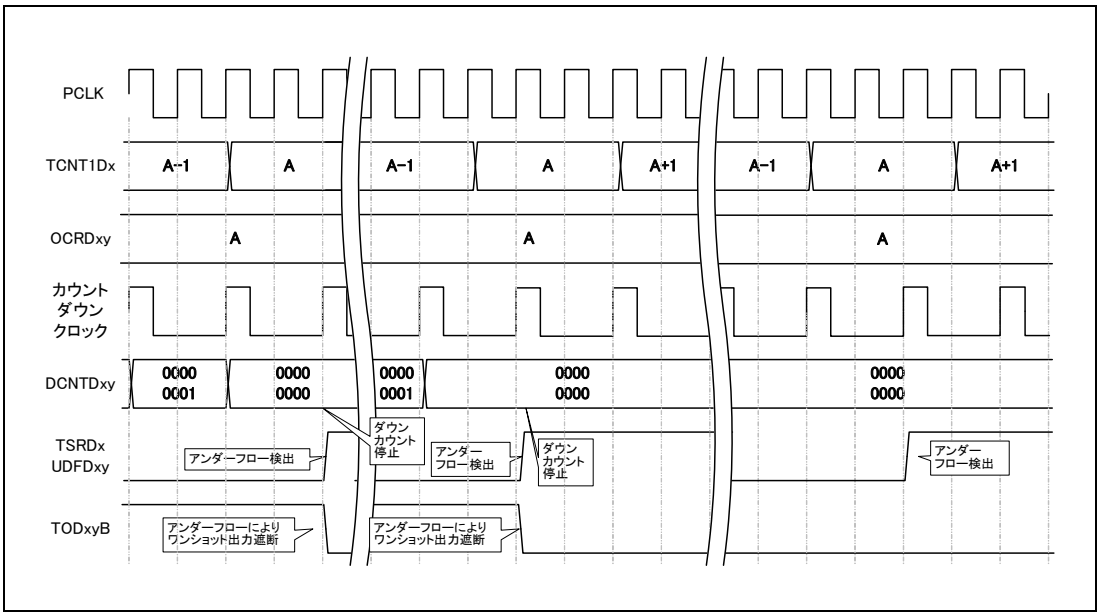


図 22.105　コンペアマッチ A とアンダフローの競合

22.14.7　タイマ A、B とタイマ D 連携動作

タイマ B からのカウンタクリア要求と TCNT1Dx、TCNT2Dx との競合を説明します。

22.14.7.1 TCNT1Dx、2Dx カウンタクリアとコンペアマッチの競合

タイマ B からのカウンタクリア信号による TCNT1Dx、TCNT2Dx カウンタクリアとコンペアマッチが同時に発生した場合の動作を**図 22.106** に示します。下図左はコンペアマッチ発生前にカウンタクリアが行われた場合を示しています。一方、右図はコンペアマッチ発生と同時にカウンタクリアが発生した場合を示しています。

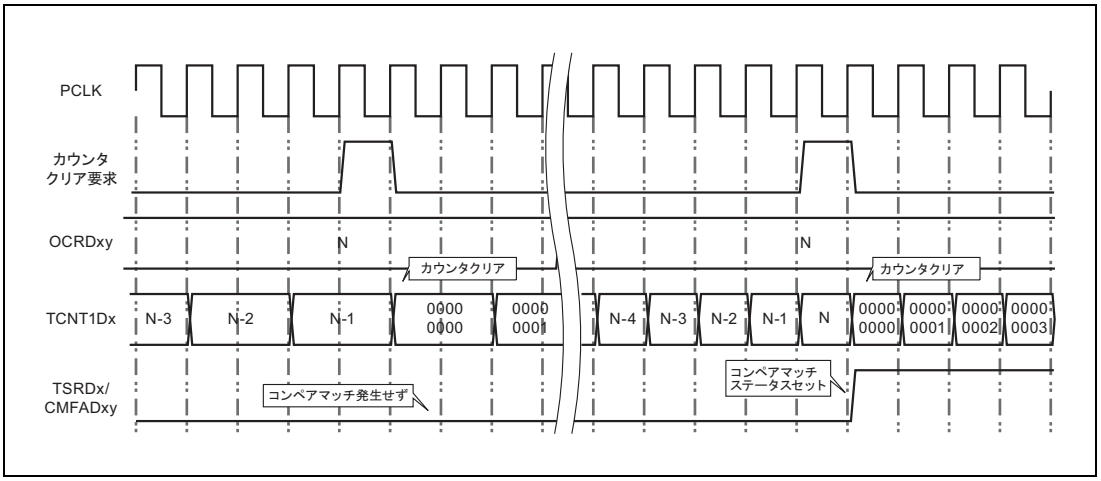


図 22.106　タイマ B からのカウンタクリアとコンペアマッチの競合

対象タイマ	カウンタ	カウンタクリア要因	コンペアマッチレジスタ	ステータス
タイマ D	TCNT1Dx	タイマ B からの TCNT1Dx、TCNT2Dx クリア要求	OCR1Dxy	CMFADxy
	TCNT2Dx		OCR2Dxy	CMFBDxy

22.14.7.2 TCNT1Dx、TCNT2Dx カウンタへの書き込みとタイマ B からのカウンタクリアの競合

TCNT1Dx、TCNT2Dx への書き込みとタイマ B からのカウンタクリア信号が同時に発生した場合、カウンタクリアは行われずカウンタには書き込みが行われます（**図 22.107** 左）。右図は TCNT1Dx への書き込みが 1PCLK サイクル後にずれた場合を表しています。（TCNT2Dx も同様）

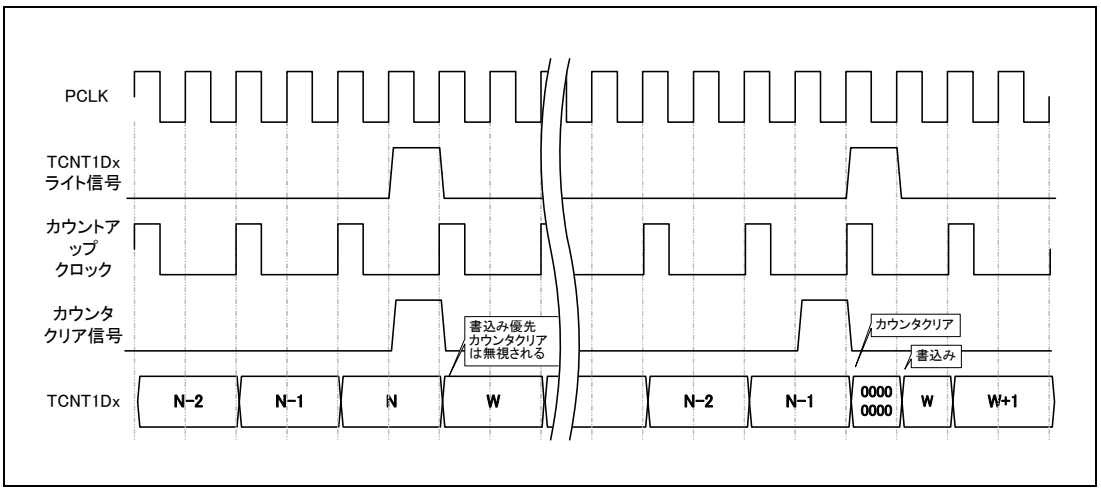


図 22.107　TCNT1Dx 書き込みとカウンタクリアの競合

22.14.7.3 TCNT1Dx、TCNT2Dx カウンタオーバフローとタイマ B からのカウンタクリアの競合

カウントアップによる TCNT1Dx オーバフローとタイマ B からの TCNT1Dx カウンタクリアが同時に発生した場合、カウンタ値はクリア信号により $0000\ 0000_H$ にクリアされます。このとき、オーバフロー割り込み要求は出力されません。オーバフローフラグはセットされません（ただし C1CEDx = 1 のときのみ）。TCNT2Dx オーバフローも同様です。

上限値設定レジスタとの一致によるカウンタクリアとタイマ B からのカウンタクリアは排他的に使うことが必要ですが、もし間違ってこれらが同時に発生したときは、カウンタはタイマ B からのカウンタクリアが優先され、$0000\ 0000_H$ にクリアされます。オーバーフローは上限値設定レジスタとの一致が優先され、割込み発生、フラグセットが行われます。TCNT2Dx に関しても同様です。

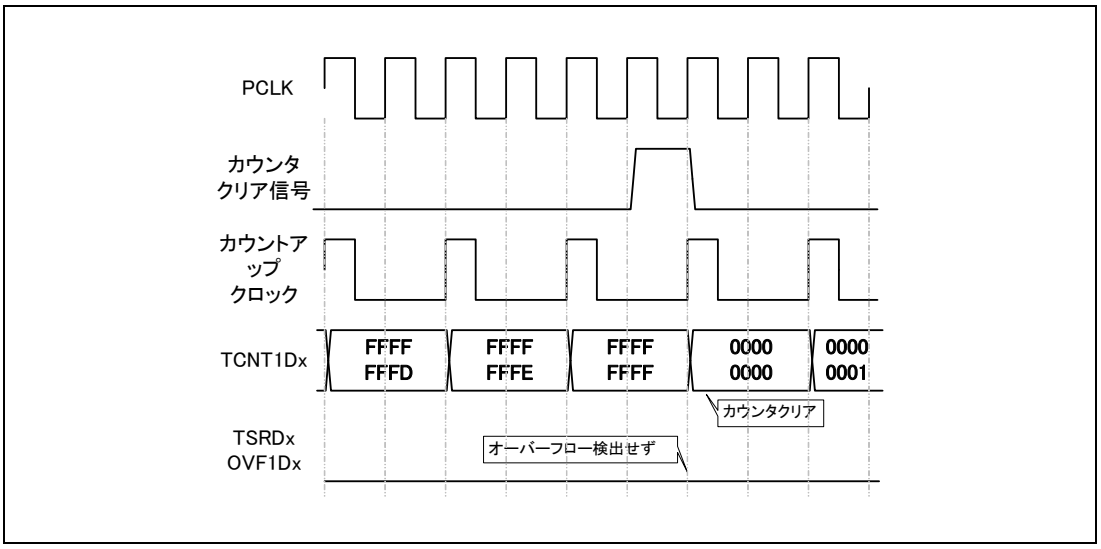


図 22.108　カウンタクリアとオーバフローの競合

22.14.7.4 タイマ B からのクリア信号による TCNT1Dx クリアと OSBRDx へのインプットキャプチャの競合

タイマ B からの TCNT1Dx カウンタクリアとオフセットベースレジスタへのインプットキャプチャが同時に発生したときの動作を以下に示します。キャプチャとカウンタクリアが同時に発生した場合、クリア前のカウンタ値が OSBRDx に取り込まれます。同時に TCNT1Dx カウンタはクリアされます（**図 22.109** 左）。**図 22.109** 右はカウンタクリアされた 1 サイクル後にキャプチャが行われ、OSBRDx にクリア後の値が取り込まれた様子を表しています。

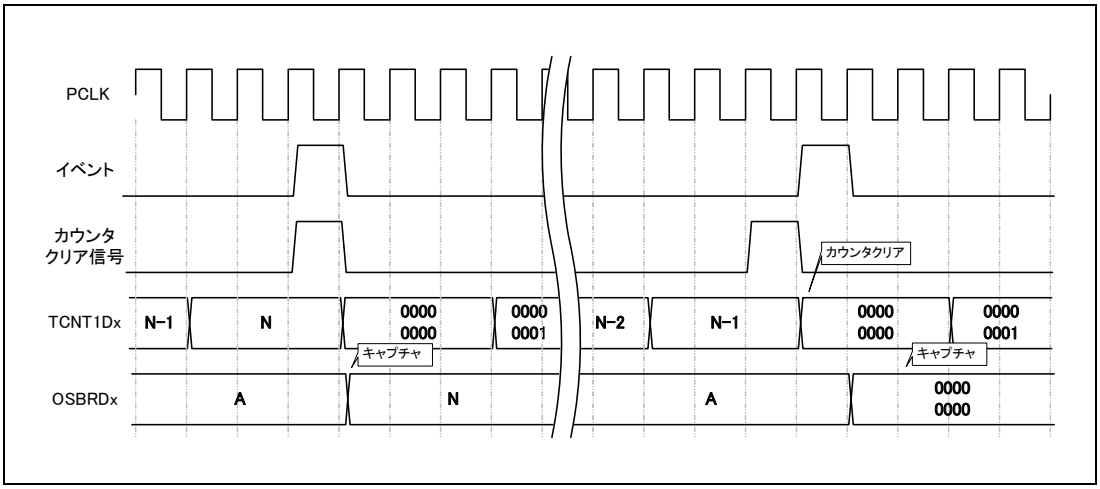


図 22.109　TCNT1Dx カウンタクリアと OSBRDx へのインプットキャプチャの競合

22.14.7.5 タイマ B からの 0 クリアとカウンタ上限値設定機能によるクリアの競合

タイマ B からのカウンタ 0 クリア信号と、タイマ D カウンタ上限値設定機能によるクリアが競合した場合、タイマ B からのカウンタ 0 クリアを優先し、カウンタ値は 0 になります。

対象タイマ	カウンタ	カウンタクリア要因	コンペアマッチレジスタ
タイマ D	TCNT1Dx	タイマ B からの TCNT1Dx クリア要求	CUCR1Dx
	TCNT2Dx	タイマ B からの TCNT2Dx クリア要求	CUCR2Dx

22.14.8 コンペアマッチ動作仕様の混在

タイマごとにコンペアマッチ動作の仕様が異なります。コンペアマッチ発生タイミングと検出条件の違いによって、以下 3 種類の動作仕様が存在します。

- Type1
  - タイマカウンタとコンペアマッチレジスタの値が一致した次の PCLK でコンペアマッチを発生する。
  - コンペアマッチの検出は PCLK ごとに実施する。
  - タイマカウンタ、コンペアマッチレジスタへの書き込みタイミングでもコンペアマッチを検出する。
- Type2
  - タイマカウンタとコンペアマッチレジスタの値が一致した次の PCLK でコンペアマッチを発生する。
  - コンペアマッチの検出はタイマカウンタがカウントアップあるいはカウントダウンした PCLK で実施する。
  - タイマカウンタ、コンペアマッチレジスタへの書き込みタイミングではコンペアマッチを検出しない。
- Type3
  - タイマカウンタとコンペアマッチレジスタの値が一致した次のカウントクロックでコンペアマッチ発生する。
  - コンペアマッチの検出はカウントクロックごとに実施する。
  - タイマカウンタ、コンペアマッチレジスタへの書き込みタイミングではコンペアマッチを検出しない。

対象タイマ	カウンタ	コンペアマッチレジスタ	コンペアマッチ仕様
タイマ B	TCNTB0	OCRB0	Type3
	TCNTB1	OCRB1	Type1
		OCRB10	Type1
		OCRB11	Type1
		OCRB12	Type1
	TCNTB6	OCRB6	Type3
		OCRB7	Type3
	TCNTB3	OCRB8	Type1
タイマ C	TCNTCx	CUCRCx	Type1
		GRCxy	Type1
		OCRCxy	Type1
タイマ D	TCNT1Dx	CUCR1Dx	Type1
		OCR1Dxy	Type2
	TCNT2Dx	CUCR2Dx	Type1
		OCR2Dxy	Type2
タイマ E	TCNTExy	CYLRExy	Type3
		DTRExy	Type3

対象タイマ	カウンタ	コンペアマッチレジスタ	コンペアマッチ仕様
タイマ F	ECNTAFx	GRAFx	Type1
	ECNTBFx	GRBFx	Type1
	ECNTCFx	GRCFx	Type1
		GRDFx	Type1
タイマ G	TCNTGx	OCRGx	Type1
タイマ H	TCNT1H	OCR1H	Type1
タイマ J	TCNTJx	OCRJx	Type1

第 23 章 APA

自律型パルス制御アダプタ（APA）は、複雑なパルス波形を CPU の介在無しにリアルタイムに生成することが可能です。APA を使用することにより、CPU や周辺バスの負荷低減、PWM チャネルやリファレンス入力を連携させたパルス生成が可能となります。

23.1 APA の特長

チャネル数

本製品には、以下のチャネル数の APA を搭載しています。

APA	
チャネル数	1
名称	APAn （n = 0）

n の意味

本章では、APA の各チャネルを「n」（n = 0）で識別します。

たとえば、APA 動作イネーブルレジスタは APAAnEN のように記述しています。

APA のチャネルと APA の出力名の対応は次のとおりです。

名称	APA 出力名称	備考
APA0	APA15 ～ APA00	APA0 の PWM15 ～ PWM0 に対応

23.2 機能概要

- 基本機能：
  - 複雑なパルス波形を CPU の介在無しにリアルタイムに生成可能。
  - パルス幅などをリアルタイムに算出する演算器を内蔵。
  - ワンショットパルスを基本単位として、それを複数定義することにより複雑なパルス列を生成可能。
  - ワンショットパルスは複数のリファレンス入力から生成可能。
    リファレンス入力は、時間、角度、AD 変換値などを組み合わせて使用可能。
  - イベント入力によりリアルタイムにパルス列の制御（状態変化）が可能。
    イベント入力による制御は数種類から選択可能。（出力停止、次パルス遷移、出力マスクなど）
  - 複数チャネルに対して同じイベント信号を使用して制御を行うことにより、チャネルを同期させての動作が可能。
- リファレンス入力：
  - リファレンス入力として、時間分解能の異なる下記 3 種類（計 11ch）が使用可能です。

表 23.1 リファレンス入力表

種別	時間分解能	ch 数	ダイナミックレンジ	備考
リファレンス入力 A	pclk × 4	2（ch.0, ch.1）	16bit	外部入力
リファレンス入力 C	pclk × 20	8（ch.2 ～ 9）	16bit	外部入力
リファレンス入力 S	pclk × 20	1（ch.sw）	16bit	リファレンス入力として使用可能なレジスタで、ソフトウェアから R/W 可能です。

注 1. リファレンス入力として使用する信号は、上表の時間分解能より更新周期が低速である必要があります。（高速な場合、APA 内部でデータを受け取ることができず、データ取りこぼしが発生します。）

表 23.2 リファレンス入力構成（電流フィードバック構成 pclk = 40MHz）

種別	時間分解能	対応リファレンス ch	ダイナミックレンジ	使用リファレンス種別	接続先	備考
タイマ	10MHz (pclk × 4)	ch.0, ch.1	16bit	リファレンス A × 2ch	ATU (TimerD, TimerG)	ATU 出力は 32bit。使用する 16bit を切り出して使用します。（詳細は「**23.6 APA 入出力選択機能概要**」を参照下さい。）
ADC	2MHz (pclk × 20)	ch.2 ～ 9	16bit	リファレンス C × 8ch	ΔΣ-ADC / ADC0/ ADC1	リファレンス入力として、ΔΣ-ADC/ ADC0/ADC1 から選択できます。（詳細は「**23.6 APA 入出力選択機能概要**」を参照下さい。
ソフトウェアリファレンス	2MHz (pclk × 20)	ch.sw	16bit	リファレンス S × 1ch	—	—

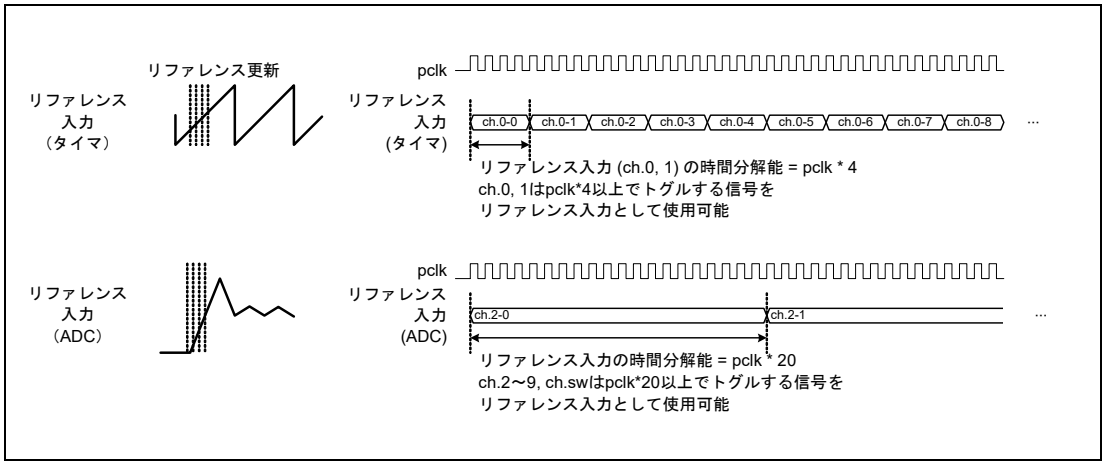


図 23.1　リファレンス入力の使用条件

- イベント入力：
  - 32ch 使用可能
    - ・うち 16ch は 64ch のイベント入力の中から選択可能です。（ソフトウェアイベント 6ch 分を含む）
    - ・残りの 16ch は、APA 自身が生成する PWM 出力をイベント入力として使用可能です。
  - パルス生成チャネルに対するイベント入力は、時分割によって行います。

表 23.3　イベント入力

種別	時間分解能	ch 数	検出 edge	備考
イベント入力	pclk × 1	58	rise/fall/ rise+fall 両方	—
ソフトウェアイベント入力	pclk × 1	6	rise/fall/ rise+fall 両方	イベント入力として使用可能なレジスタで、ソフトウェアから R/W 可能です。

注 1.　イベント入力として使用する信号は、上表の時間分解能より低速であることが必要です。
（高速な場合、APA 内部でイベント入力として処理することができず、データ取りこぼしが発生します。）

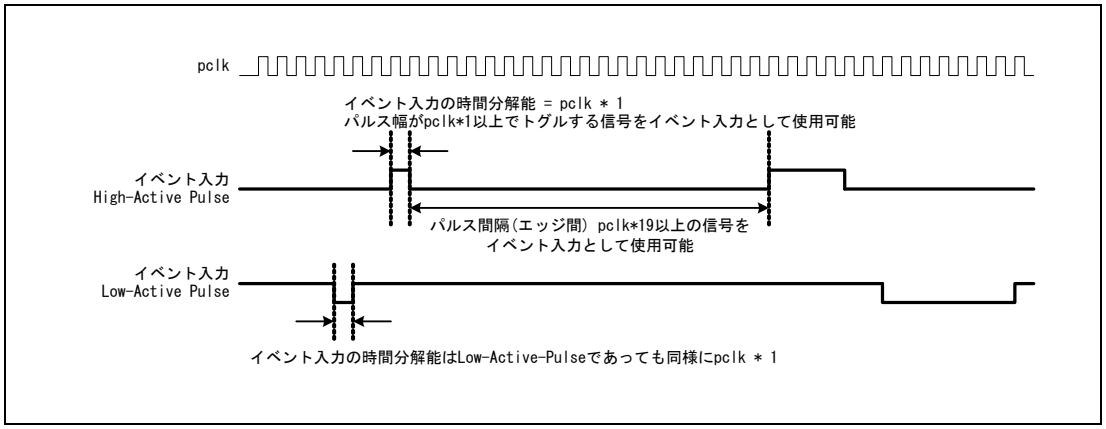


図 23.2　イベント入力の使用条件

- パルス生成チャネル
  - PWM によるパルス生成出力に 16ch を使用可能です。
  - 各パルス生成チャネルに対して割り込み 1ch を出力可能です。（total 16ch）
    ・割り込み要因は 5 種類の中から選択：エレメント遷移、チャネル動作完了、On マッチ時、Off マッチ時、On/Off マッチ時
  - パルス生成は、任意のリファレンス入力に対して PWM 出力を ON にする条件（=, <, >）、OFF にする条件（同）、任意のイベント入力に対する例外処理など、各種のパラメータ類のセット（エレメントと呼ぶ）を設定することで実現します。
  - 複数のエレメントを組み合わせることにより、複雑なパルス列を実現することが可能です。

表 23.4 パルス出力

種別	時間分解能	ch 数	最小パルス幅	備考
PWM 出力	pclk × 1	16	pclk × 40 (High) pclk × 40 (Low)	左記は、エレメントで指定したマッチ条件で ON/OFF が発生した場合の最小パルス幅です。例外処理によってマッチ状態が強制的に変化した場合、マッチとの競合によって左記より短いパルス幅となる場合があります。

注 1. PWM 出力はエレメントにてマッチ条件を指定することで生成されますが、マッチ条件として上表の最小パルス幅を満たすような指定してください。（**「23.5.7.1 マッチ条件の設定 1」**を参照ください）。
pclk × 40 以下のパルス幅になるマッチ条件を指定した場合、意図しないパルス幅となる可能性があります。

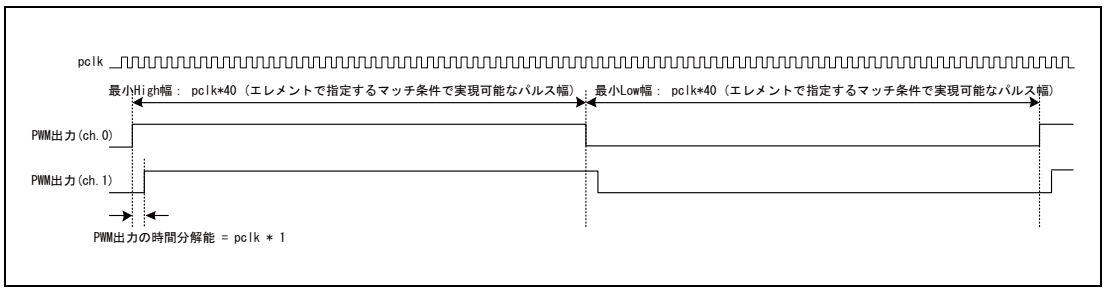


図 23.3 パルス出力の使用条件

- エレメント RAM
  - エレメント 128 個を定義可能です。
  - エレメント情報を全パルス生成チャネル（16ch）で共有可能。
    パルス生成チャネルからエレメント RAM へのアクセスは時分割で行います。
    （イベント入力部が時分割を制御）
  - 各エレメントは個別にメモリ上に配置され、CPU から Read/Write が可能です。
  - 各エレメントへの Write は、3word（32bit × 3）分を連続してアクセスする必要があります。
  - マッチ条件（相対／絶対）算出用の演算機能を内蔵しています。
  - エレメント RAM はエラー訂正回路（ECC）を搭載しています。
    ECC の詳細については、**「第 30 章　セーフティ」**を参照下さい。

23.2.1 用語

本章に記載する用語は、下表のように定義しています。

表中の説明は、APA n 1 チャネルを想定した説明となっています。

表 23.5 用語一覧 (1/2)

単語	本章での定義
APA	Autonomous Pulse Adapter。自律型パルス制御アダプタ
外部リファレンス	パルス生成のために参照される各種タイマ類、ADC 類、センサ類などのデータ出力信号を、ここではリファレンスとしています。 1ch あたり 16bit 幅、10ch 接続可能な構成を想定しています。 分解能（周波数）の異なるリファレンスの混在が可能です。
ソフトウェア リファレンス	ソフトウェアから書き込むことで、仮想的なリファレンスとして使用できるレジスタ領域（16bit）で、1ch が使用可能です。
リファレンスバス	全リファレンス 11ch （外部 10ch ＋ソフトウェア 1ch）を時分割で多重化した APA 内部のローカルバスです。
イベント	APA 内部の制御のトリガとなる信号を、ここではイベントとします。具体的には周辺マクロからの割り込み信号、APA 自身の PWM 出力信号などです。 イベント 1ch あたり 1bit とし、最大で 32ch まで使用可能です。 （うち 16ch は入力 64ch より選択可能、残り 16ch は固定的な接続となります）。
ソフトウェアイベント	ソフトウェアから書き込むことで、仮想的なイベントとして使用できるレジスタ領域で、1bit × 6ch 使用可能です。
イベントバス	イベント 32ch をパラレルに連結した APA 内部のローカルバスです。
エレメント	パルス生成条件となる各種パラメータ類をセットにしたデータ構造です。 各パルス生成チャネルは、参照しているエレメントに定義された設定に従ってパルス生成を行います。 • エレメントの内容は、具体的にはリファレンス入力番号（0 ～ 7）、PWM 出力を ON にする条件（=, <, >）、OFF にする条件（同）、任意のイベント入力に対する例外処理設定、次のエレメントへのポインタなど。 • エレメントの実体は APA 内部のローカルメモリ（エレメント RAM）内に定義され、パルス生成を開始する前に CPU で設定します。 • 各エレメントには、次のエレメントへのポインタが定義されており、例外処理（Transfer）によって次のエレメントへ遷移します。複数のエレメントを組み合わせることで、複雑なパルス列を実現することができます。
例外	各パルス生成チャネルの動作制御を、「例外」とします。 • 例外には [Postpone], [Force], [Restart], [Transfer], [Start], [Stop] の 6 種類があり、それぞれのトリガに任意のイベントを割り当てることができます。
リファレンス時分割	各パルス生成チャネル（0 ～ 15）へリファレンス入力を分配する際に行われる時分割処理です。
リファレンススロット	リファレンス時分割により時分割された時間の一単位（= pclk × 1）です。
固定イベント入力	PWM 出力からループバックで使用できる分のイベント入力です。 固定的に使用できます。
選択イベント入力	外部イベント入力 58ch+ ソフトウェアイベント入力 6ch の合計 64ch のうち 16ch 分だけ選んで使用できるイベント入力です。 同時に使用できるイベント入力は、固定イベント（16ch）+ 選択イベント入力（16ch）で 32ch となります。
イベント時分割	エレメント RAM や演算器のハードウェアリソース共有のため、APA 内の回路が使用可能な時間割り振りを行っています。
イベントスロット	イベント時分割により時分割された時間の一単位（= pclk × 1）です。
共有サイクル	イベント時分割が一周する周期です。 20 イベントスロット（pclk × 20）で一周となります。
パルス生成チャネル	PWM 波形を生成する回路です。 任意のリファレンス入力を監視し、条件にあった PWM 波形を生成します。 パルス生成チャネルは全部で 16ch 搭載しており、それぞれ独立して動作可能です。 本章では、パルス生成チャネル 0 ～ 15 を PGCH0 ～ 15 と表記する場合もあります。

表 23.5 用語一覧 (2/2)

単語	本章での定義
ON マッチ／ OFF マッチ	パルス生成 ch での PWM 波の生成において、リファレンス入力がエレメント内で定義されたパルス生成条件を満たすことをマッチと呼びます。ON 条件を満たすのは ON マッチ、OFF 条件なら OFF マッチとなります。
ON 待ち／ OFF 待ち	ON マッチを監視する状態が ON 待ち、OFF マッチ監視状態が OFF 待ちとなります。 ON 待ちと OFF 待ちは排他です。
絶対指定	ON/OFF マッチ比較動作において、マッチ条件の基準となる値を絶対値で指定することです。 リファレンス値と直接比較可能なフォーマットでの指定となっています。（対義語：相対指定）
相対指定	ON/OFF マッチ比較動作において、マッチ比較開始時点でのリファレンス値からの差分によって、マッチ条件を指定することです。 差分での指定のためリファレンス値と直接比較できません。 （絶対指定のフォーマットに変換する処理が入ります）。 （対義語：絶対指定）
時間分解能	APA が入力または出力可能な信号の時間的な最小単位をクロックサイクルで表したものです。 例として、入力信号に対して pclk × 4 と定義されていた場合（**表 23.1** のリファレンス入力 A）は、pclk が 4cycle 以上の周期で変化する入力信号を処理することができることを表します。 また、出力信号に対して pclk × 1 と定義されていた場合（**表 23.4** の PWM 出力）は、信号は pclk の 1 サイクルごとにトグルすることができることを表します。
チャネル有効設定	リファレンス・イベントバスが動作状態かつ、該当するパルス生成チャネルが動作許可状態に設定することです。
PCLK(pclk)	非変調低速周辺クロック (CLKC_LSB) 詳細は**「第 11 章 クロックコントローラ」**を参照下さい。

23.3 構成

図 23.4 に APA のブロック図を示します。

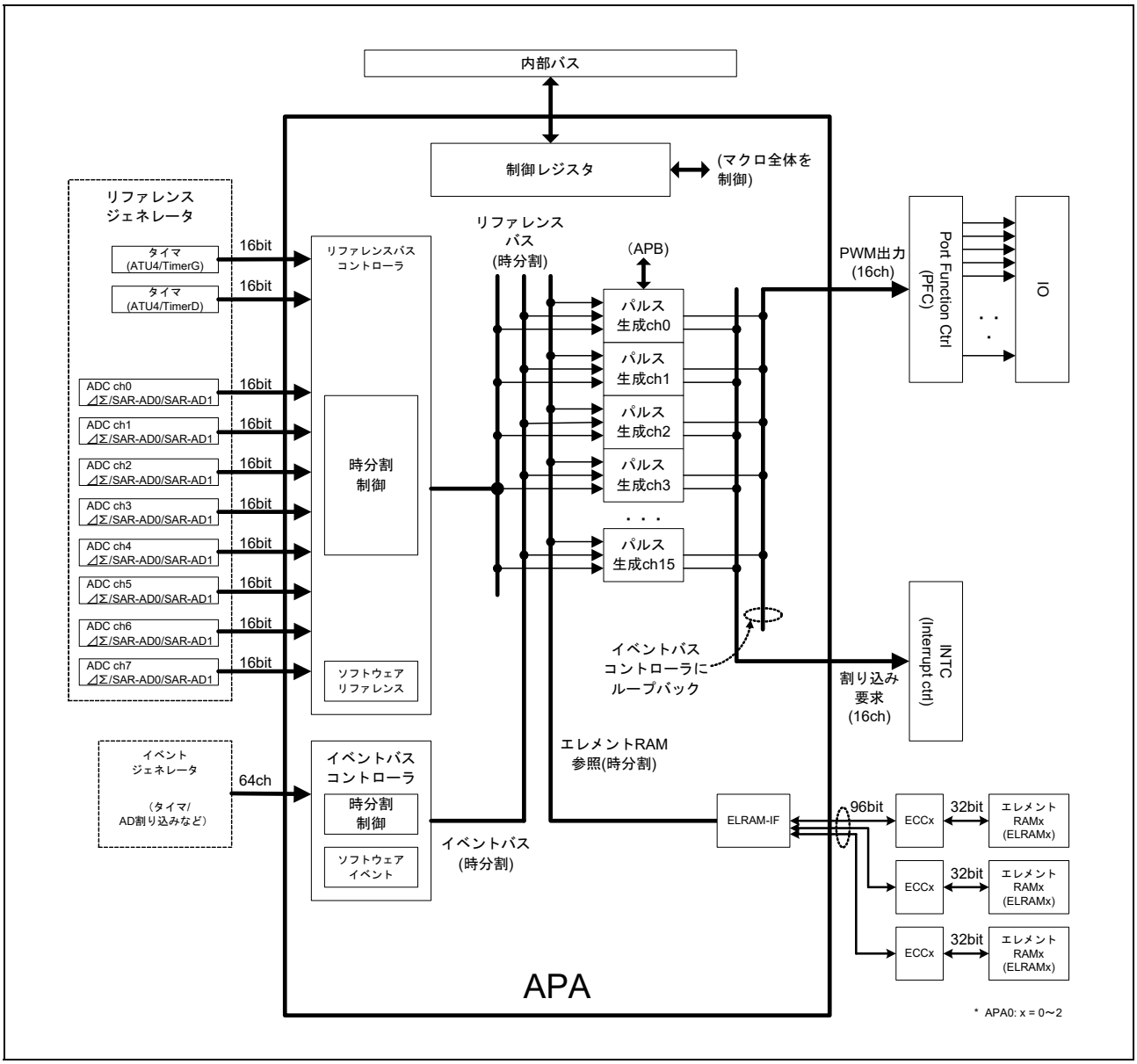


図 23.4 APA のブロック図

APA0 のイベント入力の要因は**表 23.6** のとおりです。

表 23.6 APA0 の外部イベント要因

外部イベント要因	機能
外部イベント要因 0 ～ 15	APA0 割り込み出力 0 ～ 15
外部イベント要因 16 ～ 19	ATU タイマ D0m コンペアマッチ A （m: 0 ～ 3）
外部イベント要因 20 ～ 23	ATU タイマ D0m コンペアマッチ B （m: 0 ～ 3）
外部イベント要因 24 ～ 27	ATU タイマ D TOD0mA 出力 （m: 0 ～ 3）
外部イベント要因 28 ～ 31	ATU タイマ D TOD0mB 出力 （m: 0 ～ 3）
外部イベント要因 32 ～ 35	ATU タイマ D0 ダウンカウンタアンダーフロー m （m: 0 ～ 3）
外部イベント要因 36 ～ 43	タイマ G コンペアマッチ割り込み チャネル m （m: 0 ～ 7）
外部イベント要因 44	APA0 用 ECC の 2bit-error 検出割り込み （ECC0 ～ 2 のマージ割り込み）
外部イベント要因 45 ～ 48	DFE CH6 ～ 9 条件一致割り込み
外部イベント要因 49 ～ 56	未使用（固定値 Low 入力）
外部イベント要因 57	未使用イベント処置用の固定値入力

23.4 レジスタ

APAn のレジスタアドレスは、ベースアドレス< APAn_base >からのオフセットで表されます。

各 APA のベースアドレス< APAn_base >を**表 23.7** に示します。

表 23.7 レジスタベースアドレス< APAn_base >

APAn のチャネル	APAn_base アドレス
APA0	FFEB 0000_H

23.4.1 レジスター覧

APAn には、**表 23.8** に示すレジスタがあります。

表 23.8 APAn のレジスタ (1/5)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
APAn 動作イネーブルレジスタ	APAAnEN	00_H	<APAn_base> + 0000_H	8
未使用領域注 1	—	00000000_H	<APAn_base> + 0004_H	32
APAn チャネル動作イネーブルレジスタ	APAAnCHEN	00000000_H	<APAn_base> + 0008_H	32
APAn チャネル出力ステータスレジスタ	APAAnCHST	0000_H	<APAn_base> + 0008_H	16
未使用領域注 1	—	00000000_H	<APAn_base> + 0010_H ～ <APAn_base> + $01FF_H$	32
APAn リファレンスデータレジスタ 0	APAAnRFDT0	0000_H	<APAn_base> + 0200_H	16
APAn リファレンスデータレジスタ 1	APAAnRFDT1	0000_H	<APAn_base> + 0204_H	16
APAn リファレンスデータレジスタ 2	APAAnRFDT2	0000_H	<APAn_base> + 0208_H	16
APAn リファレンスデータレジスタ 3	APAAnRFDT3	0000_H	<APAn_base> + $020C_H$	16
APAn リファレンスデータレジスタ 4	APAAnRFDT4	0000_H	<APAn_base> + 0210_H	16
APAn リファレンスデータレジスタ 5	APAAnRFDT5	0000_H	<APAn_base> + 0214_H	16
APAn リファレンスデータレジスタ 6	APAAnRFDT6	0000_H	<APAn_base> + 0218_H	16
APAn リファレンスデータレジスタ 7	APAAnRFDT7	0000_H	<APAn_base> + $021C_H$	16
APAn リファレンスデータレジスタ 8	APAAnRFDT8	0000_H	<APAn_base> + 0220_H	16
APAn リファレンスデータレジスタ 9	APAAnRFDT9	0000_H	<APAn_base> + 0224_H	16
APAn ソフトウェアリファレンスデータレジスタ	APAAnRFSW	0000_H	<APAn_base> + 0228_H	16
未使用領域注 1	—	00000000_H	<APAn_base> + $022C_H$ ～ <APAn_base> + $023C_H$	32
APAn リファレンス最大値設定レジスタ 0	APAAnRFMX0	$FFFF_H$	<APAn_base> + 0240_H	16
APAn リファレンス最大値設定レジスタ 1	APAAnRFMX1	$FFFF_H$	<APAn_base> + 0244_H	16
未使用領域注 1	—	00000000_H	<APAn_base> + 0248_H ～ <APAn_base> + 0264_H	32
APAn ソフトウェアリファレンス最大値設定レジスタ	APAAnRFMXSW	$FFFF_H$	<APAn_base> + 0268_H	16
未使用領域注 1	—	00000000_H	<APAn_base> + $026C_H$ ～ <APAn_base> + $03FC_H$	32
APAn イベント選択レジスタ 0	APAAnEVSL00	00_H	<APAn_base> + 0400_H	8
APAn イベント選択レジスタ 1	APAAnEVSL01	00_H	<APAn_base> + 0404_H	8
APAn イベント選択レジスタ 2	APAAnEVSL02	00_H	<APAn_base> + 0408_H	8
APAn イベント選択レジスタ 3	APAAnEVSL03	00_H	<APAn_base> + $040C_H$	8
APAn イベント選択レジスタ 4	APAAnEVSL04	00_H	<APAn_base> + 0410_H	8

表 23.8 APAn のレジスタ (2/5)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
APAn イベント選択レジスタ 5	APAAnEVSL05	00_H	<APAn_base> + 0414_H	8
APAn イベント選択レジスタ 6	APAAnEVSL06	00_H	<APAn_base> + 0418_H	8
APAn イベント選択レジスタ 7	APAAnEVSL07	00_H	<APAn_base> + $041C_H$	8
APAn イベント選択レジスタ 8	APAAnEVSL08	00_H	<APAn_base> + 0420_H	8
APAn イベント選択レジスタ 9	APAAnEVSL09	00_H	<APAn_base> + 0424_H	8
APAn イベント選択レジスタ 10	APAAnEVSL10	00_H	<APAn_base> + 0428_H	8
APAn イベント選択レジスタ 11	APAAnEVSL11	00_H	<APAn_base> + $042C_H$	8
APAn イベント選択レジスタ 12	APAAnEVSL12	00_H	<APAn_base> + 0430_H	8
APAn イベント選択レジスタ 13	APAAnEVSL13	00_H	<APAn_base> + 0434_H	8
APAn イベント選択レジスタ 14	APAAnEVSL14	00_H	<APAn_base> + 0438_H	8
APAn イベント選択レジスタ 15	APAAnEVSL15	00_H	<APAn_base> + $043C_H$	8
APAn ソフトウェアイベントレジスタ	APAAnEVSW	00000000_H	<APAn_base> + 0440_H	32
APAn ソフトウェアイベント設定レジスタ	APAAnEVSC	0000_H	<APAn_base> + 0444_H	16
APAn イベントステータスレジスタ A	APAAnESTA	00000000_H	<APAn_base> + 0448_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + $044C_H$ ～ <APAn_base> + $05FC_H$	32
APAn チャネル設定レジスタ A00	APAAnCCGA00	00000100_H	<APAn_base> + 0600_H	32
APAn チャネル設定レジスタ B00	APAAnCCGB00	00000000_H	<APAn_base> + 0604_H	32
APAn チャネルステータスレジスタ A00	APAAnCSTA00	00000000_H	<APAn_base> + 0608_H	32
APAn チャネルステータスレジスタ B00	APAAnCSTB00	00000000_H	<APAn_base> + $060C_H$	32
APAn チャネルステータスレジスタ C00	APAAnCSTC00	00000000_H	<APAn_base> + 0610_H	32
APAn チャネルステータスレジスタ D00	APAAnCSTD00	00000000_H	<APAn_base> + 0614_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + 0618_H ～ <APAn_base> + $061C_H$	32
APAn チャネル設定レジスタ A01	APAAnCCGA01	00000100_H	<APAn_base> + 0620_H	32
APAn チャネル設定レジスタ B01	APAAnCCGB01	00000000_H	<APAn_base> + 0624_H	32
APAn チャネルステータスレジスタ A01	APAAnCSTA01	00000000_H	<APAn_base> + 0628_H	32
APAn チャネルステータスレジスタ B01	APAAnCSTB01	00000000_H	<APAn_base> + $062C_H$	32
APAn チャネルステータスレジスタ C01	APAAnCSTC01	00000000_H	<APAn_base> + 0630_H	32
APAn チャネルステータスレジスタ D01	APAAnCSTD01	00000000_H	<APAn_base> + 0634_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + 0638_H ～ <APAn_base> + $063C_H$	32
APAn チャネル設定レジスタ A02	APAAnCCGA02	00000100_H	<APAn_base> + 0640_H	32
APAn チャネル設定レジスタ B02	APAAnCCGB02	00000000_H	<APAn_base> + 0644_H	32
APAn チャネルステータスレジスタ A02	APAAnCSTA02	00000000_H	<APAn_base> + 0648_H	32
APAn チャネルステータスレジスタ B02	APAAnCSTB02	00000000_H	<APAn_base> + $064C_H$	32
APAn チャネルステータスレジスタ C02	APAAnCSTC02	00000000_H	<APAn_base> + 0650_H	32
APAn チャネルステータスレジスタ D02	APAAnCSTD02	00000000_H	<APAn_base> + 0654_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + 0658_H ～ <APAn_base> + $065C_H$	32
APAn チャネル設定レジスタ A03	APAAnCCGA03	00000100_H	<APAn_base> + 0660_H	32
APAn チャネル設定レジスタ B03	APAAnCCGB03	00000000_H	<APAn_base> + 0664_H	32
APAn チャネルステータスレジスタ A03	APAAnCSTA03	00000000_H	<APAn_base> + 0668_H	32
APAn チャネルステータスレジスタ B03	APAAnCSTB03	00000000_H	<APAn_base> + $066C_H$	32

表 23.8 APAn のレジスタ (3/5)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
APAn チャネルステータスレジスタ C03	APAAnCSTC03	00000000_H	<APAn_base> + 0670_H	32
APAn チャネルステータスレジスタ D03	APAAnCSTD03	00000000_H	<APAn_base> + 0674_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + 0678_H ～ <APAn_base> + $067C_H$	32
APAn チャネル設定レジスタ A04	APAAnCCGA04	00000100_H	<APAn_base> + 0680_H	32
APAn チャネル設定レジスタ B04	APAAnCCGB04	00000000_H	<APAn_base> + 0684_H	32
APAn チャネルステータスレジスタ A04	APAAnCSTA04	00000000_H	<APAn_base> + 0688_H	32
APAn チャネルステータスレジスタ B04	APAAnCSTB04	00000000_H	<APAn_base> + $068C_H$	32
APAn チャネルステータスレジスタ C04	APAAnCSTC04	00000000_H	<APAn_base> + 0690_H	32
APAn チャネルステータスレジスタ D04	APAAnCSTD04	00000000_H	<APAn_base> + 0694_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + 0698_H ～ <APAn_base> + $069C_H$	32
APAn チャネル設定レジスタ A05	APAAnCCGA05	00000100_H	<APAn_base> + $06A0_H$	32
APAn チャネル設定レジスタ B05	APAAnCCGB05	00000000_H	<APAn_base> + $06A4_H$	32
APAn チャネルステータスレジスタ A05	APAAnCSTA05	00000000_H	<APAn_base> + $06A8_H$	32
APAn チャネルステータスレジスタ B05	APAAnCSTB05	00000000_H	<APAn_base> + $06AC_H$	32
APAn チャネルステータスレジスタ C05	APAAnCSTC05	00000000_H	<APAn_base> + $06B0_H$	32
APAn チャネルステータスレジスタ D05	APAAnCSTD05	00000000_H	<APAn_base> + $06B4_H$	32
未使用領域注 1	—	00000000_H	<APAn_base> + $06B8_H$ ～ <APAn_base> + $06BC_H$	32
APAn チャネル設定レジスタ A06	APAAnCCGA06	00000100_H	<APAn_base> + $06C0_H$	32
APAn チャネル設定レジスタ B06	APAAnCCGB06	00000000_H	<APAn_base> + $06C4_H$	32
APAn チャネルステータスレジスタ A06	APAAnCSTA06	00000000_H	<APAn_base> + $06C8_H$	32
APAn チャネルステータスレジスタ B06	APAAnCSTB06	00000000_H	<APAn_base> + $06CC_H$	32
APAn チャネルステータスレジスタ C06	APAAnCSTC06	00000000_H	<APAn_base> + $06D0_H$	32
APAn チャネルステータスレジスタ D06	APAAnCSTD06	00000000_H	<APAn_base> + $06D4_H$	32
未使用領域注 1	—	00000000_H	<APAn_base> + $06D8_H$ ～ <APAn_base> + $06DC_H$	32
APAn チャネル設定レジスタ A07	APAAnCCGA07	00000100_H	<APAn_base> + $06E0_H$	32
APAn チャネル設定レジスタ B07	APAAnCCGB07	00000000_H	<APAn_base> + $06E4_H$	32
APAn チャネルステータスレジスタ A07	APAAnCSTA07	00000000_H	<APAn_base> + $06E8_H$	32
APAn チャネルステータスレジスタ B07	APAAnCSTB07	00000000_H	<APAn_base> + $06EC_H$	32
APAn チャネルステータスレジスタ C07	APAAnCSTC07	00000000_H	<APAn_base> + $06F0_H$	32
APAn チャネルステータスレジスタ D07	APAAnCSTD07	00000000_H	<APAn_base> + $06F4_H$	32
未使用領域注 1	—	00000000_H	<APAn_base> + $06F8_H$ ～ <APAn_base> + $06FC_H$	32
APAn チャネル設定レジスタ A08	APAAnCCGA08	00000100_H	<APAn_base> + 0700_H	32
APAn チャネル設定レジスタ B08	APAAnCCGB08	00000000_H	<APAn_base> + 0704_H	32
APAn チャネルステータスレジスタ A08	APAAnCSTA08	00000000_H	<APAn_base> + 0708_H	32
APAn チャネルステータスレジスタ B08	APAAnCSTB08	00000000_H	<APAn_base> + $070C_H$	32
APAn チャネルステータスレジスタ C08	APAAnCSTC08	00000000_H	<APAn_base> + 0710_H	32
APAn チャネルステータスレジスタ D08	APAAnCSTD08	00000000_H	<APAn_base> + 0714_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + 0718_H ～ <APAn_base> + $071C_H$	32
APAn チャネル設定レジスタ A09	APAAnCCGA09	00000100_H	<APAn_base> + 0720_H	32

表 23.8 APAn のレジスタ (4/5)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
APAn チャネル設定レジスタ B09	APAAnCCGB09	00000000_H	<APAn_base> + 0724_H	32
APAn チャネルステータスレジスタ A09	APAAnCSTA09	00000000_H	<APAn_base> + 0728_H	32
APAn チャネルステータスレジスタ B09	APAAnCSTB09	00000000_H	<APAn_base> + $072C_H$	32
APAn チャネルステータスレジスタ C09	APAAnCSTC09	00000000_H	<APAn_base> + 0730_H	32
APAn チャネルステータスレジスタ D09	APAAnCSTD09	00000000_H	<APAn_base> + 0734_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + 0738_H ～ <APAn_base> + $073C_H$	32
APAn チャネル設定レジスタ A10	APAAnCCGA10	00000100_H	<APAn_base> + 0740_H	32
APAn チャネル設定レジスタ B10	APAAnCCGB10	00000000_H	<APAn_base> + 0744_H	32
APAn チャネルステータスレジスタ A10	APAAnCSTA10	00000000_H	<APAn_base> + 0748_H	32
APAn チャネルステータスレジスタ B10	APAAnCSTB10	00000000_H	<APAn_base> + $074C_H$	32
APAn チャネルステータスレジスタ C10	APAAnCSTC10	00000000_H	<APAn_base> + 0750_H	32
APAn チャネルステータスレジスタ D10	APAAnCSTD10	00000000_H	<APAn_base> + 0754_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + 0758_H ～ <APAn_base> + $075C_H$	32
APAn チャネル設定レジスタ A11	APAAnCCGA11	00000100_H	<APAn_base> + 0760_H	32
APAn チャネル設定レジスタ B11	APAAnCCGB11	00000000_H	<APAn_base> + 0764_H	32
APAn チャネルステータスレジスタ A11	APAAnCSTA11	00000000_H	<APAn_base> + 0768_H	32
APAn チャネルステータスレジスタ B11	APAAnCSTB11	00000000_H	<APAn_base> + $076C_H$	32
APAn チャネルステータスレジスタ C11	APAAnCSTC11	00000000_H	<APAn_base> + 0770_H	32
APAn チャネルステータスレジスタ D11	APAAnCSTD11	00000000_H	<APAn_base> + 0774_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + 0778_H ～ <APAn_base> + $077C_H$	32
APAn チャネル設定レジスタ A12	APAAnCCGA12	00000100_H	<APAn_base> + 0780_H	32
APAn チャネル設定レジスタ B12	APAAnCCGB12	00000000_H	<APAn_base> + 0784_H	32
APAn チャネルステータスレジスタ A12	APAAnCSTA12	00000000_H	<APAn_base> + 0788_H	32
APAn チャネルステータスレジスタ B12	APAAnCSTB12	00000000_H	<APAn_base> + $078C_H$	32
APAn チャネルステータスレジスタ C12	APAAnCSTC12	00000000_H	<APAn_base> + 0790_H	32
APAn チャネルステータスレジスタ D12	APAAnCSTD12	00000000_H	<APAn_base> + 0794_H	32
未使用領域注 1	—	00000000_H	<APAn_base> + 0798_H ～ <APAn_base> + $079C_H$	32
APAn チャネル設定レジスタ A13	APAAnCCGA13	00000100_H	<APAn_base> + $07A0_H$	32
APAn チャネル設定レジスタ B13	APAAnCCGB13	00000000_H	<APAn_base> + $07A4_H$	32
APAn チャネルステータスレジスタ A13	APAAnCSTA13	00000000_H	<APAn_base> + $07A8_H$	32
APAn チャネルステータスレジスタ B13	APAAnCSTB13	00000000_H	<APAn_base> + $07AC_H$	32
APAn チャネルステータスレジスタ C13	APAAnCSTC13	00000000_H	<APAn_base> + $07B0_H$	32
APAn チャネルステータスレジスタ D13	APAAnCSTD13	00000000_H	<APAn_base> + $07B4_H$	32
未使用領域注 1	—	00000000_H	<APAn_base> + $07B8_H$ ～ <APAn_base> + $07BC_H$	32
APAn チャネル設定レジスタ A14	APAAnCCGA14	00000100_H	<APAn_base> + $07C0_H$	32
APAn チャネル設定レジスタ B14	APAAnCCGB14	00000000_H	<APAn_base> + $07C4_H$	32
APAn チャネルステータスレジスタ A14	APAAnCSTA14	00000000_H	<APAn_base> + $07C8_H$	32
APAn チャネルステータスレジスタ B14	APAAnCSTB14	00000000_H	<APAn_base> + $07CC_H$	32
APAn チャネルステータスレジスタ C14	APAAnCSTC14	00000000_H	<APAn_base> + $07D0_H$	32
APAn チャネルステータスレジスタ D14	APAAnCSTD14	00000000_H	<APAn_base> + $07D4_H$	32

表 23.8 APAn のレジスタ (5/5)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
未使用領域注 1	—	00000000_H	<APAn_base> + $07D8_H$ ～ <APAn_base> + $07DC_H$	32
APAn チャネル設定レジスタ A15	APAAnCCGA15	00000100_H	<APAn_base> + $07E0_H$	32
APAn チャネル設定レジスタ B15	APAAnCCGB15	00000000_H	<APAn_base> + $07E4_H$	32
APAn チャネルステータスレジスタ A15	APAAnCSTA15	00000000_H	<APAn_base> + $07E8_H$	32
APAn チャネルステータスレジスタ B15	APAAnCSTB15	00000000_H	<APAn_base> + $07EC_H$	32
APAn チャネルステータスレジスタ C15	APAAnCSTC15	00000000_H	<APAn_base> + $07F0_H$	32
APAn チャネルステータスレジスタ D15	APAAnCSTD15	00000000_H	<APAn_base> + $07F4_H$	32
未使用領域注 1	—	00000000_H	<APAn_base> + $07F8_H$ ～ <APAn_base> + $0FFC_H$	32
APAn エレメント設定レジスタ A000	APAAnELMA000	—注 2	<APAn_base> + 1000_H	32
APAn エレメント設定レジスタ B000	APAAnELMB000	—注 2	<APAn_base> + 1004_H	32
APAn エレメント設定レジスタ C000	APAAnELMC000	—注 2	<APAn_base> + 1008_H	32
未使用領域注 1	—	—注 2	<APAn_base> + $100C_H$	32
APAn エレメント設定レジスタ A001	APAAnELMA001	—注 2	<APAn_base> + 1010_H	32
APAn エレメント設定レジスタ B001	APAAnELMB001	—注 2	<APAn_base> + 1014_H	32
APAn エレメント設定レジスタ C001	APAAnELMC001	—注 2	<APAn_base> + 1018_H	32
未使用領域注 1	—	—注 2	<APAn_base> + $101C_H$	32
・・・・・以下 <APAn_base> + 1020_H ～ <APAn_base> + $17DC_H$ まで同様				
APAn エレメント設定レジスタ A126	APAAnELMA126	—注 2	<APAn_base> + $17E0_H$	32
APAn エレメント設定レジスタ B126	APAAnELMB126	—注 2	<APAn_base> + $17E4_H$	32
APAn エレメント設定レジスタ C126	APAAnELMC126	—注 2	<APAn_base> + $17E8_H$	32
未使用領域注 1	—	—注 2	<APAn_base> + $17EC_H$	32
APAn エレメント設定レジスタ A127	APAAnELMA127	—注 2	<APAn_base> + $17F0_H$	32
APAn エレメント設定レジスタ B127	APAAnELMB127	—注 2	<APAn_base> + $17F4_H$	32
APAn エレメント設定レジスタ C127	APAAnELMC127	—注 2	<APAn_base> + $17F8_H$	32
未使用領域注 1	—	—注 2	<APAn_base> + $17FC_H$	32
未使用領域注 3	—	—注 2	<APAn_base> + 1800_H ～ <APAn_base> + $1FFC_H$	32

注 1. 未使用領域は write 不可、Read すると 0 が読み出されます。
注 2. レジスタの実態は RAM 上にあるため、リセット後の値は不定となります。
注 3. <APAn_base> + 1000_H ～ <APAn_base> + $17FC_H$ のミラー領域となっています。
write を行った場合、エレメント設定が上書きされますので注意して下さい。

23.4.2 制御レジスタ詳細（全体動作）

APA 全体の動作に関する設定を行うレジスタの詳細説明になります。

23.4.2.1 APAAnEN — APAn 動作イネーブルレジスタ

リファレンスバス・イベントバスの動作・停止を制御するレジスタです。

本レジスタへのライトは、全パルス生成チャネル（全 16 チャネル）が動作停止している状態（APAAnCHEN レジスタが 00000000_H）で行って下さい。

パルス生成チャネルが、動作停止していない状態で APAACMENAPA ビットを 0 に書き換えると、意図しない PWM 波形が出力される場合があります。

APA の動作開始・停止の設定方法については**「23.5.7.4 動作手順」**を参照して下さい。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	APAACMENAPA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 23.9 APAAnEN レジスタの内容

ビット位置	ビット名	機能
0	APAACMENAPA	APA の動作イネーブル 0：APA の動作停止 1：APA の動作開始

23.4.2.2 APAAnCHEN — APAn チャネル動作イネーブルレジスタ

全パルス生成チャネルの動作許可／停止を設定するレジスタです。

APAACMENPGCH [15:0] の各 bit でパルス生成チャネルの ON/OFF 制御を行います。

APAACMENPGCH [15:0] の各 bit は、対応した書き込みマスクビット（APAACMENMSKPGCH[15:0]）に “1” を Write した bit のみ、Write することが可能です。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 0008_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	APAACMENMSKPGCH[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAACMENPGCH15	APAACMENPGCH14	APAACMENPGCH13	APAACMENPGCH12	APAACMENPGCH11	APAACMENPGCH10	APAACMENPGCH9	APAACMENPGCH8	APAACMENPGCH7	APAACMENPGCH6	APAACMENPGCH5	APAACMENPGCH4	APAACMENPGCH3	APAACMENPGCH2	APAACMENPGCH1	APAACMENPGCH0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.10 APAAnCHEN レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	APAACMENMSKPGCH [15:0]	APAACMENPGCH [15:0] への書き込みマスクビット 各 bit はパルス生成チャネル（PGCH）15 ～ 0 の制御にそれぞれ割り当てられています。 0：APAACMENPGCH [15:0] への書き込み不可 1：APAACMENPGCH [15:0] への書き込み可能 ※ Read すると 0 が読めます。
15 ～ 0	APAACMENPGCH [15:0]	パルス生成チャネル（PGCH）の On/OFF を設定します。 各 bit はパルス生成チャネル（PGCH）15 ～ 0 の制御にそれぞれ割り当ています。 0：PGCH15 ～ 0 の動作停止 1：PGCH15 ～ 0 の動作許可

パルス生成チャネル（PGCH）に対する動作許可／停止設定は、下記の例のように設定します。

0x00FF_FFFF を書き込み ：PGCH7 ～ 0 を動作許可に設定

0x0000_00FF を書き込み ：何もしない（レジスタは変化せず、前の値を保持）

0xFFFF_0000 を書き込み ：PGCH15 ～ 0 を動作停止に設定

0x0000_0000 を書き込み ：何もしない（レジスタは変化せず、前の値を保持）

また、APAACMENMSKPGCH [15:0], APAACMENPGCH [15:0] の、各 bit はパルス生成チャネル（PGCH）に**表 23.11** のように対応しています。

表 23.11 PGCH に対する各 bit の対応

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
対応チャネル	PGCH15	PGCH14	PGCH13	PGCH12	PGCH11	PGCH10	PGCH9	PGCH8	PGCH7	PGCH6	PGCH5	PGCH4	PGCH3	PGCH2	PGCH1	PGCH0

注 1. パルス生成チャネルを動作停止から許可に設定する時は、リファレンスバス・イベントバスが動作状態（APAAnEN レジスタの APAACMENAPA ビットが 1）の時に行って下さい。
動作許可／停止の手順については、**「23.5.7.4 動作手順」**を参照下さい。

注 2. パルス生成チャネルを動作許可から停止に設定した時、実際に停止するまでには 1 ～ 2 の共有サイクル分の遅延が発生します。

23.4.2.3 APAAnCHST — APAn チャネル出力ステータスレジスタ

全パルス生成チャネルの動作ステータス（PWM）をモニターするレジスタです。

各 bit は、各パルス生成チャネルの現在の PWM 出力端子の出力レベルを表します。

アクセス 16 ビット単位でリード可能です。

アドレス <APAn_base> + 0008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAC MSTAT PWM15	APAAC MSTAT PWM14	APAAC MSTAT PWM13	APAAC MSTAT PWM12	APAAC MSTAT PWM11	APAAC MSTAT PWM10	APAAC MSTAT PWM9	APAAC MSTAT PWM8	APAAC MSTAT PWM7	APAAC MSTAT PWM6	APAAC MSTAT PWM5	APAAC MSTAT PWM4	APAAC MSTAT PWM3	APAAC MSTAT PWM2	APAAC MSTAT PWM1	APAAC MSTAT PWM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.12 APAAnCHST レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	APAACMSTAT PWM [15:0]	各パルス生成チャネル（0 ～ 15）の PWM 出力レベルを表します。 各 bit とパルス生成チャネル（PGCH）の対応は**表 23.11** を参照下さい。

23.4.3 制御レジスタ詳細（リファレンスバス）

リファレンスバスの動作に関する設定・参照を行うレジスタの詳細説明になります。

23.4.3.1 APAAnRFDTm — APAn リファレンスデータレジスタ m（m = 0 ～ 9）

リファレンス入力の値を参照するレジスタです。

参照できる値は、リファレンスバスに出力した最新の値となります。

アクセス 16 ビット単位でリード可能です。

アドレス <APAn_base> + 0200_H + (04_H x m)

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAREFBDAT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.13 APAAnRFDTm レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	APAAREFBDAT[15:0]	リファレンス入力 m の最新のデータを参照します。注 1

注 1. リファレンスバス・イベントバス動作時（APAAnEN レジスタの APAACMENAPA ビット = 1）のみ、最新のデータをリード可能です。
リファレンスバス・イベントバス停止時（APAAnEN レジスタの APAACMENAPA ビット = 0）、リードした場合値を保持します。

レジスタとリファレンス入力は**表 23.14** のように対応します。

表 23.14 APAAnRFDT0 ～ 9 レジスタとリファレンス入力チャネルの対応

レジスタ	リファレンス ID	リファレンス入力
APAAnRFDT0	0	リファレンス入力 0 [15:0]
APAAnRFDT1	1	リファレンス入力 1 [15:0]
APAAnRFDT2	2	リファレンス入力 2 [15:0]
APAAnRFDT3	3	リファレンス入力 3 [15:0]
APAAnRFDT4	4	リファレンス入力 4 [15:0]
APAAnRFDT5	5	リファレンス入力 5 [15:0]
APAAnRFDT6	6	リファレンス入力 6 [15:0]
APAAnRFDT7	7	リファレンス入力 7 [15:0]
APAAnRFDT8	8	リファレンス入力 8 [15:0]
APAAnRFDT9	9	リファレンス入力 9 [15:0]

23.4.3.2 APAAnRFSW — APAn ソフトウェアリファレンスデータレジスタ

ソフトウェアリファレンス入力を設定・参照するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 0228_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAREFBDATSW[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.15 APAAnRFSW レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	APAAREFBDATSW [15:0]	ソフトウェアリファレンス入力を符号なしとして指定します。注 1

注 1. 本レジスタへの設定値は、write 完了直後にリファレンスデータ入力として反映されます。
ただし、リファレンスバス出力としては、リファレンスバススロット ＝ 12_H 後に反映されます。
リファレンスバスの動作については、**「23.5.2.2 リファレンスバスの動作」**を参照下さい。

23.4.3.3 APAAnRFMXm — APAn リファレンス最大値設定レジスタ m（m = 0, 1, sw）

リファレンス入力の最大値を設定するレジスタです。

本レジスタは、マッチ条件に相対指定を使用する場合に参照する設定値を格納します。

（相対指定⇒絶対指定に変換する際のオーバーフロー処理のために参照します。）

相対指定が使用可能なリファレンスは、リファレンス入力 0、1、ソフトウェアリファレンス入力のみであり、リファレンス入力 2 ～ 9 については絶対指定のみ使用可能です。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 0240_H + (m × 04_H) (m = 0,1) 、<APAn_base> + 0268_H (m = sw)

リセット後の値 $FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAREFBMAX[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.16 APAAnRFMXm レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	APAAREFBMAX [15:0]	ソフトウェアリファレンス入力の最大値を符号なしとして指定します。注 1

注 1. 本レジスタの設定は、全パルス生成チャネルが停止（APAAnCHEN レジスタの APAACMENPGCH ビット = 0000_H）の時に行って下さい。
それ以外の状態で設定を行った場合、マッチ比較が意図しない動作となる場合があります。

レジスタとリファレンス入力は**表 23.17** のように対応します。

表 23.17 APAAnRFMXm レジスタとリファレンス入力の対応

レジスタ	リファレンス入力	
	リファレンス ID	時間分解能
APAAnRFMX0	0	pclk × 4
APAAnRFMX1	1	pclk × 4
APAAnRFMXsw	F	pclk × 20

対応するリファレンス入力が APAn のダイナミックレンジ（16 ビット）よりも小さい場合、本レジスタの設定は、対応するリファレンス入力が取りうる値（ダイナミックレンジ）と同じ値に設定して下さい。

リファレンス入力のダイナミックレンジと本レジスタが一致しない場合、マッチ比較に相対指定を使用した際に意図通りにマッチしなくなる可能性があります。

対応するリファレンス入力の元となるカウンタが、APAn のダイナミックレンジよりも大きい場合、元となるカウンタの、オーバーフロー時の APAn のリファレンス入力値との関係性に注意が必要です。

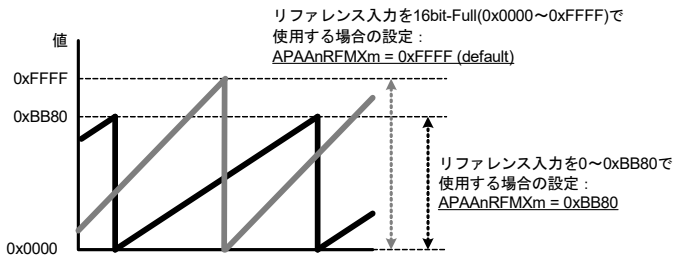


図 23.5 APAAnRFMXm（m = 0、1、sw）の設定例

23.4.4 制御レジスタ詳細（イベントバス）

イベントバスの動作に関する設定・参照を行うレジスタの詳細説明になります。

23.4.4.1 APAAnEVSLm — APAn イベント選択レジスタ m（m = 00 ～ 15）

イベント入力の選択を行うレジスタです。

イベントバス [31:16] において、外部イベント入力 58 本とソフトウェアイベント 6 本をあわせた 64 本のうち、任意の 16 本を選択イベント入力として使用することができます。

本レジスタでは、選択イベント入力を設定します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 0400_H + (m x 04_H)

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	APAAEVSEL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 23.18 APAAnEVSLm レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブビット Write は無効で、Read すると 0 が読めます。
5 ～ 0	APAAEVSEL [5:0]	イベント入力を選択します。注 1

注 1. 本レジスタの設定は、全パルス生成チャネル停止（APAAnCHEN レジスタの APAACMENPGCH ビット = 0000_H）のときに行って下さい。
それ以外の状態で本レジスタの設定を行った場合、イベント検出が誤動作する場合があります。

APAAnEVSLm レジスタの設定値とイベント入力選択は、**表 23.19** のように対応しています。

APAAnEVSLm レジスタで選択可能なイベントは選択イベント入力と呼びます。

APAAnEVSLm レジスタの設定と、APAn 内部のイベントバス [31:0] との対応は**表 23.20** を参照してください。

表 23.19 APAAnEVSLm レジスタの設定値とイベント入力との対応

設定値	選択イベント入力	設定値	選択イベント入力	設定値	選択イベント入力	設定値	選択イベント入力
0x00	外部イベント要因 0	0x10	外部イベント要因 16	0x20	外部イベント要因 32	0x30	外部イベント要因 48
0x01	外部イベント要因 1	0x11	外部イベント要因 17	0x21	外部イベント要因 33	0x31	外部イベント要因 49
0x02	外部イベント要因 2	0x12	外部イベント要因 18	0x22	外部イベント要因 34	0x32	外部イベント要因 50
0x03	外部イベント要因 3	0x13	外部イベント要因 19	0x23	外部イベント要因 35	0x33	外部イベント要因 51
0x04	外部イベント要因 4	0x14	外部イベント要因 20	0x24	外部イベント要因 36	0x34	外部イベント要因 52
0x05	外部イベント要因 5	0x15	外部イベント要因 21	0x25	外部イベント要因 37	0x35	外部イベント要因 53
0x06	外部イベント要因 6	0x16	外部イベント要因 22	0x26	外部イベント要因 38	0x36	外部イベント要因 54
0x07	外部イベント要因 7	0x17	外部イベント要因 23	0x27	外部イベント要因 39	0x37	外部イベント要因 55
0x08	外部イベント要因 8	0x18	外部イベント要因 24	0x28	外部イベント要因 40	0x38	外部イベント要因 56
0x09	外部イベント要因 9	0x19	外部イベント要因 25	0x29	外部イベント要因 41	0x39	外部イベント要因 57
0x0a	外部イベント要因 10	0x1a	外部イベント要因 26	0x2a	外部イベント要因 42	0x3a	ソフトウェアイベント 0
0x0b	外部イベント要因 11	0x1b	外部イベント要因 27	0x2b	外部イベント要因 43	0x3b	ソフトウェアイベント 1
0x0c	外部イベント要因 12	0x1c	外部イベント要因 28	0x2c	外部イベント要因 44	0x3c	ソフトウェアイベント 2
0x0d	外部イベント要因 13	0x1d	外部イベント要因 29	0x2d	外部イベント要因 45	0x3d	ソフトウェアイベント 3
0x0e	外部イベント要因 14	0x1e	外部イベント要因 30	0x2e	外部イベント要因 46	0x3e	ソフトウェアイベント 4
0x0f	外部イベント要因 15	0x1f	外部イベント要因 31	0x2f	外部イベント要因 47	0x3f	ソフトウェアイベント 5

APAn 内部のイベントバス [31:0] は、**表 23.20** の対応となっています。

- イベントバス [15:0] … PWM 出力 15 ～ 0 がそのまま対応します。（固定イベント入力）
- イベントバス [31:16] …APAAnEVSLm レジスタの設定に従ったイベント入力が使用可能です。（選択イベント入力）

表 23.20 イベントバス信号の入力元

固定イベント入力		
イベントバス	設定レジスタ	対応端子
イベントバス [0]	なし	PWM 出力 0
イベントバス [1]	なし	PWM 出力 1
イベントバス [2]	なし	PWM 出力 2
イベントバス [3]	なし	PWM 出力 3
イベントバス [4]	なし	PWM 出力 4
イベントバス [5]	なし	PWM 出力 5
イベントバス [6]	なし	PWM 出力 6
イベントバス [7]	なし	PWM 出力 7
イベントバス [8]	なし	PWM 出力 8
イベントバス [9]	なし	PWM 出力 9
イベントバス [10]	なし	PWM 出力 10
イベントバス [11]	なし	PWM 出力 11
イベントバス [12]	なし	PWM 出力 12
イベントバス [13]	なし	PWM 出力 13
イベントバス [14]	なし	PWM 出力 14
イベントバス [15]	なし	PWM 出力 15

選択イベント入力	
イベントバス	設定レジスタ
イベントバス [16]	APAAnEVSL00
イベントバス [17]	APAAnEVSL01
イベントバス [18]	APAAnEVSL02
イベントバス [19]	APAAnEVSL03
イベントバス [20]	APAAnEVSL04
イベントバス [21]	APAAnEVSL05
イベントバス [22]	APAAnEVSL06
イベントバス [23]	APAAnEVSL07
イベントバス [24]	APAAnEVSL08
イベントバス [25]	APAAnEVSL09
イベントバス [26]	APAAnEVSL10
イベントバス [27]	APAAnEVSL11
イベントバス [28]	APAAnEVSL12
イベントバス [29]	APAAnEVSL13
イベントバス [30]	APAAnEVSL14
イベントバス [31]	APAAnEVSL15

23.4.4.2 APAAnEVSW — APAn ソフトウェアイベントレジスタ

ソフトウェアイベントの発生を設定するレジスタです。

本レジスタの APAAEVSW [5:0] 各 bit の値は、そのままイベント入力として使用できます。

APAAEVSW [5:0] の各 bit は、対応した書き込みマスクビット（APAAEVSWMSK[5:0]）に 1 を Write した bit のみ、Write することが可能です。

動作オプションは、APAAnEVSC5 ～ 0 によって設定できます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 0440_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	APAAEVSWMSK[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	APAAEVSW5	APAAEVSW4	APAAEVSW3	APAAEVSW2	APAAEVSW1	APAAEVSW0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 23.21 APAAnEVSW レジスタの内容

ビット位置	ビット名	機能
31 ～ 22	—	リザーブビット write は無効で、read すると 0 が読めます。
21 ～ 16	APAAEVSWMSK [5:0]	APAAEVSW [5:0] への書き込みマスクします。 各 bit は APAAEVSW [5:0] の制御にそれぞれ割り当てられています。 0：APAAEVSW [i] に書き込み不可（i = 5 ～ 0） 1：APAAEVSW [i] に書き込み可能（i = 5 ～ 0） ※ Read すると 0 が読めます。
15 ～ 6	—	リザーブビット write は無効で、read すると 0 が読めます。
5 ～ 0	APAAEVSW [5:0]	ソフトウェアイベントを発生します。注 1 各 bit はソフトウェアイベント ID（5 ～ 0）に対応します。 0：ソフトウェアイベント（ID = bit）= Low 設定 1：ソフトウェアイベント（ID = bit）= High 設定

注 1. 本レジスタへの設定は、Write 完了後に直ちにイベント入力として有効となります。
ソフトウェアイベントが、パルス生成チャネルにおいて例外処理要求として反映されるのは、エッジ検出の場合は Write 完了後 CLKC_LSB × 2cycle 後 、レベル検出の場合は Write 完了と同時となります。

ソフトウェアイベント ID（5 ～ 0）に対する APAAnEVSW レジスタの設定は、下記の例のように設定します。

0x003F_003F を書き込み ：ソフトウェアイベント ID 5 ～ 0 に、同時に 1 を Write

0x0000_003F を書き込み ：何もしない（ソフトウェアイベント発生せず）

0x003F_0000 を書き込み ：ソフトウェアイベント ID 5 ～ 0 に、同時に 0 を Write

0x0000_0000 を書き込み ：何もしない（レジスタは変化せず、前の値を保持）

23.4.4.3 APAAnEVSC — APAn ソフトウェアイベント設定レジスタ

ソフトウェアイベントを設定するレジスタです。

APA ソフトウェアイベントレジスタ APAnEVSW[5:0] の動作オプションをそれぞれ設定します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 0444_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	APAAEVSWCF G5[1:0]		APAAEVSWCF G4 [1:0]		APAAEVSWCF G3 [1:0]		APAAEVSWCF G2 [1:0]		APAAEVSWCF G1 [1:0]		APAAEVSWCF G0 [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.22 APAAnEVSC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ～ 12	—	リザーブビット write は無効で、read すると 0 が読めます。
11、10	APAAEVSWCF G5[1:0]	ソフトウェアイベントレジスタ APAAnEVSW のビット 5 の動作を設定します。注 1 00：制御なし 01：1shot のソフトウェアイベント発生 （APAAEVSW[5] に High を書き込み後、PCLK × 1cycle 後 Low に戻る） 10：1shot のソフトウェアイベント発生 （APAAEVSW[5] に Low を書き込み後、PCLK × 1cycle 後 High に戻る） 上記以外の設定は禁止です。
9、8	APAAEVSWCF G4[1:0]	ソフトウェアイベントレジスタ APAAnEVSW のビット 4 の動作を設定します。注 1 00：制御なし 01：1shot のソフトウェアイベント発生 （APAAEVSW[4] に High を書き込み後、PCLK × 1cycle 後 Low に戻る） 10：1shot のソフトウェアイベント発生 （APAAEVSW[4] に Low を書き込み後、PCLK × 1cycle 後 High に戻る） 上記以外の設定は禁止です。
7、6	APAAEVSWCF G3[1:0]	ソフトウェアイベントレジスタ APAAnEVSW のビット 3 の動作を設定します。注 1 00：制御なし 01：1shot のソフトウェアイベント発生 （APAAEVSW[3] に High を書き込み後、PCLK × 1cycle 後 Low に戻る） 10：1shot のソフトウェアイベント発生 （APAAEVSW[3] に Low を書き込み後、PCLK × 1cycle 後 High に戻る） 上記以外の設定は禁止です。
5、4	APAAEVSWCF G2[1:0]	ソフトウェアイベントレジスタ APAAnEVSW のビット 2 の動作を設定します。注 1 00：制御なし 01：1shot のソフトウェアイベント発生 （APAAEVSW[2] に High を書き込み後、PCLK × 1cycle 後 Low に戻る） 10：1shot のソフトウェアイベント発生 （APAAEVSW[2] に Low を書き込み後、PCLK × 1cycle 後 High に戻る） 上記以外の設定は禁止です。
3、2	APAAEVSWCF G1[1:0]	ソフトウェアイベントレジスタ APAAnEVSW のビット 1 の動作を設定します。注 1 00：制御なし 01：1shot のソフトウェアイベント発生 （APAAEVSW[1] に High を書き込み後、PCLK × 1cycle 後 Low に戻る） 10：1shot のソフトウェアイベント発生 （APAAEVSW[1] に Low を書き込み後、PCLK × 1cycle 後 High に戻る） 上記以外の設定は禁止です。

表 23.22 APAAnEVSC レジスタの内容 (2/2)

ビット位置	ビット名	機能
1、0	APAAEVSWCFG0[1:0]	ソフトウェアイベントレジスタ APAAnEVSW のビット 1 の動作を設定します。注 1 00：制御なし 01：1shot のソフトウェアイベント発生 （APAAEVSW[0] に High を書き込み後、PCLK × 1cycle 後 Low に戻る） 10：1shot のソフトウェアイベント発生 （APAAEVSW[0] に Low を書き込み後、PCLK × 1cycle 後 High に戻る） 上記以外の設定は禁止です。

注 1. 本レジスタの設定は全パルス生成チャネル停止中（APAAnCHEN レジスタの APAACMENPGCH ビット = 0000_H）のときに行って下さい。
それ以外のときに本レジスタの設定を行った場合、イベント検出が誤検出をおこす場合があります。

備 考

本レジスタを “2'b01”、“2'b10” にそれぞれ書き換えた場合、対応するソフトウェアイベントは以下のようになります。

1. 本レジスタの設定を “2'b01” に変更した場合、対応するソフトウェアイベントは、“High” を出力後、本レジスタを設定した次のサイクル（PCLK × 1cycle）で “Low” となります。
2. 本レジスタの設定を “2'b10” に変更した場合、対応するソフトウェアイベントは、“Low” を出力後、本レジスタを設定した次のサイクル（PCLK × 1cycle）で “High” となります。

23.4.4.4 APAAnESTA — APAn イベントステータスレジスタ A

APAn 内部のイベントバス [31:0] の、各 bit のレベル（High/Low）をモニターできるレジスタです。

アクセス 32 ビット単位でリード可能です。

アドレス <APAn_base> + 0448_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	APAAEBSTATLEV31	APAAEBSTATLEV30	APAAEBSTATLEV29	APAAEBSTATLEV28	APAAEBSTATLEV27	APAAEBSTATLEV26	APAAEBSTATLEV25	APAAEBSTATLEV24	APAAEBSTATLEV23	APAAEBSTATLEV22	APAAEBSTATLEV21	APAAEBSTATLEV20	APAAEBSTATLEV19	APAAEBSTATLEV18	APAAEBSTATLEV17	APAAEBSTATLEV16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAEBSTATLEV15	APAAEBSTATLEV14	APAAEBSTATLEV13	APAAEBSTATLEV12	APAAEBSTATLEV11	APAAEBSTATLEV10	APAAEBSTATLEV9	APAAEBSTATLEV8	APAAEBSTATLEV7	APAAEBSTATLEV6	APAAEBSTATLEV5	APAAEBSTATLEV4	APAAEBSTATLEV3	APAAEBSTATLEV2	APAAEBSTATLEV1	APAAEBSTATLEV0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.23 APAAnESTA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	APAAEBSTATLEV [31:0]	read した時のイベントバス [31:0] のレベルをあらわします。

23.4.5 制御レジスタ詳細（パルス生成チャネル 0 ～ 15）

パルス生成チャネル 0 ～ 15 の動作に関する設定・参照を行うレジスタの詳細説明になります。

23.4.5.1 APAAnCCGAm — APAn チャネル設定レジスタ Am（m = 00 ～ 15）

パルス生成チャネル 0 ～ 15 に対する設定レジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 0600_H + (m x 20_H)

リセット後の値 $0000\ 0100_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	APAACHNFSTEL[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	APAACHNCONT	APAACHNLEV	—	—	—	—	—	APAACHNINTSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 23.24 APAAnCCGAm レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット write は無効で、read すると 0 が読めます。
22 ～ 16	APAACHNFSTEL[6:0]	開始エレメント番号（0x00 ～ 7F）を設定します。注 1
15 ～ 10	—	リザーブビット write は無効で、read すると 0 が読めます。
9	APAACHNCONT	チャネル継続設定を行います。注 2 0：シングル動作。 最終エレメント終了後に停止します。 1：連続動作。 最終エレメント後、開始エレメント番号から再開します。
8	APAACHNLEV	出力パルスのアクティブレベルを設定します。注 2 本設定は直ちに PWM 出力に反映されます。 0：low-active 1：high-active
7 ～ 3	—	リザーブビット write は無効で、read すると 0 が読めます。
2 ～ 0	APAACHNINTSEL[2:0]	割り込みの設定を行います。注 2 下記のいずれかに対応した割り込みの発生を設定します。 000：エレメント遷移後 001：チャネル動作完了時 010：ON マッチ発生時 011：OFF マッチ発生時 100：ON マッチ／ OFF マッチどちらか発生時 上記以外は設定禁止です。

注 1. 本レジスタは、APAACHNFSTEL[6:0] ビットのみパルス生成チャネル動作中の書き換えが可能です。
パルス生成チャネル動作中に APAACHNFSTEL[6:0] ビットの書き換えを行う場合は、APAACHNFSTEL[6:0] ビット以外のビットは同値の書き込みを行ってください。
パルス生成チャネル動作中に、APAACHNFSTEL[6:0] ビットを書き換えた場合の動作に関しては、
「23.5.5.3 動作中の開始エレメント番号の変更に関して」を参照ください。

注 2. APAACHNFSTEL[6:0] ビット以外のビットは、パルス生成チャネルが停止している状態（APAAnCHEN レジスタの APAACMENPGCH[15:0] ビット = 0000_H）でのみ書き換えを行ってください。
パルス生成チャネルが動作している状態で、APAACHNFSTEL[6:0] ビット以外のビットを書き換えた場合、パルス生成チャネルが意図しない動作となる場合があります。

APA チャネル設定レジスタ Am（APAAnCCGAm）と各パルス生成チャネル（PGCH0 ～ 15）は**表 23.25** のように対応します。

表 23.25 パルス生成チャネルとレジスタ設定の対応 (1/6)

パルス生成チャネル	設定レジスタ
PGCH0	APAAnCCGA00
PGCH1	APAAnCCGA01
PGCH2	APAAnCCGA02
PGCH3	APAAnCCGA03
PGCH4	APAAnCCGA04
PGCH5	APAAnCCGA05
PGCH6	APAAnCCGA06
PGCH7	APAAnCCGA07
PGCH8	APAAnCCGA08
PGCH9	APAAnCCGA09
PGCH10	APAAnCCGA10
PGCH11	APAAnCCGA11
PGCH12	APAAnCCGA12
PGCH13	APAAnCCGA13
PGCH14	APAAnCCGA14
PGCH15	APAAnCCGA15

23.4.5.2 APAAnCCGBm — APAn チャネル設定レジスタ Bm（m = 00 ～ 15）

パルス生成チャネル 0 ～ 15 に対する設定レジスタです。

本レジスタは、パルス生成チャネルが停止している状態（APAAnCHEN レジスタの APAACMENPGCH[15:0] ビット = 0000_H）で書き換えを行ってください。

パルス生成チャネルが動作している状態で、本レジスタを書き換えた場合、パルス生成チャネルが意図しない動作となる場合があります。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 0604_H + (m x 20_H)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	APAACHNEGRES[1:0]		APAACHNIDRES[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAACHNOPSTR	APAACHNEGSTR[1:0]		APAACHNIDSTR[4:0]					—	APAACHNEGSTP[1:0]		APAACHNIDSTP[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.26 APAAnCCGBm レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット write は無効で、read すると 0 が読めます。
22 ～ 21	APAACHNEGRES[1:0]	例外処理（Restart）に関連付けられたイベント入力が、どちらのエッジを有効とするかを設定します。 00：rise-edge 01：fall-edge 10：both edge (rise/fall) 上記以外は設定禁止です。
20 ～ 16	APAACHNIDRES[4:0]	例外処理（Restart）に使用するイベントバス信号を指定します。 設定値とイベントバス信号の対応は**表 23.28** を参照ください。
15	APAACHNOPSTR	例外処理（Start）の動作オプションを設定します。 パルス生成チャネルの動作許可（APAAnCHEN レジスタの APAACMENPGCH ビット = 1）後の、動作を設定します。 0：動作許可後、Start 例外をトリガに動作開始 1：動作許可後、Start 例外を待たずに直ちに動作開始
14、13	APAACHNEGSTR[1:0]	例外処理（Start）に関連付けられたイベント入力が、どちらのエッジを有効とするかを設定します。 00：rise-edge 01：fall-edge 10：both edge (rise/fall) 上記以外は設定禁止です。
12 ～ 8	APAACHNIDSTR[4:0]	例外処理（Start）に使用するイベントバス信号を指定します。 設定値とイベントバス信号の対応は**表 23.28** を参照ください。
7	—	リザーブビット write は無効で、read すると 0 が読めます。
6、5	APAACHNEGSTP[1:0]	例外処理（Stop）に関連付けられたイベント入力が、どちらのエッジを有効とするかを設定します。 00：rise-edge 01：fall-edge 10：both edge (rise/fall) 上記以外は設定禁止です。

表 23.26 APAAnCCGBm レジスタの内容 (2/2)

ビット位置	ビット名	機能
4 ～ 0	APAACHNIDSTP[4:0]	例外処理（Stop）に使用するイベントバス信号を指定します。 設定値とイベントバス信号の対応は**表 23.28** を参照ください。

注 1. APAACHNOPSTR ビットを 1 に設定した場合、Stop 例外では停止しません。
（Stop 例外を入力すると、一旦停止後に再び初期エレメントから動作開始します）。
APAACHNOPSTR ビットを 1 に設定した場合は、APAAnCHEN レジスタを動作停止に設定することで停止します。

例外処理 （Start/Stop/Transfer/Force/Restart/Postpone）は、任意の内部イベントバス信号を使用することができます。

各例外処理と設定レジスタの対応を**表 23.27** に示します。

表 23.27 例外処理と設定レジスタの対応

例外処理	設定レジスタのビット名	備考
Stop	APAACHNIDSTP[4:0]	パルス生成チャネルに対して設定
Start	APAACHIDSTR[4:0]	パルス生成チャネルに対して設定
Restart	APAACHIDRES[4:0]	パルス生成チャネルに対して設定
Transfer	APAAELMIDTRN[4:0]	エレメントに対して設定
Force	APAAELMIDFOR[4:0]	エレメントに対して設定
Postpone	APAAELMIDPPN[4:0]	エレメントに対して設定

例外処理の詳細内容については、**「23.5.1.3 例外処理について」**を参照下さい。

レジスタの設定値と選択されるイベントの対応を**表 23.28** に示します。

表 23.28 例外処理と内部イベントバス信号の対応

レジスタ設定値	選択されるイベント	レジスタ設定値	選択されるイベント
0x00	PGCH0 によって生成される PWM0 出力	0x10	APAAnEVSL00[5:0] で指定した選択イベント入力注 1
0x01	PGCH1 によって生成される PWM1 出力	0x11	APAAnEVSL01[5:0] で指定した選択イベント入力注 1
0x02	PGCH2 によって生成される PWM2 出力	0x12	APAAnEVSL02[5:0] で指定した選択イベント入力注 1
0x03	PGCH3 によって生成される PWM3 出力	0x13	APAAnEVSL03[5:0] で指定した選択イベント入力注 1
0x04	PGCH4 によって生成される PWM4 出力	0x14	APAAnEVSL04[5:0] で指定した選択イベント入力注 1
0x05	PGCH5 によって生成される PWM5 出力	0x15	APAAnEVSL05[5:0] で指定した選択イベント入力注 1
0x06	PGCH6 によって生成される PWM6 出力	0x16	APAAnEVSL06[5:0] で指定した選択イベント入力注 1
0x07	PGCH7 によって生成される PWM7 出力	0x17	APAAnEVSL07[5:0] で指定した選択イベント入力注 1
0x08	PGCH8 によって生成される PWM8 出力	0x18	APAAnEVSL08[5:0] で指定した選択イベント入力注 1
0x09	PGCH9 によって生成される PWM9 出力	0x19	APAAnEVSL09[5:0] で指定した選択イベント入力注 1
0x0A	PGCH10 によって生成される PWM10 出力	0x1A	APAAnEVSL10[5:0] で指定した選択イベント入力注 1
0x0B	PGCH11 によって生成される PWM11 出力	0x1B	APAAnEVSL11[5:0] で指定した選択イベント入力注 1
0x0C	PGCH12 によって生成される PWM12 出力	0x1C	APAAnEVSL12[5:0] で指定した選択イベント入力注 1
0x0D	PGCH13 によって生成される PWM13 出力	0x1D	APAAnEVSL13[5:0] で指定した選択イベント入力注 1
0x0E	PGCH14 によって生成される PWM14 出力	0x1E	APAAnEVSL14[5:0] で指定した選択イベント入力注 1
0x0F	PGCH15 によって生成される PWM15 出力	0x1F	APAAnEVSL15[5:0] で指定した選択イベント入力注 1

注 1. APAAnEVSLm[5:0] (m = 00 ～ 15) レジスタにおいて指定された外部イベント入力 [57:0] またはソフトウェアイベント [5:0] が選択されます。

APA チャネル設定レジスタ Bm（APAAnCCGBm）と各パルス生成チャネル（PGCH0 ～ 15）は、**表 23.29** のように対応します。

表 23.29 パルス生成チャネルとレジスタ設定の対応 (2/6)

パルス生成チャネル	設定レジスタ
PGCH0	APAAnCCGB00
PGCH1	APAAnCCGB01
PGCH2	APAAnCCGB02
PGCH3	APAAnCCGB03
PGCH4	APAAnCCGB04
PGCH5	APAAnCCGB05
PGCH6	APAAnCCGB06
PGCH7	APAAnCCGB07
PGCH8	APAAnCCGB08
PGCH9	APAAnCCGB09
PGCH10	APAAnCCGB10
PGCH11	APAAnCCGB11
PGCH12	APAAnCCGB12
PGCH13	APAAnCCGB13
PGCH14	APAAnCCGB14
PGCH15	APAAnCCGB15

23.4.5.3 APAAnCSTAm — APAn チャネルステータスレジスタ Am（m = 00 ～ 15）

パルス生成チャネル 0 ～ 15 に対応するチャネルのステータスデータをモニターするレジスタです。

本レジスタの APAACHNEN と APAAEOPWM 以外の全有効ビットは、リファレンス・イベントバス有効（APAAnEN レジスタの APAACMENAPA ビット = 1）かつ、該当するパルス生成チャネルが動作許可（APAAnCHEN レジスタの APAACMENPGCH[15:0] の対応するビット =1）に設定された場合のみ有効です。

アクセス 32 ビット単位でリード可能です。

アドレス <APAn_base> + 0608_H + (m x 20_H)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	APAACHNCUREL[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	APAACMPSTAT[4:0]					—	—	APAAMATSTAT[1:0]		APAATRNSTAT	APAAPPNSTAT	APAACHNEN	APAAEOPWM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.30 APAAnCSTAm レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット write は無効で、read すると 0 が読めます。
22 ～ 16	APAACHNCUREL[6:0]	カレントエレメント番号（パルス生成チャネルで現在有効となっているエレメント番号）を示します。 チャネル有効設定以外では値を保持します。
15 ～ 13	—	リザーブビット write は無効で、read すると 0 が読めます。
12 ～ 8	APAACMPSTAT[4:0]	マッチ比較器の現在の動作状態を表します。 チャネル有効設定以外では disable（00000）となります。 詳細は、**表 23.47** および**図 23.14** を参照して下さい。 00000：disable 00001：dis_wstart 00010：（発生しない） 00011：pre_dis 00100：pre_on_cur 00101：pre_on_init 00110：pre_on_nxt 00111：pre_off 01000：waiton 01001：waiton_tron 01010：forcedoff_troff 01011：on_postponed 01100：waitoff 01101：waitoff_tron 01110：matoff_troff 01111：off_postponed 10000：terminate
7、6	—	リザーブビット write は無効で、read すると 0 が読めます。

表 23.30 APAAnCSTAm レジスタの内容 (2/2)

ビット位置	ビット名	機能
5、4	APAAMATSTAT [1:0]	マッチ比較器内のマッチ検出状態を示します。 チャネル有効設定以外では not match (00) となります。 00：not match （マッチ未検出） 01：ON match 検出 10：OFF match 検出 11：（発生しない）
3	APAATRNSTAT	現在有効なエレメントにおいて、Transfer 例外が入力されているか（OFF マッチ後のエレメント遷移が有効か）を示します。 チャネル有効設定以外では Transfer 例外未入力（0）となります。 0：Transfer 例外が入力されていない状態 1：Transfer 例外が入力された状態
2	APAAPPNSTAT	現在有効なエレメントにおいて、Postpone 状態であるかを示します。 チャネル有効設定以外では Postpone-OFF（0）となります。 0：Postpone OFF 1：Postpone ON
1	APAACHNEN	該当パルス生成チャネルの動作ステータスを示します。 チャネル有効設定以外でも本機能は有効です。 0：disable…PGCH*（* = 0 ～ f）停止中 1：enable…PGCH*（* = 0 ～ f）動作中
0	APAAEOPWM	該当パルス生成チャネル（PGCHm）の動作ステータス（該当パルス生成チャネルの PWM 出力レベル）を示します。 チャネル有効設定以外でも本機能は有効です。

APA チャネルステータスレジスタ Am（APAAnCSTAm）と、各パルス生成チャネル（PGCH0 ～ 15）は**表 23.31** のように対応します。

表 23.31 パルス生成チャネルとレジスタの対応 (3/6)

パルス生成チャネル	レジスタ
PGCH0	APAAnCSTA00
PGCH1	APAAnCSTA01
PGCH2	APAAnCSTA02
PGCH3	APAAnCSTA03
PGCH4	APAAnCSTA04
PGCH5	APAAnCSTA05
PGCH6	APAAnCSTA06
PGCH7	APAAnCSTA07
PGCH8	APAAnCSTA08
PGCH9	APAAnCSTA09
PGCH10	APAAnCSTA10
PGCH11	APAAnCSTA11
PGCH12	APAAnCSTA12
PGCH13	APAAnCSTA13
PGCH14	APAAnCSTA14
PGCH15	APAAnCSTA15

23.4.5.4 APAAnCSTBm — APAn チャネルステータスレジスタ Bm（m = 00 ～ 15）

パルス生成チャネル 0 ～ 15 に対応するエレメント設定をモニターするレジスタです。

本レジスタでモニターできる値は、該当パルス生成チャネルにおいて現在有効になっているエレメント情報であり、エレメント RAM からロードされた値となります。

本レジスタの全有効ビットは、リファレンス・イベントバス有効（APAAnEN レジスタの APAACMENAPA ビット = 1）かつ、該当するパルス生成チャネルが動作許可（APAAnCHEN レジスタの APAACMENPGCH[15:0] の対応するビット =1）に設定された場合のみ有効です。

アクセス 32 ビット単位でリード可能です。

アドレス <APAn_base> + $060C_H$ + (m x 20_H)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	APAAELDFINEL	APAAELDCONT	—	—	—	—	—	APAAELDRBIDON[3:0]				APAAELDMCON[1:0]		APAAELDABREON
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAELDRBDATON[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.32 APAAnCSTBm ジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	—	リザーブビット write は無効で、read すると 0 が読めます。
29	APAAELDFINEL	最終エレメント設定 本エレメントが最終エレメントであるかを示します。 チャネル有効設定以外では値を保持します。 0：本エレメントは最終エレメントでない 1：本エレメントは最終エレメントである
28	APAAELDCONT	エレメント継続設定 現在有効なエレメントにおいて、OFF マッチ発生後の動作を示します。 チャネル有効設定以外では値を保持します。 0：シングル動作（次のエレメントに遷移するまでマッチ比較を停止） 1：連続動作（OFF マッチ発生後、ON マッチ比較に戻る）
22 ～ 19	APAAELDRBIDON [3:0]	N マッチ比較を行うリファレンス番号を示します。 値とリファレンス番号の対応は**表 23.33** を参照ください。 チャネル有効設定以外では値を保持します。
18、17	APAAELDMCON [1:0]	ON マッチ比較を行う条件を示します。 チャネル有効設定以外では値を保持します。 00：[指定したリファレンスの値] == [比較基準値 APAAELDRBDATON[15:0]] 01：[指定したリファレンスの値] > [比較基準値 APAAELDRBDATON[15:0]] 10：[指定したリファレンスの値] < [比較基準値 APAAELDRBDATON[15:0]] 上記以外は設定禁止です。 **備考** リファレンス値にオーバーフローが発生する場合、01、10 の設定は使用できません。（オーバーフロー発生前後の比較が正しく行えません。）

表 23.32 APAAnCSTBm ジスタの内容 (2/2)

ビット位置	ビット名	機能
16	APAAELDABREON	ON マッチ比較において、比較基準値（APAAELDRBDATON[15:0]）に対し、基準値指定（APAAELMRBDATON [15:0]）を絶対値／相対値のどちらで解釈するかを示します。 チャネル有効設定以外では値を保持します。 0：絶対指定。基準値指定は絶対値で指定していると解釈される。 1：相対指定。基準値はマッチ比較開始時点のリファレンス値からの変化で指定していると解釈される。 ただしリファレンス 0,1,sw のみ相対指定は使用可能。
15 ～ 0	APAAELDRBDATON [15:0]	ON マッチ用の比較基準値を示します。 比較基準値は、実際にマッチ比較に使用される値であり、絶対指定の形に変換されています。 チャネル有効設定以外では値を保持します。 APAAELDABREON の設定により値が異なります。 • APAAELDABREON = 0（絶対指定） APAAELDRBDATON[15:0] = APAAELMRBDATON[15:0] • APAAELDABREON = 1（相対指定） APAAELDRBDATON[15:0] = APAAREFBDAT[15:0] + APAAELMRBDATON [15:0] ただし Read した時点で OFF マッチ比較を行っている場合、またはリファレンス入力 2 ～ 9 に対して相対指定を行った場合は、本レジスタの値は相対指定値と同じになります。 APAAELDRBDATON [15:0] = APAAELMRBDATON[15:0]

ON マッチ・OFF マッチとも、比較を行うリファレンス ID と設定値は、**表 23.33** のように対応します。

相対指定が可能なリファレンスは、0, 1, sw のみです。

表 23.33 マッチ比較設定とリファレンス ID との比較

APAAELDRBIDON / APAAELDRBIDOFF 設定値	リファレンス ID	リファレンス名	時間分解能	相対指定の可否
0x0	0	リファレンス入力 0	pclk × 4	使用可
0x1	1	リファレンス入力 1	pclk × 4	使用可
0x2	2	リファレンス入力 2	pclk × 20	使用不可注 1
0x3	3	リファレンス入力 3	pclk × 20	使用不可注 1
0x4	4	リファレンス入力 4	pclk × 20	使用不可注 1
0x5	5	リファレンス入力 5	pclk × 20	使用不可注 1
0x6	6	リファレンス入力 6	pclk × 20	使用不可注 1
0x7	7	リファレンス入力 7	pclk × 20	使用不可注 1
0x8	8	リファレンス入力 8	pclk × 20	使用不可注 1
0x9	9	リファレンス入力 9	pclk × 20	使用不可注 1
0xF	F	ソフトウェアリファレンス	pclk × 20	使用可
上記以外	0	（リファレンス 0 と解釈されます）	pclk × 4	使用可

注 1. 相対指定非対応のリファレンスに対して相対指定を設定した場合、相対指定設定を無視します。
（絶対指定と同じ比較基準値となります。）

APA チャネルステータスレジスタ Bm（APAAnCSTBm）と各パルス生成チャネル（PGCH0 ～ 15）は**表 23.34** のように対応します。

表 23.34 パルス生成チャネルとレジスタの対応 (4/6)

パルス生成チャネル	レジスタ
PGCH0	APAAnCSTB00
PGCH1	APAAnCSTB01
PGCH2	APAAnCSTB02
PGCH3	APAAnCSTB03
PGCH4	APAAnCSTB04
PGCH5	APAAnCSTB05
PGCH6	APAAnCSTB06
PGCH7	APAAnCSTB07
PGCH8	APAAnCSTB08
PGCH9	APAAnCSTB09
PGCH10	APAAnCSTB10
PGCH11	APAAnCSTB11
PGCH12	APAAnCSTB12
PGCH13	APAAnCSTB13
PGCH14	APAAnCSTB14
PGCH15	APAAnCSTB15

23.4.5.5 APAAnCSTCm — APAn チャネルステータスレジスタ Cm （m = 00 ～ 15）

パルス生成チャネル 0 ～ 15 に対応するエレメント設定をモニターするレジスタです。

本レジスタでモニターできる値は、該当パルス生成チャネルにおいて現在有効になっているエレメント情報であり、エレメント RAM からロードされた値となります。

本レジスタの全有効ビットは、リファレンス・イベントバス有効（APAAnEN レジスタの APAACMENAPA ビット = 1）かつ、該当するパルス生成チャネルが動作許可（APAAnCHEN レジスタの APAACMENPGCH[15:0] の対応するビット =1）に設定された場合のみ有効です。

アクセス 32 ビット単位でリード可能です。

アドレス <APAn_base> + 0610_H + (m x 20_H)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	APAAELDRBIDOFF[3:0]				APAAELD_MCOFF[1:0]		APAAELDABREOFF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAELDRBDATOFF[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.35 APAAnCSTCm APAn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット write は無効で、read すると 0 が読めます。
22 ～ 19	APAAELDRBIDOFF[3:0]	OFF マッチ比較を行うリファレンス番号を示します。 値とリファレンス番号の対応は表 2.57 マッチ比較設定とリファレンス ID との比較 2.57 を参照ください。 チャネル有効設定以外では値を保持します。
18、17	APAAELD_MCOFF [1:0]	OFF マッチ比較を行う条件を示します。 チャネル有効設定以外では値を保持します。 00 : [指定したリファレンスの値] == [比較基準値 APAAELDRBDATOFF[15:0]] 01 : [指定したリファレンスの値] > [比較基準値 APAAELDRBDATOFF[15:0]] 10 : [指定したリファレンスの値] < [比較基準値 APAAELDRBDATOFF[15:0]] 上記以外は設定禁止です。 **備考** リファレンス値にオーバーフローが発生する場合、01、10 の設定は使用できません。（オーバーフロー発生前後の比較が正しく行えません。）
16	APAAELDABREOFF	OFF マッチ比較において、比較基準値（APAAELDRBDATOFF[15:0]）に対し、基準値指定（APAAELMRBDATOFF[15:0]）を絶対値／相対値のどちらで解釈するかを示します。 0 : 絶対指定。基準値指定は絶対値で指定していると解釈される。 1 : 相対指定。基準値はマッチ比較開始時点のリファレンス値からの変化で指定していると解釈される。 ただしリファレンス 0, 1, sw のみ相対指定は使用可能。 ※ チャネル有効設定以外では値を保持する。

表 23.35 APAAnCSTCm APAn レジスタの内容 (2/2)

ビット位置	ビット名	機能
15 ～ 0	APAAELDRBDATOFF[15:0]	OFF マッチ用の比較基準値を示します。 比較基準値は、実際にマッチ比較に使用される値であり、絶対指定の形に変換されています。 チャネル有効設定以外では値を保持します。 APAAELDABREOFF の設定により値が異なります。 • APAAELDABREOFF = 0（絶対指定） APAAELDRBDATOFF [15:0] = APAAELMRBDATOFF [15:0] • APAAELDABREOFF =1（相対指定） APAAELDRBDATOFF [15:0] = APAAREFBDAT[15:0] + APAAELMRBDATOFF [15:0] ただし Read した時点で ON マッチ比較を行っている場合、またはリファレンス 2 ～ 9 に対して相対指定を行った場合、本レジスタの値は絶対指定値に変換されず相対指定値となります。 APAAELDRBDATOFF [15:0] = APAAELMRBDATOFF[15:0]

APA チャネルステータスレジスタ Cm（APAAnCSTCm）と各パルス生成チャネル（PGCH0 ～ 15）は**表 23.36** のように対応します。

表 23.36 パルス生成チャネルとレジスタの対応 (5/6)

パルス生成チャネル	レジスタ
PGCH0	APAAnCSTC00
PGCH1	APAAnCSTC01
PGCH2	APAAnCSTC02
PGCH3	APAAnCSTC03
PGCH4	APAAnCSTC04
PGCH5	APAAnCSTC05
PGCH6	APAAnCSTC06
PGCH7	APAAnCSTC07
PGCH8	APAAnCSTC08
PGCH9	APAAnCSTC09
PGCH10	APAAnCSTC10
PGCH11	APAAnCSTC11
PGCH12	APAAnCSTC12
PGCH13	APAAnCSTC13
PGCH14	APAAnCSTC14
PGCH15	APAAnCSTC15

23.4.5.6 APAAnCSTDm — APAn チャネルステータスレジスタ Dm（m = 00 ～ 15）

パルス生成チャネル 0 ～ 15 に対応するエレメント設定をモニターするレジスタです。

本レジスタでモニターできる値は、該当パルス生成チャネルにおいて現在有効になっているエレメント情報であり、エレメント RAM からロードされた値となります。

本レジスタの全有効ビットは、リファレンス・イベントバス有効（APAAnEN レジスタの APAACMENAPA ビット = 1）かつ、該当するパルス生成チャネルが動作許可（APAAnCHEN レジスタの APAACMENPGCH[15:0] の対応するビット = 1）に設定された場合のみ有効です。

アクセス 32 ビット単位でリード可能です。

アドレス <APAn_base> + 0614_H + (m x 20_H)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	APAAELDNEXTEL[6:0]							APAAELDOPTRN	APAAELDEGTRN[1:0]		APAAELDIDTRN[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAELDOPFOR	APAAELDEGFOR[1:0]		APAAELDIDFOR[4:0]					—	—	APAAELDLVPPN	APAAELDIDPPN[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 23.37 APAAnCSTDm レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	—	リザーブビット write は無効で、read すると 0 が読めます。
30 ～ 24	APAAELDNEXTEL[6:0]	次エレメント番号（0x00 ～ 7F）を示します。 チャネル有効設定以外では値を保持します。
23	APAAELDOPTRN	例外処理（Transfer）の動作オプションを示します。 特定の条件において、Transfer 例外なしでエレメント遷移を許可するかの設定を示します。 チャネル有効設定以外では値を保持します。 0：Transfer 例外の入力により、OFF マッチ発生後のエレメント遷移を発生させます。Transfer 例外が一度入力されると、現在有効なエレメントに限り、OFF マッチ後にエレメント遷移が発生します。 エレメントが更新された場合は、再度 Transfer 例外を入力する必要があります。 1：OFF マッチ発生によって自動的に次のエレメントへ遷移します。 Transfer 例外によるエレメント遷移許可が不要です。 エレメント継続設定（APAAELMCONT）より優先されます。
22、21	APAAELDEGTRN [1:0]	例外処理（Transfer）に関連付けられたイベント入力が、どちらのエッジを有効とするかを示します。 00：rise-edge 01：fall-edge 10：both edge (rise/fall) 上記以外は設定禁止です。
20 ～ 16	APAAELDIDTRN [4:0]	例外処理（Transfer）に使用するイベントバス信号を示します。 値とイベントバス信号の対応は**表 23.28** を参照ください。 チャネル有効設定以外では値を保持します。

表 23.37 APAAnCSTDm レジスタの内容 (2/2)

ビット位置	ビット名	機能
15	APAAELDOPFOR	例外処理（Force）の動作オプションを示します。 チャネル有効設定以外では値を保持します。 0：強制的に次マッチを発生。 ON 待ち→ ON マッチ発生 + OFF 待ちへ遷移 OFF 待ち→ OFF マッチを強制的に発生 + 次のステートへ遷移 1：強制的に OFF マッチを発生 ON 待ち→ OFF マッチ発生 OFF 待ち→ OFF マッチ発生
14、13	APAAELDEGFOR [1:0]	例外処理（Force）に関連付けられたイベント入力が、どちらのエッジを有効とするかを示します。 00：rise-edge 01：fall-edge 10：both edge (rise/fall) 上記以外は設定禁止です。
12 ～ 8	APAAELDIDFOR [4:0]	例外処理（Force）に使用するイベントバス信号を示します。 値とイベントバス信号の対応は**表 23.28** を参照ください。 チャネル有効設定以外では値を保持します。
5	APAAELDLVPPN	例外処理（Postpone）に関連付けられたイベント入力が、どちらのレベルを有効とみなすかを示します。 チャネル有効設定以外では値を保持します。 0：Low-level 1：High-level
4 ～ 0	APAAELDIDPPN [4:0]	例外処理（Postpone）に使用するイベントバス信号を示します。 値とイベントバス信号の対応は**表 23.28** を参照ください。 チャネル有効設定以外では値を保持します。

APA チャネルステータスレジスタ Dm（APAAnCSTDm）と各パルス生成チャネル（PGCH0 ～ 15）は**表 23.38** のように対応します。

表 23.38 パルス生成チャネルとレジスタの対応 (6/6)

パルス生成チャネル	レジスタ
PGCH0	APAAnCSTD00
PGCH1	APAAnCSTD01
PGCH2	APAAnCSTD02
PGCH3	APAAnCSTD03
PGCH4	APAAnCSTD04
PGCH5	APAAnCSTD05
PGCH6	APAAnCSTD06
PGCH7	APAAnCSTD07
PGCH8	APAAnCSTD08
PGCH9	APAAnCSTD09
PGCH10	APAAnCSTD10
PGCH11	APAAnCSTD11
PGCH12	APAAnCSTD12
PGCH13	APAAnCSTD13
PGCH14	APAAnCSTD14
PGCH15	APAAnCSTD15

23.4.6 エレメント制御レジスタ詳細

エレメントに対する設定・参照を行うレジスタの詳細説明になります。

- エレメントは 128 個(0x00 ～ 0x7f)使用可能であり、各エレメントは CPU から Read/Write 可能です。
- エレメントの実体は SRAM 上にあるため、リセットによる初期化はされず、リセット後の値は不定です。

23.4.6.1 APAAnELMAm — APAn エレメント設定レジスタ Am（m = 000 ～ 127）

各エレメントに対する動作を設定するレジスタです。

本レジスタの実態は、SRAM 上に配置されているためハードウェアによる初期化はされず、リセット後の値は不定となります。

本レジスタへの Write 方法は**「23.5.6.1 エレメント RAM への Write」**、Read 方法については**「23.5.6.2 エレメント RAM からの Read」**を参照ください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 1000_H + (m × 0010_H)

リセット後の値 （不定）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	APAAELMFINEL	APAAELMCONT	—	—	—	—	—	APAAELMRBIDON[3:0]				APAAELMMCON[1:0]		APAAELMABREON
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAELMRBDATON[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.39 APAAnELMAm レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	—	リザーブビット write は無効で、read すると 0 が読めます。
29	APAAELMFINEL	最終エレメント設定。 本エレメントを最終エレメントとするか否かを指定します。 0：本エレメントは最終エレメントでない 1：本エレメントは最終エレメントである
28	APAAELMCONT	エレメント継続設定。 現在有効なエレメントにおいて、OFF マッチ発生後の動作を指定します。 0：シングル動作（次のエレメントに遷移するまでマッチ比較を停止） 1：連続動作（OFF マッチ発生後、ON マッチ比較に戻る）
27 ～ 23	—	リザーブビット write は無効で、read すると 0 が読めます。
22 ～ 19	APAAELMRBIDON[3:0]	ON マッチ比較を行うリファレンス番号を指定します。 値とリファレンス番号の対応は**表 23.33** を参照ください。

表 23.39 APAAnELMAm レジスタの内容 (2/2)

ビット位置	ビット名	機能
18、17	APAAELMMCON[1:0]	ON マッチ比較を行う条件を指定します。 大小比較は、リファレンス値を符号なしとして扱います。 実際には基準値指定は絶対指定の形に変換されてから比較に用いられます。 00：[指定したリファレンスの値] == [比較基準値 APAAELDRBDATON[15:0]] 01：[指定したリファレンスの値] > [比較基準値 APAAELDRBDATON[15:0]] 10：[指定したリファレンスの値] < [比較基準値 APAAELDRBDATON[15:0]] 上記以外は設定禁止です。
16	APAAELMABREON	ON マッチ比較において、比較基準値（APAAELDRBDATON[15:0]）に対し、基準値指定（APAAELMRBDATON[15:0]）を絶対値／相対値のどちらで解釈するかを指定します。 0：絶対指定。基準値指定は絶対値で指定していると解釈される。 1：相対指定。基準値はマッチ比較開始時点のリファレンス値からの変化で指定していると解釈される。 ただしリファレンス 0, 1sw のみ相対指定が使用可能です。
15 ～ 0	APAAELMRBDATON[15:0]	ON マッチ用の基準値を指定します。 値は符号なしとして指定します。

23.4.6.2 APAAnELMBm — APAn エレメント設定レジスタ Bm（m = 000 ～ 127）

各エレメントに対する動作を設定するレジスタです。

本レジスタの実態は、SRAM 上に配置されているためハードウェアによる初期化はされず、リセット後の値は不定となります。

本レジスタへの Write 方法は**「23.5.6.1 エレメント RAM への Write」**、Read 方法については**「23.5.6.2 エレメント RAM からの Read」**を参照ください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 1004_H + (m × 0010_H)

リセット後の値 （不定）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	APAAELMRBIDOFF[3:0]				APAAELMMCOFF[1:0]		APAAELMABREOFF
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAELMRBDATOFF[15:0]															
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.40 APAAnELMBm レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	リザーブビット write は無効で、read すると 0 が読めます。
22 ～ 19	APAAELMRBIDOFF[3:0]	OFF マッチ比較を行うリファレンス番号を指定します。 値とリファレンス番号の対応は**表 23.33** を参照ください。
18、17	APAAELMMCOFF[1:0]	OFF マッチ比較を行う条件を指定します。 大小比較は、リファレンス値を符号なしとして扱います。 実際には基準値指定は絶対指定の形に変換されてから比較に用いられます。 00：[指定したリファレンスの値] == [比較基準値 APAAELDRBDATOFF[15:0]] 01：[指定したリファレンスの値] > [比較基準値 APAAELDRBDATOFF[15:0]] 10：[指定したリファレンスの値] < [比較基準値 APAAELDRBDATOFF[15:0]] 上記以外は設定禁止です。
16	APAAELMABREOFF	OFF マッチ比較において、比較基準値（APAAELDRBDATOFF[15:0]）に対し、基準値指定（APAAELMRBDATOFF[15:0]）を絶対値／相対値のどちらで解釈するかを指定します。 0：絶対指定。基準値指定は絶対値で指定していると解釈される。 1：相対指定。基準値はマッチ比較開始時点のリファレンス値からの変化で指定していると解釈される。 ただしリファレンス 0, 1, sw のみ相対指定が使用可能です。
15 ～ 0	APAAELMRBDATOFF [15:0]	OFF マッチ用の基準値を指定します。 値は符号なしとして指定します。

23.4.6.3 APAAnELMCm — APAn エレメント設定レジスタ Cm（m = 000 ～ 127）

各エレメントに対する動作を設定するレジスタです。

本レジスタの実態は、SRAM 上に配置されているためハードウェアによる初期化はされず、リセット後の値は不定となります。

本レジスタへの Write 方法は**「23.5.6.1 エレメント RAM への Write」**、Read 方法については**「23.5.6.2 エレメント RAM からの Read」**を参照ください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <APAn_base> + 1008_H + (m × 0010_H)

リセット後の値 （不定）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	APAAELMNEXTEL[6:0]							APAAELMOPTRN	APAAELMEGTRN[1:0]		APAAELMIDTRN[4:0]				
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAAELMOPFOR	APAAELMEGFOR[1:0]		APAAELMIDFOR[4:0]					—	—	APAAELMLVPPN	APAAELMIDPPN[4:0]				
リセット後の値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 23.41 APAAnELMCm レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	—	リザーブビット write は無効で、read すると 0 が読めます。
30 ～ 24	APAAELMNEXTEL [6:0]	次のエレメント番号（0x00 ～ 7F）を指定します。
23	APAAELMOPTRN	例外処理（Transfer）の動作オプションです。 特定の条件において、Transfer 例外なしでエレメント遷移を許可するかを設定します。 0：Transfer 例外の入力により、OFF マッチ発生後のエレメント遷移を発生させます。Transfer 例外が一度入力されると、現在有効なエレメントに限り、OFF マッチ後にエレメント遷移が発生します。 エレメントが更新された場合は、再度 Transfer 例外を入力する必要があります。 1：エレメント継続動作が無効（APAAELMCONT = 0）なときに限り、OFF マッチ発生によって自動的に次のエレメントへ遷移します。 Transfer 例外によるエレメント遷移許可が不要です。
22、21	APAAELMEGTRN [1:0]	例外処理（Transfer）に関連付けられたイベント入力が、どちらのエッジを有効とするかを指定します。 00：rise-edge 01：fall-edge 10：both edge (rise/fall) 上記以外は設定禁止です。
20 ～ 16	APAAELMIDTRN [4:0]	例外処理（Transfer）に使用するイベントバス信号を指定します。 値とイベントバス信号の対応は**表 23.28** を参照してください。
15	APAAELMOPFOR	例外処理（Force）の動作オプションを指定します。 0：強制的に次マッチを発生。 ON 待ち→ ON マッチ発生 + OFF 待ちへ遷移 OFF 待ち→ OFF マッチを強制的に発生 + 次のステートへ遷移 1：強制的に OFF マッチを発生 ON 待ち→ OFF マッチ発生 OFF 待ち→ OFF マッチ発生

表 23.41 APAAnELMCm レジスタの内容 (2/2)

ビット位置	ビット名	機能
14、13	APAAELMEGFOR [1:0]	例外処理（Force）に関連付けられたイベント入力が、どちらのエッジを有効とするかを指定します。 00：rise-edge 01：fall-edge 10：both edge (rise/fall) 上記以外は設定禁止です。
12 ～ 8	APAAELMIDFOR [4:0]	例外処理（Force）に使用するイベントバス信号を指定します。 値とイベントバス信号の対応は**表 23.28** を参照してください。
7、6	—	リザーブビット write は無効で、read すると 0 が読めます。
5	APAAELMLVPPN	例外処理（Postpone）に関連付けられたイベント入力が、どちらのレベルを有効とするかを指定します。 0：Low-level 1：High-level
4 ～ 0	APAAELMIDPPN [4:0]	例外処理（Postpone）に使用するイベントバス信号を指定します。 値とイベントバス信号の対応は**表 23.28** を参照してください。

23.5 機能

23.5.1 概念

23.5.1.1 APA におけるパルス生成

APA におけるパルス生成は、下記のように行われます。

- 外部からの入力（リファレンス）に対し、PWM 出力＝ON とする条件（ON マッチ条件）と PWM 出力＝OFF とする条件（OFF マッチ条件）をセットで指定し、リファレンスと常時比較することで、パルス波形を生成します。
  ON マッチを待つ状態と OFF マッチを待つ状態は排他的に動作します。
- ON マッチ／OFF マッチともに、マッチ条件の指定方法には次の 2 通りがあります。
  - 絶対指定：リファレンスの値と直接比較可能な値によって、マッチ条件を比較します。
  - 相対指定：マッチ比較開始時点のリファレンス値からの相対的な変化量によって、マッチ条件を指定します。
- マッチ条件の指定により、周期的なパルス／1 ショットパルスともに生成することが可能です。
- パルス生成の条件指定は、エレメントと呼ぶデータ構造によって行います。
  エレメントについては、**「23.5.1.2 エレメント」**を参照ください。
- リファレンスとエレメントに指定したパルス指定条件の比較を行う回路（パルス生成チャネル）は、APAn1 チャネルあたり 16ch を持ち、それぞれ独立して動作することができます。

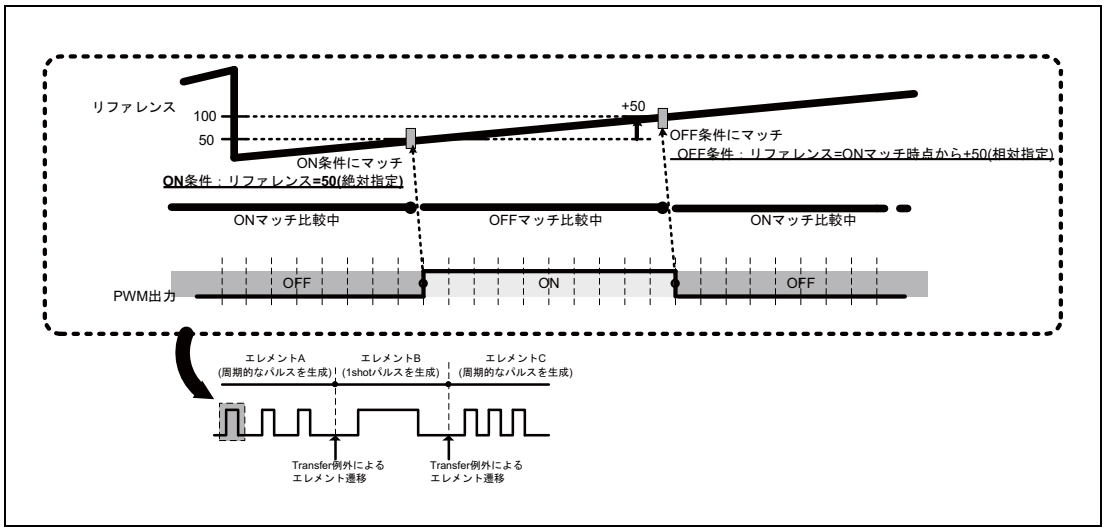


図 23.6 APA における PWM 生成の概念図

23.5.1.2 エレメント

- パルス生成の条件となる各種のパラメータをセットにしたデータ構造を、エレメントと呼びます。
  ひとつのパルス生成チャネルが特定のエレメントをロードし、エレメントの内容に従った PWM 波の生成を行います。
- ひとつのエレメントへ定義するデータについては、**23.4.6.1** 章、**23.4.6.2** 章、**23.4.6.3** 章を参照ください。
- エレメントは全部で 128 個定義することができ、各パルス生成チャネル（PGCH0 ～ 15）でエレメントを共有することができます。
- 各エレメントには次のエレメントへのポインタが定義されており、条件に応じて次のエレメントへ遷移する制御が可能です（**「23.5.1.3 例外処理について」**を参照ください。）。
  これにより、ひとつのパルス生成チャネルで複数のエレメントを使用することができ、エレメントの組み合わせによって複雑なパルス列を生成することが可能です。

23.5.1.3 例外処理について

- 各パルス生成チャネルが PWM によるパルス出力を行う際、内部動作はステートマシンによって制御されますが、特定のステート遷移のトリガとなる信号を例外と呼び、またその遷移自体を例外処理と呼びます。
- 例外は任意のイベント入力を割り当てることができ、例外処理の種類ごとにエッジ（Rise/Fall）、またはレベル（High/Low）を割り当てることができます。また、パルス生成チャネル毎に定義するもの（Stop/Start/Restart）と、エレメント毎に定義するもの（Transfer/ Force/Postpone）があります。
- 例外処理は、**表 23.42** の 6 種類があります。

表 23.42 例外処理

例外処理	動作	イベント入力への割当	定義箇所	備考
Stop	マッチ比較動作を停止します。	エッジ（rise/fall/both）	パルス生成チャネル	
Start	マッチ比較動作を開始します。	エッジ（rise/fall/both）	パルス生成チャネル	各パルス生成チャネルに定義された初期エレメントの設定に基づき、ON マッチ比較を開始します。
Restart	初期エレメントへの遷移を発生させます。	エッジ（rise/fall/both）	パルス生成チャネル	各パルス生成チャネルに定義された初期エレメントの設定に基づき、ON マッチ比較を開始します。
Transfer	OFF マッチ発生時にエレメント遷移することを許可すします。	エッジ（rise/fall/both）	エレメント	Transfer 例外が入力されると、OFF マッチ後のエレメント遷移が有効になった状態が保持されます。 エレメント遷移が発生するまで有効です。 オプション（APAAELMOPTRN 参照）。
Force	ON マッチ／OFF マッチを強制的に発生させます。	エッジ（rise/fall/both）	エレメント	デフォルトでは強制的に次のマッチを発生させます。 オプション（ APAAELMOPFOR 参照）。
Postpone	マッチ検出時の動作を一時的に延期させます。	レベル（High/Low）	エレメント	マッチ発生による PWM 出力端子への反映および、待ち ON/OFF 条件切り替え、それに伴うエレメント遷移が延期されます。 マッチ比較自体は動作しており、Postpone 中にマッチした場合は、解除後に所定の動作が再開されます。

23.5.2 リファレンス制御

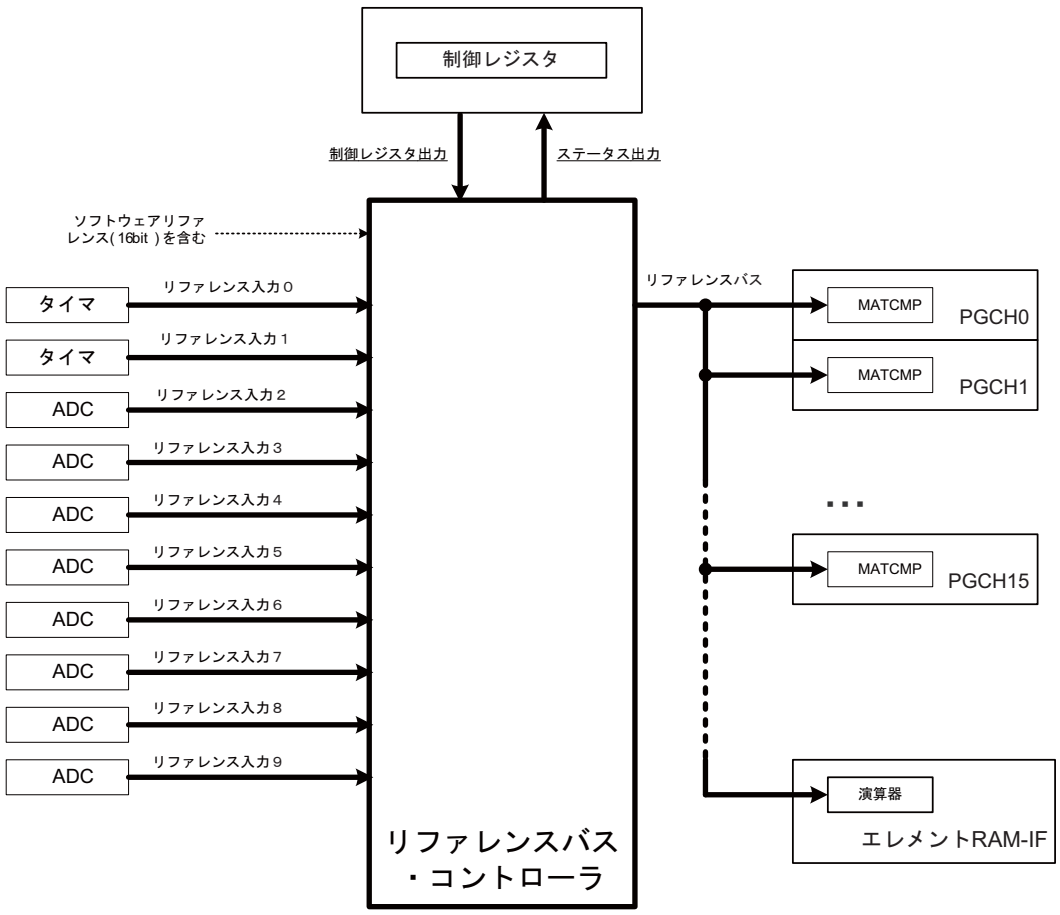
23.5.2.1 特徴・機能概要

外部リファレンス入力（およびソフトウェアリファレンス）を APA 内部で時分割多重化します。

内部のパルス生成チャネル（PGCH0 ～ 15）で、任意のリファレンスを参照できるようにします。

リファレンス出力は、リセット入力信号および APA の動作イネーブル APAACMENAPA ビットで初期化されます。

回路構成を**図 23.7** に示します。



注 1. リファレンス入力は APA 入力セレクタで選択が可能です。
詳細は「**23.6 APA 入出力選択機能概要**」を参照下さい。

図 23.7 リファレンス制御 回路構成

23.5.2.2 リファレンスバスの動作

全てのリファレンス入力は、**図 23.8** に示すタイミングで時分割多重化されます。各リファレンススロットにリファレンス入力を周期的に割り当てることで、分解能の異なる複数のリファレンスを多重化することができます。

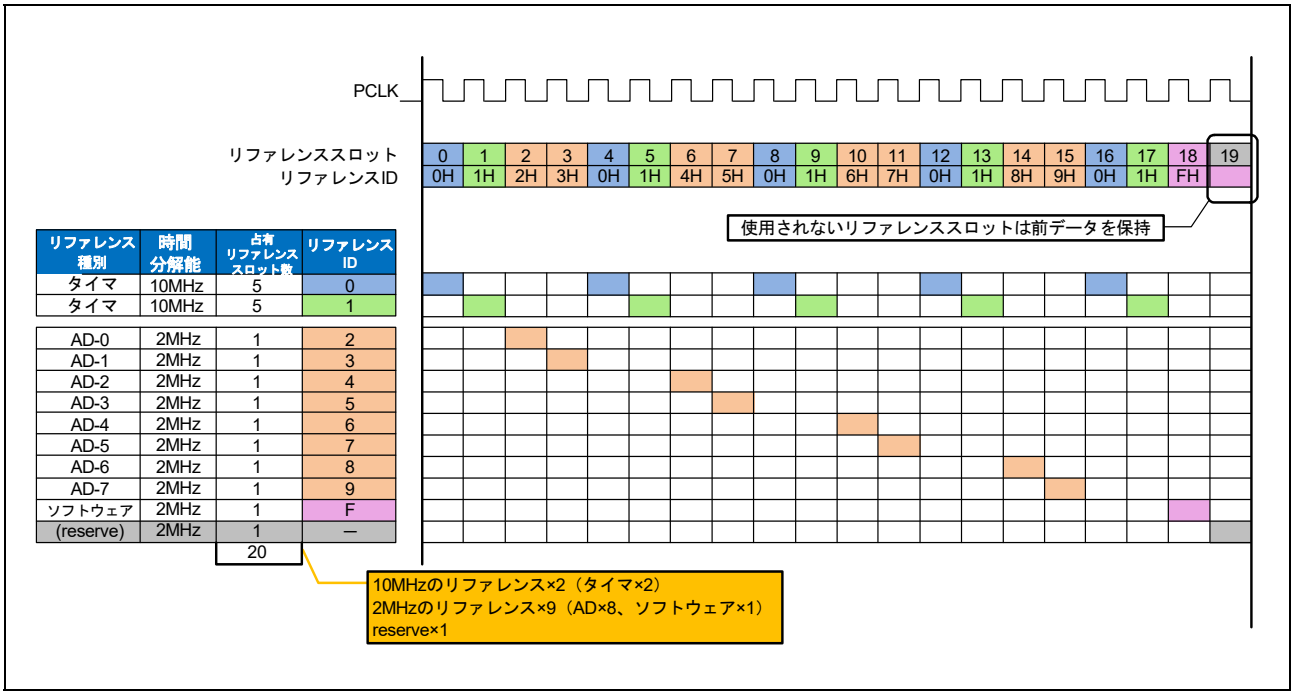


図 23.8 リファレンスバス動作

使用可能なリファレンス入力とリファレンス ID の対応は、**表 23.43** のとおりです。

表 23.43 リファレンス入力の種類

リファレンス ID	名称	時間分解能	相対指定	pclk = 40MHz 時のリファレンス周波数例
0x0	リファレンス入力 0	pclk × 4	使用可	10MHz
0x1	リファレンス入力 1	pclk × 4	使用可	10MHz
0x2	リファレンス入力 2	pclk × 20	使用不可	2MHz
0x3	リファレンス入力 3	pclk × 20	使用不可	2MHz
0x4	リファレンス入力 4	pclk × 20	使用不可	2MHz
0x5	リファレンス入力 5	pclk × 20	使用不可	2MHz
0x6	リファレンス入力 6	pclk × 20	使用不可	2MHz
0x7	リファレンス入力 7	pclk × 20	使用不可	2MHz
0x8	リファレンス入力 8	pclk × 20	使用不可	2MHz
0x9	リファレンス入力 9	pclk × 20	使用不可	2MHz
0xf	ソフトウェアリファレンス	pclk × 20	使用可	2MHz

注 1. リファレンス入力として使用される信号は、**表 23.43** の時間分解能より更新周期が低速である必要があります。
高速な場合、リファレンス制御回路においてデータ取りこぼしが発生し、意図しない動作となります。
リファレンス入力 0、1 に関しては、APA 入力セレクタの機能により、更新周期が調整可能です。
詳細は「**23.6 APA 入出力選択機能概要**」を参照下さい。

23.5.3 イベント制御

23.5.3.1 特徴・機能概要

外部イベント入力（および内部イベント入力）に対し、下記の処理を行います。

- 使用したいイベント入力を選択します。ただし、外部からのイベント入力 58ch、ソフトウェアイベント 6ch のうち 16ch を選択します。内部で生成した PWM 出力 16ch もイベント入力として使用できます。
- 内部のパルス生成チャネル（PGCH0 ～ 15）およびエレメント RAM（ELRAM）で、選択イベント入力 16ch と固定イベント入力 16ch を参照できるようにバス化して共有しています。
- エレメント RAM や演算器などの各種リソースを、各パルス生成チャネル（PGCH0 ～ 15）にて共有するための時分割制御信号を生成します。
- イベントバス出力は、リセット入力信号および APA の動作イネーブル APAACMENAPA ビットで初期化されます。

回路構成を**図 23.9** に示します。

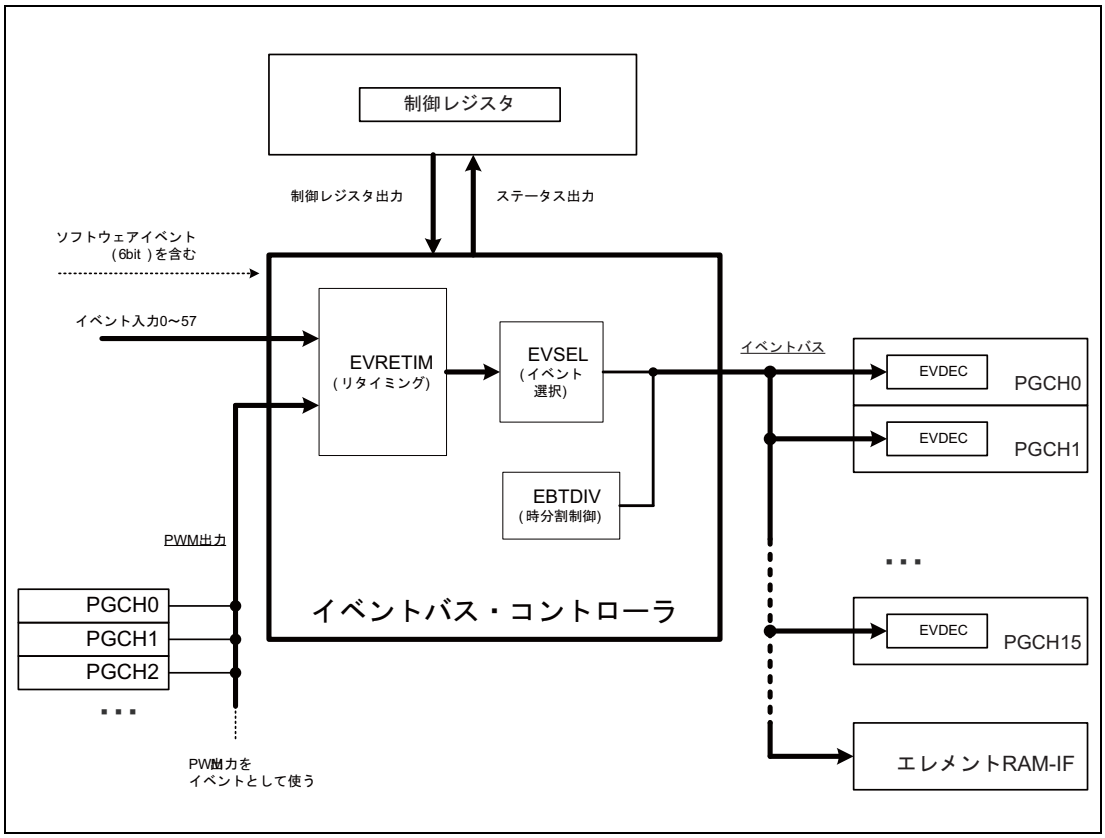


図 23.9 イベント制御 回路構成

23.5.3.2 動作：イベント入力の選択

APA 内部で生成した PWM 出力（16ch）は、イベントとして各パルス生成チャネル（PGCH0 ～ 15）で使用することができます。このときイベントバス内部でリタイミングされます。

また、外部イベント入力 58ch とソフトウェアイベント 6ch を含めた 64ch のうち、16ch を各パルス生成チャネル（PGCH0 ～ 15）でイベントとして使用できます。

イベントバスで受けることのできる入力は**表 23.44** のとおりです。

表 23.44 イベント入力とイベントバスの対応

種別	信号源	時間分解能	ch 数	対応するイベントバス bit
固定イベント入力	PWM 出力： APA 内部で生成	pclk × 1	16	イベントバス [15:0]
選択イベント入力	外部イベント要因 0 ～ 57、またはソフトウェアイベント 6 チャネル計 64 チャネルから任意の 16 チャネルを選択	pclk × 1	16	イベントバス [31:16]

注 1. イベント入力として使用する信号は、**表 23.44** の時間分解能より低速である必要があります。
高速な場合、APA 内部でイベント入力として処理することができずデータ取りこぼしが発生します。

23.5.3.3 動作：時分割制御信号の生成

イベント入力は、各パルス生成チャネルにて例外処理のトリガとして処理されますが、その際にエレメント RAM や各種の演算を伴います。エレメント RAM や演算器のハードウェアリソース共有のため、APA は時分割による制御を行い、APA 内の回路が使用可能な時間を割り振ります。

時分割制御信号の生成は、**図 23.10** のタイミングで行います。

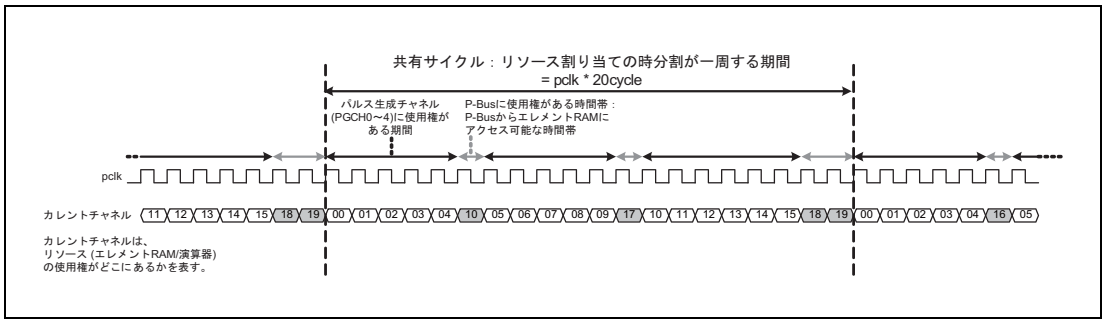


図 23.10 イベント時分割の動作

カレントチャネルに対応し、APA は**表 23.45** のように共有リソース（エレメント RAM・演算器）のアクセス権を割り当てます。

表 23.45 カレントチャネルと共有リソースの割り当て一覧

カレントチャネル値	意味	カレントチャネル値	意味
0x00	PGCH0 が共有リソースにアクセス可能	0x09	PGCH9 が共有リソースにアクセス可能
0x01	PGCH1 が共有リソースにアクセス可能	0x11	CPU がエレメント RAM にアクセス可能
0x02	PGCH2 が共有リソースにアクセス可能	0x0a	PGCH10 が共有リソースにアクセス可能
0x03	PGCH3 が共有リソースにアクセス可能	0x0b	PGCH11 が共有リソースにアクセス可能
0x04	PGCH4 が共有リソースにアクセス可能	0x0c	PGCH12 が共有リソースにアクセス可能
0x10	CPU がエレメント RAM にアクセス可能	0x0d	PGCH13 が共有リソースにアクセス可能
0x05	PGCH5 が共有リソースにアクセス可能	0x0e	PGCH14 が共有リソースにアクセス可能
0x06	PGCH6 が共有リソースにアクセス可能	0x0f	PGCH15 が共有リソースにアクセス可能
0x07	PGCH7 が共有リソースにアクセス可能	0x12	CPU がエレメント RAM にアクセス可能
0x08	PGCH8 が共有リソースにアクセス可能	0x13	CPU がエレメント RAM にアクセス可能

23.5.4 パルス生成

23.5.4.1 特徴・機能概要

リファレンスバスおよびイベントバスの出力に対し、下記の処理を行います。

- 任意のリファレンス信号をリファレンスバスから抽出し、パルス生成条件に基づいてPWM 生成を行います。
  パルス生成条件は、エレメントによって表現されます。
- 任意のイベント信号をイベントバスから抽出し、イベントをトリガとして例外処理を行います。
  イベントから例外処理を生成する条件も、エレメントによって表現されます。
- 例外処理は、各パルス生成チャネルに対して時分割によって行われます。
- PWM 出力および割り込み要求出力は、リセット入力信号およびパルス生成チャネル動作イネーブル APAACMENPGCH[15:0] で初期化されます。

回路構成を**図 23.11** に示します。

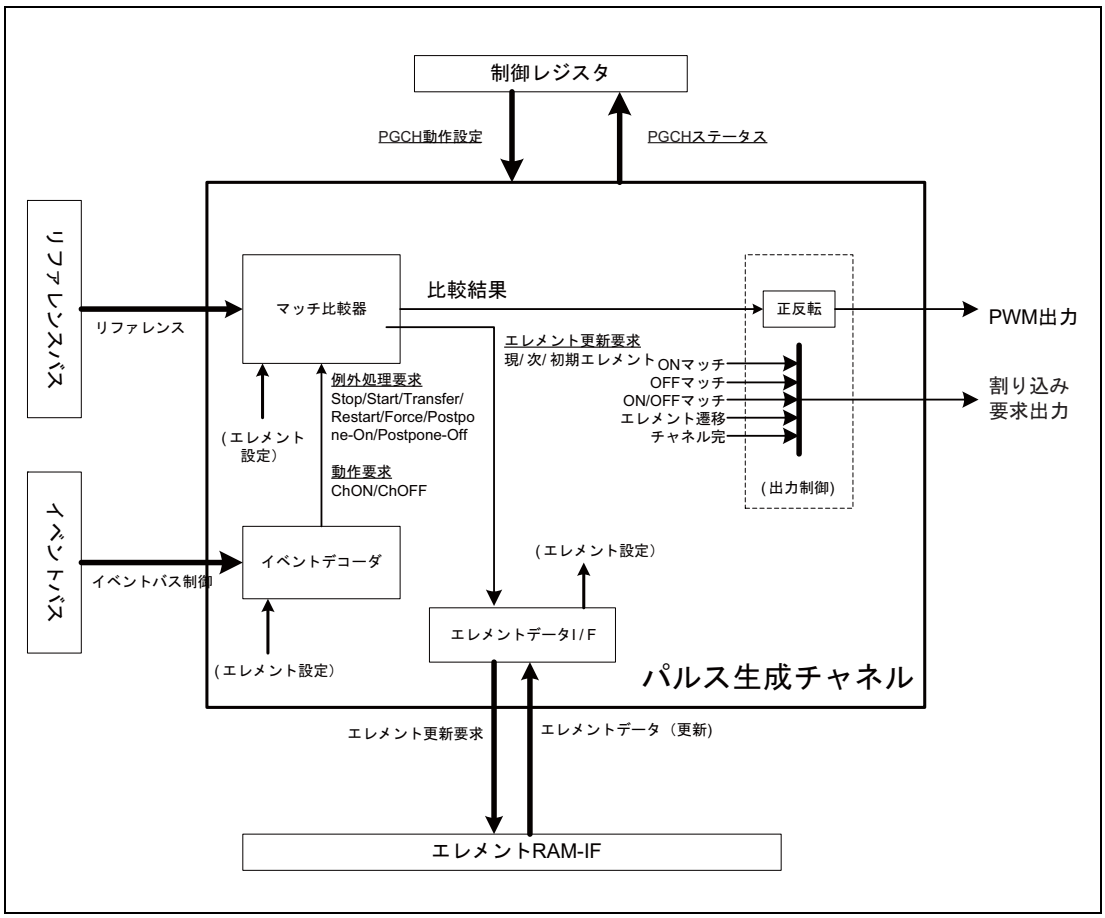


図 23.11 パルス生成 回路構成

23.5.4.2 動作：マッチ比較器

(1) 概要

リファレンス入力との値の比較によってパルス生成と割り込み発生を行います。

エレメントもしくは、パルス生成チャネルに定義されたパラメータに従ってマッチ比較を行います。

マッチ検出時、パルス生成チャネル設定（**23.4.5.1** 章参照）およびエレメント設定（**23.4.6.1** ～ **23.4.6.3** 章参照）に従い、エレメント制御モジュール（エレメント RAM-IF）に対するエレメント更新要求を発行します。

表 23.46 PWM 出力の詳細

種別	時間分解能	ch 数	最小パルス幅	備考
PWM 出力	pclk × 1	16	pclk × 40 (High) pclk × 40 (Low)	左記は、エレメントで指定したマッチ条件で ON/OFF が発生した場合の最小パルス幅です。 例外処理によってマッチ状態が強制的に変化した場合、マッチとの競合によって左記より短いパルス幅となる場合があります。

注 1. PWM 出力はエレメントにてマッチ条件を指定することで生成されるが、マッチ条件として**表 23.46** に示す最小パルス幅を満たすような指定を行ってください。（**「23.5.7.1 マッチ条件の設定 1」**を参照下さい。）最小パルス幅以下のパルス幅になるマッチ条件を指定した場合、意図しないパルス幅となる可能性があります。

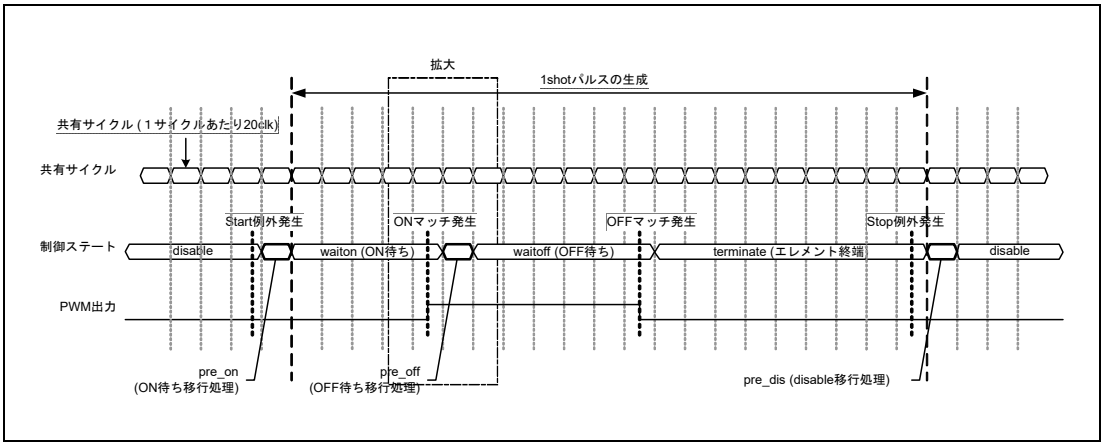


図 23.12 マッチ比較器の動作

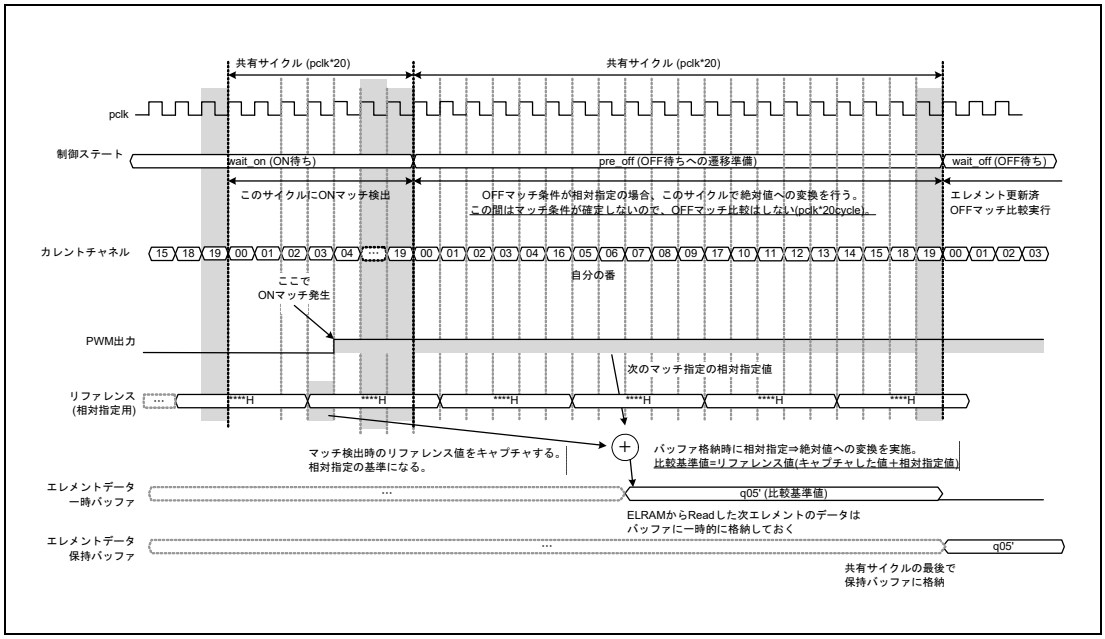


図 23.13 マッチ比較器の動作（拡大）

(2) ステート制御

マッチ比較器は、**図 23.14** に示すステートによって動作開始／停止、ON マッチ比較、OFF マッチ比較、エレメントのシーケンス実行を制御します。

- ステート制御は、イベントバスによって生成されるカレントチャネル信号によって、共有サイクル単位（pclk × 20）で制御されます。
- ステート制御は、**23.5.4.2(3)** 章に示すマッチ制御と連動して動作します。
- マッチ比較器におけるステート制御は、**図 23.14** に示す状態遷移となります。
- **図 23.14** に示す各ステートにはサブステートがあります。
  ステートとサブステートの関連は**表 23.47**、**図 23.14** ～**図 23.22** を参照してください。

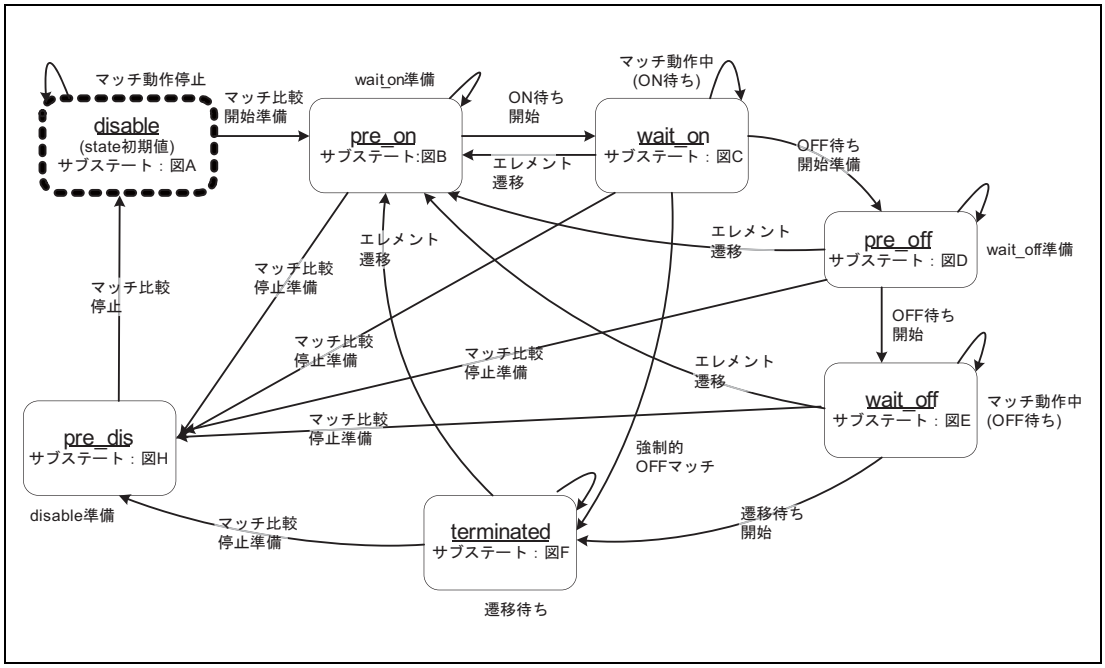


図 23.14 マッチ比較器の状態遷移

マッチ比較の状態（ステート）は、**表 23.47** に示す動作を行います。

表 23.47 ステート一覧

ステート		動作概要	入力条件 (左側が優先度高、右側が優先度低)							
ステート名	サブステート名		チャネル ON/OFF	Stop 例外	Restart 例外	Transfer 例外	Force 例外	マッチ比較	Postpone 例外	Start 例外
disable	disable	マッチ比較を行わない完全停止状態。ステートマシン初期状態。	○ (on のみ)	×	×	—	—	—	—	×
	dis_wstart	マッチ比較停止状態。動作許可 = enable であり、Start/Restart 例外待ち状態。	○ (off のみ)	×	○	—	—	—	—	○
pre_on	pre_on_cur	ON 待ちへの移行準備。エレメント更新（現エレメント）を行う。マッチ比較は行わない。 エレメント継続でのループ時に使われるステート	○ (off のみ)	○	○	○	○	—	×	×
	pre_on_init	ON 待ちへの移行準備。エレメント更新（初期エレメント）を行う。マッチ比較は行わない。	○ (off のみ)	○	○	—	—	—	—	×
	pre_on_nxt	ON 待ちへの移行準備。エレメント更新（次エレメント）を行う。マッチ比較は行わない。	○ (off のみ)	○	○	—	—	—	—	×
wait_on	waiton	ON マッチ比較動作において、マッチ発生または Transfer 例外の入力を待つ。	○ (off のみ)	○	○	○	○	○	○	×
	waiton_tron	ON マッチ比較動作において、Transfer 入力済。マッチ発生を待つ。	○ (off のみ)	○	○	○	○	○	○	×
	forcedoff_troff	ON マッチ比較動作において、Force による強制 OFF マッチが発生した状態。Transfer 例外入力を待つ。	○ (off のみ)	○	○	○	○	× (OFF マッチ発生済)	○	×
	on_postponed	ON マッチ比較動作において、Postpone 例外が入力された状態。マッチ発生 /Postpone 解除を待つ。 Postpone 入力中も ON マッチ比較は動作しているが、Postpone 解除まで PWM 端子への反映はされず、ステートの遷移もしない。	○ (off のみ)	○	○	○	○	○	○	×
pre_off	pre_off	OFF 待ちへの移行準備。エレメント更新（現エレメント）を行う。マッチ比較は行わない。	○ (off のみ)	○	○	○	○	—	×	×
wait_off	waitoff	OFF マッチ比較動作において、マッチ発生または Transfer 例外の入力を待つ。	○ (off のみ)	○	○	○	○	○	○	×
	waitoff_tron	OFF マッチ比較動作において、Transfer 入力済。 マッチ発生を待つ。	○ (off のみ)	○	○	○	○	○	○	×
	matoff_troff	OFF マッチ比較動作において、Transfer が未入力でかつ OFF マッチが発生した状態。 Transfer 例外を待つ。	○ (off のみ)	○	○	○	○	× (OFF マッチ発生済)	○	×
	off_postponed	OFF マッチ比較動作において、Postpone 例外が入力された状態。マッチ発生 /Postpone 解除を待つ。 Postpone 入力中も OFF マッチ比較は動作しているが、Postpone 解除まで PWM 端子へ反映されず、ステート遷移もしない。	○ (off のみ)	○	○	○	○	○	○	×
terminate	terminate	次に実行するエレメントがない（= 最終エレメントが終了した）状態。マッチ比較は行わず、Stop または Restart 例外を待つ。	○ (off のみ)	○	○	—	—	—	—	×
pre_dis	pre_dis	disable への移行準備。内部状態レジスタをリセットする（チャネル・エレメント設定は保持する）。	×	×	×	—	—	—	—	×

凡例 :
○ 処理可
× 処理不可（入力条件の発生は無視される）
— 処理不可（該当ステートで定義不能のため、有効な入力条件が発生しない）

入力条件の詳細については、下記を参照してください。

チャネル ON/OFF	**23.5.4.2 章 (5) チャネル ON/OFF**
Stop 例外	**23.5.4.3 章 (1) Stop 例外**
Restart 例外	**23.5.4.3 章 (3) Restart 例外**
Transfer 例外	**23.5.4.3 章 (4) Transfer 例外**
Force 例外	**23.5.4.3 (5) Force 例外**
マッチ比較	**23.5.4.2 章 (3) マッチ制御**
Postpone 例外	**23.5.4.3 章 (6) Postpone 例外**
Start 例外	**23.5.4.3 章 (2) Start 例外**

表 23.47 の入力条件は、**図 23.15** に示すタイミングで有効となります。

同時に複数の入力条件を検出した場合、**表 23.47** に示す優先度に従って処理します。

入力条件の詳細については、**23.5.4.3** 章を参照してください。

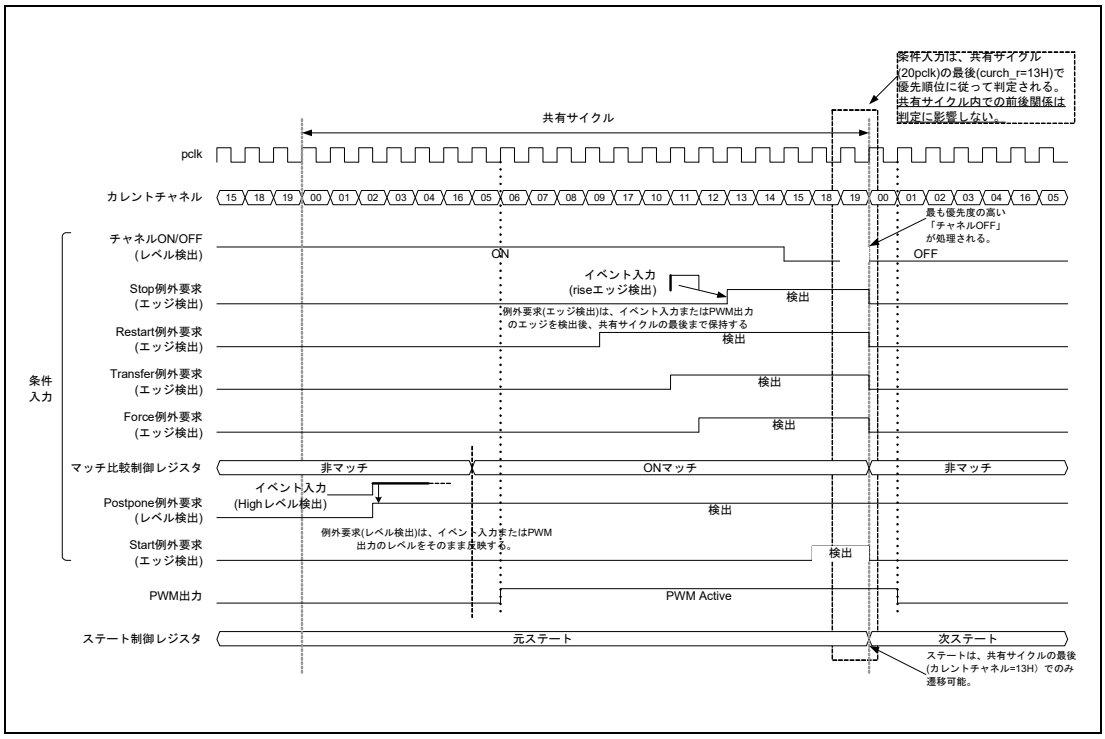


図 23.15 入力条件の判定タイミング

図 23.16 は、マッチ比較器の各ステートの詳細です。

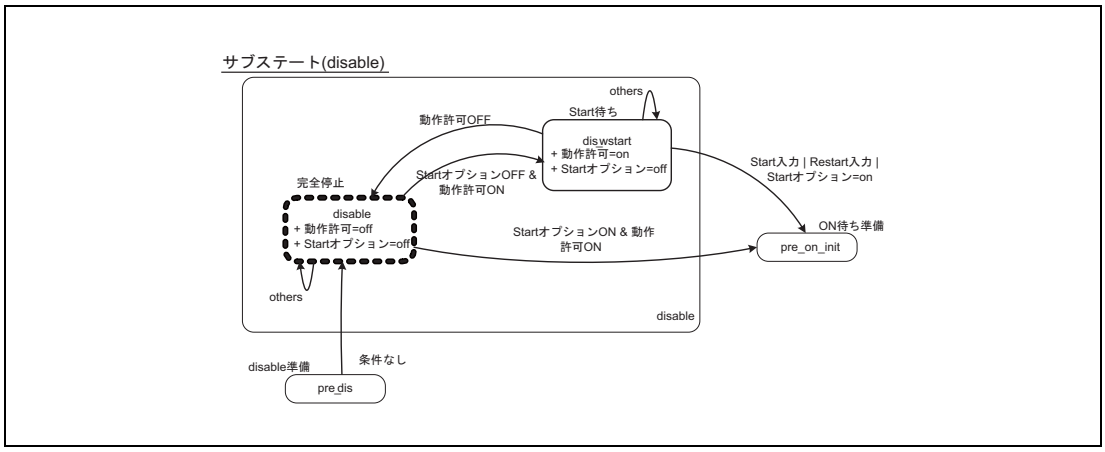


図 23.16 disable ステート内のサブステート遷移図（図 23.14 の図 A）

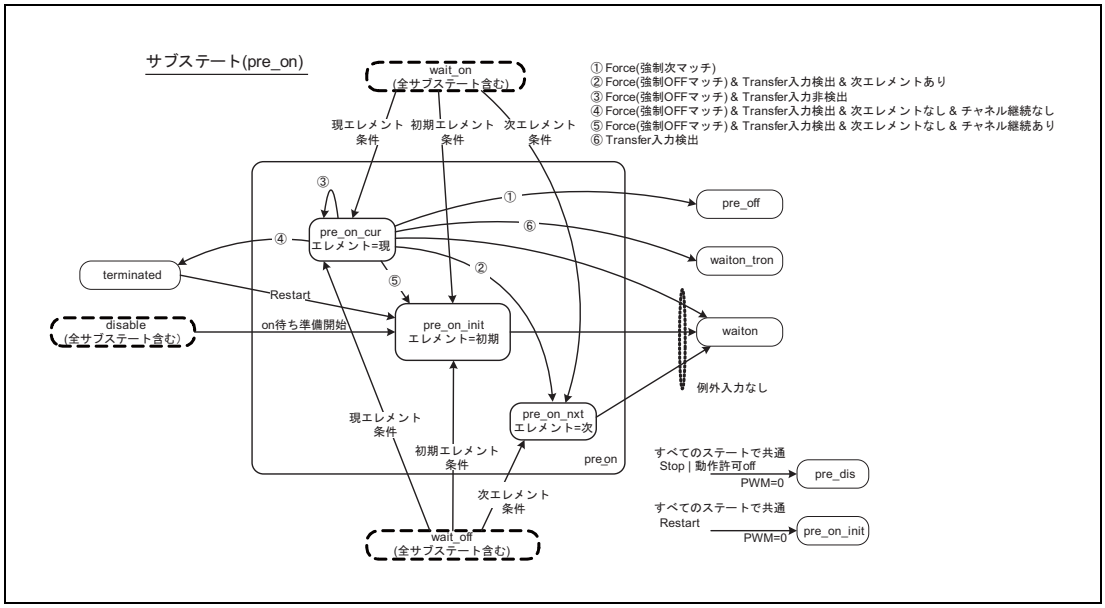


図 23.17 pre_on ステート内のサブステート遷移図（図 23.14 の図 B）

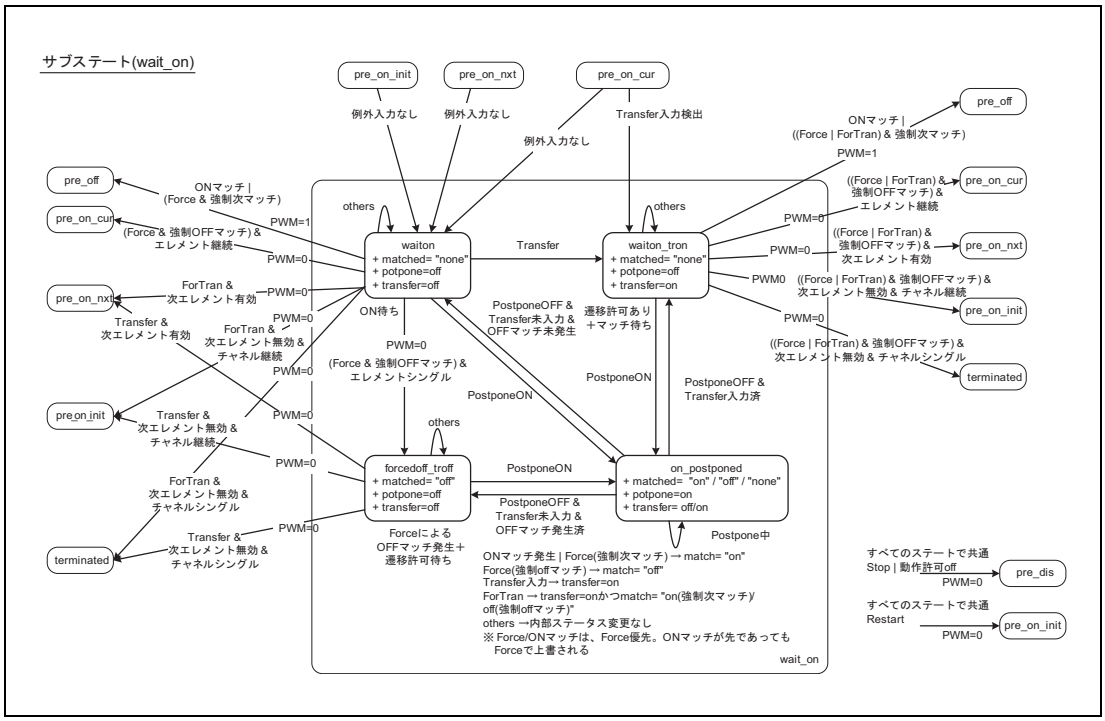


図 23.18 wait_on ステート内のサブステート遷移図（図 23.14 の図 C）

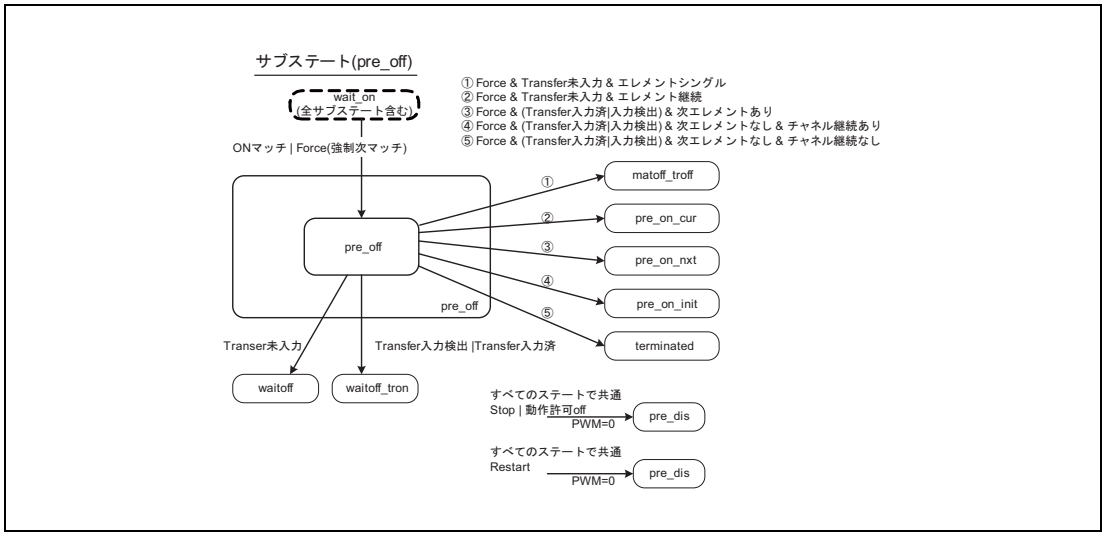


図 23.19 pre_off ステート内のサブステート遷移図（図 23.14 の図 D）

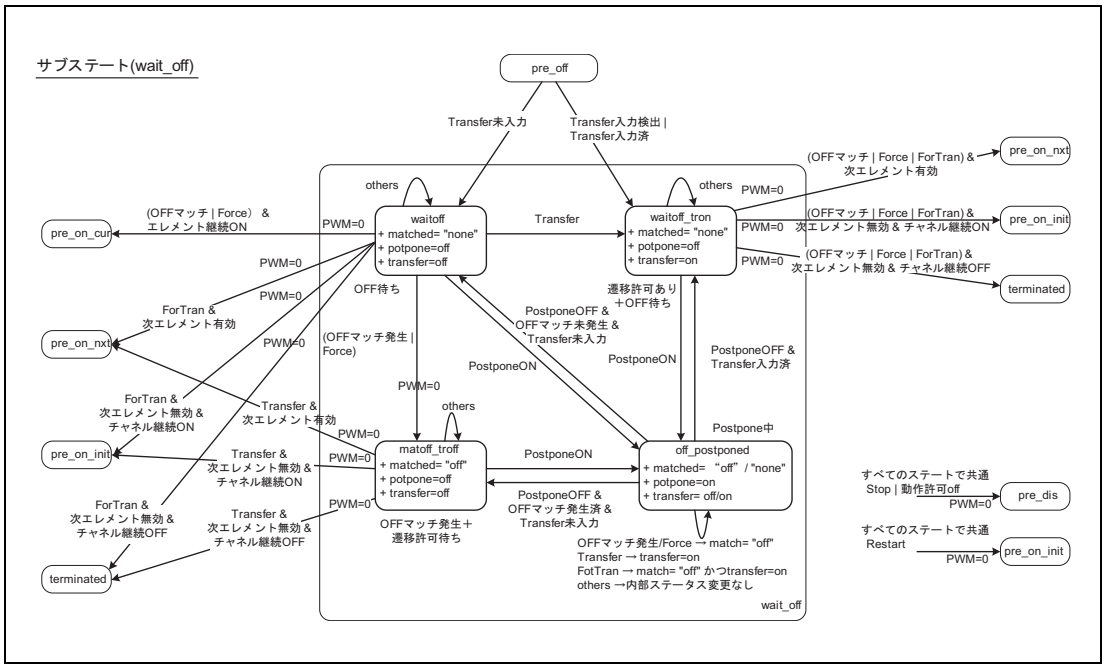


図 23.20 wait_off ステート内のサブステート遷移図（図 23.14 の図 E）

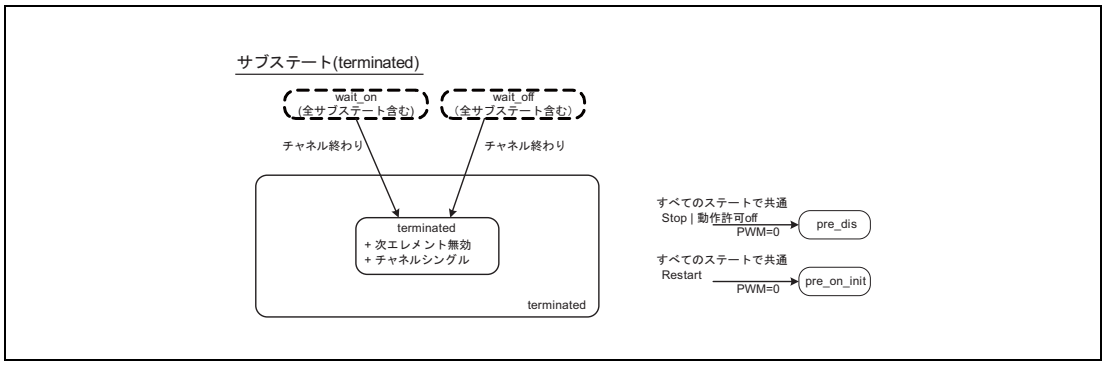


図 23.21 terminated ステート内のサブステート遷移図（図 23.14 の図 F）

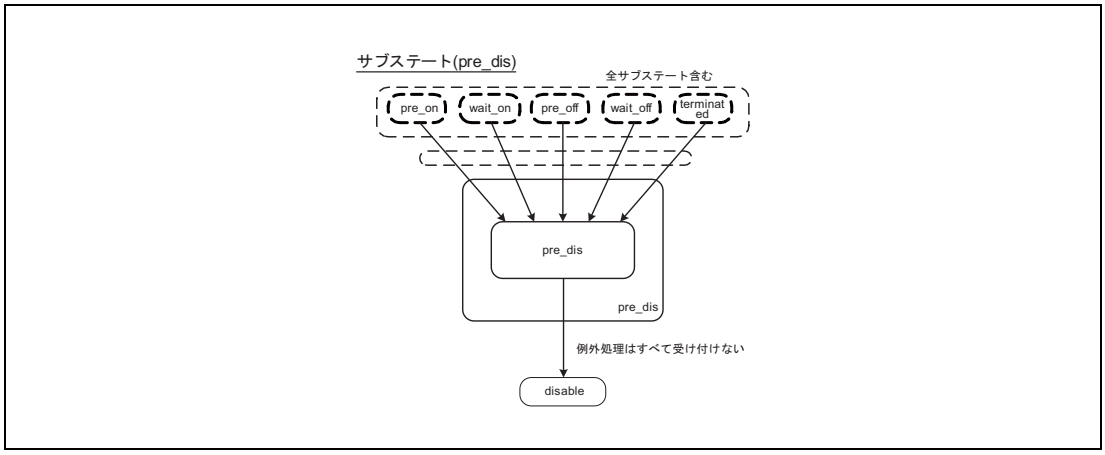


図 23.22 pre_dis ステート内のサブステート遷移図（図 23.14 の図 G）

(3) マッチ制御

マッチ比較器におけるマッチ制御は、リファレンス入力とコンペア条件との比較を行う機能です。

以下の動作を行います。

- リファレンスバス（リファレンス入力を時分割多重化）の出力に対し、マッチ比較用のレジスタ（**表 23.48**、**表 23.50** 参照）で指定した比較条件とコンペアを行い、全条件が合致するとマッチ検出とみなし、マッチ制御レジスタの値を変更します。
- コンペア動作はステート制御と連動して動作し、wait_on 系ステートでは ON マッチ比較のみ、wait_off 系ステートでは OFF マッチ比較のみを行います。ON マッチ比較と OFF マッチ比較は同時には行われません。
- １つのステートで検出するマッチは 1 回のみであり、複数回のマッチが発生することはありません。
- マッチ比較の条件はエレメントごとに定義されます。
- Force 例外により、ON マッチ比較／ OFF マッチ比較状態と無関係にマッチ制御状態を変更することができます。
  Force 例外の詳細な動作は **23.5.4.3** 章 **(5) Force 例外**を参照してください。

表 23.48 ON マッチ比較

項目	説明	
対象ステート	**wait_on 系の４つ**	**ON マッチ比較を行うステートは以下のとおりです。 waiton, waiton_tron., forcedoff_troff, on_postponed**
比較条件 1 （リファレンス番号）	APAAELDRBIDON[3:0]	リファレンス番号を指定します。 値とリファレンス番号の対応は**表 23.33** を参照してください。
比較条件 2 （大小関係）	APAAELDMCON[1:0]	比較基準値との大小または一致関係を指定する。 大小比較は、リファレンス値を符号なしとして扱います。 2’b00 : [指定リファレンス番号のリファレンス値] == 比較基準値 2’b01 : [指定リファレンス番号のリファレンス値] > [比較基準値 2’b10 : [指定リファレンス番号のリファレンス値] < [比較基準値
比較条件 3 （比較基準値）	APAAELDRBDATON [15:0]	ON マッチ用の基準値指定。 符号なしとして指定します。

ON マッチ比較時において**表 23.48** の比較条件 1、2、3 を全て満たしたとき、次のクロックエッジで ON マッチを検出します。

制御信号は**表 23.49** のように変化します。

表 23.49 ON マッチ検出時の信号の変化

項目	説明	
マッチ制御	**APAAMATSTAT[1:0]**	**マッチ未検出（2'b00）→ ON マッチ検出（2'b01）**
PWM 出力	APAAEOPWM[X] （X はチャネル番号）	インアクティブレベル→アクティブレベル • アクティブレベルは各チャネルごとに APA チャネル設定レジスタ Am の APAACHNLEV ビットで設定します • ON マッチ検出時に Postpone 状態であった場合は、レベルは変化しません

ただし Force 例外の入力によって、上記の比較条件と無関係に ON マッチ検出を発生させることができます。

詳細は **23.5.4.3** 章 **(5) Force 例外**を参照してください。

表 23.50 OFF マッチ比較

項目	説明	
対象ステート	**wait_off 系の 4 つ**	**OFF マッチ比較を行うステートは以下のとおりです。 waitoff, waitoff_tron., matoff_troff, off_postponed**
比較条件 1 （リファレンス番号）	APAAELDRBIDOFF[3:0]	リファレンス番号を指定します。 値とリファレンス番号の対応は**表 23.33** を参照。
比較条件 2 （大小関係）	APAAELD_MCOFF[1:0]	比較基準値との大小または一致関係を指定します。 大小比較は、リファレンス値を符号なしとして扱います。 2'b00 : [指定リファレンス番号のリファレンス値] == 比較基準値 2'b01 : [指定リファレンス番号のリファレンス値] > [比較基準値 2'b10 : [指定リファレンス番号のリファレンス値] < [比較基準値
比較条件 3 （比較基準値）	APAAELDRBDATOFF[15:0]	OFF マッチ用の基準値を指定します。 符号なしとして指定します。

OFF マッチ比較時において**表 23.50** の比較条件 1、2、3 を全て満たしたとき、次のクロックエッジで OFF マッチを検出する。制御信号は以下のように変化する。

表 23.51 OFF マッチ検出時の信号の変化

項目	説明	
マッチ制御	**APAAMATSTAT[1:0]**	**ON マッチ検出（2'b01）→ OFF マッチ検出（2'b10）**
PWM 出力	APAAEOPWM[X] （X はチャネル番号）	インアクティブレベル→アクティブレベル • アクティブレベルは各チャネルごとに APA チャネル設定レジスタ Am の APAACHNLEV ビットで設定します • OFF マッチ検出時に Postpone 状態であった場合は、レベルは変化しません

ただし Force 例外の入力によって、上記の比較条件と無関係に OFF マッチ検出を発生させることができる。

詳細は **23.5.4.3** 章 **(5) Force 例外**を参照してください。

図 23.23 に、ON マッチ制御の動作図を示します。

OFF マッチについては、マッチ比較条件を読み替える（on ⇔ off）ことで同様の動作となります。

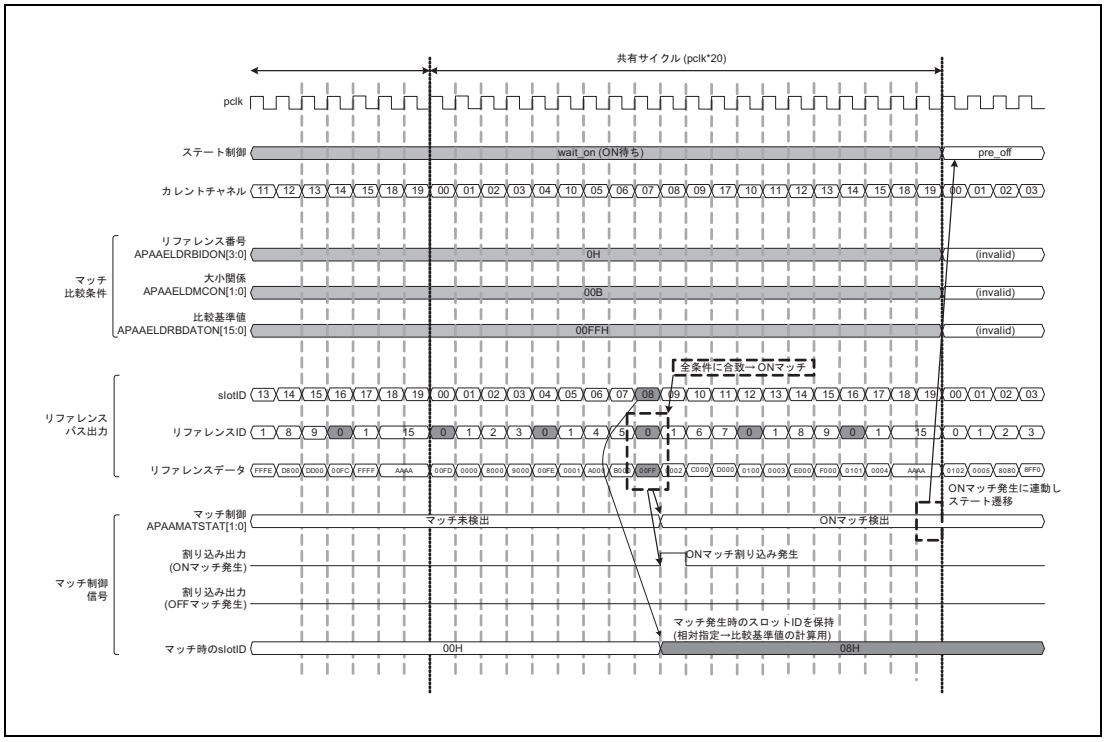


図 23.23 ON マッチ制御の動作図

(4) 割り込み

マッチ比較器の動作中、**表 23.52** に示す状態において割り込みを発生させることができます。

割り込みの設定は、APAAnCCGAm レジスタの APAACHNINTSEL[2:0] ビット（m = 0 ～ 15）にて各チャネルに対して独立して設定可能です。

表 23.52 割り込み発生条件の一覧

APAACHNINTSEL[2:0] 設定	割り込み発生条件	割り込み発生タイミング
3'b000	エレメント遷移後	エレメント更新（ステート：pre_on）が行われた後、 共有サイクル境界で発生。 エレメント継続設定が有効（eldat_**_0.elm_cont = 1）の場合でも、pre_on_cur ステート後の共有サイクル境界で発生します。 **図 23.24** を参照してください。
3'b001	チャネル動作完了時	最終エレメントが終了（マッチ検出または Force 例外による OFF マッチ）が発生した後、共有サイクル境界で発生します。 **図 23.25** を参照してください。
3'b010	ON マッチ発生時	ON 待ち状態（ステート：wait_on）において ON マッチ（コンペアによるマッチ検出または Force 例外）が発生した際に発生します。 下記の条件に分けられる。 1. コンペアによる ON マッチ検出（**図 23.26** 参照） 2. Force 例外による ON マッチ検出 （**図 23.27** 参照） 3. コンペアによる ON マッチ検出と Force 例外による ON マッチ検出の競合 （**図 23.28** 参照） 4. コンペアによる ON マッチ検出と Force 例外による OFF マッチ検出の競合 （**図 23.29** 参照） また、Postpone 状態においても ON マッチ発生に関係なく割り込みは出力します。 **図 23.47** を参照してください。
3'b011	OFF マッチ発生時	OFF 待ち状態（ステート：wait_off）において OFF マッチ（コンペアによるマッチ検出または Force 例外）が発生した際、または、ON 待ち状態（ステート：wait_on）において Force 例外による強制 OFF マッチが発生した際に発生します。 動作図は「ON マッチ発生時」と同じ図を参照してください。 また、Postpone 状態においても前述「ON マッチ発生時」と同様に割り込みは出力します。
3'b100	ON マッチ／ OFF マッチどちらか発生時	ON マッチまたは OFF マッチ発生の両方で PWM アサート／ネゲートと同時に発生します。 動作図は「ON マッチ発生時」と同じ図を参照してください。 また、Postpone 状態においても前述「ON マッチ発生時」と同様に割り込みは出力します。

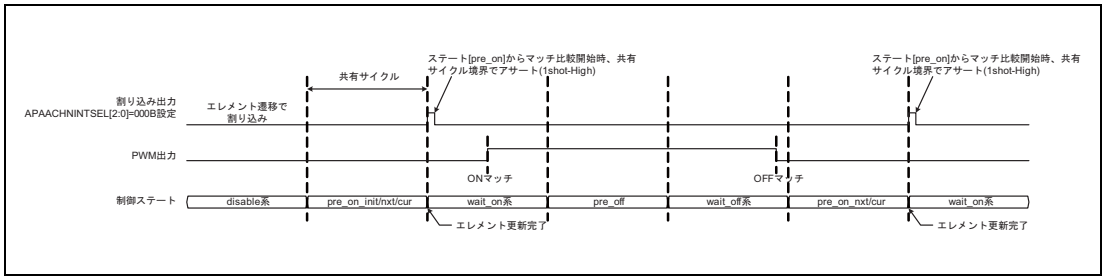


図 23.24 割り込み発生（エレメント遷移後）

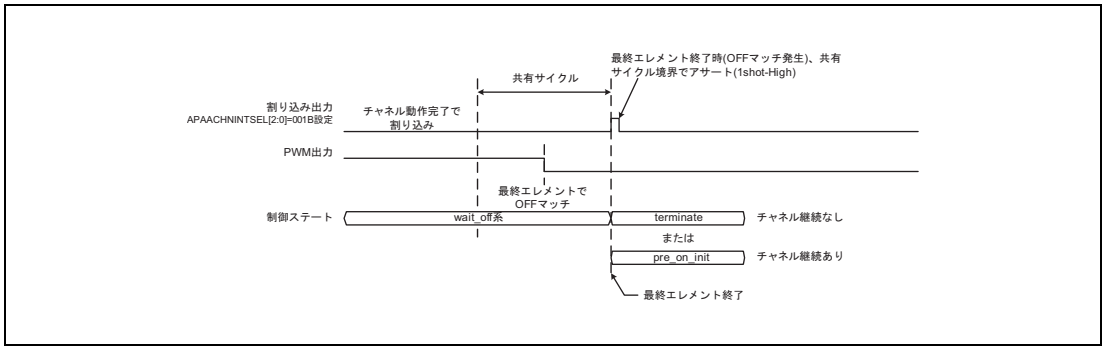


図 23.25 割り込み発生（チャネル動作完了）

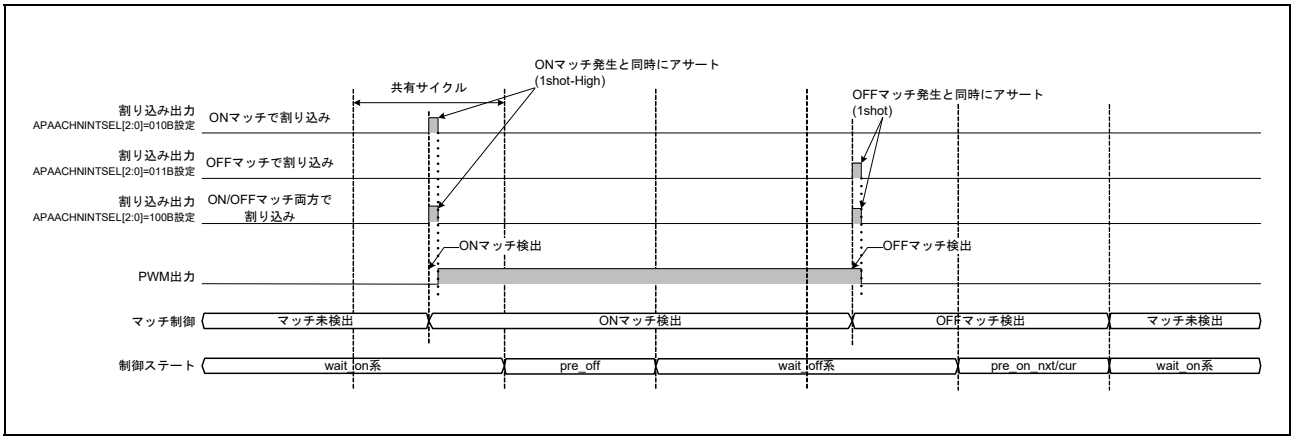


図 23.26 割り込み発生（マッチ検出による ON/OFF/ON+OFF マッチ発生）

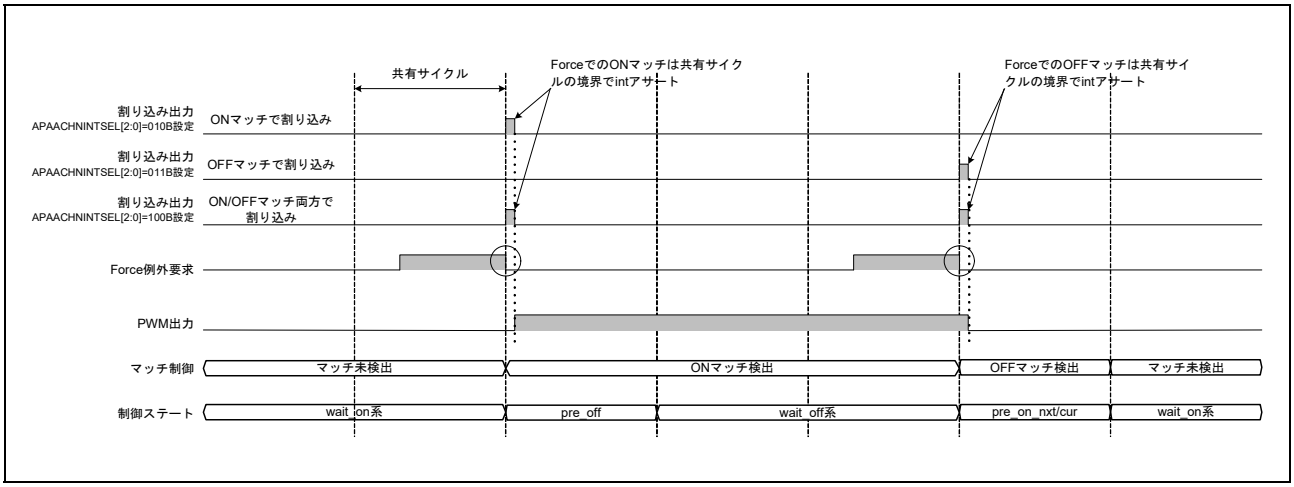


図 23.27 割り込み発生（Force 例外による ON/OFF/ON+OFF マッチ発生）

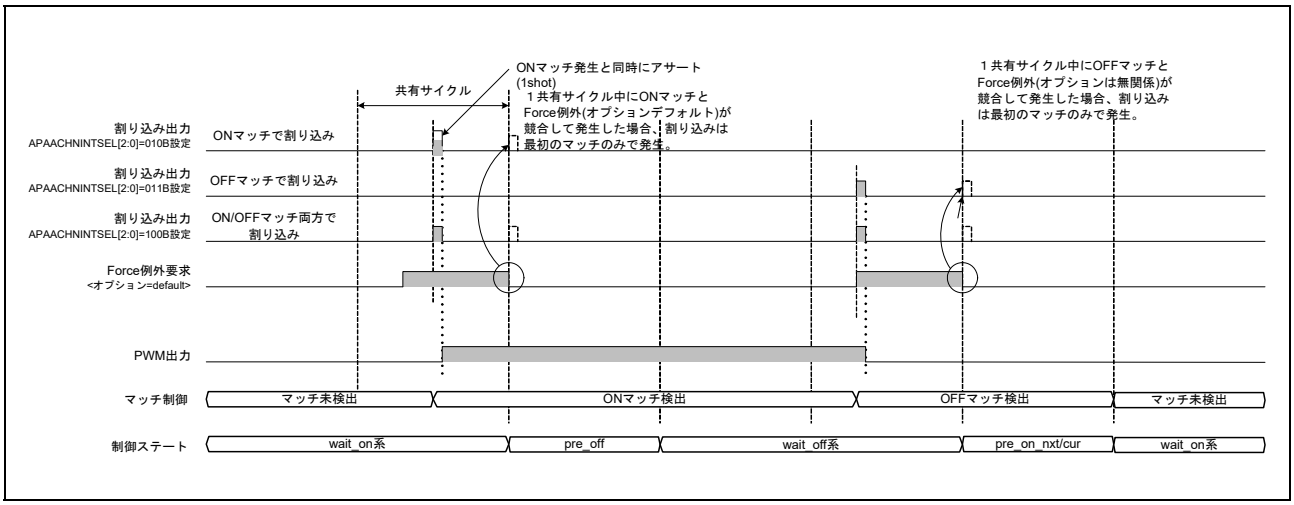


図 23.28 割り込み発生（マッチ検出と Force 例外の競合 1/2）

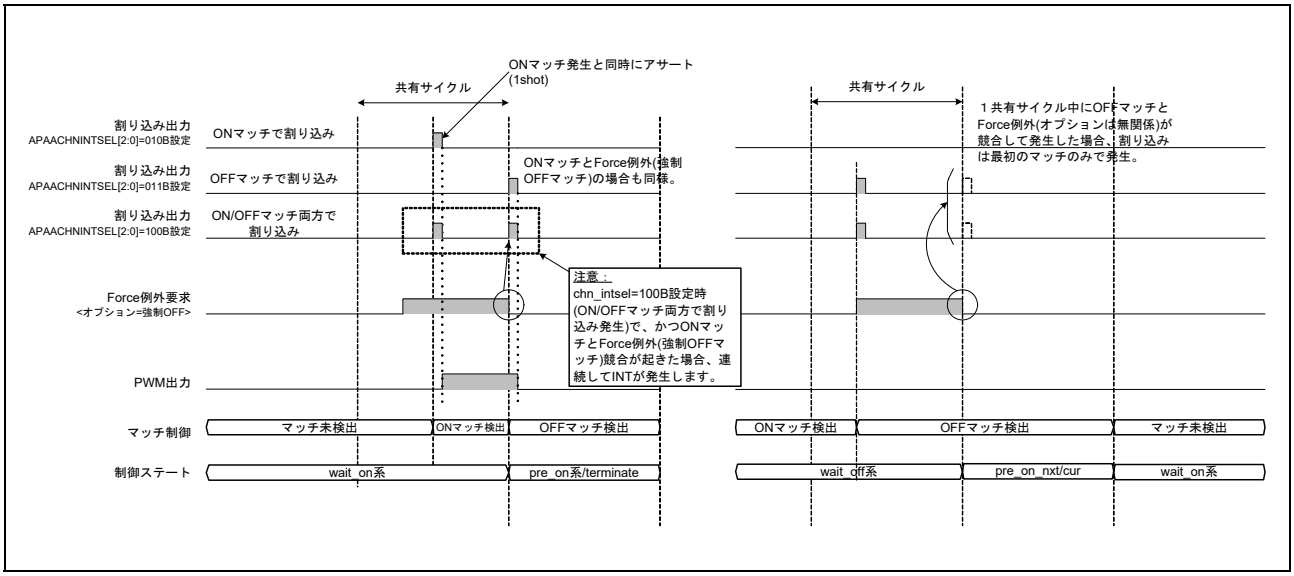


図 23.29 割り込み発生（マッチ検出と Force 例外の競合 2/2）

(5) チャネル ON/OFF

チャネル ON/OFF は、**23.5.4.3** 章で示すイベントデコーダで生成する例外処理要求に準じた条件入力となります。

チャネル ON/OFF は、**表 23.53** に示す動作を発生させます。

表 23.53 チャネル ON/OFF の動作

項目	説明
動作 （チャネル ON）	• チャネル ON は、マッチ比較器の停止状態からマッチ比較動作を起動する条件入力となります。 • ステートは disable のときのみ有効とみなされ、他のステートでは無視されます。 • チャネル ON による PWM 出力、割り込み要求出力は変化しません。
動作 （チャネル OFF）	• チャネル OFF は、マッチ比較器の動作状態からマッチ比較動作を停止させる条件入力となります。 • チャネル動作中（ステート disable/pre_dis 以外）で有効とみなされます。 • チャネルOFFによってPWM出力はステート遷移から1pclk後に強制的にインアクティブレベルになります。このとき割り込み要求は出力されません。
割り当て	• 設定レジスタ は APAAnCHEN[15:0] で、各 bit がチャネルに対応しています。
検出タイプ	• レベル検出です。 （High アクティブのみで、アクティブレベルの選択は不可です。）
オプション	• なし
備考	• なし

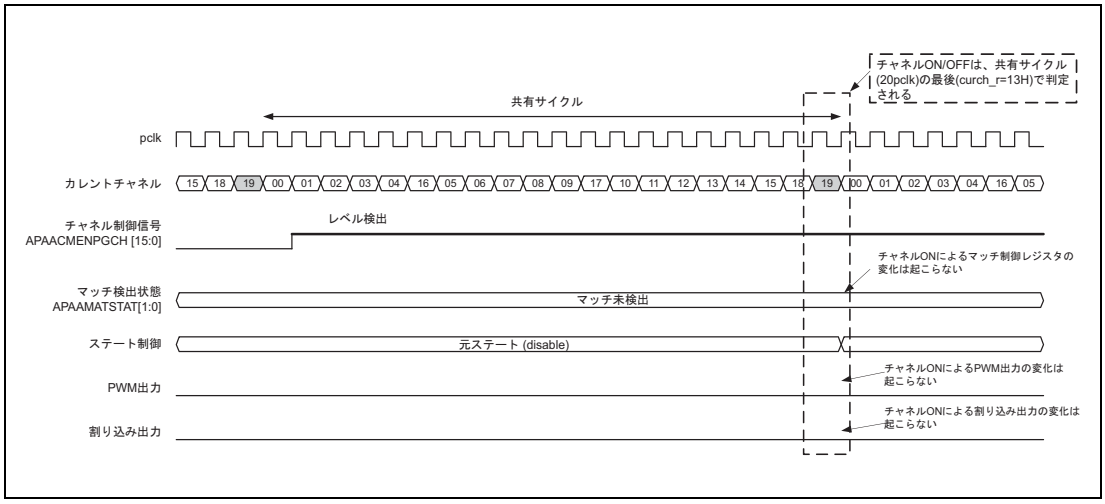


図 23.30 チャネル ON の受理タイミング

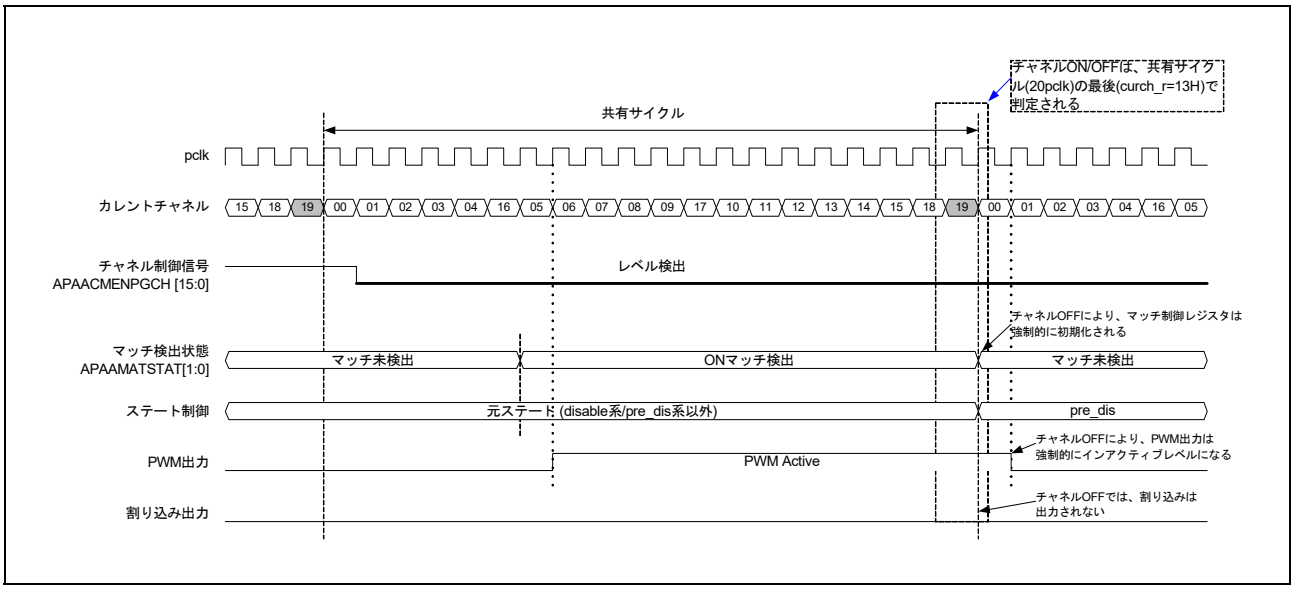


図 23.31 チャネル OFF の受理タイミング

23.5.4.3 動作：イベントデコーダ

イベントバス、もしくは各パルス生成チャネルで生成する PWM 出力から、例外処理要求を生成します。

以下に例外信号のタイミングチャートを記載します。

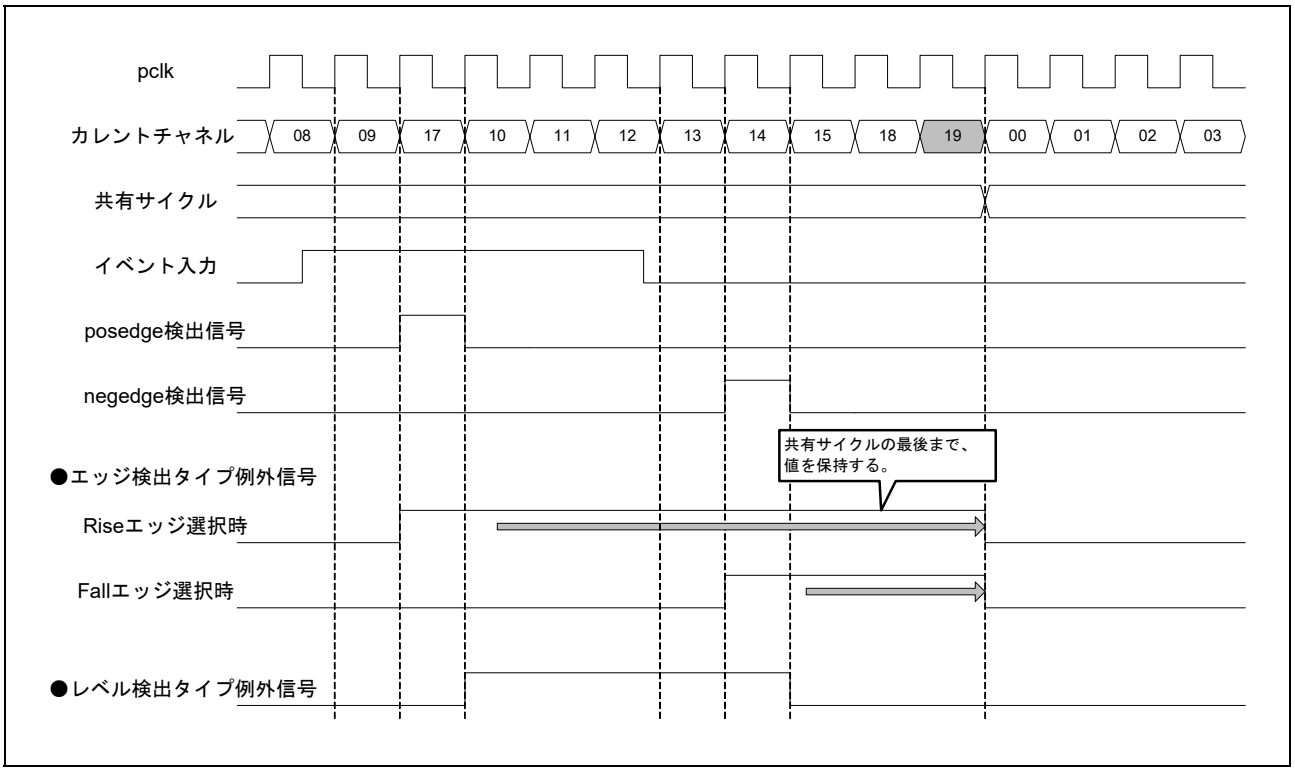


図 23.32 外部イベントを選択した場合の例外信号のタイミングチャート

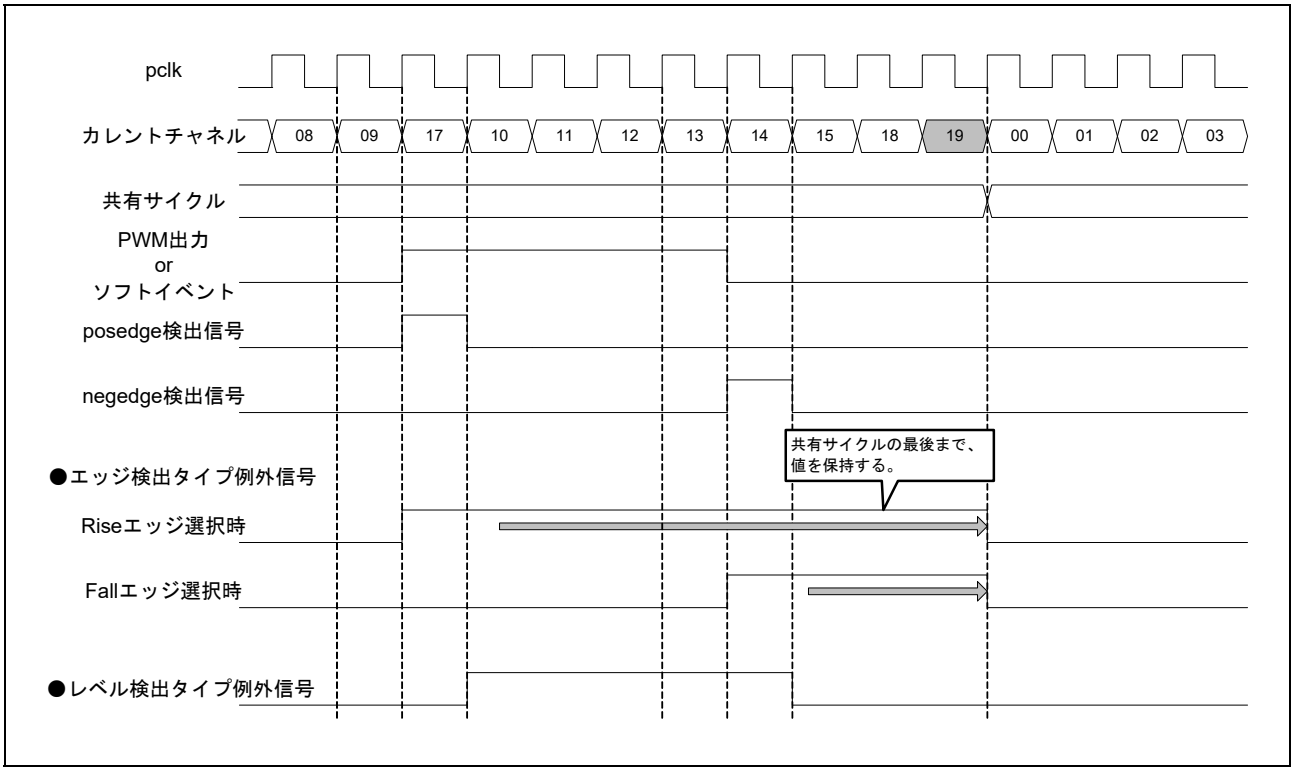


図 23.33 PWM 出力、ソフトイベントを選択した場合の例外信号のタイミングチャート

(1) Stop 例外

Stop 例外は、**表 23.54** に示す動作を起こす例外処理です。

表 23.54 Stop 例外の動作

項目	説明
動作	• Stop 例外は、マッチ比較動作を停止させる例外です。 • マッチ比較動作を行っているとき（ステートが disable / dis_wstart / pre_dis 以外）に有効です。
例外受理時の信号変化	以下の信号がステート遷移（共有サイクルの境界）と同時に変化します。 • マッチ制御レジスタ ：初期化（2'b00：マッチ未検出） • PWM 出力：インアクティブレベル • 割り込み要求出力：変化しない
割り当て	• イベントバス（32bit）の中から選択します。 **23.5.3.2** 章を参照してください。 • パルス生成チャネルごとに個別に定義します。 設定レジスタ は APAACHNIDSTP[4:0] です。
検出タイプ	• エッジ検出で、rise/fall/both の中から選択します。 • パルス生成チャネルごとに定義します。 設定レジスタは APAACHNEGSTP[1:0] です。
オプション	• なし
備考	• Start 例外オプション（APAACHNOPSTR）が有効の場合、Stop 例外では停止しなくなります その場合、チャネル OFF（APAAnCHEN レジスタで、該当チャネルを動作不許可に設定）によって停止します。

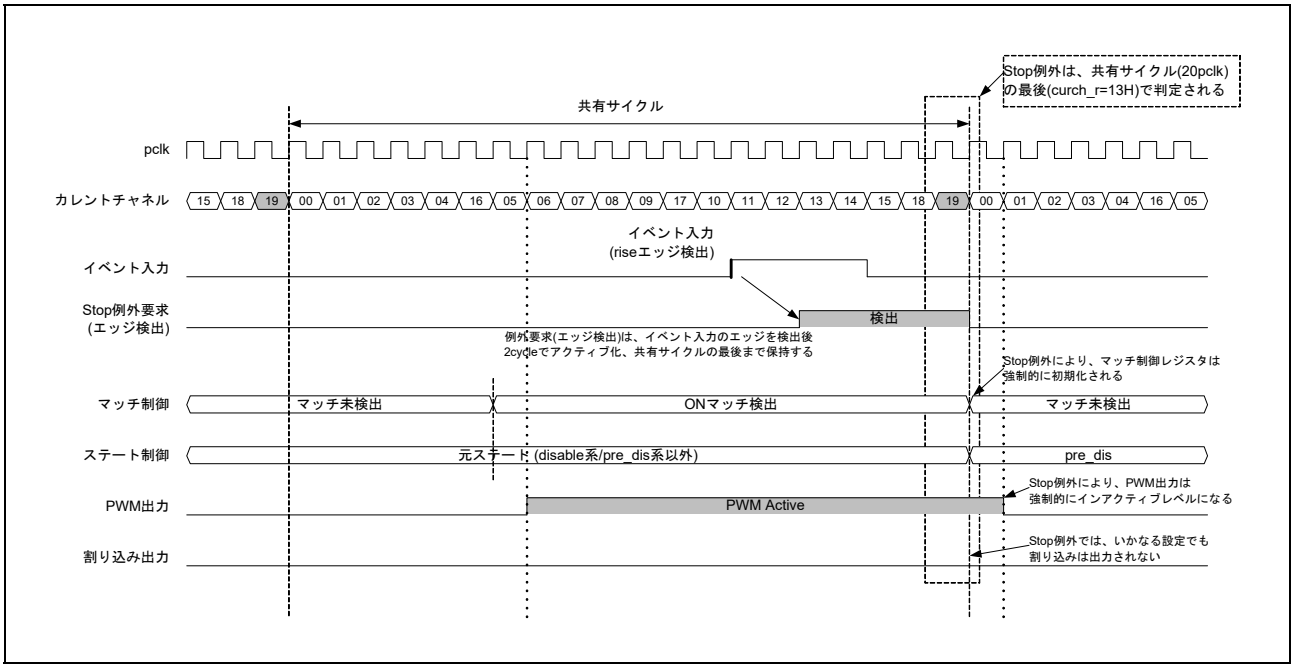


図 23.34 Stop 例外の受理タイミング

(2) Start 例外

Start 例外は、**表 23.55** に示す動作を起こす例外処理です。

表 23.55 Start 例外の動作

項目	説明
動作	• Start 例外は、マッチ比較動作を開始させる例外です。 • マッチ比較停止状態で、かつチャネル動作許可 = ON（ステートが dis_wstart）のみで有効です。
例外受理時の信号変化	いずれも変化しません。 • マッチ制御レジスタ：変化しない • PWM 出力：変化しない • 割り込み出力：変化しない
割り当て	• イベントバス（32bit）の中から選択。**23.5.3.2** 章を参照してください。 • パルス生成チャネルごとに個別に定義します。 設定レジスタ は APAACHNIDSTR[4:0] です。
検出タイプ	• エッジ検出で、rise/fall/both の中から選択します。 • パルス生成チャネルごとに定義します。 設定レジスタは APAACHNEGSTR[1:0] です。
オプション	• Start オプション（APAACHNOPSTR）で設定します。 – 0：動作許可後、Start 例外をトリガに動作開始（default） – 1：動作許可後、直ちに動作開始（Start 例外不要）
備考	• Start 例外オプション（APAACHNOPSTR）が有効の場合、Stop 例外では停止しなくなります • その場合、チャネル OFF（APAAnCHEN レジスタで、該当チャネルを動作不許可に設定）によって停止します。

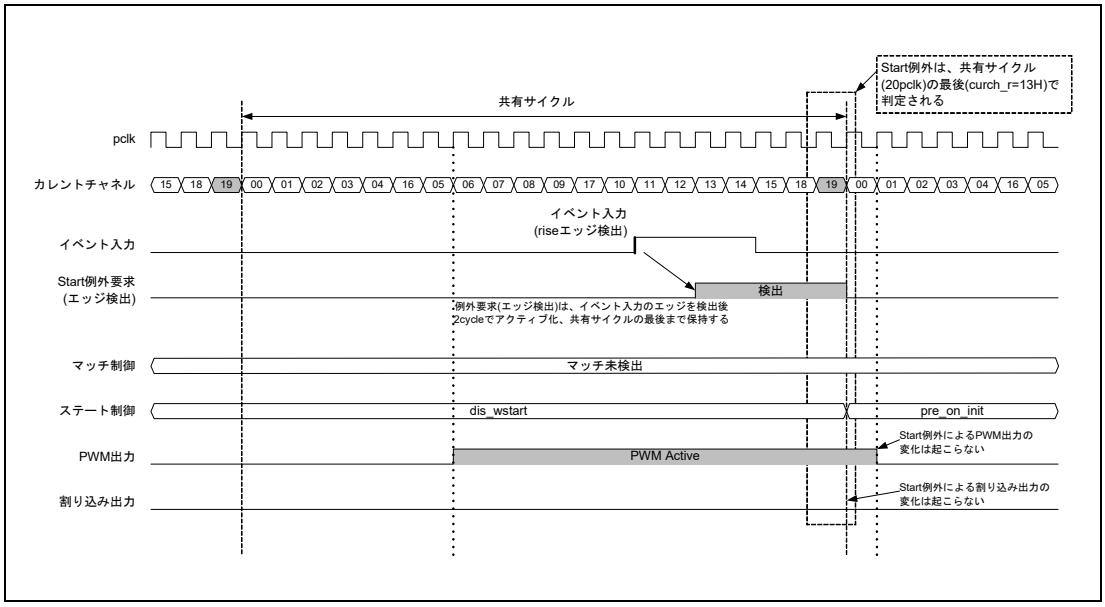


図 23.35 Start 例外の受理タイミング

(3) Restart 例外

Restart 例外は、**表 23.56** に示す動作を起こす例外処理です。

表 23.56 Restart 例外の動作

項目	説明
動作	• Restart 例外は、マッチ比較動作中において、強制的に初期エレメントへの遷移を発生させる例外です。 • マッチ比較停止中（ステートが disable/pre_dis）以外で有効です。 • Restart 例外が受理された際は、PWM 出力はステート遷移と同時に強制的にインアクティブレベルになります。 また、割り込み要求は出力されません。
例外受理時の信号変化	以下の信号がステート遷移（共有サイクルの境界）と同時に変化します。 • マッチ制御レジスタ：初期化（2'b00：マッチ未検出） • PWM 出力：インアクティブレベル • 割り込み要求出力：変化しない
割り当て	• イベントバス（32bit）の中から選択。**23.5.3.2** 章を参照してください。 • パルス生成チャネルごとに個別に定義します。 設定レジスタ は APAACHNIDRES[4:0] です。
検出タイプ	• エッジ検出で、rise/fall/both の中から選択します。 • パルス生成チャネルごとに定義します。 設定レジスタは APAACHNEGRES[1:0] です。
オプション	• なし
備考	• なし

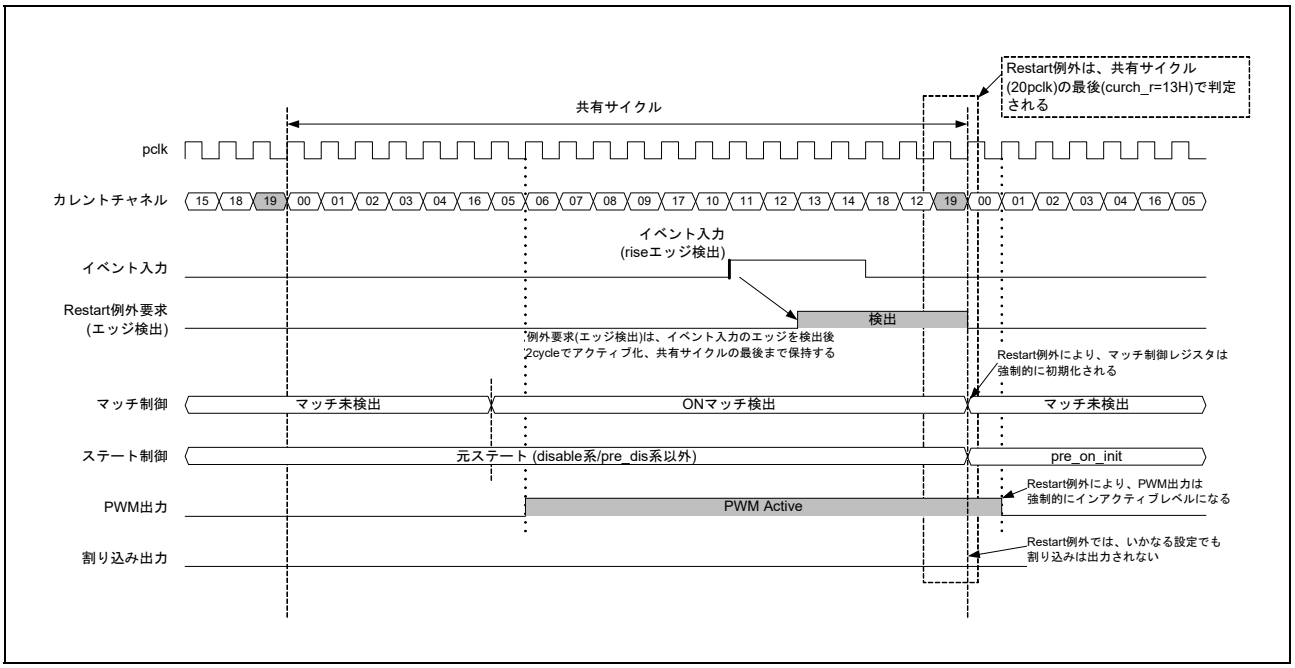


図 23.36 Restart 例外の受理タイミング

(4) Transfer 例外

Transfer 例外は、**表 23.57** に示す動作を起こす例外処理です。

表 23.57 Transfer 例外の動作

項目	説明
動作	• Transfer 例外は、OFF マッチ発生時にエレメント遷移することを許可する例外です。 • ON マッチ比較動作（wait_on 系ステート）、OFF マッチ比較動作中（wait_off 系ステート）、および現エレメントへの更新（ステート pre_on_cur/pre_off）を行っているときに有効です。 • OFF マッチ未発生の状態で Transfer 例外が受理された際は、Transfer 入力状態フラグ（trn_stat レジスタ）を 1 にセットします。 • tran_stat レジスタは次のエレメントへの遷移が起こるまで保持され、次のエレメントへの遷移と同時にクリアされます。 • OFF マッチ発生済で Transfer 例外が受理された際は、次エレメントへ遷移します。このときは trn_stat レジスタはセットされません。
例外受理時の信号変化	以下の信号がステート遷移（共有サイクルの境界）と同時に変化します。 • マッチ制御レジスタ：変化しない • PWM 出力：変化しない • 割り込み出力：変化しない • Transfer 入力状態フラグ:0 → 1 にセット（OFF マッチ未発生の場合）、または 0 のまま変化しない（OFF マッチ発生までに Trasfer 未入力の場合）
割り当て	• イベントバス（32bit）の中から選択。**23.5.3.2** 章を参照してください。 • エレメントごとに個別に定義します。 • 設定レジスタ は APAAELMIDTRN[4:0] です。
検出タイプ	• エッジ検出で、rise/fall/both の中から選択します。 • エレメントごとに個別に定義します。 • 設定レジスタは APAAELMEGTRN[1:0] です。
オプション	• Transfer オプション（APAAELMOPTRN）で設定します。 – 0：次のエレメントへの遷移に Transfer 例外の入力が必要（default）。 – 1：OFF マッチ発生によって自動的に次のエレメントへ遷移する（Transfer 例外不要）。
備考	• Transfer オプション（APAAELMOPTRN）設定は、エレメント継続設定（APAAELMOPTRN）より優先します。 エレメント継続を使用する場合は、Transfer オプション（APAAELMOPTRN）を 0 に設定してください。

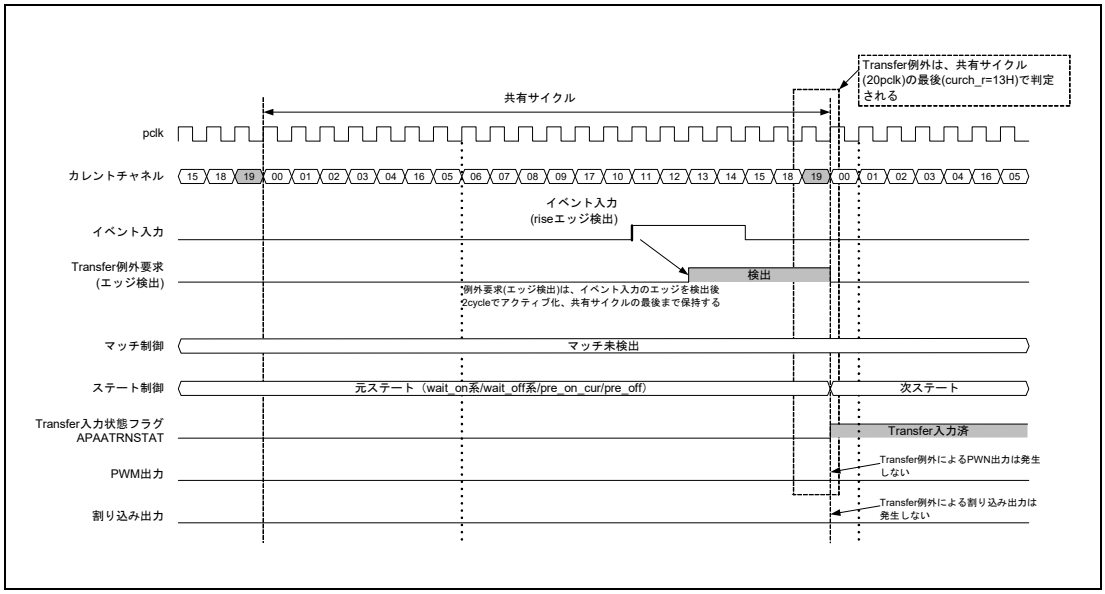


図 23.37 Transfer 例外の受理タイミング

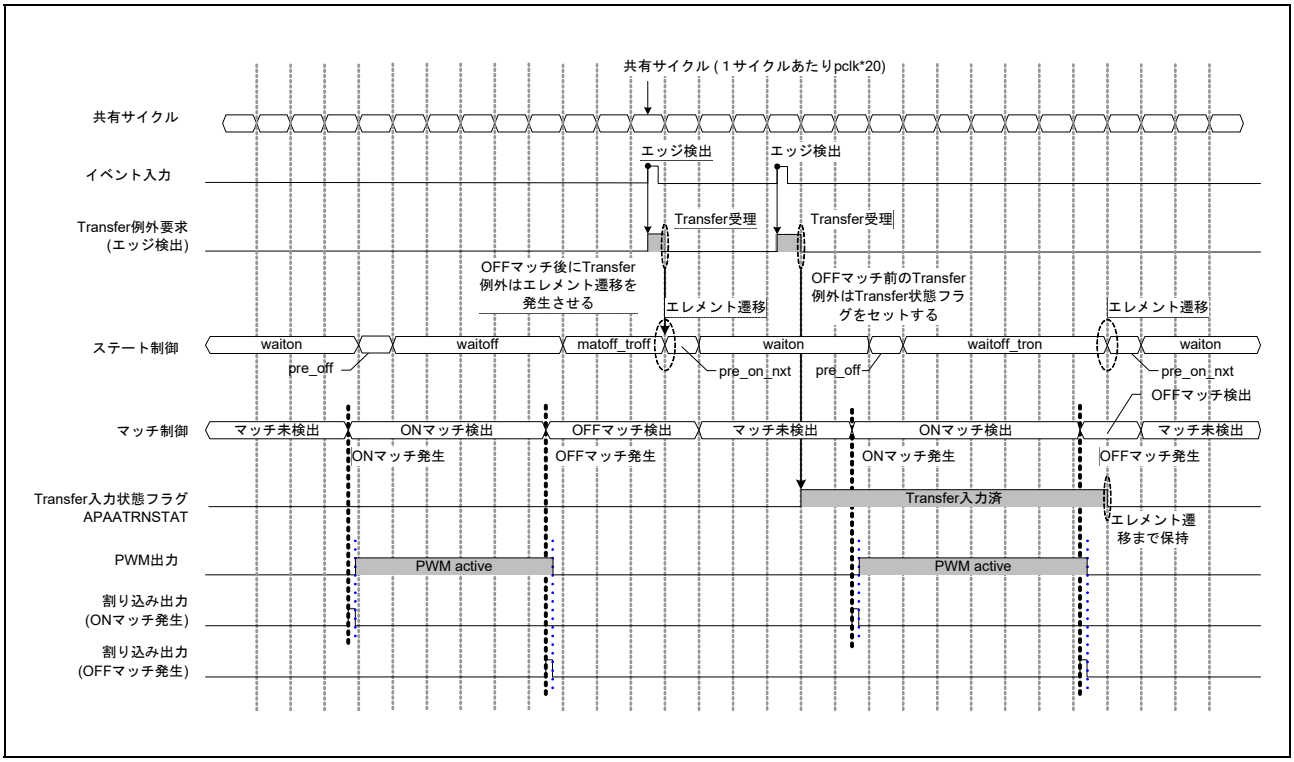


図 23.38 Transfer 例外 動作

(5) Force 例外

Force 例外は、**表 23.58** に示す動作を起こす例外処理です。

表 23.58 Force 例外の動作 (1/2)

項目	説明
動作	• Force 例外は、強制的にマッチを発生させる例外です。 • ON マッチ比較動作（wait_on 系ステート）、OFF マッチ比較動作中（wait_off 系ステート）、および現エレメントへの更新（ステート pre_on_cur/pre_off）を行っているときに有効です。
例外受理時の信号変化（wait_on 系ステート）	以下の信号がステート遷移（共有サイクルの境界）と同時に変化します。 • ON マッチ未発生で Force 例外（オプション default）の場合（**図 23.39** 参照） – マッチ制御レジスタ：ON マッチ検出（2'b01） – PWM 出力：インアクティブ→アクティブレベル（ただし Postpone 状態では変化しない） – 割り込み出力：割り込み要求をアサート（ON マッチ発生割り込み／ ON マッチ + OFF マッチ発生割り込み設定の場合） • ON マッチ未発生で Force 例外（強制 OFF マッチオプション）の場合（**図 23.40** 参照） – マッチ制御レジスタ：OFF マッチ検出（2'b10） – PWM 出力：変化しない – 割り込み出力：割り込み要求をアサート（OFF マッチ発生割り込み／ ON マッチ + OFF マッチ発生割り込み設定の場合） • ON マッチ発生済で Force 例外（オプション default）の場合（**図 23.42** 参照） – マッチ制御レジスタ：変化しない – PWM 出力：変化しない – 割り込み出力：変化しない • ON マッチ発生済で Force 例外（強制 OFF マッチオプション）の場合（**図 23.45** 参照） – マッチ制御レジスタ：OFF マッチ検出（2'b10） – PWM 出力：アクティブ→インアクティブレベル（ただし Postpone 状態では変化しない） – 割り込み出力：割り込み要求をアサート（OFF マッチ発生割り込み／ ON マッチ + OFF マッチ発生割り込み設定の場合） • OFF マッチ発生済（Force 例外：強制 OFF マッチオプション）でさらに Force 例外の場合（**図 23.44** 参照） – マッチ制御レジスタ：変化しない – PWM 出力：変化しない – 割り込み出力：変化しない
例外受理時の信号変化（wait_off 系ステート）	以下の信号がステート遷移（共有サイクルの境界）と同時に変化します。 • OFF マッチ未発生で Force 例外（オプションは無関係）の場合（**図 23.41** 参照） – マッチ制御レジスタ：OFF マッチ検出（2'b10） – PWM 出力：アクティブ→インアクティブレベル（ただし Postpone 状態では変化しない） – 割り込み出力：割り込み要求をアサート（OFF マッチ発生割り込み／ ON マッチ + OFF マッチ発生割り込み設定の場合） • OFF マッチ発生済で Force 例外（オプションは無関係）の場合（**図 23.43** 参照） – マッチ制御レジスタ：OFF マッチ検出（2'b10） – PWM 出力：変化しない – 割り込み出力：変化しない
割り当て	• イベントバス（32bit）の中から選択。**23.5.3.2** 章を参照してください。 • エレメントごとに個別に定義します。 設定レジスタ は APAAELMIDFOR[4:0] です。

表 23.58 Force 例外の動作 (2/2)

項目	説明
検出タイプ	• エッジ検出で、rise/fall/both の中から選択します。 • エレメントごとに個別に定義します。 設定レジスタは APAAELMEGFOR[1:0] です。
オプション	• Force オプション（APAAELMOPFOR）で設定。 – 0：強制的に次マッチを発生。ON 待ち→強制的に ON マッチ発生、OFF 待ち→強制的に OFF マッチ発生 （default） – 1：強制的に OFF マッチを発生。ON 待ち→強制的に OFF マッチ発生、OFF 待ち→強制的に OFF マッチ発生
備考	• なし

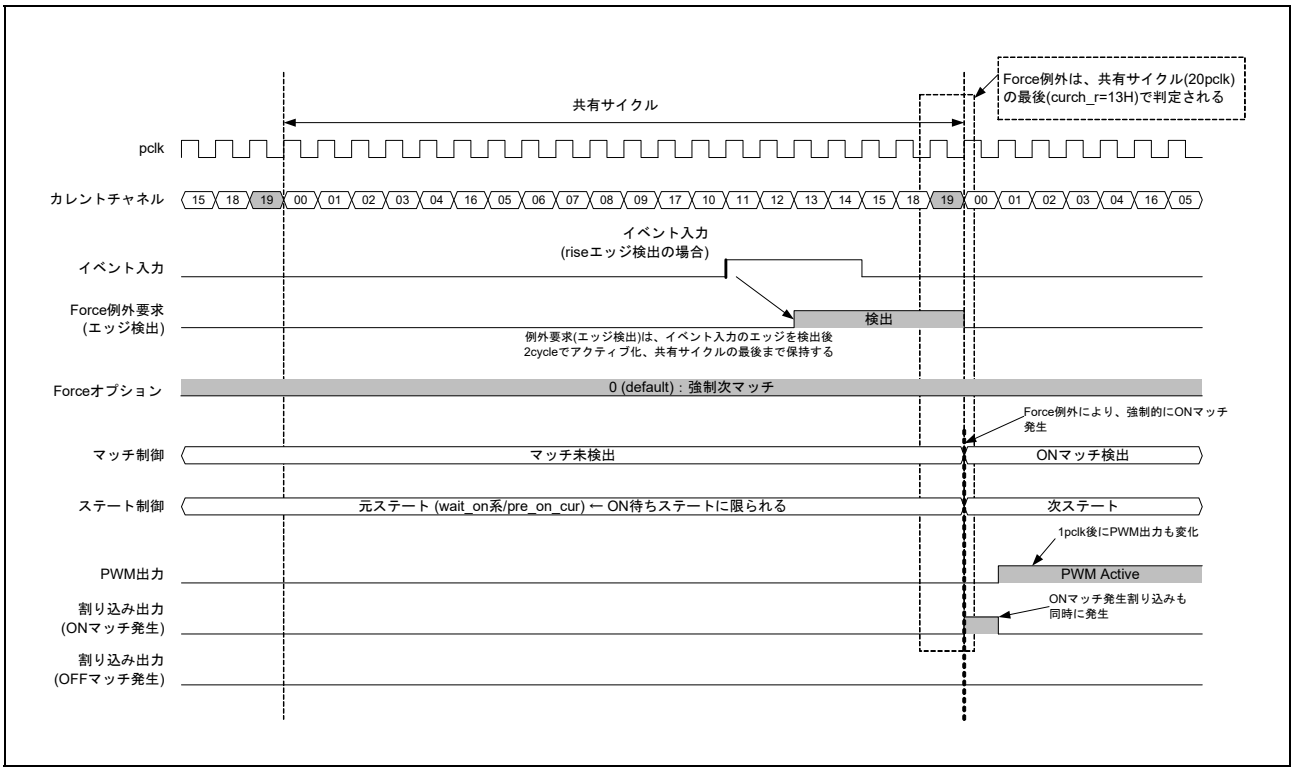


図 23.39 Force 例外 動作 1（マッチ未検出→ ON マッチ検出）

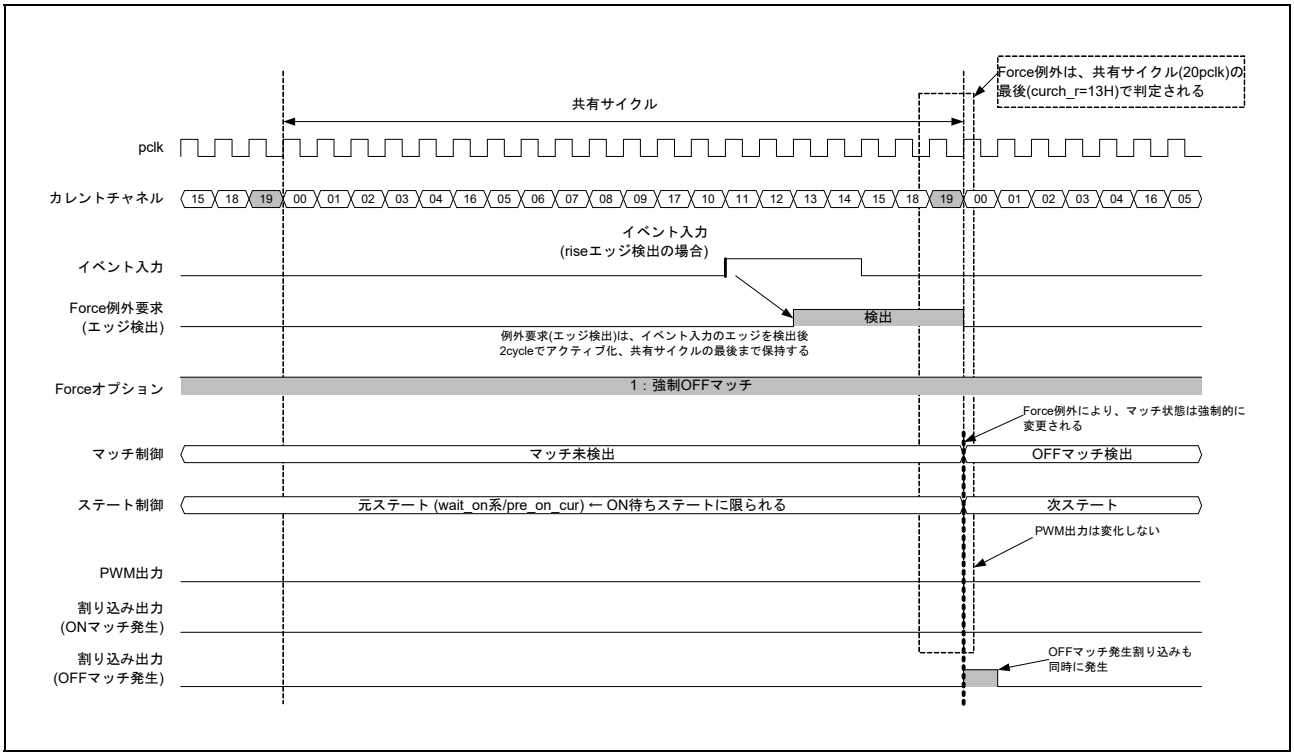


図 23.40 Force 例外 動作 2（マッチ未検出→ OFF マッチ検出）

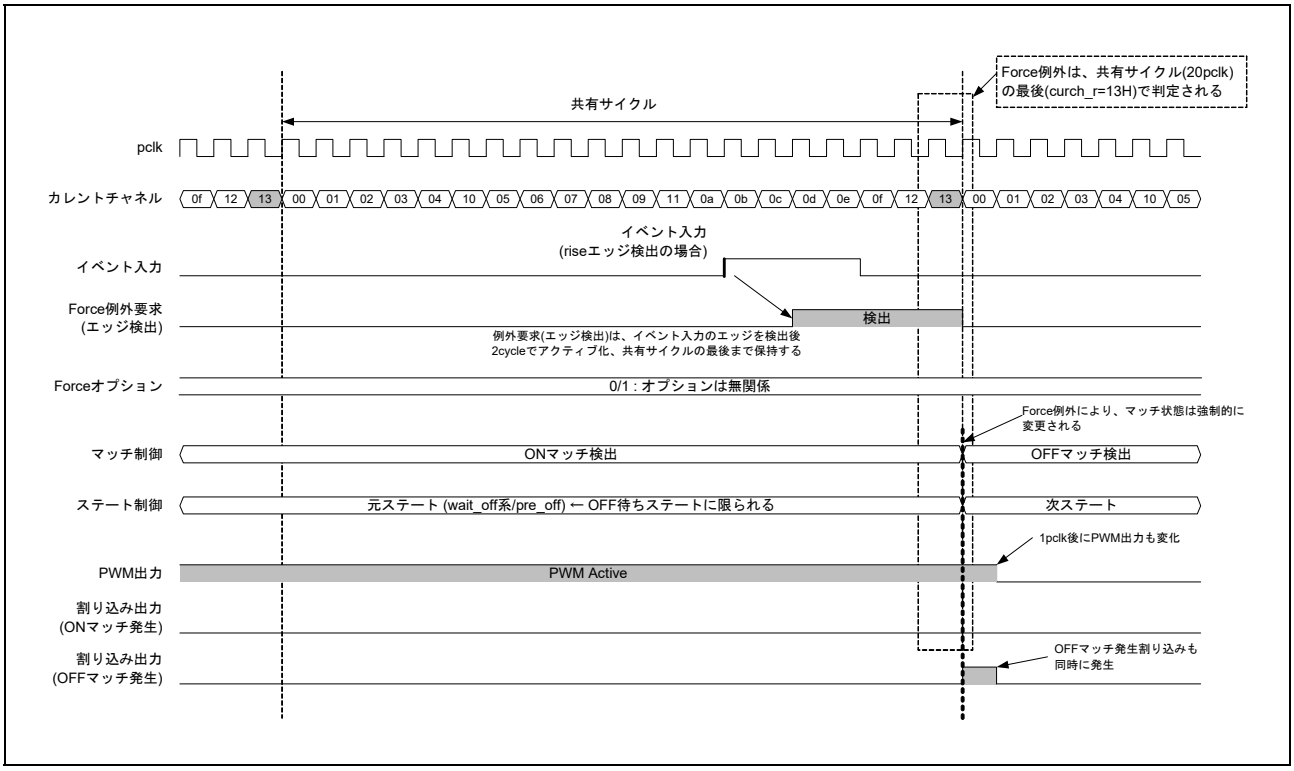


図 23.41 Force 例外 動作 3（ON マッチ検出→ OFF マッチ検出）

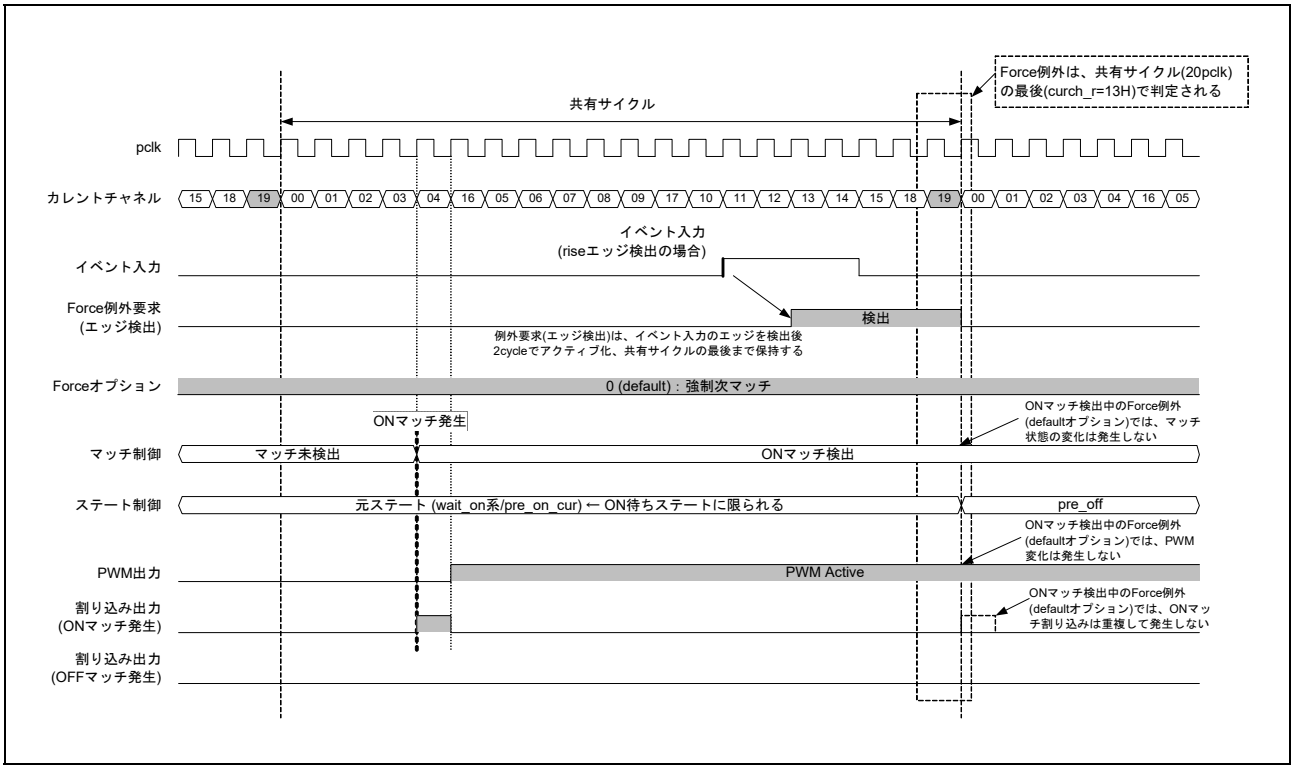


図 23.42 Force 例外 動作 4（ON マッチ検出の重複）

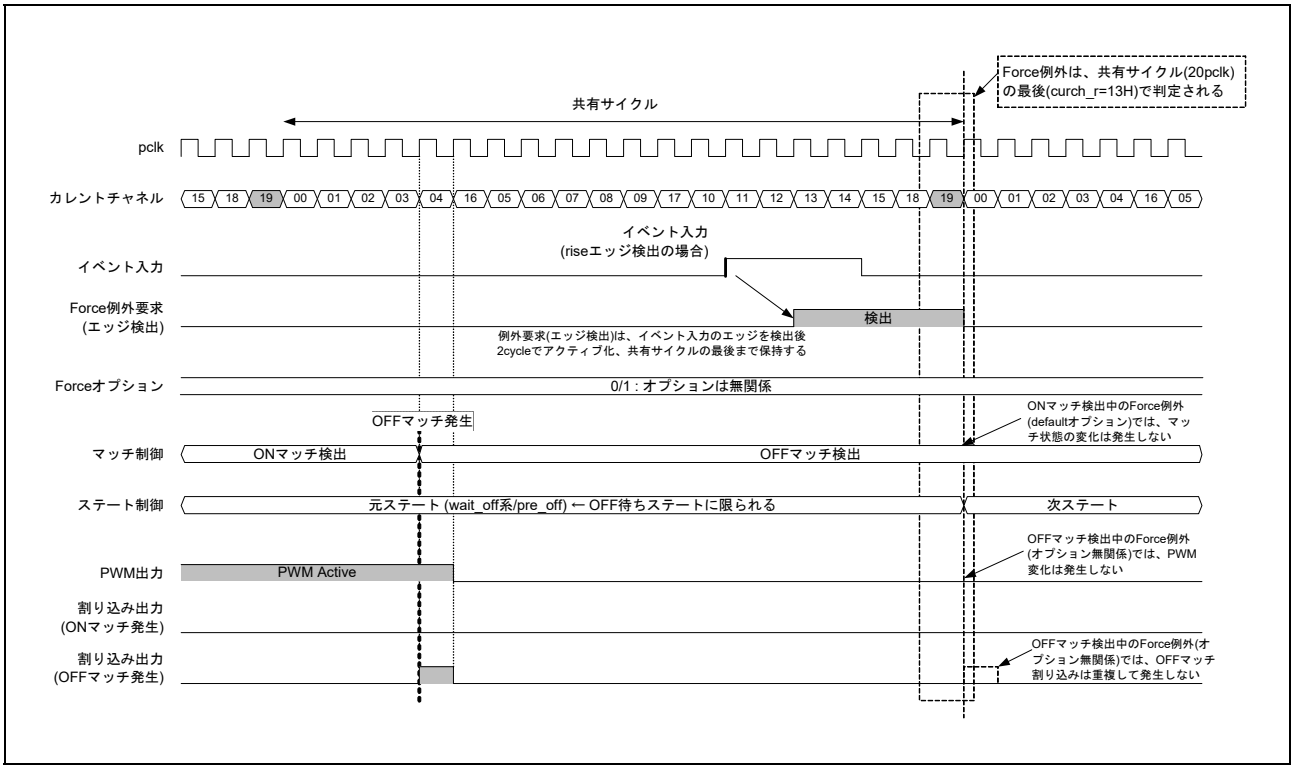


図 23.43 Force 例外 動作 5（OFF マッチ検出の重複 1）

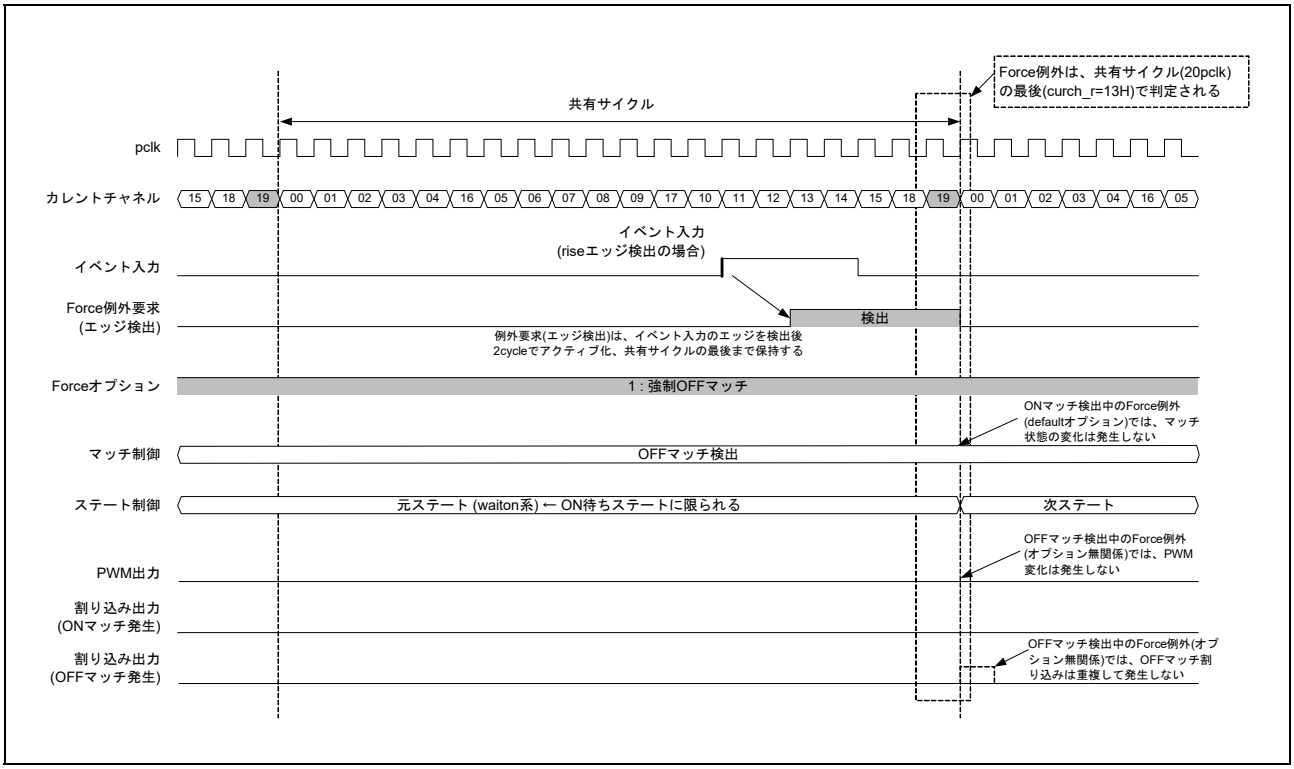


図 23.44 Force 例外 動作 6（OFF マッチ検出の重複 2）

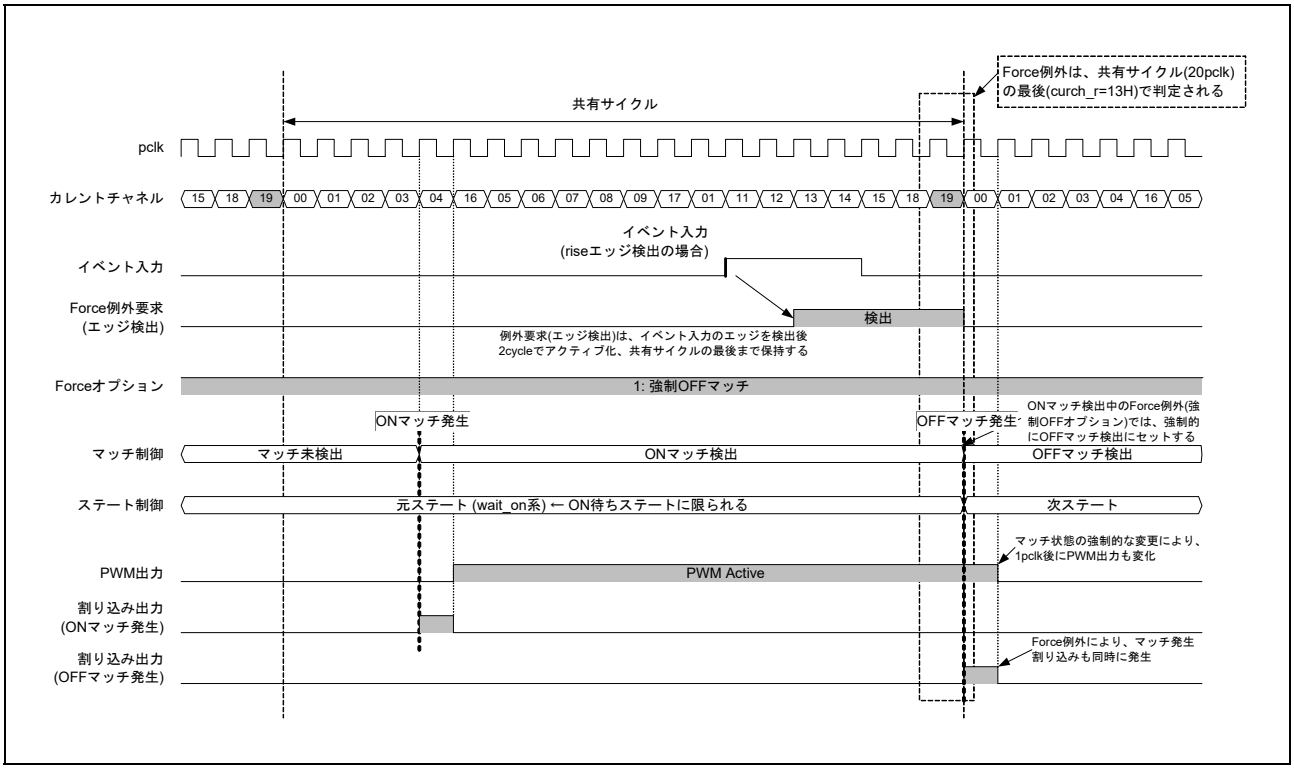


図 23.45 Force 例外 動作 7（ON マッチ検出と OFF マッチ検出の競合）

(6) Postpone 例外

Postpone 例外は、**表 23.59** に示す動作を起こす例外処理です。

表 23.59 Postpone 例外の動作

項目	説明
動作	• Postpone 例外は、マッチ検出時の動作を一時的に延期させる例外です。 • ON マッチ比較動作（wait_on 系ステート）、OFF マッチ比較動作中（wait_off 系ステート）を行っているときに有効です。 • Postpone 例外がアクティブレベルになり、例外として受理されると、ステート遷移と同時に Postpone 状態フラグ（APAAPPNSTAT レジスタ）を 1 にセットし、マッチ比較器が Postpone 状態である間保持されます。 Postpone 例外がインアクティブレベルになると、ステート遷移と同時に Postpone 状態が解除され、APAAPPNSTAT レジスタは 0 にクリアされます。 • Postpone 状態にある間は、PWM 出力は変化しません。ただし ON マッチ比較または OFF マッチ比較は行われれており、Postpone 状態を解除した次のステートから PWM 出力がマッチ状態に応じて変化します。 • Postpone 例外が受理されている間も、ON/OFF マッチ検出または Force 例外入力に応じて ON マッチ割り込みまたは OFF マッチ割り込み要求が出力されます。
例外受理時の信号変化	以下の信号がステート遷移（共有サイクルの境界）と同時に変化します。 • マッチ制御レジスタ：変化しない • PWM 出力：変化しない • 割り込み出力：変化しない • Postpone 状態フラグ：0 → 1 にセット
Postpone 状態での信号変化	以下の信号がステート遷移（共有サイクルの境界）と同時に変化します。 • マッチ制御レジスタ：マッチ／ Force に応じて変化 • PWM 出力：変化しない • 割り込み出力：マッチ／ Force に応じて変化 • Postpone 状態フラグ：変化しない（1 を保持）
Postpone 解除での信号変化	以下の信号がステート遷移（共有サイクルの境界）と同時に変化します。 • マッチ制御レジスタ：マッチ／ Force に応じて変化 • PWM 出力：マッチ状態／ Force に応じて変化 • 割り込み出力：マッチ／ Force に応じて変化 • Postpone 状態フラグ：1 → 0 にクリア
割り当て	• イベントバス（32bit）の中から選択。**23.5.3.2** 章を参照してください。 • エレメントごとに個別に定義します。 設定レジスタ は APAAELMIDPPN[4:0] です。
検出タイプ	• レベル検出で、High/Low のから選択します。 • エレメントごとに定義します。 設定レジスタは APAAELMLVPPN です。
オプション	• なし
備考	• Postpone 例外はレベル検出であるため、割り当てた信号（イベント入力または PWM 出力のいずれか 1 つ）は High または Low レベルを 1 共有サイクル（pclk × 20）以上維持する必要があります。 入力レベルを 1 共有サイクル以上維持できない場合、Postpone 例外入力として取りこぼす場合があります。

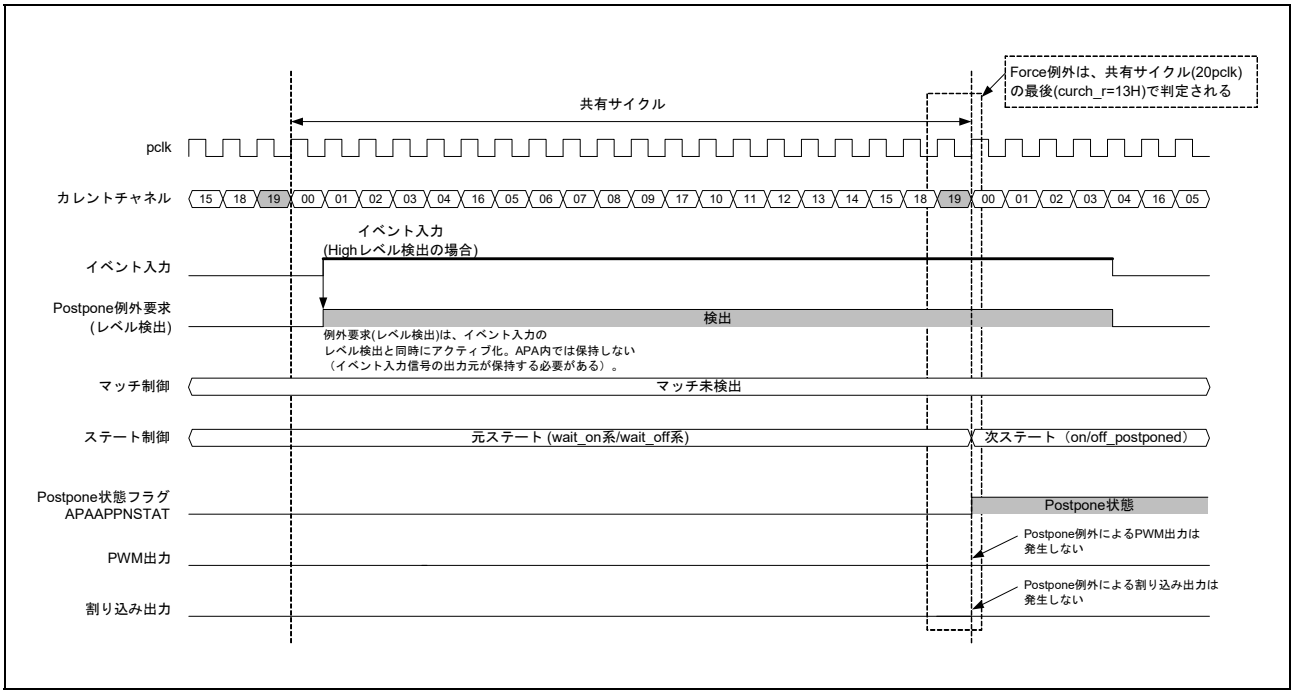


図 23.46 Postpone 例外の受理タイミング

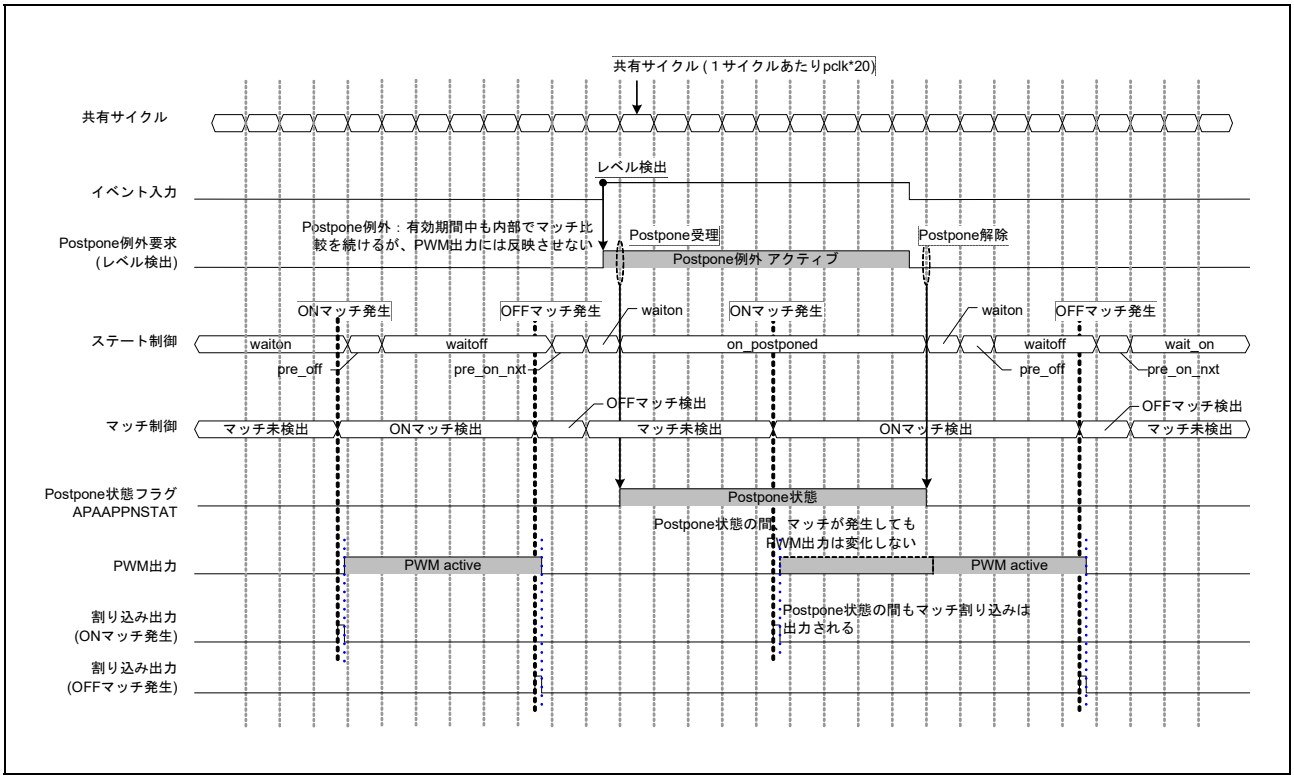


図 23.47 Postpone 例外 動作

23.5.4.4 動作：マッチ比較器とイベントデコーダの競合

表 23.47 に示す入力条件が、同一の共有サイクルで複数競合した場合、入力条件ごとに以下の動作となります。

(1) 競合：チャネル OFF ／ Stop 例外／ Restart 例外

チャネル OFF ／ Stop 例外／ Restart 例外の 3 つに対しては、以下の優先度で受理されます。

チャネル OFF > Stop 例外 > Restart 例外

チャネル OFF ／ Stop 例外／ Restart がこれ以外の入力条件と競合していた場合は、チャネル OFF ／ Stop 例外／ Restart 例外のいずれかひとつのみが上記の優先順位に従って受理され、他は無視されます。

(2) 競合：Start 例外

Start 例外はステート dis_wstart においてのみ受理されるが、Restart 例外と Start 例外が競合している場合は両方とも受理されます（このステートにおいての Restart 例外と Start 例外は同一動作となります）。

そのほかのステートでは Start 例外は無視されます。

(3) 競合：Transfer 例外

Transfer 受理可能ないずれかのステートにおいて Transfer が未受理であった場合、他の入力条件（チャネル OFF ／ Stop 例外／ Restart 例外以外）と無関係に受理されます（該当ステートの遷移に影響する）。このとき他の入力条件も受理されます。同様に Transfer 受理可能ないずれかのステートにおいて Transfer 例外が既に受理されており、再度 Transfer が入力された場合は、Transfer 例外は無視されます。

(4) 競合：マッチ検出／ Force 例外

マッチ検出と同一の共有サイクル内で Force 例外が入力された場合は、Force 例外は無視されます。

ただし ON 待ちステートにおいて ON マッチ検出、かつ Force 例外（強制 OFF オプション）が入力された場合は、Force 例外（強制 OFF オプション）も受理されます（**図 23.40** 参照）。

マッチ未検出かつ Force 例外が入力された場合は、Force 例外が受理されます。

(5) 競合：Postpone 例外（Postpone 解除状態→ Postpone 状態）

マッチ未検出、かつ Force 例外が競合していない場合に Postpone 例外は受理されます。

マッチ検出済または Force 例外が競合して入力された場合は、該当ステートでは Postpone 例外は無視されます。

(6) 競合：Postpone 例外（Postpone 状態→ Postpone 解除状態）

マッチまたは Force に競合しても、該当する動作は全て行われます。

23.5.5 エレメント制御

23.5.5.1 特徴・機能概要

エレメント RAM および演算器に対する制御信号を生成します。

エレメントは全パルス制御チャネルに対して共有可能とするために、下記の処理・制御を行います。

- 各エレメントの情報を CPU 経由で Read/Write 可能です。パルス生成チャネルでパルス生成を行っていない間は常時 Read/Write 可能です。パルス生成を行っている場合は、パルス生成チャネルがエレメント RAM にアクセスしていない時間のみ Read/Write 可能です。この時間はイベントバスから生成されたイベント時分割信号に従います。
- 各パルス生成チャネルからは、Read のみ可能です。パルス生成チャネルにて ON/OFF マッチまたは例外処理（Transfer/Restart/Force/Start）が発生した場合、パルス生成チャネルからエレメント RAM に対して、エレメント更新要求を発生します（=Read 要求）。エレメント更新要求は、イベント時分割信号に従った時分割で行われ、CPU 経由の Read/Write タイミングや他のパルス生成チャネルと重ならないように制御されます。
- 次エレメントにおいてマッチ条件として相対指定がされていた場合、そのままではリファレンス入力と比較できないため、比較基準値（絶対値）に変換する必要があります。この変換のための演算器（加算器）をエレメントデコーダ内に備えており、エレメント RAM 共有と同様に各パルス生成チャネルで共有して使用します。

エレメント制御の回路構成は**図 23.48** のとおりです。

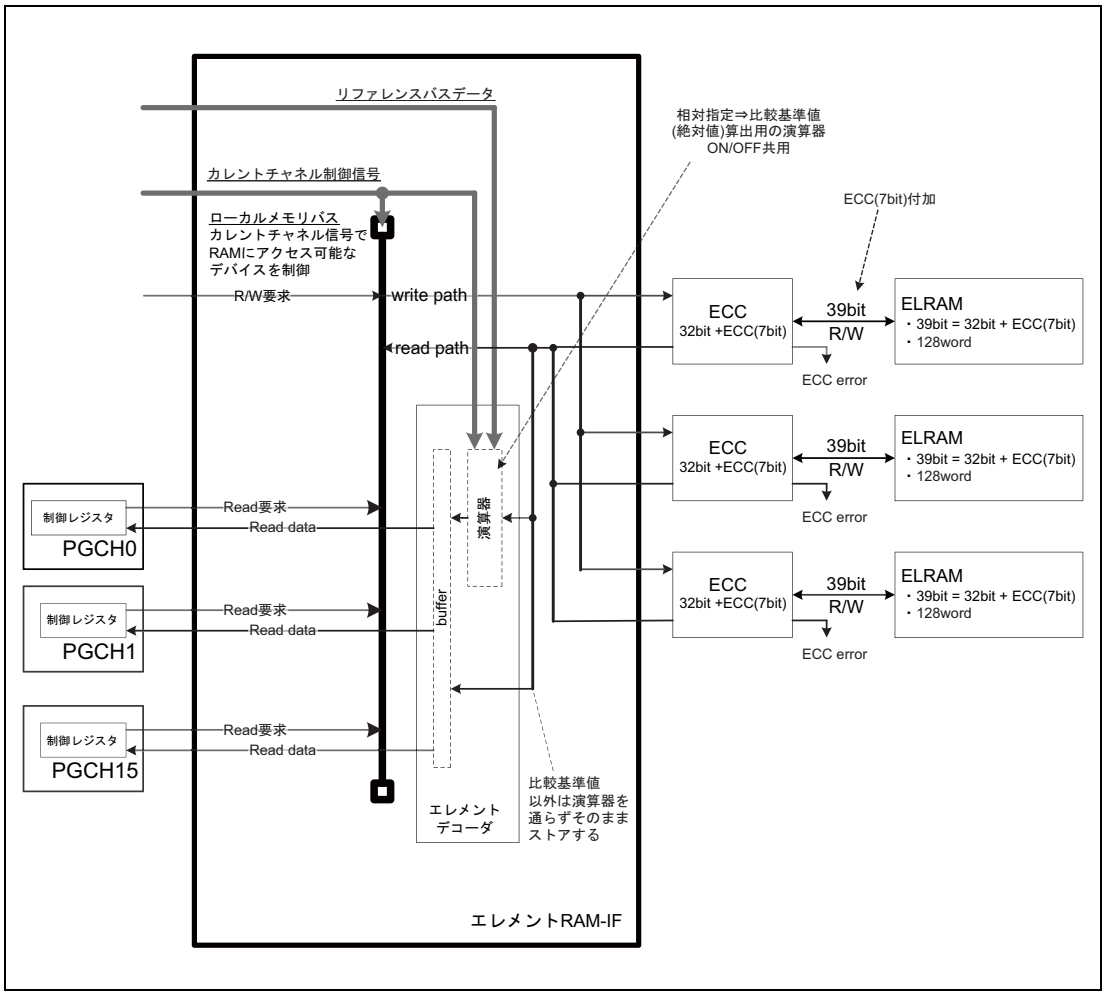


図 23.48 エレメント制御 回路構成

23.5.5.2 エレメントの動作

エレメント RAM へのアクセス（from APB、from パルス生成チャネル 0 ～ F）は、**図 23.49** のように時分割されます。

CPU からのアクセスに関しては、エレメント RAM にアクセス許可が出るまで Wait されます。

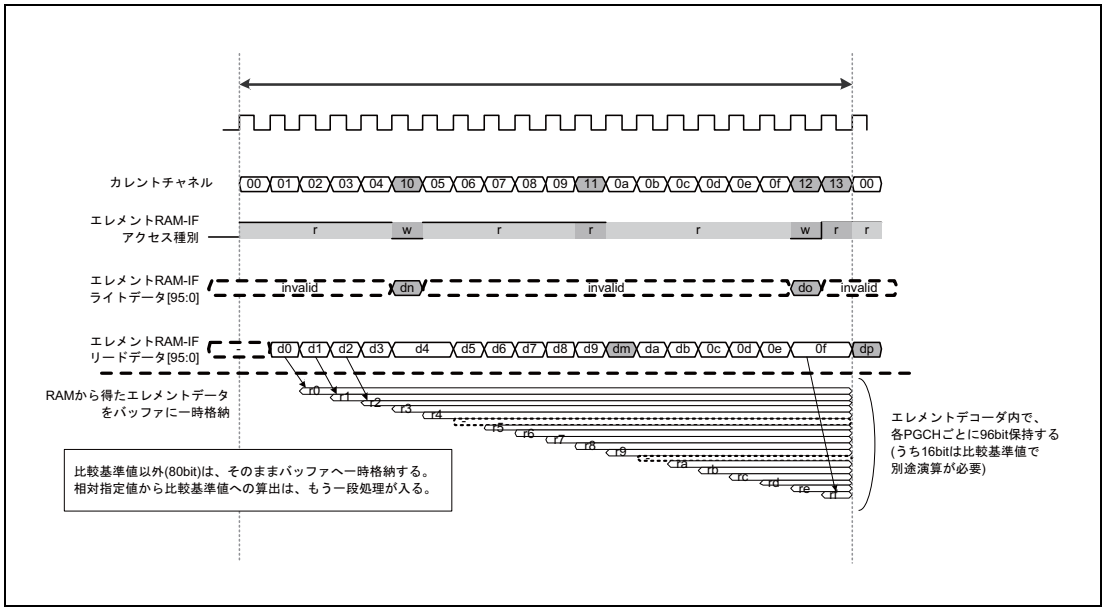


図 23.49 エレメント RAM へのアクセス

23.5.5.3 動作中の開始エレメント番号の変更に関して

パルス生成チャネルの動作中に、開始エレメント番号の設定 APAAnCCGAm レジスタの APAACHNFSTEL[6:0] ビット（m = 0 ～ 15）を書き換えた場合、次に開始エレメント番号が参照するタイミング（pre_on_init ステート）で、書き換え後の設定を反映します。

次の開始エレメント番号を参照するタイミングで開始エレメントを変更したい場合は、pre_on_init ステートへの遷移前に APAAnCCGAm レジスタの APAACHNFSTEL[6:0] ビット（m = 0 ～ 15）を書き換えてください（**図 23.51** 参照）。

ステートの遷移に関しての詳細は、**23.5.4.2** 章 **(2) ステート制御**を参照してください。

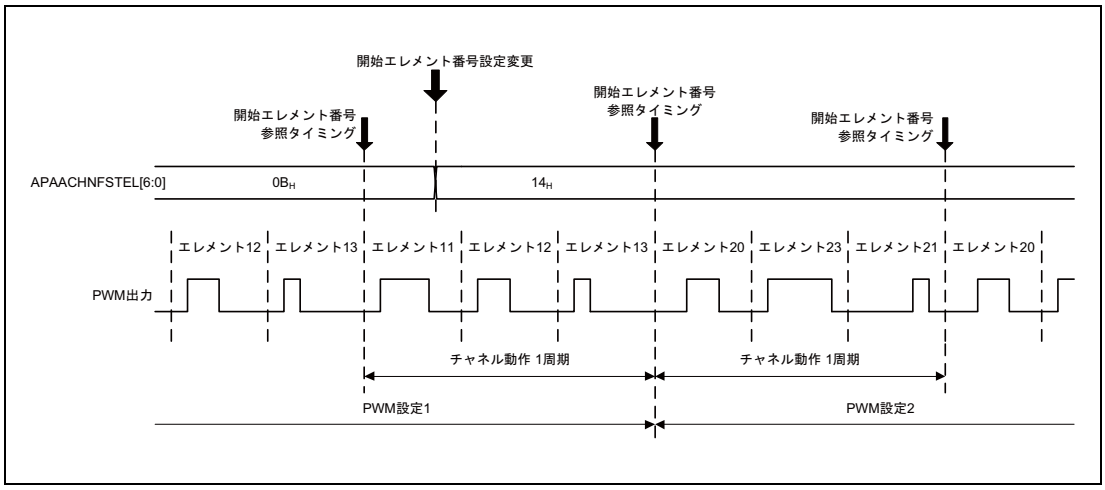


図 23.50 動作中に開始エレメントを変更した場合の動作例

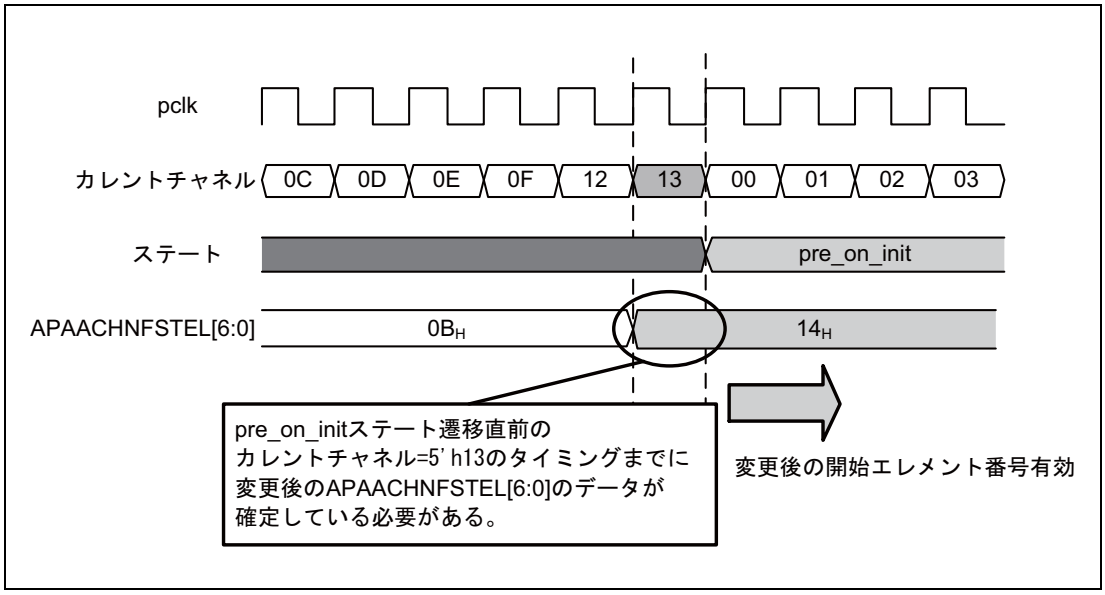


図 23.51 開始エレメント番号の変更タイミング

動作中に開始エレメント番号とる場合のフローを**図 23.52** に示します。

以下のフローに従わない場合、パルス生成チャネルが意図しない動作をする場合があります。

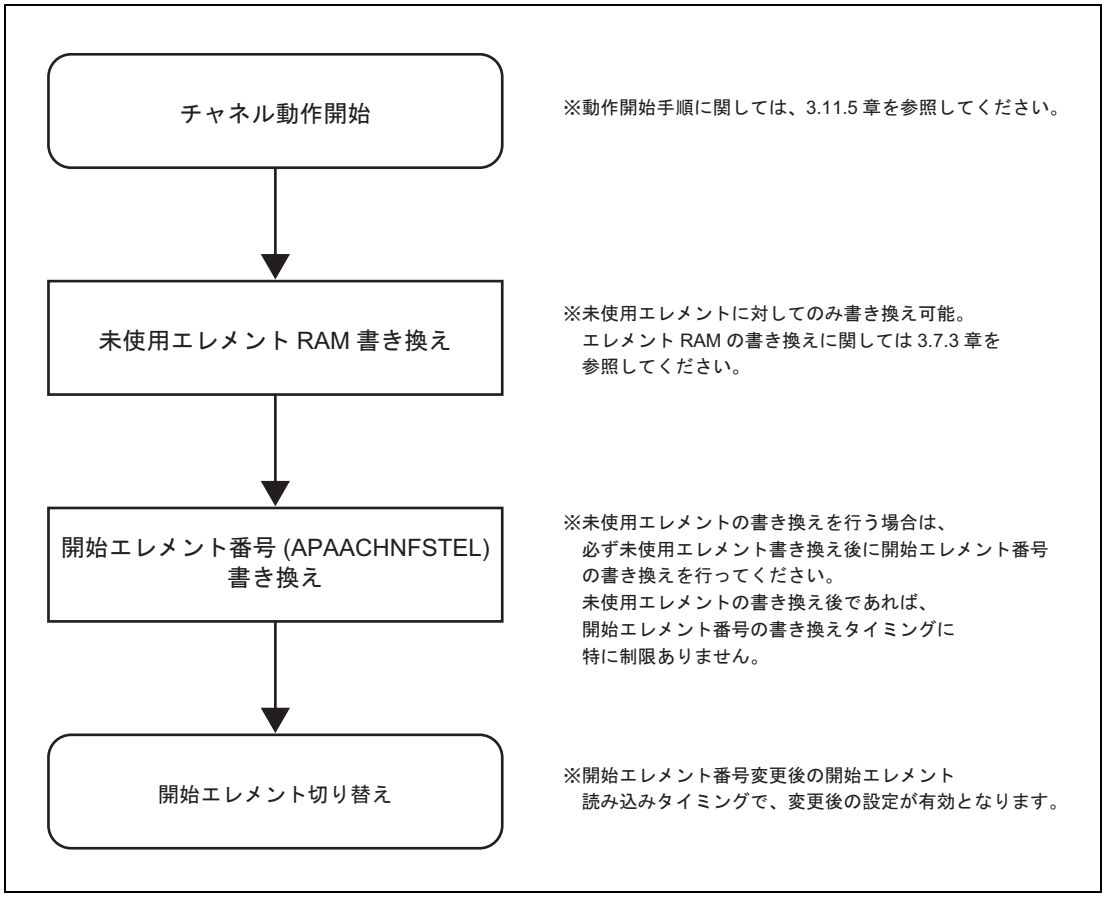


図 23.52 動作中に開始エレメントと未使用エレメントを変更する場合のフロー

23.5.5.4 動作：エレメントデコーダ

例外処理またはマッチ発生に伴うエレメント更新処理において、エレメント RAM から Read したエレメント内のマッチ条件指定が相対指定であった場合、相対指定の定義上そのままリファレンス入力と比較できないため、比較基準値（= 絶対値）への変換処理が必要となります。

エレメントデコーダは、変換時に使用する演算器を各パルス生成チャネルで共有するための回路です。

以下の動作を行います。

- 絶対指定の場合は変換しません。
- 相対比較の場合、マッチ検出を開始する時点での指定リファレンス値を基準に算出します。
- 相対指定の場合、リファレンス入力は下記に当てはまる動作でなければなりません（**図 23.53**）。
  - 常に＋側に増加する波形（ノコギリ波）
  - max 値が変動しない
- 相対指定→比較基準値への変換においてオーバーフローが起こった場合は、最大値を超えた分が比較基準値となります（**図 23.54**）。最大値はリファレンスごとにあらかじめ設定される必要があります。
- 相対指定の場合、max 値の設定（APAAnRFMX0/1/sw レジスタ）が、以下の条件に合致していなければなりません（**図 23.54**）。
  - 相対指定値（APAAELMRBDATON[15:0] または APAAELMRBDATOFF[15:0]）は、リファレンス入力が取り得る最大値を超えてはなりません。
  - max 値は、対応するリファレンス入力が取り得る最大値と一致していなければなりません。
    対応するリファレンス入力の元となるカウンタが、APA のダイナミックレンジよりも大きい場合、元となるカウンタのオーバーフロー時の APAn のリファレンス入力値との関係性で注意が必要です。
- 相対指定は、リファレンス 0, 1, sw のみ使用可能です。リファレンス 2 ～ 9 に対して相対指定を行った場合は、指定値がそのまま比較基準値として使用されます。

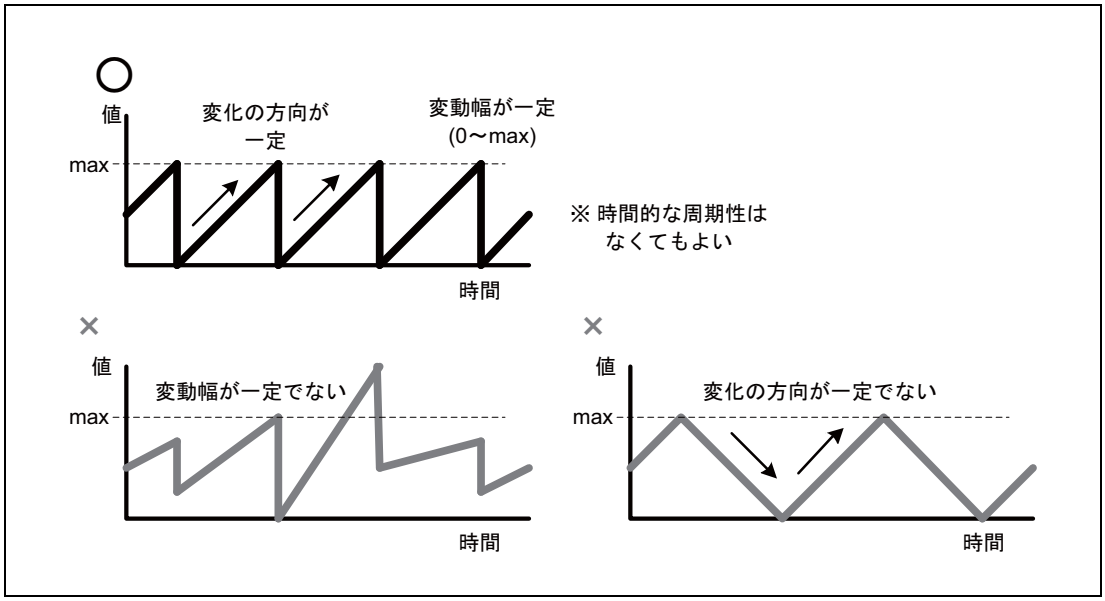


図 23.53 相対指定に適したリファレンス動作波形

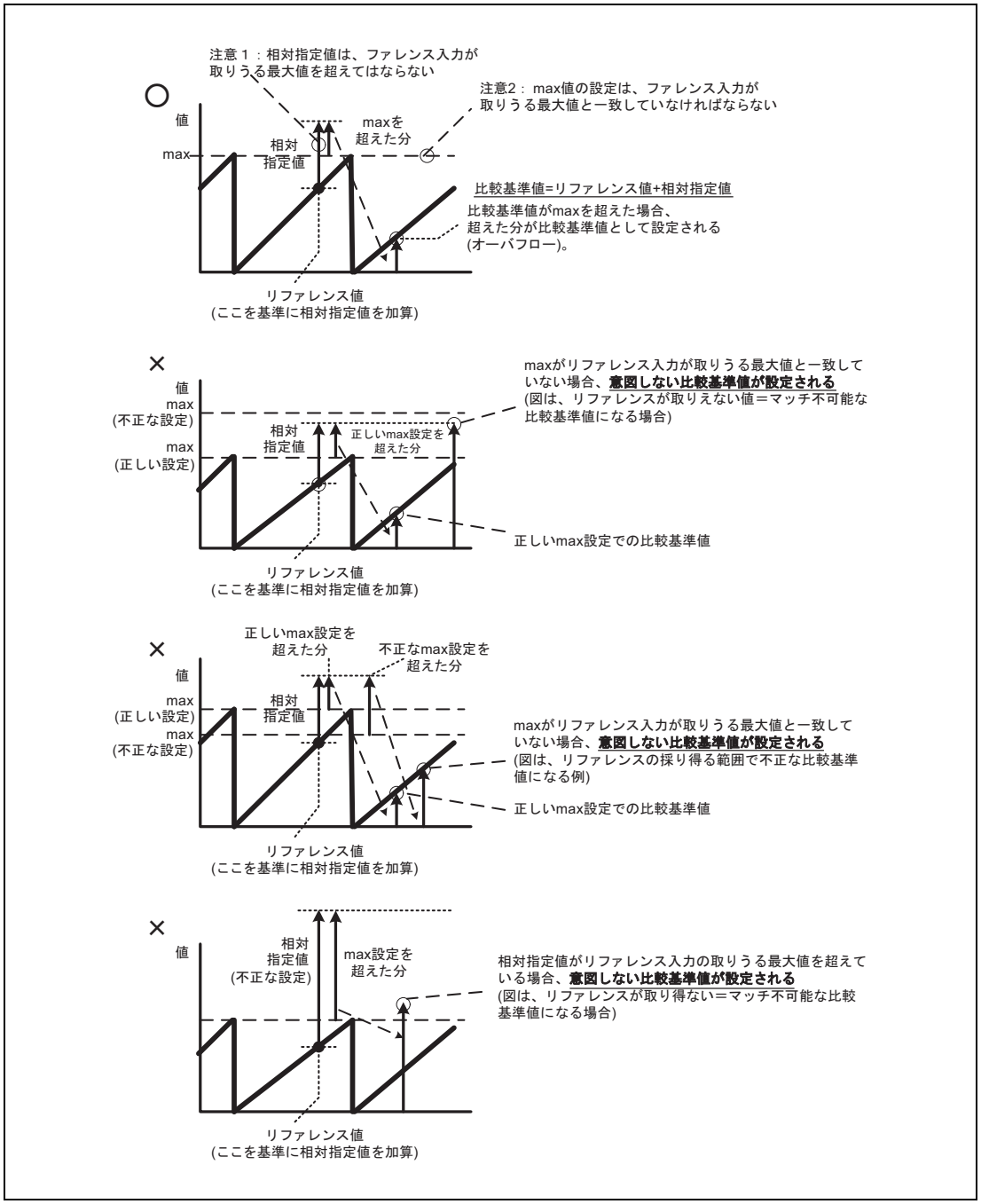


図 23.54　相対指定におけるオーバーフロー時の処理

23.5.6 エレメント RAM へのアクセス

23.5.6.1 エレメント RAM への Write

エレメント RAM に対する Write 動作は以下のとおりです。

- エレメント RAM はパルス生成 ch からも Read するため、RAM へのアクセスはパルス生成 ch が使っていない時間に限られます。イベント時分割のタイミングに従い、パルス生成チャネルに割り当てられていないイベントスロットのみ Read/Write 可能です。
- エレメント RAM への Write は 3word（上位 32bit ／中位 32bit ／下位 32bit）分のデータを Write することでエレメントデータを蓄積し、エレメント RAM への Write 準備が整います。
  3word の順番は下位 32bit →中位 32bit →上位 32bit の順番に連続で Write する必要があります。
  順番が異なったり、エレメント番号が途中で変わったり、Write の途中で Read した場合には、意図しないデータが Write されます。
- イベントスロットが空き次第、エレメント RAM への Write が実行されます。
- 動作中のエレメンへの Write は、未使用のエレメントに対してのみ可能です。
  使用中のエレメントへ Write を行なった場合、動作中のパルス生成チャネルが意図しない動作となる可能性があります。

23.5.6.2 エレメント RAM からの Read

エレメント RAM に対する Read 動作は以下のとおりです。

- Write と同じく、イベントバスからの時分割制御に従います。
  （パルス生成チャネルが使っていない時間のみアクセス可能です。）
- エレメント RAM への Read は、使用に関わらず全てのエリアに対して可能です。

23.5.7 使用上の注意事項

23.5.7.1 マッチ条件の設定 1

ON マッチ⇔ OFF マッチ間の条件設定は、リファレンスの分解能を考慮したうえで、共有サイクル ×2 サイクル（pclk × 40cycle）以上のパルス幅となるようなマッチ条件を設定して下さい。

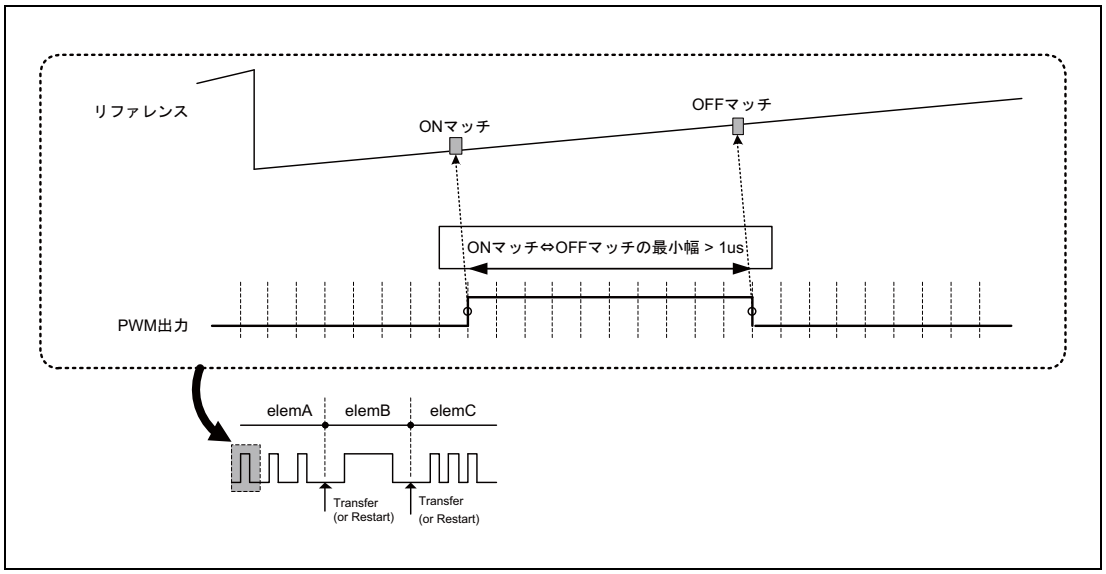


図 23.55 マッチ条件設定の制限

23.5.7.2 マッチ条件の設定 2 （ADC 入力）

リファレンス入力が離散値をとる場合（例：ADC）、マッチ条件指定（APAAELMMCON[1:0] もしくは APAAELMMCOFF[1:0]）は、“>” もしくは “<” を使用することを推奨します。

（離散値の場合、“==” 指定では意図通りマッチしない可能性があります）

23.5.7.3 イベント入力の間隔

複数のエレメントにわたって同一のイベント入力を例外処理に使用したい場合は、共有サイクル ×1 サイクル（pclk × 20cycle）以上の間隔をあけて入力してください。

これ以下の間隔では、後に発生したパルス（イベント入力）の取りこぼしが発生する場合があります。

23.5.7.4 動作手順

APA を用いたパルス生成を行う場合、汎用的なレジスタ／エレメント設定は下記の手順で行ってください。

下記 3 ～ 8 の設定は、リファレンス・イベントバス = 停止、かつ全パルス生成チャネル = 停止状態で行ってください。

それ以外の場合、意図しない動作を引き起こす可能性があり、動作を保障できません。

表 23.60 標準的な設定・動作手順

設定手順	設定項目	レジスタ設定・操作例	備考
1	a. リファレンスバス設定	レジスタ APAAnRFMXm 設定	m = 0、1、sw のうち、使用するリファレンス入力に対応するレジスタの設定を行って下さい。
	b. イベントバス設定	レジスタ APAAnEVSLm, APAAnEVSW, APAAnEVSC 設定	m = 00 ～ 15 のうち、使用する選択イベント入力に対応するレジスタの設定を行って下さい。
	c. パルス生成チャネル設定	レジスタ APAAnCCGAm, APAAnCCGBm 設定	m = 0 ～ 15 のうち使用するチャネル番号になります。 使用するパルス生成チャネル全てに対して設定を行って下さい。
	d. エレメント RAM 設定	レジスタ APAAnELMAm、APAAnELMBm、APAAnELMCm 設定	m = 000 ～ 127 のうち使用するエレメント番号になります。 使用するエレメント全てに対して設定を行って下さい。 自己修復機能を使用する場合は、未使用エレメントも任意の値を Write しておくこと
2	a. リファレンス・イベントバス動作許可	レジスタ APAAnEN = 1	
3	a. パルス生成チャネル動作許可	レジスタ APAAnCHEN 設定	設定値 = 0x**** (write_mask)_****（動作させる ch）。 動作させる ch に対応した bit に 1, 対応する write_mask の bit に 1 を設定してください。
4	a. マッチ比較開始	—	Start 例外の発生待ち。 ※APAAnCCGBm レジスタの APAACHNOPSTR ビット = 0 の場合、Start 例外の発生を待って動作を開始します。 このとき、イベント入力から動作開始まで最大 20pclk の待ち時間が発生します。
5	a. マッチ比較実行	—	エレメント実行
6	a. マッチ比較終了	—	エレメント実行終了または Stop 例外による中断
7	a. チャネル動作停止	レジスタ APAAnCHEN 設定	設定値 = 0x****（write_mask)_****（動作させる ch）。 動作させる ch に対応した bit に 1, 対応する write_mask の bit に 1 を設定してください。
8	a. チャネル動作停止確認	レジスタ APAAnCSTAm Read	全パルス生成チャネルを停止させ 40pclk 以上経過した後、APAAnCSTAm レジスタ（m = 00 ～ 15）の APAACMPSTAT[4:0] ビットを Read し、マッチ比較器の状態が disable ステートであることを確認します。
	b. リファレンス・イベントバス動作停止	レジスタ APAAnEN = 0	

23.5.7.5 例外未使用時の処置

チャネル・エレメント設定において未使用にしたい例外処理がある場合、以下の処置 1、処置 2 を実施してください。

(1) 処置 1：未使用例外のためのイベント入力割り当て

未使用の例外に対し、意図しないエッジ検出・レベル検出を防ぐため、以下の処置を行ってください。

- イベント入力 64ch（外部イベント入力 58ch、またはソフトウェアイベント 6ch）のうち 1ch を未使用例外の処置のために使用します。
- 選択イベント入力 16ch のうち 1ch を、未使用例外の処置専用に使用します。

注 意

レベルで入力する例外（Postpone）の未使用例外の端子処置を行う場合には、有効となるレベルに注意して下さい。

(2) 処置 2：未使用の例外処理を、未使用例外の処置用イベント入力に設定

未使用の例外に対し、上記の処置 1 で確保したイベント入力（1ch）と選択イベント入力（1ch）の反転論理を設定します。

エレメント 10 について、Transfer/Force/Postpone 例外を使用しない場合の設定例を**表 23.61** に示します。

表 23.61 意図しない例外処理を防ぐ設定例

設定項目	レジスタ	設定値	備考
b. イベントバス設定	APAAnEVSL12	$0x00000039_H$	選択イベント入力 12 に外部イベント要因 57 を割り当てます。
d. エレメント RAM 設定	APAAnELMA10	$0x301c0a00_H$	リファレンス 3、絶対指定、条件 = 「< 0x0a00」 最終エレメント、エレメント継続
	APAAnELMB10	$0x001a0b00_H$	リファレンス 3、絶対指定、条件 = 「> 0x0b00」,
	APAAnELMAC10	$0x7f1c1c3c_H$	例外処理に以下の設定を行います。 Transfer：外部イベント要因 57 rise Force ：外部イベント要因 57 rise Postpone：外部イベント要因 57 high → 上記 3 種の例外を無効化可能です

注 1. 上表は、「**23.5.7.4 動作手順**」の標準的な動作手順に基づいています。

23.5.7.6 割り込み出力に対する制限

下記の条件に該当するとき、割り込み要求信号出力が連続出力となり、2 回の割り込み要求が 1 回となるため注意して下さい。

項目	説明
設定	割り込み選択レジスタ APAACHNINTSEL[2:0] を以下の設定にした場合 APAACHNINTSEL[2:0] = 3'b100 （ON マッチ／ OFF マッチどちらか発生時に割り込み出力）
条件	ON マッチ発生の直後に、Force 例外（強制 OFF マッチオプション）が受理され、OFF マッチが発生した場合

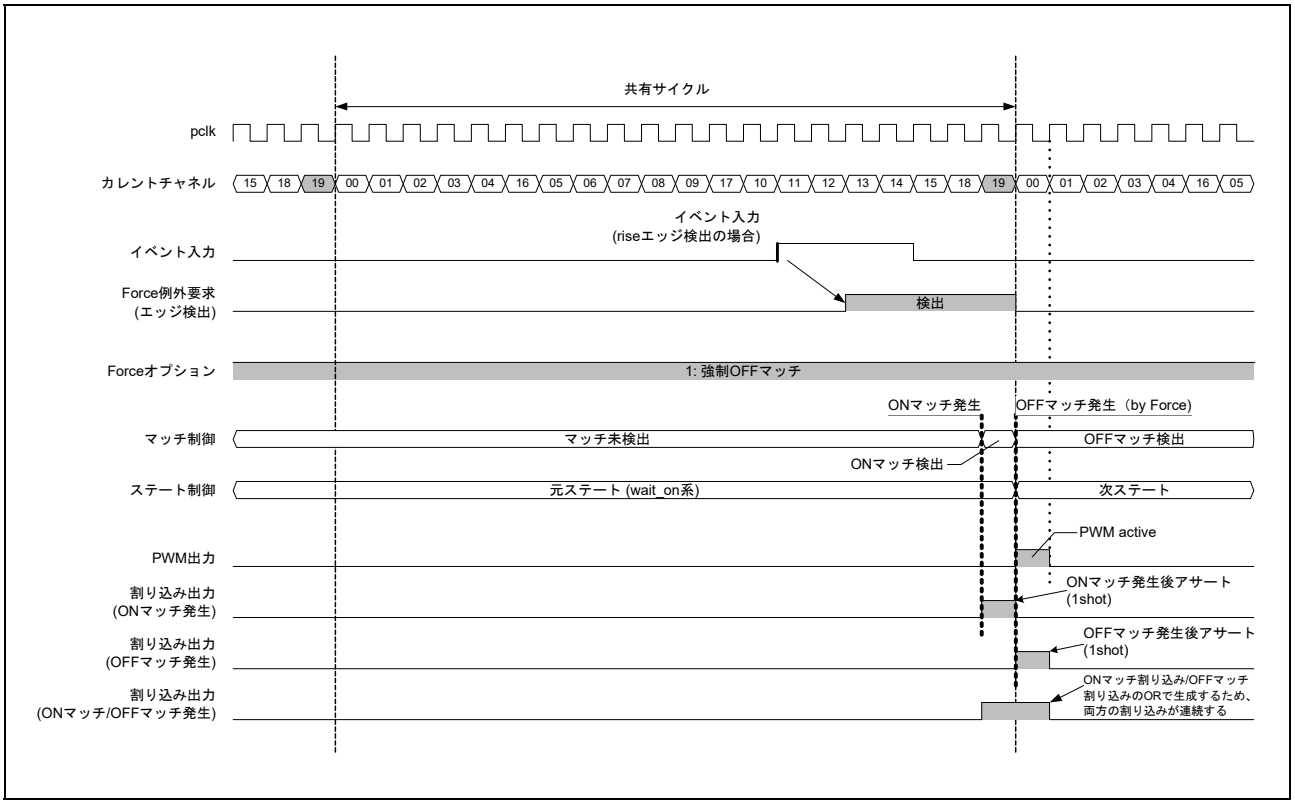


図 23.56 ON マッチ／ OFF マッチ発生割り込みの連続

23.5.7.7 マッチ条件の相対指定に対する制限

マッチ条件に相対指定を設定した場合、**表 23.62** の 3 条件において、マッチ条件に対して生成されるパルスの幅にずれが発生します。

設定が該当する場合、注意が必要です。

表 23.62 相対指定ずれ発生条件 1

項目	説明
設定	初期エレメントに対し、APAAELMABREON = 1（ON マッチに対する相対指定）を設定した場合
条件	初期エレメントにおいて、相対指定による ON マッチが発生
動作	初期エレメントの相対指定値より ON マッチ発生が早くなります。 （最大で 20pclk 分）

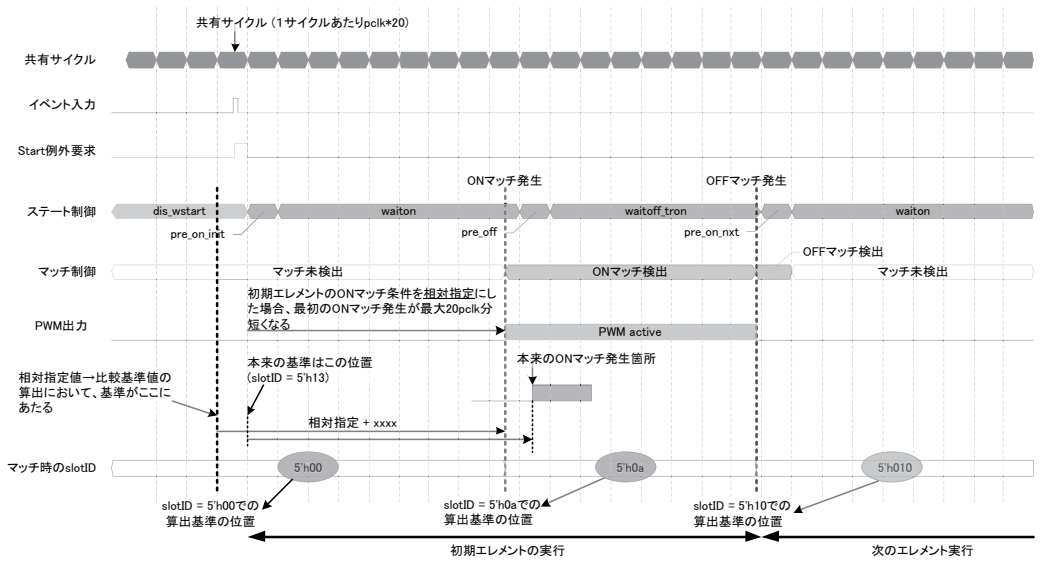


図 23.57 相対指定位置のずれ（条件 1）

表 23.63 相対指定ずれ発生条件 2

項目	説明
設定	任意のエレメントで、APAAELMABREON = 1（ON マッチに対する相対指定）または APAAELMABREOFF = 1 に設定した場合
条件	Force 例外による ON マッチの重複（**図 23.42** 参照）、または OFF マッチの重複（**図 23.43** 参照）が発生
動作	相対指定に設定された次のマッチに対し、エレメントでの指定よりマッチ発生が遅くなります（最大で 20pclk 分）

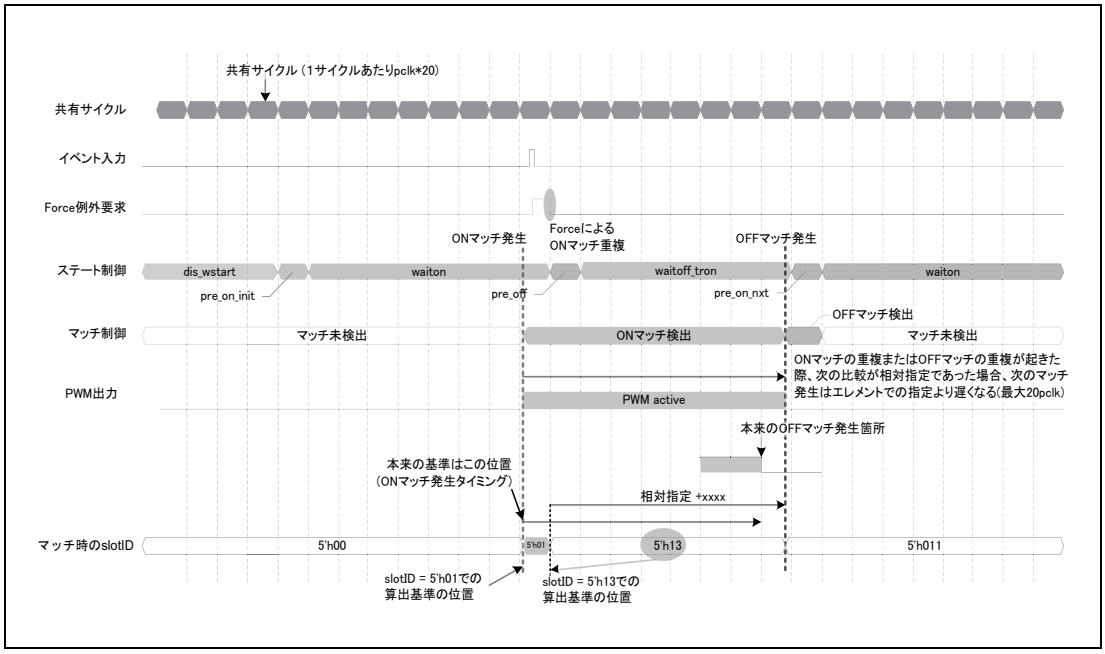


図 23.58 相対指定位置のずれ（条件 2）

表 23.64 相対指定ずれ発生条件 3

項目	説明
設定	任意のエレメントで、APAAELMABREON = 1（ON マッチに対する相対指定）または APAAELMABREOFF = 1 に設定した場合
条件	Postpone 状態で ON マッチまたは OFF マッチが発生し、Postpone 解除する
動作	相対指定に設定された次のマッチに対し、エレメントでの相対指定値よりマッチ発生が遅くなる（最大で 20pclk 分）

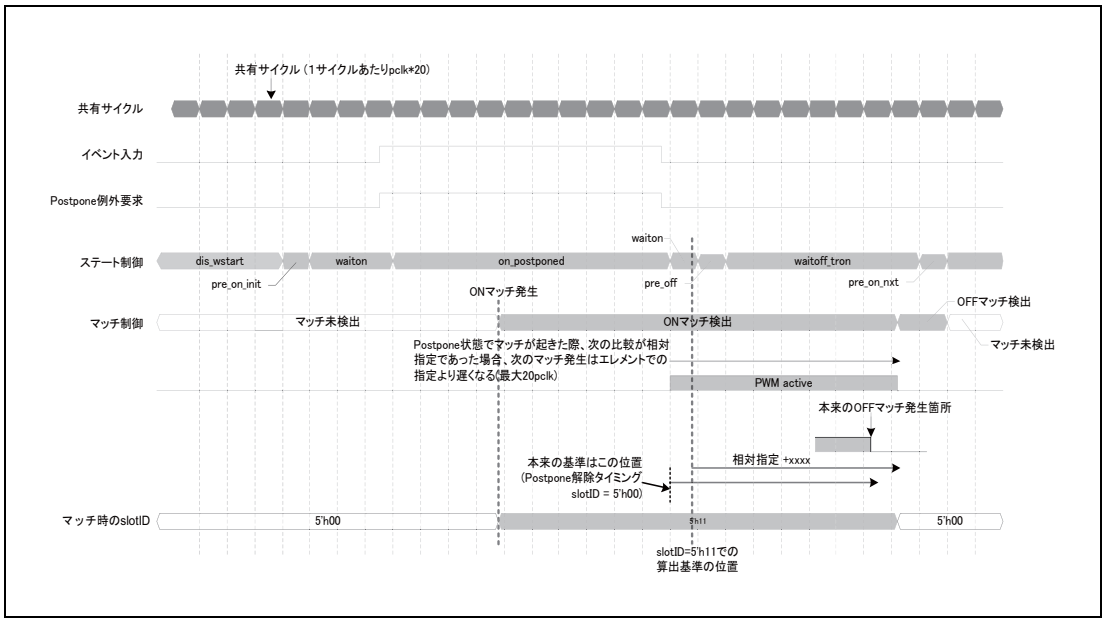


図 23.59 相対指定位置のずれ（条件 3）

23.6 APA 入出力選択機能概要

APA を使用する上で、APA の入出力信号に対して、次の選択制御が可能です。

- APA リファレンスソースとして、ATU- Ⅳの TimerG、D から選択が可能
  選択したカウンタ値に対して、0 ～ 5、8、16 ビットの右シフトが選択可能
- APA リファレンスソースとして、ADC0、1、ΔΣAD から選択が可能
  選択した AD 変換値に対して、符号変換が可能

23.6.1 レジスター覧

APA 入出力選択機能の制御レジスタは、ベースアドレス $FFEDC000_H$ からのオフセットで表されます。

レジスター覧を、以下に示します。

表 23.65 APA 入出力選択機能のレジスター覧

offset address	レジスタ名	R/W	アクセスサイズ	リセット後の値
0000_H	APGA0CNTR0	R/W	8	00_H
0004_H	APGA0CNTR1	R/W	8	00_H
0005_H	APGA0CNTR3	R/W	8	FF_H
0008_H	APGA0CNTR2	R/W	32/16/8	00000000_H
$001C_H$	APGA0CNTR5	R/W	8	00_H

注 意

APA 入出力選択機能の制御レジスタの書き換えは、制御対象のモジュール（ATU- Ⅳ、ADC、ΔΣAD）が動作していない時に行って下さい。

オフセットアドレス $000C_H$、0010_H、0014_H、0015_H、0018_H、$001D_H$、$001E_H$ はリザーブエリアとなります。

ライトする場合は “0” をライトして下さい。リードすると “0” が読めます。

23.7 レジスタ機能説明

23.7.1 APGAnCNTR0 — APGAn コントロールレジスタ 0（n = 0）

APGAnCNTR0 レジスタは、APA のリファレンス ch0、1 への入力データの選択制御を行うレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFED $C000_H$ + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	REF_SEL1	BIT_SEL1			REF_SEL0	BIT_SEL0		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.66 APGAnCNTR0 レジスタの内容

ビット位置	ビット名	機能
7	REF_SEL1	APAn のリファレンス（チャネル 1）に入力するカウンタを選択します。 0：ATU タイマ G の TCNTG0 を選択 1：ATU タイマ D の TCNT2D0 を選択
6 ～ 4	BIT_SEL1	APAn のリファレンス（チャネル 1）に入力するカウンタの 16 ビットデータ選択 000：右シフトなし 001：1 ビット右シフト 010：2 ビット右シフト 011：3 ビット右シフト 100：4 ビット右シフト 101：5 ビット右シフト 110：8 ビット右シフト（中央 16 ビット） 111：16 ビット右シフト（上位 16 ビット）
3	REF_SEL0	APAn のリファレンス（チャネル 0）に入力するカウンタを選択します。 0：ATU タイマ G の TCNTG0 を選択 1：ATU タイマ D の TCNT1D0 を選択
2 ～ 0	BIT_SEL0	APAn のリファレンス（チャネル 0）に入力するカウンタの 16 ビットデータ選択 000：右シフトなし 001：1 ビット右シフト 010：2 ビット右シフト 011：3 ビット右シフト 100：4 ビット右シフト 101：5 ビット右シフト 110：8 ビット右シフト（中央 16 ビット） 111：16 ビット右シフト（上位 16 ビット）

23.7.2 APGAnCNTR1 — APGAn コントロールレジスタ 1（n = 0）

APGAnCNTR1 レジスタは、APA のリファレンス ch2 ～ 9 への入力データの選択制御を行うレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFED $C000_H$ + 0004_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	REF_SEL9	REF_SEL8	REF_SEL7	REF_SEL6	REF_SEL5	REF_SEL4	REF_SEL3	REF_SEL2
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.67 APGAnCNTR1 レジスタの内容

ビット位置	ビット名	機能
7	REF_SEL9	APAn のリファレンス（チャネル 9）に入力する AD データを選択します。 0：ΔΣAD チャネル 7 データを選択 1：SARAD_CTL_SEL9 で選択した ADC の SARAD_TAG_SEL9 と一致する TAG データ
6	REF_SEL8	APAn のリファレンス（チャネル 8）に入力する AD データを選択します。 0：ΔΣAD チャネル 6 データを選択 1：SARAD_CTL_SEL8 で選択した ADC の SARAD_TAG_SEL8 と一致する TAG データ
5	REF_SEL7	APAn のリファレンス（チャネル 8）に入力する AD データを選択します。 0：ΔΣAD チャネル 5 データを選択 1：SARAD_CTL_SEL7 で選択した ADC の SARAD_TAG_SEL7 と一致する TAG データ
4	REF_SEL6	APAn のリファレンス（チャネル 8）に入力する AD データを選択します。 0：ΔΣAD チャネル 4 データを選択 1：SARAD_CTL_SEL6 で選択した ADC の SARAD_TAG_SEL6 と一致する TAG データ
3	REF_SEL5	APAn のリファレンス（チャネル 8）に入力する AD データを選択します。 0：ΔΣAD チャネル 3 データを選択 1：SARAD_CTL_SEL5 で選択した ADC の SARAD_TAG_SEL5 と一致する TAG データ
2	REF_SEL4	APAn のリファレンス（チャネル 8）に入力する AD データを選択します。 0：ΔΣAD チャネル 2 データを選択 1：SARAD_CTL_SEL4 で選択した ADC の SARAD_TAG_SEL4 と一致する TAG データ
1	REF_SEL3	APAn のリファレンス（チャネル 8）に入力する AD データを選択します。 0：ΔΣAD チャネル 1 データを選択 1：SARAD_CTL_SEL3 で選択した ADC の SARAD_TAG_SEL3 と一致する TAG データ
0	REF_SEL2	APAn のリファレンス（チャネル 8）に入力する AD データを選択します。 0：ΔΣAD チャネル 0 データを選択 1：SARAD_CTL_SEL2 で選択した ADC の SARAD_TAG_SEL2 と一致する TAG データ

23.7.3 APGAnCNTR2 — APGAn コントロールレジスタ 2（n = 0）

APGAnCNTR2 レジスタは、APA のリファレンス ch2 ～ 9 へ入力する SAR-AD データの TAG 設定を行うレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFED $C000_H$ + 0008_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SARAD_TAG_SEL9				SARAD_TAG_SEL8				SARAD_TAG_SEL7				SARAD_TAG_SEL6			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SARAD_TAG_SEL5				SARAD_TAG_SEL4				SARAD_TAG_SEL3				SARAD_TAG_SEL2			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.68 APGAnCNTR2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 28	SARAD_TAG_SEL9	APAn のリファレンス（チャネル 9）に入力する SAR-AD データの TAG を設定します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL9 = 1（SAR-AD 選択）の場合に有効となり、本ビットへ設定した値と同一の TAG データが選択されます。
27 ～ 24	SARAD_TAG_SEL8	APAn のリファレンス（チャネル 8）に入力する SAR-AD データの TAG を設定します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL8 = 1（SAR-AD 選択）の場合に有効となり、本ビットへ設定した値と同一の TAG データが選択されます。
23 ～ 20	SARAD_TAG_SEL7	APAn のリファレンス（チャネル 7）に入力する SAR-AD データの TAG を設定します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL7 = 1（SAR-AD 選択）の場合に有効となり、本ビットへ設定した値と同一の TAG データが選択されます。
19 ～ 16	SARAD_TAG_SEL6	APAn のリファレンス（チャネル 6）に入力する SAR-AD データの TAG を設定します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL6 = 1（SAR-AD 選択）の場合に有効となり、本ビットへ設定した値と同一の TAG データが選択されます。
15 ～ 12	SARAD_TAG_SEL5	APAn のリファレンス（チャネル 5）に入力する SAR-AD データの TAG を設定します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL5 = 1（SAR-AD 選択）の場合に有効となり、本ビットへ設定した値と同一の TAG データが選択されます。

表 23.68 APGAnCNTR2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
11 ～ 8	SARAD_TAG_SEL4	APAn のリファレンス（チャネル 4）に入力する SAR-AD データの TAG を設定します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL4 = 1（SAR-AD 選択）の場合に有効となり、本ビットへ設定した値と同一の TAG データが選択されます。
7 ～ 4	SARAD_TAG_SEL3	APAn のリファレンス（チャネル 3）に入力する SAR-AD データの TAG を設定します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL3 = 1（SAR-AD 選択）の場合に有効となり、本ビットへ設定した値と同一の TAG データが選択されます。
3 ～ 0	SARAD_TAG_SEL2	APAn のリファレンス（チャネル 2）に入力する SAR-AD データの TAG を設定します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL2 = 1（SAR-AD 選択）の場合に有効となり、本ビットへ設定した値と同一の TAG データが選択されます。

23.7.4 APGAnCNTR3 — APGAn コントロールレジスタ 3（n = 0）

APGAnCNTR3 レジスタは、APA のリファレンス ch2 ～ 9 へ入力する AD データの符号変換制御を行うレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFED $C000_H$ + 0005_H

リセット後の値 FF_H

ビット	7	6	5	4	3	2	1	0
	CODE_SEL9	CODE_SEL8	CODE_SEL7	CODE_SEL6	CODE_SEL5	CODE_SEL4	CODE_SEL3	CODE_SEL2
リセット後の値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.69 APGAnCNTR3 レジスタの内容

ビット位置	ビット名	機能
7	CODE_SEL9	APAn のリファレンス（チャネル 9）に入力する AD データの符号変換の有無を選択します。 0：符号変換を行なわない 1：符号変換を行う
6	CODE_SEL8	APAn のリファレンス（チャネル 8）に入力する AD データの符号変換の有無を選択します。 0：符号変換を行なわない 1：符号変換を行う
5	CODE_SEL7	APAn のリファレンス（チャネル 7）に入力する AD データの符号変換の有無を選択します。 0：符号変換を行なわない 1：符号変換を行う
4	CODE_SEL6	APAn のリファレンス（チャネル 6）に入力する AD データの符号変換の有無を選択します。 0：符号変換を行なわない 1：符号変換を行う
3	CODE_SEL5	APAn のリファレンス（チャネル 5）に入力する AD データの符号変換の有無を選択します。 0：符号変換を行なわない 1：符号変換を行う
2	CODE_SEL4	APAn のリファレンス（チャネル 4）に入力する AD データの符号変換の有無を選択します。 0：符号変換を行なわない 1：符号変換を行う
1	CODE_SEL3	APAn のリファレンス（チャネル 3）に入力する AD データの符号変換の有無を選択します。 0：符号変換を行なわない 1：符号変換を行う
0	CODE_SEL2	APAn のリファレンス（チャネル 2）に入力する AD データの符号変換の有無を選択します。 0：符号変換を行なわない 1：符号変換を行う

23.7.5 APGAnCNTR5 — APGAn コントロールレジスタ 5（n = 0）

APGAnCNTR5 レジスタは、APA のリファレンス ch2 ～ 9 へ入力する ADC データを、ADC0、1 から選択する設定を行うレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFED $C000_H$ + $001C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	SARAD_CTL_SEL9	SARAD_CTL_SEL8	SARAD_CTL_SEL7	SARAD_CTL_SEL6	SARAD_CTL_SEL5	SARAD_CTL_SEL4	SARAD_CTL_SEL3	SARAD_CTL_SEL2
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.70 APGAnCNTR5 レジスタの内容

ビット位置	ビット名	機能
7	SARAD_CTL_SEL9	APAn のリファレンス（チャネル 9）に入力する AD データを選択します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL9 = 1（ADC 選択）の場合に有効となります。 0：ADC0 データを選択 1：ADC1 データを選択
6	SARAD_CTL_SEL8	APAn のリファレンス（チャネル 8）に入力する AD データを選択します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL8 = 1（ADC 選択）の場合に有効となります。 0：ADC0 データを選択 1：ADC1 データを選択
5	SARAD_CTL_SEL7	APAn のリファレンス（チャネル 7）に入力する AD データを選択します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL7 = 1（ADC 選択）の場合に有効となります。 0：ADC0 データを選択 1：ADC1 データを選択
4	SARAD_CTL_SEL6	APAn のリファレンス（チャネル 6）に入力する AD データを選択します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL6 = 1（ADC 選択）の場合に有効となります。 0：ADC0 データを選択 1：ADC1 データを選択
3	SARAD_CTL_SEL5	APAn のリファレンス（チャネル 5）に入力する AD データを選択します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL5 = 1（ADC 選択）の場合に有効となります。 0：ADC0 データを選択 1：ADC1 データを選択
2	SARAD_CTL_SEL4	APAn のリファレンス（チャネル 4）に入力する AD データを選択します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL4 = 1（ADC 選択）の場合に有効となります。 0：ADC0 データを選択 1：ADC1 データを選択
1	SARAD_CTL_SEL3	APAn のリファレンス（チャネル 3）に入力する AD データを選択します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL3 = 1（ADC 選択）の場合に有効となります。 0：ADC0 データを選択 1：ADC1 データを選択
0	SARAD_CTL_SEL2	APAn のリファレンス（チャネル 2）に入力する AD データを選択します。 本ビットの設定は、APGAmCNTR1 レジスタの REF_SEL2 = 1（ADC 選択）の場合に有効となります。 0：ADC0 データを選択 1：ADC1 データを選択

23.8 詳細動作説明

23.8.1 リファレンスソースの選択機能 1

APA のリファレンス ch0、1 への入力は、ATU- Ⅳタイマから入力されるタイマ G、タイマ D のチャネル 1、2 から選択可能です。

図 23.60 にリファレンス選択機能 1 のブロック図を示します。

また**表 23.71**、**表 23.72** にリファレンスソースの選択機能 1 の一覧表を示します。

APA のリファレンスとして使用する場合、接続されるカウンタのカウント周期よりも、リファレンス入力の分解能が高くなるようにビット選択を行う必要があります。

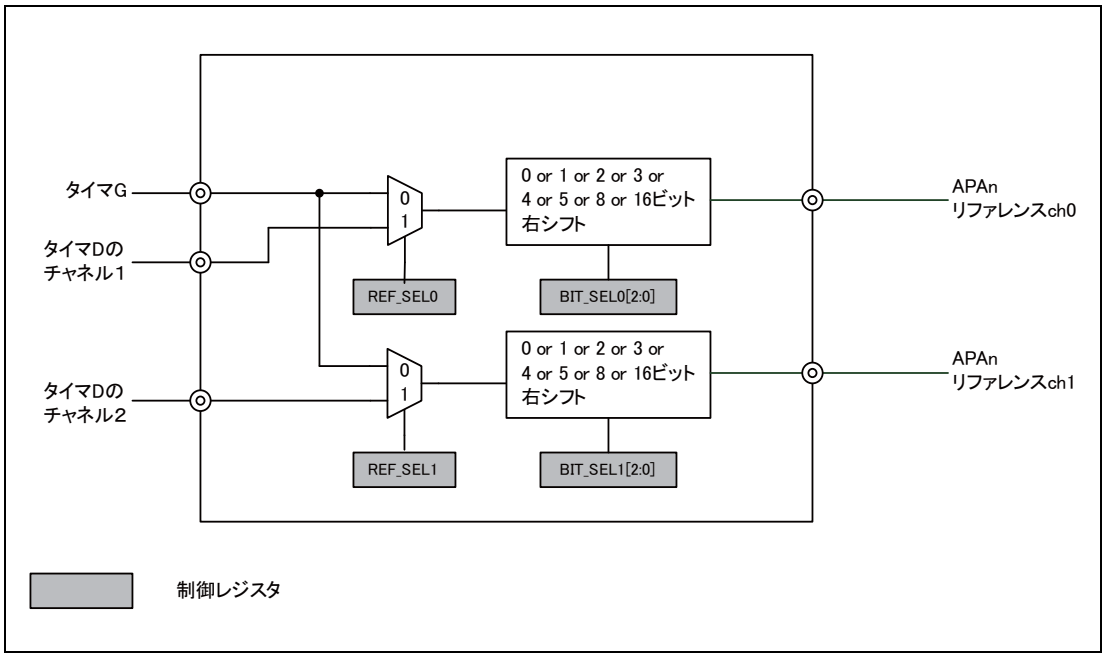


図 23.60 リファレンスソースの選択機能 1 ブロック図

表 23.71 APAn のリファレンス ch0 のリファレンスソース選択

REF_SEL0	BIT_SEL0[2:0]	リファレンス ch0	
		リファレンスソース	シフト幅
0	000	ATU タイマ G の TCNTG0	シフト無し
0	001		1 ビット右シフト
0	010		2 ビット右シフト
0	011		3 ビット右シフト
0	100		4 ビット右シフト
0	101		5 ビット右シフト
0	110		8 ビット右シフト
0	111		16 ビット右シフト
1	000	ATU タイマ D の TCNT1D0	シフト無し
1	001		1 ビット右シフト
1	010		2 ビット右シフト
1	011		3 ビット右シフト
1	100		4 ビット右シフト
1	101		5 ビット右シフト
1	110		8 ビット右シフト
1	111		16 ビット右シフト

表 23.72 APAn のリファレンス ch1 のリファレンスソース選択

REF_SEL1	BIT_SEL1[2:0]	リファレンス ch1	
		リファレンスソース	シフト幅
0	000	ATU タイマ G の TCNTG0	シフト無し
0	001		1 ビット右シフト
0	010		2 ビット右シフト
0	011		3 ビット右シフト
0	100		4 ビット右シフト
0	101		5 ビット右シフト
0	110		8 ビット右シフト
0	111		16 ビット右シフト
1	000	ATU タイマ D の TCNT2D0	シフト無し
1	001		1 ビット右シフト
1	010		2 ビット右シフト
1	011		3 ビット右シフト
1	100		4 ビット右シフト
1	101		5 ビット右シフト
1	110		8 ビット右シフト
1	111		16 ビット右シフト

23.8.2 リファレンスソースの選択機能 2

APA のリファレンス ch2 ～ 9 への入力は、リファレンスソースとして ΔΣAD、ADC0, 1 のデータから選択可能です。

図 23.61 にリファレンス選択機能 2 のブロック図を示します。

REF_SEL2 ～ 9 ビットに 0 を設定した場合は、ΔΣAD のデータが選択されます。

REF_SEL2 ～ 9 ビットに 1 を設定した場合は、ADC0, 1 のデータが選択されます。ADC0, 1 のどちらをデータ入力として選択するかは、SARAD_CTL_SEL2 ～ 9 ビットで設定する。ADC0, 1 のデータを選択した場合は、ADC0, 1 から入力される TAG と、SARAD_TAG_SEL2 ～ 9 に設定した TAG が一致し、且つ ADC0, 1 から出力されるトリガがアクティブになった際にデータを取り込み、次の TAG 一致までデータを保持します。

ΔΣAD、ADC0, 1 のデータどちらを選択した場合も、CODE_SEL2 ～ 9 ビットで符号変換有／無を選択可能です。

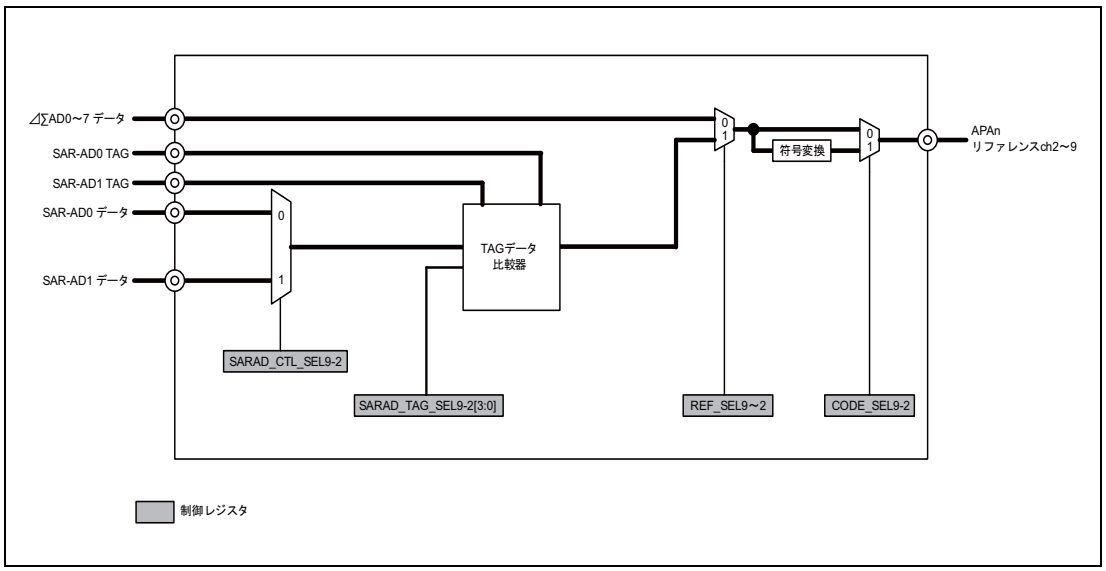


図 23.61 リファレンスソースの選択機能 2 ブロック図

表 23.73 リファレンス ch2 ～ 9 のリファレンスソース選択

REF_SEL 2 ～ 9	SARAD_CTL_SEL 2 ～ 9	CODE_SEL 2 ～ 9	リファレンス ch2 ～ 9 の選択ソース
0	—	0	ΔΣAD データ符号変換無し
0	—	1	ΔΣAD データ符号変換有り
1	0	0	ADC0 の SARAD_TAG_SEL2 ～ 9 と一致する TAG データ、符号変換無し
1	0	1	ADC0 の SARAD_TAG_SEL2 ～ 9 と一致する TAG データ、符号変換有り
1	1	0	ADC の SARAD_TAG_SEL2 ～ 9 と一致する TAG データ、符号変換無し
1	1	1	ADC1 の SARAD_TAG_SEL2 ～ 9 と一致する TAG データ、符号変換有り

23.8.2.1 符号変換機能

APA のリファレンス ch2 ～ 9 は、ΔΣAD、ADC0, 1 から選択したデータに対して、符号変換が可能です。**図 23.62** に符号変換機能のブロック図を示します。

CODE_SEL2 ～ 9 ビットに 0 を設定した場合は符号変換無し、CODE_SEL2 ～ 9 ビットに 1 を設定した場合は符号変換有りとなります。

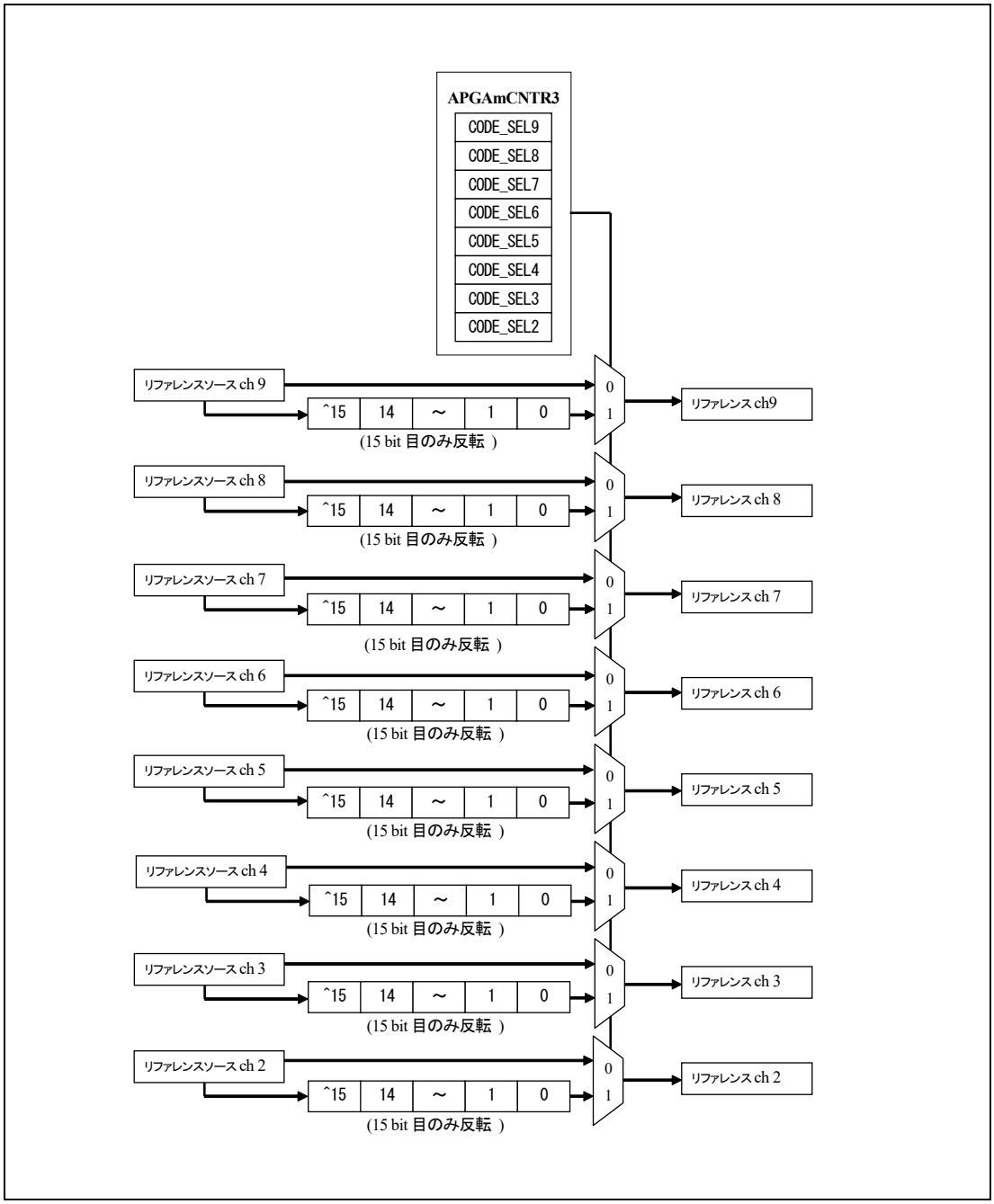


図 23.62 符号変換機能ブロック図

各 AD からのリファレンス入力について、符号付きデータが入力されることを想定していますが、APA の大小比較は符号無しデータのみを対象としています。

このため、各 AD からのリファレンス入力に対しては以下のフォーマット変換が必要となります。

AD 出力		APA 入力	
16 進数	10 進数	16 進数	10 進数
$7FFF_H$	+32767	$FFFF_H$	65535
～	～	～	～
0001_H	1	8001_H	32769
0000_H	0	8000_H	32768
$FFFF_H$	-1	$7FFF_H$	32767
～	～	～	～
8000_H	-32768	0000_H	0

注　意

SAR ー AD からのデータの符号は、必ず 0 が入力されます（ 使用時にデータフォーマットを合わせることが必要 です）。

そのため、APA でのエレメント設定時には最上位 bit は必ず 8000_H 以上を指定する必要があります。

第 24 章　モータコントロールタイマ（TSG2）

24.1　TSG2n の機能

- チャネル
  本製品は、2 チャネルの TSG2n（n = 0、1）を搭載しています。

表 24.1　TSG2 のチャネル

TSG2	
チャネル数	2
名称	TSG20、TSG21

n の意味

この章では、TSG2 の各チャネルを「n」で識別します（n = 0、1）。たとえば、TSG2n 制御レジスタ 0（TSG2nCTL0）のように記述しています。

- レジスタアドレス
  TSG2n のレジスタアドレスは、それぞれベースアドレス <TSG2n_base> からのオフセットで表されます。各 TSG2n のレジスタベースアドレスを次の表に示します。

表 24.2　TSG2n のレジスタベースアドレス

TSG2n	<TSG2n_base> アドレス
TSG20	FFE7 0000
TSG21	FFE7 1000

- 割り込み要求
  TSG2n の割り込み要求を次の表に示します。

表 24.3　TSG2n の割り込み要求一覧

TSG2n の割り込み要求	機能	接続先
INTTSG2nI[12:0]	TSG2n コンペアー致割り込み 0 ～ 12	割り込みコントローラ（INTC）
INTTSG2nIPEK	TSG2n 山割り込み	割り込みコントローラ（INTC）
INTTSG2nIVLY	TSG2n 谷割り込み	割り込みコントローラ（INTC）
INTTSG2nIER	TSG2n エラー割り込み	割り込みコントローラ（INTC） PIC1
INTTSG2nIWN	TSG2n ワーニング割り込み	割り込みコントローラ（INTC）

- DMA 転送要求
  TSG2n の DMA 転送要求を次の表に示します。

表 24.4　TSG2n の DMA 転送要求一覧 (1/2)

TSG2n の割り込み要求	機能	接続先
INTTSG2nI[12:11]	TSG2n コンペアー致割り込み 11 ～ 12	DMA コントローラ（DTS）

表 24.4　TSG2n の DMA 転送要求一覧 (2/2)

TSG2n の割り込み要求	機能	接続先
INTTSG2nIPEK	TSG2n 山割り込み	DMA コントローラ（DTS）
INTTSG2nIVLY	TSG2n 谷割り込み	DMA コントローラ（DTS）

24.2　機能の概要

TSG2n は、各種のモータ制御機能を持った 16 ビット・タイマ／カウンタです。

- カウント・クロック分解能：最小 12.5ns（カウント・クロック 80MHz 時）
- 各種モータ制御方式に対応した動作モード
- リロード・バッファ付きコンペア・レジスタ
- 10 ビットのデッド・タイム・カウンタ
  - リロード・バッファ付きデッド・タイム・カウンタ
  - 正相→逆相／逆相→正相で独立したデッド・タイム値設定可能
- A/D 変換トリガ信号生成
  - コンペア･レジスタ TSG2nDCMP0W, TSG2nDCMP2 で、3 種類の A/D 変換トリガを生成
  - A/D 変換トリガ
  - TSTADT0 信号／ TSTADT1 信号個別の間引き機能：間引き率 1/1, 1/2, 1/4, 1/8
  - TSTADT0 信号でセット、TSTADT1 信号でリセットのトグル出力、または、ダイアグ出力の専用端子（TSOn7）
- 割り込み間引き機能
  - 間引き率 1/1 ～ 1/32
- 強制出力停止機能
  - TOP 機能を接続し、TSOn1-TSOn6 端子の出力ハイ・インピーダンス制御が可能
- コンペア値の設定
  - リロード（一斉書き換え機能）／随時書き換え機能選択可能
- リロード･モード
  - TSG2nCMP1 レジスタを書き込むことでリロード許可（リロード要求フラグ TSG2nRSF をセット）となり、複数レジスタの同時転送可能
  - 山／谷／山および谷のリロード・タイミングで転送可能
  - リロード要求フラグ TSG2nRSF を用意
  - DMA 転送可能なレジスタ・アドレス配置
  - リロード間引き機能
- HT-PWM モード
  - デッド・タイム縮小を含む 0-100% デューティ PWM 出力可能
  - アップ・カウント側の PWM 出力に付加パルスあり／なしをコンペア・レジスタの LSB で制御可能なため、ソフトウエア負荷なしで出力分解能を向上
- 120-DC 制御
  - セミオート・ドライブ機能と連携したオフセットでトリガ発生可能）
- 3 相エンコーダ機能（ホール・センサ等の信号を入力可能）
- 出力端子 TSOn1-TSOn6 のアクティブ・レベルを端子ごとに設定可能
- フェイル・セーフ機能（ワーニング／エラー割り込み発生可能）

– 正相／逆相における同時アクティブ出力検出機能
– 3 相エンコーダの異常入力検出機能

24.3 構成

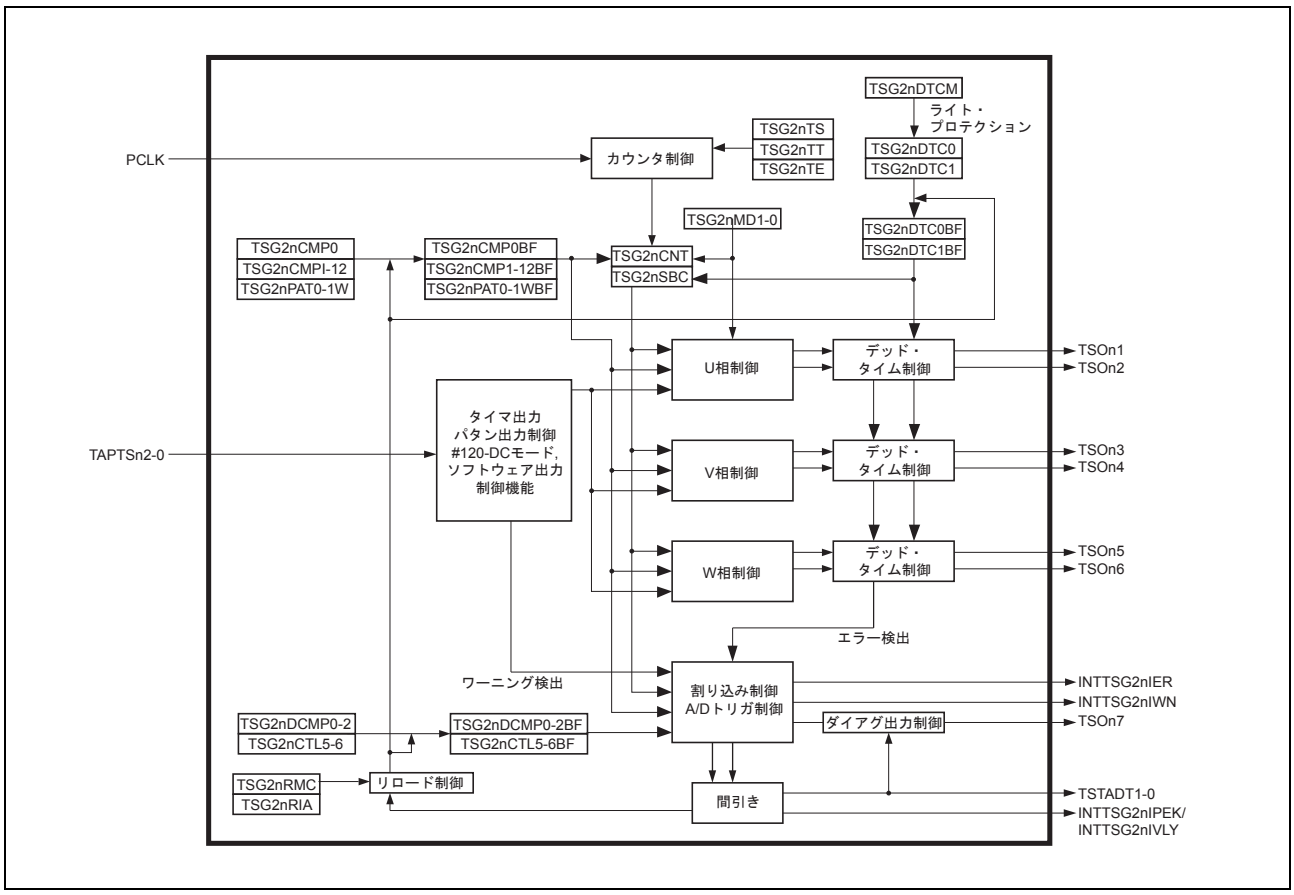


図 24.1 TSG2n のブロック図

24.4 レジスタ

TSG2n（n = 0, 1）のレジスタについて説明します。

24.4.1 レジスター覧

TSG2n（n = 0, 1）のレジスター覧、メモリアドレスを**表 24.5** に示します。

ベースアドレスは TSG20 が FFE7 0000_H、TSG21 が FFE7 1000_H となります。

実際のアドレスはこのベースアドレスに表で示したオフセット値を加算します。

表 24.5 TSG2n（n = 0, 1）レジスター覧 (1/2)

レジスタ名	機能	R/W	リセット値	アクセス			オフセットアドレス	ダイナミック	リロード
				8	16	32			
TSG2nIOC2	TSG2n I/O 制御レジスタ 2	R/W	0000_H	×	○	×	000_H	あり	なし
TSG2nCTL3	TSG2n 制御レジスタ 3	R/W	00_H	○	×	×	004_H	あり	なし
TSG2nCTL5	TSG2n 制御レジスタ 5	R/W	0000_H	×	○	×	008_H	あり	なし
TSG2nCTL6	TSG2n 制御レジスタ 6	R/W	0000_H	×	○	×	$00C_H$	あり	なし
TSG2nSTR0	TSG2n ステータスレジスタ 0	R	00_H	○	×	×	010_H	あり	なし
TSG2nSTR1	TSG2n ステータスレジスタ 1	R	00_H	○	×	×	014_H	あり	なし
TSG2nSTR2	TSG2n ステータスレジスタ 2	R	0000_H	×	○	×	018_H	あり	なし
TSG2nSTC	TSG2n ステータスクリアトリガレジスタ	W	0000_H	×	○	×	$01C_H$	あり	なし
TSG2nOPT0	TSG2n オプションレジスタ 0	R/W	00_H	○	×	×	020_H	あり	なし
TSG2nOPT1	TSG2n オプションレジスタ 1	R/W	00_H	○	×	×	024_H	あり	なし
TSG2nCNT	TSG2n カウンタレジスタ	R	0000_H	×	○	×	028_H	あり	なし
TSG2nSBC	TSG2n サブカウンタレジスタ	R	0000_H	×	○	×	$02C_H$	あり	なし
TSG2nTRG0	TSG2n トリガレジスタ 0	W	00_H	○	×	×	030_H	あり	なし
TSG2nTRG1	TSG2n トリガレジスタ 1	W	00_H	○	×	×	034_H	あり	なし
TSG2nCMP1W	TSG2n コンペアレジスタ 1,2	R/W	$0000\ 0000_H$	×	×	○	040_H	あり	あり
TSG2nCMP5W	TSG2n コンペアレジスタ 5,6	R/W	$0000\ 0000_H$	×	×	○	044_H	あり	あり
TSG2nCMP9W	TSG2n コンペアレジスタ 9,10	R/W	$0000\ 0000_H$	×	×	○	048_H	あり	あり
TSG2nCMP3W	TSG2n コンペアレジスタ 3,4	R/W	$0000\ 0000_H$	×	×	○	$04C_H$	あり	あり
TSG2nCMP7W	TSG2n コンペアレジスタ 7,8	R/W	$0000\ 0000_H$	×	×	○	050_H	あり	あり
TSG2nCMP11W	TSG2n コンペアレジスタ 11,12	R/W	$0000\ 0000_H$	×	×	○	054_H	あり	あり
TSG2nCMP0	TSG2n コンペアレジスタ 0	R/W	$0000\ 0000_H$	×	×	○	058_H	あり	あり
TSG2nDCMP0W	TSG2n 診断コンペアレジスタ 0,1	R/W	$0000\ 0000_H$	×	×	○	$05C_H$	あり	あり
TSG2nDCMP2	TSG2n 診断コンペアレジスタ 2	R/W	$0000\ 0000_H$	×	×	○	060_H	あり	あり
TSG2nPAT0W	TSG2n パタンレジスタ 0	R/W	$0000\ 0000_H$	×	×	○	064_H	あり	あり
TSG2nPAT1W	TSG2n パタンレジスタ 1	R/W	$0000\ 0000_H$	×	×	○	068_H	あり	あり
TSG2nDTC0W	TSG2n デッドタイムコンペアレジスタ 0	R/W	$0000\ 0000_H$	×	×	○	$06C_H$	あり	あり
TSG2nDTC1W	TSG2n デッドタイムコンペアレジスタ 1	R/W	$0000\ 0000_H$	×	×	○	070_H	あり	あり
TSG2nIOC3	TSG2n I/O 制御レジスタ 3	R/W	$0000\ 0000_H$	×	×	○	074_H	あり	あり
TSG2nCTL4	TSG2n 制御レジスタ 4	R/W	$0000\ 0000_H$	×	×	○	$07C_H$	あり	あり
TSG2nCMP1	TSG2n コンペアレジスタ 1	R/W	0000_H	×	○	×	080_H	あり	あり
TSG2nCMP2	TSG2n コンペアレジスタ 2	R/W	0000_H	×	○	×	084_H	あり	あり
TSG2nCMP5	TSG2n コンペアレジスタ 5	R/W	0000_H	×	○	×	088_H	あり	あり

表 24.5 TSG2n（n = 0, 1）レジスタ一覧 (2/2)

レジスタ名	機能	R/W	リセット値	アクセス			オフセットアドレス	ダイナミック	リロード
				8	16	32			
TSG2nCMP6	TSG2n コンペアレジスタ 6	R/W	0000_H	×	○	×	$08C_H$	あり	あり
TSG2nCMP9	TSG2n コンペアレジスタ 9	R/W	0000_H	×	○	×	090_H	あり	あり
TSG2nCMP10	TSG2n コンペアレジスタ 10	R/W	0000_H	×	○	×	094_H	あり	あり
TSG2nCMP3	TSG2n コンペアレジスタ 3	R/W	0000_H	×	○	×	098_H	あり	あり
TSG2nCMP4	TSG2n コンペアレジスタ 4	R/W	0000_H	×	○	×	$09C_H$	あり	あり
TSG2nCMP7	TSG2n コンペアレジスタ 7	R/W	0000_H	×	○	×	$0A0_H$	あり	あり
TSG2nCMP8	TSG2n コンペアレジスタ 8	R/W	0000_H	×	○	×	$0A4_H$	あり	あり
TSG2nCMP11	TSG2n コンペアレジスタ 11	R/W	0000_H	×	○	×	$0A8_H$	あり	あり
TSG2nCMP12	TSG2n コンペアレジスタ 12	R/W	0000_H	×	○	×	$0AC_H$	あり	あり
TSG2nCMPU	TSG2n U 相用コンペアレジスタ	R/W	0000_H	×	○	×	$0B0_H$	あり	あり
TSG2nCMPV	TSG2n V 相用コンペアレジスタ	R/W	0000_H	×	○	×	$0B4_H$	あり	あり
TSG2nCMPW	TSG2n W 相用コンペアレジスタ	R/W	0000_H	×	○	×	$0B8_H$	あり	あり
TSG2nUPW	TSG2n U 相期間レジスタ	R/W	0000_H	×	○	×	$0BC_H$	あり	あり
TSG2nVPW	TSG2n V 相期間レジスタ	R/W	0000_H	×	○	×	$0C0_H$	あり	あり
TSG2nWPW	TSG2n W 相期間レジスタ	R/W	0000_H	×	○	×	$0C4_H$	あり	あり
TSG2nIOC0	TSG2n I/O 制御レジスタ 0	R/W	$7E_H$	○	×	×	200_H	なし	なし
TSG2nIOC1	TSG2n I/O 制御レジスタ 1	R/W	00_H	○	×	×	204_H	なし	なし
TSG2nCTL0	TSG2n 制御レジスタ 0	R/W	00_H	○	×	×	208_H	なし	なし
TSG2nCTL1	TSG2n 制御レジスタ 1	R/W	0000_H	×	○	×	$20C_H$	なし	なし
TSG2nDTPR	TSG2n デッドタイム保護レジスタ	R/W	0000_H	×	○	×	210_H	なし	なし

- ダイナミック：「あり」は、TSG2 の実行中、レジスタが書き込み可能なことを意味します。「なし」は、TSG2 の実行中はレジスタの内容を変更できないことを意味します。
- リロード：「リロード」はレジスタがリロード機能を備えていることを意味します。

24.4.2 TSG2n レジスタの詳細

24.4.2.1 TSG2nCTL0 — TSG2n 制御レジスタ 0

TSG2nCTL0 レジスタは TSOn7 のパルス幅と TSG2n のモード機能を制御します。

TSG2nTE = 0（マクロ停止中）の場合のみ書き込み可能です。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0208_H
TSG21: FFE7 1208_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TSG2nDWD	—	—	TSG2nMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R	R/W	R/W

表 24.6 TSG2nCTL0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TSG2nDWD	TSOn7 パルス幅制御ビット 0：TSOn7 のパルス幅は 8 クロック 1：TSOn7 のパルス幅は 16 クロック このビットは TSOn7 のパルス幅を制御します。TSG2nTGS = 1 のとき使用できます。 （TSG2nTGS ビットの説明参照） 詳しい機能は「**24.5.4(1) （a）TSOn7 端子の出力制御**」に記載しています。
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TSG2nMD[1:0]	TSG2n モード制御ビット 00：PWM モード 01：高精度三角波 PWM モード 10：シフトパルス PWM モード 11：120 度通電制御モード これらのビットは TSG2n のモード制御ビットです。TSG2n には 4 つのモードがあります。 PWM モードは 6 つの PWM タイマ出力を制御します。各タイマ出力は 2 つのコンペアレジスタ（セットおよびクリア）によって制御されます。 高精度三角波 PWM モード（HT-PWM モードと呼ぶ）は 3 つの相補 PWM 出力をアップカウントとダウンカウント（三角波カウント）で制御します。 シフトパルス PWM モード（SP-PWM モードと呼ぶ）は 3 つの相補 PWM 出力をアップカウント（のこぎり波カウント）で制御します。 120 度通電制御モード（120-DC モードと呼ぶ）は 6 つの PWM 出力を 12 個のコンペアレジスタ、2 つのパタンレジスタおよび 6 つの出力段を使って制御します。

24.4.2.2　TSG2nCTL1 — TSG2n 制御レジスタ 1

TSG2nCTL1 レジスタはエラー / ワーニングの検出を制御します。TSG2nTE = 0（マクロ停止中）の場合のみ書き込み可能です。

TSG2nSTR2 レジスタおよび**「24.10　エラー／ワーニング割り込み」**の説明を参照してください。

アクセス　16 ビット単位でリード / ライト可能です。

アドレス　TSG20: FFE7 020C$_H$
TSG21: FFE7 120C$_H$

リセット後の値　0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG2n TBA2	TSG2n TBA1	TSG2n TBA0	TSG2n PPC	TSG2n PEC	—	TSG2n NDC	TSG2n PRC	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R

表 24.7　TSG2nCTL1 レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	TSG2nTBA2	TSG2nTBF2 制御ビット 0：TSG2nTBF2 は機能しない 1：TSG2nTBF2 は機能する
8	TSG2nTBA1	TSG2nTBF1 制御ビット 0：TSG2nTBF1 は機能しない 1：TSG2nTBF1 は機能する
7	TSG2nTBA0	TSG2nTBF0 制御ビット 0：TSG2nTBF0 は機能しない 1：TSG2nTBF0 は機能する
6	TSG2nPPC	TSG2nPPF 制御ビット 0：TSG2nPPF は機能しない 1：TSG2nPPF は機能する
5	TSG2nPEC	TSG2nPEF 制御ビット 0：TSG2nPEF は機能しない 1：TSG2nPEF は機能する
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	TSG2nNDC	TSG2nNDF 制御ビット 0：TSG2nNDF は機能しない 1：TSG2nNDF は機能する
2	TSG2nPRC	TSG2nPRF 制御ビット 0：TSG2nPRF は機能しない 1：TSG2nPRF は機能する
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

24.4.2.3 TSG2nCTL3 — TSG2n 制御レジスタ 3

TSG2nCTL3 は TSG2n のリロード /IMWRITE 機能を制御します。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0004_H
TSG21: FFE7 1004_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG2nRIA	TSG2nRMC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 24.8 TSG2nCTL3 レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	TSG2nRIA	リロードおよび INTTSG2nIPEK/INTTSG2nIVLY 調整ビット 0：リロードタイミングを TSG2nPRE、TSG2nVRE のみで制御 1：リロードタイミングを INTTSG2nIPEK、INTTSG2nIVLY の出力タイミングで調整 TSG2nRIA はリロードタイミングを制御します。TSG2nRMC = 0 のとき使用可能。
0	TSG2nRMC	レジスタモード制御ビット 0：リロード機能を備えたレジスタをリロード時に更新 1：レジスタをレジスタへの書き込み時に更新 この機能を TSG2nRMC = 0 のときリロードと呼び、TSG2nRMC = 1 のとき IMWRITE（「即時書き込み」の略称）と呼びます。

24.4.2.4 TSG2nCTL4 — TSG2n 制御レジスタ 4

TSG2nCTL4 は INTTSG2nIPEK、INTTSG2nIVLY 割り込み機能を制御します。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 007C$_H$
TSG21: FFE7 107C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG2n PRE	TSG2n VRE	TSG2n PIE	TSG2n VIE	TSG2nRCC[04:00]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.9 TSG2nCTL4 レジスタの内容

ビット位置	ビット名	機能
31 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	TSG2nPRE	INTTSG2nIPEK タイミングイネーブルビットでのリロード 0：山タイミングでのリロードを禁止（HT-PWM モード） PWM 周期タイミングでのリロードを禁止（HT-PWM モード以外） 1：山タイミングでのリロードを許可（HT-PWM モード） PWM 周期タイミングでのリロードを許可（HT-PWM モード以外） HT-PWM 以外のモードで TSG2nRMC = 0 を設定すると、リロードは発生しません。したがって、この異常状態からの復帰を要する場合は、IMWRITE 機能に関するこのレジスタの設定を変更する必要があります。
7	TSG2nVRE	INTTSG2nIVLY タイミングイネーブルビットでのリロード 0：谷タイミングでのリロードを禁止 1：谷タイミングでのリロードを許可 このビットは HT-PWM モードでのみ使用できます。
6	TSG2nPIE	INTTSG2nIPEK 割り込みイネーブルビット 0：INTTSG2nIPEK の出力をマスク 1：INTTSG2nIPEK の出力をマスクしない
5	TSG2nVIE	INTTSG2nIVLY 割り込みイネーブルビット 0：INTTSG2nIVLY の出力をマスク 1：INTTSG2nIVLY の出力をマスクしない このビットは HT-PWM モードでのみ使用できます。
4 ～ 0	TSG2nRCC [04:00]	リロード間引き制御ビット 00000：リロード / 割り込みの間引きなし 00001：2 回のリロード / 割り込みのうち 1 回間引き、1 回生成 00010：3 回のリロード / 割り込みのうち 2 回間引き、1 回生成 00011：4 回のリロード / 割り込みのうち 3 回間引き、1 回生成 | | 11110：31 回のリロード / 割り込みのうち 30 回間引き、1 回生成 11111：32 回のリロード / 割り込みのうち 31 回間引き、1 回生成

24.4.2.5 TSG2nCTL5 — TSG2n 制御レジスタ 5

TSG2nCTL5 は AD トリガ（TSTADT0）機能を制御します。

「24.9 A/D 変換トリガ機能」を参照してください。

アクセス 16 ビット単位でリード / ライト可能です

アドレス TSG20: FFE7 0008_H
TSG21: FFE7 1008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TSG2nACC [01:00]		TSG2n AT09	TSG2n AT08	TSG2n AT07	TSG2n AT06	TSG2n AT05	TSG2n AT04	TSG2n AT03	TSG2n AT02	TSG2n AT01	TSG2n AT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.10 TSG2nCTL5 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11、10	TSG2nACC [01:00]	TSTADT0 間引き制御ビット 00：TSTADT0 の間引きなし 01：2 回の A/D ソーストリガのうち 1 回間引き、1 回トリガ出力 10：4 回の A/D ソーストリガのうち 3 回間引き、1 回トリガ出力 11：8 回の A/D ソーストリガのうち 7 回間引き、1 回トリガ出力 このレジスタに書き込みを行うと同時に TSTADT0 間引きカウンタがクリアされます。
9	TSG2nAT09	TSTADT0 トリガ制御ビット 9 0：選択なし 1：TSG2nSBC の山タイミングを A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。
8	TSG2nAT08	TSTADT0 トリガ制御ビット 8 0：選択なし 1：TSG2nSBC の谷のタイミングを A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。
7	TSG2nAT07	TSTADT0 トリガ制御ビット 7 0：選択なし 1：TSG2nCNT のカウントダウン時、TSG2nDCMP2 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。
6	TSG2nAT06	TSTADT0 トリガ制御ビット 6 0：選択なし 1：TSG2nCNT のカウントアップ時、TSG2nDCMP2 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択
5	TSG2nAT05	TSTADT0 トリガ制御ビット 5 0：選択なし 1：TSG2nCNT のカウントダウン時、TSG2nDCMP1 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。
4	TSG2nAT04	TSTADT0 トリガ制御ビット 4 0：選択なし 1：TSG2nCNT のカウントアップ時、TSG2nDCMP1 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択

表 24.10 TSG2nCTL5 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	TSG2nAT03	TSTADT0 トリガ制御ビット 3 0：選択なし 1：TSG2nCNT のカウントダウン時、TSG2nDCMP0 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。
2	TSG2nAT02	TSTADT0 トリガ制御ビット 2 0：選択なし 1：TSG2nCNT のカウントアップ時、TSG2nDCMP0 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択
1	TSG2nAT01	TSTADT0 トリガ制御ビット 1 0：選択なし 1：INTTSG2nIPEK 注 1 を A/D ソーストリガとして選択
0	TSG2nAT00	TSTADT0 トリガ制御ビット 0 0：選択なし 1：INTTSG2nIVLY 注 2 を A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。

注 1.　INTTSG2nIPEK は TSG2nRCC04 ～ TSG2nRCC00 ビットにより間引きを行う信号

注 2.　INTTSG2nIVLY は TSG2nRCC04 ～ TSG2nRCC00 ビットにより間引きを行う信号

24.4.2.6 TSG2nCTL6 — TSG2n 制御レジスタ 6

TSG2nCTL6 は AD トリガ（TSTADT1）機能を制御します。

「24.9 A/D 変換トリガ機能」を参照してください。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 000C$_H$
TSG21: FFE7 100C$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TSG2nACC [11:10]		TSG2n AT19	TSG2n AT18	TSG2n AT17	TSG2n AT16	TSG2n AT15	TSG2n AT14	TSG2n AT13	TSG2n AT12	TSG2n AT11	TSG2n AT10
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.11 TSG2nCTL6 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ～ 12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11、10	TSG2nACC [11:10]	TSTADT1 間引き制御ビット 00：TSTADT1 の間引きなし 01：2 回の A/D ソーストリガのうち 1 回間引き、1 回トリガ出力 10：4 回の A/D ソーストリガのうち 3 回間引き、1 回トリガ出力 11：8 回の A/D ソーストリガのうち 7 回間引き、1 回トリガ出力 このレジスタに書き込みを行うと同時に TSTADT1 間引きカウンタがクリアされます。
9	TSG2nAT19	TSTADT1 トリガ制御ビット 9 0：選択なし 1：TSG2nSBC の山タイミングを A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。
8	TSG2nAT18	TSTADT1 トリガ制御ビット 8 0：選択なし 1：TSG2nSBC の谷のタイミングを A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。
7	TSG2nAT17	TSTADT1 トリガ制御ビット 7 0：選択なし 1：TSG2nCNT のカウントダウン時、TSG2nDCMP2 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。
6	TSG2nAT16	TSTADT1 トリガ制御ビット 6 0：選択なし 1：TSG2nCNT のカウントアップ時、TSG2nDCMP2 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択
5	TSG2nAT15	TSTADT1 トリガ制御ビット 5 0：選択なし 1：TSG2nCNT のカウントダウン時、TSG2nDCMP1 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。
4	TSG2nAT14	TSTADT1 トリガ制御ビット 4 0：選択なし 1：TSG2nCNT のカウントアップ時、TSG2nDCMP1 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択

表 24.11　TSG2nCTL6 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	TSG2nAT13	TSTADT1 トリガ制御ビット 3 0：選択なし 1：TSG2nCNT のカウントダウン時、TSG2nDCMP0 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 TSG2nCNT は HT-PWM 以外のモードではカウントダウンしないため、このビットは HT-PWM モードでのみ使用できます。
2	TSG2nAT12	TSTADT1 トリガ制御ビット 2 0：選択なし 1：TSG2nCNT のカウントアップ時、TSG2nDCMP0 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択
1	TSG2nAT11	TSTADT1 トリガ制御ビット 1 0：INTTSG2nIPEK（*）を A/D ソーストリガとして選択 1：TSG2nCNT のカウントアップ時、TSG2nDCMP0 と TSG2nCNT のマッチングポイントを A/D ソーストリガとして選択 (*) INTTSG2nIPEK は TSG2nRCC04 ～ TSG2nRCC00 ビットにより間引きを行う信号
0	TSG2nAT10	TSTADT1 トリガ制御ビット 0 0：選択なし 1：INTTSG2nIVLY（*）を A/D ソーストリガとして選択 このビットは HT-PWM モードでのみ使用できます。 (*) INTTSG2nIVLY は TSG2nRCC04 ～ TSG2nRCC00 ビットにより間引きを行う信号

24.4.2.7　TSG2nIOC0 — TSG2n I/O 制御レジスタ 0

TSG2nIOC0 レジスタは「タイマ出力（TSOn1 ～ 6）機能」を制御します。TSG2nTE = 0（マクロ停止中）の場合のみ書き込み可能です。**「24.5.4　各モード時における出力一覧」**を参照してください。

アクセス　8 ビット単位でリード / ライト可能です。

アドレス　TSG20: FFE7 0200_H
TSG21: FFE7 1200_H

リセット後の値　$7E_H$

ビット	7	6	5	4	3	2	1	0
	—	TSG2nTOE6	TSG2nTOE5	TSG2nTOE4	TSG2nTOE3	TSG2nTOE2	TSG2nTOE1	—
リセット後の値	0	1	1	1	1	1	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 24.12　TSG2nIOC0 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 1	TSG2nTOEm	0：TSG2nIOC2 レジスタ（TSG2nTOm/TSG2nTOLm ビット）はソフトウェアで変更可能 1：TSG2nIOC2 レジスタ（TSG2nTOm/TSG2nTOLm ビット）はソフトウェアで変更不可（TSG2nIOC2 レジスタに対するライトアクセスを無視） このレジスタは TSG2nIOC2 レジスタに対するライトアクセスを制御します。 （m = 1, 2, 3, 4, 5, 6）
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

24.4.2.8 TSG2nIOC1 — TSG2n I/O 制御レジスタ 1

TSG2nIOC1 レジスタは種々の入出力ポート機能を制御します。

TSG2nTE = 0（マクロ停止中）の場合のみ書き込み可能です。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0204_H
TSG21: FFE7 1204_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TSG2nEOC	TSG2nWOC	TSG2nTGS	TSG2nTOS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.13 TSG2nIOC1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	TSG2nEOC	INTTSG2nIER 出力制御ビット 0：INTTSG2nIER 信号を 0 に固定 1：INTTSG2nIER 信号を出力可能
2	TSG2nWOC	INTTSG2nIWN 出力制御ビット 0：INTTSG2nIWN 信号を 0 に固定 1：INTTSG2nIWN 信号を出力可能
1	TSG2nTGS	TSOn7 機能選択ビット 0：A/D トリガトグル出力モード 1：診断パルス出力モード 「**24.5.4(1) （a）TSOn7 端子の出力制御**」を参照してください。
0	TSG2nTOS	TSOn7 出力ステータス選択ビット 0：TSG2nCNT のアップ / ダウンステータスを出力（TSG2nCUF と同じ） 1：TSG2nSBC のアップ / ダウンステータスを出力（TSG2nSUF と同じ）

24.4.2.9　TSG2nIOC2 — TSG2n I/O 制御レジスタ 2

TSG2nIOC2 レジスタは「タイマ出力（TSOn1 ～ 6）機能」を制御します。

「24.5.4　各モード時における出力一覧」を参照してください。

アクセス　16 ビット単位でリード / ライト可能です。

アドレス　TSG20: FFE7 0000_H
TSG21: FFE7 1000_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TSG2n OL6	TSG2n OL5	TSG2n OL4	TSG2n OL3	TSG2n OL2	TSG2n OL1	—	—	TSG2n TO6	TSG2n TO5	TSG2n TO4	TSG2n TO3	TSG2n TO2	TSG2n TO1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 24.14　TSG2nIOC2 レジスタの内容

ビット位置	ビット名	機能
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14 ～ 9	TSG2nOLm	TSOnm のアクティブレベルを制御するビット 0：TSOnm のアクティブレベルはハイ 1：TSOnm のアクティブレベルはロウ これらのビットは TSOnm のアクティブレベルを制御するので、「レベルセレクタ」を TSOnm 端子の最も近くに配置します。TSG2nTOEm = 0 のとき変更可能です。 本ドキュメントでは、TSOnm は TSG2nOLm = 0 として説明しています。（m = 1, 2, 3, 4, 5, 6）
8、7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 1	TSG2nTOm	TSOnm 出力バッファラッチ 0：TSOnm はロウレベル 1：TSOnm はハイレベル これらのビットは TSOnm 端子の出力バッファラッチです。TSG2nTOEm = 0 のとき変更可能です。 （m = 1, 2, 3, 4, 5, 6）
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

24.4.2.10 TSG2nIOC3 — TSG2n I/O 制御レジスタ 3

TSG2nIOC3 レジスタは「タイマ出力（TSOn1 ～ 6）機能」を制御します。

「24.5.4　各モード時における出力一覧」を参照してください。

アクセス　32 ビット単位でリード / ライト可能です。

アドレス　TSG20: FFE7 0074_H
TSG21: FFE7 1074_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TSG2n TOL6	TSG2n TOL5	TSG2n TOL4	TSG2n TOL3	TSG2n TOL2	TSG2n TOL1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 24.15　TSG2nIOC3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ～ 1	TSG2nTOLm	TSOnm 0：通常のセット / クリア状態 1：セット / クリア状態を入れ替え これらのビットはタイマ出力のセット / クリア状態を制御します。このビットを変更すると、コンペアマッチのタイミングの後、タイマ出力が最初にこのビットの影響を受けます。 HT-PWM モードでは TSG2nTOLm を 1 にセットしないでください。 本ドキュメントでは、TSOnm は TSG2nOLm = 0 として説明しています。 （m = 1, 2, 3, 4, 5, 6）
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

24.4.2.11 TSG2nSTR0 — TSG2n ステータスレジスタ 0

TSG2nSTR0 は TSG2n のカウントアップ / ダウン、リロード要求、マクロイネーブルのステータスを示します。

アクセス 8 ビット単位でリード可能です。

アドレス TSG20: FFE7 0010_H
TSG21: FFE7 1010_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TSG2nCUF	TSG2nSUF	TSG2nRSF	TSG2nTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.16 TSG2nSTR0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	TSG2nCUF	TSG2nCNT のアップ / ダウンステータスフラグ 0：TSG2nCNT はカウントアップ中 1：TSG2nCNT はカウントダウン中
2	TSG2nSUF	TSG2nSBC のアップ / ダウンステータスフラグ 0：TSG2nSBC はカウントアップ中 1：TSG2nSBC はカウントダウン中 このビットは HT-PWM モードでのみ使用できます。（他のモードでは 0 に固定）
1	TSG2nRSF	リロード保留ステータスフラグ 0：リロードは実行済み、またはリロード要求なし 1：リロード要求が発生し、リロードのタイミング待ち **「24.7.3 リロード要求フラグ（TSG2nRSF）」**を参照してください。
0	TSG2nTE	タイマイネーブルステータスフラグ 0：タイマは動作していない（マクロ停止中） 1：タイマは動作中

24.4.2.12 TSG2nSTR1 — TSG2n ステータスレジスタ 1

TSG2nSTR1 は TAPTSn2-0 の方向、リロード要求、マクロイネーブルのステータスを示します。

アクセス 8 ビット単位でリード可能です。

アドレス TSG20: FFE7 0014_H
TSG21: FFE7 1014_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TSG2nTSF	TSG2nOPF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 24.17 TSG2nSTR1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	TSG2nTSF	TAPTSn2-0 順序ステータスフラグ 0：TAPTSn2-0 のローテーション順序が右回りであることを意味します。 1：TAPTSn2-0 のローテーション順序が左回りであることを意味します。 **「24.7.5 パタン順序検出フラグ（TSG2nTSF）」、「24.7.7 パタン反転検出フラグ（TSG2nPRF）」**を参照してください。
2 ～ 0	TSG2nOPF [2:0]	タイマ出力パタンステータスフラグ 000-111：タイマの出力パタンのステータスを示します。

24.4.2.13 TSG2nSTR2 — TSG2n ステータスレジスタ 2

TSG2nSTR2 はエラー／ワーニングのステータスを示します。

アクセス 16 ビット単位でリード可能です。

アドレス TSG20: FFE7 0018_H
TSG21: FFE7 1018_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG2n TBF2	TSG2n TBF1	TSG2n TBF0	TSG2n PPF	TSG2n PEF	—	TSG2n NDF	TSG2n PRF	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.18 TSG2nSTR2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	TSG2nTBF2	正相 / 逆相同時アクティブ検出フラグ 2 0：エラーなし 1：TSOn5 と TSOn6 が同時にアクティブレベルになっている。あるいは、コンペアレジスタの設定が間違っている可能性がある。 このエラーフラグをクリアする方法は TSG2nTBF0 ビットの説明を参照してください。
8	TSG2nTBF1	正相 / 逆相同時アクティブ検出フラグ 1 0：エラーなし 1：TSOn3 と TSOn4 が同時にアクティブレベルになっている。あるいは、コンペアレジスタの設定が間違っている可能性がある。 このエラーフラグをクリアする方法は TSG2nTBF0 ビットの説明を参照してください。
7	TSG2nTBF0	正相 / 逆相同時アクティブ検出フラグ 0 0：エラーなし 1：TSOn1 と TSOn2 が同時にアクティブレベルになっている。あるいは、コンペアレジスタの設定が間違っている可能性がある。 このエラーフラグをクリアするには次の 2 つの方法があります。 • TSG2nTBR2-0 ビットに 1 を書き込む • TSG2nTE = 0 を 1 に切り替える **「24.4.2.14 TSG2nSTC — TSG2n ステータスクリアトリガレジスタ」**の説明を参照してください。
6	TSG2nPPF	入出力パタン位相差異検出フラグ 0：エラーなし 1：TAPTSn2-0（入力条件）と TSG2nOPF2-0（出力ステータス）の位相差の検出 このワーニングフラグをクリアするには次の 2 つの方法があります。 • TSG2nPPR ビットに 1 を書き込む • TSG2nTS または TSTSST 入力に 1 を書き込む（タイマスタートまたはタイマリスタート） **「24.7.8 パタン位相差異検出フラグ（TSG2nPPF）」**を参照してください。
5	TSG2nPEF	入力パタン（TAPTSn2-0）エラー検出フラグ 0：エラーなし 1：TAPTSn2-0 がすべてハイまたはすべてロウであることを検出 このワーニングフラグをクリアするには次の 2 つの方法があります。 • TSG2nPER ビットに 1 を書き込む • TSG2nTS または TSTSST 入力に 1 を書き込む（タイマスタートまたはタイマリスタート） **「24.7.6 パタンエラー検出フラグ（TSG2nPEF）」**を参照してください。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 24.18 TSG2nSTR2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	TSG2nNDF	入力パタン（TAPTSn2-0）ノイズ検出フラグ 0：エラーなし 1：TAPTSn2-0 の非グレーコードの動作を検出（複数ピンの TAPTSn2-0 レベルが同一タイミングで変化） このワーニングフラグをクリアするには次の 2 つの方法があります。 • TSG2nNDR ビットに 1 を書き込む • TSG2nTS または TSTSST 入力に 1 を書き込む（タイマスタートまたはタイマリスタート） **「24.7.4　ノイズ検出フラグ（TSG2nNDF）」**を参照してください。
2	TSG2nPRF	入力パタン（TAPTSn2-0）反転検出フラグ 0：エラーなし 1：TAPTSn2-0 の反転動作を検出（モータの回転の変化を検出） このワーニングフラグをクリアするには次の 2 つの方法があります。 • TSG2nPRR ビットに 1 を書き込む • TSG2nTS または TSTSST 入力に 1 を書き込む（タイマスタートまたはタイマリスタート） **「24.7.5　パタン順序検出フラグ（TSG2nTSF）」**、**「24.7.7　パタン反転検出フラグ（TSG2nPRF）」**を参照してください。
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

24.4.2.14 TSG2nSTC — TSG2n ステータスクリアトリガレジスタ

TSG2nSTC レジスタは TSG2nSTR2 のクリアトリガレジスタです。

このレジスタをリードすると、常に “0000_H” が読み出されます。

アクセス 16 ビット単位でライト可能です。

アドレス TSG20: FFE7 $001C_H$
TSG21: FFE7 $101C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG2n TBR2	TSG2n TBR1	TSG2n TBR0	TSG2n PPR	TSG2n PER	—	TSG2n NDR	TSG2n PRR	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W	W	W	W	R	W	W	R	R

表 24.19 TSG2nSTC レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	TSG2nTBR2	TSG2nTBF2 クリアトリガビット 0 ライト：無効 1 ライト：TSG2nTBF2 を 0 にクリア TSG2nTBF2 が内部でセットされると同時に TSG2nTBR2 に 1 が書き込まれると、TSG2nTBF2 内部のセット状態が優先されます。
8	TSG2nTBR1	TSG2nTBF1 クリアトリガビット 0 ライト：無効 1 ライト：TSG2nTBF1 を 0 にクリア TSG2nTBF1 が内部でセットされると同時に TSG2nTBR1 に 1 が書き込まれると、TSG2nTBF1 内部のセット状態が優先されます。
7	TSG2nTBR0	TSG2nTBF0 クリアトリガビット 0 ライト：無効 1 ライト：TSG2nTBF0 を 0 にクリア TSG2nTBF0 が内部でセットされると同時に TSG2nTBR0 に 1 が書き込まれると、TSG2nTBF0 内部のセット状態が優先されます。
6	TSG2nPPR	TSG2nPPF クリアトリガビット 0 ライト：無効 1 ライト：TSG2nPPF を 0 にクリア TSG2nPPF が内部でセットされると同時に TSG2nPPR に 1 が書き込まれると、TSG2nPPF 内部のセット状態が優先されます。
5	TSG2nPER	TSG2nPEF クリアトリガビット 0 ライト：無効 1 ライト：TSG2nPEF を 0 にクリア TSG2nPEF が内部でセットされると同時に TSG2nPER に 1 が書き込まれると、TSG2nPEF 内部のセット状態が優先されます。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	TSG2nNDR	TSG2nNDF クリアトリガビット 0 ライト：無効 1 ライト：TSG2nNDF を 0 にクリア TSG2nNDF が内部でセットされると同時に TSG2nNDR に 1 が書き込まれると、TSG2nNDF 内部のセット状態が優先されます。
2	TSG2nPRR	TSG2nPRF クリアトリガビット 0 ライト：無効 1 ライト：TSG2nPRF を 0 にクリア TSG2nPRF が内部でセットされると同時に TSG2nPRR に 1 が書き込まれると、TSG2nPRF 内部のセット状態が優先されます。
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

24.4.2.15 TSG2nOPT0 — TSG2n オプションレジスタ 0

オプション機能を設定します。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0020_H
TSG21: FFE7 1020_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	TSG2nSOC	TSG2nSTE	—	TSG2nPSS	TSG2nIDC	TSG2nPSC	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R	R/W	R/W	R/W	R

表 24.20 TSG2nOPT0 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	SOC	ソフトウエアによるタイマ出力（TSOn1-TSOn6 端子）の制御を選択します。 0：ソフトウエア制御禁止 1：ソフトウエア制御許可 • TSG2nSOC をセット（1）した場合、タイマ出力を TSG2nSPC2-TSG2nSPC0 で設定したソフトウエア制御機能／トリガ制御の出力パタンに切り替えます。その際、デッド・タイム・カウンタによりデッド・タイムを確保します。
5	STE	パタン出力トリガによる制御の許可 / 禁止を選択します。 0：TAPTSn0 ～ TAPTSn2 の入力を禁止 1：TAPTSn0 ～ TAPTSn2 の入力を許可 • TSG2nSTE は、120-DC モードとソフトウエア出力制御機能のとき、有効となります。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	PSS	パタン出力順序切り替え要因を選択します。 0：TSG2nPSC によるパタン出力順序の切り替えを使用しない 1：TSG2nPSC によるパタン出力順序の切り替えを使用する
2	IDC	TSG2nIDC と TSG2nSTR1.TSG2nTSF，TSG2nPSC 信号の組み合わせで、TSOn1-TSOn6 端子の出力パタンを決定します。 タイマ出力順序および出力されるパタンについては**「24.11.4.5 120-DC モードの動作」**の**図 24.74 ～図 24.77** の 120-DC モードの動作例を参照してください。
1	PSC	セミオート・ドライブ時のパタン出力順序を選択します。 0：正転の順番でタイマ出力（TSOn1-TSOn6）を切り替える 1：逆転の順番でタイマ出力（TSOn1-TSOn6）を切り替える • TSG2n 動作停止中（TSG2nSTR0.TSG2nTE = 0）の状態で、TAPTSn0 ～ TAPTSn2 に入力されている信号が変化する場合、入力信号の変化論理と、TSG2nPSC の順序を合わせてから、TSG2nTRG0.TSG2nTS ビット = 1 を設定してください。 • 正転、逆転における出力順
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

24.4.2.16 TSG2nOPT1 — TSG2n オプションレジスタ 1

オプション機能を設定します。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0024_H
TSG21: FFE7 1024_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TSG2nSPC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.21 TSG2nOPT1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2 ～ 0	TSG2nSPC [2:0]	ソフトウエア出力機能時および 120-DC モード時のタイマ出力のパタンを設定します。 出力パタンについては、**「24.11.5 ソフトウエア出力制御機能」**、**「24.11.4 120-DC モード」**を参照してください

24.4.2.17 TSG2nTRG0 — TSG2n トリガレジスタ 0

TSG2nTRG0 レジスタはタイマ開始トリガレジスタです。

このレジスタをリードすると常に “00_H” が読み出されます。

アクセス 8 ビット単位でライト可能です。

アドレス TSG20: FFE7 0030_H
TSG21: FFE7 1030_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG2nTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 24.22 TSG2nTRG0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TSG2nTS	タイマ開始トリガビット 0：無効 1：タイマソフトウェア開始トリガ（TSG2nTE = 1 にする）およびタイマソフトウェアリスタートトリガ

24.4.2.18 TSG2nTRG1 — TSG2n トリガレジスタ 1

TSG2nTRG1 レジスタはタイマ停止トリガレジスタです。

このレジスタをリードすると常に “00_H” が読み出されます。

アクセス 8 ビット単位でライト可能です。

アドレス TSG20: FFE7 0034_H
TSG21: FFE7 1034_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TSG2nTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 24.23 TSG2nTRG1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TSG2nTT	タイマ停止トリガビット 0：無効 1：タイマソフトウェア停止トリガ（TSG2nTE = 0 にする）

24.4.2.19 TSG2nCNT — TSG2n カウンタレジスタ

このレジスタは本マクロのメインカウンタです。HT-PWM モードにおいて、TSG2nCNT は三角波と同様に 2 ずつインクリメントまたはデクリメントしてカウントアップまたはカウントダウンします。他のモードでは、TSG2nCNT はのこぎり波と同様に 1 ずつインクリメントしてカウントアップします。

アクセス 16 ビット単位でリード可能です。

アドレス TSG20: FFE7 0028_H
TSG21: FFE7 1028_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

[TSG2nCNT の値]

モード	開始	最小	最大
HT-PWM モード	TSG2nDTC0	TSG2nDTC0	TSG2nDTC0+TSG2nCMP0 注 1
その他のモード	0000_H	0000_H	TSG2nCMP0

注 1. 次の条件を満たすように値を設定してください：TSG2nDTC0 + TSG2nCMP0 < $FFFF_H$

24.4.2.20 TSG2nSBC — TSG2n サブカウンタレジスタ

このレジスタは HT-PWM モードにおける本マクロのサブカウンタです。HT-PWM モードにおいて、TSG2nCNT は三角波と同様に 2 ずつインクリメントまたはデクリメントしてカウントアップまたはカウントダウンします。また、このレジスタはジャンプ機能を備えています。

アクセス 16 ビット単位でリード可能です。

アドレス TSG20: FFE7 002C$_H$
TSG21: FFE7 102C$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットカウンタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

モード	開始	最小	最大
HT-PWM モード	TSG2nDTC0	0000$_H$	TSG2nDTC0+TSG2nDTC1+TSG2nCMP0 注 1
その他のモード	0000$_H$	0000$_H$	0000$_H$

注 1. 次の条件を満たすように値を設定してください：TSG2nDTC0 + TSG2nDTC1 + TSG2nCMP0 < FFFF$_H$

24.4.2.21 TSG2nCMP0 — TSG2n コンペアレジスタ 0

このレジスタは、すべてのモードにおけるタイマの PWM 周期を設定するコンペアレジスタです。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: $FFE7\ 0058_H$
TSG21: $FFE7\ 1058_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	16 ビットコンペアレジスタ															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

モード	開始	最小	最大
HT-PWM モード	TSG2nCMP0 注 1	0002_H	$FFFE_H$
その他のモード	TSG2nCMP0 + 1	1（TSG2nCMP0 = 0000_H）	10000_H（TSG2nCMP0 = $FFFF_H$）

注 1. HT-PWM モードでは、TSG2nCNT が 2 ずつ増減されるので、LSB ビットは無視されます。

24.4.2.22 TSG2nCMP1W — TSG2n コンペアレジスタ 1、2

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP2 レジスタと呼び、下位 16 ビットを TSG2nCMP1 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0040_H
TSG21: FFE7 1040_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG2nCMP2（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nCMP1（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード
TSG2nCMP1	TSOn1 のクリア	TSOn1 のクリア / TSOn2 のセット	<- 同左	TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ
TSG2nCMP2	TSOn1 のセット	TSOn1 のセット / TSOn2 のクリア	<- 同左	TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ～ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

24.4.2.23 TSG2nCMP5W — TSG2n コンペアレジスタ 5、6

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP6 レジスタと呼び、下位 16 ビットを TSG2nCMP5 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0044_H
TSG21: FFE7 1044_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG2nCMP6（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nCMP5（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード
TSG2nCMP5	TSOn3 のクリア	TSOn3 のクリア / TSOn4 のセット	<- 同左	TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ
TSG2nCMP6	TSOn3 のセット	TSOn3 のセット / TSOn4 のクリア	<- 同左	TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ～ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

24.4.2.24 TSG2nCMP9W — TSG2n コンペアレジスタ 9、10

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP10 レジスタと呼び、下位 16 ビットを TSG2nCMP9 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0048_H
TSG21: FFE7 1048_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG2nCMP10（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nCMP9（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード
TSG2nCMP9	TSOn5 のクリア	TSOn5 のクリア / TSOn6 のセット	<- 同左	TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ
TSG2nCMP10	TSOn5 のセット	TSOn5 のセット / TSOn6 のクリア	<- 同左	TSOn1、3、5 出力 PWM 選択 TSG2nPAT0 レジスタ

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ～ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

24.4.2.25 TSG2nCMP3W — TSG2n コンペアレジスタ 3、4

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP4 レジスタと呼び、下位 16 ビットを TSG2nCMP3 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 004C_H
TSG21: FFE7 104C_H

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG2nCMP4（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nCMP3（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード
TSG2nCMP3	TSOn2 クリア	—	—	TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ
TSG2nCMP4	TSOn2 セット	—	—	TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ～ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

24.4.2.26 TSG2nCMP7W — TSG2n コンペアレジスタ 7、8

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP8 レジスタと呼び、下位 16 ビットを TSG2nCMP7 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0050_H
TSG21: FFE7 1050_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG2nCMP8（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nCMP7（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード
TSG2nCMP7	TSOn4 のクリア	—	—	TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ
TSG2nCMP8	TSOn4 のセット	—	—	TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ～ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

24.4.2.27 TSG2nCMP11W — TSG2n コンペアレジスタ 11、12

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。上位 16 ビットを TSG2nCMP12 レジスタと呼び、下位 16 ビットを TSG2nCMP11 レジスタと呼びます。

下表に TSG2nCNT とコンペアレジスタのマッチング動作を示します。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0054_H
TSG21: FFE7 1054_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG2nCMP12（16 ビットコンペアレジスタ ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nCMP11（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	PWM モード	HT-PWM モード	SP-PWM モード	120-DC モード
TSG2nCMP11	TSOn6 のクリア	—	—	TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ
TSG2nCMP12	TSOn6 のセット	—	—	TSOn2、4、6 出力 PWM 選択 TSG2nPAT1 レジスタ

TSG2nTOEm = 1 のとき、デッドタイム機能はすべてのモードで有効です。上の表は基本的な機能を示しています。

HT-PWM モードでは、TSG2nSBC に対してマッチングの関係があります。

120-DC モードでは、TSOn1 ～ 6 は TSG2nCMPm、TSG2nPAT0、TSG2nPAT1 レジスタにより制御されます。

24.4.2.28 TSG2nCMP1-12 — TSG2n コンペアレジスタ 1 ～ 12

このレジスタはすべてのモードにおいてタイマの PWM デューティを設定するコンペアレジスタです。このレジスタは TSG2nCMP1W、3W、5W、7W、9W、11W のアドレスマッピングを反映しており、機能は TSG2nCMP1W、3W、5W、7W、9W、11W レジスタと同様です。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス
TSG20CMP1/TSG21CMP1: FFE7 0080_H/FFE7 1080_H
TSG20CMP2/TSG21CMP2: FFE7 0084_H/FFE7 1084_H
TSG20CMP3/TSG21CMP3: FFE7 0098_H/FFE7 1098_H
TSG20CMP4/TSG21CMP4: FFE7 $009C_H$/FFE7 $109C_H$
TSG20CMP5/TSG21CMP5: FFE7 0088_H/FFE7 1088_H
TSG20CMP6/TSG21CMP6: FFE7 $008C_H$/FFE7 $108C_H$
TSG20CMP7/TSG21CMP7: FFE7 $00A0_H$/FFE7 $10A0_H$
TSG20CMP8/TSG21CMP8: FFE7 $00A4_H$/FFE7 $10A4_H$
TSG20CMP9/TSG21CMP9: FFE7 0090_H/FFE7 1090_H
TSG20CMP10/TSG21CMP10: FFE7 0094_H/FFE7 1094_H
TSG20CMP11/TSG21CMP11: FFE7 $00A8_H$/FFE7 $10A8_H$
TSG20CMP12/TSG21CMP12: FFE7 $00AC_H$/FFE7 $10AC_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nCMPm（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

備考 m = 1 ～ 12

24.4.2.29 TSG2nDCMP0W — TSG2n 診断コンペアレジスタ 0、1

このレジスタはすべてのモードにおいて機能と A/D 開始トリガタイミングを診断するコンペアレジスタです。上位 16 ビットを TSG2nDCMP1 レジスタと呼び、下位 16 ビットを TSG2nDCMP0 レジスタと呼びます。TSG2nCNT とこれらのレジスタのマッチングのタイミングにより TSTADT0、TSTADT1 および TSOn7 出力端子が制御されます。

「24.9 A/D 変換トリガ機能」、「24.5.4(1) （a）TSOn7 端子の出力制御」を参照してください。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 005C$_H$
TSG21: FFE7 105C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSG2nDCMP1（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nDCMP0（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

24.4.2.30 TSG2nDCMP2 — TSG2n 診断コンペアレジスタ 2

このレジスタはすべてのモードにおいて機能と A/D 開始トリガタイミングを診断するコンペアレジスタです。下位 16 ビットを TSG2nDCMP2 レジスタと呼びます。

TSG2nCNT とこれらのレジスタのマッチングのタイミングにより TSTADT0、TSTADT1 および TSOn7 出力ピンが制御されます。

「24.9　A/D 変換トリガ機能」、**「24.5.4(1)　（a）TSOn7 端子の出力制御」**を参照してください。

アクセス　32 ビット単位でリード / ライト可能です。

アドレス　TSG20: FFE7 0060_H
TSG21: FFE71$060_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nDCMP2（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

24.4.2.31 TSG2nPAT0W — TSG2n パタンレジスタ 0

このレジスタは UT/VT/WT の出力パタン制御レジスタです。

17 ～ 15 ビットは PAT5T、14 ～ 12 ビットは PAT4T、11 ～ 9 ビットは PAT3T、8 ～ 6 ビットは PAT2T、5 ～ 3 ビットは PAT1T、2 ～ 0 ビットは PAT0T です。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0064_H
TSG21: FFE7 1064_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PAT5T	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PAT5T	PAT4T			PAT3T			PAT2T			PAT1T			PAT0T		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PAT5T ～ PAT0T の値	出力制御
000	ロウレベルを保持
001	TSG2nCMP1 の PWM 出力を選択
010	TSG2nCMP2 の PWM 出力を選択
011	TSG2nCMP5 の PWM 出力を選択
100	TSG2nCMP6 の PWM 出力を選択
101	TSG2nCMP9 の PWM 出力を選択
110	TSG2nCMP10 の PWM 出力を選択
111	ハイレベルを保持

24.4.2.32 TSG2nPAT1W — TSG2n パタンレジスタ 1

このレジスタは UT/VT/WT の出力パタン制御レジスタです。

17 ～ 15 ビットは PAT5B、14 ～ 12 ビットは PAT4B、11 ～ 9 ビットは PAT3B、8 ～ 6 ビットは PAT2B、5 ～ 3 ビットは PAT1B、2 ～ 0 ビットは PAT0B です。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0068_H
TSG21: FFE7 1068_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PAT5B	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PAT5B	PAT4B			PAT3B			PAT2B			PAT1B			PAT0B		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PAT5B ～ PAT0B の値	出力制御
000	ロウレベルを保持
001	TSG2nCMP3 の PWM 出力を選択
010	TSG2nCMP4 の PWM 出力を選択
011	TSG2nCMP7 の PWM 出力を選択
100	TSG2nCMP8 の PWM 出力を選択
101	TSG2nCMP11 の PWM 出力を選択
110	TSG2nCMP12 の PWM 出力を選択
111	ハイレベルを保持

24.4.2.33 TSG2nDTC0W — TSG2n デッドタイムコンペアレジスタ 0

このレジスタはデッドタイム用のコンペアレジスタです。このレジスタは「逆相がインアクティブレベルに変化」してから「正相がアクティブレベルに変化」するまでの期間を制御します。下位 10 ビットを TSG2nDTC0 レジスタと呼びます。

「10 ビットデッドタイムコンペア」の値を変更する場合、「書き込み保護コード」を TSG2nPWDATA0 に書き込む必要があります。TSG2nDTCM = 0 で、TSG2nPWDATA0 と TSG2nDTPR（保護コードコンフィギュレーションレジスタ）が一致する場合のみ、「10 ビットデッドタイムコンペア」を変更できます。

タイマの動作中（TSG2nTE = 1）は、リロードモード（TSG2nRMC = 0）の場合を除き、このレジスタに書き込みを行わないでください。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 006C$_H$
TSG21: FFE7 106C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TSG2nPWDATA0（書き込み保護コード）														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG2nDTC0（10 ビットデッドタイムコンペア）									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

24.4.2.34 TSG2nDTC1W — TSG2n デッドタイムコンペアレジスタ 1

このレジスタはデッドタイム用のコンペアレジスタです。このレジスタは「正相がインアクティブレベルに変化」してから「逆相がアクティブレベルに変化」するまでの期間を制御します。下位 10 ビットを TSG2nDTC1 レジスタと呼びます。

「10 ビットデッドタイムコンペア」の値を変更する場合、「書き込み保護コード」を TSG2nPWDATA1 に書き込む必要があります。TSG2nDTCM = 0 で TSG2nPWDATA1 と TSG2nDTPR（保護コードコンフィギュレーションレジスタ）が一致する場合のみ、「10 ビットデッドタイムコンペア」を変更できます。

タイマの動作中（TSG2nTE = 1）は、リロードモード（TSG2nRMC = 0）の場合を除き、このレジスタに書き込みを行わないでください。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0070_H
TSG21: FFE7 1070_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TSG2nPWDATA1（書き込み保護コード）														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSG2nDTC1（10 ビットデッドタイムコンペア）									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

24.4.2.35 TSG2nCMPU — TSG2n U 相用コンペアレジスタ

このレジスタは HT-PWM モードのみを使用する場合のコンペアレジスタです。機能は TSG2nCMP1W（TSG2nCMP1, 2）と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG2nCMPU のライトデータが TSG2nCMP1、2 レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます（**図 24.2** 参照）。このレジスタをリードすると TSG2nCMP1 と等しい値が読み出されます。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 00B0$_H$
TSG21: FFE7 10B0$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nCMPU（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

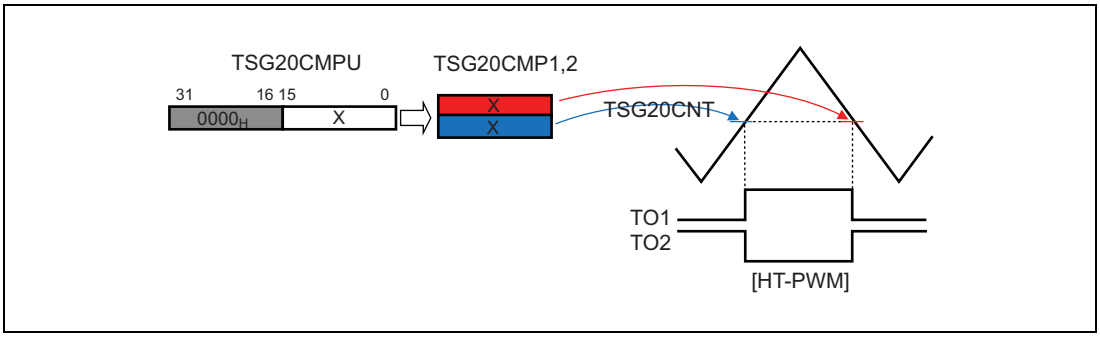


図 24.2 TSG2nCMPU レジスタのレジスタアクセス

24.4.2.36 TSG2nCMPV — TSG2n V 相用コンペアレジスタ

このレジスタは HT-PWM モードのみを使用する場合のコンペアレジスタです。機能は TSG2nCMP5W（TSG2nCMP5, 6）と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG2nCMPV のライトデータが TSG2nCMP5、6 レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます（**図 24.3** 参照）。このレジスタをリードすると TSG2nCMP5 と等しい値が読み出されます。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 00B4$_H$
TSG21: FFE7 10B4$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nCMPV（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

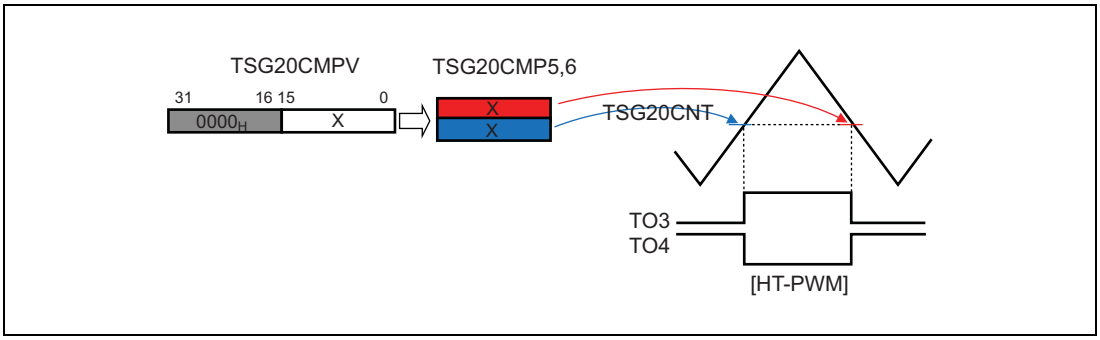


図 24.3 TSG2nCMPV レジスタのレジスタアクセス

24.4.2.37 TSG2nCMPW — TSG2n W 相用コンペアレジスタ

このレジスタは HT-PWM モードのみを使用する場合のコンペアレジスタです。機能は TSG2nCMP9W（TSG2nCMP9, 10）と同様ですが、このレジスタは特定のレジスタアクセスを行います。

すなわち、TSG2nCMPW のライトデータが TSG2nCMP9、10 レジスタに格納されます。そのため、1 回のライトアクセスで PWM の対称三角波が生じます（**図 24.4** 参照）。このレジスタをリードすると TSG2nCMP9 と等しい値が読み出されます。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 00B8$_H$
TSG21: FFE7 10B8$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nCMPW（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

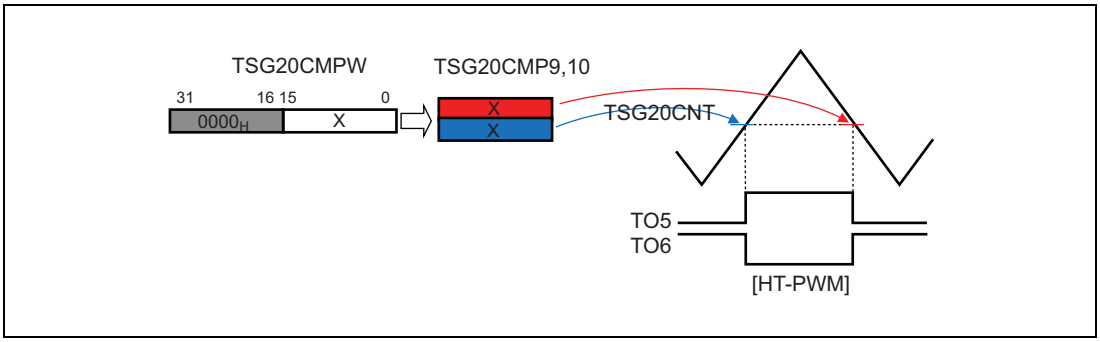


図 24.4 TSG2nCMPW レジスタのレジスタアクセス

24.4.2.38 TSG2nUPW — TSG2n U 相期間レジスタ

このレジスタは SP-PWM モードのみを使用する場合のコンペアレジスタです。このレジスタにより PWM の期間を設定します。すなわち、TSG2nUPW と TSG2nCMP2 のライトデータが一緒に TSG2nCMP1 レジスタに格納されます（**図 24.5** 参照）。このレジスタをリードすると TSG2nCMP1 と等しい値が読み出されます。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 00BC$_H$
TSG21: FFE7 10BC$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nUPW（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

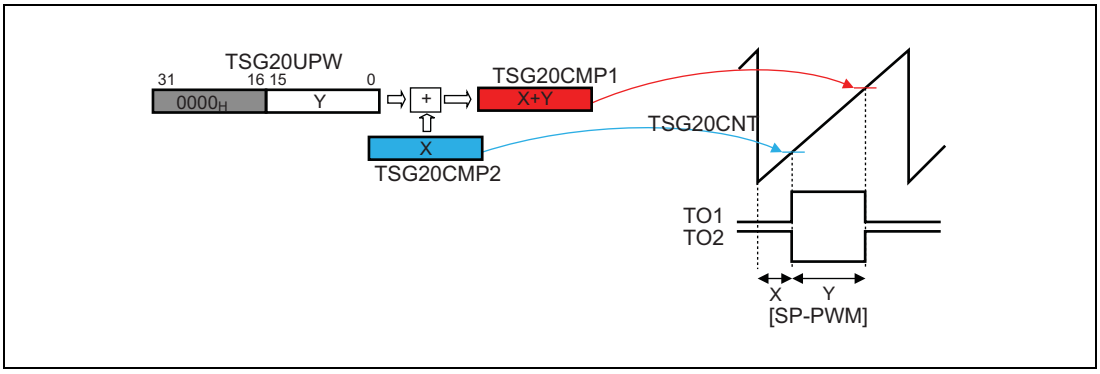


図 24.5 TSG2nUPW レジスタのレジスタアクセス

24.4.2.39 TSG2nVPW — TSG2n V 相期間レジスタ

このレジスタは SP-PWM モードのみを使用する場合のコンペアレジスタです。このレジスタにより PWM の期間を設定します。すなわち、TSG2nVPW と TSG2nCMP6 のライトデータが一緒に TSG2nCMP5 レジスタに格納されます（**図 24.6** 参照）。このレジスタをリードすると TSG2nCMP5 と等しい値が読み出されます。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 00C0$_H$
TSG21: FFE7 10C0$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nVPW（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

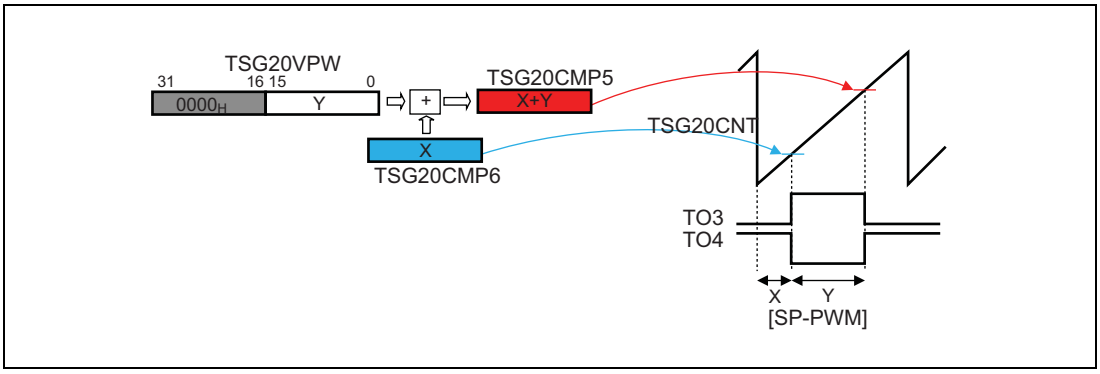


図 24.6 TSG2nVPW レジスタのレジスタアクセス

24.4.2.40 TSG2nWPW — TSG2n W 相期間レジスタ

このレジスタは SP-PWM モードのみを使用する場合のコンペアレジスタです。このレジスタにより PWM の期間を設定します。すなわち、TSG2nWPW と TSG2nCMP10 のライトデータが一緒に TSG2nCMP9 レジスタに格納されます（**図 24.7** 参照）。このレジスタをリードすると TSG2nCMP9 と等しい値が読み出されます。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 00C4$_H$
TSG21: FFE7 10C4$_H$

リセット後の値 0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2nWPW（16 ビットコンペアレジスタ）															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

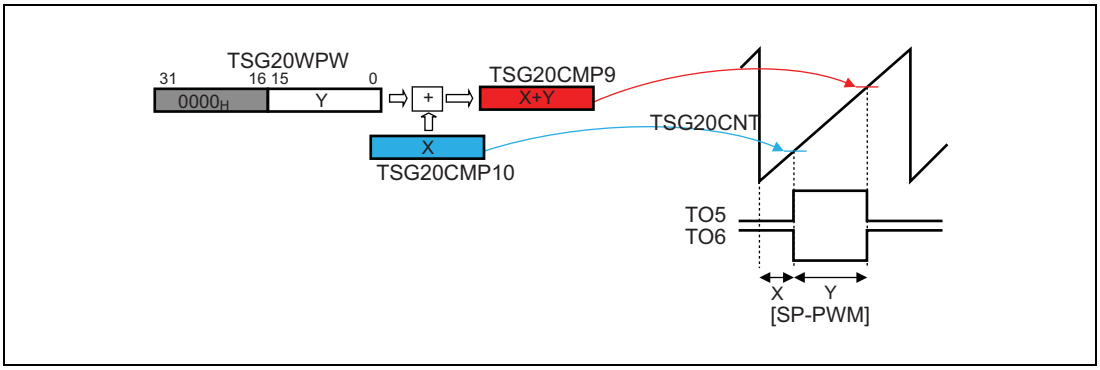


図 24.7 TSG2nWPW レジスタのレジスタアクセス

24.4.2.41 TSG2nDTPR — TSG2n デッドタイム保護レジスタ

このレジスタは TSG2nDTC0、TSG2nDTC 1 レジスタの書き込み保護を制御します。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス TSG20: FFE7 0210_H
TSG21: FFE7 1210_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG2n DTCM	TSG2nDTPR														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.24 TSG2nDTPR レジスタの内容

ビット位置	ビット名	機能
15	TSG2nDTCM	TSG2nDTC0, 1 書き込みマスクビット 0：TSG2nDTC0, 1 を変更可能 1：TSG2nDTC0, 1 を変更不可
14 ～ 0	TSG2nDTPR	書き込み保護コード 0000_H-$7FFF_H$：これらのビットを任意の値に設定

24.5 基本動作

24.5.1 16 ビットカウンタ基本動作

16 ビットカウンタの基本動作を説明します。

カウント開始動作

TSG2n の 16 ビットカウンタは、HT-PWM モードを除くすべてのモードでリセット後の値 0000_H からカウントを開始します。

HT-PWM モード以外でのカウント動作は、0000_H、0001_H、0002_H、0003_H、… とカウントアップします。

クリア動作

カウンタ値とコンペア設定値の一致により 16 ビットカウンタをクリアします。

カウント動作中のカウンタリード動作

TSG2n では、TSG2nCNT レジスタにより、カウント動作中の 16 ビットカウンタの値をリードできます。

割り込み動作

TSG2n では、次の割り込みを発生します。

- INTTSG2nI[0] : HT-PWM モード時、16 ビットカウンタと TSG2nDTC0 の一致による周期割り込みとして機能します。HT-PWM モード以外のモードでは、16 ビットカウンタと TSG2nCMP0 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[1] : 16 ビットカウンタと TSG2nCMP1 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[2] : 16 ビットカウンタと TSG2nCMP2 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[3] : 16 ビットカウンタと TSG2nCMP3 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[4] : 16 ビットカウンタと TSG2nCMP4 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[5] : 16 ビットカウンタと TSG2nCMP5 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[6] : 16 ビットカウンタと TSG2nCMP6 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[7] : 16 ビットカウンタと TSG2nCMP7 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[8] : 16 ビットカウンタと TSG2nCMP8 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[9] : 16 ビットカウンタと TSG2nCMP9 バッファレジスタのコンペア一致割り込みとして機能します。

- INTTSG2nI[10] : 16 ビットカウンタと TSG2nCMP10 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[11] : 16 ビットカウンタと TSG2nCMP11 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nI[12] : 16 ビットカウンタと TSG2nCMP12 バッファレジスタのコンペア一致割り込みとして機能します。
- INTTSG2nIPEK：16 ビットカウンタがアップカウントからダウンカウントの切り替わりタイミングの山割り込みとして機能します。
- INTTSG2nIVLY：16 ビットカウンタがダウンカウントからアップカウントの切り替わりタイミングの谷割り込みとして機能します。(HT-PWM モードのみ)
- INTTSG2nIER：正相 / 逆相同時アクティブの検出割り込みとして機能します。
- INTTSG2nIWN：各種ワーニングを検出する割り込みとして機能します。

24.5.2 コンペアレジスタの機能

コンペアレジスタの動作モード別の機能は**表 24.25** ～**表 24.28** のとおりです。

表 24.25 モード別コンペアレジスタ機能一覧（1/4）

動作モード	TSG2nCMP0	TSG2nCMP1W	TSG2nCMP3W	TSG2nCMP5W
PWM モード	PWM 周期	TSG2nCMP1： TSOn1 クリアタイミング TSG2nCMP2： TSOn1 セットタイミング	TSG2nCMP3： TSOn2 クリアタイミング TSG2nCMP4： TSOn2 セットタイミング	TSG2nCMP5： TSOn3 クリアタイミング TSG2nCMP6： TSOn3 セットタイミング
HT-PWM モード	PWM 周期	TSG2nCMP1： TSOn1 クリアタイミング／ TSOn2 セットタイミング TSG2nCMP2： TSOn1 セットタイミング／ TSOn2 クリアタイミング	－	TSG2nCMP5： TSOn3 クリアタイミング／ TSOn4 セットタイミング TSG2nCMP6： TSOn3 セットタイミング／ TSOn4 クリアタイミング
SP － PWM モード	PWM 周期	TSG2nCMP1： TSOn1 クリアタイミング／ TSOn2 セットタイミング TSG2nCMP2： TSOn1 セットタイミング／ TSOn2 クリアタイミング	－	TSG2nCMP5： TSOn3 クリアタイミング／ TSOn4 セットタイミング TSG2nCMP6： TSOn3 セットタイミング／ TSOn4 クリアタイミング
120-DC モード	PWM 周期	TSG2nCMP1、TSG2nCMP2： TSOn1、TSOn3、TSOn5 出力を TSG2nPAT0 で選択	TSG2nCMP3、 TSG2nCMP4： TSOn2、TSOn4、TSOn6 出力を TSG2nPAT1 で選択	TSG2nCMP5、TSG2nCMP6： TSOn1、TSOn3、TSOn5 出力を TSG2nPAT0 で選択

表 24.26 モード別コンペアレジスタ機能一覧（2/4）

動作モード	TSG2nCMP7W	TSG2nCMP9W	TSG2nCMP11W	TSG2nCMP1-TSG2nCMP12
PWM モード	TSG2nCMP7： TSOn4 クリア タイミング TSG2nCMP8： TSOn4 セット タイミング	TSG2nCMP9： TSOn5 クリア タイミング TSG2nCMP10： TSOn5 セット タイミング	TSG2nCMP11： TSOn6 クリア タイミング TSG2nCMP12： TSOn3 セット タイミング	TSG2nCMP1W- TSG2nCMP11W を参照
HT-PWM モード	－	TSG2nCMP9： TSOn5 クリア タイミング／ TSOn6 セット タイミング TSG2nCMP10： TSOn5 セット タイミング／ TSOn6 クリア タイミング	－	TSG2nCMP1W、 TSG2nCMP5W、 TSG2nCMP9W を参照
SP － PWM モード	－	TSG2nCMP9： TSOn5 クリア タイミング／ TSOn6 セット タイミング TSG2nCMP10： TSOn5 セット タイミング／ TSOn6 クリア タイミング	－	TSG2nCMP1W、 TSG2nCMP5W、 TSG2nCMP9W を参照
120-DC モード	TSG2nCMP7、 TSG2nCMP8： TSOn2、TSOn4、TSOn6 出力を TSG2nPAT1 で選択	TSG2nCMP9、 TSG2nCMP10： TSOn1、TSOn3、TSOn5 出力を TSG2nPAT0 で選択	TSG2nCMP11、 TSG2nCMP12： TSOn2、TSOn4、TSOn6 出力を TSG2nPAT1 で選択	TSG2nCMP1W- TSG2nCMP11W を参照

表 24.27　モード別コンペアレジスタ機能一覧（3/4）

動作モード	TSG2nDCMP0W	TSG2nDCMP2W	TSG2nCMPU	TSG2nCMPV
PWM モード	ダイアグ出力、もしくは、A/D 変換トリガタイミング	ダイアグ出力、もしくは、A/D 変換トリガタイミング	－	－
HT-PWM モード	ダイアグ出力、もしくは、A/D 変換トリガタイミング	ダイアグ出力、もしくは、A/D 変換トリガタイミング	TSG2nCMPU へ設定した値が TSG2nCMP1W（TSG2nCMP1、TSG2nCMP2）の設定値となります	TSG2nCMPV へ設定した値が TSG2nCMP5W（TSG2nCMP5、TSG2nCMP6）の設定値となります
SP － PWM モード	ダイアグ出力、もしくは、A/D 変換トリガタイミング	ダイアグ出力、もしくは、A/D 変換トリガタイミング	－	－
120-DC モード	ダイアグ出力、もしくは、A/D 変換トリガタイミング	ダイアグ出力、もしくは、A/D 変換トリガタイミング	－	－

表 24.28　モード別コンペアレジスタ機能一覧（4/4）

動作モード	TSG2nCMPW	TSG2nUPW	TSG2nVPW	TSG2nWPW
PWM モード	－	－	－	－
HT-PWM モード	TSG2nCMPW へ設定した値が TSG2nCMP9W（TSG2nCMP9、TSG2nCMP10）の設定値となります	－	－	－
SP － PWM モード	－	TSG2nUPW へ設定した値が TSG2nCMP2 に設定した値と加算され、TSG2nCMP1 の設定値となります	TSG2nVPW へ設定した値が TSG2nCMP6 に設定した値と加算され、TSG2nCMP5 の設定値となります	TSG2nWPW へ設定した値が TSG2nCMP10 に設定した値と加算され、TSG2nCMP9 の設定値となります
120-DC モード	－	－	－	－

24.5.3 コンペアレジスタの書き換え操作

コンペアレジスタの書き換えは、リロードモード（TSG2nCTL3.TSG2nRMC = 0）と随時書き換えモード（TSG2nCTL3.TSG2nRMC = 1）で行います。

対象のレジスタは次のとおりです。

- TSG2nCMP0
- TSG2nCMP1-TSG2nCMP12（TSG2nCMP1W、TSG2nCMP3W、TSG2nCMP5W、TSG2nCMP7W、TSG2nCMP9W、TSG2nCMP11W）
- TSG2nPAT0W、TSG2nPAT1W
- TSG2nDTC0W、TSG2nDTC1W
- TSG2nDCMP0W、TSG2nDCMP2
- TSG2nCTL4
- TSG2nIOC3

随時書き換えモード

このモードでは、各コンペアレジスタが独立して更新動作を行い、各コンペアレジスタに書き込むと随時ライトアクセスした値に更新されます。

注　意

HT-PWM モードで随時書き換えモード時、バッファレジスタへの転送が終了する前に再度書き換えを行った場合、ライトアクセスした値が即時に更新されません。

書き換えたタイミングが 16 ビットカウンタのアップカウント時は、次の 16 ビットサブカウンタの山タイミングで更新されます。16 ビットカウンタのダウンカウント時は、次の 16 ビットサブカウンタの谷タイミングで更新されます。

リロードモード（一斉書き換え機能）

TSG2nCMP1（TSG2nCMP1W、TSG2nCMPU、TSG2nUPW）レジスタへライトするとリロードが許可され（リロード要求フラグ TSG2nSTR0.TSG2nRSF をセット）、次のリロードタイミングでリロード対象レジスタが一斉に更新されます（リロード）。

リロードタイミングは、TSG2nTRG0.TSG2nTS ビットを “0” から “1” にしたとき、16 ビットカウンタの山／谷タイミングです。TSG2nCTL4.TSG2nPRE、TSG2nVRE で制御します。

TSG2nCMP1（TSG2nCMP1W、TSG2nCMPU、TSG2nUPW）以外のレジスタへライトしてもリロードは許可されません。

TSG2nCMP1（TSG2nCMP1W、TSG2nCMPU、TSG2nUPW）レジスタへのライトによりリロードが許可され、次のリロードタイミングがくるまでは、リロード対象レジスタへのライトアクセスはしないでください。リロード要求フラグ TSG2nSTR0.TSG2nRSF = 0 のときに書き換えてください。

リロード対象レジスタの DMA 書き換え

一部のリロード対象レジスタは DMA 転送で書き換えることができます。DMA 転送は、**表 24.29** のように行います。

表 24.29 リロード対象レジスタの DMA 転送順序例

アドレス	レジスタ名	DMA 転送順（例）
<TSG2n_base1> + 040_H	TSG2nCMP1W	↑
<TSG2n_base1> + 044_H	TSG2nCMP5W	↑
<TSG2n_base1> + 048_H	TSG2nCMP9W	↑
<TSG2n_base1> + $04C_H$	TSG2nCMP3W	↑
<TSG2n_base1> + 050_H	TSG2nCMP7W	↑
<TSG2n_base1> + 054_H	TSG2nCMP11W	↑
<TSG2n_base1> + 058_H	TSG2nCMP0	↑
<TSG2n_base1> + $05C_H$	TSG2nDCMP0W	↑
<TSG2n_base1> + 060_H	TSG2nDCMP2	↑
<TSG2n_base1> + 064_H	TSG2nPAT0W	↑
<TSG2n_base1> + 068_H	TSG2nPAT1W	↑
<TSG2n_base1> + $06C_H$	TSG2nDTC0W	↑
<TSG2n_base1> + 070_H	TSG2nDTC1W	↑

表 24.30 HT-PWM モード時のデューティ設定

アドレス	レジスタ名	DMA 転送順（例）
<TSG2n_base1> + $0B0_H$	TSG2nCMPU	↑
<TSG2n_base1> + $0B4_H$	TSG2nCMPV	↑
<TSG2n_base1> + $0B8_H$	TSG2nCMPW	↑

表 24.31 SP-PWM モード時のアクティブ幅設定

アドレス	レジスタ名	DMA 転送順（例）
<TSG2n_base1> + $0BC_H$	TSG2nUPW	↑
<TSG2n_base1> + $0C0_H$	TSG2nVPW	↑
<TSG2n_base1> + $0C4_H$	TSG2nWPW	↑

備　考

1. TSG2nCTL4、TSG2nIOC3 は、個別に書き換えてください。
2. TSG2nCMP1W（TSG2nCMP1、TSG2nCMPU、TSG2nUPW を含む）のライトは、リロードが許可されますので、他のリロード対象レジスタの書き換え（リロードの準備）が終了した後に書き換えてください。

(1) 随時書き換えモードの動作例

コンペアレジスタ（TSG2nCMP1-TSG2nCMP12）へライトした値が、すぐに内部のバッファレジスタに転送されカウンタ値との比較対象になるモードです。

コンペアレジスタ（TSG2nCMP1-TSG2nCMP12）等へライト後、1 クロック（PCLK）後に内部コンペアバッファレジスタへ値が転送されます。

TSG2nCMP0 の転送タイミングは、コンペアレジスタへライト後の 16 ビットカウンタの山／谷タイミング（HT-PWM モードのみ）、もしくは、TSG2nCMP0 と 16 ビットカウンタの一致タイミング（HT-PWM モード以外）になります。

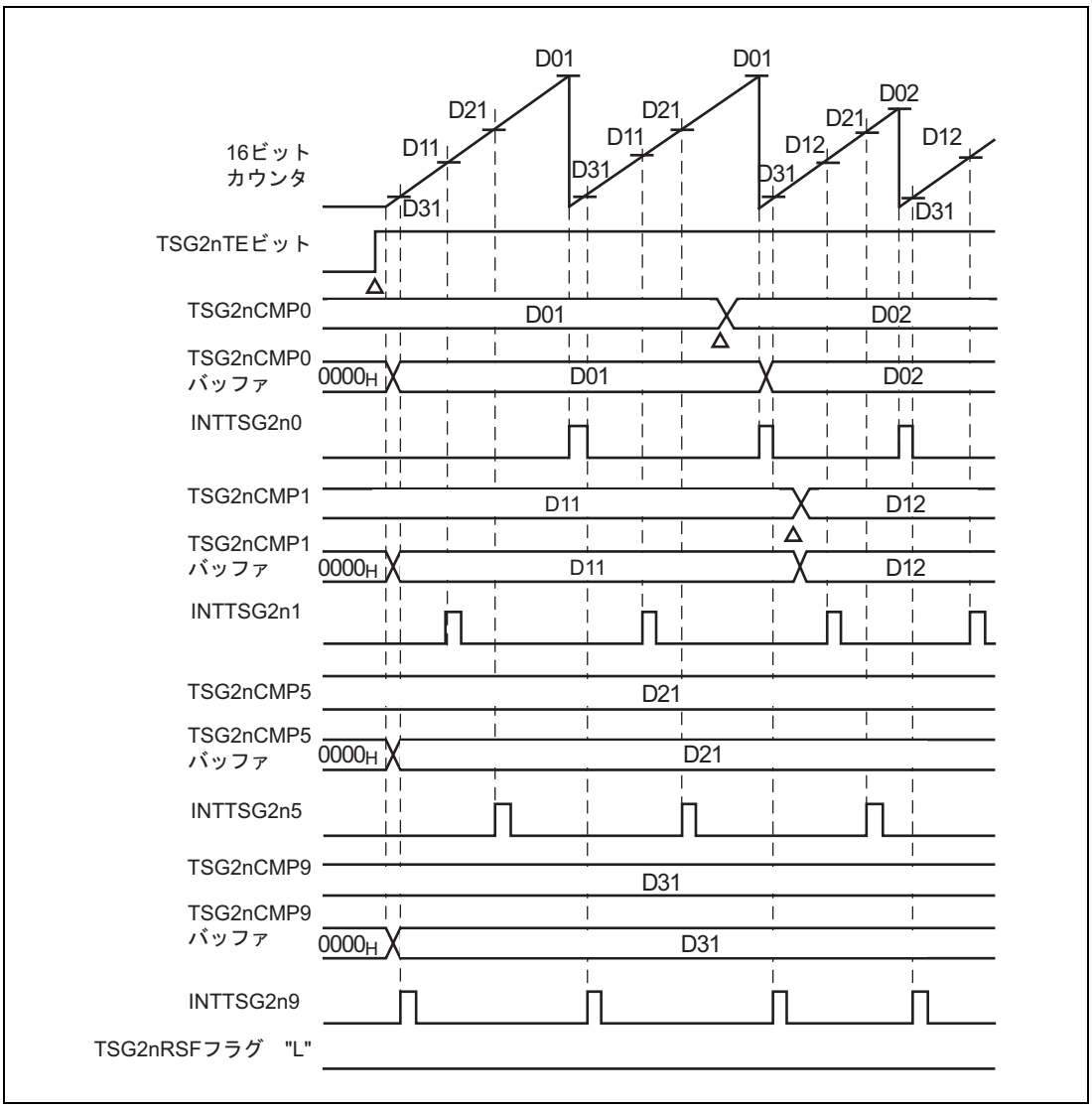


図 24.8 随時書き換えのタイミング（PWM モードの例）

備 考

1. D01、D02 ：TSG2nCMP0 の設定値（0000_H-$FFFF_H$）
   D11、D12 ：TSG2nCMP1 の設定値（0000_H-$FFFF_H$）
   D21 ：TSG2nCMP5 の設定値（0000_H-$FFFF_H$）
   D31 ：TSG2nCMP9 の設定値（0000_H-$FFFF_H$）
2. △：ライトアクセス

（a）HT-PWM モードにおける随時書き込み時の PWM への反映について

HT-PWM モード時、コンペアレジスタの随時書き換えしたタイミングにより、次の出力制御が行われます。

- 随時書き換えが逆相のクリア後、16 ビットカウンタがアップカウント（16 ビットサブカウンタは、アップカウント）の場合、書き換えた値が TSG2nCMPm < TSG2nSBC のとき、正相がセットされます。また、書き換えた値が TSG2nCMPm > TSG2nCNT のとき、逆相がセットされます。（正相および逆相のクリア後は、デッドタイムが挿入されます）
- 随時書き換えが正相のセット後、16 ビットカウンタがアップカウント（16 ビットサブカウンタは、アップカウント）の場合、書き換えた値が TSG2nCMPm > TSG2nSBC のとき、正相がクリアされます。また、書き換えた値が TSG2nCMPm > TSG2nCNT のとき、正相がクリアされ、逆相がセットされます。（正相および逆相のクリア後は、デッドタイムが挿入されます）
- 随時書き換えが逆相のクリア前、16 ビットカウンタがアップカウント（16 ビットサブカウンタは、アップカウント）の場合、書き換えた値が TSG2nCMPm < TSG2nCNT のとき、逆相がクリアされます。また、書き換え値が TSG2nCMPm < TSG2nSBC のとき、逆相がクリアされ、正相がセットされます。（正相および逆相のクリア後は、デッドタイムが挿入されます）
- 随時書き換えが正相のクリア後、16 ビットカウンタがアップカウント（16 ビットサブカウンタは、ダウンカウント）の場合、書き換えた値が TSG2nCMPm > TSG2nCNT のとき、逆相がセットされます。（正相がクリア後は、デッドタイムが挿入されます）
- 随時書き換えが正相のクリア前、16 ビットカウンタがアップカウント（16 ビットサブカウンタは、ダウンカウント）の場合、書き換えた値が TSG2nCMPm > TSG2nSBC のとき、正相がクリアされます。また、書き換えた値が TSG2nCMPm > TSG2nCNT のとき、正相がクリアされ、逆相がセットされます。（正相および逆相のクリア後は、デッドタイムが挿入されます）
- 随時書き換えが正相のセット後、16 ビットカウンタがアップカウント（16 ビットサブカウンタは、アップカウント）の場合、書き換えた値が TSG2nCMPm > TSG2nSBC のとき、正相がクリアされます。また、書き換えた値が TSG2nCMPm > TSG2nCNT のとき、正相がクリアされ、逆相がセットされます。（正相および逆相のクリア後は、デッドタイムが挿入されます）
- 随時書き換えが正相のセット後、16 ビットカウンタがダウンカウント（16 ビットサブカウンタは、アップカウント）の場合、書き換えた値が TSG2nCMPm > TSG2nSBC のとき、正相がクリアされます。（正相がクリア後は、デッドタイムが挿入されます）
- 随時書き換えが正相のセット後、16 ビットカウンタがダウンカウント（16 ビットサブカウンタは、アップカウント）の場合、書き換えた値が TSG2nCMPm > TSG2nCNT のとき、正相がクリアされます。また、書き換えた値が TSG2nCMPm > TSG2nSBC のとき、正相がクリアされ、逆相がセットされます。（正相がクリア後は、デッドタイムが挿入されます）

(2) リロードモード（一斉書き換え機能）の動作例

書き換えたリロード対象レジスタ（TSG2nCMP0-TSG2nCMP12、TSG2nCTL4、TSG2nIOC3、TSG2nPAT0W、TSG2nPAT1W、TSG2nDTC0W、TSG2nDTC1W、TSG2nDCMP0W、TSG2nDCMP2）の値は、リロードタイミングで一斉に各バッファレジスタに転送することができます。

リロード対象レジスタは、リロード要求フラグ TSG2nSTR0.TSG2nRSF = 0 のときに書き換えてください。

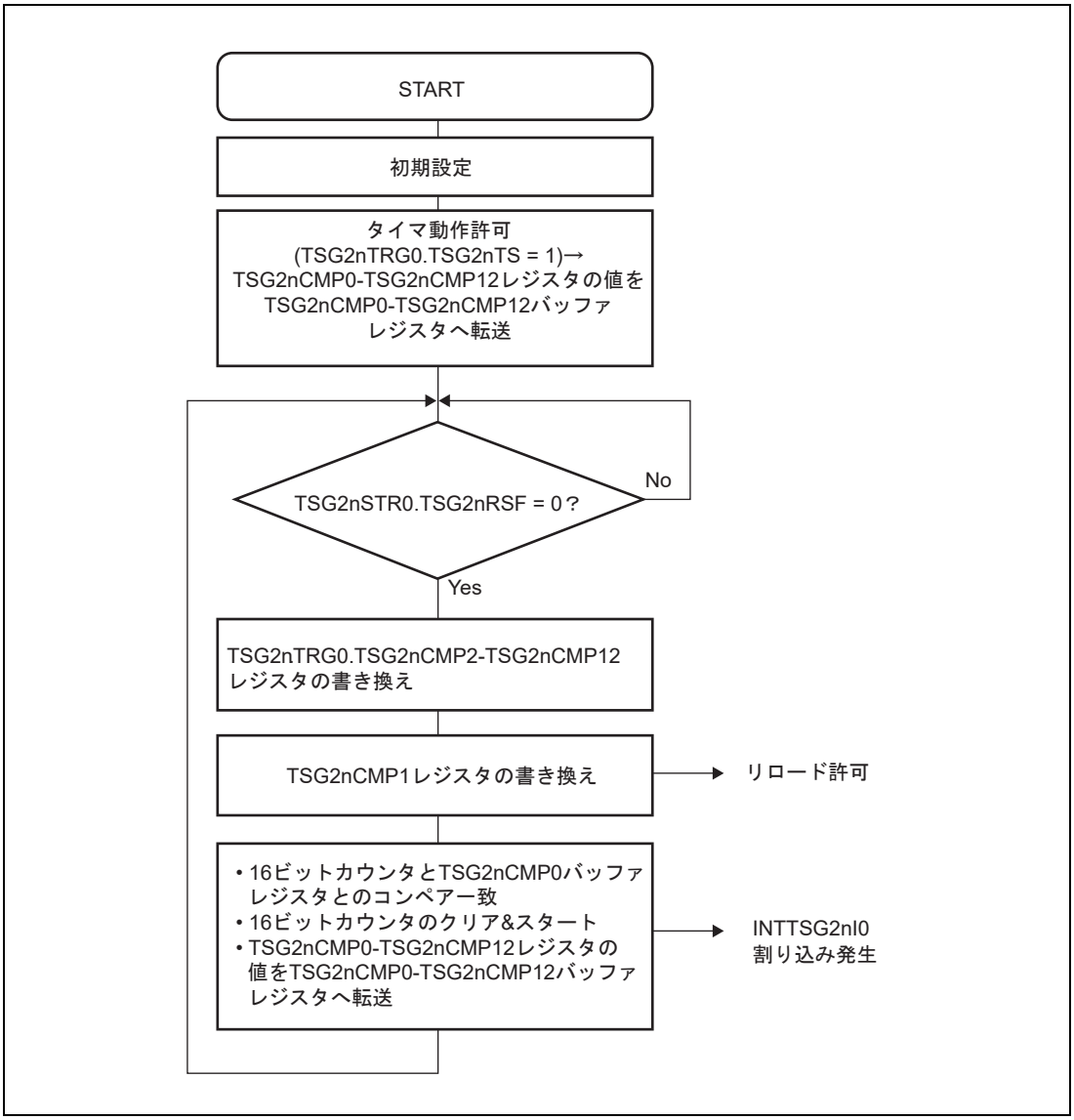


図 24.9 リロードモード（一斉書き換え機能）の基本動作フロー（PWM モードの例）

注 意

TSG2nCMP1 へのライトアクセスにはリロードを許可する動作も含まれます。したがって TSG2nCMP1 の書き換えは他の TSG2nCMP0、TSG2nCMP2-TSG2nCMP12 レジスタの書き換えより後にしてください。

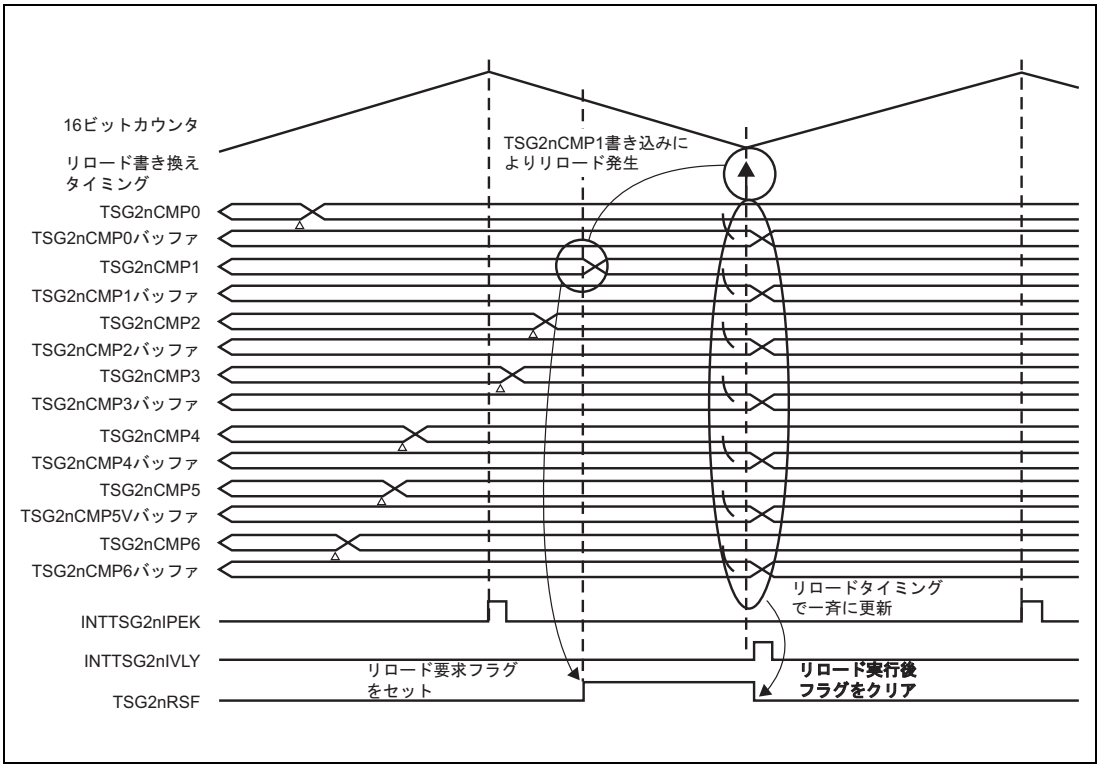


図 24.10　一斉書き換えのタイミング（1/2）（HT － PWM モードの例）

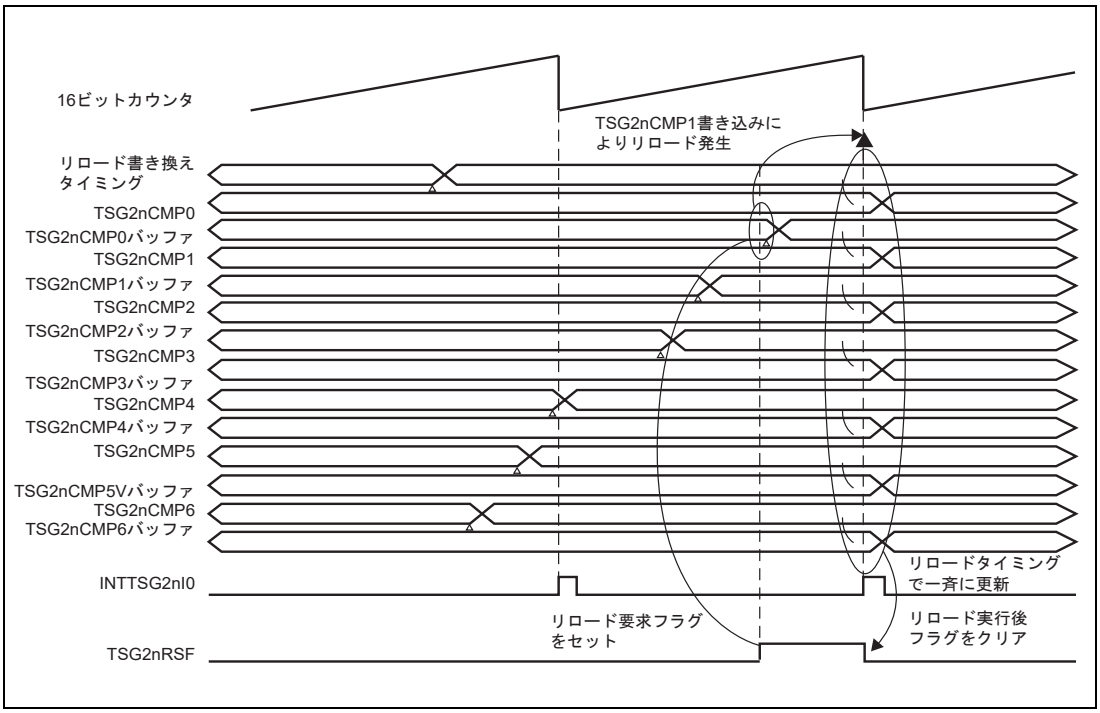


図 24.11　一斉書き換えのタイミング（2/2）（PWM モードの例）

(a) 各モードのリロード書き換え設定例

リロード発生条件および設定例を示します。

表 24.32　リロードの設定一覧（TSG2nCTL3.TSG2nRIA = 0 の場合）

モード	TSG2nCTL4. TSG2nPRE	TSG2nCTL4. TSG2nVRE	TSG2nCTL4. TSG2nPIE	TSG2nCTL4. TSG2nVIE	TSG2nCTL4. TSG2nRCC04 - TSG2nRCC00	リロード
PWM モード	0	0/1	0/1	0/1	任意	設定禁止
SP-PWM モード	1	0	0/1	0/1	任意	INTTSG2nI[0] 発生時
120-DC モード	1	1	0/1	0/1	任意	INTTSG2nI[0] 発生時
HT-PWM モード	0	0	0/1	0/1	任意	設定禁止
	0	1	0/1	0/1	任意	INTTSG2nIVLY 発生時
	1	0	0/1	0/1	任意	INTTSG2nIPEK 発生時
	1	1	0/1	0/1	任意	INTTSG2nIPEK/ INTTSG2nIVLY 発生時

表 24.33　リロードの設定一覧（TSG2nCTL3.TSG2nRIA = 1 の場合）

モード	TSG2nCTL4. TSG2nPRE	TSG2nCTL4. TSG2nVRE	TSG2nCTL4. TSG2nPIE	TSG2nCTL4. TSG2nVIE	TSG2nCTL4. TSG2nRCC04 - TSG2nRCC00	リロード
PWM モード	0	0/1	0/1	0/1	任意	設定禁止
SP-PWM モード	1	0	0	0/1	任意	設定禁止
120-DC モード	1	0	1	0/1	任意	INTTSG2nI[0] 発生時
	1	1	0	0/1	任意	設定禁止
	1	1	1	0/1	任意	INTTSG2nI[0] 発生時
HT-PWM モード	0	0	0/1	0/1	任意	設定禁止
	0	1	0	0	任意	設定禁止
	0	1	0	1	任意	INTTSG2nIVLY 発生時
	0	1	1	0	任意	設定禁止
	0	1	1	1	任意	INTTSG2nIVLY 発生時
	1	0	0	0/1	任意	設定禁止
	1	0	1	0/1	任意	INTTSG2nIPEK 発生時
	1	1	0	0	任意	設定禁止
	1	1	0	1	任意	INTTSG2nIVLY 発生時
	1	1	1	0	任意	INTTSG2nIPEK 発生時
	1	1	1	1	任意	INTTSG2nIPEK/ INTTSG2nIVLY 発生時

24.5.4 各モード時における出力一覧

(1) モード別のタイマ出力

各モード時のタイマ出力（TSOn0 ～ TSOn7 端子）一覧を**表 24.34** ～**表 24.36** に示します。

表 24.34 モード別タイマ出力一覧（1/3）

動作モード	TSOn0 端子	TSOn1 端子	TSOn2 端子
PWM モード	－ （ロウレベル出力固定）	TSG2nCMP1W （TSG2nCMP1、TSG2nCMP2）の コンペア一致による PWM 出力	TSG2nCMP3W （TSG2nCMP3、TSG2nCMP4）の コンペア一致による PWM 出力
HT-PWM モード	16 ビットカウンタ、または、 16 ビットサブカウンタのアップ／ ダウンステータス出力	TSG2nCMP1W （TSG2nCMP1、TSG2nCMP2）の コンペア一致による 正相 PWM 出力 （デッドタイム付き）	TSOn1 端子に対する 逆相 PWM 出力 （デッドタイム付き）
SP － PWM モード	－ （ロウレベル出力固定）	TSG2nCMP1W （TSG2nCMP1、TSG2nCMP2）の コンペア一致による 正相 PWM 出力 （デッドタイム付き）	TSOn1 端子に対する 逆相 PWM 出力 （デッドタイム付き）
120-DC モード	－ （ロウレベル出力固定）	TSG2nCMP1W （TSG2nCMP1、TSG2nCMP2）、 TSG2nCMP5W （TSG2nCMP5、TSG2nCMP6）、 TSG2nCMP9W （TSG2nCMP9、TSG2nCMP10） を使用した PWM 出力	TSG2nCMP3W （TSG2nCMP3、TSG2nCMP4）、 TSG2nCMP7W （TSG2nCMP7、TSG2nCMP8）、 TSG2nCMP11W （TSG2nCMP11、TSG2nCMP12） を使用した PWM 出力

表 24.35 モード別タイマ出力一覧（2/3）

動作モード	TSOn3 端子	TSOn4 端子	TSOn5 端子
PWM モード	TSG2nCMP5W （TSG2nCMP5、TSG2nCMP6）の コンペア一致による PWM 出力	TSG2nCMP7W （TSG2nCMP7、TSG2nCMP8）の コンペア一致による PWM 出力	TSG2nCMP9W （TSG2nCMP9、TSG2nCMP10）の コンペア一致による PWM 出力
HT-PWM モード	TSG2nCMP5W （TSG2nCMP5、TSG2nCMP6）の コンペア一致による 正相 PWM 出力 （デッドタイム付き）	TSOn3 端子に対する 逆相 PWM 出力 （デッドタイム付き）	TSG2nCMP9W （TSG2nCMP9、TSG2nCMP10）の コンペア一致による 正相 PWM 出力 （デッドタイム付き）
SP － PWM モード	TSG2nCMP5W （TSG2nCMP5、TSG2nCMP6）の コンペア一致による 正相 PWM 出力 （デッドタイム付き）	TSOn3 端子に対する 逆相 PWM 出力 （デッドタイム付き）	TSG2nCMP9W （TSG2nCMP9、TSG2nCMP10）の コンペア一致による 正相 PWM 出力 （デッドタイム付き）
120-DC モード	TSG2nCMP1W （TSG2nCMP1、TSG2nCMP2）、 TSG2nCMP5W （TSG2nCMP5、TSG2nCMP6）、 TSG2nCMP9W （TSG2nCMP9、TSG2nCMP10）を 使用した PWM 出力	TSG2nCMP3W （TSG2nCMP3、TSG2nCMP4）、 TSG2nCMP7W （TSG2nCMP7、TSG2nCMP8）、 TSG2nCMP11W （TSG2nCMP11、TSG2nCMP12）を 使用した PWM 出力	TSG2nCMP1W （TSG2nCMP1、TSG2nCMP2）、 TSG2nCMP5W （TSG2nCMP5、TSG2nCMP6）、 TSG2nCMP9W （TSG2nCMP9、TSG2nCMP10）を 使用した PWM 出力

表 24.36 モード別タイマ出力一覧（3/3）

動作モード	TSOn6 端子	TSOn7 端子
PWM モード	TSG2nCMP11W（TSG2nCMP11,TSG2nCMP12）の コンペア一致による PWM 出力	ダイアグ出力、もしくは、A/D 変換トリガ出力
HT-PWM モード	TSOn5 端子に対する逆相 PWM 出力 （デッドタイム付き）	ダイアグ出力、もしくは、A/D 変換トリガ出力

表 24.36 モード別タイマ出力一覧（3/3）

動作モード	TSOn6 端子	TSOn7 端子
SP － PWM モード	TSOn5 端子に対する逆相 PWM 出力 （デッドタイム付き）	ダイアグ出力、もしくは、A/D 変換トリガ出力注 1
120-DC モード	TSG2nCMP3W（TSG2nCMP3,TSG2nCMP4）、 TSG2nCMP7W（TSG2nCMP7、TSG2nCMP8）、 TSG2nCMP11W（TSG2nCMP11,TSG2nCMP12） を使用した PWM 出力	ダイアグ出力、もしくは、A/D 変換トリガ出力注 1

注 1. TSOn7 に関しては「**24.5.4 （a）TSOn7 端子の出力制御**」を参照してください。

（a）TSOn7 端子の出力制御

A/D 変換トリガ用のパルス（TSG2nIOC1.TSG2nTGS = 0）、または、ダイアグ出力（TSG2nIOC1.TSG2nTGS = 1）を TSOn7 端子に出力することができます。A/D 変換トリガ用のパルス出力時の TSOn7 端子は、TSTADT0 信号の立ち上がりエッジでアクティブとなり、TSTADT1 信号の立ち上がりエッジでインアクティブとなります。TSOn7 端子がアクティブの状態で TSTADT0 信号を検出した場合は、TSOn7 端子はアクティブレベルを維持します。また、TSOn7 端子がインアクティブの状態で TSTADT1 信号を検出した場合は、TSOn7 端子はインアクティブレベルを維持します。TSTADT0、TSTADT1 信号のトリガが同時の場合は、TSOn7 端子のインアクティブが優先されます。

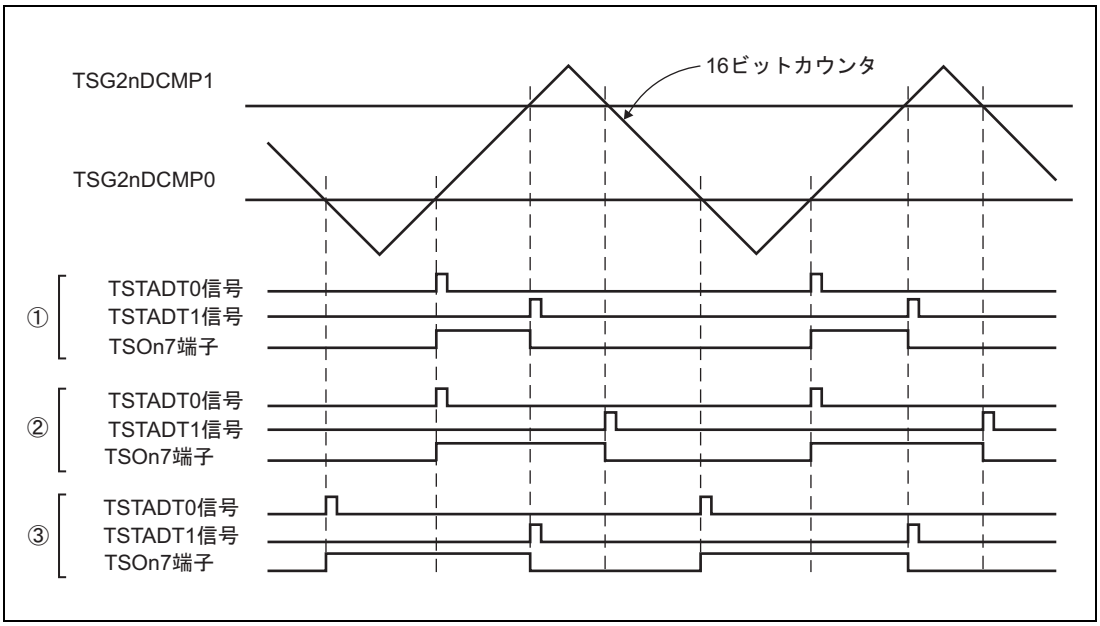


図 24.12 TSOn7 端子の A/D トリガ出力タイミング例（TSG2nIOC1.TSG2nTGS = 0）

備　考

1. TSG2nDCMP0 レジスタ＜ TSG2nDCMP1 レジスタ、TSG2nCTL5 レジスタ = 0004_H、TSG2nCTL6 レジスタ = 0010_H の場合
2. TSG2nDCMP0 レジスタ＜ TSG2nDCMP1 レジスタ、TSG2nCTL5 レジスタ = 0004_H、TSG2nCTL6 レジスタ = 0020_H の場合
3. TSG2nDCMP0 レジスタ＜ TSG2nDCMP1 レジスタ、TSG2nCTL5 レジスタ = 0008_H、TSG2nCTL6 レジスタ = 0010_H の場合
   TSOn7 に関しては**「24.5.4（1）（a）TSOn7 端子の出力制御」**を参照してください。

ダイアグ出力時の TSOn7 端子は、TSG2nDCMP0-TSG2nDCMP2 が 16 ビットカウンタと一致するタイミングにて TSG2nCTL0.TSG2nDWD で設定した出力幅のアクティブレベルを出力します。なお、TSG2nDCMP0-TSG2nDCMP2 と 16 ビットカウンタの一致タイミングが TSG2nDWD で設定した出力幅以内で発生し、アクティブレベルが重なった場合、重なった箇所を 16 クロック（PCLK）以内で出力します。

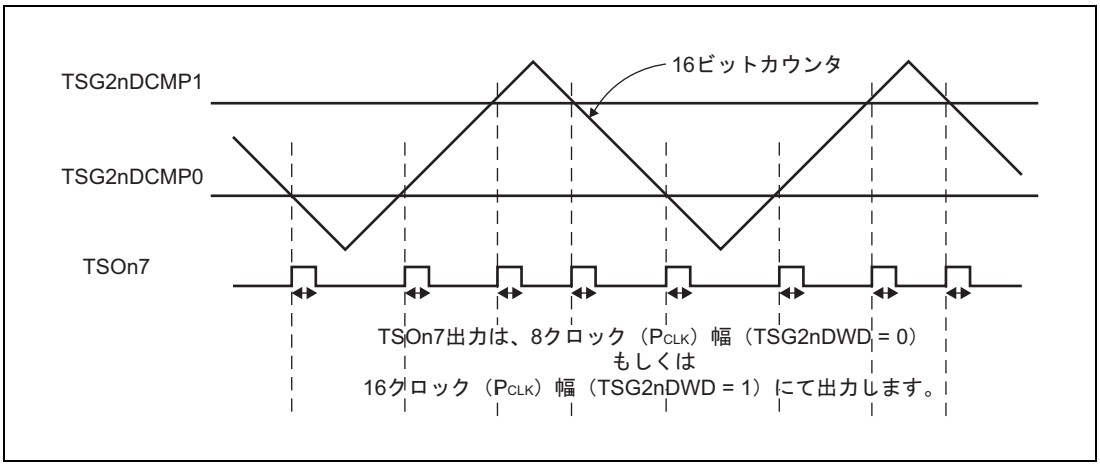


図 24.13　TSOn7 端子のダイアグ出力タイミング例①（TSG2nIOC1.TSG2nTGS = 1）

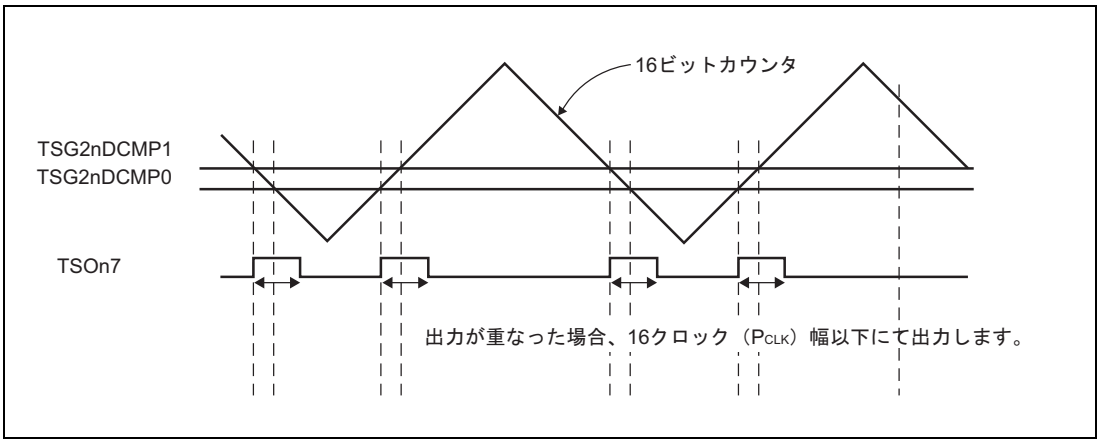


図 24.14　TSOn7 端子のダイアグ出力タイミング例②（出力幅が重なった場合）

(2) モード別の割り込み

各モード時の割り込み（INTTSG2nI[0]-INTTSG2nI[12]、INTTSG2nIPEK、INTTSG2nIVLY、INTTSG2nIER、INTTSG2nIWN）一覧を**表 24.37** ～**表 24.41** に示します。

表 24.37 モード別割り込み一覧（1/5）

動作モード	INTTSG2nI[0]	INTTSG2nI[1]	INTTSG2nI[2]	INTTSG2nI[3]
PWM モード	TSG2nCMP0 コンペアー致割り込み	TSG2nCMP1 コンペアー致割り込み注 1	TSG2nCMP2 コンペアー致割り込み注 1	TSG2nCMP3 コンペアー致割り込み注 1
HT-PWM モード	周期割り込み	TSG2nCMP1 コンペアー致割り込み注 2	TSG2nCMP2 コンペアー致割り込み注 2	–
SP-PWM モード	TSG2nCMP0 コンペアー致割り込み	TSG2nCMP1 コンペアー致割り込み注 1	TSG2nCMP2 コンペアー致割り込み注 1	–
120-DC モード	TSG2nCMP0 コンペアー致割り込み	TSG2nCMP1 コンペアー致割り込み注 1	TSG2nCMP2 コンペアー致割り込み注 1	TSG2nCMP3 コンペアー致割り込み注 1

注 1. TSG2nCMP0 ＜ TSG2nCMPm に設定した場合、コンペアー致割り込みは発生しません。（m = 1-12）

注 2. 0000_H ≦ TSG2nCMPm ＜ TSG2nDTC0、（TSG2nCMP0+TSG2nDTC0）＜ TSG2nCMPm の範囲に設定した場合、コンペアー致割り込みは発生しません。

表 24.38 モード別割り込み一覧（2/5）

動作モード	INTTSG2nI[4]	INTTSG2nI[5]	INTTSG2nI[6]	INTTSG2nI[7]
PWM モード	TSG2nCMP4 コンペアー致割り込み注 1	TSG2nCMP5 コンペアー致割り込み注 1	TSG2nCMP6 コンペアー致割り込み注 1	TSG2nCMP7 コンペアー致割り込み注 1
HT-PWM モード	–	TSG2nCMP5 コンペアー致割り込み注 2	TSG2nCMP6 コンペアー致割り込み注 2	–
SP-PWM モード	–	TSG2nCMP5 コンペアー致割り込み注 1	TSG2nCMP6 コンペアー致割り込み注 1	–
120-DC モード	TSG2nCMP4 コンペアー致割り込み注 1	TSG2nCMP5 コンペアー致割り込み注 1	TSG2nCMP6 コンペアー致割り込み注 1	TSG2nCMP7 コンペアー致割り込み注 1

注 1. TSG2nCMP0 ＜ TSG2nCMPm に設定した場合、コンペアー致割り込みは発生しません。（m = 1-12）

注 2. 0000_H ≦ TSG2nCMPm ＜ TSG2nDTC0、（TSG2nCMP0+TSG2nDTC0）＜ TSG2nCMPm の範囲に設定した場合、コンペアー致割り込みは発生しません。

表 24.39 モード別割り込み一覧（3/5）

動作モード	INTTSG2nI[8]	INTTSG2nI[9]	INTTSG2nI[10]	INTTSG2nI[11]
PWM モード	TSG2nCMP8 コンペアー致割り込み注 1	TSG2nCMP9 コンペアー致割り込み注 1	TSG2nCMP10 コンペアー致割り込み注 1	TSG2nCMP11 コンペアー致割り込み注 1
HT-PWM モード	–	TSG2nCMP9 コンペアー致割り込み注 2	TSG2nCMP10 コンペアー致割り込み注 2	–
SP-PWM モード	–	TSG2nCMP9 コンペアー致割り込み注 1	TSG2nCMP10 コンペアー致割り込み注 1	–
120-DC モード	TSG2nCMP8 コンペアー致割り込み注 1	TSG2nCMP9 コンペアー致割り込み注 1	TSG2nCMP10 コンペアー致割り込み注 1	TSG2nCMP11 コンペアー致割り込み注 1

注 1. TSG2nCMP0 ＜ TSG2nCMPm に設定した場合、コンペアー致割り込みは発生しません。（m = 1-12）

注 2. 0000_H ≦ TSG2nCMPm ＜ TSG2nDTC0、（TSG2nCMP0+TSG2nDTC0）＜ TSG2nCMPm の範囲に設定した場合、コンペアー致割り込みは発生しません。

表 24.40　モード別割り込み一覧（4/5）

動作モード	INTTSG2nI[12]	INTTSG2nIPEK	INTTSG2nIVLY
PWM モード	TSG2nCMP12 コンペアー致割り込み注 1	INTTSG2nI[0] と同タイミングで 山割り込み	－
HT-PWM モード	－	山割り込み	谷割り込み
SP-PWM モード	－	INTTSG2nI[0] と同タイミングで 山割り込み	－
120-DC モード	TSG2nCMP12 コンペアー致割り込み注 1	INTTSG2nI[0] と同タイミングで 山割り込み	－

注 1.　TSG2nCMP0 ＜ TSG2nCMPm に設定した場合、コンペアー致割り込みは発生しません。（m = 1-12）

表 24.41　モード別割り込み一覧（5/5）

動作モード	INTTSG2nIER	INTTSG2nIWN
PWM モード	エラー割り込み	ワーニング割り込み
HT-PWM モード	エラー割り込み	ワーニング割り込み
SP-PWM モード	エラー割り込み	ワーニング割り込み
120-DC モード	エラー割り込み	ワーニング割り込み

24.6　一致割り込み

割り込みには、コンペア一致割り込み（INTTSG2nIm）、山割り込み（INTTSG2nIPEK）、谷割り込み（INTTSG2nIVLY）が存在します。エラー／ワーニング割り込み（INTTSG2nIER、INTTSG2nIWN）に関しては**「24.10　エラー／ワーニング割り込み」**を参照してください。

周期割り込み（INTTSG2nI[0]）は、タイマの周期毎に発生します。HT-PWM モードでは、TSG2nDTC0 バッファレジスタと 16 ビットカウンタの一致したときに発生します。16 ビットカウンタがのこぎり波動作を行うモード（PWM モード、SP-PWM モード、120-DC モード）では、16 ビットカウンタが TSG2nCMP0 バッファレジスタとの一致後に発生します。

コンペア一致割り込み（INTTSG2nIm）は、TSG2nCMPm バッファレジスタと 16 ビットカウンタの一致により発生する割り込みで、動作モードで使用するコンペアレジスタに応じて一致割り込みを発生します。（m = 1-12）

山割り込み（INTTSG2nIPEK）は、全てのモードで発生します。HT-PWM モードでは、16 ビットカウンタがアップカウントからダウンカウントに切り替わるときに発生します。16 ビットカウンタがのこぎり波動作を行うモード（PWM モード、SP-PWM モード、120-DC モード）では、16 ビットカウンタが TSG2nCMP0 バッファレジスタとの一致後に発生します（INTTSG2nI[0] 割り込みと同タイミング）。

谷割り込み（INTTSG2nIVLY）は、HT-PWM モードで 16 ビットカウンタがダウンカウントからアップカウントに切り替わるときに発生します。

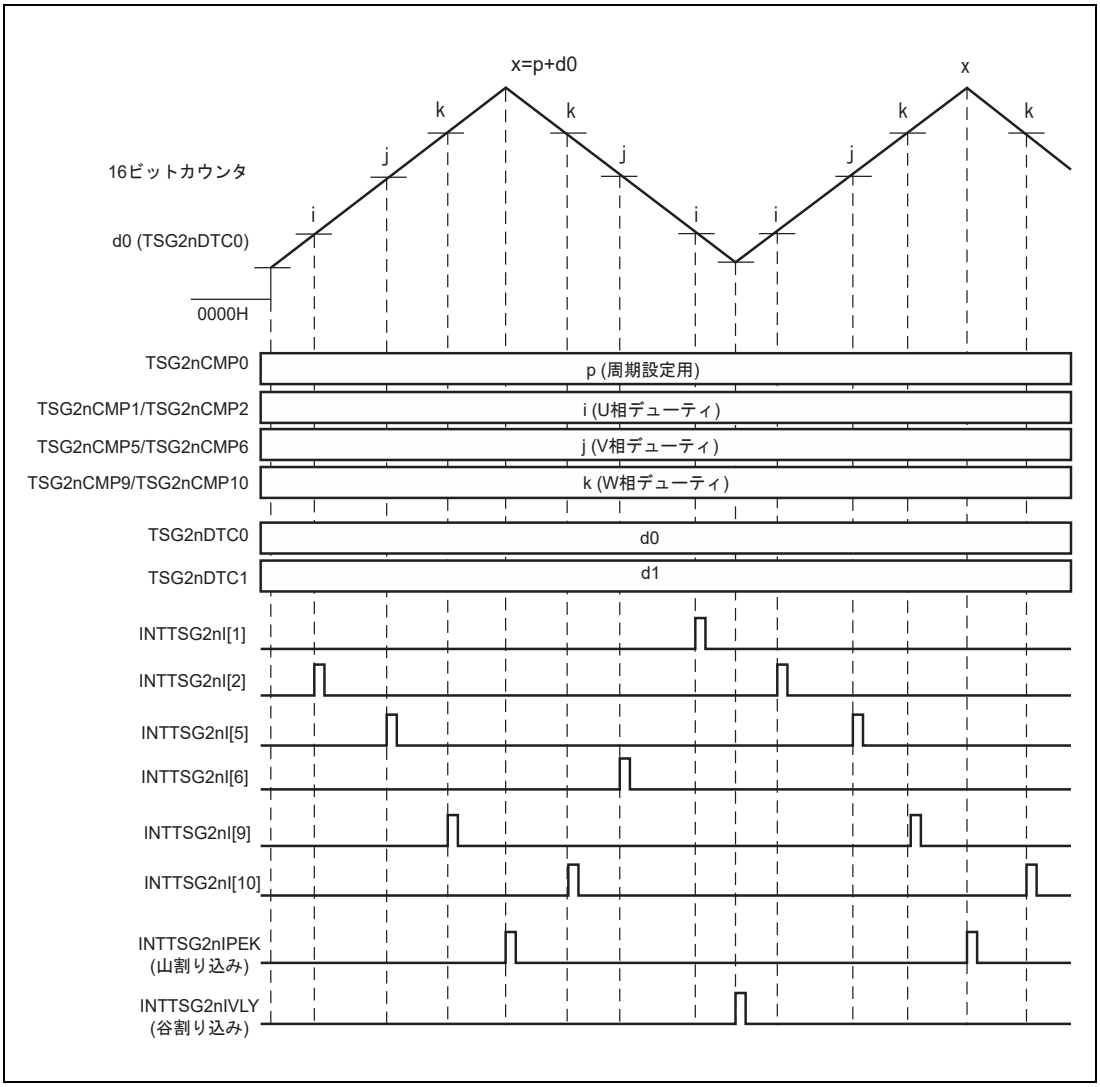


図 24.15　割り込み発生例（1/2）（HT-PWM モードの例）

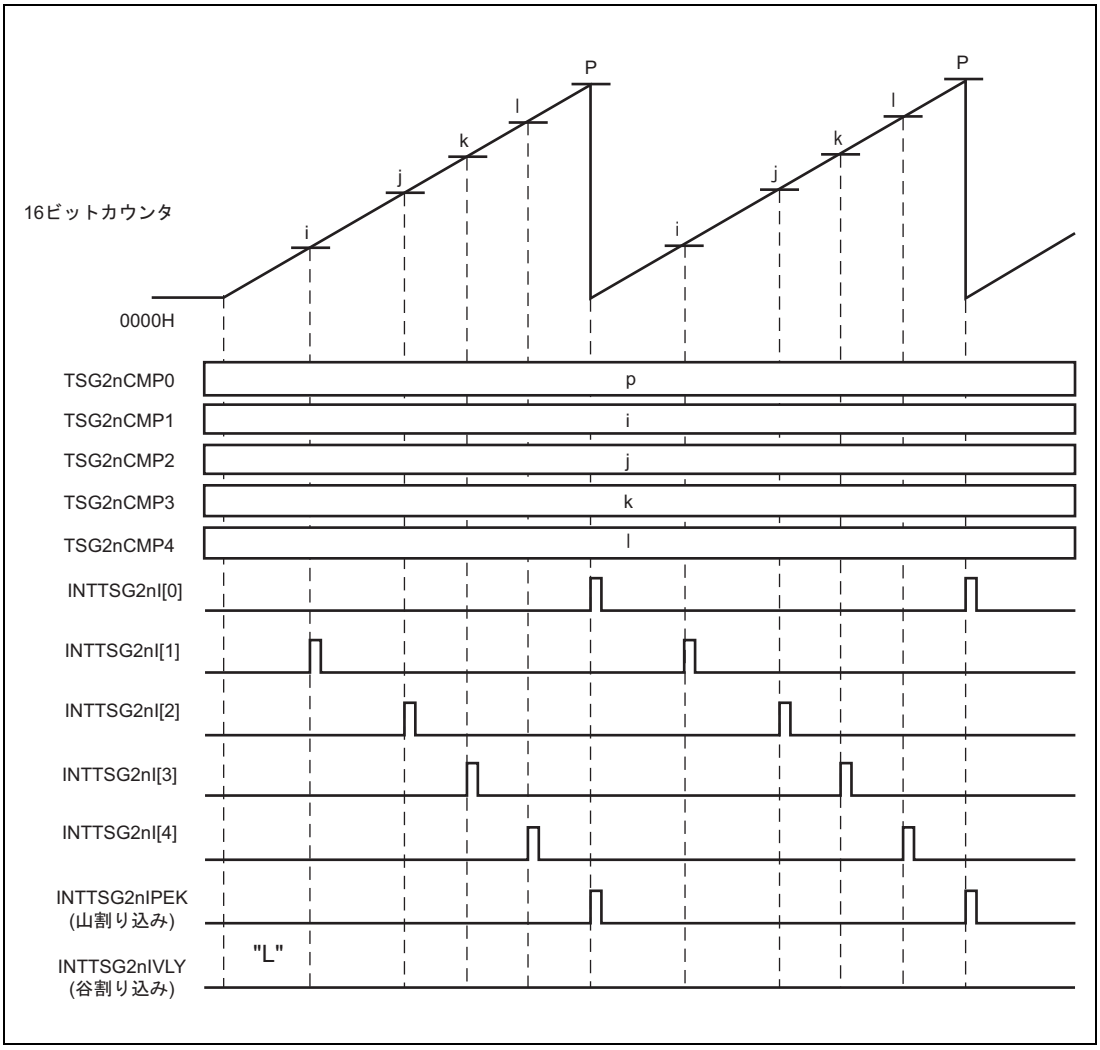


図 24.16　割り込み発生例（2/2）（PWM モードの例）

24.7　フラグ

表 24.42　フラグ一覧表

番号	フラグ名称	記号	レジスタ	動作モード
(1)	アップカウントフラグ	TSG2nCUF	TSG2nSTR0	HT-PWM モード
		TSG2nSUF	TSG2nSTR0	
(2)	正相／逆相同時アクティブ検出フラグ	TSG2nTBF0-TSG2nTBF2	TSG2nSTR2	全動作モード
(3)	リロード要求フラグ	TSG2nRSF	TSG2nSTR0	全動作モード
(4)	ノイズ検出フラグ	TSG2nNDF	TSG2nSTR2	全動作モード
(5)	パタン順序検出フラグ	TSG2nTSF	TSG2nSTR1	全動作モード
(6)	パタンエラー検出フラグ	TSG2nPEF	TSG2nSTR2	全動作モード
(7)	パタン反転検出フラグ	TSG2nPRF	TSG2nSTR2	全動作モード
(8)	パタン位相差異検出フラグ	TSG2nPPF	TSG2nSTR2	全動作モード
(9)	タイマ出力パタンフラグ	TSG2nOPF0-TSG2nOPF2	TSG2nSTR1	全動作モード
(10)	パタン切り替え検出信号（内部信号）	TSG2nPTE	—	全動作モード

24.7.1 アップカウントフラグ（TSG2nCUF、TSG2nSUF）

名称

アップカウントフラグ（TSG2nSTR0.TSG2nCUF、TSG2nSUF）

説明

アップカウントフラグには次の 2 種類があります。

TSG2nCUF は、16 ビットカウンタのアップ／ダウンカウントフラグです。

TSG2nSUF は、16 ビットサブカウンタのアップ／ダウンカウントフラグです。

TSG2nCUF/TSG2nSUF ともに、“0” はアップカウント状態を示し、“1” はダウンカウント状態を示します。

TSG2nCUF/TSG2nSUF は、HT-PWM モード時のみ使用できます。

動作例

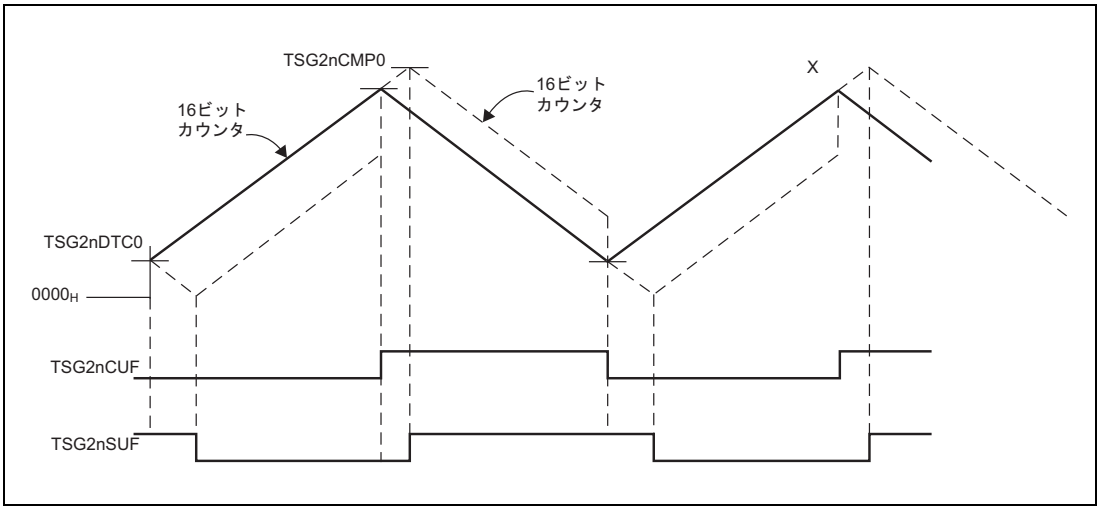


図 24.17 アップカウントフラグ動作例

備 考

1. TSG2nCUF の値は次のようになります。
   TSG2nDTC0 ≦ 16 ビットカウンタ≦（TSG2nCMP0 + TSG2nDTC0-2）
   ・・・“0”
   （アップカウント）
   （TSG2nCMP0 + TSG2nDTC0）≧ 16 ビットカウンタ≧ TSG2nDTC0 + 2
   ・・・“1”
   （ダウンカウント）
2. TSG2nSUF の値は次のようになります。
   0 ≦ 16 ビットサブカウンタ≦（TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1-2）
   ・・・“0”
   （アップカウント）
   （TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1）≧ 16 ビットサブカウンタ≧ 2
   ・・・“1”
   （ダウンカウント）

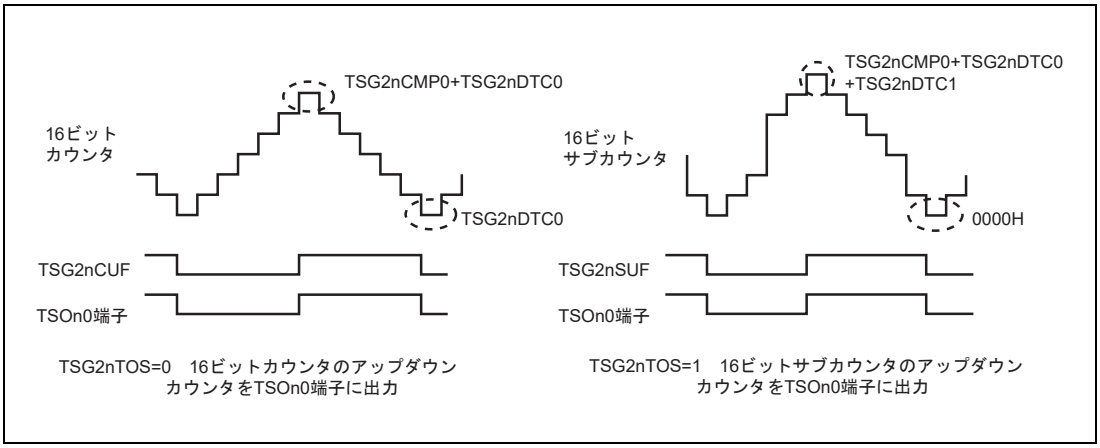


図 24.18　TSG2nIOC1.TSG2nTOS 切り替え時の TSOn0 端子出力

動作モード

HT-PWM モード時のみ使用できます。

24.7.2 正相／逆相同時アクティブ検出フラグ（TSG2nTBF0-TSG2nTBF2）

名称

正相／逆相同時アクティブ検出フラグ（TSG2nSTR2.TSG2nTBF0-TSG2nTBF2 フラグ）

説明

TSG2nCTL1.TSG2nTBA2-TSG2nTBA0 のいずれかが “1” の場合において、TSG2nTBF0-TSG2nTBF2 は、TSG2n の正相／逆相の同時アクティブを検出できます。

TSG2n の正相／逆相の同時アクティブを検出した場合、該当する TSG2nTBF0-TSG2nTBF2 フラグはセット（1）されエラー割り込み（INTTSG2nIER）が発生します。
TSG2nSTC.TSG2nTBR0-TSG2nTBR2 に “1” をライトしたときに各々クリアされます。

動作例

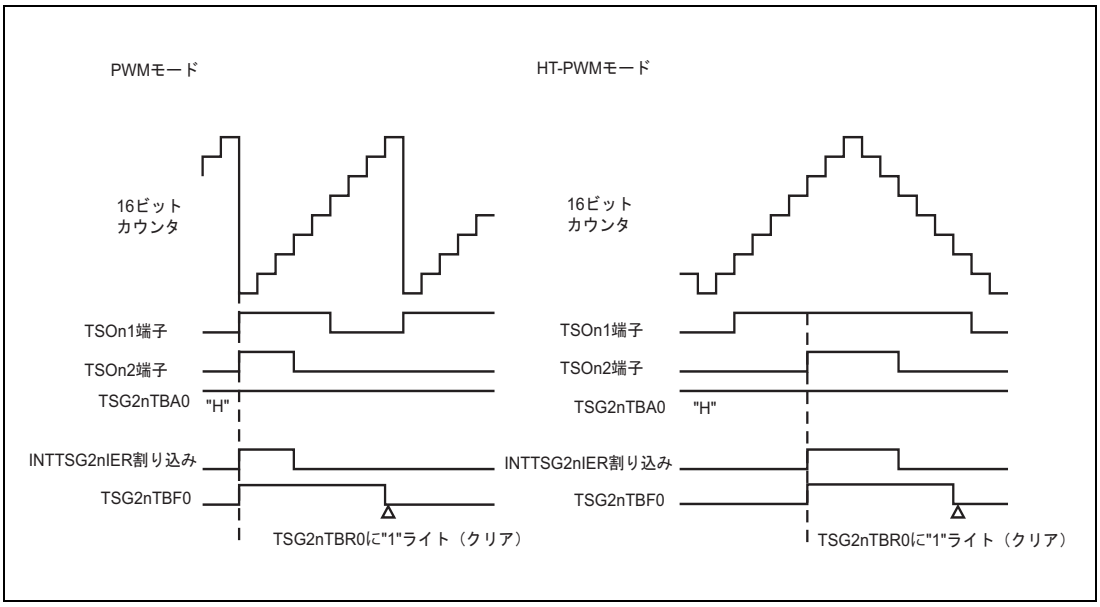


図 24.19 正相／逆相同時アクティブ検出フラグ動作例

動作モード

全ての動作モードで使用できます。

注 意

TSG2nTBF0-TSG2nTBF2 は、TSG2nCTL1.TSG2nTBA0-TSG2nTBA2 = 1 かつ TSG2nSTR0.TSG2nTE = 1 のときのみ有効です。

24.7.3 リロード要求フラグ（TSG2nRSF）

名称

ロード要求フラグ（TSG2nSTR0.TSG2nRSF）

説明

TSG2nRSF は、リロード要求が発生した時（TSG2nCMP1（TSG2nCMP1W、TSG2nCMPU、TSG2nCPW）レジスタにライトしたとき）、セット（1）されます。リロードが発生し、全バッファレジスタに値が転送されたときクリア ”0” されます。

動作例

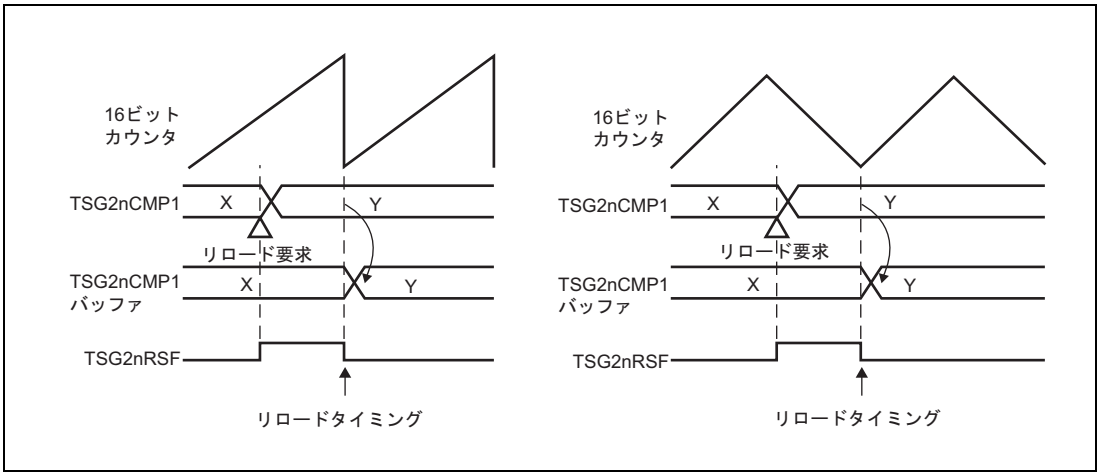


図 24.20 リロード要求フラグ動作例

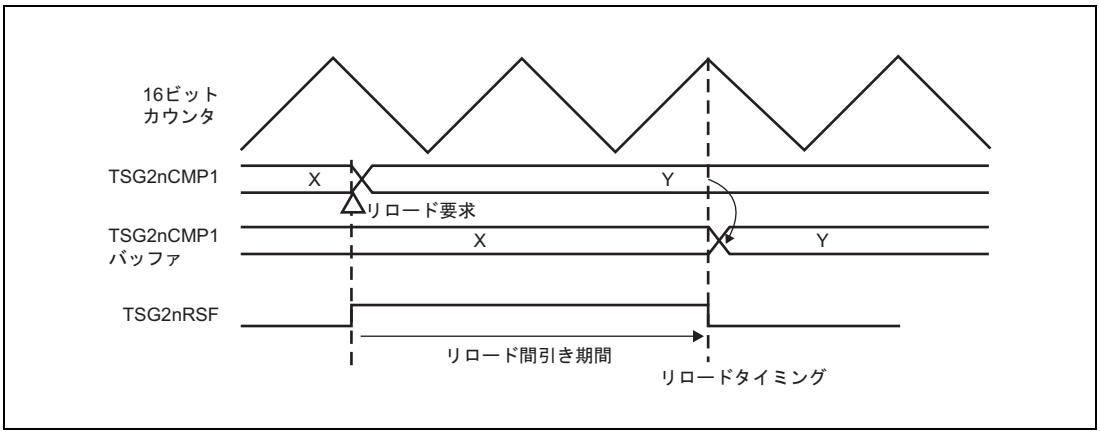


図 24.21 リロード要求フラグとリロード間引き期間

動作モード

全ての動作モードで使用できます。

24.7.4　ノイズ検出フラグ（TSG2nNDF）

名称

ノイズ検出フラグ（TSG2nSTR2.TSG2nNDF）

説明

TSG2nNDF は、TAPTSn2-TAPTSn0 端子が同時に 2 端子以上変化した（ノイズ発生）ことを検出できます。

TSG2nNDF は、TAPTSn2-TAPTSn0 端子が同時に 2 端子以上変化した（ノイズ発生）場合にセット（1）され、ワーニング割り込み（INTTSG2nIWN）が発生します。TSG2nNDF フラグは、TSG2nSTC.TSG2nNDR ビットに “1” をライトしたときにクリア “0” されます。

動作例

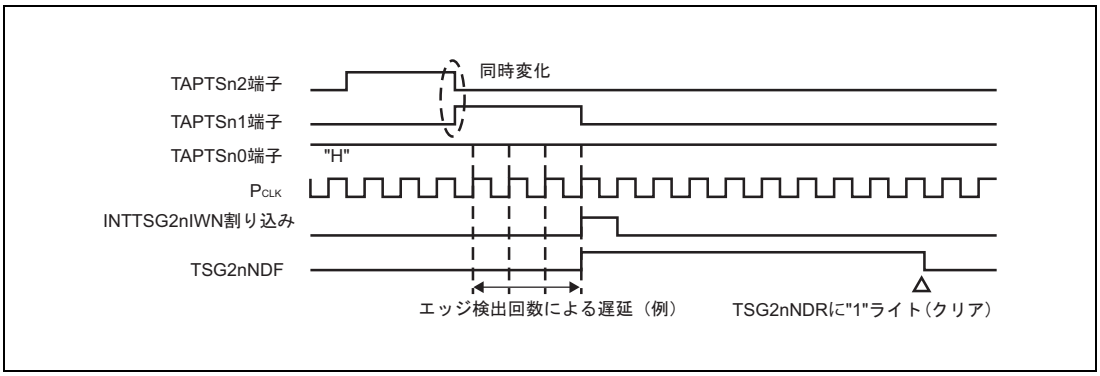


図 24.22　ノイズ検出フラグ動作例

動作モード

全ての動作モードで使用できます。

注　意

TSG2nNDF は、TSG2nCTL1.TSG2nNDC = 1 かつ TSG2nSTR0.TSG2nTE = 1 のときのみ有効です。

24.7.5 パタン順序検出フラグ（TSG2nTSF）

名称

パタン順序検出フラグ（TSG2nSTR1.TSG2nTSF）

説明

TSG2nTSF は、TAPTSn2-TAPTSn0 端子に入力しているパタンの順序を検出することができます。

TAPTSn2-TAPTSn0 端子の入力により、次の動作となります。

TSG2nTSF	TAPTSn2-TAPTSn0 端子の入力
0	[1,0,1] → [1,0,0] → [1,1,0] → [0,1,0] → [0,1,1] → [0,0,1]
1	[1,0,1] ← [1,0,0] ← [1,1,0] ← [0,1,0] ← [0,1,1] ← [0,0,1]

動作例

（a）TAPTSn2-TAPTSn0 端子に正常な入力が発生している場合

図 24.23 のように、TAPTSn2-TAPTSn0 端子が順序どおりに変化した場合は、変化したタイミングで変化した順序に従い “ 0” あるいは “1” の値がセットされます。

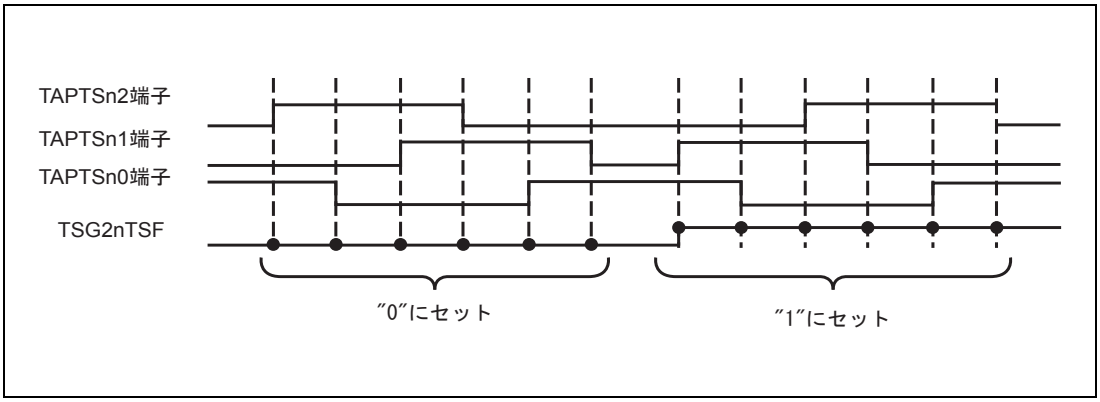


図 24.23 パタン順序検出フラグ動作例（正常時）

（b）入力パタン変化の順序検出

TSG2n 動作開始直後は回転方向が判別できないため、TSG2nTSF で、TAPTSn2-TAPTSn0 端子に入力されるパタンの変化（正転／逆転）を検出できません。動作開始時から検出するためには、動作開始前に TSG2nPSC を設定しておく必要があります（TSG2nTE = 0 の時は、TSG2nPSC の値が反映されます）。

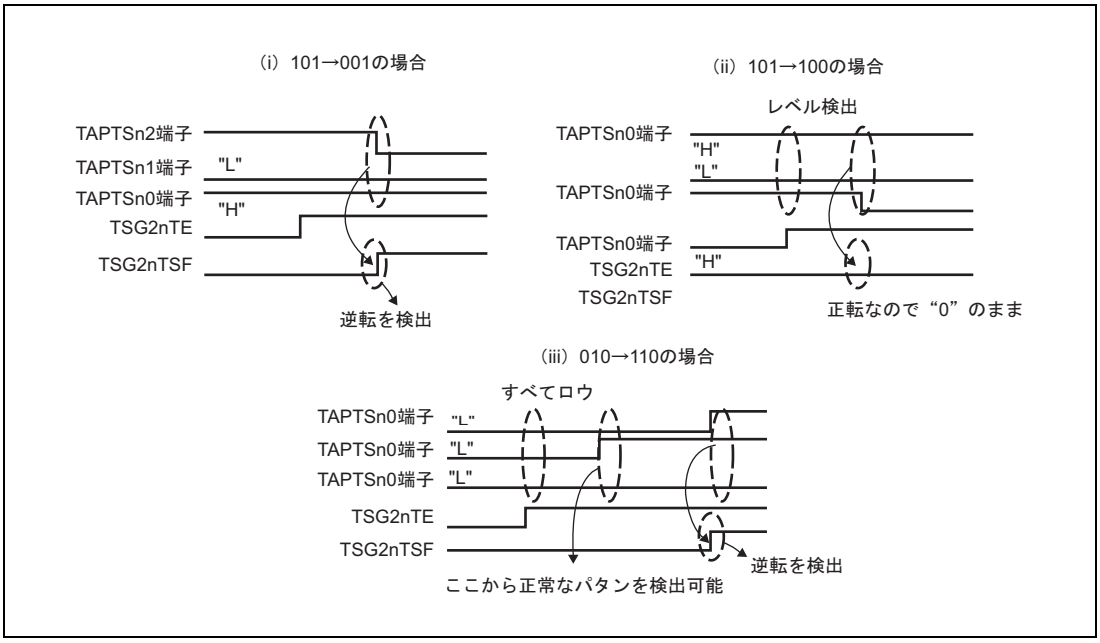


図 24.24 TAPTSn2-TAPTSn0 端子に入力されるパタンの変化（正転／逆転）検出

（c）TAPTSn2-TAPTSn0 端子に異常な入力が発生した場合

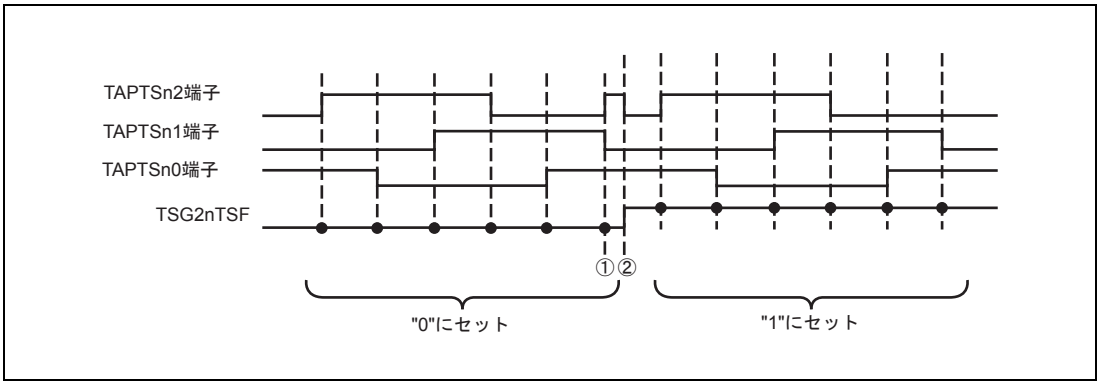


図 24.25 TAPTSn2-TAPTSn0 端子の入力が 2 端子変化した場合の動作例（異常時）

①ここでは、{0,1,0} または {0,0,1} に変化するのを待っているので、このような場合は、TSG2nTSF は変化しません。（2 端子変化した場合、TSG2nTSF は変化しません）

②ここで、TAPTSn2-TAPTSn0 端子が {1,0,1} から {0,0,1} に変化したと判断し、TSG2nTSF をセット（1）します。

動作モード

全ての動作モードで使用できます。

24.7.6 パタンエラー検出フラグ（TSG2nPEF）

名称

パタンエラー検出フラグ（TSG2nSTR2.TSG2nPEF）

説明

TSG2nPEF は、TAPTSn2-TAPTSn0 端子に “000”、“111” が入力されたことを検出できます。

TSG2nPEF は、TAPTSn2-TAPTSn0 端子のレベルが “111” または “000” の場合にセット（1）され、ワーニング割り込み（INTTSG2nIWN）が発生します。TSG2nPEF は、TSG2nSTC.TSG2nPER に “1” をライトしたときにクリア “0” されます。

動作例

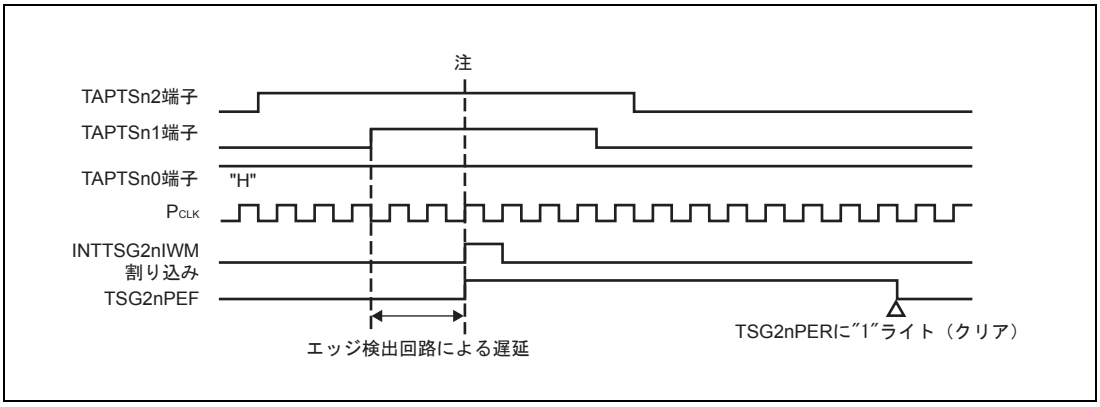


図 24.26 パタンエラー検出フラグ動作例（TAPTSn2-TAPTSn0 端子 = 111）

注 意

“111” を検出

動作モード

全ての動作モードで使用できます。

注 意

TSG2nPEF は、TSG2nCTL1.TSG2nPEC = 1 かつ TSG2nSTR0.TSG2nTE = 1 のときのみ有効です。

24.7.7 パタン反転検出フラグ（TSG2nPRF）

名称

パタン反転検出フラグ（TSG2nSTR2.TSG2nPRF）

説明

TSG2nPRF は、TAPTSn2-TAPTSn0 端子の変化順序が反転したことを検出できます。

TSG2nPRF は、パタン順序検出フラグ（TSG2nTSF）の変化タイミングでセット（1）され、ワーニング割り込み（INTTSG2nIWN）が発生します。ただし、TSG2nSTR0.TSG2nTE フラグ = 1 がセットされた直後は、2 回目以降の TAPTSn2-TAPTSn0 端子の変化で TSG2nPRF が有効になります。

TSG2nPRF は、TSG2nSTC.TSG2nPRR ビットに “1” をライトしたときにクリア “0” されます。

動作例

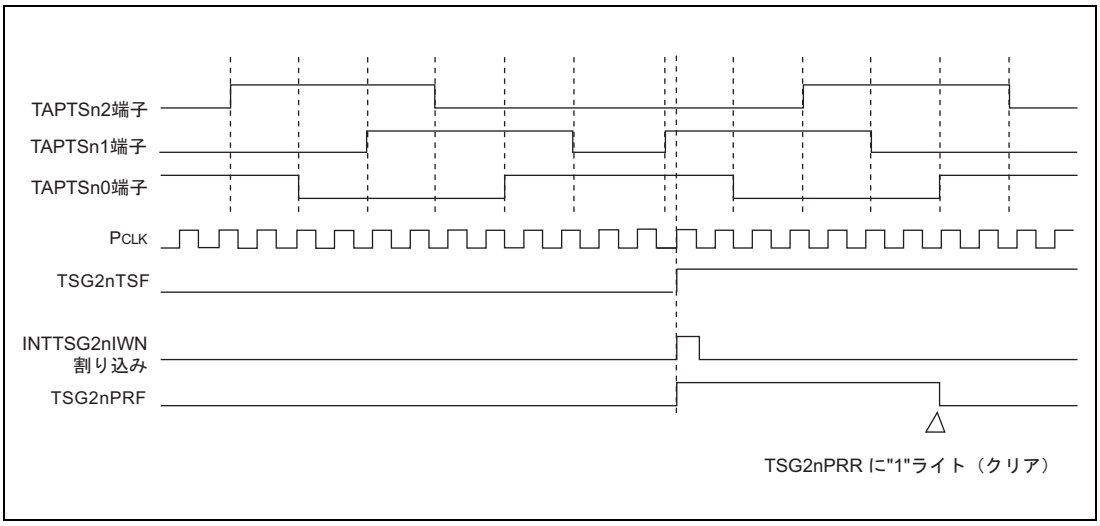


図 24.27 パタン反転検出フラグ動作例

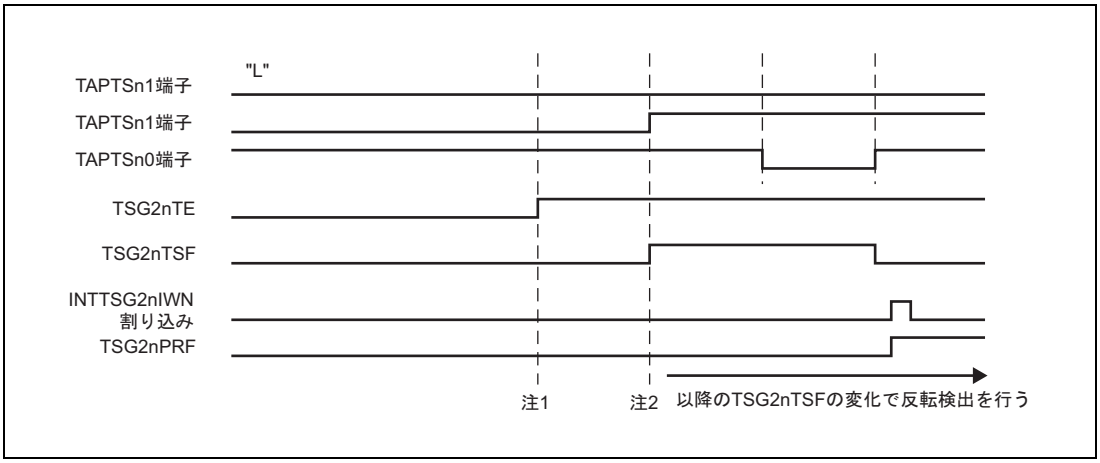


図 24.28 TSG2nSTR0 レジスタの TSG2nTE フラグ = 1 がセットされた直後の動作例

注　意

1. **動作開始タイミング**
2. **TSG2nTE = “1” 直後の 1 回目の TAPTSn2-TAPTSn0 端子の変化で TSG2nTSF が “1” にセットする場合は反転検出をしない**

動作モード

全ての動作モードで使用できます。

注　意

TSG2nPRF は、TSG2nCTL1.TSG2nPRC = 1 かつ TSG2nSTR0.TSG2nTE = 1 のときのみ有効です。

24.7.8 パタン位相差異検出フラグ（TSG2nPPF）

名称

パタン位相差異検出フラグ（TSG2nSTR2.TSG2nPPF）

説明

TSG2nPPF は、入力パタン（TAPTSn2-TAPTSn0 端子）と出力パタン（TSG2nSTR1.TSG2nOPF2-TSG2nOPF0 フラグ）の位相差異を検出できます。

TSG2nPPF は、パタンの位相差異を検出した場合にセット（1）されワーニング割り込み（INTTSG2nIWN）が発生します。TSG2nPPF は、ソフトウエアで TSG2nSTC.TSG2nPPR に “1” をライトしクリア ”0” されるまで “1” を保持しています。位相差異検出時、TSG2nPPF は動作クロック（PCLK）ごとにセットされます。位相差異の発生しないタイミングで TSG2nPPF をクリア “0” してください。

表 24.43 正常な入力パタンと出力パタンの対応表

TAPTSn2-TAPTSn0 端子（入力）	“1,0,1”	“1,0,0”	“1,1,0”	“0,1,0”	“0,1,1”	“0,0,1”
TSG2nOPF2-TSG2nOPF0 フラグ（出力）	“0,0,1” “1,0,1” “1,0,0”	“1,0,1” “1,0,0” “1,1,0”	“1,0,0” “1,1,0” “0,1,0”	“1,1,0” “0,1,0” “0,1,1”	“0,1,0” “0,1,1” “0,0,1”	“0,1,1” “0,0,1” “1,0,1”

動作例

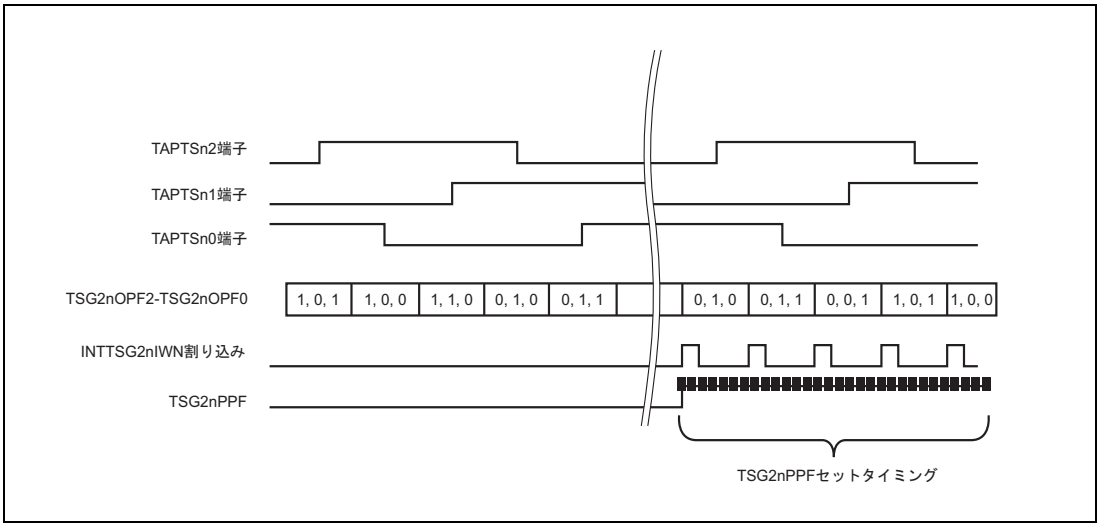


図 24.29 パタン位相差異検出フラグ動作例

動作モード

全ての動作モードで使用できます。

注 意

1. **TSG2nPPF は、TSG2nCTL1.TSG2nPPC = 1 かつ TSG2nSTR0.TSG2nTE = 1 のときにのみ有効です。**
2. **TAPTSn2-TAPTSn0 端子入力に “000”、“111” が入力されている場合、もしくは TSG2nOPF2-TSG2nOPF0 が “000”、“111” の場合 TSG2nPPF はセットされません。**

24.7.9 タイマ出力パタンフラグ（TSG2nOPF2-TSG2nOPF0）

名称

タイマ出力パタンフラグ（TSG2nSTR1.TSG2nOPF2-TSG2nOPF0）

説明

TSG2nOPF2-TSG2nOPF0 フラグは、タイマ出力パタンを示すフラグです。

動作モード

全ての動作モードで使用できます。

24.7.10 パタン切り替え検出信号（TSG2nPTE）

名称

パタン切り替え検出信号（TSG2nPTE 信号）

説明

TSG2nPTE 信号は、入力パタン（TAPTSn2-TAPTSn0 端子）が変化したタイミングでトグルします。

トグルパタンは TSG2nPSC ビット（TSG2nOPT0.TSG2nPSS = “1”）によって決定されます。

- TSG2nPSC = 0

		変化後の TAPTSn2-TAPTSn0 端子							
		000	111	101	100	110	010	011	001
現在の TAPTSn2-TAPTSn0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	—
	100	—	—	—	—	トグル	—	—	—
	110	—	—	—	—	—	トグル	—	—
	010	—	—	—	—	—	—	トグル	—
	011	—	—	—	—	—	—	—	トグル
	001	—	—	トグル	—	—	—	—	—

- TSG2nPSC = 1

		変化後の TAPTSn2-TAPTSn0 端子							
		000	111	101	100	110	010	011	001
現在の TAPTSn2-TAPTSn0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	—	—	—	—	トグル
	100	—	—	トグル	—	—	—	—	—
	110	—	—	—	トグル	—	—	—	—
	010	—	—	—	—	トグル	—	—	—
	011	—	—	—	—	—	トグル	—	—
	001	—	—	—	—	—	—	トグル	—

動作例

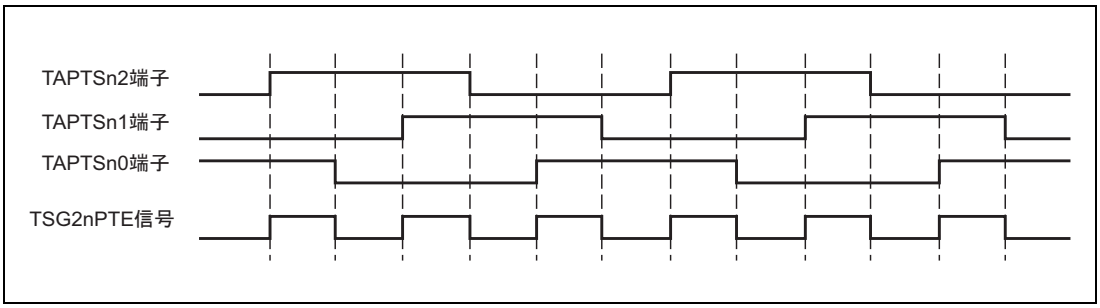


図 24.30　パタン切り替え検出信号動作例

24.8　割り込み間引き機能

- 割り込み間引き機能に関する動作を次に示します。
- 間引き対象割り込みは、山割り込み（INTTSG2nIPEK）と谷割り込み（INTTSG2nIVLY）です。
- TSG2nCTL4.TSG2nPIE で、INTTSG2nIPEK 割り込みの出力許可と間引きカウント対象指定を行います。
- TSG2nCTL4.TSG2nVIE で、INTTSG2nIVLY 割り込みの出力許可と間引きカウント対象指定を行います。

TSG2nCTL3.TSG2nRIA = 1（リロード間引きあり）した場合は、間引き後の割り込みと同タイミングでリロードタイミングを発生します。TSG2nCTL3.TSG2nRIA = 0（リロード間引きなし）に指定した場合は、割り込み間引きとは関係なく設定したリロードタイミングにてリロードを発生します。

注　意

TSG2nCTL4 レジスタにライトアクセスし、TSG2nRCC04-TSG2nRCC00 がバッファレジスタに転送されると、割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は、一時的に割り込み間隔が長くなることがあります。これを避けるためには、割り込み間引きに同調したリロードタイミングの設定（TSG2nCTL3.TSG2nRIA = 1）にして、割り込み間引き数の変更を行ってください。

24.8.1 割り込み間引き機能の動作

(1) TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 1 での割り込み間引き動作（HT-PWM モード時の山／谷割り込み発生）

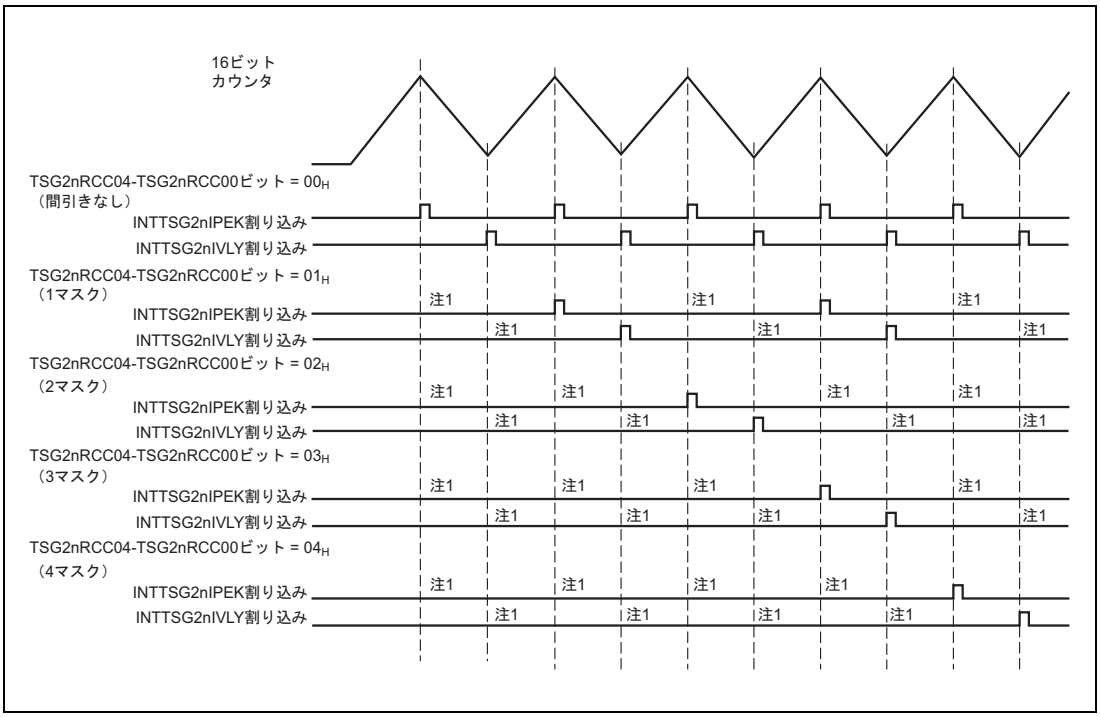


図 24.31 TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 1（HT-PWM モード時の山／谷割り込み発生）の場合

注 1. 間引きされた割り込み要求

(2) TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 0 での割り込み間引き動作（HT-PWM モード時の山割り込みのみ発生）

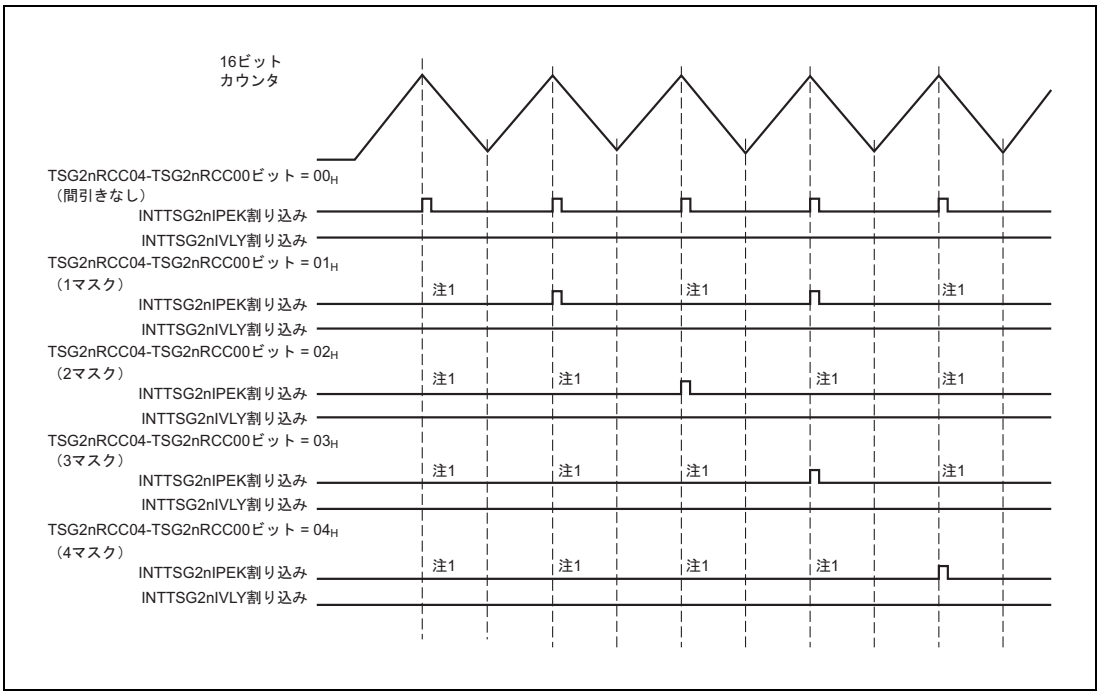


図 24.32　TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 0（HT-PWM モード時の山割り込みのみ発生）の場合

注 1.　間引きされた割り込み要求

(3) TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1 での割り込み間引き動作（HT-PWM モード時の谷割り込みのみ発生）

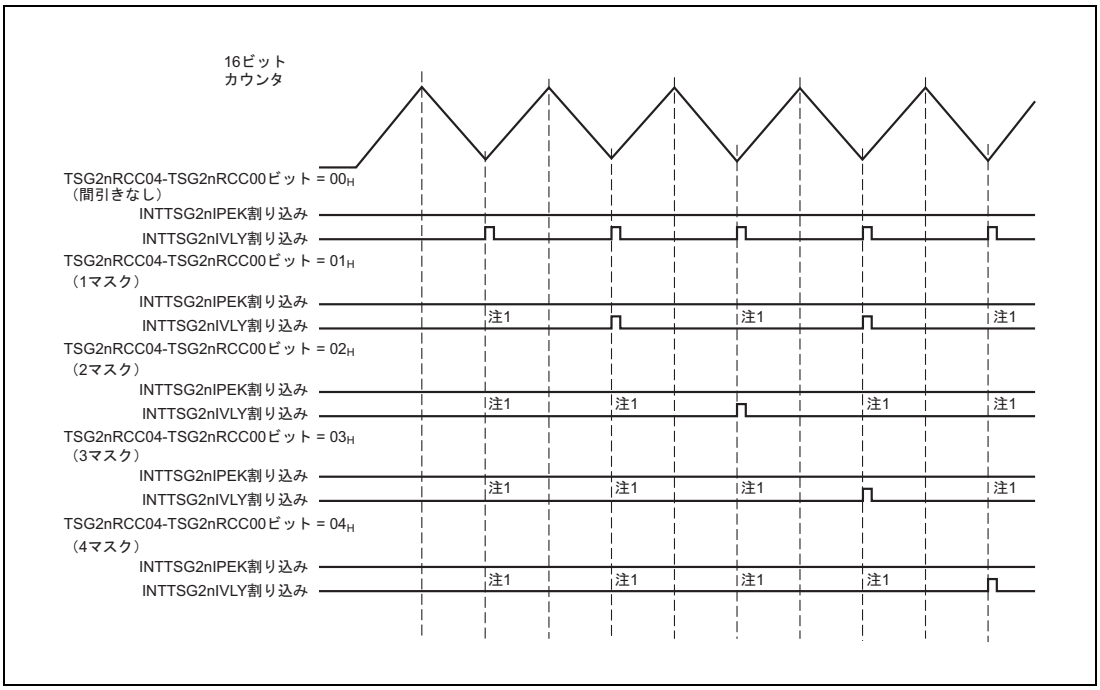


図 24.33 TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1（HT-PWM モード時の谷割り込みのみ発生）の場合

注 1. 間引きされた割り込み要求

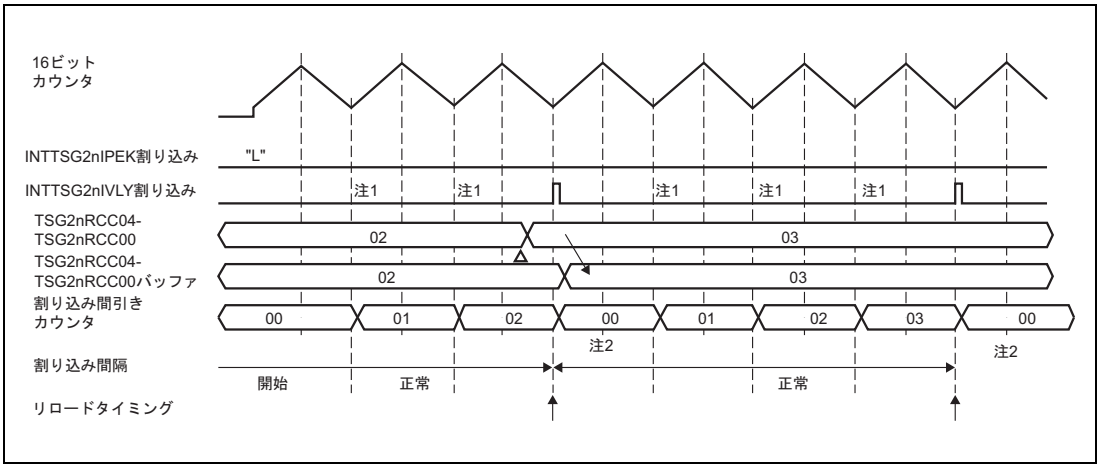


図 24.34 TSG2nCTL3 レジスタの TSG2nRMC = 0、TSG2nRIA = 1（リロード間引きあり）の場合

注 1. 間引きされた割り込み要求
注 2. 割り込み間引きカウンタクリア

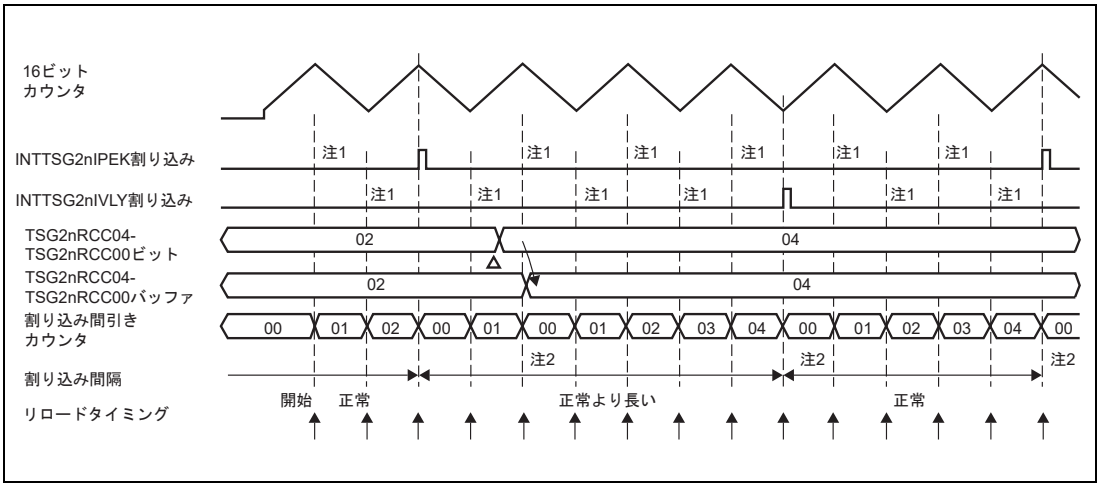


図 24.35 TSG2nCTL3 レジスタの TSG2nRMC = 0、TSG2nRIA ビット = 0（リロード間引きなし）の場合

注 1. 間引きされた割り込み要求
注 2. 割り込み間引きカウンタクリア

注 意

割り込み間隔が長くなる場合があります。

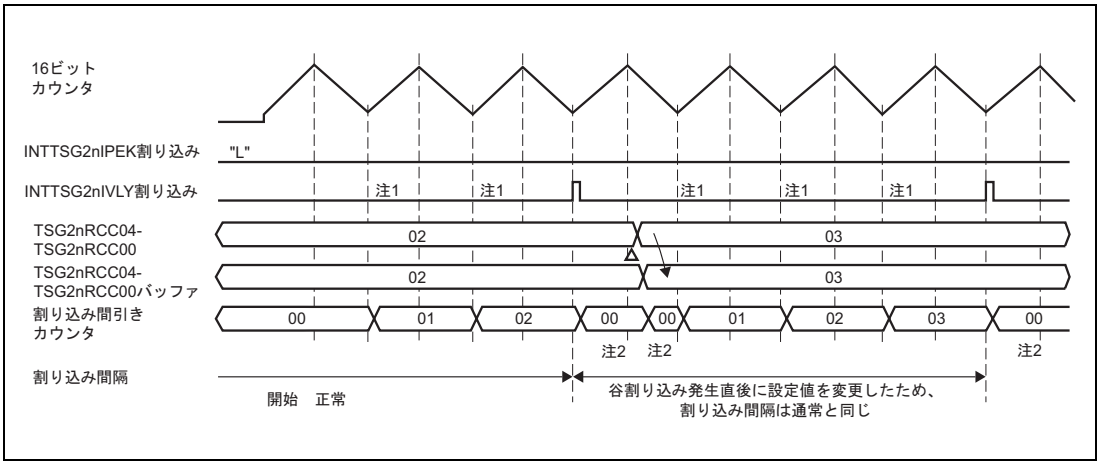


図 24.36　TSG2nCTL3 レジスタの TSG2nRMC = 1（随時書き換えモード）の場合

注 1.　間引きされた割り込み要求
注 2.　割り込み間引きカウンタクリア

注　意

割り込み間隔が長くなる場合があります。

備　考

書き換え後、リロードタイミングは無視して値が直ちに反映されます。

割り込み間引きカウンタのクリアタイミングはレジスタ書き換え時ではなく、TSG2nRCC04-TSG2nRCC00 バッファへの転送時です。

24.8.2 山割り込みを発生する場合の動作例（PWM モード時）

PWM モード時の割り込み間引き機能に関する動作を次に示します。

- 間引き対象割り込みは、山割り込み（INTTSG2nIPEK）です。PWM モード動作時は TSG2nCMP0 バッファレジスタと 16 ビットカウンタのコンペア一致で発生します。
- TSG2nCTL4.TSG2nPIE で、INTTSG2nIPEK 割り込みの発生許可と間引きカウント対象指定を行います。
- TSG2nCTL4.TSG2nVIE の設定は無効となります。このとき、INTTSG2nIVLY 割り込みは発生しません。

TSG2nCTL3.TSG2nRIA = 1（リロード間引きあり）に指定した場合は、間引き後の割り込みと同タイミングでリロードタイミングを発生します。

注 意

TSG2nCTL4 レジスタにライトアクセスし、TSG2nRCC04-TSG2nRCC00 がバッファレジスタに転送されると、割り込み間引きカウンタがクリアされます。このため割り込み間引き機能を使用している場合は、一時的に割り込み間隔が長くなることがあります。これを避けるためには、割り込み間引きに同調したリロードタイミングの設定（TSG2nCTL3.TSG2nRIA = 1）にして、割り込み間引き数の変更を行ってください。

（1）動作例

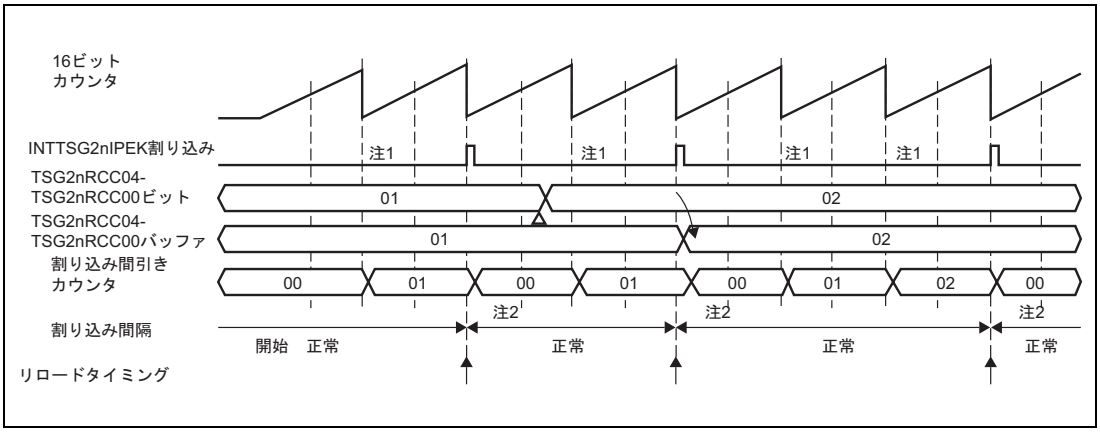


図 24.37 TSG2nCTL3.TSG2nRMC = 0、TSG2nRIA = 1、TSG2nCTL4.TSG2nPRE = 1 の場合（推奨設定）

注 1. 間引きされた割り込み要求
注 2. 割り込み間引きカウンタクリア

備 考

TSG2nCTL3.TSG2nRIA = 1 の時、間引きされた割り込みと同じタイミングでリロードタイミングが発生します。

24.9 A/D 変換トリガ機能

A/D 変換トリガの動作に関して説明します。

TSG2nDCMP0W、TSG2nDCMP2 レジスタは A/D 変換トリガ機能のコンペアレジスタとして使用します。

24.9.1 A/D 変換トリガの動作

TSG2n には、10 個のトリガソースを自由に選択して、A/D の変換開始トリガ（TSTADT0、TSTADT1 信号）を生成する機能があります。トリガソースの選択は、TSG2nCTL5 レジスタの TSG2nAT09-TSG2nAT00、TSG2nCTL6 レジスタの TSG2nAT19-TSG2nAT10 で指定します。

(1) TSTADT0/TSTADT1 信号の出力制御（TSG2nCTL5、TSG2nCTL6 レジスタ）

【トリガソース】

- TSG2nAT00/TSG2nAT10 = 1：
  谷割り込み（INTTSG2nIVLY）発生時に A/D 変換トリガを発生
- TSG2nAT01/TSG2nAT11 = 1：
  山割り込み（INTTSG2nIPEK）発生時に A/D 変換トリガを発生
- TSG2nAT02/TSG2nAT12 = 1：
  16 ビットカウンタのアップカウント時、TSG2nDCMP0 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT03/TSG2nAT13 = 1：
  16 ビットカウンタのダウンカウント時、TSG2nDCMP0 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT04/TSG2nAT14 = 1：
  16 ビットカウンタのアップカウント時、TSG2nDCMP1 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT05/TSG2nAT15 = 1：
  16 ビットカウンタのダウンカウント時、TSG2nDCMP1 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT06/TSG2nAT16 = 1：
  16 ビットカウンタのアップカウント時、TSG2nDCMP2 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT07/TSG2nAT17 = 1：
  16 ビットカウンタのダウンカウント時、TSG2nDCMP2 コンペア一致発生で A/D 変換トリガを発生許可
- TSG2nAT08/TSG2nAT18 = 1：
  16 ビットサブカウンタの谷タイミング（ダウンからアップへの切り替わり時、A/D 変換トリガを発生許可
- TSG2nAT09/TSG2nAT19 = 1：
  16 ビットサブカウンタの山タイミング（アップからダウンへの切り替わり）時、A/D 変換トリガを発生許可

【間引き設定】

- TSG2nACC01、TSG2nACC00 ／ TSG2nACC11、TSG2nACC10：
  TSTADT0/TSTADT1 信号の間引き設定

TSG2nAT09-TSG2nAT00/TSG2nAT19-TSG2nAT10 により選択された A/D 変換トリガは全て論理和（OR）され、その信号は、TSG2nACC01、TSG2nACC00/TSG2nACC11、TSG2nACC10 で設定した間引き制御の後、TSTADT0/TSTADT1 信号が生成されます。

また、TSG2nAT00、TSG2nAT01/TSG2nAT10、TSG2nAT11 によって選択される山割り込み（INTTSG2nIPEK）、谷割り込み（INTTSG2nIVLY）は、割り込み間引き後の信号となります。したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル（TSG2nCTL4.TSG2nPIE、TSG2nVIE）を許可にしていない場合は、A/D 変換トリガも出力されません。

また、TSG2nACC01、TSG2nACC00、TSG2nAT09-TSG2nAT00/TSG2nACC11、TSG2nACC10、TSG2nAT19-TSG2nAT10 は、タイマ動作中の書き換えが可能です。

動作中に A/D 変換トリガの設定ビットを書き換えると、即時に A/D 変換トリガの出力状態に反映されます。これらの制御ビットは、動作モードにかかわらず、随時書き換えとなります。また、TSG2nCTL5、TSG2nCTL6 レジスタにライトアクセス（同値書き換え含む）をした場合は、A/D 変換トリガの間引きカウンタはクリアされ 0 からのカウントを開始します。

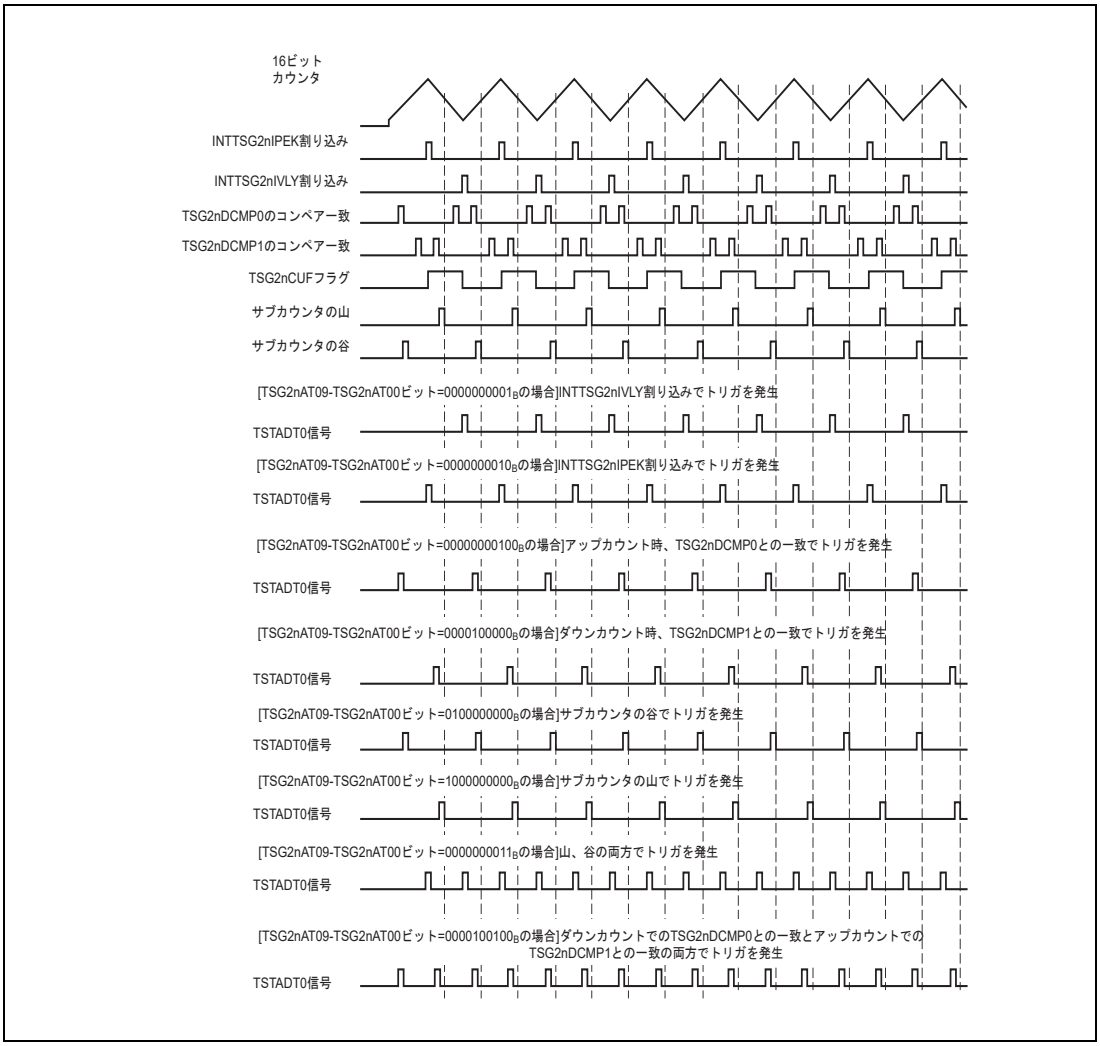


図 24.38　TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 1、TSG2nRCC04-TSG2nRCC00 = 00_B、TSG2nCTL5 レジスタの TSG2nACC01、TSG2nACC00 = 00_B の場合（HT-PWM モード）

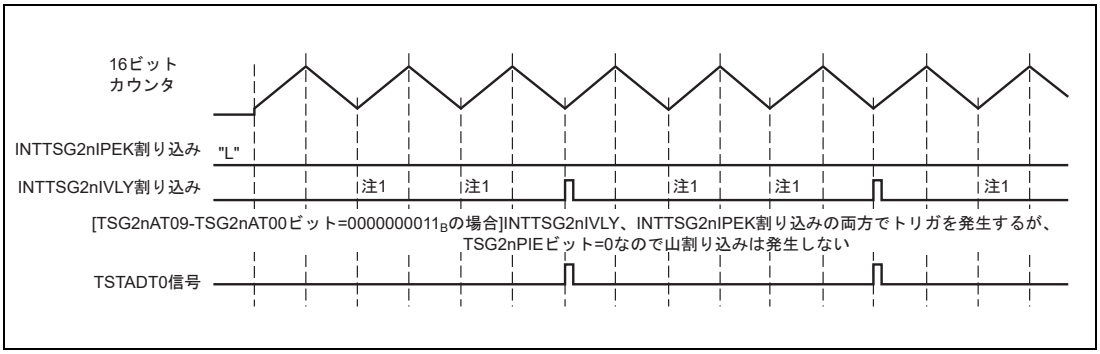


図 24.39　TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1、TSG2nRCC04-TSG2nRCC00 = 02_B、TSG2nCTL5 レジスタの TSG2nACC01、TSG2nACC00 = 00_B の場合（HT-PWM モード）

注 1.　間引きされた割り込み要求

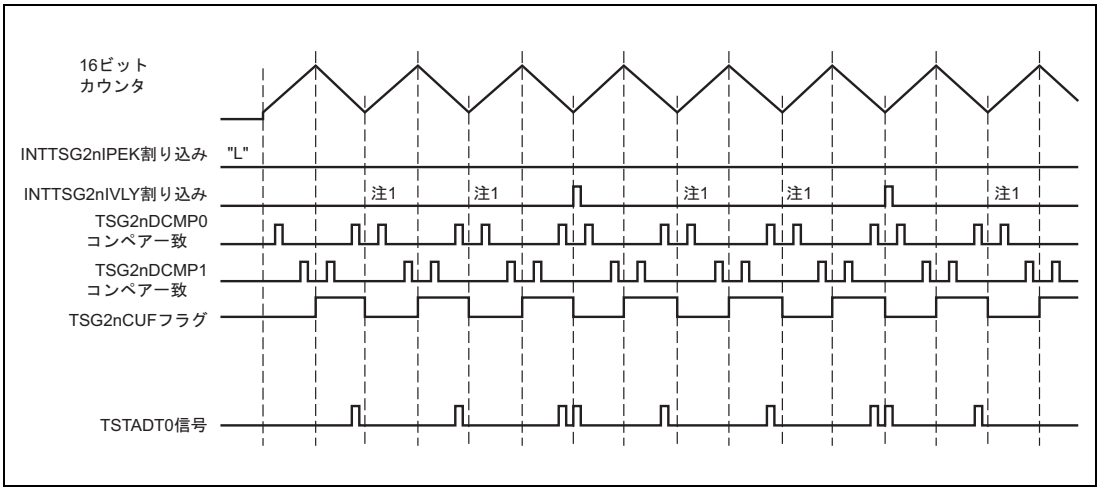


図 24.40　TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1、TSG2nRCC04-TSG2nRCC00 = 02_B、TSG2nCTL5 レジスタの TSG2nACC01、TSG2nACC00 = 00_B、TSG2nAT09-TSG2nAT00 = 00001001_B の場合（HT-PWM モード）

注 1.　間引きされた割り込み要求

(2) A/D 変換トリガ間引き機能

A/D 変換トリガの間引き機能の動作例を次に示します。

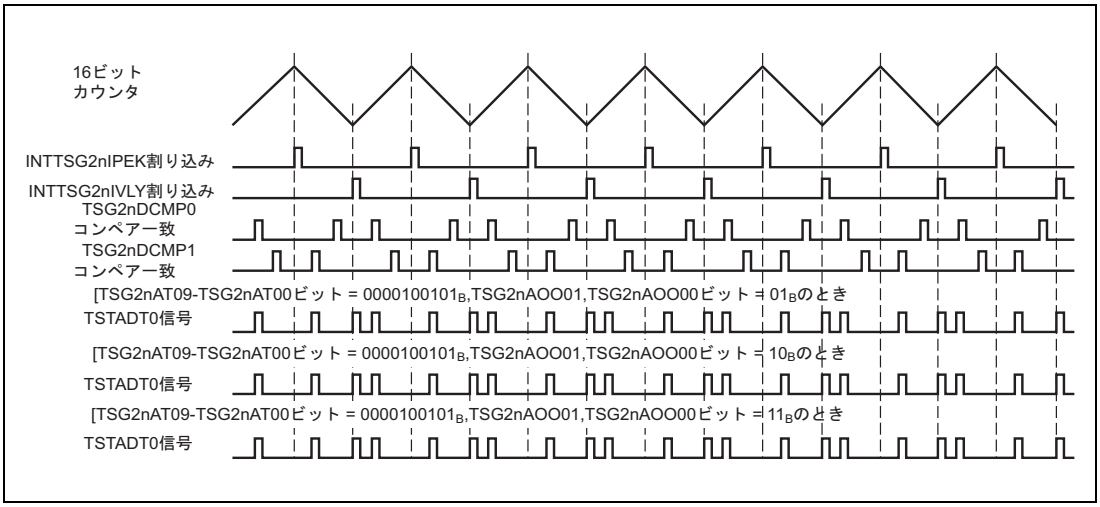


図 24.41　A/D 変換トリガの間引き機能の動作例

備　考

破線は A/D 変換トリガ間引き機能により間引きされた A/D 変換トリガ

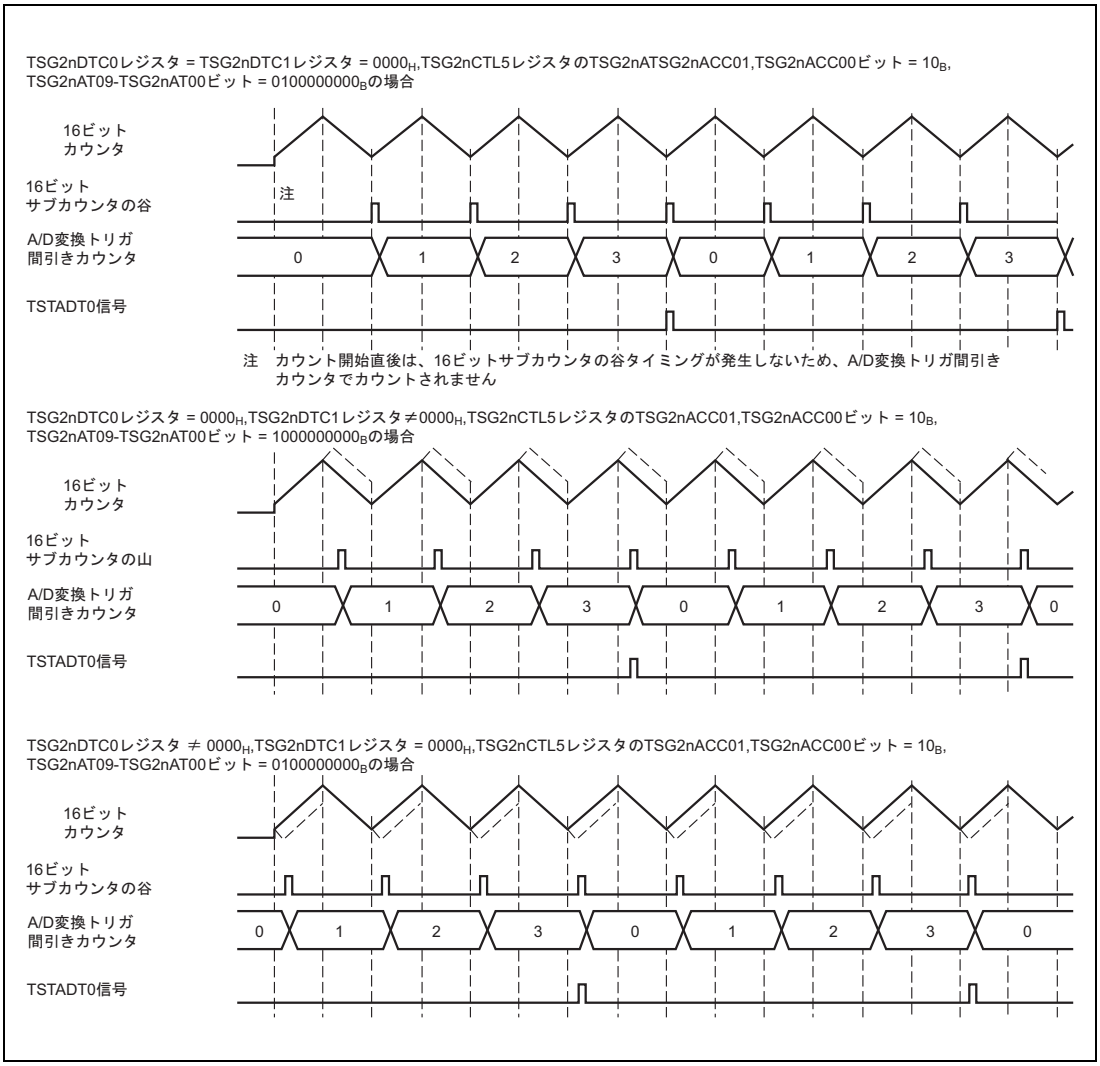


図 24.42　A/D 変換トリガの間引き機能の動作例

(3) A/D 変換トリガに関する注意事項

- TSG2nDCMP0 レジスタと、TSG2nDCMP1 レジスタもしくは、TSG2nDCMP2 レジスタに同値をライトアクセスし、有効な A/D 変換トリガを同じ条件（16 ビットカウンタのアップ／ダウンカウント時）に設定した場合、A/D 変換トリガ間引きカウンタには 1 回としてカウントされます。また出力するトリガも 1 パルスです。
- PWM モード、SP-PWM モード、120-DC モードにおいて、谷割り込み（INTTSG2nIVLY）は発生しません。山割り込み（INTTSG2nIPEK）のみ有効となります。
- 120-DC モードにおいて、16 ビットカウンタが出力パタンの切り替えにより、搬送周期未満でクリアされたとき、TSG2nDCMP2-0 と 16 ビットカウンタの一致、山割り込み（INTTSG2nIPEK）が発生しない場合は、A/D 変換トリガが発生しません。

24.10 エラー／ワーニング割り込み

24.10.1 エラー割り込み機能

エラー割り込み機能を許可（TSG2nIOC1.TSG2nEOC = 1）後、正相／逆相同時アクティブを検出した場合、TSG2nSTR2.TSG2nTBF がセットされ、TSG2n のエラー割り込み（INTTSG2nIER）が発生します。TSG2nCTL1.TSG2nTBA2-TSG2nTBA0 で各相（TSOn1/TSOn2、TSOn3/TSOn4、TSOn5/TSOn6 端子）のエラー検出あり／なしを選択できます。

エラー発生時には、TSOn1 ～ TSOn6 端子出力をハイインピーダンスにすることが可能です。

次に、モードごとに正相／逆相同時アクティブ検出の可否を示します。

モード	正相／逆相同時アクティブ検出
PWM モード	○
HT-PWM モード	○
SP-PWM モード	○
120-DC モード	○

備考　○：エラー検出可能、×：エラー検出不可

注　意

エラー割り込みが発生した場合、エラー割り込み処理内でエラー状態を解除してください。エラー状態を解除しない場合、以降のエラー割り込みは発生しません。

(1) PWM モード、120-DC モードの場合

PWM モード時、TSOn1 端子と TSOn2 端子が同時にアクティブレベルを出力するように TSG2nCMP1、TSG2nCMP2 レジスタと TSG2nCMP3、TSG2nCMP4 レジスタを設定した場合、エラー割り込み（INTTSG2nIER）が発生します。同様に、TSOn3 端子と TSOn4 端子および TSOn5 端子と TSOn6 端子が同時にアクティブレベルを出力するように TSG2nCMP5、TSG2nCMP6、TSG2nCMP7、TSG2nCMP8、TSG2nCMP9、TSG2nCMP10、TSG2nCMP11、TSG2nCMP12 レジスタを設定した場合も、エラー割り込み（INTTSG2nIER）が発生します。

120-DC モード時、TSOn1 端子と TSOn2 端子が同時にアクティブレベルを出力するように TSG2nCMP1、TSG2nCMP2、TSG2nCMP5、TSG2nCMP6、TSG2nCMP9、TSG2nCMP10 レジスタと TSG2nCMP3、TSG2nCMP4、TSG2nCMP7、TSG2nCMP8、TSG2nCMP11、TSG2nCMP12 レジスタ、TSG2nPAT0W と TSG2nPAT1W を設定した場合、エラー割り込み（INTTSG2nIER）が発生します。また、同様に設定したとき、TSOn3 端子と TSOn4 端子、TSOn5 端子と TSOn6 端子も同時にアクティブレベルを出力し、エラー割り込み（INTTSG2nIER）が発生します。

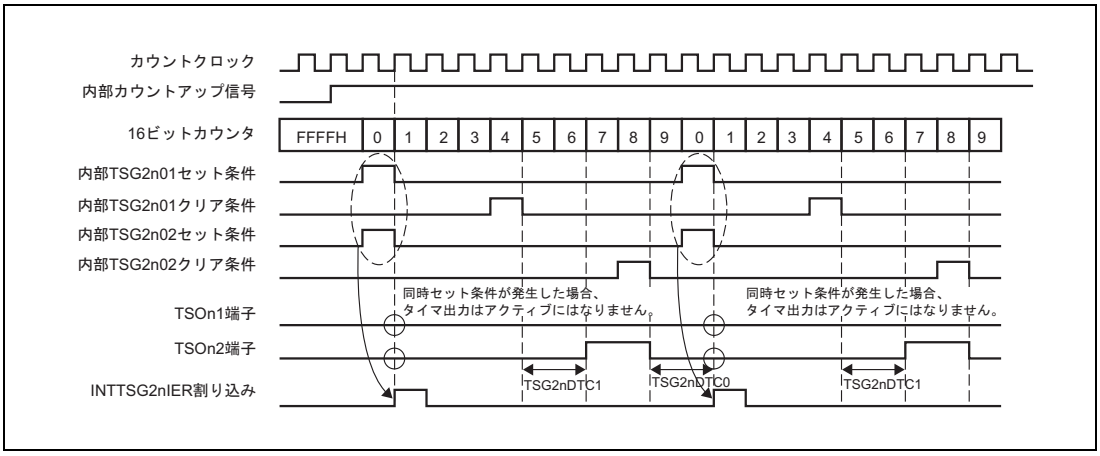


図 24.43 エラー割り込み（INTTSG2nIER）発生例（PWM モード時）

備 考

TSOn3 端子と TSOn4 端子、TSOn5 端子と TSOn6 端子も同様です。

TSG2nIOC2.TSG2nOL1、TSG2nOL2 を操作して、出力のアクティブレベルを切り替えた場合は、次のようになります。

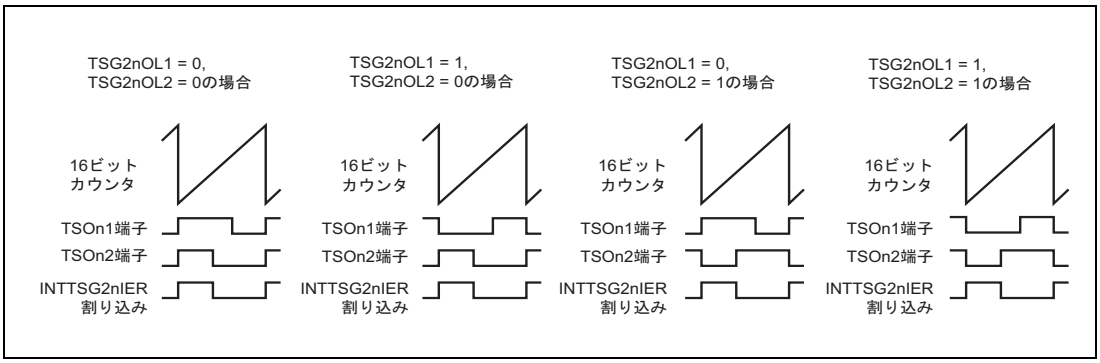


図 24.44 アクティブレベルごとのエラー割り込み（INTTSG2nIER）発生例

(2) HT-PWM モード、SP-PWM モードの場合

TSG2n デッドタイム設定レジスタ 0、1（TSG2nDTC0、TSG2nDTC1）のいずれかが 0000_H の場合、エラーが発生する可能性があります。

備　考

デッドタイム制御機能を使用（TSG2nDTC0、TSG2nDTC1 のいずれも 0000_H 以外）時にエラーが発生した場合は、内部回路の故障が考えられます。

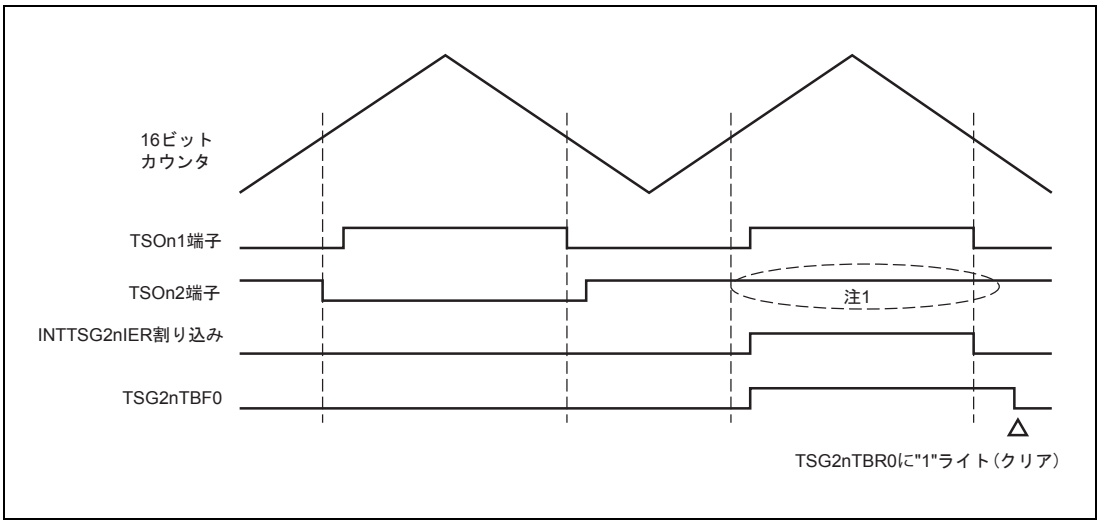


図 24.45　エラー割り込み動作例

注 1. TSOn2 端子制御回路に故障発生

24.10.2　ワーニング割り込み機能

TSG2n には、ワーニング割り込み（INTTSG2nIWN）があります。

ワーニング割り込み（INTTSG2nIWN）は、次のいずれかの条件を検出した場合に発生します。

詳細は**「24.7　フラグ」**を参照してください。

- TAPTSn2-TAPTSn0 端子に関して、2 端子以上の同時変化を検出した場合
  「24.7.4　ノイズ検出フラグ（TSG2nNDF）」を参照
- TAPTSn2-TAPTSn0 端子に関して、反転を検出した場合
  「24.7.7　パタン反転検出フラグ（TSG2nPRF）」を参照
- TAPTSn2-TAPTSn0 端子に関して “000”、“111” を検出した場合
  「**24.7.6　パタンエラー検出フラグ（TSG2nPEF）**」を参照
- 入力パタン（TAPTSn2-TAPTSn0 端子）と出力パタン（TSG2nOPF2-TSG2nOPF0）の位相関係がずれた場合
  「24.7.8　パタン位相差異検出フラグ（TSG2nPPF）」を参照

24.11 各モードの動作

表 24.44 モード一覧

TSG2nCTL0 レジスタ		タイマ・モード
TSG2nMD1	TSG2nMD0	
0	0	PWM モード
0	1	HT-PWM モード（HT-PWM）
1	0	シフト・パルス PWM モード（SP-PWM）
1	1	120-DC モード

24.11.1 PWM モード

概要

TSG2nCMP0 レジスタの PWM 周期、TSG2nCMP1-TSG2nCMP12 のセット・タイミング／クリア・タイミングにより、PWM を TSOn1-TSOn6 端子から出力します。

前提条件

- 偶数番号のコンペア・レジスタにセット・タイミングを設定。
  TSG2nCMP2（TSOn1 端子のセット・タイミング）、TSG2nCMP4（TSOn2 端子のセット・タイミング）、TSG2nCMP6（TSOn3 端子のセット・タイミング）、TSG2nCMP8（TSOn4 端子のセット・タイミング）、TSG2nCMP10（TSOn5 端子のセット・タイミング）、TSG2nCMP12（TSOn6 端子のセット・タイミング）を設定。
- 奇数番号のコンペア・レジスタにクリア・タイミングを設定。
  TSG2nCMP1（TSOn1 端子のクリア・タイミング）、TSG2nCMP3（TSOn2 端子のクリア・タイミング）、TSG2nCMP5（TSOn3 端子のクリア・タイミング）、TSG2nCMP7（TSOn4 端子のクリア・タイミング）、TSG2nCMP9（TSOn5 端子のクリア・タイミング）、TSG2nCMP11（TSOn6 端子のクリア・タイミング）を設定

機能説明

PWM 周期を設定、TSOn1-TSOn6 端子出力のセット・タイミング／クリア・タイミングを設定。TSG2nTRG0.TSG2nTS = 1 にすると、カウント・アップを開始します。

カウント・アップ開始と同時に、TSOn1-TSOn6 端子はインアクティブ・レベルとなり、16 ビット・カウンタと TSG2nCMP2, TSG2nCMP4, TSG2nCMP6, TSG2nCMP8, TSG2nCMP10, TSG2nCMP12 のバッファ・レジスタの一致によりアクティブ・レベルとなります。

次に TSG2nCMP1, TSG2nCMP3, TSG2nCMP5, TSG2nCMP7, TSG2nCMP9, TSG2nCMP11 のバッファ・レジスタとの一致により TSOn1-TSOn6 端子はインアクティブ・レベルとなります。

カウント動作中、16 ビット・カウンタと TSG2nCMP0-TSG2nCMP12 のバッファ・レジスタの一致でコンペア一致割り込み（INTTSG2nI0-INTTSG2nI12）が発生します。

注 意

TSG2nCTL3.TSG2nRMC = 0 のとき，TSG2nCMP1 レジスタに書き込むとリロードが実行されます。したがって、TSG2nCMP0 レジスタの値だけ書き換えたい場合でも、TSG2nCMP1 レジスタは同値の書き込みを行う必要があります。TSG2nCMP0 レジスタだけ書き換えを行ってもリロードは行われません。

備 考

PWM モードは TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 00_B に設定したときに有効となります。

(1) タイマ動作中に TSG2nCMP0，TSG2nCMP1-TSG2nCMP12 レジスタの値を書き換えない場合

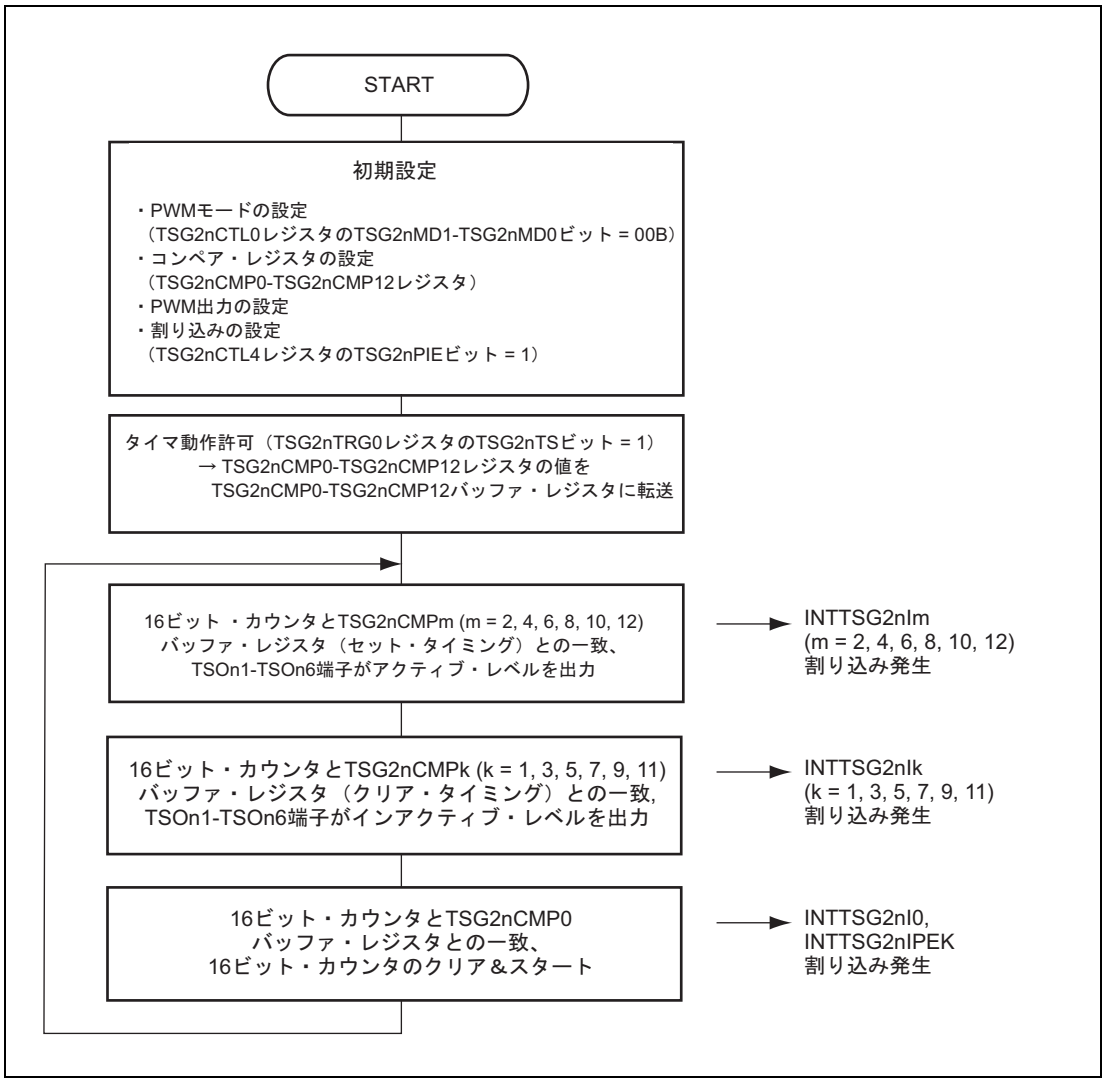
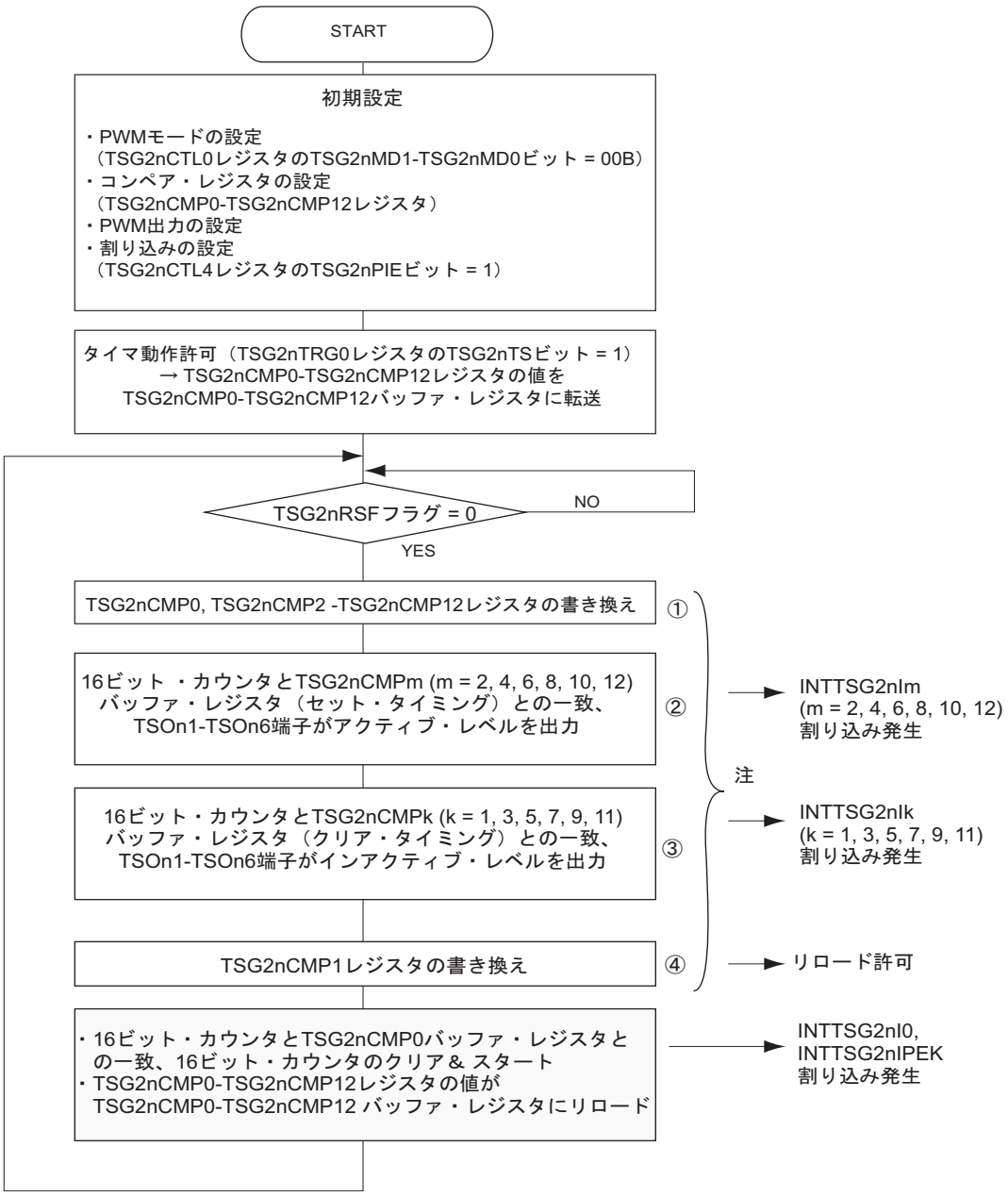


図 24.46 PWM モード時の基本動作フロー（1/2）

(2) タイマ動作中に TSG2nCMP0，TSG2nCMP1-TSG2nCMP12 レジスタの値を書き換える場合



注 1. 順番は，①，④の書き換えタイミング，TSG2nCMP1 レジスタの値などにより②，③のタイミングが異なる場合がありますが，①と④では必ず④を最後にしてください。

図 24.47 PWM モード時の基本動作フロー（2/2）

注 意

コンペア・レジスタの書き換え前に、リロード要求フラグ（TSG2nRSF）が “0” であることを確認してください。

24.11.1.1 PWM モード動作一覧

表 24.45 PWM モード：カウンタ機能

動作		設定条件
16 ビット・カウンタ	スタート	TSG2nTRG0.TSG2nTS = 0 → 1 または、同時スタート・トリガ
	クリア	TSG2nCMP0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致
	停止	TSG2nTRG1.TSG2nTT = 0 → 1

表 24.46 PWM モード：コンペア・レジスタ，デッド・タイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG2nCMP0	リロード／随時書き換え	可能	周期
TSG2nCMPm（m = 1 ～ 12）	リロード／随時書き換え	可能	セット／ クリア・タイミング
TSG2nDCMP0W, TSG2nDCMP2	リロード／随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG2nDTC0, TSG2nDTC1	リロード	可能[注 1]	デッド・タイム

注 1.　詳細は「**24.11.1.3　PWM モード時のデッド・タイム制御**」を参照してください。

表 24.47 PWM モード：タイマ出力機能

端子	機能
TSOnm（m = 1 ～ 6）	TSG2nCMPk バッファ・レジスタと 16 ビット・カウンタのコンペアー致による PWM 出力（k = 1 ～ 12）
TSOn7	ダイアグ出力、もしくは，A/D 変換トリガによるパルス出力

表 24.48 PWM モード：割り込み要求

割り込み	機能
INTTSG2nIm（m = 0 ～ 12）	TSG2nCMPm バッファ・レジスタと 16 ビット・カウンタのコンペアー致 （m = 0 ～ 12）
INTTSG2nIER	エラー（TSOn1, TSOn2 または、TSOn3, TSOn4 または、TSOn5, TSOn6 の同時アクティブ検出）
INTTSG2nIVLY	—
INTTSG2nIPEK	山割り込み（INTTSG2nI0 と同時に発生）
INTTSG2nIWN	ワーニング

備考　“—” は、PWM モードで使用しない機能を示します。

表 24.49 PWM モード：コンペアー致タイミング

コンペアー致	タイミング
TSG2nCMP0	16 ビット・カウンタが TSG2nCMP0 → 0000_H へ切り替わるとき
TSG2nCMPm（m = 1 ～ 12）	16 ビット・カウンタと TSG2nCMPm の一致検出後（m = 1 ～ 12）

表 24.50 PWM モード：タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSOnm （m = 1 ～ 6）	PWM 出力	（TSG2nCMP0 ＋ 1）× カウント・クロック	1 周期の期間内すべてインアクティブ・レベル出力（デューティ 0%）	TSG2nCMPm = TSG2nCMP(m+1) もしくは TSG2nCMP(m+1) > TSG2nCMP0 （m = 1, 3, 5, 7, 9, 11）
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TSG2nCMPm = TSG2nCMP(m+1) + 1 TSG2nCMP(m+1) = TSG2nCMPm – 1 （m = 1, 3, 5, 7, 9, 11）
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TSG2nCMPm = TSG2nCMP(m+1) – 1 TSG2nCMP(m+1) = TSG2nCMPm + 1 （m = 1, 3, 5, 7, 9, 11）
			1 周期の期間内全てアクティブ・レベル出力（デューティ 100%）	TSG2nCMPm > TSG2nCMP0 TSG2nCMP(m+1) ≦ TSG2nCMP0 （m = 1, 3, 5, 7, 9, 11）

TSG2nCMP2 のみの値書き換え、TSOn1 端子出力ありの場合
（TSG2nIOC0.TSG2nTOE1 = 1, TSG2nIOC2.TSG2nOL1 = 0）

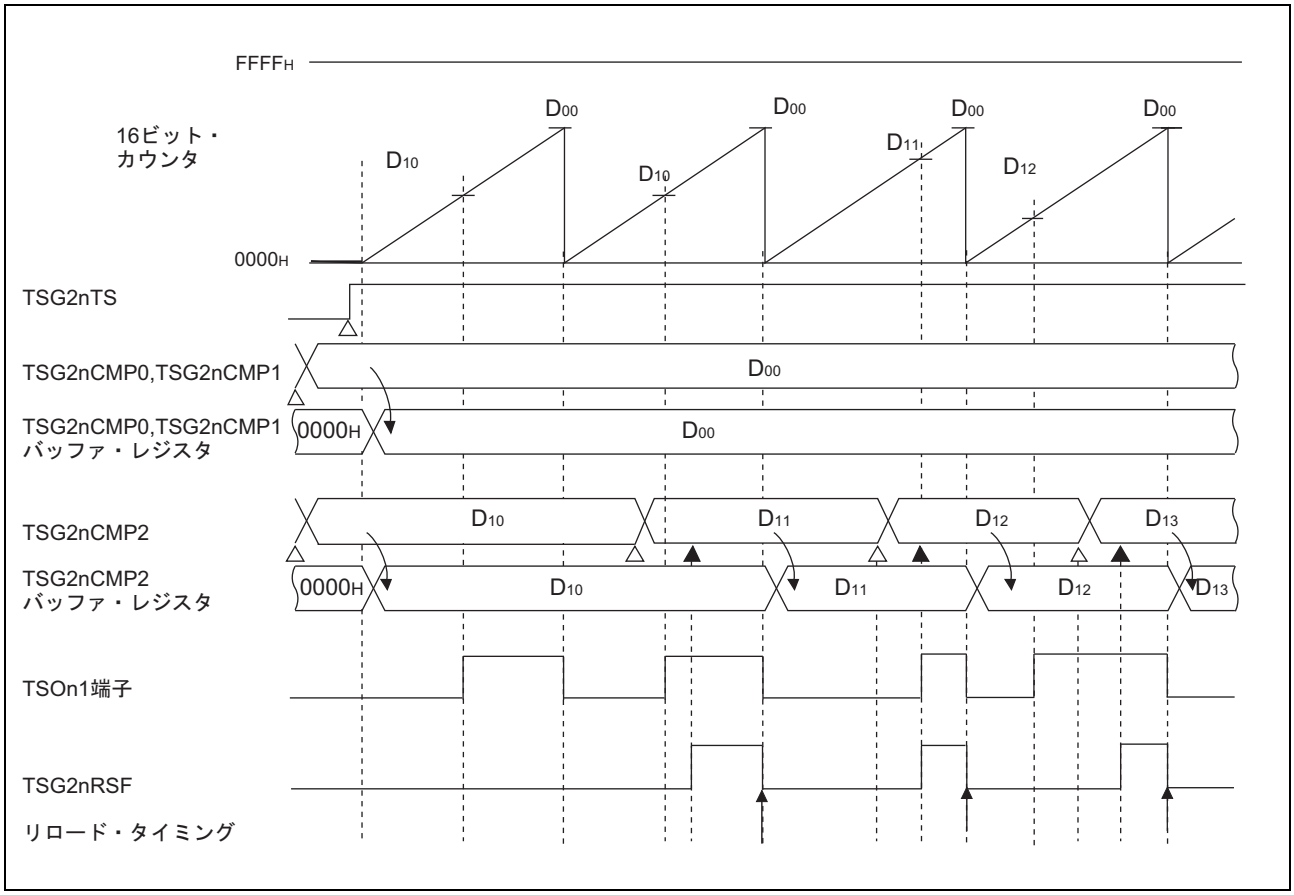
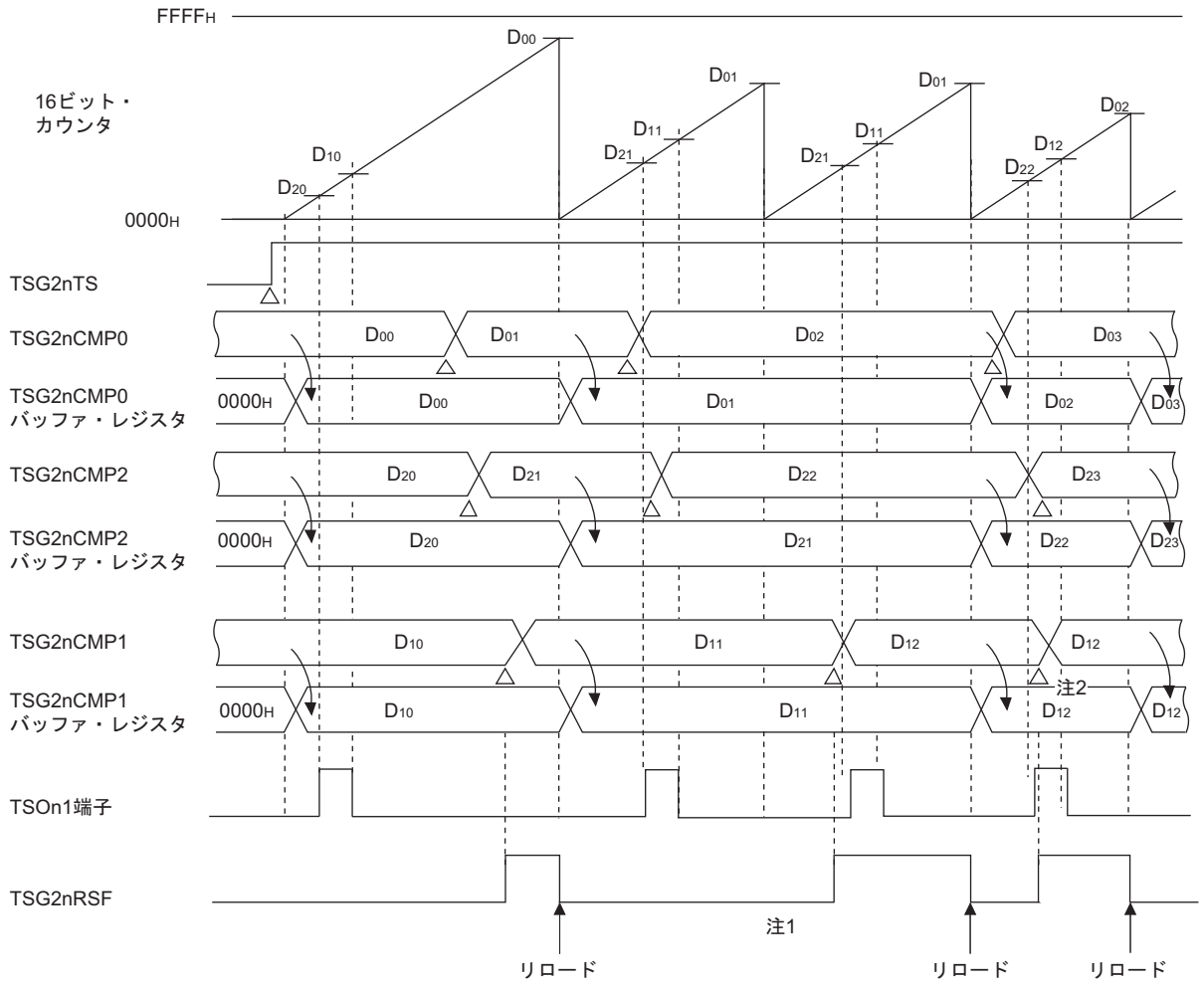


図 24.48　PWM モード時の基本動作タイミング例（1/2）

備　考

1. D00：TSG2nCMP0, TSG2nCMP1 の設定値（0000_H – $FFFF_H$）
   D10，D11，D12，D13：TSG2nCMP2 の設定値（0000_H-$FFFF_H$）
2. TSOn1 端子（PWM）デューティ =
   （TSG2nCMP1 – TSG2nCMP2）×（カウント・クロック周期）
   TSOn1 端子（PWM）周期 =
   （TSG2nCMP0 レジスタの設定値 +1）×（カウント・クロック周期）
3. TSOn2-TSOn6 端子は、TSOn1 端子と同機能です。
4. △：ライト・アクセス
5. ▲：TSG2nCMP1 ライト・アクセス（同値）

TSG2nCMP0-TSG2nCMP2 レジスタの値書き換え、TSOn1 端子出力ありの場合
（TSG2nIOC0.TSG2nTOE1 = 1, TSG2nIOC2.TSG2nOL1 = 0）



注 1. TSG2nCMP1 レジスタの書き込みがなかったため、TSG2nCMP0 バッファ・レジスタへリロードされません。
注 2. 同値書き込み

図 24.49 PWM モード時の基本動作タイミング例（2/2）

備 考

1. D00, D01, D02, D03 ：TSG2nCMP0 レジスタの設定値（0000_H – $FFFF_H$）
   D10, D11, D12, D13 ：TSG2nCMP1 レジスタの設定値（0000_H – $FFFF_H$）
   D20, D21, D22, D23 ：TSG2nCMP2 レジスタの設定値（0000_H – $FFFF_H$）
2. TSOn2-TSOn6 端子は、TSOn1 端子と同機能です。
3. △：ライト・アクセス

24.11.1.2 PWM モード時のリロード／割り込み間引き機能

TSG2nCTL4.TSG2nPRE = 1, TSG2nPIE = 1, TSG2nRCC04-TSG2nRCC00, TSG2nCTL3.TSG2nRIA を設定することで、リロード間引き機能、割り込み間引き機能を使用できます。

TSG2nPRE = 1, TSG2nRCC04-TSG2nRCC00 を設定することで、割り込み間引き機能を使用できます。

24.11.1.3 PWM モード時のデッド・タイム制御

PWM モードでは、TSG2nDTC0, TSG2nDTC1 レジスタにデッド・タイム値を設定することで、デッド・タイム制御ができます。デッド・タイムは、TSOn1 端子と TSOn2 端子、TSOn3 端子と TSOn4 端子、TSOn5 端子と TSOn6 端子の切り替えタイミングで制御できます。

表 24.51 PWM モードにおけるデッド・タイム

切り替えタイミング	デッド・タイム
TSOn1 端子がハイ・レベルからロウ・レベルで TSOn2 端子がロウ・レベルからハイ・レベル	TSG2nDTC1 レジスタの値
TSOn2 端子がハイ・レベルからロウ・レベルで TSOn1 端子がロウ・レベルからハイ・レベル	TSG2nDTC0 レジスタの値
TSOn3 端子がハイ・レベルからロウ・レベルで TSOn4 端子がロウ・レベルからハイ・レベル	TSG2nDTC1 レジスタの値
TSOn4 端子がハイ・レベルからロウ・レベルで TSOn3 端子がロウ・レベルからハイ・レベル	TSG2nDTC0 レジスタの値
TSOn5 端子がハイ・レベルからロウ・レベルで TSOn6 端子がロウ・レベルからハイ・レベル	TSG2nDTC1 レジスタの値
TSOn6 端子がハイ・レベルからロウ・レベルで TSOn5 端子がロウ・レベルからハイ・レベル	TSG2nDTC0 レジスタの値

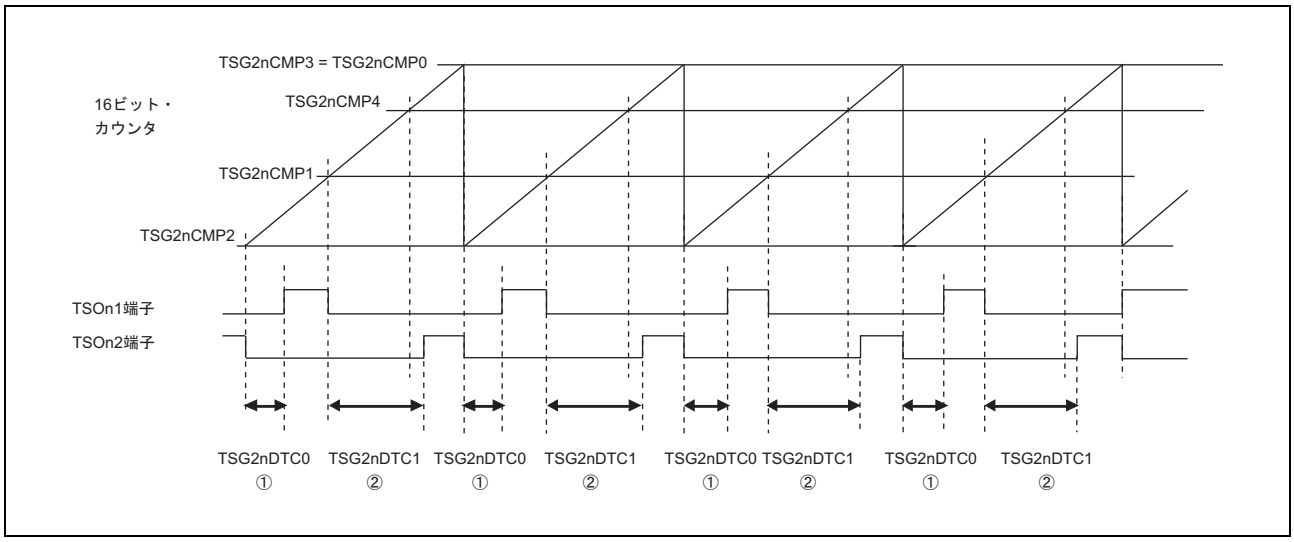


図 24.50　TSOn1 端子、TSOn2 端子間のデッド・タイム制御例（1/2）

①の箇所では、TSOn2 端子の立ち下がりからデッド・タイム・カウンタがスタートします。同時に、16 ビット・カウンタが 0000_H で TSOn1 端子がアクティブとなるタイミングでもデッド・タイム・カウンタが動作中のためインアクティブを継続し、デッド・タイム・カウント動作が終了したタイミングから TSOn1 端子がアクティブとなります。

②の箇所では、TSOn1 端子の立ち下がりからデッド・タイム・カウンタがスタートします。その後、16 ビット・カウンタと TSG2nCMP4 レジスタの一致で TSOn2 端子がアクティブとなるタイミングでもデッド・タイム・カウンタが動作中のためインアクティブを継続し、デッド・タイム・カウント動作が終了したタイミングから TSOn2 端子がアクティブとなります。

備　考

1. TSOn1，TSOn2 端子のアクティブ・レベルは、ハイ・レベル
2. TSOn3，TSOn4 端子、TSOn5，TSOn6 端子の場合も同様です。

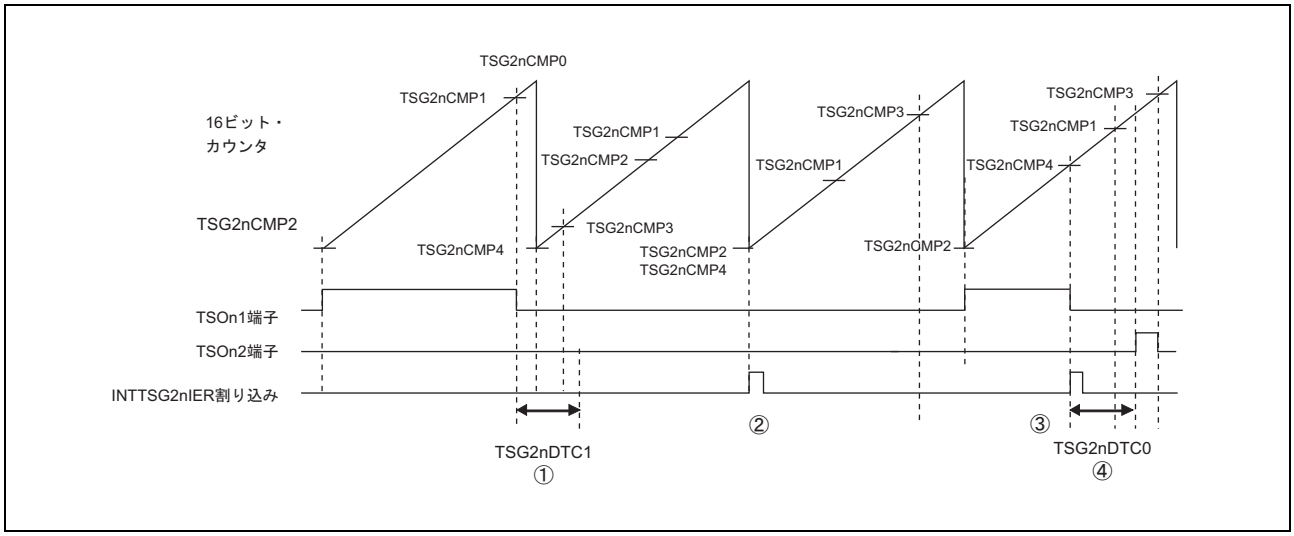


図 24.51 TSOn1 端子、TSOn2 端子間のデッド・タイム制御例（2/2）

①の箇所では、TSOn1 端子の立ち下がりからデッド・タイム・カウンタがスタートします。その後、16 ビット・カウンタが 0000_H で TSG2nCMP4 と一致し TSOn2 端子がアクティブとなるタイミングでもデッド・タイム・カウンタ動作中のためインアクティブを継続しさらに、デッド・タイム・カウンタの動作が終了する前に TSG2nCMP3 レジスタのコンペア一致が発生するため、コンペア一致により TSOn2 端子はインアクティブのままとなります。

TSG2nCMP1 ＋ TSG2nDTC1 ≧ TSG2nCMP0 ＋ TSG2nCMP2
（TSOn2 はインアクティブを継続）

TSG2nCMP2 ＋ TSG2nDTC0 ≧ TSG2nCMP0 ＋ TSG2nCMP1
（TSOn1 はインアクティブを継続）

②の箇所では、TSOn1 端子と TSOn2 端子が同時に立ち上がるように TSG2nCMP2 レジスタと TSG2nCMP4 レジスタを設定しているため INTTSG2nIER 割り込みが発生します。このとき、TSOn1, TSOn2 端子ともにインアクティブとなります。

③の箇所では、TSOn1 端子がアクティブ出力中に TSG2nCMP4 レジスタのコンペア一致が発生したため INTTSG2nIER 割り込みが発生し、両端子ともインアクティブとなります。

④の箇所では、同時アクティブにより TSOn1 端子の立ち下がり（インアクティブ）となり、デッド・タイム・カウンタがスタートします。その後、デッド・タイム･カウンタの動作終了後に TSOn2 端子がアクティブとなります。

備 考

1. TSOn1, TSOn2 端子のアクティブ・レベルは、ハイ・レベル
2. TSOn3, TSOn4 端子、TSOn5, TSOn6 端子の場合も同様です。

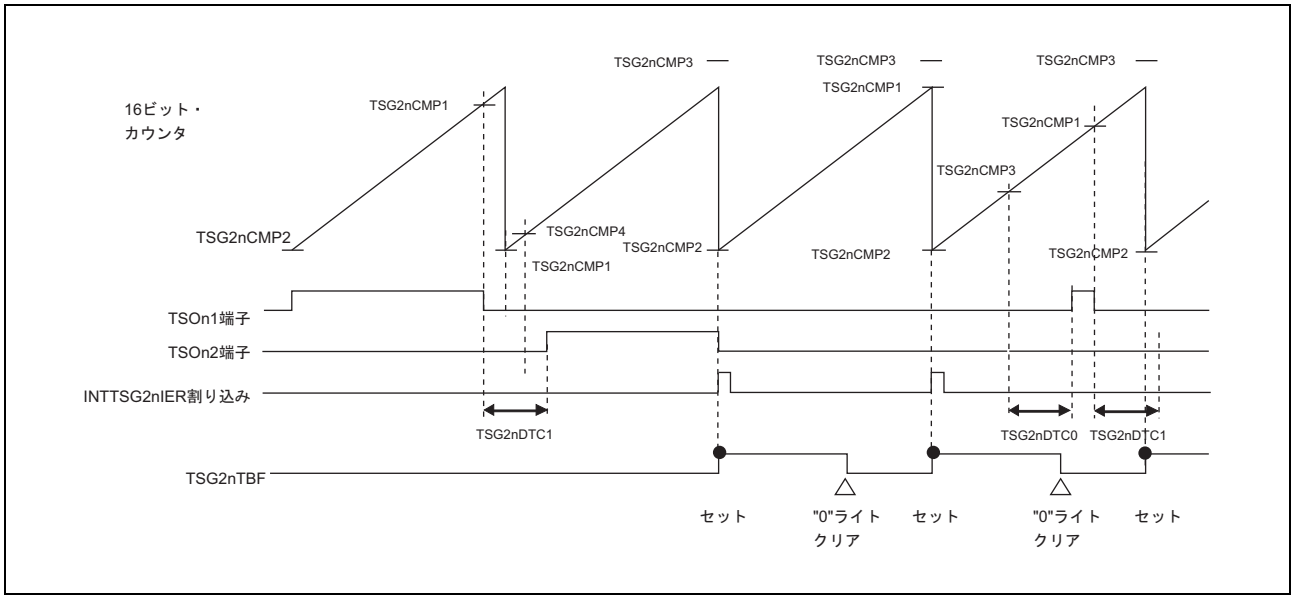


図 24.52 デッド・タイム制御時のデューティ 100% 出力例

TSOn2 端子にデューティ 100%出力（TSG2nCMP3 ≧ TSG2nCMP0 ＋ 1）を設定した場合、TSOn1 端子の出力はロウ・レベル固定となります。これは、TSOn1 端子がアクティブとなったタイミングですでに TSOn2 端子がアクティブになっているため、TSOn1 端子のアクティブ条件をマスクするように制御しています。この場合も、同時にハイ・レベルとなる設定のため、INTTSG2nIER 割り込みが発生します。

備 考

1. TSOn1，TSOn2 端子のアクティブ・レベルは、ハイ・レベル
2. TSOn3，TSOn4，TSOn5，TSOn6 端子の場合も同様です。

24.11.1.4 PWM モード動作時のデッド・タイム書き換え

PWM モードでは、カウント中に TSG2n デッド・タイム設定レジスタ（TSG2nDTC0, TSG2nDTC1）の書き換えが可能です。デッド・タイムは、リロード・タイミングで新しい設定が有効となります。随時書き換えによる変更はできません。

リロード・タイミングを許可するには、TSG2nCMP1 レジスタに書き込みを行ってください。

24.11.2 HT-PWM モード（High accuracy Triangular - Pulse Width Modulation モード）

概要

16 ビット・カウンタ（アップ／ダウン、±2 カウント、実質 15 ビット）と、16 ビット・コンペア・レジスタ（LSB は付加パルス制御）を使用して、6 相 PWM を生成できます。

前提条件

- TSG2nCMP0 には、搬送波の周期を設定します。
- TSG2nCMPU, TSG2nCMPV, TSG2nCMPW で、U 相，V 相，W 相の電圧データ信号のデューティを設定します。（TSG2nCMPU, TSG2nCMPV, TSG2nCMPW に設定した値は、対応する TSG2nCMPm へ即時に設定値が反映されます（m = 1, 2, 5, 6, 9, 10））
- この章では、対称三角波による制御を説明します。
（非対称三角波による制御は、**「24.11.2.10　HT-PWM モードの非対称三角波制御」**を参照してください）

機能説明

搬送波の周期を設定、U 相，V 相，W 相のデューティを設定。TSG2nTRG0.TSG2nTS = 1 にすると、カウント・アップを開始します。

16 ビット・カウンタは、TSG2nDTC0 を最小値としてアップ・カウントを行い、TSG2nCMP0+TSG2nDTC0 で示す最大値との一致でダウン・カウント動作を行います。

デッド・タイムは、TSG2nDTC0，TSG2nDTC1 で設定し、TSG2nDTC0 は逆相（OFF）→正相（ON）のデッド・タイムを、TSG2nDTC1 は正相（OFF）→逆相（ON）のデッド・タイムを設定することができます。デッド・タイム生成用の 10 ビット・カウンタ（TSG2nDTT1-TSG2nDTT3）は、16 ビット・カウンタと TSG2nCMPm バッファ・レジスタのコンペア一致で TSG2nDTC0, TSG2nDTC1 の設定値をロードし、ダウン・カウントを行います。（m = 1, 2, 5, 6, 9, 10）

16 ビット・カウンタと、TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 バッファ・レジスタのコンペア一致で、それぞれ INTTSG2nIm 割り込み（m = 1, 2, 5, 6, 9, 10）を発生します。

備　考

HT-PWM モードは TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 01_B に設定したときに有効となります。

24.11.2.1 ブロック図と基本タイミング図

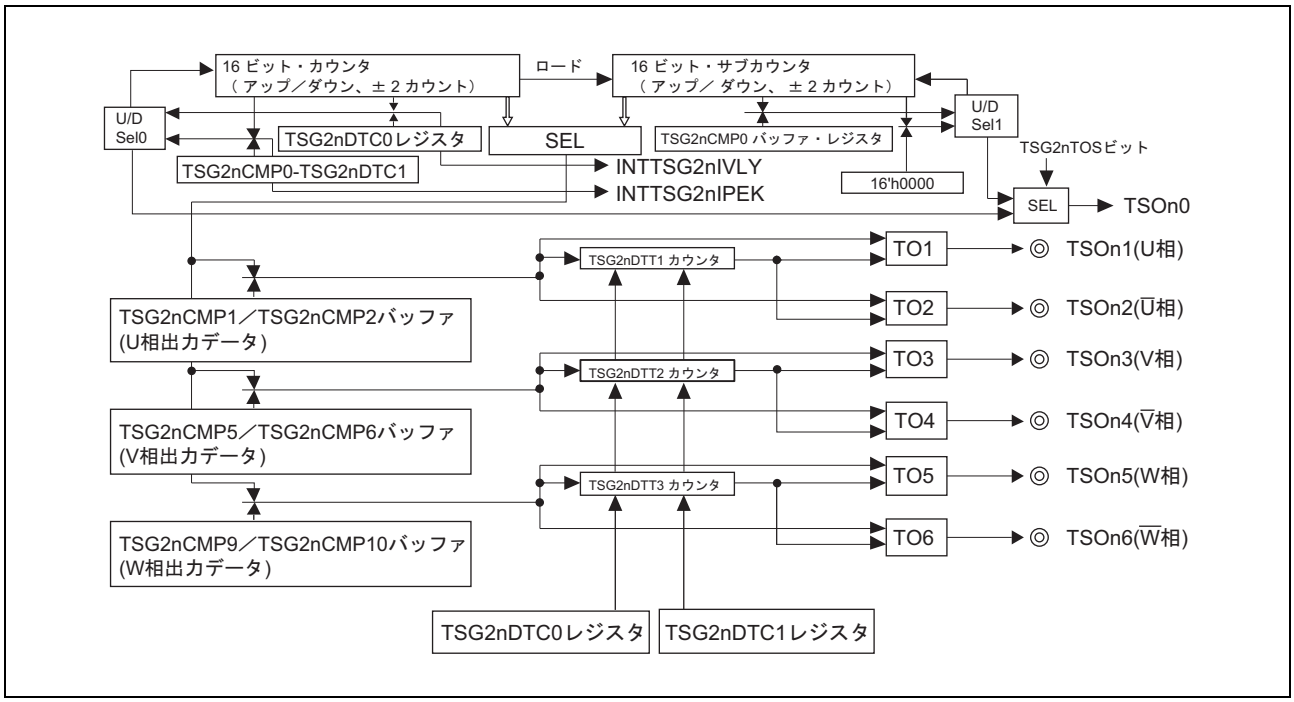


図 24.53 HT-PWM モード時のブロック図概略

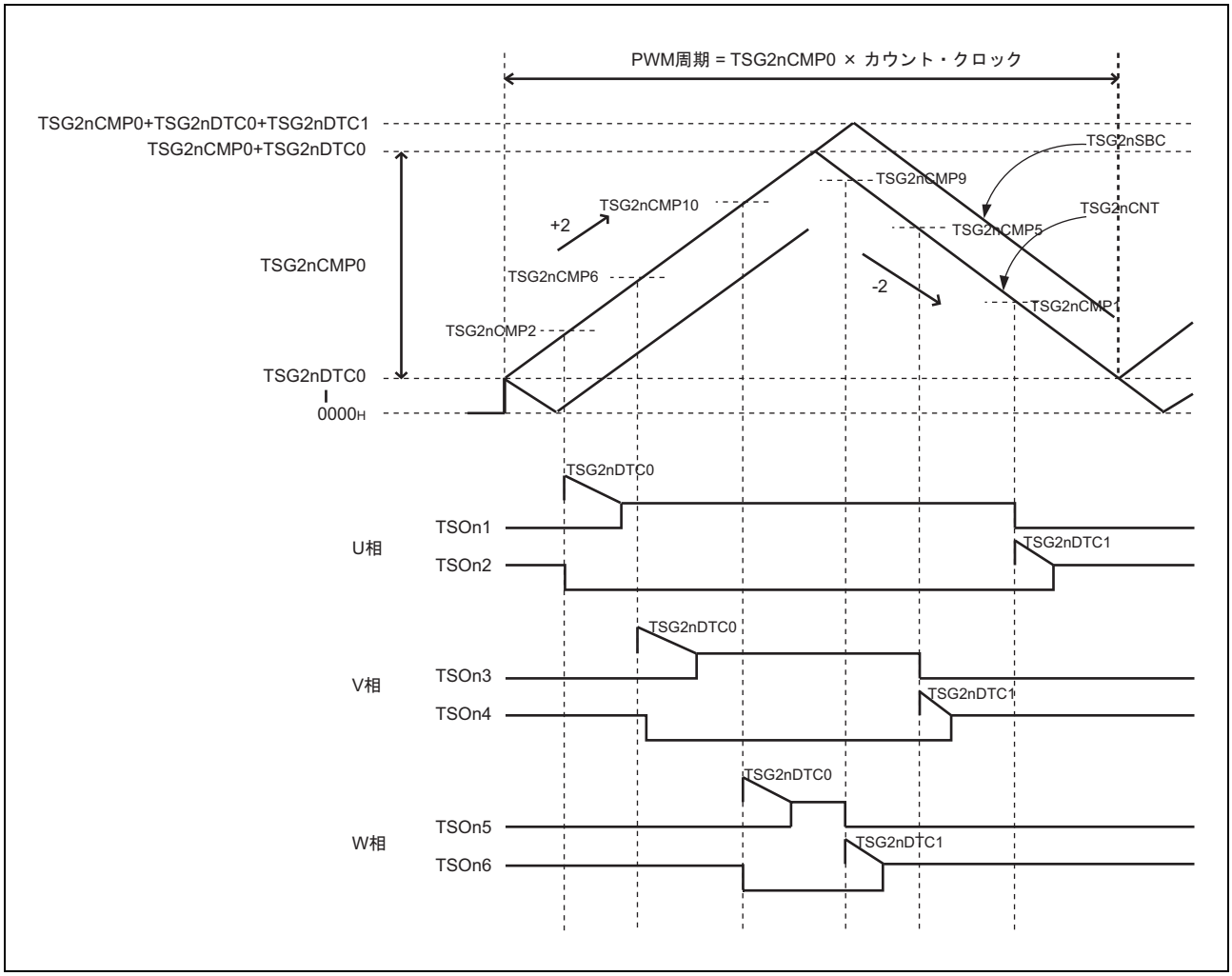


図 24.54　HT-PWM モード時の基本タイミング

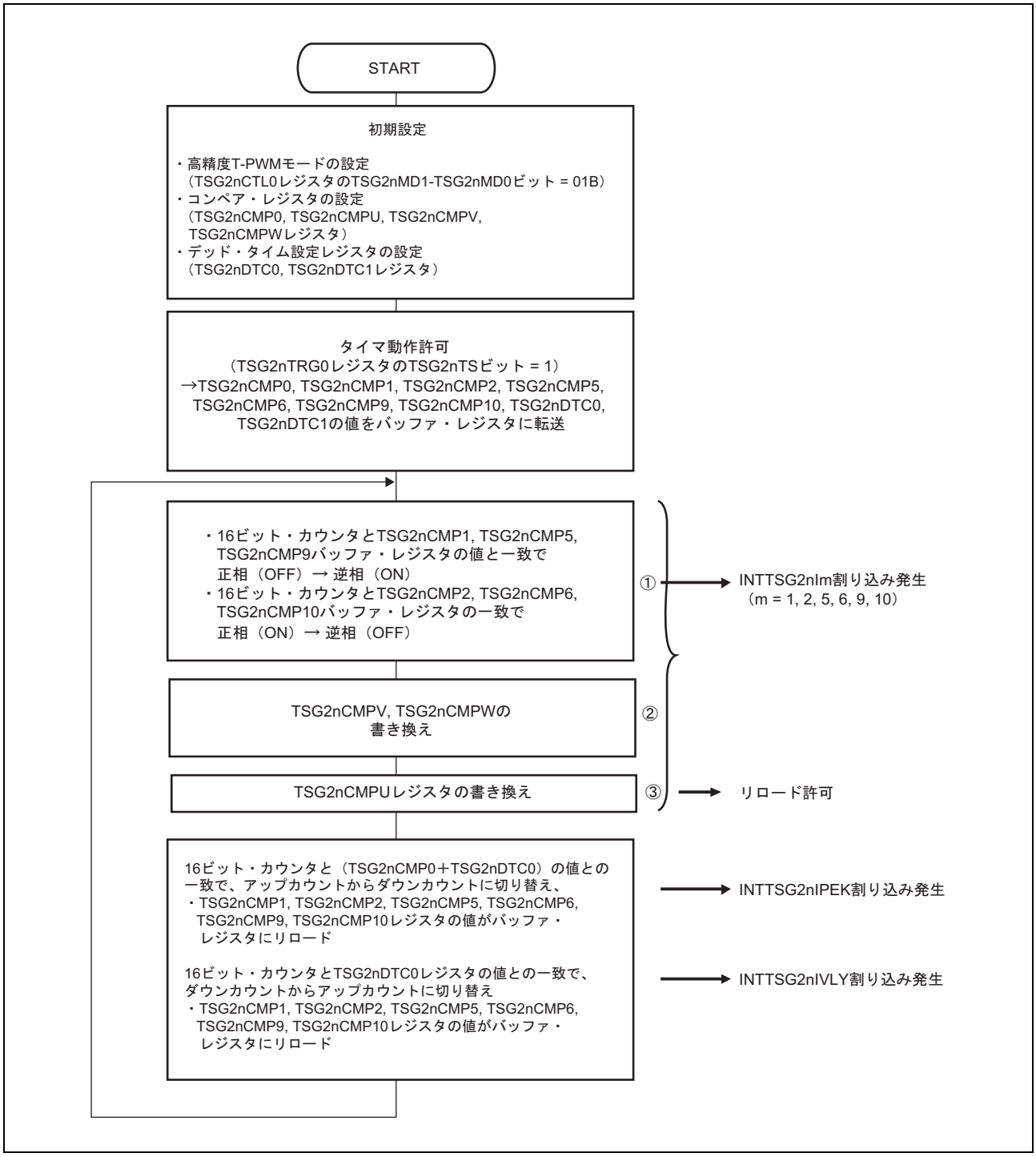


図 24.55 HT-PWM モード時の基本動作フロー

備 考

- TSG2nCMPU（TSG2nCMP1）へのライト・アクセスにはリロードを許可する動作も含まれます。したがって③の書き換えタイミングは②の書き換えタイミングの後にしてください。
- INTTSG2nIPEK 割り込みは、TSG2nCTL4.TSG2nPRE = 1 のときのみ発生します。
- INTTSG2nIVLY 割り込みは、TSG2nCTL4.TSG2nVRE = 1 のときのみ発生します。

24.11.2.2 HT-PWM モード動作一覧

表 24.52 HT-PWM モード：カウンタ機能

動作		設定条件
16 ビット・カウンタ	スタート	TSG2nTRG0.TSG2nTS = 0 → 1（TSG2nDTC0 からアップ・カウント）
	アップ	TSG2nDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致
	ダウン	TSG2nCMP0+TSG2nDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致
	クリア	—
	停止	TSG2nTRG1.TSG2nTT = 0 → 1
16 ビット・サブカウンタ	スタート	TSG2nTRG0.TSG2nTS = 0 → 1（TSG2nDTC0 からダウン・カウント）
	アップ	アンダフロー
	ダウン	TSG2nCMP0+TSG2nDTC0+TSG2nDTC1 バッファ・レジスタと 16 ビット・サブカウンタのコンペアー致
	ロード	• TSG2nCMP0+TSG2nDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致のとき、TSG2nCMP0+TSG2nDTC0 • TSG2nDTC0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致のとき、TSG2nDTC0
	クリア	—
	停止	TSG2nTRG1.TSG2nTT = 0 → 1

表 24.53 HT-PWM モード：コンペア・レジスタ，デッド・タイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG2nCMP0	リロード／随時書き換え	可能	周期
TSG2nCMPU	—	可能	U 相用 PWM 制御
TSG2nCMP1W （TSG2nCMP1, TSG2nCMP2）	リロード／随時書き換え		
TSG2nCMPV	—	可能	V 相用 PWM 制御
TSG2nCMP5W （TSG2nCMP5, TSG2nCMP6）	リロード／随時書き換え		
TSG2nCMPW	—	可能	W 相用 PWM 制御
TSG2nCMP9W （TSG2nCMP9, TSG2nCMP10）	リロード／随時書き換え		
TSG2nDCMP0W, TSG2nDCMP2	リロード／随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG2nDTC0, TSG2nDTC1	リロード	条件付きで可能	周期、デッド・タイム

備　考

- TSG2nCMPU, TSG2nCMPV, TSG2nCMPW を書き換えた値は，TSG2nCMP1W（TSG2nCMP1, TSG2nCMP2）, TSG2nCMP5W（TSG2nCMP5, TSG2nCMP6）、TSG2nCMP9W（TSG2nCMP9, TSG2nCMP10）の上位 16 ビット、下位 16 ビットに設定されます。
- TSG2nDTC0, TSG2nDTC1 の書き換え方法は「**(1)　TSG2nDTC0, TSG2nDTC1 の書き換えについて**」を参照してください。

表 24.54 HT-PWM モード：タイマ出力機能

端子	機能
TSOn0	16 ビット・カウンタまたは 16 ビット・サブカウンタのアップ・カウント時インアクティブ、ダウン・カウント時アクティブ
TSOn1	TSG2nCMP1 バッファ・レジスタと 16 ビット・カウンタ（ダウン・カウント時）のコンペアー致、および、TSG2nCMP2 バッファ・レジスタと 16 ビット・カウンタ（アップ・カウント時）のコンペアー致による PWM 出力（デッド・タイム付き）
TSOn2	TSOn1 に対する逆相出力
TSOn3	TSG2nCMP5 バッファ・レジスタと 16 ビット・カウンタ（ダウン・カウント時）のコンペアー致、および、TSG2nCMP6 バッファ・レジスタと 16 ビット・カウンタ（アップ・カウント時）のコンペアー致による PWM 出力（デッド・タイム付き）
TSOn4	TSOn3 に対する逆相出力
TSOn5	TSG2nCMP9 バッファ・レジスタと 16 ビット・カウンタ（ダウン・カウント時）のコンペアー致、および、TSG2nCMP10 バッファ・レジスタと 16 ビット・カウンタ（アップ・カウント時）のコンペアー致による PWM 出力（デッド・タイム付き）
TSOn6	TSOn5 に対する逆相出力
TSOn7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

備　考

TSOn0 端子のステータス出力の対象を TSG2nIOC1.TSG2nTOS で切り替えます。

表 24.55 HT-PWM モード：割り込み要求

割り込み	機能
INTTSG2nI0	TSG2nDTC00 バッファ・レジスタと 16 ビット・カウンタの一致 （周期割り込み）
INTTSG2nIm （m = 1, 2, 5, 6, 9, 10）	TSG2nCMPm バッファ・レジスタと 16 ビット・カウンタのコンペアー致 （m = 1, 2, 5, 6, 9, 10）
INTTSG2nIER	エラー
INTTSG2nIVLY	谷割り込み
INTTSG2nIPEK	山割り込み
INTTSG2nIWN	ワーニング割り込み

表 24.56 HT-PWM モード：コンペアー致タイミング

コンペアー致	タイミング
TSG2nCMP0	16 ビット・カウンタが TSG2nCMP0 + TSG2nDTC0 → TSG2nCMP0 + TSG2nDTC0 － 2 へ切り替わるとき
TSG2nCMPm （m = 1, 2, 5, 6, 9, 10）	16 ビット・カウンタが TSG2nCMPm → TSG2nCMPm±2 へ切り替わるとき （m = 1, 2, 5, 6, 9, 10）

表 24.57 HT-PWM モード：タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSOn0	トグル出力	TSG2nCMP0 × カウント・クロック	アップ・カウント時、インアクティブ・レベル出力、ダウン・カウント時、アクティブ・レベル出力	—
TSOn1, TSOn3, TSOn5	PWM 出力	TSG2nCMP0 × カウント・クロック	1 周期の期間内すべてインアクティブ・レベル出力（デューティ 0%）	TSG2nCMPm = TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1 （m = U, V, W）
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TSG2nCMPm = TSG2nCMP0 - 1 （m = U, V, W）
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TSG2nCMPm = 0001_H （m = U, V, W）
			1 周期の期間内すべてアクティブ・レベル出力（デューティ 100%）	TSG2nCMPm = 0000_H （m = U, V, W）
TSOn2, TSOn4, TSOn6	PWM 出力		1 周期の期間内すべてインアクティブ・レベル出力（デューティ 0%）	TSG2nCMPm = 0000_H （m = U, V, W）
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TSG2nCMPm = TSG2nDTC0 + TSG2nDTC1 + 1（m = U, V, W）
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TSG2nCMPm = TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1 - 1 （m = U, V, W）
			1 周期の期間内すべてアクティブ・レベル出力（デューティ 100%）	TSG2nCMPm = TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1 （m = U, V, W）
TSOn7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力	TSG2nCMP0 × カウント・クロック	**「24.9.1　A/D 変換トリガの動作」**を参照してください。	

24.11.2.3 HT-PWM モードの各種設定

モード設定

TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 01_B に設定することで HT-PWM モードになります。

タイマ出力の設定

TSOn1-TSOn6 端子は、TSG2nIOC0, TSG2nIOC2, TSG2nIOC3 の設定で出力制御を行います。

TSOn0 端子は、16 ビット・カウンタまたは、16 ビット・サブカウンタのアップ／ダウン・カウントを示すステータス出力です。TSG2nIOC1.TSG2nTOS で、16 ビット・カウンタ／ 16 ビット・サブカウンタの切り替えを行います。

TSOn7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の許可

TSG2nIOC1.TSG2nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み（INTTSG2nIER）発生を許可します。HT-PWM モードでは、どのような値をコンペア・レジスタに設定しても正相／逆相同時アクティブにはなりません。詳細は、**「24.10　エラー／ワーニング割り込み」**を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSG2nCTL3.TSG2nRMC で、リロード機能付きレジスタに対し、リロード（一斉書き換え）／随時書き換えを行います（デフォルト “0” リロード）。リロードを行う場合は、TSG2nCTL4.TSG2nPRE または TSG2nVRE を必ずセット（1）してください。

TSG2nPRE，TSG2nVRE 共に “0” の場合はリロード・タイミングが発生しません。

随時書き換えにした場合、書き換えタイミングによって意図しない出力が発生する場合があります。

割り込みと間引き機能の設定

TSG2nCTL4 で、割り込みと間引き機能を設定します。山割り込み（INTTSG2nIPEK）が必要な場合は、TSG2nPIE = 1 にします。谷割り込み（INTTSG2nIVLY）が必要な場合は、TSG2nVIE = 1 にしてください。また、山／谷割り込みに対して、間引き機能を使用したい場合は、TSG2nRCC04-TSG2nRCC00 で設定を行います。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0（TSTADT0 信号）を設定する場合は、TSG2nCTL5 の TSG2nAT09-TSG2nAT00 で設定を行います。

TSG2nAT09-TSG2nAT00 で、TSG2nDCMP2-TSG2nDCMP0 との一致タイミング（16 ビット・カウンタのアップ／ダウン・カウント）、16 ビット・カウンタの山割り込み（INTTSG2nIPEK）、および，谷割り込み（INTTSG2nIVLY）、16 ビット・サブカウンタの山タイミング、および、谷タイミングによる A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1（TSTADT1 信号）を設定する場合は、TSG2nCTL6 の TSG2nAT19-TSG2nAT10 で設定を行います。

16 ビット・カウンタと TSG2nDCMP2-TSG2nDCMP0 の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSTADT0, TSTADT1 信号に対しては、間引き機能が使用できます。TSG2nCTL5 の TSG2nACC01, TSG2nACC00 および TSG2nCTL6 の TSG2nACC11, TSG2nACC10 を使用して、間引き無し／ 1 間引き／ 3 間引き／ 7 間引きの設定を行うことができます。

注　意

A/D 変換トリガのタイミング・パルスを TSOn7 端子に出力する場合は、TSG2nCTL5, TSG2nCTL6 と TSG2nDCMP2-TSG2nDCMP0 の設定を正しく行ってください。

デッド・タイムの設定

TSG2nDTC0, TSG2nDTC1 でデッド・タイムの設定を行います。

デッド・タイムは、次の式で求めることができます。

PCLK × TSG2nDTC0

PCLK × TSG2nDTC1

TSG2nDTC0 は、TSOn2, TSOn4, TSOn6 端子のインアクティブ変化→ TSOn1, TSOn3, TSOn5 端子のアクティブ変化までの時間を設定できます。

TSG2nDTC1 は、TSOn1, TSOn3, TSOn5 端子のインアクティブ変化→ TSOn2, TSOn4, TSOn6 端子のアクティブ変化までの時間を設定できます。

TSG2nDTC0, TSG2nDTC1 は、偶数値のみ設定可能です。

搬送波の周期

次の式にしたがい TSG2nCMP0 で、搬送波の周期を設定してください。

TSG2nCMP0 = 搬送波周期 ／ カウント・クロック周期（PCLK）

また、TSG2nCMP0 レジスタの設定値は、デッド・タイムとの兼ね合いから次の条件を満たしてください。

- TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1 ≦ $FFFE_H$
- TSG2nCMP0 > TSG2nDTC0
- TSG2nCMP0 > TSG2nDTC1
- TSG2nCMP0 > 3 × MAX (TSG2nDTC0, TSG2nDTC1)
- TSG2nCMP0 は偶数

備　考

MAX（A, B）は A, B の中で大きい方の値を示しています。

デューティ（PWM 幅）の設定

TSG2nCMPm でそれぞれ U 相、V 相、W 相のデューティ設定を行います。コンペア・レジスタの設定範囲は次のようになっています。

（m = U, V, W もしくは 1, 2, 5, 6, 9, 10）

0000_H ≦ TSG2nCMPm ≦ TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1

TSG2nCMPU, TSG2nCMPV, TSG2nCMPW の LSB（Least Significant Bit）は、付加パルスの設定を意味しています。例えば、TSG2nCMPU = 0003_H と設定した場合は、TSG2nCMPU = 0002_H に設定した場合に比べて、逆相（TSOn2 端子）の変化が 1 カウント・クロック分遅く変化します（16 ビット・カウンタがアップ・カウント時）。ただし、TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 には、付加パルスの設定はできません。（偶数値のみ設定可能）

24.11.2.4 HT-PWM モードの 16 ビット・カウンタ動作

16 ビット・カウンタは初期値 0000_H で、TSG2n 動作開始（TSG2nTRG0. TSG2nTS = 1）に設定した直後に TSG2nDTC0 の値がロードされ、＋ 2 ずつアップ・カウントを行います。その後、TSG2nCMP0 + TSG2nDTC0 に一致した時点で 16 ビット・カウンタは -2 ずつダウン・カウントを行います。

16 ビット・カウンタの動作は次のようになります。

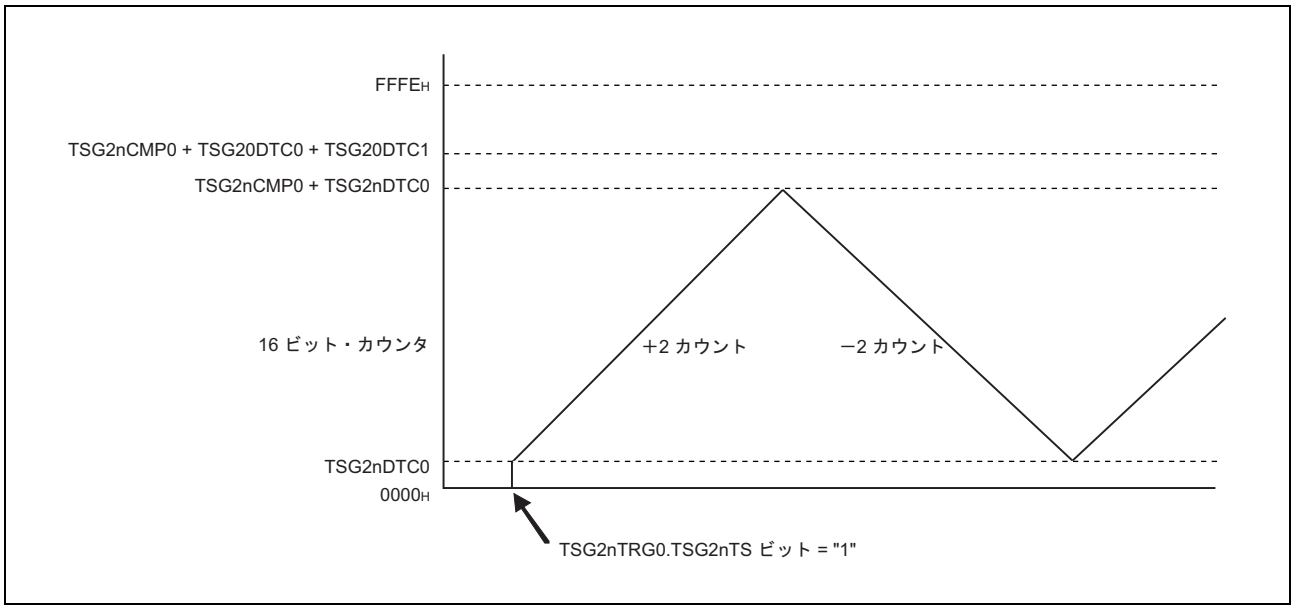


図 24.56 HT-PWM モード時の 16 ビット・カウンタ動作例

備 考

16 ビット・カウンタ最小値	：TSG2nDTC0
16 ビット・カウンタ最大値	：TSG2nCMP0 + TSG2nDTC0
搬送波周期	：TSG2nCMP0 × カウント・クロック周期（PCLK）

16 ビット・サブカウンタは初期値 0000_H で、TSG2n 動作開始（TSG2nTRG0.TSG2nTS = 1）に設定した直後に TSG2nDTC0 の値がロードされます。その後、0000_H と一致するまで –2 ずつダウン・カウントを行い、一致した時点で＋ 2 ずつアップ・カウントを開始します。次に、16 ビット・カウンタがアップ→ダウンに切り替わるタイミングで、16 ビット・サブカウンタに 16 ビット・カウンタの値をロードします。16 ビット・サブカウンタは、そのままカウント・アップを行い、TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1 と一致した時点で、–2 ずつダウン・カウントを開始します。同様に、16 ビット・カウンタが TSG2nDTC0 と一致したタイミングで、16 ビット・カウンタの値をロードし、ダウン・カウントを継続します。

16 ビット・サブカウンタ動作は、下記のようになります。

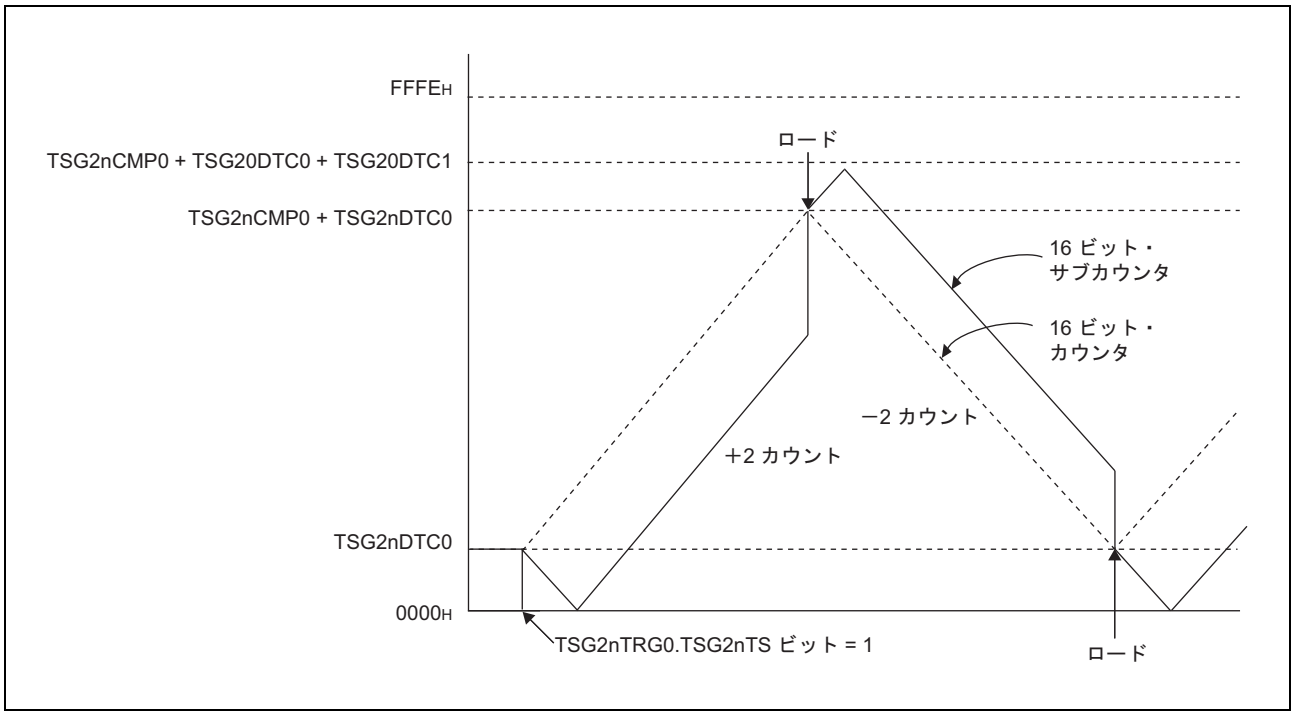


図 24.57　HT-PWM モード時の 16 ビット・サブカウンタ動作例

備　考

16 ビット・サブカウンタ最小値: 0000_H
16 ビット・サブカウンタ最大値: TSG2nCMP0 + TSG2nDTC0 + TSG2nDTC1

24.11.2.5 HT-PWM モードの基本動作

(1) TSG2n 動作開始直後のタイマ出力例

TSG2nCMP0 = $000E_H$、TSG2nDTC0 = 0002_H、TSG2nDTC1 = 0004_H、TSG2nCMPU を 0000_H-0014_H（一部抜粋）に設定した場合のタイミング図を次に示します。この例では、TSG2nIOC2 レジスタの TSG2nOL1-TSG2nOL6 = 000000_B と設定しています。

TSG2nCMPU = TSG2nDTC0 の場合は、TSG2n 動作開始（TSG2nTRG0.TSG2nTS = 1）にした後、カウントの初期値がロードされたときに TSOn2 端子がアクティブ・レベルに変化します。TSG2nCMPU = TSG2nDTC0-0001_H は、付加パルスなので TSG2nCMPU = TSG2nDTC0-0002_H の場合に比べて 1 カウント・クロック遅れて TSOn2 端子が変化します。

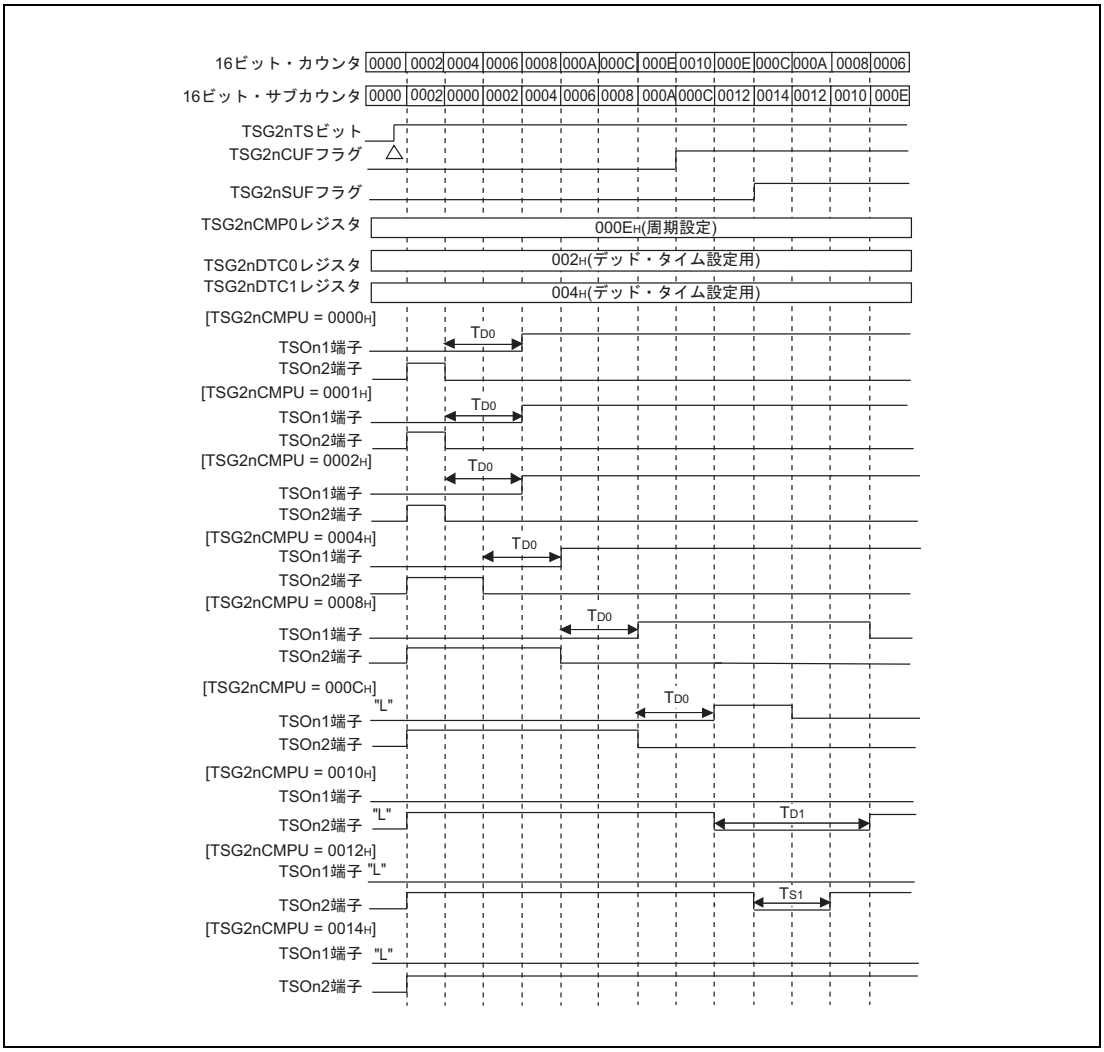


図 24.58 TSG2nTS = 1 にセットした場合（初期）のタイマ出力例（HT-PWM モード）

備 考

1. TSG2nCMP0 = $000E_H$，TSG2nDTC0 = 0002_H，TSG2nDTC1 = 0004_H
2. T_{D0}：TSG2nDTC0 レジスタのデッド・タイム設定に依存する時間
   T_{D1}：TSG2nDTC1 レジスタのデッド・タイム設定に依存する時間
   T_{S1}：TSG2nCMPU ＞ 16 ビット・カウンタ最大値の場合，16 ビット・サブカウンタと TSG2nCMPU とのコンペアによって決定される時間
3. △：ライト・アクセス

(2) TSG2n 動作中のタイマ出力例

TSG2nCMP0 = $000E_H$、TSG2nDTC0 = 0002_H、TSG2nDTC1 = 0004_H、TSG2nCMPU を 0000_H-0014_H（一部抜粋）に設定した場合のタイミング図を次に示します。この例では、TSG2nIOC2 レジスタの TSG2nOL1-TSG2nOL6 = 000000_B と設定しています。

正相（TSOn1 端子）の出力するアクティブ（ハイ・レベル）幅の範囲は 0000_H ≦ TSG2nCMPU ≦ TSG2nCMP0（付加パルス分）となっています。また、逆相（TSOn2 端子）の出力するアクティブ（ハイ・レベル）幅の範囲は TSG2nDTC0+TSG2nDTC1 ≦ TSG2nCMPU ≦ TSG2nCMP0+TSG2nDTC0+TSG2nDTC1 となっています。

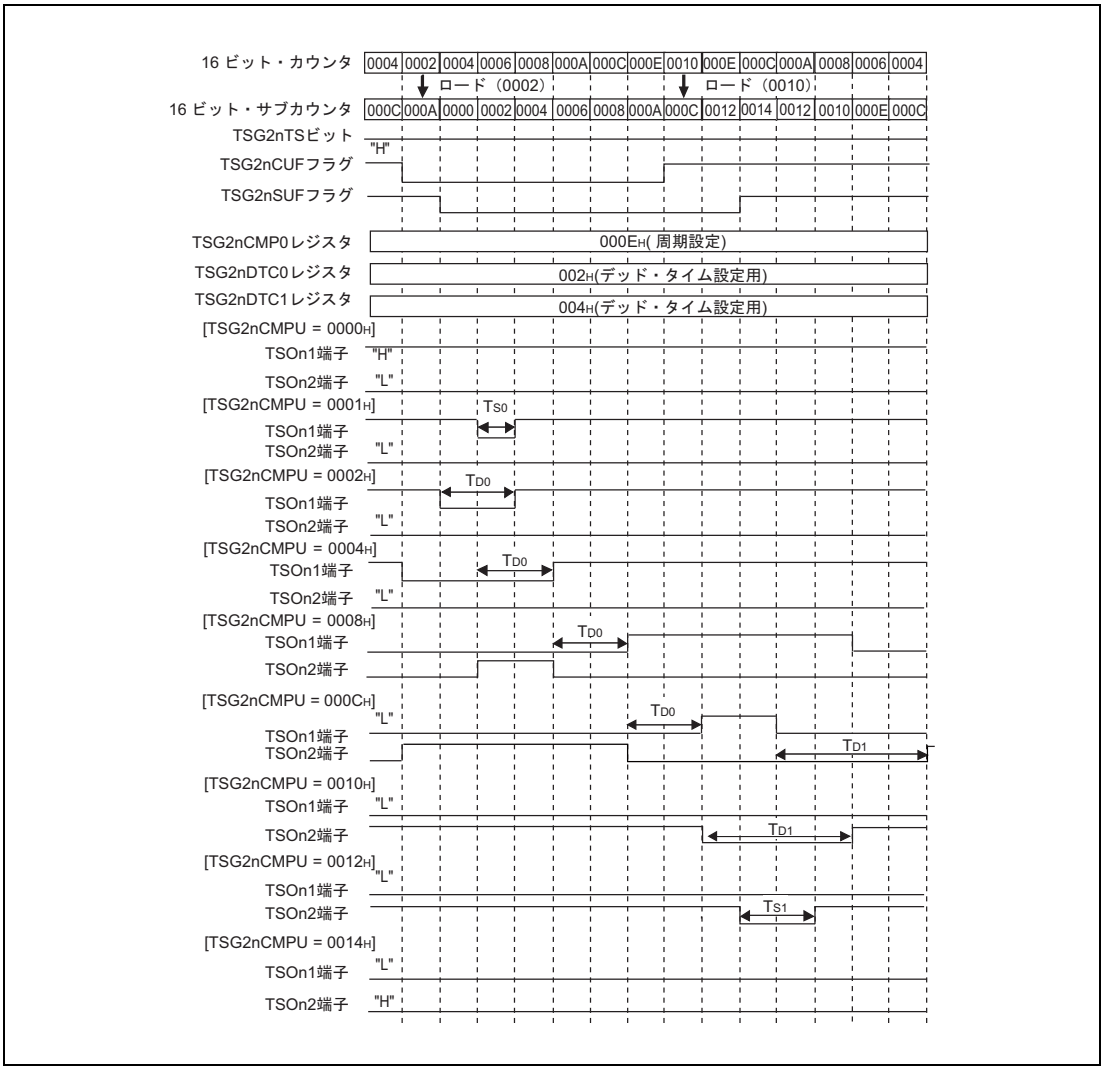


図 24.59　動作中のタイマ出力例（HT-PWM モード時）

備　考

1. TSG2nCMP0 = $000E_H$，TSG2nDTC0 = 0002_H，TSG2nDTC1 = 0004_H
2. T_{D0}：TSG2nDTC0 レジスタのデッド・タイム設定に依存する時間
   T_{D1}：TSG2nDTC1 レジスタのデッド・タイム設定に依存する時間
   T_{S0}：TSG2nCMPU ＜ 16 ビット・カウンタ最小値の場合、16 ビット・サブカウンタと TSG2nCMPU とのコンペアによって決定される時間
   T_{S1}：TSG2nCMPU ＞ 16 ビット・カウンタ最大値の場合、16 ビット・サブカウンタと TSG2nCMPU とのコンペアによって決定される時間

24.11.2.6 HT-PWM モード時の付加パルス制御

HT-PWM モードは、デューティ設定レジスタ（TSG2nCMPU, TSG2nCMPV, TSG2nCMPW）の LSB に “1” を設定することで付加パルスを設定することができます。付加パルス制御機能を持つことで、デューティ制御をより細かく（精度が高く）行うことができます。

付加パルス制御を行った場合と、行わない場合の TSOn1 端子の出力例を記載します。

(1) 付加パルス制御を行った場合のパルス出力例

図 24.60 で付加パルス制御を行うのは、TSG2nCMPU に奇数の値を設定した場合です。

矢印と数字は 1 周期内の TSOn1 端子出力のデューティ幅を示しています。

図 24.60 のように、付加パルス制御を行った場合 TSOn1 端子の出力幅（デューティ比）が 12 クロック幅から 0 クロック幅まで 1 カウント・クロックごとに制御することができます。

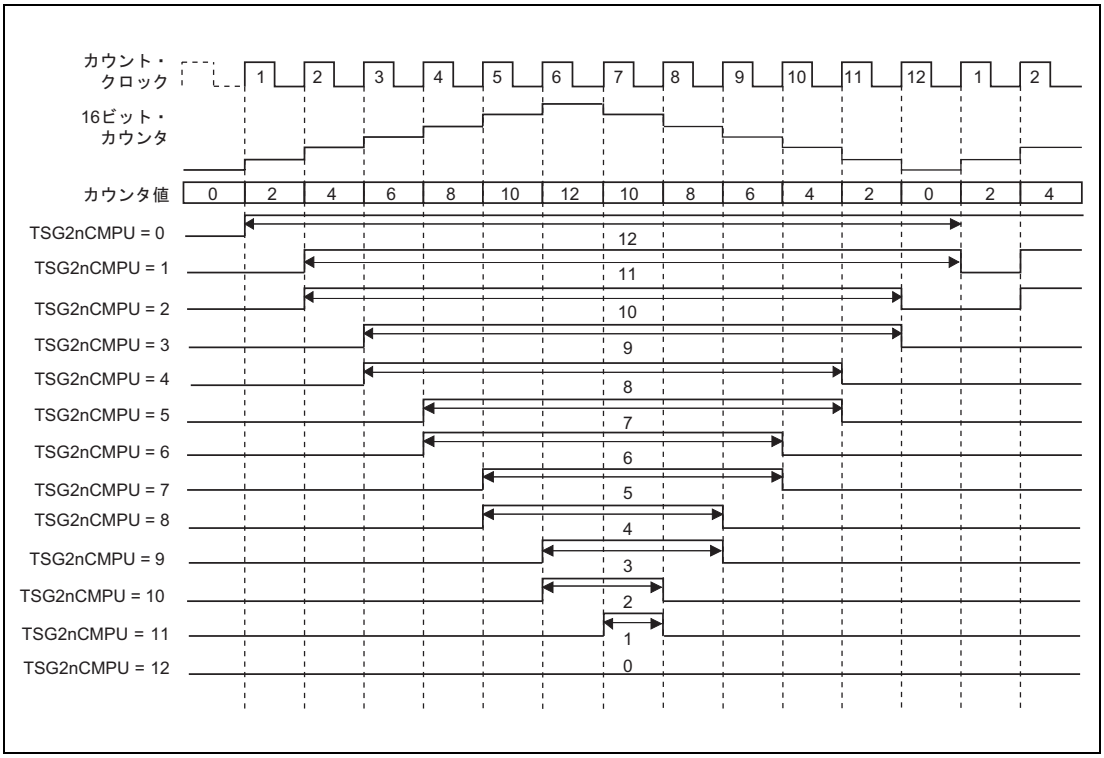


図 24.60 付加パルス制御を行った場合の TSOn1 端子出力例

備 考

TSG2nCMP0 = 12，TSG2nDTC0 = 0，TSG2nDTC1 = 0

(2) 付加パルス制御を行っていない場合の出力例

図 24.61 で、矢印と数字は 1 周期内の TSOn1 端子出力のデューティ幅を示しています。

付加パルス制御を行わない場合、TSOn1 端子の出力幅が 12 クロック幅から 0 クロック幅まで、2 カウント・クロックごとの制御となります。この場合は、付加パルス制御を行う場合と比べてデューティ変化量が大きくなってしまいます。

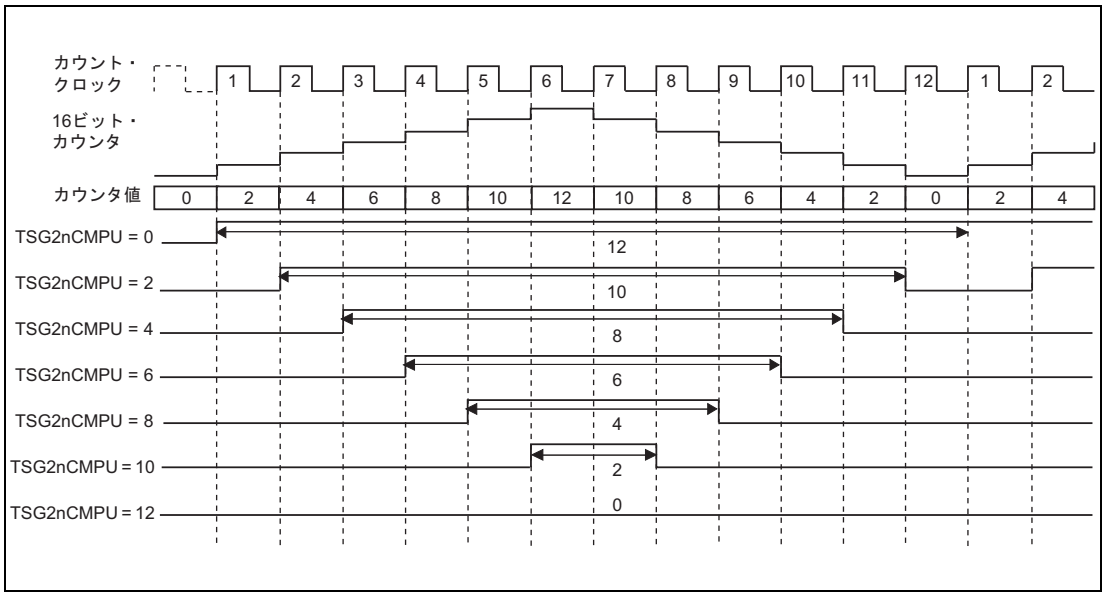


図 24.61　付加パルス制御を行わなかった場合の TSOn1 端子出力例

備　考

TSG2nCMP0 = 12，TSG2nDTC0 = 0，TSG2nDTC1 = 0

24.11.2.7 HT-PWM モード時のデッド・タイム制御

HT-PWM モード時は、デューティ用の設定レジスタは TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 とし、周期用の設定レジスタは TSG2nCMP0, TSG2nDTC0, TSG2nDTC1 となります。この 6 つのレジスタを使用することで、デューティ可変型の 6 相 PWM 波形が出力されます。デッド・タイム制御を実現するために、16 ビット・カウンタのカウント・クロックに同期して動作する 6 本の 10 ビット・ダウン・カウンタと、デッド・タイム設定レジスタ（TSG2nDTC0, TSG2nDTC1）があります。TSG2nDTC0 は、逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッド・タイムの設定であり、TSG2nDTC1 は、正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッド・タイムの設定です。

次に TSG2nDTC0 = x、TSG2nDTC1 = y の場合の出力波形を示します。

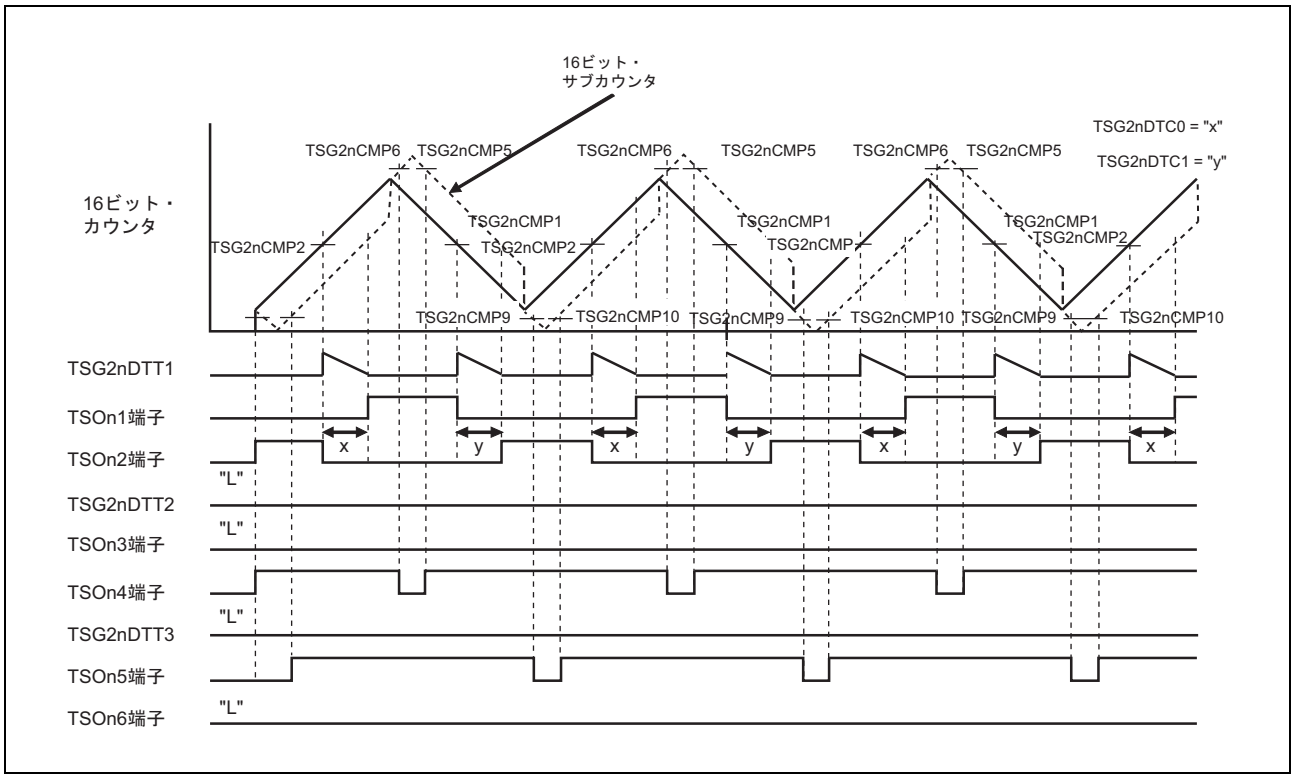


図 24.62 デッド・タイム設定時の出力波形例

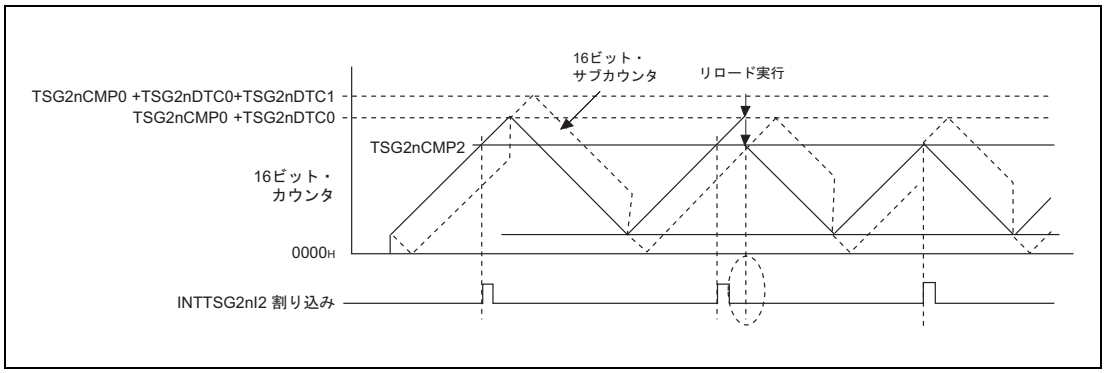
24.11.2.8 HT-PWM モード時のデッド・タイム制御に関する注意事項

(1) TSG2nDTC0, TSG2nDTC1 の書き換えについて

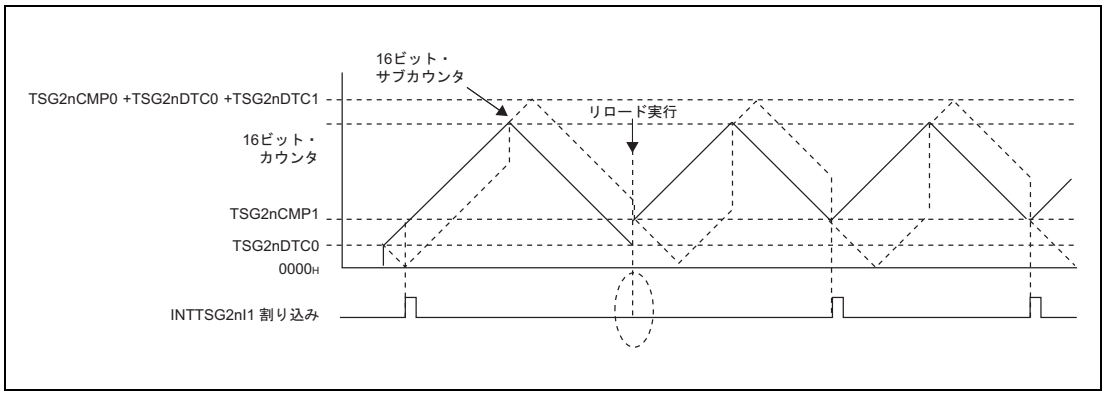
デッド・タイムの設定（TSG2nDTC0, TSG2nDTC1）を動作中に書き換えることができます。

注 意

1. **TSG2nDTC0, TSG2nDTC1 の書き換えは、リロード機能（TSG2nRMC = 0）を使用している場合に書き換えてください。**
2. **TSG2nDTC0, TSG2nDTC1 を書き換える場合、ライト・プロテクション・コード・チェックが機能します。詳細はレジスタ説明を参照ください。**
3. **16 ビット・カウンタの山で TSG2nCMP0, TSG2nDTC1 を変更する場合**
   TSG2nCMPm の設定値と、更新後の TSG2nCMP0+TSG2nDTC0（メインカウンタの新しい最大値）より大きい場合、リロード実行直後の一致割り込み（INTTSG2nIm）は発生しません。（m = 2, 6, 10）



4. **16 ビット・カウンタの谷で TSG2nDTC0 を変更する場合**
   TSG2nCMPm の設定値と、更新後の TSG2nDTC0（メインカウンタの新しい最小値）より小さい場合、リロード直後の一致割込み（INTTSG2nIm）は発生しません。（m = 1, 5, 9）



24.11.2.9 HT-PWM モード時のソフトウエア出力制御機能

HT-PWM モード時は、TSG2nOPT0.TSG2nSOC, TSG2nIDC, TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 を使用して、ソフトウエア制御によるタイマ出力制御を行うことができます。

図 24.63 に示すように、TSG2nSTE = 0 とし、TSG2nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッド・タイムの設定をしていれば、デッド・タイム期間は保証されます。その後，TSG2nSOC = 0 にしたタイミングでは出力を保持し、リロード・タイミングが発生した時点で、HT-PWM モードによる出力制御に切り替わります。

ソフトウエア出力制御機能について、詳細は**「24.11.5 ソフトウエア出力制御機能」**を参照してください。

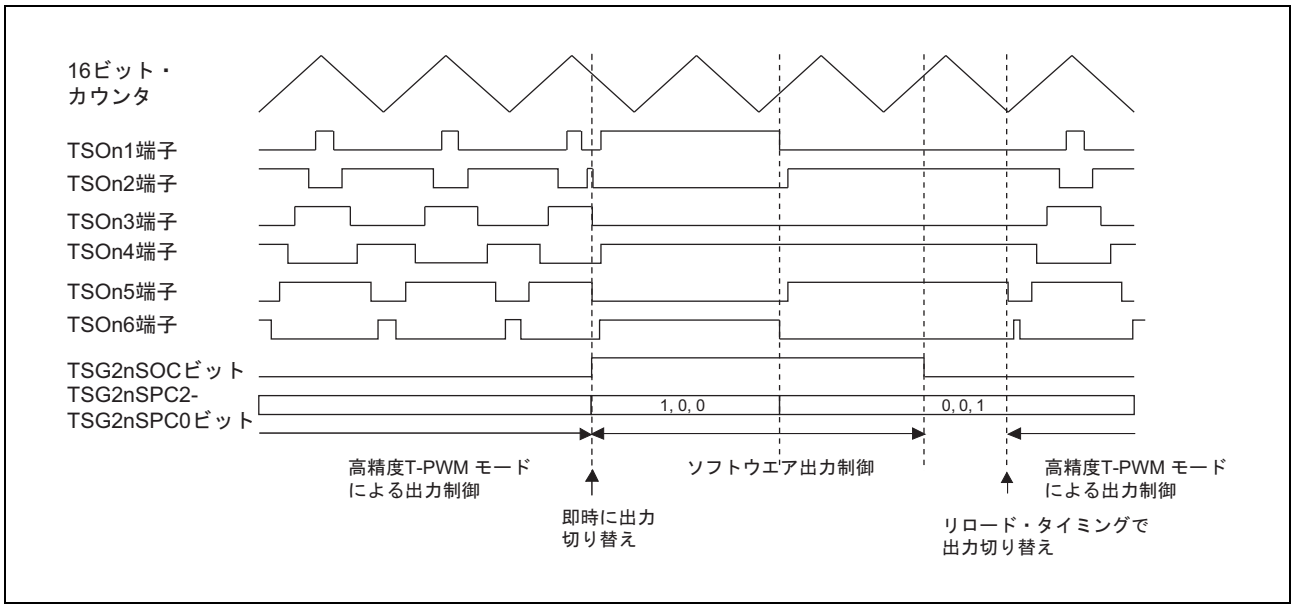


図 24.63 HT-PWM からソフトウエア出力制御機能の切り替え例

注 意

ソフトウエア出力制御機能を使用する場合は、必ずリロード（一斉書き換え）モード（TSG2nCTL3.TSG2nRMC = 0）の設定で使用してください。

(1) ソフトウエア出力制御の処理手順

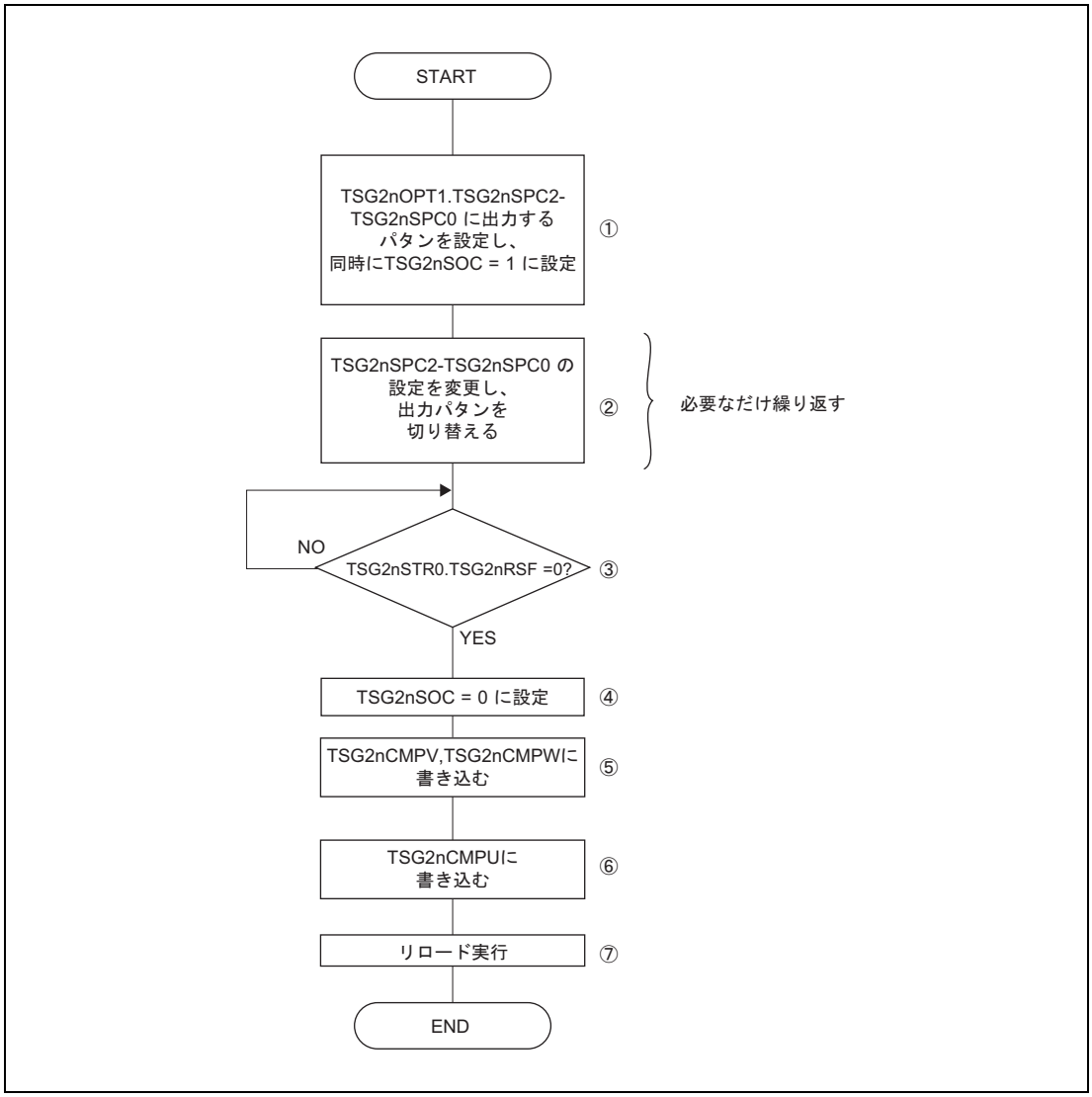


図 24.64　ソフトウエア出力制御時の処理フロー

ソフトウエア出力制御の処理手順を示します。

① TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 に出力するパタンを設定し、同時にソフトウエア出力を行うために TSG2nOPT0.TSG2nSOC = 1 にします。

② TSG2nSPC2-TSG2nSPC0 の出力パタン設定を変更し、タイマ出力を変化させます。ソフトウエア制御中に変更可能なレジスタは次のとおりです。

TSG2nTRG1 の TSG2nTT, TSG2nCTL3-TSG2nCTL6, TSG2nOPT0, TSG2nOPT1, TSG2nCMPm

（m = 0, 1, 2, 5, 6, 9, 10）, TSG2nDTC0, TSG2nDTC1

③リロード要求フラグ（TSG2nSTR0.TSG2nRSF）= 0 であることを確認します。TSG2nRSF = 1 だった場合は TSG2nRSF = 0 になるまで次の手順に移行しないでください。

④ TSG2nSOC = 0 にするとソフトウエア制御を解除開始します（ここではまだ解除されません）。

⑤ソフトウエア出力制御解除後に必要な、コンペア・レジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。

⑥ TSG2nCMPU（TSG2nCMP1）に書き込みを行い、リロードを起動します。

⑦リロードが実行され、ソフトウエア出力を解除します。

注　意

③，④，⑤，⑥の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウエア出力を解除できません。

24.11.2.10HT-PWM モードの非対称三角波制御

HT-PWM モードでは、U 相、V 相、W 相の各相のセット・タイミングとクリア・タイミングを双方異なるタイミングで設定することにより非対称三角波で制御することができます。

以下では、対称三角波と異なる内容について説明します。

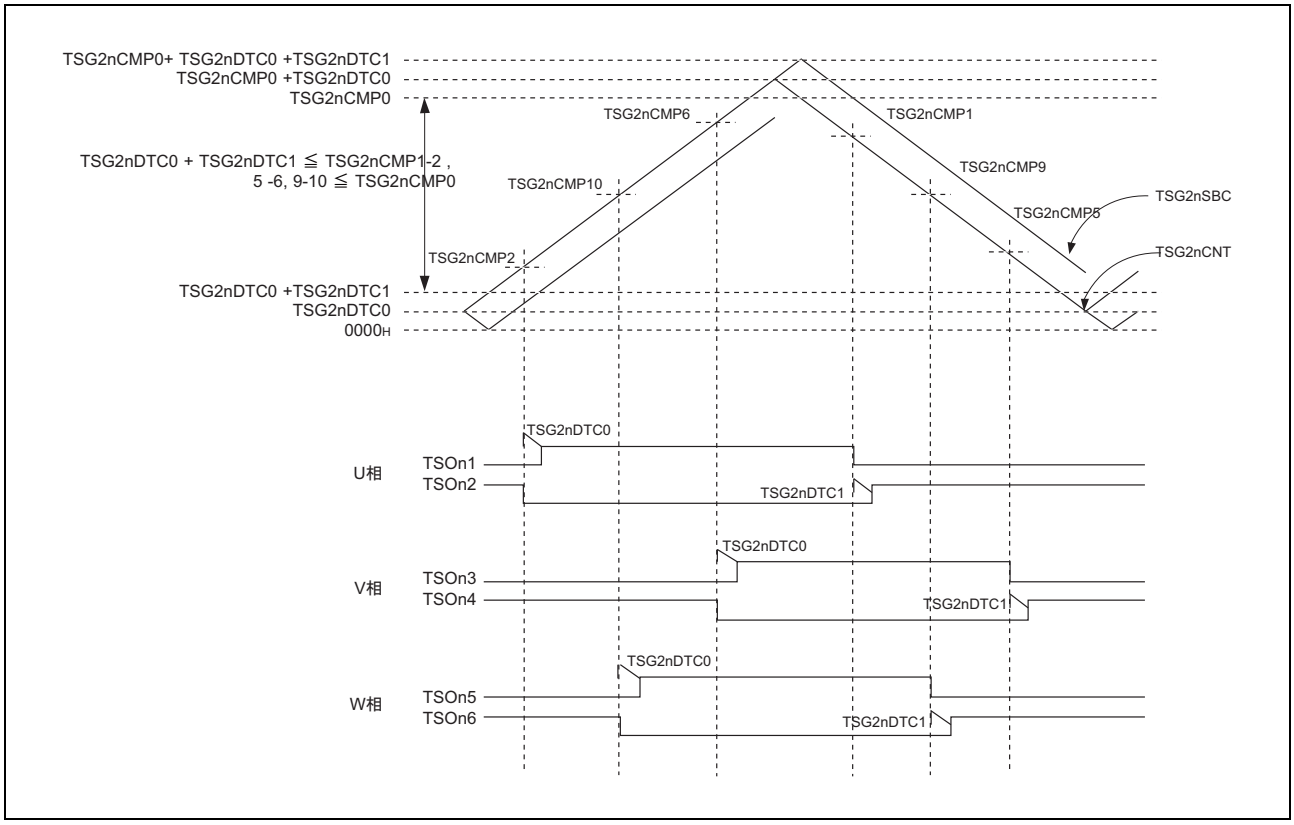
(1) PWM の設定について

対称三角波では、U 相、V 相、W 相の設定を TSG2nCMPU，TSG2nCMPV，TSG2nCMPW にてセット・タイミング、クリア・タイミングを同一値に設定することで各相の出力制御をしていました。非対称三角波では、TSG2nCMPm を以下のように設定することで各相の出力制御をします。（m = 1, 2, 5, 6, 9, 10）

前提条件

- TSG2nCMP1, TSG2nCMP5, TSG2nCMP9 で､U 相､V 相､W 相の電圧データ信号の PWM のクリア・タイミングを設定します。
- TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 で､U 相､V 相､W 相の電圧データ信号の PWM のセット・タイミングを設定します。
- セット・タイミング､クリア・タイミングは、TSG2nCMP1W（TSG2nCMP1, TSG2nCMP2）、TSG2nCMP5W（TSG2nCMP5, TSG2nCMP6）、TSG2nCMP9W（TSG2nCMP9, TSG2nCMP10）で、各相の設定をおこなうことができます。
- TSG2nCMPm は偶数値のみ設定可能です。（m = 1, 2, 5, 6, 9, 10）

(2) タイマ出力について



備　考

非対称三角波で出力制御する場合、TSG2nCMPm の設定は次の条件となります。（m = 1, 2, 5, 6, 9, 10）

- TSG2nDTC0+TSG2nDTC1 ≦ TSG2nCMPm ≦ TSG2nCMP0
- TSG2nCMPm = TSG2nCMP(m+1)、もしくは、TSG2nCMPm = TSG2nCMP(m+1)
  - 2 の場合のみ、対称三角波と同じ「0000_H ≦ TSG2nCMPm ≦ TSG2nCMP0
  - TSG2nDTC0 + TSG2nDTC1」の条件で設定可能です。

24.11.3 SP-PWM モード（Shifted-pulse - Pulse Width Modulation モード）

概要

16 ビット・カウンタと、16 ビット・コンペア・レジスタを使用して、6 相 PWM を生成できます。

前提条件

- TSG2nCMP0 には、PWM 周期を設定します。
- U 相、V 相、W 相のセット／クリア・タイミングを TSG2nCMP2, TSG2nCMP6, TSG2nCMP10（セット・タイミング）、TSG2nCMP1, TSG2nCMP5, TSG2nCMP9（U 相、V 相、W 相のクリア・タイミング）で設定します。（セット・タイミングとクリア・タイミングで制御する場合）
- U 相、V 相、W 相のセット・タイミングとアクティブ期間を TSG2nCMP2, TSG2nCMP6, TSG2nCMP10（セット・タイミング）、TSG2nUPW, TSG2nVPW, TSG2nWPW（アクティブ期間）で設定します。
  このとき、TSG2nCMP1, TSG2nCMP5, TSG2nCMP9 は、TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 に設定した値と TSG2nUPW, TSG2nVPW, TSG2nWPW へ設定した値とを加算した値が設定されます。
  （セット・タイミングとアクティブ期間で制御する場合）

機能説明

搬送波の周期を設定、U 相、V 相、W 相のセット・タイミングおよびデューティを設定。TSG2nTRG0.TSG2nTS = 1 にすると、カウント・アップを開始します。

16 ビット・カウンタは、0000_H よりカウントを行い、TSG2nCMP0 との一致でカウンタをクリアします。

デッド・タイムは、TSG2nDTC0、TSG2nDTC1 で設定し、TSG2nDTC0 は逆相（OFF）→正相（ON）のデッド・タイムを、TSG2nDTC1 は正相（OFF）→逆相（ON）のデッド・タイムを設定することができます。デッド・タイム生成用の 10 ビット・カウンタ（TSG2nDTT1-TSG2nDTT3）は、16 ビット・カウンタと TSG2nCMPm バッファ・レジスタのコンペア一致で TSG2nDTC0, TSG2nDTC1 の設定値をロードし、ダウン・カウントを行います。（m = 1, 2, 5, 6, 9, 10）

16 ビット・カウンタと、TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 バッファ・レジスタのコンペア一致で、それぞれ INTTSG2nIm 割り込み（m = 1, 2, 5, 6, 9, 10）を発生します。

備　考

SP-PWM モードは TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 10_B に設定したときに有効となります。

24.11.3.1 基本タイミング図

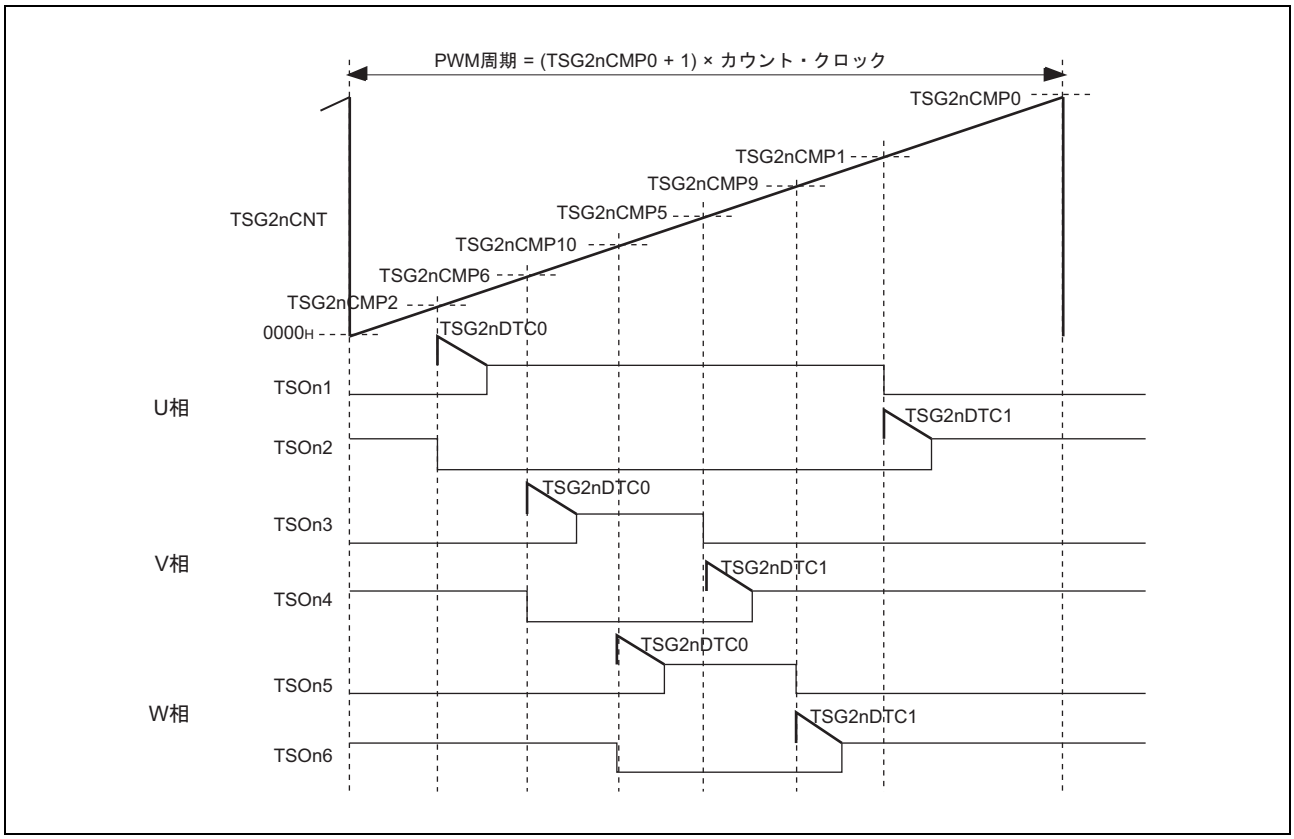
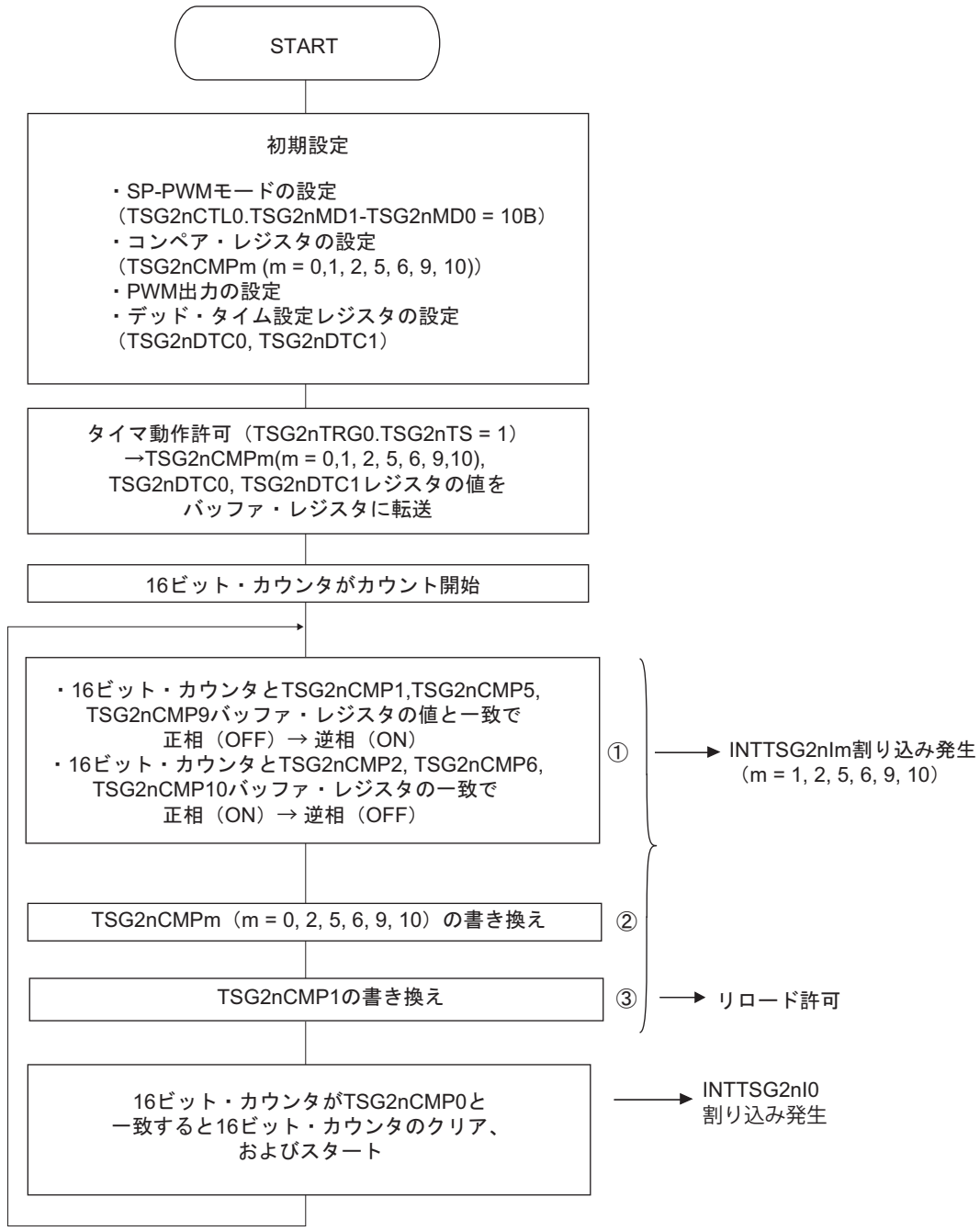


図 24.65　SP-PWM モード時の基本タイミング



備考　順番は、②，③の書き換えタイミング、TSG2nCMP1 の値などにより①のタイミングが異なる場合がありますが、②と③では必ず③を最後にしてください。

図 24.66　SP-PWM モード時の基本動作フロー

24.11.3.2 SP-PWM モード動作一覧

表 24.58 SP-PWM モード：カウンタ機能

動作		設定条件
16 ビット・カウンタ	スタート	TSG2nTRG0.TSG2nTS = 0 → 1
	クリア	TSG2nCMP0 バッファ・レジスタと 16 ビット・カウンタのコンペアー致
	停止	TSG2nTRG1.TSG2nTT = 0 → 1

表 24.59 SP-PWM モード：コンペア・レジスタ、デッド・タイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG2nCMP0	リロード／随時書き換え	可能	周期
TSG2nUPW	リロード／随時書き換え	可能	U 相用 PWM 制御
TSG2nCMP1W（TSG2nCMP1, TSG2nCMP2）	リロード／随時書き換え		
TSG2nVPW	リロード／随時書き換え	可能	V 相用 PWM 制御
TSG2nCMP5W（TSG2nCMP5, TSG2nCMP6）	リロード／随時書き換え		
TSG2nWPW,	リロード／随時書き換え	可能	W 相用 PWM 制御
TSG2nCMP9W（TSG2nCMP9, TSG2nCMP10）	リロード／随時書き換え		
TSG2nDTC0, TSG2nDTC1	リロード	可能	周期、デッド・タイム
TSG2nDCMP0W, TSG2nDCMP2	リロード／随時書き換え	可能	ダイアグ出力もしくは A/D 変換トリガ

表 24.60 SP-PWM モード：出力機能

端子	機能
TSOn1	TSG2nCMP1 バッファ・レジスタ（クリア・タイミング）、TSG2nCMP2 バッファ・レジスタ（セット・タイミング）と 16 ビット・カウンタのコンペアー致による PWM 出力（デッド・タイム付き）
TSOn2	TSOn1 に対する逆相出力（デッド・タイム付き）
TSOn3	TSG2nCMP5 バッファ・レジスタ（クリア・タイミング）、TSG2nCMP6 バッファ・レジスタ（セット・タイミング）と 16 ビット・カウンタのコンペアー致による PWM 出力（デッド・タイム付き）
TSOn4	TSOn3 に対する逆相出力（デッド・タイム付き）
TSOn5	TSG2nCMP9 バッファ・レジスタ（クリア・タイミング）、TSG2nCMP10 バッファ・レジスタ（セット・タイミング）と 16 ビット・カウンタのコンペアー致による PWM 出力（デッド・タイム付き）
TSOn6	TSOn5 に対する逆相出力（デッド・タイム付き）
TSOn7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力

表 24.61 SP-PWM モード：割り込み要求

割り込み	機能
INTTSG2nIm（m = 0, 1, 2, 5, 6, 9, 10）	TSG2nCMPm バッファ・レジスタと 16 ビット・カウンタのコンペアー致（m = 0, 1, 2, 5, 6, 9, 10）
INTTSG2nIER	エラー
INTTSG2nIVLY	—
INTTSG2nIPEK	山割り込み（INTTSG2nI0 割り込みと同タイミングで発生）
INTTSG2nIWN	ワーニング

表 24.62 SP-PWM モード：コンペアー致タイミング

コンペアー致	タイミング
TSG2nCMP0	16 ビット・カウンタが TSG2nCMP0 → 0000_H へ切り替わるとき
TSG2nCMPm（m = 1, 2, 5, 6, 9, 10）	16 ビット・カウンタと TSG2nCMPm の一致検出後（m = 1, 2, 5, 6, 9, 10）

表 24.63 SP-PWM モード：タイマ出力条件別の設定例（1/2）

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSOn1, TSOn3, TSOn5	PWM 出力	（TSG2nCMP0 ＋ 1）× カウント・クロック	1 周期の期間内すべてインアクティブ・レベル出力（デューティ 0%）	TSG2nCMPm = TSG2nCMP(m+1) もしくは TSG2nCMP(m+1) > TSG2nCMP0 （m = 1, 5, 9）
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TSG2nCMPm = TSG2nCMP(m+1) + 1 TSG2nCMP(m+1) = TSG2nCMPm - 1 （m = 1, 5, 9）
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TSG2nCMPm = TSG2nCMP(m+1) - 1 TSG2nCMP(m+1) = TSG2nCMPm + 1 （m = 1, 5, 9）
			1 周期の期間内すべてアクティブ・レベル出力（デューティ 100%）	TSG2nCMPm > TSG2nCMP0 TSG2nCMP(m+1) ≦ TSG2nCMP0 （m = 1, 5, 9）
TSOn2, TSOn4, TSOn6	PWM 出力	（TSG2nCMP0 ＋ 1）× カウント・クロック	1 周期の期間内すべてインアクティブ・レベル出力（デューティ 0%）	TSG2nCMPm = TSG2nCMP(m-1) もしくは TSG2nCMP(m-1) > TSG2nCMP0 （m = 2, 6, 10）
			1 周期で 1 カウント・クロックのアクティブ・レベル出力	TSG2nCMPm = TSG2nCMP(m-1) - 1 TSG2nCMP(m-1) = TSG2nCMPm + 1 （m = 2, 6, 10）
			1 周期で 1 カウント・クロックのインアクティブ・レベル出力	TSG2nCMPm = TSG2nCMP(m-1) + 1 TSG2nCMP(m-1) = TSG2nCMPm - 1 （m = 2, 6, 10）
			1 周期の期間内すべてアクティブ・レベル出力（デューティ 100%）	TSG2nCMPm > TSG2nCMP0 （m = 2, 6, 10）
TSOn7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力	（TSG2nCMP0 ＋ 1）× カウント・クロック	**「24.9 A/D 変換トリガ機能」**を参照	

24.11.3.3 SP-PWM モードの各種設定

モード設定

TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 10_B に設定することで SP-PWM モードになります。

タイマ出力の設定

TSOn1-TSOn6 端子は、TSG2nIOC0, TSG2nIOC2, TSG2nIOC3 の設定で出力制御を行います。

TSOn7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の許可

TSG2nIOC1.TSG2nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み（INTTSG2nIER）発生を許可します。詳細は、**「24.10　エラー／ワーニング割り込み」**を参照してください。

リロード機能付きレジスタ書き換えタイミング設定

TSG2nCTL3.TSG2nRMC で、リロード機能付きレジスタに対し、リロード（一斉書き換え）／随時書き換えを行います（デフォルト “0” リロード）。リロードを行う場合は、TSG2nCTL4.TSG2nPRE を必ずセット（1）してください。

TSG2nPRE が “0” の場合はリロード・タイミングが発生しません。

随時書き換えにした場合、書き換えタイミングによって意図しない出力が発生する場合があります。

A/D 変換トリガ出力の設定

A/D 変換トリガ 0（TSTADT0 信号）を設定する場合は、TSG2nCTL5.TSG2nAT09-TSG2nAT00 で設定を行います。

TSG2nAT09-TSG2nAT00 で、TSG2nDCMP2-TSG2nDCMP0 との一致タイミング（16 ビット・カウンタのアップ・カウント）による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1（TSTADT1 信号）を設定する場合は、TSG2nCTL6.TSG2nAT19-TSG2nAT10 で設定を行います。

16 ビット・カウンタと TSG2nDCMP2-TSG2nDCMP0 の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSTADT0, TSTADT1 信号に対しては、間引き機能が使用できます。TSG2nCTL5 の TSG2nACC01, TSG2nACC00, および TSG2nCTL6 の TSG2nACC11, TSG2nACC10 を使用して、間引き無し／ 1 間引き／ 3 間引き／ 7 間引きの設定を行うことができます。

注　意

- **A/D 変換トリガのタイミング・パルスを TSOn7 端子に出力する場合は、TSG2nCTL5, TSG2nCTL6 と TSG2nDCMP2-TSG2nDCMP0 の設定を正しく行ってください。**
- **SP-PWM モードでは、谷割り込み（INTTSG2nIVLY）は発生しません。そのため TSG2nCTL5, TSG2nCTL6 の TSG2nAT00, TSG2nAT10 は必ず “0” に設定してください。**
- **SP-PWM モードでは、16 ビット・サブカウンタは動作しません。そのため、TSG2nCTL5, TSG2nCTL6 の TSG2nAT09, TSG2nAT08, TSG2nAT19, TSG2nAT18 は必ず “0” に設定してください。**
- **SP-PWM モードでは、16 ビット・カウンタのダウン・カウント状態は発生しません。そのため TSG2nCTL5, TSG2nCTL6 の TSG2nAT07, TSG2nAT05, TSG2nAT03, TSG2nAT17, TSG2nAT15, TSG2nAT13 は必ず “0” に設定してください。**

デッド・タイムの設定

TSG2nDTC0, TSG2nDTC1 でデッド・タイムの設定を行います。

デッド・タイムは、次の式で求めることができます。

PCLK × TSG2nDTC0

PCLK × TSG2nDTC1

TSG2nDTC0 は、TSOn2, TSOn4, TSOn6 端子のインアクティブ変化→ TSOn1, TSOn3, TSOn5 端子のアクティブ変化までの時間を設定できます。

TSG2nDTC1 は、TSOn1, TSOn3, TSOn5 端子のインアクティブ変化→ TSOn2, TSOn4, TSOn6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式にしたがい TSG2nCMP0 で、搬送波の周期を設定してください。

TSG2nCMP0 =（搬送波周期／カウント・クロック周期）– 1

注　意

TSG2nCMP0 = $FFFF_H$ で設定した場合、デューティ 100% の PWM 出力はできません。

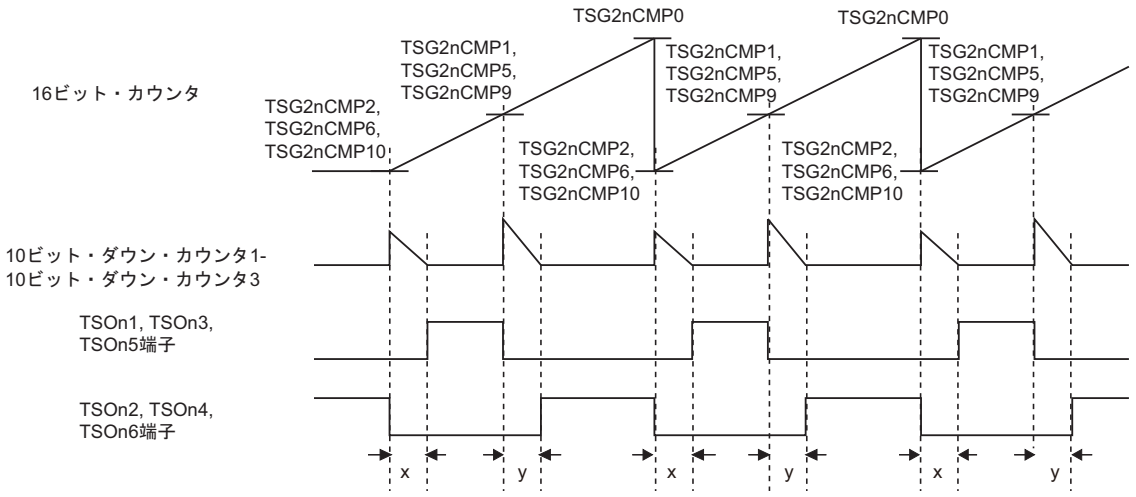
デューティ（PWM 幅）の設定

TSG2nCMPm と TSG2nUPW, TSG2nVPW, TSG2nWPW でそれぞれ U 相、V 相、W 相のデューティ設定を行います。（m = 1, 2, 5, 6, 9, 10）

- TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 で、U 相、V 相、W 相のセット・タイミングを設定し，TSG2nCMP1, TSG2nCMP5, TSG2nCMP9 で、U 相、V 相、W 相のクリア・タイミングを設定します。
  （セット・タイミングとクリア・タイミングの設定で制御する場合）
- TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 で、U 相、V 相、W 相のセット・タイミングを設定し、TSG2nUPW, TSG2nVPW, TSG2nWPW でアクティブ期間を設定します。
  このとき、TSG2nCMP1, TSG2nCMP5, TSG2nCMP9 は、TSG2nCMP2, TSG2nCMP6, TSG2nCMP10 に設定した値と TSG2nUPW, TSG2nVPW, TSG2nWPW へ設定した値とを加算した値が設定されます。
  （セット・タイミングとアクティブ期間の設定で制御する場合）

24.11.3.4 SP-PWM モード時のデッド・タイム制御

SP-PWM モードでは、デューティ用の設定レジスタは TSG2nCMPm（m = 1, 2, 5, 6, 9, 10）と TSG2nUPW, TSG2nVPW, TSG2nWPW とし、周期用の設定レジスタは TSG2nCMP0 となります。このレジスタを使用することで、デューティ可変型の 6 相 PWM 波形を出力できます。デッド・タイム制御を実現するために、16 ビット・カウンタのカウント・クロックに同期して動作する 6 本の 10 ビット・ダウン・カウンタと、デッド・タイム設定レジスタ（TSG2nDTC0, TSG2nDTC1）があります。TSG2nDTC0 レジスタは、逆相がインアクティブに変化してから正相がアクティブに変化するまでのデッド・タイムの設定であり、TSG2nDTC1 レジスタは、正相がインアクティブに変化してから逆相がアクティブに変化するまでのデッド・タイムの設定です。次に出力波形例を示します。



備考 x ：TSG2nDTC0 レジスタ、y ：TSG2nDTC1 レジスタ

図 24.67 SP-PWM モード時の出力波形例

24.11.3.5 SP-PWM モード時のソフトウエア出力制御機能

TSG2nOPT0.TSG2nSOC, TSG2nIDC, TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 を使用して、ソフトウエア制御によるタイマ出力制御を行うことができます。

図 24.68 に示すように、TSG2nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッド・タイムの設定をしていれば、デッド・タイム期間は保証されます。その後、TSG2nSOC = 0 にしたタイミングでは出力を保持し、リロード・タイミングが発生した時点で、SP-PWM モードによる出力制御に切り替わります。

ソフトウエア出力制御機能について、詳細は**「24.11.5 ソフトウエア出力制御機能」**を参照してください。

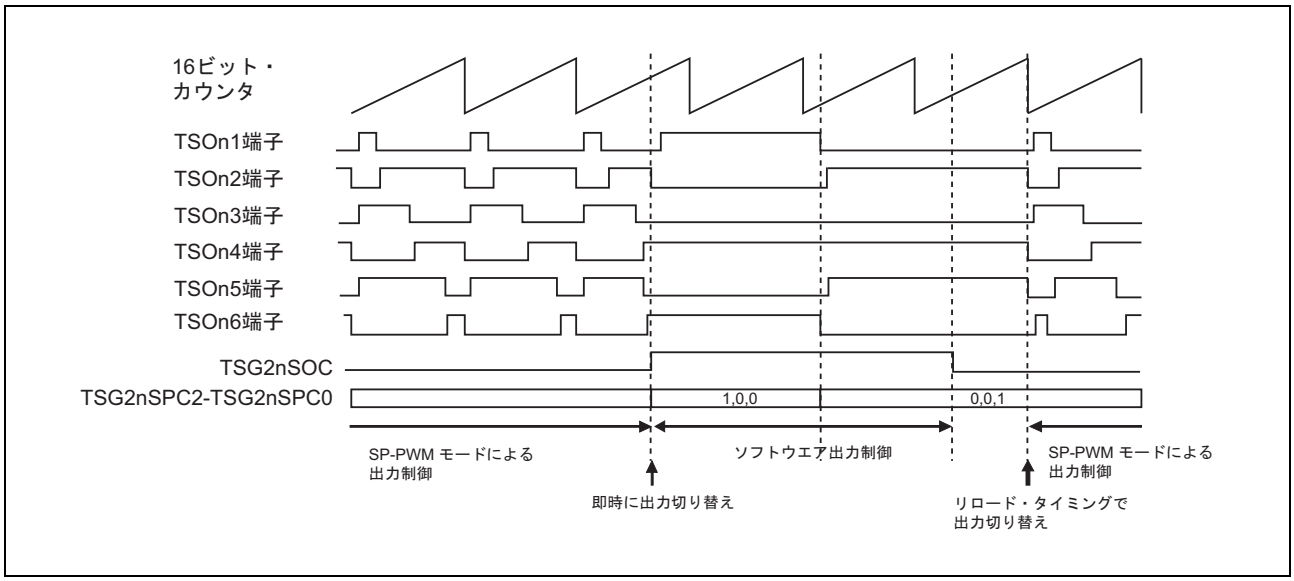


図 24.68 SP-PWM モードからソフトウエア出力制御機能の切り替え例

(1) ソフトウエア出力制御の処理手順

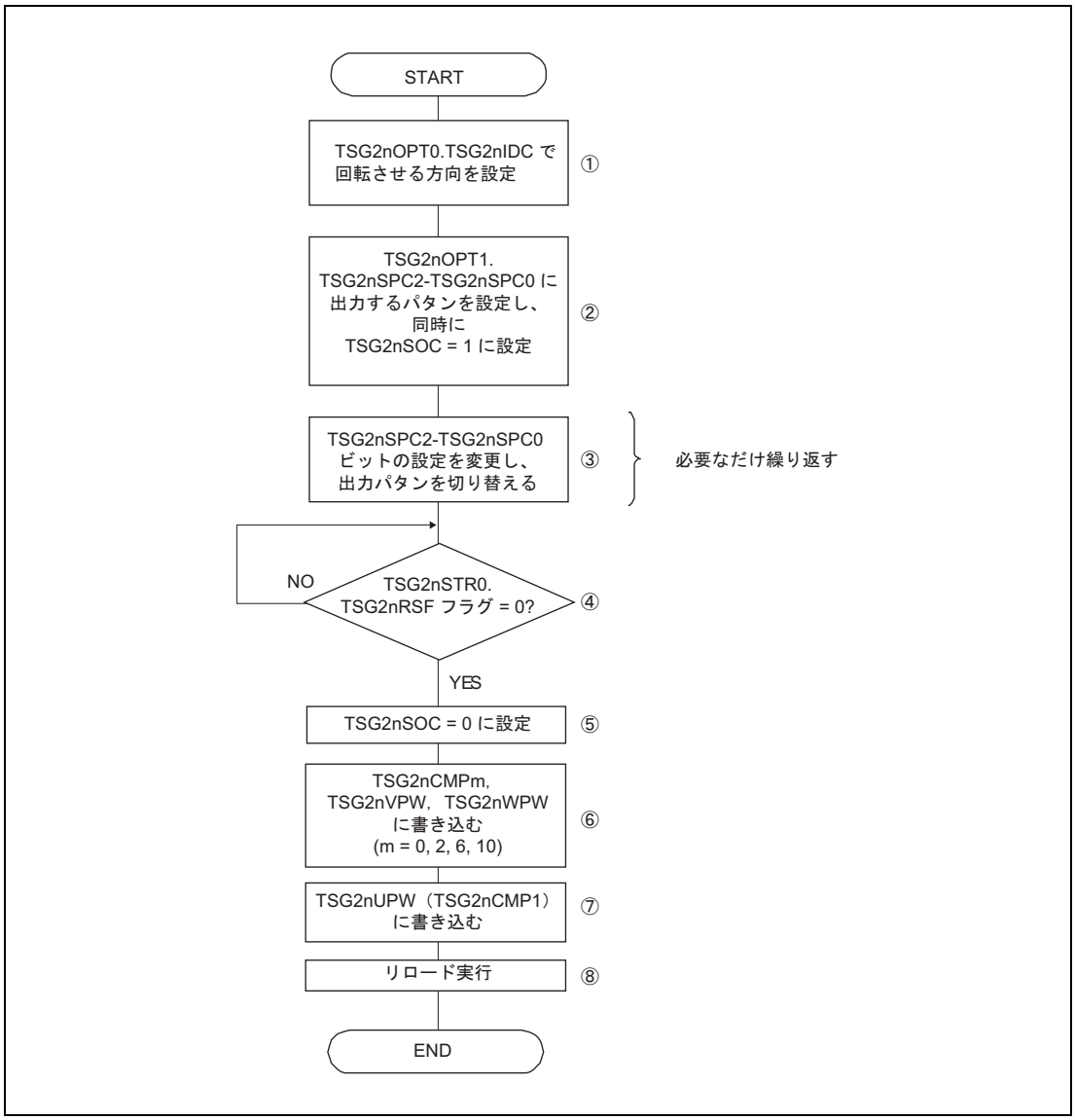


図 24.69　ソフトウエア出力制御時の処理フロー

ソフトウエア出力制御の処理手順を示します。

① 回転方向を決定するため、TSG2nIDC の設定を行います。TSG2nIDC = 0 の場合と、TSG2nIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウエア出力制御機能において、このビットを書き換えただけではタイマ出力は変化しません。

② TSG2nSPC2-TSG2nSPC0 に出力するパタンを設定し、同時にソフトウエア出力を行うために TSG2nSOC = 1 にします。

③ TSG2nSPC2-TSG2nSPC0 の出力パタン設定を変更し、タイマ出力を変化させます。ソフトウエア制御中に変更可能なレジスタは次のとおりです。
TSG2nTRG0.TSG2nTS，TSG2nCTL3-TSG2nCTL6，TSG2nOPT0, TSG2nOPT1，TSG2nCMP0-TSG2nCMP12，TSG2nDTC0, TSG2nDTC1

④リロード要求フラグ（TSG2nRSF）= 0 であることを確認します。TSG2nRSF = 1 だった場合は TSG2nRSF = 0 になるまで次の手順に移行しないでください。

⑤ TSG2nSOC = 0 にするとソフトウエア制御を解除開始します（ここではまだ解除されません）。

⑥ソフトウエア出力制御解除後に必要な、コンペア・レジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。

⑦ TSG2nUPW（TSG2nCMP1）に書き込みを行い、リロードを起動します。

⑧リロードが実行され、ソフトウエア出力を解除します。

注　意

④，⑤，⑥，⑦の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウエア出力を解除できません。

24.11.4　120-DC モード

概要

TSG2nCMP0 の PWM 周期、TSG2nCMP1-TSG2nCMP12 のデューティによるタイマ出力（TSOn1-TSOn6）を 2 種類（ソフトウエア出力制御方式、パタン切り替え方式）のパタン入力で出力制御を行い、120-DC 制御を実現します。

前提条件

- TSG2nCMP0 には、PWM 周期を設定します。
- TSG2nCMP1-TSG2nCMP12 には、PWM のデューティを設定、TSG2nPAT0W, TSG2nPAT1W に出力パタンを設定します。

機能説明

PWM 周期を設定、各コンペア・レジスタにデューティを設定、パタン・レジスタに各パタンの出力対象を設定します。TSG2nTRG0.TSG2nTS = 1 にすると、カウント・アップを開始します。

16 ビット・カウンタは、0000_H よりカウントを行い、TSG2nCMP0 との一致でカウンタをクリアします。

16 ビット・カウンタと、TSG2nCMP1-TSG2nCMP12 バッファ・レジスタのコンペア一致で、それぞれ INTTSG2nI1-INTTSG2nI12 割り込みを発生します。

備　考

120-DC モードは TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 11_B に設定したときに有効となります。

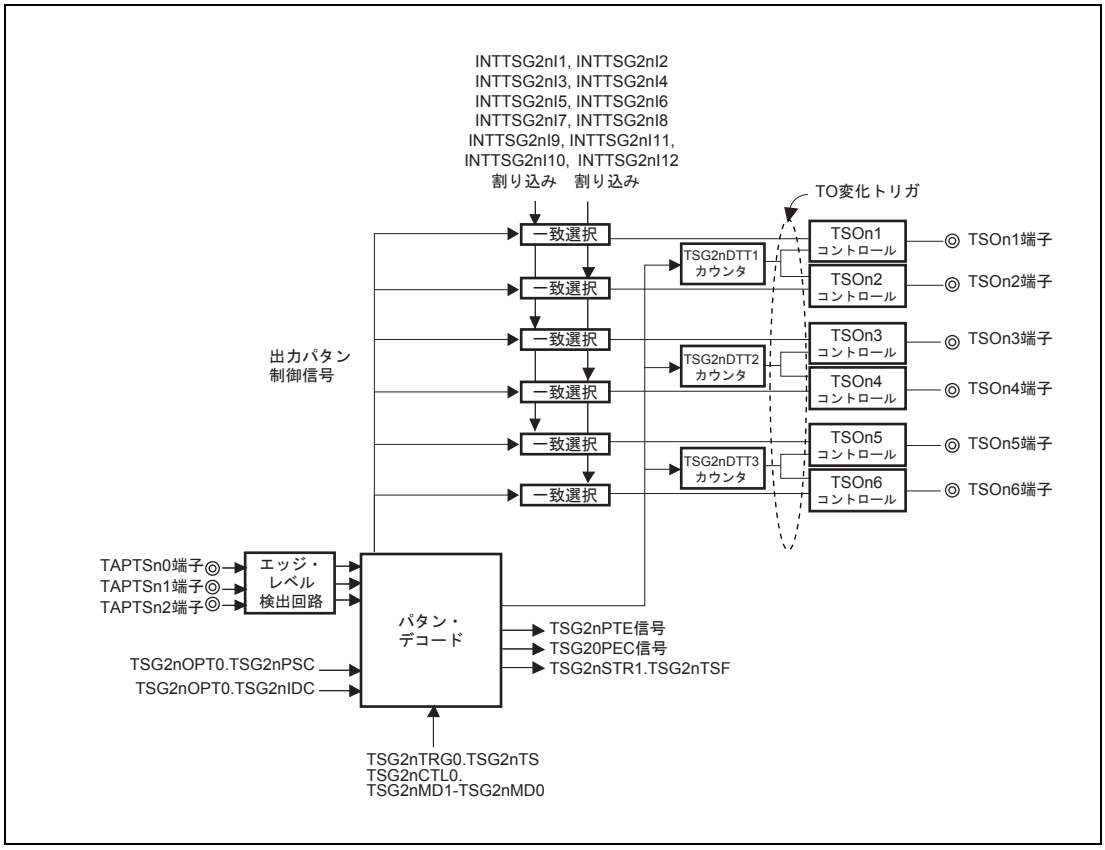
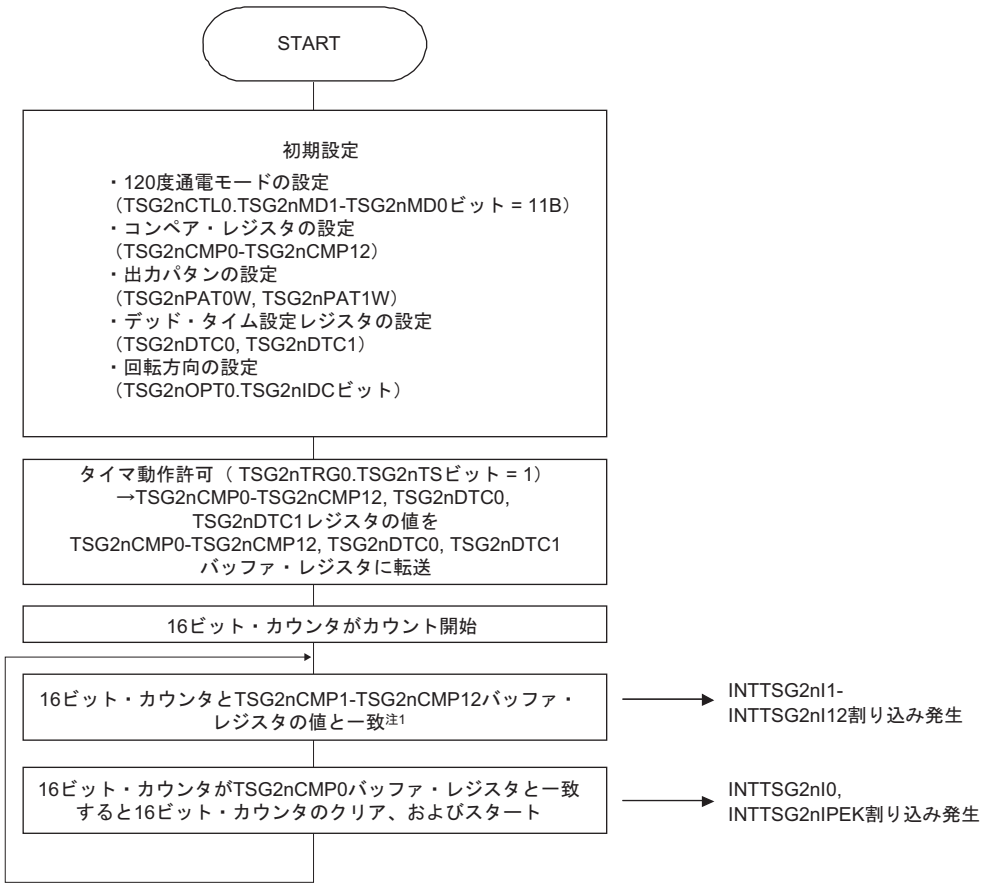


図 24.70 120-DC モード時のブロック構成図



注 1.　16 ビット・カウンタと TSG2nCMP1-TSG2nCMP12 バッファ・レジスタとの一致では 16 ビット・カウンタはクリアされません。

図 24.71　120-DC モード時の基本動作フロー

24.11.4.1 120-DC モード動作一覧

表 24.64 120-DC モード：カウンタ機能

動作		設定条件
16 ビット・カウンタ	スタート	TSG2nTRG0.TSG2nTS = 0 → 1
	クリア	TSG2nCMP0 と 16 ビット・カウンタの一致、もしくは，出力パタンの切り替えタイミング
	停止	TSG2nTRG1.TSG2nTT = 0 → 1

表 24.65 120-DC モード：コンペア・レジスタ、デッド・タイム設定レジスタの機能

レジスタ	書き換え方法	動作中の書き換え	機能
TSG2nCMP0	リロード	可能	周期
TSG2nCMPm（m = 1 ～ 12）	リロード	可能	PWM デューティ
TSG2nDCMP0W, TSG2nDCMP2	リロード	可能	ダイアグ出力もしくは A/D 変換トリガ
TSG2nDTC0, TSG2nDTC1	リロード	可能	デッド・タイム

表 24.66 120-DC モード：タイマ入力機能

端子／信号	機能
TAPTSn2-TAPTSn0 端子	パタン入力（3 相）

表 24.67 120-DC モード：タイマ出力機能

端子／信号	機能
TSOn1 端子	TSG2nCMPm バッファ・レジスタ（m = 1, 2, 5, 6, 9, 10）と 16 ビット・カウンタのコンペア一致と TSG2nPAT0W の設定による出力パタン選択により PWM 出力（デッド・タイム付き）
TSOn2 端子	TSG2nCMPm バッファ・レジスタ（m = 3, 4, 7, 8, 11, 12）と 16 ビット・カウンタのコンペア一致と TSG2nPAT1W の設定による出力パタン選択により PWM 出力（デッド・タイム付き）
TSOn3 端子	TSG2nCMPm バッファ・レジスタ（m = 1, 2, 5, 6, 9, 10）と 16 ビット・カウンタのコンペア一致と TSG2nPAT0W の設定による出力パタン選択により PWM 出力（デッド・タイム付き）
TSOn4 端子	TSG2nCMPm バッファ・レジスタ（m = 3, 4, 7, 8, 11, 12）と 16 ビット・カウンタのコンペア一致と TSG2nPAT1W の設定による出力パタン選択により PWM 出力（デッド・タイム付き）
TSOn5 端子	TSG2nCMPm バッファ・レジスタ（m = 1, 2, 5, 6, 9, 10）と 16 ビット・カウンタのコンペア一致と TSG2nPAT0W の設定による出力パタン選択により PWM 出力（デッド・タイム付き）
TSOn6 端子	TSG2nCMPm バッファ・レジスタ（m = 3, 4, 7, 8, 11, 12）と 16 ビット・カウンタのコンペア一致と TSG2nPAT1W の設定による出力パタン選択により PWM 出力（デッド・タイム付き）
TSOn7 端子	ダイアグ出力もしくは A/D 変換トリガによるパルス出力
TSG2nPTE 信号	パタン入力の変化によるトグル信号

表 24.68　120-DC モード：割り込み要求

割り込み	機能
INTTSG2nIm（m = 0-12）	TSG2nCMPm バッファ・レジスタと 16 ビット・カウンタのコンペアー致（m = 0-12）
INTTSG2nIER	エラー
INTTSG2nIVLY	—
INTTSG2nIPEK	山割り込み（INTTSG2nI0 と同タイミングで発生）
INTTSG2nIWN	ワーニング

表 24.69　120-DC モード：コンペアー致タイミング

コンペアー致	タイミング
TSG2nCMP0	16 ビット・カウンタが TSG2nCMP0 → 0000_H へ切り替わるとき
TSG2nCMPm（m = 1-12）	16 ビット・カウンタと TSG2nCMPm 一致検出後（m = 1-12）

表 24.70　120-DC モード：タイマ出力条件別の設定例

端子	項目	出力周期	出力デューティ	
			出力条件	設定条件
TSOnm（m = 1-6）	PWM 出力	（TSG2nCMP0 ＋ 1）× カウント・クロック	**「24.11.4.6　120-DC モードの出力パタン一覧」**を参照	—
TSOn7	ダイアグ出力もしくは A/D 変換トリガによるパルス出力	（TSG2nCMP0 ＋ 1）× カウント・クロック	**「24.9　A/D 変換トリガ機能」**を参照	—

24.11.4.2 120-DC モードの各種設定

モード設定

TSG2nCTL0.TSG2nMD1-TSG2nMD0 = 11_B に設定することで 120-DC モードになります。

タイマ出力の設定

TSOn1-TSOn6 端子は、TSG2nIOC0, TSG2nIOC2, TSG2nIOC3 の設定で出力制御を行います。

TSOn7 端子は、ダイアグ出力もしくは A/D 変換トリガによるパルス出力です。必要に応じて設定してください。

エラー割り込み発生の許可

TSG2nIOC1.TSG2nEOC = 1 にすることで、正相／逆相同時アクティブを検出したときのエラー割り込み（INTTSG2nIER）発生を許可します。詳細は、**「24.10　エラー／ワーニング割り込み」**を参照してください。

レジスタ書き換えタイミング設定

TSG2nCTL3.TSG2nRMC で、リロード機能付きレジスタに対し、リロード（一斉書き換え）を行います（デフォルト “0” リロード）。リロードを行う場合は、TSG2nCTL4.TSG2nPRE を必ずセット（1）してください。

TSG2nPRE に “0” の場合はリロード・タイミングが発生しません。

A/D 変換トリガ

出力の設定：A/D 変換トリガ 0（TSTADT0 信号）を設定する場合は、TSG2nCTL5 の TSG2nAT09-TSG2nAT00 で設定を行います。

TSG2nAT09-TSG2nAT00 で、TSG2nDCMP2-TSG2nDCMP0 との一致タイミング（16 ビット・カウンタのアップ・カウント）による A/D 変換トリガ出力の許可／禁止を行います。

A/D 変換トリガ 1（TSTADT1 信号）を設定する場合は、TSG2nCTL6 の TSG2nAT19-TSG2nAT10 で設定を行います。

16 ビット・カウンタと TSG2nDCMP2-TSG2nDCMP0 の一致タイミングを設定する場合は、それぞれのレジスタにコンペア値の設定を行います。

TSTADT0, TSTADT1 信号に対しては、間引き機能が使用できます。TSG2nCTL5 の TSG2nACC01, TSG2nACC00, および TSG2nCTL6 の TSG2nACC11, TSG2nACC10 を使用して、間引き無し／ 1 間引き／ 3 間引き／ 7 間引きの設定を行うことができます。

注　意

- **A/D 変換トリガのタイミング・パルスを TSOn7 端子に出力する場合は、TSG2nCTL5, TSG2nCTL6 と TSG2nDCMP2-TSG2nDCMP0 の設定を正しく行ってください。**
- **120-DC モードでは、谷割り込み（INTTSG2nIVLY）は発生しません。そのため TSG2nCTL5, TSG2nCTL6 の TSG2nAT00, TSG2nAT10 は必ず “0” に設定してください。**
- **120-DC モードでは、16 ビット・サブカウンタは動作しません。そのため、TSG2nCTL5, TSG2nCTL6 の TSG2nAT09, TSG2nAT08, TSG2nAT19, TSG2nAT18 は必ず “0” に設定してください。**
- **120-DC モードでは、16 ビット・カウンタのダウン・カウント状態は発生しません。そのため TSG2nCTL5, TSG2nCTL6 の TSG2nAT07, TSG2nAT05, TSG2nAT03, TSG2nAT17, TSG2nAT15, TSG2nAT13 は必ず “0” に設定してください。**

デッド・タイムの設定

TSG2nDTC0, TSG2nDTC1 でデッド・タイムの設定を行います。

デッド・タイムは、次の式で求めることができます。

PCLK × TSG2nDTC0

PCLK × TSG2nDTC1

TSG2nDTC0 は、TSOn2, TSOn4, TSOn6 端子のインアクティブ変化→ TSOn1, TSOn3, TSOn5 端子のアクティブ変化までの時間を設定できます。

TSG2nDTC1 は、TSOn1, TSOn3, TSOn5 端子のインアクティブ変化→ TSOn2, TSOn4, TSOn6 端子のアクティブ変化までの時間を設定できます。

搬送波の周期

次の式にしたがい TSG2nCMP0 で、搬送波の周期を設定してください。

TSG2nCMP0 =（搬送波周期 ／ カウント・クロック周期）– 1

デューティ（PWM 幅）の設定

TSG2nCMP1-TSG2nCMP12 で PWM 出力のデューティ設定を行います。コンペア・レジスタの設定範囲は次のようになっています。

0000_H ≦ TSG2nCMPm ≦ TSG2nCMP0 ＋ 1

注　意

TSG2nCMP0 ＋ 1 ＜ TSG2nCMPm，および、TSG2nCMP0 = $FFFF_H$ 時のみ TSG2nCMPm = TSG2nCMP0 ＋ 1 は設定しないでください。（m = 1-12）

出力 PWM の設定

120 度制御を行う場合は、TSOn1, TSOn3, TSOn5 端子の出力制御を TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 で行い、TSOn2, TSOn4, TSOn6 端子の出力制御を TSG2nCMP3, TSG2nCMP4, TSG2nCMP7, TSG2nCMP8, TSG2nCMP11, TSG2nCMP12 で行います。PWM 周期（TSG2nCMP0）に対して、TSG2nCMP1-TSG2nCMP12 レジスタでデューティを設定可能です。デューティ 0%にする場合は TSG2nCMP1-TSG2nCMP12 レジスタに “0000_H” を設定し、デューティ 100%にする場合は、TSG2nCMP1-TSG2nCMP12 レジスタに TSG2nCMP0 ＋ 1 の値を設定する必要があります。これにより、チョッピング出力制御、矩形波出力制御が可能となります。

24.11.4.3 120-DC モードの制御方式

120-DC の制御方式は次のとおりです。

制御方式	機能
ソフトウエア出力制御方式	TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 の設定をソフトウエアにより出力パタンを切り替えます
パタン切り替え方式	TAPTSn0-TAPTSn2 のパタン入力信号により直接出力パタンを切り替えます

ソフトウエア出力制御方式の設定

TSG2nOPT0.TSG2nSTE = 0 にすると、ソフトウエア出力制御により出力パタンを切り替えることができます。TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 の設定により TSOn1-TSOn6 端子の出力を切り替えます。

動作開始時の出力順序は TSG2nOPT0.TSG2nIDC で設定します。出力パタンは、TSG2nOPT0.TSG2nPSC で設定します。

ソフトウエア出力制御方式の動作

ソフトウエアにより設定された TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 により、TSOn1-TSOn6 端子の PWM 出力（TSG2nCMP1-TSG2nCMP12 値で決定される PWM 出力）を選択します。デッド・タイムの制御は、各相の信号が立ち下がったタイミングでデッド・タイム・カウンタが動作し、デッド・タイムを挿入します。

16 ビット・カウンタは、TSG2nCMP0 に設定した搬送周期でカウントを行います。16 ビット・カウンタは、16 ビット・カウンタと TSG2nCMP0 の一致、もしくは、TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 のライト時にカウンタ・クリアされます。

この方式では、出力パタン（TSG2nSPC2-TSG2nSPC0）、電流方向を制御するビット（TSG2nOPT0.TSG2nIDC）、順序方向制御ビット（TSG2nOPT0.TSG2nPSC）の情報を使用しデコードされたパタンを出力します。**図 24.91** はソフトウエア出力制御による出力パタンが変化した場合のタイマ出力を示しています。

また、動作開始（TSG2nTRG0.TSG2nTS = 1）した直後は、TSG2nSPC2-TSG2nSPC0 の出力パタン、TSG2nIDC，TSG2nPSC（TSG2nOPT0.TSG2nPSS = 1）で設定したパタンを出力します。

パタン切り替え方式の設定

TSG2nOPT0.TSG2nSTE = 1 にすると、パタン切り替え方式となります。TAPTSn2-TAPTSn0 端子の変化タイミングで TSOn1-TSOn6 端子の出力を切り替えます。

動作開始時の出力順序は TSG2nOPT0.TSG2nIDC で設定します。初期出力パタンは、TSG2nOPT0.TSG2nPSC で設定します。ただし、回転方向が決定したあと（TSG2nSTR1.TSG2nTSF に値がセットされたあと）は、TSG2nPSC の設定は無効になります。

パタン切り替え方式の動作

TAPTSn2-TAPTSn0 端子（ホール・センサからの 3 入力）に対してレベル検出を行い、レベル検出した後の信号をデコードします。このデコード結果を判断して、TSOn1-TSOn6 端子の PWM 出力（TSG2nCMP1-TSG2nCMP12 値で決定される PWM 出力）を選択します。デッド・タイムの制御は、各相の信号が立ち下がったタイミングでデッド・タイム・カウンタが動作し、デッド・タイムを挿入します。

16 ビット・カウンタは、TSG2nCMP0 に設定した搬送周期でカウントを行います。16 ビット・カウンタは、16 ビット・カウンタと TSG2nCMP0 の一致、もしくは、入力パタン（TAPTSn2-TAPTSn0 端子）の変化時にカウンタ・クリアされます。

この方式では、入力パタン（TAPTSn2-TAPTSn0 端子）、電流方向を制御するビット（TSG2nOPT0.TSG2nIDC）、順序方向制御ビット（TSG2nOPT0.TSG2nPSC）の情報を使用しデコードされたパタンを出力します。**図 24.74** ～**図 24.77** は TAPTSn2-TAPTSn0 端子が変化した場合のタイマ出力を示しています。入力パタンに異常が発生し、入力パタン 1 から入力パタン 4 に切り替わった場合は、入力パタンに対応した出力パタンに切り替わります。

また、動作開始（TSG2nTRG0.TSG2nTS = 1）した直後は、TAPTSn2- TAPTSn0 端子の入力レベル、TSG2nIDC, TSG2nPSC（TSG2nOPT0.TSG2nPSS = 1）で設定したパタンを出力します。TSG2nTSF の値が決定したあとは、TSG2nPSC の代わりに TSG2nTSF で出力パタンを決定します。

注　意

3 相パルス入力信号を TAPTSn2-TAPTSn0 端子に接続する時に、3 相パルス入力値と、TSOn1-TSOn6 端子から出力するパタンが期待する条件であることを確認してください。期待する条件と異なる場合は、3 相パルス入力信号と TAPTSn2-TAPTSn0 端子の接続を変更してください。

24.11.4.4 120-DC モードのタイマ出力

120-DC モードでは、PWM 出力を TSG2nPAT0W, TSG2nPAT1W，および、TSG2nCMP1-TSG2nCMP12 で制御します。TSOn1, TSOn3, TSOn5 端子の出力では TSG2nPAT0W と TSG2nCMP1, TSG2nCMP2, TSG2nCMP5, TSG2nCMP6, TSG2nCMP9, TSG2nCMP10 を設定します。TSOn2, TSOn4, TSOn6 端子の出力では TSG2nPAT1W と TSG2nCMP3, TSG2nCMP4, TSG2nCMP7, TSG2nCMP8, TSG2nCMP11, TSG2nCMP12 を設定します。

PWM の出力制御では、TSOn1, TSOn3, TSOn5 端子および TSOn2, TSOn4, TSOn6 端子の出力パタンを各 8 種類選択できます。

表 24.71 TSG2nPAT0W レジスタの設定値と出力制御

PATmT 値	出力制御
000	ロウ・レベル固定
001	TSG2nCMP1 で設定した PWM 出力
010	TSG2nCMP2 で設定した PWM 出力
011	TSG2nCMP5 で設定した PWM 出力
100	TSG2nCMP6 で設定した PWM 出力
101	TSG2nCMP9 で設定した PWM 出力
110	TSG2nCMP10 で設定した PWM 出力
111	ハイ・レベル固定

（m = 0, 1, 2, 3, 4, 5）

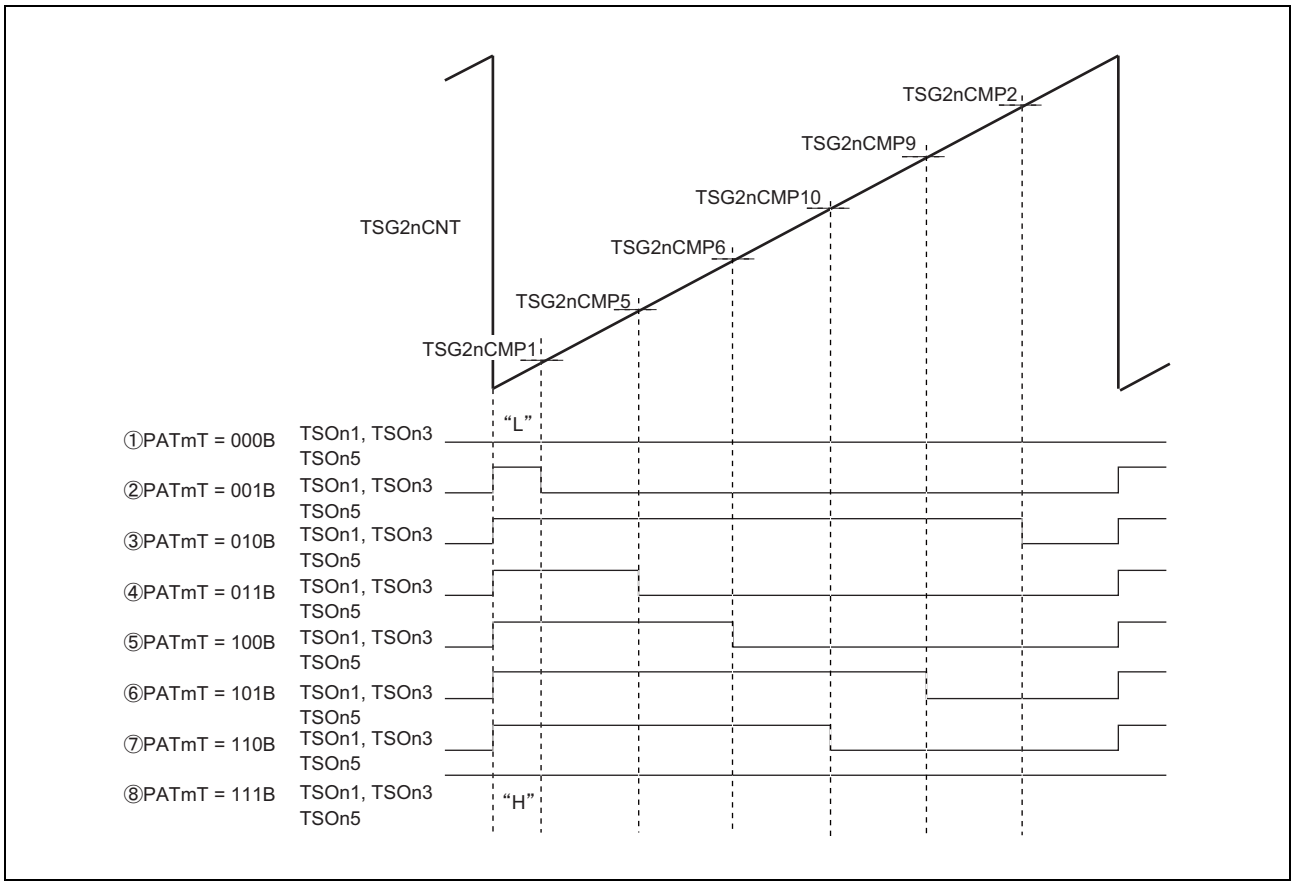


図 24.72 出力パタン別の TSOn1, TSOn3, TSOn5 端子出力

表 24.72 TSG2nPAT1W レジスタの設定値と出力制御

PATmB 値	出力制御
000	ロウ・レベル固定
001	TSG2nCMP3 で設定した PWM 出力
010	TSG2nCMP4 で設定した PWM 出力
011	TSG2nCMP7 で設定した PWM 出力
100	TSG2nCMP8 で設定した PWM 出力
101	TSG2nCMP11 で設定した PWM 出力
110	TSG2nCMP12 で設定した PWM 出力
111	ハイ・レベル固定

（m = 0, 1, 2, 3, 4, 5）

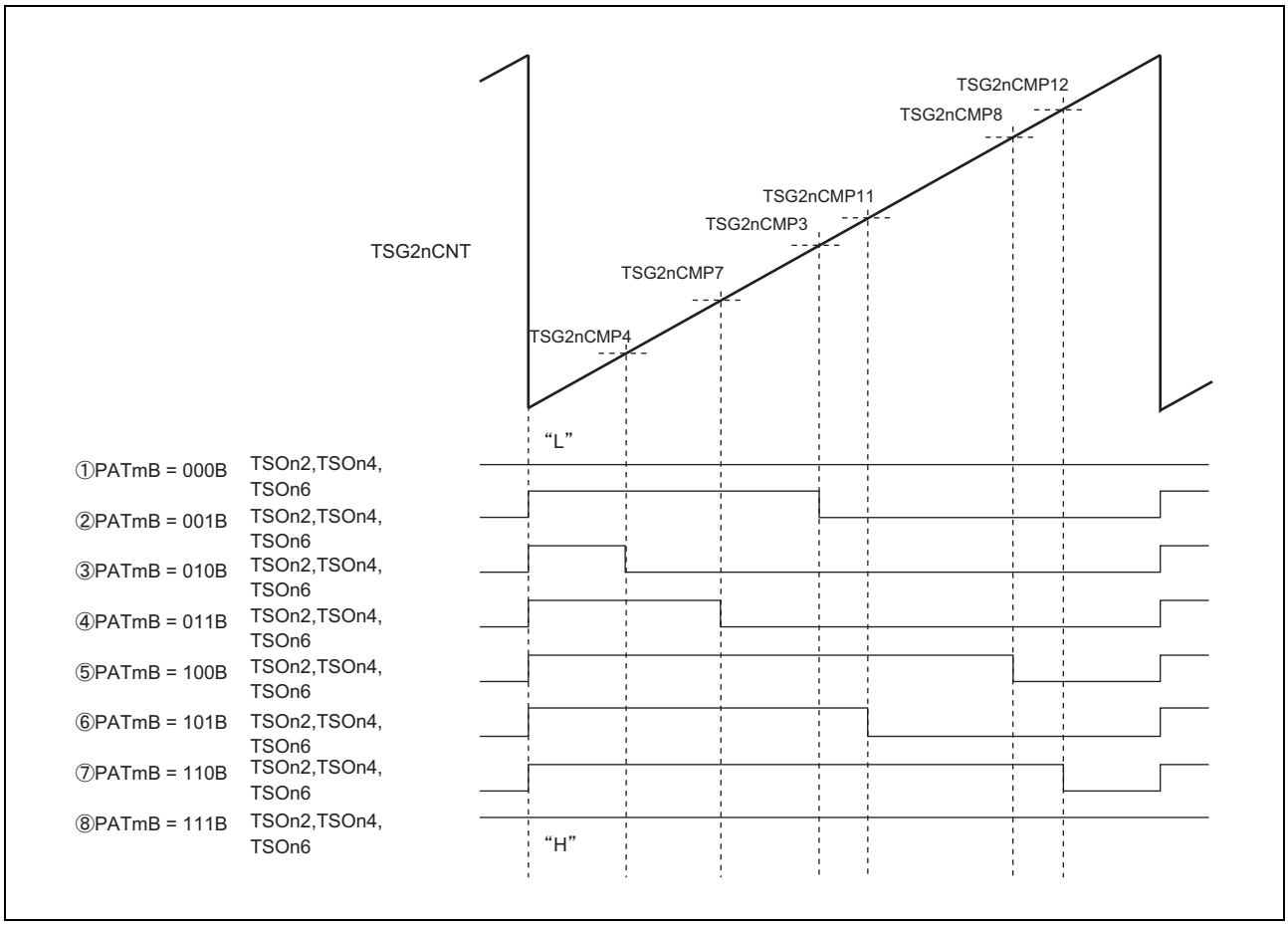


図 24.73 出力パタン別の TSOn2, TSOn4, TSOn6 端子出力

24.11.4.5 120-DC モードの動作

図 24.74 ～**図 24.77** に、120-DC モードの動作例を示します。

TSOn1-TSOn6 端子は TAPTSn2-TAPTSn0 端子の入力レベルの変化タイミングを検出し、出力パタンを変化させます。16 ビット・カウンタはのこぎり波動作を行い、TSG2nCMP0-TSG2nCMP12 による PWM 出力を行います。16 ビット・カウンタは、TSG2nCMP0 レジスタ値との一致、もしくは、TAPTSn2-TAPTSn0 端子の変化を検出する毎に 0000_H にクリアされます。また、タイマ出力パタンは、TAPTSn2-TAPTSn0 端子の変化を検出する毎に切り替わります。

備　考

PAT0T-PAT5T、PAT0B-PAT5B は、それぞれ TSG2nCMP1-TSG2nCMP12 レジスタ設定の PWM 動作を示しています。

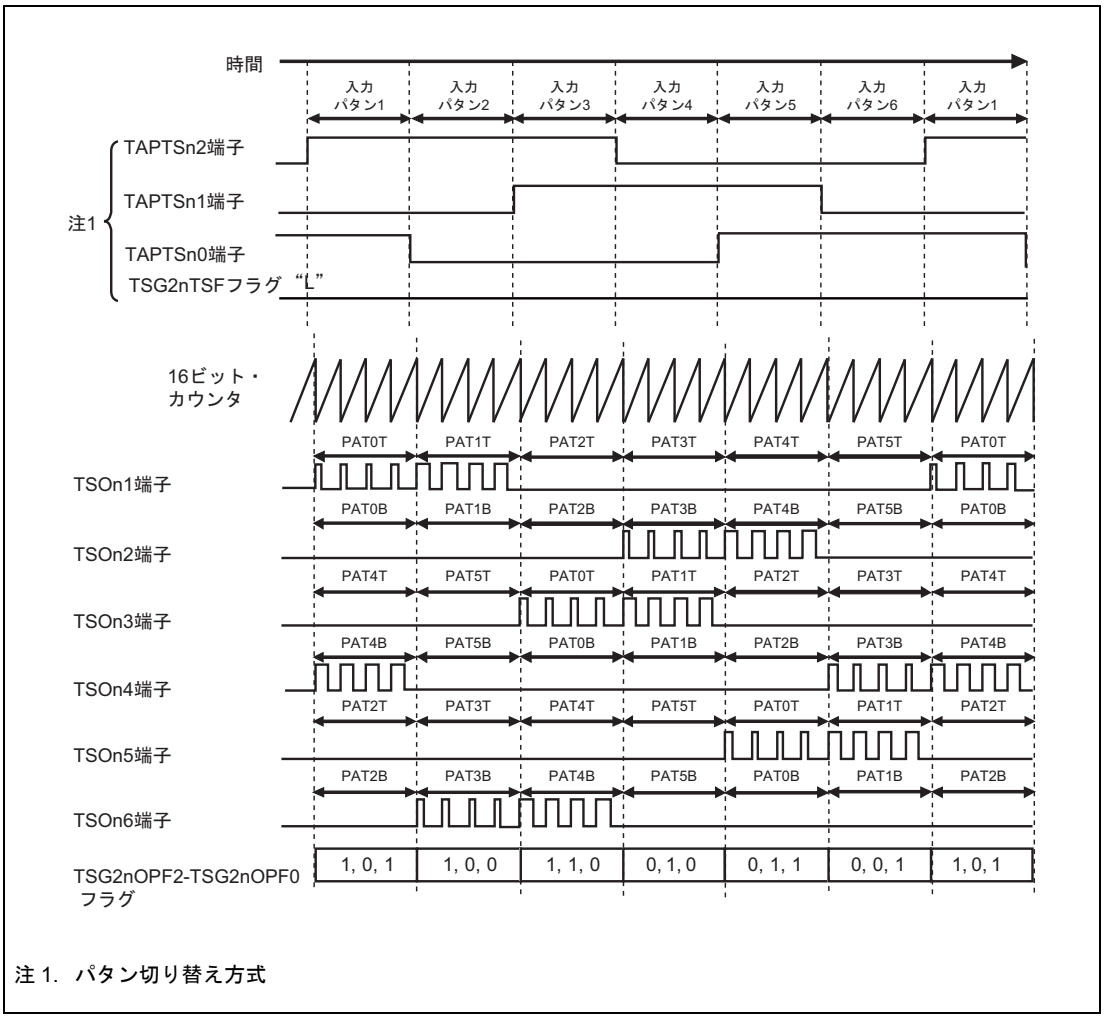
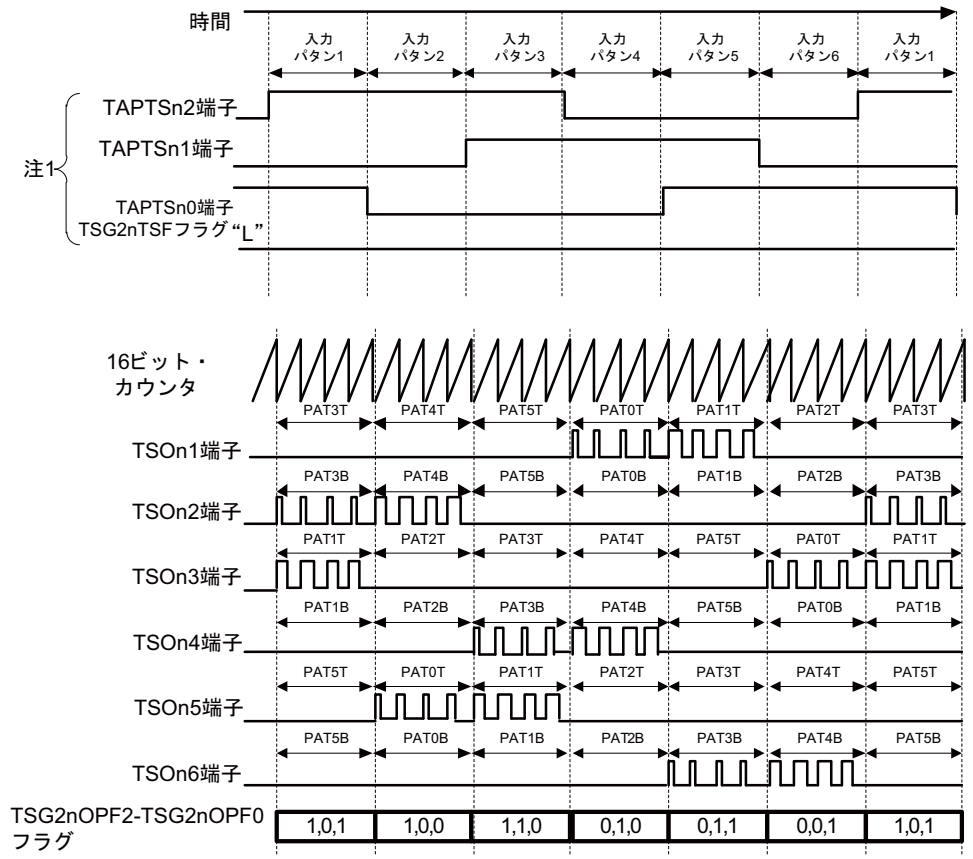


図 24.74　120-DC モード動作例（正転：TSG2nSTR1.TSG2nTSF = 0, TSG2nOPT0.TSG2nIDC = 0）

備　考

TSG2nOPT0.TSG2nSOC = 0

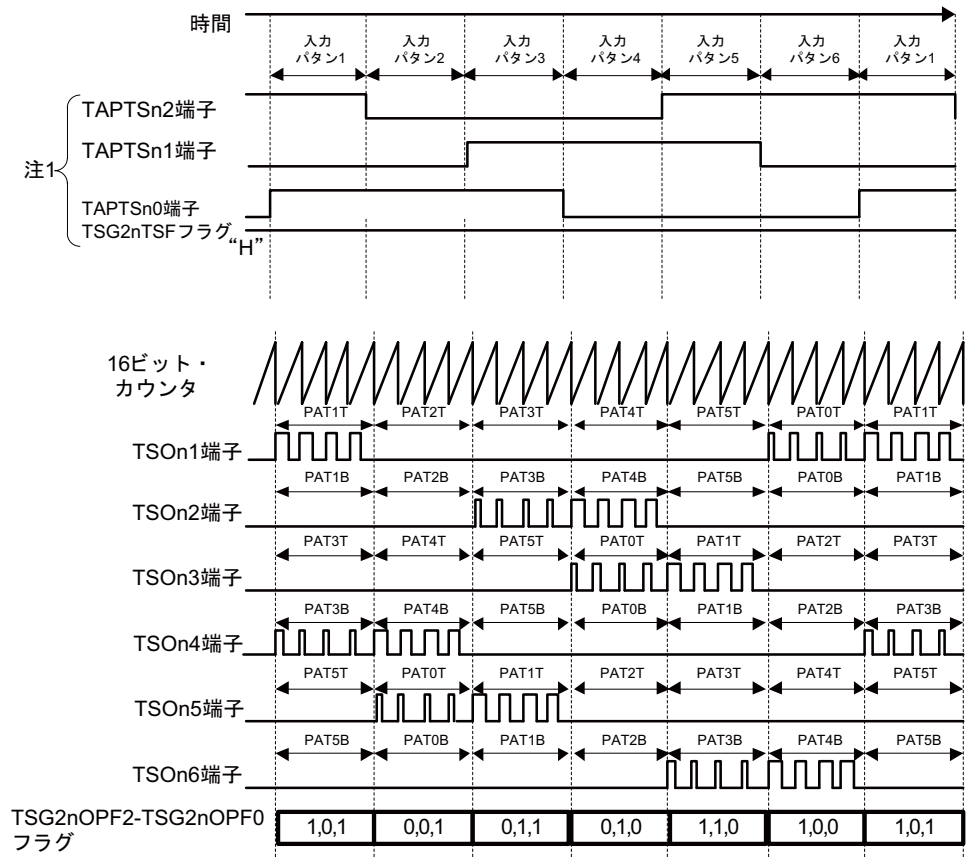


注 1. パタン切り替え方式

図 24.75 120-DC モード動作例（正転：TSG2nSTR1.TSG2nTSF = 0、TSG2nOPT0.TSG2nIDC = 1）

備 考

TSG2nOPT0.TSG2nSOC = 0

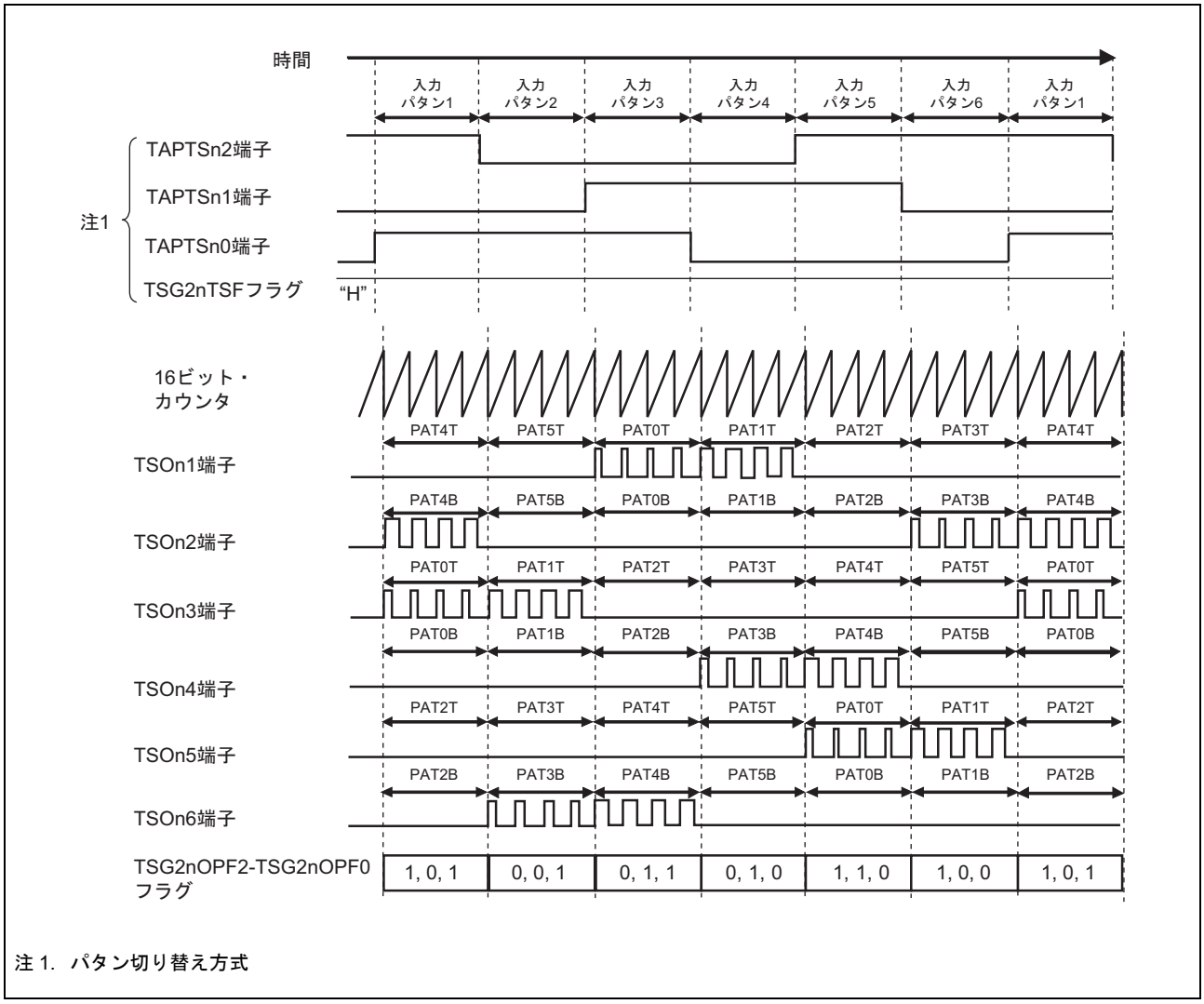


注 1. パタン切り替え方式

図 24.76 120-DC モード動作例（逆転：TSG2nSTR1.TSG2nTSF = 1、TSG2nOPT0.TSG2nIDC = 0）

備 考

TSG2nOPT0.TSG2nSOC = 0



注 1. パタン切り替え方式

図 24.77 120-DC モード動作例（逆転：TSG2nSTR1.TSG2nTSF = 1、TSG2nOPT0.TSG2nIDC = 1）

備 考

TSG2nOPT0.TSG2nSOC = 0

24.11.4.6 120-DC モードの出力パタン一覧

120-DC モードにおいて，出力パタンは回転方向と TSG2nOPT0.TSG2nIDC によって決定します。

- 電流方向 正（TSG2nIDC = 0）
  パタン順序方向 正（TSG2nTSF = 0 or TSG2nPSC = 0）

パタン切り替え順序

出力端子	TSG2nOPT1.TSG2nSPC2-TSG2nSPC0/TSG2nSTR1.TSG2nOPF2-TSG2nOPF0							
	101	100	110	010	011	001	000	111
TSOn1	PAT0T	PAT1T	PAT2T	PAT3T	PAT4T	PAT5T	Low	Low
TSOn2	PAT0B	PAT1B	PAT2B	PAT3B	PAT4B	PAT5B	Low	Low
TSOn3	PAT4T	PAT5T	PAT0T	PAT1T	PAT2T	PAT3T	Low	Low
TSOn4	PAT4B	PAT5B	PAT0B	PAT1B	PAT2B	PAT3B	Low	Low
TSOn5	PAT2T	PAT3T	PAT4T	PAT5T	PAT0T	PAT1T	Low	Low
TSOn6	PAT2B	PAT3B	PAT4B	PAT5B	PAT0B	PAT1B	Low	Low

- 電流方向 逆（TSG2nIDC = 1）
  パタン順序方向 正（TSG2nTSF = 0 or TSG2nPSC = 0）

パタン切り替え順序

出力端子	TSG2nOPT1.TSG2nSPC2-TSG2nSPC0/TSG2nSTR1.TSG2nOPF2-TSG2nOPF0							
	101	100	110	010	011	001	000	111
TSOn1	PAT3T	PAT4T	PAT5T	PAT0T	PAT1T	PAT2T	Low	Low
TSOn2	PAT3B	PAT4B	PAT5B	PAT0B	PAT1B	PAT2B	Low	Low
TSOn3	PAT1T	PAT2T	PAT3T	PAT4T	PAT5T	PAT0T	Low	Low
TSOn4	PAT1B	PAT2B	PAT3B	PAT4B	PAT5B	PAT0B	Low	Low
TSOn5	PAT5T	PAT0T	PAT1T	PAT2T	PAT3T	PAT4T	Low	Low
TSOn6	PAT5B	PAT0B	PAT1B	PAT2B	PAT3B	PAT4B	Low	Low

備　考

1. PAT0T－PAT5T：TSG2nCMP1W, TSG2nCMP5W, TSG2nCMP9W による PWM 出力を示します。
2. PAT0B－PAT5B：TSG2nCMP3W, TSG2nCMP7W, TSG2nCMP11W による PWM 出力を示します。

- 電流方向 正（TSG2nIDC = 0）
  パタン順序方向 逆（TSG2nTSF = 1 or TSG2nPSC = 1）

パタン切り替え順序

出力端子	TSG2nOPT1.TSG2nSPC2-TSG2nSPC0/TSG2nSTR1.TSG2nOPF2-TSG2nOPF0							
	101	100	110	010	011	001	000	111
TSOn1	PAT1T	PAT0T	PAT5T	PAT4T	PAT3T	PAT2T	Low	Low
TSOn2	PAT1B	PAT0B	PAT5B	PAT4B	PAT3B	PAT2B	Low	Low
TSOn3	PAT3T	PAT2T	PAT1T	PAT0T	PAT5T	PAT4T	Low	Low
TSOn4	PAT3B	PAT2B	PAT1B	PAT0B	PAT5B	PAT4B	Low	Low
TSOn5	PAT5T	PAT4T	PAT3T	PAT2T	PAT1T	PAT0T	Low	Low
TSOn6	PAT5B	PAT4B	PAT3B	PAT2B	PAT1B	PAT0B	Low	Low

- 電流方向 逆（TSG2nIDC = 1）
  パタン順序方向 逆（TSG2nTSF = 1 or TSG2nPSC = 1）

パタン切り替え順序

出力端子	TSG2nOPT1.TSG2nSPC2-TSG2nSPC0/TSG2nSTR1.TSG2nOPF2-TSG2nOPF0							
	101	100	110	010	011	001	000	111
TSOn1	PAT4T	PAT3T	PAT2T	PAT1T	PAT0T	PAT5T	Low	Low
TSOn2	PAT4B	PAT3B	PAT2B	PAT1B	PAT0B	PAT5B	Low	Low
TSOn3	PAT0T	PAT5T	PAT4T	PAT3T	PAT2T	PAT1T	Low	Low
TSOn4	PAT0B	PAT5B	PAT4B	PAT3B	PAT2B	PAT1B	Low	Low
TSOn5	PAT2T	PAT1T	PAT0T	PAT5T	PAT4T	PAT3T	Low	Low
TSOn6	PAT2B	PAT1B	PAT0B	PAT5B	PAT4B	PAT3B	Low	Low

備　考

1. PAT0T－PAT5T：TSG2nCMP1W, TSG2nCMP5W, TSG2nCMP9W による PWM 出力を示します。
2. PAT0B－PAT5B：TSG2nCMP3W, TSG2nCMP7W, TSG2nCMP11W による PWM 出力を示します。

24.11.4.7 120-DC モードの動作開始タイミング

パタン切り替え制御の場合は、TAPTSn2-TAPTSn0 端子のパタンは検出できますが、回転方向（TSG2nSTR1.TSG2nTSF）が決定できません。そのため、TSG2nTE = 0 のときに TSG2nPSC に回転方向をセットしてください。TSG2nPSC の設定値が TSG2nTSF にロードされ、この値を初期パタン設定に使用できます。

- TSG2nOPT0.TSG2nSOC = 0, TSG2nPSC = 0, TSG2nIDC = 0

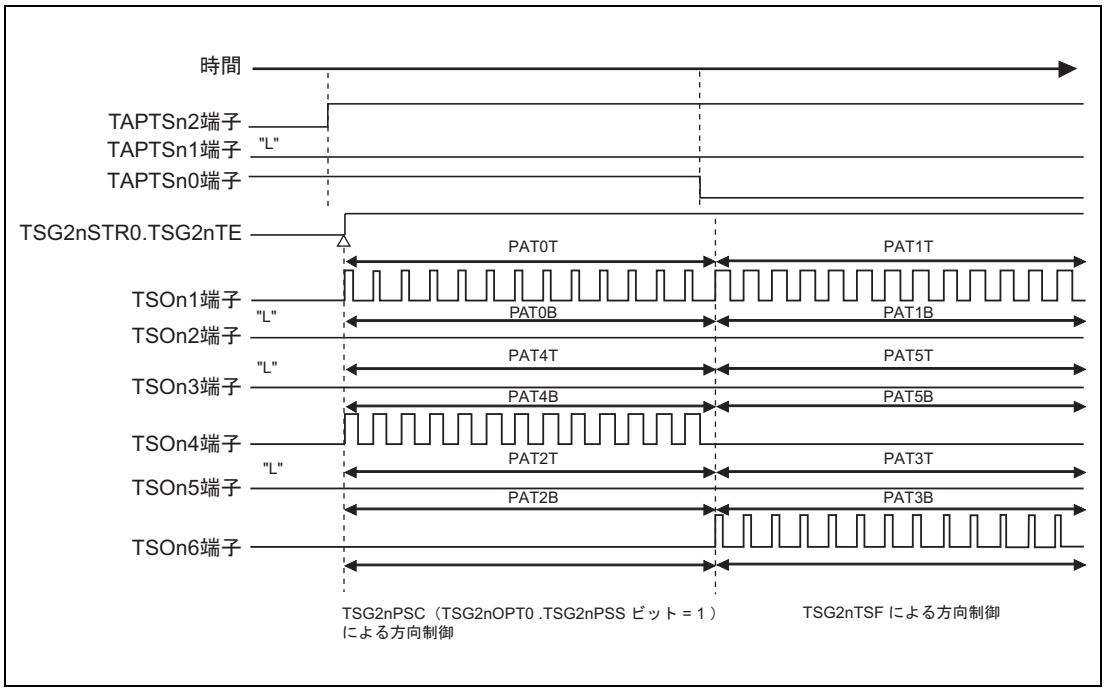


図 24.78 正転時のタイマ出力開始時の制御（正常なパタンが入力された場合）

- TSG2nOPT0.TSG2nSOC = 0, TSG2nPSC = 1, TSG2nIDC = 1

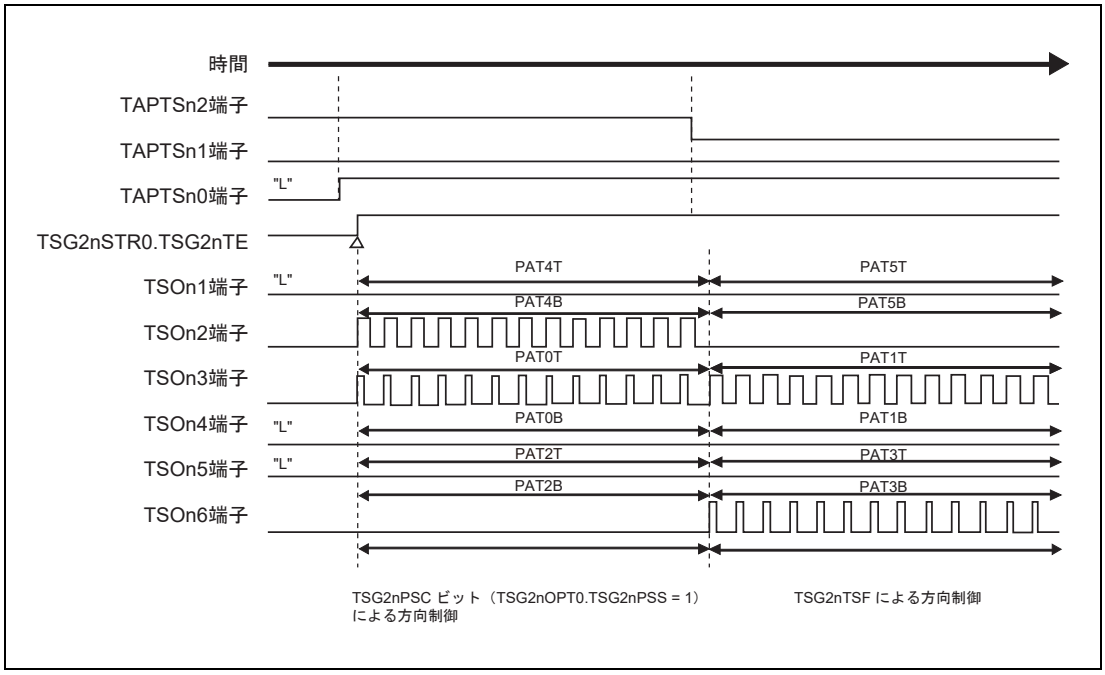


図 24.79 逆転時のタイマ出力開始時の制御（正常なパタンが入力された場合）

- TSG2nOPT0.TSG2nSOC = 0, TSG2nPSC = 0, TSG2nIDC = 0

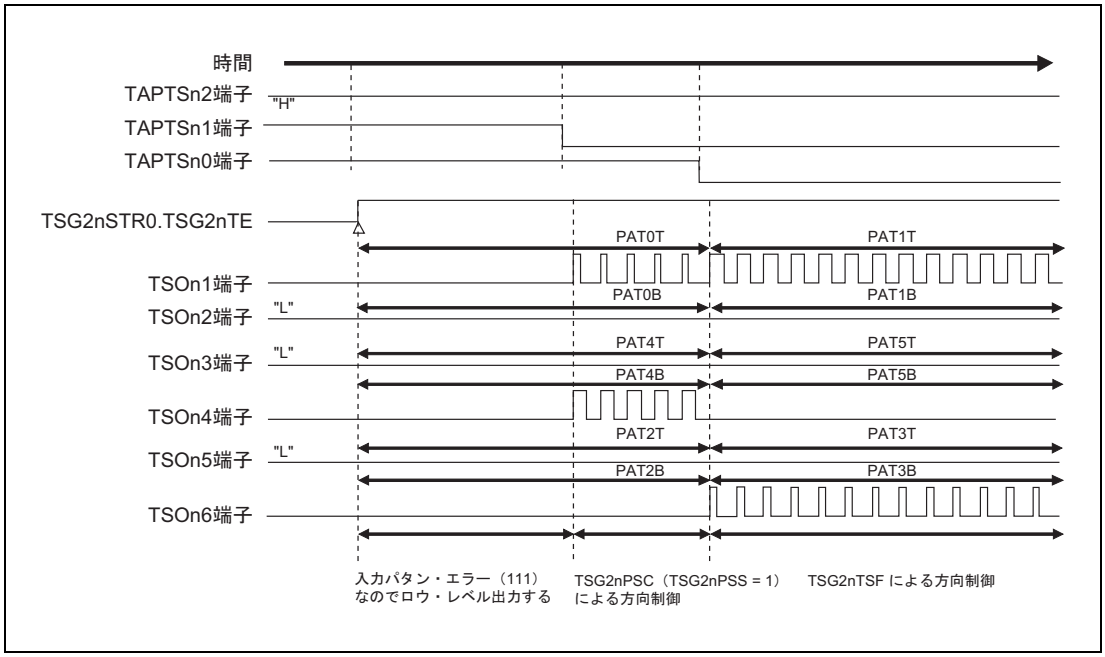


図 24.80 正転時のタイマ出力開始時の制御（エラー・パタンが入力された場合）

- TSG2nOPT0.TSG2nSOC = 0, TSG2nPSC = 1, TSG2nIDC = 1

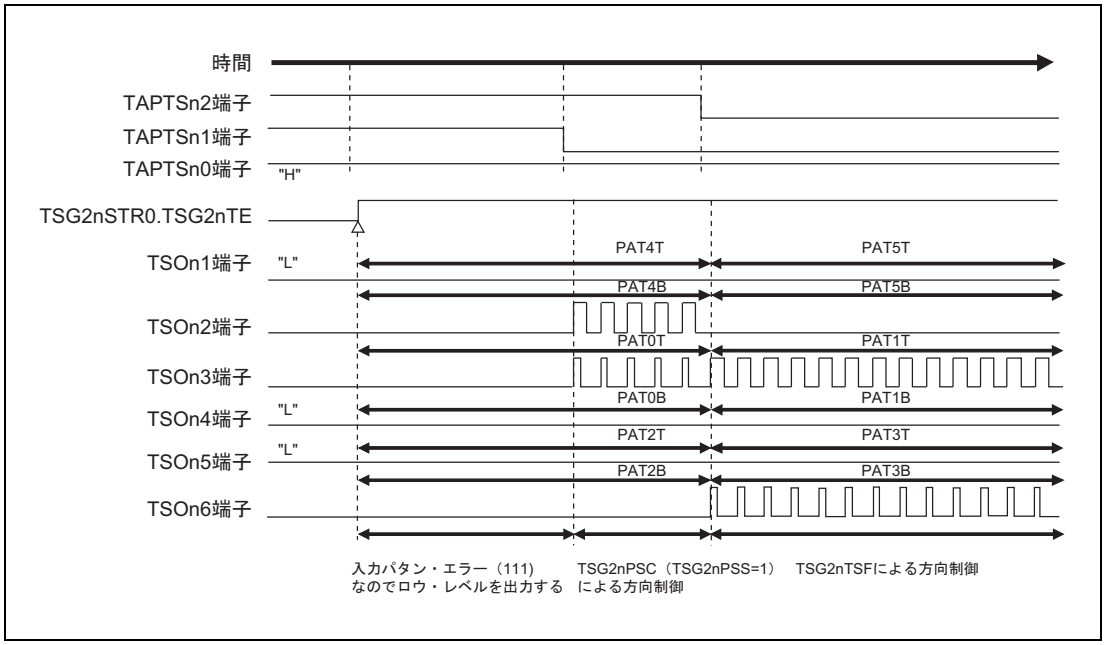


図 24.81　逆転時のタイマ出力開始時の制御（エラー・パタンが入力された場合）

24.11.4.8 120-DC モードの出力切り替えタイミング

120-DC モードでは、**図 24.82** ～**図 24.85** に示すように外部からの出力パタン切り替えタイミング（TAPTSn2-TAPTSn0 端子）は 16 ビット・カウンタ動作と関係なく入力されます。出力を切り替えるタイミングは、外部から入力された切り替えタイミングで、16 ビット・カウンタをクリアして新しいパタンにて出力します。

パタン切り替え方式にて、1 周期内に TAPTSn2-TAPTSn0 端子の変化が連続した場合、周期一致直前でエッジ検出した値が採用され次の周期から出力する PWM に反映されます。

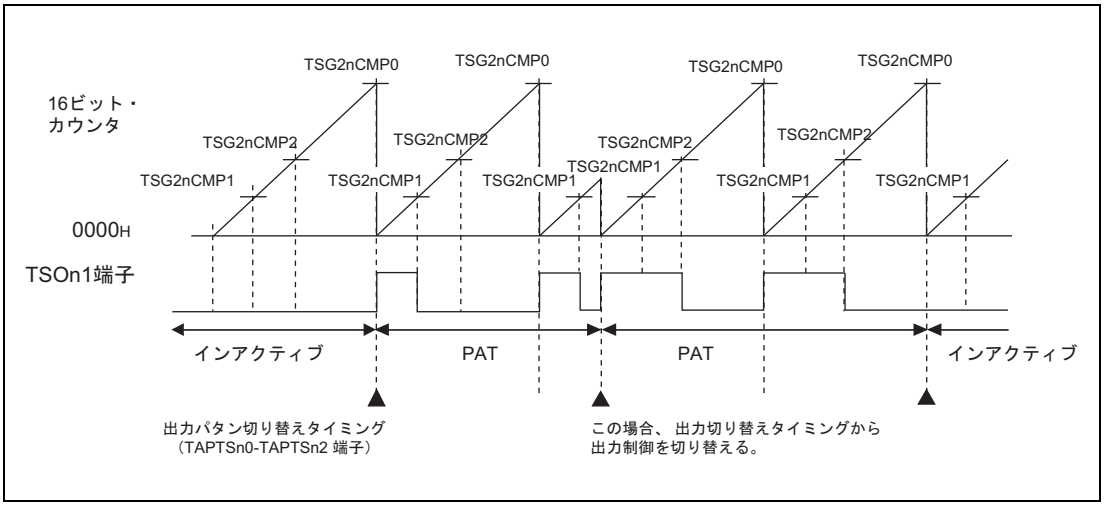
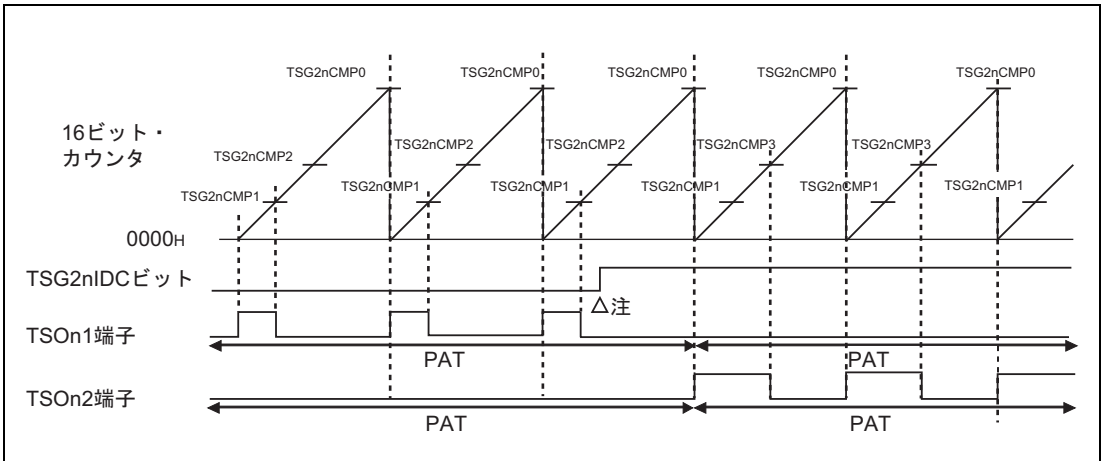


図 24.82 出力切り替え例（TAPTSn2-TAPTSn0 端子信号トリガ入力）

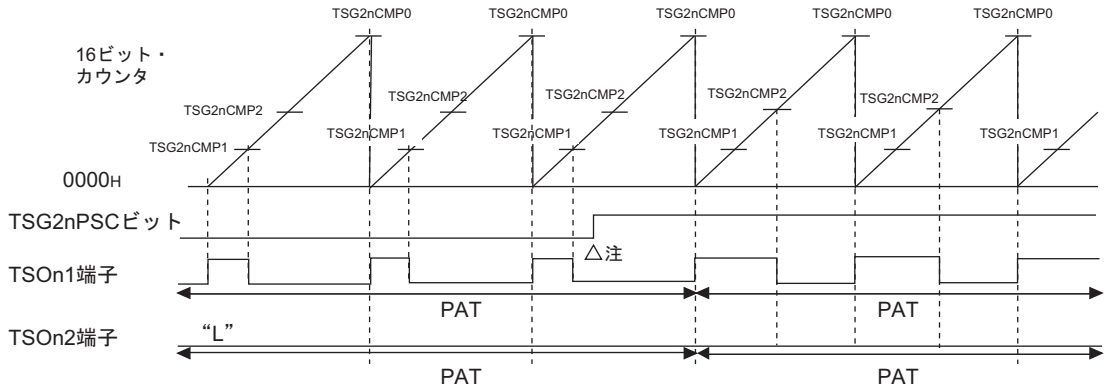


注 1. ここで変更すると、次の周期から出力制御を切り替えます。

図 24.83 出力切り替え例（TSG2nOPT0.TSG2nIDC での切り替え）

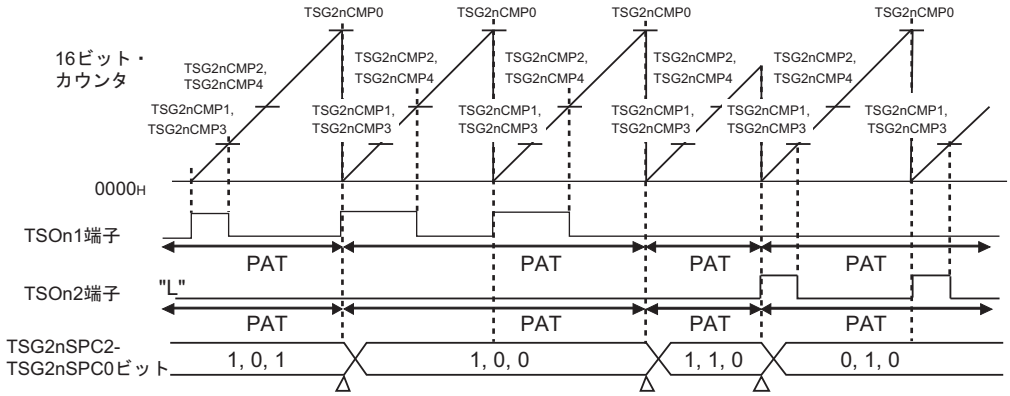
備 考

TSG2nIDC ビットで出力制御を切り替え時、次の周期までに TAPTSn2-TAPTSn0 端子の変化が発生した場合、16 ビット・カウンタがクリアされ、切り替えた出力制御になります。



注 1.　ここで変更すると、次の周期から出力制御を切り替えます。

図 24.84　出力切り替え例（TSG2nOPT0.TSG2nPSC での切り替え）



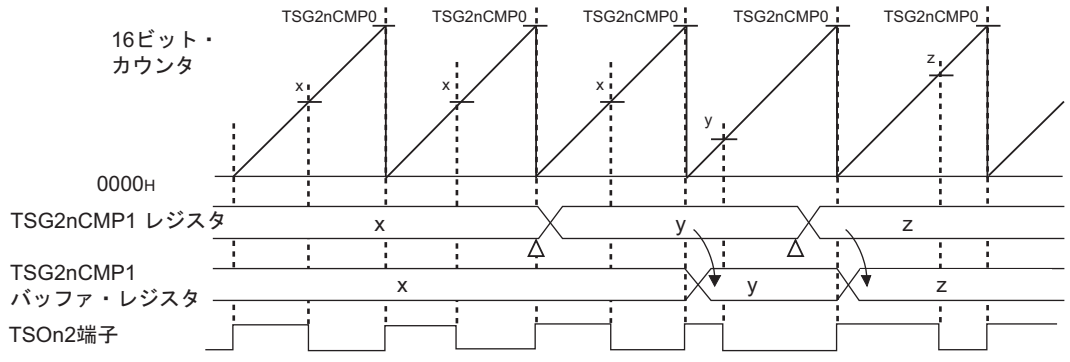
備考　△：ライト・アクセス

図 24.85　出力切り替え例（TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 での切り替え）

24.11.4.9 120-DC モードのコンペア・レジスタ書き換えタイミング

次に、TSG2nCMP1 をリロード（一斉書き換え）した場合の動作例を示します。

図 24.86 は、TSG2nCMP1 レジスタを書き換えた場合の出力例を示しています。
TSG2nCMP1 を変更後は次のリロード・タイミングまで TSG2nCMP1 バッファ・レジスタにデータが転送されない（変更したデータが有効にならない）ため、設定どおりの出力波形を得ることができます。ただし、リロードが保留されている期間（TSG2nCMP1 レジスタを変更してから、一斉書き換えが実行されるまでの期間）に、再度 TSG2nCMP1 レジスタに書き込まないでください。必ずリロード要求フラグ（TSG2nRSF）をリードし、0 であることを確認してから TSG2nCMP1 レジスタに書き込んでください。



備考 △：ライト・アクセス

図 24.86 TSG2nCMP1 レジスタを書き換えた時の出力例

24.11.4.10 120-DC モードのデッド・タイム制御

120-DC モードにおいて、各相の立ち下がりでデッド・タイム制御が動作し、デッド・タイムが付加されます。

正相の立ち下がりでは、TSG2nDTC1 レジスタに設定したデッド・タイムが挿入され、逆相の立ち下がりでは TSG2nDTC0 レジスタに設定したデッド・タイムが挿入されます。

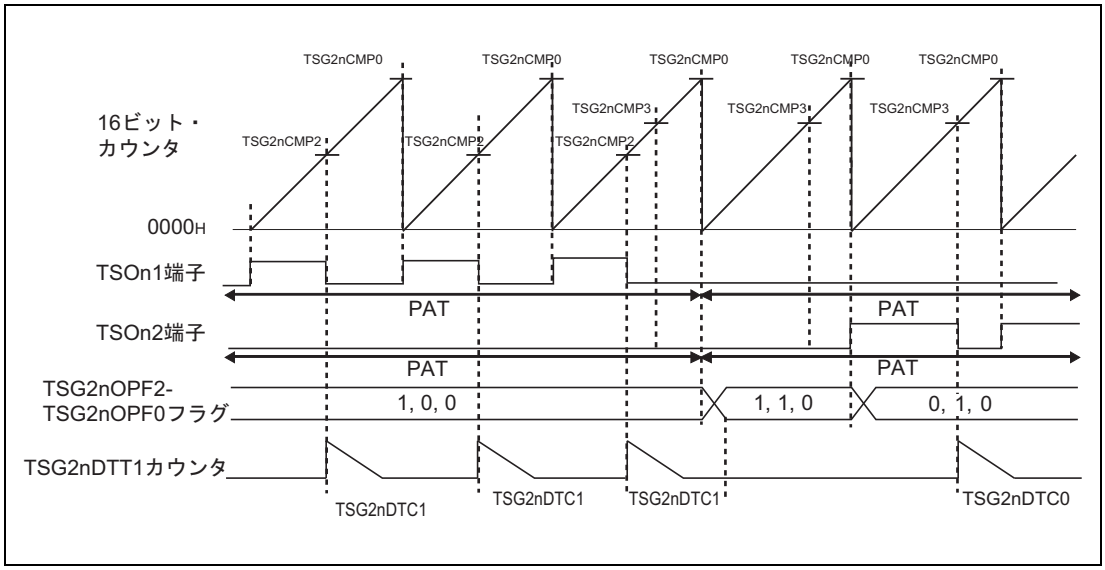


図 24.87 出力切り替え例

注 意

デッド・タイムを制御する方法により、タイマ出力に影響を与える場合があります。主に次の条件ではデッド・タイム制御のため、タイマ出力が設定どおりのアクティブレベル幅を得られない可能性があります。

- **パタン切り替え方式において、入力パタンにノイズが発生した場合**
- **パタン切り替え方式において、入力パタンの変化が PWM 周期より早くなった場合**
- **切り替え方式を変更した場合**
- **電流方向を制御するビット（TSG2nOPT0.TSG2nIDC）を変更した場合**
- **ソフトウエア出力制御機能を使用した場合**

24.11.4.11 120-DC モード時、TAPTSn2-TAPTSn0 端子にノイズが発生した場合の動作

TAPTSn2-TAPTSn0 端子は、ブラシレス DC モータのホール・センサの入力を想定しています。システムによっては、TAPTSn2-TAPTSn0 端子にノイズが発生する場合が想定されます。ノイズが発生した場合の動作に関して説明します。

システム製品設計においてはホール・センサと TAPTSn2-TAPTSn0 端子間に必ずノイズ・フィルタ回路を挿入してください。

図 24.89 ではパタン切り替え方式で動作中に、TAPTSn2-TAPTSn0 端子にノイズが発生した場合に関して説明します。

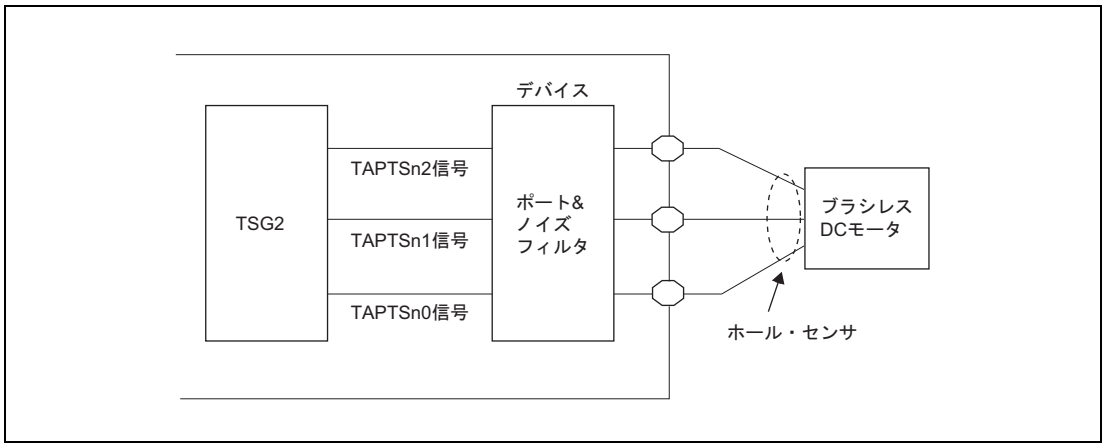


図 24.88 ノイズ・フィルタ回路接続例

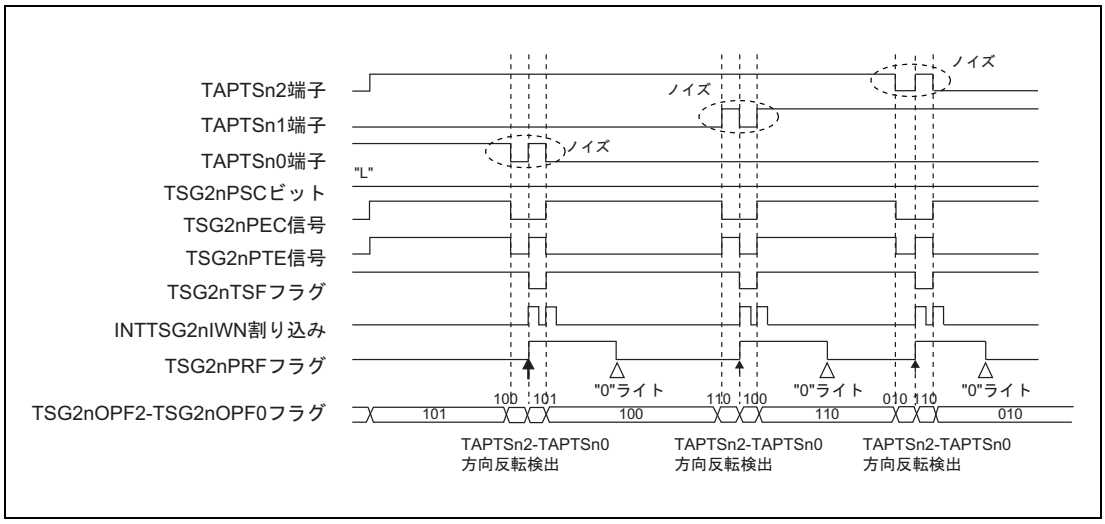


図 24.89 TAPTSn2-TAPTSn0 端子のレベル変化時、ノイズ発生例（パタン切り替え方式）

(1) 入力パタン変化検出信号（TSG2nPTE）の変化タイミング

- TSG2nPTE 信号は、入力パタン（TAPTSn2-TAPTSn0 端子）が変化したタイミングでトグルします。

注　意

TSG2nOPT0 レジスタの TSG2nPSC（TSG2nOPT0 レジスタの TSG2nPSS = 1）で必ず回転方向を指定してください。

（TSG2nPSC = 0 の場合）

		変化後の TAPTSn2-TAPTSn0 端子							
		000	111	101	100	110	010	011	001
現在の TAPTSn2-TAPTSn0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	—
	100	—	—	—	—	トグル	—	—	—
	110	—	—	—	—	—	トグル	—	—
	010	—	—	—	—	—	—	トグル	—
	011	—	—	—	—	—	—	—	トグル
	001	—	—	トグル	—	—	—	—	—

（TSG2nPSC = 1 の場合）

		変化後の TAPTSn2-TAPTSn0 端子							
		000	111	101	100	110	010	011	001
現在の TAPTSn2-TAPTSn0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	—	—	—	—	トグル
	100	—	—	トグル	—	—	—	—	—
	110	—	—	—	トグル	—	—	—	—
	010	—	—	—	—	トグル	—	—	—
	011	—	—	—	—	—	トグル	—	—
	001	—	—	—	—	—	—	トグル	—

(2) 3 相エンコード信号（TSG2nPEC）の変化タイミング

- TSG2nPEC 信号は、入力パタン（TAPTSn2-TAPTSn0 端子）が変化したタイミングでトグルします。

		変化後の TAPTSn2-TAPTSn0 端子							
		000	111	101	100	110	010	011	001
現在の TAPTSn2-TAPTSn0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	トグル	—	—	—	トグル
	100	—	—	トグル	—	トグル	—	—	—
	110	—	—	—	トグル	—	トグル	—	—
	010	—	—	—	—	トグル	—	トグル	—
	011	—	—	—	—	—	トグル	—	トグル
	001	—	—	トグル	—	—	—	トグル	—

(3) TSOn1-TSOn6 端子の変化タイミング

- パタン切り替え方式の場合は、TAPTSn2-TAPTSn0 端子注の入力信号が変化した場合、出力パタンが変化します。
  2 端子以上同時に変化しても出力が切り替わります。

注　意

“000”，“111” に変化した場合、TSOn1-TSOn6 端子は、ロウ・レベルになります。

(4) TSG2nTSF フラグの変化タイミング

- TSG2nTSF フラグは、入力パタン（TAPTSn2-TAPTSn0 端子）が変化したタイミングでトグルします。

		変化後の TAPTSn2-TAPTSn0 端子							
		000	111	101	100	110	010	011	001
現在の TAPTSn2-TAPTSn0 端子	000	—	—	—	—	—	—	—	—
	111	—	—	—	—	—	—	—	—
	101	—	—	—	0	—	—	—	1
	100	—	—	1	—	0	—	—	—
	110	—	—	—	1	—	0	—	—
	010	—	—	—	—	1	—	0	—
	011	—	—	—	—	—	1	—	0
	001	—	—	0	—	—	—	1	—

(5) TSG2nNDF フラグのセット・タイミング

- TAPTSn2-TAPTSn0 端子が同時に 2 端子以上変化した場合にセットされます。TSG2nNDR ビットへの 1 ライトでクリアします。TSG2nNDC ビットを 1 にセットしたときに有効となります。

(6) TSG2nPRF フラグのセット・タイミング

- TSG2nTSF フラグが変化したタイミングでセットされます。TSG2nPRR ビットへの 1 ライトでクリアします。TSG2nPRC ビットを 1 にセットしたときに有効となります。

(7) TSG2nPEF フラグのセット・タイミング

- TAPTSn2-TAPTSn0 端子が “000”, “111” の値を入力したときにセットされます。TSG2nPER ビットへの 1 ライトでクリアします。TSG2nPEC ビットを 1 にセットしたときに有効となります。

24.11.4.12 120-DC モード時の基本制御フロー

120-DC モードには**表 24.73** に示した 8 つの制御状態が存在します。

TSG2nOPT0.TSG2nSTE = 1 では、パタン切り替え方式の 120-DC 制御となります。

これを位相固定制御と定義します。位相固定制御では、ホール・センサからの遅れ、センサ・レベル検出からタイマ出力までの遅れ等がありますので、これらを考慮して制御する必要があります。ただし、PWM デューティを変更するだけで加速／減速ができます。

表 24.73　タイマの制御状態

状態	TSG2nSTR1 レジスタの TSG2nTSF	TSG2nOPT0 レジスタの TSG2nIDC	制御
A	0	0	正転・加速・位相固定
D	0	1	正転・減速・位相固定
E	1	1	逆転・加速・位相固定
H	1	0	逆転・減速・位相固定

通常、モータの回転が停止した状態をスタート状態として制御を開始します。まず停止状態からモータを回転させるために，位相固定制御を利用して回転させます。

状態の遷移を**図 24.90** で示します。

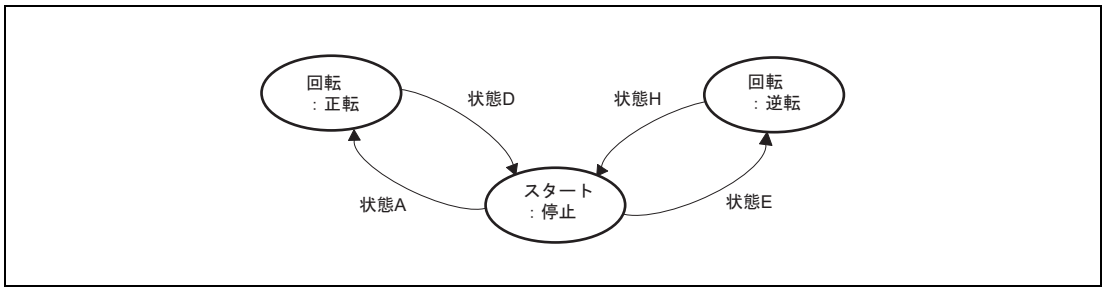


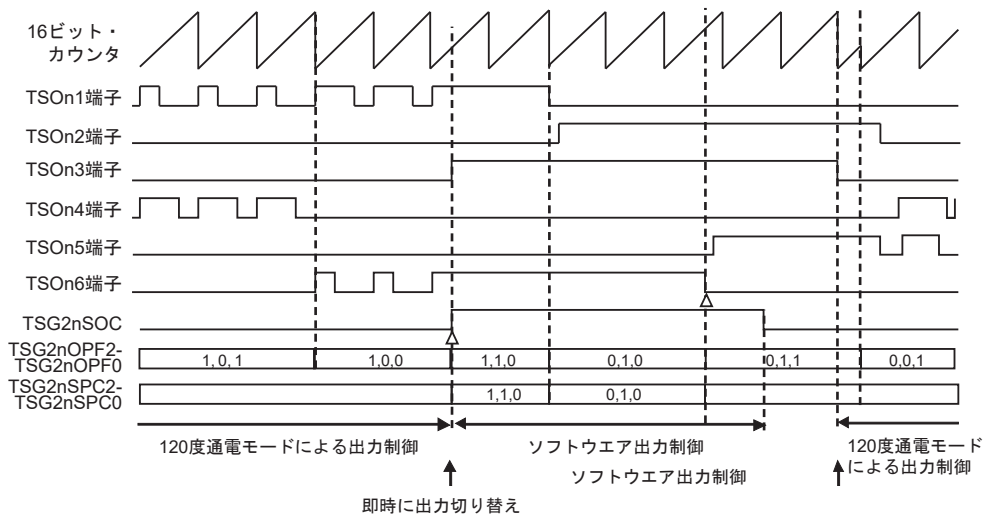
図 24.90　状態遷移図

24.11.4.13 120-DC モード時のソフトウエア出力制御機能

120-DC モード時は、TSG2nOPT0.TSG2nSOC, TSG2nIDC, TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 を使用して、ソフトウエア制御によるタイマ出力制御を行うことができます。

図 24.91 に示すように、TSG2nSOC = 1 にしたタイミングで出力を即時に切り替えます。デッド・タイムの設定をしていれば、デッド・タイム期間は保証されます。その後、ソフトウエア出力制御から 120-DC 制御に切り替える場合は、TSG2nSOC = 0 に設定します。このタイミングでは出力を保持し、リロード・タイミングが発生した時点で、120-DC モードによる出力制御に切り替わります。

ソフトウエア出力制御機能について、詳細は**「24.11.5 ソフトウエア出力制御機能」**を参照してください。



備考 △：ライト・アクセス

図 24.91 120-DC モードからソフトウエア出力制御機能の切り替え例

(1) ソフトウエア出力制御の処理手順

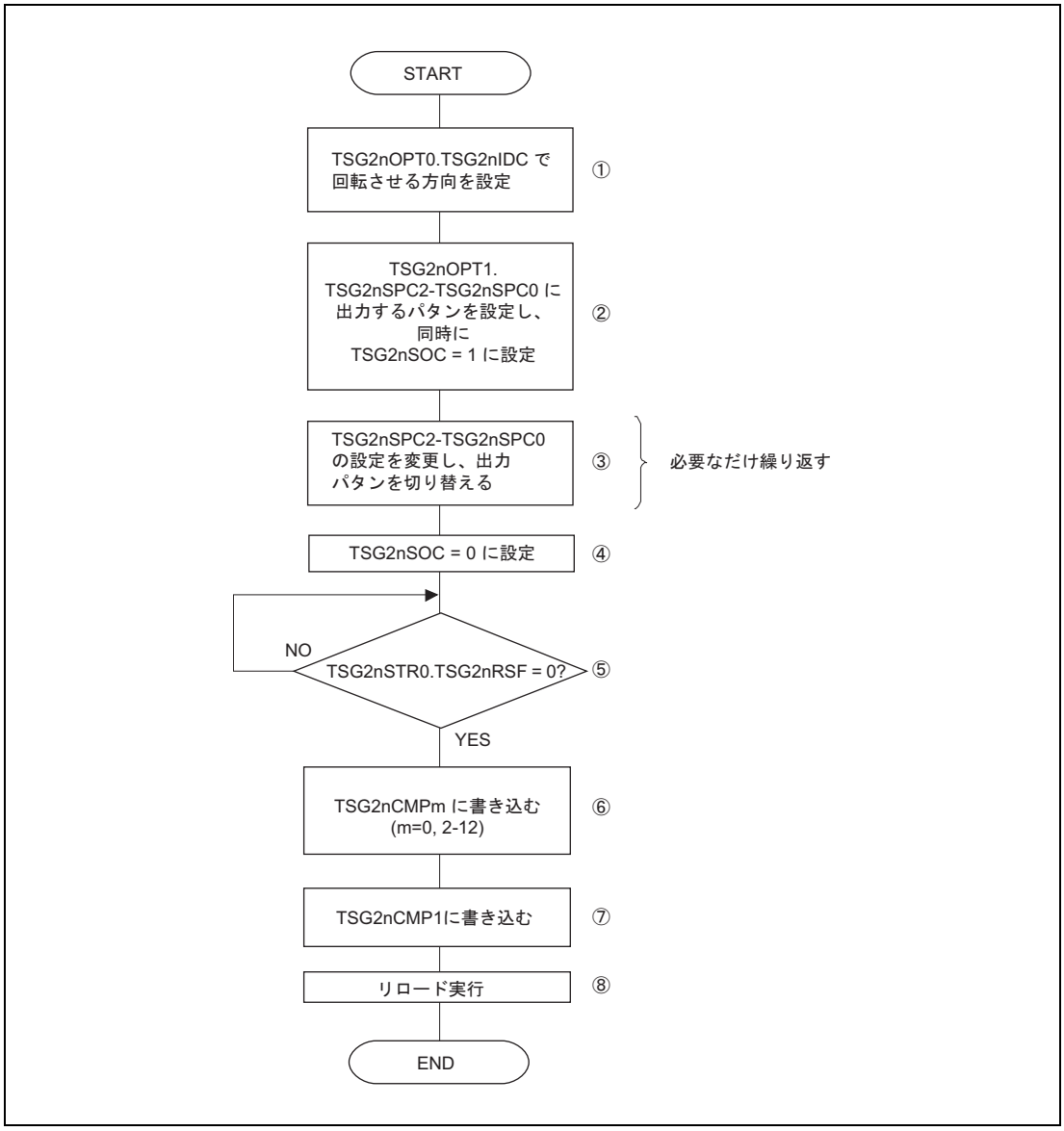


図 24.92　ソフトウエア出力制御時の処理フロー

ソフトウエア出力制御の処理手順を示します。

①回転方向を決定するため、TSG2nIDC の設定を行います。TSG2nIDC = 0 の場合と、TSG2nIDC = 1 の場合では 180 度位相が異なったタイマ出力となります。ソフトウエア出力制御機能において、このビットを書き換えただけではタイマ出力は変化しません。ただし、②の前に周期一致が発生した場合、120-DC 制御の出力パタンが変わりますので、②の前に周期一致が来ないようにスケジューリングしてください。

② TSG2nSPC2-TSG2nSPC0 に出力するパタンを設定し、同時にソフトウエア出力を行うために TSG2nSOC = 1 にします。

③ TSG2nSPC2-TSG2nSPC0 の出力パタン設定を変更し、タイマ出力を変化させます。ソフトウエア制御中に変更可能なレジスタは次のとおりです。

TSG2nTRG1.TSG2nTT, TSG2nCTL4-TSG2nCTL6, TSG2nOPT0, TSG2nOPT1, TSG2nCMP0-TSG2nCMP12, TSG2nDTC0, TSG2nDTC1

④リロード要求フラグ（TSG2nRSF）= 0 であることを確認します。TSG2nRSF = 1 だった場合は TSG2nRSF フラグ = 0 になるまで次の手順に移行しないでください。

⑤ TSG2nSOC = 0 にするとソフトウエア制御を解除開始します（ここではまだ解除されません）。

⑥ソフトウエア出力制御解除後に必要な、コンペア・レジスタの設定を行います。変更が不要な場合は次の手順に移行してください。また、リロード機能付きレジスタを変更する場合はここで変更してください。

⑦ TSG2nCMP1 レジスタに書き込みを行い、リロードを起動します。

⑧リロードが実行され、ソフトウエア出力を解除します。

注　意

④，⑤，⑥，⑦の手順を実行してから、必ずリロードを実行してください。リロードが実行できない場合はソフトウエア出力を解除できません。

24.11.5 ソフトウエア出力制御機能

HT-PWM モード、SP-PWM モード、120-DC モードにおいて、ソフトウエア出力制御機能を使用することができます。この機能は、TSG2nOPT0.TSG2nSOC，TSG2nIDC，TSG2nOPT1.TSG2nSPC2-TSG2nSPC0 を使用して TSOn1-TSOn6 端子に 6 パタンの出力をソフトウエアで切り替えられる機能です。

TSG2nSOC = 0 から TSG2nSOC = 1 に切り替えると、TSOn1-TSOn6 端子が即時にソフトウエア出力制御に切り替わります。逆に TSG2nSOC = 1 から TSG2nSOC = 0 に切り替えた場合は、リロード・タイミングでソフトウエア出力制御が解除されます。

表 24.74 ソフトウエア出力制御機能に関するレジスタ説明

レジスタ	動作
TSG2nOPT0.TSG2nSOC	TSG2nSOC = 1
TSG2nOPT0.TSG2nSTE	TSG2nSTE = 0
TSG2nOPT1.TSG2nSPC2-TSG2nSPC0	次の**表 24.75**、**表 24.76** に示す出力パタンを設定する
TSG2nOPT0.TSG2nIDC	出力するパタン（回転方向）を設定する

表 24.75 ソフトウエア出力制御の出力パタン（TSG2nOPT0.TSG2nIDC = 0）

TSG2nOPT0.TSG2nSOC = 1, TSG2nSTE = 0, TSG2nIDC = 0

出力端子	TSG2nSTR1.TSG2nOPF2-TSG2nOPF0							
	101	100	110	010	011	001	000	111
TSOn1	ACT	ACT	ACT	INACT	INACT	INACT	INACT	ACT
TSOn2	INACT	INACT	INACT	ACT	ACT	ACT	ACT	INACT
TSOn3	INACT	INACT	ACT	ACT	ACT	INACT	INACT	ACT
TSOn4	ACT	ACT	INACT	INACT	INACT	ACT	ACT	INACT
TSOn5	ACT	INACT	INACT	INACT	ACT	ACT	INACT	ACT
TSOn6	INACT	ACT	ACT	ACT	INACT	INACT	ACT	INACT

備考 ACT : アクティブ・レベルを出力することを示します。
INACT: インアクティブ・レベルを出力することを示します。

表 24.76 ソフトウエア出力制御の出力パタン（TSG2nOPT0.TSG2nIDC = 1）

TSG2nOPT0.TSG2nSOC = 1, TSG2nSTE = 0, TSG2nIDC = 1

出力端子	TSG2nSTR1.TSG2nOPF2-TSG2nOPF0							
	101	100	110	010	011	001	000	111
TSOn1	INACT	INACT	INACT	ACT	ACT	ACT	ACT	INACT
TSOn2	ACT	ACT	ACT	INACT	INACT	INACT	INACT	ACT
TSOn3	ACT	ACT	INACT	INACT	INACT	ACT	ACT	INACT
TSOn4	INACT	INACT	ACT	ACT	ACT	INACT	INACT	ACT
TSOn5	INACT	ACT	ACT	ACT	INACT	INACT	ACT	INACT
TSOn6	ACT	INACT	INACT	INACT	ACT	ACT	INACT	ACT

備考 ACT : アクティブ・レベルを出力することを示します。
INACT: インアクティブ・レベルを出力することを示します。

第 25 章　タイマオプション（TAPA）

25.1　概要

タイマオプション（TAPA）を、モータコントロールタイマ（TSG2）と組み合わせて使用します。

- 端子入力に対応した非同期 Hi-Z 制御

25.1.1　基本機能

チャネル

この製品は次のチャネル数のタイマオプションを搭載しています。

表 25.1　タイマオプションのチャネル

タイマオプション	
チャネル数	2
名称	TAPAn （n = 2、3）

n の意味

この章では、タイマオプションの各チャネルを「n」で識別します。たとえば、TAPAn フラグレジスタ（TAPAnFLG）（n = 2、3）のように記述しています。

本製品では TAPA0、1 を使用しないため、TAPA2 と TAPA3 のみが搭載されることになります。

レジスタアドレス

TAPAn レジスタのアドレスは、それぞれのベースアドレス <TAPAn_base> からのオフセットで表されます。各 TAPAn のレジスタベースアドレスを次の表に示します。

表 25.2　レジスタベースアドレス

TAPAn	<TAPAn_base> アドレス
TAPA2	FFE9 2000
TAPA3	FFE9 3000

25.2　レジスタ

TAPAn（n = 2、3）は、次のレジスタで制御、動作します。

25.2.1　レジスタの概要

TAPAn（n = 2、3）のレジスタ一覧、メモリアドレスを以下に示します。

ベースアドレスは TAPA2 が FFE9 2000_H、TAPA3 が FFE9 3000_H となります。

実際のアドレスはこのベースアドレスに表で示したオフセット値を加算します。

レジスタ名	機能	R/W	リセット値	アクセス単位			オフセットアドレス
				8	16	32	
TAPAnCTL0	TAPAn 制御レジスタ 0	R/W	0000_H	—	○	—	0020_H
TAPAnFLG	TAPAn フラグレジスタ	R	0000_H	—	○	—	0000_H
TAPAnACWE	TAPAn 非同期制御ライトイネーブルレジスタ	R/W	00_H	○	—	—	0004_H
TAPAnACTS	TAPAn 非同期制御スタートトリガレジスタ	R/W	00_H	○	—	—	0008_H
TAPAnACTT	TAPAn 非同期制御ストップトリガレジスタ	R/W	00_H	○	—	—	$000C_H$
TAPAnOPHS	TAPAn Hi-Z スタートトリガレジスタ	R/W	00_H	○	—	—	0014_H
TAPAnOPHT	TAPAn Hi-Z ストップトリガレジスタ	R/W	00_H	○	—	—	0018_H

25.2.2 TAPAnCTL0 — TAPAn 制御レジスタ 0

Hi-Z 制御用の制御レジスタ 0 です。

このレジスタの値は、TAPAnFLG.TAPAnACE = 0 の場合のみ書き換えることができます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAPAn_base> + 20_H

リセット後の値 0000_H
どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TAPAn DCM	TAPAn DCN	TAPAn DCP	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 25.3 TAPAnCTL0 レジスタの内容

ビット位置	ビット名	機能
15 ～ 5	—	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TAPAnDCM	クリア条件指定ビット Hi-Z 制御出力のクリア条件を指定するビットです。 0：TAPATHASIN 信号入力に関係なく、TAPAnOPHT0 の操作を有効 1：TAPATHASIN 信号入力がアクティブレベルの場合、TAPAnOPHT0 の操作を無効 TAPATHASIN 信号入力がインアクティブの場合、TAPAnOPHT0 操作を有効
3、2	TAPAnDCN、TAPAnDCP	Hi-Z 入力エッジ選択ビット TAPATHASIN の有効エッジを指定する制御ビットです。
1、0	—	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

TAPAn DCN	TAPAn DCP	動作説明
0	0	有効エッジを検出しない
0	1	立ち上がりエッジを有効エッジとして検出（アクティブレベル = High）
1	0	立ち下がりエッジを有効エッジとして検出（アクティブレベル = Low）
1	1	設定禁止

25.2.3 TAPAnFLG — TAPAn フラグレジスタ

Hi-Z を制御するフラグレジスタです。

アクセス 16 ビット単位でリード可能です。

アドレス <TAPAn_base> + 00_H

リセット後の値 0000_H
どのリセット要因でも初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TAPAnHOF[2:0]			—	—	—	—	—	—	—	TAPAnACE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.4　TAPAnFLG レジスタの内容

ビット位置	ビット名	機能
15 ～ 11	—	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10 ～ 8	TAPAnHOF[2:0]	HZOUTm 出力モニタビット（m = 0、1、2） TAPATHZOUTmZ の出力モニタビットです。 0：TAPATHZOUTmZ の現在の出力がハイレベル 1：TAPATHZOUTmZ の現在の出力がロウレベル
7 ～ 1	—	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAPAnACE	非同期 Hi-Z 制御イネーブルビット 非同期 Hi-Z 制御（TAPATHASIN）の状態を示すビットです。 0：非同期 Hi-Z 制御が停止状態 1：非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件 :TAPAnACWE = 1 時の TAPAnACTT への “1” 書き込み セット条件 :TAPAnACWE = 1 時の TAPAnACTS への “1” 書き込み

25.2.4 TAPAnACWE — TAPAn 非同期制御ライトイネーブルレジスタ

非同期 Hi-Z 制御のための書き込みを許可します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAPAn_base> + 04_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACWE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.5 TAPAnACWE レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAPAnACWE	非同期制御ライトイネーブルビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 “1” に書き込み後、TAPAnACTS と TAPAnACTT に “1” を書き込むことによって、自動的に “0” にクリアされます。 0：TAPAnACTS と TAPAnACTT への書き込み禁止 1：TAPAnACTS と TAPAnACTT への書き込み許可

25.2.5 TAPAnACTS — TAPAn 非同期制御スタートトリガレジスタ

非同期 Hi-Z 制御用のスタートトリガを許可します。

アクセス 8 ビット単位でリード／ライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 08_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 25.6 TAPAnACTS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAPAnACTS	非同期制御スタートトリガビット 非同期 Hi-Z 制御用のイネーブルスタートトリガビットです。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0：“0” 書き込みは、機能として意味を持ちません。 1：TAPAnACWE = 1 の場合に非同期 Hi-Z 制御を許可

25.2.6 TAPAnACTT — TAPAn 非同期制御ストップトリガレジスタ

非同期 Hi-Z 制御用のイネーブルストップトリガレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + $0C_H$

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 25.7 TAPAnACTT レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAPAnACTT	非同期制御ストップトリガビット 非同期 Hi-Z 制御用のストップトリガを許可します。 このビットの設定は、TAPAnACWE = 1 の場合のみ有効となります。 0：“0” 書き込みは、機能として意味を持ちません。 1：TAPAnACWE = 1 の場合に非同期 Hi-Z 制御を停止

25.2.7 TAPAnOPHS — TAPAn Hi-Z スタートトリガレジスタ

Hi-Z 制御信号（TAPATHZOUT0Z）のスタートトリガを設定します。

アクセス 8 ビット単位でリード／ライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 14_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 25.8 TAPAnOPHS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHS0	Hi-Z 制御信号のスタートトリガ 0 ビット Hi-Z 制御信号のスタートトリガを設定します。 0：読み出し値は常に 0 になり、0 の書き込みは無視されます。 1：Hi-Z 制御信号（TAPATHZOUT0Z）をロウレベルに設定

25.2.8 TAPAnOPHT — TAPAn Hi-Z ストップトリガレジスタ

Hi-Z 制御信号（TAPATHZOUT0Z）のストップトリガを設定します。

アクセス 8 ビット単位でリード／ライト可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 18_H

リセット後の値 00_H
どのリセット要因でも初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 25.9 TAPAnOPHT レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHT0	Hi-Z 制御信号のストップトリガ 0 ビット Hi-Z 制御信号のストップトリガを設定します。 0：読み出し値は常に 0 になり、0 の書き込みは無視されます。 1：Hi-Z 制御信号（TAPATHZOUT0Z）をハイレベルに設定

25.3 基本動作説明

25.3.1 Hi-Z 制御機能

25.3.1.1 Hi-Z 制御機能の目的

CPU によって制御されるタイマモータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、CPU による制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態に設定します。

25.3.1.2 Hi-Z 制御機能の概要

Hi-Z は次の方法で制御することができます。

- 端子入力に対応した非同期入力 Hi-Z 制御
  - TAPATHZOUT0Z（U 相）の Hi-Z 制御出力信号で非同期に制御します。

25.3.1.3 Hi-Z 制御の機能と動作

機能	動作
端子入力に対応した非同期 Hi-Z 制御	非同期の端子入力検出により、タイマ機能（TSG2 機能）からの TSOn1 ～ 6 端子出力を強制的に停止する機能です。 TAPATHASIN がアクティブレベルの間、ソフトウエアが停止要求を送るまで、デバイスのポートから Hi-Z を出力します。

25.3.2 端子入力に対応した非同期 Hi-Z 制御

25.3.2.1 非同期入力 Hi-Z 制御の基本動作

設定例を下記に示します。

TAPAnCTL0.TAPAnDCM = 0、TAPAnDCP = 1、TAPAnDCN = 0 時

非同期入力（TAPATHASIN）の有効エッジを検出すると、TAPATHZOUT0Z がロウレベルになります。

TAPATHZOUT0Z がロウレベルのあいだ、強制的に出力を停止（ポート制御による Hi-Z 出力）します。

TAPATHASIN のレベルに関係なく、Hi-Z ストップトリガ 0（OPHT0）に “1” を書き込むことによって、TAPATHZOUT0Z がハイレベルになります。

TAPAnCTL0.TAPAnDCM = 1、TAPAnDCP = 1、TAPAnDCN = 0 時

非同期入力（TAPATHASIN）の有効エッジを検出すると、TAPATHZOUT0Z がロウレベルになります。

TAPATHZOUT0Z がロウレベルの間、強制的に出力を停止（ポート制御による Hi-Z 出力）します。

非同期入力（TAPATHASIN）がアクティブレベル（TAPAnDCP = 1 のため、ハイレベル）の間、Hi-Z ストップトリガ 0（TAPAnOPHT0）への “1” 書き込みは無視されます。

非同期入力（TAPATHASIN）がインアクティブ（TAPAnDCP = 1 のため、ロウレベル）レベルとなったあと、Hi-Z ストップトリガ 0（TAPAnOPHT0）に “1” を書き込むことによって、TAPATHZOUT0Z がハイレベルになります。

25.3.2.2 非同期入力 Hi-Z 制御のためのソフトウエア操作

この機能では、Hi-Z 制御出力信号をソフトウエアによって制御することが可能です。

Hi-Z スタートトリガ 0（TAPAnOPHS0）および Hi-Z ストップトリガ 0（TAPAnOPHT0）で、TAPATHZOUT0Z を制御します。

Hi-Z スタートトリガ（TAPAnOPHS）の動作

TAPAnDCM	動作
0/1	TAPAnOPHS0 ビットに “1” を書き込むことによって、TAPATHZOUT0Z がロウレベルとなります。

非同期入力 Hi-Z 制御時のストップトリガ（TAPAnOPHT）の動作

Hi-Z ストップトリガは次の条件のときのみ有効となります。

TAPAnDCM	動作
0	TAPAnOPHT0 ビットに “1” を書き込むことによって、TAPATHZOUT0Z がハイレベルとなります。
1	TAPATHASIN がインアクティブ中、TAPAnOPHT0 ビットに “1” を書き込むことによって、TAPATHZOUT0Z がハイレベルとなります。 TAPATHASIN がアクティブ中は、TAPAnOPHT0 ビットへの “1” の書き込みは無視されます。

25.3.2.3　非同期入力 Hi-Z 制御の操作例

以下に非同期入力 Hi-Z 制御の操作手順を示します。
（タイマ機能の動作に依存しないため、タイマオプションに関して記載しています）

		動作	TAPA の状態
動作再開	初期設定	TAPAnCTL0 レジスタを設定します。 TAPAnDCP、TAPAnDCN を設定 （入力エッジ選択） TAPAnDCM を設定（クリアモード選択）	非同期 Hi-Z 制御停止 （TAPAnFLG.TAPAnACE = 0）
	動作開始	TAPAnACWE レジスタを設定します。 TAPAnACWE に “1” を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS に “1” を設定	TAPAnACTS ビットの書き込み可能 TAPAnFLG.TAPAnACE = 1 により非同期 Hi-Z 制御許可
	動作中	タイマ機能の出力に対して Hi-Z 制御を開始（スタート）する方法は、以下の通りです。 TAPA の TAPAnOPHS0 で制御 TAPA の Hi-Z 入力信号（TAPATHASIN）で制御 Hi-Z 制御を終了（ストップ）する方法は、以下の通りです。 TAPA の TAPAnOPHT0 で制御 （TAPAnDCM = 0 の場合） TAPA の Hi-Z 入力信号（TAPATHASIN）がインアクティブ時に TAPAnOPHT0 で制御 （TAPAnDCM = 1 の場合） TAPA の TAPAnFLG レジスタで常に TAPA の動作状態が読み出し可能です。	Hi-Z 制御機能は、Hi-Z 入力信号（TAPATHASIN）に入力されたスタートエッジの検出、またはスタートトリガビットを設定（TAPAnOPHS0 = 1）することによって、TAPATHZOUT0Z をロウレベルで出力します。 Hi-Z 制御機能は、TAPAnDCM で設定した動作モードに従い、ストップトリガビットを設定（TAPAnOPHT0 = 1）することによって、TAPATHZOUT0Z をハイレベルで出力します。
	動作停止	TAPAnACWE レジスタを設定します。 TAPAnACWE に “1” を設定 TAPAnACTT レジスタを設定します。 TAPAnACTT に “1” を設定	TAPAnACTT ビットの書き込み許可 TAPAnFLG.ACE = 0 により非同期 Hi-Z 制御停止

第 26 章　ペリフェラルインターコネクション（PIC）

26.1　タイマ同調機能、ポート Hi-Z 機能

26.1.1　概要

Peripheral Interconnection（PIC1）は、複数タイマを使用した同調動作や、TAPA と連携してポートの Hi-Z 制御を実現することができます。

表 26.1 に、PIC1 の仕様概要を示します。

表 26.1　PIC1 の仕様概要

項目	説明
タイマ同調機能	各タイマ（TSG2n、OSTMn）の任意の組み合わせでの同時スタートを行う機能
ポート Hi-Z 機能	TAPA と連携してポートの Hi-Z 制御を実現

26.1.2 レジスタ

表 26.2 に PIC1 に関連するレジスタ一覧を示します。

各レジスタ、ビットごとの制約の詳細については、次節以降の各レジスタの説明を参照してください。

表 26.2　PIC1 レジスタ一覧

<Base: FFDD 0000_H>

レジスタ名	シンボル	アドレス
制御レジスタ EN	PIC1EN	Base + 00_H
同時スタートトリガ制御レジスタ	PIC1SST	Base + 04_H
同時スタート制御レジスタ 2	PIC1SSER2	Base + 18_H
同時スタート制御レジスタ 3	PIC1SSER3	Base + $1C_H$
Hi-Z 出力制御レジスタ 2	PIC1HIZCEN2	Base + 88_H
Hi-Z 出力制御レジスタ 3	PIC1HIZCEN3	Base + $8C_H$

26.1.2.1 PIC1EN — 制御レジスタ EN

PIC1 機能を使用する場合に設定するレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <Base> + 00_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PIC1EN0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 26.3 PIC1EN レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット 書き込み時は “0” を書いてください。
0	PIC1EN0	PIC1 機能の動作許可 / 禁止を設定します。 0：禁止 1：許可

26.1.2.2 PIC1SST — 同時スタートトリガ制御レジスタ 0

PIC1SST レジスタは同時スタート許可に設定したタイマに対し、スタートトリガを生成するレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <Base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SYNCTRG
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 26.4 PIC1SST レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット 書き込み時は “0” を書いてください。
0	SYNCTRG 注 1	同時スタート許可に設定したタイマに対し、スタートトリガを生成 0：無効 1：同時スタートトリガ（1PCLK 幅のパルスを出力）

注 1. 本ビットは、リード時は常に 0 を読み出します。

26.1.2.3 PIC1SSER2 — 同時スタート制御レジスタ 2

PIC1SSER2 レジスタは TSG2n (n = 0 ～ 1) のスタートトリガ許可を行うレジスタです。選択した信号を TSG2n の TSTSST 信号入力へ供給します。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス <Base> + 18_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIC1SSER209	PIC1SSER208	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 26.5 PIC1SSER2 レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	—	予約ビット 書き込み時は “0” を書いてください。
9	PIC1SSER209	TSG21 の同時スタートトリガ許可を設定する 0：TSG21 の同時スタートトリガを許可しない 1：TSG21 の同時スタートトリガを許可する
8	PIC1SSER208	TSG20 の同時スタートトリガ許可を設定する 0：TSG20 の同時スタートトリガを許可しない 1：TSG20 の同時スタートトリガを許可する
7 ～ 0	—	予約ビット 書き込み時は “0” を書いてください。

26.1.2.4 PIC1SSER3 — 同時スタート制御レジスタ 3

PIC1SSER3 レジスタは OSTMn (n = 0 ～ 2) のスタートトリガ許可を行うレジスタです。選択した信号を OSTMn の OSTMnTSST 信号入力へ供給します。（n = 0 ～ 2）

アクセス 16 ビット単位でリード / ライト可能です。

アドレス <Base> + $1C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PIC1SSER302	PIC1SSER301	PIC1SSER300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 26.6 PIC1SSER3 レジスタの内容

ビット位置	ビット名	機能
15 ～ 3	—	予約ビット 書き込み時は “0” を書いてください。
2	PIC1SSER302	OSTM2 の同時スタートトリガ許可を設定する 0：OSTM2 の同時スタートトリガを許可しない 1：OSTM2 の同時スタートトリガを許可する
1	PIC1SSER301	OSTM1 の同時スタートトリガ許可を設定する 0：OSTM1 の同時スタートトリガを許可しない 1：OSTM1 の同時スタートトリガを許可する
0	PIC1SSER300	OSTM0 の同時スタートトリガ許可を設定する 0：OSTM0 の同時スタートトリガを許可しない 1：OSTM0 の同時スタートトリガを許可する

26.1.2.5 PIC1HIZCEN2 — Hi-Z 出力制御レジスタ 2

PIC1HIZCEN2 レジスタは、Hi-Z 出力制御用の入力信号を選択します。選択した信号を TAPA2 の TAPATHASIN 信号入力へ供給します。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <Base> + 88_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	PIC1HIZCEN25	—	PIC1HIZCEN23	—	—	PIC1HIZCEN20
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R	R	R/W

表 26.7 PIC1HIZCEN2 レジスタの内容

ビット位置	ビット名	機能
7、6	—	予約ビット 書き込み時は “0” を書いてください。
5	PIC1HIZCEN25	ERROROUTZ 信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
4	—	予約ビット 書き込み時は “0” を書いてください。
3	PIC1HIZCEN23	INTTSG20IER 割り込み信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
2、1	—	予約ビット 書き込み時は “0” を書いてください。
0	PIC1HIZCEN20	ESO2 端子入力で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可

26.1.2.6 PIC1HIZCEN3 — Hi-Z 出力制御レジスタ 3

PIC1HIZCEN3 レジスタは、Hi-Z 出力制御用の入力信号を選択します。選択した信号を TAPA3 の TAPATHASIN 信号入力へ供給します。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス <Base> + $8C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	PIC1HIZCEN35	PIC1HIZCEN34	—	—	—	PIC1HIZCEN30
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.8 PIC1HIZCEN3 レジスタの内容

ビット位置	ビット名	機能
7、6	—	予約ビット 書き込み時は “0” を書いてください。
5	PIC1HIZCEN35	ERROROUTZ 信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
4	PIC1HIZCEN34	INTTSG21IER 割り込み信号で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可
3 ～ 1	—	予約ビット 書き込み時は “0” を書いてください。
0	PIC1HIZCEN30	ESO3 端子入力で Hi-Z 出力制御の許可 / 禁止を選択します。 0：禁止 1：許可

26.1.3 動作説明

26.1.3.1 タイマ同調機能

1. 任意の動作モードで動作する各タイマ（TSG2n、OSTMn）の任意の組み合わせでの同時スタートを行います。
2. 同時スタートさせる対象タイマについて、PIC1SSER2、PIC1SSER3 の該当ビットを 1 にすることで、各タイマの同時スタートを許可します。
3. PIC1SST0 の SYNCTRG ビットに 1 ライトすることで、2. で設定された対象タイマが同時にスタートします。
4. スタートしていないチャネルに対し 2.、3. を繰り返すことで、異なる対象タイマを複数回に分けて同時にスタートできます。

26.2　トリガ選択機能（PIC2）

26.2.1　概要

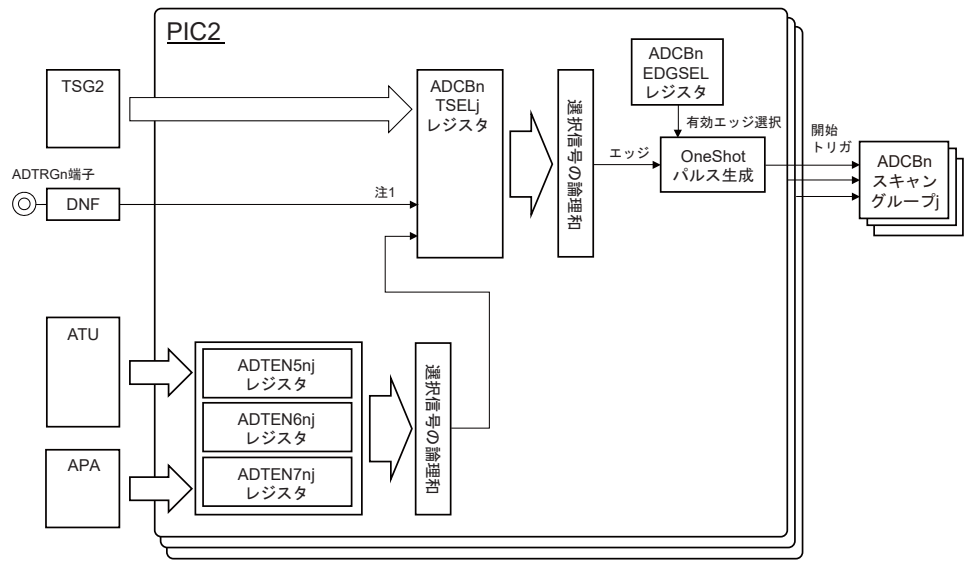
トリガ選択機能（PIC2：Peripheral Interconnection-2）は、ADC トリガ選択、ΔΣADC のスタート / ストップトリガ選択を各タイマや周辺 IP からの内部信号から選択する機能を実現します。

表 26.9 に、PIC2 の仕様概要を示します。

表 26.9　PIC2 の仕様概要

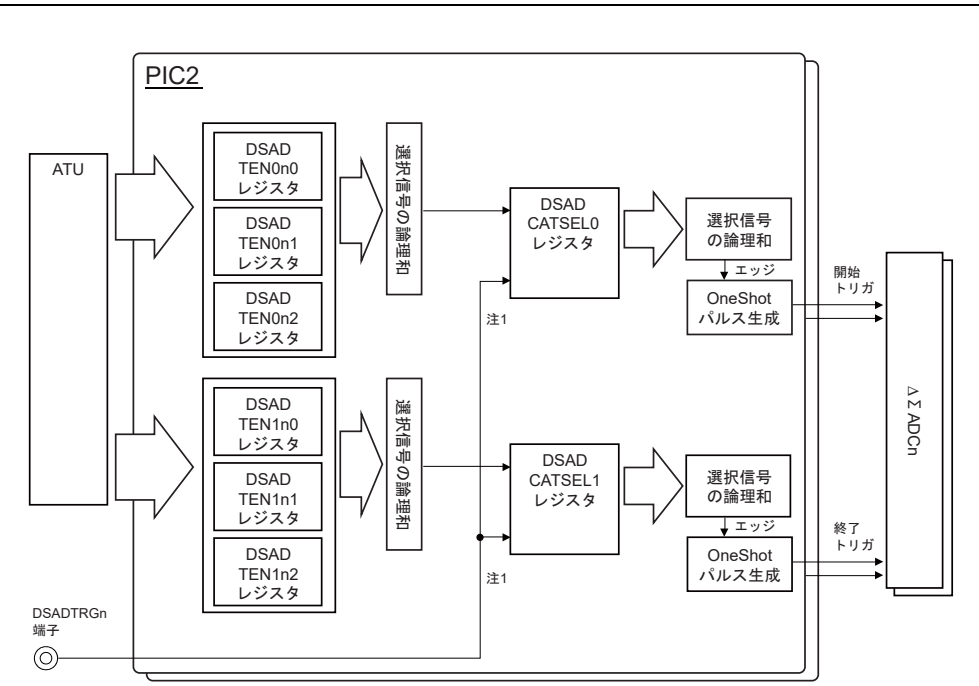
項目	説明
ADC トリガ選択機能 （ATU 各タイマ選択、各周辺 IP および上記要因選択）	ADC への ATU、APA からの要因を選択する機能
	上記選択された要因と各周辺 IP 等からの内部信号から AD トリガを選択する機能
ΔΣADC トリガ選択	ΔΣADC に対する ATU、外部端子からの AD トリガの選択機能

26.2.2 ブロック図



注 1. ADTRGn 端子への入力信号はレベル反転後に論理和されます。

図 26.1 ADCBn スキャングループ j トリガ選択機能のブロック図



注 1. DSADTRGn 端子への入力信号はレベル反転後に論理和されます。

図 26.2 ΔΣADCn トリガ選択機能のブロック図

26.2.3 レジスタ

表 26.10 に PIC2 に関連するレジスター一覧を示します。

各レジスタ、ビットごとの制約の詳細については、次節以降の各レジスタの説明を参照してください。

表 26.10 PIC2 レジスター一覧 (1/3)

<Base: FFDD 1000_H>

レジスタ名	シンボル	アドレス
ADC トリガ選択制御レジスタ		
AD コンバータ 0 トリガ選択制御レジスタ 0	PIC2ADCB0TSEL0	Base + 00_H
AD コンバータ 0 トリガ選択制御レジスタ 1	PIC2ADCB0TSEL1	Base + 04_H
AD コンバータ 0 トリガ選択制御レジスタ 2	PIC2ADCB0TSEL2	Base + 08_H
AD コンバータ 0 トリガ選択制御レジスタ 3	PIC2ADCB0TSEL3	Base + $0C_H$
AD コンバータ 0 トリガ選択制御レジスタ 4	PIC2ADCB0TSEL4	Base + 10_H
AD コンバータ 0 トリガエッジ選択制御レジスタ	PIC2ADCB0EDGSEL	Base + $1C_H$
AD コンバータ 1 トリガ選択制御レジスタ 0	PIC2ADCB1TSEL0	Base + 20_H
AD コンバータ 1 トリガ選択制御レジスタ 1	PIC2ADCB1TSEL1	Base + 24_H
AD コンバータ 1 トリガ選択制御レジスタ 2	PIC2ADCB1TSEL2	Base + 28_H
AD コンバータ 1 トリガ選択制御レジスタ 3	PIC2ADCB1TSEL3	Base + $2C_H$
AD コンバータ 1 トリガ選択制御レジスタ 4	PIC2ADCB1TSEL4	Base + 30_H
AD コンバータ 1 トリガエッジ選択制御レジスタ	PIC2ADCB1EDGSEL	Base + $3C_H$
AD コンバータトリガ出力制御レジスタ 500	PIC2ADTEN500	Base + 80_H
AD コンバータトリガ出力制御レジスタ 501	PIC2ADTEN501	Base + 84_H
AD コンバータトリガ出力制御レジスタ 502	PIC2ADTEN502	Base + 88_H
AD コンバータトリガ出力制御レジスタ 503	PIC2ADTEN503	Base + $8C_H$
AD コンバータトリガ出力制御レジスタ 504	PIC2ADTEN504	Base + 90_H
AD コンバータトリガ出力制御レジスタ 510	PIC2ADTEN510	Base + 94_H
AD コンバータトリガ出力制御レジスタ 511	PIC2ADTEN511	Base + 98_H
AD コンバータトリガ出力制御レジスタ 512	PIC2ADTEN512	Base + $9C_H$
AD コンバータトリガ出力制御レジスタ 513	PIC2ADTEN513	Base + $A0_H$
AD コンバータトリガ出力制御レジスタ 514	PIC2ADTEN514	Base + $A4_H$
AD コンバータトリガ出力制御レジスタ 600	PIC2ADTEN600	Base + $A8_H$
AD コンバータトリガ出力制御レジスタ 601	PIC2ADTEN601	Base + AC_H
AD コンバータトリガ出力制御レジスタ 602	PIC2ADTEN602	Base + $B0_H$
AD コンバータトリガ出力制御レジスタ 603	PIC2ADTEN603	Base + $B4_H$
AD コンバータトリガ出力制御レジスタ 604	PIC2ADTEN604	Base + $B8_H$
AD コンバータトリガ出力制御レジスタ 610	PIC2ADTEN610	Base + BC_H
AD コンバータトリガ出力制御レジスタ 611	PIC2ADTEN611	Base + $C0_H$
AD コンバータトリガ出力制御レジスタ 612	PIC2ADTEN612	Base + $C4_H$
AD コンバータトリガ出力制御レジスタ 613	PIC2ADTEN613	Base + $C8_H$
AD コンバータトリガ出力制御レジスタ 614	PIC2ADTEN614	Base + CC_H
AD コンバータトリガ出力制御レジスタ 700	PIC2ADTEN700	Base + $D0_H$
AD コンバータトリガ出力制御レジスタ 701	PIC2ADTEN701	Base + $D4_H$
AD コンバータトリガ出力制御レジスタ 702	PIC2ADTEN702	Base + $D8_H$
AD コンバータトリガ出力制御レジスタ 703	PIC2ADTEN703	Base + DC_H

表 26.10 PIC2 レジスタ一覧 (2/3)

<Base: FFDD 1000_H>

レジスタ名	シンボル	アドレス
AD コンバータトリガ出力制御レジスタ 704	PIC2ADTEN704	Base + $E0_H$
AD コンバータトリガ出力制御レジスタ 710	PIC2ADTEN710	Base + $E4_H$
AD コンバータトリガ出力制御レジスタ 711	PIC2ADTEN711	Base + $E8_H$
AD コンバータトリガ出力制御レジスタ 712	PIC2ADTEN712	Base + EC_H
AD コンバータトリガ出力制御レジスタ 713	PIC2ADTEN713	Base + $F0_H$
AD コンバータトリガ出力制御レジスタ 714	PIC2ADTEN714	Base + $F4_H$
DS-ADC トリガ選択制御レジスタ		
DSADC スタートトリガ出力制御レジスタ 00	PIC2DSADTEN000	Base + 100_H
DSADC スタートトリガ出力制御レジスタ 01	PIC2DSADTEN001	Base + 104_H
DSADC スタートトリガ出力制御レジスタ 02	PIC2DSADTEN002	Base + 108_H
DSADC ストップトリガ出力制御レジスタ 00	PIC2DSADTEN100	Base + $10C_H$
DSADC ストップトリガ出力制御レジスタ 01	PIC2DSADTEN101	Base + 110_H
DSADC ストップトリガ出力制御レジスタ 02	PIC2DSADTEN102	Base + 114_H
DSADC スタートトリガ出力制御レジスタ 10	PIC2DSADTEN010	Base + 118_H
DSADC スタートトリガ出力制御レジスタ 11	PIC2DSADTEN011	Base + $11C_H$
DSADC スタートトリガ出力制御レジスタ 12	PIC2DSADTEN012	Base + 120_H
DSADC ストップトリガ出力制御レジスタ 10	PIC2DSADTEN110	Base + 124_H
DSADC ストップトリガ出力制御レジスタ 11	PIC2DSADTEN111	Base + 128_H
DSADC ストップトリガ出力制御レジスタ 12	PIC2DSADTEN112	Base + $12C_H$
DSADC スタートトリガ出力制御レジスタ 20	PIC2DSADTEN020	Base + 130_H
DSADC スタートトリガ出力制御レジスタ 21	PIC2DSADTEN021	Base + 134_H
DSADC スタートトリガ出力制御レジスタ 22	PIC2DSADTEN022	Base + 138_H
DSADC ストップトリガ出力制御レジスタ 20	PIC2DSADTEN120	Base + $13C_H$
DSADC ストップトリガ出力制御レジスタ 21	PIC2DSADTEN121	Base + 140_H
DSADC ストップトリガ出力制御レジスタ 22	PIC2DSADTEN122	Base + 144_H
DSADC スタートトリガ出力制御レジスタ 30	PIC2DSADTEN030	Base + 148_H
DSADC スタートトリガ出力制御レジスタ 31	PIC2DSADTEN031	Base + $14C_H$
DSADC スタートトリガ出力制御レジスタ 32	PIC2DSADTEN032	Base + 150_H
DSADC ストップトリガ出力制御レジスタ 30	PIC2DSADTEN130	Base + 154_H
DSADC ストップトリガ出力制御レジスタ 31	PIC2DSADTEN131	Base + 158_H
DSADC ストップトリガ出力制御レジスタ 32	PIC2DSADTEN132	Base + $15C_H$
DSADC スタートトリガ出力制御レジスタ 40	PIC2DSADTEN040	Base + 160_H
DSADC スタートトリガ出力制御レジスタ 41	PIC2DSADTEN041	Base + 164_H
DSADC スタートトリガ出力制御レジスタ 42	PIC2DSADTEN042	Base + 168_H
DSADC ストップトリガ出力制御レジスタ 40	PIC2DSADTEN140	Base + $16C_H$
DSADC ストップトリガ出力制御レジスタ 41	PIC2DSADTEN141	Base + 170_H
DSADC ストップトリガ出力制御レジスタ 42	PIC2DSADTEN142	Base + 174_H
DSADC スタートトリガ出力制御レジスタ 50	PIC2DSADTEN050	Base + 178_H
DSADC スタートトリガ出力制御レジスタ 51	PIC2DSADTEN051	Base + $17C_H$
DSADC スタートトリガ出力制御レジスタ 52	PIC2DSADTEN052	Base + 180_H
DSADC ストップトリガ出力制御レジスタ 50	PIC2DSADTEN150	Base + 184_H
DSADC ストップトリガ出力制御レジスタ 51	PIC2DSADTEN151	Base + 188_H
DSADC ストップトリガ出力制御レジスタ 52	PIC2DSADTEN152	Base + $18C_H$

表 26.10 PIC2 レジスタ一覧 (3/3)

<Base: FFDD 1000_H>

レジスタ名	シンボル	アドレス
DSADC スタートトリガ出力制御レジスタ 60	PIC2DSADTEN060	Base + 190_H
DSADC スタートトリガ出力制御レジスタ 61	PIC2DSADTEN061	Base + 194_H
DSADC スタートトリガ出力制御レジスタ 62	PIC2DSADTEN062	Base + 198_H
DSADC ストップトリガ出力制御レジスタ 60	PIC2DSADTEN160	Base + $19C_H$
DSADC ストップトリガ出力制御レジスタ 61	PIC2DSADTEN161	Base + $1A0_H$
DSADC ストップトリガ出力制御レジスタ 62	PIC2DSADTEN162	Base + $1A4_H$
DSADC スタートトリガ出力制御レジスタ 70	PIC2DSADTEN070	Base + $1A8_H$
DSADC スタートトリガ出力制御レジスタ 71	PIC2DSADTEN071	Base + $1AC_H$
DSADC スタートトリガ出力制御レジスタ 72	PIC2DSADTEN072	Base + $1B0_H$
DSADC ストップトリガ出力制御レジスタ 70	PIC2DSADTEN170	Base + $1B4_H$
DSADC ストップトリガ出力制御レジスタ 71	PIC2DSADTEN171	Base + $1B8_H$
DSADC ストップトリガ出力制御レジスタ 72	PIC2DSADTEN172	Base + $1BC_H$
DSADC トリガ選択制御レジスタ 0	PIC2DSADCATSEL0	Base + $1C0_H$
DSADC トリガ選択制御レジスタ 1	PIC2DSADCATSEL1	Base + $1C4_H$

26.2.3.1　PIC2ADCBnTSELj — AD コンバータ n トリガ選択制御レジスタ j

PIC2ADCBnTSELj レジスタは、ADCBn のスキャングループ j のトリガを選択するレジスタです。（n = 0, 1、j = 0 ～ 4）

アクセス　16、32 ビット単位でリード / ライト可能です。

アドレス　<Base> + 00_H（n = 0、j = 0）、<Base> + 04_H（n = 0、j = 1）、
<Base> + 08_H（n = 0、j = 2）、<Base> + $0C_H$（n = 0、j = 3）、
<Base> + 10_H（n = 0、j = 4）、<Base> + 20_H（n = 1、j = 0）、
<Base> + 24_H（n = 1、j = 1）、<Base> + 28_H（n = 1、j = 2）、
<Base> + $2C_H$（n = 1、j = 3）、<Base> + 30_H（n = 1、j = 4）

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2ADCBnTSELj15	—	—	—	—	—	—	PIC2ADCBnTSELj08	PIC2ADCBnTSELj07	PIC2ADCBnTSELj06	PIC2ADCBnTSELj05	PIC2ADCBnTSELj04	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 26.11　PIC2ADCBnTSELj レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 16	—	予約ビット 書き込み時は “0” を書いてください。
15	PIC2ADCBnTSELj15	ADCBn のスキャングループ j のトリガソースとして PIC2ADTEN5nj、PIC2ADTEN6nj、PIC2ADTEN7nj レジスタで選択されたトリガを選択する。 0：PIC2ADTEN5nj 6nj 7nj レジスタで選択されたトリガを選択しない 1：PIC2ADTEN5nj 6nj 7nj レジスタで選択されたトリガを選択
14 ～ 9	—	予約ビット 書き込み時は “0” を書いてください。
8	PIC2ADCBnTSELj08	ADCBn のスキャングループ j のトリガソースとして ADTRGn 端子を選択する。 0：ADTRGn 端子を選択しない 1：ADTRGn 端子を選択
7	PIC2ADCBnTSELj07	ADCBn のスキャングループ j のトリガソースとして TSG21TSTADT1 を選択する。（TSG21 TSTADT1 信号） 0：TSG21TSTADT1 を選択しない 1：TSG21TSTADT1 を選択
6	PIC2ADCBnTSELj06	ADCBn のスキャングループ j のトリガソースとして TSG21TSTADT0 を選択する。（TSG21 TSTADT0 信号） 0：TSG21TSTADT0 を選択しない 1：TSG21TSTADT0 を選択

表 26.11　PIC2ADCBnTSELj レジスタの内容 (2/2)

ビット位置	ビット名	機能
5	PIC2ADCBn TSELj05	ADCBn のスキャングループ j のトリガソースとして TSG20TSTADT1 を選択する。（TSG20 TSTADT1 信号） 0：TSG20TSTADT1 を選択しない 1：TSG20TSTADT1 を選択
4	PIC2ADCBn TSELj04	ADCBn のスキャングループ j のトリガソースとして TSG20TSTADT0 を選択する。（TSG20 TSTADT0 信号） 0：TSG20TSTADT0 を選択しない 1：TSG20TSTADT0 を選択
3 ～ 0	—	予約ビット 書き込み時は “0” を書いてください。

26.2.3.2 PIC2ADCBnEDGSEL — AD コンバータ n トリガエッジ制御レジスタ

PIC2ADCBnEDGSEL レジスタは、ADCB トリガを生成する OneShot パルス発生回路に対して有効エッジの選択を行うレジスタです。

ADC 外部端子トリガは負論理で入力されますが、トリガ要因選択時は、正論理に変換します。エッジ検出は、選択後のトリガ要因に対して行うため、ADC 外部端子信号に対しては、エッジの定義が逆になることに注意してください。（00 を設定すると、ADC 外部端子トリガ ADTRG0、ADTRG1 の FallEdge を選択します。）

アクセス 16 ビット単位でリード / ライト可能です。

アドレス <Base> + $1C_H$（n = 0）、<Base> + $3C_H$（n = 1）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIC2ADCBnED GSEL98[9:8]		PIC2ADCBnED GSEL76[7:6]		PIC2ADCBnED GSEL54[5:4]		PIC2ADCBnED GSEL32[3:2]		PIC2ADCBnED GSEL10[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.12 PIC2ADCBnEDGSEL レジスタの内容

ビット位置	ビット名	機能
15 ～ 10	—	予約ビット 書き込み時は “0” を書いてください。
9、8	PIC2ADCBnED GSEL98[9:8]	ADCBn のスキャングループ 4 の有効エッジを選択。 00：RiseEdge を選択 01：FallEdge を選択 10：両 Edge を選択 11：—（設定禁止）
7、6	PIC2ADCBnED GSEL76[7:6]	ADCBn のスキャングループ 3 の有効エッジを選択。 00：RiseEdge を選択 01：FallEdge を選択 10：両 Edge を選択 11：—（設定禁止）
5、4	PIC2ADCBnED GSEL54[5:4]	ADCBn のスキャングループ 2 の有効エッジを選択。 00：RiseEdge を選択 01：FallEdge を選択 10：両 Edge を選択 11：—（設定禁止）
3、2	PIC2ADCBnED GSEL32[3:2]	ADCBn のスキャングループ 1 の有効エッジを選択。 00：RiseEdge を選択 01：FallEdge を選択 10：両 Edge を選択 11：—（設定禁止）
1、0	PIC2ADCBnED GSEL10[1:0]	ADCBn のスキャングループ 0 の有効エッジを選択。 00：RiseEdge を選択 01：FallEdge を選択 10：両 Edge を選択 11：—（設定禁止）

26.2.3.3 PIC2ADTEN5nj — AD コンバータトリガ出力制御レジスタ 5nj

PIC2ADTEN5nj レジスタは、ADCB トリガとして ATU のタイマ C コンペアマッチ、ATU のタイマ G コンペアマッチ、ATU の DMA 要求切り替え機能からのトリガソース選択許可を行うレジスタです。（n = 0, 1、j = 0 ～ 4）。

アクセス　16、32 ビット単位でリード / ライト可能です。

アドレス　<Base> + 80_H（n = 0、j = 0）、<Base> + 84_H（n = 0、j = 1）、
<Base> + 88_H（n = 0、j = 2）、<Base> + $8C_H$（n = 0、j = 3）、
<Base> + 90_H（n = 0、j = 4）、<Base> + 94_H（n = 1、j = 0）、
<Base> + 98_H（n = 1、j = 1）、<Base> + $9C_H$（n = 1、j = 2）、
<Base> + $A0_H$（n = 1、j = 3）、<Base> + $A4_H$（n = 1、j = 4）

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIC2ADTEN5nj 31	PIC2ADTEN5nj 30	PIC2ADTEN5nj 29	PIC2ADTEN5nj 28	PIC2ADTEN5nj 27	PIC2ADTEN5nj 26	PIC2ADTEN5nj 25	PIC2ADTEN5nj 24	PIC2ADTEN5nj 23	PIC2ADTEN5nj 22	PIC2ADTEN5nj 21	PIC2ADTEN5nj 20	PIC2ADTEN5nj 19	PIC2ADTEN5nj 18	PIC2ADTEN5nj 17	PIC2ADTEN5nj 16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2ADTEN5nj 15	PIC2ADTEN5nj 14	PIC2ADTEN5nj 13	PIC2ADTEN5nj 12	PIC2ADTEN5nj 11	PIC2ADTEN5nj 10	PIC2ADTEN5nj 9	PIC2ADTEN5nj 8	—	—	—	—	—	—	—	PIC2ADTEN5nj 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 26.13　ADTEN5nj レジスタの内容 (1/3)

ビット位置	ビット名	機能
31	PIC2ADTEN5nj 31	OCRC73 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 7 チャネル 3 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
30	PIC2ADTEN5nj 30	OCRC72 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 7 チャネル 2 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
29	PIC2ADTEN5nj 29	OCRC71 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 7 チャネル 1 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
28	PIC2ADTEN5nj 28	OCRC70 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 7 チャネル 0 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
27	PIC2ADTEN5nj 27	OCRC63 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 6 チャネル 3 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
26	PIC2ADTEN5nj 26	OCRC62 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 6 チャネル 2 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
25	PIC2ADTEN5nj 25	OCRC61 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 6 チャネル 1 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする

表 26.13 ADTEN5nj レジスタの内容 (2/3)

ビット位置	ビット名	機能
24	PIC2ADTEN5nj 24	OCRC60 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 6 チャネル 0 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
23	PIC2ADTEN5nj 23	OCRC43 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 4 チャネル 3 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
22	PIC2ADTEN5nj 22	OCRC42 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 4 チャネル 2 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
21	PIC2ADTEN5nj 21	OCRC41 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 4 チャネル 1 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
20	PIC2ADTEN5nj 20	OCRC40 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 4 チャネル 0 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
19	PIC2ADTEN5nj 19	OCRC03 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 0 チャネル 3 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
18	PIC2ADTEN5nj 18	OCRC02 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 0 チャネル 2 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
17	PIC2ADTEN5nj 17	OCRC01 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 0 チャネル 1 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
16	PIC2ADTEN5nj 16	OCRC00 インプットキャプチャ / コンペアマッチ割り込み（ATU4 タイマ C サブブロック 0 チャネル 0 インプットキャプチャ / コンペアマッチ割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
15	PIC2ADTEN5nj 15	OCRG7 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 7） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
14	PIC2ADTEN5nj 14	OCRG6 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 6） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
13	PIC2ADTEN5nj 13	OCRG5 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 5） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
12	PIC2ADTEN5nj 12	OCRG4 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 4） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
11	PIC2ADTEN5nj 11	OCRG3 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 3） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
10	PIC2ADTEN5nj 10	OCRG2 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 2） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
9	PIC2ADTEN5nj 9	OCRG1 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 1） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする

表 26.13 ADTEN5nj レジスタの内容 (3/3)

ビット位置	ビット名	機能
8	PIC2ADTEN5nj 8	OCRG0 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 0） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
7 ～ 1	—	予約ビット 書き込み時は “0” を書いてください。
0	PIC2ADTEN5nj 0	ATU DMA/AD 要求自動切り替え機能の SAR-AD トリガ選択回路から の出力信号 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする

26.2.3.4　PIC2ADTEN6nj — AD コンバータトリガ出力制御レジスタ 6nj

PIC2ADTEN6nj レジスタは、ADCB トリガとして、APA0 割り込み、ATU のタイマ D コンペアマッチ A からのトリガソース選択許可を行うレジスタです。（n = 0, 1、j = 0 ～ 4）

アクセス　32 ビット単位でリード / ライト可能です。

アドレス　<Base> + $A8_H$（n = 0、j = 0）、<Base> + AC_H（n = 0、j = 1）、
<Base> + $B0_H$（n = 0、j = 2）、<Base> + $B4_H$（n = 0、j = 3）、
<Base> + $B8_H$（n = 0、j = 4）、<Base> + BC_H（n = 1、j = 0）、
<Base> + $C0_H$（n = 1、j = 1）、<Base> + $C4_H$（n = 1、j = 2）、
<Base> + $C8_H$（n = 1、j = 3）、<Base> + CC_H（n = 1、j = 4）

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIC2ADTEN6nj 31	PIC2ADTEN6nj 30	PIC2ADTEN6nj 29	PIC2ADTEN6nj 28	—	—	—	—	—	—	—	—	PIC2ADTEN6nj 19	PIC2ADTEN6nj 18	PIC2ADTEN6nj 17	PIC2ADTEN6nj 16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2ADTEN6nj 15	PIC2ADTEN6nj 14	PIC2ADTEN6nj 13	PIC2ADTEN6nj 12	PIC2ADTEN6nj 11	PIC2ADTEN6nj 10	PIC2ADTEN6nj 9	PIC2ADTEN6nj 8	PIC2ADTEN6nj 7	PIC2ADTEN6nj 6	PIC2ADTEN6nj 5	PIC2ADTEN6nj 4	PIC2ADTEN6nj 3	PIC2ADTEN6nj 2	PIC2ADTEN6nj 1	PIC2ADTEN6nj 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.14　PIC2ADTEN6nj レジスタの内容 (1/3)

ビット位置	ビット名	機能
31	PIC2ADTEN6nj 31	APA0 PWM 出力 ch.3 ステータス変化割り込み 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
30	PIC2ADTEN6nj 30	APA0 PWM 出力 ch.2 ステータス変化割り込み 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
29	PIC2ADTEN6nj 29	APA0 PWM 出力 ch.1 ステータス変化割り込み 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
28	PIC2ADTEN6nj 28	APA0 PWM 出力 ch.0 ステータス変化割り込み 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
27 ～ 20	—	予約ビット 書き込み時は “0” を書いてください。
19	PIC2ADTEN6nj 19	OCR1D93 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
18	PIC2ADTEN6nj 18	OCR1D92 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
17	PIC2ADTEN6nj 17	OCR1D91 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
16	PIC2ADTEN6nj 16	OCR1D90 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする

表 26.14 PIC2ADTEN6nj レジスタの内容 (2/3)

ビット位置	ビット名	機能
15	PIC2ADTEN6nj 15	OCR1D63 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
14	PIC2ADTEN6nj 14	OCR1D62 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
13	PIC2ADTEN6nj 13	OCR1D61 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
12	PIC2ADTEN6nj 12	OCR1D60 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
11	PIC2ADTEN6nj 11	OCR1D43 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
10	PIC2ADTEN6nj 10	OCR1D42 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
9	PIC2ADTEN6nj 9	OCR1D41 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
8	PIC2ADTEN6nj 8	OCR1D40 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
7	PIC2ADTEN6nj 7	OCR1D23 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
6	PIC2ADTEN6nj 6	OCR1D22 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
5	PIC2ADTEN6nj 5	OCR1D21 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
4	PIC2ADTEN6nj 4	OCR1D20 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
3	PIC2ADTEN6nj 3	OCR1D03 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
2	PIC2ADTEN6nj 2	OCR1D02 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする

表 26.14 PIC2ADTEN6nj レジスタの内容 (3/3)

ビット位置	ビット名	機能
1	PIC2ADTEN6nj 1	OCR1D01 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
0	PIC2ADTEN6nj 0	OCR1D00 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする

26.2.3.5 PIC2ADTEN7nj — AD コンバータトリガ出力制御レジスタ 7nj

PIC2ADTEN7nj レジスタは、ADCB トリガとして、ATU のタイマ D コンペアマッチ B からのトリガソース選択許可を行うレジスタです。（n = 0, 1、j = 0 ～ 4）。

アクセス　32 ビット単位でリード / ライト可能です。

アドレス　<Base> + $D0_H$（n = 0、j = 0）、<Base> + $D4_H$（n = 0、j = 1）、
<Base> + $D8_H$（n = 0、j = 2）、<Base> + DC_H（n = 0、j = 3）、
<Base> + $E0_H$（n = 0、j = 4）、<Base> + $E4_H$（n = 1、j = 0）、
<Base> + $E8_H$（n = 1、j = 1）、<Base> + EC_H（n = 1、j = 2）、
<Base> + $F0_H$（n = 1、j = 3）、<Base> + $F4_H$（n = 1、j = 4）

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	PIC2ADTEN7nj 19	PIC2ADTEN7nj 18	PIC2ADTEN7nj 17	PIC2ADTEN7nj 16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2ADTEN7nj 15	PIC2ADTEN7nj 14	PIC2ADTEN7nj 13	PIC2ADTEN7nj 12	PIC2ADTEN7nj 11	PIC2ADTEN7nj 10	PIC2ADTEN7nj 9	PIC2ADTEN7nj 8	PIC2ADTEN7nj 7	PIC2ADTEN7nj 6	PIC2ADTEN7nj 5	PIC2ADTEN7nj 4	PIC2ADTEN7nj 3	PIC2ADTEN7nj 2	PIC2ADTEN7nj 1	PIC2ADTEN7nj 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.15 PIC2ADTEN7nj レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 20	—	予約ビット 書き込み時は “0” を書いてください。
19	PIC2ADTEN7nj 19	OCR2D93 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
18	PIC2ADTEN7nj 18	OCR2D92 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
17	PIC2ADTEN7nj 17	OCR2D91 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
16	PIC2ADTEN7nj 16	OCR2D90 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
15	PIC2ADTEN7nj 15	OCR2D63 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
14	PIC2ADTEN7nj 14	OCR2D62 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
13	PIC2ADTEN7nj 13	OCR2D61 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする

表 26.15 PIC2ADTEN7nj レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	PIC2ADTEN7nj 12	OCR2D60 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
11	PIC2ADTEN7nj 11	OCR2D43 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
10	PIC2ADTEN7nj 10	OCR2D42 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
9	PIC2ADTEN7nj 9	OCR2D41 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
8	PIC2ADTEN7nj 8	OCR2D40 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
7	PIC2ADTEN7nj 7	OCR2D23 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
6	PIC2ADTEN7nj 6	OCR2D22 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
5	PIC2ADTEN7nj 5	OCR2D21 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
4	PIC2ADTEN7nj 4	OCR2D20 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
3	PIC2ADTEN7nj 3	OCR2D03 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
2	PIC2ADTEN7nj 2	OCR2D02 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
1	PIC2ADTEN7nj 1	OCR2D01 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする
0	PIC2ADTEN7nj 0	OCR2D00 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ADCB のトリガとして選択可能にしない 1：上記の信号を ADCB のトリガとして選択可能にする

26.2.3.6 PIC2DSADTEN0n0 — DSADC スタートトリガ出力制御レジスタ n0（n = 0 ～ 7）

DSADC スタートトリガ出力制御レジスタ n0 は、ΔΣADC のスタート トリガとして ATU の タイマ G コンペアマッチからのトリガソース選択許可を行うレジスタです。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス <Base> + 100_H（n = 0）、<Base> + 118_H（n = 1）、
<Base> + 130_H（n = 2）、<Base> + 148_H（n = 3）、
<Base> + 160_H（n = 4）、<Base> + 178_H（n = 5）、
<Base> + 190_H（n = 6）、<Base> + $1A8_H$（n = 7）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2DSADTEN0n015	PIC2DSADTEN0n014	PIC2DSADTEN0n013	PIC2DSADTEN0n012	PIC2DSADTEN0n011	PIC2DSADTEN0n010	PIC2DSADTEN0n09	PIC2DSADTEN0n08	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 26.16 PIC2DSADTEN0n0 レジスタの内容

ビット位置	ビット名	機能
15	PIC2DSADTEN0n015	OCRG7 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 7） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
14	PIC2DSADTEN0n014	OCRG6 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 6） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
13	PIC2DSADTEN0n013	OCRG5 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 5） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
12	PIC2DSADTEN0n012	OCRG4 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 4） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
11	PIC2DSADTEN0n011	OCRG3 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 3） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
10	PIC2DSADTEN0n010	OCRG2 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 2） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
9	PIC2DSADTEN0n09	OCRG1 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 1） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
8	PIC2DSADTEN0n08	OCRG0 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 0） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
7 ～ 0	—	予約ビット 書き込み時は “0” を書いてください。

26.2.3.7 PIC2DSADTEN0n1 — DSADC スタートトリガ出力制御レジスタ n1（n = 0 ～ 7）

DSADCスタートトリガ出力制御レジスタn1は、ΔΣADCのスタート トリガとしてATUのタイマ D コンペアマッチ A からのトリガソース選択許可を行うレジスタです。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <Base> + 104_H（n = 0）、<Base> + $11C_H$（n = 1）、<Base> + 134_H（n = 2）、<Base> + $14C_H$（n = 3）、<Base> + 164_H（n = 4）、<Base> + $17C_H$（n = 5）、<Base> + 194_H（n = 6）、<Base> + $1AC_H$（n = 7）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	PIC2DSADTEN0n119	PIC2DSADTEN0n118	PIC2DSADTEN0n117	PIC2DSADTEN0n116
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2DSADTEN0n115	PIC2DSADTEN0n114	PIC2DSADTEN0n113	PIC2DSADTEN0n112	PIC2DSADTEN0n111	PIC2DSADTEN0n110	PIC2DSADTEN0n19	PIC2DSADTEN0n18	PIC2DSADTEN0n17	PIC2DSADTEN0n16	PIC2DSADTEN0n15	PIC2DSADTEN0n14	PIC2DSADTEN0n13	PIC2DSADTEN0n12	PIC2DSADTEN0n11	PIC2DSADTEN0n10
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.17 PIC2DSADTEN0n1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 20	—	予約ビット 書き込み時は “0” を書いてください。
19	PIC2DSADTEN0n119	OCR1D93 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
18	PIC2DSADTEN0n118	OCR1D92 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
17	PIC2DSADTEN0n117	OCR1D91 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
16	PIC2DSADTEN0n116	OCR1D90 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
15	PIC2DSADTEN0n115	OCR1D63 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
14	PIC2DSADTEN0n114	OCR1D62 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
13	PIC2DSADTEN0n113	OCR1D61 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする

表 26.17 PIC2DSADTEN0n1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	PIC2DSADTEN 0n112	OCR1D60 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
11	PIC2DSADTEN 0n111	OCR1D43 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
10	PIC2DSADTEN 0n110	OCR1D42 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
9	PIC2DSADTEN 0n19	OCR1D41 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
8	PIC2DSADTEN 0n18	OCR1D40 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
7	PIC2DSADTEN 0n17	OCR1D23 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
6	PIC2DSADTEN 0n16	OCR1D22 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
5	PIC2DSADTEN 0n15	OCR1D21 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
4	PIC2DSADTEN 0n14	OCR1D20 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
3	PIC2DSADTEN 0n13	OCR1D03 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
2	PIC2DSADTEN 0n12	OCR1D02 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
1	PIC2DSADTEN 0n11	OCR1D01 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
0	PIC2DSADTEN 0n10	OCR1D00 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする

26.2.3.8　PIC2DSADTEN0n2 — DSADC スタートトリガ出力制御レジスタ n2（n = 0 ～ 7）

DSADC スタートトリガ出力制御レジスタ n2 は、ΔΣADC のスタートトリガとして ATU のタイマ D コンペアマッチ B からのトリガソース選択許可を行うレジスタです。

アクセス　32 ビット単位でリード / ライト可能です。

アドレス　<Base> + 108_H（n = 0）、<Base> + 120_H（n = 1）、<Base> ＋ 138_H（n = 2）、<Base> + 150_H（n = 3）
<Base> + 168_H（n = 4）、<Base> + 180_H（n = 5）、<Base> ＋ 198_H（n = 6）、<Base> + $1B0_H$（n = 7）

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	PIC2DSADTEN0n219	PIC2DSADTEN0n218	PIC2DSADTEN0n217	PIC2DSADTEN0n216
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2DSADTEN0n215	PIC2DSADTEN0n214	PIC2DSADTEN0n213	PIC2DSADTEN0n212	PIC2DSADTEN0n211	PIC2DSADTEN0n210	PIC2DSADTEN0n29	PIC2DSADTEN0n28	PIC2DSADTEN0n27	PIC2DSADTEN0n26	PIC2DSADTEN0n25	PIC2DSADTEN0n24	PIC2DSADTEN0n23	PIC2DSADTEN0n22	PIC2DSADTEN0n21	PIC2DSADTEN0n20
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.18　PIC2DSADTEN0n2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 20	—	予約ビット 書き込み時は “0” を書いてください。
19	PIC2DSADTEN0n219	OCR2D93 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
18	PIC2DSADTEN0n218	OCR2D92 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
17	PIC2DSADTEN0n217	OCR2D91 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
16	PIC2DSADTEN0n216	OCR2D90 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
15	PIC2DSADTEN0n215	OCR2D63 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
14	PIC2DSADTEN0n214	OCR2D62 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
13	PIC2DSADTEN0n213	OCR2D61 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
12	PIC2DSADTEN0n212	OCR2D60 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする

表 26.18 PIC2DSADTEN0n2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	PIC2DSADTEN 0n211	OCR2D43 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
10	PIC2DSADTEN 0n210	OCR2D42 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
9	PIC2DSADTEN 0n29	OCR2D41 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
8	PIC2DSADTEN 0n28	OCR2D40 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
7	PIC2DSADTEN 0n27	OCR2D23 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
6	PIC2DSADTEN 0n26	OCR2D22 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
5	PIC2DSADTEN 0n25	OCR2D21 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
4	PIC2DSADTEN 0n24	OCR2D20 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
3	PIC2DSADTEN 0n23	OCR2D03 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
2	PIC2DSADTEN 0n22	OCR2D02 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
1	PIC2DSADTEN 0n21	OCR2D01 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする
0	PIC2DSADTEN 0n20	OCR2D00 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の開始トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の開始トリガとして選択可能にする

26.2.3.9 PIC2DSADTEN1n0 — DSADC ストップトリガ出力制御レジスタ n0（n = 0 ～ 7）

DSADC ストップトリガ出力制御レジスタ n0 は、ΔΣADC のストップ トリガとして ATU の タイマ G コンペアマッチからのトリガソース選択許可を行うレジスタです。

アクセス 16 ビット単位でリード / ライト可能です。

アドレス <Base> + $10C_H$（n = 0）、<Base> + 124_H（n = 1）、<Base> + $13C_H$（n = 2）、<Base> + 154_H（n = 3）、<Base> + $16C_H$（n = 4）、<Base> + 184_H（n = 5）、<Base> + $19C_H$（n = 6）、<Base> + $1B4_H$（n = 7）

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2DSADTEN1n015	PIC2DSADTEN1n014	PIC2DSADTEN1n013	PIC2DSADTEN1n012	PIC2DSADTEN1n011	PIC2DSADTEN1n010	PIC2DSADTEN1n09	PIC2DSADTEN1n08	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 26.19 PIC2DSADTEN1n0 レジスタの内容

ビット位置	ビット名	機能
15	PIC2DSADTEN1n015	OCRG7 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 7） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
14	PIC2DSADTEN1n014	OCRG6 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 6） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
13	PIC2DSADTEN1n013	OCRG5 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 5） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
12	PIC2DSADTEN1n012	OCRG4 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 4） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
11	PIC2DSADTEN1n011	OCRG3 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 3） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
10	PIC2DSADTEN1n010	OCRG2 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 2） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
9	PIC2DSADTEN1n09	OCRG1 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 1） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
8	PIC2DSADTEN1n08	OCRG0 コンペアマッチ割り込み（ATU4 タイマ G サブブロック 0） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
7 ～ 0	—	予約ビット 書き込み時は “0” を書いてください。

26.2.3.10 PIC2DSADTEN1n1 — DSADC ストップトリガ出力制御レジスタ n1（n = 0 ～ 7）

DSADC ストップトリガ出力制御レジスタ n1 は、ΔΣADC のストップ トリガとして ATU の タイマ D コンペアマッチ A からのトリガソース選択許可を行うレジスタです。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <Base> + 110_H（n = 0）、<Base> + 128_H（n = 1）、<Base> + 140_H（n = 2）、<Base> + 158_H（n = 3）、<Base> + 170_H（n = 4）、<Base> + 188_H（n = 5）、<Base> + $1A0_H$（n = 6）、<Base> + $1B8_H$（n = 7）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	PIC2DSADTEN1n119	PIC2DSADTEN1n118	PIC2DSADTEN1n117	PIC2DSADTEN1n116
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2DSADTEN1n115	PIC2DSADTEN1n114	PIC2DSADTEN1n113	PIC2DSADTEN1n112	PIC2DSADTEN1n111	PIC2DSADTEN1n110	PIC2DSADTEN1n19	PIC2DSADTEN1n18	PIC2DSADTEN1n17	PIC2DSADTEN1n16	PIC2DSADTEN1n15	PIC2DSADTEN1n14	PIC2DSADTEN1n13	PIC2DSADTEN1n12	PIC2DSADTEN1n11	PIC2DSADTEN1n10
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.20 PIC2DSADTEN1n1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 20	—	予約ビット 書き込み時は “0” を書いてください。
19	PIC2DSADTEN1n119	OCR1D93 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
18	PIC2DSADTEN1n118	OCR1D92 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
17	PIC2DSADTEN1n117	OCR1D91 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
16	PIC2DSADTEN1n116	OCR1D90 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
15	PIC2DSADTEN1n115	OCR1D63 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
14	PIC2DSADTEN1n114	OCR1D62 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
13	PIC2DSADTEN1n113	OCR1D61 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする

表 26.20 PIC2DSADTEN1n1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
12	PIC2DSADTEN 1n112	OCR1D60 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
11	PIC2DSADTEN 1n111	OCR1D43 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
10	PIC2DSADTEN 1n110	OCR1D42 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
9	PIC2DSADTEN 1n19	OCR1D41 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
8	PIC2DSADTEN 1n18	OCR1D40 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
7	PIC2DSADTEN 1n17	OCR1D23 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
6	PIC2DSADTEN 1n16	OCR1D22 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
5	PIC2DSADTEN 1n15	OCR1D21 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
4	PIC2DSADTEN 1n14	OCR1D20 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
3	PIC2DSADTEN 1n13	OCR1D03 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 3 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
2	PIC2DSADTEN 1n12	OCR1D02 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 2 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
1	PIC2DSADTEN 1n11	OCR1D01 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 1 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
0	PIC2DSADTEN 1n10	OCR1D00 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 0 コンペアマッチ A 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする

26.2.3.11 PIC2DSADTEN1n2 — DSADC ストップトリガ出力制御レジスタ n2（n = 0 ～ 7）

DSADC ストップトリガ出力制御レジスタ n2 は、ΔΣADC のストップトリガとして ATU のタイマ D コンペアマッチ B からのトリガソース選択許可を行うレジスタです。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス <Base> + 114_H（n = 0）、<Base> + $12C_H$（n = 1）、<Base> + 144_H（n = 2）、<Base> + $15C_H$（n = 3）
<Base> + 174_H（n = 4）、<Base> + $18C_H$（n = 5）、<Base> + $1A4_H$（n = 6）、<Base> + $1BC_H$（n = 7）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	PIC2DSADTEN1n219	PIC2DSADTEN1n218	PIC2DSADTEN1n217	PIC2DSADTEN1n216
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC2DSADTEN1n215	PIC2DSADTEN1n214	PIC2DSADTEN1n213	PIC2DSADTEN1n212	PIC2DSADTEN1n211	PIC2DSADTEN1n210	PIC2DSADTEN1n29	PIC2DSADTEN1n28	PIC2DSADTEN1n27	PIC2DSADTEN1n26	PIC2DSADTEN1n25	PIC2DSADTEN1n24	PIC2DSADTEN1n23	PIC2DSADTEN1n22	PIC2DSADTEN1n21	PIC2DSADTEN1n20
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.21 PIC2DSADTEN1n2 レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 20	—	予約ビット 書き込み時は “0” を書いてください。
19	PIC2DSADTEN1n219	OCR2D93 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
18	PIC2DSADTEN1n218	OCR2D92 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
17	PIC2DSADTEN1n217	OCR2D91 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
16	PIC2DSADTEN1n216	OCR2D90 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 9 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
15	PIC2DSADTEN1n215	OCR2D63 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
14	PIC2DSADTEN1n214	OCR2D62 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
13	PIC2DSADTEN1n213	OCR2D61 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
12	PIC2DSADTEN1n212	OCR2D60 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 6 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする

表 26.21 PIC2DSADTEN1n2 レジスタの内容 (2/2)

ビット位置	ビット名	機能
11	PIC2DSADTEN 1n211	OCR2D43 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
10	PIC2DSADTEN 1n210	OCR2D42 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
9	PIC2DSADTEN 1n29	OCR2D41 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
8	PIC2DSADTEN 1n28	OCR2D40 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 4 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
7	PIC2DSADTEN 1n27	OCR2D23 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
6	PIC2DSADTEN 1n26	OCR2D22 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
5	PIC2DSADTEN 1n25	OCR2D21 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
4	PIC2DSADTEN 1n24	OCR2D20 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 2 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
3	PIC2DSADTEN 1n23	OCR2D03 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 3 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
2	PIC2DSADTEN 1n22	OCR2D02 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 2 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
1	PIC2DSADTEN 1n21	OCR2D01 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 1 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする
0	PIC2DSADTEN 1n20	OCR2D00 コンペアマッチ割り込み（ATU4 タイマ D サブブロック 0 チャネル 0 コンペアマッチ B 割り込み） 0：上記の信号を ΔΣADCn の終了トリガとして選択可能にしない 1：上記の信号を ΔΣADCn の終了トリガとして選択可能にする

26.2.3.12 PIC2DSADCATSEL0 — DSADC トリガ選択制御レジスタ 0

DSADC トリガ選択制御レジスタ 0 は、DSADCj のスタートトリガを選択するレジスタです。（j = 0 ～ 7）

アクセス 16 ビット単位でリード / ライト可能です。

アドレス <Base> + $1C0_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSADCATSEL015	DSADCATSEL014	DSADCATSEL013	DSADCATSEL012	DSADCATSEL011	DSADCATSEL010	DSADCATSEL009	DSADCATSEL008	DSADCATSEL007	DSADCATSEL006	DSADCATSEL005	DSADCATSEL004	DSADCATSEL003	DSADCATSEL002	DSADCATSEL001	DSADCATSEL000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.22 PIC2DSADCATSEL0 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	DSADCATSEL015	DSADC7 のスタートトリガソースとして DSADTRG7 端子を選択する。 0：DSADTRG7 を選択しない 1：DSADTRG7 を選択
14	DSADCATSEL014	DSADC7 のスタートトリガソースとして DSADC スタートトリガ出力制御レジスタ 7j（j = 0 ～ 2）レジスタで選択したトリガを選択する。 0：PIC2DSADTEN07j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN07j レジスタで選択したトリガを選択
13	DSADCATSEL013	DSADC6 のスタートトリガソースとして DSADTRG6 端子を選択する。 0：DSADTRG6 を選択しない 1：DSADTRG6 を選択
12	DSADCATSEL012	DSADC6 のスタートトリガソースとして DSADC スタートトリガ出力制御レジスタ 6j（j = 0 ～ 2）レジスタで選択したトリガを選択する。 0：PIC2DSADTEN06j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN06j レジスタで選択したトリガを選択
11	DSADCATSEL011	DSADC5 のスタートトリガソースとして DSADTRG5 を選択する 0：DSADTRG5 を選択しない 1：DSADTRG5 を選択
10	DSADCATSEL010	DSADC5 のスタートトリガソースとして DSADC スタートトリガ出力制御レジスタ 5j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN05j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN05j レジスタで選択したトリガを選択
9	DSADCATSEL009	DSADC4 のスタートトリガソースとして DSADTRG4 を選択する 0：DSADTRG4 を選択しない 1：DSADTRG4 を選択
8	DSADCATSEL008	DSADC4 のスタートトリガソースとして DSADC スタートトリガ出力制御レジスタ 4j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN04j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN04j レジスタで選択したトリガを選択
7	DSADCATSEL007	DSADC3 のスタートトリガソースとして DSADTRG3 を選択する 0：DSADTRG3 を選択しない 1：DSADTRG3 を選択
6	DSADCATSEL006	DSADC3 のスタートトリガソースとして DSADC スタートトリガ出力制御レジスタ 3j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN03j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN03j レジスタで選択したトリガを選択
5	DSADCATSEL005	DSADC2 のスタートトリガソースとして DSADTRG2 を選択する 0：DSADTRG2 を選択しない 1：DSADTRG2 を選択

表 26.22 PIC2DSADCATSEL0 レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	DSADCATSEL 004	DSADC2 のスタートトリガソースとして DSADC スタートトリガ出力制御レジスタ 2j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN02j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN02j レジスタで選択したトリガを選択
3	DSADCATSEL 003	DSADC1 のスタートトリガソースとして DSADTRG1 を選択する 0：DSADTRG1 を選択しない 1：DSADTRG1 を選択
2	DSADCATSEL 002	DSADC1 のスタートトリガソースとして DSADC スタートトリガ出力制御レジスタ 1j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN01j レジスタで選択されたトリガを選択しない 1：PIC2DSADTEN01j レジスタで選択されたトリガを選択
1	DSADCATSEL 001	DSADC0 のスタートトリガソースとして DSADTRG0 を選択する 0：DSADTRG0 を選択しない 1：DSADTRG0 を選択
0	DSADCATSEL 000	DSADC0 のスタートトリガソースとして DSADC スタートトリガ出力制御レジスタ 0j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN00j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN00j レジスタで選択したトリガを選択

26.2.3.13 PIC2DSADCATSEL1 — DSADC トリガ選択制御レジスタ 1

DSADC トリガ選択制御レジスタ 1 は DSADCj の ストップトリガを選択するレジスタです。（j = 0 ～ 7）

アクセス 16 ビット単位でリード / ライト可能です。

アドレス <Base> + $1C4_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSADCATSEL115	DSADCATSEL114	DSADCATSEL113	DSADCATSEL112	DSADCATSEL111	DSADCATSEL110	DSADCATSEL109	DSADCATSEL108	DSADCATSEL107	DSADCATSEL106	DSADCATSEL105	DSADCATSEL104	DSADCATSEL103	DSADCATSEL102	DSADCATSEL101	DSADCATSEL100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.23 PIC2DSADCATSEL1 レジスタの内容 (1/2)

ビット位置	ビット名	機能
15	DSADCATSEL115	DSADC7 のストップトリガソースとして DSADTRG7 端子を選択する。 0：DSADTRG7 を選択しない 1：DSADTRG7 を選択
14	DSADCATSEL114	DSADC7 のストップトリガソースとして DSADC ストップトリガ出力制御レジスタ 7j（j = 0 ～ 2）レジスタで選択したトリガを選択する。 0：PIC2DSADTEN17j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN17j レジスタで選択したトリガを選択
13	DSADCATSEL113	DSADC6 のストップトリガソースとして DSADTRG6 端子を選択する。 0：DSADTRG6 を選択しない 1：DSADTRG6 を選択
12	DSADCATSEL112	DSADC6 のストップトリガソースとして DSADC ストップトリガ出力制御レジスタ 6j（j = 0 ～ 2）レジスタで選択したトリガを選択する。 0：PIC2DSADTEN16j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN16j レジスタで選択したトリガを選択
11	DSADCATSEL111	DSADC5 のストップトリガソースとして DSADTRG5 端子を選択する 0：DSADTRG5 を選択しない 1：DSADTRG5 を選択
10	DSADCATSEL110	DSADC5 のストップトリガソースとして DSADC ストップトリガ出力制御レジスタ 5j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN15j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN15j レジスタで選択したトリガを選択
9	DSADCATSEL109	DSADC4 のストップトリガソースとして DSADTRG4 端子を選択する 0：DSADTRG4 を選択しない 1：DSADTRG4 を選択
8	DSADCATSEL108	DSADC4 のストップトリガソースとして DSADC ストップトリガ出力制御レジスタ 4j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN14j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN14j レジスタで選択したトリガを選択
7	DSADCATSEL107	DSADC3 のストップトリガソースとして DSADTRG3 端子を選択する 0：DSADTRG3 を選択しない 1：DSADTRG3 を選択
6	DSADCATSEL106	DSADC3 のストップトリガソースとして DSADC ストップトリガ出力制御レジスタ 3j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN13j レジスタで選択したトリガを選択しない 1：PIC2DSADTEN13j レジスタで選択したトリガを選択
5	DSADCATSEL105	DSADC2 のストップトリガソースとして DSADTRG2 端子を選択する 0：DSADTRG2 を選択しない 1：DSADTRG2 を選択

表 26.23 PIC2DSADCATSEL1 レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	DSADCATSEL 104	DSADC2 のストップトリガソースとして DSADC ストップトリガ出力制御レジスタ 2j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN12j レジスタで選択されたトリガを選択しない 1：PIC2DSADTEN12j レジスタで選択されたトリガを選択
3	DSADCATSEL 103	DSADC1 のストップトリガソースとして DSADTRG1 端子を選択する 0：DSADTRG1 を選択しない 1：DSADTRG1 を選択
2	DSADCATSEL 102	DSADC1 のストップトリガソースとして DSADC ストップトリガ出力制御レジスタ 1j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN11j レジスタで選択されたトリガを選択しない 1：PIC2DSADTEN11j レジスタで選択されたトリガを選択
1	DSADCATSEL 101	DSADC0 のストップトリガソースとして DSADTRG0 端子を選択する 0：DSADTRG0 を選択しない 1：DSADTRG0 を選択
0	DSADCATSEL 100	DSADC0 のストップトリガソースとして DSADC ストップトリガ出力制御レジスタ 0j（j = 0 ～ 2）レジスタで選択したトリガを選択する 0：PIC2DSADTEN10j レジスタで選択されたトリガを選択しない 1：PIC2DSADTEN10j レジスタで選択されたトリガを選択

26.2.4 AD トリガ選択機能

26.2.4.1 ADC トリガ選択機能

ADCB0、ADCB1 はそれぞれ 5 つのスキャングループを持ち、各スキャングループに対応した ADCB ハードウェアトリガを持っています。

レジスタ PIC2ADCBnTSELj によって選択される、TSG20、TSG21、ATU、APA0 から出力される内部トリガ信号および端子からの外部トリガ信号の論理和（OR）を、各スキャングループの ADCB ハードウェアトリガ信号として入力できます。

また、上記 ATU、APA のトリガはそれぞれ各タイマの内部信号からトリガを選択します。

備　考

ADTRG の外部端子は AD1 基あたり 1 入力の外部トリガ端子を持ちます。
各 AD のスキャングループには同一の外部端子を割り当てています。

- ATU、APA トリガ選択
  ATU（ATU タイマ C コンペアマッチ 16 要因、ATU タイマ D コンペアマッチ A 20 要因、ATU タイマ D コンペアマッチ B 20 要因、ATU タイマ G コンペアマッチ 8 要因、ATU DMA 切り替え機能 1 要因、各スキャングループに独立に選択）および APA0 割り込みによる ADCB ハードウェアトリガ信号を 1AD あたり 5 スキャングループ、計 10 トリガ生成します。

26.2.4.2 ΔΣADC トリガ選択機能

ΔΣADC はスタートトリガとストップトリガの 2 つのハードウェアトリガを持っています。

スタートトリガ、ストップトリガは、それぞれ外部端子入力 DSADTRGn と ATU のトリガ選択によって選択された信号の論理和（OR）であり、ΔΣADC ハードウェアトリガ信号として入力できます。

- ATU トリガ選択
  ATU による（ATU タイマ D コンペアマッチ A20 要因、ATU タイマ D コンペアマッチ B20 要因、ATU タイマ G コンペアマッチ 8 要因）ΔΣADC トリガ信号を 1AD あたり 1 トリガ生成します。

第 27 章 ADC

本 LSI は、逐次比較方式の 12 ビット A/D 変換器を 2 モジュール（ADC0、ADC1）搭載しています。

27.1 特長

ADC の特長を以下に示します。

- アナログチャネルとサンプル&ホールド機能
  ADC0 は 24 チャネル、ADC1 は 24 チャネルの合計 48 チャネルの A/D 変換ができます。ADC0 と ADC1 にサンプル&ホールド回路を内蔵していますので、独立して A/D 変換することができます。
- 高性能な A/D 変換器
  分解能：12 ビット
  A/D 変換方式：逐次比較方式
  変換速度：1.0μs
- 最大 4 チャネルの同時トラック & ホールドをサポート
  ADC0 は 2 チャネル分、ADC1 は 2 チャネル分のトラック & ホールド回路を内蔵していますので、最大 4 チャネルの同時トラック & ホールドを実現できます。
- 5 系統のスキャングループをサポート
  ADC には、5 系統のスキャングループがあります。スキャングループは、独立にスキャンの内容を設定することができます。
- 2 種類のスキャンモード
  ADC には、2 種類のスキャンモードがあります。
  マルチサイクルスキャンモードは、指定された回数のスキャンを実行します。
  連続スキャンモードは、スキャンを無制限に繰り返し実行します。
- 仮想チャネル
  各 ADC には、40 チャネル分の仮想チャネルがあり、各仮想チャネルに A/D 変換するアナログチャネルやその他付随情報を設定します。各スキャングループにて開始仮想チャネルポインタと終了仮想チャネルポインタで示される仮想チャネルを順番に実行することで、任意のアナログチャネルを任意の順番で A/D 変換するスキャンを実行することができます。
- 物理チャネルの拡張
  ADC は、外付けのアナログマルチプレクサを使用して物理チャネルを拡張することができます。さらに、DMA を使用することにより CSIH インタフェースの外付けアナログマルチプレクサにも対応可能です（対応チャネルは、各 ADC に 1 チャネルずつ設定）。
- インターバル機能
  ADC は、スキャングループ 3、スキャングループ 4 に内蔵する AD タイマを使用して任意の周期でスキャングループを起動することができます。それによりインターバルを挿入したスキャンを実現できます。

- A/D 変換値加算機能
  ADC は、同じチャネルを 2、4 回連続で A/D 変換し、加算した結果をデータレジスタに保持します。加算回数は、全仮想チャネル共通設定となります。
  この結果を使用することで移動平均フィルタの効果を得られます。
  ただし、必ず A/D 変換精度が良くなることを保証する機能ではありません。
  また、オプション機能である ASF を使用することにより、拡張した積算機能を使用することができます。詳細は、**「27.11 ASF（ADC 積算機能）」**を参照してください。

- データレジスタ
  仮想チャネルに対応したデータレジスタがあります。

- スキャングループの開始トリガ
  各スキャングループは、ハードウェアトリガ／ソフトウェアトリガにより処理を開始することができます。スキャングループ 3、スキャングループ 4 のみ AD タイマトリガにより処理を開始することができます。

- 非同期／同期サスペンド & レジューム機能
  スキャングループの処理中に別のスキャングループの処理を割り込むことができます。
  優先順位は、
  低い 高い
  SG0 ＜ SG1 ＜ SG2 ＜ SG3 ＜ SG4 （SG：スキャングループ）
  となります。低優先 SG 処理中に高優先 SG のいずれかの要求があると低優先 SG で仕掛かり中の仮想チャネルの処理を終了してから中断（同期サスペンド）するか、もしくは仕掛かり中の仮想チャネルの処理を即中断（非同期サスペンド）し、要求のある高優先 SG の処理を実行します。高優先 SG の処理終了後、低優先 SG で中断した仮想チャネルの処理から再開（レジューム）します。
  さらに SG0 処理中に高優先 SG が割り込む場合は、非同期サスペンドだが、SG0 以外の低優先 SG 処理中に高優先 SG が割り込む場合は、同期サスペンドとする設定もできます。

- デジタルフィルタエンジン、オートノマスパルスアダプタおよび ADC 積算機能へのエントリ
  A/D 変換値を直接デジタルフィルタエンジン（DFE）、オートノマスパルスアダプタ（APA）もしくは ADC 積算機能（ASF）へエントリすることができます。仮想チャネル単位にエントリの有／無と、どのチャネルへエントリするかを決める TAG を設定できます。また、DFE（APA0）／ ASF のどちらにエントリするかをスキャングループ毎に設定可能です。

- スキャン終了割り込みと DMA 転送をサポート
  各スキャングループは、終了仮想チャネルポインタが指す仮想チャネルの処理が終了するもしくは任意の仮想チャネルが終了するたびに INTC に対する割り込み要求の発生、および DMAC の起動ができます。

- 外付けアナログマルチプレクサ用の割り込みと DMA 転送をサポート
  指定された仮想チャネルの開始時に INTC に対する割り込み要求の発生、および DMAC の起動ができます。これにより I/O ポートもしくは CSIH と連携して外付けアナログマルチプレクサに MPX 値を転送できます。

- アナログ変換電圧範囲が設定可能
  A0VREFH 端子、A1VREFH 端子により、アナログ変換の電圧の範囲を設定できます。

- A/D 変換モニタ出力
  A/D 変換モニタ出力端子に任意の仮想チャネルの処理タイミングを出力することができます。

- 豊富なセーフティ機能
  ADC のセーフティ機能として、自己診断、端子レベル自己診断、断線検出、アナログ選択の正常性チェック、データレジスタの上限／下限チェック、データレジスタのパリティチェック、データレジスタのオーバーライトチェック、データレジスタのリード&クリア機能など豊富なセーフティ機能が整備されています。

27.2 構成

図 27.1 と**図 27.2** に ADC のブロック図および**表 27.1** と**表 27.2** に ADC の端子構成を示します。

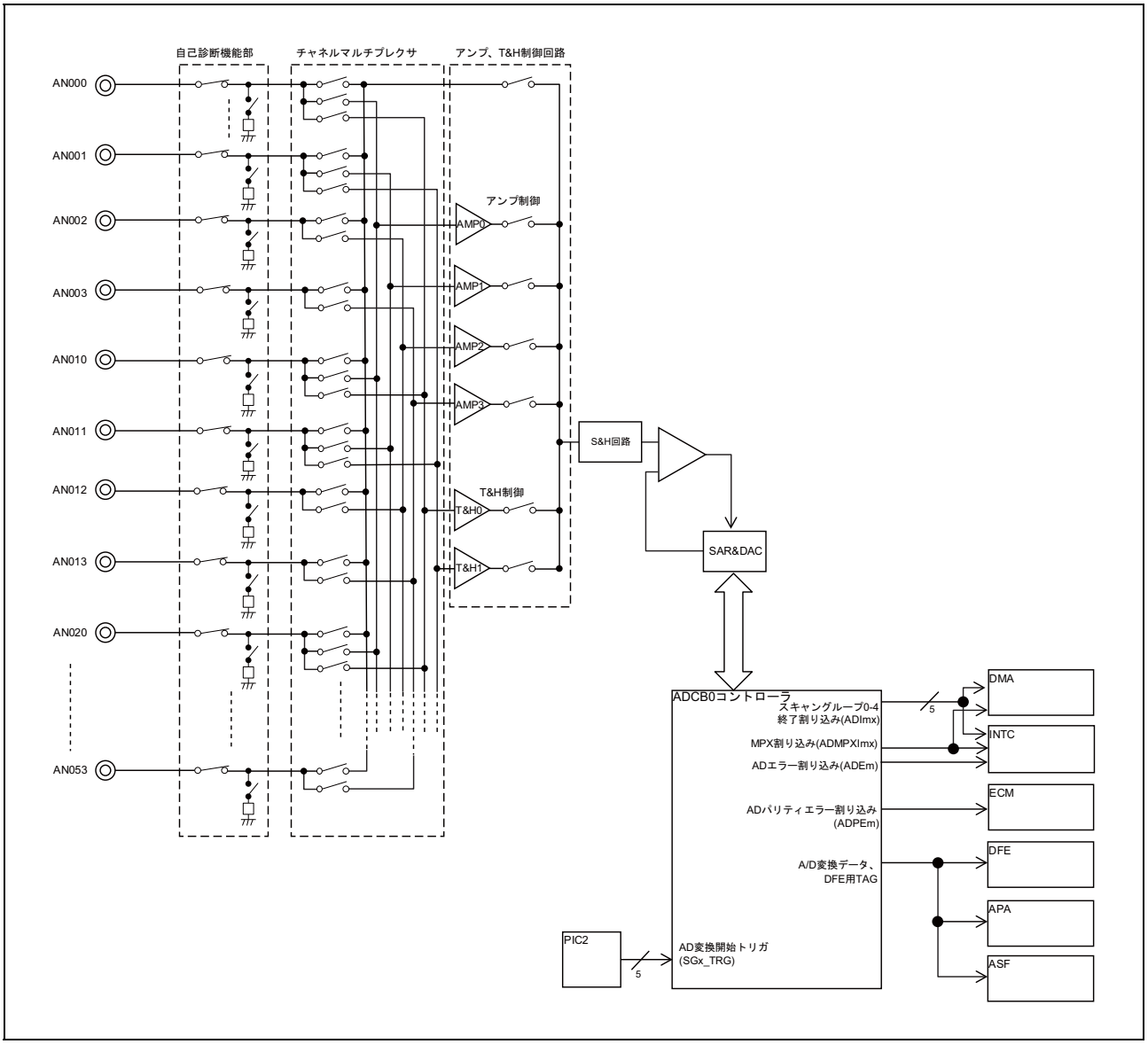


図 27.1 ADC0 のブロック図

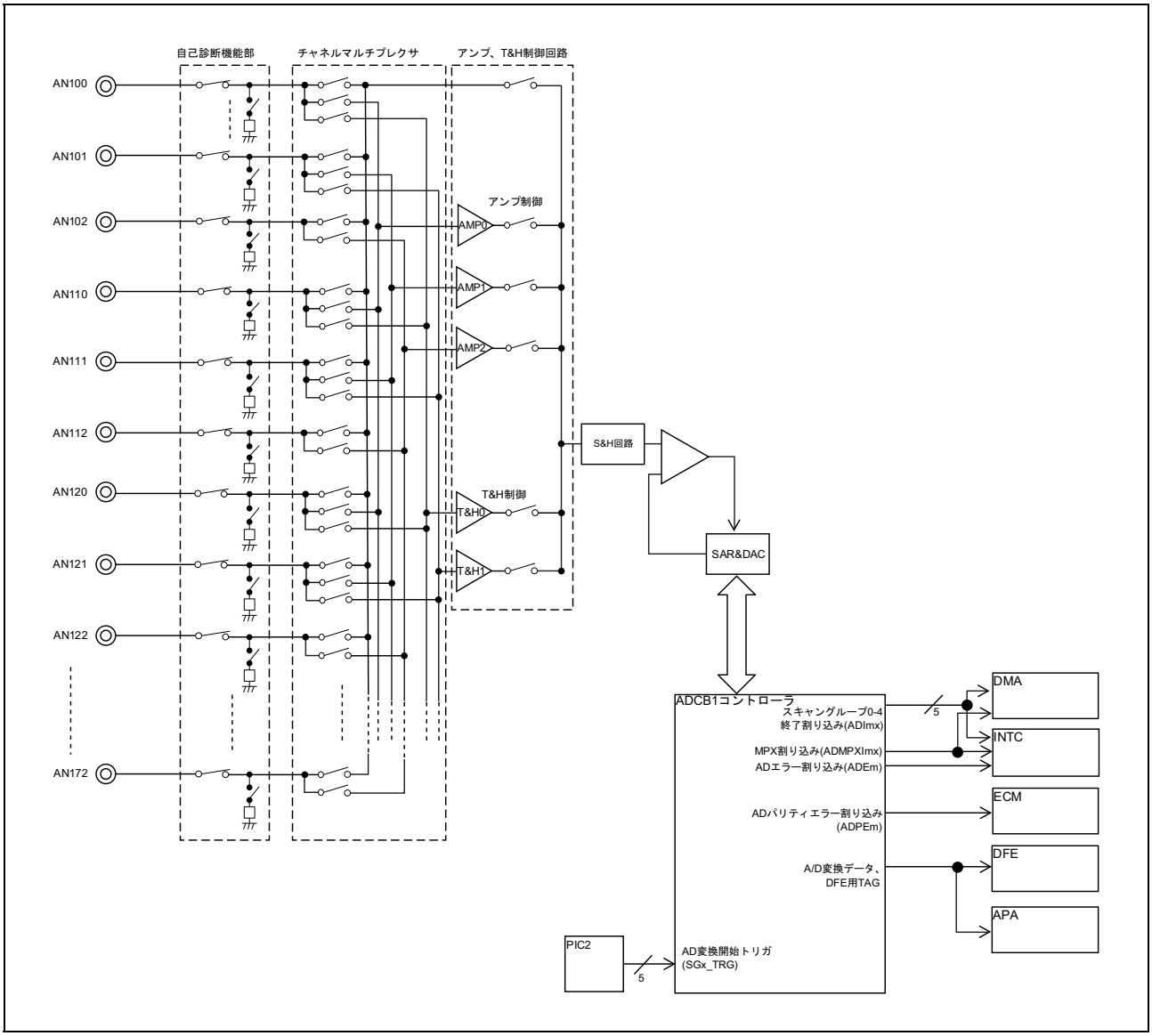


図 27.2 ADC1 のブロック図

表 27.1 ADC の端子構成 (1/2)

端子名	モジュール	入出力	機能
A0VCC	ADC0	入力	アナログ部の電源端子
A0VSS	ADC0	入力	アナログ部のグランド端子
A1VCC	ADC1	入力	アナログ部の電源端子
A1VSS	ADC1	入力	アナログ部のグランド端子
A0VREFH	ADC0	入力	アナログ部の基準電圧端子
A1VREFH	ADC1	入力	アナログ部の基準電圧端子
AN000	ADC0	入力	アナログ端子 000
AN001	ADC0	入力	アナログ端子 001
AN002	ADC0	入力	アナログ端子 002
AN003	ADC0	入力	アナログ端子 003
AN010	ADC0	入力	アナログ端子 010
AN011	ADC0	入力	アナログ端子 011
AN012	ADC0	入力	アナログ端子 012
AN013	ADC0	入力	アナログ端子 013
AN020	ADC0	入力	アナログ端子 020
AN021	ADC0	入力	アナログ端子 021
AN022	ADC0	入力	アナログ端子 022
AN023	ADC0	入力	アナログ端子 023
AN030	ADC0	入力	アナログ端子 030
AN031	ADC0	入力	アナログ端子 031
AN032	ADC0	入力	アナログ端子 032
AN033	ADC0	入力	アナログ端子 033
AN040	ADC0	入力	アナログ端子 040
AN041	ADC0	入力	アナログ端子 041
AN042	ADC0	入力	アナログ端子 042
AN043	ADC0	入力	アナログ端子 043 ／外付けアナログマルチプレクサ入力端子
AN050	ADC0	入力	アナログ端子 050
AN051	ADC0	入力	アナログ端子 051
AN052	ADC0	入力	アナログ端子 052
AN053	ADC0	入力	アナログ端子 053
AN100	ADC1	入力	アナログ端子 100 ／外付けアナログマルチプレクサ入力端子
AN101	ADC1	入力	アナログ端子 101
AN102	ADC1	入力	アナログ端子 102
AN110	ADC1	入力	アナログ端子 110
AN111	ADC1	入力	アナログ端子 111
AN112	ADC1	入力	アナログ端子 112
AN120	ADC1	入力	アナログ端子 120
AN121	ADC1	入力	アナログ端子 121
AN122	ADC1	入力	アナログ端子 122
AN130	ADC1	入力	アナログ端子 130
AN131	ADC1	入力	アナログ端子 131
AN132	ADC1	入力	アナログ端子 132
AN140	ADC1	入力	アナログ端子 140
AN141	ADC1	入力	アナログ端子 141

表 27.1 ADC の端子構成 (2/2)

端子名	モジュール	入出力	機能
AN142	ADC1	入力	アナログ端子 142
AN150	ADC1	入力	アナログ端子 150
AN151	ADC1	入力	アナログ端子 151
AN152	ADC1	入力	アナログ端子 152
AN160	ADC1	入力	アナログ端子 160
AN161	ADC1	入力	アナログ端子 161
AN162	ADC1	入力	アナログ端子 162
AN170	ADC1	入力	アナログ端子 170
AN171	ADC1	入力	アナログ端子 171
AN172	ADC1	入力	アナログ端子 172
ADTRG0	ADC0	入力	外部トリガ端子
ADTRG1	ADC1	入力	外部トリガ端子
ADEND0	ADC0	出力	A/D 変換タイミングモニタ端子
ADEND1	ADC1	出力	A/D 変換タイミングモニタ端子

LSI 信頼性確保のため、ADC を使用するときは、A0VCC、A1VCC、A0VSS、A1VSS と VCC、VSS との関係は、下記のとおりとにしてください。

A0VCC ＝ 5V ± 0.5V、A1VCC ＝ 5V ± 0.5V、A0VSS ＝ A1VSS ＝ VSS

一方、ADC を使用しないときは、A0VCC ＝ A1VCC ＝ EVCC、A0VSS ＝ A1VSS ＝ VSS としてください。また、アナログ入力端子に印加する電圧は、下記の範囲としてください。

A0VSS ≦ AN0kl（k ＝ 0 ～ 5、l ＝ 0 ～ 3）≦ A0VREFH、A1VSS ≦ AN1kl（k ＝ 0 ～ 7、l ＝ 0 ～ 2）≦ A1VREFH

表 27.2 物理チャネルグループと物理サブチャネル

ADC0

端子名 物理チャネル	物理チャネルグループ	物理サブチャネル
AN000	0	0
AN001		1
AN002		2
AN003		3
AN010	1	0
AN011		1
AN012		2
AN013		3
AN020	2	0
AN021		1
AN022		2
AN023		3
AN030	3	0
AN031		1
AN032		2
AN033		3
AN040	4	0
AN041		1
AN042		2
AN043		3
AN050	5	0
AN051		1
AN052		2
AN053		3

ADC1

端子名 物理チャネル	物理チャネルグループ	物理サブチャネル
AN100	0	0
AN101		1
AN102		2
AN110	1	0
AN111		1
AN112		2
AN120	2	0
AN121		1
AN122		2
AN130	3	0
AN131		1
AN132		2
AN140	4	0
AN141		1
AN142		2
AN150	5	0
AN151		1
AN152		2
AN160	6	0
AN161		1
AN162		2
AN170	7	0
AN171		1
AN172		2

27.3 レジスタアドレス

表 27.3 レジスタベースアドレス <ADCm_base>

ADCm	<ADCm_base> アドレス
ADC0	FFF2 0000_H
ADC1	FFF2 1000_H

備考 m = 0、1

表 27.4 レジスタアドレス一覧 (1/2)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
■ ADC 共有レジスタ				
AD 同期開始制御レジスタ	ADCB0ADSYNSTCR	00_H	<ADC0_base> + 300_H	8
AD タイマ同期開始制御レジスタ	ADCB0ADTSYNSTCR	00_H	<ADC0_base> + 304_H	8
■ ADC 固有レジスタ（仮想チャネル）				
仮想チャネルレジスタ n	ADCBmVCRn	0000_H	<ADCm_base> + n × 4_H	8、16
データレジスタ n	ADCBmDRn	0000_H	<ADCm_base> + 100H + n × 2_H	16、32 （n が偶数の時） 16（n が奇数の時）
データ付帯情報レジスタ n	ADCBmDIRn	0000 0000_H	<ADCm_base> + 200H + n × 4_H	32
■ ADC 固有レジスタ（制御）				
AD 強制終了レジスタ	ADCBmADHALTR	00_H	<ADCm_base> + 380_H	8
AD 制御レジスタ 1	ADCBmADCR1	00_H	<ADCm_base> + 384_H	8
MPX カレント制御レジスタ	ADCBmMPXCURCR	00_H	<ADCm_base> + 388_H	8
MPX カレントレジスタ	ADCBmMPXCURR	0000 0000_H	<ADCm_base> + $38C_H$	32
MPX 任意ウェイトレジスタ	ADCBmMPXOWR	00_H	<ADCm_base> + 390_H	8
MPX コマンド情報レジスタ	ADCBmMPXCMDR	00_H	<ADCm_base> + 394_H	8
AD 制御レジスタ 2	ADCBmADCR2	00_H	<ADCm_base> + 398_H	8
DEF/APA/ASF エントリスキャングループイネーブルレジスタ	ADCBmDFASENTSGER	0000_H	<ADCm_base> + $39C_H$	16
AD 変換モニタ仮想チャネルポインタ	ADCBmDENDP	00_H	<ADCm_base> + $3A0_H$	8
■ ADC 固有レジスタ（セーフティ関連）				
セーフティ制御レジスタ	ADCBmSFTCR	00_H	<ADCm_base> + $3C0_H$	8
端子レベル自己診断制御レジスタ	ADCBmTDCR	00_H	<ADCm_base> + $3C4_H$	8
断線検出制御レジスタ	ADCBmODCR	00_H	<ADCm_base> + $3C8_H$	8
上限／下限テーブルレジスタ 0	ADCBmULLMTBR0	7FFE 0000_H	<ADCm_base> + $3CC_H$	16、32
上限／下限テーブルレジスタ 1	ADCBmULLMTBR1	7FFE 0000_H	<ADCm_base> + $3D0_H$	16、32
上限／下限テーブルレジスタ 2	ADCBmULLMTBR2	7FFE 0000_H	<ADCm_base> + $3D4_H$	16、32
エラークリアレジスタ	ADCBmECR	00_H	<ADCm_base> + $3D8_H$	8
上限下限エラーレジスタ	ADCBmULER	00_H	<ADCm_base> + $3DC_H$	8
オーバーライトエラーレジスタ	ADCBmOWER	00_H	<ADCm_base> + $3E0_H$	8
パリティエラーレジスタ	ADCBmPER	00_H	<ADCm_base> + $3E4_H$	8
ID エラーレジスタ	ADCBmIDER	00_H	<ADCm_base> + $3E8_H$	8
■スキャングループ固有レジスタ				
スキャングループ x 開始制御レジスタ	ADCBmSGSTCRx	00_H	<ADCm_base> + x × 80_H + 480_H	8
AD タイマ y 開始制御レジスタ	ADCBmADTSTCRy	00_H	<ADCm_base> + x × 80_H + 488_H	8
AD タイマ y 終了制御レジスタ	ADCBmADTENDCRy	00_H	<ADCm_base> + x × 80_H + $48C_H$	8

表 27.4 レジスタアドレス一覧 (2/2)

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
スキャングループ x 制御レジスタ	ADCBmSGCRx	00_H	<ADCm_base> + x × 80_H + 490_H	8
スキャングループ x 開始仮想チャネルポインタ	ADCBmSGVCSPx	00_H	<ADCm_base> + x × 80_H + 494_H	8
スキャングループ x 終了仮想チャネルポインタ	ADCBmSGVCEPx	00_H	<ADCm_base> + x × 80_H + 498_H	8
スキャングループ x マルチサイクルレジスタ	ADCBmSGMCYCRx	00_H	<ADCm_base> + x × 80_H + $49C_H$	8
スキャングループ x ステータスレジスタ	ADCBmSGSRx	00_H	<ADCm_base> + x × 80_H + $4A4_H$	8
AD タイマ初期位相レジスタ y	ADCBmADTIPRy	$0000\ 0000_H$	<ADCm_base> + x × 80_H + $4A8_H$	32
AD タイマ周期レジスタ y	ADCBmADTPRRy	$001F\ FFFF_H$	<ADCm_base> + x × 80_H + $4AC_H$	32
スキャングループ x 上限値／下限値テーブル選択レジスタ	ADCBmULLMSRx	00_H	<ADCm_base> + x × 80_H + $4B0_H$	8

備考 m = 0、1 n = 0 ～ 39 x = 0 ～ 4 y = 3、4

27.4 ADC 共有レジスタ

ADC0 と ADC1 で共有するレジスタを説明します。

27.4.1 ADCB0ADSYNSTCR — AD 同期開始制御レジスタ

ADCB0ADSYNSTCR は、ADC0 と ADC1 の各スキャングループの AD 変換を同時に開始する制御を行う 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADSTART
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.5 ADCB0ADSYNSTCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ADSTART	ADC0 と ADC1 のスキャングループの AD 変換を開始 ADSTART での ADCm の SGx の開始条件 ADCm の SGx の SGACT が 0 かつ ADSTARTE が 1 の状態で ADSTART に 1 を書き込んだとき あらかじめ ADC0 と ADC1 の各スキャングループの ADSTARTE が 1 にセットされたスキャングループの AD 変換を同時に起動します。

備 考

m ＝ 0、1 x ＝ 0 ～ 4

27.4.2 ADCB0ADTSYNSTCR — AD タイマ同期開始制御レジスタ

ADCB0ADTSYNSTCR は、ADC0 と ADC1 の各 AD タイマのカウント動作を同時に開始する制御を行う 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTSTART
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.6 ADCB0ADTSYNSTCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ADTSTART	ADC0 と ADC1 の AD タイマのカウント動作開始 ADTSTART での ADCm の SGx の開始条件 ADCm の AD タイマ y の ADTACT が 0 かつ ADTSTARTE が 1 の状態で ADTSTART に 1 を書き込んだとき あらかじめ ADC0 と ADC1 の各 AD タイマの ADTST が 1 にセットされた AD タイマのカウント動作を同時に起動します。

備 考

m ＝ 0、1 x ＝ 0 ～ 4 y ＝ 3、4

27.5 ADC 固有レジスタ

27.5.1 ADCBmVCRn — 仮想チャネルレジスタ n

ADCBmVCRn は、仮想チャネル単位に設定する 16 ビットの読み出し／書き込み可能なレジスタです。ADCBmVCRn は、リセット時に 0000_H に初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNVCLS[2:0]			DFENT	DFTAG[3:0]				ADIE	—	GCTRL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.7 ADCBmVCRn レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ～ 13	CNVCLS[2:0]	変換種別 0_H：通常 A/D 変換 1_H：ホールド値 A/D 変換 2_H：選択 T&H 実行（物理チャネルグループを選択） 3_H：自己診断 4_H：加算モードの通常 A/D 変換 5_H：通常 A/D 変換 w / MPX 6_H：加算モードの通常 A/D 変換 w / MPX 上記以外：設定禁止
12	DFENT	DFE エントリ 0：エントリしない 1：エントリする DFE（デジタルフィルタエンジン）、APA（オートノマスパルスアダプタ）もしくは ASF（ADC 積算機能）へエントリするかしないかを選択します。エントリは、ADCBmDFASENTSGER の DFENTSGxE と ASENTSGxE で有効にしたスキャングループでのみエントリします。 また、選択 T&H 実行（CNVCLS[2:0] = 2_H）においては、DFENT の設定に関わらずエントリしません。
11 ～ 8	DFTAG[3:0]	DFE-TAG DFE/ APA0 へエントリを要求した場合、DFTAG[3:0] と同じ TAG が設定された DFE または APA0 のチャネルへエントリします。複数のチャネルと一致した場合は、複数のチャネルにエントリします。 ASF へエントリを要求した場合、DFTAG[3:0] に対応する ASF のチャネルへエントリします。ASF へエントリを要求する場合、DFTAG[3:0] が BH ～ FH の設定は無効です。
7	ADIE	仮想チャネル終了割り込みイネーブル 0：SGx にて仮想チャネル n の仮想チャネル終了で ADImx を出力しない 1：SGx にて仮想チャネル n の仮想チャネル終了で ADImx を出力する ADCBmSGCRx の ADIE と ADCBmVCRn の ADIE は無関係です。詳細は、**「27.7.16 スキャン終了割り込み要求」**を参照してください。
6	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

表 27.7 ADCBmVCRn レジスタの内容 (2/2)

ビット位置	ビット名	機能
5 ～ 0	GCTRL[5:0]	汎用制御 • 通常 A/D 変換（CNVCLS[2:0] = 0_H）のとき GCTRL[4:2]：物理チャネルグループ 物理チャネルグループを指定します。 GCTRL[1:0]：物理サブチャネル 物理サブチャネルを指定します。 上記以外の GCTRL のビットは常に 0 を設定してください。 • ホールド値 A/D 変換（CNVCLS[2:0] = 1_H）のとき GCTRL[2:0]：T&H 指定 0_H：T&H0 のホールド値を A/D 変換 1_H：T&H1 のホールド値を A/D 変換 上記と**「27.9.3 注入電流印加時の注意事項」**に示す設定以外は設定禁止です。 • 選択 T&H 実行（CNVCLS[2:0] = 2_H）のとき GCTRL[5:3]：物理チャネルグループ 物理チャネルグループを指定します。 GCTRL[1]：T&H1 実行 0：T&H1 のサンプリング／ホールドを実行しない。 1：T&H1 に物理サブチャネル 1 のサンプリング／ホールドを実行する。 GCTRL[0]：T&H0 実行 0：T&H0 のサンプリング／ホールドを実行しない。 1：T&H0 に物理サブチャネル 0 のサンプリング／ホールドを実行する。 上記と**「27.9.3 注入電流印加時の注意事項」**に示す設定以外は設定禁止です。 • 自己診断（CNVCLS[2:0] = 3_H）のとき GCTRL[4:0]：自己診断電圧レベル 10_H：AVREFH × 1 $0C_H$：AVREFH × 3/4 08_H：AVREFH × 1/2 04_H：AVREFH × 1/4 00_H：AVREFH × 0 その他：設定禁止 上記以外の GCTRL のビットは常に 0 を設定してください。 • 加算モードの通常 A/D 変換（CNVCLS[2:0] = 4_H）のとき GCTRL[4:2]：物理チャネルグループ 物理チャネルグループを指定します。 GCTRL[1:0]：物理サブチャネル 物理サブチャネルを指定します。 上記以外の GCTRL のビットは常に 0 を設定してください。 加算回数は、ADDNT にて設定された回数が反映されます。 • 通常 A/D 変換 w / MPX（CNVCLS[2:0] = 5_H）のとき GCTRL[4:0]：MPX のチャネルを設定 外付けアナログマルチプレクサに転送する MPX 値を設定します。 仮想チャネルの開始時に GCTRL[4:0] を ADCBmMPXCURR に転送し、割り込み要求（ASMPXIIm）または DMA 要求を発行します。 割り込みまたは DMAC を起動し、ADCBmMPXCURR を I/O ポートの Pn か PSRn もしくは CSIH の CSIHnTX0H へ転送することで外付けアナログマルチプレクサに MPX 値を転送できます。 詳細は、**「27.7.5 外付けアナログマルチプレクサ動作例」**を参照してください。 • 加算モードの通常 A/D 変換 w / MPX（CNVCLS[2:0] = 6_H）のとき GCTRL[4:0]：MPX のチャネルを設定 外付けアナログマルチプレクサに転送する MPX 値を設定します。 仮想チャネルの開始時に GCTRL[4:0] を ADCBmMPXCURR に転送し、割り込み要求（ASMPXIIm）または DMA 要求を発行します。 割り込みまたは DMAC を起動し、ADCBmMPXCURR を I/O ポートの Pn か PSRn もしくは CSIH の CSIHnTX0H へ転送することで外付けアナログマルチプレクサに MPX 値を転送できます。 詳細は、**「27.7.5 外付けアナログマルチプレクサ動作例」**を参照してください。 加算回数は、ADDNT にて設定された回数が反映されます。

注 意

誤動作を防ぐため、ADCBmVCRn の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。

備 考

m = 0、1 n = 0 ～ 39 x = 0 ～ 4

27.5.2 ADCBmDRn — データレジスタ n

ADCBmDRn は、A/D 変換値を格納する 16 ビットの読み出し専用のレジスタです。ADCBmDRn は、仮想チャネル分備えており、ADCBmADCR2 の DFMT および ADCBmVCRn の CNVCLS[2:0] = 4_H、6_H のときの ADDNT 設定によりフォーマットが変わります。なお DFE（デジタルフィルタエンジン）、オートノマスパルスアダプタ（APA）、ASF（ADC 積算機能）および IFC（Integer/Floating-point 変換モジュール）に転送するデータのフォーマットも同様です。ADCBmDRn は、RDCLRE が 1 に設定されているときに ADCBmDRn もしくは ADCBmDIRn の読み出しおよび IFC 経由の ADCBmDRn の読み出しで 0000_H にクリアされます。また読み出しは必ず ADCBmDRi と ADCBmDRi+1 のセット（32 ビット）で読み出してください。16 ビット単位での読み出しが必要な場合は、RDCLRE = 0 に設定して読み出しを行ってください。その際、ADCBmDIRi+1.WFLG は ADCBmDRi の 16 ビット単位の読み出しでクリアされるため注意してください。CNVCLS[2:0] = 2_H のとき ADCBmDRn には何も格納されません。また ADCBmDRn は、リセット時に 0000_H に初期化されます。

符号付固定小数点フォーマット（DFMT = 0）のとき

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1 回変換	S													0	0	0
2 回変換	S														0	0
4 回変換	S															0

小数点位置

符号付整数フォーマット（DFMT = 1）のとき

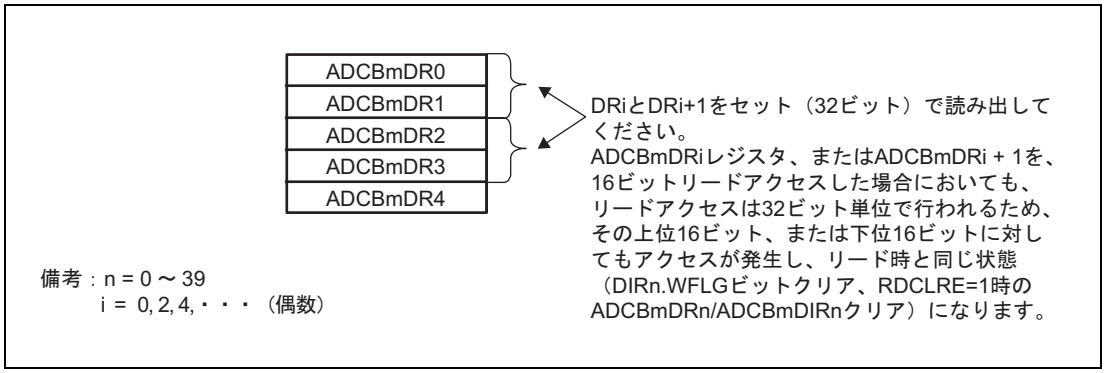
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1 回変換	S	S	S	S												
2 回変換	S	S	S													
4 回変換	S	S														

小数点位置

S	：符号ビット (0 固定)
0	：0 拡張

ADDNT によるフォーマット設定は、CNVCLS[2:0] = 4_H、6_H のときに有効です。

CNVCLS[2:0] ≠ 4_H、6_H のときは、1 回変換のフォーマットになります。



備 考

m = 0、1 n = 0 ～ 39 i = 0、2、4、･･･（偶数）

27.5.3 ADCBmDIRn — データ付帯情報レジスタ n

ADCBmDIRn は、ADCBmDRn と A/D 変換値に付帯する情報を格納する 32 ビットの読み出し専用のレジスタです。ADCBmDIRn は、仮想チャネル分備えています。ADCBmDIRn は、RDCLRE が 1 に設定されているときに ADCBmDRn もしくは ADCBmDIRn の読み出しおよび IFC 経由の ADCBmDRn の読み出しで 00000000_H にクリアされます。なお WFLG は、RDCLRE によらず、ADCBmDRn もしくは ADCBmDIRn の読み出しおよび IFC 経由の ADCBmDRn の読み出しでクリアされます。また読み出しは必ず 32 ビットで読み出してください。なお下位 16 ビットから ADCBmDRn が読み出されます。ADCBmDIRn は、リセット時に 00000000_H に初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	WFLG	PRTY	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADCBmDRn															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.8 ADCBmDIRn レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
25	WFLG	ライトフラグ セット条件 ADCBmDRn に A/D 変換値を格納したとき クリア条件 ADCBmDRn もしくは ADCBmDIRn が読み出されたとき IFC 経由で ADCBmDRn が読み出されたとき CNVCLS[2:0] ＝ 2_H のときは、セットされません。
24	PRTY	パリティ ADCBmDRn に対するパリティビットです。偶数パリティです。 CNVCLS[2:0] ＝ 2_H のときは、セットされません。
23 ～ 16	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

備 考

m = 0、1 n = 0 ～ 39

27.5.4 ADCBmADHALTR — AD 終了レジスタ

ADCBmADHALTR は、ADC を強制終了する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HALT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.9 ADCBmADHALTR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	HALT	終了 全スキャングループ、全 AD タイマを終了かつ初期化し、ADC をアイドル状態にします。 0 の書き込み：終了しない 1 の書き込み：終了する

備 考

m ＝ 0、1

27.5.5 ADCBmADCR1 — AD 制御レジスタ 1

ADCBmADCR1 は、ADC の共通制御に関する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmADCR1 は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SUSMTD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 27.10 ADCBmADCR1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
1、0	SUSMTD [1:0]	サスペンド方式 高優先スキャングループが低優先スキャングループに割り込むときのサスペンド方式を選択します。 同期サスペンド：低優先 SG を処理中に高優先 SG の要求があったら、**仕掛かり中の仮想チャネルの処理が終了してから中断**し、高優先 SG の処理を実行します。高優先 SG の処理が終了したら、低優先 SG で中断した仮想チャネルから処理を再開（レジューム）します。 非同期サスペンド：低優先 SG を処理中に高優先 SG の要求があったら、**仕掛かり中の仮想チャネルの処理を即中断**し、高優先 SG の処理を実行します。高優先 SG の処理が終了したら、低優先 SG で中断した仮想チャネルから処理を再開（レジューム）します。 0_H：同期サスペンド 1_H：SG0 に高優先 SG が割り込む場合は、非同期サスペンド 低優先 SG（SG0 を除く）に高優先 SG が割り込む場合は、同期サスペンド 2_H：非同期サスペンド 3_H：設定禁止 詳細は、**「図 27.13 同期サスペンド＆レジューム動作例」**と**「図 27.14 非同期サスペンド＆レジューム動作例」**を参照してください。

注 意

誤動作を防ぐため、ADCBmADCR1 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。

備 考

m = 0、1

27.5.6 ADCBmMPXCURCR — MPX カレント制御レジスタ

ADCBmMPXCURCR は、ADCBmMPXCURR のフォーマットを制御する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmMPXCURR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MSKCFMT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 27.11 ADCBmMPXCURCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3 ～ 0	MSKCFMT[3:0]	MSKC フォーマット指定 ADCBmMPXCURR の MSKC[15:0] のフォーマットを指定します。 MSKCFMT[3] 0：MSKC[15:12] ＝ 0000 1：MSKC[15:12] ＝ 1111 MSKCFMT[2] 0：MSKC[11:8] ＝ 0000 1：MSKC[11:8] ＝ 1111 MSKCFMT[1] 0：MSKC[7:4] ＝ 0000 1：MSKC[7:4] ＝ 1111 MSKCFMT[0] 0：MSKC[3:0] ＝ 0000 1：MSKC[3:0] ＝ 1111

注　意

誤動作を防ぐため、ADCBmMPXCURCR の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。

備　考

m ＝ 0、1

27.5.7 ADCBmMPXCURR — MPX カレントレジスタ

ADCBmMPXCURR は、外付けアナログマルチプレクサ用の MPX 値を格納する 32 ビットの読み出し専用のレジスタです。ADCBmMPXCURR は、リセット時に 00000000_H に初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSKC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MPXCMD[7:0]								—	—	—	MPXCUR[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.12 ADCBmMPXCURR レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	MSKC[15:0]	マスク制御 ADCBmMPXCURCR の MSKCFMT[3:0] でフォーマットが変わります。詳細は、**「27.5.6 ADCBmMPXCURCR — MPX カレント制御レジスタ」**を参照してください。
15 ～ 8	MPXCMD[7:0]	SPI 通信コマンド情報 SPI 通信を用いて外部のアナログ MPX を制御するためのコマンド情報レジスタです。ADCBmVCRn の CNVCLS[2:0] = 5_H、または、6_H の仮想チャネルを開始したときに、ADCBmMPXCMDR の MPXCMD[7:0] が ADCBmMPXCURR の MPXCMD[7:0] に転送されます。
7 ～ 5	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
4 ～ 0	MPXCUR[4:0]	カレント MPX 値 ADCBmVCRn の CNVCLS[2:0] = 5_H、または、6_H の仮想チャネルを開始したときに、ADCBmVCRn の GCTRL[4:0] が MPXCUR[4:0] に転送されます。 このとき INTC への割り込み要求もしくは DMA 転送要求を発生します。DMAC により ADCBmMPXCURR を I/O ポートの Pn か PSRn または、CSIH の CSIHnTX0H に転送することで、外付けアナログマルチプレクサに MPX 値を送信することができます。 Pn を使用する場合、下位 5bit を転送してください。 PSRn を使用する場合、32bit で転送してください。これにより、MSKC[15:0] のフォーマット制御により必要なポートのみ書き換えができます。 CSIHnTX0H に転送する場合、下位 16bit を転送してください。 詳細は、**「27.7.5 外付けアナログマルチプレクサ動作例」**を参照してください。

備 考

m = 0、1 n = 0 ～ 39

27.5.8 ADCBmMPXOWR — MPX 任意ウェイトレジスタ

ADCBmMPXOWR は、外付けアナログマルチプレクサ用に挿入する任意ウェイトを指定する 8 ビットの読み出し / 書き込み可能なレジスタです。ADCBmMPXOWR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MPXOW[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 27.13 ADCBmMPXOWR レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3 ～ 0	MPXOW[3:0]	MPX 任意ウェイト ADCBmVCRn の CNVCLS[2:0] = 5_H、または、6_H の仮想チャネルを開始したときに、A/D 変換を開始する前に挿入するウェイト時間指定です。 0_H：0μsec 1_H：1μsec 2_H：2μsec 3_H：3μsec 4_H：4μsec 5_H：5μsec 6_H：6μsec 7_H：7μsec 8_H：8μsec 9_H：9μsec A_H：10μsec B_H ～ F_H：設定禁止 詳細は、**「27.7.5 外付けアナログマルチプレクサ動作例」**を参照してください。

注 意

誤動作を防ぐため、ADCBmMPXOWR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。

備 考

m = 0、1 n = 0 ～ 39

27.5.9 ADCBmMPXCMDR — MPX コマンド情報レジスタ

ADCBmMPXCMDR は、外部のアナログ MPX へ転送する SPI 通信コマンド情報を格納する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmMPXCMDR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	MPXCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.14 ADCBmMPXCMDR レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	MPXCMD[7:0]	SPI 通信コマンド情報 SPI 通信を用いて外部のアナログ MPX を制御するためのコマンド情報格納レジスタです。ADCBmVCRn の CNVCLS[2:0] = 5_H、または、6_H の仮想チャネルを開始したときに、ADCBmMPXCMDR の MPXCMD[7:0] が ADCBmMPXCURR の MPXCMD[7:0] に転送され、ADCBmMPXCURR により、MPXCUR[4:0] と共に読み出すことが可能です。

備　考

m = 0、1　n = 0 ～ 39

27.5.10 ADCBmADCR2 — AD 制御レジスタ 2

ADCBmADCR2 は、ADC の共通制御に関する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmADCR2 は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	DFMT	—	—	—	ADDNT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R	R	R/W

表 27.15 ADCBmADCR2 レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
4	DFMT	データフォーマット 0：符号付固定小数点フォーマット 1：符号付整数フォーマット ADCBmDRn と DFE、APA および ASF へのデータのフォーマットとなります。 データフォーマットの詳細は**「27.5.2 ADCBmDRn — データレジスタ n」**を参照してください。
3 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ADDNT	加算回数選択 0：2 回加算 1：4 回加算 本レジスタは、CNVCLS[2:0] = 4_H、6_H の場合のみ有効です。

注 意

誤動作を防ぐため、ADCBmADCR2 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。

備 考

m = 0、1 n = 0 ～ 39

27.5.11 ADCBmDFASENTSGER — DFE/APA/ASF エントリスキャングループイネーブルレジスタ

ADCBmDFASENTSGER は、DFE/APA0/ASF にエントリするスキャングループの有効／無効を制御する 16 ビットの読み出し／書き込み可能なレジスタです。ADCBmDFASENTSGER は、リセット時に 0000_H に初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	DFENTSG4E	DFENTSG3E	DFENTSG2E	DFENTSG1E	DFENTSG0E	—	—	—	ASENTSG4E	ASENTSG3E	ASENTSG2E	ASENTSG1E	ASENTSG0E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 27.16 ADCBmDFASENTSGER レジスタの内容

ビット位置	ビット名	機能
15 ～ 13	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
12 ～ 8	DFENTSGxE	DFE エントリスキャングループイネーブル 0：SGx 起動時の DFE/APA0 エントリ無効 1：SGx 起動時の DFE/APA0 エントリ有効 エントリは、ADCBmVCRn の DFENT が 1 の仮想チャネルでエントリします。
7 ～ 5	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
4 ～ 0	ASENTSGxE	ASF エントリスキャングループイネーブル 0：SGx 起動時の ASF エントリ無効 1：SGx 起動時の ASF エントリ有効 エントリは、ADCBmVCRn の DFENT が 1 の仮想チャネルでエントリします。 ASENTSGxE はいずれか 1 ビットのみ有効として使用してください。

注　意

1. 誤動作を防ぐため、ADCBmDFASENTSGER の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。
2. また、DFENTSGxE と ASENTSGxE の各スキャングループ設定について、同じスキャングループのイネーブルを有効にしないでください。同じスキャングループのイネーブルを有効にした場合、該当スキャングループで指定した ADCBmVCRn の DFENT が 1 の仮想チャネルで、DFE（APA0）と ASF の両方にエントリします。

備　考

m = 0、1　n = 0 ～ 39　x = 0 ～ 4

27.5.12 ADCBmADENDP — AD 変換モニタ仮想チャネルポインタ

ADCBmADENDP は、ADENDm に AD 変換タイミングを出力する仮想チャネルを選択する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmADENDP は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	ENDP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.17 ADCBmADENDP レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
5 ～ 0	ENDP[5:0]	AD 変換モニタ仮想チャネルポインタ ADCBmADENDP で選択した仮想チャネルが開始すると ADENDm に High を出力します。ADCBmADENDP で選択した仮想チャネルが終了すると Low を出力します。

注 意

誤動作を防ぐため、ADCBmADENDP の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。

備 考

m ＝ 0、1

27.5.13 ADCBmSFTCR — セーフティ制御レジスタ

ADCBmSFTCR は、セーフティ制御に関する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmSFTCR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	RDCLRE	ULEIE	OWEIE	PEIE	IDEIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 27.18 ADCBmSFTCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
4	RDCLRE	リード & クリアイネーブル 0：ADCBmDRn もしくは ADCBmDIRn のリードおよび IFC 経由の ADCBmDRn のリードで ADCBmDRn と ADCBmDIRn をクリアしない。 1：ADCBmDRn もしくは ADCBmDIRn のリードおよび IFC 経由の ADCBmDRn のリードで ADCBmDRn と ADCBmDIRn をクリアする。 **注 意** ADCBmDIRn の WFLG は、RDCLRE によらず、ADCBmDRn もしくは ADCBmDIRn のリードおよび IFC 経由の ADCBmDRn のリードでクリアされます。
3	ULEIE	上限／下限エラー割り込みイネーブル 0：禁止 1：許可
2	OWEIE	オーバーライトエラー割り込みイネーブル 0：禁止 1：許可
1	PEIE	パリティエラー割り込みイネーブル 0：禁止 1：許可
0	IDEIE	ID エラー割り込みイネーブル 0：禁止 1：許可

注 意

誤動作を防ぐため、ADCBmSFTCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。

備 考

m = 0、1 n = 0 ～ 39

27.5.14 ADCBmTDCR — 端子レベル自己診断制御レジスタ

ADCBmTDCR は、端子レベル自己診断を制御する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmTDCR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	TDE	—	—	—	—	—	TDLV[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W

表 27.19 ADCBmTDCR レジスタの内容

ビット位置	ビット名	機能
7	TDE	端子レベル自己診断イネーブル 0：端子レベル自己診断をしない 1：端子レベル自己診断をする TDE を 1 にすると、全てのアナログ端子が入力バッファと切り離され、TDE を 0 にすると、全てのアナログ端子が入力バッファと接続されます。 さらに TDE ＝ 1 とした場合、TDLV[1:0] で指定したレベルに固定されます。この状態で A/D 変換を実行し、A/D 変換値を確認することで、アナログ端子から ADC までの経路の診断ができます。
6 ～ 2	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
1、0	TDLV[1:0]	端子レベル自己診断レベル指定 0_H：偶数物理チャネルグループを AVSS にディスチャージし、奇数物理チャネルグループを AVCC にチャージする。 1_H：偶数物理チャネルグループを AVCC にチャージ、奇数物理チャネルグループを AVSS にディスチャージする。 2_H：偶数物理チャネルグループを AVSS にディスチャージし、奇数物理チャネルグループを 1/2* AVCC にチャージする。 3_H：偶数物理チャネルグループを 1/2* AVCC にチャージし、奇数物理チャネルグループを AVSS にディスチャージする。

注　意

誤動作を防ぐため、ADCBmTDCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。

備　考

m ＝ 0、1

27.5.15 ADCBmODCR — 断線検出制御レジスタ

ADCBmODCR は、断線検出を制御する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmODCR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	ODE	—	ODPW[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.20 ADCBmODCR レジスタの内容

ビット位置	ビット名	機能
7	ODE	断線検出イネーブル 0：断線検出をしない 1：断線検出をする ODE を 1 にすると、全てのアナログ端子について、断線検出が有効となります。A/D 変換のサンプリング終了後から ODPW[5:0] で指定したパルス幅で A/D 変換対象のアナログ端子をディスチャージします。
6	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
5 ～ 0	ODPW[**5**:0] 注 1	断線検出パルス幅 04_H：1 ステート（内部クロック換算） 05_H：2 ステート（内部クロック換算） ： 13_H：16 ステート（内部クロック換算） 14_H：17 ステート（内部クロック換算）

注 1. ODE = 1（断線検出が有効）の時、ODPW[5:0] の 03_H 以下と 15_H 以上の設定は禁止です。

注 意

1. 誤動作を防ぐため、ADCBmODCR の設定は全スキャングループの SGACT が 0 の状態 (スキャングループ起動前) かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。
2. 断線検出が有効（ODE ＝ 1）の状態で、T&H 実行（ADCBmVCRn の CNVCLS ＝ 2_H）またはホールド値 A/D 変換（ADCBmVCRn の CNVCLS ＝ 1_H）を実行するのは禁止です。

備 考

m = 0、1 n = 0 ～ 39

27.5.16 ADCBmULLMTBR0 ～ 2 — 上限／下限テーブルレジスタ 0 ～ 2

ADCBmULLMTBR0 ～ 2 は、A/D 変換値の上限値と下限値を設定する 16 ビット、32 ビットの読み出し／書き込み可能なレジスタです。ADCBmULLMSRx の ULS[1:0] で ADCBmULLMTBR0 ～ 2 のいずれかを指定します。ADCBmULLMTBR0 ～ 2 は、リセット時に $7FFE0000_H$ に初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULMTB[15:0]															
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LLMTB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 27.21 ADCBmULLMTBR0 ～ 2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	ULMTB[15:0]	上限テーブル A/D 変換値の上限値を指定します。下記条件が成立したとき ULE（上限／下限エラー）をセットします。 ULMTB[15:0] ＜ A/D 変換値 ULMTB[15:0] のフォーマットは、ADCBmDRn のフォーマットに関わらず、符号付小数点フォーマットとなります。ADCBmDRn のフォーマットが符号付整数フォーマットを選択した場合、ADCBmDRn を符号付小数点フォーマットに置換して比較します。なお、ULMTB[15] と ULMTB[0] は常に 0 固定となります。
15 ～ 0	LLMTB[15:0]	下限テーブル A/D 変換値の下限値を指定します。下記条件が成立したとき ULE（上限／下限エラー）をセットします。 LLMTB[15:0] ＞ A/D 変換値 LLMTB[15:0] のフォーマットは、ADCBmDRn のフォーマットに関わらず、符号付小数点フォーマットとなります。ADCBmDRn のフォーマットが符号付整数フォーマットを選択した場合、ADCBmDRn を符号付小数点フォーマットに置換して比較します。なお、LLMTB[15] と LLMTB[0] は常に 0 固定となります。

注 意

誤動作を防ぐため、ADCBmULLMTBR0 ～ 2 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの ADSTARTE が 0 かつスキャングループ 0, 1, 2 の TRGMD[0] が 0_H、スキャングループ 3, 4 の TRGMD[1:0] が 0_H でおこなってください。

備 考

m = 0、1 n = 0 ～ 39

27.5.17 ADCBmECR — エラークリアレジスタ

ADCBmECR は、エラークリアを制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ULEC	OWEC	PEC	IDEC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	W	R	W	W	W	W

表 27.22 ADCBmECR レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3	ULEC	上限／下限エラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする
2	OWEC	オーバーライトエラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする
1	PEC	パリティエラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする
0	IDEC	ID エラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする

備　考

m ＝ 0、1

27.5.18 ADCBmULER — 上限／下限エラーレジスタ

ADCBmULER は、上限／下限エラーを示す 8 ビットの読み出し専用レジスタです。
ADCBmULER は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	ULE	—	ULECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.23 ADCBmULER レジスタの内容

ビット位置	ビット名	機能
7	ULE	上限／下限エラー 0：エラーなし 1：エラーあり セット条件 A/D 変換値が指定した上限／下限テーブルの範囲を超えたとき クリア条件 ULEC に 1 を書き込んだとき
6	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
5 ～ 0	ULECAP[5:0]	上限／下限エラーキャプチャ 上限／下限エラーが発生したときの仮想チャネルをキャプチャします。 キャプチャ条件 ULE ＝ 0 かつ A/D 変換値が指定した上限／下限テーブルの範囲を超えたとき クリア条件 ULEC に 1 を書き込んだとき

注 意

ADCBmULER は、A/D 変換値を ADCBmDRn に書き込む時に更新されます。

備 考

m = 0、1 n = 0 ～ 39

27.5.19 ADCBmOWER — オーバーライトエラーレジスタ

ADCBmOWER は、オーバーライトエラーを示す 8 ビットの読み出し専用レジスタです。
ADCBmOWER は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	OWE	—	OWECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.24 ADCBmOWER レジスタの内容

ビット位置	ビット名	機能
7	OWE	オーバーライトエラー 0：エラーなし 1：エラーあり セット条件 WFLG ＝ 1 の状態で A/D 変換値が ADCBmDRn に書き込まれたとき クリア条件 OWEC に 1 を書き込んだとき
6	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
5 ～ 0	OWECAP[5:0]	オーバーライトエラーキャプチャ オーバーライトエラーが発生したときの仮想チャネルをキャプチャします。 キャプチャ条件 OWE ＝ 0 かつ WFLG ＝ 1 の状態で A/D 変換値が ADCBmDRn に書き込まれたとき クリア条件 OWEC に 1 を書き込んだとき

注 意

ADCBmOWER は、A/D 変換値を ADCBmDRn に書き込む時に更新されます。

備 考

m = 0、1 n = 0 ～ 39

27.5.20 ADCBmPER — パリティエラーレジスタ

ADCBmPER は、パリティエラーを示す 8 ビットの読み出し専用レジスタです。ADCBmPER は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	PE	—	PECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.25 ADCBmPER レジスタの内容

ビット位置	ビット名	機能
7	PE	パリティエラー 0：エラーなし 1：エラーあり セット条件 パリティエラーを検出したとき クリア条件 PEC に 1 を書き込んだとき
6	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
5 ～ 0	PECAP[5:0]	パリティエラーキャプチャ パリティエラーが発生したときの仮想チャネルをキャプチャします。 キャプチャ条件 PE ＝ 0 かつパリティエラーを検出したとき クリア条件 PEC に 1 を書き込んだとき

注 意

ADCBmPER は、ADCBmDRn もしくは ADCBmDIRn の読み出し時に更新されます。
ただし、IFC 経由の ADCBmDRn の読み出しでは更新しません。

備 考

m = 0、1 n = 0 ～ 39

27.5.21 ADCBmIDER — ID エラーレジスタ

ADCBmIDER は、ID エラーを示す 8 ビットの読み出し専用レジスタです。ADCBmIDER は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	IDE	—	IDECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.26 ADCBmIDER レジスタの内容

ビット位置	ビット名	機能
7	IDE	ID エラー 0：エラーなし 1：エラーあり セット条件 ADCBmVCRn で指定した物理チャネル（外付けマルチプレクサ指定時は、ADC0：AN043、ADC1：AN100）と実際に変換された物理チャネルが不一致のとき クリア条件 IDEC に 1 を書き込んだとき
6	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
5 ～ 0	IDECAP[5:0]	ID エラーキャプチャ ID エラーが発生したときの仮想チャネルをキャプチャします。 キャプチャ条件 IDE ＝ 0 かつ ADCBmVCRn で指定した物理チャネル（外付けマルチプレクサ指定時は、ADC0：AN043、ADC1：AN100）と実際に変換された物理チャネルが不一致のとき クリア条件 IDEC に 1 を書き込んだとき

注 意

ADCBmIDER は、A/D 変換値を ADCBmDRn に書き込む時に更新されます。

備 考

m = 0、1 n = 0 ～ 39

27.6 スキャングループ固有レジスタ

各スキャングループで個別に備えるレジスタを説明します。

27.6.1 ADCBmSGSTCRx — スキャングループ x 開始制御レジスタ

ADCBmSGSTCRx は、スキャングループ x の開始を制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SGST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.27 ADCBmSGSTCRx レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	SGST	スキャングループ開始 SGST でのスキャングループ x 開始条件 SGACT ＝ 0 の状態で SGST に 1 を書き込んだとき

備 考

m ＝ 0、1 x ＝ 0 ～ 4

27.6.2 ADCBmADTSTCRy — AD タイマ y 開始制御レジスタ

ADCBmADTSTCRy は、AD タイマ y の開始を制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.28 ADCBmADTSTCRy レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ADTST	AD タイマ開始 ADTST での AD タイマ y 開始条件 ADTACT ＝ 0 の状態で ADTST に 1 を書き込んだとき

備 考

m ＝ 0、1 y ＝ 3、4

27.6.3 ADCBmADTENDCRy — AD タイマ y 終了制御レジスタ

ADCBmADTENDCRy は、AD タイマ y の停止を制御する 8 ビットの書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADTEND
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 27.29 ADCBmADTENDCRy レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ADTEND	AD タイマ終了 ADTEND での AD タイマ y 終了条件 ADTACT ＝ 1 の状態で ADTEND に 1 を書き込んだとき

備 考

m ＝ 0、1 y ＝ 3、4

27.6.4 ADCBmSGCRx — スキャングループ x 制御レジスタ

ADCBmSGCRx は、スキャングループ x を制御する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmSGCRx は、リセット時に 00_H に初期化されます。

- x ＝ 0 ～ 2 の場合

ビット	7	6	5	4	3	2	1	0
	—	ADSTARTE	SCANMD	ADIE	—	—	—	TRGMD[0]
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R/W

表 27.30 ADCBmSGCRx レジスタの内容（x = 0 ～ 2 の場合）

ビット位置	ビット名	機能
7	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
6	ADSTARTE	スキャングループ同期開始イネーブル 0：ADSTART 無効 1：ADSTART 許可
5	SCANMD	スキャンモード 0：マルチサイクルスキャンモード 1：連続スキャンモード マルチサイクルスキャンモードでは、ADCBmSGMCYCRx で指定した回数のスキャンを繰り返し実行します。連続スキャンモードでは、無制限にスキャンを繰り返し実行します。
4	ADIE	スキャン終了割り込みイネーブル 0：SGx のスキャン終了で ADImx を出力しない 1：SGx のスキャン終了で ADImx を出力する ADCBmSGCRx の ADIE と ADCBmVCRn の ADIE は無関係です。詳細は、**「27.7.16 スキャン終了割り込み要求」**を参照してください。
3 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	TRGMD[0]	トリガモード 0_H：SGx へのトリガ入力無効 1_H：SGx へのトリガ入力に SGx_TRG ハードウェアトリガを選択 TRGMD[0] は、ハードウェアトリガの有効 / 無効設定であり、ソフトウェアトリガは常に有効です。

- x = 3 ～ 4 の場合

ビット	7	6	5	4	3	2	1	0
	ADTSTARTE	ADSTARTE	SCANMD	ADIE	—	—	TRGMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

表 27.31 ADCBmSGCRx レジスタの内容（x = 3、4 の場合）

ビット位置	ビット名	機能
7	ADTSTARTE	xAD タイマ同期開始イネーブル 0：ADSTART 無効 1：ADSTART 許可
6	ADSTARTE	スキャングループ同期開始イネーブル 0：ADSTART 無効 1：ADSTART 許可
5	SCANMD	スキャンモード 0：マルチサイクルスキャンモード 1：連続スキャンモード マルチサイクルスキャンモードでは、ADCBmSGMCYCRx で指定した回数のスキャンを繰り返し実行します。連続スキャンモードでは、無制限にスキャンを繰り返し実行します。
4	ADIE	スキャン終了割り込みイネーブル 0：SGx のスキャン終了で ADImx を出力しない 1：SGx のスキャン終了で ADImx を出力する ADCBmSGCRx の ADIE と ADCBmVCRn の ADIE は無関係です。詳細は、**「27.7.16 スキャン終了割り込み要求」**を参照してください。
3、2	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
1、0	TRGMD[1:0]	トリガモード 0_H：SGx へのトリガ入力無効 AD タイマ x へのトリガ入力無効 1_H：SGx へのトリガ入力に SGx_TRG ハードウェアトリガを選択 AD タイマ x へのトリガ入力無効 2_H：SGx へのトリガ入力に AD タイマトリガ x を選択 AD タイマ x へのトリガ入力無効 3_H：SGx へのトリガ入力に AD タイマトリガ x を選択 AD タイマ x へのトリガ入力に SGx_TRG ハードウェアトリガを選択 TRGMD[1:0] は、ハードウェアトリガの有効 / 無効設定であり、ソフトウェアトリガは常に有効です。

注 意

1. 誤動作を防ぐため、ADCBmSGCRx の SCANMD、ADIE の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ ADSTARTE が 0 かつ TRGMD が 0_H でおこなってください。
2. 連続スキャンモードに設定（SCANMD = 1_H）したスキャングループに対して、低優先のスキャングループのトリガが入力されても受け付けません。したがって、連続スキャンモードは、スキャングループ 0 に対して設定することを想定しています。

備 考

m = 0、1 n = 0 ～ 39 x = 0 ～ 4

27.6.5 ADCBmSGVCSPx — スキャングループ x 開始仮想チャネルポインタ

ADCBmSGVCSPx は、仮想チャネルの開始ポインタを指定する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmSGVCSPx は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	VCSP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.32 ADCBmSGVCSPx レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
5 ～ 0	VCSP[5:0] 注 1	開始仮想チャネルポインタ 開始する仮想チャネルを選択します。 SGx を起動すると、ADCBmSGVCSPx から ADCBmSGVCEPx の仮想チャネルを実行します。

注 意

1. ADCBmSGVCSPx ≦ ADCBmSGVCEPx となるように設定してください。
2. 誤動作を防ぐため、ADCBmSGVCSPx の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ ADSTARTE が 0 かつ TRGMD が 0_H でおこなってください。

備 考

m ＝ 0、1 x ＝ 0 ～ 4

27.6.6 ADCBmSGVCEPx — スキャングループ x 終了仮想チャネルポインタ

ADCBmSGVCEPx は、仮想チャネルの終了ポインタを指定する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmSGVCEPx は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	VCEP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 27.33 ADCBmSGVCEPx レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
5 ～ 0	VCEP[5:0]	終了仮想チャネルポインタ 終了する仮想チャネルを選択します。 SGx を起動すると、ADCBmSGVCSPx から ADCBmSGVCEPx の仮想チャネルを実行します。

注 意

1. ADCBmSGVCSPx ≦ ADCBmSGVCEPx となるように設定してください。
2. 誤動作を防ぐため、ADCBmSGVCEPx の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ ADSTARTE が 0 かつ TRGMD が 0_H でおこなってください。

備 考

m ＝ 0、1 x ＝ 0 ～ 4

27.6.7 ADCBmSGMCYCRx — スキャングループ x マルチサイクルレジスタ

ADCBmSGMCYCRx は、マルチサイクルスキャンモード時のスキャン回数を指定する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmSGMCYCRx は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	MCYC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.34 ADCBmSGMCYCRx レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	MCYC[7:0]	マルチサイクル指定 マルチサイクルスキャンモード時のスキャン回数を指定します。 スキャン回数＝ MCYC[7:0] + 1 SGx を起動すると、ADCBmSGVCSPx から ADCBmSGVCEPx までの仮想チャネルのスキャンを ADCBmSGMCYCRx で指定した回数だけ繰り返し実行します。

注 意

誤動作を防ぐため、ADCBmSGMCYCRx の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ ADSTARTE が 0 かつ TRGMD が 0_H でおこなってください。

備 考

m ＝ 0、1 x ＝ 0 ～ 4

27.6.8 ADCBmSGSRx — スキャングループ x ステータスレジスタ

ADCBmSGSRx は、スキャングループ x の状態を示す 8 ビットの読み出し専用のレジスタです。ADCBmSGSRx は、リセット時に 00_H に初期化されます。

- x ＝ 0 ～ 2 の場合

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SGACT	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.35 ADCBmSGSRx レジスタの内容（x = 0 ～ 2 の場合）

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
1	SGACT	スキャングループステータス 0：SGx の要因なし 1：SGx の要因あり
0	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

- x ＝ 3 ～ 4 の場合

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ADTACT	SGACT	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.36 ADCBmSGSRx レジスタの内容（x = 3、4 の場合）

ビット位置	ビット名	機能
7 ～ 3	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
2	ADTACT	AD タイマステータス 0：AD タイマ x がアイドル状態 1：AD タイマ x が動作中
1	SGACT	スキャングループステータス 0：SGx の要因なし 1：SGx の要因あり
0	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

備　考

m ＝ 0、1　x ＝ 0 ～ 4

27.6.9 ADCBmADTIPRy — AD タイマ y 初期位相レジスタ

ADCBmADTIPRy は、AD タイマ y の初期位相を設定する 32 ビットの読み出し／書き込み可能なレジスタです。ADCBmADTIPRy は、リセット時に 00000000_H に初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADTIP[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTIP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.37 ADCBmADTIPRy レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
20 ～ 0	ADTIP[20:0]	AD タイマ初期位相 AD タイマ y の初期位相を設定します。 ① AD タイマ y が開始すると ADCBmADTIPRy を AD タイマ y にロードし、ダウンカウントします。 ② AD タイマ y が 0 になると AD タイマトリガ y を 1 サイクル出力し、ADCBmADTPRRy を AD タイマ y にロードし、再びダウンカウントします。 以降は、②を繰り返します。 詳細は「AD タイマ動作例 AD タイマ動作例」を参照してください。

注 意

誤動作を防ぐため、ADCBmADTIPRy の設定はスキャングループ y の ADTACT が 0 の状態（AD タイマ起動前）かつ ADTSTARTE が 0 かつ TRGMD[1:0] が 3_H 以外でおこなってください。

備 考

m = 0、1 y = 3、4

27.6.10 ADCBmADTPRRy — AD タイマ y 周期レジスタ

ADCBmADTPRRy は、AD タイマ y の周期を設定する 32 ビットの読み出し／書き込み可能なレジスタです。ADCBmADTPRRy は、リセット時に $001FFFFF_H$ に初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADTPR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTPR[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.38 ADCBmADTPRRy レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
20 ～ 0	ADTPR[20:0]	AD タイマ周期 AD タイマ y の周期を設定します。 ① AD タイマ y が開始すると ADCBmADTIPRy を AD タイマ y にロードし、ダウンカウントします。 ② AD タイマ y が 0 になると AD タイマトリガ y を 1 サイクル出力し、ADCBmADTPRRy を AD タイマ y にロードし、再びダウンカウントします。 以降は、②を繰り返します。 詳細は「AD タイマ動作例 AD タイマ動作例」を参照してください。

注 意

誤動作を防ぐため、ADCBmADTPPRy の設定はスキャングループ y の ADTACT が 0 の状態（AD タイマ起動前）かつ ADTSTARTE が 0 かつ TRGMD[1:0] が 3_H 以外でおこなってください。

備 考

m = 0、1 y = 3、4

27.6.11 ADCBmULLMSRx — スキャングループ x 上限値／下限値テーブル選択レジスタ

ADCBmULLMSRx は、スキャングループ x を制御する 8 ビットの読み出し／書き込み可能なレジスタです。ADCBmSGCRx は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ULS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 27.39 ADCBmULLMSRx レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
1、0	ULS	上限値／下限値テーブル選択 0_H：上限／下限チェックをしない。 1_H：ADCBmULLMTBR0 で上限／下限チェックする。 2_H：ADCBmULLMTBR1 で上限／下限チェックする。 3_H：ADCBmULLMTBR2 で上限／下限チェックする。 A/D 変換値を ADCBmDRn 格納時に、ULS[1:0] で選択した上限値／下限値テーブルを使用して上限／下限チェックします。

注 意

誤動作を防ぐため、ADCBmULLMSRx の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ ADSTARTE が 0 かつ TRGMD が 0_H でおこなってください。

備 考

m = 0、1 n = 0 ～ 39 x = 0 ～ 4

27.7 動作説明

27.7.1 設定手順

27.7.1.1 初期設定

ADC は、**図 27.3** に示すレジスタを設定することで AD 変換が開始します。トリガ入力については、**「27.7.1.2 トリガ入力フロー」**を参照してください。

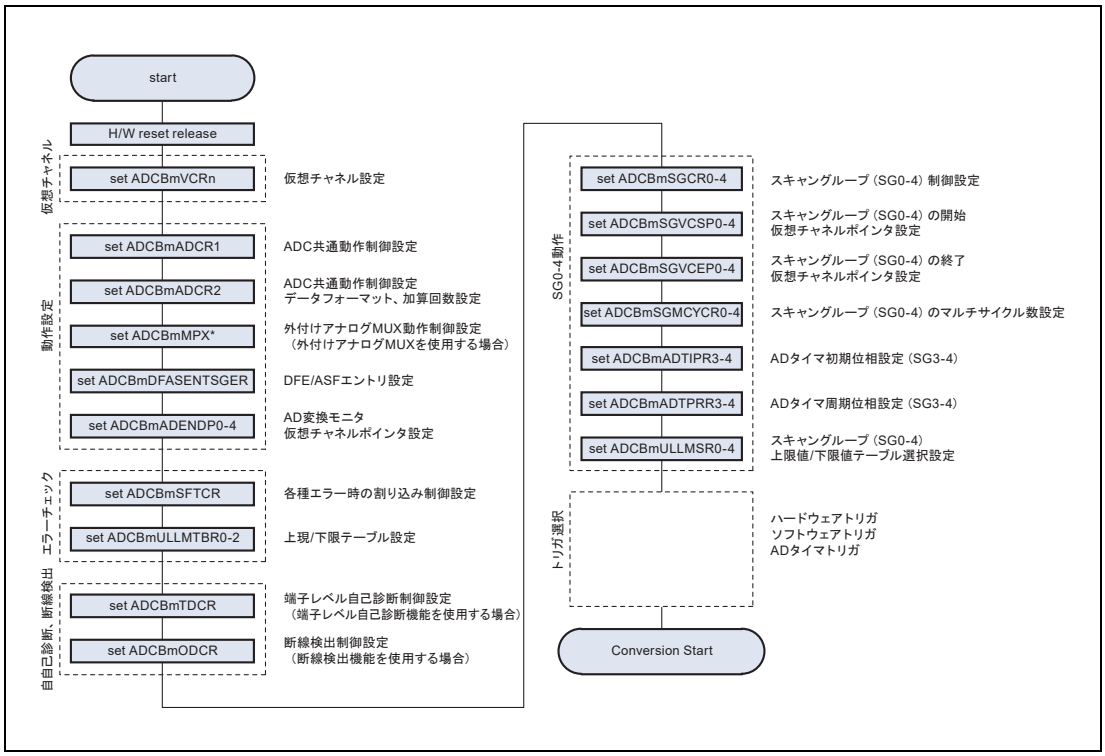


図 27.3 初期設定

備 考

m = 0、1 n = 0 ～ 39

27.7.1.2 トリガ入力フロー

ADC は、AD 変換開始トリガとして、ハードウェアトリガとソフトウェアトリガ、AD タイマトリガがあります。スキャングループ x（x = 0 ～ 4）は、ADSTART、SGST（SG0 ～ 4）によるソフトウェアトリガと、SGx_TRG（x = 0 ～ 4）のハードウェアトリガ、AD タイマトリガ（SG3 ～ 4）に対応します。

図 27.4 および**図 27.5** に示すトリガ入力フローにて AD 変換が開始します。SGx_TRG（x = 0 ～ 4）のトリガ構成図については、**「27.7.11 スキャングループのトリガ入力選択」**を参照してください。図中に示す初期設定フローは**「27.7.1.1 初期設定」**を参照してください。

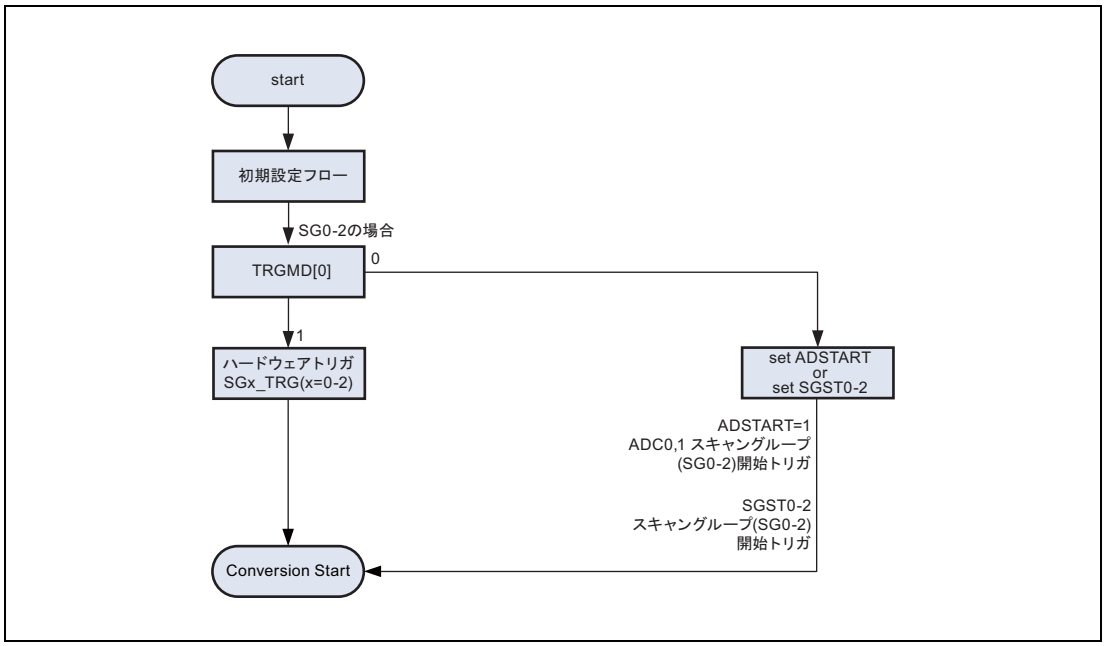


図 27.4 トリガ入力フロー（SG0-2）

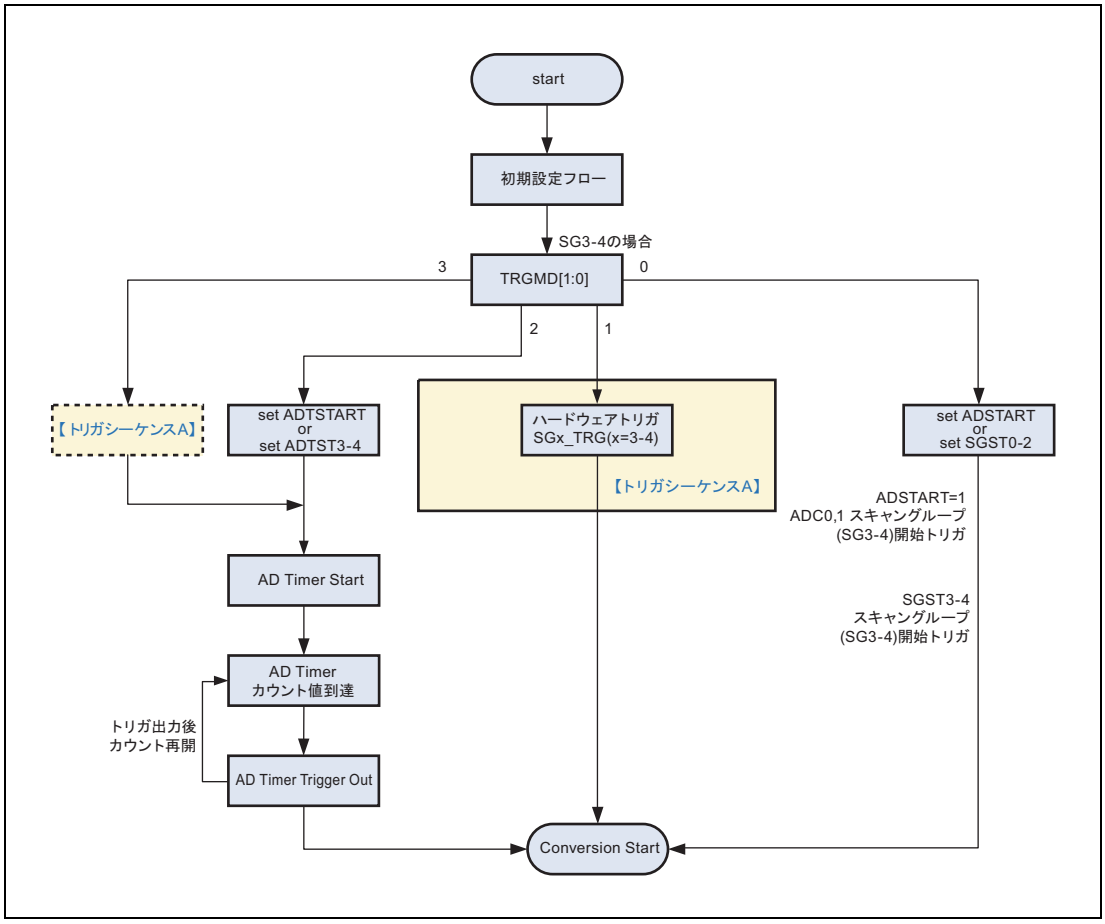


図 27.5 トリガ入力フロー (SG3-4)

27.7.1.3 終了手順

ADC は、次に示す処理フローにて、強制終了します。

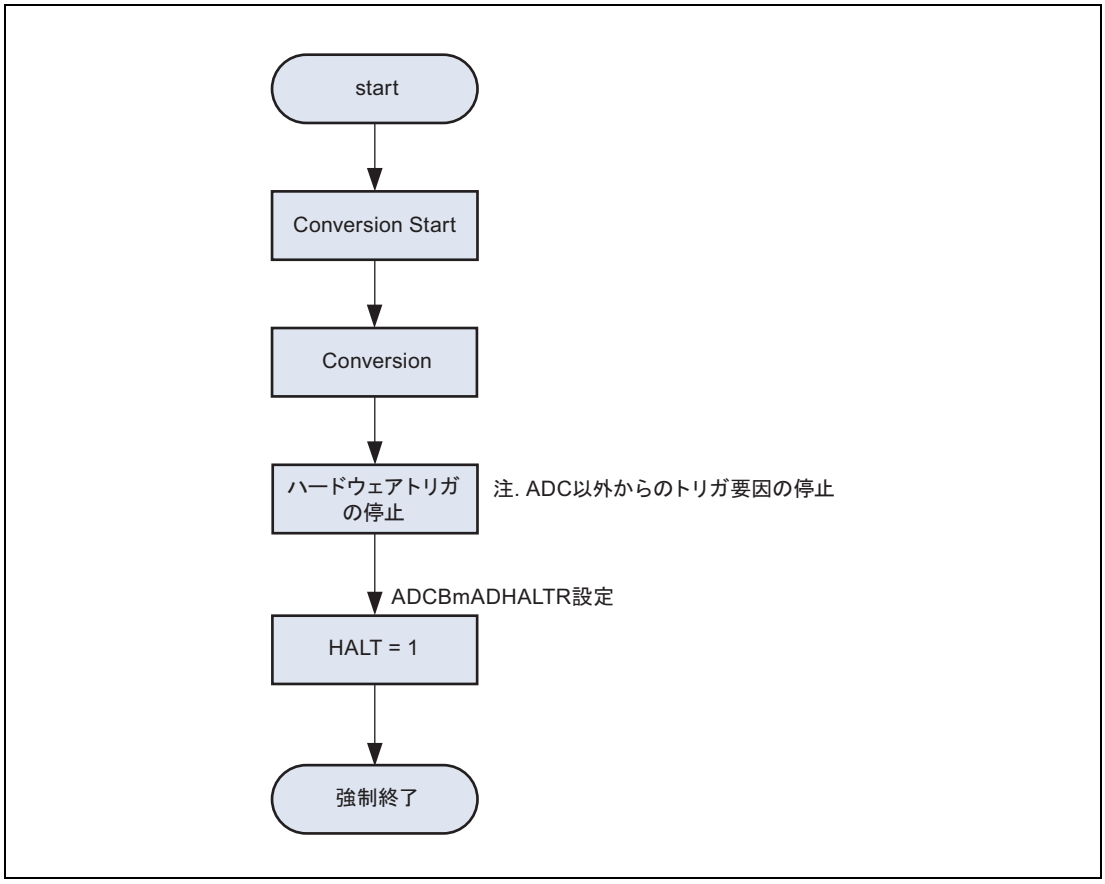


図 27.6 終了手順

備 考

m ＝ 0、1

27.7.2 通常 A/D 変換動作例

27.7.2.1 マルチサイクルスキャンモード

通常 A/D 変換モード（CNVCLS[2:0] = 0_H）を使用し、スキャングループ 0 にてマルチサイクルスキャンモードの 2 サイクルスキャンで仮想チャネルを 4 チャネル分変換する場合の動作例を示します。

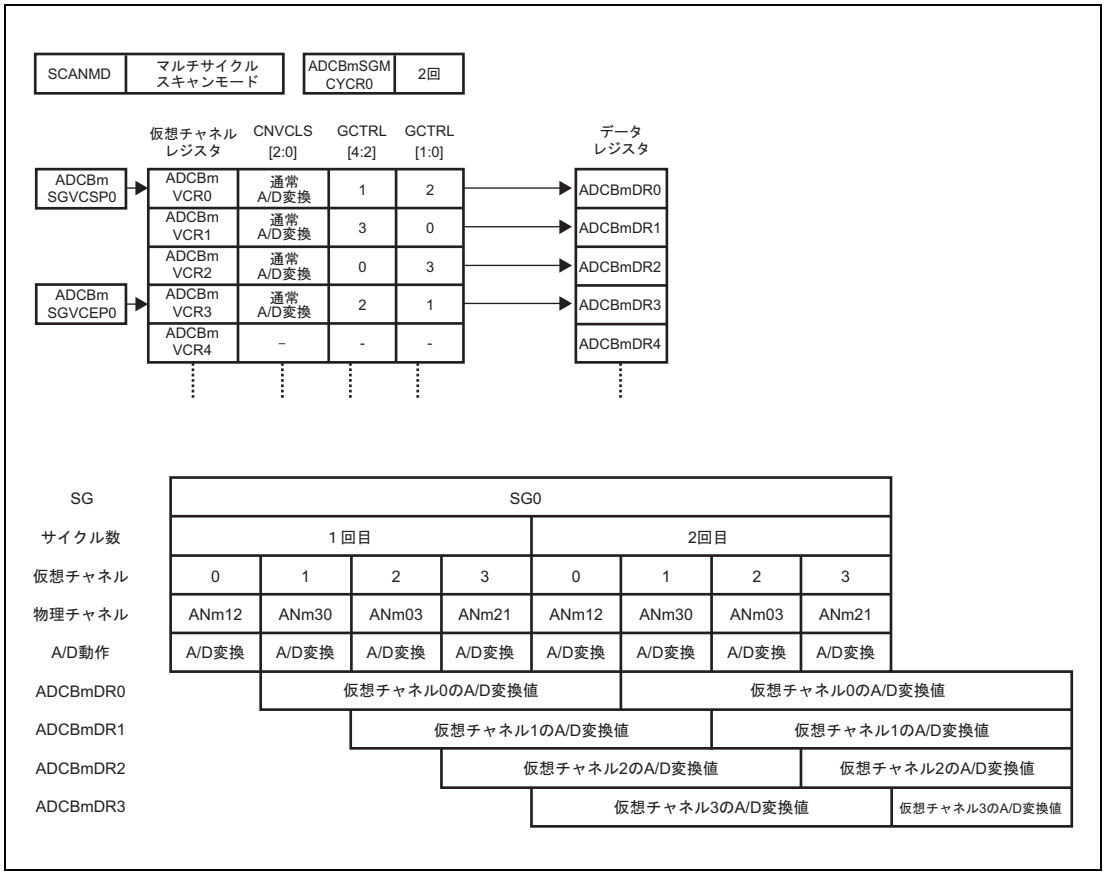


図 27.7 マルチサイクルスキャンモード動作例

備 考

m ＝ 0、1

27.7.2.2 連続スキャンモード

通常 A/D 変換モード（CNVCLS[2:0] = 0_H）を使用し、スキャングループ 0 にて連続スキャンモードで仮想チャネルを 4 チャネル分変換する場合の動作例を示します。

また、連続スキャンモードに設定（SCANMD = 1_H）したスキャングループに対して、低優先のスキャングループのトリガが入力されても受け付けません。したがって、連続スキャンモードは、スキャングループ 0 に対して設定することを想定しています。

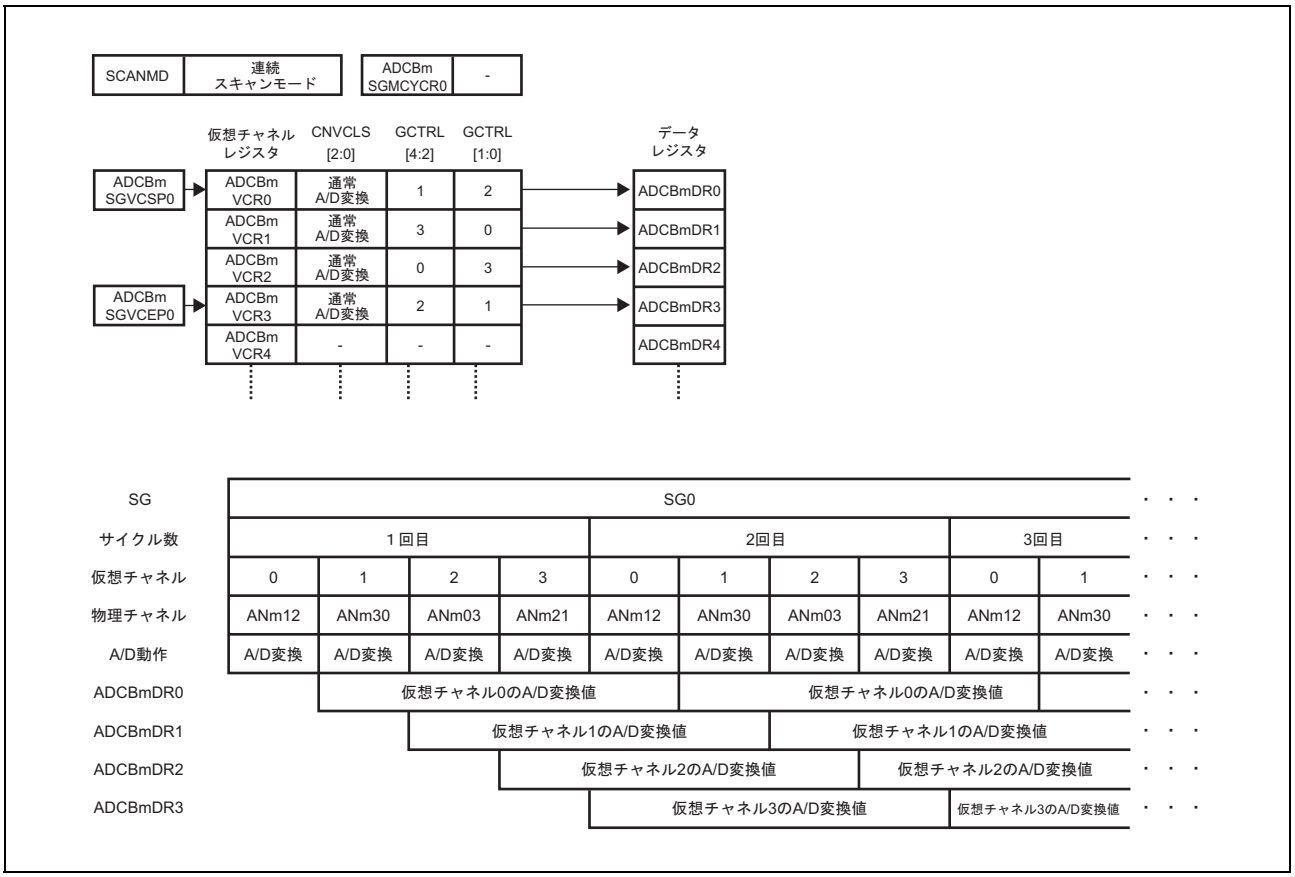


図 27.8 連続スキャンモード動作例

備 考

m ＝ 0、1

27.7.3 同時トラック & ホールド動作例

27.7.3.1 同時トラック＆ホールド動作（物理チャネルグループ選択）

同時トラック＆ホールド動作において、選択 T&H 実行（CNVCLS[2:0] = 2_H ／物理チャネルグループ選択）、ホールド値 A/D 変換（CNVCLS[2:0] = 1_H）、自己診断（CNVCLS[2:0] = 3_H）する場合の動作例を**図 27.9** に示します。

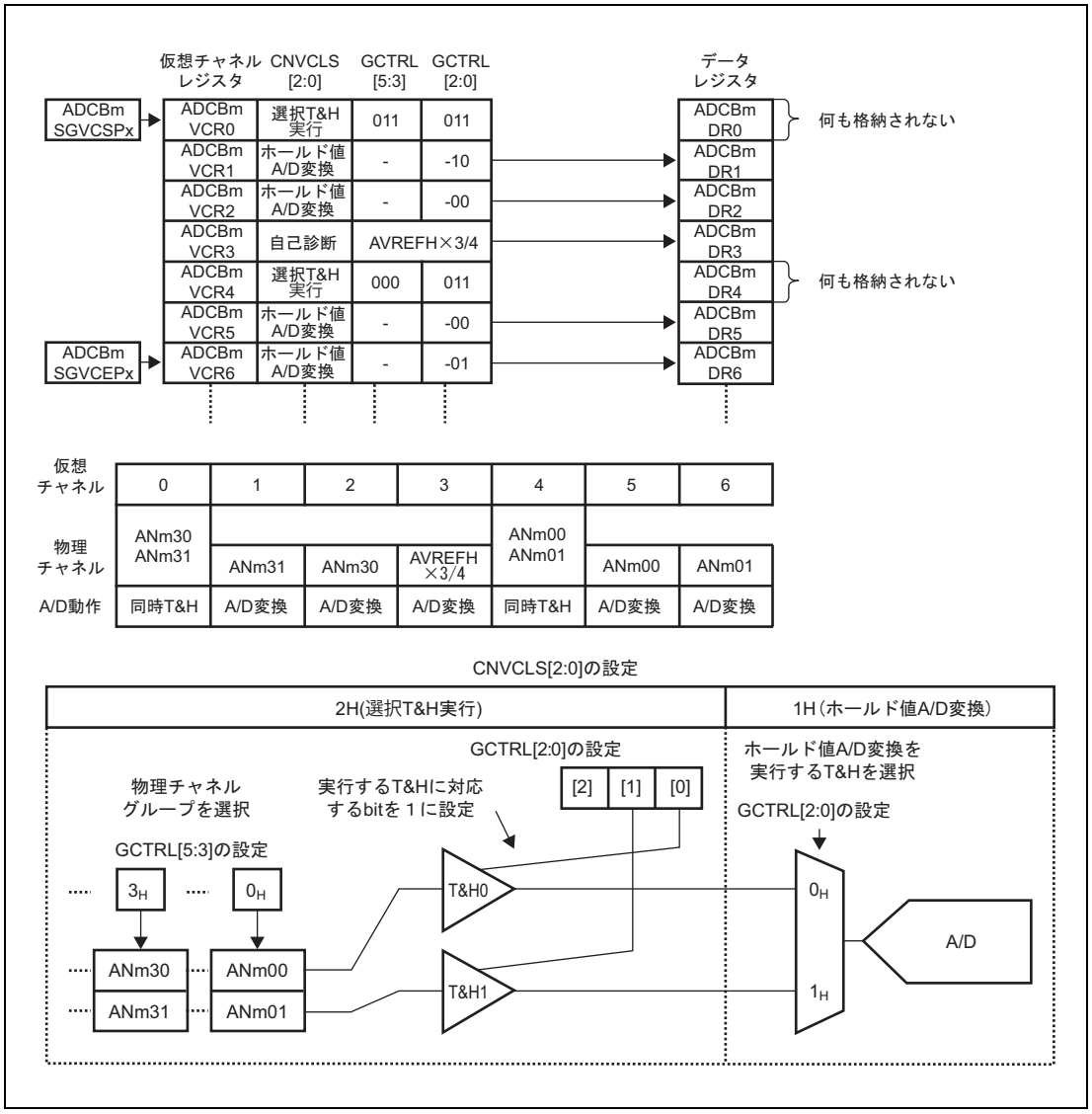


図 27.9 同時トラック＆ホールド動作例（物理チャネルグループ選択）

備 考

m = 0、1 x = 0 ～ 4

27.7.4 加算モードの通常 A/D 変換動作例

加算モードの通常 A/D 変換（CLVCLS[2:0] = 4_H）を使用し、スキャングループ 0 にて、仮想チャネルを 4 チャネル分変換する場合の動作例を**図 27.10** に示します。

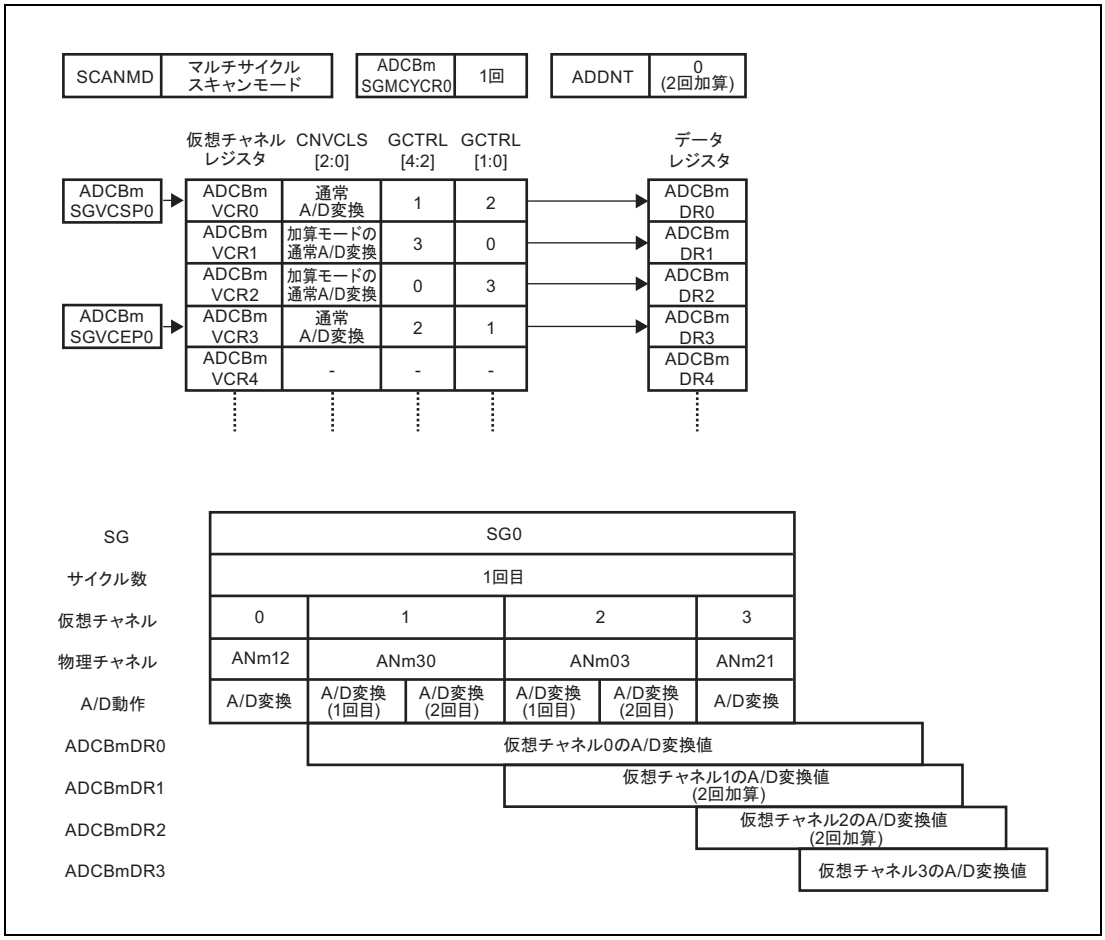


図 27.10 加算モードの通常 A/D 変換動作例

備 考

m ＝ 0、1

27.7.5 外付けアナログマルチプレクサ動作例

通常 A/D 変換 w / MPX モード（CNVCLS[2:0] = 5_H）、もしくは、加算モードの通常 A/D 変換 w / MPX モード（CNVCLS[2:0] = 6_H）を使用し、外付けアナログマルチプレクサを使用した動作例を示します。

27.7.5.1 外付けアナログマルチプレクサ使用例（ポート出力）

外付けアナログマルチプレクサを使用したポート出力の例を**図 27.11** に示します。

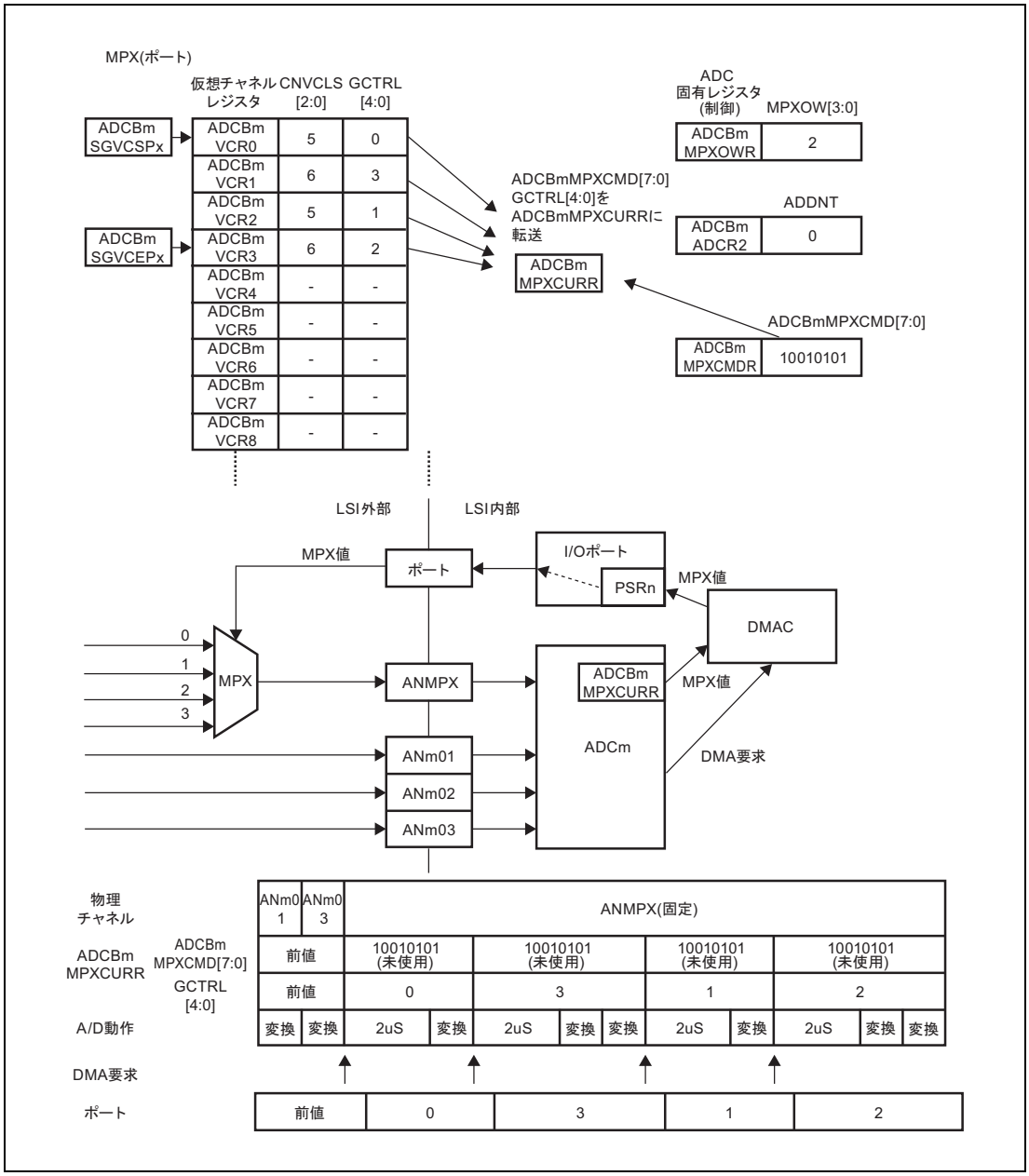


図 27.11 外付けマルチプレクサ使用例～ポート出力～

備 考

m ＝ 0 の場合：ANMPX ＝ AN043　m ＝ 1 の場合：ANMPX ＝ AN100　x ＝ 0 ～ 4

27.7.5.2 外付けアナログマルチプレクサ使用例（SPI 出力）

外付けアナログマルチプレクサを使用した SPI 出力の例を**図 27.12** に示します。

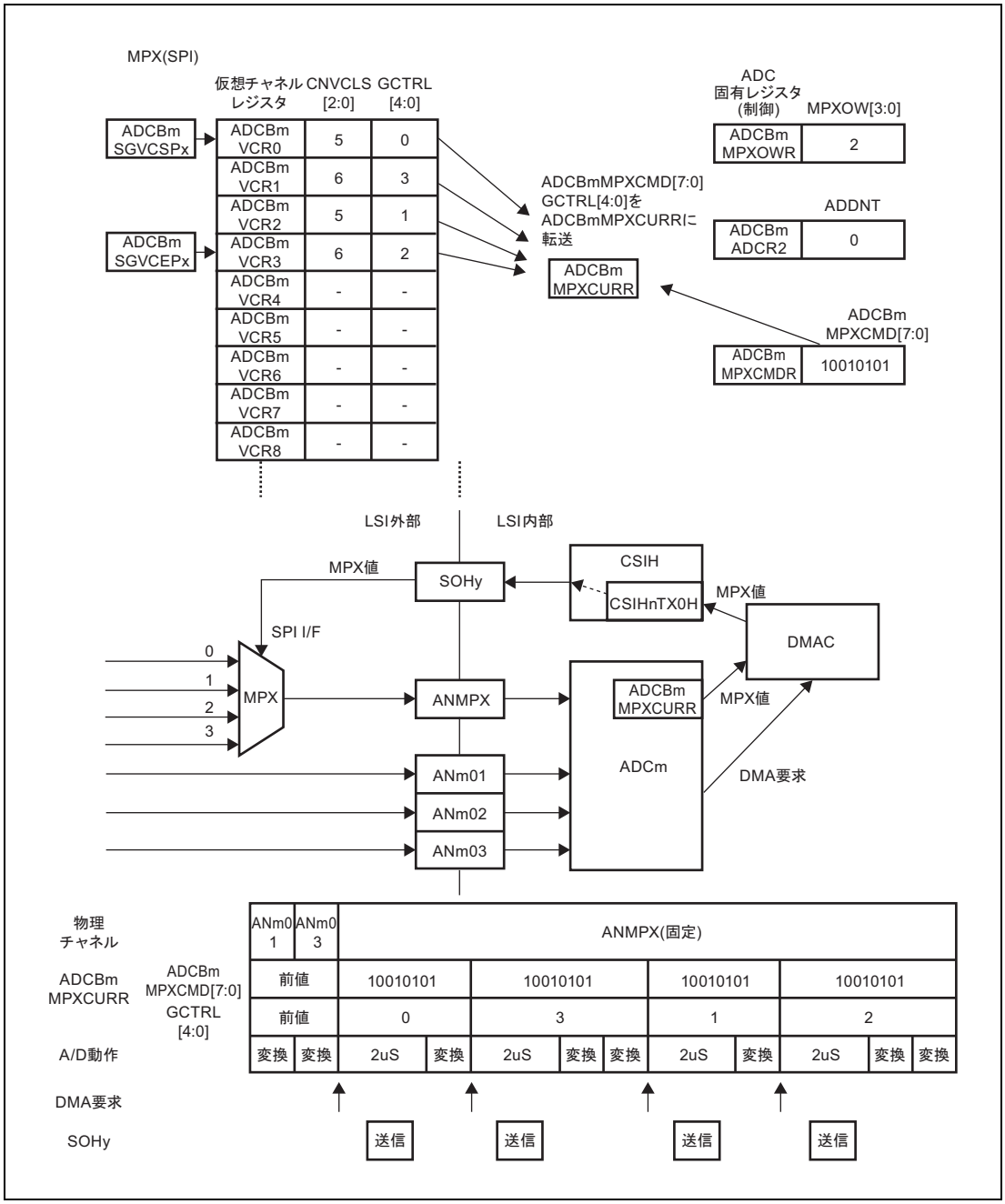


図 27.12 外付けマルチプレクサ使用例～ SPI 出力～

備 考

m ＝ 0 の場合：ANMPX ＝ AN043 m ＝ 1 の場合：ANMPX ＝ AN100 x ＝ 0 ～ 4

27.7.6 同期サスペンド & レジューム動作例

同期サスペンド & レジューム動作の例を示します。低優先 SG に対して高優先 SG が割り込む場合についての動作です。

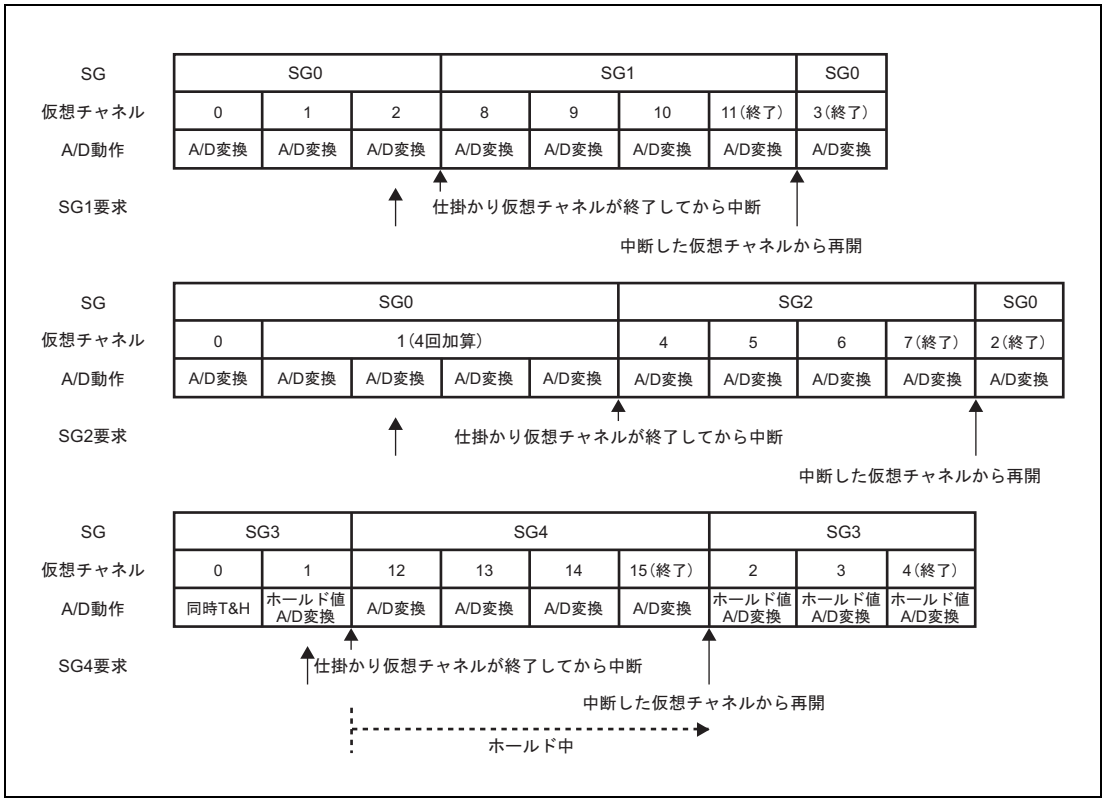


図 27.13 同期サスペンド＆レジューム動作例

注 意

スキャングループの優先順位

低い 高い

SG0 ＜ SG1 ＜ SG2 ＜ SG3 ＜ SG4

27.7.7 非同期サスペンド & レジューム動作例

非同期サスペンド & レジューム動作の例を**図 27.14** に示します。低優先 SG に対して高優先 SG が割り込む場合の動作です。

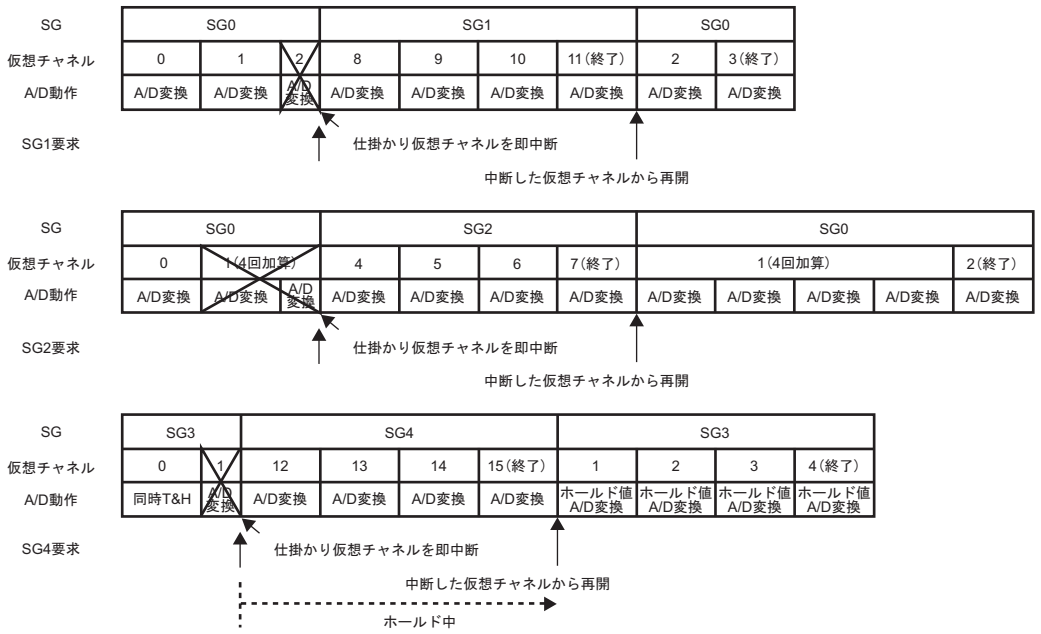


図 27.14 非同期サスペンド＆レジューム動作例

注 意

スキャングループの優先順位

低い 高い

SG0 ＜ SG1 ＜ SG2 ＜ SG3 ＜ SG4

27.7.8 AD タイマ動作例

AD タイマ動作例を**図 27.15** に示します。

AD タイマは、40MHz のクロックにて、カウント動作します。

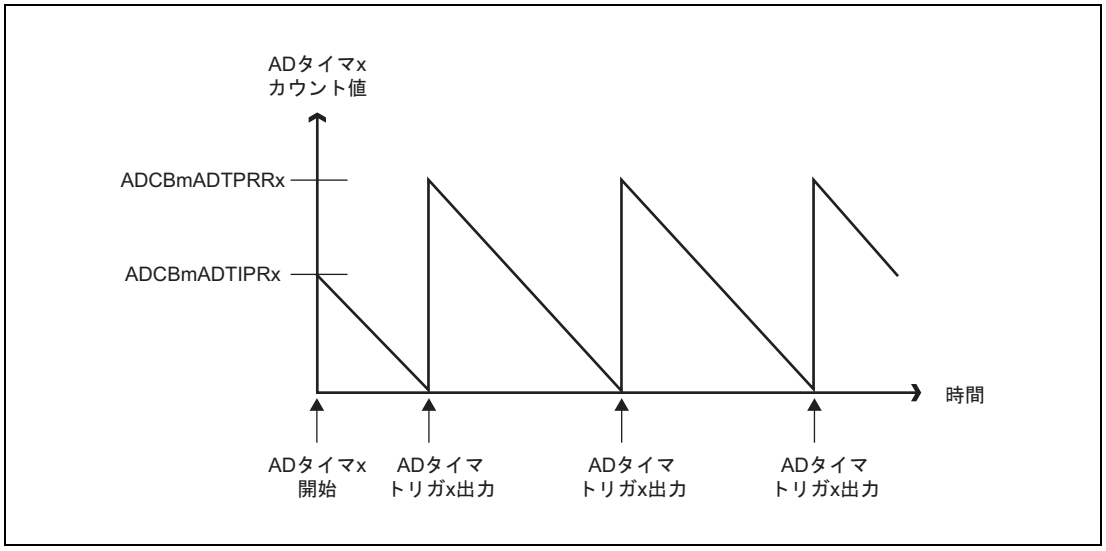


図 27.15 AD タイマ動作例

備 考

m = 0、1 x = 3、4

27.7.9 自己診断機能

ADC は、以下の 3 つの自己診断機能を有しています。

- 端子レベル自己診断機能
- A/D 変換回路自己診断機能
- 断線検出自己診断回路機能

27.7.9.1 端子レベル自己診断機能

端子レベル自己診断は、偶数物理チャネルグループ、奇数物理チャネルグループに対して、異電源に設定した AD 変換を実行することで、ANI からの経路異常を診断するものです。

また、異電源の設定は、ADCBmTDCR で設定し、AVSS、AVCC、1/2 × AVCC の組合せで検出が可能です。

ADC での端子レベル自己診断機能の特徴、及び、設定を示します。

【特徴】

(1) ユーザは、テストする物理チャネルを任意に選択ができます。

(2) 自己診断レベルは、AVSS、AVCC、1/2AVCC を選択することが可能です。

(3) SG0-4 の AD 変換を実施することで、端子レベル自己診断機能が可能です。

【設定】

(1) 初期設定（**「図 27.3 初期設定」**）に沿い設定を行います。

(2) 仮想チャネル設定レジスタ ADCBmVCRn で、CNVCLS[2:0] = 0_H、GCTRL[4:0] に任意のチャネルを設定します。

(3) 端子レベル自己診断機能の設定レジスタ、TDE = 1_H、TDLV[1:0] に任意の端子レベル自己診断レベルを設定します。

(4) 初期設定（**「図 27.3 初期設定」**）に沿って、その他の AD 変換に必要な設定を行います。

(5) SG0-4 のトリガをアサートし、AD 変換を実行します。

備 考

m = 0、1 n = 0 ～ 39

27.7.9.2 A/D 変換回路自己診断機能

AD 変換回路自己診断は、AD 変換が正常に動作することの自己診断機能です。 電圧値の設定は、CNVCLS[2:0] = 3_H 時の GCTRL[4:0] で行い、AVREFH × 1, AVREFH × 3/4, AVREFH × 1/2, AVREFH × 1/4, AVREFH × 0 での変換が可能です。

ADC での、AD 変換回路自己診断機能の特徴を以下に示します。

【特徴】

1. 自己診断電圧レベルは、AVREFH × 1, AVREFH × 3/4, AVREFH × 1/2, AVREFH × 1/4, AVREFH × 0 の選択が可能です。
2. SG0-4 の AD 変換を実施することで、AD 変換回路自己診断機能が可能です。

【設定】

1. 初期設定（**「図 27.3 初期設定」**）に沿い設定を行います。
2. 仮想チャネル設定レジスタ ADCBmVCRn で、CNVCLS[2:0] = 3_H とし、GCTRL[5:0] に任意の自己診断電圧レベルを設定します。
3. 初期設定（**「図 27.3 初期設定」**）に沿って、その他の AD 変換に必要な設定を行います。
4. SG0-4 のトリガをアサートし、AD 変換を実行します。

備 考

m = 0、1 n = 0 ～ 39

A/D 変換回路自己診断前に A/D 変換を行った端子に対し、注入電流が印加されている状態で A/D 変換回路自己診断を行った場合、A/D 変換精度に影響を与えることがあります。そのため、A/D 変換回路自己診断前の A/D 変換対象は注入電流が印加されない端子を選択してください。

以下に設定例を示します。

注 意

端子に印加される電圧が供給される電源電圧を超えた場合、およびグランド電圧を下回った場合、注入電流が発生します。

(1) 同じ SG で A/D 変換と A/D 変換回路自己診断を行う場合、A/D 変換回路自己診断前に注入電流が印加されない端子を選択してください。

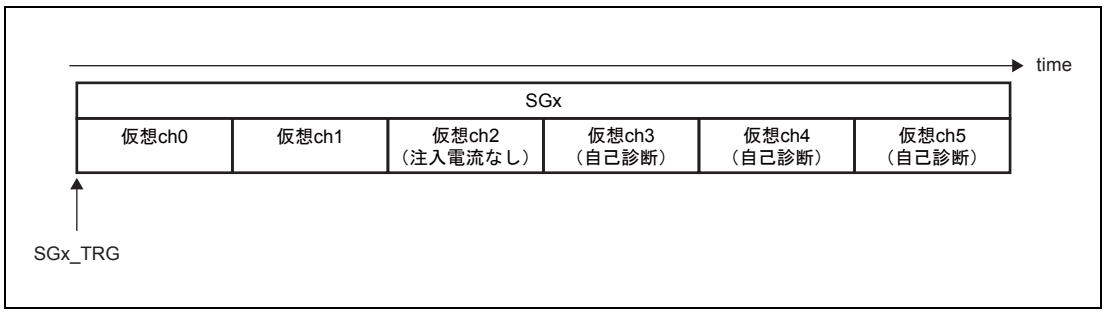


図 27.16 同 SG 内で A/D 変換と A/D 変換回路自己診断を行う場合の設定例

(2) A/D 変換回路自己診断を実施する SG より高優先の SG がある場合、高優先の SG の A/D 変換を実施するために、A/D 変換回路自己診断が中断された後、再開されることがあります。この場合は、高優先の SG の最後で注入電流が印加されない端子[注1]を変換してください。

注 1. 注入電流が印加されない端子を確定できない場合は、代替として未使用端子を A/D 変換してください。

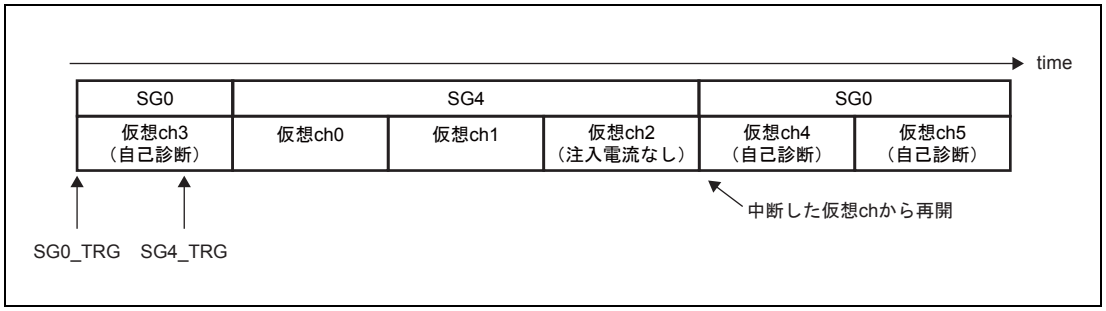


図 27.17 A/D 変換回路自己診断よりも高優先となる SG がある場合の設定例

27.7.9.3 断線検出自己診断機能

断線検出自己診断機能は、ANI の断線検出をする機能です。断線が起こっている場合、変換結果は 0V 近傍に減衰し、変換結果に異常値が検出されるため、断線検出と判断することが可能です。

【特徴】

(1) ユーザは、断線検出をする物理チャネルを任意に選択ができます。

【設定】

(1) 初期設定（**「図 27.3 初期設定」**）に沿い設定を行います。

(2) 仮想チャネル設定レジスタ ADCBmVCRn で、CNVCLS[2:0] = 0_H、GCTRL[5:0] に任意のチャネルを設定します。

(3) 断線検出機能の設定レジスタ、ODE = 1_H、ODPW[5:0] に任意の断線検出パルス幅を設定します。

(4) SG0-4 のトリガをアサートし、AD 変換を実行します。

備 考

m = 0、1 n = 0 ～ 39

27.7.10 アナログ入力のサンプリングとスキャングループ処理時間

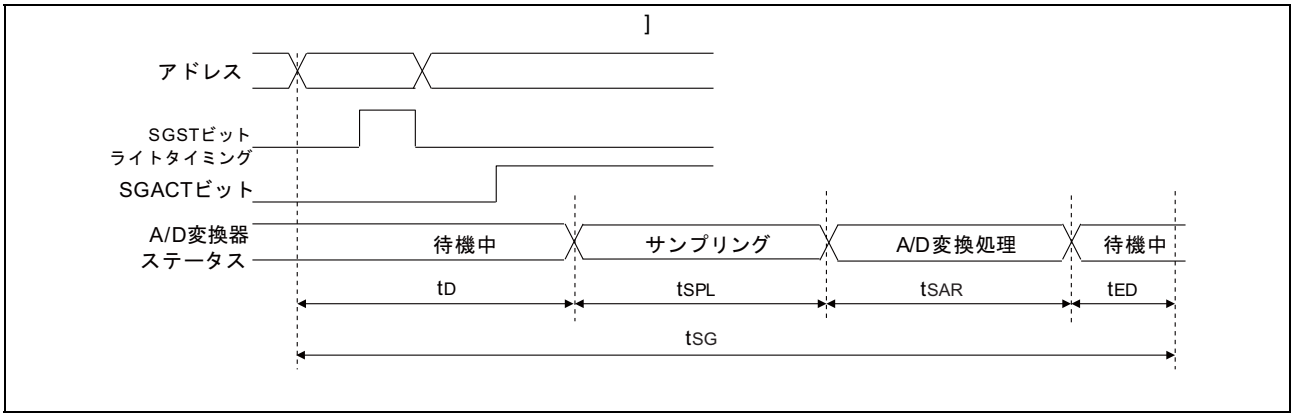


図 27.18 通常 A/D 変換動作時のタイミングチャート（1 回変換）

アナログ入力の後にトラック＆ホールド回路があります。ADC には、サンプル＆ホールド回路が内蔵されています。ADC は、ADCBmSGCRx の SGST ビットが 1 にセットされてから、スキャングループ開始遅延時間（tD）の経過後にサンプリングを行い、この後に逐次比較変換処理を開始します。

「図 27.18 通常 A/D 変換動作時のタイミングチャート（1 回変換）」に 1 仮想チャネルの 1 サイクルスキャンで動作のタイミングを示します。スキャングループ処理時間（tSG）は、スキャングループ開始遅延時間（tD）、サンプリング時間（tSPL）、逐次比較変換処理時間（tSAR）、スキャングループ終了遅延時間（tED）を含めた時間となります。スキャングループ処理時間を**「表 27.40 スキャングループ処理時間」**に示します。

マルチサイクルスキャンモードにて仮想チャネル数が i、マルチサイクル回数が j のスキャングループ処理時間（tSG）は、以下の計算式で求められます。

$$tSG = tD + (tSPL + tSAR) \times i \times j + tED$$

連続スキャンモードの 1 サイクル目のスキャンは $tD + (tSPL + tSAR) \times i$

連続スキャンモードの 2 サイクル目以降のスキャンは $(tSPL + tSAR) \times i$

となります。

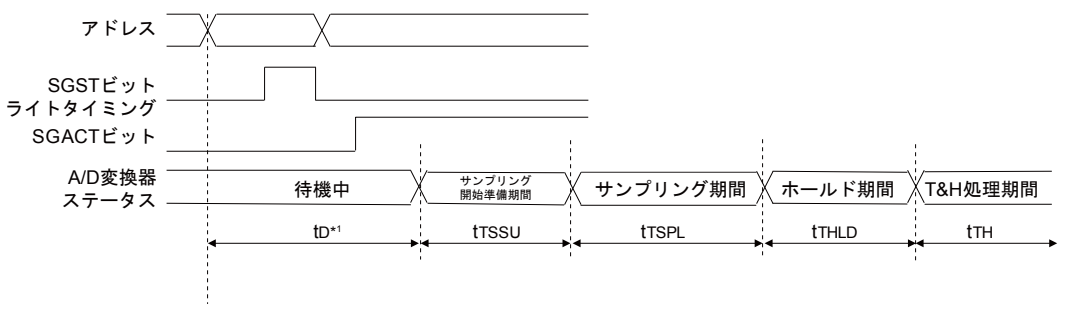
表 27.40 スキャングループ処理時間

項目	記号	期間	単位
スキャングループ開始遅延時間	tD	(2 ～ 4) × Pϕ + 5 × Iϕ	Pϕ（CLK_LSB） Iϕ（CLKC_LSB）
サンプリング時間	tSPL	18 × Iϕ	Iϕ（CLKC_LSB）
逐次比較変換処理時間	tSAR	22 × Iϕ	Iϕ（CLKC_LSB）
スキャングループ終了遅延時間	tED	(2 ～ 4) × Iϕ + 3 × Pϕ	Pϕ（CLK_LSB） Iϕ（CLKC_LSB）
スキャングループ処理時間	tSG	47 × Iϕ + 5 × Pϕ ～ 49 × Iϕ + 7 × Pϕ	Pϕ（CLK_LSB） Iϕ（CLKC_LSB）

備 考

m ＝ 0、1 x ＝ 0 ～ 4

27.7.10.1 選択 T&H 実行／ホールド値 A/D 変換動作時の処理時間



備考 tD は、図 27.18 参照

図 27.19 選択 T&H 実行／ホールド値 A/D 変換動作時のタイミングチャート

アナログ入力の後にトラック＆ホールド回路があります。サンプリングを開始してからホールド状態に変更するまでの時間（tTSPL）とホールド状態に変更してから A/D 変換を開始するまでの時間規定（tTHLD）を以下に示します。また、仮想チャネルで T&H を実行したときの T&H 処理時間（tTH）を**表 27.41** に示します。

表 27.41 トラック＆ホールド時の処理時間

項目	記号	処理時間	単位
サンプリング開始準備期間	tTSSSU	3	Iφ（内部クロック）
サンプリング期間	tTSPL	27	Iφ（内部クロック）
ホールド期間	tTHLD	10	Iφ（内部クロック）
T&H 処理期間	tTH	40	Iφ（内部クロック）

27.7.11 スキャングループのトリガ入力選択

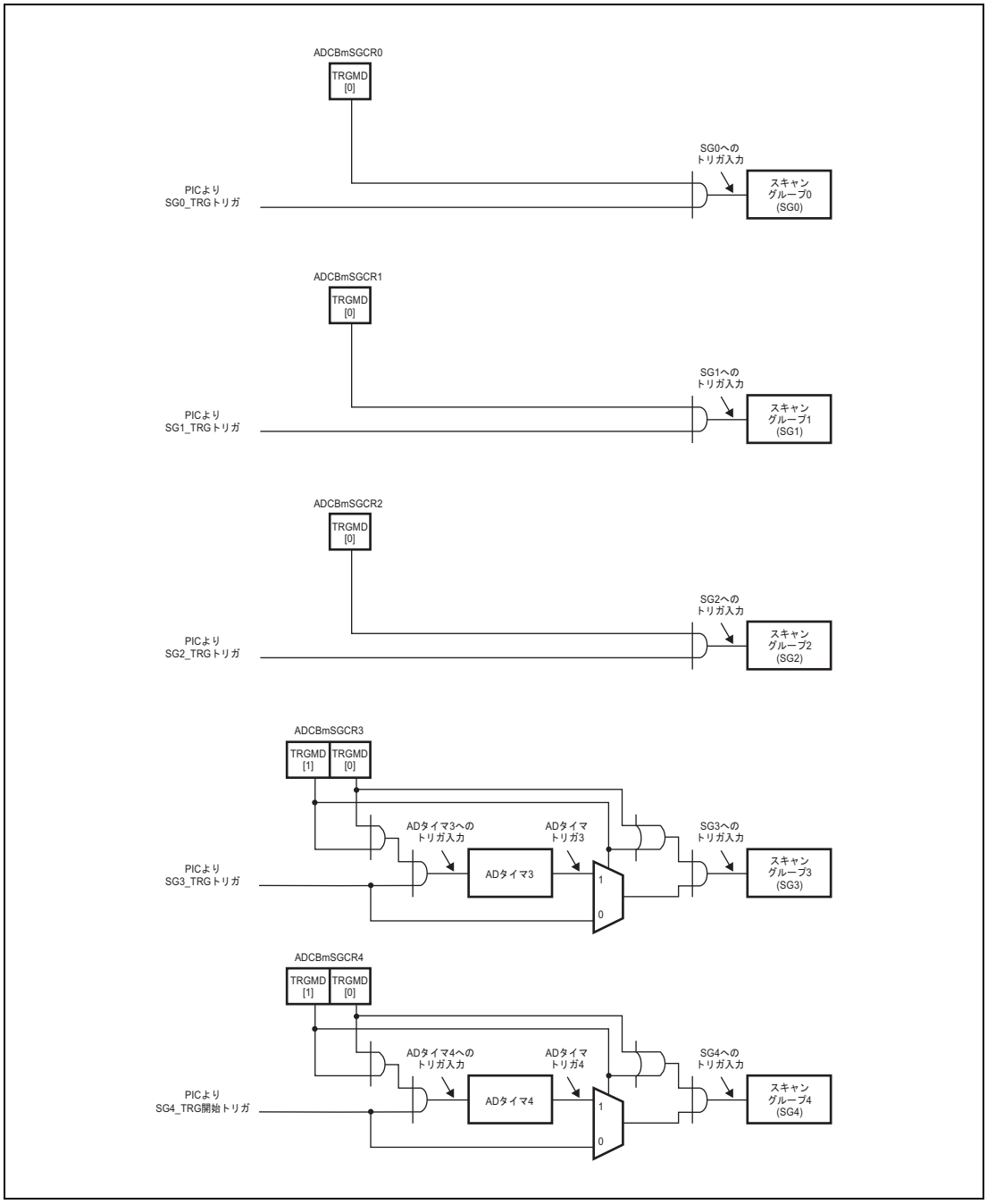


図 27.20 スキャングループのトリガ入力

備 考

m = 0、1

27.7.12 ハードウェアトリガによるスキャングループの起動

ハードウェアトリガ SGx_TRG の入力で、スキャングループ x を起動することができます。ハードウェアトリガ SGx_TRG の入力で、スキャンループ x を起動する場合には、ADCBmSGCRx の TRGMD を 1_H に設定します。この状態で選択したハードウェアトリガ SGx_TRG が入ると、SGACT を 1 にセットします。SGACT が 1 にセットされてからスキャングループ x が開始されるまでのタイミングは、ソフトウェアトリガで SGST を 1 にセットされた場合と同じです。

備　考

m ＝ 0、1　x ＝ 0 ～ 4

27.7.13 AD タイマトリガによるスキャングループの起動

AD タイマ 3, 4 のタイマトリガによって、スキャングループ 3, 4 を起動することができます。AD タイマ 3, 4 のタイマトリガでスキャングループ 3, 4 を起動する場合には、ADCBmSGCR3, 4 の TRGMD を 2_H にセットします。さらにスキャングループ 3, 4 の ADTST に 1 をセットし、AD タイマ 3, 4 を起動します。

この状態でタイマトリガが入ると、SGACT を 1 にセットします。SGACT が 1 にセットされてからスキャングループ 3, 4 が開始されるまでのタイミングは、ソフトウェアで SGST を 1 にセットされた場合と同じです。

備　考

m ＝ 0、1

27.7.14 ハードウェアトリガによる AD タイマの起動

ハードウェアトリガ SG3_TRG, SG4_TRG の入力で、AD タイマ 3, 4 を起動することができます。ハードウェアトリガ SG3_TRG, SG4_TRG の入力で、AD タイマ 3, 4 を起動する場合には、ADCBmSGCR3, 4 の TRGMD を 3_H に設定します。この状態で選択した外部トリガが入ると AD タイマ 3, 4 が起動します。さらに AD タイマ 3, 4 のタイマトリガによりスキャングループ 3, 4 を起動します。

備　考

m ＝ 0、1

27.7.15 A/D 変換モニタ端子によるモニタ機能

ADENDm によって、ADCBmADENDP で指定する仮想チャネルの処理タイミングをモニタすることができます。

端子の設定については、**「第 2 章 端子」**を参照してください。

図 27.21 に A/D 変換モニタタイミングを示します。

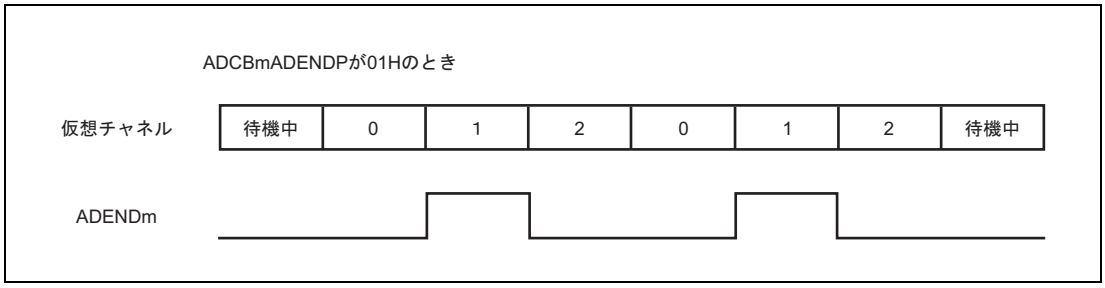


図 27.21 A/D 変換モニタタイミング

注 意

低優先スキャングループで ADENDm がハイレベルを出力しているときに高優先のスキャングループにより中断（非同期サスペンド）した場合、一度ローレベルを出力します。そのあとに再度低優先スキャングループで中断した仮想チャネルが実行（レジューム）されるため、ADENDm は再びハイレベルを出力します。

備 考

m ＝ 0、1

27.7.16 スキャン終了割り込み要求

スキャングループ x は、INTC へのスキャン終了割り込み要求（ADImx）を発生することができます。ADCBmSGCRx の ADIE を 1 に設定すると SGx のスキャン終了で ADImx を出力し、0 に設定すると SGx のスキャン終了時の ADImx の出力を禁止できます。また、ADCBmVCRn の ADIE を 1 に設定すると SGx の仮想チャネル n の A/D 変換終了で ADImx を出力し、0 に設定すると SGx の仮想チャネル n の A/D 変換終了時の ADImx の出力を禁止できます。ADCBmSGCRx の ADIE の設定と ADCBmVCRn の ADIE の設定は無関係です。

例 1) ADCBmSGCR0 の ADIE ＝ 0、ADCBmVCR0 の ADIE ＝ 1、ADCBmVCR1 の ADIE ＝ 0、SG0 で仮想チャネル 0 ～ 1 のスキャン実行
仮想チャネル 0 の A/D 変換終了で ADIm0 が出力します。

例 2) ADCBmSGCR0 の ADIE ＝ 0、ADCBmVCR0 の ADIE ＝ 1、ADCBmVCR1 の ADIE ＝ 1、SG0 で仮想チャネル 0 ～ 1 のスキャン実行
仮想チャネル 0 と仮想チャネル 1 の A/D 変換終了で ADIm0 が出力します。

例 3) ADCBmSGCR0 の ADIE ＝ 1、ADCBmVCR0 の ADIE ＝ 0、ADCBmVCR1 の ADIE ＝ 0、SG0 で仮想チャネル 0 ～ 1 のスキャン実行

スキャン終了（仮想チャネル 1 の A/D 変換終了）で ADIm0 が出力します。

また、マルチサイクルスキャンモードの 2 サイクル以上、及び、連続スキャンモード時は、スキャン終了（仮想チャネル 1 の A/D 変換終了）毎に ADIm0 が出力します。

さらに、ADImx 発生時に DMAC を起動することができます。

DMAC の設定については**「第 7 章　DMA」**を参照してください。

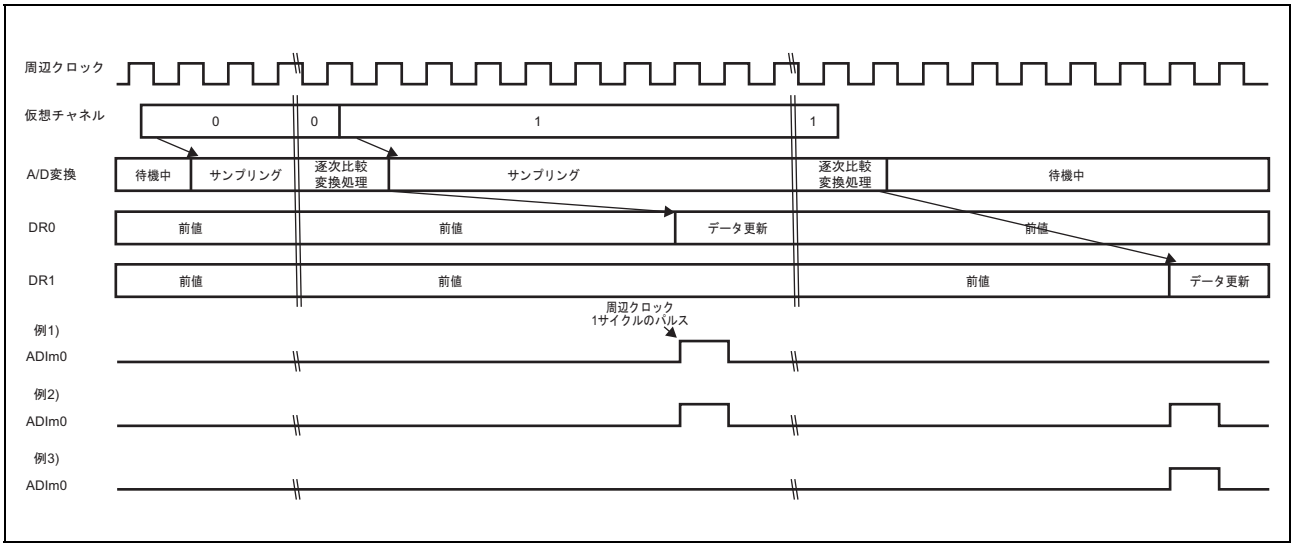


図 27.22　スキャン変換終了割り込み発生タイミング

備　考

m = 0、1　x = 0 ～ 4　n = 0 ～ 39

27.7.17 MPX 割り込み要求

ADC は、INTC への MPX 割り込み要求（ADMPXIm）を発生することができます。ADCBmVCRn で CNVCLS[2:0] = 5_H、または、6_H にセットされた仮想チャネルの開始時に、ADMPXIm が発生します。ADMPXIm 発生時に DMAC を起動することができます。

DMAC の設定については**「第 7 章 DMA」**を参照してください。

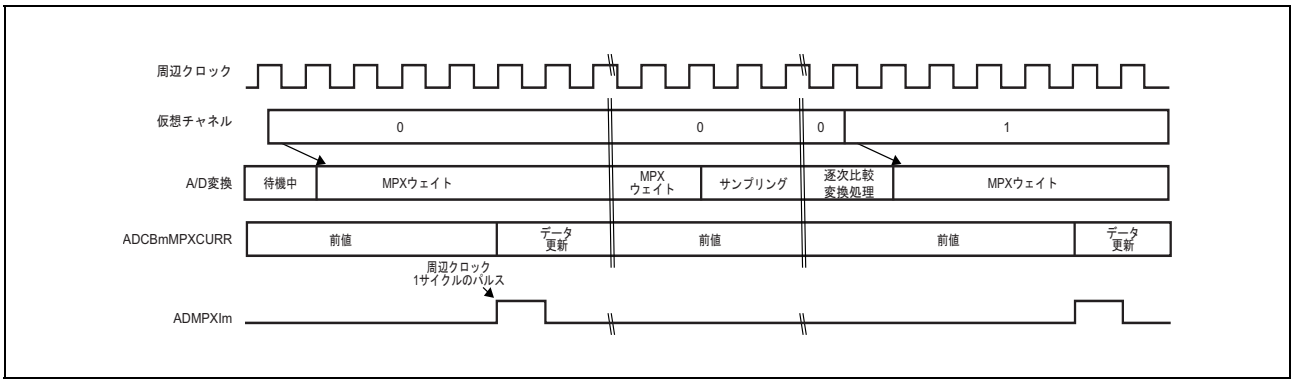


図 27.23 MPX 割り込み発生タイミング

備 考

m = 0、1 n = 0 ～ 39

27.7.18 AD エラー割り込み要求と AD パリティエラー割り込み要求

ADC は、INTC への AD エラー割り込み要求（ADEm）と ECM（エラーコントロールモジュール）への AD パリティエラー通知（ADPEm）を発生することができます。
ADCBmSFTCR の ULEIE、OWEIE、IDEIE が 1 に設定されたエラー要因の OR 条件を ADEm として発生します。0 に設定されたエラー要因の ADEm は禁止することができます。
ADCBmSFTCR の PEIE を 1 に設定すると ADPEm を許可、0 に設定すると ADPEm を禁止します。

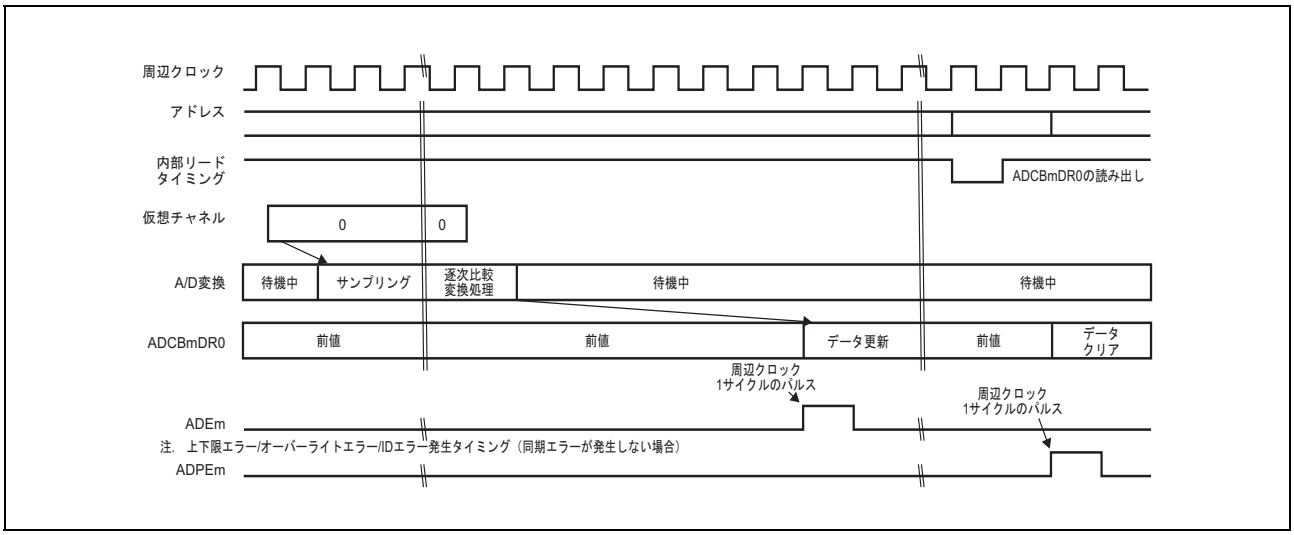


図 27.24 AD エラー割り込み／パリティエラー割り込み発生タイミング

備 考

m ＝ 0、1

27.7.19 DFE/APA/ASF へのエントリ機能

ADC は、ADCBmVCRn の DFENT、ADCBmDFASENTSGER の DFENTSGxE、ASENTSGxE の設定に従って、DFE/APA0/ASF に対して、DFE/APA0 へのエントリ要求、及び、ASF へのエントリ要求を出力し、エントリすることができます。同時に ADCBmVCRn の DFTAG に設定した TAG 情報、A/D 変換データを出力します。出力する A/D 変換データのフォーマットについては、**「27.5.2 ADCBmDRn — データレジスタ n」**を参照してください。

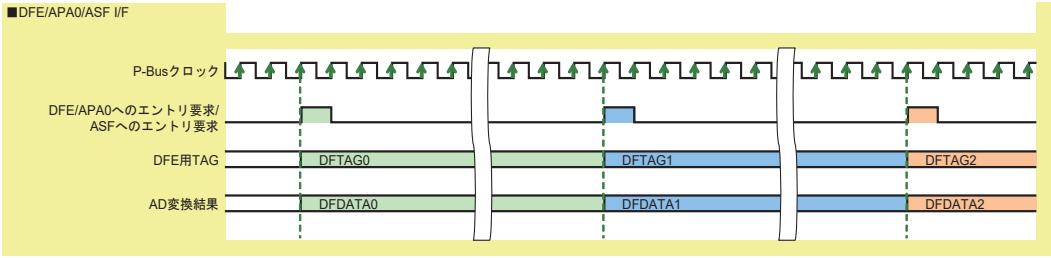


図 27.25 DFE/APA0/ASF エントリタイミング図

備 考

m = 0、1 n = 0 ～ 39 x = 0 ～ 4

27.8 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
  A/D 変換器のデジタル出力コード数
- 量子化誤差
  A/D 変換器が本質的に有する誤差であり、1/2LSB で与えられる（**「図 27.26 A/D 変換精度の定義」**）。
- オフセット誤差
  デジタル出力が最小電圧値 000_H から 001_H に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない（**「図 27.26 A/D 変換精度の定義」**）。
- フルスケール誤差
  デジタル出力が FFE_H から FFF_H に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない（**「図 27.26 A/D 変換精度の定義」**）。
- DNL（微分非直線性誤差)
  理想デジタル出力コード幅（Vq）と実際のデジタル出力コード幅（Va）との偏差であり、（Va － Vq）／ Vq で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない（**「図 27.26 A/D 変換精度の定義」**）。
- INL（積分非直線性誤差）
  ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの偏差であり、000_H から任意のデジタル出力コードまでの DNL の積分で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない（**「図 27.26 A/D 変換精度の定義」**）。
- 絶対精度
  デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、DNL、および INL を含む（**「図 27.26 A/D 変換精度の定義」**）。

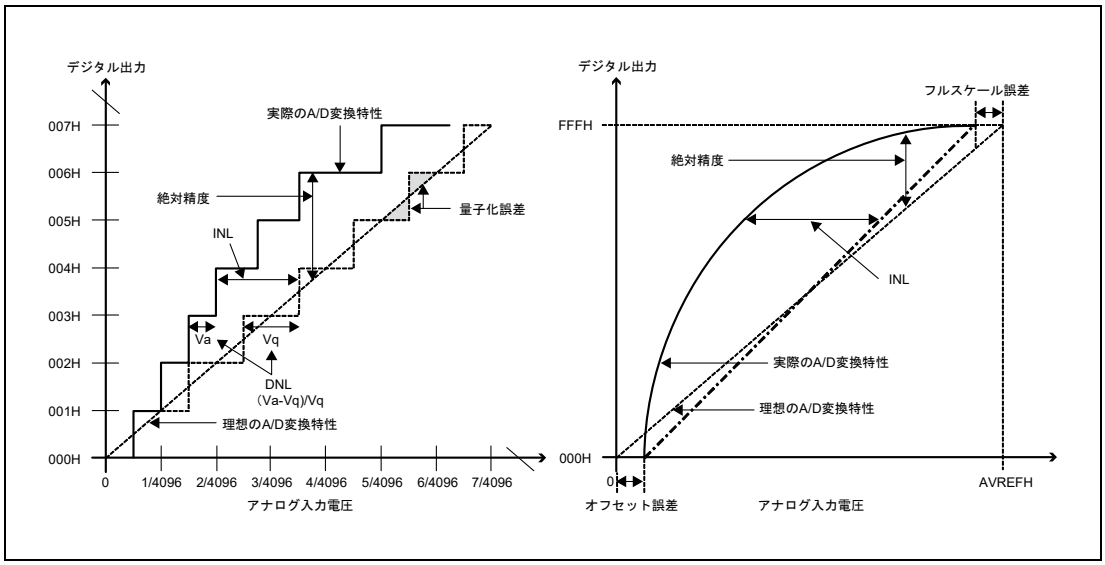


図 27.26 A/D 変換精度の定義

27.9 使用上の注意事項

27.9.1 外付けアナログマルチプレクサの使用上の注意点

外付け MPX を使用するときにシステム破綻をおこさないために以下の注意事項を守ってください。

例外を除いて、MPX のウェイトは以下のようにしてください。

- ポートで MPX 値を転送する場合：1usec 以上のウェイトを入れてください。
- SPI I/F で MPX 値を転送する場合 : SPI 送信時間 ＋ 1usec 以上のウェイトを入れてください。

例外 1) 1 つのスキャングループで外付け MPX を使用する場合

SUSMTD[1:0] ＝ 1_H の設定のとき SG0 にて外付け MPX を使用するか、もしくは、SUSMTD[1:0] ＝ 2_H の設定のとき SG0 ～ SG3 のいずれかで外付け MPX を使用するときは、MPX のウェイトは以下のようにしてください。

- ポートで MPX 値を転送する場合：1usec 以上のウェイトを入れてください。
- SPI I/F で MPX 値を転送する場合：SPI 送信時間 × 2 以上のウェイトを入れてください。

例外 2) 複数のスキャングループで外付け MPX を使用する場合

SUSMTD[1:0] ＝ 1_H もしくは 2_H の設定にて外付け MPX を使用するときは、以下の注意事項を守ってください。

- 各スキャングループの先頭仮想チャネルは、外付け MPX を使用しない設定としてください。
  （ただし、外付け MPX を使用するスキャングループの中で最も優先順位の低いスキャングループの先頭仮想チャネルについては、外付け MPX を使用する設定としても問題ありません。）
- SPI I/F にて転送するスキャングループ数は、2 つまでにしてください。

さらに、MPX のウェイトは以下のようにしてください。

- ポートで MPX 値を転送する場合：1usec 以上のウェイトを入れてください。
- SPI I/F で MPX 値を転送する場合：SPI 送信時間 × 2 以上のウェイトを入れてください。

27.9.2 アナログ入力端子の使用上の注意

1 つのアナログ端子を ΔΣADC と SAR-ADC の両者で同時に A/D 変換しないでください。

さらにデジタル入力選択中のアナログ端子を SAR-ADC で A/D 変換しないでください。

A/D 精度劣化の原因となります。

アナログ入力端子にデジタル入出力信号がマルチプレクスされている場合は、デジタル汎用入出力端子としても使用できます。デジタル入出力が変化中に ADC 変換を行うと変換精度に悪影響を及ぼす事があります。またアナログ入力端子近隣のデジタル端子を動作させるとノイズにより変換精度に悪影響を及ぼすことがあります。デジタル入出力の ADC 変換結果への影響を小さくする為に、下記の注意事項があります。

(1) アナログ入力端子に関する注意事項

(a) RC の C を LSI 端子の直近に配置して下さい。C を端子の直近に配置することにより、アナログ端子の変換精度の悪化が抑制されます。精度改善レベルは基板条件に依存することからユーザ側基板での評価をお願いします。

(2) アナログ端子近隣のデジタル動作端子に関する注意事項

(a) デジタル入力として使用しない端子についてポート機能としてデジタル入力禁止に設定してください。

(b) デジタル入力に入力するデジタル信号はオーバーシュート、アンダーシュートさせないでください。

(c) 電圧は AVCC = EVCC でご使用ください。（アナログ端子にデジタル機能がマルチされている場合）
-0.3V ≦ AVCC-EVCC ≦ 0.3V
の範囲を守れない場合は、LSI の信頼性に悪影響を及ぼす場合があります。

(d) 充放電電流を抑えるために出力端子に接続される負荷容量が小さくなるように基板設計を行って下さい。

(e) 影響のある端子の出力ドライブ能力（倍力）を下げて使用してください

(3) 変換結果への影響に対するソフトウェア対策方法

(a) 複数回の ADC 変換結果の平均値を ADC 変換結果として使用して下さい。

(b) 複数回の ADC 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した値を変換結果を使用してください。

27.9.3 注入電流印加時の注意事項

注入電流を印加した状態で同時トラック＆ホールド機能を使用した A/D 変換を行った場合、A/D 変換精度に影響を与えることがあります。

注入電流による A/D 変換精度の影響を回避するため、以下のいずれかの内容に従って設定してください。

注　意

端子に印加される電圧が供給される電源電圧を超えた場合、およびグランド電圧を下回った場合、注入電流が発生します。

(1) 同時トラック＆ホールド機能を使用する場合は、下記表に示す「注入電流が変換精度に影響する端子」に注入電流を印加しないでください。

表 27.42 T&H 回路と変換精度に影響する端子の組み合わせ

ユニット名	変換対象の T&H 回路	注入電流が変換精度に影響する端子
ADCB0	T&H 回路 0	AN000
	T&H 回路 1	AN001
ADCB1	T&H 回路 0	AN100
	T&H 回路 1	AN101

(2) 同時トラック＆ホールド機能を使用時、ADCBnVCRj.GCTRL ビットの bit4、3 に 00_B 以外の値を設定することで、「注入電流が変換精度に影響する端子」を変更することができます。
以下に ADCBnVCRj.GCTRL ビットの bit4、3 の設定値（00_B 以外）と「注入電流が変換精度に影響する端子」の対応を示します。下記表に従って、「注入電流が変換精度に影響する端子」が該当端子なし、あるいは、注入電流がない端子となるように ADCBnVCRj.GCTRL ビットの bit4、3 を設定してください。

表 27.43 T&H 回路と変換精度に影響する端子の組み合わせ（ADCBnVCRj.GCTRL ビット使用）

ユニット名	変換対象の T&H 回路	GCTRL[4:3] の設定値（00_B 以外）	注入電流が変換精度に影響する端子
ADCB0	T&H 回路 0	11_B	—（該当端子なし）
	T&H 回路 1	11_B	—（該当端子なし）
ADCB1	T&H 回路 0	00_B	AN100
		01_B	AN120
		10_B	AN140
		11_B	AN160
	T&H 回路 1	00_B	AN101
		01_B	AN121
		10_B	AN141
		11_B	AN161

27.9.4 レジスタ設定時の注意事項

表 27.44 に示すレジスタを設定する場合、当該レジスタを読み出した後に、書き込みを行ってください。または、当該レジスタ以外のレジスタ (または、別 AD モジュールのレジスタ) のライト後に書込みを行ってください。これらの手順を実施しない場合、レジスタに書き込んだ値が動作に正しく反映されない場合があります。

表 27.44 設定時に読み出しが必要なレジスタ

対象レジスタ名	略号
スキャングループ x 制御レジスタ	ADCBmSGCRx
スキャングループ x 仮想開始レジスタ	ADCBmSGVCSPx
スキャングループ x 仮想終了レジスタ	ADCBmSGVCEPx

備考 m = 0, 1
x = 0 ～ 4

27.10 IFC（Integer/Floating-point 変換モジュール）

IFC は、ADC のデータレジスタを IFC 経由で読み出しすることにより浮動小数点フォーマットに変換して読み出すことができるモジュールです。

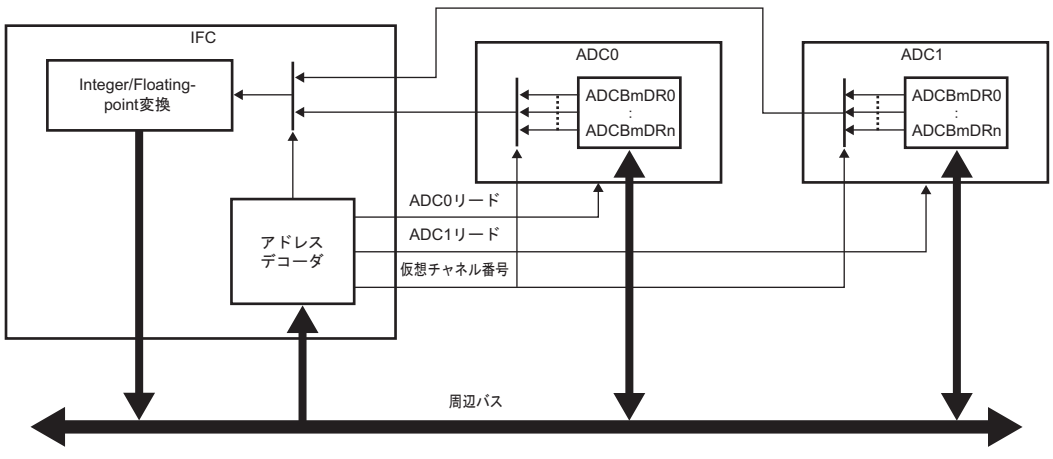
27.10.1 特長

IFC の特長を以下に示します。

- 浮動小数点フォーマット：IEEE754 規格の単精度です。
- 対応レジスタ：ADC の全仮想チャネルのデータレジスタに対応しています。

27.10.2 構成

図 27.27 に IFC の構成ブロック図を示します。



備考 n = 39

図 27.27 構成ブロック図（例）

27.10.3 レジスタアドレス

表 27.45 レジスタベースアドレス <IFC_base>

<IFC_base> アドレス
FFF2 3000_H

表 27.46 レジスタアドレス一覧

レジスタ名	略号	アドレス
浮動小数点データレジスタ mn	FDRmn	<IFC_base> + m × 100_H + n × 4

備考 m = 0、1 n = 00 ～ 39

27.10.4 レジスタ

27.10.4.1 FDRmn — 浮動小数点データレジスタ mn

FDRmn は、ADCm の DRn を浮動小数点フォーマットに変換して読み出すことができる 32 ビットの読み出し専用レジスタです。ADC のデータレジスタを符号付固定小数点フォーマットから浮動小数点フォーマットに変換します。このとき符号付整数フォーマット（ADCm の ADCBmADCR2 の DFMT ＝ 1）であっても、符号付固定小数点フォーマットとみなして変換します。

符号付固定小数点フォーマット

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	S	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

小数点位置

浮動小数点フォーマット

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	S	EXP[7:0]								FRACTION[22:16]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRACTION[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.47 FDRmn レジスタの内容

ビット位置	ビット名	機能
31	S	符号ビット
30 ～ 23	EXP[7:0]	指数部
22 ～ 0	FRACTION [22:0]	仮数部

式：$(-1)^S \times 2^{(EXP-127)} \times (1 + (Fraction \times 2^{(-23)}))$

備　考

m = 0、1　n = 00 ～ 39

27.11 ASF（ADC 積算機能）

ASF は、ADC からの A/D 変換値を指定した回数だけ積算し、積算値をレジスタに保持する機能を持っています。

27.11.1 特長

ASF の特徴を以下に示します。

- 対応モジュール：ADC0
- 積算チャネル数：11 チャネル
- ADC からのエントリ：
  ADC より ASF エントリ要求、DFE 用 TAG および DFE 用データを受けて ASF の各積算チャネルにエントリします。DFE 用 TAG の TAG 値と同じ番号の積算チャネルにエントリします。
- 積算データレジスタ：32 ビット
- 積算終了割り込み：
  各チャネルで指定された回数分の積算が終了するたびに CPU に対する割り込み要求 (ASI00 ～ ASI10) の発生ができます。

27.11.2 構成

図 27.28 に ASF のブロック図を示します。

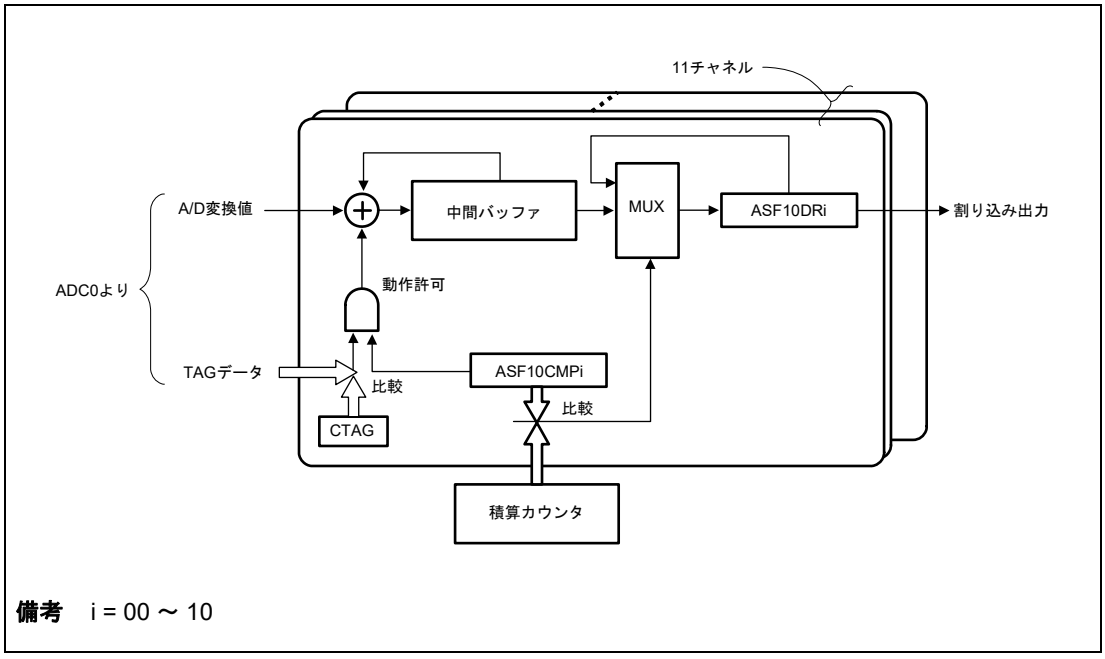


図 27.28 ASF 構成ブロック図

27.11.3 レジスタアドレス

表 27.48 レジスタベースアドレス <ASF_base>

<ASF_base> アドレス
FFF2 2000_H

表 27.49 レジスタアドレス一覧

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
積算データリードレジスタ 0	ASF1nDR00	$0000\ 0000_H$	<ASF_base> + 00_H	32
積算データリードレジスタ 1	ASF1nDR01	$0000\ 0000_H$	<ASF_base> + 04_H	32
積算データリードレジスタ 2	ASF1nDR02	$0000\ 0000_H$	<ASF_base> + 08_H	32
積算データリードレジスタ 3	ASF1nDR03	$0000\ 0000_H$	<ASF_base> + $0C_H$	32
積算データリードレジスタ 4	ASF1nDR04	$0000\ 0000_H$	<ASF_base> + 10_H	32
積算データリードレジスタ 5	ASF1nDR05	$0000\ 0000_H$	<ASF_base> + 14_H	32
積算データリードレジスタ 6	ASF1nDR06	$0000\ 0000_H$	<ASF_base> + 18_H	32
積算データリードレジスタ 7	ASF1nDR07	$0000\ 0000_H$	<ASF_base> + $1C_H$	32
積算データリードレジスタ 8	ASF1nDR08	$0000\ 0000_H$	<ASF_base> + 20_H	32
積算データリードレジスタ 9	ASF1nDR09	$0000\ 0000_H$	<ASF_base> + 24_H	32
積算データリードレジスタ 10	ASF1nDR10	$0000\ 0000_H$	<ASF_base> + 28_H	32
積算コンペアマッチレジスタ 0	ASF1nCMP00	00_H	<ASF_base> + 40_H	8
積算コンペアマッチレジスタ 1	ASF1nCMP01	00_H	<ASF_base> + 44_H	8
積算コンペアマッチレジスタ 2	ASF1nCMP02	00_H	<ASF_base> + 48_H	8
積算コンペアマッチレジスタ 3	ASF1nCMP03	00_H	<ASF_base> + $4C_H$	8
積算コンペアマッチレジスタ 4	ASF1nCMP04	00_H	<ASF_base> + 50_H	8
積算コンペアマッチレジスタ 5	ASF1nCMP05	00_H	<ASF_base> + 54_H	8
積算コンペアマッチレジスタ 6	ASF1nCMP06	00_H	<ASF_base> + 58_H	8
積算コンペアマッチレジスタ 7	ASF1nCMP07	00_H	<ASF_base> + $5C_H$	8
積算コンペアマッチレジスタ 8	ASF1nCMP08	00_H	<ASF_base> + 60_H	8
積算コンペアマッチレジスタ 9	ASF1nCMP09	00_H	<ASF_base> + 64_H	8
積算コンペアマッチレジスタ 10	ASF1nCMP10	00_H	<ASF_base> + 68_H	8
積算カウンタ制御レジスタ 0	ASF1nCTL0	0000_H	<ASF_base> + 80_H	8、16
積算カウンタ制御レジスタ 1	ASF1nCTL1	00_H	<ASF_base> + 84_H	8
積算カウントリードレジスタ	ASF1nCNT	00_H	<ASF_base> + $8C_H$	8

備　考

n = 0

27.11.4 レジスタ

27.11.4.1 ASF1nDRi — 積算データレジスタ i

ASF1nDRi は、積算値を格納する 32 ビットの読み出し専用のレジスタです。ASF1nCNT と ASF1nCMPi が一致したときにアキュムレータ i の内容を ASF1nDRi に更新します。次のコンペア一致まで ASF1nDRi の内容は保持されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ASF1nDRi[16:1]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ASF1nDRi[0:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.50 ASF1nDRi レジスタの内容

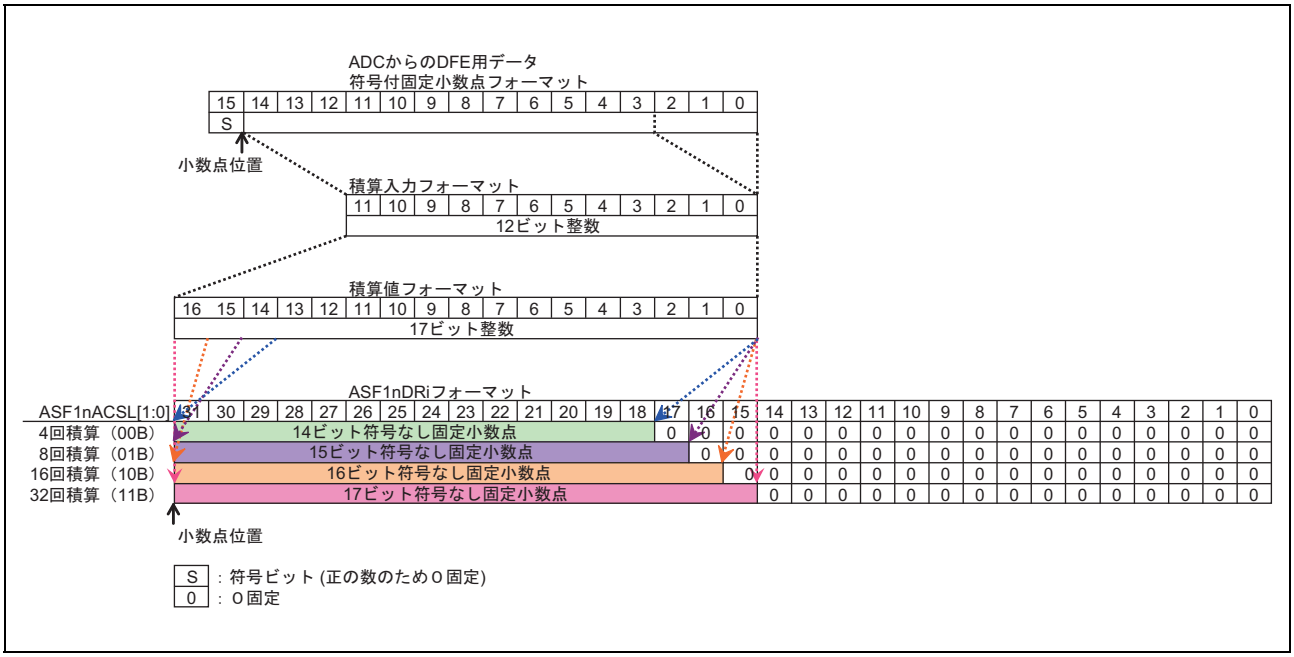
ビット位置	ビット名	機能
31 ～ 15	ASF1nDRi [16:0]	積算データ ASF1nCNT と ASF1nCMPi が一致したときに、アキュムレータ i の内容が ASF1nDR i に更新されます。

備　考

i ＝ 00 ～ 10　n ＝ 0

ADC からの DFE 用データより 12 ビット（bit14 ～ bit3）を抽出し、12 ビット整数として積算の入力に使用します。したがって、ADC で 2 回加算または 4 回加算を実施して、DFE 用データの有効桁数が 13 ビットまたは 14 ビットの場合でも、有効桁数は 12 ビットとみなして積算処理を実行します。また、符号付整数フォーマット（ADC にて DFMT ＝ 1 設定時）であっても、符号付固定小数点フォーマットとみなして積算処理を実施します。このため、ASF 機能を使用する場合は、必ず ADC の加算機能をオフし、DFMT = 0 の符号付固定小数点フォーマットに設定する必要があります。

ASF1nDRi は 17 ビットの積算値のうち積算回数設定に応じた有効ビットを左詰めしたフォーマットとなります。また ASF1nDRi は、セット時に 00000000_H に初期化されます。


ADCからのDFE用データ
符号付固定小数点フォーマット
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
S
小数点位置
積算入力フォーマット
11 10 9 8 7 6 5 4 3 2 1 0
12ビット整数
積算値フォーマット
16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
17ビット整数
ASF1nDRiフォーマット
ASF1nACSL[1:0]
31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
4回積算（00B）
14ビット符号なし固定小数点
8回積算（01B）
15ビット符号なし固定小数点
16回積算（10B）
16ビット符号なし固定小数点
32回積算（11B）
17ビット符号なし固定小数点
小数点位置
S ：符号ビット (正の数のため0固定)
0 ：0固定

27.11.4.2 ASF1nCMPi — 積算コンペアマッチレジスタ i

ASF1nCMPi は、積算チャネル i の積算処理の許可／禁止の設定、および ASF1nDRi を更新する ASF1nCNT のコンペアマッチ値を指定する 8 ビットの読み出し／書き込み可能なレジスタです。ASF1nCMPi は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	ASF1nCHEi	—	—	ASF1nCMPi[4:0]				
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 27.51 ASF1nCMPi レジスタの内容

ビット位置	ビット名	機能
7	ASF1nCHEi	積算チャネル i 許可 0：積算停止 – アキュムレータ i を 0 にクリアします。 – ASF1nDRi を更新しません。 – 積算終了割り込み i（INT_ACE[i]）を発生しません。 1：積算許可 – 積算チャネル i と一致する DFE 用 TAG（DFE 用 TAG ＝ i）の ASF エントリ要求を受け付けるたびに DFE 用データとアキュムレータ i の加算結果をアキュムレータ i に格納します（積算チャネル i の積算処理）。 – ASF1nCNT と ASF1nCMPi が一致したときにアキュムレータ i の内容を ASF1nDRi に更新し、アキュムレータ i を 0 にクリアします（ASF1nDRi の更新）。 – コンペアー致で積算終了割り込み i（INT_ACE[i]）を発生します。
4 ～ 0	ASF1nCMPi [4:0]	積算コンペアマッチ ASF1nCNT と ASF1nCMPi が一致したときに、アキュムレータ i の内容が ASF1nDR i に更新されます。 動作中（ASF1nST = 1 期間中）の書き換えは禁止です。

備　考

i ＝ 00 ～ 10 or 0 ～ 10

注　意

1. ASF1nCNT[4:0] と ASF1nCMPi[4:0] が一致する毎に、アキュムレータ i の値が ASF1nDRi[16:0] に格納させるとともに INT_ACE[i] 割り込みが発生します。このため、ASF1nST を 0 から 1 にした積算処理開始後、または積算処理中に ASF1nCHEi を 0 から 1 にした積算チャネルの許可後の初回の ASF1nDRi[16:0] の積算回数は保証されません（一定回数ではありません）。
   動作例は、**「27.11.5.1　積算処理動作例」**を参照してください。
2. ASF1nCMPi[4:0] には、ASF1nACSL[1:0] で選択される積算回数未満の値を設定して下さい。ASF1nCMPi[4:0] に積算回数以上の値を設定した場合は、ASF1nCNT[4:0] と ASF1nCMPi[4:0] が一致することがないため、ASF1nDRi[16:0] の値は更新されません。

27.11.4.3 ASF1nCTL0 — 積算カウンタ制御レジスタ 0

ASF1nCTL0 は、ASF1nCNT のカウントアップ条件を設定する 16 ビットまたは 8 ビットで読み出し／書き込み可能なレジスタです。ASF1nCTL0 は、リセット時に 0000_H に初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ASF1n ACSL[1:0]		—	—	—	—	ASF1nCTAG[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 27.52 ASF1nCTL0 レジスタの内容

ビット位置	ビット名	機能
9、8	ASF1nACSL [1:0]	積算回数選択 00_B：4 回積算 01_B：8 回積算 10_B：16 回積算 11_B：32 回積算 動作中（ASF1nST=1 期間中）の書き換えは禁止です。
3 ～ 0	ASF1nCTAG [3:0]	積算カウントアップ TAG ASF1nCTAG と一致する DFE 用 TAG の ASF エントリ要求を受け付けたとき ASF1nCNT をカウントアップします。 動作中（ASF1nST=1 期間中）の書き換えは禁止です。

27.11.4.4 ASF1nCTL1 — 積算カウンタ制御レジスタ 1

ASF1nCTL1 は、ASF1nCNT のカウントアップの許可（開始）／禁止（停止）を制御する 8 ビットの読み出し／書き込み可能なレジスタです。ASF1nCTL1 は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ASF1nST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 27.53 ASF1nCTL1 レジスタの内容

ビット位置	ビット名	機能
0	ASF1nST	積算カウンタスタート 0：積算カウンタと全てのアキュムレータを 0 にクリアします。 1：積算カウンタのカウントアップ動作と積算処理を許可します。 ASF1nST ＝ 1 が設定された状態で、ASF1nCTAG と一致する DFE 用 TAG の ASF エントリ要求を受け付けたとき ASF1nCNT をカウントアップします。

27.11.4.5 ASF1nCNT — 積算カウントリードレジスタ

ASF1nCNT は、積算カウンタのカウント値を示す 8 ビットの読み出し専用レジスタです。
ASF1nCNT はリセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	ASF1nCNT[4:0]				
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 27.54 ASF1nCNT レジスタの内容

ビット位置	ビット名	機能
4 ～ 0	ASF1nCNT[4:0]	積算カウンタ ASF1nST ＝ 1 に設定すると ASF1nCTAG と一致する DFE 用 TAG の ASF エントリ要求を受け付けるたびに ASF1nCNT をカウントアップします。 ASF1nST ＝ 0 に設定すると ASF1nCNT は 0 にクリアします。 • ASF1nACSL ＝ 00_B（4 回積算）のとき 0 ～ 3 をカウントし、3 の次は 0 に戻ります。 • ASF1nACSL ＝ 01_B（8 回積算）のとき 0 ～ 7 をカウントし、7 の次は 0 に戻ります。 • ASF1nACSL ＝ 10_B（16 回積算）のとき 0 ～ 15 をカウントし、15 の次は 0 に戻ります。 • ASF1nACSL ＝ 11_B（32 回積算）のとき 0 ～ 31 をカウントし、31 の次は 0 に戻ります。

27.11.5 動作説明

ASF の積算機能は、ADC から出力される ADC 変換結果を積算し、指定回数分の積算が完了する毎に積算値をレジスタに格納するとともに割り込みを発生します。

ASF では、最大 11 チャネルの積算が可能で、積算回数は 4, 8, 16, 32 回から選択することができます。ただし、積算回数は全チャネルに共通です（チャネル毎に個別に積算回数を設定することはできません）。また、レジスタ設定により割り込みタイミングをオフセットさせることができます。

ASF1nST = 1 にして積算処理許可後に、ADC からの ASF エントリ要求が High になるごとに ADC 変換結果を DFE 用 TAG の値と同じ積算チャネルに加算します。

積算カウンタ ASF1nCNT[4:0] は、ASF1nCTAG[3:0] と一致する DFE 用 TAG が入力され、ASF エントリ要求が High になるとカウントアップします。また、ASF1nCTAG [3:0] と DFE 用 TAG が一致し、かつ ASF1nACSL[1:0] で指定される積算回数 –1 となった場合は、ASF エントリ要求タイミングで、積算カウンタは 1 に戻ります。

積算データ ASF1nDR i[31:0] は、ASF1nCMPi [4:0] と ASF1nCNT[4:0] が一致すると更新され、同時に積算終了割り込み ASI[i] を発生します。

【設定手順】

（1） ASF1nST = 0 の状態で、ASF1nACSL[1:0]、ASF1nCTAG[3:0]、ASF1nCMPi [4:0]、ASF1nCHEi にそれぞれ必要な値を設定する（順不同）。

（2） ASF1nST = 1 に積算処理の動作を許可（開始）する。

（3） 積算開始後の初回の積算回数は一定ではないため、初回の積算終了割り込み ASI[i] 発生は無視する（あるいは ASF1nDRi[16:0] のリード値は読み捨てる）。

（4） 2 回目からの積算終了割り込み ASI[i] 発生時に必要な ASF1nDRi[16:0] をリードし、ADC 変換結果の積算値をリードする。

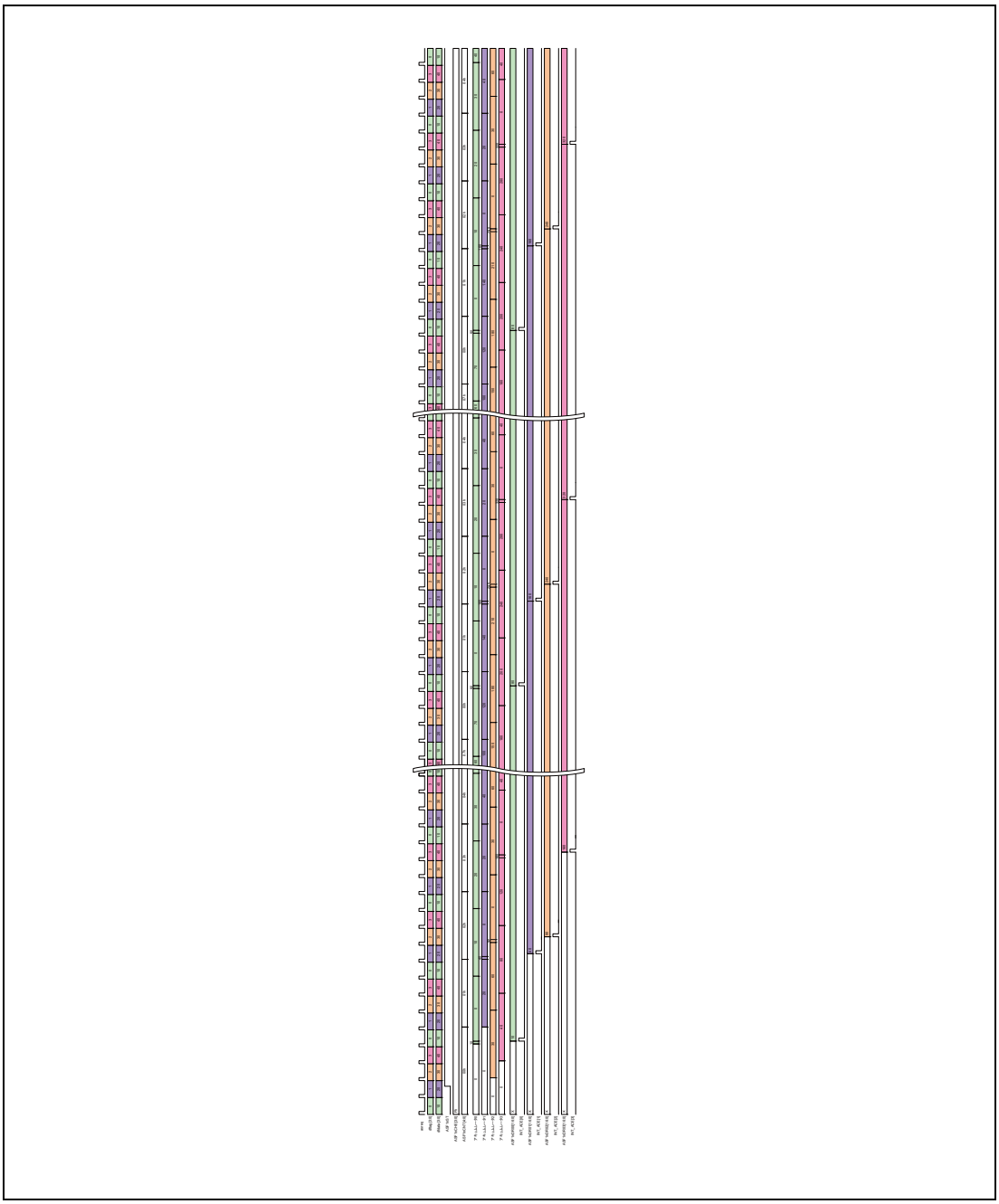
（5） 必要な ADC 変換結果の積算値が得られたら、ASF1nST = 0 にして積算処理を終了する。

27.11.5.1 積算処理動作例

(1) 動作開始

図 27.29 に、積算回数が 8 回（ASF1nACSL[1:0] = 01_B）、ASF1nCTAG[3:0] = 1_H、ASF1nCMP00[4:0] = 00_H、ASF1nCMP01[4:0] = 01_H、ASF1nCMP02[4:0] = 02_H、ASF1nCMP03[4:0] = 03_H 設定時の 4 チャネル分の積算処理動作例を示します。

ここでは、便宜上、DFE 用 TAG = 0_H のデータは常に 10、DFE 用 TAG = 1_H のデータは常に 20、DFE 用 TAG = 2_H のデータは常に 30、DFE 用 TAG = 3_H のデータは常に 40 としています。


ADC_VH
ADC_VL
ADC_VH
ADC_VL
ADC_VH
ADC_VL

(2) 動作停止と再開

図 27.30 に、積算処理の動作停止と再開の動作例を示します。

ASF1nST = 0 にすると、積算カウンタ ASF1nCNT[4:0] とアキュムレータ i は 0 にクリアされます。

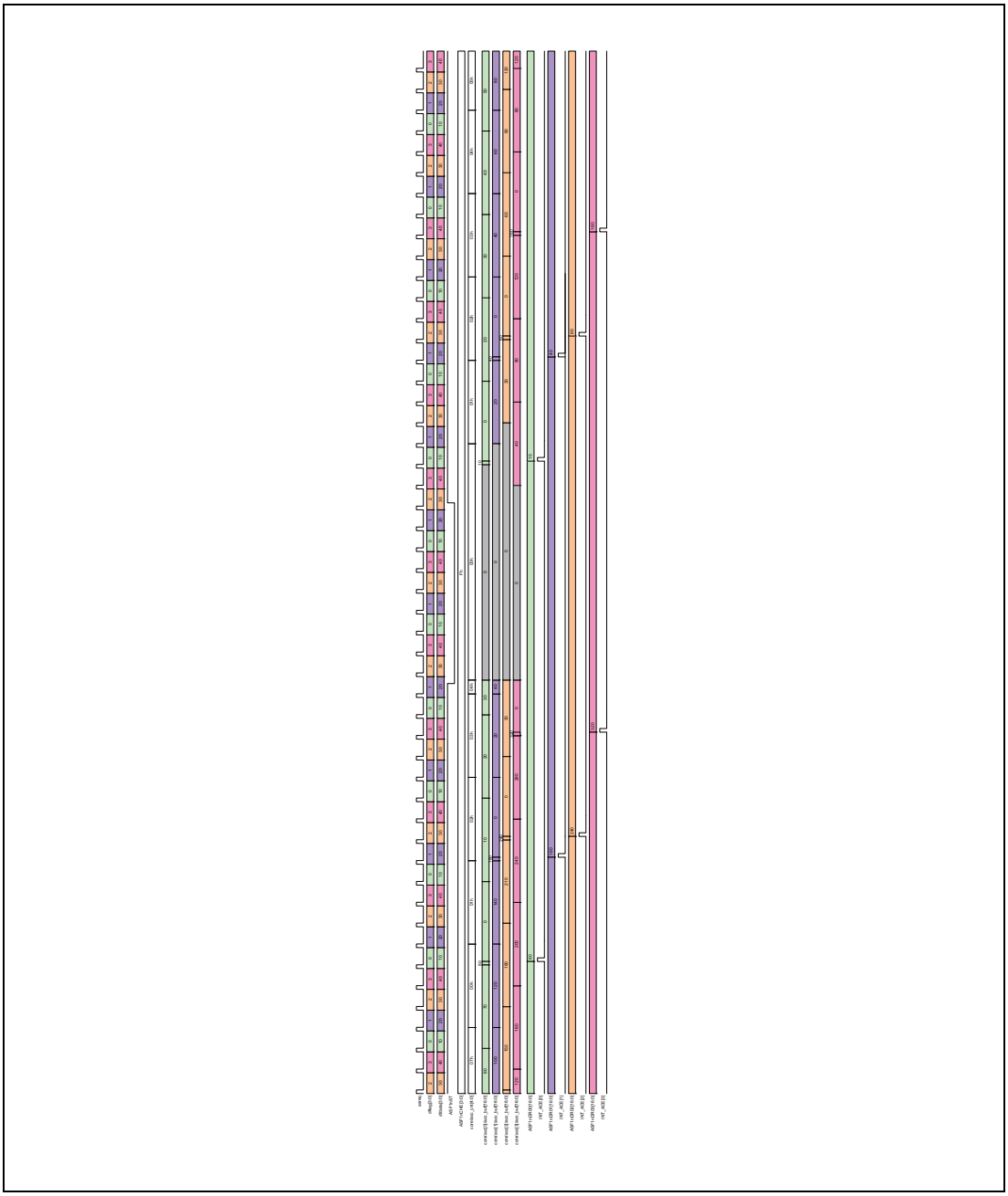


図 27.30 積算処理の動作停止と再開の動作例タイミング図

(3) チャネル停止

図 27.31 に、積算チャネルの処理停止と再開の動作例を示します。

ASF1nCHEi = 0 にするとアキュムレータ i は 0 にクリアされます。

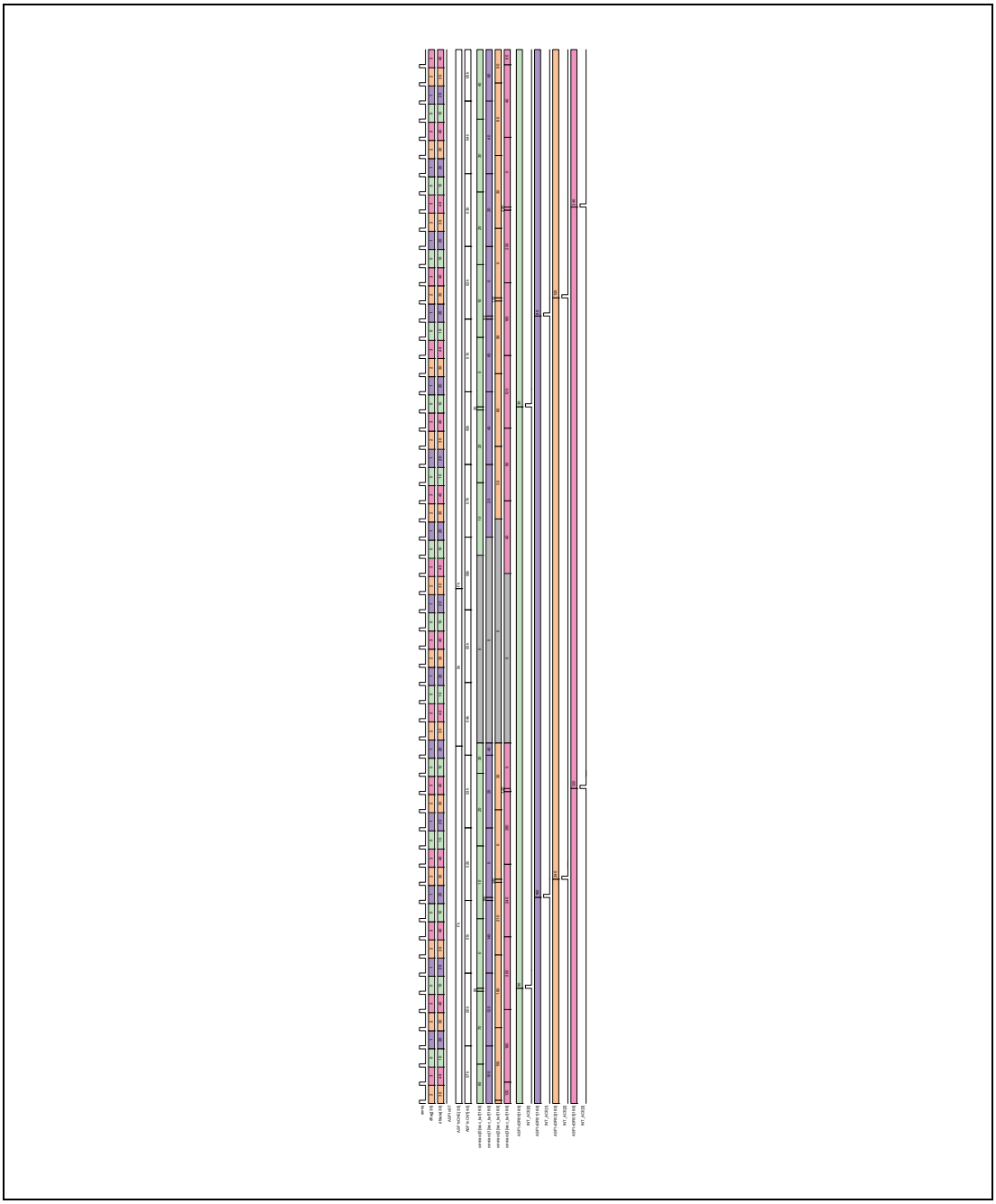


図 27.31 ASF1nCHEi による積算処理停止の動作例タイミング図

第 28 章 ΔΣAD コンバータ（DS-ADC）

本 LSI は、ΔΣ 変調方式の A/D 変換器を 8 モジュール（DSADC0 ～ 7）搭載しており、ΔΣ 変調器とデジタルフィルタで構成されています。

28.1 特長

ΔΣADC の特長（機能概要）を以下に示します。

- アナログチャネル
  8 チャネル用意されています。各チャネルには、P 側・N 側があります。
- 高性能な AD コンバータ
  - 有効ビット（アナログ信号帯域幅）：
    13 ビット（30kHz） Fos = 8Msps、Fs = 100ksps 時（使用例 1）
    13 ビット（30kHz） Fos = 8Msps、Fs = 200ksps 時（使用例 2）
    13 ビット（60kHz） Fos = 8Msps、Fs = 200ksps 時（使用例 3）
    8 ビット（200kHz） Fos = 8Msps、Fs = 1.6Msps 時（使用例 4）
  - A/D 変換方式：ΔΣ 変調方式
  - オーバサンプリングレート（Fos）：8Msps
  - サンプリングレート（Fs）：100ksps、200ksps、1.6Msps
- シングルエンド入力と差動入力をサポート
  各 ΔΣADC（DSADC0 ～ 7）にてシングルエンド入力と差動入力を選択できます。
- 入力ゲイン機能
  各 ΔΣADC（DSADC0 ～ 7）に PGA（プログラマブルゲインアンプ）を搭載しています。×1、×2、×4、×8 の選択ができます。
- データレジスタ
  各 ΔΣADC（DSADC0 ～ 7）に対応したデータレジスタがあります。データレジスタは、データ付帯情報レジスタに配置されます。
- A/D 変換の開始トリガ
  各 ΔΣADC（DSADC0 ～ 7）は、ソフトウェア／各タイマトリガ／外部トリガ（DSADC0 ～ 7：DSADTRG0 ～ 7）により A/D 変換を開始することができます。
- A/D 変換の終了トリガ
  各 ΔΣADC（DSADC0 ～ 7）は、ソフトウェア／各タイマトリガ／外部トリガ（DSADC0 ～ 7：DSADTRG0 ～ 7）により A/D 変換を終了することができます。
- デジタルフィルタエンジンへのエントリ
  A/D 変換値を直接デジタルフィルタエンジン（DFE）へエントリすることができます。ΔΣADC（DSADC0 ～ 7）単位に DFE エントリの有／無と、どのチャネルへエントリするかを決める TAG を設定できます。
- A/D 変換終了タイミングによる DMA 転送をサポート
  各 ΔΣADC（DSADC0 ～ 7）は、A/D 変換が終了するたびに A/D 変換終了による DMA 要求（DSADIm）を出力し、DMAC に対する DMA 要求要因（DSADC0 ～ 7：DSADI0 ～ 7）の発生または DMAC の起動ができます。

- AD エラー割り込み要求と AD パリティエラー通知
  各 ΔΣADC（DSADC0 ～ 7）は、INTC への AD エラー割り込み要求（DSADEm）と ECM（エラーコントロールモジュール）への AD パリティエラー通知（DSADPEm）を発生することができます。
- アナログ変換電圧範囲が設定可能
  ADSVREFH 端子および ADSVREFL 端子により、アナログ変換の電圧の範囲を設定できます。また、シングルエンド入力で A/D 変換する場合は、コモン電圧を ADSVREFL か ADSVREFH/2 のどちらかを選択できます。
- A/D 変換モニタ出力
  DSADEND0 ～ 7 端子に A/D 変換タイミングを出力することができます。
- 豊富なセーフティ機能
  ΔΣADC（HM）の自己診断、端子レベル自己診断、データレジスタの上限／下限チェック、データレジスタのパリティチェック、データレジスタのオーバーライトチェック、データレジスタのリード&クリア機能など豊富なセーフティ機能が整備されています。

28.2 構成

図 28.1 に ΔΣADC のブロック図および**表 28.1** に ΔΣADC の端子構成を示します。

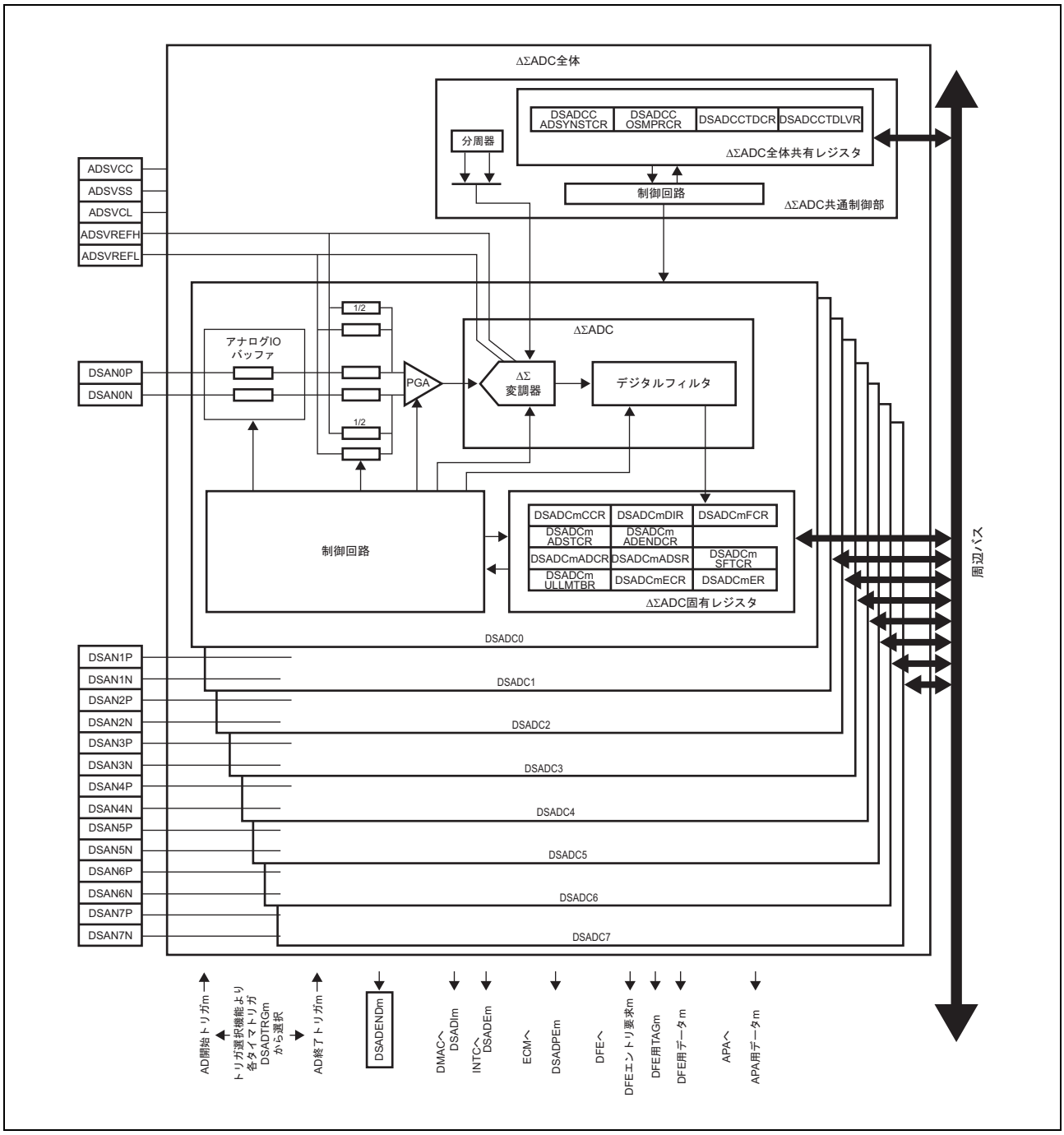


図 28.1 ΔΣADC のブロック図

表 28.1 ΔΣADC の端子構成

端子名	入出力	機能
ADSVCC	入力	アナログ部の電源端子
ADSVSS	入力	アナログ部のグランド端子
ADSVREFH	入力	アナログ部の上位側基準電圧端子
ADSVREFL	入力	アナログ部の下位側基準電圧端子
ADSVCL	—	ΔΣADC 外付け容量端子
DSAN0P	入力	アナログ端子 0P
DSAN0N	入力	アナログ端子 0N
DSAN1P	入力	アナログ端子 1P
DSAN1N	入力	アナログ端子 1N
DSAN2P	入力	アナログ端子 2P
DSAN2N	入力	アナログ端子 2N
DSAN3P	入力	アナログ端子 3P
DSAN3N	入力	アナログ端子 3N
DSAN4P	入力	アナログ端子 4P
DSAN4N	入力	アナログ端子 4N
DSAN5P	入力	アナログ端子 5P
DSAN5N	入力	アナログ端子 5N
DSAN6P	入力	アナログ端子 6P
DSAN6N	入力	アナログ端子 6N
DSAN7P	入力	アナログ端子 7P
DSAN7N	入力	アナログ端子 7N
DSADTRG0	入力	外部トリガ端子（DSADC0 用）
DSADTRG1	入力	外部トリガ端子（DSADC1 用）
DSADTRG2	入力	外部トリガ端子（DSADC2 用）
DSADTRG3	入力	外部トリガ端子（DSADC3 用）
DSADTRG4	入力	外部トリガ端子（DSADC4 用）
DSADTRG5	入力	外部トリガ端子（DSADC5 用）
DSADTRG6	入力	外部トリガ端子（DSADC6 用）
DSADTRG7	入力	外部トリガ端子（DSADC7 用）
DSADEND0	出力	A/D 変換タイミングモニタ端子（DSADC0 用）
DSADEND1	出力	A/D 変換タイミングモニタ端子（DSADC1 用）
DSADEND2	出力	A/D 変換タイミングモニタ端子（DSADC2 用）
DSADEND3	出力	A/D 変換タイミングモニタ端子（DSADC3 用）
DSADEND4	出力	A/D 変換タイミングモニタ端子（DSADC4 用）
DSADEND5	出力	A/D 変換タイミングモニタ端子（DSADC5 用）
DSADEND6	出力	A/D 変換タイミングモニタ端子（DSADC6 用）
DSADEND7	出力	A/D 変換タイミングモニタ端子（DSADC7 用）

LSI 信頼性確保のため、ΔΣADC を使用するときは、ADSVCC、ADSVSS と Vcc、Vss との関係は、下記のとおりにしてください。

ADSVCC = 5V ± 0.5V 、ADSVSS = Vss

一方、ΔΣADC を使用しないときは、ADSVCC、ADSVSS 端子を決してオープンにしないでください。また、アナログ入力端子に印加する電圧は、下記の範囲としてください。

ADSVREFL ≦ DSANkx（k = 0 ～ 7　x = P、N）≦ ADSVREFH

28.3 レジスタアドレス

ΔΣADC は、全モジュール（DSADC0 ～ 7）共通で使用する「ΔΣADC 共有レジスタ」と各モジュール（DSADC0 ～ 7）それぞれで使用する「ΔΣADC 固有レジスタ」を有しています。**表 28.3** にレジスタアドレス一覧を示します。

表 28.2 レジスタベースアドレス（<DSADCcom_base>、<DSADCm_base>）

DSADCcom DSADCm	<DSADCcom_base> アドレス <DSADCm_base> アドレス
DSADCcom	FFF3 0000_H
DSADC0	FFF3 1000_H
DSADC1	FFF3 2000_H
DSADC2	FFF3 3000_H
DSADC3	FFF3 4000_H
DSADC4	FFF3 5000_H
DSADC5	FFF3 6000_H
DSADC6	FFF3 7000_H
DSADC7	FFF3 8000_H

表 28.3 レジスタアドレス一覧

レジスタ名	略号	リセット後の値	アドレス	アクセスサイズ
■ ΔΣADC 共有レジスタ				
AD 同期開始制御レジスタ	DSADCCADSYNSTCR	00_H	<DSADCcom_base> ＋ 00_H	8
オーバサンプリングレート制御レジスタ	DSADCCOSMPRCR	00_H	<DSADCcom_base> ＋ 04_H	8
端子レベル自己診断制御レジスタ	DSADCCTDCR	00_H	<DSADCcom_base> ＋ 08_H	8
端子レベル自己診断レベル指定レジスタ	DSADCCTDLVR	0000_H	<DSADCcom_base> ＋ $0C_H$	8、16
■ ΔΣADC 固有レジスタ　m = 0 ～ 7				
チャネル制御レジスタ	DSADCmCCR	0000 0000_H	<DSADCm_base> ＋ 00_H	8、16、32
データ付帯情報レジスタ	DSADCmDIR	0000 0000_H	<DSADCm_base> ＋ 04_H	32
AD 開始制御レジスタ	DSADCmADSTCR	00_H	<DSADCm_base> ＋ 08_H	8
AD 停止制御レジスタ	DSADCmADENDCR	00_H	<DSADCm_base> ＋ $0C_H$	8
AD 制御レジスタ	DSADCmADCR	00_H	<DSADCm_base> ＋ 10_H	8
AD ステータスレジスタ	DSADCmADSR	00_H	<DSADCm_base> ＋ 14_H	8
セーフティ制御レジスタ	DSADCmSFTCR	00_H	<DSADCm_base> ＋ 18_H	8
上限／下限テーブルレジスタ	DSADCmULLMTBR	7FFF 8000_H	<DSADCm_base> ＋ $1C_H$	16、32
エラークリアレジスタ	DSADCmECR	00_H	<DSADCm_base> ＋ 20_H	8
エラーレジスタ	DSADCmER	00_H	<DSADCm_base> ＋ 24_H	8
デジタルフィルタ FIR 制御レジスタ	DSADCmFCR	00_H	<DSADCm_base> ＋ 28_H	8

備　考

DSADCcom_base：共有レジスタベースアドレス

DSADCm_base：固有レジスタベースアドレス（DSADCm のレジスタ）

m = 0 ～ 7

28.4 ΔΣADC 共有レジスタ

すべての ΔΣADC（DSADC0 ～ 7）で共有するレジスタを説明します。

28.4.1 DSADCCADSYNSTCR — AD 同期開始制御レジスタ

DSADCCADSYNSTCR は、各 ΔΣADC を同時に開始する制御を行う、8 ビットの書き込み専用レジスタです。読み出しは常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADSTART
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 28.4 DSADCCADSYNSTCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ADSTART	各 ΔΣADC の A/D 変換開始 ADSTART での DSADCm の A/D 変換開始条件 DSADCm の DSADCmADSR.ADACT が 0 かつ DSADCmADCR.ADSTARTE が 1 の状態で ADSTART に 1 を書き込んだとき あらかじめ各 ΔΣADC の DSADCmADCR.ADSTARTE が 1 にセットされた ΔΣADC を同時に起動します。 DSADCm の ADACT が 1 の状態では、本ビットに 1 を書き込んでも無視され、DSADCm は実行中の A/D 変換を継続します。 DSADCm の ADSTARTE が 0 の状態では、本ビットに 1 を書き込んでも無視され、DSADCm は A/D 変換を開始しません。 本ビットへの 0 書き込みは無視されます。

備考 1. m = 0 ～ 7

備考 2. ADSTART 書き込み時には、外部トリガを考慮して、全 ΔΣADC の DSADCmADCRm.ENDTRGE が 0 の状態で行うことを推奨します。

28.4.2 DSADCCOSMPRCR — オーバサンプリングレート制御レジスタ

DSADCCOSMPRCR は、オーバサンプリングレートを制御する、読み出し／書き込み可能な 8 ビットのレジスタです。DSADCCOSMPRCR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSMPR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 28.5 DSADCCOSMPRCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	OSMPR	オーバサンプリングレート オーバサンプリングレートを選択します。 ご使用の際は、必ず 1_B = 8MHz を設定してください。 0：設定禁止 1：8Msps

注 意

誤動作を防ぐため、DSADCCOSMPRCR の設定は全 ΔΣADC の DSADCmADSR.ADACT が 0 の状態（A/D 変換を開始する前）かつ全 ΔΣADC の DSADCmADCR.STTRGE が 0 の状態で行ってください。

28.4.3 DSADCCTDCR — 端子レベル自己診断制御レジスタ

DSADCCTDCR は、端子レベル自己診断を制御する、読み出し／書き込み可能な 8 ビットのレジスタです。DSADCCTDCR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 28.6 DSADCCTDCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	TDE	端子レベル自己診断イネーブル 0：端子レベル自己診断をしない 1：端子レベル自己診断をする TDE を 1 にすると、全てのアナログ端子がアナログ IO バッファと切り離され、TDE を 0 にすると、全てのアナログ端子がアナログ IO バッファと接続されます。 TDE ＝ 1 とした場合、アナログ端子 DSANkx は DSADCCTDLVR.ANkxLV で指定したレベルに固定されます。この状態で A/D 変換を実行し、A/D 変換値を確認することで、アナログ端子から ΔΣADC までの経路の診断ができます。

備考 k = 0 ～ 7 x = P、N

注 意

誤動作を防ぐため、DSADCCTDCR の設定は全 ΔΣADC の DSADCmADSR.ADACT が 0 の状態（A/D 変換を開始する前）かつ全 ΔΣADC の DSADCmADCR.STTRGE が 0 の状態で行ってください。

28.4.4 DSADCCTDLVR — 端子レベル自己診断レベル指定レジスタ

DSADCCTDLVR は、端子レベル自己診断のレベルを指定する、読み出し／書き込み可能な 16 ビットのレジスタです。DSADCCTDLVR は、リセット時に 0000_H に初期化されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AN7NLV	AN7PLV	AN6NLV	AN6PLV	AN5NLV	AN5PLV	AN4NLV	AN4PLV	AN3NLV	AN3PLV	AN2NLV	AN2PLV	AN1NLV	AN1PLV	AN0NLV	AN0PLV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.7 DSADCCTDLVR レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	ANkxLV	端子レベル自己診断レベル指定 0：DSANkx をディスチャージ（ADSVSS）する 1：DSANkx をチャージ（ADSVCC）する

備考 k = 0 ～ 7 x = P、N

注 意

誤動作を防ぐため、DSADCCTDLVR の設定は全 ΔΣADC の DSADCmADSR.ADACT が 0 の状態（A/D 変換を開始する前）かつ全 ΔΣADC の DSADCmADCR.STTRGE が 0 の状態で行ってください。

28.5 ΔΣADC 固有レジスタ

各 ΔΣADC（DSADCm、m = 0 ～ 7）で個別に備えるレジスタを説明します。

28.5.1 DSADCmCCR — チャネル制御レジスタ（m = 0 ～ 7）

DSADCmCCR は、チャネルを制御する、読み出し／書き込み可能な 32 ビットのレジスタです。DSADCmCCR は、リセット時に $00000\ 000_H$ に初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DFENT	—	DFTAG[3:0]				—	ULS	—	—	—	DSDFTYP	—	—	GAIN[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DFMT[3:0]				—	—	CNVCLS[1:0]		—	—	—	—	GCTRL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 28.8 DSADCmCCR レジスタの内容 (1/2)

ビット位置	ビット名	機能
31	DFENT	DFE エントリ 0：エントリしない 1：エントリする DFE（デジタルフィルタエンジン）へエントリするかしないかを選択します。
30	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
29 ～ 26	DFTAG[3:0]	DFE-TAG DFTAG[3:0] と同じ TAG が設定された DFE のチャネルへエントリします。複数のチャネルと一致した場合は、複数のチャネルにエントリします。
25	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
24	ULS	上限値／下限値テーブル選択 0：上限／下限チェックをしない。 1：DSADCmULLMTBR で上限／下限チェックする。 A/D 変換値を DSADCmDIR.DR 格納時に、上限値／下限値テーブルを使用して上限／下限チェックします。
23 ～ 21	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
20	DSDFTYP	ΔΣADC デジタルフィルタタイプ ΔΣADC のデジタルフィルタタイプを指定します。本ビットは、Fovs = 8Msps のときに有効です。 0：フィルタタイプは DSADCmFCR の設定に依存します。DSADCmFCR を設定してください。 1：Fs = 1.6Msps、ENOB = 8 ビット（仕様例 4 ） DSADCmFCR を初期値に設定してください。 （Fs：サンプリングレート、ENOB = 有効ビット） **注 意** ENOB は、ゲイン ×1 かつ差動入力のときの値です。
19、18	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

表 28.8 DSADCmCCR レジスタの内容 (2/2)

ビット位置	ビット名	機能
17、16	GAIN[1:0]	ゲイン 入力のゲインを指定します。 0_H：×1 1_H：×2 2_H：×4 3_H：×8
15 ～ 12	DFMT[3:0]	データフォーマット 0 マスク（－∞方向への丸め）する下位ビットを指定します。 0_H：マスクなし 1_H：下位 1 ビットマスク 2_H：下位 2 ビットマスク 3_H：下位 3 ビットマスク 4_H：下位 4 ビットマスク 5_H：下位 5 ビットマスク 6_H：下位 6 ビットマスク 7_H：下位 7 ビットマスク 8_H：下位 8 ビットマスク その他：設定禁止 DSADCmDIR.DR と DFE、APA へのデータのフォーマットとなります。 データフォーマットの詳細は**「28.5.2 DSADCmDIR — データ付帯情報レジスタ（m = 0 ～ 7）」**を参照してください。
11、10	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
9、8	CNVCLS[1:0]	変換種別 0_H：シングルエンド入力、コモンが ADSVREFL 1_H：シングルエンド入力、コモンが ADSVREFH/2 2_H：差動入力 3_H：自己診断
7 ～ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3 ～ 0	GCTRL[3:0]	汎用制御 自己診断以外（CNVCLS[1:0] ≠ 3_H）のとき、0_H をライトしてください。 自己診断（CNVCLS = 3_H）のとき GCTRL[3:0] で自己診断のレベルを選択します。 7_H：ADSVREFH × 1 4_H：ADSVREFH × 1/2 0_H：ADSVREFH × 0 C_H：– ADSVREFH × 1/2 8_H：– ADSVREFH × 1 その他：設定禁止

注 意

1. 誤動作を防ぐため、DSADCmCCR の設定は DSADCmADSR.ADACT が 0 の状態（A/D 変換を開始する前）かつ DSADCmADCR.STTRGE が 0 の状態で行ってください。
2. フィルタタイプは、DSADCCOSMPRCR と DSADCmCCR、DSADCmFCR の設定値の組み合わせにより変わります。**「28.6.2 フィルタタイプの設定」**に示すとおり、目的に合った設定をしてください。

28.5.2 DSADCmDIR — データ付帯情報レジスタ（m = 0 ～ 7）

DSADCmDIR は、A/D 変換値と A/D 変換値に付帯する情報を格納する、32 ビットの読み出し専用レジスタです。DSADCmDIR は、DSADCmSFTCR.RDCLRE が 1 に設定されているときに DSADCmDIR の読み出しで $0000\ 0000_H$ にクリアされます。なお WFLG は、DSADCmSFTCR.RDCLRE によらず、DSADCmDIR の読み出しでクリアされます。DSADCmDIR は、リセット時に $0000\ 0000_H$ に初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	WFLG	PRTY	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 28.9 DSADCmDIR レジスタの内容

ビット位置	ビット名	機能
31 ～ 26	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
25	WFLG	ライトフラグ セット条件 DR に A/D 変換値を格納したとき クリア条件 DSADCmDIR が読み出されたとき
24	PRTY	パリティ DR に対するパリティビットです。偶数パリティです。
23 ～ 16	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
15 ～ 0	DR[15:0]	A/D 変換値が格納されます。 データフォーマットは、**「(1) ビット 15 ～ 0 DR（データレジスタ）のデータフォーマット」**を参照してください。

(1) ビット 15 ～ 0 DR（データレジスタ）のデータフォーマット

DR に A/D 変換値が格納されます。**表 28.10** に DR のフォーマットを示します。なお DFE（デジタルフィルタエンジン）、APA（オートノマスパルスアダプタ）に転送するデータのフォーマットも同様です。

表 28.10 符号付き固定小数点フォーマット

DFMT[3:0]	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0_H	S															
1_H	S															0
2_H	S														0	0
3_H	S													0	0	0
4_H	S												0	0	0	0
5_H	S											0	0	0	0	0
6_H	S										0	0	0	0	0	0
7_H	S									0	0	0	0	0	0	0
8_H	S								0	0	0	0	0	0	0	0

↑
小数点位置

S	：符号ビット
0	：0 固定

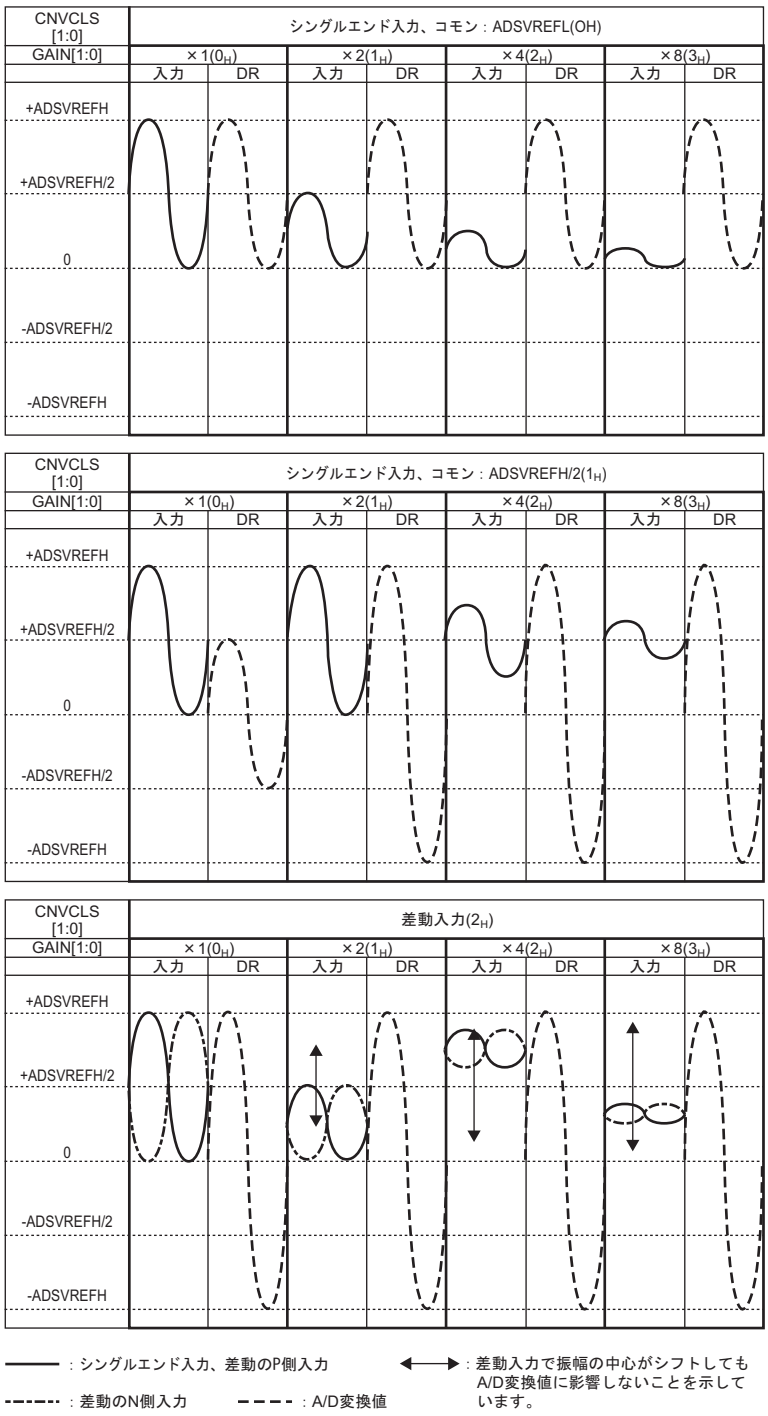


図 28.2 各ゲインでの入力範囲と変換結果範囲

28.5.3 DSADCmADSTCR — AD 開始制御レジスタ（m = 0 ～ 7）

DSADCmADSTCR は、ΔΣADC の開始を制御する、8 ビットの書き込み専用レジスタです。読み出すと常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 28.11 DSADCmADSTCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ADST	A/D 変換開始 ADST での A/D 変換開始条件 DSADCmADSR.ADACT ＝ 0 の状態で ADST に 1 を書き込んだとき ADACT ＝ 1 の状態では、本ビットに 1 を書き込んでも無視され、実行中の A/D 変換を継続します。 本ビットへの 0 書き込みは無視されます。

備考 ADST 書き込み時には、外部トリガを考慮して、DSADCmADCR.ENDTRGE が 0 の状態で行うことを推奨します。

28.5.4 DSADCmADENDCR — AD 停止制御レジスタ（m = 0 ～ 7）

DSADCmADENDCR は、ΔΣADC の停止を制御する 8 ビットの書き込み専用レジスタです。読み出すと常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADEND
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 28.12 DSADCmADENDCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ADEND	A/D 変換終了 ADEND での A/D 変換停止条件 DSADCmADSR.ADACT ＝ 1 の状態で ADEND に 1 を書き込んだとき ADACT ＝ 0 の状態では本ビットに 1 を書き込んでも無視されます。 本ビットへの 0 書き込みは無視されます。

備考 ADEND 書き込み時には、外部トリガを考慮して、DSADCmADCR.STTRGE が 0 の状態で行うことを推奨します。

28.5.5 DSADCmADCR — AD 制御レジスタ（m = 0 ～ 7）

DSADCmADCR は、ΔΣADC を制御する、読み出し／書き込み可能な 8 ビットのレジスタです。DSADCmADCR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	ADSTARTE	—	ADIE	—	—	ENDTRGE	STTRGE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R/W	R	R	R/W	R/W

表 28.13 DSADCmADCR レジスタの内容

ビット位置	ビット名	機能
7	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
6	ADSTARTE	AD 同期開始イネーブル 0：ADSTART 無効 1：ADSTART 許可
5	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
4	ADIE	A/D 変換終了 DMA 要求イネーブル 0：DSADIm 発行禁止 1：DSADIm 発行許可
3、2	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
1	ENDTRGE	AD 終了トリガイネーブル 0：AD 終了トリガ m 無効 1：AD 終了トリガ m 有効 AD 終了トリガ m のトリガソース選択は、トリガ選択機能で設定します。 詳細は、**「26.2 トリガ選択機能（PIC2）」**を参照してください。
0	STTRGE	AD 開始トリガイネーブル 0：AD 開始トリガ m 無効 1：AD 開始トリガ m 有効 AD 開始トリガ m のトリガソース選択は、トリガ選択機能で設定します。 詳細は、**「26.2 トリガ選択機能（PIC2）」**を参照してください。

備考 m = 0 ～ 7

注 意

1. 誤動作を防ぐため、DSADCmADCR の ADIE の設定は DSADCmADSR.ADACT が 0 の状態（A/D 変換を開始する前）かつ STTRGE が 0 の状態で行ってください。
2. モジュールスタンバイは、ENDTRGE = 0、STTRGE = 0 の状態で行ってください。詳細は、**「28.7.2 モジュールスタンバイ機能」**を参照してください。

28.5.6 DSADCmADSR — AD ステータスレジスタ（m = 0 ～ 7）

DSADCmADSR は、ΔΣADC の状態を示す、8 ビットの読み出し専用レジスタです。
DSADCmADSR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ADACT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 28.14 DSADCmADSR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ADACT	A/D 変換ステータス 0：A/D 変換停止中 1：A/D 変換中 A/D 変換開始要因発生時にセット（ADACT ＝ 1）して、A/D 変換終了要因発生時にクリア（ADACT ＝ 0）します。

注 意

モジュールスタンバイは、ADACT ＝ 0 の状態で行ってください。詳細は、**「28.7.2 モジュールスタンバイ機能」**を参照してください。

28.5.7 DSADCmSFTCR — セーフティ制御レジスタ（m = 0 ～ 7）

DSADCmSFTCR は、セーフティ制御に関する、読み出し／書き込み可能な 8 ビットのレジスタです。DSADCmSFTCR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	RDCLRE	ULEIE	OWEIE	PEIE	0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R

表 28.15 DSADCmSFTCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
4	RDCLRE	リード & クリアイネーブル 0：DSADCmDIR のリードで DSADCmDIR をクリアしない。 1：DSADCmDIR のリードで DSADCmDIR をクリアする。 **注 意** DSADCmDIR の WFLG は、RDCLRE によらず、DSADCmDIR のリードでクリアされます。 また、DSADCmDIR リードによる DSADCmDIR クリアの内容を確認するときは、DSADCmDIR リードから、3 リードアクセス期間ウェイト後にリードしてください。 ウェイトをいれずにリードした場合、クリアする前の内容が読み出される場合があります。バスクロック周波数：内部クロック周波数 = 1：2 のため、クロック同期化のレイテンシが発生します。
3	ULEIE	上限／下限エラー割り込みイネーブル 0：禁止 1：許可
2	OWEIE	オーバライトエラー割り込みイネーブル 0：禁止 1：許可
1	PEIE	パリティエラー割り込みイネーブル 0：禁止 1：許可
0	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

注 意

誤動作を防ぐため、DSADCmSFTCR の設定は DSADCmADSR.ADACT が 0 の状態（A/D 変換を開始する前）かつ DSADCmADCR.STTRGE が 0 の状態で行ってください。

28.5.8 DSADCmULLMTBR — 上限／下限テーブルレジスタ（m = 0 ～ 7）

DSADCmULLMTBR は、A/D 変換値の上限値と下限値を設定する、読み出し／書き込み可能な 32 ビットのレジスタです。DSADCmULLMTBR は、リセット時に 7FFF 8000_H に初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULMTB[15:0]															
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LLMTB[15:0]															
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 28.16 DSADCmULLMTBR レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	ULMTB[15:0]	上限テーブル A/D 変換値の上限値を指定します。下記条件が成立したとき ULE（上限／下限エラー）をセットします。 ULMTB[15:0] ＜ A/D 変換値 ULMTB[15:0] のフォーマットは、DSADCmDIR の DR フォーマットと同じです。なお、符号付き（2 の補数）の比較となります。また、A/D 変換値は、DSADCmCCR.DFMT[3:0] によってマスクする前の値を用いて比較します。
15 ～ 0	LLMTB[15:0]	下限テーブル A/D 変換値の下限値を指定します。下記条件が成立したとき ULE（上限／下限エラー）をセットします。 LLMTB[15:0] ＞ A/D 変換値 LLMTB[15:0] のフォーマットは、DSADCmDIR の DR フォーマットと同じです。なお、符号付き（2 の補数）の比較となります。また、A/D 変換値は、DSADCmCCR.DFMT[3:0] によってマスクする前の値を用いて比較します。

注 意

誤動作を防ぐため、ULLMTBR の設定は DSADCmADSR.ADACT が 0 の状態（A/D 変換を開始する前）かつ DSADCmADCR.STTRGE が 0 の状態で行ってください。

28.5.9 DSADCmECR — エラークリアレジスタ（m = 0 ～ 7）

DSADCmECR は、エラークリアを制御する、8 ビットの書き込み専用レジスタです。読み出し値は常に 0 が読み出されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ULEC	OWEC	PEC	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	R

表 28.17 DSADCmECR レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3	ULEC	上限／下限エラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする
2	OWEC	オーバライトエラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする
1	PEC	パリティエラークリア 0 の書き込み：クリアしない 1 の書き込み：クリアする
0	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

28.5.10 DSADCmER — エラーレジスタ（m = 0 ～ 7）

DSADCmER は、エラーを示す、8 ビットの読み出し専用レジスタです。DSADCmER は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ULE	OWE	PE	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 28.18 DSADCmER レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
3	ULE	上限／下限エラー 0：エラーなし 1：エラー セット条件 A/D 変換値が指定した上限 / 下限テーブルの範囲を超えたとき クリア条件 DSADCmECR.ULEC に 1 を書き込んだとき
2	OWE	オーバライトエラー 0：エラーなし 1：エラー セット条件 DSADCmDIR.WFLG = 1 の状態で A/D 変換値が DSADCmDIR.DR に書き込まれたとき クリア条件 DSADCmECR.OWEC に 1 を書き込んだとき
1	PE	パリティエラー 0：エラーなし 1：エラー セット条件 パリティエラーを検出したとき クリア条件 DSADCmECR.PEC に 1 を書き込んだとき
0	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。

注 意

- ULE、OWE は、A/D 変換値を DSADCmDIR に書き込むときに更新されます。
  PE は、DSADCmDIR の読み出し時に更新されます。
- AD エラー割り込み要求発生時は、割り込み例外処理で、DSADCmER をリードして 1 になっているビットを確認し、DSADCmECR の対応するクリアビットを使用して 0 にクリアしてください。

エラービットのクリアを行わずに、次の AD 変換でエラーが発生すると、以下の動作となり、エラーの検出や特定ができません。

1. 同じエラー（エラービットが 1 のもの）が発生した場合：
   AD エラー割り込み要求を発行しません。DSADCmER の当該エラービットは 1 のままです。
2. 異なるエラー（エラービットが 0 のもの）が発生した場合：
   AD エラー割り込み要求を発行します。前回の AD 変換で発生したエラービットは 1 のまま、DSADCmER の当該エラービットが 1 にセットされます。

28.5.11 DSADCmFCR — デジタルフィルタ FIR 制御レジスタ（m = 0 ～ 7）

DSADCmFCR は、デジタルフィルタ FIR を制御する、読み出し／書き込み可能な 8 ビットのレジスタです。DSADCmFCR は、リセット時に 00_H に初期化されます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	ORT	—	TPVSL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R/W	R/W	R/W

表 28.19 DSADCmFCR レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
4	ORT	デジタルフィルタ FIR タイプ出力レート選択 本ビットは、TPVSL[2:0] = 0_H のとき（FIR 未使用時）は、無効です。 0：FIR の出力レートを 1/2 にします 1：FIR の出力レートを 1/4 にします DSADCCOSMPRCR.OSMPR の設定値、DSADCmFCR.DSDFTYP の設定値との組み合わせで、ΔΣADC の出力レート（全体のフィルタタイプ）が決まります。
3	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
2 ～ 0	TPVSL[2:0]	デジタルフィルタ FIR の使用有無と係数の選択 DSADCmCCR.DSDFTYP = 0_H のとき有効です。係数は**「表 28.20 デジタルフィルタ FIR 係数表」**を参照してください。 0_H：デジタルフィルタ FIR を使用しない 1_H：デジタルフィルタ FIR を使用し、係数 1 を適用する 2_H：デジタルフィルタ FIR を使用し、係数 2 を適用する 3 ～ 7_H：設定禁止

注 意

1. フィルタタイプは、DSADCCOSMPRCR と DSADCmCCR、DSADCmFCR の設定値の組み合わせにより変わります。**「28.6.2 フィルタタイプの設定」**に示すとおり、目的に合った設定をしてください。
2. 誤動作を防ぐため、DSADCmFCR の設定は DSADCmADSR.ADACT が 0 の状態（A/D 変換を開始する前）かつ DSADCmADCR.STTRGE が 0 の状態で行ってください。

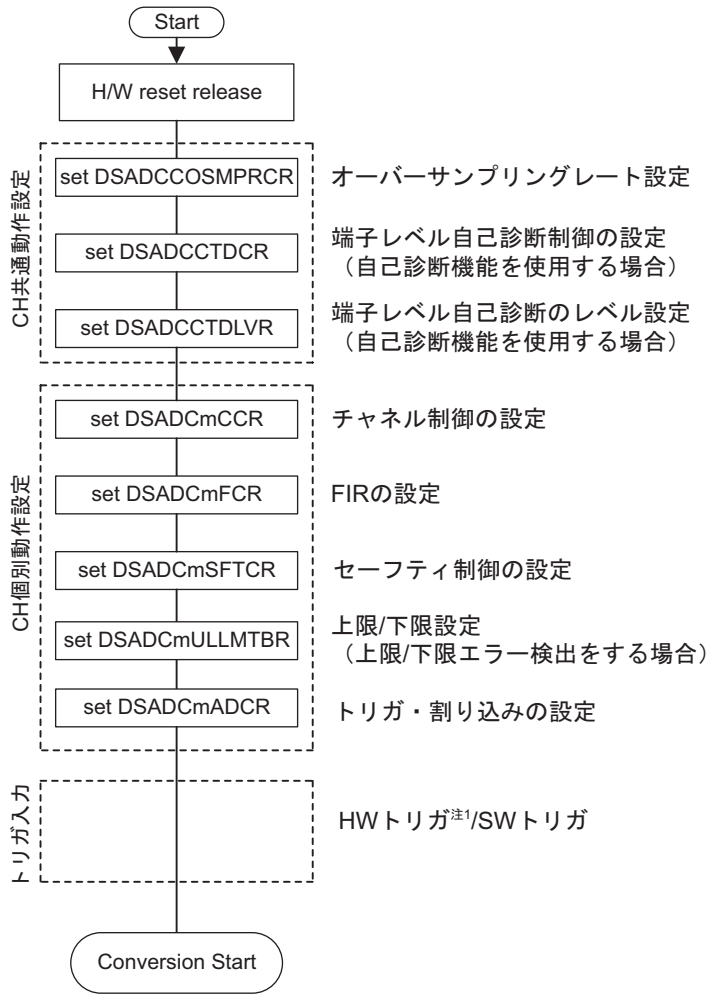
表 28.20 デジタルフィルタ FIR 係数表

番号	係数 1（TPVSL = 1_H） BW = 30kHz@400kSps	係数 2（TPVSL = 2_H） BW = 60kHz@400kSps
0	681	1649
1	1940	5765
2	3911	10863
3	6089	12706
4	7674	8333
5	7890	101
6	6397	-5597
7	3581	-4689
8	417	349
9	-1978	3549
10	-2889	2155
11	-2320	-1082
12	-913	-2167
13	460	-577
14	1176	1082
15	1105	964
16	556	-170
17	-26	-694
18	-335	-298
19	-332	169
20	-210	228
21	58	-53

28.6 動作説明

28.6.1 A/D 変換フロー

ΔΣADC は、**「図 28.3 初期設定フロー」**に示すレジスタを設定することで、A/D 変換を開始します。



注 1. HW トリガを使用する場合は、DSADCmADCR を設定する前に、ポート機能（PORT）およびトリガ選択機能（PIC2）で設定を行ってください。

図 28.3 初期設定フロー

28.6.2 フィルタタイプの設定

フィルタタイプは、DSADCCOSMPRCR と DSADCmCCR、DSADCmFCR の設定値の組み合わせにより変わります。**表 28.21** に示すとおり、目的に合った設定をしてください。

表 28.21 フィルタタイプごとのレジスタ設定値

項目	使用例 1	使用例 2	使用例 3	使用例 4
目標性能				
Fos	8Msps	8Msps	8Msps	8Msps
Fs	100ksps	200ksps	200ksps	1.6Msps
BW	30kHz	30kHz	60kHz	200kHz
ENOB	13bit	13bit	13bit	8bit
レジスタ設定				
DSADCCOSMPRCR.OSMPR	1_H	1_H	1_H	1_H
DSADCmCCR.DSDFTYP	0_H	0_H	0_H	1_H
DSADCmFCR.ORT	1_H	0_H	0_H	0_H
DSADCmFCR.TPVSL[2:0]	1_H	1_H	2_H	0_H

28.6.3 A/D 変換時間

ΔΣADC は、DSADCmADSTCR の ADST ビットが 1 にセットされてから、A/D 変換開始遅延時間（t_D）後に内部安定化時間（t_W）を経て A/D 変換処理を開始します。

図 28.4 に A/D 変換の開始と終了のタイミングを示します。**図 28.5** に A/D 変換処理のバジェットを示します。初回の A/D 処理時間（t_{AD}）は、A/D 変換開始遅延時間（t_D）、内部安定化時間（t_W）、デジタルフィルタ処理遅延時間（t_{DF}）を含めた時間となります。2 回目以降の A/D 変換処理時間（t_{AD}）は、サンプリング周期（t_S）となります。A/D 変換処理時間を**表 28.22** に示します。

A/D 変換処理時間（t_{AD}）は、以下の計算式で求められます。

$$t_{AD} = t_D + t_W + t_{DF}$$

2 回目以降は、

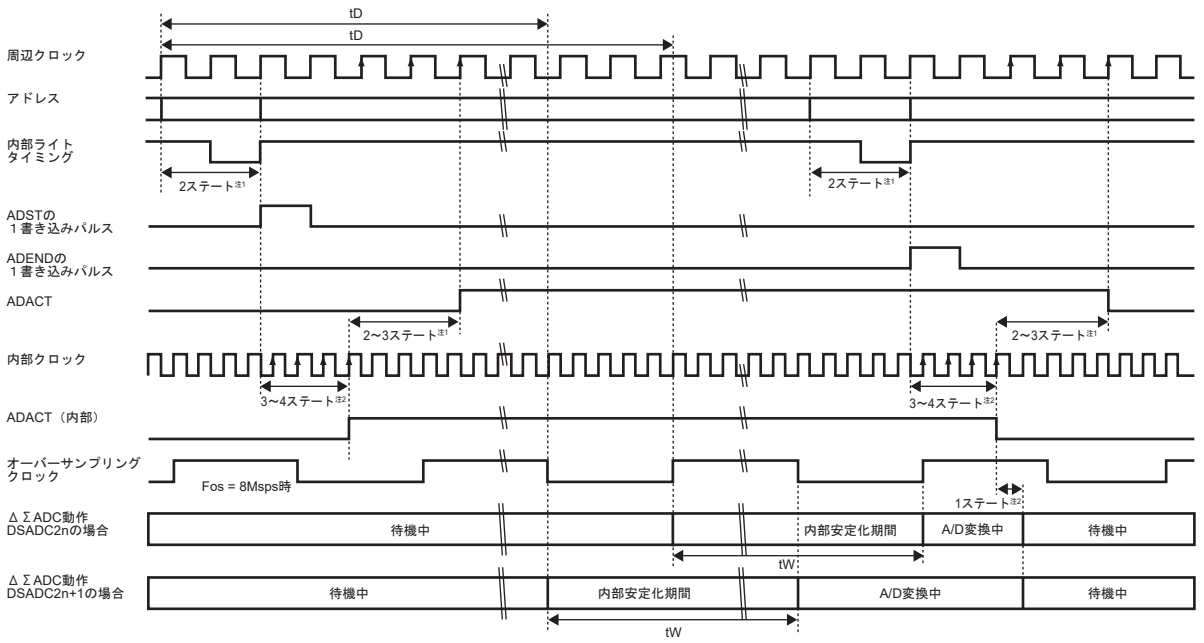
$$t_{AD} = t_S$$

となります。

表 28.22 A/D 変換処理時間（単位：Pϕ P-Bus クロック（40 MHz））

項目		使用例 1	使用例 2	使用例 3	使用例 4
A/D 変換処理時間	t_{AD}（初回）	2595.5 注 1 ～ 2602.5 注 1	2595.5 注 1 ～ 2602.5 注 1	2595.5 注 1 ～ 2602.5 注 1	180.5 注 1 ～ 187.5 注 1
A/D 変換開始遅延時間	t_D	16.5 注 1 ～ 23.5 注 1	16.5 注 1 ～ 23.5 注 1	16.5 注 1 ～ 23.5 注 1	16.5 注 1 ～ 23.5 注 1
内部安定化時間	t_W	10	10	10	10
デジタルフィルタ処理遅延時間	t_{DF}	2569	2569	2569	154
A/D 変換処理時間	t_{AD}（2 回目以降）	400	200	200	25
サンプリング周期	t_S	400	200	200	25

注 1. 奇数チャネルのスペック。偶数チャネルは +2.5 バスクロック。



注 1. 周辺クロックのステート数

注 2. 内部クロックのステート数

備考 n : 0 ～ 3 Fos : オーバサンプリングレート

図 28.4 A/D 変換の開始と終了

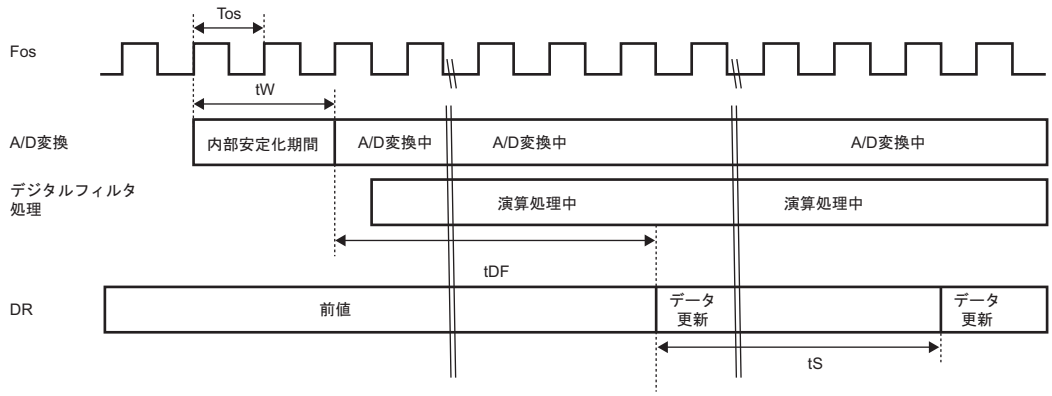


図 28.5 A/D 変換処理のバジェット

28.6.4 外部トリガによる A/D 変換の起動

DSADTRGm の入力で、DSADCm を起動することができます。DSADTRGm で DSADCm を起動するときには、PFC（ピンファンクションコントローラ）で端子機能を設定し、トリガ選択機能で AD 開始トリガ m のトリガソースを選択します。DSADTRGm にハイレベルを入力した後、DSADCmADCR の STTRGE を 1 にセットします。この状態で DSADTRGm にローレベルを入力すると、DSADCm はパルスの立ち下がりエッジを検出して DSADCmADSR.ADACT を 1 にセットします。

DSADCmADSR.ADACT が 1 にセットされるタイミングは、DSADTRGm の立ち下がりエッジから 3 ～ 4 ステート @ 内部クロック＋ 2 ～ 3 ステート @ バスクロックです。

DSADCmADSR.ADACT が 1 にセットされてから DSADCm が開始されるまでのタイミングは、ソフトウェアで DSADCmADSTCR.ADST を 1 にセットされた場合と同じです。端子機能の設定については、**「第 2 章　端子」**を参照してください。AD 開始トリガ m のトリガソース選択については、**「26.2　トリガ選択機能（PIC2）」**を参照してください。

また、途中で DSADCm を停止させる場合は、DSADCmADENDCR.ADEND に 1 を書き込んでください。

備　考

m ＝ 0 ～ 7

28.6.5 外部トリガによる A/D 変換の終了

DSADTRGm の入力で、DSADCm を終了することができます。DSADTRGm で DSADCm を終了するときには、PFC（ピンファンクションコントローラ）で端子機能を設定し、トリガ選択機能で AD 終了トリガ m のトリガソースを選択します。DSADTRGm にハイレベルを入力した後、DSADCmADCR の ENDTRGE を 1 にセットします。この状態で DSADTRGm にローレベルを入力すると、DSADCm はパルスの立ち下がりエッジを検出して DSADCmADSR.ADACT を 0 にクリアし、DSADCm を終了します。

DSADCmADSR.ADACT が 0 にクリアされるタイミングは、DSADTRGm の立ち下がりエッジから 3 ～ 4 ステート @ 内部クロック＋ 2 ～ 3 ステート @ バスクロックです。

端子機能の設定については、**「第 2 章　端子」**を参照してください。AD 終了トリガ m のトリガソース選択については、**「26.2　トリガ選択機能（PIC2）」**を参照してください。

備　考

m = 0 ～ 7

28.6.6 タイマトリガによる A/D 変換の起動

任意のタイマトリガによって、DSADCm を起動することができます。任意のタイマトリガで DSADCm を起動するときには、トリガ選択機能で AD 開始トリガ m のトリガソースをどのタイマトリガにするか選択します。DSADCmADCR の STTRGE を 1 にセットします。

この状態で選択したタイマトリガが入ると、DSADCmADSR.ADACT を 1 にセットします。DSADCmADSR.ADACT ビットが 1 にセットされてから DSADCm が開始されるまでのタイミングは、ソフトウェアで DSADCmADSTCR.ADST を 1 にセットされた場合と同じです。

AD 開始トリガ m のトリガソース選択については、**「26.2 トリガ選択機能（PIC2）」**を参照してください。

また、途中で DSADCm を停止させる場合は、DSADCmADENDCR.ADEND に 1 を書き込んでください。

備 考

m = 0 ～ 7

28.6.7 タイマトリガによる A/D 変換の終了

任意のタイマトリガによって、DSADCm を終了することができます。任意のタイマトリガで DSADCm を終了するときには、トリガ選択機能で AD 終了トリガ m のトリガソースをどのタイマトリガにするか選択します。DSADCmADCR の ENDTRGE を 1 にセットします。

この状態で選択したタイマトリガが入ると、DSADCmADSR.ADACT を 0 にクリアし、DSADCm を終了します。

AD 終了トリガ m のトリガソース選択については、**「26.2 トリガ選択機能（PIC2）」**を参照してください。

備 考

m = 0 ～ 7

28.6.8 A/D 変換モニタ端子によるモニタ機能

DSADENDm によって、DSADCm の A/D 変換をモニタすることができます。端子の設定に関しては、**「第 2 章 端子」**を参照してください。

図 28.6 に A/D 変換モニタ端子の出力例を示します。

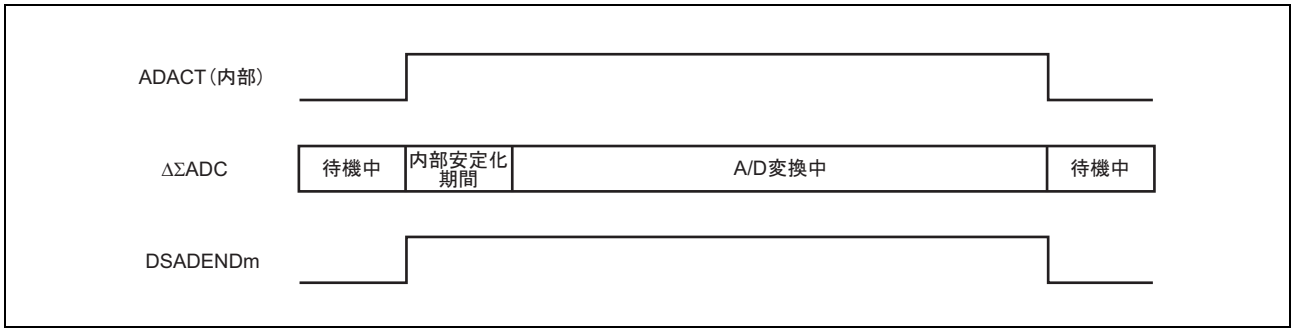


図 28.6 A/D 変換モニタ端子の出力例

備 考

m = 0 ～ 7

28.6.9 DMA 要求要因

ΔΣADC は、DMA 要求要因（DSADIm）を発生し、DMAC を起動することができます（INTC への割り込みは発生しません）。DSADCmADCR の ADIE を 1 にセットすると A/D 変換終了で DSADIm を出力し、0 にクリアすると A/D 変換終了でも DSADIm の出力を禁止できます。

DMAC の設定については**「第 7 章　DMA」**を参照してください。

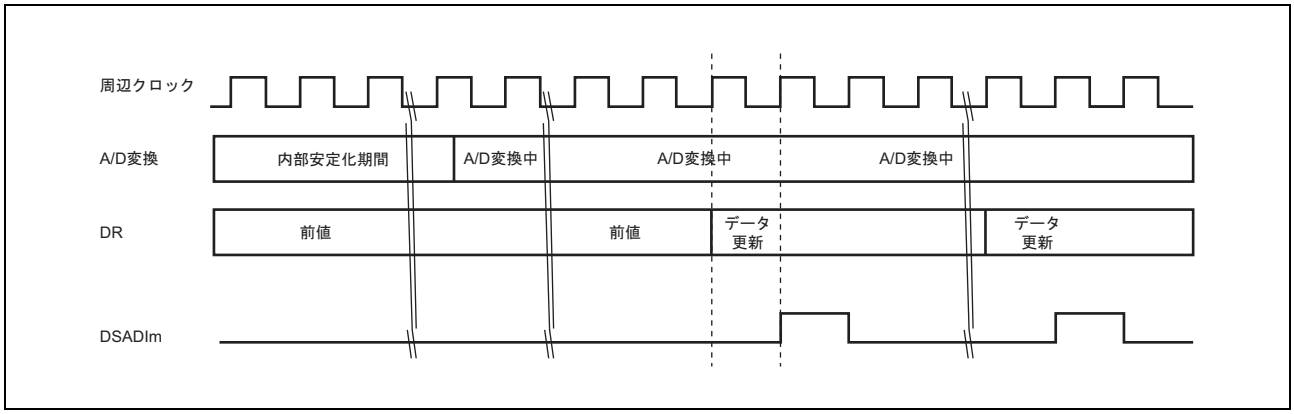


図 28.7　DMA 要求要因例

備　考

m = 0 ～ 7

28.6.10 AD エラー割り込み要求と AD パリティエラー割り込み要求

ΔΣADC は、INTC への AD エラー割り込み要求（DSADEm）と ECM（エラーコントロールモジュール）への AD パリティエラー割り込み（DSADPEm）を発生することができます。DSADCmSFTCR の ULEIE、OWEIE が 1 に設定されたエラー要因の OR 条件を DSADEm として発生します。0 に設定されたエラー要因の DSADEm は禁止することができます。DSADCmSFTCR の PEIE を 1 に設定すると DSADPEm を許可、0 に設定すると DSADPEm を禁止します。

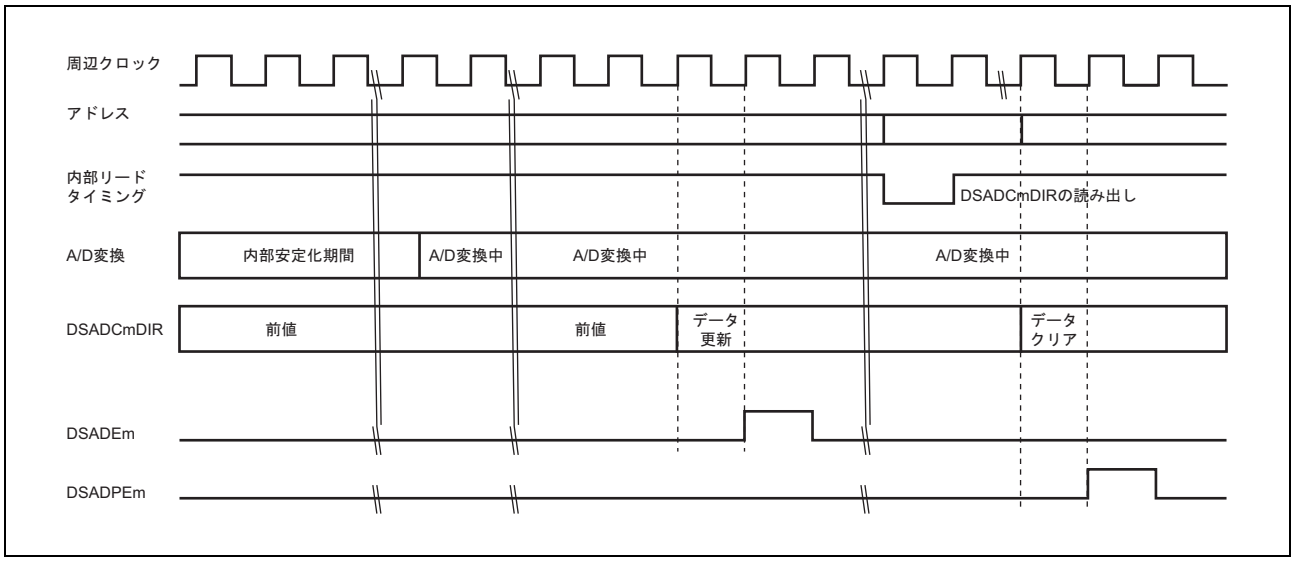


図 28.8 AD エラー割り込みと AD パリティエラー割り込み発生例

備 考

m = 0 ～ 7

28.7 使用上の注意事項

28.7.1 アナログ入力端子の使用上の注意

1 つのアナログ端子を ΔΣADC と SAR-ADC の両者で同時に A/D 変換しないでください。

さらに、デジタル入力選択中のアナログ端子を ΔΣADC で A/D 変換しないでください。

A/D 精度劣化の原因となります。

ΔΣADC をシングルエンドで使用するときは、対応するチャネルの P 側アナログ入力端子のみを使用しますので、N 側アナログ入力端子を SAR-ADC の入力として使用することができます。

28.7.2 モジュールスタンバイ機能

ΔΣADC は、モジュールスタンバイ機能を有しています。

モジュールスタンバイは、MSRDAD.MS_DSAD を設定することで共通部、および全チャネルのクロックを一斉に停止します。

また、モジュールスタンバイレジスタの MSRFRAY.MS_DSAD2_7 を設定することで DSADC2 ～ 7 のクロックを、MSRDAD.MS_DSAD23 を設定することで DSADC2 ～ 3 のクロックを、MSRDAD.MS_DSAD45 を設定することで DSADC4 ～ 5 のクロックを、MSRDAD.MS_DSAD67 を設定することで DSADC6 ～ 7 のクロックを、それぞれ停止します。

誤動作を避けるため、A/D 変換中、または、A/D 変換開始／終了トリガイネーブル状態で、モジュールスタンバイにすることを禁止します。モジュールスタンバイは、当該チャネルを以下の状態にしてから行ってください。

DSADCmADSR.ADACT = 0 かつ
DSADCmADCR.ENDTRGE = 0 かつ
DSADCmADCR.STTRGE = 0

第 29 章　デジタルフィルタ（DFE）

29.1　概要

29.1.1　特徴

- 16 チャネルのデジタルフィルタ（FIR/IIR）機能内蔵（FIR64 タップを選択時は 8 チャネル）
- フィルタ係数、データは、DFE 内の RAM に格納
- フィルタ処理後のデータに対して積算処理もしくはデシメーション（間引き）処理を行う積算回路と、ピークホールド処理もしくは、比較処理を行う PH 回路を内蔵
- 比較演算結果が真の時に割り込み要求を発生
- 内蔵 AD 変換器からの変換データを入力

29.1.2　全体構成

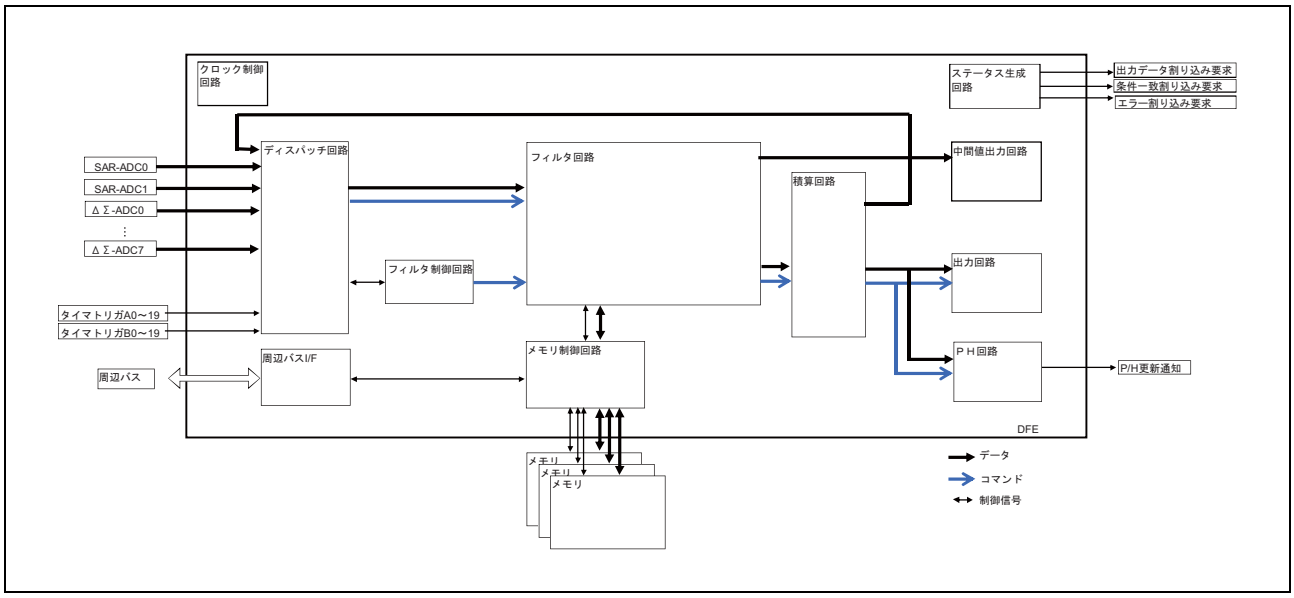


図 29.1　DFE 全体構成図

デジタルフィルタ DFE（Digital Filter Engine）は、16 チャネルのフィルタ処理を時分割で実行可能です。フィルターアルゴリズムは、最大 64 タップの FIR と、最大 6 次の IIR を選択可能です。AD 変換器、周辺バスからデータが与えられると、自動的に FIR ／ IIR フィルタ処理を実行します。通常モードでは、全てのフィルタ処理結果を出力データレジスタに格納します。デシメーション（間引き）モードでは、例えば 4 回のフィルタ処理毎に 1 回の出力データを出力データレジスタに格納します。出力データレジスタにデータを格納すると、割り込み要求することができます。また、デジタルフィルタ処理結果を再度フィルタ回路に入力することができます。

29.1.3 データフォーマット

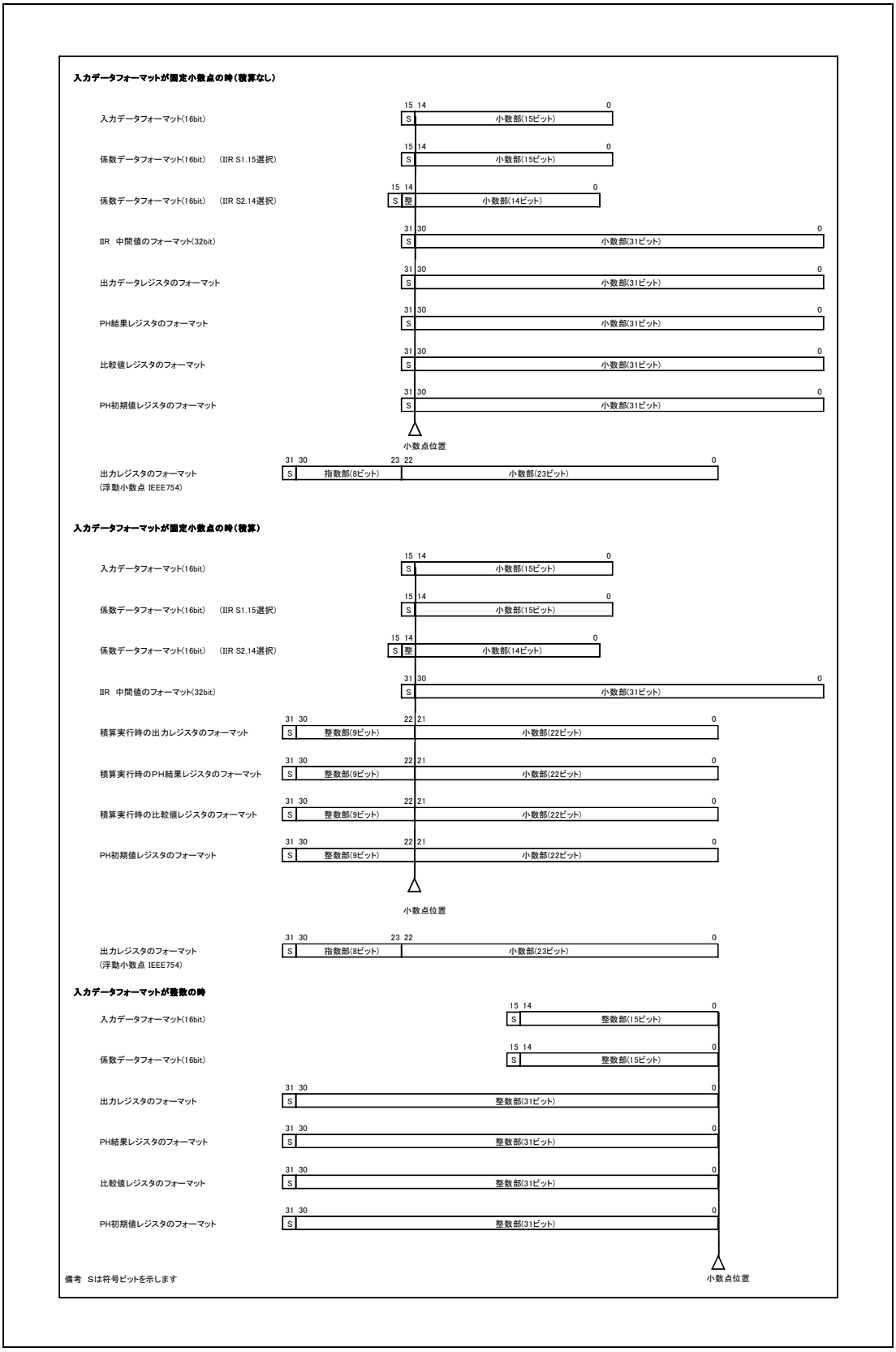


図 29.2 データフォーマット

29.1.4 フィルタ回路

29.1.4.1 FIR フィルタ

- タップ数：8 ／ 16 ／ 24 ／ 32 ／ 64 タップから選択可能
- 入力データ及び係数：16 ビット符号付き固定小数点／ 16 ビット整数
- 中間値データ：38 ビット符号付固定小数点
- 出力データ：32 ビット符号付き固定小数点／ 32 ビット整数
- 積和演算精度：32 ビット

29.1.4.2 IIR フィルタ

- 2 次バイクワッド段数：1 ／ 2 ／ 3 から選択可能
- 入力データ：16 ビット符号付き固定小数点
- 係数データフォーマット：16 ビット符号付き固定小数点 S1.15 又は S2.14
- 中間データ及び出力データ：32 ビット符号付固定小数点
- 積和演算精度：32 ビット

29.1.5 ディスパッチ回路

ディスパッチ回路では、AD 変換器、周辺バスからのフィルタ処理対象データを受け付けます。受け付けたデータは、16 チャネルに割付を行い、フィルタ処理を行うデータを選択しフィルタ回路にデータを出力します。尚、入力可能なデータはチャネル毎に決まっています。チャネル毎の入力可能データの一覧を**表 29.1** に示します。

CH0 ～ CH7 のうち、1 チャネル以上を FIR64 タップに設定した時、CH8 ～ CH15 は使用できません。

表 29.1 チャネルごとの入力可能データ

	SAR-ADC		ΔΣADC								ソフトウエア	カスケード
	0	1	0	1	2	3	4	5	6	7		
CH0	○	○	○	○	○	×	×	×	×	×	○	○
CH1	○	○	○	○	×	○	×	×	×	×	○	○
CH2	○	○	○	○	×	×	○	×	×	×	○	○
CH3	○	○	○	○	×	×	×	○	×	×	○	○
CH4	○	○	○	○	×	×	×	×	○	×	○	○
CH5	○	○	○	○	×	×	×	×	×	○	○	○
CH6	○	○	○	○	○	×	×	×	×	×	○	○
CH7	○	○	○	○	×	○	×	×	×	×	○	○
CH8	○	○	○	○	×	×	○	×	×	×	○	○
CH9	○	○	○	○	×	×	×	○	×	×	○	○
CH10	○	○	○	○	×	×	×	×	○	×	○	○
CH11	○	○	○	○	×	×	×	×	×	○	○	○
CH12	○	○	○	○	○	×	×	×	×	×	○	○
CH13	○	○	○	○	×	○	×	×	×	×	○	○
CH14	○	○	○	○	×	×	○	×	×	×	○	○
CH15	○	○	○	○	×	×	×	○	×	×	○	○

備考 “○”：入力可能、“×”：入力不可能

29.1.6 積算回路

積算回路では、全てのチャネルのフィルタ結果に対して、絶対値演算、積算、デシメーション処理を実行可能です。積算とデシメーションはどちらか一方を指定することができます。

- 絶対値：フィルタ結果の絶対値を計算します
- 積算：フィルタ結果の積算を求める事ができます。積算回数は、最大 511 回です。結果は、S10.22 フォーマットです。所定回数の積算処理の実行後に、1 個の積算結果を次の処理に送ります。
- デシメーション (間引き) : デシメーションは、フィルタ結果の間引きを行います。例えば、デシメーション回数を 4 回とすると、フィルタ結果 4 回に 1 回、結果を出力します。デシメーション回数は、最大 511 回です。

29.1.7 PH 回路

PH 回路では、ピークホールドもしくは、比較演算を実行します。チャネル 0 ～ 9 において実行可能です。また PH 回路は、積算回路と連動して動作可能です。例えば、積算／デシメーションを設定し回数指定を行うと、指定した回数毎にピークホールドまたは比較演算を実行します。積算／デシメーションを設定しない場合は、フィルタ処理毎にピークホールドまたは比較演算を実行します。

- ピークホールド（PH）：フィルタ結果、又は積算回路出力結果のピークホールドが可能です。ピークホールド終了フラグが有効になると、割り込み要求をする事ができます。また、選択したチャネル（任意の 2 チャネルが選択可能）でピークホールド結果レジスタが更新されると PH 更新通知を出力する事ができます。
- PH インデックス：何回目の PH 処理で PH 結果レジスタが更新されたかを確認することができます。
- 比較：フィルタ結果、又は積算回路出力結果と所定の値を比較（＝、＜、＞、≧、≦）し、条件成立によって割り込み要求をする事ができます。

29.1.8 出力回路

出力回路では、演算結果をチャネル毎に出力データレジスタに格納します。積算、またはデシメーション指定時には、データを格納すると同時に割り込みを要求することができます。固定小数点フォーマットでの入力の場合、浮動小数点（IEEE754）フォーマットに変換して出力データレジスタに格納することが可能です

29.1.9 中間値出力回路

中間値出力回路では、丸め処理する前のフィルタ演算中間値を、チャネル毎に中間値出力レジスタに格納します。FIR フィルタを選択し、固定小数点フォーマットで入力する場合に有効です。固定小数点、まはた、浮動小数点（IEEE754）フォーマットに変換して格納することが可能です。

29.1.10 用語

本仕様書に記載する用語は、**表 29.2** のように定義する。

表 29.2 用語一覧 (1/3)

単語	本書での定義
DFE 動作クロック	DFE に入力する SSCG 80MHz クロック。
フィルタ回路	FIR フィルタ、IIR フィルタを行う回路。
処理対象データ	DFE がフィルタ処理を行うデータのこと。 AD が入力するデータ、周辺バスが入力するデータ、フィルタ処理結果を再度入力する（カスケード）データがあります。
ソフトウエア入力	CPU もしくは DMA から周辺バス経由でレジスタに処理対象データをライトすることにより、DFE を起動すること。
入力データレジスタ	処理対象データをライトするレジスタ。16 チャネルある。
DFE 起動信号	処理対象データとともに DFE に入力する DFE の処理開始信号。
AD タグ	AD が処理対象データと共に DFE に入力するタグ値。
AD データ	AD が DFE に入力する処理対象データ。
AD 入力	AD タグ、AD データ、AD が入力する DFE 起動信号。 図中では、AD が入力する DFE 起動信号をさします。

表 29.2 用語一覧 (2/3)

単語	本書での定義
チャネルタグ	DFE のレジスタ（制御レジスタ A）で指定するタグ信号。 チャネル毎に持つ。
ディスパッチ	処理対象データを入力データレジスタにライトすること。 DFE 起動信号で処理開始し、チャネルタグと AD タグ信号を比較し、一致したチャネルの入力データレジスタにライトを行う事。
ディスパッチ回路	ディスパッチ処理及びフィルタ回路にフィルタ対象データを出力する回路。
積算	チャネル毎のフィルタ処理結果データを制御レジスタで指定された回数分の積算（累加算）すること。
デシメーション	間引きのこと。 フィルタ処理結果データを制御レジスタで指定された回数分間引きを行うこと。
積算回路	フィルタ処理結果データについて、絶対値演算、積算、デシメーションの動作を行う回路。
PH ピークホールド	積算回路出力のデータの最大値を保持する処理。
PH 回路	PH、比較処理を行う回路です。
PH 結果レジスタ	PH 処理結果の値を保持するレジスタ。
PH インデックスレジスタ	PH 結果レジスタの値が、PH 処理開始から何回目に PH 回路に入力された値かを示すレジスタ。
出力回路	積算回路の出力データを、出力データレジスタにライトする回路、及び積算回路の出力データを、浮動小数点フォーマットに変換して、出力データレジスタにライトする回路。
出力データレジスタ	DFE 処理完了後のデータをライトするレジスタです。 16 チャネルあります。
入力データオーバーライトエラー（DIOW）	入力データレジスタに有効なデータがある時（DFE 内処理のフィルタ処理待ち、フィルタ処理中、積算回路処理実行中の時）に、新たなデータが入力データレジスタにライトされた時のエラーです。
出力データオーバーライトエラー（DOOW）	出力データレジスタに有効なデータがある時 （DFE が出力データレジスタにフィルタ処理結果や、積算処理結果をライト後）に、出力データレジスタに、新たなデータがライトされた時のエラーです。
乗算エラー	フィルタ回路において、$8000_H \times 8000_H$ が実行された時のエラーです。
ガードエラー	フィルタ回路において、累加算実行時に、ガードビットでのオーバーフロー、アンダーフロー発生時のエラーです。
カスケードエラー	カスケード処理有効時、積算回路出力の 32bit データを 16bit に丸めた際のオーバーフロー発生時のエラーです。
絶対値演算エラー	積算回路内の絶対値演算時、8000_0000_H が入力された時のエラーです。
タイマトリガ	タイマから入力されるトリガをさします。
ソフトウエアトリガ	CPU/DMA からソフトウエアトリガレジスタに 1 をライトする事で発生するトリガです。
トリガフラグ	タイマトリガ、ソフトウエアトリガ、DFE 内の制御レジスタであるトリガ設定レジスタにより DFE が生成する「積算／デシメーション初期化フラグ」、「積算／デシメーション禁止フラグ」、「PH 初期化フラグ」、「PH 終了フラグ」、「フィルタ初期化フラグ」の 5 つのフラグの事です。
積算／デシメーション初期化フラグ	トリガフラグの 1 つ。積算指定時は積算初期化フラグ、デシメーション指定時は、デシメーション初期化フラグです。積算回路のカウンタの初期化を行うためのフラグです。
積算／デシメーション禁止フラグ	トリガフラグの 1 つ。積算指定時は積算禁止フラグとなり、デシメーション指定時は、デシメーション禁止フラグになります。積算回路のカウンタの停止を行い、実行後は、積算処理・デシメーション処理を禁止し、出力データを更新しません。
PH 初期化フラグ	トリガフラグの 1 つ。PH 指定時に有効となり、PH 演算をレジスタで設定する PH 初期値で行うためのフラグです。
PH 終了フラグ	トリガフラグの 1 つ。PH 指定時に有効となり、PH 処理を終了するフラグです。

表 29.2　用語一覧（3/3）

単語	本書での定義
フィルタ初期化フラグ	トリガフラグの１つ。フィルタ処理で使用するアドレスポインタの初期化を行い、フィルタ処理に初期化シーケンスを加えて実行します。
割り込み要求	割り込みコントローラ、CPU（PCU）、DMA 起動要求の割り込みです。

29.2 制御レジスタ

29.2.1 レジスター覧

DFE のレジスター覧、メモリアドレスを以下に示します。

メモリに対するライトは、係数メモリは 32 ビット、データメモリは、上位 16 ビット／下位 16 ビット／ 32 ビットが可能です。

表 29.3 レジスター覧 (1/5)

レジスタアドレス = $FFBF_0000_H$ + <offset address>

Offset Address	レジスタ名	機能	アクセスサイズ	R/W	リセット後の値
0000_H	CTLACH0	制御レジスタ A（チャネル 0）	8、16、32	R/W	$0000\ 0000_H$
0004_H	CTLACH1	制御レジスタ A（チャネル 1）	8、16、32	R/W	$0000\ 0000_H$
0008_H	CTLACH2	制御レジスタ A（チャネル 2）	8、16、32	R/W	$0000\ 0000_H$
$000C_H$	CTLACH3	制御レジスタ A（チャネル 3）	8、16、32	R/W	$0000\ 0000_H$
0010_H	CTLACH4	制御レジスタ A（チャネル 4）	8、16、32	R/W	$0000\ 0000_H$
0014_H	CTLACH5	制御レジスタ A（チャネル 5）	8、16、32	R/W	$0000\ 0000_H$
0018_H	CTLACH6	制御レジスタ A（チャネル 6）	8、16、32	R/W	$0000\ 0000_H$
$001C_H$	CTLACH7	制御レジスタ A（チャネル 7）	8、16、32	R/W	$0000\ 0000_H$
0020_H	CTLACH8	制御レジスタ A（チャネル 8）	8、16、32	R/W	$0000\ 0000_H$
0024_H	CTLACH9	制御レジスタ A（チャネル 9）	8、16、32	R/W	$0000\ 0000_H$
0028_H	CTLACH10	制御レジスタ A（チャネル 10）	8、16、32	R/W	$0000\ 0000_H$
$002C_H$	CTLACH11	制御レジスタ A（チャネル 11）	8、16、32	R/W	$0000\ 0000_H$
0030_H	CTLACH12	制御レジスタ A（チャネル 12）	8、16、32	R/W	$0000\ 0000_H$
0034_H	CTLACH13	制御レジスタ A（チャネル 13）	8、16、32	R/W	$0000\ 0000_H$
0038_H	CTLACH14	制御レジスタ A（チャネル 14）	8、16、32	R/W	$0000\ 0000_H$
$003C_H$	CTLACH15	制御レジスタ A（チャネル 15）	8、16、32	R/W	$0000\ 0000_H$
0040_H	CTLBCH0	制御レジスタ B（チャネル 0）	8、16、32	R/W	$0000\ 0000_H$
0044_H	CTLBCH1	制御レジスタ B（チャネル 1）	8、16、32	R/W	$0000\ 0000_H$
0048_H	CTLBCH2	制御レジスタ B（チャネル 2）	8、16、32	R/W	$0000\ 0000_H$
$004C_H$	CTLBCH3	制御レジスタ B（チャネル 3）	8、16、32	R/W	$0000\ 0000_H$
0050_H	CTLBCH4	制御レジスタ B（チャネル 4）	8、16、32	R/W	$0000\ 0000_H$
0054_H	CTLBCH5	制御レジスタ B（チャネル 5）	8、16、32	R/W	$0000\ 0000_H$
0058_H	CTLBCH6	制御レジスタ B（チャネル 6）	8、16、32	R/W	$0000\ 0000_H$
$005C_H$	CTLBCH7	制御レジスタ B（チャネル 7）	8、16、32	R/W	$0000\ 0000_H$
0060_H	CTLBCH8	制御レジスタ B（チャネル 8）	8、16、32	R/W	$0000\ 0000_H$
0064_H	CTLBCH9	制御レジスタ B（チャネル 9）	8、16、32	R/W	$0000\ 0000_H$
0068_H	CTLBCH10	制御レジスタ B（チャネル 10）	8、16、32	R/W	$0000\ 0000_H$
$006C_H$	CTLBCH11	制御レジスタ B（チャネル 11）	8、16、32	R/W	$0000\ 0000_H$
0070_H	CTLBCH12	制御レジスタ B（チャネル 12）	8、16、32	R/W	$0000\ 0000_H$
0074_H	CTLBCH13	制御レジスタ B（チャネル 13）	8、16、32	R/W	$0000\ 0000_H$
0078_H	CTLBCH14	制御レジスタ B（チャネル 14）	8、16、32	R/W	$0000\ 0000_H$
$007C_H$	CTLBCH15	制御レジスタ B（チャネル 15）	8、16、32	R/W	$0000\ 0000_H$
0080_H	DOCH0	出力データレジスタ（チャネル 0）	32	R	$0000\ 0000_H$
0084_H	DOCH1	出力データレジスタ（チャネル 1）	32	R	$0000\ 0000_H$
0088_H	DOCH2	出力データレジスタ（チャネル 2）	32	R	$0000\ 0000_H$

表 29.3　レジスタ一覧 (2/5)

レジスタアドレス = FFBF_0000$_H$ + <offset address>

Offset Address	レジスタ名	機能	アクセスサイズ	R/W	リセット後の値
008C$_H$	DOCH3	出力データレジスタ（チャネル 3）	32	R	0000 0000$_H$
0090$_H$	DOCH4	出力データレジスタ（チャネル 4）	32	R	0000 0000$_H$
0094$_H$	DOCH5	出力データレジスタ（チャネル 5）	32	R	0000 0000$_H$
0098$_H$	DOCH6	出力データレジスタ（チャネル 6）	32	R	0000 0000$_H$
009C$_H$	DOCH7	出力データレジスタ（チャネル 7）	32	R	0000 0000$_H$
00A0$_H$	DOCH8	出力データレジスタ（チャネル 8）	32	R	0000 0000$_H$
00A4$_H$	DOCH9	出力データレジスタ（チャネル 9）	32	R	0000 0000$_H$
00A8$_H$	DOCH10	出力データレジスタ（チャネル 10）	32	R	0000 0000$_H$
00AC$_H$	DOCH11	出力データレジスタ（チャネル 11）	32	R	0000 0000$_H$
00B0$_H$	DOCH12	出力データレジスタ（チャネル 12）	32	R	0000 0000$_H$
00B4$_H$	DOCH13	出力データレジスタ（チャネル 13）	32	R	0000 0000$_H$
00B8$_H$	DOCH14	出力データレジスタ（チャネル 14）	32	R	0000 0000$_H$
00BC$_H$	DOCH15	出力データレジスタ（チャネル 15）	32	R	0000 0000$_H$
00C0$_H$	PHCH0	PH 結果レジスタ（チャネル 0）	32	R	8000 0000$_H$
00C4$_H$	PHCH1	PH 結果レジスタ（チャネル 1）	32	R	8000 0000$_H$
00C8$_H$	PHCH2	PH 結果レジスタ（チャネル 2）	32	R	8000 0000$_H$
00CC$_H$	PHCH3	PH 結果レジスタ（チャネル 3）	32	R	8000 0000$_H$
00D0$_H$	PHCH4	PH 結果レジスタ（チャネル 4）	32	R	8000 0000$_H$
00D4$_H$	PHCH5	PH 結果レジスタ（チャネル 5）	32	R	8000 0000$_H$
00D8$_H$	PHCH6	PH 結果レジスタ（チャネル 6）	32	R	8000 0000$_H$
00DC$_H$	PHCH7	PH 結果レジスタ（チャネル 7）	32	R	8000 0000$_H$
00E0$_H$	PHCH8	PH 結果レジスタ（チャネル 8）	32	R	8000 0000$_H$
00E4$_H$	PHCH9	PH 結果レジスタ（チャネル 9）	32	R	8000 0000$_H$
0100$_H$	PHINDCH0	PH インデックスレジスタ（チャネル 0）	32	R	0000 0000$_H$
0104$_H$	PHINDCH1	PH インデックスレジスタ（チャネル 1）	32	R	0000 0000$_H$
0108$_H$	PHINDCH2	PH インデックスレジスタ（チャネル 2）	32	R	0000 0000$_H$
010C$_H$	PHINDCH3	PH インデックスレジスタ（チャネル 3）	32	R	0000 0000$_H$
0110$_H$	PHINDCH4	PH インデックスレジスタ（チャネル 4）	32	R	0000 0000$_H$
0114$_H$	PHINDCH5	PH インデックスレジスタ（チャネル 5）	32	R	0000 0000$_H$
0118$_H$	PHINDCH6	PH インデックスレジスタ（チャネル 6）	32	R	0000 0000$_H$
011C$_H$	PHINDCH7	PH インデックスレジスタ（チャネル 7）	32	R	0000 0000$_H$
0120$_H$	PHINDCH8	PH インデックスレジスタ（チャネル 8）	32	R	0000 0000$_H$
0124$_H$	PHINDCH9	PH インデックスレジスタ（チャネル 9）	32	R	0000 0000$_H$
0140$_H$	STCH0	ステータスレジスタ（チャネル 0）	8、16	R	0000$_H$
0144$_H$	STCH1	ステータスレジスタ（チャネル 1）	8、16	R	0000$_H$
0148$_H$	STCH2	ステータスレジスタ（チャネル 2）	8、16	R	0000$_H$
014C$_H$	STCH3	ステータスレジスタ（チャネル 3）	8、16	R	0000$_H$
0150$_H$	STCH4	ステータスレジスタ（チャネル 4）	8、16	R	0000$_H$
0154$_H$	STCH5	ステータスレジスタ（チャネル 5）	8、16	R	0000$_H$
0158$_H$	STCH6	ステータスレジスタ（チャネル 6）	8、16	R	0000$_H$
015C$_H$	STCH7	ステータスレジスタ（チャネル 7）	8、16	R	0000$_H$
0160$_H$	STCH8	ステータスレジスタ（チャネル 8）	8、16	R	0000$_H$

表 29.3　レジスタ一覧 (3/5)

レジスタアドレス = FFBF_0000$_H$ + <offset address>

Offset Address	レジスタ名	機能	アクセスサイズ	R/W	リセット後の値
0164$_H$	STCH9	ステータスレジスタ（チャネル 9）	8、16	R	0000$_H$
0168$_H$	STCH10	ステータスレジスタ（チャネル 10）	8、16	R	0000$_H$
016C$_H$	STCH11	ステータスレジスタ（チャネル 11）	8、16	R	0000$_H$
0170$_H$	STCH12	ステータスレジスタ（チャネル 12）	8、16	R	0000$_H$
0174$_H$	STCH13	ステータスレジスタ（チャネル 13）	8、16	R	0000$_H$
0178$_H$	STCH14	ステータスレジスタ（チャネル 14）	8、16	R	0000$_H$
017C$_H$	STCH15	ステータスレジスタ（チャネル 15）	8、16	R	0000$_H$
0180$_H$	CLRSTCH0	クリアステータスレジスタ（チャネル 0）	8、16	R/W	0000$_H$
0184$_H$	CLRSTCH1	クリアステータスレジスタ（チャネル 1）	8、16	R/W	0000$_H$
0188$_H$	CLRSTCH2	クリアステータスレジスタ（チャネル 2）	8、16	R/W	0000$_H$
018C$_H$	CLRSTCH3	クリアステータスレジスタ（チャネル 3）	8、16	R/W	0000$_H$
0190$_H$	CLRSTCH4	クリアステータスレジスタ（チャネル 4）	8、16	R/W	0000$_H$
0194$_H$	CLRSTCH5	クリアステータスレジスタ（チャネル 5）	8、16	R/W	0000$_H$
0198$_H$	CLRSTCH6	クリアステータスレジスタ（チャネル 6）	8、16	R/W	0000$_H$
019C$_H$	CLRSTCH7	クリアステータスレジスタ（チャネル 7）	8、16	R/W	0000$_H$
01A0$_H$	CLRSTCH8	クリアステータスレジスタ（チャネル 8）	8、16	R/W	0000$_H$
01A4$_H$	CLRSTCH9	クリアステータスレジスタ（チャネル 9）	8、16	R/W	0000$_H$
01A8$_H$	CLRSTCH10	クリアステータスレジスタ（チャネル 10）	8、16	R/W	0000$_H$
01AC$_H$	CLRSTCH11	クリアステータスレジスタ（チャネル 11）	8、16	R/W	0000$_H$
01B0$_H$	CLRSTCH12	クリアステータスレジスタ（チャネル 12）	8、16	R/W	0000$_H$
01B4$_H$	CLRSTCH13	クリアステータスレジスタ（チャネル 13）	8、16	R/W	0000$_H$
01B8$_H$	CLRSTCH14	クリアステータスレジスタ（チャネル 14）	8、16	R/W	0000$_H$
01BC$_H$	CLRSTCH15	クリアステータスレジスタ（チャネル 15）	8、16	R/W	0000$_H$
01C0$_H$	ERMCH0	エラーマスクレジスタ（チャネル 0）	8	R/W	00$_H$
01C4$_H$	ERMCH1	エラーマスクレジスタ（チャネル 1）	8	R/W	00$_H$
01C8$_H$	ERMCH2	エラーマスクレジスタ（チャネル 2）	8	R/W	00$_H$
01CC$_H$	ERMCH3	エラーマスクレジスタ（チャネル 3）	8	R/W	00$_H$
01D0$_H$	ERMCH4	エラーマスクレジスタ（チャネル 4）	8	R/W	00$_H$
01D4$_H$	ERMCH5	エラーマスクレジスタ（チャネル 5）	8	R/W	00$_H$
01D8$_H$	ERMCH6	エラーマスクレジスタ（チャネル 6）	8	R/W	00$_H$
01DC$_H$	ERMCH7	エラーマスクレジスタ（チャネル 7）	8	R/W	00$_H$
01E0$_H$	ERMCH8	エラーマスクレジスタ（チャネル 8）	8	R/W	00$_H$
01E4$_H$	ERMCH9	エラーマスクレジスタ（チャネル 9）	8	R/W	00$_H$
01E8$_H$	ERMCH10	エラーマスクレジスタ（チャネル 10）	8	R/W	00$_H$
01EC$_H$	ERMCH11	エラーマスクレジスタ（チャネル 11）	8	R/W	00$_H$
01F0$_H$	ERMCH12	エラーマスクレジスタ（チャネル 12）	8	R/W	00$_H$
01F4$_H$	ERMCH13	エラーマスクレジスタ（チャネル 13）	8	R/W	00$_H$
01F8$_H$	ERMCH14	エラーマスクレジスタ（チャネル 14）	8	R/W	00$_H$
01FC$_H$	ERMCH15	エラーマスクレジスタ（チャネル 15）	8	R/W	00$_H$
0200$_H$	TRGCH0	トリガ設定レジスタ（チャネル 0）	16、32	R/W	0000 0000$_H$
0204$_H$	TRGCH1	トリガ設定レジスタ（チャネル 1）	16、32	R/W	0000 0000$_H$
0208$_H$	TRGCH2	トリガ設定レジスタ（チャネル 2）	16、32	R/W	0000 0000$_H$

表 29.3 レジスタ一覧 (4/5)

レジスタアドレス = FFBF_0000$_H$ + <offset address>

Offset Address	レジスタ名	機能	アクセスサイズ	R/W	リセット後の値
020C$_H$	TRGCH3	トリガ設定レジスタ（チャネル 3）	16、32	R/W	0000 0000$_H$
0210$_H$	TRGCH4	トリガ設定レジスタ（チャネル 4）	16、32	R/W	0000 0000$_H$
0214$_H$	TRGCH5	トリガ設定レジスタ（チャネル 5）	16、32	R/W	0000 0000$_H$
0218$_H$	TRGCH6	トリガ設定レジスタ（チャネル 6）	16、32	R/W	0000 0000$_H$
021C$_H$	TRGCH7	トリガ設定レジスタ（チャネル 7）	16、32	R/W	0000 0000$_H$
0220$_H$	TRGCH8	トリガ設定レジスタ（チャネル 8）	16、32	R/W	0000 0000$_H$
0224$_H$	TRGCH9	トリガ設定レジスタ（チャネル 9）	16、32	R/W	0000 0000$_H$
0228$_H$	TRGCH10	トリガ設定レジスタ（チャネル 10）	16、32	R/W	0000 0000$_H$
022C$_H$	TRGCH11	トリガ設定レジスタ（チャネル 11）	16、32	R/W	0000 0000$_H$
0230$_H$	TRGCH12	トリガ設定レジスタ（チャネル 12）	16、32	R/W	0000 0000$_H$
0234$_H$	TRGCH13	トリガ設定レジスタ（チャネル 13）	16、32	R/W	0000 0000$_H$
0238$_H$	TRGCH14	トリガ設定レジスタ（チャネル 14）	16、32	R/W	0000 0000$_H$
023C$_H$	TRGCH15	トリガ設定レジスタ（チャネル 15）	16、32	R/W	0000 0000$_H$
0240$_H$	TRHCH0	トリガ履歴レジスタ（チャネル 0）	8	R	00$_H$
0244$_H$	TRHCH1	トリガ履歴レジスタ（チャネル 1）	8	R	00$_H$
0248$_H$	TRHCH2	トリガ履歴レジスタ（チャネル 2）	8	R	00$_H$
024C$_H$	TRHCH3	トリガ履歴レジスタ（チャネル 3）	8	R	00$_H$
0250$_H$	TRHCH4	トリガ履歴レジスタ（チャネル 4）	8	R	00$_H$
0254$_H$	TRHCH5	トリガ履歴レジスタ（チャネル 5）	8	R	00$_H$
0258$_H$	TRHCH6	トリガ履歴レジスタ（チャネル 6）	8	R	00$_H$
025C$_H$	TRHCH7	トリガ履歴レジスタ（チャネル 7）	8	R	00$_H$
0260$_H$	TRHCH8	トリガ履歴レジスタ（チャネル 8）	8	R	00$_H$
0264$_H$	TRHCH9	トリガ履歴レジスタ（チャネル 9）	8	R	00$_H$
0268$_H$	TRHCH10	トリガ履歴レジスタ（チャネル 10）	8	R	00$_H$
026C$_H$	TRHCH11	トリガ履歴レジスタ（チャネル 11）	8	R	00$_H$
0270$_H$	TRHCH12	トリガ履歴レジスタ（チャネル 12）	8	R	00$_H$
0274$_H$	TRHCH13	トリガ履歴レジスタ（チャネル 13）	8	R	00$_H$
0278$_H$	TRHCH14	トリガ履歴レジスタ（チャネル 14）	8	R	00$_H$
027C$_H$	TRHCH15	トリガ履歴レジスタ（チャネル 15）	8	R	00$_H$
0280$_H$	CPA	比較値設定レジスタ A	32	R/W	0000 0000$_H$
0284$_H$	CPB	比較値設定レジスタ B	32	R/W	0000 0000$_H$
0288$_H$	CPC	比較値設定レジスタ C	32	R/W	0000 0000$_H$
028C$_H$	CPD	比較値設定レジスタ D	32	R/W	0000 0000$_H$
0290$_H$	PHIA	PH 初期値設定レジスタ A	32	R/W	8000 0000$_H$
0294$_H$	PHIB	PH 初期値設定レジスタ B	32	R/W	8000 0000$_H$
0298$_H$	PHIC	PH 初期値設定レジスタ C	32	R/W	8000 0000$_H$
029C$_H$	PHID	PH 初期値設定レジスタ D	32	R/W	8000 0000$_H$
02B0$_H$	ACA	積算／デシメーション回数設定レジスタ A	16	R/W	0000$_H$
02B4$_H$	ACB	積算／デシメーション回数設定レジスタ B	16	R/W	0000$_H$
02B8$_H$	ACC	積算／デシメーション回数設定レジスタ C	16	R/W	0000$_H$
02BC$_H$	ACD	積算／デシメーション回数設定レジスタ D	16	R/W	0000$_H$
02C0$_H$	DI	ソフトウエア入力データレジスタ	32	R/W	0000 0000$_H$

表 29.3　レジスタ一覧 (5/5)

レジスタアドレス = FFBF_0000$_H$ + <offset address>

Offset Address	レジスタ名	機能	アクセスサイズ	R/W	リセット後の値
02C4$_H$	TRG	ソフトウエアトリガレジスタ	8	R/W	00$_H$
02CC$_H$	ST	DFE ステータスレジスタ	8、16、32	R	0000 0000$_H$
0300$_H$	PITRG	PH 初期化／終了用タイマトリガ選択レジスタ	8、16、32	R/W	0000 0000$_H$
0304$_H$	MITRG	積算／デシメーション初期化／禁止用タイマトリガ選択レジスタ	8、16、32	R/W	0000 0000$_H$
0308$_H$	FITRG	フィルタ初期化用タイマトリガ選択レジスタ	8、16、32	R/W	0000 0000$_H$
0310$_H$	PHUPDC0	PH 更新通知設定レジスタ 0	8	R/W	00$_H$
0314$_H$	PHUPDC1	PH 更新通知設定レジスタ 1	8	R/W	00$_H$
0320$_H$	HOLCH0	中間値出力レジスタ L（チャネル 0）	32	R	0000 0000$_H$
0324$_H$	HOHCH0	中間値出力レジスタ H（チャネル 0）	32	R	0000 0000$_H$
0328$_H$	HOLCH1	中間値出力レジスタ L（チャネル 1）	32	R	0000 0000$_H$
032C$_H$	HOHCH1	中間値出力レジスタ H（チャネル 1）	32	R	0000 0000$_H$
0330$_H$	HOLCH2	中間値出力レジスタ L（チャネル 2）	32	R	0000 0000$_H$
0334$_H$	HOHCH2	中間値出力レジスタ H（チャネル 2）	32	R	0000 0000$_H$
0338$_H$	HOLCH3	中間値出力レジスタ L（チャネル 3）	32	R	0000 0000$_H$
033C$_H$	HOHCH3	中間値出力レジスタ H（チャネル 3）	32	R	0000 0000$_H$
0340$_H$	HOLCH4	中間値出力レジスタ L（チャネル 4）	32	R	0000 0000$_H$
0344$_H$	HOHCH4	中間値出力レジスタ H（チャネル 4）	32	R	0000 0000$_H$
0348$_H$	HOLCH5	中間値出力レジスタ L（チャネル 5）	32	R	0000 0000$_H$
034C$_H$	HOHCH5	中間値出力レジスタ H（チャネル 5）	32	R	0000 0000$_H$
0350$_H$	HOLCH6	中間値出力レジスタ L（チャネル 6）	32	R	0000 0000$_H$
0354$_H$	HOHCH6	中間値出力レジスタ H（チャネル 6）	32	R	0000 0000$_H$
0358$_H$	HOLCH7	中間値出力レジスタ L（チャネル 7）	32	R	0000 0000$_H$
035C$_H$	HOHCH7	中間値出力レジスタ H（チャネル 7）	32	R	0000 0000$_H$
0360$_H$	HOLMCH0	中間値出力ミラーレジスタ L（チャネル 0）	32	R	0000 0000$_H$
0364$_H$	HOLMCH1	中間値出力ミラーレジスタ L（チャネル 1）	32	R	0000 0000$_H$
0368$_H$	HOLMCH2	中間値出力ミラーレジスタ L（チャネル 2）	32	R	0000 0000$_H$
036C$_H$	HOLMCH3	中間値出力ミラーレジスタ L（チャネル 3）	32	R	0000 0000$_H$
0370$_H$	HOLMCH4	中間値出力ミラーレジスタ L（チャネル 4）	32	R	0000 0000$_H$
0374$_H$	HOLMCH5	中間値出力ミラーレジスタ L（チャネル 5）	32	R	0000 0000$_H$
0378$_H$	HOLMCH6	中間値出力ミラーレジスタ L（チャネル 6）	32	R	0000 0000$_H$
037C$_H$	HOLMCH7	中間値出力ミラーレジスタ L（チャネル 7）	32	R	0000 0000$_H$
1000$_H$ ～ 13FF$_H$	—	係数メモリ領域（1KB）	—	R/W	—
2000$_H$ ～ 27FF$_H$	—	データメモリ領域（2KB）	—	R/W	—

29.2.2 CTLACHn ― 制御レジスタ A（n = 0 ～ 15）

本レジスタは、チャネル毎にフィルタ処理、割り込み要求の制御及び、チャネルタグ、カスケードタグの設定を行うレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CATAG				CAEN		—	—	—	—	TAG			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD				—	—	—	FMT	—	IEE	IEC	IEO	—	—	—	EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R/W	R/W	R/W	R	R	R	R/W

表 29.4 CTLACHn レジスタの内容 (1/3)

ビット位置	ビット名	機能
29 ～ 26	CATAG	フィルタ結果の再入力（カスケード入力）用タグ値（カスケードタグ）指定ビット 0000_B ～ 1111_B：カスケード実行時、積算回路の出力データを再入力（カスケード）する。 チャネルのタグ値（CTLACHn.TAG）を指定する。 **注 意** CTLACHn.EN が 1 又は STCHn.VALID が 1 の時、CATAG、CAEN、TAG、CMD、FMT、IEE、IEC、IEO への書き込みは禁止です。
25、24	CAEN	カスケードイネーブルビット 00_B：カスケードしない。積算回路の出力データを出力データレジスタにライトする。（リセット値） 01_B：（禁止） 10_B：カスケードする。カスケードと共に、積算回路の出力データを出力データレジスタにライトする。 11_B：カスケードする。積算回路の出力データを出力データレジスタにライトしない。
19 ～ 16	TAG	チャネルタグビット 0000_B ～ 1111_B：各 AD からの入力データの処理チャネルを本チャネルに指定する時、AD から入力される AD タグ値と同一の値を設定する。 カスケード時の入力データの処理チャネルを本チャネルに指定する時、カスケード出力元のタグ値（CTLA.CATAG）と同一の値を設定する。 ソフトウエア入力の入力データの処理チャネルを本チャネルに指定する時、ソフトウエア入力のタグ値（DI.TAG）と同一の値を設定する。 **注 意** CTLACHn.EN が 1 又は STCHn.VALID が 1 の時、CATAG、CAEN、TAG、CMD、FMT、IEE、IEC、IEO への書き込みは禁止です。

表 29.4 CTLACHn レジスタの内容 (2/3)

ビット位置	ビット名	機能
15 ～ 12	CMD	フィルタ処理選択ビット 0000_B：FIR 8TAP（リセット値） 0001_B：FIR 16TAP 0010_B：FIR 24TAP 0011_B：FIR 32TAP 0100_B：禁止 0101_B：禁止 0110_B：禁止 0111_B：FIR 64TAP 1000_B：IIR 2 次バイクアッド 1 段 1001_B：IIR 2 次バイクアッド 2 段 1010_B：IIR 2 次バイクアッド 3 段 1011_B ～ 1111_B：禁止 **注 意** FIR64TAP は、CH0 ～ CH7 のみ選択可能です。 CH8 ～ CH15 に対し、CMD = 0111_B を設定しないでください。 CH0 ～ CH7 のうち、1 チャネル以上で FIR64TAP を選択した時、 CH8 ～ CH15 は使用できません。 CH8 ～ CH15 に対し、CMD = 0111_B を設定すると FIR 32TAP と判断します。 CTLACHn.EN が 1 又は STCHn.VALID が 1 の時、CATAG、CAEN、TAG、CMD、FMT、IEE、IEC、IEO への書き込みは禁止です。
8	FMT	入力データフォーマット／ IIR 係数データフォーマット選択ビット 0：FIR 選択時：入力データフォーマット = 16 ビット固定小数点 （リセット値） IIR 選択時：係数データフォーマット = S1.15（リセット値） 1：FIR 選択時：入力データフォーマット = 16 ビット整数 IIR 選択時：係数データフォーマット = S2.14 FIR 選択時に積算処理、浮動小数点処理を実行する場合は、16 ビット固定小数点を指定してください。 FIR 選択時の係数データフォーマットは、S1.15 固定です。 IIR 選択時は、入力データフォーマットは 16 ビット固定小数点となります。 IIR 選択時の係数データフォーマットは、S1.15 と S2.14 のいずれか一方を選択可能です。 **注 意** CTLACHn.EN が 1 又は STCHn.VALID が 1 の時、CATAG、CAEN、TAG、CMD、FMT、IEE、IEC、IEO への書き込みは禁止です。
6	IEE	エラー割り込み要求許可ビット 0：エラー発生時の割り込み要求禁止。（リセット値） 1：エラー発生時の割り込み要求許可。 **注 意** CTLACHn.EN が 1 又は STCHn.VALID が 1 の時、CATAG、CAEN、TAG、CMD、FMT、IEE、IEC、IEO への書き込みは禁止です。

表 29.4　CTLACHn レジスタの内容 (3/3)

ビット位置	ビット名	機能
5	IEC	条件一致割り込み要求許可ビット 0：PH 指定時は、PH 終了時の割り込み要求禁止。（リセット値） 比較演算指定時は、比較演算結果が真の時の割り込み要求禁止。 （リセット値） 1：PH 指定時は、PH 終了時の割り込み要求許可。 比較演算指定時は、比較演算結果が真の時の割り込み要求許可。 **注 意** PH 指定は ch0 ～ 9 のみ指定可能 CTLACHn.EN が 1 又は STCHn.VALID が 1 の時、CATAG、CAEN、TAG、CMD、FMT、IEE、IEC、IEO への書き込みは禁止です。
4	IEO	出力データ割り込み要求許可ビット 0：出力データレジスタ（および中間値出力レジスタ）に演算結果をライトした時の出力データ割り込みを禁止。（リセット値） 1：出力データレジスタ（および中間値出力レジスタ）に演算結果をライトした時の出力データ割り込みを許可。 **注 意** CTLACHn.EN が 1 又は STCHn.VALID が 1 の時、CATAG、CAEN、TAG、CMD、FMT、IEE、IEC、IEO への書き込みは禁止です。
0	EN	チャネル有効ビット 0：チャネル無効。 本チャネルでの処理を行いません。（リセット値） 1：チャネル有効。 本チャネルでの処理を行います。 **注 意** CH0 ～ CH7 のうち、1 チャネル以上で FIR64TAP を選択した時、CH8 ～ CH15 は、EN ビットを ”1” に設定しても使用できません。

29.2.3 CTLBCHn ― 制御レジスタ B（n = 0 ～ 15）

本レジスタは、チャネル毎に浮動小数点変換、絶対値変換、積算／デシメーション処理、PH ／比較処理の設定を行うレジスタです。チャネル 0 ～ 7 は、全ての設定が可能です。チャネル 8 ～ 15 は、中間値出力レジスタを持たないため、CTLBCHn.HOFS ビットを実装していません。

チャネル 10 ～ 15 は、PH ／比較処理の機能を持たない為、CTLBCHn.DISB, CTLBCHn.SELB2, CTLBCHn.SELB1, CTLBCHn.PRCSB の各ビットを実装していません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	DISB	—	—	—	—	—	—	—	DISA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRCSC	SELB2			SELB1		PRCSB		HOFS	PICS	SELA		—	ABS	PRCSA	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 29.5 CTLBCHn レジスタの内容 (1/3)

ビット位置	ビット名	機能
24	DISB	PH 処理禁止ビット（チャネル 10 ～ 15 は機能なし） 0：PH 処理中か、PH 処理可能状態である事を示します。（リセット値） DISB が 1 の時、以下の条件で DISB は 0 にクリアされます。 – リセット入力。 – タイマトリガまたはソフトウエアトリガで PH 初期化フラグが有効になった時。 この時、DISB は自動で 0 となります。 – ソフトウエアのレジスタ設定で DISB に 0 を書いた時。 DISB が 0 であれば、CTLBCHn.PRCSB の設定を “PH 処理する ” かつ CTLACHn.EN を 1 とした後の入力データから PH 処理を行います。 1：PH 処理が禁止状態である事を示します。 DISB が 0 の時、以下の条件で DISB は 1 にセットされます。 – タイマトリガまたはソフトウエアトリガで PH 終了フラグが有効になった時。 この時、DISB は自動で 1 となります。 – ソフトウエアのレジスタ設定で DISB に 1 を書く。 DISB が 1 であれば、CTLBCHn.PRCSB の設定を “PH 処理する ” かつ CTLACHn.EN を 1 とした後、PH 初期化フラグが有効になるまで PH 処理を行いません。 **注 意** CTLACHn.EN が 1 又は STCHn.VALID が 1 の時、DISB、DISA への書き込みは禁止です。

表 29.5 CTLBCHn レジスタの内容 (2/3)

ビット位置	ビット名	機能
16	DISA	積算／デシメーション処理禁止ビット 0：積算／デシメーション処理中か、積算／デシメーション処理可能状態である事を示します。（リセット値） DISA が 1 の時、以下の条件で DISA は 0 にクリアされます。 – リセット入力。 – タイマトリガまたはソフトウエアトリガで積算／デシメーション初期化フラグが有効になった時。この時、DISA は自動で 0 となります。 – ソフトウエアのレジスタ設定で DISA に 0 を書いた時。 DISA が 0 であれば、CTLBCHn.PRCSA の設定を “ 積算、又はデシメーション処理する ” かつ CTLACHn.EN を 1 とした後の入力データから積算、又はデシメーション処理を行います。 1：積算／デシメーション処理が禁止状態である事を示します。 DISA が 0 の時、以下の条件で DISA は 1 にセットされます。 – タイマトリガまたはソフトウエアトリガで積算／デシメーション禁止フラグが有効になった時。この時、DISA は自動で 1 となります。 – ソフトウエアのレジスタ設定で DISA に 1 を書く。 DISA が 1 であれば、CTLBCHn.PRCSA の設定を “ 積算、又はデシメーション処理する ” かつ CTLACHn.EN を 1 とした後、積算／デシメーション初期化フラグが有効になるまで積算、又はデシメーション処理を行いません。 **注 意** CTLACHn.EN が 1 又は STCHn.VALID が 1 の時、DISB、DISA への書き込みは禁止です。
15	PRCSC	出力データレジスタ浮動小数点変換実行ビット 0：DOCH の浮動小数点変換を実行しない。（リセット値） 1：DOCH の浮動小数点変換を実行する。 固定小数点フォーマット（1.31 ／ 10.22）を浮動小数点（IEEE754）に変換します。 FIR 選択時に CTLACHn.FMT = 1（整数モード）設定の場合は、本ビットを 1 にする事は禁止です。
14 ～ 12	SELB2	PH 初期値レジスタ選択ビット（チャネル 10 ～ 15 は機能なし） PH 指定時 （CTLBCHn.PRCSB = 01_B） 000_B：PH 処理の初期値に PHIA レジスタの値を選択。（初期値） 001_B：PH 処理の初期値に PHIB レジスタの値を選択。 010_B：PH 処理の初期値に PHIC レジスタの値を選択。 011_B：PH 処理の初期値に PHID レジスタの値を選択。 100_B ～ 111_B：禁止。 比較演算選択ビット（チャネル 10 ～ 15 は機能なし） 比較指定時 （CTLBCHn.PRCSB = 10_B） 000_B：等価（==）を選択。CTLBCHn.SELB1 で選択した比較対象レジスタと PH 回路に入力したデータの等価（==）演算を行う。（リセット値） 001_B：以下（<=）を選択。CTLBCHn.SELB1 で選択した比較対象レジスタと PH 回路に入力したデータの以下（<=）演算を行う。 010_B：以上 (>=) を選択。CTLBCHn.SELB1 で選択した比較対象レジスタと PH 回路に入力したデータの以上（>=）演算を行う。 011_B：小なり（<）を選択。CTLBCHn.SELB1 で選択した比較対象レジスタと PH 回路に入力したデータの小なり（<）演算を行う。 100_B：大なり（>）を選択。CTLBCHn.SELB1 で選択した比較対象レジスタと PH 回路に入力したデータの大なり（>）演算を行う。 101_B ～ 111_B：禁止。 **注 意** PH 指定、比較演算指定は ch0 ～ 9 のみ指定可能
11、10	SELB1	比較対象レジスタ選択ビット（チャネル 10 ～ 15 は機能なし） 00_B：比較演算対象の値に、CPA レジスタの値を選択。（リセット値） 01_B：比較演算対象の値に、CPB レジスタの値を選択。 10_B：比較演算対象の値に、CPC レジスタの値を選択。 11_B：比較演算対象の値に、CPD レジスタの値を選択。

表 29.5　CTLBCHn レジスタの内容 (3/3)

ビット位置	ビット名	機能
9、8	PRCSB	PH 回路処理選択ビット（チャネル 10 ～ 15 は機能なし） 00_B：PH 処理、比較演算処理をしない。（リセット値） 01_B：PH 処理する。 10_B：比較演算処理する。 11_B：禁止。
7	HOFS	中間値出力レジスタ浮動小数点変換実行ビット（チャネル 8 ～ 15 は機能なし） 0：MOHCH,MOLCH の浮動小数点変換を実行しない。（リセット値） 1：MOHCH,MOLCH の浮動小数点変換を実行する。 CTLBCH.PRCSC = 0 のときに有効です。 固定小数点フォーマットを浮動小数点（IEEE754）に変換します。 FIR 選択時に CTLACHn.FMT = 1（整数モード）設定の場合、および、CTLBCH.PRCSC = 1（出力データレジスタ浮動小数点変換）設定の場合は、本ビットを 1 にする事は禁止です。
6	PICS	PH インデックスレジスタ制御選択ビット（チャネル 10 ～ 15 は機能なし） 0：PH インデックス更新モード（リセット値） PH 処理終了後、次の PH 処理を開始した時、PH インデックスレジスタをクリア します。 1：PH インデックス保持モード PH 処理終了後、PH インデックスレジスタをリードするまで PH インデックスレジスタを保持します（リードした後に PH 処理を開始した時、PH インデックスレジスタをクリアします）。
5、4	SELA	積算／デシメーション回数レジスタ選択ビット 00_B：積算／デシメーション回数に ACA の値を選択する。（リセット値） 01_B：積算／デシメーション回数に ACB の値を選択する。 10_B：積算／デシメーション回数に ACC の値を選択する。 11_B：積算／デシメーション回数に ACD の値を選択する。
2	ABS	絶対値演算実行ビット 0：フィルタ結果を絶対値演算しない。（リセット値） 1：フィルタ結果を絶対値演算する。
1、0	PRCSA	積算回路処理選択ビット 00_B：積算処理、デシメーション処理共に実行しない。（リセット値） 01_B：積算処理を実行する。 10_B：デシメーション処理を実行する。 11_B：禁止。

29.2.4 DOCHn ー 出力データレジスタ（n = 0 ～ 15）

本レジスタは、チャネル毎に DFE 処理完了後の演算結果を格納するレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.6 DOCHn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DO	出力データ DFE 処理の演算結果です。

出力データレジスタの数値フォーマットは、下記の通りです。

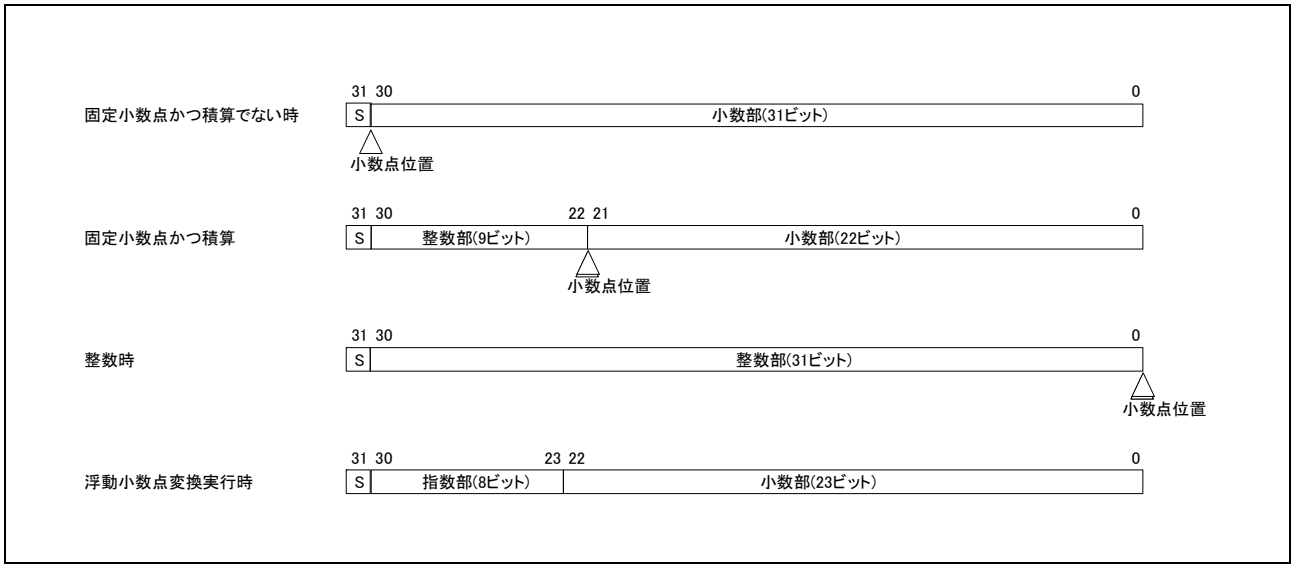


図 29.3 出力データレジスタの数値フォーマット

29.2.5 PHCHn － PH 結果レジスタ（n = 0 ～ 9）

本レジスタは、PH 処理結果の値を格納するレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.7 PHCHn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	PH	PH 結果データ PH 処理の演算結果です。

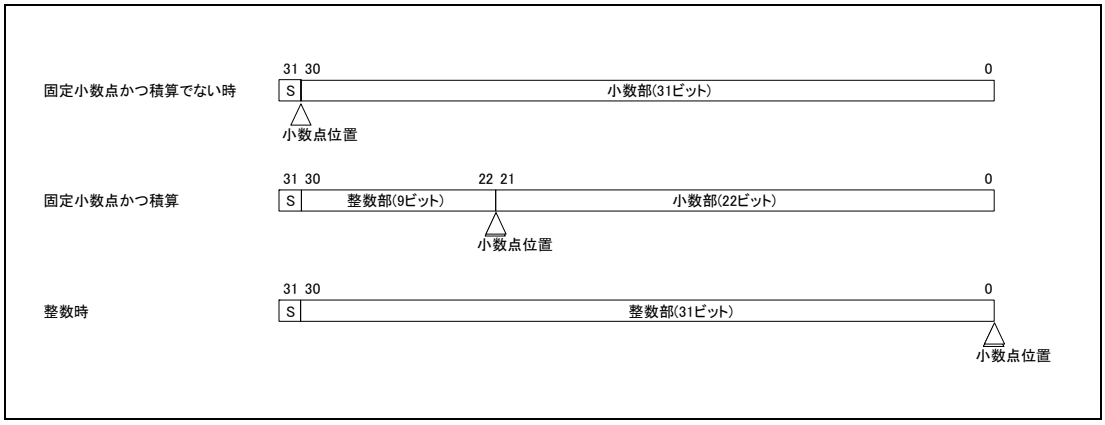


図 29.4 PH 結果レジスタの数値フォーマット

29.2.6 STCHn ー ステータスレジスタ（n = 0 ～ 15）

本レジスタは、チャネルの状態を示したレジスタです。チャネル 0 ～ 9 は、全てのステータスビットが有効です。チャネル 10 ～ 15 は、PH ／比較処理の機能を持たない為、STCHn.CND を実装していません。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	VALID	—	—	CND	DOEN	—	—	CER	AER	MER	GER	DOOW	DIOW
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.8 STCHn レジスタの内容 (1/2)

ビット位置	ビット名	機能
12	VALID	入力データレジスタ有効ビット 0：入力データレジスタの値が無効。 処理するデータの無い事を示します。（リセット値） 1：入力データレジスタの値が有効。 入力データレジスタに処理対象データを入力すると 1 をセットし、処理対象データの積算回路の処理終了で 0 になります。
9	CND	条件一致ビット（チャネル 10 ～ 15 は機能なし） PH 指定時（CTLBCHn.PRCSB = 01_B） 0：CND = 1 の時、クリアステータスレジスタの CLRCND に 1 を書くと 0 にクリアします。（リセット値） 1：CND = 0 の時、PH 終了フラグ実行で、1 をセットします。 比較指定時（CTLBCHn.PRCSB = 10_B） 0：CND = 1 の時、クリアステータスレジスタの CLRCND に 1 を書くと 0 にクリアします。（リセット値） 1：比較演算結果が真 CND = 0 の時、比較演算結果が真の時、1 をセットします . **注 意** PH 指定、比較演算指定は ch0 ～ 9 のみ指定可能
8	DOEN	出力データレジスタ有効ビット • チャネル 0 ～ 7 0: 出力データレジスタの値が無効である事を示す。（リセット値） DOEN = 1 の時、クリアステータスレジスタの CLRDOEN に 1 を書くと 0 にクリアします。 DOEN = 1、かつ、IIR フィルタ選択の時、DOCHn レジスタをリードすると 0 にクリアします。 DOEN = 1、かつ、FIR フィルタ選択の時、以下の条件でクリアします。 CTLBCHn.HOFS = 0 の場合、DOCHn レジスタをリード、または、HOLCHn と HOHCHn の両方のレジスタをリードすると 0 にクリアします。 CTLBCHn.HOFS = 1 の場合、DOCHn レジスタをリード、または、HOLCHn レジスタをリードすると 0 にクリアします。 1: 出力データレジスタの値が有効である事を示す。 DFE が、CTLBCHn.PRCSA = 01_B（積算）または CTLBCHn.PRCSA = 10_B（デシメーション）設定での演算結果データを DFE が出力データレジスタ (および中間値出力レジスタ）に格納した時、1 をセットします。 • チャネル 8 ～ 15 0: 出力データレジスタの値が無効である事を示す。（リセット値） DOEN = 1 の時、クリアステータスレジスタの CLRDOEN に 1 を書くと 0 にクリアします。 DOEN = 1 の時、DOCHn レジスタをリードすると 0 にクリアします。 1: 出力データレジスタの値が有効である事を示す。 DFE が、CTLBCHn.PRCSA = 01_B（積算）または CTLBCHn.PRCSA = 10_B（デシメーション）設定での演算結果データを DFE が出力データレジスタに格納した時、1 をセットします。

表 29.8 STCHn レジスタの内容 (2/2)

ビット位置	ビット名	機能
5	CER	カスケード丸めエラー 0：カスケード丸めエラーなし（リセット値） CER = 1 の時、クリアステータスレジスタの CLRCER に 1 を書くと 0 にクリアします。 1：カスケード丸めエラー発生 カスケード指定時（CTLA.CAEN = 10_B,11_B）に、積算回路の出力データ 32bit を 16bit に丸める際に、オーバーフローが発生した時、1 をセットします。
4	AER	絶対値演算エラー 0：絶対値演算エラーなし。（リセット値） AER = 1 の時、クリアステータスレジスタの CLRAER に 1 を書くと 0 にクリアします。 1：絶対値演算エラー発生。 絶対値演算指定時（CTLB.ABS = 1）に、積算回路の入力データが $8000\ 0000_H$ の時に 1 をセットします。
3	MER	乗算エラー 0：乗算エラーなし。（リセット値） MER = 1 の時、クリアステータスレジスタの CLRMER に 1 を書くと 0 にクリアします。 1：乗算エラー発生。 フィルタ回路内の乗算で 8000_H*8000_H を実行すると 1 をセットします。
2	GER	ガードエラー 0：ガードエラーなし。（リセット値） GER = 1 の時、クリアステータスレジスタの CLRGER に 1 を書くと 0 にクリアします。 1：ガードエラー発生。 フィルタ回路内の累加算結果を 32bit に丸める時、オーバーフロー、アンダーフローが発生すると 1 をセットします。
1	DOOW	出力データオーバーライトエラー 0：出力データオーバーライトなし。（リセット値） DOOW = 1 の時、クリアステータスレジスタの CLRDOOW に 1 を書くと 0 にクリアします。 1：出力データオーバーライト発生 CTLBCHn.PRCSA = 01_B（積算）または CTLBCHn.PRCSA = 10_B（デシメーション）設定で、出力データレジスタに有効な値があるとき（DOEN = 1 のとき）に、DFE が出力データレジスタ（および中間値出力レジスタ）に演算結果データを格納すると、DOOW に 1 をセットします。
0	DIOW	入力データオーバーライトエラー 0：入力データオーバーライトなし。（リセット値） DIOW = 1 の時、クリアステータスレジスタの CLRDIOW に 1 を書くと 0 にクリアします。 1：入力データオーバーライト発生。 入力データレジスタに有効な値がある時（VALID = 1 の時）に、再度、値が格納されると、DIOW に 1 をセットします。

29.2.7 CLRSTCHn ― クリアステータスレジスタ（n = 0 ～ 15）

本レジスタは、ステータスレジスタをクリアするクリアレジスタです。各クリアビットに 1 をライトする事で、対応する STCHn および PHINDCHn のビットを 0 にクリアします。チャネル 0 ～ 9 は、全てのクリアビットが有効です。チャネル 10 ～ 15 は、PH ／比較処理の機能を持たない為、STCHn.CLRCND、CLRPHIOW を実装していません。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CLR PHIOW	—	—	—	—	—	CLR CND	CLR DOEN	—	—	CLR CER	CLR AER	CLR MER	CLR GER	CLR DOOW	CLR DIOW
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 29.9 CLRSTCHn レジスタの内容

ビット位置	ビット名	機能
15	CLRPHIOW	PH インデックスオーバーライトフラグ クリアビット（チャネル 10 ～ 15 は機能なし） 0：PHINDCHn.PHIOW をクリアしない 1：PHINDCHn.PHIOW をクリアする。 リード時は、常に 0。
9	CLRCND	条件一致ビットクリアビット（チャネル 10 ～ 15 は機能なし） 0：STCHn.CND をクリアしない。 1：STCHn.CND をクリアする。 リード時は、常に 0。
8	CLRDOEN	出力データ有効ビットクリアビット 0：STCHn.DOEN をクリアしない。 1：STCHn.DOEN をクリアする。 リード時は、常に 0。
5	CLRCER	カスケード丸めエラービットクリアビット 0：STCHn.CER をクリアしない。 1：STCHn.CER をクリアする。 リード時は、常に 0。
4	CLRAER	絶対値演算エラービットクリアビット 0：STCHn.AER をクリアしない。 1：STCHn.AER をクリアする。 リード時は、常に 0。
3	CLRMER	乗算エラービットクリアビット 0：STCHn.MER をクリアしない。 1：STCHn.MER をクリアする。 リード時は、常に 0。
2	CLRGER	ガードエラービットクリアビット 0：STCHn.GER をクリアしない。 1：STCHn.GER をクリアする。 リード時は、常に 0。
1	CLRDOOW	出力データレジスタオーバーライトエラービットクリアビット 0：STCHn.DOOW をクリアしない。 1：STCHn.DOOW をクリアする。 リード時は、常に 0。
0	CLRDIOW	入力データレジスタオーバーライトエラービットクリアビット 0：STCHn.DIOW をクリアしない。 1：STCHn.DIOW をクリアする。 リード時は、常に 0。

29.2.8 ERMCHn ー エラーマスクレジスタ（n = 0 ～ 15）

本レジスタは、エラーをマスクする為のレジスタです。

ビット	7	6	5	4	3	2	1	0
	—	—	MSKCER	MSKAER	MSKMER	MSKGER	MSKDOOW	MSKDIOW
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 29.10 ERMCHn レジスタの内容

ビット位置	ビット名	機能
5	MSKCER	カスケード丸めエラービット（STCHn.CER）マスクビット 0：カスケード丸めエラービット（STCHn.CER）をマスクしない。（リセット値） 1：カスケード丸めエラービット（STCHn.CER）をマスクする。
4	MSKAER	絶対値演算エラービット（STCHn.AER）マスクビット 0：絶対値演算エラービット（STCHn.AER）をマスクしない。（リセット値） 1：絶対値演算エラービット（STCHn.AER）をマスクする。
3	MSKMER	乗算エラービット（STCHn.MER）マスクビット 0：乗算エラービット（STCHn.MER）をマスクしない。（リセット値） 1：乗算エラービット（STCHn.MER）をマスクする。
2	MSKGER	ガードエラービット（STCHn.GER）マスクビット 0：ガードエラービット（STCHn.GER）をマスクしない。（リセット値） 1：ガードエラービット（STCHn.GER）をマスクする。
1	MSKDOOW	出力データオーバーライトエラービット（STCHn.DOOW）マスクビット 0：出力データオーバーライトエラービット（STCHn.DOOW）をマスクしない。（リセット値） 1：出力データオーバーライトエラービット（STCHn.DOOW）をマスクする。
0	MSKDIOW	入力データオーバーライトエラービット（STCHn.DIOW）マスクビット 0：入力データオーバーライトエラービット（STCHn.DIOW）をマスクしない。（リセット値） 1：入力データオーバーライトエラービット（STCHn.DIOW）をマスクする

29.2.9 TRGCHn ― トリガ設定レジスタ（n = 0 ～ 15）

本レジスタは、ソフトウエアトリガ、タイマトリガを用いてトリガフラグ生成の設定をする為のレジスタです。PH 処理に対して初期化フラグ、終了フラグの両方をソフトウエアトリガに設定する事は禁止です。積算／デシメーション処理に対して初期化フラグ、禁止フラグの両方をソフトウエアトリガに設定する事は禁止です。禁止設定での動作の保証は行いません。チャネル 10 ～ 15 は、PH ／比較処理の機能を持たない為、TRGCHn.PFE, TRGCHn.PE, TRGCHn.PT の各ビットを実装していません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	PFE		—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AFE		—	—	PE		PT		AE		AT		FE		FT	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.11 TGRCHn レジスタの内容 (1/2)

ビット位置	ビット名	機能
19、18	PFE	PH 終了フラグトリガ設定ビット（チャネル 10 ～ 15 は機能なし） 00_B：PH 終了フラグを生成しない。（リセット値） 01_B：PH 終了フラグをタイマトリガで生成する。 10_B：PH 終了フラグをソフトウエアトリガで生成する。 11_B：禁止。 PH 初期化フラグ設定と PH 終了フラグ設定を両方ともソフトウエアトリガに設定することは禁止です。（TRGCHn.PE = 10_B かつ TRGCHn.PFE = 10_B に設定することを禁止） PH 終了フラグをタイマトリガで生成する（TRGCHn.PFE = 01_B）場合、PH 終了フラグは、PH 初期化フラグタイマトリガ選択ビット（TRGCHn.PT）で選択したタイマトリガ（ATU4 タイマ D からのコンペアマッチ A 割り込み 20 本のうちの 1 本）と対（タイマ D の同一サブブロック同一チャネル番号）となる ATU4 からのコンペアマッチ B 割り込みが自動的に選択されます。
15、14	AFE	積算／デシメーション禁止フラグトリガ設定ビット 00_B：積算／デシメーション禁止フラグを生成しない。（リセット値） 01_B：積算／デシメーション禁止フラグをタイマトリガで生成する。 10_B：積算／デシメーション禁止フラグをソフトウエアトリガで生成する。 11_B：禁止。 積算／デシメーション初期化フラグ設定と積算／デシメーション禁止フラグ設定を両方ともソフトウエアトリガに設定することは禁止です。 （TRGCHn.AE = 10_B かつ TRGCHn.AFE = 10_B に設定することを禁止） 積算／デシメーション禁止フラグをタイマトリガで生成する（TRGCHn.AFE = 01_B）場合、積算／デシメーション禁止フラグは、積算／デシメーション初期化フラグタイマトリガ選択ビット（TRGCHn.AT）で選択したタイマトリガ（ATU4 タイマ D からのコンペアマッチ A 割り込み 20 本のうちの 1 本）と対（タイマ D の同一サブブロック同一チャネル番号）となる ATU4 からのコンペアマッチ B 割り込みが自動的に選択されます。
11、10	PE	PH 初期化フラグトリガ設定ビット（チャネル 10 ～ 15 は機能なし） 00_B：PH 初期化フラグを生成しない。（リセット値） 01_B：PH 初期化フラグをタイマトリガで生成する。 10_B：PH 初期化フラグをソフトウエアトリガで生成する。 11_B：禁止。 PH 初期化フラグ設定と PH 終了フラグ設定を両方ともソフトウエアトリガに設定することは禁止です。（TRGCHn.PE = 10_B かつ TRGCHn.PFE = 10_B に設定することを禁止）

表 29.11 TGRCHn レジスタの内容 (2/2)

ビット位置	ビット名	機能
9、8	PT	PH 初期化フラグ、および PH 終了フラグタイマトリガ選択ビット（チャネル 10 ～ 15 は機能なし） 00_B：PH 初期化フラグ、および PH 終了フラグの生成をタイマトリガ 0 に選択する。（リセット値） 01_B：PH 初期化フラグ、および PH 終了フラグの生成をタイマトリガ 1 に選択する。 10_B：PH 初期化フラグ、および PH 終了フラグの生成をタイマトリガ 2 に選択する。 11_B：PH 初期化フラグ、および PH 終了フラグの生成をタイマトリガ 3 に選択する。 PH 初期化フラグトリガ設定ビット（TRGCHn.PE）が 01_B のとき、または、PH 終了フラグトリガ設定ビット（TRGCHn.PFE）が 01_B のとき有効。タイマトリガ 0 ～ 3 は、PITRG.PITMTRG0 ～ PITMTRG3 で選択します。
7、6	AE	積算／デシメーション初期化フラグトリガ設定ビット 00_B：積算／デシメーション初期化フラグを生成しない。（リセット値） 01_B：積算／デシメーション初期化フラグをタイマトリガで生成する。 10_B：積算／デシメーション初期化フラグをソフトウエアトリガで生成する。 11_B：禁止。 積算／デシメーション初期化フラグ設定と積算／デシメーション禁止フラグ設定を両方ともソフトウエアトリガに設定することは禁止です。 （TRGCHn.AE = 10_B かつ TRGCHn.AFE = 10_B に設定することを禁止）
5、4	AT	積算／デシメーション初期化フラグ、および積算／デシメーション禁止フラグタイマトリガ選択ビット 00_B：積算／デシメーション初期化フラグ、および積算／デシメーション禁止フラグの生成にタイマトリガ 0 を使用する。（リセット値） 01_B：積算／デシメーション初期化フラグ、および積算／デシメーション禁止フラグの生成にタイマトリガ 1 を使用する。 10_B：積算／デシメーション初期化フラグ、および積算／デシメーション禁止フラグの生成にタイマトリガ 2 を使用する。 11_B：積算／デシメーション初期化フラグ、および積算／デシメーション禁止フラグの生成にタイマトリガ 3 を使用する。 積算／デシメーション初期化フラグトリガ設定ビット（TRGCHn.AE）が 01_B のとき、または、積算／デシメーション禁止フラグトリガ設定ビット（TRGCHn.AFE）が 01_B のとき有効。タイマトリガ 0 ～ 3 は、MITRG.MITMTRG0 ～ MITMTRG3 で選択します。
3、2	FE	フィルタ初期化フラグトリガ設定ビット 00_B：フィルタ初期化フラグを生成しない。（リセット値） 01_B：フィルタ初期化フラグをタイマトリガで生成する。 10_B：フィルタ初期化フラグをソフトウエアトリガで生成する。 11_B：禁止。
1、0	FT	フィルタ初期化フラグタイマトリガ選択ビット 00_B：フィルタ初期化フラグの生成にタイマトリガ 0 を使用する。（リセット値） 01_B：フィルタ初期化フラグの生成にタイマトリガ 1 を使用する。 10_B：フィルタ初期化フラグの生成にタイマトリガ 2 を使用する。 11_B：フィルタ初期化フラグの生成にタイマトリガ 3 を使用する。 タイマトリガ 0 ～ 3 は、FITRG.FITMTRG0 ～ FITMTRG3 で選択します。

29.2.10 TRHCHn ー トリガ履歴レジスタ（n = 0 ～ 15）

本レジスタは、ソフトウエアトリガ、タイマトリガとトリガフラグの実行履歴をモニターするためのレジスタです。

ビット	7	6	5	4	3	2	1	0
	—	—	—	PITS	PETS	MITS	METS	FITS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 29.12 TRHCHn レジスタの内容

ビット位置	ビット名	機能
4	PITS	PH 初期化フラグ用トリガ履歴ビット（チャネル 10 ～ 15 は機能なし） 0：PH 初期化フラグ用トリガが発生していない。（リセット値） PITS = 1 の時、PH 初期化フラグの実行が完了したら 0 になる。 また CTLACHn.EN を 0 に設定すると DFE 処理中の入力データがなければ 0 になる。 1：PH 初期化フラグ用トリガが発生すると 1 になる。
3	PETS	PH 終了フラグ用トリガ履歴ビット（チャネル 10 ～ 15 は機能なし） 0：PH 終了フラグ用トリガが発生していない。（リセット値） PETS = 1 の時、PH 終了フラグの実行が完了したら 0 になる。 また CTLACHn.EN を 0 に設定すると DFE 処理中の入力データがなければ 0 になる。 1：PH 終了フラグ用トリガが発生すると 1 になる。
2	MITS	積算／デシメーション初期化フラグ用トリガ履歴ビット 0：積算／デシメーション初期化フラグ用トリガが発生していない。（リセット値） MITS = 1 の時、積算／デシメーション初期化フラグの実行が完了したら 0 になる。 また CTLACHn.EN を 0 に設定すると DFE 処理中の入力データがなければ 0 になる。 1：積算／デシメーション初期化フラグ用トリガが発生すると 1 になる。
1	METS	積算／デシメーション禁止フラグ用トリガ履歴ビット 0：積算／デシメーション禁止フラグ用トリガが発生していない。（リセット値） METS = 1 の時、積算／デシメーション禁止フラグの実行が完了したら 0 になる。 また CTLACHn.EN を 0 に設定すると DFE 処理中の入力データがなければ 0 になる 1：積算／デシメーション禁止フラグ用トリガが発生すると 1 になる。
0	FITS	フィルタ初期化フラグ用トリガ履歴ビット 0：フィルタ初期化フラグ用トリガが発生していない。（リセット値） FITS = 1 の時、フィルタ初期化フラグの実行が完了したら 0 になる。 また CTLACHn.EN を 0 に設定すると DFE 処理中の入力データがなければ 0 になる。 1：フィルタ初期化フラグ用トリガが発生すると 1 になる。

29.2.11 CPA ～ CPD ― 比較値設定レジスタ

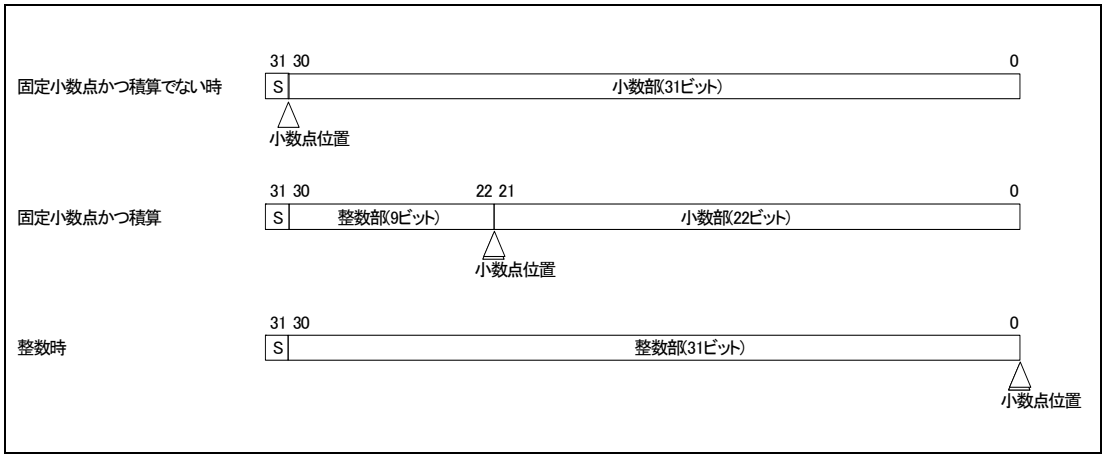
本レジスタは、比較演算指定時、比較演算の対象の値を設定するレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.13 CPA ～ CPD レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	CP	比較値ビット 比較演算指定時の比較値を設定する。



29.2.12 PHIA ～ PHID － PH 初期値設定レジスタ

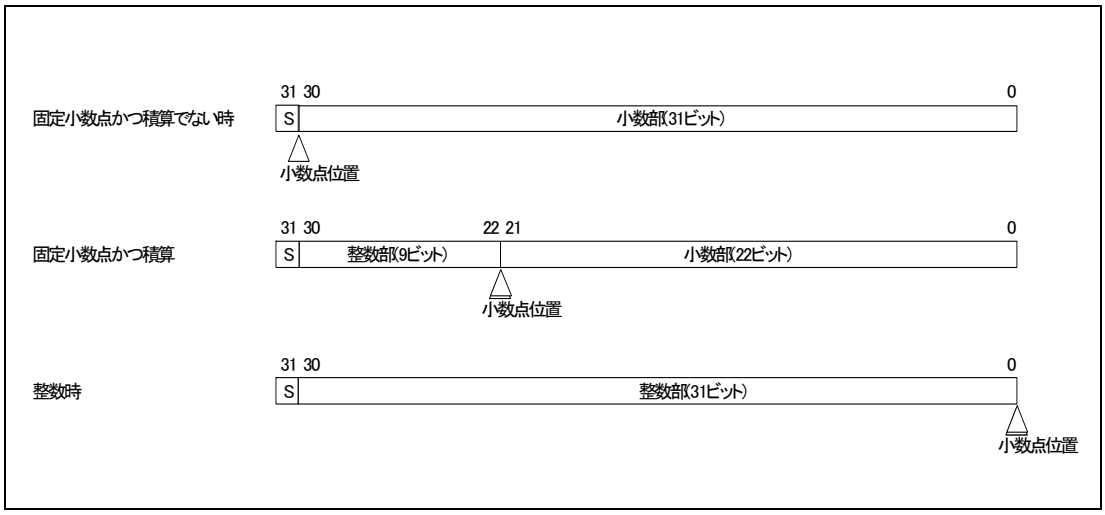
本レジスタは、PH 演算指定時、PH の初期値を設定するレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PHI															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PHI															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.14 PHIA ～ PHID レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	PHI	PH 初期値ビット PH 演算指定時、PH 初期値を設定する。 初期値は、負数の最小値（$8000\ 0000_H$）



29.2.13 ACA ～ ACD － 積算／デシメーション回数設定レジスタ

本レジスタは、積算／デシメーション指定時、積算回数もしくはデシメーション回数を設定するレジスタです。0 ～ 511 の設定が可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AC								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.15 ACA ～ ACD レジスタの内容

ビット位置	ビット名	機能
8 ～ 0	AC	積算時（CTLACHn.PRCSA = 01B） 積算回数設定レジスタ 000_H：積算処理しない。注 1（リセット値） 001_H：1 回積算する。2 回のフィルタ処理結果を加算して積算回路から出力する。 002_H：2 回積算する。3 回のフィルタ処理結果を加算して積算回路から出力する。 … $1FF_H$：511 回積算する。512 回のフィルタ結果を加算して積算回路から出力する。 デシメーション時（CTLACHn.PRCSA = 10_B） デシメーション回数設定レジスタ 000_H：デシメーション処理しない。（リセット値） 001_H：1 回デシメーションする。2 回のフィルタ処理結果に 1 回出力する。 002_H：2 回デシメーションする。3 回のフィルタ処理結果に 1 回出力する。 … $1FF_H$：511 回デシメーションする。512 回のフィルタ処理結果に 1 回出力する。

注 1. ただし、積算時の右算術シフトは実行するので、積算回路に入力したデータのデータフォーマットは、（1.31）データフォーマットから（10.22）データフォーマットとなります。

29.2.14 DI ー ソフトウエア入力データレジスタ

本レジスタは、CPU ／ DMA を用いて周辺バスから DFE に処理対象データを入力する（以降、ソフトウエア入力）為のレジスタです。本レジスタにライトアクセスすると、DFE 起動を行います。

TAG[3:0] ビットと DI[15:0] ビットへのライトアクセスは同時に行って下さい。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	TAG			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DI															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.16 DI レジスタの内容

ビット位置	ビット名	機能
19 ～ 16	TAG	ソフトウエア入力タグ 0_H ～ F_H : 割り当てるチャネルタグ（CTLACHn.TAG）と同一の値を設定します。
15 ～ 0	DI	ソフトウエア入力データ 割り当てるチャネルの入力データフォーマットでフィルタ対象データを設定します。 対応フォーマットは固定小数点（1.31）もしくは、整数フォーマットです。 割り当てるチャネルのデータフォーマットで設定して下さい。 （FIR 選択時に CTLACHn.FMT = 0 の時は固定小数点フォーマット、CTLACHn.FMT = 1 の時は整数フォーマットで設定して下さい。IIR 選択時は固定小数点フォーマット固定です。）

29.2.15 TRG ー ソフトウエアトリガレジスタ

CPU/DMA を用いて周辺バスから本レジスタをライトする事で、ソフトウエアトリガを発生するためのレジスタです。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TRGA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 29.17 TRG レジスタの内容

ビット位置	ビット名	機能
0	TRGA	ソフトウエアトリガ発生ビット 0：ソフトウエアトリガを発生しない。 1：ソフトウエアトリガを発生する。 1 を書くことで、ソフトウエアトリガを発生します。 リード時は常に 0 です。

29.2.16 ST ー DFE ステータスレジスタ

本レジスタは、DFE のステータスを示すレジスタです。STCHn.VALID, と STCHn の各エラービットの論理和で構成しています。DFE がエラー割り込み要求を出力した時に、CPU により、エラー発生チャネルをモニターする為の使用を想定しています。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CH15S		CH14S		CH13S		CH12S		CH11S		CH10S		CH9S		CH8S	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH7S		CH6S		CH5S		CH4S		CH3S		CH2S		CH1S		CH0S	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.18 ST レジスタの内容

ビット位置	ビット名	機能
bit 2*n+1-2*n	CHnS	チャネル n ステータスビット（{STCHn.VALID、|（STCHn.ERR）}） 00_B：入力データレジスタ無効、エラーなし。（リセット値） 01_B：入力データレジスタ無効、エラーあり。 10_B：入力データレジスタ有効、エラーなし。 11_B：入力データレジスタ有効、エラーあり。

29.2.17 PITRG － PH 初期化／終了用タイマトリガ選択レジスタ

本レジスタは、PH 初期化フラグ、および PH 終了フラグタイマトリガ選択ビット（TRGCHn.PT）で選択するタイマトリガ 0 ～ 3 を ATU4 ／タイマ D のコンペアマッチ A/B（20 本）から選択するレジスタです。

PH 初期化フラグにはコンペアマッチ A が選択され、PH 終了フラグには、同一チャネルのコンペアマッチ B が選択されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	PITMTRG3					—	—	—	PITMTRG2				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PITMTRG1					—	—	—	PITMTRG0				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 29.19 PITRG レジスタの内容 (1/2)

ビット位置	ビット名	機能
28 ～ 24	PITMTRG3	PH 初期化／終了フラグ用タイマトリガ 3 00000_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 1）を使用する。 00010_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 2）を使用する。 00011_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 3）を使用する。 00100_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 2 チャネル 0）を使用する。 00101_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 2 チャネル 1）を使用する。 00110_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 2 チャネル 2）を使用する。 00111_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 2 チャネル 3）を使用する。 01000_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 4 チャネル 0）を使用する。 01001_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 4 チャネル 1）を使用する。 01010_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 4 チャネル 2）を使用する。 01011_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 4 チャネル 3）を使用する。 01100_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 6 チャネル 0）を使用する。 01101_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 6 チャネル 1）を使用する。 01110_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 6 チャネル 2）を使用する。 01111_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 6 チャネル 3）を使用する。

表 29.19 PITRG レジスタの内容 (2/2)

ビット位置	ビット名	機能
28 ～ 24	PITMTRG3	10000_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 0）を使用する。 10001_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 1）を使用する。 10010_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 2）を使用する。 10011_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止
20 ～ 16	PITMTRG2	PH 初期化／終了フラグ用タイマトリガ 2 00000_B：タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 1）を使用する。 00010_B：タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 2）を使用する。 … 10011_B：タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止
12 ～ 8	PITMTRG1	PH 初期化／終了フラグ用タイマトリガ 1 00000_B：タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 1）を使用する。 00010_B：タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 2）を使用する。 … 10011_B：タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止
4 ～ 0	PITMTRG0	PH 初期化／終了フラグ用タイマトリガ 0 00000_B：タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 1）を使用する。 00010_B：タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 2）を使用する。 … 10011_B：タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止

29.2.18　MITRG ― 積算／デシメーション初期化／禁止用タイマトリガ選択レジスタ

本レジスタは、積算／デシメーション初期化フラグ、および積算／デシメーション禁止フラグタイマトリガ選択ビット（TRGCHn.AT）で選択するタイマトリガ 0 ～ 3 を ATU4 ／タイマ D のコンペアマッチ A/B（20 本）から選択するレジスタです。

積算／デシメーション初期化フラグにはコンペアマッチ A が選択され、積算／デシメーション禁止フラグには、同一チャネルのコンペアマッチ B が選択されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	MITMTRG3					—	—	—	MITMTRG2				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MITMTRG1					—	—	—	MITMTRG0				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 29.20　MITRG レジスタの内容（1/2）

ビット位置	ビット名	機能
28 ～ 24	MITMTRG3	積算／デシメーション初期化／禁止フラグ用タイマトリガ 3 00000_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 1）を使用する。 00010_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 2）を使用する。 00011_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 3）を使用する。 00100_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 2 チャネル 0）を使用する。 00101_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 2 チャネル 1）を使用する。 00110_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 2 チャネル 2）を使用する。 00111_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 2 チャネル 3）を使用する。 01000_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 4 チャネル 0）を使用する。 01001_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 4 チャネル 1）を使用する。 01010_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 4 チャネル 2）を使用する。 01011_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 4 チャネル 3）を使用する。 01100_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 6 チャネル 0）を使用する。 01101_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 6 チャネル 1）を使用する。 01110_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 6 チャネル 2）を使用する。 01111_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 6 チャネル 3）を使用する。 10000_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 0）を使用する。 10001_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 1）を使用する。 10010_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 2）を使用する。 10011_B：タイマトリガ 3 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止

表 29.20　MITRG レジスタの内容 (2/2)

ビット位置	ビット名	機能
20 ～ 16	MITMTRG2	積算／デシメーション初期化／禁止フラグ用タイマトリガ 2 00000_B：タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 1）を使用する。 00010_B：タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 2）を使用する。 … 10011_B：タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止
12 ～ 8	MITMTRG1	積算／デシメーション初期化／禁止フラグ用タイマトリガ 1 00000_B：タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 1）を使用する。 00010_B：タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 2）を使用する。 … 10011_B：タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止
4 ～ 0	MITMTRG0	積算／デシメーション初期化／禁止フラグ用タイマトリガ 0 00000_B：タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 1）を使用する。 00010_B：タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 0 チャネル 2）を使用する。 … 10011_B：タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A/B（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止

29.2.19 FITRG ー フィルタ初期化用タイマトリガ選択レジスタ

本レジスタは、フィルタ初期化フラグタイマトリガ選択ビット（TRGCHn.FT）で選択するタイマトリガ 0 ～ 3 を ATU4 からのコンペア A0 ～ A19 の 20 本から選択するレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	FITMTRG3					—	—	—	FITMTRG2				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FITMTRG1					—	—	—	FITMTRG0				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 29.21 FITRG レジスタの内容 (1/2)

ビット位置	ビット名	機能
28 ～ 24	FITMTRG3	フィルタ初期化用タイマトリガ 3 00000_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 0 チャネル 1）を使用する。 00010_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 0 チャネル 2）を使用する。 00011_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 0 チャネル 3）を使用する。 00100_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 2 チャネル 0）を使用する。 00101_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 2 チャネル 1）を使用する。 00110_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 2 チャネル 2）を使用する。 00111_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 2 チャネル 3）を使用する。 01000_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 4 チャネル 0）を使用する。 01001_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 4 チャネル 1）を使用する。 01010_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 4 チャネル 2）を使用する。 01011_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 4 チャネル 3）を使用する。 01100_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 6 チャネル 0）を使用する。 01101_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 6 チャネル 1）を使用する。 01110_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 6 チャネル 2）を使用する。 01111_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 6 チャネル 3）を使用する。 10000_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 9 チャネル 0）を使用する。 10001_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 9 チャネル 1）を使用する。 10010_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 9 チャネル 2）を使用する。 10011_B：フィルタ初期化用タイマトリガ 3 に ATU4 ／タイマ D コンペア マッチ A（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止

表 29.21 FITRG レジスタの内容 (2/2)

ビット位置	ビット名	機能
20 ～ 16	FITMTRG2	フィルタ初期化用タイマトリガ 2 00000_B：フィルタ初期化用タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：フィルタ初期化用タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 0 チャネル 1）を使用する。 00010_B：フィルタ初期化用タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 0 チャネル 2）を使用する。 … 10011_B：フィルタ初期化用タイマトリガ 2 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止
12 ～ 8	FITMTRG1	フィルタ初期化用タイマトリガ 1 00000_B：フィルタ初期化用タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：フィルタ初期化用タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 0 チャネル 1）を使用する。 00010_B：フィルタ初期化用タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 0 チャネル 2）を使用する。 … 10011_B：フィルタ初期化用タイマトリガ 1 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止
4 ～ 0	FITMTRG0	フィルタ初期化用タイマトリガ 0 00000_B：フィルタ初期化用タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 0 チャネル 0）を使用する。（リセット値） 00001_B：フィルタ初期化用タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 0 チャネル 1）を使用する。 00010_B：フィルタ初期化用タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 0 チャネル 2）を使用する。 … 10011_B：フィルタ初期化用タイマトリガ 0 に ATU4 ／タイマ D コンペアマッチ A（サブクロック 9 チャネル 3）を使用する。 10100_B ～ 11111_B：設定禁止

29.2.20 PHUPDC ― PH 更新通知設定レジスタ n（n = 0、1）

本レジスタは、PH 処理により PH 結果レジスタの更新通知を設定するレジスタです。

PHUPDC0 と PHUPDC1 それぞれで、PH 機能を持つチャネル 0 ～ 9 から 1 チャネルが選択可能です。設定した更新通知は、ATU4 へ出力します。

ビット	7	6	5	4	3	2	1	0
	PHUPDCH				—	—	—	OEPHUPD
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 29.22 PHUPDC レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	PHUPDCH	PH 結果レジスタ更新通知チャネル選択 0_H：チャネル 0 の PH 結果レジスタ更新を通知対象とする。（リセット値） 1_H：チャネル 1 の PH 結果レジスタ更新を通知対象とする。 2_H：チャネル 2 の PH 結果レジスタ更新を通知対象とする。 … 9_H：チャネル 9 の PH 結果レジスタ更新を通知対象とする。 A_H ～ F_H：設定禁止
0	OEPHUPD	PH 結果レジスタ更新通知許可 0：選択したチャネルが PH 結果レジスタを更新したときの通知を禁止。（リセット値） 1：選択したチャネルが PH 結果レジスタを更新したときの通知を許可。

29.2.21 PHINDCHn － PH インデックスレジスタ（n = 0 ～ 9）

本レジスタは、PH 結果レジスタが更新されたときの PH 処理回数を保持するレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PHIOW	PHIOF	PHIND													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.23 PHINDCHn レジスタの内容

ビット位置	ビット名	機能
15	PHIOW	PH インデックスオーバーライトフラグ 0：PHIND をオーバーライトしていない。（リセット値） CLRSTCHn.CLRPHIOW = 1 をライトした時 0 になる。 1：PH インデックス更新モードで PHIND のオーバーライト発生。 PH インデックス更新モードで有効です。PH インデックス保持モードの時は常に 0 になります。
14	PHIOF	PH インデックスオーバーフローフラグ 0：PH 処理実行回数がオーバーフローしていない。（≦ 16383 回） （リセット値） ・PH インデックス更新モード時 PH 初期化フラグ成立時の PH 処理で 0 になる。 ・PH インデックス保持モード時 PH インデックスレジスタリード後、PH 初期化フラグ成立、かつ、PH 処理 1 回目で 0 になる。 1：PH 処理実行回数のオーバーフロー発生。（> 16383 回） PH 初期化フラグ入力から PH 終了フラグが入力されるまでの PH 処理実行回を計測します。
13 ～ 0	PHIND	PH インデックスビット 0_H：（リセット値） ・PH インデックス更新モード時 PH 初期化フラグ成立かつ、PH 処理 1 回目で、PH 回路に入力したデータが PH 初期値より小さい時 ・PH インデックス保持モード時 PH インデックスレジスタリード後、PH 初期化フラグ成立、かつ、PH 処理 1 回目で、PH 回路に入力したデータが PH 初期値より小さい時 1_H：PH 回路に入力した 1 回目のデータを PH 結果レジスタにライトした事を示す。 2_H：PH 回路に入力した 2 回目のデータを PH 結果レジスタにライトした事を示す。 … $3FFF_H$：PH 回路に入力した 16383 回目のデータを PH 結果レジスタにライトした事を示す。 PH 更新条件が成立し、PH 結果レジスタに値が格納されるとき、PH 処理回数（DFE 内部の PH カウンタ値）を PHIND にキャプチャします。 PH 処理回数が 16384 回以上となり PHIOF = 1 となった後も、PH カウンタは動作し続け、PHIND の値も更新されます。

29.2.22 HOLCHn ー 中間値出力レジスタ L（n = 0 ～ 7）

本レジスタは、FIR 選択時、DFE 処理の中間値データをチャネル毎に格納するレジスタです。

出力する中間値は、飽和処理を実施する前の演算結果です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.24 HOLCHn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	HO	中間値出力データ DFE 処理の演算中間値（FIR 結果出力時の飽和処理を実施する前のデータ）

数値フォーマットは、以下の通りです。

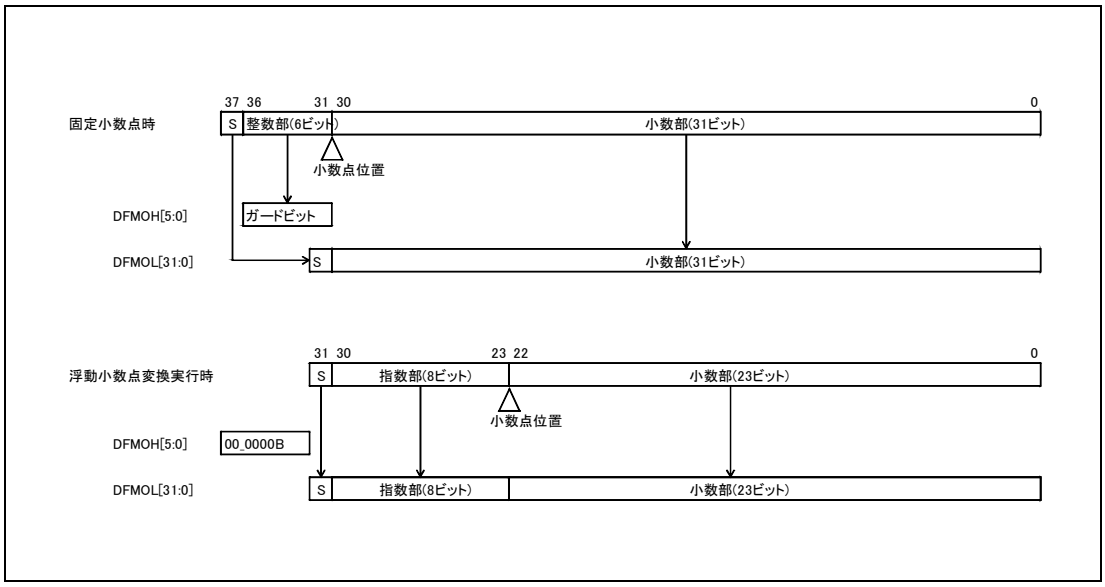


図 29.5 中間値出力レジスタ数値フォーマット

29.2.23 HOHCHn ー 中間値出力レジスタ H（n = 0 ～ 7）

本レジスタは、FIR 選択時、DFE 処理の中間値データのガードビットをチャネル毎に格納するレジスタです。出力する中間値は、飽和処理を実施する前の演算結果です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	GURD					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.25 HOHCHn レジスタの内容

ビット位置	ビット名	機能
5 ～ 0	GURD	中間値出力ガードビット 固定小数点時 DFE 処理の演算中間値の整数部 ([36 : 31] ビット) を格納 浮動小数点変換実行時 000000_B を格納 数値フォーマットは、**図 29.5 中間値出力レジスタ数値フォーマット**を参照してください。

29.2.24 HOLMCHn ー 中間値出力ミラーレジスタ L（n = 0 ～ 7）

本レジスタは、アドレス配置が異なりますが中間値出力レジスタ L（HOLCHn (n = 0 ～ 7) ）と同一のレジスタです。中間値出力ミラーレジスタ L の仕様は、**「29.2.22 HOLCHn ー 中間値出力レジスタ L（n = 0 ～ 7）」**を参照ください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HO															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 29.26 HOLMCHn レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	HO	中間値出力データ DFE 処理の演算中間値（FIR 結果出力時の飽和処理を実施する前のデータ）

29.3　動作説明

29.3.1　動作概要

DFE は、ΔΣADC または ADC（以降、AD）の出力データを取り込み、そのデータに対してフィルタ (FIR もしくは IIR) 処理、積算／デシメーション処理、PH ／比較演算処理、浮動小数点変換処理を行います。

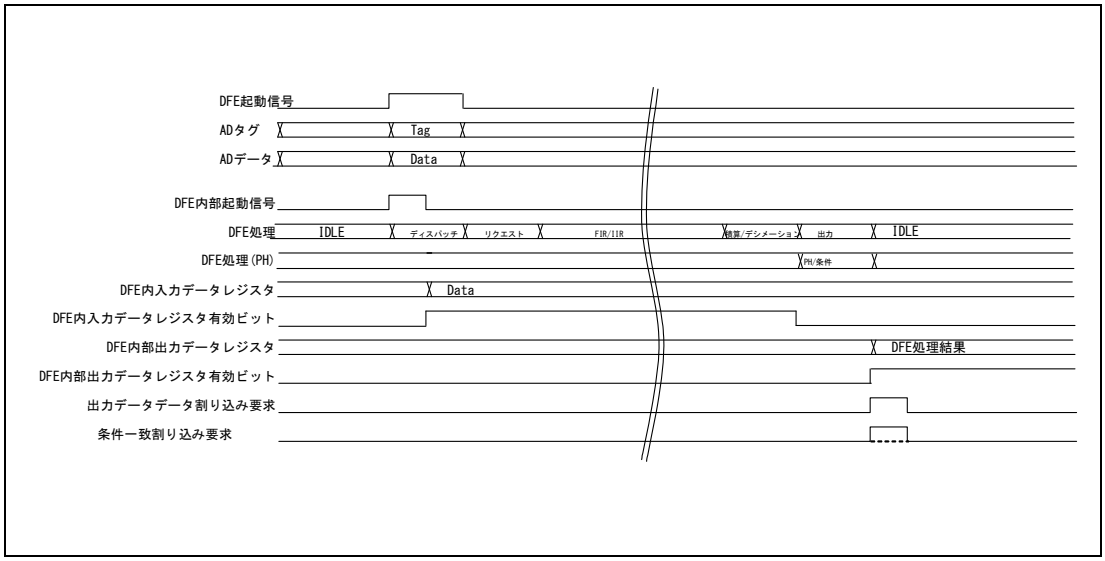


図 29.6　動作概要

AD は、DFE 起動信号、AD タグ、AD 変換データ (AD データ) を DFE に入力します。DFE は、AD データを DFE 内入力データレジスタに取り込み、ディスパッチ処理、リクエスト処理、FIR/IIR 処理、積算／デシメーション処理、出力処理、PH ／比較処理を行い、出力データレジスタに DFE 処理結果を格納します。

- ディスパッチ：
  AD からの AD タグと DFE の制御レジスタの設定値を使用して、対応するチャネルの入力データレジスタに格納します。データが格納される時、入力データレジスタが有効となります。
- リクエスト：
  16 チャネルの入力データレジスタから、FIR/IIR 処理を行うデータの調停を行い、FIR/IIR 処理にフィルタ処理対象データを入力します。
- FIR/IIR 処理 (フィルタ処理)：
  FIR もしくは IIR のフィルタ演算を行います。フィルタ演算の係数データ、中間値格納用にメモリを使用します。
- 積算／デシメーション：：
  FIR/IIR 結果に対して積算処理もしくはデシメーション処理を行います。積算／デシメーション処理実行後、入力データレジスタを無効にします。

- 出力処理：
  積算／デシメーション処理結果を対応するチャネルの出力データレジスタに格納します。格納する時、出力データレジスタが有効となり、出力データ割り込み要求を行います。
- PH/ 比較処理：
  積算／デシメーション処理結果に対して PH 処理もしくは比較処理を行います。PH 処理時は、PH 終了トリガが有効となった時、比較処理時は、比較演算の結果が真の時、条件一致割り込み要求を行います。

29.3.2 動作手順

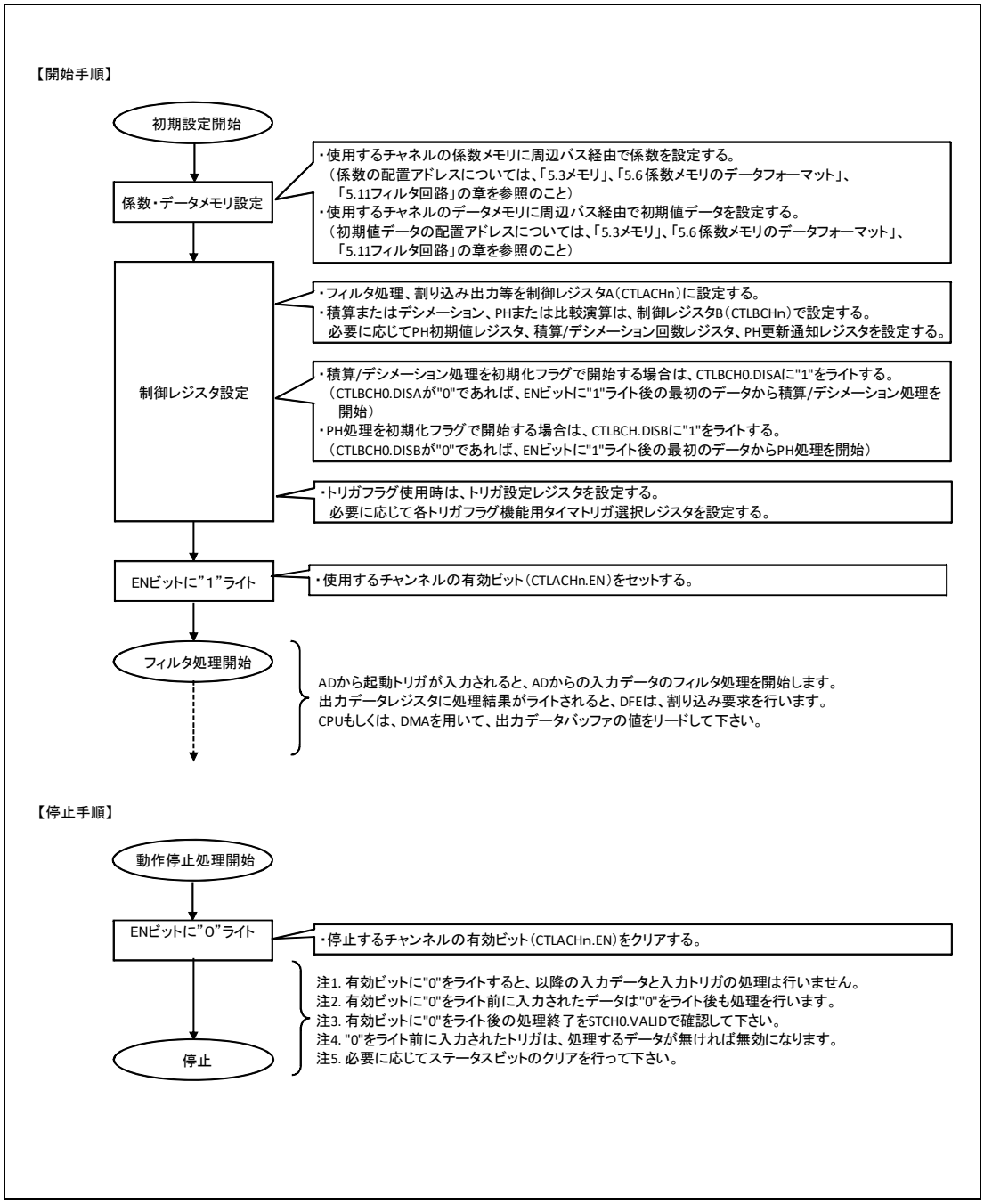


図 29.7 開始、停止手順

29.3.3 エラー処理手順

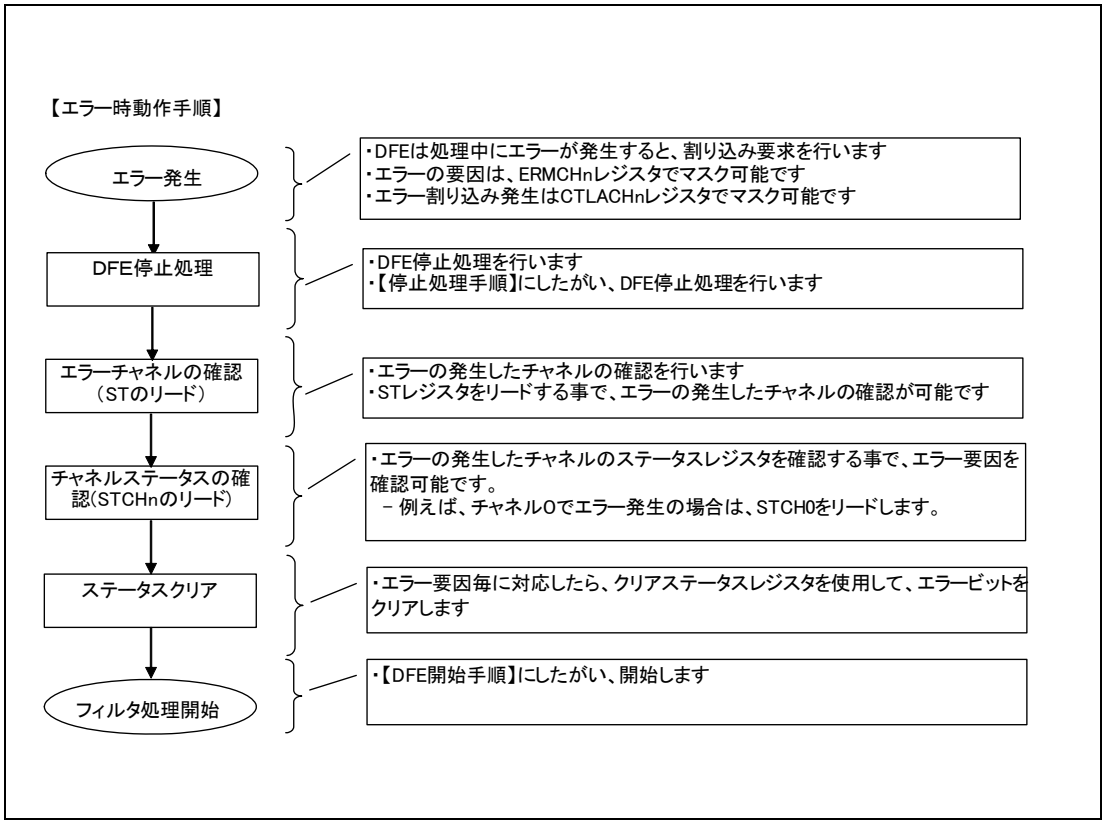


図 29.8 エラー時動作手順

29.4 詳細

29.4.1 データフロー

DFE のデータフローとブロックの概要を**図 29.9 データフロー**に示します。

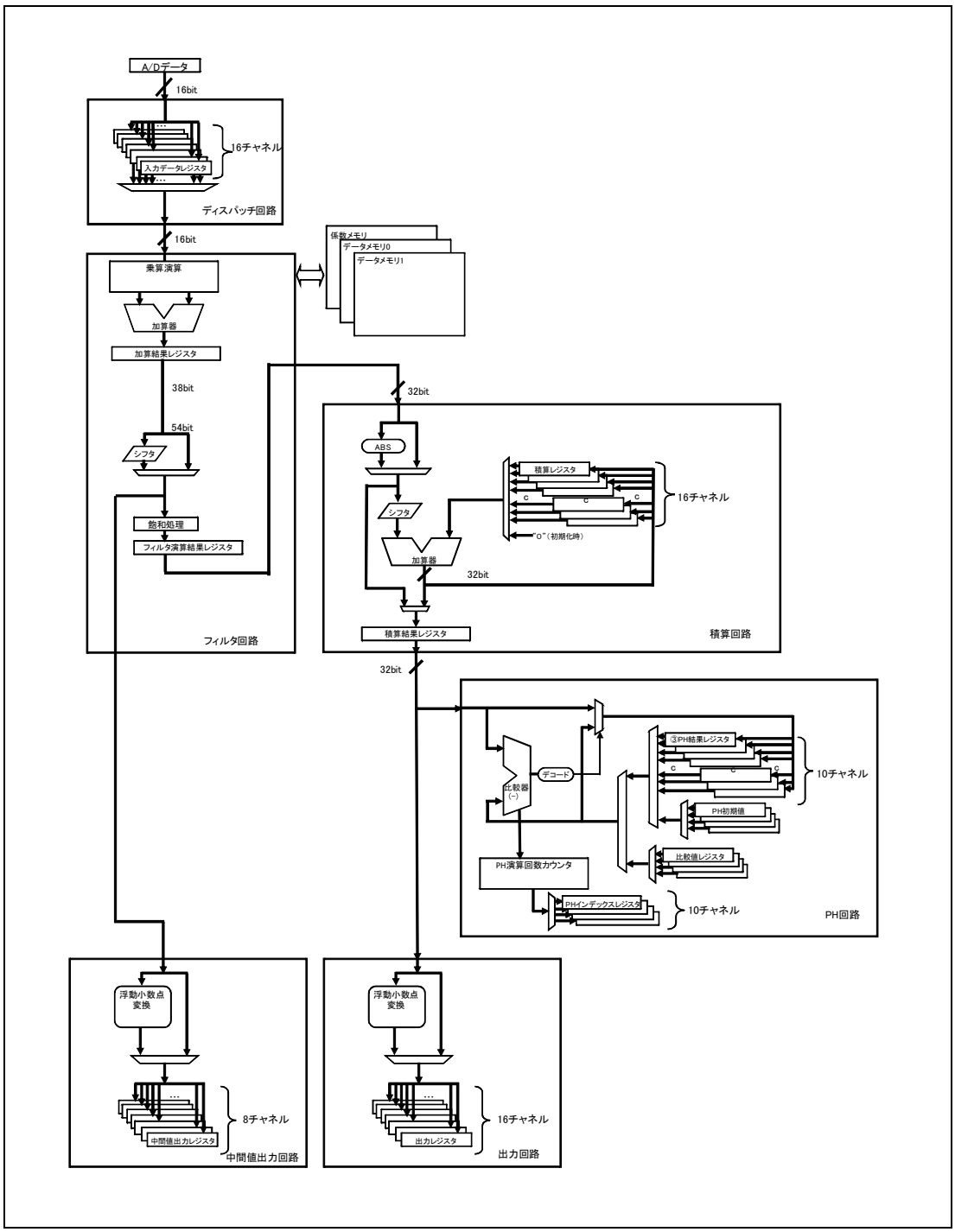


図 29.9 データフロー

29.4.2　アドレスマップ

DFE のアドレスマップを**図 29.10　アドレスマップ**に示します。

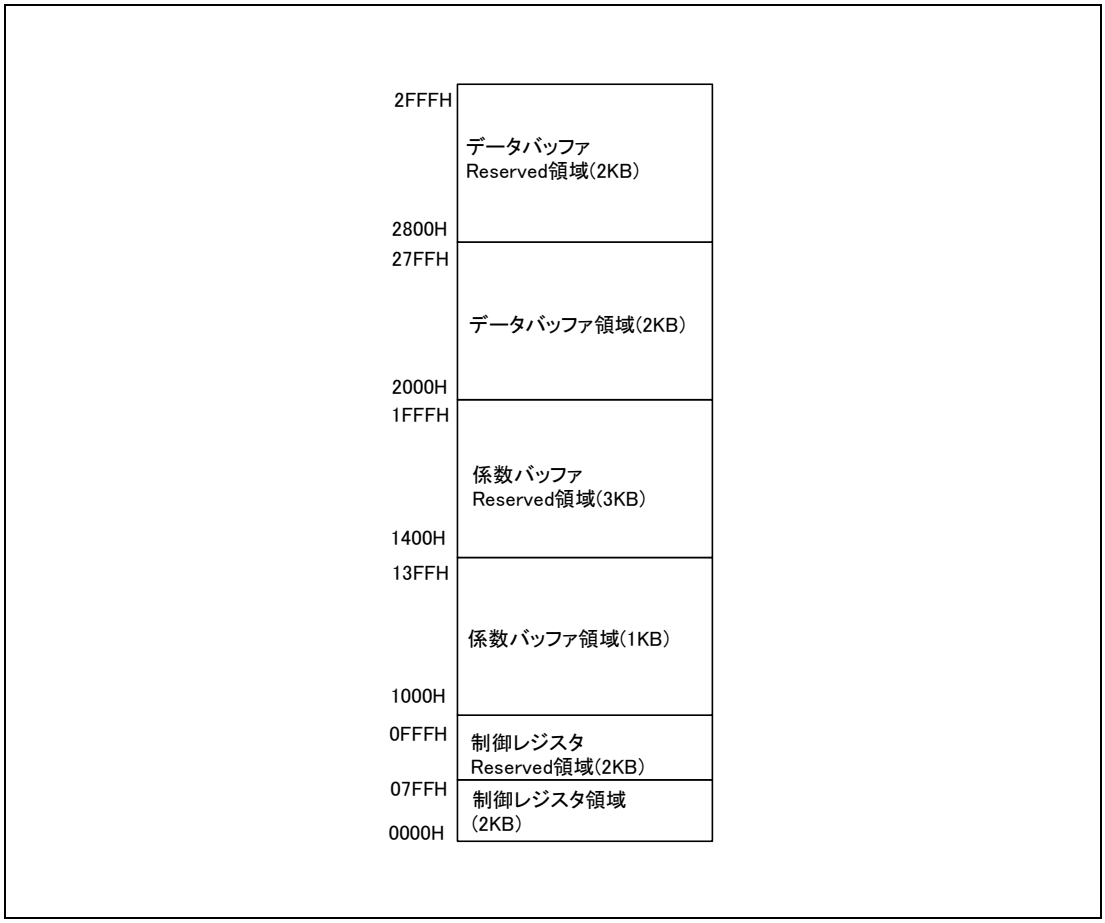


図 29.10　アドレスマップ

29.4.3 メモリ

フィルタ処理に必要な係数は係数メモリ（CMEM）に格納し、FIR 時の入力データ、IIR 時の中間データ、IIR 時の初期値はデータメモリに格納します。これらはチャネル毎に領域を持ちます。

CH0 ～ CH7 のうち、1 チャネル以上で FIR 64TAP を選択する場合、下図の左のように係数メモリが割り当てられます。この割り当てで、FIR 8/16/24/32、及び IIR 1/2/3 段のフィルタ処理も行われます。FIR 64TAP を選択する場合、係数メモリの空き領域がないため、CH8 ～ CH15 は使用禁止です。FIR 64TAP を選択し、CH8 ～ CH15 を使用した場合の動作は保証しません。CH8 ～ CH15 を使用したい場合、FIR 64TAP を選択しないでください。

CH0 ～ CH7 で一つも FIR 64TAP を選択しない場合は、下図の右のように係数メモリが割り当てられます。この割り当てで、FIR 8/16/24/32、及び IIR 1/2/3 段のフィルタ処理も行われます。

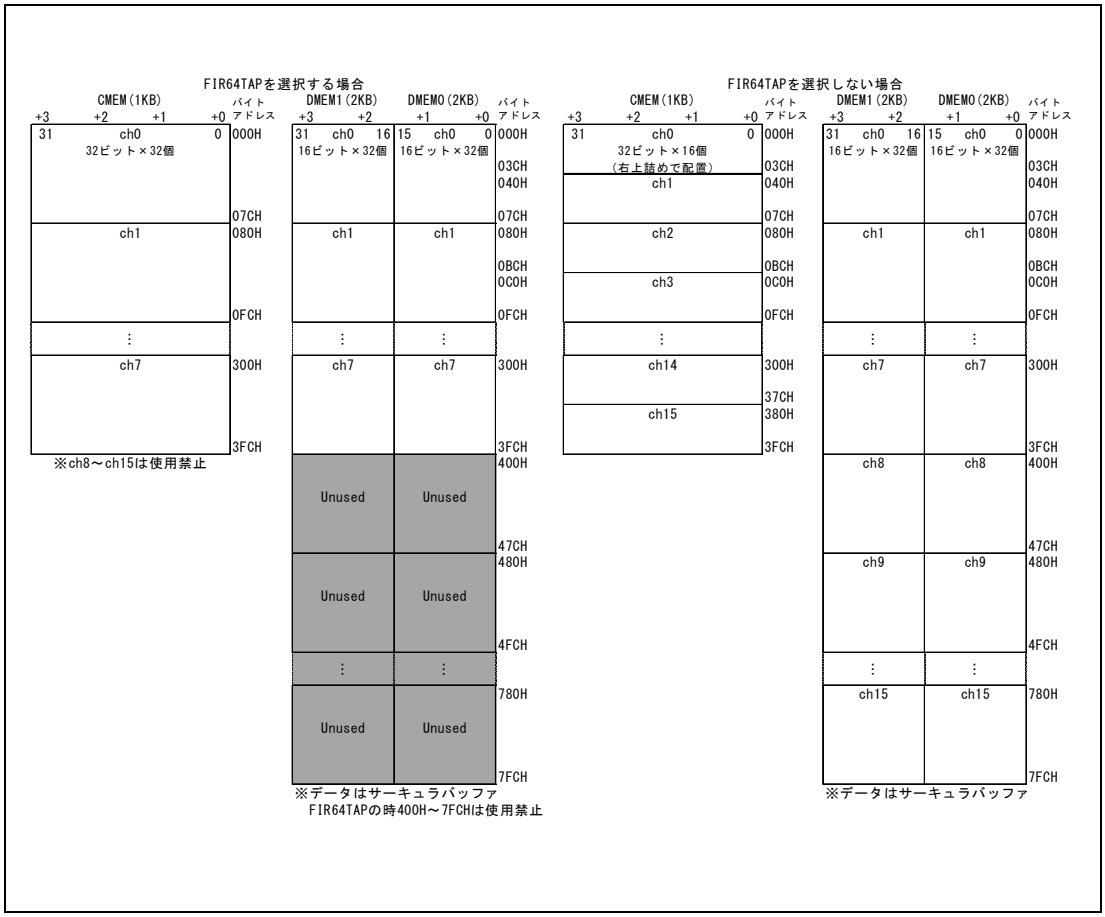


図 29.11 メモリ使用方法（FIR 64TAP を選択する場合としない場合）

29.4.4　係数メモリのデータフォーマット

係数メモリのデータフォーマットを**図 29.12　係数メモリの小数点位置（FIR 選択時）**に示します。

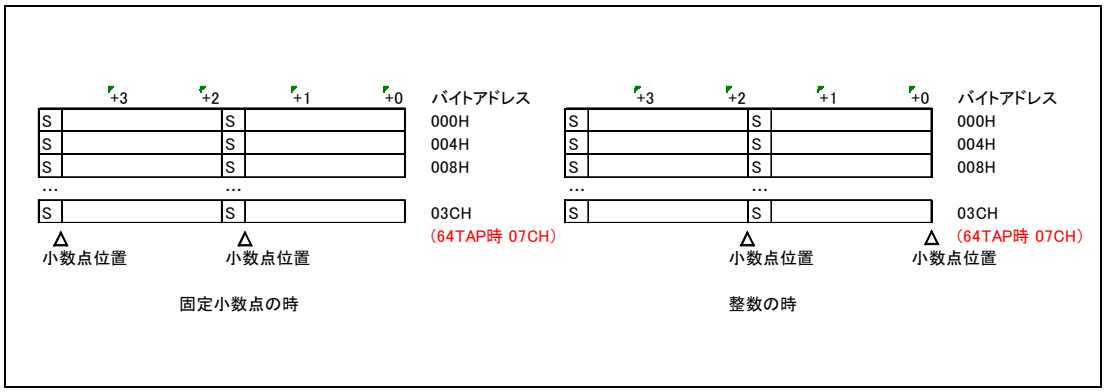


図 29.12　係数メモリの小数点位置（FIR 選択時）

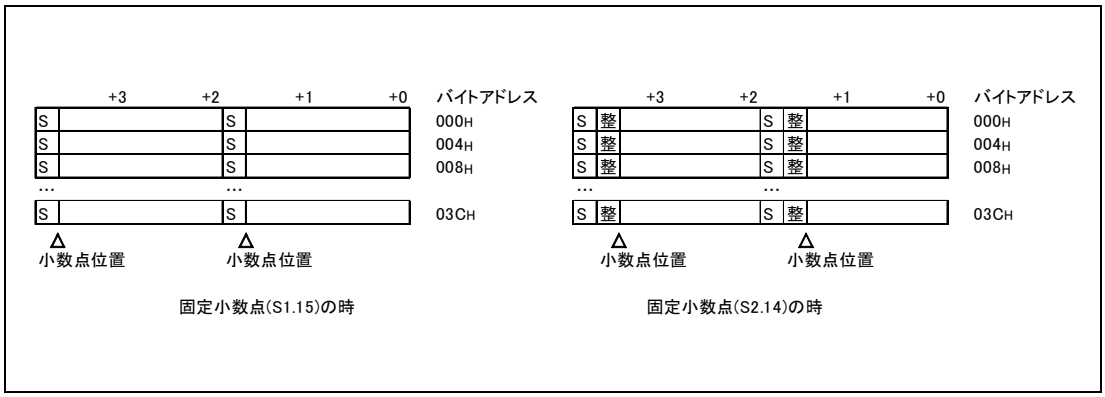


図 29.13　係数メモリの小数点位置 (IIR 選択時)

29.4.5　データメモリのデータフォーマット

データメモリ内のデータの小数点位置を、**図 29.14　データメモリの小数点位置**に示します。

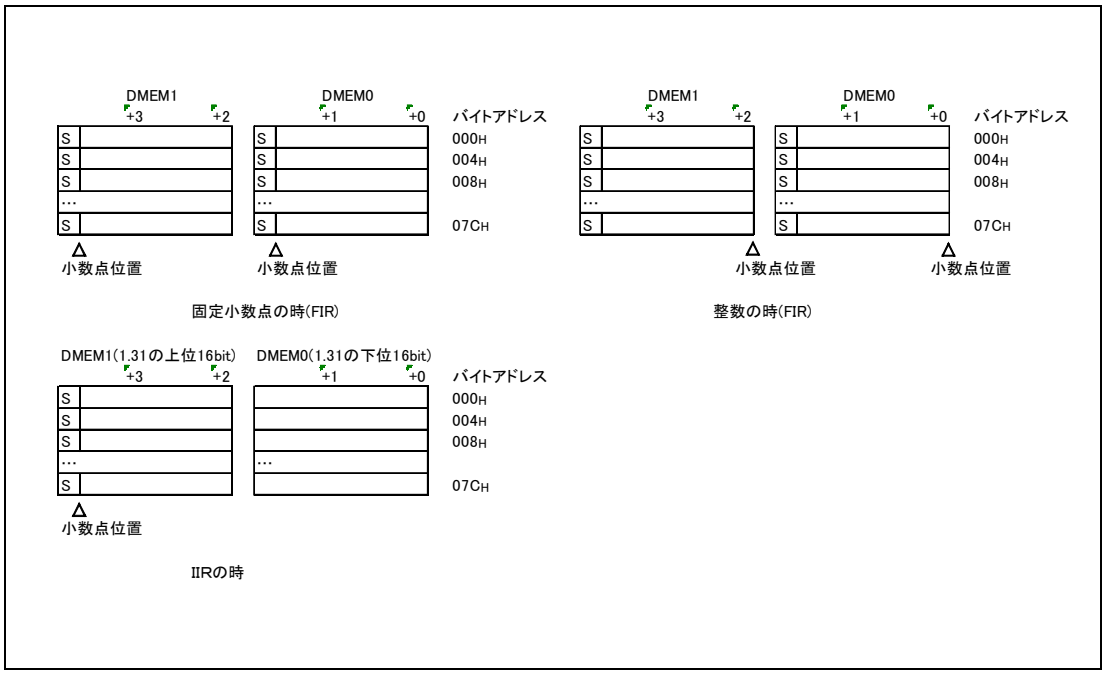


図 29.14　データメモリの小数点位置

29.4.6 制御レジスタの設定

29.4.6.1 FIR（固定小数点）

制御レジスタ A（CTLACHn）で、FIR かつ固定小数点フォーマット指定を行った時の、制御レジスタ A と制御レジスタ B（CTLBCHn）で選択できる演算、カスケード指定の組み合わせを下記に示します。積算を指定したチャネルでは、カスケード機能を使用しないで下さい。

表 29.27 FIR（固定小数点）

入力フォーマット	フィルタ	積算デシメーション指定	PH・比較指定	浮動小数点変換指定有無	実行可否（結果）	カスケード指定（出力）注1
固定小数点（S1.15）	FIR	積算	PH	変換指定	OK（浮動小数点）	NG
				変換指定なし	OK（10.22）	NG
			比較	変換指定	OK（浮動小数点）	NG
				変換指定なし	OK（10.22）	NG
			なし	変換指定	OK（浮動小数点）	NG
				変換指定なし	OK（10.22）	NG
		デシメーション	PH	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）
			比較	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）
			なし	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）
		なし	PH	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）
			比較	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）
			なし	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）

注 1. NG の時の設定は禁止です。OK の時、カスケード先のチャネルの入力データフォーマットの設定は、固定小数点の設定を行ってください。

29.4.6.2 FIR（整数）

制御レジスタ A（CTLACHn）で、FIR かつ、整数フォーマット指定を行った時の、制御レジスタ A と制御レジスタ B（CTLBCHn）で選択できる演算、カスケードの組み合わせを下記に示します。整数指定時のフィルタ処理は、FIR のみ実行可能です。また、浮動小数点変換の指定はしないで下さい。

表 29.28 FIR（整数）

入力フォーマット	フィルタ	積算デシメーション指定	PH・比較指定	浮動小数点変換指定有無	実行可否（結果）	カスケード指定（出力）注 2
整数（16bit 整数）	FIR	積算	PH	変換指定	NG	NG
				変換指定なし	NG	NG
			比較	変換指定	NG	NG
				変換指定なし	NG	NG
			なし	変換指定	NG	NG
				変換指定なし	NG	NG
		デシメーション	PH	変換指定	NG	OK（16bit 整数）
				変換指定なし	OK（32bit 整数）	OK（16bit 整数）
			比較	変換指定	NG	OK（16bit 整数）
				変換指定なし	OK（32bit 整数）	OK（16bit 整数）
			なし	変換指定	NG	OK（16bit 整数）
				変換指定なし	OK（32bit 整数）	OK（16bit 整数）
		なし	PH	変換指定	NG	OK（16bit 整数）
				変換指定なし	OK（32bit 整数）	OK（16bit 整数）
			比較	変換指定	NG	OK（16bit 整数）
				変換指定なし	OK（32bit 整数）	OK（16bit 整数）
			なし	変換指定	NG	OK（16bit 整数）
				変換指定なし	OK（32bit 整数）	OK（16bit 整数）

注 1. NG の時の設定は禁止です。
注 2. NG の時の設定は禁止です。OK の時、カスケード先のチャネルの入力データフォートの設定は、整数にして使用下さい。

29.4.6.3 IIR（固定小数点）

制御レジスタ A（CTLACHn）で、IIR 指定時の、制御レジスタ A と制御レジスタ B（CTLBCHn）で選択できる演算、カスケード選択の組み合わせを下記に示します。IIR 指定時のフィルタ処理は、固定小数点フォーマットのみ実行可能です。また、積算指定時にカスケード指定は禁止です。

表 29.29 IIR

入力フォーマット	フィルタ	積算デシメーション指定	PH・比較指定	浮動小数点変換指定有無	実行可否（結果）	カスケード指定（出力）注1
固定小数点（S1.15）	IIR	積算	PH	変換指定	OK（浮動小数点）	NG
				変換指定なし	OK（10.22）	NG
			比較	変換指定	OK（浮動小数点）	NG
				変換指定なし	OK（10.22）	NG
			なし	変換指定	OK（浮動小数点）	NG
				変換指定なし	OK（10.22）	NG
		デシメーション	PH	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）
			比較	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）
			なし	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）
		なし	PH	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）
			比較	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）
			なし	変換指定	OK（浮動小数点）	OK（S1.15）
				変換指定なし	OK（1.31）	OK（S1.15）

注 1. OK の時、カスケード先のチャネルの入力データフォーマットの設定は、固定小数点フォーマットに設定して下さい。NG の時は禁止です。

29.4.7 トリガ制御

29.4.7.1 タイマトリガ入力

DFE は、ATU4 タイマ D のコンペアマッチ A 割り込み xy（x = 0, 2, 4, 6, 9、y = 0 ～ 3）とコンペアマッチ B 割り込み xy（x = 0, 2, 4, 6, 9、y = 0 ～ 3）の計 40 本をタイマトリガとして使用します。

コンペアマッチ A 割り込みは、3 つのトリガフラグ機能（積算／デシメーション初期化フラグ、PH 初期化フラグ、フィルタ初期化フラグ）毎に PH 初期化用タイマトリガ選択レジスタ（PITRG）、積算初期化用タイマトリガ選択レジスタ（MITRG）、フィルタ初期化用タイマトリガ選択レジスタ（FITRG）でそれぞれ 4 本選択し、フラグ機能毎のタイマトリガ 0 ～ 3 に割り付けます。

積算／デシメーション初期化フラグ用に選択したコンペアマッチ A 割り込みと同一番号のコンペアマッチ B 割り込み信号が、自動的に積算／デシメーション禁止フラグ用のタイマトリガ 0 ～ 3 に割り付けられます。

また PH 初期化フラグ用に選択したコンペアマッチ A 割り込みと同一番号のコンペアマッチ B 割り込み信号が、自動的に PH 終了フラグ用のタイマトリガ 0 ～ 3 に割り付けられます。

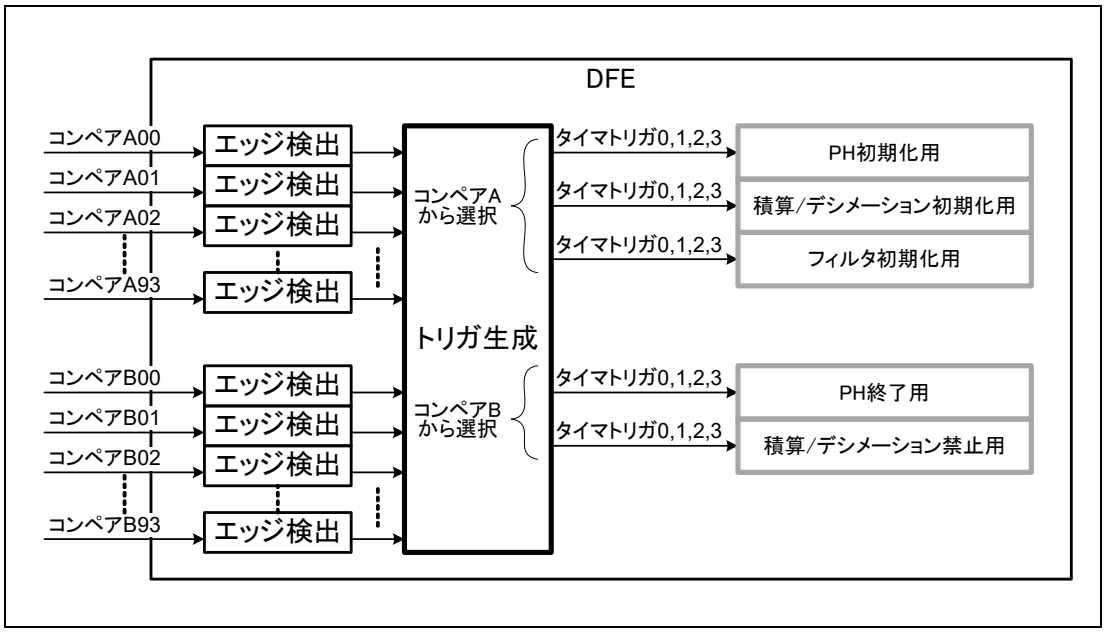


図 29.15 タイマトリガ入力

29.4.7.2 トリガフラグ機能

DFE は、チャネル有効ビット（CTLACHn.EN）が 1 に設定されていれば、ソフトウエアトリガ、トリガフラグ機能に割り付けたタイマトリガ 0 ～ 3 と、トリガ設定レジスタ（TRGCHn）を用いて、下記の 5 つの機能のフラグをチャネル毎に生成することができます。（このフラグをトリガフラグと呼びます）

積算処理、デシメーション処理は、CTLBCHn.PRCSA で設定します。また PH 処理は、CTLBCHn.PRCSB で設定します。

CTLBn.DISA と CTLBn.DISB は、それぞれ積算／デシメーション処理と PH 処理が、禁止か可能かの状態を確認できます。また、DFE が処理を開始する前、つまりチャネル無効（CTLACHn.EN が 0）かつ処理データなし（STCHn.VALID が 0）であれば、CTLBn.DISA と CTLBn.DISB が設定でき、処理禁止または処理可能とする事が可能です。

詳細は、**「29.2.3 CTLBCHn ― 制御レジスタ B（n = 0 ～ 15）」**を参照してください。

表 29.30 トリガフラグ

トリガフラグ名	機能
積算／デシメーション初期化フラグ	積算／デシメーション処理中、処理可能、処理禁止のいずれの状態でも、チャネル毎に設定したタイマトリガまたはソフトウエアトリガの入力により、積算／デシメーション初期化フラグが有効となると、以降の入力データに対して積算回路のカウンタを初期化した後、積算／デシメーション処理を行います。
積算／デシメーション禁止フラグ	積算／デシメーション処理中または処理可能の状態で、チャネル毎に設定したタイマトリガまたはソフトウエアトリガの入力により、積算／デシメーション禁止フラグが有効となると、以降の入力データに対して積算／デシメーション処理を禁止します。 再度、積算／デシメーション処理を許可するには、積算／デシメーション初期化フラグを有効にします。
PH 初期化フラグ	PH 処理中、処理可能、処理禁止のいずれの状態でも、チャネル毎に設定したタイマトリガまたはソフトウエアトリガの入力により、PH 初期化フラグが有効となると、次の入力データはそれまでの PH 結果ではなく PH 初期値設定レジスタと比較し、以降の入力データは PH 結果と比較します。
PH 終了フラグ	PH 処理中または処理可能の状態で、チャネル毎に設定したタイマトリガまたはソフトウエアトリガの入力により、PH 終了フラグが有効となると、以降の入力データに対して PH 処理を禁止します。また PH 終了フラグが有効となった時、PH 終了割り込みが出力可能です。 再度、PH 処理を許可するには、PH 初期化フラグを有効にします。
フィルタ初期化フラグ	チャネル毎に設定したタイマトリガまたはソフトウエアトリガの入力により、フィルタ初期化フラグが有効となると、以降の入力データに対してフィルタ処理のアドレスポインタを初期化した後、FIR ／ IIR 処理を初期値から実行します。

注 1. 積算／デシメーション禁止フラグと PH 終了フラグにタイマトリガを使用する場合、タイマトリガ 0 ～ 3 は、タイマトリガ入力タイマトリガ入力に記載の通り、自動的に割り付けられます。

注 2. PH 初期化フラグと PH 終了フラグの機能を持つチャネルは、チャネル 0 ～チャネル 9 までとなります。

タイマトリガ、ソフトウエアトリガはチャネル毎にトリガフラグに割り付ける事が可能です。

尚、積算／デシメーション禁止フラグと PH 終了フラグのタイマトリガは、自動的に割り付けられます。トリガフラグの詳細な動作については、それぞれ積算回路、PH 回路、フィルタ回路で記述します。

表 29.31 トリガフラグ設定例

	積算／デシメーション初期化フラグ	積算／デシメーション禁止フラグ	PH 初期化フラグ	PH 禁止フラグ	フィルタ初期化フラグ
チャネル 0	タイマトリガ 0（コンペア A0）	タイマトリガ選択でコンペア B0 を自動割り付け	なし	なし	タイマトリガ 3
チャネル 1	なし	なし	タイマトリガ 2（コンペア A9）	タイマトリガ選択でコンペア B9 を自動割り付け	ソフトウエアトリガ
…	…	…	…	…	…
チャネル 9	タイマトリガ 3（コンペア A5）	タイマトリガ選択でコンペア B5 を自動割り付け	なし	なし	なし
チャネル 10	タイマトリガ 1	ソフトウエアトリガ	機能なし	機能なし	タイマトリガ 0
…	…	…	…	…	…
チャネル 15	なし	なし	機能なし	機能なし	なし

トリガフラグは、ソフトウエアトリガ又はタイマトリガ発生後に入力されたデータに対して有効です。

例えば、チャネル 0 の積算初期化フラグをタイマトリガ 0 に設定した場合、タイマトリガ発生後、チャネル 0 の最初の入力データに対して積算処理を初期化します。

同一データを複数チャネルで処理する場合は、処理データの一貫性を保つため、各トリガフラグのトリガ設定を同一にしてください。

例えば、チャネル 0、チャネル 1 に AD0 の入力データを指定し積算初期化フラグを使用する場合は、同一の積算初期化フラグ用タイマトリガをチャネル 0、チャネル 1 両方に指定します。

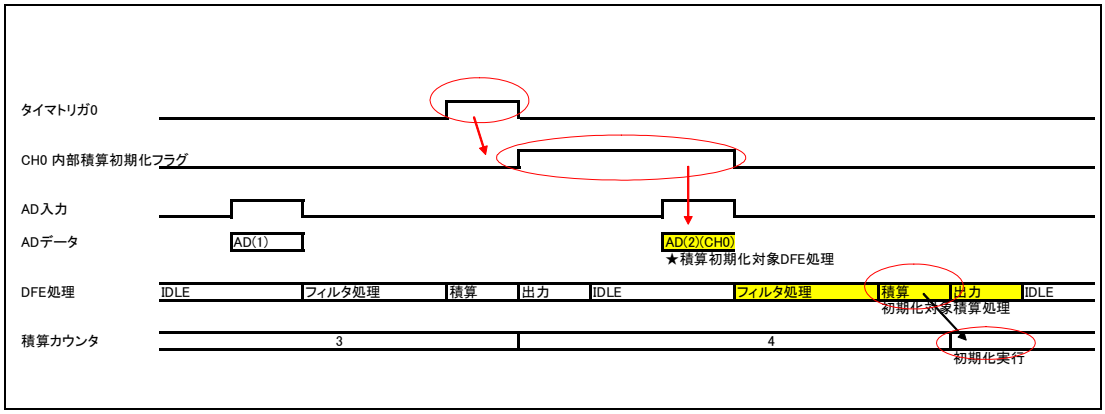


図 29.16 トリガフラグ動作例

29.4.7.3 トリガフラグ機能と処理

トリガフラグ機能と処理の関係を以下に示します。

表 29.32 トリガフラグ機能と処理

レジスタ設定		トリガフラグ機能		トリガフラグ有効後の入力データ処理			
		積算／デシメーション	PH	出力データ書き込み	出力データ割込み	条件一致割込み	PH 更新通知
積算／デシメーション禁止設定	PH ／比較禁止設定	フラグ無効	フラグ無効	する	なし	なし	なし
	PH 実行設定	フラグ無効	有効状態	する	なし	なし	有り
			禁止状態	する	なし	なし注 1	なし
	比較実行設定	フラグ無効	フラグ無効	する	なし	有り	なし
積算／デシメーション実行設定	PH ／比較禁止設定	有効状態	フラグ無効	する	有り	なし	なし
		禁止状態	フラグ無効	なし	なし	なし	なし
	PH 実行設定	有効状態	有効状態	する	有り	なし	有り
			禁止状態	する	有り	なし注 1	なし
		禁止状態	フラグ無効	なし	なし	なし	なし
	比較実行設定	有効状態	フラグ無効	する	有り	有り	なし
		禁止状態	フラグ無効	なし	なし	なし	なし

注 1. PH 終了フラグ有効時に割り込み出力

積算／デシメーション処理と PH ／比較処理を同一チャネルで使用する場合、積算／デシメーションで回数指定があると、その回数ごとに PH 処理を行います。

また、トリガフラグ機能によって積算／デシメーション処理が禁止されると PH ／比較処理も実行しません。積算／デシメーション処理が禁止状態のチャネルには、PH 初期化と PH 終了のトリガフラグ機能用のタイマトリガとソフトウエアトリガは入力しないでください。

29.4.8 入力データ制御

DFE は、ΔΣADC0 ～ 7 及び ADC0、1 の AD からの入力と、DFE のフィルタ演算結果を再度フィルタ演算するカスケード入力と、CPU もしくは、DMA によるソフトウエア入力が可能です。

DFE は、チャネル毎に CTLACHn.TAG に設定したタグの値（以降、チャネルタグ）と AD から入力されたタグ（AD タグ）を比較して、一致したタグ値を持つチャネルで処理を行います。本機能により、1 つの AD データを複数のチャネルの処理に入力することが可能です。

29.4.8.1 AD 入力

DFE は、チャネル毎に CTLACHn.TAG に設定したタグの値（以降、チャネルタグ）と AD から入力されたタグ（AD タグ）を比較して、一致したタグ値を持つチャネルで処理を行います。本機能により、1 つの AD データを複数のチャネルの処理に入力することが可能です。

29.4.8.2 カスケード入力

DFE は、フィルタ処理結果を再度入力するカスケード入力機能を持ちます。カスケード入力は、積算回路の出力データ 32bit を 16bit に丸め処理を行い、再度フィルタ処理をします。

16bit への丸め処理は、整数モード時は、積算回路の出力データが正の数かつ、上位 16bit に有効数値が有る場合、16bit の正の最大値（$7FFF_H$）に丸めます。負の数かつ、上位 16bit に有効数値が有る場合、16bit の負の最小値（8000_H）に丸めます。正の最大値又は、負の最小値へ丸めが生じたときは、カスケード丸めエラーフラグをセットします。

固定小数点モード時は、積算回路の出力データと 0000_8000_H を加算して、丸め処理を行います。加算した結果が正の数の 32bit でオーバーフローした場合に正の最大値（$7FFF_H$）に丸め、カスケード丸めエラーフラグをセットします。

制御レジスタ CTLACHn.CAEN を用いて、カスケード入力機能の有効・無効の設定、出力データレジスタマスク機能の有効・無効を制御する事が可能です。

表 29.33 CAEN フラグ機能

CAEN ビット	機能
00_B	カスケード入力しない。演算算結果を出力データレジスタにライトする。（リセット値）
01_B	禁止
10_B	カスケード入力する。演算結果を出力データレジスタにライトする。
11_B	カスケード入力する。演算結果を出力データレジスタにライトしない。

カスケード入力有効時には、カスケード用のタグ値（以降、カスケードタグ）を用いてカスケード入力先のチャネルを指定します。カスケードタグは、CTLACHn.CATAG で設定します。DFE は、カスケードタグとチャネルタグを比較し、一致したチャネルでカスケード入力でのフィルタ処理を行います。以下にカスケード入力有効時の動作イメージを示します。

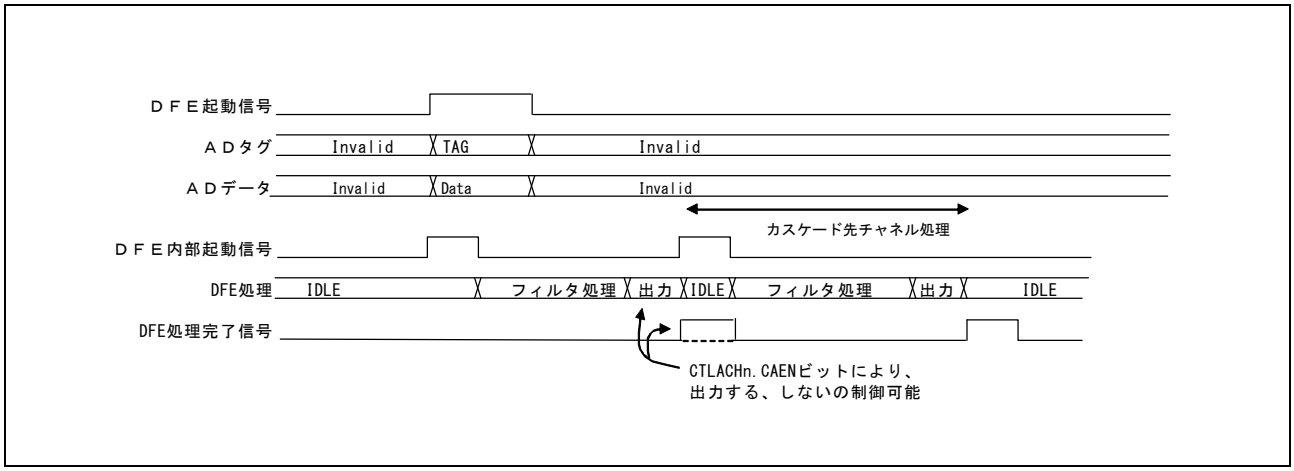


図 29.17　カスケード入力処理イメージ（通常）

カスケード入力有効かつ、デシメーション指定の時は、デシメーション結果が、カスケード入力のデータとなります。例えば、デシメーション回数 4 回指定の場合、AD 入力 4 回目のフィルタ処理後のデータが、カスケード入力のデータとなります。

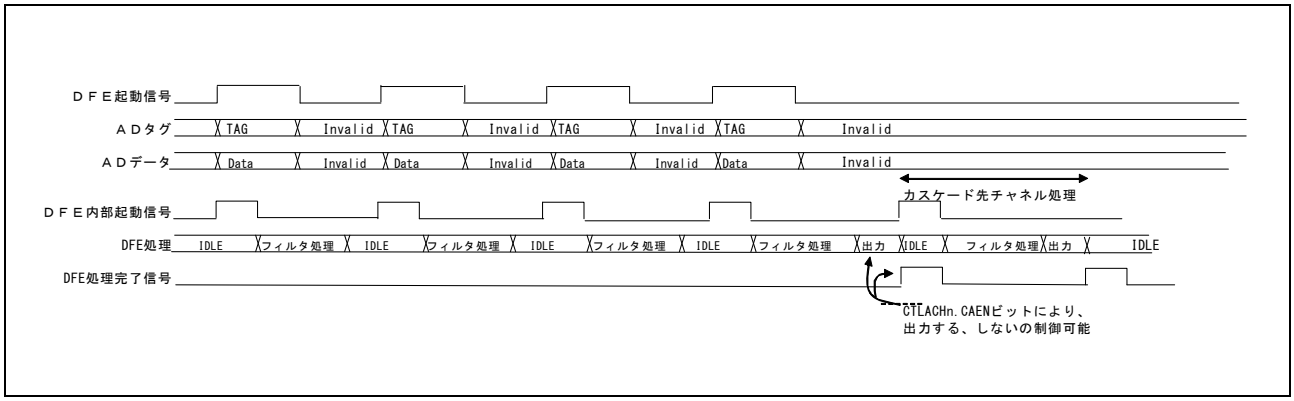


図 29.18　カスケード入力処理イメージ（デシメーション 4 回）

29.4.8.3　ソフトウエア入力

DFE には、CPU もしくは、DMA を用いて、周辺バス経由で DFE 処理対象データを入力する機能を持ちます（以降、本機能をソフトウエア入力機能とします）。ソフトウエア入力データレジスタ（DI）に周辺バスからフィルタ処理対象データと、タグ値をライトする事で DFE の処理を開始することができます。

29.4.8.4 ディスパッチ

各 AD（ΔΣAD、SAR-ADC）と、カスケード入力、ソフトウエア入力の起動信号とチャネルタグにより、処理を行うチャネルを選択し、チャネル毎の入力データレジスタに処理対象データを格納します。この処理をディスパッチといいます。

入力データレジスタに処理対象データを格納すると、積算回路の処理完了まで、入力データレジスタは有効になります。入力データレジスタが有効の間に、新たなデータが同一チャネルの入力データレジスタに格納されると、上書きされ、入力データオーバーライトエラー（DIOW）を発生します。

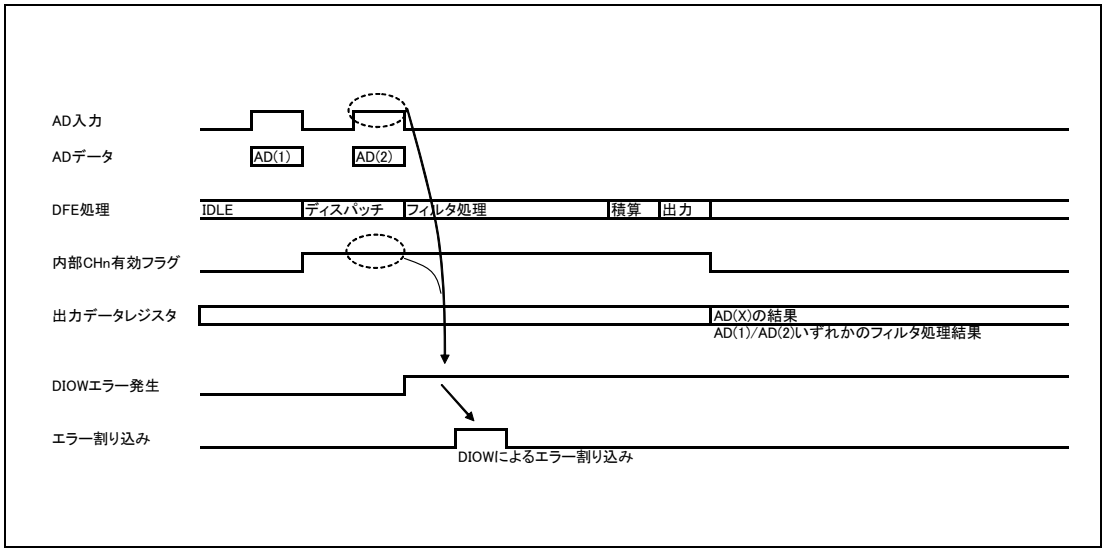


図 29.19 入力データオーバーライト (DIOW) エラー

各チャネルの入力データレジスタが有効の時、フィルタ処理対象データの調停を行います。チャネル 0 の処理を最優先とし、次にチャネル 1、チャネル 2.... チャネル 15 の優先順位で調停されたチャネルの入力データレジスタの値をフィルタ回路に入力し、制御レジスタの値により、FIR/IIR 処理をします。

複数チャネルに同一の入力データを設定した場合も同様にチャネルの優先順位に従い設定したチャネル数分の処理を行います。またトリガフラグ機能が有効になった場合は、次の入力データの処理から反映されます。

例えば、複数チャネルに同一の入力データを設定し、かつ積算処理と同一の積算／デシメーション禁止トリガを設定した場合、トリガ入力時に処理前のチャネルがあっても積算禁止にはならず、次の入力データの処理から積算禁止となります。

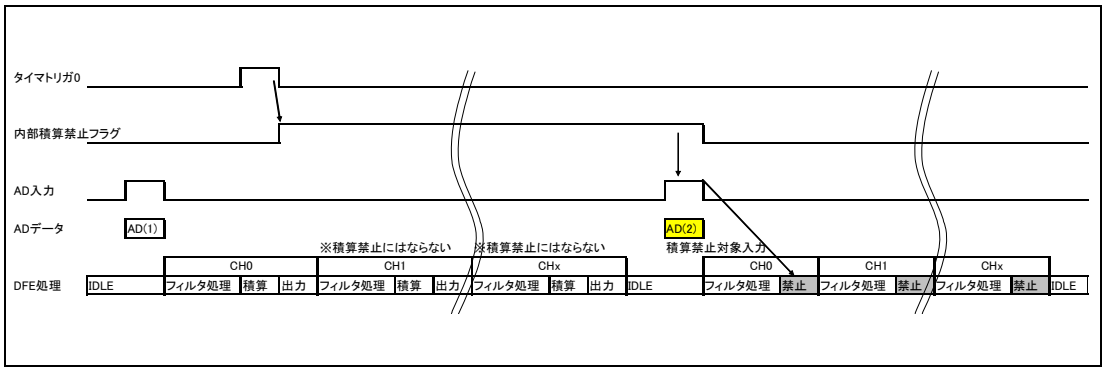


図 29.20 複数チャネルに同一の入力データを設定した場合の処理

29.4.9 フィルタ回路

フィルタ回路は、チャネル 0 ～チャネル 15 のうち、ディスパッチ回路で選択された 1 つのチャネルの要求を受け付けます。ただし、チャネル 0 ～チャネル 7 のうち、1 チャネル以上で FIR 64TAP を使用する場合、チャネル 0 ～チャネル 7 のチャネルの要求を受け付けますが、チャネル 8 ～チャネル 15 の要求は受け付けません。

要求を受け付けると、FIR フィルタもしくは、IIR フィルタを開始します。フィルタ実行中は、次の要求は受け付けられません。DFE は積算回路の処理完了後に新たな要求を受け付けます。フィルタに必要な係数は、係数メモリに格納し、FIR 時の入力データ、IIR 時の中間データは、データメモリに格納します。これらのメモリ領域は、チャネル毎に確保します。

29.4.9.1 FIR（8/16/24/32TAP）

FIR フィルタ構成図を示します。

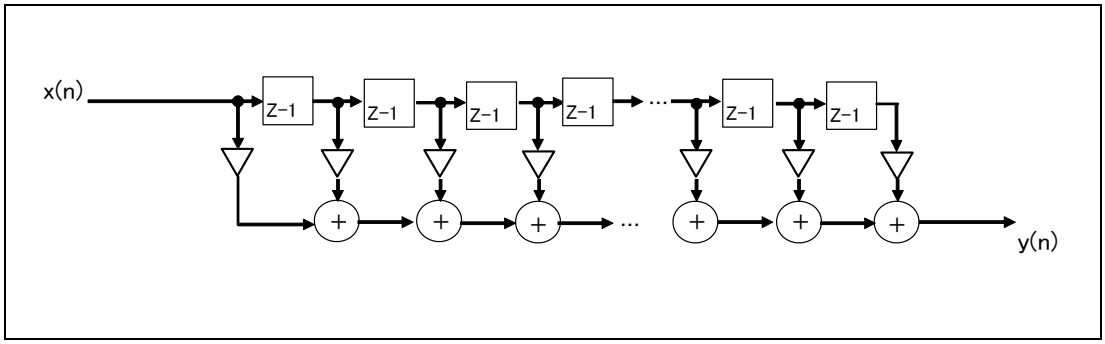


図 29.21 FIR フィルタ構成図

FIR フィルタを開始する前に、係数メモリと、データメモリバッファ領域に値を設定します。

32TAP の FIR であれば、係数メモリ C[0]-C[31] に使用する係数の値を設定し、データメモリのサーキュラバッファ領域を 0000_H に設定します。

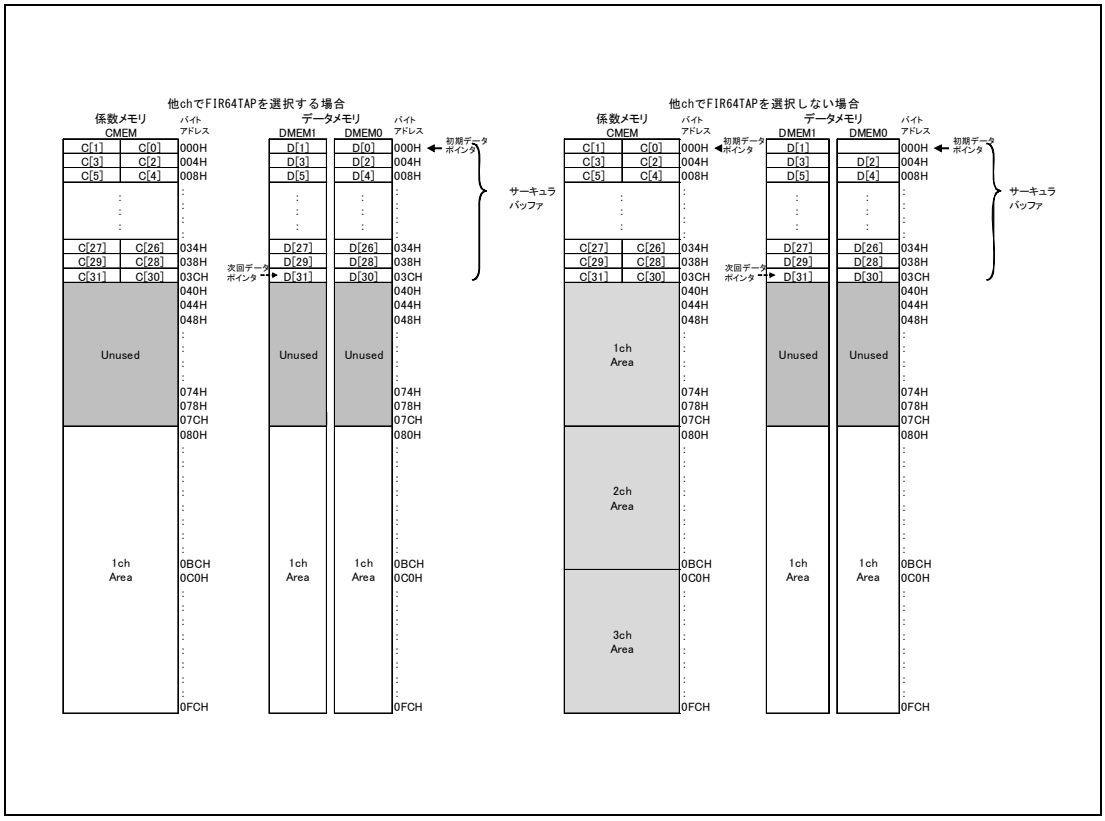


図 29.22　FIR メモリ（FIR 64TAP 選択する／しない場合）

図 29.22 に FIR 32TAP 選択時の係数メモリとデータメモリのアクセス領域を示します。FIR8/16/24 を選択した場合も同様です。

他のチャネルで FIR 64TAP を選択した場合、1 チャネルあたりの係数メモリのアクセス領域は**図 29.22** の左側のようになります。他のチャネルで FIR 64TAP が選択されなかった場合、1 チャネルあたりの係数メモリのアクセス領域は**図 29.22** の右側のようになります。

DFE は、フィルタ処理初期化フラグが有効の場合、FIR 処理前に、TAP 数分のサーキュラバッファに 0 書き込みおこなってから、FIR 処理を行います。例えば、32TAP の FIR の場合、D[0] ～ D[31] のサーキュラバッファを 0 で書き込みをしてから、FIR 処理を実行します。

29.4.9.2 FIR（64TAP）

FIR 8/16/24/32TAP の場合と同様に、FIR フィルタを開始する前に、係数メモリと、データメモリバッファ領域に値を設定します。

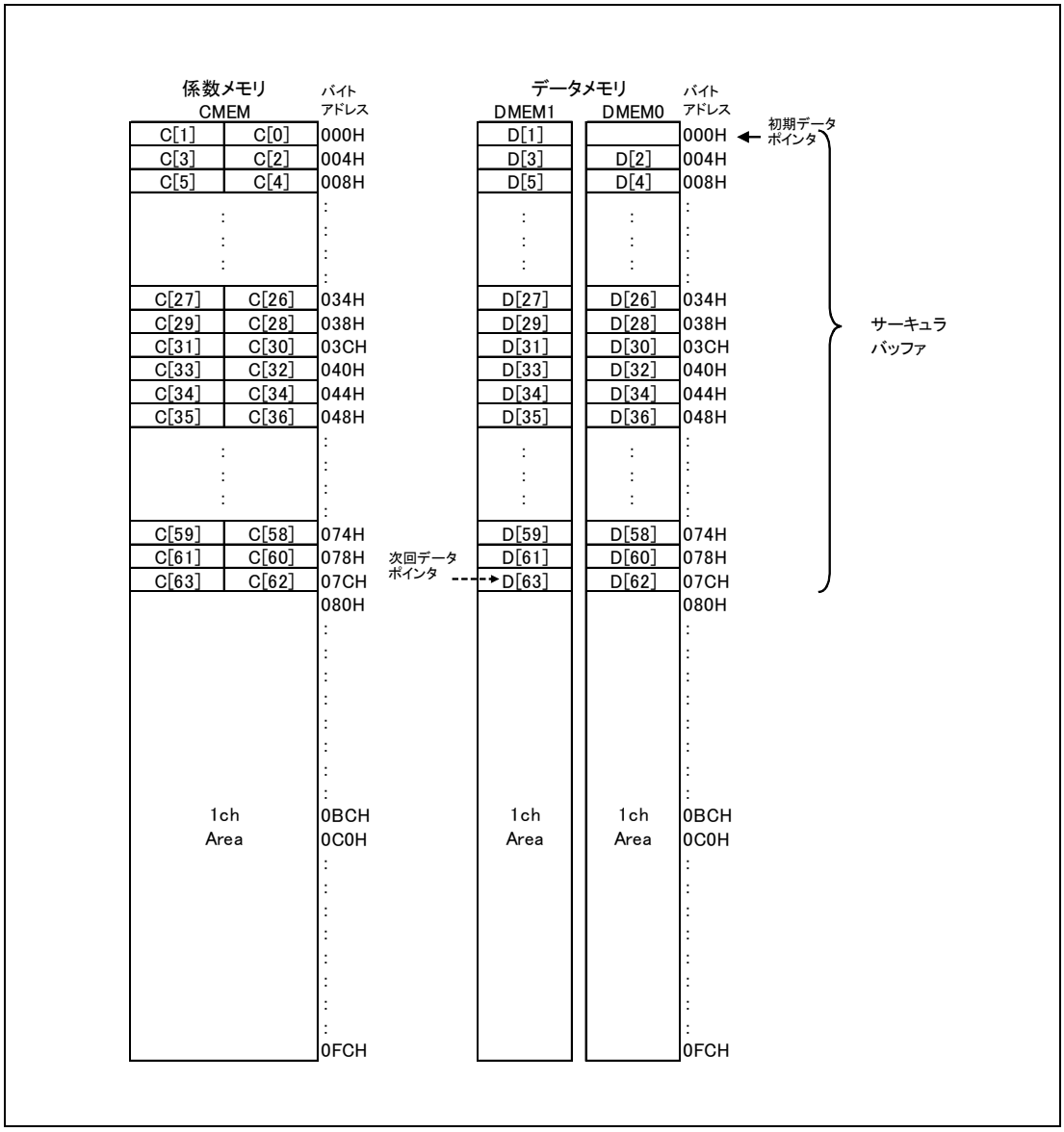


図 29.23 FIR メモリ（FIR 64TAP 選択時）

フィルタ処理初期化フラグが有効の場合、FIR 処理前に DFE は 64TAP 分のサーキュラバッファに 0 書き込みを行った後、FIR 処理を開始します。FIR 64TAP の場合、D[0] ～ D[63] のサーキュラバッファに 0 書き込みを行った後、FIR 処理を開始します。

図 29.23 に FIR 64TAP の係数メモリとデータメモリのアクセス領域を示します。FIR 64TAP は CH0 ～ CH7 のみ使用可能です。CH8 ～ CH15 は使用できません。

29.4.9.3 IIR（1 段）

IIR フィルタ構成図（1 段）を示します。

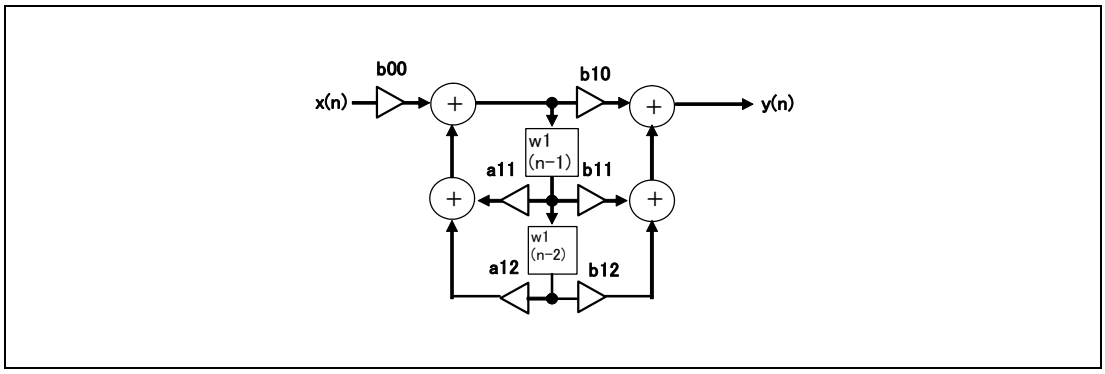


図 29.24 IIR フィルタ構成図（1 段）

IIR フィルタを開始する前に、係数メモリと、データメモリバッファ領域に値を設定します。データメモリには、中間値のデータの値を、データメモリのサーキュラバッファ領域と初期値バッファ領域に設定します。

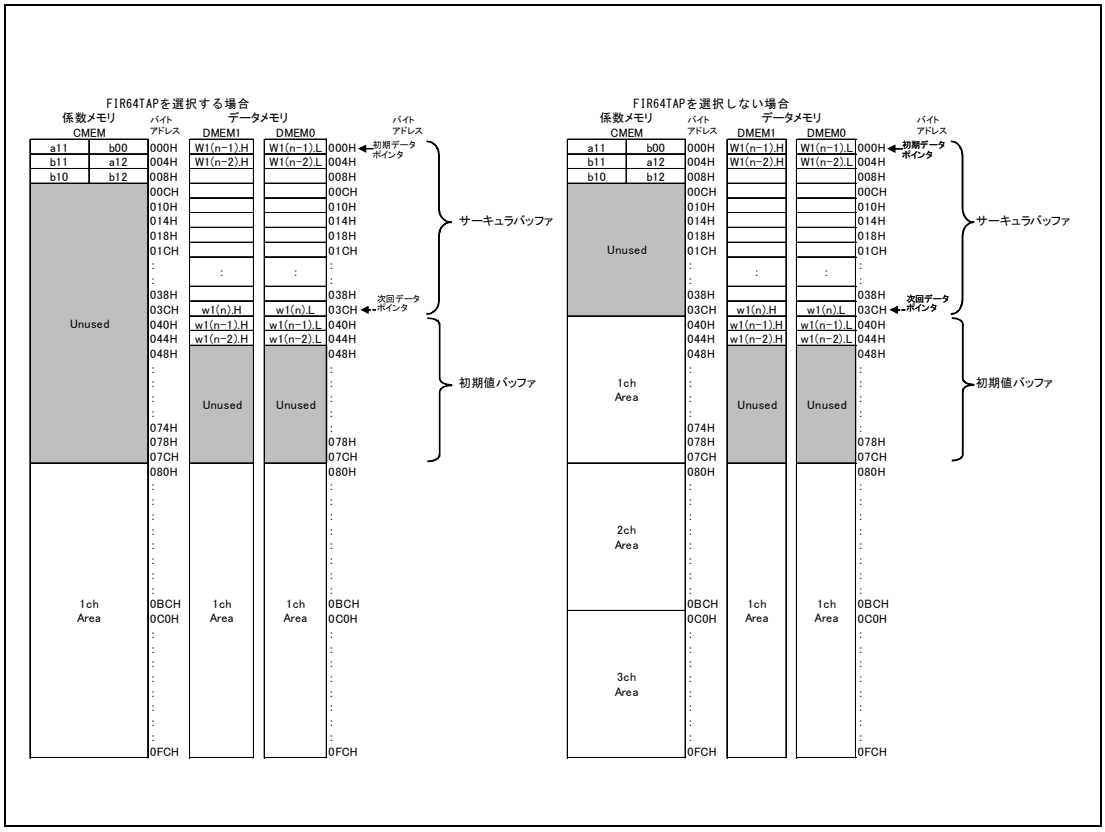


図 29.25　IIR フィルタ（1 段）時のメモリ（FIR 64TAP 選択する／しない場合）

IR 1 段を選択時の、係数メモリとデータメモリのアクセス領域を示します。他チャネルで FIR 64TAP を選択した場合、係数メモリのアクセス領域は**図 29.25** の左側のようになります。他チャネルで FIR 64TAP を選択しない場合、1 チャネルあたりの係数メモリのアクセス領域は**図 29.25** の右側のようになります。

フィルタ処理初期化フラグが有効の場合、DFE はサーキュラバッファのデータポインタを “0” に初期化し、IIR 処理前に対象のサーキュラバッファに初期値バッファ値を書き込んだ後、IIR 処理を開始します。

29.4.9.4 IIR（2 段）

IIR フィルタ構成図（2 段）を示します。

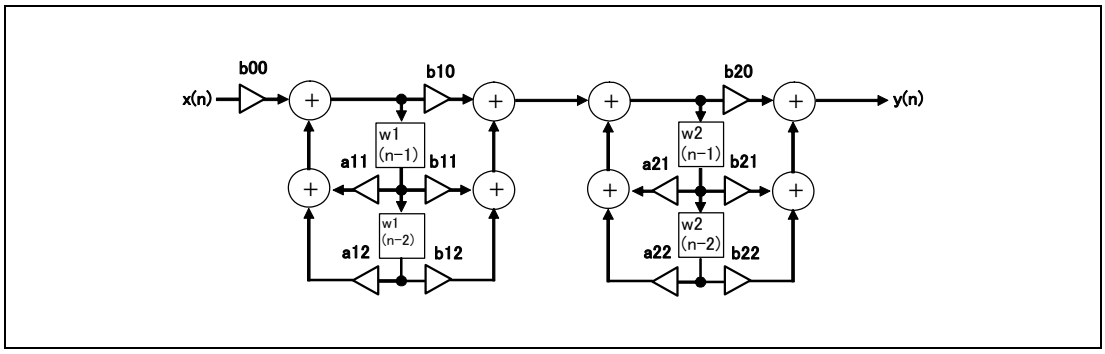


図 29.26 IIR フィルタ構成図（2 段）

IIR フィルタを開始する前に、係数メモリと、データメモリバッファ領域に値を設定します。データメモリには、中間値のデータの値を、データメモリのサーキュラバッファ領域と初期値バッファ領域に設定します。

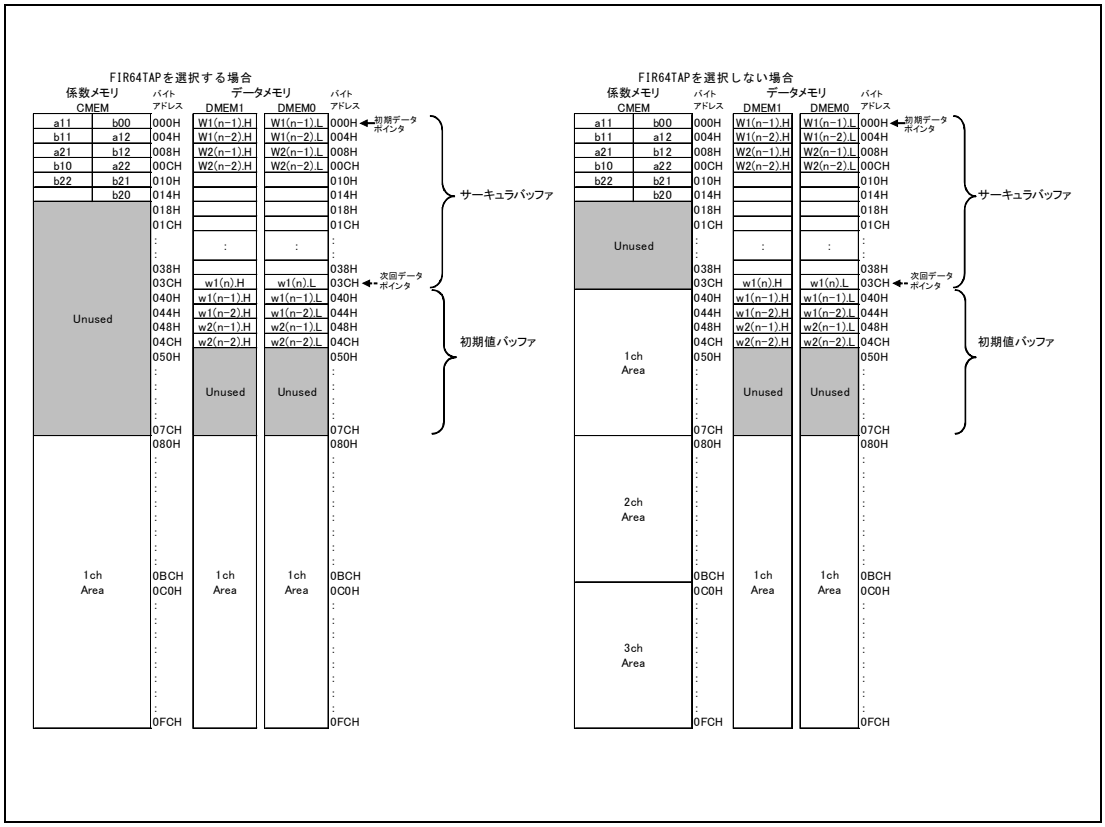


図 29.27　IIR フィルタ（2 段）時のメモリ（FIR 64TAP 選択する／しない場合）

IIR 2 段を選択時の、係数メモリとデータメモリのアクセス領域を示します。他チャネルで FIR 64TAP を選択した場合、1 チャネルあたりの係数メモリのアクセス領域は**図 29.27** の左側のようになります。他チャネルで FIR 64TAP を選択しない場合、1 チャネルあたりの係数メモリのアクセス領域は**図 29.27** の右側のようになります。

フィルタ処理初期化フラグが有効の場合、DFE はサーキュラバッファのデータポインタを “0” に初期化し、IIR 処理前に対象のサーキュラバッファに初期値バッファ値を書き込んだ後、IIR 処理を開始します。

29.4.9.5 IIR（3 段）

IIR フィルタ（3 段）構成図を示します。

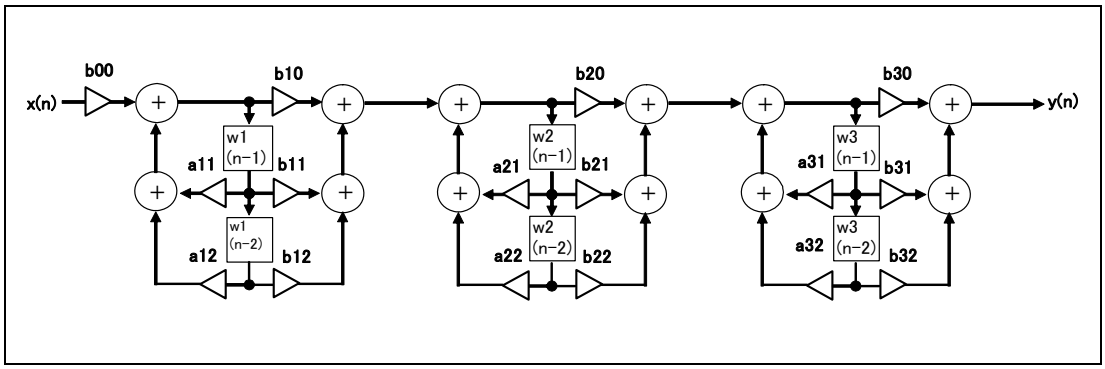


図 29.28 IIR フィルタ構成図（3 段）

IIR フィルタを開始する前に、係数メモリと、データメモリバッファ領域に値を設定します。データメモリには、中間値のデータの値を、データメモリのサーキュラバッファ領域と初期値バッファ領域に設定します。

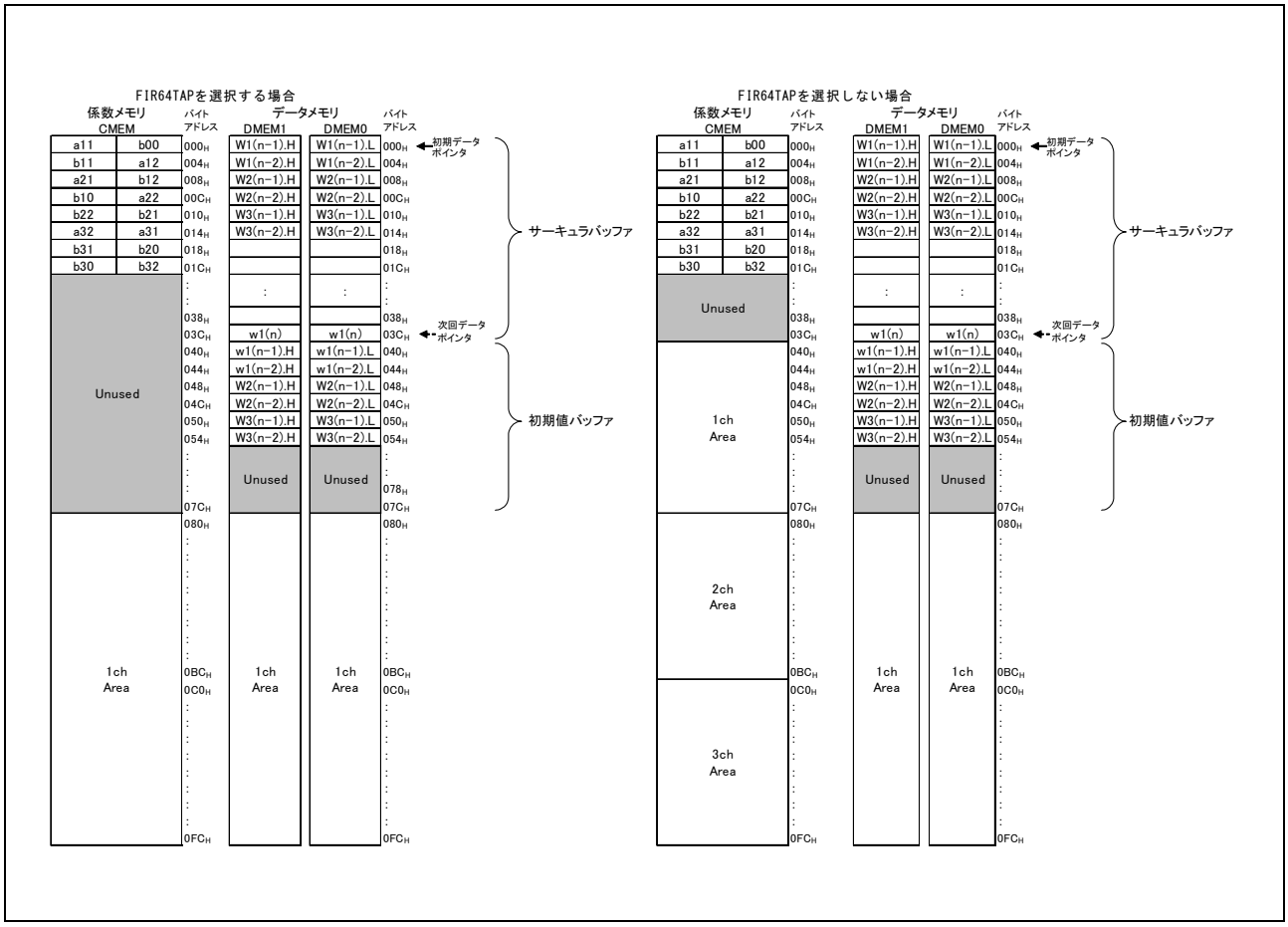


図 29.29　IIR フィルタ（3 段）時のメモリ（FIR 64TAP 選択する／しない場合）

IIR3 段を選択時の、係数メモリとデータメモリのアクセス領域を示します。他チャネルで FIR 64TAP を選択した場合、1 チャネルあたりの係数メモリのアクセス領域は**図 29.29** の左側のようになります。他チャネルで FIR 64TAP が選択しない場合、1 チャネルあたりの係数メモリのアクセス領域は**図 29.29** の右側のようになります。

フィルタ処理初期化フラグが有効の場合、DFE はサーキュラバッファのデータポインタを “0” に初期化し、IIR 処理前に対象のサーキュラバッファに初期値バッファ値を書き込んだ後、IIR 処理を開始します。

29.4.9.6　フィルタ回路のエラー

乗算器において、8000_H*8000_H の乗算実行時に、乗算エラーとなり、乗算エラーフラグをセットします。

乗算結果の加算処理では、オーバーフローを防ぐためにガードビット 6bit を備えます。ガードビット付きのデータを 32 ビットに丸める際には丸め演算を実施します。

丸め演算後のガードビットに有効数値がある場合、エラーフラグをセットします。このエラーをガードビットエラーといいます。演算結果が 32bit 正の最大値（$7FFF\ FFFF_H$）より大きい場合、$7FFF\ FFFF_H$ に飽和処理を行い、32bit 負の最小値（$8000\ 0000_H$）より小さい場合、$8000\ 0000_H$ に飽和処理を行います。

29.4.10　積算回路

積算回路は、フィルタ回路が出力するフィルタ処理結果データを、絶対値変換、積算処理もしくは、デシメーション処理を行い、処理結果データを、出力回路及び PH 回路に出力する機能を持ちます。カスケード機能使用時は積算回路出力データを、ディスパッチ回路に入力します。

29.4.10.1 絶対値演算

フィルタ回路が出力するフィルタ処理結果データを絶対値変換します。CTLBCHn.ABS = 1 の時、絶対値変換を行い、CTLBCHn.ABS = 0 の時、絶対値変換を行いません。

フィルタ回路が出力するフィルタ処理結果データが $8000\ 0000_H$ の時、絶対値エラーを発生します。この時の絶対値変換結果は、$7FFF\ FFFF_H$ とします。

29.4.10.2 積算処理の概要

積算処理は、積算回路に入力されたフィルタ処理結果データを 9 ビット右算術シフトしてから、これまでに入力されたフィルタ処理結果データとの累加算をチャネル毎に行います。積算処理後のデータフォーマットは（10.22）です。積算処理の回数は、最大で 511 回可能です。指定した積算処理回数分の処理が完了したら、再度積算処理を行います。

CTLBCHn.PRCSA = 01_B の時、積算処理を実行します。積算処理回数の指定は、CTLBCHn.SELA を用いて、4 つの積算・デシメーション回数設定レジスタ（ACA ～ ACD）から選択します。

29.4.10.3 積算処理の動作

ACA = 000_H / ACB = 001_H / ACC = 002_H / CTLBCHn.PRCSA = 01_B の時を例に説明します。

CTLBCHn.SELA = 00_B では、ACA が選択され、積算回数設定値が 0 回で積算処理を行います。

フィルタ処理結果データ（D（1））を 9bit 右算術シフトした結果データ（DADD（1））を出力データレジスタに格納し、出力データ割り込み要求を行います。

積算回数設定値が 0 回の積算処理では、1 回のフィルタ処理結果を 9bit 右算術シフトして、加算処理を行わず、1 回の割り込み要求を行います。以降、この処理を繰り返し実行します。

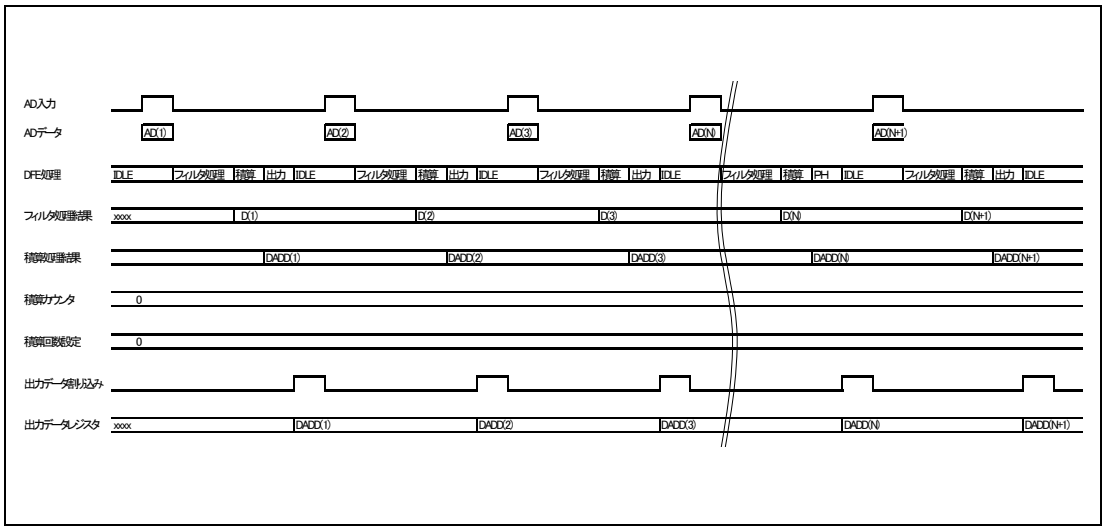


図 29.30 積算処理（回数設定値 0 回）

CTLBCHn.SELA = 01_B では、ACB レジスタが選択され、積算回数設定値が 1 回で積算処理を行います。

フィルタ処理結果データ（D（1））を積算回路に入力すると、フィルタ処理結果データ（D（1））を 9bit 右算術シフトした結果データ（DADD（1））を積算アキュムレータに格納します。次に、フィルタ処理結果データ（D（2））を積算回路に入力すると、フィルタ処理結果データ（D（2））を 9bit 右算術シフト（DADD（2））し、積算アキュムレータの値（DADD（1））と加算し、加算結果（DADD（1）＋DADD（2））を出力データレジスタに格納します。格納が完了すると、出力データ割り込み要求を行います。

積算回数設定値が 1 回の場合、2 回分のフィルタ処理結果 9bit 右算術シフトし、加算実行し、割り込み要求を 1 度行います。以降、この処理を繰り返し実行します。

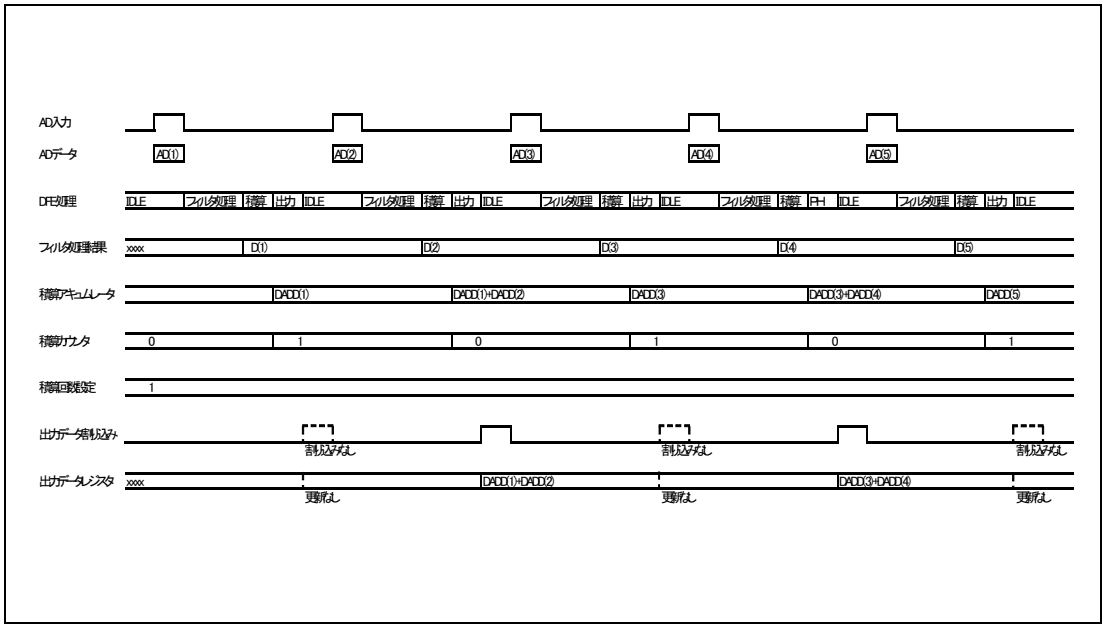


図 29.31　積算処理（回数設定値 1 回）

CTLBCHn.SELA = 10_B では、ACC レジスタが選択され、積算回数設定値が 2 回で積算処理を行います。

フィルタ処理結果データ（D（1））を積算回路に入力すると、フィルタ処理結果データ（D（1））を 9bit 右算術シフトした結果データ（DADD（1））を積算アキュムレータに格納します。次に、フィルタ処理結果データ（D（2））を積算回路に入力すると、フィルタ処理結果データ（D（2））を 9bit 右算術シフト（DADD（2））し、積算アキュムレータの値（DADD（1））と加算し、加算結果（DADD（1）＋DADD（2））を再度積算アキュムレータに格納します。次に、フィルタ処理結果データ（D（3））を積算回路に入力すると、フィルタ処理結果データ（D（3））を 9bit 右算術シフト（DADD（3））し、積算アキュムレータの値（DADD（1）＋DADD（2））と加算し、加算結果（DADD（1）＋DADD（2）＋DADD（3））を出力データレジスタに格納します。格納が完了すると、出力データ割り込み要求を行います。

積算回数設定値が 2 回の場合、3 回分のフィルタ処理結果 9bit 右算術シフトし、加算実行し、割り込み要求を 1 度行います。以降、この処理を繰り返し実行します。

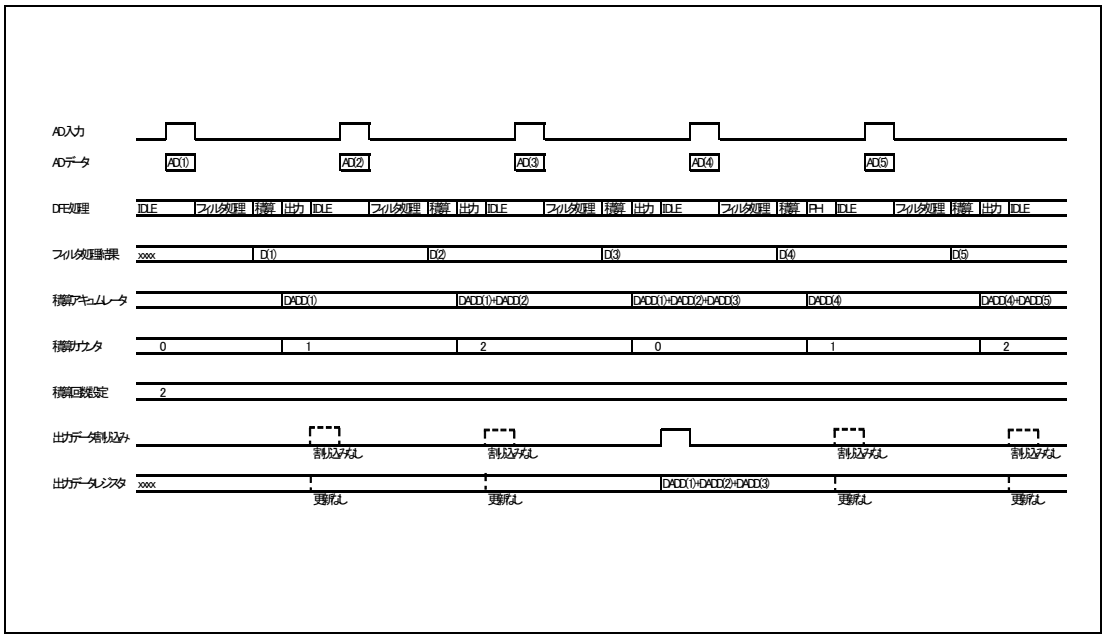


図 29.32　積算処理（回数設定値 2 回）

29.4.10.4 積算処理の動作（トリガフラグあり）

積算初期化フラグ、積算禁止フラグ有効時の積算処理の動作について説明します。

積算指定（CTLBCHn.PRCSA = 01_B）の時、タイマトリガ、ソフトウエアトリガにより、積算初期化フラグが有効になった場合、直後の対象のチャネルの DFE の積算処理は、積算カウンタを初期化し、積算処理の最初のデータとして、積算処理を行います。

例えば、積算初期化フラグ有効かつ、積算回数設定値が 2 回の時、積算回路に 3 回目にデータ（D3）が入力された場合、3 回目のデータ（D3）を 9bit 右算術シフトした DADD（3）を積算アキュムレータに格納します（DADD（1）＋DADD（2）の積算結果値を上書きします）。

次に積算回路に入力したデータ（D（4））、次の次に積算回路に入力したデータ（D（5））との積算を行い、出力データレジスタには積算初期化フラグ有効後 3 回分の積算結果（DADD（3）＋DADD（4）＋DADD（5））を格納し、出力データ割り込み要求を行います。

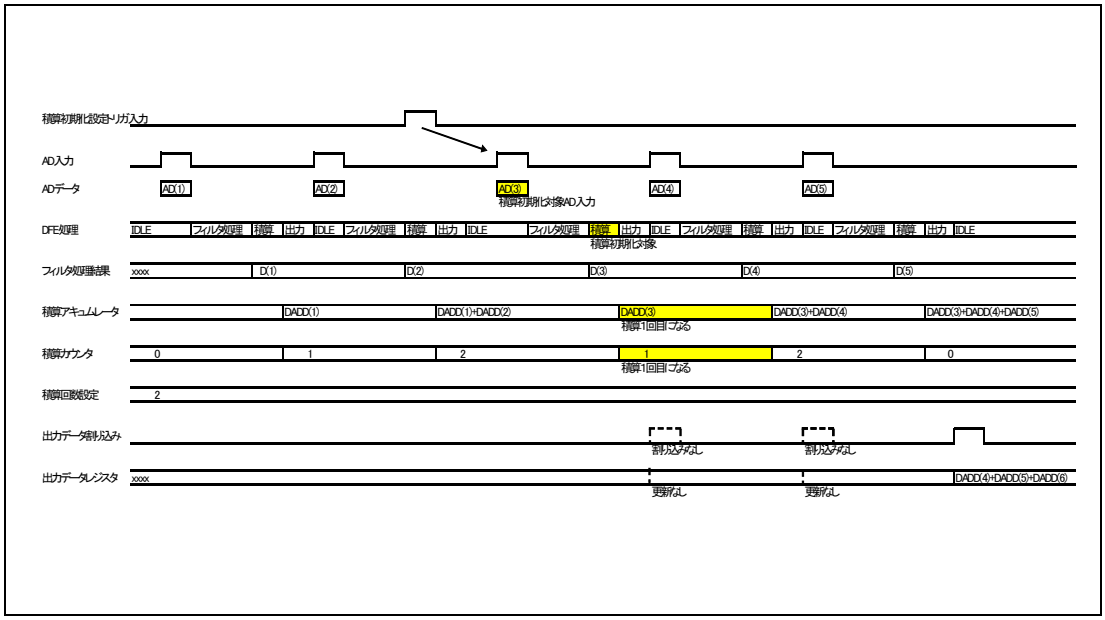


図 29.33 積算処理（初期化フラグ有効）

積算指定（CTLBCHn.PRCSA = 01_B）の時、タイマトリガ、ソフトウエアトリガにより、積算禁止フラグが有効になった場合、直後の対象のチャネルの DFE の積算処理は実行せず、DFE 内部の積算禁止フラグをアサートし、以降の処理では積算を行いません。

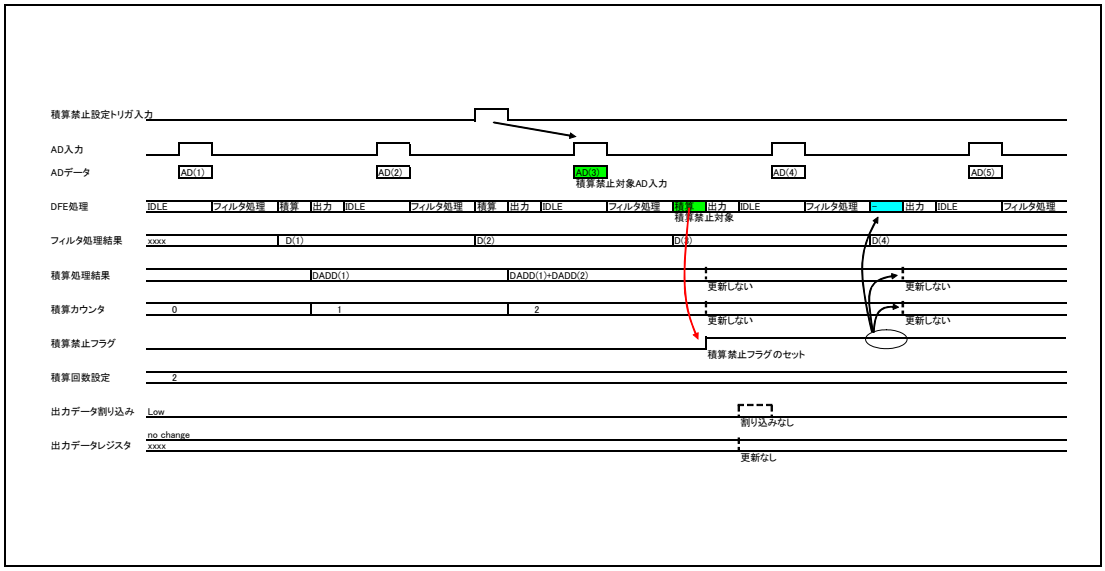


図 29.34 積算処理（禁止フラグ有効）

積算禁止フラグがアサートされている時、再度積算処理を実行したい場合は、積算初期化フラグを有効にします。

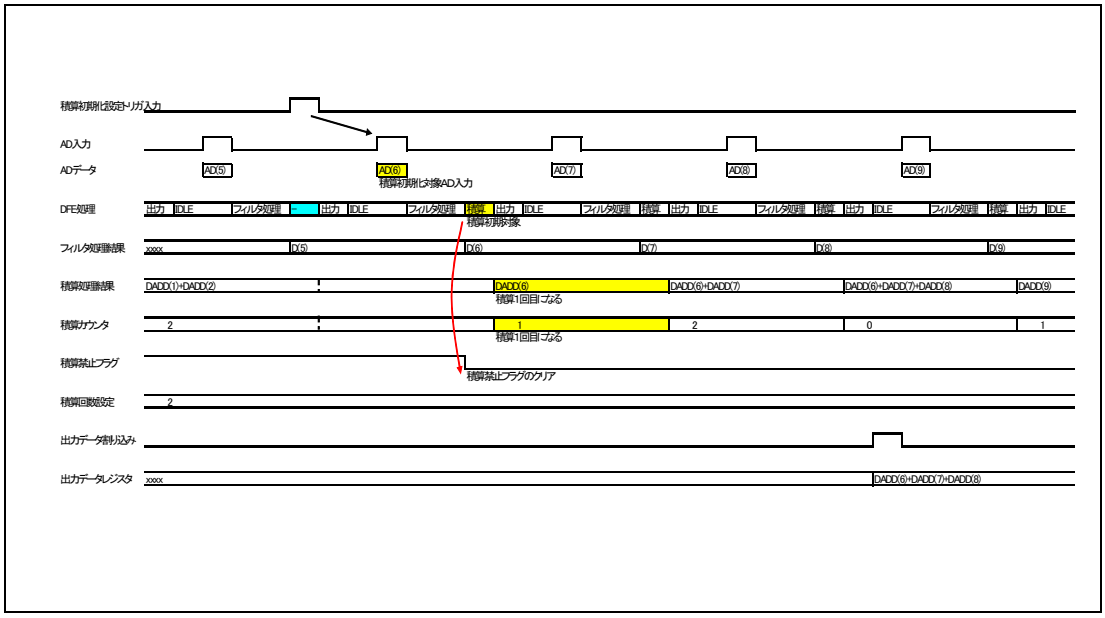


図 29.35 積算処理（禁止から許可）

29.4.10.5 デシメーション処理の概要

デシメーション処理は、積算回路に入力されたフィルタ処理結果データの間引きを行います。デシメーション処理の回数は、最大で 511 回（512 回に 1 回データ出力）可能です。指定したデシメーション回数分の処理を完了したら、再度デシメーション処理を行います。

CTLBCHn.PRCSA = 10_B の時、デシメーション処理を実行します。デシメーション処理回数の指定は、CTLBCHn.SELA を用いて、4 つの積算・デシメーション回数設定レジスタ（ACA ～ ACD）から選択します。

29.4.10.6 デシメーション処理の動作

ACA = 0_H / ACB = 1_H / ACC = 2_H / CTLBCHn.PRCSA = 10_B の時を例に説明します。

CTLBCHn.SELA = 00_B では、ACA が選択され、デシメーション回数設定値が 0 回でデシメーション処理を行います。

デシメーション回数設定値が 0 回のデシメーション処理では、1 回のフィルタ処理結果をそのまま出力し、1 回の割り込み要求を行います。以降、この処理を繰り返し実行します。

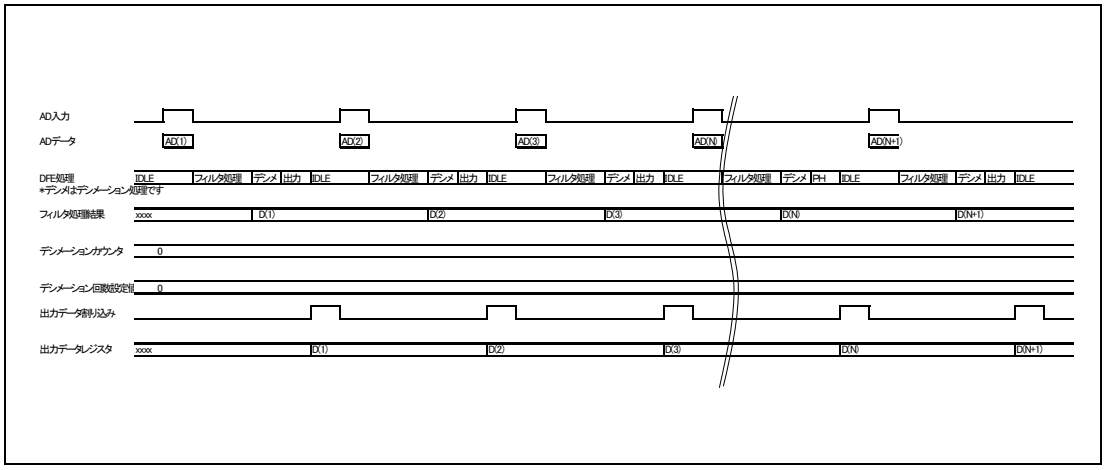


図 29.36　デシメーション処理（回数設定値 0 回）

CTLBCHn.SELA = 01_B では、ACB レジスタが選択され、デシメーション回数設定値が 1 回でデシメーション処理を行います。

フィルタ処理結果データ（D（1））を積算回路に入力すると、デシメーションカウンタをカウントアップします。この時、積算回路は、デシメーションカウンタの値とデシメーション回数設定値が異なる値の為、入力されたフィルタ処理結果データ（D（1））を出力回路に出力しません。

次に、フィルタ処理結果データ（D（2））を積算回路に入力すると、デシメーションカウンタの値とデシメーション回数設定値の値が同じため、積算回路は、入力されたフィルタ処理結果データ（D（2））を出力回路に出力します。出力回路は、積算回路から入力されたデータ（D（2））を出力データレジスタにライトし、出力データ割り込み要求を行います。

デシメーション回数設定値が 1 回の場合、2 回のフィルタ処理に 1 回割り込み要求を行います。以降、この処理を繰り返し実行します。

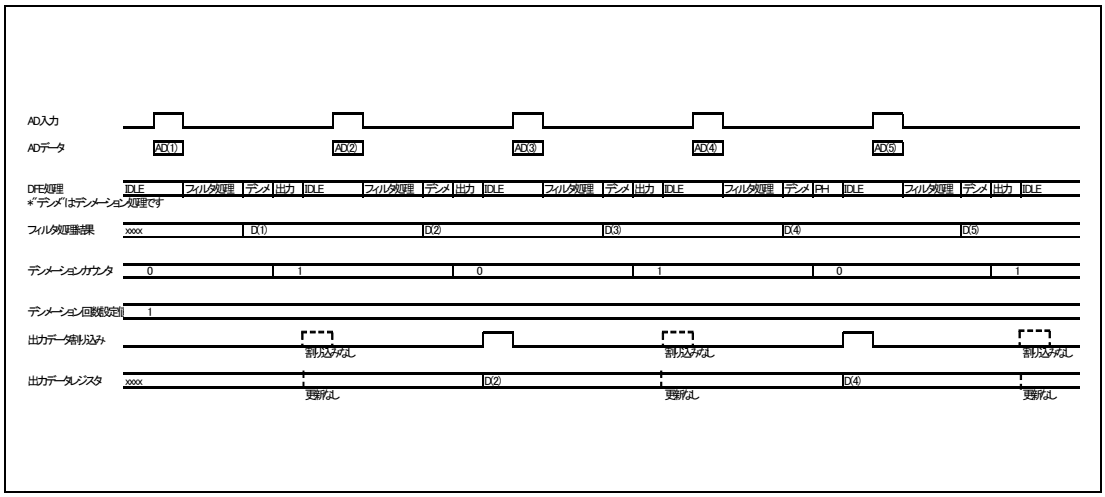


図 29.37　デシメーション処理（回数設定値 1 回）

CTLBCHn.SELA = 10_B では、ACC レジスタが選択され、デシメーション回数設定値が 2 回でデシメーション処理を行います。

フィルタ処理結果データ（D（1））を積算回路に入力すると、デシメーションカウンタをカウントアップします。この時、積算回路は、デシメーションカウンタの値とデシメーション回数設定値が異なる値の為、入力されたフィルタ処理結果データ（D（1））を出力回路に出力しません。

次に、フィルタ処理結果データ（D（2））を積算回路に入力すると、デシメーションカウンタをカウントアップします。この時、積算回路は、デシメーションカウンタの値とデシメーション回数設定値が異なる値の為、入力されたフィルタ処理結果データ（D（2））を出力回路に出力しません。

次に、フィルタ処理結果データ（D（3））を積算回路に入力すると、デシメーションカウンタの値とデシメーション回数設定値の値が同じため、積算回路は、入力されたフィルタ処理結果データ（D（3））を出力回路に出力します。出力回路は、積算回路から入力されたデータ（D（3））を出力データレジスタにライトし、出力データ割り込み要求を行います。

デシメーション回数設定値が 2 回の場合、3 回のフィルタ処理に 1 回割り込み要求を行います。以降、この処理を繰り返し実行します。

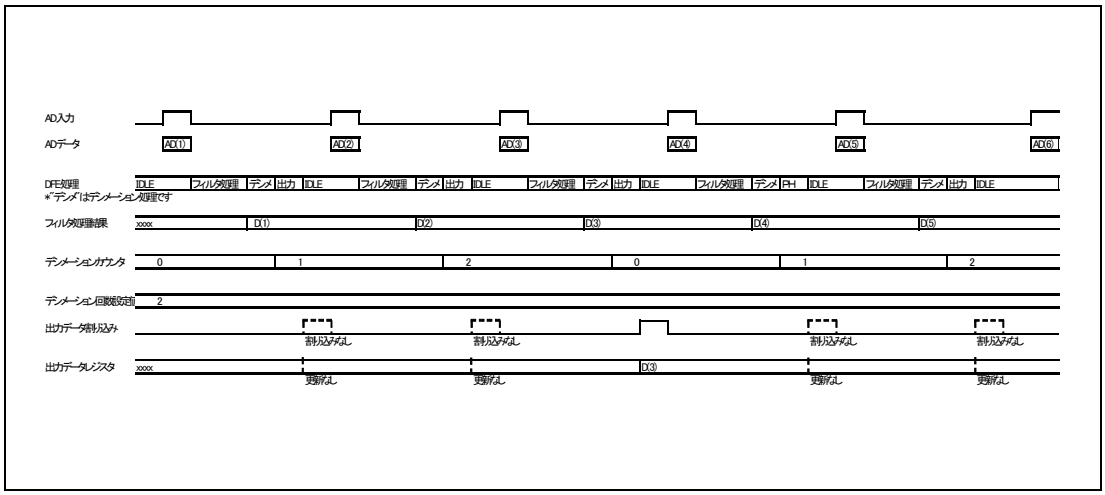


図 29.38　デシメーション処理（回数設定値 2 回）

29.4.10.7 デシメーション処理の動作（トリガフラグあり）

デシメーション初期化フラグ、デシメーション禁止フラグ有効時のデシメーション処理の動作について説明します。

デシメーション処理指定（CTLBCHn.PRCSA = 10_B）の時、タイマトリガ、ソフトウエアトリガにより、デシメーション初期化フラグが有効になった場合、直後の対象のチャネルのDFE のデシメーション処理は、デシメーションカウンタを初期化し、デシメーション処理の最初のデータとして、デシメーション処理を行います。

例えば、デシメーション初期化フラグ有効かつ、デシメーション回数設定値が 2 回の時、積算回路に 3 回目にデータ（D3）が入力された場合、3 回目のデータ（D3）は、積算回路から出力せず、初回に入力したデータとして処理します。以降、積算回路は、通常時と同様に、次に積算回路に入力したデータ（D（4））を出力せず、次の次に積算回路に入力したデータ（D（5））を出力回路に出力します。

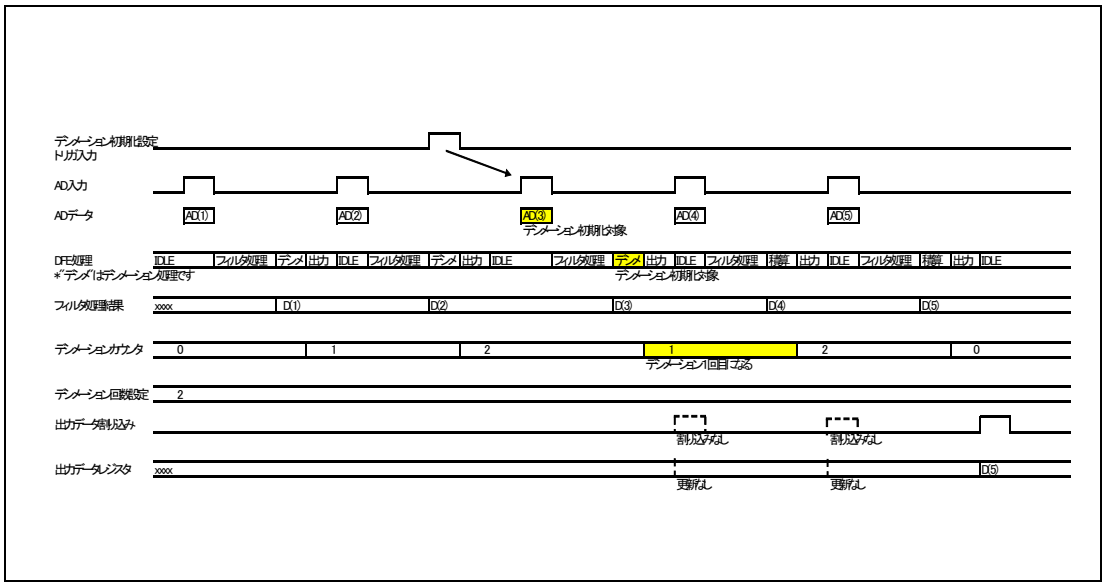


図 29.39 デシメーション処理（初期化フラグ有効）

デシメーション指定（CTLBCHn.PRCSA = 10_B）の時かつ、デシメーション禁止フラグが有効になった場合、DFE 内部のデシメーション禁止フラグをアサートします。以降の処理ではデシメーションカウンタを停止します。デシメーション禁止中、出力データ割り込み要求は行いません。

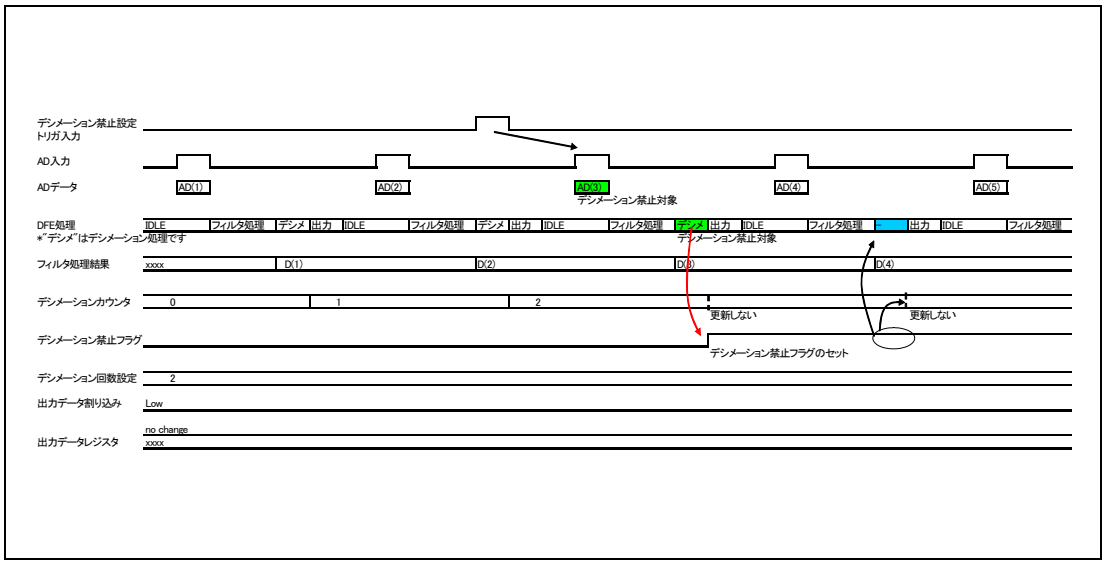


図 29.40 デシメーション処理（禁止フラグ有効）

DFE 内部のデシメーション禁止フラグがアサートされている時、再度デシメーション処理を実行したい場合は、デシメーション初期化フラグを有効にします。

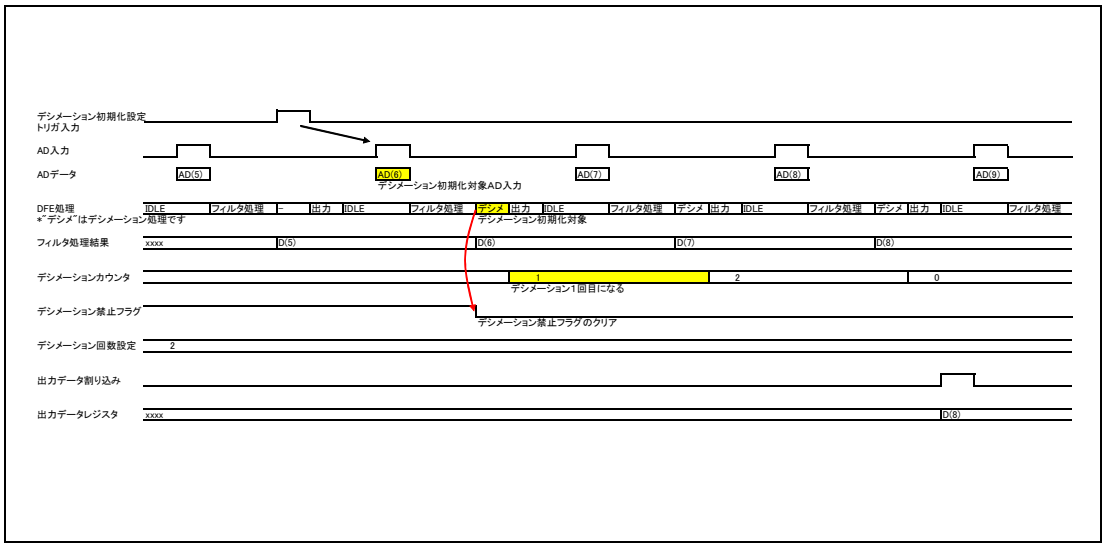


図 29.41 デシメーション処理（禁止から許可）

29.4.11 PH 回路

PH 回路は、積算回路が出力するデータを PH 処理もしくは比較処理を行います。従って積算／デシメーションで回数指定がある場合は、その回数ごとに PH 処理を行います。

PH 処理では、PH 結果を PH 結果レジスタに格納します。PH 終了フラグ有効で条件一致割り込みを発生します。比較処理では、積算回路が出力するデータと比較対象レジスタとの比較を行い、真の場合、条件一致割り込みを発生します。

29.4.11.1 PH 処理の概要

PH 処理は、チャネル毎に、PH 回路に入力されたデータと、これまでに PH 回路に入力されたデータを比較し、大きい値を PH 結果として PH 結果レジスタに格納します。PH 初期値の選択は、CTLBCHn.SELB2 ビットを用いて行います。PH 初期化フラグが有効になってから、PH 終了フラグ有効になるまで、PH 回路に入力したデータの PH 処理を実行します。PH 処理終了フラグ有効後は PH 初期化フラグが有効になるまで、PH 回路に入力したデータの PH 処理は実行しません。PH 結果レジスタに格納されたデータが、PH 処理開始から、何番目に入力された値かを保持する PH インデックスレジスタを持ちます。

29.4.11.2 PH 処理の動作

CTLBCHn.PRCSB = 01_B（PH 指定）の時、PH 処理を行います。

PH 初期化フラグが有効になると、次の入力データから、PH 処理を開始します。

PH 終了フラグが有効になると、次の入力データで、PH 処理を終了します。終了後に PH 処理を再度開始するためには、PH 初期化フラグを有効にします。

PH 初期化フラグと PH 終了フラグは、交互に入力してください。いずれか一方のフラグを連続して入力した場合は、PH 処理の動作を保証しません。

PH 回路への入力データを、PH 初期化レジスタ、または、PH 結果レジスタと比較します。PH 更新条件は以下の通りです。PH 更新条件が成立すると、PH 回路入力データを PH 結果レジスタに格納します。PH 更新通知設定レジスタの設定にしたがい、PH 更新通知を発行できます。

PH 初期化フラグ有効後の次の入力時	PH 回路入力データの値 ＞ PH 初期値レジスタの値
以降の入力時	PH 回路入力データの値 ＞ PH 結果レジスタの値

PH 初期化フラグ有効後の次の入力時、PH 更新条件が不成立ならば、PH 初期値レジスタの値を PH 結果レジスタに格納します。この場合、PH 更新通知設定レジスタの設定値に関わらず、PH 更新通知は発行しません。

PH 初期化動作を以下に示します。PH 初期化フラグが有効となる対象 AD データでは PH 処理が実行されます。

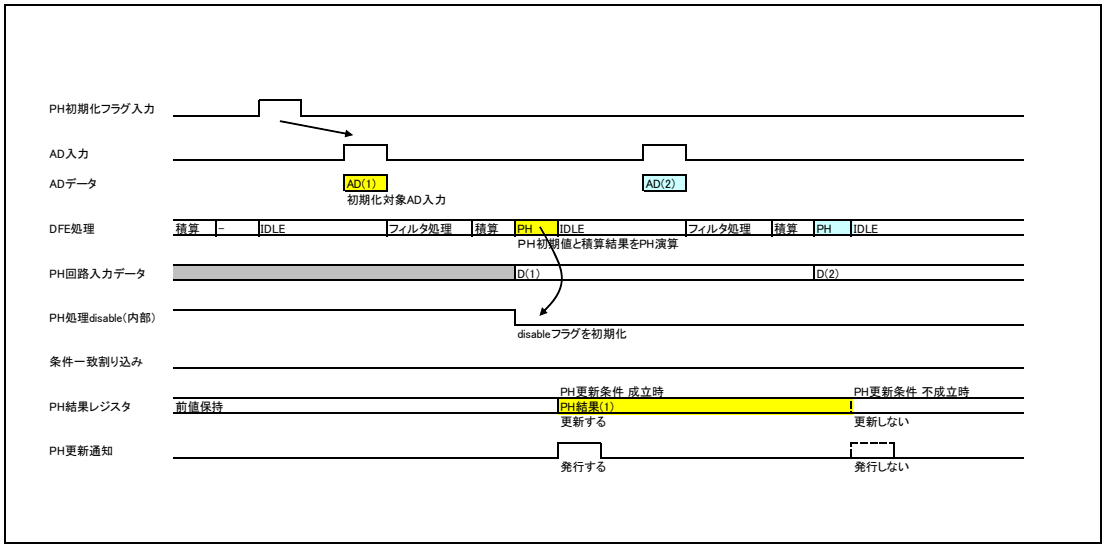


図 29.42 PH 初期化動作

PH 終了動作を以下に示します。PH 終了フラグが有効となる対象 AD データでは PH 処理は実行されません。

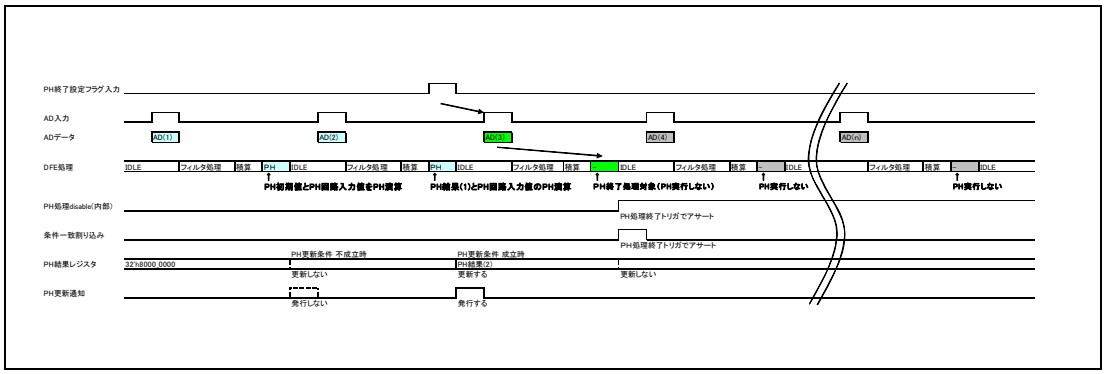


図 29.43 PH 終了動作

29.4.11.3 PH インデックスレジスタ動作

PH 処理有効（CTLBCHn.PRCSB = 01_B）で、PH 初期化フラグが入力されるとき、DFE 内部の PH カウンタは PH 処理 1 回目の後にクリアされます。その後、PH 処理が実行されるたびに（PH 更新条件の成立・不成立に関わらず）、PH カウンタはインクリメントされます。

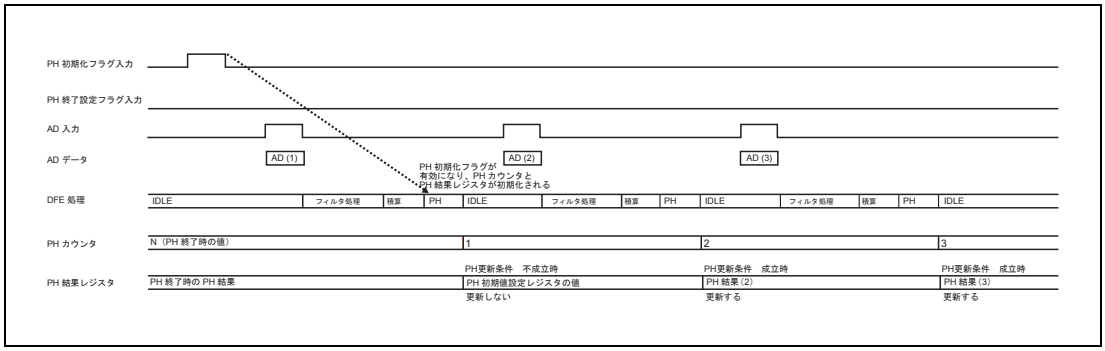


図 29.44 PH 開始時の PH カウンタの動作

PH 終了フラグが入力されるとき、入力された次の PH 処理で PH 処理が終了します。PH 終了フラグが有効となる対象 AD データでは PH カウンタも PH 結果レジスタも更新されず、前の値を保持します。その後も PH 初期化フラグが有効となるまで、値を保持し続けます。

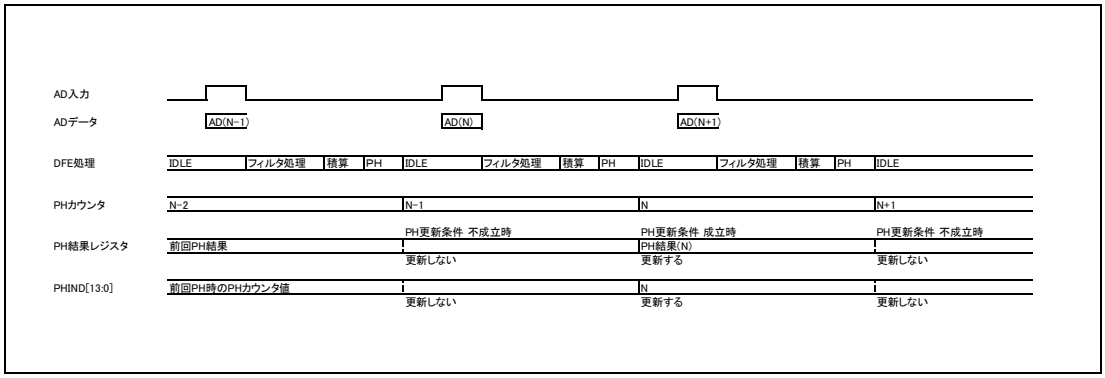


図 29.45 PH 終了時の PH カウンタの動作

PH 更新条件が成立し、PH 結果レジスタを更新したとき、PH カウンタのインクリメントと同じタイミングで、PH インデックスレジスタの PHIND に PH カウンタ値を格納します。

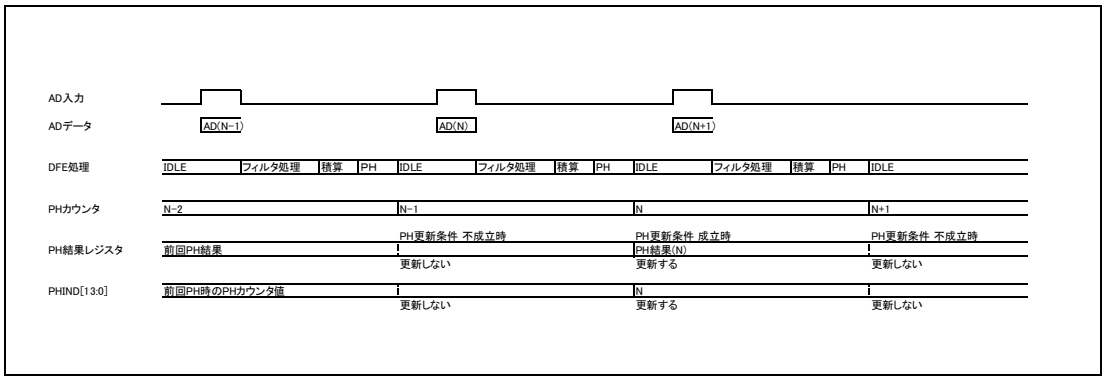


図 29.46 PH カウンタと PH インデックスレジスタ

PH 処理を 16384 回実行した時、PH インデックスレジスタの PHIOF を 1 にセットします。この時、PH カウンタは 0 になります。PHIND は、当該 PH 処理で PH 更新条件が成立していれば PH カウンタ値を格納するので 0 になり、不成立ならば前値を保持します。

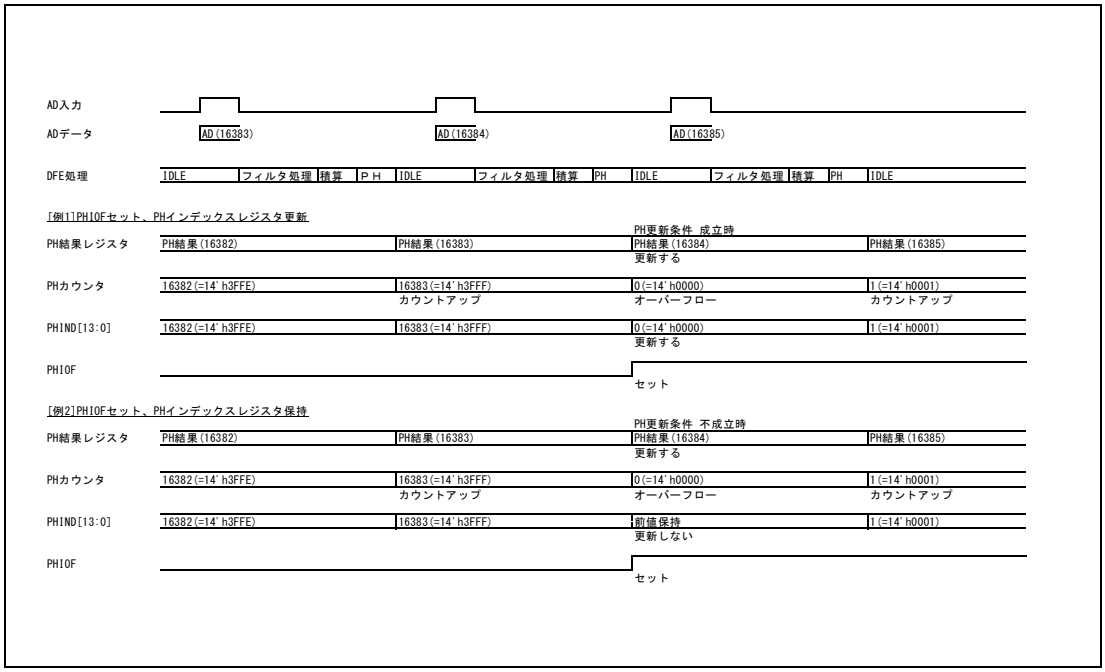


図 29.47　PH インデックスオーバーフロービットのセット

29.4.11.4 PH インデックスレジスタリードとレジスタの動作

PH 処理終了後から次の PH 処理開始前までの（PH 処理 disable）期間に、PH インデックスレジスタをリードしてください。

リードした場合とリードしなかった場合で、以降の PH インデックスレジスタの動作が異なります。

また、リードしなかった場合は、PH インデックス更新モード／ PH インデックス保持モードで動作が異なります。

(1) PH 処理 disable 期間にリードした場合

PH インデックス更新モード／ PH インデックス保持モード、いずれの場合も以下となります。

次の PH 処理開始後の PH 処理 1 回目で PHIND、PHIOF をクリアします。PHIOW は変化しません。

PH 処理 1 回目で PH カウンタが 1 になり、PHIND は 1 に更新されます。

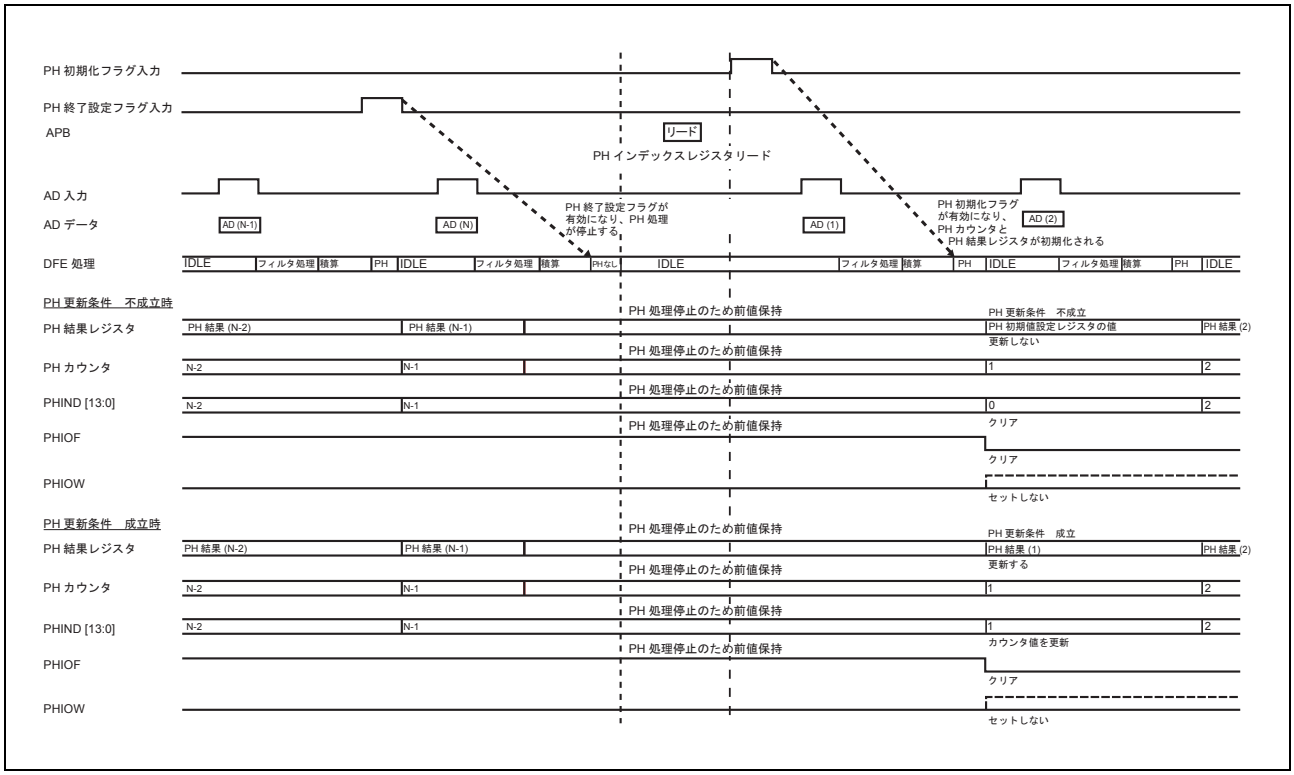


図 29.48 リードした場合の PH インデックスレジスタ動作

（2） PH 処理 disable 期間にリードしなかった場合

PH インデックス更新モード（CTLBCHn.PICS = 0）：

次の PH 処理開始後の PH 処理 1 回目で PHIND、PHIOF をクリアし、PHIOW をセットします。

PH 処理 1 回目で PH カウンタが 1 になり、PHIND は 1 に更新されます。

PHIOW をクリアするには、CLRSTCHn.CLRPHIOW に 1 をライトしてください。

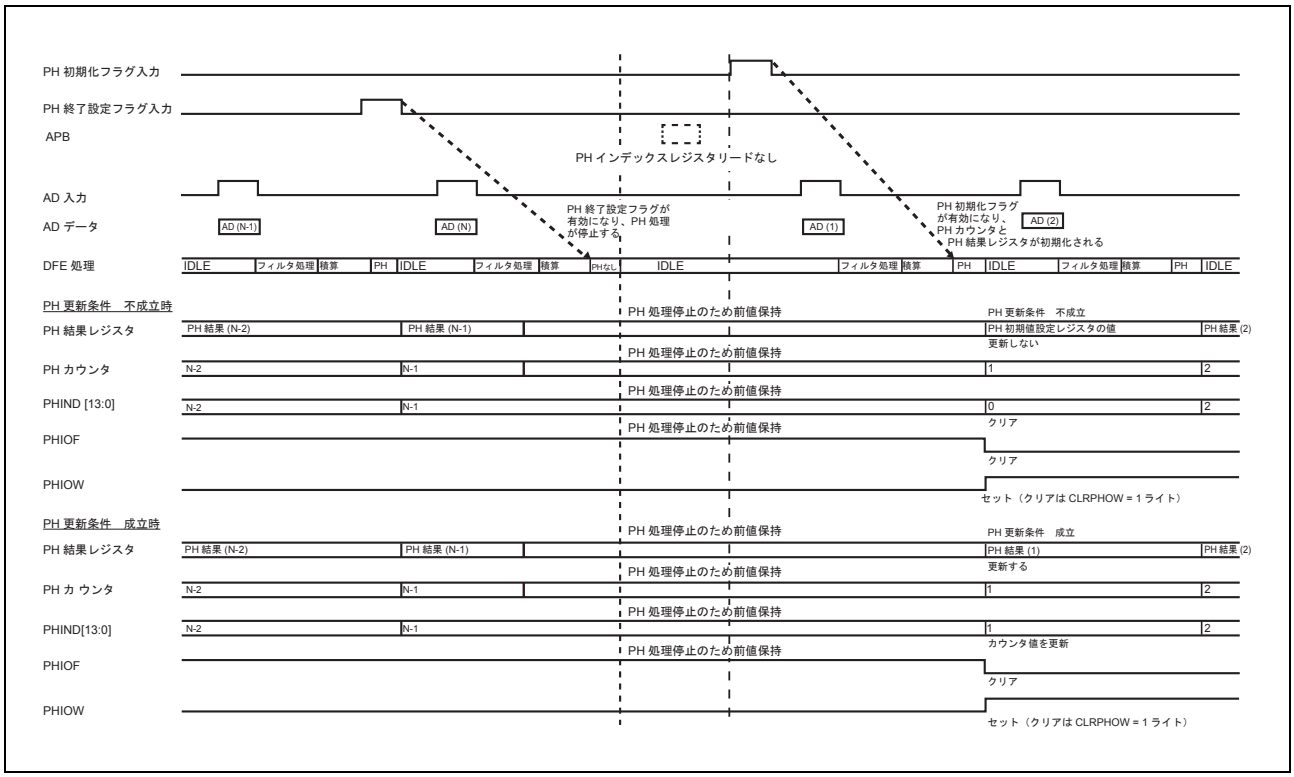


図 29.49　リードしなかった場合の PH インデックスレジスタ動作（更新モード）

PH インデックス保持モード（CTLBCHn.PICS = 1）：

次の PH 処理開始後も、PHIND、PHIOF を保持します。PHIOW は変化しません。

次以降の PH 処理終了後にリードして、PH 処理開始することで PHIND、PHIOF をクリアします（前述の**「(1)　PH 処理 disable 期間にリードした場合」**を参照ください）。

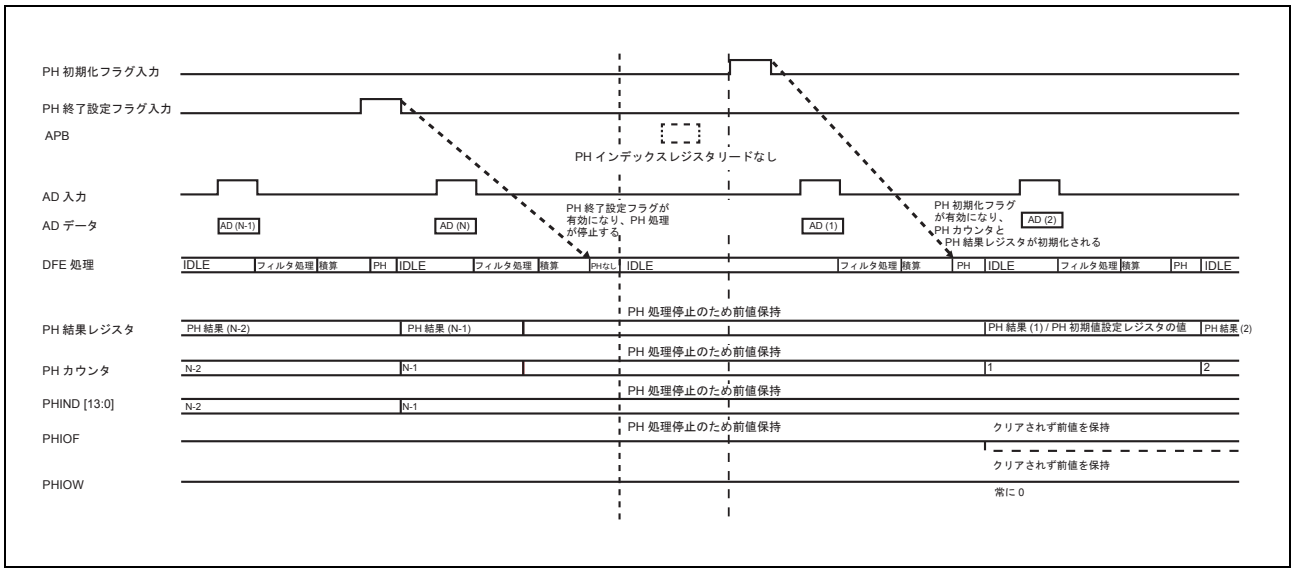


図 29.50　リードしなかった場合の PH インデックスレジスタ動作（保持モード）

29.4.11.5 比較

比較処理は、チャネル毎に、PH 回路に入力されたデータと、比較対象値レジスタ（CPA ～ CPD）の値を比較し、比較した結果が真の場合、CND フラグ（条件一致フラグ）をアサートし、条件一致割り込み要求を行います。比較処理は、トリガフラグの影響を受けません。CTRLCHn.PRCSB = 10_B の時、比較処理を行います。

実行できる比較演算は、下記のとおりです。

比較演算	機能
等価（= =）	PH 回路に入力されたデータと選択した比較対象値との等価（= =）演算を行い、等価の時、真
以下（≦）	PH 回路に入力されたデータと選択した比較対象値との以下（≦）演算を行い、以下の時、真
以上（≧）	PH 回路に入力されたデータと選択した比較対象値との以上（≧）演算を行い、以上の時、真
小なり（<）	PH 回路に入力されたデータと選択した比較対象値との小なり（<）演算を行い、小さい時、真
大なり（>）	PH 回路に入力されたデータと選択した比較対象値との大なり（>）演算を行い、大きい時、真

一度比較演算結果が真になり、条件一致ビット（STCHn.CND）に 1 をセットすると、以降の比較演算結果が偽でも、条件一致ビットは 1 のままとなります。条件一致ビットのクリアは、クリアステータスレジスタを用いて行ってください。

備　考

n = 0 ～ 9

29.4.12 出力回路

29.4.12.1 浮動小数点変換回路

出力回路に入力された（1.31）フォーマットのデータ及び積算後の（10.22）フォーマットのデータを IEEE754 の浮動小数点変換を行います。制御レジスタ B（CTLBCHn）の PRCSC ビットに 1 を設定すると、出力データレジスタに格納されるデータを浮動小数点変形式に変換します。

29.4.12.2 出力レジスタ回路

出力レジスタ回路は、16 チャネル分の 32 ビットレジスタを持ちます。入力された演算結果データ、もしくは、浮動小数点変換結果をチャネル毎の出力レジスタ（DOCHn.DO[31:0]）に格納します。

CTLBCHn.PRCSA = 01_B（積算）または CTLBCHn.PRCSA = 10_B（デシメーション）設定での演算結果を出力レジスタに格納すると、STCHn.DOEN フラグがセットされ、割り込み要求を行います。CTLBCHn.PRCSA = 00_B の設定でフィルタ処理を実行すると、出力レジスタにフィルタ結果が格納されますが、STCHn.DOEN ビットはセットされず割り込みも出力されません。
積算／デシメーション処理せずフィルタ処理のみを実行し割り込みを出力させる場合は、CTLBCHn.PRCSA = 10_B（デシメーション）を選択し、デシメーション回数を 0 回に設定してください。

29.4.12.3 中間値出力レジスタ L/H の浮動小数点変換回路

中間値出力回路に入力された 38 ビットのデータに対し IEEE754 の浮動小数点変換を行います。制御レジスタ B（CTLBCHn）の HOFS ビットに 1 を設定すると、中間値出力レジスタ L/H の 38bit データを 32bit の浮動小数点形式に変換します。CH0 ～ CH7 に存在します。

29.4.12.4 中間値出力レジスタ回路

中間値出力レジスタ回路は、CH0 ～ CH7 までの 8 チャネル分、38 ビットのレジスタを持ちます。FIR フィルタを選択した場合に有効です。丸め処理をしていない演算結果データ、もしくは、その浮動小数点変換結果をチャネル毎の中間値出力レジスタ L/H に格納します。

制御レジスタ B（CTLBCHn）の HOFS ビットに 0 をライトした場合は固定小数点となり、38 ビットのデータの内、上位 2 ～ 7 ビット目までの 6 ビット（ガードビット）を HOHCHn に、最上位（符号）ビットと下位 31 ビットの小数データを HOLCHn に格納します。

HOFS ビットに 1 をライトした場合は、浮動小数点変換された 32 ビットのデータを HOLCHn に格納し、HOHCHn を 0 に固定します。

中間出力レジスタの更新タイミングは、出力レジスタの更新タイミングと同時です。

IIR フィルタを選択した場合、中間値出力レジスタは無効となり、ALL 0 に固定されます。

29.4.13 ステータスレジスタ

チャネル毎にチャネルステータスレジスタを持ちます。ステータスレジスタは、下記のステータスを示します。VALID 以外の各フラグのクリアは対応するクリアステータスレジスタを用いて行います。DOEN フラグのみ、クリアステータスレジスタに加えて、出力データレジスタと中間値出力レジスタ L ／ H のリード動作をする事で自動クリアします。

表 29.34 ステータスレジスタ

名前	内容
VALID	入力データレジスタ有効フラグ 入力データレジスタに有効な値がある時、1 にセットされます。 リセット、及び積算／デシメーション処理完了で 0 となります。
CND	条件一致フラグ PH 時、PH 処理終了時、1 にセットされます。 比較演算時、比較演算結果が TRUE の時、 1 にセットされます。
DOEN	出力データレジスタ有効フラグ 本フラグの、セット／クリア条件は後述します。
DIOW	入力データオーバーライトエラーフラグ 該当チャネル処理中に入力データレジスタが上書きされた場合、1 にセットされます また同一タグを持つ別の入力データによって処理中の入力データレジスタが上書きされた場合も 1 にセットします。
DOOW	出力データオーバーライトエラーフラグ DOEN が 1 の状態で、新たな演算結果が出力データレジスタ、または、中間値出力レジスタに上書きされた場合、DOOW は 1 にセットされます。
MER	乗算エラーフラグ フィルタ回路において、8000_H*8000_H の演算が実行された場合、1 にセットされます
GER	ガードエラーフラグ フィルタ回路において、48bit から 32bit 丸めエラーが生じた場合、1 にセットされます
CER	カスケード丸めエラーフラグ カスケード入力実行時、32bit から 16bit 丸めエラーが生じた場合、1 にセットされます
AER	絶対値エラーフラグ 積算回路において、絶対値演算時に 8000 0000_H の絶対値演算が実行された場合、1 にセットされます

29.4.13.1 DOEN フラグセット／クリア条件

DOEN は、出力レジスタに格納しているデータが有効であることを示すフラグです。積算、または、デシメーション設定で有効です。それ以外の設定では、常に 0 のまま変化しません。

CH0 ～ CH7 で FIR フィルタを使用する場合は、出力データレジスタと中間値出力レジスタ（中間値出力ミラーレジスタ L も含む）の両方を対象とします。

CH0 ～ CH7 で IIR フィルタを使用する場合は、出力データレジスタのみを対象とします。IIR フィルタ使用時、中間値出力レジスタの値は 0 に固定されますが、リードにより DOEN はクリアされます。そのため、IIR フィルタを使用する場合、出力データレジスタのみを対象とし、中間値出力レジスタ（中間値出力ミラーレジスタ L も含む）のリードは禁止です。

CH8 ～ CH15 には、中間値出力レジスタがないので、フィルタ選択に関わらず、出力データレジスタのみを対象とします。

DOEN フラグのセット／クリア条件は、CH、選択フィルタ、中間値出力レジスタの浮動小数点変換有効／無効により異なります。これらを表に示します。

セット条件の、DOCHn、HOLCHn（HOLMCHn）、HOHCHn へのデータ格納タイミングは同時です。

クリア条件は、ケース毎に複数の条件があり、これらの OR になります。

表 29.35 DOEN のセット／クリア条件一覧

ケース 1 : CH0 ～ CH7 で IIR を選択した場合、および、CH8 ～ CH15 の場合

DOEN セット条件	DOEN クリア条件
フィルタ演算結果を DOCHn に格納	CLRSTCHn.CLRDOEN に 1 をライト
	DOCHn をリード

ケース 2 : CH0 ～ CH7 で FIR を選択し、中間値浮動小数点変換を選択しない場合

DOEN セット条件	DOEN クリア条件
フィルタ演算結果を DOCHn、および、HOLCHn、HOHCHn に格納	CLRSTCHn.CLRDOEN に 1 をライト
	DOCHn をリード
	HOLCHn（または HOLMCHn）と HOHCHn の双方をリード（リード順は不問）

ケース 3 : CH0 ～ CH7 で FIR を選択し、中間値浮動小数点変換を選択した場合

DOEN セット条件	DOEN クリア条件
フィルタ演算結果を DOCHn、および、HOLCHn に格納	CLRSTCHn.CLRDOEN に 1 をライト
	DOCHn をリード
	HOLCHn（または HOLMCHn）をリード

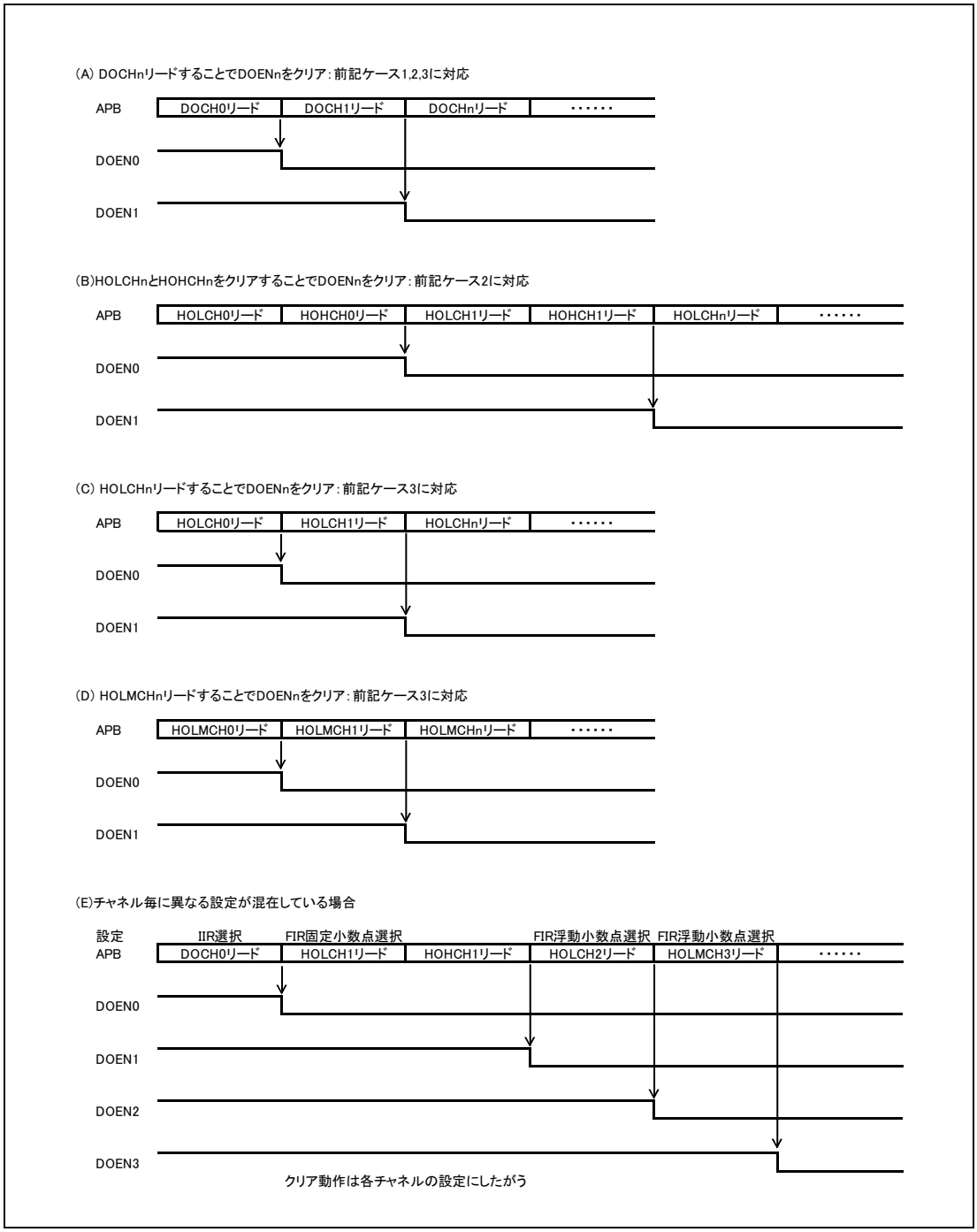


図 29.51 DOEN フラグのクリア動作

29.4.14 エラーマスクレジスタ

エラーマスクレジスタの機能を示します。マスクしたエラー要因は、エラー割り込み要求条件からは除外されます。

例えば、チャネル0において、乗算エラーマスクフラグをセットした場合、チャネル0での乗算エラーの状態が発生しても、乗算エラーフラグはセットされません。また、エラー割り込み要求を行いません。

表 29.36 エラーマスクレジスタ

フラグ	内容
MDIOW	入力データエラー（DIOW）マスクビット
MDOOW	出力データエラー（DOOW）マスクビット
MMER	乗算エラー（MER）マスクビット
MGER	ガードエラー（GER）マスクビット
MAER	絶対値エラー（AER）マスクビット
MCER	カスケード丸めエラー（CER）マスクビット

29.4.15 割り込み要求

DFE は、チャネル毎の出力データ用割り込み要求 16 本と、チャネル毎の条件一致割り込み要求 10 本、エラー割り込み要求 1 本を持ちます。

29.4.15.1 出力データ割り込み要求

CTLBCHn.PRCSA = 01_B（積算）または CTLBCHn.PRCSA = 10_B（デシメーション）設定での演算結果を出力データレジスタに格納すると、出力データ割り込み要求を発生します。（CTLBCHn.PRCSA = 00_B の設定では、演算結果を出力データレジスタに格納しますが、割り込みは出力しません。）

チャネル毎に対応する割り込み要求をする事が可能です。

制御レジスタ A の IEO ビットを用いて、割り込み要求出力を制御することができます。

STCHn.DOEN ビットと出力データ割り込み要求の関係を示します。STCHn.DOEN フラグと出力データ割り込み要求の関係を示します。STCHn.DOEN ビットの動作は、**「29.4.13.1 DOEN フラグセット／クリア条件」**を参照してください。

DOEN フラグを 0 クリアした場合、再度演算結果を出力データレジスタに格納すると、出力データ割り込み要求を発生します。

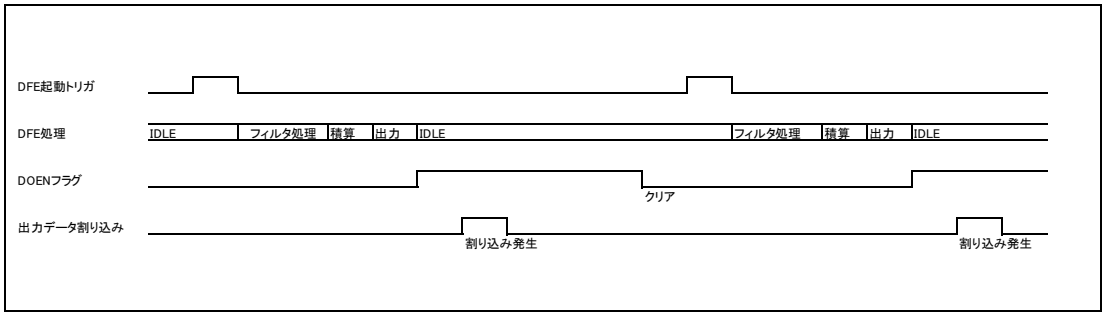


図 29.52 DOEN ビットと割り込みの関係

ソフトウエアを用いて、STCHn.DOEN ビットの 0 クリアをしない場合、再度出力データレジスタに格納しても、出力データ割り込み要求は行いません。出力データレジスタの上書きが実行されると、STCHn.DOOW ビットを 1 にセットします。

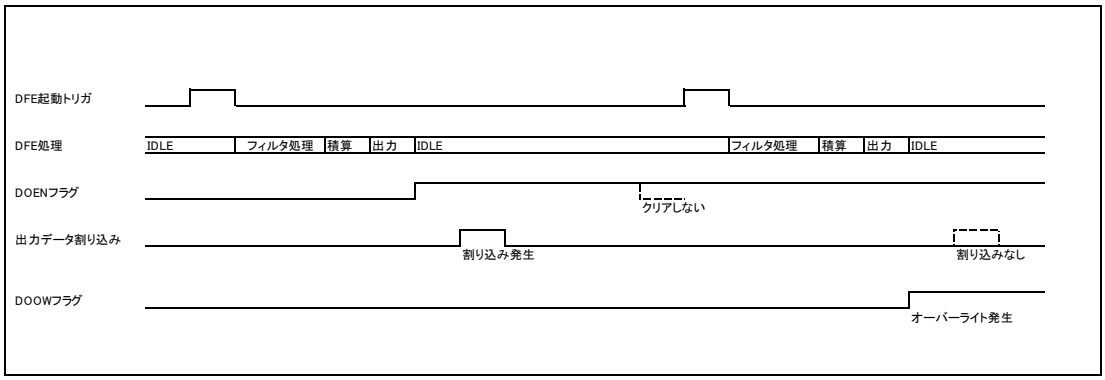


図 29.53 DOEN ビット、DOOW ビットと割り込みの関係

29.4.15.2 条件一致割り込み要求

PH 実行時は、PH 終了トリガフラグが有効になると PH 処理完了を知らせる条件一致割り込み要求を出力します。また、比較演算時は、比較演算結果が真になると、条件一致割り込みを出力します。両者は割り込みを共有しています。本割り込み要求は、チャネル 0 ～ 9 が持ちます。

制御レジスタ A の IEC フラグを用いて、割り込み要求出力を制御することができます。

ステータスレジスタの CND ビット (STCHn(n = 0 ～ 9).CND) と条件一致割り込み要求の関係を**図 29.54** に示します。PH 終了フラグが有効になった時の条件一致割り込みも同一の出力タイミングとなります。

CTLBCHn.DISB ビット（PH 処理禁止ビット）は、PH 終了フラグ有効と同じく PH 処理を禁止状態にしますが、条件一致割り込みは出力しません。また、PH 処理が禁止状態の時に PH 終了トリガを入力しても、条件一致割り込みは出力しません。

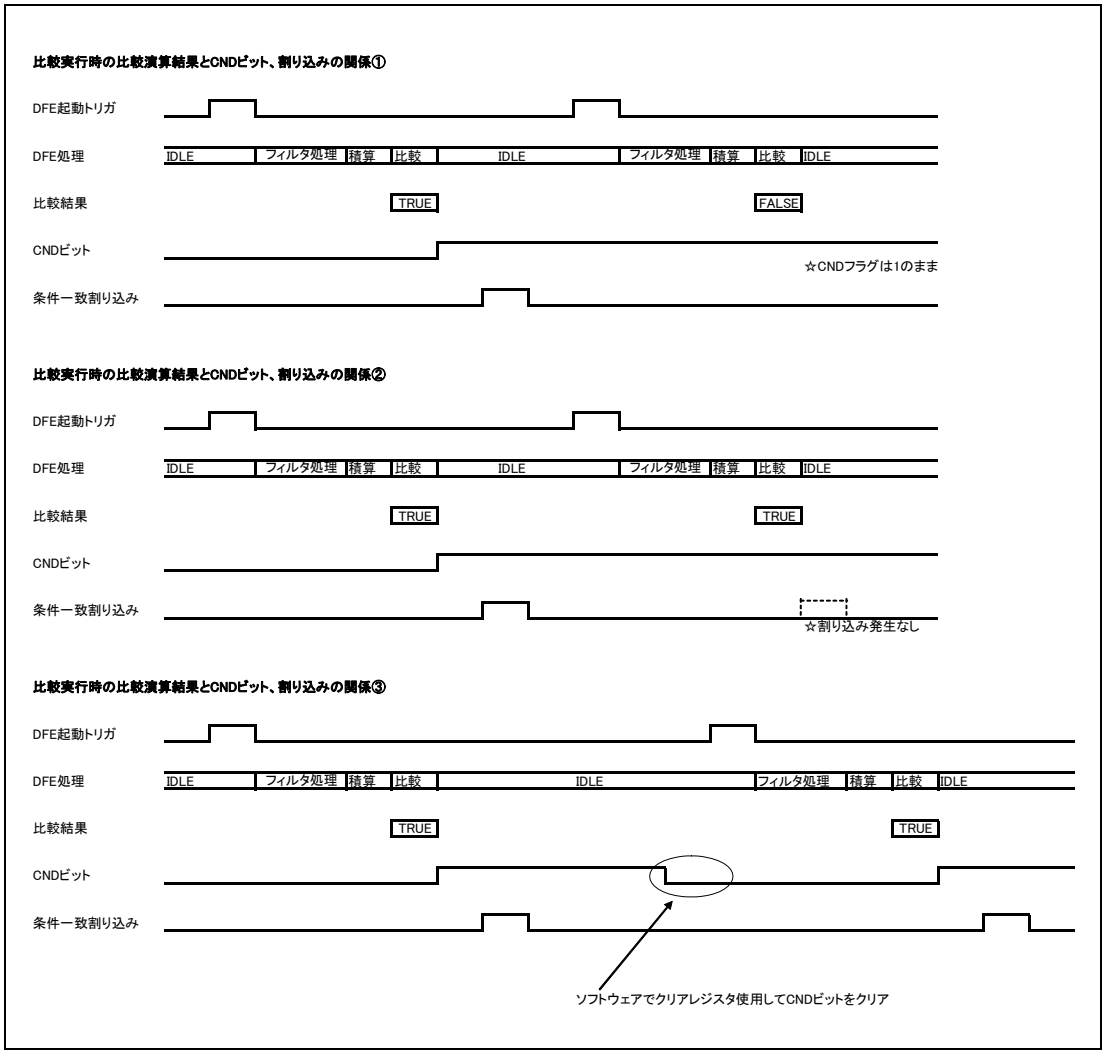


図 29.54 CND ビットと条件一致割り込み要求の関係

備 考

n = 0 ～ 9

29.4.15.3 エラー割り込み要求

全てのチャネルのエラーの論理和で割り込みを発生します。チャネル毎にエラー割り込み要求出力を制御することができます。

例えば、チャネル 0 ～チャネル 7 のエラー時割り込み要求を有効にし、チャネル 8 ～チャネル 15 のエラー割り込みをマスクした場合、チャネル 0 ～ 7 のいずれかのチャネルでエラーが発生した際に、エラー割り込み要求を行います。チャネル 8 ～ 15 でエラーが発生した際には、エラー割り込み要求は行いません。

エラービットとエラー割り込み要求の関係を下記に示します。エラー割り込みは、エラー要因の論理和で出力するので、既にエラー割り込み要求している時の、新規のエラー要因では、新規のエラー割り込みは出力しません。エラー割り込み出力後、クリアレジスタを用いて、エラービットをクリア後の再度のエラービット発生では、エラー割り込みを出力します。

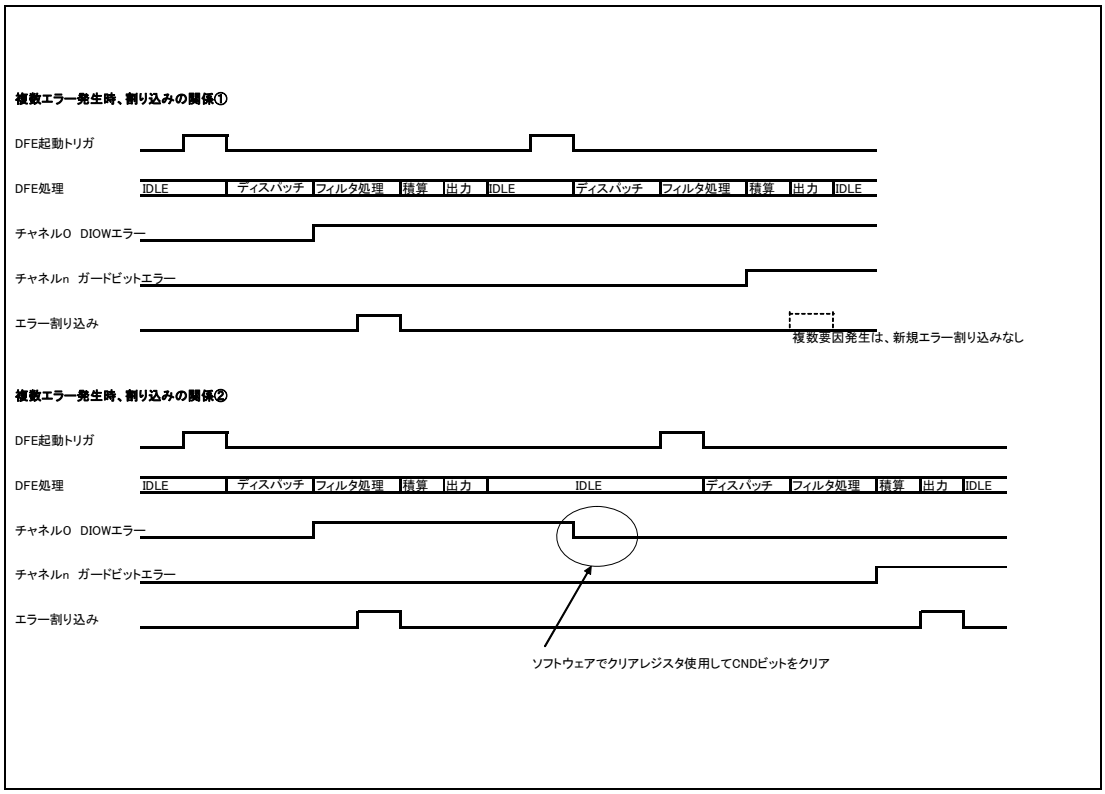


図 29.55 エラービットとエラー割り込みの関係

29.5　注意と制限事項

29.5.1　処理時間

29.5.1.1　1 チャネルの処理時間

DFE は、1 回の FIR 処理もしくは、IIR 処理をメモリアクセス競合がなければ最大 1.1usec で行います。メモリアクセス競合が発生する場合は、最大 1.6usec の処理時間となります。

29.5.1.2　停止処理時間

CTLACH.EN = 0 にすると、既に受け付けた入力データの処理を全て行った後、DFE は処理を停止します。この停止まで最大処理時間は、入力データが受け付けられたチャネル（未処理のチャネル）× 処理時間となります。例えば、未処理のチャネルが 5 チャネルであれば、最大 6usec となります。

29.5.2 DFE 起動入力間隔

DFE の起動信号の入力はメモリアクセス競合がなければ最小 1.1usec、メモリアクセス競合が発生する場合は最小 1.6usec の間隔にして下さい。

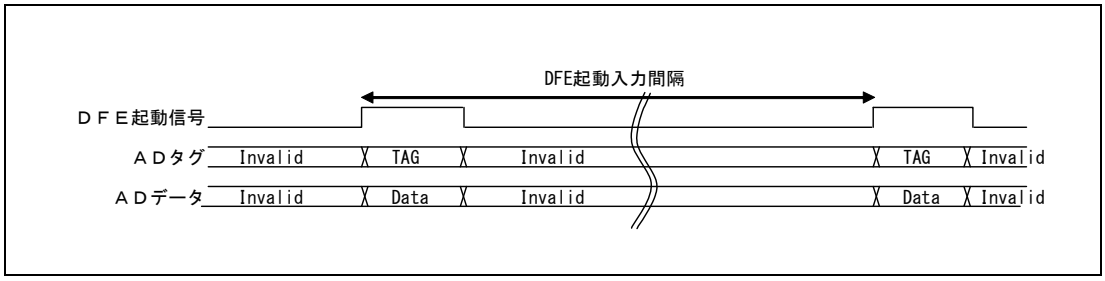


図 29.56　DFE 起動入力間隔（AD 入力）

29.5.2.1 DFE 処理時間

AD からの起動トリガ入力から、同一チャネル使用での次の起動トリガ受付可能になるサイクル（DFE 処理時間）を以下の表に示します。

表 29.37 FIR/IIR 通常時の処理時間

		時間
FIR（通常時）	8TAP	240ns
	16TAP	300ns
	24TAP	350ns
	32TAP	400ns
	64TAP	610ns
IIR（通常時）	2 次バイクアッド 1 段	310ns
	2 次バイクアッド 2 段	400ns
	2 次バイクアッド 3 段	490ns

表 29.38 FIR/IIR 初期化付の時の処理時間

		時間
FIR（初期化付）	8TAP	310ns
	16TAP	410ns
	24TAP	520ns
	32TAP	630ns
	64TAP	1050ns
IIR（初期化付)	2 次バイクアッド 1 段	400ns
	2 次バイクアッド 2 段	570ns
	2 次バイクアッド 3 段	750ns

DFE 処理時間中に、CPU からの係数メモリ、またはデータメモリへのアクセスを行った場合、アクセスに要する時間分、処理時間が増加します。DFE 動作クロックが 80MHz の時、増加時間は、メモリアクセス 1 回に付き、25ns です。

29.5.3 トリガ入力

1 つのトリガ（タイマトリガ 0 ～ 3、ソフトウエアトリガ）について、想定している入力例を以下に示します。例えば、タイマトリガ 0 を使用する場合、タイマトリガ 0 の入力により、トリガフラグ機能が有効になる処理後、1 回以上の DFE 起動信号の入力があり、再度、タイマトリガ 0 の入力がある事を想定しています。

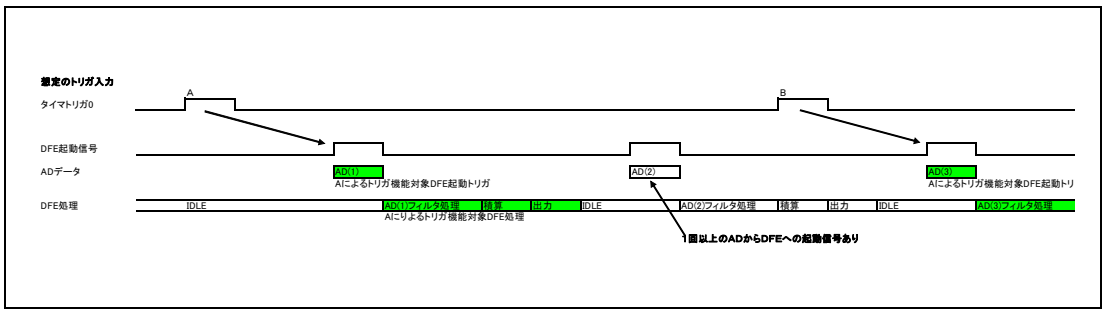


図 29.57 1 つのトリガの入力例

タイマトリガ、もしくはソフトウエアトリガを入力し、そのトリガフラグが有効になる DFE 処理後に、再度同一のタイマトリガ、ソフトウエアトリガを入力する事は禁止です。以下に例を示します。この場合、以下の図、B のタイミングで入力したトリガ機能が有効にならないケースがあります。

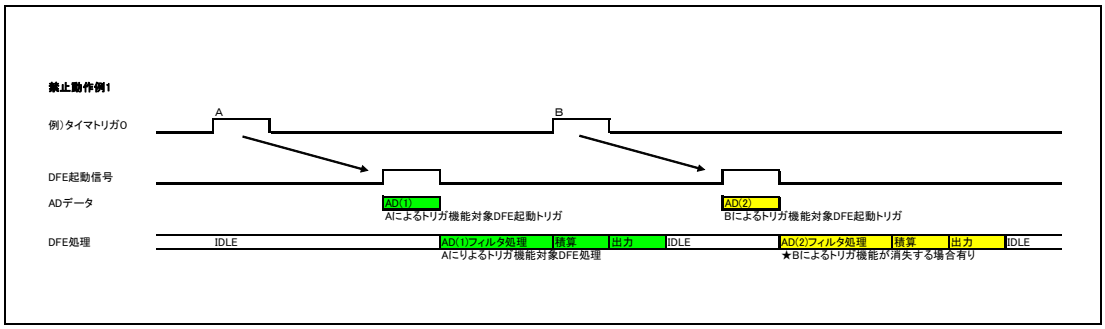


図 29.58 同一トリガの禁止動作 1

タイマトリガ、もしくはソフトウエアトリガを入力し、DFE 起動信号入力前に、再度、同一のタイマトリガ、もしくはソフトウエアトリガを入力する事を禁止します。以下に例を示します。この場合、A と B、2 回のトリガ入力は 1 回のトリガ入力として AD（2）から有効になります。

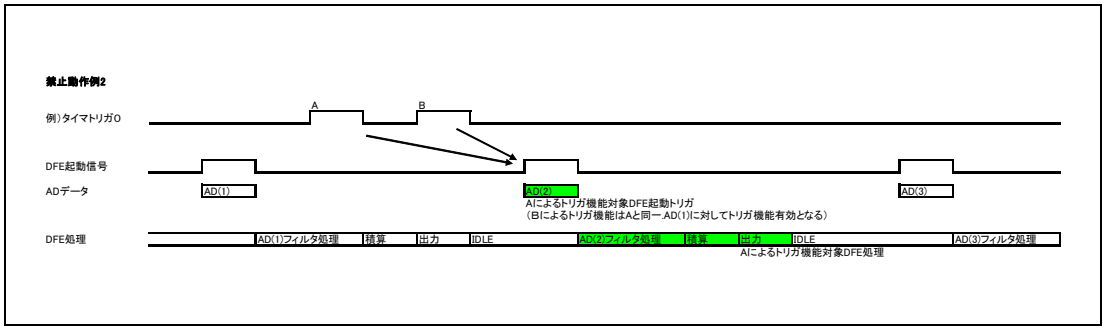


図 29.59 同一トリガの禁止動作 2

29.5.4 チャネルタグと AD タグ

AD が DFE に入力するタグ値（AD タグ）と、ソフトウエアで DFE に設定するタグ値（チャネルタグ）の設定が矛盾していると、正しい処理が行えません。

例えば、AD が AD タグの値を 0001_B で DFE に入力し、DFE のチャネルタグの値が 0001_B のチャネルがない場合、DFE はフィルタ処理を行いません。

29.5.5 入力データフォーマットと演算の制限

DFE は、入力データフォーマットにより、実行できる演算に制限があります。

「29.4.6　制御レジスタの設定」に詳細を記述していますので、ご確認ください。

29.5.6 カスケード処理の制限

カスケード処理は、積算回路の出力データ 32bit を 16bit に丸めて他チャネルの入力データとする機能です。下記の制限、注意事項があります。**「29.4.6　制御レジスタの設定」**と併せてご確認下さい。

1. カスケード有効時は、同一のチャネルで、カスケードタグと、チャネルタグを同一の値に設定しないこと。カスケードを指定したチャネルとは別のチャネルをカスケード先のチャネルに割り当てて下さい。同一のタグ値にすると、フィルタ処理結果を再度同一チャネルに入力し、繰り返し演算を行います。
2. カスケード有効時は、カスケードを有効にしたチャネルのデータフォーマットと、カスケード先のデータフォーマットが同一となるようにして下さい。例えば、カスケードを有効にしたチャネルが固定小数点入力フォーマット指定の場合、カスケード先のチャネルも固定小数点入力フォーマットに指定をして下さい。
3. １６チャネルの内、カスケード入力を有効にするのは最大１５チャネルにして下さい。全てのチャネルのカスケード入力を有効にすると、フィルタ演算結果のカスケード入力での繰り返し演算を行います
4. 制御レジスタ A（CTLACHn）の CAEN を 01_B と指定することは禁止です。
5. PH 処理、比較処理が有効の場合は PH 処理、比較処理は 32bit として処理を行います。
6. 浮動小数点変換後の結果をカスケード入力にする事はできません。
7. 複数のチャネルのカスケード機能を有効にし、カスケード先を 1 つのチャネルにする場合、チャネルの優先順位に注意下さい。カスケード先のチャネルは、カスケードを有効にしたチャネルより、優先順位の高いチャネルとなるようにカスケードチャネルを指定してください。例えば、チャネル 1 とチャネル 2 のカスケード機能を有効にし、共にカスケード先を同一にする場合は、カスケード先のチャネルはチャネル 0 になるように設定して下さい。

29.5.7 チャネル無効時の動作

29.5.7.1 チャネル有効ビットによる無効化

チャネル有効ビット（CTLACHn.EN）を 0 に設定している時、AD から入力する AD タグとチャネルタグの値が一致しても、フィルタ処理は起動しません。

また、チャネルで設定したトリガフラグ機能のタイマトリガ入力、ソフトウエアトリガ入力は受け付けません。

チャネル有効ビット（CTLACHn.EN）を 1 から 0 に設定した時、0 に設定する前に入力された AD からの処理対象データは処理をします。

この時、チャネル有効ビットを 0 に設定する前にトリガフラグ機能用トリガが入力されていれば、処理対象データに対してトリガフラグ機能が有効となります。

トリガフラグ機能のトリガ入力は、チャネル有効ビット（CTLACHn.EN）が 1 であれば、AD データが入力され処理対象データに対してトリガフラグ機能が有効になるまで保持します（トリガの保留）。

チャネル有効ビット（CTLACHn.EN）を 1 から 0 に設定した後、保留しているトリガは、処理するデータがなければクリアします。

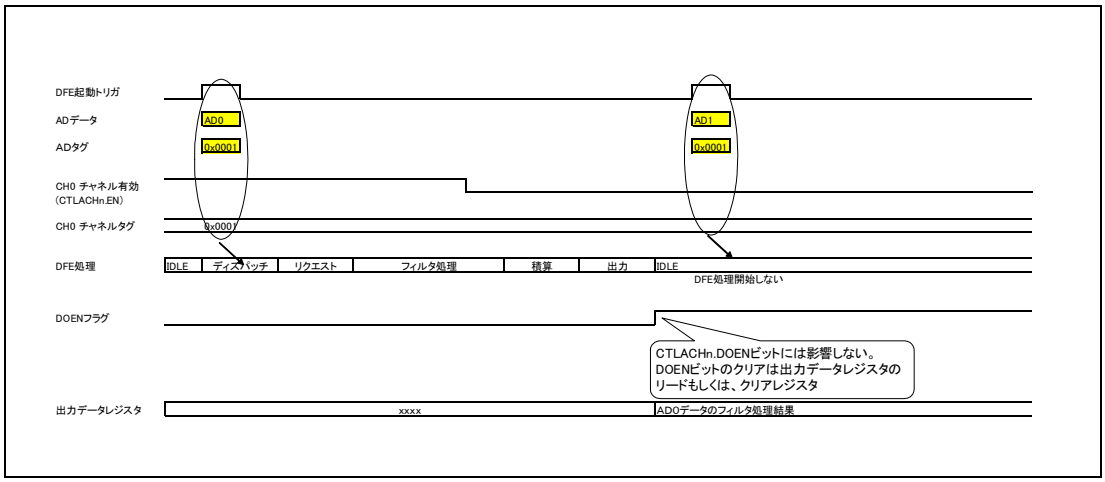


図 29.60 EN ビットと DOEN ビット

チャネル有効ビット（CTLACHn.EN）を 0 にしても、ステータスレジスタのクリアは行いません。必要に応じて、ソフトウエアでクリアをして下さい。

チャネル有効ビット（CTLACHn.EN）を 0 から 1 に設定し、DFE 処理を再開すると

- 積算／デシメーションカウンタは、リセット後最初の DFE 処理と同じく 0 からカウントを開始します。
- PH 処理は 1 回目に初期値レジスタとの比較を行い、2 回目以降は PH 結果レジスタの値と比較を行います。

29.5.7.2　フィルタ処理選択ビットによる無効化

チャネル 0 ～ 7 のうち、いずれか一つ以上のチャネルで FIR64TAP を選択した時（CTLACHn.CMD = 0111_B）、チャネル 8 ～ 15 は、トリガ、および、リクエストを受け付けず、無効となります。

29.5.8 メモリアクセスの制限

係数メモリに対しての 8bit ／ 16bit ライトアクセスは禁止です。係数メモリに対してのライトは 32bit で実行して下さい。データメモリ 0/ データメモリ 1 に対して 8bit ライトアクセスは禁止です。データメモリ 0 ／データメモリ 1 に対してのライトは 16bit で実行して下さい。

禁止時の動作を行った場合、データの破壊が行われるケースがあります。係数メモリの場合、バイトライト対象アドレスを含むワードデータ（32bit）が破壊される場合があります。データメモリ 0 ／データメモリ 1 の場合、バイトライト対象アドレスを含むハーフワードデータ（16bit）が破壊される場合があります。

29.5.9 トリガ設定レジスタの制限

ソフトウエアトリガで、積算／デシメーション初期化と、積算／デシメーション禁止の両方の設定を行うことは禁止です。本設定時の動作は保証しません。

ソフトウエアトリガで、PH 初期化と、PH 終了の両方の設定を行うことは禁止です。本設定時の動作は保証しません。

29.5.10 PH 処理禁止ビットと積算／デシメーション処理禁止ビットの設定

CTLACHn.EN が 0 かつ STCHn.VALID が 0 のとき、CTLBCHn.DISB ビット（PH 処理禁止ビット）と、CTLBCHn.DISA ビット（積算／デシメーション処理禁止ビット）を、ソフトウェアで設定することができます。

CTLBCHn.DISB ビットに 1 を書き込み、PH 処理を禁止状態とする場合は、CTLBCHn.PRCSB を “01”（PH 処理する）に設定してください。また、CTLBCHn.DISA ビットに 1 を書き込み、積算／デシメーション処理を禁止状態とする場合は、CTLBCHn.PRCSA を “01”（積算処理する）または “10”（デシメーション処理する）に設定してください。

29.5.11　制御レジスタ A ／ B の制限

制御レジスタ A（CTLACHn（n = 0 ～ 15））、制御レジスタ B（CTLBCHn（n = 0 ～ 15））の設定はトリガ入力前に行ってください。CTLACHn.EN が 1 又は STCHn.VALID が 1 の時、DFE 動作中に制御レジスタ A、制御レジスタ B の設定は禁止です。この場合、DFE の動作は保証しません。

また、上記制限に加え、出力データレジスタ有効ビット（STCHn.DOEN）が 1 のときに、中間値出力レジスタ浮動小数点変換実行ビット（CTLBCHn.HOFS）の書き換えは禁止です。書き換えた場合、DFE の動作は保証しません。

29.5.12　PH インデックスレジスタの制限

チャネルを無効 （CTRLACHn.EN ビットを 0）に設定しても、PH インデックスレジスタは値が保持されます。

入力データレジスタ有効ビット（STCHn.VALID）が 0 になった後、条件一致ビット（STCHn.CND）が 1 となっている場合は、PH インデックスレジスタをリードして下さい。

29.5.13　中間値出力レジスタの制限

IIR フィルタ使用時、中間値出力レジスタ（中間値出力ミラーレジスタ L も含む）のリードは禁止です。

第 30 章　セーフティ

30.1　概要

この章では、LSI に生じた故障を早期に検出するための故障検出機能について説明します。ここで故障には、メモリのソフトエラーのように回復可能な一過性故障と、回復不可能な恒久故障の両方を含みます。

本製品は ISO26262 における SEooC（Safety Element out of Context）として開発しております。開発プロセスや安全機構の詳細に関しては、当社までお問い合わせください。

以下に本製品の備える故障検出機能を示します。

ECC および EDC

メモリやデータ転送経路の故障検出や、一部の故障に対して訂正を行います。

ロックステップ

CPU1 の故障を早期に検出します。

メモリ保護

メモリや周辺回路への誤ったアクセスを検出し、これらのデータを誤ったアクセスから保護します。

MISG

CPU や PCU による特定のアドレスへのライトアクセスを監視し、そのライトデータを用いたシグネチャを生成し、生成したシグネチャ同士を自動比較します。

クロックモニタ

クロックの動作を監視し、異常な動作を検出します。

BIST

故障検出機能自身の故障を検出します。

エラーコントロールモジュール ECM

LSI 内の様々な故障検出状況を監視し、故障検出時の動作を指定します。

30.2 ECC および EDC

30.2.1 概要

30.2.1.1 ECC

本製品は、以下のメモリに対して ECC を搭載しています。これによって、メモリに保持しているデータに生じたエラーの検出や訂正が可能です。また、ECC エンコーダとメモリの間や、メモリと ECC デコーダの間で生じたエラーに対しても同様の検出や訂正が可能です。

表 30.1 ECC 概要

対象	対象データ幅 [bit]	エラー検出時の動作				故障注入
		検出／訂正	ECM 通知	エラーステータス	アドレスキャプチャ	
Code Flash	128	SEC-DED	○	○	○	○
Data Flash	32	SEC-DED	○	○	○	○
Local RAM（CPU1、PCU）	32	SEC-DED	○	○	○	○
Global RAM	32	SEC-DED	○	○	○	○
命令キャッシュ（データ）	64	SEC-DED	○	○	○	○
命令キャッシュ（TAG）	16	SED-DED	○	○	○	○
DTS 用 RAM	32	SEC-DED	○	○	○	○
周辺 RAM（32 ビット）	32	SEC-DED	○	○	○	○
周辺 RAM（16 ビット）	16	SEC-DED	○	○	○	○

対象データ幅

ECC エンコードの対象となるデータ幅を示します。

これより小さいビット幅のデータを書き込む場合は、以下の処理が必要となります。このとき、(1) の読み出し時にも ECC はチェックされます。

(1) 書き換え対象データを含む ECC エンコード対象データの読み出し

(2) 書き換え対象データの入れ替え

(3) (2) で生成したデータの書き戻し

検出／訂正

SEC-DED：1 ビットエラーの訂正および検出と、2 ビットエラーの検出が可能です。

SED-DED：1 ビットエラーおよび 2 ビットエラーの検出が可能です。

ECM 通知

エラー検出時に ECM に通知可能です。

エラーステータス

エラー検出時に、検出したエラー内容のステータスを保持します。

アドレスキャプチャ

エラー検出時に、エラーを発生したアドレスを保持します。

故障注入

意図的に ECC エラーを発生させることによって、ECC デコーダの動作を自己診断することができます。

30.2.1.2 アドレスパリティ

本製品は、以下のメモリに対してアドレスパリティを搭載しています。これによって、アドレスデコード時のエラーを検出可能です。また、パリティエンコーダとメモリ間のアドレスに生じたエラーの検出も可能です。

表 30.2 アドレスパリティ概要

対象	パリティビット	ECM 通知	エラーステータス	アドレスキャプチャ	故障注入
Code Flash	2bit 注 1	○	○	○	○
Local RAM（CPU1）	2bit 注 2	○	○	○	○
Global RAM	2bit 注 2	○	○	○	○

注 1. 128 ビットのデータ毎に、アドレスパリティビットをメモリの 1 か所に書き込みます。リード単位は 2 倍の 256 ビットとなる為、アドレスパリティビットは 2 ビット構成となります。書き込み時は 128 ビット毎にアドレスパリティを生成する為、リード単位の 2 ビットのアドレスパリティは常に反転した関係となります。

注 2. ライトアドレスに対応するパリティビットをメモリの 2ヶ所に書き込みます。リードアドレスに対応するパリティビットとの比較において、メモリに格納した 2 ビットの両方にエラーを検出した場合をアドレスパリティエラー、パリティビットの一方にのみエラーを検出した場合をパリティビットエラーとして区別します。

30.2.1.3 データパリティ

本製品は、特定のデータ転送に対してデータパリティを搭載しています。これにより、転送データに生じたエラーを検出可能です。詳細は、**「30.2.11 データ転送経路のデータパリティ」**を参照してください。

30.2.2 Code Flash の ECC およびアドレスパリティ

30.2.2.1 概要

Code Flash ECC の概要を以下に示します。

表 30.3 Code Flash 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 • ECC エラー検出・訂正を行う（2 ビットエラー検出と 1 ビットエラー検出・訂正を行う）。 • ECC エラー検出を行う（2 ビットエラー検出と 1 ビットエラー検出を行う）。無効時はエラー検出・訂正を行わない。 リセット後の状態は機能を有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行う。
アドレスパリティ	アドレスパリティチェックの有効／無効を選択可能 アドレスパリティチェックはデータリード時に行います。 リセット後の状態は機能有効。
エラー通知	ECC エラー発生時、またはパリティエラー発生時に ECM にエラー通知を行う。 **ECC エラー** • ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 • ECC1 ビットエラー検出時のエラー通知許可／禁止を選択可 リセット後の状態は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。 **パリティエラー** • アドレスパリティエラー検出時にエラー通知許可／禁止を選択可 リセット後の状態は、アドレスパリティエラー検出時のエラー通知許可。 エラー通知信号は、 ECC2 ビットエラーとアドレスパリティエラーを 1 要因 ECC1 ビットエラーを 1 要因 として ECM に通知する。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。 ECC2 ビットエラー検出、ECC1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。
自己診断	ROM データと、ECC ビットやアドレスパリティビットをダイレクトに読みだすことができます。 ROM データと、ECC ビットやアドレスパリティビットに任意のデータを書き込むことができます。
その他	命令フェッチ時の ECC 2 ビットエラー は ECM で安全状態に移行できます。

ECC デコーダとアドレスパリティ生成器は Code Flash インタフェースにつながる各読み出し経路（CPU1、PCU、インターコネクト）それぞれに対応して用意されています。アドレスパリティチェッカは Code Flash のアクセスコントローラにあります。**図 30.1** をご参照ください。尚、CPU1 のエラー情報は、命令とデータ毎に保持し、PCU とインターコネクトのエラー情報は、命令もデータも同じレジスタへ保持します。**図 30.2** をご参照ください。

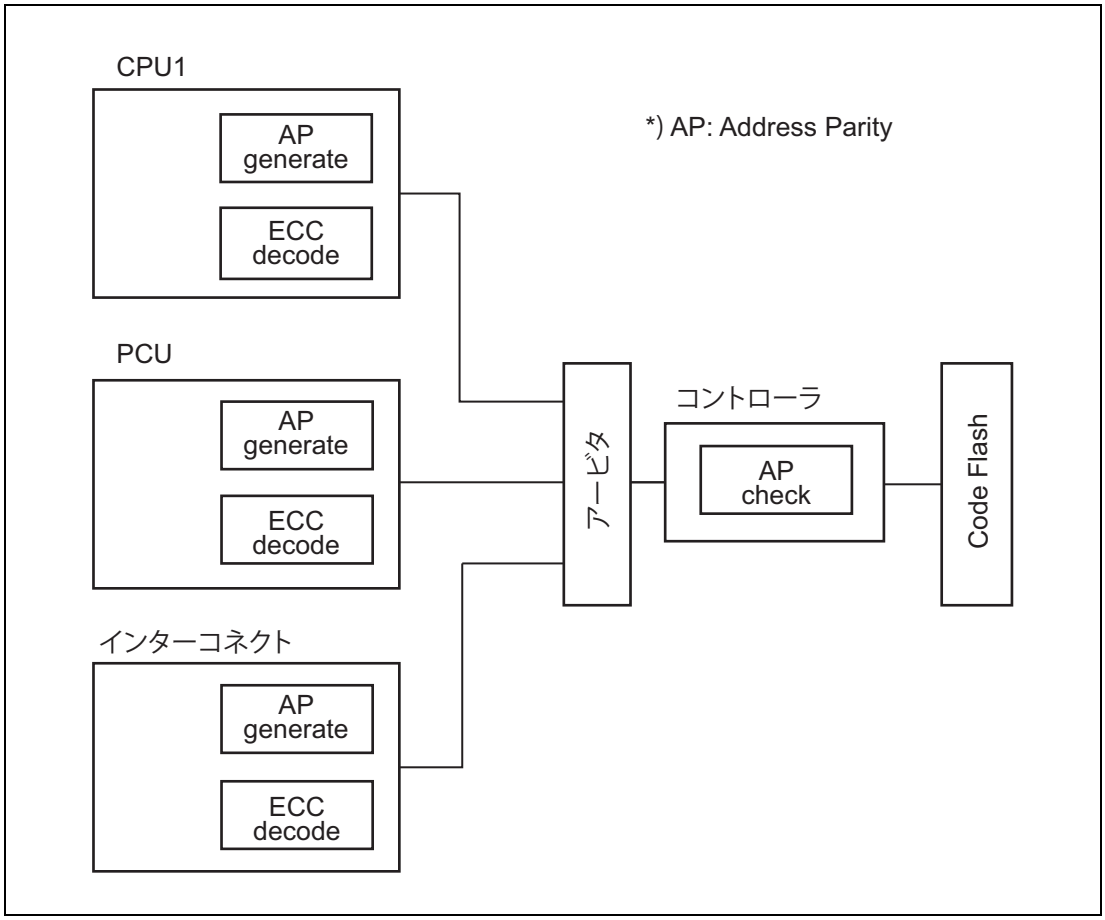


図 30.1 Code Flash の ECC とアドレスパリティ

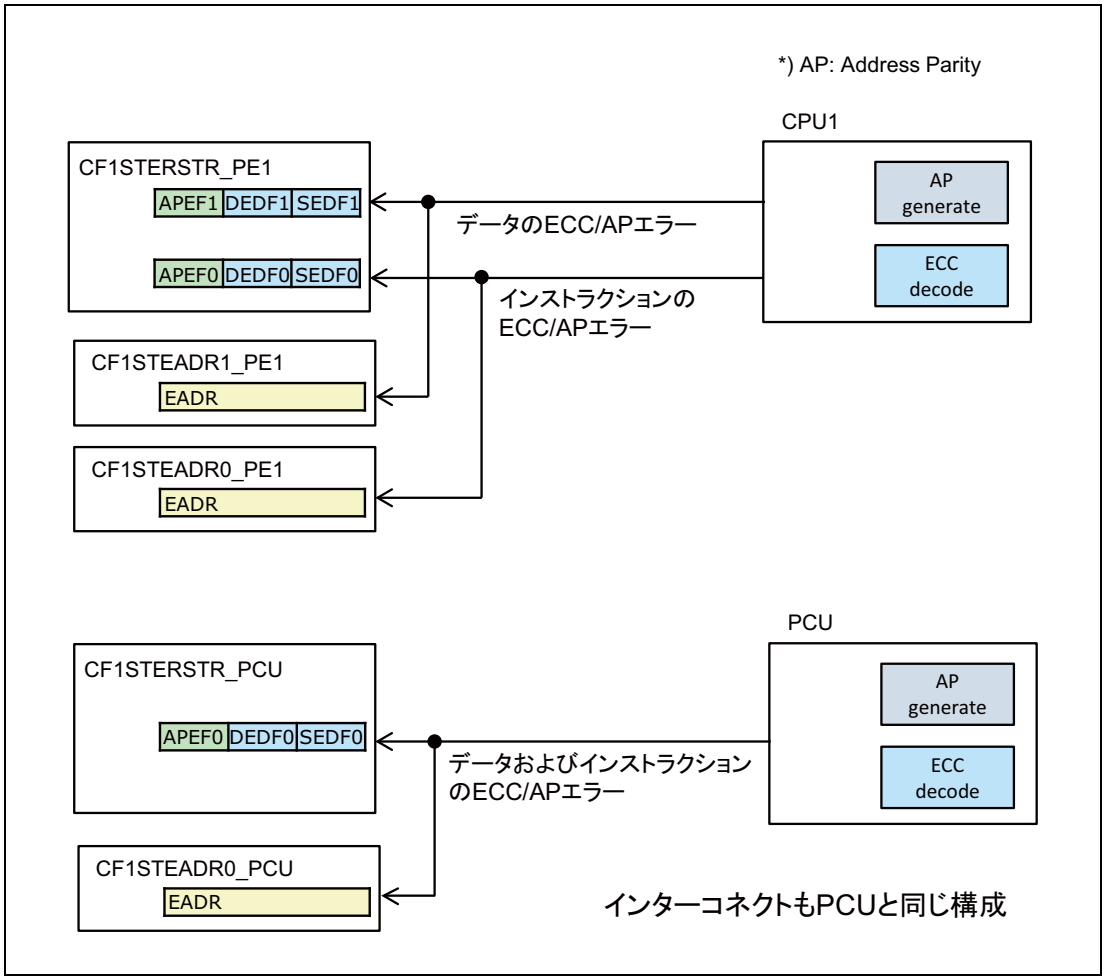


図 30.2 Code Flash のエラー情報保持構成

30.2.2.2 レジスター覧

表 30.4 レジスター覧

アドレス	シンボル注1	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFC6 2000$_H$	CFAPCTL	Code Flash アドレスパリティコントロールレジスタ	R/W	0000 0000$_H$	16/32
FFC6 2200$_H$	CFECCCTL_SIC	Code Flash ECC コントロールレジスタ（SIC）	R/W	0000 0000$_H$	16/32
FFC6 2204$_H$	CFERRINT_SIC	Code Flash エラー情報コントロールレジスタ（SIC）	R/W	0000 0006$_H$	8/16/32
FFC6 2208$_H$	CFSTCLR_SIC	Code Flash ステータスクリアレジスタ（SIC）	W	0000 0000$_H$	8/16/32
FFC6 220C$_H$	CFOVFSTR_SIC	Code Flash エラーカウントオーバフローステータスレジスタ（SIC）	R	0000 0000$_H$	8/16/32
FFC6 2210$_H$	CF1STERSTR_SIC	Code Flash 1st エラーステータスレジスタ（SIC）	R	0000 0000$_H$	8/16/32
FFC6 2250$_H$	CF1STEADR0_SIC	Code Flash 1st エラーアドレスレジスタ（SIC）	R	0000 0000$_H$	8/16/32
FFC6 2350$_H$	CFSTSTCTL_SIC	Code Flash サブテストコントロールレジスタ （SIC）	R/W	0000 0000$_H$	16/32
FFC6 2400$_H$	CFECCCTL_PE1	Code Flash ECC コントロールレジスタ（PE1）	R/W	0000 0000$_H$	16/32
FFC6 2404$_H$	CFERRINT_PE1	Code Flash エラー情報コントロールレジスタ（PE1）	R/W	0000 0006$_H$	8/16/32
FFC6 2408$_H$	CFSTCLR_PE1	Code Flash ステータスクリアレジスタ（PE1）	W	0000 0000$_H$	8/16/32
FFC6 240C$_H$	CFOVFSTR_PE1	Code Flash エラーカウントオーバフローステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
FFC6 2410$_H$	CF1STERSTR_PE1	Code Flash 1st エラーステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
FFC6 2450$_H$	CF1STEADR0_PE1	Code Flash 1st エラーアドレスレジスタ 0（PE1）	R	0000 0000$_H$	8/16/32
FFC6 2454 $_H$	CF1STEADR1_PE1	Code Flash 1st エラーアドレスレジスタ 1（PE1）	R	0000 0000$_H$	8/16/32
FFC6 2550$_H$	CFSTSTCTL_PE1	Code Flash サブテストコントロールレジスタ （PE1）	R/W	0000 0000$_H$	16/32
FFC6 2800$_H$	CFECCCTL_PCU	Code Flash ECC コントロールレジスタ（PCU）	R/W	0000 0000$_H$	16/32
FFC6 2804$_H$	CFERRINT_PCU	Code Flash エラー情報コントロールレジスタ（PCU）	R/W	0000 0006$_H$	8/16/32
FFC6 2808$_H$	CFSTCLR_PCU	Code Flash ステータスクリアレジスタ（PCU）	W	0000 0000$_H$	8/16/32
FFC6 280C$_H$	CFOVFSTR_PCU	Code Flash エラーカウントオーバフローステータスレジスタ（PCU）	R	0000 0000$_H$	8/16/32
FFC6 2810$_H$	CF1STERSTR_PCU	Code Flash 1st エラーステータスレジスタ（PCU）	R	0000 0000$_H$	8/16/32
FFC6 2850$_H$	CF1STEADR0_PCU	Code Flash 1st エラーアドレスレジスタ（PCU）	R	0000 0000$_H$	8/16/32
FFC6 2950$_H$	CFSTSTCTL_PCU	Code Flash サブテストコントロールレジスタ （PCU）	R/W	0000 0000$_H$	16/32

注 1. 上記において、“_SIC”、“_PE1”、“_PCU” は各アクセス経路に対応する ECC コントローラ毎に用意されているレジスタとなります。“_SIC” はシステムインターコネクトから Code Flash へのアクセス用、“_PE1” は CPU1 からのアクセス用、“_PCU” は PCU からのアクセス用の ECC コントローラを示します。

30.2.2.3 レジスタ詳細

(1) CFAPCTL — Code Flash アドレスパリティコントロールレジスタ

CFAPCTL レジスタは、アドレスパリティチェックの有効／無効を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] ビットを 01_B にして実行してください。本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	APARIDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 30.5 CFAPCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	APARIDIS	アドレスパリティチェックディスエーブルビット アドレスパリティ回路のアドレスパリティチェックの有効／無効を設定します。 0：アドレスのパリティチェック許可 1：アドレスのパリティチェック禁止

(2) CFECCCTL_SIC/PE1/PCU — Code Flash ECC コントロールレジスタ

CFECCCTL レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 30.6 CFECCCTL_SIC/PE1/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(3) CFERRINT_SIC/PE1/PCU — Code Flash エラー情報コントロールレジスタ

CFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時、アドレスパリティエラー検出時に ECM へのエラー通知信号発生の有効／無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	APEIE	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 30.7　CFERRINT_SIC/PE1/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	APEIE	アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0：アドレスパリティエラー通知禁止 1：アドレスパリティエラー通知許可
1	DEDIE	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(4) CFSTCLR_SIC/PE1/PCU — Code Flash ステータスクリアレジスタ

CFSTCLR レジスタは、エラーステータスレジスタ（CF1STERSTR）のエラーフラグ、エラーカウントオーバフローステータスレジスタ（CFOVFSTR）のオーバフローフラグ、およびエラーアドレスレジスタ（CF1STEADR）をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR1	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 30.8 CFSTCLR_SIC/PE1/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STCLR1	エラーオーバフローフラグクリアビット（データ用） 1 書き込みで「CF1STERSTR レジスタの APEF1, DEDF1, SEDF1 フラグ」、「CFOVFSTR レジスタの ERROVF1 フラグ」および「CF1STEADR1 レジスタ」をクリアします。 CFSTCLR_SIC および CFSTCLR_PCU では本ビットはリザーブのため、書き込む値は常に 0 にしてください。
0	STCLR0	エラーオーバフローフラグクリアビット（命令用、SIC/PCU 用） 1 書き込みで「CF1STERSTR レジスタの APEF0, DEDF0, SEDF0 フラグ」、「CFOVFSTR レジスタの ERROVF0 フラグ」および「CF1STEADR0 レジスタ」をクリアします。

(5) CFOVFSTR_SIC/PEI/PCU — Code Flash エラーカウントオーバフローステータスレジスタ

CFOVFSTR レジスタは、エラーカウントオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または、CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.9 CFOVFSTR_SIC/PEI/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ERROVF1	エラーオーバフローフラグ（データ用） エラーステータスレジスタのいずれかのエラーフラグ（APEF1, DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 CFOVFSTR_SIC/CFOVFSTR_PCU では本ビットはリザーブのため、読み出すと常に 0 が読み出されます。
0	ERROVF0	エラーオーバフローフラグ（命令用、SIC/PCU 用） エラーステータスレジスタのいずれかのエラーフラグ（APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(6) CF1STERSTR_SIC/PE1/PCU — Code Flash 1st エラーステータスレジスタ

CF1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。ただし、ECC 1 ビットエラーのフラグのみがセットされている状態に限り、後続のアクセスで ECC 2 ビットエラー、またはアドレスパリティエラーが発生した場合は、該当するエラーフラグが追加でセットされます。

なお、同一アクセスで同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。CF1STERSTR レジスタは内部リセット、外部リセット、または CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	APEF1	DEDF1	SEDF1	—	—	—	—	—	APEF0	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.10 CF1STERSTR_SIC/PE1/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 11、 7 ～ 3	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2+8n	APEFn	アドレスパリティエラーモニタフラグ クリア条件：リセットまたは CFSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：DEDFn/APEFn のエラーフラグが 0 の状態でアドレスパリティエラー発生
1+8n	DEDFn	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは CFSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：DEDFn/APEFn のエラーフラグが 0 の状態で ECC2 ビットエラー発生
0+8n	SEDFn	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは CFSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：DEDFn/SEDFn/APEFn のすべてのエラーフラグが 0 の状態で ECC1 ビットエラー発生

備　考

SIC/PCU：n = 0

PE1：n = 0：命令用　n = 1：データ用

(7) CF1STEADRn_SIC/PE1/PCU — Code Flash 1st エラーアドレスレジスタ n

CF1STEADR レジスタは、エラー発生時のアドレスを保持するためのレジスタです。CF1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラー、またはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、本レジスタの EADR[27:5] は実アドレスの [27:5] が対応します。上位アドレス [31:28] をベースアドレスとして加算することにより実アドレスが計算できます。CF1STEADR レジスタは内部リセット、外部リセット、または CFSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	EADR[27:16]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:5]											—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.11 CF1STEADRn_SIC/PE1/PCU ジスタの内容

ビット位置	ビット名	機能
31 ～ 28	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27 ～ 5	EADR[27:5]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 CF1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。
4 ～ 0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

備　考

SIC/PCU：n = 0

PE1：n = 0：命令用　n = 1：データ用

(8) CFSTSTCTL_SIC/PE1/PCU — Code Flash サブテストコントロールレジスタ

CFSTSTCTL レジスタは ECC テスト（自己診断）時に使用するレジスタです。Code Flash 専用のレジスタです。ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 30.12 CFSTSTCTL_SIC/PE1/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。

ECC テストモード（ECCTST = 1）に設定した Code Flash アクセス経路からは正しい命令を読み出せません。CPU や PCU 用のアクセス経路をテストモードに設定中は（ECCTST ビットの操作中も含みます）、CPU や PCU は Local RAM や Global RAM 上のプログラムを実行するようにし、Code Flash から命令をフェッチしないようにしてください。

CPU には小容量のデータバッファを備えています。これらのバッファに古い値が残っていると、ECCTST ビットを切り替えても正しい値を読み出すことができません。ECCTST ビット切り替えの際は、必ずデータバッファをクリアしてください。クリア方法については、**「第 3 章　CPU システム」**の章をご参照ください。

ECC テストモードに設定した Code Flash アクセス経路からは、16n 番地にアラインされた 4 バイトリードでアクセスしてください。この時、Code Flash の読み出し結果は以下のとおりです。

表 30.13　Code Flash の読み出し結果

ビット番号	意味
31 ～ 10	常に 0 です。
9	アドレスパリティビット
8 ～ 0	ECC ビット

30.2.2.4 テスト機能

レジスタ設定により、Code Flash、ECC ビット、アドレスパリティビットを読み出すことができます。

(1) Code Flash データ読み出し

(a) CFECCCTL レジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効にします。

(b) ECCDIS=1 のとき、Code Flash 読み出し時にエラー検出・訂正を行いませんので Code Flash からのデータがそのままに読みだされます。

本テストモードからの抜け方：

(a) CFECCCTL レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(2) ECC ビット、アドレスパリティビット読み出し

(a) CFECCCTL レジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効にします。

(b) CFSTSTCTL レジスタの ECCTST ビットを 1 にして、テストモードに設定します。

(c) Code Flash の読み出しを実行すると、Code Flash データ部分の代わりに ECC ビットとアドレスパリティビットが読みだされます。

本テストモードからの抜け方：

(a) CFECCCTL レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(b) CFSTSTCTL レジスタの ECCTST ビットを 0 にして、ノーマルモードに設定します。

(3) 自己診断

Code Flash に予め誤ったデータを書き込んでおき（故障注入）、これを読みだすことによって各アクセス経路の ECC デコーダやアドレスパリティデコーダを自己診断することができます。一旦正しい ECC ビットやアドレスパリティビットを生成し、適当なビットのみ反転させることで ECC の 1 ビットエラーや 2 ビットエラー、アドレスパリティエラーの故障を注入することができます。尚、アドレスパリティを書き込む場合は、128 ビット単位のアドレスでパリティビットを生成する為、リード時の 256 ビット単位に対する 2 ビットのアドレスパリティは、故障注入時においても常に反転した値で書き込んでください。

Code Flash 書き込み方法の詳細は、「*RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアルハードウェア インタフェース編*」をご参照ください。

(4) Code Flash の ECC およびアドレスパリティの自己診断について

Code Flash の ECC 及びアドレスパリティの自己診断用途に、0x01032000 から 0x010331FF の領域に予め、ECC 1 ビットエラー、ECC 2 ビットエラー、アドレスパリティエラーを発生させるデータが書き込まれており、アクセスすることにより意図的にエラーを発生させ、ECC およびアドレスパリティの動作を自己診断することができます。

データ用診断コードの領域は、リードアクセスすることにより領域に応じたエラーを発生させることができます。また、命令用診断コードの領域には、jmp r31 の命令が書き込まれており、命令用診断コード領域に jmp し、命令フェッチすることでエラーを発生させることができます。なお、命令用診断コードにおいて、ECC 1 ビットエラー訂正を有効にしている場合は、r31 に書き込んだアドレスにリターンできます。ECC 1 ビットエラー訂正を無効にしている場合や、ECC 2 ビットエラー、アドレスパリティエラーの場合は、システムエラー例外が発生します。

エラーを発生させるコードが書き込まれているアドレスを以下に示します。

表 30.14 Code Flash データ用診断コード

アドレス	内容
01032000_H ～ $0103211F_H$	ECC 1 ビットエラー発生（ECC コード領域のウォーキング）
01032120_H ～ $0103311F_H$	ECC 1 ビットエラー発生（データ領域のウォーキング）
01033160_H ～ $0103317F_H$	ECC 2 ビットエラー発生
01033180_H ～ $0103319F_H$	アドレスパリティエラー発生

表 30.15 Code Flash 命令診断コード

アドレス	内容
$010331A2_H$ ～ $010331BF_H$ 注 1	ECC 1 ビットエラー発生
$010331C2_H$ ～ $010331DF_H$	ECC 2 ビットエラー発生
$010331E2_H$ ～ $010331FF_H$	アドレスパリティエラー発生

注 1. $010331B0_H$ に格納した命令コードは ECC1 ビットエラー訂正後に Jmp r31 命令となりません。
$010331B0_H$ は命令診断コードとして使用しないでください。

30.2.3 Data Flash の ECC

30.2.3.1 概要

Data Flash ECC の概要を以下に示します。

表 30.16 Data Flash 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 • ECC エラー検出・訂正を行う（2 ビットエラー検出と 1 ビットエラー検出・訂正を行う） • ECC エラー検出を行う（2 ビットエラー検出と 1 ビットエラー検出を行う）無効時はエラー検出・訂正を行わない リセット後の状態は機能を有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行う。
エラー通知	ECC エラー発生時に ECM にエラー通知を行う。 ECC エラー • ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 • ECC1 ビットエラー検出時のエラー通知許可／禁止を選択可 リセット後の状態は、2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。 エラー通知信号は、 ECC2 ビットエラーを 1 要因 ECC1 ビットエラーを 1 要因 として出力する。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC2 ビットエラー検出、ECC1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。
自己診断	ROM データと、ECC ビットをダイレクトに読みだすことができます。 ROM データと、ECC ビットに任意のデータを書き込むことができます。

30.2.3.2 レジスター覧

(1) ECC モジュール一覧

表 30.17 モジュール一覧

ECC モジュール名とレジスタベースアドレス			
マスタ側注 1		チェッカ側注 1	
モジュール名	ベースアドレス <Base_addr>	モジュール名	ベースアドレス <Base_addr>
ECCEEP	FFC6 2C00$_H$	ECCEEPC	FFC6 2E00$_H$

注 1. BIST 対応としてマスタ側とチェッカ側の 2 モジュールが存在します。詳細は「**30.7 BIST**」をご参照ください。

(2) レジスター覧

各 ECC モジュールは以下のレジスタを備えます。

表 30.18 レジスター覧

レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
DFECCCTL	Data Flash ECC コントロールレジスタ	R/W	0000$_H$	<Base_addr>	16
DFERSTR	Data Flash エラーステータスレジスタ	R	00$_H$	<Base_addr> + 04$_H$	8
DFERSTC	Data Flash エラーステータスクリアレジスタ	W	00$_H$	<Base_addr> + 08$_H$	8
DFOVFSTR	Data Flash エラーオーバフローステータスレジスタ	R	00$_H$	<Base_addr> + 0C$_H$	8
DFOVFSTC	Data Flash エラーオーバフローステータスクリアレジスタ	W	00$_H$	<Base_addr> + 10$_H$	8
DFERRINT	Data Flash エラー通知コントロールレジスタ	R/W	02$_H$	<Base_addr> + 14$_H$	8
DFEADR	Data Flash 1st エラーアドレスレジスタ	R	0000 0000$_H$	<Base_addr> + 18$_H$	32
DFTSTCTL	Data Flash テストコントロールレジスタ	R/W	0000$_H$	<Base_addr> + 1C$_H$	16

30.2.3.3 レジスタ詳細

(1) DFECCCTL — Data Flash ECC コントロールレジスタ

DFECCCTL レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。DFECCCTL レジスタは内部リセットまたは、外部リセットによって初期化されます。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 30.19 DFECCCTL レジスタの内容

ビット位置	ビット名	機能
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1 ビットエラー検出時にエラー訂正します 1：1 ビットエラー検出時にエラー訂正しません
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。 初期状態は ECC エラー検出・訂正機能が有効です。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(2) DFERSTR — Data Flash エラーステータスレジスタ

DFERSTR レジスタは、発生したエラーをモニタするためのレジスタです。

DFERSTR は内部リセットまたは、外部リセット、Data Flash エラーステータスクリアレジスタのクリアビットセットによって初期化されます。

ECC エラー訂正・検出有効時に、ECC1 ビットエラーが検出されると SEDF ビットがセットされ、ECC2 ビットエラーが検出されると DEDF ビットがセットされます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.20 DFERSTR レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDF	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは DFERSTC レジスタの ERRCLR ビットへ 1 をセット セット条件：DEDF/SEDF のすべてのエラーフラグが 0 の状態で ECC2 ビットエラー発生
0	SEDF	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは DFERSTC レジスタの ERRCLR ビットへ 1 をセット セット条件：DEDF/SEDF のすべてのエラーフラグが 0 の状態で、ECC1 ビットエラー発生

(3) DFERSTC — Data Flash エラーステータスクリアレジスタ

DFERSTC レジスタは、Data Flash エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。書き込み専用レジスタで、読み出し値は常に 0 です。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERRCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.21 DFERSTC レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERRCLR	SEDF/DEDF フラグクリアビット 1 書き込みで SEDF/DEDF フラグをクリアします。

(4) DFOVFSTR — Data Flash エラーオーバフローステータスレジスタ

DFOVFSTR レジスタは、Data Flash エラーオーバフロー発生を監視するためのレジスタです。ERROVF フラグは内部リセットまたは、外部リセット、DFOVFSTC レジスタの ERROVFCLR ビットへ 1 をセットすることでクリアされます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.22 DFOVFSTR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVF	エラーオーバフローフラグ エラーアドレスレジスタがフルの状態で ECC エラーが発生するとセットされます。

(5) DFOVFSTC — Data Flash エラーオーバフローステータスクリアレジスタ

DFOVFSTC レジスタは、Data Flash エラーオーバフローフラグをクリアするためのレジスタです。ERROVFCLR ビットへ 1 をセットすることでクリアされます。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVFCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.23 DFOVFSTC レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVFCLR	エラーオーバフローフラグクリアビット 1 書き込みで ERROVF フラグをクリアします。 常に 0 が読み出されます。

(6) DFERRINT — Data Flash エラー通知コントロールレジスタ

DFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時にエラー通知信号発生の有効／無効を設定するためのレジスタです。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W

表 30.24 DFERRINT レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDIE	ECC2 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(7) DFEADR — Data Flash 1st エラーアドレスレジスタ

Data Flash エラーステータスレジスタの SEDF、DEDF がすべて 0 の状態で発生した ECC エラーの発生アドレスを DFEADR に保持します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DFEADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DFEADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.25 DFEADR レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20 ～ 2	DFEADR[20:2]	ECC エラー発生アドレス ECC エラーの発生したアドレスをモニタするための読み出し専用レジスタです。
1、0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(8) DFTSTCTL — Data Flash テストコントロールレジスタ

ECC テスト時に使用するレジスタです。

ECC テストモード（ECCTST = 1）設定後、ECC ビットのデータを読み出すことができます。

本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 30.26 DFTSTCTL レジスタの内容

ビット位置	ビット名	機能
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ECCTST	ECC テストビット ECC テストモードに設定します。

30.2.3.4 テスト機能

Data Flash テストコントロールレジスタ（DFTSTCTL）の設定により、ROM データ、ECC ビットを読み出すことができます。

(1) ROM データの読み出し

(a) DFECCCTL レジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効に設定します。

(b) ECCDIS=1 のとき、Data Flash 読み出し時にエラー検出、訂正を行いませんので、DataFlash からの出力データがそのまま読みだされます。

本テストモードからの抜け方：

(a) DFECCCTL レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(2) ECC データの読み出し

(a) DFECCCTL レジスタの ECCDIS ビットを 1 にして、ECC エラー検出・訂正を無効に設定します。

(b) DFTSTCTL レジスタの ECCTST ビットを 1 にして、テストモードに設定します。

(c) Data Flash の読み出しを実行するとリードデータの下位 7 ビットが ECC データとして読み出されます。

本テストモードからの抜け方：

(a) DFECCCTL レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(b) DFTSTCTL レジスタの ECCTST ビットを 0 にして、ノーマルモードに設定します。

(3) 自己診断

Data Flash に予め誤ったデータを書き込んでおき（故障注入）、これを読みだすことによって ECC デコードを自己診断することができます。一旦正しい ECC ビットを生成し、適当なビットのみ反転させることで ECC の 1 ビットエラーや 2 ビットエラーの故障を注入することができます。

Data Flash 書き込み方法の詳細は、「*RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアル　ハードウェア インタフェース編*」をご参照ください。

30.2.4 Local RAM（CPU1）の ECC およびアドレスパリティ

30.2.4.1 概要

CPU1 の Local RAM 用 ECC の仕様概要を以下に示します。

表 30.27 CPU1 の Local RAM 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 • ECC エラー検出・訂正を行う（2 ビットエラー検出と 1 ビットエラー検出・訂正を行う） • ECC エラー検出を行う（2 ビットエラー検出と 1 ビットエラー検出を行う） 無効時はエラー検出・訂正を行わない リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行う。
アドレスパリティ	アドレスパリティチェックの有効／無効を選択可能 ライト時は、ライトアドレスから生成したパリティビットがライトデータとともに書き込まれます。その際、同じパリティビットが RAM の 2 か所に書き込まれます。 リード時は、リードアドレスから生成したパリティビットと、RAM から読みだしたパリティビット 2 ビットが比較されます。この時のエラーデコード仕様は**「表 30.28 アドレスパリティ定義」**のようになります。 リセット後の状態は機能有効。
エラー通知	ECC エラー発生時、またはアドレスのパリティエラー発生時に ECM にエラー通知を行う。 ECC エラー • ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 • ECC1 ビットエラー検出時のエラー通知許可／禁止を選択可 リセット後の状態は、2 ビットエラー通知許可、1 ビットエラー通知禁止。 パリティエラー • アドレスパリティエラー検出時のエラー通知許可／禁止を選択可 • パリティビットエラー検出時のエラー通知許可／禁止を選択可 リセット後の状態は、アドレスパリティエラー通知許可、パリティビットエラー通知禁止。 エラー通知信号は、 ECC2 ビットエラーとアドレスパリティエラーを 1 要因 ECC1 ビットエラーとパリティビットエラーを 1 要因 として出力する。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。 ECC2 ビットエラー検出、ECC1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。
自己診断	RAM データと ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。 RAM データと ECC ビット、アドレスパリティビットをダイレクトに読み出すことができます。

リードアクセス時のアドレスパリティエラーの定義は以下のとおりとします。

表 30.28 アドレスパリティ定義

アドレスパリティビット 2		リードアドレスパリティ	エラー判定とエラー名称
0	0	0	エラーでない
0	0	1	アドレスパリティエラー
0	1	0	パリティビットエラー
0	1	1	パリティビットエラー
1	0	0	パリティビットエラー
1	0	1	パリティビットエラー
1	1	0	アドレスパリティエラー
1	1	1	エラーでない

CPU1 の Local RAM は、最大で 128 ビットのデータを同時にリード／ライト可能な構成となっています。一方で、ECC やアドレスパリティは 32 ビットのデータ毎に用意されており、各 32 ビットデータを Word0 ～ 3 と称しています。アドレスと Word 番号の関係は以下の通りです。

表 30.29 アドレスと Word 番号の関係

アドレスの下位 4 ビット（16 進表記）	F_H ～ C_H	B_H ～ 8_H	7_H ～ 4_H	3_H ～ 0_H
バンク番号	Word3	Word2	Word1	Word0

尚、CPU1 のエラー情報は、命令とデータごとに保持します。

30.2.4.2 レジスター覧

表 30.30 レジスター覧

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFC6 5000$_H$	LRAPCTL_PE1	Local RAM アドレスパリティコントロールレジスタ（PE1）	R/W	0000 0000$_H$	16/32
FFC6 5004$_H$	LRTSTCTL_PE1	Local RAM テストコントロールレジスタ（PE1）	R/W	0000 0000$_H$	16/32
FFC6 5008$_H$	LRTDATBF0_PE1	Local RAM テストデータリードバッファ 0（PE1）	R	0000 0000$_H$	8/16/32
FFC6 500C$_H$	LRTDATBF1_PE1	Local RAM テストデータリードバッファ 1（PE1）	R	0000 0000$_H$	8/16/32
FFC6 5400$_H$	LRECCCTL_PE1	Local RAM ECC コントロールレジスタ（PE1）	R/W	0000 0000$_H$	16/32
FFC6 5404$_H$	LRERRINT_PE1	Local RAM エラー情報コントロールレジスタ（PE1）	R/W	0000 0006$_H$	8/16/32
FFC6 5408$_H$	LRSTCLR_PE1	Local RAM ステータスクリアレジスタ（PE1）	W	0000 0000$_H$	8/16/32
FFC6 540C$_H$	LROVFSTR_PE1	Local RAM エラーカウントオーバフローステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
FFC6 5410$_H$	LR1STERSTR_PE1	Local RAM 1st エラーステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
FFC6 5450$_H$	LR1STEADR0_PE1	Local RAM 1st エラーアドレスレジスタ 0（PE1）	R	0000 0000$_H$	8/16/32
FFC6 5454$_H$	LR1STEADR1_PE1	Local RAM 1st エラーアドレスレジスタ 1（PE1）	R	0000 0000$_H$	8/16/32

30.2.4.3 レジスタ詳細

(1) LRAPCTL_PE1 — Local RAM アドレスパリティコントロールレジスタ

LRAPCTL レジスタは、アドレスパリティチェックの有効／無効を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	APARIDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 30.31 LRAPCTL_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	APARIDIS	アドレスパリティチェックディスエーブルビット 全アドレスパリティ回路（Word0 ～ Word3）のアドレスパリティチェックの有効／無効を設定します。 0：アドレスのパリティチェック許可 1：アドレスのパリティチェック禁止）

(2) LRTSTCTL_PE1 — Local RAM テストコントロールレジスタ

ECC テスト（自己診断）時、およびアドレスパリティチェッカのテスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）設定後、ECC ビット、アドレスパリティビットへ任意のデータを書き込むことができます。RAM データ、ECC ビット、アドレスパリティビットの選択は DATSEL ビットで行います。

アドレスパリティテストモード（APTESTi = 1、i = 0, 1, 2, 3）設定により、アドレスパリティチェッカに入力するパリティが反転します。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	APTEST3	APTEST2	APTEST1	APTEST0	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 30.32 LRTSTCTL_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	APTEST3	アドレスパリティチェッカ（Word3）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST3 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
4	APTEST2	アドレスパリティチェッカ（Word2）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST2 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
3	APTEST1	アドレスパリティチェッカ（Word1）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST1 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
2	APTEST0	アドレスパリティチェッカ（Word0）テストビット アドレスパリティチェッカをテストモードに設定します。 APTEST0 = 1 のとき、アドレスパリティ生成部で生成したパリティを反転します。
1	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。
0	DATSEL	データ選択ビット ECCTST = 1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。 0：RAM データ選択 1：ECC ビットとアドレスパリティビット選択

注 1. Local RAM の ECC テストモードを有効（ECCTST = 1）にした場合、Local RAM へのアクセスは 4 バイトアクセスで実施してください。

(3) LRTDATBFn_PE1 — Local RAM テストデータリードバッファ n （n = 0, 1）

ECC テスト（自己診断）時、ECC ビットとアドレスパリティビットを読み出すことができます。Local RAM テストコントロールレジスタ LRTSTCTL の ECCTST = 1 のときに、Local RAM を読み出すと ECC ビットとアドレスパリティビットが読み出され、本バッファに保持されます。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	LRTDATBF(2n+1)								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LRTDATBF(2n)								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.33 LRTDATBFn_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 25	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24 ～ 16	LRTDATBF (2n+1)	Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 Local RAM の対応する Word 読み出し時に Local RAM（Word（2n+1））の ECC ビットが LRTDATBF[22:16] に、アドレスパリティビットが LRTDATBF[24:23] に格納されます。
15 ～ 9	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8 ～ 0	LRTDATBF(2n)	Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 Local RAM の対応する Word 読み出し時に Local RAM（Word（2n））の ECC ビットが LRTDATBF[6:0] に、アドレスパリティビットが LRTDATBF[8:7] に格納されます。

(4) LRECCCTL_PE1 — Local RAM ECC コントロールレジスタ

LRECCCTL レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 30.34 LRECCCTL_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(5) LRERRINT_PE1 — Local RAM エラー情報コントロールレジスタ

LRERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時、アドレスパリティエラー検出時、パリティビットエラー検出時に ECM へのエラー通知信号発生の有効／無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PBEIE	APEIE	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 30.35 LRERRINT_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PBEIE	パリティビットエラー通知許可ビット アドレスパリティチェック許可時に、パリティビットエラー検出時のエラー通知発生を制御するビットです。 0：パリティビットエラー通知禁止 1：パリティビットエラー通知許可
2	APEIE	アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0：アドレスパリティエラー通知禁止 1：アドレスパリティエラー通知許可
1	DEDIE	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(6) LRSTCLR_PE1 — Local RAM ステータスクリアレジスタ

LRSTCLR レジスタは、エラーステータスレジスタ（LR1STERSTR）のエラーフラグ、エラーオーバフローステータスレジスタ（LROVFSTR）のオーバフローフラグ、およびエラーアドレスレジスタ（LR1STEADR）をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR1	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 30.36 LRSTCLR_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STCLR1	エラーオーバフローフラグクリアビット（データ用） 1 書き込みで「LR1STERSTR レジスタの PBEF1, APEF1, DEDF1, SEDF1 フラグ」、「LROVFSTR レジスタの ERROVF1 フラグ」および「LR1STEADR1 レジスタ」をクリアします。
0	STCLR0	エラーオーバフローフラグクリアビット（命令用） 1 書き込みで「LR1STERSTR レジスタの PBEF0, APEF0, DEDF0, SEDF0 フラグ」、「LROVFSTR レジスタの ERROVF0 フラグ」および「LR1STEADR0 レジスタ」をクリアします。

(7) LROVFSTR_PE1 — Local RAM エラーカウントオーバフローステータスレジスタ

LROVFSTR レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.37　LROVFSTR_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ERROVF1	エラーオーバフローフラグ（データ用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF1, APEF1, DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバフローフラグ（命令用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF0, APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(8) LR1STERSTR_PE1 — Local RAM 1st エラーステータスレジスタ

LR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーの検出とステータスの更新は、バンク毎に独立しています。各バンクにおいて、全てのエラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。ただし、ECC 1 ビットエラー、またはパリティビットエラーのフラグのみがセットされている状態に限り、後続のアクセスで ECC 2 ビットエラー、またはアドレスパリティエラーが発生した場合は、該当するエラーフラグが追加でセットされます。

なお、同一アクセスで同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。LR1STERSTR レジスタは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PBEF1	APEF1	DEDF1	SEDF1	—	—	—	—	PBEF0	APEF0	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.38 LR1STERSTR_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 12、 7 ～ 4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3+8n	PBEFn	パリティビットエラーモニタフラグ クリア条件：リセットまたは LRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが 0 の状態でパリティビットエラー発生
2+8n	APEFn	アドレスパリティエラーモニタフラグ クリア条件：リセットまたは LRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：DEDFn/APEFn のエラーフラグが 0 の状態でアドレスパリティエラー発生 **注 意** Read/Write の発生要因の区別なく同一フラグとしてセットします。
1+8n	DEDFn	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは LRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：DEDFn/APEFn のエラーフラグが 0 の状態で ECC2 ビットエラー発生
0+8n	SEDFn	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは LRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが 0 の状態で ECC1 ビットエラー発生

備考 n = 0：命令用 n = 1：データ用

(9) LR1STEADRn_PE1 — Local RAM 1st エラーアドレスレジスタ n（n = 0、1）

LR1STEADRn レジスタは、エラー発生時のアドレスを保持するためのレジスタです。LR1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラー、またはパリティビットエラーの場合に ECC2 ビットエラー、またはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、本レジスタの EADR[22:2] は実アドレスの [22:2] が対応します。上位アドレス [31:23] をベースアドレスとして加算することにより実アドレスが計算できます。LR1STEADR レジスタは内部リセット、外部リセット、または LRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	EADR[22:16]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.39 LR1STEADRn_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22 ～ 2	EADR[22:2]	1st エラー発生アドレス（Wordn 用） 1st エラー発生時のアドレスをモニタするためのレジスタです。 LR1STERSTR レジスタの Wordn 用のすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラー、またはパリティビットエラーの場合に ECC2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。
1、0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

備考 n = 0：命令用　n = 1：データ用

以下のレジスタに関しては、2 ビット目は常に “0” となります。

LR1STEADR0_PE1

例えば、上記のレジスタに対して、FEF0 0000_H がエラーアドレスとして格納された場合、FEF0 0000_H、または、FEF0 0004_H のアドレスで故障が発生したことを意味します。

30.2.4.4 テスト機能

レジスタ設定により、RAM データ、ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。また、RAM データ、ECC ビット、アドレスパリティビットを読み出すことができます。

(1) RAM データの書き込み

(a) LRTSTCTL レジスタの ECCTST ビットを 1 にして、テストモードに設定します。

(b) LRTSTCTL レジスタの DATSEL ビットを 0 にして、書き込み対象に RAM データを選択します。

(c) Local RAM へデータ書き込みを実行すると、ECC ビットは更新せず、RAM データのみ書き換えることができます。

本テストモードからの抜け方：

(a) LRTSTCTL レジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(2) RAM データの読み出し

(a) LRECCCTL レジスタの ECCDIS ビットを 1 にし、ECC エラー検出・訂正を無効にします。

(b) Local RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読みだされます。

本テストモードからの抜け方：

(a) LRECCCTL レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(3) ECC ビットとアドレスパリティビットの書き込み

(a) LRTSTCTL レジスタの ECCTST ビットを 1 にして、テストモードに設定します。

(b) LRTSTCTL レジスタの DATSEL を 1 にして、書き込み時のアクセスビットに ECC ビットとアドレスパリティビットを選択します。

(c) Local RAM へデータ書き込みを実行すると、RAM データは更新せず、ECC ビットとアドレスパリティビットのみ書き換えることができます。この時、32 ビットのライトデータの bit[6:0] が ECC ビットに書き込まれ、bit[8:7] がアドレスパリティビットに書き込まれます。

本テストモードからの抜け方：

(a) LRTSTCTL レジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(4) ECC ビットとアドレスパリティビットの読み出し

(a) LRTSTCTL レジスタの ECCTST ビットを 1 にして、テストモードに設定します。

(b) Local RAM の読み出しを実行すると、ECC ビットとアドレスパリティビットが、Local RAM テストデータ読み出しバッファ 0 または Local RAM テストデータ読み出しバッファ 1 の対応する Word 位置に格納されます。

本テストモードからの抜け方：

(a) LRTSTCTL レジスタの ECCTST ビットを 0 にして、テストモードを無効（通常モード）にします。

(5) ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。このため、例えば RAM データや ECC ビットの適当なビットを反転させることで故障を注入することができます。その後で通常モードで Local RAM を読み出し、エラー訂正やエラー検出結果を確認することで ECC デコーダの自己診断が可能です。

(6) アドレスパリティチェック機能の自己診断

以下に示す 2 とおりの方法によって自己診断が可能です。

(a) LRTSTCTL レジスタの APTESTi（i = 0, 1, 2, 3）を 1 に設定すると、対応する Word のアドレスパリティ生成結果が反転します。つまり、アドレスパリティ生成器に故障を注入することができます。この状態で Local RAM の対応する Word に書き込みを行い、パリティエラー検出結果を確認することでライト時のアドレスパリティチェック機能の自己診断が可能です。

(b) 上記 (3) に記載する手順で、アドレスパリティビットに任意のデータを書き込むことが可能です。これによって、アドレスパリティビットを反転させることでアドレスパリティビットに 1 ビットまたは 2 ビットの故障を注入することができます。その後で通常モードで Local RAM の読み出しを行い、パリティエラー検出結果を確認することでリード時のアドレスパリティチェック機能の自己診断が可能です。

30.2.5 Local RAM（PCU）の ECC

30.2.5.1 概要

PCU の Local RAM 用 ECC の仕様概要を以下に示します。

表 30.40 PCU の Local RAM 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 • ECC エラー検出・訂正を行う（2 ビットエラー検出と 1 ビットエラー検出・訂正を行う） • ECC エラー検出を行う（2 ビットエラー検出と 1 ビットエラー検出を行う） 無効時はエラー検出・訂正を行わない リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行う。
アドレスパリティ	なし
エラー通知	ECC エラー発生時に ECM にエラー通知を行う。 ECC エラー • ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 • ECC1 ビットエラー検出時のエラー通知許可／禁止を選択可 リセット後の状態は、2 ビットエラー通知許可、1 ビットエラー通知禁止。 エラー通知信号は、 ECC2 ビットエラーを 1 要因 ECC1 ビットエラーを 1 要因 として出力する。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC2 ビットエラー検出、ECC1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。
自己診断	RAM データと ECC ビットに任意のデータを書き込むことができます。 RAM データと ECC ビットをダイレクトに読み出すことができます。

30.2.5.2 レジスタ一覧

表 30.41 レジスタ一覧

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFC6 5800$_H$	LRECCCTL_PCU	Local RAM ECC コントロールレジスタ（PCU）	R/W	0000 0000$_H$	16/32
FFC6 5804$_H$	LRFSTERSTR_PCU	Local RAM 1st エラーステータスレジスタ（PCU）	R	0000 0000$_H$	32
FFC6 5824$_H$	LRSTCLR_PCU	Local RAM エラーステータスクリアレジスタ（PCU）	W	0000 0000$_H$	8/16/32
FFC6 5828$_H$	LROVFSTR_PCU	Local RAM オーバフローステータスレジスタ（PCU）	R	0000 0000$_H$	32
FFC6 582C$_H$	LROVFSTC_PCU	Local RAM オーバフローステータスクリアレジスタ（PCU）	W	0000 0000$_H$	8/16/32
FFC6 5830$_H$	LRFSTEADR0_PCU	Local RAM 1st エラーアドレスレジスタ 0（PCU）	R	0000 0000$_H$	32
FFC6 58B0$_H$	LRERRINT_PCU	Local RAM エラー情報コントロールレジスタ（PCU）	R/W	0000 0002$_H$	8/16/32
FFC6 58B4$_H$	LRTSTCTL_PCU	Local RAM テストコントロールレジスタ（PCU）	R/W	0000 0000$_H$	16/32
FFC6 58B8$_H$	LRTDATBF0_PCU	Local RAM テストデータリードバッファ（PCU）	R	0000 0000$_H$	32

30.2.5.3 レジスタ詳細

(1) LRECCCTL_PCU — Local RAM ECC コントロールレジスタ

LRECCCTL レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 30.42 LRECCCTL_PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(2) LRFSTERSTR_PCU — Local RAM 1st エラーステータスレジスタ

LRFSTERSTR は、最初に発生したエラーをモニタするためのレジスタです。

エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。ただし、ECC 1 ビットエラーのフラグのみがセットされている状態に限り、後続のアクセスで ECC 2 ビットエラーが発生した場合は、該当するエラーフラグが追加でセットされます。

LRFSTERSTR レジスタは内部リセット、外部リセット、または LRSTCLR レジスタの FSTERRCLR0 ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.43 LRFSTERSTR_PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDF0	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは LRSTCLR レジスタの FSTERRCLR0 ビットへ 1 をセット セット条件：DEDF0 のエラーフラグが 0 の状態で ECC2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは LRSTCLR レジスタの FSTERRCLR0 ビットへ 1 をセット セット条件：DEDF0/SEDF0 のすべてのエラーフラグが 0 の状態で ECC1 ビットエラー発生

(3) LRSTCLR_PCU — Local RAM エラーステータスクリアレジスタ

LRSTCLR レジスタは、Local RAM 1st エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。書き込み専用レジスタで、読み出し値は常に 0 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FSTERRCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 30.44 LRSTCLR_PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FSTERRCLR0	1st エラーステータスレジスタクリアビット 1 書き込みで 1st エラーステータスレジスタのエラーフラグをクリアします。

(4) LROVFSTR_PCU — Local RAM オーバフローステータスレジスタ

LROVFSTR レジスタは、Local RAM エラーオーバフロー発生を監視するためのレジスタです。ERROVF0 フラグは内部リセット、外部リセット、LROVFSTC レジスタの ERROVFCLR0 ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.45 LROVFSTR_PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(5) LROVFSTC_PCU — Local RAM オーバフローステータスクリアレジスタ

LROVFSTC レジスタは、Local RAM エラーオーバフローフラグをクリアするためのレジスタです。ERROVFCLR0 ビットへ 1 をセットすることでクリアされます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROV FCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 30.46 LROVFSTC_PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVFCLR0	エラーオーバフローフラグクリアビット 1 書き込みで ERROVF0 フラグをクリアします。 常に 0 が読み出されます。

(6) LRFSTEADR0_PCU — Local RAM 1st エラーアドレスレジスタ 0

ECC エラー発生アドレスを LRFSTEADR0 に保持します。本レジスタの LRFSTEADR0[21:2] は実アドレスの [21:2] が対応します。上位アドレス [31:22] をベースアドレスとして加算することにより実アドレスが計算できます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	LRFSTEADR0[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LRFSTEADR0[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.47 LRFSTEADR0_PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 22	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21 ～ 2	LRFSTEADR0 [21:2]	1st エラー発生アドレス 1st エラーの発生したアドレスをモニタするための読み出し専用レジスタです。さらに、下記条件でアドレスを更新します。 • 保持しているアドレスの要因が SEDF のとき 同一アドレスで 1 ビットエラー発生 → アドレス上書きしない、 異なるアドレスで 1 ビットエラー発生 → アドレス上書きしない、 2 ビットエラー発生 → アドレス上書きします。 • 保持しているアドレスの要因が DEDF のとき 1 ビットエラー発生 → アドレス上書きしない、 同一アドレスで 2 ビットエラー発生 → アドレス上書きしない。 異なるアドレスで 2 ビットエラー発生 → アドレス上書きしない。
1、0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(7) LRERRINT_PCU — Local RAM エラー情報コントロールレジスタ

LRERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時にエラー通知信号発生の有効／無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 30.48　LRERRINT_PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDIE	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(8) LRTSTCTL_PCU — Local RAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST = 1）設定後、ECC ビットへ任意のデータを書き込むことができます。RAM データ、ECC ビットの選択は DATSEL ビットで行います。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 30.49 LRTSTCTRL_PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ECCTST	ECC テストビット ECC テストモード（ECCTST = 1）に設定すると ECC ビットのデータをダイレクトにリードすることができます。
0	DATSEL	データ選択ビット ECCTST = 1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。 0：RAM データ選択 1：ECC ビット選択

注 1. Local RAM の ECC テストモードを有効（ECCTST = 1）にした場合、Local RAM へのアクセスサイズは 4 バイトとしてください。

(9) LRTDATBF0_PCU — Local RAM テストデータリードバッファ 0

ECC テスト（自己診断）時、ECC ビットを読み出すことができます。Local RAM テストコントロールレジスタ LRTSTCTL の ECCTST = 1 のときに、Local RAM を読み出すと ECC ビットが読み出され、本バッファに保持されます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	LRTDATBF						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.50　LRTDATBF0_PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6 ～ 0	LRTDATBF	Local RAM テストコントロールレジスタの ECCTST = 1（テストモード）時に有効です。 Local RAM 読み出し時に ECC ビットが LRTDATBF[6:0] に格納されます。

30.2.5.4　テスト機能

テスト機能や自己診断の方法については Local RAM（CPU）の節をご参照ください。ただし Local RAM（PCU）にアドレスパリティはありませんので、アドレスパリティに関する記載は無視してください。

30.2.6 Global RAM の ECC およびアドレスパリティ

30.2.6.1 概要

Global RAM 用 ECC の仕様概要を以下に示します。

表 30.51 Global RAM 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 • ECC エラー検出・訂正を行う（2 ビットエラー検出と 1 ビットエラー検出・訂正を行う） • ECC エラー検出を行う（2 ビットエラー検出と 1 ビットエラー検出を行う） 無効時はエラー検出・訂正を行わない リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出・通知を行う。
アドレスパリティ	アドレスパリティチェックの有効／無効を選択可能 ライト時には、ライトアドレスから生成したパリティビットがライトデータとともに書き込まれます。その際、パリティビットは RAM の 2 か所に書き込まれます。メモリリード時には、リードアドレスから生成したパリティビットと、メモリから読みだしたパリティビット 2 ビットが比較されます。この時のエラーデコード仕様は**「表 30.52 アドレスパリティ定義」**のようになります。 リセット後の状態は機能有効。
エラー通知	ECC エラー発生時、またはアドレスのパリティエラー発生時に ECM にエラー通知を行う。 ECC エラー • ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 • ECC1 ビットエラー検出時のエラー通知許可／禁止を選択可 リセット後の状態は、2 ビットエラー通知許可、1 ビットエラー通知禁止。 パリティエラー • アドレスパリティエラー検出時のエラー通知許可／禁止を選択可 • パリティビットエラー検出時のエラー通知許可／禁止を選択可 リセット後の状態は、アドレスパリティエラー通知許可、パリティビットエラー通知禁止。 エラー通知信号は、 ECC2 ビットエラーとアドレスパリティエラーを 1 要因 ECC1 ビットエラーとパリティビットエラーを 1 要因 として出力する。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出、アドレスパリティエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレス、またはパリティエラー発生アドレスをキャプチャします。 ECC2 ビットエラー検出、ECC1 ビットエラー検出、アドレスパリティエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。
自己診断	RAM データと ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。 RAM データと ECC ビット、アドレスパリティビットをダイレクトに読み出すことができます。

リードアクセス時のアドレスパリティエラーの定義は以下の通りとします。

表 30.52 アドレスパリティ定義

アドレスパリティビット		リードアドレスパリティ	エラー判定とエラー名称
0	0	0	エラーでない
0	0	1	アドレスパリティエラー
0	1	0	パリティビットエラー
0	1	1	パリティビットエラー
1	0	0	パリティビットエラー
1	0	1	パリティビットエラー
1	1	0	アドレスパリティエラー
1	1	1	エラーでない

ECC エンコーダおよびデコーダ、アドレスパリティ生成器は Global RAM につながる各アクセス経路（CPU1、インターコネクト）それぞれに対応して用意されています。アドレスパリティチェッカは Global RAM の Bank A と Bank B に対応して用意されています。また、RMW 処理に対応した ECC デコーダおよび ECC エンコーダも Bank A/B 毎に用意されています。**図 30.3** をご参照ください。

- RMW 処理

  ビット操作命令や、2 バイトライト、1 バイトライトは、① 32 ビットデータのリード、②所定データのリプレースによるライトデータの生成（モディファイ）、③ 32 ビットデータのライト、の 3 ステップで実行されます。本節では、これをリード・モディファイ・ライト（RMW）処理と称します。Global RAM における RMW 処理は、各 Word に対応したコントローラ内で行われます。

  RMW 処理では、①のリードに対応して ECC デコードが行われ、③のライトに対応して ECC エンコードが行われます。RMW 用 ECC の構成については**図 30.4** をご参照ください。②のライトデータに対応する更新データ用 ECC デコーダは、任意の値を設定可能なレジスタとの切替により、ECC デコーダに対する故障注入が可能です。故障注入の方法に関しては、**「30.2.6.4　テスト機能」**をご参照ください。

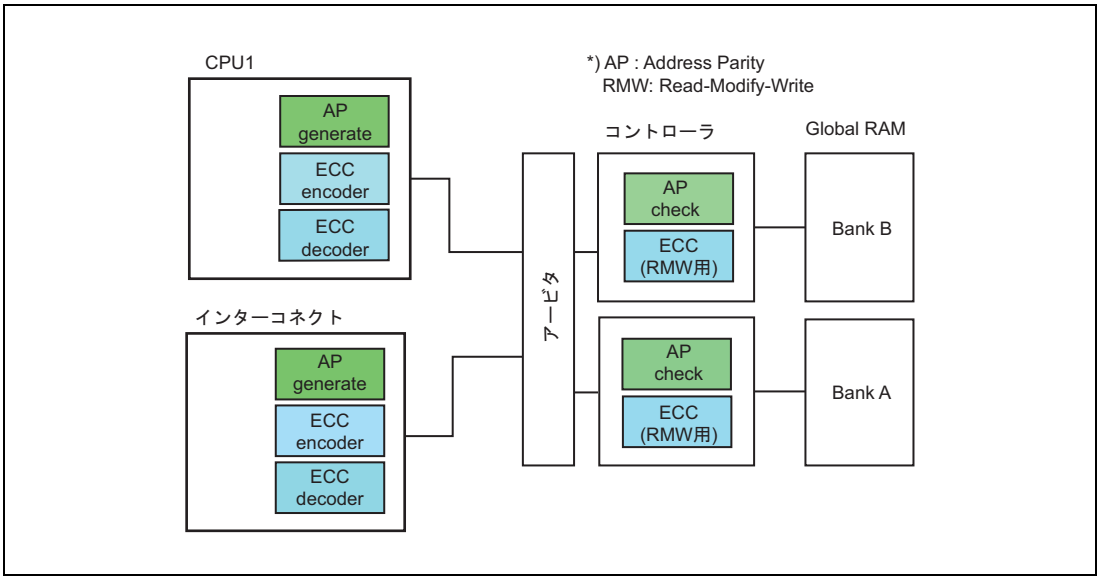


図 30.3 Global RAM の ECC とアドレスパリティ

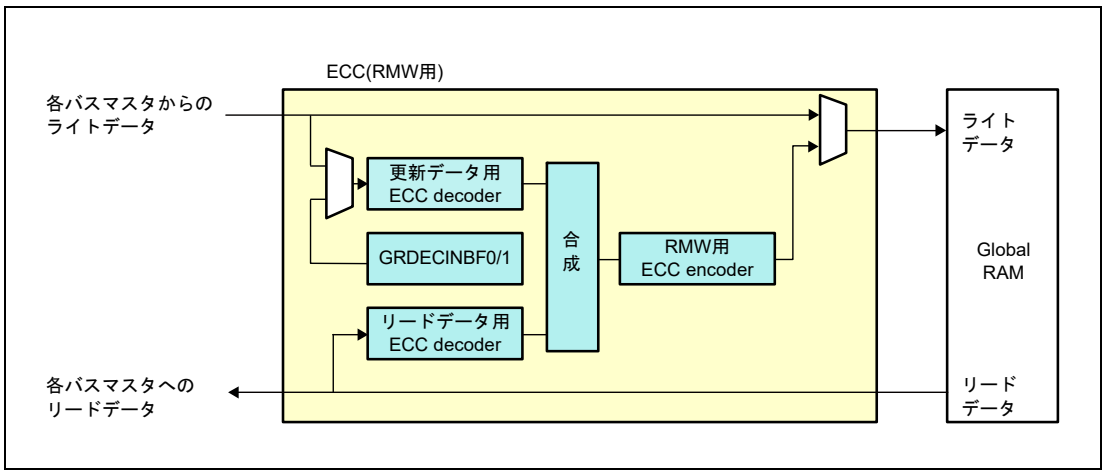


図 30.4 Global RAM の RMW 用 ECC の構成

Global RAM は、最大で 64 ビットのデータを同時にリード／ライト可能な構成となっており、各バスマスタ（CPU1、インターコネクト）、は 64 ビットのデータバスに対し、コントローラ側は BankA と Bank B 毎に 128 ビットのデータバス構成になります。一方で、ECC やアドレスパリティは 32 ビットのデータ毎に用意されています。つまり、**図 30.3** の ECC decoer と ECC encoder、ECC（RMW 用）、アドレスパリティチェッカは、バスマスタ側は上位 32 ビットデータ用と、下位 32 ビットデータ用に 2 つずつ用意されており、コントローラ側は、128 ビットを分割した Word0 ～ 3 用に 4 つずつ用意されています。Word0 ～ 3 は Bank A と Bank B の中でさらに細かく分かれた単位になります。

表 30.53　アドレスと対応する ECC 回路

アドレスの下位 4 ビット（16 進表記）	F_H ～ C_H	B_H ～ 8_H	7_H ～ 4_H	3_H ～ 0_H
対応する ECC 回路（バスマスタ側）	上位 32 ビット	下位 32 ビット	上位 32 ビット	下位 32 ビット
対応する ECC 回路（コントローラ側）	Word3	Word2	Word1	Word0

注　意

Global RAM はアドレス FEF 00000$_H$ を境界として Bank A と Bank B に分かれます。

尚、CPU1 のエラー情報は、命令とデータ毎に保持し、インターコネクトのエラー情報は、上位データ、下位データ毎に保持します。**図 30.5** をご参照ください。

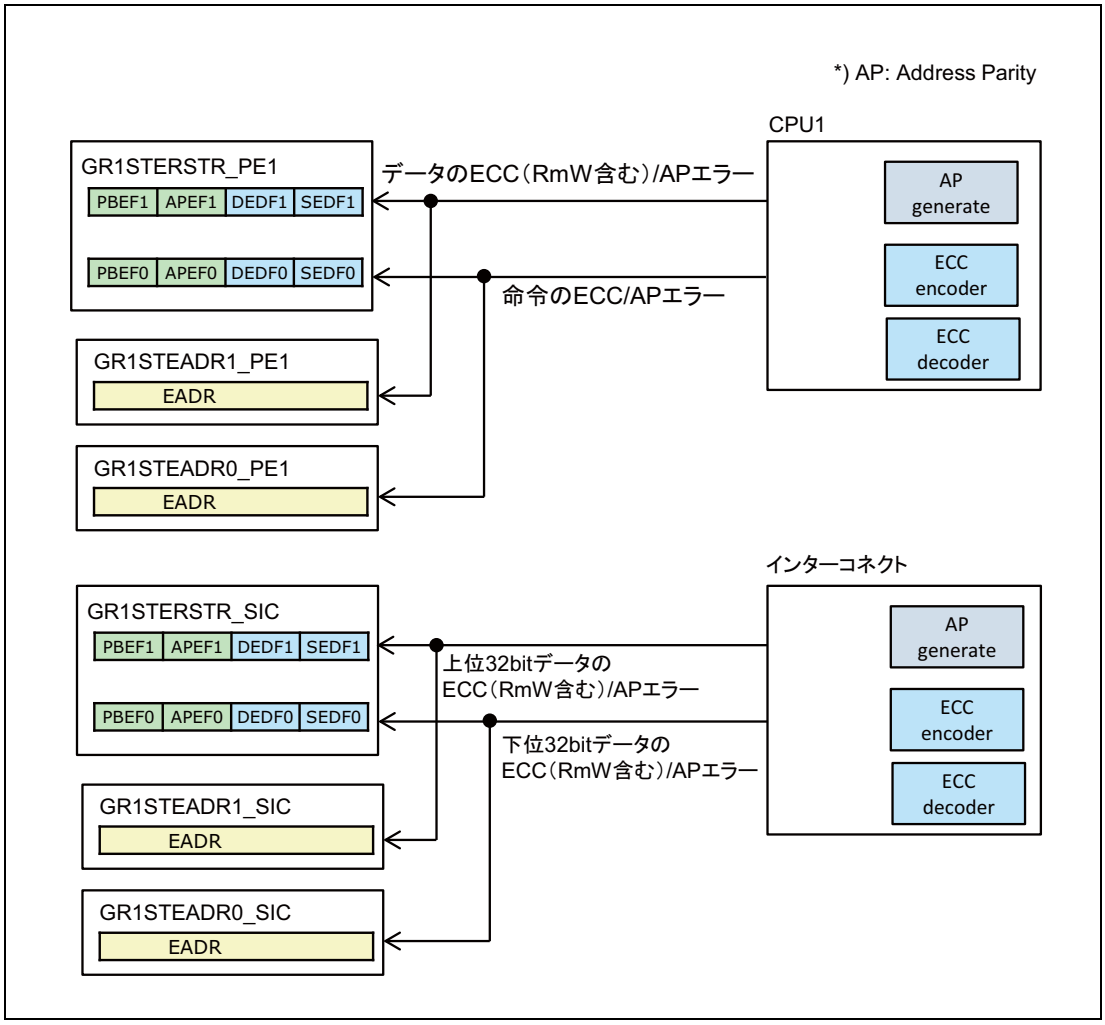


図 30.5 Global RAM のエラー情報保持構成

30.2.6.2 レジスター覧

表 30.54 レジスター覧

アドレス	シンボル注 1	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFC6 4000$_H$	GRECCCTL_GRAMC	Global RAM ECC コントロールレジスタ（GRAMC）	R/W	0000 0000$_H$	16/32
FFC6 4180$_H$	GRTSTCTL	Global RAM テストコントロールレジスタ	R/W	0000 0000$_H$	32
FFC6 4184$_H$	GRTDATBF	Global RAM テストデータリードバッファ	R	0000 0000$_H$	8/16/32
FFC6 4188$_H$	GRDECINBF0	Global RAM ECC デコーダ入力データバッファ 0	R/W	0000 0000$_H$	8/16/32
FFC6 418C$_H$	GRDECINBF1	Global RAM ECC デコーダ入力データバッファ 1	R/W	0000 0000$_H$	8/16/32
FFC6 4204$_H$	GRERRINT_SIC	Global RAM エラー情報コントロールレジスタ（SIC）	R/W	0000 0006$_H$	8/16/32
FFC6 4208$_H$	GRSTCLR_SIC	Global RAM ステータスクリアレジスタ（SIC）	W	0000 0000$_H$	8/16/32
FFC6 420C$_H$	GROVFSTR_SIC	Global RAM エラーカウントオーバフローステータスレジスタ（SIC）	R	0000 0000$_H$	8/16/32
FFC6 4210$_H$	GR1STERSTR_SIC	Global RAM 1st エラーステータスレジスタ（SIC）	R	0000 0000$_H$	8/16/32
FFC6 4250$_H$	GR1STEADR0_SIC	Global RAM 1st エラー（下位 32 ビットデータ）アドレスレジスタ（SIC）	R	0000 0000$_H$	8/16/32
FFC6 4254$_H$	GR1STEADR1_SIC	Global RAM 1st エラー（上位 32 ビットデータ）アドレスレジスタ（SIC）	R	0000 0000$_H$	8/16/32
FFC6 4404$_H$	GRERRINT_PE1	Global RAM エラー情報コントロールレジスタ（PE1）	R/W	0000 0006$_H$	8/16/32
FFC6 4408$_H$	GRSTCLR_PE1	Global RAM ステータスクリアレジスタ（PE1）	W	0000 0000$_H$	8/16/32
FFC6 440C$_H$	GROVFSTR_PE1	Global RAM エラーカウントオーバフローステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
FFC6 4410$_H$	GR1STERSTR_PE1	Global RAM 1st エラーステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
FFC6 4450$_H$	GR1STEADR0_PE1	Global RAM 1st エラー（命令）アドレスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
FFC6 4454$_H$	GR1STEADR1_PE1	Global RAM 1st エラー（データ）アドレスレジスタ（PE1）	R	0000 0000$_H$	8/16/32

注 1. レジスタシンボルにおいて、“_SIC”、“_PE1” は各アクセス経路の ECC コントローラ毎に用意されているレジスタとなります。“_SIC” はシステムインターコネクトから Global RAM へのアクセス用、“_PE1” は CPU1 から Global RAM へのアクセス用の制御レジスタです。“_GRAMC” は全アクセス経路に共通制御レジスタです。

30.2.6.3 レジスタ詳細

(1) GRECCCTL_GRAMC — Global RAM ECC コントロールレジスタ

Global RAM 共通の ECC およびアドレスパリティコントロールレジスタです。アドレスパリティチェックの有効／無効、ECC 処理の内容を指定します。本レジスタへの書き込みは、PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	APARIDIS	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 30.55 GRECCCTL_GRAMC レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 3	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	APARIDIS	アドレスパリティチェックディスエーブルビット アドレスのパリティチェックの許可／禁止を設定できます。初期状態はパリティチェックが許可されています。 0：アドレスのパリティチェック許可 1：アドレスのパリティチェック禁止
1	SECDIS	ECC1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。初期状態は ECC エラー検出・訂正機能が有効です。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効 **注 意** エラー検出・訂正機能が無効の場合でもエンコード機能は有効です。

(2) GRTSTCTL — Global RAM テストコントロールレジスタ

ECC テスト（自己診断）時、およびアドレスパリティチェッカのテスト（自己診断）時に使用するレジスタです。テスト機能設定（TESTEN = 1）後、ECC ビット、アドレスパリティビットへ任意のデータを書き込むことができます。RAM データ、ECC ビット、アドレスパリティビットの選択は DATSEL ビットで行います。また、Global RAM コントローラ内の ECC デコーダの入出力を制御し、テスト（自己診断）することが可能です。

アドレスパリティテストモード（MAPTEST = 1、BAPTEST = 1）設定により、アドレスパリティチェッカに入力するパリティが反転します。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROT[1:0]		—	—	—	—	MAPBIT[1:0]		MAPTEST[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAPTEST[7:0]								—	RAMSEL			DATSEL		DECIN EN	TESTE N
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.56 GRTSTCTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
31、30	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。 読み出すと常に 0 が読み出されます。
29 ～ 26	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25、24	MAPBIT[1:0]	メモリアドレスパリティビットの設定を行います。 メモリアドレスパリティは、リード時のアドレスパリティチェックに使用します。このビットの設定は TESTEN = 1、MAPTEST[7:0] = 00_H 以外の時のみ有効です。 MAPBIT = 1 の時、対象となるメモリアドレスパリティビットを反転します。 MAPBIT[1:0] と対応するメモリアドレスパリティビットとの関係は以下のようになります。 MAPBIT[0]：下位のアドレスパリティビット MAPBIT[1]：上位のアドレスパリティビット このビットの設定は全ての Word、Bank に適用されます。
23 ～ 16	MAPTEST[7:0]	メモリアドレスパリティチェッカをテストモードに設定します。 MAPTEST = 1 のとき、MAPBIT[1:0] の設定が有効になります。 このビットの設定は TESTEN=1 の時のみ有効です。 MAPTEST [0]：BankA Word0 MAPTEST [1]：BankA Word1 MAPTEST [2]：BankA Word2 MAPTEST [3]：BankA Word3 MAPTEST [4]：BankB Word0 MAPTEST [5]：BankB Word1 MAPTEST [6]：BankB Word2 MAPTEST [7]：BankB Word3

表 30.56 GRTSTCTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
15 ～ 8	BAPTEST[7:0]	バスアドレスパリティチェッカをテストモードに設定します。 バスアドレスパリティは、ライト時のアドレスパリティチェックに使用します。 BAPTEST = 1 のとき、バスアドレスパリティ生成部で生成したパリティを反転します。 このビットの設定は TESTEN = 1 の時のみ有効です。 BAPTEST [0]：BankA Word0 BAPTEST [1]：BankA Word1 BAPTEST [2]：BankA Word2 BAPTEST [3]：BankA Word3 BAPTEST [4]：BankB Word0 BAPTEST [5]：BankB Word1 BAPTEST [6]：BankB Word2 BAPTEST [7]：BankB Word3
7	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6 ～ 4	RAMSEL[2:0]	GRTDATBF レジスタへ読みこむ対象の Global RAM アドレスを選択します。 000_B ：BankA Word0 001_B ：BankA Word1 010_B ：BankA Word2 011_B ：BankA Word3 100_B ：BankB Word0 101_B ：BankB Word1 110_B ：BankB Word2 111_B ：BankB Word3 このビットの設定は TESTEN = 1 の時のみ有効です。
3、2	DATSEL[1:0]	RAM へのライトデータと GRTDATBF でのリードデータを選択します。 このビットの設定は TESTEN = 1 の時のみ有効です。 00_B ： – GRTDATBF：RAM リード時に RAM のデータが格納されます。 – Global RAM：RAM ライト時に RAM のデータ領域のみを更新します。ECC ビットとアドレスパリティビットは更新されません。 01_B ： – GRTDATBF：RAM リード時に ECC ビットとアドレスパリティビットが格納されます。 – Global RAM：RAM ライト時に ECC ビットとアドレスパリティビットのみを更新します。RAM のデータ領域は更新されません。 $1x_B$ ： リザーブ（設定禁止）
1	DECINEN	RMW 用 ECC デコーダエラー注入許可ビット TESTEN = 1 のときに有効です。ECC デコーダ入力バッファレジスタのデータを RMW 時の更新データ用の ECC デコーダへ入力することを許可します。 0：ECC デコーダ入力バッファのデータが入力されない 1：ECC デコーダ入力バッファのデータが入力される
0	TESTEN	ECC テストビット ECC テストモード（TESTEN= 1）に設定すると ECC ビット、アドレスパリティビットのデータをダイレクトにリードすることができます。

(3) GRTDATBF — Global RAM テストデータリードバッファ

本レジスタで RAM データと ECC ビット、およびアドレスパリティビットを読み出すことができます。GRTSTCTL レジスタの DATSEL1, 0 ビットで選択したデータが、RAM を読み出すと本バッファに格納されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRTDATBF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRTDATBF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.57　GRTDATBF レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	GRTDATBF	Global RAM から読みだしたデータを保持するためのバッファです。 対象となる Global RAM のアドレスは RAMSEL の設定で選択されます。 （DATSEL1, DATSEL0）=（0, 0）のとき RAM 読み出し時に RAM のデータが GRTDATBF[31:0] に格納されます。 （DATSEL1, DATSEL0）=（0, 1）のとき RAM 読み出し時に、ECC ビットが GRTDATBF[6:0] に、アドレスパリティビットが GRTDATBF[8:7] に格納されます。GRTDATBF[31:9] には 0 が格納されます。

(4) GRDECINBF0 — Global RAM ECC デコーダ入力データバッファ 0

RMW 時更新データ用の ECC デコーダへ入力する、32 ビットの RAM データを任意に設定するレジスタです。本レジスタを用いる事で、RMW 時の更新データ用 ECC デコーダの自己診断が可能となります。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRDECINBF0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRDECINBF0															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.58 GRDECINBF0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	GRDECINBF0	GRTSTCTL レジスタの TESTEN = 1（テストモード）時に有効です。DECINEN = 1 のとき、RMW 命令実行で本レジスタのデータが 32 ビットの RAM データとして、更新データ用の ECC デコーダへ入力します。 バンク A/B、上位下位データ、Word0 ～ 3 に対して共用レジスタです。

(5) GRDECINBF1 — Global RAM ECC デコーダ入力データバッファ 1

RMW時更新データ用のECCデコーダへ入力する､7ビットのECCエンコードデータを任意に設定するレジスタです。本レジスタを用いる事で、RMW 時の更新データ用 ECC デコーダの自己診断が可能となります。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	GRDECINBF1						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.59 GRDECINBF1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6 ～ 0	GRDECINBF1	GRTSTCTL レジスタの TESTEN = 1（テストモード）時に有効です。DECINEN = 1 のとき、RMW 命令実行で本レジスタのデータが 7 ビットの ECC データとして、更新データ用の ECC デコーダへ入力します。 バンク A/B、上位下位データ、Word0 ～ 3 に対して共用レジスタです。

(6) GRERRINT_SIC/PE1 — Global RAM エラー情報コントロールレジスタ

GRERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時、アドレスパリティエラー検出時に ECM へのエラー通知信号発生の有効／無効を設定するためのレジスタです。

本レジスタの設定は、対応するアクセス経路を経由するアクセスに反映されます。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PBEIE	APEIE	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 30.60 GRERRINT_SIC/PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PBEIE	パリティビットエラー通知許可ビット アドレスパリティチェック許可時に、パリティビットエラー検出時のエラー通知発生を制御するビットです。 0：パリティビットエラー通知禁止 1：パリティビットエラー通知許可
2	APEIE	アドレスパリティエラー通知許可ビット アドレスパリティチェック許可時に、アドレスパリティエラー検出時のエラー通知発生を制御するビットです。 0：アドレスパリティエラー通知禁止 1：アドレスパリティエラー通知許可
1	DEDIE	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(7) GRSTCLR_SIC/PE1 — Global RAM ステータスクリアレジスタ

GRSTCLR レジスタは、エラーステータスレジスタ（GR1STERSTR）のエラーフラグ、エラーカウントオーバフローステータスレジスタ（GROVFSTR）のオーバフローフラグ、およびエラーアドレスレジスタ（GR1STEADR）をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

本レジスタの設定は、対応するアクセス経路を経由するアクセスに反映されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR1	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 30.61 GRSTCLR_SIC/PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STCLR1	エラーオーバフローフラグクリアビット（PE1 = データ用、RMW 用、SIC = 上位 32 ビット用、RMW 用） 1 書き込みで「GR1STERSTR レジスタの PBEF1, APEF1, DEDF1, SEDF1 フラグ」、「GROVFSTR レジスタの ERROVF1 フラグ」および「GR1STEADR1 レジスタ」をクリアします。
0	STCLR0	エラーオーバフローフラグクリアビット（PE1 = 命令用、SIC = 下位 32 ビット用、RMW 用） 1 書き込みで「GR1STERSTR レジスタの PBEF0, APEF0, DEDF0, SEDF0 フラグ」、「GROVFSTR レジスタの ERROVF0 フラグ」および「GR1STEADR0 レジスタ」をクリアします。

(8) GROVFSTR_SIC/PE1 — Global RAM エラーカウントオーバフローステータスレジスタ

GROVFSTR レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセス経路を経由するアクセスに反映されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF1	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.62 GROVFSTR_SIC/PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ERROVF1	エラーオーバフローフラグ（PE1 = データ用、RMW 用、SIC = 上位 32 ビット用、RMW 用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF1, APEF1, DEDF1, SEDF1）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。
0	ERROVF0	エラーオーバフローフラグ（PE1 = 命令用、SIC = 下位 32 ビット用、RMW 用） エラーステータスレジスタのいずれかのエラーフラグ（PBEF0, APEF0, DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(9) GR1STERSTR_SIC/PE1 — Global RAM 1st エラーステータスレジスタ

GR1STERSTR レジスタは、最初に発生したエラーをモニタするためのレジスタです。

エラーの検出とステータスの更新は、上位 32 ビットと下位 32 ビットで独立しています。上位、下位のそれぞれにおいて、全てのエラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。ただし、ECC 1 ビットエラー、またはパリティビットエラーのフラグのみがセットされている状態に限り、後続のアクセスで ECC 2 ビットエラー、またはアドレスパリティエラーが発生した場合は、該当するエラーフラグが追加でセットされます。

なお、同一アクセスで同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。GR1STERSTR レジスタは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセス経路を経由するアクセスに反映されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PBEF1	APEF1	DEDF1	SEDF1	—	—	—	—	PBEF0	APEF0	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.63 GR1STERSTR_SIC/PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 12、 7 ～ 4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3+8n	PBEFn	パリティビットエラーモニタフラグ クリア条件：リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが 0 の状態でパリティビットエラー発生
2+8n	APEFn	アドレスパリティエラーモニタフラグ クリア条件：リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：APEFn/DEDFn のエラーフラグが 0 の状態でアドレスパリティエラー発生 **注 意** Read/Write の発生要因の区別なく同一フラグとしてセットします。
1+8n	DEDFn	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：APEFn/DEDFn のエラーフラグが 0 の状態で ECC2 ビットエラー発生
0+8n	SEDFn	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは GRSTCLR レジスタの STCLRn ビットへ 1 をセット セット条件：PBEFn/APEFn/DEDFn/SEDFn のすべてのエラーフラグが 0 の状態で ECC1 ビットエラー発生

備考 SIC：n ＝ 0：下位 32 ビット、RMW　n ＝ 1：上位 32 ビット、RMW
PE1：n ＝ 0：命令用　n ＝ 1：データ用、RMW

(10) GR1STEADRn_SIC/PE1 — Global RAM 1st エラーアドレスレジスタ n（n = 0、1）

GR1STEADRn レジスタは、エラー発生時のアドレスを保持するためのレジスタです。GR1STERSTR レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラー、またはアドレスパリティエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。

また、本レジスタの EADR[20:2] は実アドレスの [20:2] が対応します。上位アドレス [31:21] をベースアドレスとして加算することにより実アドレスが計算できます。GR1STEADR レジスタは内部リセット、外部リセット、または GRSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。下位 32 ビットデータアクセス時には GR1STEADR0 にアドレスは保持されます。上位 32 ビットデータアクセス時には GR1STEADR1 にアドレスは保持されます。

本レジスタの設定は、対応するアクセス経路を経由するアクセスに反映されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	EADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.64 GR1STEADRn_SIC/PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20 ～ 2	EADR[20:2]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 GR1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラー、アドレスパリティエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー、またはアドレスパリティエラー発生後はアドレス情報の更新はしません。
1、0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

備考 SIC：n ＝ 0：下位 32 ビット、RMW　n ＝ 1：上位 32 ビット、RMW
PE1：n ＝ 0：命令用　n ＝ 1：データ用、RMW

以下のレジスタに関しては、2bit 目は常に “0” となります。

GR1STEADR0_PE1

例えば、上記のレジスタに対して、FEF0 0000_H がエラーアドレスとして格納された場合、FEF0 0000_H、または、FEF0 0004_H のアドレスで故障が発生したことを意味します。

30.2.6.4 テスト機能

レジスタ設定により、RAM データ、ECC ビット、アドレスパリティビットに任意のデータを書き込むことができます。また、RAM データ、ECC ビット、アドレスパリティビット、RMW 用 ECC デコーダ出力データを読み出すことができます。RMW 用 ECC デコーダには、任意のデータを入力することができます。

(1) RAM データの書き込み

(a) GRTSTCTL レジスタの TESTEN ビットを 1 にして、テストモードに設定します。

(b) GRTSTCTL レジスタの（DATSEL1, DATSEL0）＝（0, 0）に設定して書き込み対象に RAM データを選択します。

(c) Global RAM へデータ書き込みを実行すると、ECC ビットは更新せず、RAM データのみ書き換えることができます。

本テストモードからの抜け方：

(a) GRTSTCTL レジスタの TESTEN ビットを 0 にして、テストモードを無効（通常モード）にします。

(2) RAM データの読み出し

(a) GRECCCTL_GRAMC レジスタの ECCDIS ビットを 1 にし、ECC エラー検出・訂正を無効にします。

(b) Global RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読みだされます。

本テストモードからの抜け方：

(a) GRECCCTL_GRAMC レジスタの ECCDIS ビットを 0 にして、ECC エラー検出・訂正を有効に設定します。

(3) ECC ビットとアドレスパリティビットの書き込み

(a) GRTSTCTL レジスタの TESTEN ビットを 1 にして、テストモードに設定します。

(b) GRTSTCTL レジスタの（DATSEL1, DATSEL0）＝（0, 1）に設定して書き込み対象に ECC ビットとアドレスパリティビットを選択します。

(c) Global RAM へデータ書き込みを実行すると、RAM データは更新せず、ECC ビットとアドレスパリティビットのみ書き換えることができます。この時、32 ビットのライトデータの bit[6:0] が ECC ビットに書き込まれ、bit[8:7] がアドレスパリティビットに書き込まれます。

本テストモードからの抜け方：

(a) GRTSTCTL レジスタの TESTEN ビットを 0 にして、テストモードを無効（通常モード）にします。

(4) ECC ビットとアドレスパリティビットの読み出し

(a) GRTSTCTL レジスタの TESTEN ビットを 1 にして、テストモードに設定します。

(b) GRTSTCTL レジスタの（DATSEL1, DATSEL0）＝（0, 1）に設定して読み出し対象に ECC ビットとアドレスパリティビットを選択します。
データを読み出す Global RAM のアドレスに応じて、GRTSTCTL レジスタの RAMSEL ビットの設定をします。

(c) Global RAM の読み出しを実行すると、ECC ビットとアドレスパリティビットが、GRTDATBF レジスタに格納されます。

本テストモードからの抜け方：

(a) GRTSTCTL レジスタの TESTEN ビットを 0 にして、テストモードを無効（通常モード）にします。

(5) 各アクセスポートの ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。これによって、例えば RAM データや ECC ビットの適当なビットを反転させることて故障を注入することができます。その後で通常モードで Global RAM を読み出し、エラー訂正やエラー検出結果を確認することで ECC デコーダの自己診断が可能です。

(6) アドレスパリティチェック機能の自己診断

以下に示す 2 とおりの方法によって、ライト側とリード側のアドレスパリティチェック機能の自己診断が可能です。

(a) ライトアクセス時は、GRTSTCTL レジスタの BAPTEST[7:0] を 1 に設定すると、対応するバンク（Bank A/B）の対応するデータ領域（Word0 ～ 3）のアドレスパリティ生成結果が反転します。つまり、アドレスパリティ生成器に故障を注入することができます。この状態で Global RAM の対応するバンクの対応するデータ領域に書き込みを行い、パリティエラー検出結果を確認することでライト時のアドレスパリティチェック機能の自己診断が可能です。

(b) リードアクセス時は、GRTSTCTL レジスタの MAPTEST[7:0] を 1 に設定すると、対応するバンク（Bank A/B）の対応するデータ領域（Word0 ～ 3）のアドレスパリティ生成結果が反転します。つまり、アドレスパリティ生成器に故障を注入することができます。この状態で Global RAM の対応するバンクの対応するデータ領域の読み出しを行うと、MAPBIT[1:0] の設定に応じたアドレスパリティエラーが通知されます。このパリティエラー検出結果を確認することでリード時のアドレスパリティチェック機能の自己診断が可能です。または、上記 (3)(4) に記載する手順で、アドレスパリティビットに、任意のデータを書き込んで行う自己診断方法も可能です。これによって、アドレスパリティビットを反転させることでアドレスパリティビットに 1 ビットまたは 2 ビットの故障を注入することができます。その後で通常モードで Global RAM の読み出しを行い、パリティエラー検出結果を確認することでリード時のアドレスパリティチェック機能の自己診断が可能です。

(7) RMW 時リードデータ用 ECC チェック機能の自己診断

上記 (1) や (3) に記載する手順で RAM データや ECC ビットに任意のデータを書き込むことが可能です。これによって、例えば RAM データや ECC ビットの適当なビットを反転させることて故障を注入することができます。その後で RMW 処理を実行し、エラー訂正やエラー検出結果を確認することで、RMW 時リードデータ用 ECC デコーダの自己診断が可能です。

(8) RMW 時更新データ用 ECC デコーダの自己診断

GRTSTCTL レジスタの DECINEN = 1 に設定することで、RMW 時更新データ ECC デコーダの入力は、各アクセス経路から送られるライトデータから、Global RAM ECC デコーダ入力データバッファ 0, 1（GRDECINBF0, 1）に切り替わります。このため、RMW 更新 ECC デコーダ入力バッファレジスタ 0, 1 に適当な値を設定することで、適当な故障を注入することができます。その後で RMW 処理を実行し、エラー訂正やエラー検出結果を確認することで、RMW 時リードデータ用 ECC デコーダの自己診断が可能です。

30.2.7 命令キャッシュの ECC および EDC

30.2.7.1 概要

命令キャッシュ用 ECC の仕様概要を以下に示します。

表 30.65 命令キャッシュ用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 • ECC エラー検出・訂正を行う（2 ビットエラー検出と 1 ビットエラー検出・訂正を行う） • ECC エラー検出を行う（2 ビットエラー検出と 1 ビットエラー検出を行う） 無効時はエラー検出・訂正を行わない リセット後の状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出を行う。
アドレスパリティ	なし
エラー通知	ECC エラー発生時に ECM にエラー通知を行う。 ECC エラー • ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 • ECC1 ビットエラー検出時のエラー通知許可／禁止を選択可 リセット後の状態は、2 ビットエラー通知禁止、1 ビットエラー通知禁止。 エラー通知信号は、 ECC2 ビットエラーを 1 要因 ECC1 ビットエラーを 1 要因 として出力する。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どのエラーステータスもセットされていない状態で発生した ECC エラー発生アドレスをキャプチャします。 ECC2 ビットエラー検出、ECC1 ビットエラー検出によってアドレスがキャプチャされます。 エラーステータスがキャプチャアドレスの有効ビットを兼ねています。
自己診断	キャッシュ命令を用いることで、RAM データと ECC ビットに任意のデータを書き込むことができます。 同じく RAM データと ECC ビットをダイレクトに読み出すことができます。 上記命令は、通常のキャッシュフィルや命令フェッチと同じエンコード／デコード経路を通るので、上記命令のみでエラーの注入と確認の両方が可能。

30.2.7.2 レジスター覧

表 30.66 レジスター覧

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFC6 0400_H	IDECCCTL_PE1	命令キャッシュデータ RAM ECC コントロールレジスタ（PE1）	R/W	0000 0000_H	16/32
FFC6 0404_H	IDERRINT_PE1	命令キャッシュデータ RAM エラー情報コントロールレジスタ（PE1）	R/W	0000 0000_H	8/16/32
FFC6 0408_H	IDSTCLR_PE1	命令キャッシュデータ RAM エラーステータスクリアレジスタ（PE1）	W	0000 0000_H	8/16/32
FFC6 $040C_H$	IDOVFSTR_PE1	命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ（PE1）	R	0000 0000_H	8/16/32
FFC6 0410_H	ID1STERSTR_PE1	命令キャッシュデータ RAM 1st エラーステータスレジスタ（PE1）	R	0000 0000_H	8/16/32
FFC6 0450_H	ID1STEADR0_PE1	命令キャッシュデータ RAM 1st エラーアドレスレジスタ（PE1）	R	0000 0000_H	8/16/32
FFC6 1400_H	ITECCCTL_PE1	命令キャッシュタグ RAM ECC コントロールレジスタ（PE1）	R/W	0000 0000_H	16/32
FFC6 1404_H	ITERRINT_PE1	命令キャッシュタグ RAM エラー情報コントロールレジスタ（PE1）	R/W	0000 0000_H	8/16/32
FFC6 1408_H	ITSTCLR_PE1	命令キャッシュタグ RAM エラーステータスクリアレジスタ（PE1）	W	0000 0000_H	8/16/32
FFC6 $140C_H$	ITOVFSTR_PE1	命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ（PE1）	R	0000 0000_H	8/16/32
FFC6 1410_H	IT1STERSTR_PE1	命令キャッシュタグ RAM 1st エラーステータスレジスタ（PE1）	R	0000 0000_H	8/16/32
FFC6 1450_H	IT1STEADR0_PE1	命令キャッシュタグ RAM 1st エラーアドレスレジスタ（PE1）	R	0000 0000_H	8/16/32

30.2.7.3 レジスタ詳細

(1) IDECCCTL_PE1 — 命令キャッシュデータ RAM ECC コントロールレジスタ

IDECCCTL レジスタは、キャッシュデータ RAM の ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 30.67 IDECCCTL_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出機能の有効／無効を設定できます。 0：ECC エラー検出機能が有効 1：ECC エラー検出機能が無効

(2) IDERRINT_PE1 — 命令キャッシュデータ RAM エラー情報コントロールレジスタ

IDERRINT レジスタは、キャッシュデータ RAM の ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に ECM へのエラー通知信号発生の有効／無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 30.68 IDERRINT_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDIE	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(3) IDSTCLR_PE1 — 命令キャッシュデータ RAM エラーステータスクリアレジスタ

IDSTCLR レジスタは、エラーステータスレジスタ（ID1STERSTR）のエラーフラグ、エラーオーバフローステータスレジスタ（IDOVFSTR）のオーバフローフラグ、およびエラーアドレスレジスタ（ID1STEADR）をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 30.69 IDSTCLR_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	STCLR0	エラーオーバフローフラグクリアビット 1 書き込みで「ID1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「IDOVFSTR レジスタの ERROVF0 フラグ」および「ID1STEADR0 レジスタ」をクリアします。

(4) IDOVFSTR_PE1 — 命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ

IDOVFSTR レジスタは、キャッシュデータ RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.70 IDOVFSTR_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(5) ID1STERSTR_PE1 — 命令キャッシュデータ RAM 1st エラーステータスレジスタ

ID1STERSTR レジスタは、キャッシュデータ RAM の最初に発生したエラーをモニタするためのレジスタです。すべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC1 ビットのフラグがセットされている状態で、ECC2 ビットエラーが発生した場合は、該当するエラーフラグがセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.71 ID1STERSTR_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDF0	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは IDSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件：DEDF0 のエラーフラグが 0 の状態で ECC2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは IDSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件：DEDF0/SEDF0 のすべてのエラーフラグが 0 の状態で ECC1 ビットエラー発生

(6) ID1STEADR0_PE1 — 命令キャッシュデータ RAM 1st エラーアドレスレジスタ

ID1STEADR レジスタは、キャッシュデータ RAM のエラー発生時のアドレスを保持するためのレジスタです。ID1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビット エラーが発生するとアドレス情報を更新します。ECC2 ビットエラー発生後はアドレス情報の更新はしません。キャッシュされたデータのデータ RAM、タグ RAM 格納先アドレスは Code Flash アドレスから一意に決まりますが、本レジスタにはキャッシュ元の Code Flash アドレスが保持されます。Code Flash アドレスと命令キャッシュのデータ RAM、タグ RAM の関係については**「3.2.2 命令キャッシュ、データバッファ」**をご参照ください。ID1STEADR レジスタは内部リセット、外部リセット、または IDSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	EADR0[24:16]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR0[15:3]													—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.72 ID1STEADR0_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 25	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24 ～ 3	EADR0[24:3]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 ID1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー発生後はアドレス情報の更新はしません。
2 ～ 0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(7) ITECCCTL_PE1 — 命令キャッシュタグ RAM ECC コントロールレジスタ

ITECCCTL レジスタは、キャッシュ TAG RAM の ECC エラー検出の有効／無効を設定するレジスタです。本レジスタへの書き込みは PROT[1:0] を 01_B にして実行してください。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT[1:0]		—	—	—	—	—	—	—	—	—	—	—	—	—	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 30.73 ITECCCTL_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	PROT[1:0]	本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出機能の有効／無効を設定できます。 0：ECC エラー検出機能が有効 1：ECC エラー検出機能が無効

(8) ITERRINT_PE1 — 命令キャッシュタグ RAM エラー情報コントロールレジスタ

ITERRINT レジスタは、キャッシュ TAG RAM の ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に ECM へのエラー通知信号発生の有効／無効を設定するためのレジスタです。

本レジスタは内部リセットまたは、外部リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 30.74 ITERRINT_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDIE	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(9) ITSTCLR_PE1 — 命令キャッシュタグ RAM エラーステータスクリアレジスタ

ITSTCLR レジスタは、エラーステータスレジスタ（IT1STERSTR）のエラーフラグ、エラーオーバフローステータスレジスタ（ITOVFSTR）のオーバフローフラグ、およびエラーアドレスレジスタ（IT1STEADR）をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 30.75 ITSTCLR_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	STCLR0	エラーオーバフローフラグクリアビット 1 書き込みで「IT1STERSTR レジスタの DEDF0, SEDF0 フラグ」、「ITOVFSTR レジスタの ERROVF0 フラグ」および「IT1STEADR0 レジスタ」をクリアします。

(10) ITOVFSTR_PE1 — 命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ

ITOVFSTR レジスタは、キャッシュ TAG RAM のエラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF フラグは内部リセット、外部リセット、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.76 ITOVFSTR_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。

(11) IT1STERSTR_PE1 — 命令キャッシュタグ RAM 1st エラーステータスレジスタ

IT1STERSTR レジスタはキャッシュ TAG RAM の最初に発生したエラーをモニタするためのレジスタです。

すべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC 1 ビットのフラグがセットされている状態で、ECC 2 ビットエラーが発生した場合は、該当するエラーフラグがセットされます。

IT1STERSTR レジスタは内部リセット、外部リセット、または、ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.77 IT1STERSTR_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	DEDF0	ECC2 ビットエラーモニタフラグ クリア条件：リセットまたは ITSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件：DEDF0 のエラーフラグが 0 の状態で ECC2 ビットエラー発生
0	SEDF0	ECC1 ビットエラーモニタフラグ クリア条件：リセットまたは ITSTCLR レジスタの STCLR0 ビットへ 1 をセット セット条件：DEDF0/SEDF0 の全てのエラーフラグが 0 の状態で ECC1 ビットエラー発生

(12) IT1STEADR0_PE1 — 命令キャッシュタグ RAM 1st エラーアドレスレジスタ

IT1STEADR レジスタは、キャッシュ TAG RAM のエラー発生時のアドレスを保持するためのレジスタです。IT1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー発生後はアドレス情報の更新はしません。キャッシュされたデータのデータ RAM、タグ RAM 格納先アドレスは Code Flash アドレスから一意に決まりますが、本レジスタにはキャッシュ元の Code Flash アドレスが保持されます。Code Flash アドレスと命令キャッシュのデータ RAM、タグ RAM の関係については**「3.2.2 命令キャッシュ、データバッファ」**をご参照ください。IT1STEADR レジスタは内部リセット、外部リセット、または ITSTCLR レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	EADR[24:16]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:5]											—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.78 IT1STEADR0_PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 25	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24 ～ 5	EADR[24:5]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 IT1STERSTR レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー発生後はアドレス情報の更新はしません。
4 ～ 0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.2.7.4　テスト機能

キャッシュ命令を用いることで、RAM データと ECC ビットに任意のデータを書き込んだり、RAM データと ECC ビットをダイレクトに読み出したりすることができます。

上記命令は、通常のキャッシュフィルや命令フェッチと同じエンコード／デコード経路を通るので、上記命令のみでエラーの注入と確認の両方が可能です。

詳細は「*RH850G3MH　ユーザーズマニュアル　ソフトウェア編*」をご参照ください。

30.2.8 DTS 用 RAM の ECC

「第 7 章　DMA」をご参照ください。

30.2.9　周辺 RAM（32 ビット）の ECC

30.2.9.1　概要

以下の周辺モジュールの RAM 用の ECC モジュールです。

RS-CAN-FD、FlexRay、APA、DFE

誤り検出・訂正

32 ビットの RAM データに対して、7 ビットの ECC データを付加します。

本 ECC モジュールは ECC2 ビットエラー検出と ECC1 ビットエラー検出・訂正機能を持っています。

注　意

3 ビット以上のビットエラーは、本モジュールでは正しく検出できません。

3 ビット以上のビットエラーがある場合、本モジュールの動作としては、1 ビットエラーまたは 2 ビットエラーとして検出する場合とエラー検出をしない場合があります。

また、設定によっては反転していないビットを訂正することがあります。

ECC のエラー検出・訂正の有効／無効

- ECC エラー検出の有効／無効を選択可能です。
- ECC1 ビットエラー訂正の有効／無効を選択可能です。
- なお、本モジュールは、RAM データ出力が ALL 0、ALL 1 へ固着した際には ECC2 ビットエラーとして検出されます。

エラー通知

- ECC2 ビットエラー検出時に ECM にエラーを通知します。（有効／無効選択可）
- ECC1 ビットエラー検出時に ECM にエラーを通知します。（有効／無効選択可）

ECM にエラーを通知した後、対象のエラーステータスをクリアするまでは、新たに ECC エラーを検出しても ECM にエラーを通知しません。

エラーステータス

- ECC エラー 2 ビット検出と 1 ビット ECC1 エラー検出をモニタ可能です。
- エラーステータスのクリアレジスタを搭載しています。

アドレスキャプチャ

- ECC エラー発生アドレスを 1 アドレスだけキャプチャ可能です。
- ECC2 ビットエラーまたは ECC1 ビットエラーを検出時、要因となるアドレスをキャプチャします。フラグクリア後、最初のエラー検出時のみキャプチャします。

テスト機能（エラー注入）

- モード設定により、レジスタの値を RAM への出力データとして使用可能です。周辺モジュールからの RAM 書き込み時に ECEDB[31:0] レジスタの値を RAM データ部へ、ECERDB[6:0] レジスタの値を ECC 冗長ビット部へ書き込み可能です。

- モード設定により、RAM データリード時の ECC 冗長ビット部をラッチし、値を確認できます。
- モード設定により、入力データから生成される ECC 冗長ビット（エンコード回路）およびシンドロームコード （デコード回路）を確認できます。

30.2.9.2 レジスター覧

(1) ECC モジュール一覧

複数の周辺機能の RAM に対して、本 ECC モジュールが実装されています。以下に、本 ECC モジュールを実装している周辺機能と、それに対応する ECC モジュール名、各 ECC モジュールのベースアドレスを示します。

表 30.79 ECC モジュール一覧

対応する周辺機能		ECC モジュール名とレジスタベースアドレス			
		マスタ側注 1		チェッカ側注 1	
		モジュール名	ベースアドレス <base_addr>	モジュール名	ベースアドレス <base_addr>
RS-CAN-FD	メッセージバッファ RAM（MB RAM）	E7RC1M	FFC7 1400$_H$	E7RC1C	FFC7 1600$_H$
	アクセプタンスフィルターリスト RAM（AFL RAM）	E7RC2M	FFC7 1800$_H$	E7RC2C	FFC7 1A00$_H$
FlexRay	メッセージ RAM（MRAM）	E7FR0M	FFC7 2000$_H$	E7FR0C	FFC7 2200$_H$
	テンポラリバッファ（TBF A）	E7FR1M	FFC7 2400$_H$	E7FR1C	FFC7 2600$_H$
	テンポラリバッファ（TBF B）	E7FR2M	FFC7 2800$_H$	E7FR2C	FFC7 2A00$_H$
APA	エレメント RAM0（ELRAM0）	E7AP0M	FFC7 6000$_H$	E7AP0C	FFC7 6200$_H$
	エレメント RAM1（ELRAM1）	E7AP1M	FFC7 6400$_H$	E7AP1C	FFC7 6600$_H$
	エレメント RAM2（ELRAM2）	E7AP2M	FFC7 6800$_H$	E7AP2C	FFC7 6A00$_H$
DFE	係数メモリ（CMEM）	E7DF1M	FFC7 D000$_H$	E7DF1C	FFC7 D200$_H$

注 1. BIST 対応としてマスタ側とチェッカ側の 2 モジュールが存在します。詳細は「**30.7 BIST**」を参照してください。

(2) レジスター覧

各 ECC モジュールは以下のレジスタを備えます。

表 30.80 レジスター覧

レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
ECC コントロールレジスタ注 1	E710CTL	R/W	$001X_H$	<base_addr> + 00_H	8/16
ECC テストモードコントロールレジスタ	E710TMC	R/W	0000_H	<base_addr> + 04_H	8/16
ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	R/W	$0000\ 0000_H$	<base_addr> + 08_H	32
ECC エンコード・デコードデータテストレジスタ	E710TED	R/W	$0000\ 0000_H$	<base_addr> + $0C_H$	32
ECC エラーアドレスレジスタ	E710EAD	R/W	$0000\ 0000_H$	<base_addr> + 10_H	32

注 1. ECC コントロールレジスタの下位 1 ビットのリセット値は不定です。

(3) レジスタマップ

表 30.81 レジスタマップ

略 称	31 24	23 16	15 8	7 0	オフセットアドレス
E710CTL	—（00_H）	—（00_H）	ECCTL[15:8]	ECCTL[7:0]	00_H
E710TMC	—（00_H）	—（00_H）	ECTMC[15:8]	ECTMC[7:0]	04_H
E710TRC	ECSYND[7:0]	ECHORD[7:0]	ECECRD[7:0]	ECERDB[7:0]	08_H
E710TED	ECEDB[31:24]	ECEDB[23:16]	ECEDB[15:8]	ECEDB[7:0]	$0C_H$
E710EAD	ECEAD[31:24]	ECEAD[23:16]	ECEAD[15:8]	ECEAD[7:0]	10_H

30.2.9.3 レジスタ詳細

(1) E710CTL — ECC コントロールレジスタ

ECC モジュールのステータスコントロールおよびモード制御するレジスタです。

16 ビット、8 ビット操作命令でリード／ライト可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA[1:0]		—	—	ECOVFF	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	不定
R/W	R/W 注1	R/W 注1	R	R	R	R/W 注1	R/W 注1	R	R/W	R	R/W	R/W	R/W	R	R	R

注 1. リード時は常に “0” が読み出されます。

表 30.82 E710CTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15、14	EMCA[1:0]	ECC モード選択ビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガリザーブビットであり、読み出し値は常に “0” です。
13、12	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ECOVFF	エラーオーバーフロー検出フラグ エラーステータスレジスタのいずれかのエラーフラグ（ECER2F、ECER1F）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 本フラグは、内部リセット、外部リセット、ECC 検出・訂正機能無効時（ECTHM = 1）、または ECER2C と ECRE1C へ 1 を書き込むことでクリアされます。
10	ECER2C	ECC 2 ビットエラー検出フラグクリアビット 本ビットはビット 2【ECER2F】のステータスフラグをクリアするためのビットです。 読み出し値は常に “0” であり、“0” 書き込みを行っても内部状態は変化しません。“1” 書き込みとビット 2 のセット要因が競合した際には本ビットの書き込みが優先されます。 【ECER2F】ビットがセットされている際に、本ビットに “1” 書き込みを行うことで ECER2F ビットがクリアされます。
9	ECER1C	ECC 1 ビットエラー検出訂正累積フラグクリアビット 本ビットはビット 1【ECER1F】のステータスフラグをクリアするためのビットです。 読み出し値は常に “0” であり、“0” 書き込みを行っても内部状態は変化しません。“1” 書き込みとビット 1 のセット要因が競合した際には本ビットの書き込みが優先されます。【ECER1F】ビットがセットされている際に、本ビットに “1” 書き込みを行うことで ECER1F ビットがクリアされます。
8	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	ECTHM	ECC 機能ディスエーブルビット 本ビットを設定することにより ECC デコード動作の取り扱いを選択します。 ただし、本ビットへのライトアクセスは上位 15、14 ビットを 01_B にしてアクセスする必要があります。したがって本ビットへのアクセスは 16 ビット操作命令のみ有効です。本ビットに “1” をセットすることでエラー判定ならびにビット訂正を行いません。周辺モジュールへの出力データはエラーがあってもビット訂正を行わないデータが出力されます。エンコーダ側には影響を与えません。 0：ECC 検出・訂正機能が有効 1：ECC 検出・訂正機能が無効
6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	EC1ECP	1 ビットエラー訂正許可ビット 0：1 ビットエラー検出時にエラー訂正を行います 1：1 ビットエラー検出時にエラー訂正を行いません

表 30.82 E710CTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
4	EC2EDIC	2 ビットエラー検出通知許可制御ビット 0：2 ビットエラー検出時に ECM へ通知しません 1：2 ビットエラー検出時に ECM へ通知します
3	EC1EDIC	1 ビットエラー検出通知許可制御ビット 0：1 ビットエラー検出時に ECM へ通知しません 1：1 ビットエラー検出時に ECM へ通知します
2	ECER2F	2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態において RAM へのリードアクセス時に RAM のリードデータビット 0 からビット 38 に対して 2 カ所のビットエラーが検出されたことを示すフラグです。 本ビットはリード専用です。 0：本ビットクリア後、2 ビットエラーは発生していません。 1：2 ビットエラーが発生したことがありました クリア条件 （1）リセット時。 （2）ECER2C = 1 ライト。 （3）ECC 検出・訂正機能無効時（ECTHM = 1）
1	ECER1F	ECC1 ビットエラー検出・訂正フラグビット 本ビットはエラー判定許可状態において RAM へのリードアクセス時に RAM リードデータビット 0 からビット 38 に対して 1 箇所のビットエラーが検出されたことを示すフラグです。 本ビットはリード専用です。 0：1 ビットエラーは発生していません 1：1 ビットエラーが発生したことがありました クリア条件 （1）リセット時。 （2）ECER1C = 1 ライト。 （3）ECC 検出・訂正機能無効時（ECTHM = 1）
0	ECEMF	ECC エラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。 本ビットは RAM 出力データ毎に更新されます。 RAM のリセット後の値が不定であるため、エラーと判定され、本ビットがセットされる可能性があります。よって本ビットのリセット後の値は不定とします。 0：現在の RAM 出力データには、ビットエラーが存在していません 1：現在の RAM 出力データでは、ビットエラーが存在します クリア条件 （1）ECC 検出・訂正機能無効時（ECTHM = 1） （2）デコード回路入力データに 1 ビットエラーがないとき。 エラー判定許可な状態で RAM の出力データにビットエラーのある RAM データが出力されている間セットされます。

(2) E710TMC — ECC テストモードコントロールレジスタ

テストモードへの切り替えおよびテストモード制御のための 16 ビットレジスタです。

16 ビット、8 ビット操作命令でリード／ライト可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA[1:0]		—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W 注1	R/W 注1	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注 1. リード時は常に “0” が読み出されます。

表 30.83 E710TMC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15、14	ETMA[1:0]	ECC テストモードビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガリザーブビットであり、読み出し値は常に “0” です。
13 ～ 8	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよびテスト制御ビットへのアクセス許可するかを選択するビットです。ただし、本ビットのアクセスは上位 15、14 ビットを 10_B にしてアクセスする必要があります。 0：テストレジスタおよびテスト制御ビットに対するアクセスを禁止します 1：テストレジスタおよびテスト制御ビットに対するアクセスを許可します
6、5	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは RAM リードステータスを E710TED レジスタのリードにより発生させる事を許可したり、E710TRC：ECERDB[7:0] ビットと E710TED レジスタのリード値を RAM 出力データの値に切り替えするためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。（同時設定可能） また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア） 0：E710TED をリードしても、テスト用 RAM リードステータスは発生しません 1：E710TED レジスタをリードした際に、テスト用 RAM リードステータスを生成します E710TRC：ECERDB[7:0] および E710TED レジスタの読み出し値は、RAM 出力データ端子の値が読み出されます。
3	ECREOS	ECC 冗長ビット出力データ選択ビット本ビットは ECC 冗長ビット出力に ECC エンコーダ出力データまたは ECERDB レジスタ値のいずれを出力するか選択するためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。（同時設定可能） また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア） 0：ECC 冗長ビット出力にはエンコード結果を出力します 1：ECC 冗長ビット出力には E710TRC：ECERDB[6:0] を出力します

表 30.83 E710TMC レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	ECENS	ECC エンコード入力選択ビット 本ビットはエンコード処理される入力信号に周辺モジュールからのデータ値または内部テストレジスタ（E710TED：ECEDB[31:0]）値のいずれを入力するか選択するビットです。なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。（同時設定可能） また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア） 0：ECC エンコード入力データには周辺モジュールからの RAM へのライトデータを入力します 1：ECC エンコード入力データには E710TED：ECEDB[31:0] を入力します
1	ECDCS	ECC デコード入力選択ビット 本ビットはデコード処理される入力信号の下位 32 ビットデータに RAM からの下位 32 ビットデータ値または内部テストレジスタ（E710TED：ECEDB[31:0]）値のいずれを入力するか選択するビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。（同時設定可能） また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア） 0：デコード回路へのデータ領域（下位 32 ビット）には RAM 出力データの下位 32 ビットを入力します 1：デコード回路へのデータ領域には E710TED：ECEDB[31:0] を入力します
0	ECREIS	ECC 冗長ビット入力データ選択ビット 本ビットはデコード処理される入力信号の上位 7 ビットデータに RAM からの上位 7 ビット（冗長ビット領域）データ値または内部テストレジスタ（E710TRC：ECERDB[6:0] ビット）値のいずれを入力するか選択するビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。（同時設定可能） また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア） 0：デコード回路への ECC 冗長ビット領域には RAM 出力データの上位 7 ビットを入力します 1：デコード回路への ECC 冗長ビット領域には E710TRC：ECERDB[6:0] を入力します

(3) E710TED — ECC エンコード・デコードデータテストレジスタ

ECC エンコード／デコード用 32 ビットデータのテストレジスタです。

ECTMCE = 1 のとき、32 ビット操作命令でリード／ライト可能です。

ECTMCE = 0 のときは常に “0” です。

テストモードにおいて本レジスタの値をエンコード回路、デコード回路の入力データとして使用します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値																
R/W																

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値																
R/W																

備　考

ECTMCE = 1 → 0 では同期リセットとなります。

E710TMC：ECENS = 1 において本レジスタの値がエンコード回路への入力データとなり、RAM へ供給されます。

E710TMC：ECDCS = 1 において本レジスタの値がデコード回路への入力データ 31 － 0 ビット目のデータとなります。

また、E710TMC：ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値に替わり RAM の出力データの値が読み出されます。

(4) E710TRC — ECC 冗長ビットデータコントロールテストレジスタ

本レジスタは ECC 冗長ビット領域に対する 32 ビットのテストレジスタで、ECSYND、ECHORD、ECECRD、ECERDB の 4 フィールドで構成されています。各フィールドは同じ名前の 8 ビットレジスタとしてもアクセス可能です。各フィールドの詳細は、これら 4 レジスタの説明を参照してください。

ECTMCE = 0 のときは常に “0” です。

ECTMCE = 1 のとき、32 ビット操作命令でリード／ライト可能です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECSYND								ECHORD							
リセット後の値																
R/W																

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECECRD								ECERDB							
リセット後の値																
R/W																

備　考

ECTMCE = 1 → 0 では同期リセットとなります。

(5) ECSYND — ECC デコード・シンドロームデータレジスタ

テストモード（ECTMCE = 1）時にデコード回路で生成されるシンドロームコードを確認するのに使用するリード専用レジスタです。

このレジスタへのライトアクセスは無視されます。

ビット	31	30	29	28	27	26	25	24
	—	SYND[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

本レジスタビットは、デコード回路の入力データを基に生成されるシンドロームコードの値（synd[6:0]）が読み出されます。

本レジスタビットは保持回路ではありません。

したがって、入力信号が変化すると本レジスタ値も変化します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で、ECTMCE = 0 では常に 00_H です。

ビット 31 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(6) ECHORD — ECC7 ビット冗長ビットデータ保持テストレジスタ

テストモード（ECTMCE = 1）時に周辺モジュールからの RAM へのリードアクセスした際に周辺モジュールでは確認できない ECC7 ビット冗長ビット領域（RAM データの上位 7 ビット）を格納するレジスタです。

ビット	23	22	21	20	19	18	17	16
	—	HORD[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

本レジスタビットは、テストモード（ECTMCE = 1）時に周辺モジュールからの RAM データリードアクセスした際に次の動作クロックの立ち上がりで RAM 出力データ上位 7 ビット分のデータを格納します。

また、E710TMC：ECTRRS = 1 のときに ECEDB[15:0] レジスタをリードした際にも EC7TERI38 － 32 入力端子のデータを次の動作クロックで格納します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

ビット 23 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(7) ECECRD — ECC エンコードテストレジスタ

テストモード（ECTMCE = 1）時においてエンコード回路により生成される 7 ビット冗長ビット部を読み出すリード専用レジスタです。

ビット	15	14	13	12	11	10	9	8
	—	ECRD[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

周辺モジュールからの入力データにより生成される冗長ビットを確認するために使用します。

ここで読み出されるデータはエンコード結果（ecc[6:0]）であり、出力値ではありません。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

ビット 15 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(8) ECERDB — ECC 冗長ビット入出力代替えバッファレジスタ

テストモード（ECTMCE = 1）時に ECC7 ビット冗長ビットデータ領域に対する入出力データの代替えデータのためのバッファレジスタです。

ECTMCE = 1（ECC テストモード）のときリード／ライト可能です。

ビット	7	6	5	4	3	2	1	0
	—	ERDB[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ECREOS = 1 において、エンコード回路で生成される 7 ビットの冗長ビットに替わり、本レジスタの値が端子に出力され、RAM へ供給されます。

ECREIS = 1 において、デコード回路への入力されるデータの上位 7 ビットに替わり本レジスタの値がデコード回路で扱われます。

また、ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値ではなく、RAM へ供給される信号の値が読み出されます。

ビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(9) E710EAD — ECC エラーアドレスレジスタ

ECC エラー発生アドレスを保持するリード専用レジスタです。

ECC エラー判定が許可された状態で ECC エラーを検出すると、検出信号をトリガとして RAM アドレスをラッチし ECC エラー発生アドレスとして、本レジスタへ保持します。

どのエラーステータスもセットされていない状態で最初に発生した ECC エラー発生時に保持します。

ただし、最初が 1 ビットエラー発生で次に 2 ビットエラーが発生した際には後者が格納されます。

保持できるのは 1 アドレスです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEAD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

30.2.9.4 ECM への通知

本モジュールでは、2 つのエラー検出が設定可能であり、エラーは ECM に通知されます。

- 1 ビットエラー通知
  EC1EDIC = 1_B をセットした状態で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 38 ビットに対して 1 箇所のビットエラーを検出すると、1 ビットエラーを通知します。ただし、ECER1F または ECER2F が元々セットされている場合は通知されません。

- 2 ビットエラー通知
  EC2EDIC = 1_B をセットした状態で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 38 ビットに対して 2 箇所のビットエラーを検出すると、2 ビットエラーを通知します。ただし、ECER2F が元々セットされている場合は通知されません。

30.2.9.5 テスト機能

(1) RAM データの書き込み

周辺 RAM へデータ書き込みを実行してください。ただし、同時に書き込みデータに対応した ECC が ECC ビットに書き込まれます。任意の値を ECC ビットに書き込むためには、(3) に示す ECC テストモードを使用します。

(2) RAM データの読み出し

(a) E710CTL レジスタの ECTHM ビットを 1 にして、ECC エラー検出・訂正を無効にします。

(b) 周辺 RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読み出されます。

本テストモードからの抜け方：

(a) E710CTL レジスタの ECTHM ビットを 0 にして、ECC エラー検出・訂正を有効にします。

(3) ECC ビットの書き込み

(a) E710TMC レジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。

(b) ECC ビットに書き込む値を E710TRC.ECERDB[6:0] に書き込みます。

(c) E710TMC レジスタの ECREOS ビットを 1 にして、ECC ビットへの書き込み対象に E710TRC.ECERDB[6:0] を選択します。

(d) 周辺 RAM へデータ書き込みを実行すると、ECC ビットに E710TRC.ECERDB[6:0] が書き込まれます。

本テストモードからの抜け方：

(a) E710TMC レジスタの ECTMCE ビットを 0 にして、通常モードにします。

(4) ECC ビットの読み出し

(a) E710TMC レジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。

(b) 周辺 RAM の読み出しを実行すると、ECC ビットが E710TRC.ECHORD[6:0] に格納されます。

本テストモードからの抜け方

(a) E710TMC レジスタの ECTMCE ビットを 0 にして、通常モードにします。

30.2.10 周辺 RAM（16 ビット）の ECC

30.2.10.1 概要

以下の周辺モジュールの RAM 用の ECC モジュールです。

DFE

誤り検出・訂正

16 ビットの RAM データに対して、6 ビットの ECC データを付加します。

本 ECC モジュールは ECC2 ビットエラー検出と ECC1 ビットエラー検出・訂正機能を有します。

注 意

3 ビット以上のビットエラーは、本モジュールでは正しく検出できません。

3 ビット以上のビットエラーがある場合、本モジュールの動作としては、1 ビットエラーまたは 2 ビットエラーとして検出する場合とエラー検出をしない場合があります。

また、設定によっては反転していないビットを訂正することがあります。

ECC のエラー検出・訂正の有効／無効

- ECC エラー検出の有効／無効を選択可能です。
- ECC1 ビットエラー訂正の有効／無効を選択可能です。
- なお、本モジュールは、RAM データ出力が ALL 0、ALL 1 へ固着した際には ECC2 ビットエラーとして検出されます。

エラー通知

- ECC2 ビットエラー検出時に ECM にエラーを通知します。（有効／無効選択可）
- ECC1 ビットエラー検出時に ECM にエラーを通知します。（有効／無効選択可）

ECM にエラーを通知した後、対象のエラーステータスをクリアするまでは、新たに ECC エラーを検出しても ECM にエラーを通知しません。

エラーステータス

- ECC2 ビットエラー検出と ECC1 ビットエラー検出をモニタ可能です。
- エラーステータスのクリアレジスタを搭載しています。

アドレスキャプチャ

- ECC エラー発生アドレスを 1 アドレスだけキャプチャ可能です。
- ECC2 ビットエラーまたは ECC1 ビットエラー検出時、要因となるアドレスをキャプチャします。（フラグクリア後、最初のエラー検出時（1 ビットまたは 2 ビット））

テスト機能（エラー注入）

- モード設定により、レジスタの値を RAM への出力データとして使用可能です。周辺モジュールからの RAM 書き込み時に ECEDB[15:0] レジスタの値を RAM データ部へ、ECERDB[5:0] レジスタの値を ECC 冗長ビット部へ書き込み可能です。

- モード設定により、RAM データリード時の ECC 冗長ビット部をラッチし、値を確認できます。
- モード設定により、入力データから生成される ECC 冗長ビット（エンコード回路）およびシンドロームコード（デコード回路）を確認できます。

30.2.10.2 レジスター覧

(1) ECC モジュール一覧

複数の周辺機能の RAM に対して、本 ECC モジュールが実装されています。以下に、本 ECC モジュールを実装している周辺機能と、それに対応する ECC モジュール名、各 ECC モジュールのベースアドレスを示します。

表 30.84 ECC モジュール一覧

対応する周辺機能		ECC モジュール名とレジスタベースアドレス			
		マスタ側 注1		チェッカ側 注1	
		モジュール名	ベースアドレス <base_addr>	モジュール名	ベースアドレス <base_addr>
DFE	データメモリ（DMEM0）	E6DF0M	FFC7 D400$_H$	E6DF0C	FFC7 D600$_H$
	データメモリ（DMEM1）	E6DF1M	FFC7 D800$_H$	E6DF1C	FFC7 DA00$_H$

注 1. BIST 対応としてマスタ側とチェッカ側の 2 モジュールが存在します。詳細は「**30.7 BIST**」を参照してください。

(2) レジスター覧

各 ECC モジュールは以下のレジスタを備えます。

表 30.85 レジスター覧

レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
ECC コントロールレジスタ注1	E610CTL	R/W	001X$_H$	<base_addr> + 00$_H$	8/16
ECC テストモードコントロールレジスタ	E610TMC	R/W	0000$_H$	<base_addr> + 04$_H$	8/16
ECC 冗長ビットデータコントロールテストレジスタ	E610TRC	R	0000 0000$_H$	<base_addr> + 08$_H$	32
ECC エンコード・デコードデータテストレジスタ	E610TED	R/W	0000 0000$_H$	<base_addr> + 0C$_H$	32
ECC エラーアドレスレジスタ	E610EAD	R	0000 0000$_H$	<base_addr> + 10$_H$	32

注 1. ECC コントロールレジスタの下位 1 ビットのリセット値は不定です。

(3) レジスタマップ

表 30.86　レジスタマップ

略　称	31　　24	23　　16	15　　8	7　　0	オフセットアドレス
E610CTL	—（00_H）	—（00_H）	ECCTL[15:8]	ECCTL[7:0]	00_H
E610TMC	—（00_H）	—（00_H）	ECTMC[15:8]	ECTMC[7:0]	04_H
E610TRC	ECSYND[7:0]	ECHORD[7:0]	ECECRD[7:0]	ECRODM[7:0]	08_H
E610TED	ECEDB[31:24]	ECEDB[23:16]	ECRIDM[15:8]	ECERDB[7:0]	$0C_H$
E610EAD	ECEAD[31:24]	ECEAD[23:16]	ECEAD[15:8]	ECEAD[7:0]	10_H

30.2.10.3 レジスタ詳細

(1) E610CTL — ECC コントロールレジスタ

ECC モジュールのステータスコントロールおよびモード制御するレジスタです。

16 ビット、8 ビット操作命令でリード／ライト可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA[1:0]		—	—	ECOVFF	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	不定
R/W	R/W 注1	R/W 注1	R	R	R	R/W 注1	R/W 注1	R	R/W	R	R/W	R/W	R/W	R	R	R

注 1. リード時は常に “0” が読み出されます。

表 30.87 E610CTL レジスタの内容 (1/2)

ビット位置	ビット名	機能
15、14	EMCA[1:0]	ECC モード選択ビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガリザーブビットであり、読み出し値は常に “0” です。
13、12	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ECOVFF	エラーオーバーフロー検出フラグ エラーステータスレジスタのいずれかのエラーフラグ（ECER2F、ECER1F）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生した場合にセットされます。 本フラグは、内部リセット、外部リセット、ECC 検出・訂正機能無効時（ECTHM = 1）、または ECER2C と ECRE1C へ 1 を書き込むことでクリアされます。
10	ECER2C	ECC2 ビットエラー検出フラグクリアビット 本ビットはビット 2【ECER2F】のステータスフラグをクリアするためのビットです。 読み出し値は常に “0” であり、“0” 書き込みを行っても内部状態は変化しません。 “1” 書き込みとビット 2 のセット要因が競合した際には本ビットの書き込みが優先されます。 【ECER2F】ビットがセットされている際に、本ビットに “1” 書き込みを行うことで ECER2F ビットがクリアされます。
9	ECER1C	ECC 1 ビットエラー検出訂正累積フラグクリアビット 本ビットはビット 1【ECER1F】のステータスフラグをクリアするためのビットです。読み出し値は常に “0” であり、“0” 書き込みを行っても内部状態は変化しません。 “1” 書き込みとビット 1 のセット要因が競合した際には本ビットの書き込みが優先されます。【ECER1F】ビットがセットされている際に、本ビットに “1” 書き込みを行うことで ECER1F ビットがクリアされます。
8	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	ECTHM	ECC 機能ディスエーブル選択ビット 本ビットを設定することにより ECC デコード動作の取り扱いを選択します。 ただし、本ビットへのライトアクセスは上位 15、14 ビットを 01_B にしてアクセスする必要があります。したがって本ビットへのアクセスは 16 ビット操作命令のみ有効です。 本ビットに “1” をセットすることでエラー判定ならびにビット訂正を行いません。 周辺モジュールへの出力データはエラーがあってもビット訂正を行わないデータが出力されます。エンコーダ側には影響を与えません。 0：ECC 検出・訂正機能が有効 1：ECC 検出・訂正機能が無効 エンコード側は何ら影響を受けません。
6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 30.87 E610CTL レジスタの内容 (2/2)

ビット位置	ビット名	機能
5	EC1ECP	1 ビットエラー訂正許可ビット 0：1 ビットエラー検出時にエラー訂正を行います 1：1 ビットエラー検出時にエラー訂正を行いません
4	EC2EDIC	2 ビットエラー検出通知許可制御ビット 0：2 ビットエラー検出時に ECM へ通知しません 1：2 ビットエラー検出時に ECM へ通知します
3	EC1EDIC	1 ビットエラー通知許可制御ビット 0：1 ビットエラー検出時に ECM へ通知しません 1：1 ビットエラー検出時に ECM へ通知します
2	ECER2F	2 ビットエラー検出フラグビット本ビットはエラー判定許可状態において RAM へのリードアクセス時に RAM のリードデータビット 0 からビット 21 に対して 2 カ所のビットエラーが検出されたことを示すフラグです。 本ビットはリード専用です。 0：2 ビットエラーは発生していません 1：2 ビットエラーが発生したことがありました クリア条件 （1）リセット時。 （2）ECER2C = 1 ライト。 （3）ECC 検出・訂正機能無効時（ECTHM = 1）
1	ECER1F	ECC1 ビットエラー検出・訂正フラグビット 本ビットはエラー判定許可状態において RAM へのリードアクセス時に RAM リードデータ 0 ビットから 21 ビットに対して 1 箇所のビットエラーが検出されたことを示すフラグです。 本ビットはリード専用です。 0：本ビットクリア後、1 ビットエラーは発生していません 1：1 ビットエラーが発生したことがありました クリア条件 （1）リセット時。 （2）ECER1C = 1 ライト。 （3）ECC 検出・訂正機能無効時（ECTHM = 1）
0	ECEMF	ECC エラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。 本ビットは RAM 出力データ毎に更新されます。RAM のリセット後の値が不定であるため、エラーと判定され、本ビットがセットされる可能性があります。よって本ビットのリセット後の値は不定とします。 0：現在の RAM 出力データには、ビットエラーが存在していません 1：現在の RAM 出力データでは、ビットエラーが存在します クリア条件 （1）ECC 検出・訂正機能無効時（ECTHM = 1） （2）デコード回路入力データに 1 ビットエラーがないとき。 エラー判定許可な状態で RAM の出力データにビットエラーのある RAM データが出力されている間セットされます。

(2) E610TMC — ECC テストモードコントロールレジスタ

テストモードへの切り替えおよびテストモード制御のための 16 ビットレジスタです。

16 ビット、8 ビット操作命令でリード／ライト可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA[1:0]		—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W 注1	R/W 注1	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注 1. リード時は常に “0” が読み出されます。

表 30.88 E610TMC レジスタの内容 (1/2)

ビット位置	ビット名	機能
15、14	ETMA[1:0]	ECC テストモードビットへのアクセス制御ビット 1, 0 本 2 ビットはビット 7 への書き込みトリガリザーブビットであり、読み出し値は常に “0” です。
13 ～ 8	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよびテスト制御ビットへのアクセス許可するかを選択するビットです。 ただし、本ビットのアクセスは上位 15、14 ビットを 10_B にしてアクセスする必要があります。 0：テストレジスタおよびテスト制御ビットに対するアクセスを禁止します。 1：テストレジスタおよびテスト制御ビットに対するアクセスを許可します。
6、5	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは RAM リードステータスを E610TED レジスタのリードにより発生させる事を許可したり、E610TED:ECEDB[15:0] と E610TED:ECRIDM[7:0] のリード値を RAM 出力データの値に切り替えするためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。（同時設定可能） また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア） 0：E610TED をリードしても、テスト用 RAM リードステータスは発生しません 1：E610TED レジスタをリードした際に、テスト用 RAM リードステータスを生成します E610TED:ECEDB[15:0] と E610TED:ECRIDM[7:0] の読み出し値は、RAM 出力データ端子の値が読み出されます。
3	ECREOS	ECC 冗長ビット出力データ選択ビット 本ビットは ECC 冗長ビット出力に ECC エンコーダ出力データまたは ECERDB レジスタ値のいずれを出力するか選択するためのビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。（同時設定可能）また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア） 0：ECC 冗長ビット出力にはエンコード結果を出力します。 1：ECC 冗長ビット出力には E610TED：ECERDB[5:0] を出力します。

表 30.88 E610TMC レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	ECENS	ECC エンコード入力選択ビット 本ビットはエンコード処理される入力信号に周辺モジュールからのデータ値または内部テストレジスタ（E610TED：ECEDB[15:0]）値のいずれを入力するか選択するビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。（同時設定可能） また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア） 0：ECC エンコード入力データには周辺モジュールからの RAM へのライトデータを入力します。 1：ECC エンコード入力データには E610TED：ECEDB[15:0] を入力します。
1	ECDCS	ECC デコード入力選択ビット 本ビットはデコード処理される入力信号の下位 32 ビットデータに RAM からの下位 16 ビットデータ値または内部テストレジスタ（E610TED：ECEDB[15:0]）値のいずれを入力するか選択するビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。（同時設定可能） また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア） 0：デコード回路へのデータ領域（下位 16 ビット）には RAM 出力データの下位 16 ビットを入力します。 1：デコード回路へのデータ領域には E610TED：ECEDB[15:0] を入力します。
0	ECREIS	ECC 冗長ビット入力データ選択ビット 本ビットはデコード処理される入力信号の上位 6 ビットデータに RAM からの上位 6 ビット（冗長ビット領域）データ値または内部テストレジスタ（E610TED：ECERDB[5:0] ビット）値のいずれを入力するか選択するビットです。 なお、本ビットへのライトアクセスは ECTMCE = 1 のときのみ有効です。（同時設定可能） また、本ビットは ECTMCE = 0 によりクリアされます（同期クリア） 0：デコード回路への ECC 冗長ビット領域には RAM 出力データの上位 6 ビットを入力します。 1：デコード回路への ECC 冗長ビット領域には E610TED：ECERDB[5:0] を入力します。

(3) E610TED — ECC エンコード・デコードデータテストレジスタ

本レジスタは ECC データ領域および冗長ビット領域に対する 32 ビットのテストレジスタで、ECEDB、ECRIDM、ECERDB の 3 フィールドで構成されています。各フィールドは、同じ名前のレジスタとしてもアクセス可能です。各フィールドの詳細はこれら 3 レジスタの説明を参照してください。

ECTMCE = 1 のとき、32 ビット操作命令でリード／ライト可能です。

ECTMCE = 0 のときは常に “0” です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB															
リセット後の値																
R/W																

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECRIDM								ECERDB							
リセット後の値																
R/W																

備　考

ECTMCE = 1 → 0 では同期リセットとなります。

(4) ECEDB — ECC エンコード／デコード・データ入出力代替えバッファレジスタ

ECC エンコード／デコード用の 16 ビットデータバッファレジスタです。

テストモード（ECTMCE = 1）時にリード／ライト可能です。

ECTMCE = 1 において本レジスタの値がエンコード回路、デコード回路の入力データとして使用することが可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

E610TMC：ECENS = 1 において本レジスタの値がエンコード回路への入力データとなり、RAM へ供給されます。

E610TMC：ECDCS = 1 において本レジスタの値がデコード回路への入力データ 15 － 0 ビット目のデータとなります。また、E610TMC：ECTRRS = 1 の際には本レジスタのリード値は書き込みデータ値に替わり RAM の出力データの値が読み出されます。

(5) ECRIDM — ECC 冗長ビット入力データモニタレジスタ

テストモード（ECTMCE = 1）かつ E610TMC：ECTRRS = 1 のときに RAM からの上位 6 ビット（冗長ビット領域）データ値をモニタするリード専用レジスタです。RAM 出力データを簡単に確認することが可能です。

ECTRRS = 0 のときは常に “0” です。

ビット 15、14 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	15	14	13	12	11	10	9	8
	—	—	RIDM[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

(6) ECERDB — ECC 冗長ビット入出力代替えバッファレジスタ

テストモード（ECTMCE = 1）のとき ECC6 ビット冗長ビットデータ領域に対する入出力データの代替えデータのためのバッファレジスタです。

テストモード（ECTMCE = 1）時にリード／ライト可能です。

ビット	7	6	5	4	3	2	1	0
	—	—	ERDB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ECREOS = 1 において、エンコード回路で生成される 6 ビットの冗長ビットに替わり、本レジスタの値が ECC 冗長ビット出力端子に出力され、RAM へ供給されます。

ECREIS = 1 において、デコード回路へ入力されるデータの上位 6 ビットに替わり、本レジスタの値がデコード回路で扱われます。

ビット 7、6 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(7) E610TRC — ECC 冗長ビットデータコントロールテストレジスタ

本レジスタは ECC 冗長ビット領域に対する 32 ビットのテストレジスタで、ECSYND、ECHORD、ECECRD、ECRODM の 4 フィールドで構成されています。各フィールドは同じ名前の 8 ビットレジスタとしてもアクセス可能です。各フィールドの詳細は、これら 4 レジスタの説明を参照してください。

ECTMCE = 0 のときは常に “0” です。

ECTMCE = 1 のとき、32 ビット操作命令でリード可能です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECSYND								ECHORD							
リセット後の値																
R/W																

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECECRD								ECRODM							
リセット後の値																
R/W																

(8) ECSYND — ECC デコード・シンドロームデータレジスタ

テストモード（ECTMCE = 1）時にデコード回路で生成されるシンドロームコードを確認するのに使用するリード専用レジスタです。

このレジスタへのライトアクセスは無視されます。

ビット	31	30	29	28	27	26	25	24
	—	—	SYND[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

本レジスタビットは、デコード回路の入力データを基に生成されるシンドロームコードの値（synd[5:0]）が読み出されます。

本レジスタビットは保持回路ではありません。

したがって、入力信号が変化すると本レジスタ値も変化します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で、ECTMCE = 0 では常に 00_H です。

ビット 31、30 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(9) ECHORD — ECC6 ビット冗長ビットデータ保持テストレジスタ

テストモード（ECTMCE = 1）時に周辺モジュールからの RAM へのリードアクセスした際に周辺モジュールでは確認できない ECC6 ビット冗長ビット領域（RAM データの上位 6 ビット）を格納するレジスタです。

ビット	23	22	21	20	19	18	17	16
	—	—	HORD[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

本レジスタビットは、テストモード（ECTMCE = 1）時に周辺モジュールからの RAM データリードアクセスした際に次の動作クロックの立ち上がりで RAM 出力データ上位 6 ビット分のデータを格納します。

また、E610TMC：ECTRRS = 1 のときに ECEDB[15:0] レジスタをリードした際にも入力端子のデータを次の動作クロックで格納します。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

ビット 23、22 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(10) ECECRD — ECC エンコードテストレジスタ

テストモード（ECTMCE = 1）時においてエンコード回路により生成される 6 ビット冗長ビット部を読み出すリード専用レジスタです。

ビット	15	14	13	12	11	10	9	8
	—	—	ECRD[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

周辺モジュールからの入力データにより生成される冗長ビットを確認するために使用します。

ここで読み出されるデータはエンコード結果（ecc[5:0]）であり、ECC 冗長ビット出力値ではありません。

なお、本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

ビット 15、14 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(11) ECRODM — ECC 冗長ビット出力データモニタレジスタ

テストモード（ECTMCE = 1）において ECC 冗長ビット出力端子の値をモニタするリード専用レジスタです。

RAM への上位 6 ビットの出力データを簡単に確認することが可能です。

ビット	7	6	5	4	3	2	1	0
	—	—	RODM[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

本レジスタビットは ECTMCE = 1 のときのみ有効で ECTMCE = 0 では常に 00_H です。

ビット 7、6 はリザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(12) E610EAD — ECC エラーアドレスレジスタ

ECC エラー発生アドレスを保持するリード専用レジスタです。

ECC エラー判定が許可された状態で ECC エラーを検出すると、検出信号をトリガとして RAM アドレスをラッチし ECC エラー発生アドレスとして、本レジスタへ保持します。

どのエラーステータスもセットされていない状態で最初に発生した ECC エラー検出で保持。

ただし、最初が 1 ビットエラー発生で次に 2 ビットエラーが発生した際には後者が格納されます。

保持できるのは 1 アドレスです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEAD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

30.2.10.4 ECM への通知

本モジュールでは、2 つのエラー検出が設定可能であり、エラーは ECM に通知されます。

- 1 ビットエラー通知
  EC1EDIC = 1_B をセットした状態で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 21 ビットに対して 1 箇所のビットエラーを検出すると、1 ビットエラーを通知します。ただし、ECER1F または ECER2F が元々セットされている場合は通知されません。
- 2 ビットエラー通知
  EC2EDIC = 1_B をセットした状態で、RAM へのリードアクセス時に RAM リードデータ 0 ビットから 21 ビットに対して 2 箇所のビットエラーを検出すると、2 ビットエラーを通知します。ただし、ECER2F が元々セットされている場合は通知されません。

30.2.10.5 テスト機能

(1) RAM データの書き込み

周辺 RAM へデータ書き込みを実行してください。ただし、同時に書き込みデータに対応した ECC が ECC ビットに書き込まれます。任意の値を ECC ビットに書き込むためには、(3) に示す ECC テストモードを使用します。

(2) RAM データの読み出し

(a) E610CTL レジスタの ECTHM ビットを 1 にして、ECC エラー検出・訂正を無効にします。

(b) 周辺 RAM を読み出します。読み出し時にエラー検出・訂正を行いませんので、RAM データがそのまま読み出されます。

本テストモードからの抜け方：

(a) E610CTL レジスタの ECTHM ビットを 0 にして、ECC エラー検出・訂正を有効にします。

(3) ECC ビットの書き込み

(a) E610TMC レジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。

(b) ECC ビットに書き込む値を E610TED.ECERDB[5:0] に書き込みます。

(c) E610TMC レジスタの ECREOS ビットを 1 にして、ECC ビットへの書き込み対象に E610TED.ECERDB[5:0] を選択します。

(d) 周辺 RAM へデータ書き込みを実行すると、ECC ビットに E610TED.ECERDB[5:0] が書き込まれます。

本テストモードからの抜け方：

(a) E610TMC レジスタの ECTMCE ビットを 0 にして、通常モードにします。

(4) ECC ビットの読み出し

(a) E610TMC レジスタの ECTMCE ビットを 1 にして、ECC テストモードにします。

(b) 周辺 RAM の読み出しを実行すると、ECC ビットが E610TRC.ECHORD[5:0] に格納されます。

本テストモードからの抜け方

(a) E610TMC レジスタの ECTMCE ビットを 0 にして、通常モードにします。

30.2.11 データ転送経路のデータパリティ

以下に、データパリティの対象となる転送経路を示します。以下に示すアクセス元からアクセス先への転送にはデータパリティによるエラーの検出が可能です。いずれかの転送経路でパリティエラーを検出すると、ECM に通知します。

表 30.89 データパリティの対象となる転送経路

アクセス元（マスタ）	アクセス先（スレーブ）
CPU1、PCU、DMAC、DTS	INTC2、DMA、DTS、APA、ATU-IV、CSIH、ΔΣ AD、ADC、ポートグループ 0、DNF、エッジ検出 DNF、SENT
DMAC、DTS	CPU1 の Local RAM、Global RAM

なお、リード時にデータパリティエラーが発生した際、各マスタへはエラーデータがそのまま返されます。また、ライト時にデータパリティエラーが発生した際は、スレーブが INTC2、APA、ATU-IV、ΔΣAD、ADC（IFC 除く）、DNF、エッジ検出 DNF、SENT であればライトはキャンセルされます。

パリティ対象モジュールの幾つかはパリティコントローラ（エンコーダおよびデコーダ）に制御レジスタを持っており、エラー検出時のステータス保持などが可能です。これらのモジュールでパリティエラーが検出された場合は、エラーとなったアクセスを特定することが可能です。

制御レジスタを持たないパリティコントローラは、必ずパリティを検出します。これらのコントローラ自身はエラー検出時のステータスは保持しませんが、エラー検出の有無は ECM に保持されます。

30.2.11.1 レジスター覧

表 30.90 レジスター覧

レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
APDPERRST_xx	P-Bus データパリティステータスレジスタ xx	R	0000 0000_H	<base_addr> + 0_H	8/16/32
APDPERRSTC_xx	P-Bus データパリティステータスクリアレジスタ xx	W	0000 0000_H	<base_addr> + 4_H	8/16/32
APDPTMC_xx	P-Bus データパリティテストモードコントロールレジスタ xx	R/W	0000 0000_H	<base_addr> + 8_H	16/32
APDPERRADR_xx	P-Bus データパリティエラーアドレスレジスタ xx	R	0000 0000_H	<base_addr> + C_H	32

上記における、“xx” はこれら制御レジスタが対応するパリティ対象モジュールを示します。以下にパリティ対象モジュールと、そのベースアドレス <base_addr> の一覧を示します。

表 30.91 データパリティ制御モジュール一覧 (1/2)

パリティ対象モジュール名	xx	<base_addr>
INTC2（グループ A）注 3	INTC2A	FFC6 8800$_H$
INTC2（グループ B）注 3	INTC2B	FFC8 6000$_H$
INTC2（グループ C）注 3	INTC2C	FFF9 9000$_H$
DMA_DTS	PDMA	FFC6 8900$_H$
APA0（APA 入出力選択機能以外）	APAA	FFDC 2000$_H$
APA（APA 入出力選択機能）	APGA	FFDC 2020$_H$
RSENT0	SNT0	FFDC_2100$_H$
RSENT1	SNT1	FFDC_2120$_H$
RSENT2	SNT2	FFDC_2140$_H$
RSENT3	SNT3	FFDC_2160$_H$
RSENT4	SNT4	FFDC_2180$_H$
RSENT5	SNT5	FFDC_2200$_H$
ATU-IV	ATU4	FFDD F000$_H$
CSIH0（グループ A）注 1	CS0A	FFF9 6000$_H$
CSIH0（グループ B）注 1	CS0B	FFF9 6020$_H$
CSIH1（グループ A）注 1	CS1A	FFF9 6040$_H$
CSIH1（グループ B）注 1	CS1B	FFF9 6060$_H$
CSIH2（グループ A）注 1	CS2A	FFF9 6080$_H$
CSIH2（グループ B）注 1	CS2B	FFF9 60A0$_H$
CSIH3（グループ A）注 1	CS3A	FFF9 60C0$_H$
CSIH3（グループ B）注 1	CS3B	FFF9 60E0$_H$
ΔΣAD（共有レジスタ）	DADC	FFC8 7000$_H$
ΔΣAD（CH0 レジスタ）	DAD0	FFC8 7020$_H$
ΔΣAD（CH1 レジスタ）	DAD1	FFC8 7040$_H$
ΔΣAD（CH2 レジスタ）	DAD2	FFC8 7060$_H$
ΔΣAD（CH3 レジスタ）	DAD3	FFC8 7080$_H$
ΔΣAD（CH4 レジスタ）	DAD4	FFC8 70A0$_H$
ΔΣAD（CH5 レジスタ）	DAD5	FFC8 70C0$_H$
ΔΣAD（CH6 レジスタ）	DAD6	FFC8 70E0$_H$
ΔΣAD（CH7 レジスタ）	DAD7	FFC8 7100$_H$
ADC0	ADC0	FFC8 8000$_H$
ADC1	ADC1	FFC8 8020$_H$
ADC（IFC）	IFC	FFC8 8100$_H$
ADC（ASF）	ASF	FFC8 8120$_H$
ポートグループ 0 （グループ A）注 2	PT0A	FFC8 5000$_H$
ポートグループ 0 （グループ B）注 2	PT0B	FFC8 5020$_H$
ポートグループ 1 ～ 17 （グループ A）注 2	PT1A	FFC8 5040$_H$
ポートグループ 1 ～ 17 （グループ B）注 2	PT1B	FFC8 5060$_H$
DNF0	DNF0	FFC8 50C0$_H$
DNF1	DNF1	FFC8 50E0$_H$
エッジ検出 DNF2	DNF2	FFC8 5800$_H$
エッジ検出 DNF3	DNF3	FFC8 5820$_H$
エッジ検出 DNF4	DNF4	FFC8 5840$_H$
エッジ検出 DNF5	DNF5	FFC8 5860$_H$

表 30.91　データパリティ制御モジュール一覧 (2/2)

パリティ対象モジュール名	xx	<base_addr>
エッジ検出 DNF6	DNF6	FFC8 5880_H
エッジ検出 DNF7	DNF7	FFC8 $58A0_H$
DNF8	DNF8	FFC8 5100_H

注 1.　CSIHx のレジスタは以下の 2 グループに分けて制御されます。
グループ A：CSIHnCTL0 ～ 2、CSIHnSTR0、CSIHnSTCR0
グループ B：上記以外

注 2.　ポートグループのレジスタは以下の 2 グループに分けて制御されます。
グループ A：PCRn_m 以外のレジスタ（**2.1.4.1 表 2.6** 参照）
グループ B：PCRn_m
ここで、n はポートグループ番号（n = 0 ～ 17）、m は各ポートグループ内のポート番号（m = 0 ～ 15）を示します。

注 3.　INTC2 のレジスタは 3 グループに分けて制御されます。
グループ A：EICn、IMRn、EIBDn
グループ B：NMICTL、EXINT 系レジスタ、SINTR0 ～ 3
グループ C：PINT0 ～ 7、PINTCLR0 ～ 7、TIMER

30.2.11.2 レジスタ詳細

(1) APDPERRST_xx — P-Bus データパリティステータスレジスタ

xx は、**「表 30.91　データパリティ制御モジュール一覧」**を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APDPERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.92　APDPERRST レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	APDPERR	データパリティエラーモニタフラグ パリティエラーが発生したことを示すフラグです。 データパリティエラーモニタフラグクリアビット（APDPERRC）に 1 をセットすることでクリアされます。 0：パリティエラーは発生していない 1：パリティエラーが発生した

(2) APDPERRSTC_xx — P-Bus データパリティステータスクリアレジスタ

xx は、**「表 30.91　データパリティ制御モジュール一覧」**を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	APDPERRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 30.93　APDPERRSTC レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	APDPERRC	本ビットは、データパリティエラーモニタフラグ（APDPERR）をクリアするためのビットです。 APDPERR がセットされた状態で、本ビットに “1” を書き込むと APDPERR はクリアされます。 読み出し値は常に ”0” です。

(3) APDPTMC_xx — P-Bus データパリティテストモードコントロールレジスタ

本レジスタへの書き込みは APDPTMC [1:0] ビットを 01_B にして実行してください。

xx は、**「表 30.91 データパリティ制御モジュール一覧」**を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APDPTMC[1:0]		—	—	—	—	—	—	—	—	—	—	APDPEIC3	APDPEIC2	APDPEIC1	APDPEIC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 30.94 APDPTMC レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15、14	APDPTMC[1:0]	データパリティテストモードコントロールビット 本レジスタへの書き込みを有効化するビットです。読み出すと 0 が読み出されます。
13 ～ 4	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	APDPEIC3	バイトレーン 3 エラー注入制御ビット バイトレーン 3（ビット 31 ～ 24）に対応するパリティビット生成・チェックを奇数パリティに変更します。 0：パリティビット生成・チェックは偶数パリティ 1：パリティビット生成・チェックは奇数パリティ（エラー注入）
2	APDPEIC2	バイトレーン 2 エラー注入制御ビット バイトレーン 2（ビット 23 ～ 16）に対応するパリティビット生成・チェックを奇数パリティに変更します。 0：パリティビット生成・チェックは偶数パリティ 1：パリティビット生成・チェックは奇数パリティ（エラー注入）
1	APDPEIC1	バイトレーン 1 エラー注入制御ビット バイトレーン 1（ビット 15 ～ 8）に対応するパリティビット生成・チェックを奇数パリティに変更します。 0：パリティビット生成・チェックは偶数パリティ 1：パリティビット生成・チェックは奇数パリティ（エラー注入）
0	APDPEIC0	バイトレーン 0 エラー注入制御ビット バイトレーン 0（ビット 7 ～ 0）に対応するパリティビット生成・チェックを奇数パリティに変更します。 0：パリティビット生成・チェックは偶数パリティ 1：パリティビット生成・チェックは奇数パリティ（エラー注入）

(4) APDPERRADR_xx — P-Bus データパリティエラーアドレスレジスタ

xx は、**「表 30.91　データパリティ制御モジュール一覧」**を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	APDPERRADR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APDPERRADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.95　APDPERRADR レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	APDPERRADR [31:0]	データパリティエラーアドレス データパリティエラーモニタフラグ（APDPAERR）がセットされていない状態で、最初にパリティエラーが発生したアドレスを保持します。DPAERR がセットされた状態で再度パリティエラーが発生しても保持情報は更新されません。

30.3 ロックステップ

本製品は、CPU の故障を特別なソフトウェアを使わずに、かつ速やかに検出するために、CPU1 にロックステップ機能を搭載しています。CPU1 におけるプログラム実行は異なる 2 つの回路であるマスタコアとチェッカコアによって処理され、両者の実行結果は常時比較されます。比較結果が一致しなかった場合、いずれかの回路にエラーが生じたものとして ECM にロックステップコンペアエラーを通知します。比較対象となるバス出力は、CPU1 の Local RAM 、Global RAM、CPU Peripheral、インターコネクト、P-Bus、Code Flash、命令キャッシュのタグ RAM、命令キャッシュのデータ RAM への出力です。

CPU1 のロックステップ機能は故障注入機能を備えており、意図的にエラーを発生させることによってロックステップ機能の動作を自己診断することができます。また、ロックステップコンペアエラーが発生した時のアドレスとデータは、レジスタへキャプチャすることができます。

30.3.1 レジスター覧

表 30.96 レジスター覧

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFFE $ED00_H$	TESTCOMPREG0	比較器テストレジスタ 0	R/W	0000 0000_H	8/16/32
FFFE $ED04_H$	TESTCOMPREG1	比較器テストレジスタ 1	R/W	0000 0000_H	8/16/32
FFFE $EE00_H$	LS_ERR_CNT	ロックステップエラーコントロールレジスタ	R/W	0000 0000_H	32
FFFE $EE04_H$	LS_ERR_ST	ロックステップエラーステータスレジスタ	R/W	0000 0000_H	32
FFFE $EE10_H$	LS_ERR_ADDRESS	ロックステップエラーアドレスレジスタ	R	不定（保持）	32
FFFE $EE14_H$	LS_ERR_DATA	ロックステップエラーデータレジスタ	R	不定（保持）	32

これらのレジスタは、CPU1 の CPU Peripheral に配置されています。これらのレジスタは CPU1 からしかアクセスすることができません。

30.3.2 レジスタ詳細

30.3.2.1 TESTCOMPREG0 — 比較器テストレジスタ 0

CPU1 のロックステップ機能用のテストレジスタ 0 です。

本レジスタと TESTCOMPREG1 を組み合わせることによってロックステップ機能の自己診断を行うことができます。以下に、自己診断方法の一例を示します。

(1) TESTCOMPREG0 に任意の値を書き込みます。

(2) TESTCOMPREG1 に TESTCOMPREG0 とは異なる任意の値を書き込みます。

(3) TESTCOMPREG0 を読み出します。マスタコアとチェッカコアには、異なる値が読み出されます。

(4) この読み出した値を使用して、診断を行いたい比較器を動作させます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TESTCOMPREG0[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TESTCOMPREG0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.97 TESTCOMPREG0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	TESTCOMPREG0[31:0]	ライト 各バイトにデータが書き込まれます。 リード PE1：TESTCOMPREG0[31:0] の値が読めます。 PE1C：TESTCOMPREG1[31:0] の値が読めます。

30.3.2.2 TESTCOMPREG1 — 比較器テストレジスタ 1

CPU1 のロックステップ機能用のテストレジスタ 1 です。

本レジスタと TESTCOMPREG0 を組み合わせることによってロックステップ機能の自己診断を行うことができます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TESTCOMPREG1[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TESTCOMPREG1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.98 TESTCOMPREG1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	TESTCOMPREG1[31:0]	ライト 各バイトにデータが書き込まれます。 リード PE1：TESTCOMPREG1[31:0] の値が読めます。 PE1C：TESTCOMPREG0[31:0] の値が読めます。

30.3.2.3 LS_ERR_CNT — ロックステップエラーコントロールレジスタ

LS_ERR_CNT レジスタは、アドレスとデータに対するロックステップエラーが発生した時に、該当するアクセス先アドレスとデータに対し、キャプチャの有効／無効を設定するレジスタです。本レジスタを設定することで、該当するアクセス先のアドレスとデータをキャプチャします。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	L1RAM	L2RAM	GAPB	LAPB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 30.99 LS_ERR_CNT レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	L1RAM	Local RAM アクセスのロックステップエラーアドレス／データキャプチャの有効／無効を設定します。 0：キャプチャ無効 1：キャプチャ有効
2	L2RAM	Global RAM アクセスのロックステップエラーアドレス／データキャプチャの有効／無効を設定します。 0：キャプチャ無効 1：キャプチャ有効
1	GAPB	P-bus アクセス[注1] のロックステップエラーアドレス／データキャプチャの有効／無効を設定します。 0：キャプチャ無効 1：キャプチャ有効
0	LAPB	IPIR, MEV アクセス[注1] のロックステップエラーアドレス／データキャプチャの有効／無効を設定します。 0：キャプチャ無効 1：キャプチャ有効

注 1.　P-bus アクセスと IPIR、MEV アクセスへの構成は**「第 3 章　CPU システム」**をご参照ください。

30.3.2.4 LS_ERR_ST — ロックステップエラーステータスレジスタ

LS_ERR_ST レジスタは、最初に発生した該当ロックステップエラーを監視するレジスタです。最初に発生したエラーフラグをクリアするまでは、以降で発生したエラーフラグは 1 にセットされません。また、各エラー要因が競合した場合は、L1RAMW0 ～ 3 → L2RAMP0、1 → GAPB → LAPB の優先順位でフラグがセットされます。各フラグは、内部リセット、または外部リセット、本レジスタへ 1 をライトすることでクリアされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	L1RAMW0	L1RAMW1	L1RAMW2	L1RAMW3	L2RAMP0	L2RAMP1	GAPB	LAPB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.100 LS_ERR_ST レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 8	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	L1RAMW0	Local RAM の Word0 のロックステップエラーアドレス／データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0：キャプチャなし 1：キャプチャあり
6	L1RAMW1	Local RAM の Word1 のロックステップエラーアドレス／データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0：キャプチャなし 1：キャプチャあり
5	L1RAMW2	Local RAM の Word2 のロックステップエラーアドレス／データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0：キャプチャなし 1：キャプチャあり
4	L1RAMW3	Local RAM の Word3 のロックステップエラーアドレス／データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0：キャプチャなし 1：キャプチャあり
3	L2RAMP0	Global RAM の下位データのロックステップエラーアドレス／データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0：キャプチャなし 1：キャプチャあり

表 30.100 LS_ERR_ST レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	L2RAMP1	Global RAM の上位データのロックステップエラーアドレス／データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0：キャプチャなし 1：キャプチャあり
1	GAPB	P-bus アクセス注 1 のロックステップエラーアドレス／データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0：キャプチャなし 1：キャプチャあり
0	LAPB	IPIR、MEV アクセス注 1 のロックステップエラーアドレス／データキャプチャ状態を示します。 1 書き込みでクリア可能です。 0：キャプチャなし 1：キャプチャあり

注 1.　P-bus アクセスと IPIR、MEV アクセスへの構成は**「第 3 章　CPU システム」**をご参照ください。

30.3.2.5 LS_ERR_ADDRESS — ロックステップエラーアドレススレジスタ

LS_ERR_ADDRESS レジスタは、エラー発生時のアドレスを保持するレジスタです。
LS_ERR_ST で発生した、各エラー要因のフラグに該当するアドレスを保持します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Address[31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Address[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.101 LS_ERR_ADDRESS レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	Address[31:0]	ロックステップエラーが発生時のアドレスをモニタするためのレジスタです。 アドレスキャプチャ時の有効ビットは以下のようになります。無効ビットには全て 0 が格納されます。尚、LS_ERR_ST の各エラーフラグのアドレスを実アドレスに変換するには、以下のようになります。 L1RAMW0：Local RAM base_address + (Address [14:0]<<4) L1RAMW1：Local RAM base_address + (Address [14:0]<<4) + 0 × 4 L1RAMW2：Local RAM base_address + (Address [14:0]<<4) + 0 × 8 L1RAMW3：Local RAM base_address + (Address [14:0]<<4) + 0 × C L2RAMP0：Global RAM_base_address + Address [20:0] L2RAMP1：Global RAM_base_address + Address [20:0] + 0×4 GAPB：Address [31:0] LAPB：0xFF000000 + Address [23:0]

30.3.2.6 LS_ERR_DATA — ロックステップエラーデータレジスタ

LS_ERR_DATA_L レジスタは、エラー発生時のデータを保持するレジスタです。
LS_ERR_ST の各エラー要因に該当するデータを保持します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA[31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.102 LS_ERR_DATA レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DATA[31:0]	ロックステップエラーが発生時のデータ [31:0] をモニタするためのレジスタです。

30.4　メモリ保護

30.4.1　概要

本製品は、メモリ上のデータや周辺回路の制御レジスタを、誤ったアクセスから保護するためのメモリ保護機能を搭載しています。

- MPU：CPU1、PCU が、自分自身の不正なアクセスからメモリを保護します。MPU で禁止されたアドレスに対するアクセスは、CPU1、PCU から発行されることはありません。詳細は、「*RH850G3MH ユーザーズマニュアル ソフトウェア編*」、「*RH850G3K ユーザーズマニュアル ソフトウェア編*」をご参照ください。
- スレーブガード：あらゆるバスマスタの不正なアクセスから、特定のメモリを保護します。スレーブガードには以下のものがあります。詳細は次節以降に示します。
  - PEG：Local RAM を不正なアクセスから保護します。ただし、Local RAM を備える CPU 自身からのアクセスは保護対象外です。例えば、CPU1 から CPU1 内の Local RAM へのアクセスは、PEG によってプロテクトされることはありません。詳細は、**「第 3 章　CPU システム」**の章をご参照ください。
  - GRG：Global RAM を不正なアクセスから保護します。
  - PBG：周辺回路の制御レジスタやメモリを不正なアクセスから保護します。詳細は、**「30.4.3　PBG」**をご参照ください。

30.4.1.1　スレーブガードの識別子

スレーブガードでは、以下の識別子によってプロテクトすべき不正アクセスを指定することができます。

表 30.103 スレーブガード識別子一覧

識別子	機能
UM	CPU のアクセス時に、その CPU の動作モードを示します。 0：スーパバイザモード 1：ユーザモード DMAC/DTS のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子は必ず 0 となります。
SPID	CPU のアクセス時に、その CPU に設定されたシステム保護識別子 SPID の値を示します。 DMAC/DTS のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子は必ず 2'b00 となります。
PEID	アクセス元のバスマスタを示します。 3'b000：リザーブ 3'b001：CPU1 3'b010：リザーブ 3'b011：PCU 3'b100：その他のバスマスタ 3'b101：リザーブ 3'b110：リザーブ 3'b111：DMAC/DTS

30.4.2 GRG（Global RAM Guard）

本製品は、8 チャネルの GRG を実装しています。以下に GRG の詳細を記します。

30.4.2.1 レジスター覧

表 30.104 レジスター覧 (1/2)

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFC4 9100$_H$	MGDGRSCTL_SIC	GRG コントロールレジスタ（SIC）	R/W	0000 0000$_H$	8/16/32
FFC4 9104$_H$	MGDGRSSTAT_SIC	GRG エラーステータスレジスタ（SIC）	R	0000 0000$_H$	8/16/32
FFC4 9108$_H$	MGDGRSAD_SIC	GRG エラーアドレスレジスタ（SIC）	R	0000 0000$_H$	8/16/32
FFC4 910C$_H$	MGDGRSTYPE_SIC	GRG エラーアクセスタイプレジスタ（SIC）	R	0000 0000$_H$	8/16/32
FFC4 9200$_H$	MGDGRSCTL_PE1	GRG コントロールレジスタ（PE1）	R/W	0000 0000$_H$	8/16/32
FFC4 9204$_H$	MGDGRSSTAT_PE1	GRG エラーステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
FFC4 9208$_H$	MGDGRSAD_PE1	GRG エラーアドレスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
FFC4 920C$_H$	MGDGRSTYPE_PE1	GRG エラーアクセスタイプレジスタ（PE1）	R	0000 0000$_H$	8/16/32
FFC4 9400$_H$	MGDGRPROT0	GRG プロテクション設定レジスタ 0	R/W	07FF 0000$_H$	8/16/32
FFC4 9404$_H$	MGDGRSPID0	GRG プロテクション SPID 設定レジスタ 0	R/W	FFFF FFFF$_H$	8/16/32
FFC4 9408$_H$	MGDGRBAD0	GRG コンペアベースアドレスレジスタ 0	R/W	0000 0000$_H$	8/16/32
FFC4 940C$_H$	MGDGRADV0	GRG コンペアアドレス有効レジスタ 0	R/W	0000 0000$_H$	8/16/32
FFC4 9410$_H$	MGDGRPROT1	GRG プロテクション設定レジスタ 1	R/W	07FF 0000$_H$	8/16/32
FFC4 9414$_H$	MGDGRSPID1	GRG プロテクション SPID 設定レジスタ 1	R/W	FFFF FFFF$_H$	8/16/32
FFC4 9418$_H$	MGDGRBAD1	GRG コンペアベースアドレスレジスタ 1	R/W	0000 0000$_H$	8/16/32
FFC4 941C$_H$	MGDGRADV1	GRG コンペアアドレス有効レジスタ 1	R/W	0000 0000$_H$	8/16/32
FFC4 9420$_H$	MGDGRPROT2	GRG プロテクション設定レジスタ 2	R/W	07FF 0000$_H$	8/16/32
FFC4 9424$_H$	MGDGRSPID2	GRG プロテクション SPID 設定レジスタ 2	R/W	FFFF FFFF$_H$	8/16/32
FFC4 9428$_H$	MGDGRBAD2	GRG コンペアベースアドレスレジスタ 2	R/W	0000 0000$_H$	8/16/32
FFC4 942C$_H$	MGDGRADV2	GRG コンペアアドレス有効レジスタ 2	R/W	0000 0000$_H$	8/16/32
FFC4 9430$_H$	MGDGRPROT3	GRG プロテクション設定レジスタ 3	R/W	07FF 0000$_H$	8/16/32
FFC4 9434$_H$	MGDGRSPID3	GRG プロテクション SPID 設定レジスタ 3	R/W	FFFF FFFF$_H$	8/16/32
FFC4 9438$_H$	MGDGRBAD3	GRG コンペアベースアドレスレジスタ 3	R/W	0000 0000$_H$	8/16/32
FFC4 943C$_H$	MGDGRADV3	GRG コンペアアドレス有効レジスタ 3	R/W	0000 0000$_H$	8/16/32
FFC4 9440$_H$	MGDGRPROT4	GRG プロテクション設定レジスタ 4	R/W	07FF 0000$_H$	8/16/32
FFC4 9444$_H$	MGDGRSPID4	GRG プロテクション SPID 設定レジスタ 4	R/W	FFFF FFFF$_H$	8/16/32
FFC4 9448$_H$	MGDGRBAD4	GRG コンペアベースアドレスレジスタ 4	R/W	0000 0000$_H$	8/16/32
FFC4 944C$_H$	MGDGRADV4	GRG コンペアアドレス有効レジスタ 4	R/W	0000 0000$_H$	8/16/32
FFC4 9450$_H$	MGDGRPROT5	GRG プロテクション設定レジスタ 5	R/W	07FF 0000$_H$	8/16/32
FFC4 9454$_H$	MGDGRSPID5	GRG プロテクション SPID 設定レジスタ 5	R/W	FFFF FFFF$_H$	8/16/32
FFC4 9458$_H$	MGDGRBAD5	GRG コンペアベースアドレスレジスタ 5	R/W	0000 0000$_H$	8/16/32
FFC4 945C$_H$	MGDGRADV5	GRG コンペアアドレス有効レジスタ 5	R/W	0000 0000$_H$	8/16/32
FFC4 9460$_H$	MGDGRPROT6	GRG プロテクション設定レジスタ 6	R/W	07FF 0000$_H$	8/16/32
FFC4 9464$_H$	MGDGRSPID6	GRG プロテクション SPID 設定レジスタ 6	R/W	FFFF FFFF$_H$	8/16/32
FFC4 9468$_H$	MGDGRBAD6	GRG コンペアベースアドレスレジスタ 6	R/W	0000 0000$_H$	8/16/32
FFC4 946C$_H$	MGDGRADV6	GRG コンペアアドレス有効レジスタ 6	R/W	0000 0000$_H$	8/16/32
FFC4 9470$_H$	MGDGRPROT7	GRG プロテクション設定レジスタ 7	R/W	07FF 0000$_H$	8/16/32
FFC4 9474$_H$	MGDGRSPID7	GRG プロテクション SPID 設定レジスタ 7	R/W	FFFF FFFF$_H$	8/16/32

表 30.104 レジスター覧 (2/2)

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
FFC4 9478$_H$	MGDGRBAD7	GRG コンペアベースアドレスレジスタ 7	R/W	0000 0000$_H$	8/16/32
FFC4 947C$_H$	MGDGRADV7	GRG コンペアアドレス有効レジスタ 7	R/W	0000 0000$_H$	8/16/32

- MGDGRPROTn、MGDGRSPIDn 、MGDGRBADn、MGDGRADVn は、各チャネルの保護内容を設定します。（n：0 ～ 7）
- MGDGRSCTL_*、MGDGRSSTAT_*、MGDGRSAD_*、MGDGRSTYPE_* は、各アクセス経路におけるエラー情報を示します。“_SIC” はシステムインターコネクトから Global RAM へのアクセス、“_PE1” は CPU1 から Global RAM へのアクセスを示します。
- **「4.1　アドレス空間」**の**表 4.1** に示す FEE0_0000$_H$ ～ FEFF_FFFF$_H$ のアドレス空間のうち、アクセス禁止領域（Access prohibited）へアクセスした場合においても、エラーを検出します。

30.4.2.2 レジスタ詳細

(1) MGDGRSCTL_SIC/PE1 — GRG コントロールレジスタ n

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERRCLO	ERRCLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 30.105 MGDGRSCTL_SIC/PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	ERRCLO	エラーエントリオーバフローフラグクリア 0：動作しません。 1：オーバフローフラグをクリアします。
0	ERRCLE	エラー検出フラグクリア 0：動作しません。 1：エラー検出フラグをクリアします。 ただし、下表に示す通り ERRCLO と同時にセットしてください。

表 30.106 ERRCLO と ERRCLE の組み合わせ

ERRCLO	ERRCLE	機能
0	0	いずれのビットもクリアしません。
0	1	いずれのビットもクリアしません（この設定は無視されます）。
1	0	OVF ビットをクリアします。
1	1	両方のビットをクリアします。

(2) MGDGRSSTAT_SIC/PE1 — GRG エラーステータスレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.107 MGDGRSSTAT_SIC/PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	OVF	エラーエントリオーバフローフラグ 0：オーバフローなし 1：オーバフロー発生 GRG のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラー検出フラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 なお、オーバフロー時も ECM に通知されます。 またオーバフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラー検出フラグ 0：エラーなし 1：エラー発生

注　意

「4.1　アドレス空間」の表 4.1 に示す FEE0_0000$_H$ ～ FEFF_FFFF$_H$ のアドレス空間のうち、アクセス禁止領域（Access prohibited）へアクセスした場合においても、エラーを検出します。

(3) MGDGRSAD_SIC/PE1 — GRG エラーアドレスレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	GRIFA[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRIFA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.108 MGDGRSAD_SIC/PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20 ～ 0	GRIFA[20:0]	エラー発生時のアドレス

注　意

「4.1　アドレス空間」の表 4.1 に示す FEE0_0000$_H$ ～ FEFF_FFFF$_H$ のアドレス空間のうち、アクセス禁止領域（Access prohibited）へアクセスした場合においても、エラーを検出して、GRIFA にアクセスしたアドレスが保持されます。

(4) MGDGRSTYPE_SIC/PE1 — GRG エラーアクセスタイプレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	TYPE[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.109 MGDGRSTYPE_SIC/PE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15 ～ 13	PEID[2:0]	エラー発生時の PEID
12 ～ 10	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	SPID[1:0]	エラー発生時の SPID
7	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	UM	エラー発生時の UM
5	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4 ～ 0	TYPE[4:0]	エラー発生時の転送タイプ（内部バス、インターコネクトの信号であり参考情報）

(5) MGDGRPROTn — GRG プロテクション設定レジスタ n（n = 0 ～ 7）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	EN	—	—	—	—	UM	DEB	PEID[7:0]							
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.110 MGDGRPROTn レジスタの内容

ビット位置	ビット名	機能
31	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	EN	保護イネーブル 0：保護を禁止します。 1：保護を許可します。 本レジスタで許可したアクセスのみ可能。
29 ～ 27	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	—	予約です。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
25	UM	ユーザーモードでのアクセス 0：管理者モードでのアクセスを許可します。 1：ユーザーモードと管理者モードでのアクセスを許可します。
24	DEB	デバッグアクセス 0：デバッグマスタからのアクセスを許可しません。 1：デバッグマスタからのアクセスを許可します。 本ビットには必ず “1” を設定してください。もしも “0” を設定した場合、デバッガや RAM モニタツールが正しく動作しない可能性があります。
23 ～ 16	PEID[7:0]	PEID によるアクセス PEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。複数のビットを設定することによって同時に複数のバーチャルプロセッサの ID 値を許可します。たとえば PEID を 0101_B に設定すれば PEID = 0 および PEID = 2 でのアクセスを許可します。 0：PEID = n でのアクセスを許可しません。 1：PEID = n でのアクセスを許可します。
15 ～ 0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(6) MGDGRSPIDn — GRG プロテクション SPID 設定レジスタ n（n = 0 ～ 7）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	SPID[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 30.111 MGDGRSPIDn レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	—	予約です。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3 ～ 0	SPID[3:0]	SPID によるアクセス SPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。複数のビットを設定することによって同時に複数の SPID 値を許可します。たとえば SPID を 0101_B に設定すれば SPID = 0 および SPID = 2 でのアクセスを許可します。 0：SPID = n でのアクセスを許可しません。 1：SPID = n でのアクセスを許可します。

(7) MGDGRBADn — GRG コンペアベースアドレスレジスタ n（n = 0 ～ 7）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	AD[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD[15:9]							—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

表 30.112 MGDGRBADn レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20 ～ 9	AD[20:9]	コンペアベースアドレス
8 ～ 0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(8) MGDGRADVn — GRG コンペアアドレス有効レジスタ n（n = 0 ～ 7）

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	ADV[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADV[15:9]							—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

表 30.113 MGDGRADVn レジスタの内容

ビット位置	ビット名	機能
31 ～ 21	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20 ～ 9	ADV[20:9]	MGDGRADVn[20:9] = 1 のビットはアドレスコンペアを実行します。 MGDGRADVn[20:9] が全て 1 の場合は MGDGRBADn で指定されたアドレスをベースに最小単位である 512 バイトが保護対象となります。ただし、 MGDGRADVn[20:9] が全て 0 の場合は Global RAM 全域が保護対象となります。
8 ～ 0	—	予約です。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

設定例：MGDGRBADn[20:9] = 800_H, MGDGRADVn[20:9] = $FF7_H$ に設定した場合、Global RAM ガード保護領域 n は $FEF00000_H$ ～ $FEF001FF_H$ と $FEF01000_H$ ～ $FEF011FF_H$ になります。

考え方：MGDGRBADn[20:9] = 800_H をセットするとベースアドレスは $FEF00000_H$ となり設定可能範囲を【】で示すと

1111 1110 111【1 0000 0000 000】0 0000 0000

F E F 0 0 0 0 0

MGDGRADVn[20:9] = $FF7_H$ の場合、0 をセットしたビットと下位 9 ビットは見ないので

1111 1110 111【1 0000 000X 000】X XXXX XXXX

F E F 0 0 0 0 0 ～

F E F 0 0 1 F F

および

F E F 0 1 0 0 0 ～

F E F 0 1 1 F F

の各 512 バイト、計 1K バイトを保護します。

30.4.3 PBG

PBG モジュールは複数の PBG グループに分かれており、各 PBG グループは最大 16 個の保護チャネルを備えています。一つの PBG チャネルが 1 つの周辺回路に対してプロテクトすべきアクセスを指定することができます。また PBG グループ毎に、プロテクトしたアクセスの情報を保持することができます。

以下に、保護対象の周辺回路モジュールの一覧と、対応する PBG グループ名、PBG チャネル番号を示します。

表 30.114 保護対象の周辺回路モジュール一覧 (1/2)

PBG グループ	PBG チャネル番号	保護対象モジュール
PBG0A	0	INTC2（グループ A）注 3
	1	DMA_DTS
PBG0B	4	GRG（制御レジスタ）
	5	GRG ステータス（SIC）
	6	GRG ステータス（PE1）
PBG1A	0	APA0（入出力選択機能以外）
	1	APA（入出力選択機能）
	3	RSENT0
	4	RSENT1
	5	RSENT2
	6	RSENT3
	7	RSENT4
	8	RSENT5
PBG1B	0	ATU-IV（共通制御、プリスケーラ、DMA/AD 要求）
	1	ATU-IV（タイマ A）
	2	ATU-IV（タイマ B）
	3	ATU-IV（タイマ C）
	4	ATU-IV（タイマ D）
	5	ATU-IV（タイマ E）
	6	ATU-IV（タイマ F）
	7	ATU-IV（タイマ G）
	8	ATU-IV（タイマ H）
	9	ATU-IV（タイマ J）
PBG2A	0	CSIH0（グループ A）注 1
	1	CSIH0（グループ B）注 1
	2	CSIH1（グループ A）注 1
	3	CSIH1（グループ B）注 1
	4	CSIH2（グループ A）注 1
	5	CSIH2（グループ B）注 1
	6	CSIH3（グループ A）注 1
	7	CSIH3（グループ B）注 1
	12	INTC2（グループ C）注 3

表 30.114 保護対象の周辺回路モジュール一覧 (2/2)

PBG グループ	PBG チャネル番号	保護対象モジュール
PBG3A	0	ΔΣAD（共有レジスタ）
	1	ΔΣAD（CH0 レジスタ）
	2	ΔΣAD（CH1 レジスタ）
	3	ΔΣAD（CH2 レジスタ）
	4	ΔΣAD（CH3 レジスタ）
	5	ΔΣAD（CH4 レジスタ）
	6	ΔΣAD（CH5 レジスタ）
	7	ΔΣAD（CH6 レジスタ）
	8	ΔΣAD（CH7 レジスタ）
	9	ADC0
	10	ADC1
	11	ADC（IFC）
	12	ADC（ASF）
	13	ECM（マスタレジスタ）
	14	ECM（チェッカレジスタ）
	15	ECM（共通レジスタ）
PBG3B	0	ポートグループ 0（グループ A）
	1	ポートグループ 0（グループ B）注 2
	2	INTC2（グループ B）注 3

注 1.　CSIHx のレジスタは以下の 2 グループに分けて制御されます。
グループ A：CSIHnCTL0 ～ 2、CSIHnSTR0、CSIHnSTCR0
グループ B：上記以外

注 2.　ポートグループのレジスタは以下の 2 グループに分けて制御されます。
グループ A：PCR0_m 以外のレジスタ（**2.1.4.1 表 2.6** 参照）
グループ B：PCR0_m
ここで、m は各ポートグループ内のポート番号（m = 0 ～ 15）を示します。

注 3.　INTC2 のレジスタは 3 グループに分けて制御されます。
グループ A：EICn、IMRn、EIBDn
グループ B：NMICTL、EXINT 系レジスタ、SINTR0 ～ 3
グループ C：PINT0 ～ 7、PINTCLR0 ～ 7、TIMER

30.4.3.1 レジスタ一覧

以下に PBG チャネルごとに実装されるレジスタを示します。

表 30.115 PBG チャネルごとに実装されるレジスタ一覧

レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
FSGDxxDPROTn	PBGxx プロテクションレジスタ n	R/W	07FF $FFFF_H$	<base_addr0> + 4*n	8/16/32

以下に PBG グループごとに実装されるレジスタを示します。

表 30.116 PBG グループごとに実装されるレジスタ一覧

レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
ERRSLVxxCTL	PBGxx エラーコントロールレジスタ	W	0000 0000_H	<base_addr1> + 0_H	8/16/32
ERRSLVxxSTAT	PBGxx エラーステータスレジスタ	R	0000 0000_H	<base_addr1> + 4_H	8/16/32
ERRSLVxxADDR	PBGxx エラーアドレスレジスタ	R	0000 0000_H	<base_addr1> + 8_H	32
ERRSLVxxTYPE	PBGxx エラータイプレジスタ	R	0000 0000_H	<base_addr1> + C_H	16/32

ここで、レジスタ名やレジスタシンボルの “xx” は PBG グループ番号を、“n” は PBG チャネル番号を示します。各 PBG グループ番号や PBG チャネル番号に対応したベースアドレス値 <base_addr0> と <base_addr1> の値は以下のとおりです。

表 30.117 ベースアドレス一覧

PBG グループ	PBG グループ番号 xx	PBG チャネル番号 n	<base_addr0>	<base_addr1>
PBG0A	0A	0, 1	FFC4 $C000_H$	FFC4 $C800_H$
PBG0B	0B	4-7	FFC4 $C100_H$	FFC4 $C900_H$
PBG1A	1A	0, 1, 3-8	FFDC 0000_H	FFDC 0200_H
PBG1B	1B	0-9	FFDD $D000_H$	FFDD $D200_H$
PBG2A	2A	0-7, 12	FFF9 4000_H	FFF9 4200_H
PBG3A	3A	0-15	FFC4 0000_H	FFC4 0200_H
PBG3B	3B	0-2	FFC4 1000_H	FFC4 1200_H

30.4.3.2 レジスタ詳細

(1) FSGDxxDPROTn — PBGxx プロテクションレジスタ n

保護対象である周辺回路モジュールの制御レジスタや RAM に対して、プロテクトするアクセスを指定します。いずれかの識別子で禁止されたアクセスは不正アクセスとしてプロテクトされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PROTUM	PROTPEID[7:0]								—
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID[3:0]				PROTDEB	PROTRDPDEF	PROTWRPDEF	PROTRD	PROTWR
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.118 FSGDxxDPROTn レジスタの内容 (1/2)

ビット位置	ビット名	機能
31 ～ 27	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	—	リザーブです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
25	PROTUM	ユーザーモードでのアクセス 0：管理者モードでのアクセスを許可します。 1：ユーザーモードと管理者モードでのアクセスを許可します。
24 ～ 17	PROTPEID[7:0]	PEID によるアクセス PROTnPEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。複数のビットを設定することによって同時に複数のバーチャルプロセッサの ID 値を許可します。たとえば PROTnPEID を 0101_B に設定すれば PEID = 0 および PEID = 2 でのアクセスを許可します。 0：PEID = n でのアクセスを許可しません。 1：PEID = n でのアクセスを許可します。
16 ～ 9	—	リザーブです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
8 ～ 5	PROTSPID[3:0]	SPID によるアクセス PROTnSPID は各ビットがそれぞれ 1 つの SPID 値を表すビットの一覧です。複数のビットを設定することによって同時に複数の SPID 値を許可します。たとえば PROTnSPID を 0101_B に設定すれば SPID = 0 および SPID = 2 でのアクセスを許可します。 0：SPID = n でのアクセスを許可しません。 1：SPID = n でのアクセスを許可します。
4	PROTDEB	デバッグアクセス 0：デバッグマスタからのアクセスを許可しません。 1：デバッグマスタからのアクセスを許可します。 本ビットには必ず “1” を設定してください。もしも “0” を設定した場合、デバッガや RAM モニタツールが正しく動作しない可能性があります。
3	PROTRDPDEF	デフォルトリード保護 0：いずれのマスタもリードアクセスを実行することができます。 1：アクセスを許可されたマスタによるリードだけを許可します。

表 30.118 FSGDxxDPROTn レジスタの内容 (2/2)

ビット位置	ビット名	機能
2	PROTWRPDEF	デフォルトライト保護 0：いずれのマスタもライトアクセスを実行することができます。 1：アクセスを許可されたマスタによるライトだけを許可します。
1	PROTRD	リード許可 0：いずれのマスタもリードアクセスは許可しません。 1：アクセスを許可されたマスタによるリードアクセスだけを許可します。 ただし、PROTRDPDEF、PROTRD の両方に 0 を設定した場合は PROTRDPDEF = 0 の設定が優先され、いずれのマスタもリードアクセス可能となります。
0	PROTWR	ライト許可 0：いずれのマスタもライトアクセスは許可しません。 1：アクセスを許可されたマスタによるライトアクセスだけを許可します。 ただし、PROTWRPDEF、PROTWR の両方に 0 を設定した場合は PROTWRPDEF = 0 の設定が優先され、いずれのマスタもライトアクセス可能となります。

(2) ERRSLVxxCTL — PBGxx エラーコントロールレジスタ

PBGxx のエラーステータスレジスタのステータスをクリアするためのレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 30.119 ERRSLVxxCTL レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CLRO	エラーエントリオーバフローフラグクリア 0：動作しません。 1：オーバフローフラグをクリアします。
0	CLRE	エラー検出フラグクリア 0：動作しません。 1：エラー検出フラグをクリアします。

(3) ERRSLVxxSTAT — PBGxx エラーステータスレジスタ

PBGxx においてプロテクトした不正アクセスのステータスを保持するためのレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.120 ERRSLVxxSTAT レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	OVF	エラーエントリオーバフローフラグ 0：オーバフローなし 1：オーバフロー発生 PBG のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 なお、オーバフローは ECM には通知されません。 またオーバフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラー検出フラグ 0：エラーなし 1：エラー発生

(4) ERRSLVxxADDR — PBGxx エラーアドレスレジスタ

PBGxx においてプロテクトした不正アクセスのアドレスを保持するためのレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.121 ERRSLVxxADDR レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ADDR[31:0]	エラー発生時のアドレス ADDR[1:0] は 0 固定です

(5) ERRSLVxxTYPE — PBGxx エラータイプレジスタ

PBGxx においてプロテクトした不正アクセスのアクセスタイプを保持するためのレジスタです。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	STRB[3:0]				WRITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.122 ERRSLVxxTYPE レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15 ～ 13	PEID[2:0]	エラー発生時の PEID
12 ～ 10	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	SPID[1:0]	エラー発生時の SPID
7	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	UM	エラー発生時の UM
5	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4 ～ 1	STRB[3:0]	エラー発生時のストローブ信号（内部バス、インターコネクトの信号であり参考情報）
0	WRITE	エラー発生時のライト信号（内部バス、インターコネクトの信号であり参考情報）

30.5 マルチインプットシグネチャジェネレータ（MISG）

30.5.1 概要

本 LSI は、CPU 部 の自己診断などを目的として、マルチインプットシグネチャジェネレータ（MISG）を搭載しています。

MISG の仕様概要を以下に示します。

表 30.123 仕様概要

項目	説明
生成多項式	2 種類の生成多項式を用いてシグネチャを生成することができます。 • MISR1： $G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$ • MISR2： $G(x) = x^{32} + x^{22} + x^{2} + x + 1$ 64 ビットデータに対するシグネチャの生成に対応するために、各 CPU に MISR1（MISR2）を 2 つ搭載した MISG を接続します。
シグネチャの生成	シグネチャ生成の許可／禁止を設定できます。 • MISR1 でのシグネチャ生成の許可／禁止 • MISR2 でのシグネチャ生成の許可／禁止 シグネチャ生成条件として、下記 2 条件を選択できます。 • レジスタ書き込み MISR カルキュレーションレジスタ（MISRCDR_*）への書き込みによってシグネチャを生成します。 • ライト監視 CPU によるライトアクセスを監視し、特定の監視アドレス領域へのライトアクセスが発生するとシグネチャを生成します。監視対象となる特定の監視アドレス領域は、監視領域ベースアドレスレジスタと監視領域アドレスマスクレジスタで指定します。
シグネチャ自動比較機能	2 つのシグネチャ生成部を選択してシグネチャを比較します。 各シグネチャ生成部にデータカウンタを搭載し、比較対象に選択した MISG に搭載したデータカウンタのカウント値が一致した場合に比較を実施します。データカウンタは MISRCDR_* レジスタ、または監視するアドレス領域へのライトアクセスの回数をカウントします。
エラー通知	シグネチャの比較で不一致になった場合、ECM にエラー通知します。ECM へのエラー通知の許可／禁止を選択できます。 直接 INTC への割り込み要求は行いません。

本章での、MISRCDR_*、MISR1_* 、MISR2_* の “*” は PE1、PCU を意味します。

30.5.2 ブロック図

30.5.2.1 MISG

MISG のブロック図を以下に示します。MISG は、2 つのシグネチャ生成部とシグネチャ比較部で構成されます。

シグネチャ生成条件のライト監視モード（節参照）は、対応するシグネチャ生成部と CPU 間でのみ実現可能です。このため各シグネチャ生成部には、CPU 番号に対応した名称がつけられています（MISG_PE1、MISG_PCU）。MISG_PE1 は CPU1 のライトアクセスを監視できます。MISG_PCU は、PCU のライトアクセスを監視できません。

シグネチャ生成条件のレジスタライトモードでは、各 CPU とシグネチャ生成部の間に対応関係はありません。全ての CPU は全てのシグネチャ生成部でシグネチャを生成することができます。

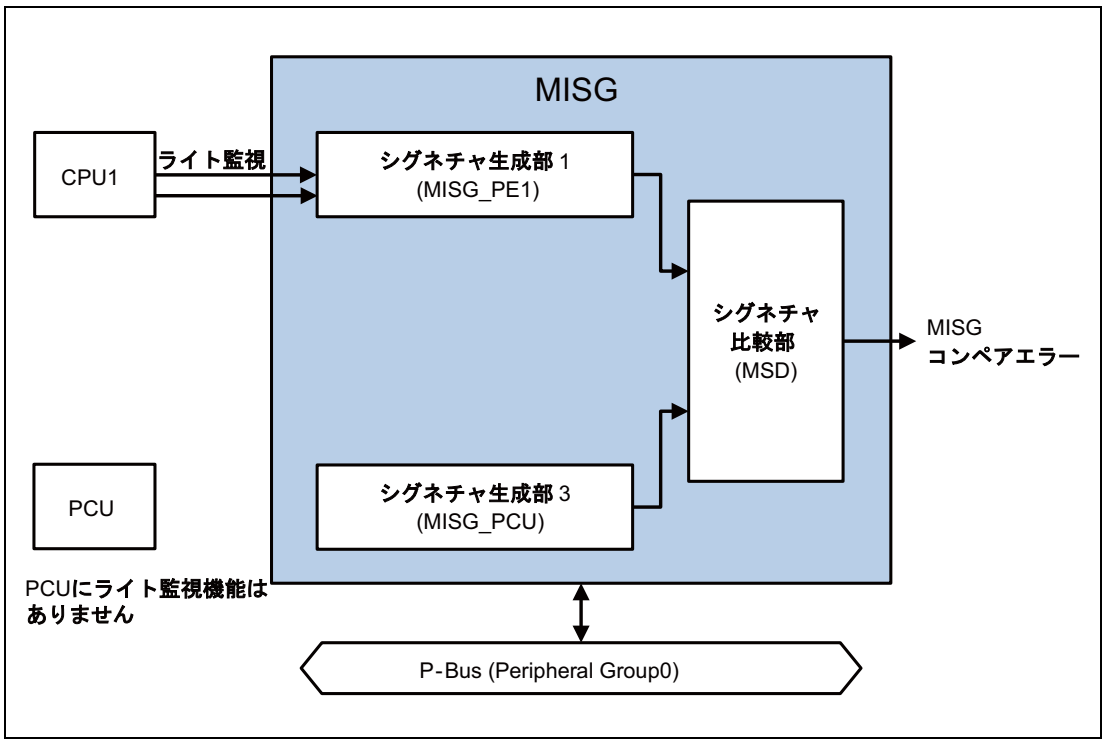


図 30.6 MISG ブロック図（マルチコア用）

30.5.2.2 シグネチャ生成

以下にシグネチャ生成におけるデータの流れを示します。MISR1 および MISR2 は 32 ビットのシグネチャ生成器 2 つ（MISR1_*、MISR2_*）から構成されます。MISR1_* と MISR2_* は、監視対象 CPU のライトデータに対し、64 ビットデータからシグネチャを生成し、または MISRCDR_* へのライトデータからもシグネチャを生成できます。PCU はライト監視機能が無い為、MISRCDR_* へのライトデータでのみシグネチャを生成します。

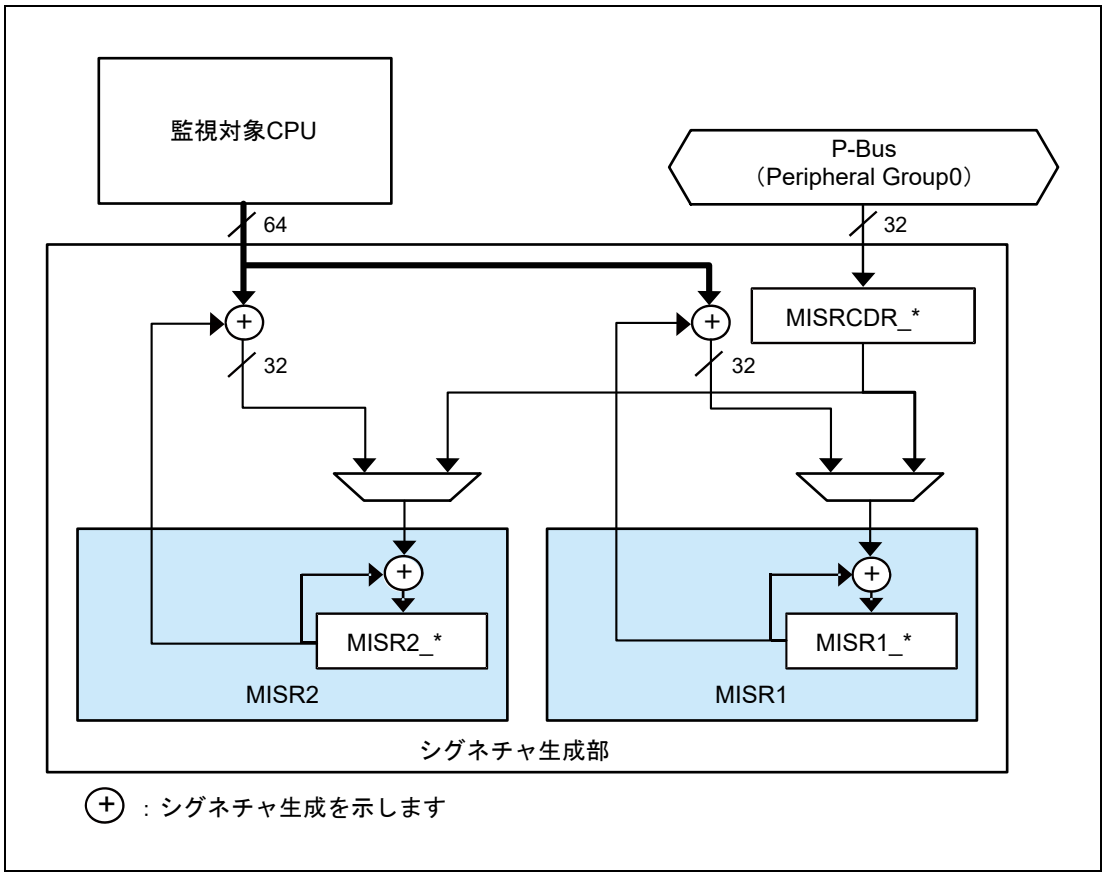


図 30.7 シグネチャ生成部

以下に MISR1_* のシグネチャ生成のブロック図と生成多項式を示します。

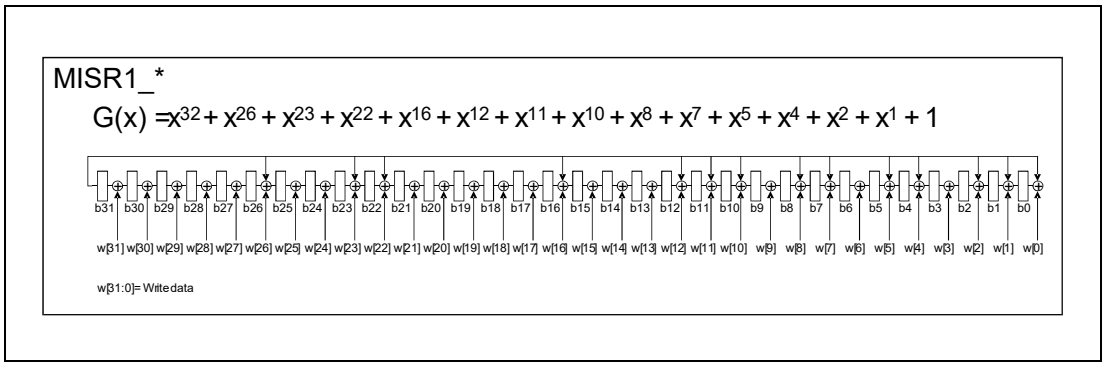


図 30.8　MISR1_* のシグネチャ生成のブロック図

以下に MISR2_* のシグネチャ生成のブロック図と生成多項式を示します。

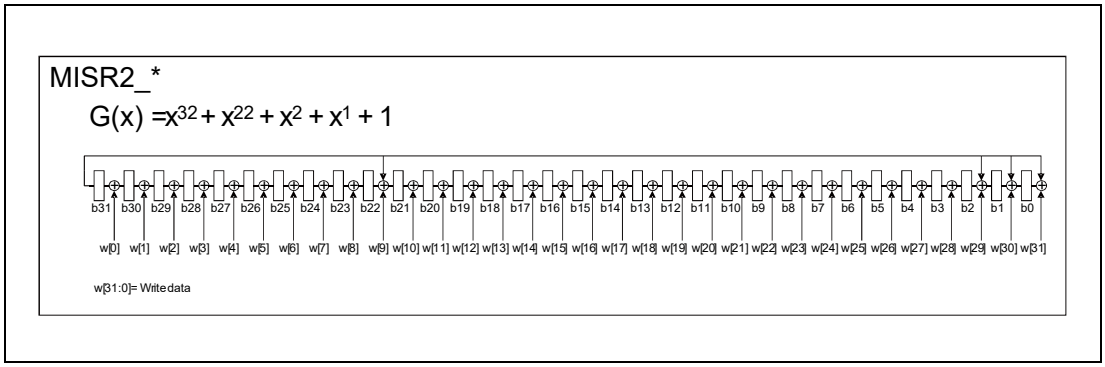


図 30.9　MISR2_* のシグネチャ生成のブロック図

30.5.3 機能仕様

30.5.3.1 シグネチャ生成条件

MISR1 および MISR2 のシグネチャ生成条件は、MISR コントロールレジスタ（MISRCR_*）の設定によって選択することができます。

MISRi のシグネチャ生成条件（i = 1, 2）

表 30.124 シグネチャ生成条件

MISRCR. MISRiEN	MISRCR. MISEiCND	シグネチャ生成条件
0	—	MISRi はシグネチャを生成しません
1	0	レジスタ書き込みモード MISRi は、MISRCDR_* レジスタへの書き込みが行われるとシグネチャを生成します
1	1	ライト監視モード MISRi は、対応する CPU が特定の監視アドレスへのライトアクセスを実行するとシグネチャを生成します

(1) レジスタ書き込みモード

MISR1 がレジスタ書き込みモードのときに MISR カルキュレーションレジスタ（MISRCDR_*）への書き込みが実行されると、MISR1 はマルチインプットシグネチャレジスタ 1（MISR1_*）に保持している値と MISRCDR_* へのライトデータから 32 ビットのシグネチャを生成し、MISR1_* に保持します。同様に、MISR2 がレジスタ書き込みモードのときに MISRCDR_* への書き込みが実行されると、MISR2 はマルチインプットシグネチャレジスタ 2（MISR2_*）に保持している値と MISRCDR_* へのライトデータから 32 ビットのシグネチャを生成し、MISR2_* に保持します。

MISRCDR_* への書き込みは 8/16/32 ビット単位で実行可能で、書き込みが行われないビットは ”0” として扱います。例えば、MISRCDR_* の下位 16 ビットにのみ書き込みを行った場合、ライトデータの上位 16 ビットは “0” としてシグネチャが生成されます。同じく、MISRCDR_* の上位 16 ビットにのみ書き込みを行った場合、ライトデータの下位 16 ビットは “0” としてシグネチャが生成されます（ただし、IO ヘッダファイルを使ったアクセスではこのような状況は起こらない）。

MISR1 および MISR2 は、MISRCDR_* への書き込みを行うバスマスタを区別しません。CPU、DMAC、デバッグマスタ、などいかなるバスマスタからの書き込みによってもシグネチャを生成します。

(2) ライト監視モード

MISR1 がライト監視モードのときに対応する CPU が特定の監視アドレス領域へのライトアクセスを実行すると、MISR1 は MISR1_* に保持している値と、CPU の 64 ビットのライトデータから 32 ビットへ圧縮したシグネチャを生成し、32 ビットへ圧縮したデータに再度 MISR1_* に保持している値とシグネチャを生成して MISR1_* に保持します。同様に、MISR2 がライト監視モードのときに対応する CPU が特定の監視アドレス領域へのライトアクセスを実行すると、MISR2 は MISR2_* に保持している値と CPU の 64 ビットのライトデータから 32 ビットへ圧縮したシグネチャを生成し、32 ビットへ圧縮したデータに再度 MISR2_* に保持している値とシグネチャを生成して MISR2_* に保持します。

シグネチャ生成の対象となる特定の監視アドレス領域は、MISR 監視領域ベースアドレスレジスタ（MISRBASEADR）と MISR 監視領域アドレスマスクレジスタ（MISRADRMSK）で設定します。CPU のライトアドレスが特定の監視アドレス領域内であれば、シグネチャが生成されます。

ライト監視モードでは、対応する CPU の 8/16/32/64 ビット単位でのライトアクセスを監視します。8/16 ビット単位での書き込みの場合、書き込みが行われない残りのビットは “0” として扱い、常に 64 ビットのデータから 32 ビットへ圧縮されたデータが MISR1 および MISR2 へ入力されます。アクセス先のアドレスに関わらず、ライトデータは下位側に配置されます。例えば、4N+2 番地への 16 ビットライトの場合も、16 ビットのライトデータは下位側に配置され、上位 16 ビットのライトデータは “0” としてシグネチャが生成されます。

MISR1 および MISR2 が監視できる CPU のライトアクセス先は下記の通りです。

Local-RAM、Global-RAM、

CPU Peripheral（ローカル APB）、

インターコネクトまたは P-Bus に接続された周辺回路

以下に示すストア動作には、以下の使用制限があります。

(1) スレーブ応答時にライトデータが判明する命令：BitOp、CAXI、STC.W 等のストア動作は、監視対象外です。

(2) 64bit を超えるデータを扱うスタック退避命令（PREPARE 系、PUSHSP）は、割り込みによる中断によって、各マスタ間のシグネチャ値が不一致となる可能性があります。従って、本命令で使用する領域は監視対象外とするか、または、割り込みによる動作の中断が発生しないようにしてください。

ライト監視モードは、特定のシグネチャ生成部と対応する CPU の間でのみ実行可能です。本製品では、以下の監視が可能です。PCU のライトアクセスは監視できません。

- シグネチャ生成部 1 による CPU1 のライトアクセス監視

ライト監視モードに対応していないシグネチャ生成部でライト監視モードを設定した場合、シグネチャは生成されません。この時、MISRBASEADR と MISRADRMSK の値はどこからも参照されません。

30.5.3.2 シグネチャ自動比較機能

シグネチャ生成部のうち、コンパレータコントロールレジスタ（MISRCMPCTL）の MISR1CMPEN2 ビット、MISR2CMPEN2 ビットで、2 つのシグネチャ生成部を選択してシグネチャを比較します。各シグネチャ生成部にはデータカウンタを搭載しており、比較対象に選択した 2 つのシグネチャ生成部に搭載したデータカウンタのカウント値が一致した場合にシグネチャを比較します。

2 つのシグネチャを比較する場合、MISRCMPCTL レジスタの MISR1CMPEN2/ MISR2CMPEN2 で 2 つのシグネチャ生成部でのシグネチャ比較を許可してください。

30.5.3.3 データカウンタ

MISR データカウンタレジスタ（MISRDCNT）は、MISRCDR_* への書き込み回数、または BASEADR と ADRMSK で設定されたアドレス範囲へのライトアクセスの回数をカウントします。データカウンタコントロールレジスタ（MISRDCNTCTL）の CNTSTA ビット = 1、CNTTRG ビット = 0 のとき、MISRDCNT は MISRCDR_* へのライトアクセスの回数をカウントします。MISRDCNTCTL の CNTSTA ビット = 1、CNTTRG ビット = 1 のとき、MISRDCNT は MISRBASEADR と MISRADRMSK で設定された監視アドレス範囲への対応する CPU のライトアクセスの回数をカウントします。

MISR1 や MISR2 のシグネチャ生成条件を MISRDCNT のカウントアップトリガに設定することで、MISRDCNT は MISR1 や MISR2 のどちらか一方または両方のシグネチャ生成回数をカウントすることができます。ただし、MISR1 と MISR2 のシグネチャ生成条件とデータカウンタのカウントアップトリガが整合していない場合、MISRDCNT の値とシグネチャ生成回数と一致しませんので注意してください。

注 意

1. **MISRCR レジスタの MISR1EN および MISR2EN がともに 0 の場合には、MISRCDR_* への書き込みおよび MISRBASEADR と MISRADRMSK で設定されたアドレス範囲へのライトが行われても MISRDCNT のカウントはインクリメントされません。**
2. **ライト監視モードに対応していないシグネチャ生成部において、データカウンタのカウントアップトリガを監視アドレス領域への CPU ライトアクセスに設定した場合、MISRDCNT のカウントはインクリメントされません。**

30.5.3.4 エラー通知

エラー通知コントロールレジスタ（MISRERRCTL）の CMPERREN ビット = 1 のとき、シグネチャの比較不一致で ECM へエラーを通知します。同時にコンペアエラーステータスレジスタのエラーフラグをセットします。

INTC への割り込み要求発生は行いません。

30.5.4 レジスタ仕様

30.5.4.1 レジスタマップ

シグネチャ生成部のレジスタ一覧を下記に示します。

末尾に “_PE1” と記したレジスタはシグネチャ生成部 1（MISG_PE1）に搭載されています。

末尾に “_PCU” と記したレジスタはシグネチャ生成部 3（MISG_PCU）に搭載されています。

尚、本章の説明において、シグネチャ生成部 1、3 を区別する必要がない場合は、レジスタシンボル末尾の “_PE1”、“_PCU” を省略します。

MISG_PE1_base = FFC5 1000_H

MISG_PCU_base = FFC5 3000_H

表 30.125 シグネチャ生成部レジスタ一覧

レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
MISR1_PE1	マルチインプットシグネチャレジスタ 1（PE1）	R/W	0000 0000_H	<MISG_PE1_base> + 000_H	32
MISR2_PE1	マルチインプットシグネチャレジスタ 2（PE1）	R/W	0000 0000_H	<MISG_PE1_base> + 008_H	32
MISRCDR_PE1	MISR カルキュレーションデータレジスタ（PE1）	W	—	<MISG_PE1_base> + 010_H	8/16/32
MISRCR_PE1	MISR コントロールレジスタ（PE1）	R/W	00_H	<MISG_PE1_base> + 018_H	8
MISRBASEADR_PE1	MISR 監視領域ベースアドレスレジスタ（PE1）	R/W	0000 0000_H	<MISG_PE1_base> + $01C_H$	8/16/32
MISRADRMSK_PE1	MISR 監視領域ドレスマスクレジスタ（PE1）	R/W	0000 0000_H	<MISG_PE1_base> + 020_H	8/16/32
MISRDCNTCTL_PE1	MISR データカウントコントロールレジスタ（PE1）	R/W	00_H	<MISG_PE1_base> + 024_H	8
MISRDCNT_PE1	MISR データカウントレジスタ（PE1）	R/W	0000_H	<MISG_PE1_base> + 028_H	16
MISR1_PCU	マルチインプットシグネチャレジスタ 1（PCU）	R/W	0000 0000_H	<MISG_PCU_base> + 000_H	32
MISR2_PCU	マルチインプットシグネチャレジスタ 2（PCU）	R/W	0000 0000_H	<MISG_PCU_base> + 008_H	32
MISRCDR_PCU	MISR カルキュレーションデータレジスタ（PCU）	W	—	<MISG_PCU_base> + 010_H	8/16/32
MISRCR_PCU	MISR コントロールレジスタ（PCU）	R/W	00_H	<MISG_PCU_base> + 018_H	8
MISRBASEADR_PCU	MISR 監視領域ベースアドレスレジスタ（PCU）	R/W	0000 0000_H	<MISG_PCU_base> + $01C_H$	8/16/32
MISRADRMSK_PCU	MISR 監視領域ドレスマスクレジスタ（PCU）	R/W	0000 0000_H	<MISG_PCU_base> + 020_H	8/16/32
MISRDCNTCTL_PCU	MISR データカウントコントロールレジスタ（PCU）	R/W	00_H	<MISG_PCU_base> + 024_H	8
MISRDCNT_PCU	MISR データカウントレジスタ（PCU）	R/W	0000_H	<MISG_PCU_base> + 028_H	16

シグネチャ比較部（MSD サブブロック）のレジスター一覧を下記に示します。

MSD_base = FFC5 0000_H

表 30.126 シグネチャ比較部レジスター一覧

レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
MISRCMPCTL	MISR コンパレータコントロールレジスタ	R/W	0000_H	<MSD_base> + 00_H	8/16
MISRCMPERSTR	MISR コンペアエラーステータスレジスタ	R	00_H	<MSD_base> + 04_H	8
MISRCMPERRSTC	MISR コンペアエラーステータスクリアレジスタ	W	00_H	<MSD_base> + 08_H	8
MISRERRCTL	MISR エラー通知コントロールレジスタ	R/W	00_H	<MSD_base> + $0C_H$	8

注 1.　実体が 32bit 未満のレジスタに対するアクセスで、未実装（未定義）のビットに対するアクセスは、ライトアクセスは無視し、リードアクセスでは 0 を返します。

以下、シグネチャ生成部に搭載する制御レジスタについて記載します。

30.5.4.2 MISRCDR_PE1/PCU — MISR カルキュレーションデータレジスタ

MISR カルキュレーションデータレジスタは書き込み専用の 32 ビットレジスタです。

シグネチャ生成条件がレジスタライトモードの時、本レジスタへの書き込みによって MISR1 や MISR2 でシグネチャが生成されます。本レジスタへ書き込んだデータは、マルチインプットシグネチャレジスタ 1（MISR1_*）、マルチインプットシグネチャレジスタ 2（MISR2_*）の入力データになります。シグネチャ生成条件については、**「30.5.3.1 シグネチャ生成条件」**を参照してください。

本レジスタへの書き込みは 8/16/32 ビット単位で実行可能です。8/16 ビット単位での書き込みの場合、書き込みが行われない残りのビットは “0” として扱い、常に 32 ビットのデータが MISR1_*、MISR2_* へ入力されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISRCDR[31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISRCDR[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 30.127 MISRCDR_PE1/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	MISRCDR31 ～ MISRCDR0	カルキュレーションデータ MISR1 または MISR2 への入力データ。 MISRCR レジスタの MISR1EN ビット = 1 かつ MISR1CND = 0 のとき、または MISR2EN = 1 かつ MISR2CND = 0 のとき、MISRCDR レジスタへの書き込みが行われるたびに新たなシグネチャが生成され、MISR1 または MISR2 に保持されます。

30.5.4.3　MISR1_PE1/PCU — マルチインプットシグネチャレジスタ 1

マルチインプットシグネチャレジスタは読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は**「30.5.3.1　シグネチャ生成条件」**をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISR1[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISR1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.128 MISR1_PE1/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	MISR131 ～ MISR10	マルチインプットシグネチャレジスタ 1 読み出すと、常に最新のシグネチャが読み出されます。

30.5.4.4 MISR2_PE1/PCU — マルチインプットシグネチャレジスタ 2

マルチインプットシグネチャレジスタ 2 は読み出し、書き込み可能な 32 ビットレジスタです。

シグネチャ生成条件が成立すると、条件が成立するたびに新しいシグネチャを生成し、生成した値を保持します。シグネチャ生成条件は**「30.5.3.1　シグネチャ生成条件」**をご参照ください。

シグネチャは下記の多項式で生成されます。

$$G(x) = x^{32} + x^{22} + x^{2} + x + 1$$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISR2[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISR2[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.129 MISR2_PE1/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	MISR231 ～ MISR20	マルチインプットシグネチャレジスタ 2 読み出すと、常に最新のシグネチャが読み出されます。

30.5.4.5 MISRCR_PE1/PCU — MISR コントロールレジスタ

MISR コントロールレジスタは読み出し、書き込み可能な 8 ビットレジスタです。

MISR1EN ビット、MISR2EN ビットで MISR1、MISR2 のシグネチャ生成の許可／禁止を設定します。MISR1EN ビット、MISR2EN ビットが “1” のとき、MISR1、MISR2 はシグネチャを生成し、保持します。MISR1EN ビット、MISR2EN ビットが “0” のとき、MISR1、MISR2 はシグネチャを生成せず、これらレジスタの値は更新されません。

MISR1EN ビット、MISR2EN ビットが 1 の時、MISR1CND ビット、MISR1CND ビットで MISR1、MISR2 のシグネチャ生成条件を選択します。MISR1CND ビット、MISR2CND ビットが “0” のとき、MISR1、MISR2 のシグネチャ生成条件はレジスタ書き込みモードとなり、MISRCDR_* への書き込みによってシグネチャを生成します。MISR1CND ビット、MISR2CND ビットが “1” のとき、MISR1、MISR2 のシグネチャ生成条件はライト監視モードとなり、MISRBASEADR レジスタ、MISRADRMSK レジスタで設定されたアドレス範囲への対応する CPU のライトアクセスによってにシグネチャを生成します。シグネチャ生成条件は**「30.5.3.1 シグネチャ生成条件」**をご参照ください。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	MISR2CND	MISR1CND	MISR2EN	MISR1EN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 30.130 MISRCR_PE1/PCU レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	MISR2CND	MISR2 シグネチャ書き込み制御ビット MISR2EN ビット = 1 のときの MISR2 でのシグネチャ生成条件を設定します。 0：レジスタ書き込みモード 1：ライト監視モード
2	MISR1CND	MISR1 シグネチャ書き込み制御ビット MISR1EN ビット = 1 のときの MISR1 でのシグネチャ生成条件を設定します。 0：レジスタ書き込みモード 1：ライト監視モード
1	MISR2EN	MISR2 イネーブルビット 0：MISR2 はシグネチャを生成しません 1：MISR2 はシグネチャを生成し、MISR2H/MISR2_* の値が更新されます。
0	MISR1EN	MISR1 イネーブルビット 0：MISR1 はシグネチャを生成しません 1：MISR1 はシグネチャを生成し、MISR1H/MISR1_* の値が更新されます。

30.5.4.6　MISRBASEADR_PE1/PCU — MISR 監視領域ベースアドレスレジスタ

シグネチャ生成条件がライト監視モードにおいて、MISG が監視する CPU のライトアクセス領域を設定するレジスタです。監視領域マスクアドレスレジスタの設定と併せて監視領域アドレス範囲を指定します。シグネチャ生成条件は**「30.5.3.1　シグネチャ生成条件」**をご参照ください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BASEADR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BASEADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.131 MISRBASEADR_PE1/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	BASEADR31 ～ BASEADR0	監視領域ベースアドレスレジスタ

監視領域へのアクセスを判定する仕組みについては、**「30.5.4.7　MISRADRMSK_PE1/PCU — MISR 監視領域アドレスマスクレジスタ」**を参照してください。

30.5.4.7 MISRADRMSK_PE1/PCU — MISR 監視領域アドレスマスクレジスタ

シグネチャ生成条件がライト監視モードにおいて、MISG が監視する CPU のライトアクセス領域を設定するレジスタです。監視領域ベースアドレスレジスタの設定と併せて監視領域アドレス範囲を指定します。シグネチャ生成条件は「**30.5.3.1 シグネチャ生成条件**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADRMSK[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRMSK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.132 MISRADRMSK_PE1/PCU レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	ADRMSK31 ～ ADRMSK0	監視領域マスクアドレスレジスタ

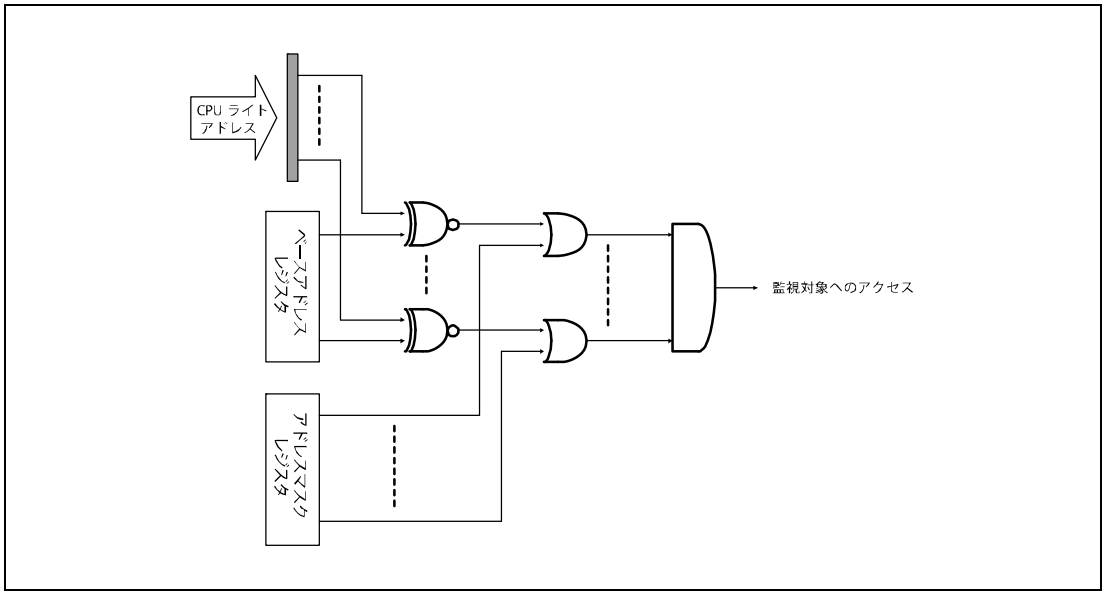


図 30.10 監視領域へのアクセスを判定する仕組み

30.5.4.8 MISRDCNTCTL_PE1/PCU — MISR データカウンタコントロールレジスタ

MISR データカウンタコントロールレジスタは読み出し、書き込み可能な 8 ビットレジスタです。

MISR データカウンタレジスタの動作を制御します。CNTSTA ビット = 1 のとき、CNTTRG ビットで選択したイベントが発生するとデータカウンタがインクリメントされます。データカウンタの動作については**「30.5.3.3 データカウンタ」**を参照してください。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CNTTRG	CNTSTA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 30.133 MISRDCNTCTL_PE1/PCU レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CNTTRG	カウントアップトリガ選択ビット データカウンタのカウントアップトリガを選択します。 0：MISRCDR_* レジスタへのライトアクセス 1：MISRBASEADR レジスタと MISRADRMSK レジスタで指定したアドレス領域へのライトアクセス
0	CNTSTA	データカウンタスタートビット データカウンタのイネーブルビットです。CNTSTA = 1 のとき、CNTTRG ビットで選択したイベントが発生すると、データカウンタがインクリメントされます。 0：データカウンタ停止 1：データカウンタ動作

30.5.4.9 MISRDCNT_PE1/PCU — MISR データカウンタレジスタ

データカウンタは読み出し、書き込み可能な 16 ビットレジスタです。

比較対象の各シグネチャ生成部のデータカウンタ値が一致した時、シグネチャの自動比較が実行されます。

データカウンタコントロールレジスタの CNTTRG ビット = 0 のとき、MISR カルキュレーションデータレジスタへのライトアクセス発生でインクリメントされます。データカウンタコントロールレジスタの CNTTRG ビット = 1 のとき、MISRBASEADR レジスタと MISRADRMSK レジスタで指定したアドレス領域への対応 CPU のライトアクセス発生でインクリメントされます。データカウンタの動作については**「30.5.3.3 データカウンタ」**を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.134 MISRDCNT_PE1/PCU レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	DCNT15 ～ DCNT0	データカウンタレジスタ

以下、MSD 部（シグネチャ比較部）で搭載する制御レジスタについて記載します。

30.5.4.10 MISRCMPCTL — MISR コンパレータコントロールレジスタ

コンパレータコントロールレジスタは読み出し、書き込み可能な 16 ビットレジスタです。

シグネチャ自動比較機能において、各シグネチャ生成部で生成されたシグネチャを比較するコンパレータを制御します。シグネチャ自動比較機能については**「30.5.3.2　シグネチャ自動比較機能」**を参照してください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	MISR2CMPEN2	—	—	MISR1CMPEN2	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R

表 30.135 MISRCMPCTL レジスタの内容

ビット位置	ビット名	機能
15 ～ 6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MISR2CMPEN2	MISR2 シグネチャコンペア許可ビット 2 MISG_PCU と MISG_PE1 の MISR2 に保持しているシグネチャの比較を制御するビットです。 0：比較禁止 1：比較許可
4、3	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MISR1CMPEN2	MISR1 シグネチャコンペア許可ビット 2 MISG_PCU と MISG_PE1 の MISR1 に保持しているシグネチャの比較を制御するビットです。 0：比較禁止 1：比較許可
1、0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.5.4.11 MISRCMPERSTR — MISR コンペアエラーステータスレジスタ

コンペアエラーステータスレジスタは読み出し可能な 8 ビットレジスタです。

コンパレータコントロールレジスタで許可したシグネチャ比較で不一致が発生すると対応するエラーフラグがセットされます。

エラーフラグのクリアはコンペアエラーステータスクリアレジスタの対応するクリアビットへの “1” 書き込みで行います。リセットでもクリアされます。

ビット	7	6	5	4	3	2	1	0
	—	—	MISR2ERR2	—	—	MISR1ERR2	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.136 MISRCMPERSTR レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MISR2ERR2	MISR2 シグネチャコンペアエラーフラグ 2 MISG_PE1 と MISG_PCU の MISR2 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0：シグネチャ比較で不一致は発生していない 1：シグネチャ比較で不一致が発生した
4、3	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MISR1ERR2	MISR1 シグネチャコンペアエラーフラグ 2 MISG_PE1 と MISG_PCU の MISR1 に保持しているシグネチャの比較で不一致が発生するとセットされます。 0：シグネチャ比較で不一致は発生していない 1：シグネチャ比較で不一致が発生した
1、0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.5.4.12 MISRCMPERRSTC — MISR コンペアエラーステータスクリアレジスタ

コンペアエラーステータスクリアレジスタは書き込み専用の 8 ビットレジスタです。

コンペアエラーステータスレジスタの各エラーフラグが “1” のとき、対応するクリアビットに “1” を書き込むことでエラーフラグがクリアされます。MISR コンペアエラーステータスレジスタをリードして、“1” になっているフラグのクリアビットに “1” を書き込んでください。

ビット	7	6	5	4	3	2	1	0
	—	—	MISR2CLR2	—	—	MISR1CLR2	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	W	R	R	W	R	R

表 30.137 MISRCMPERRSTC レジスタの内容

ビット位置	ビット名	機能
7、6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MISR2CLR2	MISR2 シグネチャコンペアエラークリアビット 2 “1” 書き込みで MISRCMPERSTR レジスタの MISR2ERR2 ビットをクリアします。
4、3	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MISR1CLR2	MISR1 シグネチャコンペアエラークリアビット 2 “1” 書き込みで MISRCMPERSTR レジスタの MISR1ERR2 ビットをクリアします。
1、0	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.5.4.13 MISRERRCTL — MISR エラー通知コントロールレジスタ

エラー通知コントロールレジスタは読み出し、書き込み可能な 8 ビットレジスタです。

シグネチャ自動比較機能におけるシグネチャのコンペア不一致発生時のエラー通知許可／禁止を設定します。シグネチャ自動比較機能とエラー通知については**「30.5.3.2　シグネチャ自動比較機能」**と**「30.5.3.4　エラー通知」**を参照してください。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CMPERREN
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 30.138 MISRERRCTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CMPERREN	コンペアエラー通知許可ビット シグネチャのコンペア不一致発生でエラー通知の許可／禁止を選択します。 0：シグネチャのコンペア不一致が発生してもエラー通知しない 1：シグネチャのコンペア不一致が発生すればエラー通知する

30.5.5 使用例

30.5.5.1 使用例 1

自己診断プログラムによる診断を容易化します。自己診断プログラムの途中経過を MISG で圧縮することにより、全ての途中結果の保存や比較が不要となります。プログラム終了後に MISG の圧縮結果を期待値と比較することで、途中経過を含めた自己診断結果を判定することができます。

→これによってメモリ容量や比較処理時間の削減の効果が見込めます（CRC での代替も可能）。

設定例（PE1 で自己診断プログラムを実行する場合）

下記記載の MISG のレジスタは、PE1 に対応するシグネチャ生成部 1（MISG_PE1）のレジスタが対象です。

(1) マルチインプットシグネチャレジスタ 1（MISR1_*）、マルチインプットシグネチャレジスタ 2（MISR2_*）、データカウンタレジスタ（MISRDCNT）を初期化します。

(2) MISR コントロールレジスタ（MISRCR）の MISR1CND/MISR2CND ビットを “1” にして、MISR1/MISR2 のシグネチャ生成条件をライト監視モードに設定します。

(3) MISR 監視領域ベースアドレスレジスタ（MISRBASEADR）、MISR 監視領域アドレスマスクレジスタ（MISRADRMSK）で監視対象アドレス領域を設定します。

(4) MISR コントロールレジスタの MISR1EN/MISR2EN ビットを “1” にして、MISR1/MISR2 でのシグネチャ生成を許可します。

(5) PE1 で自己診断プログラムを実行します。

(6) 自己診断プログラムの実行完了後、MISR1_*、MISR2_* のデータを FLASH に格納した期待値と比較します。

30.5.5.2 使用例 2

複数プロセッサで、同じ処理（自己診断プログラムを含む）を実行して、結果が正しいことを確認してください。違うハードウェアの実行結果を比較することで、信頼性が向上します。

設定例（PE1、PCU で同じタスクを実行する場合）

下記記載の MISG のレジスタは、PE1、PCU に搭載する MISG のレジスタが対象です。

(1) マルチインプットシグネチャレジスタ 1（MISR1_*）、マルチインプットシグネチャレジスタ 2（MISR2_*）、データカウンタレジスタ（MISRDCNT）を初期化します。

(2) MISR コントロールレジスタ（MISRCR）の MISR1CND/MISR2CND ビットを “0” にして、MISR1/MISR2 のシグネチャ生成条件をレジスタ書き込みモードに設定します。

(3) MISR コンパレータコントロールレジスタ（MISRCMPCTL）の MISR1CMPEN1/MISR2CMPEN1 を “1” に設定し、コンパレータでのシグネチャ比較を許可します。

(4) MISR エラー通知コントロールレジスタの CMPERREN を “1” にして、ECM へのエラー通知を許可します。

(5) MISR データカウンタコントロールレジスタ（MISRDCNTCTL）の CNTTRG を “0” にして、データカウンタのカウントアップトリガを MISRCDR_* への書き込みに設定します。CNTSTA を “1” にして、データカウンタの動作を許可します。

(6) MISR コントロールレジスタの MISR1EN/MISR2EN ビットを “1” にして、MISR1/MISR2 でのシグネチャ生成を許可します。

(7) 各 CPU で自己診断プログラムを実行します。

(8) 自己診断プログラムは、プログラム実行の途中でプログラム実行経過を対応するシグネチャ生成部の MISRCDR_* に格納します。シグネチャ比較部は、MISG_PE1 と MISG_PCU のデータカウンタレジスタ（MISRDCNT）の値が一致するたびに、MISG_PE1 と MISG_PCU の MISR1/MISR2 のシグネチャが比較します。

(9) コンペアエラーの有無はコンペアエラーステータスレジスタで確認してください。

30.6　クロックモニタ

30.6.1　概要

本製品は、クロックの動作を監視するためのクロックモニタを搭載します。

クロックモニタは、モニタ対象クロックの周波数異常を検出します。クロックモニタは下記機能を持ちます。

- クロックモニタは、モニタクロックの周波数が特定の範囲にあることを監視します。サンプリングクロックを使用して、モニタクロックの周波数が特定の範囲内にあることを確認します。
- クロックの異常検知後、クロックモニタは ECM へエラー通知を行います。

クロックモニタのモニタクロックとサンプリングクロックを以下の表に示します。

表 30.139 各クロックモニタのモニタクロック、サンプリングクロック一覧

クロックモニタチャネル	モニタクロック	サンプリングクロック
CLMA0	低速周辺クロック (40MHz SSG)	非変調低速周辺クロック (40MHz clean)
CLMA1	非変調低速周辺クロック (40MHz clean)	10MHz（メイン OSC の 1/2）
CLMA2	WDTA カウントクロック（メイン OSC の 1/80）	低速 ROSC クロック (ROSC)

30.6.2 レジスター覧

30.6.2.1 クロックモニタ チャネルレジスタ

表 30.140 レジスター覧

アドレス	シンボル	レジスタ名	R/W	リセット後の値	アクセスサイズ
<Base_adr+00_H>	CLMAnCTL0	CLMAn 制御レジスタ 0	R/W	00_H	8
<Base_adr+08_H>	CLMAnCMPL	CLMAn 比較レジスタ L	R/W	0001_H	16
<Base_adr+$0C_H$>	CLMAnCMPH	CLMAn 比較レジスタ H	R/W	$03FF_H$	16
<Base_adr+10_H>	CLMAnPCMD	CLMAn 保護命令レジスタ	W	00_H	8
<Base_adr+14_H>	CLMAnPS	CLMAn 保護ステータスレジスタ	R	00_H	8

レジスタベースアドレスは下記のとおりです。

表 30.141 レジスタベースアドレス一覧

クロックモニタチャネル	<Base_addr>
CLMA0	FFF8 8400_H
CLMA1	FFF8 8420_H
CLMA2	FFF8 8440_H

30.6.2.2 共通レジスタ

表 30.142 共通レジスター覧

レジスタシンボル	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	保護
CLMATEST	CLMA セルフテストレジスタ	R/W	0000 0000_H	FFF8 8204_H	32	PROT1PHCMD 注 1
CLMATESTS	CLMA セルフテストステータスレジスタ	R/W	0000 0000_H	FFF8 8208_H	32	

注 1.　本レジスタについては「第 11 章　クロックコントローラ」をご参照ください。

30.6.3 レジスタ詳細

30.6.3.1 CLMAnCTL0 — CLMAn 制御レジスタ 0

クロックモニタ機能の動作を制御するレジスタです。

CLMAnPCMD レジスタにより保護されます。

外部および内部リセットどちらからでもリセット可能です。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnCLME
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W 注 1

注 1. レジスタはリセットでクリア可能です。0 の書き込みは、無視されます。

表 30.143 CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	CLMAnCLME	クロックモニタ機能の動作 0：動作を禁止 1：動作を許可

30.6.3.2 CLMAnCMPL — CLMAn 比較レジスタ L

正常な周波数範囲か比較するための下限値を設定するレジスタです。

外部および内部リセットどちらからでもリセット可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPL[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.144 CLMAnCMPL レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11 ～ 0	CLMAnCMPL [11:0]	正常な周波数範囲か比較するための下限値 本レジスタは CLMAnCTL0.CLMAnCLME が 0 のとき書き込み可能です。 CLMAnCTL0.CLMAnCLME が 1 にセットされた後は、書き込みは無効です。

30.6.3.3　CLMAnCMPH — CLMAn 比較レジスタ H

正常な周波数範囲か比較するための上限値を設定するレジスタです。

外部および内部リセットどちらからでもリセット可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPH[11:0]											
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.145 CLMAnCMPH レジスタの内容

ビット位置	ビット名	機能
15 ～ 12	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11 ～ 0	CLMAnCMPH [11:0]	正常な周波数範囲か比較するための上限値です。 本レジスタは CLMAnCTL0.CLMAnCLME が 0 のとき書き込み可能です。 CLMAnCTL0.CLMAnCLME が 1 にセットされた後は、書き込みは無効です。

30.6.3.4　CLMAnPCMD — CLMAn 保護命令レジスタ

CLMAnCTL0 レジスタのための特別なシーケンスレジスタです。

外部および内部リセットどちらからでもリセット可能です。

ビット	7	6	5	4	3	2	1	0
	CLMAnPCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

この保護方式の詳細については、**「30.6.6.1　保護レジスタへの書き込み」**をご参照ください。

30.6.3.5 CLMAnPS — CLMAn 保護命令ステータスレジスタ

CLMAnCTL0 レジスタのための特別なシーケンスステータスレジスタです。

外部および内部リセットどちらからでもリセット可能です。

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnPRERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.146 CLMAnPS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブです。読み出すと常に 0 が読み出されます。
0	CLMAnPRERR	保護エラーの検出 0：保護エラー発生なし 1：保護エラー発生

CLMAnPRERR ビットの動作条件

セット条件：CLMAnPCMD でプロテクションの対象となっている CLMAnCTL0 に対して、プロテクト解除シーケンスを守らずにアクセスした場合。

クリア条件：CLMAnPCMD レジスタに $A5_H$ を書き込んだ場合（プロテクト解除シーケンスのステップ 1）。

30.6.3.6 CLMATEST — CLMA セルフテストレジスタ

CLMA2 ～ 0 の自己診断を行うためのレジスタです。

本レジスタは、PROT1PHCMD レジスタによって保護することができます。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CLMA2TESTEN	CLMA1TESTEN	CLMA0TESTEN	ERRMSK	MONCLKMSK	RESCLM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 30.147 CLMATEST レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	—	リザーブです。読み出すと常に 0 が読み出されます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
5 ～ 3	CLMA2TESTEN CLMA1TESTEN CLMA0TESTEN	CLMA2 ～ 0 のセルフテストの有効／無効を指定します。 0：対応する CLMAn のセルフテストは無効です 1：対応する CLMAn のセルフテストは有効です
2	ERRMSK	CLMAn によるエラー検出結果の ECM への通知を無効化します。本ビットをセットされた CLMAn は、エラーを検出しても ECM に通知しません。本ビットの設定は、CLMAnTESTEN（n = 0 ～ 2）が 1 にセットされている CLMAn に対して有効です。 0：ECM へのエラー通知を無効化しません 1：ECM へのエラー通知を無効化します
1	MONCLKMSK	CLMAn に対するモニタ対象クロックの入力をロウレベルに固定します。本ビットの設定は、CLMAnTESTEN（n = 0 ～ 2）が 1 にセットされている CLMAn に対して有効です。 0：CLMAn へのモニタクロック入力をロウレベルに固定しません 1：CLMAn へのモニタクロック入力をロウレベルに固定します
0	RESCLM	CLMAn を強制的に初期化します。本ビットの設定は、CLMAnTESTEN（n = 0 ～ 2）が 1 にセットされている CLMAn に対して有効です。 0：CLMAn を初期化しません 1：CLMAn を初期化します

30.6.3.7 CLMATESTS — CLMA セルフテストステータスレジスタ

CLMA2 ～ 0 の自己診断結果を確認するためのレジスタです。

このレジスタは内部リセット、外部リセットのどちらでもリセットされます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLMA2 ERRS	CLMA1 ERRS	CLMA0 ERRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.148 CLMATESTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	—	リザーブです。読み出すと常に 0 が読み出されます。
2 ～ 0	CLMA2ERRS CLMA1ERRS CLAM0ERRS	CLMA2 ～ 0 におけるエラー検出の有無を示します。本ビットは、CLMATEST.ERRMSK の影響を受けません。 0：対応する CLMAn はエラーを検出していません 1：対応する CLMAn はエラーを検出しています

30.6.4 異常クロック周波数の検出

1. CLMAn はサンプリングクロックの 16 サイクル内でモニタクロックの立ち上がりエッジをカウントし、このカウント値と設定したしきい値を比較します。
   - CLMAnCMPL レジスタの CLMAnCMPL[11:0] は下限しきい値を指定します。
   - CLMAnCMPH レジスタの CLMAnCMPH[11:0] は上限しきい値を指定します。
2. モニタクロックの周波数が低く[注1]、カウント値が CLMAnCMPL レジスタの CLMAnCMPL[11:0] の設定を下回った場合にクロック異常を ECM へ通知します。また、モニタクロックの周波数が高く、カウント値が CLMAnCMPH レジスタの CLMAnCMPH[11:0] の設定値を上回った場合、クロック異常を ECM へ通知します。

注 1. モニタクロックが完全に停止する場合は異常を検知できない場合があります。

ただし、サンプリング期間内でモニタクロック周波数が変動しても、検出エッジ数が規定範囲内に収まった場合は、エラー通知しません。

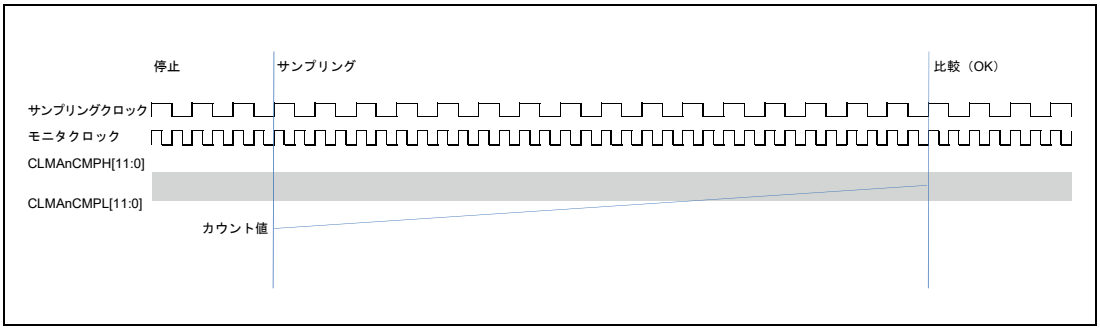


図 30.11 クロック周波数が特定範囲内にある場合

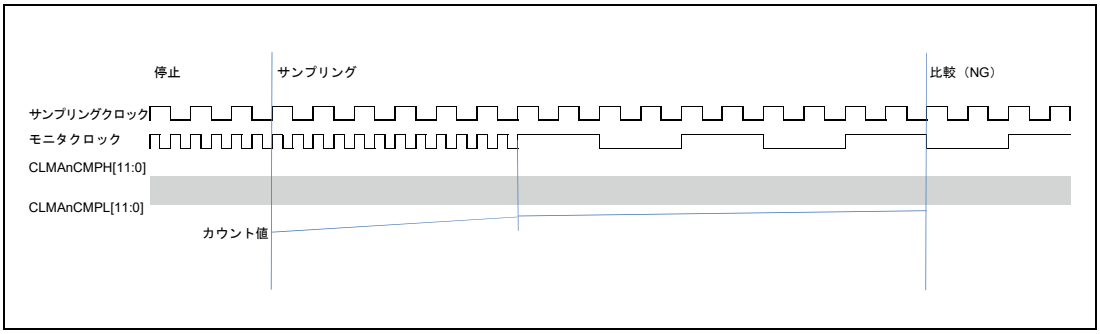


図 30.12 クロック周波数が特定範囲内を下回る場合

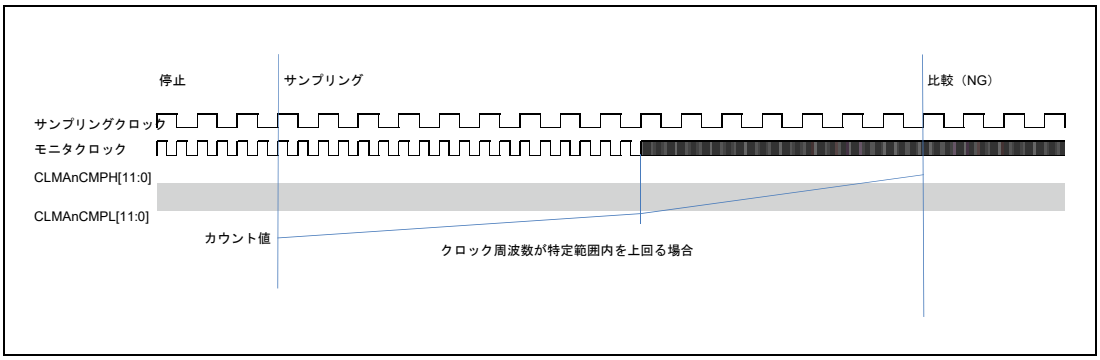


図 30.13 クロック周波数が特定範囲内を上回る場合

(1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0] と CLMAnCMPH.CLMAnCMPH[11:0] の算出方法

コンペアレジスタ CLMAnCMPL と CLMAnCMPH には、サンプリングクロック CLMATSMP の 16 サイクル内で有効と想定されるモニタクロック CLMATMON のクロックサイクルの最小値と最大値を設定します。

期待されるクロックサイクル数を N で表します。

$$\frac{16}{f_{CLMATSMP}} = \frac{N}{f_{CLMATMON}}$$

$$N = \frac{f_{CLMATMON}}{f_{CLMATSMP}} \times 16$$

CLMATMON と CLMATSMP の許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\text{下限しきい値} = N_{min} = \frac{f_{CLMATMON(min)}}{f_{CLMATSMP(max)}} \times 16 - 1$$

$$\text{上限しきい値} = N_{max} = \frac{f_{CLMATMON(max)}}{f_{CLMATSMP(min)}} \times 16 + 1$$

備　考

PLL のジッタは計算式の 「+1」と「-1」によってカバーされています。

例

$f_{CLMATSMP}$ = 240 kHz（±8 %）および $f_{CLMATMON}$ = 16 MHz（±5 %）の場合、推奨されるしきい値は次のようになります。

N_{min} = 15,200 / 259.2 × 16 – 1

= 937.27

CLMAnCMPL = 937 = $03A9_H$

N_{max} = 16,800 / 220.8 × 16 + 1

= 1218.39

CLMAnCMPH = 1219 = $04C3_H$

最小しきい値

次の制限事項を考慮する必要があります。

- CLMAnCMPL ≥ 0001_H
- CLMAnCMPH ≥ CLMAnCMPL + 0003_H

(2) しきい値レジスタの初期値入力の定義

しきい値レジスタの初期値／リセット値はモニタクロックの最大周波数偏差が許容されるように設定されます。

- CLMAnCMPL[11:0] = 0001_H
- CLMAnCMPH[11:0] = $03FF_H$

30.6.5 自己診断

以下に示すようにクロックモニタの自己診断を実施可能です。このとき、診断対象のクロックモニタは既に動作状態にあるものとします。

(1) 診断対象のクロックモニタの閾値設定（CLMAnCMPL/CLMAnCMPH 設定）を行います。
このとき、閾値は必ずエラーが出る状態に設定します。

(2) 診断対象のクロックモニタを指定します。
CLMATEST.CLMAnTESEN ビットに 1 をセットすることで、対応するクロックモニタを診断対象に指定できます。

(3) 自己診断による ECM へのエラー通知を避けたい場合は、上記 (2) と同時に CLMATEST.ERRMSKL をセットします。

(4) CLMAnCTL0.CLMAnCLME ビットに 1 をセットして、クロックモニタの動作を許可します。

(5) エラーが発生するのに十分な時間を待ってから CLMATESTS レジスタをリードし、診断対象のクロックモニタのエラー有無を確認します。
自己診断の開始からエラー発生までの時間は、CLMAnCMPL の設定や、サンプリング期間のどこで自己診断が開始されたかに依存します。最大でサンプリング期間 2 周期分の時間を待つ必要があります。

(6) 自己診断によって発生したエラーをクリアします。
CLMATEST.RESCLM に 1 をセットすることで診断対象のクロックモニタを初期化することができます。

(7) 自己診断を終了します。
CLMATEST に all-0 をセットすることで、自己診断を終了することができます。

自己診断を行ったクロックモニタの動作を再開するには、改めてレジスタの設定を行ってください。

30.6.6 レジスタ設定時の注意事項

30.6.6.1 保護レジスタへの書き込み

各クロックモニタの CLMAnCTL0 レジスタ（n = 0, 1, 2）への書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. CLMAnPCMD レジスタに固定値 $A5_H$ を書き込みます。

手順 2. CLMAnCTL0 レジスタに設定値を書き込みます。
このとき予約ビットにはリセット後の値を書き込みます。

手順 3. CLMAnCTL0 レジスタに設定値のビット反転値を書き込みます。
このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. CLMAnCTL0 レジスタに設定値を書き込みます。
このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順通りに行わなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、CLMAnPS レジスタの CLMAnPRERR ビットが 1 にセットされます。（必須ではありませんが、手順 4 の後、CLMAnPS レジスタの CLMAnPRERR ビットの値が 0 であることを確認することでも、保護されているレジスタに設定値が正しく書き込まれたことを確認できます。）

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。

上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別のレジスタ[注 1] へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、CLMAnPS レジスタの CLMAnPRERR ビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、 保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

また、CLMATEST への書き込みについては、PROT1PHCMD レジスタの説明を参照してください。

注 1. “ 同一モジュール内の別のレジスタ ” とは、保護されているレジスタのモジュール名と同じモジュール名のレジスタのことを指します。レジスタのモジュール名については、**「付録 レジスター覧」**を参照してください。

30.6.6.2　CLMAnCMPL/CLMAnCMPH レジスタの設定

CLMAnCMPL/CLMAnCMPH レジスタの設定値は以下の条件を満たすこと。以下の条件を満足しない状態でクロックモニタを使用した場合は動作の保証はできません。

- 1 ≦ CLMAnCMPL
- CLMAnCMPL + 3 ≦ CLMAnCMPH　（n = 0, 1, 2）

30.7 BIST

本製品は、故障検出機能自身の故障を検出するための機能を搭載しており、これを BIST と称しています。以下に示す故障検出機能は、検出のためのハードウェアが 2 重化されており、いずれかの機能に故障が発生した場合は、BIST エラーとして ECM に通知されます。

表 30.149 故障検出機能一覧

BIST 対象機能一覧	備考
ロックステップ比較器	CPU1 のロックステップ用比較器
ECC デコーダ	
アドレスパリティデコーダ	

周辺 RAM と Data Flash の ECC デコーダは、制御レジスタを含めて 2 重化されています。BIST 機能を利用する場合は、マスタ側とチェッカ側の制御レジスタに同じ値を設定してください。

その他の ECC デコーダやアドレスパリティチェッカについて、制御レジスタは 2 重化されていません。

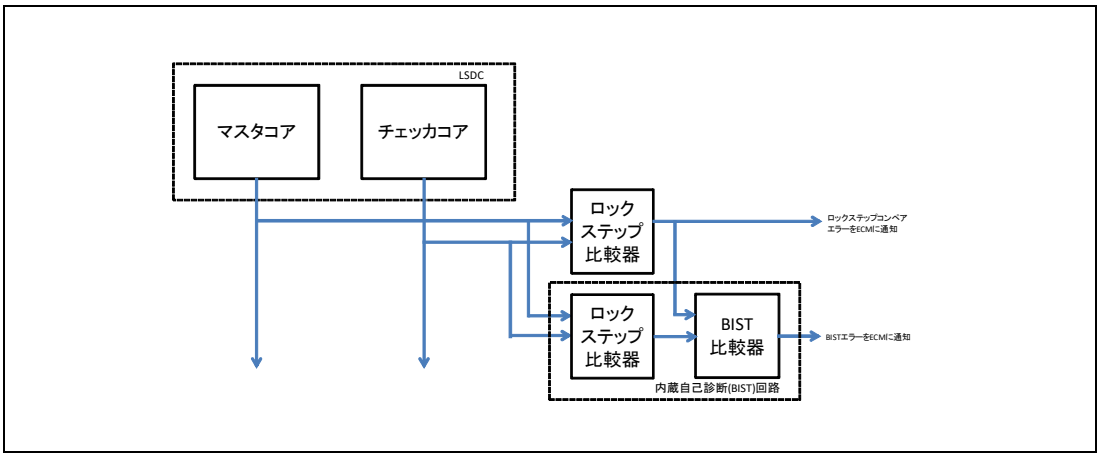


図 30.14 ロックステップ構成

30.8 ECM

ECM は、チップ内における様々な故障検出状況を監視し、故障検出時の動作を指定するための機能です。ECM については、**「第 31 章　エラーコントロールモジュール (ECM)」**をご参照ください。

第 31 章　エラーコントロールモジュール (ECM)

31.1　概要

31.1.1　仕様概要

ECM（Error Control Module）にはさまざまなエラーソースやモニタ回路で発生するエラー信号が入力され、ERROROUT 端子（$\overline{\text{ERROROUT_M}}$/$\overline{\text{ERROROUT_C}}$）からエラー信号を出力（ERROROUT 出力）したり、割り込みや内部リセット信号を発生します。ECM の仕様概要を**表 31.1** に示します。

表 31.1　仕様概要

項目	説明
セーフティ処理	各モジュールからのエラー信号入力に対して、下記処理を行うことができます。 • エラーフラグセット • マスカブル割り込み発生 エラーごとのマスカブル割り込み発生制御（許可／禁止）可能です。 • FE レベル割り込み発生 エラーごとの FE レベル割り込み発生制御（許可／禁止）可能です。 • 内部リセット発生 エラーごとの内部リセット発生制御（許可／禁止）可能です。 • ERROROUT 出力 エラーごとの端子出力マスク制御（許可／禁止）可能です。 タイマ入力によるトグル出力、またはレベル固定出力が可能です。
エラーステータス	ECM マスタ／チェッカエラーソースステータスレジスタを搭載し、エラーフラグからエラー状態を確認することができます。 エラーフラグは、ECM エラーソースステータスクリアトリガレジスタで対応するビットに 1 を書き込むか外部リセットでのみクリアされます。内部リセットではエラーフラグは保持され、リセット後に ECM マスタ／チェッカエラーソースステータスを読み出すことでリセット発生要因を確認することができます。
デバッグ、自己診断	• デバッグ、自己診断用に擬似エラーを発生させることができます。 擬似エラー発生時の動作は、実際にエラーが発生した場合と同じです。ERROROUT 出力のマスクや割り込み、内部リセットの設定はすべて反映されます。 • ERROROUT 端子までのパスの診断のために、ERROROUT 出力のループバック機能を搭載します。 ERROROUT 端子の状態が ECM マスタ／チェッカエラーソースステータスレジスタに反映され、レジスタを読み出すことで ERROROUT 端子の状態を確認することができます。
タイムアウト機能	割り込み発生と同時にディレイタイマをスタートし、割り込み処理中にタイマを停止できず、ディレイタイマカウント値がディレイタイマコンペアレジスタと一致した場合に ERROROUT 出力、または内部リセットを発生する機能を搭載します。ディレイタイマカウント値は、低速周辺クロックの周波数でカウントされます。
レジスタ保護	不正な書き込みからレジスタを保護するために、特定シーケンスによるレジスタの書き込み保護を行います。
その他	ECM は 2 重化します。 ERROROUT 端子をマスタ端子とチェッカ端子の 2 端子搭載します。 ECM マスタと ECM チェッカの ERROROUT 出力を常時比較し、不一致の場合 ECM コンペアエラー（エラー要因 26）が発生します。

31.1.2 エラー要因とセーフティ処理

ECM のエラー要因とセーフティ処理を**表 31.2** に示します。

表 31.2 エラー要因とセーフティ処理一覧 (1/2)

エラー要因 No.	モジュール	エラー要因	エラーフラグセット	マスカブル割り込み	FE レベル割り込み	内部リセット	ERROROUT 出力	ディレイタイマスタート
0	WDTA	WDTA エラー（WDTA0、1）注 1	○	○	○	○注 2	○	○
1	SWDT	SWDT0 エラー注 11	○	○	○	○注 2	○	○
2		予約	—	—	—	—	—	—
3		SWDT2 エラー注 11	○	○	○	○注 2	○	○
4	ロックステップ	ロックステップコンペアエラー注 3	○	○	○	○	○	○
5	MISG	MISG コンペアエラー注 3	○	○	○	○	○	○
6	RAM	Local RAM（CPU1、PCU）の ECC 2 ビットエラーおよび Local RAM（CPU1）のアドレスパリティエラー注 3	○	○	○	○	○	○
7		Local RAM（CPU1、PCU）の ECC 1 ビットエラーおよび Local RAM（CPU1）のパリティビットエラー注 3	○	○	○	○	○	○
8		Global RAM の ECC 2 ビットエラーおよびアドレスパリティエラー注 3	○	○	○	○	○	○
9		Global RAM の ECC 1 ビットエラーおよびパリティビットエラー注 3	○	○	○	○	○	○
10		周辺 RAM（FlexRay、CAN、DFE、DTS、APA0）ECC 2 ビットエラー注 3	○	○	○	○	○	○
11		周辺 RAM（FlexRay、CAN、DFE、DTS、APA0）ECC 1 ビットエラー注 3	○	○	○	○	○	○
12	Code Flash	Code Flash ECC 2 ビットエラーおよびアドレスパリティエラー注 3	○	○	○	○	○	○
13		Code Flash ECC 1 ビットエラー注 3	○	○	○	○	○	○
14	命令キャッシュ	命令キャッシュデータ（CPU1）ECC 2 ビットエラー注 3	○	○	○	○	○	○
15		命令キャッシュデータ（CPU1）ECC 1 ビットエラー注 3	○	○	○	○	○	○
16		命令キャッシュタグ（CPU1）ECC 2 ビットエラー注 3	○	○	○	○	○	○
17		命令キャッシュタグ（CPU1）ECC 1 ビットエラー注 3	○	○	○	○	○	○
18	Data Flash	Data Flash ECC 2 ビットエラー注 3	○	○	○	○	○	○
19		Data Flash ECC 1 ビットエラー注 3	○	○	○	○	○	○
20	PE ガード機能（PEG）	PEG エラー（CPU1）注 4	○	○	○	○	○	○
21	GRG（Global RAM Guard）	GRG エラー注 3	○	○	○	○	○	○
22	PBG	PBG エラー注 3	○	○	○	○	○	○
23	予約		—	—	—	—	—	—
24	予約		—	—	—	—	—	—
25	データパリティ	データパリティエラー注 3	○	○	○	○	○	○
26	ECM	ECM コンペアエラー注 5	○	○	○	○	○	○

表 31.2 エラー要因とセーフティ処理一覧 (2/2)

エラー要因 No.	モジュール	エラー要因	エラーフラグセット	マスカブル割り込み	FE レベル割り込み	内部リセット	ERROROUT 出力	ディレイタイマスタート
27	クロックモニタ	クロックモニタエラー（WDT カウントクロック）注 3	○	○	○	○	○	○
28		予約	—	—	—	—	—	—
29		予約	—	—	—	—	—	—
30		クロックモニタエラー（低速周辺クロック）注 3	○	○	○	○	○	○
31		クロックモニタエラー（非変調低速周辺クロック）注 3	○	○	○	○	○	○
32	予約		—	—	—	—	—	—
33	予約		—	—	—	—	—	—
34	予約		—	—	—	—	—	—
35	予約		—	—	—	—	—	—
36	予約		—	—	—	—	—	—
37	DSADC	AD パリティエラー注 6	○	○	○	○	○	○
	ADC	AD パリティエラー注 7	○	○	○	○	○	○
38	Flash	フラッシュアクセスエラー注 8	○	○	○	○	○	○
39		FACI リセット転送エラー注 8, 注 12	○	—	—	—	○	—
40	予約		—	—	—	—	—	—
41	DMA	DTS RAM Data ECC SEC-DED 注 9	○	○	○	○	○	○
42	BIST	内蔵自己診断（BIST）回路によるエラー検出注 3	○	○	○	○	○	○
43	DMA	DMAVIOL（DMA 違反アクセス通知）注 9	○	○	○	○	○	○
44	OSTM	OSTM1 割り込み注 10	○	○	○	○	○	○
45		予約	—	—	—	—	—	—
46	予約		—	—	—	—	—	—
47	予約		—	—	—	—	—	—

注 1. エラー内容については**「第 20 章 ウィンドウウォッチドッグタイマ（WDTA）」**をご参照ください。
注 2. 初期状態では内部リセット発生を許可しています。
注 3. エラー内容については**「第 30 章 セーフティ」**をご参照ください。
注 4. エラー内容については**「第 3 章 CPU システム」**をご参照ください。
注 5. エラー内容については**「表 31.1 仕様概要」**をご参照ください。
注 6. エラー内容については**「第 28 章 ΔΣAD コンバータ（DS-ADC）」**をご参照ください。
注 7. エラー内容については**「第 27 章 ADC」**をご参照ください。
注 8. エラー内容については「*RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編*」をご参照ください。
注 9. エラー内容については**「第 7 章 DMA」**をご参照ください。
注 10. エラー内容については**「第 21 章 OS タイマ（OSTM）」**をご参照ください。
注 11. エラー内容については**「第 37 章 セキュアウォッチドッグタイマ (SWDT)」**をご参照ください。
注 12. FACI リセット転送エラー発生時のデバイスの動作は保証できません。リセット解除後、ERROROUT 端子のエラー出力をクリアする際、再度エラー状態にならないことで FACI リセット転送エラーが発生していないことを確認してください。

表 31.3 のとおり、エラー要因を集約します。

表 31.3　エラー要因集約

エラー要因 No.	モジュール	エラー要因	備考
0	WDTA	WDTA エラー（WDTA0、1）	WDTA0、1 のオーバフローを集約する。 初期状態では内部リセット発生を許可しています。
6	RAM	Local RAM（CPU1、PCU）の ECC 2 ビットエラーおよび Local RAM（CPU1）のアドレスパリティエラー	CPU1、PCU の Local RAM の ECC 2 ビットエラーおよびアドレスパリティエラー（PCU は除く）を集約する。
7		Local RAM（CPU1、PCU）の ECC 1 ビットエラーおよび Local RAM（CPU1）のパリティビットエラー	CPU1、PCU の Local RAM の ECC 1 ビットエラーおよびパリティビットエラー（PCU は除く）を集約する。
8		Global RAM の ECC 2 ビットエラーおよびアドレスパリティエラー	各マスタから Global RAM をアクセスした際の ECC 2 ビットエラーおよびアドレスパリティエラーを集約する。
9		Global RAM の ECC 1 ビットエラーおよびパリティビットエラー	各マスタから Global RAM をアクセスした際の ECC1 ビットエラーおよびパリティビットエラーを集約する。
10		周辺 RAM（FlexRay、CAN、DFE、DTS、APA0）ECC 2 ビットエラー	各周辺回路用 RAM の ECC 2 ビットエラーを集約する。
11		周辺 RAM（FlexRay、CAN、DFE、DTS、APA0）ECC 1 ビットエラー	各周辺回路用 RAM の ECC 1 ビットエラーを集約する。
12	Code Flash	Code Flash ECC 2 ビットエラー Code Flash アドレスパリティエラー	各マスタから Code Flash をアクセスした際の ECC 2 ビットエラーおよびアドレスパリティエラーを集約する。
13		Code Flash ECC 1 ビットエラー	各マスタから Code Flash をアクセスした際の ECC 1 ビットエラーを集約する。
21	GRG（Global RAM Guard）	GRG エラー	各マスタから Global RAM をアクセスした際の GRG エラーを集約する。
22	周辺ガード	PBG エラー	各周辺回路用の PBG エラーを集約する。
25	データパリティ	データパリティエラー	各アクセス経路のデータパリティエラーを集約する。
37	DSADC	AD パリティエラー	DSADC0 ～ 7 と ADC0、1 の AD パリティエラーを集約する。
	ADC	AD パリティエラー	
41	DMA	DTS RAM Data ECC SEC-DED	DTS RAM の ECC 2 ビットエラーと 1 ビットエラーを集約する
42	BIST	内蔵自己診断（BIST）回路によるエラー検出	各種自己診断回路のエラーを集約する。
43	DMA	DMAVIOL（DMA 違反アクセス通知）	DMAC0、DMAC1、DTS の DMA 違反アクセスを集約する

備考　表 31.3 にないエラー要因は、集約しません。

31.1.3 ERROROUT 出力動作

リセット中およびリセット解除後、$\overline{\text{ERROROUT_M}}$ 端子の状態はエラー出力をしています。**31.3.3 注　意** に記載の手順でエラー出力をクリアしてから使用してください。また、ERROROUT_C 端子は汎用ポートや他機能との兼用ポートですので、ERROROUT_C 機能を選択して使用してください。設定方法は**「第 2 章　端子」**を参照してください。

ERROROUT 出力はノンダイナミックモードとダイナミックモードの 2 つの動作モードを設定できます。また、ERROROUT 出力は、ダイナミックモードのパルス周期にかかわらず、エラー要因発生に同期して端子状態をエラー出力とします。

表 31.4　ERROROUT 出力動作

エラー状態 ECMmSSE031 ～ ECMmSSE000 ECMmSSE115 ～ ECMmSSE100	動作モード ECMSL0 ビット	ERROROUT 出力の 動作モード	ERROROUT 出力レベル	エラー状態
0	0	ノンダイナミック	ハイレベル	正常
	1	ダイナミック	トグル （タイマ入力による 注 1）	正常
1	0	ノンダイナミック	ロウレベル	エラー
	1	ダイナミック	ロウレベル	エラー

注 1.　詳細は**「第 21 章　OS タイマ（OSTM）」**をご参照ください

31.1.3.1 ダイナミックモードを有効にする

1. OSTM0 を初期化する。
2. ECM マスタ／チェッカエラークリアトリガレジスタの ECMmECT(m = M/C) ビットを 1 に設定して ERROROUT 出力を正常出力にします。
3. ECM エラーパルスコンフィグレーションレジスタの ECMSL0 ビットを 1 にしてダイナミックモードに設定します。
4. OSTM0 を起動します。

31.1.3.2 ダイナミックモードを無効にする

1. ECM マスタ／チェッカエラーセットトリガレジスタの ECMmEST(m = M/C) ビットを 1 に設定して ERROROUT 出力をエラー出力にします。
2. OSTM0 を停止します。
3. ECM エラーパルスコンフィグレーションレジスタの ECMSL0 ビットを 0 にしてノンダイナミックモードに設定します。

31.1.4 ループバック機能

ERROROUT 端子までの経路を確認するためにループバック機能を搭載します。ERROROUT 端子の出力レベルを ECM マスタ／チェッカエラーソースステータスレジスタ 1 の ECMmSSE131（m = M/C）ビットで確認できます。

31.1.5 疑似エラー発生

テストまたはデバッグ用にエラーを疑似的に発生する機能を搭載しています。疑似エラーを挿入するときの ECM の動作は実際のエラー発生時と同じです。エラーマスク、割り込み、内部リセット、ディレイタイマに対する設定はすべて反映されます。

31.1.6 エラー状態

エラー状態はECMマスタ／チェッカエラーソースステータスレジスタ0とECMマスタ／チェッカエラーソースステータスレジスタ1で表示されます。エラー状態は、ECMエラーソースステータスクリアトリガレジスタで対応するビットに1を書き込むか外部リセットでのみクリアされます。内部リセットではエラー状態は保持され、リセット解除後にECMマスタ／チェッカエラーソースステータスレジスタ0とECMマスタ／チェッカエラーソースステータスレジスタ1を読み出すことでリセット要因となったエラーを確認できます。

31.1.7 書き込み保護レジスタ

書き込み保護レジスタは誤ったプログラム動作などによる不正なライトアクセスから保護されています。

31.1.7.1 書き込み保護されたレジスタへの書き込みシーケンス

書き込み保護されたレジスタへの書き込みは、以下の保護解除シーケンスを用いることによって可能となります。

手順 1. ECM 保護コマンドレジスタ ECMPCMD1、ECM マスタ／チェッカ保護コマンドレジスタ ECMmPCMD0 に固定値 0000 00A5$_H$ を書き込みます。

手順 2. ECM、ECMm の保護されているレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

手順 3. 手順 2 と同じレジスタに設定値のビット反転値を書き込みます。このとき予約ビットにはリセット後の値のビット反転値を書き込みます。

手順 4. 手順 2 と同じレジスタに設定値を書き込みます。このとき予約ビットにはリセット後の値を書き込みます。

以上の手順で、保護されているレジスタに設定値を書き込むことができます。

上記手順どおりに行われなかった場合、保護解除シーケンスは失敗し、保護されているレジスタに設定値は書き込まれず、ECM 保護ステータスレジスタ ECMPS の ECMPRERR ビットが 1 にセットされます（必須ではありませんが、手順 4 のあと、ECM 保護ステータスレジスタ ECMPS の ECMPRERR ビットの値が 0 であることを確認することでも、保護レジスタに設定値が正しく書き込まれたことを確認できます）。

保護解除シーケンスに失敗した場合は、手順 1 から保護解除シーケンスを再実行してください。

また、上記手順 1 から手順 4 までの間に別のレジスタへのライトアクセスがあった場合、保護機能は次のように動作します。上記保護解除シーケンス中に割り込みが受け付けられ、その割り込み処理内で別のレジスタへのアクセスがあった場合も同様です。

- 同一モジュール内の別レジスタ[注 1] へのライトアクセスの場合、保護されているレジスタへの書き込みは失敗し、保護ステータスレジスタの保護ステータスビットが 1 になります。
- 他のモジュールのレジスタへのライトアクセスの場合、保護されているレジスタへの書き込みは成功し、完了します。

なお、別のレジスタへのリードアクセスの場合は、保護解除シーケンスは失敗しません。

注 1. ECM では「付録 レジスター覧」にて、モジュール名に「ECM」、「ECMM」、「ECMC」と記載されているレジスタが、すべて " 同一モジュール内の別のレジスタ " として扱われます。

31.1.8 割り込み処理のタイムアウト機能

割り込み要求発生と同時に ECM に搭載するディレイタイマをスタートし、割り込み処理中にタイマを停止できず、ディレイタイマカウント値と ECM ディレイタイマコンペアレジスタの値が一致した場合に、ERROROUT 出力、または内部リセットを発生する機能を搭載します。ブレーク発生時はタイマカウントを停止しません。ディレイタイマのカウントは常に 0 から開始します。ECM ディレイタイマコンペアレジスタの設定値で内部リセットまたは、ERROROUT 出力が発生するまでの時間を決定してください。ディレイタイマ動作中に、ディレイタイマをスタートに設定した新たなエラー要因が発生した場合、現在動作しているディレイタイマのカウンタ値はリセットされず動作を継続します。

31.2　ブロック図

ECM の概要を**図 31.1** に、ECM の接続図を**図 31.2** に示します。ERROROUT 出力、内部リセット、ERROROUTZ 信号はロウアクティブ、マスカブル割り込みと FE レベル割り込みはハイアクティブの信号です。なお、ECM をダイナミックモードに設定しても、PIC1 への ERROROUTZ 信号はトグルしません。

$\overline{\text{ERROROUT_M}}$ は、電源電圧モニタの ERROROUT 出力と論理和がとられます。

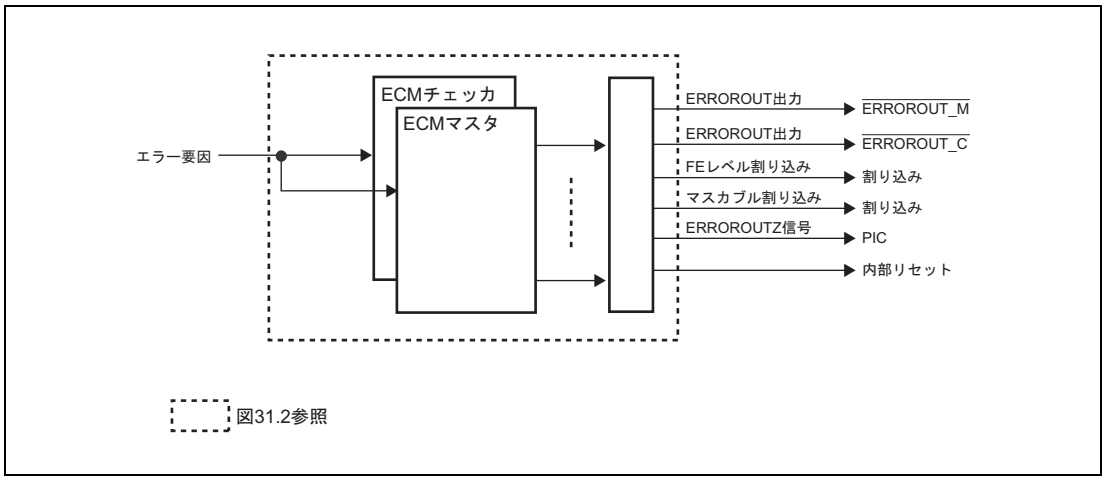


図 31.1　　ECM の概要

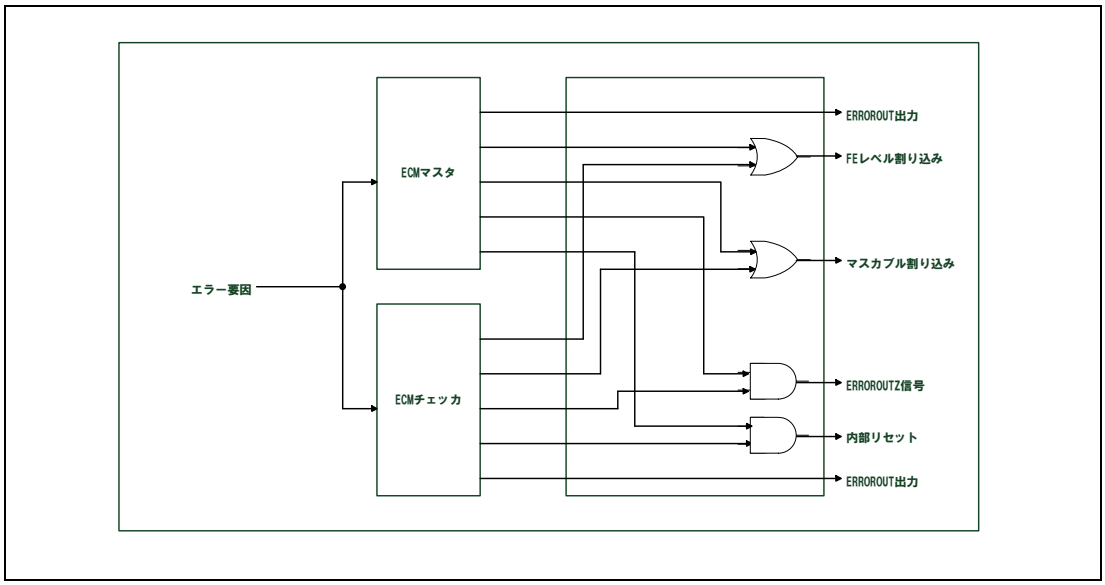


図 31.2　　ECM の接続図

注　意

$\overline{\text{ERROROUT_M}}$ 端子と $\overline{\text{ERROROUT_C}}$ 端子では使っている電源系が異なりますので出力電圧の違いに注意してください。

$\overline{\text{ERROROUT_M}}$ 端子：VCC 電源 (3.3V 系)

$\overline{\text{ERROROUT_C}}$ 端子：P4_0/P4_15 の場合　EVCC 電源 (5V 系)
P13_4 の場合　TTLVCC 電源 (5V/3.3V 系)

31.3 レジスタ仕様

31.3.1 レジスター覧

ECM のレジスタ は ECM 共通レジスタ、ECM マスタレジスタ、ECM チェッカレジスタの 3 つのアドレス領域に分かれます。ECM 共通レジスタはマスタとチェッカで共通のレジスタ領域です。共通領域のレジスタへの書き込みはマスタ・チェッカで同時にそれぞれ実行されます。共通領域の読み出しは、マスタのレジスタの値が読み出されます。ECM マスタレジスタと ECM チェッカレジスタは個別に書き込み可能です。

ECM マスタレジスタのレジスタマップを下記に示します。

表 31.5 レジスター覧（ECM マスタ）

＜ ECMM_base：FFCB 0000_H ＞

レジスタシンボル	レジスタ名	R/W	初期値	シーケンスによる保護	アドレス
ECMMESET	ECM マスタエラーセットトリガレジスタ	W	00_H	あり	<ECMM_base>
ECMMECLR	ECM マスタエラークリアトリガレジスタ	W	00_H	あり	<ECMM_base> + 04_H
ECMMESSTR0	ECM マスタエラーソースステータスレジスタ 0	R	0000 0000_H	なし	<ECMM_base> + 08_H
ECMMESSTR1	ECM マスタエラーソースステータスレジスタ 1	R	0000 0000_H	なし	<ECMM_base> + $0C_H$
ECMMPCMD0	ECM マスタ保護コマンドレジスタ	W	不定	なし	<ECMM_base> + 10_H

ECM チェッカレジスタのレジスタマップを下記に示します。

表 31.6 レジスター覧（ECM チェッカ）

＜ ECMC_base：FFCB 1000_H ＞

レジスタシンボル	レジスタ名	R/W	初期値	シーケンスによる保護	アドレス
ECMCESET	ECM チェッカエラーセットトリガレジスタ	W	00_H	あり	<ECMC_base>
ECMCECLR	ECM チェッカエラークリアトリガレジスタ	W	00_H	あり	<ECMC_base> + 04_H
ECMCESSTR0	ECM チェッカエラーソースステータスレジスタ 0	R	0000 0000_H	なし	<ECMC_base> + 08_H
ECMCESSTR1	ECM チェッカエラーソースステータスレジスタ 1	R	0000 0000_H	なし	<ECMC_base> + $0C_H$
ECMCPCMD0	ECM チェッカ保護コマンドレジスタ	W	不定	なし	<ECMC_base> + 10_H

ECM 共通レジスタのレジスタマップを下記に示します。

表 31.7 レジスター覧（ECM 共通）

＜ ECM_base：FFCB 2000_H ＞

レジスタシンボル	レジスタ名	R/W	初期値	シーケンスによる保護	アドレス
ECMEPCFG	ECM エラーパルスコンフィグレーションレジスタ	R/W	00_H	あり	<ECM_base>
ECMMICFG0	ECM マスカブル割り込みコンフィグレーションレジスタ 0	R/W	$0000\ 0000_H$	あり	<ECM_base> + 04_H
ECMMICFG1	ECM マスカブル割り込みコンフィグレーションレジスタ 1	R/W	0000_H	あり	<ECM_base> + 08_H
ECMNMICFG0	ECMFE レベル割り込みコンフィグレーションレジスタ 0	R/W	$0000\ 0000_H$	あり	<ECM_base> + $0C_H$
ECMNMICFG1	ECMFE レベル割り込みコンフィグレーションレジスタ 1	R/W	0000_H	あり	<ECM_base> + 10_H
ECMIRCFG0	ECM 内部リセットコンフィグレーションレジスタ 0	R/W	$0000\ 000F_H$	あり	<ECM_base> + 14_H
ECMIRCFG1	ECM 内部リセットコンフィグレーションレジスタ 1	R/W	$0000\ 0000_H$	あり	<ECM_base> + 18_H
ECMEMK0	ECM エラーマスクレジスタ 0	R/W	$0000\ 0000_H$	あり	<ECM_base> + $1C_H$
ECMEMK1	ECM エラーマスクレジスタ 1	R/W	$0000\ 0000_H$	あり	<ECM_base> + 20_H
ECMESSTC0	ECM エラーソースステータスクリアトリガレジスタ 0	W	$0000\ 0000_H$	あり	<ECM_base> + 24_H
ECMESSTC1	ECM エラーソースステータスクリアトリガレジスタ 1	W	$0000\ 0000_H$	あり	<ECM_base> + 28_H
ECMPCMD1	ECM 保護コマンドレジスタ	W	不定	なし	<ECM_base> + $2C_H$
ECMPS	ECM 保護ステータスレジスタ	R	00_H	なし	<ECM_base> + 30_H
ECMPE0	ECM 疑似エラートリガレジスタ 0	W	$0000\ 0000_H$	あり	<ECM_base> + 34_H
ECMPE1	ECM 疑似エラートリガレジスタ 1	W	$0000\ 0000_H$	あり	<ECM_base> + 38_H
ECMDTMCTL	ECM ディレイタイマコントロールレジスタ	W	$0000\ 0000_H$	あり	<ECM_base> + $3C_H$
ECMDTMR	ECM ディレイタイマレジスタ	R	$0000\ 0000_H$	なし	<ECM_base> + 40_H
ECMDTMCMP	ECM ディレイタイマコンペアレジスタ	R/W	$0000\ 0000_H$	あり	<ECM_base> + 44_H
ECMDTMCFG0	ECM ディレイタイマコンフィグレーションレジスタ 0	R/W	$0000\ 0000_H$	あり	<ECM_base> + 48_H
ECMDTMCFG1	ECM ディレイタイマコンフィグレーションレジスタ 1	R/W	$0000\ 0000_H$	あり	<ECM_base> + $4C_H$
ECMDTMCFG2	ECM ディレイタイマコンフィグレーションレジスタ 2	R/W	$0000\ 0000_H$	あり	<ECM_base> + 50_H
ECMDTMCFG3	ECM ディレイタイマコンフィグレーションレジスタ 3	R/W	$0000\ 0000_H$	あり	<ECM_base> + 54_H

31.3.2 ECMmESET, m = M/C — ECM マスタ／チェッカエラーセットトリガレジスタ

ECM マスタ／チェッカエラーセットトリガレジスタは ERROROUT 端子から出力するエラー信号をエラー出力に設定するためのレジスタです。ECMmEST ビットに 1 をセットされると ERROROUT 端子からはただちにエラー出力が出力されます。出力をマスクすることはできません。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。このレジスタの読み出し値は常に 00_H です。

アクセス 8 ビット単位でライト可能です。

アドレス <ECMM_base>
<ECMC_base>

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMmEST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 31.8 ECMmESET レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMmEST	エラーセットトリガビット 0：0 書き込みは無効。 1：ERROROUT 端子からの出力レベルをエラー出力に設定します。

注 意

ECMmESET レジスタで ERROROUT 端子からの ERROROUT 出力のセットを行うことで ECMmESSTR0 レジスタの ECMmSSE026 ビット（ECM コンペアエラー）がセットされますので、下記手順で ECMmESET レジスタを設定する必要があります。

1. ECMEMK0 レジスタの ECMEMK026 ビットを「マスクあり」に設定します。
2. 割り込みを生成しないために、ECMMICFG0 レジスタの ECMMIE026 ビットを「禁止」に、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「禁止」に設定します。
3. 内部リセットは生成しないために、ECMIRCFG0 レジスタの ECMIRE026 ビットを「禁止」に設定します。
4. ECMmESET レジスタで ERROROUT 出力のセットを行います。
5. ECMESSTC0 レジスタの ECMCLSSE026 ビットでエラーをクリアします。
6. ECM コンペアエラーの使用条件に応じて以下の設定を行います。

- ERROROUT 端子から ERROROUT 出力する場合、ECMEMK0 レジスタの ECMEMK026 ビットを「マスクなし」に設定します。
- 割り込みを生成する場合、ECMMICFG0 レジスタの ECMMIE026 ビットを「許可」または、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「許可」に設定します。
- 内部リセットを生成する場合、ECMIRCFG0 レジスタの ECMIRE026 ビットを「許可」に設定します。

31.3.3 ECMmECLR, m = M/C — ECM マスタ／チェッカエラークリアトリガレジスタ

ECM マスタ / チェッカエラークリアトリガレジスタは ERROROUT 端子から出力するエラー信号を正常出力に設定するためのレジスタです。ECMmECT ビットに 1 をセットされると他に ERROROUT 端子をエラー出力にする要因がない場合には、ERROROUT 端子からはただちに正常出力が出力されます。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。このレジスタの読み出し値は常に 00_H です。

アクセス 8 ビット単位でライト可能です。

アドレス <ECMM_base> + 04_H
<ECMC_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMmECT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 31.9 ECMmECLR レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMmECT	エラークリアトリガビット 0：0 書き込みは無効。 1：ERROROUT 端子からの出力レベルを正常出力に設定します。

注 意

ERROROUT 出力のクリアは、ECMEMK0/1 によってマスクされていないすべてのエラーが、あらかじめクリアされている場合にのみ可能です。

ECMmECLR レジスタで ERROROUT 出力のクリアを行うことで ECMmESSTR0 レジスタの ECMmSSE026 ビット（ECM コンペアエラー）がセットされますので、下記手順で ECMmECLR レジスタを設定する必要があります。

1. ECMEMK0 レジスタの ECMEMK026 ビットを「マスクあり」に設定します。
2. 割り込みを生成しないために、ECMMICFG0 レジスタの ECMMIE026 ビットを「禁止」に、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「禁止」に設定します。
3. 内部リセットは生成しないために、ECMIRCFG0 レジスタの ECMIRE026 ビットを「禁止」に設定します。
4. ECMmECLR レジスタで ERROROUT 出力のクリアを行います。
5. ECMESSTC0 レジスタの ECMCLSSE026 ビットでエラーをクリアします。
6. ECM コンペアエラーの使用条件に応じて以下の設定を行います。

- ERROROUT 端子から ERROROUT 出力する場合、ECMEMK0 レジスタの ECMEMK026 ビットを「マスクなし」に設定します。
- 割り込みを生成する場合、ECMMICFG0 レジスタの ECMMIE026 ビットを「許可」または、ECMNMICFG0 レジスタの ECMNMIE026 ビットを「許可」に設定します。
- 内部リセットを生成する場合、ECMIRCFG0 レジスタの ECMIRE026 ビットを「許可」に設定します。

31.3.4 ECMmESSTR0, m = M/C — ECM マスタ／チェッカエラーソースステータスレジスタ 0

ECM マスタ／チェッカエラーソースステータスレジスタ 0 は、個々の内部エラーソースの状態を示します。この状態はエラーマスクの設定とは関係ありません。ステータスのクリアは、ECM エラーソースステータスクリアトリガレジスタ 0 で対応するビットに 1 を書き込むか外部リセットでのみ実行できます。内部リセットが発生してもこのレジスタに影響はありません。

アクセス 32 ビット単位でリード可能です。

アドレス <ECMM_base> + 08_H
<ECMC_base> + 08_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMmSSE031	ECMmSSE030	—	—	ECMmSSE027	ECMmSSE026	ECMmSSE025	—	—	ECMmSSE022	ECMmSSE021	ECMmSSE020	ECMmSSE019	ECMmSSE018	ECMmSSE017	ECMmSSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMmSSE015	ECMmSSE014	ECMmSSE013	ECMmSSE012	ECMmSSE011	ECMmSSE010	ECMmSSE009	ECMmSSE008	ECMmSSE007	ECMmSSE006	ECMmSSE005	ECMmSSE004	ECMmSSE003	—	ECMmSSE001	ECMmSSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.10 ECMmESSTR0 レジスタの内容

ビット位置	ビット名	機能
31、30	ECMmSSE031 、 ECMmSSE030	エラー要因ステータスビット ECMmSSE031、ECMmSSE030 がエラー要因 31、30 に対応します。 0：エラー未発生 1：エラー発生
29、28	—	予約ビット 読み出す場合はリセット後の値が読めます。
27 ～ 25	ECMmSSE027 ～ ECMmSSE025	エラー要因ステータスビット ECMmSSE027 ～ ECMmSSE025 がエラー要因 27 ～ 25 に対応します。 0：エラー未発生 1：エラー発生
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。
22 ～ 3	ECMmSSE022 ～ ECMmSSE003	エラー要因ステータスビット ECMmSSE022 ～ ECMmSSE003 がエラー要因 22 ～ 3 に対応します。 0：エラー未発生 1：エラー発生
2	—	予約ビット 読み出す場合はリセット後の値が読めます。
1、0	ECMmSSE001、 ECMmSSE000	エラー要因ステータスビット ECMmSSE001、ECMmSSE000 がエラー要因 1、0 に対応します。 0：エラー未発生 1：エラー発生

31.3.5 ECMmESSTR1, m = M/C — ECM マスタ／チェッカエラーソースステータスレジスタ 1

ECM マスタ／チェッカエラーソースステータスレジスタ 1 は、個々の内部エラーソースの状態を示します。この状態はエラーマスクの設定とは関係ありません。ステータスのクリアは、ECM エラーソースステータスクリアトリガレジスタ 0 で対応するビットに 1 を書き込むか外部リセットでのみ実行できます。内部リセットが発生してもこのレジスタに影響はありません。

アクセス 32 ビット単位でリード可能です。

アドレス <ECMM_base> + $0C_H$
<ECMC_base> + $0C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMmSSE131	ECMmSSE130	ECMmSSE129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ECMmSSE112	ECMmSSE111	ECMmSSE110	ECMmSSE109	—	ECMmSSE107	ECMmSSE106	ECMmSSE105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.11 ECMmESSTR1 レジスタの内容

ビット位置	ビット名	機能
31	ECMmSSE131	ERROROUT 出力ループバック状態を示します。 0：ERROROUT_m 端子はロウレベル出力 1：ERROROUT_m 端子はハイレベル出力 ※ m = M/C
30	ECMmSSE130	ECMmESET の書き込みステータスを示します。 0：エラーなし 1：ECMmESET レジスタの ECMmEST ビットでエラー設定された
29	ECMmSSE129	ディレイタイマオーバフロー有無を示します。 0：ディレイタイマオーバフローなし 1：ディレイタイマオーバフローあり
28 ～ 13	—	予約ビット 読み出す場合はリセット後の値が読めます。
12 ～ 9	ECMmSSE112 ～ ECMmSSE109	エラー要因ステータスビット ECMmSSE112 ～ ECMmSSE109 は、エラー要因 44 ～ 41 に対応します。 0：エラー未発生 1：エラー発生
8	—	予約ビット 読み出す場合はリセット後の値が読めます。
7 ～ 5	ECMmSSE107 ～ ECMmSSE105	エラー要因ステータスビット ECMmSSE107 ～ ECMmSSE105 は、エラー要因 39 ～ 37 に対応します。 0：エラー未発生 1：エラー発生
4 ～ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。

31.3.6 ECMmPCMD0, m = M/C — ECM マスタ／チェッカ保護コマンドレジスタ

ECM マスタ／チェッカ保護コマンドレジスタは、保護対象のレジスタへの誤ったプログラム動作などによる不正なライトアクセスから保護するレジスタです。

ECM マスタ／チェッカ保護レジスタによる保護対象のレジスタは**「31.3.1 レジスタ一覧」**を参照してください。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECMM_base> + 10_H
<ECMC_base> + 10_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ECMmREG0[7:0]							
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 31.12 ECMmPCMD0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 書き込む場合は “0” をライトしてください。
7 ～ 0	ECMmREG0[7:0]	書き込み保護された ECMm レジスタへの書き込みを有効にする保護コマンド

31.3.7 ECMEPCFG — ECM エラーパルスコンフィグレーションレジスタ

ECM エラーパルスコンフィグレーションレジスタは、ERROROUT 端子の ERROROUT 出力動作を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7　書き込み保護レジスタ」**を参照してください。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<ECM_base>

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMSL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 31.13 ECMEPCFG レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
0	ECMSL0	ERROROUT 端子動作設定ビット ERROROUT 端子の ERROROUT 出力動作の設定 0：ノンダイナミックモード 1：ダイナミックモード

31.3.8 ECMMICFG0 — ECM マスカブル割り込みコンフィグレーションレジスタ 0

ECM マスカブル割り込みコンフィグレーションレジスタ 0 は、ECM マスカブル割り込みの発生を設定するレジスタです。エラー発生によるマスカブル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + 04_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMMIE031	ECMMIE030	—	—	ECMMIE027	ECMMIE026	ECMMIE025	—	—	ECMMIE022	ECMMIE021	ECMMIE020	ECMMIE019	ECMMIE018	ECMMIE017	ECMMIE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMMIE015	ECMMIE014	ECMMIE013	ECMMIE012	ECMMIE011	ECMMIE010	ECMMIE009	ECMMIE008	ECMMIE007	ECMMIE006	ECMMIE005	ECMMIE004	ECMMIE003	—	ECMMIE001	ECMMIE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

表 31.14 ECMMICFG0 レジスタの内容

ビット位置	ビット名	機能
31、30	ECMMIE031、ECMMIE030	ECM マスカブル割り込み発生制御ビット ECMMIE031、ECMMIE030 がエラー要因 31、30 に対応します。 0：割り込み発生禁止 1：割り込み発生許可
29、28	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
27 ～ 25	ECMMIE027 ～ ECMMIE025	ECM マスカブル割り込み発生制御ビット ECMMIE027 ～ ECMMIE025 がエラー要因 27 ～ 25 に対応します。 0：割り込み発生禁止 1：割り込み発生許可
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ～ 3	ECMMIE022 ～ ECMMIE003	ECM マスカブル割り込み発生制御ビット ECMMIE022 ～ ECMMIE003 がエラー要因 22 ～ 3 に対応します。 0：割り込み発生禁止 1：割り込み発生許可
2	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1、0	ECMMIE001、ECMMIE000	ECM マスカブル割り込み発生制御ビット ECMMIE001、ECMMIE000 がエラー要因 1、0 に対応します。 0：割り込み発生禁止 1：割り込み発生許可

31.3.9 ECMMICFG1 — ECM マスカブル割り込みコンフィグレーションレジスタ 1

ECM マスカブル割り込みコンフィグレーションレジスタ 1 は、ECM マスカブル割り込みの発生を設定するレジスタです。エラー発生によるマスカブル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + 08_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ECMMIE112	ECMMIE111	ECMMIE110	ECMMIE109	—	—	ECMMIE106	ECMMIE105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R

表 31.15 ECMMICFG1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
12 ～ 9	ECMMIE112 ～ ECMMIE109	ECM マスカブル割り込み発生制御ビット ECMMIE112 ～ ECMMIE109 は、エラー要因 44 ～ 41 に対応します。 0：割り込み発生禁止 1：割り込み発生許可
8、7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6、5	ECMMIE106、 ECMMIE105	ECM マスカブル割り込み発生制御ビット ECMMIE106、ECMMIE105 は、エラー要因 38、37 に対応します。 0：割り込み発生禁止 1：割り込み発生許可
4 ～ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

31.3.10 ECMNMICFG0 — ECM FE レベル割り込みコンフィグレーションレジスタ 0

ECM FE レベル割り込みコンフィグレーションレジスタ 0 は、ECM FE レベル割り込みの発生を設定するレジスタです。エラー発生による FE レベル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + $0C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMNMIE031	ECMNMIE030	—	—	ECMNMIE027	ECMNMIE026	ECMNMIE025	—	—	ECMNMIE022	ECMNMIE021	ECMNMIE020	ECMNMIE019	ECMNMIE018	ECMNMIE017	ECMNMIE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMNMIE015	ECMNMIE014	ECMNMIE013	ECMNMIE012	ECMNMIE011	ECMNMIE010	ECMNMIE009	ECMNMIE008	ECMNMIE007	ECMNMIE006	ECMNMIE005	ECMNMIE004	ECMNMIE003	—	ECMNMIE001	ECMNMIE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

表 31.16 ECMNMICFG0 レジスタの内容

ビット位置	ビット名	機能
31、30	ECMNMIE031、ECMNMIE030	ECM FE レベル割り込み発生制御ビット ECMNMIE031、ECMNMIE030 がエラー要因 31、30 に対応します。 0：割り込み発生禁止 1：割り込み発生許可
29、28	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
27 ～ 25	ECMNMIE027 ～ ECMNMIE025	ECM FE レベル割り込み発生制御ビット ECMNMIE027 ～ ECMNMIE025 がエラー要因 27 ～ 25 に対応します。 0：割り込み発生禁止 1：割り込み発生許可
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ～ 3	ECMNMIE022 ～ ECMNMIE003	ECM FE レベル割り込み発生制御ビット ECMNMIE022 ～ ECMNMIE003 がエラー要因 22 ～ 3 に対応します。 0：割り込み発生禁止 1：割り込み発生許可
2	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1、0	ECMNMIE001、ECMNMIE000	ECM FE レベル割り込み発生制御ビット ECMNMIE001、ECMNMIE000 がエラー要因 1、0 に対応します。 0：割り込み発生禁止 1：割り込み発生許可

31.3.11 ECMNMICFG1 — ECM FE レベル割り込みコンフィグレーションレジスタ 1

ECM FE レベル割り込みコンフィグレーションレジスタ 1 は、ECM FE レベル割り込みの発生を設定するレジスタです。エラー発生による FE レベル割り込み生成が可能です。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + 10_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ECMNMIE112	ECMNMIE111	ECMNMIE110	ECMNMIE109	—	—	ECMNMIE106	ECMNMIE105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R

表 31.17 ECMNMICFG1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
12 ～ 9	ECMNMIE112 ～ ECMNMIE109	ECM FE レベル割り込み発生制御ビット ECMNMIE112 ～ ECMNMIE109 は、エラー要因 44 ～ 41 に対応します。 0：割り込み発生禁止 1：割り込み発生許可
8、7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6、5	ECMNMIE106、 ECMNMIE105	ECM FE レベル割り込み発生制御ビット ECMNMIE106、ECMNMIE105 は、エラー要因 38、37 に対応します。 0：割り込み発生禁止 1：割り込み発生許可
4 ～ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

31.3.12 ECMIRCFG0 — ECM 内部リセットコンフィグレーションレジスタ 0

ECM 内部リセットコンフィグレーションレジスタ 0 は、内部エラーの発生による内部リセットの発生を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + 14_H

リセット後の値 0000 $000F_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMIRE031	ECMIRE030	—	—	ECMIRE027	ECMIRE026	ECMIRE025	—	—	ECMIRE022	ECMIRE021	ECMIRE020	ECMIRE019	ECMIRE018	ECMIRE017	ECMIRE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMIRE015	ECMIRE014	ECMIRE013	ECMIRE012	ECMIRE011	ECMIRE010	ECMIRE009	ECMIRE008	ECMIRE007	ECMIRE006	ECMIRE005	ECMIRE004	ECMIRE003	—	ECMIRE001	ECMIRE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

表 31.18 ECMIRCFG0 レジスタの内容

ビット位置	ビット名	機能
31、30	ECMIRE031、ECMIRE030	ECM 内部リセット発生制御ビット ECMIRE031、ECMIRE030 がエラー要因 31、30 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可
29、28	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
27 ～ 25	ECMIRE027 ～ ECMIRE025	ECM 内部リセット発生制御ビット ECMIRE027 ～ ECMIRE025 がエラー要因 27 ～ 25 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ～ 3	ECMIRE022 ～ ECMIRE003	ECM 内部リセット発生制御ビット ECMIRE022 ～ ECMIRE003 がエラー要因 22 ～ 3 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可
2	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1、0	ECMIRE001、ECMIRE000	ECM 内部リセット発生制御ビット ECMIRE001、ECMIRE000 がエラー要因 1、0 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可

31.3.13 ECMIRCFG1 — ECM 内部リセットコンフィグレーションレジスタ 1

ECM 内部リセットコンフィグレーションレジスタ 1 は、内部エラーの発生による内部リセットの発生を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + 18_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMIRE129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ECMIRE112	ECMIRE111	ECMIRE110	ECMIRE109	—	—	ECMIRE106	ECMIRE105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R

表 31.19 ECMIRCFG1 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29	ECMIRE129	ECM 内部リセット発生制御ビット ディレイタイマオーバフローに対応します。 0：内部リセット発生禁止 1：内部リセット発生許可
28 ～ 13	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
12 ～ 9	ECMIRE112 ～ ECMIRE109	ECM 内部リセット発生制御ビット ECMIRE112 ～ ECMIRE109 は、エラー要因 44 ～ 41 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可
8、7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6、5	ECMIRE106、 ECMIRE105	ECM 内部リセット発生制御ビット ECMIRE106、ECMIRE105 は、エラー要因 38、37 に対応します。 0：内部リセット発生禁止 1：内部リセット発生許可
4 ～ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

31.3.14 ECMEMK0 ― ECM エラーマスクレジスタ 0

ECM エラーマスクレジスタ 0 は、ERROROUT 出力の個々のエラーソースのマスクを設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + $1C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMEMK031	ECMEMK030	—	—	ECMEMK027	ECMEMK026	ECMEMK025	—	—	ECMEMK022	ECMEMK021	ECMEMK020	ECMEMK019	ECMEMK018	ECMEMK017	ECMEMK016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMEMK015	ECMEMK014	ECMEMK013	ECMEMK012	ECMEMK011	ECMEMK010	ECMEMK009	ECMEMK008	ECMEMK007	ECMEMK006	ECMEMK005	ECMEMK004	ECMEMK003	—	ECMEMK001	ECMEMK000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

表 31.20 ECMEMK0 レジスタの内容

ビット位置	ビット名	機能
31、30	ECMEMK031、ECMEMK030	ECM ERROROUT 出力マスク制御ビット ECMEMK031、ECMEMK030 がエラー要因 31、30 に対応します。 0：ERROROUT 出力をマスクしない 1：ERROROUT 出力をマスクする
29、28	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
27 ～ 25	ECMEMK027 ～ ECMEMK025	ECM ERROROUT 出力マスク制御ビット ECMEMK027 ～ ECMEMK025 がエラー要因 27 ～ 25 に対応します。 0：ERROROUT 出力をマスクしない 1：ERROROUT 出力をマスクする
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ～ 3	ECMEMK022 ～ ECMEMK003	ECM ERROROUT 出力マスク制御ビット ECMEMK022 ～ ECMEMK003 がエラー要因 22 ～ 3 に対応します。 0：ERROROUT 出力をマスクしない 1：ERROROUT 出力をマスクする
2	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1、0	ECMEMK001、ECMEMK000	ECM ERROROUT 出力マスク制御ビット ECMEMK001、ECMEMK000 がエラー要因 1、0 に対応します。 0：ERROROUT 出力をマスクしない 1：ERROROUT 出力をマスクする

31.3.15 ECMEMK1 ー ECM エラーマスクレジスタ 1

ECM エラーマスクレジスタ 1 は、ERROROUT 出力の個々のエラーソースのマスクを設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + 20_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMEMK129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ECMEMK112	ECMEMK111	ECMEMK110	ECMEMK109	—	ECMEMK107	ECMEMK106	ECMEMK105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R

表 31.21 ECMEMK1 レジスタの内容

ビット位置	ビット名	機能
31、30	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29	ECMEMK129	ECM ERROROUT 出力マスク制御ビット ECMEMK129 は、ディレイタイマオーバフローに対応します。 0：ERROROUT 出力をマスクしない 1：ERROROUT 出力をマスクする
28 ～ 13	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
12 ～ 9	ECMEMK112 ～ ECMEMK109	ECM ERROROUT 出力マスク制御ビット ECMEMK112 ～ ECMEMK109 は、エラー要因 44 ～ 41 に対応します。 0：ERROROUT 出力をマスクしない 1：ERROROUT 出力をマスクする
8	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
7 ～ 5	ECMEMK107 ～ ECMEMK105	ECM ERROROUT 出力マスク制御ビット ECMEMK107 ～ ECMEMK105 は、エラー要因 39 ～ 37 に対応します。 0：ERROROUT 出力をマスクしない 1：ERROROUT 出力をマスクする
4 ～ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

31.3.16 ECMESSTC0 ー ECM エラーソースステータスクリアトリガレジスタ 0

ECM エラーソースステータスクリアトリガレジスタ 0 は、ECM マスタ／チェッカエラーソースステータスレジスタ 0 の個々のエラーソース状態をクリアするレジスタです。ECM マスタと ECM チェッカの両方のエラー状態が同時にクリアされます。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 24_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMCLSSE031	ECMCLSSE030	—	—	ECMCLSSE027	ECMCLSSE026	ECMCLSSE025	—	—	ECMCLSSE022	ECMCLSSE021	ECMCLSSE020	ECMCLSSE019	ECMCLSSE018	ECMCLSSE017	ECMCLSSE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	W	W	W	R	R	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMCLSSE015	ECMCLSSE014	ECMCLSSE013	ECMCLSSE012	ECMCLSSE011	ECMCLSSE010	ECMCLSSE009	ECMCLSSE008	ECMCLSSE007	ECMCLSSE006	ECMCLSSE005	ECMCLSSE004	ECMCLSSE003	—	ECMCLSSE001	ECMCLSSE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	R	W	W

表 31.22 ECMESSTC0 レジスタの内容

ビット位置	ビット名	機能
31、30	ECMCLSSE031、ECMCLSSE030	ECM エラー状態クリアビット ECMCLSSE031、ECMCLSSE030 がエラー要因 31、30 に対応します。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする
29、28	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
27 ～ 25	ECMCLSSE027 ～ ECMCLSSE025	ECM エラー状態クリアビット ECMCLSSE027 ～ ECMCLSSE025 がエラー要因 27 ～ 25 に対応します。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする
24、23	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ～ 3	ECMCLSSE022 ～ ECMCLSSE003	ECM エラー状態クリアビット ECMCLSSE022 ～ ECMCLSSE003 がエラー要因 22 ～ 3 に対応します。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする
2	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1、0	ECMCLSSE001、ECMCLSSE000	ECM エラー状態クリアビット ECMCLSSE001、ECMCLSSE000 がエラー要因 1、0 に対応します。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする

31.3.17 ECMESSTC1 ー ECM エラーソースステータスクリアトリガレジスタ 1

ECM エラーソースステータスクリアトリガレジスタ 1 は、ECM マスタ／チェッカエラーソースステータスレジスタ 1 の個々のエラーソース状態をクリアするレジスタです。ECM マスタと ECM チェッカの両方のエラー状態が同時にクリアされます。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 28_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ECM CLSSE 130	ECM CLSSE 129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	W	W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ECM CLSSE 112	ECM CLSSE 111	ECM CLSSE 110	ECM CLSSE 109	—	ECM CLSSE 107	ECM CLSSE 106	ECM CLSSE 105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	W	W	W	W	R	W	W	W	R	R	R	R	R

表 31.23 ECMESSTC1 レジスタの内容

ビット位置	ビット名	機能
31	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
30、29	ECMCLSSE130、ECMCLSSE129	ECM エラー状態クリアビット ECMCLSSE130、ECMCLSSE129 は ECMmESET の書き込みステータス、ディレイタイマオーバフローに対応します。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする
28 ～ 13	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
12 ～ 9	ECMCLSSE112 ～ ECMCLSSE109	ECM エラー状態クリアビット ECMCLSSE112 ～ ECMCLSSE109 は、エラー要因 44 ～ 41 に対応します。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする
8	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
7 ～ 5	ECMCLSSE107 ～ ECMCLSSE105	ECM エラー状態クリアビット ECMCLSSE107 ～ ECMCLSSE105 は、エラー要因 39 ～ 37 に対応します。 0：対応するエラー状態は変わらない 1：対応するエラー状態をクリアする
4 ～ 0	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

31.3.18 ECMPCMD1 ー ECM 保護コマンドレジスタ

ECM 保護コマンドレジスタの保護対象のレジスタは**「31.3.1 レジスター覧」**を参照してください。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + $2C_H$

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ECMREG1[7:0]							
リセット後の値	不定															
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 31.24 ECMPCMD1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 書き込む場合は “0” をライトしてください。
7 ～ 0	ECMREG1[7:0]	書き込み保護された ECM レジスタへの書き込みを有効にする保護コマンド

31.3.19 ECMPS ー ECM 保護ステータスレジスタ

ECM 保護ステータスレジスタは書き込み保護レジスタが正常に書き込まれたかどうかを示します。詳細は**「31.1.7　書き込み保護レジスタ」**を参照してください。

アクセス　8 ビット単位でリード可能です。

アドレス　<ECM_base> + 30_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECMPRERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 31.25 ECMPS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	予約ビット 読み出す場合はリセット後の値が読めます。
0	ECMPRERR	ECM 保護ステータスビット 書き込み保護レジスタへ正常に書き込まれたかどうかを表示します。 0：書き込み成功 1：書き込み失敗

31.3.20 ECMPE0 ー ECM 擬似エラートリガレジスタ 0

ECM 疑似エラートリガレジスタ 0 は、テスト用の疑似エラーを発生させるときに使用するレジスタです。疑似エラー発生時の ECM の動作は、エラー要因が実際に発生した場合と同じです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 34_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMPE031	ECMPE030	—	—	ECMPE027	ECMPE026	ECMPE025	—	—	ECMPE022	ECMPE021	ECMPE020	ECMPE019	ECMPE018	ECMPE017	ECMPE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	R	R	W	W	W	R	R	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMPE015	ECMPE014	ECMPE013	ECMPE012	ECMPE011	ECMPE010	ECMPE009	ECMPE008	ECMPE007	ECMPE006	ECMPE005	ECMPE004	ECMPE003	—	ECMPE001	ECMPE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	R	W	W

表 31.26 ECMPE0 レジスタの内容

ビット位置	ビット名	機能
31、30	ECMPE031、ECMPE030	ECM 疑似エラートリガビット ECMPE031、ECMPE030 がエラー要因 31、30 に対応します。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する
29、28	-—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
27 ～ 25	ECMPE027 ～ ECMPE025	ECM 疑似エラートリガビット ECMPE027 ～ ECMPE025 がエラー要因 27 ～ 25 に対応します。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する
24、23	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ～ 3	ECMPE022 ～ ECMPE003	ECM 疑似エラートリガビット ECMPE022 ～ ECMPE003 がエラー要因 22 ～ 3 に対応します。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する
2	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1、0	ECMPE001、ECMPE000	ECM 疑似エラートリガビット ECMPE001、ECMPE000 がエラー要因 1、0 に対応します。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する

31.3.21 ECMPE1 ー ECM 擬似エラートリガレジスタ 1

ECM 疑似エラートリガレジスタ 1 は、テスト用の疑似エラーを発生させるときに使用するレジスタです。疑似エラー発生時の ECM の動作は、エラー要因が実際に発生した場合と同じです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でライト可能です。

アドレス <ECM_base> + 38_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ECMPE129	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ECMPE112	ECMPE111	ECMPE110	ECMPE109	—	ECMPE107	ECMPE106	ECMPE105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	W	W	W	W	R	W	W	W	R	R	R	R	R

表 31.27 ECMPE1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 30	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
29	ECMPE129	ECM 疑似エラートリガビット ディレイタイマオーバフローに対応します。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する
28 ～ 13	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
12 ～ 9	ECMPE112 ～ ECMPE109	ECM 疑似エラートリガビット ECMPE112 ～ ECMPE109 は、エラー要因 44 ～ 41 に対応します。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する
8	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
7 ～ 5	ECMPE107 ～ ECMPE105	ECM 疑似エラートリガビット ECMPE107 ～ ECMPE105 は、エラー要因 39 ～ 37 に対応します。 0：疑似エラーを発生しない 1：対応するエラーを疑似的に発生する
4 ～ 0	—	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

31.3.22 ECMDTMCTL － ECM ディレイタイマコントロールレジスタ

ECM ディレイタイマコントロールレジスタは、ディレイタイマを制御するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 8 ビット単位でライト可能です。

アドレス <ECM_base> + $3C^H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ECMSTP	ECMSTA
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 31.28 ECMDTMCTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	-	予約ビット 書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1	ECMSTP	ディレイタイマストップビット このビットへ 1 書き込むとディレイタイマカウンタが初期化され、ディレイタイマは停止します。同時に ECMSTA ビットは 0 になります。
0	ECMSTA	ディレイタイマスタートビット このビットへ 1 を書き込むと割り込み発生時にディレイタイマがカウント開始します。 （このビットへ 0 を書き込むことでも、ディレイタイマは停止します。）

31.3.23 ECMDTMR ー ECM ディレイタイマレジスタ

ECM ディレイタイマレジスタはディレイタイマ値を示します。ECM ディレイタイマコントロールレジスタ (ECMDTMCTL) の ECMSTP ビットへ 1 を書き込むか ECMSTA ビットへ 0 を書き込むことで、ディレイタイマカウンタは初期化されます。

アクセス 16 ビット単位でリード可能です。

アドレス <ECM_base> + 40_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMDTMR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

31.3.24 ECMDTMCMP ー ECM ディレイタイマコンペアレジスタ

ECM ディレイタイマコンペアレジスタとディレイタイマカウンタの値が一致するとディレイタイマオーバフロー信号が発生し、ECMmSSE129n ビットがセットされます。本レジスタへのデータ書き込みはディレイタイマ停止中に行ってください。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + 44_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMDTMCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

31.3.25 ECMDTMCFG0 ー ECM ディレイタイマコンフィグレーションレジスタ 0

ECM ディレイタイマコンフィグレーションレジスタ 0 は、エラー発生によるマスカブル割り込みによるディレイタイマスタート許可 / 禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + 48_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMTE031	ECMTE030	—	—	ECMTE027	ECMTE026	ECMTE025	—	—	ECMTE022	ECMTE021	ECMTE020	ECMTE019	ECMTE018	ECMTE017	ECMTE016
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE015	ECMTE014	ECMTE013	ECMTE012	ECMTE011	ECMTE010	ECMTE009	ECMTE008	ECMTE007	ECMTE006	ECMTE005	ECMTE004	ECMTE003	—	ECMTE001	ECMTE000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

表 31.29 ECMDTMCFG0 レジスタの内容

ビット位置	ビット名	機能
31、30	ECMTE031、ECMTE030	ECM ディレイタイマスタート制御ビット ECMTE031、ECMTE030 がエラー要因 31、30 によって発生するマスカブル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可
29、28	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
27 ～ 25	ECMTE027 ～ ECMTE025	ECM ディレイタイマスタート制御ビット ECMTE027 ～ ECMTE025 がエラー要因 27 ～ 25 によって発生するマスカブル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ～ 3	ECMTE022 ～ ECMTE003	ECM ディレイタイマスタート制御ビット ECMTE022 ～ ECMTE003 がエラー要因 22 ～ 3 によって発生するマスカブル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可
2	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1、0	ECMTE001、ECMTE000	ECM ディレイタイマスタート制御ビット ECMTE001、ECMTE000 がエラー要因 1、0 によって発生するマスカブル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可

31.3.26 ECMDTMCFG1 ー ECM ディレイタイマコンフィグレーションレジスタ 1

ECM ディレイタイマコンフィグレーションレジスタ 1 は、エラー発生によるマスカブル割り込みによるディレイタイマスタート許可／禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + $4C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ECMTE112	ECMTE111	ECMTE110	ECMTE109	—	—	ECMTE106	ECMTE105	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R

表 31.30 ECMDTMCFG1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
12 ～ 9	ECMTE112 ～ ECMTE109	ECM ディレイタイマスタート制御ビット ECMTE112 ～ ECMTE109 は、エラー要因 44 ～ 41 によって発生するマスカブル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可
8 ～ 7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6 ～ 5	ECMTE106、 ECMTE105	ECM ディレイタイマスタート制御ビット ECMTE106、ECMTE105 は、エラー要因 38、37 によって発生するマスカブル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可
4 ～ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

31.3.27 ECMDTMCFG2 ー ECM ディレイタイマコンフィグレーションレジスタ 2

ECM ディレイタイマコンフィグレーションレジスタ 2 は、エラー発生による FE レベル割り込みによるディレイタイマスタート許可／禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + 50_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECMTE231	ECMTE230	—	—	ECMTE227	ECMTE226	ECMTE225	—	—	ECMTE222	ECMTE221	ECMTE220	ECMTE219	ECMTE218	ECMTE217	ECMTE216
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECMTE215	ECMTE214	ECMTE213	ECMTE212	ECMTE211	ECMTE210	ECMTE209	ECMTE208	ECMTE207	ECMTE206	ECMTE205	ECMTE204	ECMTE203	—	ECMTE201	ECMTE200
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

表 31.31 ECMDTMCFG2 レジスタの内容

ビット位置	ビット名	機能
31、30	ECMTE231、ECMTE230	ECM ディレイタイマスタート制御ビット ECMTE231、ECMTE230 がエラー要因 31、30 によって発生する FE レベル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可
29、28	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
27 ～ 25	ECMTE227 ～ ECMTE225	ECM ディレイタイマスタート制御ビット ECMTE227 ～ ECMTE225 がエラー要因 27 ～ 25 によって発生する FE レベル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可
24、23	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
22 ～ 3	ECMTE222 ～ ECMTE203	ECM ディレイタイマスタート制御ビット ECMTE222 ～ ECMTE203 がエラー要因 22 ～ 3 によって発生する FE レベル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可
2	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
1、0	ECMTE201、ECMTE200	ECM ディレイタイマスタート制御ビット ECMTE201、ECMTE200 がエラー要因 1、0 によって発生する FE レベル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可

31.3.28 ECMDTMCFG3 ー ECM ディレイタイマコンフィグレーションレジスタ 3

ECM ディレイタイマコンフィグレーションレジスタ 3 は、エラー発生による FE レベル割り込みによるディレイタイマスタート許可／禁止を設定するレジスタです。このレジスタにデータを書き込むためには、決められた保護解除シーケンスに従う必要があります。保護解除シーケンスの詳細は**「31.1.7 書き込み保護レジスタ」**を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ECM_base> + 54_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ECMTE312	ECMTE311	ECMTE310	ECMTE309	—	—	ECMTE306	ECMTE305	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R

表 31.32 ECMDTMCFG3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
12 ～ 9	ECMTE312 ～ ECMTE309	ECM ディレイタイマスタート制御ビット ECMTE312 ～ ECMTE309 は、エラー要因 44 ～ 41 によって発生する FE レベル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可
8 ～ 7	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。
6 ～ 5	ECMTE306、 ECMTE305	ECM ディレイタイマスタート制御ビット ECMTE306、ECMTE305 は、エラー要因 38、37 によって発生する FE レベル割り込みに対応します。 0：ディレイタイマスタート禁止 1：ディレイタイマスタート許可
4 ～ 0	—	予約ビット 読み出す場合はリセット後の値が読めます。書き込む場合は、保護解除シーケンスの手順にしたがって、リセット後の値、またはリセット後の値のビット反転値をライトしてください。

第 32 章　データ CRC（DCRA）

本章では、データ CRC 機能 A（DCRA）について説明します。

レジスタベースアドレスを**表 32.1** に示します。

表 32.1　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<DCRA0_base>	$FFF7\ 0000_H$

32.1　概要

32.1.1　機能概要

データ CRC 機能 A を利用して、CRC で保護された任意の長さとさまざまなビット幅を持つデータストリームを検証または生成することができます。

- 生成多項式：32-Ethernet（32 ビットの CRC コード生成）または 16-CCITT（16 ビットの CRC コード生成）のいずれかをレジスタで選択できます。
  生成多項式は以下のとおりです。
  - 32-Ethernet
    $(x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1)$
  - 16-CCITT（$x^{16} + x^{12} + x^{5} + 1$）
- 32-Ethernet 選択時、レジスタで指定した 8/16/32 ビット単位の任意のデータ長ブロックに対し、32 ビットの CRC コードを生成します。
- 16-CCITT 選択時、レジスタで指定した 8/16/32 ビット単位の任意のデータ長ブロックに対し、16 ビットの CRC コードを生成します。
- CRC データレジスタ（DCRA0COUT）に初期値を設定した後、入力データを CRC インプットレジスタ（DCRA0CIN）に転送することで演算され、CRC データレジスタ（DCRA0COUT）に演算結果が格納されます。

32.1.2 ブロック図

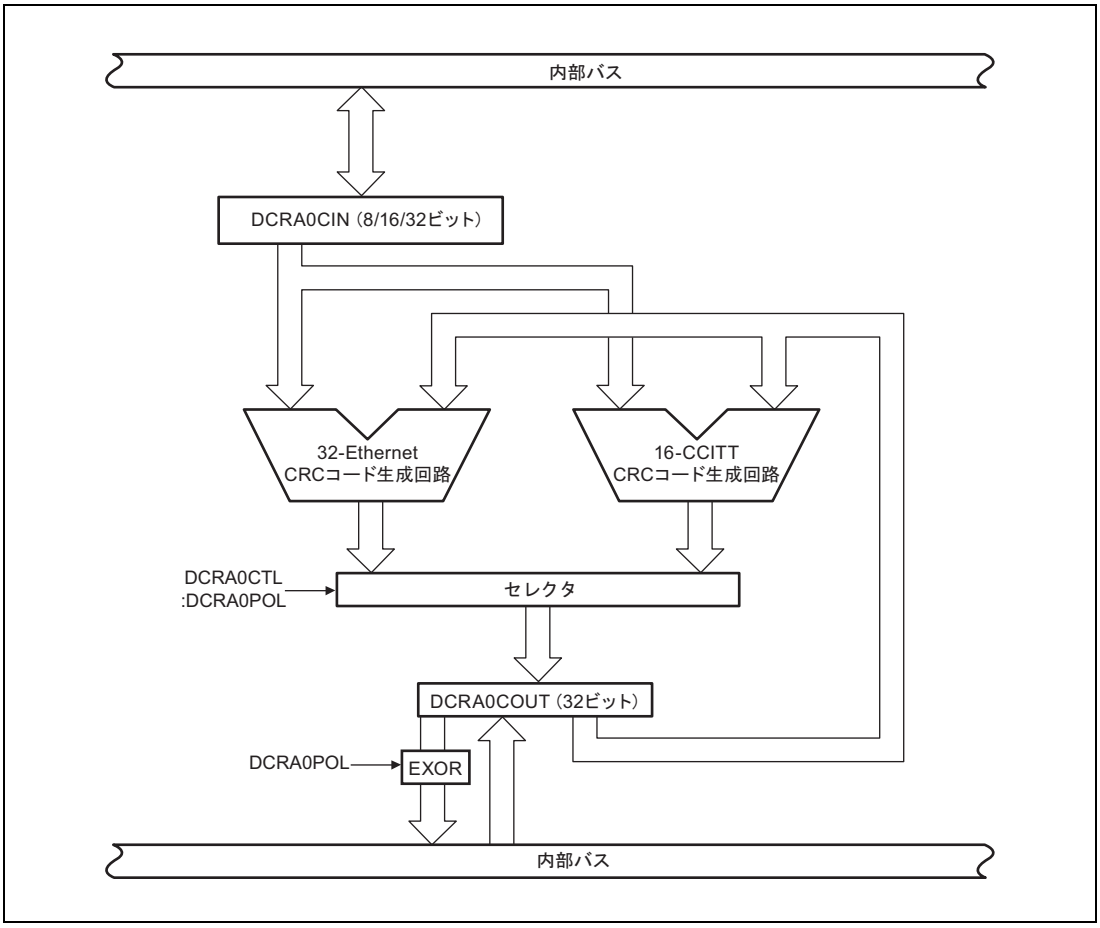
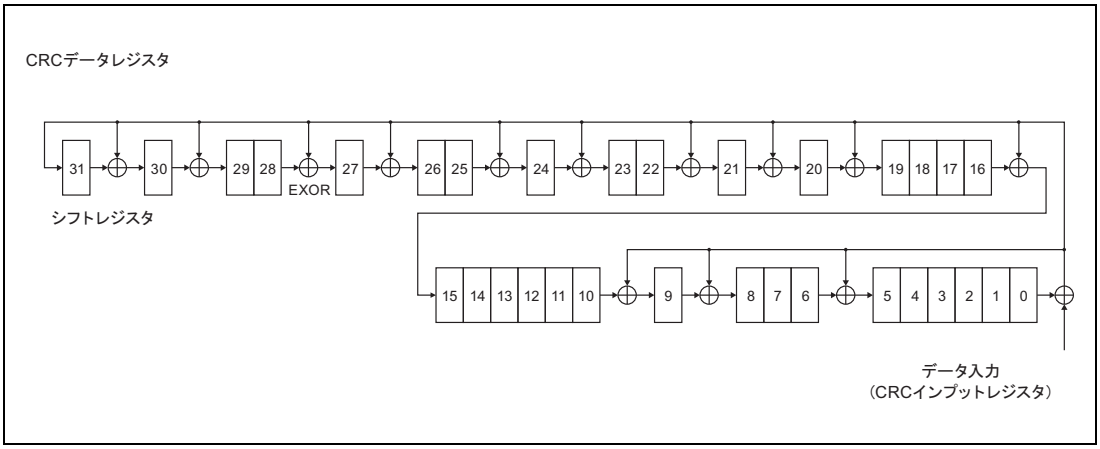


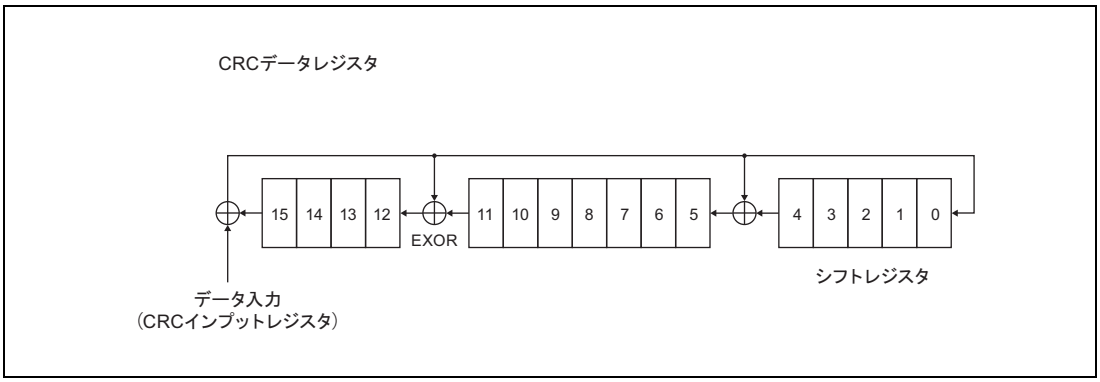
図 32.1 データ CRC 機能 A のブロック図

32.1.3 演算回路

- 32-Ethernet



- 16-CCITT



32.2　レジスタ仕様

32.2.1　レジスター覧

表 32.2　DCRA レジスター覧

レジスタ名称	機能	アドレス
DCRA0CIN	CRC インプットレジスタ	<DCRA0_base> + 00_H
DCRA0COUT	CRC データレジスタ	<DCRA0_base> + 04_H
DCRA0CTL	CRC 制御レジスタ	<DCRA0_base> + 20_H

32.2.2 DCRA0CIN — CRC インプットレジスタ

CRC インプットレジスタは、入力データ格納用の 32 ビットレジスタです。

本レジスタにデータを設定すると対応する CRC コードを生成します。

CRC 制御レジスタの DCRA0ISZ1,0 ビットで CRC 演算回路で使用する有効ビット幅を選択します。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFF7 0000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRA0CIN															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRA0CIN															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.3 DCRA0CIN レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DCRA0CIN [31:0]	CRC 計算用入力データ 以下の有効ビット幅に対応しています。 • 有効ビット幅 32 ビット：DCRA0CIN[31:0] • 有効ビット幅 16 ビット：DCRA0CIN[15:0] • 有効ビット幅 8 ビット：DCRA0CIN[7:0]

32.2.3 DCRA0COUT — CRC データレジスタ

CRC データレジスタは、CRC(32-Ethernet/16-CCITT) の演算結果格納用の 32 ビットレジスタです。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス FFF7 0004_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRA0COUT															
リセット後の値 注1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRA0COUT															
リセット後の値 注1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注 1. リセット後のリード値は、リセット後の CRC 生成方式の選択が 32 ビットイーサネット多項式になっているため、0000 0000_H になります。

表 32.4 DCRA0COUT レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	DCRA0COUT [31:0]	CRC コード生成の結果 16 ビット CCITT 多項式を有効にした場合は、ビット 15 ～ 0 が CRC の結果を示し、ビット 31 ～ 16 は不定になります。 本レジスタのリード値は、以下の値と EXOR 演算された値となります。 • 32 ビットイーサネット多項式の場合：FFFF $FFFF_H$ • 16 ビット CCITT 多項式の場合：0000_H 例えば、32 ビットイーサネット多項式で、DCRA0COUT = 5555 5555_H のとき AAAA $AAAA_H$ がリードされます。

注 意

データブロックの最初のデータを DCRA0CIN レジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。

32.2.4 DCRA0CTL — CRC 制御レジスタ

CRC 制御レジスタは、CRC の制御を行うビットレジスタです。

アクセス 8 ビット単位でリード / ライト可能です。

アドレス FFF7 0020$_H$

リセット後の値 00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DCRA0ISZ[1:0]		DCRA0POL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 32.5 DCRA0CTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	—	予約ビットです。
2、1	DCRA0ISZ[1:0]	入力データ幅選択ビット CRC インプットレジスタの入力データ有効幅を選択するビットです。 bit2 bit1 0 0 ：入力データの有効幅を 32 ビット (DCRA0CIN31-0) に指定 0 1 ：入力データの有効幅を 16 ビット (DCRA0CIN15-0) に指定 1 0 ：入力データの有効幅を 8 ビット (DCRA0CIN7-0) に指定 1 1 ：設定禁止
0	DCRA0POL	CRC 生成多項式選択ビット CRC 生成多項式を選択するビットです。 0 ：32-Ethernet (32 ビットの CRC コード生成) を選択 1 ：16-CCITT (16 ビットの CRC コード生成) を選択

注 意

1. **CRC 生成方式（DCRA0CTL.DCRA0POL）を変更した場合は、DCRA0COUT レジスタを初期化する必要があります。**
2. **データブロックのビット幅に合わせて CRC 入力ビット幅（DCRA0CTL.DCRA0ISZ[1:0]）を設定する必要があります。データブロックの処理中に CRC 入力ビット幅を変更することは禁止されています。DCRA0COUT レジスタから最終的な CRC の結果を読み出したあとは、CRC 入力ビット幅を変更することができます。その場合は、あとで DCRA0COUT レジスタを初期化（初期開始値を設定）する必要があります。**

32.3 機能

データ CRC 機能 A は任意のデータブロック長の CRC（巡回冗長検査）を生成します。データは、8 ビット単位、16 ビット単位または 32 ビット単位でデータ CRC 機能に転送されます。32 ビットイーサネット用または 16 ビット CCITT 用の CRC 多項式を選択できます。CRC 入力レジスタ（DCRA0CIN）への最初の書き込みアクセスを行う前に、DCRA0COUT レジスタに初期開始値を設定する必要があります。

以下のフローチャートは、CRC の生成の流れを示しています。

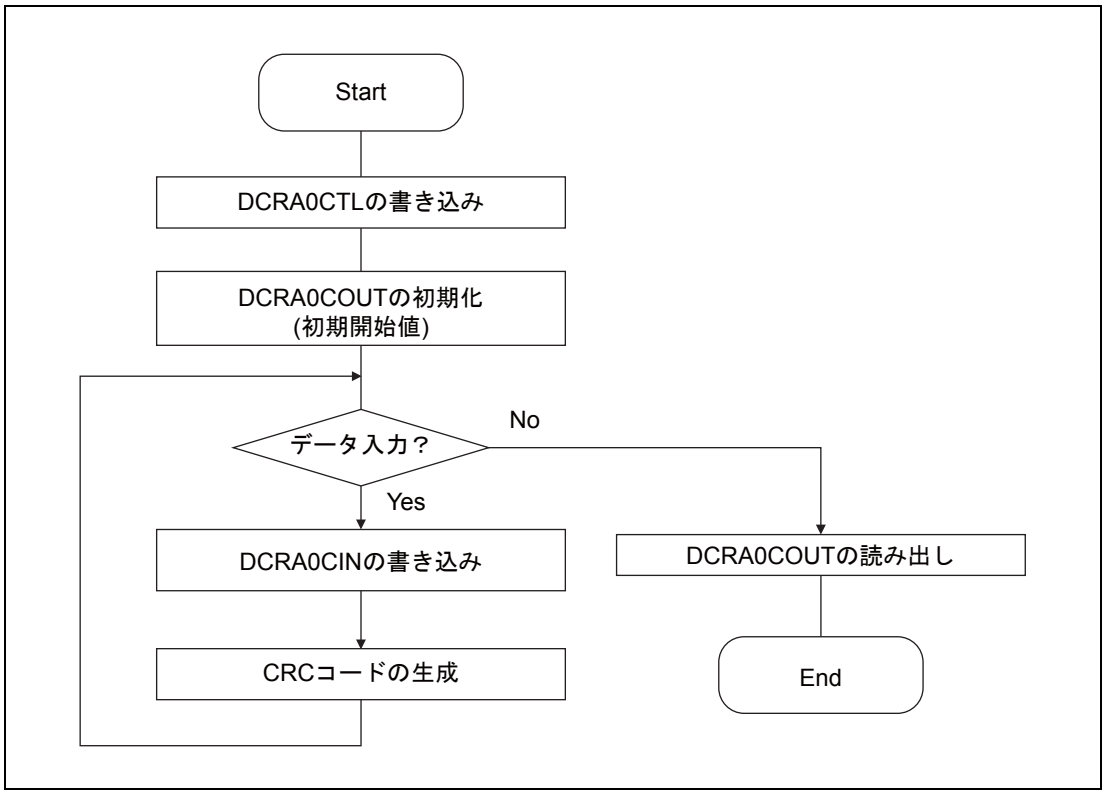


図 32.2 データ CRC 機能 A のフロー図

備 考

1. 最初のデータを DCRA0CIN に書き込む前に、CRC 出力レジスタ DCRA0COUT を開始値で初期化（初期開始値）する必要があります。
2. DCRA0CTL.DCRA0POL を変更することによって多項式を変更した場合は、DCRA0COUT を再初期化（初期開始値）する必要があります。

第 33 章　オンチップデバッグユニット (OCD)

33.1　デバッグ機能

本製品には、オンチップ・デバッグ機能があります。オンチップ・デバッグ・エミュレータの使用により、ターゲット・システムに搭載されたマイクロコントローラでプログラムをデバッグできます。

注　意

この章で説明するデバッグ機能は、マイクロコントローラではサポートされますが、使用できるかどうかはデバッガによって決まります。デバッグの詳細はデバッガのユーザーズマニュアルを参照してください。

(1) デバッグ・インタフェース

デバッグ・インタフェースとして、“NEXUS JTAG Interface”、“Low Pin Debug Interface(4pin)（以下、LPD(4pin) と記載）” をサポートします。

また、内蔵 RAM データ・周辺レジスタ等のモニタリング／チューニングなどを目的として、AUD-RAM モニタを搭載し、AUD-RAM モニタ・インタフェースをサポートします。AUD-RAM モニタについては、**「33.5　AUD-RAM モニタ（AUDR）」**を参照してください。

(2) デバッグ・モニタ機能

デバッグ・モード中、デバッグ専用領域でモニタ・プログラムを実行します。

モニタプログラムを実行することで、次の基本的なデバッグ機能を使用できます。

- ユーザプログラムのダウンロード
- ユーザプログラムの中断中に、ユーザリソース（メモリ、レジスタなど）のリード／ライト
- 任意のアドレスで始まるユーザプログラムの実行

(3) オンチップブレーク機能

CPU1、PCU 毎に 12 本のブレークポイントを搭載。内、4 本は任意のアクセス（アクセス・アドレス、アクセスデータ）を指定可能。

(4) ソフトウェア・ブレーク機能

任意のアドレスにソフトウェア・ブレーク・ポイントを指定できます。

(5) 強制ブレーク機能

ユーザプログラムの実行を強制的に中断可能です。

(6) デバッグ割り込みインタフェース機能

外部からの $\overline{\text{EVTI}}$ 端子入力のアサートにより、ユーザ・プログラムの実行を強制的に中断可能です。

(7) 強制リセット機能

マイクロコントローラ（本製品）を強制的にリセット可能です。

(8) リアルタイム RAM モニタ（RRM）

プログラム実行中にメモリをリードできます。このリード・アクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(9) ダイナミック・メモリ変更（DMM）

プログラム実行中にメモリをライトできます。このライト・アクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(10) タイマ機能

32 ビット・カウンタを使用し、デバッグ用クロックに基づいてユーザプログラムの実行時間を測定できます。

(11) マスク機能

リセット要因（外部リセット、ソフトウェア・リセット、ECM リセット）をマスクすることが可能です。

(12) イベント検出機能

実行アドレス／アクセス・アドレス／アクセス・データ／範囲（大小比較）／シーケンシャル実行によるイベント検出が可能です。

(13) トリガ入力インタフェース

外部イベントを受け付けるイベント･トリガ入力インタフェースを装備しています。$\overline{\text{EVTI}}$ 端子入力により、外部イベントの受け付けが可能です。

(14) トリガ出力インタフェース

外部デバッグ装置にイベント検出などを通知するイベント・トリガ出力インタフェースを装備しています。$\overline{\text{EVTO}}$ 端子出力により、外部へのイベント検出のトリガ出力が可能です。

(15) ホットプラグイン機能

通常動作モードから外部リセット入力なしで、デバッグを開始することができます。

(16) セキュリティ機能

フラッシュ・メモリの内容が権限のないユーザにリードされないように、128 ビットの ID コード (OCD_ID) をマイクロコントローラにライトすることができます。デバッガ起動時にユーザが入力するコードがマイクロコントローラにライトされた ID コードに一致しない場合は、フラッシュメモリにアクセスできません。

(17) キャリブレーション機能

エミュレーション・メモリとなる ERAM により、Flash メモリのエミュレーション、ROM データのチューニングを行うことができます。

詳細は、**「33.2　キャリブレーション機能」**を参照してください。

(18) トレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することができます。

詳細は、**「33.3　トレース・コントロール機能」**を参照してください。

(19) マルチコアデバッグ機能

CPU1、PCU を対象としたマルチコアデバッグとして、以下の機能をサポート

- 同期機能（リセット、実行、ブレーク）、同期設定、複数コア同時トレース

33.2　キャリブレーション機能

本製品は、内蔵 Flash メモリのエミュレーション・メモリとなる Emulation RAM を搭載しています。

(1) Emulation RAM

Emulation RAM を 8KB 搭載しています

(2) Flash エミュレーション機能

Flash 領域の任意の領域に対して、Emulation RAM をマッピング可能です。

- サブブロック 0：8KB

(3) チューニング機能

Flash 領域にマッピングした ERAM を介してユーザ･プログラムの実行中に ROM データのダイナミック・チューニングが可能です。

(4) Flash キャッシュ・クリア機能

ERAM のマッピング設定時に Flash キャッシュのクリアを行います。これにより、内蔵 Flash メモリ／ ERAM と Flash キャッシュのメモリ内容のコヒーレンシを維持します。

33.3　トレース・コントロール機能

本製品は、ソフトトレース機能によりユーザプログラムの実行履歴やデータ変化等を取得することができます。

ソフトトレース情報は、デバッグインタフェース（LPD（4pin））を介して、出力可能です。

33.4　ペリフェラル・ブレークの制御

33.4.1　概要

ペリフェラル・ブレークは、ユーザプログラムが停止した場合（ブレークポイントなどで）に、周辺モジュールを停止させる機能です。

ペリフェラル・ブレーク時の内蔵モジュールの動作は以下のようになります。

1. 無条件で停止するモジュール
   WDTA0、WDTA1、SWDT0、SWDT2
2. 機能停止・継続を選択できるモジュール注 1
   OSTM0、OSTM1、OSTM2、
   TAPA2、TAPA3、
   TSG20、TSG21、
   ATU4
   DMA

注 1. TAPAn ではペリフェラルブレークによる機能停止時に、TSG2n の PWM 出力端子 TSOn1 ～ 6 を強制的に Hi-z 状態にします。また、TAPAnFLG レジスタの TAPAnHOF[10:8] ビットの値が 111_B になります。

33.5 AUD-RAM モニタ（AUDR）

33.5.1 概要

本 LSI は、システムに実装された状態でユーザプログラムのデバッグ支援を行う機能として、AUD （Advanced User Debugger）-RAM モニタ（AUDR）を備えています。AUDR は、LSI が動作中に内蔵メモリや周辺レジスタ等メモリ空間にマッピングされたリソースの読み出しや書き込みを行うことができます。

表 33.1 に AUDR の概要を示します。また、**図 33.1** に AUDR のブロック図を示します。

表 33.1 AUDR の概要

項目	概要
転送方式	クロック同期型パラレルインタフェース（4 ビット）
転送クロックの発生	外部ホスト（RAM モニタツール）側が発生
転送クロック周波数	最大 20MHz
アクセス領域	システムバス上の物理アドレス領域
アクセスデータサイズ	8/16/32/64 ビット
アクセスアドレス入力ビット幅	8/16/24/32 ビット 入力されないアクセスアドレスの上位ビットは前回のアクセスアドレスと同じ値が使用されます。
データ転送方法	• 単一転送 入力したアクセスアドレスに対して一つのデータを転送します。 • 連続転送 入力したアクセスアドレスから最大 16 個のデータを連続的に転送します。 アクセスアドレスはデータサイズに応じて自動的にインクリメントされます。
入出力端子	7 本（$\overline{\text{AUDRST}}$、AUDCK、$\overline{\text{AUDSYNC}}$、AUDATA3 ～ AUDATA0）
機能	• RAM モニタ機能 システムバスよりアクセス可能な物理アドレス領域に対して読み出し / 書き込みを行う機能です。本機能により内蔵メモリや周辺レジスタ等の参照、変更ができます。 • Configuration 情報保持（startup communication）機能 内部リセット解除時の AUDATA3 ～ AUDATA0 端子の値を保持する機能です。RAM モニタツールとの通信に使用します。 • 同期通信（メッセージボード）機能 CPU で動作するファームウェアが、RAM モニタツールと通信するために利用するフラグレジスタです。

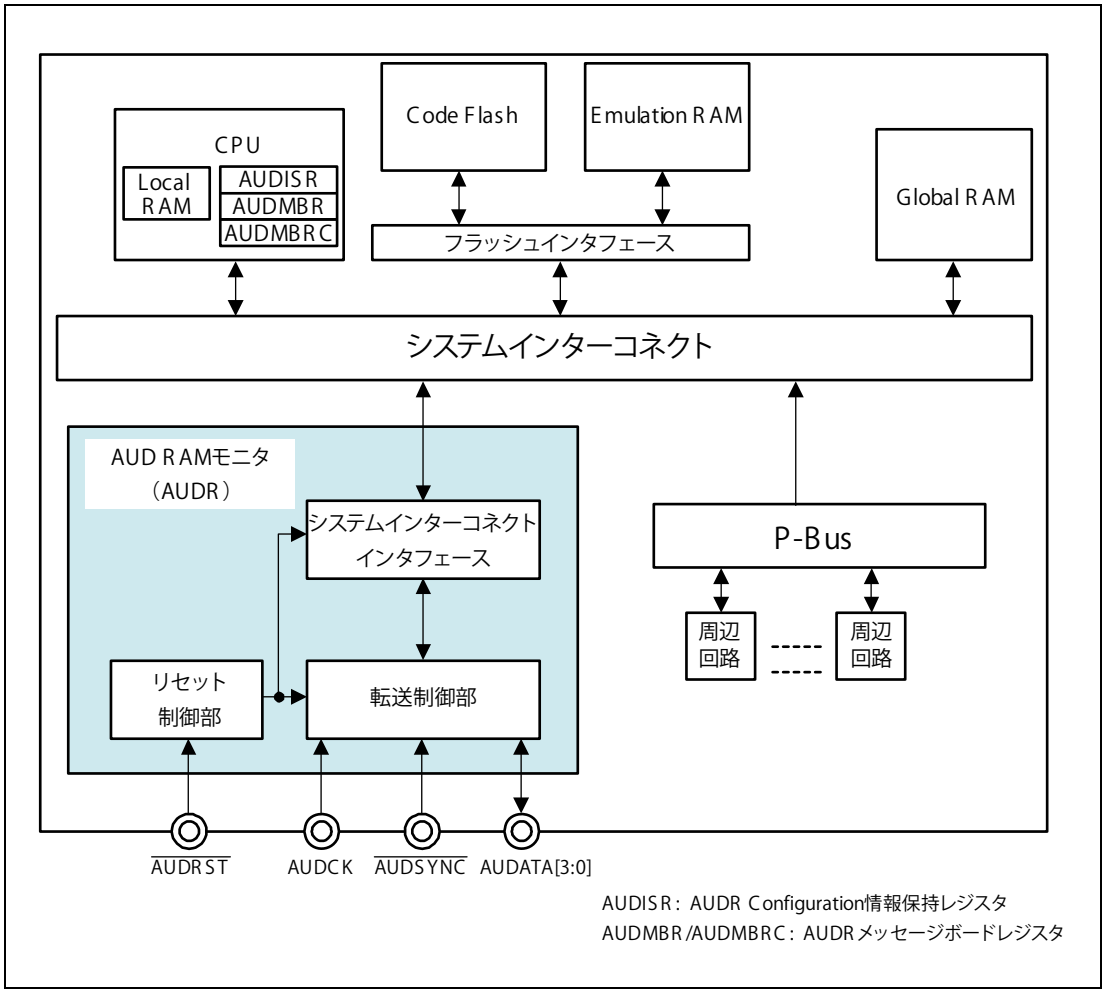


図 33.1 AUDR のブロック図

33.5.2 入出力端子

表 33.2 に AUDR の端子構成を示します。

表 33.2 端子構成

端子名	入出力	機能
$\overline{\text{AUDRST}}$	入力	本端子は AUDR リセット入力端子です。 本端子に L を入力すると AUDR がリセット状態となります。ただし、AUDISR と AUDMBR/AUDMBRC（後述）は初期化されません。 また、何も接続しないときは内部でプルダウンします。
AUDCK	入力	本端子は外部クロック入力端子です。 入力できるクロックの周波数は 20MHz 以下です。 また、何も接続しないときは内部でプルアップします。
$\overline{\text{AUDSYNC}}$	入力	タイミング制御信号入力端子です。 L: コマンド、アドレス、書き込みデータを入力、状態フラグを出力 H: 読み出しデータを出力、アイドル状態 また、何も接続しないときは内部でプルアップします。 **注 意** 本端子は外部から AUDATA にコマンド等を入力して、レディ状態になるまでネゲート（H に）しないでください。詳細は後述のプロトコルを参照してください。
AUDATA3 ～ AUDATA0	入出力	4 ビットのパラレルデータ入出力端子です。 下記情報が時分割で入出力されます。 • コマンド（入力） • アドレス（入力） • ライトデータ（入力）/ リードデータ（出力） • 状態フラグ（出力） また、何も接続しないときは内部でプルアップします。

33.5.3 レジスタの説明

表 33.3 に AUDR 関連のレジスタ構成を示します。

本レジスタは、CPU1 のみアクセス可能です。

表 33.3 レジスタ構成

レジスタ名	シンボル	リセット後の値	R/W	アドレス	アクセスサイズ	詳細解説
AUDR Configuration 情報保持レジスタ	AUDISR	$000X_H$ 注 1	R	FA00 5000_H 注 4	16 注 5	
AUDR メッセージボードレジスタ	AUDMBR	0000_H	R/W 注 2	FA00 5004_H 注 4	16 注 5	
	AUDMBRC	0000_H	R/W 注 2, 注 3	FA00 5008_H 注 4	16 注 5	

注 1. ビット 3 ～ 0 に内部リセット解除時の AUDATA3 ～ AUDATA0 端子の値を保持します。
注 2. 値が 0 のビットへの 1 書き込みのみ可能です。値が 1 のビットへの 0 書き込みはできません。
注 3. 読み出し後すべてのビットが 0 にクリアされます。
注 4. AUDISR と AUDMBR/AUDMBRC は、プログラム からアクセスするときのアドレスと AUDR ツール からアクセスするときのアドレスが異なります。「Access prohibited」領域ですが、AUDR ツールと通信用に本アドレスはアクセス可能です。
注 5. 16 ビット（ハーフワード）以外のサイズでアクセスした場合の動作は保証しません。

33.5.3.1 AUDISR — AUDR Configuration 情報保持レジスタ

AUDISR は、読み出し専用の 16 ビットのレジスタです。プログラム および AUDR ツールによる読み出しが可能です。

プログラム から AUDISR をアクセスするときのアドレスは、FA00 5000_H を使用してください。

AUDR ツール から AUDISR をアクセスするときのアドレスは、F900 5000_H を使用してください。

AUDISR は、AUDR リセットによって初期化されません。AUDR リセット中もプログラムから AUDISR の読み出しは可能です。

AUDISR の想定使用用途は以下の通りです。

- Configuration 情報保持機能
  内部リセット解除時の AUDATA3 ～ AUDATA0 端子 の値を保持します。エミュレータの構成を AUDATA3 ～ AUDATA0 端子に設定することにより、プログラムでエミュレータの接続構成を判定することが出来ます。
  AUD RAM モニタ関連端子に何も接続されていない状態では、AUDATA3 ～ AUDATA0 端子はプルアップされており、$000F_H$ が読み出されます。AUD RAM モニタツールが接続された状態では、AUDATA3 ～ AUDATA0 端子は $000F_H$ 以外の値に設定された後、CPU から AUDISR を読み出すことによってツールが接続されたことを判定できます。

また、AUDATA3 ～ AUDATA0 端子の値によって、どのツールベンダのツールが接続されたのかを判別することが可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	DATA			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	AUDATA3 ～ AUDATA0 端子の値			
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.4 AUDISR レジスタの内容

ビット位置	ビット名	機能
15 ～ 4	—	予約ビット。 読み出すと常に “0” が読み出されます。書き込む値も常に “0” にしてください。
3 ～ 0	DATA	内部リセット解除時の AUDATA3 ～ AUDATA0 端子の値を保持します。

33.5.3.2 AUDMBR/AUDMBRC — AUDR メッセージボードレジスタ

AUDMBR/AUDMBRC は、読み出し／書き込み可能な 16 ビットのレジスタです。プログラムおよび AUDR ツールによる読み出し／書き込みが可能です。

プログラムから AUDMBR/AUDMBRC をアクセスするときのアドレスは、FA00 5004_H、FA00 5008_H を使用してください。AUDR ツールから CPU1 の AUDMBR/AUDMBRC をアクセスするときのアドレスは、F900 5004_H、F900 5008_H を使用してください。

プログラムが FA00 5008_H 番地の AUDMBRC を読み出すと、読み出し後に AUDMBR/AUDMBRC の全ビットが 0 にクリアされます。プログラムが FA00 5004_H 番地の AUDMBR を読み出した場合は、AUDMBR/AUDMBRC のビットはクリアされません。

AUDR ツールが F900 5008_H 番地の AUDMBRC を読み出すと、読み出し後に CPU1 の AUDMBR/AUDMBRC の全ビットが 0 にクリアされます。AUDR ツールが F900 5004_H 番地の AUDMBR を読み出した場合は、AUDMBR/AUDMBRC のビットはクリアされません。

プログラムおよび AUDR ツールはそれぞれ上記のアドレスから AUDMBR/AUDMBRC への書き込みが可能です。ただし、値が 1 のビットへの 0 の書き込みは無視されます（1 セットのみ可能）。

表 33.6 に AUDMBR/AUDMBRC の推奨アクセス方法を示します。

AUDMBR/AUDMBRC は、AUDR リセットによって初期化されません。AUDR リセット中もプログラムから AUDMBR/AUDMBRC の読み出し / 書き込みは可能です。

AUDMBR/AUDMBRC の想定使用用途は以下の通りです。

- 同期通信（メッセージボード）機能
  CPU で動作するファームウェア（プログラム) が、エミュレータと通信するために利用するフラグレジスタとして、AUDMBR を使用し、RAM モニタ機能で読み出すことにより、ファームウェア（プログラム）の動作状況をエミュレータが知ることができます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AUDMBR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 33.5 AUDMBR/AUDMBRC レジスタの内容

ビット位置	ビット名	機能
15 ～ 0	AUDMBR	AUDR、CPU 間通信フラグ

表 33.6　AUDMBR/AUDMBRC の推奨アクセス方法

アクセス元	アドレス	アクセス方向	アクセス可否	備考
プログラム	FA00 5004_H （AUDMBR）	ライト	“1” のみ書き込み可能 “0” の書き込みは無視	—
		リード	リード可	読み出し後のクリア動作なし
AUDR ツール	F900 5008_H （AUDMBRC）	ライト	“1” のみ書き込み可能 “0” の書き込みは無視	—
		リード	リード可	読み出し後に全ビットが “0” にクリアされる

33.5.4 RAM モニタ機能

33.5.4.1 通信プロトコル

AUDATA 端子に入力するコマンド、カウント値、アドレス、データは、**図 33.2** に示すフォーマットで入力してください。詳細については**「33.5.4.2 動作説明」**を参照してください。

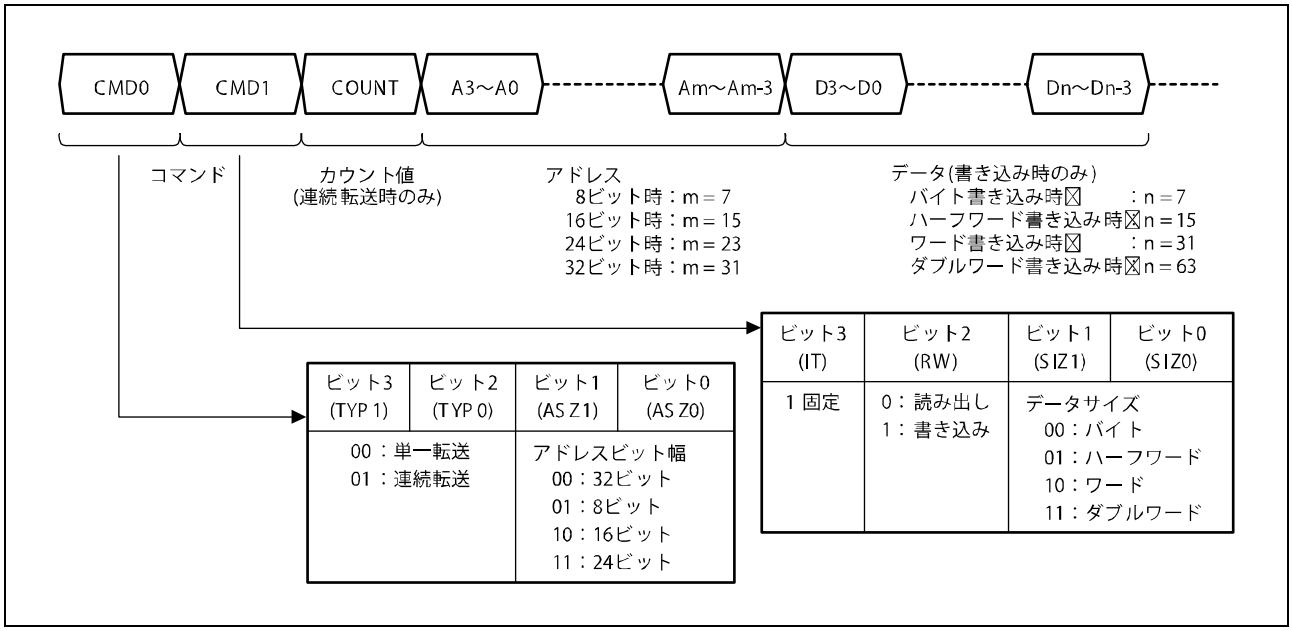


図 33.2 AUDATA 端子入力フォーマット

33.5.4.2 動作説明

(1) 単一転送

単一転送は、入力したアクセスアドレスに対して一つのデータを転送する転送方法です。**図 33.3** に単一転送時のリード動作の例、**図 33.4** に単一転送時のライト動作の例を示します。

$\overline{\text{AUDSYNC}}$ 端子がアサートされ、**図 33.2** に示すフォーマットで AUDATA 端子にコマンド、アドレス、データ（書き込み時のみ）が入力されると、AUDR は指定されたアドレスの読み出し / 書き込み動作を開始します。内部実行中 AUDR は Not Ready フラグ（“0000”）を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ（“0001”）を AUDATA 端子に出力します（**図 33.3**、**図 33.4**）。

読み出し時は Ready フラグの出力後、$\overline{\text{AUDSYNC}}$ 端子がネゲートされると AUDATA 端子から読み出しデータを出力します（**図 33.3**）。

リードデータ出力後、次のコマンドを入力するまでには、端子の入出力状態を切り替えるために、最低 1 クロックサイクル間隔を空ける必要があります。

また、ライト完了後、$\overline{\text{AUDSYNC}}$ 端子をネゲートした後に、次のコマンドを入力する場合も、端子の入出力状態を切り替えるために、最低 1 クロックサイクル間隔を空ける必要があります。言い替えると、$\overline{\text{AUDSYNC}}$ 端子のネゲート期間は最小 2 サイクルです。

CMD0、CMD1 に**図 33.2** に示すコマンド以外が入力された場合、AUDR はコマンドエラーとして処理を無効にし、Ready フラグ内の CFLG ビットを “1” にセットします。また、内部実行でバスエラーとなった場合、処理を無効にし Ready フラグ内の BFLG ビットを “1” にセットします（**図 33.5**）。エラー検出時は、リードデータの出力は行われません。

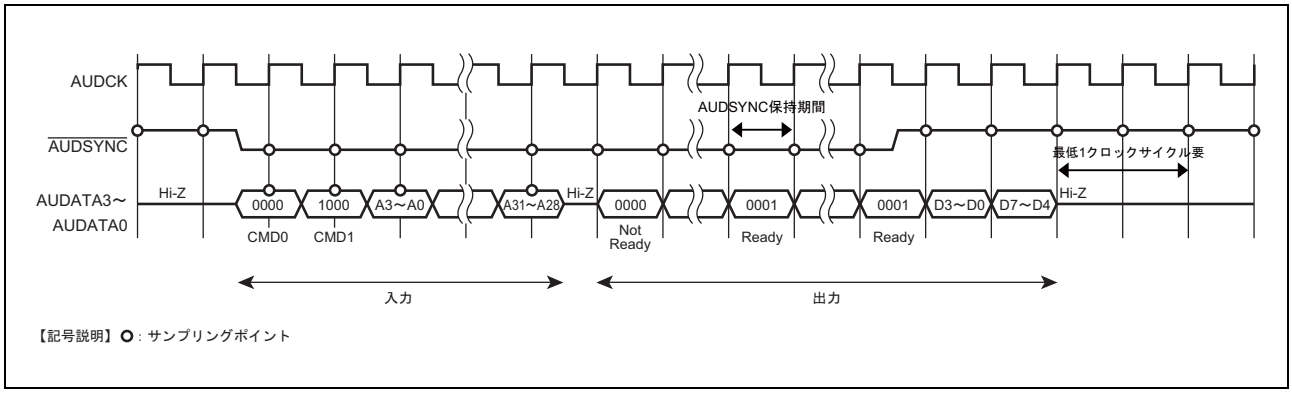


図 33.3 単一転送リード動作例（アドレス 32 ビット、バイトリード）

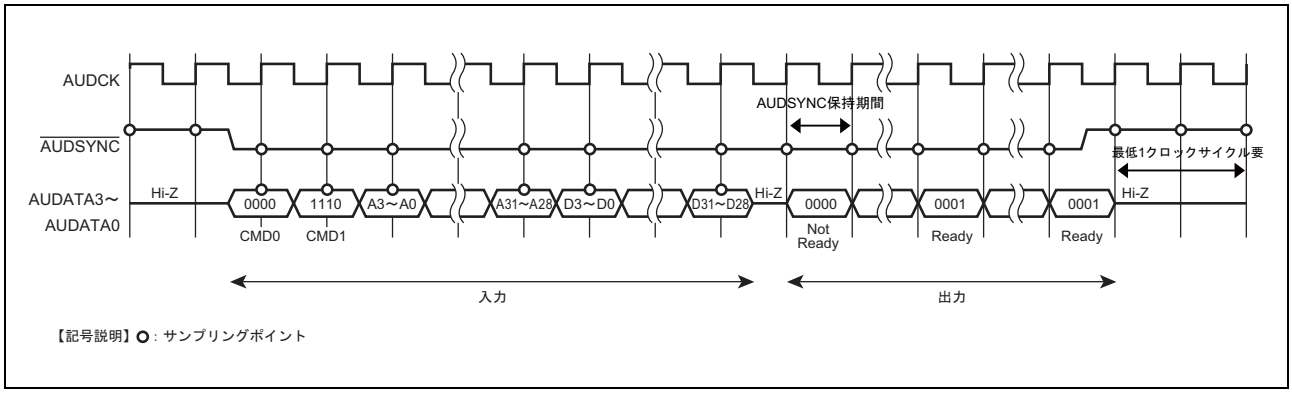


図 33.4 単一転送ライト動作例（アドレス 32 ビット、ワードライト）

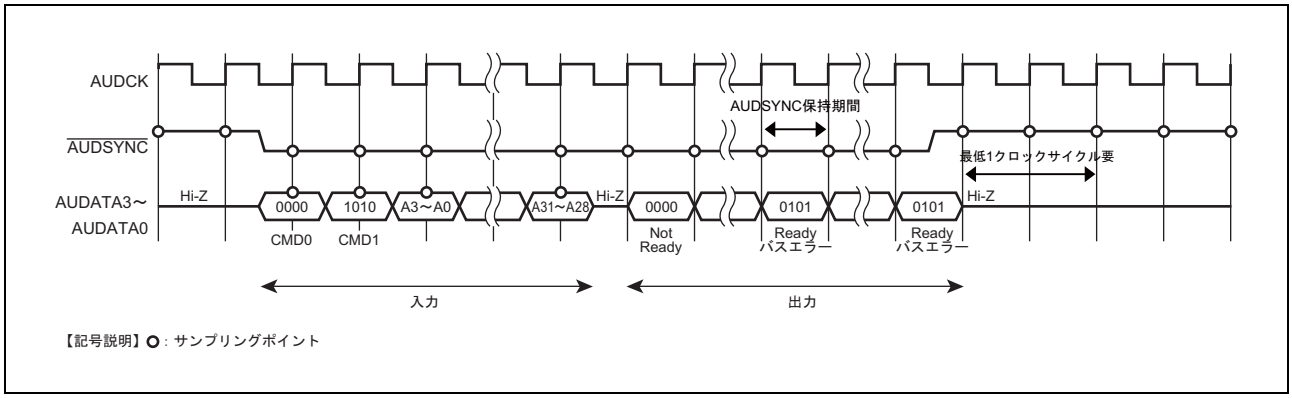


図 33.5 単一転送エラー発生例（アドレス 32 ビット、ワードリード）

(2) 連続転送

連続転送は入力したアドレスから最大 16 個のデータを連続的に転送する転送方法です。アクセスアドレスは 1 回のデータ転送が完了するたびに、データサイズに応じて自動的にインクリメントされます。**図 33.6** に連続転送時のリード動作の例、**図 33.7** に連続転送時のライト動作の例を示します。

初回のデータ転送は、**図 33.2** に示す COUNT（カウント値）を入力する必要がある点を除いて、単一転送と同一です。COUNT には転送するデータの個数 -1 を入力します。

2 回目以降のデータ転送は CMD0、CMD1、COUNT、アドレスの入力は省略されます。リード動作、ライト動作それぞれの 2 回目以降のデータ転送は以下のように行われます。

リード動作の場合、前回のデータ転送完了後、$\overline{\text{AUDSYNC}}$ 端子がアサートされると、内部実行中 AUDR は Not Ready フラグ（“0000”）を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ（“0001”）を AUDATA 端子に出力します。その後、$\overline{\text{AUDSYNC}}$ 端子がネゲートされると AUDATA 端子から読み出しデータを出力します。以降、COUNT で指定された個数のデータを読み出すまでこの動作を繰り返します（**図 33.6**）。

ライト動作の場合、前回のデータ転送完了後、$\overline{\text{AUDSYNC}}$ 端子がアサートされると AUDR は AUDATA 端子から書き込みデータを入力します。書き込みデータの入力後、AUDR は内部実行を開始します。内部実行中 AUDR は Not Ready フラグ（“0000”）を AUDATA 端子に出力します。内部実行が正常に完了すると、AUDR は Ready フラグ（“0001”）を AUDATA 端子に出力します。以降、COUNT で指定された個数のデータを書き込むまでこの動作を繰り返します（**図 33.7**）。次ライトデータを入力するため $\overline{\text{AUDSYNC}}$ 端子を再アサートしますが、$\overline{\text{AUDSYNC}}$ 端子のネゲート期間は最小 2 サイクル必要です。

また、内部実行でバスエラーとなった場合、以降のデータ転送を中断し、Ready フラグ内の BFLG ビットを “1” にセットします（**図 33.8**）。

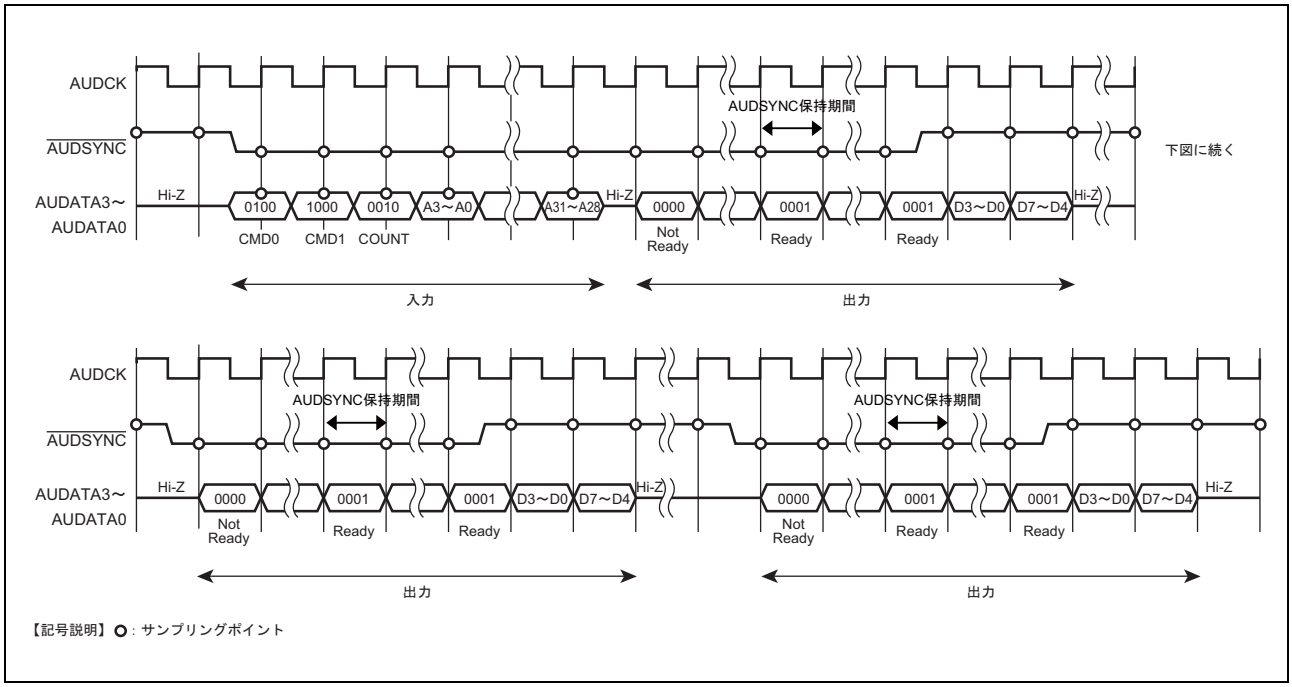


図 33.6 連続転送リード動作例（アドレス 32 ビット、バイトリード ×3 データ）

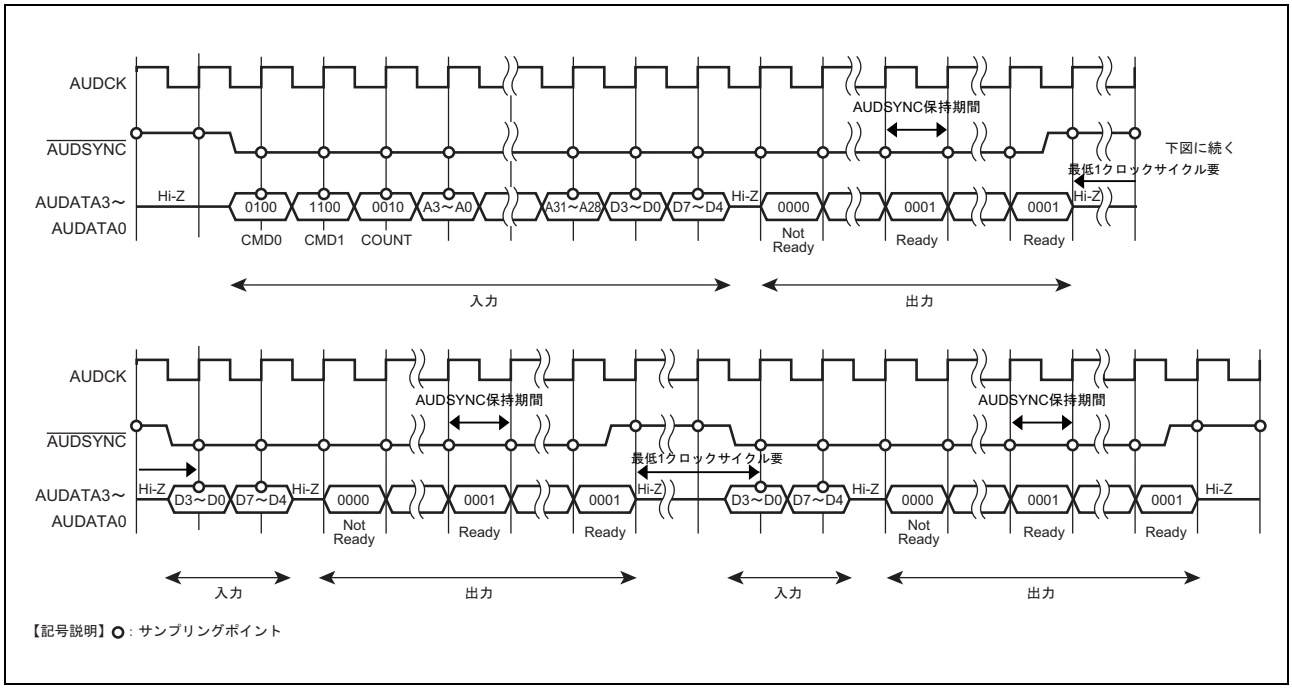


図 33.7 連続転送ライト動作例（アドレス 32 ビット、バイトライト ×3 データ）

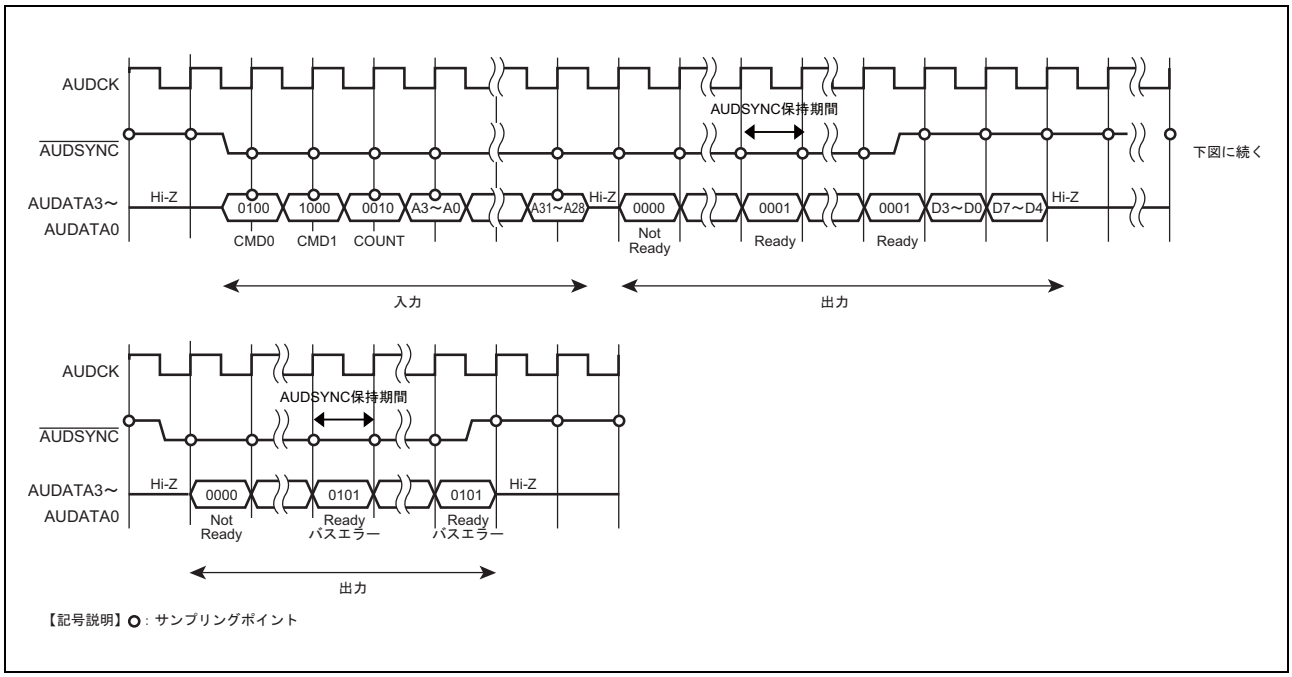


図 33.8 連続転送エラー発生例（アドレス 32 ビット、バイトリード ×3 データ）

Ready 応答後の $\overline{\text{AUDSYNC}}$ 端子制御について

AUDATA が Ready 状態になった半サイクル後の AUDCK の立下りで $\overline{\text{AUDSYNC}}$ 端子をネゲートしないでください。AUDR 内部のステート情報が不正になります。少なくとも 1AUDCK クロック以上、待ったのちに $\overline{\text{AUDSYNC}}$ 端子をネゲートしてください。

(3) コマンドエラー条件

表 33.7 コマンド（CMD0）エラー条件

ビット 3 （TYP1）	ビット 2 （TYP0）	ビット 1 （ASZ1）	ビット 0 （ASZ0）	内容
0	0	0	0	単一転送 アドレスビット幅 32 ビット
0	0	0	1	単一転送 アドレスビット幅 8 ビット
0	0	1	0	単一転送 アドレスビット幅 16 ビット
0	0	1	1	単一転送 アドレスビット幅 24 ビット
0	1	0	0	連続転送 アドレスビット幅 32 ビット
0	1	0	1	連続転送 アドレスビット幅 8 ビット
0	1	1	0	連続転送 アドレスビット幅 16 ビット
0	1	1	1	連続転送 アドレスビット幅 24 ビット
1	x	x	x	コマンドエラー

表 33.8 コマンド（CMD1）エラー条件

ビット 3 （IT）	ビット 2 （RW）	ビット 1 （SIZ1）	ビット 0 （SIZ0）	内容
0	x	x	x	コマンドエラー
1	0	0	0	リード バイト
1	0	0	1	リード ハーフワード
1	0	1	0	リード ワード
1	0	1	1	リード ダブルワード
1	1	0	0	ライト バイト
1	1	0	1	ライト ハーフワード
1	1	1	0	ライト ワード
1	1	1	1	ライト ダブルワード

(4) バスエラー条件

- 4n + 1、4n + 3 番地にハーフワードアクセス
- 4n + 1、4n + 2、4n + 3 番地にワードアクセス
- 8n + 1、8n + 2、8n + 3、8n + 4、8n + 5、8n + 6、8n + 7 番地にダブルワードアクセス
- システムバスからエラーレスポンスを受信

(5) AUDATA 端子入力フォーマット

表 33.9 入力フォーマットのビット配置

入力順	フォーマット名	ビット配置				○：必要、—：不要			
		AUDATA3	AUDATA2	AUDATA1	AUDATA0				
先	CMD0	TYP1	TYP0	ASZ1	ASZ0	○			
	CMD1	IT	RW	SIZ1	SIZ0	○			
	COUNT	C3	C2	C1	C0	—：単一転送時、○：連続転送時			
	アドレス					8 ビット	16 ビット	24 ビット	32 ビット
		A3	A2	A1	A0	○	○	○	○
		A7	A6	A5	A4	○	○	○	○
		A11	A10	A9	A8	—	○	○	○
		A15	A14	A13	A12	—	○	○	○
		A19	A18	A17	A16	—	—	○	○
		A23	A22	A21	A20	—	—	○	○
		A27	A26	A25	A24	—	—	—	○
		A31	A30	A29	A28	—	—	—	○
	データ （ライト時のみ）					バイト ライト時	ハーフ ワード ライト時	ワード ライト時	ダブル ワード ライト時
		D3	D2	D1	D0	○	○	○	○
		D7	D6	D5	D4	○	○	○	○
		D11	D10	D9	D8	—	○	○	○
		D15	D14	D13	D12	—	○	○	○
		D19	D18	D17	D16	—	—	○	○
		D23	D22	D21	D20	—	—	○	○
		D27	D26	D25	D24	—	—	○	○
		D31	D30	D29	D28	—	—	○	○
		D35	D34	D33	D32	—	—	—	○
		D39	D38	D37	D36	—	—	—	○
		D43	D42	D41	D40	—	—	—	○
		D47	D46	D45	D44	—	—	—	○
		D51	D50	D49	D48	—	—	—	○
		D55	D54	D53	D52	—	—	—	○
		D59	D58	D57	D56	—	—	—	○
後		D63	D62	D61	D60	—	—	—	○

表 33.10 CMD0 フォーマット

ビット名	機能	内容
TYP[1:0]	転送タイプ	00：単一転送 01：連続転送
ASZ[1:0]	アドレスビット幅を指定	AUDATA 端子から入力するアドレスのビット幅を指定します。 8、16、24 ビットを指定した場合、AUDATA 端子から入力されないアドレスの上位ビットは、前回のアクセスアドレスと同じ値が使用されます。 リセット解除後や、コマンドエラー / バスエラー発生後の最初のアクセスは、32 ビットのアドレスを入力してください。 00：32 ビット 01：8 ビット 10：16 ビット 11：24 ビット

注 1. 上記以外の設定を行ったときはコマンドエラーになります。

表 33.11 CMD1 フォーマット

ビット名	機能	内容
IT	アクセス空間を指定	“1” に設定してください。
RW	リード / ライトを指定	0：リード 1：ライト
SIZ[1:0]	データサイズを指定	アクセスするデータのサイズを指定します。 00：バイト（8 ビット） 01：ハーフワード（16 ビット） 10：ワード（32 ビット） 11：ダブルワード（64 ビット）

注 1. 上記以外の設定を行ったときはコマンドエラーになります。

表 33.12 COUNT フォーマット

ビット名	機能	内容
C3 ～ C0	転送データ数を指定	連続転送時の転送データ数を指定します。 0000：1 データ 0001：2 データ 0010：3 データ 0011：4 データ 0100：5 データ 0101：6 データ 0110：7 データ 0111：8 データ 1000：9 データ 1001：10 データ 1010：11 データ 1011：12 データ 1100：13 データ 1101：14 データ 1110：15 データ 1111：16 データ

表 33.13 アドレスフォーマット

ビット名	機能	内容
A31 ～ A0	アドレスを指定	アクセス先のアドレスを指定します。 CMD0 の ASZ[1:0] ビットの指定により必要なビット数が変化します（詳細は**表 33.9** を参照してください）。

表 33.14 ライトデータフォーマット

ビット名	機能	内容
D63 ～ D0	ライトデータを指定	ライトデータを指定します。 CMD1 の SIZ[1:0] ビットの指定により必要なビット数が変化します（詳細は**表 33.9** を参照してください）。

(6) AUDATA 端子出力フォーマット

表 33.15 Ready フラグフォーマット

ビット配置	ビット名	機能	内容
AUDATA3	0	—	—
AUDATA2	BFLG	バスエラーの発生を示します。	0：正常 1：バスエラー発生
AUDATA1	CFLG	コマンドエラーの発生を示します。	0：正常 1：コマンドエラー発生
AUDATA0	RFLG	AUDR の動作完了を示します。	0：Not Ready 1：Ready

表 33.16 リードデータのビット配置

出力順	ビット配置				○：必要、－：不要			
	AUDATA3	AUDATA2	AUDATA1	AUDATA0	バイトリード時	ハーフワードリード時	ワードリード時	ダブルワードリード時
先	D3	D2	D1	D0	○	○	○	○
↓	D7	D6	D5	D4	○	○	○	○
	D11	D10	D9	D8	—	○	○	○
	D15	D14	D13	D12	—	○	○	○
	D19	D18	D17	D16	—	—	○	○
	D23	D22	D21	D20	—	—	○	○
	D27	D26	D25	D24	—	—	○	○
	D31	D30	D29	D28	—	—	○	○
	D35	D34	D33	D32	—	—	—	○
	D39	D38	D37	D36	—	—	—	○
	D43	D42	D41	D40	—	—	—	○
	D47	D46	D45	D44	—	—	—	○
	D51	D50	D49	D48	—	—	—	○
	D55	D54	D53	D52	—	—	—	○
	D59	D58	D57	D56	—	—	—	○
後	D63	D62	D61	D60	—	—	—	○

表 33.17 リードデータフォーマット

ビット名	機能	内容
D63 ～ D0	リードデータ出力	CMD1 の SIZ[1:0] ビットの指定により出力されるビット数が変化します（詳細は**表 33.16** を参照してください）。

33.5.4.3 AUDR 機能に関しての使用上の注意事項

- $\overline{\text{AUDSYNC}}$ 端子は AUDATA 端子にコマンドが入力されて、Ready 返却後の 1AUDCK 期間までネゲートしないでください。
- 未初期化のメモリへ AUDR でアクセスした場合、ECC エラーの検出によりバスエラーとなる場合があります。

33.5.4.4 RAM モニタ機能の有効 / 無効設定

AUDR はオプションバイト（FLASH に格納しリセット転送によって設定）によって有効／無効の指定が可能です。

AUDREN：AUDR のイネーブルビット

オプションバイトの設定方法に関しては**「第 34 章　フラッシュ・メモリ」**を参照してください。

備　考

シリアルプログラミングモード時は、本設定に関係なく AUDR は無効となります。

33.6　オンチップ・デバッグ使用上の注意

(1) デバッグに使用したデバイスの処理
デバッグに使用したデバイスを量産製品に搭載しないで下さい。デバッグ中にフラッシュ・メモリが書き換えられているため、フラッシュ・メモリの書換え回数を保証できません。

(2) 本製品は、デバッグモード中にデバッグツールの電源 OFF（コネクタ抜去含む）に対応する，ホットプラグアウト機能をサポートしていません。デバッグモード中に NEXUS ツールの電源 OFF（コネクタ抜去含む）を行わないでください。

(3) オンチップデバッグを終了する際は、$\overline{\text{TRST}}$ 端子と外部リセット端子をロウレベルにしてください。

(4) デバッガを使用する際、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンに書き込まれているプログラムがリセットベクタから動作します。このため、お客様の意図せず動作することがあるため、注意が必要です。
この通信準備期間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存します。

第 34 章　フラッシュ・メモリ

本製品、Code Flash メモリと Data Flash メモリを内蔵しています。

34.1　特徴

- Code Flash メモリ容量：ユーザ領域　4M バイト、ユーザ・ブート領域　32 K バイト
- Data Flash メモリ容量：データ領域　64K バイト
- 書き換え方式
  - 専用フラッシュ・メモリ・プログラマによるシリアル・インタフェース通信を介した書き換え（シリアル・プログラミング）
  - ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）
- フラッシュ・メモリの不正改ざん／不正読み出しを防止するセキュリティ機能をサポート
- フラッシュ・メモリの誤書き換えを防止するプロテクション機能をサポート
- フラッシュ・メモリの誤り検出／訂正機能をサポート
- BGO（Back Ground Operation）機能をサポート
  - Data Flash メモリ書き換え中の Code Flash メモリ読み出しが可能
- セルフ・プログラミング中の割り込み受け付け可能
- 本製品の初期設定を、フラッシュ・メモリの拡張領域（オプション・バイト）に設定可能

34.2 メモリ構成

図 34.1 に、Code Flash メモリ・マッピングを示します。本製品の Code Flash メモリのユーザ領域は 8 KB または 32 KB のブロックに分割されており、各ブロック単位で消去可能です。ユーザ領域は、ユーザ・プログラムの格納領域として利用可能です。

セルフ・プログラミングでは書き換えられない保護領域として、32 KB のユーザ・ブート領域を 1 ブロック内蔵しています。ユーザ・ブート領域は、ユーザ任意のインタフェースを使用した Code Flash メモリ書き換え用ブート・プログラムなど、ユーザ・プログラム動作時の書き換えを禁止したいブート・プログラム等の格納領域として利用可能です

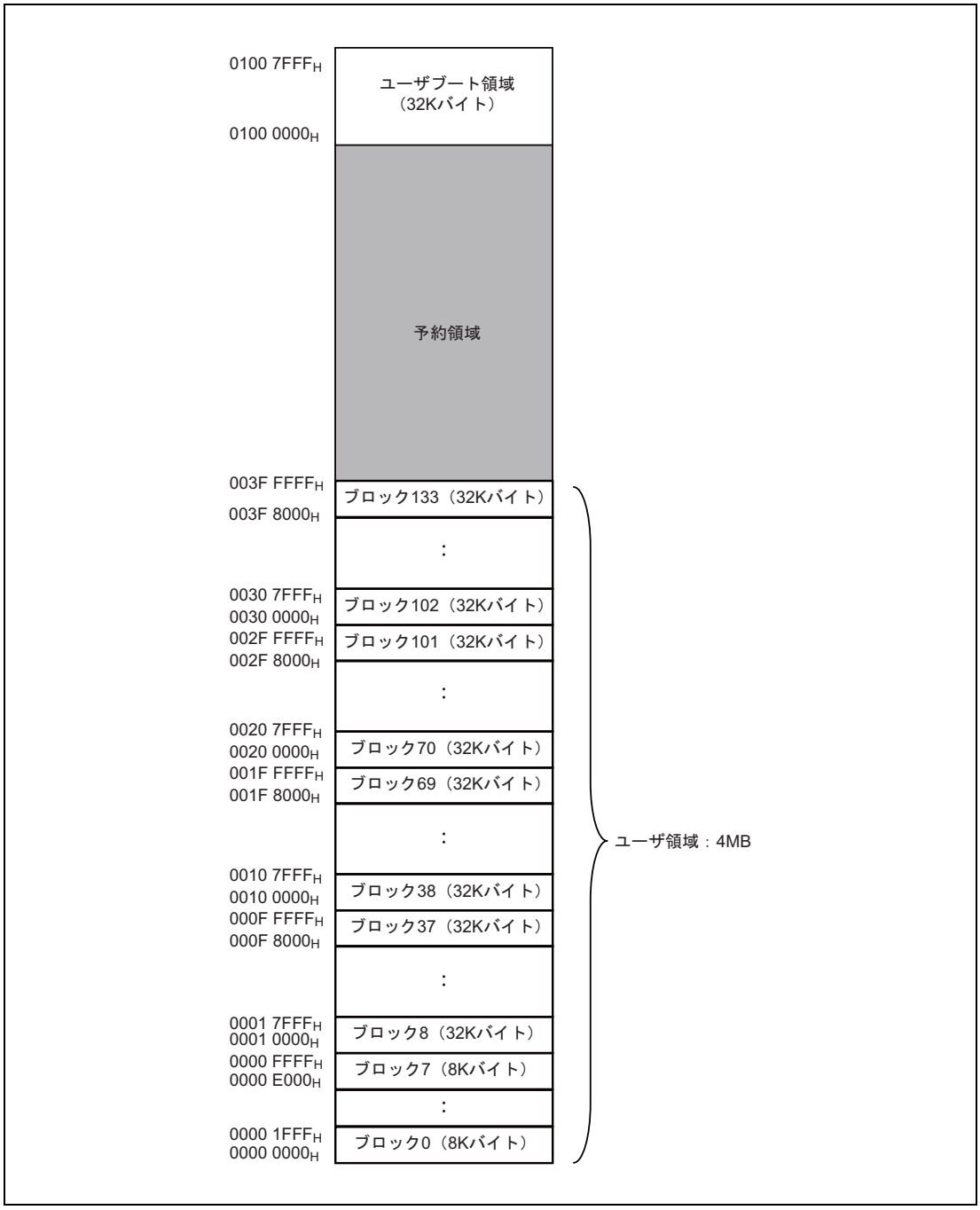


図 34.1 Code Flash メモリ・マッピング（8 KB × 8 + 32 KB × 126 構成）

本製品の Data Flash メモリのデータ領域は 64 B のブロックに分割されており、各ブロック単位で消去可能です。**図 34.2** に、Data Flash メモリ・マッピングを示します。

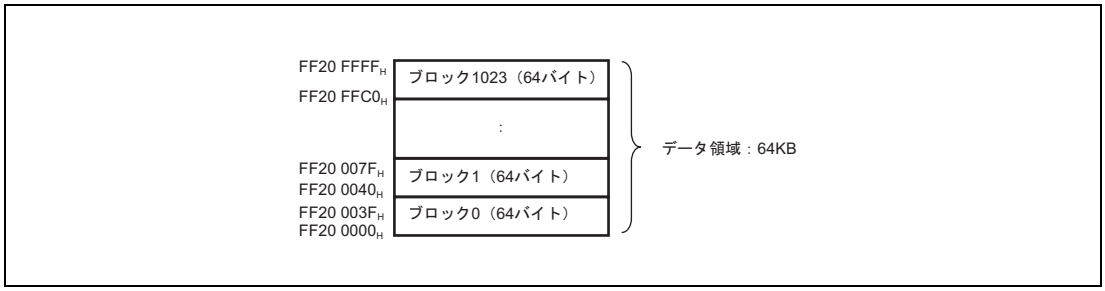


図 34.2　Data Flash メモリ・マッピング

34.3 フラッシュ・メモリ関連の動作モード

図 34.3 にフラッシュ・メモリに関するモードの遷移図を示します。モード設定の方法については**「第 5 章　動作モード」**を参照してください。

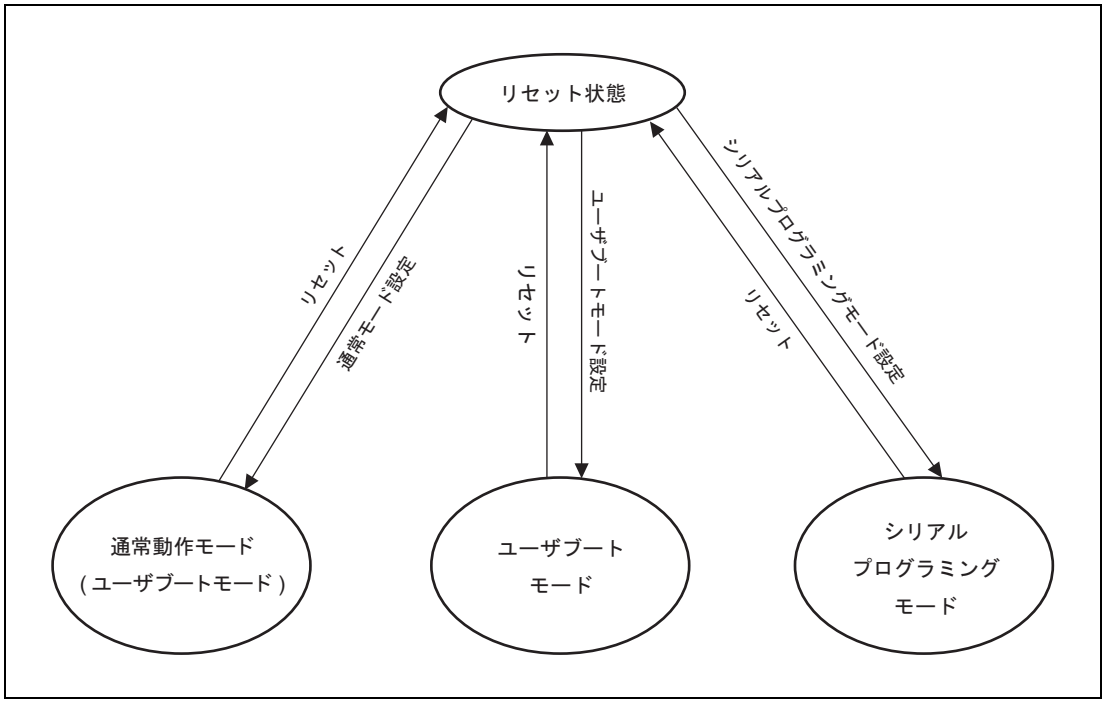


図 34.3　フラッシュ・メモリに関するモード遷移図

各モードで書き込み／消去が可能なフラッシュ・メモリの領域、リセット後の起動プログラムが異なります。各モードの相違点を**表 34.1** にまとめます。

表 34.1　各モードの相違点

項目	通常動作モード（ユーザ・ブート・モード）注 1	ユーザ・ブート・モード	シリアル・プログラミング・モード
書き込み／消去が可能な領域	ユーザ領域 データ領域	ユーザ領域 データ領域	ユーザ領域 ユーザ・ブート領域 データ領域
リセット時の起動プログラム	ユーザ領域のプログラム	ユーザ・ブート領域のプログラム	シリアル・プログラミング用組み込みプログラム

注 1.　各モードの詳細は**「第 5 章　動作モード」**を参照ください 。

34.4 機能概要

本製品の内蔵フラッシュ・メモリは、専用フラッシュ・メモリ・プログラマによるシリアル・インタフェース通信を介した書き換え（シリアル・プログラミング）により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え（セルフ・プログラミング）は、ターゲット・システムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュ・メモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各書き換え方式の概要と対応する動作モードを**表 34.2** に示します。

表 34.2 書き換え方式

書き換え方式	機能概要	動作モード
シリアル・ プログラミング	専用フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリのオンボード書き換えが可能です。	シリアル・ プログラミング・モード
	専用フラッシュ・メモリ・プログラマと専用プログラム・アダプタ・ボードを用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリのオフボード書き換えが可能です。	
セルフ・ プログラミング	シリアル・プログラミングにより Code Flash メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。 セルフ・プログラミングによる Data Flash メモリの書き換え時には、BGO 機能により Code Flash メモリからの命令フェッチおよびデータの読み出しが可能です。このため、Code Flash メモリ上の書き換え用のプログラムを実行して、Data Flash メモリを書き換えることができます。 セルフ・プログラミングによる Code Flash メモリの書き換え時には、Code Flash メモリからの命令フェッチおよびデータ・アクセスはできません。Local RAM または Global RAM へ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード ユーザ・ブート・モード

セルフ・プログラミングを実施する場合には、本製品の対象となる『RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編』のユーザーズ・マニュアルを参照してください。

内蔵フラッシュ・メモリの機能一覧を**表 34.3** に示します。シリアル・プログラミングにおける各機能は、専用フラッシュ・メモリ・プログラマのコマンドで実現されます。セルフ・プログラミングおける各機能は、フラッシュ・メモリのハードウェア・インタフェース操作またはユーザ・プログラムによる内蔵フラッシュ・メモリの読み出しで実現されます。

表 34.3　基本機能一覧

機　能	機能概要	サポートの有無 （○：サポート、△：条件付サポート、×：未サポート）	
		シリアル・プログラミング	セルフ・プログラミング
ブランク・チェック	指定したブロックが書き込まれていないことの確認を行います。消去後に書き込んでいない状態の Code Flash メモリと Data Flash メモリの読み出し結果は保証されません。消去後に書き込んでいない状態の確認には、ブランク・チェックを使用してください。	○	○
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
プログラム	指定したアドレスの書き込みを行います。	○	○
ベリファイ／ チェック・サム	フラッシュ・メモリから読み出したデータと、フラッシュ・メモリ・プログラマから転送されたデータの比較を行います。	○	○
リード	フラッシュ・メモリに書き込まれたデータの読み出しを行います。	○	○
OTP （One Time Programming） 設定	指定した Code Flash メモリのブロックに対する OTP の設定を行います（OTP を設定のみ可能、解除は不可能）。	○	○
ID 設定	シリアル・プログラミング時の専用フラッシュ・メモリ・プログラマ接続制御、OCD 接続、セルフ・プログラミングによる Code Flash メモリ書き込みの有効化に使用する ID の設定を行います。	○	○
セキュリティ設定	シリアル・プログラミング用のセキュリティ機能の設定を行います。	○	△ （設定を許可から禁止にする場合のみ可能）
プロテクション設定	Code Flash メモリの各ブロックのロックビットの設定を行います。	○	○
オプション・バイト設定	オプション・バイトの設定を行い、本製品の初期設定を変更します。	○	○
コンフィギュレーション・クリア	ID 設定、セキュリティ設定、プロテクション設定、オプション・バイト設定を初期化します。	○	×

シリアル・プログラミングの詳細につきましては、『PG-FP5 フラッシュ・メモリ・プログラマ・ユーザーズ・マニュアル』、『Renesas Flash Programmer フラッシュ書き込みソフトウェア・ユーザーズ・マニュアル』をご参照ください。

セルフ・プログラミングの詳細につきましては、本製品の対象となる『RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編』のユーザーズ・マニュアルをご参照ください。

内蔵フラッシュ・メモリは、各種のセキュリティ機能をサポートしています。

OTP と ID 認証は、シリアル・プログラミングおよびセルフ・プログラミングともに使用できるセキュリティ機能です。

シリアル・プログラミング時は、ID 認証、専用フラッシュ・メモリ・プログラマ接続禁止、コマンド禁止（ブロック消去コマンド禁止／プログラム・コマンド禁止／リード・コマンド禁止）のいずれかのセキュリティ機能を使用可能です。内蔵フラッシュ・メモリでサポートされるセキュリティ機能を**表 34.4**、セキュリティ設定時の動作を**表 34.5** に示します。

表 34.4　セキュリティ機能一覧

機　能	機能概要
OTP	Code Flash メモリのユーザ領域の各ブロック、ユーザ・ブート領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアル・プログラミングおよびセルフ・プログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィギュレーション・クリア・コマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ID 認証	シリアル・プログラミング時の専用フラッシュ・メモリ・プログラマ接続を ID 認証結果で制御可能です。また、セルフ・プログラミングによる Code Flash メモリ書き込みの有効化を ID 認証結果で制御可能です。
専用フラッシュ・メモリ・プログラマ接続禁止	シリアル・プログラミング時の専用フラッシュ・メモリ・プログラマ接続を禁止します。専用フラッシュ・メモリ・プログラマ接続を禁止すると、コンフィギュレーション・クリア・コマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ブロック消去コマンド禁止	シリアル・プログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィギュレーション・クリア・コマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
プログラム・コマンド禁止	シリアル・プログラミング時のプログラム・コマンドとブロック消去コマンドの実行を禁止します。ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去→ユーザ・ブート領域を消去→データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。コンフィギュレーション・クリア・コマンドの実行によってのみ、禁止設定の初期化が可能です。
リード・コマンド禁止	シリアル・プログラミング時のリード・コマンドの実行を禁止します。コンフィギュレーション・クリア・コマンドの実行によってのみ、禁止設定の初期化が可能です。

表 34.5 セキュリティ設定時の動作

機　能	各セキュリティ設定時の消去／書き込み／読み出し動作 （○：実行可能、×：実行不可、―：未サポート）		セキュリティ設定 注意事項	
	シリアル・プログラミング	セルフ・プログラミング	シリアル・ プログラミング	セルフ・ プログラミング
OTP	• OTP 設定された領域 ブロック消去コマンド：× プログラム・コマンド：× リード・コマンド　：○ • OTP 設定されていない領域 ブロック消去コマンド：○ プログラム・コマンド：○ リード・コマンド：○	• OTP 設定された領域 ブロック消去：× 書き込み　：× 読み出し　：○ • OTP 設定されていない領域 ブロック消去：○ 書き込み　：○ 読み出し　：○	OTP 設定の解除が不可能 コンフィギュレーション・クリア・コマンドの実行が不可能	OTP 設定の解除が不可能
ID 認証	• ID が不一致の場合 ブロック消去コマンド：× プログラム・コマンド：× リード・コマンド：× • ID が一致した場合 ブロック消去コマンド：○ プログラム・コマンド：○ リード・コマンド：○	• ID が不一致の場合 – Code Flash メモリ ブロック消去：× 書き込み　：× 読み出し　：○ – Data Flash メモリ ブロック消去：○ 書き込み　：○ 読み出し　：○ • ID が一致した場合 ブロック消去：○ 書き込み　：○ 読み出し　：○	コンフィギュレーション・クリア・コマンドによる禁止設定の初期化が可能 ブロック消去コマンド禁止の設定が不可能 プログラム・コマンド禁止の設定が不可能 リード・コマンド禁止の設定が不可能	ID 認証機能は常に有効
専用フラッシュ・メモリ・プログラマ接続禁止	ブロック消去コマンド：× プログラム・コマンド：× リード・コマンド：×	ブロック消去：○ 書き込み　：○ 読み出し　：○	コンフィギュレーション・クリア・コマンドの実行が禁止されるため、禁止設定の初期化が不可能	コンフィギュレーション・クリア・コマンドがサポート無しのため、禁止設定の初期化が不可能
ブロック消去コマンド禁止	ブロック消去コマンド：× プログラム・コマンド：○ リード・コマンド：○	ブロック消去：○ 書き込み　：○ 読み出し　：○	コンフィギュレーション・クリア・コマンドの実行が禁止されるため、禁止設定の初期化が不可能 シリアル・プログラミング用の ID 認証機能の有効設定が不可能	コンフィギュレーション・クリア・コマンドがサポート無しのため、禁止設定の初期化が不可能
プログラム・コマンド禁止	ブロック消去コマンド：×*1 プログラム・コマンド：× リード・コマンド：○	ブロック消去：○ 書き込み　：○ 読み出し　：○	コンフィギュレーション・クリア・コマンドによる禁止設定の初期化が可能 シリアル・プログラミング用の ID 認証機能の有効設定が不可能	コンフィギュレーション・クリア・コマンドがサポート無しのため、禁止設定の初期化が不可能
リード・コマンド禁止	ブロック消去コマンド：○ プログラム・コマンド：○ リード・コマンド：×	ブロック消去：○ 書き込み　：○ 読み出し　：○		

注 1. ブロック消去コマンドは、ユーザ領域をブロック 0 から順番に全領域消去→ユーザ・ブート領域を消去→データ領域をブロック 0 から順番に全領域消去する使用方法でのみ実行可能です。

内蔵フラッシュ・メモリは、各種のプロテクション機能をサポートしています。内蔵フラッシュ・メモリでサポートされるプロテクション機能を**表 34.6** に示します。

表 34.6　プロテクション機能一覧

機　能	機能概要
ブロック保護	Code Flash メモリのユーザ領域の各ブロックに対して、個別に書き込み／消去の有効／無効を設定可能です。ロックビットがセットされ、かつロックビット機能が有効に設定された領域は、セルフ・プログラミングで書き込み／消去禁止です。 ロックビット機能を有効から無効に変更することで、再度書き込み／消去を実施することも可能です。Code Flash メモリをブロック消去すると、該当ブロックのロックビットも消去されます。
ユーザ・ブート保護	ユーザ・ブート領域は、セルフ・プログラミングでは書き込み／消去禁止です。 シリアル・プログラミングでは、ユーザ・ブート領域を書き込み／消去することが可能です。

34.5 シリアル・プログラミング

専用フラッシュ・メモリ・プログラマを使用して、シリアル・プログラミング・モードでフラッシュ・メモリの書き込みを行うことができます。

シリアル・プログラミング

シリアル・プログラミング時に、マイクロコントローラはボードに装着されています。ボードにコネクタを備えることにより、フラッシュ・メモリ・プログラマはターゲット・マイクロコントローラに書き込みを行うことができます。

34.5.1 プログラミング環境

マイクロコントローラのフラッシュ・メモリにデータを書き込むための推奨される環境を次に示します。

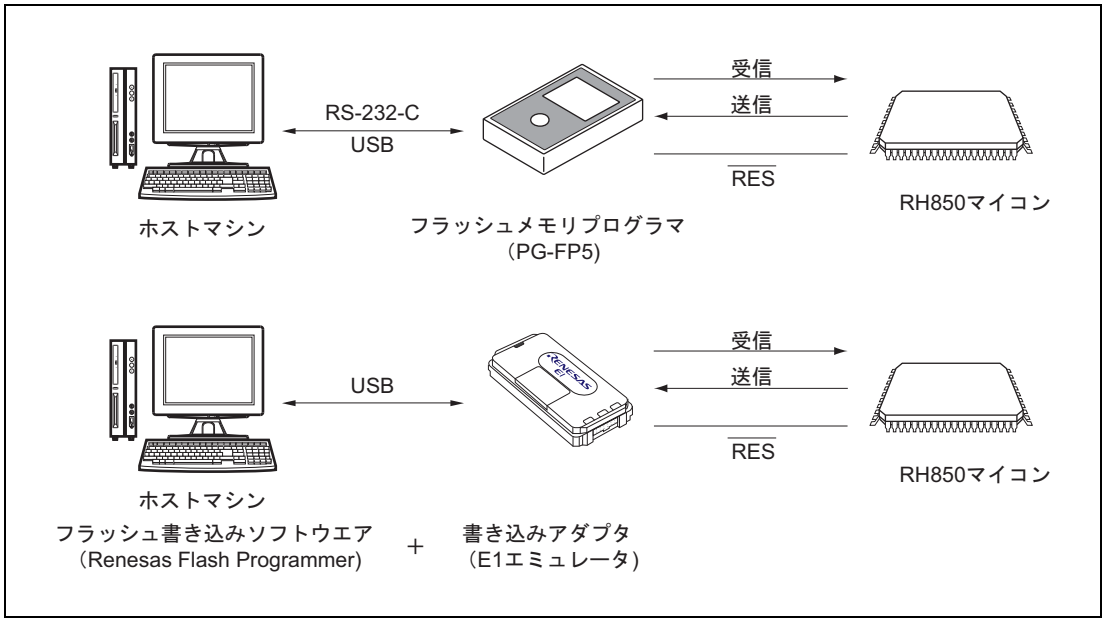


図 34.4 フラッシュ・メモリにプログラムを書き込むための環境

フラッシュ・メモリ・プログラマ PG-FP5、またはフラッシュ書き込みソフトウェア Renesas Flash Programmer（ホスト・マシンで動作）と E1 エミュレータを書き込みアダプタとして使用することで、ルネサス・エレクトロニクス製のフラッシュ・メモリ内蔵マイコンをユーザが使用するボードに実装したまま、プログラムの消去、書き込み、ベリファイなどが簡単に操作できます。

フラッシュ・メモリ・プログラマ PG-FP5 は、ホスト・マシンからの書き込み操作、または、スタンドアロン・モードでの書き込み操作が可能です。フラッシュ書き込みソフトウェア（Renesas Flash Programmer）は、ホスト・マシンから書き込み操作が可能です。

備　考

PG-FP5 の詳細は、*『PG-FP5 フラッシュ・メモリ・プログラマ・ユーザーズ・マニュアル』*を、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は、*『Renesas Flash Programmer フラッシュ書き込みソフトウェア・ユーザーズ・マニュアル』*をご参照ください。

34.6　通信方式の選択

本製品では、FLMODE 端子によりシリアル通信の方式を、2 wire UART 方式と CSI（Clocked Serial Interface）方式のどちらかを選択することが可能です。FLMODE 端子設定方法の詳細は**「第 5 章　動作モード」**をご参照ください。各通信方式に沿ったプログラミング環境の設定方法は、*『PG-FP5 フラッシュ・メモリ・プログラマ・ユーザーズ・マニュアル』*及び、*『Renesas Flash Programmer フラッシュ書き込みソフトウェア・ユーザーズ・マニュアル』*をご参照ください。

34.7 セルフ・プログラミング

34.7.1 概要

本製品は、ユーザ・プログラム自体によるフラッシュ・メモリの書き換えをサポートします。フラッシュ・メモリ書き換え用のハードウェア・インタフェースであるフラッシュ・アプリケーション・コマンド・インタフェース（FACI）のコマンドをユーザ・プログラムで使用することにより、Code Flash メモリと Data Flash メモリを書き換えることもできます。したがって、ユーザ・プログラムのアップグレードと、定数データ・フィールドの書き換えが可能になります。

Data Flash メモリの書き換え時には、BGO 機能を利用して Code Flash メモリ上の書き換え用のプログラムを実行して、Data Flash メモリを書き換えることができます。また、あらかじめ Local RAM または Global RAM に転送した書き換え用のプログラムを実行して、Data Flash メモリを書き換えることもできます。

フラッシュ・セルフ・プログラミングに関する包括的な情報は、本デバイスの対象となる『RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編』のユーザーズ・マニュアルを参照してください。

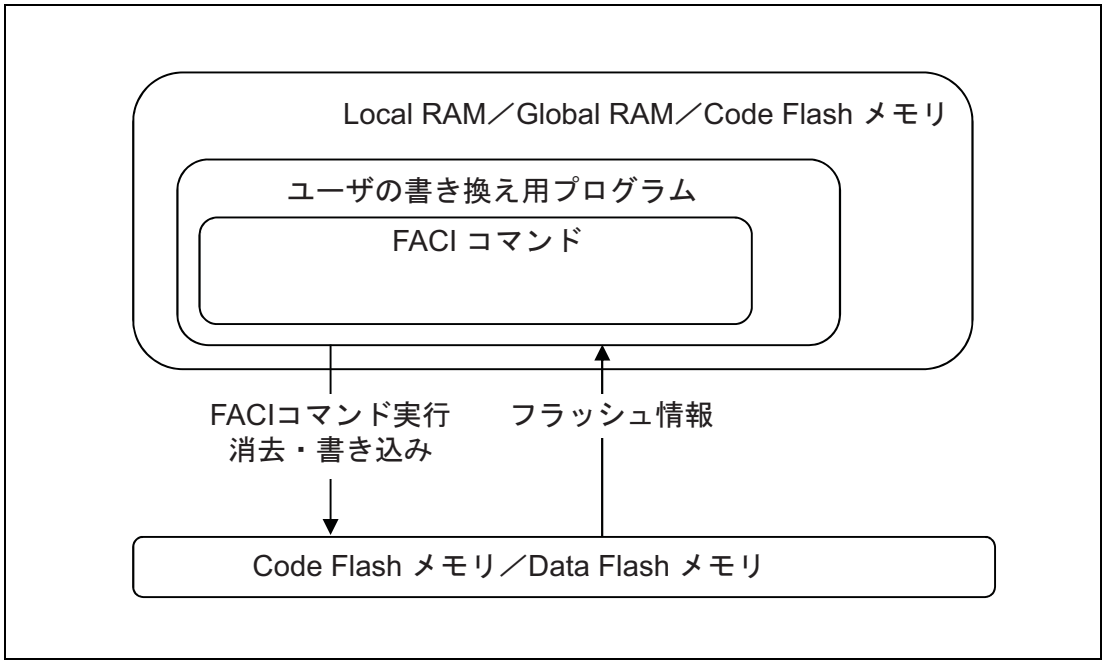


図 34.5 セルフ・プログラミングの概念

34.7.2 BGO 機能

書き換え対象のフラッシュ・メモリと読み出し対象のフラッシュ・メモリが下記の組み合わせである場合には、BGO 機能を利用することができます。

表 34.7 BGO 機能を利用可能な条件

書き換え対象領域	読み出し対象領域
Data Flash メモリ	Code Flash メモリ

34.8 フラッシュ・メモリの読み出し

34.8.1 Code Flash メモリの読み出し

通常モードおよびユーザ・ブート・モードの Code Flash メモリの読み出し時には、特別な設定は必要ありません。Code Flash メモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）の Code Flash メモリを読み出すと、ECC エラーが検出されて例外が発生しますのでご注意ください。また、ECC エラーが発生した場合のデータ値は保証できないため、未書き込み状態の確認には、ブランク・チェック機能を使用してください。ECC 機能の詳細は**「第 30 章　セーフティ」**をご参照ください。

34.8.2 Data Flash メモリの読み出し

通常モードおよびユーザ・ブート・モードの Data Flash メモリの読み出し時には、事前に FRDCYCLD レジスタに Data Flash メモリの読み出しサイクル数を設定してください。読み出しサイクル数を設定後に Data Flash メモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）の Data Flash メモリの値は不定です。未書き込み状態の確認には、ブランク・チェック機能を使用してください。

34.9 レジスタの説明

34.9.1 Data Flash メモリ関連のレジスタ

表 34.8 に、Data Flash メモリ関連のレジスタ一覧を示します。

表 34.8 Data Flash メモリ関連のレジスタ一覧

レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
Data Flash メモリ読み出しサイクル設定レジスタ	FRDCYCLD	R/W	$0F_H$	$FFC5\ 9810_H$	8

34.9.1.1 FRDCYCLD ― Data Flash メモリ読み出しサイクル設定レジスタ

アクセス 8 ビット単位でリード / ライト可能です。

アドレス $FFC5\ 9810_H$

リセット後の値 $0F_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FRDCYCLD[3:0]			
リセット後の値	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 34.9 FRDCYCLD レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	—	予約ビット
3 ～ 0	FRDCYCLD [3:0]	Data Flash メモリ読み出しサイクル数 設定値 ＋ 1 サイクルで、Data Flash メモリを読み出します。 00_H ～ 02_H：設定禁止 03_H：リードサイクル 4 04_H：リードサイクル 5 05_H：リードサイクル 6 06_H：リードサイクル 7 07_H：リードサイクル 8 08_H：リードサイクル 9 09_H ～ $0F_H$：リードサイクル 10

34.9.2 フラッシュ・メモリ書き込み・消去プロテクト関連レジスタ

表 34.10 に、フラッシュ・メモリ書き込み・消去プロテクト関連のレジスタ一覧を示します。

表 34.10 フラッシュ・メモリ書き込み・消去プロテクト関連のレジスタ一覧

レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
FHVE15 コントロールレジスタ	FHVE15	R/W	$0000\ 0000_H$	$FFF8\ A430_H$	32
FHVE3 コントロールレジスタ	FHVE3	R/W	$0000\ 0000_H$	$FFF8\ 2410_H$	32

34.9.2.1 FHVE15 ― FHVE15 コントロールレジスタレジスタ

FHVE15 レジスタは、フラッシュ書き込み／消去実行をソフト的にプロテクトするための読み出し／書き込み可能なレジスタです。フラッシュ書き込み／消去のためには、FHVE15 レジスタと FHVE3 レジスタを共に書き込み／消去可能な状態（$0000\ 0001_H$）に設定してください。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス $FFF8\ A430_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FHVE 15CNT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 34.11 FHVE15 レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	予約ビット
0	FHVE15CNT	0：書き込み／消去不可能 1：書き込み／消去可能

34.9.2.2 FHVE3 ― FHVE3 コントロールレジスタレジスタ

FHVE3 レジスタは、フラッシュ書き込み／消去実行をソフト的にプロテクトするための読み出し／書き込み可能なレジスタです。フラッシュ書き込み／消去のためには、FHVE15 と FHVE3 を共に書き込み／消去可能な状態（$0000\ 0001_H$）に設定してください。

アクセス 32 ビット単位でリード / ライト可能です。

アドレス $FFF8\ 2410_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FHVE 3CNT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 34.12 FHVE3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	―	予約ビット
0	FHVE3CNT	0：書き込み／消去不可能 1：書き込み／消去可能

34.9.3 製品情報関連レジスタ

表 34.13 に、製品情報関連のレジスタ一覧を示します。

表 34.13 製品情報関連のレジスタ一覧

レジスタ名	略称	R/W	リセット後の値	アドレス	アクセスサイズ
製品名格納レジスタ（1）	PRDNAME1	R	**表 34.14** を参照	FFCD $00D0_H$	32
製品名格納レジスタ（2）	PRDNAME2	R	**表 34.14** を参照	FFCD $00D4_H$	32
製品名格納レジスタ（3）	PRDNAME3	R	**表 34.14** を参照	FFCD $00D8_H$	32
製品名格納レジスタ（4）	PRDNAME4	R	**表 34.14** を参照	FFCD $00DC_H$	32

表 34.14 製品型名と PRDNAME レジスタ初期値（リセット後の値）の関係

製品型名	PRDNAME4	PRDNAME3	PRDNAME2	PRDNAME1
R7F701215	2020 2020_H	2020 2035_H	3132 3130_H	37463752_H
R7F701216	2020 2020_H	2020 2036_H	3132 3130_H	3746 3752_H

34.9.3.1 PRDNAMEn、n = 1 ～ 4 ― 製品名格納レジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRDNAMEn[31:16](n = 1 ～ 4)															
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W 注1	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRDNAMEn[15:0](n = 1 ～ 4)															
リセット後の値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W 注1	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. **「表 34.14 製品型名と PRDNAME レジスタ初期値（リセット後の値）の関係」**に示す値となります。

表 34.15 製品情報関連のレジスタ一覧

ビット位置	ビット名	機能
31 ～ 0	PRDNAMEn [31:0]	製品名 16 バイトの ASCII コードで製品型名を示します。 PRDNAME1[31:0]：製品型名の 4 ～ 1 バイト目 PRDNAME2[31:0]：製品型名の 8 ～ 5 バイト目 PRDNAME3[31:0]：製品型名の 12 ～ 9 バイト目 PRDNAME4[31:0]：製品型名の 16 ～ 13 バイト目

34.10 オプション・バイト

フラッシュ・メモリには、さまざまな目的でユーザが指定したデータを保持する拡張領域（オプション・バイト）があります。オプション・バイト設定による周辺機能の初期設定等の変更は、リセット解除後に有効になります。オプション・バイトの設定領域を**表 34.16** に示します。予約領域は常に 1 が読み出せます。設定値も常に 1 にしてください。オプションバイトの設定と読み出し方法は、『PG-FP5 フラッシュ・メモリ・プログラマ・ユーザーズ・マニュアル』及び『Renesas Flash Programmer フラッシュ書き込みソフトウェア・ユーザーズ・マニュアル』または、『RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編』のユーザーズ・マニュアルを参照してください。

表 34.16 オプション・バイト設定の領域

オプション・バイト領域 （各 8 ビット × 32 = 計 256 ビット）	設定有効領域	出荷品の初期状態注 1
オプション・バイト 4 ～ 1（OPBT0）	有効	7FFF $FFFE_H$
オプション・バイト 8 ～ 5（OPBT1）	予約	FFFF $FFFF_H$
オプション・バイト 12 ～ 9（OPBT2）	有効	FFFF $FFFF_H$
オプション・バイト 16 ～ 13（OPBT3）	有効	7FFF $FFFF_H$
オプション・バイト 20 ～ 17（OPBT4）	予約	FFFF $FFFF_H$
オプション・バイト 24 ～ 21（OPBT5）	有効	7FFF $FFFF_H$
オプション・バイト 28 ～ 25（OPBT6）	有効	FFFF $FFFF_H$
オプション・バイト 32 ～ 29（OPBT7）	予約	FFFF $FFFF_H$

注 1.　出荷品の初期状態の値です。オプション・バイトの設定により値の変更が可能です。

34.10.1 OPBT0 ー オプション・バイト 4 ～ 1 ビット配置

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPWD RUN	OPWDI NT	OPWD WS1	OPWD WS0	OPWD OVF2	OPWD OVF1	OPWD OVF0	—	—	—	—	—	—	—	—	—
初期状態注1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CANF DCRC	—	—	—	—	—	AUDRE N	—	—	STMSE L1	STMSE L0
初期状態注1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
	R/W	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2

注 1. 出荷品の初期状態の値です。オプション・バイトの設定により値の変更が可能です。

注 2. FACI コマンドを使った場合と、フラッシュ・メモリ・プログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、読み出しと設定 (R/W) が可能です。

表 34.17 OPBT0 の内容 (1/2)

ビット位置	ビット名	機能
31	OPWDRUN	WDTA0 のスタートモードを設定します。 0：WDTA0 ソフトウェアトリガスタートモード 1：WDTA0 デフォルトスタートモード
30	OPWDINT	WDTA0 の 75% 割り込み要求 WDTA0TIT の有効／無効 0：WDTA0TIT 無効 1：WDTA0TIT 有効
29、28	OPWDWS 1 ～ 0	WDTA0 のウインドウオープン期間を選択します。 OPWD WS1 / OPWD WS0 / ウインドウ・オープン期間 0 / 0 / 25% 0 / 1 / 50% 1 / 0 / 75% 1 / 1 / 100%
27 ～ 25	OPWDOVF2~ OPWDOVF0	WDTA0 のオーバフローインターバル時間を選択します。 OPWD OVF2 / OPWD OVF1 / OPWD OVF0 / オーバフローインターバル時間 0 / 0 / 0 / 2^9 / WDTATCKI 0 / 0 / 1 / 2^{10} / WDTATCKI 0 / 1 / 0 / 2^{11} / WDTATCKI 0 / 1 / 1 / 2^{12} / WDTATCKI 1 / 0 / 0 / 2^{13} / WDTATCKI 1 / 0 / 1 / 2^{14} / WDTATCKI 1 / 1 / 0 / 2^{15} / WDTATCKI 1 / 1 / 1 / 2^{16} / WDTATCKI
24 ～ 11	—	予約ビット（設定時は 1 を設定して下さい）
10	CANFDCRC	ISO11898-1 プロトコル切り替えビット 0：ISO 11898-1: 2015 プロトコルに準拠した CAN FD をサポート 1：E1x-FCC2 の CAN FD プロトコルと互換性がある CAN FD（ISO/CD 11898-1（2014-08-12 版））をサポート （ISO 11898-1: 2015 に非準拠）
9 ～ 5	—	予約ビット（設定時は 1 を設定して下さい）

表 34.17　OPBT0 の内容（2/2）

ビット位置	ビット名	機能
4	AUDREN	AUDRAM モニタのイネーブルビット 0：AUDRAM モニタ無効 1：AUDRAM モニタ有効
3 ～ 2	—	予約ビット（設定時は 1 を設定して下さい）
1 ～ 0	STMSEL1 STMSEL0	動作モード・起動領域の選択 端子 MD0、MD1、FLMODE がすべて 0 のとき、STMSEL1, STMSEL0 の値の組合せによって、動作モード・起動領域を選択できます。詳細は、**「第 5 章　動作モード」**を参照ください。

34.10.2　OPBT2 ー オプション・バイト 12 ～ 9　ビット配置

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	OPJTAG1	OPJTAG0	—	—	—	—	—	—	—	—	—	—	—	—	—
初期状態注 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期状態注 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2	R/W 注 2

注 1.　出荷品の初期状態の値です。オプション・バイトの設定により値の変更が可能です。

注 2.　FACI コマンドを使った場合と、フラッシュ・メモリ・プログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、読み出しと設定 (R/W) が可能です。

表 34.18　OPBT2 の内容

ビット位置	ビット名	機能
31	—	予約ビット（設定時は 1 を設定して下さい）
30、29	OPJTAG1 OPJTAG0	デバッグインターフェース切り替え （OPJTAG1、OPJTAG0）の値の組合せにより、以下のデバッグインターフェースが選択されます。 （0、0）：FLSCI3（ライタ I/F） （0、1）：LPD（4pin） （1、0）：設定禁止 （1、1）：Nexus（JTAG）
28 ～ 0	—	予約ビット（設定時は 1 を設定して下さい）

34.10.3 OPBT3 ー オプション・バイト 16 ～ 13 ビット配置

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SWDT0_OPRUN	SWDT0_OPWDOVF2	SWDT0_OPWDOVF1	SWDT0_OPWDOVF0	—	—	—	—	—	SWDT0_SADU22	SWDT0_SADU21	SWDT0_SADU20	SWDT0_SADU19	SWDT0_SADU18	SWDT0_SADU17	SWDT0_SADU16
初期状態注1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SWDT0_SADU15	SWDT0_SADU14	SWDT0_SADU13	SWDT0_SADU12	SWDT0_SADU11	SWDT0_SADU10	SWDT0_SADU9	SWDT0_SADU8	SWDT0_SADU7	SWDT0_SADU6	SWDT0_SADU5	SWDT0_SADU4	SWDT0_SADU3	SWDT0_SADU2	SWDT0_SADU1	SWDT0_SADU0
初期状態注1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2

注 1. 出荷品の初期状態の値です。オプション・バイトの設定により値の変更が可能です。

注 2. FACI コマンドを使った場合と、フラッシュ・メモリ・プログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、読み出しと設定 (R/W) が可能です。

表 34.19 OPBT3 の内容

ビット位置	ビット名	機能
31	SWDT0_OPRUN	SWDT0 のオートスタート有効／無効を設定します。 0：SWDT0 オートスタート無効 1：SWDT0 オートスタート有効
30 ～ 28	SWDT0_OPWDOVF2~ SWDT0_OPWDOVF0	SWDT0 のオーバフロー時間を選択します。
27 ～ 23	—	予約ビット（設定時は 1 を設定して下さい）
22 ～ 0	SWDT0_SADU22 ～ SWDT0_SADU0	SWDT0 の比較 PC アドレスを設定します。 アドレスの bit23 ～ 31 は 0 で拡張され、$0000\ 0000_H$ ～ $003F\ FFFF_H$ までの任意のコードフラッシュ領域を設定可能です。

SWDT0_OPWDOVF2	SWDT0_OPWDOVF1	SWDT0_OPWDOVF0	WDOVF0 オーバフロー時間
0	0	0	2^9 / WDTATCKI
0	0	1	2^{10} / WDTATCKI
0	1	0	2^{11} / WDTATCKI
0	1	1	2^{12} / WDTATCKI
1	0	0	2^{13} / WDTATCKI
1	0	1	2^{14} / WDTATCKI
1	1	0	2^{15} / WDTATCKI
1	1	1	2^{16} / WDTATCKI

34.10.4 OPBT5 ー オプション・バイト 24 ～ 21 ビット配置

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SWDT2_OPRUN	SWDT2_OPWDOVF2	SWDT2_OPWDOVF1	SWDT2_OPWDOVF0	—	—	—	—	—	SWDT2_SADU22	SWDT2_SADU21	SWDT2_SADU20	SWDT2_SADU19	SWDT2_SADU18	SWDT2_SADU17	SWDT2_SADU16
初期状態注1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SWDT2_SADU15	SWDT2_SADU14	SWDT2_SADU13	SWDT2_SADU12	SWDT2_SADU11	SWDT2_SADU10	SWDT2_SADU9	SWDT2_SADU8	SWDT2_SADU7	SWDT2_SADU6	SWDT2_SADU5	SWDT2_SADU4	SWDT2_SADU3	SWDT2_SADU2	SWDT2_SADU1	SWDT2_SADU0
初期状態注1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2

注 1. 出荷品の初期状態の値です。オプション・バイトの設定により値の変更が可能です。

注 2. FACI コマンドを使った場合と、フラッシュ・メモリ・プログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、読み出しと設定（R/W）が可能です。

表 34.20 OPBT5 の内容

ビット位置	ビット名	機能
31	SWDT2_OPRUN	SWDT2 のオートスタート有効／無効を設定します。 0：SWDT2 オートスタート無効 1：SWDT2 オートスタート有効
30 ～ 28	SWDT2_OPWDOVF2~SWDT2_OPWDOVF0	SWDT2 のオーバフロー時間を選択します。
27 ～ 23	—	予約ビット（設定時は 1 を設定して下さい）
22 ～ 0	SWDT2_SADU22 ～ SWDT2_SADU0	SWDT2 の比較 PC アドレスを設定します。 アドレスの bit23 ～ 31 は 0 で拡張され、$0000\ 0000_H$ ～ $003F\ FFFF_H$ までの任意のコードフラッシュ領域を設定可能です。

SWDT2_OPWDOVF2	SWDT2_OPWDOVF1	SWDT2_OPWDOVF0	オーバフロー時間
0	0	0	2^9 / WDTATCKI
0	0	1	2^{10} / WDTATCKI
0	1	0	2^{11} / WDTATCKI
0	1	1	2^{12} / WDTATCKI
1	0	0	2^{13} / WDTATCKI
1	0	1	2^{14} / WDTATCKI
1	1	0	2^{15} / WDTATCKI
1	1	1	2^{16} / WDTATCKI

34.10.5 OPBT6 ー オプション・バイト 25 ～ 28 ビット配置

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期状態注1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	OP_CFBANK_CFG2	OP_CFBANK_CFG1	OP_CFBANK_CFG0
初期状態注1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	R/W	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2	R/W注2

注 1. 出荷品の初期状態の値です。オプション・バイトの設定により値の変更が可能です。

注 2. FACI コマンドを使った場合と、フラッシュ・メモリ・プログラマ PG-FP5、フラッシュ書き込みソフトウェア Renesas Flash Programmer を使用した場合にのみ、読み出しと設定（R/W）が可能です。

表 34.21 OPBT6 の内容

ビット位置	ビット名	機能
31 ～ 3	—	予約ビット（設定時は 1 を設定して下さい）
2 ～ 0	OP_CFBANK_CFG2~ OP_CFBANK_CFG0	コード・フラッシュのバンク割り当て容量を設定します。。

OP_CFBANK_CFG			FLI の割り当て容量	
2	1	0	Bank A	Bank B
0	0	0	設定禁止	設定禁止
0	0	1	設定禁止	設定禁止
0	1	0	2MB(0000_0000$_H$~ 001F_FFFF$_H$)	2MB(0020_0000$_H$ ～ 003F_FFFF$_H$)
0	1	1	設定禁止	設定禁止
1	0	0	4MB(0000_0000$_H$~ 003F_FFFF$_H$)	—
1	0	1	設定禁止	設定禁止
1	1	0	設定禁止	設定禁止
1	1	1	4MB(0000_0000$_H$~ 003F_FFFF$_H$)	—

34.11 使用上の注意事項

(1) 書き込み／消去を中断した領域の読み出し
書き込み／消去を中断したフラッシュ・メモリ領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去を中断した領域の命令フェッチやデータ読み出しが発生しないように注意してください。

(2) 消去後に書き込んでいない状態の Code Flash メモリの読み出し
消去後に書き込んでいない状態（未書き込み状態）の Code Flash メモリ領域を読み出すと、ECC エラーが検出して例外が発生しますので注意してください。未書き込み状態の確認には、ブランク・チェック機能を使用してください。

(3) 追加書き込みの禁止
同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みのフラッシュ・メモリ領域を書き換えたい場合には、必ず当該領域を消去してください。

(4) 書き込み／消去中のリセット
書き込み／消去中に外部リセットを発生させた場合には、電気的特性に定める動作電圧範囲内で、リセットパルス幅の min 値以上のリセット入力期間の後にリセット解除してください。

(5) 書き込み／消去中の割り込み／例外ベクタの配置
FCUFAREA レジスタで FCU ファームウェア格納領域を選択して FCU ファーム転送中、または CodeFlash の書き込み／消去中に割り込み／例外が発生する場合は、事前に割り込み／例外をマスクするか、割り込みハンドラアドレステーブル※ と例外ハンドラを CodeFlash 以外の命令フェッチ可能空間に配置してください。

※ 割り込みハンドラアドレスの選択方式としてテーブル参照方式を使用する場合に該当します。詳細は「***RH850G3MH ユーザーズマニュアル ソフトウェア編***」をご参照ください。

(6) 書き込み／消去中の異常終了
外部リセットや電源瞬断などで書き込み／消去が異常終了したことにより、データが不定状態となったフラッシュ・メモリ領域の消去／書き込み状態を確認するベリファイ手段はありません。書き込み／消去が異常終了した領域に対しては、ブランク・チェック機能では正しく消去状態の判定をできません。再度消去処理を行って、該当領域を完全な消去状態にした後にご使用ください。
Code Flash メモリの書き込み／消去が正常に終了しなかった場合、ロックビットが有効になることがあります。この場合には、ロックビットを無効化した状態で、該当ブロックの消去を実施して、ロックビットを消去してください。

(7) 書き込み／消去／ブランクチェック中の禁止事項
書き込み／消去／ブランクチェック中は、以下の動作は行わないでください。
- 電源を動作電圧範囲外にする
- FHVE15 および FHVE3 の値を更新する
- 周辺クロックの動作周波数を変更する

(8) クロックギアアップシーケンス完了前のフラッシュメモリの各種コマンド実行禁止
シリアル・プログラミング及びセルフ・プログラミングにおける各種コマンドの実行は、クロックギアアップシーケンスを完了させた後に実施してください。クロックギアアップシーケンスの詳細については、**「第 11 章　クロックコントローラ」**の章をご参照ください。

(9) 命令キャッシュとデータバッファのコヒーレンシ確保

Code Flash メモリの書き込み／消去終了後は、命令キャッシュとデータバッファのコヒーレンシを確保するため、リセットまたは命令キャッシュとデータバッファのクリアが必要となります。命令キャッシュとデータバッファの詳細は、**「第 3 章　CPU システム」**をご参照ください。

第 35 章　セキュリティ

本製品は、コードフラッシュおよびデータフラッシュ、ID コードを保護するために、**「第 34 章　フラッシュ・メモリ」**に示したセキュリティ機能と本章で追加説明するデバッグインターフェースの接続制限機能を搭載しています。

シリアルプログラミングモード時のセキュリティ機能およびフラッシュメモリの書き換え方法の詳細な説明につきましては、**「第 34 章　フラッシュ・メモリ」**をご参照ください。

また、本章では、オンチップデバッグ機能で使用するインターフェース （NEXUS および LPD 4pin）を共通してデバッグインターフェースと略して記載しています。ユーザブートモード時のコードフラッシュおよびデータフラッシュ、ID コードの保護を実施している ID 認証を SELF ID 認証、オンチップデバッグ機能の保護を実施している ID 認証を OCD ID 認証と略して記載しています。尚、SELF ID 認証および OCD ID 認証、更に、シリアルプログラミングモード時の ID 認証モードにおける ID コードは、データ長 128 ビットで全て共通です。また、出荷品の初期状態では、ID コードは、FFFF_FFFF_FFFF_FFFF_FFFF_FFFF_FFFF_FFFFH となっています。

35.1　特徴

35.1.1　コードフラッシュおよびデータフラッシュ、ID コード保護

本製品は、コードフラッシュに書き込まれたユーザプログラム漏洩防止のため、ユーザブートモードおよびシリアルプログラミングモードにおいて、以下のセキュリティ機能を搭載しています。

35.1.1.1　ユーザブートモード固有機能

SELF ID 認証によるコードフラッシュの書き込み／消去、ID コード読み出し保護機能を搭載しています。

(1)　セキュリティ状態

本モードでは、2 種類のセキュリティ設定状態が存在します。各状態間は、SELF ID 認証および ID コード変更にて遷移します。

1. プロテクトアンロック状態：
   SELF ID 認証により、セキュリティ機能が解除され、コードフラッシュの書き込み／消去および ID コード読み出しが保護されていない状態。
2. プロテクトロック状態：
   SELF ID 認証により、セキュリティ機能が有効となり、コードフラッシュの書き込み／消去および ID コード読み出しが保護されている状態。

35.1.1.2 シリアルプログラミングモード固有機能

シリアルプログラミングモードでの固有セキュリティ機能として、下記、3 つの機能が搭載されております。これらのセキュリティ機能を併用することはできません。

(1) ID 認証機能 ：

ID コードを用いて ID 認証を実施することでコードフラッシュおよびデータフラッシュを保護します。ID 認証が成功した場合、コードフラッシュおよびデータフラッシュの書き込み／消去／読み出しが実施できます。

(2) プログラムコマンド／ブロック消去コマンド / リードコマンド禁止機能：

コードフラッシュおよびデータフラッシュへの書き込み／消去／読み出しコマンド発行を個別に禁止 / 許可を設定することができます。出荷品の初期状態では、本セキュリティ機能が選択されており、各コマンドの禁止設定は、全て許可となっています。

(3) シリアルプログラマ接続禁止機能：

シリアルプログラミングモードにてコードフラッシュおよびデータフラッシュの書き込み／消去／読み出しコマンド発行を禁止することができます。本機能を設定した場合、本機能以外のセキュリティ機能に変更することはできません。

35.1.1.3 ユーザブートモードおよびシリアルプログラミングモード共通機能

(1) OTP(One Time Programming) 機能

OTP 機能が設定された領域に対して、コードフラッシュの書き込み／消去を保護します。
詳細な設定方法については、**「第 34 章　フラッシュ・メモリ」**をご参照ください。

35.1.2 デバッグインターフェースの接続制限機能

本製品は、デバッグインターフェース経由での不正アクセス防止機能を搭載しており、2 種類のセキュリティレベルがあります。

- セキュリティレベル 1：
  デバッグインターフェースが使用可能な状態になります。本レベルでは、オンチップデバッグ機能を OCD ID 認証で保護しています。オンチップデバッグ機能を使用する際は、OCD ID 認証を解除する必要があります。
- セキュリティレベル 2：
  デバッグインターフェースが使用できない状態になります。

上記に説明した通り、各モードでコードフラッシュおよびデータフラッシュ、ID コード保護およびデバッグインターフェースの接続制限が異なります。各モードのセキュリティ機能を**表 35.1** にまとめます。

表 35.1 各モードのセキュリティ機能

動作モード	コードフラッシュおよびデータフラッシュ、ID コード保護	デバッグインターフェース接続制限機能
ユーザブートモード	• SELF ID 認証 • OTP （併用可能）	• セキュリティレベル 1（OCD ID 認証） • セキュリティレベル 2（デバッグインターフェース接続禁止設定）
シリアルプログラミングモード	• ID 認証 • プログラムコマンド／ブロック消去コマンド／リードコマンド禁止 • シリアルプログラマ接続禁止（上記 3 つは併用できません） • OTP （併用可能）	機能なし（常にデバッグインターフェース接続禁止）

35.2 ユーザブートモード時のセキュリティ機能

35.2.1 SELF ID 認証

本製品は、コードフラッシュに書き込まれたユーザプログラム漏洩防止のため、コードフラッシュの書き込み／消去および ID コード読み出しについて、有効／無効を切り替えるセキュリティ機能を搭載しています。本保護機能の有効／無効設定は、ユーザが設定した ID コード を期待値として、SELF ID 認証を実施することで、切り替えることができます。

35.2.2 SELF ID 認証とセキュリティ状態

SELF ID 認証によるセキュリティ状態および遷移条件を**表 35.2**、**図 35.1** に示します。

表 35.2　SELF ID 認証によるセキュリティ設定状態

状態名	SELF ID 認証	コードフラッシュ書き込み／消去および ID コード読み出し保護状態
プロテクトアンロック	解除状態	保護されていない状態
プロテクトロック	ロック状態	保護状態

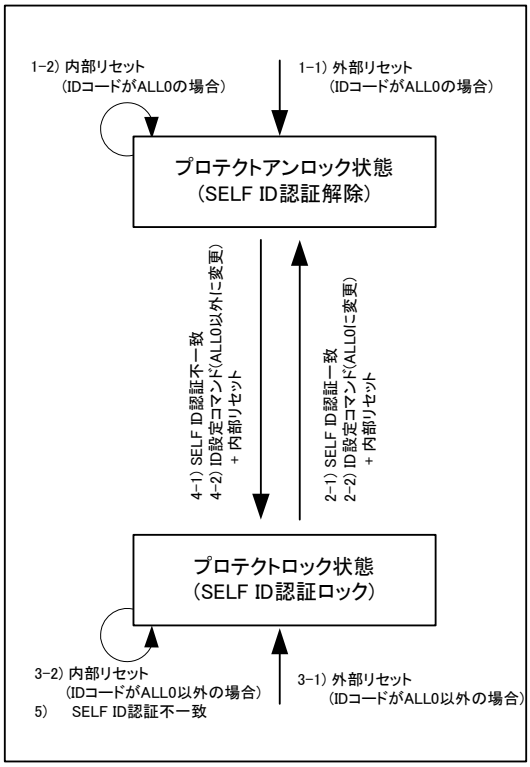


図 35.1　SELF ID 認証によるセキュリティ設定状態遷移

図 35.1 に示した各セキュリティ状態への遷移条件を以下に説明します。

- プロテクトアンロック状態への遷移条件
  1). プロテクトアンロック状態での起動
    1-1). “ID コードが ALL0” の状態で外部リセットを実施した場合、プロテクトアンロック状態で起動します。
    1-2). “ID コードが ALL0” の状態で、ID コードを変更せずに内部リセットを実施した場合、プロテクトアンロック状態で起動します。
  2). プロテクトロック状態からプロテクトアンロック状態への遷移
    2-1). SELF ID 認証が一致の場合、プロテクトアンロック状態に遷移します。
    2-2). “ID コードを ALL0 以外 から ALL0 の状態に変更 ” し、内部リセットを実施した場合、プロテクトアンロック状態で起動します。

- プロテクトロック状態への遷移条件
  3). プロテクトロック状態での起動
    3-1). “ID コードが ALL0 以外 ” の状態で、外部リセットを実施した場合、プロテクトロック状態で起動します。
    3-2). “ID コードが ALL0 以外 ” の状態で、ID コードを変更せずに内部リセットを実施した場合、プロテクトロック状態で起動します。
  4). プロテクトアンロック状態からプロテクトロック状態への遷移
    4-1). SELF ID 認証が不一致の場合、プロテクトロック状態に遷移します。
    4-2). “ID コードを ALL0 から ALL0 以外 の状態に変更 ” し、内部リセットを実施した場合、プロテクトロック状態で起動します。
  5). プロテクトロック状態維持
    SELF ID 認証が不一致の場合、プロテクトロック状態を維持します。

35.3　シリアルプログラミングモード時のセキュリティ機能

シリアルプログラミングモード時のセキュリティ機能の詳細については、**「第 34 章　フラッシュ・メモリ」**をご参照ください。

35.4　デバッグインターフェースの接続制限機能

本製品は、デバッグインターフェースを経由した不正アクセスを防ぐために、デバッグインターフェースの接続制限機能を搭載しており、2 種類のレベルがあります。

- セキュリティレベル 1：OCD ID 認証によるオンチップデバッグ機能へのアクセス制限
- セキュリティレベル 2：デバッグインターフェースの接続を禁止

これらのセキュリティレベルは、フラッシュメモリの拡張領域にあるオプションバイト 2 のビット 30、29（OPJTAG1、OPJTAG0）で変更する事ができます。本章では、これらの OPJTAG0、OPJTAG1 について、OPJTAG ビットと略して記載しています。

35.4.1　セキュリティレベルとデバッグインターフェースの接続制限状態

各セキュリティレベルとセキュリティ状態および遷移条件を**表 35.3**、**図 35.2** に示します。

表 35.3　セキュリティレベルとデバッグインターフェースの接続制限状態

状態名	OCD ID 認証	OPJTAG ビット 注 1	デバッグインターフェース接続制限
セキュリティレベル 1	解除状態	00_B 以外	デバッグインターフェース経由のアクセス制限解除
	ロック状態	00_B 以外	デバッグインターフェース経由のアクセス制限有効
セキュリティレベル 2	—	00_B	デバッグインターフェース接続禁止

注 1.　OPJTAG ビットの詳細説明については、**「第 34 章　フラッシュ・メモリ」**をご参照ください。

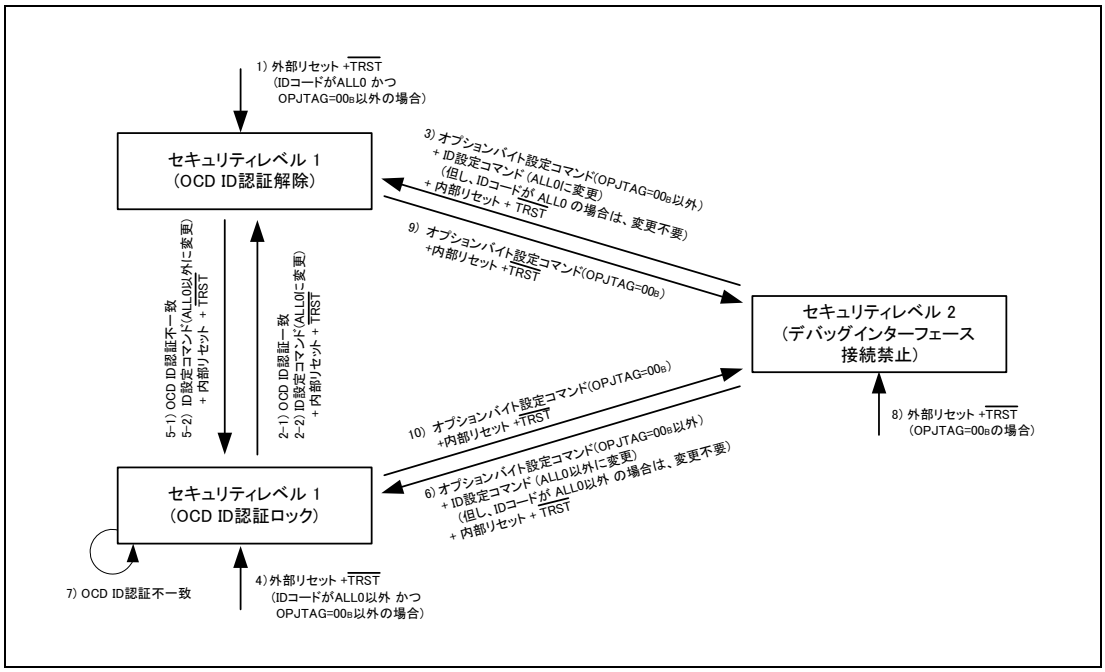


図 35.2　セキュリティレベル状態遷移

表 35.3 に示した各セキュリティレベルへの遷移条件を以下に説明します。

- セキュリティレベル 1 （OCD ID 認証解除）状態への遷移条件

  1). セキュリティレベル 1 （OCD ID 認証解除）状態での起動
  “ID コードが ALL0 かつ OPJTAG が 00_B 以外 ” の状態で外部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1（OCD ID 認証解除）状態にて起動します。

  2). セキュリティレベル 1（OCD ID 認証ロック）状態からセキュリティレベル 1（OCD ID 認証解除）状態への遷移
  2-1). OCD ID 認証が一致の場合、セキュリティレベル 1 （OCD ID 認証解除）状態に遷移します。
  2-2). “ID コードを ALL0 に変更 ” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1 （OCD ID 認証解除）で起動します。

  3). セキュリティレベル 2 状態から セキュリティレベル 1（OCD ID 認証解除）状態への遷移
  “ID コードを ALL0 かつ OPJTAG を 00_B 以外 に変更 ” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1（OCD ID 認証解除）状態にて起動します。

- セキュリティレベル 1 （OCD ID 認証ロック）状態への遷移条件

  4). セキュリティレベル 1 （OCD ID 認証ロック）状態での起動
  “ID コードが ALL0 以外 かつ OPJTAG が 00_B 以外 ” の状態で外部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1（OCD ID 認証ロック）状態にて起動します。

  5). セキュリティレベル 1（OCD ID 認証解除）状態からセキュリティレベル 1（OCD ID 認証ロック）状態への遷移

  5-1). OCD ID 認証が不一致の場合、セキュリティレベル 1 （OCD ID 認証ロック）状態に遷移します。
  5-2). “ID コードを ALL0 以外に変更 ” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1 （OCD ID 認証ロック）状態で起動します。

  6). セキュリティレベル 2 から セキュリティレベル 1（OCD ID 認証ロック）への遷移
  “ID コードを ALL0 以外 かつ OPJTAG = 00_B 以外に変更 ” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 1（OCD ID 認証ロック）状態にて起動します。

  7). セキュリティレベル 1（OCD ID 認証ロック）状態維持
  OCD ID 認証が不一致の場合、セキュリティレベル 1（OCD ID 認証ロック）状態を維持します。

- セキュリティレベル 2 への遷移条件

  8). セキュリティレベル 2 状態での起動
  “OPJTAG が 00_B” の状態で外部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 2 状態にて起動します。

  9). セキュリティレベル 1（OCD ID 認証解除）状態からセキュリティレベル 2 状態への遷移
  “ OPJTAG を 00_B に変更 ” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 2 状態にて起動します。

  10). セキュリティレベル 1（OCD ID 認証ロック）状態からセキュリティレベル 2 状態への遷移
  “ OPJTAG を 00_B に変更 ” し、内部リセットおよび $\overline{\text{TRST}}$ によるリセットを実施した場合、セキュリティレベル 2 状態にて起動します。

第 36 章　ICUS

ICUS (Intelligent Cryptographic Unit (Slave type)) に関しては、別冊のドキュメントを用意しています。詳細に関しては弊社営業窓口までお問い合わせください。

第 37 章　セキュアウォッチドッグタイマ (SWDT)

37.1　機能概要

Secure Watch Dog Timer （SWDT）は、セキュリティチェックを対象に機能拡張した WDT です。

SWDT に搭載されているカウンタをクリアするには、CPU が Code Flash エリア内の任意の指定アドレスに配置された SW（Soft Ware（以後 “ セキュア SW”）を実行することが必要です。

このセキュア SW の中で Code Flash の改竄チェックを実施し、SWDT によりセキュア SW の定期的な実行を監視することで、Code Flash の定期的な改竄検知を実現します。

また、セキュア SW を OTP（One Time Programing）設定することで、セキュア SW 自身の改竄防止も可能です。

37.1.1　SWDT の特長

- CPU1、PCU それぞれの CPU コアに対応した SWDT を搭載
- カウンタオーバーフロー時はエラーコントロールモジュール（ECM）へエラー要求を生成
  ECM の詳細については**「第 31 章　エラーコントロールモジュール (ECM)」**を参照してください。
- 搭載カウンタは、カウンタクロックとして WDTACLKI（250[kHz]）を使用
  オーバーフロー時間は、2^9 ～ 2^{16} サイクル（2[ms] ～ 256[ms]）の範囲で設定が可能
  （WDTACLKI については、**「第 11 章　クロックコントローラ」**を参照してください。）
- オプションバイトによる、リセット解除後の動作を設定可能
  オプションバイトの詳細については、**「第 34 章　フラッシュ・メモリ」**を参照してください。
- カウンタのクリア条件として、CPU によるセキュア SW の実行が必要
  （指定可能なアドレスはコードフラッシュ領域のみとなります。アドレス指定に関しては**「37.3.1　リセット解除時の動作」**を参照してください。）

各 CPU コアと、SWDT の対応を示します。

対応 CPU コア	名称
CPU1	SWDT0
PCU	SWDT2

本章では、SWDT の各チャネルを「 n 」（n = 0、2）で識別します。

SWDTn のレジスタアドレスは、ベースアドレス <SWDTn_base> からのオフセットで表されます。

各 SWDT のベースアドレス <SWDTn_base> を**表 37.1** に示します。

表 37.1 レジスタベースアドレス <SWDTn_base>

SWDTn	SWDTn_base アドレス
SWDT0	FFED 3000_H
SWDT2	FFED 5000_H

SWDTn には、**表 37.2** に示すレジスタがあります。

表 37.2 SWDTn のレジスタ

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SWDT クリアレジスタ	SWDTnCLR	00_H	<SWDTn_base> + 00_H	8
SWDT ステータスレジスタ 0	SWDTnSTS0	00_H	<SWDTn_base> + 04_H	8
SWDT ステータスレジスタ 1	SWDTnSTS1	00_H	<SWDTn_base> + 08_H	8
SWDT ステータスクリアレジスタ	SWDTnSTSC	00_H	<SWDTn_base> + $0C_H$	8
SWDT イネーブルレジスタ	SWDTnWDTE	00_H 注 1	<SWDTn_base> + 10_H	8
SWDT モードレジスタ	SWDTnMD	70_H 注 2	<SWDTn_base> + 14_H	8

注 1. SWDTnWDTE の リセット後の値は、オプションバイトの設定値によります。
SWDTnWDTE の詳細は、「**37.2.1 SWDTnWDTE — SWDT イネーブルレジスタ**」を参照下さい。

注 2. SWDTnMD の リセット後の値は、オプションバイトの設定値によります。
SWDTnMD の詳細は、「**37.2.2 SWDTnMD — SWDT モードレジスタ**」を参照下さい。

37.2　レジスタ説明

37.2.1　SWDTnWDTE — SWDT イネーブルレジスタ

SWDTnWDTE レジスタは、SWDTn の動作許可設定を行うレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<SWDTn_base> ＋ 10_H

リセット後の値　オプションバイトの設定に依存します。

ビット	7	6	5	4	3	2	1	0
	SWDnRUN	—	—	—	—	—	—	—
リセット後の値	SWDTn_OPRUN	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 37.3　SWDTnWDTE レジスタの内容

ビット位置	ビット名	機能
7	SWDnRUN	SWDTn の動作許可設定を行うビットです。 本ビットのリセット後の値は、オプションバイト（OPBTm[31] m = 3, 5）によって決定されます。 また、シリアルプログラミングモード時は、オプションバイトの値に関わらず “0” となります。 オプションバイトの詳細については、**「第 34 章　フラッシュ・メモリ」**を参照下さい。 本ビットは、一度 “1” にセットすると、リセットでのみ “0” クリアが可能です。 “0” ライトによるクリアは無効です。 0：SWDTn 動作停止 1：SWDTn 動作許可

37.2.2 SWDTnMD — SWDT モードレジスタ

SWDTnMD レジスタは、SWDTn のオーバーフロー時間の設定を行うレジスタです。

本レジスタへの書き込みは、動作停止時（SWDnRUN = 0）のみ可能です。

動作許可時（SWDnRUN = 1）の書き込みは無視されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <SWDTn_base> ＋ 14_H

リセット後の値 オプションバイトの設定に依存します。

ビット	7	6	5	4	3	2	1	0
	—	SWDnOVF[2:0]			—	—	—	—
リセット後の値	0	SWDTn_ OPWDOVF2	SWDTn_ OPWDOVF1	SWDTn_ OPWDOVF0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R

表 37.4 SWDTnMD レジスタの内容

ビット位置	ビット名	機能
6 ～ 4	SWDnOVF2-0	SWDTn のオーバーフロー時間の設定を行うビットです。 本ビットのリセット後の値は、オプションバイト（OPBTm[30:28] m = 3, 5）の設定値で決定します。 オプションバイトの詳細については、**「第 34 章 フラッシュ・メモリ」**を参照下さい。 SWDTn のカウンタクロック WDTACLKI を 1 サイクルとして、2^9 ～ 2^{16} サイクルからオーバーフロー時間の設定が選択可能です。 000B：2^9 サイクルでオーバーフロー 001B：2^{10} サイクルでオーバーフロー 010B：2^{11} サイクルでオーバーフロー 011B：2^{12} サイクルでオーバーフロー 100B：2^{13} サイクルでオーバーフロー 101B：2^{14} サイクルでオーバーフロー 110B：2^{15} サイクルでオーバーフロー 111B：2^{16} サイクルでオーバーフロー

37.2.3 SWDTnCLR — SWDT クリアレジスタ

SWDTnCLR レジスタは、SWDTn に搭載しているカウンタのクリアを行う為のトリガレジスタです。

本レジスタへの書き込みは、SWDTnSTS1 レジスタの SWDnCLGF ビットが “1” の時のみ可能です。

リード値は常に 00_H となります。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <SWDTn_base> ＋ 00_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	SWDnCLRT	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	R	R	R	R	R	R	R

表 37.5 SWDTnCLR レジスタの内容

ビット位置	ビット名	機能
7	SWDnCLRT	SWDTn に搭載しているカウンタのクリアトリガです。 動作許可時（SWDnRUN = 1）で、SWDTnSTS1 レジスタの SWDnCLGF ビットが 1 の時に、本ビットに 1 を書き込む事により、SWDTn のカウンタがクリアされます。 “1” を書き込むことにより、SWDTn のカウンタがクリアされる。 “0” を書き込んでもカウンタはクリアされない。

37.2.4 SWDTnSTS0 — SWDT ステータスレジスタ 0

SWDTnSTS0 レジスタは、SWDTn のステータスレジスタです。

アクセス 8 ビット単位でリード可能です。

アドレス <SWDTn_base> ＋ 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	SWDnCLSF	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 37.6 SWDTnSTS0 レジスタの内容

ビット位置	ビット名	機能
4	SWDnCLSF	SWDTn に搭載しているカウンタのクリア処理の実行状態を示すフラグです。 動作許可時（SWDnRUN = 1）に、SWDTnCLR レジスタの SWDnCLRT ビットに 1 を書き込む事により 1 にセットされ、SWDTn のカウンタのクリア処理が完了するまで “1” を示します。 本ビットが “1” の時は、SWDTnCLR レジスタの SWDnCLRT ビットへ “1” を書き込んでも、書き込みは無視されます。 SWDTn に搭載されているカウンタのクリア処理は、本ビットが “0” にクリアされたことで完了となります。 カウンタのクリア実行時は、必ず本ビットが “0” にクリアされたことを確認して下さい。 0：カウンタのクリア実行可能 1：カウンタのクリア実行中。

37.2.5 SWDTnSTS1 — SWDT ステータスレジスタ 1

SWDTnSTS1 レジスタは、SWDTn のステータスレジスタです。

アクセス 8 ビット単位でリード可能です。

アドレス <SWDTn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	SWDnNMIF	SWDnSADF	SWDnCLGF	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 37.7 SWDTnSTS1 レジスタの内容

ビット位置	ビット名	機能
6	SWDnNMIF	NMI の検出を行うフラグです。 動作許可時（SWDnRUN = 1）に NMI の入力を検出すると、セット “1” されます。 また SWDnSADF = 1 の時、SWDTnSTSC レジスタの SWDnSADCT ビットへの 1 書き込みでクリアされます。 動作許可時（SWD0RUN = 1）、NMI の入力検出によるセット “1” と、SWDTnSTSC レジスタの SWDnSADCT ビットへの 1 書き込みによるクリア “0” が競合した場合は、NMI の入力検出によるセット “1” が優先されます。 0：NMI の入力未検出 1：NMI の入力検出
5	SWDnSADF	セキュア SW 実行の検出を行うフラグです。 動作許可時（SWDnRUN = 1）にセキュア SW 実行の検出を行うと、セット “1” されます。 また SWDnSADF = 1 の時、SWDTnSTSC レジスタの SWDnSADCT ビットへの 1 書き込みでクリアされます。 0：セキュア SW 実行を未検出 1：セキュア SW の実行を検出
4	SWDnCLGF	SWDTnCLR レジスタへの書き込みが可能かを示すフラグです。 動作許可時（SWDnRUN = 1）にセキュア SW の実行を検出するとセット “1” されます。 また SWDnNMIF ビットがセット “1” か、SWDTnSTSC レジスタの SWDnCLGCT ビットへの “1” 書き込みでクリア “0” されます。 セキュア SW 実行検出によるセット “1” と、NMI 入力検出による SWDnNMIF = 1 もしくは、SWDTnSTSC レジスタの SWDnCLGCT ビットへの “1” 書き込みによるクリア ”0” が競合した場合は、クリア “0” が優先されます。 0：SWDTnCLRT レジスタへの “1” 書き込みが無効 1：SWDTnCLRT レジスタへの “1” 書き込みが有効

37.2.6 SWDTnSTSC — SWDT ステータスクリアレジスタ

SWDTnSTSC は、SWDTn のステータスレジスタのクリアを行う為のトリガレジスタです。リード値は常に 00_H となります。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <SWDTn_base> ＋ $0C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	SWDnSADCT	SWDnCLGCT	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	W	W	R	R	R	R

表 37.8 SWDTnSTSC レジスタの内容

ビット位置	ビット名	機能
5	SWDnSADCT	SWDTnSTS1 レジスタの SWDnNMIF フラグと SWDnSADF フラグのクリアトリガビットです。 SWDnSADF = 1 の時に “1” を書き込むことにより、SWDnNMIF フラグと SWDnSADF フラグがクリアされます。 “0” を書き込んでも SWDnNMIF フラグと SWDnSADF フラグはクリアされません。
4	SWDnCLGCT	SWDTnSTS1 レジスタの SWDnCLGF フラグのクリアトリガビットです。 “1” を書き込むことにより、SWDnCLGF がクリアされます。 “0” を書き込んでも SWDnCLGF はクリアされません。

37.3 動作説明

37.3.1 リセット解除時の動作

SWDTn は、以下に示すオプションバイトの設定により、リセット解除後の動作を選択することができます。

オプションバイトの詳細については、**「第 34 章　フラッシュ・メモリ」**を参照してください。

オプションバイト	対象
OPBT3[31]	SWDT0WDTE レジスタの SWD0RUN ビットのリセット後の値
OPBT3[30:28]	SWDT0MD レジスタの SWD0OVF[2:0] ビットのリセット後の値
OPBT3[22:0]	SWDT0 用セキュア SW の開始アドレス
OPBT5[31]	SWDT2WDTE レジスタの SWD2RUN ビットのリセット後の値
OPBT5[30:28]	SWDT2MD レジスタの SWD2OVF[2:0] ビットのリセット後の値
OPBT5[22:0]	SWDT2 用セキュア SW の開始アドレス

ここで、セキュア SW 実行についての検出方法について記載します。

セキュア SW 実行の検出は、CPU の PC（Program Counter）値 と、オプションバイトの OPBTm[22:0]（m = 3, 5）で設定したセキュア SW 開始アドレス値に、上位 9 ビット “0” を付加した値を比較することで行います。

このため、セキュア SW が配置可能な領域はコードフラッシュ領域のみとなります。

また、セキュア SW の開始アドレスとしてオプションバイトに設定可能なアドレス値は、必ず偶数値である必要があります。

奇数アドレスを設定した場合、SWDTn のセキュア SW 実行の検出動作は保証できません。

比較した結果、両者の値が一致した場合に、SWDTn は SWDTnSTS1 レジスタの SWDnSADF ビットに “1” をセットします。

37.3.2 SWDTn のカウンタクリア動作

SWDTn のカウンタクリア実行フローを示します。

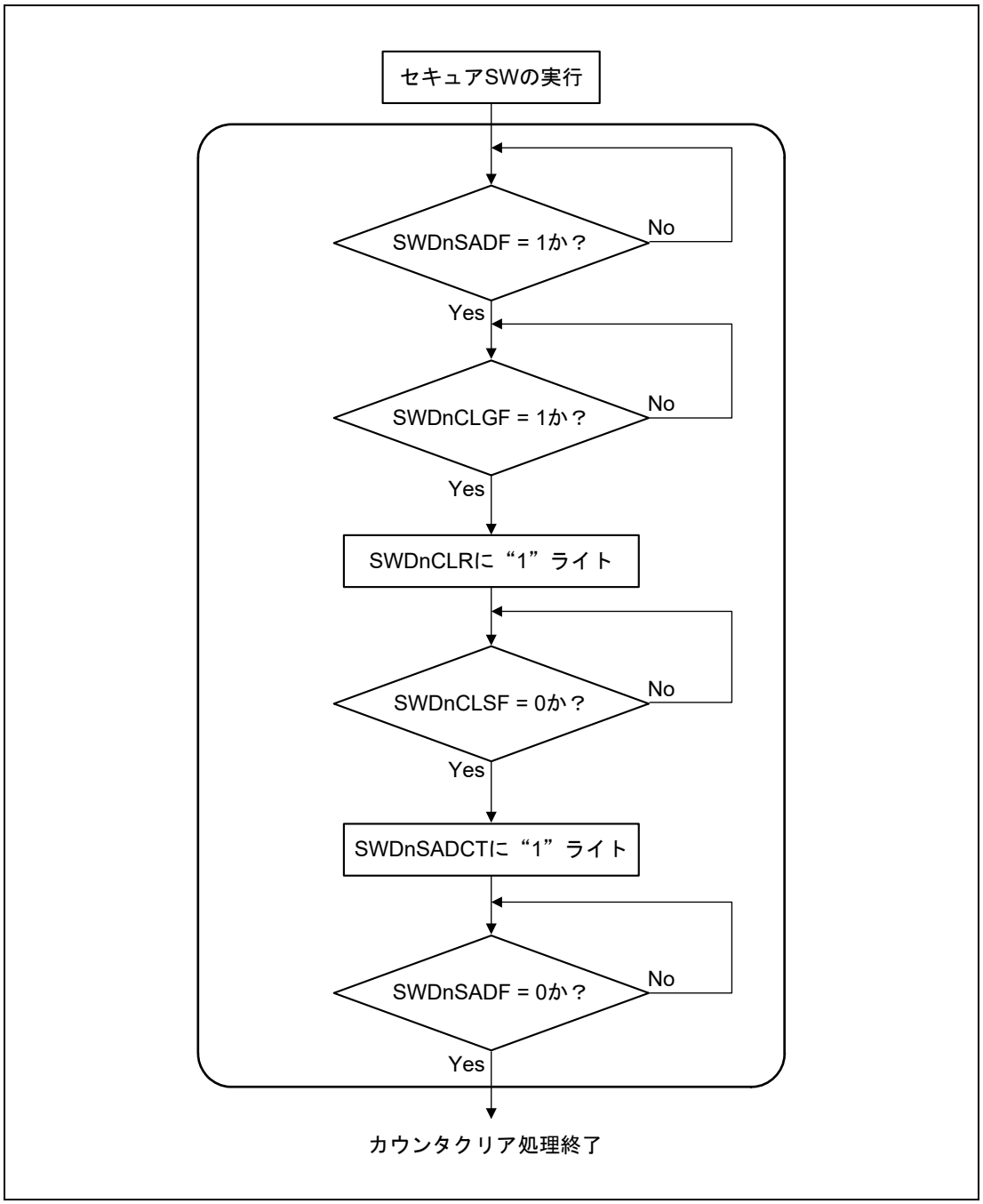


図 37.1 SWDT カウンタクリアフロー

注 意

カウンタクリア処理中に、NMI を検出した場合は NMI の割り込み処理に従って下さい。
NMI の割り込み処理の詳細については、「第 6 章 割り込み」を参照してください。

第 38 章　内蔵 RAM

38.1　搭載 RAM 一覧

RH850/E1M-S2 では、以下の RAM を搭載します。

- Local RAM（CPU1）　64KB
- Local RAM（PCU）　32KB
- Global RAM　256KB（うち 32KB は電源遮断スタンバイ時にデータ保持）
- EmulationRAM　8KB（RAM 保持なし）

38.2　特長

アクセス

CPU1、PCU、DMAC、H-BUS からは、Local RAM（CPU1）、と Global RAM へアクセスできます。

PCU からはこれ以外にも Local RAM（PCU）にアクセスできます。CPU1 からのアクセスレイテンシは、Local RAM（CPU1）、Local RAM（self）の領域とも同じです。アドレスマップやアクセスの可否の詳細については、**「第 4 章　アドレス空間」**を参照してください。

EmulationRAM (ERAM)

Code Flash の特定エリアを 8KB 単位で置き換えることができます。

置き換えた状態で CPU からのアクセスレイテンシは Code Flash と同じです。

RAM 保持

電源遮断スタンバイ時に、Global RAM のうち 32KB 内容が保持されます。

ECC

Local RAM（CPU1）、Local RAM（PCU）、Global RAM は ECC を搭載しています。
Local RAM（CPU1）と Global RAM はアドレスパリティも搭載しています。

詳細は**「第 30 章　セーフティ」**を参照してください。

38.3　RAM のデータ保持

電源遮断スタンバイ時にデータ保持する RAM 空間に対して、データ書き込みとリセットが同時に発生した場合においても、RAM のデータは破壊されることはありません。

38.4 EmulationRAM(ERAM)

38.4.1 ERAM について

RH850/E1M-S2 では Code Flash のエミュレーションのために Emulation RAM（ERAM）を搭載します。ERAM は、Code Flash にオーバーラップさせて使用することができるため、プログラムのチューニングなどに使用することができます。ERAM は、Code Flash のバンク毎に配置されます。RH850/E1M-S2 では Code Flash は 2 バンク構成です。ERAM の構成は、RH850/E1M-S2 では 8KB（8KB × 1 サブブロック）です。ERAM は以下に説明する Code Flash エミュレーション機能で使用することができます。また、CPU1 からアクセスすることも可能です。

38.4.2 ERAM を使った Code Flash エミュレーション機能について

外部デバッグ装置およびキャリブレーション機能ユニット（CFU）により、Code Flash 領域の任意の領域（最大 32 領域）に対して ERAM のサブブロック毎にマッピング許可／マッピング禁止の設定が可能です。Code Flash 領域へのマッピングにより、Code Flash を ERAM に置換して ERAM による Code Flash のエミュレーションが可能です。Code Flash 領域にマッピングした ERAM を介してユーザ・プログラムの実行中に Code Flash データをダイナミックに変更可能です。

RH850/E1M-S2 の Code Flash 領域は、バンク A、B の 2 つの領域に振り分けられます。バンク A とバンク B に振り分ける容量は、オプションバイト（**「第 34 章　フラッシュ・メモリ」**参照）で設定することができ、用途に応じて切り換えることが可能です。2 つのバスマスタからバンク A、B に別個にアクセスをした際には、調停によるウェイト発生を抑えることができます。

ERAM により、Code Flash をエミュレーションする際には、ERAM サブブロック 00 を、それぞれ Code Flash のバンク A、バンク B に割り当てることにより、任意の領域（バンク A、バンク B）にマッピングすることができます。

図 38.1 に、ERAM 周辺の回路構成を示します。

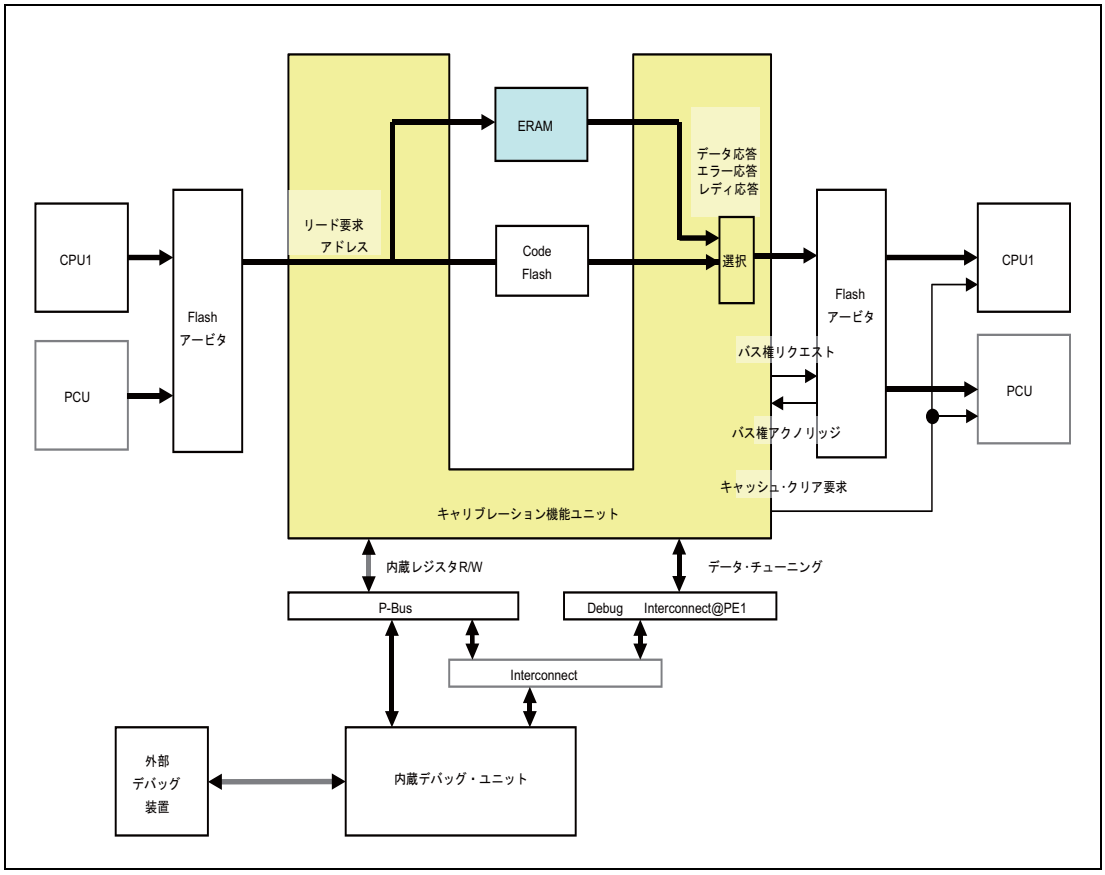


図 38.1 ERAM 周辺の回路構成

38.4.3 ERAM のメモリ・マップ

RH850/E1M-S2 における ERAM のメモリ･マップを下記に示します

サブブロック 00 にのみ 8KB の ERAM を実装しています。

ERAM 領域は 32 ビット単位でのみリード／ライト可能です。

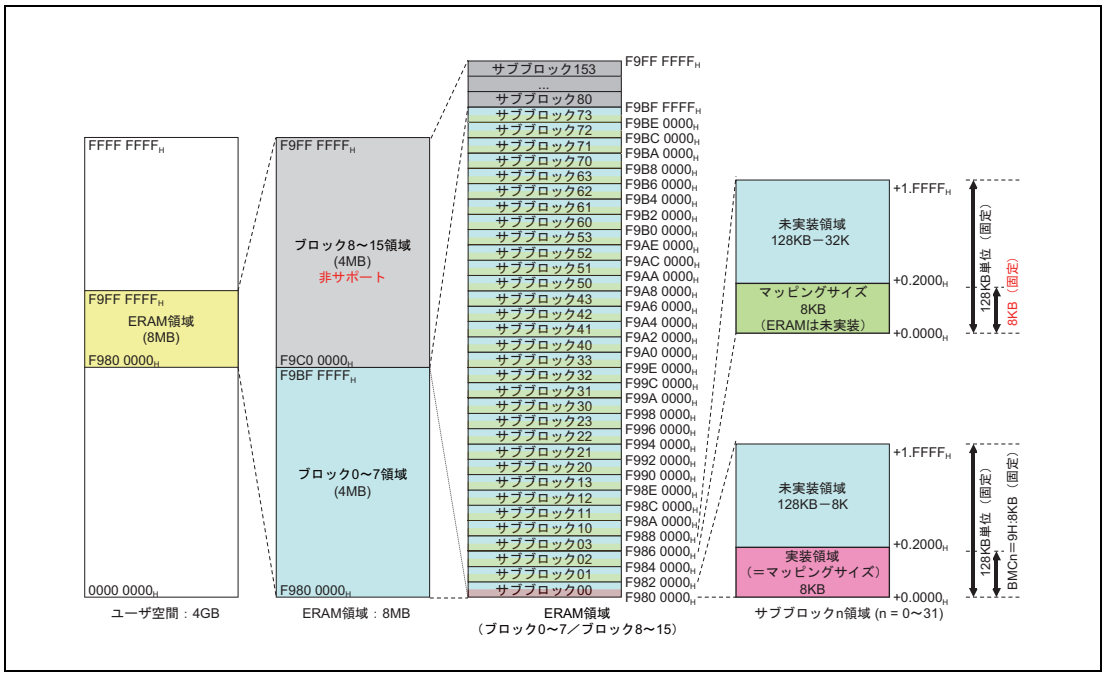


図 38.2 ERAM 8KB のメモリマップ

38.4.4 CFU レジスター覧

キャリブレーション機能ユニット（CFU）の動作を制御するための機能レジスタの一覧を下記に示します。

CFU のベースアドレスは、FFFF 7800_H です。

表 38.1 機能レジスター覧

アドレス	レジスタ名称	機能
<CFU_base> + 08_H	TM_CC	キャッシュ・クリア操作レジスタ
<CFU_base> + 10_H	TM_ME	ERAM サブブロック 0 マッピング許可
<CFU_base> + 14_H	TM_MS	ERAM サブブロック 0 マッピング・ステータス
<CFU_base> + 20_H	TM_BNK	ERAM バンク設定
<CFU_base> + 24_H	TM_ERR	ERAM バンク設定エラー表示
<CFU_base> + 28_H	TM_FST	FLI マッピング表示
<CFU_base> + 30_H	TM_BMC0	ERAM ブロック 0 マッピング・サイズ設定
<CFU_base> + 40_H	TM_MA00	ERAM サブブロック 00 マッピング・アドレス

38.4.5 TM_CC — キャッシュ・クリア操作レジスタ

TM_CC レジスタは、Code Flash のデータを保持するユニット（命令キャッシュ、データバッファ）に対してクリア要求を行うためのレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFFF 7808_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CCMK	CCLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 38.2 TM_CC レジスタ内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
1	CCMK	“1” を書き込むことでチューニング・メモリ・マッピング許可レジスタ TM_ME の更新によるキャッシュクリア要求をマスクします。TM_CC.CCLR ビットへの 1 書き込みによるキャッシュクリア要求はマスクしません。 0：キャッシュ・クリア要求をマスクしない 1：キャッシュ・クリア要求をマスクする
0	CCLR	“1” を書き込むことでキャッシュ・クリア要求を行います。 “0” の書き込みは無視されます。 リード値は、キャッシュ・クリア要求が完了する前に読み出すと “1” が、キャッシュ・クリア要求が完了した後に読み出すと “0” が読み出されます。 **注 意** ・“1” を書き込んだあと、キャッシュ・クリア要求が完了する前に再び “1” を書き込んだ場合、後からの書き込みは無視されます。（後からの書き込みによるキャッシュ・クリア要求を実行することはありません。） ・“1” を書き込んだあと、キャッシュ・クリア要求が完了する前に “0” を書き込んだ場合でも、キャッシュ・クリア要求をキャンセルすることはできません。 0：キャッシュ・クリア要求を処理中でない、またはキャッシュ・クリア要求を完了した（ 読み出し時） 1：キャッシュ・クリア要求（ 書き込み時）、またはキャッシュ・クリア要求を処理中（ 読み出し時）

38.4.6 TM_ME — チューニング･メモリ･マッピング許可レジスタ

チューニング･メモリ･マッピング許可レジスタは ERAM サブブロック 00 の Code Flash 領域へのマッピングを制御するためのレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFFF 7810_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TME00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 38.3 TM_ME レジスタ内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット
0	TME00	チューニング・メモリサブブロック mn・マッピングイネーブル (m = 0、n = 0) ERAM サブブロック mn のユーザ空間（Code Flash 領域）へのマッピングを制御します。（m = 0、n = 0） 0：マッピング禁止 1：マッピング許可

注 1. マッピング許可ビット TMEmn を更新する（同じ値で更新する場合を含む）とキャッシュ・クリアが行われます。（m = 0、n = 0）

注 2. ERAM サブブロック nm およびチューニング･メモリ･マッピング･アドレス･レジスタ nm（TM_MAnm レジスタ）を更新する前に、必ず対応するマッピング許可ビット TMEnm を “0”（マッピング禁止）に設定して下さい。（m = 0、n = 0）

注 3. TM_ME レジスタ更新後、必ず TM_MS レジスタの値が TM_ME レジスタの設定値と同じ値になるまで待機してください。

38.4.7 TM_MS — チューニング・メモリ・マッピング・ステータス・レジスタ

チューニング・メモリ・マッピング・ステータス・レジスタは ERAM サブブロック 00 の Code Flash 領域へのマッピング状態を表示するためのレジスタです。

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 7814_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MES00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.4 TM_MS レジスタ内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット
0	MES00	チューニング・メモリサブブロック mn・マッピングイネーブルステータス (m = 0、n = 0) ERAM サブブロック mn のユーザ空間（Code Flash 領域）へのマッピング状態を表示します。（m = 0、n = 0） 0：マッピング禁止 1：マッピング許可

38.4.8 TM_BNK — チューニング･メモリ･マッピング･バンク･レジスタ

チューニング･メモリ･マッピング･バンク･レジスタは ERAM ブロック 0 の Code Flash 領域へのマッピングバンクを設定するためのレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFFF 7820_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BNK0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 38.5 TM_BNK レジスタ内容

ビット位置	ビット名	機能
31 ～ 2	—	リザーブビット 常に 0 が読み出されます。 書き込み時は 0 を書き込んでください。
1、0	BNK0[1:0]	チューニング・メモリ・バンク 0 セッティング ERAM サブブロック 00 への Code Flash 領域のマッピング設定を行います。 0_H : Bank A 1_H : Bank B 2_H : 設定禁止 3_H : 設定禁止

注 1. チューニング･メモリ･マッピング･バンク･レジスタ（TM_BNK レジスタ）を更新する前に、必ず対応するマッピング許可ビット TMEn を “0”（マッピング禁止）に設定してください。

38.4.9 TM_ERR — チューニング･メモリ･マッピング･エラー･レジスタ

チューニング･メモリ･マッピング･エラー･レジスタは ERAM サブブロック 00 の CodeFlash 領域へのマッピング設定エラーを表示するためのレジスタです。

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 7824_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	E00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.6 TM_ERR レジスタ内容

ビット位置	ビット名	機能
31 ～ 1	—	リザーブビット
0	E00	チューニング・メモリサブブロック・マッピング・エラー・ステータス TM_MA00 レジスタに設定したアドレスと TM_BNK レジスタに設定した ERAM サブブロック 00 のバンクアサイン状況が不整合である場合に 1 を表示します。比較は常に行われます。 0：不整合なし 1：不整合あり

38.4.10 TM_FST — チューニング・メモリ・Flash バンク・レジスタ

チューニング・メモリ・Flash バンク・レジスタは Code Flash のバンクアサイン状況を表示するためのレジスタです。

アクセス 32 ビット単位でリード可能です。

アドレス FFFF 7828_H

リセット後の値 0000 $00F0_H$ 注 1

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 注 1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	FBM3	FBM2	FBM1	FBM0
リセット後の値 注 1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注 1. 出荷品の初期状態の値です。オプション・バイト（OPBT6）の設定値が反映されます。詳細は、**「第 34 章 フラッシュ・メモリ」**を参照ください。

表 38.7 TM_FST レジスタ内容

ビット位置	ビット名	機能
31 ～ 4	—	リザーブビット
3	FBM3	Flash バンク・マッピング・ステータス 3 Code Flash（0030_0000_H ～ $003F_FFFF_H$）のバンクアサイン状況を表示します。 0：バンク A にアサイン 1：バンク B にアサイン
2	FBM2	Flash バンク・マッピング・ステータス 2 Code Flash（0020_0000_H ～ $002F_FFFF_H$）のバンクアサイン状況を表示します。 0：バンク A にアサイン 1：バンク B にアサイン
1	FBM1	Flash バンク・マッピング・ステータス 1 Code Flash（0010_0000_H ～ $001F_FFFF_H$）のバンクアサイン状況を表示します。 0：バンク A にアサイン 1：バンク B にアサイン
0	FBM0	Flash バンク・マッピング・ステータス 0 Code Flash（0000_0000_H ～ $000F_FFFF_H$）のバンクアサイン状況を表示します。 0：バンク A にアサイン 1：バンク B にアサイン

38.4.11 TM_BMC0 — チューニング・メモリ・バンク・マッピング・サイズ・コンフィグレーション・レジスタ 0

チューニング･メモリ･バンク・マッピング・サイズ･コンフィグレーション・レジスタは ERAM のサブブロック 00 のマッピング・サイズを設定するためのレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFFF 7830_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BMC00			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 38.8 TM_BMC0 レジスタ内容

ビット位置	ビット名	機能
31 ～ 4	—	リザーブビット
3 ～ 0	BMC00	サブブロック 00 マッピング・サイズ設定

ERAM の各サブブロック（サブブロック 00）のマッピングサイズを設定します。

0_H	予約（設定禁止）	8_H	予約（設定禁止）
1_H	予約（設定禁止）	9_H	8KB ／サブブロック
2_H	予約（設定禁止）	A_H	予約（設定禁止）
3_H	予約（設定禁止）	B_H	予約（設定禁止）
4_H	予約（設定禁止）	C_H	予約（設定禁止）
5_H	予約（設定禁止）	D_H	予約（設定禁止）
6_H	予約（設定禁止）	E_H	予約（設定禁止）
7_H	予約（設定禁止）	F_H	予約（設定禁止）

マッピング・サイズの設定は以下の組み合わせ以外は設定禁止です。

ERAM 容量	サブブロック 00 マッピング・サイズ設定
8KB	9_H（8KB ／サブブロック）
上記以外の組み合わせ、設定禁止	

注 1.　チューニング･メモリ･バンク・マッピング･サイズ・コンフィグレーション･レジスタ（TM_BMC0 レジスタ）を更新する前に必ず対応するマッピング許可ビット TMEmn を “0”（マッピング禁止）に設定してください（m = 0、n = 0）。

38.4.12 TM_MA00 — チューニング・メモリ・マッピング・アドレス・レジスタ 00

チューニング･メモリ･マッピング･アドレス･レジスタ 00 は ERAM のサブブロック 00 のマッピング･アドレスを設定するためのレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFFF 7840_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Bnk m[1:0]		TMAmn[29:16]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMAmn[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.9 TM_MA00 レジスタ内容

ビット位置	ビット名	機能
31、30	Bnk m[1:0]	RERAM バンク m セッティング・ステータス（m = 0） ERAM のバンク m の設定を表示します。 本ビットが TM_BNK レジスタの Bnkm ビットのミラーリング表示です。ライトはできません。
29 ～ 0	TMAmn[29:0]	チューニング・メモリ・マッピング・アドレス mn（m = 0、n = 0） ERAM のサブブロック mn をマッピングするアドレスを指定します。 マッピング単位は、8KB ／サブブロック です。 **注 意** TMAn29 ～ 23、12 ～ 0 への書き込み値は、無視されます。

注 意

1. チューニング･メモリ･マッピング･アドレス･レジスタ n（TM_MAmn レジスタ）を更新する場合、TM_MAmn レジスタを更新する前に必ず対応するマッピング許可ビット TMEmn は ”0”（マッピング禁止）に設定してください。（m = 0、n = 0）
2. マッピング･アドレスは Code Flash 領域内のアドレスを指定して下さい。Code Flash 領域外のアドレスを指定した場合の動作は保証しません。

38.4.13 チューニング処理フロー

チューニング処理フローを下記に示します。

(1)	マッピング初期設定処理
(1 - 1)	チューニングするサブブロック 00 のサイズ、アドレスを下記レジスタで設定する。注 1 チューニング・メモリ・マッピング・バンク・レジスタ TM_BNK チューニング・メモリ・バンク・マッピング・サイズ・コンフィグレーション・レジスタ 0 TM_BMC0 チューニング・メモリ・マッピング・アドレス・レジスタ 0 TM_MA00
(2)	データ・チューニング処理
(2 - 1)	チューニングする ERAM 領域にデータをライトする
(3)	マッピング許可処理
(3 - 1)	チューニング完了したサブブロック 00 のマッピング許可ビット TME00 を “1”（マッピング許可）に設定する
(3 - 2)	マッピング･ステータス･ビット MES00 によりマッピング設定が反映されたことを確認する

注 1. レジスタを更新する場合は、必ず対応するマッピング許可ビット TME0 を “0”（マッピング禁止）に設定してください。

なお、マッピング許可後にデータチューニング（= ERAM 領域のデータ書き換え）を行う場合は、データチューニング後にキャッシュ・クリア操作をする必要があります。

38.5　使用上の注意事項

(1) Local RAM、Global RAM に対して、ECC によるエラー検出・訂正機能を有効にしてアクセスする場合、使用する RAM をアクセスサイズの最大ビット長で初期化してから使用してください。RAM のアクセスサイズの最大ビット長は**「第 30 章　セーフティ」**の対象データ幅をご覧ください。
初期化前の RAM をアクセスした場合、ECC エラーを検出する可能性があります。また最大ビット長で初期化しなかった場合、例えば 32 ビット幅の RAM を 8 ビットや 16 ビットのアクセスで初期化した場合、ECC エラーを検出する可能性があります。

(2) 以下の RAM と CPU の間には高速アクセス用のバッファが存在します。

- Local RAM（PE1）、Local RAM（PCU）

ライト命令を行った後に同一アドレスからリード命令による読み出しを行うと、RAM ではなくバッファからデータが読み出される場合があります。確実に RAM からデータを読み出すためには、以下のような方法があります。

– Local RAM（PE1）の場合
  1. 32 バイトを超えるデータをライト後、最初にライトしたデータをリードする。
  2. ライト命令と同一アドレスからのリード命令の間に SYNCM 命令を実行する。

– Local RAM（PCU）の場合
  1. 4 バイトを超えるデータをライト後、最初にライトしたデータをリードする。
  2. ライト命令と同一アドレスからのリード命令の間に、メモリアクセスを伴わない命令（NOP 命令や SYNCM 命令など）を 1 命令以上実行する。

第 39 章　バウンダリスキャン

本 LSI は JTAG インタフェースを持ち、IEEE1149.1 規格に準拠したバウンダリスキャン機能を提供します。

39.1　特長

- 5 本のテスト信号（TCK、TDI、TDO、TMS、および $\overline{\text{TRST}}$）
- TAP コントローラ
- インストラクションレジスタ
- バイパスレジスタ
- バウンダリスキャンレジスタ

JTAG インタフェースは 6 つのコマンドを備えています。

- BYPASS モード
  IEEE 1149.1 に対応したテストモード
- EXTEST モード
  IEEE 1149.1 に対応したテストモード
- SAMPLE/PRELOAD モード
  IEEE 1149.1 に対応したテストモード
- CLAMP モード
  IEEE 1149.1 に対応したテストモード
- HIGHZ モード
  IEEE 1149.1 に対応したテストモード
- IDCODE モード
  IEEE 1149.1 に対応したテストモード

JTAG インタフェースのブロック図を**図 39.1** に示します。

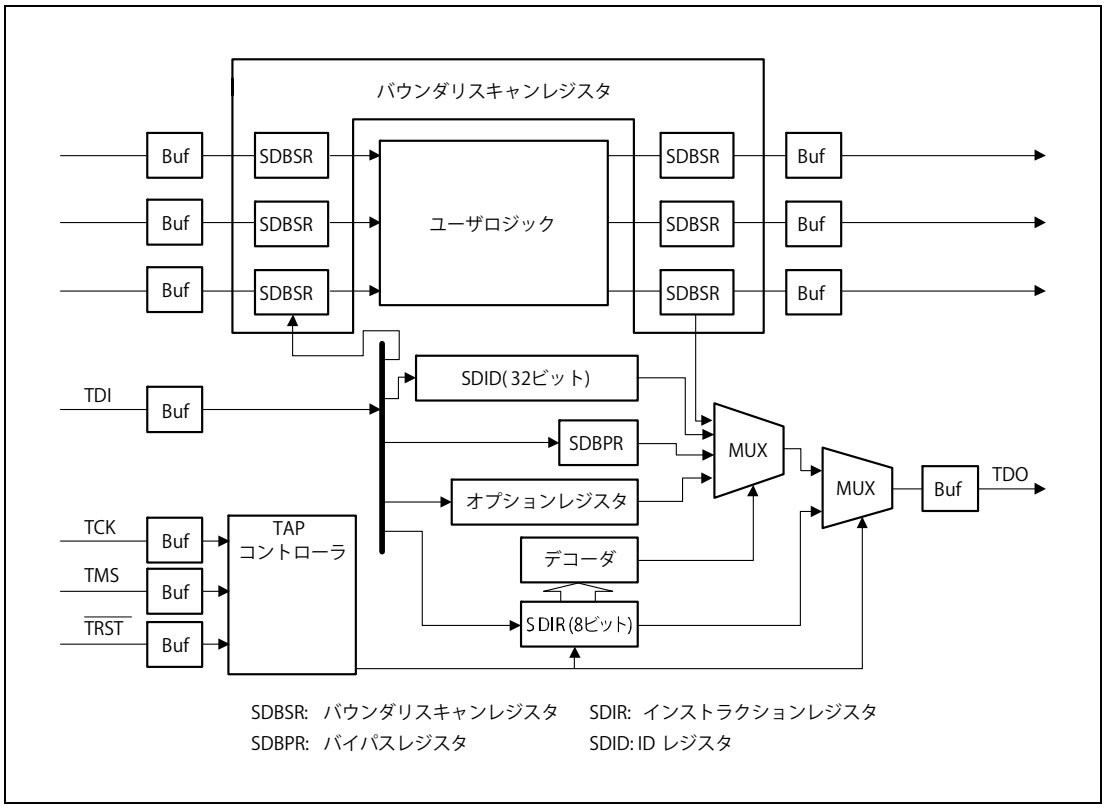


図 39.1　JTAG インタフェースブロック図

39.2　入出力端子

JTAG の制御信号には TCK、TDI、TMS、TDO、$\overline{\text{TRST}}$ の 5 本があります。

表 39.1 に端子構成を示します。

表 39.1　端子構成

名称	説明
TCK	シリアルデータ入出力用クロック端子 データはこのクロックに同期してデータ入力端子（TDI）から供給され、データ出力端子（TDO）から出力されます。
TMS	モードセレクト入力端子 TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは**「図 39.2　TAP コントローラ状態遷移図」**を参照してください。
$\overline{\text{TRST}}$	リセット入力端子 TCK とは非同期で入力を受け付けロウレベルで JTAG インタフェースをリセットします。JTAG インタフェース機能の利用の有無にかかわらず、電源投入時に TRST を一定期間ロウレベルにしなければなりません。
TDI	シリアルデータ入力端子 TCK に同期してこの端子を変化させることによって JTAG インタフェースにデータを送ります。
TDO	シリアルデータ出力端子 TCK に同期してこの端子を読み出すことによって TAG インタフェースからデータを読み取ります。

39.3 レジスタの説明

JTAG インタフェースは次のレジスタを内蔵しています。すべてのレジスタは CPU からアクセスできません。

- SDIR：インストラクションレジスタ
- SDID：ID レジスタ
- SDBPR：バイパスレジスタ
- SDBSR：バウンダリスキャンレジスタ

表 39.2 レジスタ構成

レジスタ名	略称	アクセスサイズ	初期値注 1
インストラクションレジスタ	SDIR	8	55_H
ID レジスタ	SDID	32	注 2
バイパスレジスタ	SDBPR	1	不定
バウンダリスキャンレジスタ	SDBSR	—	不定

注 1. （$\overline{\text{TRST}}$ 端子が 0、または TAP が Test-Logic-Reset 状態）で初期化。
注 2. 製品により異なります。当社の営業窓口までお問い合わせください。

コマンドは、シリアルデータ入力端子（TDI）からシリアル転送によりインストラクションレジスタ（SDIR）へ入力できます。バイパスレジスタ（SDBPR）は 1 ビットのレジスタで、BYPASS モード、CLAMP モード、および HIGHZ モード時、TDI と TDO はこのレジスタに接続されます。また、バウンダリスキャンレジスタ（SDBSR）は、SAMPLE/PRELOAD モード、および EXTEST モード時に TDI と TDO が、このレジスタに接続されます。ID コードレジスタ（SDID）は 32 ビットのレジスタで IDCODE モード時、TDO を通じて固定コードが出力できます。

表 39.3 に JTAG インタフェースの各レジスタで可能なシリアル転送の種類を示します。

表 39.3 バウンダリスキャンレジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
SDIR	可能	不可注 1
SDBPR	可能	可能
SDBSR	可能	可能
SDID	不可	可能

注 1. 固定値が読み出されます。

39.3.1 SDIR — インストラクションレジスタ

インストラクションレジスタ（SDIR）はバウンダリスキャンのコマンドを保持する 8 ビットのレジスタです。$\overline{\text{TRST}}$ のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。

表 39.4　バウンダリスキャンコマンド

IR コード								説明
0	0	0	0	0	0	0	0	JTAG EXTEST
0	1	0	0	0	0	0	0	JTAG SAMPLE/PRELOAD
1	1	0	1	0	0	0	0	JTAG CLAMP
1	0	0	0	0	0	0	0	JTAG HIGHZ
0	1	0	1	0	1	0	1	JTAG IDCODE（初期値）
1	1	1	1	1	1	1	1	JTAG BYPASS
上記以外								予約

39.3.2 SDID — ID レジスタ

ID レジスタ（SDID）は、32 ビットのレジスタで、LSI 固有の ID を持ちます。

JTAG インタフェースの端子側からは IDCODE のコマンドがセットされたときに読み出し可能で、書き込みはできません。

読み出される値は、**「表 39.2　レジスタ構成」**を参照してください。

39.3.3 SDBPR — バイパスレジスタ

バイパスレジスタ（SDBPR）は 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は端子 TDI と TDO の間に接続されます。初期値は不定です。このレジスタはパワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。

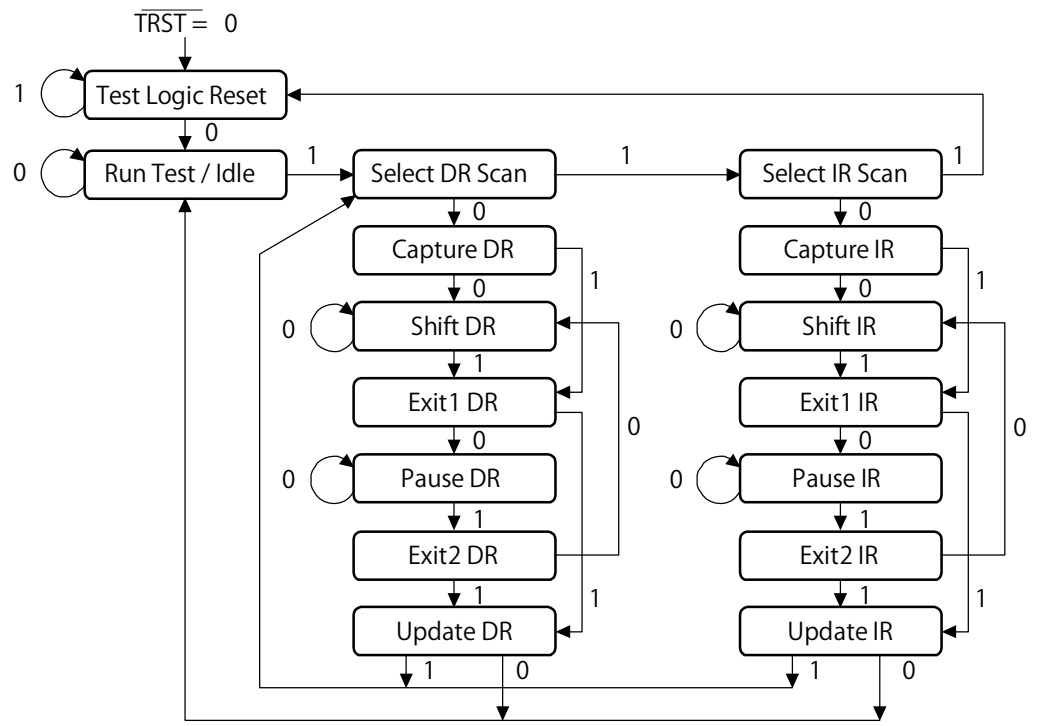
39.3.4 SDBSR — バウンダリスキャンレジスタ

バウンダリスキャンレジスタ（SDBSR）は、外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタです。SDIR に “SAMPLE/PRELOAD”、“EXTEST” コマンドがセットされると、端子 TDI と TDO の間に SDBSR が接続されます。初期値は不定です。このレジスタはパワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。

39.4 動作説明

39.4.1 TAP コントローラ

図 39.2 に TAP コントローラの内部状態を示します。



注 1. 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。$\overline{\text{TRST}}$ のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

図 39.2 TAP コントローラ状態遷移図

39.4.2 サポートするコマンド

39.4.2.1 BYPASS

BYPASS コマンドは、バイパスレジスタを動作させる必須の標準コマンドです。このコマンドはシフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。このコマンドの実行中、テスト回路はシステム回路に何も影響を与えません。

39.4.2.2 SAMPLE/PRELOAD

SAMPLE/PRELOAD コマンドは本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードするコマンドです。本コマンド実行中本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本コマンドの実行により本 LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST コマンドに先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST コマンドを実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力ピンから不定値が出力される（EXTEST コマンドでは出力ピンに常にパラレル出力ラッチを出力する）ことになります。

39.4.2.3 EXTEST

本コマンドでは、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本コマンドの実行時、出力ピンはバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD コマンドですでに設定されています）をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST コマンドを N 回用いてテストを行うとき、N 回目のテストデータは（N-1）回目のスキャンアウトのときにスキャンインされます。

本コマンドの Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。（シフト動作で入れ替えます）。

39.4.2.4 CLAMP

CLAMP コマンドが選択されると、出力ピンはあらかじめ SAMPLE/PRELOAD コマンドによって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP コマンドが選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

TDI、TDO 間にはバイパスレジスタが接続され、BYPASS コマンドが選択されたときと同様の動作をします。

39.4.2.5 HIGHZ

HIGHZ コマンドが選択されると、すべての出力ピンはハイインピーダンス状態となります。HIGHZ コマンドが選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

TDI、TDO 間にはバイパスレジスタが接続され、BYPASS コマンドが選択されたときと同様の動作をします。

39.4.2.6 IDCODE

JTAG インタフェースの端子を JTAG で規定されている “IDCODE” モードに設定できます。JTAG インタフェースを初期化した場合（$\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする）、“IDCODE” モードになります。

39.4.3 注意事項

JTAG インタフェースには以下のような制限があります。

- 電源 /GND 端子はバウンダリスキャンの対象外です。
- A/D コンバータのリファレンス電圧端子（ADSVREFH、ADSVREFL、A0VREFH、A1VREFH）はバウンダリスキャンの対象外です。
- 安定化容量接続端子（ADSVCL、RAMVCL）はバウンダリスキャンの対象外です。
- EPT 制御端子（EPTVOUT）はバウンダリスキャンの対象外です。
- NC 端子はバウンダリスキャンの対象外です。
- バウンダリスキャンの対象外の端子を**表 39.5** に示します。

表 39.5 バウンダリスキャン対象外の端子

分類	端子
アナログ入力	AN000/DSAN0P、AN001/DSAN0N、AN002/DSAN1P、AN003/DSAN1N、AN010/DSAN2P、AN011/DSAN2N、AN012/DSAN3P、AN013/DSAN3N、AN020/DSAN4P、AN021/DSAN4N、AN022/DSAN5P、AN023/DSAN5N、AN030/DSAN6P、AN031/DSAN6N、AN032/DSAN7P、AN033/DSAN7N、AN040、AN041、AN042、AN043、AN050、AN051、AN052、AN053、AN100、AN101、AN102、AN110、AN111、AN112、AN120、AN121、AN122、AN130、AN131、AN132、AN140、AN141、AN142、AN150、AN151、AN152、AN160、AN161、AN162、AN170、AN171、AN172
デバッグ系	AUDCK、$\overline{\text{DRDY}}$/LPDCLKO、$\overline{\text{EVTI}}$、$\overline{\text{EVTO}}$、$\overline{\text{RES}}$、TCK/LPDCLKI、TDI/LPDI、TDO/LPDO、TMS/EVTO、TRST/LPDRST
LVDS	RHSB0FCLN、RHSB0FCLP、RHSB0SON、RHSB0SOP、RHSB1FCLN、RHSB1FCLP、RHSB1SON、RHSB1SOP
モード設定	FLMODE、MD0、MD1
クロック	CK、EXTAL、XTAL

- PullUp/PullDown される端子に対する HIGHZ コマンドは無効です。

39.5　使用上の注意

1. コマンドは、いったんセットされると他のコマンドが再発行されないかぎり変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド（BYPASS モード等）をいったん設定してから再度コマンドを設定する必要があります。
2. バウンダリスキャンモードでの起動時は、$\overline{\text{RES}}$ = High の状態で $\overline{\text{TRST}}$ を解除してください。
3. TCK に入力可能な最大周波数は「**第 40 章　電気的特性**」を参照してください。
4. TDI、TDO 間に接続されるレジスタのビット数を超えてシリアル転送した場合、レジスタのビット数を超えて TDO から出力されるシリアルデータは、TDI から入力されたデータとなります。
5. シリアル転送シーケンスがくずれた場合、必ず $\overline{\text{TRST}}$ のリセットを行ってください。このとき、転送動作にかかわらず、再度転送し直してください。
6. TDO の出力タイミングは TCK の立ち下がり同期になります。
7. デバッグ容易化のため、$\overline{\text{TRST}}$ の基板上の配線はパターンカットが容易なように配慮してください。
8. 電源遮断スタンバイモード中ではコマンドは受け付けられません。

第 40 章　電気的特性

40.1　絶対最大定格

絶対最大定格を**表 40.1** に示します。

表 40.1　絶対最大定格

項　　目		記号	定格値	単位	備考
電源電圧注 1	PLLVCC、SYSVCC、VCC	VCC	–0.3 ～ +4.3	V	
	EVCC	EVCC	–0.3 ～ +6.5	V	
	VDD	VDD	–0.3 ～ +1.8	V	
	LVDVCC	VLVDVCC	–0.3 ～ +4.3	V	
	TTLVCC	VTTLVCC	–0.3 ～ +6.5	V	
入力電圧	SYSVCC 電源関連端子	Vin	–0.3 ～ SYSVCC + 0.3	V	**表 40.3** を参照してください。
	VCC 電源関連端子	Vin	–0.3 ～ VCC + 0.3	V	
	EVCC 電源関連端子	Vin	–0.3 ～ EVCC + 0.3	V	
	5V トレラント端子注 2	Vin	–0.3 ～ +5.8	V	
RHSB 関連電源電圧		LVDVCC	–0.3 ～ +4.3	V	
		TTLVCC	–0.3 ～ +6.5	V	
RHSB 関連入力電圧		V_{LVDSIN}	–0.3 ～ LVDVCC + 0.3	V	
		V_{TTLIN}	–0.3 ～ TTLVCC + 0.3	V	
アナログ電源電圧		A0VCC、A1VCC	–0.3 ～ +6.5	V	
		ADSVCC	–0.3 ～ +6.5	V	
アナログ基準電圧		A0VREFH	–0.3 ～ A0VCC + 0.3	V	
		A1VREFH	–0.3 ～ A1VCC + 0.3	V	
		ADSVREFH	–0.3 ～ ADSVCC + 0.3	V	
		ADSVREFL	–0.3 ～ ADSVSS + 0.3	V	
アナログ入力電圧		V_{AIN}	–0.3 ～ A0VCC + 0.3 –0.3 ～ A1VCC + 0.3	V	
		V_{ADSIN}	–0.3 ～ ADSVCC + 0.3	V	
VSS 差動電圧注 3 （条件：VSS、A0VSS、A1VSS、ADSVSS、PLLVSS、LVDVSS のうちの任意の 2 つの VSS 間）			–0.1 ～ +0.1	V	
最大入力電流（1 端子当たり）	デジタル入力端子	Imax	–25 ～ +25	mA	同時に 1 端子のみ
	アナログ入力端子	Imax	–25 ～ +25	mA	
ジャンクション温度注 1		Tj	–40 ～ +150	℃	
保存温度		Tstg	–55 ～ +150	℃	実装後

注 1.　この LSI を Tj =125 ℃以上、Tj = 150 ℃までの範囲で動作させる場合は、累積動作時間を 3000 時間以内にしてください。

注 2.　**「表 40.2　電源名と端子の関係」**で（5V Tol.）と記載のある以下の端子
FLMODE, MD0, MD1, RES, TRST, NMI

注 3.　デジタル系の電源である PLLVSS と VSS は基板上でショートしてください。

備考 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
複数の電源電圧を同時に使用することがある製品です。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧での LSI の使用は LSI の永久破壊、LSI を実装したシステムへのダメージを生じる場合があります。

40.2 DC 特性

40.2.1 電源名と端子の関係

電源名と端子の関係を**表 40.2** に示します。

表 40.2 電源名と端子の関係 (1/7)

端子名	ポート グループ	回路 電源名	I/O	入力電圧 最大値 (V)	入力バッファ タイプ	出力駆動 能力	備考
AN110	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN102	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN101	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN100	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN053/ P15_3	P15	A0VCC	I	A0VCC + 0.3	SAR アナログ SchB		
AN052/ P15_2	P15	A0VCC	I	A0VCC + 0.3	SAR アナログ SchB		
AN051/ P15_1	P15	A0VCC	I	A0VCC + 0.3	SAR アナログ SchB		
AN050/ P15_0	P15	A0VCC	I	A0VCC + 0.3	SAR アナログ SchB		
AN043/ P14_11	P14	A0VCC	I	A0VCC + 0.3	SAR アナログ SchB		
AN042/ P14_10	P14	A0VCC	I	A0VCC + 0.3	SAR アナログ SchB		
AN041/ P14_9	P14	A0VCC	I	A0VCC + 0.3	SAR アナログ SchB		
AN040/ P14_8	P14	A0VCC	I	A0VCC + 0.3	SAR アナログ SchB		
AN033/ DSAN7N/ P14_7	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN032/ DSAN7P/ P14_6	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN031/ DSAN6N/ P14_5	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN030/ DSAN6P/ P14_4	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN023/ DSAN5N/ P14_3	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN022/ DSAN5P/ P14_2	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN021/ DSAN4N/ P14_1	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN020/ DSAN4P/ P14_0	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN013/ DSAN3N/ P14_15	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		

表 40.2 電源名と端子の関係 (2/7)

端子名	ポート グループ	回路 電源名	I/O	入力電圧 最大値 (V)	入力バッファ タイプ	出力駆動 能力	備考
AN012/ DSAN3P/ P14_14	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN011/ DSAN2N/ P14_13	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN010/ DSAN2P/ P14_12	P14	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ SchB		
AN003/ DSAN1N	—	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ		
AN002/ DSAN1P	—	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ		
AN001/ DSAN0N	—	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ		
AN000/ DSAN0P	—	ADSVCC	I	ADSVCC + 0.3	ΔΣ アナログ		
P10_0	P10	EVCC	IO	EVCC + 0.3	SchB	○	
P10_1	P10	EVCC	IO	EVCC + 0.3	SchB	○	
P10_2	P10	EVCC	IO	EVCC + 0.3	SchB	○	
P10_3	P10	EVCC	IO	EVCC + 0.3	SchB	○	
P10_4	P10	EVCC	IO	EVCC + 0.3	SchB	○	
P8_0	P8	EVCC	IO	EVCC + 0.3	SchB	○	
P8_1	P8	EVCC	IO	EVCC + 0.3	SchB	○	
P8_2	P8	EVCC	IO	EVCC + 0.3	SchB	○	
P8_3	P8	EVCC	IO	EVCC + 0.3	SchB	○	
P8_4	P8	EVCC	IO	EVCC + 0.3	SchB	○	
P8_5	P8	EVCC	IO	EVCC + 0.3	SchB	○	
P8_6	P8	EVCC	IO	EVCC + 0.3	SchB	○	
P8_7	P8	EVCC	IO	EVCC + 0.3	SchB	○	
P6_0	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_1	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_2	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_3	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_4	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_5	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_6	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_7	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_8	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_9	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_10	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P6_11	P6	EVCC	IO	EVCC + 0.3	SchB	○	
P5_0	P5	EVCC	IO	EVCC + 0.3	SchB	○	
P5_1	P5	EVCC	IO	EVCC + 0.3	SchB	○	
P5_2	P5	EVCC	IO	EVCC + 0.3	SchB	○	
P5_3	P5	EVCC	IO	EVCC + 0.3	SchB	○	
P5_4	P5	EVCC	IO	EVCC + 0.3	SchB	○	

表 40.2 電源名と端子の関係 (3/7)

端子名	ポートグループ	回路電源名	I/O	入力電圧最大値 (V)	入力バッファタイプ	出力駆動能力	備考
P5_5	P5	EVCC	IO	EVCC + 0.3	SchB	○	
P5_6	P5	EVCC	IO	EVCC + 0.3	SchB	○	
P5_7	P5	EVCC	IO	EVCC + 0.3	SchB	○	
P5_8	P5	EVCC	IO	EVCC + 0.3	SchB	○	
P5_9	P5	EVCC	IO	EVCC + 0.3	SchB	○	
P4_0	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_1	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_2	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_3	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_4	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_5	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_6	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_7	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_8	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_9	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_10	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_11	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_12	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_13	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_14	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P4_15	P4	EVCC	IO	EVCC + 0.3	SchB	○	
P11_0	P11	EVCC	IO	EVCC + 0.3	SchB	○	
P11_1	P11	EVCC	IO	EVCC + 0.3	SchB	○	
P11_2	P11	EVCC	IO	EVCC + 0.3	SchB	○	
P11_3	P11	EVCC	IO	EVCC + 0.3	SchB	○	
P11_4	P11	EVCC	IO	EVCC + 0.3	SchB	○	
P11_5	P11	EVCC	IO	EVCC + 0.3	SchB	○	
P13_9	P13	TTLVCC	IO	TTLVCC + 0.3	SchC	○	
P13_8	P13	TTLVCC	IO	TTLVCC + 0.3	SchC	○	
P13_7	P13	TTLVCC	IO	TTLVCC + 0.3	SchC	○	
P13_6	P13	TTLVCC	IO	TTLVCC + 0.3	SchC	○	
P13_5	P13	TTLVCC	IO	TTLVCC + 0.3	SchC	○	
RHSB1FCLN	P17	LVDVCC	O	—	—		LVDS クロック出力
RHSB1FCLP	P17	LVDVCC	O	—	—		LVDS クロック出力
RHSB1SON	P17	LVDVCC	O	—	—		LVDS データ出力
RHSB1SOP	P17	LVDVCC	O	—	—		LVDS データ出力
RHSB0FCLN	P17	LVDVCC	O	—	—		LVDS クロック出力
RHSB0FCLP	P17	LVDVCC	O	—	—		LVDS クロック出力
RHSB0SON	P17	LVDVCC	O	—	—		LVDS データ出力

表 40.2 電源名と端子の関係 (4/7)

端子名	ポートグループ	回路電源名	I/O	入力電圧最大値 (V)	入力バッファタイプ	出力駆動能力	備考
RHSB0SOP	P17	LVDVCC	O	—	—		LVDS データ出力
P13_0	P13	TTLVCC	IO	TTLVCC + 0.3	SchC	○	
P13_1	P13	TTLVCC	IO	TTLVCC + 0.3	SchC	○	
P13_2	P13	TTLVCC	IO	TTLVCC + 0.3	SchC	○	
P13_3	P13	TTLVCC	IO	TTLVCC + 0.3	SchC	○	
P13_4	P13	TTLVCC	IO	TTLVCC + 0.3	SchC	○	
FLMODE	—	SYSVCC	I	5.5 + 0.3	SchA (5V Tol.)		
MD0	—	SYSVCC	I	5.5 + 0.3	SchA (5V Tol.)		
MD1	—	SYSVCC	I	5.5 + 0.3	SchA (5V Tol.)		
$\overline{\text{RES}}$	—	SYSVCC	I	5.5 + 0.3	SchA (5V Tol.)		
$\overline{\text{TRST}}$/ $\overline{\text{LPDRST}}$	—	SYSVCC	I	5.5 + 0.3	SchA (5V Tol.)		
TDO/ LPDO/ FLSCI3TX	—	VCC	O	VCC + 0.3	TTL2		
TMS/$\overline{\text{EVTO}}$	—	VCC	IO	VCC + 0.3	TTL2		
TCK/ LPDCLKI/ FLSCI3SCK	—	VCC	I	VCC + 0.3	TTL2		
TDI/ LPDI/ FLSCI3RX	—	VCC	I	VCC + 0.3	TTL2		
$\overline{\text{DRDY}}$/ LPDCLKO	—	VCC	O	VCC + 0.3	TTL2		
XTAL	—	VCC	O	—	—		
EXTAL	—	VCC	I	VCC + 0.3	CMOS		
$\overline{\text{EVTO}}$	—	VCC	O	—	—		
$\overline{\text{EVTI}}$	—	VCC	I	VCC + 0.3	SchB		
$\overline{\text{AUDRST}}$	—	VCC	I	VCC + 0.3	SchA		
AUDCK	—	VCC	I	VCC + 0.3	TTL2		
$\overline{\text{AUDSYNC}}$	—	VCC	I	VCC + 0.3	TTL2		
AUDATA3	—	VCC	IO	VCC + 0.3	TTL2		
AUDATA2	—	VCC	IO	VCC + 0.3	TTL2		
AUDATA1	—	VCC	IO	VCC + 0.3	TTL2		
AUDATA0	—	VCC	IO	VCC + 0.3	TTL2		
NMI	—	VCC	I	5.5 + 0.3	SchA (5V Tol.)		
$\overline{\text{ERROROUT}}$ _M	—	VCC	O	—	—		
CK	—	EVCC	O	EVCC + 0.3	—		
P0_0	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_1	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_2	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_3	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_4	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_5	P0	EVCC	IO	EVCC + 0.3	SchB	○	

表 40.2 電源名と端子の関係 (5/7)

端子名	ポート グループ	回路 電源名	I/O	入力電圧 最大値 (V)	入力バッファ タイプ	出力駆動 能力	備考
P0_6	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_7	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_8	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_9	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_10	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_11	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_12	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_13	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P0_14	P0	EVCC	IO	EVCC + 0.3	SchB	○	
P1_0	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_1	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_2	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_3	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_4	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_5	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_6	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_7	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_8	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_9	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_10	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_11	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_12	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_13	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_14	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P1_15	P1	EVCC	IO	EVCC + 0.3	SchB	○	
P2_0	P2	EVCC	IO	EVCC + 0.3	SchB	○	
P2_1	P2	EVCC	IO	EVCC + 0.3	SchB	○	
P2_2	P2	EVCC	IO	EVCC + 0.3	SchB	○	
P2_3	P2	EVCC	IO	EVCC + 0.3	SchB	○	
P2_4	P2	EVCC	IO	EVCC + 0.3	SchB	○	
P2_5	P2	EVCC	IO	EVCC + 0.3	SchB	○	
P2_6	P2	EVCC	IO	EVCC + 0.3	SchB	○	
P2_7	P2	EVCC	IO	EVCC + 0.3	SchB	○	
P3_0	P3	EVCC	IO	EVCC + 0.3	SchB	○	
P3_1	P3	EVCC	IO	EVCC + 0.3	SchB	○	
P3_2	P3	EVCC	IO	EVCC + 0.3	SchB	○	
P3_3	P3	EVCC	IO	EVCC + 0.3	SchB	○	
P3_4	P3	EVCC	IO	EVCC + 0.3	SchB	○	
P3_5	P3	EVCC	IO	EVCC + 0.3	SchB	○	
P3_6	P3	EVCC	IO	EVCC + 0.3	SchB	○	
P3_7	P3	EVCC	IO	EVCC + 0.3	SchB	○	
P7_0	P7	EVCC	IO	EVCC + 0.3	SchB	○	
P7_1	P7	EVCC	IO	EVCC + 0.3	SchB	○	

表 40.2 電源名と端子の関係 (6/7)

端子名	ポート グループ	回路 電源名	I/O	入力電圧 最大値 (V)	入力バッファ タイプ	出力駆動 能力	備考
P7_2	P7	EVCC	IO	EVCC + 0.3	SchB	○	
P7_3	P7	EVCC	IO	EVCC + 0.3	SchB	○	
P7_4	P7	EVCC	IO	EVCC + 0.3	SchB	○	
P7_5	P7	EVCC	IO	EVCC + 0.3	SchB	○	
P7_6	P7	EVCC	IO	EVCC + 0.3	SchB	○	
P7_7	P7	EVCC	IO	EVCC + 0.3	SchB	○	
P7_8	P7	EVCC	IO	EVCC + 0.3	SchB	○	
P7_9	P7	EVCC	IO	EVCC + 0.3	SchB	○	
P7_10	P7	EVCC	IO	EVCC + 0.3	SchB	○	
P7_11	P7	EVCC	IO	EVCC + 0.3	SchB	○	
AN172/ P16_8	P16	A1VCC	I	A1VCC + 0.3	SAR アナログ SchB		
AN171/ P16_5	P16	A1VCC	I	A1VCC + 0.3	SAR アナログ SchB		
AN170/ P16_4	P16	A1VCC	I	A1VCC + 0.3	SAR アナログ SchB		
AN162/ P16_7	P16	A1VCC	I	A1VCC + 0.3	SAR アナログ SchB		
AN161/ P16_3	P16	A1VCC	I	A1VCC + 0.3	SAR アナログ SchB		
AN160/ P16_2	P16	A1VCC	I	A1VCC + 0.3	SAR アナログ SchB		
AN152/ P16_6	P16	A1VCC	I	A1VCC + 0.3	SAR アナログ SchB		
AN151/ P16_1	P16	A1VCC	I	A1VCC + 0.3	SAR アナログ SchB		
AN150/ P16_0	P16	A1VCC	I	A1VCC + 0.3	SAR アナログ SchB		
AN142	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN141	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN140	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN132	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN131	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN130	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN122	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN121	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN120	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN112	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
AN111	—	A1VCC	I	A1VCC + 0.3	SAR アナログ		
A0VCC							
A1VCC							
ADSVCC							
ADSVCL							ΔΣADC 外付け容量端子
A0VREFH							
A1VREFH							
ADSVREFH							

表 40.2　電源名と端子の関係 (7/7)

端子名	ポート グループ	回路 電源名	I/O	入力電圧 最大値 (V)	入力バッファ タイプ	出力駆動 能力	備考
ADSVREFL							
A0VSS							
A1VSS							
A1VSS(N.C.)							
ADSVSS							
PLLVCC							
PLLVSS							
EVCC							
EPTVOUT		VCC	O				
VCC							
LVDVCC							
LVDVSS							
SYSVCC							
TTLVCC 注 1							
VDD							
VDD(N.C.)							
RAMVCL							
VSS							
VSS(N.C.)							

注 1.　TTLVCC の GND は LVDVSS です。(LVDVCC の GND と共通)

注 2.　電源名 (N.C.) と記載されている端子は、開放であってもマイコン動作には影響を及ぼしませんが、電源安定の観点から (N.C.) 記載が無い同名の電源に接続することを推奨します。また半田ボールは必ず基板に実装してください。なお、電源名 (N.C.) と記載されている端子は、(N.C.) 記載が無い同名の電源と内部で接続されています。

40.2.2 動作条件

表 40.3 動作条件

記号	Min.	Typ.	Max.	単位
SYSVCC	3.0	3.3	3.6	V
VCC	3.0	3.3	3.6	V
PLLVCC	3.0	3.3	3.6	V
VDD	1.15	1.25	1.35	V
EVCC	4.5	5.0	5.5	V
LVDVCC	3.0	3.3	3.6	V
TTLVCC	3.0	3.3	3.6	V
	4.5	5.0	5.5	V
A0VCC 注3、A1VCC	4.5	5.0	5.5	V
ADSVCC 注3	4.5	5.0	5.5	V
A0VREFH、A1VREFH 注1	4.5	5.0	5.5	V
ADSVREFH 注2	4.5	5.0	5.5	V

注 1. A0VCC、A1VCC を超えない値を設定してください。

注 2. ADSVCC を超えない値を設定してください。

注 3. A0VCC = ADSVCC の条件でお使いください。

備考 動作時にはすべての電源に所定の電圧を供給してください。停止時には、すべての電源をオフしてください。
電源遮断スタンバイ時には、SYSVCC 以外の電源はオフにしてください。

40.2.3 入力電圧特性

表 40.4 DC 特性（入力電圧）

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC、
A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、
ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、
SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

項　　目	記号	Min.	Typ.	Max.	単位	測定条件
シュミットトリガ入力電圧（バッファタイプ A）	V_T^+（V_{IH}）	SYSVCC × 0.75 VCC × 0.75	—	5.5 + 0.3 注 1 VCC + 0.3 注 2	V	**表 40.2** 参照（入力バッファタイプが SchA の項目）
	V_T^-（V_{IL}）	–0.3	—	SYSVCC × 0.25 VCC × 0.25	V	
	V_{HS}	SYSVCC × 0.2 VCC × 0.2	—	—	V	
シュミットトリガ入力電圧（バッファタイプ B）	V_T^+（V_{IH}）	EVCC × 0.7 A0VCC × 0.7 A1VCC × 0.7 ADSVCC × 0.7 VCC × 0.74	—	EVCC + 0.3 A0VCC + 0.3 A1VCC + 0.3 ADSVCC + 0.3 VCC + 0.3	V	**表 40.2** 参照（入力バッファタイプが SchB の項目）
	V_T^-（V_{IL}）	–0.3	—	EVCC × 0.42 A0VCC × 0.42 A1VCC × 0.42 ADSVCC × 0.42 VCC × 0.34	V	
	V_{HS}	EVCC × 0.082 A0VCC × 0.082 A1VCC × 0.082 ADSVCC × 0.082 VCC × 0.082	—	—	V	
シュミットトリガ入力電圧（バッファタイプ C）	V_T^+（V_{IH}）	TTLVCC × 0.6	—	TTLVCC + 0.3	V	**表 40.2** 参照（入力バッファタイプが SchC の項目） TTLVCC = 3.0 ～ 3.6V, 4.5 ～ 5.5V
	V_T^-（V_{IL}）	–0.3	—	TTLVCC × 0.36	V	
	V_{HS}	TTLVCC × 0.082	—	—	V	
TTL 入力電圧	V_{IH}	2.2	—	VCC + 0.3	V	**表 40.2** 参照（入力バッファタイプが TTL2 の項目）
	V_{IL}	–0.3	—	0.8	V	
クロック入力端子電圧（EXTAL）	V_{IH}	VCC × 0.7	—	VCC + 0.3	V	
	V_{IL}	–0.3	—	VCC × 0.2	V	

注 1. $\overline{\text{AUDRST}}$ 除く
注 2. $\overline{\text{AUDRST}}$

40.2.4 入力リーク電流特性

表 40.5 DC 特性（入力リーク電流）

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC、
A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、
ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、
SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

項	目	記号	Min.	Typ.	Max.	単位	測定条件
入力リーク電流	A/D ポート以外	| Iin |	—	—	1	μA	Vin = 0 V ～ EVCC Vin = 0 V ～ TTLVCC Vin = 0 V ～ SYSVCC、 Vin = 0 V ～ VCC
	A/D ポート	| Iin |	—	—	0.1	μA	Vin = 0 V ～ A0VCC、A1VCC Vin = 0 V ～ ADSVCC

40.2.5 プルアップ／プルダウン MOS 電流特性

表 40.6 DC 特性（プルアップ／プルダウン MOS 電流）

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC、
A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、
ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、
SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

項	目	記号	Min.	Typ.	Max.	単位	測定条件
入力プルアップ MOS 電流	TMS、TDI、TCK（JTAG ポートとして使用した場合も含む）	$-I_{pu}$	—	—	350	μA	Vin = 0 V、VCC = 3.0 ～ 3.6V
	AUDCK、$\overline{\text{AUDSYNC}}$（VCC 電源系端子）		—	—	350	μA	Vin = 0V VCC = 3.0 ～ 3.6V
	EVCC 電源系端子		—	—	350	μA	Vin = 0V EVCC = 4.5 ～ 5.5V
	TTLVCC 電源系端子		15	—	90	μA	Vin = 0V、TTLVCC = 3.0 ～ 3.6V
			40	—	190	μA	Vin = 0V、TTLVCC = 4.5 ～ 5.5V
プルアップ MOS 電流	AUDATA3-0 注 1		—	—	350	μA	Vin = 0V VCC = 3.0 ～ 3.6V
入力プルダウン MOS 電流	$\overline{\text{RES}}$	I_{pd}	25	60	120	μA	Vin = SYSVCC、SYSVCC = 3.6V
			5	20	40	μA	Vin = SYSVCC、SYSVCC = 2.0V
	$\overline{\text{TRST}}$		—	—	350	μA	Vin = SYSVCC、SYSVCC = 3.0 ～ 3.6V
	FLMODE、MD0、MD1（SYSVCC 電源系端子）		15	—	120	μA	Vin = SYSVCC、SYSVCC = 3.0 ～ 3.6V
	$\overline{\text{AUDRST}}$		—	—	350	μA	Vin = VCC、VCC = 3.0 ～ 3.6V
	NMI		15	—	120	μA	Vin = VCC、VCC = 3.0 ～ 3.6V
	EVCC 電源系端子		—	—	350	μA	Vin = EVCC EVCC = 4.5 ～ 5.5V
	TTLVCC 電源系端子		15	—	120	μA	Vin = TTLVCC、TTLVCC = 3.0 ～ 3.6V
			50	—	240	μA	Vin = TTLVCC、TTLVCC = 4.5V ～ 5.5V

注 1. AUDATA3 ～ 0 のプルアップは、入力時だけでなく出力時も有効です。

40.2.6 出力電圧特性

表 40.7 DC 特性（出力電圧）

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC、
A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、
ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、
SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

項目		記号	Min.	Typ.	Max.	単位	測定条件
出力ハイレベル電圧	EVCC 電源系端子	V_{OH}	EVCC – 0.5	—	—	V	I_{OH} = 200 μA、EVCC = 4.5V ～ 5.5V
			EVCC – 1.0	—	—	V	I_{OH} = 1mA、EVCC = 4.5V ～ 5.5V
	TTLVCC 電源系端子		TTLVCC – 0.4	—	—	V	I_{OH} = 2mA、TTLVCC = 4.5V ～ 5.5V
			TTLVCC – 0.4	—	—	V	I_{OH} = 2mA、TTLVCC = 3.0V ～ 3.6V
	VCC 電源系端子		VCC – 0.1	—	—	V	I_{OH} = 50 μA、VCC = 3.0V ～ 3.6V
			VCC – 1.0	—	—	V	I_{OH} = 200 μA、VCC = 3.0V ～ 3.6V
出力ロウレベル電圧	EVCC 電源系端子	V_{OL}	—	—	0.4	V	I_{OL} = 1.6 mA EVCC = 4.5V ～ 5.5V
			—	—	1.2	V	I_{OL} = 4 mA EVCC = 4.5V ～ 5.5V
	TTLVCC 電源系端子		—	—	0.4	V	I_{OL} = 2mA、TTLVCC = 4.5V ～ 5.5V
			—	—	0.4	V	I_{OL} = 2mA、TTLVCC = 3.0V ～ 3.6V
	VCC 電源系端子		—	—	0.1	V	I_{OL} = 50 μA VCC = 3.0V ～ 3.6V
			—	—	0.4	V	I_{OL} = 1.6 mA VCC = 3.0V ～ 3.6V

40.2.7 許容出力電流

表 40.8 DC 特性（許容出力電流）

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC、
A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、
ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、
SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

項　　目	記号	Min.	Typ.	Max.	単位
出力ロウレベル許容電流（1 端子当たり）	I_{OL}	—	—	4.0	mA
出力ロウレベル許容電流（総和）	ΣI_{OL}	—	—	80	mA
出力ハイレベル許容電流（1 端子当たり）	I_{OH}	—	—	2.0	mA
出力ハイレベル許容電流（総和）	ΣI_{OH}	—	—	25	mA

40.2.8 注入電流

表 40.9 DC 特性（注入電流）

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC、
A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、
ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、
SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

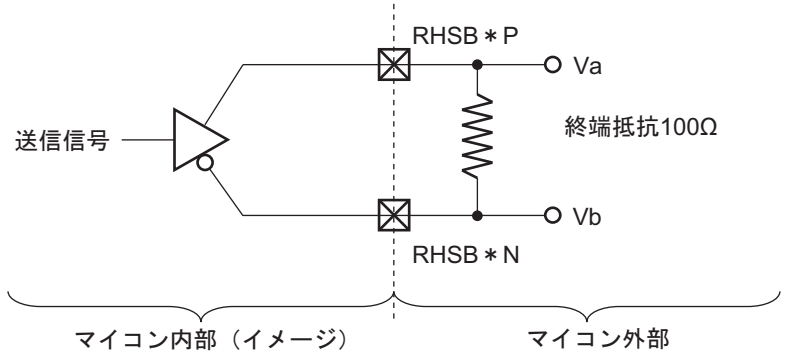
項　　目		記号	Min.	Typ.	Max.	単位
DC 注入電流（1 端子当たり）	ロジック端子	I_{IC}	–2.0	—	2.0	mA
	アナログ端子		–3.0	—	3.0	mA
DC 注入電流（総和）		$\Sigma \mid I_{IC} \mid$	–50.0	—	50.0	mA

40.2.9 LVDS ドライバ

表 40.10 DC 特性（LVDS ドライバ特性）

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC、
A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、
ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、
SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

項　　目	記号	Min.	Typ.	Max.	単位	測定条件
出力ハイレベル電圧	V_{OH}	—	—	1525	mV	図 40.1、図 40.2
出力ロウレベル電圧	V_{OL}	875	—	—	mV	
出力差動電圧	V_{OD}	150	—	400	mV	
オフセット電圧	V_{OS}	1075	—	1325	mV	
出力インピーダンス	R0	40	—	140	Ω	



端子P/Nの組み合わせを以下に示します。
・RHSB0FCLP/RHSB0FCLN
・RHSB0SOP/RHSB0SON
・RHSB1FCLP/RHSB1FCLN
・RHSB1SOP/RHSB1SON

図 40.1 LVDS ドライバ Va/Vb 測定条件

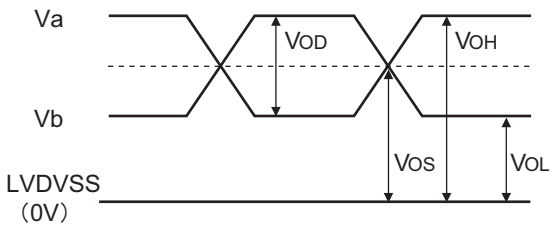


図 40.2 LVDS ドライバ記号説明

40.2.10　入力容量

表 40.11　DC 特性（入力容量）

条件：　EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC、
A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、
ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、
SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V

項　　目		記号	Min.	Typ.	Max.	単位	測定条件
入力容量	すべての端子	C_{in}	—	10	20	pF	Vin = 0 V、 f = 1 MHz、 Tj = 25 ℃

40.2.11 消費電流特性

表 40.12 DC 特性（消費電流）

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC、
A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、
ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、
SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

項 目		記号	Min.	Typ. 注1	Max.	単位	測定条件
コア消費電流（VDD 電源）	通常動作	Idd	—	310	500	mA	320MHz 動作時
			—	240	450	mA	240MHz 動作時
	リセット時電流	Iddrst	10	170	300	mA	
VCC 電源消費電流（EPT 未使用時）注2	通常動作（CodeFlash 消去動作時を除く）	I_{CC}	—	10	23	mA	
	CodeFlash 消去動作時	$I_{cc_cferase}$	—	20	40	mA	
	リセット時電流	I_{ccrst}	3	7	15	mA	
システム系の消費電流（SYSVCC 電源）	通常動作	I_{SYS}	—	0.25	1	mA	
	リセット時電流	I_{sysrst}	0.1	0.3	1	mA	
PLL 消費電流（PLLVCC 電源）		I_{PLL}	2	3.5	5	mA	
RHSB 電源消費電流（LVDVCC 電源）		I_{LVDS}	—	14	24	mA	
アナログ電源電流（A0VCC、A1VCC 電源）		I_{AVCC}	—	3.5	6	mA	
アナログ電源電流（ADSVCC 電源）		I_{ADSVCC}	—	12	15	mA	
ADC 基準電源電流（A0VREFH、A1VREFH）		I_{AVREF}	—	220	500	μA	
ADC 基準電源電流（ADSVREFH）		I_{AVREF_DS}	—	400	1000	μA	

注 1. Tj = 25 ℃のとき
注 2. EPT を使用する場合は、EPT の電流増幅率から EPTVOUT に流れる電流を計算し、その値を VCC に加算してください。

注 意

1. **A/D 変換器を使用しないときおよび A/D 変換器がスタンバイのとき、A0VCC 端子、A1VCC 端子、A0VREFH 端子、A1VREFH 端子、ADSVREFH 端子、ADSVREFL 端子、A0VSS 端子、A1VSS 端子を開放しないでください。**
2. **消費電流値はすべての出力端子を無負荷状態で、V_{IH}min = V_{CC} – 0.5 V/EVCC – 0.5 V、V_{IL} = 0.5 V のときの値です。**

40.2.12 スタンバイ電流

表 40.13 DC 特性（スタンバイ）

条件： EVCC = 0V ～ EVCCstdby1、SYSVCC = SYSVCCLow ～ 3.6V、
その他の電源 0V ～ Operation 電圧、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = –40 ℃～ 150 ℃

項目		記号	Min.	Typ.	Max.	単位	条件
消費電流（SYSVCC 電源）	電源遮断スタンバイ	I_{SB}	—	—	0.4	mA	–40 ℃＜ Tj ≦ 50 ℃
			—	—	0.7	mA	50 ℃＜ Tj ≦ 105 ℃
			—	—	1	mA	105 ℃＜ Tj ≦ 150 ℃

40.2.13 電源電圧モニタ特性

表 40.14 DC 特性（電源電圧モニタ）

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC、
A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、
ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、
SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、
VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

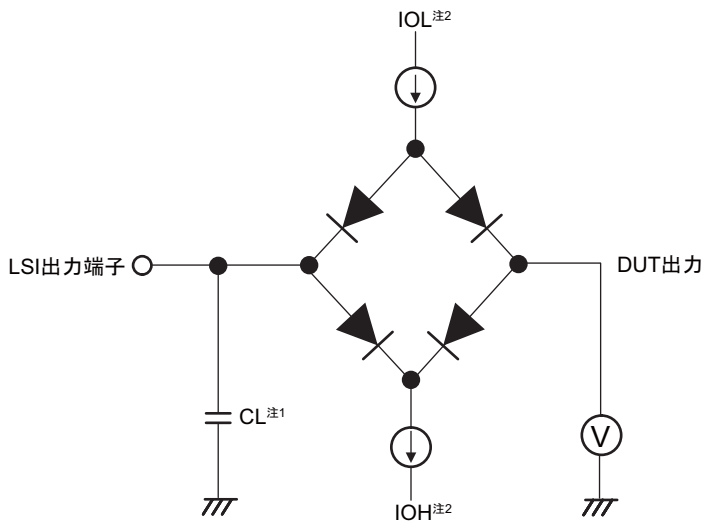
項目			記号	Min.	Typ.	Max.	単位	測定条件
電源電圧モニタ上限電圧	HDETCTL.VDDREFH 1, 0 設定	00	—	1.40	1.50	1.60	V	
電源電圧モニタ下限電圧	LDETCTL.VDDREFL 1, 0 設定	00	—	0.85	0.95	1.05	V	

40.3　AC 特性

- タイミング条件について特に記載がない場合は下記条件を適用します。
  SYSVCC = VCC = PLLVCC = LVDVCC = TTLVCC = 3.0V ～ 3.6V
  EVCC = 4.5V ～ 5.5V、A0VCC = A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5 V ～ A0VCC、
  A1VREFH = 4.5V ～ A1VCC、
  ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、VDD = 1.15 ～ 1.35V、
  VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V、
  Tj = -40 ℃～ 150 ℃

- ポートコントロールレジスタにおいて出力端子のドライバビリティ選択ができるものについては、同一チャネルで使用するモジュールの出力端子をすべて同じドライバビリティに設定した条件を適用します。特に指定のない限り、すべてのドライバビリティ設定を含みます。

- AC 測定条件は、特に記載がないものについては**図 40.3** に従います。
  入力参照レベル　ハイレベル：VIH Min 値、ロウレベル：VIL Max 値
  出力参照レベル　ハイレベル：2.0V、ロウレベル : 0.8V
  入力立ち上がり時間、立ち下がり時間：1ns



注 1.　CL は測定装置の容量も含んだ合計値です。各端子は以下のように設定されています。
　　15pF : FlexRay 端子
　　30pF : CK、NEXUS、JTAG、LDU、AUD RAM モニタ端子
　　50pF : 上記以外の端子
注 2.　IOH = 200μA、IOL=1.6mA

図 40.3　AC 測定条件

40.3.1 電源投入・切断タイミング

(1) EPT 未使用時

表 40.15 電源投入・切断タイミング

項目	略号	Min.	Max.	単位	備考	参照図
電源立ち上げ時の外部リセットL期間	tRESW1	10	—	ms	注 1	図 40.4
電源立ち下げ時の外部リセットL期間	tRESW2	2	—	μs	注 2	
PLL1 ロックアップ時間	tPLL1L0	—	1	ms	注 3	

注 1. tRESW1 は、全電源が立ち上がり内部クロック安定供給に必要となるリセット期間を示します。なお、リセット状態であれば、電源立ち上げ時の各電源間電位差に制限事項はありません。

注 2. tRESW2 は、リセット挿入からいずれかの電源電圧が下限電圧を下回るまでの期間を示します。

注 3. tPLL1L0 は、MOSC が発振安定してから PLL1 がロックアップするのに必要な時間を示します。

注 意

- **電源遮断時のリセット挿入からリセットノイズキャンセル幅 (Max.1.2μs) の期間は、I/O 端子状態はリセットされません。その期間は、端子への中間電位入力または出力データの衝突が起こらないようにしてください。**
- **フラッシュメモリの書き込み／消去中に電源を遮断すると、フラッシュが破損する可能性があります。**

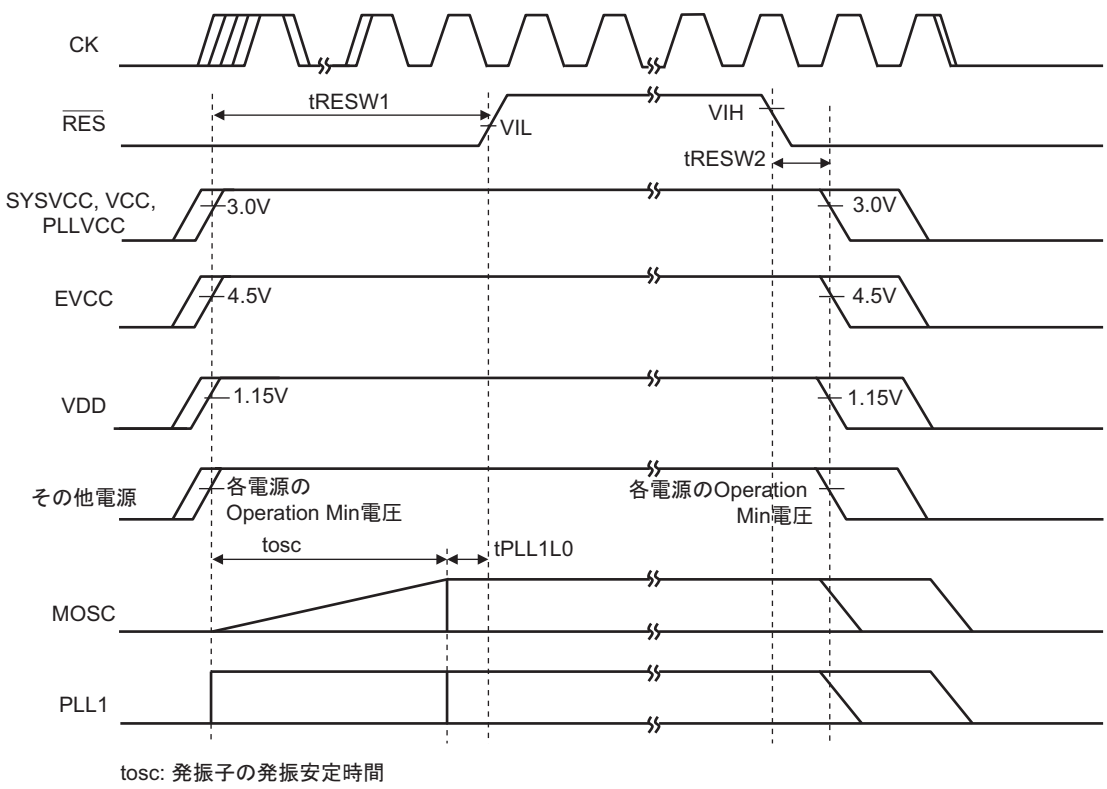


図 40.4 EPT 未使用時の電源投入・切断タイミング

(2) EPT 使用時

表 40.16 電源投入・切断タイミング

項目	略号	Min.	Max.	単位	備考	参照図
電源立ち上げ時の外部リセットL期間	tRESW4	10	—	ms	注1	図 40.5
電源立ち下げ時の外部リセットL期間	tRESW5	2	—	μs	注2	
PLL1 ロックアップ時間	tPLL1L0	—	1	ms	注3	

注 1. tRESW4 は、全電源が立ち上がり内部クロック安定供給に必要となるリセット期間を示します。なお、リセット状態であれば、電源立ち上げ時の各電源間電位差に制限事項はありません。
注 2. tRESW5 は、リセット挿入からいずれかの電源電圧が下限電圧を下回るまでの期間を示します。
注 3. tPLL1L0 は、MOSC が発振安定してから PLL1 がロックアップするのに必要な時間を示します。

注 意

- **電源遮断時のリセット挿入からリセットノイズキャンセル幅 (Max.1.2μs) の期間は、I/O 端子状態はリセットされません。その期間は、端子への中間電位入力または出力データの衝突が起こらないようにしてください。**
- **フラッシュメモリの書き込み／消去中に電源を遮断すると、フラッシュが破損する可能性があります。**

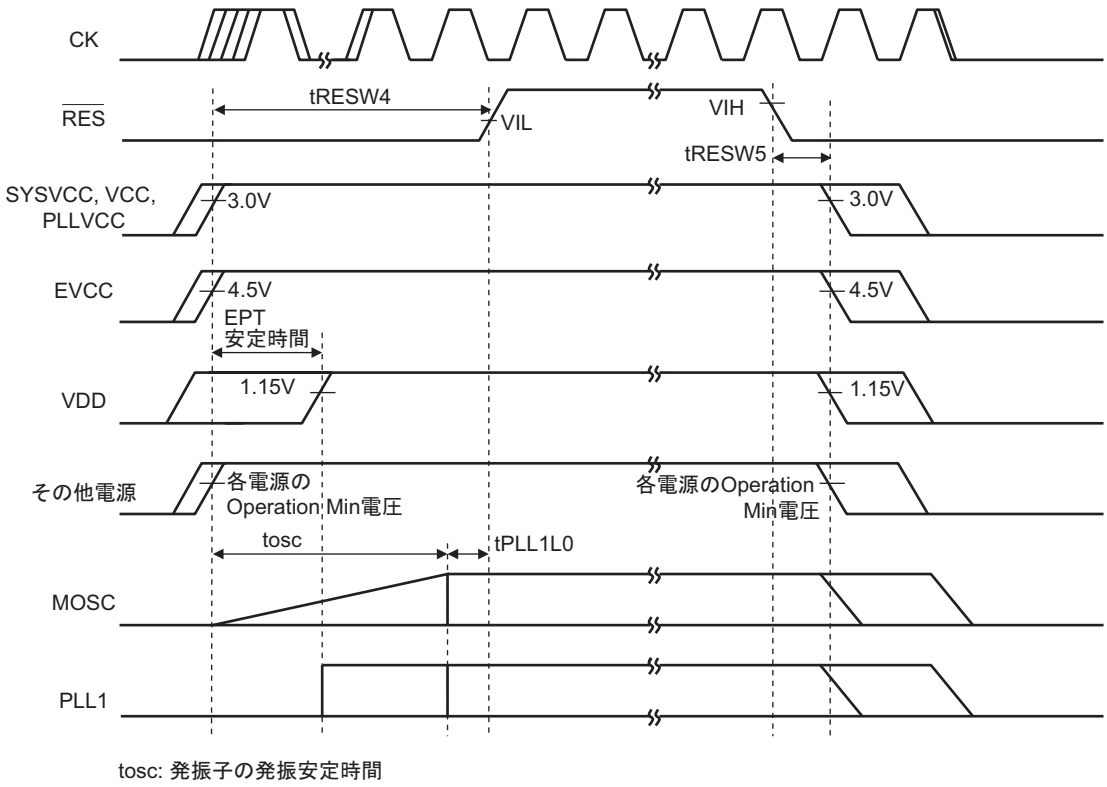


図 40.5 EPT 使用時の電源投入・切断タイミング

40.3.2 スタンバイ移行・復帰タイミング

表 40.17 電源遮断スタンバイタイミング

項目	略号	条件	Min.	Max.	単位	参照図
VCC 電源遮断前リセットアサート期間	tVCC		2	—	μs	図 40.6
VDD 電源遮断前リセットアサート期間	tVDD		2	—	μs	
EVCC 電源遮断前リセットアサート期間	tEVCC		2	—	μs	
VCC/VDD/EVCC 以外の電源 電源遮断前リセットアサート期間	tVoltage		2	—	μs	
電源遮断スタンバイ復帰時リセット保持期間	tRESW3	注 1	tRESW1	—	ms	
		注 2	tRESW4	—	ms	
電源遮断スタンバイ移行 EVCC 電圧	EVCCstdby1	注 3	2.1	—	V	
電源遮断スタンバイ復帰 EVCC 電圧	EVCCstdby2	注 4	—	2.5	V	
電源遮断スタンバイ時 SYSVCC 電圧	SYSVCCLow		2.7	3.6	V	

注 1. EPT 未使用時
注 2. EPT 使用時
注 3. 電源遮断スタンバイモードに移行するための EVCC 電圧を規定しており、EVCCstdby1-min 値以下の電圧にする必要があります。
注 4. 電源遮断スタンバイモードから復帰するための EVCC 電圧を規定しており、EVCCstdby2-max 値以上の電圧にする必要があります。

注 意

FLASH のプログラム / 消去中のリセットに関しては、「RH850/E1x-FCC2 フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編」の規定を守ってください。

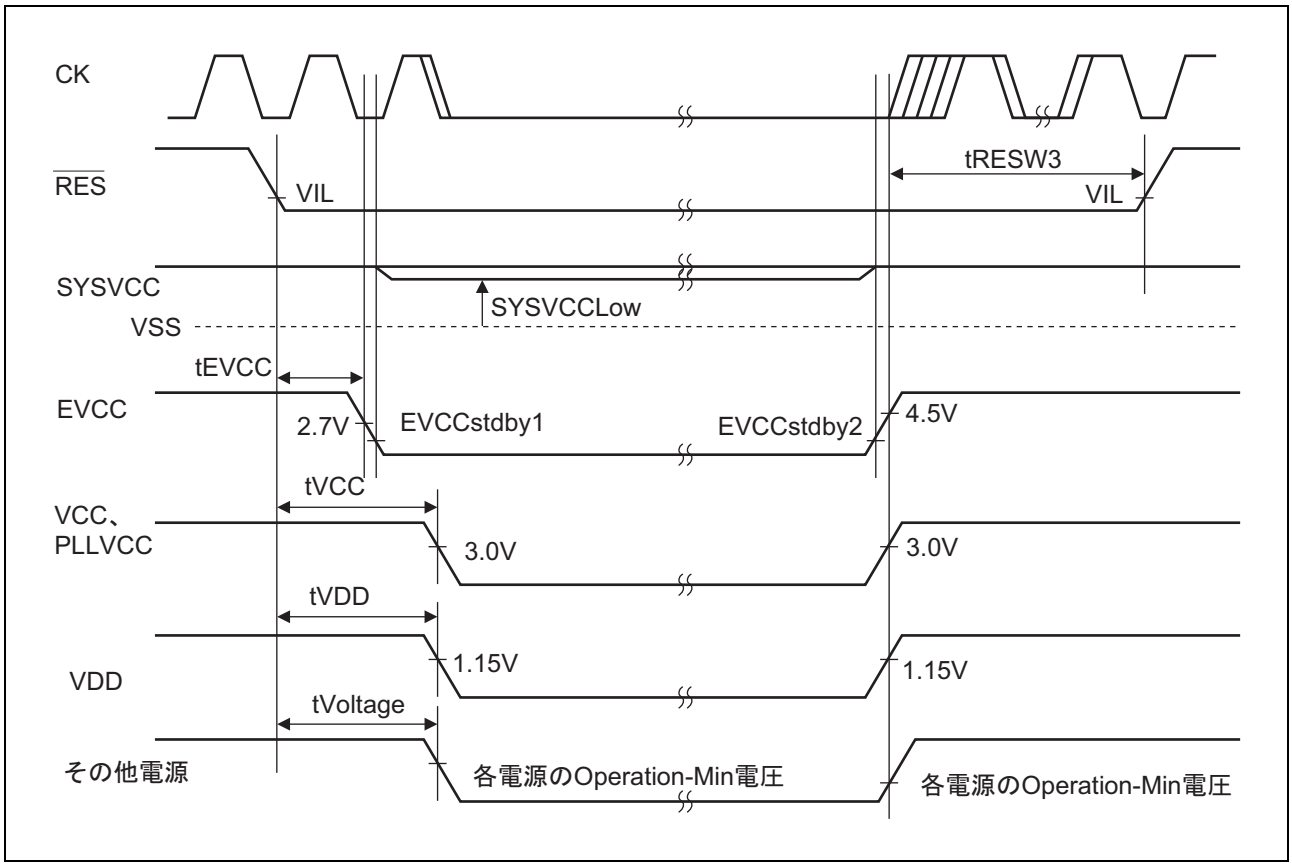


図 40.6 電源遮断スタンバイタイミング

40.3.3 クロックタイミング

40.3.3.1 外部クロックと出力クロック

表 40.18 クロックタイミング

項　　目	記号	Min.	Typ.	Max.	単位	参照図
EXTAL クロック入力周波数	f_{EX}	19.9	—	20	MHz	図 40.7
EXTAL クロック入力ロウレベルパルス幅	t_{EXL}	20	—	—	ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	20	—	—	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	—	—	4	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	—	—	4	ns	
CK クロック周波数注 1	f_{op}	0.995	1	2	MHz	図 40.8
CK クロックロウレベルパルス幅	t_{CL}	230	—	—	ns	
CK クロックハイレベルパルス幅	t_{CH}	230	—	—	ns	
CK クロック立ち上がり時間注 2	t_{CR}	—	—	15	ns	
CK クロック立ち下がり時間注 2	t_{CF}	—	—	15	ns	

注 1. CK 端子から出力するクロックは 1MHz クロック（EXTAL 入力 = 20MHz 時）、ボーレートジェネレータ（BRG）で設定した分周クロックです。クロックジッタの値はボード設計に依存します。

注 2. CL = 30pF

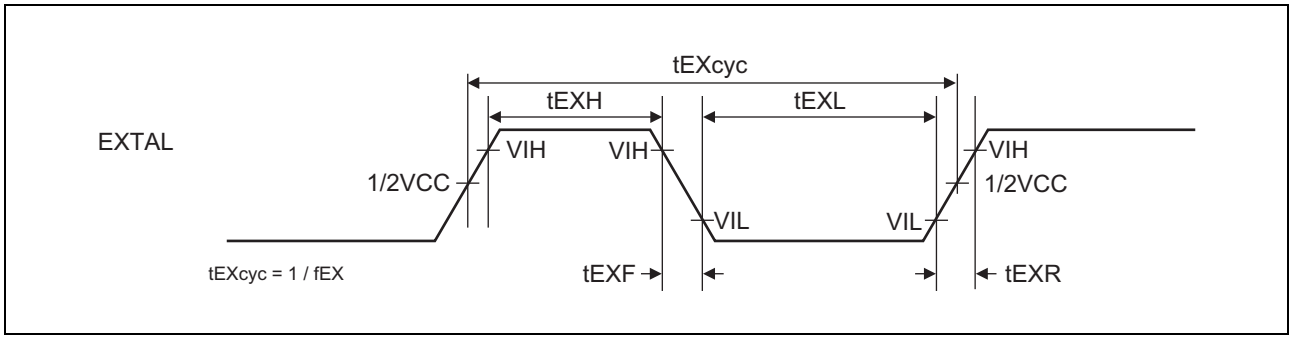


図 40.7 EXTAL タイミング

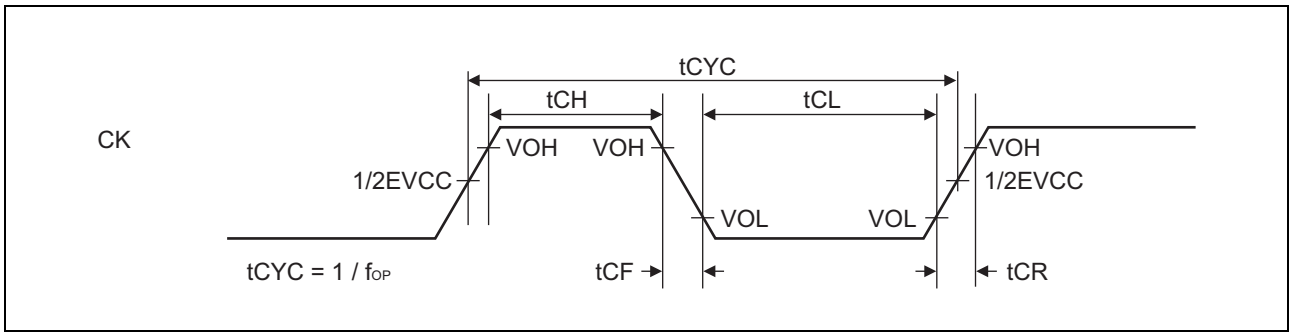


図 40.8 CK タイミング

40.3.3.2　スペクトラム拡散クロックジェネレータ

表 40.19　SSCG タイミング

項　　目	記号	Min.	Typ.	Max.	単位
変調周波数	fmod	20	—	100	kHz
周波数ディザ範囲注 1	fdit	4.1	—	—	%
発振安定時間（OFF → ON）		—	—	1.6	ms

注 1.　変調方式はダウン拡散のみ。

40.3.3.3　オンチップオシレータ発振周波数精度

表 40.20　オンチップオシレータ発振周波数精度

項　　目	記号	Min.	Typ.	Max.	単位
ROSC 発振周波数	fLOCO	160	240	360	kHz

40.3.4 出力スルーレート

EVCC 電源系端子

表 40.21 ドライバビリティ選択 = High

項　　目	記号	条件	Min.	Typ.	Max.	単位	参照図
出力立ち上がり / 立ち下がり時間スルーレート	tR、tF	CL = 25pF	—	4	6	ns	図 40.9
		CL = 50pF	—	6	12	ns	
		CL = 75pF	—	8	16	ns	
		CL = 100pF	—	10	20	ns	

表 40.22 ドライバビリティ選択 = Mid

項　　目	記号	条件	Min.	Typ.	Max.	単位	参照図
出力立ち上がり / 立ち下がり時間スルーレート	tR、tF	CL = 25pF	—	8	15	ns	図 40.9
		CL = 50pF	—	15	30	ns	
		CL = 75pF	—	23	45	ns	
		CL = 100pF	—	30	60	ns	

表 40.23 ドライバビリティ選択 = Low

項　　目	記号	条件	Min.	Typ.	Max.	単位	参照図
出力立ち上がり / 立ち下がり時間スルーレート	tR、tF	CL = 25pF	—	25	50	ns	図 40.9
		CL = 50pF	—	50	100	ns	
		CL = 75pF	—	70	120	ns	
		CL = 100pF	—	85	150	ns	

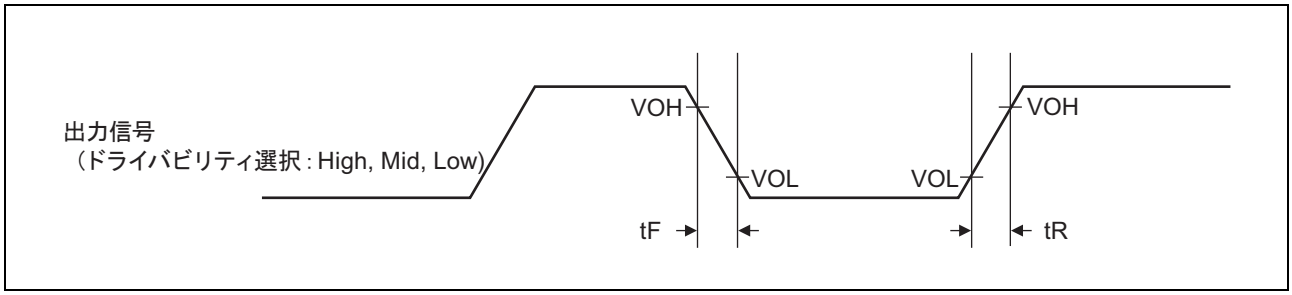


図 40.9 出力信号タイミング

表 40.24 TTLVCC 電源系端子

項　　目	記号	条件	Min.	Typ.	Max.	単位	備考
出力立ち上がり / 立ち下がり時間スルーレート	tR、tF	ドライバビリティ選択＝ High CL = 50pF	—	6	12	ns	10% – 90%
		ドライバビリティ選択＝ Mid CL = 50pF	—	15	30	ns	
		ドライバビリティ選択＝ Low CL = 50pF	—	50	100	ns	

40.3.5 制御信号タイミング

表 40.25 制御信号

項　　目	記号	Min.	Typ.	Max.	単位	参照図
リセットパルス幅注 1	tRESW6	1.5	—	—	μs	図 40.10
リセットノイズキャンセル幅	tRESNCW	0.2	0.4	1.2	μs	
$\overline{\text{TRST}}$ ノイズキャンセル幅	tTRSTNCW	0.2	0.4	1.2	μs	
NMI ノイズキャンセル幅	tNC	0.2	0.4	1.2	μs	
IRQ パルス幅注 2	tIRQ	50	—	—	ns	
動作モードセットアップ時間	tMDS	1	—	—	ms	図 40.11
動作モードホールド時間	tMDH	1	—	—	ms	

注 1. リセットパルス幅は必ず tRESW6 の min 値以上入れてください。
リセットパルス幅がリセットノイズキャンセル幅の min 値未満なら、リセットを受け付けません。
注 2. DNF にてノイズ除去禁止の場合。

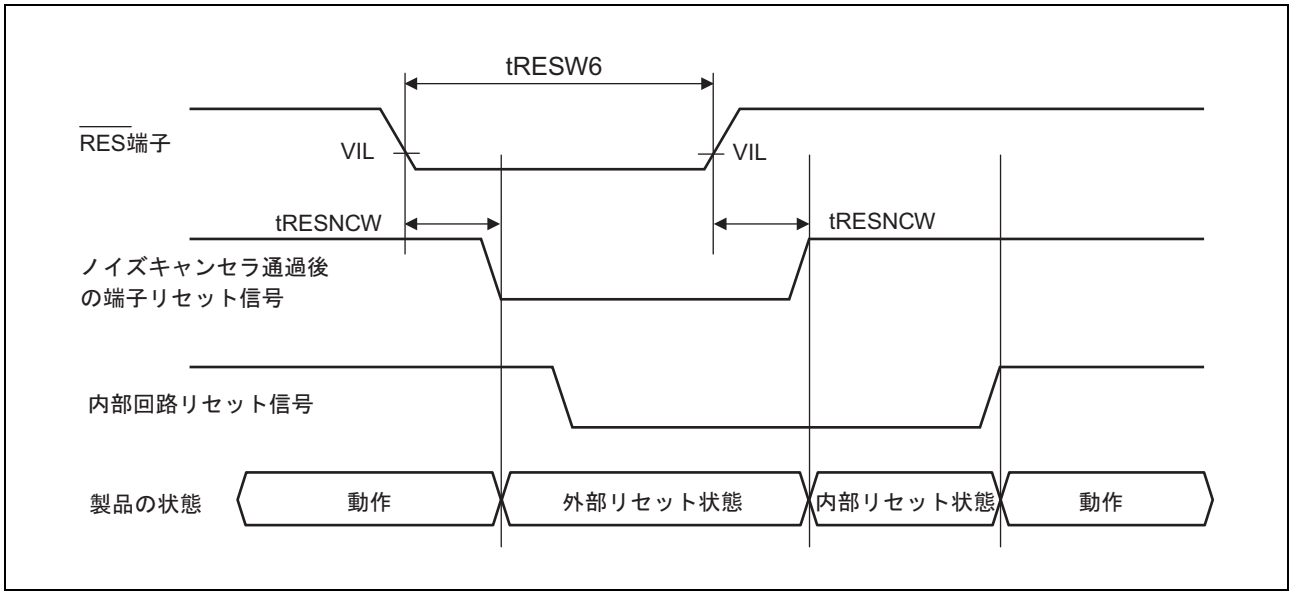


図 40.10 リセットタイミング

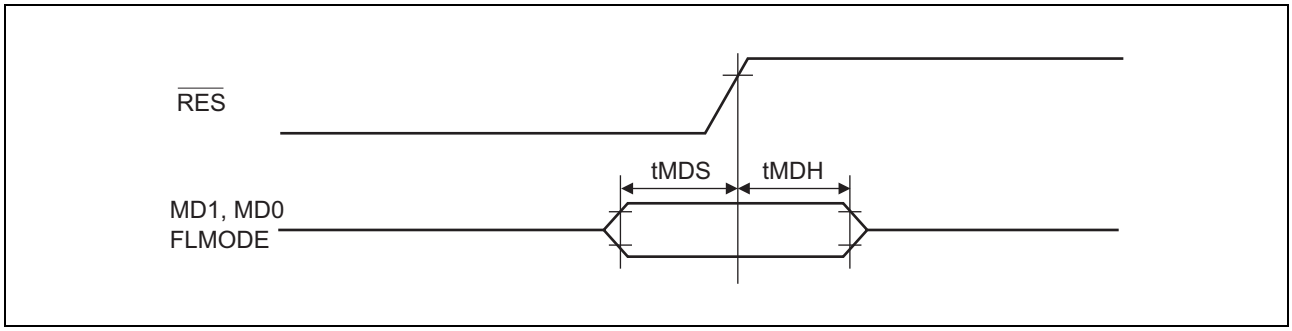


図 40.11 制御信号タイミング

40.3.6 CSIH タイミング

表 40.26 マスターモード時の CSIH タイミング

条件：CL = 50pF、ドライバビリティ選択 = High、EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V

項目	略号	条件	Min.	Max.	単位	参照図
CSIHnTSCK 周期	tKCYM		100	—	ns	図 40.12
CSIHnTSCK ハイレベル幅	tKWHM		(tKCYM/2) – 12	—	ns	
CSIHnTSCK ロウレベル幅	tKWLM		(tKCYM/2) – 12	—	ns	
CSIHnTSI セットアップ時間 (対 CSIHnTSCK)	tSSIM		18	—	ns	
CSIHnTSI ホールド時間 (対 CSIHnTSCK)	tHSIM		10	—	ns	
CSIHnTSO 出力遅延時間 (対 CSIHnTSCK)	tDSOM		—	10	ns	
CSIHnTSO 出力ホールド時間（対 CSIHnTSCK）	tHSOM		tKWHM – 10		ns	
CSIHnTRY セットアップ時間 (対 CSIHnTSCK)	tSRYI	HSE = 1	(2 × tPAck) + 30	—	ns	図 40.13
CSIHnTCSSx インアクティブレベル幅	tWSCSB	注 1	(CSidle + 0.5) × tKCYM – 20	—	ns	図 40.14
		上記以外	CSidle × tKCYM – 20	—	ns	
CSIHnTCSSx セットアップ時間 (対 CSIHnTSCK)	tSSCSB0	DAP = 0	CSsetup × tKCYM – 10	—	ns	
	tSSCSB1	DAP = 1	(CSsetup + 0.5) × tKCYM – 10	—	ns	
CSIHnTCSSx ホールド時間 (対 CSIHnTSCK)	tHSCSB0	SIT = 0	CShold × tKCYM – 10	—	ns	図 40.15
	tHSCSB1	SIT = 1	(CShold + 0.5) × tKCYM – 10	—	ns	

注 1. 通信中にシリアルクロックのレベルが変更された場合、かつ IDLE 設定が 0.5 送信クロックの場合

備考 ・tPAck は CSIH の動作クロック周期を表します。(80MHz SSCG)
・n = 0 ～ 3、x = 0 ～ 5 (n = 0)、x = 0 ～ 3 (n = 1, 2, 3)
・CSsetup : CSIHnCFGx.CSIHnSPx3-0 設定値
・CShold : CSIHnCFGx.CSIHnHDx3-0 設定値
・CSidle : CSIHnCFGx.CSIHnIDx[2:0] 設定値
・DAP : CSIHnCFGx.CSIHnDAPx ビット
・SIT : CSIHnCTL1.CSIHnSIT ビット

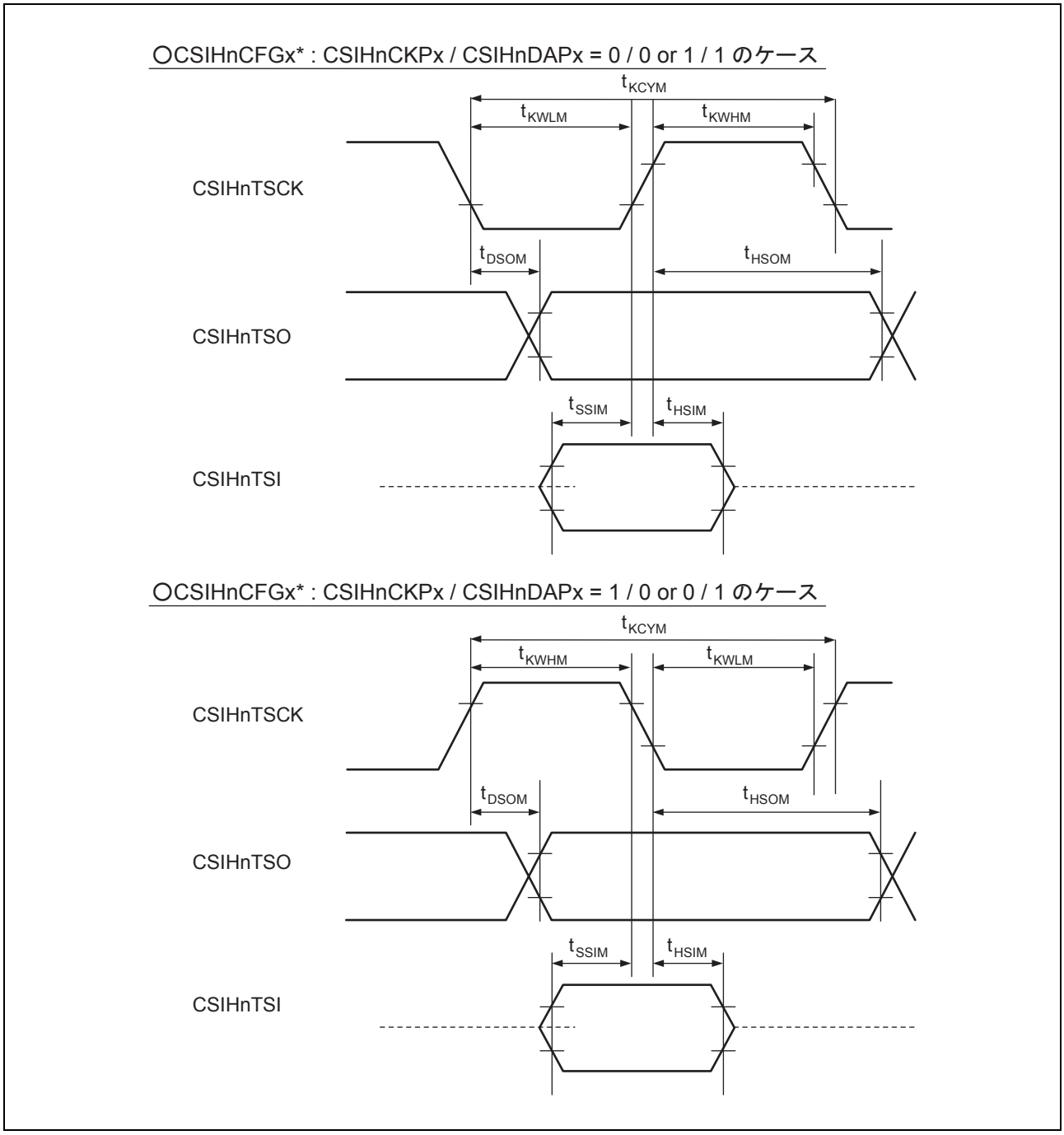


図 40.12　CSIH タイミング（マスタモード）

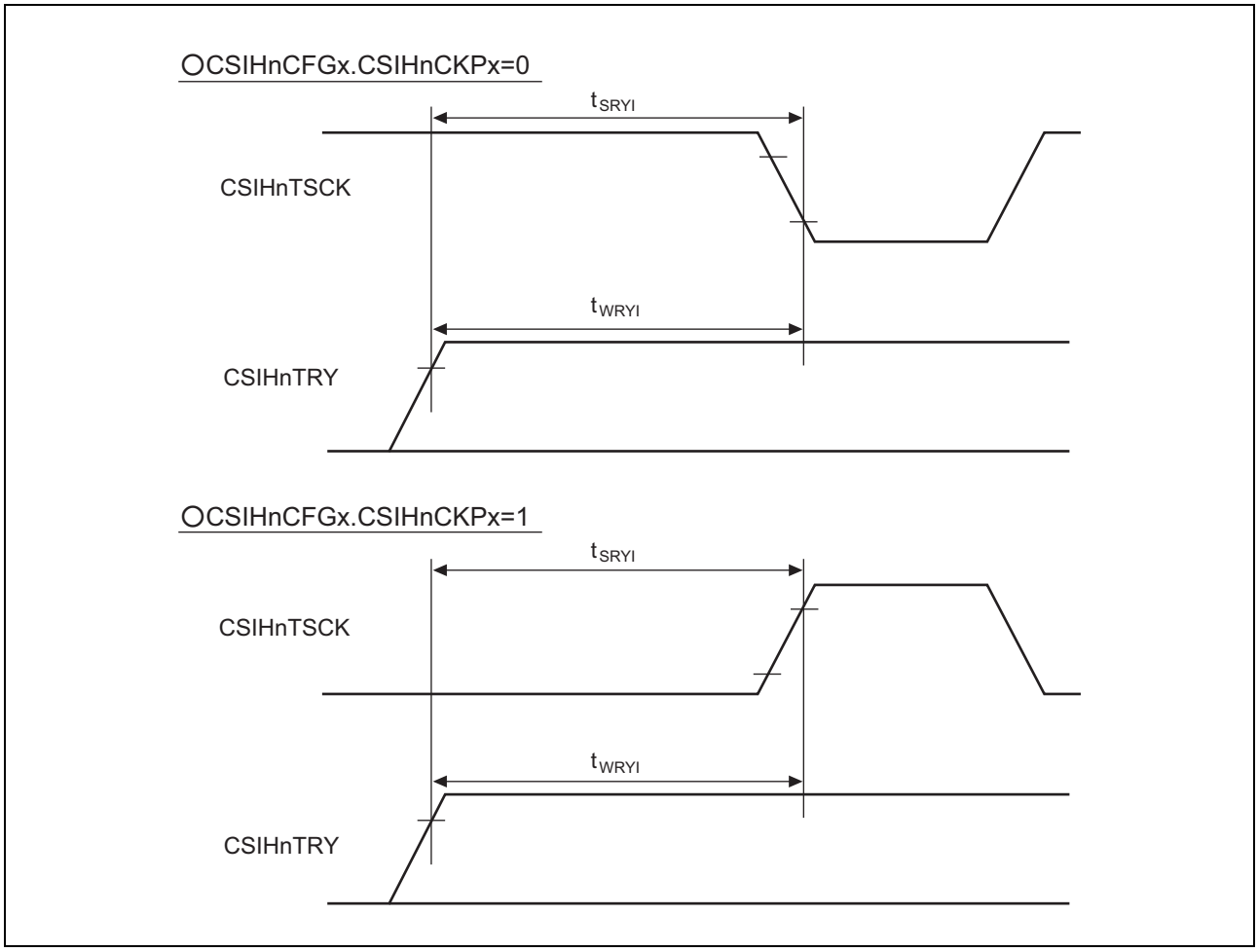


図 40.13 CSIH タイミング（マスタモード）

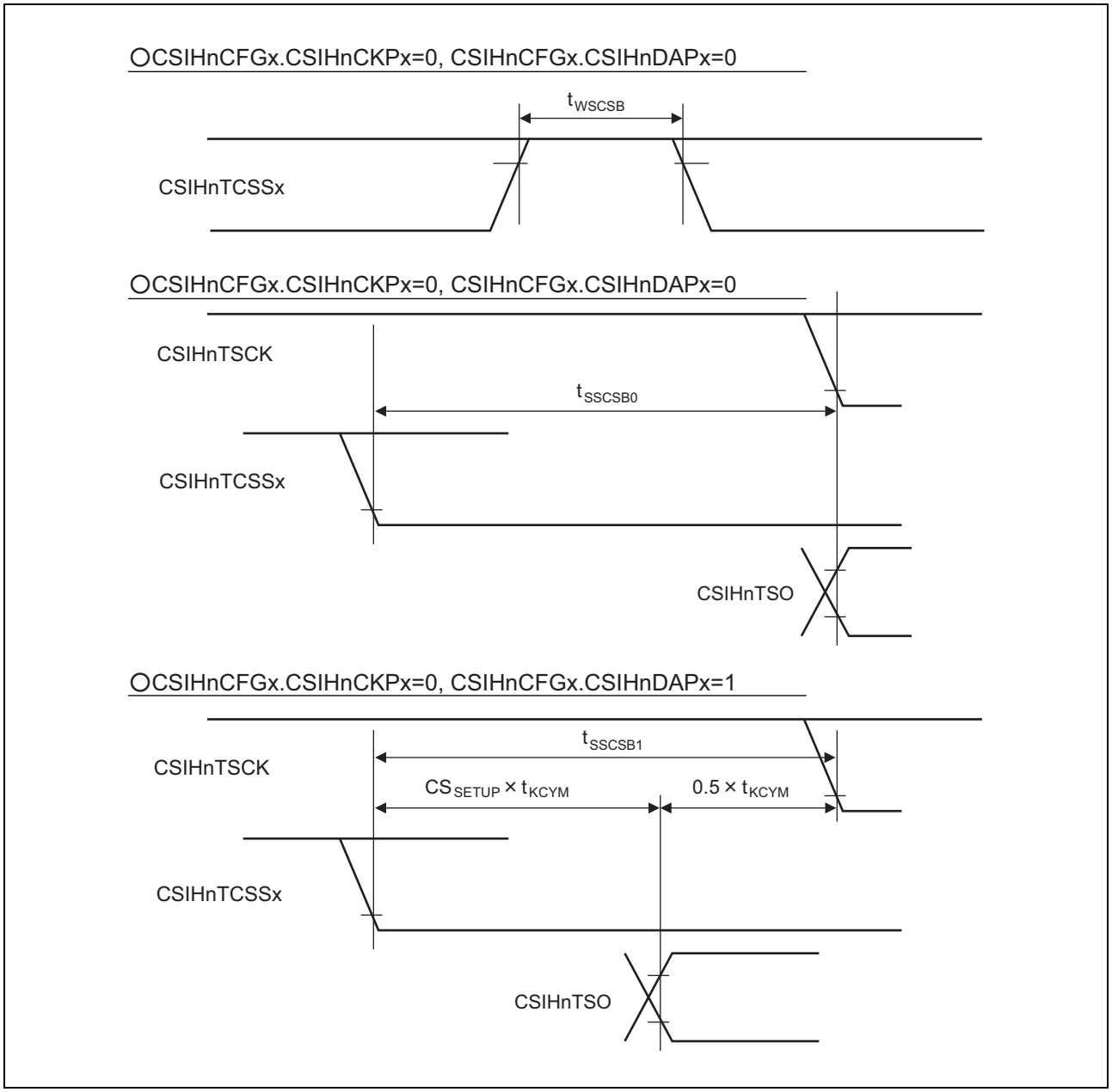


図 40.14 CSIH タイミング（マスタモード）

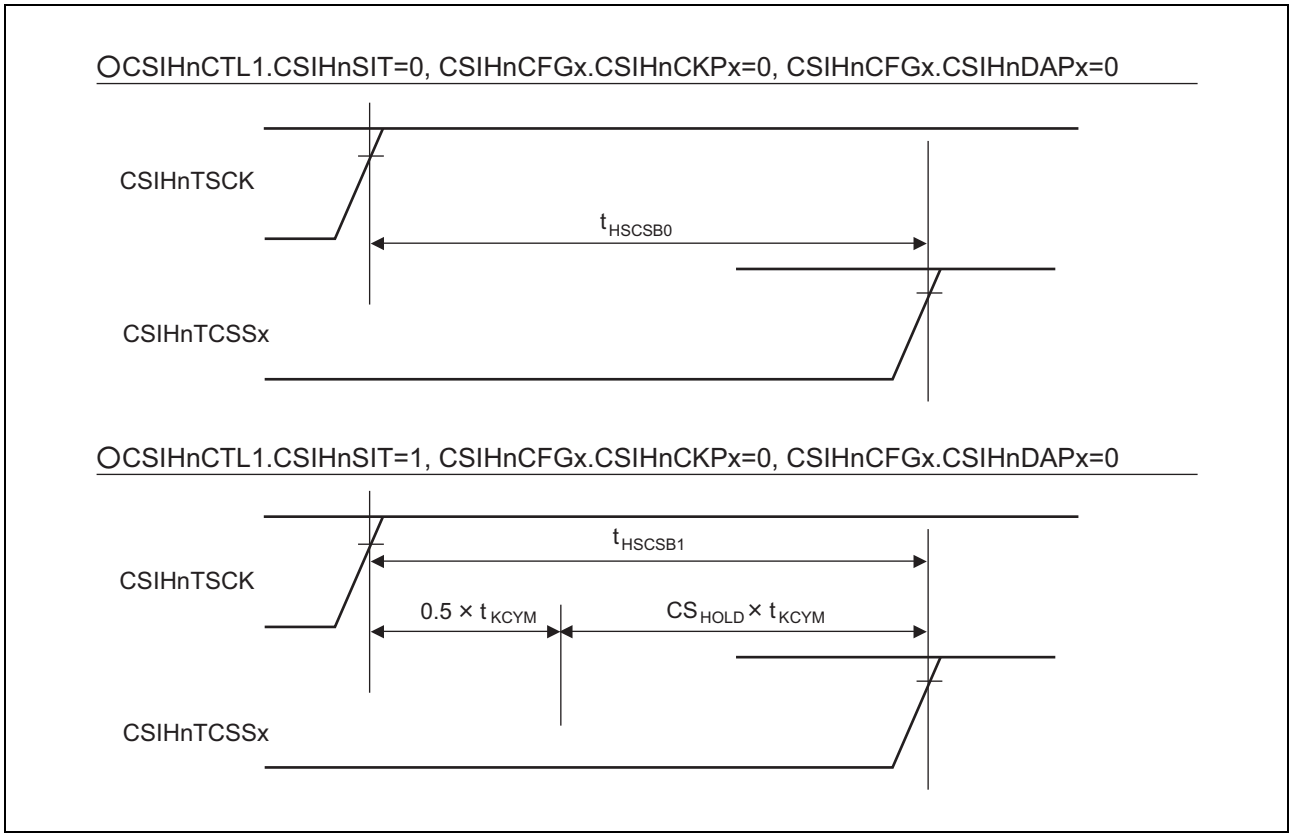


図 40.15 CSIH タイミング（マスタモード）

表 40.27 スレーブモード時の CSIH タイミング

条件：CL = 50pF、ドライバビリティ選択 = High、EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V

項目	略号	条件	Min.	Max.	単位	参照図
CSIHnTSCK 周期	tKCYS		250	—	ns	図 40.16
CSIHnTSCK ハイレベル幅	tKWHS		(tKCYS/2)–30	—	ns	
CSIHnTSCK ロウレベル幅	tKWLS		(tKCYS/2)–30	—	ns	
CSIHnTSI セットアップ時間 (対 CSIHnTSCK)	tSSIS		15	—	ns	
CSIHnTSI ホールド時間 (対 CSIHnTSCK)	tHSIS		tPAck+15	—	ns	
CSIHnTSO 出力遅延時間 (対 CSIHnTSCK)	tDSOS		—	30	ns	
CSIHnTSO 出力ホールド時間 （対 CSIHnTSCK）	tHSOS		tKWHS		ns	
CSIHnTRY 出力遅延時間	tSRYO		—	30	ns	図 40.17
CSIHnTSO スレーブ出力解放時間	tREL			8 × tPAck	ns	
$\overline{\text{CSIHnTSSI}}$ セットアップ時間 (対 CSIHnTSCK)	tSSSIS		0.5 × tKCYS	—	ns	図 40.18
$\overline{\text{CSIHnTSSI}}$ ホールド時間 (対 CSIHnTSCK)	tHSSIS		tPAck + 30	—	ns	

備考 tPAck は CSIH の動作クロック周期をあらわします。(80MHz SSCG)

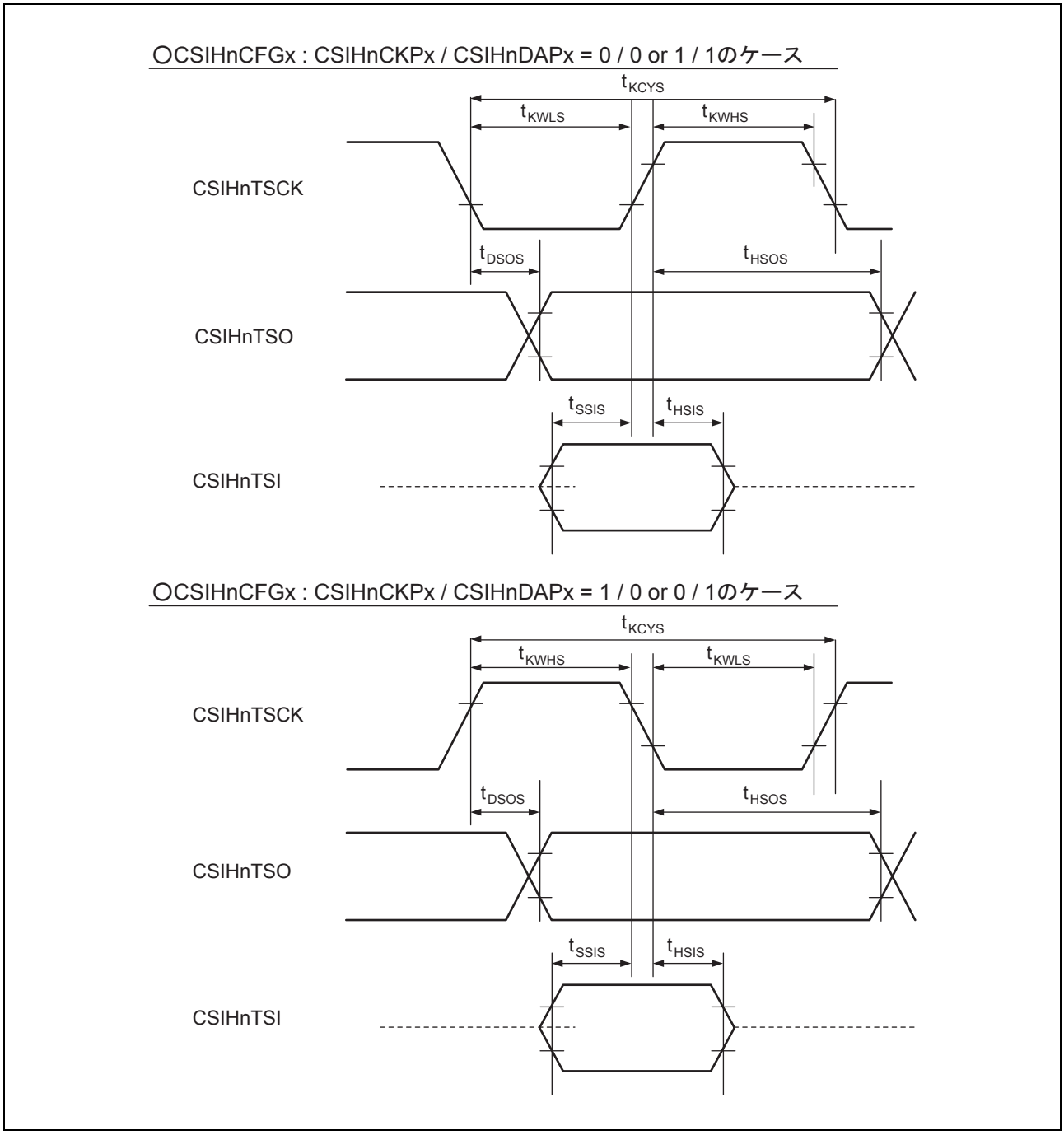


図 40.16　CSIH タイミング（スレーブモード）

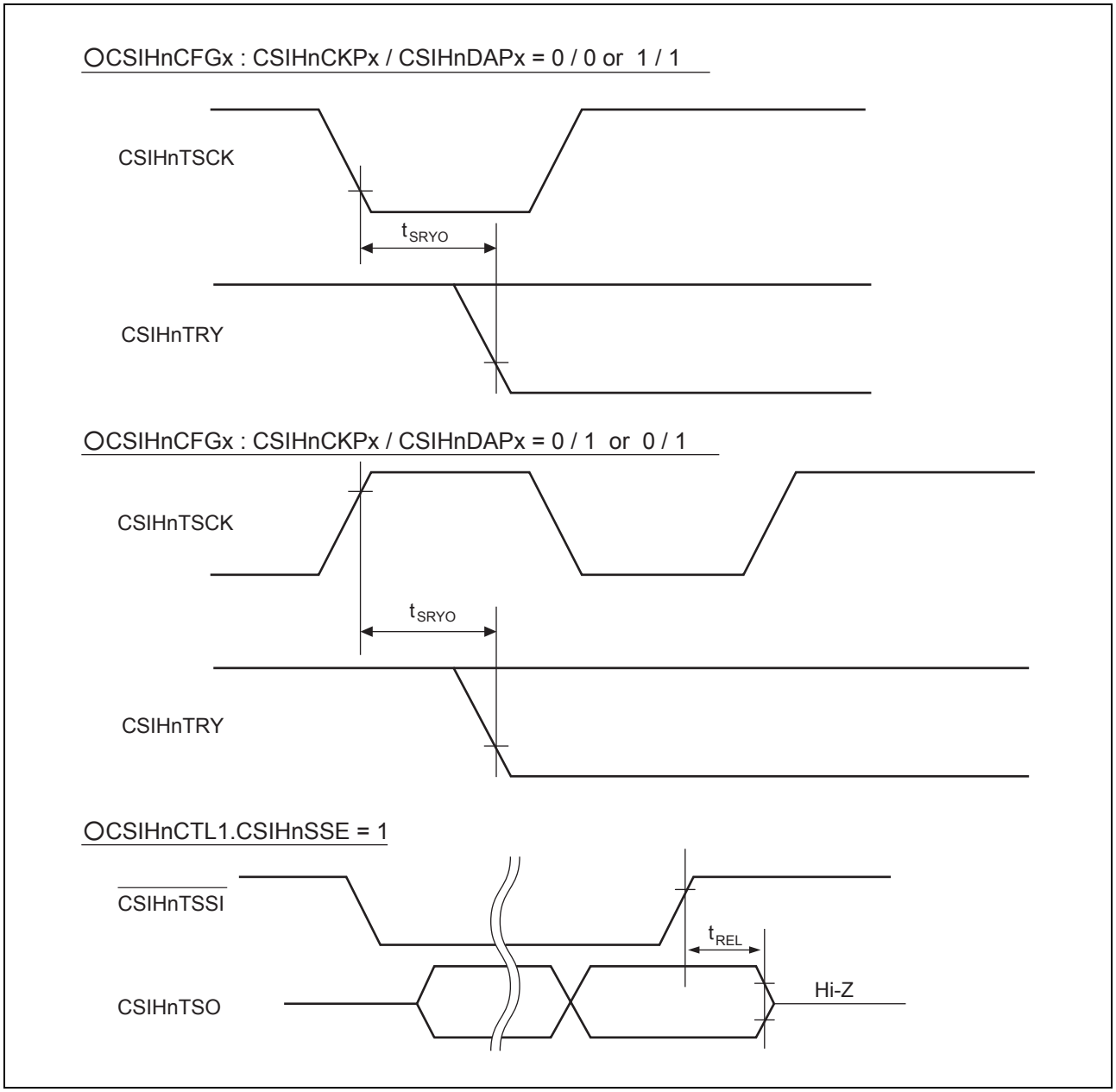


図 40.17 CSIH タイミング（スレーブモード）

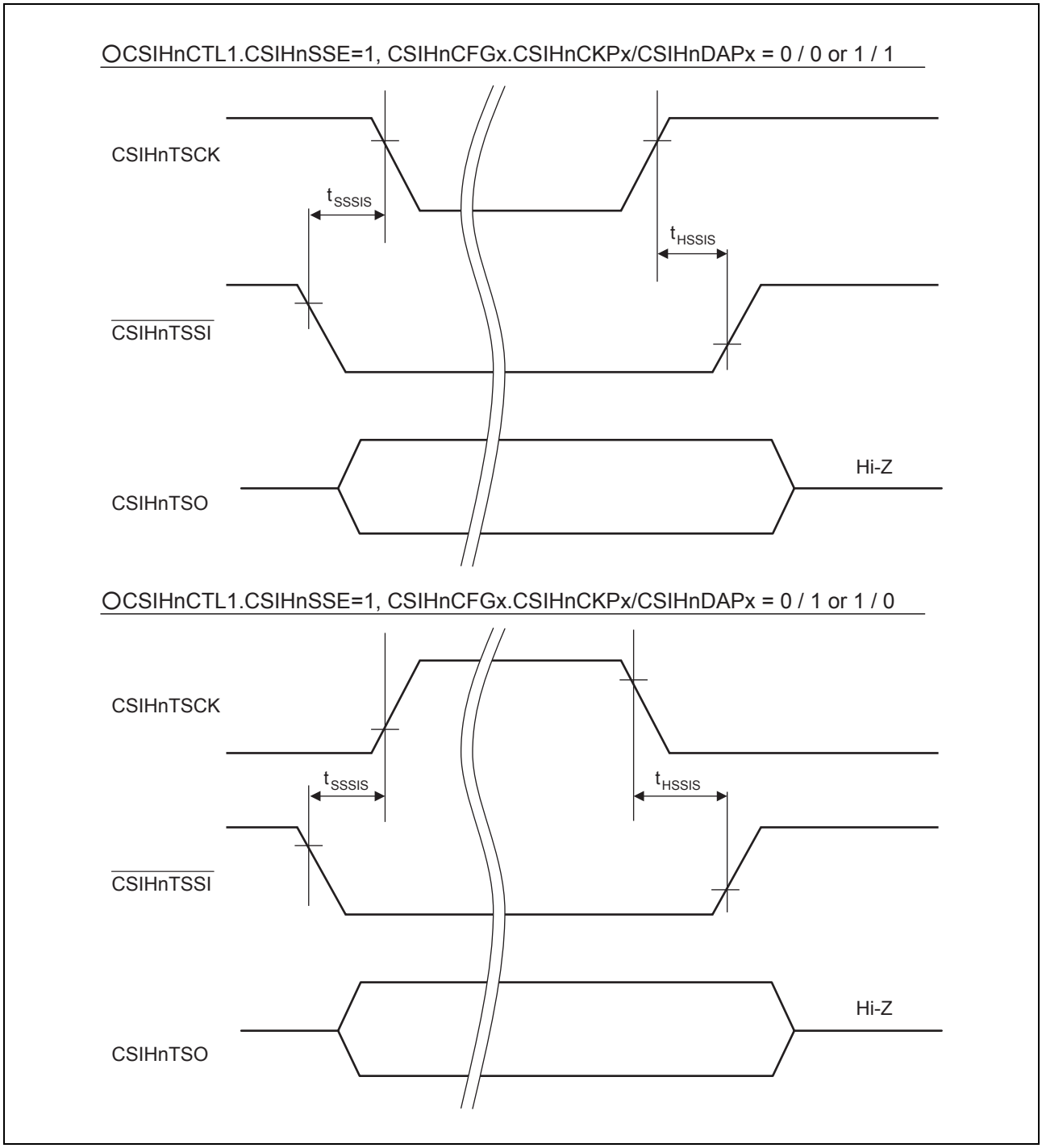


図 40.18 CSIH タイミング（スレーブモード）

40.3.7 SCI3/FLSCI3 タイミング

表 40.28 SCI3 タイミング（マスタモード時）

条件：CL = 50pF、ドライバビリティ選択 = High

項目	略号	条件	Min.	Max.	単位	参照図
出力クロックサイクル	tScyc	調歩同期	16 × tPck	—	ns	**図 40.19**
		クロック同期	8 × tPck	—	ns	
出力クロックパルス幅	tSCKW		0.4 × tScyc	0.6 × tScyc	ns	
送信データ遅延時間	tTXD	クロック同期	– 40	40	ns	**図 40.20**
受信データセットアップ時間	tRXS	クロック同期	2 × tPck	—	ns	
受信データホールド時間	tRXH	クロック同期	2 × tPck	—	ns	

備考 tPck は SCI3 の動作クロック周期を表します (40MHz CleanClock)。

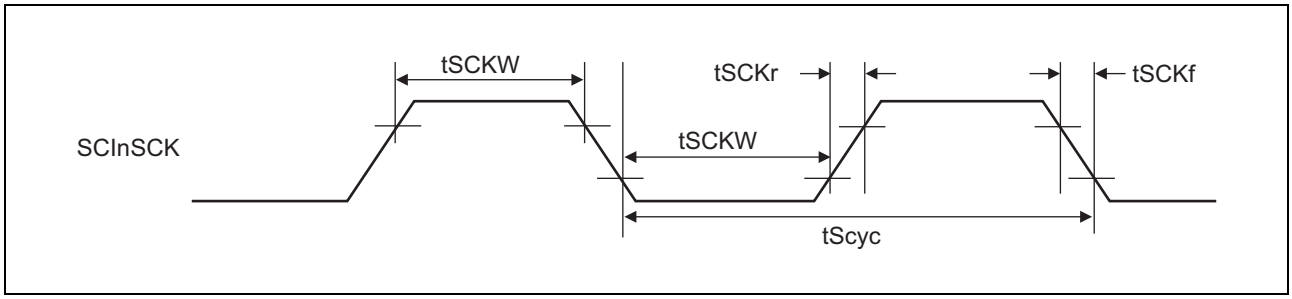


図 40.19 SCI3 クロック入出力タイミング

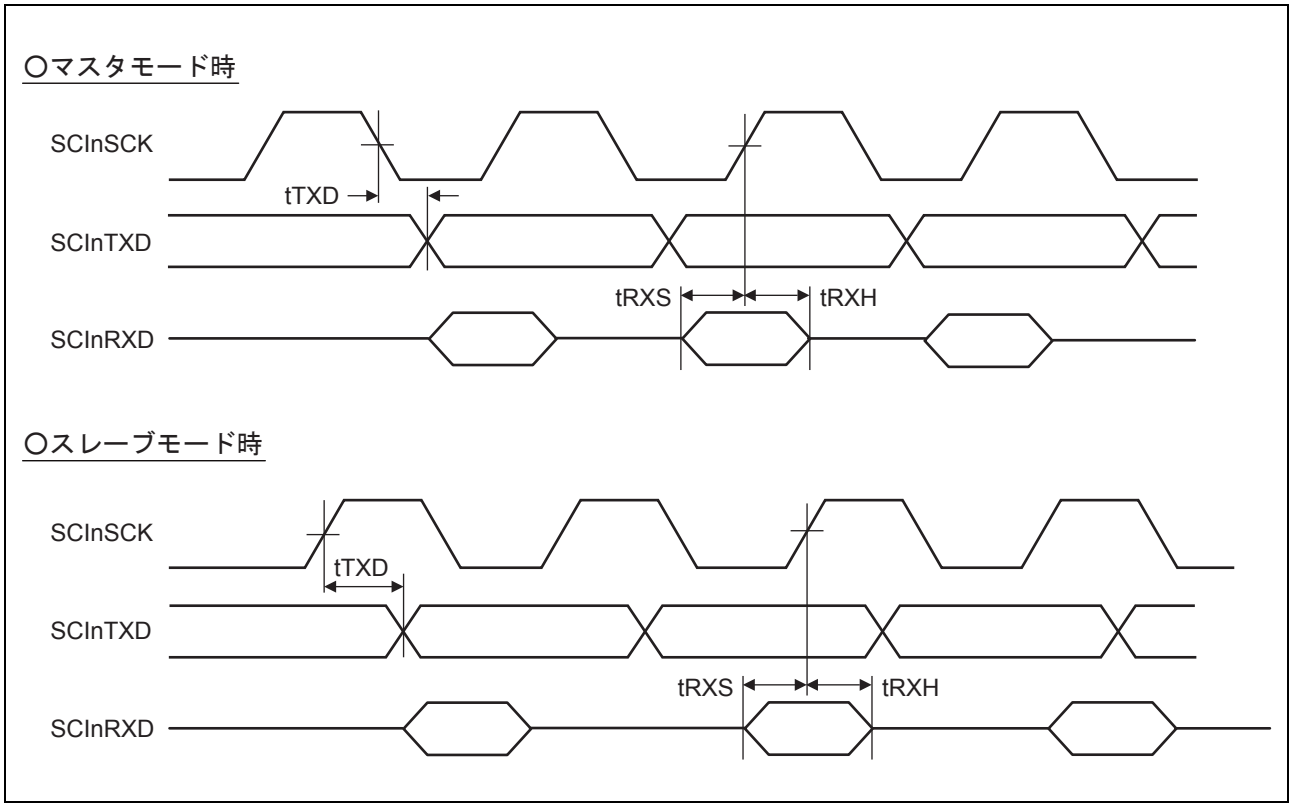


図 40.20 SCI3 入出力タイミング / クロック同期式モード

表 40.29 SCI3 タイミング（スレーブモード時）

条件：CL = 50pF、ドライバビリティ選択 = High

項目	略号	Min.	Max.	単位	参照図
入力クロックサイクル	tScyc	8 × tPck	—	ns	図 40.19
入力クロックパルス幅	tSCKW	0.4 × tScyc	0.6 × tScyc	ns	
入力クロック立ち上がり時間	tSCKr	—	20	ns	
入力クロック立ち下がり時間	tSCKf	—	20	ns	
送信データ遅延時間	tTXD	2 × tPck	50 + 3 × tPck 注 1	ns	図 40.20
受信データセットアップ時間	tRXS	2 × tPck	—	ns	
受信データホールド時間	tRXH	2 × tPck	—	ns	

注 1. 連続転送でない Data0（1st bit）以外が対象です。
連続転送でない Data0（1st bit）の送信は TDRE = 0 と同時に開始されます。

備考 tPck は SCI3 動作クロック周期を意味します。（40MHz CleanClock）

40.3.8 FlexRay タイミング

表 40.30 FlexRay タイミング

条件：CL = 15pF、ドライバビリティ選択 = High

項目	略号	条件	Min.	Max.	単位	参照図
FRTxD 送信データ立ち上がり時間	tCTXr		—	2.5	ns	図 40.21
FRTxD 送信データ立ち下がり時間	tCTXf		—	2.5	ns	

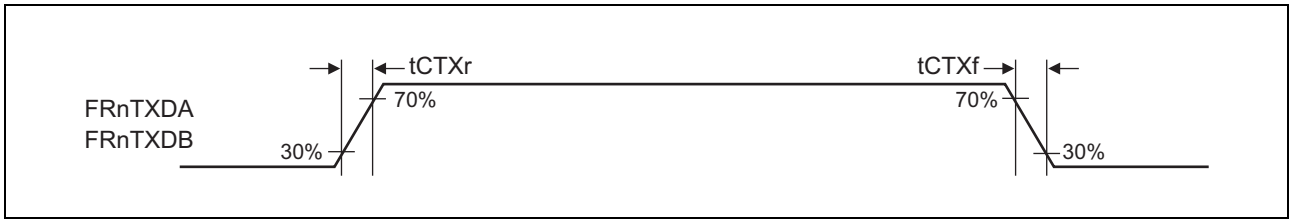


図 40.21 FlexRay タイミング

40.3.9 RS-CANFD タイミング

表 40.31 RS-CANFD タイミング

条件：CL = 50pF、ドライバビリティ選択 = High

項目	略号	Min.	Max.	単位	参照図
転送レート	—	—	5	Mbps	図 40.22
内部遅延時間	tNODE	—	50	ns	

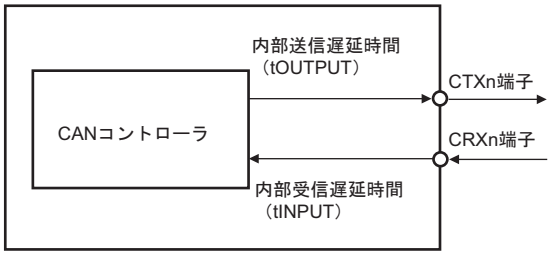


図 40.22 RS-CANFD の内部遅延時間の定義
内部遅延時間 (tNODE) = tOUTPUT + tINPUT

40.3.10 TSG2 タイミング

表 40.32 TSG2 タイミング

項目	略号	条件	Min.	Max.	単位	参照図
入力ハイレベル幅	tTIH	TAPTS00 ～ TAPTS02 TAPTS10 ～ TAPTS12 ESO2、ESO3	1.5 × tPck	—	ns	**図 40.23**
入力ロウレベル幅	tTIL	TAPTS00 ～ TAPTS02 TAPTS10 ～ TAPTS12 ESO2、ESO3	1.5 × tPck	—	ns	

備考 tPck は TSG2 が動作するクロック周期を示します。

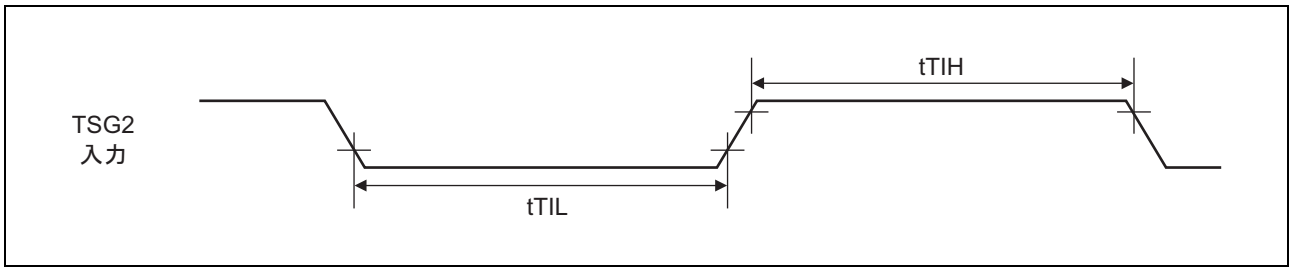


図 40.23 TSG2 タイミング

40.3.11 RHSB タイミング

表 40.33 RHSB タイミング

条件： LVDVCC = TTLVCC = 3.3V ± 0.3V
もしくは LVDVCC = 3.3 ± 0.3V、TTLVCC = 5.0 ± 0.5V
CL = 50pF

項目	略号	条件	Min.	Max.	単位	参照図
RHSBnFCL クロックサイクル	tFCLcyc		25	—	ns	図 40.24
RHSBnFCL ハイ期間	tFCLWH		0.45 × tFCLcyc	0.55 × tFCLcyc	ns	
RHSBnFCL ロウ期間	tFCLWL		0.45 × tFCLcyc	0.55 × tFCLcyc	ns	
RHSBnSO/RHSBnCSDx 出力遅延時間	tSOD		–0.25 × tFCLcyc	0.25 × tFCLcyc	ns	
RHSBnSI 立ち上がり時間	tSIr	10 ～ 90%	—	0.5 × tFCLcyc	ns	
RHSBnSI 立ち下がり時間	tSIf	10 ～ 90%	—	0.5 × tFCLcyc	ns	
RHSBnSI 1 ビット長	tSIW		8 × tFCLcyc	—	ns	

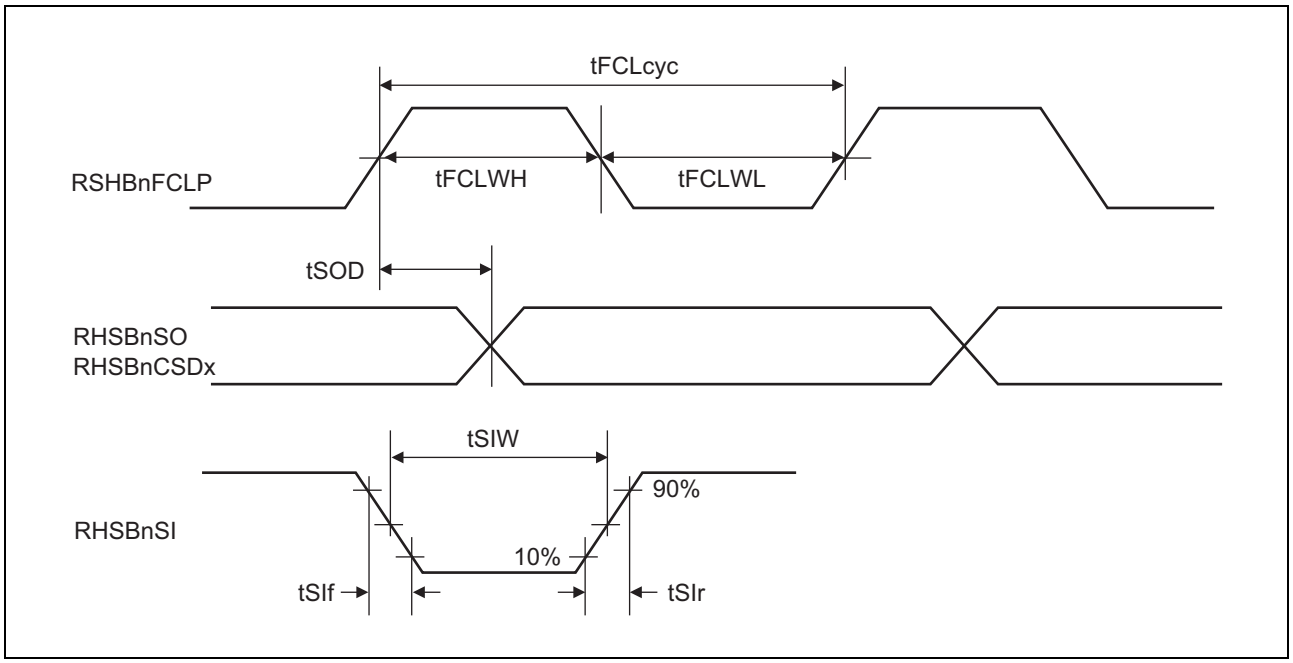


図 40.24 RHSB タイミング

注 意

1. **下記端子は LVDS として使用しない場合は、RHSB*N 端子をオープンにしてください。その際の端子負荷容量は 0.2pF 以下としてください。**
   ＜端子ペア＞
   ・RHSBnFCLN/RHSBnFCLP (n = 0, 1)
   ・RHSBnSON/RHSBnSOP (n = 0, 1)
2. **RHSBnCSDx は、出力端子のドライバビリティを Mid または Low を選択すると SPEC を満たしません。P13_0/P13_1/P13_5/P13_6 を RHSB 端子として使用する場合は、ドライバビリティを High 設定にする必要があります。**

40.3.12 JTAG、NEXUS タイミング

表 40.34 JTAG、NEXUS タイミング

条件：Tj = -40 ℃～ 150 ℃、CL = 30pF

項目	略号	条件	Min.	Max.	単位	参照図
TCK サイクルタイム	tTCKW		40	—	ns	図 40.25
TCK ハイレベル幅	tTCKWH		16	—	ns	
TCK ロウレベル幅	tTCKWL		16	—	ns	
TMS、TDI セットアップ時間（～ TCK ↑）	tTISU		12	—	ns	
TMS、TDI ホールド時間（～ TCK ↑）	tTIH		12	—	ns	
TDO 出力遅延時間（～ TCK ↓）	tTDOD		—	tTCKW– 20	ns	
$\overline{\text{DRDY}}$ 出力遅延時間（～ TCK ↓）	tRDYD		—	tTCKW – 20	ns	
$\overline{\text{TRST}}$ ロウレベル幅	tTRSTWL		1200	—	ns	
TCK、$\overline{\text{TRST}}$、TMS、TDI 入力立ち上がり時間	tTIR		—	12	ns	
TCK、$\overline{\text{TRST}}$、TMS、TDI 入力立ち下がり時間	tTIF		—	12	ns	

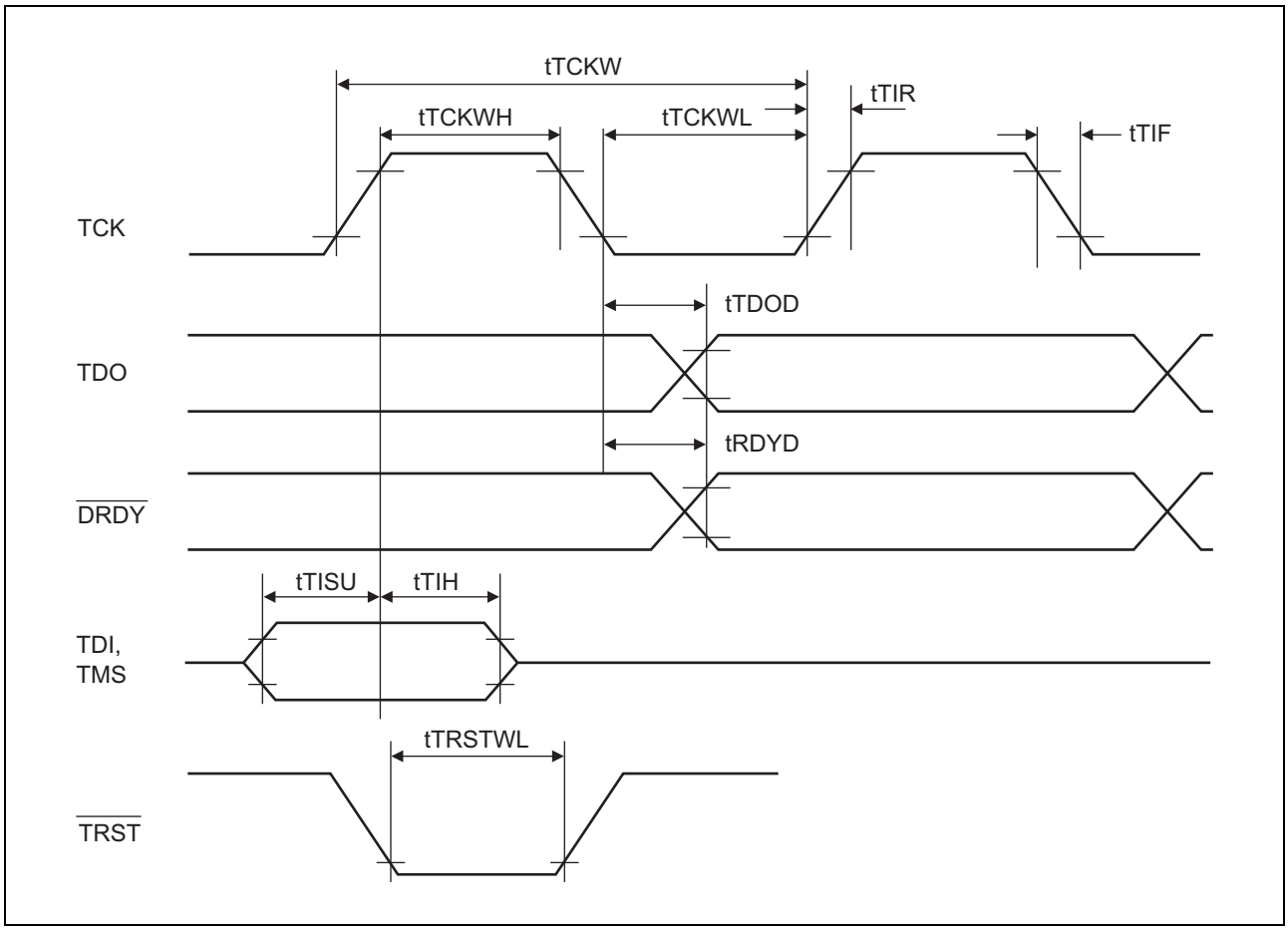


図 40.25 JTAG、NEXUS タイミング

40.3.13 LDU4 線式タイミング

表 40.35 LDU4 線式タイミング

条件：Tj = -40 ℃～ 150 ℃、CL = 30pF

項目	略号	条件	Min.	Max.	単位	参照図
LPDCLK サイクルタイム	tLPDCKW		25	—	ns	図 40.26
LPDCLK ハイレベル幅	tLPDCKWH		4.5	—	ns	
LPDCLK ロウレベル幅	tLPDCKWL		4.5	—	ns	
LPDCLK 入力立ち上がり時間	tLPDCKR		—	8	ns	
LPDCLK 入力立ち下がり時間	tLPDCKF		—	8	ns	
LPDI セットアップ時間（～ LPDCLK ↑）	tLPDSU		2	—	ns	
LPDI ホールド時間（～ LPDCLK ↑）	tLPDH		2	—	ns	
LPDCLKO サイクルタイム	tLPDCKOW		25	—	ns	
LPDCLKO ハイレベル幅	tLPDCKOWH		4.5	—	ns	
LPDCLKO ロウレベル幅	tLPDCKOWL		4.5	—	ns	
LPDCLKO 立ち上がり時間	tLPDCKOR		—	8	ns	
LPDCLKO 立ち下がり時間	tLPDCKOF		—	8	ns	
LPDO 出力遅延（～ LPDCLKO ↑）	tLPDOD		0	12	ns	

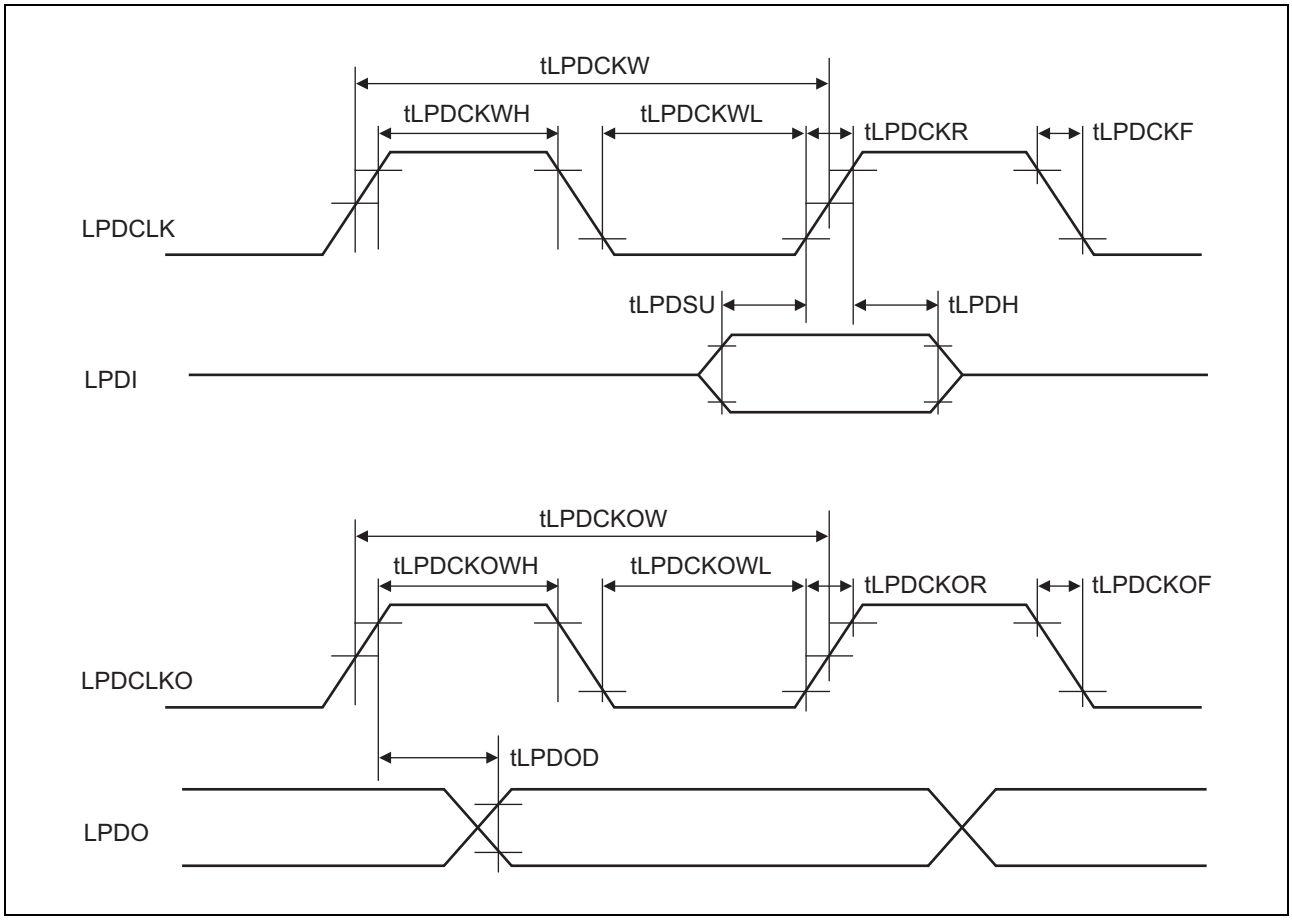


図 40.26 LDU4 線式タイミング

40.3.14 AUD RAM モニタ

表 40.36 AUD RAM モニタタイミング

条件：Tj = -40 ℃～ 125 ℃、CL = 30pF

項目	略号	Min.	Max.	単位	参照図
AUDCK サイクル時間（モニタモード）	tAUCKMcyc	50	—	ns	図 40.27
AUDCK ハイレベル幅（モニタモード）	tAUCKMH	0.4		tAUCKMcyc	
AUDCK ロウレベル幅（モニタモード）	tAUCKML	0.4		tAUCKMcyc	
$\overline{\text{AUDRST}}$ セットアップ時間（モニタモード）	tAMRSTMS	30		ns	
$\overline{\text{AUDRST}}$ パルス幅（モニタモード）	tAURSTMW	5		tAUCKMcyc	
モニタデータ出力遅延時間	tAUDTMD	—	35	ns	
モニタデータ入力セットアップ時間	tAUDTMS	15		ns	
モニタデータ入力ホールド時間	tAUDTMH	5		ns	
$\overline{\text{AUDSYNC}}$ 入力セットアップ時間	tAUDSYS	15		ns	
$\overline{\text{AUDSYNC}}$ 入力ホールド時間	tAUDSYH	5		ns	

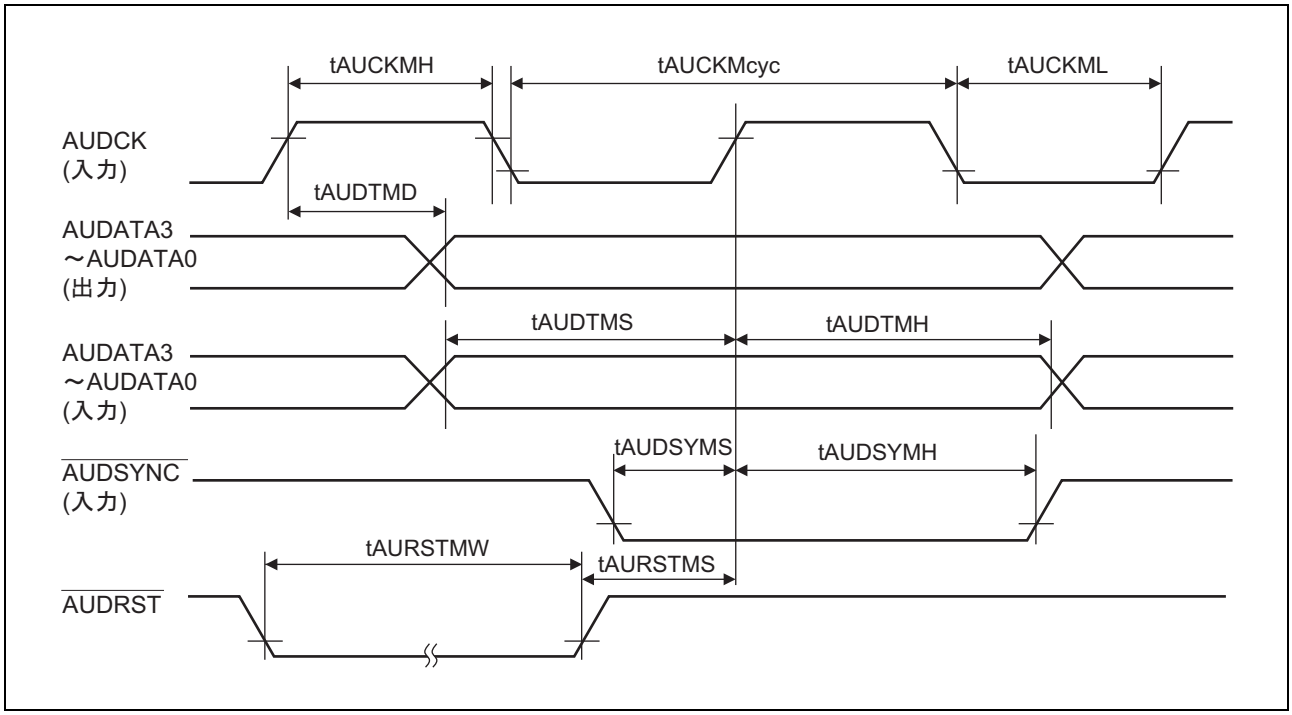


図 40.27 AUD RAM モニタタイミング

40.4 A/D 変換器特性

表 40.37 ADC 変換器特性

項 目		記号	Min.	Typ.	Max.	単位	参照図
デジタル分解能		—	—	12	—	bit	
電圧分解能注 1		—	1.10	1.22	1.34	mV	
A/D 変換時間		—	—	1.0	—	μs	
非直線性誤差		—	—	—	±4.0	LSB	
オフセット誤差		—	—	—	±7.5	LSB	
フルスケール誤差		—	—	—	±7.5	LSB	
量子化誤差		—	—	—	±0.5	LSB	
絶対誤差		—	—	—	±8.0	LSB	
自己診断時の絶対誤差	A/D 変換回路自己診断機能使用時	—	—	—	±8.0	LSB	
	端子レベル自己診断機能使用時	—	—	—	±40	LSB	
アナログ入力容量	待機中	—	—	—	10	pF	
	サンプリング中	—	—	—	20	pF	
許容アナログ信号源インピーダンス		—	—	—	3	kΩ	
T&H 保持時間		—	—	—	10	μs	
入力電圧範囲	T&H 未使用時	—	0	—	A0VREFH, A1VREFH	V	
	T&H 使用時	—	0.2	—	A0VREFH, A1VREFH – 0.2	V	

注 1. AnVREFH (n = 0, 1) = 4.5 V の場合、分解能は 1.10 mV です。AnVREFH (n = 0, 1) = 5.5 V の場合、分解能は 1.34 mV です。

注 意

端子レベル自己診断機能使用時にアナログ入力端子に注入電流が注入された場合、注入電流が注入されたアナログ入力端子に対応するチャネルの診断電圧の変換精度は保証できません。

- A/D 変換器の外付け回路による誤差について

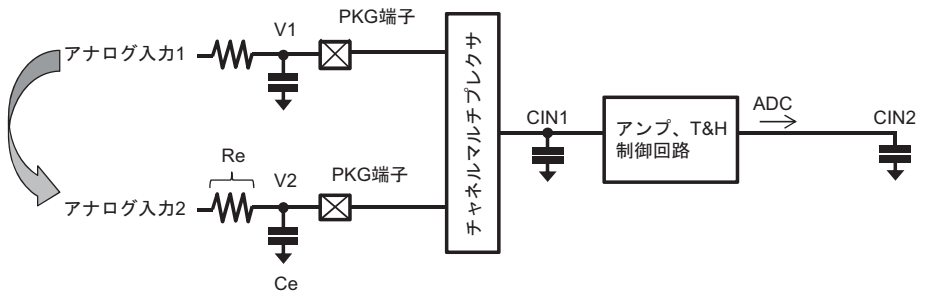
  以下に、A/D 変換器の外付け回路によるサンプリング誤差式について示します。

  サンプリング誤差は入力回路、変換周期に依存します。誤差式は LSI 内部の寄生容量、AMP オフセット、信号源抵抗、変換周期を考慮してサンプリング誤差を計算するための簡易式です。誤差式を利用することで、信号源抵抗、変換周期がサンプリング誤差に与える影響度が計算できます。

  下図においてアナログ入力 1, 2 の順で A/D 変換を行った際のアナログ入力 2 の誤差式は下記の通りです。

$$\text{変換誤差(LSB)}=\left[\left(\frac{|V2-V1|\times CIN1}{Ce+CIN1}+\frac{|Vvfaerr|\times CIN2}{Ce+CIN2}\right)\times\frac{1}{1-e^{-T1/(Re\times Ce)}}+\left(\frac{1}{T1}\times C1\times V3\times Re\right)\right]\times\frac{4096}{Vavrefh}$$

項　　目	記号	参考値	単位
チャネルマルチプレクサ後段の共通容量	CIN1	1.4	pF
アンプ、T&H 制御回路後段の共通容量	CIN2	10	pF
アナログ入力端子の外付け容量	Ce	ユーザ基板依存	μF
信号源インピーダンス	Re		kΩ
変換端子の変換周期	T1		ms
AnVREFH 電圧 (n = 0, 1)	Vavrefh		V
V1、V2 電位差	V2-V1	5	V
アンプ、T&H 制御回路のオフセット電圧	Vvfaerr	50	mV
チャネルマルチプレクサ内の寄生容量	C1	2	pF
|AnVCC 電圧 / 2.5 – 測定端子電圧 (V2)|(n = 0, 1)	V3	ユーザ基板依存	V



- 本誤差式で算出される値は、A/D 変換器特性で規定される誤差（絶対誤差等）は含みません。
- 本誤差式は、机上で算出される理論式であり、信号源抵抗が極端に高い場合や変換周期が短い場合については実測値と乖離する場合があります。（本誤差式の適用範囲は、Re ＜ 1.5MΩ かつ T1 ≧ 10μs、または 1.5MΩ ≦ Re ≦ 2MΩ かつ T1 ≧ 512μs）したがい、実際に発生する誤差は、ご使用される容量、抵抗、基板配線上の容量、抵抗にも依存するため、ユーザ基板での評価確認をお願い致します。

表 40.38 ΔΣADC 変換特性（使用例 1）

DSADCmCCR.DSDFTYP = 0_H Fs = 100ksps
DSADCmFCR.ORT = 1_H BW = 30kHz
DSADCmFCR.TPVSL[2:0] = 1_H GIN = × 2

項目	記号	条件	Min.	Typ.	Max.	単位
有効ビット	ENOB	—	13	—	—	bit
ピーク SNDR	SNDR	—	80	—	—	dB
遮断周波数	BW	fos = 8MHz	—	—	30	kHz
初期遅延	—	—	—	—	65	μs
群遅延	—	Fin = ~10kHz	—	—	15	μs
ゲインエラー	Gerr	DC 入力	–1	—	1	%

表 40.39 ΔΣADC 変換特性（使用例 2）

DSADCmCCR.DSDFTYP = 0_H Fs = 200ksps
DSADCmFCR.ORT = 0_H BW = 30kHz
DSADCmFCR.TPVSL[2:0] = 1_H GIN = × 2

項目	記号	条件	Min.	Typ.	Max.	単位
有効ビット	ENOB	—	13	—	—	bit
ピーク SNDR	SNDR	—	80	—	—	dB
遮断周波数	BW	fos = 8MHz	—	—	30	kHz
初期遅延	—	—	—	—	65	μs
群遅延	—	Fin = ~10kHz	—	—	15	μs
ゲインエラー	Gerr	DC 入力	–1	—	1	%

表 40.40 ΔΣADC 変換特性（使用例 3）

DSADCmCCR.DSDFTYP = 0_H Fs = 200ksps
DSADCmFCR.ORT = 0_H BW = 60kHz
DSADCmFCR.TPVSL[2:0] = 2_H GIN = × 2

項目	記号	条件	Min.	Typ.	Max.	単位
有効ビット	ENOB	—	13	—	—	bit
ピーク SNDR	SNDR	—	80	—	—	dB
遮断周波数	BW	fos = 8MHz	—	—	60	kHz
初期遅延	—	—	—	—	65	μs
群遅延	—	Fin = ~10kHz	—	—	10	μs
ゲインエラー	Gerr	DC 入力	–1	—	1	%

表 40.41 ΔΣADC 変換特性（使用例 4）

DSADCmCCR.DSDFTYP = 1_H Fs = 1.6Msps
DSADCmFCR.ORT = 0_H BW = 200kHz
DSADCmFCR.TPVSL[2:0] = 0_H GIN = × 2

項目	記号	条件	Min.	Typ.	Max.	単位
有効ビット	ENOB	—	8	—	—	bit
ピーク SNDR	SNDR	—	50	—	—	dB
遮断周波数	BW	fos = 8MHz	—	—	200	kHz
初期遅延	—	—	—	—	4.588	μs
群遅延	—	Fin = ~10kHz	—	—	2.025	μs
ゲインエラー	Gerr	DC 入力	–1	—	1	%

表 40.42 ΔΣADC 変換特性（共通項目）

項目	記号	条件	Min.	Typ.	Max.	単位
入力換算オフセット誤差	Vos	—	–20	—	20	mV
入力インピーダンス	—	GIN = ×1	200	—	—	kΩ
	—	GIN = ×2	100	—	—	kΩ
	—	GIN = ×4	50	—	—	kΩ
	—	GIN = ×8	25	—	—	kΩ

表 40.43 ΔΣ-A/D 入力電圧スペック

項　　目	記号	条件	Min.	Typ.	Max.	単位	参照図
シングルエンド ADSVREFH/2 基準時 入力電圧スペック	Vain	GIN = ×1	ADSVREFL	—	ADSVREFH	V	
		GIN = ×2	ADSVREFL	—	ADSVREFH	V	
		GIN = ×4	ADSVREFH × (1/4)	—	ADSVREFH × (3/4)	V	
		GIN = ×8	ADSVREFH × (3/8)	—	ADSVREFH × (5/8)	V	
シングルエンド ADSVREFL 基準時 入力電圧スペック	Vain	GIN = ×1	ADSVREFL	—	ADSVREFH	V	
		GIN = ×2	ADSVREFL	—	ADSVREFH × (1/2)	V	
		GIN = ×4	ADSVREFL	—	ADSVREFH × (1/4)	V	
		GIN = ×8	ADSVREFL	—	ADSVREFH × (1/8)	V	
差動入力時 入力電圧スペック	Vain	GIN = ×1	-ADSVREFH	—	ADSVREFH	V	
		GIN = ×2	-ADSVREFH × (1/2)	—	ADSVREFH × (1/2)	V	
		GIN = ×4	-ADSVREFH × (1/4)	—	ADSVREFH × (1/4)	V	
		GIN = ×8	-ADSVREFH × (1/8)	—	ADSVREFH × (1/8)	V	

40.5 Code Flash 特性

表 40.44 Code Flash 基本特性

項目	略号	条件	Min.	Typ.	Max.	単位
書き換え回数注1	CWRT	保持 20 年注2	1000	—	—	回
プログラミング温度	TPRG	Tj	–40	—	+150	℃
読み出し温度	TREAD	Tj	–40	—	+150	℃

注 1. 書き換え回数は、ブロックごとの消去回数です。書き換え回数が n 回（n = 1000）の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、32KB のブロックについて、それぞれ異なる番地に 256 バイトの書き込みを 128 回に分けて行ったあとに、そのブロックを消去した場合も、書き換え回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注 2. 平均 Ta = 85 ℃での保持期間。コード・フラッシュ・メモリの消去が正常に完了した時点からの保持期間。

表 40.45 Code Flash プログラミング特性

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC, A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

項目	条件	ブロックサイズ	Min.	Typ.	Max.	単位
書き込み時間	書き替え回数＜ 100 回	256B	—	0.4 注1	6 注1	ms
		32KB	—	80	360	ms
	書き替え回数≧ 100 回	256B	—	0.5 注1	7.2 注1	ms
		32KB	—	96	432	ms
消去時間	書き替え回数＜ 100 回	8KB	—	39	120	ms
		32KB	—	141	480	ms
	書き替え回数≧ 100 回	8KB	—	47	144	ms
		32KB	—	169	576	ms

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

40.6 Data Flash 特性

表 40.46 Data Flash 基本特性

項目	略号	条件	Min.	Typ.	Max.	単位
書き換え回数注1	CWRT	保持 20 年注2	125000	—	—	回
		保持 3 年注2	250000	—	—	回
プログラミング温度	TPRG	Tj	–40	—	+150	℃
読み出し温度	TREAD	Tj	–40	—	+150	℃

注 1. 書き換え回数は、ブロックごとの消去回数です。書き換え回数が n 回（n = 125000）の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64B のブロックについて、それぞれ異なる番地に 4 バイトの書き込みを 16 回に分けて行ったあとに、そのブロックを消去した場合も、書き換え回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注 2. 平均 Ta = 85 ℃での保持期間。データ・フラッシュ・メモリの消去が正常に完了した時点からの保持期間。

表 40.47 Data Flash プログラミング特性

条件： EVCC = 4.5V ～ 5.5V、TTLVCC = 4.5V ～ 5.5V or 3.0V ～ 3.6V、A0VCC, A1VCC = 4.5V ～ 5.5V、A0VREFH = 4.5V ～ A0VCC、A1VREFH = 4.5V ～ A1VCC、ADSVCC = 4.5V ～ 5.5V、ADSVREFH = 4.5V ～ ADSVCC、PLLVCC = 3.0V ～ 3.6V、SYSVCC = 3.0V ～ 3.6V、VCC = 3.0V ～ 3.6V、LVDVCC = 3.0V ～ 3.6V、VDD = 1.15V ～ 1.35V、VSS = PLLVSS = A0VSS = A1VSS = ADSVSS = ADSVREFL = LVDVSS = 0V
Tj = -40 ℃～ 150 ℃

項目	ブロックサイズ	Min.	Typ.	Max.	単位
書き込み時間	4B	—	0.16注1	1.7注1	ms
消去時間	64B	—	1.7注1	10注1	ms
ブランクチェック時間	4B	—	—	30注1	μs
	64B	—	—	100注1	μs

注 1. ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

40.7 熱特性

40.7.1 パラメータ

表 40.48 RH850/E1M-S2 での熱抵抗

パッケージ	パラメータ	見積もり値	単位	備考
BGA1919-304 (実装基板ビア有)	Θja	19	℃ /W	JESD51-9 準拠 (4 layers)
	Ψjb	14	℃ /W	JESD51-9 準拠 (4 layers)
	4LΘja	23	℃ /W	L 基板 (4 layers)
	4LΨjb	15	℃ /W	L 基板 (4 layers)
	4LTb_inc	8	℃ /W	L 基板 (4 layers)
	4LΨjt	1	℃ /W	L 基板 (4 layers)
BGA1717-252 (実装基板ビア有)	Θja	20	℃ /W	JESD51-9 準拠 (4 layers)
	Ψjb	14	℃ /W	JESD51-9 準拠 (4 layers)
	4LΘja	24	℃ /W	L 基板 (4 layers)
	4LΨjb	16	℃ /W	L 基板 (4 layers)
	4LTb_inc	9	℃ /W	L 基板 (4 layers)
	4LΨjt	1	℃ /W	L 基板 (4 layers)

40.7.2 想定基板

表 40.49 JESD51-9 準拠 (4 layers)

	基板サイズ (mm)		面積 (mm^2)
	X	Y	
基板	101.5	114.5	11621.75
残銅率		導体厚	
50-95-95-50%		70-35-35-70μm	

表 40.50 L 基板 (4 layers)

	基板サイズ (mm)		面積 (mm^2)
	X	Y	
L 基板	90	160	14400
残銅率		導体厚	
30-80-80-30%		35-35-35-35μm	

付録　　レジスター覧

(1/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
FLXA0	FlexRay 動作制御レジスタ	FLXA0FROC	$0000\ 0000_H$	32	$1002\ 0004_H$	FlexRay	8、16、32
FLXA0	FlexRay 動作ステータスレジスタ	FLXA0FROS	$0000\ 0000_H$	32	$1002\ 000C_H$	FlexRay	8、16、32
FLXA0	FlexRay ロックレジスタ	FLXA0FRLCK	$0000\ 0000_H$	32	$1002\ 001C_H$	FlexRay	8、16、32
FLXA0	FlexRay エラー割り込みレジスタ	FLXA0FREIR	$0000\ 0000_H$	32	$1002\ 0020_H$	FlexRay	8、16、32
FLXA0	FlexRay ステータス割り込みレジスタ	FLXA0FRSIR	$0000\ 0000_H$	32	$1002\ 0024_H$	FlexRay	8、16、32
FLXA0	FlexRay エラー割り込み出力選択レジスタ	FLXA0FREILS	$0000\ 0000_H$	32	$1002\ 0028_H$	FlexRay	8、16、32
FLXA0	FlexRay ステータス割り込み出力選択レジスタ	FLXA0FRSILS	$0303\ FFFF_H$	32	$1002\ 002C_H$	FlexRay	8、16、32
FLXA0	FlexRay エラー割り込み許可レジスタ	FLXA0FREIES	$0000\ 0000_H$	32	$1002\ 0030_H$	FlexRay	8、16、32
FLXA0	FlexRay エラー割り込み禁止レジスタ	FLXA0FREIER	$0000\ 0000_H$	32	$1002\ 0034_H$	FlexRay	8、16、32
FLXA0	FlexRay ステータス割り込み許可レジスタ	FLXA0FRSIES	$0000\ 0000_H$	32	$1002\ 0038_H$	FlexRay	8、16、32
FLXA0	FlexRay ステータス割り込み禁止レジスタ	FLXA0FRSIER	$0000\ 0000_H$	32	$1002\ 003C_H$	FlexRay	8、16、32
FLXA0	FlexRay 割り込み出力許可レジスタ	FLXA0FRILE	$0000\ 0000_H$	32	$1002\ 0040_H$	FlexRay	8、16、32
FLXA0	FlexRay タイマ 0 設定レジスタ	FLXA0FRT0C	$0000\ 0000_H$	32	$1002\ 0044_H$	FlexRay	8、16、32
FLXA0	FlexRay タイマ 1 設定レジスタ	FLXA0FRT1C	$0002\ 0000_H$	32	$1002\ 0048_H$	FlexRay	8、16、32
FLXA0	FlexRay ストップウォッチレジスタ 1	FLXA0FRSTPW1	$0000\ 0000_H$	32	$1002\ 004C_H$	FlexRay	8、16、32
FLXA0	FlexRay ストップウォッチレジスタ 2	FLXA0FRSTPW2	$0000\ 0000_H$	32	$1002\ 0050_H$	FlexRay	8、16、32
FLXA0	FlexRay SUC 設定レジスタ 1	FLXA0FRSUCC1	$0C40\ 1080_H$	32	$1002\ 0080_H$	FlexRay	8、16、32
FLXA0	FlexRay SUC 設定レジスタ 2	FLXA0FRSUCC2	$0100\ 0504_H$	32	$1002\ 0084_H$	FlexRay	8、16、32
FLXA0	FlexRay SUC 設定レジスタ 3	FLXA0FRSUCC3	$0000\ 0011_H$	32	$1002\ 0088_H$	FlexRay	8、16、32
FLXA0	FlexRay NEM 設定レジスタ	FLXA0FRNEMC	$0000\ 0000_H$	32	$1002\ 008C_H$	FlexRay	8、16、32
FLXA0	FlexRay PRT 設定レジスタ 1	FLXA0FRPRTC1	$084C\ 0633_H$	32	$1002\ 0090_H$	FlexRay	8、16、32
FLXA0	FlexRay PRT 設定レジスタ 2	FLXA0FRPRTC2	$0F2D\ 0A0E_H$	32	$1002\ 0094_H$	FlexRay	8、16、32
FLXA0	FlexRay MHD 設定レジスタ	FLXA0FRMHDC	$0000\ 0000_H$	32	$1002\ 0098_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 1	FLXA0FRGTUC1	$0000\ 0280_H$	32	$1002\ 00A0_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 2	FLXA0FRGTUC2	$0002\ 000A_H$	32	$1002\ 00A4_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 3	FLXA0FRGTUC3	$0202\ 0000_H$	32	$1002\ 00A8_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 4	FLXA0FRGTUC4	$0008\ 0007_H$	32	$1002\ 00AC_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 5	FLXA0FRGTUC5	$0E00\ 0000_H$	32	$1002\ 00B0_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 6	FLXA0FRGTUC6	$0002\ 0000_H$	32	$1002\ 00B4_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 7	FLXA0FRGTUC7	$0002\ 0004_H$	32	$1002\ 00B8_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 8	FLXA0FRGTUC8	$0000\ 0002_H$	32	$1002\ 00BC_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 9	FLXA0FRGTUC9	$0000\ 0101_H$	32	$1002\ 00C0_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 10	FLXA0FRGTUC10	$0002\ 0005_H$	32	$1002\ 00C4_H$	FlexRay	8、16、32
FLXA0	FlexRay GTU 設定レジスタ 11	FLXA0FRGTUC11	$0000\ 0000_H$	32	$1002\ 00C8_H$	FlexRay	8、16、32
FLXA0	FlexRay CC ステータスベクタレジスタ	FLXA0FRCCSV	$0010\ 4000_H$	32	$1002\ 0100_H$	FlexRay	8、16、32
FLXA0	FlexRay CC エラーベクタレジスタ	FLXA0FRCCEV	$0000\ 0000_H$	32	$1002\ 0104_H$	FlexRay	8、16、32
FLXA0	FlexRay スロットカウンタ値レジスタ	FLXA0FRSCV	$0000\ 0000_H$	32	$1002\ 0110_H$	FlexRay	8、16、32
FLXA0	FlexRay MT 値／サイクルカウンタ値レジスタ	FLXA0FRMTCCV	$0000\ 0000_H$	32	$1002\ 0114_H$	FlexRay	8、16、32
FLXA0	FlexRay レート補正値レジスタ	FLXA0FRRCV	$0000\ 0000_H$	32	$1002\ 0118_H$	FlexRay	8、16、32
FLXA0	FlexRay オフセット補正値レジスタ	FLXA0FROCV	$0000\ 0000_H$	32	$1002\ 011C_H$	FlexRay	8、16、32
FLXA0	FlexRay Sync フレームステータスレジスタ	FLXA0FRSFS	$0000\ 0000_H$	32	$1002\ 0120_H$	FlexRay	8、16、32

(2/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
FLXA0	FlexRay シンボルウィンドウ／ NIT ステータスレジスタ	FLXA0FRSWNIT	$0000\ 0000_H$	32	$1002\ 0124_H$	FlexRay	8、16、32
FLXA0	FlexRay チャネルステータス集計レジスタ	FLXA0FRACS	$0000\ 0000_H$	32	$1002\ 0128_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 1	FLXA0FRESID1	$0000\ 0000_H$	32	$1002\ 0130_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 2	FLXA0FRESID2	$0000\ 0000_H$	32	$1002\ 0134_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 3	FLXA0FRESID3	$0000\ 0000_H$	32	$1002\ 0138_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 4	FLXA0FRESID4	$0000\ 0000_H$	32	$1002\ 013C_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 5	FLXA0FRESID5	$0000\ 0000_H$	32	$1002\ 0140_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 6	FLXA0FRESID6	$0000\ 0000_H$	32	$1002\ 0144_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 7	FLXA0FRESID7	$0000\ 0000_H$	32	$1002\ 0148_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 8	FLXA0FRESID8	$0000\ 0000_H$	32	$1002\ 014C_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 9	FLXA0FRESID9	$0000\ 0000_H$	32	$1002\ 0150_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 10	FLXA0FRESID10	$0000\ 0000_H$	32	$1002\ 0154_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 11	FLXA0FRESID11	$0000\ 0000_H$	32	$1002\ 0158_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 12	FLXA0FRESID12	$0000\ 0000_H$	32	$1002\ 015C_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 13	FLXA0FRESID13	$0000\ 0000_H$	32	$1002\ 0160_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 14	FLXA0FRESID14	$0000\ 0000_H$	32	$1002\ 0164_H$	FlexRay	8、16、32
FLXA0	FlexRay 偶数 Sync ID レジスタ 15	FLXA0FRESID15	$0000\ 0000_H$	32	$1002\ 0168_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 1	FLXA0FROSID1	$0000\ 0000_H$	32	$1002\ 0170_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 2	FLXA0FROSID2	$0000\ 0000_H$	32	$1002\ 0174_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 3	FLXA0FROSID3	$0000\ 0000_H$	32	$1002\ 0178_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 4	FLXA0FROSID4	$0000\ 0000_H$	32	$1002\ 017C_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 5	FLXA0FROSID5	$0000\ 0000_H$	32	$1002\ 0180_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 6	FLXA0FROSID6	$0000\ 0000_H$	32	$1002\ 0184_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 7	FLXA0FROSID7	$0000\ 0000_H$	32	$1002\ 0188_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 8	FLXA0FROSID8	$0000\ 0000_H$	32	$1002\ 018C_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 9	FLXA0FROSID9	$0000\ 0000_H$	32	$1002\ 0190_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 10	FLXA0FROSID10	$0000\ 0000_H$	32	$1002\ 0194_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 11	FLXA0FROSID11	$0000\ 0000_H$	32	$1002\ 0198_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 12	FLXA0FROSID12	$0000\ 0000_H$	32	$1002\ 019C_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 13	FLXA0FROSID13	$0000\ 0000_H$	32	$1002\ 01A0_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 14	FLXA0FROSID14	$0000\ 0000_H$	32	$1002\ 01A4_H$	FlexRay	8、16、32
FLXA0	FlexRay 奇数 Sync ID レジスタ 15	FLXA0FROSID15	$0000\ 0000_H$	32	$1002\ 01A8_H$	FlexRay	8、16、32
FLXA0	FlexRay ネットワーク管理ベクタレジスタ 1	FLXA0FRNMV1	$0000\ 0000_H$	32	$1002\ 01B0_H$	FlexRay	8、16、32
FLXA0	FlexRay ネットワーク管理ベクタレジスタ 2	FLXA0FRNMV2	$0000\ 0000_H$	32	$1002\ 01B4_H$	FlexRay	8、16、32
FLXA0	FlexRay ネットワーク管理ベクタレジスタ 3	FLXA0FRNMV3	$0000\ 0000_H$	32	$1002\ 01B8_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージ RAM 設定レジスタ	FLXA0FRMRC	$0180\ 0000_H$	32	$1002\ 0300_H$	FlexRay	8、16、32
FLXA0	FlexRay FIFO リジェクションフィルタレジスタ	FLXA0FRFRF	$0180\ 0000_H$	32	$1002\ 0304_H$	FlexRay	8、16、32
FLXA0	FlexRay FIFO リジェクションフィルタマスクレジスタ	FLXA0FRFRFM	$0000\ 0000_H$	32	$1002\ 0308_H$	FlexRay	8、16、32
FLXA0	FlexRay FIFO クリティカルレベルレジスタ	FLXA0FRFCL	$0000\ 0080_H$	32	$1002\ 030C_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージハンドラステータスレジスタ	FLXA0FRMHDS	$0000\ 0080_H$	32	$1002\ 0310_H$	FlexRay	8、16、32
FLXA0	FlexRay 最終ダイナミック送信スロットレジスタ	FLXA0FRLDTS	$0000\ 0000_H$	32	$1002\ 0314_H$	FlexRay	8、16、32

(3/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
FLXA0	FlexRay FIFO ステータスレジスタ	FLXA0FRFSR	$0000\ 0000_H$	32	$1002\ 0318_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージハンドラ制限フラグレジスタ	FLXA0FRMHDF	$0000\ 0000_H$	32	$1002\ 031C_H$	FlexRay	8、16、32
FLXA0	FlexRay 送信要求レジスタ 1	FLXA0FRTXRQ1	$0000\ 0000_H$	32	$1002\ 0320_H$	FlexRay	8、16、32
FLXA0	FlexRay 送信要求レジスタ 2	FLXA0FRTXRQ2	$0000\ 0000_H$	32	$1002\ 0324_H$	FlexRay	8、16、32
FLXA0	FlexRay 送信要求レジスタ 3	FLXA0FRTXRQ3	$0000\ 0000_H$	32	$1002\ 0328_H$	FlexRay	8、16、32
FLXA0	FlexRay 送信要求レジスタ 4	FLXA0FRTXRQ4	$0000\ 0000_H$	32	$1002\ 032C_H$	FlexRay	8、16、32
FLXA0	FlexRay 新データレジスタ 1	FLXA0FRNDAT1	$0000\ 0000_H$	32	$1002\ 0330_H$	FlexRay	8、16、32
FLXA0	FlexRay 新データレジスタ 2	FLXA0FRNDAT2	$0000\ 0000_H$	32	$1002\ 0334_H$	FlexRay	8、16、32
FLXA0	FlexRay 新データレジスタ 3	FLXA0FRNDAT3	$0000\ 0000_H$	32	$1002\ 0338_H$	FlexRay	8、16、32
FLXA0	FlexRay 新データレジスタ 4	FLXA0FRNDAT4	$0000\ 0000_H$	32	$1002\ 033C_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージバッファステータス変化レジスタ 1	FLXA0FRMBSC1	$0000\ 0000_H$	32	$1002\ 0340_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージバッファステータス変化レジスタ 2	FLXA0FRMBSC2	$0000\ 0000_H$	32	$1002\ 0344_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージバッファステータス変化レジスタ 3	FLXA0FRMBSC3	$0000\ 0000_H$	32	$1002\ 0348_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージバッファステータス変化レジスタ 4	FLXA0FRMBSC4	$0000\ 0000_H$	32	$1002\ 034C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 1	FLXA0FRWRDS1	$0000\ 0000_H$	32	$1002\ 0400_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 2	FLXA0FRWRDS2	$0000\ 0000_H$	32	$1002\ 0404_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 3	FLXA0FRWRDS3	$0000\ 0000_H$	32	$1002\ 0408_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 4	FLXA0FRWRDS4	$0000\ 0000_H$	32	$1002\ 040C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 5	FLXA0FRWRDS5	$0000\ 0000_H$	32	$1002\ 0410_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 6	FLXA0FRWRDS6	$0000\ 0000_H$	32	$1002\ 0414_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 7	FLXA0FRWRDS7	$0000\ 0000_H$	32	$1002\ 0418_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 8	FLXA0FRWRDS8	$0000\ 0000_H$	32	$1002\ 041C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 9	FLXA0FRWRDS9	$0000\ 0000_H$	32	$1002\ 0420_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 10	FLXA0FRWRDS10	$0000\ 0000_H$	32	$1002\ 0424_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 11	FLXA0FRWRDS11	$0000\ 0000_H$	32	$1002\ 0428_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 12	FLXA0FRWRDS12	$0000\ 0000_H$	32	$1002\ 042C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 13	FLXA0FRWRDS13	$0000\ 0000_H$	32	$1002\ 0430_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 14	FLXA0FRWRDS14	$0000\ 0000_H$	32	$1002\ 0434_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 15	FLXA0FRWRDS15	$0000\ 0000_H$	32	$1002\ 0438_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 16	FLXA0FRWRDS16	$0000\ 0000_H$	32	$1002\ 043C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 17	FLXA0FRWRDS17	$0000\ 0000_H$	32	$1002\ 0440_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 18	FLXA0FRWRDS18	$0000\ 0000_H$	32	$1002\ 0444_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 19	FLXA0FRWRDS19	$0000\ 0000_H$	32	$1002\ 0448_H$	FlexRay	8、16、32

(4/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
FLXA0	FlexRay データセクションライトレジスタ 20	FLXA0FRWRDS20	$0000\ 0000_H$	32	$1002\ 044C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 21	FLXA0FRWRDS21	$0000\ 0000_H$	32	$1002\ 0450_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 22	FLXA0FRWRDS22	$0000\ 0000_H$	32	$1002\ 0454_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 23	FLXA0FRWRDS23	$0000\ 0000_H$	32	$1002\ 0458_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 24	FLXA0FRWRDS24	$0000\ 0000_H$	32	$1002\ 045C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 25	FLXA0FRWRDS25	$0000\ 0000_H$	32	$1002\ 0460_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 26	FLXA0FRWRDS26	$0000\ 0000_H$	32	$1002\ 0464_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 27	FLXA0FRWRDS27	$0000\ 0000_H$	32	$1002\ 0468_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 28	FLXA0FRWRDS28	$0000\ 0000_H$	32	$1002\ 046C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 29	FLXA0FRWRDS29	$0000\ 0000_H$	32	$1002\ 0470_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 30	FLXA0FRWRDS30	$0000\ 0000_H$	32	$1002\ 0474_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 31	FLXA0FRWRDS31	$0000\ 0000_H$	32	$1002\ 0478_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 32	FLXA0FRWRDS32	$0000\ 0000_H$	32	$1002\ 047C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 33	FLXA0FRWRDS33	$0000\ 0000_H$	32	$1002\ 0480_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 34	FLXA0FRWRDS34	$0000\ 0000_H$	32	$1002\ 0484_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 35	FLXA0FRWRDS35	$0000\ 0000_H$	32	$1002\ 0488_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 36	FLXA0FRWRDS36	$0000\ 0000_H$	32	$1002\ 048C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 37	FLXA0FRWRDS37	$0000\ 0000_H$	32	$1002\ 0490_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 38	FLXA0FRWRDS38	$0000\ 0000_H$	32	$1002\ 0494_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 39	FLXA0FRWRDS39	$0000\ 0000_H$	32	$1002\ 0498_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 40	FLXA0FRWRDS40	$0000\ 0000_H$	32	$1002\ 049C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 41	FLXA0FRWRDS41	$0000\ 0000_H$	32	$1002\ 04A0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 42	FLXA0FRWRDS42	$0000\ 0000_H$	32	$1002\ 04A4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 43	FLXA0FRWRDS43	$0000\ 0000_H$	32	$1002\ 04A8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 44	FLXA0FRWRDS44	$0000\ 0000_H$	32	$1002\ 04AC_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 45	FLXA0FRWRDS45	$0000\ 0000_H$	32	$1002\ 04B0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 46	FLXA0FRWRDS46	$0000\ 0000_H$	32	$1002\ 04B4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 47	FLXA0FRWRDS47	$0000\ 0000_H$	32	$1002\ 04B8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 48	FLXA0FRWRDS48	$0000\ 0000_H$	32	$1002\ 04BC_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 49	FLXA0FRWRDS49	$0000\ 0000_H$	32	$1002\ 04C0_H$	FlexRay	8、16、32

(5/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
FLXA0	FlexRay データセクションライトレジスタ 50	FLXA0FRWRDS50	$0000\ 0000_H$	32	$1002\ 04C4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 51	FLXA0FRWRDS51	$0000\ 0000_H$	32	$1002\ 04C8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 52	FLXA0FRWRDS52	$0000\ 0000_H$	32	$1002\ 04CC_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 53	FLXA0FRWRDS53	$0000\ 0000_H$	32	$1002\ 04D0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 54	FLXA0FRWRDS54	$0000\ 0000_H$	32	$1002\ 04D4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 55	FLXA0FRWRDS55	$0000\ 0000_H$	32	$1002\ 04D8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 56	FLXA0FRWRDS56	$0000\ 0000_H$	32	$1002\ 04DC_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 57	FLXA0FRWRDS57	$0000\ 0000_H$	32	$1002\ 04E0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 58	FLXA0FRWRDS58	$0000\ 0000_H$	32	$1002\ 04E4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 59	FLXA0FRWRDS59	$0000\ 0000_H$	32	$1002\ 04E8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 60	FLXA0FRWRDS60	$0000\ 0000_H$	32	$1002\ 04EC_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 61	FLXA0FRWRDS61	$0000\ 0000_H$	32	$1002\ 04F0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 62	FLXA0FRWRDS62	$0000\ 0000_H$	32	$1002\ 04F4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 63	FLXA0FRWRDS63	$0000\ 0000_H$	32	$1002\ 04F8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションライトレジスタ 64	FLXA0FRWRDS64	$0000\ 0000_H$	32	$1002\ 04FC_H$	FlexRay	8、16、32
FLXA0	FlexRay ヘッダセクションライトレジスタ 1	FLXA0FRWRHS1	$0000\ 0000_H$	32	$1002\ 0500_H$	FlexRay	8、16、32
FLXA0	FlexRay ヘッダセクションライトレジスタ 2	FLXA0FRWRHS2	$0000\ 0000_H$	32	$1002\ 0504_H$	FlexRay	8、16、32
FLXA0	FlexRay ヘッダセクションライトレジスタ 3	FLXA0FRWRHS3	$0000\ 0000_H$	32	$1002\ 0508_H$	FlexRay	8、16、32
FLXA0	FlexRay 入力バッファコマンドマスクレジスタ	FLXA0FRIBCM	$0000\ 0000_H$	32	$1002\ 0510_H$	FlexRay	8、16、32
FLXA0	FlexRay 入力バッファコマンド要求レジスタ	FLXA0FRIBCR	$0000\ 0000_H$	32	$1002\ 0514_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 1	FLXA0FRRDDS1	$0000\ 0000_H$	32	$1002\ 0600_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 2	FLXA0FRRDDS2	$0000\ 0000_H$	32	$1002\ 0604_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 3	FLXA0FRRDDS3	$0000\ 0000_H$	32	$1002\ 0608_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 4	FLXA0FRRDDS4	$0000\ 0000_H$	32	$1002\ 060C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 5	FLXA0FRRDDS5	$0000\ 0000_H$	32	$1002\ 0610_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 6	FLXA0FRRDDS6	$0000\ 0000_H$	32	$1002\ 0614_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 7	FLXA0FRRDDS7	$0000\ 0000_H$	32	$1002\ 0618_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 8	FLXA0FRRDDS8	$0000\ 0000_H$	32	$1002\ 061C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 9	FLXA0FRRDDS9	$0000\ 0000_H$	32	$1002\ 0620_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 10	FLXA0FRRDDS10	$0000\ 0000_H$	32	$1002\ 0624_H$	FlexRay	8、16、32

(6/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
FLXA0	FlexRay データセクションリードレジスタ 11	FLXA0FRRDDS11	$0000\ 0000_H$	32	$1002\ 0628_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 12	FLXA0FRRDDS12	$0000\ 0000_H$	32	$1002\ 062C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 13	FLXA0FRRDDS13	$0000\ 0000_H$	32	$1002\ 0630_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 14	FLXA0FRRDDS14	$0000\ 0000_H$	32	$1002\ 0634_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 15	FLXA0FRRDDS15	$0000\ 0000_H$	32	$1002\ 0638_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 16	FLXA0FRRDDS16	$0000\ 0000_H$	32	$1002\ 063C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 17	FLXA0FRRDDS17	$0000\ 0000_H$	32	$1002\ 0640_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 18	FLXA0FRRDDS18	$0000\ 0000_H$	32	$1002\ 0644_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 19	FLXA0FRRDDS19	$0000\ 0000_H$	32	$1002\ 0648_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 20	FLXA0FRRDDS20	$0000\ 0000_H$	32	$1002\ 064C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 21	FLXA0FRRDDS21	$0000\ 0000_H$	32	$1002\ 0650_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 22	FLXA0FRRDDS22	$0000\ 0000_H$	32	$1002\ 0654_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 23	FLXA0FRRDDS23	$0000\ 0000_H$	32	$1002\ 0658_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 24	FLXA0FRRDDS24	$0000\ 0000_H$	32	$1002\ 065C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 25	FLXA0FRRDDS25	$0000\ 0000_H$	32	$1002\ 0660_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 26	FLXA0FRRDDS26	$0000\ 0000_H$	32	$1002\ 0664_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 27	FLXA0FRRDDS27	$0000\ 0000_H$	32	$1002\ 0668_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 28	FLXA0FRRDDS28	$0000\ 0000_H$	32	$1002\ 066C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 29	FLXA0FRRDDS29	$0000\ 0000_H$	32	$1002\ 0670_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 30	FLXA0FRRDDS30	$0000\ 0000_H$	32	$1002\ 0674_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 31	FLXA0FRRDDS31	$0000\ 0000_H$	32	$1002\ 0678_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 32	FLXA0FRRDDS32	$0000\ 0000_H$	32	$1002\ 067C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 33	FLXA0FRRDDS33	$0000\ 0000_H$	32	$1002\ 0680_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 34	FLXA0FRRDDS34	$0000\ 0000_H$	32	$1002\ 0684_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 35	FLXA0FRRDDS35	$0000\ 0000_H$	32	$1002\ 0688_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 36	FLXA0FRRDDS36	$0000\ 0000_H$	32	$1002\ 068C_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 37	FLXA0FRRDDS37	$0000\ 0000_H$	32	$1002\ 0690_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 38	FLXA0FRRDDS38	$0000\ 0000_H$	32	$1002\ 0694_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 39	FLXA0FRRDDS39	$0000\ 0000_H$	32	$1002\ 0698_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 40	FLXA0FRRDDS40	$0000\ 0000_H$	32	$1002\ 069C_H$	FlexRay	8、16、32

(7/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
FLXA0	FlexRay データセクションリードレジスタ 41	FLXA0FRRDDS41	$0000\ 0000_H$	32	$1002\ 06A0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 42	FLXA0FRRDDS42	$0000\ 0000_H$	32	$1002\ 06A4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 43	FLXA0FRRDDS43	$0000\ 0000_H$	32	$1002\ 06A8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 44	FLXA0FRRDDS44	$0000\ 0000_H$	32	$1002\ 06AC_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 45	FLXA0FRRDDS45	$0000\ 0000_H$	32	$1002\ 06B0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 46	FLXA0FRRDDS46	$0000\ 0000_H$	32	$1002\ 06B4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 47	FLXA0FRRDDS47	$0000\ 0000_H$	32	$1002\ 06B8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 48	FLXA0FRRDDS48	$0000\ 0000_H$	32	$1002\ 06BC_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 49	FLXA0FRRDDS49	$0000\ 0000_H$	32	$1002\ 06C0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 50	FLXA0FRRDDS50	$0000\ 0000_H$	32	$1002\ 06C4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 51	FLXA0FRRDDS51	$0000\ 0000_H$	32	$1002\ 06C8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 52	FLXA0FRRDDS52	$0000\ 0000_H$	32	$1002\ 06CC_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 53	FLXA0FRRDDS53	$0000\ 0000_H$	32	$1002\ 06D0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 54	FLXA0FRRDDS54	$0000\ 0000_H$	32	$1002\ 06D4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 55	FLXA0FRRDDS55	$0000\ 0000_H$	32	$1002\ 06D8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 56	FLXA0FRRDDS56	$0000\ 0000_H$	32	$1002\ 06DC_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 57	FLXA0FRRDDS57	$0000\ 0000_H$	32	$1002\ 06E0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 58	FLXA0FRRDDS58	$0000\ 0000_H$	32	$1002\ 06E4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 59	FLXA0FRRDDS59	$0000\ 0000_H$	32	$1002\ 06E8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 60	FLXA0FRRDDS60	$0000\ 0000_H$	32	$1002\ 06EC_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 61	FLXA0FRRDDS61	$0000\ 0000_H$	32	$1002\ 06F0_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 62	FLXA0FRRDDS62	$0000\ 0000_H$	32	$1002\ 06F4_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 63	FLXA0FRRDDS63	$0000\ 0000_H$	32	$1002\ 06F8_H$	FlexRay	8、16、32
FLXA0	FlexRay データセクションリードレジスタ 64	FLXA0FRRDDS64	$0000\ 0000_H$	32	$1002\ 06FC_H$	FlexRay	8、16、32
FLXA0	FlexRay ヘッダセクションリードレジスタ 1	FLXA0FRRDHS1	$0000\ 0000_H$	32	$1002\ 0700_H$	FlexRay	8、16、32
FLXA0	FlexRay ヘッダセクションリードレジスタ 2	FLXA0FRRDHS2	$0000\ 0000_H$	32	$1002\ 0704_H$	FlexRay	8、16、32
FLXA0	FlexRay ヘッダセクションリードレジスタ 3	FLXA0FRRDHS3	$0000\ 0000_H$	32	$1002\ 0708_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージバッファステータスレジスタ	FLXA0FRMBS	$0000\ 0000_H$	32	$1002\ 070C_H$	FlexRay	8、16、32
FLXA0	FlexRay 出力バッファコマンドマスクレジスタ	FLXA0FROBCM	$0000\ 0000_H$	32	$1002\ 0710_H$	FlexRay	8、16、32
FLXA0	FlexRay 出力バッファコマンド要求レジスタ	FLXA0FROBCR	$0000\ 0000_H$	32	$1002\ 0714_H$	FlexRay	8、16、32

(8/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
FLXA0	FlexRay 入力転送設定レジスタ	FLXA0FRITC	$0000\ 0000_H$	32	$1002\ 0800_H$	FlexRay	8、16、32
FLXA0	FlexRay 出力転送設定レジスタ	FLXA0FROTC	$0000\ 0000_H$	32	$1002\ 0804_H$	FlexRay	8、16、32
FLXA0	FlexRay 入力ポインタテーブルベースアドレスレジスタ	FLXA0FRIBA	$0000\ 0000_H$	32	$1002\ 0808_H$	FlexRay	8、16、32
FLXA0	FlexRay FIFO ポインタテーブルベースアドレスレジスタ	FLXA0FRFBA	$0000\ 0000_H$	32	$1002\ 080C_H$	FlexRay	8、16、32
FLXA0	FlexRay 出力ポインタテーブルベースアドレスレジスタ	FLXA0FROBA	$0000\ 0000_H$	32	$1002\ 0810_H$	FlexRay	8、16、32
FLXA0	FlexRay 入力キュー制御レジスタ	FLXA0FRIQC	$0000\ 0000_H$	32	$1002\ 0814_H$	FlexRay	8、16、32
FLXA0	FlexRay ユーザ入力転送要求レジスタ	FLXA0FRUIR	$0000\ 0000_H$	32	$1002\ 0818_H$	FlexRay	8、16、32
FLXA0	FlexRay ユーザ出力転送要求レジスタ	FLXA0FRUOR	$0000\ 0000_H$	32	$1002\ 081C_H$	FlexRay	8、16、32
FLXA0	FlexRay 入力転送ステータスレジスタ	FLXA0FRITS	$0000\ 0000_H$	32	$1002\ 0820_H$	FlexRay	8、16、32
FLXA0	FlexRay 出力転送ステータスレジスタ	FLXA0FROTS	$0000\ 0000_H$	32	$1002\ 0824_H$	FlexRay	8、16、32
FLXA0	FlexRay アクセスエラーステータスレジスタ	FLXA0FRAES	$0000\ 0000_H$	32	$1002\ 0828_H$	FlexRay	8、16、32
FLXA0	FlexRay アクセスエラーアドレスレジスタ	FLXA0FRAEA	$0000\ 0000_H$	32	$1002\ 082C_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージデータ使用可能レジスタ 0	FLXA0FRDA0	$0000\ 0000_H$	32	$1002\ 0830_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージデータ使用可能レジスタ 1	FLXA0FRDA1	$0000\ 0000_H$	32	$1002\ 0834_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージデータ使用可能レジスタ 2	FLXA0FRDA2	$0000\ 0000_H$	32	$1002\ 0838_H$	FlexRay	8、16、32
FLXA0	FlexRay メッセージデータ使用可能レジスタ 3	FLXA0FRDA3	$0000\ 0000_H$	32	$1002\ 083C_H$	FlexRay	8、16、32
FLXA0	FlexRay H-Bus 設定レジスタ	FLXA0FRAHBC	$0000\ 0000_H$	32	$1002\ 0840_H$	FlexRay	8、16、32
FLXA0	FlexRay タイマ 2 設定レジスタ	FLXA0FRT2C	$0000\ 0000_H$	32	$1002\ 0844_H$	FlexRay	8、16、32
AUD	AUDR Configuration 情報保持レジスタ	AUDISR	$000X_H$	16	$FA00\ 5000_H$	CPU (DEBUG)	16
AUD	AUDR メッセージボードレジスタ	AUDMBR	0000_H	16	$FA00\ 5004_H$	CPU (DEBUG)	16
AUD	AUDR メッセージボードレジスタ	AUDMBRC	0000_H	16	$FA00\ 5008_H$	CPU (DEBUG)	16
PORT	ポートレジスタ	P0	0000_H	16	$FF61\ 0000_H$	3	16
PORT	ポートセット／リセットレジスタ	PSR0	$0000\ 0000_H$	32	$FF61\ 0004_H$	3	32
PORT	ポートノットレジスタ	PNOT0	0000_H	16	$FF61\ 0008_H$	3	16
PORT	ポート端子リードレジスタ	PPR0	0000_H	16	$FF61\ 000C_H$	3	16
PORT	ポートモードレジスタ	PM0	$FFFF_H$	16	$FF61\ 0010_H$	3	16
PORT	ポートモードコントロールレジスタ	PMC0	0000_H	16	$FF61\ 0014_H$	3	16
PORT	ポート機能コントロールレジスタ	PFC0	0000_H	16	$FF61\ 0018_H$	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE0	0000_H	16	$FF61\ 001C_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR0	$0000\ FFFF_H$	32	$FF61\ 0020_H$	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR0	$0000\ 0000_H$	32	$FF61\ 0024_H$	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE0	0000_H	16	$FF61\ 0028_H$	3	16
PORT	ポート出力レベル反転レジスタ	PINV0	$0000\ 0000_H$	32	$FF61\ 0030_H$	3	32
PORT	ポートレジスタ	P1	0000_H	16	$FF61\ 0040_H$	3	16
PORT	ポートセット／リセットレジスタ	PSR1	$0000\ 0000_H$	32	$FF61\ 0044_H$	3	32
PORT	ポートノットレジスタ	PNOT1	0000_H	16	$FF61\ 0048_H$	3	16
PORT	ポート端子リードレジスタ	PPR1	0000_H	16	$FF61\ 004C_H$	3	16
PORT	ポートモードレジスタ	PM1	$FFFF_H$	16	$FF61\ 0050_H$	3	16
PORT	ポートモードコントロールレジスタ	PMC1	0000_H	16	$FF61\ 0054_H$	3	16

(9/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PORT	ポート機能コントロールレジスタ	PFC1	0000_H	16	FF61 0058_H	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE1	0000_H	16	FF61 $005C_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR1	0000 $FFFF_H$	32	FF61 0060_H	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR1	0000 0000_H	32	FF61 0064_H	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE1	0000_H	16	FF61 0068_H	3	16
PORT	ポート出力レベル反転レジスタ	PINV1	0000 0000_H	32	FF61 0070_H	3	32
PORT	ポートレジスタ	P2	0000_H	16	FF61 0080_H	3	16
PORT	ポートセット／リセットレジスタ	PSR2	0000 0000_H	32	FF61 0084_H	3	32
PORT	ポートノットレジスタ	PNOT2	0000_H	16	FF61 0088_H	3	16
PORT	ポート端子リードレジスタ	PPR2	0000_H	16	FF61 $008C_H$	3	16
PORT	ポートモードレジスタ	PM2	$FFFF_H$	16	FF61 0090_H	3	16
PORT	ポートモードコントロールレジスタ	PMC2	0000_H	16	FF61 0094_H	3	16
PORT	ポート機能コントロールレジスタ	PFC2	0000_H	16	FF61 0098_H	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE2	0000_H	16	FF61 $009C_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR2	0000 $FFFF_H$	32	FF61 $00A0_H$	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR2	0000 0000_H	32	FF61 $00A4_H$	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE2	0000_H	16	FF61 $00A8_H$	3	16
PORT	ポート出力レベル反転レジスタ	PINV2	0000 0000_H	32	FF61 $00B0_H$	3	32
PORT	ポートレジスタ	P3	0000_H	16	FF61 $00C0_H$	3	16
PORT	ポートセット／リセットレジスタ	PSR3	0000 0000_H	32	FF61 $00C4_H$	3	32
PORT	ポートノットレジスタ	PNOT3	0000_H	16	FF61 $00C8_H$	3	16
PORT	ポート端子リードレジスタ	PPR3	0000_H	16	FF61 $00CC_H$	3	16
PORT	ポートモードレジスタ	PM3	$FFFF_H$	16	FF61 $00D0_H$	3	16
PORT	ポートモードコントロールレジスタ	PMC3	0000_H	16	FF61 $00D4_H$	3	16
PORT	ポート機能コントロールレジスタ	PFC3	0000_H	16	FF61 $00D8_H$	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE3	0000_H	16	FF61 $00DC_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR3	0000 $FFFF_H$	32	FF61 $00E0_H$	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR3	0000 0000_H	32	FF61 $00E4_H$	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE3	0000_H	16	FF61 $00E8_H$	3	16
PORT	ポート出力レベル反転レジスタ	PINV3	0000 0000_H	32	FF61 $00F0_H$	3	32
PORT	ポートレジスタ	P4	0000_H	16	FF61 0100_H	3	16
PORT	ポートセット／リセットレジスタ	PSR4	0000 0000_H	32	FF61 0104_H	3	32
PORT	ポートノットレジスタ	PNOT4	0000_H	16	FF61 0108_H	3	16
PORT	ポート端子リードレジスタ	PPR4	0000_H	16	FF61 $010C_H$	3	16
PORT	ポートモードレジスタ	PM4	$FFFF_H$	16	FF61 0110_H	3	16
PORT	ポートモードコントロールレジスタ	PMC4	0000_H	16	FF61 0114_H	3	16
PORT	ポート機能コントロールレジスタ	PFC4	0000_H	16	FF61 0118_H	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE4	0000_H	16	FF61 $011C_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR4	0000 $FFFF_H$	32	FF61 0120_H	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR4	0000 0000_H	32	FF61 0124_H	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE4	0000_H	16	FF61 0128_H	3	16
PORT	ポート出力レベル反転レジスタ	PINV4	0000 0000_H	32	FF61 0130_H	3	32

(10/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PORT	ポートレジスタ	P5	0000_H	16	FF61 0140_H	3	16
PORT	ポートセット／リセットレジスタ	PSR5	0000 0000_H	32	FF61 0144_H	3	32
PORT	ポートノットレジスタ	PNOT5	0000_H	16	FF61 0148_H	3	16
PORT	ポート端子リードレジスタ	PPR5	0000_H	16	FF61 $014C_H$	3	16
PORT	ポートモードレジスタ	PM5	$FFFF_H$	16	FF61 0150_H	3	16
PORT	ポートモードコントロールレジスタ	PMC5	0000_H	16	FF61 0154_H	3	16
PORT	ポート機能コントロールレジスタ	PFC5	0000_H	16	FF61 0158_H	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE5	0000_H	16	FF61 $015C_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR5	0000 $FFFF_H$	32	FF61 0160_H	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR5	0000 0000_H	32	FF61 0164_H	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE5	0000_H	16	FF61 0168_H	3	16
PORT	ポート出力レベル反転レジスタ	PINV5	0000 0000_H	32	FF61 0170_H	3	32
PORT	ポートレジスタ	P6	0000_H	16	FF61 0180_H	3	16
PORT	ポートセット／リセットレジスタ	PSR6	0000 0000_H	32	FF61 0184_H	3	32
PORT	ポートノットレジスタ	PNOT6	0000_H	16	FF61 0188_H	3	16
PORT	ポート端子リードレジスタ	PPR6	0000_H	16	FF61 $018C_H$	3	16
PORT	ポートモードレジスタ	PM6	$FFFF_H$	16	FF61 0190_H	3	16
PORT	ポートモードコントロールレジスタ	PMC6	0000_H	16	FF61 0194_H	3	16
PORT	ポート機能コントロールレジスタ	PFC6	0000_H	16	FF61 0198_H	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE6	0000_H	16	FF61 $019C_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR6	0000 $FFFF_H$	32	FF61 $01A0_H$	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR6	0000 0000_H	32	FF61 $01A4_H$	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE6	0000_H	16	FF61 $01A8_H$	3	16
PORT	ポート出力レベル反転レジスタ	PINV6	0000 0000_H	32	FF61 $01B0_H$	3	32
PORT	ポートレジスタ	P7	0000_H	16	FF61 $01C0_H$	3	16
PORT	ポートセット／リセットレジスタ	PSR7	0000 0000_H	32	FF61 $01C4_H$	3	32
PORT	ポートノットレジスタ	PNOT7	0000_H	16	FF61 $01C8_H$	3	16
PORT	ポート端子リードレジスタ	PPR7	0000_H	16	FF61 $01CC_H$	3	16
PORT	ポートモードレジスタ	PM7	$FFFF_H$	16	FF61 $01D0_H$	3	16
PORT	ポートモードコントロールレジスタ	PMC7	0000_H	16	FF61 $01D4_H$	3	16
PORT	ポート機能コントロールレジスタ	PFC7	0000_H	16	FF61 $01D8_H$	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE7	0000_H	16	FF61 $01DC_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR7	0000 $FFFF_H$	32	FF61 $01E0_H$	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR7	0000 0000_H	32	FF61 $01E4_H$	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE7	0000_H	16	FF61 $01E8_H$	3	16
PORT	ポート出力レベル反転レジスタ	PINV7	0000 0000_H	32	FF61 $01F0_H$	3	32
PORT	ポートレジスタ	P8	0000_H	16	FF61 0200_H	3	16
PORT	ポートセット／リセットレジスタ	PSR8	0000 0000_H	32	FF61 0204_H	3	32
PORT	ポートノットレジスタ	PNOT8	0000_H	16	FF61 0208_H	3	16
PORT	ポート端子リードレジスタ	PPR8	0000_H	16	FF61 $020C_H$	3	16
PORT	ポートモードレジスタ	PM8	$FFFF_H$	16	FF61 0210_H	3	16
PORT	ポートモードコントロールレジスタ	PMC8	0000_H	16	FF61 0214_H	3	16
PORT	ポート機能コントロールレジスタ	PFC8	0000_H	16	FF61 0218_H	3	16

(11/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PORT	ポート機能コントロール拡張レジスタ	PFCE8	0000_H	16	FF61 $021C_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR8	0000 $FFFF_H$	32	FF61 0220_H	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR8	0000 0000_H	32	FF61 0224_H	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE8	0000_H	16	FF61 0228_H	3	16
PORT	ポート出力レベル反転レジスタ	PINV8	0000 0000_H	32	FF61 0230_H	3	32
PORT	ポートレジスタ	P10	0000_H	16	FF61 0280_H	3	16
PORT	ポートセット／リセットレジスタ	PSR10	0000 0000_H	32	FF61 0284_H	3	32
PORT	ポートノットレジスタ	PNOT10	0000_H	16	FF61 0288_H	3	16
PORT	ポート端子リードレジスタ	PPR10	0000_H	16	FF61 $028C_H$	3	16
PORT	ポートモードレジスタ	PM10	$FFFF_H$	16	FF61 0290_H	3	16
PORT	ポートモードコントロールレジスタ	PMC10	0000_H	16	FF61 0294_H	3	16
PORT	ポート機能コントロールレジスタ	PFC10	0000_H	16	FF61 0298_H	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE10	0000_H	16	FF61 $029C_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR10	0000 $FFFF_H$	32	FF61 $02A0_H$	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR10	0000 0000_H	32	FF61 $02A4_H$	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE10	0000_H	16	FF61 $02A8_H$	3	16
PORT	ポート出力レベル反転レジスタ	PINV10	0000 0000_H	32	FF61 $02B0_H$	3	32
PORT	ポートレジスタ	P11	0000_H	16	FF61 $02C0_H$	3	16
PORT	ポートセット／リセットレジスタ	PSR11	0000 0000_H	32	FF61 $02C4_H$	3	32
PORT	ポートノットレジスタ	PNOT11	0000_H	16	FF61 $02C8_H$	3	16
PORT	ポート端子リードレジスタ	PPR11	0000_H	16	FF61 $02CC_H$	3	16
PORT	ポートモードレジスタ	PM11	$FFFF_H$	16	FF61 $02D0_H$	3	16
PORT	ポートモードコントロールレジスタ	PMC11	0000_H	16	FF61 $02D4_H$	3	16
PORT	ポート機能コントロールレジスタ	PFC11	0000_H	16	FF61 $02D8_H$	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE11	0000_H	16	FF61 $02DC_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR11	0000 $FFFF_H$	32	FF61 $02E0_H$	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR11	0000 0000_H	32	FF61 $02E4_H$	3	32
PORT	ポート出力レベル反転レジスタ	PINV11	0000 0000_H	32	FF61 $02F0_H$	3	32
PORT	ポートレジスタ	P13	0000_H	16	FF61 0340_H	3	16
PORT	ポートセット／リセットレジスタ	PSR13	0000 0000_H	32	FF61 0344_H	3	32
PORT	ポートノットレジスタ	PNOT13	0000_H	16	FF61 0348_H	3	16
PORT	ポート端子リードレジスタ	PPR13	0000_H	16	FF61 $034C_H$	3	16
PORT	ポートモードレジスタ	PM13	$FFFF_H$	16	FF61 0350_H	3	16
PORT	ポートモードコントロールレジスタ	PMC13	0000_H	16	FF61 0354_H	3	16
PORT	ポート機能コントロールレジスタ	PFC13	0000_H	16	FF61 0358_H	3	16
PORT	ポート機能コントロール拡張レジスタ	PFCE13	0000_H	16	FF61 $035C_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR13	0000 $FFFF_H$	32	FF61 0360_H	3	32
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR13	0000 0000_H	32	FF61 0364_H	3	32
PORT	ポート機能コントロール追加拡張レジスタ	PFCAE13	0000_H	16	FF61 0368_H	3	16
PORT	ポート出力レベル反転レジスタ	PINV13	0000 0000_H	32	FF61 0370_H	3	32
PORT	ポート端子リードレジスタ	PPR14	0000_H	16	FF61 $038C_H$	3	16
PORT	ポートモードコントロールレジスタ	PMC14	0000_H	16	FF61 0394_H	3	16
PORT	ポート機能コントロールレジスタ	PFC14	0000_H	16	FF61 0398_H	3	16

(12/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR14	$0000\ 0000_H$	32	$FF61\ 03A4_H$	3	32
PORT	ポート端子リードレジスタ	PPR15	0000_H	16	$FF61\ 03CC_H$	3	16
PORT	ポートモードコントロールレジスタ	PMC15	0000_H	16	$FF61\ 03D4_H$	3	16
PORT	ポート機能コントロールレジスタ	PFC15	0000_H	16	$FF61\ 03D8_H$	3	16
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSR15	$0000\ 0000_H$	32	$FF61\ 03E4_H$	3	32
PORT	ポート端子リードレジスタ	PPR16	0000_H	16	$FF61\ 040C_H$	3	16
PORT	ポートモードレジスタ	PM17	$FFFF_H$	16	$FF61\ 0450_H$	3	16
PORT	ポートモードセット／リセットレジスタ	PMSR17	$0000\ FFFF_H$	32	$FF61\ 0460_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_0	$0000\ 0010_H$	32	$FF61\ 2000_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_1	$0000\ 0010_H$	32	$FF61\ 2004_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_2	$0000\ 0010_H$	32	$FF61\ 2008_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_3	$0000\ 0010_H$	32	$FF61\ 200C_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_4	$0000\ 0010_H$	32	$FF61\ 2010_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_5	$0000\ 0010_H$	32	$FF61\ 2014_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_6	$0000\ 0010_H$	32	$FF61\ 2018_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_7	$0000\ 0010_H$	32	$FF61\ 201C_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_8	$0000\ 0010_H$	32	$FF61\ 2020_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_9	$0000\ 0010_H$	32	$FF61\ 2024_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_10	$0000\ 0010_H$	32	$FF61\ 2028_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_11	$0000\ 0010_H$	32	$FF61\ 202C_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_12	$0000\ 0010_H$	32	$FF61\ 2030_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_13	$0000\ 0010_H$	32	$FF61\ 2034_H$	3	32
PORT	ポートコントロールレジスタ	PCR0_14	$0000\ 0010_H$	32	$FF61\ 2038_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_0	$0000\ 0010_H$	32	$FF61\ 2040_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_1	$0000\ 0010_H$	32	$FF61\ 2044_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_2	$0000\ 0010_H$	32	$FF61\ 2048_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_3	$0000\ 0010_H$	32	$FF61\ 204C_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_4	$0000\ 0010_H$	32	$FF61\ 2050_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_5	$0000\ 0010_H$	32	$FF61\ 2054_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_6	$0000\ 0010_H$	32	$FF61\ 2058_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_7	$0000\ 0010_H$	32	$FF61\ 205C_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_8	$0000\ 0010_H$	32	$FF61\ 2060_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_9	$0000\ 0010_H$	32	$FF61\ 2064_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_10	$0000\ 0010_H$	32	$FF61\ 2068_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_11	$0000\ 0010_H$	32	$FF61\ 206C_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_12	$0000\ 0010_H$	32	$FF61\ 2070_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_13	$0000\ 0010_H$	32	$FF61\ 2074_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_14	$0000\ 0010_H$	32	$FF61\ 2078_H$	3	32
PORT	ポートコントロールレジスタ	PCR1_15	$0000\ 0010_H$	32	$FF61\ 207C_H$	3	32
PORT	ポートコントロールレジスタ	PCR2_0	$0000\ 0010_H$	32	$FF61\ 2080_H$	3	32
PORT	ポートコントロールレジスタ	PCR2_1	$0000\ 0010_H$	32	$FF61\ 2084_H$	3	32
PORT	ポートコントロールレジスタ	PCR2_2	$0000\ 0010_H$	32	$FF61\ 2088_H$	3	32
PORT	ポートコントロールレジスタ	PCR2_3	$0000\ 0010_H$	32	$FF61\ 208C_H$	3	32
PORT	ポートコントロールレジスタ	PCR2_4	$0000\ 0010_H$	32	$FF61\ 2090_H$	3	32
PORT	ポートコントロールレジスタ	PCR2_5	$0000\ 0010_H$	32	$FF61\ 2094_H$	3	32
PORT	ポートコントロールレジスタ	PCR2_6	$0000\ 0010_H$	32	$FF61\ 2098_H$	3	32

(13/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PORT	ポートコントロールレジスタ	PCR2_7	$0000\ 0010_H$	32	$FF61\ 209C_H$	3	32
PORT	ポートコントロールレジスタ	PCR3_0	$0000\ 0010_H$	32	$FF61\ 20C0_H$	3	32
PORT	ポートコントロールレジスタ	PCR3_1	$0000\ 0010_H$	32	$FF61\ 20C4_H$	3	32
PORT	ポートコントロールレジスタ	PCR3_2	$0000\ 0010_H$	32	$FF61\ 20C8_H$	3	32
PORT	ポートコントロールレジスタ	PCR3_3	$0000\ 0010_H$	32	$FF61\ 20CC_H$	3	32
PORT	ポートコントロールレジスタ	PCR3_4	$0000\ 0010_H$	32	$FF61\ 20D0_H$	3	32
PORT	ポートコントロールレジスタ	PCR3_5	$0000\ 0010_H$	32	$FF61\ 20D4_H$	3	32
PORT	ポートコントロールレジスタ	PCR3_6	$0000\ 0010_H$	32	$FF61\ 20D8_H$	3	32
PORT	ポートコントロールレジスタ	PCR3_7	$0000\ 0010_H$	32	$FF61\ 20DC_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_0	$0000\ 0010_H$	32	$FF61\ 2100_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_1	$0000\ 0010_H$	32	$FF61\ 2104_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_2	$0000\ 0010_H$	32	$FF61\ 2108_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_3	$0000\ 0010_H$	32	$FF61\ 210C_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_4	$0000\ 0010_H$	32	$FF61\ 2110_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_5	$0000\ 0010_H$	32	$FF61\ 2114_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_6	$0000\ 0010_H$	32	$FF61\ 2118_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_7	$0000\ 0010_H$	32	$FF61\ 211C_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_8	$0000\ 0010_H$	32	$FF61\ 2120_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_9	$0000\ 0010_H$	32	$FF61\ 2124_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_10	$0000\ 0010_H$	32	$FF61\ 2128_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_11	$0000\ 0010_H$	32	$FF61\ 212C_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_12	$0000\ 0010_H$	32	$FF61\ 2130_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_13	$0000\ 0010_H$	32	$FF61\ 2134_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_14	$0000\ 0010_H$	32	$FF61\ 2138_H$	3	32
PORT	ポートコントロールレジスタ	PCR4_15	$0000\ 0010_H$	32	$FF61\ 213C_H$	3	32
PORT	ポートコントロールレジスタ	PCR5_0	$0000\ 0010_H$	32	$FF61\ 2140_H$	3	32
PORT	ポートコントロールレジスタ	PCR5_1	$0000\ 0010_H$	32	$FF61\ 2144_H$	3	32
PORT	ポートコントロールレジスタ	PCR5_2	$0000\ 0010_H$	32	$FF61\ 2148_H$	3	32
PORT	ポートコントロールレジスタ	PCR5_3	$0000\ 0010_H$	32	$FF61\ 214C_H$	3	32
PORT	ポートコントロールレジスタ	PCR5_4	$0000\ 0010_H$	32	$FF61\ 2150_H$	3	32
PORT	ポートコントロールレジスタ	PCR5_5	$0000\ 0010_H$	32	$FF61\ 2154_H$	3	32
PORT	ポートコントロールレジスタ	PCR5_6	$0000\ 0010_H$	32	$FF61\ 2158_H$	3	32
PORT	ポートコントロールレジスタ	PCR5_7	$0000\ 0010_H$	32	$FF61\ 215C_H$	3	32
PORT	ポートコントロールレジスタ	PCR5_8	$0000\ 0010_H$	32	$FF61\ 2160_H$	3	32
PORT	ポートコントロールレジスタ	PCR5_9	$0000\ 0010_H$	32	$FF61\ 2164_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_0	$0000\ 0010_H$	32	$FF61\ 2180_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_1	$0000\ 0010_H$	32	$FF61\ 2184_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_2	$0000\ 0010_H$	32	$FF61\ 2188_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_3	$0000\ 0010_H$	32	$FF61\ 218C_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_4	$0000\ 0010_H$	32	$FF61\ 2190_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_5	$0000\ 0010_H$	32	$FF61\ 2194_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_6	$0000\ 0010_H$	32	$FF61\ 2198_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_7	$0000\ 0010_H$	32	$FF61\ 219C_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_8	$0000\ 0010_H$	32	$FF61\ 21A0_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_9	$0000\ 0010_H$	32	$FF61\ 21A4_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_10	$0000\ 0010_H$	32	$FF61\ 21A8_H$	3	32
PORT	ポートコントロールレジスタ	PCR6_11	$0000\ 0010_H$	32	$FF61\ 21AC_H$	3	32

(14/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PORT	ポートコントロールレジスタ	PCR7_0	$0000\ 0010_H$	32	$FF61\ 21C0_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_1	$0000\ 0010_H$	32	$FF61\ 21C4_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_2	$0000\ 0010_H$	32	$FF61\ 21C8_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_3	$0000\ 0010_H$	32	$FF61\ 21CC_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_4	$0000\ 0010_H$	32	$FF61\ 21D0_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_5	$0000\ 0010_H$	32	$FF61\ 21D4_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_6	$0000\ 0010_H$	32	$FF61\ 21D8_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_7	$0000\ 0010_H$	32	$FF61\ 21DC_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_8	$0000\ 0010_H$	32	$FF61\ 21E0_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_9	$0000\ 0010_H$	32	$FF61\ 21E4_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_10	$0000\ 0010_H$	32	$FF61\ 21E8_H$	3	32
PORT	ポートコントロールレジスタ	PCR7_11	$0000\ 0010_H$	32	$FF61\ 21EC_H$	3	32
PORT	ポートコントロールレジスタ	PCR8_0	$0000\ 0010_H$	32	$FF61\ 2200_H$	3	32
PORT	ポートコントロールレジスタ	PCR8_1	$0000\ 0010_H$	32	$FF61\ 2204_H$	3	32
PORT	ポートコントロールレジスタ	PCR8_2	$0000\ 0010_H$	32	$FF61\ 2208_H$	3	32
PORT	ポートコントロールレジスタ	PCR8_3	$0000\ 0010_H$	32	$FF61\ 220C_H$	3	32
PORT	ポートコントロールレジスタ	PCR8_4	$0000\ 0010_H$	32	$FF61\ 2210_H$	3	32
PORT	ポートコントロールレジスタ	PCR8_5	$0000\ 0010_H$	32	$FF61\ 2214_H$	3	32
PORT	ポートコントロールレジスタ	PCR8_6	$0000\ 0010_H$	32	$FF61\ 2218_H$	3	32
PORT	ポートコントロールレジスタ	PCR8_7	$0000\ 0010_H$	32	$FF61\ 221C_H$	3	32
PORT	ポートコントロールレジスタ	PCR10_0	$0000\ 0010_H$	32	$FF61\ 2280_H$	3	32
PORT	ポートコントロールレジスタ	PCR10_1	$0000\ 0010_H$	32	$FF61\ 2284_H$	3	32
PORT	ポートコントロールレジスタ	PCR10_2	$0000\ 0010_H$	32	$FF61\ 2288_H$	3	32
PORT	ポートコントロールレジスタ	PCR10_3	$0000\ 0010_H$	32	$FF61\ 228C_H$	3	32
PORT	ポートコントロールレジスタ	PCR10_4	$0000\ 0010_H$	32	$FF61\ 2290_H$	3	32
PORT	ポートコントロールレジスタ	PCR11_0	$0000\ 0010_H$	32	$FF61\ 22C0_H$	3	32
PORT	ポートコントロールレジスタ	PCR11_1	$0000\ 0010_H$	32	$FF61\ 22C4_H$	3	32
PORT	ポートコントロールレジスタ	PCR11_2	$0000\ 0010_H$	32	$FF61\ 22C8_H$	3	32
PORT	ポートコントロールレジスタ	PCR11_3	$0000\ 0010_H$	32	$FF61\ 22CC_H$	3	32
PORT	ポートコントロールレジスタ	PCR11_4	$0000\ 0010_H$	32	$FF61\ 22D0_H$	3	32
PORT	ポートコントロールレジスタ	PCR11_5	$0000\ 0010_H$	32	$FF61\ 22D4_H$	3	32
PORT	ポートコントロールレジスタ	PCR13_0	$0000\ 0010_H$	32	$FF61\ 2340_H$	3	32
PORT	ポートコントロールレジスタ	PCR13_1	$0000\ 0010_H$	32	$FF61\ 2344_H$	3	32
PORT	ポートコントロールレジスタ	PCR13_2	$0000\ 0010_H$	32	$FF61\ 2348_H$	3	32
PORT	ポートコントロールレジスタ	PCR13_3	$0000\ 0010_H$	32	$FF61\ 234C_H$	3	32
PORT	ポートコントロールレジスタ	PCR13_4	$0000\ 0010_H$	32	$FF61\ 2350_H$	3	32
PORT	ポートコントロールレジスタ	PCR13_5	$0000\ 0010_H$	32	$FF61\ 2354_H$	3	32
PORT	ポートコントロールレジスタ	PCR13_6	$0000\ 0010_H$	32	$FF61\ 2358_H$	3	32
PORT	ポートコントロールレジスタ	PCR13_7	$0000\ 0010_H$	32	$FF61\ 235C_H$	3	32
PORT	ポートコントロールレジスタ	PCR13_8	$0000\ 0010_H$	32	$FF61\ 2360_H$	3	32
PORT	ポートコントロールレジスタ	PCR13_9	$0000\ 0010_H$	32	$FF61\ 2364_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_0	$0000\ 0000_H$	32	$FF61\ 2380_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_1	$0000\ 0000_H$	32	$FF61\ 2384_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_2	$0000\ 0000_H$	32	$FF61\ 2388_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_3	$0000\ 0000_H$	32	$FF61\ 238C_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_4	$0000\ 0000_H$	32	$FF61\ 2390_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_5	$0000\ 0000_H$	32	$FF61\ 2394_H$	3	32

(15/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PORT	ポートコントロールレジスタ	PCR14_6	$0000\ 0000_H$	32	$FF61\ 2398_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_7	$0000\ 0000_H$	32	$FF61\ 239C_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_8	$0000\ 0000_H$	32	$FF61\ 23A0_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_9	$0000\ 0000_H$	32	$FF61\ 23A4_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_10	$0000\ 0000_H$	32	$FF61\ 23A8_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_11	$0000\ 0000_H$	32	$FF61\ 23AC_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_12	$0000\ 0000_H$	32	$FF61\ 23B0_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_13	$0000\ 0000_H$	32	$FF61\ 23B4_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_14	$0000\ 0000_H$	32	$FF61\ 23B8_H$	3	32
PORT	ポートコントロールレジスタ	PCR14_15	$0000\ 0000_H$	32	$FF61\ 23BC_H$	3	32
PORT	ポートコントロールレジスタ	PCR15_0	$0000\ 0000_H$	32	$FF61\ 23C0_H$	3	32
PORT	ポートコントロールレジスタ	PCR15_1	$0000\ 0000_H$	32	$FF61\ 23C4_H$	3	32
PORT	ポートコントロールレジスタ	PCR15_2	$0000\ 0000_H$	32	$FF61\ 23C8_H$	3	32
PORT	ポートコントロールレジスタ	PCR15_3	$0000\ 0000_H$	32	$FF61\ 23CC_H$	3	32
PORT	ポートコントロールレジスタ	PCR16_0	$0000\ 0000_H$	32	$FF61\ 2400_H$	3	32
PORT	ポートコントロールレジスタ	PCR16_1	$0000\ 0000_H$	32	$FF61\ 2404_H$	3	32
PORT	ポートコントロールレジスタ	PCR16_2	$0000\ 0000_H$	32	$FF61\ 2408_H$	3	32
PORT	ポートコントロールレジスタ	PCR16_3	$0000\ 0000_H$	32	$FF61\ 240C_H$	3	32
PORT	ポートコントロールレジスタ	PCR16_4	$0000\ 0000_H$	32	$FF61\ 2410_H$	3	32
PORT	ポートコントロールレジスタ	PCR16_5	$0000\ 0000_H$	32	$FF61\ 2414_H$	3	32
PORT	ポートコントロールレジスタ	PCR16_6	$0000\ 0000_H$	32	$FF61\ 2418_H$	3	32
PORT	ポートコントロールレジスタ	PCR16_7	$0000\ 0000_H$	32	$FF61\ 241C_H$	3	32
PORT	ポートコントロールレジスタ	PCR16_8	$0000\ 0000_H$	32	$FF61\ 2420_H$	3	32
PORT	ポートコントロールレジスタ	PCR17_0	$0000\ 0010_H$	32	$FF61\ 2440_H$	3	32
PORT	ポートコントロールレジスタ	PCR17_1	$0000\ 0010_H$	32	$FF61\ 2444_H$	3	32
PORT	ポートコントロールレジスタ	PCR17_2	$0000\ 0010_H$	32	$FF61\ 2448_H$	3	32
PORT	ポートコントロールレジスタ	PCR17_3	$0000\ 0010_H$	32	$FF61\ 244C_H$	3	32
DFE	制御レジスタ A（チャネル 0）	CTLACH0	$0000\ 0000_H$	32	$FFBF\ 0000_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 1）	CTLACH1	$0000\ 0000_H$	32	$FFBF\ 0004_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 2）	CTLACH2	$0000\ 0000_H$	32	$FFBF\ 0008_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 3）	CTLACH3	$0000\ 0000_H$	32	$FFBF\ 000C_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 4）	CTLACH4	$0000\ 0000_H$	32	$FFBF\ 0010_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 5）	CTLACH5	$0000\ 0000_H$	32	$FFBF\ 0014_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 6）	CTLACH6	$0000\ 0000_H$	32	$FFBF\ 0018_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 7）	CTLACH7	$0000\ 0000_H$	32	$FFBF\ 001C_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 8）	CTLACH8	$0000\ 0000_H$	32	$FFBF\ 0020_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 9）	CTLACH9	$0000\ 0000_H$	32	$FFBF\ 0024_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 10）	CTLACH10	$0000\ 0000_H$	32	$FFBF\ 0028_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 11）	CTLACH11	$0000\ 0000_H$	32	$FFBF\ 002C_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 12）	CTLACH12	$0000\ 0000_H$	32	$FFBF\ 0030_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 13）	CTLACH13	$0000\ 0000_H$	32	$FFBF\ 0034_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 14）	CTLACH14	$0000\ 0000_H$	32	$FFBF\ 0038_H$	3	8、16、32
DFE	制御レジスタ A（チャネル 15）	CTLACH15	$0000\ 0000_H$	32	$FFBF\ 003C_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 0）	CTLBCH0	$0000\ 0000_H$	32	$FFBF\ 0040_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 1）	CTLBCH1	$0000\ 0000_H$	32	$FFBF\ 0044_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 2）	CTLBCH2	$0000\ 0000_H$	32	$FFBF\ 0048_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 3）	CTLBCH3	$0000\ 0000_H$	32	$FFBF\ 004C_H$	3	8、16、32

(16/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DFE	制御レジスタ B（チャネル 4）	CTLBCH4	0000 0000$_H$	32	FFBF 0050$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 5）	CTLBCH5	0000 0000$_H$	32	FFBF 0054$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 6）	CTLBCH6	0000 0000$_H$	32	FFBF 0058$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 7）	CTLBCH7	0000 0000$_H$	32	FFBF 005C$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 8）	CTLBCH8	0000 0000$_H$	32	FFBF 0060$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 9）	CTLBCH9	0000 0000$_H$	32	FFBF 0064$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 10）	CTLBCH10	0000 0000$_H$	32	FFBF 0068$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 11）	CTLBCH11	0000 0000$_H$	32	FFBF 006C$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 12）	CTLBCH12	0000 0000$_H$	32	FFBF 0070$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 13）	CTLBCH13	0000 0000$_H$	32	FFBF 0074$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 14）	CTLBCH14	0000 0000$_H$	32	FFBF 0078$_H$	3	8、16、32
DFE	制御レジスタ B（チャネル 15）	CTLBCH15	0000 0000$_H$	32	FFBF 007C$_H$	3	8、16、32
DFE	出力データレジスタ（チャネル 0）	DOCH0	0000 0000$_H$	32	FFBF 0080$_H$	3	32
DFE	出力データレジスタ（チャネル 1）	DOCH1	0000 0000$_H$	32	FFBF 0084$_H$	3	32
DFE	出力データレジスタ（チャネル 2）	DOCH2	0000 0000$_H$	32	FFBF 0088$_H$	3	32
DFE	出力データレジスタ（チャネル 3）	DOCH3	0000 0000$_H$	32	FFBF 008C$_H$	3	32
DFE	出力データレジスタ（チャネル 4）	DOCH4	0000 0000$_H$	32	FFBF 0090$_H$	3	32
DFE	出力データレジスタ（チャネル 5）	DOCH5	0000 0000$_H$	32	FFBF 0094$_H$	3	32
DFE	出力データレジスタ（チャネル 6）	DOCH6	0000 0000$_H$	32	FFBF 0098$_H$	3	32
DFE	出力データレジスタ（チャネル 7）	DOCH7	0000 0000$_H$	32	FFBF 009C$_H$	3	32
DFE	出力データレジスタ（チャネル 8）	DOCH8	0000 0000$_H$	32	FFBF 00A0$_H$	3	32
DFE	出力データレジスタ（チャネル 9）	DOCH9	0000 0000$_H$	32	FFBF 00A4$_H$	3	32
DFE	出力データレジスタ（チャネル 10）	DOCH10	0000 0000$_H$	32	FFBF 00A8$_H$	3	32
DFE	出力データレジスタ（チャネル 11）	DOCH11	0000 0000$_H$	32	FFBF 00AC$_H$	3	32
DFE	出力データレジスタ（チャネル 12）	DOCH12	0000 0000$_H$	32	FFBF 00B0$_H$	3	32
DFE	出力データレジスタ（チャネル 13）	DOCH13	0000 0000$_H$	32	FFBF 00B4$_H$	3	32
DFE	出力データレジスタ（チャネル 14）	DOCH14	0000 0000$_H$	32	FFBF 00B8$_H$	3	32
DFE	出力データレジスタ（チャネル 15）	DOCH15	0000 0000$_H$	32	FFBF 00BC$_H$	3	32
DFE	PH 結果レジスタ（チャネル 0）	PHCH0	8000 0000$_H$	32	FFBF 00C0$_H$	3	32
DFE	PH 結果レジスタ（チャネル 1）	PHCH1	8000 0000$_H$	32	FFBF 00C4$_H$	3	32
DFE	PH 結果レジスタ（チャネル 2）	PHCH2	8000 0000$_H$	32	FFBF 00C8$_H$	3	32
DFE	PH 結果レジスタ（チャネル 3）	PHCH3	8000 0000$_H$	32	FFBF 00CC$_H$	3	32
DFE	PH 結果レジスタ（チャネル 4）	PHCH4	8000 0000$_H$	32	FFBF 00D0$_H$	3	32
DFE	PH 結果レジスタ（チャネル 5）	PHCH5	8000 0000$_H$	32	FFBF 00D4$_H$	3	32
DFE	PH 結果レジスタ（チャネル 6）	PHCH6	8000 0000$_H$	32	FFBF 00D8$_H$	3	32
DFE	PH 結果レジスタ（チャネル 7）	PHCH7	8000 0000$_H$	32	FFBF 00DC$_H$	3	32
DFE	PH 結果レジスタ（チャネル 8）	PHCH8	8000 0000$_H$	32	FFBF 00E0$_H$	3	32
DFE	PH 結果レジスタ（チャネル 9）	PHCH9	8000 0000$_H$	32	FFBF 00E4$_H$	3	32
DFE	PH インデックスレジスタ（チャネル 0）	PHINDCH0	0000 0000$_H$	32	FFBF 0100$_H$	3	32
DFE	PH インデックスレジスタ（チャネル 1）	PHINDCH1	0000 0000$_H$	32	FFBF 0104$_H$	3	32
DFE	PH インデックスレジスタ（チャネル 2）	PHINDCH2	0000 0000$_H$	32	FFBF 0108$_H$	3	32
DFE	PH インデックスレジスタ（チャネル 3）	PHINDCH3	0000 0000$_H$	32	FFBF 010C$_H$	3	32
DFE	PH インデックスレジスタ（チャネル 4）	PHINDCH4	0000 0000$_H$	32	FFBF 0110$_H$	3	32

(17/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DFE	PH インデックスレジスタ（チャネル 5）	PHINDCH5	0000 0000_H	32	FFBF 0114_H	3	32
DFE	PH インデックスレジスタ（チャネル 6）	PHINDCH6	0000 0000_H	32	FFBF 0118_H	3	32
DFE	PH インデックスレジスタ（チャネル 7）	PHINDCH7	0000 0000_H	32	FFBF $011C_H$	3	32
DFE	PH インデックスレジスタ（チャネル 8）	PHINDCH8	0000 0000_H	32	FFBF 0120_H	3	32
DFE	PH インデックスレジスタ（チャネル 9）	PHINDCH9	0000 0000_H	32	FFBF 0124_H	3	32
DFE	ステータスレジスタ（チャネル 0）	STCH0	0000_H	16	FFBF 0140_H	3	8、16
DFE	ステータスレジスタ（チャネル 1）	STCH1	0000_H	16	FFBF 0144_H	3	8、16
DFE	ステータスレジスタ（チャネル 2）	STCH2	0000_H	16	FFBF 0148_H	3	8、16
DFE	ステータスレジスタ（チャネル 3）	STCH3	0000_H	16	FFBF $014C_H$	3	8、16
DFE	ステータスレジスタ（チャネル 4）	STCH4	0000_H	16	FFBF 0150_H	3	8、16
DFE	ステータスレジスタ（チャネル 5）	STCH5	0000_H	16	FFBF 0154_H	3	8、16
DFE	ステータスレジスタ（チャネル 6）	STCH6	0000_H	16	FFBF 0158_H	3	8、16
DFE	ステータスレジスタ（チャネル 7）	STCH7	0000_H	16	FFBF $015C_H$	3	8、16
DFE	ステータスレジスタ（チャネル 8）	STCH8	0000_H	16	FFBF 0160_H	3	8、16
DFE	ステータスレジスタ（チャネル 9）	STCH9	0000_H	16	FFBF 0164_H	3	8、16
DFE	ステータスレジスタ（チャネル 10）	STCH10	0000_H	16	FFBF 0168_H	3	8、16
DFE	ステータスレジスタ（チャネル 11）	STCH11	0000_H	16	FFBF $016C_H$	3	8、16
DFE	ステータスレジスタ（チャネル 12）	STCH12	0000_H	16	FFBF 0170_H	3	8、16
DFE	ステータスレジスタ（チャネル 13）	STCH13	0000_H	16	FFBF 0174_H	3	8、16
DFE	ステータスレジスタ（チャネル 14）	STCH14	0000_H	16	FFBF 0178_H	3	8、16
DFE	ステータスレジスタ（チャネル 15）	STCH15	0000_H	16	FFBF $017C_H$	3	8、16
DFE	クリアステータスレジスタ（チャネル 0）	CLRSTCH0	0000_H	16	FFBF 0180_H	3	8、16
DFE	クリアステータスレジスタ（チャネル 1）	CLRSTCH1	0000_H	16	FFBF 0184_H	3	8、16
DFE	クリアステータスレジスタ（チャネル 2）	CLRSTCH2	0000_H	16	FFBF 0188_H	3	8、16
DFE	クリアステータスレジスタ（チャネル 3）	CLRSTCH3	0000_H	16	FFBF $018C_H$	3	8、16
DFE	クリアステータスレジスタ（チャネル 4）	CLRSTCH4	0000_H	16	FFBF 0190_H	3	8、16
DFE	クリアステータスレジスタ（チャネル 5）	CLRSTCH5	0000_H	16	FFBF 0194_H	3	8、16
DFE	クリアステータスレジスタ（チャネル 6）	CLRSTCH6	0000_H	16	FFBF 0198_H	3	8、16
DFE	クリアステータスレジスタ（チャネル 7）	CLRSTCH7	0000_H	16	FFBF $019C_H$	3	8、16
DFE	クリアステータスレジスタ（チャネル 8）	CLRSTCH8	0000_H	16	FFBF $01A0_H$	3	8、16
DFE	クリアステータスレジスタ（チャネル 9）	CLRSTCH9	0000_H	16	FFBF $01A4_H$	3	8、16
DFE	クリアステータスレジスタ（チャネル 10）	CLRSTCH10	0000_H	16	FFBF $01A8_H$	3	8、16
DFE	クリアステータスレジスタ（チャネル 11）	CLRSTCH11	0000_H	16	FFBF $01AC_H$	3	8、16
DFE	クリアステータスレジスタ（チャネル 12）	CLRSTCH12	0000_H	16	FFBF $01B0_H$	3	8、16
DFE	クリアステータスレジスタ（チャネル 13）	CLRSTCH13	0000_H	16	FFBF $01B4_H$	3	8、16

(18/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DFE	クリアステータスレジスタ（チャネル 14）	CLRSTCH14	0000_H	16	FFBF $01B8_H$	3	8、16
DFE	クリアステータスレジスタ（チャネル 15）	CLRSTCH15	0000_H	16	FFBF $01BC_H$	3	8、16
DFE	エラーマスクレジスタ（チャネル 0）	ERMCH0	00_H	8	FFBF $01C0_H$	3	8
DFE	エラーマスクレジスタ（チャネル 1）	ERMCH1	00_H	8	FFBF $01C4_H$	3	8
DFE	エラーマスクレジスタ（チャネル 2）	ERMCH2	00_H	8	FFBF $01C8_H$	3	8
DFE	エラーマスクレジスタ（チャネル 3）	ERMCH3	00_H	8	FFBF $01CC_H$	3	8
DFE	エラーマスクレジスタ（チャネル 4）	ERMCH4	00_H	8	FFBF $01D0_H$	3	8
DFE	エラーマスクレジスタ（チャネル 5）	ERMCH5	00_H	8	FFBF $01D4_H$	3	8
DFE	エラーマスクレジスタ（チャネル 6）	ERMCH6	00_H	8	FFBF $01D8_H$	3	8
DFE	エラーマスクレジスタ（チャネル 7）	ERMCH7	00_H	8	FFBF $01DC_H$	3	8
DFE	エラーマスクレジスタ（チャネル 8）	ERMCH8	00_H	8	FFBF $01E0_H$	3	8
DFE	エラーマスクレジスタ（チャネル 9）	ERMCH9	00_H	8	FFBF $01E4_H$	3	8
DFE	エラーマスクレジスタ（チャネル 10）	ERMCH10	00_H	8	FFBF $01E8_H$	3	8
DFE	エラーマスクレジスタ（チャネル 11）	ERMCH11	00_H	8	FFBF $01EC_H$	3	8
DFE	エラーマスクレジスタ（チャネル 12）	ERMCH12	00_H	8	FFBF $01F0_H$	3	8
DFE	エラーマスクレジスタ（チャネル 13）	ERMCH13	00_H	8	FFBF $01F4_H$	3	8
DFE	エラーマスクレジスタ（チャネル 14）	ERMCH14	00_H	8	FFBF $01F8_H$	3	8
DFE	エラーマスクレジスタ（チャネル 15）	ERMCH15	00_H	8	FFBF $01FC_H$	3	8
DFE	トリガ設定レジスタ（チャネル 0）	TRGCH0	$0000\ 0000_H$	32	FFBF 0200_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 1）	TRGCH1	$0000\ 0000_H$	32	FFBF 0204_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 2）	TRGCH2	$0000\ 0000_H$	32	FFBF 0208_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 3）	TRGCH3	$0000\ 0000_H$	32	FFBF $020C_H$	3	16、32
DFE	トリガ設定レジスタ（チャネル 4）	TRGCH4	$0000\ 0000_H$	32	FFBF 0210_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 5）	TRGCH5	$0000\ 0000_H$	32	FFBF 0214_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 6）	TRGCH6	$0000\ 0000_H$	32	FFBF 0218_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 7）	TRGCH7	$0000\ 0000_H$	32	FFBF $021C_H$	3	16、32
DFE	トリガ設定レジスタ（チャネル 8）	TRGCH8	$0000\ 0000_H$	32	FFBF 0220_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 9）	TRGCH9	$0000\ 0000_H$	32	FFBF 0224_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 10）	TRGCH10	$0000\ 0000_H$	32	FFBF 0228_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 11）	TRGCH11	$0000\ 0000_H$	32	FFBF $022C_H$	3	16、32
DFE	トリガ設定レジスタ（チャネル 12）	TRGCH12	$0000\ 0000_H$	32	FFBF 0230_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 13）	TRGCH13	$0000\ 0000_H$	32	FFBF 0234_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 14）	TRGCH14	$0000\ 0000_H$	32	FFBF 0238_H	3	16、32
DFE	トリガ設定レジスタ（チャネル 15）	TRGCH15	$0000\ 0000_H$	32	FFBF $023C_H$	3	16、32
DFE	トリガ履歴レジスタ（チャネル 0）	TRHCH0	00_H	8	FFBF 0240_H	3	8
DFE	トリガ履歴レジスタ（チャネル 1）	TRHCH1	00_H	8	FFBF 0244_H	3	8
DFE	トリガ履歴レジスタ（チャネル 2）	TRHCH2	00_H	8	FFBF 0248_H	3	8
DFE	トリガ履歴レジスタ（チャネル 3）	TRHCH3	00_H	8	FFBF $024C_H$	3	8
DFE	トリガ履歴レジスタ（チャネル 4）	TRHCH4	00_H	8	FFBF 0250_H	3	8
DFE	トリガ履歴レジスタ（チャネル 5）	TRHCH5	00_H	8	FFBF 0254_H	3	8
DFE	トリガ履歴レジスタ（チャネル 6）	TRHCH6	00_H	8	FFBF 0258_H	3	8
DFE	トリガ履歴レジスタ（チャネル 7）	TRHCH7	00_H	8	FFBF $025C_H$	3	8
DFE	トリガ履歴レジスタ（チャネル 8）	TRHCH8	00_H	8	FFBF 0260_H	3	8
DFE	トリガ履歴レジスタ（チャネル 9）	TRHCH9	00_H	8	FFBF 0264_H	3	8
DFE	トリガ履歴レジスタ（チャネル 10）	TRHCH10	00_H	8	FFBF 0268_H	3	8
DFE	トリガ履歴レジスタ（チャネル 11）	TRHCH11	00_H	8	FFBF $026C_H$	3	8

(19/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DFE	トリガ履歴レジスタ（チャネル 12）	TRHCH12	00_H	8	FFBF 0270_H	3	8
DFE	トリガ履歴レジスタ（チャネル 13）	TRHCH13	00_H	8	FFBF 0274_H	3	8
DFE	トリガ履歴レジスタ（チャネル 14）	TRHCH14	00_H	8	FFBF 0278_H	3	8
DFE	トリガ履歴レジスタ（チャネル 15）	TRHCH15	00_H	8	FFBF $027C_H$	3	8
DFE	比較値設定レジスタ A	CPA	$0000\ 0000_H$	32	FFBF 0280_H	3	32
DFE	比較値設定レジスタ B	CPB	$0000\ 0000_H$	32	FFBF 0284_H	3	32
DFE	比較値設定レジスタ C	CPC	$0000\ 0000_H$	32	FFBF 0288_H	3	32
DFE	比較値設定レジスタ D	CPD	$0000\ 0000_H$	32	FFBF $028C_H$	3	32
DFE	PH 初期値設定レジスタ A	PHIA	$8000\ 0000_H$	32	FFBF 0290_H	3	32
DFE	PH 初期値設定レジスタ B	PHIB	$8000\ 0000_H$	32	FFBF 0294_H	3	32
DFE	PH 初期値設定レジスタ C	PHIC	$8000\ 0000_H$	32	FFBF 0298_H	3	32
DFE	PH 初期値設定レジスタ D	PHID	$8000\ 0000_H$	32	FFBF $029C_H$	3	32
DFE	積算／デシメーション回数設定レジスタ A	ACA	0000_H	16	FFBF $02B0_H$	3	16
DFE	積算／デシメーション回数設定レジスタ B	ACB	0000_H	16	FFBF $02B4_H$	3	16
DFE	積算／デシメーション回数設定レジスタ C	ACC	0000_H	16	FFBF $02B8_H$	3	16
DFE	積算／デシメーション回数設定レジスタ D	ACD	0000_H	16	FFBF $02BC_H$	3	16
DFE	ソフトウェア入力データレジスタ	DI	$0000\ 0000_H$	32	FFBF $02C0_H$	3	32
DFE	ソフトウェアトリガレジスタ	TRG	00_H	8	FFBF $02C4_H$	3	8
DFE	DFE ステータスレジスタ	ST	$0000\ 0000_H$	32	FFBF $02CC_H$	3	8、16、32
DFE	PH 初期化／終了用タイマトリガ選択レジスタ	PITRG	$0000\ 0000_H$	32	FFBF 0300_H	3	8、16、32
DFE	積算／デシメーション初期化／禁止用タイマトリガ選択レジスタ	MITRG	$0000\ 0000_H$	32	FFBF 0304_H	3	8、16、32
DFE	フィルタ初期化用タイマトリガ選択レジスタ	FITRG	$0000\ 0000_H$	32	FFBF 0308_H	3	8、16、32
DFE	PH 更新通知設定レジスタ 0	PHUPDC0	00_H	8	FFBF 0310_H	3	8
DFE	PH 更新通知設定レジスタ 1	PHUPDC1	00_H	8	FFBF 0314_H	3	8
DFE	中間値出力レジスタ L（チャネル 0）	HOLCH0	$0000\ 0000_H$	32	FFBF 0320_H	3	32
DFE	中間値出力レジスタ H（チャネル 0）	HOHCH0	$0000\ 0000_H$	32	FFBF 0324_H	3	32
DFE	中間値出力レジスタ L（チャネル 1）	HOLCH1	$0000\ 0000_H$	32	FFBF 0328_H	3	32
DFE	中間値出力レジスタ H（チャネル 1）	HOHCH1	$0000\ 0000_H$	32	FFBF $032C_H$	3	32
DFE	中間値出力レジスタ L（チャネル 2）	HOLCH2	$0000\ 0000_H$	32	FFBF 0330_H	3	32
DFE	中間値出力レジスタ H（チャネル 2）	HOHCH2	$0000\ 0000_H$	32	FFBF 0334_H	3	32
DFE	中間値出力レジスタ L（チャネル 3）	HOLCH3	$0000\ 0000_H$	32	FFBF 0338_H	3	32
DFE	中間値出力レジスタ H（チャネル 3）	HOHCH3	$0000\ 0000_H$	32	FFBF $033C_H$	3	32
DFE	中間値出力レジスタ L（チャネル 4）	HOLCH4	$0000\ 0000_H$	32	FFBF 0340_H	3	32
DFE	中間値出力レジスタ H（チャネル 4）	HOHCH4	$0000\ 0000_H$	32	FFBF 0344_H	3	32
DFE	中間値出力レジスタ L（チャネル 5）	HOLCH5	$0000\ 0000_H$	32	FFBF 0348_H	3	32
DFE	中間値出力レジスタ H（チャネル 5）	HOHCH5	$0000\ 0000_H$	32	FFBF $034C_H$	3	32
DFE	中間値出力レジスタ L（チャネル 6）	HOLCH6	$0000\ 0000_H$	32	FFBF 0350_H	3	32
DFE	中間値出力レジスタ H（チャネル 6）	HOHCH6	$0000\ 0000_H$	32	FFBF 0354_H	3	32
DFE	中間値出力レジスタ L（チャネル 7）	HOLCH7	$0000\ 0000_H$	32	FFBF 0358_H	3	32
DFE	中間値出力レジスタ H（チャネル 7）	HOHCH7	$0000\ 0000_H$	32	FFBF $035C_H$	3	32
DFE	中間値出力ミラーレジスタ L（チャネル 0）	HOLMCH0	$0000\ 0000_H$	32	FFBF 0360_H	3	32
DFE	中間値出力ミラーレジスタ L（チャネル 1）	HOLMCH1	$0000\ 0000_H$	32	FFBF 0364_H	3	32

(20/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DFE	中間値出力ミラーレジスタ L（チャネル 2）	HOLMCH2	$0000\ 0000_H$	32	$FFBF\ 0368_H$	3	32
DFE	中間値出力ミラーレジスタ L（チャネル 3）	HOLMCH3	$0000\ 0000_H$	32	$FFBF\ 036C_H$	3	32
DFE	中間値出力ミラーレジスタ L（チャネル 4）	HOLMCH4	$0000\ 0000_H$	32	$FFBF\ 0370_H$	3	32
DFE	中間値出力ミラーレジスタ L（チャネル 5）	HOLMCH5	$0000\ 0000_H$	32	$FFBF\ 0374_H$	3	32
DFE	中間値出力ミラーレジスタ L（チャネル 6）	HOLMCH6	$0000\ 0000_H$	32	$FFBF\ 0378_H$	3	32
DFE	中間値出力ミラーレジスタ L（チャネル 7）	HOLMCH7	$0000\ 0000_H$	32	$FFBF\ 037C_H$	3	32
EINT	NMI 割り込みコントロールレジスタ	NMICTL	00_H	8	$FFC0\ 0000_H$	3	8
EINT	外部割り込みコントロールレジスタ	EXINTCTL	0000_H	16	$FFC0\ 0010_H$	3	8、16
EINT	外部割り込みステータスレジスタ	EXINTSTR	00_H	8	$FFC0\ 0014_H$	3	8
EINT	外部割り込みステータスクリアレジスタ	EXINTSTC	00_H	8	$FFC0\ 0018_H$	3	8
EINT	ソフトウェア割り込みレジスタ 0	SINTR0	00_H	8	$FFC0\ 0020_H$	3	8
EINT	ソフトウェア割り込みレジスタ 1	SINTR1	00_H	8	$FFC0\ 0024_H$	3	8
EINT	ソフトウェア割り込みレジスタ 2	SINTR2	00_H	8	$FFC0\ 0028_H$	3	8
EINT	ソフトウェア割り込みレジスタ 3	SINTR3	00_H	8	$FFC0\ 002C_H$	3	8
ACK0	クロックコントロールレジスタ	ACK0CKC	01_H	8	$FFC0\ 4000_H$	3	8
ACK0	CKC フラグレジスタ	ACK0CKCFLG	01_H	8	$FFC0\ 4004_H$	3	8
ACK0	クロック選択レジスタ	ACK0CKCTL	00_H	8	$FFC0\ 4008_H$	3	8
ACK0	BRGA0 コンペアレジスタ	ACK0BRGA0CMP	00_H	8	$FFC0\ 400C_H$	3	8
ACK0	CKC プロテクトコマンドレジスタ	ACK0CKCPCMD	不定	8	$FFC0\ 4100_H$	3	8
ACK0	CKC プロテクトステータスレジスタ	ACK0CKCPS	00_H	8	$FFC0\ 4104_H$	3	8
MSTB	モジュールスタンバイレジスタ -TSG2	MSRTSG	00_H	8	$FFC0\ 5000_H$	3	8
MSTB	モジュールスタンバイレジスタ -TAPA	MSRTAPA	00_H	8	$FFC0\ 5004_H$	3	8
MSTB	モジュールスタンバイレジスタ -OSTM	MSROSTM	00_H	8	$FFC0\ 5008_H$	3	8
MSTB	モジュールスタンバイレジスタ -WDTA	MSRWDTA	00_H	8	$FFC0\ 500C_H$	3	8
MSTB	モジュールスタンバイレジスタ -PIC	MSRPIC	00_H	8	$FFC0\ 5010_H$	3	8
MSTB	モジュールスタンバイレジスタ -RS-CAN	MSRRCAN	00_H	8	$FFC0\ 5014_H$	3	8
MSTB	モジュールスタンバイレジスタ -FlexRay	MSRFRAY	00_H	8	$FFC0\ 5018_H$	3	8
MSTB	モジュールスタンバイレジスタ -RLIN2	MSRRLIN	00_H	8	$FFC0\ 501C_H$	3	8
MSTB	モジュールスタンバイレジスタ -SCI3	MSRSCI	00_H	8	$FFC0\ 5020_H$	3	8
MSTB	モジュールスタンバイレジスタ -CSIH	MSRCSIH	00_H	8	$FFC0\ 5024_H$	3	8
MSTB	モジュールスタンバイレジスタ -SAR AD	MSRSAD	00_H	8	$FFC0\ 5028_H$	3	8
MSTB	モジュールスタンバイレジスタ -ΔΣAD	MSRDAD	00_H	8	$FFC0\ 502C_H$	3	8
MSTB	モジュールスタンバイレジスタ -ATU-IV	MSRATU	00_H	8	$FFC0\ 5030_H$	3	8
MSTB	モジュールスタンバイレジスタ -APA	MSRAPA	00_H	8	$FFC0\ 5034_H$	3	8
MSTB	モジュールスタンバイレジスタ -DFE	MSRDFE	00_H	8	$FFC0\ 5038_H$	3	8
MSTB	モジュールスタンバイレジスタ -RHSB	MSRRHSB	00_H	8	$FFC0\ 503C_H$	3	8
MSTB	モジュールスタンバイレジスタ -RSENT	MSRRSENT	00_H	8	$FFC0\ 5044_H$	3	8
MSTB	MSR プロテクトコマンドレジスタ	MSRPCMD	不定	8	$FFC0\ 5070_H$	3	8
MSTB	MSR プロテクトステータスレジスタ	MSRPS	00_H	8	$FFC0\ 5074_H$	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC0	0000_H	16	$FFC1\ 4000_H$	3	16

(21/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PORT	ポート双方向コントロールレジスタ	PBDC0	0000_H	16	FFC1 4004_H	3	16
PORT	ポート IP コントロールレジスタ	PIPC0	0000_H	16	FFC1 4008_H	3	16
PORT	プルアップオプションレジスタ	PU0	0000_H	16	FFC1 $400C_H$	3	16
PORT	プルダウンオプションレジスタ	PD0	0000_H	16	FFC1 4010_H	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC0	$0000\ 0000_H$	32	FFC1 4018_H	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC0	$0000\ 0000_H$	32	FFC1 4028_H	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD0	00_H	8	FFC1 $402C_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS0	00_H	8	FFC1 4034_H	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC1	0000_H	16	FFC1 4040_H	3	16
PORT	ポート双方向コントロールレジスタ	PBDC1	0000_H	16	FFC1 4044_H	3	16
PORT	ポート IP コントロールレジスタ	PIPC1	0000_H	16	FFC1 4048_H	3	16
PORT	プルアップオプションレジスタ	PU1	0000_H	16	FFC1 $404C_H$	3	16
PORT	プルダウンオプションレジスタ	PD1	0000_H	16	FFC1 4050_H	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC1	$0000\ 0000_H$	32	FFC1 4058_H	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC1	$0000\ 0000_H$	32	FFC1 4068_H	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD1	00_H	8	FFC1 $406C_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS1	00_H	8	FFC1 4074_H	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC2	0000_H	16	FFC1 4080_H	3	16
PORT	ポート双方向コントロールレジスタ	PBDC2	0000_H	16	FFC1 4084_H	3	16
PORT	ポート IP コントロールレジスタ	PIPC2	0000_H	16	FFC1 4088_H	3	16
PORT	プルアップオプションレジスタ	PU2	0000_H	16	FFC1 $408C_H$	3	16
PORT	プルダウンオプションレジスタ	PD2	0000_H	16	FFC1 4090_H	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC2	$0000\ 0000_H$	32	FFC1 4098_H	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC2	$0000\ 0000_H$	32	FFC1 $40A8_H$	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD2	00_H	8	FFC1 $40AC_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS2	00_H	8	FFC1 $40B4_H$	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC3	0000_H	16	FFC1 $40C0_H$	3	16
PORT	ポート双方向コントロールレジスタ	PBDC3	0000_H	16	FFC1 $40C4_H$	3	16
PORT	ポート IP コントロールレジスタ	PIPC3	0000_H	16	FFC1 $40C8_H$	3	16
PORT	プルアップオプションレジスタ	PU3	0000_H	16	FFC1 $40CC_H$	3	16
PORT	プルダウンオプションレジスタ	PD3	0000_H	16	FFC1 $40D0_H$	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC3	$0000\ 0000_H$	32	FFC1 $40D8_H$	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC3	$0000\ 0000_H$	32	FFC1 $40E8_H$	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD3	00_H	8	FFC1 $40EC_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS3	00_H	8	FFC1 $40F4_H$	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC4	0000_H	16	FFC1 4100_H	3	16
PORT	ポート双方向コントロールレジスタ	PBDC4	0000_H	16	FFC1 4104_H	3	16
PORT	ポート IP コントロールレジスタ	PIPC4	0000_H	16	FFC1 4108_H	3	16
PORT	プルアップオプションレジスタ	PU4	0000_H	16	FFC1 $410C_H$	3	16
PORT	プルダウンオプションレジスタ	PD4	0000_H	16	FFC1 4110_H	3	16

(22/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PORT	ポートドライブ強度コントロールレジスタ	PDSC4	0000 0000_H	32	FFC1 4118_H	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC4	0000 0000_H	32	FFC1 4128_H	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD4	00_H	8	FFC1 $412C_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS4	00_H	8	FFC1 4134_H	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC5	0000_H	16	FFC1 4140_H	3	16
PORT	ポート双方向コントロールレジスタ	PBDC5	0000_H	16	FFC1 4144_H	3	16
PORT	ポート IP コントロールレジスタ	PIPC5	0000_H	16	FFC1 4148_H	3	16
PORT	プルアップオプションレジスタ	PU5	0000_H	16	FFC1 $414C_H$	3	16
PORT	プルダウンオプションレジスタ	PD5	0000_H	16	FFC1 4150_H	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC5	0000 0000_H	32	FFC1 4158_H	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC5	0000 0000_H	32	FFC1 4168_H	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD5	00_H	8	FFC1 $416C_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS5	00_H	8	FFC1 4174_H	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC6	0000_H	16	FFC1 4180_H	3	16
PORT	ポート双方向コントロールレジスタ	PBDC6	0000_H	16	FFC1 4184_H	3	16
PORT	ポート IP コントロールレジスタ	PIPC6	0000_H	16	FFC1 4188_H	3	16
PORT	プルアップオプションレジスタ	PU6	0000_H	16	FFC1 $418C_H$	3	16
PORT	プルダウンオプションレジスタ	PD6	0000_H	16	FFC1 4190_H	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC6	0000 0000_H	32	FFC1 4198_H	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC6	0000 0000_H	32	FFC1 $41A8_H$	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD6	00_H	8	FFC1 $41AC_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS6	00_H	8	FFC1 $41B4_H$	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC7	0000_H	16	FFC1 $41C0_H$	3	16
PORT	ポート双方向コントロールレジスタ	PBDC7	0000_H	16	FFC1 $41C4_H$	3	16
PORT	ポート IP コントロールレジスタ	PIPC7	0000_H	16	FFC1 $41C8_H$	3	16
PORT	プルアップオプションレジスタ	PU7	0000_H	16	FFC1 $41CC_H$	3	16
PORT	プルダウンオプションレジスタ	PD7	0000_H	16	FFC1 $41D0_H$	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC7	0000 0000_H	32	FFC1 $41D8_H$	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC7	0000 0000_H	32	FFC1 $41E8_H$	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD7	00_H	8	FFC1 $41EC_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS7	00_H	8	FFC1 $41F4_H$	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC8	0000_H	16	FFC1 4200_H	3	16
PORT	ポート双方向コントロールレジスタ	PBDC8	0000_H	16	FFC1 4204_H	3	16
PORT	ポート IP コントロールレジスタ	PIPC8	0000_H	16	FFC1 4208_H	3	16
PORT	プルアップオプションレジスタ	PU8	0000_H	16	FFC1 $420C_H$	3	16
PORT	プルダウンオプションレジスタ	PD8	0000_H	16	FFC1 4210_H	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC8	0000 0000_H	32	FFC1 4218_H	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC8	0000 0000_H	32	FFC1 4228_H	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD8	00_H	8	FFC1 $422C_H$	3	8

(23/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PORT	ポート保護ステータスレジスタ	PPROTS8	00_H	8	FFC1 4234_H	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC10	0000_H	16	FFC1 4280_H	3	16
PORT	ポート双方向コントロールレジスタ	PBDC10	0000_H	16	FFC1 4284_H	3	16
PORT	ポート IP コントロールレジスタ	PIPC10	0000_H	16	FFC1 4288_H	3	16
PORT	プルアップオプションレジスタ	PU10	0000_H	16	FFC1 $428C_H$	3	16
PORT	プルダウンオプションレジスタ	PD10	0000_H	16	FFC1 4290_H	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC10	0000 0000_H	32	FFC1 4298_H	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC10	0000 0000_H	32	FFC1 $42A8_H$	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD10	00_H	8	FFC1 $42AC_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS10	00_H	8	FFC1 $42B4_H$	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC11	0000_H	16	FFC1 $42C0_H$	3	16
PORT	ポート双方向コントロールレジスタ	PBDC11	0000_H	16	FFC1 $42C4_H$	3	16
PORT	プルアップオプションレジスタ	PU11	0000_H	16	FFC1 $42CC_H$	3	16
PORT	プルダウンオプションレジスタ	PD11	0000_H	16	FFC1 $42D0_H$	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC11	0000 0000_H	32	FFC1 $42D8_H$	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC11	0000 0000_H	32	FFC1 $42E8_H$	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD11	00_H	8	FFC1 $42EC_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS11	00_H	8	FFC1 $42F4_H$	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC13	0000_H	16	FFC1 4340_H	3	16
PORT	ポート双方向コントロールレジスタ	PBDC13	0000_H	16	FFC1 4344_H	3	16
PORT	ポート IP コントロールレジスタ	PIPC13	0000_H	16	FFC1 4348_H	3	16
PORT	プルアップオプションレジスタ	PU13	0000_H	16	FFC1 $434C_H$	3	16
PORT	プルダウンオプションレジスタ	PD13	0000_H	16	FFC1 4350_H	3	16
PORT	ポートドライブ強度コントロールレジスタ	PDSC13	0000 0000_H	32	FFC1 4358_H	3	32
PORT	ポートユニバーサルコントロールレジスタ	PUCC13	0000 0000_H	32	FFC1 4368_H	3	32
PORT	ポートレジスタ保護コマンドレジスタ	PPCMD13	00_H	8	FFC1 $436C_H$	3	8
PORT	ポート保護ステータスレジスタ	PPROTS13	00_H	8	FFC1 4374_H	3	8
PORT	ポート入力バッファコントロールレジスタ	PIBC14	0000_H	16	FFC1 4380_H	3	16
PORT	ポート入力バッファコントロールレジスタ	PIBC15	0000_H	16	FFC1 $43C0_H$	3	16
PORT	ポート入力バッファコントロールレジスタ	PIBC16	0000_H	16	FFC1 4400_H	3	16
DNF0	デジタルノイズ除去コントロールレジスタ	DNFP010CTL0	00_H	8	FFC3 0000_H	3	8
DNF0	デジタルノイズ除去コントロールレジスタ	DNFP010CTL1	00_H	8	FFC3 0004_H	3	8
DNF0	デジタルノイズ除去コントロールレジスタ	DNFP010CTL2	00_H	8	FFC3 0008_H	3	8
DNF0	デジタルノイズ除去コントロールレジスタ	DNFP010CTL3	00_H	8	FFC3 $000C_H$	3	8
DNF0	デジタルノイズ除去コントロールレジスタ	DNFP010CTL4	00_H	8	FFC3 0010_H	3	8
DNF0	デジタルノイズ除去コントロールレジスタ	DNFP010CTL5	00_H	8	FFC3 0014_H	3	8

(24/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DNF0	デジタルノイズ除去コントロールレジスタ	DNFP010CTL6	00_H	8	FFC3 0018_H	3	8
DNF0	デジタルノイズ除去コントロールレジスタ	DNFP010CTL7	00_H	8	FFC3 $001C_H$	3	8
DNF0	デジタルノイズ除去コントロールレジスタ	DNFP010CTL10	00_H	8	FFC3 0028_H	3	8
DNF0	デジタルノイズ除去コントロールレジスタ	DNFP010CTL11	00_H	8	FFC3 $002C_H$	3	8
DNF1	デジタルノイズ除去コントロールレジスタ	DNFP011CTL0	00_H	8	FFC3 0100_H	3	8
DNF1	デジタルノイズ除去コントロールレジスタ	DNFP011CTL1	00_H	8	FFC3 0104_H	3	8
DNF1	デジタルノイズ除去コントロールレジスタ	DNFP011CTL2	00_H	8	FFC3 0108_H	3	8
DNF1	デジタルノイズ除去コントロールレジスタ	DNFP011CTL3	00_H	8	FFC3 $010C_H$	3	8
DNF1	デジタルノイズ除去コントロールレジスタ	DNFP011CTL4	00_H	8	FFC3 0110_H	3	8
DNF1	デジタルノイズ除去コントロールレジスタ	DNFP011CTL5	00_H	8	FFC3 0114_H	3	8
DNF1	デジタルノイズ除去コントロールレジスタ	DNFP011CTL6	00_H	8	FFC3 0118_H	3	8
DNF1	デジタルノイズ除去コントロールレジスタ	DNFP011CTL7	00_H	8	FFC3 $011C_H$	3	8
DNF1	デジタルノイズ除去コントロールレジスタ	DNFP011CTL8	00_H	8	FFC3 0120_H	3	8
DNF1	デジタルノイズ除去コントロールレジスタ	DNFP011CTL9	00_H	8	FFC3 0124_H	3	8
DNF2	デジタルノイズ除去コントロールレジスタ	DNFP022CTL	00_H	8	FFC3 0200_H	3	8
DNF2	エッジ検出制御レジスタ	DNFP022EDC0	00_H	8	FFC3 0204_H	3	8
DNF2	エッジ検出フラグレジスタ	DNFP022EDF0	00_H	8	FFC3 0208_H	3	8
DNF2	エッジ検出制御レジスタ	DNFP022EDC1	00_H	8	FFC3 $020C_H$	3	8
DNF2	エッジ検出フラグレジスタ	DNFP022EDF1	00_H	8	FFC3 0210_H	3	8
DNF2	エッジ検出制御レジスタ	DNFP022EDC2	00_H	8	FFC3 0214_H	3	8
DNF2	エッジ検出フラグレジスタ	DNFP022EDF2	00_H	8	FFC3 0218_H	3	8
DNF2	エッジ検出制御レジスタ	DNFP022EDC3	00_H	8	FFC3 $021C_H$	3	8
DNF2	エッジ検出フラグレジスタ	DNFP022EDF3	00_H	8	FFC3 0220_H	3	8
DNF2	エッジ検出制御レジスタ	DNFP022EDC4	00_H	8	FFC3 0224_H	3	8
DNF2	エッジ検出フラグレジスタ	DNFP022EDF4	00_H	8	FFC3 0228_H	3	8
DNF2	エッジ検出制御レジスタ	DNFP022EDC5	00_H	8	FFC3 $022C_H$	3	8
DNF2	エッジ検出フラグレジスタ	DNFP022EDF5	00_H	8	FFC3 0230_H	3	8
DNF2	エッジ検出制御レジスタ	DNFP022EDC6	00_H	8	FFC3 0234_H	3	8
DNF2	エッジ検出フラグレジスタ	DNFP022EDF6	00_H	8	FFC3 0238_H	3	8
DNF2	エッジ検出制御レジスタ	DNFP022EDC7	00_H	8	FFC3 $023C_H$	3	8
DNF2	エッジ検出フラグレジスタ	DNFP022EDF7	00_H	8	FFC3 0240_H	3	8
DNF3	デジタルノイズ除去コントロールレジスタ	DNFP023CTL	00_H	8	FFC3 0300_H	3	8
DNF3	エッジ検出制御レジスタ	DNFP023EDC0	00_H	8	FFC3 0304_H	3	8
DNF3	エッジ検出フラグレジスタ	DNFP023EDF0	00_H	8	FFC3 0308_H	3	8
DNF3	エッジ検出制御レジスタ	DNFP023EDC1	00_H	8	FFC3 $030C_H$	3	8
DNF3	エッジ検出フラグレジスタ	DNFP023EDF1	00_H	8	FFC3 0310_H	3	8
DNF3	エッジ検出制御レジスタ	DNFP023EDC2	00_H	8	FFC3 0314_H	3	8
DNF3	エッジ検出フラグレジスタ	DNFP023EDF2	00_H	8	FFC3 0318_H	3	8

(25/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DNF3	エッジ検出制御レジスタ	DNFP023EDC3	00_H	8	FFC3 031C$_H$	3	8
DNF3	エッジ検出フラグレジスタ	DNFP023EDF3	00_H	8	FFC3 0320$_H$	3	8
DNF3	エッジ検出制御レジスタ	DNFP023EDC4	00_H	8	FFC3 0324$_H$	3	8
DNF3	エッジ検出フラグレジスタ	DNFP023EDF4	00_H	8	FFC3 0328$_H$	3	8
DNF3	エッジ検出制御レジスタ	DNFP023EDC5	00_H	8	FFC3 032C$_H$	3	8
DNF3	エッジ検出フラグレジスタ	DNFP023EDF5	00_H	8	FFC3 0330$_H$	3	8
DNF3	エッジ検出制御レジスタ	DNFP023EDC6	00_H	8	FFC3 0334$_H$	3	8
DNF3	エッジ検出フラグレジスタ	DNFP023EDF6	00_H	8	FFC3 0338$_H$	3	8
DNF3	エッジ検出制御レジスタ	DNFP023EDC7	00_H	8	FFC3 033C$_H$	3	8
DNF3	エッジ検出フラグレジスタ	DNFP023EDF7	00_H	8	FFC3 0340$_H$	3	8
DNF4	デジタルノイズ除去コントロールレジスタ	DNFP024CTL	00_H	8	FFC3 0400$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC0	00_H	8	FFC3 0404$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF0	00_H	8	FFC3 0408$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC1	00_H	8	FFC3 040C$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF1	00_H	8	FFC3 0410$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC2	00_H	8	FFC3 0414$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF2	00_H	8	FFC3 0418$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC3	00_H	8	FFC3 041C$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF3	00_H	8	FFC3 0420$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC4	00_H	8	FFC3 0424$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF4	00_H	8	FFC3 0428$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC5	00_H	8	FFC3 042C$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF5	00_H	8	FFC3 0430$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC6	00_H	8	FFC3 0434$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF6	00_H	8	FFC3 0438$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC7	00_H	8	FFC3 043C$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF7	00_H	8	FFC3 0440$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC8	00_H	8	FFC3 0444$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF8	00_H	8	FFC3 0448$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC9	00_H	8	FFC3 044C$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF9	00_H	8	FFC3 0450$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC10	00_H	8	FFC3 0454$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF10	00_H	8	FFC3 0458$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC11	00_H	8	FFC3 045C$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF11	00_H	8	FFC3 0460$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC12	00_H	8	FFC3 0464$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF12	00_H	8	FFC3 0468$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC13	00_H	8	FFC3 046C$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF13	00_H	8	FFC3 0470$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC14	00_H	8	FFC3 0474$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF14	00_H	8	FFC3 0478$_H$	3	8
DNF4	エッジ検出制御レジスタ	DNFP024EDC15	00_H	8	FFC3 047C$_H$	3	8
DNF4	エッジ検出フラグレジスタ	DNFP024EDF15	00_H	8	FFC3 0480$_H$	3	8
DNF5	デジタルノイズ除去コントロールレジスタ	DNFP025CTL	00_H	8	FFC3 0500$_H$	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC0	00_H	8	FFC3 0504$_H$	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF0	00_H	8	FFC3 0508$_H$	3	8

(26/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DNF5	エッジ検出制御レジスタ	DNFP025EDC1	00_H	8	FFC3 $050C_H$	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF1	00_H	8	FFC3 0510_H	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC2	00_H	8	FFC3 0514_H	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF2	00_H	8	FFC3 0518_H	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC3	00_H	8	FFC3 $051C_H$	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF3	00_H	8	FFC3 0520_H	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC4	00_H	8	FFC3 0524_H	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF4	00_H	8	FFC3 0528_H	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC5	00_H	8	FFC3 $052C_H$	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF5	00_H	8	FFC3 0530_H	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC6	00_H	8	FFC3 0534_H	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF6	00_H	8	FFC3 0538_H	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC7	00_H	8	FFC3 $053C_H$	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF7	00_H	8	FFC3 0540_H	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC8	00_H	8	FFC3 0544_H	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF8	00_H	8	FFC3 0548_H	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC9	00_H	8	FFC3 $054C_H$	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF9	00_H	8	FFC3 0550_H	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC10	00_H	8	FFC3 0554_H	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF10	00_H	8	FFC3 0558_H	3	8
DNF5	エッジ検出制御レジスタ	DNFP025EDC11	00_H	8	FFC3 $055C_H$	3	8
DNF5	エッジ検出フラグレジスタ	DNFP025EDF11	00_H	8	FFC3 0560_H	3	8
DNF6	デジタルノイズ除去コントロールレジスタ	DNFP026CTL	00_H	8	FFC3 0600_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC0	00_H	8	FFC3 0604_H	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF0	00_H	8	FFC3 0608_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC1	00_H	8	FFC3 $060C_H$	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF1	00_H	8	FFC3 0610_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC2	00_H	8	FFC3 0614_H	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF2	00_H	8	FFC3 0618_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC3	00_H	8	FFC3 $061C_H$	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF3	00_H	8	FFC3 0620_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC4	00_H	8	FFC3 0624_H	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF4	00_H	8	FFC3 0628_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC5	00_H	8	FFC3 $062C_H$	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF5	00_H	8	FFC3 0630_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC6	00_H	8	FFC3 0634_H	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF6	00_H	8	FFC3 0638_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC7	00_H	8	FFC3 $063C_H$	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF7	00_H	8	FFC3 0640_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC8	00_H	8	FFC3 0644_H	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF8	00_H	8	FFC3 0648_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC9	00_H	8	FFC3 $064C_H$	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF9	00_H	8	FFC3 0650_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC10	00_H	8	FFC3 0654_H	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF10	00_H	8	FFC3 0658_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC11	00_H	8	FFC3 $065C_H$	3	8

(27/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DNF6	エッジ検出フラグレジスタ	DNFP026EDF11	00_H	8	FFC3 0660_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC12	00_H	8	FFC3 0664_H	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF12	00_H	8	FFC3 0668_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC13	00_H	8	FFC3 $066C_H$	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF13	00_H	8	FFC3 0670_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC14	00_H	8	FFC3 0674_H	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF14	00_H	8	FFC3 0678_H	3	8
DNF6	エッジ検出制御レジスタ	DNFP026EDC15	00_H	8	FFC3 $067C_H$	3	8
DNF6	エッジ検出フラグレジスタ	DNFP026EDF15	00_H	8	FFC3 0680_H	3	8
DNF7	デジタルノイズ除去コントロールレジスタ	DNFP027CTL	00_H	8	FFC3 0700_H	3	8
DNF7	エッジ検出制御レジスタ	DNFP027EDC0	00_H	8	FFC3 0704_H	3	8
DNF7	エッジ検出フラグレジスタ	DNFP027EDF0	00_H	8	FFC3 0708_H	3	8
DNF7	エッジ検出制御レジスタ	DNFP027EDC1	00_H	8	FFC3 $070C_H$	3	8
DNF7	エッジ検出フラグレジスタ	DNFP027EDF1	00_H	8	FFC3 0710_H	3	8
DNF7	エッジ検出制御レジスタ	DNFP027EDC2	00_H	8	FFC3 0714_H	3	8
DNF7	エッジ検出フラグレジスタ	DNFP027EDF2	00_H	8	FFC3 0718_H	3	8
DNF7	エッジ検出制御レジスタ	DNFP027EDC3	00_H	8	FFC3 $071C_H$	3	8
DNF7	エッジ検出フラグレジスタ	DNFP027EDF3	00_H	8	FFC3 0720_H	3	8
DNF7	エッジ検出制御レジスタ	DNFP027EDC4	00_H	8	FFC3 0724_H	3	8
DNF7	エッジ検出フラグレジスタ	DNFP027EDF4	00_H	8	FFC3 0728_H	3	8
DNF7	エッジ検出制御レジスタ	DNFP027EDC5	00_H	8	FFC3 $072C_H$	3	8
DNF7	エッジ検出フラグレジスタ	DNFP027EDF5	00_H	8	FFC3 0730_H	3	8
DNF7	エッジ検出制御レジスタ	DNFP027EDC6	00_H	8	FFC3 0734_H	3	8
DNF7	エッジ検出フラグレジスタ	DNFP027EDF6	00_H	8	FFC3 0738_H	3	8
DNF7	エッジ検出制御レジスタ	DNFP027EDC7	00_H	8	FFC3 $073C_H$	3	8
DNF7	エッジ検出フラグレジスタ	DNFP027EDF7	00_H	8	FFC3 0740_H	3	8
DNF7	エッジ検出制御レジスタ	DNFP027EDC8	00_H	8	FFC3 0744_H	3	8
DNF7	エッジ検出フラグレジスタ	DNFP027EDF8	00_H	8	FFC3 0748_H	3	8
DNF8	デジタルノイズ除去コントロールレジスタ	DNFP018CTL0	00_H	8	FFC3 0800_H	3	8
DNF8	デジタルノイズ除去コントロールレジスタ	DNFP018CTL1	00_H	8	FFC3 0804_H	3	8
DNF8	デジタルノイズ除去コントロールレジスタ	DNFP018CTL2	00_H	8	FFC3 0808_H	3	8
DNF8	デジタルノイズ除去コントロールレジスタ	DNFP018CTL3	00_H	8	FFC3 $080C_H$	3	8
DNF8	デジタルノイズ除去コントロールレジスタ	DNFP018CTL4	00_H	8	FFC3 0810_H	3	8
DNF8	デジタルノイズ除去コントロールレジスタ	DNFP018CTL5	00_H	8	FFC3 0814_H	3	8
PBG	PBG3A プロテクションレジスタ 0	FSGD3ADPROT0	07FF $FFFF_H$	32	FFC4 0000_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 1	FSGD3ADPROT1	07FF $FFFF_H$	32	FFC4 0004_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 2	FSGD3ADPROT2	07FF $FFFF_H$	32	FFC4 0008_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 3	FSGD3ADPROT3	07FF $FFFF_H$	32	FFC4 $000C_H$	3	8、16、32
PBG	PBG3A プロテクションレジスタ 4	FSGD3ADPROT4	07FF $FFFF_H$	32	FFC4 0010_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 5	FSGD3ADPROT5	07FF $FFFF_H$	32	FFC4 0014_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 6	FSGD3ADPROT6	07FF $FFFF_H$	32	FFC4 0018_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 7	FSGD3ADPROT7	07FF $FFFF_H$	32	FFC4 $001C_H$	3	8、16、32
PBG	PBG3A プロテクションレジスタ 8	FSGD3ADPROT8	07FF $FFFF_H$	32	FFC4 0020_H	3	8、16、32

(28/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PBG	PBG3A プロテクションレジスタ 9	FSGD3ADPROT9	07FF $FFFF_H$	32	FFC4 0024_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 10	FSGD3ADPROT10	07FF $FFFF_H$	32	FFC4 0028_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 11	FSGD3ADPROT11	07FF $FFFF_H$	32	FFC4 $002C_H$	3	8、16、32
PBG	PBG3A プロテクションレジスタ 12	FSGD3ADPROT12	07FF $FFFF_H$	32	FFC4 0030_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 13	FSGD3ADPROT13	07FF $FFFF_H$	32	FFC4 0034_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 14	FSGD3ADPROT14	07FF $FFFF_H$	32	FFC4 0038_H	3	8、16、32
PBG	PBG3A プロテクションレジスタ 15	FSGD3ADPROT15	07FF $FFFF_H$	32	FFC4 $003C_H$	3	8、16、32
PBG	PBG3A エラーコントロールレジスタ	ERRSLV3ACTL	0000 0000_H	32	FFC4 0200_H	3	8、16、32
PBG	PBG3A エラーステータスレジスタ	ERRSLV3ASTAT	0000 0000_H	32	FFC4 0204_H	3	8、16、32
PBG	PBG3A エラーアドレスレジスタ	ERRSLV3AADDR	0000 0000_H	32	FFC4 0208_H	3	32
PBG	PBG3A エラータイプレジスタ	ERRSLV3ATYPE	0000 0000_H	32	FFC4 $020C_H$	3	16、32
PBG	PBG3B プロテクションレジスタ 0	FSGD3BDPROT0	07FF $FFFF_H$	32	FFC4 1000_H	3	8、16、32
PBG	PBG3B プロテクションレジスタ 1	FSGD3BDPROT1	07FF $FFFF_H$	32	FFC4 1004_H	3	8、16、32
PBG	PBG3B プロテクションレジスタ 2	FSGD3BDPROT2	07FF $FFFF_H$	32	FFC4 1008_H	3	8、16、32
PBG	PBG3B エラーコントロールレジスタ	ERRSLV3BCTL	0000 0000_H	32	FFC4 1200_H	3	8、16、32
PBG	PBG3B エラーステータスレジスタ	ERRSLV3BSTAT	0000 0000_H	32	FFC4 1204_H	3	8、16、32
PBG	PBG3B エラーアドレスレジスタ	ERRSLV3BADDR	0000 0000_H	32	FFC4 1208_H	3	32
PBG	PBG3B エラータイプレジスタ	ERRSLV3BTYPE	0000 0000_H	32	FFC4 $120C_H$	3	16、32
MGDGR	GRG コントロールレジスタ（SIC）	MGDGRSCTL_SIC	0000 0000_H	32	FFC4 9100_H	0	8、16、32
MGDGR	GRG エラーステータスレジスタ（SIC）	MGDGRSSTAT_SIC	0000 0000_H	32	FFC4 9104_H	0	8、16、32
MGDGR	GRG エラーアドレスレジスタ（SIC）	MGDGRSAD_SIC	0000 0000_H	32	FFC4 9108_H	0	8、16、32
MGDGR	GRG エラーアクセスタイプレジスタ（SIC）	MGDGRSTYPE_SIC	0000 0000_H	32	FFC4 $910C_H$	0	8、16、32
MGDGR	GRG コントロールレジスタ（PE1）	MGDGRSCTL_PE1	0000 0000_H	32	FFC4 9200_H	0	8、16、32
MGDGR	GRG エラーステータスレジスタ（PE1）	MGDGRSSTAT_PE1	0000 0000_H	32	FFC4 9204_H	0	8、16、32
MGDGR	GRG エラーアドレスレジスタ（PE1）	MGDGRSAD_PE1	0000 0000_H	32	FFC4 9208_H	0	8、16、32
MGDGR	GRG エラーアクセスタイプレジスタ（PE1）	MGDGRSTYPE_PE1	0000 0000_H	32	FFC4 $920C_H$	0	8、16、32
MGDGR	GRG プロテクション設定レジスタ 0	MGDGRPROT0	07FF 0000_H	32	FFC4 9400_H	0	8、16、32
MGDGR	GRG プロテクション SPID 設定レジスタ 0	MGDGRSPID0	FFFF $FFFF_H$	32	FFC4 9404_H	0	8、16、32
MGDGR	GRG コンペアベースアドレスレジスタ 0	MGDGRBAD0	0000 0000_H	32	FFC4 9408_H	0	8、16、32
MGDGR	GRG コンペアアドレス有効レジスタ 0	MGDGRADV0	0000 0000_H	32	FFC4 $940C_H$	0	8、16、32
MGDGR	GRG プロテクション設定レジスタ 1	MGDGRPROT1	07FF 0000_H	32	FFC4 9410_H	0	8、16、32
MGDGR	GRG プロテクション SPID 設定レジスタ 1	MGDGRSPID1	FFFF $FFFF_H$	32	FFC4 9414_H	0	8、16、32
MGDGR	GRG コンペアベースアドレスレジスタ 1	MGDGRBAD1	0000 0000_H	32	FFC4 9418_H	0	8、16、32
MGDGR	GRG コンペアアドレス有効レジスタ 1	MGDGRADV1	0000 0000_H	32	FFC4 $941C_H$	0	8、16、32
MGDGR	GRG プロテクション設定レジスタ 2	MGDGRPROT2	07FF 0000_H	32	FFC4 9420_H	0	8、16、32
MGDGR	GRG プロテクション SPID 設定レジスタ 2	MGDGRSPID2	FFFF $FFFF_H$	32	FFC4 9424_H	0	8、16、32
MGDGR	GRG コンペアベースアドレスレジスタ 2	MGDGRBAD2	0000 0000_H	32	FFC4 9428_H	0	8、16、32
MGDGR	GRG コンペアアドレス有効レジスタ 2	MGDGRADV2	0000 0000_H	32	FFC4 $942C_H$	0	8、16、32
MGDGR	GRG プロテクション設定レジスタ 3	MGDGRPROT3	07FF 0000_H	32	FFC4 9430_H	0	8、16、32
MGDGR	GRG プロテクション SPID 設定レジスタ 3	MGDGRSPID3	FFFF $FFFF_H$	32	FFC4 9434_H	0	8、16、32

(29/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
MGDGR	GRG コンペアベースアドレスレジスタ 3	MGDGRBAD3	$0000\ 0000_H$	32	$FFC4\ 9438_H$	0	8、16、32
MGDGR	GRG コンペアアドレス有効レジスタ 3	MGDGRADV3	$0000\ 0000_H$	32	$FFC4\ 943C_H$	0	8、16、32
MGDGR	GRG プロテクション設定レジスタ 4	MGDGRPROT4	$07FF\ 0000_H$	32	$FFC4\ 9440_H$	0	8、16、32
MGDGR	GRG プロテクション SPID 設定レジスタ 4	MGDGRSPID4	$FFFF\ FFFF_H$	32	$FFC4\ 9444_H$	0	8、16、32
MGDGR	GRG コンペアベースアドレスレジスタ 4	MGDGRBAD4	$0000\ 0000_H$	32	$FFC4\ 9448_H$	0	8、16、32
MGDGR	GRG コンペアアドレス有効レジスタ 4	MGDGRADV4	$0000\ 0000_H$	32	$FFC4\ 944C_H$	0	8、16、32
MGDGR	GRG プロテクション設定レジスタ 5	MGDGRPROT5	$07FF\ 0000_H$	32	$FFC4\ 9450_H$	0	8、16、32
MGDGR	GRG プロテクション SPID 設定レジスタ 5	MGDGRSPID5	$FFFF\ FFFF_H$	32	$FFC4\ 9454_H$	0	8、16、32
MGDGR	GRG コンペアベースアドレスレジスタ 5	MGDGRBAD5	$0000\ 0000_H$	32	$FFC4\ 9458_H$	0	8、16、32
MGDGR	GRG コンペアアドレス有効レジスタ 5	MGDGRADV5	$0000\ 0000_H$	32	$FFC4\ 945C_H$	0	8、16、32
MGDGR	GRG プロテクション設定レジスタ 6	MGDGRPROT6	$07FF\ 0000_H$	32	$FFC4\ 9460_H$	0	8、16、32
MGDGR	GRG プロテクション SPID 設定レジスタ 6	MGDGRSPID6	$FFFF\ FFFF_H$	32	$FFC4\ 9464_H$	0	8、16、32
MGDGR	GRG コンペアベースアドレスレジスタ 6	MGDGRBAD6	$0000\ 0000_H$	32	$FFC4\ 9468_H$	0	8、16、32
MGDGR	GRG コンペアアドレス有効レジスタ 6	MGDGRADV6	$0000\ 0000_H$	32	$FFC4\ 946C_H$	0	8、16、32
MGDGR	GRG プロテクション設定レジスタ 7	MGDGRPROT7	$07FF\ 0000_H$	32	$FFC4\ 9470_H$	0	8、16、32
MGDGR	GRG プロテクション SPID 設定レジスタ 7	MGDGRSPID7	$FFFF\ FFFF_H$	32	$FFC4\ 9474_H$	0	8、16、32
MGDGR	GRG コンペアベースアドレスレジスタ 7	MGDGRBAD7	$0000\ 0000_H$	32	$FFC4\ 9478_H$	0	8、16、32
MGDGR	GRG コンペアアドレス有効レジスタ 7	MGDGRADV7	$0000\ 0000_H$	32	$FFC4\ 947C_H$	0	8、16、32
PBG	PBG0A プロテクションレジスタ 0	FSGD0ADPROT0	$07FF\ FFFF_H$	32	$FFC4\ C000_H$	0	8、16、32
PBG	PBG0A プロテクションレジスタ 1	FSGD0ADPROT1	$07FF\ FFFF_H$	32	$FFC4\ C004_H$	0	8、16、32
PBG	PBG0B プロテクションレジスタ 4	FSGD0BDPROT4	$07FF\ FFFF_H$	32	$FFC4\ C110_H$	0	8、16、32
PBG	PBG0B プロテクションレジスタ 5	FSGD0BDPROT5	$07FF\ FFFF_H$	32	$FFC4\ C114_H$	0	8、16、32
PBG	PBG0B プロテクションレジスタ 6	FSGD0BDPROT6	$07FF\ FFFF_H$	32	$FFC4\ C118_H$	0	8、16、32
PBG	PBG0A エラーコントロールレジスタ	ERRSLV0ACTL	$0000\ 0000_H$	32	$FFC4\ C800_H$	0	8、16、32
PBG	PBG0A エラーステータスレジスタ	ERRSLV0ASTAT	$0000\ 0000_H$	32	$FFC4\ C804_H$	0	8、16、32
PBG	PBG0A エラーアドレスレジスタ	ERRSLV0AADDR	$0000\ 0000_H$	32	$FFC4\ C808_H$	0	32
PBG	PBG0A エラータイプレジスタ	ERRSLV0ATYPE	$0000\ 0000_H$	32	$FFC4\ C80C_H$	0	16、32
PBG	PBG0B エラーコントロールレジスタ	ERRSLV0BCTL	$0000\ 0000_H$	32	$FFC4\ C900_H$	0	8、16、32
PBG	PBG0B エラーステータスレジスタ	ERRSLV0BSTAT	$0000\ 0000_H$	32	$FFC4\ C904_H$	0	8、16、32
PBG	PBG0B エラーアドレスレジスタ	ERRSLV0BADDR	$0000\ 0000_H$	32	$FFC4\ C908_H$	0	32
PBG	PBG0B エラータイプレジスタ	ERRSLV0BTYPE	$0000\ 0000_H$	32	$FFC4\ C90C_H$	0	16、32
MISG	MISR コンパレータコントロールレジスタ	MISRCMPCTL	0000_H	16	$FFC5\ 0000_H$	0	8、16
MISG	MISR コンペアエラーステータスレジスタ	MISRCMPERSTR	00_H	8	$FFC5\ 0004_H$	0	8
MISG	MISR コンペアエラーステータスクリアレジスタ	MISRCMPERRSTC	00_H	8	$FFC5\ 0008_H$	0	8
MISG	MISR エラー通知コントロールレジスタ	MISRERRCTL	00_H	8	$FFC5\ 000C_H$	0	8
MISG	マルチインプットシグネチャレジスタ 1 （PE1）	MISR1_PE1	$0000\ 0000_H$	32	$FFC5\ 1000_H$	0	32
MISG	マルチインプットシグネチャレジスタ 2 （PE1）	MISR2_PE1	$0000\ 0000_H$	32	$FFC5\ 1008_H$	0	32
MISG	MISR カルキュレーションデータレジスタ （PE1）	MISRCDR_PE1	—	32	$FFC5\ 1010_H$	0	8、16、32

(30/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
MISG	MISR コントロールレジスタ （PE1）	MISRCR_PE1	00_H	8	FFC5 1018_H	0	8
MISG	MISR 監視領域ベースアドレスレジスタ （PE1）	MISRBASEADR_PE1	0000 0000_H	32	FFC5 $101C_H$	0	8、16、32
MISG	MISR 監視領域アドレスマスクレジスタ （PE1）	MISRADRMSK_PE1	0000 0000_H	32	FFC5 1020_H	0	8、16、32
MISG	MISR データカウンタコントロールレジスタ （PE1）	MISRDCNTCTL_PE1	00_H	8	FFC5 1024_H	0	8
MISG	MISR データカウンタレジスタ （PE1）	MISRDCNT_PE1	0000_H	16	FFC5 1028_H	0	16
MISG	マルチインプットシグネチャレジスタ 1 （PCU）	MISR1_PCU	0000 0000_H	32	FFC5 3000_H	0	32
MISG	マルチインプットシグネチャレジスタ 2 （PCU）	MISR2_PCU	0000 0000_H	32	FFC5 3008_H	0	32
MISG	MISR カルキュレーションデータレジスタ （PCU）	MISRCDR_PCU	—	32	FFC5 3010_H	0	8、16、32
MISG	MISR コントロールレジスタ （PCU）	MISRCR_PCU	00_H	8	FFC5 3018_H	0	8
MISG	MISR 監視領域ベースアドレスレジスタ （PCU）	MISRBASEADR_PCU	0000 0000_H	32	FFC5 $301C_H$	0	8、16、32
MISG	MISR 監視領域アドレスマスクレジスタ （PCU）	MISRADRMSK_PCU	0000 0000_H	32	FFC5 3020_H	0	8、16、32
MISG	MISR データカウンタコントロールレジスタ （PCU）	MISRDCNTCTL_PCU	00_H	8	FFC5 3024_H	0	8
MISG	MISR データカウンタレジスタ （PCU）	MISRDCNT_PCU	0000_H	16	FFC5 3028_H	0	16
FLASH	Data Flash メモリ読み出しサイクル設定レジスタ	FRDCYCLD	$0F_H$	8	FFC5 9810_H	0	8
ECCIC1	命令キャッシュデータ RAM ECC コントロールレジスタ（PE1）	IDECCCTL_PE1	0000 0000_H	32	FFC6 0400_H	0	16、32
ECCIC1	命令キャッシュデータ RAM エラー情報コントロールレジスタ（PE1）	IDERRINT_PE1	0000 0000_H	32	FFC6 0404_H	0	8、16、32
ECCIC1	命令キャッシュデータ RAM エラーステータスクリアレジスタ（PE1）	IDSTCLR_PE1	0000 0000_H	32	FFC6 0408_H	0	8、16、32
ECCIC1	命令キャッシュデータ RAM エラーカウントオーバフローステータスレジスタ（PE1）	IDOVFSTR_PE1	0000 0000_H	32	FFC6 $040C_H$	0	8、16、32
ECCIC1	命令キャッシュデータ RAM 1st エラーステータスレジスタ（PE1）	ID1STERSTR_PE1	0000 0000_H	32	FFC6 0410_H	0	8、16、32
ECCIC1	命令キャッシュデータ RAM 1st エラーアドレスレジスタ（PE1）	ID1STEADR0_PE1	0000 0000_H	32	FFC6 0450_H	0	8、16、32
ECCIC1	命令キャッシュタグ RAM ECC コントロールレジスタ（PE1）	ITECCCTL_PE1	0000 0000_H	32	FFC6 1400_H	0	16、32
ECCIC1	命令キャッシュタグ RAM エラー情報コントロールレジスタ（PE1）	ITERRINT_PE1	0000 0000_H	32	FFC6 1404_H	0	8、16、32
ECCIC1	命令キャッシュタグ RAM エラーステータスクリアレジスタ（PE1）	ITSTCLR_PE1	0000 0000_H	32	FFC6 1408_H	0	8、16、32
ECCIC1	命令キャッシュタグ RAM エラーカウントオーバフローステータスレジスタ（PE1）	ITOVFSTR_PE1	0000 0000_H	32	FFC6 $140C_H$	0	8、16、32
ECCIC1	命令キャッシュタグ RAM 1st エラーステータスレジスタ（PE1）	IT1STERSTR_PE1	0000 0000_H	32	FFC6 1410_H	0	8、16、32
ECCIC1	命令キャッシュタグ RAM 1st エラーアドレスレジスタ（PE1）	IT1STEADR0_PE1	0000 0000_H	32	FFC6 1450_H	0	8、16、32
ECCFLI	Code Flash アドレスパリティコントロールレジスタ	CFAPCTL	0000 0000_H	32	FFC6 2000_H	0	16、32
ECCFLI	Code Flash ECC コントロールレジスタ（SIC）	CFECCCTL_SIC	0000 0000_H	32	FFC6 2200_H	0	16、32
ECCFLI	Code Flash エラー情報コントロールレジスタ（SIC）	CFERRINT_SIC	0000 0006_H	32	FFC6 2204_H	0	8、16、32
ECCFLI	Code Flash ステータスクリアレジスタ（SIC）	CFSTCLR_SIC	0000 0000_H	32	FFC6 2208_H	0	8、16、32

(31/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ECCFLI	Code Flash エラーカウントオーバフローステータスレジスタ（SIC）	CFOVFSTR_SIC	$0000\ 0000_H$	32	$FFC6\ 220C_H$	0	8、16、32
ECCFLI	Code Flash 1st エラーステータスレジスタ（SIC）	CF1STERSTR_SIC	$0000\ 0000_H$	32	$FFC6\ 2210_H$	0	8、16、32
ECCFLI	Code Flash 1st エラーアドレスレジスタ（SIC）	CF1STEADR0_SIC	$0000\ 0000_H$	32	$FFC6\ 2250_H$	0	8、16、32
ECCFLI	Code Flash サブテストコントロールレジスタ （SIC）	CFSTSTCTL_SIC	$0000\ 0000_H$	32	$FFC6\ 2350_H$	0	16、32
ECCFLI	Code Flash ECC コントロールレジスタ（PE1）	CFECCCTL_PE1	$0000\ 0000_H$	32	$FFC6\ 2400_H$	0	16、32
ECCFLI	Code Flash エラー情報コントロールレジスタ（PE1）	CFERRINT_PE1	$0000\ 0006_H$	32	$FFC6\ 2404_H$	0	8、16、32
ECCFLI	Code Flash ステータスクリアレジスタ（PE1）	CFSTCLR_PE1	$0000\ 0000_H$	32	$FFC6\ 2408_H$	0	8、16、32
ECCFLI	Code Flash エラーカウントオーバフローステータスレジスタ（PE1）	CFOVFSTR_PE1	$0000\ 0000_H$	32	$FFC6\ 240C_H$	0	8、16、32
ECCFLI	Code Flash 1st エラーステータスレジスタ（PE1）	CF1STERSTR_PE1	$0000\ 0000_H$	32	$FFC6\ 2410_H$	0	8、16、32
ECCFLI	Code Flash 1st エラーアドレスレジスタ 0 （PE1）	CF1STEADR0_PE1	$0000\ 0000_H$	32	$FFC6\ 2450_H$	0	8、16、32
ECCFLI	Code Flash 1st エラーアドレスレジスタ 1 （PE1）	CF1STEADR1_PE1	$0000\ 0000_H$	32	$FFC6\ 2454_H$	0	8、16、32
ECCFLI	Code Flash サブテストコントロールレジスタ （PE1）	CFSTSTCTL_PE1	$0000\ 0000_H$	32	$FFC6\ 2550_H$	0	16、32
ECCFLI	Code Flash ECC コントロールレジスタ（PCU）	CFECCCTL_PCU	$0000\ 0000_H$	32	$FFC6\ 2800_H$	0	16、32
ECCFLI	Code Flash エラー情報コントロールレジスタ（PCU）	CFERRINT_PCU	$0000\ 0006_H$	32	$FFC6\ 2804_H$	0	8、16、32
ECCFLI	Code Flash ステータスクリアレジスタ（PCU）	CFSTCLR_PCU	$0000\ 0000_H$	32	$FFC6\ 2808_H$	0	8、16、32
ECCFLI	Code Flash エラーカウントオーバフローステータスレジスタ（PCU）	CFOVFSTR_PCU	$0000\ 0000_H$	32	$FFC6\ 280C_H$	0	8、16、32
ECCFLI	Code Flash 1st エラーステータスレジスタ（PCU）	CF1STERSTR_PCU	$0000\ 0000_H$	32	$FFC6\ 2810_H$	0	8、16、32
ECCFLI	Code Flash 1st エラーアドレスレジスタ（PCU）	CF1STEADR0_PCU	$0000\ 0000_H$	32	$FFC6\ 2850_H$	0	8、16、32
ECCFLI	Code Flash サブテストコントロールレジスタ （PCU）	CFSTSTCTL_PCU	$0000\ 0000_H$	32	$FFC6\ 2950_H$	0	16、32
ECCEEP	Data Flash ECC コントロールレジスタ	DFECCCTL	0000_H	16	$FFC6\ 2C00_H$	0	16
ECCEEP	Data Flash エラーステータスレジスタ	DFERSTR	00_H	8	$FFC6\ 2C04_H$	0	8
ECCEEP	Data Flash エラーステータスクリアレジスタ	DFERSTC	00_H	8	$FFC6\ 2C08_H$	0	8
ECCEEP	Data Flash エラーオーバフローステータスレジスタ	DFOVFSTR	00_H	8	$FFC6\ 2C0C_H$	0	8
ECCEEP	Data Flash エラーオーバフローステータスクリアレジスタ	DFOVFSTC	00_H	8	$FFC6\ 2C10_H$	0	8
ECCEEP	Data Flash エラー通知コントロールレジスタ	DFERRINT	02_H	8	$FFC6\ 2C14_H$	0	8
ECCEEP	Data Flash 1st エラーアドレスレジスタ	DFEADR	$0000\ 0000_H$	32	$FFC6\ 2C18_H$	0	32
ECCEEP	Data Flash テストコントロールレジスタ	DFTSTCTL	0000_H	16	$FFC6\ 2C1C_H$	0	16
ECCEEPC	Data Flash ECC コントロールレジスタ	DFECCCTL	0000_H	16	$FFC6\ 2E00_H$	0	16
ECCEEPC	Data Flash エラーステータスレジスタ	DFERSTR	00_H	8	$FFC6\ 2E04_H$	0	8
ECCEEPC	Data Flash エラーステータスクリアレジスタ	DFERSTC	00_H	8	$FFC6\ 2E08_H$	0	8
ECCEEPC	Data Flash エラーオーバフローステータスレジスタ	DFOVFSTR	00_H	8	$FFC6\ 2E0C_H$	0	8
ECCEEPC	Data Flash エラーオーバフローステータスクリアレジスタ	DFOVFSTC	00_H	8	$FFC6\ 2E10_H$	0	8

(32/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ECCEEPC	Data Flash エラー通知コントロールレジスタ	DFERRINT	02_H	8	FFC6 2E14$_H$	0	8
ECCEEPC	Data Flash 1st エラーアドレスレジスタ	DFEADR	0000 0000$_H$	32	FFC6 2E18$_H$	0	32
ECCEEPC	Data Flash テストコントロールレジスタ	DFTSTCTL	0000_H	16	FFC6 2E1C$_H$	0	16
ECCGRAM	Global RAM ECC コントロールレジスタ	GRECCCTL_GRAMC	0000 0000$_H$	32	FFC6 4000$_H$	0	16、32
ECCGRAM	Global RAM テストコントロールレジスタ	GRTSTCTL	0000 0000$_H$	32	FFC6 4180$_H$	0	32
ECCGRAM	Global RAM テストデータリードバッファ	GRTDATBF	0000 0000$_H$	32	FFC6 4184$_H$	0	8、16、32
ECCGRAM	Global RAM ECC デコーダ入力データバッファ 0	GRDECINBF0	0000 0000$_H$	32	FFC6 4188$_H$	0	8、16、32
ECCGRAM	Global RAM ECC デコーダ入力データバッファ 1	GRDECINBF1	0000 0000$_H$	32	FFC6 418C$_H$	0	8、16、32
ECCGRAM	Global RAM エラー情報コントロールレジスタ（SIC）	GRERRINT_SIC	0000 0006$_H$	32	FFC6 4204$_H$	0	8、16、32
ECCGRAM	Global RAM ステータスクリアレジスタ（SIC）	GRSTCLR_SIC	0000 0000$_H$	32	FFC6 4208$_H$	0	8、16、32
ECCGRAM	Global RAM エラーカウントオーバフローステータスレジスタ（SIC）	GROVFSTR_SIC	0000 0000$_H$	32	FFC6 420C$_H$	0	8、16、32
ECCGRAM	Global RAM 1st エラーステータスレジスタ（SIC）	GR1STERSTR_SIC	0000 0000$_H$	32	FFC6 4210$_H$	0	8、16、32
ECCGRAM	Global RAM 1st エラー（下位 32 ビットデータ）アドレスレジスタ（SIC）	GR1STEADR0_SIC	0000 0000$_H$	32	FFC6 4250$_H$	0	8、16、32
ECCGRAM	Global RAM 1st エラー（上位 32 ビットデータ）アドレスレジスタ（SIC）	GR1STEADR1_SIC	0000 0000$_H$	32	FFC6 4254$_H$	0	8、16、32
ECCGRAM	Global RAM エラー情報コントロールレジスタ（PE1）	GRERRINT_PE1	0000 0006$_H$	32	FFC6 4404$_H$	0	8、16、32
ECCGRAM	Global RAM ステータスクリアレジスタ（PE1）	GRSTCLR_PE1	0000 0000$_H$	32	FFC6 4408$_H$	0	8、16、32
ECCGRAM	Global RAM エラーカウントオーバフローステータスレジスタ（PE1）	GROVFSTR_PE1	0000 0000$_H$	32	FFC6 440C$_H$	0	8、16、32
ECCGRAM	Global RAM 1st エラーステータスレジスタ（PE1）	GR1STERSTR_PE1	0000 0000$_H$	32	FFC6 4410$_H$	0	8、16、32
ECCGRAM	Global RAM 1st エラー（命令）アドレスレジスタ（PE1）	GR1STEADR0_PE1	0000 0000$_H$	32	FFC6 4450$_H$	0	8、16、32
ECCGRAM	Global RAM 1st エラー（データ）アドレスレジスタ（PE1）	GR1STEADR1_PE1	0000 0000$_H$	32	FFC6 4454$_H$	0	8、16、32
ECCCPU1	Local RAM アドレスパリティコントロールレジスタ（PE1）	LRAPCTL_PE1	0000 0000$_H$	32	FFC6 5000$_H$	0	16、32
ECCCPU1	Local RAM テストコントロールレジスタ（PE1）	LRTSTCTL_PE1	0000 0000$_H$	32	FFC6 5004$_H$	0	16、32
ECCCPU1	Local RAM テストデータリードバッファ 0（PE1）	LRTDATBF0_PE1	0000 0000$_H$	32	FFC6 5008$_H$	0	8、16、32
ECCCPU1	Local RAM テストデータリードバッファ 1（PE1）	LRTDATBF1_PE1	0000 0000$_H$	32	FFC6 500C$_H$	0	8、16、32
ECCCPU1	Local RAM ECC コントロールレジスタ（PE1）	LRECCCTL_PE1	0000 0000$_H$	32	FFC6 5400$_H$	0	16、32
ECCCPU1	Local RAM エラー情報コントロールレジスタ（PE1）	LRERRINT_PE1	0000 0006$_H$	32	FFC6 5404$_H$	0	8、16、32
ECCCPU1	Local RAM ステータスクリアレジスタ（PE1）	LRSTCLR_PE1	0000 0000$_H$	32	FFC6 5408$_H$	0	8、16、32
ECCCPU1	Local RAM エラーカウントオーバフローステータスレジスタ（PE1）	LROVFSTR_PE1	0000 0000$_H$	32	FFC6 540C$_H$	0	8、16、32
ECCCPU1	Local RAM 1st エラーステータスレジスタ（PE1）	LR1STERSTR_PE1	0000 0000$_H$	32	FFC6 5410$_H$	0	8、16、32
ECCCPU1	Local RAM 1st エラーアドレスレジスタ 0（PE1）	LR1STEADR0_PE1	0000 0000$_H$	32	FFC6 5450$_H$	0	8、16、32
ECCCPU1	Local RAM 1st エラーアドレスレジスタ 1（PE1）	LR1STEADR1_PE1	0000 0000$_H$	32	FFC6 5454$_H$	0	8、16、32

(33/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ECCPCU	Local RAM ECC コントロールレジスタ（PCU）	LRECCCTL_PCU	$0000\ 0000_H$	32	$FFC6\ 5800_H$	0	16、32
ECCPCU	Local RAM 1st エラーステータスレジスタ（PCU）	LRFSTERSTR_PCU	$0000\ 0000_H$	32	$FFC6\ 5804_H$	0	32
ECCPCU	Local RAM エラーステータスクリアレジスタ（PCU）	LRSTCLR_PCU	$0000\ 0000_H$	32	$FFC6\ 5824_H$	0	8、16、32
ECCPCU	Local RAM オーバフローステータスレジスタ（PCU）	LROVFSTR_PCU	$0000\ 0000_H$	32	$FFC6\ 5828_H$	0	32
ECCPCU	Local RAM オーバフローステータスクリアレジスタ（PCU）	LROVFSTC_PCU	$0000\ 0000_H$	32	$FFC6\ 582C_H$	0	8、16、32
ECCPCU	Local RAM 1st エラーアドレスレジスタ 0（PCU）	LRFSTEADR0_PCU	$0000\ 0000_H$	32	$FFC6\ 5830_H$	0	32
ECCPCU	Local RAM エラー情報コントロールレジスタ（PCU）	LRERRINT_PCU	$0000\ 0002_H$	32	$FFC6\ 58B0_H$	0	8、16、32
ECCPCU	Local RAM テストコントロールレジスタ（PCU）	LRTSTCTL_PCU	$0000\ 0000_H$	32	$FFC6\ 58B4_H$	0	16、32
ECCPCU	Local RAM テストデータリードバッファ（PCU）	LRTDATBF0_PCU	$0000\ 0000_H$	32	$FFC6\ 58B8_H$	0	32
APDP	P-Bus データパリティステータスレジスタ INTC2A	APDPERRST_INTC2A	$0000\ 0000_H$	32	$FFC6\ 8800_H$	0	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ INTC2A	APDPERRSTC_INTC2A	$0000\ 0000_H$	32	$FFC6\ 8804_H$	0	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ INTC2A	APDPTMC_INTC2A	$0000\ 0000_H$	32	$FFC6\ 8808_H$	0	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ INTC2A	APDPERRADR_INTC2A	$0000\ 0000_H$	32	$FFC6\ 880C_H$	0	32
APDP	P-Bus データパリティステータスレジスタ PDMA	APDPERRST_PDMA	$0000\ 0000_H$	32	$FFC6\ 8900_H$	0	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ PDMA	APDPERRSTC_PDMA	$0000\ 0000_H$	32	$FFC6\ 8904_H$	0	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ PDMA	APDPTMC_PDMA	$0000\ 0000_H$	32	$FFC6\ 8908_H$	0	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ PDMA	APDPERRADR_PDMA	$0000\ 0000_H$	32	$FFC6\ 890C_H$	0	32
E7RC1M	ECC コントロールレジスタ	E710CTL	$001X_H$	16	$FFC7\ 1400_H$	2	8/16
E7RC1M	ECC テストモードコントロールレジスタ	E710TMC	0000_H	16	$FFC7\ 1404_H$	2	8/16
E7RC1M	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	$0000\ 0000_H$	32	$FFC7\ 1408_H$	2	32
E7RC1M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	$FFC7\ 1408_H$	2	8
E7RC1M	ECC エンコードテストレジスタ	ECECRD	00_H	8	$FFC7\ 1409_H$	2	8
E7RC1M	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	$FFC7\ 140A_H$	2	8
E7RC1M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	$FFC7\ 140B_H$	2	8
E7RC1M	ECC エンコード・デコードデータテストレジスタ	E710TED	$0000\ 0000_H$	32	$FFC7\ 140C_H$	2	32
E7RC1M	ECC エラーアドレスレジスタ	E710EAD	$0000\ 0000_H$	32	$FFC7\ 1410_H$	2	32
E7RC1C	ECC コントロールレジスタ	E710CTL	$001X_H$	16	$FFC7\ 1600_H$	2	8/16
E7RC1C	ECC テストモードコントロールレジスタ	E710TMC	0000_H	16	$FFC7\ 1604_H$	2	8/16
E7RC1C	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	$0000\ 0000_H$	32	$FFC7\ 1608_H$	2	32
E7RC1C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	$FFC7\ 1608_H$	2	8
E7RC1C	ECC エンコードテストレジスタ	ECECRD	00_H	8	$FFC7\ 1609_H$	2	8
E7RC1C	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	$FFC7\ 160A_H$	2	8

(34/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
E7RC1C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 160B$_H$	2	8
E7RC1C	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 160C$_H$	2	32
E7RC1C	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 1610$_H$	2	32
E7RC2M	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 1800$_H$	2	8/16
E7RC2M	ECC テストモードコントロールレジスタ	E710TMC	0000$_H$	16	FFC7 1804$_H$	2	8/16
E7RC2M	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 1808$_H$	2	32
E7RC2M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 1808$_H$	2	8
E7RC2M	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 1809$_H$	2	8
E7RC2M	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 180A$_H$	2	8
E7RC2M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 180B$_H$	2	8
E7RC2M	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 180C$_H$	2	32
E7RC2M	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 1810$_H$	2	32
E7RC2C	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 1A00$_H$	2	8/16
E7RC2C	ECC テストモードコントロールレジスタ	E710TMC	0000$_H$	16	FFC7 1A04$_H$	2	8/16
E7RC2C	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 1A08$_H$	2	32
E7RC2C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 1A08$_H$	2	8
E7RC2C	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 1A09$_H$	2	8
E7RC2C	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 1A0A$_H$	2	8
E7RC2C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 1A0B$_H$	2	8
E7RC2C	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 1A0C$_H$	2	32
E7RC2C	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 1A10$_H$	2	32
E7FR0M	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 2000$_H$	2	8、16
E7FR0M	ECC テストモードコントロールレジスタ	E710TMC	0000$_H$	16	FFC7 2004$_H$	2	8、16
E7FR0M	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 2008$_H$	2	32
E7FR0M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 2008$_H$	2	8
E7FR0M	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 2009$_H$	2	8
E7FR0M	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 200A$_H$	2	8
E7FR0M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 200B$_H$	2	8
E7FR0M	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 200C$_H$	2	32
E7FR0M	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 2010$_H$	2	32
E7FR0C	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 2200$_H$	2	8、16
E7FR0C	ECC テストモードコントロールレジスタ	E710TMC	0000$_H$	16	FFC7 2204$_H$	2	8、16
E7FR0C	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 2208$_H$	2	32
E7FR0C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 2208$_H$	2	8
E7FR0C	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 2209$_H$	2	8

(35/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
E7FR0C	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 220A$_H$	2	8
E7FR0C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 220B$_H$	2	8
E7FR0C	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 220C$_H$	2	32
E7FR0C	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 2210$_H$	2	32
E7FR1M	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 2400$_H$	2	8、16
E7FR1M	ECC テストモードコントロールレジスタ	E710TMC	0000_H	16	FFC7 2404$_H$	2	8、16
E7FR1M	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 2408$_H$	2	32
E7FR1M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 2408$_H$	2	8
E7FR1M	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 2409$_H$	2	8
E7FR1M	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 240A$_H$	2	8
E7FR1M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 240B$_H$	2	8
E7FR1M	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 240C$_H$	2	32
E7FR1M	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 2410$_H$	2	32
E7FR1C	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 2600$_H$	2	8、16
E7FR1C	ECC テストモードコントロールレジスタ	E710TMC	0000_H	16	FFC7 2604$_H$	2	8、16
E7FR1C	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 2608$_H$	2	32
E7FR1C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 2608$_H$	2	8
E7FR1C	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 2609$_H$	2	8
E7FR1C	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 260A$_H$	2	8
E7FR1C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 260B$_H$	2	8
E7FR1C	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 260C$_H$	2	32
E7FR1C	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 2610$_H$	2	32
E7FR2M	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 2800$_H$	2	8、16
E7FR2M	ECC テストモードコントロールレジスタ	E710TMC	0000_H	16	FFC7 2804$_H$	2	8、16
E7FR2M	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 2808$_H$	2	32
E7FR2M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 2808$_H$	2	8
E7FR2M	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 2809$_H$	2	8
E7FR2M	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 280A$_H$	2	8
E7FR2M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 280B$_H$	2	8
E7FR2M	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 280C$_H$	2	32
E7FR2M	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 2810$_H$	2	32
E7FR2C	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 2A00$_H$	2	8、16
E7FR2C	ECC テストモードコントロールレジスタ	E710TMC	0000_H	16	FFC7 2A04$_H$	2	8、16
E7FR2C	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 2A08$_H$	2	32
E7FR2C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 2A08$_H$	2	8

(36/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
E7FR2C	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 2A09$_H$	2	8
E7FR2C	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 2A0A$_H$	2	8
E7FR2C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 2A0B$_H$	2	8
E7FR2C	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 2A0C$_H$	2	32
E7FR2C	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 2A10$_H$	2	32
E7AP0M	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 6000$_H$	1 (1L)	8、16
E7AP0M	ECC テストモードコントロールレジスタ	E710TMC	0000$_H$	16	FFC7 6004$_H$	1 (1L)	8、16
E7AP0M	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 6008$_H$	1 (1L)	32
E7AP0M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 6008$_H$	1 (1L)	8
E7AP0M	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 6009$_H$	1 (1L)	8
E7AP0M	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 600A$_H$	1 (1L)	8
E7AP0M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 600B$_H$	1 (1L)	8
E7AP0M	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 600C$_H$	1 (1L)	32
E7AP0M	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 6010$_H$	1 (1L)	32
E7AP0C	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 6200$_H$	1 (1L)	8、16
E7AP0C	ECC テストモードコントロールレジスタ	E710TMC	0000$_H$	16	FFC7 6204$_H$	1 (1L)	8、16
E7AP0C	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 6208$_H$	1 (1L)	32
E7AP0C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 6208$_H$	1 (1L)	8
E7AP0C	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 6209$_H$	1 (1L)	8
E7AP0C	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 620A$_H$	1 (1L)	8
E7AP0C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 620B$_H$	1 (1L)	8
E7AP0C	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 620C$_H$	1 (1L)	32
E7AP0C	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 6210$_H$	1 (1L)	32
E7AP1M	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 6400$_H$	1 (1L)	8、16
E7AP1M	ECC テストモードコントロールレジスタ	E710TMC	0000$_H$	16	FFC7 6404$_H$	1 (1L)	8、16
E7AP1M	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 6408$_H$	1 (1L)	32
E7AP1M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 6408$_H$	1 (1L)	8
E7AP1M	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 6409$_H$	1 (1L)	8
E7AP1M	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 640A$_H$	1 (1L)	8
E7AP1M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 640B$_H$	1 (1L)	8
E7AP1M	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000$_H$	32	FFC7 640C$_H$	1 (1L)	32
E7AP1M	ECC エラーアドレスレジスタ	E710EAD	0000 0000$_H$	32	FFC7 6410$_H$	1 (1L)	32
E7AP1C	ECC コントロールレジスタ	E710CTL	001X$_H$	16	FFC7 6600$_H$	1 (1L)	8、16
E7AP1C	ECC テストモードコントロールレジスタ	E710TMC	0000$_H$	16	FFC7 6604$_H$	1 (1L)	8、16
E7AP1C	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000$_H$	32	FFC7 6608$_H$	1 (1L)	32

(37/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
E7AP1C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 6608_H	1 (1L)	8
E7AP1C	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 6609_H	1 (1L)	8
E7AP1C	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 $660A_H$	1 (1L)	8
E7AP1C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 $660B_H$	1 (1L)	8
E7AP1C	ECC エンコード・デコードデータテストレジスタ	E710TED	$0000\ 0000_H$	32	FFC7 $660C_H$	1 (1L)	32
E7AP1C	ECC エラーアドレスレジスタ	E710EAD	$0000\ 0000_H$	32	FFC7 6610_H	1 (1L)	32
E7AP2M	ECC コントロールレジスタ	E710CTL	$001X_H$	16	FFC7 6800_H	1 (1L)	8、16
E7AP2M	ECC テストモードコントロールレジスタ	E710TMC	0000_H	16	FFC7 6804_H	1 (1L)	8、16
E7AP2M	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	$0000\ 0000_H$	32	FFC7 6808_H	1 (1L)	32
E7AP2M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 6808_H	1 (1L)	8
E7AP2M	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 6809_H	1 (1L)	8
E7AP2M	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 $680A_H$	1 (1L)	8
E7AP2M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 $680B_H$	1 (1L)	8
E7AP2M	ECC エンコード・デコードデータテストレジスタ	E710TED	$0000\ 0000_H$	32	FFC7 $680C_H$	1 (1L)	32
E7AP2M	ECC エラーアドレスレジスタ	E710EAD	$0000\ 0000_H$	32	FFC7 6810_H	1 (1L)	32
E7AP2C	ECC コントロールレジスタ	E710CTL	$001X_H$	16	FFC7 $6A00_H$	1 (1L)	8、16
E7AP2C	ECC テストモードコントロールレジスタ	E710TMC	0000_H	16	FFC7 $6A04_H$	1 (1L)	8、16
E7AP2C	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	$0000\ 0000_H$	32	FFC7 $6A08_H$	1 (1L)	32
E7AP2C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 $6A08_H$	1 (1L)	8
E7AP2C	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 $6A09_H$	1 (1L)	8
E7AP2C	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 $6A0A_H$	1 (1L)	8
E7AP2C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 $6A0B_H$	1 (1L)	8
E7AP2C	ECC エンコード・デコードデータテストレジスタ	E710TED	$0000\ 0000_H$	32	FFC7 $6A0C_H$	1 (1L)	32
E7AP2C	ECC エラーアドレスレジスタ	E710EAD	$0000\ 0000_H$	32	FFC7 $6A10_H$	1 (1L)	32
E7DF1M	ECC コントロールレジスタ	E710CTL	$001X_H$	16	FFC7 $D000_H$	3	8、16
E7DF1M	ECC テストモードコントロールレジスタ	E710TMC	0000_H	16	FFC7 $D004_H$	3	8、16
E7DF1M	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	$0000\ 0000_H$	32	FFC7 $D008_H$	3	32
E7DF1M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 $D008_H$	3	8
E7DF1M	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 $D009_H$	3	8
E7DF1M	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 $D00A_H$	3	8
E7DF1M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 $D00B_H$	3	8
E7DF1M	ECC エンコード・デコードデータテストレジスタ	E710TED	$0000\ 0000_H$	32	FFC7 $D00C_H$	3	32
E7DF1M	ECC エラーアドレスレジスタ	E710EAD	$0000\ 0000_H$	32	FFC7 $D010_H$	3	32
E7DF1C	ECC コントロールレジスタ	E710CTL	$001X_H$	16	FFC7 $D200_H$	3	8、16
E7DF1C	ECC テストモードコントロールレジスタ	E710TMC	0000_H	16	FFC7 $D204_H$	3	8、16

(38/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
E7DF1C	ECC 冗長ビットデータコントロールテストレジスタ	E710TRC	0000 0000_H	32	FFC7 $D208_H$	3	32
E7DF1C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 $D208_H$	3	8
E7DF1C	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 $D209_H$	3	8
E7DF1C	ECC7 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 $D20A_H$	3	8
E7DF1C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 $D20B_H$	3	8
E7DF1C	ECC エンコード・デコードデータテストレジスタ	E710TED	0000 0000_H	32	FFC7 $D20C_H$	3	32
E7DF1C	ECC エラーアドレスレジスタ	E710EAD	0000 0000_H	32	FFC7 $D210_H$	3	32
E6DF0M	ECC コントロールレジスタ	E610CTL	$001X_H$	16	FFC7 $D400_H$	3	8、16
E6DF0M	ECC テストモードコントロールレジスタ	E610TMC	0000H	16	FFC7 $D404_H$	3	8、16
E6DF0M	ECC 冗長ビットデータコントロールテストレジスタ	E610TRC	0000 0000_H	32	FFC7 $D408_H$	3	32
E6DF0M	ECC 冗長ビット出力データモニタレジスタ	ECRODM	00_H	8	FFC7 $D408_H$	3	8
E6DF0M	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 $D409_H$	3	8
E6DF0M	ECC6 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 $D40A_H$	3	8
E6DF0M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 $D40B_H$	3	8
E6DF0M	ECC エンコード・デコードデータテストレジスタ	E610TED	0000 0000_H	32	FFC7 $D40C_H$	3	32
E6DF0M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 $D40C_H$	3	8
E6DF0M	ECC 冗長ビット入力データモニタレジスタ	ECRIDM	00_H	8	FFC7 $D40D_H$	3	8
E6DF0M	ECC エンコード／デコード・データ入出力代替えバッファレジス タ	ECEDB	0000_H	16	FFC7 $D40E_H$	3	16
E6DF0M	ECC エラーアドレスレジスタ	E610EAD	0000 0000_H	32	FFC7 $D410_H$	3	32
E6DF0C	ECC コントロールレジスタ	E610CTL	$001X_H$	16	FFC7 $D600_H$	3	8、16
E6DF0C	ECC テストモードコントロールレジスタ	E610TMC	0000_H	16	FFC7 $D604_H$	3	8、16
E6DF0C	ECC 冗長ビットデータコントロールテストレジスタ	E610TRC	0000 0000_H	32	FFC7 $D608_H$	3	32
E6DF0C	ECC 冗長ビット出力データモニタレジスタ	ECRODM	00_H	8	FFC7 $D608_H$	3	8
E6DF0C	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 $D609_H$	3	8
E6DF0C	ECC6 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 $D60A_H$	3	8
E6DF0C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 $D60B_H$	3	8
E6DF0C	ECC エンコード・デコードデータテストレジスタ	E610TED	0000 0000_H	32	FFC7 $D60C_H$	3	32
E6DF0C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 $D60C_H$	3	8
E6DF0C	ECC 冗長ビット入力データモニタレジスタ	ECRIDM	00_H	8	FFC7 $D60D_H$	3	8
E6DF0C	ECC エンコード／デコード・データ入出力代替えバッファレジスタ	ECEDB	0000_H	16	FFC7 $D60E_H$	3	16
E6DF0C	ECC エラーアドレスレジスタ	E610EAD	0000 0000_H	32	FFC7 $D610_H$	3	32
E6DF1M	ECC コントロールレジスタ	E610CTL	$001X_H$	16	FFC7 $D800_H$	3	8、16
E6DF1M	ECC テストモードコントロールレジスタ	E610TMC	0000_H	16	FFC7 $D804_H$	3	8、16
E6DF1M	ECC 冗長ビットデータコントロールテストレジスタ	E610TRC	0000 0000_H	32	FFC7 $D808_H$	3	32

(39/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
E6DF1M	ECC 冗長ビット出力データモニタレジスタ	ECRODM	00_H	8	FFC7 $D808_H$	3	8
E6DF1M	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 $D809_H$	3	8
E6DF1M	ECC6 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 $D80A_H$	3	8
E6DF1M	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 $D80B_H$	3	8
E6DF1M	ECC エンコード・デコードデータテストレジスタ	E610TED	$0000\ 0000_H$	32	FFC7 $D80C_H$	3	32
E6DF1M	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 $D80C_H$	3	8
E6DF1M	ECC 冗長ビット入力データモニタレジスタ	ECRIDM	00_H	8	FFC7 $D80D_H$	3	8
E6DF1M	ECC エンコード／デコード・データ入出力代替えバッファレジス タ	ECEDB	0000_H	16	FFC7 $D80E_H$	3	16
E6DF1M	ECC エラーアドレスレジスタ	E610EAD	$0000\ 0000_H$	32	FFC7 $D810_H$	3	32
E6DF1C	ECC コントロールレジスタ	E610CTL	$001X_H$	16	FFC7 $DA00_H$	3	8、16
E6DF1C	ECC テストモードコントロールレジスタ	E610TMC	0000_H	16	FFC7 $DA04_H$	3	8、16
E6DF1C	ECC 冗長ビットデータコントロールテストレジスタ	E610TRC	$0000\ 0000_H$	32	FFC7 $DA08_H$	3	32
E6DF1C	ECC 冗長ビット出力データモニタレジスタ	ECRODM	00_H	8	FFC7 $DA08_H$	3	8
E6DF1C	ECC エンコードテストレジスタ	ECECRD	00_H	8	FFC7 $DA09_H$	3	8
E6DF1C	ECC6 ビット冗長ビットデータ保持テストレジスタ	ECHORD	00_H	8	FFC7 $DA0A_H$	3	8
E6DF1C	ECC デコード・シンドロームデータレジスタ	ECSYND	00_H	8	FFC7 $DA0B_H$	3	8
E6DF1C	ECC エンコード・デコードデータテストレジスタ	E610TED	$0000\ 0000_H$	32	FFC7 $DA0C_H$	3	32
E6DF1C	ECC 冗長ビット入出力代替えバッファレジスタ	ECERDB	00_H	8	FFC7 $DA0C_H$	3	8
E6DF1C	ECC 冗長ビット入力データモニタレジスタ	ECRIDM	00_H	8	FFC7 $DA0D_H$	3	8
E6DF1C	ECC エンコード／デコード・データ入出力代替えバッファレジス タ	ECEDB	0000_H	16	FFC7 $DA0E_H$	3	16
E6DF1C	ECC エラーアドレスレジスタ	E610EAD	$0000\ 0000_H$	32	FFC7 $DA10_H$	3	32
APDP	P-Bus データパリティステータスレジスタ PT0A	APDPERRST_PT0A	$0000\ 0000_H$	32	FFC8 5000_H	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ PT0A	APDPERRSTC_PT0A	$0000\ 0000_H$	32	FFC8 5004_H	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ PT0A	APDPTMC_PT0A	$0000\ 0000_H$	32	FFC8 5008_H	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ PT0A	APDPERRADR_PT0A	$0000\ 0000_H$	32	FFC8 $500C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ PT0B	APDPERRST_PT0B	$0000\ 0000_H$	32	FFC8 5020_H	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ PT0B	APDPERRSTC_PT0B	$0000\ 0000_H$	32	FFC8 5024_H	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ PT0B	APDPTMC_PT0B	$0000\ 0000_H$	32	FFC8 5028_H	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ PT0B	APDPERRADR_PT0B	$0000\ 0000_H$	32	FFC8 $502C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ PT1A	APDPERRST_PT1A	$0000\ 0000_H$	32	FFC8 5040_H	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ PT1A	APDPERRSTC_PT1A	$0000\ 0000_H$	32	FFC8 5044_H	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ PT1A	APDPTMC_PT1A	$0000\ 0000_H$	32	FFC8 5048_H	3	16、32

(40/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APDP	P-Bus データパリティエラーアドレスレジスタ PT1A	APDPERRADR_PT1A	$0000\ 0000_H$	32	$FFC8\ 504C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ PT1B	APDPERRST_PT1B	$0000\ 0000_H$	32	$FFC8\ 5060_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ PT1B	APDPERRSTC_PT1B	$0000\ 0000_H$	32	$FFC8\ 5064_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ PT1B	APDPTMC_PT1B	$0000\ 0000_H$	32	$FFC8\ 5068_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ PT1B	APDPERRADR_PT1B	$0000\ 0000_H$	32	$FFC8\ 506C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DNF0	APDPERRST_DNF0	$0000\ 0000_H$	32	$FFC8\ 50C0_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DNF0	APDPERRSTC_DNF0	$0000\ 0000_H$	32	$FFC8\ 50C4_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DNF0	APDPTMC_DNF0	$0000\ 0000_H$	32	$FFC8\ 50C8_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DNF0	APDPERRADR_DNF0	$0000\ 0000_H$	32	$FFC8\ 50CC_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DNF1	APDPERRST_DNF1	$0000\ 0000_H$	32	$FFC8\ 50E0_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DNF1	APDPERRSTC_DNF1	$0000\ 0000_H$	32	$FFC8\ 50E4_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DNF1	APDPTMC_DNF1	$0000\ 0000_H$	32	$FFC8\ 50E8_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DNF1	APDPERRADR_DNF1	$0000\ 0000_H$	32	$FFC8\ 50EC_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DNF2	APDPERRST_DNF2	$0000\ 0000_H$	32	$FFC8\ 5800_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DNF2	APDPERRSTC_DNF2	$0000\ 0000_H$	32	$FFC8\ 5804_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DNF2	APDPTMC_DNF2	$0000\ 0000_H$	32	$FFC8\ 5808_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DNF2	APDPERRADR_DNF2	$0000\ 0000_H$	32	$FFC8\ 580C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DNF3	APDPERRST_DNF3	$0000\ 0000_H$	32	$FFC8\ 5820_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DNF3	APDPERRSTC_DNF3	$0000\ 0000_H$	32	$FFC8\ 5824_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DNF3	APDPTMC_DNF3	$0000\ 0000_H$	32	$FFC8\ 5828_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DNF3	APDPERRADR_DNF3	$0000\ 0000_H$	32	$FFC8\ 582C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DNF4	APDPERRST_DNF4	$0000\ 0000_H$	32	$FFC8\ 5840_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DNF4	APDPERRSTC_DNF4	$0000\ 0000_H$	32	$FFC8\ 5844_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DNF4	APDPTMC_DNF4	$0000\ 0000_H$	32	$FFC8\ 5848_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DNF4	APDPERRADR_DNF4	$0000\ 0000_H$	32	$FFC8\ 584C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DNF5	APDPERRST_DNF5	$0000\ 0000_H$	32	$FFC8\ 5860_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DNF5	APDPERRSTC_DNF5	$0000\ 0000_H$	32	$FFC8\ 5864_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DNF5	APDPTMC_DNF5	$0000\ 0000_H$	32	$FFC8\ 5868_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DNF5	APDPERRADR_DNF5	$0000\ 0000_H$	32	$FFC8\ 586C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DNF6	APDPERRST_DNF6	$0000\ 0000_H$	32	$FFC8\ 5880_H$	3	8、16、32

(41/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APDP	P-Bus データパリティステータスクリアレジスタ DNF6	APDPERRSTC_DNF6	$0000\ 0000_H$	32	$FFC8\ 5884_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DNF6	APDPTMC_DNF6	$0000\ 0000_H$	32	$FFC8\ 5888_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DNF6	APDPERRADR_DNF6	$0000\ 0000_H$	32	$FFC8\ 588C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DNF7	APDPERRST_DNF7	$0000\ 0000_H$	32	$FFC8\ 58A0_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DNF7	APDPERRSTC_DNF7	$0000\ 0000_H$	32	$FFC8\ 58A4_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DNF7	APDPTMC_DNF7	$0000\ 0000_H$	32	$FFC8\ 58A8_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DNF7	APDPERRADR_DNF7	$0000\ 0000_H$	32	$FFC8\ 58AC_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DNF8	APDPERRST_DNF8	$0000\ 0000_H$	32	$FFC8\ 5100_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DNF8	APDPERRSTC_DNF8	$0000\ 0000_H$	32	$FFC8\ 5104_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DNF8	APDPTMC_DNF8	$0000\ 0000_H$	32	$FFC8\ 5108_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DNF8	APDPERRADR_DNF8	$0000\ 0000_H$	32	$FFC8\ 510C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ INTC2B	APDPERRST_INTC2B	$0000\ 0000_H$	32	$FFC8\ 6000_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ INTC2B	APDPERRSTC_INTC2B	$0000\ 0000_H$	32	$FFC8\ 6004_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ INTC2B	APDPTMC_INTC2B	$0000\ 0000_H$	32	$FFC8\ 6008_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ INTC2B	APDPERRADR_INTC2B	$0000\ 0000_H$	32	$FFC8\ 600C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DADC	APDPERRST_DADC	$0000\ 0000_H$	32	$FFC8\ 7000_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DADC	APDPERRSTC_DADC	$0000\ 0000_H$	32	$FFC8\ 7004_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DADC	APDPTMC_DADC	$0000\ 0000_H$	32	$FFC8\ 7008_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DADC	APDPERRADR_DADC	$0000\ 0000_H$	32	$FFC8\ 700C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DAD0	APDPERRST_DAD0	$0000\ 0000_H$	32	$FFC8\ 7020_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DAD0	APDPERRSTC_DAD0	$0000\ 0000_H$	32	$FFC8\ 7024_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DAD0	APDPTMC_DAD0	$0000\ 0000_H$	32	$FFC8\ 7028_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DAD0	APDPERRADR_DAD0	$0000\ 0000_H$	32	$FFC8\ 702C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DAD1	APDPERRST_DAD1	$0000\ 0000_H$	32	$FFC8\ 7040_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DAD1	APDPERRSTC_DAD1	$0000\ 0000_H$	32	$FFC8\ 7044_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DAD1	APDPTMC_DAD1	$0000\ 0000_H$	32	$FFC8\ 7048_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DAD1	APDPERRADR_DAD1	$0000\ 0000_H$	32	$FFC8\ 704C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DAD2	APDPERRST_DAD2	$0000\ 0000_H$	32	$FFC8\ 7060_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DAD2	APDPERRSTC_DAD2	$0000\ 0000_H$	32	$FFC8\ 7064_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DAD2	APDPTMC_DAD2	$0000\ 0000_H$	32	$FFC8\ 7068_H$	3	16、32

(42/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APDP	P-Bus データパリティエラーアドレスレジスタ DAD2	APDPERRADR_DAD2	$0000\ 0000_H$	32	$FFC8\ 706C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DAD3	APDPERRST_DAD3	$0000\ 0000_H$	32	$FFC8\ 7080_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DAD3	APDPERRSTC_DAD3	$0000\ 0000_H$	32	$FFC8\ 7084_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DAD3	APDPTMC_DAD3	$0000\ 0000_H$	32	$FFC8\ 7088_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DAD3	APDPERRADR_DAD3	$0000\ 0000_H$	32	$FFC8\ 708C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DAD4	APDPERRST_DAD4	$0000\ 0000_H$	32	$FFC8\ 70A0_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DAD4	APDPERRSTC_DAD4	$0000\ 0000_H$	32	$FFC8\ 70A4_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DAD4	APDPTMC_DAD4	$0000\ 0000_H$	32	$FFC8\ 70A8_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DAD4	APDPERRADR_DAD4	$0000\ 0000_H$	32	$FFC8\ 70AC_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DAD5	APDPERRST_DAD5	$0000\ 0000_H$	32	$FFC8\ 70C0_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DAD5	APDPERRSTC_DAD5	$0000\ 0000_H$	32	$FFC8\ 70C4_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DAD5	APDPTMC_DAD5	$0000\ 0000_H$	32	$FFC8\ 70C8_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DAD5	APDPERRADR_DAD5	$0000\ 0000_H$	32	$FFC8\ 70CC_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DAD6	APDPERRST_DAD6	$0000\ 0000_H$	32	$FFC8\ 70E0_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DAD6	APDPERRSTC_DAD6	$0000\ 0000_H$	32	$FFC8\ 70E4_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DAD6	APDPTMC_DAD6	$0000\ 0000_H$	32	$FFC8\ 70E8_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DAD6	APDPERRADR_DAD6	$0000\ 0000_H$	32	$FFC8\ 70EC_H$	3	32
APDP	P-Bus データパリティステータスレジスタ DAD7	APDPERRST_DAD7	$0000\ 0000_H$	32	$FFC8\ 7100_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ DAD7	APDPERRSTC_DAD7	$0000\ 0000_H$	32	$FFC8\ 7104_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ DAD7	APDPTMC_DAD7	$0000\ 0000_H$	32	$FFC8\ 7108_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ DAD7	APDPERRADR_DAD7	$0000\ 0000_H$	32	$FFC8\ 710C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ ADC0	APDPERRST_ADC0	$0000\ 0000_H$	32	$FFC8\ 8000_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ ADC0	APDPERRSTC_ADC0	$0000\ 0000_H$	32	$FFC8\ 8004_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ ADC0	APDPTMC_ADC0	$0000\ 0000_H$	32	$FFC8\ 8008_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ ADC0	APDPERRADR_ADC0	$0000\ 0000_H$	32	$FFC8\ 800C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ ADC1	APDPERRST_ADC1	$0000\ 0000_H$	32	$FFC8\ 8020_H$	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ ADC1	APDPERRSTC_ADC1	$0000\ 0000_H$	32	$FFC8\ 8024_H$	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ ADC1	APDPTMC_ADC1	$0000\ 0000_H$	32	$FFC8\ 8028_H$	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ ADC1	APDPERRADR_ADC1	$0000\ 0000_H$	32	$FFC8\ 802C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ IFC	APDPERRST_IFC	$0000\ 0000_H$	32	$FFC8\ 8100_H$	3	8、16、32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APDP	P-Bus データパリティステータスクリアレジスタ IFC	APDPERRSTC_IFC	0000 0000_H	32	FFC8 8104_H	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ IFC	APDPTMC_IFC	0000 0000_H	32	FFC8 8108_H	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ IFC	APDPERRADR_IFC	0000 0000_H	32	FFC8 $810C_H$	3	32
APDP	P-Bus データパリティステータスレジスタ ASF	APDPERRST_ASF	0000 0000_H	32	FFC8 8120_H	3	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ ASF	APDPERRSTC_ASF	0000 0000_H	32	FFC8 8124_H	3	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ ASF	APDPTMC_ASF	0000 0000_H	32	FFC8 8128_H	3	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ ASF	APDPERRADR_ASF	0000 0000_H	32	FFC8 $812C_H$	3	32
ECMM	ECM マスタエラーセットトリガレジスタ	ECMMESET	00_H	8	FFCB 0000_H	3	8
ECMM	ECM マスタエラークリアトリガレジスタ	ECMMECLR	00_H	8	FFCB 0004_H	3	8
ECMM	ECM マスタエラーソースステータスレジスタ 0	ECMMESSTR0	0000 0000_H	32	FFCB 0008_H	3	32
ECMM	ECM マスタエラーソースステータスレジスタ 1	ECMMESSTR1	0000 0000_H	32	FFCB $000C_H$	3	32
ECMM	ECM マスタ保護コマンドレジスタ	ECMMPCMD0	XXXX XXXX_H	32	FFCB 0010_H	3	32
ECMC	ECM チェッカエラーセットトリガレジスタ	ECMCESET	00_H	8	FFCB 1000_H	3	8
ECMC	ECM チェッカエラークリアトリガレジスタ	ECMCECLR	00_H	8	FFCB 1004_H	3	8
ECMC	ECM チェッカエラーソースステータスレジスタ 0	ECMCESSTR0	0000 0000_H	32	FFCB 1008_H	3	32
ECMC	ECM チェッカエラーソースステータスレジスタ 1	ECMCESSTR1	0000 0000_H	32	FFCB $100C_H$	3	32
ECMC	ECM チェッカ保護コマンドレジスタ	ECMCPCMD0	XXXX XXXX_H	32	FFCB 1010_H	3	32
ECM	ECM エラーパルスコンフィグレーションレジスタ	ECMEPCFG	00_H	8	FFCB 2000_H	3	8
ECM	ECM マスカブル割り込みコンフィグレーションレジスタ 0	ECMMICFG0	0000 0000_H	32	FFCB 2004_H	3	32
ECM	ECM マスカブル割り込みコンフィグレーションレジスタ 1	ECMMICFG1	0000 0000_H	32	FFCB 2008_H	3	32
ECM	ECM FE レベル割り込みコンフィグレーションレジスタ 0	ECMNMICFG0	0000 0000_H	32	FFCB $200C_H$	3	32
ECM	ECM FE レベル割り込みコンフィグレーションレジスタ 1	ECMNMICFG1	0000 0000_H	32	FFCB 2010_H	3	32
ECM	ECM 内部リセットコンフィグレーションレジスタ 0	ECMIRCFG0	0000 $000F_H$	32	FFCB 2014_H	3	32
ECM	ECM 内部リセットコンフィグレーションレジスタ 1	ECMIRCFG1	0000 0000_H	32	FFCB 2018_H	3	32
ECM	ECM エラーマスクレジスタ 0	ECMEMK0	0000 0000_H	32	FFCB $201C_H$	3	32
ECM	ECM エラーマスクレジスタ 1	ECMEMK1	0000 0000_H	32	FFCB 2020_H	3	32
ECM	ECM エラーソースステータスクリアレジスタ 0	ECMESSTC0	0000 0000_H	32	FFCB 2024_H	3	32
ECM	ECM エラーソースステータスクリアレジスタ 1	ECMESSTC1	0000 0000_H	32	FFCB 2028_H	3	32
ECM	ECM 保護コマンドレジスタ	ECMPCMD1	XXXX XXXX_H	32	FFCB $202C_H$	3	32
ECM	ECM 保護ステータスレジスタ	ECMPS	00_H	8	FFCB 2030_H	3	8
ECM	ECM 疑似エラートリガレジスタ 0	ECMPE0	0000 0000_H	32	FFCB 2034_H	3	32
ECM	ECM 疑似エラートリガレジスタ 1	ECMPE1	0000 0000_H	32	FFCB 2038_H	3	32
ECM	ECM ディレイタイマコントロールレジスタ	ECMDTMCTL	00_H	8	FFCB $203C_H$	3	8
ECM	ECM ディレイタイマレジスタ	ECMDTMR	0000_H	16	FFCB 2040_H	3	16

(44/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ECM	ECM ディレイタイマコンペアレジスタ	ECMDTMCMP	0000_H	16	FFCB 2044_H	3	16
ECM	ECM ディレイタイマコンフィグレーションレジスタ 0	ECMDTMCFG0	$0000\ 0000_H$	32	FFCB 2048_H	3	32
ECM	ECM ディレイタイマコンフィグレーションレジスタ 1	ECMDTMCFG1	$0000\ 0000_H$	32	FFCB $204C_H$	3	32
ECM	ECM ディレイタイマコンフィグレーションレジスタ 2	ECMDTMCFG2	$0000\ 0000_H$	32	FFCB 2050_H	3	32
ECM	ECM ディレイタイマコンフィグレーションレジスタ 3	ECMDTMCFG3	$0000\ 0000_H$	32	FFCB 2054_H	3	32
FLASH	製品名格納レジスタ 1	PRDNAME1	$XXXX\ XXXX_H$	32	FFCD $00D0_H$	3	32
FLASH	製品名格納レジスタ 2	PRDNAME2	$XXXX\ XXXX_H$	32	FFCD $00D4_H$	3	32
FLASH	製品名格納レジスタ 3	PRDNAME3	$XXXX\ XXXX_H$	32	FFCD $00D8_H$	3	32
FLASH	製品名格納レジスタ 4	PRDNAME4	$XXXX\ XXXX_H$	32	FFCD $00DC_H$	3	32
RLN210G	LIN ウェイクアップボーレート選択レジスタ	LWBR	00_H	8	FFCE 0001_H	3	8
RLN210G	LIN ボーレートプリスケーラ 0 レジスタ	LBRP0	00_H	8	FFCE 0002_H	3	8
RLN210G	LIN ボーレートプリスケーラ 1 レジスタ	LBRP1	00_H	8	FFCE 0003_H	3	8
RLN210G	LIN セルフテスト制御レジスタ	LSTC	00_H	8	FFCE 0004_H	3	8
RLN2100	LIN0 モードレジスタ	L0MD	00_H	8	FFCE 0008_H	3	8
RLN2100	LIN0 ブレークフィールド設定レジスタ	L0BFC	00_H	8	FFCE 0009_H	3	8
RLN2100	LIN0 スペース設定レジスタ	L0SC	00_H	8	FFCE $000A_H$	3	8
RLN2100	LIN0 ウェイクアップ設定レジスタ	L0WUP	00_H	8	FFCE $000B_H$	3	8
RLN2100	LIN0 割り込み許可レジスタ	L0IE	00_H	8	FFCE $000C_H$	3	8
RLN2100	LIN0 エラー検出許可レジスタ	L0EDE	00_H	8	FFCE $000D_H$	3	8
RLN2100	LIN0 制御レジスタ	L0CUC	00_H	8	FFCE $000E_H$	3	8
RLN2100	LIN0 送信制御レジスタ	L0TRC	00_H	8	FFCE 0010_H	3	8
RLN2100	LIN0 モードステータスレジスタ	L0MST	00_H	8	FFCE 0011_H	3	8
RLN2100	LIN0 ステータスレジスタ	L0ST	00_H	8	FFCE 0012_H	3	8
RLN2100	LIN0 エラーステータスレジスタ	L0EST	00_H	8	FFCE 0013_H	3	8
RLN2100	LIN0 データフィールド設定レジスタ	L0DFC	00_H	8	FFCE 0014_H	3	8
RLN2100	LIN0 ID バッファレジスタ	L0IDB	XX_H	8	FFCE 0015_H	3	8
RLN2100	LIN0 チェックサムバッファレジスタ	L0CBR	XX_H	8	FFCE 0016_H	3	8
RLN2100	LIN0 データバッファ 1 レジスタ	L0DBR1	XX_H	8	FFCE 0018_H	3	8
RLN2100	LIN0 データバッファ 2 レジスタ	L0DBR2	XX_H	8	FFCE 0019_H	3	8
RLN2100	LIN0 データバッファ 3 レジスタ	L0DBR3	XX_H	8	FFCE $001A_H$	3	8
RLN2100	LIN0 データバッファ 4 レジスタ	L0DBR4	XX_H	8	FFCE $001B_H$	3	8
RLN2100	LIN0 データバッファ 5 レジスタ	L0DBR5	XX_H	8	FFCE $001C_H$	3	8
RLN2100	LIN0 データバッファ 6 レジスタ	L0DBR6	XX_H	8	FFCE $001D_H$	3	8
RLN2100	LIN0 データバッファ 7 レジスタ	L0DBR7	XX_H	8	FFCE $001E_H$	3	8
RLN2100	LIN0 データバッファ 8 レジスタ	L0DBR8	XX_H	8	FFCE $001F_H$	3	8
RSCFD0（クラシカル CAN モード）	チャネル 0 コンフィグレーションレジスタ	RSCAN0C0CFG	$0000\ 0000_H$	32	FFD0 0000_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 0 制御レジスタ	RSCAN0C0CTR	$0000\ 0005_H$	32	FFD0 0004_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 0 ステータスレジスタ	RSCAN0C0STS	$0000\ 0005_H$	32	FFD0 0008_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 0 エラーフラグレジスタ	RSCAN0C0ERFL	$0000\ 0000_H$	32	FFD0 $000C_H$	2	8、16、32

(45/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	チャネル 1 コンフィグレーションレジスタ	RSCAN0C1CFG	$0000\ 0000_H$	32	$FFD0\ 0010_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 1 制御レジスタ	RSCAN0C1CTR	$0000\ 0005_H$	32	$FFD0\ 0014_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 1 ステータスレジスタ	RSCAN0C1STS	$0000\ 0005_H$	32	$FFD0\ 0018_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 1 エラーフラグレジスタ	RSCAN0C1ERFL	$0000\ 0000_H$	32	$FFD0\ 001C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 2 コンフィグレーションレジスタ	RSCAN0C2CFG	$0000\ 0000_H$	32	$FFD0\ 0020_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 2 制御レジスタ	RSCAN0C2CTR	$0000\ 0005_H$	32	$FFD0\ 0024_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 2 ステータスレジスタ	RSCAN0C2STS	$0000\ 0005_H$	32	$FFD0\ 0028_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 2 エラーフラグレジスタ	RSCAN0C2ERFL	$0000\ 0000_H$	32	$FFD0\ 002C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 3 コンフィグレーションレジスタ	RSCAN0C3CFG	$0000\ 0000_H$	32	$FFD0\ 0030_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 3 制御レジスタ	RSCAN0C3CTR	$0000\ 0005_H$	32	$FFD0\ 0034_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 3 ステータスレジスタ	RSCAN0C3STS	$0000\ 0005_H$	32	$FFD0\ 0038_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	チャネル 3 エラーフラグレジスタ	RSCAN0C3ERFL	$0000\ 0000_H$	32	$FFD0\ 003C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	グローバルコンフィグレーションレジスタ	RSCAN0GCFG	$0000\ 0000_H$	32	$FFD0\ 0084_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	グローバル制御レジスタ	RSCAN0GCTR	$0000\ 0005_H$	32	$FFD0\ 0088_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	グローバルステータスレジスタ	RSCAN0GSTS	$0000\ 000D_H$	32	$FFD0\ 008C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	グローバルエラーフラグレジスタ	RSCAN0GERFL	$0000\ 0000_H$	32	$FFD0\ 0090_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	グローバルタイムスタンプカウンタレジスタ	RSCAN0GTSC	$0000\ 0000_H$	32	$FFD0\ 0094_H$	2	16、32
RSCFD0（クラシカル CAN モード）	受信ルールエントリ制御レジスタ	RSCAN0GAFLECTR	$0000\ 0000_H$	32	$FFD0\ 0098_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールコンフィグレーションレジスタ 0	RSCAN0GAFLCFG0	$0000\ 0000_H$	32	$FFD0\ 009C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファナンバレジスタ	RSCAN0RMNB	$0000\ 0000_H$	32	$FFD0\ 00A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ新データレジスタ 0	RSCAN0RMND0	$0000\ 0000_H$	32	$FFD0\ 00A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ新データレジスタ 1	RSCAN0RMND1	$0000\ 0000_H$	32	$FFD0\ 00AC_H$	2	8、16、32

(46/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 0	RSCAN0RFCC0	$0000\ 0000_H$	32	$FFD0\ 00B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 1	RSCAN0RFCC1	$0000\ 0000_H$	32	$FFD0\ 00BC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 2	RSCAN0RFCC2	$0000\ 0000_H$	32	$FFD0\ 00C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 3	RSCAN0RFCC3	$0000\ 0000_H$	32	$FFD0\ 00C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 4	RSCAN0RFCC4	$0000\ 0000_H$	32	$FFD0\ 00C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 5	RSCAN0RFCC5	$0000\ 0000_H$	32	$FFD0\ 00CC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 6	RSCAN0RFCC6	$0000\ 0000_H$	32	$FFD0\ 00D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 7	RSCAN0RFCC7	$0000\ 0000_H$	32	$FFD0\ 00D4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファステータスレジスタ 0	RSCAN0RFSTS0	$0000\ 0001_H$	32	$FFD0\ 00D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファステータスレジスタ 1	RSCAN0RFSTS1	$0000\ 0001_H$	32	$FFD0\ 00DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファステータスレジスタ 2	RSCAN0RFSTS2	$0000\ 0001_H$	32	$FFD0\ 00E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファステータスレジスタ 3	RSCAN0RFSTS3	$0000\ 0001_H$	32	$FFD0\ 00E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファステータスレジスタ 4	RSCAN0RFSTS4	$0000\ 0001_H$	32	$FFD0\ 00E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファステータスレジスタ 5	RSCAN0RFSTS5	$0000\ 0001_H$	32	$FFD0\ 00EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファステータスレジスタ 6	RSCAN0RFSTS6	$0000\ 0001_H$	32	$FFD0\ 00F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファステータスレジスタ 7	RSCAN0RFSTS7	$0000\ 0001_H$	32	$FFD0\ 00F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファポインタ制御レジスタ 0	RSCAN0RFPCTR0	$0000\ 0000_H$	32	$FFD0\ 00F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0RFPCTR1	$0000\ 0000_H$	32	$FFD0\ 00FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0RFPCTR2	$0000\ 0000_H$	32	$FFD0\ 0100_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0RFPCTR3	$0000\ 0000_H$	32	$FFD0\ 0104_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0RFPCTR4	$0000\ 0000_H$	32	$FFD0\ 0108_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0RFPCTR5	$0000\ 0000_H$	32	$FFD0\ 010C_H$	2	8、16、32

(47/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファポインタ制御レジスタ 6	RSCAN0RFPCTR6	$0000\ 0000_H$	32	$FFD0\ 0110_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファポインタ制御レジスタ 7	RSCAN0RFPCTR7	$0000\ 0000_H$	32	$FFD0\ 0114_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 0	RSCAN0CFCC0	$0000\ 0000_H$	32	$FFD0\ 0118_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 1	RSCAN0CFCC1	$0000\ 0000_H$	32	$FFD0\ 011C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 2	RSCAN0CFCC2	$0000\ 0000_H$	32	$FFD0\ 0120_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 3	RSCAN0CFCC3	$0000\ 0000_H$	32	$FFD0\ 0124_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 4	RSCAN0CFCC4	$0000\ 0000_H$	32	$FFD0\ 0128_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 5	RSCAN0CFCC5	$0000\ 0000_H$	32	$FFD0\ 012C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 6	RSCAN0CFCC6	$0000\ 0000_H$	32	$FFD0\ 0130_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 7	RSCAN0CFCC7	$0000\ 0000_H$	32	$FFD0\ 0134_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 8	RSCAN0CFCC8	$0000\ 0000_H$	32	$FFD0\ 0138_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 9	RSCAN0CFCC9	$0000\ 0000_H$	32	$FFD0\ 013C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 10	RSCAN0CFCC10	$0000\ 0000_H$	32	$FFD0\ 0140_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 11	RSCAN0CFCC11	$0000\ 0000_H$	32	$FFD0\ 0144_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 0	RSCAN0CFSTS0	$0000\ 0001_H$	32	$FFD0\ 0178_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 1	RSCAN0CFSTS1	$0000\ 0001_H$	32	$FFD0\ 017C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 2	RSCAN0CFSTS2	$0000\ 0001_H$	32	$FFD0\ 0180_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 3	RSCAN0CFSTS3	$0000\ 0001_H$	32	$FFD0\ 0184_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 4	RSCAN0CFSTS4	$0000\ 0001_H$	32	$FFD0\ 0188_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 5	RSCAN0CFSTS5	$0000\ 0001_H$	32	$FFD0\ 018C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 6	RSCAN0CFSTS6	$0000\ 0001_H$	32	$FFD0\ 0190_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 7	RSCAN0CFSTS7	$0000\ 0001_H$	32	$FFD0\ 0194_H$	2	8、16、32

(48/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 8	RSCAN0CFSTS8	0000 0001_H	32	FFD0 0198_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 9	RSCAN0CFSTS9	0000 0001_H	32	FFD0 $019C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 10	RSCAN0CFSTS10	0000 0001_H	32	FFD0 $01A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファステータスレジスタ 11	RSCAN0CFSTS11	0000 0001_H	32	FFD0 $01A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 0	RSCAN0CFPCTR0	0000 0000_H	32	FFD0 $01D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0CFPCTR1	0000 0000_H	32	FFD0 $01DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0CFPCTR2	0000 0000_H	32	FFD0 $01E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0CFPCTR3	0000 0000_H	32	FFD0 $01E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0CFPCTR4	0000 0000_H	32	FFD0 $01E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0CFPCTR5	0000 0000_H	32	FFD0 $01EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 6	RSCAN0CFPCTR6	0000 0000_H	32	FFD0 $01F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 7	RSCAN0CFPCTR7	0000 0000_H	32	FFD0 $01F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 8	RSCAN0CFPCTR8	0000 0000_H	32	FFD0 $01F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 9	RSCAN0CFPCTR9	0000 0000_H	32	FFD0 $01FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 10	RSCAN0CFPCTR10	0000 0000_H	32	FFD0 0200_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファポインタ制御レジスタ 11	RSCAN0CFPCTR11	0000 0000_H	32	FFD0 0204_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	FIFO エンプティステータスレジスタ	RSCAN0FESTS	007F $FFFF_H$	32	FFD0 0238_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	FIFO フルステータスレジスタ	RSCAN0FFSTS	0000 0000_H	32	FFD0 $023C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	FIFO メッセージロストステータスレジスタ	RSCAN0FMSTS	0000 0000_H	32	FFD0 0240_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCAN0RFISTS	0000 0000_H	32	FFD0 0244_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファ受信割り込みフラグステータスレジスタ	RSCAN0CFRISTS	0000 0000_H	32	FFD0 0248_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファ送信割り込みフラグステータスレジスタ	RSCAN0CFTISTS	0000 0000_H	32	FFD0 $024C_H$	2	8、16、32

(49/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 0	RSCAN0TMC0	00_H	8	FFD0 0250_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 1	RSCAN0TMC1	00_H	8	FFD0 0251_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 2	RSCAN0TMC2	00_H	8	FFD0 0252_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 3	RSCAN0TMC3	00_H	8	FFD0 0253_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 4	RSCAN0TMC4	00_H	8	FFD0 0254_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 5	RSCAN0TMC5	00_H	8	FFD0 0255_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 6	RSCAN0TMC6	00_H	8	FFD0 0256_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 7	RSCAN0TMC7	00_H	8	FFD0 0257_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 8	RSCAN0TMC8	00_H	8	FFD0 0258_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 9	RSCAN0TMC9	00_H	8	FFD0 0259_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 10	RSCAN0TMC10	00_H	8	FFD0 $025A_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 11	RSCAN0TMC11	00_H	8	FFD0 $025B_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 12	RSCAN0TMC12	00_H	8	FFD0 $025C_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 13	RSCAN0TMC13	00_H	8	FFD0 $025D_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 14	RSCAN0TMC14	00_H	8	FFD0 $025E_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 15	RSCAN0TMC15	00_H	8	FFD0 $025F_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 16	RSCAN0TMC16	00_H	8	FFD0 0260_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 17	RSCAN0TMC17	00_H	8	FFD0 0261_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 18	RSCAN0TMC18	00_H	8	FFD0 0262_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 19	RSCAN0TMC19	00_H	8	FFD0 0263_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 20	RSCAN0TMC20	00_H	8	FFD0 0264_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 21	RSCAN0TMC21	00_H	8	FFD0 0265_H	2	8

(50/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 22	RSCAN0TMC22	00_H	8	FFD0 0266_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 23	RSCAN0TMC23	00_H	8	FFD0 0267_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 24	RSCAN0TMC24	00_H	8	FFD0 0268_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 25	RSCAN0TMC25	00_H	8	FFD0 0269_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 26	RSCAN0TMC26	00_H	8	FFD0 $026A_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 27	RSCAN0TMC27	00_H	8	FFD0 $026B_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 28	RSCAN0TMC28	00_H	8	FFD0 $026C_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 29	RSCAN0TMC29	00_H	8	FFD0 $026D_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 30	RSCAN0TMC30	00_H	8	FFD0 $026E_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 31	RSCAN0TMC31	00_H	8	FFD0 $026F_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 32	RSCAN0TMC32	00_H	8	FFD0 0270_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 33	RSCAN0TMC33	00_H	8	FFD0 0271_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 34	RSCAN0TMC34	00_H	8	FFD0 0272_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 35	RSCAN0TMC35	00_H	8	FFD0 0273_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 36	RSCAN0TMC36	00_H	8	FFD0 0274_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 37	RSCAN0TMC37	00_H	8	FFD0 0275_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 38	RSCAN0TMC38	00_H	8	FFD0 0276_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 39	RSCAN0TMC39	00_H	8	FFD0 0277_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 40	RSCAN0TMC40	00_H	8	FFD0 0278_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 41	RSCAN0TMC41	00_H	8	FFD0 0279_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 42	RSCAN0TMC42	00_H	8	FFD0 $027A_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 43	RSCAN0TMC43	00_H	8	FFD0 $027B_H$	2	8

(51/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 44	RSCAN0TMC44	00_H	8	FFD0 $027C_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 45	RSCAN0TMC45	00_H	8	FFD0 $027D_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 46	RSCAN0TMC46	00_H	8	FFD0 $027E_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 47	RSCAN0TMC47	00_H	8	FFD0 $027F_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 48	RSCAN0TMC48	00_H	8	FFD0 0280_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 49	RSCAN0TMC49	00_H	8	FFD0 0281_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 50	RSCAN0TMC50	00_H	8	FFD0 0282_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 51	RSCAN0TMC51	00_H	8	FFD0 0283_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 52	RSCAN0TMC52	00_H	8	FFD0 0284_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 53	RSCAN0TMC53	00_H	8	FFD0 0285_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 54	RSCAN0TMC54	00_H	8	FFD0 0286_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 55	RSCAN0TMC55	00_H	8	FFD0 0287_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 56	RSCAN0TMC56	00_H	8	FFD0 0288_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 57	RSCAN0TMC57	00_H	8	FFD0 0289_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 58	RSCAN0TMC58	00_H	8	FFD0 $028A_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 59	RSCAN0TMC59	00_H	8	FFD0 $028B_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 60	RSCAN0TMC60	00_H	8	FFD0 $028C_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 61	RSCAN0TMC61	00_H	8	FFD0 $028D_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 62	RSCAN0TMC62	00_H	8	FFD0 $028E_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ制御レジスタ 63	RSCAN0TMC63	00_H	8	FFD0 $028F_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 0	RSCAN0TMSTS0	00_H	8	FFD0 $02D0_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 1	RSCAN0TMSTS1	00_H	8	FFD0 $02D1_H$	2	8

(52/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 2	RSCAN0TMSTS2	00_H	8	FFD0 $02D2_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 3	RSCAN0TMSTS3	00_H	8	FFD0 $02D3_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 4	RSCAN0TMSTS4	00_H	8	FFD0 $02D4_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 5	RSCAN0TMSTS5	00_H	8	FFD0 $02D5_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 6	RSCAN0TMSTS6	00_H	8	FFD0 $02D6_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 7	RSCAN0TMSTS7	00_H	8	FFD0 $02D7_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 8	RSCAN0TMSTS8	00_H	8	FFD0 $02D8_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 9	RSCAN0TMSTS9	00_H	8	FFD0 $02D9_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 10	RSCAN0TMSTS10	00_H	8	FFD0 $02DA_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 11	RSCAN0TMSTS11	00_H	8	FFD0 $02DB_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 12	RSCAN0TMSTS12	00_H	8	FFD0 $02DC_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 13	RSCAN0TMSTS13	00_H	8	FFD0 $02DD_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 14	RSCAN0TMSTS14	00_H	8	FFD0 $02DE_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 15	RSCAN0TMSTS15	00_H	8	FFD0 $02DF_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 16	RSCAN0TMSTS16	00_H	8	FFD0 $02E0_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 17	RSCAN0TMSTS17	00_H	8	FFD0 $02E1_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 18	RSCAN0TMSTS18	00_H	8	FFD0 $02E2_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 19	RSCAN0TMSTS19	00_H	8	FFD0 $02E3_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 20	RSCAN0TMSTS20	00_H	8	FFD0 $02E4_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 21	RSCAN0TMSTS21	00_H	8	FFD0 $02E5_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 22	RSCAN0TMSTS22	00_H	8	FFD0 $02E6_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 23	RSCAN0TMSTS23	00_H	8	FFD0 $02E7_H$	2	8

(53/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 24	RSCAN0TMSTS24	00_H	8	FFD0 $02E8_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 25	RSCAN0TMSTS25	00_H	8	FFD0 $02E9_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 26	RSCAN0TMSTS26	00_H	8	FFD0 $02EA_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 27	RSCAN0TMSTS27	00_H	8	FFD0 $02EB_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 28	RSCAN0TMSTS28	00_H	8	FFD0 $02EC_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 29	RSCAN0TMSTS29	00_H	8	FFD0 $02ED_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 30	RSCAN0TMSTS30	00_H	8	FFD0 $02EE_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 31	RSCAN0TMSTS31	00_H	8	FFD0 $02EF_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 32	RSCAN0TMSTS32	00_H	8	FFD0 $02F0_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 33	RSCAN0TMSTS33	00_H	8	FFD0 $02F1_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 34	RSCAN0TMSTS34	00_H	8	FFD0 $02F2_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 35	RSCAN0TMSTS35	00_H	8	FFD0 $02F3_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 36	RSCAN0TMSTS36	00_H	8	FFD0 $02F4_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 37	RSCAN0TMSTS37	00_H	8	FFD0 $02F5_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 38	RSCAN0TMSTS38	00_H	8	FFD0 $02F6_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 39	RSCAN0TMSTS39	00_H	8	FFD0 $02F7_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 40	RSCAN0TMSTS40	00_H	8	FFD0 $02F8_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 41	RSCAN0TMSTS41	00_H	8	FFD0 $02F9_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 42	RSCAN0TMSTS42	00_H	8	FFD0 $02FA_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 43	RSCAN0TMSTS43	00_H	8	FFD0 $02FB_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 44	RSCAN0TMSTS44	00_H	8	FFD0 $02FC_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 45	RSCAN0TMSTS45	00_H	8	FFD0 $02FD_H$	2	8

(54/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 46	RSCAN0TMSTS46	00_H	8	FFD0 $02FE_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 47	RSCAN0TMSTS47	00_H	8	FFD0 $02FF_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 48	RSCAN0TMSTS48	00_H	8	FFD0 0300_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 49	RSCAN0TMSTS49	00_H	8	FFD0 0301_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 50	RSCAN0TMSTS50	00_H	8	FFD0 0302_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 51	RSCAN0TMSTS51	00_H	8	FFD0 0303_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 52	RSCAN0TMSTS52	00_H	8	FFD0 0304_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 53	RSCAN0TMSTS53	00_H	8	FFD0 0305_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 54	RSCAN0TMSTS54	00_H	8	FFD0 0306_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 55	RSCAN0TMSTS55	00_H	8	FFD0 0307_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 56	RSCAN0TMSTS56	00_H	8	FFD0 0308_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 57	RSCAN0TMSTS57	00_H	8	FFD0 0309_H	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 58	RSCAN0TMSTS58	00_H	8	FFD0 $030A_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 59	RSCAN0TMSTS59	00_H	8	FFD0 $030B_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 60	RSCAN0TMSTS60	00_H	8	FFD0 $030C_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 61	RSCAN0TMSTS61	00_H	8	FFD0 $030D_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 62	RSCAN0TMSTS62	00_H	8	FFD0 $030E_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファステータスレジスタ 63	RSCAN0TMSTS63	00_H	8	FFD0 $030F_H$	2	8
RSCFD0（クラシカル CAN モード）	送信バッファ送信要求ステータスレジスタ 0	RSCAN0TMTRSTS0	$0000\ 0000_H$	32	FFD0 0350_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ送信要求ステータスレジスタ 1	RSCAN0TMTRSTS1	$0000\ 0000_H$	32	FFD0 0354_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ送信アボート要求ステータスレジスタ 0	RSCAN0TMTARSTS0	$0000\ 0000_H$	32	FFD0 0360_H	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ送信アボート要求ステータスレジスタ 1	RSCAN0TMTARSTS1	$0000\ 0000_H$	32	FFD0 0364_H	2	8、16、32

(55/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファ送信完了ステータスレジスタ 0	RSCAN0TMTCSTS0	$0000\ 0000_H$	32	$FFD0\ 0370_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ送信完了ステータスレジスタ 1	RSCAN0TMTCSTS1	$0000\ 0000_H$	32	$FFD0\ 0374_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ送信アボートステータスレジスタ 0	RSCAN0TMTASTS0	$0000\ 0000_H$	32	$FFD0\ 0380_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ送信アボートステータスレジスタ 1	RSCAN0TMTASTS1	$0000\ 0000_H$	32	$FFD0\ 0384_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0	RSCAN0TMIEC0	$0000\ 0000_H$	32	$FFD0\ 0390_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 1	RSCAN0TMIEC1	$0000\ 0000_H$	32	$FFD0\ 0394_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューコンフィグレーション／制御レジスタ 0	RSCAN0TXQCC0	$0000\ 0000_H$	32	$FFD0\ 03A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューコンフィグレーション／制御レジスタ 1	RSCAN0TXQCC1	$0000\ 0000_H$	32	$FFD0\ 03A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューコンフィグレーション／制御レジスタ 2	RSCAN0TXQCC2	$0000\ 0000_H$	32	$FFD0\ 03A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューコンフィグレーション／制御レジスタ 3	RSCAN0TXQCC3	$0000\ 0000_H$	32	$FFD0\ 03AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューステータスレジスタ 0	RSCAN0TXQSTS0	$0000\ 0001_H$	32	$FFD0\ 03C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューステータスレジスタ 1	RSCAN0TXQSTS1	$0000\ 0001_H$	32	$FFD0\ 03C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューステータスレジスタ 2	RSCAN0TXQSTS2	$0000\ 0001_H$	32	$FFD0\ 03C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューステータスレジスタ 3	RSCAN0TXQSTS3	$0000\ 0001_H$	32	$FFD0\ 03CC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューポインタ制御レジスタ 0	RSCAN0TXQPCTR0	$0000\ 0000_H$	32	$FFD0\ 03E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューポインタ制御レジスタ 1	RSCAN0TXQPCTR1	$0000\ 0000_H$	32	$FFD0\ 03E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューポインタ制御レジスタ 2	RSCAN0TXQPCTR2	$0000\ 0000_H$	32	$FFD0\ 03E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信キューポインタ制御レジスタ 3	RSCAN0TXQPCTR3	$0000\ 0000_H$	32	$FFD0\ 03EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴コンフィグレーション／制御レジスタ 0	RSCAN0THLCC0	$0000\ 0000_H$	32	$FFD0\ 0400_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴コンフィグレーション／制御レジスタ 1	RSCAN0THLCC1	$0000\ 0000_H$	32	$FFD0\ 0404_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴コンフィグレーション／制御レジスタ 2	RSCAN0THLCC2	$0000\ 0000_H$	32	$FFD0\ 0408_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴コンフィグレーション／制御レジスタ 3	RSCAN0THLCC3	$0000\ 0000_H$	32	$FFD0\ 040C_H$	2	8、16、32

(56/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信履歴ステータスレジスタ 0	RSCAN0THLSTS0	$0000\ 0001_H$	32	$FFD0\ 0420_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴ステータスレジスタ 1	RSCAN0THLSTS1	$0000\ 0001_H$	32	$FFD0\ 0424_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴ステータスレジスタ 2	RSCAN0THLSTS2	$0000\ 0001_H$	32	$FFD0\ 0428_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴ステータスレジスタ 3	RSCAN0THLSTS3	$0000\ 0001_H$	32	$FFD0\ 042C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴ポインタ制御レジスタ 0	RSCAN0THLPCTR0	$0000\ 0000_H$	32	$FFD0\ 0440_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴ポインタ制御レジスタ 1	RSCAN0THLPCTR1	$0000\ 0000_H$	32	$FFD0\ 0444_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴ポインタ制御レジスタ 2	RSCAN0THLPCTR2	$0000\ 0000_H$	32	$FFD0\ 0448_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴ポインタ制御レジスタ 3	RSCAN0THLPCTR3	$0000\ 0000_H$	32	$FFD0\ 044C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	グローバル TX 割り込みステータスレジスタ 0	RSCAN0GTINTSTS0	$0000\ 0000_H$	32	$FFD0\ 0460_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	グローバルテストコンフィグレーションレジスタ	RSCAN0GTSTCFG	$0000\ 0000_H$	32	$FFD0\ 0468_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	グローバルテスト制御レジスタ	RSCAN0GTSTCTR	$0000\ 0000_H$	32	$FFD0\ 046C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	グローバル FD コンフィグレーションレジスタ	RSCAN0GFDCFG	$0000\ 0000_H$	32	$FFD0\ 0474_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	グローバルロックキーレジスタ	RSCAN0GLOCKK	$0000\ 0000_H$	32	$FFD0\ 047C_H$	2	16、32
RSCFD0（クラシカル CAN モード）	グローバルインタフェースモード選択レジスタ	RSCAN0CFDGRMCFG	$0000\ 0000_H$	32	$FFD0\ 04FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 0	RSCAN0GAFLID0	$0000\ 0000_H$	32	$FFD0\ 0500_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 0	RSCAN0GAFLM0	$0000\ 0000_H$	32	$FFD0\ 0504_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 0	RSCAN0GAFLP0_0	$0000\ 0000_H$	32	$FFD0\ 0508_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 0	RSCAN0GAFLP1_0	$0000\ 0000_H$	32	$FFD0\ 050C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 1	RSCAN0GAFLID1	$0000\ 0000_H$	32	$FFD0\ 0510_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 1	RSCAN0GAFLM1	$0000\ 0000_H$	32	$FFD0\ 0514_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 1	RSCAN0GAFLP0_1	$0000\ 0000_H$	32	$FFD0\ 0518_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 1	RSCAN0GAFLP1_1	$0000\ 0000_H$	32	$FFD0\ 051C_H$	2	8、16、32

(57/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 2	RSCAN0GAFLID2	$0000\ 0000_H$	32	$FFD0\ 0520_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 2	RSCAN0GAFLM2	$0000\ 0000_H$	32	$FFD0\ 0524_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 2	RSCAN0GAFLP0_2	$0000\ 0000_H$	32	$FFD0\ 0528_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 2	RSCAN0GAFLP1_2	$0000\ 0000_H$	32	$FFD0\ 052C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 3	RSCAN0GAFLID3	$0000\ 0000_H$	32	$FFD0\ 0530_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 3	RSCAN0GAFLM3	$0000\ 0000_H$	32	$FFD0\ 0534_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 3	RSCAN0GAFLP0_3	$0000\ 0000_H$	32	$FFD0\ 0538_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 3	RSCAN0GAFLP1_3	$0000\ 0000_H$	32	$FFD0\ 053C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 4	RSCAN0GAFLID4	$0000\ 0000_H$	32	$FFD0\ 0540_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 4	RSCAN0GAFLM4	$0000\ 0000_H$	32	$FFD0\ 0544_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 4	RSCAN0GAFLP0_4	$0000\ 0000_H$	32	$FFD0\ 0548_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 4	RSCAN0GAFLP1_4	$0000\ 0000_H$	32	$FFD0\ 054C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 5	RSCAN0GAFLID5	$0000\ 0000_H$	32	$FFD0\ 0550_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 5	RSCAN0GAFLM5	$0000\ 0000_H$	32	$FFD0\ 0554_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 5	RSCAN0GAFLP0_5	$0000\ 0000_H$	32	$FFD0\ 0558_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 5	RSCAN0GAFLP1_5	$0000\ 0000_H$	32	$FFD0\ 055C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 6	RSCAN0GAFLID6	$0000\ 0000_H$	32	$FFD0\ 0560_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 6	RSCAN0GAFLM6	$0000\ 0000_H$	32	$FFD0\ 0564_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 6	RSCAN0GAFLP0_6	$0000\ 0000_H$	32	$FFD0\ 0568_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 6	RSCAN0GAFLP1_6	$0000\ 0000_H$	32	$FFD0\ 056C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 7	RSCAN0GAFLID7	$0000\ 0000_H$	32	$FFD0\ 0570_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 7	RSCAN0GAFLM7	$0000\ 0000_H$	32	$FFD0\ 0574_H$	2	8、16、32

(58/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 7	RSCAN0GAFLP0_7	$0000\ 0000_H$	32	$FFD0\ 0578_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 7	RSCAN0GAFLP1_7	$0000\ 0000_H$	32	$FFD0\ 057C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 8	RSCAN0GAFLID8	$0000\ 0000_H$	32	$FFD0\ 0580_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 8	RSCAN0GAFLM8	$0000\ 0000_H$	32	$FFD0\ 0584_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 8	RSCAN0GAFLP0_8	$0000\ 0000_H$	32	$FFD0\ 0588_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 8	RSCAN0GAFLP1_8	$0000\ 0000_H$	32	$FFD0\ 058C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 9	RSCAN0GAFLID9	$0000\ 0000_H$	32	$FFD0\ 0590_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 9	RSCAN0GAFLM9	$0000\ 0000_H$	32	$FFD0\ 0594_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 9	RSCAN0GAFLP0_9	$0000\ 0000_H$	32	$FFD0\ 0598_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 9	RSCAN0GAFLP1_9	$0000\ 0000_H$	32	$FFD0\ 059C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 10	RSCAN0GAFLID10	$0000\ 0000_H$	32	$FFD0\ 05A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 10	RSCAN0GAFLM10	$0000\ 0000_H$	32	$FFD0\ 05A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 10	RSCAN0GAFLP0_10	$0000\ 0000_H$	32	$FFD0\ 05A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 10	RSCAN0GAFLP1_10	$0000\ 0000_H$	32	$FFD0\ 05AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 11	RSCAN0GAFLID11	$0000\ 0000_H$	32	$FFD0\ 05B0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 11	RSCAN0GAFLM11	$0000\ 0000_H$	32	$FFD0\ 05B4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 11	RSCAN0GAFLP0_11	$0000\ 0000_H$	32	$FFD0\ 05B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 11	RSCAN0GAFLP1_11	$0000\ 0000_H$	32	$FFD0\ 05BC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 12	RSCAN0GAFLID12	$0000\ 0000_H$	32	$FFD0\ 05C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 12	RSCAN0GAFLM12	$0000\ 0000_H$	32	$FFD0\ 05C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 12	RSCAN0GAFLP0_12	$0000\ 0000_H$	32	$FFD0\ 05C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 12	RSCAN0GAFLP1_12	$0000\ 0000_H$	32	$FFD0\ 05CC_H$	2	8、16、32

(59/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 13	RSCAN0GAFLID13	$0000\ 0000_H$	32	$FFD0\ 05D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 13	RSCAN0GAFLM13	$0000\ 0000_H$	32	$FFD0\ 05D4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 13	RSCAN0GAFLP0_13	$0000\ 0000_H$	32	$FFD0\ 05D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 13	RSCAN0GAFLP1_13	$0000\ 0000_H$	32	$FFD0\ 05DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 14	RSCAN0GAFLID14	$0000\ 0000_H$	32	$FFD0\ 05E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 14	RSCAN0GAFLM14	$0000\ 0000_H$	32	$FFD0\ 05E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 14	RSCAN0GAFLP0_14	$0000\ 0000_H$	32	$FFD0\ 05E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 14	RSCAN0GAFLP1_14	$0000\ 0000_H$	32	$FFD0\ 05EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルール ID レジスタ 15	RSCAN0GAFLID15	$0000\ 0000_H$	32	$FFD0\ 05F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールマスクレジスタ 15	RSCAN0GAFLM15	$0000\ 0000_H$	32	$FFD0\ 05F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 0 レジスタ 15	RSCAN0GAFLP0_15	$0000\ 0000_H$	32	$FFD0\ 05F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信ルールポインタ 1 レジスタ 15	RSCAN0GAFLP1_15	$0000\ 0000_H$	32	$FFD0\ 05FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 0	RSCAN0RMID0	$0000\ 0000_H$	32	$FFD0\ 0600_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 0	RSCAN0RMPTR0	$0000\ 0000_H$	32	$FFD0\ 0604_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 0	RSCAN0RMDF0_0	$0000\ 0000_H$	32	$FFD0\ 0608_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 0	RSCAN0RMDF1_0	$0000\ 0000_H$	32	$FFD0\ 060C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 1	RSCAN0RMID1	$0000\ 0000_H$	32	$FFD0\ 0610_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 1	RSCAN0RMPTR1	$0000\ 0000_H$	32	$FFD0\ 0614_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 1	RSCAN0RMDF0_1	$0000\ 0000_H$	32	$FFD0\ 0618_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 1	RSCAN0RMDF1_1	$0000\ 0000_H$	32	$FFD0\ 061C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 2	RSCAN0RMID2	$0000\ 0000_H$	32	$FFD0\ 0620_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 2	RSCAN0RMPTR2	$0000\ 0000_H$	32	$FFD0\ 0624_H$	2	8、16、32

(60/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 2	RSCAN0RMDF0_2	$0000\ 0000_H$	32	$FFD0\ 0628_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 2	RSCAN0RMDF1_2	$0000\ 0000_H$	32	$FFD0\ 062C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 3	RSCAN0RMID3	$0000\ 0000_H$	32	$FFD0\ 0630_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 3	RSCAN0RMPTR3	$0000\ 0000_H$	32	$FFD0\ 0634_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 3	RSCAN0RMDF0_3	$0000\ 0000_H$	32	$FFD0\ 0638_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 3	RSCAN0RMDF1_3	$0000\ 0000_H$	32	$FFD0\ 063C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 4	RSCAN0RMID4	$0000\ 0000_H$	32	$FFD0\ 0640_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 4	RSCAN0RMPTR4	$0000\ 0000_H$	32	$FFD0\ 0644_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 4	RSCAN0RMDF0_4	$0000\ 0000_H$	32	$FFD0\ 0648_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 4	RSCAN0RMDF1_4	$0000\ 0000_H$	32	$FFD0\ 064C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 5	RSCAN0RMID5	$0000\ 0000_H$	32	$FFD0\ 0650_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 5	RSCAN0RMPTR5	$0000\ 0000_H$	32	$FFD0\ 0654_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 5	RSCAN0RMDF0_5	$0000\ 0000_H$	32	$FFD0\ 0658_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 5	RSCAN0RMDF1_5	$0000\ 0000_H$	32	$FFD0\ 065C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 6	RSCAN0RMID6	$0000\ 0000_H$	32	$FFD0\ 0660_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 6	RSCAN0RMPTR6	$0000\ 0000_H$	32	$FFD0\ 0664_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 6	RSCAN0RMDF0_6	$0000\ 0000_H$	32	$FFD0\ 0668_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 6	RSCAN0RMDF1_6	$0000\ 0000_H$	32	$FFD0\ 066C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 7	RSCAN0RMID7	$0000\ 0000_H$	32	$FFD0\ 0670_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 7	RSCAN0RMPTR7	$0000\ 0000_H$	32	$FFD0\ 0674_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 7	RSCAN0RMDF0_7	$0000\ 0000_H$	32	$FFD0\ 0678_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 7	RSCAN0RMDF1_7	$0000\ 0000_H$	32	$FFD0\ 067C_H$	2	8、16、32

(61/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 8	RSCAN0RMID8	$0000\ 0000_H$	32	$FFD0\ 0680_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 8	RSCAN0RMPTR8	$0000\ 0000_H$	32	$FFD0\ 0684_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 8	RSCAN0RMDF0_8	$0000\ 0000_H$	32	$FFD0\ 0688_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 8	RSCAN0RMDF1_8	$0000\ 0000_H$	32	$FFD0\ 068C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 9	RSCAN0RMID9	$0000\ 0000_H$	32	$FFD0\ 0690_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 9	RSCAN0RMPTR9	$0000\ 0000_H$	32	$FFD0\ 0694_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 9	RSCAN0RMDF0_9	$0000\ 0000_H$	32	$FFD0\ 0698_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 9	RSCAN0RMDF1_9	$0000\ 0000_H$	32	$FFD0\ 069C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 10	RSCAN0RMID10	$0000\ 0000_H$	32	$FFD0\ 06A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 10	RSCAN0RMPTR10	$0000\ 0000_H$	32	$FFD0\ 06A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 10	RSCAN0RMDF0_10	$0000\ 0000_H$	32	$FFD0\ 06A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 10	RSCAN0RMDF1_10	$0000\ 0000_H$	32	$FFD0\ 06AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 11	RSCAN0RMID11	$0000\ 0000_H$	32	$FFD0\ 06B0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 11	RSCAN0RMPTR11	$0000\ 0000_H$	32	$FFD0\ 06B4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 11	RSCAN0RMDF0_11	$0000\ 0000_H$	32	$FFD0\ 06B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 11	RSCAN0RMDF1_11	$0000\ 0000_H$	32	$FFD0\ 06BC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 12	RSCAN0RMID12	$0000\ 0000_H$	32	$FFD0\ 06C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 12	RSCAN0RMPTR12	$0000\ 0000_H$	32	$FFD0\ 06C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 12	RSCAN0RMDF0_12	$0000\ 0000_H$	32	$FFD0\ 06C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 12	RSCAN0RMDF1_12	$0000\ 0000_H$	32	$FFD0\ 06CC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 13	RSCAN0RMID13	$0000\ 0000_H$	32	$FFD0\ 06D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 13	RSCAN0RMPTR13	$0000\ 0000_H$	32	$FFD0\ 06D4_H$	2	8、16、32

(62/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 13	RSCAN0RMDF0_13	$0000\ 0000_H$	32	$FFD0\ 06D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 13	RSCAN0RMDF1_13	$0000\ 0000_H$	32	$FFD0\ 06DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 14	RSCAN0RMID14	$0000\ 0000_H$	32	$FFD0\ 06E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 14	RSCAN0RMPTR14	$0000\ 0000_H$	32	$FFD0\ 06E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 14	RSCAN0RMDF0_14	$0000\ 0000_H$	32	$FFD0\ 06E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 14	RSCAN0RMDF1_14	$0000\ 0000_H$	32	$FFD0\ 06EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 15	RSCAN0RMID15	$0000\ 0000_H$	32	$FFD0\ 06F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 15	RSCAN0RMPTR15	$0000\ 0000_H$	32	$FFD0\ 06F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 15	RSCAN0RMDF0_15	$0000\ 0000_H$	32	$FFD0\ 06F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 15	RSCAN0RMDF1_15	$0000\ 0000_H$	32	$FFD0\ 06FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 16	RSCAN0RMID16	$0000\ 0000_H$	32	$FFD0\ 0700_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 16	RSCAN0RMPTR16	$0000\ 0000_H$	32	$FFD0\ 0704_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 16	RSCAN0RMDF0_16	$0000\ 0000_H$	32	$FFD0\ 0708_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 16	RSCAN0RMDF1_16	$0000\ 0000_H$	32	$FFD0\ 070C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 17	RSCAN0RMID17	$0000\ 0000_H$	32	$FFD0\ 0710_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 17	RSCAN0RMPTR17	$0000\ 0000_H$	32	$FFD0\ 0714_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 17	RSCAN0RMDF0_17	$0000\ 0000_H$	32	$FFD0\ 0718_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 17	RSCAN0RMDF1_17	$0000\ 0000_H$	32	$FFD0\ 071C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 18	RSCAN0RMID18	$0000\ 0000_H$	32	$FFD0\ 0720_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 18	RSCAN0RMPTR18	$0000\ 0000_H$	32	$FFD0\ 0724_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 18	RSCAN0RMDF0_18	$0000\ 0000_H$	32	$FFD0\ 0728_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 18	RSCAN0RMDF1_18	$0000\ 0000_H$	32	$FFD0\ 072C_H$	2	8、16、32

(63/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 19	RSCAN0RMID19	$0000\ 0000_H$	32	$FFD0\ 0730_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 19	RSCAN0RMPTR19	$0000\ 0000_H$	32	$FFD0\ 0734_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 19	RSCAN0RMDF0_19	$0000\ 0000_H$	32	$FFD0\ 0738_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 19	RSCAN0RMDF1_19	$0000\ 0000_H$	32	$FFD0\ 073C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 20	RSCAN0RMID20	$0000\ 0000_H$	32	$FFD0\ 0740_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 20	RSCAN0RMPTR20	$0000\ 0000_H$	32	$FFD0\ 0744_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 20	RSCAN0RMDF0_20	$0000\ 0000_H$	32	$FFD0\ 0748_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 20	RSCAN0RMDF1_20	$0000\ 0000_H$	32	$FFD0\ 074C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 21	RSCAN0RMID21	$0000\ 0000_H$	32	$FFD0\ 0750_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 21	RSCAN0RMPTR21	$0000\ 0000_H$	32	$FFD0\ 0754_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 21	RSCAN0RMDF0_21	$0000\ 0000_H$	32	$FFD0\ 0758_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 21	RSCAN0RMDF1_21	$0000\ 0000_H$	32	$FFD0\ 075C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 22	RSCAN0RMID22	$0000\ 0000_H$	32	$FFD0\ 0760_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 22	RSCAN0RMPTR22	$0000\ 0000_H$	32	$FFD0\ 0764_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 22	RSCAN0RMDF0_22	$0000\ 0000_H$	32	$FFD0\ 0768_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 22	RSCAN0RMDF1_22	$0000\ 0000_H$	32	$FFD0\ 076C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 23	RSCAN0RMID23	$0000\ 0000_H$	32	$FFD0\ 0770_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 23	RSCAN0RMPTR23	$0000\ 0000_H$	32	$FFD0\ 0774_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 23	RSCAN0RMDF0_23	$0000\ 0000_H$	32	$FFD0\ 0778_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 23	RSCAN0RMDF1_23	$0000\ 0000_H$	32	$FFD0\ 077C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 24	RSCAN0RMID24	$0000\ 0000_H$	32	$FFD0\ 0780_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 24	RSCAN0RMPTR24	$0000\ 0000_H$	32	$FFD0\ 0784_H$	2	8、16、32

(64/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 24	RSCAN0RMDF0_24	$0000\ 0000_H$	32	$FFD0\ 0788_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 24	RSCAN0RMDF1_24	$0000\ 0000_H$	32	$FFD0\ 078C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 25	RSCAN0RMID25	$0000\ 0000_H$	32	$FFD0\ 0790_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 25	RSCAN0RMPTR25	$0000\ 0000_H$	32	$FFD0\ 0794_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 25	RSCAN0RMDF0_25	$0000\ 0000_H$	32	$FFD0\ 0798_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 25	RSCAN0RMDF1_25	$0000\ 0000_H$	32	$FFD0\ 079C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 26	RSCAN0RMID26	$0000\ 0000_H$	32	$FFD0\ 07A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 26	RSCAN0RMPTR26	$0000\ 0000_H$	32	$FFD0\ 07A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 26	RSCAN0RMDF0_26	$0000\ 0000_H$	32	$FFD0\ 07A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 26	RSCAN0RMDF1_26	$0000\ 0000_H$	32	$FFD0\ 07AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 27	RSCAN0RMID27	$0000\ 0000_H$	32	$FFD0\ 07B0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 27	RSCAN0RMPTR27	$0000\ 0000_H$	32	$FFD0\ 07B4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 27	RSCAN0RMDF0_27	$0000\ 0000_H$	32	$FFD0\ 07B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 27	RSCAN0RMDF1_27	$0000\ 0000_H$	32	$FFD0\ 07BC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 28	RSCAN0RMID28	$0000\ 0000_H$	32	$FFD0\ 07C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 28	RSCAN0RMPTR28	$0000\ 0000_H$	32	$FFD0\ 07C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 28	RSCAN0RMDF0_28	$0000\ 0000_H$	32	$FFD0\ 07C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 28	RSCAN0RMDF1_28	$0000\ 0000_H$	32	$FFD0\ 07CC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 29	RSCAN0RMID29	$0000\ 0000_H$	32	$FFD0\ 07D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 29	RSCAN0RMPTR29	$0000\ 0000_H$	32	$FFD0\ 07D4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 29	RSCAN0RMDF0_29	$0000\ 0000_H$	32	$FFD0\ 07D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 29	RSCAN0RMDF1_29	$0000\ 0000_H$	32	$FFD0\ 07DC_H$	2	8、16、32

(65/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 30	RSCAN0RMID30	$0000\ 0000_H$	32	$FFD0\ 07E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 30	RSCAN0RMPTR30	$0000\ 0000_H$	32	$FFD0\ 07E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 30	RSCAN0RMDF0_30	$0000\ 0000_H$	32	$FFD0\ 07E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 30	RSCAN0RMDF1_30	$0000\ 0000_H$	32	$FFD0\ 07EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 31	RSCAN0RMID31	$0000\ 0000_H$	32	$FFD0\ 07F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 31	RSCAN0RMPTR31	$0000\ 0000_H$	32	$FFD0\ 07F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 31	RSCAN0RMDF0_31	$0000\ 0000_H$	32	$FFD0\ 07F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 31	RSCAN0RMDF1_31	$0000\ 0000_H$	32	$FFD0\ 07FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 32	RSCAN0RMID32	$0000\ 0000_H$	32	$FFD0\ 0800_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 32	RSCAN0RMPTR32	$0000\ 0000_H$	32	$FFD0\ 0804_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 32	RSCAN0RMDF0_32	$0000\ 0000_H$	32	$FFD0\ 0808_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 32	RSCAN0RMDF1_32	$0000\ 0000_H$	32	$FFD0\ 080C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 33	RSCAN0RMID33	$0000\ 0000_H$	32	$FFD0\ 0810_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 33	RSCAN0RMPTR33	$0000\ 0000_H$	32	$FFD0\ 0814_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 33	RSCAN0RMDF0_33	$0000\ 0000_H$	32	$FFD0\ 0818_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 33	RSCAN0RMDF1_33	$0000\ 0000_H$	32	$FFD0\ 081C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 34	RSCAN0RMID34	$0000\ 0000_H$	32	$FFD0\ 0820_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 34	RSCAN0RMPTR34	$0000\ 0000_H$	32	$FFD0\ 0824_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 34	RSCAN0RMDF0_34	$0000\ 0000_H$	32	$FFD0\ 0828_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 34	RSCAN0RMDF1_34	$0000\ 0000_H$	32	$FFD0\ 082C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 35	RSCAN0RMID35	$0000\ 0000_H$	32	$FFD0\ 0830_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 35	RSCAN0RMPTR35	$0000\ 0000_H$	32	$FFD0\ 0834_H$	2	8、16、32

(66/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 35	RSCAN0RMDF0_35	$0000\ 0000_H$	32	$FFD0\ 0838_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 35	RSCAN0RMDF1_35	$0000\ 0000_H$	32	$FFD0\ 083C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 36	RSCAN0RMID36	$0000\ 0000_H$	32	$FFD0\ 0840_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 36	RSCAN0RMPTR36	$0000\ 0000_H$	32	$FFD0\ 0844_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 36	RSCAN0RMDF0_36	$0000\ 0000_H$	32	$FFD0\ 0848_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 36	RSCAN0RMDF1_36	$0000\ 0000_H$	32	$FFD0\ 084C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 37	RSCAN0RMID37	$0000\ 0000_H$	32	$FFD0\ 0850_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 37	RSCAN0RMPTR37	$0000\ 0000_H$	32	$FFD0\ 0854_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 37	RSCAN0RMDF0_37	$0000\ 0000_H$	32	$FFD0\ 0858_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 37	RSCAN0RMDF1_37	$0000\ 0000_H$	32	$FFD0\ 085C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 38	RSCAN0RMID38	$0000\ 0000_H$	32	$FFD0\ 0860_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 38	RSCAN0RMPTR38	$0000\ 0000_H$	32	$FFD0\ 0864_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 38	RSCAN0RMDF0_38	$0000\ 0000_H$	32	$FFD0\ 0868_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 38	RSCAN0RMDF1_38	$0000\ 0000_H$	32	$FFD0\ 086C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 39	RSCAN0RMID39	$0000\ 0000_H$	32	$FFD0\ 0870_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 39	RSCAN0RMPTR39	$0000\ 0000_H$	32	$FFD0\ 0874_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 39	RSCAN0RMDF0_39	$0000\ 0000_H$	32	$FFD0\ 0878_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 39	RSCAN0RMDF1_39	$0000\ 0000_H$	32	$FFD0\ 087C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 40	RSCAN0RMID40	$0000\ 0000_H$	32	$FFD0\ 0880_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 40	RSCAN0RMPTR40	$0000\ 0000_H$	32	$FFD0\ 0884_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 40	RSCAN0RMDF0_40	$0000\ 0000_H$	32	$FFD0\ 0888_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 40	RSCAN0RMDF1_40	$0000\ 0000_H$	32	$FFD0\ 088C_H$	2	8、16、32

(67/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 41	RSCAN0RMID41	$0000\ 0000_H$	32	$FFD0\ 0890_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 41	RSCAN0RMPTR41	$0000\ 0000_H$	32	$FFD0\ 0894_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 41	RSCAN0RMDF0_41	$0000\ 0000_H$	32	$FFD0\ 0898_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 41	RSCAN0RMDF1_41	$0000\ 0000_H$	32	$FFD0\ 089C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 42	RSCAN0RMID42	$0000\ 0000_H$	32	$FFD0\ 08A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 42	RSCAN0RMPTR42	$0000\ 0000_H$	32	$FFD0\ 08A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 42	RSCAN0RMDF0_42	$0000\ 0000_H$	32	$FFD0\ 08A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 42	RSCAN0RMDF1_42	$0000\ 0000_H$	32	$FFD0\ 08AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 43	RSCAN0RMID43	$0000\ 0000_H$	32	$FFD0\ 08B0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 43	RSCAN0RMPTR43	$0000\ 0000_H$	32	$FFD0\ 08B4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 43	RSCAN0RMDF0_43	$0000\ 0000_H$	32	$FFD0\ 08B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 43	RSCAN0RMDF1_43	$0000\ 0000_H$	32	$FFD0\ 08BC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 44	RSCAN0RMID44	$0000\ 0000_H$	32	$FFD0\ 08C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 44	RSCAN0RMPTR44	$0000\ 0000_H$	32	$FFD0\ 08C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 44	RSCAN0RMDF0_44	$0000\ 0000_H$	32	$FFD0\ 08C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 44	RSCAN0RMDF1_44	$0000\ 0000_H$	32	$FFD0\ 08CC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 45	RSCAN0RMID45	$0000\ 0000_H$	32	$FFD0\ 08D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 45	RSCAN0RMPTR45	$0000\ 0000_H$	32	$FFD0\ 08D4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 45	RSCAN0RMDF0_45	$0000\ 0000_H$	32	$FFD0\ 08D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 45	RSCAN0RMDF1_45	$0000\ 0000_H$	32	$FFD0\ 08DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 46	RSCAN0RMID46	$0000\ 0000_H$	32	$FFD0\ 08E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 46	RSCAN0RMPTR46	$0000\ 0000_H$	32	$FFD0\ 08E4_H$	2	8、16、32

(68/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 46	RSCAN0RMDF0_46	$0000\ 0000_H$	32	$FFD0\ 08E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 46	RSCAN0RMDF1_46	$0000\ 0000_H$	32	$FFD0\ 08EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 47	RSCAN0RMID47	$0000\ 0000_H$	32	$FFD0\ 08F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 47	RSCAN0RMPTR47	$0000\ 0000_H$	32	$FFD0\ 08F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 47	RSCAN0RMDF0_47	$0000\ 0000_H$	32	$FFD0\ 08F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 47	RSCAN0RMDF1_47	$0000\ 0000_H$	32	$FFD0\ 08FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 48	RSCAN0RMID48	$0000\ 0000_H$	32	$FFD0\ 0900_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 48	RSCAN0RMPTR48	$0000\ 0000_H$	32	$FFD0\ 0904_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 48	RSCAN0RMDF0_48	$0000\ 0000_H$	32	$FFD0\ 0908_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 48	RSCAN0RMDF1_48	$0000\ 0000_H$	32	$FFD0\ 090C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 49	RSCAN0RMID49	$0000\ 0000_H$	32	$FFD0\ 0910_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 49	RSCAN0RMPTR49	$0000\ 0000_H$	32	$FFD0\ 0914_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 49	RSCAN0RMDF0_49	$0000\ 0000_H$	32	$FFD0\ 0918_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 49	RSCAN0RMDF1_49	$0000\ 0000_H$	32	$FFD0\ 091C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 50	RSCAN0RMID50	$0000\ 0000_H$	32	$FFD0\ 0920_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 50	RSCAN0RMPTR50	$0000\ 0000_H$	32	$FFD0\ 0924_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 50	RSCAN0RMDF0_50	$0000\ 0000_H$	32	$FFD0\ 0928_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 50	RSCAN0RMDF1_50	$0000\ 0000_H$	32	$FFD0\ 092C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 51	RSCAN0RMID51	$0000\ 0000_H$	32	$FFD0\ 0930_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 51	RSCAN0RMPTR51	$0000\ 0000_H$	32	$FFD0\ 0934_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 51	RSCAN0RMDF0_51	$0000\ 0000_H$	32	$FFD0\ 0938_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 51	RSCAN0RMDF1_51	$0000\ 0000_H$	32	$FFD0\ 093C_H$	2	8、16、32

(69/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 52	RSCAN0RMID52	$0000\ 0000_H$	32	$FFD0\ 0940_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 52	RSCAN0RMPTR52	$0000\ 0000_H$	32	$FFD0\ 0944_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 52	RSCAN0RMDF0_52	$0000\ 0000_H$	32	$FFD0\ 0948_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 52	RSCAN0RMDF1_52	$0000\ 0000_H$	32	$FFD0\ 094C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 53	RSCAN0RMID53	$0000\ 0000_H$	32	$FFD0\ 0950_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 53	RSCAN0RMPTR53	$0000\ 0000_H$	32	$FFD0\ 0954_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 53	RSCAN0RMDF0_53	$0000\ 0000_H$	32	$FFD0\ 0958_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 53	RSCAN0RMDF1_53	$0000\ 0000_H$	32	$FFD0\ 095C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 54	RSCAN0RMID54	$0000\ 0000_H$	32	$FFD0\ 0960_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 54	RSCAN0RMPTR54	$0000\ 0000_H$	32	$FFD0\ 0964_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 54	RSCAN0RMDF0_54	$0000\ 0000_H$	32	$FFD0\ 0968_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 54	RSCAN0RMDF1_54	$0000\ 0000_H$	32	$FFD0\ 096C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 55	RSCAN0RMID55	$0000\ 0000_H$	32	$FFD0\ 0970_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 55	RSCAN0RMPTR55	$0000\ 0000_H$	32	$FFD0\ 0974_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 55	RSCAN0RMDF0_55	$0000\ 0000_H$	32	$FFD0\ 0978_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 55	RSCAN0RMDF1_55	$0000\ 0000_H$	32	$FFD0\ 097C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 56	RSCAN0RMID56	$0000\ 0000_H$	32	$FFD0\ 0980_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 56	RSCAN0RMPTR56	$0000\ 0000_H$	32	$FFD0\ 0984_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 56	RSCAN0RMDF0_56	$0000\ 0000_H$	32	$FFD0\ 0988_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 56	RSCAN0RMDF1_56	$0000\ 0000_H$	32	$FFD0\ 098C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 57	RSCAN0RMID57	$0000\ 0000_H$	32	$FFD0\ 0990_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 57	RSCAN0RMPTR57	$0000\ 0000_H$	32	$FFD0\ 0994_H$	2	8、16、32

(70/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 57	RSCAN0RMDF0_57	$0000\ 0000_H$	32	$FFD0\ 0998_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 57	RSCAN0RMDF1_57	$0000\ 0000_H$	32	$FFD0\ 099C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 58	RSCAN0RMID58	$0000\ 0000_H$	32	$FFD0\ 09A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 58	RSCAN0RMPTR58	$0000\ 0000_H$	32	$FFD0\ 09A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 58	RSCAN0RMDF0_58	$0000\ 0000_H$	32	$FFD0\ 09A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 58	RSCAN0RMDF1_58	$0000\ 0000_H$	32	$FFD0\ 09AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 59	RSCAN0RMID59	$0000\ 0000_H$	32	$FFD0\ 09B0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 59	RSCAN0RMPTR59	$0000\ 0000_H$	32	$FFD0\ 09B4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 59	RSCAN0RMDF0_59	$0000\ 0000_H$	32	$FFD0\ 09B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 59	RSCAN0RMDF1_59	$0000\ 0000_H$	32	$FFD0\ 09BC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 60	RSCAN0RMID60	$0000\ 0000_H$	32	$FFD0\ 09C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 60	RSCAN0RMPTR60	$0000\ 0000_H$	32	$FFD0\ 09C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 60	RSCAN0RMDF0_60	$0000\ 0000_H$	32	$FFD0\ 09C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 60	RSCAN0RMDF1_60	$0000\ 0000_H$	32	$FFD0\ 09CC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 61	RSCAN0RMID61	$0000\ 0000_H$	32	$FFD0\ 09D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 61	RSCAN0RMPTR61	$0000\ 0000_H$	32	$FFD0\ 09D4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 61	RSCAN0RMDF0_61	$0000\ 0000_H$	32	$FFD0\ 09D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 61	RSCAN0RMDF1_61	$0000\ 0000_H$	32	$FFD0\ 09DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 62	RSCAN0RMID62	$0000\ 0000_H$	32	$FFD0\ 09E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 62	RSCAN0RMPTR62	$0000\ 0000_H$	32	$FFD0\ 09E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 62	RSCAN0RMDF0_62	$0000\ 0000_H$	32	$FFD0\ 09E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 62	RSCAN0RMDF1_62	$0000\ 0000_H$	32	$FFD0\ 09EC_H$	2	8、16、32

(71/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信バッファ ID レジスタ 63	RSCAN0RMID63	$0000\ 0000_H$	32	$FFD0\ 09F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファポインタレジスタ 63	RSCAN0RMPTR63	$0000\ 0000_H$	32	$FFD0\ 09F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 0 レジスタ 63	RSCAN0RMDF0_63	$0000\ 0000_H$	32	$FFD0\ 09F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信バッファデータフィールド 1 レジスタ 63	RSCAN0RMDF1_63	$0000\ 0000_H$	32	$FFD0\ 09FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセス ID レジスタ 0	RSCAN0RFID0	$0000\ 0000_H$	32	$FFD0\ 0E00_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスポインタレジスタ 0	RSCAN0RFPTR0	$0000\ 0000_H$	32	$FFD0\ 0E04_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0	RSCAN0RFDF0_0	$0000\ 0000_H$	32	$FFD0\ 0E08_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0	RSCAN0RFDF1_0	$0000\ 0000_H$	32	$FFD0\ 0E0C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセス ID レジスタ 1	RSCAN0RFID1	$0000\ 0000_H$	32	$FFD0\ 0E10_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスポインタレジスタ 1	RSCAN0RFPTR1	$0000\ 0000_H$	32	$FFD0\ 0E14_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1	RSCAN0RFDF0_1	$0000\ 0000_H$	32	$FFD0\ 0E18_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1	RSCAN0RFDF1_1	$0000\ 0000_H$	32	$FFD0\ 0E1C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセス ID レジスタ 2	RSCAN0RFID2	$0000\ 0000_H$	32	$FFD0\ 0E20_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスポインタレジスタ 2	RSCAN0RFPTR2	$0000\ 0000_H$	32	$FFD0\ 0E24_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2	RSCAN0RFDF0_2	$0000\ 0000_H$	32	$FFD0\ 0E28_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2	RSCAN0RFDF1_2	$0000\ 0000_H$	32	$FFD0\ 0E2C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセス ID レジスタ 3	RSCAN0RFID3	$0000\ 0000_H$	32	$FFD0\ 0E30_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスポインタレジスタ 3	RSCAN0RFPTR3	$0000\ 0000_H$	32	$FFD0\ 0E34_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3	RSCAN0RFDF0_3	$0000\ 0000_H$	32	$FFD0\ 0E38_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3	RSCAN0RFDF1_3	$0000\ 0000_H$	32	$FFD0\ 0E3C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセス ID レジスタ 4	RSCAN0RFID4	$0000\ 0000_H$	32	$FFD0\ 0E40_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスポインタレジスタ 4	RSCAN0RFPTR4	$0000\ 0000_H$	32	$FFD0\ 0E44_H$	2	8、16、32

(72/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4	RSCAN0RFDF0_4	$0000\ 0000_H$	32	$FFD0\ 0E48_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4	RSCAN0RFDF1_4	$0000\ 0000_H$	32	$FFD0\ 0E4C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセス ID レジスタ 5	RSCAN0RFID5	$0000\ 0000_H$	32	$FFD0\ 0E50_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスポインタレジスタ 5	RSCAN0RFPTR5	$0000\ 0000_H$	32	$FFD0\ 0E54_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5	RSCAN0RFDF0_5	$0000\ 0000_H$	32	$FFD0\ 0E58_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5	RSCAN0RFDF1_5	$0000\ 0000_H$	32	$FFD0\ 0E5C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセス ID レジスタ 6	RSCAN0RFID6	$0000\ 0000_H$	32	$FFD0\ 0E60_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスポインタレジスタ 6	RSCAN0RFPTR6	$0000\ 0000_H$	32	$FFD0\ 0E64_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6	RSCAN0RFDF0_6	$0000\ 0000_H$	32	$FFD0\ 0E68_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6	RSCAN0RFDF1_6	$0000\ 0000_H$	32	$FFD0\ 0E6C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセス ID レジスタ 7	RSCAN0RFID7	$0000\ 0000_H$	32	$FFD0\ 0E70_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスポインタレジスタ 7	RSCAN0RFPTR7	$0000\ 0000_H$	32	$FFD0\ 0E74_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7	RSCAN0RFDF0_7	$0000\ 0000_H$	32	$FFD0\ 0E78_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7	RSCAN0RFDF1_7	$0000\ 0000_H$	32	$FFD0\ 0E7C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 0	RSCAN0CFID0	$0000\ 0000_H$	32	$FFD0\ 0E80_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 0	RSCAN0CFPTR0	$0000\ 0000_H$	32	$FFD0\ 0E84_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0	RSCAN0CFDF0_0	$0000\ 0000_H$	32	$FFD0\ 0E88_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0	RSCAN0CFDF1_0	$0000\ 0000_H$	32	$FFD0\ 0E8C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 1	RSCAN0CFID1	$0000\ 0000_H$	32	$FFD0\ 0E90_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 1	RSCAN0CFPTR1	$0000\ 0000_H$	32	$FFD0\ 0E94_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1	RSCAN0CFDF0_1	$0000\ 0000_H$	32	$FFD0\ 0E98_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1	RSCAN0CFDF1_1	$0000\ 0000_H$	32	$FFD0\ 0E9C_H$	2	8、16、32

(73/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 2	RSCAN0CFID2	$0000\ 0000_H$	32	$FFD0\ 0EA0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 2	RSCAN0CFPTR2	$0000\ 0000_H$	32	$FFD0\ 0EA4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2	RSCAN0CFDF0_2	$0000\ 0000_H$	32	$FFD0\ 0EA8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2	RSCAN0CFDF1_2	$0000\ 0000_H$	32	$FFD0\ 0EAC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 3	RSCAN0CFID3	$0000\ 0000_H$	32	$FFD0\ 0EB0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 3	RSCAN0CFPTR3	$0000\ 0000_H$	32	$FFD0\ 0EB4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3	RSCAN0CFDF0_3	$0000\ 0000_H$	32	$FFD0\ 0EB8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3	RSCAN0CFDF1_3	$0000\ 0000_H$	32	$FFD0\ 0EBC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 4	RSCAN0CFID4	$0000\ 0000_H$	32	$FFD0\ 0EC0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 4	RSCAN0CFPTR4	$0000\ 0000_H$	32	$FFD0\ 0EC4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4	RSCAN0CFDF0_4	$0000\ 0000_H$	32	$FFD0\ 0EC8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4	RSCAN0CFDF1_4	$0000\ 0000_H$	32	$FFD0\ 0ECC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 5	RSCAN0CFID5	$0000\ 0000_H$	32	$FFD0\ 0ED0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 5	RSCAN0CFPTR5	$0000\ 0000_H$	32	$FFD0\ 0ED4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5	RSCAN0CFDF0_5	$0000\ 0000_H$	32	$FFD0\ 0ED8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5	RSCAN0CFDF1_5	$0000\ 0000_H$	32	$FFD0\ 0EDC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 6	RSCAN0CFID6	$0000\ 0000_H$	32	$FFD0\ 0EE0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 6	RSCAN0CFPTR6	$0000\ 0000_H$	32	$FFD0\ 0EE4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6	RSCAN0CFDF0_6	$0000\ 0000_H$	32	$FFD0\ 0EE8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6	RSCAN0CFDF1_6	$0000\ 0000_H$	32	$FFD0\ 0EEC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 7	RSCAN0CFID7	$0000\ 0000_H$	32	$FFD0\ 0EF0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 7	RSCAN0CFPTR7	$0000\ 0000_H$	32	$FFD0\ 0EF4_H$	2	8、16、32

(74/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7	RSCAN0CFDF0_7	$0000\ 0000_H$	32	$FFD0\ 0EF8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7	RSCAN0CFDF1_7	$0000\ 0000_H$	32	$FFD0\ 0EFC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 8	RSCAN0CFID8	$0000\ 0000_H$	32	$FFD0\ 0F00_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 8	RSCAN0CFPTR8	$0000\ 0000_H$	32	$FFD0\ 0F04_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 8	RSCAN0CFDF0_8	$0000\ 0000_H$	32	$FFD0\ 0F08_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 8	RSCAN0CFDF1_8	$0000\ 0000_H$	32	$FFD0\ 0F0C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 9	RSCAN0CFID9	$0000\ 0000_H$	32	$FFD0\ 0F10_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 9	RSCAN0CFPTR9	$0000\ 0000_H$	32	$FFD0\ 0F14_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 9	RSCAN0CFDF0_9	$0000\ 0000_H$	32	$FFD0\ 0F18_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 9	RSCAN0CFDF1_9	$0000\ 0000_H$	32	$FFD0\ 0F1C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 10	RSCAN0CFID10	$0000\ 0000_H$	32	$FFD0\ 0F20_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 10	RSCAN0CFPTR10	$0000\ 0000_H$	32	$FFD0\ 0F24_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 10	RSCAN0CFDF0_10	$0000\ 0000_H$	32	$FFD0\ 0F28_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 10	RSCAN0CFDF1_10	$0000\ 0000_H$	32	$FFD0\ 0F2C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセス ID レジスタ 11	RSCAN0CFID11	$0000\ 0000_H$	32	$FFD0\ 0F30_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスポインタレジスタ 11	RSCAN0CFPTR11	$0000\ 0000_H$	32	$FFD0\ 0F34_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 11	RSCAN0CFDF0_11	$0000\ 0000_H$	32	$FFD0\ 0F38_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 11	RSCAN0CFDF1_11	$0000\ 0000_H$	32	$FFD0\ 0F3C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 0	RSCAN0TMID0	$0000\ 0000_H$	32	$FFD0\ 1000_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 0	RSCAN0TMPTR0	$0000\ 0000_H$	32	$FFD0\ 1004_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 0	RSCAN0TMDF0_0	$0000\ 0000_H$	32	$FFD0\ 1008_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 0	RSCAN0TMDF1_0	$0000\ 0000_H$	32	$FFD0\ 100C_H$	2	8、16、32

(75/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 1	RSCAN0TMID1	$0000\ 0000_H$	32	$FFD0\ 1010_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 1	RSCAN0TMPTR1	$0000\ 0000_H$	32	$FFD0\ 1014_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 1	RSCAN0TMDF0_1	$0000\ 0000_H$	32	$FFD0\ 1018_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 1	RSCAN0TMDF1_1	$0000\ 0000_H$	32	$FFD0\ 101C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 2	RSCAN0TMID2	$0000\ 0000_H$	32	$FFD0\ 1020_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 2	RSCAN0TMPTR2	$0000\ 0000_H$	32	$FFD0\ 1024_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 2	RSCAN0TMDF0_2	$0000\ 0000_H$	32	$FFD0\ 1028_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 2	RSCAN0TMDF1_2	$0000\ 0000_H$	32	$FFD0\ 102C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 3	RSCAN0TMID3	$0000\ 0000_H$	32	$FFD0\ 1030_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 3	RSCAN0TMPTR3	$0000\ 0000_H$	32	$FFD0\ 1034_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 3	RSCAN0TMDF0_3	$0000\ 0000_H$	32	$FFD0\ 1038_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 3	RSCAN0TMDF1_3	$0000\ 0000_H$	32	$FFD0\ 103C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 4	RSCAN0TMID4	$0000\ 0000_H$	32	$FFD0\ 1040_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 4	RSCAN0TMPTR4	$0000\ 0000_H$	32	$FFD0\ 1044_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 4	RSCAN0TMDF0_4	$0000\ 0000_H$	32	$FFD0\ 1048_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 4	RSCAN0TMDF1_4	$0000\ 0000_H$	32	$FFD0\ 104C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 5	RSCAN0TMID5	$0000\ 0000_H$	32	$FFD0\ 1050_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 5	RSCAN0TMPTR5	$0000\ 0000_H$	32	$FFD0\ 1054_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 5	RSCAN0TMDF0_5	$0000\ 0000_H$	32	$FFD0\ 1058_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 5	RSCAN0TMDF1_5	$0000\ 0000_H$	32	$FFD0\ 105C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 6	RSCAN0TMID6	$0000\ 0000_H$	32	$FFD0\ 1060_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 6	RSCAN0TMPTR6	$0000\ 0000_H$	32	$FFD0\ 1064_H$	2	8、16、32

(76/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 6	RSCAN0TMDF0_6	$0000\ 0000_H$	32	$FFD0\ 1068_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 6	RSCAN0TMDF1_6	$0000\ 0000_H$	32	$FFD0\ 106C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 7	RSCAN0TMID7	$0000\ 0000_H$	32	$FFD0\ 1070_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 7	RSCAN0TMPTR7	$0000\ 0000_H$	32	$FFD0\ 1074_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 7	RSCAN0TMDF0_7	$0000\ 0000_H$	32	$FFD0\ 1078_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 7	RSCAN0TMDF1_7	$0000\ 0000_H$	32	$FFD0\ 107C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 8	RSCAN0TMID8	$0000\ 0000_H$	32	$FFD0\ 1080_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 8	RSCAN0TMPTR8	$0000\ 0000_H$	32	$FFD0\ 1084_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 8	RSCAN0TMDF0_8	$0000\ 0000_H$	32	$FFD0\ 1088_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 8	RSCAN0TMDF1_8	$0000\ 0000_H$	32	$FFD0\ 108C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 9	RSCAN0TMID9	$0000\ 0000_H$	32	$FFD0\ 1090_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 9	RSCAN0TMPTR9	$0000\ 0000_H$	32	$FFD0\ 1094_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 9	RSCAN0TMDF0_9	$0000\ 0000_H$	32	$FFD0\ 1098_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 9	RSCAN0TMDF1_9	$0000\ 0000_H$	32	$FFD0\ 109C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 10	RSCAN0TMID10	$0000\ 0000_H$	32	$FFD0\ 10A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 10	RSCAN0TMPTR10	$0000\ 0000_H$	32	$FFD0\ 10A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 10	RSCAN0TMDF0_10	$0000\ 0000_H$	32	$FFD0\ 10A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 10	RSCAN0TMDF1_10	$0000\ 0000_H$	32	$FFD0\ 10AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 11	RSCAN0TMID11	$0000\ 0000_H$	32	$FFD0\ 10B0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 11	RSCAN0TMPTR11	$0000\ 0000_H$	32	$FFD0\ 10B4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 11	RSCAN0TMDF0_11	$0000\ 0000_H$	32	$FFD0\ 10B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 11	RSCAN0TMDF1_11	$0000\ 0000_H$	32	$FFD0\ 10BC_H$	2	8、16、32

(77/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 12	RSCAN0TMID12	$0000\ 0000_H$	32	$FFD0\ 10C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 12	RSCAN0TMPTR12	$0000\ 0000_H$	32	$FFD0\ 10C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 12	RSCAN0TMDF0_12	$0000\ 0000_H$	32	$FFD0\ 10C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 12	RSCAN0TMDF1_12	$0000\ 0000_H$	32	$FFD0\ 10CC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 13	RSCAN0TMID13	$0000\ 0000_H$	32	$FFD0\ 10D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 13	RSCAN0TMPTR13	$0000\ 0000_H$	32	$FFD0\ 10D4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 13	RSCAN0TMDF0_13	$0000\ 0000_H$	32	$FFD0\ 10D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 13	RSCAN0TMDF1_13	$0000\ 0000_H$	32	$FFD0\ 10DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 14	RSCAN0TMID14	$0000\ 0000_H$	32	$FFD0\ 10E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 14	RSCAN0TMPTR14	$0000\ 0000_H$	32	$FFD0\ 10E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 14	RSCAN0TMDF0_14	$0000\ 0000_H$	32	$FFD0\ 10E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 14	RSCAN0TMDF1_14	$0000\ 0000_H$	32	$FFD0\ 10EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 15	RSCAN0TMID15	$0000\ 0000_H$	32	$FFD0\ 10F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 15	RSCAN0TMPTR15	$0000\ 0000_H$	32	$FFD0\ 10F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 15	RSCAN0TMDF0_15	$0000\ 0000_H$	32	$FFD0\ 10F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 15	RSCAN0TMDF1_15	$0000\ 0000_H$	32	$FFD0\ 10FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 16	RSCAN0TMID16	$0000\ 0000_H$	32	$FFD0\ 1100_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 16	RSCAN0TMPTR16	$0000\ 0000_H$	32	$FFD0\ 1104_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 16	RSCAN0TMDF0_16	$0000\ 0000_H$	32	$FFD0\ 1108_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 16	RSCAN0TMDF1_16	$0000\ 0000_H$	32	$FFD0\ 110C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 17	RSCAN0TMID17	$0000\ 0000_H$	32	$FFD0\ 1110_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 17	RSCAN0TMPTR17	$0000\ 0000_H$	32	$FFD0\ 1114_H$	2	8、16、32

(78/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 17	RSCAN0TMDF0_17	$0000\ 0000_H$	32	$FFD0\ 1118_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 17	RSCAN0TMDF1_17	$0000\ 0000_H$	32	$FFD0\ 111C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 18	RSCAN0TMID18	$0000\ 0000_H$	32	$FFD0\ 1120_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 18	RSCAN0TMPTR18	$0000\ 0000_H$	32	$FFD0\ 1124_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 18	RSCAN0TMDF0_18	$0000\ 0000_H$	32	$FFD0\ 1128_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 18	RSCAN0TMDF1_18	$0000\ 0000_H$	32	$FFD0\ 112C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 19	RSCAN0TMID19	$0000\ 0000_H$	32	$FFD0\ 1130_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 19	RSCAN0TMPTR19	$0000\ 0000_H$	32	$FFD0\ 1134_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 19	RSCAN0TMDF0_19	$0000\ 0000_H$	32	$FFD0\ 1138_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 19	RSCAN0TMDF1_19	$0000\ 0000_H$	32	$FFD0\ 113C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 20	RSCAN0TMID20	$0000\ 0000_H$	32	$FFD0\ 1140_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 20	RSCAN0TMPTR20	$0000\ 0000_H$	32	$FFD0\ 1144_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 20	RSCAN0TMDF0_20	$0000\ 0000_H$	32	$FFD0\ 1148_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 20	RSCAN0TMDF1_20	$0000\ 0000_H$	32	$FFD0\ 114C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 21	RSCAN0TMID21	$0000\ 0000_H$	32	$FFD0\ 1150_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 21	RSCAN0TMPTR21	$0000\ 0000_H$	32	$FFD0\ 1154_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 21	RSCAN0TMDF0_21	$0000\ 0000_H$	32	$FFD0\ 1158_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 21	RSCAN0TMDF1_21	$0000\ 0000_H$	32	$FFD0\ 115C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 22	RSCAN0TMID22	$0000\ 0000_H$	32	$FFD0\ 1160_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 22	RSCAN0TMPTR22	$0000\ 0000_H$	32	$FFD0\ 1164_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 22	RSCAN0TMDF0_22	$0000\ 0000_H$	32	$FFD0\ 1168_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 22	RSCAN0TMDF1_22	$0000\ 0000_H$	32	$FFD0\ 116C_H$	2	8、16、32

(79/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 23	RSCAN0TMID23	$0000\ 0000_H$	32	$FFD0\ 1170_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 23	RSCAN0TMPTR23	$0000\ 0000_H$	32	$FFD0\ 1174_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 23	RSCAN0TMDF0_23	$0000\ 0000_H$	32	$FFD0\ 1178_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 23	RSCAN0TMDF1_23	$0000\ 0000_H$	32	$FFD0\ 117C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 24	RSCAN0TMID24	$0000\ 0000_H$	32	$FFD0\ 1180_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 24	RSCAN0TMPTR24	$0000\ 0000_H$	32	$FFD0\ 1184_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 24	RSCAN0TMDF0_24	$0000\ 0000_H$	32	$FFD0\ 1188_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 24	RSCAN0TMDF1_24	$0000\ 0000_H$	32	$FFD0\ 118C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 25	RSCAN0TMID25	$0000\ 0000_H$	32	$FFD0\ 1190_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 25	RSCAN0TMPTR25	$0000\ 0000_H$	32	$FFD0\ 1194_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 25	RSCAN0TMDF0_25	$0000\ 0000_H$	32	$FFD0\ 1198_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 25	RSCAN0TMDF1_25	$0000\ 0000_H$	32	$FFD0\ 119C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 26	RSCAN0TMID26	$0000\ 0000_H$	32	$FFD0\ 11A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 26	RSCAN0TMPTR26	$0000\ 0000_H$	32	$FFD0\ 11A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 26	RSCAN0TMDF0_26	$0000\ 0000_H$	32	$FFD0\ 11A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 26	RSCAN0TMDF1_26	$0000\ 0000_H$	32	$FFD0\ 11AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 27	RSCAN0TMID27	$0000\ 0000_H$	32	$FFD0\ 11B0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 27	RSCAN0TMPTR27	$0000\ 0000_H$	32	$FFD0\ 11B4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 27	RSCAN0TMDF0_27	$0000\ 0000_H$	32	$FFD0\ 11B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 27	RSCAN0TMDF1_27	$0000\ 0000_H$	32	$FFD0\ 11BC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 28	RSCAN0TMID28	$0000\ 0000_H$	32	$FFD0\ 11C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 28	RSCAN0TMPTR28	$0000\ 0000_H$	32	$FFD0\ 11C4_H$	2	8、16、32

(80/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 28	RSCAN0TMDF0_28	$0000\ 0000_H$	32	$FFD0\ 11C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 28	RSCAN0TMDF1_28	$0000\ 0000_H$	32	$FFD0\ 11CC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 29	RSCAN0TMID29	$0000\ 0000_H$	32	$FFD0\ 11D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 29	RSCAN0TMPTR29	$0000\ 0000_H$	32	$FFD0\ 11D4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 29	RSCAN0TMDF0_29	$0000\ 0000_H$	32	$FFD0\ 11D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 29	RSCAN0TMDF1_29	$0000\ 0000_H$	32	$FFD0\ 11DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 30	RSCAN0TMID30	$0000\ 0000_H$	32	$FFD0\ 11E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 30	RSCAN0TMPTR30	$0000\ 0000_H$	32	$FFD0\ 11E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 30	RSCAN0TMDF0_30	$0000\ 0000_H$	32	$FFD0\ 11E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 30	RSCAN0TMDF1_30	$0000\ 0000_H$	32	$FFD0\ 11EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 31	RSCAN0TMID31	$0000\ 0000_H$	32	$FFD0\ 11F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 31	RSCAN0TMPTR31	$0000\ 0000_H$	32	$FFD0\ 11F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 31	RSCAN0TMDF0_31	$0000\ 0000_H$	32	$FFD0\ 11F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 31	RSCAN0TMDF1_31	$0000\ 0000_H$	32	$FFD0\ 11FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 32	RSCAN0TMID32	$0000\ 0000_H$	32	$FFD0\ 1200_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 32	RSCAN0TMPTR32	$0000\ 0000_H$	32	$FFD0\ 1204_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 32	RSCAN0TMDF0_32	$0000\ 0000_H$	32	$FFD0\ 1208_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 32	RSCAN0TMDF1_32	$0000\ 0000_H$	32	$FFD0\ 120C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 33	RSCAN0TMID33	$0000\ 0000_H$	32	$FFD0\ 1210_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 33	RSCAN0TMPTR33	$0000\ 0000_H$	32	$FFD0\ 1214_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 33	RSCAN0TMDF0_33	$0000\ 0000_H$	32	$FFD0\ 1218_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 33	RSCAN0TMDF1_33	$0000\ 0000_H$	32	$FFD0\ 121C_H$	2	8、16、32

(81/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 34	RSCAN0TMID34	$0000\ 0000_H$	32	$FFD0\ 1220_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 34	RSCAN0TMPTR34	$0000\ 0000_H$	32	$FFD0\ 1224_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 34	RSCAN0TMDF0_34	$0000\ 0000_H$	32	$FFD0\ 1228_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 34	RSCAN0TMDF1_34	$0000\ 0000_H$	32	$FFD0\ 122C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 35	RSCAN0TMID35	$0000\ 0000_H$	32	$FFD0\ 1230_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 35	RSCAN0TMPTR35	$0000\ 0000_H$	32	$FFD0\ 1234_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 35	RSCAN0TMDF0_35	$0000\ 0000_H$	32	$FFD0\ 1238_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 35	RSCAN0TMDF1_35	$0000\ 0000_H$	32	$FFD0\ 123C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 36	RSCAN0TMID36	$0000\ 0000_H$	32	$FFD0\ 1240_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 36	RSCAN0TMPTR36	$0000\ 0000_H$	32	$FFD0\ 1244_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 36	RSCAN0TMDF0_36	$0000\ 0000_H$	32	$FFD0\ 1248_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 36	RSCAN0TMDF1_36	$0000\ 0000_H$	32	$FFD0\ 124C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 37	RSCAN0TMID37	$0000\ 0000_H$	32	$FFD0\ 1250_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 37	RSCAN0TMPTR37	$0000\ 0000_H$	32	$FFD0\ 1254_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 37	RSCAN0TMDF0_37	$0000\ 0000_H$	32	$FFD0\ 1258_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 37	RSCAN0TMDF1_37	$0000\ 0000_H$	32	$FFD0\ 125C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 38	RSCAN0TMID38	$0000\ 0000_H$	32	$FFD0\ 1260_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 38	RSCAN0TMPTR38	$0000\ 0000_H$	32	$FFD0\ 1264_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 38	RSCAN0TMDF0_38	$0000\ 0000_H$	32	$FFD0\ 1268_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 38	RSCAN0TMDF1_38	$0000\ 0000_H$	32	$FFD0\ 126C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 39	RSCAN0TMID39	$0000\ 0000_H$	32	$FFD0\ 1270_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 39	RSCAN0TMPTR39	$0000\ 0000_H$	32	$FFD0\ 1274_H$	2	8、16、32

(82/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 39	RSCAN0TMDF0_39	$0000\ 0000_H$	32	$FFD0\ 1278_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 39	RSCAN0TMDF1_39	$0000\ 0000_H$	32	$FFD0\ 127C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 40	RSCAN0TMID40	$0000\ 0000_H$	32	$FFD0\ 1280_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 40	RSCAN0TMPTR40	$0000\ 0000_H$	32	$FFD0\ 1284_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 40	RSCAN0TMDF0_40	$0000\ 0000_H$	32	$FFD0\ 1288_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 40	RSCAN0TMDF1_40	$0000\ 0000_H$	32	$FFD0\ 128C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 41	RSCAN0TMID41	$0000\ 0000_H$	32	$FFD0\ 1290_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 41	RSCAN0TMPTR41	$0000\ 0000_H$	32	$FFD0\ 1294_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 41	RSCAN0TMDF0_41	$0000\ 0000_H$	32	$FFD0\ 1298_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 41	RSCAN0TMDF1_41	$0000\ 0000_H$	32	$FFD0\ 129C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 42	RSCAN0TMID42	$0000\ 0000_H$	32	$FFD0\ 12A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 42	RSCAN0TMPTR42	$0000\ 0000_H$	32	$FFD0\ 12A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 42	RSCAN0TMDF0_42	$0000\ 0000_H$	32	$FFD0\ 12A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 42	RSCAN0TMDF1_42	$0000\ 0000_H$	32	$FFD0\ 12AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 43	RSCAN0TMID43	$0000\ 0000_H$	32	$FFD0\ 12B0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 43	RSCAN0TMPTR43	$0000\ 0000_H$	32	$FFD0\ 12B4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 43	RSCAN0TMDF0_43	$0000\ 0000_H$	32	$FFD0\ 12B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 43	RSCAN0TMDF1_43	$0000\ 0000_H$	32	$FFD0\ 12BC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 44	RSCAN0TMID44	$0000\ 0000_H$	32	$FFD0\ 12C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 44	RSCAN0TMPTR44	$0000\ 0000_H$	32	$FFD0\ 12C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 44	RSCAN0TMDF0_44	$0000\ 0000_H$	32	$FFD0\ 12C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 44	RSCAN0TMDF1_44	$0000\ 0000_H$	32	$FFD0\ 12CC_H$	2	8、16、32

(83/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 45	RSCAN0TMID45	$0000\ 0000_H$	32	$FFD0\ 12D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 45	RSCAN0TMPTR45	$0000\ 0000_H$	32	$FFD0\ 12D4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 45	RSCAN0TMDF0_45	$0000\ 0000_H$	32	$FFD0\ 12D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 45	RSCAN0TMDF1_45	$0000\ 0000_H$	32	$FFD0\ 12DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 46	RSCAN0TMID46	$0000\ 0000_H$	32	$FFD0\ 12E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 46	RSCAN0TMPTR46	$0000\ 0000_H$	32	$FFD0\ 12E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 46	RSCAN0TMDF0_46	$0000\ 0000_H$	32	$FFD0\ 12E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 46	RSCAN0TMDF1_46	$0000\ 0000_H$	32	$FFD0\ 12EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 47	RSCAN0TMID47	$0000\ 0000_H$	32	$FFD0\ 12F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 47	RSCAN0TMPTR47	$0000\ 0000_H$	32	$FFD0\ 12F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 47	RSCAN0TMDF0_47	$0000\ 0000_H$	32	$FFD0\ 12F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 47	RSCAN0TMDF1_47	$0000\ 0000_H$	32	$FFD0\ 12FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 48	RSCAN0TMID48	$0000\ 0000_H$	32	$FFD0\ 1300_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 48	RSCAN0TMPTR48	$0000\ 0000_H$	32	$FFD0\ 1304_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 48	RSCAN0TMDF0_48	$0000\ 0000_H$	32	$FFD0\ 1308_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 48	RSCAN0TMDF1_48	$0000\ 0000_H$	32	$FFD0\ 130C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 49	RSCAN0TMID49	$0000\ 0000_H$	32	$FFD0\ 1310_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 49	RSCAN0TMPTR49	$0000\ 0000_H$	32	$FFD0\ 1314_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 49	RSCAN0TMDF0_49	$0000\ 0000_H$	32	$FFD0\ 1318_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 49	RSCAN0TMDF1_49	$0000\ 0000_H$	32	$FFD0\ 131C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 50	RSCAN0TMID50	$0000\ 0000_H$	32	$FFD0\ 1320_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 50	RSCAN0TMPTR50	$0000\ 0000_H$	32	$FFD0\ 1324_H$	2	8、16、32

(84/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 50	RSCAN0TMDF0_50	$0000\ 0000_H$	32	$FFD0\ 1328_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 50	RSCAN0TMDF1_50	$0000\ 0000_H$	32	$FFD0\ 132C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 51	RSCAN0TMID51	$0000\ 0000_H$	32	$FFD0\ 1330_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 51	RSCAN0TMPTR51	$0000\ 0000_H$	32	$FFD0\ 1334_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 51	RSCAN0TMDF0_51	$0000\ 0000_H$	32	$FFD0\ 1338_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 51	RSCAN0TMDF1_51	$0000\ 0000_H$	32	$FFD0\ 133C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 52	RSCAN0TMID52	$0000\ 0000_H$	32	$FFD0\ 1340_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 52	RSCAN0TMPTR52	$0000\ 0000_H$	32	$FFD0\ 1344_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 52	RSCAN0TMDF0_52	$0000\ 0000_H$	32	$FFD0\ 1348_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 52	RSCAN0TMDF1_52	$0000\ 0000_H$	32	$FFD0\ 134C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 53	RSCAN0TMID53	$0000\ 0000_H$	32	$FFD0\ 1350_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 53	RSCAN0TMPTR53	$0000\ 0000_H$	32	$FFD0\ 1354_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 53	RSCAN0TMDF0_53	$0000\ 0000_H$	32	$FFD0\ 1358_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 53	RSCAN0TMDF1_53	$0000\ 0000_H$	32	$FFD0\ 135C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 54	RSCAN0TMID54	$0000\ 0000_H$	32	$FFD0\ 1360_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 54	RSCAN0TMPTR54	$0000\ 0000_H$	32	$FFD0\ 1364_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 54	RSCAN0TMDF0_54	$0000\ 0000_H$	32	$FFD0\ 1368_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 54	RSCAN0TMDF1_54	$0000\ 0000_H$	32	$FFD0\ 136C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 55	RSCAN0TMID55	$0000\ 0000_H$	32	$FFD0\ 1370_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 55	RSCAN0TMPTR55	$0000\ 0000_H$	32	$FFD0\ 1374_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 55	RSCAN0TMDF0_55	$0000\ 0000_H$	32	$FFD0\ 1378_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 55	RSCAN0TMDF1_55	$0000\ 0000_H$	32	$FFD0\ 137C_H$	2	8、16、32

(85/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 56	RSCAN0TMID56	$0000\ 0000_H$	32	$FFD0\ 1380_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 56	RSCAN0TMPTR56	$0000\ 0000_H$	32	$FFD0\ 1384_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 56	RSCAN0TMDF0_56	$0000\ 0000_H$	32	$FFD0\ 1388_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 56	RSCAN0TMDF1_56	$0000\ 0000_H$	32	$FFD0\ 138C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 57	RSCAN0TMID57	$0000\ 0000_H$	32	$FFD0\ 1390_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 57	RSCAN0TMPTR57	$0000\ 0000_H$	32	$FFD0\ 1394_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 57	RSCAN0TMDF0_57	$0000\ 0000_H$	32	$FFD0\ 1398_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 57	RSCAN0TMDF1_57	$0000\ 0000_H$	32	$FFD0\ 139C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 58	RSCAN0TMID58	$0000\ 0000_H$	32	$FFD0\ 13A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 58	RSCAN0TMPTR58	$0000\ 0000_H$	32	$FFD0\ 13A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 58	RSCAN0TMDF0_58	$0000\ 0000_H$	32	$FFD0\ 13A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 58	RSCAN0TMDF1_58	$0000\ 0000_H$	32	$FFD0\ 13AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 59	RSCAN0TMID59	$0000\ 0000_H$	32	$FFD0\ 13B0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 59	RSCAN0TMPTR59	$0000\ 0000_H$	32	$FFD0\ 13B4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 59	RSCAN0TMDF0_59	$0000\ 0000_H$	32	$FFD0\ 13B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 59	RSCAN0TMDF1_59	$0000\ 0000_H$	32	$FFD0\ 13BC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 60	RSCAN0TMID60	$0000\ 0000_H$	32	$FFD0\ 13C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 60	RSCAN0TMPTR60	$0000\ 0000_H$	32	$FFD0\ 13C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 60	RSCAN0TMDF0_60	$0000\ 0000_H$	32	$FFD0\ 13C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 60	RSCAN0TMDF1_60	$0000\ 0000_H$	32	$FFD0\ 13CC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 61	RSCAN0TMID61	$0000\ 0000_H$	32	$FFD0\ 13D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 61	RSCAN0TMPTR61	$0000\ 0000_H$	32	$FFD0\ 13D4_H$	2	8、16、32

(86/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 61	RSCAN0TMDF0_61	$0000\ 0000_H$	32	$FFD0\ 13D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 61	RSCAN0TMDF1_61	$0000\ 0000_H$	32	$FFD0\ 13DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 62	RSCAN0TMID62	$0000\ 0000_H$	32	$FFD0\ 13E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 62	RSCAN0TMPTR62	$0000\ 0000_H$	32	$FFD0\ 13E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 62	RSCAN0TMDF0_62	$0000\ 0000_H$	32	$FFD0\ 13E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 62	RSCAN0TMDF1_62	$0000\ 0000_H$	32	$FFD0\ 13EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファ ID レジスタ 63	RSCAN0TMID63	$0000\ 0000_H$	32	$FFD0\ 13F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファポインタレジスタ 63	RSCAN0TMPTR63	$0000\ 0000_H$	32	$FFD0\ 13F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 0 レジスタ 63	RSCAN0TMDF0_63	$0000\ 0000_H$	32	$FFD0\ 13F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信バッファデータフィールド 1 レジスタ 63	RSCAN0TMDF1_63	$0000\ 0000_H$	32	$FFD0\ 13FC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴アクセスレジスタ 0	RSCAN0THLACC0	$0000\ 0000_H$	32	$FFD0\ 1800_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴アクセスレジスタ 1	RSCAN0THLACC1	$0000\ 0000_H$	32	$FFD0\ 1804_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴アクセスレジスタ 2	RSCAN0THLACC2	$0000\ 0000_H$	32	$FFD0\ 1808_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	送信履歴アクセスレジスタ 3	RSCAN0THLACC3	$0000\ 0000_H$	32	$FFD0\ 180C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 0	RSCAN0RPGACC0	$0000\ 0000_H$	32	$FFD0\ 1900_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 1	RSCAN0RPGACC1	$0000\ 0000_H$	32	$FFD0\ 1904_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 2	RSCAN0RPGACC2	$0000\ 0000_H$	32	$FFD0\ 1908_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 3	RSCAN0RPGACC3	$0000\ 0000_H$	32	$FFD0\ 190C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 4	RSCAN0RPGACC4	$0000\ 0000_H$	32	$FFD0\ 1910_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 5	RSCAN0RPGACC5	$0000\ 0000_H$	32	$FFD0\ 1914_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 6	RSCAN0RPGACC6	$0000\ 0000_H$	32	$FFD0\ 1918_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 7	RSCAN0RPGACC7	$0000\ 0000_H$	32	$FFD0\ 191C_H$	2	8、16、32

(87/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 8	RSCAN0RPGACC8	$0000\ 0000_H$	32	$FFD0\ 1920_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 9	RSCAN0RPGACC9	$0000\ 0000_H$	32	$FFD0\ 1924_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 10	RSCAN0RPGACC10	$0000\ 0000_H$	32	$FFD0\ 1928_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 11	RSCAN0RPGACC11	$0000\ 0000_H$	32	$FFD0\ 192C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 12	RSCAN0RPGACC12	$0000\ 0000_H$	32	$FFD0\ 1930_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 13	RSCAN0RPGACC13	$0000\ 0000_H$	32	$FFD0\ 1934_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 14	RSCAN0RPGACC14	$0000\ 0000_H$	32	$FFD0\ 1938_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 15	RSCAN0RPGACC15	$0000\ 0000_H$	32	$FFD0\ 193C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 16	RSCAN0RPGACC16	$0000\ 0000_H$	32	$FFD0\ 1940_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 17	RSCAN0RPGACC17	$0000\ 0000_H$	32	$FFD0\ 1944_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 18	RSCAN0RPGACC18	$0000\ 0000_H$	32	$FFD0\ 1948_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 19	RSCAN0RPGACC19	$0000\ 0000_H$	32	$FFD0\ 194C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 20	RSCAN0RPGACC20	$0000\ 0000_H$	32	$FFD0\ 1950_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 21	RSCAN0RPGACC21	$0000\ 0000_H$	32	$FFD0\ 1954_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 22	RSCAN0RPGACC22	$0000\ 0000_H$	32	$FFD0\ 1958_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 23	RSCAN0RPGACC23	$0000\ 0000_H$	32	$FFD0\ 195C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 24	RSCAN0RPGACC24	$0000\ 0000_H$	32	$FFD0\ 1960_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 25	RSCAN0RPGACC25	$0000\ 0000_H$	32	$FFD0\ 1964_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 26	RSCAN0RPGACC26	$0000\ 0000_H$	32	$FFD0\ 1968_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 27	RSCAN0RPGACC27	$0000\ 0000_H$	32	$FFD0\ 196C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 28	RSCAN0RPGACC28	$0000\ 0000_H$	32	$FFD0\ 1970_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 29	RSCAN0RPGACC29	$0000\ 0000_H$	32	$FFD0\ 1974_H$	2	8、16、32

(88/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 30	RSCAN0RPGACC30	$0000\ 0000_H$	32	$FFD0\ 1978_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 31	RSCAN0RPGACC31	$0000\ 0000_H$	32	$FFD0\ 197C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 32	RSCAN0RPGACC32	$0000\ 0000_H$	32	$FFD0\ 1980_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 33	RSCAN0RPGACC33	$0000\ 0000_H$	32	$FFD0\ 1984_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 34	RSCAN0RPGACC34	$0000\ 0000_H$	32	$FFD0\ 1988_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 35	RSCAN0RPGACC35	$0000\ 0000_H$	32	$FFD0\ 198C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 36	RSCAN0RPGACC36	$0000\ 0000_H$	32	$FFD0\ 1990_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 37	RSCAN0RPGACC37	$0000\ 0000_H$	32	$FFD0\ 1994_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 38	RSCAN0RPGACC38	$0000\ 0000_H$	32	$FFD0\ 1998_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 39	RSCAN0RPGACC39	$0000\ 0000_H$	32	$FFD0\ 199C_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 40	RSCAN0RPGACC40	$0000\ 0000_H$	32	$FFD0\ 19A0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 41	RSCAN0RPGACC41	$0000\ 0000_H$	32	$FFD0\ 19A4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 42	RSCAN0RPGACC42	$0000\ 0000_H$	32	$FFD0\ 19A8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 43	RSCAN0RPGACC43	$0000\ 0000_H$	32	$FFD0\ 19AC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 44	RSCAN0RPGACC44	$0000\ 0000_H$	32	$FFD0\ 19B0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 45	RSCAN0RPGACC45	$0000\ 0000_H$	32	$FFD0\ 19B4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 46	RSCAN0RPGACC46	$0000\ 0000_H$	32	$FFD0\ 19B8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 47	RSCAN0RPGACC47	$0000\ 0000_H$	32	$FFD0\ 19BC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 48	RSCAN0RPGACC48	$0000\ 0000_H$	32	$FFD0\ 19C0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 49	RSCAN0RPGACC49	$0000\ 0000_H$	32	$FFD0\ 19C4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 50	RSCAN0RPGACC50	$0000\ 0000_H$	32	$FFD0\ 19C8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 51	RSCAN0RPGACC51	$0000\ 0000_H$	32	$FFD0\ 19CC_H$	2	8、16、32

(89/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 52	RSCAN0RPGACC52	$0000\ 0000_H$	32	$FFD0\ 19D0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 53	RSCAN0RPGACC53	$0000\ 0000_H$	32	$FFD0\ 19D4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 54	RSCAN0RPGACC54	$0000\ 0000_H$	32	$FFD0\ 19D8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 55	RSCAN0RPGACC55	$0000\ 0000_H$	32	$FFD0\ 19DC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 56	RSCAN0RPGACC56	$0000\ 0000_H$	32	$FFD0\ 19E0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 57	RSCAN0RPGACC57	$0000\ 0000_H$	32	$FFD0\ 19E4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 58	RSCAN0RPGACC58	$0000\ 0000_H$	32	$FFD0\ 19E8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 59	RSCAN0RPGACC59	$0000\ 0000_H$	32	$FFD0\ 19EC_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 60	RSCAN0RPGACC60	$0000\ 0000_H$	32	$FFD0\ 19F0_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 61	RSCAN0RPGACC61	$0000\ 0000_H$	32	$FFD0\ 19F4_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 62	RSCAN0RPGACC62	$0000\ 0000_H$	32	$FFD0\ 19F8_H$	2	8、16、32
RSCFD0（クラシカル CAN モード）	RAM テストページアクセスレジスタ 63	RSCAN0RPGACC63	$0000\ 0000_H$	32	$FFD0\ 19FC_H$	2	8、16、32
RSCFD0（CAN-FD モード）	チャネル 0 通常ビットレートコンフィグレーションレジスタ	RSCFD0CFDC0NCFG	$0000\ 0000_H$	32	$FFD0\ 0000_H$	2	8、16、32
RSCFD0（CAN-FD モード）	チャネル 0 制御レジスタ	RSCFD0CFDC0CTR	$0000\ 0005_H$	32	$FFD0\ 0004_H$	2	8、16、32
RSCFD0（CAN-FD モード）	チャネル 0 ステータスレジスタ	RSCFD0CFDC0STS	$0000\ 0005_H$	32	$FFD0\ 0008_H$	2	8、16、32
RSCFD0（CAN-FD モード）	チャネル 0 エラーフラグレジスタ	RSCFD0CFDC0ERFL	$0000\ 0000_H$	32	$FFD0\ 000C_H$	2	8、16、32
RSCFD0（CAN-FD モード）	チャネル 1 通常ビットレートコンフィグレーションレジスタ	RSCFD0CFDC1NCFG	$0000\ 0000_H$	32	$FFD0\ 0010_H$	2	8、16、32
RSCFD0（CAN-FD モード）	チャネル 1 制御レジスタ	RSCFD0CFDC1CTR	$0000\ 0005_H$	32	$FFD0\ 0014_H$	2	8、16、32
RSCFD0（CAN-FD モード）	チャネル 1 ステータスレジスタ	RSCFD0CFDC1STS	$0000\ 0005_H$	32	$FFD0\ 0018_H$	2	8、16、32
RSCFD0（CAN-FD モード）	チャネル 1 エラーフラグレジスタ	RSCFD0CFDC1ERFL	$0000\ 0000_H$	32	$FFD0\ 001C_H$	2	8、16、32
RSCFD0（CAN-FD モード）	チャネル 2 通常ビットレートコンフィグレーションレジスタ	RSCFD0CFDC2NCFG	$0000\ 0000_H$	32	$FFD0\ 0020_H$	2	8、16、32
RSCFD0（CAN-FD モード）	チャネル 2 制御レジスタ	RSCFD0CFDC2CTR	$0000\ 0005_H$	32	$FFD0\ 0024_H$	2	8、16、32

(90/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	チャネル 2 ステータスレジスタ	RSCFD0CFDC2STS	0000 0005_H	32	FFD0 0028_H	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 2 エラーフラグレジスタ	RSCFD0CFDC2ERFL	0000 0000_H	32	FFD0 $002C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 3 通常ビットレートコンフィグレーションレジスタ	RSCFD0CFDC3NCFG	0000 0000_H	32	FFD0 0030_H	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 3 制御レジスタ	RSCFD0CFDC3CTR	0000 0005_H	32	FFD0 0034_H	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 3 ステータスレジスタ	RSCFD0CFDC3STS	0000 0005_H	32	FFD0 0038_H	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 3 エラーフラグレジスタ	RSCFD0CFDC3ERFL	0000 0000_H	32	FFD0 $003C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	グローバルコンフィグレーションレジスタ	RSCFD0CFDGCFG	0000 0000_H	32	FFD0 0084_H	2	8、16、32
RSCFD0（CAN-FDモード）	グローバル制御レジスタ	RSCFD0CFDGCTR	0000 0005_H	32	FFD0 0088_H	2	8、16、32
RSCFD0（CAN-FDモード）	グローバルステータスレジスタ	RSCFD0CFDGSTS	0000 $000D_H$	32	FFD0 $008C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	グローバルエラーフラグレジスタ	RSCFD0CFDGERFL	0000 0000_H	32	FFD0 0090_H	2	8、16、32
RSCFD0（CAN-FDモード）	グローバルタイムスタンプカウンタレジスタ	RSCFD0CFDGTSC	0000 0000_H	32	FFD0 0094_H	2	16、32
RSCFD0（CAN-FDモード）	受信ルールエントリ制御レジスタ	RSCFD0CFDGAFLECTR	0000 0000_H	32	FFD0 0098_H	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールコンフィグレーションレジスタ 0	RSCFD0CFDGAFLCFG0	0000 0000_H	32	FFD0 $009C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファナンバレジスタ	RSCFD0CFDRMNB	0000 0000_H	32	FFD0 $00A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ新データレジスタ 0	RSCFD0CFDRMND0	0000 0000_H	32	FFD0 $00A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ新データレジスタ 1	RSCFD0CFDRMND1	0000 0000_H	32	FFD0 $00AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 0	RSCFD0CFDRFCC0	0000 0000_H	32	FFD0 $00B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 1	RSCFD0CFDRFCC1	0000 0000_H	32	FFD0 $00BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 2	RSCFD0CFDRFCC2	0000 0000_H	32	FFD0 $00C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 3	RSCFD0CFDRFCC3	0000 0000_H	32	FFD0 $00C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 4	RSCFD0CFDRFCC4	0000 0000_H	32	FFD0 $00C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 5	RSCFD0CFDRFCC5	0000 0000_H	32	FFD0 $00CC_H$	2	8、16、32

(91/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 6	RSCFD0CFDRFCC6	$0000\ 0000_H$	32	$FFD0\ 00D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファコンフィグレーション／制御レジスタ 7	RSCFD0CFDRFCC7	$0000\ 0000_H$	32	$FFD0\ 00D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファステータスレジスタ 0	RSCFD0CFDRFSTS0	$0000\ 0001_H$	32	$FFD0\ 00D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファステータスレジスタ 1	RSCFD0CFDRFSTS1	$0000\ 0001_H$	32	$FFD0\ 00DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファステータスレジスタ 2	RSCFD0CFDRFSTS2	$0000\ 0001_H$	32	$FFD0\ 00E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファステータスレジスタ 3	RSCFD0CFDRFSTS3	$0000\ 0001_H$	32	$FFD0\ 00E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファステータスレジスタ 4	RSCFD0CFDRFSTS4	$0000\ 0001_H$	32	$FFD0\ 00E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファステータスレジスタ 5	RSCFD0CFDRFSTS5	$0000\ 0001_H$	32	$FFD0\ 00EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファステータスレジスタ 6	RSCFD0CFDRFSTS6	$0000\ 0001_H$	32	$FFD0\ 00F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファステータスレジスタ 7	RSCFD0CFDRFSTS7	$0000\ 0001_H$	32	$FFD0\ 00F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファポインタ制御レジスタ 0	RSCFD0CFDRFPCTR0	$0000\ 0000_H$	32	$FFD0\ 00F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファポインタ制御レジスタ 1	RSCFD0CFDRFPCTR1	$0000\ 0000_H$	32	$FFD0\ 00FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファポインタ制御レジスタ 2	RSCFD0CFDRFPCTR2	$0000\ 0000_H$	32	$FFD0\ 0100_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファポインタ制御レジスタ 3	RSCFD0CFDRFPCTR3	$0000\ 0000_H$	32	$FFD0\ 0104_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファポインタ制御レジスタ 4	RSCFD0CFDRFPCTR4	$0000\ 0000_H$	32	$FFD0\ 0108_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファポインタ制御レジスタ 5	RSCFD0CFDRFPCTR5	$0000\ 0000_H$	32	$FFD0\ 010C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファポインタ制御レジスタ 6	RSCFD0CFDRFPCTR6	$0000\ 0000_H$	32	$FFD0\ 0110_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファポインタ制御レジスタ 7	RSCFD0CFDRFPCTR7	$0000\ 0000_H$	32	$FFD0\ 0114_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 0	RSCFD0CFDCFCC0	$0000\ 0000_H$	32	$FFD0\ 0118_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 1	RSCFD0CFDCFCC1	$0000\ 0000_H$	32	$FFD0\ 011C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 2	RSCFD0CFDCFCC2	$0000\ 0000_H$	32	$FFD0\ 0120_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 3	RSCFD0CFDCFCC3	$0000\ 0000_H$	32	$FFD0\ 0124_H$	2	8、16、32

(92/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 4	RSCFD0CFDCFCC4	$0000\ 0000_H$	32	$FFD0\ 0128_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 5	RSCFD0CFDCFCC5	$0000\ 0000_H$	32	$FFD0\ 012C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 6	RSCFD0CFDCFCC6	$0000\ 0000_H$	32	$FFD0\ 0130_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 7	RSCFD0CFDCFCC7	$0000\ 0000_H$	32	$FFD0\ 0134_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 8	RSCFD0CFDCFCC8	$0000\ 0000_H$	32	$FFD0\ 0138_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 9	RSCFD0CFDCFCC9	$0000\ 0000_H$	32	$FFD0\ 013C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 10	RSCFD0CFDCFCC10	$0000\ 0000_H$	32	$FFD0\ 0140_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファコンフィグレーション／制御レジスタ 11	RSCFD0CFDCFCC11	$0000\ 0000_H$	32	$FFD0\ 0144_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 0	RSCFD0CFDCFSTS0	$0000\ 0001_H$	32	$FFD0\ 0178_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 1	RSCFD0CFDCFSTS1	$0000\ 0001_H$	32	$FFD0\ 017C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 2	RSCFD0CFDCFSTS2	$0000\ 0001_H$	32	$FFD0\ 0180_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 3	RSCFD0CFDCFSTS3	$0000\ 0001_H$	32	$FFD0\ 0184_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 4	RSCFD0CFDCFSTS4	$0000\ 0001_H$	32	$FFD0\ 0188_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 5	RSCFD0CFDCFSTS5	$0000\ 0001_H$	32	$FFD0\ 018C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 6	RSCFD0CFDCFSTS6	$0000\ 0001_H$	32	$FFD0\ 0190_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 7	RSCFD0CFDCFSTS7	$0000\ 0001_H$	32	$FFD0\ 0194_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 8	RSCFD0CFDCFSTS8	$0000\ 0001_H$	32	$FFD0\ 0198_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 9	RSCFD0CFDCFSTS9	$0000\ 0001_H$	32	$FFD0\ 019C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 10	RSCFD0CFDCFSTS10	$0000\ 0001_H$	32	$FFD0\ 01A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファステータスレジスタ 11	RSCFD0CFDCFSTS11	$0000\ 0001_H$	32	$FFD0\ 01A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 0	RSCFD0CFDCFPCTR0	$0000\ 0000_H$	32	$FFD0\ 01D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 1	RSCFD0CFDCFPCTR1	$0000\ 0000_H$	32	$FFD0\ 01DC_H$	2	8、16、32

(93/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 2	RSCFD0CFDCFPCTR2	0000 0000_H	32	FFD0 $01E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 3	RSCFD0CFDCFPCTR3	0000 0000_H	32	FFD0 $01E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 4	RSCFD0CFDCFPCTR4	0000 0000_H	32	FFD0 $01E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 5	RSCFD0CFDCFPCTR5	0000 0000_H	32	FFD0 $01EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 6	RSCFD0CFDCFPCTR6	0000 0000_H	32	FFD0 $01F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 7	RSCFD0CFDCFPCTR7	0000 0000_H	32	FFD0 $01F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 8	RSCFD0CFDCFPCTR8	0000 0000_H	32	FFD0 $01F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 9	RSCFD0CFDCFPCTR9	0000 0000_H	32	FFD0 $01FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 10	RSCFD0CFDCFPCTR10	0000 0000_H	32	FFD0 0200_H	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファポインタ制御レジスタ 11	RSCFD0CFDCFPCTR11	0000 0000_H	32	FFD0 0204_H	2	8、16、32
RSCFD0（CAN-FDモード）	FIFO エンプティステータスレジスタ	RSCFD0CFDFESTS	007F $FFFF_H$	32	FFD0 0238_H	2	8、16、32
RSCFD0（CAN-FDモード）	FIFO フルステータスレジスタ	RSCFD0CFDFFSTS	0000 0000_H	32	FFD0 $023C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	FIFO メッセージロストステータスレジスタ	RSCFD0CFDFMSTS	0000 0000_H	32	FFD0 0240_H	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCFD0CFDRFISTS	0000 0000_H	32	FFD0 0244_H	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファ受信割り込みフラグステータスレジスタ	RSCFD0CFDCFRISTS	0000 0000_H	32	FFD0 0248_H	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファ送信割り込みフラグステータスレジスタ	RSCFD0CFDCFTISTS	0000 0000_H	32	FFD0 $024C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 0	RSCFD0CFDTMC0	00_H	8	FFD0 0250_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 1	RSCFD0CFDTMC1	00_H	8	FFD0 0251_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 2	RSCFD0CFDTMC2	00_H	8	FFD0 0252_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 3	RSCFD0CFDTMC3	00_H	8	FFD0 0253_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 4	RSCFD0CFDTMC4	00_H	8	FFD0 0254_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 5	RSCFD0CFDTMC5	00_H	8	FFD0 0255_H	2	8

(94/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 6	RSCFD0CFDTMC6	00_H	8	FFD0 0256_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 7	RSCFD0CFDTMC7	00_H	8	FFD0 0257_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 8	RSCFD0CFDTMC8	00_H	8	FFD0 0258_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 9	RSCFD0CFDTMC9	00_H	8	FFD0 0259_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 10	RSCFD0CFDTMC10	00_H	8	FFD0 $025A_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 11	RSCFD0CFDTMC11	00_H	8	FFD0 $025B_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 12	RSCFD0CFDTMC12	00_H	8	FFD0 $025C_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 13	RSCFD0CFDTMC13	00_H	8	FFD0 $025D_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 14	RSCFD0CFDTMC14	00_H	8	FFD0 $025E_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 15	RSCFD0CFDTMC15	00_H	8	FFD0 $025F_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 16	RSCFD0CFDTMC16	00_H	8	FFD0 0260_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 17	RSCFD0CFDTMC17	00_H	8	FFD0 0261_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 18	RSCFD0CFDTMC18	00_H	8	FFD0 0262_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 19	RSCFD0CFDTMC19	00_H	8	FFD0 0263_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 20	RSCFD0CFDTMC20	00_H	8	FFD0 0264_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 21	RSCFD0CFDTMC21	00_H	8	FFD0 0265_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 22	RSCFD0CFDTMC22	00_H	8	FFD0 0266_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 23	RSCFD0CFDTMC23	00_H	8	FFD0 0267_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 24	RSCFD0CFDTMC24	00_H	8	FFD0 0268_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 25	RSCFD0CFDTMC25	00_H	8	FFD0 0269_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 26	RSCFD0CFDTMC26	00_H	8	FFD0 $026A_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 27	RSCFD0CFDTMC27	00_H	8	FFD0 $026B_H$	2	8

(95/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 28	RSCFD0CFDTMC28	00_H	8	FFD0 $026C_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 29	RSCFD0CFDTMC29	00_H	8	FFD0 $026D_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 30	RSCFD0CFDTMC30	00_H	8	FFD0 $026E_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 31	RSCFD0CFDTMC31	00_H	8	FFD0 $026F_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 32	RSCFD0CFDTMC32	00_H	8	FFD0 0270_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 33	RSCFD0CFDTMC33	00_H	8	FFD0 0271_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 34	RSCFD0CFDTMC34	00_H	8	FFD0 0272_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 35	RSCFD0CFDTMC35	00_H	8	FFD0 0273_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 36	RSCFD0CFDTMC36	00_H	8	FFD0 0274_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 37	RSCFD0CFDTMC37	00_H	8	FFD0 0275_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 38	RSCFD0CFDTMC38	00_H	8	FFD0 0276_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 39	RSCFD0CFDTMC39	00_H	8	FFD0 0277_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 40	RSCFD0CFDTMC40	00_H	8	FFD0 0278_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 41	RSCFD0CFDTMC41	00_H	8	FFD0 0279_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 42	RSCFD0CFDTMC42	00_H	8	FFD0 $027A_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 43	RSCFD0CFDTMC43	00_H	8	FFD0 $027B_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 44	RSCFD0CFDTMC44	00_H	8	FFD0 $027C_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 45	RSCFD0CFDTMC45	00_H	8	FFD0 $027D_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 46	RSCFD0CFDTMC46	00_H	8	FFD0 $027E_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 47	RSCFD0CFDTMC47	00_H	8	FFD0 $027F_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 48	RSCFD0CFDTMC48	00_H	8	FFD0 0280_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 49	RSCFD0CFDTMC49	00_H	8	FFD0 0281_H	2	8

(96/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 50	RSCFD0CFDTMC50	00_H	8	FFD0 0282_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 51	RSCFD0CFDTMC51	00_H	8	FFD0 0283_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 52	RSCFD0CFDTMC52	00_H	8	FFD0 0284_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 53	RSCFD0CFDTMC53	00_H	8	FFD0 0285_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 54	RSCFD0CFDTMC54	00_H	8	FFD0 0286_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 55	RSCFD0CFDTMC55	00_H	8	FFD0 0287_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 56	RSCFD0CFDTMC56	00_H	8	FFD0 0288_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 57	RSCFD0CFDTMC57	00_H	8	FFD0 0289_H	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 58	RSCFD0CFDTMC58	00_H	8	FFD0 $028A_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 59	RSCFD0CFDTMC59	00_H	8	FFD0 $028B_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 60	RSCFD0CFDTMC60	00_H	8	FFD0 $028C_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 61	RSCFD0CFDTMC61	00_H	8	FFD0 $028D_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 62	RSCFD0CFDTMC62	00_H	8	FFD0 $028E_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ制御レジスタ 63	RSCFD0CFDTMC63	00_H	8	FFD0 $028F_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 0	RSCFD0CFDTMSTS0	00_H	8	FFD0 $02D0_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 1	RSCFD0CFDTMSTS1	00_H	8	FFD0 $02D1_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 2	RSCFD0CFDTMSTS2	00_H	8	FFD0 $02D2_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 3	RSCFD0CFDTMSTS3	00_H	8	FFD0 $02D3_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 4	RSCFD0CFDTMSTS4	00_H	8	FFD0 $02D4_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 5	RSCFD0CFDTMSTS5	00_H	8	FFD0 $02D5_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 6	RSCFD0CFDTMSTS6	00_H	8	FFD0 $02D6_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 7	RSCFD0CFDTMSTS7	00_H	8	FFD0 $02D7_H$	2	8

(97/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 8	RSCFD0CFDTMSTS8	00_H	8	FFD0 $02D8_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 9	RSCFD0CFDTMSTS9	00_H	8	FFD0 $02D9_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 10	RSCFD0CFDTMSTS10	00_H	8	FFD0 $02DA_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 11	RSCFD0CFDTMSTS11	00_H	8	FFD0 $02DB_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 12	RSCFD0CFDTMSTS12	00_H	8	FFD0 $02DC_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 13	RSCFD0CFDTMSTS13	00_H	8	FFD0 $02DD_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 14	RSCFD0CFDTMSTS14	00_H	8	FFD0 $02DE_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 15	RSCFD0CFDTMSTS15	00_H	8	FFD0 $02DF_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 16	RSCFD0CFDTMSTS16	00_H	8	FFD0 $02E0_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 17	RSCFD0CFDTMSTS17	00_H	8	FFD0 $02E1_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 18	RSCFD0CFDTMSTS18	00_H	8	FFD0 $02E2_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 19	RSCFD0CFDTMSTS19	00_H	8	FFD0 $02E3_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 20	RSCFD0CFDTMSTS20	00_H	8	FFD0 $02E4_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 21	RSCFD0CFDTMSTS21	00_H	8	FFD0 $02E5_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 22	RSCFD0CFDTMSTS22	00_H	8	FFD0 $02E6_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 23	RSCFD0CFDTMSTS23	00_H	8	FFD0 $02E7_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 24	RSCFD0CFDTMSTS24	00_H	8	FFD0 $02E8_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 25	RSCFD0CFDTMSTS25	00_H	8	FFD0 $02E9_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 26	RSCFD0CFDTMSTS26	00_H	8	FFD0 $02EA_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 27	RSCFD0CFDTMSTS27	00_H	8	FFD0 $02EB_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 28	RSCFD0CFDTMSTS28	00_H	8	FFD0 $02EC_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 29	RSCFD0CFDTMSTS29	00_H	8	FFD0 $02ED_H$	2	8

(98/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 30	RSCFD0CFDTMSTS30	00_H	8	FFD0 $02EE_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 31	RSCFD0CFDTMSTS31	00_H	8	FFD0 $02EF_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 32	RSCFD0CFDTMSTS32	00_H	8	FFD0 $02F0_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 33	RSCFD0CFDTMSTS33	00_H	8	FFD0 $02F1_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 34	RSCFD0CFDTMSTS34	00_H	8	FFD0 $02F2_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 35	RSCFD0CFDTMSTS35	00_H	8	FFD0 $02F3_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 36	RSCFD0CFDTMSTS36	00_H	8	FFD0 $02F4_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 37	RSCFD0CFDTMSTS37	00_H	8	FFD0 $02F5_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 38	RSCFD0CFDTMSTS38	00_H	8	FFD0 $02F6_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 39	RSCFD0CFDTMSTS39	00_H	8	FFD0 $02F7_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 40	RSCFD0CFDTMSTS40	00_H	8	FFD0 $02F8_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 41	RSCFD0CFDTMSTS41	00_H	8	FFD0 $02F9_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 42	RSCFD0CFDTMSTS42	00_H	8	FFD0 $02FA_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 43	RSCFD0CFDTMSTS43	00_H	8	FFD0 $02FB_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 44	RSCFD0CFDTMSTS44	00_H	8	FFD0 $02FC_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 45	RSCFD0CFDTMSTS45	00_H	8	FFD0 $02FD_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 46	RSCFD0CFDTMSTS46	00_H	8	FFD0 $02FE_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 47	RSCFD0CFDTMSTS47	00_H	8	FFD0 $02FF_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 48	RSCFD0CFDTMSTS48	00_H	8	FFD0 0300_H	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 49	RSCFD0CFDTMSTS49	00_H	8	FFD0 0301_H	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 50	RSCFD0CFDTMSTS50	00_H	8	FFD0 0302_H	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 51	RSCFD0CFDTMSTS51	00_H	8	FFD0 0303_H	2	8

(99/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 52	RSCFD0CFDTMSTS52	00_H	8	FFD0 0304_H	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 53	RSCFD0CFDTMSTS53	00_H	8	FFD0 0305_H	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 54	RSCFD0CFDTMSTS54	00_H	8	FFD0 0306_H	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 55	RSCFD0CFDTMSTS55	00_H	8	FFD0 0307_H	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 56	RSCFD0CFDTMSTS56	00_H	8	FFD0 0308_H	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 57	RSCFD0CFDTMSTS57	00_H	8	FFD0 0309_H	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 58	RSCFD0CFDTMSTS58	00_H	8	FFD0 $030A_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 59	RSCFD0CFDTMSTS59	00_H	8	FFD0 $030B_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 60	RSCFD0CFDTMSTS60	00_H	8	FFD0 $030C_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 61	RSCFD0CFDTMSTS61	00_H	8	FFD0 $030D_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 62	RSCFD0CFDTMSTS62	00_H	8	FFD0 $030E_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファステータスレジスタ 63	RSCFD0CFDTMSTS63	00_H	8	FFD0 $030F_H$	2	8
RSCFD0（CAN-FDモード）	送信バッファ送信要求ステータスレジスタ 0	RSCFD0CFDTMTRSTS0	0000 0000_H	32	FFD0 0350_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ送信要求ステータスレジスタ 1	RSCFD0CFDTMTRSTS1	0000 0000_H	32	FFD0 0354_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ送信アボート要求ステータスレジスタ 0	RSCFD0CFDTMTARSTS0	0000 0000_H	32	FFD0 0360_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ送信アボート要求ステータスレジスタ 1	RSCFD0CFDTMTARSTS1	0000 0000_H	32	FFD0 0364_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ送信完了ステータスレジスタ 0	RSCFD0CFDTMTCSTS0	0000 0000_H	32	FFD0 0370_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ送信完了ステータスレジスタ 1	RSCFD0CFDTMTCSTS1	0000 0000_H	32	FFD0 0374_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ送信アボートステータスレジスタ 0	RSCFD0CFDTMTASTS0	0000 0000_H	32	FFD0 0380_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ送信アボートステータスレジスタ 1	RSCFD0CFDTMTASTS1	0000 0000_H	32	FFD0 0384_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0	RSCFD0CFDTMIEC0	0000 0000_H	32	FFD0 0390_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ割り込みイネーブルコンフィグレーションレジスタ 1	RSCFD0CFDTMIEC1	0000 0000_H	32	FFD0 0394_H	2	8、16、32

(100/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信キューコンフィグレーション／制御レジスタ 0	RSCFD0CFDTXQCC0	$0000\ 0000_H$	32	$FFD0\ 03A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューコンフィグレーション／制御レジスタ 1	RSCFD0CFDTXQCC1	$0000\ 0000_H$	32	$FFD0\ 03A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューコンフィグレーション／制御レジスタ 2	RSCFD0CFDTXQCC2	$0000\ 0000_H$	32	$FFD0\ 03A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューコンフィグレーション／制御レジスタ 3	RSCFD0CFDTXQCC3	$0000\ 0000_H$	32	$FFD0\ 03AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューステータスレジスタ 0	RSCFD0CFDTXQSTS0	$0000\ 0001_H$	32	$FFD0\ 03C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューステータスレジスタ 1	RSCFD0CFDTXQSTS1	$0000\ 0001_H$	32	$FFD0\ 03C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューステータスレジスタ 2	RSCFD0CFDTXQSTS2	$0000\ 0001_H$	32	$FFD0\ 03C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューステータスレジスタ 3	RSCFD0CFDTXQSTS3	$0000\ 0001_H$	32	$FFD0\ 03CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューポインタ制御レジスタ 0	RSCFD0CFDTXQPCTR0	$0000\ 0000_H$	32	$FFD0\ 03E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューポインタ制御レジスタ 1	RSCFD0CFDTXQPCTR1	$0000\ 0000_H$	32	$FFD0\ 03E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューポインタ制御レジスタ 2	RSCFD0CFDTXQPCTR2	$0000\ 0000_H$	32	$FFD0\ 03E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信キューポインタ制御レジスタ 3	RSCFD0CFDTXQPCTR3	$0000\ 0000_H$	32	$FFD0\ 03EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴コンフィグレーション／制御レジスタ 0	RSCFD0CFDTHLCC0	$0000\ 0000_H$	32	$FFD0\ 0400_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴コンフィグレーション／制御レジスタ 1	RSCFD0CFDTHLCC1	$0000\ 0000_H$	32	$FFD0\ 0404_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴コンフィグレーション／制御レジスタ 2	RSCFD0CFDTHLCC2	$0000\ 0000_H$	32	$FFD0\ 0408_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴コンフィグレーション／制御レジスタ 3	RSCFD0CFDTHLCC3	$0000\ 0000_H$	32	$FFD0\ 040C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴ステータスレジスタ 0	RSCFD0CFDTHLSTS0	$0000\ 0001_H$	32	$FFD0\ 0420_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴ステータスレジスタ 1	RSCFD0CFDTHLSTS1	$0000\ 0001_H$	32	$FFD0\ 0424_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴ステータスレジスタ 2	RSCFD0CFDTHLSTS2	$0000\ 0001_H$	32	$FFD0\ 0428_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴ステータスレジスタ 3	RSCFD0CFDTHLSTS3	$0000\ 0001_H$	32	$FFD0\ 042C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴ポインタ制御レジスタ 0	RSCFD0CFDTHLPCTR0	$0000\ 0000_H$	32	$FFD0\ 0440_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴ポインタ制御レジスタ 1	RSCFD0CFDTHLPCTR1	$0000\ 0000_H$	32	$FFD0\ 0444_H$	2	8、16、32

(101/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信履歴ポインタ制御レジスタ 2	RSCFD0CFDTHLPCTR2	$0000\ 0000_H$	32	$FFD0\ 0448_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴ポインタ制御レジスタ 3	RSCFD0CFDTHLPCTR3	$0000\ 0000_H$	32	$FFD0\ 044C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	グローバル TX 割り込みステータスレジスタ 0	RSCFD0CFDGTINTSTS0	$0000\ 0000_H$	32	$FFD0\ 0460_H$	2	8、16、32
RSCFD0（CAN-FDモード）	グローバルテストコンフィグレーションレジスタ	RSCFD0CFDGTSTCFG	$0000\ 0000_H$	32	$FFD0\ 0468_H$	2	8、16、32
RSCFD0（CAN-FDモード）	グローバルテスト制御レジスタ	RSCFD0CFDGTSTCTR	$0000\ 0000_H$	32	$FFD0\ 046C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	グローバル FD コンフィグレーションレジスタ	RSCFD0CFDGFDCFG	$0000\ 0000_H$	32	$FFD0\ 0474_H$	2	8、16、32
RSCFD0（CAN-FDモード）	グローバルロックキーレジスタ	RSCFD0CFDGLOCKK	$0000\ 0000_H$	32	$FFD0\ 047C_H$	2	16、32
RSCFD0（CAN-FDモード）	グローバルインタフェースモード選択レジスタ	RSCFD0CFDGRMCFG	$0000\ 0000_H$	32	$FFD0\ 04FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 0 データビットレートコンフィグレーションレジスタ	RSCFD0CFDC0DCFG	$0000\ 0000_H$	32	$FFD0\ 0500_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 0 CAN FD コンフィグレーションレジスタ	RSCFD0CFDC0FDCFG	$0000\ 0000_H$	32	$FFD0\ 0504_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 0 CAN FD 制御レジスタ	RSCFD0CFDC0FDCTR	$0000\ 0000_H$	32	$FFD0\ 0508_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 0 CAN FD ステータスレジスタ	RSCFD0CFDC0FDSTS	$0000\ 0000_H$	32	$FFD0\ 050C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 0 CAN FD CRC レジスタ	RSCFD0CFDC0FDCRC	$0000\ 0000_H$	32	$FFD0\ 0510_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 1 データビットレートコンフィグレーションレジスタ	RSCFD0CFDC1DCFG	$0000\ 0000_H$	32	$FFD0\ 0520_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 1 CAN FD コンフィグレーションレジスタ	RSCFD0CFDC1FDCFG	$0000\ 0000_H$	32	$FFD0\ 0524_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 1 CAN FD 制御レジスタ	RSCFD0CFDC1FDCTR	$0000\ 0000_H$	32	$FFD0\ 0528_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 1 CAN FD ステータスレジスタ	RSCFD0CFDC1FDSTS	$0000\ 0000_H$	32	$FFD0\ 052C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 1 CAN FD CRC レジスタ	RSCFD0CFDC1FDCRC	$0000\ 0000_H$	32	$FFD0\ 0530_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 2 データビットレートコンフィグレーションレジスタ	RSCFD0CFDC2DCFG	$0000\ 0000_H$	32	$FFD0\ 0540_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 2 CAN FD コンフィグレーションレジスタ	RSCFD0CFDC2FDCFG	$0000\ 0000_H$	32	$FFD0\ 0544_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 2 CAN FD 制御レジスタ	RSCFD0CFDC2FDCTR	$0000\ 0000_H$	32	$FFD0\ 0548_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 2 CAN FD ステータスレジスタ	RSCFD0CFDC2FDSTS	$0000\ 0000_H$	32	$FFD0\ 054C_H$	2	8、16、32

(102/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	チャネル 2 CAN FD CRC レジスタ	RSCFD0CFDC2FDCRC	$0000\ 0000_H$	32	$FFD0\ 0550_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 3 データビットレートコンフィグレーションレジスタ	RSCFD0CFDC3DCFG	$0000\ 0000_H$	32	$FFD0\ 0560_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 3 CAN FD コンフィグレーションレジスタ	RSCFD0CFDC3FDCFG	$0000\ 0000_H$	32	$FFD0\ 0564_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 3 CAN FD 制御レジスタ	RSCFD0CFDC3FDCTR	$0000\ 0000_H$	32	$FFD0\ 0568_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 3 CAN FD ステータスレジスタ	RSCFD0CFDC3FDSTS	$0000\ 0000_H$	32	$FFD0\ 056C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	チャネル 3 CAN FD CRC レジスタ	RSCFD0CFDC3FDCRC	$0000\ 0000_H$	32	$FFD0\ 0570_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 0	RSCFD0CFDGAFLID0	$0000\ 0000_H$	32	$FFD0\ 1000_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 0	RSCFD0CFDGAFLM0	$0000\ 0000_H$	32	$FFD0\ 1004_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 0	RSCFD0CFDGAFLP0_0	$0000\ 0000_H$	32	$FFD0\ 1008_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 0	RSCFD0CFDGAFLP1_0	$0000\ 0000_H$	32	$FFD0\ 100C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 1	RSCFD0CFDGAFLID1	$0000\ 0000_H$	32	$FFD0\ 1010_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 1	RSCFD0CFDGAFLM1	$0000\ 0000_H$	32	$FFD0\ 1014_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 1	RSCFD0CFDGAFLP0_1	$0000\ 0000_H$	32	$FFD0\ 1018_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 1	RSCFD0CFDGAFLP1_1	$0000\ 0000_H$	32	$FFD0\ 101C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 2	RSCFD0CFDGAFLID2	$0000\ 0000_H$	32	$FFD0\ 1020_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 2	RSCFD0CFDGAFLM2	$0000\ 0000_H$	32	$FFD0\ 1024_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 2	RSCFD0CFDGAFLP0_2	$0000\ 0000_H$	32	$FFD0\ 1028_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 2	RSCFD0CFDGAFLP1_2	$0000\ 0000_H$	32	$FFD0\ 102C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 3	RSCFD0CFDGAFLID3	$0000\ 0000_H$	32	$FFD0\ 1030_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 3	RSCFD0CFDGAFLM3	$0000\ 0000_H$	32	$FFD0\ 1034_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 3	RSCFD0CFDGAFLP0_3	$0000\ 0000_H$	32	$FFD0\ 1038_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 3	RSCFD0CFDGAFLP1_3	$0000\ 0000_H$	32	$FFD0\ 103C_H$	2	8、16、32

(103/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 4	RSCFD0CFDGAFLID4	$0000\ 0000_H$	32	$FFD0\ 1040_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 4	RSCFD0CFDGAFLM4	$0000\ 0000_H$	32	$FFD0\ 1044_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 4	RSCFD0CFDGAFLP0_4	$0000\ 0000_H$	32	$FFD0\ 1048_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 4	RSCFD0CFDGAFLP1_4	$0000\ 0000_H$	32	$FFD0\ 104C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 5	RSCFD0CFDGAFLID5	$0000\ 0000_H$	32	$FFD0\ 1050_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 5	RSCFD0CFDGAFLM5	$0000\ 0000_H$	32	$FFD0\ 1054_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 5	RSCFD0CFDGAFLP0_5	$0000\ 0000_H$	32	$FFD0\ 1058_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 5	RSCFD0CFDGAFLP1_5	$0000\ 0000_H$	32	$FFD0\ 105C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 6	RSCFD0CFDGAFLID6	$0000\ 0000_H$	32	$FFD0\ 1060_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 6	RSCFD0CFDGAFLM6	$0000\ 0000_H$	32	$FFD0\ 1064_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 6	RSCFD0CFDGAFLP0_6	$0000\ 0000_H$	32	$FFD0\ 1068_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 6	RSCFD0CFDGAFLP1_6	$0000\ 0000_H$	32	$FFD0\ 106C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 7	RSCFD0CFDGAFLID7	$0000\ 0000_H$	32	$FFD0\ 1070_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 7	RSCFD0CFDGAFLM7	$0000\ 0000_H$	32	$FFD0\ 1074_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 7	RSCFD0CFDGAFLP0_7	$0000\ 0000_H$	32	$FFD0\ 1078_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 7	RSCFD0CFDGAFLP1_7	$0000\ 0000_H$	32	$FFD0\ 107C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 8	RSCFD0CFDGAFLID8	$0000\ 0000_H$	32	$FFD0\ 1080_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 8	RSCFD0CFDGAFLM8	$0000\ 0000_H$	32	$FFD0\ 1084_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 8	RSCFD0CFDGAFLP0_8	$0000\ 0000_H$	32	$FFD0\ 1088_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 8	RSCFD0CFDGAFLP1_8	$0000\ 0000_H$	32	$FFD0\ 108C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 9	RSCFD0CFDGAFLID9	$0000\ 0000_H$	32	$FFD0\ 1090_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 9	RSCFD0CFDGAFLM9	$0000\ 0000_H$	32	$FFD0\ 1094_H$	2	8、16、32

(104/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 9	RSCFD0CFDGAFLP0_9	$0000\ 0000_H$	32	$FFD0\ 1098_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 9	RSCFD0CFDGAFLP1_9	$0000\ 0000_H$	32	$FFD0\ 109C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 10	RSCFD0CFDGAFLID10	$0000\ 0000_H$	32	$FFD0\ 10A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 10	RSCFD0CFDGAFLM10	$0000\ 0000_H$	32	$FFD0\ 10A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 10	RSCFD0CFDGAFLP0_10	$0000\ 0000_H$	32	$FFD0\ 10A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 10	RSCFD0CFDGAFLP1_10	$0000\ 0000_H$	32	$FFD0\ 10AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 11	RSCFD0CFDGAFLID11	$0000\ 0000_H$	32	$FFD0\ 10B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 11	RSCFD0CFDGAFLM11	$0000\ 0000_H$	32	$FFD0\ 10B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 11	RSCFD0CFDGAFLP0_11	$0000\ 0000_H$	32	$FFD0\ 10B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 11	RSCFD0CFDGAFLP1_11	$0000\ 0000_H$	32	$FFD0\ 10BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 12	RSCFD0CFDGAFLID12	$0000\ 0000_H$	32	$FFD0\ 10C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 12	RSCFD0CFDGAFLM12	$0000\ 0000_H$	32	$FFD0\ 10C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 12	RSCFD0CFDGAFLP0_12	$0000\ 0000_H$	32	$FFD0\ 10C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 12	RSCFD0CFDGAFLP1_12	$0000\ 0000_H$	32	$FFD0\ 10CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 13	RSCFD0CFDGAFLID13	$0000\ 0000_H$	32	$FFD0\ 10D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 13	RSCFD0CFDGAFLM13	$0000\ 0000_H$	32	$FFD0\ 10D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 13	RSCFD0CFDGAFLP0_13	$0000\ 0000_H$	32	$FFD0\ 10D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 13	RSCFD0CFDGAFLP1_13	$0000\ 0000_H$	32	$FFD0\ 10DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 14	RSCFD0CFDGAFLID14	$0000\ 0000_H$	32	$FFD0\ 10E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 14	RSCFD0CFDGAFLM14	$0000\ 0000_H$	32	$FFD0\ 10E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 14	RSCFD0CFDGAFLP0_14	$0000\ 0000_H$	32	$FFD0\ 10E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 14	RSCFD0CFDGAFLP1_14	$0000\ 0000_H$	32	$FFD0\ 10EC_H$	2	8、16、32

(105/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信ルール ID レジスタ 15	RSCFD0CFDGAFLID15	$0000\ 0000_H$	32	$FFD0\ 10F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールマスクレジスタ 15	RSCFD0CFDGAFLM15	$0000\ 0000_H$	32	$FFD0\ 10F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 0 レジスタ 15	RSCFD0CFDGAFLP0_15	$0000\ 0000_H$	32	$FFD0\ 10F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信ルールポインタ 1 レジスタ 15	RSCFD0CFDGAFLP1_15	$0000\ 0000_H$	32	$FFD0\ 10FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 0	RSCFD0CFDRMID0	$0000\ 0000_H$	32	$FFD0\ 2000_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 0	RSCFD0CFDRMPTR0	$0000\ 0000_H$	32	$FFD0\ 2004_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 0	RSCFD0CFDRMFDSTS0	$0000\ 0000_H$	32	$FFD0\ 2008_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 0	RSCFD0CFDRMDF0_0	$0000\ 0000_H$	32	$FFD0\ 200C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 0	RSCFD0CFDRMDF1_0	$0000\ 0000_H$	32	$FFD0\ 2010_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 0	RSCFD0CFDRMDF2_0	$0000\ 0000_H$	32	$FFD0\ 2014_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 0	RSCFD0CFDRMDF3_0	$0000\ 0000_H$	32	$FFD0\ 2018_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 0	RSCFD0CFDRMDF4_0	$0000\ 0000_H$	32	$FFD0\ 201C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 1	RSCFD0CFDRMID1	$0000\ 0000_H$	32	$FFD0\ 2020_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 1	RSCFD0CFDRMPTR1	$0000\ 0000_H$	32	$FFD0\ 2024_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 1	RSCFD0CFDRMFDSTS1	$0000\ 0000_H$	32	$FFD0\ 2028_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 1	RSCFD0CFDRMDF0_1	$0000\ 0000_H$	32	$FFD0\ 202C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 1	RSCFD0CFDRMDF1_1	$0000\ 0000_H$	32	$FFD0\ 2030_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 1	RSCFD0CFDRMDF2_1	$0000\ 0000_H$	32	$FFD0\ 2034_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 1	RSCFD0CFDRMDF3_1	$0000\ 0000_H$	32	$FFD0\ 2038_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 1	RSCFD0CFDRMDF4_1	$0000\ 0000_H$	32	$FFD0\ 203C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 2	RSCFD0CFDRMID2	$0000\ 0000_H$	32	$FFD0\ 2040_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 2	RSCFD0CFDRMPTR2	$0000\ 0000_H$	32	$FFD0\ 2044_H$	2	8、16、32

(106/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 2	RSCFD0CFDRMFDSTS2	$0000\ 0000_H$	32	$FFD0\ 2048_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 2	RSCFD0CFDRMDF0_2	$0000\ 0000_H$	32	$FFD0\ 204C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 2	RSCFD0CFDRMDF1_2	$0000\ 0000_H$	32	$FFD0\ 2050_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 2	RSCFD0CFDRMDF2_2	$0000\ 0000_H$	32	$FFD0\ 2054_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 2	RSCFD0CFDRMDF3_2	$0000\ 0000_H$	32	$FFD0\ 2058_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 2	RSCFD0CFDRMDF4_2	$0000\ 0000_H$	32	$FFD0\ 205C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 3	RSCFD0CFDRMID3	$0000\ 0000_H$	32	$FFD0\ 2060_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 3	RSCFD0CFDRMPTR3	$0000\ 0000_H$	32	$FFD0\ 2064_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 3	RSCFD0CFDRMFDSTS3	$0000\ 0000_H$	32	$FFD0\ 2068_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 3	RSCFD0CFDRMDF0_3	$0000\ 0000_H$	32	$FFD0\ 206C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 3	RSCFD0CFDRMDF1_3	$0000\ 0000_H$	32	$FFD0\ 2070_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 3	RSCFD0CFDRMDF2_3	$0000\ 0000_H$	32	$FFD0\ 2074_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 3	RSCFD0CFDRMDF3_3	$0000\ 0000_H$	32	$FFD0\ 2078_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 3	RSCFD0CFDRMDF4_3	$0000\ 0000_H$	32	$FFD0\ 207C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 4	RSCFD0CFDRMID4	$0000\ 0000_H$	32	$FFD0\ 2080_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 4	RSCFD0CFDRMPTR4	$0000\ 0000_H$	32	$FFD0\ 2084_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 4	RSCFD0CFDRMFDSTS4	$0000\ 0000_H$	32	$FFD0\ 2088_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 4	RSCFD0CFDRMDF0_4	$0000\ 0000_H$	32	$FFD0\ 208C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 4	RSCFD0CFDRMDF1_4	$0000\ 0000_H$	32	$FFD0\ 2090_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 4	RSCFD0CFDRMDF2_4	$0000\ 0000_H$	32	$FFD0\ 2094_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 4	RSCFD0CFDRMDF3_4	$0000\ 0000_H$	32	$FFD0\ 2098_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 4	RSCFD0CFDRMDF4_4	$0000\ 0000_H$	32	$FFD0\ 209C_H$	2	8、16、32

(107/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 5	RSCFD0CFDRMID5	$0000\ 0000_H$	32	$FFD0\ 20A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 5	RSCFD0CFDRMPTR5	$0000\ 0000_H$	32	$FFD0\ 20A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 5	RSCFD0CFDRMFDSTS5	$0000\ 0000_H$	32	$FFD0\ 20A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 5	RSCFD0CFDRMDF0_5	$0000\ 0000_H$	32	$FFD0\ 20AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 5	RSCFD0CFDRMDF1_5	$0000\ 0000_H$	32	$FFD0\ 20B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 5	RSCFD0CFDRMDF2_5	$0000\ 0000_H$	32	$FFD0\ 20B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 5	RSCFD0CFDRMDF3_5	$0000\ 0000_H$	32	$FFD0\ 20B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 5	RSCFD0CFDRMDF4_5	$0000\ 0000_H$	32	$FFD0\ 20BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 6	RSCFD0CFDRMID6	$0000\ 0000_H$	32	$FFD0\ 20C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 6	RSCFD0CFDRMPTR6	$0000\ 0000_H$	32	$FFD0\ 20C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 6	RSCFD0CFDRMFDSTS6	$0000\ 0000_H$	32	$FFD0\ 20C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 6	RSCFD0CFDRMDF0_6	$0000\ 0000_H$	32	$FFD0\ 20CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 6	RSCFD0CFDRMDF1_6	$0000\ 0000_H$	32	$FFD0\ 20D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 6	RSCFD0CFDRMDF2_6	$0000\ 0000_H$	32	$FFD0\ 20D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 6	RSCFD0CFDRMDF3_6	$0000\ 0000_H$	32	$FFD0\ 20D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 6	RSCFD0CFDRMDF4_6	$0000\ 0000_H$	32	$FFD0\ 20DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 7	RSCFD0CFDRMID7	$0000\ 0000_H$	32	$FFD0\ 20E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 7	RSCFD0CFDRMPTR7	$0000\ 0000_H$	32	$FFD0\ 20E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 7	RSCFD0CFDRMFDSTS7	$0000\ 0000_H$	32	$FFD0\ 20E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 7	RSCFD0CFDRMDF0_7	$0000\ 0000_H$	32	$FFD0\ 20EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 7	RSCFD0CFDRMDF1_7	$0000\ 0000_H$	32	$FFD0\ 20F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 7	RSCFD0CFDRMDF2_7	$0000\ 0000_H$	32	$FFD0\ 20F4_H$	2	8、16、32

(108/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 7	RSCFD0CFDRMDF3_7	$0000\ 0000_H$	32	$FFD0\ 20F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 7	RSCFD0CFDRMDF4_7	$0000\ 0000_H$	32	$FFD0\ 20FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 8	RSCFD0CFDRMID8	$0000\ 0000_H$	32	$FFD0\ 2100_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 8	RSCFD0CFDRMPTR8	$0000\ 0000_H$	32	$FFD0\ 2104_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 8	RSCFD0CFDRMFDSTS8	$0000\ 0000_H$	32	$FFD0\ 2108_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 8	RSCFD0CFDRMDF0_8	$0000\ 0000_H$	32	$FFD0\ 210C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 8	RSCFD0CFDRMDF1_8	$0000\ 0000_H$	32	$FFD0\ 2110_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 8	RSCFD0CFDRMDF2_8	$0000\ 0000_H$	32	$FFD0\ 2114_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 8	RSCFD0CFDRMDF3_8	$0000\ 0000_H$	32	$FFD0\ 2118_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 8	RSCFD0CFDRMDF4_8	$0000\ 0000_H$	32	$FFD0\ 211C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 9	RSCFD0CFDRMID9	$0000\ 0000_H$	32	$FFD0\ 2120_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 9	RSCFD0CFDRMPTR9	$0000\ 0000_H$	32	$FFD0\ 2124_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 9	RSCFD0CFDRMFDSTS9	$0000\ 0000_H$	32	$FFD0\ 2128_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 9	RSCFD0CFDRMDF0_9	$0000\ 0000_H$	32	$FFD0\ 212C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 9	RSCFD0CFDRMDF1_9	$0000\ 0000_H$	32	$FFD0\ 2130_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 9	RSCFD0CFDRMDF2_9	$0000\ 0000_H$	32	$FFD0\ 2134_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 9	RSCFD0CFDRMDF3_9	$0000\ 0000_H$	32	$FFD0\ 2138_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 9	RSCFD0CFDRMDF4_9	$0000\ 0000_H$	32	$FFD0\ 213C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 10	RSCFD0CFDRMID10	$0000\ 0000_H$	32	$FFD0\ 2140_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 10	RSCFD0CFDRMPTR10	$0000\ 0000_H$	32	$FFD0\ 2144_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 10	RSCFD0CFDRMFDSTS10	$0000\ 0000_H$	32	$FFD0\ 2148_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 10	RSCFD0CFDRMDF0_10	$0000\ 0000_H$	32	$FFD0\ 214C_H$	2	8、16、32

(109/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 10	RSCFD0CFDRMDF1_10	$0000\ 0000_H$	32	$FFD0\ 2150_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 10	RSCFD0CFDRMDF2_10	$0000\ 0000_H$	32	$FFD0\ 2154_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 10	RSCFD0CFDRMDF3_10	$0000\ 0000_H$	32	$FFD0\ 2158_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 10	RSCFD0CFDRMDF4_10	$0000\ 0000_H$	32	$FFD0\ 215C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 11	RSCFD0CFDRMID11	$0000\ 0000_H$	32	$FFD0\ 2160_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 11	RSCFD0CFDRMPTR11	$0000\ 0000_H$	32	$FFD0\ 2164_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 11	RSCFD0CFDRMFDSTS11	$0000\ 0000_H$	32	$FFD0\ 2168_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 11	RSCFD0CFDRMDF0_11	$0000\ 0000_H$	32	$FFD0\ 216C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 11	RSCFD0CFDRMDF1_11	$0000\ 0000_H$	32	$FFD0\ 2170_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 11	RSCFD0CFDRMDF2_11	$0000\ 0000_H$	32	$FFD0\ 2174_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 11	RSCFD0CFDRMDF3_11	$0000\ 0000_H$	32	$FFD0\ 2178_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 11	RSCFD0CFDRMDF4_11	$0000\ 0000_H$	32	$FFD0\ 217C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 12	RSCFD0CFDRMID12	$0000\ 0000_H$	32	$FFD0\ 2180_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 12	RSCFD0CFDRMPTR12	$0000\ 0000_H$	32	$FFD0\ 2184_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 12	RSCFD0CFDRMFDSTS12	$0000\ 0000_H$	32	$FFD0\ 2188_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 12	RSCFD0CFDRMDF0_12	$0000\ 0000_H$	32	$FFD0\ 218C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 12	RSCFD0CFDRMDF1_12	$0000\ 0000_H$	32	$FFD0\ 2190_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 12	RSCFD0CFDRMDF2_12	$0000\ 0000_H$	32	$FFD0\ 2194_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 12	RSCFD0CFDRMDF3_12	$0000\ 0000_H$	32	$FFD0\ 2198_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 12	RSCFD0CFDRMDF4_12	$0000\ 0000_H$	32	$FFD0\ 219C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 13	RSCFD0CFDRMID13	$0000\ 0000_H$	32	$FFD0\ 21A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 13	RSCFD0CFDRMPTR13	$0000\ 0000_H$	32	$FFD0\ 21A4_H$	2	8、16、32

(110/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 13	RSCFD0CFDRMFDSTS13	$0000\ 0000_H$	32	$FFD0\ 21A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 13	RSCFD0CFDRMDF0_13	$0000\ 0000_H$	32	$FFD0\ 21AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 13	RSCFD0CFDRMDF1_13	$0000\ 0000_H$	32	$FFD0\ 21B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 13	RSCFD0CFDRMDF2_13	$0000\ 0000_H$	32	$FFD0\ 21B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 13	RSCFD0CFDRMDF3_13	$0000\ 0000_H$	32	$FFD0\ 21B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 13	RSCFD0CFDRMDF4_13	$0000\ 0000_H$	32	$FFD0\ 21BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 14	RSCFD0CFDRMID14	$0000\ 0000_H$	32	$FFD0\ 21C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 14	RSCFD0CFDRMPTR14	$0000\ 0000_H$	32	$FFD0\ 21C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 14	RSCFD0CFDRMFDSTS14	$0000\ 0000_H$	32	$FFD0\ 21C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 14	RSCFD0CFDRMDF0_14	$0000\ 0000_H$	32	$FFD0\ 21CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 14	RSCFD0CFDRMDF1_14	$0000\ 0000_H$	32	$FFD0\ 21D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 14	RSCFD0CFDRMDF2_14	$0000\ 0000_H$	32	$FFD0\ 21D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 14	RSCFD0CFDRMDF3_14	$0000\ 0000_H$	32	$FFD0\ 21D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 14	RSCFD0CFDRMDF4_14	$0000\ 0000_H$	32	$FFD0\ 21DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 15	RSCFD0CFDRMID15	$0000\ 0000_H$	32	$FFD0\ 21E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 15	RSCFD0CFDRMPTR15	$0000\ 0000_H$	32	$FFD0\ 21E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 15	RSCFD0CFDRMFDSTS15	$0000\ 0000_H$	32	$FFD0\ 21E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 15	RSCFD0CFDRMDF0_15	$0000\ 0000_H$	32	$FFD0\ 21EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 15	RSCFD0CFDRMDF1_15	$0000\ 0000_H$	32	$FFD0\ 21F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 15	RSCFD0CFDRMDF2_15	$0000\ 0000_H$	32	$FFD0\ 21F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 15	RSCFD0CFDRMDF3_15	$0000\ 0000_H$	32	$FFD0\ 21F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 15	RSCFD0CFDRMDF4_15	$0000\ 0000_H$	32	$FFD0\ 21FC_H$	2	8、16、32

(111/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 16	RSCFD0CFDRMID16	$0000\ 0000_H$	32	$FFD0\ 2200_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 16	RSCFD0CFDRMPTR16	$0000\ 0000_H$	32	$FFD0\ 2204_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 16	RSCFD0CFDRMFDSTS16	$0000\ 0000_H$	32	$FFD0\ 2208_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 16	RSCFD0CFDRMDF0_16	$0000\ 0000_H$	32	$FFD0\ 220C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 16	RSCFD0CFDRMDF1_16	$0000\ 0000_H$	32	$FFD0\ 2210_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 16	RSCFD0CFDRMDF2_16	$0000\ 0000_H$	32	$FFD0\ 2214_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 16	RSCFD0CFDRMDF3_16	$0000\ 0000_H$	32	$FFD0\ 2218_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 16	RSCFD0CFDRMDF4_16	$0000\ 0000_H$	32	$FFD0\ 221C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 17	RSCFD0CFDRMID17	$0000\ 0000_H$	32	$FFD0\ 2220_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 17	RSCFD0CFDRMPTR17	$0000\ 0000_H$	32	$FFD0\ 2224_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 17	RSCFD0CFDRMFDSTS17	$0000\ 0000_H$	32	$FFD0\ 2228_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 17	RSCFD0CFDRMDF0_17	$0000\ 0000_H$	32	$FFD0\ 222C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 17	RSCFD0CFDRMDF1_17	$0000\ 0000_H$	32	$FFD0\ 2230_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 17	RSCFD0CFDRMDF2_17	$0000\ 0000_H$	32	$FFD0\ 2234_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 17	RSCFD0CFDRMDF3_17	$0000\ 0000_H$	32	$FFD0\ 2238_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 17	RSCFD0CFDRMDF4_17	$0000\ 0000_H$	32	$FFD0\ 223C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 18	RSCFD0CFDRMID18	$0000\ 0000_H$	32	$FFD0\ 2240_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 18	RSCFD0CFDRMPTR18	$0000\ 0000_H$	32	$FFD0\ 2244_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 18	RSCFD0CFDRMFDSTS18	$0000\ 0000_H$	32	$FFD0\ 2248_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 18	RSCFD0CFDRMDF0_18	$0000\ 0000_H$	32	$FFD0\ 224C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 18	RSCFD0CFDRMDF1_18	$0000\ 0000_H$	32	$FFD0\ 2250_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 18	RSCFD0CFDRMDF2_18	$0000\ 0000_H$	32	$FFD0\ 2254_H$	2	8、16、32

(112/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 18	RSCFD0CFDRMDF3_18	$0000\ 0000_H$	32	$FFD0\ 2258_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 18	RSCFD0CFDRMDF4_18	$0000\ 0000_H$	32	$FFD0\ 225C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 19	RSCFD0CFDRMID19	$0000\ 0000_H$	32	$FFD0\ 2260_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 19	RSCFD0CFDRMPTR19	$0000\ 0000_H$	32	$FFD0\ 2264_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 19	RSCFD0CFDRMFDSTS19	$0000\ 0000_H$	32	$FFD0\ 2268_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 19	RSCFD0CFDRMDF0_19	$0000\ 0000_H$	32	$FFD0\ 226C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 19	RSCFD0CFDRMDF1_19	$0000\ 0000_H$	32	$FFD0\ 2270_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 19	RSCFD0CFDRMDF2_19	$0000\ 0000_H$	32	$FFD0\ 2274_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 19	RSCFD0CFDRMDF3_19	$0000\ 0000_H$	32	$FFD0\ 2278_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 19	RSCFD0CFDRMDF4_19	$0000\ 0000_H$	32	$FFD0\ 227C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 20	RSCFD0CFDRMID20	$0000\ 0000_H$	32	$FFD0\ 2280_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 20	RSCFD0CFDRMPTR20	$0000\ 0000_H$	32	$FFD0\ 2284_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 20	RSCFD0CFDRMFDSTS20	$0000\ 0000_H$	32	$FFD0\ 2288_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 20	RSCFD0CFDRMDF0_20	$0000\ 0000_H$	32	$FFD0\ 228C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 20	RSCFD0CFDRMDF1_20	$0000\ 0000_H$	32	$FFD0\ 2290_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 20	RSCFD0CFDRMDF2_20	$0000\ 0000_H$	32	$FFD0\ 2294_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 20	RSCFD0CFDRMDF3_20	$0000\ 0000_H$	32	$FFD0\ 2298_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 20	RSCFD0CFDRMDF4_20	$0000\ 0000_H$	32	$FFD0\ 229C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 21	RSCFD0CFDRMID21	$0000\ 0000_H$	32	$FFD0\ 22A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 21	RSCFD0CFDRMPTR21	$0000\ 0000_H$	32	$FFD0\ 22A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 21	RSCFD0CFDRMFDSTS21	$0000\ 0000_H$	32	$FFD0\ 22A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 21	RSCFD0CFDRMDF0_21	$0000\ 0000_H$	32	$FFD0\ 22AC_H$	2	8、16、32

(113/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 21	RSCFD0CFDRMDF1_21	$0000\ 0000_H$	32	$FFD0\ 22B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 21	RSCFD0CFDRMDF2_21	$0000\ 0000_H$	32	$FFD0\ 22B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 21	RSCFD0CFDRMDF3_21	$0000\ 0000_H$	32	$FFD0\ 22B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 21	RSCFD0CFDRMDF4_21	$0000\ 0000_H$	32	$FFD0\ 22BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 22	RSCFD0CFDRMID22	$0000\ 0000_H$	32	$FFD0\ 22C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 22	RSCFD0CFDRMPTR22	$0000\ 0000_H$	32	$FFD0\ 22C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 22	RSCFD0CFDRMFDSTS22	$0000\ 0000_H$	32	$FFD0\ 22C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 22	RSCFD0CFDRMDF0_22	$0000\ 0000_H$	32	$FFD0\ 22CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 22	RSCFD0CFDRMDF1_22	$0000\ 0000_H$	32	$FFD0\ 22D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 22	RSCFD0CFDRMDF2_22	$0000\ 0000_H$	32	$FFD0\ 22D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 22	RSCFD0CFDRMDF3_22	$0000\ 0000_H$	32	$FFD0\ 22D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 22	RSCFD0CFDRMDF4_22	$0000\ 0000_H$	32	$FFD0\ 22DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 23	RSCFD0CFDRMID23	$0000\ 0000_H$	32	$FFD0\ 22E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 23	RSCFD0CFDRMPTR23	$0000\ 0000_H$	32	$FFD0\ 22E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 23	RSCFD0CFDRMFDSTS23	$0000\ 0000_H$	32	$FFD0\ 22E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 23	RSCFD0CFDRMDF0_23	$0000\ 0000_H$	32	$FFD0\ 22EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 23	RSCFD0CFDRMDF1_23	$0000\ 0000_H$	32	$FFD0\ 22F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 23	RSCFD0CFDRMDF2_23	$0000\ 0000_H$	32	$FFD0\ 22F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 23	RSCFD0CFDRMDF3_23	$0000\ 0000_H$	32	$FFD0\ 22F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 23	RSCFD0CFDRMDF4_23	$0000\ 0000_H$	32	$FFD0\ 22FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 24	RSCFD0CFDRMID24	$0000\ 0000_H$	32	$FFD0\ 2300_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 24	RSCFD0CFDRMPTR24	$0000\ 0000_H$	32	$FFD0\ 2304_H$	2	8、16、32

(114/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 24	RSCFD0CFDRMFDSTS24	$0000\ 0000_H$	32	$FFD0\ 2308_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 24	RSCFD0CFDRMDF0_24	$0000\ 0000_H$	32	$FFD0\ 230C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 24	RSCFD0CFDRMDF1_24	$0000\ 0000_H$	32	$FFD0\ 2310_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 24	RSCFD0CFDRMDF2_24	$0000\ 0000_H$	32	$FFD0\ 2314_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 24	RSCFD0CFDRMDF3_24	$0000\ 0000_H$	32	$FFD0\ 2318_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 24	RSCFD0CFDRMDF4_24	$0000\ 0000_H$	32	$FFD0\ 231C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 25	RSCFD0CFDRMID25	$0000\ 0000_H$	32	$FFD0\ 2320_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 25	RSCFD0CFDRMPTR25	$0000\ 0000_H$	32	$FFD0\ 2324_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 25	RSCFD0CFDRMFDSTS25	$0000\ 0000_H$	32	$FFD0\ 2328_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 25	RSCFD0CFDRMDF0_25	$0000\ 0000_H$	32	$FFD0\ 232C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 25	RSCFD0CFDRMDF1_25	$0000\ 0000_H$	32	$FFD0\ 2330_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 25	RSCFD0CFDRMDF2_25	$0000\ 0000_H$	32	$FFD0\ 2334_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 25	RSCFD0CFDRMDF3_25	$0000\ 0000_H$	32	$FFD0\ 2338_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 25	RSCFD0CFDRMDF4_25	$0000\ 0000_H$	32	$FFD0\ 233C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 26	RSCFD0CFDRMID26	$0000\ 0000_H$	32	$FFD0\ 2340_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 26	RSCFD0CFDRMPTR26	$0000\ 0000_H$	32	$FFD0\ 2344_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 26	RSCFD0CFDRMFDSTS26	$0000\ 0000_H$	32	$FFD0\ 2348_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 26	RSCFD0CFDRMDF0_26	$0000\ 0000_H$	32	$FFD0\ 234C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 26	RSCFD0CFDRMDF1_26	$0000\ 0000_H$	32	$FFD0\ 2350_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 26	RSCFD0CFDRMDF2_26	$0000\ 0000_H$	32	$FFD0\ 2354_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 26	RSCFD0CFDRMDF3_26	$0000\ 0000_H$	32	$FFD0\ 2358_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 26	RSCFD0CFDRMDF4_26	$0000\ 0000_H$	32	$FFD0\ 235C_H$	2	8、16、32

(115/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 27	RSCFD0CFDRMID27	$0000\ 0000_H$	32	$FFD0\ 2360_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 27	RSCFD0CFDRMPTR27	$0000\ 0000_H$	32	$FFD0\ 2364_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 27	RSCFD0CFDRMFDSTS27	$0000\ 0000_H$	32	$FFD0\ 2368_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 27	RSCFD0CFDRMDF0_27	$0000\ 0000_H$	32	$FFD0\ 236C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 27	RSCFD0CFDRMDF1_27	$0000\ 0000_H$	32	$FFD0\ 2370_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 27	RSCFD0CFDRMDF2_27	$0000\ 0000_H$	32	$FFD0\ 2374_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 27	RSCFD0CFDRMDF3_27	$0000\ 0000_H$	32	$FFD0\ 2378_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 27	RSCFD0CFDRMDF4_27	$0000\ 0000_H$	32	$FFD0\ 237C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 28	RSCFD0CFDRMID28	$0000\ 0000_H$	32	$FFD0\ 2380_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 28	RSCFD0CFDRMPTR28	$0000\ 0000_H$	32	$FFD0\ 2384_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 28	RSCFD0CFDRMFDSTS28	$0000\ 0000_H$	32	$FFD0\ 2388_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 28	RSCFD0CFDRMDF0_28	$0000\ 0000_H$	32	$FFD0\ 238C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 28	RSCFD0CFDRMDF1_28	$0000\ 0000_H$	32	$FFD0\ 2390_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 28	RSCFD0CFDRMDF2_28	$0000\ 0000_H$	32	$FFD0\ 2394_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 28	RSCFD0CFDRMDF3_28	$0000\ 0000_H$	32	$FFD0\ 2398_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 28	RSCFD0CFDRMDF4_28	$0000\ 0000_H$	32	$FFD0\ 239C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 29	RSCFD0CFDRMID29	$0000\ 0000_H$	32	$FFD0\ 23A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 29	RSCFD0CFDRMPTR29	$0000\ 0000_H$	32	$FFD0\ 23A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 29	RSCFD0CFDRMFDSTS29	$0000\ 0000_H$	32	$FFD0\ 23A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 29	RSCFD0CFDRMDF0_29	$0000\ 0000_H$	32	$FFD0\ 23AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 29	RSCFD0CFDRMDF1_29	$0000\ 0000_H$	32	$FFD0\ 23B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 29	RSCFD0CFDRMDF2_29	$0000\ 0000_H$	32	$FFD0\ 23B4_H$	2	8、16、32

(116/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 29	RSCFD0CFDRMDF3_29	$0000\ 0000_H$	32	$FFD0\ 23B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 29	RSCFD0CFDRMDF4_29	$0000\ 0000_H$	32	$FFD0\ 23BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 30	RSCFD0CFDRMID30	$0000\ 0000_H$	32	$FFD0\ 23C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 30	RSCFD0CFDRMPTR30	$0000\ 0000_H$	32	$FFD0\ 23C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 30	RSCFD0CFDRMFDSTS30	$0000\ 0000_H$	32	$FFD0\ 23C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 30	RSCFD0CFDRMDF0_30	$0000\ 0000_H$	32	$FFD0\ 23CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 30	RSCFD0CFDRMDF1_30	$0000\ 0000_H$	32	$FFD0\ 23D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 30	RSCFD0CFDRMDF2_30	$0000\ 0000_H$	32	$FFD0\ 23D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 30	RSCFD0CFDRMDF3_30	$0000\ 0000_H$	32	$FFD0\ 23D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 30	RSCFD0CFDRMDF4_30	$0000\ 0000_H$	32	$FFD0\ 23DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 31	RSCFD0CFDRMID31	$0000\ 0000_H$	32	$FFD0\ 23E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 31	RSCFD0CFDRMPTR31	$0000\ 0000_H$	32	$FFD0\ 23E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 31	RSCFD0CFDRMFDSTS31	$0000\ 0000_H$	32	$FFD0\ 23E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 31	RSCFD0CFDRMDF0_31	$0000\ 0000_H$	32	$FFD0\ 23EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 31	RSCFD0CFDRMDF1_31	$0000\ 0000_H$	32	$FFD0\ 23F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 31	RSCFD0CFDRMDF2_31	$0000\ 0000_H$	32	$FFD0\ 23F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 31	RSCFD0CFDRMDF3_31	$0000\ 0000_H$	32	$FFD0\ 23F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 31	RSCFD0CFDRMDF4_31	$0000\ 0000_H$	32	$FFD0\ 23FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 32	RSCFD0CFDRMID32	$0000\ 0000_H$	32	$FFD0\ 2400_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 32	RSCFD0CFDRMPTR32	$0000\ 0000_H$	32	$FFD0\ 2404_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 32	RSCFD0CFDRMFDSTS32	$0000\ 0000_H$	32	$FFD0\ 2408_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 32	RSCFD0CFDRMDF0_32	$0000\ 0000_H$	32	$FFD0\ 240C_H$	2	8、16、32

(117/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 32	RSCFD0CFDRMDF1_32	$0000\ 0000_H$	32	$FFD0\ 2410_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 32	RSCFD0CFDRMDF2_32	$0000\ 0000_H$	32	$FFD0\ 2414_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 32	RSCFD0CFDRMDF3_32	$0000\ 0000_H$	32	$FFD0\ 2418_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 32	RSCFD0CFDRMDF4_32	$0000\ 0000_H$	32	$FFD0\ 241C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 33	RSCFD0CFDRMID33	$0000\ 0000_H$	32	$FFD0\ 2420_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 33	RSCFD0CFDRMPTR33	$0000\ 0000_H$	32	$FFD0\ 2424_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 33	RSCFD0CFDRMFDSTS33	$0000\ 0000_H$	32	$FFD0\ 2428_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 33	RSCFD0CFDRMDF0_33	$0000\ 0000_H$	32	$FFD0\ 242C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 33	RSCFD0CFDRMDF1_33	$0000\ 0000_H$	32	$FFD0\ 2430_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 33	RSCFD0CFDRMDF2_33	$0000\ 0000_H$	32	$FFD0\ 2434_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 33	RSCFD0CFDRMDF3_33	$0000\ 0000_H$	32	$FFD0\ 2438_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 33	RSCFD0CFDRMDF4_33	$0000\ 0000_H$	32	$FFD0\ 243C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 34	RSCFD0CFDRMID34	$0000\ 0000_H$	32	$FFD0\ 2440_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 34	RSCFD0CFDRMPTR34	$0000\ 0000_H$	32	$FFD0\ 2444_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 34	RSCFD0CFDRMFDSTS34	$0000\ 0000_H$	32	$FFD0\ 2448_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 34	RSCFD0CFDRMDF0_34	$0000\ 0000_H$	32	$FFD0\ 244C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 34	RSCFD0CFDRMDF1_34	$0000\ 0000_H$	32	$FFD0\ 2450_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 34	RSCFD0CFDRMDF2_34	$0000\ 0000_H$	32	$FFD0\ 2454_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 34	RSCFD0CFDRMDF3_34	$0000\ 0000_H$	32	$FFD0\ 2458_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 34	RSCFD0CFDRMDF4_34	$0000\ 0000_H$	32	$FFD0\ 245C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 35	RSCFD0CFDRMID35	$0000\ 0000_H$	32	$FFD0\ 2460_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 35	RSCFD0CFDRMPTR35	$0000\ 0000_H$	32	$FFD0\ 2464_H$	2	8、16、32

(118/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 35	RSCFD0CFDRMFDSTS35	$0000\ 0000_H$	32	$FFD0\ 2468_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 35	RSCFD0CFDRMDF0_35	$0000\ 0000_H$	32	$FFD0\ 246C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 35	RSCFD0CFDRMDF1_35	$0000\ 0000_H$	32	$FFD0\ 2470_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 35	RSCFD0CFDRMDF2_35	$0000\ 0000_H$	32	$FFD0\ 2474_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 35	RSCFD0CFDRMDF3_35	$0000\ 0000_H$	32	$FFD0\ 2478_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 35	RSCFD0CFDRMDF4_35	$0000\ 0000_H$	32	$FFD0\ 247C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 36	RSCFD0CFDRMID36	$0000\ 0000_H$	32	$FFD0\ 2480_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 36	RSCFD0CFDRMPTR36	$0000\ 0000_H$	32	$FFD0\ 2484_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 36	RSCFD0CFDRMFDSTS36	$0000\ 0000_H$	32	$FFD0\ 2488_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 36	RSCFD0CFDRMDF0_36	$0000\ 0000_H$	32	$FFD0\ 248C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 36	RSCFD0CFDRMDF1_36	$0000\ 0000_H$	32	$FFD0\ 2490_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 36	RSCFD0CFDRMDF2_36	$0000\ 0000_H$	32	$FFD0\ 2494_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 36	RSCFD0CFDRMDF3_36	$0000\ 0000_H$	32	$FFD0\ 2498_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 36	RSCFD0CFDRMDF4_36	$0000\ 0000_H$	32	$FFD0\ 249C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 37	RSCFD0CFDRMID37	$0000\ 0000_H$	32	$FFD0\ 24A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 37	RSCFD0CFDRMPTR37	$0000\ 0000_H$	32	$FFD0\ 24A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 37	RSCFD0CFDRMFDSTS37	$0000\ 0000_H$	32	$FFD0\ 24A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 37	RSCFD0CFDRMDF0_37	$0000\ 0000_H$	32	$FFD0\ 24AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 37	RSCFD0CFDRMDF1_37	$0000\ 0000_H$	32	$FFD0\ 24B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 37	RSCFD0CFDRMDF2_37	$0000\ 0000_H$	32	$FFD0\ 24B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 37	RSCFD0CFDRMDF3_37	$0000\ 0000_H$	32	$FFD0\ 24B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 37	RSCFD0CFDRMDF4_37	$0000\ 0000_H$	32	$FFD0\ 24BC_H$	2	8、16、32

(119/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 38	RSCFD0CFDRMID38	$0000\ 0000_H$	32	$FFD0\ 24C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 38	RSCFD0CFDRMPTR38	$0000\ 0000_H$	32	$FFD0\ 24C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 38	RSCFD0CFDRMFDSTS38	$0000\ 0000_H$	32	$FFD0\ 24C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 38	RSCFD0CFDRMDF0_38	$0000\ 0000_H$	32	$FFD0\ 24CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 38	RSCFD0CFDRMDF1_38	$0000\ 0000_H$	32	$FFD0\ 24D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 38	RSCFD0CFDRMDF2_38	$0000\ 0000_H$	32	$FFD0\ 24D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 38	RSCFD0CFDRMDF3_38	$0000\ 0000_H$	32	$FFD0\ 24D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 38	RSCFD0CFDRMDF4_38	$0000\ 0000_H$	32	$FFD0\ 24DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 39	RSCFD0CFDRMID39	$0000\ 0000_H$	32	$FFD0\ 24E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 39	RSCFD0CFDRMPTR39	$0000\ 0000_H$	32	$FFD0\ 24E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 39	RSCFD0CFDRMFDSTS39	$0000\ 0000_H$	32	$FFD0\ 24E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 39	RSCFD0CFDRMDF0_39	$0000\ 0000_H$	32	$FFD0\ 24EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 39	RSCFD0CFDRMDF1_39	$0000\ 0000_H$	32	$FFD0\ 24F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 39	RSCFD0CFDRMDF2_39	$0000\ 0000_H$	32	$FFD0\ 24F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 39	RSCFD0CFDRMDF3_39	$0000\ 0000_H$	32	$FFD0\ 24F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 39	RSCFD0CFDRMDF4_39	$0000\ 0000_H$	32	$FFD0\ 24FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 40	RSCFD0CFDRMID40	$0000\ 0000_H$	32	$FFD0\ 2500_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 40	RSCFD0CFDRMPTR40	$0000\ 0000_H$	32	$FFD0\ 2504_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 40	RSCFD0CFDRMFDSTS40	$0000\ 0000_H$	32	$FFD0\ 2508_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 40	RSCFD0CFDRMDF0_40	$0000\ 0000_H$	32	$FFD0\ 250C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 40	RSCFD0CFDRMDF1_40	$0000\ 0000_H$	32	$FFD0\ 2510_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 40	RSCFD0CFDRMDF2_40	$0000\ 0000_H$	32	$FFD0\ 2514_H$	2	8、16、32

(120/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 40	RSCFD0CFDRMDF3_40	$0000\ 0000_H$	32	$FFD0\ 2518_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 40	RSCFD0CFDRMDF4_40	$0000\ 0000_H$	32	$FFD0\ 251C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 41	RSCFD0CFDRMID41	$0000\ 0000_H$	32	$FFD0\ 2520_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 41	RSCFD0CFDRMPTR41	$0000\ 0000_H$	32	$FFD0\ 2524_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 41	RSCFD0CFDRMFDSTS41	$0000\ 0000_H$	32	$FFD0\ 2528_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 41	RSCFD0CFDRMDF0_41	$0000\ 0000_H$	32	$FFD0\ 252C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 41	RSCFD0CFDRMDF1_41	$0000\ 0000_H$	32	$FFD0\ 2530_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 41	RSCFD0CFDRMDF2_41	$0000\ 0000_H$	32	$FFD0\ 2534_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 41	RSCFD0CFDRMDF3_41	$0000\ 0000_H$	32	$FFD0\ 2538_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 41	RSCFD0CFDRMDF4_41	$0000\ 0000_H$	32	$FFD0\ 253C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 42	RSCFD0CFDRMID42	$0000\ 0000_H$	32	$FFD0\ 2540_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 42	RSCFD0CFDRMPTR42	$0000\ 0000_H$	32	$FFD0\ 2544_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 42	RSCFD0CFDRMFDSTS42	$0000\ 0000_H$	32	$FFD0\ 2548_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 42	RSCFD0CFDRMDF0_42	$0000\ 0000_H$	32	$FFD0\ 254C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 42	RSCFD0CFDRMDF1_42	$0000\ 0000_H$	32	$FFD0\ 2550_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 42	RSCFD0CFDRMDF2_42	$0000\ 0000_H$	32	$FFD0\ 2554_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 42	RSCFD0CFDRMDF3_42	$0000\ 0000_H$	32	$FFD0\ 2558_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 42	RSCFD0CFDRMDF4_42	$0000\ 0000_H$	32	$FFD0\ 255C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 43	RSCFD0CFDRMID43	$0000\ 0000_H$	32	$FFD0\ 2560_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 43	RSCFD0CFDRMPTR43	$0000\ 0000_H$	32	$FFD0\ 2564_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 43	RSCFD0CFDRMFDSTS43	$0000\ 0000_H$	32	$FFD0\ 2568_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 43	RSCFD0CFDRMDF0_43	$0000\ 0000_H$	32	$FFD0\ 256C_H$	2	8、16、32

(121/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 43	RSCFD0CFDRMDF1_43	$0000\ 0000_H$	32	$FFD0\ 2570_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 43	RSCFD0CFDRMDF2_43	$0000\ 0000_H$	32	$FFD0\ 2574_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 43	RSCFD0CFDRMDF3_43	$0000\ 0000_H$	32	$FFD0\ 2578_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 43	RSCFD0CFDRMDF4_43	$0000\ 0000_H$	32	$FFD0\ 257C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 44	RSCFD0CFDRMID44	$0000\ 0000_H$	32	$FFD0\ 2580_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 44	RSCFD0CFDRMPTR44	$0000\ 0000_H$	32	$FFD0\ 2584_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 44	RSCFD0CFDRMFDSTS44	$0000\ 0000_H$	32	$FFD0\ 2588_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 44	RSCFD0CFDRMDF0_44	$0000\ 0000_H$	32	$FFD0\ 258C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 44	RSCFD0CFDRMDF1_44	$0000\ 0000_H$	32	$FFD0\ 2590_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 44	RSCFD0CFDRMDF2_44	$0000\ 0000_H$	32	$FFD0\ 2594_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 44	RSCFD0CFDRMDF3_44	$0000\ 0000_H$	32	$FFD0\ 2598_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 44	RSCFD0CFDRMDF4_44	$0000\ 0000_H$	32	$FFD0\ 259C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 45	RSCFD0CFDRMID45	$0000\ 0000_H$	32	$FFD0\ 25A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 45	RSCFD0CFDRMPTR45	$0000\ 0000_H$	32	$FFD0\ 25A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 45	RSCFD0CFDRMFDSTS45	$0000\ 0000_H$	32	$FFD0\ 25A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 45	RSCFD0CFDRMDF0_45	$0000\ 0000_H$	32	$FFD0\ 25AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 45	RSCFD0CFDRMDF1_45	$0000\ 0000_H$	32	$FFD0\ 25B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 45	RSCFD0CFDRMDF2_45	$0000\ 0000_H$	32	$FFD0\ 25B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 45	RSCFD0CFDRMDF3_45	$0000\ 0000_H$	32	$FFD0\ 25B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 45	RSCFD0CFDRMDF4_45	$0000\ 0000_H$	32	$FFD0\ 25BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 46	RSCFD0CFDRMID46	$0000\ 0000_H$	32	$FFD0\ 25C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 46	RSCFD0CFDRMPTR46	$0000\ 0000_H$	32	$FFD0\ 25C4_H$	2	8、16、32

(122/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 46	RSCFD0CFDRMFDSTS46	$0000\ 0000_H$	32	$FFD0\ 25C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 46	RSCFD0CFDRMDF0_46	$0000\ 0000_H$	32	$FFD0\ 25CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 46	RSCFD0CFDRMDF1_46	$0000\ 0000_H$	32	$FFD0\ 25D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 46	RSCFD0CFDRMDF2_46	$0000\ 0000_H$	32	$FFD0\ 25D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 46	RSCFD0CFDRMDF3_46	$0000\ 0000_H$	32	$FFD0\ 25D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 46	RSCFD0CFDRMDF4_46	$0000\ 0000_H$	32	$FFD0\ 25DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 47	RSCFD0CFDRMID47	$0000\ 0000_H$	32	$FFD0\ 25E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 47	RSCFD0CFDRMPTR47	$0000\ 0000_H$	32	$FFD0\ 25E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 47	RSCFD0CFDRMFDSTS47	$0000\ 0000_H$	32	$FFD0\ 25E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 47	RSCFD0CFDRMDF0_47	$0000\ 0000_H$	32	$FFD0\ 25EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 47	RSCFD0CFDRMDF1_47	$0000\ 0000_H$	32	$FFD0\ 25F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 47	RSCFD0CFDRMDF2_47	$0000\ 0000_H$	32	$FFD0\ 25F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 47	RSCFD0CFDRMDF3_47	$0000\ 0000_H$	32	$FFD0\ 25F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 47	RSCFD0CFDRMDF4_47	$0000\ 0000_H$	32	$FFD0\ 25FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 48	RSCFD0CFDRMID48	$0000\ 0000_H$	32	$FFD0\ 2600_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 48	RSCFD0CFDRMPTR48	$0000\ 0000_H$	32	$FFD0\ 2604_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 48	RSCFD0CFDRMFDSTS48	$0000\ 0000_H$	32	$FFD0\ 2608_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 48	RSCFD0CFDRMDF0_48	$0000\ 0000_H$	32	$FFD0\ 260C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 48	RSCFD0CFDRMDF1_48	$0000\ 0000_H$	32	$FFD0\ 2610_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 48	RSCFD0CFDRMDF2_48	$0000\ 0000_H$	32	$FFD0\ 2614_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 48	RSCFD0CFDRMDF3_48	$0000\ 0000_H$	32	$FFD0\ 2618_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 48	RSCFD0CFDRMDF4_48	$0000\ 0000_H$	32	$FFD0\ 261C_H$	2	8、16、32

(123/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 49	RSCFD0CFDRMID49	$0000\ 0000_H$	32	$FFD0\ 2620_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 49	RSCFD0CFDRMPTR49	$0000\ 0000_H$	32	$FFD0\ 2624_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 49	RSCFD0CFDRMFDSTS49	$0000\ 0000_H$	32	$FFD0\ 2628_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 49	RSCFD0CFDRMDF0_49	$0000\ 0000_H$	32	$FFD0\ 262C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 49	RSCFD0CFDRMDF1_49	$0000\ 0000_H$	32	$FFD0\ 2630_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 49	RSCFD0CFDRMDF2_49	$0000\ 0000_H$	32	$FFD0\ 2634_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 49	RSCFD0CFDRMDF3_49	$0000\ 0000_H$	32	$FFD0\ 2638_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 49	RSCFD0CFDRMDF4_49	$0000\ 0000_H$	32	$FFD0\ 263C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 50	RSCFD0CFDRMID50	$0000\ 0000_H$	32	$FFD0\ 2640_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 50	RSCFD0CFDRMPTR50	$0000\ 0000_H$	32	$FFD0\ 2644_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 50	RSCFD0CFDRMFDSTS50	$0000\ 0000_H$	32	$FFD0\ 2648_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 50	RSCFD0CFDRMDF0_50	$0000\ 0000_H$	32	$FFD0\ 264C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 50	RSCFD0CFDRMDF1_50	$0000\ 0000_H$	32	$FFD0\ 2650_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 50	RSCFD0CFDRMDF2_50	$0000\ 0000_H$	32	$FFD0\ 2654_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 50	RSCFD0CFDRMDF3_50	$0000\ 0000_H$	32	$FFD0\ 2658_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 50	RSCFD0CFDRMDF4_50	$0000\ 0000_H$	32	$FFD0\ 265C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 51	RSCFD0CFDRMID51	$0000\ 0000_H$	32	$FFD0\ 2660_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 51	RSCFD0CFDRMPTR51	$0000\ 0000_H$	32	$FFD0\ 2664_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 51	RSCFD0CFDRMFDSTS51	$0000\ 0000_H$	32	$FFD0\ 2668_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 51	RSCFD0CFDRMDF0_51	$0000\ 0000_H$	32	$FFD0\ 266C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 51	RSCFD0CFDRMDF1_51	$0000\ 0000_H$	32	$FFD0\ 2670_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 51	RSCFD0CFDRMDF2_51	$0000\ 0000_H$	32	$FFD0\ 2674_H$	2	8、16、32

(124/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 51	RSCFD0CFDRMDF3_51	$0000\ 0000_H$	32	$FFD0\ 2678_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 51	RSCFD0CFDRMDF4_51	$0000\ 0000_H$	32	$FFD0\ 267C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 52	RSCFD0CFDRMID52	$0000\ 0000_H$	32	$FFD0\ 2680_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 52	RSCFD0CFDRMPTR52	$0000\ 0000_H$	32	$FFD0\ 2684_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 52	RSCFD0CFDRMFDSTS52	$0000\ 0000_H$	32	$FFD0\ 2688_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 52	RSCFD0CFDRMDF0_52	$0000\ 0000_H$	32	$FFD0\ 268C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 52	RSCFD0CFDRMDF1_52	$0000\ 0000_H$	32	$FFD0\ 2690_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 52	RSCFD0CFDRMDF2_52	$0000\ 0000_H$	32	$FFD0\ 2694_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 52	RSCFD0CFDRMDF3_52	$0000\ 0000_H$	32	$FFD0\ 2698_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 52	RSCFD0CFDRMDF4_52	$0000\ 0000_H$	32	$FFD0\ 269C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 53	RSCFD0CFDRMID53	$0000\ 0000_H$	32	$FFD0\ 26A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 53	RSCFD0CFDRMPTR53	$0000\ 0000_H$	32	$FFD0\ 26A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 53	RSCFD0CFDRMFDSTS53	$0000\ 0000_H$	32	$FFD0\ 26A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 53	RSCFD0CFDRMDF0_53	$0000\ 0000_H$	32	$FFD0\ 26AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 53	RSCFD0CFDRMDF1_53	$0000\ 0000_H$	32	$FFD0\ 26B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 53	RSCFD0CFDRMDF2_53	$0000\ 0000_H$	32	$FFD0\ 26B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 53	RSCFD0CFDRMDF3_53	$0000\ 0000_H$	32	$FFD0\ 26B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 53	RSCFD0CFDRMDF4_53	$0000\ 0000_H$	32	$FFD0\ 26BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 54	RSCFD0CFDRMID54	$0000\ 0000_H$	32	$FFD0\ 26C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 54	RSCFD0CFDRMPTR54	$0000\ 0000_H$	32	$FFD0\ 26C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 54	RSCFD0CFDRMFDSTS54	$0000\ 0000_H$	32	$FFD0\ 26C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 54	RSCFD0CFDRMDF0_54	$0000\ 0000_H$	32	$FFD0\ 26CC_H$	2	8、16、32

(125/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 54	RSCFD0CFDRMDF1_54	$0000\ 0000_H$	32	$FFD0\ 26D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 54	RSCFD0CFDRMDF2_54	$0000\ 0000_H$	32	$FFD0\ 26D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 54	RSCFD0CFDRMDF3_54	$0000\ 0000_H$	32	$FFD0\ 26D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 54	RSCFD0CFDRMDF4_54	$0000\ 0000_H$	32	$FFD0\ 26DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 55	RSCFD0CFDRMID55	$0000\ 0000_H$	32	$FFD0\ 26E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 55	RSCFD0CFDRMPTR55	$0000\ 0000_H$	32	$FFD0\ 26E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 55	RSCFD0CFDRMFDSTS55	$0000\ 0000_H$	32	$FFD0\ 26E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 55	RSCFD0CFDRMDF0_55	$0000\ 0000_H$	32	$FFD0\ 26EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 55	RSCFD0CFDRMDF1_55	$0000\ 0000_H$	32	$FFD0\ 26F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 55	RSCFD0CFDRMDF2_55	$0000\ 0000_H$	32	$FFD0\ 26F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 55	RSCFD0CFDRMDF3_55	$0000\ 0000_H$	32	$FFD0\ 26F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 55	RSCFD0CFDRMDF4_55	$0000\ 0000_H$	32	$FFD0\ 26FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 56	RSCFD0CFDRMID56	$0000\ 0000_H$	32	$FFD0\ 2700_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 56	RSCFD0CFDRMPTR56	$0000\ 0000_H$	32	$FFD0\ 2704_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 56	RSCFD0CFDRMFDSTS56	$0000\ 0000_H$	32	$FFD0\ 2708_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 56	RSCFD0CFDRMDF0_56	$0000\ 0000_H$	32	$FFD0\ 270C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 56	RSCFD0CFDRMDF1_56	$0000\ 0000_H$	32	$FFD0\ 2710_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 56	RSCFD0CFDRMDF2_56	$0000\ 0000_H$	32	$FFD0\ 2714_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 56	RSCFD0CFDRMDF3_56	$0000\ 0000_H$	32	$FFD0\ 2718_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 56	RSCFD0CFDRMDF4_56	$0000\ 0000_H$	32	$FFD0\ 271C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 57	RSCFD0CFDRMID57	$0000\ 0000_H$	32	$FFD0\ 2720_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 57	RSCFD0CFDRMPTR57	$0000\ 0000_H$	32	$FFD0\ 2724_H$	2	8、16、32

(126/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 57	RSCFD0CFDRMFDSTS57	$0000\ 0000_H$	32	$FFD0\ 2728_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 57	RSCFD0CFDRMDF0_57	$0000\ 0000_H$	32	$FFD0\ 272C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 57	RSCFD0CFDRMDF1_57	$0000\ 0000_H$	32	$FFD0\ 2730_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 57	RSCFD0CFDRMDF2_57	$0000\ 0000_H$	32	$FFD0\ 2734_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 57	RSCFD0CFDRMDF3_57	$0000\ 0000_H$	32	$FFD0\ 2738_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 57	RSCFD0CFDRMDF4_57	$0000\ 0000_H$	32	$FFD0\ 273C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 58	RSCFD0CFDRMID58	$0000\ 0000_H$	32	$FFD0\ 2740_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 58	RSCFD0CFDRMPTR58	$0000\ 0000_H$	32	$FFD0\ 2744_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 58	RSCFD0CFDRMFDSTS58	$0000\ 0000_H$	32	$FFD0\ 2748_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 58	RSCFD0CFDRMDF0_58	$0000\ 0000_H$	32	$FFD0\ 274C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 58	RSCFD0CFDRMDF1_58	$0000\ 0000_H$	32	$FFD0\ 2750_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 58	RSCFD0CFDRMDF2_58	$0000\ 0000_H$	32	$FFD0\ 2754_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 58	RSCFD0CFDRMDF3_58	$0000\ 0000_H$	32	$FFD0\ 2758_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 58	RSCFD0CFDRMDF4_58	$0000\ 0000_H$	32	$FFD0\ 275C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 59	RSCFD0CFDRMID59	$0000\ 0000_H$	32	$FFD0\ 2760_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 59	RSCFD0CFDRMPTR59	$0000\ 0000_H$	32	$FFD0\ 2764_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 59	RSCFD0CFDRMFDSTS59	$0000\ 0000_H$	32	$FFD0\ 2768_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 59	RSCFD0CFDRMDF0_59	$0000\ 0000_H$	32	$FFD0\ 276C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 59	RSCFD0CFDRMDF1_59	$0000\ 0000_H$	32	$FFD0\ 2770_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 59	RSCFD0CFDRMDF2_59	$0000\ 0000_H$	32	$FFD0\ 2774_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 59	RSCFD0CFDRMDF3_59	$0000\ 0000_H$	32	$FFD0\ 2778_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 59	RSCFD0CFDRMDF4_59	$0000\ 0000_H$	32	$FFD0\ 277C_H$	2	8、16、32

(127/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 60	RSCFD0CFDRMID60	$0000\ 0000_H$	32	$FFD0\ 2780_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 60	RSCFD0CFDRMPTR60	$0000\ 0000_H$	32	$FFD0\ 2784_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 60	RSCFD0CFDRMFDSTS60	$0000\ 0000_H$	32	$FFD0\ 2788_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 60	RSCFD0CFDRMDF0_60	$0000\ 0000_H$	32	$FFD0\ 278C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 60	RSCFD0CFDRMDF1_60	$0000\ 0000_H$	32	$FFD0\ 2790_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 60	RSCFD0CFDRMDF2_60	$0000\ 0000_H$	32	$FFD0\ 2794_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 60	RSCFD0CFDRMDF3_60	$0000\ 0000_H$	32	$FFD0\ 2798_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 60	RSCFD0CFDRMDF4_60	$0000\ 0000_H$	32	$FFD0\ 279C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 61	RSCFD0CFDRMID61	$0000\ 0000_H$	32	$FFD0\ 27A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 61	RSCFD0CFDRMPTR61	$0000\ 0000_H$	32	$FFD0\ 27A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 61	RSCFD0CFDRMFDSTS61	$0000\ 0000_H$	32	$FFD0\ 27A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 61	RSCFD0CFDRMDF0_61	$0000\ 0000_H$	32	$FFD0\ 27AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 61	RSCFD0CFDRMDF1_61	$0000\ 0000_H$	32	$FFD0\ 27B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 61	RSCFD0CFDRMDF2_61	$0000\ 0000_H$	32	$FFD0\ 27B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 61	RSCFD0CFDRMDF3_61	$0000\ 0000_H$	32	$FFD0\ 27B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 61	RSCFD0CFDRMDF4_61	$0000\ 0000_H$	32	$FFD0\ 27BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 62	RSCFD0CFDRMID62	$0000\ 0000_H$	32	$FFD0\ 27C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 62	RSCFD0CFDRMPTR62	$0000\ 0000_H$	32	$FFD0\ 27C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 62	RSCFD0CFDRMFDSTS62	$0000\ 0000_H$	32	$FFD0\ 27C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 62	RSCFD0CFDRMDF0_62	$0000\ 0000_H$	32	$FFD0\ 27CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 62	RSCFD0CFDRMDF1_62	$0000\ 0000_H$	32	$FFD0\ 27D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 62	RSCFD0CFDRMDF2_62	$0000\ 0000_H$	32	$FFD0\ 27D4_H$	2	8、16、32

(128/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 62	RSCFD0CFDRMDF3_62	$0000\ 0000_H$	32	$FFD0\ 27D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 62	RSCFD0CFDRMDF4_62	$0000\ 0000_H$	32	$FFD0\ 27DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ ID レジスタ 63	RSCFD0CFDRMID63	$0000\ 0000_H$	32	$FFD0\ 27E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファポインタレジスタ 63	RSCFD0CFDRMPTR63	$0000\ 0000_H$	32	$FFD0\ 27E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファ CAN FD ステータスレジスタ 63	RSCFD0CFDRMFDSTS63	$0000\ 0000_H$	32	$FFD0\ 27E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 0 レジスタ 63	RSCFD0CFDRMDF0_63	$0000\ 0000_H$	32	$FFD0\ 27EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 1 レジスタ 63	RSCFD0CFDRMDF1_63	$0000\ 0000_H$	32	$FFD0\ 27F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 2 レジスタ 63	RSCFD0CFDRMDF2_63	$0000\ 0000_H$	32	$FFD0\ 27F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 3 レジスタ 63	RSCFD0CFDRMDF3_63	$0000\ 0000_H$	32	$FFD0\ 27F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信バッファデータフィールド 4 レジスタ 63	RSCFD0CFDRMDF4_63	$0000\ 0000_H$	32	$FFD0\ 27FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス ID レジスタ 0	RSCFD0CFDRFID0	$0000\ 0000_H$	32	$FFD0\ 3000_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスポインタレジスタ 0	RSCFD0CFDRFPTR0	$0000\ 0000_H$	32	$FFD0\ 3004_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス CAN FD ステータスレジスタ 0	RSCFD0CFDRFFDSTS0	$0000\ 0000_H$	32	$FFD0\ 3008_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0	RSCFD0CFDRFDF0_0	$0000\ 0000_H$	32	$FFD0\ 300C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0	RSCFD0CFDRFDF1_0	$0000\ 0000_H$	32	$FFD0\ 3010_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 2 レジスタ 0	RSCFD0CFDRFDF2_0	$0000\ 0000_H$	32	$FFD0\ 3014_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 3 レジスタ 0	RSCFD0CFDRFDF3_0	$0000\ 0000_H$	32	$FFD0\ 3018_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 4 レジスタ 0	RSCFD0CFDRFDF4_0	$0000\ 0000_H$	32	$FFD0\ 301C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 5 レジスタ 0	RSCFD0CFDRFDF5_0	$0000\ 0000_H$	32	$FFD0\ 3020_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 6 レジスタ 0	RSCFD0CFDRFDF6_0	$0000\ 0000_H$	32	$FFD0\ 3024_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 7 レジスタ 0	RSCFD0CFDRFDF7_0	$0000\ 0000_H$	32	$FFD0\ 3028_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 8 レジスタ 0	RSCFD0CFDRFDF8_0	$0000\ 0000_H$	32	$FFD0\ 302C_H$	2	8、16、32

(129/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 9 レジスタ 0	RSCFD0CFDRFDF9_0	$0000\ 0000_H$	32	$FFD0\ 3030_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 10 レジスタ 0	RSCFD0CFDRFDF10_0	$0000\ 0000_H$	32	$FFD0\ 3034_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 11 レジスタ 0	RSCFD0CFDRFDF11_0	$0000\ 0000_H$	32	$FFD0\ 3038_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 12 レジスタ 0	RSCFD0CFDRFDF12_0	$0000\ 0000_H$	32	$FFD0\ 303C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 13 レジスタ 0	RSCFD0CFDRFDF13_0	$0000\ 0000_H$	32	$FFD0\ 3040_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 14 レジスタ 0	RSCFD0CFDRFDF14_0	$0000\ 0000_H$	32	$FFD0\ 3044_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 15 レジスタ 0	RSCFD0CFDRFDF15_0	$0000\ 0000_H$	32	$FFD0\ 3048_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス ID レジスタ 1	RSCFD0CFDRFID1	$0000\ 0000_H$	32	$FFD0\ 3080_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスポインタレジスタ 1	RSCFD0CFDRFPTR1	$0000\ 0000_H$	32	$FFD0\ 3084_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス CAN FD ステータスレジスタ 1	RSCFD0CFDRFFDSTS1	$0000\ 0000_H$	32	$FFD0\ 3088_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1	RSCFD0CFDRFDF0_1	$0000\ 0000_H$	32	$FFD0\ 308C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1	RSCFD0CFDRFDF1_1	$0000\ 0000_H$	32	$FFD0\ 3090_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 2 レジスタ 1	RSCFD0CFDRFDF2_1	$0000\ 0000_H$	32	$FFD0\ 3094_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 3 レジスタ 1	RSCFD0CFDRFDF3_1	$0000\ 0000_H$	32	$FFD0\ 3098_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 4 レジスタ 1	RSCFD0CFDRFDF4_1	$0000\ 0000_H$	32	$FFD0\ 309C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 5 レジスタ 1	RSCFD0CFDRFDF5_1	$0000\ 0000_H$	32	$FFD0\ 30A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 6 レジスタ 1	RSCFD0CFDRFDF6_1	$0000\ 0000_H$	32	$FFD0\ 30A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 7 レジスタ 1	RSCFD0CFDRFDF7_1	$0000\ 0000_H$	32	$FFD0\ 30A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 8 レジスタ 1	RSCFD0CFDRFDF8_1	$0000\ 0000_H$	32	$FFD0\ 30AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 9 レジスタ 1	RSCFD0CFDRFDF9_1	$0000\ 0000_H$	32	$FFD0\ 30B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 10 レジスタ 1	RSCFD0CFDRFDF10_1	$0000\ 0000_H$	32	$FFD0\ 30B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 11 レジスタ 1	RSCFD0CFDRFDF11_1	$0000\ 0000_H$	32	$FFD0\ 30B8_H$	2	8、16、32

(130/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 12 レジスタ 1	RSCFD0CFDRFDF12_1	$0000\ 0000_H$	32	$FFD0\ 30BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 13 レジスタ 1	RSCFD0CFDRFDF13_1	$0000\ 0000_H$	32	$FFD0\ 30C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 14 レジスタ 1	RSCFD0CFDRFDF14_1	$0000\ 0000_H$	32	$FFD0\ 30C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 15 レジスタ 1	RSCFD0CFDRFDF15_1	$0000\ 0000_H$	32	$FFD0\ 30C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス ID レジスタ 2	RSCFD0CFDRFID2	$0000\ 0000_H$	32	$FFD0\ 3100_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスポインタレジスタ 2	RSCFD0CFDRFPTR2	$0000\ 0000_H$	32	$FFD0\ 3104_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス CAN FD ステータスレジスタ 2	RSCFD0CFDRFFDSTS2	$0000\ 0000_H$	32	$FFD0\ 3108_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2	RSCFD0CFDRFDF0_2	$0000\ 0000_H$	32	$FFD0\ 310C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2	RSCFD0CFDRFDF1_2	$0000\ 0000_H$	32	$FFD0\ 3110_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 2 レジスタ 2	RSCFD0CFDRFDF2_2	$0000\ 0000_H$	32	$FFD0\ 3114_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 3 レジスタ 2	RSCFD0CFDRFDF3_2	$0000\ 0000_H$	32	$FFD0\ 3118_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 4 レジスタ 2	RSCFD0CFDRFDF4_2	$0000\ 0000_H$	32	$FFD0\ 311C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 5 レジスタ 2	RSCFD0CFDRFDF5_2	$0000\ 0000_H$	32	$FFD0\ 3120_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 6 レジスタ 2	RSCFD0CFDRFDF6_2	$0000\ 0000_H$	32	$FFD0\ 3124_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 7 レジスタ 2	RSCFD0CFDRFDF7_2	$0000\ 0000_H$	32	$FFD0\ 3128_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 8 レジスタ 2	RSCFD0CFDRFDF8_2	$0000\ 0000_H$	32	$FFD0\ 312C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 9 レジスタ 2	RSCFD0CFDRFDF9_2	$0000\ 0000_H$	32	$FFD0\ 3130_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 10 レジスタ 2	RSCFD0CFDRFDF10_2	$0000\ 0000_H$	32	$FFD0\ 3134_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 11 レジスタ 2	RSCFD0CFDRFDF11_2	$0000\ 0000_H$	32	$FFD0\ 3138_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 12 レジスタ 2	RSCFD0CFDRFDF12_2	$0000\ 0000_H$	32	$FFD0\ 313C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 13 レジスタ 2	RSCFD0CFDRFDF13_2	$0000\ 0000_H$	32	$FFD0\ 3140_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 14 レジスタ 2	RSCFD0CFDRFDF14_2	$0000\ 0000_H$	32	$FFD0\ 3144_H$	2	8、16、32

(131/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 15 レジスタ 2	RSCFD0CFDRFDF15_2	$0000\ 0000_H$	32	$FFD0\ 3148_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス ID レジスタ 3	RSCFD0CFDRFID3	$0000\ 0000_H$	32	$FFD0\ 3180_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスポインタレジスタ 3	RSCFD0CFDRFPTR3	$0000\ 0000_H$	32	$FFD0\ 3184_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス CAN FD ステータスレジスタ 3	RSCFD0CFDRFFDSTS3	$0000\ 0000_H$	32	$FFD0\ 3188_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3	RSCFD0CFDRFDF0_3	$0000\ 0000_H$	32	$FFD0\ 318C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3	RSCFD0CFDRFDF1_3	$0000\ 0000_H$	32	$FFD0\ 3190_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 2 レジスタ 3	RSCFD0CFDRFDF2_3	$0000\ 0000_H$	32	$FFD0\ 3194_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 3 レジスタ 3	RSCFD0CFDRFDF3_3	$0000\ 0000_H$	32	$FFD0\ 3198_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 4 レジスタ 3	RSCFD0CFDRFDF4_3	$0000\ 0000_H$	32	$FFD0\ 319C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 5 レジスタ 3	RSCFD0CFDRFDF5_3	$0000\ 0000_H$	32	$FFD0\ 31A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 6 レジスタ 3	RSCFD0CFDRFDF6_3	$0000\ 0000_H$	32	$FFD0\ 31A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 7 レジスタ 3	RSCFD0CFDRFDF7_3	$0000\ 0000_H$	32	$FFD0\ 31A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 8 レジスタ 3	RSCFD0CFDRFDF8_3	$0000\ 0000_H$	32	$FFD0\ 31AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 9 レジスタ 3	RSCFD0CFDRFDF9_3	$0000\ 0000_H$	32	$FFD0\ 31B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 10 レジスタ 3	RSCFD0CFDRFDF10_3	$0000\ 0000_H$	32	$FFD0\ 31B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 11 レジスタ 3	RSCFD0CFDRFDF11_3	$0000\ 0000_H$	32	$FFD0\ 31B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 12 レジスタ 3	RSCFD0CFDRFDF12_3	$0000\ 0000_H$	32	$FFD0\ 31BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 13 レジスタ 3	RSCFD0CFDRFDF13_3	$0000\ 0000_H$	32	$FFD0\ 31C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 14 レジスタ 3	RSCFD0CFDRFDF14_3	$0000\ 0000_H$	32	$FFD0\ 31C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 15 レジスタ 3	RSCFD0CFDRFDF15_3	$0000\ 0000_H$	32	$FFD0\ 31C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス ID レジスタ 4	RSCFD0CFDRFID4	$0000\ 0000_H$	32	$FFD0\ 3200_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスポインタレジスタ 4	RSCFD0CFDRFPTR4	$0000\ 0000_H$	32	$FFD0\ 3204_H$	2	8、16、32

(132/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス CAN FD ステータスレジスタ 4	RSCFD0CFDRFFDSTS4	$0000\ 0000_H$	32	$FFD0\ 3208_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4	RSCFD0CFDRFDF0_4	$0000\ 0000_H$	32	$FFD0\ 320C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4	RSCFD0CFDRFDF1_4	$0000\ 0000_H$	32	$FFD0\ 3210_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 2 レジスタ 4	RSCFD0CFDRFDF2_4	$0000\ 0000_H$	32	$FFD0\ 3214_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 3 レジスタ 4	RSCFD0CFDRFDF3_4	$0000\ 0000_H$	32	$FFD0\ 3218_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 4 レジスタ 4	RSCFD0CFDRFDF4_4	$0000\ 0000_H$	32	$FFD0\ 321C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 5 レジスタ 4	RSCFD0CFDRFDF5_4	$0000\ 0000_H$	32	$FFD0\ 3220_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 6 レジスタ 4	RSCFD0CFDRFDF6_4	$0000\ 0000_H$	32	$FFD0\ 3224_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 7 レジスタ 4	RSCFD0CFDRFDF7_4	$0000\ 0000_H$	32	$FFD0\ 3228_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 8 レジスタ 4	RSCFD0CFDRFDF8_4	$0000\ 0000_H$	32	$FFD0\ 322C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 9 レジスタ 4	RSCFD0CFDRFDF9_4	$0000\ 0000_H$	32	$FFD0\ 3230_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 10 レジスタ 4	RSCFD0CFDRFDF10_4	$0000\ 0000_H$	32	$FFD0\ 3234_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 11 レジスタ 4	RSCFD0CFDRFDF11_4	$0000\ 0000_H$	32	$FFD0\ 3238_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 12 レジスタ 4	RSCFD0CFDRFDF12_4	$0000\ 0000_H$	32	$FFD0\ 323C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 13 レジスタ 4	RSCFD0CFDRFDF13_4	$0000\ 0000_H$	32	$FFD0\ 3240_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 14 レジスタ 4	RSCFD0CFDRFDF14_4	$0000\ 0000_H$	32	$FFD0\ 3244_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 15 レジスタ 4	RSCFD0CFDRFDF15_4	$0000\ 0000_H$	32	$FFD0\ 3248_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス ID レジスタ 5	RSCFD0CFDRFID5	$0000\ 0000_H$	32	$FFD0\ 3280_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスポインタレジスタ 5	RSCFD0CFDRFPTR5	$0000\ 0000_H$	32	$FFD0\ 3284_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス CAN FD ステータスレジスタ 5	RSCFD0CFDRFFDSTS5	$0000\ 0000_H$	32	$FFD0\ 3288_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5	RSCFD0CFDRFDF0_5	$0000\ 0000_H$	32	$FFD0\ 328C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5	RSCFD0CFDRFDF1_5	$0000\ 0000_H$	32	$FFD0\ 3290_H$	2	8、16、32

(133/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 2 レジスタ 5	RSCFD0CFDRFDF2_5	$0000\ 0000_H$	32	$FFD0\ 3294_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 3 レジスタ 5	RSCFD0CFDRFDF3_5	$0000\ 0000_H$	32	$FFD0\ 3298_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 4 レジスタ 5	RSCFD0CFDRFDF4_5	$0000\ 0000_H$	32	$FFD0\ 329C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 5 レジスタ 5	RSCFD0CFDRFDF5_5	$0000\ 0000_H$	32	$FFD0\ 32A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 6 レジスタ 5	RSCFD0CFDRFDF6_5	$0000\ 0000_H$	32	$FFD0\ 32A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 7 レジスタ 5	RSCFD0CFDRFDF7_5	$0000\ 0000_H$	32	$FFD0\ 32A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 8 レジスタ 5	RSCFD0CFDRFDF8_5	$0000\ 0000_H$	32	$FFD0\ 32AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 9 レジスタ 5	RSCFD0CFDRFDF9_5	$0000\ 0000_H$	32	$FFD0\ 32B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 10 レジスタ 5	RSCFD0CFDRFDF10_5	$0000\ 0000_H$	32	$FFD0\ 32B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 11 レジスタ 5	RSCFD0CFDRFDF11_5	$0000\ 0000_H$	32	$FFD0\ 32B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 12 レジスタ 5	RSCFD0CFDRFDF12_5	$0000\ 0000_H$	32	$FFD0\ 32BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 13 レジスタ 5	RSCFD0CFDRFDF13_5	$0000\ 0000_H$	32	$FFD0\ 32C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 14 レジスタ 5	RSCFD0CFDRFDF14_5	$0000\ 0000_H$	32	$FFD0\ 32C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 15 レジスタ 5	RSCFD0CFDRFDF15_5	$0000\ 0000_H$	32	$FFD0\ 32C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス ID レジスタ 6	RSCFD0CFDRFID6	$0000\ 0000_H$	32	$FFD0\ 3300_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスポインタレジスタ 6	RSCFD0CFDRFPTR6	$0000\ 0000_H$	32	$FFD0\ 3304_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス CAN FD ステータスレジスタ 6	RSCFD0CFDRFFDSTS6	$0000\ 0000_H$	32	$FFD0\ 3308_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6	RSCFD0CFDRFDF0_6	$0000\ 0000_H$	32	$FFD0\ 330C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6	RSCFD0CFDRFDF1_6	$0000\ 0000_H$	32	$FFD0\ 3310_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 2 レジスタ 6	RSCFD0CFDRFDF2_6	$0000\ 0000_H$	32	$FFD0\ 3314_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 3 レジスタ 6	RSCFD0CFDRFDF3_6	$0000\ 0000_H$	32	$FFD0\ 3318_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 4 レジスタ 6	RSCFD0CFDRFDF4_6	$0000\ 0000_H$	32	$FFD0\ 331C_H$	2	8、16、32

(134/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 5 レジスタ 6	RSCFD0CFDRFDF5_6	$0000\ 0000_H$	32	$FFD0\ 3320_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 6 レジスタ 6	RSCFD0CFDRFDF6_6	$0000\ 0000_H$	32	$FFD0\ 3324_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 7 レジスタ 6	RSCFD0CFDRFDF7_6	$0000\ 0000_H$	32	$FFD0\ 3328_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 8 レジスタ 6	RSCFD0CFDRFDF8_6	$0000\ 0000_H$	32	$FFD0\ 332C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 9 レジスタ 6	RSCFD0CFDRFDF9_6	$0000\ 0000_H$	32	$FFD0\ 3330_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 10 レジスタ 6	RSCFD0CFDRFDF10_6	$0000\ 0000_H$	32	$FFD0\ 3334_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 11 レジスタ 6	RSCFD0CFDRFDF11_6	$0000\ 0000_H$	32	$FFD0\ 3338_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 12 レジスタ 6	RSCFD0CFDRFDF12_6	$0000\ 0000_H$	32	$FFD0\ 333C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 13 レジスタ 6	RSCFD0CFDRFDF13_6	$0000\ 0000_H$	32	$FFD0\ 3340_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 14 レジスタ 6	RSCFD0CFDRFDF14_6	$0000\ 0000_H$	32	$FFD0\ 3344_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 15 レジスタ 6	RSCFD0CFDRFDF15_6	$0000\ 0000_H$	32	$FFD0\ 3348_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス ID レジスタ 7	RSCFD0CFDRFID7	$0000\ 0000_H$	32	$FFD0\ 3380_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスポインタレジスタ 7	RSCFD0CFDRFPTR7	$0000\ 0000_H$	32	$FFD0\ 3384_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセス CAN FD ステータスレジスタ 7	RSCFD0CFDRFFDSTS7	$0000\ 0000_H$	32	$FFD0\ 3388_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7	RSCFD0CFDRFDF0_7	$0000\ 0000_H$	32	$FFD0\ 338C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7	RSCFD0CFDRFDF1_7	$0000\ 0000_H$	32	$FFD0\ 3390_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 2 レジスタ 7	RSCFD0CFDRFDF2_7	$0000\ 0000_H$	32	$FFD0\ 3394_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 3 レジスタ 7	RSCFD0CFDRFDF3_7	$0000\ 0000_H$	32	$FFD0\ 3398_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 4 レジスタ 7	RSCFD0CFDRFDF4_7	$0000\ 0000_H$	32	$FFD0\ 339C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 5 レジスタ 7	RSCFD0CFDRFDF5_7	$0000\ 0000_H$	32	$FFD0\ 33A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 6 レジスタ 7	RSCFD0CFDRFDF6_7	$0000\ 0000_H$	32	$FFD0\ 33A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 7 レジスタ 7	RSCFD0CFDRFDF7_7	$0000\ 0000_H$	32	$FFD0\ 33A8_H$	2	8、16、32

(135/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 8 レジスタ 7	RSCFD0CFDRFDF8_7	$0000\ 0000_H$	32	$FFD0\ 33AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 9 レジスタ 7	RSCFD0CFDRFDF9_7	$0000\ 0000_H$	32	$FFD0\ 33B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 10 レジスタ 7	RSCFD0CFDRFDF10_7	$0000\ 0000_H$	32	$FFD0\ 33B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 11 レジスタ 7	RSCFD0CFDRFDF11_7	$0000\ 0000_H$	32	$FFD0\ 33B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 12 レジスタ 7	RSCFD0CFDRFDF12_7	$0000\ 0000_H$	32	$FFD0\ 33BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 13 レジスタ 7	RSCFD0CFDRFDF13_7	$0000\ 0000_H$	32	$FFD0\ 33C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 14 レジスタ 7	RSCFD0CFDRFDF14_7	$0000\ 0000_H$	32	$FFD0\ 33C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	受信 FIFO バッファアクセスデータフィールド 15 レジスタ 7	RSCFD0CFDRFDF15_7	$0000\ 0000_H$	32	$FFD0\ 33C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 0	RSCFD0CFDCFID0	$0000\ 0000_H$	32	$FFD0\ 3400_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 0	RSCFD0CFDCFPTR0	$0000\ 0000_H$	32	$FFD0\ 3404_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 0	RSCFD0CFDCFFDCSTS0	$0000\ 0000_H$	32	$FFD0\ 3408_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0	RSCFD0CFDCFDF0_0	$0000\ 0000_H$	32	$FFD0\ 340C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0	RSCFD0CFDCFDF1_0	$0000\ 0000_H$	32	$FFD0\ 3410_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 0	RSCFD0CFDCFDF2_0	$0000\ 0000_H$	32	$FFD0\ 3414_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 0	RSCFD0CFDCFDF3_0	$0000\ 0000_H$	32	$FFD0\ 3418_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 0	RSCFD0CFDCFDF4_0	$0000\ 0000_H$	32	$FFD0\ 341C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 0	RSCFD0CFDCFDF5_0	$0000\ 0000_H$	32	$FFD0\ 3420_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 0	RSCFD0CFDCFDF6_0	$0000\ 0000_H$	32	$FFD0\ 3424_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 0	RSCFD0CFDCFDF7_0	$0000\ 0000_H$	32	$FFD0\ 3428_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 0	RSCFD0CFDCFDF8_0	$0000\ 0000_H$	32	$FFD0\ 342C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 0	RSCFD0CFDCFDF9_0	$0000\ 0000_H$	32	$FFD0\ 3430_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 0	RSCFD0CFDCFDF10_0	$0000\ 0000_H$	32	$FFD0\ 3434_H$	2	8、16、32

(136/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 0	RSCFD0CFDCFDF11_0	$0000\ 0000_H$	32	$FFD0\ 3438_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 0	RSCFD0CFDCFDF12_0	$0000\ 0000_H$	32	$FFD0\ 343C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 0	RSCFD0CFDCFDF13_0	$0000\ 0000_H$	32	$FFD0\ 3440_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 0	RSCFD0CFDCFDF14_0	$0000\ 0000_H$	32	$FFD0\ 3444_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 0	RSCFD0CFDCFDF15_0	$0000\ 0000_H$	32	$FFD0\ 3448_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 1	RSCFD0CFDCFID1	$0000\ 0000_H$	32	$FFD0\ 3480_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 1	RSCFD0CFDCFPTR1	$0000\ 0000_H$	32	$FFD0\ 3484_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 1	RSCFD0CFDCFFDCSTS1	$0000\ 0000_H$	32	$FFD0\ 3488_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1	RSCFD0CFDCFDF0_1	$0000\ 0000_H$	32	$FFD0\ 348C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1	RSCFD0CFDCFDF1_1	$0000\ 0000_H$	32	$FFD0\ 3490_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 1	RSCFD0CFDCFDF2_1	$0000\ 0000_H$	32	$FFD0\ 3494_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 1	RSCFD0CFDCFDF3_1	$0000\ 0000_H$	32	$FFD0\ 3498_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 1	RSCFD0CFDCFDF4_1	$0000\ 0000_H$	32	$FFD0\ 349C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 1	RSCFD0CFDCFDF5_1	$0000\ 0000_H$	32	$FFD0\ 34A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 1	RSCFD0CFDCFDF6_1	$0000\ 0000_H$	32	$FFD0\ 34A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 1	RSCFD0CFDCFDF7_1	$0000\ 0000_H$	32	$FFD0\ 34A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 1	RSCFD0CFDCFDF8_1	$0000\ 0000_H$	32	$FFD0\ 34AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 1	RSCFD0CFDCFDF9_1	$0000\ 0000_H$	32	$FFD0\ 34B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 1	RSCFD0CFDCFDF10_1	$0000\ 0000_H$	32	$FFD0\ 34B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 1	RSCFD0CFDCFDF11_1	$0000\ 0000_H$	32	$FFD0\ 34B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 1	RSCFD0CFDCFDF12_1	$0000\ 0000_H$	32	$FFD0\ 34BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 1	RSCFD0CFDCFDF13_1	$0000\ 0000_H$	32	$FFD0\ 34C0_H$	2	8、16、32

(137/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 1	RSCFD0CFDCFDF14_1	$0000\ 0000_H$	32	$FFD0\ 34C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 1	RSCFD0CFDCFDF15_1	$0000\ 0000_H$	32	$FFD0\ 34C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 2	RSCFD0CFDCFID2	$0000\ 0000_H$	32	$FFD0\ 3500_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 2	RSCFD0CFDCFPTR2	$0000\ 0000_H$	32	$FFD0\ 3504_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 2	RSCFD0CFDCFFDCSTS2	$0000\ 0000_H$	32	$FFD0\ 3508_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2	RSCFD0CFDCFDF0_2	$0000\ 0000_H$	32	$FFD0\ 350C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2	RSCFD0CFDCFDF1_2	$0000\ 0000_H$	32	$FFD0\ 3510_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 2	RSCFD0CFDCFDF2_2	$0000\ 0000_H$	32	$FFD0\ 3514_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 2	RSCFD0CFDCFDF3_2	$0000\ 0000_H$	32	$FFD0\ 3518_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 2	RSCFD0CFDCFDF4_2	$0000\ 0000_H$	32	$FFD0\ 351C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 2	RSCFD0CFDCFDF5_2	$0000\ 0000_H$	32	$FFD0\ 3520_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 2	RSCFD0CFDCFDF6_2	$0000\ 0000_H$	32	$FFD0\ 3524_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 2	RSCFD0CFDCFDF7_2	$0000\ 0000_H$	32	$FFD0\ 3528_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 2	RSCFD0CFDCFDF8_2	$0000\ 0000_H$	32	$FFD0\ 352C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 2	RSCFD0CFDCFDF9_2	$0000\ 0000_H$	32	$FFD0\ 3530_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 2	RSCFD0CFDCFDF10_2	$0000\ 0000_H$	32	$FFD0\ 3534_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 2	RSCFD0CFDCFDF11_2	$0000\ 0000_H$	32	$FFD0\ 3538_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 2	RSCFD0CFDCFDF12_2	$0000\ 0000_H$	32	$FFD0\ 353C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 2	RSCFD0CFDCFDF13_2	$0000\ 0000_H$	32	$FFD0\ 3540_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 2	RSCFD0CFDCFDF14_2	$0000\ 0000_H$	32	$FFD0\ 3544_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 2	RSCFD0CFDCFDF15_2	$0000\ 0000_H$	32	$FFD0\ 3548_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 3	RSCFD0CFDCFID3	$0000\ 0000_H$	32	$FFD0\ 3580_H$	2	8、16、32

(138/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 3	RSCFD0CFDCFPTR3	$0000\ 0000_H$	32	$FFD0\ 3584_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 3	RSCFD0CFDCFFDCSTS3	$0000\ 0000_H$	32	$FFD0\ 3588_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3	RSCFD0CFDCFDF0_3	$0000\ 0000_H$	32	$FFD0\ 358C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3	RSCFD0CFDCFDF1_3	$0000\ 0000_H$	32	$FFD0\ 3590_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 3	RSCFD0CFDCFDF2_3	$0000\ 0000_H$	32	$FFD0\ 3594_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 3	RSCFD0CFDCFDF3_3	$0000\ 0000_H$	32	$FFD0\ 3598_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 3	RSCFD0CFDCFDF4_3	$0000\ 0000_H$	32	$FFD0\ 359C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 3	RSCFD0CFDCFDF5_3	$0000\ 0000_H$	32	$FFD0\ 35A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 3	RSCFD0CFDCFDF6_3	$0000\ 0000_H$	32	$FFD0\ 35A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 3	RSCFD0CFDCFDF7_3	$0000\ 0000_H$	32	$FFD0\ 35A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 3	RSCFD0CFDCFDF8_3	$0000\ 0000_H$	32	$FFD0\ 35AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 3	RSCFD0CFDCFDF9_3	$0000\ 0000_H$	32	$FFD0\ 35B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 3	RSCFD0CFDCFDF10_3	$0000\ 0000_H$	32	$FFD0\ 35B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 3	RSCFD0CFDCFDF11_3	$0000\ 0000_H$	32	$FFD0\ 35B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 3	RSCFD0CFDCFDF12_3	$0000\ 0000_H$	32	$FFD0\ 35BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 3	RSCFD0CFDCFDF13_3	$0000\ 0000_H$	32	$FFD0\ 35C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 3	RSCFD0CFDCFDF14_3	$0000\ 0000_H$	32	$FFD0\ 35C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 3	RSCFD0CFDCFDF15_3	$0000\ 0000_H$	32	$FFD0\ 35C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 4	RSCFD0CFDCFID4	$0000\ 0000_H$	32	$FFD0\ 3600_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 4	RSCFD0CFDCFPTR4	$0000\ 0000_H$	32	$FFD0\ 3604_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 4	RSCFD0CFDCFFDCSTS4	$0000\ 0000_H$	32	$FFD0\ 3608_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4	RSCFD0CFDCFDF0_4	$0000\ 0000_H$	32	$FFD0\ 360C_H$	2	8、16、32

(139/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4	RSCFD0CFDCFDF1_4	$0000\ 0000_H$	32	$FFD0\ 3610_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 4	RSCFD0CFDCFDF2_4	$0000\ 0000_H$	32	$FFD0\ 3614_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 4	RSCFD0CFDCFDF3_4	$0000\ 0000_H$	32	$FFD0\ 3618_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 4	RSCFD0CFDCFDF4_4	$0000\ 0000_H$	32	$FFD0\ 361C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 4	RSCFD0CFDCFDF5_4	$0000\ 0000_H$	32	$FFD0\ 3620_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 4	RSCFD0CFDCFDF6_4	$0000\ 0000_H$	32	$FFD0\ 3624_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 4	RSCFD0CFDCFDF7_4	$0000\ 0000_H$	32	$FFD0\ 3628_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 4	RSCFD0CFDCFDF8_4	$0000\ 0000_H$	32	$FFD0\ 362C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 4	RSCFD0CFDCFDF9_4	$0000\ 0000_H$	32	$FFD0\ 3630_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 4	RSCFD0CFDCFDF10_4	$0000\ 0000_H$	32	$FFD0\ 3634_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 4	RSCFD0CFDCFDF11_4	$0000\ 0000_H$	32	$FFD0\ 3638_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 4	RSCFD0CFDCFDF12_4	$0000\ 0000_H$	32	$FFD0\ 363C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 4	RSCFD0CFDCFDF13_4	$0000\ 0000_H$	32	$FFD0\ 3640_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 4	RSCFD0CFDCFDF14_4	$0000\ 0000_H$	32	$FFD0\ 3644_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 4	RSCFD0CFDCFDF15_4	$0000\ 0000_H$	32	$FFD0\ 3648_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 5	RSCFD0CFDCFID5	$0000\ 0000_H$	32	$FFD0\ 3680_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 5	RSCFD0CFDCFPTR5	$0000\ 0000_H$	32	$FFD0\ 3684_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 5	RSCFD0CFDCFFDCSTS5	$0000\ 0000_H$	32	$FFD0\ 3688_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5	RSCFD0CFDCFDF0_5	$0000\ 0000_H$	32	$FFD0\ 368C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5	RSCFD0CFDCFDF1_5	$0000\ 0000_H$	32	$FFD0\ 3690_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 5	RSCFD0CFDCFDF2_5	$0000\ 0000_H$	32	$FFD0\ 3694_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 5	RSCFD0CFDCFDF3_5	$0000\ 0000_H$	32	$FFD0\ 3698_H$	2	8、16、32

(140/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 5	RSCFD0CFDCFDF4_5	$0000\ 0000_H$	32	$FFD0\ 369C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 5	RSCFD0CFDCFDF5_5	$0000\ 0000_H$	32	$FFD0\ 36A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 5	RSCFD0CFDCFDF6_5	$0000\ 0000_H$	32	$FFD0\ 36A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 5	RSCFD0CFDCFDF7_5	$0000\ 0000_H$	32	$FFD0\ 36A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 5	RSCFD0CFDCFDF8_5	$0000\ 0000_H$	32	$FFD0\ 36AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 5	RSCFD0CFDCFDF9_5	$0000\ 0000_H$	32	$FFD0\ 36B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 5	RSCFD0CFDCFDF10_5	$0000\ 0000_H$	32	$FFD0\ 36B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 5	RSCFD0CFDCFDF11_5	$0000\ 0000_H$	32	$FFD0\ 36B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 5	RSCFD0CFDCFDF12_5	$0000\ 0000_H$	32	$FFD0\ 36BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 5	RSCFD0CFDCFDF13_5	$0000\ 0000_H$	32	$FFD0\ 36C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 5	RSCFD0CFDCFDF14_5	$0000\ 0000_H$	32	$FFD0\ 36C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 5	RSCFD0CFDCFDF15_5	$0000\ 0000_H$	32	$FFD0\ 36C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 6	RSCFD0CFDCFID6	$0000\ 0000_H$	32	$FFD0\ 3700_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 6	RSCFD0CFDCFPTR6	$0000\ 0000_H$	32	$FFD0\ 3704_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 6	RSCFD0CFDCFFDCSTS6	$0000\ 0000_H$	32	$FFD0\ 3708_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6	RSCFD0CFDCFDF0_6	$0000\ 0000_H$	32	$FFD0\ 370C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6	RSCFD0CFDCFDF1_6	$0000\ 0000_H$	32	$FFD0\ 3710_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 6	RSCFD0CFDCFDF2_6	$0000\ 0000_H$	32	$FFD0\ 3714_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 6	RSCFD0CFDCFDF3_6	$0000\ 0000_H$	32	$FFD0\ 3718_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 6	RSCFD0CFDCFDF4_6	$0000\ 0000_H$	32	$FFD0\ 371C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 6	RSCFD0CFDCFDF5_6	$0000\ 0000_H$	32	$FFD0\ 3720_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 6	RSCFD0CFDCFDF6_6	$0000\ 0000_H$	32	$FFD0\ 3724_H$	2	8、16、32

(141/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 6	RSCFD0CFDCFDF7_6	$0000\ 0000_H$	32	$FFD0\ 3728_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 6	RSCFD0CFDCFDF8_6	$0000\ 0000_H$	32	$FFD0\ 372C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 6	RSCFD0CFDCFDF9_6	$0000\ 0000_H$	32	$FFD0\ 3730_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 6	RSCFD0CFDCFDF10_6	$0000\ 0000_H$	32	$FFD0\ 3734_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 6	RSCFD0CFDCFDF11_6	$0000\ 0000_H$	32	$FFD0\ 3738_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 6	RSCFD0CFDCFDF12_6	$0000\ 0000_H$	32	$FFD0\ 373C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 6	RSCFD0CFDCFDF13_6	$0000\ 0000_H$	32	$FFD0\ 3740_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 6	RSCFD0CFDCFDF14_6	$0000\ 0000_H$	32	$FFD0\ 3744_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 6	RSCFD0CFDCFDF15_6	$0000\ 0000_H$	32	$FFD0\ 3748_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 7	RSCFD0CFDCFID7	$0000\ 0000_H$	32	$FFD0\ 3780_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 7	RSCFD0CFDCFPTR7	$0000\ 0000_H$	32	$FFD0\ 3784_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 7	RSCFD0CFDCFFDCSTS7	$0000\ 0000_H$	32	$FFD0\ 3788_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7	RSCFD0CFDCFDF0_7	$0000\ 0000_H$	32	$FFD0\ 378C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7	RSCFD0CFDCFDF1_7	$0000\ 0000_H$	32	$FFD0\ 3790_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 7	RSCFD0CFDCFDF2_7	$0000\ 0000_H$	32	$FFD0\ 3794_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 7	RSCFD0CFDCFDF3_7	$0000\ 0000_H$	32	$FFD0\ 3798_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 7	RSCFD0CFDCFDF4_7	$0000\ 0000_H$	32	$FFD0\ 379C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 7	RSCFD0CFDCFDF5_7	$0000\ 0000_H$	32	$FFD0\ 37A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 7	RSCFD0CFDCFDF6_7	$0000\ 0000_H$	32	$FFD0\ 37A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 7	RSCFD0CFDCFDF7_7	$0000\ 0000_H$	32	$FFD0\ 37A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 7	RSCFD0CFDCFDF8_7	$0000\ 0000_H$	32	$FFD0\ 37AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 7	RSCFD0CFDCFDF9_7	$0000\ 0000_H$	32	$FFD0\ 37B0_H$	2	8、16、32

(142/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 7	RSCFD0CFDCFDF10_7	$0000\ 0000_H$	32	$FFD0\ 37B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 7	RSCFD0CFDCFDF11_7	$0000\ 0000_H$	32	$FFD0\ 37B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 7	RSCFD0CFDCFDF12_7	$0000\ 0000_H$	32	$FFD0\ 37BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 7	RSCFD0CFDCFDF13_7	$0000\ 0000_H$	32	$FFD0\ 37C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 7	RSCFD0CFDCFDF14_7	$0000\ 0000_H$	32	$FFD0\ 37C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 7	RSCFD0CFDCFDF15_7	$0000\ 0000_H$	32	$FFD0\ 37C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 8	RSCFD0CFDCFID8	$0000\ 0000_H$	32	$FFD0\ 3800_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 8	RSCFD0CFDCFPTR8	$0000\ 0000_H$	32	$FFD0\ 3804_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 8	RSCFD0CFDCFFDCSTS8	$0000\ 0000_H$	32	$FFD0\ 3808_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 8	RSCFD0CFDCFDF0_8	$0000\ 0000_H$	32	$FFD0\ 380C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 8	RSCFD0CFDCFDF1_8	$0000\ 0000_H$	32	$FFD0\ 3810_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 8	RSCFD0CFDCFDF2_8	$0000\ 0000_H$	32	$FFD0\ 3814_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 8	RSCFD0CFDCFDF3_8	$0000\ 0000_H$	32	$FFD0\ 3818_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 8	RSCFD0CFDCFDF4_8	$0000\ 0000_H$	32	$FFD0\ 381C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 8	RSCFD0CFDCFDF5_8	$0000\ 0000_H$	32	$FFD0\ 3820_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 8	RSCFD0CFDCFDF6_8	$0000\ 0000_H$	32	$FFD0\ 3824_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 8	RSCFD0CFDCFDF7_8	$0000\ 0000_H$	32	$FFD0\ 3828_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 8	RSCFD0CFDCFDF8_8	$0000\ 0000_H$	32	$FFD0\ 382C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 8	RSCFD0CFDCFDF9_8	$0000\ 0000_H$	32	$FFD0\ 3830_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 8	RSCFD0CFDCFDF10_8	$0000\ 0000_H$	32	$FFD0\ 3834_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 8	RSCFD0CFDCFDF11_8	$0000\ 0000_H$	32	$FFD0\ 3838_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 8	RSCFD0CFDCFDF12_8	$0000\ 0000_H$	32	$FFD0\ 383C_H$	2	8、16、32

(143/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 8	RSCFD0CFDCFDF13_8	$0000\ 0000_H$	32	$FFD0\ 3840_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 8	RSCFD0CFDCFDF14_8	$0000\ 0000_H$	32	$FFD0\ 3844_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 8	RSCFD0CFDCFDF15_8	$0000\ 0000_H$	32	$FFD0\ 3848_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 9	RSCFD0CFDCFID9	$0000\ 0000_H$	32	$FFD0\ 3880_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 9	RSCFD0CFDCFPTR9	$0000\ 0000_H$	32	$FFD0\ 3884_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 9	RSCFD0CFDCFFDCSTS9	$0000\ 0000_H$	32	$FFD0\ 3888_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 9	RSCFD0CFDCFDF0_9	$0000\ 0000_H$	32	$FFD0\ 388C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 9	RSCFD0CFDCFDF1_9	$0000\ 0000_H$	32	$FFD0\ 3890_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 9	RSCFD0CFDCFDF2_9	$0000\ 0000_H$	32	$FFD0\ 3894_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 9	RSCFD0CFDCFDF3_9	$0000\ 0000_H$	32	$FFD0\ 3898_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 9	RSCFD0CFDCFDF4_9	$0000\ 0000_H$	32	$FFD0\ 389C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 9	RSCFD0CFDCFDF5_9	$0000\ 0000_H$	32	$FFD0\ 38A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 9	RSCFD0CFDCFDF6_9	$0000\ 0000_H$	32	$FFD0\ 38A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 9	RSCFD0CFDCFDF7_9	$0000\ 0000_H$	32	$FFD0\ 38A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 9	RSCFD0CFDCFDF8_9	$0000\ 0000_H$	32	$FFD0\ 38AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 9	RSCFD0CFDCFDF9_9	$0000\ 0000_H$	32	$FFD0\ 38B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 9	RSCFD0CFDCFDF10_9	$0000\ 0000_H$	32	$FFD0\ 38B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 9	RSCFD0CFDCFDF11_9	$0000\ 0000_H$	32	$FFD0\ 38B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 9	RSCFD0CFDCFDF12_9	$0000\ 0000_H$	32	$FFD0\ 38BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 9	RSCFD0CFDCFDF13_9	$0000\ 0000_H$	32	$FFD0\ 38C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 9	RSCFD0CFDCFDF14_9	$0000\ 0000_H$	32	$FFD0\ 38C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 9	RSCFD0CFDCFDF15_9	$0000\ 0000_H$	32	$FFD0\ 38C8_H$	2	8、16、32

(144/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 10	RSCFD0CFDCFID10	$0000\ 0000_H$	32	$FFD0\ 3900_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 10	RSCFD0CFDCFPTR10	$0000\ 0000_H$	32	$FFD0\ 3904_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 10	RSCFD0CFDCFFDCSTS10	$0000\ 0000_H$	32	$FFD0\ 3908_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 10	RSCFD0CFDCFDF0_10	$0000\ 0000_H$	32	$FFD0\ 390C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 10	RSCFD0CFDCFDF1_10	$0000\ 0000_H$	32	$FFD0\ 3910_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 10	RSCFD0CFDCFDF2_10	$0000\ 0000_H$	32	$FFD0\ 3914_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 10	RSCFD0CFDCFDF3_10	$0000\ 0000_H$	32	$FFD0\ 3918_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 10	RSCFD0CFDCFDF4_10	$0000\ 0000_H$	32	$FFD0\ 391C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 10	RSCFD0CFDCFDF5_10	$0000\ 0000_H$	32	$FFD0\ 3920_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 10	RSCFD0CFDCFDF6_10	$0000\ 0000_H$	32	$FFD0\ 3924_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 10	RSCFD0CFDCFDF7_10	$0000\ 0000_H$	32	$FFD0\ 3928_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 10	RSCFD0CFDCFDF8_10	$0000\ 0000_H$	32	$FFD0\ 392C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 10	RSCFD0CFDCFDF9_10	$0000\ 0000_H$	32	$FFD0\ 3930_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 10	RSCFD0CFDCFDF10_10	$0000\ 0000_H$	32	$FFD0\ 3934_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 10	RSCFD0CFDCFDF11_10	$0000\ 0000_H$	32	$FFD0\ 3938_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 10	RSCFD0CFDCFDF12_10	$0000\ 0000_H$	32	$FFD0\ 393C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 10	RSCFD0CFDCFDF13_10	$0000\ 0000_H$	32	$FFD0\ 3940_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 10	RSCFD0CFDCFDF14_10	$0000\ 0000_H$	32	$FFD0\ 3944_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 10	RSCFD0CFDCFDF15_10	$0000\ 0000_H$	32	$FFD0\ 3948_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス ID レジスタ 11	RSCFD0CFDCFID11	$0000\ 0000_H$	32	$FFD0\ 3980_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスポインタレジスタ 11	RSCFD0CFDCFPTR11	$0000\ 0000_H$	32	$FFD0\ 3984_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセス CAN FD ステータスレジスタ 11	RSCFD0CFDCFFDCSTS11	$0000\ 0000_H$	32	$FFD0\ 3988_H$	2	8、16、32

(145/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 11	RSCFD0CFDCFDF0_11	$0000\ 0000_H$	32	$FFD0\ 398C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 11	RSCFD0CFDCFDF1_11	$0000\ 0000_H$	32	$FFD0\ 3990_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 2 レジスタ 11	RSCFD0CFDCFDF2_11	$0000\ 0000_H$	32	$FFD0\ 3994_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 3 レジスタ 11	RSCFD0CFDCFDF3_11	$0000\ 0000_H$	32	$FFD0\ 3998_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 4 レジスタ 11	RSCFD0CFDCFDF4_11	$0000\ 0000_H$	32	$FFD0\ 399C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 5 レジスタ 11	RSCFD0CFDCFDF5_11	$0000\ 0000_H$	32	$FFD0\ 39A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 6 レジスタ 11	RSCFD0CFDCFDF6_11	$0000\ 0000_H$	32	$FFD0\ 39A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 7 レジスタ 11	RSCFD0CFDCFDF7_11	$0000\ 0000_H$	32	$FFD0\ 39A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 8 レジスタ 11	RSCFD0CFDCFDF8_11	$0000\ 0000_H$	32	$FFD0\ 39AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 9 レジスタ 11	RSCFD0CFDCFDF9_11	$0000\ 0000_H$	32	$FFD0\ 39B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 10 レジスタ 11	RSCFD0CFDCFDF10_11	$0000\ 0000_H$	32	$FFD0\ 39B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 11 レジスタ 11	RSCFD0CFDCFDF11_11	$0000\ 0000_H$	32	$FFD0\ 39B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 12 レジスタ 11	RSCFD0CFDCFDF12_11	$0000\ 0000_H$	32	$FFD0\ 39BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 13 レジスタ 11	RSCFD0CFDCFDF13_11	$0000\ 0000_H$	32	$FFD0\ 39C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 14 レジスタ 11	RSCFD0CFDCFDF14_11	$0000\ 0000_H$	32	$FFD0\ 39C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送受信 FIFO バッファアクセスデータフィールド 15 レジスタ 11	RSCFD0CFDCFDF15_11	$0000\ 0000_H$	32	$FFD0\ 39C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 0	RSCFD0CFDTMID0	$0000\ 0000_H$	32	$FFD0\ 4000_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 0	RSCFD0CFDTMPTR0	$0000\ 0000_H$	32	$FFD0\ 4004_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 0	RSCFD0CFDTMFDCTR0	$0000\ 0000_H$	32	$FFD0\ 4008_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 0	RSCFD0CFDTMDF0_0	$0000\ 0000_H$	32	$FFD0\ 400C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 0	RSCFD0CFDTMDF1_0	$0000\ 0000_H$	32	$FFD0\ 4010_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 0	RSCFD0CFDTMDF2_0	$0000\ 0000_H$	32	$FFD0\ 4014_H$	2	8、16、32

(146/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 0	RSCFD0CFDTMDF3_0	$0000\ 0000_H$	32	$FFD0\ 4018_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 0	RSCFD0CFDTMDF4_0	$0000\ 0000_H$	32	$FFD0\ 401C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 1	RSCFD0CFDTMID1	$0000\ 0000_H$	32	$FFD0\ 4020_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 1	RSCFD0CFDTMPTR1	$0000\ 0000_H$	32	$FFD0\ 4024_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 1	RSCFD0CFDTMFDCTR1	$0000\ 0000_H$	32	$FFD0\ 4028_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 1	RSCFD0CFDTMDF0_1	$0000\ 0000_H$	32	$FFD0\ 402C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 1	RSCFD0CFDTMDF1_1	$0000\ 0000_H$	32	$FFD0\ 4030_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 1	RSCFD0CFDTMDF2_1	$0000\ 0000_H$	32	$FFD0\ 4034_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 1	RSCFD0CFDTMDF3_1	$0000\ 0000_H$	32	$FFD0\ 4038_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 1	RSCFD0CFDTMDF4_1	$0000\ 0000_H$	32	$FFD0\ 403C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 2	RSCFD0CFDTMID2	$0000\ 0000_H$	32	$FFD0\ 4040_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 2	RSCFD0CFDTMPTR2	$0000\ 0000_H$	32	$FFD0\ 4044_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 2	RSCFD0CFDTMFDCTR2	$0000\ 0000_H$	32	$FFD0\ 4048_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 2	RSCFD0CFDTMDF0_2	$0000\ 0000_H$	32	$FFD0\ 404C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 2	RSCFD0CFDTMDF1_2	$0000\ 0000_H$	32	$FFD0\ 4050_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 2	RSCFD0CFDTMDF2_2	$0000\ 0000_H$	32	$FFD0\ 4054_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 2	RSCFD0CFDTMDF3_2	$0000\ 0000_H$	32	$FFD0\ 4058_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 2	RSCFD0CFDTMDF4_2	$0000\ 0000_H$	32	$FFD0\ 405C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 3	RSCFD0CFDTMID3	$0000\ 0000_H$	32	$FFD0\ 4060_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 3	RSCFD0CFDTMPTR3	$0000\ 0000_H$	32	$FFD0\ 4064_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 3	RSCFD0CFDTMFDCTR3	$0000\ 0000_H$	32	$FFD0\ 4068_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 3	RSCFD0CFDTMDF0_3	$0000\ 0000_H$	32	$FFD0\ 406C_H$	2	8、16、32

(147/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 3	RSCFD0CFDTMDF1_3	$0000\ 0000_H$	32	$FFD0\ 4070_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 3	RSCFD0CFDTMDF2_3	$0000\ 0000_H$	32	$FFD0\ 4074_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 3	RSCFD0CFDTMDF3_3	$0000\ 0000_H$	32	$FFD0\ 4078_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 3	RSCFD0CFDTMDF4_3	$0000\ 0000_H$	32	$FFD0\ 407C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 4	RSCFD0CFDTMID4	$0000\ 0000_H$	32	$FFD0\ 4080_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 4	RSCFD0CFDTMPTR4	$0000\ 0000_H$	32	$FFD0\ 4084_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 4	RSCFD0CFDTMFDCTR4	$0000\ 0000_H$	32	$FFD0\ 4088_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 4	RSCFD0CFDTMDF0_4	$0000\ 0000_H$	32	$FFD0\ 408C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 4	RSCFD0CFDTMDF1_4	$0000\ 0000_H$	32	$FFD0\ 4090_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 4	RSCFD0CFDTMDF2_4	$0000\ 0000_H$	32	$FFD0\ 4094_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 4	RSCFD0CFDTMDF3_4	$0000\ 0000_H$	32	$FFD0\ 4098_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 4	RSCFD0CFDTMDF4_4	$0000\ 0000_H$	32	$FFD0\ 409C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 5	RSCFD0CFDTMID5	$0000\ 0000_H$	32	$FFD0\ 40A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 5	RSCFD0CFDTMPTR5	$0000\ 0000_H$	32	$FFD0\ 40A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 5	RSCFD0CFDTMFDCTR5	$0000\ 0000_H$	32	$FFD0\ 40A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 5	RSCFD0CFDTMDF0_5	$0000\ 0000_H$	32	$FFD0\ 40AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 5	RSCFD0CFDTMDF1_5	$0000\ 0000_H$	32	$FFD0\ 40B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 5	RSCFD0CFDTMDF2_5	$0000\ 0000_H$	32	$FFD0\ 40B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 5	RSCFD0CFDTMDF3_5	$0000\ 0000_H$	32	$FFD0\ 40B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 5	RSCFD0CFDTMDF4_5	$0000\ 0000_H$	32	$FFD0\ 40BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 6	RSCFD0CFDTMID6	$0000\ 0000_H$	32	$FFD0\ 40C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 6	RSCFD0CFDTMPTR6	$0000\ 0000_H$	32	$FFD0\ 40C4_H$	2	8、16、32

(148/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 6	RSCFD0CFDTMFDCTR6	$0000\ 0000_H$	32	$FFD0\ 40C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 6	RSCFD0CFDTMDF0_6	$0000\ 0000_H$	32	$FFD0\ 40CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 6	RSCFD0CFDTMDF1_6	$0000\ 0000_H$	32	$FFD0\ 40D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 6	RSCFD0CFDTMDF2_6	$0000\ 0000_H$	32	$FFD0\ 40D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 6	RSCFD0CFDTMDF3_6	$0000\ 0000_H$	32	$FFD0\ 40D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 6	RSCFD0CFDTMDF4_6	$0000\ 0000_H$	32	$FFD0\ 40DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 7	RSCFD0CFDTMID7	$0000\ 0000_H$	32	$FFD0\ 40E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 7	RSCFD0CFDTMPTR7	$0000\ 0000_H$	32	$FFD0\ 40E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 7	RSCFD0CFDTMFDCTR7	$0000\ 0000_H$	32	$FFD0\ 40E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 7	RSCFD0CFDTMDF0_7	$0000\ 0000_H$	32	$FFD0\ 40EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 7	RSCFD0CFDTMDF1_7	$0000\ 0000_H$	32	$FFD0\ 40F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 7	RSCFD0CFDTMDF2_7	$0000\ 0000_H$	32	$FFD0\ 40F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 7	RSCFD0CFDTMDF3_7	$0000\ 0000_H$	32	$FFD0\ 40F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 7	RSCFD0CFDTMDF4_7	$0000\ 0000_H$	32	$FFD0\ 40FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 8	RSCFD0CFDTMID8	$0000\ 0000_H$	32	$FFD0\ 4100_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 8	RSCFD0CFDTMPTR8	$0000\ 0000_H$	32	$FFD0\ 4104_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 8	RSCFD0CFDTMFDCTR8	$0000\ 0000_H$	32	$FFD0\ 4108_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 8	RSCFD0CFDTMDF0_8	$0000\ 0000_H$	32	$FFD0\ 410C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 8	RSCFD0CFDTMDF1_8	$0000\ 0000_H$	32	$FFD0\ 4110_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 8	RSCFD0CFDTMDF2_8	$0000\ 0000_H$	32	$FFD0\ 4114_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 8	RSCFD0CFDTMDF3_8	$0000\ 0000_H$	32	$FFD0\ 4118_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 8	RSCFD0CFDTMDF4_8	$0000\ 0000_H$	32	$FFD0\ 411C_H$	2	8、16、32

(149/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 9	RSCFD0CFDTMID9	$0000\ 0000_H$	32	$FFD0\ 4120_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 9	RSCFD0CFDTMPTR9	$0000\ 0000_H$	32	$FFD0\ 4124_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 9	RSCFD0CFDTMFDCTR9	$0000\ 0000_H$	32	$FFD0\ 4128_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 9	RSCFD0CFDTMDF0_9	$0000\ 0000_H$	32	$FFD0\ 412C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 9	RSCFD0CFDTMDF1_9	$0000\ 0000_H$	32	$FFD0\ 4130_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 9	RSCFD0CFDTMDF2_9	$0000\ 0000_H$	32	$FFD0\ 4134_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 9	RSCFD0CFDTMDF3_9	$0000\ 0000_H$	32	$FFD0\ 4138_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 9	RSCFD0CFDTMDF4_9	$0000\ 0000_H$	32	$FFD0\ 413C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 10	RSCFD0CFDTMID10	$0000\ 0000_H$	32	$FFD0\ 4140_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 10	RSCFD0CFDTMPTR10	$0000\ 0000_H$	32	$FFD0\ 4144_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 10	RSCFD0CFDTMFDCTR10	$0000\ 0000_H$	32	$FFD0\ 4148_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 10	RSCFD0CFDTMDF0_10	$0000\ 0000_H$	32	$FFD0\ 414C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 10	RSCFD0CFDTMDF1_10	$0000\ 0000_H$	32	$FFD0\ 4150_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 10	RSCFD0CFDTMDF2_10	$0000\ 0000_H$	32	$FFD0\ 4154_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 10	RSCFD0CFDTMDF3_10	$0000\ 0000_H$	32	$FFD0\ 4158_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 10	RSCFD0CFDTMDF4_10	$0000\ 0000_H$	32	$FFD0\ 415C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 11	RSCFD0CFDTMID11	$0000\ 0000_H$	32	$FFD0\ 4160_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 11	RSCFD0CFDTMPTR11	$0000\ 0000_H$	32	$FFD0\ 4164_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 11	RSCFD0CFDTMFDCTR11	$0000\ 0000_H$	32	$FFD0\ 4168_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 11	RSCFD0CFDTMDF0_11	$0000\ 0000_H$	32	$FFD0\ 416C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 11	RSCFD0CFDTMDF1_11	$0000\ 0000_H$	32	$FFD0\ 4170_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 11	RSCFD0CFDTMDF2_11	$0000\ 0000_H$	32	$FFD0\ 4174_H$	2	8、16、32

(150/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 11	RSCFD0CFDTMDF3_11	$0000\ 0000_H$	32	$FFD0\ 4178_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 11	RSCFD0CFDTMDF4_11	$0000\ 0000_H$	32	$FFD0\ 417C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 12	RSCFD0CFDTMID12	$0000\ 0000_H$	32	$FFD0\ 4180_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 12	RSCFD0CFDTMPTR12	$0000\ 0000_H$	32	$FFD0\ 4184_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 12	RSCFD0CFDTMFDCTR12	$0000\ 0000_H$	32	$FFD0\ 4188_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 12	RSCFD0CFDTMDF0_12	$0000\ 0000_H$	32	$FFD0\ 418C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 12	RSCFD0CFDTMDF1_12	$0000\ 0000_H$	32	$FFD0\ 4190_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 12	RSCFD0CFDTMDF2_12	$0000\ 0000_H$	32	$FFD0\ 4194_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 12	RSCFD0CFDTMDF3_12	$0000\ 0000_H$	32	$FFD0\ 4198_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 12	RSCFD0CFDTMDF4_12	$0000\ 0000_H$	32	$FFD0\ 419C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 13	RSCFD0CFDTMID13	$0000\ 0000_H$	32	$FFD0\ 41A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 13	RSCFD0CFDTMPTR13	$0000\ 0000_H$	32	$FFD0\ 41A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 13	RSCFD0CFDTMFDCTR13	$0000\ 0000_H$	32	$FFD0\ 41A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 13	RSCFD0CFDTMDF0_13	$0000\ 0000_H$	32	$FFD0\ 41AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 13	RSCFD0CFDTMDF1_13	$0000\ 0000_H$	32	$FFD0\ 41B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 13	RSCFD0CFDTMDF2_13	$0000\ 0000_H$	32	$FFD0\ 41B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 13	RSCFD0CFDTMDF3_13	$0000\ 0000_H$	32	$FFD0\ 41B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 13	RSCFD0CFDTMDF4_13	$0000\ 0000_H$	32	$FFD0\ 41BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 14	RSCFD0CFDTMID14	$0000\ 0000_H$	32	$FFD0\ 41C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 14	RSCFD0CFDTMPTR14	$0000\ 0000_H$	32	$FFD0\ 41C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 14	RSCFD0CFDTMFDCTR14	$0000\ 0000_H$	32	$FFD0\ 41C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 14	RSCFD0CFDTMDF0_14	$0000\ 0000_H$	32	$FFD0\ 41CC_H$	2	8、16、32

(151/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 14	RSCFD0CFDTMDF1_14	$0000\ 0000_H$	32	$FFD0\ 41D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 14	RSCFD0CFDTMDF2_14	$0000\ 0000_H$	32	$FFD0\ 41D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 14	RSCFD0CFDTMDF3_14	$0000\ 0000_H$	32	$FFD0\ 41D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 14	RSCFD0CFDTMDF4_14	$0000\ 0000_H$	32	$FFD0\ 41DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 15	RSCFD0CFDTMID15	$0000\ 0000_H$	32	$FFD0\ 41E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 15	RSCFD0CFDTMPTR15	$0000\ 0000_H$	32	$FFD0\ 41E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 15	RSCFD0CFDTMFDCTR15	$0000\ 0000_H$	32	$FFD0\ 41E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 15	RSCFD0CFDTMDF0_15	$0000\ 0000_H$	32	$FFD0\ 41EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 15	RSCFD0CFDTMDF1_15	$0000\ 0000_H$	32	$FFD0\ 41F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 15	RSCFD0CFDTMDF2_15	$0000\ 0000_H$	32	$FFD0\ 41F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 15	RSCFD0CFDTMDF3_15	$0000\ 0000_H$	32	$FFD0\ 41F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 15	RSCFD0CFDTMDF4_15	$0000\ 0000_H$	32	$FFD0\ 41FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 16	RSCFD0CFDTMID16	$0000\ 0000_H$	32	$FFD0\ 4200_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 16	RSCFD0CFDTMPTR16	$0000\ 0000_H$	32	$FFD0\ 4204_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 16	RSCFD0CFDTMFDCTR16	$0000\ 0000_H$	32	$FFD0\ 4208_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 16	RSCFD0CFDTMDF0_16	$0000\ 0000_H$	32	$FFD0\ 420C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 16	RSCFD0CFDTMDF1_16	$0000\ 0000_H$	32	$FFD0\ 4210_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 16	RSCFD0CFDTMDF2_16	$0000\ 0000_H$	32	$FFD0\ 4214_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 16	RSCFD0CFDTMDF3_16	$0000\ 0000_H$	32	$FFD0\ 4218_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 16	RSCFD0CFDTMDF4_16	$0000\ 0000_H$	32	$FFD0\ 421C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 17	RSCFD0CFDTMID17	$0000\ 0000_H$	32	$FFD0\ 4220_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 17	RSCFD0CFDTMPTR17	$0000\ 0000_H$	32	$FFD0\ 4224_H$	2	8、16、32

(152/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 17	RSCFD0CFDTMFDCTR17	$0000\ 0000_H$	32	$FFD0\ 4228_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 17	RSCFD0CFDTMDF0_17	$0000\ 0000_H$	32	$FFD0\ 422C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 17	RSCFD0CFDTMDF1_17	$0000\ 0000_H$	32	$FFD0\ 4230_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 17	RSCFD0CFDTMDF2_17	$0000\ 0000_H$	32	$FFD0\ 4234_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 17	RSCFD0CFDTMDF3_17	$0000\ 0000_H$	32	$FFD0\ 4238_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 17	RSCFD0CFDTMDF4_17	$0000\ 0000_H$	32	$FFD0\ 423C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 18	RSCFD0CFDTMID18	$0000\ 0000_H$	32	$FFD0\ 4240_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 18	RSCFD0CFDTMPTR18	$0000\ 0000_H$	32	$FFD0\ 4244_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 18	RSCFD0CFDTMFDCTR18	$0000\ 0000_H$	32	$FFD0\ 4248_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 18	RSCFD0CFDTMDF0_18	$0000\ 0000_H$	32	$FFD0\ 424C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 18	RSCFD0CFDTMDF1_18	$0000\ 0000_H$	32	$FFD0\ 4250_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 18	RSCFD0CFDTMDF2_18	$0000\ 0000_H$	32	$FFD0\ 4254_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 18	RSCFD0CFDTMDF3_18	$0000\ 0000_H$	32	$FFD0\ 4258_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 18	RSCFD0CFDTMDF4_18	$0000\ 0000_H$	32	$FFD0\ 425C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 19	RSCFD0CFDTMID19	$0000\ 0000_H$	32	$FFD0\ 4260_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 19	RSCFD0CFDTMPTR19	$0000\ 0000_H$	32	$FFD0\ 4264_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 19	RSCFD0CFDTMFDCTR19	$0000\ 0000_H$	32	$FFD0\ 4268_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 19	RSCFD0CFDTMDF0_19	$0000\ 0000_H$	32	$FFD0\ 426C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 19	RSCFD0CFDTMDF1_19	$0000\ 0000_H$	32	$FFD0\ 4270_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 19	RSCFD0CFDTMDF2_19	$0000\ 0000_H$	32	$FFD0\ 4274_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 19	RSCFD0CFDTMDF3_19	$0000\ 0000_H$	32	$FFD0\ 4278_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 19	RSCFD0CFDTMDF4_19	$0000\ 0000_H$	32	$FFD0\ 427C_H$	2	8、16、32

(153/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 20	RSCFD0CFDTMID20	$0000\ 0000_H$	32	$FFD0\ 4280_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 20	RSCFD0CFDTMPTR20	$0000\ 0000_H$	32	$FFD0\ 4284_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 20	RSCFD0CFDTMFDCTR20	$0000\ 0000_H$	32	$FFD0\ 4288_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 20	RSCFD0CFDTMDF0_20	$0000\ 0000_H$	32	$FFD0\ 428C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 20	RSCFD0CFDTMDF1_20	$0000\ 0000_H$	32	$FFD0\ 4290_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 20	RSCFD0CFDTMDF2_20	$0000\ 0000_H$	32	$FFD0\ 4294_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 20	RSCFD0CFDTMDF3_20	$0000\ 0000_H$	32	$FFD0\ 4298_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 20	RSCFD0CFDTMDF4_20	$0000\ 0000_H$	32	$FFD0\ 429C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 21	RSCFD0CFDTMID21	$0000\ 0000_H$	32	$FFD0\ 42A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 21	RSCFD0CFDTMPTR21	$0000\ 0000_H$	32	$FFD0\ 42A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 21	RSCFD0CFDTMFDCTR21	$0000\ 0000_H$	32	$FFD0\ 42A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 21	RSCFD0CFDTMDF0_21	$0000\ 0000_H$	32	$FFD0\ 42AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 21	RSCFD0CFDTMDF1_21	$0000\ 0000_H$	32	$FFD0\ 42B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 21	RSCFD0CFDTMDF2_21	$0000\ 0000_H$	32	$FFD0\ 42B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 21	RSCFD0CFDTMDF3_21	$0000\ 0000_H$	32	$FFD0\ 42B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 21	RSCFD0CFDTMDF4_21	$0000\ 0000_H$	32	$FFD0\ 42BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 22	RSCFD0CFDTMID22	$0000\ 0000_H$	32	$FFD0\ 42C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 22	RSCFD0CFDTMPTR22	$0000\ 0000_H$	32	$FFD0\ 42C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 22	RSCFD0CFDTMFDCTR22	$0000\ 0000_H$	32	$FFD0\ 42C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 22	RSCFD0CFDTMDF0_22	$0000\ 0000_H$	32	$FFD0\ 42CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 22	RSCFD0CFDTMDF1_22	$0000\ 0000_H$	32	$FFD0\ 42D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 22	RSCFD0CFDTMDF2_22	$0000\ 0000_H$	32	$FFD0\ 42D4_H$	2	8、16、32

(154/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 22	RSCFD0CFDTMDF3_22	$0000\ 0000_H$	32	$FFD0\ 42D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 22	RSCFD0CFDTMDF4_22	$0000\ 0000_H$	32	$FFD0\ 42DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 23	RSCFD0CFDTMID23	$0000\ 0000_H$	32	$FFD0\ 42E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 23	RSCFD0CFDTMPTR23	$0000\ 0000_H$	32	$FFD0\ 42E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 23	RSCFD0CFDTMFDCTR23	$0000\ 0000_H$	32	$FFD0\ 42E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 23	RSCFD0CFDTMDF0_23	$0000\ 0000_H$	32	$FFD0\ 42EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 23	RSCFD0CFDTMDF1_23	$0000\ 0000_H$	32	$FFD0\ 42F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 23	RSCFD0CFDTMDF2_23	$0000\ 0000_H$	32	$FFD0\ 42F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 23	RSCFD0CFDTMDF3_23	$0000\ 0000_H$	32	$FFD0\ 42F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 23	RSCFD0CFDTMDF4_23	$0000\ 0000_H$	32	$FFD0\ 42FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 24	RSCFD0CFDTMID24	$0000\ 0000_H$	32	$FFD0\ 4300_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 24	RSCFD0CFDTMPTR24	$0000\ 0000_H$	32	$FFD0\ 4304_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 24	RSCFD0CFDTMFDCTR24	$0000\ 0000_H$	32	$FFD0\ 4308_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 24	RSCFD0CFDTMDF0_24	$0000\ 0000_H$	32	$FFD0\ 430C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 24	RSCFD0CFDTMDF1_24	$0000\ 0000_H$	32	$FFD0\ 4310_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 24	RSCFD0CFDTMDF2_24	$0000\ 0000_H$	32	$FFD0\ 4314_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 24	RSCFD0CFDTMDF3_24	$0000\ 0000_H$	32	$FFD0\ 4318_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 24	RSCFD0CFDTMDF4_24	$0000\ 0000_H$	32	$FFD0\ 431C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 25	RSCFD0CFDTMID25	$0000\ 0000_H$	32	$FFD0\ 4320_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 25	RSCFD0CFDTMPTR25	$0000\ 0000_H$	32	$FFD0\ 4324_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 25	RSCFD0CFDTMFDCTR25	$0000\ 0000_H$	32	$FFD0\ 4328_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 25	RSCFD0CFDTMDF0_25	$0000\ 0000_H$	32	$FFD0\ 432C_H$	2	8、16、32

(155/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 25	RSCFD0CFDTMDF1_25	$0000\ 0000_H$	32	$FFD0\ 4330_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 25	RSCFD0CFDTMDF2_25	$0000\ 0000_H$	32	$FFD0\ 4334_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 25	RSCFD0CFDTMDF3_25	$0000\ 0000_H$	32	$FFD0\ 4338_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 25	RSCFD0CFDTMDF4_25	$0000\ 0000_H$	32	$FFD0\ 433C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 26	RSCFD0CFDTMID26	$0000\ 0000_H$	32	$FFD0\ 4340_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 26	RSCFD0CFDTMPTR26	$0000\ 0000_H$	32	$FFD0\ 4344_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 26	RSCFD0CFDTMFDCTR26	$0000\ 0000_H$	32	$FFD0\ 4348_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 26	RSCFD0CFDTMDF0_26	$0000\ 0000_H$	32	$FFD0\ 434C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 26	RSCFD0CFDTMDF1_26	$0000\ 0000_H$	32	$FFD0\ 4350_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 26	RSCFD0CFDTMDF2_26	$0000\ 0000_H$	32	$FFD0\ 4354_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 26	RSCFD0CFDTMDF3_26	$0000\ 0000_H$	32	$FFD0\ 4358_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 26	RSCFD0CFDTMDF4_26	$0000\ 0000_H$	32	$FFD0\ 435C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 27	RSCFD0CFDTMID27	$0000\ 0000_H$	32	$FFD0\ 4360_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 27	RSCFD0CFDTMPTR27	$0000\ 0000_H$	32	$FFD0\ 4364_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 27	RSCFD0CFDTMFDCTR27	$0000\ 0000_H$	32	$FFD0\ 4368_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 27	RSCFD0CFDTMDF0_27	$0000\ 0000_H$	32	$FFD0\ 436C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 27	RSCFD0CFDTMDF1_27	$0000\ 0000_H$	32	$FFD0\ 4370_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 27	RSCFD0CFDTMDF2_27	$0000\ 0000_H$	32	$FFD0\ 4374_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 27	RSCFD0CFDTMDF3_27	$0000\ 0000_H$	32	$FFD0\ 4378_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 27	RSCFD0CFDTMDF4_27	$0000\ 0000_H$	32	$FFD0\ 437C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 28	RSCFD0CFDTMID28	$0000\ 0000_H$	32	$FFD0\ 4380_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 28	RSCFD0CFDTMPTR28	$0000\ 0000_H$	32	$FFD0\ 4384_H$	2	8、16、32

(156/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 28	RSCFD0CFDTMFDCTR28	$0000\ 0000_H$	32	$FFD0\ 4388_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 28	RSCFD0CFDTMDF0_28	$0000\ 0000_H$	32	$FFD0\ 438C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 28	RSCFD0CFDTMDF1_28	$0000\ 0000_H$	32	$FFD0\ 4390_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 28	RSCFD0CFDTMDF2_28	$0000\ 0000_H$	32	$FFD0\ 4394_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 28	RSCFD0CFDTMDF3_28	$0000\ 0000_H$	32	$FFD0\ 4398_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 28	RSCFD0CFDTMDF4_28	$0000\ 0000_H$	32	$FFD0\ 439C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 29	RSCFD0CFDTMID29	$0000\ 0000_H$	32	$FFD0\ 43A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 29	RSCFD0CFDTMPTR29	$0000\ 0000_H$	32	$FFD0\ 43A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 29	RSCFD0CFDTMFDCTR29	$0000\ 0000_H$	32	$FFD0\ 43A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 29	RSCFD0CFDTMDF0_29	$0000\ 0000_H$	32	$FFD0\ 43AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 29	RSCFD0CFDTMDF1_29	$0000\ 0000_H$	32	$FFD0\ 43B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 29	RSCFD0CFDTMDF2_29	$0000\ 0000_H$	32	$FFD0\ 43B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 29	RSCFD0CFDTMDF3_29	$0000\ 0000_H$	32	$FFD0\ 43B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 29	RSCFD0CFDTMDF4_29	$0000\ 0000_H$	32	$FFD0\ 43BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 30	RSCFD0CFDTMID30	$0000\ 0000_H$	32	$FFD0\ 43C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 30	RSCFD0CFDTMPTR30	$0000\ 0000_H$	32	$FFD0\ 43C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 30	RSCFD0CFDTMFDCTR30	$0000\ 0000_H$	32	$FFD0\ 43C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 30	RSCFD0CFDTMDF0_30	$0000\ 0000_H$	32	$FFD0\ 43CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 30	RSCFD0CFDTMDF1_30	$0000\ 0000_H$	32	$FFD0\ 43D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 30	RSCFD0CFDTMDF2_30	$0000\ 0000_H$	32	$FFD0\ 43D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 30	RSCFD0CFDTMDF3_30	$0000\ 0000_H$	32	$FFD0\ 43D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 30	RSCFD0CFDTMDF4_30	$0000\ 0000_H$	32	$FFD0\ 43DC_H$	2	8、16、32

(157/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 31	RSCFD0CFDTMID31	$0000\ 0000_H$	32	$FFD0\ 43E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 31	RSCFD0CFDTMPTR31	$0000\ 0000_H$	32	$FFD0\ 43E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 31	RSCFD0CFDTMFDCTR31	$0000\ 0000_H$	32	$FFD0\ 43E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 31	RSCFD0CFDTMDF0_31	$0000\ 0000_H$	32	$FFD0\ 43EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 31	RSCFD0CFDTMDF1_31	$0000\ 0000_H$	32	$FFD0\ 43F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 31	RSCFD0CFDTMDF2_31	$0000\ 0000_H$	32	$FFD0\ 43F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 31	RSCFD0CFDTMDF3_31	$0000\ 0000_H$	32	$FFD0\ 43F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 31	RSCFD0CFDTMDF4_31	$0000\ 0000_H$	32	$FFD0\ 43FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 32	RSCFD0CFDTMID32	$0000\ 0000_H$	32	$FFD0\ 4400_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 32	RSCFD0CFDTMPTR32	$0000\ 0000_H$	32	$FFD0\ 4404_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 32	RSCFD0CFDTMFDCTR32	$0000\ 0000_H$	32	$FFD0\ 4408_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 32	RSCFD0CFDTMDF0_32	$0000\ 0000_H$	32	$FFD0\ 440C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 32	RSCFD0CFDTMDF1_32	$0000\ 0000_H$	32	$FFD0\ 4410_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 32	RSCFD0CFDTMDF2_32	$0000\ 0000_H$	32	$FFD0\ 4414_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 32	RSCFD0CFDTMDF3_32	$0000\ 0000_H$	32	$FFD0\ 4418_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 32	RSCFD0CFDTMDF4_32	$0000\ 0000_H$	32	$FFD0\ 441C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 33	RSCFD0CFDTMID33	$0000\ 0000_H$	32	$FFD0\ 4420_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 33	RSCFD0CFDTMPTR33	$0000\ 0000_H$	32	$FFD0\ 4424_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 33	RSCFD0CFDTMFDCTR33	$0000\ 0000_H$	32	$FFD0\ 4428_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 33	RSCFD0CFDTMDF0_33	$0000\ 0000_H$	32	$FFD0\ 442C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 33	RSCFD0CFDTMDF1_33	$0000\ 0000_H$	32	$FFD0\ 4430_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 33	RSCFD0CFDTMDF2_33	$0000\ 0000_H$	32	$FFD0\ 4434_H$	2	8、16、32

(158/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 33	RSCFD0CFDTMDF3_33	$0000\ 0000_H$	32	$FFD0\ 4438_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 33	RSCFD0CFDTMDF4_33	$0000\ 0000_H$	32	$FFD0\ 443C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 34	RSCFD0CFDTMID34	$0000\ 0000_H$	32	$FFD0\ 4440_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 34	RSCFD0CFDTMPTR34	$0000\ 0000_H$	32	$FFD0\ 4444_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 34	RSCFD0CFDTMFDCTR34	$0000\ 0000_H$	32	$FFD0\ 4448_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 34	RSCFD0CFDTMDF0_34	$0000\ 0000_H$	32	$FFD0\ 444C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 34	RSCFD0CFDTMDF1_34	$0000\ 0000_H$	32	$FFD0\ 4450_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 34	RSCFD0CFDTMDF2_34	$0000\ 0000_H$	32	$FFD0\ 4454_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 34	RSCFD0CFDTMDF3_34	$0000\ 0000_H$	32	$FFD0\ 4458_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 34	RSCFD0CFDTMDF4_34	$0000\ 0000_H$	32	$FFD0\ 445C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 35	RSCFD0CFDTMID35	$0000\ 0000_H$	32	$FFD0\ 4460_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 35	RSCFD0CFDTMPTR35	$0000\ 0000_H$	32	$FFD0\ 4464_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 35	RSCFD0CFDTMFDCTR35	$0000\ 0000_H$	32	$FFD0\ 4468_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 35	RSCFD0CFDTMDF0_35	$0000\ 0000_H$	32	$FFD0\ 446C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 35	RSCFD0CFDTMDF1_35	$0000\ 0000_H$	32	$FFD0\ 4470_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 35	RSCFD0CFDTMDF2_35	$0000\ 0000_H$	32	$FFD0\ 4474_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 35	RSCFD0CFDTMDF3_35	$0000\ 0000_H$	32	$FFD0\ 4478_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 35	RSCFD0CFDTMDF4_35	$0000\ 0000_H$	32	$FFD0\ 447C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 36	RSCFD0CFDTMID36	$0000\ 0000_H$	32	$FFD0\ 4480_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 36	RSCFD0CFDTMPTR36	$0000\ 0000_H$	32	$FFD0\ 4484_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 36	RSCFD0CFDTMFDCTR36	$0000\ 0000_H$	32	$FFD0\ 4488_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 36	RSCFD0CFDTMDF0_36	$0000\ 0000_H$	32	$FFD0\ 448C_H$	2	8、16、32

(159/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 36	RSCFD0CFDTMDF1_36	$0000\ 0000_H$	32	$FFD0\ 4490_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 36	RSCFD0CFDTMDF2_36	$0000\ 0000_H$	32	$FFD0\ 4494_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 36	RSCFD0CFDTMDF3_36	$0000\ 0000_H$	32	$FFD0\ 4498_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 36	RSCFD0CFDTMDF4_36	$0000\ 0000_H$	32	$FFD0\ 449C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 37	RSCFD0CFDTMID37	$0000\ 0000_H$	32	$FFD0\ 44A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 37	RSCFD0CFDTMPTR37	$0000\ 0000_H$	32	$FFD0\ 44A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 37	RSCFD0CFDTMFDCTR37	$0000\ 0000_H$	32	$FFD0\ 44A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 37	RSCFD0CFDTMDF0_37	$0000\ 0000_H$	32	$FFD0\ 44AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 37	RSCFD0CFDTMDF1_37	$0000\ 0000_H$	32	$FFD0\ 44B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 37	RSCFD0CFDTMDF2_37	$0000\ 0000_H$	32	$FFD0\ 44B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 37	RSCFD0CFDTMDF3_37	$0000\ 0000_H$	32	$FFD0\ 44B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 37	RSCFD0CFDTMDF4_37	$0000\ 0000_H$	32	$FFD0\ 44BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 38	RSCFD0CFDTMID38	$0000\ 0000_H$	32	$FFD0\ 44C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 38	RSCFD0CFDTMPTR38	$0000\ 0000_H$	32	$FFD0\ 44C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 38	RSCFD0CFDTMFDCTR38	$0000\ 0000_H$	32	$FFD0\ 44C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 38	RSCFD0CFDTMDF0_38	$0000\ 0000_H$	32	$FFD0\ 44CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 38	RSCFD0CFDTMDF1_38	$0000\ 0000_H$	32	$FFD0\ 44D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 38	RSCFD0CFDTMDF2_38	$0000\ 0000_H$	32	$FFD0\ 44D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 38	RSCFD0CFDTMDF3_38	$0000\ 0000_H$	32	$FFD0\ 44D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 38	RSCFD0CFDTMDF4_38	$0000\ 0000_H$	32	$FFD0\ 44DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 39	RSCFD0CFDTMID39	$0000\ 0000_H$	32	$FFD0\ 44E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 39	RSCFD0CFDTMPTR39	$0000\ 0000_H$	32	$FFD0\ 44E4_H$	2	8、16、32

(160/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 39	RSCFD0CFDTMFDCTR39	$0000\ 0000_H$	32	$FFD0\ 44E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 39	RSCFD0CFDTMDF0_39	$0000\ 0000_H$	32	$FFD0\ 44EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 39	RSCFD0CFDTMDF1_39	$0000\ 0000_H$	32	$FFD0\ 44F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 39	RSCFD0CFDTMDF2_39	$0000\ 0000_H$	32	$FFD0\ 44F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 39	RSCFD0CFDTMDF3_39	$0000\ 0000_H$	32	$FFD0\ 44F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 39	RSCFD0CFDTMDF4_39	$0000\ 0000_H$	32	$FFD0\ 44FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 40	RSCFD0CFDTMID40	$0000\ 0000_H$	32	$FFD0\ 4500_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 40	RSCFD0CFDTMPTR40	$0000\ 0000_H$	32	$FFD0\ 4504_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 40	RSCFD0CFDTMFDCTR40	$0000\ 0000_H$	32	$FFD0\ 4508_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 40	RSCFD0CFDTMDF0_40	$0000\ 0000_H$	32	$FFD0\ 450C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 40	RSCFD0CFDTMDF1_40	$0000\ 0000_H$	32	$FFD0\ 4510_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 40	RSCFD0CFDTMDF2_40	$0000\ 0000_H$	32	$FFD0\ 4514_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 40	RSCFD0CFDTMDF3_40	$0000\ 0000_H$	32	$FFD0\ 4518_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 40	RSCFD0CFDTMDF4_40	$0000\ 0000_H$	32	$FFD0\ 451C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 41	RSCFD0CFDTMID41	$0000\ 0000_H$	32	$FFD0\ 4520_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 41	RSCFD0CFDTMPTR41	$0000\ 0000_H$	32	$FFD0\ 4524_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 41	RSCFD0CFDTMFDCTR41	$0000\ 0000_H$	32	$FFD0\ 4528_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 41	RSCFD0CFDTMDF0_41	$0000\ 0000_H$	32	$FFD0\ 452C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 41	RSCFD0CFDTMDF1_41	$0000\ 0000_H$	32	$FFD0\ 4530_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 41	RSCFD0CFDTMDF2_41	$0000\ 0000_H$	32	$FFD0\ 4534_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 41	RSCFD0CFDTMDF3_41	$0000\ 0000_H$	32	$FFD0\ 4538_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 41	RSCFD0CFDTMDF4_41	$0000\ 0000_H$	32	$FFD0\ 453C_H$	2	8、16、32

(161/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 42	RSCFD0CFDTMID42	$0000\ 0000_H$	32	$FFD0\ 4540_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 42	RSCFD0CFDTMPTR42	$0000\ 0000_H$	32	$FFD0\ 4544_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 42	RSCFD0CFDTMFDCTR42	$0000\ 0000_H$	32	$FFD0\ 4548_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 42	RSCFD0CFDTMDF0_42	$0000\ 0000_H$	32	$FFD0\ 454C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 42	RSCFD0CFDTMDF1_42	$0000\ 0000_H$	32	$FFD0\ 4550_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 42	RSCFD0CFDTMDF2_42	$0000\ 0000_H$	32	$FFD0\ 4554_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 42	RSCFD0CFDTMDF3_42	$0000\ 0000_H$	32	$FFD0\ 4558_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 42	RSCFD0CFDTMDF4_42	$0000\ 0000_H$	32	$FFD0\ 455C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 43	RSCFD0CFDTMID43	$0000\ 0000_H$	32	$FFD0\ 4560_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 43	RSCFD0CFDTMPTR43	$0000\ 0000_H$	32	$FFD0\ 4564_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 43	RSCFD0CFDTMFDCTR43	$0000\ 0000_H$	32	$FFD0\ 4568_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 43	RSCFD0CFDTMDF0_43	$0000\ 0000_H$	32	$FFD0\ 456C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 43	RSCFD0CFDTMDF1_43	$0000\ 0000_H$	32	$FFD0\ 4570_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 43	RSCFD0CFDTMDF2_43	$0000\ 0000_H$	32	$FFD0\ 4574_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 43	RSCFD0CFDTMDF3_43	$0000\ 0000_H$	32	$FFD0\ 4578_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 43	RSCFD0CFDTMDF4_43	$0000\ 0000_H$	32	$FFD0\ 457C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 44	RSCFD0CFDTMID44	$0000\ 0000_H$	32	$FFD0\ 4580_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 44	RSCFD0CFDTMPTR44	$0000\ 0000_H$	32	$FFD0\ 4584_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 44	RSCFD0CFDTMFDCTR44	$0000\ 0000_H$	32	$FFD0\ 4588_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 44	RSCFD0CFDTMDF0_44	$0000\ 0000_H$	32	$FFD0\ 458C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 44	RSCFD0CFDTMDF1_44	$0000\ 0000_H$	32	$FFD0\ 4590_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 44	RSCFD0CFDTMDF2_44	$0000\ 0000_H$	32	$FFD0\ 4594_H$	2	8、16、32

(162/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 44	RSCFD0CFDTMDF3_44	$0000\ 0000_H$	32	$FFD0\ 4598_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 44	RSCFD0CFDTMDF4_44	$0000\ 0000_H$	32	$FFD0\ 459C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 45	RSCFD0CFDTMID45	$0000\ 0000_H$	32	$FFD0\ 45A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 45	RSCFD0CFDTMPTR45	$0000\ 0000_H$	32	$FFD0\ 45A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 45	RSCFD0CFDTMFDCTR45	$0000\ 0000_H$	32	$FFD0\ 45A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 45	RSCFD0CFDTMDF0_45	$0000\ 0000_H$	32	$FFD0\ 45AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 45	RSCFD0CFDTMDF1_45	$0000\ 0000_H$	32	$FFD0\ 45B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 45	RSCFD0CFDTMDF2_45	$0000\ 0000_H$	32	$FFD0\ 45B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 45	RSCFD0CFDTMDF3_45	$0000\ 0000_H$	32	$FFD0\ 45B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 45	RSCFD0CFDTMDF4_45	$0000\ 0000_H$	32	$FFD0\ 45BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 46	RSCFD0CFDTMID46	$0000\ 0000_H$	32	$FFD0\ 45C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 46	RSCFD0CFDTMPTR46	$0000\ 0000_H$	32	$FFD0\ 45C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 46	RSCFD0CFDTMFDCTR46	$0000\ 0000_H$	32	$FFD0\ 45C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 46	RSCFD0CFDTMDF0_46	$0000\ 0000_H$	32	$FFD0\ 45CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 46	RSCFD0CFDTMDF1_46	$0000\ 0000_H$	32	$FFD0\ 45D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 46	RSCFD0CFDTMDF2_46	$0000\ 0000_H$	32	$FFD0\ 45D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 46	RSCFD0CFDTMDF3_46	$0000\ 0000_H$	32	$FFD0\ 45D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 46	RSCFD0CFDTMDF4_46	$0000\ 0000_H$	32	$FFD0\ 45DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 47	RSCFD0CFDTMID47	$0000\ 0000_H$	32	$FFD0\ 45E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 47	RSCFD0CFDTMPTR47	$0000\ 0000_H$	32	$FFD0\ 45E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 47	RSCFD0CFDTMFDCTR47	$0000\ 0000_H$	32	$FFD0\ 45E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 47	RSCFD0CFDTMDF0_47	$0000\ 0000_H$	32	$FFD0\ 45EC_H$	2	8、16、32

(163/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 47	RSCFD0CFDTMDF1_47	$0000\ 0000_H$	32	$FFD0\ 45F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 47	RSCFD0CFDTMDF2_47	$0000\ 0000_H$	32	$FFD0\ 45F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 47	RSCFD0CFDTMDF3_47	$0000\ 0000_H$	32	$FFD0\ 45F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 47	RSCFD0CFDTMDF4_47	$0000\ 0000_H$	32	$FFD0\ 45FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 48	RSCFD0CFDTMID48	$0000\ 0000_H$	32	$FFD0\ 4600_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 48	RSCFD0CFDTMPTR48	$0000\ 0000_H$	32	$FFD0\ 4604_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 48	RSCFD0CFDTMFDCTR48	$0000\ 0000_H$	32	$FFD0\ 4608_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 48	RSCFD0CFDTMDF0_48	$0000\ 0000_H$	32	$FFD0\ 460C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 48	RSCFD0CFDTMDF1_48	$0000\ 0000_H$	32	$FFD0\ 4610_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 48	RSCFD0CFDTMDF2_48	$0000\ 0000_H$	32	$FFD0\ 4614_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 48	RSCFD0CFDTMDF3_48	$0000\ 0000_H$	32	$FFD0\ 4618_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 48	RSCFD0CFDTMDF4_48	$0000\ 0000_H$	32	$FFD0\ 461C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 49	RSCFD0CFDTMID49	$0000\ 0000_H$	32	$FFD0\ 4620_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 49	RSCFD0CFDTMPTR49	$0000\ 0000_H$	32	$FFD0\ 4624_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 49	RSCFD0CFDTMFDCTR49	$0000\ 0000_H$	32	$FFD0\ 4628_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 49	RSCFD0CFDTMDF0_49	$0000\ 0000_H$	32	$FFD0\ 462C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 49	RSCFD0CFDTMDF1_49	$0000\ 0000_H$	32	$FFD0\ 4630_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 49	RSCFD0CFDTMDF2_49	$0000\ 0000_H$	32	$FFD0\ 4634_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 49	RSCFD0CFDTMDF3_49	$0000\ 0000_H$	32	$FFD0\ 4638_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 49	RSCFD0CFDTMDF4_49	$0000\ 0000_H$	32	$FFD0\ 463C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 50	RSCFD0CFDTMID50	$0000\ 0000_H$	32	$FFD0\ 4640_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 50	RSCFD0CFDTMPTR50	$0000\ 0000_H$	32	$FFD0\ 4644_H$	2	8、16、32

(164/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 50	RSCFD0CFDTMFDCTR50	0000 0000_H	32	FFD0 4648_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 50	RSCFD0CFDTMDF0_50	0000 0000_H	32	FFD0 $464C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 50	RSCFD0CFDTMDF1_50	0000 0000_H	32	FFD0 4650_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 50	RSCFD0CFDTMDF2_50	0000 0000_H	32	FFD0 4654_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 50	RSCFD0CFDTMDF3_50	0000 0000_H	32	FFD0 4658_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 50	RSCFD0CFDTMDF4_50	0000 0000_H	32	FFD0 $465C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 51	RSCFD0CFDTMID51	0000 0000_H	32	FFD0 4660_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 51	RSCFD0CFDTMPTR51	0000 0000_H	32	FFD0 4664_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 51	RSCFD0CFDTMFDCTR51	0000 0000_H	32	FFD0 4668_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 51	RSCFD0CFDTMDF0_51	0000 0000_H	32	FFD0 $466C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 51	RSCFD0CFDTMDF1_51	0000 0000_H	32	FFD0 4670_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 51	RSCFD0CFDTMDF2_51	0000 0000_H	32	FFD0 4674_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 51	RSCFD0CFDTMDF3_51	0000 0000_H	32	FFD0 4678_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 51	RSCFD0CFDTMDF4_51	0000 0000_H	32	FFD0 $467C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 52	RSCFD0CFDTMID52	0000 0000_H	32	FFD0 4680_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 52	RSCFD0CFDTMPTR52	0000 0000_H	32	FFD0 4684_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 52	RSCFD0CFDTMFDCTR52	0000 0000_H	32	FFD0 4688_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 52	RSCFD0CFDTMDF0_52	0000 0000_H	32	FFD0 $468C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 52	RSCFD0CFDTMDF1_52	0000 0000_H	32	FFD0 4690_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 52	RSCFD0CFDTMDF2_52	0000 0000_H	32	FFD0 4694_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 52	RSCFD0CFDTMDF3_52	0000 0000_H	32	FFD0 4698_H	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 52	RSCFD0CFDTMDF4_52	0000 0000_H	32	FFD0 $469C_H$	2	8、16、32

(165/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 53	RSCFD0CFDTMID53	$0000\ 0000_H$	32	$FFD0\ 46A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 53	RSCFD0CFDTMPTR53	$0000\ 0000_H$	32	$FFD0\ 46A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 53	RSCFD0CFDTMFDCTR53	$0000\ 0000_H$	32	$FFD0\ 46A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 53	RSCFD0CFDTMDF0_53	$0000\ 0000_H$	32	$FFD0\ 46AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 53	RSCFD0CFDTMDF1_53	$0000\ 0000_H$	32	$FFD0\ 46B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 53	RSCFD0CFDTMDF2_53	$0000\ 0000_H$	32	$FFD0\ 46B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 53	RSCFD0CFDTMDF3_53	$0000\ 0000_H$	32	$FFD0\ 46B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 53	RSCFD0CFDTMDF4_53	$0000\ 0000_H$	32	$FFD0\ 46BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 54	RSCFD0CFDTMID54	$0000\ 0000_H$	32	$FFD0\ 46C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 54	RSCFD0CFDTMPTR54	$0000\ 0000_H$	32	$FFD0\ 46C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 54	RSCFD0CFDTMFDCTR54	$0000\ 0000_H$	32	$FFD0\ 46C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 54	RSCFD0CFDTMDF0_54	$0000\ 0000_H$	32	$FFD0\ 46CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 54	RSCFD0CFDTMDF1_54	$0000\ 0000_H$	32	$FFD0\ 46D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 54	RSCFD0CFDTMDF2_54	$0000\ 0000_H$	32	$FFD0\ 46D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 54	RSCFD0CFDTMDF3_54	$0000\ 0000_H$	32	$FFD0\ 46D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 54	RSCFD0CFDTMDF4_54	$0000\ 0000_H$	32	$FFD0\ 46DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 55	RSCFD0CFDTMID55	$0000\ 0000_H$	32	$FFD0\ 46E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 55	RSCFD0CFDTMPTR55	$0000\ 0000_H$	32	$FFD0\ 46E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 55	RSCFD0CFDTMFDCTR55	$0000\ 0000_H$	32	$FFD0\ 46E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 55	RSCFD0CFDTMDF0_55	$0000\ 0000_H$	32	$FFD0\ 46EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 55	RSCFD0CFDTMDF1_55	$0000\ 0000_H$	32	$FFD0\ 46F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 55	RSCFD0CFDTMDF2_55	$0000\ 0000_H$	32	$FFD0\ 46F4_H$	2	8、16、32

(166/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 55	RSCFD0CFDTMDF3_55	$0000\ 0000_H$	32	$FFD0\ 46F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 55	RSCFD0CFDTMDF4_55	$0000\ 0000_H$	32	$FFD0\ 46FC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 56	RSCFD0CFDTMID56	$0000\ 0000_H$	32	$FFD0\ 4700_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 56	RSCFD0CFDTMPTR56	$0000\ 0000_H$	32	$FFD0\ 4704_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 56	RSCFD0CFDTMFDCTR56	$0000\ 0000_H$	32	$FFD0\ 4708_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 56	RSCFD0CFDTMDF0_56	$0000\ 0000_H$	32	$FFD0\ 470C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 56	RSCFD0CFDTMDF1_56	$0000\ 0000_H$	32	$FFD0\ 4710_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 56	RSCFD0CFDTMDF2_56	$0000\ 0000_H$	32	$FFD0\ 4714_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 56	RSCFD0CFDTMDF3_56	$0000\ 0000_H$	32	$FFD0\ 4718_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 56	RSCFD0CFDTMDF4_56	$0000\ 0000_H$	32	$FFD0\ 471C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 57	RSCFD0CFDTMID57	$0000\ 0000_H$	32	$FFD0\ 4720_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 57	RSCFD0CFDTMPTR57	$0000\ 0000_H$	32	$FFD0\ 4724_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 57	RSCFD0CFDTMFDCTR57	$0000\ 0000_H$	32	$FFD0\ 4728_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 57	RSCFD0CFDTMDF0_57	$0000\ 0000_H$	32	$FFD0\ 472C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 57	RSCFD0CFDTMDF1_57	$0000\ 0000_H$	32	$FFD0\ 4730_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 57	RSCFD0CFDTMDF2_57	$0000\ 0000_H$	32	$FFD0\ 4734_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 57	RSCFD0CFDTMDF3_57	$0000\ 0000_H$	32	$FFD0\ 4738_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 57	RSCFD0CFDTMDF4_57	$0000\ 0000_H$	32	$FFD0\ 473C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 58	RSCFD0CFDTMID58	$0000\ 0000_H$	32	$FFD0\ 4740_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 58	RSCFD0CFDTMPTR58	$0000\ 0000_H$	32	$FFD0\ 4744_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 58	RSCFD0CFDTMFDCTR58	$0000\ 0000_H$	32	$FFD0\ 4748_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 58	RSCFD0CFDTMDF0_58	$0000\ 0000_H$	32	$FFD0\ 474C_H$	2	8、16、32

(167/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 58	RSCFD0CFDTMDF1_58	$0000\ 0000_H$	32	$FFD0\ 4750_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 58	RSCFD0CFDTMDF2_58	$0000\ 0000_H$	32	$FFD0\ 4754_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 58	RSCFD0CFDTMDF3_58	$0000\ 0000_H$	32	$FFD0\ 4758_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 58	RSCFD0CFDTMDF4_58	$0000\ 0000_H$	32	$FFD0\ 475C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 59	RSCFD0CFDTMID59	$0000\ 0000_H$	32	$FFD0\ 4760_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 59	RSCFD0CFDTMPTR59	$0000\ 0000_H$	32	$FFD0\ 4764_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 59	RSCFD0CFDTMFDCTR59	$0000\ 0000_H$	32	$FFD0\ 4768_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 59	RSCFD0CFDTMDF0_59	$0000\ 0000_H$	32	$FFD0\ 476C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 59	RSCFD0CFDTMDF1_59	$0000\ 0000_H$	32	$FFD0\ 4770_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 59	RSCFD0CFDTMDF2_59	$0000\ 0000_H$	32	$FFD0\ 4774_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 59	RSCFD0CFDTMDF3_59	$0000\ 0000_H$	32	$FFD0\ 4778_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 59	RSCFD0CFDTMDF4_59	$0000\ 0000_H$	32	$FFD0\ 477C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 60	RSCFD0CFDTMID60	$0000\ 0000_H$	32	$FFD0\ 4780_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 60	RSCFD0CFDTMPTR60	$0000\ 0000_H$	32	$FFD0\ 4784_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 60	RSCFD0CFDTMFDCTR60	$0000\ 0000_H$	32	$FFD0\ 4788_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 60	RSCFD0CFDTMDF0_60	$0000\ 0000_H$	32	$FFD0\ 478C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 60	RSCFD0CFDTMDF1_60	$0000\ 0000_H$	32	$FFD0\ 4790_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 60	RSCFD0CFDTMDF2_60	$0000\ 0000_H$	32	$FFD0\ 4794_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 60	RSCFD0CFDTMDF3_60	$0000\ 0000_H$	32	$FFD0\ 4798_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 60	RSCFD0CFDTMDF4_60	$0000\ 0000_H$	32	$FFD0\ 479C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 61	RSCFD0CFDTMID61	$0000\ 0000_H$	32	$FFD0\ 47A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 61	RSCFD0CFDTMPTR61	$0000\ 0000_H$	32	$FFD0\ 47A4_H$	2	8、16、32

(168/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 61	RSCFD0CFDTMFDCTR61	$0000\ 0000_H$	32	$FFD0\ 47A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 61	RSCFD0CFDTMDF0_61	$0000\ 0000_H$	32	$FFD0\ 47AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 61	RSCFD0CFDTMDF1_61	$0000\ 0000_H$	32	$FFD0\ 47B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 61	RSCFD0CFDTMDF2_61	$0000\ 0000_H$	32	$FFD0\ 47B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 61	RSCFD0CFDTMDF3_61	$0000\ 0000_H$	32	$FFD0\ 47B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 61	RSCFD0CFDTMDF4_61	$0000\ 0000_H$	32	$FFD0\ 47BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 62	RSCFD0CFDTMID62	$0000\ 0000_H$	32	$FFD0\ 47C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 62	RSCFD0CFDTMPTR62	$0000\ 0000_H$	32	$FFD0\ 47C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 62	RSCFD0CFDTMFDCTR62	$0000\ 0000_H$	32	$FFD0\ 47C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 62	RSCFD0CFDTMDF0_62	$0000\ 0000_H$	32	$FFD0\ 47CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 62	RSCFD0CFDTMDF1_62	$0000\ 0000_H$	32	$FFD0\ 47D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 62	RSCFD0CFDTMDF2_62	$0000\ 0000_H$	32	$FFD0\ 47D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 62	RSCFD0CFDTMDF3_62	$0000\ 0000_H$	32	$FFD0\ 47D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 62	RSCFD0CFDTMDF4_62	$0000\ 0000_H$	32	$FFD0\ 47DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ ID レジスタ 63	RSCFD0CFDTMID63	$0000\ 0000_H$	32	$FFD0\ 47E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファポインタレジスタ 63	RSCFD0CFDTMPTR63	$0000\ 0000_H$	32	$FFD0\ 47E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファ CAN FD コンフィグレーションレジスタ 63	RSCFD0CFDTMFDCTR63	$0000\ 0000_H$	32	$FFD0\ 47E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 0 レジスタ 63	RSCFD0CFDTMDF0_63	$0000\ 0000_H$	32	$FFD0\ 47EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 1 レジスタ 63	RSCFD0CFDTMDF1_63	$0000\ 0000_H$	32	$FFD0\ 47F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 2 レジスタ 63	RSCFD0CFDTMDF2_63	$0000\ 0000_H$	32	$FFD0\ 47F4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 3 レジスタ 63	RSCFD0CFDTMDF3_63	$0000\ 0000_H$	32	$FFD0\ 47F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信バッファデータフィールド 4 レジスタ 63	RSCFD0CFDTMDF4_63	$0000\ 0000_H$	32	$FFD0\ 47FC_H$	2	8、16、32

(169/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	送信履歴アクセスレジスタ 0	RSCFD0CFDTHLACC0	$0000\ 0000_H$	32	$FFD0\ 6000_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴アクセスレジスタ 1	RSCFD0CFDTHLACC1	$0000\ 0000_H$	32	$FFD0\ 6004_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴アクセスレジスタ 2	RSCFD0CFDTHLACC2	$0000\ 0000_H$	32	$FFD0\ 6008_H$	2	8、16、32
RSCFD0（CAN-FDモード）	送信履歴アクセスレジスタ 3	RSCFD0CFDTHLACC3	$0000\ 0000_H$	32	$FFD0\ 600C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 0	RSCFD0CFDRPGACC0	$0000\ 0000_H$	32	$FFD0\ 6400_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 1	RSCFD0CFDRPGACC1	$0000\ 0000_H$	32	$FFD0\ 6404_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 2	RSCFD0CFDRPGACC2	$0000\ 0000_H$	32	$FFD0\ 6408_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 3	RSCFD0CFDRPGACC3	$0000\ 0000_H$	32	$FFD0\ 640C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 4	RSCFD0CFDRPGACC4	$0000\ 0000_H$	32	$FFD0\ 6410_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 5	RSCFD0CFDRPGACC5	$0000\ 0000_H$	32	$FFD0\ 6414_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 6	RSCFD0CFDRPGACC6	$0000\ 0000_H$	32	$FFD0\ 6418_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 7	RSCFD0CFDRPGACC7	$0000\ 0000_H$	32	$FFD0\ 641C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 8	RSCFD0CFDRPGACC8	$0000\ 0000_H$	32	$FFD0\ 6420_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 9	RSCFD0CFDRPGACC9	$0000\ 0000_H$	32	$FFD0\ 6424_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 10	RSCFD0CFDRPGACC10	$0000\ 0000_H$	32	$FFD0\ 6428_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 11	RSCFD0CFDRPGACC11	$0000\ 0000_H$	32	$FFD0\ 642C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 12	RSCFD0CFDRPGACC12	$0000\ 0000_H$	32	$FFD0\ 6430_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 13	RSCFD0CFDRPGACC13	$0000\ 0000_H$	32	$FFD0\ 6434_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 14	RSCFD0CFDRPGACC14	$0000\ 0000_H$	32	$FFD0\ 6438_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 15	RSCFD0CFDRPGACC15	$0000\ 0000_H$	32	$FFD0\ 643C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 16	RSCFD0CFDRPGACC16	$0000\ 0000_H$	32	$FFD0\ 6440_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 17	RSCFD0CFDRPGACC17	$0000\ 0000_H$	32	$FFD0\ 6444_H$	2	8、16、32

(170/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 18	RSCFD0CFDRPGACC18	$0000\ 0000_H$	32	$FFD0\ 6448_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 19	RSCFD0CFDRPGACC19	$0000\ 0000_H$	32	$FFD0\ 644C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 20	RSCFD0CFDRPGACC20	$0000\ 0000_H$	32	$FFD0\ 6450_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 21	RSCFD0CFDRPGACC21	$0000\ 0000_H$	32	$FFD0\ 6454_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 22	RSCFD0CFDRPGACC22	$0000\ 0000_H$	32	$FFD0\ 6458_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 23	RSCFD0CFDRPGACC23	$0000\ 0000_H$	32	$FFD0\ 645C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 24	RSCFD0CFDRPGACC24	$0000\ 0000_H$	32	$FFD0\ 6460_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 25	RSCFD0CFDRPGACC25	$0000\ 0000_H$	32	$FFD0\ 6464_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 26	RSCFD0CFDRPGACC26	$0000\ 0000_H$	32	$FFD0\ 6468_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 27	RSCFD0CFDRPGACC27	$0000\ 0000_H$	32	$FFD0\ 646C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 28	RSCFD0CFDRPGACC28	$0000\ 0000_H$	32	$FFD0\ 6470_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 29	RSCFD0CFDRPGACC29	$0000\ 0000_H$	32	$FFD0\ 6474_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 30	RSCFD0CFDRPGACC30	$0000\ 0000_H$	32	$FFD0\ 6478_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 31	RSCFD0CFDRPGACC31	$0000\ 0000_H$	32	$FFD0\ 647C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 32	RSCFD0CFDRPGACC32	$0000\ 0000_H$	32	$FFD0\ 6480_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 33	RSCFD0CFDRPGACC33	$0000\ 0000_H$	32	$FFD0\ 6484_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 34	RSCFD0CFDRPGACC34	$0000\ 0000_H$	32	$FFD0\ 6488_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 35	RSCFD0CFDRPGACC35	$0000\ 0000_H$	32	$FFD0\ 648C_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 36	RSCFD0CFDRPGACC36	$0000\ 0000_H$	32	$FFD0\ 6490_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 37	RSCFD0CFDRPGACC37	$0000\ 0000_H$	32	$FFD0\ 6494_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 38	RSCFD0CFDRPGACC38	$0000\ 0000_H$	32	$FFD0\ 6498_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 39	RSCFD0CFDRPGACC39	$0000\ 0000_H$	32	$FFD0\ 649C_H$	2	8、16、32

(171/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 40	RSCFD0CFDRPGACC40	$0000\ 0000_H$	32	$FFD0\ 64A0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 41	RSCFD0CFDRPGACC41	$0000\ 0000_H$	32	$FFD0\ 64A4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 42	RSCFD0CFDRPGACC42	$0000\ 0000_H$	32	$FFD0\ 64A8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 43	RSCFD0CFDRPGACC43	$0000\ 0000_H$	32	$FFD0\ 64AC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 44	RSCFD0CFDRPGACC44	$0000\ 0000_H$	32	$FFD0\ 64B0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 45	RSCFD0CFDRPGACC45	$0000\ 0000_H$	32	$FFD0\ 64B4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 46	RSCFD0CFDRPGACC46	$0000\ 0000_H$	32	$FFD0\ 64B8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 47	RSCFD0CFDRPGACC47	$0000\ 0000_H$	32	$FFD0\ 64BC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 48	RSCFD0CFDRPGACC48	$0000\ 0000_H$	32	$FFD0\ 64C0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 49	RSCFD0CFDRPGACC49	$0000\ 0000_H$	32	$FFD0\ 64C4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 50	RSCFD0CFDRPGACC50	$0000\ 0000_H$	32	$FFD0\ 64C8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 51	RSCFD0CFDRPGACC51	$0000\ 0000_H$	32	$FFD0\ 64CC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 52	RSCFD0CFDRPGACC52	$0000\ 0000_H$	32	$FFD0\ 64D0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 53	RSCFD0CFDRPGACC53	$0000\ 0000_H$	32	$FFD0\ 64D4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 54	RSCFD0CFDRPGACC54	$0000\ 0000_H$	32	$FFD0\ 64D8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 55	RSCFD0CFDRPGACC55	$0000\ 0000_H$	32	$FFD0\ 64DC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 56	RSCFD0CFDRPGACC56	$0000\ 0000_H$	32	$FFD0\ 64E0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 57	RSCFD0CFDRPGACC57	$0000\ 0000_H$	32	$FFD0\ 64E4_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 58	RSCFD0CFDRPGACC58	$0000\ 0000_H$	32	$FFD0\ 64E8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 59	RSCFD0CFDRPGACC59	$0000\ 0000_H$	32	$FFD0\ 64EC_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 60	RSCFD0CFDRPGACC60	$0000\ 0000_H$	32	$FFD0\ 64F0_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 61	RSCFD0CFDRPGACC61	$0000\ 0000_H$	32	$FFD0\ 64F4_H$	2	8、16、32

(172/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 62	RSCFD0CFDRPGACC62	$0000\ 0000_H$	32	$FFD0\ 64F8_H$	2	8、16、32
RSCFD0（CAN-FDモード）	RAM テストページアクセスレジスタ 63	RSCFD0CFDRPGACC63	$0000\ 0000_H$	32	$FFD0\ 64FC_H$	2	8、16、32
CSIH0	CSIH0 制御レジスタ 0	CSIH0CTL0	00_H	8	$FFD8\ 0000_H$	2	8
CSIH0	CSIH0 ステータスレジスタ 0	CSIH0STR0	$0000\ 0010_H$	32	$FFD8\ 0004_H$	2	32
CSIH0	CSIH0 ステータスクリアレジスタ 0	CSIH0STCR0	0000_H	16	$FFD8\ 0008_H$	2	16
CSIH0	CSIH0 制御レジスタ 1	CSIH0CTL1	$0000\ 0000_H$	32	$FFD8\ 0010_H$	2	32
CSIH0	CSIH0 制御レジスタ 2	CSIH0CTL2	$E000_H$	16	$FFD8\ 0014_H$	2	16
CSIH0	CSIH0 ワードアクセス用送信データレジスタ 0	CSIH0TX0W	$XXXX\ XXXX_H$	32	$FFD8\ 1008_H$	2	32
CSIH0	CSIH0 ハーフワードアクセス用送信データレジスタ 0	CSIH0TX0H	XXXX_H	16	$FFD8\ 100C_H$	2	16
CSIH0	CSIH0 ワードアクセス用受信データレジスタ 0	CSIH0RX0W	$XXXX\ XXXX_H$	32	$FFD8\ 1010_H$	2	32
CSIH0	CSIH0 ハーフワードアクセス用受信データレジスタ 0	CSIH0RX0H	XXXX_H	16	$FFD8\ 1014_H$	2	16
CSIH0	CSIH0 コンフィグレーションレジスタ 0	CSIH0CFG0	$0000\ 0000_H$	32	$FFD8\ 1044_H$	2	32
CSIH0	CSIH0 コンフィグレーションレジスタ 1	CSIH0CFG1	$0000\ 0000_H$	32	$FFD8\ 1048_H$	2	32
CSIH0	CSIH0 コンフィグレーションレジスタ 2	CSIH0CFG2	$0000\ 0000_H$	32	$FFD8\ 104C_H$	2	32
CSIH0	CSIH0 コンフィグレーションレジスタ 3	CSIH0CFG3	$0000\ 0000_H$	32	$FFD8\ 1050_H$	2	32
CSIH0	CSIH0 コンフィグレーションレジスタ 4	CSIH0CFG4	$0000\ 0000_H$	32	$FFD8\ 1054_H$	2	32
CSIH0	CSIH0 コンフィグレーションレジスタ 5	CSIH0CFG5	$0000\ 0000_H$	32	$FFD8\ 1058_H$	2	32
CSIH0	CSIH0 ボーレート設定レジスタ 0	CSIH0BRS0	0000_H	16	$FFD8\ 1068_H$	2	16
CSIH0	CSIH0 ボーレート設定レジスタ 1	CSIH0BRS1	0000_H	16	$FFD8\ 106C_H$	2	16
CSIH0	CSIH0 ボーレート設定レジスタ 2	CSIH0BRS2	0000_H	16	$FFD8\ 1070_H$	2	16
CSIH0	CSIH0 ボーレート設定レジスタ 3	CSIH0BRS3	0000_H	16	$FFD8\ 1074_H$	2	16
CSIH1	CSIH1 制御レジスタ 0	CSIH1CTL0	00_H	8	$FFD8\ 2000_H$	2	8
CSIH1	CSIH1 ステータスレジスタ 0	CSIH1STR0	$0000\ 0010_H$	32	$FFD8\ 2004_H$	2	32
CSIH1	CSIH1 ステータスクリアレジスタ 0	CSIH1STCR0	0000_H	16	$FFD8\ 2008_H$	2	16
CSIH1	CSIH1 制御レジスタ 1	CSIH1CTL1	$0000\ 0000_H$	32	$FFD8\ 2010_H$	2	32
CSIH1	CSIH1 制御レジスタ 2	CSIH1CTL2	$E000_H$	16	$FFD8\ 2014_H$	2	16
CSIH1	CSIH1 ワードアクセス用送信データレジスタ 0	CSIH1TX0W	$XXXX\ XXXX_H$	32	$FFD8\ 3008_H$	2	32
CSIH1	CSIH1 ハーフワードアクセス用送信データレジスタ 0	CSIH1TX0H	XXXX_H	16	$FFD8\ 300C_H$	2	16
CSIH1	CSIH1 ワードアクセス用受信データレジスタ 0	CSIH1RX0W	$XXXX\ XXXX_H$	32	$FFD8\ 3010_H$	2	32
CSIH1	CSIH1 ハーフワードアクセス用受信データレジスタ 0	CSIH1RX0H	XXXX_H	16	$FFD8\ 3014_H$	2	16
CSIH1	CSIH1 コンフィグレーションレジスタ 0	CSIH1CFG0	$0000\ 0000_H$	32	$FFD8\ 3044_H$	2	32
CSIH1	CSIH1 コンフィグレーションレジスタ 1	CSIH1CFG1	$0000\ 0000_H$	32	$FFD8\ 3048_H$	2	32
CSIH1	CSIH1 コンフィグレーションレジスタ 2	CSIH1CFG2	$0000\ 0000_H$	32	$FFD8\ 304C_H$	2	32
CSIH1	CSIH1 コンフィグレーションレジスタ 3	CSIH1CFG3	$0000\ 0000_H$	32	$FFD8\ 3050_H$	2	32
CSIH1	CSIH1 ボーレート設定レジスタ 0	CSIH1BRS0	0000_H	16	$FFD8\ 3068_H$	2	16
CSIH1	CSIH1 ボーレート設定レジスタ 1	CSIH1BRS1	0000_H	16	$FFD8\ 306C_H$	2	16
CSIH1	CSIH1 ボーレート設定レジスタ 2	CSIH1BRS2	0000_H	16	$FFD8\ 3070_H$	2	16
CSIH1	CSIH1 ボーレート設定レジスタ 3	CSIH1BRS3	0000_H	16	$FFD8\ 3074_H$	2	16
CSIH2	CSIH2 制御レジスタ 0	CSIH2CTL0	00_H	8	$FFD8\ 4000_H$	2	8
CSIH2	CSIH2 ステータスレジスタ 0	CSIH2STR0	$0000\ 0010_H$	32	$FFD8\ 4004_H$	2	32

(173/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
CSIH2	CSIH2 ステータスクリアレジスタ 0	CSIH2STCR0	0000_H	16	FFD8 4008_H	2	16
CSIH2	CSIH2 制御レジスタ 1	CSIH2CTL1	0000 0000_H	32	FFD8 4010_H	2	32
CSIH2	CSIH2 制御レジスタ 2	CSIH2CTL2	$E000_H$	16	FFD8 4014_H	2	16
CSIH2	CSIH2 ワードアクセス用送信データレジスタ 0	CSIH2TX0W	XXXX XXXX_H	32	FFD8 5008_H	2	32
CSIH2	CSIH2 ハーフワードアクセス用送信データレジスタ 0	CSIH2TX0H	XXXX_H	16	FFD8 $500C_H$	2	16
CSIH2	CSIH2 ワードアクセス用受信データレジスタ 0	CSIH2RX0W	XXXX XXXX_H	32	FFD8 5010_H	2	32
CSIH2	CSIH2 ハーフワードアクセス用受信データレジスタ 0	CSIH2RX0H	XXXX_H	16	FFD8 5014_H	2	16
CSIH2	CSIH2 コンフィグレーションレジスタ 0	CSIH2CFG0	0000 0000_H	32	FFD8 5044_H	2	32
CSIH2	CSIH2 コンフィグレーションレジスタ 1	CSIH2CFG1	0000 0000_H	32	FFD8 5048_H	2	32
CSIH2	CSIH2 コンフィグレーションレジスタ 2	CSIH2CFG2	0000 0000_H	32	FFD8 $504C_H$	2	32
CSIH2	CSIH2 コンフィグレーションレジスタ 3	CSIH2CFG3	0000 0000_H	32	FFD8 5050_H	2	32
CSIH2	CSIH2 ボーレート設定レジスタ 0	CSIH2BRS0	0000_H	16	FFD8 5068_H	2	16
CSIH2	CSIH2 ボーレート設定レジスタ 1	CSIH2BRS1	0000_H	16	FFD8 $506C_H$	2	16
CSIH2	CSIH2 ボーレート設定レジスタ 2	CSIH2BRS2	0000_H	16	FFD8 5070_H	2	16
CSIH2	CSIH2 ボーレート設定レジスタ 3	CSIH2BRS3	0000_H	16	FFD8 5074_H	2	16
CSIH3	CSIH3 制御レジスタ 0	CSIH3CTL0	00_H	8	FFD8 6000_H	2	8
CSIH3	CSIH3 ステータスレジスタ 0	CSIH3STR0	0000 0010_H	32	FFD8 6004_H	2	32
CSIH3	CSIH3 ステータスクリアレジスタ 0	CSIH3STCR0	0000_H	16	FFD8 6008_H	2	16
CSIH3	CSIH3 制御レジスタ 1	CSIH3CTL1	0000 0000_H	32	FFD8 6010_H	2	32
CSIH3	CSIH3 制御レジスタ 2	CSIH3CTL2	$E000_H$	16	FFD8 6014_H	2	16
CSIH3	CSIH3 ワードアクセス用送信データレジスタ 0	CSIH3TX0W	XXXX XXXX_H	32	FFD8 7008_H	2	32
CSIH3	CSIH3 ハーフワードアクセス用送信データレジスタ 0	CSIH3TX0H	XXXX_H	16	FFD8 $700C_H$	2	16
CSIH3	CSIH3 ワードアクセス用受信データレジスタ 0	CSIH3RX0W	XXXX XXXX_H	32	FFD8 7010_H	2	32
CSIH3	CSIH3 ハーフワードアクセス用受信データレジスタ 0	CSIH3RX0H	XXXX_H	16	FFD8 7014_H	2	16
CSIH3	CSIH3 コンフィグレーションレジスタ 0	CSIH3CFG0	0000 0000_H	32	FFD8 7044_H	2	32
CSIH3	CSIH3 コンフィグレーションレジスタ 1	CSIH3CFG1	0000 0000_H	32	FFD8 7048_H	2	32
CSIH3	CSIH3 コンフィグレーションレジスタ 2	CSIH3CFG2	0000 0000_H	32	FFD8 $704C_H$	2	32
CSIH3	CSIH3 コンフィグレーションレジスタ 3	CSIH3CFG3	0000 0000_H	32	FFD8 7050_H	2	32
CSIH3	CSIH3 ボーレート設定レジスタ 0	CSIH3BRS0	0000_H	16	FFD8 7068_H	2	16
CSIH3	CSIH3 ボーレート設定レジスタ 1	CSIH3BRS1	0000_H	16	FFD8 $706C_H$	2	16
CSIH3	CSIH3 ボーレート設定レジスタ 2	CSIH3BRS2	0000_H	16	FFD8 7070_H	2	16
CSIH3	CSIH3 ボーレート設定レジスタ 3	CSIH3BRS3	0000_H	16	FFD8 7074_H	2	16
SCI30	シリアルモードレジスタ	SCI30SMR	00_H	8	FFD9 0000_H	1 (1L)	8
SCI30	ビットレートレジスタ	SCI30BRR	FF_H	8	FFD9 0004_H	1 (1L)	8
SCI30	モジュレーションデューティレジスタ	SCI30MDDR	FF_H	8	FFD9 0004_H	1 (1L)	8
SCI30	シリアルコントロールレジスタ	SCI30SCR	00_H	8	FFD9 0008_H	1 (1L)	8
SCI30	トランスミットデータレジスタ	SCI30TDR	FF_H	8	FFD9 $000C_H$	1 (1L)	8
SCI30	シリアルステータスレジスタ	SCI30SSR	84_H	8	FFD9 0010_H	1 (1L)	8
SCI30	レシーブデータレジスタ	SCI30RDR	00_H	8	FFD9 0014_H	1 (1L)	8
SCI30	シリアル通信フォーマットレジスタ	SCI30SCMR	$F2_H$	8	FFD9 0018_H	1 (1L)	8
SCI30	シリアル拡張モードレジスタ	SCI30SEMR	04_H	8	FFD9 $001C_H$	1 (1L)	8
SCI31	シリアルモードレジスタ	SCI31SMR	00_H	8	FFD9 1000_H	1 (1L)	8

(174/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
SCI31	ビットレートレジスタ	SCI31BRR	FF_H	8	FFD9 1004_H	1 (1L)	8
SCI31	モジュレーションデューティレジスタ	SCI31MDDR	FF_H	8	FFD9 1004_H	1 (1L)	8
SCI31	シリアルコントロールレジスタ	SCI31SCR	00_H	8	FFD9 1008_H	1 (1L)	8
SCI31	トランスミットデータレジスタ	SCI31TDR	FF_H	8	FFD9 $100C_H$	1 (1L)	8
SCI31	シリアルステータスレジスタ	SCI31SSR	84_H	8	FFD9 1010_H	1 (1L)	8
SCI31	レシーブデータレジスタ	SCI31RDR	00_H	8	FFD9 1014_H	1 (1L)	8
SCI31	シリアル通信フォーマットレジスタ	SCI31SCMR	$F2_H$	8	FFD9 1018_H	1 (1L)	8
SCI31	シリアル拡張モードレジスタ	SCI31SEMR	04_H	8	FFD9 $101C_H$	1 (1L)	8
SCI32	シリアルモードレジスタ	SCI32SMR	00_H	8	FFD9 2000_H	1 (1L)	8
SCI32	ビットレートレジスタ	SCI32BRR	FF_H	8	FFD9 2004_H	1 (1L)	8
SCI32	モジュレーションデューティレジスタ	SCI32MDDR	FF_H	8	FFD9 2004_H	1 (1L)	8
SCI32	シリアルコントロールレジスタ	SCI32SCR	00_H	8	FFD9 2008_H	1 (1L)	8
SCI32	トランスミットデータレジスタ	SCI32TDR	FF_H	8	FFD9 $200C_H$	1 (1L)	8
SCI32	シリアルステータスレジスタ	SCI32SSR	84_H	8	FFD9 2010_H	1 (1L)	8
SCI32	レシーブデータレジスタ	SCI32RDR	00_H	8	FFD9 2014_H	1 (1L)	8
SCI32	シリアル通信フォーマットレジスタ	SCI32SCMR	$F2_H$	8	FFD9 2018_H	1 (1L)	8
SCI32	シリアル拡張モードレジスタ	SCI32SEMR	04_H	8	FFD9 $201C_H$	1 (1L)	8
SCI33	シリアルモードレジスタ	SCI33SMR	00_H	8	FFD9 3000_H	1 (1L)	8
SCI33	ビットレートレジスタ	SCI33BRR	FF_H	8	FFD9 3004_H	1 (1L)	8
SCI33	モジュレーションデューティレジスタ	SCI33MDDR	FF_H	8	FFD9 3004_H	1 (1L)	8
SCI33	シリアルコントロールレジスタ	SCI33SCR	00_H	8	FFD9 3008_H	1 (1L)	8
SCI33	トランスミットデータレジスタ	SCI33TDR	FF_H	8	FFD9 $300C_H$	1 (1L)	8
SCI33	シリアルステータスレジスタ	SCI33SSR	84_H	8	FFD9 3010_H	1 (1L)	8
SCI33	レシーブデータレジスタ	SCI33RDR	00_H	8	FFD9 3014_H	1 (1L)	8
SCI33	シリアル通信フォーマットレジスタ	SCI33SCMR	$F2_H$	8	FFD9 3018_H	1 (1L)	8
SCI33	シリアル拡張モードレジスタ	SCI33SEMR	04_H	8	FFD9 $301C_H$	1 (1L)	8
RSENT0	RSENT タイムスタンプレジスタ	RSENT0TSPC	$0000\ 0000_H$	32	FFDB 0000_H	1 (1L)	8、16、32
RSENT0	RSENT タイムスタンプカウンタレジスタ	RSENT0TSC	$0000\ 0000_H$	32	FFDB 0004_H	1 (1L)	8、16、32
RSENT0	RSENT 通信設定レジスタ	RSENT0CC	$0000\ 0000_H$	32	FFDB 0010_H	1 (1L)	8、16、32
RSENT0	RSENT ボーレートプリスケーラレジスタ	RSENT0BRP	$0000\ 0000_H$	32	FFDB 0014_H	1 (1L)	8、16、32
RSENT0	RSENT 割り込み／ DMA イネーブルレジスタ	RSENT0IDE	$0000\ 0000_H$	32	FFDB 0018_H	1 (1L)	8、16、32
RSENT0	RSENT モード制御レジスタ	RSENT0MDC	$0000\ 0000_H$	32	FFDB $001C_H$	1 (1L)	8、16、32
RSENT0	RSENT SPC 送信レジスタ	RSENT0SPCT	$0000\ 0000_H$	32	FFDB 0020_H	1 (1L)	8、16、32
RSENT0	RSENT モードステータスレジスタ	RSENT0MST	$0000\ 0000_H$	32	FFDB 0024_H	1 (1L)	8、16、32
RSENT0	RSENT 通信ステータスレジスタ	RSENT0CS	$0000\ 0000_H$	32	FFDB 0028_H	1 (1L)	8、16、32
RSENT0	RSENT 通信ステータスクリアレジスタ	RSENT0CSC	$0000\ 0000_H$	32	FFDB $002C_H$	1 (1L)	8、16、32
RSENT0	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT0SRTS	$0000\ 0000_H$	32	FFDB 0030_H	1 (1L)	8、16、32
RSENT0	RSENT 低速チャネル受信データレジスタ	RSENT0SRXD	$0000\ 0000_H$	32	FFDB 0034_H	1 (1L)	8、16、32
RSENT0	RSENT キャリブレーションパルス長レジスタ	RSENT0CPL	$0000\ 0000_H$	32	FFDB 0038_H	1 (1L)	8、16、32
RSENT0	RSENT メッセージ長レジスタ	RSENT0ML	$0000\ 0000_H$	32	FFDB $003C_H$	1 (1L)	8、16、32
RSENT0	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT0FRTS	$0000\ 0000_H$	32	FFDB 0040_H	1 (1L)	8、16、32
RSENT0	RSENT 高速チャネル受信データレジスタ	RSENT0FRXD	$0000\ 0000_H$	32	FFDB 0044_H	1 (1L)	8、16、32

(175/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSENT1	RSENT タイムスタンプレジスタ	RSENT1TSPC	0000 0000$_H$	32	FFDB 0080$_H$	1 (1L)	8、16、32
RSENT1	RSENT タイムスタンプカウンタレジスタ	RSENT1TSC	0000 0000$_H$	32	FFDB 0084$_H$	1 (1L)	8、16、32
RSENT1	RSENT 通信設定レジスタ	RSENT1CC	0000 0000$_H$	32	FFDB 0090$_H$	1 (1L)	8、16、32
RSENT1	RSENT ボーレートプリスケーラレジスタ	RSENT1BRP	0000 0000$_H$	32	FFDB 0094$_H$	1 (1L)	8、16、32
RSENT1	RSENT 割り込み／ DMA イネーブルレジスタ	RSENT1IDE	0000 0000$_H$	32	FFDB 0098$_H$	1 (1L)	8、16、32
RSENT1	RSENT モード制御レジスタ	RSENT1MDC	0000 0000$_H$	32	FFDB 009C$_H$	1 (1L)	8、16、32
RSENT1	RSENT SPC 送信レジスタ	RSENT1SPCT	0000 0000$_H$	32	FFDB 00A0$_H$	1 (1L)	8、16、32
RSENT1	RSENT モードステータスレジスタ	RSENT1MST	0000 0000$_H$	32	FFDB 00A4$_H$	1 (1L)	8、16、32
RSENT1	RSENT 通信ステータスレジスタ	RSENT1CS	0000 0000$_H$	32	FFDB 00A8$_H$	1 (1L)	8、16、32
RSENT1	RSENT 通信ステータスクリアレジスタ	RSENT1CSC	0000 0000$_H$	32	FFDB 00AC$_H$	1 (1L)	8、16、32
RSENT1	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT1SRTS	0000 0000$_H$	32	FFDB 00B0$_H$	1 (1L)	8、16、32
RSENT1	RSENT 低速チャネル受信データレジスタ	RSENT1SRXD	0000 0000$_H$	32	FFDB 00B4$_H$	1 (1L)	8、16、32
RSENT1	RSENT キャリブレーションパルス長レジスタ	RSENT1CPL	0000 0000$_H$	32	FFDB 00B8$_H$	1 (1L)	8、16、32
RSENT1	RSENT メッセージ長レジスタ	RSENT1ML	0000 0000$_H$	32	FFDB 00BC$_H$	1 (1L)	8、16、32
RSENT1	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT1FRTS	0000 0000$_H$	32	FFDB 00C0$_H$	1 (1L)	8、16、32
RSENT1	RSENT 高速チャネル受信データレジスタ	RSENT1FRXD	0000 0000$_H$	32	FFDB 00C4$_H$	1 (1L)	8、16、32
RSENT2	RSENT タイムスタンプレジスタ	RSENT2TSPC	0000 0000$_H$	32	FFDB 0100$_H$	1 (1L)	8、16、32
RSENT2	RSENT タイムスタンプカウンタレジスタ	RSENT2TSC	0000 0000$_H$	32	FFDB 0104$_H$	1 (1L)	8、16、32
RSENT2	RSENT 通信設定レジスタ	RSENT2CC	0000 0000$_H$	32	FFDB 0110$_H$	1 (1L)	8、16、32
RSENT2	RSENT ボーレートプリスケーラレジスタ	RSENT2BRP	0000 0000$_H$	32	FFDB 0114$_H$	1 (1L)	8、16、32
RSENT2	RSENT 割り込み／ DMA イネーブルレジスタ	RSENT2IDE	0000 0000$_H$	32	FFDB 0118$_H$	1 (1L)	8、16、32
RSENT2	RSENT モード制御レジスタ	RSENT2MDC	0000 0000$_H$	32	FFDB 011C$_H$	1 (1L)	8、16、32
RSENT2	RSENT SPC 送信レジスタ	RSENT2SPCT	0000 0000$_H$	32	FFDB 0120$_H$	1 (1L)	8、16、32
RSENT2	RSENT モードステータスレジスタ	RSENT2MST	0000 0000$_H$	32	FFDB 0124$_H$	1 (1L)	8、16、32
RSENT2	RSENT 通信ステータスレジスタ	RSENT2CS	0000 0000$_H$	32	FFDB 0128$_H$	1 (1L)	8、16、32
RSENT2	RSENT 通信ステータスクリアレジスタ	RSENT2CSC	0000 0000$_H$	32	FFDB 012C$_H$	1 (1L)	8、16、32
RSENT2	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT2SRTS	0000 0000$_H$	32	FFDB 0130$_H$	1 (1L)	8、16、32
RSENT2	RSENT 低速チャネル受信データレジスタ	RSENT2SRXD	0000 0000$_H$	32	FFDB 0134$_H$	1 (1L)	8、16、32
RSENT2	RSENT キャリブレーションパルス長レジスタ	RSENT2CPL	0000 0000$_H$	32	FFDB 0138$_H$	1 (1L)	8、16、32
RSENT2	RSENT メッセージ長レジスタ	RSENT2ML	0000 0000$_H$	32	FFDB 013C$_H$	1 (1L)	8、16、32
RSENT2	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT2FRTS	0000 0000$_H$	32	FFDB 0140$_H$	1 (1L)	8、16、32
RSENT2	RSENT 高速チャネル受信データレジスタ	RSENT2FRXD	0000 0000$_H$	32	FFDB 0144$_H$	1 (1L)	8、16、32
RSENT3	RSENT タイムスタンプレジスタ	RSENT3TSPC	0000 0000$_H$	32	FFDB 0180$_H$	1 (1L)	8、16、32
RSENT3	RSENT タイムスタンプカウンタレジスタ	RSENT3TSC	0000 0000$_H$	32	FFDB 0184$_H$	1 (1L)	8、16、32
RSENT3	RSENT 通信設定レジスタ	RSENT3CC	0000 0000$_H$	32	FFDB 0190$_H$	1 (1L)	8、16、32

(176/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSENT3	RSENT ボーレートプリスケーラレジスタ	RSENT3BRP	$0000\ 0000_H$	32	$FFDB\ 0194_H$	1 (1L)	8、16、32
RSENT3	RSENT 割り込み／ DMA イネーブルレジスタ	RSENT3IDE	$0000\ 0000_H$	32	$FFDB\ 0198_H$	1 (1L)	8、16、32
RSENT3	RSENT モード制御レジスタ	RSENT3MDC	$0000\ 0000_H$	32	$FFDB\ 019C_H$	1 (1L)	8、16、32
RSENT3	RSENT SPC 送信レジスタ	RSENT3SPCT	$0000\ 0000_H$	32	$FFDB\ 01A0_H$	1 (1L)	8、16、32
RSENT3	RSENT モードステータスレジスタ	RSENT3MST	$0000\ 0000_H$	32	$FFDB\ 01A4_H$	1 (1L)	8、16、32
RSENT3	RSENT 通信ステータスレジスタ	RSENT3CS	$0000\ 0000_H$	32	$FFDB\ 01A8_H$	1 (1L)	8、16、32
RSENT3	RSENT 通信ステータスクリアレジスタ	RSENT3CSC	$0000\ 0000_H$	32	$FFDB\ 01AC_H$	1 (1L)	8、16、32
RSENT3	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT3SRTS	$0000\ 0000_H$	32	$FFDB\ 01B0_H$	1 (1L)	8、16、32
RSENT3	RSENT 低速チャネル受信データレジスタ	RSENT3SRXD	$0000\ 0000_H$	32	$FFDB\ 01B4_H$	1 (1L)	8、16、32
RSENT3	RSENT キャリブレーションパルス長レジスタ	RSENT3CPL	$0000\ 0000_H$	32	$FFDB\ 01B8_H$	1 (1L)	8、16、32
RSENT3	RSENT メッセージ長レジスタ	RSENT3ML	$0000\ 0000_H$	32	$FFDB\ 01BC_H$	1 (1L)	8、16、32
RSENT3	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT3FRTS	$0000\ 0000_H$	32	$FFDB\ 01C0_H$	1 (1L)	8、16、32
RSENT3	RSENT 高速チャネル受信データレジスタ	RSENT3FRXD	$0000\ 0000_H$	32	$FFDB\ 01C4_H$	1 (1L)	8、16、32
RSENT4	RSENT タイムスタンプレジスタ	RSENT4TSPC	$0000\ 0000_H$	32	$FFDB\ 0200_H$	1 (1L)	8、16、32
RSENT4	RSENT タイムスタンプカウンタレジスタ	RSENT4TSC	$0000\ 0000_H$	32	$FFDB\ 0204_H$	1 (1L)	8、16、32
RSENT4	RSENT 通信設定レジスタ	RSENT4CC	$0000\ 0000_H$	32	$FFDB\ 0210_H$	1 (1L)	8、16、32
RSENT4	RSENT ボーレートプリスケーラレジスタ	RSENT4BRP	$0000\ 0000_H$	32	$FFDB\ 0214_H$	1 (1L)	8、16、32
RSENT4	RSENT 割り込み／ DMA イネーブルレジスタ	RSENT4IDE	$0000\ 0000_H$	32	$FFDB\ 0218_H$	1 (1L)	8、16、32
RSENT4	RSENT モード制御レジスタ	RSENT4MDC	$0000\ 0000_H$	32	$FFDB\ 021C_H$	1 (1L)	8、16、32
RSENT4	RSENT SPC 送信レジスタ	RSENT4SPCT	$0000\ 0000_H$	32	$FFDB\ 0220_H$	1 (1L)	8、16、32
RSENT4	RSENT モードステータスレジスタ	RSENT4MST	$0000\ 0000_H$	32	$FFDB\ 0224_H$	1 (1L)	8、16、32
RSENT4	RSENT 通信ステータスレジスタ	RSENT4CS	$0000\ 0000_H$	32	$FFDB\ 0228_H$	1 (1L)	8、16、32
RSENT4	RSENT 通信ステータスクリアレジスタ	RSENT4CSC	$0000\ 0000_H$	32	$FFDB\ 022C_H$	1 (1L)	8、16、32
RSENT4	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT4SRTS	$0000\ 0000_H$	32	$FFDB\ 0230_H$	1 (1L)	8、16、32
RSENT4	RSENT 低速チャネル受信データレジスタ	RSENT4SRXD	$0000\ 0000_H$	32	$FFDB\ 0234_H$	1 (1L)	8、16、32
RSENT4	RSENT キャリブレーションパルス長レジスタ	RSENT4CPL	$0000\ 0000_H$	32	$FFDB\ 0238_H$	1 (1L)	8、16、32
RSENT4	RSENT メッセージ長レジスタ	RSENT4ML	$0000\ 0000_H$	32	$FFDB\ 023C_H$	1 (1L)	8、16、32
RSENT4	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT4FRTS	$0000\ 0000_H$	32	$FFDB\ 0240_H$	1 (1L)	8、16、32
RSENT4	RSENT 高速チャネル受信データレジスタ	RSENT4FRXD	$0000\ 0000_H$	32	$FFDB\ 0244_H$	1 (1L)	8、16、32
RSENT5	RSENT タイムスタンプレジスタ	RSENT5TSPC	$0000\ 0000_H$	32	$FFDB\ 0280_H$	1 (1L)	8、16、32
RSENT5	RSENT タイムスタンプカウンタレジスタ	RSENT5TSC	$0000\ 0000_H$	32	$FFDB\ 0284_H$	1 (1L)	8、16、32
RSENT5	RSENT 通信設定レジスタ	RSENT5CC	$0000\ 0000_H$	32	$FFDB\ 0290_H$	1 (1L)	8、16、32
RSENT5	RSENT ボーレートプリスケーラレジスタ	RSENT5BRP	$0000\ 0000_H$	32	$FFDB\ 0294_H$	1 (1L)	8、16、32
RSENT5	RSENT 割り込み／ DMA イネーブルレジスタ	RSENT5IDE	$0000\ 0000_H$	32	$FFDB\ 0298_H$	1 (1L)	8、16、32
RSENT5	RSENT モード制御レジスタ	RSENT5MDC	$0000\ 0000_H$	32	$FFDB\ 029C_H$	1 (1L)	8、16、32

(177/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RSENT5	RSENT SPC 送信レジスタ	RSENT5SPCT	0000 0000$_H$	32	FFDB 02A0$_H$	1 (1L)	8、16、32
RSENT5	RSENT モードステータスレジスタ	RSENT5MST	0000 0000$_H$	32	FFDB 02A4$_H$	1 (1L)	8、16、32
RSENT5	RSENT 通信ステータスレジスタ	RSENT5CS	0000 0000$_H$	32	FFDB 02A8$_H$	1 (1L)	8、16、32
RSENT5	RSENT 通信ステータスクリアレジスタ	RSENT5CSC	0000 0000$_H$	32	FFDB 02AC$_H$	1 (1L)	8、16、32
RSENT5	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENT5SRTS	0000 0000$_H$	32	FFDB 02B0$_H$	1 (1L)	8、16、32
RSENT5	RSENT 低速チャネル受信データレジスタ	RSENT5SRXD	0000 0000$_H$	32	FFDB 02B4$_H$	1 (1L)	8、16、32
RSENT5	RSENT キャリブレーションパルス長レジスタ	RSENT5CPL	0000 0000$_H$	32	FFDB 02B8$_H$	1 (1L)	8、16、32
RSENT5	RSENT メッセージ長レジスタ	RSENT5ML	0000 0000$_H$	32	FFDB 02BC$_H$	1 (1L)	8、16、32
RSENT5	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENT5FRTS	0000 0000$_H$	32	FFDB 02C0$_H$	1 (1L)	8、16、32
RSENT5	RSENT 高速チャネル受信データレジスタ	RSENT5FRXD	0000 0000$_H$	32	FFDB 02C4$_H$	1 (1L)	8、16、32
PBG	PBG1A プロテクションレジスタ 0	FSGD1ADPROT0	07FF FFFF$_H$	32	FFDC 0000$_H$	1 (1L)	8、16、32
PBG	PBG1A プロテクションレジスタ 1	FSGD1ADPROT1	07FF FFFF$_H$	32	FFDC 0004$_H$	1 (1L)	8、16、32
PBG	PBG1A プロテクションレジスタ 3	FSGD1ADPROT3	07FF FFFF$_H$	32	FFDC 000C$_H$	1 (1L)	8、16、32
PBG	PBG1A プロテクションレジスタ 4	FSGD1ADPROT4	07FF FFFF$_H$	32	FFDC 0010$_H$	1 (1L)	8、16、32
PBG	PBG1A プロテクションレジスタ 5	FSGD1ADPROT5	07FF FFFF$_H$	32	FFDC 0014$_H$	1 (1L)	8、16、32
PBG	PBG1A プロテクションレジスタ 6	FSGD1ADPROT6	07FF FFFF$_H$	32	FFDC 0018$_H$	1 (1L)	8、16、32
PBG	PBG1A プロテクションレジスタ 7	FSGD1ADPROT7	07FF FFFF$_H$	32	FFDC 001C$_H$	1 (1L)	8、16、32
PBG	PBG1A プロテクションレジスタ 8	FSGD1ADPROT8	07FF FFFF$_H$	32	FFDC 0020$_H$	1 (1L)	8、16、32
PBG	PBG1A エラーコントロールレジスタ	ERRSLV1ACTL	0000 0000$_H$	32	FFDC 0200$_H$	1 (1L)	8、16、32
PBG	PBG1A エラーステータスレジスタ	ERRSLV1ASTAT	0000 0000$_H$	32	FFDC 0204$_H$	1 (1L)	8、16、32
PBG	PBG1A エラーアドレスレジスタ	ERRSLV1AADDR	0000 0000$_H$	32	FFDC 0208$_H$	1 (1L)	32
PBG	PBG1A エラータイプレジスタ	ERRSLV1ATYPE	0000 0000$_H$	32	FFDC 020C$_H$	1 (1L)	16、32
APDP	P-Bus データパリティステータスレジスタ APAA	APDPERRST_APAA	0000 0000$_H$	32	FFDC 2000$_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ APAA	APDPERRSTC_APAA	0000 0000$_H$	32	FFDC 2004$_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ APAA	APDPTMC_APAA	0000 0000$_H$	32	FFDC 2008$_H$	1 (1L)	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ APAA	APDPERRADR_APAA	0000 0000$_H$	32	FFDC 200C$_H$	1 (1L)	32
APDP	P-Bus データパリティステータスレジスタ APGA	APDPERRST_APGA	0000 0000$_H$	32	FFDC 2020$_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ APGA	APDPERRSTC_APGA	0000 0000$_H$	32	FFDC 2024$_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ APGA	APDPTMC_APGA	0000 0000$_H$	32	FFDC 2028$_H$	1 (1L)	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ APGA	APDPERRADR_APGA	0000 0000$_H$	32	FFDC 202C$_H$	1 (1L)	32
APDP	P-Bus データパリティステータスレジスタ SNT0	APDPERRST_SNT0	0000 0000$_H$	32	FFDC 2100$_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ SNT0	APDPERRSTC_SNT0	0000 0000$_H$	32	FFDC 2104$_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ SNT0	APDPTMC_SNT0	0000 0000$_H$	32	FFDC 2108$_H$	1 (1L)	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ SNT0	APDPERRADR_SNT0	0000 0000$_H$	32	FFDC 210C$_H$	1 (1L)	32
APDP	P-Bus データパリティステータスレジスタ SNT1	APDPERRST_SNT1	0000 0000$_H$	32	FFDC 2120$_H$	1 (1L)	8、16、32

(178/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APDP	P-Bus データパリティステータスクリアレジスタ SNT1	APDPERRSTC_SNT1	$0000\ 0000_H$	32	$FFDC\ 2124_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ SNT1	APDPTMC_SNT1	$0000\ 0000_H$	32	$FFDC\ 2128_H$	1 (1L)	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ SNT1	APDPERRADR_SNT1	$0000\ 0000_H$	32	$FFDC\ 212C_H$	1 (1L)	32
APDP	P-Bus データパリティステータスレジスタ SNT2	APDPERRST_SNT2	$0000\ 0000_H$	32	$FFDC\ 2140_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ SNT2	APDPERRSTC_SNT2	$0000\ 0000_H$	32	$FFDC\ 2144_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ SNT2	APDPTMC_SNT2	$0000\ 0000_H$	32	$FFDC\ 2148_H$	1 (1L)	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ SNT2	APDPERRADR_SNT2	$0000\ 0000_H$	32	$FFDC\ 214C_H$	1 (1L)	32
APDP	P-Bus データパリティステータスレジスタ SNT3	APDPERRST_SNT3	$0000\ 0000_H$	32	$FFDC\ 2160_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ SNT3	APDPERRSTC_SNT3	$0000\ 0000_H$	32	$FFDC\ 2164_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ SNT3	APDPTMC_SNT3	$0000\ 0000_H$	32	$FFDC\ 2168_H$	1 (1L)	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ SNT3	APDPERRADR_SNT3	$0000\ 0000_H$	32	$FFDC\ 216C_H$	1 (1L)	32
APDP	P-Bus データパリティステータスレジスタ SNT4	APDPERRST_SNT4	$0000\ 0000_H$	32	$FFDC\ 2180_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ SNT4	APDPERRSTC_SNT4	$0000\ 0000_H$	32	$FFDC\ 2184_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ SNT4	APDPTMC_SNT4	$0000\ 0000_H$	32	$FFDC\ 2188_H$	1 (1L)	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ SNT4	APDPERRADR_SNT4	$0000\ 0000_H$	32	$FFDC\ 218C_H$	1 (1L)	32
APDP	P-Bus データパリティステータスレジスタ SNT5	APDPERRST_SNT5	$0000\ 0000_H$	32	$FFDC\ 2200_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ SNT5	APDPERRSTC_SNT5	$0000\ 0000_H$	32	$FFDC\ 2204_H$	1 (1L)	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ SNT5	APDPTMC_SNT5	$0000\ 0000_H$	32	$FFDC\ 2208_H$	1 (1L)	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ SNT5	APDPERRADR_SNT5	$0000\ 0000_H$	32	$FFDC\ 220C_H$	1 (1L)	32
PIC1	制御レジスタ EN	PIC1EN	00_H	8	$FFDD\ 0000_H$	1（1H）	8
PIC1	同時スタートトリガ制御レジスタ	PIC1SST	00_H	8	$FFDD\ 0004_H$	1（1H）	8
PIC1	同時スタート制御レジスタ 2	PIC1SSER2	0000_H	16	$FFDD\ 0018_H$	1（1H）	16
PIC1	同時スタート制御レジスタ 3	PIC1SSER3	0000_H	16	$FFDD\ 001C_H$	1（1H）	16
PIC1	Hi-Z 出力制御レジスタ 2	PIC1HIZCEN2	00_H	8	$FFDD\ 0088_H$	1（1H）	8
PIC1	Hi-Z 出力制御レジスタ 3	PIC1HIZCEN3	00_H	8	$FFDD\ 008C_H$	1（1H）	8
PIC2	AD コンバータ 0 トリガ選択制御レジスタ 0	PIC2ADCB0TSEL0	$0000\ 0000_H$	32	$FFDD\ 1000_H$	1（1H）	16、32
PIC2	AD コンバータ 0 トリガ選択制御レジスタ 1	PIC2ADCB0TSEL1	$0000\ 0000_H$	32	$FFDD\ 1004_H$	1（1H）	16、32
PIC2	AD コンバータ 0 トリガ選択制御レジスタ 2	PIC2ADCB0TSEL2	$0000\ 0000_H$	32	$FFDD\ 1008_H$	1（1H）	16、32
PIC2	AD コンバータ 0 トリガ選択制御レジスタ 3	PIC2ADCB0TSEL3	$0000\ 0000_H$	32	$FFDD\ 100C_H$	1（1H）	16、32
PIC2	AD コンバータ 0 トリガ選択制御レジスタ 4	PIC2ADCB0TSEL4	$0000\ 0000_H$	32	$FFDD\ 1010_H$	1（1H）	16、32
PIC2	AD コンバータ 0 トリガエッジ選択制御レジスタ	PIC2ADCB0EDGSEL	0000_H	16	$FFDD\ 101C_H$	1（1H）	16
PIC2	AD コンバータ 1 トリガ選択制御レジスタ 0	PIC2ADCB1TSEL0	$0000\ 0000_H$	32	$FFDD\ 1020_H$	1（1H）	16、32

(179/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PIC2	AD コンバータ 1 トリガ選択制御レジスタ 1	PIC2ADCB1TSEL1	$0000\ 0000_H$	32	$FFDD\ 1024_H$	1（1H）	16、32
PIC2	AD コンバータ 1 トリガ選択制御レジスタ 2	PIC2ADCB1TSEL2	$0000\ 0000_H$	32	$FFDD\ 1028_H$	1（1H）	16、32
PIC2	AD コンバータ 1 トリガ選択制御レジスタ 3	PIC2ADCB1TSEL3	$0000\ 0000_H$	32	$FFDD\ 102C_H$	1（1H）	16、32
PIC2	AD コンバータ 1 トリガ選択制御レジスタ 4	PIC2ADCB1TSEL4	$0000\ 0000_H$	32	$FFDD\ 1030_H$	1（1H）	16、32
PIC2	AD コンバータ 1 トリガエッジ選択制御レジスタ	PIC2ADCB1EDGSEL	0000_H	16	$FFDD\ 103C_H$	1（1H）	16
PIC2	AD コンバータトリガ出力制御レジスタ 500	PIC2ADTEN500	$0000\ 0000_H$	32	$FFDD\ 1080_H$	1（1H）	16、32
PIC2	AD コンバータトリガ出力制御レジスタ 501	PIC2ADTEN501	$0000\ 0000_H$	32	$FFDD\ 1084_H$	1（1H）	16、32
PIC2	AD コンバータトリガ出力制御レジスタ 502	PIC2ADTEN502	$0000\ 0000_H$	32	$FFDD\ 1088_H$	1（1H）	16、32
PIC2	AD コンバータトリガ出力制御レジスタ 503	PIC2ADTEN503	$0000\ 0000_H$	32	$FFDD\ 108C_H$	1（1H）	16、32
PIC2	AD コンバータトリガ出力制御レジスタ 504	PIC2ADTEN504	$0000\ 0000_H$	32	$FFDD\ 1090_H$	1（1H）	16、32
PIC2	AD コンバータトリガ出力制御レジスタ 510	PIC2ADTEN510	$0000\ 0000_H$	32	$FFDD\ 1094_H$	1（1H）	16、32
PIC2	AD コンバータトリガ出力制御レジスタ 511	PIC2ADTEN511	$0000\ 0000_H$	32	$FFDD\ 1098_H$	1（1H）	16、32
PIC2	AD コンバータトリガ出力制御レジスタ 512	PIC2ADTEN512	$0000\ 0000_H$	32	$FFDD\ 109C_H$	1（1H）	16、32
PIC2	AD コンバータトリガ出力制御レジスタ 513	PIC2ADTEN513	$0000\ 0000_H$	32	$FFDD\ 10A0_H$	1（1H）	16、32
PIC2	AD コンバータトリガ出力制御レジスタ 514	PIC2ADTEN514	$0000\ 0000_H$	32	$FFDD\ 10A4_H$	1（1H）	16、32
PIC2	AD コンバータトリガ出力制御レジスタ 600	PIC2ADTEN600	$0000\ 0000_H$	32	$FFDD\ 10A8_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 601	PIC2ADTEN601	$0000\ 0000_H$	32	$FFDD\ 10AC_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 602	PIC2ADTEN602	$0000\ 0000_H$	32	$FFDD\ 10B0_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 603	PIC2ADTEN603	$0000\ 0000_H$	32	$FFDD\ 10B4_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 604	PIC2ADTEN604	$0000\ 0000_H$	32	$FFDD\ 10B8_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 610	PIC2ADTEN610	$0000\ 0000_H$	32	$FFDD\ 10BC_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 611	PIC2ADTEN611	$0000\ 0000_H$	32	$FFDD\ 10C0_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 612	PIC2ADTEN612	$0000\ 0000_H$	32	$FFDD\ 10C4_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 613	PIC2ADTEN613	$0000\ 0000_H$	32	$FFDD\ 10C8_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 614	PIC2ADTEN614	$0000\ 0000_H$	32	$FFDD\ 10CC_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 700	PIC2ADTEN700	$0000\ 0000_H$	32	$FFDD\ 10D0_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 701	PIC2ADTEN701	$0000\ 0000_H$	32	$FFDD\ 10D4_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 702	PIC2ADTEN702	$0000\ 0000_H$	32	$FFDD\ 10D8_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 703	PIC2ADTEN703	$0000\ 0000_H$	32	$FFDD\ 10DC_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 704	PIC2ADTEN704	$0000\ 0000_H$	32	$FFDD\ 10E0_H$	1（1H）	32

(180/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PIC2	AD コンバータトリガ出力制御レジスタ 710	PIC2ADTEN710	$0000\ 0000_H$	32	$FFDD\ 10E4_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 711	PIC2ADTEN711	$0000\ 0000_H$	32	$FFDD\ 10E8_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 712	PIC2ADTEN712	$0000\ 0000_H$	32	$FFDD\ 10EC_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 713	PIC2ADTEN713	$0000\ 0000_H$	32	$FFDD\ 10F0_H$	1（1H）	32
PIC2	AD コンバータトリガ出力制御レジスタ 714	PIC2ADTEN714	$0000\ 0000_H$	32	$FFDD\ 10F4_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 00	PIC2DSADTEN000	0000_H	16	$FFDD\ 1100_H$	1（1H）	16
PIC2	DSADC スタートトリガ出力制御レジスタ 01	PIC2DSADTEN001	$0000\ 0000_H$	32	$FFDD\ 1104_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 02	PIC2DSADTEN002	$0000\ 0000_H$	32	$FFDD\ 1108_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 00	PIC2DSADTEN100	0000_H	16	$FFDD\ 110C_H$	1（1H）	16
PIC2	DSADC ストップトリガ出力制御レジスタ 01	PIC2DSADTEN101	$0000\ 0000_H$	32	$FFDD\ 1110_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 02	PIC2DSADTEN102	$0000\ 0000_H$	32	$FFDD\ 1114_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 10	PIC2DSADTEN010	0000_H	16	$FFDD\ 1118_H$	1（1H）	16
PIC2	DSADC スタートトリガ出力制御レジスタ 11	PIC2DSADTEN011	$0000\ 0000_H$	32	$FFDD\ 111C_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 12	PIC2DSADTEN012	$0000\ 0000_H$	32	$FFDD\ 1120_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 10	PIC2DSADTEN110	0000_H	16	$FFDD\ 1124_H$	1（1H）	16
PIC2	DSADC ストップトリガ出力制御レジスタ 11	PIC2DSADTEN111	$0000\ 0000_H$	32	$FFDD\ 1128_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 12	PIC2DSADTEN112	$0000\ 0000_H$	32	$FFDD\ 112C_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 20	PIC2DSADTEN020	0000_H	16	$FFDD\ 1130_H$	1（1H）	16
PIC2	DSADC スタートトリガ出力制御レジスタ 21	PIC2DSADTEN021	$0000\ 0000_H$	32	$FFDD\ 1134_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 22	PIC2DSADTEN022	$0000\ 0000_H$	32	$FFDD\ 1138_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 20	PIC2DSADTEN120	0000_H	16	$FFDD\ 113C_H$	1（1H）	16
PIC2	DSADC ストップトリガ出力制御レジスタ 21	PIC2DSADTEN121	$0000\ 0000_H$	32	$FFDD\ 1140_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 22	PIC2DSADTEN122	$0000\ 0000_H$	32	$FFDD\ 1144_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 30	PIC2DSADTEN030	0000_H	16	$FFDD\ 1148_H$	1（1H）	16
PIC2	DSADC スタートトリガ出力制御レジスタ 31	PIC2DSADTEN031	$0000\ 0000_H$	32	$FFDD\ 114C_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 32	PIC2DSADTEN032	$0000\ 0000_H$	32	$FFDD\ 1150_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 30	PIC2DSADTEN130	0000_H	16	$FFDD\ 1154_H$	1（1H）	16
PIC2	DSADC ストップトリガ出力制御レジスタ 31	PIC2DSADTEN131	$0000\ 0000_H$	32	$FFDD\ 1158_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 32	PIC2DSADTEN132	$0000\ 0000_H$	32	$FFDD\ 115C_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 40	PIC2DSADTEN040	0000_H	16	$FFDD\ 1160_H$	1（1H）	16

(181/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PIC2	DSADC スタートトリガ出力制御レジスタ 41	PIC2DSADTEN041	$0000\ 0000_H$	32	$FFDD\ 1164_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 42	PIC2DSADTEN042	$0000\ 0000_H$	32	$FFDD\ 1168_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 40	PIC2DSADTEN140	0000_H	16	$FFDD\ 116C_H$	1（1H）	16
PIC2	DSADC ストップトリガ出力制御レジスタ 41	PIC2DSADTEN141	$0000\ 0000_H$	32	$FFDD\ 1170_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 42	PIC2DSADTEN142	$0000\ 0000_H$	32	$FFDD\ 1174_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 50	PIC2DSADTEN050	0000_H	16	$FFDD\ 1178_H$	1（1H）	16
PIC2	DSADC スタートトリガ出力制御レジスタ 51	PIC2DSADTEN051	$0000\ 0000_H$	32	$FFDD\ 117C_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 52	PIC2DSADTEN052	$0000\ 0000_H$	32	$FFDD\ 1180_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 50	PIC2DSADTEN150	0000_H	16	$FFDD\ 1184_H$	1（1H）	16
PIC2	DSADC ストップトリガ出力制御レジスタ 51	PIC2DSADTEN151	$0000\ 0000_H$	32	$FFDD\ 1188_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 52	PIC2DSADTEN152	$0000\ 0000_H$	32	$FFDD\ 118C_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 60	PIC2DSADTEN060	0000_H	16	$FFDD\ 1190_H$	1（1H）	16
PIC2	DSADC スタートトリガ出力制御レジスタ 61	PIC2DSADTEN061	$0000\ 0000_H$	32	$FFDD\ 1194_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 62	PIC2DSADTEN062	$0000\ 0000_H$	32	$FFDD\ 1198_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 60	PIC2DSADTEN160	0000_H	16	$FFDD\ 119C_H$	1（1H）	16
PIC2	DSADC ストップトリガ出力制御レジスタ 61	PIC2DSADTEN161	$0000\ 0000_H$	32	$FFDD\ 11A0_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 62	PIC2DSADTEN162	$0000\ 0000_H$	32	$FFDD\ 11A4_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 70	PIC2DSADTEN070	0000_H	16	$FFDD\ 11A8_H$	1（1H）	16
PIC2	DSADC スタートトリガ出力制御レジスタ 71	PIC2DSADTEN071	$0000\ 0000_H$	32	$FFDD\ 11AC_H$	1（1H）	32
PIC2	DSADC スタートトリガ出力制御レジスタ 72	PIC2DSADTEN072	$0000\ 0000_H$	32	$FFDD\ 11B0_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 70	PIC2DSADTEN170	0000_H	16	$FFDD\ 11B4_H$	1（1H）	16
PIC2	DSADC ストップトリガ出力制御レジスタ 71	PIC2DSADTEN171	$0000\ 0000_H$	32	$FFDD\ 11B8_H$	1（1H）	32
PIC2	DSADC ストップトリガ出力制御レジスタ 72	PIC2DSADTEN172	$0000\ 0000_H$	32	$FFDD\ 11BC_H$	1（1H）	32
PIC2	DSADC トリガ選択制御レジスタ 0	PIC2DSADCATSEL0	0000_H	16	$FFDD\ 11C0_H$	1（1H）	16
PIC2	DSADC トリガ選択制御レジスタ 1	PIC2DSADCATSEL1	0000_H	16	$FFDD\ 11C4_H$	1（1H）	16
PBG	PBG1B プロテクションレジスタ 0	FSGD1BDPROT0	$07FF\ FFFF_H$	32	$FFDD\ D000_H$	1（1H）	8、16、32
PBG	PBG1B プロテクションレジスタ 1	FSGD1BDPROT1	$07FF\ FFFF_H$	32	$FFDD\ D004_H$	1（1H）	8、16、32
PBG	PBG1B プロテクションレジスタ 2	FSGD1BDPROT2	$07FF\ FFFF_H$	32	$FFDD\ D008_H$	1（1H）	8、16、32
PBG	PBG1B プロテクションレジスタ 3	FSGD1BDPROT3	$07FF\ FFFF_H$	32	$FFDD\ D00C_H$	1（1H）	8、16、32
PBG	PBG1B プロテクションレジスタ 4	FSGD1BDPROT4	$07FF\ FFFF_H$	32	$FFDD\ D010_H$	1（1H）	8、16、32
PBG	PBG1B プロテクションレジスタ 5	FSGD1BDPROT5	$07FF\ FFFF_H$	32	$FFDD\ D014_H$	1（1H）	8、16、32
PBG	PBG1B プロテクションレジスタ 6	FSGD1BDPROT6	$07FF\ FFFF_H$	32	$FFDD\ D018_H$	1（1H）	8、16、32
PBG	PBG1B プロテクションレジスタ 7	FSGD1BDPROT7	$07FF\ FFFF_H$	32	$FFDD\ D01C_H$	1（1H）	8、16、32
PBG	PBG1B プロテクションレジスタ 8	FSGD1BDPROT8	$07FF\ FFFF_H$	32	$FFDD\ D020_H$	1（1H）	8、16、32

(182/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PBG	PBG1B プロテクションレジスタ 9	FSGD1BDPROT9	07FF $FFFF_H$	32	FFDD $D024_H$	1（1H）	8、16、32
PBG	PBG1B エラーコントロールレジスタ	ERRSLV1BCTL	0000 0000_H	32	FFDD $D200_H$	1（1H）	8、16、32
PBG	PBG1B エラーステータスレジスタ	ERRSLV1BSTAT	0000 0000_H	32	FFDD $D204_H$	1（1H）	8、16、32
PBG	PBG1B エラーアドレスレジスタ	ERRSLV1BADDR	0000 0000_H	32	FFDD $D208_H$	1（1H）	32
PBG	PBG1B エラータイプレジスタ	ERRSLV1BTYPE	0000 0000_H	32	FFDD $D20C_H$	1（1H）	16、32
APDP	P-Bus データパリティステータスレジスタ ATU4	APDPERRST_ATU4	0000 0000_H	32	FFDD $F000_H$	1（1H）	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ ATU4	APDPERRSTC_ATU4	0000 0000_H	32	FFDD $F004_H$	1（1H）	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ ATU4	APDPTMC_ATU4	0000 0000_H	32	FFDD $F008_H$	1（1H）	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ ATU4	APDPERRADR_ATU4	0000 0000_H	32	FFDD $F00C_H$	1（1H）	32
ATU4CTRL	ATU-IV マスタイネーブルレジスタ	ATUENR	0000_H	16	FFE6 0000_H	1（1H）	8、16
ATU4CTRL	クロックバスコントロールレジスタ	CBCNT	00_H	8	FFE6 0002_H	1（1H）	8
ATU4CTRL	ノイズキャンセルモードレジスタ	NCMR	00_H	8	FFE6 0003_H	1（1H）	8
ATU4CTRL	プリスケーラレジスタ 0	PSCR0	0000_H	16	FFE6 0080_H	1（1H）	16
ATU4CTRL	プリスケーラレジスタ 1	PSCR1	0000_H	16	FFE6 0084_H	1（1H）	16
ATU4CTRL	プリスケーラレジスタ 2	PSCR2	0000_H	16	FFE6 0088_H	1（1H）	16
ATU4CTRL	プリスケーラレジスタ 3	PSCR3	0000_H	16	FFE6 $008C_H$	1（1H）	16
ATU4CTRL	トリガステータスレジスタ DMA0	TRGSRDMA0	00_H	8	FFE6 $00C0_H$	1（1H）	8
ATU4CTRL	トリガ選択レジスタ DMA00	TRGSELDMA00	00_H	8	FFE6 $00C4_H$	1（1H）	8
ATU4CTRL	トリガ選択レジスタ DMA01	TRGSELDMA01	00_H	8	FFE6 $00C6_H$	1（1H）	8
ATU4CTRL	トリガ選択レジスタ AD	TRGSELAD	00_H	8	FFE6 $00C8_H$	1（1H）	8
ATU4CTRL	トリガステータスレジスタ DMA1	TRGSRDMA1	00_H	8	FFE6 $00D0_H$	1（1H）	8
ATU4CTRL	トリガ選択レジスタ DMA10	TRGSELDMA10	00_H	8	FFE6 $00D4_H$	1（1H）	8
ATU4CTRL	トリガ選択レジスタ DMA11	TRGSELDMA11	00_H	8	FFE6 $00D6_H$	1（1H）	8
ATU4H	タイマコントロールレジスタ H	TCRH	00_H	8	FFE6 0100_H	1（1H）	8
ATU4H	タイマステータスレジスタ H	TSRH	00_H	8	FFE6 0102_H	1（1H）	8
ATU4H	タイマステータスクリアレジスタ H	TSCRH	00_H	8	FFE6 0103_H	1（1H）	8
ATU4H	タイマカウンタ 1H	TCNT1H	0000_H	16	FFE6 0104_H	1（1H）	16
ATU4H	コンペアマッチレジスタ 1H	OCR1H	$FFFF_H$	16	FFE6 0106_H	1（1H）	16
ATU4H	タイマカウンタ 2H	TCNT2H	0000 0000_H	32	FFE6 0108_H	1（1H）	32
ATU4A	タイマコントロールレジスタ 1A	TCR1A	00_H	8	FFE6 0200_H	1（1H）	8
ATU4A	タイマコントロールレジスタ 2A	TCR2A	00_H	8	FFE6 0202_H	1（1H）	8
ATU4A	タイマコントロールレジスタ 3A	TCR3A	00_H	8	FFE6 0204_H	1（1H）	8
ATU4A	タイマコントロールレジスタ 4A	TCR4A	00_H	8	FFE6 0206_H	1（1H）	8
ATU4A	タイマステータスレジスタ A	TSRA	00_H	8	FFE6 0208_H	1（1H）	8
ATU4A	タイマステータスクリアレジスタ A	TSCRA	00_H	8	FFE6 $020A_H$	1（1H）	8
ATU4A	ノイズキャンセルモードチャネルレジスタ 1A	NCMCR1A	00_H	8	FFE6 $020C_H$	1（1H）	8
ATU4A	ノイズキャンセルモードチャネルレジスタ 2A	NCMCR2A	00_H	8	FFE6 $020E_H$	1（1H）	8
ATU4A	タイマ I/O コントロールレジスタ 1A	TIOR1A	0000_H	16	FFE6 0210_H	1（1H）	8、16
ATU4A	タイマ I/O コントロールレジスタ 2A	TIOR2A	0000 0000_H	32	FFE6 0214_H	1（1H）	8、16、32
ATU4A	タイマ入力信号レベルレジスタ A	TILRA	00_H	8	FFE6 0218_H	1（1H）	8
ATU4A	タイマ入力信号レベルキャプチャレジスタ A	TILCRA	00_H	8	FFE6 $021A_H$	1（1H）	8
ATU4A	フリーランニングカウンタ A	TCNTA	0000 0000_H	32	FFE6 0220_H	1（1H）	32
ATU4A	インプットキャプチャレジスタ A0	ICRA0	0000 0000_H	32	FFE6 0240_H	1（1H）	32

(183/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4A	ノイズキャンセルカウンタ A0	NCNTA0	0000_H	16	FFE6 0244_H	1（1H）	16
ATU4A	ノイズキャンセルレジスタ A0	NCRA0	0000_H	16	FFE6 0246_H	1（1H）	16
ATU4A	インプットキャプチャレジスタ A1	ICRA1	$0000\ 0000_H$	32	FFE6 0260_H	1（1H）	32
ATU4A	ノイズキャンセルカウンタ A1	NCNTA1	0000_H	16	FFE6 0264_H	1（1H）	16
ATU4A	ノイズキャンセルレジスタ A1	NCRA1	0000_H	16	FFE6 0266_H	1（1H）	16
ATU4A	インプットキャプチャレジスタ A2	ICRA2	$0000\ 0000_H$	32	FFE6 0280_H	1（1H）	32
ATU4A	ノイズキャンセルカウンタ A2	NCNTA2	0000_H	16	FFE6 0284_H	1（1H）	16
ATU4A	ノイズキャンセルレジスタ A2	NCRA2	0000_H	16	FFE6 0286_H	1（1H）	16
ATU4A	インプットキャプチャレジスタ A3	ICRA3	$0000\ 0000_H$	32	FFE6 $02A0_H$	1（1H）	32
ATU4A	ノイズキャンセルカウンタ A3	NCNTA3	0000_H	16	FFE6 $02A4_H$	1（1H）	16
ATU4A	ノイズキャンセルレジスタ A3	NCRA3	0000_H	16	FFE6 $02A6_H$	1（1H）	16
ATU4A	インプットキャプチャレジスタ A4	ICRA4	$0000\ 0000_H$	32	FFE6 $02C0_H$	1（1H）	32
ATU4A	ノイズキャンセルカウンタ A4	NCNTA4	0000_H	16	FFE6 $02C4_H$	1（1H）	16
ATU4A	ノイズキャンセルレジスタ A4	NCRA4	0000_H	16	FFE6 $02C6_H$	1（1H）	16
ATU4A	インプットキャプチャレジスタ A5	ICRA5	$0000\ 0000_H$	32	FFE6 $02E0_H$	1（1H）	32
ATU4A	ノイズキャンセルカウンタ A5	NCNTA5	0000_H	16	FFE6 $02E4_H$	1（1H）	16
ATU4A	ノイズキャンセルレジスタ A5	NCRA5	0000_H	16	FFE6 $02E6_H$	1（1H）	16
ATU4A	インプットキャプチャレジスタ A6	ICRA6	$0000\ 0000_H$	32	FFE6 0300_H	1（1H）	32
ATU4A	ノイズキャンセルカウンタ A6	NCNTA6	0000_H	16	FFE6 0304_H	1（1H）	16
ATU4A	ノイズキャンセルレジスタ A6	NCRA6	0000_H	16	FFE6 0306_H	1（1H）	16
ATU4B	タイマコントロールレジスタ B	TCRB	00_H	8	FFE6 0400_H	1（1H）	8
ATU4B	タイマ I/O コントロールレジスタ B	TIORB	00_H	8	FFE6 0402_H	1（1H）	8
ATU4B	タイマステータスレジスタ B	TSRB	0000_H	16	FFE6 0404_H	1（1H）	8、16
ATU4B	タイマステータスクリアレジスタ B	TSCRB	0000_H	16	FFE6 0406_H	1（1H）	8、16
ATU4B	タイマインタラプトコントロールレジスタ B	TICRB	00_H	8	FFE6 0408_H	1（1H）	8
ATU4B	入力エッジ間計測カウンタ B0	TCNTB0	$0000\ 0001_H$	32	FFE6 0480_H	1（1H）	32
ATU4B	インプットキャプチャレジスタ B0	ICRB0	$0000\ 0000_H$	32	FFE6 0484_H	1（1H）	32
ATU4B	レコードレジスタ B1	RECRB1	$0000\ 0000_H$	32	FFE6 0488_H	1（1H）	32
ATU4B	レコードレジスタ B2	RECRB2	$0000\ 0000_H$	32	FFE6 $048C_H$	1（1H）	32
ATU4B	レコードレジスタ B3	RECRB3	$0000\ 0000_H$	32	FFE6 0490_H	1（1H）	32
ATU4B	レコードレジスタ B4	RECRB4	$0000\ 0000_H$	32	FFE6 0494_H	1（1H）	32
ATU4B	レコードレジスタ B5	RECRB5	$0000\ 0000_H$	32	FFE6 0498_H	1（1H）	32
ATU4B	レコードレジスタ B6	RECRB6	$0000\ 0000_H$	32	FFE6 $049C_H$	1（1H）	32
ATU4B	レコードバックアップレジスタ B0	RBURB0	$0000\ 0000_H$	32	FFE6 $04A0_H$	1（1H）	32
ATU4B	レコードバックアップレジスタ B1	RBURB1	$0000\ 0000_H$	32	FFE6 $04A4_H$	1（1H）	32
ATU4B	レコードバックアップレジスタ B2	RBURB2	$0000\ 0000_H$	32	FFE6 $04A8_H$	1（1H）	32
ATU4B	レコードバックアップレジスタ B3	RBURB3	$0000\ 0000_H$	32	FFE6 $04AC_H$	1（1H）	32
ATU4B	レコードバックアップレジスタ B4	RBURB4	$0000\ 0000_H$	32	FFE6 $04B0_H$	1（1H）	32
ATU4B	レコードバックアップレジスタ B5	RBURB5	$0000\ 0000_H$	32	FFE6 $04B4_H$	1（1H）	32
ATU4B	レコードバックアップレジスタ B6	RBURB6	$0000\ 0000_H$	32	FFE6 $04B8_H$	1（1H）	32
ATU4B	アウトプットコンペアレジスタ B0	OCRB0	$FFFF\ FFFF_H$	32	FFE6 $04BC_H$	1（1H）	32
ATU4B	イベントカウンタ B1	TCNTB1	00_H	8	FFE6 $04C4_H$	1（1H）	8
ATU4B	アウトプットコンペアレジスタ B1	OCRB1	FF_H	8	FFE6 $04C6_H$	1（1H）	8
ATU4B	アウトプットコンペアレジスタ B10	OCRB10	FF_H	8	FFE6 $04C8_H$	1（1H）	8
ATU4B	アウトプットコンペアレジスタ B11	OCRB11	FF_H	8	FFE6 $04CA_H$	1（1H）	8
ATU4B	アウトプットコンペアレジスタ B12	OCRB12	FF_H	8	FFE6 $04CC_H$	1（1H）	8

(184/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4B	インプットキャプチャレジスタ B1	ICRB1	$0000\ 0000_H$	32	$FFE6\ 04D0_H$	1（1H）	32
ATU4B	インプットキャプチャレジスタ B2	ICRB2	$0000\ 0000_H$	32	$FFE6\ 04D4_H$	1（1H）	32
ATU4B	インプットキャプチャレジスタ B30	ICRB30	00_H	8	$FFE6\ 04D8_H$	1（1H）	8
ATU4B	インプットキャプチャレジスタ B31	ICRB31	00_H	8	$FFE6\ 04D9_H$	1（1H）	8
ATU4B	インプットキャプチャレジスタ B32	ICRB32	00_H	8	$FFE6\ 04DA_H$	1（1H）	8
ATU4B	インプットキャプチャレジスタ B33	ICRB33	00_H	8	$FFE6\ 04DB_H$	1（1H）	8
ATU4B	インプットキャプチャレジスタ B34	ICRB34	00_H	8	$FFE6\ 04DC_H$	1（1H）	8
ATU4B	インプットキャプチャレジスタ B35	ICRB35	00_H	8	$FFE6\ 04DD_H$	1（1H）	8
ATU4B	インプットキャプチャレジスタ B36	ICRB36	00_H	8	$FFE6\ 04DE_H$	1（1H）	8
ATU4B	ロードレジスタ B	LDB	$0000\ 0000_H$	32	$FFE6\ 0500_H$	1（1H）	32
ATU4B	リロードレジスタ B	RLDB	$0000\ 0000_H$	32	$FFE6\ 0504_H$	1（1H）	32
ATU4B	リロードカウンタ B2	TCNTB2	$0000\ 0000_H$	32	$FFE6\ 0508_H$	1（1H）	32
ATU4B	パルスインターバルマルチプライヤレジスタ 1	PIMR1	0001_H	16	$FFE6\ 050C_H$	1（1H）	16
ATU4B	パルスインターバルマルチプライヤレジスタ 2	PIMR2	0001_H	16	$FFE6\ 050E_H$	1（1H）	16
ATU4B	倍周クロックカウンタ B6	TCNTB6	$0000\ 0000_H$	32	$FFE6\ 0510_H$	1（1H）	32
ATU4B	インプットキャプチャレジスタ B6	ICRB6	$0000\ 0000_H$	32	$FFE6\ 0514_H$	1（1H）	32
ATU4B	倍率設定レジスタ B6	RARB6	40_H	8	$FFE6\ 0518_H$	1（1H）	8
ATU4B	倍周クロックカウンタ B6M	TCNTB6M	$0000\ 0000_H$	32	$FFE6\ 051C_H$	1（1H）	32
ATU4B	アウトプットコンペアレジスタ B6	OCRB6	$FFFF\ F000_H$	32	$FFE6\ 0520_H$	1（1H）	32
ATU4B	アウトプットコンペアレジスタ B7	OCRB7	$FFFF\ F000_H$	32	$FFE6\ 0524_H$	1（1H）	32
ATU4B	補正イベントカウンタ B3	TCNTB3	$0000\ 0000_H$	32	$FFE6\ 0580_H$	1（1H）	32
ATU4B	補正倍周クロックカウンタ B4	TCNTB4	$0000\ 0000_H$	32	$FFE6\ 0584_H$	1（1H）	32
ATU4B	倍周補正クロック生成カウンタ B5	TCNTB5	$0000\ 1000_H$	32	$FFE6\ 0588_H$	1（1H）	32
ATU4B	補正カウンタクリアフラグレジスタ B	TCCLFRB	00_H	8	$FFE6\ 058C_H$	1（1H）	8
ATU4B	補正カウンタクリアフラグセットレジスタ B	TCCLFSRB	00_H	8	$FFE6\ 058D_H$	1（1H）	8
ATU4B	補正カウンタクリアフラグクリアレジスタ B	TCCLFCRB	00_H	8	$FFE6\ 058E_H$	1（1H）	8
ATU4B	補正カウンタクリアレジスタ B	TCCLRB	$0000\ 0000_H$	32	$FFE6\ 0590_H$	1（1H）	32
ATU4B	アウトプットコンペアレジスタ B8	OCRB8	$FFFF\ F000_H$	32	$FFE6\ 0594_H$	1（1H）	32
ATU4B	AGCKM2 補正許可設定レジスタ	ACRTRGB	00_H	8	$FFE6\ 05A0_H$	1（1H）	8
ATU4B	AGCKM2 補正クリア設定レジスタ	ACRCLRB	00_H	8	$FFE6\ 05A1_H$	1（1H）	8
ATU4B	AGCKM2 補正ステータスレジスタ	ACRSTRB	00_H	8	$FFE6\ 05A2_H$	1（1H）	8
ATU4B	AGCKM2 補正クロック数設定レジスタ	ACRVALRB	0000_H	16	$FFE6\ 05A4_H$	1（1H）	16
ATU4C	タイマスタートレジスタ C	TSTRC	00_H	8	$FFE6\ 0600_H$	1（1H）	8
ATU4C	ノイズキャンセラコントロールレジスタ C0	NCCRC0	00_H	8	$FFE6\ 0604_H$	1（1H）	8
ATU4C	ノイズキャンセラコントロールレジスタ C1	NCCRC1	00_H	8	$FFE6\ 0605_H$	1（1H）	8
ATU4C	ノイズキャンセラコントロールレジスタ C2	NCCRC2	00_H	8	$FFE6\ 0606_H$	1（1H）	8
ATU4C	ノイズキャンセラコントロールレジスタ C3	NCCRC3	00_H	8	$FFE6\ 0607_H$	1（1H）	8
ATU4C	ノイズキャンセラコントロールレジスタ C4	NCCRC4	00_H	8	$FFE6\ 0608_H$	1（1H）	8
ATU4C	ノイズキャンセラコントロールレジスタ C5	NCCRC5	00_H	8	$FFE6\ 0609_H$	1（1H）	8
ATU4C	ノイズキャンセラコントロールレジスタ C6	NCCRC6	00_H	8	$FFE6\ 060A_H$	1（1H）	8

(185/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4C	ノイズキャンセラコントロールレジスタ C7	NCCRC7	00_H	8	FFE6 060B$_H$	1（1H）	8
ATU4C	ノイズキャンセルモードチャネルレジスタ 1C	NCMCR1C	00_H	8	FFE6 0610$_H$	1（1H）	8
ATU4C	ノイズキャンセルモードチャネルレジスタ 2C	NCMCR2C	00_H	8	FFE6 0612$_H$	1（1H）	8
ATU4C	タイマステータスクリアレジスタ C0	TSCRC0	0000_H	16	FFE6 0622$_H$	1（1H）	8、16
ATU4C	タイマコントロールレジスタ C0	TCRC0	0000_H	16	FFE6 0624$_H$	1（1H）	8、16
ATU4C	タイマステータスレジスタ C0	TSRC0	0000_H	16	FFE6 0626$_H$	1（1H）	8、16
ATU4C	タイマ I/O コントロールレジスタ C0	TIORC0	0000_H	16	FFE6 0628$_H$	1（1H）	8、16
ATU4C	タイマインタラプトイネーブルレジスタ C0	TIERC0	$000F_H$	16	FFE6 0634$_H$	1（1H）	8、16
ATU4C	タイマカウンタ C0	TCNTC0	0000 0000_H	32	FFE6 0638$_H$	1（1H）	32
ATU4C	カウンタ上限値設定コンペアレジスタ C0	CUCRC0	FFFF $FFFF_H$	32	FFE6 063C$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C00	GRC00	FFFF $FFFF_H$	32	FFE6 0640$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C01	GRC01	FFFF $FFFF_H$	32	FFE6 0644$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C02	GRC02	FFFF $FFFF_H$	32	FFE6 0648$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C03	GRC03	FFFF $FFFF_H$	32	FFE6 064C$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C00	OCRC00	FFFF $FFFF_H$	32	FFE6 0650$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C01	OCRC01	FFFF $FFFF_H$	32	FFE6 0654$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C02	OCRC02	FFFF $FFFF_H$	32	FFE6 0658$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C03	OCRC03	FFFF $FFFF_H$	32	FFE6 065C$_H$	1（1H）	32
ATU4C	ノイズキャンセルカウンタ C00	NCNTC00	0000_H	16	FFE6 0670$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C00	NCRC00	0000_H	16	FFE6 0672$_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C01	NCNTC01	0000_H	16	FFE6 0674$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C01	NCRC01	0000_H	16	FFE6 0676$_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C02	NCNTC02	0000_H	16	FFE6 0678$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C02	NCRC02	0000_H	16	FFE6 067A$_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C03	NCNTC03	0000_H	16	FFE6 067C$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C03	NCRC03	0000_H	16	FFE6 067E$_H$	1（1H）	16
ATU4C	タイマステータスクリアレジスタ C1	TSCRC1	0000_H	16	FFE6 06A2$_H$	1（1H）	8、16
ATU4C	タイマコントロールレジスタ C1	TCRC1	0000_H	16	FFE6 06A4$_H$	1（1H）	8、16
ATU4C	タイマステータスレジスタ C1	TSRC1	0000_H	16	FFE6 06A6$_H$	1（1H）	8、16
ATU4C	タイマ I/O コントロールレジスタ C1	TIORC1	0000_H	16	FFE6 06A8$_H$	1（1H）	8、16
ATU4C	タイマインタラプトイネーブルレジスタ C1	TIERC1	$000F_H$	16	FFE6 06B4$_H$	1（1H）	8、16
ATU4C	タイマカウンタ C1	TCNTC1	0000 0000_H	32	FFE6 06B8$_H$	1（1H）	32
ATU4C	カウンタ上限値設定コンペアレジスタ C1	CUCRC1	FFFF $FFFF_H$	32	FFE6 06BC$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C10	GRC10	FFFF $FFFF_H$	32	FFE6 06C0$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C11	GRC11	FFFF $FFFF_H$	32	FFE6 06C4$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C12	GRC12	FFFF $FFFF_H$	32	FFE6 06C8$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C13	GRC13	FFFF $FFFF_H$	32	FFE6 06CC$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C10	OCRC10	FFFF $FFFF_H$	32	FFE6 06D0$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C11	OCRC11	FFFF $FFFF_H$	32	FFE6 06D4$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C12	OCRC12	FFFF $FFFF_H$	32	FFE6 06D8$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C13	OCRC13	FFFF $FFFF_H$	32	FFE6 06DC$_H$	1（1H）	32
ATU4C	ノイズキャンセルカウンタ C10	NCNTC10	0000_H	16	FFE6 06F0$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C10	NCRC10	0000_H	16	FFE6 06F2$_H$	1（1H）	16

(186/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4C	ノイズキャンセルカウンタ C11	NCNTC11	0000_H	16	FFE6 $06F4_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C11	NCRC11	0000_H	16	FFE6 $06F6_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C12	NCNTC12	0000_H	16	FFE6 $06F8_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C12	NCRC12	0000_H	16	FFE6 $06FA_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C13	NCNTC13	0000_H	16	FFE6 $06FC_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C13	NCRC13	0000_H	16	FFE6 $06FE_H$	1（1H）	16
ATU4C	タイマステータスクリアレジスタ C2	TSCRC2	0000_H	16	FFE6 0722_H	1（1H）	8、16
ATU4C	タイマコントロールレジスタ C2	TCRC2	0000_H	16	FFE6 0724_H	1（1H）	8、16
ATU4C	タイマステータスレジスタ C2	TSRC2	0000_H	16	FFE6 0726_H	1（1H）	8、16
ATU4C	タイマ I/O コントロールレジスタ C2	TIORC2	0000_H	16	FFE6 0728_H	1（1H）	8、16
ATU4C	タイマインタラプトイネーブルレジスタ C2	TIERC2	$000F_H$	16	FFE6 0734_H	1（1H）	8、16
ATU4C	タイマカウンタ C2	TCNTC2	$0000\ 0000_H$	32	FFE6 0738_H	1（1H）	32
ATU4C	カウンタ上限値設定コンペアレジスタ C2	CUCRC2	$FFFF\ FFFF_H$	32	FFE6 $073C_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C20	GRC20	$FFFF\ FFFF_H$	32	FFE6 0740_H	1（1H）	32
ATU4C	タイマ汎用レジスタ C21	GRC21	$FFFF\ FFFF_H$	32	FFE6 0744_H	1（1H）	32
ATU4C	タイマ汎用レジスタ C22	GRC22	$FFFF\ FFFF_H$	32	FFE6 0748_H	1（1H）	32
ATU4C	タイマ汎用レジスタ C23	GRC23	$FFFF\ FFFF_H$	32	FFE6 $074C_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C20	OCRC20	$FFFF\ FFFF_H$	32	FFE6 0750_H	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C21	OCRC21	$FFFF\ FFFF_H$	32	FFE6 0754_H	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C22	OCRC22	$FFFF\ FFFF_H$	32	FFE6 0758_H	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C23	OCRC23	$FFFF\ FFFF_H$	32	FFE6 $075C_H$	1（1H）	32
ATU4C	ノイズキャンセルカウンタ C20	NCNTC20	0000_H	16	FFE6 0770_H	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C20	NCRC20	0000_H	16	FFE6 0772_H	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C21	NCNTC21	0000_H	16	FFE6 0774_H	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C21	NCRC21	0000_H	16	FFE6 0776_H	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C22	NCNTC22	0000_H	16	FFE6 0778_H	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C22	NCRC22	0000_H	16	FFE6 $077A_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C23	NCNTC23	0000_H	16	FFE6 $077C_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C23	NCRC23	0000_H	16	FFE6 $077E_H$	1（1H）	16
ATU4C	タイマステータスクリアレジスタ C3	TSCRC3	0000_H	16	FFE6 $07A2_H$	1（1H）	8、16
ATU4C	タイマコントロールレジスタ C3	TCRC3	0000_H	16	FFE6 $07A4_H$	1（1H）	8、16
ATU4C	タイマステータスレジスタ C3	TSRC3	0000_H	16	FFE6 $07A6_H$	1（1H）	8、16
ATU4C	タイマ I/O コントロールレジスタ C3	TIORC3	0000_H	16	FFE6 $07A8_H$	1（1H）	8、16
ATU4C	タイマインタラプトイネーブルレジスタ C3	TIERC3	$000F_H$	16	FFE6 $07B4_H$	1（1H）	8、16
ATU4C	タイマカウンタ C3	TCNTC3	$0000\ 0000_H$	32	FFE6 $07B8_H$	1（1H）	32
ATU4C	カウンタ上限値設定コンペアレジスタ C3	CUCRC3	$FFFF\ FFFF_H$	32	FFE6 $07BC_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C30	GRC30	$FFFF\ FFFF_H$	32	FFE6 $07C0_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C31	GRC31	$FFFF\ FFFF_H$	32	FFE6 $07C4_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C32	GRC32	$FFFF\ FFFF_H$	32	FFE6 $07C8_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C33	GRC33	$FFFF\ FFFF_H$	32	FFE6 $07CC_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C30	OCRC30	$FFFF\ FFFF_H$	32	FFE6 $07D0_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C31	OCRC31	$FFFF\ FFFF_H$	32	FFE6 $07D4_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C32	OCRC32	$FFFF\ FFFF_H$	32	FFE6 $07D8_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C33	OCRC33	$FFFF\ FFFF_H$	32	FFE6 $07DC_H$	1（1H）	32

(187/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4C	ノイズキャンセルカウンタ C30	NCNTC30	0000_H	16	FFE6 $07F0_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C30	NCRC30	0000_H	16	FFE6 $07F2_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C31	NCNTC31	0000_H	16	FFE6 $07F4_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C31	NCRC31	0000_H	16	FFE6 $07F6_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C32	NCNTC32	0000_H	16	FFE6 $07F8_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C32	NCRC32	0000_H	16	FFE6 $07FA_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C33	NCNTC33	0000_H	16	FFE6 $07FC_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C33	NCRC33	0000_H	16	FFE6 $07FE_H$	1（1H）	16
ATU4C	タイマステータスクリアレジスタ C4	TSCRC4	0000_H	16	FFE6 0822_H	1（1H）	8、16
ATU4C	タイマコントロールレジスタ C4	TCRC4	0000_H	16	FFE6 0824_H	1（1H）	8、16
ATU4C	タイマステータスレジスタ C4	TSRC4	0000_H	16	FFE6 0826_H	1（1H）	8、16
ATU4C	タイマ I/O コントロールレジスタ C4	TIORC4	0000_H	16	FFE6 0828_H	1（1H）	8、16
ATU4C	タイマインタラプトイネーブルレジスタ C4	TIERC4	$000F_H$	16	FFE6 0834_H	1（1H）	8、16
ATU4C	タイマカウンタ C4	TCNTC4	$0000\ 0000_H$	32	FFE6 0838_H	1（1H）	32
ATU4C	カウンタ上限値設定コンペアレジスタ C4	CUCRC4	$FFFF\ FFFF_H$	32	FFE6 $083C_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C40	GRC40	$FFFF\ FFFF_H$	32	FFE6 0840_H	1（1H）	32
ATU4C	タイマ汎用レジスタ C41	GRC41	$FFFF\ FFFF_H$	32	FFE6 0844_H	1（1H）	32
ATU4C	タイマ汎用レジスタ C42	GRC42	$FFFF\ FFFF_H$	32	FFE6 0848_H	1（1H）	32
ATU4C	タイマ汎用レジスタ C43	GRC43	$FFFF\ FFFF_H$	32	FFE6 $084C_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C40	OCRC40	$FFFF\ FFFF_H$	32	FFE6 0850_H	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C41	OCRC41	$FFFF\ FFFF_H$	32	FFE6 0854_H	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C42	OCRC42	$FFFF\ FFFF_H$	32	FFE6 0858_H	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C43	OCRC43	$FFFF\ FFFF_H$	32	FFE6 $085C_H$	1（1H）	32
ATU4C	ノイズキャンセルカウンタ C40	NCNTC40	0000_H	16	FFE6 0870_H	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C40	NCRC40	0000_H	16	FFE6 0872_H	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C41	NCNTC41	0000_H	16	FFE6 0874_H	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C41	NCRC41	0000_H	16	FFE6 0876_H	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C42	NCNTC42	0000_H	16	FFE6 0878_H	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C42	NCRC42	0000_H	16	FFE6 $087A_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C43	NCNTC43	0000_H	16	FFE6 $087C_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C43	NCRC43	0000_H	16	FFE6 $087E_H$	1（1H）	16
ATU4C	タイマステータスクリアレジスタ C5	TSCRC5	0000_H	16	FFE6 $08A2_H$	1（1H）	8、16
ATU4C	タイマコントロールレジスタ C5	TCRC5	0000_H	16	FFE6 $08A4_H$	1（1H）	8、16
ATU4C	タイマステータスレジスタ C5	TSRC5	0000_H	16	FFE6 $08A6_H$	1（1H）	8、16
ATU4C	タイマ I/O コントロールレジスタ C5	TIORC5	0000_H	16	FFE6 $08A8_H$	1（1H）	8、16
ATU4C	タイマインタラプトイネーブルレジスタ C5	TIERC5	$000F_H$	16	FFE6 $08B4_H$	1（1H）	8、16
ATU4C	タイマカウンタ C5	TCNTC5	$0000\ 0000_H$	32	FFE6 $08B8_H$	1（1H）	32
ATU4C	カウンタ上限値設定コンペアレジスタ C5	CUCRC5	$FFFF\ FFFF_H$	32	FFE6 $08BC_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C50	GRC50	$FFFF\ FFFF_H$	32	FFE6 $08C0_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C51	GRC51	$FFFF\ FFFF_H$	32	FFE6 $08C4_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C52	GRC52	$FFFF\ FFFF_H$	32	FFE6 $08C8_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C53	GRC53	$FFFF\ FFFF_H$	32	FFE6 $08CC_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C50	OCRC50	$FFFF\ FFFF_H$	32	FFE6 $08D0_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C51	OCRC51	$FFFF\ FFFF_H$	32	FFE6 $08D4_H$	1（1H）	32

(188/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4C	アウトプットコンペアレジスタ C52	OCRC52	FFFF FFFF$_H$	32	FFE6 08D8$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C53	OCRC53	FFFF FFFF$_H$	32	FFE6 08DC$_H$	1（1H）	32
ATU4C	ノイズキャンセルカウンタ C50	NCNTC50	0000$_H$	16	FFE6 08F0$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C50	NCRC50	0000$_H$	16	FFE6 08F2$_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C51	NCNTC51	0000$_H$	16	FFE6 08F4$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C51	NCRC51	0000$_H$	16	FFE6 08F6$_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C52	NCNTC52	0000$_H$	16	FFE6 08F8$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C52	NCRC52	0000$_H$	16	FFE6 08FA$_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C53	NCNTC53	0000$_H$	16	FFE6 08FC$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C53	NCRC53	0000$_H$	16	FFE6 08FE$_H$	1（1H）	16
ATU4C	タイマステータスクリアレジスタ C6	TSCRC6	0000$_H$	16	FFE6 0922$_H$	1（1H）	8、16
ATU4C	タイマコントロールレジスタ C6	TCRC6	0000$_H$	16	FFE6 0924$_H$	1（1H）	8、16
ATU4C	タイマステータスレジスタ C6	TSRC6	0000$_H$	16	FFE6 0926$_H$	1（1H）	8、16
ATU4C	タイマ I/O コントロールレジスタ C6	TIORC6	0000$_H$	16	FFE6 0928$_H$	1（1H）	8、16
ATU4C	タイマインタラプトイネーブルレジスタ C6	TIERC6	000F$_H$	16	FFE6 0934$_H$	1（1H）	8、16
ATU4C	タイマカウンタ C6	TCNTC6	0000 0000$_H$	32	FFE6 0938$_H$	1（1H）	32
ATU4C	カウンタ上限値設定コンペアレジスタ C6	CUCRC6	FFFF FFFF$_H$	32	FFE6 093C$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C60	GRC60	FFFF FFFF$_H$	32	FFE6 0940$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C61	GRC61	FFFF FFFF$_H$	32	FFE6 0944$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C62	GRC62	FFFF FFFF$_H$	32	FFE6 0948$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C63	GRC63	FFFF FFFF$_H$	32	FFE6 094C$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C60	OCRC60	FFFF FFFF$_H$	32	FFE6 0950$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C61	OCRC61	FFFF FFFF$_H$	32	FFE6 0954$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C62	OCRC62	FFFF FFFF$_H$	32	FFE6 0958$_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C63	OCRC63	FFFF FFFF$_H$	32	FFE6 095C$_H$	1（1H）	32
ATU4C	ノイズキャンセルカウンタ C60	NCNTC60	0000$_H$	16	FFE6 0970$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C60	NCRC60	0000$_H$	16	FFE6 0972$_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C61	NCNTC61	0000$_H$	16	FFE6 0974$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C61	NCRC61	0000$_H$	16	FFE6 0976$_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C62	NCNTC62	0000$_H$	16	FFE6 0978$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C62	NCRC62	0000$_H$	16	FFE6 097A$_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C63	NCNTC63	0000$_H$	16	FFE6 097C$_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C63	NCRC63	0000$_H$	16	FFE6 097E$_H$	1（1H）	16
ATU4C	タイマステータスクリアレジスタ C7	TSCRC7	0000$_H$	16	FFE6 09A2$_H$	1（1H）	8、16
ATU4C	タイマコントロールレジスタ C7	TCRC7	0000$_H$	16	FFE6 09A4$_H$	1（1H）	8、16
ATU4C	タイマステータスレジスタ C7	TSRC7	0000$_H$	16	FFE6 09A6$_H$	1（1H）	8、16
ATU4C	タイマ I/O コントロールレジスタ C7	TIORC7	0000$_H$	16	FFE6 09A8$_H$	1（1H）	8、16
ATU4C	タイマインタラプトイネーブルレジスタ C7	TIERC7	000F$_H$	16	FFE6 09B4$_H$	1（1H）	8、16
ATU4C	タイマカウンタ C7	TCNTC7	0000 0000$_H$	32	FFE6 09B8$_H$	1（1H）	32
ATU4C	カウンタ上限値設定コンペアレジスタ C7	CUCRC7	FFFF FFFF$_H$	32	FFE6 09BC$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C70	GRC70	FFFF FFFF$_H$	32	FFE6 09C0$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C71	GRC71	FFFF FFFF$_H$	32	FFE6 09C4$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C72	GRC72	FFFF FFFF$_H$	32	FFE6 09C8$_H$	1（1H）	32
ATU4C	タイマ汎用レジスタ C73	GRC73	FFFF FFFF$_H$	32	FFE6 09CC$_H$	1（1H）	32

(189/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4C	アウトプットコンペアレジスタ C70	OCRC70	FFFF $FFFF_H$	32	FFE6 $09D0_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C71	OCRC71	FFFF $FFFF_H$	32	FFE6 $09D4_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C72	OCRC72	FFFF $FFFF_H$	32	FFE6 $09D8_H$	1（1H）	32
ATU4C	アウトプットコンペアレジスタ C73	OCRC73	FFFF $FFFF_H$	32	FFE6 $09DC_H$	1（1H）	32
ATU4C	ノイズキャンセルカウンタ C70	NCNTC70	0000_H	16	FFE6 $09F0_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C70	NCRC70	0000_H	16	FFE6 $09F2_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C71	NCNTC71	0000_H	16	FFE6 $09F4_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C71	NCRC71	0000_H	16	FFE6 $09F6_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C72	NCNTC72	0000_H	16	FFE6 $09F8_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C72	NCRC72	0000_H	16	FFE6 $09FA_H$	1（1H）	16
ATU4C	ノイズキャンセルカウンタ C73	NCNTC73	0000_H	16	FFE6 $09FC_H$	1（1H）	16
ATU4C	ノイズキャンセルレジスタ C73	NCRC73	0000_H	16	FFE6 $09FE_H$	1（1H）	16
ATU4D	タイマスタートレジスタ D	TSTRD	0000_H	16	FFE6 1000_H	1（1H）	8、16
ATU4D	タイマコントロールレジスタ D0	TCRD0	0000_H	16	FFE6 1100_H	1（1H）	8、16
ATU4D	ダウンカウンタコントロールレジスタ D0	DCRD0	0000_H	16	FFE6 1102_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 1D0	TIOR1D0	0000_H	16	FFE6 1104_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 2D0	TIOR2D0	0000_H	16	FFE6 1106_H	1（1H）	8、16
ATU4D	ダウンカウントスタートレジスタ D0	DSTRD0	00_H	8	FFE6 1108_H	1（1H）	8
ATU4D	ダウンカウントステータスクリアレジスタ D0	DSCRD0	00_H	8	FFE6 1109_H	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 1D0	DSR1D0	00_H	8	FFE6 $110A_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 2D0	DSR2D0	00_H	8	FFE6 $110B_H$	1（1H）	8
ATU4D	タイマステータスレジスタ D0	TSRD0	0000_H	16	FFE6 $110C_H$	1（1H）	8、16
ATU4D	タイマステータスクリアレジスタ D0	TSCRD0	0000_H	16	FFE6 $110E_H$	1（1H）	8、16
ATU4D	タイマアウトプットコントロールレジスタ D0	TOCRD0	00_H	8	FFE6 1110_H	1（1H）	8
ATU4D	出力選択レジスタ D0	OSELRD0	00_H	8	FFE6 1111_H	1（1H）	8
ATU4D	出力値レジスタ D0	ODRD0	00_H	8	FFE6 1112_H	1（1H）	8
ATU4D	タイマインプットキャプチャトリガ選択レジスタ D0	TICTSELD0	00_H	8	FFE6 1114_H	1（1H）	8
ATU4D	タイマオフセットベースレジスタ D0	OSBRD0	0000 0000_H	32	FFE6 1118_H	1（1H）	32
ATU4D	タイマカウンタ 1D0	TCNT1D0	0000 0000_H	32	FFE6 1120_H	1（1H）	32
ATU4D	タイマカウンタ 2D0	TCNT2D0	0000 0000_H	32	FFE6 1124_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 1 D0	CUCR1D0	FFFF $FFFF_H$	32	FFE6 1128_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 2 D0	CUCR2D0	FFFF $FFFF_H$	32	FFE6 $112C_H$	1（1H）	32
ATU4D	範囲コンペア値設定レジスタ 1 D0	RCR1D0	00_H	8	FFE6 1130_H	1（1H）	8
ATU4D	範囲コンペア値設定レジスタ 2 D0	RCR2D0	00_H	8	FFE6 1134_H	1（1H）	8
ATU4D	アウトプットコンペアレジスタ 1 D00	OCR1D00	FFFF $FFFF_H$	32	FFE6 1140_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D00	OCR2D00	FFFF $FFFF_H$	32	FFE6 1148_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D00	ICR1D00	0000 0000_H	32	FFE6 1150_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D00	ICR2D00	0000 0000_H	32	FFE6 1154_H	1（1H）	32
ATU4D	タイマダウンカウンタ D00	DCNTD00	0000 0000_H	32	FFE6 1158_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D01	OCR1D01	FFFF $FFFF_H$	32	FFE6 1160_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D01	OCR2D01	FFFF $FFFF_H$	32	FFE6 1168_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D01	ICR1D01	0000 0000_H	32	FFE6 1170_H	1（1H）	32

(190/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4D	インプットキャプチャレジスタ 2 D01	ICR2D01	0000 0000_H	32	FFE6 1174_H	1（1H）	32
ATU4D	タイマダウンカウンタ D01	DCNTD01	0000 0000_H	32	FFE6 1178_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D02	OCR1D02	FFFF $FFFF_H$	32	FFE6 1180_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D02	OCR2D02	FFFF $FFFF_H$	32	FFE6 1188_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D02	ICR1D02	0000 0000_H	32	FFE6 1190_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D02	ICR2D02	0000 0000_H	32	FFE6 1194_H	1（1H）	32
ATU4D	タイマダウンカウンタ D02	DCNTD02	0000 0000_H	32	FFE6 1198_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D03	OCR1D03	FFFF $FFFF_H$	32	FFE6 $11A0_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D03	OCR2D03	FFFF $FFFF_H$	32	FFE6 $11A8_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D03	ICR1D03	0000 0000_H	32	FFE6 $11B0_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D03	ICR2D03	0000 0000_H	32	FFE6 $11B4_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D03	DCNTD03	0000 0000_H	32	FFE6 $11B8_H$	1（1H）	32
ATU4D	タイマコントロールレジスタ D1	TCRD1	0000_H	16	FFE6 1200_H	1（1H）	8、16
ATU4D	ダウンカウンタコントロールレジスタ D1	DCRD1	0000_H	16	FFE6 1202_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 1 D1	TIOR1D1	0000_H	16	FFE6 1204_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 2 D1	TIOR2D1	0000_H	16	FFE6 1206_H	1（1H）	8、16
ATU4D	ダウンカウントスタートレジスタ D1	DSTRD1	00_H	8	FFE6 1208_H	1（1H）	8
ATU4D	ダウンカウントステータスクリアレジスタ D1	DSCRD1	00_H	8	FFE6 1209_H	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 1 D1	DSR1D1	00_H	8	FFE6 $120A_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 2 D1	DSR2D1	00_H	8	FFE6 $120B_H$	1（1H）	8
ATU4D	タイマステータスレジスタ D1	TSRD1	0000_H	16	FFE6 $120C_H$	1（1H）	8、16
ATU4D	タイマステータスクリアレジスタ D1	TSCRD1	0000_H	16	FFE6 $120E_H$	1（1H）	8、16
ATU4D	タイマアウトプットコントロールレジスタ D1	TOCRD1	00_H	8	FFE6 1210_H	1（1H）	8
ATU4D	出力選択レジスタ D1	OSELRD1	00_H	8	FFE6 1211_H	1（1H）	8
ATU4D	出力値レジスタ D1	ODRD1	00_H	8	FFE6 1212_H	1（1H）	8
ATU4D	タイマインプットキャプチャトリガ選択レジスタ D1	TICTSELD1	00_H	8	FFE6 1214_H	1（1H）	8
ATU4D	タイマオフセットベースレジスタ D1	OSBRD1	0000 0000_H	32	FFE6 1218_H	1（1H）	32
ATU4D	タイマカウンタ 1 D1	TCNT1D1	0000 0000_H	32	FFE6 1220_H	1（1H）	32
ATU4D	タイマカウンタ 2 D1	TCNT2D1	0000 0000_H	32	FFE6 1224_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 1 D1	CUCR1D1	FFFF $FFFF_H$	32	FFE6 1228_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 2 D1	CUCR2D1	FFFF $FFFF_H$	32	FFE6 $122C_H$	1（1H）	32
ATU4D	範囲コンペア値設定レジスタ 1 D1	RCR1D1	00_H	8	FFE6 1230_H	1（1H）	8
ATU4D	範囲コンペア値設定レジスタ 2 D1	RCR2D1	00_H	8	FFE6 1234_H	1（1H）	8
ATU4D	アウトプットコンペアレジスタ 1 D10	OCR1D10	FFFF $FFFF_H$	32	FFE6 1240_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D10	OCR2D10	FFFF $FFFF_H$	32	FFE6 1248_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D10	ICR1D10	0000 0000_H	32	FFE6 1250_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D10	ICR2D10	0000 0000_H	32	FFE6 1254_H	1（1H）	32
ATU4D	タイマダウンカウンタ D10	DCNTD10	0000 0000_H	32	FFE6 1258_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D11	OCR1D11	FFFF $FFFF_H$	32	FFE6 1260_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D11	OCR2D11	FFFF $FFFF_H$	32	FFE6 1268_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D11	ICR1D11	0000 0000_H	32	FFE6 1270_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D11	ICR2D11	0000 0000_H	32	FFE6 1274_H	1（1H）	32

(191/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4D	タイマダウンカウンタ D11	DCNTD11	0000 0000_H	32	FFE6 1278_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D12	OCR1D12	FFFF $FFFF_H$	32	FFE6 1280_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D12	OCR2D12	FFFF $FFFF_H$	32	FFE6 1288_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D12	ICR1D12	0000 0000_H	32	FFE6 1290_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D12	ICR2D12	0000 0000_H	32	FFE6 1294_H	1（1H）	32
ATU4D	タイマダウンカウンタ D12	DCNTD12	0000 0000_H	32	FFE6 1298_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D13	OCR1D13	FFFF $FFFF_H$	32	FFE6 $12A0_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D13	OCR2D13	FFFF $FFFF_H$	32	FFE6 $12A8_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D13	ICR1D13	0000 0000_H	32	FFE6 $12B0_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D13	ICR2D13	0000 0000_H	32	FFE6 $12B4_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D13	DCNTD13	0000 0000_H	32	FFE6 $12B8_H$	1（1H）	32
ATU4D	タイマコントロールレジスタ D2	TCRD2	0000_H	16	FFE6 1300_H	1（1H）	8、16
ATU4D	ダウンカウンタコントロールレジスタ D2	DCRD2	0000_H	16	FFE6 1302_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 1 D2	TIOR1D2	0000_H	16	FFE6 1304_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 2 D2	TIOR2D2	0000_H	16	FFE6 1306_H	1（1H）	8、16
ATU4D	ダウンカウントスタートレジスタ D2	DSTRD2	00_H	8	FFE6 1308_H	1（1H）	8
ATU4D	ダウンカウントステータスクリアレジスタ D2	DSCRD2	00_H	8	FFE6 1309_H	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 1 D2	DSR1D2	00_H	8	FFE6 $130A_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 2 D2	DSR2D2	00_H	8	FFE6 $130B_H$	1（1H）	8
ATU4D	タイマステータスレジスタ D2	TSRD2	0000_H	16	FFE6 $130C_H$	1（1H）	8、16
ATU4D	タイマステータスクリアレジスタ D2	TSCRD2	0000_H	16	FFE6 $130E_H$	1（1H）	8、16
ATU4D	タイマアウトプットコントロールレジスタ D2	TOCRD2	00_H	8	FFE6 1310_H	1（1H）	8
ATU4D	出力選択レジスタ D2	OSELRD2	00_H	8	FFE6 1311_H	1（1H）	8
ATU4D	出力値レジスタ D2	ODRD2	00_H	8	FFE6 1312_H	1（1H）	8
ATU4D	タイマインプットキャプチャトリガ選択レジスタ D2	TICTSELD2	00_H	8	FFE6 1314_H	1（1H）	8
ATU4D	タイマオフセットベースレジスタ D2	OSBRD2	0000 0000_H	32	FFE6 1318_H	1（1H）	32
ATU4D	タイマカウンタ 1 D2	TCNT1D2	0000 0000_H	32	FFE6 1320_H	1（1H）	32
ATU4D	タイマカウンタ 2 D2	TCNT2D2	0000 0000_H	32	FFE6 1324_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 1 D2	CUCR1D2	FFFF $FFFF_H$	32	FFE6 1328_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 2 D2	CUCR2D2	FFFF $FFFF_H$	32	FFE6 $132C_H$	1（1H）	32
ATU4D	範囲コンペア値設定レジスタ 1 D2	RCR1D2	00_H	8	FFE6 1330_H	1（1H）	8
ATU4D	範囲コンペア値設定レジスタ 2 D2	RCR2D2	00_H	8	FFE6 1334_H	1（1H）	8
ATU4D	アウトプットコンペアレジスタ 1 D20	OCR1D20	FFFF $FFFF_H$	32	FFE6 1340_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D20	OCR2D20	FFFF $FFFF_H$	32	FFE6 1348_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D20	ICR1D20	0000 0000_H	32	FFE6 1350_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D20	ICR2D20	0000 0000_H	32	FFE6 1354_H	1（1H）	32
ATU4D	タイマダウンカウンタ D20	DCNTD20	0000 0000_H	32	FFE6 1358_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D21	OCR1D21	FFFF $FFFF_H$	32	FFE6 1360_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D21	OCR2D21	FFFF $FFFF_H$	32	FFE6 1368_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D21	ICR1D21	0000 0000_H	32	FFE6 1370_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D21	ICR2D21	0000 0000_H	32	FFE6 1374_H	1（1H）	32
ATU4D	タイマダウンカウンタ D21	DCNTD21	0000 0000_H	32	FFE6 1378_H	1（1H）	32

(192/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4D	アウトプットコンペアレジスタ 1 D22	OCR1D22	FFFF $FFFF_H$	32	FFE6 1380_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D22	OCR2D22	FFFF $FFFF_H$	32	FFE6 1388_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D22	ICR1D22	0000 0000_H	32	FFE6 1390_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D22	ICR2D22	0000 0000_H	32	FFE6 1394_H	1（1H）	32
ATU4D	タイマダウンカウンタ D22	DCNTD22	0000 0000_H	32	FFE6 1398_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D23	OCR1D23	FFFF $FFFF_H$	32	FFE6 $13A0_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D23	OCR2D23	FFFF $FFFF_H$	32	FFE6 $13A8_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D23	ICR1D23	0000 0000_H	32	FFE6 $13B0_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D23	ICR2D23	0000 0000_H	32	FFE6 $13B4_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D23	DCNTD23	0000 0000_H	32	FFE6 $13B8_H$	1（1H）	32
ATU4D	タイマコントロールレジスタ D3	TCRD3	0000_H	16	FFE6 1400_H	1（1H）	8、16
ATU4D	ダウンカウンタコントロールレジスタ D3	DCRD3	0000_H	16	FFE6 1402_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 1 D3	TIOR1D3	0000_H	16	FFE6 1404_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 2 D3	TIOR2D3	0000_H	16	FFE6 1406_H	1（1H）	8、16
ATU4D	ダウンカウントスタートレジスタ D3	DSTRD3	00_H	8	FFE6 1408_H	1（1H）	8
ATU4D	ダウンカウントステータスクリアレジスタ D3	DSCRD3	00_H	8	FFE6 1409_H	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 1 D3	DSR1D3	00_H	8	FFE6 $140A_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 2 D3	DSR2D3	00_H	8	FFE6 $140B_H$	1（1H）	8
ATU4D	タイマステータスレジスタ D3	TSRD3	0000_H	16	FFE6 $140C_H$	1（1H）	8、16
ATU4D	タイマステータスクリアレジスタ D3	TSCRD3	0000_H	16	FFE6 $140E_H$	1（1H）	8、16
ATU4D	タイマアウトプットコントロールレジスタ D3	TOCRD3	00_H	8	FFE6 1410_H	1（1H）	8
ATU4D	出力選択レジスタ D3	OSELRD3	00_H	8	FFE6 1411_H	1（1H）	8
ATU4D	出力値レジスタ D3	ODRD3	00_H	8	FFE6 1412_H	1（1H）	8
ATU4D	タイマインプットキャプチャトリガ選択レジスタ D3	TICTSELD3	01_H	8	FFE6 1414_H	1（1H）	8
ATU4D	タイマオフセットベースレジスタ D3	OSBRD3	0000 0000_H	32	FFE6 1418_H	1（1H）	32
ATU4D	タイマカウンタ 1 D3	TCNT1D3	0000 0000_H	32	FFE6 1420_H	1（1H）	32
ATU4D	タイマカウンタ 2 D3	TCNT2D3	0000 0000_H	32	FFE6 1424_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 1 D3	CUCR1D3	FFFF $FFFF_H$	32	FFE6 1428_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 2 D3	CUCR2D3	FFFF $FFFF_H$	32	FFE6 $142C_H$	1（1H）	32
ATU4D	範囲コンペア値設定レジスタ 1 D3	RCR1D3	00_H	8	FFE6 1430_H	1（1H）	8
ATU4D	範囲コンペア値設定レジスタ 2 D3	RCR2D3	00_H	8	FFE6 1434_H	1（1H）	8
ATU4D	アウトプットコンペアレジスタ 1 D30	OCR1D30	FFFF $FFFF_H$	32	FFE6 1440_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D30	OCR2D30	FFFF $FFFF_H$	32	FFE6 1448_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D30	ICR1D30	0000 0000_H	32	FFE6 1450_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D30	ICR2D30	0000 0000_H	32	FFE6 1454_H	1（1H）	32
ATU4D	タイマダウンカウンタ D30	DCNTD30	0000 0000_H	32	FFE6 1458_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D31	OCR1D31	FFFF $FFFF_H$	32	FFE6 1460_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D31	OCR2D31	FFFF $FFFF_H$	32	FFE6 1468_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D31	ICR1D31	0000 0000_H	32	FFE6 1470_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D31	ICR2D31	0000 0000_H	32	FFE6 1474_H	1（1H）	32
ATU4D	タイマダウンカウンタ D31	DCNTD31	0000 0000_H	32	FFE6 1478_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D32	OCR1D32	FFFF $FFFF_H$	32	FFE6 1480_H	1（1H）	32

(193/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4D	アウトプットコンペアレジスタ 2 D32	OCR2D32	FFFF FFFF$_H$	32	FFE6 1488$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D32	ICR1D32	0000 0000$_H$	32	FFE6 1490$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D32	ICR2D32	0000 0000$_H$	32	FFE6 1494$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D32	DCNTD32	0000 0000$_H$	32	FFE6 1498$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D33	OCR1D33	FFFF FFFF$_H$	32	FFE6 14A0$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D33	OCR2D33	FFFF FFFF$_H$	32	FFE6 14A8$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D33	ICR1D33	0000 0000$_H$	32	FFE6 14B0$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D33	ICR2D33	0000 0000$_H$	32	FFE6 14B4$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D33	DCNTD33	0000 0000$_H$	32	FFE6 14B8$_H$	1（1H）	32
ATU4D	タイマコントロールレジスタ D4	TCRD4	0000$_H$	16	FFE6 1500$_H$	1（1H）	8、16
ATU4D	ダウンカウンタコントロールレジスタ D4	DCRD4	0000$_H$	16	FFE6 1502$_H$	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 1 D4	TIOR1D4	0000$_H$	16	FFE6 1504$_H$	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 2 D4	TIOR2D4	0000$_H$	16	FFE6 1506$_H$	1（1H）	8、16
ATU4D	ダウンカウントスタートレジスタ D4	DSTRD4	00$_H$	8	FFE6 1508$_H$	1（1H）	8
ATU4D	ダウンカウントステータスクリアレジスタ D4	DSCRD4	00$_H$	8	FFE6 1509$_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 1D4	DSR1D4	00$_H$	8	FFE6 150A$_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 2D4	DSR2D4	00$_H$	8	FFE6 150B$_H$	1（1H）	8
ATU4D	タイマステータスレジスタ D4	TSRD4	0000$_H$	16	FFE6 150C$_H$	1（1H）	8、16
ATU4D	タイマステータスクリアレジスタ D4	TSCRD4	0000$_H$	16	FFE6 150E$_H$	1（1H）	8、16
ATU4D	タイマアウトプットコントロールレジスタ D4	TOCRD4	00$_H$	8	FFE6 1510$_H$	1（1H）	8
ATU4D	出力選択レジスタ D4	OSELRD4	00$_H$	8	FFE6 1511$_H$	1（1H）	8
ATU4D	出力値レジスタ D4	ODRD4	00$_H$	8	FFE6 1512$_H$	1（1H）	8
ATU4D	タイマインプットキャプチャトリガ選択レジスタ D4	TICTSELD4	01$_H$	8	FFE6 1514$_H$	1（1H）	8
ATU4D	タイマオフセットベースレジスタ D4	OSBRD4	0000 0000$_H$	32	FFE6 1518$_H$	1（1H）	32
ATU4D	タイマカウンタ 1 D4	TCNT1D4	0000 0000$_H$	32	FFE6 1520$_H$	1（1H）	32
ATU4D	タイマカウンタ 2 D4	TCNT2D4	0000 0000$_H$	32	FFE6 1524$_H$	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 1 D4	CUCR1D4	FFFF FFFF$_H$	32	FFE6 1528$_H$	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 2 D4	CUCR2D4	FFFF FFFF$_H$	32	FFE6 152C$_H$	1（1H）	32
ATU4D	範囲コンペア値設定レジスタ 1 D4	RCR1D4	00$_H$	8	FFE6 1530$_H$	1（1H）	8
ATU4D	範囲コンペア値設定レジスタ 2 D4	RCR2D4	00$_H$	8	FFE6 1534$_H$	1（1H）	8
ATU4D	アウトプットコンペアレジスタ 1 D40	OCR1D40	FFFF FFFF$_H$	32	FFE6 1540$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D40	OCR2D40	FFFF FFFF$_H$	32	FFE6 1548$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D40	ICR1D40	0000 0000$_H$	32	FFE6 1550$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D40	ICR2D40	0000 0000$_H$	32	FFE6 1554$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D40	DCNTD40	0000 0000$_H$	32	FFE6 1558$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1D 41	OCR1D41	FFFF FFFF$_H$	32	FFE6 1560$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D41	OCR2D41	FFFF FFFF$_H$	32	FFE6 1568$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D41	ICR1D41	0000 0000$_H$	32	FFE6 1570$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D41	ICR2D41	0000 0000$_H$	32	FFE6 1574$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D41	DCNTD41	0000 0000$_H$	32	FFE6 1578$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D42	OCR1D42	FFFF FFFF$_H$	32	FFE6 1580$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D42	OCR2D42	FFFF FFFF$_H$	32	FFE6 1588$_H$	1（1H）	32

(194/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4D	インプットキャプチャレジスタ 1 D42	ICR1D42	0000 0000_H	32	FFE6 1590_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D42	ICR2D42	0000 0000_H	32	FFE6 1594_H	1（1H）	32
ATU4D	タイマダウンカウンタ D42	DCNTD42	0000 0000_H	32	FFE6 1598_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D43	OCR1D43	FFFF $FFFF_H$	32	FFE6 $15A0_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D43	OCR2D43	FFFF $FFFF_H$	32	FFE6 $15A8_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D43	ICR1D43	0000 0000_H	32	FFE6 $15B0_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D43	ICR2D43	0000 0000_H	32	FFE6 $15B4_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D43	DCNTD43	0000 0000_H	32	FFE6 $15B8_H$	1（1H）	32
ATU4D	タイマコントロールレジスタ D5	TCRD5	0000_H	16	FFE6 1600_H	1（1H）	8、16
ATU4D	ダウンカウンタコントロールレジスタ D5	DCRD5	0000_H	16	FFE6 1602_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 1 D5	TIOR1D5	0000_H	16	FFE6 1604_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 2 D5	TIOR2D5	0000_H	16	FFE6 1606_H	1（1H）	8、16
ATU4D	ダウンカウントスタートレジスタ D5	DSTRD5	00_H	8	FFE6 1608_H	1（1H）	8
ATU4D	ダウンカウントステータスクリアレジスタ D5	DSCRD5	00_H	8	FFE6 1609_H	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 1 D5	DSR1D5	00_H	8	FFE6 $160A_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 2 D5	DSR2D5	00_H	8	FFE6 $160B_H$	1（1H）	8
ATU4D	タイマステータスレジスタ D5	TSRD5	0000_H	16	FFE6 $160C_H$	1（1H）	8、16
ATU4D	タイマステータスクリアレジスタ D5	TSCRD5	0000_H	16	FFE6 $160E_H$	1（1H）	8、16
ATU4D	タイマアウトプットコントロールレジスタ D5	TOCRD5	00_H	8	FFE6 1610_H	1（1H）	8
ATU4D	出力選択レジスタ D5	OSELRD5	00_H	8	FFE6 1611_H	1（1H）	8
ATU4D	出力値レジスタ D5	ODRD5	00_H	8	FFE6 1612_H	1（1H）	8
ATU4D	タイマインプットキャプチャトリガ選択レジスタ D5	TICTSELD5	01_H	8	FFE6 1614_H	1（1H）	8
ATU4D	タイマオフセットベースレジスタ D5	OSBRD5	0000 0000_H	32	FFE6 1618_H	1（1H）	32
ATU4D	タイマカウンタ 1 D5	TCNT1D5	0000 0000_H	32	FFE6 1620_H	1（1H）	32
ATU4D	タイマカウンタ 2 D5	TCNT2D5	0000 0000_H	32	FFE6 1624_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 1 D5	CUCR1D5	FFFF $FFFF_H$	32	FFE6 1628_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 2 D5	CUCR2D5	FFFF $FFFF_H$	32	FFE6 $162C_H$	1（1H）	32
ATU4D	範囲コンペア値設定レジスタ 1 D5	RCR1D5	00_H	8	FFE6 1630_H	1（1H）	8
ATU4D	範囲コンペア値設定レジスタ 2 D5	RCR2D5	00_H	8	FFE6 1634_H	1（1H）	8
ATU4D	アウトプットコンペアレジスタ 1 D50	OCR1D50	FFFF $FFFF_H$	32	FFE6 1640_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D50	OCR2D50	FFFF $FFFF_H$	32	FFE6 1648_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D50	ICR1D50	0000 0000_H	32	FFE6 1650_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D50	ICR2D50	0000 0000_H	32	FFE6 1654_H	1（1H）	32
ATU4D	タイマダウンカウンタ D50	DCNTD50	0000 0000_H	32	FFE6 1658_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D51	OCR1D51	FFFF $FFFF_H$	32	FFE6 1660_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D51	OCR2D51	FFFF $FFFF_H$	32	FFE6 1668_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D51	ICR1D51	0000 0000_H	32	FFE6 1670_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D51	ICR2D51	0000 0000_H	32	FFE6 1674_H	1（1H）	32
ATU4D	タイマダウンカウンタ D51	DCNTD51	0000 0000_H	32	FFE6 1678_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D52	OCR1D52	FFFF $FFFF_H$	32	FFE6 1680_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D52	OCR2D52	FFFF $FFFF_H$	32	FFE6 1688_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D52	ICR1D52	0000 0000_H	32	FFE6 1690_H	1（1H）	32

(195/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4D	インプットキャプチャレジスタ 2 D52	ICR2D52	0000 0000_H	32	FFE6 1694_H	1（1H）	32
ATU4D	タイマダウンカウンタ D52	DCNTD52	0000 0000_H	32	FFE6 1698_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D53	OCR1D53	FFFF $FFFF_H$	32	FFE6 $16A0_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D53	OCR2D53	FFFF $FFFF_H$	32	FFE6 $16A8_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D53	ICR1D53	0000 0000_H	32	FFE6 $16B0_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D53	ICR2D53	0000 0000_H	32	FFE6 $16B4_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D53	DCNTD53	0000 0000_H	32	FFE6 $16B8_H$	1（1H）	32
ATU4D	タイマコントロールレジスタ D6	TCRD6	0000_H	16	FFE6 1700_H	1（1H）	8、16
ATU4D	ダウンカウンタコントロールレジスタ D6	DCRD6	0000_H	16	FFE6 1702_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 1 D6	TIOR1D6	0000_H	16	FFE6 1704_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 2 D6	TIOR2D6	0000_H	16	FFE6 1706_H	1（1H）	8、16
ATU4D	ダウンカウントスタートレジスタ D6	DSTRD6	00_H	8	FFE6 1708_H	1（1H）	8
ATU4D	ダウンカウントステータスクリアレジスタ D6	DSCRD6	00_H	8	FFE6 1709_H	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 1 D6	DSR1D6	00_H	8	FFE6 $170A_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 2 D6	DSR2D6	00_H	8	FFE6 $170B_H$	1（1H）	8
ATU4D	タイマステータスレジスタ D6	TSRD6	0000_H	16	FFE6 $170C_H$	1（1H）	8、16
ATU4D	タイマステータスクリアレジスタ D6	TSCRD6	0000_H	16	FFE6 $170E_H$	1（1H）	8、16
ATU4D	タイマアウトプットコントロールレジスタ D6	TOCRD6	00_H	8	FFE6 1710_H	1（1H）	8
ATU4D	出力選択レジスタ D6	OSELRD6	00_H	8	FFE6 1711_H	1（1H）	8
ATU4D	出力値レジスタ D6	ODRD6	00_H	8	FFE6 1712_H	1（1H）	8
ATU4D	タイマインプットキャプチャトリガ選択レジスタ D6	TICTSELD6	01_H	8	FFE6 1714_H	1（1H）	8
ATU4D	タイマオフセットベースレジスタ D6	OSBRD6	0000 0000_H	32	FFE6 1718_H	1（1H）	32
ATU4D	タイマカウンタ 1 D6	TCNT1D6	0000 0000_H	32	FFE6 1720_H	1（1H）	32
ATU4D	タイマカウンタ 2 D6	TCNT2D6	0000 0000_H	32	FFE6 1724_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 1 D6	CUCR1D6	FFFF $FFFF_H$	32	FFE6 1728_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 2 D6	CUCR2D6	FFFF $FFFF_H$	32	FFE6 $172C_H$	1（1H）	32
ATU4D	範囲コンペア値設定レジスタ 1 D6	RCR1D6	00_H	8	FFE6 1730_H	1（1H）	8
ATU4D	範囲コンペア値設定レジスタ 2 D6	RCR2D6	00_H	8	FFE6 1734_H	1（1H）	8
ATU4D	アウトプットコンペアレジスタ 1 D60	OCR1D60	FFFF $FFFF_H$	32	FFE6 1740_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D60	OCR2D60	FFFF $FFFF_H$	32	FFE6 1748_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D60	ICR1D60	0000 0000_H	32	FFE6 1750_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D60	ICR2D60	0000 0000_H	32	FFE6 1754_H	1（1H）	32
ATU4D	タイマダウンカウンタ D60	DCNTD60	0000 0000_H	32	FFE6 1758_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D61	OCR1D61	FFFF $FFFF_H$	32	FFE6 1760_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D61	OCR2D61	FFFF $FFFF_H$	32	FFE6 1768_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D61	ICR1D61	0000 0000_H	32	FFE6 1770_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D61	ICR2D61	0000 0000_H	32	FFE6 1774_H	1（1H）	32
ATU4D	タイマダウンカウンタ D61	DCNTD61	0000 0000_H	32	FFE6 1778_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D62	OCR1D62	FFFF $FFFF_H$	32	FFE6 1780_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D62	OCR2D62	FFFF $FFFF_H$	32	FFE6 1788_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D62	ICR1D62	0000 0000_H	32	FFE6 1790_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D62	ICR2D62	0000 0000_H	32	FFE6 1794_H	1（1H）	32

(196/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4D	タイマダウンカウンタ D62	DCNTD62	0000 0000_H	32	FFE6 1798_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D63	OCR1D63	FFFF $FFFF_H$	32	FFE6 $17A0_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D63	OCR2D63	FFFF $FFFF_H$	32	FFE6 $17A8_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D63	ICR1D63	0000 0000_H	32	FFE6 $17B0_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D63	ICR2D63	0000 0000_H	32	FFE6 $17B4_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D63	DCNTD63	0000 0000_H	32	FFE6 $17B8_H$	1（1H）	32
ATU4D	タイマコントロールレジスタ D7	TCRD7	0000_H	16	FFE6 1800_H	1（1H）	8、16
ATU4D	ダウンカウンタコントロールレジスタ D7	DCRD7	0000_H	16	FFE6 1802_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 1 D7	TIOR1D7	0000_H	16	FFE6 1804_H	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 2 D7	TIOR2D7	0000_H	16	FFE6 1806_H	1（1H）	8、16
ATU4D	ダウンカウントスタートレジスタ D7	DSTRD7	00_H	8	FFE6 1808_H	1（1H）	8
ATU4D	ダウンカウントステータスクリアレジスタ D7	DSCRD7	00_H	8	FFE6 1809_H	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 1 D7	DSR1D7	00_H	8	FFE6 $180A_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 2 D7	DSR2D7	00_H	8	FFE6 $180B_H$	1（1H）	8
ATU4D	タイマステータスレジスタ D7	TSRD7	0000_H	16	FFE6 $180C_H$	1（1H）	8、16
ATU4D	タイマステータスクリアレジスタ D7	TSCRD7	0000_H	16	FFE6 $180E_H$	1（1H）	8、16
ATU4D	タイマアウトプットコントロールレジスタ D7	TOCRD7	00_H	8	FFE6 1810_H	1（1H）	8
ATU4D	出力選択レジスタ D7	OSELRD7	00_H	8	FFE6 1811_H	1（1H）	8
ATU4D	出力値レジスタ D7	ODRD7	00_H	8	FFE6 1812_H	1（1H）	8
ATU4D	タイマインプットキャプチャトリガ選択レジスタ D7	TICTSELD7	01_H	8	FFE6 1814_H	1（1H）	8
ATU4D	タイマオフセットベースレジスタ D7	OSBRD7	0000 0000_H	32	FFE6 1818_H	1（1H）	32
ATU4D	タイマカウンタ 1 D7	TCNT1D7	0000 0000_H	32	FFE6 1820_H	1（1H）	32
ATU4D	タイマカウンタ 2 D7	TCNT2D7	0000 0000_H	32	FFE6 1824_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 1 D7	CUCR1D7	FFFF $FFFF_H$	32	FFE6 1828_H	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 2 D7	CUCR2D7	FFFF $FFFF_H$	32	FFE6 $182C_H$	1（1H）	32
ATU4D	範囲コンペア値設定レジスタ 1 D7	RCR1D7	00H	8	FFE6 1830_H	1（1H）	8
ATU4D	範囲コンペア値設定レジスタ 2 D7	RCR2D7	00H	8	FFE6 1834_H	1（1H）	8
ATU4D	アウトプットコンペアレジスタ 1 D70	OCR1D70	FFFF $FFFF_H$	32	FFE6 1840_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D70	OCR2D70	FFFF $FFFF_H$	32	FFE6 1848_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D70	ICR1D70	0000 0000_H	32	FFE6 1850_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D70	ICR2D70	0000 0000_H	32	FFE6 1854_H	1（1H）	32
ATU4D	タイマダウンカウンタ D70	DCNTD70	0000 0000_H	32	FFE6 1858_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D71	OCR1D71	FFFF $FFFF_H$	32	FFE6 1860_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D71	OCR2D71	FFFF $FFFF_H$	32	FFE6 1868_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D71	ICR1D71	0000 0000_H	32	FFE6 1870_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D71	ICR2D71	0000 0000_H	32	FFE6 1874_H	1（1H）	32
ATU4D	タイマダウンカウンタ D71	DCNTD71	0000 0000_H	32	FFE6 1878_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D72	OCR1D72	FFFF $FFFF_H$	32	FFE6 1880_H	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D72	OCR2D72	FFFF $FFFF_H$	32	FFE6 1888_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D72	ICR1D72	0000 0000_H	32	FFE6 1890_H	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D72	ICR2D72	0000 0000_H	32	FFE6 1894_H	1（1H）	32
ATU4D	タイマダウンカウンタ D72	DCNTD72	0000 0000_H	32	FFE6 1898_H	1（1H）	32

(197/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4D	アウトプットコンペアレジスタ 1 D73	OCR1D73	FFFF FFFF$_H$	32	FFE6 18A0$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D73	OCR2D73	FFFF FFFF$_H$	32	FFE6 18A8$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D73	ICR1D73	0000 0000$_H$	32	FFE6 18B0$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D73	ICR2D73	0000 0000$_H$	32	FFE6 18B4$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D73	DCNTD73	0000 0000$_H$	32	FFE6 18B8$_H$	1（1H）	32
ATU4D	タイマコントロールレジスタ D8	TCRD8	0000$_H$	16	FFE6 1900$_H$	1（1H）	8、16
ATU4D	ダウンカウンタコントロールレジスタ D8	DCRD8	0000$_H$	16	FFE6 1902$_H$	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 1 D8	TIOR1D8	0000$_H$	16	FFE6 1904$_H$	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 2 D8	TIOR2D8	0000$_H$	16	FFE6 1906$_H$	1（1H）	8、16
ATU4D	ダウンカウントスタートレジスタ D8	DSTRD8	00$_H$	8	FFE6 1908$_H$	1（1H）	8
ATU4D	ダウンカウントステータスクリアレジスタ D8	DSCRD8	00$_H$	8	FFE6 1909$_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 1 D8	DSR1D8	00$_H$	8	FFE6 190A$_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 2 D8	DSR2D8	00$_H$	8	FFE6 190B$_H$	1（1H）	8
ATU4D	タイマステータスレジスタ D8	TSRD8	0000$_H$	16	FFE6 190C$_H$	1（1H）	8、16
ATU4D	タイマステータスクリアレジスタ D8	TSCRD8	0000$_H$	16	FFE6 190E$_H$	1（1H）	8、16
ATU4D	タイマアウトプットコントロールレジスタ D8	TOCRD8	00$_H$	8	FFE6 1910$_H$	1（1H）	8
ATU4D	出力選択レジスタ D8	OSELRD8	00$_H$	8	FFE6 1911$_H$	1（1H）	8
ATU4D	出力値レジスタ D8	ODRD8	00$_H$	8	FFE6 1912$_H$	1（1H）	8
ATU4D	タイマインプットキャプチャトリガ選択レジスタ D8	TICTSELD8	01$_H$	8	FFE6 1914$_H$	1（1H）	8
ATU4D	タイマオフセットベースレジスタ D8	OSBRD8	0000 0000$_H$	32	FFE6 1918$_H$	1（1H）	32
ATU4D	タイマカウンタ 1 D8	TCNT1D8	0000 0000$_H$	32	FFE6 1920$_H$	1（1H）	32
ATU4D	タイマカウンタ 2 D8	TCNT2D8	0000 0000$_H$	32	FFE6 1924$_H$	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 1 D8	CUCR1D8	FFFF FFFF$_H$	32	FFE6 1928$_H$	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 2 D8	CUCR2D8	FFFF FFFF$_H$	32	FFE6 192C$_H$	1（1H）	32
ATU4D	範囲コンペア値設定レジスタ 1 D8	RCR1D8	00$_H$	8	FFE6 1930$_H$	1（1H）	8
ATU4D	範囲コンペア値設定レジスタ 2 D8	RCR2D8	00$_H$	8	FFE6 1934$_H$	1（1H）	8
ATU4D	アウトプットコンペアレジスタ 1 D80	OCR1D80	FFFF FFFF$_H$	32	FFE6 1940$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D80	OCR2D80	FFFF FFFF$_H$	32	FFE6 1948$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D80	ICR1D80	0000 0000$_H$	32	FFE6 1950$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D80	ICR2D80	0000 0000$_H$	32	FFE6 1954$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D80	DCNTD80	0000 0000$_H$	32	FFE6 1958$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D81	OCR1D81	FFFF FFFF$_H$	32	FFE6 1960$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D81	OCR2D81	FFFF FFFF$_H$	32	FFE6 1968$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D81	ICR1D81	0000 0000$_H$	32	FFE6 1970$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D81	ICR2D81	0000 0000$_H$	32	FFE6 1974$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D81	DCNTD81	0000 0000$_H$	32	FFE6 1978$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ D82	OCR1D82	FFFF FFFF$_H$	32	FFE6 1980$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ D82	OCR2D82	FFFF FFFF$_H$	32	FFE6 1988$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D82	ICR1D82	0000 0000$_H$	32	FFE6 1990$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D82	ICR2D82	0000 0000$_H$	32	FFE6 1994$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D82	DCNTD82	0000 0000$_H$	32	FFE6 1998$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D83	OCR1D83	FFFF FFFF$_H$	32	FFE6 19A0$_H$	1（1H）	32

(198/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4D	アウトプットコンペアレジスタ 2 D83	OCR2D83	FFFF FFFF$_H$	32	FFE6 19A8$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D83	ICR1D83	0000 0000$_H$	32	FFE6 19B0$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D83	ICR2D83	0000 0000$_H$	32	FFE6 19B4$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D83	DCNTD83	0000 0000$_H$	32	FFE6 19B8$_H$	1（1H）	32
ATU4D	タイマコントロールレジスタ D9	TCRD9	0000$_H$	16	FFE6 1A00$_H$	1（1H）	8、16
ATU4D	ダウンカウンタコントロールレジスタ D9	DCRD9	0000$_H$	16	FFE6 1A02$_H$	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 1 D9	TIOR1D9	0000$_H$	16	FFE6 1A04$_H$	1（1H）	8、16
ATU4D	タイマ I/O コントロールレジスタ 2 D9	TIOR2D9	0000$_H$	16	FFE6 1A06$_H$	1（1H）	8、16
ATU4D	ダウンカウントスタートレジスタ D9	DSTRD9	00$_H$	8	FFE6 1A08$_H$	1（1H）	8
ATU4D	ダウンカウントステータスクリアレジスタ D9	DSCRD9	00$_H$	8	FFE6 1A09$_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 1 D9	DSR1D9	00$_H$	8	FFE6 1A0A$_H$	1（1H）	8
ATU4D	ダウンカウントステータスレジスタ 2 D9	DSR2D9	00$_H$	8	FFE6 1A0B$_H$	1（1H）	8
ATU4D	タイマステータスレジスタ D9	TSRD9	0000$_H$	16	FFE6 1A0C$_H$	1（1H）	8、16
ATU4D	タイマステータスクリアレジスタ D9	TSCRD9	0000$_H$	16	FFE6 1A0E$_H$	1（1H）	8、16
ATU4D	タイマアウトプットコントロールレジスタ D9	TOCRD9	00$_H$	8	FFE6 1A10$_H$	1（1H）	8
ATU4D	出力選択レジスタ D9	OSELRD9	00$_H$	8	FFE6 1A11$_H$	1（1H）	8
ATU4D	出力値レジスタ D9	ODRD9	00$_H$	8	FFE6 1A12$_H$	1（1H）	8
ATU4D	タイマインプットキャプチャトリガ選択レジスタ D9	TICTSELD9	01$_H$	8	FFE6 1A14$_H$	1（1H）	8
ATU4D	タイマオフセットベースレジスタ D9	OSBRD9	0000 0000$_H$	32	FFE6 1A18$_H$	1（1H）	32
ATU4D	タイマカウンタ 1 D9	TCNT1D9	0000 0000$_H$	32	FFE6 1A20$_H$	1（1H）	32
ATU4D	タイマカウンタ 2 D9	TCNT2D9	0000 0000$_H$	32	FFE6 1A24$_H$	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 1 D9	CUCR1D9	FFFF FFFF$_H$	32	FFE6 1A28$_H$	1（1H）	32
ATU4D	カウンタ上限値設定コンペアレジスタ 2 D9	CUCR2D9	FFFF FFFF$_H$	32	FFE6 1A2C$_H$	1（1H）	32
ATU4D	範囲コンペア値設定レジスタ 1 D9	RCR1D9	00$_H$	8	FFE6 1A30$_H$	1（1H）	8
ATU4D	範囲コンペア値設定レジスタ 2 D9	RCR2D9	00$_H$	8	FFE6 1A34$_H$	1（1H）	8
ATU4D	アウトプットコンペアレジスタ 1 D90	OCR1D90	FFFF FFFF$_H$	32	FFE6 1A40$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D90	OCR2D90	FFFF FFFF$_H$	32	FFE6 1A48$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D90	ICR1D90	0000 0000$_H$	32	FFE6 1A50$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D90	ICR2D90	0000 0000$_H$	32	FFE6 1A54$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D90	DCNTD90	0000 0000$_H$	32	FFE6 1A58$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D91	OCR1D91	FFFF FFFF$_H$	32	FFE6 1A60$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D91	OCR2D91	FFFF FFFF$_H$	32	FFE6 1A68$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D91	ICR1D91	0000 0000$_H$	32	FFE6 1A70$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D91	ICR2D91	0000 0000$_H$	32	FFE6 1A74$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D91	DCNTD91	0000 0000$_H$	32	FFE6 1A78$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D92	OCR1D92	FFFF FFFF$_H$	32	FFE6 1A80$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D92	OCR2D92	FFFF FFFF$_H$	32	FFE6 1A88$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 1 D92	ICR1D92	0000 0000$_H$	32	FFE6 1A90$_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D92	ICR2D92	0000 0000$_H$	32	FFE6 1A94$_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D92	DCNTD92	0000 0000$_H$	32	FFE6 1A98$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 1 D93	OCR1D93	FFFF FFFF$_H$	32	FFE6 1AA0$_H$	1（1H）	32
ATU4D	アウトプットコンペアレジスタ 2 D93	OCR2D93	FFFF FFFF$_H$	32	FFE6 1AA8$_H$	1（1H）	32

(199/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4D	インプットキャプチャレジスタ 1 D93	ICR1D93	0000 0000_H	32	FFE6 $1AB0_H$	1（1H）	32
ATU4D	インプットキャプチャレジスタ 2 D93	ICR2D93	0000 0000_H	32	FFE6 $1AB4_H$	1（1H）	32
ATU4D	タイマダウンカウンタ D93	DCNTD93	0000 0000_H	32	FFE6 $1AB8_H$	1（1H）	32
ATU4E	タイマスタートレジスタ E	TSTRE	00_H	8	FFE6 2000_H	1（1H）	8
ATU4E	サブブロックスタートレジスタ E0	SSTRE0	00_H	8	FFE6 2100_H	1（1H）	8
ATU4E	プリスケーラレジスタ E0	PSCRE0	00_H	8	FFE6 2104_H	1（1H）	8
ATU4E	タイマコントロールレジスタ E0	TCRE0	00_H	8	FFE6 2108_H	1（1H）	8
ATU4E	リロードコントロールレジスタ E0	RLDCRE0	00_H	8	FFE6 $210A_H$	1（1H）	8
ATU4E	出力遮断コントロールレジスタ E0	POECRE0	0000_H	16	FFE6 $210C_H$	1（1H）	16
ATU4E	出力遮断レベル設定レジスタ E0	SOLVLE0	00_H	8	FFE6 $210E_H$	1（1H）	8
ATU4E	タイマステータスレジスタ E0	TSRE0	0000_H	16	FFE6 2110_H	1（1H）	8、16
ATU4E	タイマステータスクリアレジスタ E0	TSCRE0	0000_H	16	FFE6 2112_H	1（1H）	8、16
ATU4E	タイマアウトプットコントロールレジスタ E0	TOCRE0	00_H	8	FFE6 2114_H	1（1H）	8
ATU4E	タイマインタラプトイネーブルレジスタ E0	TIERE0	0000_H	16	FFE6 2116_H	1（1H）	8、16
ATU4E	プリスケーラチャネルレジスタ E00	PSCCRE00	00_H	8	FFE6 2118_H	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E01	PSCCRE01	00_H	8	FFE6 2119_H	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E02	PSCCRE02	00_H	8	FFE6 $211A_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E03	PSCCRE03	00_H	8	FFE6 $211B_H$	1（1H）	8
ATU4E	タイマカウンタ E00	TCNTE00	0000 0100_H	32	FFE6 2124_H	1（1H）	32
ATU4E	サイクルレジスタ E00	CYLRE00	FFFF $FF00_H$	32	FFE6 2128_H	1（1H）	32
ATU4E	デューティレジスタ E00	DTRE00	FFFF $FF00_H$	32	FFE6 $212C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E00	CRLDE00	FFFF $FF00_H$	32	FFE6 2130_H	1（1H）	32
ATU4E	デューティリロードレジスタ E00	DRLDE00	FFFF $FF00_H$	32	FFE6 2134_H	1（1H）	32
ATU4E	タイマカウンタ E01	TCNTE01	0000 0100_H	32	FFE6 2144_H	1（1H）	32
ATU4E	サイクルレジスタ E01	CYLRE01	FFFF $FF00_H$	32	FFE6 2148_H	1（1H）	32
ATU4E	デューティレジスタ E01	DTRE01	FFFF $FF00_H$	32	FFE6 $214C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E01	CRLDE01	FFFF $FF00_H$	32	FFE6 2150_H	1（1H）	32
ATU4E	デューティリロードレジスタ E01	DRLDE01	FFFF $FF00_H$	32	FFE6 2154_H	1（1H）	32
ATU4E	タイマカウンタ E02	TCNTE02	0000 0100_H	32	FFE6 2164_H	1（1H）	32
ATU4E	サイクルレジスタ E02	CYLRE02	FFFF $FF00_H$	32	FFE6 2168_H	1（1H）	32
ATU4E	デューティレジスタ E02	DTRE02	FFFF $FF00_H$	32	FFE6 $216C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E02	CRLDE02	FFFF $FF00_H$	32	FFE6 2170_H	1（1H）	32
ATU4E	デューティリロードレジスタ E02	DRLDE02	FFFF $FF00_H$	32	FFE6 2174_H	1（1H）	32
ATU4E	タイマカウンタ E03	TCNTE03	0000 0100_H	32	FFE6 2184_H	1（1H）	32
ATU4E	サイクルレジスタ E03	CYLRE03	FFFF $FF00_H$	32	FFE6 2188_H	1（1H）	32
ATU4E	デューティレジスタ E03	DTRE03	FFFF $FF00_H$	32	FFE6 $218C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E03	CRLDE03	FFFF $FF00_H$	32	FFE6 2190_H	1（1H）	32
ATU4E	デューティリロードレジスタ E03	DRLDE03	FFFF $FF00_H$	32	FFE6 2194_H	1（1H）	32
ATU4E	サブブロックスタートレジスタ E1	SSTRE1	00_H	8	FFE6 2200_H	1（1H）	8
ATU4E	プリスケーラレジスタ E1	PSCRE1	00_H	8	FFE6 2204_H	1（1H）	8
ATU4E	タイマコントロールレジスタ E1	TCRE1	00_H	8	FFE6 2208_H	1（1H）	8
ATU4E	リロードコントロールレジスタ E1	RLDCRE1	00_H	8	FFE6 $220A_H$	1（1H）	8
ATU4E	出力遮断コントロールレジスタ E1	POECRE1	0000_H	16	FFE6 $220C_H$	1（1H）	16
ATU4E	出力遮断レベル設定レジスタ E1	SOLVLE1	00_H	8	FFE6 $220E_H$	1（1H）	8
ATU4E	タイマステータスレジスタ E1	TSRE1	0000_H	16	FFE6 2210_H	1（1H）	8、16
ATU4E	タイマステータスクリアレジスタ E1	TSCRE1	0000_H	16	FFE6 2212_H	1（1H）	8、16

(200/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4E	タイマアウトプットコントロールレジスタ E1	TOCRE1	00_H	8	FFE6 2214_H	1（1H）	8
ATU4E	タイマインタラプトイネーブルレジスタ E1	TIERE1	0000_H	16	FFE6 2216_H	1（1H）	8、16
ATU4E	プリスケーラチャネルレジスタ E10	PSCCRE10	00_H	8	FFE6 2218_H	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E11	PSCCRE11	00_H	8	FFE6 2219_H	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E12	PSCCRE12	00_H	8	FFE6 $221A_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E13	PSCCRE13	00_H	8	FFE6 $221B_H$	1（1H）	8
ATU4E	タイマカウンタ E10	TCNTE10	$0000\ 0100_H$	32	FFE6 2224_H	1（1H）	32
ATU4E	サイクルレジスタ E10	CYLRE10	$FFFF\ FF00_H$	32	FFE6 2228_H	1（1H）	32
ATU4E	デューティレジスタ E10	DTRE10	$FFFF\ FF00_H$	32	FFE6 $222C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E10	CRLDE10	$FFFF\ FF00_H$	32	FFE6 2230_H	1（1H）	32
ATU4E	デューティリロードレジスタ E10	DRLDE10	$FFFF\ FF00_H$	32	FFE6 2234_H	1（1H）	32
ATU4E	タイマカウンタ E11	TCNTE11	$0000\ 0100_H$	32	FFE6 2244_H	1（1H）	32
ATU4E	サイクルレジスタ E11	CYLRE11	$FFFF\ FF00_H$	32	FFE6 2248_H	1（1H）	32
ATU4E	デューティレジスタ E11	DTRE11	$FFFF\ FF00_H$	32	FFE6 $224C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E11	CRLDE11	$FFFF\ FF00_H$	32	FFE6 2250_H	1（1H）	32
ATU4E	デューティリロードレジスタ E11	DRLDE11	$FFFF\ FF00_H$	32	FFE6 2254_H	1（1H）	32
ATU4E	タイマカウンタ E12	TCNTE12	$0000\ 0100_H$	32	FFE6 2264_H	1（1H）	32
ATU4E	サイクルレジスタ E12	CYLRE12	$FFFF\ FF00_H$	32	FFE6 2268_H	1（1H）	32
ATU4E	デューティレジスタ E12	DTRE12	$FFFF\ FF00_H$	32	FFE6 $226C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E12	CRLDE12	$FFFF\ FF00_H$	32	FFE6 2270_H	1（1H）	32
ATU4E	デューティリロードレジスタ E12	DRLDE12	$FFFF\ FF00_H$	32	FFE6 2274_H	1（1H）	32
ATU4E	タイマカウンタ E13	TCNTE13	$0000\ 0100_H$	32	FFE6 2284_H	1（1H）	32
ATU4E	サイクルレジスタ E13	CYLRE13	$FFFF\ FF00_H$	32	FFE6 2288_H	1（1H）	32
ATU4E	デューティレジスタ E13	DTRE13	$FFFF\ FF00_H$	32	FFE6 $228C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E13	CRLDE13	$FFFF\ FF00_H$	32	FFE6 2290_H	1（1H）	32
ATU4E	デューティリロードレジスタ E13	DRLDE13	$FFFF\ FF00_H$	32	FFE6 2294_H	1（1H）	32
ATU4E	サブブロックスタートレジスタ E2	SSTRE2	00_H	8	FFE6 2300_H	1（1H）	8
ATU4E	プリスケーラレジスタ E2	PSCRE2	00_H	8	FFE6 2304_H	1（1H）	8
ATU4E	タイマコントロールレジスタ E2	TCRE2	00_H	8	FFE6 2308_H	1（1H）	8
ATU4E	リロードコントロールレジスタ E2	RLDCRE2	00_H	8	FFE6 $230A_H$	1（1H）	8
ATU4E	出力遮断コントロールレジスタ E2	POECRE2	0000_H	16	FFE6 $230C_H$	1（1H）	16
ATU4E	出力遮断レベル設定レジスタ E2	SOLVLE2	00_H	8	FFE6 $230E_H$	1（1H）	8
ATU4E	タイマステータスレジスタ E2	TSRE2	0000_H	16	FFE6 2310_H	1（1H）	8、16
ATU4E	タイマステータスクリアレジスタ E2	TSCRE2	0000_H	16	FFE6 2312_H	1（1H）	8、16
ATU4E	タイマアウトプットコントロールレジスタ E2	TOCRE2	00_H	8	FFE6 2314_H	1（1H）	8
ATU4E	タイマインタラプトイネーブルレジスタ E2	TIERE2	0000_H	16	FFE6 2316_H	1（1H）	8、16
ATU4E	プリスケーラチャネルレジスタ E20	PSCCRE20	00_H	8	FFE6 2318_H	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E21	PSCCRE21	00_H	8	FFE6 2319_H	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E22	PSCCRE22	00_H	8	FFE6 $231A_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E23	PSCCRE23	00_H	8	FFE6 $231B_H$	1（1H）	8
ATU4E	タイマカウンタ E20	TCNTE20	$0000\ 0100_H$	32	FFE6 2324_H	1（1H）	32
ATU4E	サイクルレジスタ E20	CYLRE20	$FFFF\ FF00_H$	32	FFE6 2328_H	1（1H）	32
ATU4E	デューティレジスタ E20	DTRE20	$FFFF\ FF00_H$	32	FFE6 $232C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E20	CRLDE20	$FFFF\ FF00_H$	32	FFE6 2330_H	1（1H）	32

(201/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4E	デューティリロードレジスタ E20	DRLDE20	FFFF FF00_H	32	FFE6 2334$_H$	1（1H）	32
ATU4E	タイマカウンタ E21	TCNTE21	0000 0$100_H$	32	FFE6 2344$_H$	1（1H）	32
ATU4E	サイクルレジスタ E21	CYLRE21	FFFF FF00_H	32	FFE6 2348$_H$	1（1H）	32
ATU4E	デューティレジスタ E21	DTRE21	FFFF FF00_H	32	FFE6 234C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E21	CRLDE21	FFFF FF00_H	32	FFE6 2350$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E21	DRLDE21	FFFF FF00_H	32	FFE6 2354$_H$	1（1H）	32
ATU4E	タイマカウンタ E22	TCNTE22	0000 0$100_H$	32	FFE6 2364$_H$	1（1H）	32
ATU4E	サイクルレジスタ E22	CYLRE22	FFFF FF00_H	32	FFE6 2368$_H$	1（1H）	32
ATU4E	デューティレジスタ E22	DTRE22	FFFF FF00_H	32	FFE6 236C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E22	CRLDE22	FFFF FF00_H	32	FFE6 2370$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E22	DRLDE22	FFFF FF00_H	32	FFE6 2374$_H$	1（1H）	32
ATU4E	タイマカウンタ E23	TCNTE23	0000 0$100_H$	32	FFE6 2384$_H$	1（1H）	32
ATU4E	サイクルレジスタ E23	CYLRE23	FFFF FF00_H	32	FFE6 2388$_H$	1（1H）	32
ATU4E	デューティレジスタ E23	DTRE23	FFFF FF00_H	32	FFE6 238C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E23	CRLDE23	FFFF FF00_H	32	FFE6 2390$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E23	DRLDE23	FFFF FF00_H	32	FFE6 2394$_H$	1（1H）	32
ATU4E	サブブロックスタートレジスタ E3	SSTRE3	00_H	8	FFE6 2400$_H$	1（1H）	8
ATU4E	プリスケーラレジスタ E3	PSCRE3	00_H	8	FFE6 2404$_H$	1（1H）	8
ATU4E	タイマコントロールレジスタ E3	TCRE3	00_H	8	FFE6 2408$_H$	1（1H）	8
ATU4E	リロードコントロールレジスタ E3	RLDCRE3	00_H	8	FFE6 240A$_H$	1（1H）	8
ATU4E	出力遮断コントロールレジスタ E3	POECRE3	0000_H	16	FFE6 240C$_H$	1（1H）	16
ATU4E	出力遮断レベル設定レジスタ E3	SOLVLE3	00_H	8	FFE6 240E$_H$	1（1H）	8
ATU4E	タイマステータスレジスタ E3	TSRE3	0000_H	16	FFE6 2410$_H$	1（1H）	8、16
ATU4E	タイマステータスクリアレジスタ E3	TSCRE3	0000_H	16	FFE6 2412$_H$	1（1H）	8、16
ATU4E	タイマアウトプットコントロールレジスタ E3	TOCRE3	00_H	8	FFE6 2414$_H$	1（1H）	8
ATU4E	タイマインタラプトイネーブルレジスタ E3	TIERE3	0000_H	16	FFE6 2416$_H$	1（1H）	8、16
ATU4E	プリスケーラチャネルレジスタ E30	PSCCRE30	00_H	8	FFE6 2418$_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E31	PSCCRE31	00_H	8	FFE6 2419$_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E32	PSCCRE32	00_H	8	FFE6 241A$_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E33	PSCCRE33	00_H	8	FFE6 241B$_H$	1（1H）	8
ATU4E	タイマカウンタ E30	TCNTE30	0000 0$100_H$	32	FFE6 2424$_H$	1（1H）	32
ATU4E	サイクルレジスタ E30	CYLRE30	FFFF FF00_H	32	FFE6 2428$_H$	1（1H）	32
ATU4E	デューティレジスタ E30	DTRE30	FFFF FF00_H	32	FFE6 242C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E30	CRLDE30	FFFF FF00_H	32	FFE6 2430$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E30	DRLDE30	FFFF FF00_H	32	FFE6 2434$_H$	1（1H）	32
ATU4E	タイマカウンタ E31	TCNTE31	0000 0$100_H$	32	FFE6 2444$_H$	1（1H）	32
ATU4E	サイクルレジスタ E31	CYLRE31	FFFF FF00_H	32	FFE6 2448$_H$	1（1H）	32
ATU4E	デューティレジスタ E31	DTRE31	FFFF FF00_H	32	FFE6 244C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E31	CRLDE31	FFFF FF00_H	32	FFE6 2450$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E31	DRLDE31	FFFF FF00_H	32	FFE6 2454$_H$	1（1H）	32
ATU4E	タイマカウンタ E32	TCNTE32	0000 0$100_H$	32	FFE6 2464$_H$	1（1H）	32
ATU4E	サイクルレジスタ E32	CYLRE32	FFFF FF00_H	32	FFE6 2468$_H$	1（1H）	32
ATU4E	デューティレジスタ E32	DTRE32	FFFF FF00_H	32	FFE6 246C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E32	CRLDE32	FFFF FF00_H	32	FFE6 2470$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E32	DRLDE32	FFFF FF00_H	32	FFE6 2474$_H$	1（1H）	32
ATU4E	タイマカウンタ E33	TCNTE33	0000 0$100_H$	32	FFE6 2484$_H$	1（1H）	32

(202/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4E	サイクルレジスタ E33	CYLRE33	FFFF FF00_H	32	FFE6 2488$_H$	1（1H）	32
ATU4E	デューティレジスタ E33	DTRE33	FFFF FF00_H	32	FFE6 248C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E33	CRLDE33	FFFF FF00_H	32	FFE6 2490$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E33	DRLDE33	FFFF FF00_H	32	FFE6 2494$_H$	1（1H）	32
ATU4E	サブブロックスタートレジスタ E4	SSTRE4	00_H	8	FFE6 2500$_H$	1（1H）	8
ATU4E	プリスケーラレジスタ E4	PSCRE4	00_H	8	FFE6 2504$_H$	1（1H）	8
ATU4E	タイマコントロールレジスタ E4	TCRE4	00_H	8	FFE6 2508$_H$	1（1H）	8
ATU4E	リロードコントロールレジスタ E4	RLDCRE4	00_H	8	FFE6 250A$_H$	1（1H）	8
ATU4E	出力遮断コントロールレジスタ E4	POECRE4	0000_H	16	FFE6 250C$_H$	1（1H）	16
ATU4E	出力遮断レベル設定レジスタ E4	SOLVLE4	00_H	8	FFE6 250E$_H$	1（1H）	8
ATU4E	タイマステータスレジスタ E4	TSRE4	0000_H	16	FFE6 2510$_H$	1（1H）	8、16
ATU4E	タイマステータスクリアレジスタ E4	TSCRE4	0000_H	16	FFE6 2512$_H$	1（1H）	8、16
ATU4E	タイマアウトプットコントロールレジスタ E4	TOCRE4	00_H	8	FFE6 2514$_H$	1（1H）	8
ATU4E	タイマインタラプトイネーブルレジスタ E4	TIERE4	0000_H	16	FFE6 2516$_H$	1（1H）	8、16
ATU4E	プリスケーラチャネルレジスタ E40	PSCCRE40	00_H	8	FFE6 2518$_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E41	PSCCRE41	00_H	8	FFE6 2519$_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E42	PSCCRE42	00_H	8	FFE6 251A$_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E43	PSCCRE43	00_H	8	FFE6 251B$_H$	1（1H）	8
ATU4E	タイマカウンタ E40	TCNTE40	0000 0100_H	32	FFE6 2524$_H$	1（1H）	32
ATU4E	サイクルレジスタ E40	CYLRE40	FFFF FF00_H	32	FFE6 2528$_H$	1（1H）	32
ATU4E	デューティレジスタ E40	DTRE40	FFFF FF00_H	32	FFE6 252C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E40	CRLDE40	FFFF FF00_H	32	FFE6 2530$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E40	DRLDE40	FFFF FF00_H	32	FFE6 2534$_H$	1（1H）	32
ATU4E	タイマカウンタ E41	TCNTE41	0000 0100_H	32	FFE6 2544$_H$	1（1H）	32
ATU4E	サイクルレジスタ E41	CYLRE41	FFFF FF00_H	32	FFE6 2548$_H$	1（1H）	32
ATU4E	デューティレジスタ E41	DTRE41	FFFF FF00_H	32	FFE6 254C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E41	CRLDE41	FFFF FF00_H	32	FFE6 2550$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E41	DRLDE41	FFFF FF00_H	32	FFE6 2554$_H$	1（1H）	32
ATU4E	タイマカウンタ E42	TCNTE42	0000 0100_H	32	FFE6 2564$_H$	1（1H）	32
ATU4E	サイクルレジスタ E42	CYLRE42	FFFF FF00_H	32	FFE6 2568$_H$	1（1H）	32
ATU4E	デューティレジスタ E42	DTRE42	FFFF FF00_H	32	FFE6 256C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E42	CRLDE42	FFFF FF00_H	32	FFE6 2570$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E42	DRLDE42	FFFF FF00_H	32	FFE6 2574$_H$	1（1H）	32
ATU4E	タイマカウンタ E43	TCNTE43	0000 0100_H	32	FFE6 2584$_H$	1（1H）	32
ATU4E	サイクルレジスタ E43	CYLRE43	FFFF FF00_H	32	FFE6 2588$_H$	1（1H）	32
ATU4E	デューティレジスタ E43	DTRE43	FFFF FF00_H	32	FFE6 258C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E43	CRLDE43	FFFF FF00_H	32	FFE6 2590$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E43	DRLDE43	FFFF FF00_H	32	FFE6 2594$_H$	1（1H）	32
ATU4E	サブブロックスタートレジスタ E5	SSTRE5	00_H	8	FFE6 2600$_H$	1（1H）	8
ATU4E	プリスケーラレジスタ E5	PSCRE5	00_H	8	FFE6 2604$_H$	1（1H）	8
ATU4E	タイマコントロールレジスタ E5	TCRE5	00_H	8	FFE6 2608$_H$	1（1H）	8
ATU4E	リロードコントロールレジスタ E5	RLDCRE5	00_H	8	FFE6 260A$_H$	1（1H）	8
ATU4E	出力遮断コントロールレジスタ E5	POECRE5	0000_H	16	FFE6 260C$_H$	1（1H）	16
ATU4E	出力遮断レベル設定レジスタ E5	SOLVLE5	00_H	8	FFE6 260E$_H$	1（1H）	8
ATU4E	タイマステータスレジスタ E5	TSRE5	0000_H	16	FFE6 2610$_H$	1（1H）	8、16
ATU4E	タイマステータスクリアレジスタ E5	TSCRE5	0000_H	16	FFE6 2612$_H$	1（1H）	8、16

(203/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4E	タイマアウトプットコントロールレジスタ E5	TOCRE5	00_H	8	FFE6 2614_H	1（1H）	8
ATU4E	タイマインタラプトイネーブルレジスタ E5	TIERE5	0000_H	16	FFE6 2616_H	1（1H）	8、16
ATU4E	プリスケーラチャネルレジスタ E50	PSCCRE50	00_H	8	FFE6 2618_H	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E51	PSCCRE51	00_H	8	FFE6 2619_H	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E52	PSCCRE52	00_H	8	FFE6 $261A_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E53	PSCCRE53	00_H	8	FFE6 $261B_H$	1（1H）	8
ATU4E	タイマカウンタ E50	TCNTE50	$0000\ 0100_H$	32	FFE6 2624_H	1（1H）	32
ATU4E	サイクルレジスタ E50	CYLRE50	$FFFF\ FF00_H$	32	FFE6 2628_H	1（1H）	32
ATU4E	デューティレジスタ E50	DTRE50	$FFFF\ FF00_H$	32	FFE6 $262C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E50	CRLDE50	$FFFF\ FF00_H$	32	FFE6 2630_H	1（1H）	32
ATU4E	デューティリロードレジスタ E50	DRLDE50	$FFFF\ FF00_H$	32	FFE6 2634_H	1（1H）	32
ATU4E	タイマカウンタ E51	TCNTE51	$0000\ 0100_H$	32	FFE6 2644_H	1（1H）	32
ATU4E	サイクルレジスタ E51	CYLRE51	$FFFF\ FF00_H$	32	FFE6 2648_H	1（1H）	32
ATU4E	デューティレジスタ E51	DTRE51	$FFFF\ FF00_H$	32	FFE6 $264C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E51	CRLDE51	$FFFF\ FF00_H$	32	FFE6 2650_H	1（1H）	32
ATU4E	デューティリロードレジスタ E51	DRLDE51	$FFFF\ FF00_H$	32	FFE6 2654_H	1（1H）	32
ATU4E	タイマカウンタ E52	TCNTE52	$0000\ 0100_H$	32	FFE6 2664_H	1（1H）	32
ATU4E	サイクルレジスタ E52	CYLRE52	$FFFF\ FF00_H$	32	FFE6 2668_H	1（1H）	32
ATU4E	デューティレジスタ E52	DTRE52	$FFFF\ FF00_H$	32	FFE6 $266C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E52	CRLDE52	$FFFF\ FF00_H$	32	FFE6 2670_H	1（1H）	32
ATU4E	デューティリロードレジスタ E52	DRLDE52	$FFFF\ FF00_H$	32	FFE6 2674_H	1（1H）	32
ATU4E	タイマカウンタ E53	TCNTE53	$0000\ 0100_H$	32	FFE6 2684_H	1（1H）	32
ATU4E	サイクルレジスタ E53	CYLRE53	$FFFF\ FF00_H$	32	FFE6 2688_H	1（1H）	32
ATU4E	デューティレジスタ E53	DTRE53	$FFFF\ FF00_H$	32	FFE6 $268C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E53	CRLDE53	$FFFF\ FF00_H$	32	FFE6 2690_H	1（1H）	32
ATU4E	デューティリロードレジスタ E53	DRLDE53	$FFFF\ FF00_H$	32	FFE6 2694_H	1（1H）	32
ATU4E	サブブロックスタートレジスタ E6	SSTRE6	00_H	8	FFE6 2700_H	1（1H）	8
ATU4E	プリスケーラレジスタ E6	PSCRE6	00_H	8	FFE6 2704_H	1（1H）	8
ATU4E	タイマコントロールレジスタ E6	TCRE6	00_H	8	FFE6 2708_H	1（1H）	8
ATU4E	リロードコントロールレジスタ E6	RLDCRE6	00_H	8	FFE6 $270A_H$	1（1H）	8
ATU4E	出力遮断コントロールレジスタ E6	POECRE6	0000_H	16	FFE6 $270C_H$	1（1H）	16
ATU4E	出力遮断レベル設定レジスタ E6	SOLVLE6	00_H	8	FFE6 $270E_H$	1（1H）	8
ATU4E	タイマステータスレジスタ E6	TSRE6	0000_H	16	FFE6 2710_H	1（1H）	8、16
ATU4E	タイマステータスクリアレジスタ E6	TSCRE6	0000_H	16	FFE6 2712_H	1（1H）	8、16
ATU4E	タイマアウトプットコントロールレジスタ E6	TOCRE6	00_H	8	FFE6 2714_H	1（1H）	8
ATU4E	タイマインタラプトイネーブルレジスタ E6	TIERE6	0000_H	16	FFE6 2716_H	1（1H）	8、16
ATU4E	プリスケーラチャネルレジスタ E60	PSCCRE60	00_H	8	FFE6 2718_H	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E61	PSCCRE61	00_H	8	FFE6 2719_H	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E62	PSCCRE62	00_H	8	FFE6 $271A_H$	1（1H）	8
ATU4E	プリスケーラチャネルレジスタ E63	PSCCRE63	00H	8	FFE6 $271B_H$	1（1H）	8
ATU4E	タイマカウンタ E60	TCNTE60	$0000\ 0100_H$	32	FFE6 2724_H	1（1H）	32
ATU4E	サイクルレジスタ E60	CYLRE60	$FFFF\ FF00_H$	32	FFE6 2728_H	1（1H）	32
ATU4E	デューティレジスタ E60	DTRE60	$FFFF\ FF00_H$	32	FFE6 $272C_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E60	CRLDE60	$FFFF\ FF00_H$	32	FFE6 2730_H	1（1H）	32

(204/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4E	デューティリロードレジスタ E60	DRLDE60	FFFF FF00$_H$	32	FFE6 2734$_H$	1（1H）	32
ATU4E	タイマカウンタ E61	TCNTE61	0000 0100$_H$	32	FFE6 2744$_H$	1（1H）	32
ATU4E	サイクルレジスタ E61	CYLRE61	FFFF FF00$_H$	32	FFE6 2748$_H$	1（1H）	32
ATU4E	デューティレジスタ E61	DTRE61	FFFF FF00$_H$	32	FFE6 274C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E61	CRLDE61	FFFF FF00$_H$	32	FFE6 2750$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E61	DRLDE61	FFFF FF00$_H$	32	FFE6 2754$_H$	1（1H）	32
ATU4E	タイマカウンタ E62	TCNTE62	0000 0100$_H$	32	FFE6 2764$_H$	1（1H）	32
ATU4E	サイクルレジスタ E62	CYLRE62	FFFF FF00$_H$	32	FFE6 2768$_H$	1（1H）	32
ATU4E	デューティレジスタ E62	DTRE62	FFFF FF00$_H$	32	FFE6 276C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E62	CRLDE62	FFFF FF00$_H$	32	FFE6 2770$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E62	DRLDE62	FFFF FF00$_H$	32	FFE6 2774$_H$	1（1H）	32
ATU4E	タイマカウンタ E63	TCNTE63	0000 0100$_H$	32	FFE6 2784$_H$	1（1H）	32
ATU4E	サイクルレジスタ E63	CYLRE63	FFFF FF00$_H$	32	FFE6 2788$_H$	1（1H）	32
ATU4E	デューティレジスタ E63	DTRE63	FFFF FF00$_H$	32	FFE6 278C$_H$	1（1H）	32
ATU4E	サイクルリロードレジスタ E63	CRLDE63	FFFF FF00$_H$	32	FFE6 2790$_H$	1（1H）	32
ATU4E	デューティリロードレジスタ E63	DRLDE63	FFFF FF00$_H$	32	FFE6 2794$_H$	1（1H）	32
ATU4F	タイマスタートレジスタ F	TSTRF	0000$_H$	16	FFE6 3000$_H$	1（1H）	8、16
ATU4F	ノイズキャンセルモードチャネルレジスタ 1F	NCMCR1F	0000$_H$	16	FFE6 3004$_H$	1（1H）	8、16
ATU4F	ノイズキャンセルモードチャネルレジスタ 2F	NCMCR2F	0000$_H$	16	FFE6 3008$_H$	1（1H）	8、16
ATU4F	ノイズキャンセラコントロールレジスタ F	NCCRF	0000$_H$	16	FFE6 300C$_H$	1（1H）	8、16
ATU4F	プライベートファンクションコントロールレジスタ F	PVFCRF	0000$_H$	16	FFE6 3010$_H$	1（1H）	16
ATU4F	タイマコントロールレジスタ 1F0	TCR1F0	00$_H$	8	FFE6 3040$_H$	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F0	TCR2F0	00$_H$	8	FFE6 3042$_H$	1（1H）	8
ATU4F	バックアップコントロールレジスタ F0	BKCRF0	00$_H$	8	FFE6 3044$_H$	1（1H）	8
ATU4F	タイマステータスレジスタ F0	TSRF0	00$_H$	8	FFE6 3045$_H$	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F0	TSCRF0	00$_H$	8	FFE6 3046$_H$	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F0	TIERF0	00$_H$	8	FFE6 3047$_H$	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA00	NCNTFA0	0000$_H$	16	FFE6 3048$_H$	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA00	NCRFA0	0000$_H$	16	FFE6 304A$_H$	1（1H）	16
ATU4F	ノイズキャンセルカウンタ FB00	NCNTFB0	0000$_H$	16	FFE6 304C$_H$	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FB00	NCRFB0	0000$_H$	16	FFE6 304E$_H$	1（1H）	16
ATU4F	時間計測カウンタ AF0	ECNTAF0	0000 0000$_H$	32	FFE6 3050$_H$	1（1H）	32
ATU4F	汎用レジスタ AF0	GRAF0	FFFF FFFF$_H$	32	FFE6 3054$_H$	1（1H）	32
ATU4F	イベントカウンタ F0	ECNTBF0	0000$_H$	16	FFE6 3058$_H$	1（1H）	16
ATU4F	汎用レジスタ BF0	GRBF0	FFFF$_H$	16	FFE6 305C$_H$	1（1H）	16
ATU4F	時間計測カウンタ CF0	ECNTCF0	0000 0000$_H$	32	FFE6 3060$_H$	1（1H）	32
ATU4F	バックアップレジスタ CF0	BGRCF0	FFFF FFFF$_H$	32	FFE6 3064$_H$	1（1H）	32
ATU4F	汎用レジスタ CF0	GRCF0	FFFF FFFF$_H$	32	FFE6 3064$_H$	1（1H）	32
ATU4F	汎用レジスタ DF0	GRDF0	FFFF FFFF$_H$	32	FFE6 3068$_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F0	CDRF0	0000 FFFF$_H$	32	FFE6 306C$_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F1	TCR1F1	00$_H$	8	FFE6 3080$_H$	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F1	TCR2F1	00$_H$	8	FFE6 3082$_H$	1（1H）	8
ATU4F	バックアップコントロールレジスタ F1	BKCRF1	00$_H$	8	FFE6 3084$_H$	1（1H）	8
ATU4F	タイマステータスレジスタ F1	TSRF1	00$_H$	8	FFE6 3085$_H$	1（1H）	8

(205/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4F	タイマステータスクリアレジスタ F1	TSCRF1	00_H	8	FFE6 3086_H	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F1	TIERF1	00_H	8	FFE6 3087_H	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA01	NCNTFA1	0000_H	16	FFE6 3088_H	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA01	NCRFA1	0000_H	16	FFE6 $308A_H$	1（1H）	16
ATU4F	ノイズキャンセルカウンタ FB01	NCNTFB1	0000_H	16	FFE6 $308C_H$	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FB01	NCRFB1	0000_H	16	FFE6 $308E_H$	1（1H）	16
ATU4F	時間計測カウンタ AF1	ECNTAF1	$0000\ 0000_H$	32	FFE6 3090_H	1（1H）	32
ATU4F	汎用レジスタ AF1	GRAF1	$FFFF\ FFFF_H$	32	FFE6 3094_H	1（1H）	32
ATU4F	イベントカウンタ F1	ECNTBF1	0000_H	16	FFE6 3098_H	1（1H）	16
ATU4F	汎用レジスタ BF1	GRBF1	$FFFF_H$	16	FFE6 $309C_H$	1（1H）	16
ATU4F	時間計測カウンタ CF1	ECNTCF1	$0000\ 0000_H$	32	FFE6 $30A0_H$	1（1H）	32
ATU4F	バックアップレジスタ CF1	BGRCF1	$FFFF\ FFFF_H$	32	FFE6 $30A4_H$	1（1H）	32
ATU4F	汎用レジスタ CF1	GRCF1	$FFFF\ FFFF_H$	32	FFE6 $30A4_H$	1（1H）	32
ATU4F	汎用レジスタ DF1	GRDF1	$FFFF\ FFFF_H$	32	FFE6 $30A8_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F1	CDRF1	$0000\ FFFF_H$	32	FFE6 $30AC_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F2	TCR1F2	00_H	8	FFE6 $30C0_H$	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F2	TCR2F2	00_H	8	FFE6 $30C2_H$	1（1H）	8
ATU4F	バックアップコントロールレジスタ F2	BKCRF2	00_H	8	FFE6 $30C4_H$	1（1H）	8
ATU4F	タイマステータスレジスタ F2	TSRF2	00_H	8	FFE6 $30C5_H$	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F2	TSCRF2	00_H	8	FFE6 $30C6_H$	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F2	TIERF2	00_H	8	FFE6 $30C7_H$	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA02	NCNTFA2	0000_H	16	FFE6 $30C8_H$	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA02	NCRFA2	0000_H	16	FFE6 $30CA_H$	1（1H）	16
ATU4F	ノイズキャンセルカウンタ FB02	NCNTFB2	0000_H	16	FFE6 $30CC_H$	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FB02	NCRFB2	0000_H	16	FFE6 $30CE_H$	1（1H）	16
ATU4F	時間計測カウンタ AF2	ECNTAF2	$0000\ 0000_H$	32	FFE6 $30D0_H$	1（1H）	32
ATU4F	汎用レジスタ AF2	GRAF2	$FFFF\ FFFF_H$	32	FFE6 $30D4_H$	1（1H）	32
ATU4F	イベントカウンタ F2	ECNTBF2	0000_H	16	FFE6 $30D8_H$	1（1H）	16
ATU4F	汎用レジスタ BF2	GRBF2	$FFFF_H$	16	FFE6 $30DC_H$	1（1H）	16
ATU4F	時間計測カウンタ CF2	ECNTCF2	$0000\ 0000_H$	32	FFE6 $30E0_H$	1（1H）	32
ATU4F	バックアップレジスタ CF2	BGRCF2	$FFFF\ FFFF_H$	32	FFE6 $30E4_H$	1（1H）	32
ATU4F	汎用レジスタ CF2	GRCF2	$FFFF\ FFFF_H$	32	FFE6 $30E4_H$	1（1H）	32
ATU4F	汎用レジスタ DF2	GRDF2	$FFFF\ FFFF_H$	32	FFE6 $30E8_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F2	CDRF2	$0000\ FFFF_H$	32	FFE6 $30EC_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F3	TCR1F3	00_H	8	FFE6 3100_H	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F3	TCR2F3	00_H	8	FFE6 3102_H	1（1H）	8
ATU4F	バックアップコントロールレジスタ F3	BKCRF3	00_H	8	FFE6 3104_H	1（1H）	8
ATU4F	タイマステータスレジスタ F3	TSRF3	00_H	8	FFE6 3105_H	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F3	TSCRF3	00_H	8	FFE6 3106_H	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F3	TIERF3	00_H	8	FFE6 3107_H	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA03	NCNTFA3	0000_H	16	FFE6 3108_H	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA03	NCRFA3	0000_H	16	FFE6 $310A_H$	1（1H）	16
ATU4F	時間計測カウンタ AF3	ECNTAF3	$0000\ 0000_H$	32	FFE6 3110_H	1（1H）	32
ATU4F	バックアップレジスタ AF3	BGRAF3	$FFFF\ FFFF_H$	32	FFE6 3114_H	1（1H）	32
ATU4F	汎用レジスタ AF3	GRAF3	$FFFF\ FFFF_H$	32	FFE6 3114_H	1（1H）	32

(206/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4F	イベントカウンタ F3	ECNTBF3	0000_H	16	FFE6 3118_H	1（1H）	16
ATU4F	汎用レジスタ BF3	GRBF3	$FFFF_H$	16	FFE6 $311C_H$	1（1H）	16
ATU4F	時間計測カウンタ CF3	ECNTCF3	$0000\ 0000_H$	32	FFE6 3120_H	1（1H）	32
ATU4F	バックアップレジスタ CF3	BGRCF3	$FFFF\ FFFF_H$	32	FFE6 3124_H	1（1H）	32
ATU4F	汎用レジスタ CF3	GRCF3	$FFFF\ FFFF_H$	32	FFE6 3124_H	1（1H）	32
ATU4F	汎用レジスタ DF3	GRDF3	$FFFF\ FFFF_H$	32	FFE6 3128_H	1（1H）	32
ATU4F	バックアップレジスタ DF3	BGRDF3	$FFFF\ FFFF_H$	32	FFE6 3128_H	1（1H）	32
ATU4F	キャプチャ出力レジスタ F3	CDRF3	$0000\ FFFF_H$	32	FFE6 $312C_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F4	TCR1F4	00_H	8	FFE6 3140_H	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F4	TCR2F4	00_H	8	FFE6 3142_H	1（1H）	8
ATU4F	バックアップコントロールレジスタ F4	BKCRF4	00_H	8	FFE6 3144_H	1（1H）	8
ATU4F	タイマステータスレジスタ F4	TSRF4	00_H	8	FFE6 3145_H	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F4	TSCRF4	00_H	8	FFE6 3146_H	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F4	TIERF4	00_H	8	FFE6 3147_H	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA04	NCNTFA4	0000_H	16	FFE6 3148_H	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA04	NCRFA4	0000_H	16	FFE6 $314A_H$	1（1H）	16
ATU4F	時間計測カウンタ AF4	ECNTAF4	$0000\ 0000_H$	32	FFE6 3150_H	1（1H）	32
ATU4F	バックアップレジスタ AF4	BGRAF4	$FFFF\ FFFF_H$	32	FFE6 3154_H	1（1H）	32
ATU4F	汎用レジスタ AF4	GRAF4	$FFFF\ FFFF_H$	32	FFE6 3154_H	1（1H）	32
ATU4F	イベントカウンタ F4	ECNTBF4	0000_H	16	FFE6 3158_H	1（1H）	16
ATU4F	汎用レジスタ BF4	GRBF4	$FFFF_H$	16	FFE6 $315C_H$	1（1H）	16
ATU4F	時間計測カウンタ CF4	ECNTCF4	$0000\ 0000_H$	32	FFE6 3160_H	1（1H）	32
ATU4F	バックアップレジスタ CF4	BGRCF4	$FFFF\ FFFF_H$	32	FFE6 3164_H	1（1H）	32
ATU4F	汎用レジスタ CF4	GRCF4	$FFFF\ FFFF_H$	32	FFE6 3164_H	1（1H）	32
ATU4F	汎用レジスタ DF4	GRDF4	$FFFF\ FFFF_H$	32	FFE6 3168_H	1（1H）	32
ATU4F	バックアップレジスタ DF4	BGRDF4	$FFFF\ FFFF_H$	32	FFE6 3168_H	1（1H）	32
ATU4F	キャプチャ出力レジスタ F4	CDRF4	$0000\ FFFF_H$	32	FFE6 $316C_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F5	TCR1F5	00_H	8	FFE6 3180_H	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F5	TCR2F5	00_H	8	FFE6 3182_H	1（1H）	8
ATU4F	バックアップコントロールレジスタ F5	BKCRF5	00_H	8	FFE6 3184_H	1（1H）	8
ATU4F	タイマステータスレジスタ F5	TSRF5	00_H	8	FFE6 3185_H	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F5	TSCRF5	00_H	8	FFE6 3186_H	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F5	TIERF5	00_H	8	FFE6 3187_H	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA05	NCNTFA5	0000_H	16	FFE6 3188_H	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA05	NCRFA5	0000_H	16	FFE6 $318A_H$	1（1H）	16
ATU4F	時間計測カウンタ AF5	ECNTAF5	$0000\ 0000_H$	32	FFE6 3190_H	1（1H）	32
ATU4F	バックアップレジスタ AF5	BGRAF5	$FFFF\ FFFF_H$	32	FFE6 3194_H	1（1H）	32
ATU4F	汎用レジスタ AF5	GRAF5	$FFFF\ FFFF_H$	32	FFE6 3194_H	1（1H）	32
ATU4F	イベントカウンタ F5	ECNTBF5	0000_H	16	FFE6 3198_H	1（1H）	16
ATU4F	汎用レジスタ BF5	GRBF5	$FFFF_H$	16	FFE6 $319C_H$	1（1H）	16
ATU4F	時間計測カウンタ CF5	ECNTCF5	$0000\ 0000_H$	32	FFE6 $31A0_H$	1（1H）	32
ATU4F	バックアップレジスタ CF5	BGRCF5	$FFFF\ FFFF_H$	32	FFE6 $31A4_H$	1（1H）	32
ATU4F	汎用レジスタ CF5	GRCF5	$FFFF\ FFFF_H$	32	FFE6 $31A4_H$	1（1H）	32
ATU4F	汎用レジスタ DF5	GRDF5	$FFFF\ FFFF_H$	32	FFE6 $31A8_H$	1（1H）	32
ATU4F	バックアップレジスタ DF5	BGRDF5	$FFFF\ FFFF_H$	32	FFE6 $31A8_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F5	CDRF5	$0000\ FFFF_H$	32	FFE6 $31AC_H$	1（1H）	32

(207/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4F	タイマコントロールレジスタ 1F6	TCR1F6	00_H	8	FFE6 31C0$_H$	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F6	TCR2F6	00_H	8	FFE6 31C2$_H$	1（1H）	8
ATU4F	バックアップコントロールレジスタ F6	BKCRF6	00_H	8	FFE6 31C4$_H$	1（1H）	8
ATU4F	タイマステータスレジスタ F6	TSRF6	00_H	8	FFE6 31C5$_H$	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F6	TSCRF6	00_H	8	FFE6 31C6$_H$	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F6	TIERF6	00_H	8	FFE6 31C7$_H$	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA06	NCNTFA6	0000_H	16	FFE6 31C8$_H$	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA06	NCRFA6	0000_H	16	FFE6 31CA$_H$	1（1H）	16
ATU4F	時間計測カウンタ AF6	ECNTAF6	0000 0000_H	32	FFE6 31D0$_H$	1（1H）	32
ATU4F	バックアップレジスタ AF6	BGRAF6	FFFF $FFFF_H$	32	FFE6 31D4$_H$	1（1H）	32
ATU4F	汎用レジスタ AF6	GRAF6	FFFF $FFFF_H$	32	FFE6 31D4$_H$	1（1H）	32
ATU4F	イベントカウンタ F6	ECNTBF6	0000_H	16	FFE6 31D8$_H$	1（1H）	16
ATU4F	汎用レジスタ BF6	GRBF6	$FFFF_H$	16	FFE6 31DC$_H$	1（1H）	16
ATU4F	時間計測カウンタ CF6	ECNTCF6	0000 0000_H	32	FFE6 31E0$_H$	1（1H）	32
ATU4F	バックアップレジスタ CF6	BGRCF6	FFFF $FFFF_H$	32	FFE6 31E4$_H$	1（1H）	32
ATU4F	汎用レジスタ CF6	GRCF6	FFFF $FFFF_H$	32	FFE6 31E4$_H$	1（1H）	32
ATU4F	汎用レジスタ DF6	GRDF6	FFFF $FFFF_H$	32	FFE6 31E8$_H$	1（1H）	32
ATU4F	バックアップレジスタ DF6	BGRDF6	FFFF $FFFF_H$	32	FFE6 31E8$_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F6	CDRF6	0000 $FFFF_H$	32	FFE6 31EC$_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F7	TCR1F7	00_H	8	FFE6 3200$_H$	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F7	TCR2F7	00_H	8	FFE6 3202$_H$	1（1H）	8
ATU4F	バックアップコントロールレジスタ F7	BKCRF7	00_H	8	FFE6 3204$_H$	1（1H）	8
ATU4F	タイマステータスレジスタ F7	TSRF7	00_H	8	FFE6 3205$_H$	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F7	TSCRF7	00_H	8	FFE6 3206$_H$	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F7	TIERF7	00_H	8	FFE6 3207$_H$	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA07	NCNTFA7	0000_H	16	FFE6 3208$_H$	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA07	NCRFA7	0000_H	16	FFE6 320A$_H$	1（1H）	16
ATU4F	時間計測カウンタ AF7	ECNTAF7	0000 0000_H	32	FFE6 3210$_H$	1（1H）	32
ATU4F	バックアップレジスタ AF7	BGRAF7	FFFF $FFFF_H$	32	FFE6 3214$_H$	1（1H）	32
ATU4F	汎用レジスタ AF7	GRAF7	FFFF $FFFF_H$	32	FFE6 3214$_H$	1（1H）	32
ATU4F	イベントカウンタ F7	ECNTBF7	0000_H	16	FFE6 3218$_H$	1（1H）	16
ATU4F	汎用レジスタ BF7	GRBF7	$FFFF_H$	16	FFE6 321C$_H$	1（1H）	16
ATU4F	時間計測カウンタ CF7	ECNTCF7	0000 0000_H	32	FFE6 3220$_H$	1（1H）	32
ATU4F	バックアップレジスタ CF7	BGRCF7	FFFF $FFFF_H$	32	FFE6 3224$_H$	1（1H）	32
ATU4F	汎用レジスタ CF7	GRCF7	FFFF $FFFF_H$	32	FFE6 3224$_H$	1（1H）	32
ATU4F	汎用レジスタ DF7	GRDF7	FFFF $FFFF_H$	32	FFE6 3228$_H$	1（1H）	32
ATU4F	バックアップレジスタ DF7	BGRDF7	FFFF $FFFF_H$	32	FFE6 3228$_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F7	CDRF7	0000 $FFFF_H$	32	FFE6 322C$_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F8	TCR1F8	00_H	8	FFE6 3240$_H$	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F8	TCR2F8	00_H	8	FFE6 3242$_H$	1（1H）	8
ATU4F	バックアップコントロールレジスタ F8	BKCRF8	00_H	8	FFE6 3244$_H$	1（1H）	8
ATU4F	タイマステータスレジスタ F8	TSRF8	00_H	8	FFE6 3245$_H$	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F8	TSCRF8	00_H	8	FFE6 3246$_H$	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F8	TIERF8	00_H	8	FFE6 3247$_H$	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA08	NCNTFA8	0000_H	16	FFE6 3248$_H$	1（1H）	16

(208/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4F	ノイズキャンセルレジスタ FA08	NCRFA8	0000_H	16	FFE6 324A$_H$	1（1H）	16
ATU4F	時間計測カウンタ AF8	ECNTAF8	0000 0000_H	32	FFE6 3250$_H$	1（1H）	32
ATU4F	バックアップレジスタ AF8	BGRAF8	FFFF $FFFF_H$	32	FFE6 3254$_H$	1（1H）	32
ATU4F	汎用レジスタ AF8	GRAF8	FFFF $FFFF_H$	32	FFE6 3254$_H$	1（1H）	32
ATU4F	イベントカウンタ F8	ECNTBF8	0000_H	16	FFE6 3258$_H$	1（1H）	16
ATU4F	汎用レジスタ BF8	GRBF8	$FFFF_H$	16	FFE6 325C$_H$	1（1H）	16
ATU4F	時間計測カウンタ CF8	ECNTCF8	0000 0000_H	32	FFE6 3260$_H$	1（1H）	32
ATU4F	バックアップレジスタ CF8	BGRCF8	FFFF $FFFF_H$	32	FFE6 3264$_H$	1（1H）	32
ATU4F	汎用レジスタ CF8	GRCF8	FFFF $FFFF_H$	32	FFE6 3264$_H$	1（1H）	32
ATU4F	汎用レジスタ DF8	GRDF8	FFFF $FFFF_H$	32	FFE6 3268$_H$	1（1H）	32
ATU4F	バックアップレジスタ DF8	BGRDF8	FFFF $FFFF_H$	32	FFE6 3268$_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F8	CDRF8	0000 $FFFF_H$	32	FFE6 326C$_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F9	TCR1F9	00_H	8	FFE6 3280$_H$	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F9	TCR2F9	00_H	8	FFE6 3282$_H$	1（1H）	8
ATU4F	バックアップコントロールレジスタ F9	BKCRF9	00_H	8	FFE6 3284$_H$	1（1H）	8
ATU4F	タイマステータスレジスタ F9	TSRF9	00_H	8	FFE6 3285$_H$	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F9	TSCRF9	00_H	8	FFE6 3286$_H$	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F9	TIERF9	00_H	8	FFE6 3287$_H$	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA09	NCNTFA9	0000_H	16	FFE6 3288$_H$	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA09	NCRFA9	0000_H	16	FFE6 328A$_H$	1（1H）	16
ATU4F	時間計測カウンタ AF9	ECNTAF9	0000 0000_H	32	FFE6 3290$_H$	1（1H）	32
ATU4F	バックアップレジスタ AF9	BGRAF9	FFFF $FFFF_H$	32	FFE6 3294$_H$	1（1H）	32
ATU4F	汎用レジスタ AF9	GRAF9	FFFF $FFFF_H$	32	FFE6 3294$_H$	1（1H）	32
ATU4F	イベントカウンタ F9	ECNTBF9	0000_H	16	FFE6 3298$_H$	1（1H）	16
ATU4F	汎用レジスタ BF9	GRBF9	$FFFF_H$	16	FFE6 329C$_H$	1（1H）	16
ATU4F	時間計測カウンタ CF9	ECNTCF9	0000 0000_H	32	FFE6 32A0$_H$	1（1H）	32
ATU4F	バックアップレジスタ CF9	BGRCF9	FFFF $FFFF_H$	32	FFE6 32A4$_H$	1（1H）	32
ATU4F	汎用レジスタ CF9	GRCF9	FFFF $FFFF_H$	32	FFE6 32A4$_H$	1（1H）	32
ATU4F	汎用レジスタ DF9	GRDF9	FFFF $FFFF_H$	32	FFE6 32A8$_H$	1（1H）	32
ATU4F	バックアップレジスタ DF9	BGRDF9	FFFF $FFFF_H$	32	FFE6 32A8$_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F9	CDRF9	0000 $FFFF_H$	32	FFE6 32AC$_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F10	TCR1F10	00_H	8	FFE6 32C0$_H$	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F10	TCR2F10	00_H	8	FFE6 32C2$_H$	1（1H）	8
ATU4F	バックアップコントロールレジスタ F10	BKCRF10	00_H	8	FFE6 32C4$_H$	1（1H）	8
ATU4F	タイマステータスレジスタ F10	TSRF10	00_H	8	FFE6 32C5$_H$	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F10	TSCRF10	00_H	8	FFE6 32C6$_H$	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F10	TIERF10	00_H	8	FFE6 32C7$_H$	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA10	NCNTFA10	0000_H	16	FFE6 32C8$_H$	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA10	NCRFA10	0000_H	16	FFE6 32CA$_H$	1（1H）	16
ATU4F	時間計測カウンタ AF10	ECNTAF10	0000 0000_H	32	FFE6 32D0$_H$	1（1H）	32
ATU4F	バックアップレジスタ AF10	BGRAF10	FFFF $FFFF_H$	32	FFE6 32D4$_H$	1（1H）	32
ATU4F	汎用レジスタ AF10	GRAF10	FFFF $FFFF_H$	32	FFE6 32D4$_H$	1（1H）	32
ATU4F	イベントカウンタ F10	ECNTBF10	0000_H	16	FFE6 32D8$_H$	1（1H）	16
ATU4F	汎用レジスタ BF10	GRBF10	$FFFF_H$	16	FFE6 32DC$_H$	1（1H）	16
ATU4F	時間計測カウンタ CF10	ECNTCF10	0000 0000_H	32	FFE6 32E0$_H$	1（1H）	32

(209/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4F	バックアップレジスタ CF10	BGRCF10	FFFF $FFFF_H$	32	FFE6 $32E4_H$	1（1H）	32
ATU4F	汎用レジスタ CF10	GRCF10	FFFF $FFFF_H$	32	FFE6 $32E4_H$	1（1H）	32
ATU4F	汎用レジスタ DF10	GRDF10	FFFF $FFFF_H$	32	FFE6 $32E8_H$	1（1H）	32
ATU4F	バックアップレジスタ DF10	BGRDF10	FFFF $FFFF_H$	32	FFE6 $32E8_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F10	CDRF10	0000 $FFFF_H$	32	FFE6 $32EC_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F11	TCR1F11	00_H	8	FFE6 3300_H	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F11	TCR2F11	00_H	8	FFE6 3302_H	1（1H）	8
ATU4F	バックアップコントロールレジスタ F11	BKCRF11	00_H	8	FFE6 3304_H	1（1H）	8
ATU4F	タイマステータスレジスタ F11	TSRF11	00_H	8	FFE6 3305_H	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F11	TSCRF11	00_H	8	FFE6 3306_H	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F11	TIERF11	00_H	8	FFE6 3307_H	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA11	NCNTFA11	0000_H	16	FFE6 3308_H	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA11	NCRFA11	0000_H	16	FFE6 $330A_H$	1（1H）	16
ATU4F	時間計測カウンタ AF11	ECNTAF11	0000 0000_H	32	FFE6 3310_H	1（1H）	32
ATU4F	バックアップレジスタ AF11	BGRAF11	FFFF $FFFF_H$	32	FFE6 3314_H	1（1H）	32
ATU4F	汎用レジスタ AF11	GRAF11	FFFF $FFFF_H$	32	FFE6 3314_H	1（1H）	32
ATU4F	イベントカウンタ F11	ECNTBF11	0000_H	16	FFE6 3318_H	1（1H）	16
ATU4F	汎用レジスタ BF11	GRBF11	$FFFF_H$	16	FFE6 $331C_H$	1（1H）	16
ATU4F	時間計測カウンタ CF11	ECNTCF11	0000 0000_H	32	FFE6 3320_H	1（1H）	32
ATU4F	バックアップレジスタ CF11	BGRCF11	FFFF $FFFF_H$	32	FFE6 3324_H	1（1H）	32
ATU4F	汎用レジスタ CF11	GRCF11	FFFF $FFFF_H$	32	FFE6 3324_H	1（1H）	32
ATU4F	汎用レジスタ DF11	GRDF11	FFFF $FFFF_H$	32	FFE6 3328_H	1（1H）	32
ATU4F	バックアップレジスタ DF11	BGRDF11	FFFF $FFFF_H$	32	FFE6 3328_H	1（1H）	32
ATU4F	キャプチャ出力レジスタ F11	CDRF11	0000 $FFFF_H$	32	FFE6 $332C_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F12	TCR1F12	00_H	8	FFE6 3340_H	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F12	TCR2F12	00_H	8	FFE6 3342_H	1（1H）	8
ATU4F	バックアップコントロールレジスタ F12	BKCRF12	00_H	8	FFE6 3344_H	1（1H）	8
ATU4F	タイマステータスレジスタ F12	TSRF12	00_H	8	FFE6 3345_H	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F12	TSCRF12	00_H	8	FFE6 3346_H	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F12	TIERF12	00_H	8	FFE6 3347_H	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA12	NCNTFA12	0000_H	16	FFE6 3348_H	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA12	NCRFA12	0000_H	16	FFE6 $334A_H$	1（1H）	16
ATU4F	時間計測カウンタ AF12	ECNTAF12	0000 0000_H	32	FFE6 3350_H	1（1H）	32
ATU4F	バックアップレジスタ AF12	BGRAF12	FFFF $FFFF_H$	32	FFE6 3354_H	1（1H）	32
ATU4F	汎用レジスタ AF12	GRAF12	FFFF $FFFF_H$	32	FFE6 3354_H	1（1H）	32
ATU4F	イベントカウンタ F12	ECNTBF12	0000_H	16	FFE6 3358_H	1（1H）	16
ATU4F	汎用レジスタ BF12	GRBF12	$FFFF_H$	16	FFE6 $335C_H$	1（1H）	16
ATU4F	時間計測カウンタ CF12	ECNTCF12	0000 0000_H	32	FFE6 3360_H	1（1H）	32
ATU4F	バックアップレジスタ CF12	BGRCF12	FFFF $FFFF_H$	32	FFE6 3364_H	1（1H）	32
ATU4F	汎用レジスタ CF12	GRCF12	FFFF $FFFF_H$	32	FFE6 3364_H	1（1H）	32
ATU4F	汎用レジスタ DF12	GRDF12	FFFF $FFFF_H$	32	FFE6 3368_H	1（1H）	32
ATU4F	バックアップレジスタ DF12	BGRDF12	FFFF $FFFF_H$	32	FFE6 3368_H	1（1H）	32
ATU4F	キャプチャ出力レジスタ F12	CDRF12	0000 $FFFF_H$	32	FFE6 $336C_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F13	TCR1F13	00_H	8	FFE6 3380_H	1（1H）	8

(210/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4F	タイマコントロールレジスタ 2F13	TCR2F13	00_H	8	FFE6 3382_H	1（1H）	8
ATU4F	バックアップコントロールレジスタ F13	BKCRF13	00_H	8	FFE6 3384_H	1（1H）	8
ATU4F	タイマステータスレジスタ F13	TSRF13	00_H	8	FFE6 3385_H	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F13	TSCRF13	00_H	8	FFE6 3386_H	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F13	TIERF13	00_H	8	FFE6 3387_H	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA13	NCNTFA13	0000_H	16	FFE6 3388_H	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA13	NCRFA13	0000_H	16	FFE6 $338A_H$	1（1H）	16
ATU4F	時間計測カウンタ AF13	ECNTAF13	$0000\ 0000_H$	32	FFE6 3390_H	1（1H）	32
ATU4F	バックアップレジスタ AF13	BGRAF13	$FFFF\ FFFF_H$	32	FFE6 3394_H	1（1H）	32
ATU4F	汎用レジスタ AF13	GRAF13	$FFFF\ FFFF_H$	32	FFE6 3394_H	1（1H）	32
ATU4F	イベントカウンタ F13	ECNTBF13	0000_H	16	FFE6 3398_H	1（1H）	16
ATU4F	汎用レジスタ BF13	GRBF13	$FFFF_H$	16	FFE6 $339C_H$	1（1H）	16
ATU4F	時間計測カウンタ CF13	ECNTCF13	$0000\ 0000_H$	32	FFE6 $33A0_H$	1（1H）	32
ATU4F	バックアップレジスタ CF13	BGRCF13	$FFFF\ FFFF_H$	32	FFE6 $33A4_H$	1（1H）	32
ATU4F	汎用レジスタ CF13	GRCF13	$FFFF\ FFFF_H$	32	FFE6 $33A4_H$	1（1H）	32
ATU4F	汎用レジスタ DF13	GRDF13	$FFFF\ FFFF_H$	32	FFE6 $33A8_H$	1（1H）	32
ATU4F	バックアップレジスタ DF13	BGRDF13	$FFFF\ FFFF_H$	32	FFE6 $33A8_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F13	CDRF13	$0000\ FFFF_H$	32	FFE6 $33AC_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F14	TCR1F14	00_H	8	FFE6 $33C0_H$	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F14	TCR2F14	00_H	8	FFE6 $33C2_H$	1（1H）	8
ATU4F	バックアップコントロールレジスタ F14	BKCRF14	00_H	8	FFE6 $33C4_H$	1（1H）	8
ATU4F	タイマステータスレジスタ F14	TSRF14	00_H	8	FFE6 $33C5_H$	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F14	TSCRF14	00_H	8	FFE6 $33C6_H$	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F14	TIERF14	00_H	8	FFE6 $33C7_H$	1（1H）	8
ATU4F	ノイズキャンセルカウンタ FA14	NCNTFA14	0000_H	16	FFE6 $33C8_H$	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA14	NCRFA14	0000_H	16	FFE6 $33CA_H$	1（1H）	16
ATU4F	時間計測カウンタ AF14	ECNTAF14	$0000\ 0000_H$	32	FFE6 $33D0_H$	1（1H）	32
ATU4F	バックアップレジスタ AF14	BGRAF14	$FFFF\ FFFF_H$	32	FFE6 $33D4_H$	1（1H）	32
ATU4F	汎用レジスタ AF14	GRAF14	$FFFF\ FFFF_H$	32	FFE6 $33D4_H$	1（1H）	32
ATU4F	イベントカウンタ F14	ECNTBF14	0000_H	16	FFE6 $33D8_H$	1（1H）	16
ATU4F	汎用レジスタ BF14	GRBF14	$FFFF_H$	16	FFE6 $33DC_H$	1（1H）	16
ATU4F	時間計測カウンタ CF14	ECNTCF14	$0000\ 0000_H$	32	FFE6 $33E0_H$	1（1H）	32
ATU4F	バックアップレジスタ CF14	BGRCF14	$FFFF\ FFFF_H$	32	FFE6 $33E4_H$	1（1H）	32
ATU4F	汎用レジスタ CF14	GRCF14	$FFFF\ FFFF_H$	32	FFE6 $33E4_H$	1（1H）	32
ATU4F	汎用レジスタ DF14	GRDF14	$FFFF\ FFFF_H$	32	FFE6 $33E8_H$	1（1H）	32
ATU4F	バックアップレジスタ DF14	BGRDF14	$FFFF\ FFFF_H$	32	FFE6 $33E8_H$	1（1H）	32
ATU4F	キャプチャ出力レジスタ F14	CDRF14	$0000\ FFFF_H$	32	FFE6 $33EC_H$	1（1H）	32
ATU4F	タイマコントロールレジスタ 1F15	TCR1F15	00_H	8	FFE6 3400_H	1（1H）	8
ATU4F	タイマコントロールレジスタ 2F15	TCR2F15	00_H	8	FFE6 3402_H	1（1H）	8
ATU4F	バックアップコントロールレジスタ F15	BKCRF15	00_H	8	FFE6 3404_H	1（1H）	8
ATU4F	タイマステータスレジスタ F15	TSRF15	00_H	8	FFE6 3405_H	1（1H）	8
ATU4F	タイマステータスクリアレジスタ F15	TSCRF15	00_H	8	FFE6 3406_H	1（1H）	8
ATU4F	タイマインタラプトイネーブルレジスタ F15	TIERF15	00_H	8	FFE6 3407_H	1（1H）	8

(211/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4F	ノイズキャンセルカウンタ FA15	NCNTFA15	0000_H	16	FFE6 3408_H	1（1H）	16
ATU4F	ノイズキャンセルレジスタ FA15	NCRFA15	0000_H	16	FFE6 $340A_H$	1（1H）	16
ATU4F	時間計測カウンタ AF15	ECNTAF15	$0000\ 0000_H$	32	FFE6 3410_H	1（1H）	32
ATU4F	バックアップレジスタ AF15	BGRAF15	$FFFF\ FFFF_H$	32	FFE6 3414_H	1（1H）	32
ATU4F	汎用レジスタ AF15	GRAF15	$FFFF\ FFFF_H$	32	FFE6 3414_H	1（1H）	32
ATU4F	イベントカウンタ F15	ECNTBF15	0000_H	16	FFE6 3418_H	1（1H）	16
ATU4F	汎用レジスタ BF15	GRBF15	$FFFF_H$	16	FFE6 $341C_H$	1（1H）	16
ATU4F	時間計測カウンタ CF15	ECNTCF15	$0000\ 0000_H$	32	FFE6 3420_H	1（1H）	32
ATU4F	バックアップレジスタ CF15	BGRCF15	$FFFF\ FFFF_H$	32	FFE6 3424_H	1（1H）	32
ATU4F	汎用レジスタ CF15	GRCF15	$FFFF\ FFFF_H$	32	FFE6 3424_H	1（1H）	32
ATU4F	汎用レジスタ DF15	GRDF15	$FFFF\ FFFF_H$	32	FFE6 3428_H	1（1H）	32
ATU4F	バックアップレジスタ DF15	BGRDF15	$FFFF\ FFFF_H$	32	FFE6 3428_H	1（1H）	32
ATU4F	キャプチャ出力レジスタ F15	CDRF15	$0000\ FFFF_H$	32	FFE6 $342C_H$	1（1H）	32
ATU4G	タイマスタートレジスタ G	TSTRG	0000_H	16	FFE6 3900_H	1（1H）	8、16
ATU4G	タイマコントロールレジスタ G0	TCRG0	00_H	8	FFE6 3910_H	1（1H）	8
ATU4G	タイマステータスレジスタ G0	TSRG0	00_H	8	FFE6 3912_H	1（1H）	8
ATU4G	タイマステータスクリアレジスタ G0	TSCRG0	00_H	8	FFE6 3913_H	1（1H）	8
ATU4G	タイマカウンタ G0	TCNTG0	$0000\ 0000_H$	32	FFE6 3914_H	1（1H）	32
ATU4G	コンペアマッチレジスタ G0	OCRG0	$FFFF\ FFFF_H$	32	FFE6 3918_H	1（1H）	32
ATU4G	タイマコントロールレジスタ G1	TCRG1	00_H	8	FFE6 3920_H	1（1H）	8
ATU4G	タイマステータスレジスタ G1	TSRG1	00_H	8	FFE6 3922_H	1（1H）	8
ATU4G	タイマステータスクリアレジスタ G1	TSCRG1	00_H	8	FFE6 3923_H	1（1H）	8
ATU4G	タイマカウンタ G1	TCNTG1	$0000\ 0000_H$	32	FFE6 3924_H	1（1H）	32
ATU4G	コンペアマッチレジスタ G1	OCRG1	$FFFF\ FFFF_H$	32	FFE6 3928_H	1（1H）	32
ATU4G	タイマコントロールレジスタ G2	TCRG2	00_H	8	FFE6 3930_H	1（1H）	8
ATU4G	タイマステータスレジスタ G2	TSRG2	00_H	8	FFE6 3932_H	1（1H）	8
ATU4G	タイマステータスクリアレジスタ G2	TSCRG2	00_H	8	FFE6 3933_H	1（1H）	8
ATU4G	タイマカウンタ G2	TCNTG2	$0000\ 0000_H$	32	FFE6 3934_H	1（1H）	32
ATU4G	コンペアマッチレジスタ G2	OCRG2	$FFFF\ FFFF_H$	32	FFE6 3938_H	1（1H）	32
ATU4G	タイマコントロールレジスタ G3	TCRG3	00_H	8	FFE6 3940_H	1（1H）	8
ATU4G	タイマステータスレジスタ G3	TSRG3	00_H	8	FFE6 3942_H	1（1H）	8
ATU4G	タイマステータスクリアレジスタ G3	TSCRG3	00_H	8	FFE6 3943_H	1（1H）	8
ATU4G	タイマカウンタ G3	TCNTG3	$0000\ 0000_H$	32	FFE6 3944_H	1（1H）	32
ATU4G	コンペアマッチレジスタ G3	OCRG3	$FFFF\ FFFF_H$	32	FFE6 3948_H	1（1H）	32
ATU4G	タイマコントロールレジスタ G4	TCRG4	00_H	8	FFE6 3950_H	1（1H）	8
ATU4G	タイマステータスレジスタ G4	TSRG4	00_H	8	FFE6 3952_H	1（1H）	8
ATU4G	タイマステータスクリアレジスタ G4	TSCRG4	00_H	8	FFE6 3953_H	1（1H）	8
ATU4G	タイマカウンタ G4	TCNTG4	$0000\ 0000_H$	32	FFE6 3954_H	1（1H）	32
ATU4G	コンペアマッチレジスタ G4	OCRG4	$FFFF\ FFFF_H$	32	FFE6 3958_H	1（1H）	32
ATU4G	タイマコントロールレジスタ G5	TCRG5	00_H	8	FFE6 3960_H	1（1H）	8
ATU4G	タイマステータスレジスタ G5	TSRG5	00_H	8	FFE6 3962_H	1（1H）	8
ATU4G	タイマステータスクリアレジスタ G5	TSCRG5	00_H	8	FFE6 3963_H	1（1H）	8
ATU4G	タイマカウンタ G5	TCNTG5	$0000\ 0000_H$	32	FFE6 3964_H	1（1H）	32
ATU4G	コンペアマッチレジスタ G5	OCRG5	$FFFF\ FFFF_H$	32	FFE6 3968_H	1（1H）	32
ATU4G	タイマコントロールレジスタ G6	TCRG6	00_H	8	FFE6 3970_H	1（1H）	8
ATU4G	タイマステータスレジスタ G6	TSRG6	00_H	8	FFE6 3972_H	1（1H）	8
ATU4G	タイマステータスクリアレジスタ G6	TSCRG6	00_H	8	FFE6 3973_H	1（1H）	8

(212/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4G	タイマカウンタ G6	TCNTG6	0000 0000_H	32	FFE6 3974_H	1（1H）	32
ATU4G	コンペアマッチレジスタ G6	OCRG6	FFFF $FFFF_H$	32	FFE6 3978_H	1（1H）	32
ATU4G	タイマコントロールレジスタ G7	TCRG7	00_H	8	FFE6 3980_H	1（1H）	8
ATU4G	タイマステータスレジスタ G7	TSRG7	00_H	8	FFE6 3982_H	1（1H）	8
ATU4G	タイマステータスクリアレジスタ G7	TSCRG7	00_H	8	FFE6 3983_H	1（1H）	8
ATU4G	タイマカウンタ G7	TCNTG7	0000 0000_H	32	FFE6 3984_H	1（1H）	32
ATU4G	コンペアマッチレジスタ G7	OCRG7	FFFF $FFFF_H$	32	FFE6 3988_H	1（1H）	32
ATU4G	タイマコントロールレジスタ G8	TCRG8	00_H	8	FFE6 3990_H	1（1H）	8
ATU4G	タイマステータスレジスタ G8	TSRG8	00_H	8	FFE6 3992_H	1（1H）	8
ATU4G	タイマステータスクリアレジスタ G8	TSCRG8	00_H	8	FFE6 3993_H	1（1H）	8
ATU4G	タイマカウンタ G8	TCNTG8	0000 0000_H	32	FFE6 3994_H	1（1H）	32
ATU4G	コンペアマッチレジスタ G8	OCRG8	FFFF $FFFF_H$	32	FFE6 3998_H	1（1H）	32
ATU4G	タイマコントロールレジスタ G9	TCRG9	00_H	8	FFE6 $39A0_H$	1（1H）	8
ATU4G	タイマステータスレジスタ G9	TSRG9	00_H	8	FFE6 $39A2_H$	1（1H）	8
ATU4G	タイマステータスクリアレジスタ G9	TSCRG9	00_H	8	FFE6 $39A3_H$	1（1H）	8
ATU4G	タイマカウンタ G9	TCNTG9	0000 0000_H	32	FFE6 $39A4_H$	1（1H）	32
ATU4G	コンペアマッチレジスタ G9	OCRG9	FFFF $FFFF_H$	32	FFE6 $39A8_H$	1（1H）	32
ATU4J	タイマスタートレジスタ J	TSTRJ	00_H	8	FFE6 $3C00_H$	1（1H）	8
ATU4J	タイマコントロールレジスタ J0	TCRJ0	00_H	8	FFE6 $3C20_H$	1（1H）	8
ATU4J	FIFO コントロールレジスタ J0	FCRJ0	00_H	8	FFE6 $3C21_H$	1（1H）	8
ATU4J	タイマステータスレジスタ J0	TSRJ0	00_H	8	FFE6 $3C22_H$	1（1H）	8
ATU4J	タイマステータスクリアレジスタ J0	TSCRJ0	00_H	8	FFE6 $3C23_H$	1（1H）	8
ATU4J	タイマカウンタ J0	TCNTJ0	0000 0000_H	32	FFE6 $3C24_H$	1（1H）	32
ATU4J	コンペアマッチレジスタ J0	OCRJ0	FFFF $FFFF_H$	32	FFE6 $3C28_H$	1（1H）	32
ATU4J	FIFO レジスタ J0	FIFOJ0	0000 0000_H	32	FFE6 $3C2C_H$	1（1H）	32
ATU4J	FIFO データ数レジスタ J0	FDNRJ0	00_H	8	FFE6 $3C30_H$	1（1H）	8
ATU4J	ノイズキャンセルカウンタ J0	NCNTJ0	0000_H	16	FFE6 $3C34_H$	1（1H）	16
ATU4J	ノイズキャンセルレジスタ J0	NCRJ0	0000_H	16	FFE6 $3C36_H$	1（1H）	16
ATU4J	タイマコントロールレジスタ J1	TCRJ1	00_H	8	FFE6 $3C40_H$	1（1H）	8
ATU4J	FIFO コントロールレジスタ J1	FCRJ1	00_H	8	FFE6 $3C41_H$	1（1H）	8
ATU4J	タイマステータスレジスタ J1	TSRJ1	00_H	8	FFE6 $3C42_H$	1（1H）	8
ATU4J	タイマステータスクリアレジスタ J1	TSCRJ1	00_H	8	FFE6 $3C43_H$	1（1H）	8
ATU4J	タイマカウンタ J1	TCNTJ1	0000 0000_H	32	FFE6 $3C44_H$	1（1H）	32
ATU4J	コンペアマッチレジスタ J1	OCRJ1	FFFF $FFFF_H$	32	FFE6 $3C48_H$	1（1H）	32
ATU4J	FIFO レジスタ J1	FIFOJ1	0000 0000_H	32	FFE6 $3C4C_H$	1（1H）	32
ATU4J	FIFO データ数レジスタ J1	FDNRJ1	00_H	8	FFE6 $3C50_H$	1（1H）	8
ATU4J	ノイズキャンセルカウンタ J1	NCNTJ1	0000_H	16	FFE6 $3C54_H$	1（1H）	16
ATU4J	ノイズキャンセルレジスタ J1	NCRJ1	0000_H	16	FFE6 $3C56_H$	1（1H）	16
ATU4J	タイマコントロールレジスタ J2	TCRJ2	00_H	8	FFE6 $3C60_H$	1（1H）	8
ATU4J	FIFO コントロールレジスタ J2	FCRJ2	00_H	8	FFE6 $3C61_H$	1（1H）	8
ATU4J	タイマステータスレジスタ J2	TSRJ2	00_H	8	FFE6 $3C62_H$	1（1H）	8
ATU4J	タイマステータスクリアレジスタ J2	TSCRJ2	00_H	8	FFE6 $3C63_H$	1（1H）	8
ATU4J	タイマカウンタ J2	TCNTJ2	0000 0000_H	32	FFE6 $3C64_H$	1（1H）	32
ATU4J	コンペアマッチレジスタ J2	OCRJ2	FFFF $FFFF_H$	32	FFE6 $3C68_H$	1（1H）	32
ATU4J	FIFO レジスタ J2	FIFOJ2	0000 0000_H	32	FFE6 $3C6C_H$	1（1H）	32
ATU4J	FIFO データ数レジスタ J2	FDNRJ2	00_H	8	FFE6 $3C70_H$	1（1H）	8
ATU4J	ノイズキャンセルカウンタ J2	NCNTJ2	0000_H	16	FFE6 $3C74_H$	1（1H）	16

(213/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ATU4J	ノイズキャンセルレジスタ J2	NCRJ2	0000_H	16	FFE6 $3C76_H$	1（1H）	16
ATU4J	タイマコントロールレジスタ J3	TCRJ3	00_H	8	FFE6 $3C80_H$	1（1H）	8
ATU4J	FIFO コントロールレジスタ J3	FCRJ3	00_H	8	FFE6 $3C81_H$	1（1H）	8
ATU4J	タイマステータスレジスタ J3	TSRJ3	00_H	8	FFE6 $3C82_H$	1（1H）	8
ATU4J	タイマステータスクリアレジスタ J3	TSCRJ3	00_H	8	FFE6 $3C83_H$	1（1H）	8
ATU4J	タイマカウンタ J3	TCNTJ3	$0000\ 0000_H$	32	FFE6 $3C84_H$	1（1H）	32
ATU4J	コンペアマッチレジスタ J3	OCRJ3	$FFFF\ FFFF_H$	32	FFE6 $3C88_H$	1（1H）	32
ATU4J	FIFO レジスタ J3	FIFOJ3	$0000\ 0000_H$	32	FFE6 $3C8C_H$	1（1H）	32
ATU4J	FIFO データ数レジスタ J3	FDNRJ3	00_H	8	FFE6 $3C90_H$	1（1H）	8
ATU4J	ノイズキャンセルカウンタ J3	NCNTJ3	0000_H	16	FFE6 $3C94_H$	1（1H）	16
ATU4J	ノイズキャンセルレジスタ J3	NCRJ3	0000_H	16	FFE6 $3C96_H$	1（1H）	16
ATU4J	タイマコントロールレジスタ J4	TCRJ4	00_H	8	FFE6 $3CA0_H$	1（1H）	8
ATU4J	FIFO コントロールレジスタ J4	FCRJ4	00_H	8	FFE6 $3CA1_H$	1（1H）	8
ATU4J	タイマステータスレジスタ J4	TSRJ4	00_H	8	FFE6 $3CA2_H$	1（1H）	8
ATU4J	タイマステータスクリアレジスタ J4	TSCRJ4	00_H	8	FFE6 $3CA3_H$	1（1H）	8
ATU4J	タイマカウンタ J4	TCNTJ4	$0000\ 0000_H$	32	FFE6 $3CA4_H$	1（1H）	32
ATU4J	コンペアマッチレジスタ J4	OCRJ4	$FFFF\ FFFF_H$	32	FFE6 $3CA8_H$	1（1H）	32
ATU4J	FIFO レジスタ J4	FIFOJ4	$0000\ 0000_H$	32	FFE6 $3CAC_H$	1（1H）	32
ATU4J	FIFO データ数レジスタ J4	FDNRJ4	00_H	8	FFE6 $3CB0_H$	1（1H）	8
ATU4J	ノイズキャンセルカウンタ J4	NCNTJ4	0000_H	16	FFE6 $3CB4_H$	1（1H）	16
ATU4J	ノイズキャンセルレジスタ J4	NCRJ4	0000_H	16	FFE6 $3CB6_H$	1（1H）	16
ATU4J	タイマコントロールレジスタ J5	TCRJ5	00_H	8	FFE6 $3CC0_H$	1（1H）	8
ATU4J	FIFO コントロールレジスタ J5	FCRJ5	00_H	8	FFE6 $3CC1_H$	1（1H）	8
ATU4J	タイマステータスレジスタ J5	TSRJ5	00_H	8	FFE6 $3CC2_H$	1（1H）	8
ATU4J	タイマステータスクリアレジスタ J5	TSCRJ5	00_H	8	FFE6 $3CC3_H$	1（1H）	8
ATU4J	タイマカウンタ J5	TCNTJ5	$0000\ 0000_H$	32	FFE6 $3CC4_H$	1（1H）	32
ATU4J	コンペアマッチレジスタ J5	OCRJ5	$FFFF\ FFFF_H$	32	FFE6 $3CC8_H$	1（1H）	32
ATU4J	FIFO レジスタ J5	FIFOJ5	$0000\ 0000_H$	32	FFE6 $3CCC_H$	1（1H）	32
ATU4J	FIFO データ数レジスタ J5	FDNRJ5	00_H	8	FFE6 $3CD0_H$	1（1H）	8
ATU4J	ノイズキャンセルカウンタ J5	NCNTJ5	0000_H	16	FFE6 $3CD4_H$	1（1H）	16
ATU4J	ノイズキャンセルレジスタ J5	NCRJ5	0000_H	16	FFE6 $3CD6_H$	1（1H）	16
TSG20	TSG20 I/O 制御レジスタ 2	TSG20IOC2	0000_H	16	FFE7 0000_H	1（1H）	16
TSG20	TSG20 制御レジスタ 3	TSG20CTL3	00_H	8	FFE7 0004_H	1（1H）	8
TSG20	TSG20 制御レジスタ 5	TSG20CTL5	0000_H	16	FFE7 0008_H	1（1H）	16
TSG20	TSG20 制御レジスタ 6	TSG20CTL6	0000_H	16	FFE7 $000C_H$	1（1H）	16
TSG20	TSG20 ステータスレジスタ 0	TSG20STR0	00_H	8	FFE7 0010_H	1（1H）	8
TSG20	TSG20 ステータスレジスタ 1	TSG20STR1	00_H	8	FFE7 0014_H	1（1H）	8
TSG20	TSG20 ステータスレジスタ 2	TSG20STR2	0000_H	16	FFE7 0018_H	1（1H）	16
TSG20	TSG20 ステータスクリアトリガレジスタ	TSG20STC	0000_H	16	FFE7 $001C_H$	1（1H）	16
TSG20	TSG20 オプションレジスタ 0	TSG20OPT0	00_H	8	FFE7 0020_H	1（1H）	8
TSG20	TSG20 オプションレジスタ 1	TSG20OPT1	00_H	8	FFE7 0024_H	1（1H）	8
TSG20	TSG20 カウンタレジスタ	TSG20CNT	0000_H	16	FFE7 0028_H	1（1H）	16
TSG20	TSG20 サブカウンタレジスタ	TSG20SBC	0000_H	16	FFE7 $002C_H$	1（1H）	16
TSG20	TSG20 トリガレジスタ 0	TSG20TRG0	00_H	8	FFE7 0030_H	1（1H）	8
TSG20	TSG20 トリガレジスタ 1	TSG20TRG1	00_H	8	FFE7 0034_H	1（1H）	8
TSG20	TSG20 コンペアレジスタ 1, 2	TSG20CMP1W	$0000\ 0000_H$	32	FFE7 0040_H	1（1H）	32
TSG20	TSG20 コンペアレジスタ 5, 6	TSG20CMP5W	$0000\ 0000_H$	32	FFE7 0044_H	1（1H）	32

(214/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
TSG20	TSG20 コンペアレジスタ 9, 10	TSG20CMP9W	0000 0000_H	32	FFE7 0048_H	1（1H）	32
TSG20	TSG20 コンペアレジスタ 3, 4	TSG20CMP3W	0000 0000_H	32	FFE7 $004C_H$	1（1H）	32
TSG20	TSG20 コンペアレジスタ 7, 8	TSG20CMP7W	0000 0000_H	32	FFE7 0050_H	1（1H）	32
TSG20	TSG20 コンペアレジスタ 11, 12	TSG20CMP11W	0000 0000_H	32	FFE7 0054_H	1（1H）	32
TSG20	TSG20 コンペアレジスタ 0	TSG20CMP0	0000 0000_H	32	FFE7 0058_H	1（1H）	32
TSG20	TSG20 診断コンペアレジスタ 0, 1	TSG20DCMP0W	0000 0000_H	32	FFE7 $005C_H$	1（1H）	32
TSG20	TSG20 診断コンペアレジスタ 2	TSG20DCMP2	0000 0000_H	32	FFE7 0060_H	1（1H）	32
TSG20	TSG20 パタンレジスタ 0	TSG20PAT0W	0000 0000_H	32	FFE7 0064_H	1（1H）	32
TSG20	TSG20 パタンレジスタ 1	TSG20PAT1W	0000 0000_H	32	FFE7 0068_H	1（1H）	32
TSG20	TSG20 デッドタイムコンペアレジスタ 0	TSG20DTC0W	0000 0000_H	32	FFE7 $006C_H$	1（1H）	32
TSG20	TSG20 デッドタイムコンペアレジスタ 1	TSG20DTC1W	0000 0000_H	32	FFE7 0070_H	1（1H）	32
TSG20	TSG20 I/O 制御レジスタ 3	TSG20IOC3	0000 0000_H	32	FFE7 0074_H	1（1H）	32
TSG20	TSG20 制御レジスタ 4	TSG20CTL4	0000 0000_H	32	FFE7 $007C_H$	1（1H）	32
TSG20	TSG20 コンペアレジスタ 1	TSG20CMP1	0000_H	16	FFE7 0080_H	1（1H）	16
TSG20	TSG20 コンペアレジスタ 2	TSG20CMP2	0000_H	16	FFE7 0084_H	1（1H）	16
TSG20	TSG20 コンペアレジスタ 5	TSG20CMP5	0000_H	16	FFE7 0088_H	1（1H）	16
TSG20	TSG20 コンペアレジスタ 6	TSG20CMP6	0000_H	16	FFE7 $008C_H$	1（1H）	16
TSG20	TSG20 コンペアレジスタ 9	TSG20CMP9	0000_H	16	FFE7 0090_H	1（1H）	16
TSG20	TSG20 コンペアレジスタ 10	TSG20CMP10	0000_H	16	FFE7 0094_H	1（1H）	16
TSG20	TSG20 コンペアレジスタ 3	TSG20CMP3	0000_H	16	FFE7 0098_H	1（1H）	16
TSG20	TSG20 コンペアレジスタ 4	TSG20CMP4	0000_H	16	FFE7 $009C_H$	1（1H）	16
TSG20	TSG20 コンペアレジスタ 7	TSG20CMP7	0000_H	16	FFE7 $00A0_H$	1（1H）	16
TSG20	TSG20 コンペアレジスタ 8	TSG20CMP8	0000_H	16	FFE7 $00A4_H$	1（1H）	16
TSG20	TSG20 コンペアレジスタ 11	TSG20CMP11	0000_H	16	FFE7 $00A8_H$	1（1H）	16
TSG20	TSG20 コンペアレジスタ 12	TSG20CMP12	0000_H	16	FFE7 $00AC_H$	1（1H）	16
TSG20	TSG20 U 相用コンペアレジスタ	TSG20CMPU	0000_H	16	FFE7 $00B0_H$	1（1H）	16
TSG20	TSG20 V 相用コンペアレジスタ	TSG20CMPV	0000_H	16	FFE7 $00B4_H$	1（1H）	16
TSG20	TSG20 W 相用コンペアレジスタ	TSG20CMPW	0000_H	16	FFE7 $00B8_H$	1（1H）	16
TSG20	TSG20 U 相期間レジスタ	TSG20UPW	0000_H	16	FFE7 $00BC_H$	1（1H）	16
TSG20	TSG20 V 相期間レジスタ	TSG20VPW	0000_H	16	FFE7 $00C0_H$	1（1H）	16
TSG20	TSG20 W 相期間レジスタ	TSG20WPW	0000_H	16	FFE7 $00C4_H$	1（1H）	16
TSG20	TSG20 I/O 制御レジスタ 0	TSG20IOC0	$7E_H$	8	FFE7 0200_H	1（1H）	8
TSG20	TSG20 I/O 制御レジスタ 1	TSG20IOC1	00_H	8	FFE7 0204_H	1（1H）	8
TSG20	TSG20 制御レジスタ 0	TSG20CTL0	00_H	8	FFE7 0208_H	1（1H）	8
TSG20	TSG20 制御レジスタ 1	TSG20CTL1	0000_H	16	FFE7 $020C_H$	1（1H）	16
TSG20	TSG20 デッドタイム保護レジスタ	TSG20DTPR	0000_H	16	FFE7 0210_H	1（1H）	16
TSG21	TSG21 I/O 制御レジスタ 2	TSG21IOC2	0000_H	16	FFE7 1000_H	1（1H）	16
TSG21	TSG21 制御レジスタ 3	TSG21CTL3	00_H	8	FFE7 1004_H	1（1H）	8
TSG21	TSG21 制御レジスタ 5	TSG21CTL5	0000_H	16	FFE7 1008_H	1（1H）	16
TSG21	TSG21 制御レジスタ 6	TSG21CTL6	0000_H	16	FFE7 $100C_H$	1（1H）	16
TSG21	TSG21 ステータスレジスタ 0	TSG21STR0	00_H	8	FFE7 1010_H	1（1H）	8
TSG21	TSG21 ステータスレジスタ 1	TSG21STR1	00_H	8	FFE7 1014_H	1（1H）	8
TSG21	TSG21 ステータスレジスタ 2	TSG21STR2	0000_H	16	FFE7 1018_H	1（1H）	16
TSG21	TSG21 ステータスクリアトリガレジスタ	TSG21STC	0000_H	16	FFE7 $101C_H$	1（1H）	16
TSG21	TSG21 オプションレジスタ 0	TSG21OPT0	00_H	8	FFE7 1020_H	1（1H）	8
TSG21	TSG21 オプションレジスタ 1	TSG21OPT1	00_H	8	FFE7 1024_H	1（1H）	8

(215/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
TSG21	TSG21 カウンタレジスタ	TSG21CNT	0000_H	16	FFE7 1028_H	1（1H）	16
TSG21	TSG21 サブカウンタレジスタ	TSG21SBC	0000_H	16	FFE7 $102C_H$	1（1H）	16
TSG21	TSG21 トリガレジスタ 0	TSG21TRG0	00_H	8	FFE7 1030_H	1（1H）	8
TSG21	TSG21 トリガレジスタ 1	TSG21TRG1	00_H	8	FFE7 1034_H	1（1H）	8
TSG21	TSG21 コンペアレジスタ 1,2	TSG21CMP1W	$0000\ 0000_H$	32	FFE7 1040_H	1（1H）	32
TSG21	TSG21 コンペアレジスタ 5, 6	TSG21CMP5W	$0000\ 0000_H$	32	FFE7 1044_H	1（1H）	32
TSG21	TSG21 コンペアレジスタ 9, 10	TSG21CMP9W	$0000\ 0000_H$	32	FFE7 1048_H	1（1H）	32
TSG21	TSG21 コンペアレジスタ 3, 4	TSG21CMP3W	$0000\ 0000_H$	32	FFE7 $104C_H$	1（1H）	32
TSG21	TSG21 コンペアレジスタ 7, 8	TSG21CMP7W	$0000\ 0000_H$	32	FFE7 1050_H	1（1H）	32
TSG21	TSG21 コンペアレジスタ 11, 12	TSG21CMP11W	$0000\ 0000_H$	32	FFE7 1054_H	1（1H）	32
TSG21	TSG21 コンペアレジスタ 0	TSG21CMP0	$0000\ 0000_H$	32	FFE7 1058_H	1（1H）	32
TSG21	TSG21 診断コンペアレジスタ 0, 1	TSG21DCMP0W	$0000\ 0000_H$	32	FFE7 $105C_H$	1（1H）	32
TSG21	TSG21 診断コンペアレジスタ 2	TSG21DCMP2	$0000\ 0000_H$	32	FFE7 1060_H	1（1H）	32
TSG21	TSG21 パタンレジスタ 0	TSG21PAT0W	$0000\ 0000_H$	32	FFE7 1064_H	1（1H）	32
TSG21	TSG21 パタンレジスタ 1	TSG21PAT1W	$0000\ 0000_H$	32	FFE7 1068_H	1（1H）	32
TSG21	TSG21 デッドタイムコンペアレジスタ 0	TSG21DTC0W	$0000\ 0000_H$	32	FFE7 $106C_H$	1（1H）	32
TSG21	TSG21 デッドタイムコンペアレジスタ 1	TSG21DTC1W	$0000\ 0000_H$	32	FFE7 1070_H	1（1H）	32
TSG21	TSG21 I/O 制御レジスタ 3	TSG21IOC3	$0000\ 0000_H$	32	FFE7 1074_H	1（1H）	32
TSG21	TSG21 制御レジスタ 4	TSG21CTL4	$0000\ 0000_H$	32	FFE7 $107C_H$	1（1H）	32
TSG21	TSG21 コンペアレジスタ 1	TSG21CMP1	0000_H	16	FFE7 1080_H	1（1H）	16
TSG21	TSG21 コンペアレジスタ 2	TSG21CMP2	0000_H	16	FFE7 1084_H	1（1H）	16
TSG21	TSG21 コンペアレジスタ 5	TSG21CMP5	0000_H	16	FFE7 1088_H	1（1H）	16
TSG21	TSG21 コンペアレジスタ 6	TSG21CMP6	0000_H	16	FFE7 $108C_H$	1（1H）	16
TSG21	TSG21 コンペアレジスタ 9	TSG21CMP9	0000_H	16	FFE7 1090_H	1（1H）	16
TSG21	TSG21 コンペアレジスタ 10	TSG21CMP10	0000_H	16	FFE7 1094_H	1（1H）	16
TSG21	TSG21 コンペアレジスタ 3	TSG21CMP3	0000_H	16	FFE7 1098_H	1（1H）	16
TSG21	TSG21 コンペアレジスタ 4	TSG21CMP4	0000_H	16	FFE7 $109C_H$	1（1H）	16
TSG21	TSG21 コンペアレジスタ 7	TSG21CMP7	0000_H	16	FFE7 $10A0_H$	1（1H）	16
TSG21	TSG21 コンペアレジスタ 8	TSG21CMP8	0000_H	16	FFE7 $10A4_H$	1（1H）	16
TSG21	TSG21 コンペアレジスタ 11	TSG21CMP11	0000_H	16	FFE7 $10A8_H$	1（1H）	16
TSG21	TSG21 コンペアレジスタ 12	TSG21CMP12	0000_H	16	FFE7 $10AC_H$	1（1H）	16
TSG21	TSG21 U 相用コンペアレジスタ	TSG21CMPU	0000_H	16	FFE7 $10B0_H$	1（1H）	16
TSG21	TSG21 V 相用コンペアレジスタ	TSG21CMPV	0000_H	16	FFE7 $10B4_H$	1（1H）	16
TSG21	TSG21 W 相用コンペアレジスタ	TSG21CMPW	0000_H	16	FFE7 $10B8_H$	1（1H）	16
TSG21	TSG21 U 相期間レジスタ	TSG21UPW	0000_H	16	FFE7 $10BC_H$	1（1H）	16
TSG21	TSG21 V 相期間レジスタ	TSG21VPW	0000_H	16	FFE7 $10C0_H$	1（1H）	16
TSG21	TSG21 W 相期間レジスタ	TSG21WPW	0000_H	16	FFE7 $10C4_H$	1（1H）	16
TSG21	TSG21 I/O 制御レジスタ 0	TSG21IOC0	$7E_H$	8	FFE7 1200_H	1（1H）	8
TSG21	TSG21 I/O 制御レジスタ 1	TSG21IOC1	00_H	8	FFE7 1204_H	1（1H）	8
TSG21	TSG21 制御レジスタ 0	TSG21CTL0	00_H	8	FFE7 1208_H	1（1H）	8
TSG21	TSG21 制御レジスタ 1	TSG21CTL1	0000_H	16	FFE7 $120C_H$	1（1H）	16
TSG21	TSG21 デッドタイム保護レジスタ	TSG21DTPR	0000_H	16	FFE7 1210_H	1（1H）	16
TAPA2	TAPA2 フラグレジスタ	TAPA2FLG	0000_H	16	FFE9 2000_H	1（1H）	16
TAPA2	TAPA2 非同期制御ライトイネーブルレジスタ	TAPA2ACWE	00_H	8	FFE9 2004_H	1（1H）	8
TAPA2	TAPA2 非同期制御スタートトリガレジスタ	TAPA2ACTS	00_H	8	FFE9 2008_H	1（1H）	8

(216/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
TAPA2	TAPA2 非同期制御ストップトリガレジスタ	TAPA2ACTT	00_H	8	FFE9 200C$_H$	1（1H）	8
TAPA2	TAPA2 Hi-Z スタートトリガレジスタ	TAPA2OPHS	00_H	8	FFE9 2014$_H$	1（1H）	8
TAPA2	TAPA2 Hi-Z ストップトリガレジスタ	TAPA2OPHT	00_H	8	FFE9 2018$_H$	1（1H）	8
TAPA2	TAPA2 制御レジスタ 0	TAPA2CTL0	0000_H	16	FFE9 2020$_H$	1（1H）	16
TAPA3	TAPA3 フラグレジスタ	TAPA3FLG	0000_H	16	FFE9 3000$_H$	1（1H）	16
TAPA3	TAPA3 非同期制御ライトイネーブルレジスタ	TAPA3ACWE	00_H	8	FFE9 3004$_H$	1（1H）	8
TAPA3	TAPA3 非同期制御スタートトリガレジスタ	TAPA3ACTS	00_H	8	FFE9 3008$_H$	1（1H）	8
TAPA3	TAPA3 非同期制御ストップトリガレジスタ	TAPA3ACTT	00_H	8	FFE9 300C$_H$	1（1H）	8
TAPA3	TAPA3 Hi-Z スタートトリガレジスタ	TAPA3OPHS	00_H	8	FFE9 3014$_H$	1（1H）	8
TAPA3	TAPA3 Hi-Z ストップトリガレジスタ	TAPA3OPHT	00_H	8	FFE9 3018$_H$	1（1H）	8
TAPA3	TAPA3 制御レジスタ 0	TAPA3CTL0	0000_H	16	FFE9 3020$_H$	1（1H）	16
APAA0	APA0 動作イネーブルレジスタ	APAA0EN	00_H	8	FFEB 0000$_H$	1 (1L)	8
APAA0	APA0 チャネル動作イネーブルレジスタ	APAA0CHEN	0000 0000_H	32	FFEB 0008$_H$	1 (1L)	32
APAA0	APA0 チャネル出力ステータスレジスタ	APAA0CHST	0000_H	16	FFEB 000C$_H$	1 (1L)	16
APAA0	APA0 リファレンスデータレジスタ 0	APAA0RFDT0	0000_H	16	FFEB 0200$_H$	1 (1L)	16
APAA0	APA0 リファレンスデータレジスタ 1	APAA0RFDT1	0000_H	16	FFEB 0204$_H$	1 (1L)	16
APAA0	APA0 リファレンスデータレジスタ 2	APAA0RFDT2	0000_H	16	FFEB 0208$_H$	1 (1L)	16
APAA0	APA0 リファレンスデータレジスタ 3	APAA0RFDT3	0000_H	16	FFEB 020C$_H$	1 (1L)	16
APAA0	APA0 リファレンスデータレジスタ 4	APAA0RFDT4	0000_H	16	FFEB 0210$_H$	1 (1L)	16
APAA0	APA0 リファレンスデータレジスタ 5	APAA0RFDT5	0000_H	16	FFEB 0214$_H$	1 (1L)	16
APAA0	APA0 リファレンスデータレジスタ 6	APAA0RFDT6	0000_H	16	FFEB 0218$_H$	1 (1L)	16
APAA0	APA0 リファレンスデータレジスタ 7	APAA0RFDT7	0000_H	16	FFEB 021C$_H$	1 (1L)	16
APAA0	APA0 リファレンスデータレジスタ 8	APAA0RFDT8	0000_H	16	FFEB 0220$_H$	1 (1L)	16
APAA0	APA0 リファレンスデータレジスタ 9	APAA0RFDT9	0000_H	16	FFEB 0224$_H$	1 (1L)	16
APAA0	APA0 ソフトウェアリファレンスデータレジスタ	APAA0RFSW	0000_H	16	FFEB 0228$_H$	1 (1L)	16
APAA0	APA0 リファレンス最大値設定レジスタ 0	APAA0RFMX0	$FFFF_H$	16	FFEB 0240$_H$	1 (1L)	16
APAA0	APA0 リファレンス最大値設定レジスタ 1	APAA0RFMX1	$FFFF_H$	16	FFEB 0244$_H$	1 (1L)	16
APAA0	APA0 ソフトウェアリファレンス最大値設定レジスタ	APAA0RFMXSW	$FFFF_H$	16	FFEB 0268$_H$	1 (1L)	16
APAA0	APA0 イベント選択レジスタ 0	APAA0EVSL00	00_H	8	FFEB 0400$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 1	APAA0EVSL01	00_H	8	FFEB 0404$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 2	APAA0EVSL02	00_H	8	FFEB 0408$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 3	APAA0EVSL03	00_H	8	FFEB 040C$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 4	APAA0EVSL04	00_H	8	FFEB 0410$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 5	APAA0EVSL05	00_H	8	FFEB 0414$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 6	APAA0EVSL06	00_H	8	FFEB 0418$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 7	APAA0EVSL07	00_H	8	FFEB 041C$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 8	APAA0EVSL08	00_H	8	FFEB 0420$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 9	APAA0EVSL09	00_H	8	FFEB 0424$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 10	APAA0EVSL10	00_H	8	FFEB 0428$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 11	APAA0EVSL11	00_H	8	FFEB 042C$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 12	APAA0EVSL12	00_H	8	FFEB 0430$_H$	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 13	APAA0EVSL13	00_H	8	FFEB 0434$_H$	1 (1L)	8

(217/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 イベント選択レジスタ 14	APAA0EVSL14	00_H	8	FFEB 0438_H	1 (1L)	8
APAA0	APA0 イベント選択レジスタ 15	APAA0EVSL15	00_H	8	FFEB $043C_H$	1 (1L)	8
APAA0	APA0 ソフトウェアイベントレジスタ	APAA0EVSW	$0000\ 0000_H$	32	FFEB 0440_H	1 (1L)	32
APAA0	APA0 ソフトウェアイベント設定レジスタ	APAA0EVSC	0000_H	16	FFEB 0444_H	1 (1L)	16
APAA0	APA0 イベントステータスレジスタ A	APAA0ESTA	$0000\ 0000_H$	32	FFEB 0448_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A00	APAA0CCGA00	$0000\ 0100_H$	32	FFEB 0600_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B00	APAA0CCGB00	$0000\ 0000_H$	32	FFEB 0604_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A00	APAA0CSTA00	$0000\ 0000_H$	32	FFEB 0608_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B00	APAA0CSTB00	$0000\ 0000_H$	32	FFEB $060C_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C00	APAA0CSTC00	$0000\ 0000_H$	32	FFEB 0610_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D00	APAA0CSTD00	$0000\ 0000_H$	32	FFEB 0614_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A01	APAA0CCGA01	$0000\ 0100_H$	32	FFEB 0620_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B01	APAA0CCGB01	$0000\ 0000_H$	32	FFEB 0624_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A01	APAA0CSTA01	$0000\ 0000_H$	32	FFEB 0628_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B01	APAA0CSTB01	$0000\ 0000_H$	32	FFEB $062C_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C01	APAA0CSTC01	$0000\ 0000_H$	32	FFEB 0630_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D01	APAA0CSTD01	$0000\ 0000_H$	32	FFEB 0634_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A02	APAA0CCGA02	$0000\ 0100_H$	32	FFEB 0640_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B02	APAA0CCGB02	$0000\ 0000_H$	32	FFEB 0644_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A02	APAA0CSTA02	$0000\ 0000_H$	32	FFEB 0648_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B02	APAA0CSTB02	$0000\ 0000_H$	32	FFEB $064C_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C02	APAA0CSTC02	$0000\ 0000_H$	32	FFEB 0650_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D02	APAA0CSTD02	$0000\ 0000_H$	32	FFEB 0654_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A03	APAA0CCGA03	$0000\ 0100_H$	32	FFEB 0660_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B03	APAA0CCGB03	$0000\ 0000_H$	32	FFEB 0664_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A03	APAA0CSTA03	$0000\ 0000_H$	32	FFEB 0668_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B03	APAA0CSTB03	$0000\ 0000_H$	32	FFEB $066C_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C03	APAA0CSTC03	$0000\ 0000_H$	32	FFEB 0670_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D03	APAA0CSTD03	$0000\ 0000_H$	32	FFEB 0674_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A04	APAA0CCGA04	$0000\ 0100_H$	32	FFEB 0680_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B04	APAA0CCGB04	$0000\ 0000_H$	32	FFEB 0684_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A04	APAA0CSTA04	$0000\ 0000_H$	32	FFEB 0688_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B04	APAA0CSTB04	$0000\ 0000_H$	32	FFEB $068C_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C04	APAA0CSTC04	$0000\ 0000_H$	32	FFEB 0690_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D04	APAA0CSTD04	$0000\ 0000_H$	32	FFEB 0694_H	1 (1L)	32

(218/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 チャネル設定レジスタ A05	APAA0CCGA05	$0000\ 0100_H$	32	$FFEB\ 06A0_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B05	APAA0CCGB05	$0000\ 0000_H$	32	$FFEB\ 06A4_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A05	APAA0CSTA05	$0000\ 0000_H$	32	$FFEB\ 06A8_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B05	APAA0CSTB05	$0000\ 0000_H$	32	$FFEB\ 06AC_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C05	APAA0CSTC05	$0000\ 0000_H$	32	$FFEB\ 06B0_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D05	APAA0CSTD05	$0000\ 0000_H$	32	$FFEB\ 06B4_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A06	APAA0CCGA06	$0000\ 0100_H$	32	$FFEB\ 06C0_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B06	APAA0CCGB06	$0000\ 0000_H$	32	$FFEB\ 06C4_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A06	APAA0CSTA06	$0000\ 0000_H$	32	$FFEB\ 06C8_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B06	APAA0CSTB06	$0000\ 0000_H$	32	$FFEB\ 06CC_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C06	APAA0CSTC06	$0000\ 0000_H$	32	$FFEB\ 06D0_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D06	APAA0CSTD06	$0000\ 0000_H$	32	$FFEB\ 06D4_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A07	APAA0CCGA07	$0000\ 0100_H$	32	$FFEB\ 06E0_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B07	APAA0CCGB07	$0000\ 0000_H$	32	$FFEB\ 06E4_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A07	APAA0CSTA07	$0000\ 0000_H$	32	$FFEB\ 06E8_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B07	APAA0CSTB07	$0000\ 0000_H$	32	$FFEB\ 06EC_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C07	APAA0CSTC07	$0000\ 0000_H$	32	$FFEB\ 06F0_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D07	APAA0CSTD07	$0000\ 0000_H$	32	$FFEB\ 06F4_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A08	APAA0CCGA08	$0000\ 0100_H$	32	$FFEB\ 0700_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B08	APAA0CCGB08	$0000\ 0000_H$	32	$FFEB\ 0704_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A08	APAA0CSTA08	$0000\ 0000_H$	32	$FFEB\ 0708_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B08	APAA0CSTB08	$0000\ 0000_H$	32	$FFEB\ 070C_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C08	APAA0CSTC08	$0000\ 0000_H$	32	$FFEB\ 0710_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D08	APAA0CSTD08	$0000\ 0000_H$	32	$FFEB\ 0714_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A09	APAA0CCGA09	$0000\ 0100_H$	32	$FFEB\ 0720_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B09	APAA0CCGB09	$0000\ 0000_H$	32	$FFEB\ 0724_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A09	APAA0CSTA09	$0000\ 0000_H$	32	$FFEB\ 0728_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B09	APAA0CSTB09	$0000\ 0000_H$	32	$FFEB\ 072C_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C09	APAA0CSTC09	$0000\ 0000_H$	32	$FFEB\ 0730_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D09	APAA0CSTD09	$0000\ 0000_H$	32	$FFEB\ 0734_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A10	APAA0CCGA10	$0000\ 0100_H$	32	$FFEB\ 0740_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B10	APAA0CCGB10	$0000\ 0000_H$	32	$FFEB\ 0744_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A10	APAA0CSTA10	$0000\ 0000_H$	32	$FFEB\ 0748_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B10	APAA0CSTB10	$0000\ 0000_H$	32	$FFEB\ 074C_H$	1 (1L)	32

(219/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 チャネルステータスレジスタ C10	APAA0CSTC10	0000 0000_H	32	FFEB 0750_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D10	APAA0CSTD10	0000 0000_H	32	FFEB 0754_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A11	APAA0CCGA11	0000 0100_H	32	FFEB 0760_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B11	APAA0CCGB11	0000 0000_H	32	FFEB 0764_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A11	APAA0CSTA11	0000 0000_H	32	FFEB 0768_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B11	APAA0CSTB11	0000 0000_H	32	FFEB $076C_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C11	APAA0CSTC11	0000 0000_H	32	FFEB 0770_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D11	APAA0CSTD11	0000 0000_H	32	FFEB 0774_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A12	APAA0CCGA12	0000 0100_H	32	FFEB 0780_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B12	APAA0CCGB12	0000 0000_H	32	FFEB 0784_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A12	APAA0CSTA12	0000 0000_H	32	FFEB 0788_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B12	APAA0CSTB12	0000 0000_H	32	FFEB $078C_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C12	APAA0CSTC12	0000 0000_H	32	FFEB 0790_H	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D12	APAA0CSTD12	0000 0000_H	32	FFEB 0794_H	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A13	APAA0CCGA13	0000 0100_H	32	FFEB $07A0_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B13	APAA0CCGB13	0000 0000_H	32	FFEB $07A4_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A13	APAA0CSTA13	0000 0000_H	32	FFEB $07A8_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B13	APAA0CSTB13	0000 0000_H	32	FFEB $07AC_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C13	APAA0CSTC13	0000 0000_H	32	FFEB $07B0_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D13	APAA0CSTD13	0000 0000_H	32	FFEB $07B4_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A14	APAA0CCGA14	0000 0100_H	32	FFEB $07C0_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B14	APAA0CCGB14	0000 0000_H	32	FFEB $07C4_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A14	APAA0CSTA14	0000 0000_H	32	FFEB $07C8_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B14	APAA0CSTB14	0000 0000_H	32	FFEB $07CC_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C14	APAA0CSTC14	0000 0000_H	32	FFEB $07D0_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D14	APAA0CSTD14	0000 0000_H	32	FFEB $07D4_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ A15	APAA0CCGA15	0000 0100_H	32	FFEB $07E0_H$	1 (1L)	32
APAA0	APA0 チャネル設定レジスタ B15	APAA0CCGB15	0000 0000_H	32	FFEB $07E4_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ A15	APAA0CSTA15	0000 0000_H	32	FFEB $07E8_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ B15	APAA0CSTB15	0000 0000_H	32	FFEB $07EC_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ C15	APAA0CSTC15	0000 0000_H	32	FFEB $07F0_H$	1 (1L)	32
APAA0	APA0 チャネルステータスレジスタ D15	APAA0CSTD15	0000 0000_H	32	FFEB $07F4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A000	APAA0ELMA000	不定	32	FFEB 1000_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B000	APAA0ELMB000	不定	32	FFEB 1004_H	1 (1L)	32

(220/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 エレメント設定レジスタ C000	APAA0ELMC000	不定	32	FFEB 1008_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A001	APAA0ELMA001	不定	32	FFEB 1010_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B001	APAA0ELMB001	不定	32	FFEB 1014_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C001	APAA0ELMC001	不定	32	FFEB 1018_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A002	APAA0ELMA002	不定	32	FFEB 1020_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B002	APAA0ELMB002	不定	32	FFEB 1024_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C002	APAA0ELMC002	不定	32	FFEB 1028_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A003	APAA0ELMA003	不定	32	FFEB 1030_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B003	APAA0ELMB003	不定	32	FFEB 1034_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C003	APAA0ELMC003	不定	32	FFEB 1038_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A004	APAA0ELMA004	不定	32	FFEB 1040_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B004	APAA0ELMB004	不定	32	FFEB 1044_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C004	APAA0ELMC004	不定	32	FFEB 1048_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A005	APAA0ELMA005	不定	32	FFEB 1050_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B005	APAA0ELMB005	不定	32	FFEB 1054_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C005	APAA0ELMC005	不定	32	FFEB 1058_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A006	APAA0ELMA006	不定	32	FFEB 1060_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B006	APAA0ELMB006	不定	32	FFEB 1064_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C006	APAA0ELMC006	不定	32	FFEB 1068_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A007	APAA0ELMA007	不定	32	FFEB 1070_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B007	APAA0ELMB007	不定	32	FFEB 1074_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C007	APAA0ELMC007	不定	32	FFEB 1078_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A008	APAA0ELMA008	不定	32	FFEB 1080_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B008	APAA0ELMB008	不定	32	FFEB 1084_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C008	APAA0ELMC008	不定	32	FFEB 1088_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A009	APAA0ELMA009	不定	32	FFEB 1090_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B009	APAA0ELMB009	不定	32	FFEB 1094_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C009	APAA0ELMC009	不定	32	FFEB 1098_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A010	APAA0ELMA010	不定	32	FFEB $10A0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B010	APAA0ELMB010	不定	32	FFEB $10A4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C010	APAA0ELMC010	不定	32	FFEB $10A8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A011	APAA0ELMA011	不定	32	FFEB $10B0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B011	APAA0ELMB011	不定	32	FFEB $10B4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C011	APAA0ELMC011	不定	32	FFEB $10B8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A012	APAA0ELMA012	不定	32	FFEB $10C0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B012	APAA0ELMB012	不定	32	FFEB $10C4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C012	APAA0ELMC012	不定	32	FFEB $10C8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A013	APAA0ELMA013	不定	32	FFEB $10D0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B013	APAA0ELMB013	不定	32	FFEB $10D4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C013	APAA0ELMC013	不定	32	FFEB $10D8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A014	APAA0ELMA014	不定	32	FFEB $10E0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B014	APAA0ELMB014	不定	32	FFEB $10E4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C014	APAA0ELMC014	不定	32	FFEB $10E8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A015	APAA0ELMA015	不定	32	FFEB $10F0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B015	APAA0ELMB015	不定	32	FFEB $10F4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C015	APAA0ELMC015	不定	32	FFEB $10F8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A016	APAA0ELMA016	不定	32	FFEB 1100_H	1 (1L)	32

(221/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 エレメント設定レジスタ B016	APAA0ELMB016	不定	32	FFEB 1104_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C016	APAA0ELMC016	不定	32	FFEB 1108_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A017	APAA0ELMA017	不定	32	FFEB 1110_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B017	APAA0ELMB017	不定	32	FFEB 1114_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C017	APAA0ELMC017	不定	32	FFEB 1118_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A018	APAA0ELMA018	不定	32	FFEB 1120_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B018	APAA0ELMB018	不定	32	FFEB 1124_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C018	APAA0ELMC018	不定	32	FFEB 1128_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A019	APAA0ELMA019	不定	32	FFEB 1130_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B019	APAA0ELMB019	不定	32	FFEB 1134_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C019	APAA0ELMC019	不定	32	FFEB 1138_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A020	APAA0ELMA020	不定	32	FFEB 1140_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B020	APAA0ELMB020	不定	32	FFEB 1144_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C020	APAA0ELMC020	不定	32	FFEB 1148_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A021	APAA0ELMA021	不定	32	FFEB 1150_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B021	APAA0ELMB021	不定	32	FFEB 1154_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C021	APAA0ELMC021	不定	32	FFEB 1158_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A022	APAA0ELMA022	不定	32	FFEB 1160_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B022	APAA0ELMB022	不定	32	FFEB 1164_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C022	APAA0ELMC022	不定	32	FFEB 1168_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A023	APAA0ELMA023	不定	32	FFEB 1170_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B023	APAA0ELMB023	不定	32	FFEB 1174_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C023	APAA0ELMC023	不定	32	FFEB 1178_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A024	APAA0ELMA024	不定	32	FFEB 1180_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B024	APAA0ELMB024	不定	32	FFEB 1184_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C024	APAA0ELMC024	不定	32	FFEB 1188_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A025	APAA0ELMA025	不定	32	FFEB 1190_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B025	APAA0ELMB025	不定	32	FFEB 1194_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C025	APAA0ELMC025	不定	32	FFEB 1198_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A026	APAA0ELMA026	不定	32	FFEB $11A0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B026	APAA0ELMB026	不定	32	FFEB $11A4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C026	APAA0ELMC026	不定	32	FFEB $11A8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A027	APAA0ELMA027	不定	32	FFEB $11B0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B027	APAA0ELMB027	不定	32	FFEB $11B4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C027	APAA0ELMC027	不定	32	FFEB $11B8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A028	APAA0ELMA028	不定	32	FFEB $11C0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B028	APAA0ELMB028	不定	32	FFEB $11C4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C028	APAA0ELMC028	不定	32	FFEB $11C8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A029	APAA0ELMA029	不定	32	FFEB $11D0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B029	APAA0ELMB029	不定	32	FFEB $11D4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C029	APAA0ELMC029	不定	32	FFEB $11D8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A030	APAA0ELMA030	不定	32	FFEB $11E0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B030	APAA0ELMB030	不定	32	FFEB $11E4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C030	APAA0ELMC030	不定	32	FFEB $11E8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A031	APAA0ELMA031	不定	32	FFEB $11F0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B031	APAA0ELMB031	不定	32	FFEB $11F4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C031	APAA0ELMC031	不定	32	FFEB $11F8_H$	1 (1L)	32

(222/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 エレメント設定レジスタ A032	APAA0ELMA032	不定	32	FFEB 1200_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B032	APAA0ELMB032	不定	32	FFEB 1204_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C032	APAA0ELMC032	不定	32	FFEB 1208_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A033	APAA0ELMA033	不定	32	FFEB 1210_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B033	APAA0ELMB033	不定	32	FFEB 1214_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C033	APAA0ELMC033	不定	32	FFEB 1218_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A034	APAA0ELMA034	不定	32	FFEB 1220_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B034	APAA0ELMB034	不定	32	FFEB 1224_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C034	APAA0ELMC034	不定	32	FFEB 1228_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A035	APAA0ELMA035	不定	32	FFEB 1230_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B035	APAA0ELMB035	不定	32	FFEB 1234_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C035	APAA0ELMC035	不定	32	FFEB 1238_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A036	APAA0ELMA036	不定	32	FFEB 1240_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B036	APAA0ELMB036	不定	32	FFEB 1244_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C036	APAA0ELMC036	不定	32	FFEB 1248_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A037	APAA0ELMA037	不定	32	FFEB 1250_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B037	APAA0ELMB037	不定	32	FFEB 1254_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C037	APAA0ELMC037	不定	32	FFEB 1258_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A038	APAA0ELMA038	不定	32	FFEB 1260_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B038	APAA0ELMB038	不定	32	FFEB 1264_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C038	APAA0ELMC038	不定	32	FFEB 1268_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A039	APAA0ELMA039	不定	32	FFEB 1270_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B039	APAA0ELMB039	不定	32	FFEB 1274_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C039	APAA0ELMC039	不定	32	FFEB 1278_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A040	APAA0ELMA040	不定	32	FFEB 1280_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B040	APAA0ELMB040	不定	32	FFEB 1284_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C040	APAA0ELMC040	不定	32	FFEB 1288_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A041	APAA0ELMA041	不定	32	FFEB 1290_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B041	APAA0ELMB041	不定	32	FFEB 1294_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C041	APAA0ELMC041	不定	32	FFEB 1298_H	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A042	APAA0ELMA042	不定	32	FFEB $12A0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B042	APAA0ELMB042	不定	32	FFEB $12A4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C042	APAA0ELMC042	不定	32	FFEB $12A8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A043	APAA0ELMA043	不定	32	FFEB $12B0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B043	APAA0ELMB043	不定	32	FFEB $12B4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C043	APAA0ELMC043	不定	32	FFEB $12B8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A044	APAA0ELMA044	不定	32	FFEB $12C0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B044	APAA0ELMB044	不定	32	FFEB $12C4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C044	APAA0ELMC044	不定	32	FFEB $12C8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A045	APAA0ELMA045	不定	32	FFEB $12D0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B045	APAA0ELMB045	不定	32	FFEB $12D4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C045	APAA0ELMC045	不定	32	FFEB $12D8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A046	APAA0ELMA046	不定	32	FFEB $12E0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B046	APAA0ELMB046	不定	32	FFEB $12E4_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C046	APAA0ELMC046	不定	32	FFEB $12E8_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A047	APAA0ELMA047	不定	32	FFEB $12F0_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B047	APAA0ELMB047	不定	32	FFEB $12F4_H$	1 (1L)	32

(223/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 エレメント設定レジスタ C047	APAA0ELMC047	不定	32	FFEB 12F8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A048	APAA0ELMA048	不定	32	FFEB 1300$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B048	APAA0ELMB048	不定	32	FFEB 1304$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C048	APAA0ELMC048	不定	32	FFEB 1308$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A049	APAA0ELMA049	不定	32	FFEB 1310$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B049	APAA0ELMB049	不定	32	FFEB 1314$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C049	APAA0ELMC049	不定	32	FFEB 1318$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A050	APAA0ELMA050	不定	32	FFEB 1320$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B050	APAA0ELMB050	不定	32	FFEB 1324$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C050	APAA0ELMC050	不定	32	FFEB 1328$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A051	APAA0ELMA051	不定	32	FFEB 1330$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B051	APAA0ELMB051	不定	32	FFEB 1334$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C051	APAA0ELMC051	不定	32	FFEB 1338$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A052	APAA0ELMA052	不定	32	FFEB 1340$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B052	APAA0ELMB052	不定	32	FFEB 1344$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C052	APAA0ELMC052	不定	32	FFEB 1348$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A053	APAA0ELMA053	不定	32	FFEB 1350$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B053	APAA0ELMB053	不定	32	FFEB 1354$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C053	APAA0ELMC053	不定	32	FFEB 1358$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A054	APAA0ELMA054	不定	32	FFEB 1360$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B054	APAA0ELMB054	不定	32	FFEB 1364$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C054	APAA0ELMC054	不定	32	FFEB 1368$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A055	APAA0ELMA055	不定	32	FFEB 1370$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B055	APAA0ELMB055	不定	32	FFEB 1374$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C055	APAA0ELMC055	不定	32	FFEB 1378$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A056	APAA0ELMA056	不定	32	FFEB 1380$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B056	APAA0ELMB056	不定	32	FFEB 1384$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C056	APAA0ELMC056	不定	32	FFEB 1388$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A057	APAA0ELMA057	不定	32	FFEB 1390$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B057	APAA0ELMB057	不定	32	FFEB 1394$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C057	APAA0ELMC057	不定	32	FFEB 1398$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A058	APAA0ELMA058	不定	32	FFEB 13A0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B058	APAA0ELMB058	不定	32	FFEB 13A4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C058	APAA0ELMC058	不定	32	FFEB 13A8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A059	APAA0ELMA059	不定	32	FFEB 13B0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B059	APAA0ELMB059	不定	32	FFEB 13B4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C059	APAA0ELMC059	不定	32	FFEB 13B8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A060	APAA0ELMA060	不定	32	FFEB 13C0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B060	APAA0ELMB060	不定	32	FFEB 13C4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C060	APAA0ELMC060	不定	32	FFEB 13C8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A061	APAA0ELMA061	不定	32	FFEB 13D0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B061	APAA0ELMB061	不定	32	FFEB 13D4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C061	APAA0ELMC061	不定	32	FFEB 13D8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A062	APAA0ELMA062	不定	32	FFEB 13E0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B062	APAA0ELMB062	不定	32	FFEB 13E4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C062	APAA0ELMC062	不定	32	FFEB 13E8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A063	APAA0ELMA063	不定	32	FFEB 13F0$_H$	1 (1L)	32

(224/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 エレメント設定レジスタ B063	APAA0ELMB063	不定	32	FFEB 13F4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C063	APAA0ELMC063	不定	32	FFEB 13F8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A064	APAA0ELMA064	不定	32	FFEB 1400$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B064	APAA0ELMB064	不定	32	FFEB 1404$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C064	APAA0ELMC064	不定	32	FFEB 1408$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A065	APAA0ELMA065	不定	32	FFEB 1410$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B065	APAA0ELMB065	不定	32	FFEB 1414$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C065	APAA0ELMC065	不定	32	FFEB 1418$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A066	APAA0ELMA066	不定	32	FFEB 1420$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B066	APAA0ELMB066	不定	32	FFEB 1424$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C066	APAA0ELMC066	不定	32	FFEB 1428$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A067	APAA0ELMA067	不定	32	FFEB 1430$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B067	APAA0ELMB067	不定	32	FFEB 1434$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C067	APAA0ELMC067	不定	32	FFEB 1438$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A068	APAA0ELMA068	不定	32	FFEB 1440$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B068	APAA0ELMB068	不定	32	FFEB 1444$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C068	APAA0ELMC068	不定	32	FFEB 1448$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A069	APAA0ELMA069	不定	32	FFEB 1450$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B069	APAA0ELMB069	不定	32	FFEB 1454$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C069	APAA0ELMC069	不定	32	FFEB 1458$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A070	APAA0ELMA070	不定	32	FFEB 1460$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B070	APAA0ELMB070	不定	32	FFEB 1464$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C070	APAA0ELMC070	不定	32	FFEB 1468$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A071	APAA0ELMA071	不定	32	FFEB 1470$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B071	APAA0ELMB071	不定	32	FFEB 1474$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C071	APAA0ELMC071	不定	32	FFEB 1478$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A072	APAA0ELMA072	不定	32	FFEB 1480$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B072	APAA0ELMB072	不定	32	FFEB 1484$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C072	APAA0ELMC072	不定	32	FFEB 1488$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A073	APAA0ELMA073	不定	32	FFEB 1490$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B073	APAA0ELMB073	不定	32	FFEB 1494$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C073	APAA0ELMC073	不定	32	FFEB 1498$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A074	APAA0ELMA074	不定	32	FFEB 14A0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B074	APAA0ELMB074	不定	32	FFEB 14A4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C074	APAA0ELMC074	不定	32	FFEB 14A8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A075	APAA0ELMA075	不定	32	FFEB 14B0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B075	APAA0ELMB075	不定	32	FFEB 14B4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C075	APAA0ELMC075	不定	32	FFEB 14B8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A076	APAA0ELMA076	不定	32	FFEB 14C0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B076	APAA0ELMB076	不定	32	FFEB 14C4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C076	APAA0ELMC076	不定	32	FFEB 14C8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A077	APAA0ELMA077	不定	32	FFEB 14D0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B077	APAA0ELMB077	不定	32	FFEB 14D4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C077	APAA0ELMC077	不定	32	FFEB 14D8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A078	APAA0ELMA078	不定	32	FFEB 14E0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B078	APAA0ELMB078	不定	32	FFEB 14E4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C078	APAA0ELMC078	不定	32	FFEB 14E8$_H$	1 (1L)	32

(225/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 エレメント設定レジスタ A079	APAA0ELMA079	不定	32	FFEB 14F0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B079	APAA0ELMB079	不定	32	FFEB 14F4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C079	APAA0ELMC079	不定	32	FFEB 14F8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A080	APAA0ELMA080	不定	32	FFEB 1500$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B080	APAA0ELMB080	不定	32	FFEB 1504$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C080	APAA0ELMC080	不定	32	FFEB 1508$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A081	APAA0ELMA081	不定	32	FFEB 1510$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B081	APAA0ELMB081	不定	32	FFEB 1514$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C081	APAA0ELMC081	不定	32	FFEB 1518$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A082	APAA0ELMA082	不定	32	FFEB 1520$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B082	APAA0ELMB082	不定	32	FFEB 1524$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C082	APAA0ELMC082	不定	32	FFEB 1528$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A083	APAA0ELMA083	不定	32	FFEB 1530$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B083	APAA0ELMB083	不定	32	FFEB 1534$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C083	APAA0ELMC083	不定	32	FFEB 1538$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A084	APAA0ELMA084	不定	32	FFEB 1540$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B084	APAA0ELMB084	不定	32	FFEB 1544$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C084	APAA0ELMC084	不定	32	FFEB 1548$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A085	APAA0ELMA085	不定	32	FFEB 1550$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B085	APAA0ELMB085	不定	32	FFEB 1554$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C085	APAA0ELMC085	不定	32	FFEB 1558$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A086	APAA0ELMA086	不定	32	FFEB 1560$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B086	APAA0ELMB086	不定	32	FFEB 1564$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C086	APAA0ELMC086	不定	32	FFEB 1568$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A087	APAA0ELMA087	不定	32	FFEB 1570$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B087	APAA0ELMB087	不定	32	FFEB 1574$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C087	APAA0ELMC087	不定	32	FFEB 1578$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A088	APAA0ELMA088	不定	32	FFEB 1580$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B088	APAA0ELMB088	不定	32	FFEB 1584$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C088	APAA0ELMC088	不定	32	FFEB 1588$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A089	APAA0ELMA089	不定	32	FFEB 1590$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B089	APAA0ELMB089	不定	32	FFEB 1594$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C089	APAA0ELMC089	不定	32	FFEB 1598$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A090	APAA0ELMA090	不定	32	FFEB 15A0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B090	APAA0ELMB090	不定	32	FFEB 15A4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C090	APAA0ELMC090	不定	32	FFEB 15A8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A091	APAA0ELMA091	不定	32	FFEB 15B0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B091	APAA0ELMB091	不定	32	FFEB 15B4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C091	APAA0ELMC091	不定	32	FFEB 15B8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A092	APAA0ELMA092	不定	32	FFEB 15C0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B092	APAA0ELMB092	不定	32	FFEB 15C4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C092	APAA0ELMC092	不定	32	FFEB 15C8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A093	APAA0ELMA093	不定	32	FFEB 15D0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B093	APAA0ELMB093	不定	32	FFEB 15D4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C093	APAA0ELMC093	不定	32	FFEB 15D8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A094	APAA0ELMA094	不定	32	FFEB 15E0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B094	APAA0ELMB094	不定	32	FFEB 15E4$_H$	1 (1L)	32

(226/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 エレメント設定レジスタ C094	APAA0ELMC094	不定	32	FFEB 15E8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A095	APAA0ELMA095	不定	32	FFEB 15F0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B095	APAA0ELMB095	不定	32	FFEB 15F4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C095	APAA0ELMC095	不定	32	FFEB 15F8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A096	APAA0ELMA096	不定	32	FFEB 1600$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B096	APAA0ELMB096	不定	32	FFEB 1604$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C096	APAA0ELMC096	不定	32	FFEB 1608$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A097	APAA0ELMA097	不定	32	FFEB 1610$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B097	APAA0ELMB097	不定	32	FFEB 1614$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C097	APAA0ELMC097	不定	32	FFEB 1618$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A098	APAA0ELMA098	不定	32	FFEB 1620$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B098	APAA0ELMB098	不定	32	FFEB 1624$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C098	APAA0ELMC098	不定	32	FFEB 1628$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A099	APAA0ELMA099	不定	32	FFEB 1630$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B099	APAA0ELMB099	不定	32	FFEB 1634$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C099	APAA0ELMC099	不定	32	FFEB 1638$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A100	APAA0ELMA100	不定	32	FFEB 1640$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B100	APAA0ELMB100	不定	32	FFEB 1644$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C100	APAA0ELMC100	不定	32	FFEB 1648$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A101	APAA0ELMA101	不定	32	FFEB 1650$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B101	APAA0ELMB101	不定	32	FFEB 1654$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C101	APAA0ELMC101	不定	32	FFEB 1658$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A102	APAA0ELMA102	不定	32	FFEB 1660$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B102	APAA0ELMB102	不定	32	FFEB 1664$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C102	APAA0ELMC102	不定	32	FFEB 1668$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A103	APAA0ELMA103	不定	32	FFEB 1670$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B103	APAA0ELMB103	不定	32	FFEB 1674$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C103	APAA0ELMC103	不定	32	FFEB 1678$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A104	APAA0ELMA104	不定	32	FFEB 1680$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B104	APAA0ELMB104	不定	32	FFEB 1684$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C104	APAA0ELMC104	不定	32	FFEB 1688$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A105	APAA0ELMA105	不定	32	FFEB 1690$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B105	APAA0ELMB105	不定	32	FFEB 1694$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C105	APAA0ELMC105	不定	32	FFEB 1698$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A106	APAA0ELMA106	不定	32	FFEB 16A0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B106	APAA0ELMB106	不定	32	FFEB 16A4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C106	APAA0ELMC106	不定	32	FFEB 16A8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A107	APAA0ELMA107	不定	32	FFEB 16B0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B107	APAA0ELMB107	不定	32	FFEB 16B4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C107	APAA0ELMC107	不定	32	FFEB 16B8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A108	APAA0ELMA108	不定	32	FFEB 16C0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B108	APAA0ELMB108	不定	32	FFEB 16C4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C108	APAA0ELMC108	不定	32	FFEB 16C8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A109	APAA0ELMA109	不定	32	FFEB 16D0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B109	APAA0ELMB109	不定	32	FFEB 16D4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C109	APAA0ELMC109	不定	32	FFEB 16D8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A110	APAA0ELMA110	不定	32	FFEB 16E0$_H$	1 (1L)	32

(227/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 エレメント設定レジスタ B110	APAA0ELMB110	不定	32	FFEB 16E4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C110	APAA0ELMC110	不定	32	FFEB 16E8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A111	APAA0ELMA111	不定	32	FFEB 16F0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B111	APAA0ELMB111	不定	32	FFEB 16F4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C111	APAA0ELMC111	不定	32	FFEB 16F8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A112	APAA0ELMA112	不定	32	FFEB 1700$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B112	APAA0ELMB112	不定	32	FFEB 1704$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C112	APAA0ELMC112	不定	32	FFEB 1708$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A113	APAA0ELMA113	不定	32	FFEB 1710$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B113	APAA0ELMB113	不定	32	FFEB 1714$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C113	APAA0ELMC113	不定	32	FFEB 1718$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A114	APAA0ELMA114	不定	32	FFEB 1720$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B114	APAA0ELMB114	不定	32	FFEB 1724$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C114	APAA0ELMC114	不定	32	FFEB 1728$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A115	APAA0ELMA115	不定	32	FFEB 1730$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B115	APAA0ELMB115	不定	32	FFEB 1734$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C115	APAA0ELMC115	不定	32	FFEB 1738$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A116	APAA0ELMA116	不定	32	FFEB 1740$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B116	APAA0ELMB116	不定	32	FFEB 1744$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C116	APAA0ELMC116	不定	32	FFEB 1748$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A117	APAA0ELMA117	不定	32	FFEB 1750$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B117	APAA0ELMB117	不定	32	FFEB 1754$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C117	APAA0ELMC117	不定	32	FFEB 1758$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A118	APAA0ELMA118	不定	32	FFEB 1760$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B118	APAA0ELMB118	不定	32	FFEB 1764$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C118	APAA0ELMC118	不定	32	FFEB 1768$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A119	APAA0ELMA119	不定	32	FFEB 1770$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B119	APAA0ELMB119	不定	32	FFEB 1774$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C119	APAA0ELMC119	不定	32	FFEB 1778$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A120	APAA0ELMA120	不定	32	FFEB 1780$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B120	APAA0ELMB120	不定	32	FFEB 1784$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C120	APAA0ELMC120	不定	32	FFEB 1788$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A121	APAA0ELMA121	不定	32	FFEB 1790$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B121	APAA0ELMB121	不定	32	FFEB 1794$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C121	APAA0ELMC121	不定	32	FFEB 1798$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A122	APAA0ELMA122	不定	32	FFEB 17A0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B122	APAA0ELMB122	不定	32	FFEB 17A4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C122	APAA0ELMC122	不定	32	FFEB 17A8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A123	APAA0ELMA123	不定	32	FFEB 17B0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B123	APAA0ELMB123	不定	32	FFEB 17B4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C123	APAA0ELMC123	不定	32	FFEB 17B8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A124	APAA0ELMA124	不定	32	FFEB 17C0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B124	APAA0ELMB124	不定	32	FFEB 17C4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C124	APAA0ELMC124	不定	32	FFEB 17C8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A125	APAA0ELMA125	不定	32	FFEB 17D0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B125	APAA0ELMB125	不定	32	FFEB 17D4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C125	APAA0ELMC125	不定	32	FFEB 17D8$_H$	1 (1L)	32

(228/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APAA0	APA0 エレメント設定レジスタ A126	APAA0ELMA126	不定	32	FFEB 17E0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B126	APAA0ELMB126	不定	32	FFEB 17E4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C126	APAA0ELMC126	不定	32	FFEB 17E8$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ A127	APAA0ELMA127	不定	32	FFEB 17F0$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ B127	APAA0ELMB127	不定	32	FFEB 17F4$_H$	1 (1L)	32
APAA0	APA0 エレメント設定レジスタ C127	APAA0ELMC127	不定	32	FFEB 17F8$_H$	1 (1L)	32
OSTM0	OSTM コンペアレジスタ	OSTM0CMP	0000 0000$_H$	32	FFEC 0000$_H$	1 (1L)	32
OSTM0	OSTM カウンタレジスタ	OSTM0CNT	FFFF FFFF$_H$	32	FFEC 0004$_H$	1 (1L)	32
OSTM0	OSTM 出力レジスタ	OSTM0TO	00$_H$	8	FFEC 0008$_H$	1 (1L)	8
OSTM0	OSTM 出力イネーブルレジスタ	OSTM0TOE	00$_H$	8	FFEC 000C$_H$	1 (1L)	8
OSTM0	OSTM カウントイネーブルステータスレジスタ	OSTM0TE	00$_H$	8	FFEC 0010$_H$	1 (1L)	8
OSTM0	OSTM カウント開始トリガレジスタ	OSTM0TS	00$_H$	8	FFEC 0014$_H$	1 (1L)	8
OSTM0	OSTM カウント停止トリガレジスタ	OSTM0TT	00$_H$	8	FFEC 0018$_H$	1 (1L)	8
OSTM0	OSTM 制御レジスタ	OSTM0CTL	00$_H$	8	FFEC 0020$_H$	1 (1L)	8
OSTM1	OSTM コンペアレジスタ	OSTM1CMP	0000 0000$_H$	32	FFEC 1000$_H$	1 (1L)	32
OSTM1	OSTM カウンタレジスタ	OSTM1CNT	FFFF FFFF$_H$	32	FFEC 1004$_H$	1 (1L)	32
OSTM1	OSTM 出力レジスタ	OSTM1TO	00$_H$	8	FFEC 1008$_H$	1 (1L)	8
OSTM1	OSTM 出力イネーブルレジスタ	OSTM1TOE	00$_H$	8	FFEC 100C$_H$	1 (1L)	8
OSTM1	OSTM カウントイネーブルステータスレジスタ	OSTM1TE	00$_H$	8	FFEC 1010$_H$	1 (1L)	8
OSTM1	OSTM カウント開始トリガレジスタ	OSTM1TS	00$_H$	8	FFEC 1014$_H$	1 (1L)	8
OSTM1	OSTM カウント停止トリガレジスタ	OSTM1TT	00$_H$	8	FFEC 1018$_H$	1 (1L)	8
OSTM1	OSTM 制御レジスタ	OSTM1CTL	00$_H$	8	FFEC 1020$_H$	1 (1L)	8
OSTM2	OSTM コンペアレジスタ	OSTM2CMP	0000 0000$_H$	32	FFEC 2000$_H$	1 (1L)	32
OSTM2	OSTM カウンタレジスタ	OSTM2CNT	FFFF FFFF$_H$	32	FFEC 2004$_H$	1 (1L)	32
OSTM2	OSTM 出力レジスタ	OSTM2TO	00$_H$	8	FFEC 2008$_H$	1 (1L)	8
OSTM2	OSTM 出力イネーブルレジスタ	OSTM2TOE	00$_H$	8	FFEC 200C$_H$	1 (1L)	8
OSTM2	OSTM カウントイネーブルステータスレジスタ	OSTM2TE	00$_H$	8	FFEC 2010$_H$	1 (1L)	8
OSTM2	OSTM カウント開始トリガレジスタ	OSTM2TS	00$_H$	8	FFEC 2014$_H$	1 (1L)	8
OSTM2	OSTM カウント停止トリガレジスタ	OSTM2TT	00$_H$	8	FFEC 2018$_H$	1 (1L)	8
OSTM2	OSTM 制御レジスタ	OSTM2CTL	00$_H$	8	FFEC 2020$_H$	1 (1L)	8
WDTA0	WDTA イネーブルレジスタ	WDTA0WDTE	2C$_H$	8	FFED 0000$_H$	1 (1L)	8
WDTA0	WDTA モードレジスタ	WDTA0MD	7F$_H$	8	FFED 000C$_H$	1 (1L)	8
WDTA1	WDTA イネーブルレジスタ	WDTA1WDTE	2C$_H$	8	FFED 1000$_H$	1 (1L)	8
WDTA1	WDTA モードレジスタ	WDTA1MD	7F$_H$	8	FFED 100C$_H$	1 (1L)	8
SWDT0	SWDT クリアレジスタ	SWDT0CLR	00$_H$	8	FFED 3000$_H$	1 (1L)	8
SWDT0	SWDT ステータスレジスタ 0	SWDT0STS0	00$_H$	8	FFED 3004$_H$	1 (1L)	8
SWDT0	SWDT ステータスレジスタ 1	SWDT0STS1	00$_H$	8	FFED 3008$_H$	1 (1L)	8
SWDT0	SWDT ステータスクリアレジスタ	SWDT0STSC	00$_H$	8	FFED 300C$_H$	1 (1L)	8
SWDT0	SWDT イネーブルレジスタ	SWDT0WDTE	00$_H$	8	FFED 3010$_H$	1 (1L)	8
SWDT0	SWDT モードレジスタ	SWDT0MD	70$_H$	8	FFED 3014$_H$	1 (1L)	8
SWDT2	SWDT クリアレジスタ	SWDT2CLR	00$_H$	8	FFED 5000$_H$	1 (1L)	8
SWDT2	SWDT ステータスレジスタ 0	SWDT2STS0	00$_H$	8	FFED 5004$_H$	1 (1L)	8
SWDT2	SWDT ステータスレジスタ 1	SWDT2STS1	00$_H$	8	FFED 5008$_H$	1 (1L)	8
SWDT2	SWDT ステータスクリアレジスタ	SWDT2STSC	00$_H$	8	FFED 500C$_H$	1 (1L)	8
SWDT2	SWDT イネーブルレジスタ	SWDT2WDTE	00$_H$	8	FFED 5010$_H$	1 (1L)	8

(229/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
SWDT2	SWDT モードレジスタ	SWDT2MD	70_H	8	FFED 5014_H	1 (1L)	8
APGA0	APGA0 コントロールレジスタ 0	APGA0CNTR0	00_H	8	FFED $C000_H$	1 (1L)	8
APGA0	APGA0 コントロールレジスタ 1	APGA0CNTR1	00_H	8	FFED $C004_H$	1 (1L)	8
APGA0	APGA0 コントロールレジスタ 3	APGA0CNTR3	FF_H	8	FFED $C005_H$	1 (1L)	8
APGA0	APGA0 コントロールレジスタ 2	APGA0CNTR2	0000 0000_H	32	FFED $C008_H$	1 (1L)	32、16、8
APGA0	APGA0 コントロールレジスタ 5	APGA0CNTR5	00_H	8	FFED $C01C_H$	1 (1L)	8
RHSBG0	マイクロセカンドバスコントロールレジスタ H	RHSBG0CR0H	0000 0000_H	32	FFED $D000_H$	1 (1L)	8、16、32
RHSBG0	マイクロセカンドバスコントロールレジスタ L	RHSBG0CR0L	0000 0000_H	32	FFED $D004_H$	1 (1L)	8、16、32
RHSBG0	マイクロセカンドバスコントロールレジスタ H	RHSBG0CR1H	0000 0000_H	32	FFED $D008_H$	1 (1L)	8、16、32
RHSBG0	マイクロセカンドバスコントロールレジスタ L	RHSBG0CR1L	0000 0000_H	32	FFED $D00C_H$	1 (1L)	8、16、32
RHSBG0	マイクロセカンドバスコントロールレジスタ H	RHSBG0CR2H	0000 0000_H	32	FFED $D010_H$	1 (1L)	8、16、32
RHSBG0	マイクロセカンドバスコントロールレジスタ L	RHSBG0CR2L	0000 0000_H	32	FFED $D014_H$	1 (1L)	8、16、32
RHSBG0	マイクロセカンドバスコントロールレジスタ H	RHSBG0CR3H	0000 0000_H	32	FFED $D018_H$	1 (1L)	8、16、32
RHSBG0	マイクロセカンドバスコントロールレジスタ L	RHSBG0CR3L	0000 0000_H	32	FFED $D01C_H$	1 (1L)	8、16、32
RHSBG1	マイクロセカンドバスコントロールレジスタ H	RHSBG1CR0H	0000 0000_H	32	FFED $D800_H$	1 (1L)	8、16、32
RHSBG1	マイクロセカンドバスコントロールレジスタ L	RHSBG1CR0L	0000 0000_H	32	FFED $D804_H$	1 (1L)	8、16、32
RHSBG1	マイクロセカンドバスコントロールレジスタ H	RHSBG1CR1H	0000 0000_H	32	FFED $D808_H$	1 (1L)	8、16、32
RHSBG1	マイクロセカンドバスコントロールレジスタ L	RHSBG1CR1L	0000 0000_H	32	FFED $D80C_H$	1 (1L)	8、16、32
RHSBG1	マイクロセカンドバスコントロールレジスタ H	RHSBG1CR2H	0000 0000_H	32	FFED $D810_H$	1 (1L)	8、16、32
RHSBG1	マイクロセカンドバスコントロールレジスタ L	RHSBG1CR2L	0000 0000_H	32	FFED $D814_H$	1 (1L)	8、16、32
RHSBG1	マイクロセカンドバスコントロールレジスタ H	RHSBG1CR3H	0000 0000_H	32	FFED $D818_H$	1 (1L)	8、16、32
RHSBG1	マイクロセカンドバスコントロールレジスタ L	RHSBG1CR3L	0000 0000_H	32	FFED $D81C_H$	1 (1L)	8、16、32
RHSB0	グローバル設定レジスタ	RHSB0GC	0000 0000_H	32	FFEE 0000_H	3	8、16、32
RHSB0	モジュールステータスレジスタ	RHSB0MSR	0001 0000_H	32	FFEE 0008_H	3	8、16、32
RHSB0	ダウンストリーム設定レジスタ	RHSB0DCR	0011 $FF00_H$	32	FFEE 0010_H	3	16、32
RHSB0	データエレメント設定レジスタ	RHSB0DEC	0000 0000_H	32	FFEE 0014_H	3	8、16、32
RHSB0	スレーブデバイス設定レジスタ 0	RHSB0SDC0	0000 0000_H	32	FFEE 0018_H	3	16、32
RHSB0	データエレメントビット割り当てレジスタ 0	RHSB0DEBA0	0000 0000_H	32	FFEE 0020_H	3	16、32
RHSB0	データエレメントビット割り当てレジスタ 1	RHSB0DEBA1	0000 0000_H	32	FFEE 0024_H	3	16、32
RHSB0	データエレメントビット割り当てレジスタ 2	RHSB0DEBA2	0000 0000_H	32	FFEE 0028_H	3	16、32
RHSB0	データエレメントビット割り当てレジスタ 3	RHSB0DEBA3	0000 0000_H	32	FFEE $002C_H$	3	16、32
RHSB0	緊急ビットイネーブルレジスタ 0	RHSB0EBE0	0000 0000_H	32	FFEE 0030_H	3	16、32
RHSB0	緊急ビットイネーブルレジスタ 1	RHSB0EBE1	0000 0000_H	32	FFEE 0034_H	3	16、32
RHSB0	ダウンストリーム送信制御レジスタ	RHSB0DTC	0000 0000_H	32	FFEE 0038_H	3	8、16、32
RHSB0	ダウンストリームコマンドデータレジスタ	RHSB0DCD	0000 0000_H	32	FFEE $003C_H$	3	16、32

(230/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
RHSB0	ダウンストリームデータレジスタ 0	RHSB0DDR0	0000 0000_H	32	FFEE 0040_H	3	16、32
RHSB0	ダウンストリームデータレジスタ 1	RHSB0DDR1	0000 0000_H	32	FFEE 0044_H	3	16、32
RHSB0	ダウンストリーム緊急データレジスタ 0	RHSB0DED0	0000 0000_H	32	FFEE 0048_H	3	16、32
RHSB0	ダウンストリーム緊急データレジスタ 1	RHSB0DED1	0000 0000_H	32	FFEE $004C_H$	3	16、32
RHSB0	アップストリーム設定レジスタ	RHSB0UCR	0000 1800_H	32	FFEE 0050_H	3	8、16、32
RHSB0	アップストリームチャネル設定レジスタ	RHSB0UCC	0F0F $0F0F_H$	32	FFEE 0054_H	3	8、16、32
RHSB0	アップストリームチャネル選択レジスタ	RHSB0UCS	0000 0000_H	32	FFEE 0058_H	3	8、16、32
RHSB0	アップストリームデータ読み出しレジスタ	RHSB0UDR	0000 0000_H	32	FFEE $005C_H$	3	8、16、32
RHSB0	アップストリームデータレジスタ 0	RHSB0UD0	0000 0000_H	32	FFEE 0060_H	3	8、16、32
RHSB0	アップストリームデータレジスタ 1	RHSB0UD1	0000 0000_H	32	FFEE 0064_H	3	8、16、32
RHSB0	アップストリームステータスサマリレジスタ	RHSB0USS	0000 0000_H	32	FFEE 0070_H	3	8、16、32
RHSB0	割り込み制御レジスタ	RHSB0IC	0000 0000_H	32	FFEE 0074_H	3	8、16、32
RHSB0	割り込みステータスレジスタ	RHSB0IS	0000 0000_H	32	FFEE 0078_H	3	8、16、32
RHSB0	周期 1 用ダウンストリーム設定レジスタ	RHSB0DCR1	0000 0000_H	32	FFEE $007C_H$	3	8、16、32
RHSB1	グローバル設定レジスタ	RHSB1GC	0000 0000_H	32	FFEE 1000_H	3	8、16、32
RHSB1	モジュールステータスレジスタ	RHSB1MSR	0001 0000_H	32	FFEE 1008_H	3	8、16、32
RHSB1	ダウンストリーム設定レジスタ	RHSB1DCR	0011 $FF00_H$	32	FFEE 1010_H	3	16、32
RHSB1	データエレメント設定レジスタ	RHSB1DEC	0000 0000_H	32	FFEE 1014_H	3	8、16、32
RHSB1	スレーブデバイス設定レジスタ 0	RHSB1SDC0	0000 0000_H	32	FFEE 1018_H	3	16、32
RHSB1	データエレメントビット割り当てレジスタ 0	RHSB1DEBA0	0000 0000_H	32	FFEE 1020_H	3	16、32
RHSB1	データエレメントビット割り当てレジスタ 1	RHSB1DEBA1	0000 0000_H	32	FFEE 1024_H	3	16、32
RHSB1	データエレメントビット割り当てレジスタ 2	RHSB1DEBA2	0000 0000_H	32	FFEE 1028_H	3	16、32
RHSB1	データエレメントビット割り当てレジスタ 3	RHSB1DEBA3	0000 0000_H	32	FFEE $102C_H$	3	16、32
RHSB1	緊急ビットイネーブルレジスタ 0	RHSB1EBE0	0000 0000_H	32	FFEE 1030_H	3	16、32
RHSB1	緊急ビットイネーブルレジスタ 1	RHSB1EBE1	0000 0000_H	32	FFEE 1034_H	3	16、32
RHSB1	ダウンストリーム送信制御レジスタ	RHSB1DTC	0000 0000_H	32	FFEE 1038_H	3	8、16、32
RHSB1	ダウンストリームコマンドデータレジスタ	RHSB1DCD	0000 0000_H	32	FFEE $103C_H$	3	16、32
RHSB1	ダウンストリームデータレジスタ 0	RHSB1DDR0	0000 0000_H	32	FFEE 1040_H	3	16、32
RHSB1	ダウンストリームデータレジスタ 1	RHSB1DDR1	0000 0000_H	32	FFEE 1044_H	3	16、32
RHSB1	ダウンストリーム緊急データレジスタ 0	RHSB1DED0	0000 0000_H	32	FFEE 1048_H	3	16、32
RHSB1	ダウンストリーム緊急データレジスタ 1	RHSB1DED1	0000 0000_H	32	FFEE $104C_H$	3	16、32
RHSB1	アップストリーム設定レジスタ	RHSB1UCR	0000 1800_H	32	FFEE 1050_H	3	8、16、32
RHSB1	アップストリームチャネル設定レジスタ	RHSB1UCC	0F0F $0F0F_H$	32	FFEE 1054_H	3	8、16、32
RHSB1	アップストリームチャネル選択レジスタ	RHSB1UCS	0000 0000_H	32	FFEE 1058_H	3	8、16、32
RHSB1	アップストリームデータ読み出しレジスタ	RHSB1UDR	0000 0000_H	32	FFEE $105C_H$	3	8、16、32
RHSB1	アップストリームデータレジスタ 0	RHSB1UD0	0000 0000_H	32	FFEE 1060_H	3	8、16、32
RHSB1	アップストリームデータレジスタ 1	RHSB1UD1	0000 0000_H	32	FFEE 1064_H	3	8、16、32
RHSB1	アップストリームステータスサマリレジスタ	RHSB1USS	0000 0000_H	32	FFEE 1070_H	3	8、16、32
RHSB1	割り込み制御レジスタ	RHSB1IC	0000 0000_H	32	FFEE 1074_H	3	8、16、32
RHSB1	割り込みステータスレジスタ	RHSB1IS	0000 0000_H	32	FFEE 1078_H	3	8、16、32
RHSB1	周期 1 用ダウンストリーム設定レジスタ	RHSB1DCR1	0000 0000_H	32	FFEE $107C_H$	3	8、16、32

(231/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ADCB0	仮想チャネルレジスタ 0	ADCB0VCR00	0000_H	16	FFF2 0000_H	3	8、16
ADCB0	仮想チャネルレジスタ 1	ADCB0VCR01	0000_H	16	FFF2 0004_H	3	8、16
ADCB0	仮想チャネルレジスタ 2	ADCB0VCR02	0000_H	16	FFF2 0008_H	3	8、16
ADCB0	仮想チャネルレジスタ 3	ADCB0VCR03	0000_H	16	FFF2 $000C_H$	3	8、16
ADCB0	仮想チャネルレジスタ 4	ADCB0VCR04	0000_H	16	FFF2 0010_H	3	8、16
ADCB0	仮想チャネルレジスタ 5	ADCB0VCR05	0000_H	16	FFF2 0014_H	3	8、16
ADCB0	仮想チャネルレジスタ 6	ADCB0VCR06	0000_H	16	FFF2 0018_H	3	8、16
ADCB0	仮想チャネルレジスタ 7	ADCB0VCR07	0000_H	16	FFF2 $001C_H$	3	8、16
ADCB0	仮想チャネルレジスタ 8	ADCB0VCR08	0000_H	16	FFF2 0020_H	3	8、16
ADCB0	仮想チャネルレジスタ 9	ADCB0VCR09	0000_H	16	FFF2 0024_H	3	8、16
ADCB0	仮想チャネルレジスタ 10	ADCB0VCR10	0000_H	16	FFF2 0028_H	3	8、16
ADCB0	仮想チャネルレジスタ 11	ADCB0VCR11	0000_H	16	FFF2 $002C_H$	3	8、16
ADCB0	仮想チャネルレジスタ 12	ADCB0VCR12	0000_H	16	FFF2 0030_H	3	8、16
ADCB0	仮想チャネルレジスタ 13	ADCB0VCR13	0000_H	16	FFF2 0034_H	3	8、16
ADCB0	仮想チャネルレジスタ 14	ADCB0VCR14	0000_H	16	FFF2 0038_H	3	8、16
ADCB0	仮想チャネルレジスタ 15	ADCB0VCR15	0000_H	16	FFF2 $003C_H$	3	8、16
ADCB0	仮想チャネルレジスタ 16	ADCB0VCR16	0000_H	16	FFF2 0040_H	3	8、16
ADCB0	仮想チャネルレジスタ 17	ADCB0VCR17	0000_H	16	FFF2 0044_H	3	8、16
ADCB0	仮想チャネルレジスタ 18	ADCB0VCR18	0000_H	16	FFF2 0048_H	3	8、16
ADCB0	仮想チャネルレジスタ 19	ADCB0VCR19	0000_H	16	FFF2 $004C_H$	3	8、16
ADCB0	仮想チャネルレジスタ 20	ADCB0VCR20	0000_H	16	FFF2 0050_H	3	8、16
ADCB0	仮想チャネルレジスタ 21	ADCB0VCR21	0000_H	16	FFF2 0054_H	3	8、16
ADCB0	仮想チャネルレジスタ 22	ADCB0VCR22	0000_H	16	FFF2 0058_H	3	8、16
ADCB0	仮想チャネルレジスタ 23	ADCB0VCR23	0000_H	16	FFF2 $005C_H$	3	8、16
ADCB0	仮想チャネルレジスタ 24	ADCB0VCR24	0000_H	16	FFF2 0060_H	3	8、16
ADCB0	仮想チャネルレジスタ 25	ADCB0VCR25	0000_H	16	FFF2 0064_H	3	8、16
ADCB0	仮想チャネルレジスタ 26	ADCB0VCR26	0000_H	16	FFF2 0068_H	3	8、16
ADCB0	仮想チャネルレジスタ 27	ADCB0VCR27	0000_H	16	FFF2 $006C_H$	3	8、16
ADCB0	仮想チャネルレジスタ 28	ADCB0VCR28	0000_H	16	FFF2 0070_H	3	8、16
ADCB0	仮想チャネルレジスタ 29	ADCB0VCR29	0000_H	16	FFF2 0074_H	3	8、16
ADCB0	仮想チャネルレジスタ 30	ADCB0VCR30	0000_H	16	FFF2 0078_H	3	8、16
ADCB0	仮想チャネルレジスタ 31	ADCB0VCR31	0000_H	16	FFF2 $007C_H$	3	8、16
ADCB0	仮想チャネルレジスタ 32	ADCB0VCR32	0000_H	16	FFF2 0080_H	3	8、16
ADCB0	仮想チャネルレジスタ 33	ADCB0VCR33	0000_H	16	FFF2 0084_H	3	8、16
ADCB0	仮想チャネルレジスタ 34	ADCB0VCR34	0000_H	16	FFF2 0088_H	3	8、16
ADCB0	仮想チャネルレジスタ 35	ADCB0VCR35	0000_H	16	FFF2 $008C_H$	3	8、16
ADCB0	仮想チャネルレジスタ 36	ADCB0VCR36	0000_H	16	FFF2 0090_H	3	8、16
ADCB0	仮想チャネルレジスタ 37	ADCB0VCR37	0000_H	16	FFF2 0094_H	3	8、16
ADCB0	仮想チャネルレジスタ 38	ADCB0VCR38	0000_H	16	FFF2 0098_H	3	8、16
ADCB0	仮想チャネルレジスタ 39	ADCB0VCR39	0000_H	16	FFF2 $009C_H$	3	8、16
ADCB0	データレジスタ 0	ADCB0DR00	0000_H	16	FFF2 0100_H	3	16、32
ADCB0	データレジスタ 1	ADCB0DR01	0000_H	16	FFF2 0102_H	3	16
ADCB0	データレジスタ 2	ADCB0DR02	0000_H	16	FFF2 0104_H	3	16、32
ADCB0	データレジスタ 3	ADCB0DR03	0000_H	16	FFF2 0106_H	3	16
ADCB0	データレジスタ 4	ADCB0DR04	0000_H	16	FFF2 0108_H	3	16、32
ADCB0	データレジスタ 5	ADCB0DR05	0000_H	16	FFF2 $010A_H$	3	16
ADCB0	データレジスタ 6	ADCB0DR06	0000_H	16	FFF2 $010C_H$	3	16、32

(232/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ADCB0	データレジスタ 7	ADCB0DR07	0000_H	16	FFF2 010E_H	3	16
ADCB0	データレジスタ 8	ADCB0DR08	0000_H	16	FFF2 0110_H	3	16、32
ADCB0	データレジスタ 9	ADCB0DR09	0000_H	16	FFF2 0112_H	3	16
ADCB0	データレジスタ 10	ADCB0DR10	0000_H	16	FFF2 0114_H	3	16、32
ADCB0	データレジスタ 11	ADCB0DR11	0000_H	16	FFF2 0116_H	3	16
ADCB0	データレジスタ 12	ADCB0DR12	0000_H	16	FFF2 0118_H	3	16、32
ADCB0	データレジスタ 13	ADCB0DR13	0000_H	16	FFF2 011A_H	3	16
ADCB0	データレジスタ 14	ADCB0DR14	0000_H	16	FFF2 011C_H	3	16、32
ADCB0	データレジスタ 15	ADCB0DR15	0000_H	16	FFF2 011E_H	3	16
ADCB0	データレジスタ 16	ADCB0DR16	0000_H	16	FFF2 0120_H	3	16、32
ADCB0	データレジスタ 17	ADCB0DR17	0000_H	16	FFF2 0122_H	3	16
ADCB0	データレジスタ 18	ADCB0DR18	0000_H	16	FFF2 0124_H	3	16、32
ADCB0	データレジスタ 19	ADCB0DR19	0000_H	16	FFF2 0126_H	3	16
ADCB0	データレジスタ 20	ADCB0DR20	0000_H	16	FFF2 0128_H	3	16、32
ADCB0	データレジスタ 21	ADCB0DR21	0000_H	16	FFF2 012A_H	3	16
ADCB0	データレジスタ 22	ADCB0DR22	0000_H	16	FFF2 012C_H	3	16、32
ADCB0	データレジスタ 23	ADCB0DR23	0000_H	16	FFF2 012E_H	3	16
ADCB0	データレジスタ 24	ADCB0DR24	0000_H	16	FFF2 0130_H	3	16、32
ADCB0	データレジスタ 25	ADCB0DR25	0000_H	16	FFF2 0132_H	3	16
ADCB0	データレジスタ 26	ADCB0DR26	0000_H	16	FFF2 0134_H	3	16、32
ADCB0	データレジスタ 27	ADCB0DR27	0000_H	16	FFF2 0136_H	3	16
ADCB0	データレジスタ 28	ADCB0DR28	0000_H	16	FFF2 0138_H	3	16、32
ADCB0	データレジスタ 29	ADCB0DR29	0000_H	16	FFF2 013A_H	3	16
ADCB0	データレジスタ 30	ADCB0DR30	0000_H	16	FFF2 013C_H	3	16、32
ADCB0	データレジスタ 31	ADCB0DR31	0000_H	16	FFF2 013E_H	3	16
ADCB0	データレジスタ 32	ADCB0DR32	0000_H	16	FFF2 0140_H	3	16、32
ADCB0	データレジスタ 33	ADCB0DR33	0000_H	16	FFF2 0142_H	3	16
ADCB0	データレジスタ 34	ADCB0DR34	0000_H	16	FFF2 0144_H	3	16、32
ADCB0	データレジスタ 35	ADCB0DR35	0000_H	16	FFF2 0146_H	3	16
ADCB0	データレジスタ 36	ADCB0DR36	0000_H	16	FFF2 0148_H	3	16、32
ADCB0	データレジスタ 37	ADCB0DR37	0000_H	16	FFF2 014A_H	3	16
ADCB0	データレジスタ 38	ADCB0DR38	0000_H	16	FFF2 014C_H	3	16、32
ADCB0	データレジスタ 39	ADCB0DR39	0000_H	16	FFF2 014E_H	3	16
ADCB0	データ付帯情報レジスタ 0	ADCB0DIR00	$0000\ 0000_H$	32	FFF2 0200_H	3	32
ADCB0	データ付帯情報レジスタ 1	ADCB0DIR01	$0000\ 0000_H$	32	FFF2 0204_H	3	32
ADCB0	データ付帯情報レジスタ 2	ADCB0DIR02	$0000\ 0000_H$	32	FFF2 0208_H	3	32
ADCB0	データ付帯情報レジスタ 3	ADCB0DIR03	$0000\ 0000_H$	32	FFF2 020C_H	3	32
ADCB0	データ付帯情報レジスタ 4	ADCB0DIR04	$0000\ 0000_H$	32	FFF2 0210_H	3	32
ADCB0	データ付帯情報レジスタ 5	ADCB0DIR05	$0000\ 0000_H$	32	FFF2 0214_H	3	32
ADCB0	データ付帯情報レジスタ 6	ADCB0DIR06	$0000\ 0000_H$	32	FFF2 0218_H	3	32
ADCB0	データ付帯情報レジスタ 7	ADCB0DIR07	$0000\ 0000_H$	32	FFF2 021C_H	3	32
ADCB0	データ付帯情報レジスタ 8	ADCB0DIR08	$0000\ 0000_H$	32	FFF2 0220_H	3	32
ADCB0	データ付帯情報レジスタ 9	ADCB0DIR09	$0000\ 0000_H$	32	FFF2 0224_H	3	32
ADCB0	データ付帯情報レジスタ 10	ADCB0DIR10	$0000\ 0000_H$	32	FFF2 0228_H	3	32
ADCB0	データ付帯情報レジスタ 11	ADCB0DIR11	$0000\ 0000_H$	32	FFF2 022C_H	3	32
ADCB0	データ付帯情報レジスタ 12	ADCB0DIR12	$0000\ 0000_H$	32	FFF2 0230_H	3	32
ADCB0	データ付帯情報レジスタ 13	ADCB0DIR13	$0000\ 0000_H$	32	FFF2 0234_H	3	32

(233/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ADCB0	データ付帯情報レジスタ 14	ADCB0DIR14	$0000\ 0000_H$	32	$FFF2\ 0238_H$	3	32
ADCB0	データ付帯情報レジスタ 15	ADCB0DIR15	$0000\ 0000_H$	32	$FFF2\ 023C_H$	3	32
ADCB0	データ付帯情報レジスタ 16	ADCB0DIR16	$0000\ 0000_H$	32	$FFF2\ 0240_H$	3	32
ADCB0	データ付帯情報レジスタ 17	ADCB0DIR17	$0000\ 0000_H$	32	$FFF2\ 0244_H$	3	32
ADCB0	データ付帯情報レジスタ 18	ADCB0DIR18	$0000\ 0000_H$	32	$FFF2\ 0248_H$	3	32
ADCB0	データ付帯情報レジスタ 19	ADCB0DIR19	$0000\ 0000_H$	32	$FFF2\ 024C_H$	3	32
ADCB0	データ付帯情報レジスタ 20	ADCB0DIR20	$0000\ 0000_H$	32	$FFF2\ 0250_H$	3	32
ADCB0	データ付帯情報レジスタ 21	ADCB0DIR21	$0000\ 0000_H$	32	$FFF2\ 0254_H$	3	32
ADCB0	データ付帯情報レジスタ 22	ADCB0DIR22	$0000\ 0000_H$	32	$FFF2\ 0258_H$	3	32
ADCB0	データ付帯情報レジスタ 23	ADCB0DIR23	$0000\ 0000_H$	32	$FFF2\ 025C_H$	3	32
ADCB0	データ付帯情報レジスタ 24	ADCB0DIR24	$0000\ 0000_H$	32	$FFF2\ 0260_H$	3	32
ADCB0	データ付帯情報レジスタ 25	ADCB0DIR25	$0000\ 0000_H$	32	$FFF2\ 0264_H$	3	32
ADCB0	データ付帯情報レジスタ 26	ADCB0DIR26	$0000\ 0000_H$	32	$FFF2\ 0268_H$	3	32
ADCB0	データ付帯情報レジスタ 27	ADCB0DIR27	$0000\ 0000_H$	32	$FFF2\ 026C_H$	3	32
ADCB0	データ付帯情報レジスタ 28	ADCB0DIR28	$0000\ 0000_H$	32	$FFF2\ 0270_H$	3	32
ADCB0	データ付帯情報レジスタ 29	ADCB0DIR29	$0000\ 0000_H$	32	$FFF2\ 0274_H$	3	32
ADCB0	データ付帯情報レジスタ 30	ADCB0DIR30	$0000\ 0000_H$	32	$FFF2\ 0278_H$	3	32
ADCB0	データ付帯情報レジスタ 31	ADCB0DIR31	$0000\ 0000_H$	32	$FFF2\ 027C_H$	3	32
ADCB0	データ付帯情報レジスタ 32	ADCB0DIR32	$0000\ 0000_H$	32	$FFF2\ 0280_H$	3	32
ADCB0	データ付帯情報レジスタ 33	ADCB0DIR33	$0000\ 0000_H$	32	$FFF2\ 0284_H$	3	32
ADCB0	データ付帯情報レジスタ 34	ADCB0DIR34	$0000\ 0000_H$	32	$FFF2\ 0288_H$	3	32
ADCB0	データ付帯情報レジスタ 35	ADCB0DIR35	$0000\ 0000_H$	32	$FFF2\ 028C_H$	3	32
ADCB0	データ付帯情報レジスタ 36	ADCB0DIR36	$0000\ 0000_H$	32	$FFF2\ 0290_H$	3	32
ADCB0	データ付帯情報レジスタ 37	ADCB0DIR37	$0000\ 0000_H$	32	$FFF2\ 0294_H$	3	32
ADCB0	データ付帯情報レジスタ 38	ADCB0DIR38	$0000\ 0000_H$	32	$FFF2\ 0298_H$	3	32
ADCB0	データ付帯情報レジスタ 39	ADCB0DIR39	$0000\ 0000_H$	32	$FFF2\ 029C_H$	3	32
ADCB0	AD 同期開始制御レジスタ	ADCB0ADSYNSTCR	00_H	8	$FFF2\ 0300_H$	3	8
ADCB0	AD タイマ同期開始制御レジスタ	ADCB0ADTSYNSTCR	00_H	8	$FFF2\ 0304_H$	3	8
ADCB0	AD 終了レジスタ	ADCB0ADHALTR	00_H	8	$FFF2\ 0380_H$	3	8
ADCB0	AD 制御レジスタ 1	ADCB0ADCR1	00_H	8	$FFF2\ 0384_H$	3	8
ADCB0	MPX カレント制御レジスタ	ADCB0MPXCURCR	00_H	8	$FFF2\ 0388_H$	3	8
ADCB0	MPX カレントレジスタ	ADCB0MPXCURR	$0000\ 0000_H$	32	$FFF2\ 038C_H$	3	32
ADCB0	MPX 任意ウェイトレジスタ	ADCB0MPXOWR	00_H	8	$FFF2\ 0390_H$	3	8
ADCB0	MPX コマンド情報レジスタ	ADCB0MPXCMDR	00_H	8	$FFF2\ 0394_H$	3	8
ADCB0	AD 制御レジスタ 2	ADCB0ADCR2	00_H	8	$FFF2\ 0398_H$	3	8
ADCB0	DFE/APA/ASF エントリスキャングループイネーブルレジスタ	ADCB0DFASENTSGER	0000_H	16	$FFF2\ 039C_H$	3	16
ADCB0	AD 変換モニタ仮想チャネルポインタ	ADCB0ADENDP	00_H	8	$FFF2\ 03A0_H$	3	8
ADCB0	セーフティ制御レジスタ	ADCB0SFTCR	00_H	8	$FFF2\ 03C0_H$	3	8
ADCB0	端子レベル自己診断制御レジスタ	ADCB0TDCR	00_H	8	$FFF2\ 03C4_H$	3	8
ADCB0	断線検出制御レジスタ	ADCB0ODCR	00_H	8	$FFF2\ 03C8_H$	3	8
ADCB0	上限／下限テーブルレジスタ 0	ADCB0ULLMTBR0	$7FFE\ 0000_H$	32	$FFF2\ 03CC_H$	3	16、32
ADCB0	上限／下限テーブルレジスタ 1	ADCB0ULLMTBR1	$7FFE\ 0000_H$	32	$FFF2\ 03D0_H$	3	16、32
ADCB0	上限／下限テーブルレジスタ 2	ADCB0ULLMTBR2	$7FFE\ 0000_H$	32	$FFF2\ 03D4_H$	3	16、32
ADCB0	エラークリアレジスタ	ADCB0ECR	00_H	8	$FFF2\ 03D8_H$	3	8
ADCB0	上限／下限エラーレジスタ	ADCB0ULER	00_H	8	$FFF2\ 03DC_H$	3	8
ADCB0	オーバーライトエラーレジスタ	ADCB0OWER	00_H	8	$FFF2\ 03E0_H$	3	8

(234/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ADCB0	パリティエラーレジスタ	ADCB0PER	00_H	8	FFF2 $03E4_H$	3	8
ADCB0	ID エラーレジスタ	ADCB0IDER	00_H	8	FFF2 $03E8_H$	3	8
ADCB0	スキャングループ 0 開始制御レジスタ	ADCB0SGSTCR0	00_H	8	FFF2 0480_H	3	8
ADCB0	スキャングループ 0 制御レジスタ	ADCB0SGCR0	00_H	8	FFF2 0490_H	3	8
ADCB0	スキャングループ 0 開始仮想チャネルポインタ	ADCB0SGVCSP0	00_H	8	FFF2 0494_H	3	8
ADCB0	スキャングループ 0 終了仮想チャネルポインタ	ADCB0SGVCEP0	00_H	8	FFF2 0498_H	3	8
ADCB0	スキャングループ 0 マルチサイクルレジスタ	ADCB0SGMCYCR0	00_H	8	FFF2 $049C_H$	3	8
ADCB0	スキャングループ 0 ステータスレジスタ	ADCB0SGSR0	00_H	8	FFF2 $04A4_H$	3	8
ADCB0	スキャングループ 0 上限値／下限値テーブル選択レジスタ	ADCB0ULLMSR0	00_H	8	FFF2 $04B0_H$	3	8
ADCB0	スキャングループ 1 開始制御レジスタ	ADCB0SGSTCR1	00_H	8	FFF2 0500_H	3	8
ADCB0	スキャングループ 1 制御レジスタ	ADCB0SGCR1	00_H	8	FFF2 0510_H	3	8
ADCB0	スキャングループ 1 開始仮想チャネルポインタ	ADCB0SGVCSP1	00_H	8	FFF2 0514_H	3	8
ADCB0	スキャングループ 1 終了仮想チャネルポインタ	ADCB0SGVCEP1	00_H	8	FFF2 0518_H	3	8
ADCB0	スキャングループ 1 マルチサイクルレジスタ	ADCB0SGMCYCR1	00_H	8	FFF2 $051C_H$	3	8
ADCB0	スキャングループ 1 ステータスレジスタ	ADCB0SGSR1	00_H	8	FFF2 0524_H	3	8
ADCB0	スキャングループ 1 上限値／下限値テーブル選択レジスタ	ADCB0ULLMSR1	00_H	8	FFF2 0530_H	3	8
ADCB0	スキャングループ 2 開始制御レジスタ	ADCB0SGSTCR2	00_H	8	FFF2 0580_H	3	8
ADCB0	スキャングループ 2 制御レジスタ	ADCB0SGCR2	00_H	8	FFF2 0590_H	3	8
ADCB0	スキャングループ 2 開始仮想チャネルポインタ	ADCB0SGVCSP2	00_H	8	FFF2 0594_H	3	8
ADCB0	スキャングループ 2 終了仮想チャネルポインタ	ADCB0SGVCEP2	00_H	8	FFF2 0598_H	3	8
ADCB0	スキャングループ 2 マルチサイクルレジスタ	ADCB0SGMCYCR2	00_H	8	FFF2 $059C_H$	3	8
ADCB0	スキャングループ 2 ステータスレジスタ	ADCB0SGSR2	00_H	8	FFF2 $05A4_H$	3	8
ADCB0	スキャングループ 2 上限値／下限値テーブル選択レジスタ	ADCB0ULLMSR2	00_H	8	FFF2 $05B0_H$	3	8
ADCB0	スキャングループ 3 開始制御レジスタ	ADCB0SGSTCR3	00_H	8	FFF2 0600_H	3	8
ADCB0	AD タイマ 3 開始制御レジスタ	ADCB0ADTSTCR3	00_H	8	FFF2 0608_H	3	8
ADCB0	AD タイマ 3 終了制御レジスタ	ADCB0ADTENDCR3	00_H	8	FFF2 $060C_H$	3	8
ADCB0	スキャングループ 3 制御レジスタ	ADCB0SGCR3	00_H	8	FFF2 0610_H	3	8
ADCB0	スキャングループ 3 開始仮想チャネルポインタ	ADCB0SGVCSP3	00_H	8	FFF2 0614_H	3	8
ADCB0	スキャングループ 3 終了仮想チャネルポインタ	ADCB0SGVCEP3	00_H	8	FFF2 0618_H	3	8
ADCB0	スキャングループ 3 マルチサイクルレジスタ	ADCB0SGMCYCR3	00_H	8	FFF2 $061C_H$	3	8
ADCB0	スキャングループ 3 ステータスレジスタ	ADCB0SGSR3	00_H	8	FFF2 0624_H	3	8
ADCB0	AD タイマ初期位相レジスタ 3	ADCB0ADTIPR3	$0000\ 0000_H$	32	FFF2 0628_H	3	32
ADCB0	AD タイマ周期レジスタ 3	ADCB0ADTPRR3	$001F\ FFFF_H$	32	FFF2 $062C_H$	3	32
ADCB0	スキャングループ 3 上限値／下限値テーブル選択レジスタ	ADCB0ULLMSR3	00_H	8	FFF2 0630_H	3	8
ADCB0	スキャングループ 4 開始制御レジスタ	ADCB0SGSTCR4	00_H	8	FFF2 0680_H	3	8
ADCB0	AD タイマ 4 開始制御レジスタ	ADCB0ADTSTCR4	00_H	8	FFF2 0688_H	3	8
ADCB0	AD タイマ 4 終了制御レジスタ	ADCB0ADTENDCR4	00_H	8	FFF2 $068C_H$	3	8

(235/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ADCB0	スキャングループ 4 制御レジスタ	ADCB0SGCR4	00_H	8	FFF2 0690_H	3	8
ADCB0	スキャングループ 4 開始仮想チャネルポインタ	ADCB0SGVCSP4	00_H	8	FFF2 0694_H	3	8
ADCB0	スキャングループ 4 終了仮想チャネルポインタ	ADCB0SGVCEP4	00_H	8	FFF2 0698_H	3	8
ADCB0	スキャングループ 4 マルチサイクルレジスタ	ADCB0SGMCYCR4	00_H	8	FFF2 $069C_H$	3	8
ADCB0	スキャングループ 4 ステータスレジスタ	ADCB0SGSR4	00_H	8	FFF2 $06A4_H$	3	8
ADCB0	AD タイマ初期位相レジスタ 4	ADCB0ADTIPR4	$0000\ 0000_H$	32	FFF2 $06A8_H$	3	32
ADCB0	AD タイマ周期レジスタ 4	ADCB0ADTPRR4	$001F\ FFFF_H$	32	FFF2 $06AC_H$	3	32
ADCB0	スキャングループ 4 上限値／下限値テーブル選択レジスタ	ADCB0ULLMSR4	00_H	8	FFF2 $06B0_H$	3	8
ADCB1	仮想チャネルレジスタ 0	ADCB1VCR00	0000_H	16	FFF2 1000_H	3	8、16
ADCB1	仮想チャネルレジスタ 1	ADCB1VCR01	0000_H	16	FFF2 1004_H	3	8、16
ADCB1	仮想チャネルレジスタ 2	ADCB1VCR02	0000_H	16	FFF2 1008_H	3	8、16
ADCB1	仮想チャネルレジスタ 3	ADCB1VCR03	0000_H	16	FFF2 $100C_H$	3	8、16
ADCB1	仮想チャネルレジスタ 4	ADCB1VCR04	0000_H	16	FFF2 1010_H	3	8、16
ADCB1	仮想チャネルレジスタ 5	ADCB1VCR05	0000_H	16	FFF2 1014_H	3	8、16
ADCB1	仮想チャネルレジスタ 6	ADCB1VCR06	0000_H	16	FFF2 1018_H	3	8、16
ADCB1	仮想チャネルレジスタ 7	ADCB1VCR07	0000_H	16	FFF2 $101C_H$	3	8、16
ADCB1	仮想チャネルレジスタ 8	ADCB1VCR08	0000_H	16	FFF2 1020_H	3	8、16
ADCB1	仮想チャネルレジスタ 9	ADCB1VCR09	0000_H	16	FFF2 1024_H	3	8、16
ADCB1	仮想チャネルレジスタ 10	ADCB1VCR10	0000_H	16	FFF2 1028_H	3	8、16
ADCB1	仮想チャネルレジスタ 11	ADCB1VCR11	0000_H	16	FFF2 $102C_H$	3	8、16
ADCB1	仮想チャネルレジスタ 12	ADCB1VCR12	0000_H	16	FFF2 1030_H	3	8、16
ADCB1	仮想チャネルレジスタ 13	ADCB1VCR13	0000_H	16	FFF2 1034_H	3	8、16
ADCB1	仮想チャネルレジスタ 14	ADCB1VCR14	0000_H	16	FFF2 1038_H	3	8、16
ADCB1	仮想チャネルレジスタ 15	ADCB1VCR15	0000_H	16	FFF2 $103C_H$	3	8、16
ADCB1	仮想チャネルレジスタ 16	ADCB1VCR16	0000_H	16	FFF2 1040_H	3	8、16
ADCB1	仮想チャネルレジスタ 17	ADCB1VCR17	0000_H	16	FFF2 1044_H	3	8、16
ADCB1	仮想チャネルレジスタ 18	ADCB1VCR18	0000_H	16	FFF2 1048_H	3	8、16
ADCB1	仮想チャネルレジスタ 19	ADCB1VCR19	0000_H	16	FFF2 $104C_H$	3	8、16
ADCB1	仮想チャネルレジスタ 20	ADCB1VCR20	0000_H	16	FFF2 1050_H	3	8、16
ADCB1	仮想チャネルレジスタ 21	ADCB1VCR21	0000_H	16	FFF2 1054_H	3	8、16
ADCB1	仮想チャネルレジスタ 22	ADCB1VCR22	0000_H	16	FFF2 1058_H	3	8、16
ADCB1	仮想チャネルレジスタ 23	ADCB1VCR23	0000_H	16	FFF2 $105C_H$	3	8、16
ADCB1	仮想チャネルレジスタ 24	ADCB1VCR24	0000_H	16	FFF2 1060_H	3	8、16
ADCB1	仮想チャネルレジスタ 25	ADCB1VCR25	0000_H	16	FFF2 1064_H	3	8、16
ADCB1	仮想チャネルレジスタ 26	ADCB1VCR26	0000_H	16	FFF2 1068_H	3	8、16
ADCB1	仮想チャネルレジスタ 27	ADCB1VCR27	0000_H	16	FFF2 $106C_H$	3	8、16
ADCB1	仮想チャネルレジスタ 28	ADCB1VCR28	0000_H	16	FFF2 1070_H	3	8、16
ADCB1	仮想チャネルレジスタ 29	ADCB1VCR29	0000_H	16	FFF2 1074_H	3	8、16
ADCB1	仮想チャネルレジスタ 30	ADCB1VCR30	0000_H	16	FFF2 1078_H	3	8、16
ADCB1	仮想チャネルレジスタ 31	ADCB1VCR31	0000_H	16	FFF2 $107C_H$	3	8、16
ADCB1	仮想チャネルレジスタ 32	ADCB1VCR32	0000_H	16	FFF2 1080_H	3	8、16
ADCB1	仮想チャネルレジスタ 33	ADCB1VCR33	0000_H	16	FFF2 1084_H	3	8、16
ADCB1	仮想チャネルレジスタ 34	ADCB1VCR34	0000_H	16	FFF2 1088_H	3	8、16
ADCB1	仮想チャネルレジスタ 35	ADCB1VCR35	0000_H	16	FFF2 $108C_H$	3	8、16

(236/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ADCB1	仮想チャネルレジスタ 36	ADCB1VCR36	0000_H	16	FFF2 1090_H	3	8、16
ADCB1	仮想チャネルレジスタ 37	ADCB1VCR37	0000_H	16	FFF2 1094_H	3	8、16
ADCB1	仮想チャネルレジスタ 38	ADCB1VCR38	0000_H	16	FFF2 1098_H	3	8、16
ADCB1	仮想チャネルレジスタ 39	ADCB1VCR39	0000_H	16	FFF2 $109C_H$	3	8、16
ADCB1	データレジスタ 0	ADCB1DR00	0000_H	16	FFF2 1100_H	3	16、32
ADCB1	データレジスタ 1	ADCB1DR01	0000_H	16	FFF2 1102_H	3	16
ADCB1	データレジスタ 2	ADCB1DR02	0000_H	16	FFF2 1104_H	3	16、32
ADCB1	データレジスタ 3	ADCB1DR03	0000_H	16	FFF2 1106_H	3	16
ADCB1	データレジスタ 4	ADCB1DR04	0000_H	16	FFF2 1108_H	3	16、32
ADCB1	データレジスタ 5	ADCB1DR05	0000_H	16	FFF2 $110A_H$	3	16
ADCB1	データレジスタ 6	ADCB1DR06	0000_H	16	FFF2 $110C_H$	3	16、32
ADCB1	データレジスタ 7	ADCB1DR07	0000_H	16	FFF2 $110E_H$	3	16
ADCB1	データレジスタ 8	ADCB1DR08	0000_H	16	FFF2 1110_H	3	16、32
ADCB1	データレジスタ 9	ADCB1DR09	0000_H	16	FFF2 1112_H	3	16
ADCB1	データレジスタ 10	ADCB1DR10	0000_H	16	FFF2 1114_H	3	16、32
ADCB1	データレジスタ 11	ADCB1DR11	0000_H	16	FFF2 1116_H	3	16
ADCB1	データレジスタ 12	ADCB1DR12	0000_H	16	FFF2 1118_H	3	16、32
ADCB1	データレジスタ 13	ADCB1DR13	0000_H	16	FFF2 $111A_H$	3	16
ADCB1	データレジスタ 14	ADCB1DR14	0000_H	16	FFF2 $111C_H$	3	16、32
ADCB1	データレジスタ 15	ADCB1DR15	0000_H	16	FFF2 $111E_H$	3	16
ADCB1	データレジスタ 16	ADCB1DR16	0000_H	16	FFF2 1120_H	3	16、32
ADCB1	データレジスタ 17	ADCB1DR17	0000_H	16	FFF2 1122_H	3	16
ADCB1	データレジスタ 18	ADCB1DR18	0000_H	16	FFF2 1124_H	3	16、32
ADCB1	データレジスタ 19	ADCB1DR19	0000_H	16	FFF2 1126_H	3	16
ADCB1	データレジスタ 20	ADCB1DR20	0000_H	16	FFF2 1128_H	3	16、32
ADCB1	データレジスタ 21	ADCB1DR21	0000_H	16	FFF2 $112A_H$	3	16
ADCB1	データレジスタ 22	ADCB1DR22	0000_H	16	FFF2 $112C_H$	3	16、32
ADCB1	データレジスタ 23	ADCB1DR23	0000_H	16	FFF2 $112E_H$	3	16
ADCB1	データレジスタ 24	ADCB1DR24	0000_H	16	FFF2 1130_H	3	16、32
ADCB1	データレジスタ 25	ADCB1DR25	0000_H	16	FFF2 1132_H	3	16
ADCB1	データレジスタ 26	ADCB1DR26	0000_H	16	FFF2 1134_H	3	16、32
ADCB1	データレジスタ 27	ADCB1DR27	0000_H	16	FFF2 1136_H	3	16
ADCB1	データレジスタ 28	ADCB1DR28	0000_H	16	FFF2 1138_H	3	16、32
ADCB1	データレジスタ 29	ADCB1DR29	0000_H	16	FFF2 $113A_H$	3	16
ADCB1	データレジスタ 30	ADCB1DR30	0000_H	16	FFF2 $113C_H$	3	16、32
ADCB1	データレジスタ 31	ADCB1DR31	0000_H	16	FFF2 $113E_H$	3	16
ADCB1	データレジスタ 32	ADCB1DR32	0000_H	16	FFF2 1140_H	3	16、32
ADCB1	データレジスタ 33	ADCB1DR33	0000_H	16	FFF2 1142_H	3	16
ADCB1	データレジスタ 34	ADCB1DR34	0000_H	16	FFF2 1144_H	3	16、32
ADCB1	データレジスタ 35	ADCB1DR35	0000_H	16	FFF2 1146_H	3	16
ADCB1	データレジスタ 36	ADCB1DR36	0000_H	16	FFF2 1148_H	3	16、32
ADCB1	データレジスタ 37	ADCB1DR37	0000_H	16	FFF2 $114A_H$	3	16
ADCB1	データレジスタ 38	ADCB1DR38	0000_H	16	FFF2 $114C_H$	3	16、32
ADCB1	データレジスタ 39	ADCB1DR39	0000_H	16	FFF2 $114E_H$	3	16
ADCB1	データ付帯情報レジスタ 0	ADCB1DIR00	$0000\ 0000_H$	32	FFF2 1200_H	3	32
ADCB1	データ付帯情報レジスタ 1	ADCB1DIR01	$0000\ 0000_H$	32	FFF2 1204_H	3	32
ADCB1	データ付帯情報レジスタ 2	ADCB1DIR02	$0000\ 0000_H$	32	FFF2 1208_H	3	32

(237/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ADCB1	データ付帯情報レジスタ 3	ADCB1DIR03	$0000\ 0000_H$	32	$FFF2\ 120C_H$	3	32
ADCB1	データ付帯情報レジスタ 4	ADCB1DIR04	$0000\ 0000_H$	32	$FFF2\ 1210_H$	3	32
ADCB1	データ付帯情報レジスタ 5	ADCB1DIR05	$0000\ 0000_H$	32	$FFF2\ 1214_H$	3	32
ADCB1	データ付帯情報レジスタ 6	ADCB1DIR06	$0000\ 0000_H$	32	$FFF2\ 1218_H$	3	32
ADCB1	データ付帯情報レジスタ 7	ADCB1DIR07	$0000\ 0000_H$	32	$FFF2\ 121C_H$	3	32
ADCB1	データ付帯情報レジスタ 8	ADCB1DIR08	$0000\ 0000_H$	32	$FFF2\ 1220_H$	3	32
ADCB1	データ付帯情報レジスタ 9	ADCB1DIR09	$0000\ 0000_H$	32	$FFF2\ 1224_H$	3	32
ADCB1	データ付帯情報レジスタ 10	ADCB1DIR10	$0000\ 0000_H$	32	$FFF2\ 1228_H$	3	32
ADCB1	データ付帯情報レジスタ 11	ADCB1DIR11	$0000\ 0000_H$	32	$FFF2\ 122C_H$	3	32
ADCB1	データ付帯情報レジスタ 12	ADCB1DIR12	$0000\ 0000_H$	32	$FFF2\ 1230_H$	3	32
ADCB1	データ付帯情報レジスタ 13	ADCB1DIR13	$0000\ 0000_H$	32	$FFF2\ 1234_H$	3	32
ADCB1	データ付帯情報レジスタ 14	ADCB1DIR14	$0000\ 0000_H$	32	$FFF2\ 1238_H$	3	32
ADCB1	データ付帯情報レジスタ 15	ADCB1DIR15	$0000\ 0000_H$	32	$FFF2\ 123C_H$	3	32
ADCB1	データ付帯情報レジスタ 16	ADCB1DIR16	$0000\ 0000_H$	32	$FFF2\ 1240_H$	3	32
ADCB1	データ付帯情報レジスタ 17	ADCB1DIR17	$0000\ 0000_H$	32	$FFF2\ 1244_H$	3	32
ADCB1	データ付帯情報レジスタ 18	ADCB1DIR18	$0000\ 0000_H$	32	$FFF2\ 1248_H$	3	32
ADCB1	データ付帯情報レジスタ 19	ADCB1DIR19	$0000\ 0000_H$	32	$FFF2\ 124C_H$	3	32
ADCB1	データ付帯情報レジスタ 20	ADCB1DIR20	$0000\ 0000_H$	32	$FFF2\ 1250_H$	3	32
ADCB1	データ付帯情報レジスタ 21	ADCB1DIR21	$0000\ 0000_H$	32	$FFF2\ 1254_H$	3	32
ADCB1	データ付帯情報レジスタ 22	ADCB1DIR22	$0000\ 0000_H$	32	$FFF2\ 1258_H$	3	32
ADCB1	データ付帯情報レジスタ 23	ADCB1DIR23	$0000\ 0000_H$	32	$FFF2\ 125C_H$	3	32
ADCB1	データ付帯情報レジスタ 24	ADCB1DIR24	$0000\ 0000_H$	32	$FFF2\ 1260_H$	3	32
ADCB1	データ付帯情報レジスタ 25	ADCB1DIR25	$0000\ 0000_H$	32	$FFF2\ 1264_H$	3	32
ADCB1	データ付帯情報レジスタ 26	ADCB1DIR26	$0000\ 0000_H$	32	$FFF2\ 1268_H$	3	32
ADCB1	データ付帯情報レジスタ 27	ADCB1DIR27	$0000\ 0000_H$	32	$FFF2\ 126C_H$	3	32
ADCB1	データ付帯情報レジスタ 28	ADCB1DIR28	$0000\ 0000_H$	32	$FFF2\ 1270_H$	3	32
ADCB1	データ付帯情報レジスタ 29	ADCB1DIR29	$0000\ 0000_H$	32	$FFF2\ 1274_H$	3	32
ADCB1	データ付帯情報レジスタ 30	ADCB1DIR30	$0000\ 0000_H$	32	$FFF2\ 1278_H$	3	32
ADCB1	データ付帯情報レジスタ 31	ADCB1DIR31	$0000\ 0000_H$	32	$FFF2\ 127C_H$	3	32
ADCB1	データ付帯情報レジスタ 32	ADCB1DIR32	$0000\ 0000_H$	32	$FFF2\ 1280_H$	3	32
ADCB1	データ付帯情報レジスタ 33	ADCB1DIR33	$0000\ 0000_H$	32	$FFF2\ 1284_H$	3	32
ADCB1	データ付帯情報レジスタ 34	ADCB1DIR34	$0000\ 0000_H$	32	$FFF2\ 1288_H$	3	32
ADCB1	データ付帯情報レジスタ 35	ADCB1DIR35	$0000\ 0000_H$	32	$FFF2\ 128C_H$	3	32
ADCB1	データ付帯情報レジスタ 36	ADCB1DIR36	$0000\ 0000_H$	32	$FFF2\ 1290_H$	3	32
ADCB1	データ付帯情報レジスタ 37	ADCB1DIR37	$0000\ 0000_H$	32	$FFF2\ 1294_H$	3	32
ADCB1	データ付帯情報レジスタ 38	ADCB1DIR38	$0000\ 0000_H$	32	$FFF2\ 1298_H$	3	32
ADCB1	データ付帯情報レジスタ 39	ADCB1DIR39	$0000\ 0000_H$	32	$FFF2\ 129C_H$	3	32
ADCB1	AD 終了レジスタ	ADCB1ADHALTR	00_H	8	$FFF2\ 1380_H$	3	8
ADCB1	AD 制御レジスタ 1	ADCB1ADCR1	00_H	8	$FFF2\ 1384_H$	3	8
ADCB1	MPX カレント制御レジスタ	ADCB1MPXCURCR	00_H	8	$FFF2\ 1388_H$	3	8
ADCB1	MPX カレントレジスタ	ADCB1MPXCURR	$0000\ 0000_H$	32	$FFF2\ 138C_H$	3	32
ADCB1	MPX 任意ウェイトレジスタ	ADCB1MPXOWR	00_H	8	$FFF2\ 1390_H$	3	8
ADCB1	MPX コマンド情報レジスタ	ADCB1MPXCMDR	00_H	8	$FFF2\ 1394_H$	3	8
ADCB1	AD 制御レジスタ 2	ADCB1ADCR2	00_H	8	$FFF2\ 1398_H$	3	8
ADCB1	DFE/APA/ASF エントリスキャングループイネーブルレジスタ	ADCB1DFASENTSGER	0000_H	16	$FFF2\ 139C_H$	3	16
ADCB1	AD 変換モニタ仮想チャネルポインタ	ADCB1ADENDP	00_H	8	$FFF2\ 13A0_H$	3	8

(238/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ADCB1	セーフティ制御レジスタ	ADCB1SFTCR	00_H	8	FFF2 $13C0_H$	3	8
ADCB1	端子レベル自己診断制御レジスタ	ADCB1TDCR	00_H	8	FFF2 $13C4_H$	3	8
ADCB1	断線検出制御レジスタ	ADCB1ODCR	00_H	8	FFF2 $13C8_H$	3	8
ADCB1	上限／下限テーブルレジスタ 0	ADCB1ULLMTBR0	7FFE 0000_H	32	FFF2 $13CC_H$	3	16、32
ADCB1	上限／下限テーブルレジスタ 1	ADCB1ULLMTBR1	7FFE 0000_H	32	FFF2 $13D0_H$	3	16、32
ADCB1	上限／下限テーブルレジスタ 2	ADCB1ULLMTBR2	7FFE 0000_H	32	FFF2 $13D4_H$	3	16、32
ADCB1	エラークリアレジスタ	ADCB1ECR	00_H	8	FFF2 $13D8_H$	3	8
ADCB1	上限／下限エラーレジスタ	ADCB1ULER	00_H	8	FFF2 $13DC_H$	3	8
ADCB1	オーバーライトエラーレジスタ	ADCB1OWER	00_H	8	FFF2 $13E0_H$	3	8
ADCB1	パリティエラーレジスタ	ADCB1PER	00_H	8	FFF2 $13E4_H$	3	8
ADCB1	ID エラーレジスタ	ADCB1IDER	00_H	8	FFF2 $13E8_H$	3	8
ADCB1	スキャングループ 0 開始制御レジスタ	ADCB1SGSTCR0	00_H	8	FFF2 1480_H	3	8
ADCB1	スキャングループ 0 制御レジスタ	ADCB1SGCR0	00_H	8	FFF2 1490_H	3	8
ADCB1	スキャングループ 0 開始仮想チャネルポインタ	ADCB1SGVCSP0	00_H	8	FFF2 1494_H	3	8
ADCB1	スキャングループ 0 終了仮想チャネルポインタ	ADCB1SGVCEP0	00_H	8	FFF2 1498_H	3	8
ADCB1	スキャングループ 0 マルチサイクルレジスタ	ADCB1SGMCYCR0	00_H	8	FFF2 $149C_H$	3	8
ADCB1	スキャングループ 0 ステータスレジスタ	ADCB1SGSR0	00_H	8	FFF2 $14A4_H$	3	8
ADCB1	スキャングループ 0 上限値／下限値テーブル選択レジスタ	ADCB1ULLMSR0	00_H	8	FFF2 $14B0_H$	3	8
ADCB1	スキャングループ 1 開始制御レジスタ	ADCB1SGSTCR1	00_H	8	FFF2 1500_H	3	8
ADCB1	スキャングループ 1 制御レジスタ	ADCB1SGCR1	00_H	8	FFF2 1510_H	3	8
ADCB1	スキャングループ 1 開始仮想チャネルポインタ	ADCB1SGVCSP1	00_H	8	FFF2 1514_H	3	8
ADCB1	スキャングループ 1 終了仮想チャネルポインタ	ADCB1SGVCEP1	00_H	8	FFF2 1518_H	3	8
ADCB1	スキャングループ 1 マルチサイクルレジスタ	ADCB1SGMCYCR1	00_H	8	FFF2 $151C_H$	3	8
ADCB1	スキャングループ 1 ステータスレジスタ	ADCB1SGSR1	00_H	8	FFF2 1524_H	3	8
ADCB1	スキャングループ 1 上限値／下限値テーブル選択レジスタ	ADCB1ULLMSR1	00_H	8	FFF2 1530_H	3	8
ADCB1	スキャングループ 2 開始制御レジスタ	ADCB1SGSTCR2	00_H	8	FFF2 1580_H	3	8
ADCB1	スキャングループ 2 制御レジスタ	ADCB1SGCR2	00_H	8	FFF2 1590_H	3	8
ADCB1	スキャングループ 2 開始仮想チャネルポインタ	ADCB1SGVCSP2	00_H	8	FFF2 1594_H	3	8
ADCB1	スキャングループ 2 終了仮想チャネルポインタ	ADCB1SGVCEP2	00_H	8	FFF2 1598_H	3	8
ADCB1	スキャングループ 2 マルチサイクルレジスタ	ADCB1SGMCYCR2	00_H	8	FFF2 $159C_H$	3	8
ADCB1	スキャングループ 2 ステータスレジスタ	ADCB1SGSR2	00_H	8	FFF2 $15A4_H$	3	8
ADCB1	スキャングループ 2 上限値／下限値テーブル選択レジスタ	ADCB1ULLMSR2	00_H	8	FFF2 $15B0_H$	3	8
ADCB1	スキャングループ 3 開始制御レジスタ	ADCB1SGSTCR3	00_H	8	FFF2 1600_H	3	8
ADCB1	AD タイマ 3 開始制御レジスタ	ADCB1ADTSTCR3	00_H	8	FFF2 1608_H	3	8
ADCB1	AD タイマ 3 終了制御レジスタ	ADCB1ADTENDCR3	00_H	8	FFF2 $160C_H$	3	8
ADCB1	スキャングループ 3 制御レジスタ	ADCB1SGCR3	00_H	8	FFF2 1610_H	3	8
ADCB1	スキャングループ 3 開始仮想チャネルポインタ	ADCB1SGVCSP3	00_H	8	FFF2 1614_H	3	8
ADCB1	スキャングループ 3 終了仮想チャネルポインタ	ADCB1SGVCEP3	00_H	8	FFF2 1618_H	3	8

(239/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
ADCB1	スキャングループ 3 マルチサイクルレジスタ	ADCB1SGMCYCR3	00_H	8	FFF2 161C$_H$	3	8
ADCB1	スキャングループ 3 ステータスレジスタ	ADCB1SGSR3	00_H	8	FFF2 1624$_H$	3	8
ADCB1	AD タイマ初期位相レジスタ 3	ADCB1ADTIPR3	0000 0000$_H$	32	FFF2 1628$_H$	3	32
ADCB1	AD タイマ周期レジスタ 3	ADCB1ADTPRR3	001F FFFF$_H$	32	FFF2 162C$_H$	3	32
ADCB1	スキャングループ 3 上限値／下限値テーブル選択レジスタ	ADCB1ULLMSR3	00_H	8	FFF2 1630$_H$	3	8
ADCB1	スキャングループ 4 開始制御レジスタ	ADCB1SGSTCR4	00_H	8	FFF2 1680$_H$	3	8
ADCB1	AD タイマ 4 開始制御レジスタ	ADCB1ADTSTCR4	00_H	8	FFF2 1688$_H$	3	8
ADCB1	AD タイマ 4 終了制御レジスタ	ADCB1ADTENDCR4	00_H	8	FFF2 168C$_H$	3	8
ADCB1	スキャングループ 4 制御レジスタ	ADCB1SGCR4	00_H	8	FFF2 1690$_H$	3	8
ADCB1	スキャングループ 4 開始仮想チャネルポインタ	ADCB1SGVCSP4	00_H	8	FFF2 1694$_H$	3	8
ADCB1	スキャングループ 4 終了仮想チャネルポインタ	ADCB1SGVCEP4	00_H	8	FFF2 1698$_H$	3	8
ADCB1	スキャングループ 4 マルチサイクルレジスタ	ADCB1SGMCYCR4	00_H	8	FFF2 169C$_H$	3	8
ADCB1	スキャングループ 4 ステータスレジスタ	ADCB1SGSR4	00_H	8	FFF2 16A4$_H$	3	8
ADCB1	AD タイマ初期位相レジスタ 4	ADCB1ADTIPR4	0000 0000$_H$	32	FFF2 16A8$_H$	3	32
ADCB1	AD タイマ周期レジスタ 4	ADCB1ADTPRR4	001F FFFF$_H$	32	FFF2 16AC$_H$	3	32
ADCB1	スキャングループ 4 上限値／下限値テーブル選択レジスタ	ADCB1ULLMSR4	00_H	8	FFF2 16B0$_H$	3	8
ASF10	積算データリードレジスタ 0	ASF10DR00	0000 0000$_H$	32	FFF2 2000$_H$	3	32
ASF10	積算データリードレジスタ 1	ASF10DR01	0000 0000$_H$	32	FFF2 2004$_H$	3	32
ASF10	積算データリードレジスタ 2	ASF10DR02	0000 0000$_H$	32	FFF2 2008$_H$	3	32
ASF10	積算データリードレジスタ 3	ASF10DR03	0000 0000$_H$	32	FFF2 200C$_H$	3	32
ASF10	積算データリードレジスタ 4	ASF10DR04	0000 0000$_H$	32	FFF2 2010$_H$	3	32
ASF10	積算データリードレジスタ 5	ASF10DR05	0000 0000$_H$	32	FFF2 2014$_H$	3	32
ASF10	積算データリードレジスタ 6	ASF10DR06	0000 0000$_H$	32	FFF2 2018$_H$	3	32
ASF10	積算データリードレジスタ 7	ASF10DR07	0000 0000$_H$	32	FFF2 201C$_H$	3	32
ASF10	積算データリードレジスタ 8	ASF10DR08	0000 0000$_H$	32	FFF2 2020$_H$	3	32
ASF10	積算データリードレジスタ 9	ASF10DR09	0000 0000$_H$	32	FFF2 2024$_H$	3	32
ASF10	積算データリードレジスタ 10	ASF10DR10	0000 0000$_H$	32	FFF2 2028$_H$	3	32
ASF10	積算コンペアマッチレジスタ 0	ASF10CMP00	00_H	8	FFF2 2040$_H$	3	8
ASF10	積算コンペアマッチレジスタ 1	ASF10CMP01	00_H	8	FFF2 2044$_H$	3	8
ASF10	積算コンペアマッチレジスタ 2	ASF10CMP02	00_H	8	FFF2 2048$_H$	3	8
ASF10	積算コンペアマッチレジスタ 3	ASF10CMP03	00_H	8	FFF2 204C$_H$	3	8
ASF10	積算コンペアマッチレジスタ 4	ASF10CMP04	00_H	8	FFF2 2050$_H$	3	8
ASF10	積算コンペアマッチレジスタ 5	ASF10CMP05	00_H	8	FFF2 2054$_H$	3	8
ASF10	積算コンペアマッチレジスタ 6	ASF10CMP06	00_H	8	FFF2 2058$_H$	3	8
ASF10	積算コンペアマッチレジスタ 7	ASF10CMP07	00_H	8	FFF2 205C$_H$	3	8
ASF10	積算コンペアマッチレジスタ 8	ASF10CMP08	00_H	8	FFF2 2060$_H$	3	8
ASF10	積算コンペアマッチレジスタ 9	ASF10CMP09	00_H	8	FFF2 2064$_H$	3	8
ASF10	積算コンペアマッチレジスタ 10	ASF10CMP10	00_H	8	FFF2 2068$_H$	3	8
ASF10	積算カウンタ制御レジスタ 0	ASF10CTL0	0000_H	16	FFF2 2080$_H$	3	8、16
ASF10	積算カウンタ制御レジスタ 1	ASF10CTL1	00_H	8	FFF2 2084$_H$	3	8
ASF10	積算カウントリードレジスタ	ASF10CNT	00_H	8	FFF2 208C$_H$	3	8
IFC	浮動小数点データレジスタ 000	FDR000	0000 0000$_H$	32	FFF2 3000$_H$	3	32
IFC	浮動小数点データレジスタ 001	FDR001	0000 0000$_H$	32	FFF2 3004$_H$	3	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
IFC	浮動小数点データレジスタ 002	FDR002	$0000\ 0000_H$	32	$FFF2\ 3008_H$	3	32
IFC	浮動小数点データレジスタ 003	FDR003	$0000\ 0000_H$	32	$FFF2\ 300C_H$	3	32
IFC	浮動小数点データレジスタ 004	FDR004	$0000\ 0000_H$	32	$FFF2\ 3010_H$	3	32
IFC	浮動小数点データレジスタ 005	FDR005	$0000\ 0000_H$	32	$FFF2\ 3014_H$	3	32
IFC	浮動小数点データレジスタ 006	FDR006	$0000\ 0000_H$	32	$FFF2\ 3018_H$	3	32
IFC	浮動小数点データレジスタ 007	FDR007	$0000\ 0000_H$	32	$FFF2\ 301C_H$	3	32
IFC	浮動小数点データレジスタ 008	FDR008	$0000\ 0000_H$	32	$FFF2\ 3020_H$	3	32
IFC	浮動小数点データレジスタ 009	FDR009	$0000\ 0000_H$	32	$FFF2\ 3024_H$	3	32
IFC	浮動小数点データレジスタ 010	FDR010	$0000\ 0000_H$	32	$FFF2\ 3028_H$	3	32
IFC	浮動小数点データレジスタ 011	FDR011	$0000\ 0000_H$	32	$FFF2\ 302C_H$	3	32
IFC	浮動小数点データレジスタ 012	FDR012	$0000\ 0000_H$	32	$FFF2\ 3030_H$	3	32
IFC	浮動小数点データレジスタ 013	FDR013	$0000\ 0000_H$	32	$FFF2\ 3034_H$	3	32
IFC	浮動小数点データレジスタ 014	FDR014	$0000\ 0000_H$	32	$FFF2\ 3038_H$	3	32
IFC	浮動小数点データレジスタ 015	FDR015	$0000\ 0000_H$	32	$FFF2\ 303C_H$	3	32
IFC	浮動小数点データレジスタ 016	FDR016	$0000\ 0000_H$	32	$FFF2\ 3040_H$	3	32
IFC	浮動小数点データレジスタ 017	FDR017	$0000\ 0000_H$	32	$FFF2\ 3044_H$	3	32
IFC	浮動小数点データレジスタ 018	FDR018	$0000\ 0000_H$	32	$FFF2\ 3048_H$	3	32
IFC	浮動小数点データレジスタ 019	FDR019	$0000\ 0000_H$	32	$FFF2\ 304C_H$	3	32
IFC	浮動小数点データレジスタ 020	FDR020	$0000\ 0000_H$	32	$FFF2\ 3050_H$	3	32
IFC	浮動小数点データレジスタ 021	FDR021	$0000\ 0000_H$	32	$FFF2\ 3054_H$	3	32
IFC	浮動小数点データレジスタ 022	FDR022	$0000\ 0000_H$	32	$FFF2\ 3058_H$	3	32
IFC	浮動小数点データレジスタ 023	FDR023	$0000\ 0000_H$	32	$FFF2\ 305C_H$	3	32
IFC	浮動小数点データレジスタ 024	FDR024	$0000\ 0000_H$	32	$FFF2\ 3060_H$	3	32
IFC	浮動小数点データレジスタ 025	FDR025	$0000\ 0000_H$	32	$FFF2\ 3064_H$	3	32
IFC	浮動小数点データレジスタ 026	FDR026	$0000\ 0000_H$	32	$FFF2\ 3068_H$	3	32
IFC	浮動小数点データレジスタ 027	FDR027	$0000\ 0000_H$	32	$FFF2\ 306C_H$	3	32
IFC	浮動小数点データレジスタ 028	FDR028	$0000\ 0000_H$	32	$FFF2\ 3070_H$	3	32
IFC	浮動小数点データレジスタ 029	FDR029	$0000\ 0000_H$	32	$FFF2\ 3074_H$	3	32
IFC	浮動小数点データレジスタ 030	FDR030	$0000\ 0000_H$	32	$FFF2\ 3078_H$	3	32
IFC	浮動小数点データレジスタ 031	FDR031	$0000\ 0000_H$	32	$FFF2\ 307C_H$	3	32
IFC	浮動小数点データレジスタ 032	FDR032	$0000\ 0000_H$	32	$FFF2\ 3080_H$	3	32
IFC	浮動小数点データレジスタ 033	FDR033	$0000\ 0000_H$	32	$FFF2\ 3084_H$	3	32
IFC	浮動小数点データレジスタ 034	FDR034	$0000\ 0000_H$	32	$FFF2\ 3088_H$	3	32
IFC	浮動小数点データレジスタ 035	FDR035	$0000\ 0000_H$	32	$FFF2\ 308C_H$	3	32
IFC	浮動小数点データレジスタ 036	FDR036	$0000\ 0000_H$	32	$FFF2\ 3090_H$	3	32
IFC	浮動小数点データレジスタ 037	FDR037	$0000\ 0000_H$	32	$FFF2\ 3094_H$	3	32
IFC	浮動小数点データレジスタ 038	FDR038	$0000\ 0000_H$	32	$FFF2\ 3098_H$	3	32
IFC	浮動小数点データレジスタ 039	FDR039	$0000\ 0000_H$	32	$FFF2\ 309C_H$	3	32
IFC	浮動小数点データレジスタ 100	FDR100	$0000\ 0000_H$	32	$FFF2\ 3100_H$	3	32
IFC	浮動小数点データレジスタ 101	FDR101	$0000\ 0000_H$	32	$FFF2\ 3104_H$	3	32
IFC	浮動小数点データレジスタ 102	FDR102	$0000\ 0000_H$	32	$FFF2\ 3108_H$	3	32
IFC	浮動小数点データレジスタ 103	FDR103	$0000\ 0000_H$	32	$FFF2\ 310C_H$	3	32
IFC	浮動小数点データレジスタ 104	FDR104	$0000\ 0000_H$	32	$FFF2\ 3110_H$	3	32
IFC	浮動小数点データレジスタ 105	FDR105	$0000\ 0000_H$	32	$FFF2\ 3114_H$	3	32
IFC	浮動小数点データレジスタ 106	FDR106	$0000\ 0000_H$	32	$FFF2\ 3118_H$	3	32
IFC	浮動小数点データレジスタ 107	FDR107	$0000\ 0000_H$	32	$FFF2\ 311C_H$	3	32
IFC	浮動小数点データレジスタ 108	FDR108	$0000\ 0000_H$	32	$FFF2\ 3120_H$	3	32

(241/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
IFC	浮動小数点データレジスタ 109	FDR109	0000 0000_H	32	FFF2 3124_H	3	32
IFC	浮動小数点データレジスタ 110	FDR110	0000 0000_H	32	FFF2 3128_H	3	32
IFC	浮動小数点データレジスタ 111	FDR111	0000 0000_H	32	FFF2 $312C_H$	3	32
IFC	浮動小数点データレジスタ 112	FDR112	0000 0000_H	32	FFF2 3130_H	3	32
IFC	浮動小数点データレジスタ 113	FDR113	0000 0000_H	32	FFF2 3134_H	3	32
IFC	浮動小数点データレジスタ 114	FDR114	0000 0000_H	32	FFF2 3138_H	3	32
IFC	浮動小数点データレジスタ 115	FDR115	0000 0000_H	32	FFF2 $313C_H$	3	32
IFC	浮動小数点データレジスタ 116	FDR116	0000 0000_H	32	FFF2 3140_H	3	32
IFC	浮動小数点データレジスタ 117	FDR117	0000 0000_H	32	FFF2 3144_H	3	32
IFC	浮動小数点データレジスタ 118	FDR118	0000 0000_H	32	FFF2 3148_H	3	32
IFC	浮動小数点データレジスタ 119	FDR119	0000 0000_H	32	FFF2 $314C_H$	3	32
IFC	浮動小数点データレジスタ 120	FDR120	0000 0000_H	32	FFF2 3150_H	3	32
IFC	浮動小数点データレジスタ 121	FDR121	0000 0000_H	32	FFF2 3154_H	3	32
IFC	浮動小数点データレジスタ 122	FDR122	0000 0000_H	32	FFF2 3158_H	3	32
IFC	浮動小数点データレジスタ 123	FDR123	0000 0000_H	32	FFF2 $315C_H$	3	32
IFC	浮動小数点データレジスタ 124	FDR124	0000 0000_H	32	FFF2 3160_H	3	32
IFC	浮動小数点データレジスタ 125	FDR125	0000 0000_H	32	FFF2 3164_H	3	32
IFC	浮動小数点データレジスタ 126	FDR126	0000 0000_H	32	FFF2 3168_H	3	32
IFC	浮動小数点データレジスタ 127	FDR127	0000 0000_H	32	FFF2 $316C_H$	3	32
IFC	浮動小数点データレジスタ 128	FDR128	0000 0000_H	32	FFF2 3170_H	3	32
IFC	浮動小数点データレジスタ 129	FDR129	0000 0000_H	32	FFF2 3174_H	3	32
IFC	浮動小数点データレジスタ 130	FDR130	0000 0000_H	32	FFF2 3178_H	3	32
IFC	浮動小数点データレジスタ 131	FDR131	0000 0000_H	32	FFF2 $317C_H$	3	32
IFC	浮動小数点データレジスタ 132	FDR132	0000 0000_H	32	FFF2 3180_H	3	32
IFC	浮動小数点データレジスタ 133	FDR133	0000 0000_H	32	FFF2 3184_H	3	32
IFC	浮動小数点データレジスタ 134	FDR134	0000 0000_H	32	FFF2 3188_H	3	32
IFC	浮動小数点データレジスタ 135	FDR135	0000 0000_H	32	FFF2 $318C_H$	3	32
IFC	浮動小数点データレジスタ 136	FDR136	0000 0000_H	32	FFF2 3190_H	3	32
IFC	浮動小数点データレジスタ 137	FDR137	0000 0000_H	32	FFF2 3194_H	3	32
IFC	浮動小数点データレジスタ 138	FDR138	0000 0000_H	32	FFF2 3198_H	3	32
IFC	浮動小数点データレジスタ 139	FDR139	0000 0000_H	32	FFF2 $319C_H$	3	32
DSADCC	AD 同期開始制御レジスタ	DSADCCADSYNSTCR	00_H	8	FFF3 0000_H	3	8
DSADCC	オーバーサンプリングレート制御レジスタ	DSADCCOSMPRCR	00_H	8	FFF3 0004_H	3	8
DSADCC	端子レベル自己診断制御レジスタ	DSADCCTDCR	00_H	8	FFF3 0008_H	3	8
DSADCC	端子レベル自己診断レベル指定レジスタ	DSADCCTDLVR	0000_H	16	FFF3 $000C_H$	3	8、16
DSADC0	チャネル制御レジスタ	DSADC0CCR	0000 0000_H	32	FFF3 1000_H	3	8、16、32
DSADC0	データ付帯情報レジスタ	DSADC0DIR	0000 0000_H	32	FFF3 1004_H	3	32
DSADC0	AD 開始制御レジスタ	DSADC0ADSTCR	00_H	8	FFF3 1008_H	3	8
DSADC0	AD 停止制御レジスタ	DSADC0ADENDCR	00_H	8	FFF3 $100C_H$	3	8
DSADC0	AD 制御レジスタ	DSADC0ADCR	00_H	8	FFF3 1010_H	3	8
DSADC0	AD ステータスレジスタ	DSADC0ADSR	00_H	8	FFF3 1014_H	3	8
DSADC0	セーフティ制御レジスタ	DSADC0SFTCR	00_H	8	FFF3 1018_H	3	8
DSADC0	上限／下限テーブルレジスタ	DSADC0ULLMTBR	7FFF 8000_H	32	FFF3 $101C_H$	3	16、32
DSADC0	エラークリアレジスタ	DSADC0ECR	00_H	8	FFF3 1020_H	3	8
DSADC0	エラーレジスタ	DSADC0ER	00_H	8	FFF3 1024_H	3	8
DSADC0	デジタルフィルタ FIR 制御レジスタ	DSADC0FCR	00_H	8	FFF3 1028_H	3	8

(242/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DSADC1	チャネル制御レジスタ	DSADC1CCR	0000 0000_H	32	FFF3 2000_H	3	8、16、32
DSADC1	データ付帯情報レジスタ	DSADC1DIR	0000 0000_H	32	FFF3 2004_H	3	32
DSADC1	AD 開始制御レジスタ	DSADC1ADSTCR	00_H	8	FFF3 2008_H	3	8
DSADC1	AD 停止制御レジスタ	DSADC1ADENDCR	00_H	8	FFF3 $200C_H$	3	8
DSADC1	AD 制御レジスタ	DSADC1ADCR	00_H	8	FFF3 2010_H	3	8
DSADC1	AD ステータスレジスタ	DSADC1ADSR	00_H	8	FFF3 2014_H	3	8
DSADC1	セーフティ制御レジスタ	DSADC1SFTCR	00_H	8	FFF3 2018_H	3	8
DSADC1	上限／下限テーブルレジスタ	DSADC1ULLMTBR	7FFF 8000_H	32	FFF3 $201C_H$	3	16、32
DSADC1	エラークリアレジスタ	DSADC1ECR	00_H	8	FFF3 2020_H	3	8
DSADC1	エラーレジスタ	DSADC1ER	00_H	8	FFF3 2024_H	3	8
DSADC1	デジタルフィルタ FIR 制御レジスタ	DSADC1FCR	00_H	8	FFF3 2028_H	3	8
DSADC2	チャネル制御レジスタ	DSADC2CCR	0000 0000_H	32	FFF3 3000_H	3	8、16、32
DSADC2	データ付帯情報レジスタ	DSADC2DIR	0000 0000_H	32	FFF3 3004_H	3	32
DSADC2	AD 開始制御レジスタ	DSADC2ADSTCR	00_H	8	FFF3 3008_H	3	8
DSADC2	AD 停止制御レジスタ	DSADC2ADENDCR	00_H	8	FFF3 $300C_H$	3	8
DSADC2	AD 制御レジスタ	DSADC2ADCR	00_H	8	FFF3 3010_H	3	8
DSADC2	AD ステータスレジスタ	DSADC2ADSR	00_H	8	FFF3 3014_H	3	8
DSADC2	セーフティ制御レジスタ	DSADC2SFTCR	00_H	8	FFF3 3018_H	3	8
DSADC2	上限／下限テーブルレジスタ	DSADC2ULLMTBR	7FFF 8000_H	32	FFF3 $301C_H$	3	16、32
DSADC2	エラークリアレジスタ	DSADC2ECR	00_H	8	FFF3 3020_H	3	8
DSADC2	エラーレジスタ	DSADC2ER	00_H	8	FFF3 3024_H	3	8
DSADC2	デジタルフィルタ FIR 制御レジスタ	DSADC2FCR	00_H	8	FFF3 3028_H	3	8
DSADC3	チャネル制御レジスタ	DSADC3CCR	0000 0000_H	32	FFF3 4000_H	3	8、16、32
DSADC3	データ付帯情報レジスタ	DSADC3DIR	0000 0000_H	32	FFF3 4004_H	3	32
DSADC3	AD 開始制御レジスタ	DSADC3ADSTCR	00_H	8	FFF3 4008_H	3	8
DSADC3	AD 停止制御レジスタ	DSADC3ADENDCR	00_H	8	FFF3 $400C_H$	3	8
DSADC3	AD 制御レジスタ	DSADC3ADCR	00_H	8	FFF3 4010_H	3	8
DSADC3	AD ステータスレジスタ	DSADC3ADSR	00_H	8	FFF3 4014_H	3	8
DSADC3	セーフティ制御レジスタ	DSADC3SFTCR	00_H	8	FFF3 4018_H	3	8
DSADC3	上限／下限テーブルレジスタ	DSADC3ULLMTBR	7FFF 8000_H	32	FFF3 $401C_H$	3	16、32
DSADC3	エラークリアレジスタ	DSADC3ECR	00_H	8	FFF3 4020_H	3	8
DSADC3	エラーレジスタ	DSADC3ER	00_H	8	FFF3 4024_H	3	8
DSADC3	デジタルフィルタ FIR 制御レジスタ	DSADC3FCR	00_H	8	FFF3 4028_H	3	8
DSADC4	チャネル制御レジスタ	DSADC4CCR	0000 0000_H	32	FFF3 5000_H	3	8、16、32
DSADC4	データ付帯情報レジスタ	DSADC4DIR	0000 0000_H	32	FFF3 5004_H	3	32
DSADC4	AD 開始制御レジスタ	DSADC4ADSTCR	00_H	8	FFF3 5008_H	3	8
DSADC4	AD 停止制御レジスタ	DSADC4ADENDCR	00_H	8	FFF3 $500C_H$	3	8
DSADC4	AD 制御レジスタ	DSADC4ADCR	00_H	8	FFF3 5010_H	3	8
DSADC4	AD ステータスレジスタ	DSADC4ADSR	00_H	8	FFF3 5014_H	3	8
DSADC4	セーフティ制御レジスタ	DSADC4SFTCR	00_H	8	FFF3 5018_H	3	8
DSADC4	上限／下限テーブルレジスタ	DSADC4ULLMTBR	7FFF 8000_H	32	FFF3 $501C_H$	3	16、32
DSADC4	エラークリアレジスタ	DSADC4ECR	00_H	8	FFF3 5020_H	3	8
DSADC4	エラーレジスタ	DSADC4ER	00_H	8	FFF3 5024_H	3	8
DSADC4	デジタルフィルタ FIR 制御レジスタ	DSADC4FCR	00_H	8	FFF3 5028_H	3	8
DSADC5	チャネル制御レジスタ	DSADC5CCR	0000 0000_H	32	FFF3 6000_H	3	8、16、32
DSADC5	データ付帯情報レジスタ	DSADC5DIR	0000 0000_H	32	FFF3 6004_H	3	32
DSADC5	AD 開始制御レジスタ	DSADC5ADSTCR	00_H	8	FFF3 6008_H	3	8

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DSADC5	AD 停止制御レジスタ	DSADC5ADENDCR	00_H	8	FFF3 600C_H	3	8
DSADC5	AD 制御レジスタ	DSADC5ADCR	00_H	8	FFF3 6010$_H$	3	8
DSADC5	AD ステータスレジスタ	DSADC5ADSR	00_H	8	FFF3 6014$_H$	3	8
DSADC5	セーフティ制御レジスタ	DSADC5SFTCR	00_H	8	FFF3 6018$_H$	3	8
DSADC5	上限／下限テーブルレジスタ	DSADC5ULLMTBR	7FFF 8000_H	32	FFF3 601C_H	3	16、32
DSADC5	エラークリアレジスタ	DSADC5ECR	00_H	8	FFF3 6020$_H$	3	8
DSADC5	エラーレジスタ	DSADC5ER	00_H	8	FFF3 6024$_H$	3	8
DSADC5	デジタルフィルタ FIR 制御レジスタ	DSADC5FCR	00_H	8	FFF3 6028$_H$	3	8
DSADC6	チャネル制御レジスタ	DSADC6CCR	0000 0000_H	32	FFF3 7000$_H$	3	8、16、32
DSADC6	データ付帯情報レジスタ	DSADC6DIR	0000 0000_H	32	FFF3 7004$_H$	3	32
DSADC6	AD 開始制御レジスタ	DSADC6ADSTCR	00_H	8	FFF3 7008$_H$	3	8
DSADC6	AD 停止制御レジスタ	DSADC6ADENDCR	00_H	8	FFF3 700C_H	3	8
DSADC6	AD 制御レジスタ	DSADC6ADCR	00_H	8	FFF3 7010$_H$	3	8
DSADC6	AD ステータスレジスタ	DSADC6ADSR	00_H	8	FFF3 7014$_H$	3	8
DSADC6	セーフティ制御レジスタ	DSADC6SFTCR	00_H	8	FFF3 7018$_H$	3	8
DSADC6	上限／下限テーブルレジスタ	DSADC6ULLMTBR	7FFF 8000_H	32	FFF3 701C_H	3	16、32
DSADC6	エラークリアレジスタ	DSADC6ECR	00_H	8	FFF3 7020$_H$	3	8
DSADC6	エラーレジスタ	DSADC6ER	00_H	8	FFF3 7024$_H$	3	8
DSADC6	デジタルフィルタ FIR 制御レジスタ	DSADC6FCR	00_H	8	FFF3 7028$_H$	3	8
DSADC7	チャネル制御レジスタ	DSADC7CCR	0000 0000_H	32	FFF3 8000$_H$	3	8、16、32
DSADC7	データ付帯情報レジスタ	DSADC7DIR	0000 0000_H	32	FFF3 8004$_H$	3	32
DSADC7	AD 開始制御レジスタ	DSADC7ADSTCR	00_H	8	FFF3 8008$_H$	3	8
DSADC7	AD 停止制御レジスタ	DSADC7ADENDCR	00_H	8	FFF3 800C_H	3	8
DSADC7	AD 制御レジスタ	DSADC7ADCR	00_H	8	FFF3 8010$_H$	3	8
DSADC7	AD ステータスレジスタ	DSADC7ADSR	00_H	8	FFF3 8014$_H$	3	8
DSADC7	セーフティ制御レジスタ	DSADC7SFTCR	00_H	8	FFF3 8018$_H$	3	8
DSADC7	上限／下限テーブルレジスタ	DSADC7ULLMTBR	7FFF 8000_H	32	FFF3 801C_H	3	16、32
DSADC7	エラークリアレジスタ	DSADC7ECR	00_H	8	FFF3 8020$_H$	3	8
DSADC7	エラーレジスタ	DSADC7ER	00_H	8	FFF3 8024$_H$	3	8
DSADC7	デジタルフィルタ FIR 制御レジスタ	DSADC7FCR	00_H	8	FFF3 8028$_H$	3	8
DCRA0	CRC インプットレジスタ	DCRA0CIN	0000 0000_H	32	FFF7 0000$_H$	3	32
DCRA0	CRC データレジスタ	DCRA0COUT	0000 0000_H	32	FFF7 0004$_H$	3	32
DCRA0	CRC 制御レジスタ	DCRA0CTL	00_H	8	FFF7 0020$_H$	3	8
FLASH	FHVE3 コントロールレジスタ	FHVE3	0000 0000_H	32	FFF8 2410$_H$	5	32
SYS	リセット要因判定レジスタ	RESF	0000 0000_H	32	FFF8 2800$_H$	5	32
SYS	リセット要因クリアレジスタ	RESFC	0000 0000_H	32	FFF8 2808$_H$	5	32
SYS	CVM 検出フラグレジスタ	DETFLG	0000 0000_H	32	FFF8 2820$_H$	5	32
SYS	CVM 検出フラグクリアレジスタ	DETFLGC	0000 0000_H	32	FFF8 2828$_H$	5	32
SYS	EPT 制御レジスタ	EPTCNT	0000 0000_H	32	FFF8 2C0C_H	5	32
SYS	CVM 制御レジスタ	VSCTL	0000 0000_H	32	FFF8 2C10$_H$	5	32
SYS	上限電圧設定レジスタ	HDETCTL	0000 0003_H	32	FFF8 2C14$_H$	5	32
SYS	下限電圧設定レジスタ	LDETCTL	0000 0003_H	32	FFF8 2C18$_H$	5	32
SYS	検出信号フィルタ制御レジスタ	VSDETFCTL	0000 0000_H	32	FFF8 2C1C_H	5	32
SYS	保護コマンドレジスタ	PROT0PHCMD	0000 0000_H	32	FFF8 3000$_H$	5	32
SYS	保護コマンドステータスレジスタ	PROT0PS	0000 0000_H	32	FFF8 3004$_H$	5	32
SYS	PLL0 ステータスレジスタ	PLL0CLKS	0000 0001_H	32	FFF8 8004$_H$	5	32
SYS	PLL0 制御レジスタ 1	PLL0CLKC1	0000 0000_H	32	FFF8 8200$_H$	5	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
SYS	パワーオンクリアフラグレジスタ	POF	0000 000X$_H$	32	FFF8 AC10$_H$	5	32
SYS	パワーオンクリアフラグクリアレジスタ	POFC	0000 0000$_H$	32	FFF8 AC14$_H$	5	32
SYS	ソフトウェアリセット要求レジスタ	SWRESA	0000 0000$_H$	32	FFF8 AC18$_H$	5	32
SYS	プロテクト 1 コマンドレジスタ	PROT1PHCMD	0000 0000$_H$	32	FFF8 B000$_H$	5	32
SYS	プロテクト 1 ステータスレジスタ	PROT1PS	0000 0000$_H$	32	FFF8 B004$_H$	5	32
CLMAC	CLMA セルフテストレジスタ	CLMATEST	0000 0000$_H$	32	FFF8 8204$_H$	5	32
CLMAC	CLMA セルフテストステータスレジスタ	CLMATESTS	0000 0000$_H$	32	FFF8 8208$_H$	5	32
CLMA0	CLMA0 制御レジスタ 0	CLMA0CTL0	00$_H$	8	FFF8 8400$_H$	5	8
CLMA0	CLMA0 比較レジスタ L	CLMA0CMPL	0001$_H$	16	FFF8 8408$_H$	5	16
CLMA0	CLMA0 比較レジスタ H	CLMA0CMPH	03FF$_H$	16	FFF8 840C$_H$	5	16
CLMA0	CLMA0 保護命令レジスタ	CLMA0PCMD	00$_H$	8	FFF8 8410$_H$	5	8
CLMA0	CLMA0 保護ステータスレジスタ	CLMA0PS	00$_H$	8	FFF8 8414$_H$	5	8
CLMA1	CLMA1 制御レジスタ 0	CLMA1CTL0	00$_H$	8	FFF8 8420$_H$	5	8
CLMA1	CLMA1 比較レジスタ L	CLMA1CMPL	0001$_H$	16	FFF8 8428$_H$	5	16
CLMA1	CLMA1 比較レジスタ H	CLMA1CMPH	03FF$_H$	16	FFF8 842C$_H$	5	16
CLMA1	CLMA1 保護命令レジスタ	CLMA1PCMD	00$_H$	8	FFF8 8430$_H$	5	8
CLMA1	CLMA1 保護ステータスレジスタ	CLMA1PS	00$_H$	8	FFF8 8434$_H$	5	8
CLMA2	CLMA2 制御レジスタ 0	CLMA2CTL0	00$_H$	8	FFF8 8440$_H$	5	8
CLMA2	CLMA2 比較レジスタ L	CLMA2CMPL	0001$_H$	16	FFF8 8448$_H$	5	16
CLMA2	CLMA2 比較レジスタ H	CLMA2CMPH	03FF$_H$	16	FFF8 844C$_H$	5	16
CLMA2	CLMA2 保護命令レジスタ	CLMA2PCMD	00$_H$	8	FFF8 8450$_H$	5	8
CLMA2	CLMA2 保護ステータスレジスタ	CLMA2PS	00$_H$	8	FFF8 8454$_H$	5	8
SYS	クロック 0 分周レジスタ	CLKD0DIV	0000 0004$_H$	32	FFF8 8800$_H$	5	32
SYS	クロック 0 分周ステータスレジスタ	CLKD0STAT	0000 0001$_H$	32	FFF8 8804$_H$	5	32
SYS	クロック 0 選択制御レジスタ	CKSC0CTL	0000 0020$_H$	32	FFF8 9000$_H$	5	32
SYS	クロック 0 選択アクティブレジスタ	CKSC0ACT	0000 0020$_H$	32	FFF8 9008$_H$	5	32
SYS	クロック 1 選択制御レジスタ	CKSC1CTL	0000 0021$_H$	32	FFF8 9040$_H$	5	32
SYS	クロック 1 選択アクティブレジスタ	CKSC1ACT	0000 0021$_H$	32	FFF8 9048$_H$	5	32
FLASH	FHVE15 コントロールレジスタ	FHVE15	0000 0000$_H$	32	FFF8 A430$_H$	5	32
PBG	PBG2A プロテクションレジスタ 0	FSGD2ADPROT0	07FF FFFF$_H$	32	FFF9 4000$_H$	2	8、16、32
PBG	PBG2A プロテクションレジスタ 1	FSGD2ADPROT1	07FF FFFF$_H$	32	FFF9 4004$_H$	2	8、16、32
PBG	PBG2A プロテクションレジスタ 2	FSGD2ADPROT2	07FF FFFF$_H$	32	FFF9 4008$_H$	2	8、16、32
PBG	PBG2A プロテクションレジスタ 3	FSGD2ADPROT3	07FF FFFF$_H$	32	FFF9 400C$_H$	2	8、16、32
PBG	PBG2A プロテクションレジスタ 4	FSGD2ADPROT4	07FF FFFF$_H$	32	FFF9 4010$_H$	2	8、16、32
PBG	PBG2A プロテクションレジスタ 5	FSGD2ADPROT5	07FF FFFF$_H$	32	FFF9 4014$_H$	2	8、16、32
PBG	PBG2A プロテクションレジスタ 6	FSGD2ADPROT6	07FF FFFF$_H$	32	FFF9 4018$_H$	2	8、16、32
PBG	PBG2A プロテクションレジスタ 7	FSGD2ADPROT7	07FF FFFF$_H$	32	FFF9 401C$_H$	2	8、16、32
PBG	PBG2A プロテクションレジスタ 12	FSGD2ADPROT12	07FF FFFF$_H$	32	FFF9 4030$_H$	2	8、16、32
PBG	PBG2A エラーコントロールレジスタ	ERRSLV2ACTL	0000 0000$_H$	32	FFF9 4200$_H$	2	8、16、32
PBG	PBG2A エラーステータスレジスタ	ERRSLV2ASTAT	0000 0000$_H$	32	FFF9 4204$_H$	2	8、16、32
PBG	PBG2A エラーアドレスレジスタ	ERRSLV2AADDR	0000 0000$_H$	32	FFF9 4208$_H$	2	32
PBG	PBG2A エラータイプレジスタ	ERRSLV2ATYPE	0000 0000$_H$	32	FFF9 420C$_H$	2	16、32
APDP	P-Bus データパリティステータスレジスタ CS0A	APDPERRST_CS0A	0000 0000$_H$	32	FFF9 6000$_H$	2	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ CS0A	APDPERRSTC_CS0A	0000 0000$_H$	32	FFF9 6004$_H$	2	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ CS0A	APDPTMC_CS0A	0000 0000$_H$	32	FFF9 6008$_H$	2	16、32

(245/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
APDP	P-Bus データパリティエラーアドレスレジスタ CS0A	APDPERRADR_CS0A	$0000\ 0000_H$	32	$FFF9\ 600C_H$	2	32
APDP	P-Bus データパリティステータスレジスタ CS0B	APDPERRST_CS0B	$0000\ 0000_H$	32	$FFF9\ 6020_H$	2	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ CS0B	APDPERRSTC_CS0B	$0000\ 0000_H$	32	$FFF9\ 6024_H$	2	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ CS0B	APDPTMC_CS0B	$0000\ 0000_H$	32	$FFF9\ 6028_H$	2	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ CS0B	APDPERRADR_CS0B	$0000\ 0000_H$	32	$FFF9\ 602C_H$	2	32
APDP	P-Bus データパリティステータスレジスタ CS1A	APDPERRST_CS1A	$0000\ 0000_H$	32	$FFF9\ 6040_H$	2	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ CS1A	APDPERRSTC_CS1A	$0000\ 0000_H$	32	$FFF9\ 6044_H$	2	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ CS1A	APDPTMC_CS1A	$0000\ 0000_H$	32	$FFF9\ 6048_H$	2	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ CS1A	APDPERRADR_CS1A	$0000\ 0000_H$	32	$FFF9\ 604C_H$	2	32
APDP	P-Bus データパリティステータスレジスタ CS1B	APDPERRST_CS1B	$0000\ 0000_H$	32	$FFF9\ 6060_H$	2	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ CS1B	APDPERRSTC_CS1B	$0000\ 0000_H$	32	$FFF9\ 6064_H$	2	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ CS1B	APDPTMC_CS1B	$0000\ 0000_H$	32	$FFF9\ 6068_H$	2	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ CS1B	APDPERRADR_CS1B	$0000\ 0000_H$	32	$FFF9\ 606C_H$	2	32
APDP	P-Bus データパリティステータスレジスタ CS2A	APDPERRST_CS2A	$0000\ 0000_H$	32	$FFF9\ 6080_H$	2	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ CS2A	APDPERRSTC_CS2A	$0000\ 0000_H$	32	$FFF9\ 6084_H$	2	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ CS2A	APDPTMC_CS2A	$0000\ 0000_H$	32	$FFF9\ 6088_H$	2	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ CS2A	APDPERRADR_CS2A	$0000\ 0000_H$	32	$FFF9\ 608C_H$	2	32
APDP	P-Bus データパリティステータスレジスタ CS2B	APDPERRST_CS2B	$0000\ 0000_H$	32	$FFF9\ 60A0_H$	2	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ CS2B	APDPERRSTC_CS2B	$0000\ 0000_H$	32	$FFF9\ 60A4_H$	2	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ CS2B	APDPTMC_CS2B	$0000\ 0000_H$	32	$FFF9\ 60A8_H$	2	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ CS2B	APDPERRADR_CS2B	$0000\ 0000_H$	32	$FFF9\ 60AC_H$	2	32
APDP	P-Bus データパリティステータスレジスタ CS3A	APDPERRST_CS3A	$0000\ 0000_H$	32	$FFF9\ 60C0_H$	2	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ CS3A	APDPERRSTC_CS3A	$0000\ 0000_H$	32	$FFF9\ 60C4_H$	2	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ CS3A	APDPTMC_CS3A	$0000\ 0000_H$	32	$FFF9\ 60C8_H$	2	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ CS3A	APDPERRADR_CS3A	$0000\ 0000_H$	32	$FFF9\ 60CC_H$	2	32
APDP	P-Bus データパリティステータスレジスタ CS3B	APDPERRST_CS3B	$0000\ 0000_H$	32	$FFF9\ 60E0_H$	2	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ CS3B	APDPERRSTC_CS3B	$0000\ 0000_H$	32	$FFF9\ 60E4_H$	2	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ CS3B	APDPTMC_CS3B	$0000\ 0000_H$	32	$FFF9\ 60E8_H$	2	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ CS3B	APDPERRADR_CS3B	$0000\ 0000_H$	32	$FFF9\ 60EC_H$	2	32
INTIF	周辺割り込みステータスレジスタ 0	PINT0	$0000\ 0000_H$	32	$FFF9\ 8000_H$	2	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTIF	周辺割り込みステータスレジスタ 1	PINT1	$0000\ 0000_H$	32	$FFF9\ 8004_H$	2	32
INTIF	周辺割り込みステータスレジスタ 2	PINT2	$0000\ 0000_H$	32	$FFF9\ 8008_H$	2	32
INTIF	周辺割り込みステータスレジスタ 3	PINT3	$0000\ 0000_H$	32	$FFF9\ 800C_H$	2	32
INTIF	周辺割り込みステータスレジスタ 4	PINT4	$0000\ 0000_H$	32	$FFF9\ 8010_H$	2	32
INTIF	周辺割り込みステータスレジスタ 5	PINT5	$0000\ 0000_H$	32	$FFF9\ 8014_H$	2	32
INTIF	周辺割り込みステータスレジスタ 6	PINT6	$0000\ 0000_H$	32	$FFF9\ 8018_H$	2	32
INTIF	周辺割り込みステータスレジスタ 7	PINT7	$0000\ 0000_H$	32	$FFF9\ 801C_H$	2	32
INTIF	周辺割り込みステータスクリアレジスタ 0	PINTCLR0	$0000\ 0000_H$	32	$FFF9\ 8020_H$	2	32
INTIF	周辺割り込みステータスクリアレジスタ 1	PINTCLR1	$0000\ 0000_H$	32	$FFF9\ 8024_H$	2	32
INTIF	周辺割り込みステータスクリアレジスタ 2	PINTCLR2	$0000\ 0000_H$	32	$FFF9\ 8028_H$	2	32
INTIF	周辺割り込みステータスクリアレジスタ 3	PINTCLR3	$0000\ 0000_H$	32	$FFF9\ 802C_H$	2	32
INTIF	周辺割り込みステータスクリアレジスタ 4	PINTCLR4	$0000\ 0000_H$	32	$FFF9\ 8030_H$	2	32
INTIF	周辺割り込みステータスクリアレジスタ 5	PINTCLR5	$0000\ 0000_H$	32	$FFF9\ 8034_H$	2	32
INTIF	周辺割り込みステータスクリアレジスタ 6	PINTCLR6	$0000\ 0000_H$	32	$FFF9\ 8038_H$	2	32
INTIF	周辺割り込みステータスクリアレジスタ 7	PINTCLR7	$0000\ 0000_H$	32	$FFF9\ 803C_H$	2	32
INTG	タイマインタラプトマスクイネーブルレジスタ	TIMER	00_H	8	$FFF9\ 8040_H$	2	8
APDP	P-Bus データパリティステータスレジスタ INTC2C	APDPERRST_INTC2C	$0000\ 0000_H$	32	$FFF9\ 9000_H$	2	8、16、32
APDP	P-Bus データパリティステータスクリアレジスタ INTC2C	APDPERRSTC_INTC2C	$0000\ 0000_H$	32	$FFF9\ 9004_H$	2	8、16、32
APDP	P-Bus データパリティテストモードコントロールレジスタ INTC2C	APDPTMC_INTC2C	$0000\ 0000_H$	32	$FFF9\ 9008_H$	2	16、32
APDP	P-Bus データパリティエラーアドレスレジスタ INTC2C	APDPERRADR_INTC2C	$0000\ 0000_H$	32	$FFF9\ 900C_H$	2	32
IPG	周辺装置保護違反アクセス情報保存レジスタ	IPGECRUM	不定（保持）	16	$FFFE\ E002_H$	CPU	16
IPG	周辺装置保護違反アクセスアドレス保存レジスタ	IPGADRUM	不定（保持）	32	$FFFE\ E008_H$	CPU	32
IPG	周辺装置保護イネーブルレジスタ	IPGENUM	00_H	8	$FFFE\ E00D_H$	CPU	8
IPG	周辺装置保護設定レジスタ 2	IPGPMTUM2	00_H	8	$FFFE\ E022_H$	CPU	8
IPG	周辺装置保護設定レジスタ 3	IPGPMTUM3	00_H	8	$FFFE\ E023_H$	CPU	8
IPG	周辺装置保護設定レジスタ 4	IPGPMTUM4	00_H	8	$FFFE\ E024_H$	CPU	8
PEG	PE ガード PEID&SPID マスタ判定制御レジスタ	PEGSP	0000_H	16	$FFFE\ E60C_H$	CPU	8、16
PEG	PE ガード領域 0 マスク設定レジスタ	PEGG0MK	$FFE0\ 0000_H$	32	$FFFE\ E680_H$	CPU	8、16、32
PEG	PE ガード領域 0 ベース設定レジスタ	PEGG0BA	$FEA0\ 0000_H$	32	$FFFE\ E684_H$	CPU	8、16、32
PEG	PE ガード領域 0SPID 設定レジスタ	PEGG0SP	$0000\ 0000_H$	32	$FFFE\ E688_H$	CPU	8、16、32
PEG	PE ガード領域 0PEID 設定レジスタ	PEGG0PE	$0000\ 0000_H$	32	$FFFE\ E68C_H$	CPU	8、16、32
PEG	PE ガード領域 1 マスク設定レジスタ	PEGG1MK	$FFE0\ 0000_H$	32	$FFFE\ E690_H$	CPU	8、16、32
PEG	PE ガード領域 1 ベース設定レジスタ	PEGG1BA	$FEA0\ 0000_H$	32	$FFFE\ E694_H$	CPU	8、16、32
PEG	PE ガード領域 1SPID 設定レジスタ	PEGG1SP	$0000\ 0000_H$	32	$FFFE\ E688_H$	CPU	8、16、32
PEG	PE ガード領域 1PEID 設定レジスタ	PEGG1PE	$0000\ 0000_H$	32	$FFFE\ E68C_H$	CPU	8、16、32
PEG	PE ガード領域 2 マスク設定レジスタ	PEGG2MK	$FFE0\ 0000_H$	32	$FFFE\ E6A0_H$	CPU	8、16、32
PEG	PE ガード領域 2 ベース設定レジスタ	PEGG2BA	$FEA0\ 0000_H$	32	$FFFE\ E6A4_H$	CPU	8、16、32
PEG	PE ガード領域 2SPID 設定レジスタ	PEGG2SP	$0000\ 0000_H$	32	$FFFE\ E688_H$	CPU	8、16、32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
PEG	PE ガード領域 2PEID 設定レジスタ	PEGG2PE	0000 0000_H	32	FFFE $E68C_H$	CPU	8、16、32
PEG	PE ガード領域 3 マスク設定レジスタ	PEGG3MK	FFE0 0000_H	32	FFFE $E6B0_H$	CPU	8、16、32
PEG	PE ガード領域 3 ベース設定レジスタ	PEGG3BA	FEA0 0000_H	32	FFFE $E6B4_H$	CPU	8、16、32
PEG	PE ガード領域 3SPID 設定レジスタ	PEGG3SP	0000 0000_H	32	FFFE $E688_H$	CPU	8、16、32
PEG	PE ガード領域 3PEID 設定レジスタ	PEGG3PE	0000 0000_H	32	FFFE $E68C_H$	CPU	8、16、32
SEG	エラー通知制御レジスタ	SEGCONT	0000_H	16	FFFE $E980_H$	CPU	16
SEG	エラー発生保持レジスタ	SEGFLAG	0000_H	16	FFFE $E982_H$	CPU	16
SEG	エラー要因保持レジスタ（アドレス）	SEGADDR	不定（保持）	32	FFFE $E988_H$	CPU	16、32
PCU	システムエラーコントロールレジスタ	SEG_CONT	0000_H	16	FFFE $E9F0_H$	CPU	8、16
PCU	システムエラーフラグレジスタ	SEG_FLAG	0000_H	16	FFFE $E9F2_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 0	EIC0	$008F_H$/0087_H	16	FFFE $EA00_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 1	EIC1	$008F_H$/0087_H	16	FFFE $EA02_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 2	EIC2	$008F_H$/0087_H	16	FFFE $EA04_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 3	EIC3	$008F_H$/0087_H	16	FFFE $EA06_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 8	EIC8	$008F_H$/0087_H	16	FFFE $EA10_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 9	EIC9	$808F_H$/8087_H	16	FFFE $EA12_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 10	EIC10	$808F_H$/8087_H	16	FFFE $EA14_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 11	EIC11	$808F_H$/8087_H	16	FFFE $EA16_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 12	EIC12	$808F_H$/8087_H	16	FFFE $EA18_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 13	EIC13	$808F_H$/8087_H	16	FFFE $EA1A_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 14	EIC14	$808F_H$/8087_H	16	FFFE $EA1C_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 15	EIC15	$808F_H$/8087_H	16	FFFE $EA1E_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 16	EIC16	$808F_H$/8087_H	16	FFFE $EA20_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 17	EIC17	$808F_H$/8087_H	16	FFFE $EA22_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 18	EIC18	$808F_H$/8087_H	16	FFFE $EA24_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 19	EIC19	$808F_H$/8087_H	16	FFFE $EA26_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 20	EIC20	$808F_H$/8087_H	16	FFFE $EA28_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 25	EIC25	$008F_H$/0087_H	16	FFFE $EA32_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 26	EIC26	$008F_H$/0087_H	16	FFFE $EA34_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 27	EIC27	$008F_H$/0087_H	16	FFFE $EA36_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 29	EIC29	$008F_H$/0087_H	16	FFFE $EA3A_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 30	EIC30	$008F_H$/0087_H	16	FFFE $EA3C_H$	CPU	8、16
INTC1	EI レベル割り込み制御レジスタ 31	EIC31	$008F_H$/0087_H	16	FFFE $EA3E_H$	CPU	8、16
INTC1	EI レベル割り込みマスクレジスタ 0	IMR0	FFFF $FFFF_H$	32	FFFE $EAF0_H$	CPU	8、16、32
INTC1	EI レベル割り込みバインドレジスタ 0	EIBD0	PEID ビットと同じ値	32	FFFE $EB00_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 1	EIBD1	PEID ビットと同じ値	32	FFFE $EB04_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 2	EIBD2	PEID ビットと同じ値	32	FFFE $EB08_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 3	EIBD3	PEID ビットと同じ値	32	FFFE $EB0C_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 8	EIBD8	PEID ビットと同じ値	32	FFFE $EB20_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 9	EIBD9	PEID ビットと同じ値	32	FFFE $EB24_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 10	EIBD10	PEID ビットと同じ値	32	FFFE $EB28_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 11	EIBD11	PEID ビットと同じ値	32	FFFE $EB2C_H$	CPU	32

(248/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC1	EI レベル割り込みバインドレジスタ 12	EIBD12	PEID ビットと 同じ値	32	FFFE EB30$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 13	EIBD13	PEID ビットと 同じ値	32	FFFE EB34$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 14	EIBD14	PEID ビットと 同じ値	32	FFFE EB38$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 15	EIBD15	PEID ビットと 同じ値	32	FFFE EB3C$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 16	EIBD16	PEID ビットと 同じ値	32	FFFE EB40$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 17	EIBD17	PEID ビットと 同じ値	32	FFFE EB44$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 18	EIBD18	PEID ビットと 同じ値	32	FFFE EB48$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 19	EIBD19	PEID ビットと 同じ値	32	FFFE EB4C$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 20	EIBD20	PEID ビットと 同じ値	32	FFFE EB50$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 25	EIBD25	PEID ビットと 同じ値	32	FFFE EB64$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 26	EIBD26	PEID ビットと 同じ値	32	FFFE EB68$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 27	EIBD27	PEID ビットと 同じ値	32	FFFE EB6C$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 29	EIBD29	PEID ビットと 同じ値	32	FFFE EB74$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 30	EIBD30	PEID ビットと 同じ値	32	FFFE EB78$_H$	CPU	32
INTC1	EI レベル割り込みバインドレジスタ 31	EIBD31	PEID ビットと 同じ値	32	FFFE EB7C$_H$	CPU	32
MEV	排他制御専用レジスタ 0	G0MEV0	0000 0000$_H$	32	FFFE EC00$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 1	G0MEV1	0000 0000$_H$	32	FFFE EC04$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 2	G0MEV2	0000 0000$_H$	32	FFFE EC08$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 3	G0MEV3	0000 0000$_H$	32	FFFE EC0C$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 4	G0MEV4	0000 0000$_H$	32	FFFE EC10$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 5	G0MEV5	0000 0000$_H$	32	FFFE EC14$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 6	G0MEV6	0000 0000$_H$	32	FFFE EC18$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 7	G0MEV7	0000 0000$_H$	32	FFFE EC1C$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 8	G0MEV8	0000 0000$_H$	32	FFFE EC20$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 9	G0MEV9	0000 0000$_H$	32	FFFE EC24$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 10	G0MEV10	0000 0000$_H$	32	FFFE EC28$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 11	G0MEV11	0000 0000$_H$	32	FFFE EC2C$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 12	G0MEV12	0000 0000$_H$	32	FFFE EC30$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 13	G0MEV13	0000 0000$_H$	32	FFFE EC34$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 14	G0MEV14	0000 0000$_H$	32	FFFE EC38$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 15	G0MEV15	0000 0000$_H$	32	FFFE EC3C$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 16	G0MEV16	0000 0000$_H$	32	FFFE EC40$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 17	G0MEV17	0000 0000$_H$	32	FFFE EC44$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 18	G0MEV18	0000 0000$_H$	32	FFFE EC48$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 19	G0MEV19	0000 0000$_H$	32	FFFE EC4C$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 20	G0MEV20	0000 0000$_H$	32	FFFE EC50$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 21	G0MEV21	0000 0000$_H$	32	FFFE EC54$_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 22	G0MEV22	0000 0000$_H$	32	FFFE EC58$_H$	CPU	8、16、32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
MEV	排他制御専用レジスタ 23	G0MEV23	$0000\ 0000_H$	32	$FFFE\ EC5C_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 24	G0MEV24	$0000\ 0000_H$	32	$FFFE\ EC60_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 25	G0MEV25	$0000\ 0000_H$	32	$FFFE\ EC64_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 26	G0MEV26	$0000\ 0000_H$	32	$FFFE\ EC68_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 27	G0MEV27	$0000\ 0000_H$	32	$FFFE\ EC6C_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 28	G0MEV28	$0000\ 0000_H$	32	$FFFE\ EC70_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 29	G0MEV29	$0000\ 0000_H$	32	$FFFE\ EC74_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 30	G0MEV30	$0000\ 0000_H$	32	$FFFE\ EC78_H$	CPU	8、16、32
MEV	排他制御専用レジスタ 31	G0MEV31	$0000\ 0000_H$	32	$FFFE\ EC7C_H$	CPU	8、16、32
IPIRSS	PE 間割り込みレジスタ 0	IPIR_CH0	$0000\ 0000_H$	32	$FFFE\ EC80_H$	CPU	8、16、32
IPIRSS	PE 間割り込みレジスタ 1	IPIR_CH1	$0000\ 0000_H$	32	$FFFE\ EC84_H$	CPU	8、16、32
IPIRSS	PE 間割り込みレジスタ 2	IPIR_CH2	$0000\ 0000_H$	32	$FFFE\ EC88_H$	CPU	8、16、32
IPIRSS	PE 間割り込みレジスタ 3	IPIR_CH3	$0000\ 0000_H$	32	$FFFE\ EC8C_H$	CPU	8、16、32
TESTCOMP	比較器テストレジスタ 0	TESTCOMPREG0	$0000\ 0000_H$	32	$FFFE\ ED00_H$	CPU	8、16、32
TESTCOMP	比較器テストレジスタ 1	TESTCOMPREG1	$0000\ 0000_H$	32	$FFFE\ ED04_H$	CPU	8、16、32
LS0	ロックステップエラーコントロールレジスタ	LS_ERR_CNT	$0000\ 0000_H$	32	$FFFE\ EE00_H$	CPU	32
LS0	ロックステップエラーステータスレジスタ	LS_ERR_ST	$0000\ 0000_H$	32	$FFFE\ EE04_H$	CPU	32
LS0	ロックステップエラーアドレスレジスタ	LS_ERR_ADDRESS	$XXXX\ XXXX_H$	32	$FFFE\ EE10_H$	CPU	32
LS0	ロックステップエラーデータレジスタ	LS_ERR_DATA	$XXXX\ XXXX_H$	32	$FFFE\ EE14_H$	CPU	32
CFU	キャッシュ・クリア操作レジスタ	TM_CC	$0000\ 0000_H$	32	$FFFF\ 7808_H$	0	32
CFU	チューニング･メモリ･マッピング許可レジスタ	TM_ME	$0000\ 0000_H$	32	$FFFF\ 7810_H$	0	32
CFU	チューニング･メモリ･マッピング･ステータス･レジスタ	TM_MS	$0000\ 0000_H$	32	$FFFF\ 7814_H$	0	32
CFU	チューニング･メモリ･マッピング･バンク･レジスタ	TM_BNK	$0000\ 0000_H$	32	$FFFF\ 7820_H$	0	32
CFU	チューニング･メモリ･マッピング･エラー･レジスタ	TM_ERR	$0000\ 0000_H$	32	$FFFF\ 7824_H$	0	32
CFU	チューニング･メモリ･ Flash バンク･レジスタ	TM_FST	$0000\ 00F0_H$	32	$FFFF\ 7828_H$	0	32
CFU	チューニング・メモリ・バンク・マッピング・サイズ・コンフィグレーション・レジスタ 0	TM_BMC0	$0000\ 0000_H$	32	$FFFF\ 7830_H$	0	32
CFU	チューニング・メモリ・マッピング・アドレス・レジスタ 00	TM_MA00	$0000\ 0000_H$	32	$FFFF\ 7840_H$	0	32
DMASS	DMA 制御レジスタ	DMACTL	$0000\ 0000_H$	32	$FFFF\ 8000_H$	0	32
DMASS	DTS 制御レジスタ 1	DTSCTL1	$0000\ 0000_H$	32	$FFFF\ 8010_H$	0	32
DMASS	DTS 制御レジスタ 2	DTSCTL2	$0000\ 0000_H$	32	$FFFF\ 8014_H$	0	32
DMASS	DTS 状態レジスタ	DTSSTS	$0000\ 0000_H$	32	$FFFF\ 8018_H$	0	32
DMASS	DMAC エラーレジスタ	DMACER	$0000\ 0000_H$	32	$FFFF\ 8020_H$	0	32
DMASS	DTS エラーレジスタ 1	DTSER1	$0000\ 0000_H$	32	$FFFF\ 8024_H$	0	32
DMASS	DTS エラーレジスタ 2	DTSER2	$0000\ 0000_H$	32	$FFFF\ 8028_H$	0	32
DMASS	DTS エラークリアレジスタ	DTSERC	$0000\ 0000_H$	32	$FFFF\ 802C_H$	0	32
DMASS	DMAC0 レジスタアクセス保護違反レジスタ	DM0CMV	$0000\ 0000_H$	32	$FFFF\ 8030_H$	0	32
DMASS	DMAC1 レジスタアクセス保護違反レジスタ	DM1CMV	$0000\ 0000_H$	32	$FFFF\ 8034_H$	0	32
DMASS	DTS レジスタアクセス保護違反レジスタ	DTSCMV	$0000\ 0000_H$	32	$FFFF\ 8038_H$	0	32
DMASS	レジスタアクセス保護違反クリアレジスタ	CMVC	$0000\ 0000_H$	32	$FFFF\ 803C_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS チャネル優先度設定レジスタ 0	DTSPR0	$0000\ 0000_H$	32	$FFFF\ 8060_H$	0	32
DMASS	DTS チャネル優先度設定レジスタ 1	DTSPR1	$0000\ 0000_H$	32	$FFFF\ 8064_H$	0	32
DMASS	DTS チャネル優先度設定レジスタ 2	DTSPR2	$0000\ 0000_H$	32	$FFFF\ 8068_H$	0	32
DMASS	DTS チャネル優先度設定レジスタ 3	DTSPR3	$0000\ 0000_H$	32	$FFFF\ 806C_H$	0	32
DMASS	DTS チャネル優先度設定レジスタ 4	DTSPR4	$0000\ 0000_H$	32	$FFFF\ 8070_H$	0	32
DMASS	DTS チャネル優先度設定レジスタ 5	DTSPR5	$0000\ 0000_H$	32	$FFFF\ 8074_H$	0	32
DMASS	DTS チャネル優先度設定レジスタ 6	DTSPR6	$0000\ 0000_H$	32	$FFFF\ 8078_H$	0	32
DMASS	DTS チャネル優先度設定レジスタ 7	DTSPR7	$0000\ 0000_H$	32	$FFFF\ 807C_H$	0	32
DMASS	DTSRAM ECC コントロールレジスタ	DTRECCTL	$0000\ 0000_H$	32	$FFFF\ 8080_H$	0	32
DMASS	DTSRAM エラー通知コントロールレジスタ	DTRERINT	$0000\ 0002_H$	32	$FFFF\ 8084_H$	0	32
DMASS	DTSRAM テストコントロールレジスタ	DTRTSCTL	$0000\ 0000_H$	32	$FFFF\ 8094_H$	0	32
DMASS	DTSRAM テスト書き込みデータレジスタ	DTRTWDAT	$0000\ 0000_H$	32	$FFFF\ 8098_H$	0	32
DMASS	DTSRAM テスト読み出しデータレジスタ	DTRTRDAT	$0000\ 0000_H$	32	$FFFF\ 809C_H$	0	32
DMASS	DMAC0 チャネル 0 チャネルマスタ設定レジスタ	DM00CM	$0000\ 0010_H$	32	$FFFF\ 8100_H$	0	32
DMASS	DMAC0 チャネル 1 チャネルマスタ設定レジスタ	DM01CM	$0000\ 0010_H$	32	$FFFF\ 8104_H$	0	32
DMASS	DMAC0 チャネル 2 チャネルマスタ設定レジスタ	DM02CM	$0000\ 0010_H$	32	$FFFF\ 8108_H$	0	32
DMASS	DMAC0 チャネル 3 チャネルマスタ設定レジスタ	DM03CM	$0000\ 0010_H$	32	$FFFF\ 810C_H$	0	32
DMASS	DMAC0 チャネル 4 チャネルマスタ設定レジスタ	DM04CM	$0000\ 0010_H$	32	$FFFF\ 8110_H$	0	32
DMASS	DMAC0 チャネル 5 チャネルマスタ設定レジスタ	DM05CM	$0000\ 0010_H$	32	$FFFF\ 8114_H$	0	32
DMASS	DMAC0 チャネル 6 チャネルマスタ設定レジスタ	DM06CM	$0000\ 0010_H$	32	$FFFF\ 8118_H$	0	32
DMASS	DMAC0 チャネル 7 チャネルマスタ設定レジスタ	DM07CM	$0000\ 0010_H$	32	$FFFF\ 811C_H$	0	32
DMASS	DMAC1 チャネル 0 チャネルマスタ設定レジスタ	DM10CM	$0000\ 0010_H$	32	$FFFF\ 8120_H$	0	32
DMASS	DMAC1 チャネル 1 チャネルマスタ設定レジスタ	DM11CM	$0000\ 0010_H$	32	$FFFF\ 8124_H$	0	32
DMASS	DMAC1 チャネル 2 チャネルマスタ設定レジスタ	DM12CM	$0000\ 0010_H$	32	$FFFF\ 8128_H$	0	32
DMASS	DMAC1 チャネル 3 チャネルマスタ設定レジスタ	DM13CM	$0000\ 0010_H$	32	$FFFF\ 812C_H$	0	32
DMASS	DMAC1 チャネル 4 チャネルマスタ設定レジスタ	DM14CM	$0000\ 0010_H$	32	$FFFF\ 8130_H$	0	32
DMASS	DMAC1 チャネル 5 チャネルマスタ設定レジスタ	DM15CM	$0000\ 0010_H$	32	$FFFF\ 8134_H$	0	32
DMASS	DMAC1 チャネル 6 チャネルマスタ設定レジスタ	DM16CM	$0000\ 0010_H$	32	$FFFF\ 8138_H$	0	32
DMASS	DMAC1 チャネル 7 チャネルマスタ設定レジスタ	DM17CM	$0000\ 0010_H$	32	$FFFF\ 813C_H$	0	32
DMASS	DTS チャネル 000 チャネルマスタ設定レジスタ	DTS000CM	$XXXX\ XXXX_H$	32	$FFFF\ 8200_H$	0	32
DMASS	DTS チャネル 001 チャネルマスタ設定レジスタ	DTS001CM	$XXXX\ XXXX_H$	32	$FFFF\ 8204_H$	0	32
DMASS	DTS チャネル 002 チャネルマスタ設定レジスタ	DTS002CM	$XXXX\ XXXX_H$	32	$FFFF\ 8208_H$	0	32
DMASS	DTS チャネル 003 チャネルマスタ設定レジスタ	DTS003CM	$XXXX\ XXXX_H$	32	$FFFF\ 820C_H$	0	32
DMASS	DTS チャネル 004 チャネルマスタ設定レジスタ	DTS004CM	$XXXX\ XXXX_H$	32	$FFFF\ 8210_H$	0	32

(251/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS チャネル 005 チャネルマスタ設定レジスタ	DTS005CM	XXXX XXXX_H	32	FFFF 8214_H	0	32
DMASS	DTS チャネル 006 チャネルマスタ設定レジスタ	DTS006CM	XXXX XXXX_H	32	FFFF 8218_H	0	32
DMASS	DTS チャネル 007 チャネルマスタ設定レジスタ	DTS007CM	XXXX XXXX_H	32	FFFF $821C_H$	0	32
DMASS	DTS チャネル 008 チャネルマスタ設定レジスタ	DTS008CM	XXXX XXXX_H	32	FFFF 8220_H	0	32
DMASS	DTS チャネル 009 チャネルマスタ設定レジスタ	DTS009CM	XXXX XXXX_H	32	FFFF 8224_H	0	32
DMASS	DTS チャネル 010 チャネルマスタ設定レジスタ	DTS010CM	XXXX XXXX_H	32	FFFF 8228_H	0	32
DMASS	DTS チャネル 011 チャネルマスタ設定レジスタ	DTS011CM	XXXX XXXX_H	32	FFFF $822C_H$	0	32
DMASS	DTS チャネル 012 チャネルマスタ設定レジスタ	DTS012CM	XXXX XXXX_H	32	FFFF 8230_H	0	32
DMASS	DTS チャネル 013 チャネルマスタ設定レジスタ	DTS013CM	XXXX XXXX_H	32	FFFF 8234_H	0	32
DMASS	DTS チャネル 014 チャネルマスタ設定レジスタ	DTS014CM	XXXX XXXX_H	32	FFFF 8238_H	0	32
DMASS	DTS チャネル 015 チャネルマスタ設定レジスタ	DTS015CM	XXXX XXXX_H	32	FFFF $823C_H$	0	32
DMASS	DTS チャネル 016 チャネルマスタ設定レジスタ	DTS016CM	XXXX XXXX_H	32	FFFF 8240_H	0	32
DMASS	DTS チャネル 017 チャネルマスタ設定レジスタ	DTS017CM	XXXX XXXX_H	32	FFFF 8244_H	0	32
DMASS	DTS チャネル 018 チャネルマスタ設定レジスタ	DTS018CM	XXXX XXXX_H	32	FFFF 8248_H	0	32
DMASS	DTS チャネル 019 チャネルマスタ設定レジスタ	DTS019CM	XXXX XXXX_H	32	FFFF $824C_H$	0	32
DMASS	DTS チャネル 020 チャネルマスタ設定レジスタ	DTS020CM	XXXX XXXX_H	32	FFFF 8250_H	0	32
DMASS	DTS チャネル 021 チャネルマスタ設定レジスタ	DTS021CM	XXXX XXXX_H	32	FFFF 8254_H	0	32
DMASS	DTS チャネル 022 チャネルマスタ設定レジスタ	DTS022CM	XXXX XXXX_H	32	FFFF 8258_H	0	32
DMASS	DTS チャネル 023 チャネルマスタ設定レジスタ	DTS023CM	XXXX XXXX_H	32	FFFF $825C_H$	0	32
DMASS	DTS チャネル 024 チャネルマスタ設定レジスタ	DTS024CM	XXXX XXXX_H	32	FFFF 8260_H	0	32
DMASS	DTS チャネル 025 チャネルマスタ設定レジスタ	DTS025CM	XXXX XXXX_H	32	FFFF 8264_H	0	32
DMASS	DTS チャネル 026 チャネルマスタ設定レジスタ	DTS026CM	XXXX XXXX_H	32	FFFF 8268_H	0	32
DMASS	DTS チャネル 027 チャネルマスタ設定レジスタ	DTS027CM	XXXX XXXX_H	32	FFFF $826C_H$	0	32
DMASS	DTS チャネル 028 チャネルマスタ設定レジスタ	DTS028CM	XXXX XXXX_H	32	FFFF 8270_H	0	32
DMASS	DTS チャネル 029 チャネルマスタ設定レジスタ	DTS029CM	XXXX XXXX_H	32	FFFF 8274_H	0	32
DMASS	DTS チャネル 030 チャネルマスタ設定レジスタ	DTS030CM	XXXX XXXX_H	32	FFFF 8278_H	0	32
DMASS	DTS チャネル 031 チャネルマスタ設定レジスタ	DTS031CM	XXXX XXXX_H	32	FFFF $827C_H$	0	32
DMASS	DTS チャネル 032 チャネルマスタ設定レジスタ	DTS032CM	XXXX XXXX_H	32	FFFF 8280_H	0	32
DMASS	DTS チャネル 033 チャネルマスタ設定レジスタ	DTS033CM	XXXX XXXX_H	32	FFFF 8284_H	0	32
DMASS	DTS チャネル 034 チャネルマスタ設定レジスタ	DTS034CM	XXXX XXXX_H	32	FFFF 8288_H	0	32

(252/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS チャネル 035 チャネルマスタ設定レジスタ	DTS035CM	XXXX XXXX_H	32	FFFF $828C_H$	0	32
DMASS	DTS チャネル 036 チャネルマスタ設定レジスタ	DTS036CM	XXXX XXXX_H	32	FFFF 8290_H	0	32
DMASS	DTS チャネル 037 チャネルマスタ設定レジスタ	DTS037CM	XXXX XXXX_H	32	FFFF 8294_H	0	32
DMASS	DTS チャネル 038 チャネルマスタ設定レジスタ	DTS038CM	XXXX XXXX_H	32	FFFF 8298_H	0	32
DMASS	DTS チャネル 039 チャネルマスタ設定レジスタ	DTS039CM	XXXX XXXX_H	32	FFFF $829C_H$	0	32
DMASS	DTS チャネル 040 チャネルマスタ設定レジスタ	DTS040CM	XXXX XXXX_H	32	FFFF $82A0_H$	0	32
DMASS	DTS チャネル 041 チャネルマスタ設定レジスタ	DTS041CM	XXXX XXXX_H	32	FFFF $82A4_H$	0	32
DMASS	DTS チャネル 042 チャネルマスタ設定レジスタ	DTS042CM	XXXX XXXX_H	32	FFFF $82A8_H$	0	32
DMASS	DTS チャネル 043 チャネルマスタ設定レジスタ	DTS043CM	XXXX XXXX_H	32	FFFF $82AC_H$	0	32
DMASS	DTS チャネル 044 チャネルマスタ設定レジスタ	DTS044CM	XXXX XXXX_H	32	FFFF $82B0_H$	0	32
DMASS	DTS チャネル 045 チャネルマスタ設定レジスタ	DTS045CM	XXXX XXXX_H	32	FFFF $82B4_H$	0	32
DMASS	DTS チャネル 046 チャネルマスタ設定レジスタ	DTS046CM	XXXX XXXX_H	32	FFFF $82B8_H$	0	32
DMASS	DTS チャネル 047 チャネルマスタ設定レジスタ	DTS047CM	XXXX XXXX_H	32	FFFF $82BC_H$	0	32
DMASS	DTS チャネル 048 チャネルマスタ設定レジスタ	DTS048CM	XXXX XXXX_H	32	FFFF $82C0_H$	0	32
DMASS	DTS チャネル 049 チャネルマスタ設定レジスタ	DTS049CM	XXXX XXXX_H	32	FFFF $82C4_H$	0	32
DMASS	DTS チャネル 050 チャネルマスタ設定レジスタ	DTS050CM	XXXX XXXX_H	32	FFFF $82C8_H$	0	32
DMASS	DTS チャネル 051 チャネルマスタ設定レジスタ	DTS051CM	XXXX XXXX_H	32	FFFF $82CC_H$	0	32
DMASS	DTS チャネル 052 チャネルマスタ設定レジスタ	DTS052CM	XXXX XXXX_H	32	FFFF $82D0_H$	0	32
DMASS	DTS チャネル 053 チャネルマスタ設定レジスタ	DTS053CM	XXXX XXXX_H	32	FFFF $82D4_H$	0	32
DMASS	DTS チャネル 054 チャネルマスタ設定レジスタ	DTS054CM	XXXX XXXX_H	32	FFFF $82D8_H$	0	32
DMASS	DTS チャネル 055 チャネルマスタ設定レジスタ	DTS055CM	XXXX XXXX_H	32	FFFF $82DC_H$	0	32
DMASS	DTS チャネル 056 チャネルマスタ設定レジスタ	DTS056CM	XXXX XXXX_H	32	FFFF $82E0_H$	0	32
DMASS	DTS チャネル 057 チャネルマスタ設定レジスタ	DTS057CM	XXXX XXXX_H	32	FFFF $82E4_H$	0	32
DMASS	DTS チャネル 058 チャネルマスタ設定レジスタ	DTS058CM	XXXX XXXX_H	32	FFFF $82E8_H$	0	32
DMASS	DTS チャネル 059 チャネルマスタ設定レジスタ	DTS059CM	XXXX XXXX_H	32	FFFF $82EC_H$	0	32
DMASS	DTS チャネル 060 チャネルマスタ設定レジスタ	DTS060CM	XXXX XXXX_H	32	FFFF $82F0_H$	0	32
DMASS	DTS チャネル 061 チャネルマスタ設定レジスタ	DTS061CM	XXXX XXXX_H	32	FFFF $82F4_H$	0	32
DMASS	DTS チャネル 062 チャネルマスタ設定レジスタ	DTS062CM	XXXX XXXX_H	32	FFFF $82F8_H$	0	32
DMASS	DTS チャネル 063 チャネルマスタ設定レジスタ	DTS063CM	XXXX XXXX_H	32	FFFF $82FC_H$	0	32
DMASS	DTS チャネル 064 チャネルマスタ設定レジスタ	DTS064CM	XXXX XXXX_H	32	FFFF 8300_H	0	32

(253/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS チャネル 065 チャネルマスタ設定レジスタ	DTS065CM	XXXX XXXX_H	32	FFFF 8304_H	0	32
DMASS	DTS チャネル 066 チャネルマスタ設定レジスタ	DTS066CM	XXXX XXXX_H	32	FFFF 8308_H	0	32
DMASS	DTS チャネル 067 チャネルマスタ設定レジスタ	DTS067CM	XXXX XXXX_H	32	FFFF $830C_H$	0	32
DMASS	DTS チャネル 068 チャネルマスタ設定レジスタ	DTS068CM	XXXX XXXX_H	32	FFFF 8310_H	0	32
DMASS	DTS チャネル 069 チャネルマスタ設定レジスタ	DTS069CM	XXXX XXXX_H	32	FFFF 8314_H	0	32
DMASS	DTS チャネル 070 チャネルマスタ設定レジスタ	DTS070CM	XXXX XXXX_H	32	FFFF 8318_H	0	32
DMASS	DTS チャネル 071 チャネルマスタ設定レジスタ	DTS071CM	XXXX XXXX_H	32	FFFF $831C_H$	0	32
DMASS	DTS チャネル 072 チャネルマスタ設定レジスタ	DTS072CM	XXXX XXXX_H	32	FFFF 8320_H	0	32
DMASS	DTS チャネル 073 チャネルマスタ設定レジスタ	DTS073CM	XXXX XXXX_H	32	FFFF 8324_H	0	32
DMASS	DTS チャネル 074 チャネルマスタ設定レジスタ	DTS074CM	XXXX XXXX_H	32	FFFF 8328_H	0	32
DMASS	DTS チャネル 075 チャネルマスタ設定レジスタ	DTS075CM	XXXX XXXX_H	32	FFFF $832C_H$	0	32
DMASS	DTS チャネル 076 チャネルマスタ設定レジスタ	DTS076CM	XXXX XXXX_H	32	FFFF 8330_H	0	32
DMASS	DTS チャネル 077 チャネルマスタ設定レジスタ	DTS077CM	XXXX XXXX_H	32	FFFF 8334_H	0	32
DMASS	DTS チャネル 078 チャネルマスタ設定レジスタ	DTS078CM	XXXX XXXX_H	32	FFFF 8338_H	0	32
DMASS	DTS チャネル 079 チャネルマスタ設定レジスタ	DTS079CM	XXXX XXXX_H	32	FFFF $833C_H$	0	32
DMASS	DTS チャネル 080 チャネルマスタ設定レジスタ	DTS080CM	XXXX XXXX_H	32	FFFF 8340_H	0	32
DMASS	DTS チャネル 081 チャネルマスタ設定レジスタ	DTS081CM	XXXX XXXX_H	32	FFFF 8344_H	0	32
DMASS	DTS チャネル 082 チャネルマスタ設定レジスタ	DTS082CM	XXXX XXXX_H	32	FFFF 8348_H	0	32
DMASS	DTS チャネル 083 チャネルマスタ設定レジスタ	DTS083CM	XXXX XXXX_H	32	FFFF $834C_H$	0	32
DMASS	DTS チャネル 084 チャネルマスタ設定レジスタ	DTS084CM	XXXX XXXX_H	32	FFFF 8350_H	0	32
DMASS	DTS チャネル 085 チャネルマスタ設定レジスタ	DTS085CM	XXXX XXXX_H	32	FFFF 8354_H	0	32
DMASS	DTS チャネル 086 チャネルマスタ設定レジスタ	DTS086CM	XXXX XXXX_H	32	FFFF 8358_H	0	32
DMASS	DTS チャネル 087 チャネルマスタ設定レジスタ	DTS087CM	XXXX XXXX_H	32	FFFF $835C_H$	0	32
DMASS	DTS チャネル 088 チャネルマスタ設定レジスタ	DTS088CM	XXXX XXXX_H	32	FFFF 8360_H	0	32
DMASS	DTS チャネル 089 チャネルマスタ設定レジスタ	DTS089CM	XXXX XXXX_H	32	FFFF 8364_H	0	32
DMASS	DTS チャネル 090 チャネルマスタ設定レジスタ	DTS090CM	XXXX XXXX_H	32	FFFF 8368_H	0	32
DMASS	DTS チャネル 091 チャネルマスタ設定レジスタ	DTS091CM	XXXX XXXX_H	32	FFFF $836C_H$	0	32
DMASS	DTS チャネル 092 チャネルマスタ設定レジスタ	DTS092CM	XXXX XXXX_H	32	FFFF 8370_H	0	32
DMASS	DTS チャネル 093 チャネルマスタ設定レジスタ	DTS093CM	XXXX XXXX_H	32	FFFF 8374_H	0	32
DMASS	DTS チャネル 094 チャネルマスタ設定レジスタ	DTS094CM	XXXX XXXX_H	32	FFFF 8378_H	0	32

(254/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS チャネル 095 チャネルマスタ設定レジスタ	DTS095CM	XXXX XXXX_H	32	FFFF $837C_H$	0	32
DMASS	DTS チャネル 096 チャネルマスタ設定レジスタ	DTS096CM	XXXX XXXX_H	32	FFFF 8380_H	0	32
DMASS	DTS チャネル 097 チャネルマスタ設定レジスタ	DTS097CM	XXXX XXXX_H	32	FFFF 8384_H	0	32
DMASS	DTS チャネル 098 チャネルマスタ設定レジスタ	DTS098CM	XXXX XXXX_H	32	FFFF 8388_H	0	32
DMASS	DTS チャネル 099 チャネルマスタ設定レジスタ	DTS099CM	XXXX XXXX_H	32	FFFF $838C_H$	0	32
DMASS	DTS チャネル 100 チャネルマスタ設定レジスタ	DTS100CM	XXXX XXXX_H	32	FFFF 8390_H	0	32
DMASS	DTS チャネル 101 チャネルマスタ設定レジスタ	DTS101CM	XXXX XXXX_H	32	FFFF 8394_H	0	32
DMASS	DTS チャネル 102 チャネルマスタ設定レジスタ	DTS102CM	XXXX XXXX_H	32	FFFF 8398_H	0	32
DMASS	DTS チャネル 103 チャネルマスタ設定レジスタ	DTS103CM	XXXX XXXX_H	32	FFFF $839C_H$	0	32
DMASS	DTS チャネル 104 チャネルマスタ設定レジスタ	DTS104CM	XXXX XXXX_H	32	FFFF $83A0_H$	0	32
DMASS	DTS チャネル 105 チャネルマスタ設定レジスタ	DTS105CM	XXXX XXXX_H	32	FFFF $83A4_H$	0	32
DMASS	DTS チャネル 106 チャネルマスタ設定レジスタ	DTS106CM	XXXX XXXX_H	32	FFFF $83A8_H$	0	32
DMASS	DTS チャネル 107 チャネルマスタ設定レジスタ	DTS107CM	XXXX XXXX_H	32	FFFF $83AC_H$	0	32
DMASS	DTS チャネル 108 チャネルマスタ設定レジスタ	DTS108CM	XXXX XXXX_H	32	FFFF $83B0_H$	0	32
DMASS	DTS チャネル 109 チャネルマスタ設定レジスタ	DTS109CM	XXXX XXXX_H	32	FFFF $83B4_H$	0	32
DMASS	DTS チャネル 110 チャネルマスタ設定レジスタ	DTS110CM	XXXX XXXX_H	32	FFFF $83B8_H$	0	32
DMASS	DTS チャネル 111 チャネルマスタ設定レジスタ	DTS111CM	XXXX XXXX_H	32	FFFF $83BC_H$	0	32
DMASS	DTS チャネル 112 チャネルマスタ設定レジスタ	DTS112CM	XXXX XXXX_H	32	FFFF $83C0_H$	0	32
DMASS	DTS チャネル 113 チャネルマスタ設定レジスタ	DTS113CM	XXXX XXXX_H	32	FFFF $83C4_H$	0	32
DMASS	DTS チャネル 114 チャネルマスタ設定レジスタ	DTS114CM	XXXX XXXX_H	32	FFFF $83C8_H$	0	32
DMASS	DTS チャネル 115 チャネルマスタ設定レジスタ	DTS115CM	XXXX XXXX_H	32	FFFF $83CC_H$	0	32
DMASS	DTS チャネル 116 チャネルマスタ設定レジスタ	DTS116CM	XXXX XXXX_H	32	FFFF $83D0_H$	0	32
DMASS	DTS チャネル 117 チャネルマスタ設定レジスタ	DTS117CM	XXXX XXXX_H	32	FFFF $83D4_H$	0	32
DMASS	DTS チャネル 118 チャネルマスタ設定レジスタ	DTS118CM	XXXX XXXX_H	32	FFFF $83D8_H$	0	32
DMASS	DTS チャネル 119 チャネルマスタ設定レジスタ	DTS119CM	XXXX XXXX_H	32	FFFF $83DC_H$	0	32
DMASS	DTS チャネル 120 チャネルマスタ設定レジスタ	DTS120CM	XXXX XXXX_H	32	FFFF $83E0_H$	0	32
DMASS	DTS チャネル 121 チャネルマスタ設定レジスタ	DTS121CM	XXXX XXXX_H	32	FFFF $83E4_H$	0	32
DMASS	DTS チャネル 122 チャネルマスタ設定レジスタ	DTS122CM	XXXX XXXX_H	32	FFFF $83E8_H$	0	32
DMASS	DTS チャネル 123 チャネルマスタ設定レジスタ	DTS123CM	XXXX XXXX_H	32	FFFF $83EC_H$	0	32
DMASS	DTS チャネル 124 チャネルマスタ設定レジスタ	DTS124CM	XXXX XXXX_H	32	FFFF $83F0_H$	0	32

(255/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS チャネル 125 チャネルマスタ設定レジスタ	DTS125CM	XXXX XXXX_H	32	FFFF $83F4_H$	0	32
DMASS	DTS チャネル 126 チャネルマスタ設定レジスタ	DTS126CM	XXXX XXXX_H	32	FFFF $83F8_H$	0	32
DMASS	DTS チャネル 127 チャネルマスタ設定レジスタ	DTS127CM	XXXX XXXX_H	32	FFFF $83FC_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA0	0000 0000_H	32	FFFF 8400_H	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA0	0000 0000_H	32	FFFF 8404_H	0	32
DMASS	DMAC 転送回数レジスタ	DTC0	0000 0000_H	32	FFFF 8408_H	0	32
DMASS	DMAC 転送制御レジスタ	DTCT0	0000 0000_H	32	FFFF $840C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA0	0000 0000_H	32	FFFF 8410_H	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA0	0000 0000_H	32	FFFF 8414_H	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC0	0000 0000_H	32	FFFF 8418_H	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC0	0000 0000_H	32	FFFF $841C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN0	0000 0000_H	32	FFFF 8420_H	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST0	0000 0000_H	32	FFFF 8424_H	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS0	0000 0000_H	32	FFFF 8428_H	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC0	0000 0000_H	32	FFFF $842C_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR0	0000 0000_H	32	FFFF 8430_H	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ0	0000 0000_H	32	FFFF 8434_H	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC0	0000 0000_H	32	FFFF 8438_H	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA1	0000 0000_H	32	FFFF 8440_H	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA1	0000 0000_H	32	FFFF 8444_H	0	32
DMASS	DMAC 転送回数レジスタ	DTC1	0000 0000_H	32	FFFF 8448_H	0	32
DMASS	DMAC 転送制御レジスタ	DTCT1	0000 0000_H	32	FFFF $844C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA1	0000 0000_H	32	FFFF 8450_H	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA1	0000 0000_H	32	FFFF 8454_H	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC1	0000 0000_H	32	FFFF 8458_H	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC1	0000 0000_H	32	FFFF $845C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN1	0000 0000_H	32	FFFF 8460_H	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST1	0000 0000_H	32	FFFF 8464_H	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS1	0000 0000_H	32	FFFF 8468_H	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC1	0000 0000_H	32	FFFF $846C_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR1	0000 0000_H	32	FFFF 8470_H	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ1	0000 0000_H	32	FFFF 8474_H	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC1	0000 0000_H	32	FFFF 8478_H	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA2	0000 0000_H	32	FFFF 8480_H	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA2	0000 0000_H	32	FFFF 8484_H	0	32
DMASS	DMAC 転送回数レジスタ	DTC2	0000 0000_H	32	FFFF 8488_H	0	32
DMASS	DMAC 転送制御レジスタ	DTCT2	0000 0000_H	32	FFFF $848C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA2	0000 0000_H	32	FFFF 8490_H	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA2	0000 0000_H	32	FFFF 8494_H	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC2	0000 0000_H	32	FFFF 8498_H	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC2	0000 0000_H	32	FFFF $849C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN2	0000 0000_H	32	FFFF $84A0_H$	0	32

(256/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DMAC 転送ステータスレジスタ	DCST2	$0000\ 0000_H$	32	$FFFF\ 84A4_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS2	$0000\ 0000_H$	32	$FFFF\ 84A8_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC2	$0000\ 0000_H$	32	$FFFF\ 84AC_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR2	$0000\ 0000_H$	32	$FFFF\ 84B0_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ2	$0000\ 0000_H$	32	$FFFF\ 84B4_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC2	$0000\ 0000_H$	32	$FFFF\ 84B8_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA3	$0000\ 0000_H$	32	$FFFF\ 84C0_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA3	$0000\ 0000_H$	32	$FFFF\ 84C4_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC3	$0000\ 0000_H$	32	$FFFF\ 84C8_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT3	$0000\ 0000_H$	32	$FFFF\ 84CC_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA3	$0000\ 0000_H$	32	$FFFF\ 84D0_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA3	$0000\ 0000_H$	32	$FFFF\ 84D4_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC3	$0000\ 0000_H$	32	$FFFF\ 84D8_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC3	$0000\ 0000_H$	32	$FFFF\ 84DC_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN3	$0000\ 0000_H$	32	$FFFF\ 84E0_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST3	$0000\ 0000_H$	32	$FFFF\ 84E4_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS3	$0000\ 0000_H$	32	$FFFF\ 84E8_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC3	$0000\ 0000_H$	32	$FFFF\ 84EC_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR3	$0000\ 0000_H$	32	$FFFF\ 84F0_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ3	$0000\ 0000_H$	32	$FFFF\ 84F4_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC3	$0000\ 0000_H$	32	$FFFF\ 84F8_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA4	$0000\ 0000_H$	32	$FFFF\ 8500_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA4	$0000\ 0000_H$	32	$FFFF\ 8504_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC4	$0000\ 0000_H$	32	$FFFF\ 8508_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT4	$0000\ 0000_H$	32	$FFFF\ 850C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA4	$0000\ 0000_H$	32	$FFFF\ 8510_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA4	$0000\ 0000_H$	32	$FFFF\ 8514_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC4	$0000\ 0000_H$	32	$FFFF\ 8518_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC4	$0000\ 0000_H$	32	$FFFF\ 851C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN4	$0000\ 0000_H$	32	$FFFF\ 8520_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST4	$0000\ 0000_H$	32	$FFFF\ 8524_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS4	$0000\ 0000_H$	32	$FFFF\ 8528_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC4	$0000\ 0000_H$	32	$FFFF\ 852C_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR4	$0000\ 0000_H$	32	$FFFF\ 8530_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ4	$0000\ 0000_H$	32	$FFFF\ 8534_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC4	$0000\ 0000_H$	32	$FFFF\ 8538_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA5	$0000\ 0000_H$	32	$FFFF\ 8540_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA5	$0000\ 0000_H$	32	$FFFF\ 8544_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC5	$0000\ 0000_H$	32	$FFFF\ 8548_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT5	$0000\ 0000_H$	32	$FFFF\ 854C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA5	$0000\ 0000_H$	32	$FFFF\ 8550_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA5	$0000\ 0000_H$	32	$FFFF\ 8554_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC5	$0000\ 0000_H$	32	$FFFF\ 8558_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DMAC 転送回数コンペアレジスタ	DTCC5	$0000\ 0000_H$	32	$FFFF\ 855C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN5	$0000\ 0000_H$	32	$FFFF\ 8560_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST5	$0000\ 0000_H$	32	$FFFF\ 8564_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS5	$0000\ 0000_H$	32	$FFFF\ 8568_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC5	$0000\ 0000_H$	32	$FFFF\ 856C_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR5	$0000\ 0000_H$	32	$FFFF\ 8570_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ5	$0000\ 0000_H$	32	$FFFF\ 8574_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC5	$0000\ 0000_H$	32	$FFFF\ 8578_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA6	$0000\ 0000_H$	32	$FFFF\ 8580_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA6	$0000\ 0000_H$	32	$FFFF\ 8584_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC6	$0000\ 0000_H$	32	$FFFF\ 8588_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT6	$0000\ 0000_H$	32	$FFFF\ 858C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA6	$0000\ 0000_H$	32	$FFFF\ 8590_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA6	$0000\ 0000_H$	32	$FFFF\ 8594_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC6	$0000\ 0000_H$	32	$FFFF\ 8598_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC6	$0000\ 0000_H$	32	$FFFF\ 859C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN6	$0000\ 0000_H$	32	$FFFF\ 85A0_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST6	$0000\ 0000_H$	32	$FFFF\ 85A4_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS6	$0000\ 0000_H$	32	$FFFF\ 85A8_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC6	$0000\ 0000_H$	32	$FFFF\ 85AC_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR6	$0000\ 0000_H$	32	$FFFF\ 85B0_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ6	$0000\ 0000_H$	32	$FFFF\ 85B4_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC6	$0000\ 0000_H$	32	$FFFF\ 85B8_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA7	$0000\ 0000_H$	32	$FFFF\ 85C0_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA7	$0000\ 0000_H$	32	$FFFF\ 85C4_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC7	$0000\ 0000_H$	32	$FFFF\ 85C8_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT7	$0000\ 0000_H$	32	$FFFF\ 85CC_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA7	$0000\ 0000_H$	32	$FFFF\ 85D0_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA7	$0000\ 0000_H$	32	$FFFF\ 85D4_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC7	$0000\ 0000_H$	32	$FFFF\ 85D8_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC7	$0000\ 0000_H$	32	$FFFF\ 85DC_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN7	$0000\ 0000_H$	32	$FFFF\ 85E0_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST7	$0000\ 0000_H$	32	$FFFF\ 85E4_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS7	$0000\ 0000_H$	32	$FFFF\ 85E8_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC7	$0000\ 0000_H$	32	$FFFF\ 85EC_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR7	$0000\ 0000_H$	32	$FFFF\ 85F0_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ7	$0000\ 0000_H$	32	$FFFF\ 85F4_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC7	$0000\ 0000_H$	32	$FFFF\ 85F8_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA8	$0000\ 0000_H$	32	$FFFF\ 8600_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA8	$0000\ 0000_H$	32	$FFFF\ 8604_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC8	$0000\ 0000_H$	32	$FFFF\ 8608_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT8	$0000\ 0000_H$	32	$FFFF\ 860C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA8	$0000\ 0000_H$	32	$FFFF\ 8610_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA8	$0000\ 0000_H$	32	$FFFF\ 8614_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC8	$0000\ 0000_H$	32	$FFFF\ 8618_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC8	$0000\ 0000_H$	32	$FFFF\ 861C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN8	$0000\ 0000_H$	32	$FFFF\ 8620_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST8	$0000\ 0000_H$	32	$FFFF\ 8624_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS8	$0000\ 0000_H$	32	$FFFF\ 8628_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC8	$0000\ 0000_H$	32	$FFFF\ 862C_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR8	$0000\ 0000_H$	32	$FFFF\ 8630_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ8	$0000\ 0000_H$	32	$FFFF\ 8634_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC8	$0000\ 0000_H$	32	$FFFF\ 8638_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA9	$0000\ 0000_H$	32	$FFFF\ 8640_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA9	$0000\ 0000_H$	32	$FFFF\ 8644_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC9	$0000\ 0000_H$	32	$FFFF\ 8648_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT9	$0000\ 0000_H$	32	$FFFF\ 864C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA9	$0000\ 0000_H$	32	$FFFF\ 8650_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA9	$0000\ 0000_H$	32	$FFFF\ 8654_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC9	$0000\ 0000_H$	32	$FFFF\ 8658_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC9	$0000\ 0000_H$	32	$FFFF\ 865C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN9	$0000\ 0000_H$	32	$FFFF\ 8660_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST9	$0000\ 0000_H$	32	$FFFF\ 8664_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS9	$0000\ 0000_H$	32	$FFFF\ 8668_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC9	$0000\ 0000_H$	32	$FFFF\ 866C_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR9	$0000\ 0000_H$	32	$FFFF\ 8670_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ9	$0000\ 0000_H$	32	$FFFF\ 8674_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC9	$0000\ 0000_H$	32	$FFFF\ 8678_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA10	$0000\ 0000_H$	32	$FFFF\ 8680_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA10	$0000\ 0000_H$	32	$FFFF\ 8684_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC10	$0000\ 0000_H$	32	$FFFF\ 8688_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT10	$0000\ 0000_H$	32	$FFFF\ 868C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA10	$0000\ 0000_H$	32	$FFFF\ 8690_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA10	$0000\ 0000_H$	32	$FFFF\ 8694_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC10	$0000\ 0000_H$	32	$FFFF\ 8698_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC10	$0000\ 0000_H$	32	$FFFF\ 869C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN10	$0000\ 0000_H$	32	$FFFF\ 86A0_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST10	$0000\ 0000_H$	32	$FFFF\ 86A4_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS10	$0000\ 0000_H$	32	$FFFF\ 86A8_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC10	$0000\ 0000_H$	32	$FFFF\ 86AC_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR10	$0000\ 0000_H$	32	$FFFF\ 86B0_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ10	$0000\ 0000_H$	32	$FFFF\ 86B4_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC10	$0000\ 0000_H$	32	$FFFF\ 86B8_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA11	$0000\ 0000_H$	32	$FFFF\ 86C0_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA11	$0000\ 0000_H$	32	$FFFF\ 86C4_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC11	$0000\ 0000_H$	32	$FFFF\ 86C8_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DMAC 転送制御レジスタ	DTCT11	$0000\ 0000_H$	32	$FFFF\ 86CC_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA11	$0000\ 0000_H$	32	$FFFF\ 86D0_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA11	$0000\ 0000_H$	32	$FFFF\ 86D4_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC11	$0000\ 0000_H$	32	$FFFF\ 86D8_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC11	$0000\ 0000_H$	32	$FFFF\ 86DC_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN11	$0000\ 0000_H$	32	$FFFF\ 86E0_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST11	$0000\ 0000_H$	32	$FFFF\ 86E4_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS11	$0000\ 0000_H$	32	$FFFF\ 86E8_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC11	$0000\ 0000_H$	32	$FFFF\ 86EC_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR11	$0000\ 0000_H$	32	$FFFF\ 86F0_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ11	$0000\ 0000_H$	32	$FFFF\ 86F4_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC11	$0000\ 0000_H$	32	$FFFF\ 86F8_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA12	$0000\ 0000_H$	32	$FFFF\ 8700_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA12	$0000\ 0000_H$	32	$FFFF\ 8704_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC12	$0000\ 0000_H$	32	$FFFF\ 8708_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT12	$0000\ 0000_H$	32	$FFFF\ 870C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA12	$0000\ 0000_H$	32	$FFFF\ 8710_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA12	$0000\ 0000_H$	32	$FFFF\ 8714_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC12	$0000\ 0000_H$	32	$FFFF\ 8718_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC12	$0000\ 0000_H$	32	$FFFF\ 871C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN12	$0000\ 0000_H$	32	$FFFF\ 8720_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST12	$0000\ 0000_H$	32	$FFFF\ 8724_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS12	$0000\ 0000_H$	32	$FFFF\ 8728_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC12	$0000\ 0000_H$	32	$FFFF\ 872C_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR12	$0000\ 0000_H$	32	$FFFF\ 8730_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ12	$0000\ 0000_H$	32	$FFFF\ 8734_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC12	$0000\ 0000_H$	32	$FFFF\ 8738_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA13	$0000\ 0000_H$	32	$FFFF\ 8740_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA13	$0000\ 0000_H$	32	$FFFF\ 8744_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC13	$0000\ 0000_H$	32	$FFFF\ 8748_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT13	$0000\ 0000_H$	32	$FFFF\ 874C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA13	$0000\ 0000_H$	32	$FFFF\ 8750_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA13	$0000\ 0000_H$	32	$FFFF\ 8754_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC13	$0000\ 0000_H$	32	$FFFF\ 8758_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC13	$0000\ 0000_H$	32	$FFFF\ 875C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN13	$0000\ 0000_H$	32	$FFFF\ 8760_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST13	$0000\ 0000_H$	32	$FFFF\ 8764_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS13	$0000\ 0000_H$	32	$FFFF\ 8768_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC13	$0000\ 0000_H$	32	$FFFF\ 876C_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR13	$0000\ 0000_H$	32	$FFFF\ 8770_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ13	$0000\ 0000_H$	32	$FFFF\ 8774_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC13	$0000\ 0000_H$	32	$FFFF\ 8778_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA14	$0000\ 0000_H$	32	$FFFF\ 8780_H$	0	32

(260/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA14	0000 0000_H	32	FFFF 8784_H	0	32
DMASS	DMAC 転送回数レジスタ	DTC14	0000 0000_H	32	FFFF 8788_H	0	32
DMASS	DMAC 転送制御レジスタ	DTCT14	0000 0000_H	32	FFFF $878C_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA14	0000 0000_H	32	FFFF 8790_H	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA14	0000 0000_H	32	FFFF 8794_H	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC14	0000 0000_H	32	FFFF 8798_H	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC14	0000 0000_H	32	FFFF $879C_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN14	0000 0000_H	32	FFFF $87A0_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST14	0000 0000_H	32	FFFF $87A4_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS14	0000 0000_H	32	FFFF $87A8_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC14	0000 0000_H	32	FFFF $87AC_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR14	0000 0000_H	32	FFFF $87B0_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ14	0000 0000_H	32	FFFF $87B4_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC14	0000 0000_H	32	FFFF $87B8_H$	0	32
DMASS	DMAC ソースアドレスレジスタ	DSA15	0000 0000_H	32	FFFF $87C0_H$	0	32
DMASS	DMAC ディスティネーションアドレスレジスタ	DDA15	0000 0000_H	32	FFFF $87C4_H$	0	32
DMASS	DMAC 転送回数レジスタ	DTC15	0000 0000_H	32	FFFF $87C8_H$	0	32
DMASS	DMAC 転送制御レジスタ	DTCT15	0000 0000_H	32	FFFF $87CC_H$	0	32
DMASS	DMAC リロードソースアドレスレジスタ	DRSA15	0000 0000_H	32	FFFF $87D0_H$	0	32
DMASS	DMAC リロードディスティネーションアドレスレジスタ	DRDA15	0000 0000_H	32	FFFF $87D4_H$	0	32
DMASS	DMAC リロード転送回数レジスタ	DRTC15	0000 0000_H	32	FFFF $87D8_H$	0	32
DMASS	DMAC 転送回数コンペアレジスタ	DTCC15	0000 0000_H	32	FFFF $87DC_H$	0	32
DMASS	DMAC チャネル動作有効設定レジスタ	DCEN15	0000 0000_H	32	FFFF $87E0_H$	0	32
DMASS	DMAC 転送ステータスレジスタ	DCST15	0000 0000_H	32	FFFF $87E4_H$	0	32
DMASS	DMAC 転送ステータスセットレジスタ	DCSTS15	0000 0000_H	32	FFFF $87E8_H$	0	32
DMASS	DMAC 転送ステータスクリアレジスタ	DCSTC15	0000 0000_H	32	FFFF $87EC_H$	0	32
DMASS	DTFR 設定レジスタ	DTFR15	0000 0000_H	32	FFFF $87F0_H$	0	32
DMASS	DTFR 転送要求ステータスレジスタ	DTFRRQ15	0000 0000_H	32	FFFF $87F4_H$	0	32
DMASS	DTFR 転送要求クリアレジスタ	DTFRRQC15	0000 0000_H	32	FFFF $87F8_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA000	XXXX XXXX_H	32	FFFF 9000_H	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA000	XXXX XXXX_H	32	FFFF 9004_H	0	32
DMASS	DTS 転送回数レジスタ	DTTC000	XXXX XXXX_H	32	FFFF 9008_H	0	32
DMASS	DTS 転送制御レジスタ	DTTCT000	XXXX XXXX_H	32	FFFF $900C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA000	XXXX XXXX_H	32	FFFF 9010_H	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA000	XXXX XXXX_H	32	FFFF 9014_H	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC000	XXXX XXXX_H	32	FFFF 9018_H	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC000	XXXX XXXX_H	32	FFFF $901C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL000	0000 0000_H	32	FFFF 9020_H	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST000	0000 0000_H	32	FFFF 9024_H	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS000	0000 0000_H	32	FFFF 9028_H	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC000	0000 0000_H	32	FFFF $902C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA001	XXXX XXXX_H	32	FFFF 9040_H	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA001	XXXX XXXX_H	32	FFFF 9044_H	0	32

(261/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS 転送回数レジスタ	DTTC001	XXXX XXXX$_H$	32	FFFF 9048$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT001	XXXX XXXX$_H$	32	FFFF 904C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA001	XXXX XXXX$_H$	32	FFFF 9050$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA001	XXXX XXXX$_H$	32	FFFF 9054$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC001	XXXX XXXX$_H$	32	FFFF 9058$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC001	XXXX XXXX$_H$	32	FFFF 905C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL001	0000 0000$_H$	32	FFFF 9060$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST001	0000 0000$_H$	32	FFFF 9064$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS001	0000 0000$_H$	32	FFFF 9068$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC001	0000 0000$_H$	32	FFFF 906C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA002	XXXX XXXX$_H$	32	FFFF 9080$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA002	XXXX XXXX$_H$	32	FFFF 9084$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC002	XXXX XXXX$_H$	32	FFFF 9088$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT002	XXXX XXXX$_H$	32	FFFF 908C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA002	XXXX XXXX$_H$	32	FFFF 9090$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA002	XXXX XXXX$_H$	32	FFFF 9094$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC002	XXXX XXXX$_H$	32	FFFF 9098$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC002	XXXX XXXX$_H$	32	FFFF 909C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL002	0000 0000$_H$	32	FFFF 90A0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST002	0000 0000$_H$	32	FFFF 90A4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS002	0000 0000$_H$	32	FFFF 90A8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC002	0000 0000$_H$	32	FFFF 90AC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA003	XXXX XXXX$_H$	32	FFFF 90C0$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA003	XXXX XXXX$_H$	32	FFFF 90C4$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC003	XXXX XXXX$_H$	32	FFFF 90C8$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT003	XXXX XXXX$_H$	32	FFFF 90CC$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA003	XXXX XXXX$_H$	32	FFFF 90D0$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA003	XXXX XXXX$_H$	32	FFFF 90D4$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC003	XXXX XXXX$_H$	32	FFFF 90D8$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC003	XXXX XXXX$_H$	32	FFFF 90DC$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL003	0000 0000$_H$	32	FFFF 90E0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST003	0000 0000$_H$	32	FFFF 90E4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS003	0000 0000$_H$	32	FFFF 90E8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC003	0000 0000$_H$	32	FFFF 90EC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA004	XXXX XXXX$_H$	32	FFFF 9100$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA004	XXXX XXXX$_H$	32	FFFF 9104$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC004	XXXX XXXX$_H$	32	FFFF 9108$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT004	XXXX XXXX$_H$	32	FFFF 910C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA004	XXXX XXXX$_H$	32	FFFF 9110$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA004	XXXX XXXX$_H$	32	FFFF 9114$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC004	XXXX XXXX$_H$	32	FFFF 9118$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC004	XXXX XXXX$_H$	32	FFFF 911C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL004	0000 0000$_H$	32	FFFF 9120$_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST004	0000 0000_H	32	FFFF 9124_H	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS004	0000 0000_H	32	FFFF 9128_H	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC004	0000 0000_H	32	FFFF $912C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA005	XXXX XXXX_H	32	FFFF 9140_H	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA005	XXXX XXXX_H	32	FFFF 9144_H	0	32
DMASS	DTS 転送回数レジスタ	DTTC005	XXXX XXXX_H	32	FFFF 9148_H	0	32
DMASS	DTS 転送制御レジスタ	DTTCT005	XXXX XXXX_H	32	FFFF $914C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA005	XXXX XXXX_H	32	FFFF 9150_H	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA005	XXXX XXXX_H	32	FFFF 9154_H	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC005	XXXX XXXX_H	32	FFFF 9158_H	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC005	XXXX XXXX_H	32	FFFF $915C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL005	0000 0000_H	32	FFFF 9160_H	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST005	0000 0000_H	32	FFFF 9164_H	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS005	0000 0000_H	32	FFFF 9168_H	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC005	0000 0000_H	32	FFFF $916C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA006	XXXX XXXX_H	32	FFFF 9180_H	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA006	XXXX XXXX_H	32	FFFF 9184_H	0	32
DMASS	DTS 転送回数レジスタ	DTTC006	XXXX XXXX_H	32	FFFF 9188_H	0	32
DMASS	DTS 転送制御レジスタ	DTTCT006	XXXX XXXX_H	32	FFFF $918C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA006	XXXX XXXX_H	32	FFFF 9190_H	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA006	XXXX XXXX_H	32	FFFF 9194_H	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC006	XXXX XXXX_H	32	FFFF 9198_H	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC006	XXXX XXXX_H	32	FFFF $919C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL006	0000 0000_H	32	FFFF $91A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST006	0000 0000_H	32	FFFF $91A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS006	0000 0000_H	32	FFFF $91A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC006	0000 0000_H	32	FFFF $91AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA007	XXXX XXXX_H	32	FFFF $91C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA007	XXXX XXXX_H	32	FFFF $91C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC007	XXXX XXXX_H	32	FFFF $91C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT007	XXXX XXXX_H	32	FFFF $91CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA007	XXXX XXXX_H	32	FFFF $91D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA007	XXXX XXXX_H	32	FFFF $91D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC007	XXXX XXXX_H	32	FFFF $91D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC007	XXXX XXXX_H	32	FFFF $91DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL007	0000 0000_H	32	FFFF $91E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST007	0000 0000_H	32	FFFF $91E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS007	0000 0000_H	32	FFFF $91E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC007	0000 0000_H	32	FFFF $91EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA008	XXXX XXXX_H	32	FFFF 9200_H	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA008	XXXX XXXX_H	32	FFFF 9204_H	0	32
DMASS	DTS 転送回数レジスタ	DTTC008	XXXX XXXX_H	32	FFFF 9208_H	0	32
DMASS	DTS 転送制御レジスタ	DTTCT008	XXXX XXXX_H	32	FFFF $920C_H$	0	32

(263/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロードソースアドレスレジスタ	DTRSA008	XXXX XXXX$_H$	32	FFFF 9210$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA008	XXXX XXXX$_H$	32	FFFF 9214$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC008	XXXX XXXX$_H$	32	FFFF 9218$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC008	XXXX XXXX$_H$	32	FFFF 921C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL008	0000 0000$_H$	32	FFFF 9220$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST008	0000 0000$_H$	32	FFFF 9224$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS008	0000 0000$_H$	32	FFFF 9228$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC008	0000 0000$_H$	32	FFFF 922C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA009	XXXX XXXX$_H$	32	FFFF 9240$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA009	XXXX XXXX$_H$	32	FFFF 9244$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC009	XXXX XXXX$_H$	32	FFFF 9248$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT009	XXXX XXXX$_H$	32	FFFF 924C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA009	XXXX XXXX$_H$	32	FFFF 9250$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA009	XXXX XXXX$_H$	32	FFFF 9254$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC009	XXXX XXXX$_H$	32	FFFF 9258$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC009	XXXX XXXX$_H$	32	FFFF 925C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL009	0000 0000$_H$	32	FFFF 9260$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST009	0000 0000$_H$	32	FFFF 9264$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS009	0000 0000$_H$	32	FFFF 9268$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC009	0000 0000$_H$	32	FFFF 926C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA010	XXXX XXXX$_H$	32	FFFF 9280$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA010	XXXX XXXX$_H$	32	FFFF 9284$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC010	XXXX XXXX$_H$	32	FFFF 9288$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT010	XXXX XXXX$_H$	32	FFFF 928C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA010	XXXX XXXX$_H$	32	FFFF 9290$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA010	XXXX XXXX$_H$	32	FFFF 9294$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC010	XXXX XXXX$_H$	32	FFFF 9298$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC010	XXXX XXXX$_H$	32	FFFF 929C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL010	0000 0000$_H$	32	FFFF 92A0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST010	0000 0000$_H$	32	FFFF 92A4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS010	0000 0000$_H$	32	FFFF 92A8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC010	0000 0000$_H$	32	FFFF 92AC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA011	XXXX XXXX$_H$	32	FFFF 92C0$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA011	XXXX XXXX$_H$	32	FFFF 92C4$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC011	XXXX XXXX$_H$	32	FFFF 92C8$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT011	XXXX XXXX$_H$	32	FFFF 92CC$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA011	XXXX XXXX$_H$	32	FFFF 92D0$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA011	XXXX XXXX$_H$	32	FFFF 92D4$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC011	XXXX XXXX$_H$	32	FFFF 92D8$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC011	XXXX XXXX$_H$	32	FFFF 92DC$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL011	0000 0000$_H$	32	FFFF 92E0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST011	0000 0000$_H$	32	FFFF 92E4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS011	0000 0000$_H$	32	FFFF 92E8$_H$	0	32

(264/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC011	$0000\ 0000_H$	32	$FFFF\ 92EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA012	$XXXX\ XXXX_H$	32	$FFFF\ 9300_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA012	$XXXX\ XXXX_H$	32	$FFFF\ 9304_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC012	$XXXX\ XXXX_H$	32	$FFFF\ 9308_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT012	$XXXX\ XXXX_H$	32	$FFFF\ 930C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA012	$XXXX\ XXXX_H$	32	$FFFF\ 9310_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA012	$XXXX\ XXXX_H$	32	$FFFF\ 9314_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC012	$XXXX\ XXXX_H$	32	$FFFF\ 9318_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC012	$XXXX\ XXXX_H$	32	$FFFF\ 931C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL012	$0000\ 0000_H$	32	$FFFF\ 9320_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST012	$0000\ 0000_H$	32	$FFFF\ 9324_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS012	$0000\ 0000_H$	32	$FFFF\ 9328_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC012	$0000\ 0000_H$	32	$FFFF\ 932C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA013	$XXXX\ XXXX_H$	32	$FFFF\ 9340_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA013	$XXXX\ XXXX_H$	32	$FFFF\ 9344_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC013	$XXXX\ XXXX_H$	32	$FFFF\ 9348_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT013	$XXXX\ XXXX_H$	32	$FFFF\ 934C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA013	$XXXX\ XXXX_H$	32	$FFFF\ 9350_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA013	$XXXX\ XXXX_H$	32	$FFFF\ 9354_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC013	$XXXX\ XXXX_H$	32	$FFFF\ 9358_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC013	$XXXX\ XXXX_H$	32	$FFFF\ 935C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL013	$0000\ 0000_H$	32	$FFFF\ 9360_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST013	$0000\ 0000_H$	32	$FFFF\ 9364_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS013	$0000\ 0000_H$	32	$FFFF\ 9368_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC013	$0000\ 0000_H$	32	$FFFF\ 936C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA014	$XXXX\ XXXX_H$	32	$FFFF\ 9380_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA014	$XXXX\ XXXX_H$	32	$FFFF\ 9384_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC014	$XXXX\ XXXX_H$	32	$FFFF\ 9388_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT014	$XXXX\ XXXX_H$	32	$FFFF\ 938C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA014	$XXXX\ XXXX_H$	32	$FFFF\ 9390_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA014	$XXXX\ XXXX_H$	32	$FFFF\ 9394_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC014	$XXXX\ XXXX_H$	32	$FFFF\ 9398_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC014	$XXXX\ XXXX_H$	32	$FFFF\ 939C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL014	$0000\ 0000_H$	32	$FFFF\ 93A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST014	$0000\ 0000_H$	32	$FFFF\ 93A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS014	$0000\ 0000_H$	32	$FFFF\ 93A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC014	$0000\ 0000_H$	32	$FFFF\ 93AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA015	$XXXX\ XXXX_H$	32	$FFFF\ 93C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA015	$XXXX\ XXXX_H$	32	$FFFF\ 93C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC015	$XXXX\ XXXX_H$	32	$FFFF\ 93C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT015	$XXXX\ XXXX_H$	32	$FFFF\ 93CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA015	$XXXX\ XXXX_H$	32	$FFFF\ 93D0_H$	0	32

(265/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA015	XXXX XXXX$_H$	32	FFFF 93D4$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC015	XXXX XXXX$_H$	32	FFFF 93D8$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC015	XXXX XXXX$_H$	32	FFFF 93DC$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL015	0000 0000$_H$	32	FFFF 93E0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST015	0000 0000$_H$	32	FFFF 93E4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS015	0000 0000$_H$	32	FFFF 93E8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC015	0000 0000$_H$	32	FFFF 93EC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA016	XXXX XXXX$_H$	32	FFFF 9400$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA016	XXXX XXXX$_H$	32	FFFF 9404$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC016	XXXX XXXX$_H$	32	FFFF 9408$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT016	XXXX XXXX$_H$	32	FFFF 940C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA016	XXXX XXXX$_H$	32	FFFF 9410$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA016	XXXX XXXX$_H$	32	FFFF 9414$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC016	XXXX XXXX$_H$	32	FFFF 9418$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC016	XXXX XXXX$_H$	32	FFFF 941C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL016	0000 0000$_H$	32	FFFF 9420$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST016	0000 0000$_H$	32	FFFF 9424$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS016	0000 0000$_H$	32	FFFF 9428$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC016	0000 0000$_H$	32	FFFF 942C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA017	XXXX XXXX$_H$	32	FFFF 9440$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA017	XXXX XXXX$_H$	32	FFFF 9444$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC017	XXXX XXXX$_H$	32	FFFF 9448$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT017	XXXX XXXX$_H$	32	FFFF 944C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA017	XXXX XXXX$_H$	32	FFFF 9450$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA017	XXXX XXXX$_H$	32	FFFF 9454$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC017	XXXX XXXX$_H$	32	FFFF 9458$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC017	XXXX XXXX$_H$	32	FFFF 945C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL017	0000 0000$_H$	32	FFFF 9460$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST017	0000 0000$_H$	32	FFFF 9464$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS017	0000 0000$_H$	32	FFFF 9468$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC017	0000 0000$_H$	32	FFFF 946C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA018	XXXX XXXX$_H$	32	FFFF 9480$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA018	XXXX XXXX$_H$	32	FFFF 9484$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC018	XXXX XXXX$_H$	32	FFFF 9488$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT018	XXXX XXXX$_H$	32	FFFF 948C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA018	XXXX XXXX$_H$	32	FFFF 9490$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA018	XXXX XXXX$_H$	32	FFFF 9494$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC018	XXXX XXXX$_H$	32	FFFF 9498$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC018	XXXX XXXX$_H$	32	FFFF 949C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL018	0000 0000$_H$	32	FFFF 94A0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST018	0000 0000$_H$	32	FFFF 94A4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS018	0000 0000$_H$	32	FFFF 94A8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC018	0000 0000$_H$	32	FFFF 94AC$_H$	0	32

(266/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS ソースアドレスレジスタ	DTSA019	XXXX XXXX$_H$	32	FFFF 94C0$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA019	XXXX XXXX$_H$	32	FFFF 94C4$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC019	XXXX XXXX$_H$	32	FFFF 94C8$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT019	XXXX XXXX$_H$	32	FFFF 94CC$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA019	XXXX XXXX$_H$	32	FFFF 94D0$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA019	XXXX XXXX$_H$	32	FFFF 94D4$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC019	XXXX XXXX$_H$	32	FFFF 94D8$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC019	XXXX XXXX$_H$	32	FFFF 94DC$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL019	0000 0000$_H$	32	FFFF 94E0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST019	0000 0000$_H$	32	FFFF 94E4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS019	0000 0000$_H$	32	FFFF 94E8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC019	0000 0000$_H$	32	FFFF 94EC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA020	XXXX XXXX$_H$	32	FFFF 9500$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA020	XXXX XXXX$_H$	32	FFFF 9504$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC020	XXXX XXXX$_H$	32	FFFF 9508$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT020	XXXX XXXX$_H$	32	FFFF 950C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA020	XXXX XXXX$_H$	32	FFFF 9510$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA020	XXXX XXXX$_H$	32	FFFF 9514$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC020	XXXX XXXX$_H$	32	FFFF 9518$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC020	XXXX XXXX$_H$	32	FFFF 951C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL020	0000 0000$_H$	32	FFFF 9520$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST020	0000 0000$_H$	32	FFFF 9524$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS020	0000 0000$_H$	32	FFFF 9528$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC020	0000 0000$_H$	32	FFFF 952C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA021	XXXX XXXX$_H$	32	FFFF 9540$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA021	XXXX XXXX$_H$	32	FFFF 9544$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC021	XXXX XXXX$_H$	32	FFFF 9548$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT021	XXXX XXXX$_H$	32	FFFF 954C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA021	XXXX XXXX$_H$	32	FFFF 9550$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA021	XXXX XXXX$_H$	32	FFFF 9554$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC021	XXXX XXXX$_H$	32	FFFF 9558$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC021	XXXX XXXX$_H$	32	FFFF 955C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL021	0000 0000$_H$	32	FFFF 9560$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST021	0000 0000$_H$	32	FFFF 9564$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS021	0000 0000$_H$	32	FFFF 9568$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC021	0000 0000$_H$	32	FFFF 956C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA022	XXXX XXXX$_H$	32	FFFF 9580$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA022	XXXX XXXX$_H$	32	FFFF 9584$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC022	XXXX XXXX$_H$	32	FFFF 9588$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT022	XXXX XXXX$_H$	32	FFFF 958C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA022	XXXX XXXX$_H$	32	FFFF 9590$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA022	XXXX XXXX$_H$	32	FFFF 9594$_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロード転送回数レジスタ	DTRTC022	XXXX XXXX_H	32	FFFF 9598_H	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC022	XXXX XXXX_H	32	FFFF $959C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL022	0000 0000_H	32	FFFF $95A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST022	0000 0000_H	32	FFFF $95A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS022	0000 0000_H	32	FFFF $95A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC022	0000 0000_H	32	FFFF $95AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA023	XXXX XXXX_H	32	FFFF $95C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA023	XXXX XXXX_H	32	FFFF $95C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC023	XXXX XXXX_H	32	FFFF $95C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT023	XXXX XXXX_H	32	FFFF $95CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA023	XXXX XXXX_H	32	FFFF $95D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA023	XXXX XXXX_H	32	FFFF $95D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC023	XXXX XXXX_H	32	FFFF $95D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC023	XXXX XXXX_H	32	FFFF $95DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL023	0000 0000_H	32	FFFF $95E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST023	0000 0000_H	32	FFFF $95E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS023	0000 0000_H	32	FFFF $95E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC023	0000 0000_H	32	FFFF $95EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA024	XXXX XXXX_H	32	FFFF 9600_H	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA024	XXXX XXXX_H	32	FFFF 9604_H	0	32
DMASS	DTS 転送回数レジスタ	DTTC024	XXXX XXXX_H	32	FFFF 9608_H	0	32
DMASS	DTS 転送制御レジスタ	DTTCT024	XXXX XXXX_H	32	FFFF $960C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA024	XXXX XXXX_H	32	FFFF 9610_H	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA024	XXXX XXXX_H	32	FFFF 9614_H	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC024	XXXX XXXX_H	32	FFFF 9618_H	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC024	XXXX XXXX_H	32	FFFF $961C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL024	0000 0000_H	32	FFFF 9620_H	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST024	0000 0000_H	32	FFFF 9624_H	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS024	0000 0000_H	32	FFFF 9628_H	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC024	0000 0000_H	32	FFFF $962C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA025	XXXX XXXX_H	32	FFFF 9640_H	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA025	XXXX XXXX_H	32	FFFF 9644_H	0	32
DMASS	DTS 転送回数レジスタ	DTTC025	XXXX XXXX_H	32	FFFF 9648_H	0	32
DMASS	DTS 転送制御レジスタ	DTTCT025	XXXX XXXX_H	32	FFFF $964C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA025	XXXX XXXX_H	32	FFFF 9650_H	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA025	XXXX XXXX_H	32	FFFF 9654_H	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC025	XXXX XXXX_H	32	FFFF 9658_H	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC025	XXXX XXXX_H	32	FFFF $965C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL025	0000 0000_H	32	FFFF 9660_H	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST025	0000 0000_H	32	FFFF 9664_H	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS025	0000 0000_H	32	FFFF 9668_H	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC025	0000 0000_H	32	FFFF $966C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA026	XXXX XXXX_H	32	FFFF 9680_H	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA026	XXXX XXXX$_H$	32	FFFF 9684$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC026	XXXX XXXX$_H$	32	FFFF 9688$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT026	XXXX XXXX$_H$	32	FFFF 968C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA026	XXXX XXXX$_H$	32	FFFF 9690$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA026	XXXX XXXX$_H$	32	FFFF 9694$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC026	XXXX XXXX$_H$	32	FFFF 9698$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC026	XXXX XXXX$_H$	32	FFFF 969C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL026	0000 0000$_H$	32	FFFF 96A0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST026	0000 0000$_H$	32	FFFF 96A4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS026	0000 0000$_H$	32	FFFF 96A8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC026	0000 0000$_H$	32	FFFF 96AC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA027	XXXX XXXX$_H$	32	FFFF 96C0$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA027	XXXX XXXX$_H$	32	FFFF 96C4$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC027	XXXX XXXX$_H$	32	FFFF 96C8$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT027	XXXX XXXX$_H$	32	FFFF 96CC$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA027	XXXX XXXX$_H$	32	FFFF 96D0$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA027	XXXX XXXX$_H$	32	FFFF 96D4$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC027	XXXX XXXX$_H$	32	FFFF 96D8$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC027	XXXX XXXX$_H$	32	FFFF 96DC$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL027	0000 0000$_H$	32	FFFF 96E0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST027	0000 0000$_H$	32	FFFF 96E4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS027	0000 0000$_H$	32	FFFF 96E8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC027	0000 0000$_H$	32	FFFF 96EC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA028	XXXX XXXX$_H$	32	FFFF 9700$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA028	XXXX XXXX$_H$	32	FFFF 9704$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC028	XXXX XXXX$_H$	32	FFFF 9708$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT028	XXXX XXXX$_H$	32	FFFF 970C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA028	XXXX XXXX$_H$	32	FFFF 9710$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA028	XXXX XXXX$_H$	32	FFFF 9714$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC028	XXXX XXXX$_H$	32	FFFF 9718$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC028	XXXX XXXX$_H$	32	FFFF 971C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL028	0000 0000$_H$	32	FFFF 9720$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST028	0000 0000$_H$	32	FFFF 9724$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS028	0000 0000$_H$	32	FFFF 9728$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC028	0000 0000$_H$	32	FFFF 972C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA029	XXXX XXXX$_H$	32	FFFF 9740$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA029	XXXX XXXX$_H$	32	FFFF 9744$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC029	XXXX XXXX$_H$	32	FFFF 9748$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT029	XXXX XXXX$_H$	32	FFFF 974C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA029	XXXX XXXX$_H$	32	FFFF 9750$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA029	XXXX XXXX$_H$	32	FFFF 9754$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC029	XXXX XXXX$_H$	32	FFFF 9758$_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS 転送回数コンペアレジスタ	DTTCC029	XXXX XXXX$_H$	32	FFFF 975C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL029	0000 0000$_H$	32	FFFF 9760$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST029	0000 0000$_H$	32	FFFF 9764$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS029	0000 0000$_H$	32	FFFF 9768$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC029	0000 0000$_H$	32	FFFF 976C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA030	XXXX XXXX$_H$	32	FFFF 9780$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA030	XXXX XXXX$_H$	32	FFFF 9784$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC030	XXXX XXXX$_H$	32	FFFF 9788$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT030	XXXX XXXX$_H$	32	FFFF 978C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA030	XXXX XXXX$_H$	32	FFFF 9790$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA030	XXXX XXXX$_H$	32	FFFF 9794$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC030	XXXX XXXX$_H$	32	FFFF 9798$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC030	XXXX XXXX$_H$	32	FFFF 979C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL030	0000 0000$_H$	32	FFFF 97A0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST030	0000 0000$_H$	32	FFFF 97A4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS030	0000 0000$_H$	32	FFFF 97A8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC030	0000 0000$_H$	32	FFFF 97AC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA031	XXXX XXXX$_H$	32	FFFF 97C0$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA031	XXXX XXXX$_H$	32	FFFF 97C4$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC031	XXXX XXXX$_H$	32	FFFF 97C8$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT031	XXXX XXXX$_H$	32	FFFF 97CC$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA031	XXXX XXXX$_H$	32	FFFF 97D0$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA031	XXXX XXXX$_H$	32	FFFF 97D4$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC031	XXXX XXXX$_H$	32	FFFF 97D8$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC031	XXXX XXXX$_H$	32	FFFF 97DC$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL031	0000 0000$_H$	32	FFFF 97E0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST031	0000 0000$_H$	32	FFFF 97E4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS031	0000 0000$_H$	32	FFFF 97E8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC031	0000 0000$_H$	32	FFFF 97EC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA032	XXXX XXXX$_H$	32	FFFF 9800$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA032	XXXX XXXX$_H$	32	FFFF 9804$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC032	XXXX XXXX$_H$	32	FFFF 9808$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT032	XXXX XXXX$_H$	32	FFFF 980C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA032	XXXX XXXX$_H$	32	FFFF 9810$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA032	XXXX XXXX$_H$	32	FFFF 9814$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC032	XXXX XXXX$_H$	32	FFFF 9818$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC032	XXXX XXXX$_H$	32	FFFF 981C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL032	0000 0000$_H$	32	FFFF 9820$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST032	0000 0000$_H$	32	FFFF 9824$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS032	0000 0000$_H$	32	FFFF 9828$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC032	0000 0000$_H$	32	FFFF 982C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA033	XXXX XXXX$_H$	32	FFFF 9840$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA033	XXXX XXXX$_H$	32	FFFF 9844$_H$	0	32

(270/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS 転送回数レジスタ	DTTC033	XXXX XXXX_H	32	FFFF 9848_H	0	32
DMASS	DTS 転送制御レジスタ	DTTCT033	XXXX XXXX_H	32	FFFF $984C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA033	XXXX XXXX_H	32	FFFF 9850_H	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA033	XXXX XXXX_H	32	FFFF 9854_H	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC033	XXXX XXXX_H	32	FFFF 9858_H	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC033	XXXX XXXX_H	32	FFFF $985C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL033	0000 0000_H	32	FFFF 9860_H	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST033	0000 0000_H	32	FFFF 9864_H	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS033	0000 0000_H	32	FFFF 9868_H	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC033	0000 0000_H	32	FFFF $986C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA034	XXXX XXXX_H	32	FFFF 9880_H	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA034	XXXX XXXX_H	32	FFFF 9884_H	0	32
DMASS	DTS 転送回数レジスタ	DTTC034	XXXX XXXX_H	32	FFFF 9888_H	0	32
DMASS	DTS 転送制御レジスタ	DTTCT034	XXXX XXXX_H	32	FFFF $988C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA034	XXXX XXXX_H	32	FFFF 9890_H	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA034	XXXX XXXX_H	32	FFFF 9894_H	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC034	XXXX XXXX_H	32	FFFF 9898_H	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC034	XXXX XXXX_H	32	FFFF $989C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL034	0000 0000_H	32	FFFF $98A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST034	0000 0000_H	32	FFFF $98A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS034	0000 0000_H	32	FFFF $98A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC034	0000 0000_H	32	FFFF $98AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA035	XXXX XXXX_H	32	FFFF $98C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA035	XXXX XXXX_H	32	FFFF $98C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC035	XXXX XXXX_H	32	FFFF $98C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT035	XXXX XXXX_H	32	FFFF $98CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA035	XXXX XXXX_H	32	FFFF $98D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA035	XXXX XXXX_H	32	FFFF $98D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC035	XXXX XXXX_H	32	FFFF $98D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC035	XXXX XXXX_H	32	FFFF $98DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL035	0000 0000_H	32	FFFF $98E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST035	0000 0000_H	32	FFFF $98E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS035	0000 0000_H	32	FFFF $98E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC035	0000 0000_H	32	FFFF $98EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA036	XXXX XXXX_H	32	FFFF 9900_H	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA036	XXXX XXXX_H	32	FFFF 9904_H	0	32
DMASS	DTS 転送回数レジスタ	DTTC036	XXXX XXXX_H	32	FFFF 9908_H	0	32
DMASS	DTS 転送制御レジスタ	DTTCT036	XXXX XXXX_H	32	FFFF $990C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA036	XXXX XXXX_H	32	FFFF 9910_H	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA036	XXXX XXXX_H	32	FFFF 9914_H	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC036	XXXX XXXX_H	32	FFFF 9918_H	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC036	XXXX XXXX_H	32	FFFF $991C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL036	0000 0000_H	32	FFFF 9920_H	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST036	$0000\ 0000_H$	32	$FFFF\ 9924_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS036	$0000\ 0000_H$	32	$FFFF\ 9928_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC036	$0000\ 0000_H$	32	$FFFF\ 992C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA037	$XXXX\ XXXX_H$	32	$FFFF\ 9940_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA037	$XXXX\ XXXX_H$	32	$FFFF\ 9944_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC037	$XXXX\ XXXX_H$	32	$FFFF\ 9948_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT037	$XXXX\ XXXX_H$	32	$FFFF\ 994C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA037	$XXXX\ XXXX_H$	32	$FFFF\ 9950_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA037	$XXXX\ XXXX_H$	32	$FFFF\ 9954_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC037	$XXXX\ XXXX_H$	32	$FFFF\ 9958_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC037	$XXXX\ XXXX_H$	32	$FFFF\ 995C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL037	$0000\ 0000_H$	32	$FFFF\ 9960_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST037	$0000\ 0000_H$	32	$FFFF\ 9964_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS037	$0000\ 0000_H$	32	$FFFF\ 9968_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC037	$0000\ 0000_H$	32	$FFFF\ 996C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA038	$XXXX\ XXXX_H$	32	$FFFF\ 9980_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA038	$XXXX\ XXXX_H$	32	$FFFF\ 9984_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC038	$XXXX\ XXXX_H$	32	$FFFF\ 9988_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT038	$XXXX\ XXXX_H$	32	$FFFF\ 998C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA038	$XXXX\ XXXX_H$	32	$FFFF\ 9990_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA038	$XXXX\ XXXX_H$	32	$FFFF\ 9994_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC038	$XXXX\ XXXX_H$	32	$FFFF\ 9998_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC038	$XXXX\ XXXX_H$	32	$FFFF\ 999C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL038	$0000\ 0000_H$	32	$FFFF\ 99A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST038	$0000\ 0000_H$	32	$FFFF\ 99A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS038	$0000\ 0000_H$	32	$FFFF\ 99A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC038	$0000\ 0000_H$	32	$FFFF\ 99AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA039	$XXXX\ XXXX_H$	32	$FFFF\ 99C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA039	$XXXX\ XXXX_H$	32	$FFFF\ 99C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC039	$XXXX\ XXXX_H$	32	$FFFF\ 99C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT039	$XXXX\ XXXX_H$	32	$FFFF\ 99CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA039	$XXXX\ XXXX_H$	32	$FFFF\ 99D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA039	$XXXX\ XXXX_H$	32	$FFFF\ 99D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC039	$XXXX\ XXXX_H$	32	$FFFF\ 99D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC039	$XXXX\ XXXX_H$	32	$FFFF\ 99DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL039	$0000\ 0000_H$	32	$FFFF\ 99E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST039	$0000\ 0000_H$	32	$FFFF\ 99E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS039	$0000\ 0000_H$	32	$FFFF\ 99E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC039	$0000\ 0000_H$	32	$FFFF\ 99EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA040	$XXXX\ XXXX_H$	32	$FFFF\ 9A00_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA040	$XXXX\ XXXX_H$	32	$FFFF\ 9A04_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC040	$XXXX\ XXXX_H$	32	$FFFF\ 9A08_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT040	$XXXX\ XXXX_H$	32	$FFFF\ 9A0C_H$	0	32

(272/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロードソースアドレスレジスタ	DTRSA040	XXXX XXXX_H	32	FFFF $9A10_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA040	XXXX XXXX_H	32	FFFF $9A14_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC040	XXXX XXXX_H	32	FFFF $9A18_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC040	XXXX XXXX_H	32	FFFF $9A1C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL040	0000 0000_H	32	FFFF $9A20_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST040	0000 0000_H	32	FFFF $9A24_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS040	0000 0000_H	32	FFFF $9A28_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC040	0000 0000_H	32	FFFF $9A2C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA041	XXXX XXXX_H	32	FFFF $9A40_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA041	XXXX XXXX_H	32	FFFF $9A44_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC041	XXXX XXXX_H	32	FFFF $9A48_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT041	XXXX XXXX_H	32	FFFF $9A4C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA041	XXXX XXXX_H	32	FFFF $9A50_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA041	XXXX XXXX_H	32	FFFF $9A54_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC041	XXXX XXXX_H	32	FFFF $9A58_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC041	XXXX XXXX_H	32	FFFF $9A5C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL041	0000 0000_H	32	FFFF $9A60_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST041	0000 0000_H	32	FFFF $9A64_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS041	0000 0000_H	32	FFFF $9A68_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC041	0000 0000_H	32	FFFF $9A6C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA042	XXXX XXXX_H	32	FFFF $9A80_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA042	XXXX XXXX_H	32	FFFF $9A84_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC042	XXXX XXXX_H	32	FFFF $9A88_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT042	XXXX XXXX_H	32	FFFF $9A8C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA042	XXXX XXXX_H	32	FFFF $9A90_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA042	XXXX XXXX_H	32	FFFF $9A94_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC042	XXXX XXXX_H	32	FFFF $9A98_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC042	XXXX XXXX_H	32	FFFF $9A9C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL042	0000 0000_H	32	FFFF $9AA0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST042	0000 0000_H	32	FFFF $9AA4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS042	0000 0000_H	32	FFFF $9AA8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC042	0000 0000_H	32	FFFF $9AAC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA043	XXXX XXXX_H	32	FFFF $9AC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA043	XXXX XXXX_H	32	FFFF $9AC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC043	XXXX XXXX_H	32	FFFF $9AC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT043	XXXX XXXX_H	32	FFFF $9ACC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA043	XXXX XXXX_H	32	FFFF $9AD0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA043	XXXX XXXX_H	32	FFFF $9AD4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC043	XXXX XXXX_H	32	FFFF $9AD8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC043	XXXX XXXX_H	32	FFFF $9ADC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL043	0000 0000_H	32	FFFF $9AE0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST043	0000 0000_H	32	FFFF $9AE4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS043	0000 0000_H	32	FFFF $9AE8_H$	0	32

(273/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC043	$0000\ 0000_H$	32	$FFFF\ 9AEC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA044	$XXXX\ XXXX_H$	32	$FFFF\ 9B00_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA044	$XXXX\ XXXX_H$	32	$FFFF\ 9B04_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC044	$XXXX\ XXXX_H$	32	$FFFF\ 9B08_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT044	$XXXX\ XXXX_H$	32	$FFFF\ 9B0C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA044	$XXXX\ XXXX_H$	32	$FFFF\ 9B10_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA044	$XXXX\ XXXX_H$	32	$FFFF\ 9B14_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC044	$XXXX\ XXXX_H$	32	$FFFF\ 9B18_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC044	$XXXX\ XXXX_H$	32	$FFFF\ 9B1C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL044	$0000\ 0000_H$	32	$FFFF\ 9B20_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST044	$0000\ 0000_H$	32	$FFFF\ 9B24_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS044	$0000\ 0000_H$	32	$FFFF\ 9B28_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC044	$0000\ 0000_H$	32	$FFFF\ 9B2C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA045	$XXXX\ XXXX_H$	32	$FFFF\ 9B40_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA045	$XXXX\ XXXX_H$	32	$FFFF\ 9B44_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC045	$XXXX\ XXXX_H$	32	$FFFF\ 9B48_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT045	$XXXX\ XXXX_H$	32	$FFFF\ 9B4C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA045	$XXXX\ XXXX_H$	32	$FFFF\ 9B50_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA045	$XXXX\ XXXX_H$	32	$FFFF\ 9B54_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC045	$XXXX\ XXXX_H$	32	$FFFF\ 9B58_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC045	$XXXX\ XXXX_H$	32	$FFFF\ 9B5C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL045	$0000\ 0000_H$	32	$FFFF\ 9B60_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST045	$0000\ 0000_H$	32	$FFFF\ 9B64_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS045	$0000\ 0000_H$	32	$FFFF\ 9B68_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC045	$0000\ 0000_H$	32	$FFFF\ 9B6C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA046	$XXXX\ XXXX_H$	32	$FFFF\ 9B80_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA046	$XXXX\ XXXX_H$	32	$FFFF\ 9B84_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC046	$XXXX\ XXXX_H$	32	$FFFF\ 9B88_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT046	$XXXX\ XXXX_H$	32	$FFFF\ 9B8C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA046	$XXXX\ XXXX_H$	32	$FFFF\ 9B90_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA046	$XXXX\ XXXX_H$	32	$FFFF\ 9B94_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC046	$XXXX\ XXXX_H$	32	$FFFF\ 9B98_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC046	$XXXX\ XXXX_H$	32	$FFFF\ 9B9C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL046	$0000\ 0000_H$	32	$FFFF\ 9BA0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST046	$0000\ 0000_H$	32	$FFFF\ 9BA4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS046	$0000\ 0000_H$	32	$FFFF\ 9BA8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC046	$0000\ 0000_H$	32	$FFFF\ 9BAC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA047	$XXXX\ XXXX_H$	32	$FFFF\ 9BC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA047	$XXXX\ XXXX_H$	32	$FFFF\ 9BC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC047	$XXXX\ XXXX_H$	32	$FFFF\ 9BC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT047	$XXXX\ XXXX_H$	32	$FFFF\ 9BCC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA047	$XXXX\ XXXX_H$	32	$FFFF\ 9BD0_H$	0	32

(274/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA047	XXXX XXXX$_H$	32	FFFF 9BD4$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC047	XXXX XXXX$_H$	32	FFFF 9BD8$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC047	XXXX XXXX$_H$	32	FFFF 9BDC$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL047	0000 0000$_H$	32	FFFF 9BE0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST047	0000 0000$_H$	32	FFFF 9BE4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS047	0000 0000$_H$	32	FFFF 9BE8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC047	0000 0000$_H$	32	FFFF 9BEC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA048	XXXX XXXX$_H$	32	FFFF 9C00$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA048	XXXX XXXX$_H$	32	FFFF 9C04$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC048	XXXX XXXX$_H$	32	FFFF 9C08$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT048	XXXX XXXX$_H$	32	FFFF 9C0C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA048	XXXX XXXX$_H$	32	FFFF 9C10$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA048	XXXX XXXX$_H$	32	FFFF 9C14$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC048	XXXX XXXX$_H$	32	FFFF 9C18$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC048	XXXX XXXX$_H$	32	FFFF 9C1C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL048	0000 0000$_H$	32	FFFF 9C20$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST048	0000 0000$_H$	32	FFFF 9C24$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS048	0000 0000$_H$	32	FFFF 9C28$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC048	0000 0000$_H$	32	FFFF 9C2C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA049	XXXX XXXX$_H$	32	FFFF 9C40$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA049	XXXX XXXX$_H$	32	FFFF 9C44$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC049	XXXX XXXX$_H$	32	FFFF 9C48$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT049	XXXX XXXX$_H$	32	FFFF 9C4C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA049	XXXX XXXX$_H$	32	FFFF 9C50$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA049	XXXX XXXX$_H$	32	FFFF 9C54$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC049	XXXX XXXX$_H$	32	FFFF 9C58$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC049	XXXX XXXX$_H$	32	FFFF 9C5C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL049	0000 0000$_H$	32	FFFF 9C60$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST049	0000 0000$_H$	32	FFFF 9C64$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS049	0000 0000$_H$	32	FFFF 9C68$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC049	0000 0000$_H$	32	FFFF 9C6C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA050	XXXX XXXX$_H$	32	FFFF 9C80$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA050	XXXX XXXX$_H$	32	FFFF 9C84$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC050	XXXX XXXX$_H$	32	FFFF 9C88$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT050	XXXX XXXX$_H$	32	FFFF 9C8C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA050	XXXX XXXX$_H$	32	FFFF 9C90$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA050	XXXX XXXX$_H$	32	FFFF 9C94$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC050	XXXX XXXX$_H$	32	FFFF 9C98$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC050	XXXX XXXX$_H$	32	FFFF 9C9C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL050	0000 0000$_H$	32	FFFF 9CA0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST050	0000 0000$_H$	32	FFFF 9CA4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS050	0000 0000$_H$	32	FFFF 9CA8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC050	0000 0000$_H$	32	FFFF 9CAC$_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS ソースアドレスレジスタ	DTSA051	XXXX XXXX_H	32	FFFF $9CC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA051	XXXX XXXX_H	32	FFFF $9CC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC051	XXXX XXXX_H	32	FFFF $9CC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT051	XXXX XXXX_H	32	FFFF $9CCC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA051	XXXX XXXX_H	32	FFFF $9CD0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA051	XXXX XXXX_H	32	FFFF $9CD4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC051	XXXX XXXX_H	32	FFFF $9CD8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC051	XXXX XXXX_H	32	FFFF $9CDC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL051	0000 0000_H	32	FFFF $9CE0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST051	0000 0000_H	32	FFFF $9CE4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS051	0000 0000_H	32	FFFF $9CE8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC051	0000 0000_H	32	FFFF $9CEC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA052	XXXX XXXX_H	32	FFFF $9D00_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA052	XXXX XXXX_H	32	FFFF $9D04_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC052	XXXX XXXX_H	32	FFFF $9D08_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT052	XXXX XXXX_H	32	FFFF $9D0C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA052	XXXX XXXX_H	32	FFFF $9D10_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA052	XXXX XXXX_H	32	FFFF $9D14_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC052	XXXX XXXX_H	32	FFFF $9D18_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC052	XXXX XXXX_H	32	FFFF $9D1C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL052	0000 0000_H	32	FFFF $9D20_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST052	0000 0000_H	32	FFFF $9D24_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS052	0000 0000_H	32	FFFF $9D28_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC052	0000 0000_H	32	FFFF $9D2C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA053	XXXX XXXX_H	32	FFFF $9D40_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA053	XXXX XXXX_H	32	FFFF $9D44_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC053	XXXX XXXX_H	32	FFFF $9D48_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT053	XXXX XXXX_H	32	FFFF $9D4C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA053	XXXX XXXX_H	32	FFFF $9D50_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA053	XXXX XXXX_H	32	FFFF $9D54_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC053	XXXX XXXX_H	32	FFFF $9D58_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC053	XXXX XXXX_H	32	FFFF $9D5C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL053	0000 0000_H	32	FFFF $9D60_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST053	0000 0000_H	32	FFFF $9D64_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS053	0000 0000_H	32	FFFF $9D68_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC053	0000 0000_H	32	FFFF $9D6C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA054	XXXX XXXX_H	32	FFFF $9D80_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA054	XXXX XXXX_H	32	FFFF $9D84_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC054	XXXX XXXX_H	32	FFFF $9D88_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT054	XXXX XXXX_H	32	FFFF $9D8C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA054	XXXX XXXX_H	32	FFFF $9D90_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA054	XXXX XXXX_H	32	FFFF $9D94_H$	0	32

(276/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロード転送回数レジスタ	DTRTC054	XXXX XXXX_H	32	FFFF $9D98_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC054	XXXX XXXX_H	32	FFFF $9D9C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL054	0000 0000_H	32	FFFF $9DA0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST054	0000 0000_H	32	FFFF $9DA4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS054	0000 0000_H	32	FFFF $9DA8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC054	0000 0000_H	32	FFFF $9DAC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA055	XXXX XXXX_H	32	FFFF $9DC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA055	XXXX XXXX_H	32	FFFF $9DC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC055	XXXX XXXX_H	32	FFFF $9DC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT055	XXXX XXXX_H	32	FFFF $9DCC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA055	XXXX XXXX_H	32	FFFF $9DD0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA055	XXXX XXXX_H	32	FFFF $9DD4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC055	XXXX XXXX_H	32	FFFF $9DD8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC055	XXXX XXXX_H	32	FFFF $9DDC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL055	0000 0000_H	32	FFFF $9DE0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST055	0000 0000_H	32	FFFF $9DE4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS055	0000 0000_H	32	FFFF $9DE8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC055	0000 0000_H	32	FFFF $9DEC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA056	XXXX XXXX_H	32	FFFF $9E00_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA056	XXXX XXXX_H	32	FFFF $9E04_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC056	XXXX XXXX_H	32	FFFF $9E08_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT056	XXXX XXXX_H	32	FFFF $9E0C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA056	XXXX XXXX_H	32	FFFF $9E10_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA056	XXXX XXXX_H	32	FFFF $9E14_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC056	XXXX XXXX_H	32	FFFF $9E18_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC056	XXXX XXXX_H	32	FFFF $9E1C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL056	0000 0000_H	32	FFFF $9E20_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST056	0000 0000_H	32	FFFF $9E24_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS056	0000 0000_H	32	FFFF $9E28_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC056	0000 0000_H	32	FFFF $9E2C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA057	XXXX XXXX_H	32	FFFF $9E40_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA057	XXXX XXXX_H	32	FFFF $9E44_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC057	XXXX XXXX_H	32	FFFF $9E48_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT057	XXXX XXXX_H	32	FFFF $9E4C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA057	XXXX XXXX_H	32	FFFF $9E50_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA057	XXXX XXXX_H	32	FFFF $9E54_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC057	XXXX XXXX_H	32	FFFF $9E58_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC057	XXXX XXXX_H	32	FFFF $9E5C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL057	0000 0000_H	32	FFFF $9E60_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST057	0000 0000_H	32	FFFF $9E64_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS057	0000 0000_H	32	FFFF $9E68_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC057	0000 0000_H	32	FFFF $9E6C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA058	XXXX XXXX_H	32	FFFF $9E80_H$	0	32

(277/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA058	XXXX XXXX_H	32	FFFF $9E84_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC058	XXXX XXXX_H	32	FFFF $9E88_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT058	XXXX XXXX_H	32	FFFF $9E8C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA058	XXXX XXXX_H	32	FFFF $9E90_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA058	XXXX XXXX_H	32	FFFF $9E94_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC058	XXXX XXXX_H	32	FFFF $9E98_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC058	XXXX XXXX_H	32	FFFF $9E9C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL058	0000 0000_H	32	FFFF $9EA0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST058	0000 0000_H	32	FFFF $9EA4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS058	0000 0000_H	32	FFFF $9EA8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC058	0000 0000_H	32	FFFF $9EAC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA059	XXXX XXXX_H	32	FFFF $9EC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA059	XXXX XXXX_H	32	FFFF $9EC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC059	XXXX XXXX_H	32	FFFF $9EC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT059	XXXX XXXX_H	32	FFFF $9ECC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA059	XXXX XXXX_H	32	FFFF $9ED0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA059	XXXX XXXX_H	32	FFFF $9ED4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC059	XXXX XXXX_H	32	FFFF $9ED8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC059	XXXX XXXX_H	32	FFFF $9EDC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL059	0000 0000_H	32	FFFF $9EE0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST059	0000 0000_H	32	FFFF $9EE4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS059	0000 0000_H	32	FFFF $9EE8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC059	0000 0000_H	32	FFFF $9EEC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA060	XXXX XXXX_H	32	FFFF $9F00_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA060	XXXX XXXX_H	32	FFFF $9F04_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC060	XXXX XXXX_H	32	FFFF $9F08_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT060	XXXX XXXX_H	32	FFFF $9F0C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA060	XXXX XXXX_H	32	FFFF $9F10_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA060	XXXX XXXX_H	32	FFFF $9F14_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC060	XXXX XXXX_H	32	FFFF $9F18_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC060	XXXX XXXX_H	32	FFFF $9F1C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL060	0000 0000_H	32	FFFF $9F20_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST060	0000 0000_H	32	FFFF $9F24_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS060	0000 0000_H	32	FFFF $9F28_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC060	0000 0000_H	32	FFFF $9F2C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA061	XXXX XXXX_H	32	FFFF $9F40_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA061	XXXX XXXX_H	32	FFFF $9F44_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC061	XXXX XXXX_H	32	FFFF $9F48_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT061	XXXX XXXX_H	32	FFFF $9F4C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA061	XXXX XXXX_H	32	FFFF $9F50_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA061	XXXX XXXX_H	32	FFFF $9F54_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC061	XXXX XXXX_H	32	FFFF $9F58_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS 転送回数コンペアレジスタ	DTTCC061	XXXX XXXX_H	32	FFFF $9F5C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL061	0000 0000_H	32	FFFF $9F60_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST061	0000 0000_H	32	FFFF $9F64_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS061	0000 0000_H	32	FFFF $9F68_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC061	0000 0000_H	32	FFFF $9F6C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA062	XXXX XXXX_H	32	FFFF $9F80_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA062	XXXX XXXX_H	32	FFFF $9F84_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC062	XXXX XXXX_H	32	FFFF $9F88_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT062	XXXX XXXX_H	32	FFFF $9F8C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA062	XXXX XXXX_H	32	FFFF $9F90_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA062	XXXX XXXX_H	32	FFFF $9F94_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC062	XXXX XXXX_H	32	FFFF $9F98_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC062	XXXX XXXX_H	32	FFFF $9F9C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL062	0000 0000_H	32	FFFF $9FA0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST062	0000 0000_H	32	FFFF $9FA4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS062	0000 0000_H	32	FFFF $9FA8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC062	0000 0000_H	32	FFFF $9FAC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA063	XXXX XXXX_H	32	FFFF $9FC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA063	XXXX XXXX_H	32	FFFF $9FC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC063	XXXX XXXX_H	32	FFFF $9FC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT063	XXXX XXXX_H	32	FFFF $9FCC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA063	XXXX XXXX_H	32	FFFF $9FD0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA063	XXXX XXXX_H	32	FFFF $9FD4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC063	XXXX XXXX_H	32	FFFF $9FD8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC063	XXXX XXXX_H	32	FFFF $9FDC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL063	0000 0000_H	32	FFFF $9FE0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST063	0000 0000_H	32	FFFF $9FE4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS063	0000 0000_H	32	FFFF $9FE8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC063	0000 0000_H	32	FFFF $9FEC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA064	XXXX XXXX_H	32	FFFF $A000_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA064	XXXX XXXX_H	32	FFFF $A004_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC064	XXXX XXXX_H	32	FFFF $A008_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT064	XXXX XXXX_H	32	FFFF $A00C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA064	XXXX XXXX_H	32	FFFF $A010_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA064	XXXX XXXX_H	32	FFFF $A014_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC064	XXXX XXXX_H	32	FFFF $A018_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC064	XXXX XXXX_H	32	FFFF $A01C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL064	0000 0000_H	32	FFFF $A020_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST064	0000 0000_H	32	FFFF $A024_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS064	0000 0000_H	32	FFFF $A028_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC064	0000 0000_H	32	FFFF $A02C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA065	XXXX XXXX_H	32	FFFF $A040_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA065	XXXX XXXX_H	32	FFFF $A044_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS 転送回数レジスタ	DTTC065	XXXX XXXX_H	32	FFFF $A048_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT065	XXXX XXXX_H	32	FFFF $A04C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA065	XXXX XXXX_H	32	FFFF $A050_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA065	XXXX XXXX_H	32	FFFF $A054_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC065	XXXX XXXX_H	32	FFFF $A058_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC065	XXXX XXXX_H	32	FFFF $A05C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL065	0000 0000_H	32	FFFF $A060_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST065	0000 0000_H	32	FFFF $A064_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS065	0000 0000_H	32	FFFF $A068_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC065	0000 0000_H	32	FFFF $A06C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA066	XXXX XXXX_H	32	FFFF $A080_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA066	XXXX XXXX_H	32	FFFF $A084_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC066	XXXX XXXX_H	32	FFFF $A088_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT066	XXXX XXXX_H	32	FFFF $A08C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA066	XXXX XXXX_H	32	FFFF $A090_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA066	XXXX XXXX_H	32	FFFF $A094_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC066	XXXX XXXX_H	32	FFFF $A098_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC066	XXXX XXXX_H	32	FFFF $A09C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL066	0000 0000_H	32	FFFF $A0A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST066	0000 0000_H	32	FFFF $A0A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS066	0000 0000_H	32	FFFF $A0A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC066	0000 0000_H	32	FFFF $A0AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA067	XXXX XXXX_H	32	FFFF $A0C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA067	XXXX XXXX_H	32	FFFF $A0C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC067	XXXX XXXX_H	32	FFFF $A0C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT067	XXXX XXXX_H	32	FFFF $A0CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA067	XXXX XXXX_H	32	FFFF $A0D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA067	XXXX XXXX_H	32	FFFF $A0D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC067	XXXX XXXX_H	32	FFFF $A0D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC067	XXXX XXXX_H	32	FFFF $A0DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL067	0000 0000_H	32	FFFF $A0E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST067	0000 0000_H	32	FFFF $A0E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS067	0000 0000_H	32	FFFF $A0E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC067	0000 0000_H	32	FFFF $A0EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA068	XXXX XXXX_H	32	FFFF $A100_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA068	XXXX XXXX_H	32	FFFF $A104_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC068	XXXX XXXX_H	32	FFFF $A108_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT068	XXXX XXXX_H	32	FFFF $A10C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA068	XXXX XXXX_H	32	FFFF $A110_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA068	XXXX XXXX_H	32	FFFF $A114_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC068	XXXX XXXX_H	32	FFFF $A118_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC068	XXXX XXXX_H	32	FFFF $A11C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL068	0000 0000_H	32	FFFF $A120_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST068	0000 0000_H	32	FFFF $A124_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS068	0000 0000_H	32	FFFF $A128_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC068	0000 0000_H	32	FFFF $A12C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA069	XXXX XXXX_H	32	FFFF $A140_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA069	XXXX XXXX_H	32	FFFF $A144_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC069	XXXX XXXX_H	32	FFFF $A148_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT069	XXXX XXXX_H	32	FFFF $A14C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA069	XXXX XXXX_H	32	FFFF $A150_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA069	XXXX XXXX_H	32	FFFF $A154_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC069	XXXX XXXX_H	32	FFFF $A158_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC069	XXXX XXXX_H	32	FFFF $A15C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL069	0000 0000_H	32	FFFF $A160_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST069	0000 0000_H	32	FFFF $A164_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS069	0000 0000_H	32	FFFF $A168_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC069	0000 0000_H	32	FFFF $A16C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA070	XXXX XXXX_H	32	FFFF $A180_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA070	XXXX XXXX_H	32	FFFF $A184_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC070	XXXX XXXX_H	32	FFFF $A188_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT070	XXXX XXXX_H	32	FFFF $A18C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA070	XXXX XXXX_H	32	FFFF $A190_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA070	XXXX XXXX_H	32	FFFF $A194_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC070	XXXX XXXX_H	32	FFFF $A198_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC070	XXXX XXXX_H	32	FFFF $A19C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL070	0000 0000_H	32	FFFF $A1A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST070	0000 0000_H	32	FFFF $A1A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS070	0000 0000_H	32	FFFF $A1A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC070	0000 0000_H	32	FFFF $A1AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA071	XXXX XXXX_H	32	FFFF $A1C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA071	XXXX XXXX_H	32	FFFF $A1C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC071	XXXX XXXX_H	32	FFFF $A1C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT071	XXXX XXXX_H	32	FFFF $A1CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA071	XXXX XXXX_H	32	FFFF $A1D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA071	XXXX XXXX_H	32	FFFF $A1D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC071	XXXX XXXX_H	32	FFFF $A1D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC071	XXXX XXXX_H	32	FFFF $A1DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL071	0000 0000_H	32	FFFF $A1E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST071	0000 0000_H	32	FFFF $A1E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS071	0000 0000_H	32	FFFF $A1E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC071	0000 0000_H	32	FFFF $A1EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA072	XXXX XXXX_H	32	FFFF $A200_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA072	XXXX XXXX_H	32	FFFF $A204_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC072	XXXX XXXX_H	32	FFFF $A208_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT072	XXXX XXXX_H	32	FFFF $A20C_H$	0	32

(281/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロードソースアドレスレジスタ	DTRSA072	XXXX XXXX_H	32	FFFF $A210_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA072	XXXX XXXX_H	32	FFFF $A214_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC072	XXXX XXXX_H	32	FFFF $A218_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC072	XXXX XXXX_H	32	FFFF $A21C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL072	0000 0000_H	32	FFFF $A220_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST072	0000 0000_H	32	FFFF $A224_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS072	0000 0000_H	32	FFFF $A228_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC072	0000 0000_H	32	FFFF $A22C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA073	XXXX XXXX_H	32	FFFF $A240_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA073	XXXX XXXX_H	32	FFFF $A244_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC073	XXXX XXXX_H	32	FFFF $A248_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT073	XXXX XXXX_H	32	FFFF $A24C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA073	XXXX XXXX_H	32	FFFF $A250_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA073	XXXX XXXX_H	32	FFFF $A254_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC073	XXXX XXXX_H	32	FFFF $A258_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC073	XXXX XXXX_H	32	FFFF $A25C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL073	0000 0000_H	32	FFFF $A260_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST073	0000 0000_H	32	FFFF $A264_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS073	0000 0000_H	32	FFFF $A268_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC073	0000 0000_H	32	FFFF $A26C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA074	XXXX XXXX_H	32	FFFF $A280_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA074	XXXX XXXX_H	32	FFFF $A284_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC074	XXXX XXXX_H	32	FFFF $A288_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT074	XXXX XXXX_H	32	FFFF $A28C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA074	XXXX XXXX_H	32	FFFF $A290_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA074	XXXX XXXX_H	32	FFFF $A294_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC074	XXXX XXXX_H	32	FFFF $A298_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC074	XXXX XXXX_H	32	FFFF $A29C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL074	0000 0000_H	32	FFFF $A2A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST074	0000 0000_H	32	FFFF $A2A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS074	0000 0000_H	32	FFFF $A2A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC074	0000 0000_H	32	FFFF $A2AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA075	XXXX XXXX_H	32	FFFF $A2C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA075	XXXX XXXX_H	32	FFFF $A2C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC075	XXXX XXXX_H	32	FFFF $A2C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT075	XXXX XXXX_H	32	FFFF $A2CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA075	XXXX XXXX_H	32	FFFF $A2D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA075	XXXX XXXX_H	32	FFFF $A2D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC075	XXXX XXXX_H	32	FFFF $A2D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC075	XXXX XXXX_H	32	FFFF $A2DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL075	0000 0000_H	32	FFFF $A2E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST075	0000 0000_H	32	FFFF $A2E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS075	0000 0000_H	32	FFFF $A2E8_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC075	0000 0000_H	32	FFFF $A2EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA076	XXXX XXXX_H	32	FFFF $A300_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA076	XXXX XXXX_H	32	FFFF $A304_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC076	XXXX XXXX_H	32	FFFF $A308_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT076	XXXX XXXX_H	32	FFFF $A30C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA076	XXXX XXXX_H	32	FFFF $A310_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA076	XXXX XXXX_H	32	FFFF $A314_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC076	XXXX XXXX_H	32	FFFF $A318_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC076	XXXX XXXX_H	32	FFFF $A31C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL076	0000 0000_H	32	FFFF $A320_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST076	0000 0000_H	32	FFFF $A324_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS076	0000 0000_H	32	FFFF $A328_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC076	0000 0000_H	32	FFFF $A32C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA077	XXXX XXXX_H	32	FFFF $A340_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA077	XXXX XXXX_H	32	FFFF $A344_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC077	XXXX XXXX_H	32	FFFF $A348_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT077	XXXX XXXX_H	32	FFFF $A34C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA077	XXXX XXXX_H	32	FFFF $A350_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA077	XXXX XXXX_H	32	FFFF $A354_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC077	XXXX XXXX_H	32	FFFF $A358_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC077	XXXX XXXX_H	32	FFFF $A35C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL077	0000 0000_H	32	FFFF $A360_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST077	0000 0000_H	32	FFFF $A364_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS077	0000 0000_H	32	FFFF $A368_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC077	0000 0000_H	32	FFFF $A36C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA078	XXXX XXXX_H	32	FFFF $A380_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA078	XXXX XXXX_H	32	FFFF $A384_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC078	XXXX XXXX_H	32	FFFF $A388_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT078	XXXX XXXX_H	32	FFFF $A38C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA078	XXXX XXXX_H	32	FFFF $A390_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA078	XXXX XXXX_H	32	FFFF $A394_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC078	XXXX XXXX_H	32	FFFF $A398_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC078	XXXX XXXX_H	32	FFFF $A39C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL078	0000 0000_H	32	FFFF $A3A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST078	0000 0000_H	32	FFFF $A3A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS078	0000 0000_H	32	FFFF $A3A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC078	0000 0000_H	32	FFFF $A3AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA079	XXXX XXXX_H	32	FFFF $A3C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA079	XXXX XXXX_H	32	FFFF $A3C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC079	XXXX XXXX_H	32	FFFF $A3C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT079	XXXX XXXX_H	32	FFFF $A3CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA079	XXXX XXXX_H	32	FFFF $A3D0_H$	0	32

(283/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA079	XXXX XXXX_H	32	FFFF $A3D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC079	XXXX XXXX_H	32	FFFF $A3D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC079	XXXX XXXX_H	32	FFFF $A3DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL079	0000 0000_H	32	FFFF $A3E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST079	0000 0000_H	32	FFFF $A3E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS079	0000 0000_H	32	FFFF $A3E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC079	0000 0000_H	32	FFFF $A3EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA080	XXXX XXXX_H	32	FFFF $A400_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA080	XXXX XXXX_H	32	FFFF $A404_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC080	XXXX XXXX_H	32	FFFF $A408_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT080	XXXX XXXX_H	32	FFFF $A40C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA080	XXXX XXXX_H	32	FFFF $A410_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA080	XXXX XXXX_H	32	FFFF $A414_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC080	XXXX XXXX_H	32	FFFF $A418_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC080	XXXX XXXX_H	32	FFFF $A41C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL080	0000 0000_H	32	FFFF $A420_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST080	0000 0000_H	32	FFFF $A424_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS080	0000 0000_H	32	FFFF $A428_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC080	0000 0000_H	32	FFFF $A42C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA081	XXXX XXXX_H	32	FFFF $A440_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA081	XXXX XXXX_H	32	FFFF $A444_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC081	XXXX XXXX_H	32	FFFF $A448_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT081	XXXX XXXX_H	32	FFFF $A44C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA081	XXXX XXXX_H	32	FFFF $A450_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA081	XXXX XXXX_H	32	FFFF $A454_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC081	XXXX XXXX_H	32	FFFF $A458_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC081	XXXX XXXX_H	32	FFFF $A45C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL081	0000 0000_H	32	FFFF $A460_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST081	0000 0000_H	32	FFFF $A464_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS081	0000 0000_H	32	FFFF $A468_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC081	0000 0000_H	32	FFFF $A46C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA082	XXXX XXXX_H	32	FFFF $A480_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA082	XXXX XXXX_H	32	FFFF $A484_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC082	XXXX XXXX_H	32	FFFF $A488_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT082	XXXX XXXX_H	32	FFFF $A48C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA082	XXXX XXXX_H	32	FFFF $A490_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA082	XXXX XXXX_H	32	FFFF $A494_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC082	XXXX XXXX_H	32	FFFF $A498_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC082	XXXX XXXX_H	32	FFFF $A49C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL082	0000 0000_H	32	FFFF $A4A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST082	0000 0000_H	32	FFFF $A4A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS082	0000 0000_H	32	FFFF $A4A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC082	0000 0000_H	32	FFFF $A4AC_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS ソースアドレスレジスタ	DTSA083	XXXX XXXX$_H$	32	FFFF A4C0$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA083	XXXX XXXX$_H$	32	FFFF A4C4$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC083	XXXX XXXX$_H$	32	FFFF A4C8$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT083	XXXX XXXX$_H$	32	FFFF A4CC$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA083	XXXX XXXX$_H$	32	FFFF A4D0$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA083	XXXX XXXX$_H$	32	FFFF A4D4$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC083	XXXX XXXX$_H$	32	FFFF A4D8$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC083	XXXX XXXX$_H$	32	FFFF A4DC$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL083	0000 0000$_H$	32	FFFF A4E0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST083	0000 0000$_H$	32	FFFF A4E4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS083	0000 0000$_H$	32	FFFF A4E8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC083	0000 0000$_H$	32	FFFF A4EC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA084	XXXX XXXX$_H$	32	FFFF A500$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA084	XXXX XXXX$_H$	32	FFFF A504$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC084	XXXX XXXX$_H$	32	FFFF A508$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT084	XXXX XXXX$_H$	32	FFFF A50C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA084	XXXX XXXX$_H$	32	FFFF A510$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA084	XXXX XXXX$_H$	32	FFFF A514$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC084	XXXX XXXX$_H$	32	FFFF A518$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC084	XXXX XXXX$_H$	32	FFFF A51C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL084	0000 0000$_H$	32	FFFF A520$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST084	0000 0000$_H$	32	FFFF A524$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS084	0000 0000$_H$	32	FFFF A528$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC084	0000 0000$_H$	32	FFFF A52C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA085	XXXX XXXX$_H$	32	FFFF A540$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA085	XXXX XXXX$_H$	32	FFFF A544$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC085	XXXX XXXX$_H$	32	FFFF A548$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT085	XXXX XXXX$_H$	32	FFFF A54C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA085	XXXX XXXX$_H$	32	FFFF A550$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA085	XXXX XXXX$_H$	32	FFFF A554$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC085	XXXX XXXX$_H$	32	FFFF A558$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC085	XXXX XXXX$_H$	32	FFFF A55C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL085	0000 0000$_H$	32	FFFF A560$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST085	0000 0000$_H$	32	FFFF A564$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS085	0000 0000$_H$	32	FFFF A568$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC085	0000 0000$_H$	32	FFFF A56C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA086	XXXX XXXX$_H$	32	FFFF A580$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA086	XXXX XXXX$_H$	32	FFFF A584$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC086	XXXX XXXX$_H$	32	FFFF A588$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT086	XXXX XXXX$_H$	32	FFFF A58C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA086	XXXX XXXX$_H$	32	FFFF A590$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA086	XXXX XXXX$_H$	32	FFFF A594$_H$	0	32

(285/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロード転送回数レジスタ	DTRTC086	XXXX XXXX_H	32	FFFF $A598_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC086	XXXX XXXX_H	32	FFFF $A59C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL086	0000 0000_H	32	FFFF $A5A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST086	0000 0000_H	32	FFFF $A5A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS086	0000 0000_H	32	FFFF $A5A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC086	0000 0000_H	32	FFFF $A5AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA087	XXXX XXXX_H	32	FFFF $A5C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA087	XXXX XXXX_H	32	FFFF $A5C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC087	XXXX XXXX_H	32	FFFF $A5C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT087	XXXX XXXX_H	32	FFFF $A5CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA087	XXXX XXXX_H	32	FFFF $A5D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA087	XXXX XXXX_H	32	FFFF $A5D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC087	XXXX XXXX_H	32	FFFF $A5D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC087	XXXX XXXX_H	32	FFFF $A5DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL087	0000 0000_H	32	FFFF $A5E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST087	0000 0000_H	32	FFFF $A5E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS087	0000 0000_H	32	FFFF $A5E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC087	0000 0000_H	32	FFFF $A5EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA088	XXXX XXXX_H	32	FFFF $A600_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA088	XXXX XXXX_H	32	FFFF $A604_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC088	XXXX XXXX_H	32	FFFF $A608_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT088	XXXX XXXX_H	32	FFFF $A60C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA088	XXXX XXXX_H	32	FFFF $A610_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA088	XXXX XXXX_H	32	FFFF $A614_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC088	XXXX XXXX_H	32	FFFF $A618_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC088	XXXX XXXX_H	32	FFFF $A61C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL088	0000 0000_H	32	FFFF $A620_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST088	0000 0000_H	32	FFFF $A624_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS088	0000 0000_H	32	FFFF $A628_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC088	0000 0000_H	32	FFFF $A62C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA089	XXXX XXXX_H	32	FFFF $A640_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA089	XXXX XXXX_H	32	FFFF $A644_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC089	XXXX XXXX_H	32	FFFF $A648_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT089	XXXX XXXX_H	32	FFFF $A64C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA089	XXXX XXXX_H	32	FFFF $A650_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA089	XXXX XXXX_H	32	FFFF $A654_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC089	XXXX XXXX_H	32	FFFF $A658_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC089	XXXX XXXX_H	32	FFFF $A65C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL089	0000 0000_H	32	FFFF $A660_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST089	0000 0000_H	32	FFFF $A664_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS089	0000 0000_H	32	FFFF $A668_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC089	0000 0000_H	32	FFFF $A66C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA090	XXXX XXXX_H	32	FFFF $A680_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA090	XXXX XXXX$_H$	32	FFFF A684$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC090	XXXX XXXX$_H$	32	FFFF A688$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT090	XXXX XXXX$_H$	32	FFFF A68C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA090	XXXX XXXX$_H$	32	FFFF A690$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA090	XXXX XXXX$_H$	32	FFFF A694$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC090	XXXX XXXX$_H$	32	FFFF A698$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC090	XXXX XXXX$_H$	32	FFFF A69C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL090	0000 0000$_H$	32	FFFF A6A0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST090	0000 0000$_H$	32	FFFF A6A4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS090	0000 0000$_H$	32	FFFF A6A8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC090	0000 0000$_H$	32	FFFF A6AC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA091	XXXX XXXX$_H$	32	FFFF A6C0$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA091	XXXX XXXX$_H$	32	FFFF A6C4$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC091	XXXX XXXX$_H$	32	FFFF A6C8$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT091	XXXX XXXX$_H$	32	FFFF A6CC$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA091	XXXX XXXX$_H$	32	FFFF A6D0$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA091	XXXX XXXX$_H$	32	FFFF A6D4$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC091	XXXX XXXX$_H$	32	FFFF A6D8$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC091	XXXX XXXX$_H$	32	FFFF A6DC$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL091	0000 0000$_H$	32	FFFF A6E0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST091	0000 0000$_H$	32	FFFF A6E4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS091	0000 0000$_H$	32	FFFF A6E8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC091	0000 0000$_H$	32	FFFF A6EC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA092	XXXX XXXX$_H$	32	FFFF A700$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA092	XXXX XXXX$_H$	32	FFFF A704$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC092	XXXX XXXX$_H$	32	FFFF A708$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT092	XXXX XXXX$_H$	32	FFFF A70C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA092	XXXX XXXX$_H$	32	FFFF A710$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA092	XXXX XXXX$_H$	32	FFFF A714$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC092	XXXX XXXX$_H$	32	FFFF A718$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC092	XXXX XXXX$_H$	32	FFFF A71C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL092	0000 0000$_H$	32	FFFF A720$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST092	0000 0000$_H$	32	FFFF A724$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS092	0000 0000$_H$	32	FFFF A728$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC092	0000 0000$_H$	32	FFFF A72C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA093	XXXX XXXX$_H$	32	FFFF A740$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA093	XXXX XXXX$_H$	32	FFFF A744$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC093	XXXX XXXX$_H$	32	FFFF A748$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT093	XXXX XXXX$_H$	32	FFFF A74C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA093	XXXX XXXX$_H$	32	FFFF A750$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA093	XXXX XXXX$_H$	32	FFFF A754$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC093	XXXX XXXX$_H$	32	FFFF A758$_H$	0	32

(287/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS 転送回数コンペアレジスタ	DTTCC093	XXXX XXXX_H	32	FFFF $A75C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL093	0000 0000_H	32	FFFF $A760_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST093	0000 0000_H	32	FFFF $A764_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS093	0000 0000_H	32	FFFF $A768_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC093	0000 0000_H	32	FFFF $A76C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA094	XXXX XXXX_H	32	FFFF $A780_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA094	XXXX XXXX_H	32	FFFF $A784_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC094	XXXX XXXX_H	32	FFFF $A788_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT094	XXXX XXXX_H	32	FFFF $A78C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA094	XXXX XXXX_H	32	FFFF $A790_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA094	XXXX XXXX_H	32	FFFF $A794_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC094	XXXX XXXX_H	32	FFFF $A798_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC094	XXXX XXXX_H	32	FFFF $A79C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL094	0000 0000_H	32	FFFF $A7A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST094	0000 0000_H	32	FFFF $A7A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS094	0000 0000_H	32	FFFF $A7A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC094	0000 0000_H	32	FFFF $A7AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA095	XXXX XXXX_H	32	FFFF $A7C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA095	XXXX XXXX_H	32	FFFF $A7C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC095	XXXX XXXX_H	32	FFFF $A7C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT095	XXXX XXXX_H	32	FFFF $A7CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA095	XXXX XXXX_H	32	FFFF $A7D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA095	XXXX XXXX_H	32	FFFF $A7D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC095	XXXX XXXX_H	32	FFFF $A7D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC095	XXXX XXXX_H	32	FFFF $A7DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL095	0000 0000_H	32	FFFF $A7E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST095	0000 0000_H	32	FFFF $A7E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS095	0000 0000_H	32	FFFF $A7E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC095	0000 0000_H	32	FFFF $A7EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA096	XXXX XXXX_H	32	FFFF $A800_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA096	XXXX XXXX_H	32	FFFF $A804_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC096	XXXX XXXX_H	32	FFFF $A808_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT096	XXXX XXXX_H	32	FFFF $A80C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA096	XXXX XXXX_H	32	FFFF $A810_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA096	XXXX XXXX_H	32	FFFF $A814_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC096	XXXX XXXX_H	32	FFFF $A818_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC096	XXXX XXXX_H	32	FFFF $A81C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL096	0000 0000_H	32	FFFF $A820_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST096	0000 0000_H	32	FFFF $A824_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS096	0000 0000_H	32	FFFF $A828_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC096	0000 0000_H	32	FFFF $A82C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA097	XXXX XXXX_H	32	FFFF $A840_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA097	XXXX XXXX_H	32	FFFF $A844_H$	0	32

(288/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS 転送回数レジスタ	DTTC097	XXXX XXXX_H	32	FFFF $A848_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT097	XXXX XXXX_H	32	FFFF $A84C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA097	XXXX XXXX_H	32	FFFF $A850_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA097	XXXX XXXX_H	32	FFFF $A854_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC097	XXXX XXXX_H	32	FFFF $A858_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC097	XXXX XXXX_H	32	FFFF $A85C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL097	0000 0000_H	32	FFFF $A860_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST097	0000 0000_H	32	FFFF $A864_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS097	0000 0000_H	32	FFFF $A868_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC097	0000 0000_H	32	FFFF $A86C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA098	XXXX XXXX_H	32	FFFF $A880_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA098	XXXX XXXX_H	32	FFFF $A884_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC098	XXXX XXXX_H	32	FFFF $A888_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT098	XXXX XXXX_H	32	FFFF $A88C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA098	XXXX XXXX_H	32	FFFF $A890_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA098	XXXX XXXX_H	32	FFFF $A894_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC098	XXXX XXXX_H	32	FFFF $A898_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC098	XXXX XXXX_H	32	FFFF $A89C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL098	0000 0000_H	32	FFFF $A8A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST098	0000 0000_H	32	FFFF $A8A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS098	0000 0000_H	32	FFFF $A8A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC098	0000 0000_H	32	FFFF $A8AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA099	XXXX XXXX_H	32	FFFF $A8C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA099	XXXX XXXX_H	32	FFFF $A8C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC099	XXXX XXXX_H	32	FFFF $A8C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT099	XXXX XXXX_H	32	FFFF $A8CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA099	XXXX XXXX_H	32	FFFF $A8D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA099	XXXX XXXX_H	32	FFFF $A8D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC099	XXXX XXXX_H	32	FFFF $A8D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC099	XXXX XXXX_H	32	FFFF $A8DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL099	0000 0000_H	32	FFFF $A8E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST099	0000 0000_H	32	FFFF $A8E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS099	0000 0000_H	32	FFFF $A8E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC099	0000 0000_H	32	FFFF $A8EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA100	XXXX XXXX_H	32	FFFF $A900_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA100	XXXX XXXX_H	32	FFFF $A904_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC100	XXXX XXXX_H	32	FFFF $A908_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT100	XXXX XXXX_H	32	FFFF $A90C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA100	XXXX XXXX_H	32	FFFF $A910_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA100	XXXX XXXX_H	32	FFFF $A914_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC100	XXXX XXXX_H	32	FFFF $A918_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC100	XXXX XXXX_H	32	FFFF $A91C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL100	0000 0000_H	32	FFFF $A920_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST100	0000 0000_H	32	FFFF $A924_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS100	0000 0000_H	32	FFFF $A928_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC100	0000 0000_H	32	FFFF $A92C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA101	XXXX XXXX_H	32	FFFF $A940_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA101	XXXX XXXX_H	32	FFFF $A944_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC101	XXXX XXXX_H	32	FFFF $A948_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT101	XXXX XXXX_H	32	FFFF $A94C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA101	XXXX XXXX_H	32	FFFF $A950_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA101	XXXX XXXX_H	32	FFFF $A954_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC101	XXXX XXXX_H	32	FFFF $A958_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC101	XXXX XXXX_H	32	FFFF $A95C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL101	0000 0000_H	32	FFFF $A960_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST101	0000 0000_H	32	FFFF $A964_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS101	0000 0000_H	32	FFFF $A968_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC101	0000 0000_H	32	FFFF $A96C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA102	XXXX XXXX_H	32	FFFF $A980_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA102	XXXX XXXX_H	32	FFFF $A984_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC102	XXXX XXXX_H	32	FFFF $A988_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT102	XXXX XXXX_H	32	FFFF $A98C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA102	XXXX XXXX_H	32	FFFF $A990_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA102	XXXX XXXX_H	32	FFFF $A994_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC102	XXXX XXXX_H	32	FFFF $A998_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC102	XXXX XXXX_H	32	FFFF $A99C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL102	0000 0000_H	32	FFFF $A9A0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST102	0000 0000_H	32	FFFF $A9A4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS102	0000 0000_H	32	FFFF $A9A8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC102	0000 0000_H	32	FFFF $A9AC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA103	XXXX XXXX_H	32	FFFF $A9C0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA103	XXXX XXXX_H	32	FFFF $A9C4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC103	XXXX XXXX_H	32	FFFF $A9C8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT103	XXXX XXXX_H	32	FFFF $A9CC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA103	XXXX XXXX_H	32	FFFF $A9D0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA103	XXXX XXXX_H	32	FFFF $A9D4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC103	XXXX XXXX_H	32	FFFF $A9D8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC103	XXXX XXXX_H	32	FFFF $A9DC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL103	0000 0000_H	32	FFFF $A9E0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST103	0000 0000_H	32	FFFF $A9E4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS103	0000 0000_H	32	FFFF $A9E8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC103	0000 0000_H	32	FFFF $A9EC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA104	XXXX XXXX_H	32	FFFF $AA00_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA104	XXXX XXXX_H	32	FFFF $AA04_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC104	XXXX XXXX_H	32	FFFF $AA08_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT104	XXXX XXXX_H	32	FFFF $AA0C_H$	0	32

(290/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロードソースアドレスレジスタ	DTRSA104	XXXX XXXX_H	32	FFFF $AA10_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA104	XXXX XXXX_H	32	FFFF $AA14_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC104	XXXX XXXX_H	32	FFFF $AA18_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC104	XXXX XXXX_H	32	FFFF $AA1C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL104	0000 0000_H	32	FFFF $AA20_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST104	0000 0000_H	32	FFFF $AA24_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS104	0000 0000_H	32	FFFF $AA28_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC104	0000 0000_H	32	FFFF $AA2C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA105	XXXX XXXX_H	32	FFFF $AA40_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA105	XXXX XXXX_H	32	FFFF $AA44_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC105	XXXX XXXX_H	32	FFFF $AA48_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT105	XXXX XXXX_H	32	FFFF $AA4C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA105	XXXX XXXX_H	32	FFFF $AA50_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA105	XXXX XXXX_H	32	FFFF $AA54_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC105	XXXX XXXX_H	32	FFFF $AA58_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC105	XXXX XXXX_H	32	FFFF $AA5C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL105	0000 0000_H	32	FFFF $AA60_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST105	0000 0000_H	32	FFFF $AA64_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS105	0000 0000_H	32	FFFF $AA68_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC105	0000 0000_H	32	FFFF $AA6C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA106	XXXX XXXX_H	32	FFFF $AA80_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA106	XXXX XXXX_H	32	FFFF $AA84_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC106	XXXX XXXX_H	32	FFFF $AA88_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT106	XXXX XXXX_H	32	FFFF $AA8C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA106	XXXX XXXX_H	32	FFFF $AA90_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA106	XXXX XXXX_H	32	FFFF $AA94_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC106	XXXX XXXX_H	32	FFFF $AA98_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC106	XXXX XXXX_H	32	FFFF $AA9C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL106	0000 0000_H	32	FFFF $AAA0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST106	0000 0000_H	32	FFFF $AAA4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS106	0000 0000_H	32	FFFF $AAA8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC106	0000 0000_H	32	FFFF $AAAC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA107	XXXX XXXX_H	32	FFFF $AAC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA107	XXXX XXXX_H	32	FFFF $AAC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC107	XXXX XXXX_H	32	FFFF $AAC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT107	XXXX XXXX_H	32	FFFF $AACC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA107	XXXX XXXX_H	32	FFFF $AAD0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA107	XXXX XXXX_H	32	FFFF $AAD4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC107	XXXX XXXX_H	32	FFFF $AAD8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC107	XXXX XXXX_H	32	FFFF $AADC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL107	0000 0000_H	32	FFFF $AAE0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST107	0000 0000_H	32	FFFF $AAE4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS107	0000 0000_H	32	FFFF $AAE8_H$	0	32

(291/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC107	0000 0000_H	32	FFFF $AAEC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA108	XXXX XXXX_H	32	FFFF $AB00_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA108	XXXX XXXX_H	32	FFFF $AB04_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC108	XXXX XXXX_H	32	FFFF $AB08_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT108	XXXX XXXX_H	32	FFFF $AB0C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA108	XXXX XXXX_H	32	FFFF $AB10_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA108	XXXX XXXX_H	32	FFFF $AB14_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC108	XXXX XXXX_H	32	FFFF $AB18_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC108	XXXX XXXX_H	32	FFFF $AB1C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL108	0000 0000_H	32	FFFF $AB20_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST108	0000 0000_H	32	FFFF $AB24_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS108	0000 0000_H	32	FFFF $AB28_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC108	0000 0000_H	32	FFFF $AB2C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA109	XXXX XXXX_H	32	FFFF $AB40_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA109	XXXX XXXX_H	32	FFFF $AB44_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC109	XXXX XXXX_H	32	FFFF $AB48_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT109	XXXX XXXX_H	32	FFFF $AB4C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA109	XXXX XXXX_H	32	FFFF $AB50_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA109	XXXX XXXX_H	32	FFFF $AB54_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC109	XXXX XXXX_H	32	FFFF $AB58_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC109	XXXX XXXX_H	32	FFFF $AB5C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL109	0000 0000_H	32	FFFF $AB60_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST109	0000 0000_H	32	FFFF $AB64_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS109	0000 0000_H	32	FFFF $AB68_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC109	0000 0000_H	32	FFFF $AB6C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA110	XXXX XXXX_H	32	FFFF $AB80_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA110	XXXX XXXX_H	32	FFFF $AB84_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC110	XXXX XXXX_H	32	FFFF $AB88_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT110	XXXX XXXX_H	32	FFFF $AB8C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA110	XXXX XXXX_H	32	FFFF $AB90_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA110	XXXX XXXX_H	32	FFFF $AB94_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC110	XXXX XXXX_H	32	FFFF $AB98_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC110	XXXX XXXX_H	32	FFFF $AB9C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL110	0000 0000_H	32	FFFF $ABA0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST110	0000 0000_H	32	FFFF $ABA4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS110	0000 0000_H	32	FFFF $ABA8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC110	0000 0000_H	32	FFFF $ABAC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA111	XXXX XXXX_H	32	FFFF $ABC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA111	XXXX XXXX_H	32	FFFF $ABC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC111	XXXX XXXX_H	32	FFFF $ABC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT111	XXXX XXXX_H	32	FFFF $ABCC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA111	XXXX XXXX_H	32	FFFF $ABD0_H$	0	32

(292/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA111	XXXX XXXX$_H$	32	FFFF ABD4$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC111	XXXX XXXX$_H$	32	FFFF ABD8$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC111	XXXX XXXX$_H$	32	FFFF ABDC$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL111	0000 0000$_H$	32	FFFF ABE0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST111	0000 0000$_H$	32	FFFF ABE4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS111	0000 0000$_H$	32	FFFF ABE8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC111	0000 0000$_H$	32	FFFF ABEC$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA112	XXXX XXXX$_H$	32	FFFF AC00$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA112	XXXX XXXX$_H$	32	FFFF AC04$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC112	XXXX XXXX$_H$	32	FFFF AC08$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT112	XXXX XXXX$_H$	32	FFFF AC0C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA112	XXXX XXXX$_H$	32	FFFF AC10$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA112	XXXX XXXX$_H$	32	FFFF AC14$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC112	XXXX XXXX$_H$	32	FFFF AC18$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC112	XXXX XXXX$_H$	32	FFFF AC1C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL112	0000 0000$_H$	32	FFFF AC20$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST112	0000 0000$_H$	32	FFFF AC24$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS112	0000 0000$_H$	32	FFFF AC28$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC112	0000 0000$_H$	32	FFFF AC2C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA113	XXXX XXXX$_H$	32	FFFF AC40$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA113	XXXX XXXX$_H$	32	FFFF AC44$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC113	XXXX XXXX$_H$	32	FFFF AC48$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT113	XXXX XXXX$_H$	32	FFFF AC4C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA113	XXXX XXXX$_H$	32	FFFF AC50$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA113	XXXX XXXX$_H$	32	FFFF AC54$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC113	XXXX XXXX$_H$	32	FFFF AC58$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC113	XXXX XXXX$_H$	32	FFFF AC5C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL113	0000 0000$_H$	32	FFFF AC60$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST113	0000 0000$_H$	32	FFFF AC64$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS113	0000 0000$_H$	32	FFFF AC68$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC113	0000 0000$_H$	32	FFFF AC6C$_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA114	XXXX XXXX$_H$	32	FFFF AC80$_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA114	XXXX XXXX$_H$	32	FFFF AC84$_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC114	XXXX XXXX$_H$	32	FFFF AC88$_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT114	XXXX XXXX$_H$	32	FFFF AC8C$_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA114	XXXX XXXX$_H$	32	FFFF AC90$_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA114	XXXX XXXX$_H$	32	FFFF AC94$_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC114	XXXX XXXX$_H$	32	FFFF AC98$_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC114	XXXX XXXX$_H$	32	FFFF AC9C$_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL114	0000 0000$_H$	32	FFFF ACA0$_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST114	0000 0000$_H$	32	FFFF ACA4$_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS114	0000 0000$_H$	32	FFFF ACA8$_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC114	0000 0000$_H$	32	FFFF ACAC$_H$	0	32

(293/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS ソースアドレスレジスタ	DTSA115	XXXX XXXX_H	32	FFFF $ACC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA115	XXXX XXXX_H	32	FFFF $ACC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC115	XXXX XXXX_H	32	FFFF $ACC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT115	XXXX XXXX_H	32	FFFF $ACCC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA115	XXXX XXXX_H	32	FFFF $ACD0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA115	XXXX XXXX_H	32	FFFF $ACD4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC115	XXXX XXXX_H	32	FFFF $ACD8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC115	XXXX XXXX_H	32	FFFF $ACDC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL115	0000 0000_H	32	FFFF $ACE0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST115	0000 0000_H	32	FFFF $ACE4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS115	0000 0000_H	32	FFFF $ACE8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC115	0000 0000_H	32	FFFF $ACEC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA116	XXXX XXXX_H	32	FFFF $AD00_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA116	XXXX XXXX_H	32	FFFF $AD04_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC116	XXXX XXXX_H	32	FFFF $AD08_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT116	XXXX XXXX_H	32	FFFF $AD0C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA116	XXXX XXXX_H	32	FFFF $AD10_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA116	XXXX XXXX_H	32	FFFF $AD14_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC116	XXXX XXXX_H	32	FFFF $AD18_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC116	XXXX XXXX_H	32	FFFF $AD1C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL116	0000 0000_H	32	FFFF $AD20_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST116	0000 0000_H	32	FFFF $AD24_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS116	0000 0000_H	32	FFFF $AD28_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC116	0000 0000_H	32	FFFF $AD2C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA117	XXXX XXXX_H	32	FFFF $AD40_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA117	XXXX XXXX_H	32	FFFF $AD44_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC117	XXXX XXXX_H	32	FFFF $AD48_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT117	XXXX XXXX_H	32	FFFF $AD4C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA117	XXXX XXXX_H	32	FFFF $AD50_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA117	XXXX XXXX_H	32	FFFF $AD54_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC117	XXXX XXXX_H	32	FFFF $AD58_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC117	XXXX XXXX_H	32	FFFF $AD5C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL117	0000 0000_H	32	FFFF $AD60_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST117	0000 0000_H	32	FFFF $AD64_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS117	0000 0000_H	32	FFFF $AD68_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC117	0000 0000_H	32	FFFF $AD6C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA118	XXXX XXXX_H	32	FFFF $AD80_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA118	XXXX XXXX_H	32	FFFF $AD84_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC118	XXXX XXXX_H	32	FFFF $AD88_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT118	XXXX XXXX_H	32	FFFF $AD8C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA118	XXXX XXXX_H	32	FFFF $AD90_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA118	XXXX XXXX_H	32	FFFF $AD94_H$	0	32

(294/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS リロード転送回数レジスタ	DTRTC118	XXXX XXXX_H	32	FFFF $AD98_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC118	XXXX XXXX_H	32	FFFF $AD9C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL118	0000 0000_H	32	FFFF $ADA0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST118	0000 0000_H	32	FFFF $ADA4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS118	0000 0000_H	32	FFFF $ADA8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC118	0000 0000_H	32	FFFF $ADAC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA119	XXXX XXXX_H	32	FFFF $ADC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA119	XXXX XXXX_H	32	FFFF $ADC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC119	XXXX XXXX_H	32	FFFF $ADC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT119	XXXX XXXX_H	32	FFFF $ADCC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA119	XXXX XXXX_H	32	FFFF $ADD0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA119	XXXX XXXX_H	32	FFFF $ADD4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC119	XXXX XXXX_H	32	FFFF $ADD8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC119	XXXX XXXX_H	32	FFFF $ADDC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL119	0000 0000_H	32	FFFF $ADE0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST119	0000 0000_H	32	FFFF $ADE4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS119	0000 0000_H	32	FFFF $ADE8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC119	0000 0000_H	32	FFFF $ADEC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA120	XXXX XXXX_H	32	FFFF $AE00_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA120	XXXX XXXX_H	32	FFFF $AE04_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC120	XXXX XXXX_H	32	FFFF $AE08_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT120	XXXX XXXX_H	32	FFFF $AE0C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA120	XXXX XXXX_H	32	FFFF $AE10_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA120	XXXX XXXX_H	32	FFFF $AE14_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC120	XXXX XXXX_H	32	FFFF $AE18_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC120	XXXX XXXX_H	32	FFFF $AE1C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL120	0000 0000_H	32	FFFF $AE20_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST120	0000 0000_H	32	FFFF $AE24_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS120	0000 0000_H	32	FFFF $AE28_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC120	0000 0000_H	32	FFFF $AE2C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA121	XXXX XXXX_H	32	FFFF $AE40_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA121	XXXX XXXX_H	32	FFFF $AE44_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC121	XXXX XXXX_H	32	FFFF $AE48_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT121	XXXX XXXX_H	32	FFFF $AE4C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA121	XXXX XXXX_H	32	FFFF $AE50_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA121	XXXX XXXX_H	32	FFFF $AE54_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC121	XXXX XXXX_H	32	FFFF $AE58_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC121	XXXX XXXX_H	32	FFFF $AE5C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL121	0000 0000_H	32	FFFF $AE60_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST121	0000 0000_H	32	FFFF $AE64_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS121	0000 0000_H	32	FFFF $AE68_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC121	0000 0000_H	32	FFFF $AE6C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA122	XXXX XXXX_H	32	FFFF $AE80_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA122	XXXX XXXX_H	32	FFFF $AE84_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC122	XXXX XXXX_H	32	FFFF $AE88_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT122	XXXX XXXX_H	32	FFFF $AE8C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA122	XXXX XXXX_H	32	FFFF $AE90_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA122	XXXX XXXX_H	32	FFFF $AE94_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC122	XXXX XXXX_H	32	FFFF $AE98_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC122	XXXX XXXX_H	32	FFFF $AE9C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL122	0000 0000_H	32	FFFF $AEA0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST122	0000 0000_H	32	FFFF $AEA4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS122	0000 0000_H	32	FFFF $AEA8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC122	0000 0000_H	32	FFFF $AEAC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA123	XXXX XXXX_H	32	FFFF $AEC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA123	XXXX XXXX_H	32	FFFF $AEC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC123	XXXX XXXX_H	32	FFFF $AEC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT123	XXXX XXXX_H	32	FFFF $AECC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA123	XXXX XXXX_H	32	FFFF $AED0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA123	XXXX XXXX_H	32	FFFF $AED4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC123	XXXX XXXX_H	32	FFFF $AED8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC123	XXXX XXXX_H	32	FFFF $AEDC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL123	0000 0000_H	32	FFFF $AEE0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST123	0000 0000_H	32	FFFF $AEE4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS123	0000 0000_H	32	FFFF $AEE8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC123	0000 0000_H	32	FFFF $AEEC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA124	XXXX XXXX_H	32	FFFF $AF00_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA124	XXXX XXXX_H	32	FFFF $AF04_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC124	XXXX XXXX_H	32	FFFF $AF08_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT124	XXXX XXXX_H	32	FFFF $AF0C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA124	XXXX XXXX_H	32	FFFF $AF10_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA124	XXXX XXXX_H	32	FFFF $AF14_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC124	XXXX XXXX_H	32	FFFF $AF18_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC124	XXXX XXXX_H	32	FFFF $AF1C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL124	0000 0000_H	32	FFFF $AF20_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST124	0000 0000_H	32	FFFF $AF24_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS124	0000 0000_H	32	FFFF $AF28_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC124	0000 0000_H	32	FFFF $AF2C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA125	XXXX XXXX_H	32	FFFF $AF40_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA125	XXXX XXXX_H	32	FFFF $AF44_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC125	XXXX XXXX_H	32	FFFF $AF48_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT125	XXXX XXXX_H	32	FFFF $AF4C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA125	XXXX XXXX_H	32	FFFF $AF50_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA125	XXXX XXXX_H	32	FFFF $AF54_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC125	XXXX XXXX_H	32	FFFF $AF58_H$	0	32

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
DMASS	DTS 転送回数コンペアレジスタ	DTTCC125	XXXX XXXX_H	32	FFFF $AF5C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL125	0000 0000_H	32	FFFF $AF60_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST125	0000 0000_H	32	FFFF $AF64_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS125	0000 0000_H	32	FFFF $AF68_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC125	0000 0000_H	32	FFFF $AF6C_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA126	XXXX XXXX_H	32	FFFF $AF80_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA126	XXXX XXXX_H	32	FFFF $AF84_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC126	XXXX XXXX_H	32	FFFF $AF88_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT126	XXXX XXXX_H	32	FFFF $AF8C_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA126	XXXX XXXX_H	32	FFFF $AF90_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA126	XXXX XXXX_H	32	FFFF $AF94_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC126	XXXX XXXX_H	32	FFFF $AF98_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC126	XXXX XXXX_H	32	FFFF $AF9C_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL126	0000 0000_H	32	FFFF $AFA0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST126	0000 0000_H	32	FFFF $AFA4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS126	0000 0000_H	32	FFFF $AFA8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC126	0000 0000_H	32	FFFF $AFAC_H$	0	32
DMASS	DTS ソースアドレスレジスタ	DTSA127	XXXX XXXX_H	32	FFFF $AFC0_H$	0	32
DMASS	DTS ディスティネーションアドレスレジスタ	DTDA127	XXXX XXXX_H	32	FFFF $AFC4_H$	0	32
DMASS	DTS 転送回数レジスタ	DTTC127	XXXX XXXX_H	32	FFFF $AFC8_H$	0	32
DMASS	DTS 転送制御レジスタ	DTTCT127	XXXX XXXX_H	32	FFFF $AFCC_H$	0	32
DMASS	DTS リロードソースアドレスレジスタ	DTRSA127	XXXX XXXX_H	32	FFFF $AFD0_H$	0	32
DMASS	DTS リロードディスティネーションアドレスレジスタ	DTRDA127	XXXX XXXX_H	32	FFFF $AFD4_H$	0	32
DMASS	DTS リロード転送回数レジスタ	DTRTC127	XXXX XXXX_H	32	FFFF $AFD8_H$	0	32
DMASS	DTS 転送回数コンペアレジスタ	DTTCC127	XXXX XXXX_H	32	FFFF $AFDC_H$	0	32
DMASS	DTSFSL 動作設定レジスタ	DTFSL127	0000 0000_H	32	FFFF $AFE0_H$	0	32
DMASS	DTSFSL 転送要求ステータスレジスタ	DTFST127	0000 0000_H	32	FFFF $AFE4_H$	0	32
DMASS	DTSFSL 転送要求セットレジスタ	DTFSS127	0000 0000_H	32	FFFF $AFE8_H$	0	32
DMASS	DTSFSL 転送要求クリアレジスタ	DTFSC127	0000 0000_H	32	FFFF $AFEC_H$	0	32
INTC2	EI レベル割り込み制御レジスタ 33	EIC33	$008F_H$	16	FFFF $B042_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 38	EIC38	$008F_H$	16	FFFF $B04C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 39	EIC39	$008F_H$	16	FFFF $B04E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 40	EIC40	$008F_H$	16	FFFF $B050_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 41	EIC41	$008F_H$	16	FFFF $B052_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 42	EIC42	$008F_H$	16	FFFF $B054_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 43	EIC43	$008F_H$	16	FFFF $B056_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 44	EIC44	$008F_H$	16	FFFF $B058_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 45	EIC45	$008F_H$	16	FFFF $B05A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 46	EIC46	$008F_H$	16	FFFF $B05C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 47	EIC47	$008F_H$	16	FFFF $B05E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 48	EIC48	$008F_H$	16	FFFF $B060_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 49	EIC49	$008F_H$	16	FFFF $B062_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 50	EIC50	$008F_H$	16	FFFF $B064_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 51	EIC51	$008F_H$	16	FFFF $B066_H$	0	8、16

(297/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込み制御レジスタ 52	EIC52	$008F_H$	16	$FFFF\ B068_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 53	EIC53	$008F_H$	16	$FFFF\ B06A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 54	EIC54	$008F_H$	16	$FFFF\ B06C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 55	EIC55	$008F_H$	16	$FFFF\ B06E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 57	EIC57	$008F_H$	16	$FFFF\ B072_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 58	EIC58	$008F_H$	16	$FFFF\ B074_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 59	EIC59	$008F_H$	16	$FFFF\ B076_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 60	EIC60	$008F_H$	16	$FFFF\ B078_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 61	EIC61	$008F_H$	16	$FFFF\ B07A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 62	EIC62	$008F_H$	16	$FFFF\ B07C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 63	EIC63	$008F_H$	16	$FFFF\ B07E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 64	EIC64	$008F_H$	16	$FFFF\ B080_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 65	EIC65	$008F_H$	16	$FFFF\ B082_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 66	EIC66	$008F_H$	16	$FFFF\ B084_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 67	EIC67	$008F_H$	16	$FFFF\ B086_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 68	EIC68	$008F_H$	16	$FFFF\ B088_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 69	EIC69	$008F_H$	16	$FFFF\ B08A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 70	EIC70	$008F_H$	16	$FFFF\ B08C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 71	EIC71	$008F_H$	16	$FFFF\ B08E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 72	EIC72	$008F_H$	16	$FFFF\ B090_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 73	EIC73	$008F_H$	16	$FFFF\ B092_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 74	EIC74	$008F_H$	16	$FFFF\ B094_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 75	EIC75	$008F_H$	16	$FFFF\ B096_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 76	EIC76	$008F_H$	16	$FFFF\ B098_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 77	EIC77	$008F_H$	16	$FFFF\ B09A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 78	EIC78	$008F_H$	16	$FFFF\ B09C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 79	EIC79	$008F_H$	16	$FFFF\ B09E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 80	EIC80	$008F_H$	16	$FFFF\ B0A0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 81	EIC81	$008F_H$	16	$FFFF\ B0A2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 82	EIC82	$008F_H$	16	$FFFF\ B0A4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 83	EIC83	$008F_H$	16	$FFFF\ B0A6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 84	EIC84	$008F_H$	16	$FFFF\ B0A8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 85	EIC85	$008F_H$	16	$FFFF\ B0AA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 86	EIC86	$008F_H$	16	$FFFF\ B0AC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 87	EIC87	$008F_H$	16	$FFFF\ B0AE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 88	EIC88	$008F_H$	16	$FFFF\ B0B0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 89	EIC89	$008F_H$	16	$FFFF\ B0B2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 90	EIC90	$008F_H$	16	$FFFF\ B0B4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 91	EIC91	$008F_H$	16	$FFFF\ B0B6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 92	EIC92	$008F_H$	16	$FFFF\ B0B8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 93	EIC93	$008F_H$	16	$FFFF\ B0BA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 94	EIC94	$008F_H$	16	$FFFF\ B0BC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 95	EIC95	$008F_H$	16	$FFFF\ B0BE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 96	EIC96	$008F_H$	16	$FFFF\ B0C0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 97	EIC97	$008F_H$	16	$FFFF\ B0C2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 98	EIC98	$008F_H$	16	$FFFF\ B0C4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 99	EIC99	$008F_H$	16	$FFFF\ B0C6_H$	0	8、16

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込み制御レジスタ 100	EIC100	$008F_H$	16	$FFFF\ B0C8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 101	EIC101	$008F_H$	16	$FFFF\ B0CA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 102	EIC102	$008F_H$	16	$FFFF\ B0CC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 103	EIC103	$008F_H$	16	$FFFF\ B0CE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 104	EIC104	$008F_H$	16	$FFFF\ B0D0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 105	EIC105	$008F_H$	16	$FFFF\ B0D2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 106	EIC106	$008F_H$	16	$FFFF\ B0D4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 107	EIC107	$008F_H$	16	$FFFF\ B0D6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 108	EIC108	$008F_H$	16	$FFFF\ B0D8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 109	EIC109	$008F_H$	16	$FFFF\ B0DA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 110	EIC110	$008F_H$	16	$FFFF\ B0DC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 111	EIC111	$008F_H$	16	$FFFF\ B0DE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 112	EIC112	$008F_H$	16	$FFFF\ B0E0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 113	EIC113	$008F_H$	16	$FFFF\ B0E2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 114	EIC114	$008F_H$	16	$FFFF\ B0E4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 115	EIC115	$008F_H$	16	$FFFF\ B0E6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 116	EIC116	$008F_H$	16	$FFFF\ B0E8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 117	EIC117	$008F_H$	16	$FFFF\ B0EA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 118	EIC118	$008F_H$	16	$FFFF\ B0EC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 119	EIC119	$008F_H$	16	$FFFF\ B0EE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 120	EIC120	$008F_H$	16	$FFFF\ B0F0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 121	EIC121	$008F_H$	16	$FFFF\ B0F2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 122	EIC122	$008F_H$	16	$FFFF\ B0F4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 123	EIC123	$008F_H$	16	$FFFF\ B0F6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 124	EIC124	$008F_H$	16	$FFFF\ B0F8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 125	EIC125	$008F_H$	16	$FFFF\ B0FA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 126	EIC126	$008F_H$	16	$FFFF\ B0FC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 127	EIC127	$008F_H$	16	$FFFF\ B0FE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 128	EIC128	$008F_H$	16	$FFFF\ B100_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 129	EIC129	$008F_H$	16	$FFFF\ B102_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 130	EIC130	$008F_H$	16	$FFFF\ B104_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 131	EIC131	$008F_H$	16	$FFFF\ B106_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 132	EIC132	$008F_H$	16	$FFFF\ B108_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 133	EIC133	$008F_H$	16	$FFFF\ B10A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 134	EIC134	$008F_H$	16	$FFFF\ B10C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 135	EIC135	$008F_H$	16	$FFFF\ B10E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 136	EIC136	$008F_H$	16	$FFFF\ B110_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 137	EIC137	$008F_H$	16	$FFFF\ B112_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 138	EIC138	$008F_H$	16	$FFFF\ B114_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 139	EIC139	$008F_H$	16	$FFFF\ B116_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 140	EIC140	$008F_H$	16	$FFFF\ B118_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 141	EIC141	$008F_H$	16	$FFFF\ B11A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 142	EIC142	$008F_H$	16	$FFFF\ B11C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 143	EIC143	$008F_H$	16	$FFFF\ B11E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 144	EIC144	$008F_H$	16	$FFFF\ B120_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 145	EIC145	$008F_H$	16	$FFFF\ B122_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 146	EIC146	$008F_H$	16	$FFFF\ B124_H$	0	8、16

(299/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込み制御レジスタ 147	EIC147	$008F_H$	16	FFFF $B126_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 148	EIC148	$008F_H$	16	FFFF $B128_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 149	EIC149	$008F_H$	16	FFFF $B12A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 150	EIC150	$008F_H$	16	FFFF $B12C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 151	EIC151	$008F_H$	16	FFFF $B12E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 152	EIC152	$008F_H$	16	FFFF $B130_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 153	EIC153	$008F_H$	16	FFFF $B132_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 154	EIC154	$008F_H$	16	FFFF $B134_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 155	EIC155	$008F_H$	16	FFFF $B136_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 156	EIC156	$008F_H$	16	FFFF $B138_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 157	EIC157	$008F_H$	16	FFFF $B13A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 158	EIC158	$008F_H$	16	FFFF $B13C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 159	EIC159	$008F_H$	16	FFFF $B13E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 160	EIC160	$008F_H$	16	FFFF $B140_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 161	EIC161	$008F_H$	16	FFFF $B142_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 162	EIC162	$008F_H$	16	FFFF $B144_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 163	EIC163	$008F_H$	16	FFFF $B146_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 164	EIC164	$008F_H$	16	FFFF $B148_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 165	EIC165	$008F_H$	16	FFFF $B14A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 166	EIC166	$008F_H$	16	FFFF $B14C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 167	EIC167	$008F_H$	16	FFFF $B14E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 168	EIC168	$008F_H$	16	FFFF $B150_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 169	EIC169	$008F_H$	16	FFFF $B152_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 170	EIC170	$008F_H$	16	FFFF $B154_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 171	EIC171	$008F_H$	16	FFFF $B156_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 172	EIC172	$008F_H$	16	FFFF $B158_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 173	EIC173	$008F_H$	16	FFFF $B15A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 174	EIC174	$008F_H$	16	FFFF $B15C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 175	EIC175	$008F_H$	16	FFFF $B15E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 176	EIC176	$008F_H$	16	FFFF $B160_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 177	EIC177	$008F_H$	16	FFFF $B162_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 178	EIC178	$008F_H$	16	FFFF $B164_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 179	EIC179	$008F_H$	16	FFFF $B166_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 180	EIC180	$008F_H$	16	FFFF $B168_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 181	EIC181	$008F_H$	16	FFFF $B16A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 182	EIC182	$008F_H$	16	FFFF $B16C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 183	EIC183	$008F_H$	16	FFFF $B16E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 184	EIC184	$008F_H$	16	FFFF $B170_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 185	EIC185	$008F_H$	16	FFFF $B172_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 186	EIC186	$008F_H$	16	FFFF $B174_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 187	EIC187	$008F_H$	16	FFFF $B176_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 188	EIC188	$008F_H$	16	FFFF $B178_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 189	EIC189	$008F_H$	16	FFFF $B17A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 190	EIC190	$008F_H$	16	FFFF $B17C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 191	EIC191	$008F_H$	16	FFFF $B17E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 192	EIC192	$008F_H$	16	FFFF $B180_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 193	EIC193	$008F_H$	16	FFFF $B182_H$	0	8、16

(300/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込み制御レジスタ 194	EIC194	$008F_H$	16	$FFFF\ B184_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 195	EIC195	$008F_H$	16	$FFFF\ B186_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 196	EIC196	$008F_H$	16	$FFFF\ B188_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 197	EIC197	$008F_H$	16	$FFFF\ B18A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 198	EIC198	$008F_H$	16	$FFFF\ B18C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 199	EIC199	$008F_H$	16	$FFFF\ B18E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 200	EIC200	$008F_H$	16	$FFFF\ B190_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 201	EIC201	$008F_H$	16	$FFFF\ B192_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 202	EIC202	$008F_H$	16	$FFFF\ B194_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 203	EIC203	$008F_H$	16	$FFFF\ B196_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 204	EIC204	$008F_H$	16	$FFFF\ B198_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 205	EIC205	$008F_H$	16	$FFFF\ B19A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 206	EIC206	$008F_H$	16	$FFFF\ B19C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 207	EIC207	$008F_H$	16	$FFFF\ B19E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 208	EIC208	$008F_H$	16	$FFFF\ B1A0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 209	EIC209	$008F_H$	16	$FFFF\ B1A2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 210	EIC210	$008F_H$	16	$FFFF\ B1A4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 211	EIC211	$008F_H$	16	$FFFF\ B1A6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 212	EIC212	$008F_H$	16	$FFFF\ B1A8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 213	EIC213	$008F_H$	16	$FFFF\ B1AA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 214	EIC214	$008F_H$	16	$FFFF\ B1AC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 215	EIC215	$008F_H$	16	$FFFF\ B1AE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 216	EIC216	$008F_H$	16	$FFFF\ B1B0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 217	EIC217	$008F_H$	16	$FFFF\ B1B2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 218	EIC218	$008F_H$	16	$FFFF\ B1B4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 219	EIC219	$008F_H$	16	$FFFF\ B1B6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 220	EIC220	$008F_H$	16	$FFFF\ B1B8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 221	EIC221	$008F_H$	16	$FFFF\ B1BA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 222	EIC222	$008F_H$	16	$FFFF\ B1BC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 223	EIC223	$008F_H$	16	$FFFF\ B1BE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 224	EIC224	$008F_H$	16	$FFFF\ B1C0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 225	EIC225	$008F_H$	16	$FFFF\ B1C2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 226	EIC226	$008F_H$	16	$FFFF\ B1C4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 227	EIC227	$008F_H$	16	$FFFF\ B1C6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 228	EIC228	$008F_H$	16	$FFFF\ B1C8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 229	EIC229	$008F_H$	16	$FFFF\ B1CA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 230	EIC230	$008F_H$	16	$FFFF\ B1CC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 231	EIC231	$008F_H$	16	$FFFF\ B1CE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 232	EIC232	$008F_H$	16	$FFFF\ B1D0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 233	EIC233	$008F_H$	16	$FFFF\ B1D2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 234	EIC234	$008F_H$	16	$FFFF\ B1D4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 235	EIC235	$008F_H$	16	$FFFF\ B1D6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 236	EIC236	$008F_H$	16	$FFFF\ B1D8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 237	EIC237	$008F_H$	16	$FFFF\ B1DA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 238	EIC238	$008F_H$	16	$FFFF\ B1DC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 239	EIC239	$008F_H$	16	$FFFF\ B1DE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 240	EIC240	$008F_H$	16	$FFFF\ B1E0_H$	0	8、16

(301/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込み制御レジスタ 241	EIC241	$008F_H$	16	FFFF $B1E2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 242	EIC242	$808F_H$	16	FFFF $B1E4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 243	EIC243	$808F_H$	16	FFFF $B1E6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 244	EIC244	$808F_H$	16	FFFF $B1E8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 245	EIC245	$808F_H$	16	FFFF $B1EA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 246	EIC246	$808F_H$	16	FFFF $B1EC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 247	EIC247	$808F_H$	16	FFFF $B1EE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 248	EIC248	$808F_H$	16	FFFF $B1F0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 249	EIC249	$808F_H$	16	FFFF $B1F2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 250	EIC250	$808F_H$	16	FFFF $B1F4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 251	EIC251	$808F_H$	16	FFFF $B1F6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 252	EIC252	$808F_H$	16	FFFF $B1F8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 253	EIC253	$808F_H$	16	FFFF $B1FA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 254	EIC254	$808F_H$	16	FFFF $B1FC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 255	EIC255	$808F_H$	16	FFFF $B1FE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 256	EIC256	$808F_H$	16	FFFF $B200_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 257	EIC257	$808F_H$	16	FFFF $B202_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 258	EIC258	$808F_H$	16	FFFF $B204_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 259	EIC259	$808F_H$	16	FFFF $B206_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 260	EIC260	$808F_H$	16	FFFF $B208_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 261	EIC261	$808F_H$	16	FFFF $B20A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 262	EIC262	$808F_H$	16	FFFF $B20C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 263	EIC263	$808F_H$	16	FFFF $B20E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 264	EIC264	$808F_H$	16	FFFF $B210_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 265	EIC265	$808F_H$	16	FFFF $B212_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 266	EIC266	$808F_H$	16	FFFF $B214_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 267	EIC267	$808F_H$	16	FFFF $B216_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 268	EIC268	$808F_H$	16	FFFF $B218_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 269	EIC269	$808F_H$	16	FFFF $B21A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 270	EIC270	$808F_H$	16	FFFF $B21C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 271	EIC271	$808F_H$	16	FFFF $B21E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 272	EIC272	$808F_H$	16	FFFF $B220_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 273	EIC273	$808F_H$	16	FFFF $B222_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 274	EIC274	$808F_H$	16	FFFF $B224_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 275	EIC275	$808F_H$	16	FFFF $B226_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 276	EIC276	$808F_H$	16	FFFF $B228_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 277	EIC277	$808F_H$	16	FFFF $B22A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 278	EIC278	$808F_H$	16	FFFF $B22C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 279	EIC279	$808F_H$	16	FFFF $B22E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 280	EIC280	$808F_H$	16	FFFF $B230_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 281	EIC281	$808F_H$	16	FFFF $B232_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 282	EIC282	$808F_H$	16	FFFF $B234_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 283	EIC283	$808F_H$	16	FFFF $B236_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 284	EIC284	$808F_H$	16	FFFF $B238_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 285	EIC285	$808F_H$	16	FFFF $B23A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 286	EIC286	$008F_H$	16	FFFF $B23C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 287	EIC287	$008F_H$	16	FFFF $B23E_H$	0	8、16

(302/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込み制御レジスタ 288	EIC288	$008F_H$	16	FFFF $B240_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 289	EIC289	$008F_H$	16	FFFF $B242_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 290	EIC290	$008F_H$	16	FFFF $B244_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 291	EIC291	$008F_H$	16	FFFF $B246_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 292	EIC292	$008F_H$	16	FFFF $B248_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 293	EIC293	$008F_H$	16	FFFF $B24A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 294	EIC294	$008F_H$	16	FFFF $B24C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 295	EIC295	$008F_H$	16	FFFF $B24E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 296	EIC296	$008F_H$	16	FFFF $B250_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 297	EIC297	$008F_H$	16	FFFF $B252_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 298	EIC298	$008F_H$	16	FFFF $B254_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 299	EIC299	$008F_H$	16	FFFF $B256_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 300	EIC300	$008F_H$	16	FFFF $B258_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 301	EIC301	$008F_H$	16	FFFF $B25A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 302	EIC302	$008F_H$	16	FFFF $B25C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 303	EIC303	$008F_H$	16	FFFF $B25E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 304	EIC304	$008F_H$	16	FFFF $B260_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 305	EIC305	$008F_H$	16	FFFF $B262_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 306	EIC306	$008F_H$	16	FFFF $B264_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 307	EIC307	$008F_H$	16	FFFF $B266_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 308	EIC308	$008F_H$	16	FFFF $B268_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 309	EIC309	$008F_H$	16	FFFF $B26A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 310	EIC310	$008F_H$	16	FFFF $B26C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 311	EIC311	$008F_H$	16	FFFF $B26E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 312	EIC312	$008F_H$	16	FFFF $B270_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 313	EIC313	$008F_H$	16	FFFF $B272_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 314	EIC314	$008F_H$	16	FFFF $B274_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 315	EIC315	$008F_H$	16	FFFF $B276_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 316	EIC316	$008F_H$	16	FFFF $B278_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 317	EIC317	$008F_H$	16	FFFF $B27A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 318	EIC318	$008F_H$	16	FFFF $B27C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 321	EIC321	$008F_H$	16	FFFF $B282_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 322	EIC322	$008F_H$	16	FFFF $B284_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 323	EIC323	$008F_H$	16	FFFF $B286_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 324	EIC324	$008F_H$	16	FFFF $B288_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 325	EIC325	$008F_H$	16	FFFF $B28A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 326	EIC326	$008F_H$	16	FFFF $B28C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 329	EIC329	$008F_H$	16	FFFF $B292_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 330	EIC330	$008F_H$	16	FFFF $B294_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 331	EIC331	$008F_H$	16	FFFF $B296_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 332	EIC332	$008F_H$	16	FFFF $B298_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 333	EIC333	$008F_H$	16	FFFF $B29A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 334	EIC334	$008F_H$	16	FFFF $B29C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 337	EIC337	$008F_H$	16	FFFF $B2A2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 338	EIC338	$008F_H$	16	FFFF $B2A4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 339	EIC339	$008F_H$	16	FFFF $B2A6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 340	EIC340	$008F_H$	16	FFFF $B2A8_H$	0	8、16

(303/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込み制御レジスタ 341	EIC341	$008F_H$	16	FFFF $B2AA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 342	EIC342	$008F_H$	16	FFFF $B2AC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 343	EIC343	$008F_H$	16	FFFF $B2AE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 344	EIC344	$008F_H$	16	FFFF $B2B0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 345	EIC345	$008F_H$	16	FFFF $B2B2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 346	EIC346	$008F_H$	16	FFFF $B2B4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 347	EIC347	$008F_H$	16	FFFF $B2B6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 348	EIC348	$008F_H$	16	FFFF $B2B8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 349	EIC349	$008F_H$	16	FFFF $B2BA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 350	EIC350	$008F_H$	16	FFFF $B2BC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 351	EIC351	$008F_H$	16	FFFF $B2BE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 352	EIC352	$008F_H$	16	FFFF $B2C0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 353	EIC353	$008F_H$	16	FFFF $B2C2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 354	EIC354	$008F_H$	16	FFFF $B2C4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 355	EIC355	$008F_H$	16	FFFF $B2C6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 356	EIC356	$008F_H$	16	FFFF $B2C8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 357	EIC357	$008F_H$	16	FFFF $B2CA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 358	EIC358	$008F_H$	16	FFFF $B2CC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 359	EIC359	$008F_H$	16	FFFF $B2CE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 360	EIC360	$008F_H$	16	FFFF $B2D0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 361	EIC361	$008F_H$	16	FFFF $B2D2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 362	EIC362	$008F_H$	16	FFFF $B2D4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 363	EIC363	$008F_H$	16	FFFF $B2D6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 364	EIC364	$008F_H$	16	FFFF $B2D8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 365	EIC365	$008F_H$	16	FFFF $B2DA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 366	EIC366	$008F_H$	16	FFFF $B2DC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 367	EIC367	$008F_H$	16	FFFF $B2DE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 368	EIC368	$008F_H$	16	FFFF $B2E0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 369	EIC369	$008F_H$	16	FFFF $B2E2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 370	EIC370	$008F_H$	16	FFFF $B2E4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 371	EIC371	$008F_H$	16	FFFF $B2E6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 372	EIC372	$008F_H$	16	FFFF $B2E8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 373	EIC373	$008F_H$	16	FFFF $B2EA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 374	EIC374	$008F_H$	16	FFFF $B2EC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 375	EIC375	$008F_H$	16	FFFF $B2EE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 376	EIC376	$008F_H$	16	FFFF $B2F0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 377	EIC377	$008F_H$	16	FFFF $B2F2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 378	EIC378	$008F_H$	16	FFFF $B2F4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 379	EIC379	$008F_H$	16	FFFF $B2F6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 380	EIC380	$008F_H$	16	FFFF $B2F8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 381	EIC381	$008F_H$	16	FFFF $B2FA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 382	EIC382	$008F_H$	16	FFFF $B2FC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 383	EIC383	$008F_H$	16	FFFF $B2FE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 384	EIC384	$008F_H$	16	FFFF $B300_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 385	EIC385	$008F_H$	16	FFFF $B302_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 386	EIC386	$008F_H$	16	FFFF $B304_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 387	EIC387	$008F_H$	16	FFFF $B306_H$	0	8、16

(304/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込み制御レジスタ 388	EIC388	$008F_H$	16	FFFF $B308_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 389	EIC389	$008F_H$	16	FFFF $B30A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 390	EIC390	$008F_H$	16	FFFF $B30C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 391	EIC391	$008F_H$	16	FFFF $B30E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 392	EIC392	$008F_H$	16	FFFF $B310_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 393	EIC393	$008F_H$	16	FFFF $B312_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 394	EIC394	$008F_H$	16	FFFF $B314_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 395	EIC395	$008F_H$	16	FFFF $B316_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 396	EIC396	$008F_H$	16	FFFF $B318_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 397	EIC397	$008F_H$	16	FFFF $B31A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 398	EIC398	$008F_H$	16	FFFF $B31C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 399	EIC399	$008F_H$	16	FFFF $B31E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 400	EIC400	$008F_H$	16	FFFF $B320_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 401	EIC401	$808F_H$	16	FFFF $B322_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 402	EIC402	$808F_H$	16	FFFF $B324_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 403	EIC403	$808F_H$	16	FFFF $B326_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 404	EIC404	$808F_H$	16	FFFF $B328_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 405	EIC405	$808F_H$	16	FFFF $B32A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 406	EIC406	$808F_H$	16	FFFF $B32C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 407	EIC407	$808F_H$	16	FFFF $B32E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 408	EIC408	$808F_H$	16	FFFF $B330_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 409	EIC409	$808F_H$	16	FFFF $B332_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 410	EIC410	$808F_H$	16	FFFF $B334_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 411	EIC411	$808F_H$	16	FFFF $B336_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 412	EIC412	$808F_H$	16	FFFF $B338_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 413	EIC413	$808F_H$	16	FFFF $B33A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 414	EIC414	$808F_H$	16	FFFF $B33C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 415	EIC415	$808F_H$	16	FFFF $B33E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 416	EIC416	$808F_H$	16	FFFF $B340_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 417	EIC417	$808F_H$	16	FFFF $B342_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 418	EIC418	$808F_H$	16	FFFF $B344_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 419	EIC419	$808F_H$	16	FFFF $B346_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 420	EIC420	$808F_H$	16	FFFF $B348_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 421	EIC421	$808F_H$	16	FFFF $B34A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 422	EIC422	$808F_H$	16	FFFF $B34C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 423	EIC423	$808F_H$	16	FFFF $B34E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 424	EIC424	$808F_H$	16	FFFF $B350_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 425	EIC425	$808F_H$	16	FFFF $B352_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 429	EIC429	$808F_H$	16	FFFF $B35A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 430	EIC430	$808F_H$	16	FFFF $B35C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 431	EIC431	$808F_H$	16	FFFF $B35E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 432	EIC432	$808F_H$	16	FFFF $B360_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 433	EIC433	$808F_H$	16	FFFF $B362_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 434	EIC434	$808F_H$	16	FFFF $B364_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 435	EIC435	$808F_H$	16	FFFF $B366_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 436	EIC436	$808F_H$	16	FFFF $B368_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 437	EIC437	$808F_H$	16	FFFF $B36A_H$	0	8、16

(305/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込み制御レジスタ 438	EIC438	$808F_H$	16	FFFF $B36C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 439	EIC439	$808F_H$	16	FFFF $B36E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 440	EIC440	$808F_H$	16	FFFF $B370_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 441	EIC441	$808F_H$	16	FFFF $B372_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 442	EIC442	$808F_H$	16	FFFF $B374_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 443	EIC443	$808F_H$	16	FFFF $B376_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 444	EIC444	$808F_H$	16	FFFF $B378_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 445	EIC445	$008F_H$	16	FFFF $B37A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 446	EIC446	$008F_H$	16	FFFF $B37C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 447	EIC447	$808F_H$	16	FFFF $B37E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 448	EIC448	$808F_H$	16	FFFF $B380_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 449	EIC449	$008F_H$	16	FFFF $B382_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 450	EIC450	$008F_H$	16	FFFF $B384_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 451	EIC451	$808F_H$	16	FFFF $B386_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 452	EIC452	$808F_H$	16	FFFF $B388_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 453	EIC453	$008F_H$	16	FFFF $B38A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 454	EIC454	$008F_H$	16	FFFF $B38C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 455	EIC455	$808F_H$	16	FFFF $B38E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 456	EIC456	$808F_H$	16	FFFF $B390_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 457	EIC457	$008F_H$	16	FFFF $B392_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 458	EIC458	$008F_H$	16	FFFF $B394_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 459	EIC459	$808F_H$	16	FFFF $B396_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 460	EIC460	$008F_H$	16	FFFF $B398_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 461	EIC461	$008F_H$	16	FFFF $B39A_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 462	EIC462	$008F_H$	16	FFFF $B39C_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 463	EIC463	$008F_H$	16	FFFF $B39E_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 464	EIC464	$008F_H$	16	FFFF $B3A0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 465	EIC465	$008F_H$	16	FFFF $B3A2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 466	EIC466	$008F_H$	16	FFFF $B3A4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 467	EIC467	$008F_H$	16	FFFF $B3A6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 468	EIC468	$008F_H$	16	FFFF $B3A8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 469	EIC469	$008F_H$	16	FFFF $B3AA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 470	EIC470	$008F_H$	16	FFFF $B3AC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 471	EIC471	$008F_H$	16	FFFF $B3AE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 472	EIC472	$008F_H$	16	FFFF $B3B0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 473	EIC473	$008F_H$	16	FFFF $B3B2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 474	EIC474	$008F_H$	16	FFFF $B3B4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 475	EIC475	$008F_H$	16	FFFF $B3B6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 480	EIC480	$808F_H$	16	FFFF $B3C0_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 481	EIC481	$808F_H$	16	FFFF $B3C2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 482	EIC482	$808F_H$	16	FFFF $B3C4_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 483	EIC483	$808F_H$	16	FFFF $B3C6_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 484	EIC484	$808F_H$	16	FFFF $B3C8_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 485	EIC485	$808F_H$	16	FFFF $B3CA_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 486	EIC486	$808F_H$	16	FFFF $B3CC_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 487	EIC487	$808F_H$	16	FFFF $B3CE_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 489	EIC489	$008F_H$	16	FFFF $B3D2_H$	0	8、16

(306/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込み制御レジスタ 505	EIC505	$808F_H$	16	FFFF $B3F2_H$	0	8、16
INTC2	EI レベル割り込み制御レジスタ 506	EIC506	$808F_H$	16	FFFF $B3F4_H$	0	8、16
INTC2	EI レベル割り込みマスクレジスタ 1	IMR1	FFFF $FFFF_H$	32	FFFF $B404_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 2	IMR2	FFFF $FFFF_H$	32	FFFF $B408_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 3	IMR3	FFFF $FFFF_H$	32	FFFF $B40C_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 4	IMR4	FFFF $FFFF_H$	32	FFFF $B410_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 5	IMR5	FFFF $FFFF_H$	32	FFFF $B414_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 6	IMR6	FFFF $FFFF_H$	32	FFFF $B418_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 7	IMR7	FFFF $FFFF_H$	32	FFFF $B41C_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 8	IMR8	FFFF $FFFF_H$	32	FFFF $B420_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 9	IMR9	FFFF $FFFF_H$	32	FFFF $B424_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 10	IMR10	FFFF $FFFF_H$	32	FFFF $B428_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 11	IMR11	FFFF $FFFF_H$	32	FFFF $B42C_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 12	IMR12	FFFF $FFFF_H$	32	FFFF $B430_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 13	IMR13	FFFF $FFFF_H$	32	FFFF $B434_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 14	IMR14	FFFF $FFFF_H$	32	FFFF $B438_H$	0	8、16、32
INTC2	EI レベル割り込みマスクレジスタ 15	IMR15	FFFF $FFFF_H$	32	FFFF $B43C_H$	0	8、16、32
INTC2	EI レベル割り込みバインドレジスタ 33	EIBD33	$0000\ 0001_H$	32	FFFF $B884_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 38	EIBD38	$0000\ 0001_H$	32	FFFF $B898_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 39	EIBD39	$0000\ 0001_H$	32	FFFF $B89C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 40	EIBD40	$0000\ 0001_H$	32	FFFF $B8A0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 41	EIBD41	$0000\ 0001_H$	32	FFFF $B8A4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 42	EIBD42	$0000\ 0001_H$	32	FFFF $B8A8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 43	EIBD43	$0000\ 0001_H$	32	FFFF $B8AC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 44	EIBD44	$0000\ 0001_H$	32	FFFF $B8B0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 45	EIBD45	$0000\ 0001_H$	32	FFFF $B8B4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 46	EIBD46	$0000\ 0001_H$	32	FFFF $B8B8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 47	EIBD47	$0000\ 0001_H$	32	FFFF $B8BC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 48	EIBD48	$0000\ 0001_H$	32	FFFF $B8C0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 49	EIBD49	$0000\ 0001_H$	32	FFFF $B8C4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 50	EIBD50	$0000\ 0001_H$	32	FFFF $B8C8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 51	EIBD51	$0000\ 0001_H$	32	FFFF $B8CC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 52	EIBD52	$0000\ 0001_H$	32	FFFF $B8D0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 53	EIBD53	$0000\ 0001_H$	32	FFFF $B8D4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 54	EIBD54	$0000\ 0001_H$	32	FFFF $B8D8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 55	EIBD55	$0000\ 0001_H$	32	FFFF $B8DC_H$	0	32

(307/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 57	EIBD57	$0000\ 0001_H$	32	$FFFF\ B8E4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 58	EIBD58	$0000\ 0001_H$	32	$FFFF\ B8E8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 59	EIBD59	$0000\ 0001_H$	32	$FFFF\ B8EC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 60	EIBD60	$0000\ 0001_H$	32	$FFFF\ B8F0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 61	EIBD61	$0000\ 0001_H$	32	$FFFF\ B8F4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 62	EIBD62	$0000\ 0001_H$	32	$FFFF\ B8F8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 63	EIBD63	$0000\ 0001_H$	32	$FFFF\ B8FC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 64	EIBD64	$0000\ 0001_H$	32	$FFFF\ B900_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 65	EIBD65	$0000\ 0001_H$	32	$FFFF\ B904_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 66	EIBD66	$0000\ 0001_H$	32	$FFFF\ B908_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 67	EIBD67	$0000\ 0001_H$	32	$FFFF\ B90C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 68	EIBD68	$0000\ 0001_H$	32	$FFFF\ B910_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 69	EIBD69	$0000\ 0001_H$	32	$FFFF\ B914_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 70	EIBD70	$0000\ 0001_H$	32	$FFFF\ B918_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 71	EIBD71	$0000\ 0001_H$	32	$FFFF\ B91C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 72	EIBD72	$0000\ 0001_H$	32	$FFFF\ B920_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 73	EIBD73	$0000\ 0001_H$	32	$FFFF\ B924_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 74	EIBD74	$0000\ 0001_H$	32	$FFFF\ B928_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 75	EIBD75	$0000\ 0001_H$	32	$FFFF\ B92C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 76	EIBD76	$0000\ 0001_H$	32	$FFFF\ B930_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 77	EIBD77	$0000\ 0001_H$	32	$FFFF\ B934_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 78	EIBD78	$0000\ 0001_H$	32	$FFFF\ B938_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 79	EIBD79	$0000\ 0001_H$	32	$FFFF\ B93C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 80	EIBD80	$0000\ 0001_H$	32	$FFFF\ B940_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 81	EIBD81	$0000\ 0001_H$	32	$FFFF\ B944_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 82	EIBD82	$0000\ 0001_H$	32	$FFFF\ B948_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 83	EIBD83	$0000\ 0001_H$	32	$FFFF\ B94C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 84	EIBD84	$0000\ 0001_H$	32	$FFFF\ B950_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 85	EIBD85	$0000\ 0001_H$	32	$FFFF\ B954_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 86	EIBD86	$0000\ 0001_H$	32	$FFFF\ B958_H$	0	32

(308/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 87	EIBD87	$0000\ 0001_H$	32	$FFFF\ B95C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 88	EIBD88	$0000\ 0001_H$	32	$FFFF\ B960_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 89	EIBD89	$0000\ 0001_H$	32	$FFFF\ B964_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 90	EIBD90	$0000\ 0001_H$	32	$FFFF\ B968_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 91	EIBD91	$0000\ 0001_H$	32	$FFFF\ B96C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 92	EIBD92	$0000\ 0001_H$	32	$FFFF\ B970_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 93	EIBD93	$0000\ 0001_H$	32	$FFFF\ B974_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 94	EIBD94	$0000\ 0001_H$	32	$FFFF\ B978_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 95	EIBD95	$0000\ 0001_H$	32	$FFFF\ B97C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 96	EIBD96	$0000\ 0001_H$	32	$FFFF\ B980_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 97	EIBD97	$0000\ 0001_H$	32	$FFFF\ B984_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 98	EIBD98	$0000\ 0001_H$	32	$FFFF\ B988_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 99	EIBD99	$0000\ 0001_H$	32	$FFFF\ B98C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 100	EIBD100	$0000\ 0001_H$	32	$FFFF\ B990_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 101	EIBD101	$0000\ 0001_H$	32	$FFFF\ B994_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 102	EIBD102	$0000\ 0001_H$	32	$FFFF\ B998_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 103	EIBD103	$0000\ 0001_H$	32	$FFFF\ B99C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 104	EIBD104	$0000\ 0001_H$	32	$FFFF\ B9A0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 105	EIBD105	$0000\ 0001_H$	32	$FFFF\ B9A4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 106	EIBD106	$0000\ 0001_H$	32	$FFFF\ B9A8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 107	EIBD107	$0000\ 0001_H$	32	$FFFF\ B9AC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 108	EIBD108	$0000\ 0001_H$	32	$FFFF\ B9B0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 109	EIBD109	$0000\ 0001_H$	32	$FFFF\ B9B4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 110	EIBD110	$0000\ 0001_H$	32	$FFFF\ B9B8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 111	EIBD111	$0000\ 0001_H$	32	$FFFF\ B9BC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 112	EIBD112	$0000\ 0001_H$	32	$FFFF\ B9C0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 113	EIBD113	$0000\ 0001_H$	32	$FFFF\ B9C4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 114	EIBD114	$0000\ 0001_H$	32	$FFFF\ B9C8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 115	EIBD115	$0000\ 0001_H$	32	$FFFF\ B9CC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 116	EIBD116	$0000\ 0001_H$	32	$FFFF\ B9D0_H$	0	32

(309/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 117	EIBD117	$0000\ 0001_H$	32	$FFFF\ B9D4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 118	EIBD118	$0000\ 0001_H$	32	$FFFF\ B9D8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 119	EIBD119	$0000\ 0001_H$	32	$FFFF\ B9DC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 120	EIBD120	$0000\ 0001_H$	32	$FFFF\ B9E0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 121	EIBD121	$0000\ 0001_H$	32	$FFFF\ B9E4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 122	EIBD122	$0000\ 0001_H$	32	$FFFF\ B9E8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 123	EIBD123	$0000\ 0001_H$	32	$FFFF\ B9EC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 124	EIBD124	$0000\ 0001_H$	32	$FFFF\ B9F0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 125	EIBD125	$0000\ 0001_H$	32	$FFFF\ B9F4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 126	EIBD126	$0000\ 0001_H$	32	$FFFF\ B9F8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 127	EIBD127	$0000\ 0001_H$	32	$FFFF\ B9FC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 128	EIBD128	$0000\ 0001_H$	32	$FFFF\ BA00_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 129	EIBD129	$0000\ 0001_H$	32	$FFFF\ BA04_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 130	EIBD130	$0000\ 0001_H$	32	$FFFF\ BA08_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 131	EIBD131	$0000\ 0001_H$	32	$FFFF\ BA0C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 132	EIBD132	$0000\ 0001_H$	32	$FFFF\ BA10_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 133	EIBD133	$0000\ 0001_H$	32	$FFFF\ BA14_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 134	EIBD134	$0000\ 0001_H$	32	$FFFF\ BA18_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 135	EIBD135	$0000\ 0001_H$	32	$FFFF\ BA1C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 136	EIBD136	$0000\ 0001_H$	32	$FFFF\ BA20_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 137	EIBD137	$0000\ 0001_H$	32	$FFFF\ BA24_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 138	EIBD138	$0000\ 0001_H$	32	$FFFF\ BA28_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 139	EIBD139	$0000\ 0001_H$	32	$FFFF\ BA2C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 140	EIBD140	$0000\ 0001_H$	32	$FFFF\ BA30_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 141	EIBD141	$0000\ 0001_H$	32	$FFFF\ BA34_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 142	EIBD142	$0000\ 0001_H$	32	$FFFF\ BA38_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 143	EIBD143	$0000\ 0001_H$	32	$FFFF\ BA3C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 144	EIBD144	$0000\ 0001_H$	32	$FFFF\ BA40_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 145	EIBD145	$0000\ 0001_H$	32	$FFFF\ BA44_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 146	EIBD146	$0000\ 0001_H$	32	$FFFF\ BA48_H$	0	32

(310/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 147	EIBD147	$0000\ 0001_H$	32	$FFFF\ BA4C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 148	EIBD148	$0000\ 0001_H$	32	$FFFF\ BA50_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 149	EIBD149	$0000\ 0001_H$	32	$FFFF\ BA54_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 150	EIBD150	$0000\ 0001_H$	32	$FFFF\ BA58_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 151	EIBD151	$0000\ 0001_H$	32	$FFFF\ BA5C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 152	EIBD152	$0000\ 0001_H$	32	$FFFF\ BA60_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 153	EIBD153	$0000\ 0001_H$	32	$FFFF\ BA64_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 154	EIBD154	$0000\ 0001_H$	32	$FFFF\ BA68_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 155	EIBD155	$0000\ 0001_H$	32	$FFFF\ BA6C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 156	EIBD156	$0000\ 0001_H$	32	$FFFF\ BA70_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 157	EIBD157	$0000\ 0001_H$	32	$FFFF\ BA74_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 158	EIBD158	$0000\ 0001_H$	32	$FFFF\ BA78_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 159	EIBD159	$0000\ 0001_H$	32	$FFFF\ BA7C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 160	EIBD160	$0000\ 0001_H$	32	$FFFF\ BA80_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 161	EIBD161	$0000\ 0001_H$	32	$FFFF\ BA84_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 162	EIBD162	$0000\ 0001_H$	32	$FFFF\ BA88_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 163	EIBD163	$0000\ 0001_H$	32	$FFFF\ BA8C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 164	EIBD164	$0000\ 0001_H$	32	$FFFF\ BA90_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 165	EIBD165	$0000\ 0001_H$	32	$FFFF\ BA94_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 166	EIBD166	$0000\ 0001_H$	32	$FFFF\ BA98_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 167	EIBD167	$0000\ 0001_H$	32	$FFFF\ BA9C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 168	EIBD168	$0000\ 0001_H$	32	$FFFF\ BAA0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 169	EIBD169	$0000\ 0001_H$	32	$FFFF\ BAA4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 170	EIBD170	$0000\ 0001_H$	32	$FFFF\ BAA8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 171	EIBD171	$0000\ 0001_H$	32	$FFFF\ BAAC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 172	EIBD172	$0000\ 0001_H$	32	$FFFF\ BAB0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 173	EIBD173	$0000\ 0001_H$	32	$FFFF\ BAB4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 174	EIBD174	$0000\ 0001_H$	32	$FFFF\ BAB8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 175	EIBD175	$0000\ 0001_H$	32	$FFFF\ BABC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 176	EIBD176	$0000\ 0001_H$	32	$FFFF\ BAC0_H$	0	32

(311/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 177	EIBD177	$0000\ 0001_H$	32	$FFFF\ BAC4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 178	EIBD178	$0000\ 0001_H$	32	$FFFF\ BAC8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 179	EIBD179	$0000\ 0001_H$	32	$FFFF\ BACC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 180	EIBD180	$0000\ 0001_H$	32	$FFFF\ BAD0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 181	EIBD181	$0000\ 0001_H$	32	$FFFF\ BAD4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 182	EIBD182	$0000\ 0001_H$	32	$FFFF\ BAD8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 183	EIBD183	$0000\ 0001_H$	32	$FFFF\ BADC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 184	EIBD184	$0000\ 0001_H$	32	$FFFF\ BAE0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 185	EIBD185	$0000\ 0001_H$	32	$FFFF\ BAE4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 186	EIBD186	$0000\ 0001_H$	32	$FFFF\ BAE8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 187	EIBD187	$0000\ 0001_H$	32	$FFFF\ BAEC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 188	EIBD188	$0000\ 0001_H$	32	$FFFF\ BAF0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 189	EIBD189	$0000\ 0001_H$	32	$FFFF\ BAF4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 190	EIBD190	$0000\ 0001_H$	32	$FFFF\ BAF8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 191	EIBD191	$0000\ 0001_H$	32	$FFFF\ BAFC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 192	EIBD192	$0000\ 0001_H$	32	$FFFF\ BB00_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 193	EIBD193	$0000\ 0001_H$	32	$FFFF\ BB04_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 194	EIBD194	$0000\ 0001_H$	32	$FFFF\ BB08_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 195	EIBD195	$0000\ 0001_H$	32	$FFFF\ BB0C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 196	EIBD196	$0000\ 0001_H$	32	$FFFF\ BB10_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 197	EIBD197	$0000\ 0001_H$	32	$FFFF\ BB14_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 198	EIBD198	$0000\ 0001_H$	32	$FFFF\ BB18_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 199	EIBD199	$0000\ 0001_H$	32	$FFFF\ BB1C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 200	EIBD200	$0000\ 0001_H$	32	$FFFF\ BB20_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 201	EIBD201	$0000\ 0001_H$	32	$FFFF\ BB24_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 202	EIBD202	$0000\ 0001_H$	32	$FFFF\ BB28_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 203	EIBD203	$0000\ 0001_H$	32	$FFFF\ BB2C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 204	EIBD204	$0000\ 0001_H$	32	$FFFF\ BB30_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 205	EIBD205	$0000\ 0001_H$	32	$FFFF\ BB34_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 206	EIBD206	$0000\ 0001_H$	32	$FFFF\ BB38_H$	0	32

(312/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 207	EIBD207	$0000\ 0001_H$	32	$FFFF\ BB3C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 208	EIBD208	$0000\ 0001_H$	32	$FFFF\ BB40_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 209	EIBD209	$0000\ 0001_H$	32	$FFFF\ BB44_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 210	EIBD210	$0000\ 0001_H$	32	$FFFF\ BB48_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 211	EIBD211	$0000\ 0001_H$	32	$FFFF\ BB4C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 212	EIBD212	$0000\ 0001_H$	32	$FFFF\ BB50_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 213	EIBD213	$0000\ 0001_H$	32	$FFFF\ BB54_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 214	EIBD214	$0000\ 0001_H$	32	$FFFF\ BB58_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 215	EIBD215	$0000\ 0001_H$	32	$FFFF\ BB5C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 216	EIBD216	$0000\ 0001_H$	32	$FFFF\ BB60_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 217	EIBD217	$0000\ 0001_H$	32	$FFFF\ BB64_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 218	EIBD218	$0000\ 0001_H$	32	$FFFF\ BB68_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 219	EIBD219	$0000\ 0001_H$	32	$FFFF\ BB6C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 220	EIBD220	$0000\ 0001_H$	32	$FFFF\ BB70_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 221	EIBD221	$0000\ 0001_H$	32	$FFFF\ BB74_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 222	EIBD222	$0000\ 0001_H$	32	$FFFF\ BB78_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 223	EIBD223	$0000\ 0001_H$	32	$FFFF\ BB7C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 224	EIBD224	$0000\ 0001_H$	32	$FFFF\ BB80_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 225	EIBD225	$0000\ 0001_H$	32	$FFFF\ BB84_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 226	EIBD226	$0000\ 0001_H$	32	$FFFF\ BB88_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 227	EIBD227	$0000\ 0001_H$	32	$FFFF\ BB8C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 228	EIBD228	$0000\ 0001_H$	32	$FFFF\ BB90_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 229	EIBD229	$0000\ 0001_H$	32	$FFFF\ BB94_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 230	EIBD230	$0000\ 0001_H$	32	$FFFF\ BB98_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 231	EIBD231	$0000\ 0001_H$	32	$FFFF\ BB9C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 232	EIBD232	$0000\ 0001_H$	32	$FFFF\ BBA0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 233	EIBD233	$0000\ 0001_H$	32	$FFFF\ BBA4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 234	EIBD234	$0000\ 0001_H$	32	$FFFF\ BBA8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 235	EIBD235	$0000\ 0001_H$	32	$FFFF\ BBAC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 236	EIBD236	$0000\ 0001_H$	32	$FFFF\ BBB0_H$	0	32

(313/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 237	EIBD237	$0000\ 0001_H$	32	$FFFF\ BBB4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 238	EIBD238	$0000\ 0001_H$	32	$FFFF\ BBB8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 239	EIBD239	$0000\ 0001_H$	32	$FFFF\ BBBC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 240	EIBD240	$0000\ 0001_H$	32	$FFFF\ BBC0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 241	EIBD241	$0000\ 0001_H$	32	$FFFF\ BBC4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 242	EIBD242	$0000\ 0001_H$	32	$FFFF\ BBC8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 243	EIBD243	$0000\ 0001_H$	32	$FFFF\ BBCC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 244	EIBD244	$0000\ 0001_H$	32	$FFFF\ BBD0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 245	EIBD245	$0000\ 0001_H$	32	$FFFF\ BBD4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 246	EIBD246	$0000\ 0001_H$	32	$FFFF\ BBD8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 247	EIBD247	$0000\ 0001_H$	32	$FFFF\ BBDC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 248	EIBD248	$0000\ 0001_H$	32	$FFFF\ BBE0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 249	EIBD249	$0000\ 0001_H$	32	$FFFF\ BBE4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 250	EIBD250	$0000\ 0001_H$	32	$FFFF\ BBE8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 251	EIBD251	$0000\ 0001_H$	32	$FFFF\ BBEC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 252	EIBD252	$0000\ 0001_H$	32	$FFFF\ BBF0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 253	EIBD253	$0000\ 0001_H$	32	$FFFF\ BBF4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 254	EIBD254	$0000\ 0001_H$	32	$FFFF\ BBF8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 255	EIBD255	$0000\ 0001_H$	32	$FFFF\ BBFC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 256	EIBD256	$0000\ 0001_H$	32	$FFFF\ BC00_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 257	EIBD257	$0000\ 0001_H$	32	$FFFF\ BC04_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 258	EIBD258	$0000\ 0001_H$	32	$FFFF\ BC08_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 259	EIBD259	$0000\ 0001_H$	32	$FFFF\ BC0C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 260	EIBD260	$0000\ 0001_H$	32	$FFFF\ BC10_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 261	EIBD261	$0000\ 0001_H$	32	$FFFF\ BC14_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 262	EIBD262	$0000\ 0001_H$	32	$FFFF\ BC18_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 263	EIBD263	$0000\ 0001_H$	32	$FFFF\ BC1C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 264	EIBD264	$0000\ 0001_H$	32	$FFFF\ BC20_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 265	EIBD265	$0000\ 0001_H$	32	$FFFF\ BC24_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 266	EIBD266	$0000\ 0001_H$	32	$FFFF\ BC28_H$	0	32

(314/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 267	EIBD267	$0000\ 0001_H$	32	$FFFF\ BC2C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 268	EIBD268	$0000\ 0001_H$	32	$FFFF\ BC30_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 269	EIBD269	$0000\ 0001_H$	32	$FFFF\ BC34_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 270	EIBD270	$0000\ 0001_H$	32	$FFFF\ BC38_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 271	EIBD271	$0000\ 0001_H$	32	$FFFF\ BC3C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 272	EIBD272	$0000\ 0001_H$	32	$FFFF\ BC40_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 273	EIBD273	$0000\ 0001_H$	32	$FFFF\ BC44_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 274	EIBD274	$0000\ 0001_H$	32	$FFFF\ BC48_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 275	EIBD275	$0000\ 0001_H$	32	$FFFF\ BC4C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 276	EIBD276	$0000\ 0001_H$	32	$FFFF\ BC50_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 277	EIBD277	$0000\ 0001_H$	32	$FFFF\ BC54_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 278	EIBD278	$0000\ 0001_H$	32	$FFFF\ BC58_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 279	EIBD279	$0000\ 0001_H$	32	$FFFF\ BC5C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 280	EIBD280	$0000\ 0001_H$	32	$FFFF\ BC60_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 281	EIBD281	$0000\ 0001_H$	32	$FFFF\ BC64_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 282	EIBD282	$0000\ 0001_H$	32	$FFFF\ BC68_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 283	EIBD283	$0000\ 0001_H$	32	$FFFF\ BC6C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 284	EIBD284	$0000\ 0001_H$	32	$FFFF\ BC70_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 285	EIBD285	$0000\ 0001_H$	32	$FFFF\ BC74_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 286	EIBD286	$0000\ 0001_H$	32	$FFFF\ BC78_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 287	EIBD287	$0000\ 0001_H$	32	$FFFF\ BC7C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 288	EIBD288	$0000\ 0001_H$	32	$FFFF\ BC80_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 289	EIBD289	$0000\ 0001_H$	32	$FFFF\ BC84_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 290	EIBD290	$0000\ 0001_H$	32	$FFFF\ BC88_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 291	EIBD291	$0000\ 0001_H$	32	$FFFF\ BC8C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 292	EIBD292	$0000\ 0001_H$	32	$FFFF\ BC90_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 293	EIBD293	$0000\ 0001_H$	32	$FFFF\ BC94_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 294	EIBD294	$0000\ 0001_H$	32	$FFFF\ BC98_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 295	EIBD295	$0000\ 0001_H$	32	$FFFF\ BC9C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 296	EIBD296	$0000\ 0001_H$	32	$FFFF\ BCA0_H$	0	32

(315/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 297	EIBD297	$0000\ 0001_H$	32	$FFFF\ BCA4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 298	EIBD298	$0000\ 0001_H$	32	$FFFF\ BCA8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 299	EIBD299	$0000\ 0001_H$	32	$FFFF\ BCAC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 300	EIBD300	$0000\ 0001_H$	32	$FFFF\ BCB0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 301	EIBD301	$0000\ 0001_H$	32	$FFFF\ BCB4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 302	EIBD302	$0000\ 0001_H$	32	$FFFF\ BCB8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 303	EIBD303	$0000\ 0001_H$	32	$FFFF\ BCBC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 304	EIBD304	$0000\ 0001_H$	32	$FFFF\ BCC0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 305	EIBD305	$0000\ 0001_H$	32	$FFFF\ BCC4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 306	EIBD306	$0000\ 0001_H$	32	$FFFF\ BCC8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 307	EIBD307	$0000\ 0001_H$	32	$FFFF\ BCCC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 308	EIBD308	$0000\ 0001_H$	32	$FFFF\ BCD0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 309	EIBD309	$0000\ 0001_H$	32	$FFFF\ BCD4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 310	EIBD310	$0000\ 0001_H$	32	$FFFF\ BCD8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 311	EIBD311	$0000\ 0001_H$	32	$FFFF\ BCDC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 312	EIBD312	$0000\ 0001_H$	32	$FFFF\ BCE0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 313	EIBD313	$0000\ 0001_H$	32	$FFFF\ BCE4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 314	EIBD314	$0000\ 0001_H$	32	$FFFF\ BCE8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 315	EIBD315	$0000\ 0001_H$	32	$FFFF\ BCEC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 316	EIBD316	$0000\ 0001_H$	32	$FFFF\ BCF0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 317	EIBD317	$0000\ 0001_H$	32	$FFFF\ BCF4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 318	EIBD318	$0000\ 0001_H$	32	$FFFF\ BCF8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 321	EIBD321	$0000\ 0001_H$	32	$FFFF\ BD04_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 322	EIBD322	$0000\ 0001_H$	32	$FFFF\ BD08_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 323	EIBD323	$0000\ 0001_H$	32	$FFFF\ BD0C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 324	EIBD324	$0000\ 0001_H$	32	$FFFF\ BD10_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 325	EIBD325	$0000\ 0001_H$	32	$FFFF\ BD14_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 326	EIBD326	$0000\ 0001_H$	32	$FFFF\ BD18_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 329	EIBD329	$0000\ 0001_H$	32	$FFFF\ BD24_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 330	EIBD330	$0000\ 0001_H$	32	$FFFF\ BD28_H$	0	32

(316/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 331	EIBD331	$0000\ 0001_H$	32	$FFFF\ BD2C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 332	EIBD332	$0000\ 0001_H$	32	$FFFF\ BD30_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 333	EIBD333	$0000\ 0001_H$	32	$FFFF\ BD34_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 334	EIBD334	$0000\ 0001_H$	32	$FFFF\ BD38_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 337	EIBD337	$0000\ 0001_H$	32	$FFFF\ BD44_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 338	EIBD338	$0000\ 0001_H$	32	$FFFF\ BD48_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 339	EIBD339	$0000\ 0001_H$	32	$FFFF\ BD4C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 340	EIBD340	$0000\ 0001_H$	32	$FFFF\ BD50_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 341	EIBD341	$0000\ 0001_H$	32	$FFFF\ BD54_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 342	EIBD342	$0000\ 0001_H$	32	$FFFF\ BD58_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 343	EIBD343	$0000\ 0001_H$	32	$FFFF\ BD5C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 344	EIBD344	$0000\ 0001_H$	32	$FFFF\ BD60_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 345	EIBD345	$0000\ 0001_H$	32	$FFFF\ BD64_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 346	EIBD346	$0000\ 0001_H$	32	$FFFF\ BD68_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 347	EIBD347	$0000\ 0001_H$	32	$FFFF\ BD6C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 348	EIBD348	$0000\ 0001_H$	32	$FFFF\ BD70_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 349	EIBD349	$0000\ 0001_H$	32	$FFFF\ BD74_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 350	EIBD350	$0000\ 0001_H$	32	$FFFF\ BD78_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 351	EIBD351	$0000\ 0001_H$	32	$FFFF\ BD7C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 352	EIBD352	$0000\ 0001_H$	32	$FFFF\ BD80_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 353	EIBD353	$0000\ 0001_H$	32	$FFFF\ BD84_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 354	EIBD354	$0000\ 0001_H$	32	$FFFF\ BD88_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 355	EIBD355	$0000\ 0001_H$	32	$FFFF\ BD8C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 356	EIBD356	$0000\ 0001_H$	32	$FFFF\ BD90_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 357	EIBD357	$0000\ 0001_H$	32	$FFFF\ BD94_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 358	EIBD358	$0000\ 0001_H$	32	$FFFF\ BD98_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 359	EIBD359	$0000\ 0001_H$	32	$FFFF\ BD9C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 360	EIBD360	$0000\ 0001_H$	32	$FFFF\ BDA0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 361	EIBD361	$0000\ 0001_H$	32	$FFFF\ BDA4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 362	EIBD362	$0000\ 0001_H$	32	$FFFF\ BDA8_H$	0	32

(317/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 363	EIBD363	$0000\ 0001_H$	32	$FFFF\ BDAC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 364	EIBD364	$0000\ 0001_H$	32	$FFFF\ BDB0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 365	EIBD365	$0000\ 0001_H$	32	$FFFF\ BDB4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 366	EIBD366	$0000\ 0001_H$	32	$FFFF\ BDB8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 367	EIBD367	$0000\ 0001_H$	32	$FFFF\ BDBC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 368	EIBD368	$0000\ 0001_H$	32	$FFFF\ BDC0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 369	EIBD369	$0000\ 0001_H$	32	$FFFF\ BDC4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 370	EIBD370	$0000\ 0001_H$	32	$FFFF\ BDC8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 371	EIBD371	$0000\ 0001_H$	32	$FFFF\ BDCC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 372	EIBD372	$0000\ 0001_H$	32	$FFFF\ BDD0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 373	EIBD373	$0000\ 0001_H$	32	$FFFF\ BDD4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 374	EIBD374	$0000\ 0001_H$	32	$FFFF\ BDD8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 375	EIBD375	$0000\ 0001_H$	32	$FFFF\ BDDC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 376	EIBD376	$0000\ 0001_H$	32	$FFFF\ BDE0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 377	EIBD377	$0000\ 0001_H$	32	$FFFF\ BDE4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 378	EIBD378	$0000\ 0001_H$	32	$FFFF\ BDE8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 379	EIBD379	$0000\ 0001_H$	32	$FFFF\ BDEC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 380	EIBD380	$0000\ 0001_H$	32	$FFFF\ BDF0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 381	EIBD381	$0000\ 0001_H$	32	$FFFF\ BDF4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 382	EIBD382	$0000\ 0001_H$	32	$FFFF\ BDF8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 383	EIBD383	$0000\ 0001_H$	32	$FFFF\ BDFC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 384	EIBD384	$0000\ 0001_H$	32	$FFFF\ BE00_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 385	EIBD385	$0000\ 0001_H$	32	$FFFF\ BE04_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 386	EIBD386	$0000\ 0001_H$	32	$FFFF\ BE08_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 387	EIBD387	$0000\ 0001_H$	32	$FFFF\ BE0C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 388	EIBD388	$0000\ 0001_H$	32	$FFFF\ BE10_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 389	EIBD389	$0000\ 0001_H$	32	$FFFF\ BE14_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 390	EIBD390	$0000\ 0001_H$	32	$FFFF\ BE18_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 391	EIBD391	$0000\ 0001_H$	32	$FFFF\ BE1C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 392	EIBD392	$0000\ 0001_H$	32	$FFFF\ BE20_H$	0	32

(318/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 393	EIBD393	0000 0001_H	32	FFFF $BE24_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 394	EIBD394	0000 0001_H	32	FFFF $BE28_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 395	EIBD395	0000 0001_H	32	FFFF $BE2C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 396	EIBD396	0000 0001_H	32	FFFF $BE30_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 397	EIBD397	0000 0001_H	32	FFFF $BE34_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 398	EIBD398	0000 0001_H	32	FFFF $BE38_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 399	EIBD399	0000 0001_H	32	FFFF $BE3C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 400	EIBD400	0000 0001_H	32	FFFF $BE40_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 401	EIBD401	0000 0001_H	32	FFFF $BE44_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 402	EIBD402	0000 0001_H	32	FFFF $BE48_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 403	EIBD403	0000 0001_H	32	FFFF $BE4C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 404	EIBD404	0000 0001_H	32	FFFF $BE50_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 405	EIBD405	0000 0001_H	32	FFFF $BE54_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 406	EIBD406	0000 0001_H	32	FFFF $BE58_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 407	EIBD407	0000 0001_H	32	FFFF $BE5C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 408	EIBD408	0000 0001_H	32	FFFF $BE60_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 409	EIBD409	0000 0001_H	32	FFFF $BE64_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 410	EIBD410	0000 0001_H	32	FFFF $BE68_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 411	EIBD411	0000 0001_H	32	FFFF $BE6C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 412	EIBD412	0000 0001_H	32	FFFF $BE70_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 413	EIBD413	0000 0001_H	32	FFFF $BE74_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 414	EIBD414	0000 0001_H	32	FFFF $BE78_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 415	EIBD415	0000 0001_H	32	FFFF $BE7C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 416	EIBD416	0000 0001_H	32	FFFF $BE80_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 417	EIBD417	0000 0001_H	32	FFFF $BE84_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 418	EIBD418	0000 0001_H	32	FFFF $BE88_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 419	EIBD419	0000 0001_H	32	FFFF $BE8C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 420	EIBD420	0000 0001_H	32	FFFF $BE90_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 421	EIBD421	0000 0001_H	32	FFFF $BE94_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 422	EIBD422	0000 0001_H	32	FFFF $BE98_H$	0	32

(319/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 423	EIBD423	$0000\ 0001_H$	32	$FFFF\ BE9C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 424	EIBD424	$0000\ 0001_H$	32	$FFFF\ BEA0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 425	EIBD425	$0000\ 0001_H$	32	$FFFF\ BEA4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 429	EIBD429	$0000\ 0001_H$	32	$FFFF\ BEB4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 430	EIBD430	$0000\ 0001_H$	32	$FFFF\ BEB8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 431	EIBD431	$0000\ 0001_H$	32	$FFFF\ BEBC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 432	EIBD432	$0000\ 0001_H$	32	$FFFF\ BEC0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 433	EIBD433	$0000\ 0001_H$	32	$FFFF\ BEC4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 434	EIBD434	$0000\ 0001_H$	32	$FFFF\ BEC8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 435	EIBD435	$0000\ 0001_H$	32	$FFFF\ BECC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 436	EIBD436	$0000\ 0001_H$	32	$FFFF\ BED0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 437	EIBD437	$0000\ 0001_H$	32	$FFFF\ BED4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 438	EIBD438	$0000\ 0001_H$	32	$FFFF\ BED8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 439	EIBD439	$0000\ 0001_H$	32	$FFFF\ BEDC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 440	EIBD440	$0000\ 0001_H$	32	$FFFF\ BEE0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 441	EIBD441	$0000\ 0001_H$	32	$FFFF\ BEE4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 442	EIBD442	$0000\ 0001_H$	32	$FFFF\ BEE8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 443	EIBD443	$0000\ 0001_H$	32	$FFFF\ BEEC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 444	EIBD444	$0000\ 0001_H$	32	$FFFF\ BEF0_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 445	EIBD445	$0000\ 0001_H$	32	$FFFF\ BEF4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 446	EIBD446	$0000\ 0001_H$	32	$FFFF\ BEF8_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 447	EIBD447	$0000\ 0001_H$	32	$FFFF\ BEFC_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 448	EIBD448	$0000\ 0001_H$	32	$FFFF\ BF00_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 449	EIBD449	$0000\ 0001_H$	32	$FFFF\ BF04_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 450	EIBD450	$0000\ 0001_H$	32	$FFFF\ BF08_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 451	EIBD451	$0000\ 0001_H$	32	$FFFF\ BF0C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 452	EIBD452	$0000\ 0001_H$	32	$FFFF\ BF10_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 453	EIBD453	$0000\ 0001_H$	32	$FFFF\ BF14_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 454	EIBD454	$0000\ 0001_H$	32	$FFFF\ BF18_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 455	EIBD455	$0000\ 0001_H$	32	$FFFF\ BF1C_H$	0	32

(320/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 456	EIBD456	0000 0001_H	32	FFFF $BF20_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 457	EIBD457	0000 0001_H	32	FFFF $BF24_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 458	EIBD458	0000 0001_H	32	FFFF $BF28_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 459	EIBD459	0000 0001_H	32	FFFF $BF2C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 460	EIBD460	0000 0001_H	32	FFFF $BF30_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 461	EIBD461	0000 0001_H	32	FFFF $BF34_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 462	EIBD462	0000 0001_H	32	FFFF $BF38_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 463	EIBD463	0000 0001_H	32	FFFF $BF3C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 464	EIBD464	0000 0001_H	32	FFFF $BF40_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 465	EIBD465	0000 0001_H	32	FFFF $BF44_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 466	EIBD466	0000 0001_H	32	FFFF $BF48_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 467	EIBD467	0000 0001_H	32	FFFF $BF4C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 468	EIBD468	0000 0001_H	32	FFFF $BF50_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 469	EIBD469	0000 0001_H	32	FFFF $BF54_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 470	EIBD470	0000 0001_H	32	FFFF $BF58_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 471	EIBD471	0000 0001_H	32	FFFF $BF5C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 472	EIBD472	0000 0001_H	32	FFFF $BF60_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 473	EIBD473	0000 0001_H	32	FFFF $BF64_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 474	EIBD474	0000 0001_H	32	FFFF $BF68_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 475	EIBD475	0000 0001_H	32	FFFF $BF6C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 480	EIBD480	0000 0001_H	32	FFFF $BF80_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 481	EIBD481	0000 0001_H	32	FFFF $BF84_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 482	EIBD482	0000 0001_H	32	FFFF $BF88_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 483	EIBD483	0000 0001_H	32	FFFF $BF8C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 484	EIBD484	0000 0001_H	32	FFFF $BF90_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 485	EIBD485	0000 0001_H	32	FFFF $BF94_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 486	EIBD486	0000 0001_H	32	FFFF $BF98_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 487	EIBD487	0000 0001_H	32	FFFF $BF9C_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 489	EIBD489	0000 0001_H	32	FFFF $BFA4_H$	0	32

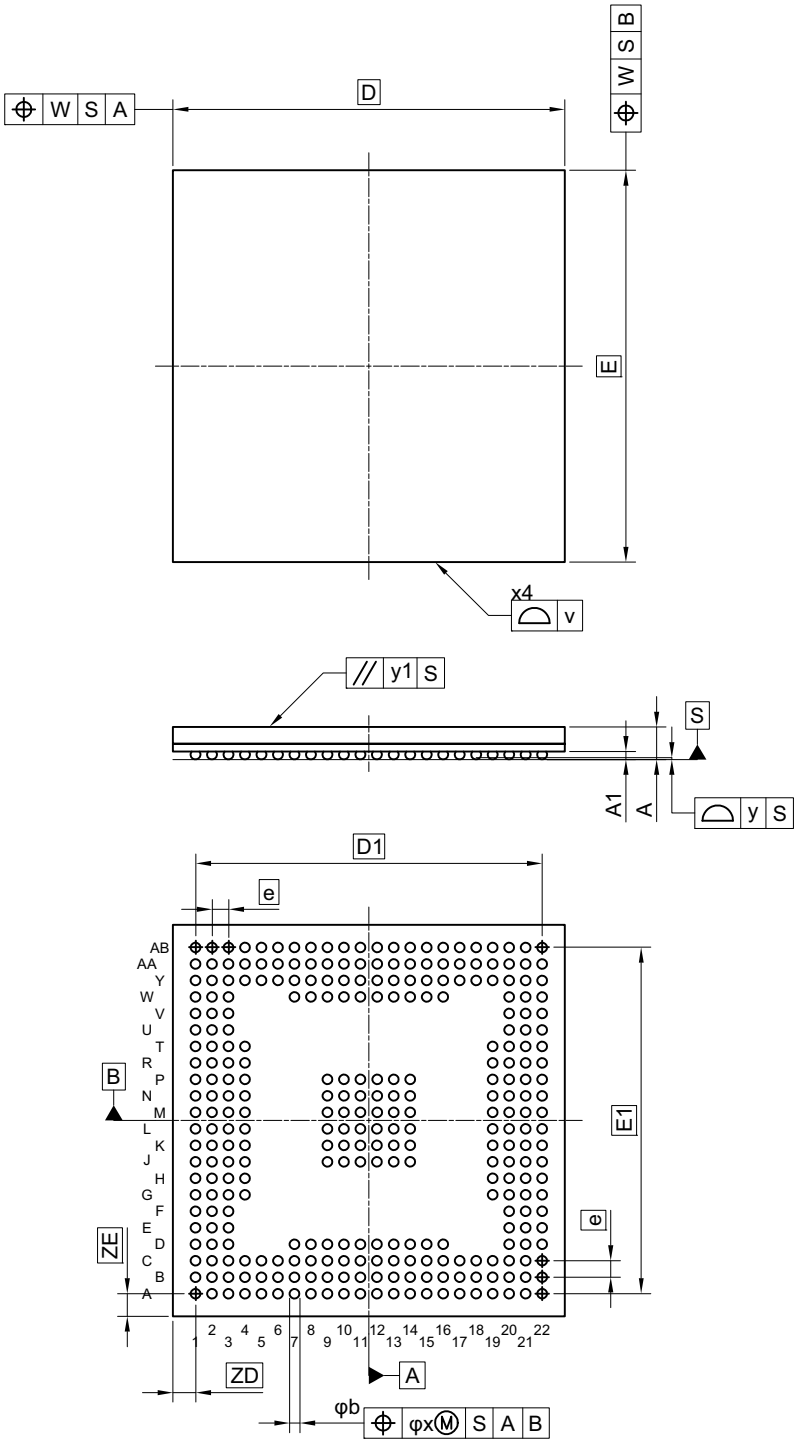
(321/321)

モジュール名	レジスタ名	レジスタシンボル	リセット後の値	ビット数	アドレス	Peripheral Group	アクセスサイズ
INTC2	EI レベル割り込みバインドレジスタ 505	EIBD505	$0000\ 0001_H$	32	$FFFF\ BFE4_H$	0	32
INTC2	EI レベル割り込みバインドレジスタ 506	EIBD506	$0000\ 0001_H$	32	$FFFF\ BFE8_H$	0	32

付録　　外形寸法図

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-FBGA304-19x19-0.80	PRBG0304GB-A	-	1.10

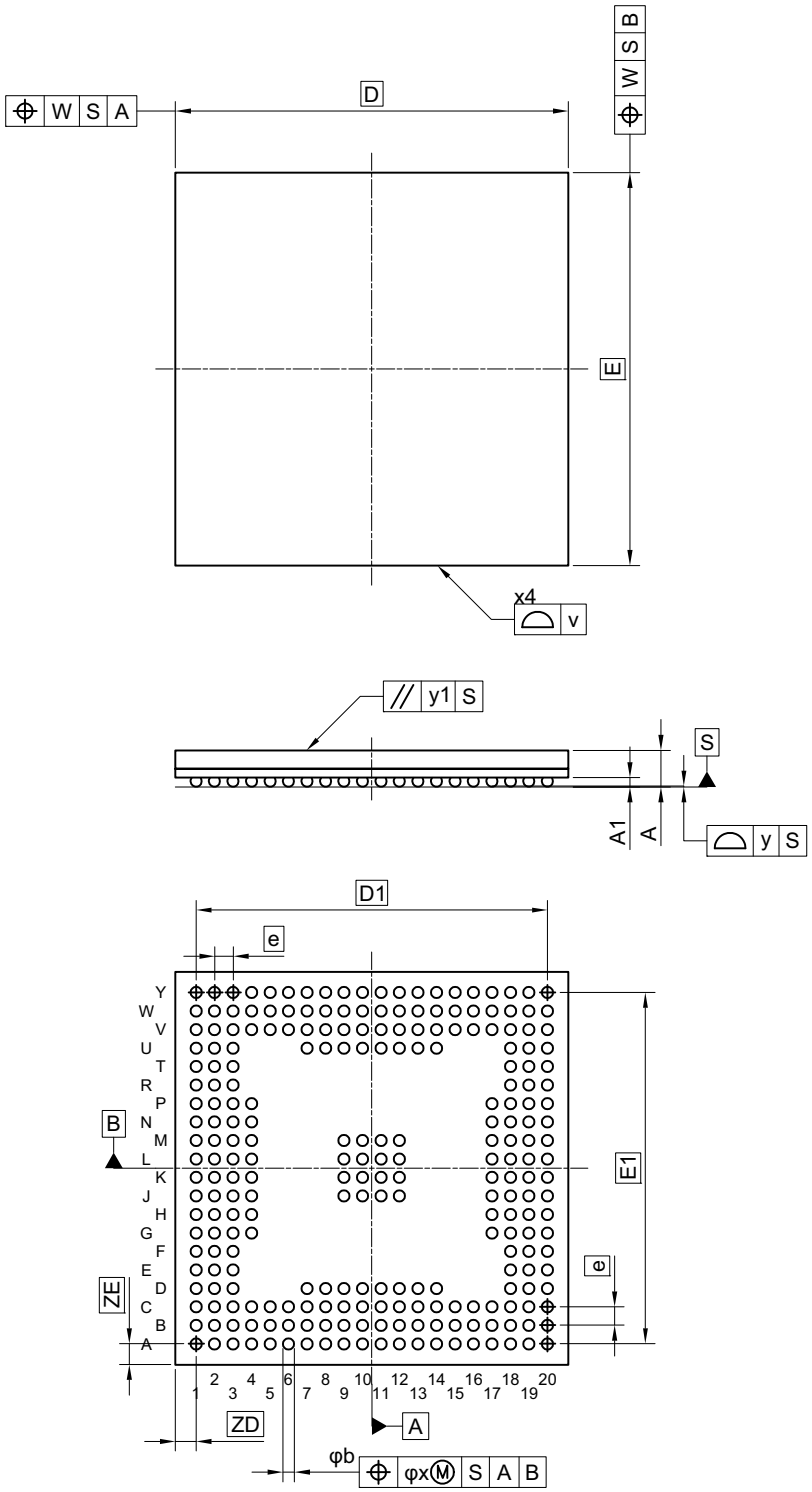
Unit : mm



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	–	19.00	–
D1	–	16.80	–
E	–	19.00	–
E1	–	16.80	–
v	–	–	0.15
w	–	–	0.20
e	–	0.80	–
A	–	1.58	2.00
A1	0.30	0.35	0.40
b	0.49	0.54	0.59
x	–	–	0.08
y	–	–	0.10
y1	–	–	0.20
ZD	–	1.10	–
ZE	–	1.10	–

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-FBGA252-17x17-0.80	PRBG0252GB-A	-	0.90

Unit : mm



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	–	17.00	–
D1	–	15.20	–
E	–	17.00	–
E1	–	15.20	–
v	–	–	0.15
w	–	–	0.20
e	–	0.80	–
A	–	1.58	2.00
A1	0.30	0.35	0.40
b	0.49	0.54	0.59
x	–	–	0.08
y	–	–	0.10
y1	–	–	0.20
ZD	–	0.90	–
ZE	–	0.90	–

改訂記録	RH850/E1M-S2 ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2016.03.28	—	初版発行
1.10	2017.10.10	第 1 章　概要	
		58	1.2 特長 ・FlexRay のチャネル数を誤記修正 ・CAN インタフェース（RS-CAN-FD）：クラシカル CAN モードおよび CAN-FD モードの準拠規格名を修正 ・CAN ISO-11898-1(2003) → CAN ISO 11898-1: 2015 ・CAN-FD ISO-11898(2014) → CAN-FD ISO 11898-1: 2015
		76	図 1.3 内部ブロック図　GRAM インタフェース部を変更
		第 2 章　端子	
		100	2.1.4.5 ポートレジスタ保護 (2) PPROTSn — ポート保護ステータスレジスタ ビット配置図：ビット 1 のビット名の誤記修正（PPROTSn → PPROTSn_0）
		102	2.1.4.6 端子単位のレジスタ (1) PCRn_m — ポートコントロールレジスタ 複数ビット一括設定についての説明を変更、注意を追加
		102, 103	表 2.28 PCRn_m レジスタの内容 (1/2) ビット 31, 29 ～ 26, 23 ～ 20, 15 ～ 13, 11 ～ 9, 7, 3（予約ビット）の機能説明を変更
		108	2.1.5.1 兼用機能使用時のレジスタ設定　説明の誤記修正（PFECEn_m → PFCAEn_m）
		168	表 2.76 未使用端子の処理例 (2/3)　$\overline{\text{TRST}}$ / $\overline{\text{LPDRST}}$ 端子の搭載抵抗についての説明の誤記修正
		第 3 章　CPU システム	
		200	3.2.1.2 レジスタセット (5) MPU 機能レジスタ (h) MCC — メモリ保護設定チェックコマンド 本文の誤記修正
		206	表 3.52 ICDATL レジスタの内容　機能説明を追加
		206	表 3.53 ICDATH レジスタの内容　機能説明を追加
		208	(h) ICERR — 命令キャッシュエラー 説明を追加、ビット配置図：ビット 14, 13 のビット名の誤記修正（ICHEW → ICHEWY）
		214	3.2.2.2 命令キャッシュ機能　データアレイ：DATA の説明を追加
		214	図 3.4 キャッシュ内のデータ配置　追加
		217	3.2.4.1 PE ガード機能（PEG）(2) PEID と SPID による保護 本文の誤記修正（最大 16MB → 最大 2MB）
		227	表 3.71 IPGECRUM レジスタの内容　DS ビットの機能説明に注意を追加
		228	表 3.72 IPGADRUM レジスタの内容　EADR ビットの機能説明に注意を追加
		234	表 3.78 SEGCONT レジスタの内容 (1/2)　LSUE ビットの機能説明を追加
		236	(b) SEGFLAG — エラー発生保持レジスタ ビット配置図：ビット 7, 5 のビット名の誤記修正（GBMF → GRMF、CFMF → CFBF）
		237	(c) SEGADDR — エラー要因保持レジスタ（アドレス） ビット配置図：リセット後の値の誤記修正
		241	表 3.82 RH850G3K コアの特長　PCU 未使用時の注意を追加
		262	表 3.111 MCTL レジスタの内容　MA ビットの機能説明の注意を修正
		265	表 3.114 PMR レジスタの内容　PM7-0 の機能説明　ビット 7 の優先度の誤記修正
		269	表 3.118 MPM レジスタの内容　SVP ビットに注意を追加
		270	(d) MPBRGN — MPU ベースリージョン ビット配置図：MPBRGN ビットのビット幅の誤記修正（ビット 4 ～ 0 → ビット 3 ～ 0）
		270	表 3.120 MPBRGN レジスタの内容 MPBRGN ビットのビット幅の誤記修正（ビット 4 ～ 0 → ビット 3 ～ 0）
		270	(e) MPTRGN — MPU 終端リージョン ビット配置図：MPTRGN ビットのビット幅の誤記修正（ビット 4 ～ 0 → ビット 3 ～ 0）
		283	3.5.1.1 制御レジスタの更新結果を、後続命令の実行に反映させる場合　例 2.（4）誤記修正
		第 4 章　アドレス空間	
		288	表 4.1 アドレス空間　アドレス空間の種類の説明の用語を統一（$0000\ 0000_H$ ～ $003F\ FFFF_H$：FCU ファーム領域 → FCU ファームウェア格納領域、$0103\ 7000_H$ ～ $0103\ 7FFF_H$：FCU ファーム領域 → FCU ファームウェア格納領域 2）
		第 6 章　割り込み	
		296	表 6.1 割り込み制御　アクセス幅の記載を追加
		297	表 6.2 外部割り込み / ソフトウェア割り込み /NMI　アクセス幅の記載を追加
		297	表 6.3 割り込みマージ機能　アクセス幅の記載を追加
		297	表 6.4 ATU-IV 割り込み制御　アクセス幅の記載を追加
		300	表 6.5 EIC0 ～ EIC511 レジスタの内容 (1/2)　EIRFn ビットの機能説明を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.10.10	299	表 6.5 EIC0 ～ EIC511 レジスタの内容 (2/2) EIMKn ビットの機能説明の誤記修正（PMF ビット → PMEI ビット）
		311	6.2.11 TIMER — タイマインタラプトマスクイネーブルレジスタ IME2 ビットに関する記述を追加
		315	6.4 割り込み例外ハンドラと優先順位動作説明　注意を削除
		335	図 6.4 ソフトウェア割り込み処理フロー例　Y/N 判定条件の誤記修正
		—	6.6.1 割り込み応答時間　不要なタイトルを削除
		第 7 章　DMA	
		341	7.2.1.2 DMA サイクルの実行　説明を追加
		358	7.3.2 DMAC チャネルの一時中断・再開および転送中止　説明を追加
		362	表 7.5 一時中断・再開・転送中止機能一覧　注 3 を追加
		363	7.4.2 DMA 転送エラー　説明を追加
		366	7.5.2.4 違反アクセス　説明を追加
		402	表 7.33 DTRTSCTL レジスタの内容　DATSEL ビットの機能説明の誤記修正
		414	表 7.42 DTCTn レジスタの内容 (3/3)　注意 1 を変更
		427	図 7.12 TI の構成　TI-H の図の誤記修正
		429	7.11.1.4 TI アクセスの際の注意点 説明の誤記修正（ビット 31-26 は未使用 → ビット 31-23 は未使用）
		第 9 章電源回路	
		456	9.1 特長　TTLVCC の電源用途を変更
		第 10 章　電源電圧モニタ	
		462	表 10.1 レジスタ仕様　アクセス保護の列を追加
		466	10.3.4 HDETCTL — 上限電圧設定レジスタ　ビット配置図：ビット 1, 0 のビット名を修正
		466	表 10.5 HDETCTL レジスタの内容　ビット 1, 0 のビット名を修正
		467	10.3.5 LDETCTL — 下限電圧設定レジスタ　ビット配置図：ビット 1, 0 のビット名を修正
		467	表 10.6 LDETCTL レジスタの内容　ビット 1, 0 のビット名を修正
		468	10.3.6 VSDETFCTL — 検出信号フィルタ制御レジスタ ビット配置図：ビット 1, 0 のビット名を修正
		468	表 10.7 VSDETFCTL レジスタの内容　ビット 1, 0 のビット名を修正
		第 11 章　クロックコントローラ	
		472	11.1 特長　クロックギアアップについての説明を追加、注 1 を追加
		473	表 11.1 クロック一覧　注 3 を追加
		499	11.5.1 分周機能使用時の動作説明　本文　重複する参照先を削除
		494	表 11.16 レジスタ仕様　アクセス保護の列を追加
		第 12 章　スタンバイコントローラ	
		507	12.2.1 電源遮断スタンバイモード　本文を変更（説明追加、参照先追加）
		509	表 12.2 EPTCNT レジスタの内容　ビット 31 ～ 1（リザーブビット）の機能説明を修正
		第 13 章　クロック同期シリアルインタフェース H（CSIH）	
		533	図 13.1 CSIH のブロック図 レジスタ名を誤記修正（CSIHnRX0 → CSIHnRX0W/H、CSIHnTX0 → CSIHnTX0W/H）
		543	図 13.7 チップセレクトと RCB の例　図の誤記修正（CSIHnTCSSx → CSIHnTCSS0、CSIHnTCSSx → CSIHnTCSS1、データ間時間 → アイドル時間、CSIHnCFG1.CSIHnIN1[3:0] → CSIHnCFG1.CSIHnID1[2:0]）
		552	13.5.7 データ長の選択　(2) 16 ビットを上回るデータ長 説明の誤記修正：2 ～ 16 ビット → 2 つの 16 ビット
		第 14 章　シリアルコミュニケーションインタフェース 3（SCI3）	
		601	図 14.1 SCI3 のブロック図　SCI3nSCMR の説明の誤記修正： スマートカードおよび拡張モードレジスタ→シリアル通信フォーマットレジスタ
		607	表 14.5 SCI3nSCR レジスタの内容 (2/2) CKE[1:0] ビットの機能説明を修正（調歩同期式の場合の 1X：外部クロック→設定禁止）
		610	14.3.8 SCI3nSCMR — シリアル通信フォーマットレジスタ ビット配置図：ビット 7 ～ 4, 1, 0 の R/W の誤記修正
		611	14.3.9 SCI3nSEMR — シリアル拡張モードレジスタ タイトルを修正（リアル → シリアル）、ビット配置図：ビット 5, 4, 1, 0 の R/W の誤記修正
		612	表 14.9 SCI3nBRR の設定値 N とビットレート B の関係 ビットレート、平均誤差の計算式を修正
		618	14.4.2 受信データサンプリングタイミングと受信マージン　記号 N の説明を修正
		619	14.4.3 クロック　本文説明を削除
		621	14.4.6 シリアルデータ送信（調歩同期式）　調歩同期式モードの送信許可時の動作に関する補足を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.10.10	622	図 14.7 シリアル送信のフローチャートの例　[1] の説明を修正
		623	図 14.8 シリアル送信後に SCI3 を停止するフローチャートの例　誤記修正
		624	14.4.7 シリアルデータ受信（調歩同期式） 3. の本文を修正（RDR に転送 → SCI3nRDR に転送） 5. の説明の誤記修正（RDRF フラグをリード→ SCI3nRDR をリード）
		631	図 14.15 マルチプロセッサシリアル受信のフローチャートの例（1） 誤記修正（ORER V FER = 1 → ORER or FER = 1）
		632	図 14.16 マルチプロセッサシリアル受信のフローチャートの例（2） 誤記修正（ORER V FER = 1 → ORER or FER = 1）
		636	14.6.3 シリアルデータ送信（クロック同期式） 1. の本文を誤記修正（SCI3nSCI は SCI3nSSR の → SCI3 は SCI3nSSR の）
		637	図 14.21 シリアル送信のフローチャートの例　誤記を修正（フラフ → フラグ、Yse → Yes）
		644	14.8 割り込み要因 「使用上の注意」を「注意」に修正し、説明を追加
		645	14.9.2 マーク状態とブレーク送出 追加
		第 15 章　LIN マスタインタフェース（RLIN2）	
		648	表 15.5 クロック供給　ユニットクロック名、供給クロック名の誤記修正
		665	表 15.23 RLN21nmLiMST レジスタの内容　ビット 7 ～ 2（予約ビット）の機能説明の誤記修正
		667	15.3.3.10 RLN21nmLiST — LIN ステータスレジスタ ERR フラグの説明の誤記修正（TER フラグ → FTER フラグ）
		669	15.3.3.11 RLN21nmLiEST — LIN エラーステータスレジスタ　アクセスの説明を変更、PBER フラグの説明の誤記修正（フィジカルエラーエラー → フィジカルバスエラー）
		672	15.3.3.13 RLN21nmLiIDB — LIN ID バッファレジスタ　IDP, ID ビット名称を修正（パリティビット→パリティ設定ビット、ID ビット → ID 設定ビット）
		673	15.3.3.14 RLN21nmLiCBR — LIN チェックサムバッファレジスタ 本文の誤記修正（フレーム送信完了後 → フレーム送受信完了後）
		674	15.3.3.15 RLN21nmLiDBRb — LIN データバッファ b レジスタ レスポンス受信の場合：エラー検出時の説明を追加
		689	表 15.35 ステータスの種類 ヘッダ送信完了のステータスセット条件の誤記修正（受信完了 → 送信完了）
		697	図 15.16 ボーレート生成ブロック図 注 3 の誤記修正（N ＋ 1 分周 (N = 0 ～ 255) → M ＋ 1 分周 (M = 0 ～ 255)）
		第 16 章　CANFD インタフェース（RS-CANFD）	
		703	表 16.9 RS-CANFD モジュールの仕様 (1/3) 受信バッファ数を修正（0 ～ 63 バッファ → 0 ～ 64 バッファ）
		705	16.2.3 CAN FD プロトコル切り替え　本文を修正、CAN-FD モードの準拠規格名を修正
		707	16.3.1 レジスター覧　参照先に表 16.174、表 16.175 を追加
		717	16.3.3.2 RSCANnCmCTR — チャネル制御レジスタ ERRD ビットの説明を修正（RSCFDnCFDCmERFL → RSCANnCmERFL）
		733	16.3.4.4 RSCANnGERFL — グローバルエラーフラグレジスタ アクセスの説明を修正（リードリード／ライト可能 → リード／ライト可能）
		733	表 16.23 RSCANnGERFL レジスタの内容 (1/2) ビット 15 ～ 3（予約ビット）の機能説明を修正
		751	16.3.6.2 RSCANnRMNDy — 受信バッファ新データレジスタ　ビット配置図：ビット名を修正
		766	16.3.8.1 RSCANnCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ CFTML[3:0] ビットの説明を修正（参照先追加）
		800	16.3.10.7 RSCANnTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ ビット配置図：ビット名を修正
		802	16.3.11.1 RSCANnTMTRSTSy — 送信バッファ送信要求ステータスレジスタ ビット配置図：ビット名を修正
		804	16.3.11.2 RSCANnTMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ ビット配置図：ビット名を修正
		806	16.3.11.3 RSCANnTMTCSTSy — 送信バッファ送信完了ステータスレジスタ ビット配置図：ビット名を修正
		808	16.3.11.4 RSCANnTMTASTSy — 送信バッファ送信アボートステータスレジスタ ビット配置図：ビット名を修正
		811	16.3.12.1 RSCANnTXQCCm — 送信キューコンフィグレーション／制御レジスタ TXQDC[3:0] ビットの説明を修正（参照先追加）
		812	表 16.76 RSCANnTXQSTSm レジスタの内容　ビット 31 ～ 3（予約ビット）の機能説明を修正
		815, 816	16.3.13.1 RSCANnTHLCCm — 送信履歴コンフィグレーション／制御レジスタ THLDTE, THLE ビットの説明を修正
		824	16.3.14.2 RSCANnGTSTCTR — グローバルテスト制御レジスタ RTME ビットの説明を修正（参照先追加）

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.10.10	827	16.4.1 レジスター覧　参照先に表 16.174、表 16.175 を追加
		827	表 16.86 レジスター覧 (1/4)　グローバル FD コンフィグレーションレジスタの略号を修正 （RSCFDnCFDGFD → RSCFDnCFDGFDCFG）
		832	16.4.2.1 RSCFDnCFDGRMCFG — グローバルインタフェースモード選択レジスタ RCMC ビットの説明を修正（クラシカル FD モード → クラシカル CAN モード）
		834	16.4.3.1 RSCFDnCFDCmNCFG — チャネル通常ビットレートコンフィグレーションレジスタ NBRP[9:0] ビットの説明を追加
		849, 850	16.4.3.5 RSCFDnCFDCmDCFG — チャネルデータビットレートコンフィグレーションレジスタ 本文を修正（クラシカル CAN フレーム → CAN FD モードでクラシカル CAN フレーム）、 DBRP[7:0] ビットの説明を追加
		851, 852	16.4.3.6 RSCFDnCFDCmFDCFG — チャネル CAN FD コンフィグレーションレジスタ ビット配置図：ビット 28 のビット名を修正（FODE → FDOE）、FDOE ビット説明を追加
		859	16.4.3.8 RSCFDnCFDCmFDSTS — チャネル CAN FD ステータスレジスタ　備考を追加
		863	16.4.4.1 RSCFDnCFDGCFG — グローバルコンフィグレーションレジスタ　CMPOC ビット： 説明を追加
		868	16.4.4.4 RSCFDnCFDGERFL — グローバルエラーフラグレジスタ アクセスの説明を修正（リードリード／ライト可能 → リード／ライト可能）
		868	表 16.106 RSCFDnCFDGERFL レジスタの内容 (1/2) ビット 15 ～ 4（予約ビット）の機能説明を修正
		874	16.4.4.7 RSCFDnCFDGFDCFG — グローバル FD コンフィグレーションレジスタ ビット名の誤記修正（PRED ビット → RPED ビット）
		882	表 16.114 RSCFDnCFDGAFLP0_j レジスタの内容 (1/2) GAFLDLC[3:0] ビットの機能説明を修正（0 データバイト → DLC チェックしない）
		886	16.4.6.2 RSCFDnCFDRMNDy — 受信バッファ新データレジスタ　ビット配置図を修正
		906	16.4.8.1 RSCFDnCFDCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ CFTML[3:0] ビットの説明を修正（参照先追加）
		918	表 16.134 RSCFDnCFDCFFDCSTSk レジスタの内容 ビット 31 ～ 3（予約ビット）の機能説明を追加
		928	表 16.140 RSCFDnCFDCFRISTS レジスタの内容 予約ビットのビット位置を修正（31 ～ 15 → 31 ～ 12）
		929	表 16.141 RSCFDnCFDCFTISTS レジスタの内容 予約ビットのビット位置を修正（31 ～ 15 → 31 ～ 12）
		941	16.4.10.7 RSCFDnCFDTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ　ビット配置図：ビット名を修正
		943	16.4.11.1 RSCFDnCFDTMTRSTSy — 送信バッファ送信要求ステータスレジスタ ビット配置図：ビット名を修正
		945	16.4.11.2 RSCFDnCFDTMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ ビット配置図：ビット名を修正
		947	16.4.11.3 RSCFDnCFDTMTCSTSy — 送信バッファ送信完了ステータスレジスタ ビット配置図：ビット名を修正
		949	16.4.11.4 RSCFDnCFDTMTASTSy — 送信バッファ送信アボートステータスレジスタ ビット配置図：ビット名を修正
		952	16.4.12.1 RSCFDnCFDTXQCCm — 送信キューコンフィグレーション／制御レジスタ TXQDC[3:0] ビットの説明を修正（参照先追加）
		953	表 16.159 RSCFDnCFDTXQSTSm レジスタの内容 ビット 31 ～ 3（予約ビット）の機能説明を修正
		964	16.4.14.2 RSCFDnCFDGTSTCTR — グローバルテスト制御レジスタ RTME ビットの説明を修正（参照先追加）
		970	図 16.2 CAN グローバル割り込みブロック図　修正 （RSCFDn(CFD)CFDGCTR.CMPOFIE → RSCFDnCFDGCTR.CMPOFIE、 RSCFDn(CFD)CFDGERFL.CMPOF → RSCFDnCFDGERFL.CMPOF）
		971	図 16.3 CAN チャネル割り込みブロック図 図を修正（RSCFDn(CFD)CTR.EOCOIE → RSCFDnCFDCmCTR.EOCOIE、 RSCFDn(CFD)FDSTS.EOCO → RSCFDnCFDCmFDSTS.EOCO、 RSCFDn(CFD)CTR.SOCOIE → RSCFDnCFDCmCTR.SOCOIE、 RSCFDn(CFD)FDSTS.SOCO → RSCFDnCFDCmFDSTS.SOCO、 RSCFDn(CFD)CTR.TDCVFIE → RSCFDnCFDCmCTR.TDCVFIE、 RSCFDn(CFD)FDSTS.TDCVF → RSCFDnCFDCmFDSTS.TDCVF）
		975	図 16.5 チャネルモードの状態遷移図 バスオフ状態からアイドル状態、送信状態への遷移の説明、注 3 を追加
		981	図 16.6 受信ルール登録（チャネル 0, 1 を設定する場合） レジスタ名修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.10.10	983	16.7.1.3 ルーティング処理　説明を追加
		979	表 16.174 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧　RSCFDnCFDCmFDCRC レジスタのビット / フラグに SCNT[3:0] を追加
		981	16.7 受信機能　本文を修正（0 ～ 63 バッファ → 0 ～ 64 バッファ）
		984	16.7.1.6 タイムスタンプ　本文を修正（RSCFDn(GFD)GCFG レジスタの TSCCFG[1:0] ビットで設定 → RSCFDn(CFD)GFDCFG レジスタの TSCCFG[1:0] ビットで設定）
		988	16.8.3.1 インターバル送信機能　説明を追加
		989	図 16.10 インターバルタイマのブロック図　注 1 を追加
		997	16.10.5 RAM テスト　説明を追加
		1001	16.11.1.2 ビットタイミングの設定　説明を追加
		1008	図 16.21 各種バッファの設定手順　受信バッファ数を修正（0 ～ 96 → 0 ～ 64）
		1009	図 16.22 SSP のタイミング　備考を追加
		1009	16.11.1.6 送信遅延補正（CAN FD モードのみ）　説明を追加
		1027	図 16.36 プロテクト解除手順 判断の条件を修正（RSCFDn(CFD)GCTR レジスタ → RSCFDn(CFD)GSTS レジスタ）
		1028	図 16.37 RAM テストの設定手順　注 1 を追加
		1030	16.12 RS-CANFD モジュールの注意事項 レジスタ名を修正（RSCFD(CFD)GRMCFG → RSCFDn(CFD)GRMCFG、 RSCFDn(CFD)TMTRSTS2 → RSCFDn(CFD)TMTRSTS1、 RSCFDn(CFD)TMTARSTS2 → RSCFDn(CFD)TMTARSTS1、 RSCFDn(CFD)TMTCSTS2 → RSCFDn(CFD)TMTCSTS1、 RSCFDn(CFD)TMTASTS2 → RSCFDn(CFD)TMTASTS1、 RSCFDn(CFD)TMIEC2 → RSCFDn(CFD)TMIEC1
		第 17 章　FlexRay	
		1032	17.1 FlexRay モジュール　本文の誤記を修正（V2.1 Revision A → V2.1）
		1033	17.1.1 概要　通信の仕様欄の誤記を修正（V2.1 Revision A → V2.1）
		1037	17.1.3 ブロック図　タイマ（TIM）の説明を修正
		1077	表 17.17 FLXA0FRT2C レジスタの内容　T2RC ビットの機能説明の誤記修正
		1084	表 17.20 FLXA0FRSUCC1 レジスタの内容 (2/2) CMD[3:0] ビット機能欄の誤記を修正（1011 を削除）
		1099	17.2.6.6 FLXA0FRPRTC2 — FlexRay PRT 設定レジスタ 2 ビット配置図：ビット 8 のリセット後の値を修正
		1151	17.2.8.4 FLXA0FRFCL — FlexRay FIFO クリティカルレベルレジスタ ビット配置図：ビット 7 のリセット後の値を修正
		1163	17.2.9.5 FLXA0FRTXRQi — FlexRay 送信要求レジスタ i　ビット配置図：ビット名を修正
		1164	17.2.9.6 FLXA0FRNDATi — FlexRay 新データレジスタ i　ビット配置図：ビット名を修正
		1165	17.2.9.7 FLXA0FRMBSCi — FlexRay メッセージバッファステータス変化レジスタ i ビット配置図：ビット名を修正
		1200	17.2.12.2 FLXA0FROTC — FlexRay 出力転送設定レジスタ (6) FLXA0FROTC.OTCS 本文を修正（NDAT ビット → ND ビット、FLXA0FRMBSC → FLXA0FRMBSCi、 MBSC ビット → MBC ビット）
		1231	図 17.6 NIT 開始位置とオフセット補正開始位置の設定 レジスタ名の誤記を修正（FLXA0FRGTU2.MPC → FLXA0FRGTUC2.MPC、 FLXA0FRGTU4.NIT → FLXA0FRGTUC4.NIT、 FLXA0FRGTU4.OCS → FLXA0FRGTUC4.OCS）
		1257	17.3.9.4 フレーム送信　レジスタ名を修正（FLXA0FRTRXQ1 → FLXA0FRTXRQ1）
		1289	17.3.16.1 入力データ転送　(3) 入力ポインタテーブル　式 1 の計算式を修正 ((((FLXA0FRITC.ITM + 1) ×D × 2) × 4) → (((FLXA0FRITC.ITM + 1) × 2) × 4))
		1300	17.3.16.2 出力データ転送　(3) 出力ポインタテーブル 本文を修正（NDAT ビット → ND ビット、MBSC ビット → MBC ビット）
		1301	17.3.16.2 出力データ転送　(5) 専用メッセージバッファの転送機能 レジスタ名およびフラグ名を修正（FLXA0FRNDAT → FLXA0FRNDATi NDAT → ND、FLXA0FRMBSC → FLXA0FRMBSCi、MBSC → MBC）
		1312	17.3.16.5 RAM 読み出しエラーの場合の動作　(1) TBF から MBF への転送時の読み出しエラーフラグ名を修正（FRNDAT フラグ → FLXA0FRNDATi レジスタの ND フラグ）
		1315	17.3.16.6 データ転送のタイミング　(2) システムバス転送時間 式 8 を修正（XXXXX → XXXX * (2 + 68) + 3）

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.10.10	第 18 章　ルネサスハイスピードバス（RHSB）	
		1343	18.2.4.8 RHSBjDCD — ダウンストリームコマンドデータレジスタ ビット配置図：ビット表記を修正
		第 19 章　Single Edge Nibble Transmission（RSENT）	
		全体	以下の用語を「ステータス＆コミュニケーションニブルに統一 ・ステータス／通信ニブル ・通信およびステータスニブル ・通信とステータスニブル ・ステータスと通信ニブル
			以下の用語を「チャネルメッセージ受信バッファ」に統一 ・チャネルメッセージバッファ ・チャネル受信バッファ ・チャネル受信メッセージバッファ
			以下の用語を統一 受信メッセージバッファ → メッセージ受信バッファ
		1422	章の冒頭の説明を削除
		1424	表 19.5 RSENTn の外部入出力信号　機能説明を修正（RSENT データ入力 → RSENT 受信データ入力、RSENT データ出力 → RSENT SPC 拡張出力）
		1425	19.2 機能　本文を修正（一つの端末を共有 → 一つの端子を共有）
		1428	表 19.7 RSENTnTSPC レジスタの内容　TTPV[6:0] ビットの機能説明を修正
		1430	19.3.2 RSENTnTSC — RSENT タイムスタンプカウンタ RSENTnTSC.TS（タイムスタンプ）タイムスタンプ値をリードする場合の説明を削除
		1449	19.3.10 RSENTnCSC — RSENT 通信ステータスクリアレジスタ RSENTnCSC.SEC（低速チャネル符号化エラークリア）の説明を追加
		1453	19.3.13 RSENTnCPL — RSENT キャリブレーションパルス長レジスタ ビット配置図：ビット 16 のビット表記を修正、 RSENTnCPL.CPLV（キャリブレーションパルス長の値）の説明を修正
		1454	19.3.14 RSENTnML — RSENT メッセージ長レジスタ ビット配置図：ビット 15 ～ 0 のビット名を修正
		1458	図 19.2 動作モード間での遷移 OPERATION ACTIVE モードから OPERATION IDLE モードへの遷移条件を修正
		1459	19.4.2 CONFIGURATION モード　ライトアクセスの説明を修正
		1461	19.5.1.1 タイムスタンプクロック設定　本文を修正
		1462	図 19.4 タイムスタンプカウンタの同期 処理の説明を修正（RSENT モジュール 0 より以上に → RSENT モジュール 0 の）
		1463	19.5.2.1 RX BRP 設定　計算式を修正
		1464	19.6 RSENT 動作　表の SPC1 線式に RSENTnRX を追加
		1479	19.6.2.8 エラーのフラグ　本文を修正
		1479	表 19.27 SPC モード無効時のエラーフラグセットタイミング　レジスタ名、備考を修正
		1479	表 19.28 SPC モード有効時のエラーフラグセットタイミング　レジスタ名、備考を修正
		1481	図 19.20 送信フロー　図の説明を修正
		1481	19.7 SPC 機能　本文の用語を統一（SW → ソフトウエア）
		第 21 章 OS タイマ（OSTM）	
		1504	21.2.2.2 OSTMnCNT — OSTM カウンタレジスタ　リセット後の値：説明を追加
		第 22 章　アドバンストタイマユニット（ATU-IV）	
		1572	22.2.2.1 ATUENR — ATU-IV マスタイネーブルレジスタ ビット配置図：ビット 5 のビット名を修正（TGEE → TEE）
		1584, 1585	22.2.2.3 NCMR — ノイズキャンセルモードレジスタ ノイズキャンセルカウンタ名を修正（NCRAx → NCNTAx）
		1608	22.4.2.8 TIOR2A — タイマ I/O コントロールレジスタ 2A　(1) NCKGA0 ～ 6 — ノイズキャンセルクロックセレクト G A0 ～ 6 ノイズキャンセルカウンタ名を修正（NCNTGA0 ～ 6 → NCNTA0 ～ 6）
		1616	表 22.18 TILRA レジスタの内容　ビット 6 ～ 0 のビット名を修正（TIALx → TIAL0x）
		1628	図 22.15 タイマ B ブロック図　AGCKM2 出力セレクタの誤記修正
		1647	22.5.2.12 TCNTB1 — イベントカウンタ B1　説明の誤記修正
		1656	22.5.2.21 TCNTB2 — リロードカウンタ B2　説明の誤記修正
		1665	22.5.2.30 TCNTB3 — 補正イベントカウンタ B3　説明の誤記修正
		1667	22.5.2.32 TCNTB4 — 補正倍周クロックカウンタ B4　説明の誤記修正
		1687	図 22.27 TCNTB5 の動作（サイクル終了、補正あり TCNTB3 の値を修正（00040、00060、00000、00020 → 00060、00080、00000、00020）

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.10.10	1688	図 22.28 TCNTB5 の動作（サイクル終了、補正なし） TCNTB3 の値を修正（00040、00060、00000、00020 → 00060、00080、00000、00020）
		1692	図 22.31 タイマ C ブロック図　注の表記および内容を修正（＊2 → 注）
		1711	22.6.2.8 GRCxy — タイマ汎用レジスタ Cxy　説明を追加
		1715, 1716	22.6.2.11 OCRCxy — アウトプットコンペアレジスタ Cxy　説明を追加
		1717	表 22.71 TIERCx レジスタの内容 ビット 11 ～ 8, 3 ～ 0 のビット名を修正（OCRCEx → OCRCExy、GRCEx → GRCExy）
		1718	22.6.2.13 CUCRCx — カウンタ上限値設定コンペアレジスタ Cx　説明を追加
		1726	22.6.3 動作説明 本文を修正（PWMx ビット → PWMx0 ビット）
		1730	図 22.36 ワンショットパルス出力期間中にコンペアレジスタを変更した場合の動作　修正
		1736	図 22.43 ワンショットパルス出力キャンセルタイミングチャート　修正
		1738	22.7.1 動作概要　ダウンカウンタアンダーフロー割込みの説明を修正
		1743	22.7.2.2 TCRDx — タイマコントロールレジスタ Dx　(1) OBREDx — オフセットベースレジスタイネーブル　本文を修正
		1755	22.7.2.9 DSR2Dx — ダウンカウントステータスレジスタ 2Dx ビット配置図：ビット 4 の R/W を誤記修正
		1762	22.7.2.12 TSRDx — タイマステータスレジスタ Dx　(5) CMFBDxy — コンペアマッチ B フラグ Dxy：説明の誤記修正
		1769	22.7.2.16 TICTSELDx — タイマインプットキャプチャトリガ選択レジスタ Dx ビット配置図：注 1 を修正
		1774	22.7.2.21 OCR1Dxy — アウトプットコンペアレジスタ 1Dxy カウンタ上限値設定機能についての説明を追加
		1755	22.7.2.22 RCR1Dx — 範囲コンペア値設定レジスタ 1Dx　説明の誤記修正
		1777	22.7.2.23 OCR2Dxy — アウトプットコンペアレジスタ 2Dxy カウンタ上限値設定機能についての説明を追加、 AD 起動トリガの説明を修正（サブブロック 0、1、6 → サブブロック 0、2、4、6、9）
		1778	22.7.2.24 RCR2Dx — 範囲コンペア値設定レジスタ 2Dx　説明の誤記修正
		1787	22.7.3 動作説明　本文を修正
		1790	22.7.3 動作説明　範囲コンペア機能：説明の誤記修正
		1790	図 22.49 範囲コンペア機能動作　誤記修正（RCR1D → RCR1Dx で指定された範囲値）
		1836	表 22.108 TCR2Fx レジスタの内容　EISELEFx ビットのビット位置を修正（7 ～ 5 → 7）
		1885	表 22.132 TCRGx レジスタの内容　CKSELGx[2:0] ビットのビット位置を修正（6、5 → 6 ～ 4）
		1934	22.14.1.2 カウンタへの書き込みとインプットキャプチャの競合 タイマ J のステータスを修正（FDOVJx → FDOVFJx）
		1935	22.14.1.3 インプットキャプチャステータスのセットとクリアの競合 タイマ J の対象フラグを修正（FDOVJx → FDOVFJx）
		1938	22.14.2.3 CYLRExy への書き込みと TCNTExy とのサイクルマッチの競合　カウンタ TCNTB6 のコンペア（サイクル）マッチレジスタを修正（OCRB6 → OCRB6/OCRB7）
		1941	22.14.2.7 TCNTExy への書き込みとサイクルマッチによるカウンタクリアの競合　カウンタ TCNTB6 のコンペア（サイクル）マッチレジスタを修正（OCRB6 → OCRB6/OCRB7）
		1951	図 22.98 TCNT1H カウンタオーバフローとコンペアマッチの競合 コンペアマッチカウンタクリア後の TCNT1H 値を修正
		1951	22.14.4.5 オーバフローとコンペアマッチカウンタクリアの競合 本文を修正（PWMx ビット → PWMx0 ビット）
		1962	22.14.7.5 タイマ B からの 0 クリアとカウンタ上限値設定機能によるクリアの競合　追加
		1963, 1964	22.14.8 コンペアマッチ動作仕様の混在　追加
		第 23 章　APA	
		1980	23.4.2.2 APAAnCHEN — APAn チャネル動作イネーブルレジスタ ビット配置図：ビット 15 ～ 0 のビット名を修正
		1982	23.4.2.3 APAAnCHST — APAn チャネル出力ステータスレジスタ ビット配置図：ビット 15 ～ 0 のビット名を修正
		1985	23.4.3.3 APAAnRFMXm — APAn リファレンス最大値設定レジスタ m アドレスの誤記修正（+ 0260_H → + 0268_H）
		1990	23.4.4.2 APAAnEVSW — APAn ソフトウェアイベントレジスタ ビット配置図：ビット 5 ～ 0 のビット名を修正
		1993	23.4.4.4 APAAnESTA — APAn イベントステータスレジスタ A ビット配置図：ビット 31 ～ 0 のビット名を修正
		第 24 章　モータコントロールタイマ（TSG2）	
		全体	添字の表記変更（m = 00 ～ 09 → m = 0 ～ 9、k = 01 ～ 09 → k = 1 ～ 9）
			レジスタのビット名誤記修正（TSG2nRCC4-TSG2nRCC0 → TSG2nRCC04-TSG2nRCC00）
		2083	24.2 機能の概要　リロード・モードの説明を修正（同時転送可能生成 → 同時転送可能）

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.10.10	2102, 2103	表 24.18 TSG2nSTR2 レジスタの内容 (1/2)　ビット 9 ～ 5, 3, 2 の機能説明を修正
		2112	24.4.2.22 TSG2nCMP1W — TSG2n コンペアレジスタ 1、2 PWM モードにおける TSG2nCMP2 の機能説明を修正
		2113	24.4.2.23 TSG2nCMP5W — TSG2n コンペアレジスタ 5、6 120-DC モードにおける TSG2nCMP6 の機能説明を修正
		2121	24.4.2.31 TSG2nPAT0W — TSG2n パタンレジスタ 0 本文を修正（2 ～ 1 ビット → 2 ～ 0 ビット）
		2122	24.4.2.32 TSG2nPAT1W — TSG2n パタンレジスタ 1 本文を修正（2 ～ 1 ビット → 2 ～ 0 ビット）
		2137	表 24.31 SP-PWM モード時のアクティブ幅設定　レジスタ名を修正（TSG2nCMP1W → TSG2nUPW、TSG2nCMP5W → TSG2nVPW、TSG2nCMP9W → TSG2nWPW）
		2140	24.5.3 コンペアレジスタの書き換え操作　(2) リロードモード（一斉書き換え機能）の動作例 本文を修正（TSG2nCTL3 → TSG2nCTL4）
		2140	図 24.9 リロードモード（一斉書き換え機能）の基本動作フロー（PWM モードの例） 割り込みを修正（INTTSG2n100 → INTTSG2nI0）
		2141	図 24.11 一斉書き換えのタイミング（2/2）（PWM モードの例） 割り込みを修正（INTTSG2nIPEK → INTTSG2nI0）
		2143	24.5.4 各モード時における出力一覧　(1) モード別のタイマ出力　本文を修正（TSOn1 ～ TSOn6、TSOn7 端子 → TSOn1 ～ TSOn7 端子）
		2146	表 24.39 モード別割り込み一覧（3/5） PWM モードおよび 120-DC モード時の割り込み（INTTSG2nI[11]）の説明を修正
		2149	図 24.15 割り込み発生例（1/2）（HT-PWM モードの例） INTTSG2nI[1], INTTSG2nI[2] の波形を修正
		2153	図 24.18 TSG2nIOC1.TSG2nTOS 切り替え時の TSOn0 端子出力 TSG2nTOS=1 時のフラグ名を修正（TSG2nCUF → TSG2nSUF）
		2169	図 24.35 TSG2nCTL3 レジスタの TSG2nRMC = 0、TSG2nRIA ビット = 0（リロード間引きなし）の場合　図タイトル、図中のビット名、およびバッファ名を修正
		2174	図 24.38 TSG2nCTL4 レジスタの TSG2nPIE = 1、TSG2nVIE = 1、TSG2nRCC04-TSG2nRCC00 = 00_B、TSG2nCTL5 レジスタの TSG2nACC01、TSG2nACC00= 00_B の場合（HT-PWM モード）　図の説明を修正
		2175	図 24.39 TSG2nCTL4 レジスタの TSG2nPIE = 0、TSG2nVIE = 1、TSG2nRCC04-TSG2nRCC00 = 02_B、TSG2nCTL5 レジスタの TSG2nACC01、TSG2nACC00= 00_B の場合（HT-PWM モード）　図の説明を修正
		2219	表 24.59 SP-PWM モード：コンペア・レジスタ、デッド・タイム設定レジスタの機能 TSG2nDCMP0W, TSG2nDCMP2 レジスタを追加
		2234	24.11.4.3 120-DC モードの制御方式　ソフトウエア出力制御方式の動作 本文を修正（TSG3nOPT0.TSG3nPSC → TSG2nOPT0.TSG2nPSC）
		2242, 2243	24.11.4.6 120-DC モードの出力パタン一覧　本文を修正
		2245	図 24.79 逆転時のタイマ出力開始時の制御（正常なパタンが入力された場合） TSOn5 端子のパタン名を修正（PAT1T → PAT2T）
		2256	図 24.91 120-DC モードからソフトウエア出力制御機能の切り替え例 TSG2nSTCI0 信号を削除
		第 25 章　タイマオプション（TAPA）	
		2261	25.2.1 レジスタの概要 TAPAnACTS, TAPAnACTT, TAPAnOPHS, TAPAnOPHT レジスタの R/W を修正
		2264	表 25.6 TAPAnACTS レジスタの内容　TAPAnACTS ビットの機能説明を修正
		2265	表 25.7 TAPAnACTT レジスタの内容　TAPAnACTT ビットの機能説明を修正
		第 26 章　ペリフェラルインターコネクション（PIC）	
		全体	用語の統一：チャネルグループ → スキャングループ
		2276	26.1.2.5 PIC1HIZCEN2 — Hi-Z 出力制御レジスタ 2 ビット配置図：ビット 3 のビット名の誤記修正
		2300	表 26.19 PIC2DSADTEN1n0 レジスタの内容　ビット 15 ～ 8 のビット名を修正
		第 27 章　ADC	
		2310, 2311	27.1 特長 本文を変更（最大 4ャネル → 最大 4 チャネル）、A/D 変換値加算機能の説明を追加
		2319	表 27.4 レジスタアドレス一覧　ADCBmADCR2 のアドレスの誤記修正（<ADCm_base> +388_H → <ADCm_base> +398_H）
		2326	27.5.2 ADCBmDRn — データレジスタ n　本文を変更
		2337	表 27.18 ADCBmSFTCR レジスタの内容 リザーブビットのビット位置の誤記修正（7, 6 → 7 ～ 5）
		2340	27.5.16 ADCBmULLMTBR0 ～ 2 — 上限／下限テーブルレジスタ 0 ～ 2　本文を変更
		2357	図 27.3 初期設定　選択対象の不要なトリガを削除

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.10.10	2371	27.7.9.2 A/D 変換回路自己診断機能　本文の （Adcore）を削除
		2373	図 27.18 通常 A/D 変換動作時のタイミングチャート（1 回変換）誤記修正（tCONV → tSAR、tSCAN → tSG）
		2378	図 27.22 スキャン変換終了割り込み発生タイミング　周辺クロック波形の誤記を修正
		2379	図 27.23 MPX 割り込み発生タイミング　周辺クロック波形の誤記を修正
		2380	図 27.24 AD エラー割り込み／パリティエラー割り込み発生タイミング　周辺クロック波形の誤記を修正
		2381	図 27.25 DFE/APA0/ASF エントリタイミング図　APA1 を削除
		2385	表 27.42 T&H 回路と変換精度に影響する端子の組み合わせ　ユニット名を修正
		2385	表 27.43 T&H 回路と変換精度に影響する端子の組み合わせ（ADCBnVCRj.GCTRL ビット使用）ユニット名を修正
		2386	27.9.4 レジスタ設定時の注意事項　説明を追加
		2391	表 27.50 ASF1nDRi レジスタの内容　ビット位置の誤記修正（16 ～ 0 → 31 ～ 15）
		第 28 章　ΔΣAD コンバータ（DS-ADC）	
		2424	図 28.3 初期設定フロー　注 1 を追加
		2425	表 28.22 A/D 変換処理時間（単位：Pφ P-Bus クロック（40 MHz）） 使用例 1 ～ 4 の A/D 変換処理時間、A/D 変換開始遅延時間の誤記を修正、注 1 を追加
		2426	図 28.4 A/D 変換の開始と終了　図を変更、注 1 を備考に変更、注 1、注 2 を追加
		2427	28.6.4 外部トリガによる A/D 変換の起動　DSADCmADSR.ADACT についての説明を追加
		2427	28.6.5 外部トリガによる A/D 変換の終了　ADACT についての説明を変更
		第 29 章　デジタルフィルタ（DFE）	
		全体	レジスタ名の誤記修正（DFCTLACH → CTLACH、DFCTLBCH → CTLBCH、DFDOCH → DOCH、DFST → ST、DFSTCH → STCH、DFCLRSTCH → CLRSTCH、DFHOLCH → HOLCH、DFHOHCH → HOHCH、DFHOLMCH → HOLMCH）
			2 進数の表記統一（4bXXXX → XXXXB）
		2436	表 29.1 チャネルごとの入力可能データ　誤記修正（CH0、CH1 の重複を削除）
		2441 ～ 2444	表 29.3 レジスター覧　リセット後の値をレジスタビット数に合わせて修正
		2453	29.2.6 STCHn — ステータスレジスタ ビット配置図：ビット 31 ～ 16 を削除、ビット 12, 9, 8, 5 ～ 0 の R/W を修正
		2455	29.2.7 CLRSTCHn — クリアステータスレジスタ ビット配置図：ビット 31 ～ 16 を削除、ビット 2 のビット名の誤記修正
		2455	表 29.9 CLRSTCHn レジスタの内容　CLRPHIOW ビットの機能説明に説明を追加
		2456	29.2.8 ERMCHn － エラーマスクレジスタ　ビット配置図：誤記修正（ビット 31 ～ 8 を削除）
		2457	表 29.11 TGRCHn レジスタの内容 (1/2)　PFE ビット、AFE ビットの機能説明の誤記修正
		2459	29.2.10 TRHCHn － トリガ履歴レジスタ　ビット配置図：誤記修正（ビット 31 ～ 8 を削除）
		2462	29.2.13 ACA ～ ACD － 積算／デシメーション回数設定レジスタ　ビット配置図：誤記修正（ビット 31 ～ 16 を削除）
		2464	29.2.15 TRG － ソフトウエアトリガレジスタ　ビット配置図：誤記修正（ビット 31 ～ 8 を削除）
		2466, 2467	表 29.19 PITRG レジスタの内容　PITMTRG3 ～ PITMTRG0 ビットの機能説明の信号名の誤記修正
		2468, 2469	表 29.20 MITRG レジスタの内容　MITMTRG3 ～ MITMTRG0 ビットの機能説明の信号名の誤記修正
		2470, 2471	表 29.21 FITRG レジスタの内容　FITMTRG3 ～ FITMTRG0 ビットの機能説明の信号名の誤記修正
		2472	29.2.20 PHUPDC － PH 更新通知設定レジスタ n　ビット配置図：誤記修正（ビット 31 ～ 8 を削除）
		2475	表 29.25 HOHCHn レジスタの内容　GURD ビットのビット位置の誤記修正（31 ～ 0 → 5 ～ 0）
		2489	29.4.7.1 タイマトリガ入力　説明の誤記修正
		2489	図 29.15 タイマトリガ入力　信号名の誤記修正
		2492	表 29.32 トリガフラグ機能と処理　PH 更新通知の列を追加
		2537	29.5.4 チャネルタグと AD タグ　2 進数表記を変更（4'b0001 → 0001B）
		2540	29.5.9 トリガ設定レジスタの制限　説明の誤記修正
		第 30 章　セーフティ	
		2554	30.2.2.3 レジスタ詳細　(6) CF1STERSTR_SIC/PE1/PCU — Code Flash 1st エラーステータスレジスタ　説明追加
		2555	30.2.2.3 レジスタ詳細　(7) CF1STEADRn_SIC/PE1/PCU — Code Flash 1st エラーアドレスレジスタ n　タイトルを一部削除
		2559	表 30.15 Code Flash 命令診断コード　注 1 を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.10.10	2562	表 30.19 DFECCCTL レジスタの内容 PROT[1:0] ビットのビット位置の誤記修正（15 → 15、14）
		2570	表 30.30 レジスター覧 表ヘッダの注を削除、シンボル LR1STEADR2_PE1, LR1STEADR3_PE1 を削除
		2571	30.2.4.3 レジスタ詳細　(3) LRTDATBFn_PE1 — Local RAM テストデータリードバッファ n ビット配置図：ビット 24 ～ 16, 8 ～ 0 のビット名を修正
		2573	表 30.33 LRTDATBFn_PE1 レジスタの内容　ビット 24 ～ 16, 8 ～ 0 のビット名を修正
		2578	30.2.4.3 レジスタ詳細　(8) LR1STERSTR_PE1 — Local RAM 1st エラーステータスレジスタ 説明追加
		2581	30.2.4.4 テスト機能　(6) アドレスパリティチェック機能の自己診断　(b) の本文の誤記修正
		2585	30.2.5.3 レジスタ詳細　(2) LRFSTERSTR_PCU — Local RAM 1st エラーステータスレジスタ 説明追加
		2595	図 30.4 Global RAM の RMW 用 ECC の構成 図中の誤記修正（RMW 用 ECC decoder → RMW 用 ECC encoder）
		2608	30.2.6.3 レジスタ詳細　(9) GR1STERSTR_SIC/PE1 — Global RAM 1st エラーステータスレジスタ　説明追加
		2610	30.2.6.4 テスト機能　注意を削除
		2620	表 30.72 ID1STEADR0_PE1 レジスタの内容　EADR0[24:3] ビットのビット位置の誤記修正
		2626	表 30.78 IT1STEADR0_PE1 レジスタの内容　ビット 24 ～ 5 のビット名の誤記修正
		2633	30.2.9.3 レジスタ詳細　(1) E710CTL — ECC コントロールレジスタ ビット配置図：ビット 8 の R/W の誤記の修正（R/W → R）
		2633, 2634	表 30.82 E710CTL レジスタの内容 ECOVFF, ECER2F, ECER1F, ECEMF ビットの機能説明を修正
		2646	30.2.10.3 レジスタ詳細　(1) E610CTL — ECC コントロールレジスタ ビット配置図：ビット 8 の R/W の誤記の修正（R/W → R）
		2646, 2647	表 30.87 E610CTL レジスタの内容 ECOVFF, ECER2F, ECER1F, ECEMF ビットの機能説明を修正
		2700	30.5.4.1 レジスタマップ　本文の説明の誤記修正
		第 31 章　エラーコントロールモジュール (ECM)	
		2733	表 31.2 エラー要因とセーフティ処理一覧 (2/2)　注 12 を追加
		2742	31.3.2 ECMmESET, m = M/C — ECM マスタ／チェッカエラーセットトリガレジスタ タイトルの誤記修正（ECMmSET → ECMmESET）、注意の誤記修正（REEOROUT 出力 → ERROROUT 出力）
		2745	表 31.11 ECMmESSTR1 レジスタの内容　ECMmSSE131 ビットの機能説明の誤記修正
		2758	31.3.18 ECMPCMD1 — ECM 保護コマンドレジスタ　本文　参照先の誤記修正
		第 32 章　データ CRC（DCRA）	
		2773	32.2.3 DCRA0COUT — CRC データレジスタ　注意を修正（DCRAnCIN → DCRA0CIN）
		2773	表 32.4 DCRA0COUT レジスタの内容 DCRA0COUT[31:0] ビットの機能説明を修正（DCRAnCOUT → DCRA0COUT）
		2774	32.2.4 DCRA0CTL — CRC 制御レジスタ　注意を修正（DCRA0CTL.DCRA0ISZn[1:0] → DCRA0CTL.DCRA0ISZ[1:0]、DCRAnCOUT → DCRA0COUT）
		第 34 章　フラッシュ・メモリ	
		2814	表 34.17 OPBT0 の内容 (1/2)　CANFDCRC ビットの機能説明を変更、ISO 規格名称を統一（ISO/DIS 11898-1 → ISO 11898-1: 2015）
		2816	表 34.19 OPBT3 の内容　ビット 22 ～ 0 の機能説明を変更（007F $FFFF_H$ → 003F $FFFF_H$）
		2817	表 34.20 OPBT5 の内容　ビット 22 ～ 0 の機能説明を変更（007F $FFFF_H$ → 003F $FFFF_H$）
		2819	34.11 使用上の注意事項　(7) 書き込み／消去／ブランクチェック中の禁止事項 説明を変更（書き込み／消去 → 書き込み／消去／ブランクチェック）
		第 37 章　セキュアウォッチドッグタイマ (SWDT)	
		2833	37.2.2 SWDTnMD — SWDT モードレジスタ　ビット配置図：ビット 6 ～ 4 のビット名を修正
		第 38 章　内蔵 RAM	
		2854	38.4.12 TM_MA00 — チューニング・メモリ・マッピング・アドレス・レジスタ 00 ビット配置図：ビット 14, 13 の R/W の誤記の修正（R → R/W）
		2854	表 38.9 TM_MA00 レジスタ内容　TMAmn[29:0] ビットの機能説明の注意を変更
		2854	38.4.12 TM_MA00 — チューニング・メモリ・マッピング・アドレス・レジスタ 00 注意 2. の誤記修正
		2856	38.5 使用上の注意事項　高速アクセス用のバッファに関する説明を追加
		第 40 章　電気的特性	
		2884	表 40.13 DC 特性（スタンバイ）　条件　DVSS を削除
		2910	表 40.37 ADC 変換器特性 項目名を修正（A/D 変換時間（fOP = 20MHz、40MHz）→ A/D 変換時間）

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2017.10.10	2911	40.4 A/D 変換器特性　・A/D 変換器の外付け回路による誤差について 記号 V3 の項目の計算式を修正
		2916	表 40.48 RH850/E1M-S2 での熱抵抗　パラメータ 4LΨjt を追加、パラメータ Θja および Ψjb の準拠規格を修正（JESD51-7 準拠 (4 layers) → JESD51-9 準拠 (4 layers)）
		2916	表 40.49 JESD51-9 準拠 (4 layers)　表タイトルを修正（JESD51-7 準拠 (4 layers) → JESD51-9 準拠 (4 layers)）、基板サイズおよび面積を修正
		付録　レジスター覧	
		2948	Global RAM テストコントロールレジスタのレジスタシンボルおよびアクセスサイズを記載
		―	レジスタシンボル R1STEADR2_PE1 および LR1STEADR3_PE1 を削除
		付録　外形寸法図	
		3238, 3239	外形寸法図 PRBG0304GB-A, PRBG0252GB-A　追加

RH850/E1M-S2 ユーザーズマニュアル
ハードウェア編

発行年月日　2016年03月28日　Rev.1.00
　　2017年10月10日　Rev.1.10

発行　　ルネサス エレクトロニクス株式会社
　　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：https://www.renesas.com/contact/

© 2017 Renesas Electronics Corporation. All rights reserved.
Colophon 3.1

RH850/E1M-S2

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0603JJ0110