

RL78/F12

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
 2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
 3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
 6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
 10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルはRL78/F12の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

- ・ 20ピン : R5F1096x (x = 8, A, B, C, D, E)
- ・ 30ピン : R5F109Ax (x = A, B, C, D, E)
- ・ 32ピン : R5F109Bx (x = A, B, C, D, E)
- ・ 48ピン : R5F109Gx (x = A, B, C, D, E)
- ・ 64ピン : R5F109Lx (X = A, B, C, D, E)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/F12のマニュアルは、このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

RL78/F12 ユーザーズ・マニュアル ハードウェア編	RL78ファミリ ユーザーズ・マニュアル ソフトウェア編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

RL78ファミリの命令機能の詳細を知りたいとき

別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編（R01US0015J）を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記 : $\overline{\text{xxx}}$ (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数... xxx または xxx B
 10進数... xxx
 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/F12 ユーザーズ・マニュアル	このマニュアル	R01UH0231E
RL78ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	R20UT0008J	R20UT0008E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注 「半導体パッケージ実装マニュアル」のホーム・ページ参照

和文：<http://japan.renesas.com/products/package/manual/index.jsp>

英文：<http://www.renesas.com/products/package/manual/index.jsp>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

Windows , Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

目次

第1章 概 説.....	1
1.1 特 徴.....	1
1.2 オーダ情報.....	3
1.3 端子接続図 (Top View)	4
1.3.1 20ピン製品.....	4
1.3.2 30ピン製品.....	5
1.3.3 32ピン製品.....	6
1.3.4 48ピン製品.....	7
1.3.5 64ピン製品.....	9
1.4 端子名称.....	10
1.5 ブロック図.....	11
1.5.1 20ピン製品.....	11
1.5.2 30ピン製品.....	12
1.5.3 32ピン製品.....	13
1.5.4 48ピン製品.....	14
1.5.5 64ピン製品.....	15
1.6 機能概要.....	16
第2章 端子機能.....	19
2.1 端子機能一覧.....	19
2.1.1 20ピン製品.....	19
2.1.2 30ピン製品.....	20
2.1.3 32ピン製品.....	22
2.1.4 48ピン製品.....	24
2.1.5 64ピン製品.....	26
2.1.6 製品別搭載端子 (ポート以外の端子)	28
2.2 端子機能の説明.....	31
2.2.1 P00-P06 (Port 0)	31
2.2.2 P10-P17 (Port 1)	32
2.2.3 P20-P27 (Port 2)	33
2.2.4 P30, P31 (Port 3)	34
2.2.5 P40-P43 (Port 4)	35
2.2.6 P50-P55 (Port 5)	36
2.2.7 P60-P63 (Port 6)	37
2.2.8 P70-P77 (Port 7)	37
2.2.9 P120-P124 (Port 12)	38
2.2.10 P130, P137 (Port 13)	39
2.2.11 P140, P141, P146, P147 (Port 14)	39
2.2.12 V _{DD} , EV _{DD} , V _{SS} , EV _{SS}	40
2.2.13 $\overline{\text{RESET}}$	40
2.2.14 REGC.....	40
2.3 端子の入出力回路と未使用端子の処理.....	41
第3章 CPUアーキテクチャ.....	45
3.1 メモリ空間.....	45

3.1.1	内部プログラム・メモリ空間	54
3.1.2	ミラー領域	57
3.1.3	内部データ・メモリ空間	59
3.1.4	特殊機能レジスタ (SFR : Special Function Register) 領域	60
3.1.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	60
3.1.6	データ・メモリ・アドレッシング	61
3.2	プロセッサ・レジスタ	67
3.2.1	制御レジスタ	67
3.2.2	汎用レジスタ	69
3.2.3	ES, CSレジスタ	71
3.2.4	特殊機能レジスタ (SFR : Special Function Register)	72
3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	77
3.3	命令アドレスのアドレッシング	85
3.3.1	レラティブ・アドレッシング	85
3.3.2	イミディエト・アドレッシング	85
3.3.3	テーブル・インダイレクト・アドレッシング	86
3.3.4	レジスタ・ダイレクト・アドレッシング	87
3.4	処理データ・アドレスに対するアドレッシング	88
3.4.1	インプライド・アドレッシング	88
3.4.2	レジスタ・アドレッシング	88
3.4.3	ダイレクト・アドレッシング	89
3.4.4	ショート・ダイレクト・アドレッシング	90
3.4.5	SFRアドレッシング	91
3.4.6	レジスタ・インダイレクト・アドレッシング	92
3.4.7	ベースト・アドレッシング	93
3.4.8	ベースト・インデクスト・アドレッシング	96
3.4.9	スタック・アドレッシング	97
第4章	ポート機能	98
4.1	ポートの機能	98
4.2	ポートの構成	98
4.2.1	ポート0	99
4.2.2	ポート1	107
4.2.3	ポート2	117
4.2.4	ポート3	119
4.2.5	ポート4	122
4.2.6	ポート5	126
4.2.7	ポート6	135
4.2.8	ポート7	138
4.2.9	ポート12	143
4.2.10	ポート13	147
4.2.11	ポート14	149
4.3	ポート機能を制御するレジスタ	153
4.4	ポート機能の動作	168
4.4.1	入出力ポートへの書き込み	168
4.4.2	入出力ポートからの読み出し	168
4.4.3	入出力ポートでの演算	168
4.4.4	異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法	169
4.5	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定	172
4.6	ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項	178

第5章	クロック発生回路	179
5.1	クロック発生回路の機能	179
5.2	クロック発生回路の構成	182
5.3	クロック発生回路を制御するレジスタ	184
5.3.1	クロック動作モード制御レジスタ (CMC)	184
5.3.2	システム・クロック制御レジスタ (CKC)	187
5.3.3	クロック動作ステータス制御レジスタ (CSC)	188
5.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	189
5.3.5	発振安定時間選択レジスタ (OSTS)	191
5.3.6	周辺イネーブル・レジスタ0 (PER0)	193
5.3.7	周辺イネーブル・レジスタX (PERX)	195
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	196
5.3.9	動作スピード・モード制御レジスタ (OSMC)	197
5.3.10	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	198
5.4	システム・クロック発振回路	199
5.4.1	X1発振回路	199
5.4.2	XT1発振回路	199
5.4.3	高速オンチップ・オシレータ	203
5.4.4	低速オンチップ・オシレータ	203
5.5	クロック発生回路の動作	204
5.6	クロックの制御	206
5.6.1	高速オンチップ・オシレータの設定例	206
5.6.2	X1発振回路の設定例	207
5.6.3	XT1発振回路の設定例	208
5.6.4	CPUクロック状態移行図	209
5.6.5	CPUクロックの移行前の条件と移行後の処理	215
5.6.6	CPUクロックの切り替えとメイン・システム・クロックの切り替えに 要する時間	217
5.6.7	クロック発振停止前の条件	218
第6章	タイマ・アレイ・ユニット	219
6.1	タイマ・アレイ・ユニットの機能	220
6.1.1	単独チャンネル動作機能	220
6.1.2	複数チャンネル連動動作機能	222
6.1.3	8ビット・タイマ動作機能 (チャンネル1, 3のみ)	223
6.1.4	LIN-bus対応機能 (チャンネル7のみ)	223
6.2	タイマ・アレイ・ユニットの構成	224
6.3	タイマ・アレイ・ユニットを制御するレジスタ	232
6.4	タイマ・アレイ・ユニットの基本ルール	261
6.4.1	複数チャンネル連動動作機能の基本ルール	261
6.4.2	8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ)	263
6.5	カウンタの動作	264
6.5.1	カウント・クロック (f _{TCLK})	264
6.5.2	カウンタのスタート・タイミング	266
6.5.3	カウンタの動作	267
6.6	チャンネル出力 (TO0n端子) の制御	272
6.6.1	TO0n端子の出力回路の構成	272
6.6.2	TO0n端子の出力設定	273
6.6.3	チャンネル出力操作時の注意事項	274
6.6.4	TO0.nビットの一括操作	280

6.6.5	カウント動作開始時のタイマ割り込みとTO0n端子出力について	281
6.7	タイマ・アレイ・ユニットの単独チャンネル動作機能	282
6.7.1	インターバル・タイマ/方形波出力としての動作	282
6.7.2	外部イベント・カウンタとしての動作	287
6.7.3	分周器としての動作(チャンネル0のみ)	291
6.7.4	入力パルス間隔測定としての動作	295
6.7.5	入力信号のハイ/ロウ・レベル幅測定としての動作	299
6.7.6	ディレイ・カウンタとしての動作	303
6.8	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	307
6.8.1	ワンショット・パルス出力機能としての動作	307
6.8.2	PWM機能としての動作	314
6.8.3	多重PWM出力機能としての動作	321
第7章	リアルタイム・クロック	329
7.1	リアルタイム・クロックの機能	329
7.2	リアルタイム・クロックの構成	329
7.3	リアルタイム・クロックを制御するレジスタ	331
7.4	リアルタイム・クロックの動作	346
7.4.1	リアルタイム・クロックの動作開始	346
7.4.2	動作開始後のSTOPモードへの移行	347
7.4.3	リアルタイム・クロックのカウンタ読み出し/書き込み	348
7.4.4	リアルタイム・クロックのアラーム設定	350
7.4.5	リアルタイム・クロックの1 Hz出力	351
7.4.6	リアルタイム・クロックの時計誤差補正例	352
第8章	インターバル・タイマ	355
8.1	インターバル・タイマの機能	355
8.2	インターバル・タイマの構成	355
8.3	インターバル・タイマを制御するレジスタ	355
8.4	インターバル・タイマの動作	359
第9章	16ビット・ウエイクアップ・タイマ	360
9.1	特徴	360
9.2	構成	361
9.3	制御レジスタ	362
9.4	動作	365
9.4.1	インターバル・タイマ・モード	365
9.4.2	注意事項	367
第10章	クロック出力/ブザー出力制御回路	368
10.1	クロック出力/ブザー出力制御回路の機能	368
10.2	クロック出力/ブザー出力制御回路の構成	370
10.3	クロック出力/ブザー出力制御回路を制御するレジスタ	370
10.4	クロック出力/ブザー出力制御回路の動作	373
10.4.1	出力端子の動作	373
10.5	クロック出力/ブザー出力制御回路の注意事項	373

第11章 ウォッチドッグ・タイマ	374
11.1 ウォッチドッグ・タイマの機能	374
11.2 ウォッチドッグ・タイマの構成	375
11.3 ウォッチドッグ・タイマを制御するレジスタ	376
11.4 ウォッチドッグ・タイマの動作	377
11.4.1 ウォッチドッグ・タイマの動作制御	377
11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定	378
11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定	379
11.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定	380
第12章 A/Dコンバータ	381
12.1 A/Dコンバータの機能	381
12.2 A/Dコンバータの構成	383
12.3 A/Dコンバータで使用するレジスタ	385
12.4 A/Dコンバータの変換動作	409
12.5 入力電圧と変換結果	411
12.6 A/Dコンバータの動作モード	412
12.6.1 ソフトウエア・トリガ・モード(セレクト・モード, 連続変換モード)	412
12.6.2 ソフトウエア・トリガ・モード (セレクト・モード, ワンショット変換モード)	413
12.6.3 ソフトウエア・トリガ・モード(スキャン・モード, 連続変換モード)	414
12.6.4 ソフトウエア・トリガ・モード (スキャン・モード, ワンショット変換モード)	415
12.6.5 ハードウエア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード)	416
12.6.6 ハードウエア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード)	417
12.6.7 ハードウエア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード)	418
12.6.8 ハードウエア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード)	419
12.6.9 ハードウエア・トリガ・ウエイト・モード (セレクト・モード, 連続変換モード)	420
12.6.10 ハードウエア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード)	421
12.6.11 ハードウエア・トリガ・ウエイト・モード (スキャン・モード, 連続変換モード)	422
12.6.12 ハードウエア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード)	423
12.7 A/Dコンバータの設定フロー・チャート	424
12.7.1 ソフトウエア・トリガ・モード設定	425
12.7.2 ハードウエア・トリガ・ノーウエイト・モード設定	426
12.7.3 ハードウエア・トリガ・ウエイト・モード設定	427
12.7.4 温度センサ使用時の設定 (例 ハードウエア・トリガ・ノーウエイト・モード時)	428
12.7.5 テスト・モード設定	429
12.8 SNOOZEモード機能	430
12.9 A/Dコンバータ特性表の読み方	433
12.10 A/Dコンバータの注意事項	436

第13章 シリアル・アレイ・ユニット.....	440
13.1 シリアル・アレイ・ユニットの機能.....	442
13.1.1 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1)	442
13.1.2 UART (UART0-UART2, UARTS0)	443
13.1.3 簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)	444
13.2 シリアル・アレイ・ユニットの構成.....	445
13.3 シリアル・アレイ・ユニットを制御するレジスタ	453
13.4 動作停止モード.....	482
13.4.1 ユニット単位で動作停止とする場合	483
13.4.2 チャンネルごとに動作停止とする場合	484
13.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1) 通信の動作.....	485
13.5.1 マスタ送信	488
13.5.2 マスタ受信	499
13.5.3 マスタ送受信.....	509
13.5.4 スレーブ送信.....	520
13.5.5 スレーブ受信.....	531
13.5.6 スレーブ送受信	539
13.5.7 SNOOZEモード機能 (CSI00のみ)	549
13.5.8 転送クロック周波数の算出.....	553
13.5.9 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1) 通信時におけるエラー発生時の処理手順.....	555
13.6 UART (UART0-UART2, UARTS0) 通信の動作.....	556
13.6.1 UART送信	559
13.6.2 UART受信	570
13.6.3 SNOOZEモード機能 (UART0受信のみ)	579
13.6.4 ボー・レートの算出.....	586
13.6.5 UART (UART0-UART2, UARTS0) 通信時におけるエラー発生時の処理手順	590
13.7 LIN通信の動作	591
13.7.1 LIN送信.....	591
13.7.2 LIN受信.....	594
13.8 簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信の動作	600
13.8.1 アドレス・フィールド送信.....	603
13.8.2 データ送信	608
13.8.3 データ受信	611
13.8.4 ストップ・コンディション発生.....	615
13.8.5 転送レートの算出	616
13.8.6 簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信時におけるエラー発生時の処理手順.....	618
第14章 アシンクロナス・シリアル・インタフェースLIN-UART (UARTF)	619
14.1 特 徴.....	619
14.2 構 成.....	621
14.3 制御レジスタ	623
14.4 割り込み要求信号	651
14.5 動 作.....	653
14.5.1 データ・フォーマット	653
14.5.2 データ送信	655
14.5.3 データ受信	658
14.5.4 BF送信 / 受信フォーマット	660

14.5.5	BF送信	663
14.5.6	BF受信	665
14.5.7	パリティの種類と動作	668
14.5.8	データ貫性チェック	670
14.5.9	BF受信モード選択機能	674
14.5.10	LIN-UART受信ステータス割り込み発生要因	679
14.5.11	送信開始ウエイト機能	682
14.6	UARTバッファ・モード	683
14.6.1	UARTバッファ・モード送信	684
14.7	LIN通信オート・ポー・レート・モード	686
14.7.1	オート・ポー・レート設定機能	692
14.7.2	レスポンス準備エラー検出機能	695
14.7.3	IDパリティ・チェック機能	696
14.7.4	オート・チェック・サム機能	697
14.7.5	多バイト・レスポンス送受信機能	699
14.8	拡張ビット・モード	702
14.8.1	拡張ビット・モード送信	702
14.8.2	拡張ビット・モード受信(データ比較なし)	703
14.8.3	拡張ビット・モード受信(データ比較あり)	704
14.9	受信データのノイズ・フィルタ	705
14.10	専用ポー・レート・ジェネレータ	706
14.11	使用上の注意	713
第15章 シリアル・インタフェースIICA		714
15.1	シリアル・インタフェースIICAの機能	714
15.2	シリアル・インタフェースIICAの構成	717
15.3	シリアル・インタフェースIICAを制御するレジスタ	720
15.4	I ² Cバス・モードの機能	734
15.4.1	端子構成	734
15.4.2	IICWL0, IICWH0レジスタによる転送クロック設定方法	735
15.5	I ² Cバスの定義および制御方法	737
15.5.1	スタート・コンディション	737
15.5.2	アドレス	738
15.5.3	転送方向指定	738
15.5.4	アクノリッジ(ACK)	739
15.5.5	ストップ・コンディション	740
15.5.6	ウエイト	741
15.5.7	ウエイト解除方法	743
15.5.8	割り込み要求(INTIICA0)発生タイミングおよびウエイト制御	744
15.5.9	アドレスの一致検出方法	745
15.5.10	エラーの検出	745
15.5.11	拡張コード	746
15.5.12	アービトレーション	747
15.5.13	ウエイク・アップ機能	749
15.5.14	通信予約	752
15.5.15	その他の注意事項	756
15.5.16	通信動作	757
15.5.17	I ² C割り込み要求(INTIICA0)の発生タイミング	765
15.6	タイミング・チャート	786

第16章	乗除積和算器.....	801
16.1	乗除積和算器の機能	801
16.2	乗除積和算器の構成	801
16.3	乗除積和算器を制御するレジスタ	807
16.4	乗除積和算器の動作	809
16.4.1	乗算（符号なし）動作	809
16.4.2	乗算（符号付）動作	810
16.4.3	積和演算（符号なし）動作	811
16.4.4	積和演算（符号付）動作	813
16.4.5	除算動作	815
第17章	DMAコントローラ.....	817
17.1	DMAコントローラの機能	817
17.2	DMAコントローラの構成	818
17.3	DMAコントローラを制御するレジスタ	821
17.4	DMAコントローラの動作	825
17.4.1	動作手順	825
17.4.2	転送モード	826
17.4.3	DMA転送の終了	826
17.5	DMAコントローラの設定例	827
17.5.1	CSI連続送信	827
17.5.2	A/D変換結果の連続取り込み	829
17.5.3	UART連続受信 + ACK送信	831
17.5.4	DWAITnビットによるDMA転送保留	833
17.5.5	ソフトウェアでの強制終了	834
17.6	DMAコントローラの注意事項	836
第18章	割り込み機能.....	838
18.1	割り込み機能の種類	838
18.2	割り込み要因と構成	838
18.3	割り込み機能を制御するレジスタ	844
18.4	割り込み処理動作	858
18.4.1	マスカブル割り込み要求の受け付け動作	858
18.4.2	ソフトウェア割り込み要求の受け付け動作	861
18.4.3	多重割り込み処理	861
18.4.4	割り込み要求の保留	865
第19章	キー割り込み機能	866
19.1	キー割り込みの機能	866
19.2	キー割り込みの構成	866
19.3	キー割り込みを制御するレジスタ	868
第20章	スタンバイ機能	869
20.1	スタンバイ機能と構成	869
20.1.1	スタンバイ機能	869
20.1.2	スタンバイ機能を制御するレジスタ	870

20.2	スタンバイ機能の動作	873
20.2.1	HALTモード	873
20.2.2	STOPモード	878
20.2.3	SNOOZEモード	883
第21章	リセット機能	885
21.1	リセット要因を確認するレジスタ	895
第22章	パワーオン・リセット回路	897
22.1	パワーオン・リセット回路の機能	897
22.2	パワーオン・リセット回路の構成	898
22.3	パワーオン・リセット回路の動作	898
22.4	パワーオン・リセット回路の注意事項	901
第23章	電圧検出回路	903
23.1	電圧検出回路の機能	903
23.2	電圧検出回路の構成	904
23.3	電圧検出回路を制御するレジスタ	904
23.4	電圧検出回路の動作	909
23.4.1	リセット・モードとして使用時の設定	909
23.4.2	割り込みモードとして使用時の設定	911
23.4.3	割り込み&リセット・モードとして使用時の設定	913
23.5	電圧検出回路の注意事項	919
第24章	安全機能	921
24.1	安全機能の概要	921
24.2	安全機能で使用するレジスタ	922
24.3	安全機能の動作	922
24.3.1	フラッシュ・メモリCRC演算機能(高速CRC)	922
24.3.2	CRC演算機能(汎用CRC)	926
24.3.3	RAMパリティ・エラー検出機能	928
24.3.4	RAMガード機能	929
24.3.5	SFRガード機能	930
24.3.6	不正メモリ・アクセス検出機能	931
24.3.7	周波数検出機能	933
24.3.8	A/Dテスト機能	935
第25章	レギュレータ	938
25.1	レギュレータの概要	938
第26章	オプション・バイト	939
26.1	オプション・バイトの機能	939
26.1.1	ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)	939
26.1.2	オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)	940
26.2	ユーザ・オプション・バイトのフォーマット	941

26.3	オンチップ・デバッグ・オプション・バイトのフォーマット	945
26.4	オプション・バイトの設定	946
第27章 フラッシュ・メモリ 947		
27.1	フラッシュ・メモリ・プログラマによる書き込み方法	948
27.1.1	プログラミング環境	950
27.1.2	通信方式	950
27.2	外部デバイス (UART内蔵) による書き込み方法	951
27.2.1	プログラミング環境	951
27.2.2	通信方式	952
27.3	オンボード上の端子処理	953
27.3.1	P40/TOOL0端子	953
27.3.2	RESET端子	953
27.3.3	ポート端子	954
27.3.4	REGC端子	954
27.3.5	X1, X2端子	954
27.3.6	電 源	954
27.4	データ・フラッシュ	955
27.4.1	データ・フラッシュの概要	955
27.4.2	データ・フラッシュを制御するレジスタ	956
27.4.3	データ・フラッシュへのアクセス手順	957
27.5	プログラミング方法	958
27.5.1	フラッシュ・メモリ制御	958
27.5.2	フラッシュ・メモリ・プログラミング・モード	959
27.5.3	通信方式	960
27.5.4	通信コマンド	961
27.6	セキュリティ設定	962
27.7	セルフ書き込みによるフラッシュ・メモリ・プログラミング	964
27.7.1	ブート・スワップ機能	967
27.7.2	フラッシュ・シールド・ウインドウ機能	969
第28章 オンチップ・デバッグ機能 970		
28.1	E1オンチップデバッグエミュレータとRL78/F12の接続	970
28.2	オンチップ・デバッグ・セキュリティID	971
28.3	ユーザ資源の確保	971
第29章 10進補正 (BCD) 回路 973		
29.1	10進補正回路の機能	973
29.2	10進補正回路で使用するレジスタ	973
29.3	10進補正回路の動作	974
第30章 命令セットの概要 976		
30.1	凡 例	977
30.1.1	オペランドの表現形式と記述方法	977
30.1.2	オペレーション欄の説明	978
30.1.3	フラグ動作欄の説明	979
30.1.4	PREFIX命令	979
30.2	オペレーション一覧	980

第31章 電気的特性 (Jグレード)	997
31.1 製品別搭載端子	997
31.1.1 ポート機能	997
31.1.2 ポート以外の端子	997
31.2 絶対最大定格	998
31.3 発振回路特性	1000
31.3.1 メイン・システム・クロック発振回路特性	1000
31.3.2 オンチップ・オシレータ回路特性	1001
31.3.3 サブシステム・クロック発振回路特性	1002
31.4 DC特性	1003
31.4.1 端子特性	1003
31.4.2 電源電流特性	1008
31.5 AC特性	1011
31.5.1 基本動作	1011
31.6 周辺機能特性	1012
31.6.1 シリアル・アレイ・ユニット	1012
31.6.2 シリアル・インタフェースIICA	1018
31.6.3 LIN-UART	1019
31.7 アナログ特性	1020
31.7.1 A/Dコンバータ特性	1020
31.7.2 温度センサ特性	1024
31.7.3 POR回路特性	1024
31.7.4 LVD回路特性	1025
31.7.5 電源立ち上げ時間	1027
31.8 データ・メモリSTOPモード低電源電圧データ保持特性	1028
31.9 フラッシュ・メモリ・プログラミング特性	1028
第32章 電気的特性 (Kグレード)	1029
32.1 製品別搭載端子	1029
32.1.1 ポート機能	1029
32.1.2 ポート以外の端子	1029
32.2 絶対最大定格	1030
32.3 発振回路特性	1032
32.3.1 メイン・システム・クロック発振回路特性	1032
32.3.2 オンチップ・オシレータ回路特性	1033
32.3.3 サブシステム・クロック発振回路特性	1034
32.4 DC特性	1035
32.4.1 端子特性	1035
32.4.2 電源電流特性	1040
32.5 AC特性	1043
32.5.1 基本動作	1043
32.6 周辺機能特性	1044
32.6.1 シリアル・アレイ・ユニット	1044
32.6.2 シリアル・インタフェースIICA	1050
32.6.3 LIN-UART	1051
32.7 アナログ特性	1052
32.7.1 A/Dコンバータ特性	1052
32.7.2 温度センサ特性	1056
32.7.3 POR回路特性	1056
32.7.4 LVD回路特性	1057

32.7.5	電源立ち上げ時間	1058
32.8	データ・メモリSTOPモード低電源電圧データ保持特性	1059
32.9	フラッシュ・メモリ・プログラミング特性	1059
第33章	外形図	1060
33.1	20ピン製品	1060
33.2	30ピン製品	1061
33.3	32ピン製品	1062
33.4	48ピン製品	1063
33.5	64ピン製品	1065

第1章 概 説

1.1 特 徴

高速 (0.03125 μ s : 高速オンチップ・オシレータ32 MHz動作時) から超低速 (30.5 μ s : サブシステム・クロック32.768 kHz動作時) まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット \times 32レジスタ (8ビット \times 8レジスタ \times 4バンク)

ROM : 8-64 KB , RAM : 0.5-4 KB , データフラッシュ : 4 KB

高速オンチップ・オシレータ内蔵

- ・32 MHz (TYP.) / 24 MHz (TYP.) / 16 MHz (TYP.) / 12 MHz (TYP.) / 8 MHz (TYP.) / 4 MHz (TYP.) / 1 MHz (TYP.) から選択可能

単電源のフラッシュ・メモリ内蔵 (ブロック消去 / 書き込み禁止機能あり)

セルフ・プログラミング機能対応 (ブート・スワップ / フラッシュ・シールド・ウインドウ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・リセット (POR) 回路, 電圧検出 (LVD) 回路内蔵

ウォッチドッグ・タイマ内蔵 (専用の低速オンチップ・オシレータで動作可能)

乗除・積和演算器内蔵

- ・16ビット \times 16ビット = 32ビット (符号付 / 符号なし)
- ・32ビット \div 32ビット = 32ビット (符号なし)
- ・16ビット \times 16ビット + 32ビット = 32ビット (符号付 / 符号なし)

キー割り込み機能内蔵

クロック出力 / ブザー出力制御回路内蔵

10進補正 (BCD) 回路内蔵

I/Oポート : 16 ~ 44本 (N-chオープン・ドレイン : 0 ~ 4本)

タイマ

- ・16ビット・タイマ : 8チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル
- ・リアルタイム・クロック : 1チャンネル
- ・12ビット・インターバル・タイマ : 1チャンネル
- ・ウェイクアップ・タイマ : 1チャンネル

シリアル・インタフェース

- ・CSI : 0 ~ 8チャンネル
- ・UART / UART (LIN-bus対応) : 1 ~ 5チャンネル
- ・I²C / 簡易I²C : 0 ~ 7チャンネル

8/10ビット分解能A/Dコンバータ ($V_{DD} = EV_{DD} = 1.8 \sim 5.5$ V) : 4-12チャンネル

スタンバイ機能

- ・HALTモード / STOPモード / SNOOZEモード

DMA

- ・DMAチャンネル数 : 2チャンネル
- ・転送単位 : 8/16ビット (1024回まで)
- ・転送要求 : A/Dコンバータ, シリアル・インタフェース, タイマ

電源電圧 : $V_{DD} = 1.8 \sim 5.5 \text{ V}$ (Jバージョン) / $V_{DD} = 2.7 \sim 5.5 \text{ V}$ (Kバージョン)

動作周囲温度 : $T_A = -40 \sim +85$ (Jバージョン) / $T_A = -40 \sim +125$ (Kバージョン)

ROM, RAM容量

フラッシュ ROM	データ フラッシュ	RAM	RL78/F12				
			20ピン	30ピン	32ピン	48ピン	64ピン
64 KB	4 KB	4 KB ^{注1}	R5F1096E	R5F109AE	R5F109BE	R5F109GE	R5F109LE
48 KB		3 KB	R5F1096D	R5F109AD	R5F109BD	R5F109GD	R5F109LD
32 KB		2 KB	R5F1096C	R5F109AC	R5F109BC	R5F109GC	R5F109LC
24 KB		1.5 KB	R5F1096B	R5F109AB	R5F109BB	R5F109GB	R5F109LB
16 KB		1 KB	R5F1096A	R5F109AA	R5F109BA	R5F109GA	R5F109LA
8 KB		0.5 KB	R5F10968	-	-	-	-

注1. セルフ・プログラミング機能使用時は, 3 KB

備考 製品により, 搭載している機能が異なります。1.6 **機能概要**を参照してください。

1.2 オーダ情報

ピン数	パッケージ	デバイス	オーダ名称
20ピン	20ピン・プラスチックSSOP (7.62 mm (300))	Jバージョン	R5F10968JSP, R5F1096AJSP, R5F1096BJSP, R5F1096CJSP, R5F1096DJSP, R5F1096EJSP
		Kバージョン	R5F10968KSP, R5F1096AKSP, R5F1096BKSP, R5F1096CKSP, R5F1096DKSP, R5F1096EKSP
30ピン	30ピン・プラスチックSSOP (7.62 mm (300))	Jバージョン	R5F109AAJSP, R5F109ABJSP, R5F109ACJSP, R5F109ADJSP, R5F109AEJSP
		Kバージョン	R5F109AAKSP, R5F109ABKSP, R5F109ACKSP, R5F109ADKSP, R5F109AEKSP
32ピン	32ピン・プラスチックWQFN (5x5)	Jバージョン	R5F109BAJNA, R5F109BBJNA, R5F109BCJNA, R5F109BDJNA, R5F109BEJNA
		Kバージョン	R5F109BAKNA, R5F109BBKNA, R5F109BCKNA, R5F109BDKNA, R5F109BEKNA
48ピン	48ピン・プラスチックLQFP (ファインピッチ) (7x7)	Jバージョン	R5F109GAJFB, R5F109GBJFB, R5F109GCJFB, R5F109GDJFB, R5F109GEJFB
		Kバージョン	R5F109GAKFB, R5F109GBKFB, R5F109GCKFB, R5F109GDKFB, R5F109GEKFB
	48ピン・プラスチックWQFN (7x7) ^注	Jバージョン	R5F109GAJNA, R5F109GBJNA, R5F109GCJNA, R5F109GDJNA, R5F109GEJNA
		Kバージョン	R5F109GAKNA, R5F109GBKNA, R5F109GCKNA, R5F109GDKNA, R5F109GEKNA
64ピン	64ピン・プラスチックLQFP (ファインピッチ) (10x10)	Jバージョン	R5F109LAJFB, R5F109LBJFB, R5F109LCJFB, R5F109LDJFB, R5F109LEJFB
		Kバージョン	R5F109LAKFB, R5F109LBKFB, R5F109LCKFB, R5F109LDKFB, R5F109LEKFB

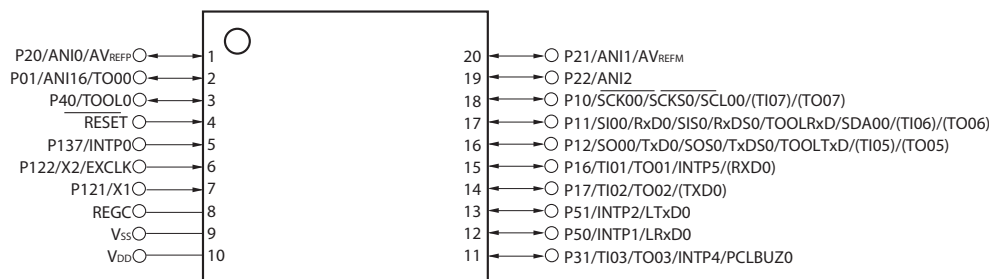
注 本パッケージについては弊社営業窓口までお問い合わせください。

注意 RL78/F12には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.3 端子接続図 (Top View)

1.3.1 20ピン製品

・20ピン・プラスチックSSOP (7.62 mm (300))



注意1. REGCはコンデンサ (0.47 ~ 1 μ F) を介し, V_{SS} に接続してください。

2. 以下の各ポートに対して,リセット解除後(CPU動作開始後)50 ms以内,かつ対象ポート・ビットPm.nの存在するポート・ラッチPmをリードする操作(ビット操作命令でポート・ラッチPmのPm.n以外のビットをリードする操作を含む)を行う前に,以下のソフトウェア処理を完了させてください。

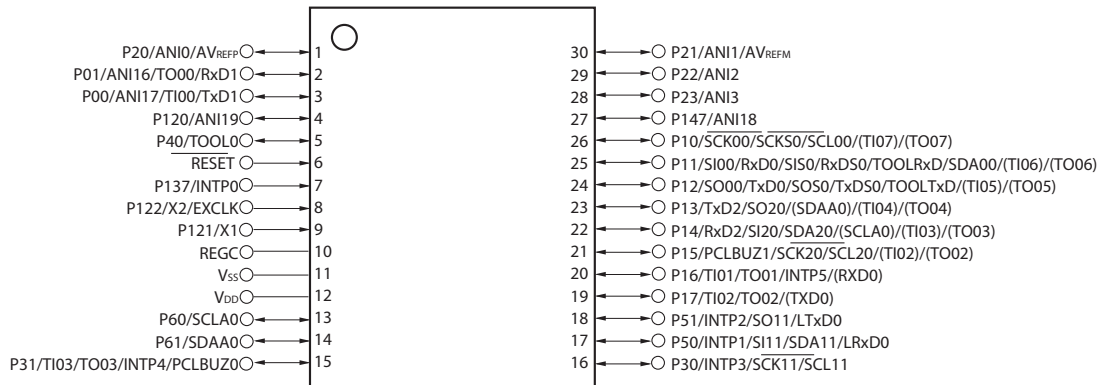
- ・P00, P13, P14, P15, P30, P60, P61, P147は,ソフトウェアでロウ・レベル出力モードに設定してください(当該ポート用のPMm.nビットおよびPm.nビットをクリアしてください)。
- ・P23は,ソフトウェアでデジタル・ポート,ロウ・レベル出力モードに設定してください(ADPCレジスタでP23をデジタル・モードに設定して,PM2.3ビットおよびP2.3ビットをクリアしてください)。

備考1. 端子名称は, 1.4 端子名称を参照してください。

2. 上図の()内の機能は,周辺I/Oリダイレクション・レジスタ(PIOR)の設定により,割り当て可能です。

1.3.2 30ピン製品

・30ピン・プラスチックSSOP (7.62 mm (300))



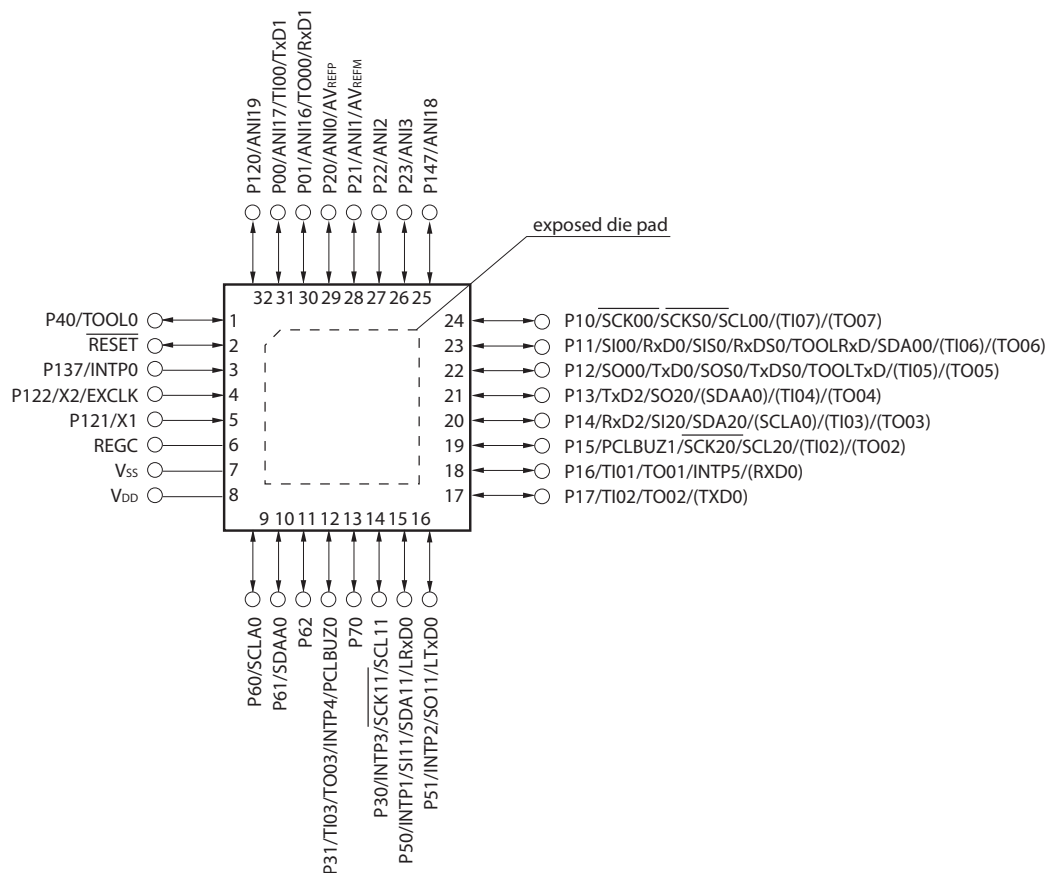
注意 REGCはコンデンサ (0.47 ~ 1 μ F) を介し、V_{SS}に接続してください。

備考 1. 端子名称は、1.4 端子名称を参照してください。

2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

1.3.3 32ピン製品

・32ピン・プラスチックWQFN（ファインピッチ）（5×5）



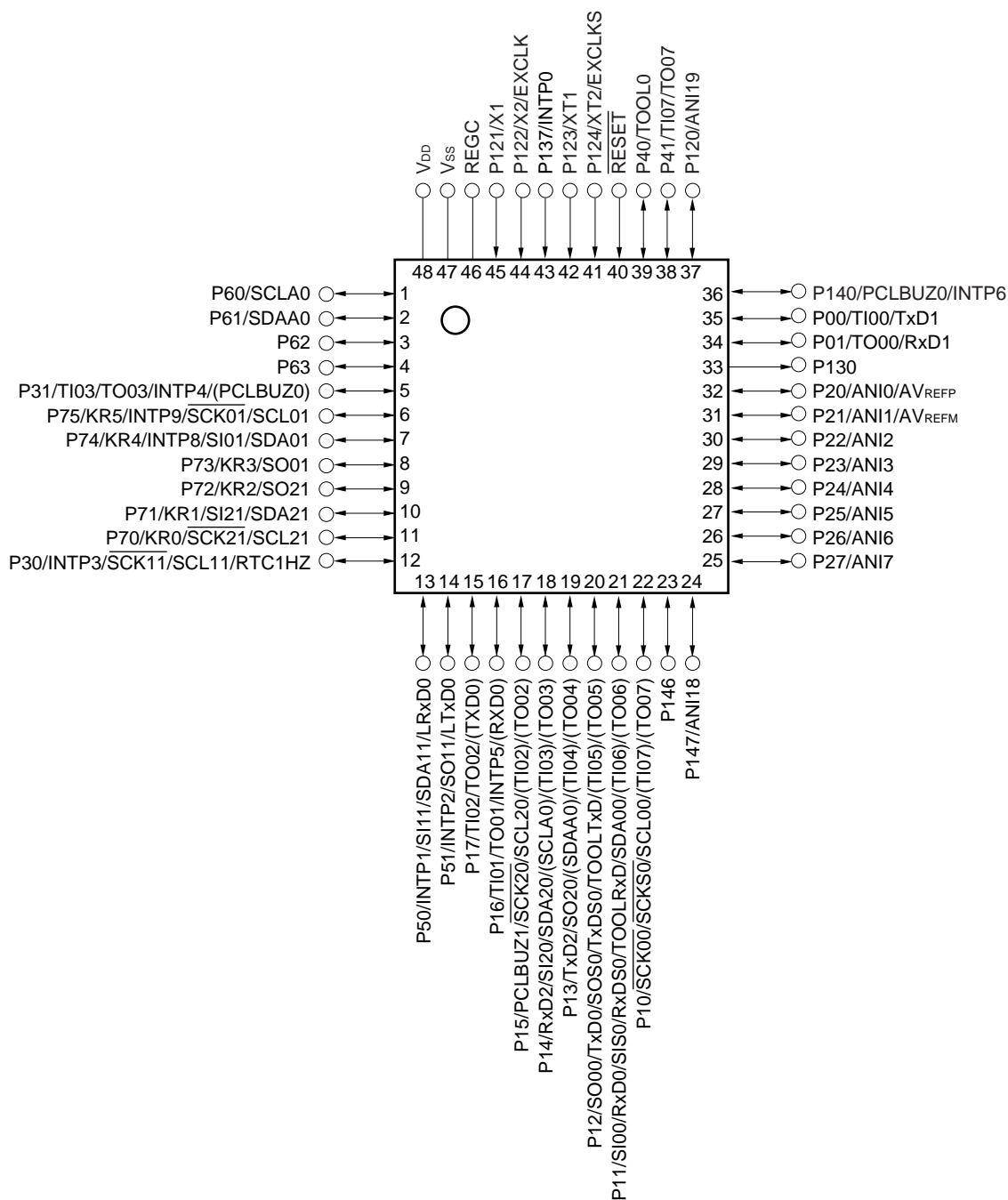
注意 REGCはコンデンサ（0.47～1 μF）を介し、V_{SS}に接続してください。

備考 1. 端子名称は、1.4 端子名称を参照してください。

2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。

1.3.4 48ピン製品

・48ピン・プラスチックLQFP（ファインピッチ）（7×7）

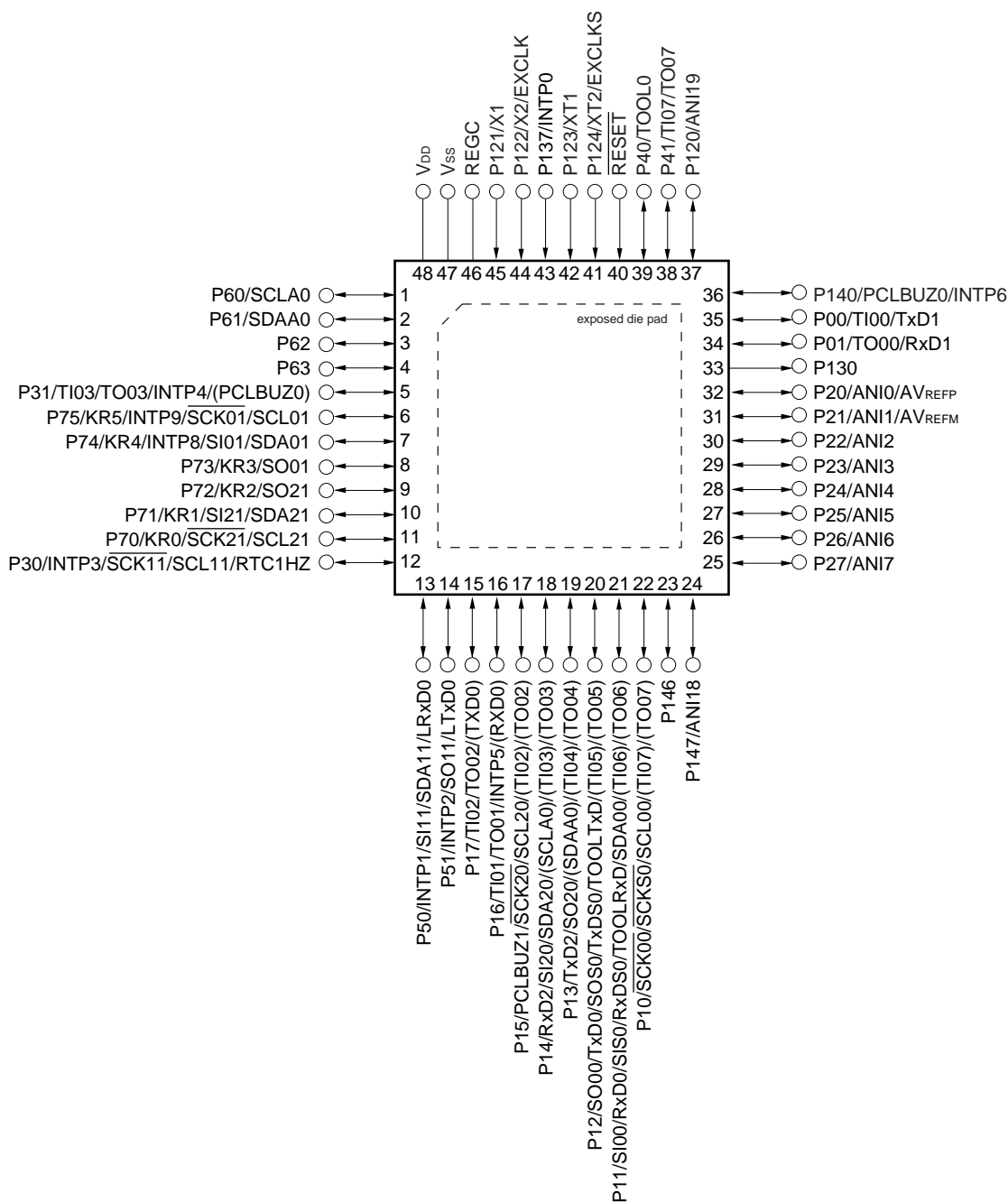


注意 REGCはコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考 1. 端子名称は、1.4 端子名称を参照してください。

2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。

・48ピン・プラスチックWQFN (7×7)



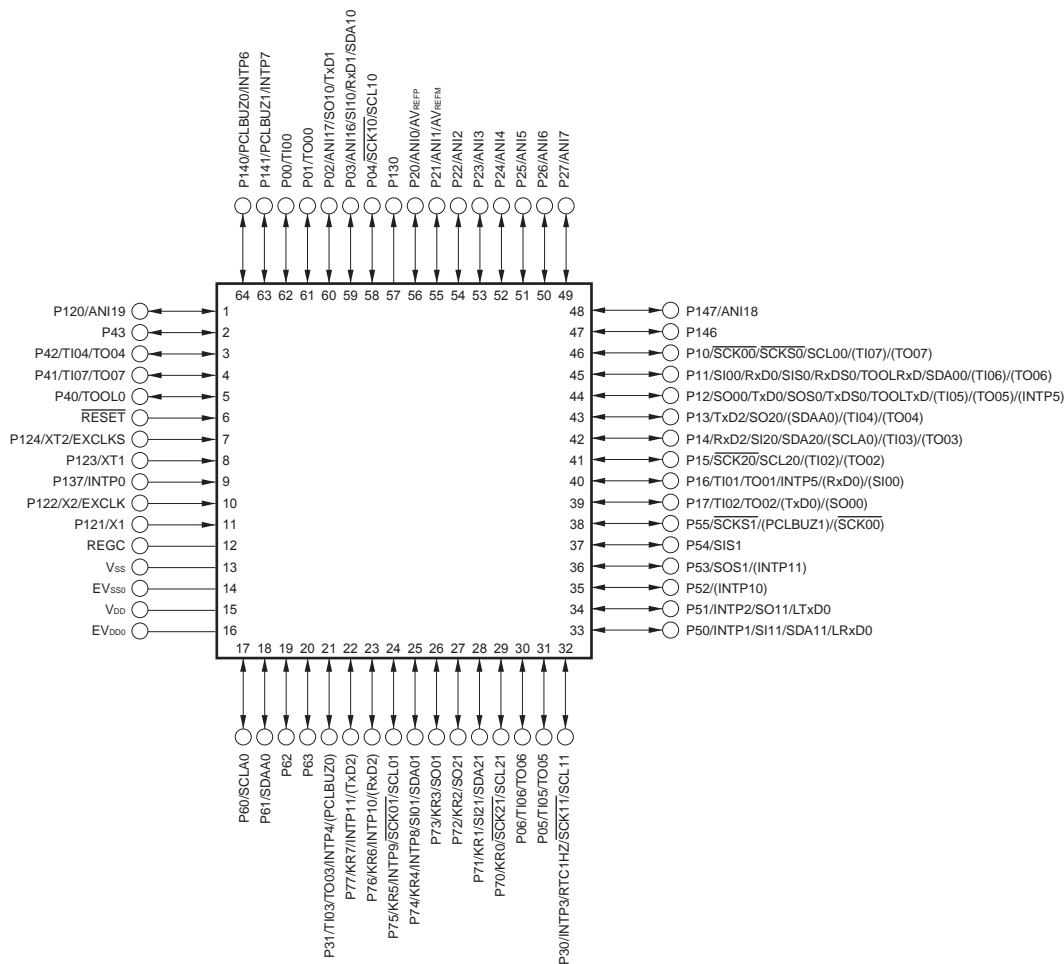
注意 REGCはコンデンサ (0.47 ~ 1 μ F) を介し、V_{SS}に接続してください。

備考 1. 端子名称は、1.4 端子名称を参照してください。

2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

1.3.5 64ピン製品

64ピン・プラスチックLQFP



注意 REGCはコンデンサ (0.47 ~ 1 μ F) を介し、V_{SS}に接続してください。

備考 1. 端子名称は、1.4 端子名称を参照してください。

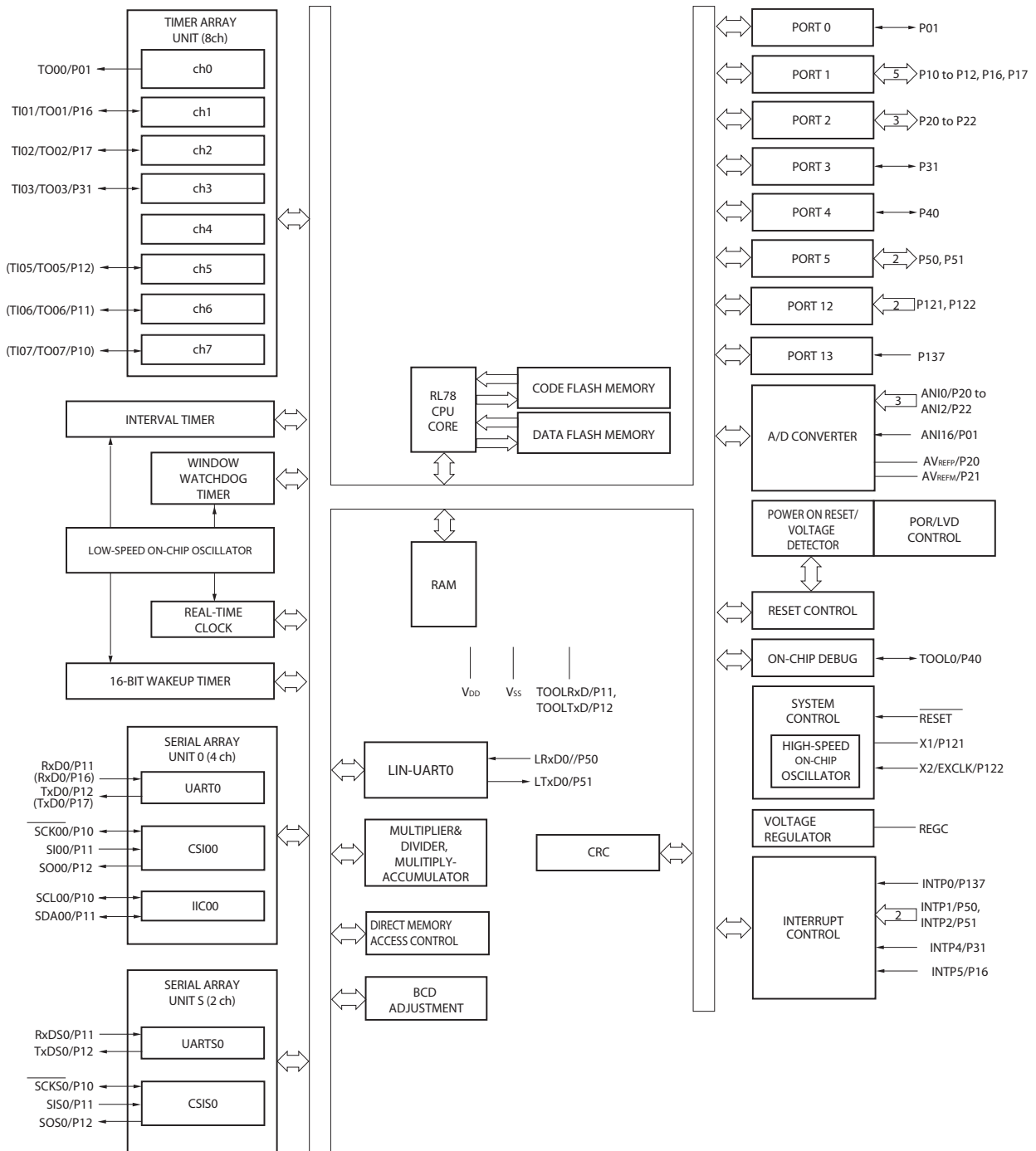
2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

1. 4 端子名称

ANI0-ANI7,	: Analog Input	PCLBUZ0, PCLBUZ1	: Programmable Clock Output/ Buzzer Output
ANI16-ANI19			
AVREFM	: Analog Reference Voltage Minus	REGC	: Regulator Capacitance
		$\overline{\text{RESET}}$: Reset
AVREFP	: Analog Reference Voltage Plus	RTC1HZ	: Real-time Clock Correction Clock (1 Hz) Output
EXCLK	: External Clock Input (Main System Clock)	RxD0-RxD2, RxDS0	: Receive Data
		$\overline{\text{SCK00}}, \overline{\text{SCK01}}, \overline{\text{SCK10}},$: Serial Clock Input/Output
EXCLKS	: External Clock Input (Sub System Clock)	$\overline{\text{SCK11}}, \overline{\text{SCK20}}, \overline{\text{SCK21}},$	
		SCKS0, SCKS1	
INTP0-INTP11,	: External Interrupt Input	SCL00, SCL01, SCL10,	: Serial Clock Input/Output
KR0-KR7	: Key Return	SCL11, SCL20, SCL21,	
LRxD0	: Receive Data	SCLA0	
LTxD0	: Transmit Data	SDA00, SDA01, SDA10,	: Serial Data Input/Output
P00-P06	: Port 0	SDA11, SDA20, SDA21,	
P10-P17	: Port 1	SDAA0	
P20-P27	: Port 2	SI00, SI01, SI10, SI11,	: Serial Data Input
P30, P31	: Port 3	SI20, SI21, SIS0, SIS1	
P40-P43	: Port 4	SO00, SO01, SO10,	: Serial Data Output
P50-P55	: Port 5	SO11, SO20, SO21,	
P60-P63	: Port 6	SOS0, SOS1	
P70-P77	: Port 7	TI00-TI07	: Timer Input
P120-P124	: Port 12	TO00-TO07	: Timer Output
P130, P137	: Port 13	TOOL0	: Data Input/Output for Tool
P140, P141, P146,	: Port 14	TOOLRxD, TOOLTxD	: Data Input/Output for External Device
P147		TxD0-TxD2, TxDS0	: Transmit Data
		EV _{DD} , V _{DD}	: Power Supply
		EV _{SS} , V _{SS}	: Ground
		X1, X2	: Crystal Oscillator (Main System Clock)
		XT1, XT2	: Crystal Oscillator (Subsystem Clock)

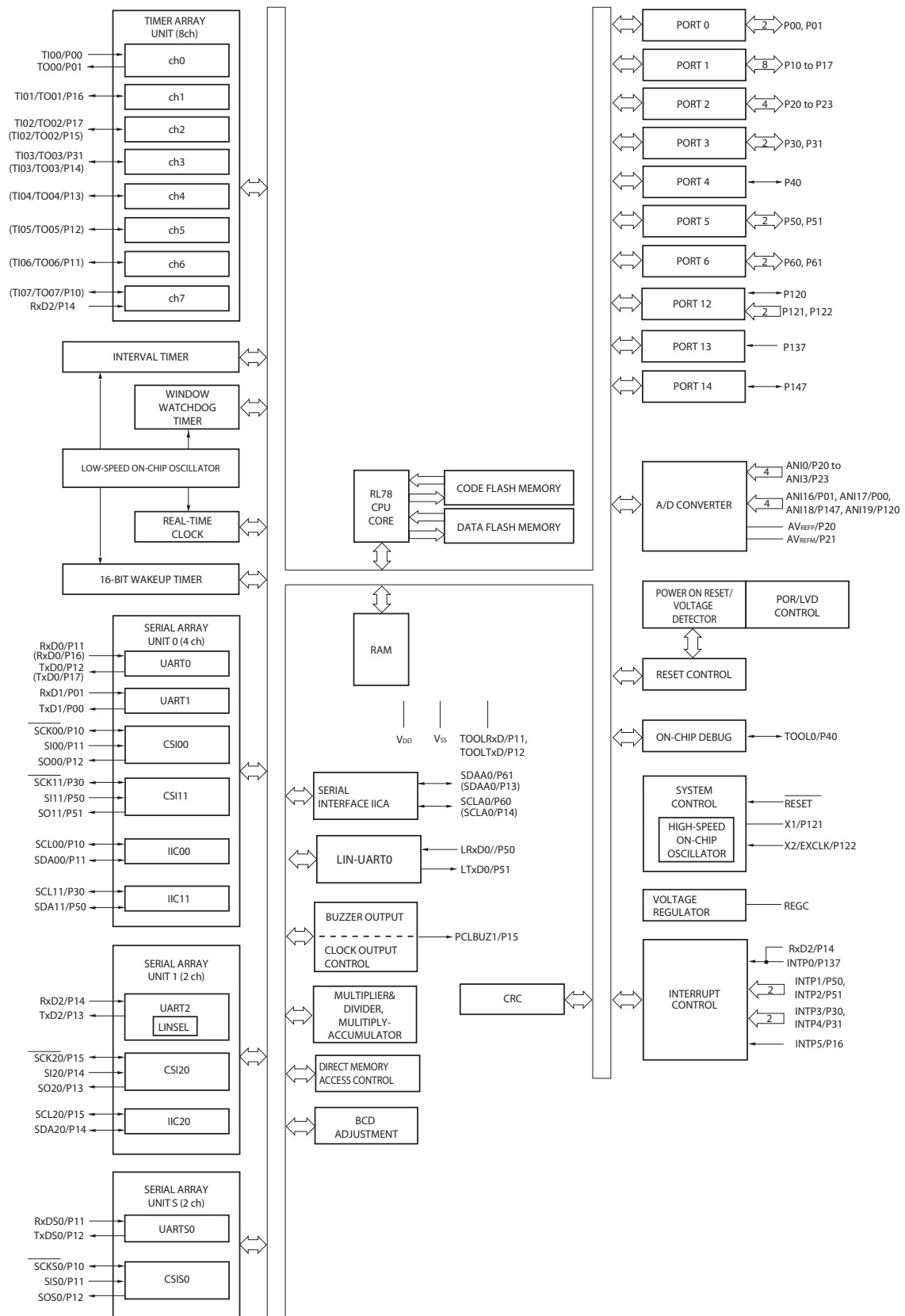
1.5 ブロック図

1.5.1 20ピン製品



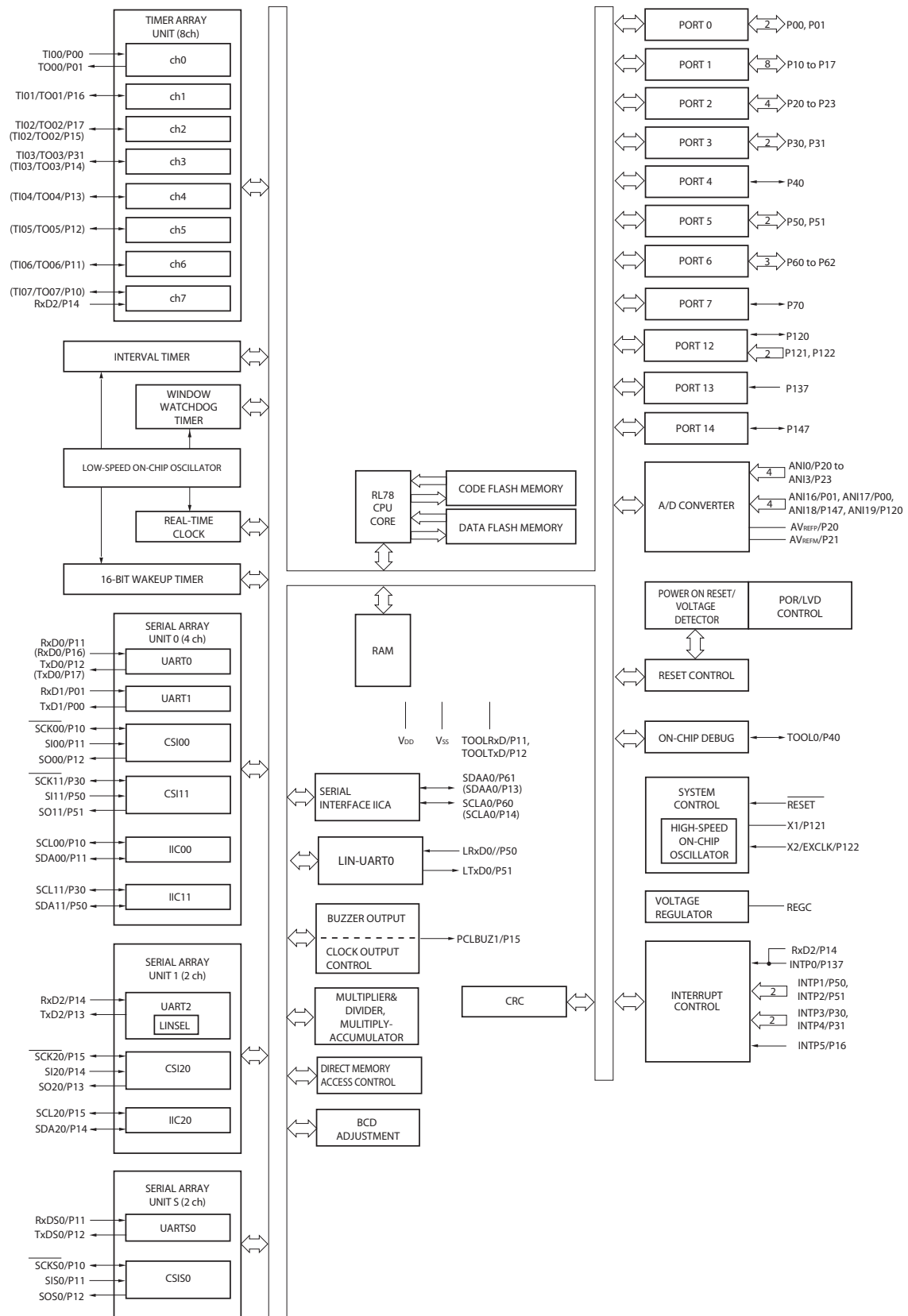
備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

1.5.2 30ピン製品



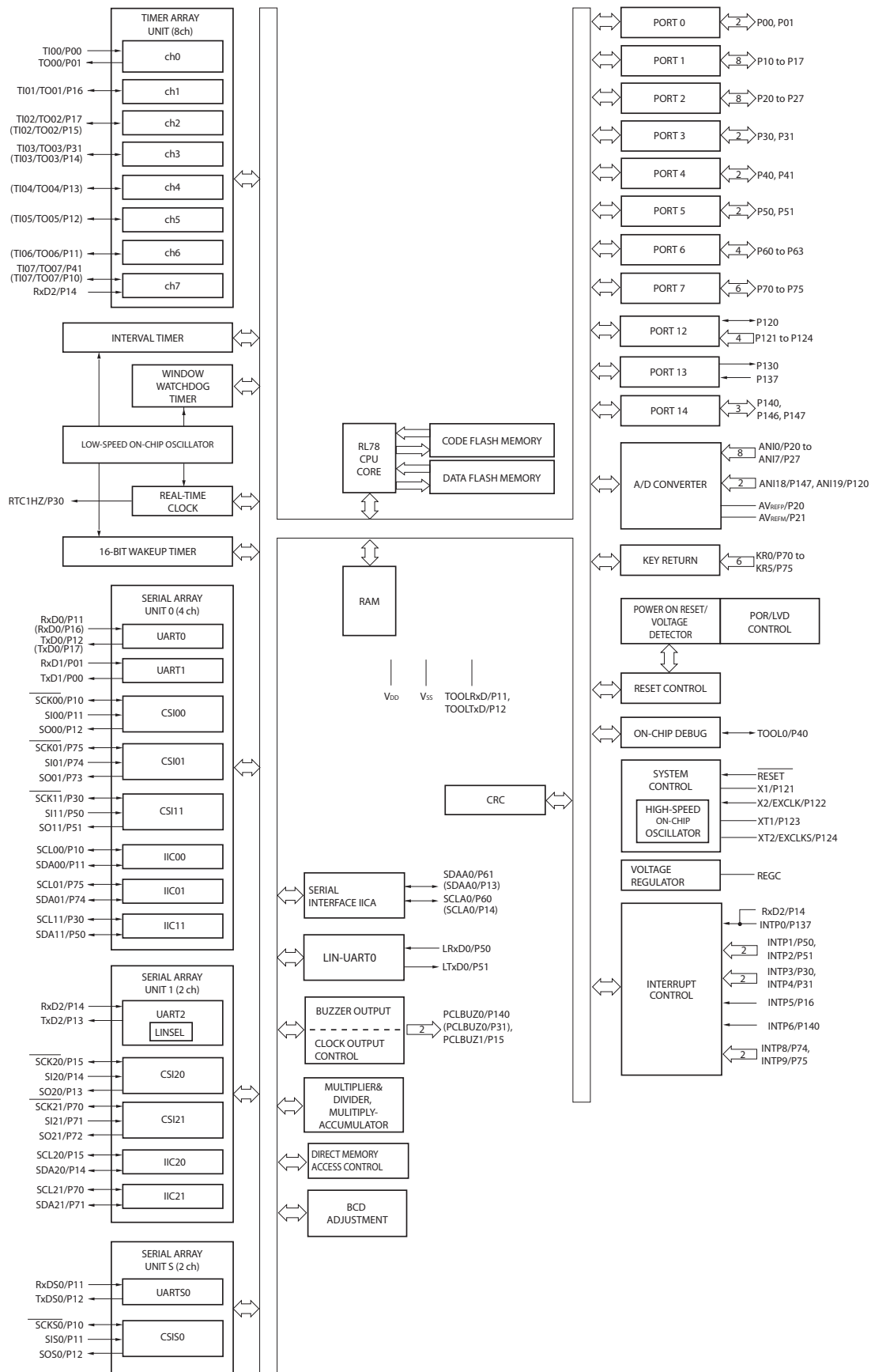
備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

1.5.3 32ピン製品



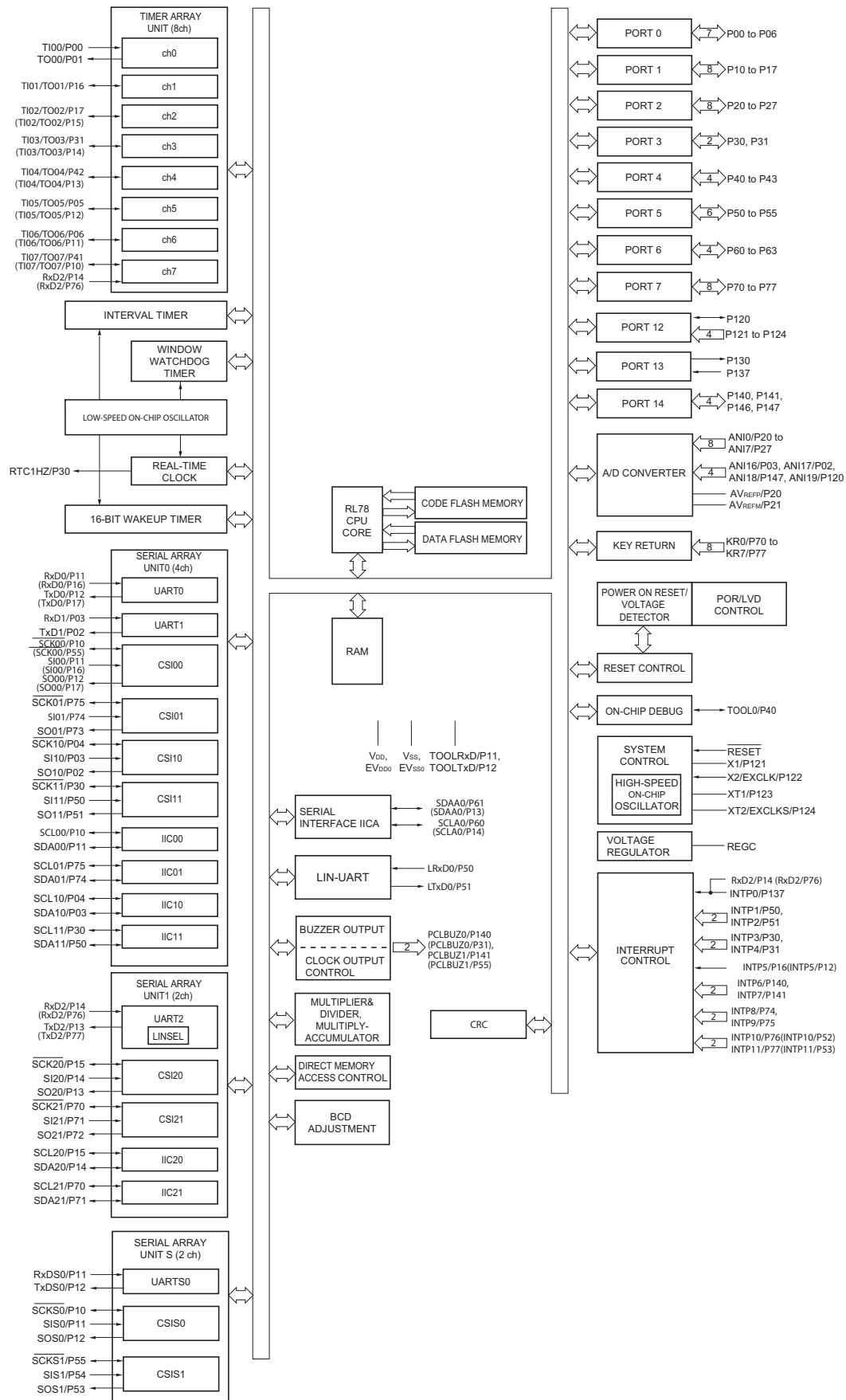
備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

1.5.4 48ピン製品



備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

1.5.5 64ピン製品



備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

1.6 機能概要

注意 周辺I/Oリダイレクション・レジスタ (PIOR) を00Hに設定時の機能概要です。

(1/2)

項 目		20ピン	30ピン	32ピン	48ピン	64ピン
		R5F1096x	R5F109Ax	R5F109Bx	R5F109Gx	R5F109Lx
コード・フラッシュ・メモリ		8-64 KB	16-64 KB	16-64 KB	16-64 KB	16-64 KB
データ・フラッシュ・メモリ		4 KB	4 KB	4 KB	4 KB	4 KB
RAM		0.5-4 KB ^{注1}	1-4 KB ^{注1}	1-4 KB ^{注1}	1-4 KB ^{注1}	1-4 KB ^{注1}
メモリ空間		1 Mバイト				
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 1~20 MHz : V _{DD} = 2.7~5.5 V, 1~8 MHz : V _{DD} = 1.8~2.7 V				
	高速オンチップ・オシレータ・クロック	HS (高速メイン) モード : 1~32MHz (V _{DD} = 2.7~5.5V) LS (低速メイン) モード : 1~8MHz (V _{DD} = 1.8~5.5V)				
サブシステム・クロック		-			XT1 (水晶) 発振 32.768 kHz : V _{DD} = 1.8~5.5 V	
低速オンチップ・オシレータ・クロック		15 kHz (TYP.) : V _{DD} = 1.8~5.5 V				
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間		0.03125 μs (高速オンチップ・オシレータ・クロック : f _H = 32 MHz動作時)				
		0.05 μs (高速システム・クロック : f _{MX} = 20 MHz動作時)				
		30.5 μs (サブシステム・クロック : f _{SUB} = 32.768 kHz動作時) ^{注3}				
命令セット		<ul style="list-style-type: none"> ・データ転送 (8/16ビット) ・加減/論理演算 (8/16ビット) ・乗算 (8ビット×8ビット) ・ローテート、パレル・シフト、ビット操作 (セット、リセット、テスト、ブール演算) など 				
I/Oポート	合計	16	26	28	44	58
	CMOS入出力	13	21	22	34	48
	CMOS入力	3	3	3	5	5
	CMOS出力	-	-	-	1	1
	N-ch O.D入出力 (6 V耐圧)	-	2	3	4	4
タイマ	16ビット・タイマ	8チャンネル				
	ウォッチドッグ・タイマ	1チャンネル				
	リアルタイム・クロック (RTC)	1チャンネル				
	インターバル・タイマ	1チャンネル				
	ウェイクアップ・タイマ	1チャンネル				
	タイマ出力	4本 (PWM出力 : 3本 ^{注2})			5本 (PWM出力 : 4本 ^{注2})	8本 (PWM出力 : 4本 ^{注2})
	RTC出力	-			1本 ・1 Hz (サブシステム・クロック : f _{SUB} = 32.768 kHz)	

注1. 4 Kバイトの場合, セルフ・プログラミング機能使用時は3 Kバイト

2. 設定によって出力数は変わります。

3. 48ピン, 64ピン製品のみ

(2/2)

項 目	20ピン	30ピン	32ピン	48ピン	64ピン
	R5F1096x	R5F109Ax	R5F109Bx	R5F109Gx	R5F109Lx
クロック出力/ ブザー出力	1本	2本	2本	2本	2本
	・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (周辺ハードウェア・クロック : $f_{MAIN} = 20$ MHz動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : $f_{SUB} = 32.768$ kHz動作時) ^{注3}				
8/10ビット分解能A/Dコンバータ	4チャンネル (V _{DD} 系 : 3ch) (EV _{DD} 系 : 1ch)	8チャンネル (V _{DD} 系 : 4ch) (EV _{DD} 系 : 4ch)	8チャンネル (V _{DD} 系 : 4ch) (EV _{DD} 系 : 4ch)	10チャンネル (V _{DD} 系 : 8ch) (EV _{DD} 系 : 2ch)	12チャンネル (V _{DD} 系 : 8ch) (EV _{DD} 系 : 4ch)
シリアル・ インタフェース	【20ピン製品】 ・ CSI : 1チャンネル / UART : 1チャンネル / 簡易I ² C : 1チャンネル ・ CSI : 1チャンネル / UART : 1チャンネル ・ LIN-UART : 1チャンネル 【30ピン, 32ピン製品】 ・ CSI : 2チャンネル / UART : 2チャンネル / 簡易I ² C : 2チャンネル ・ CSI : 1チャンネル / UART (LIN-bus対応) : 1チャンネル / 簡易I ² C : 1チャンネル ・ CSI (7-16ビット) : 1チャンネル / UART (7-9, 16ビット) : 1チャンネル ・ LIN-UART : 1チャンネル 【48ピン製品】 ・ CSI : 3チャンネル / UART : 2チャンネル / 簡易I ² C : 3チャンネル ・ CSI : 2チャンネル / UART (LIN-bus対応) : 1チャンネル / 簡易I ² C : 2チャンネル ・ CSI (7-16ビット) : 1チャンネル / UART (7-9, 16ビット) : 1チャンネル ・ LIN-UART : 1チャンネル 【64ピン製品】 ・ CSI : 4チャンネル / UART : 2チャンネル / 簡易I ² C : 4チャンネル ・ CSI : 2チャンネル / UART (LIN-bus対応) : 1チャンネル / 簡易I ² C : 2チャンネル ・ CSI (7-16ビット) : 2チャンネル / UART (7-9, 16ビット) : 1チャンネル ・ LIN-UART : 1チャンネル				
	I ² Cバス	-	1チャンネル		
乗除算・積和演算器	乗算 : 16ビット×16ビット = 32ビット (符号付 / 符号なし) 除算 : 32ビット÷32ビット = 32ビット (符号なし) 積和演算 : 16ビット×16ビット + 32ビット = 32ビット (符号付 / 符号なし)				
DMAコントローラ	2チャンネル				
ベクタ割り 込み要因	内部	28	34	34	34 ^{注1}
	外部	5	6	6	10 ^{注1}
キー割り込み	-			6本	8本
リセット	・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・リセットによる内部リセット ・ 電圧検出回路による内部リセット ・ 不正命令の実行による内部リセット ^{注2} ・ RAMパリティ・エラーによる内部リセット ・ 不正メモリ・アクセスによる内部リセット				
パワーオン・リセット回路	・ パワーオン・リセット : 1.51±0.03V ・ パワーダウン・リセット : 1.50±0.03V				
電圧検出回路	・ 立ち上がり : 1.88V ~ 4.06V (12段階) ・ 立ち下がり : 1.84V ~ 3.98V (12段階)				
オンチップ・デバッグ機能	あり				
電源電圧	V _{DD} = 1.8 ~ 5.5 V (Jバージョン) / V _{DD} = 2.7 ~ 5.5 V (Kバージョン)				
動作周囲温度	T _A = - 40 ~ + 85 (Jバージョン) / T _A = - 40 ~ + 125 (Kバージョン)				

(注は次ページにあります。)

- 注1. INTP8とINTLR, INTP9とINTLSは、それぞれ内部と外部両方で1要因ずつカウントしています。
2. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。
 3. 48ピン, 64ピン製品のみ

第2章 端子機能

2.1 端子機能一覧

2.1.1 20ピン製品

機能名称	入出力	機能	リセット時	兼用機能
P01	入出力	ポート0。 1ビット入出力ポート。 P01の入力はTTL入力バッファに設定可能。 P01はアナログ入力に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI16/TO00
P10	入出力	ポート1。 5ビット入出力ポート。 P16, P17の入力はTTL入力バッファに設定可能。 P10-P12, P17の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/SCKS0/ SCL00/(TI07)/(TO07)
P11				SI00/RxD0/ SIS0/RxDS0/ TOOLRxD/SDA00/ (TI06)/(TO06)
P12				SO00/TxD0/SOS0/ TxDS0/TOOLTxD/ (TI05)/(TO05)
P16				TI01/TO01/INTP5/ (RxD0)
P17				TI02/TO02/(TxD0)
P20	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力ポート	ANI0/AVREFP
P21				ANI1/AVREFM
P22				ANI2
P31	入出力	ポート3。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI03/TO03/INTP4 PCLBUZ0
P40	入出力	ポート4。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P50	入出力	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1/LRxD0
P51				INTP2/LTxD0
P121	入力	ポート12。 2ビット入力ポート。	入力ポート	X1
P122				X2/EXCLK
P137	入力	ポート13。 1ビット入力専用ポート。	入力ポート	INTP0

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

2.1.2 30ピン製品

(1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 P00, P01はアナログ入力に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI17/TI00/TxD1
P01				ANI16/TO00/RxD1
P10	入出力	ポート1。 8ビット入出力ポート。 P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/SCKS0/ SCL00/(TI07)/(TO07)
P11				SI00/RxD0/ SIS0/RxDS0/ TOOLRxD/SDA00/ (TI06)/(TO06)
P12				SO00/TxD0/SOS0/ TxDS0/TOOLTxD/ (TI05)/(TO05)
P13				TxD2/SO20/(SDAA0)/ (TI04)/(TO04)
P14				RxD2/SI20/SDA20/ (SCLA0)/(TI03)/ (TO03)
P15				PCLBUZ1/SCK20/ SCL20/(TI02)/(TO02)
P16				TI01/TO01/INTP5/ (RxD0)
P17				TI02/TO02/(TxD0)
P20	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	アナログ 入力ポート	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2
P23				ANI3
P30	入出力	ポート3。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/SCK11/ SCL11
P31				TI03/TO03/INTP4
P40	入出力	ポート4。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P50	入出力	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1/SI11/SDA11/ LRxD0
P51				INTP2/SO11/ LTxD0

備考 上図の () 内の機能は, 周辺I/Oリダイレクション・レジスタ (PIOR) の設定により, 割り当て可能です。

(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P60	入出力	ポート6。 2ビット入出力ポート。 N-chオープン・ドレイン出力（6V耐圧）。 1ビット単位で入力/出力の指定可能。	入力ポート	SCLA0
P61				SDAA0
P120	入出力	ポート12。 1ビット入出力ポートと2ビット入力ポート。 P120はアナログ入力に設定可能。 P120のみ，入力/出力の指定が可能。 P120のみ，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI19
P121	入力		入力ポート	X1
P122			X2/EXCLK	
P137	入力	ポート13。 1ビット入力専用ポート。	入力ポート	INTP0
P147	入出力	ポート14。 1ビット入出力ポート。 P147はアナログ入力に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI18

2.1.3 32ピン製品

(1/2)

機能名称	入出力	機 能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P00, P01はアナログ入力に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI17/TI00/TxD1
P01				ANI16/TO00/RxD1
P10	入出力	ポート1。 8ビット入出力ポート。 P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/ SCKS0 / SCL00/(TI07)/ (TO07)
P11				SI00/RxD0/ SIS0/RxDS0/ TOOLRxD/SDA00/ (TI06)/(TO06)
P12				SO00/TxD0/SOS0/ TxDS0/TOOLTxD/ (TI05)/(TO05)
P13				TxD2/SO20/(SDAA0)/ (TI04)/(TO04)
P14				RxD2/SI20/SDA20/ (SCLA0)/(TI03)/ (TO03)
P15				PCLBUZ1/ SCK20 / SCL20/(TI02)/(TO02)
P16				TI01/TO01/INTP5/ (RxD0)
P17				TI02/TO02/(TxD0)
P20	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	アナログ 入力ポート	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2
P23				ANI3
P30	入出力	ポート3。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/SCK11/ SCL11
P31				TI03/TO03/INTP4
P40	入出力	ポート4。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P50	入出力	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1/SI11/SDA11/ LRxD0
P51				INTP2/SO11/ LTxD0

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P60	入出力	ポート6。 3ビット入出力ポート。 N-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCLA0
P61				SDAA0
P62				-
P70	入出力	ポート7。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	-
P120	入出力	ポート12。 1ビット入出力ポートと2ビット入力ポート。 P120はアナログ入力に設定可能。 P120のみ、入力/出力の指定が可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI19
P121	入力		入力ポート	X1
P122				X2/EXCLK
P137	入力	ポート13。 1ビット入力専用ポート。	入力ポート	INTP0
P147	入出力	ポート14。 1ビット入出力ポート。 P147はアナログ入力に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI18

2.1.4 48ピン製品

(1/2)

機能名称	入出力	機 能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V_{DD} 耐圧)に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI00/TxD1
P01				TO00/RxD1
P10	入出力	ポート1。 8ビット入出力ポート。 P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/SCKS0/ SCL00/(TI07)/(TO07)
P11				SI00/RxD0/ SIS0/RxDS0/ TOOLRxD/SDA00/ (TI06)/(TO06)
P12				SO00/TxD0/SOS0/ TxDS0/TOOLTxD/ (TI05)/(TO05)
P13				TxD2/SO20/(SDAA0)/ (TI04)/(TO04)
P14				RxD2/SI20/SDA20/ (SCLA0)/(TI03)/ (TO03)
P15				PCLBUZ1/SCK20/ SCL20/(TI02)/ (TO02)
P16				TI01/TO01/INTP5/ (RxD0)
P17				TI02/TO02/(TxD0)
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	アナログ 入力ポート	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2
P23				ANI3
P24				ANI4
P25				ANI5
P26				ANI6
P27				ANI7
P30	入出力	ポート3。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/SCK11/ SCL11/RTC1HZ
P31				TI03/TO03/INTP4/ (PCLBUZ0)
P40	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TI07/TO07

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P50	入出力	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力(V_{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1/SI11/SDA11/ LRxD0
P51				INTP2/SO11/ LTxD0
P60	入出力	ポート6。 4ビット入出力ポート。 N-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCLA0
P61				SDAA0
P62				-
P63				-
P70	入出力	ポート7。 6ビット入出力ポート。 P71, P74の出力はN-chオープン・ドレイン出力(V_{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0/SCK21/SCL21
P71				KR1/SI21/SDA21
P72				KR2/SO21
P73				KR3/SO01
P74				KR4/INTP8/SI01/ SDA01
P75				KR5/INTP9/SCK01/ SCL01
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120はアナログ入力に設定可能。 P120のみ、入力/出力の指定が可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI19
P121	入力		入力ポート	X1
P122			X2/EXCLK	
P123			XT1	
P124			XT2/EXCLKS	
P130	出力	ポート13。	出力ポート	-
P137	入力	1ビット出力専用ポートと1ビット入力専用ポート。	入力ポート	INTP0
P140	入出力	ポート14。 3ビット入出力ポート。 P147はアナログ入力に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0/INTP6
P146				-
P147			アナログ 入力ポート	ANI18

2.1.5 64ピン製品

(1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 7ビット入出力ポート。 P01, P03, P04の入力はTTL入力バッファに設定可能。 P00, P02, P03, P04の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TI00
P01				TO00
P02				ANI17/SO10/TxD1
P03				ANI16/SI10/RxD1/SDA10
P04				SCK10/SCL10
P05				TI05/TO05
P06				TI06/TO06
P10	入出力	ポート1。 8ビット入出力ポート。 P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/SCL00/SCKS0/ (TI07)/(TO07)
P11				SI00/RxD0/SIS0/RxDS0/ TOOLRxD/SDA00/ (TI06)/(TO06)
P12				SO00/TxD0/SOS0/TxDS0/ TOOLTxD/(INTP5)/(TI05)/ (TO05)
P13				TxD2/SO20/(SDAA0)/(TI04)/ (TO04)
P14				RxD2/SI20/SDA20/(SCLA0)/ (TI03)/(TO03)
P15				SCK20/SCL20/(TI02)/(TO02)
P16				TI01/TO01/INTP5/(RxD0)/(SI00)
P17				TI02/TO02/(TxD0)/(SO00)
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力ポート	ANI0/AV _{REFP}
P21				ANI1/AV _{REFM}
P22				ANI2
P23				ANI3
P24				ANI4
P25				ANI5
P26				ANI6
P27				ANI7
P30	入出力	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/SCK11/SCL11/RTC1HZ
P31				TI03/TO03/INTP4/(PCLBUZ0)
P40	入出力	ポート4。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TI07/TO07
P42				TI04/TO04
P43				-

備考 上図の () 内の機能は, 周辺I/Oリダイレクション・レジスタ (PIOR) の設定により, 割り当て可能です。

(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P50	入出力	ポート5。 6ビット入出力ポート。 P55の入力はTTL入力バッファに設定可能。 P50, P55の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗 を使用可能。	入力ポート	INTP1/SI11/SDA11/LRxD0
P51				INTP2/SO11/LTxD0
P52				(INTP10)
P53				SOS1/(INTP11)
P54				SIS1
P55				SCKS1/(PCLBUZ1)/(SCK00)
P60	入出力	ポート6。 4ビット入出力ポート。 N-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCLA0
P61				SDAA0
P62				-
P63				-
P70	入出力	ポート7。 8ビット入出力ポート。 P71, P74の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗 を使用可能。	入力ポート	KR0/SCK21/SCL21
P71				KR1/SI21/SDA21
P72				KR2/SO21
P73				KR3/SO01
P74				KR4/INTP8/SI01/SDA01
P75				KR5/INTP9/SCK01/SCL01
P76				KR6/INTP10/(RxD2)
P77				KR7/INTP11/(TxD2)
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120はアナログ入力に設定可能。 P120のみ,入力/出力の指定が可能。 P120のみ,ソフトウェアの設定により,内蔵プ ルアップ抵抗を使用可能。	アナログ 入力ポート	ANI19
P121	入力		入力ポート	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P130	出力	ポート13。 1ビット出力専用ポートと1ビット入力専用ポ ート。	出力ポート	-
P137	入力		入力ポート	INTP0
P140	入出力	ポート14。 4ビット入出力ポート。 P147はアナログ入力に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗 を使用可能。	入力ポート	PCLBUZ0/INTP6
P141				PCLBUZ1/INTP7
P146				-
P147			アナログ 入力ポート	ANI18

備考 上図の()内の機能は,周辺I/Oリダイレクション・レジスタ(PIOR)の設定により,割り当て可能です。

2.1.6 製品別搭載端子（ポート以外の端子）

(1/3)

機能名称	入出力	機能	64-pin	48-pin	32-pin	30-pin	20-pin		
ANI0	入力	A/Dコンバータのアナログ入力							
ANI1									
ANI2									
ANI3								-	
ANI4							-	-	-
ANI5							-	-	-
ANI6							-	-	-
ANI7							-	-	-
ANI16						-			
ANI17						-			-
ANI18									-
ANI19									-
INTP0			入力	外部割り込み入力					
INTP1									
INTP2									
INTP3								-	
INTP4									
INTP5									
INTP6							-	-	-
INTP7						-	-	-	-
INTP8							-	-	-
INTP9							-	-	-
INTP10						-	-	-	-
INTP11						-	-	-	-
KR0	入力	キー割り込み入力			-	-	-		
KR1					-	-	-		
KR2						-	-	-	
KR3						-	-	-	
KR4						-	-	-	
KR5						-	-	-	
KR6						-	-	-	
KR7						-	-	-	
LRxD0	入力	LIN-UART0のシリアル・データ入力							
LTxD0	出力	LIN-UART0のシリアル・データ出力							
PCLBUZ0	出力	クロック出力 / ブザー出力							
PCLBUZ1							-		
REGC	-	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1 μ F)を介し、V _{SS} に接続してください。							
RESET	入力	外部リセット入力							
RxD0	入力	UART0のシリアル・データ入力							
RxD1		UART1のシリアル・データ入力					-		
RxD2		UART2のシリアル・データ入力					-		
RxDS0		UARTS0のシリアル・データ入力							

(2/3)

機能名称	入出力	機能	64-pin	48-pin	32-pin	30-pin	20-pin	
SCK00	入出力	CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1のクロック入力 / 出力						
SCK01					-	-	-	
SCK10				-	-	-	-	
SCK11							-	
SCK20							-	
SCK21						-	-	-
SCKS0								
SCKS1						-	-	-
SCLA0	入出力	I ² Cのクロック入力 / 出力					-	
SCL00	出力	簡易I ² Cのクロック出力						
SCL01					-	-	-	
SCL10				-	-	-	-	
SCL11							-	
SCL20							-	
SCL21						-	-	-
SDAA0	入出力	I ² Cのシリアル・データ入出力					-	
SDA00	入出力	簡易I ² Cのシリアル・データ入出力						
SDA01					-	-	-	
SDA10				-	-	-	-	
SDA11							-	
SDA20							-	
SDA21						-	-	-
SI00	入力	CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1のシリアル・データ入力						
SI01					-	-	-	
SI10				-	-	-	-	
SI11							-	
SI20							-	
SI21						-	-	-
SIS0								
SIS1						-	-	-
SO00	出力	CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1のシリアル・データ出力						
SO01					-	-	-	
SO10				-	-	-	-	
SO11							-	
SO20							-	
SO21						-	-	-
SOS0								
SOS1						-	-	-
TI00	入力	16ビット・タイマ00への外部カウント・クロック入力					-	
TI01		16ビット・タイマ01への外部カウント・クロック入力						
TI02		16ビット・タイマ02への外部カウント・クロック入力						
TI03		16ビット・タイマ03への外部カウント・クロック入力						
TI04		16ビット・タイマ04への外部カウント・クロック入力		()	()	()	-	
TI05		16ビット・タイマ05への外部カウント・クロック入力		()	()	()	()	
TI06		16ビット・タイマ06への外部カウント・クロック入力		()	()	()	()	
TI07		16ビット・タイマ07への外部カウント・クロック入力			()	()	()	

備考 上図の()は、周辺I/Oリダイレクション・レジスタ(PIOR)の対応ビットに1を設定した場合のみ使用可能になります。

(3/3)

機能名称	入出力	機能	64-pin	48-pin	32-pin	30-pin	20-pin
TO00	出力	16ビット・タイマ00出力					
TO01		16ビット・タイマ01出力					
TO02		16ビット・タイマ02出力					
TO03		16ビット・タイマ03出力					
TO04		16ビット・タイマ04出力		()	()	()	-
TO05		16ビット・タイマ05出力			()	()	()
TO06		16ビット・タイマ06出力			()	()	()
TO07		16ビット・タイマ07出力				()	()
RTC1HZ	出力	リアルタイム・クロックの補正クロック			-	-	-
TxD0	出力	UART0のシリアル・データ出力					
TxD1		UART1のシリアル・データ出力					-
TxD2		UART2のシリアル・データ出力					-
TxDS0		UARTS0のシリアル・データ出力					
X1	入力	メイン・システム・クロック用発振子接続					
X2	出力						
EXCLK	入力	メイン・システム・クロック用外部クロック入力					
EXCLKS	入力	サブ・クロック用外部クロック入力			-	-	-
XT1	入力	サブシステム・クロック用発振子接続			-	-	-
XT2	出力				-	-	-
V _{DD}	-	すべての端子の正電源					
EV _{DD}	-	上記のV _{DD} 接続端子以外の正電源		-	-	-	-
AV _{REFP}	入力	A/Dコンバータの基準電位(+側)入力					
AV _{REFM}	入力	A/Dコンバータの基準電位(-側)入力					
V _{SS}	-	すべての端子のグランド電位					
EV _{SS}	-	上記のV _{SS} 接続端子以外のグランド電位		-	-	-	-
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART受信端子					
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART送信端子					
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力					

備考 上図の()は、周辺I/Oリダイレクション・レジスタ(PIOR)の対応ビットに1を設定した場合のみ使用可能になります。

2.2 端子機能の説明

備考 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.2.1 P00-P06 (Port 0)

入出力ポートです。入出力ポートのほかにタイマの入出力, A/Dコンバータのアナログ入力, シリアル・インタフェースのデータ入出力機能があります。

P01, P03, P04端子の入力は, ポート入力モード・レジスタ0 (PIM0) の設定により, 1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P00, P02-P04端子の出力は, ポート出力モード・レジスタ0 (POM0) の設定により, 1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD} 耐圧) に指定できます。

20ピン, 30ピン, 32ピン, 48ピン製品では, ポート・モード・コントロール・レジスタ0 (PMC0) の設定により, 1ビット単位でデジタル入出力/アナログ入力の設定が必要です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力, A/Dコンバータのアナログ入力, シリアル・インタフェースのデータ入出力, クロック入出力として機能します。

(a) ANI16, ANI17

A/Dコンバータのアナログ入力端子 (ANI16, ANI17) として機能します。アナログ入力端子として使用する場合, 12.10 (5) **アナログ入力 (ANIn) 端子**を参照してください。

(b) TI00, TI05, TI06

16ビット・タイマ00, 05, 06への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(c) TO00, TO05, TO06

16ビット・タイマ00, 05, 06のタイマ出力端子です。

(d) TxD1

シリアル・インタフェースUART1のシリアル・データ出力端子です。

(e) RxD1

シリアル・インタフェースUART1のシリアル・データ入出力端子です。

(f) SCK10

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(g) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(h) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(i) SDA10

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(j) SCL10

シリアル・インタフェース簡易I²Cのシリアル・クロック出力端子です。

2.2.2 P10-P17 (Port 1)

入出力ポートです。入出力ポートのほかに、シリアル・インタフェースのデータ入出力、クロック入出力、プログラミングUARTの入出力、タイマの入出力、クロック/ブザー出力、外部割り込み要求入力機能があります。

P13-P17端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P10-P15, P17端子の出力は、ポート出力モード・レジスタ1 (POM1) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD}耐圧) に指定できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、プログラミングUARTの入出力、タイマの入出力、クロック/ブザー出力、外部割り込み要求入力として機能します。

(a) INT5

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TxD0, TxD2, TxDS0

シリアル・インタフェースUART0, UART2, UARTS0のシリアル・データ出力端子です。

(c) RxD0, RxD2, RxDS0

シリアル・インタフェースUART0, UART2, UARTS0のシリアル・データ入力端子です。

(d) $\overline{\text{SCK00}}$, $\overline{\text{SCK20}}$, $\overline{\text{SCKS0}}$

シリアル・インタフェースCSI00, CSI20, CSIS0のシリアル・クロック入出力端子です。

(e) SI00, SI20, SIS0

シリアル・インタフェースCSI00, CSI20, CSIS0のシリアル・データ入力端子です。

(f) SO00, SO20, SOS0

シリアル・インタフェースCSI00, CSI20, CSIS0のシリアル・データ出力端子です。

(g) SDA00, SDA20

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(h) SCL00, SCL20

シリアル・インタフェース簡易I²Cのシリアル・クロック出力端子です。

(i) TI01, TI02

16ビット・タイマ01, 02への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(j) TO01, TO02

16ビット・タイマ01, 02のタイマ出力端子です。

(k) TOOLTxD

フラッシュ・メモリ・プログラミング時に使用する, 外部デバイス接続用のUARTのシリアル・データ出力端子です。

(l) TOOLRxD

フラッシュ・メモリ・プログラミング時に使用する, 外部デバイス接続用のUARTのシリアル・データ入力端子です。

2.2.3 P20-P27 (Port 2)

入出力ポートです。入出力ポートのほかに, A/Dコンバータのアナログ入力, A/Dコンバータの基準電位入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力, A/Dコンバータの基準電位入力として機能します。

(a) ANI0-ANI7

A/Dコンバータのアナログ入力端子(ANI0-ANI7)として機能します。12. 10(5)アナログ入力(ANIn)端子を参照してください。

(b) AV_{REFP}

A/Dコンバータの基準電位 (+ 側) 入力端子です。

(c) AV_{REFM}

A/Dコンバータの基準電位 (- 側) 入力端子です。

2. 2. 4 P30, P31 (Port 3)

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、リアルタイム・クロックの補正クロック出力、シリアル・インタフェースのクロック入出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3(PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、リアルタイム・クロックの補正クロック出力、シリアル・インタフェースのクロック入出力、タイマの入出力として機能します。

(a) INTP3, INTP4

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) $\overline{\text{SCK11}}$

シリアル・インタフェースCSI11のシリアル・クロック入出力端子です。

(c) SCL11

シリアル・インタフェース簡易I²Cのシリアル・クロック出力端子です。

(d) TI03

16ビット・タイマ03への外部カウント・クロック / キャプチャ・トリガ入力端子です。

(e) TO03

16ビット・タイマ03のタイマ出力端子です。

(f) RTC1HZ

リアルタイム・クロックの補正クロック (1 Hz) 出力端子です。

2.2.5 P40-P43 (Port 4)

入出力ポートです。入出力ポートのほかに、フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

P40はオンチップ・デバッグ許可 (オプション・バイトで設定) の場合は、必ず外部プルアップ抵抗を接続してください。

(2) コントロール・モード

フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力、タイマの入出力機能として機能します。

(a) TI04, TI07

16ビット・タイマ04, 07への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(b) TO04, TO07

16ビット・タイマ04, 07のタイマ出力端子です。

(c) TOOL0

フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力端子です。

オンチップ・デバッグ許可の場合は必ず外部でプルアップしてください (プルダウン禁止)。

注意1. リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-1 リセット解除時のP40/TOOL0との関係

P40/TOOL0	動作モード
V _{DD}	通常動作モード
0V	フラッシュ・メモリ・プログラミング・モード

詳細は、27.5 プログラミング方法を参照してください。

2.2.6 P50-P55 (Port 5)

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力機能があります。

P50, P55端子の出力は、ポート出力モード・レジスタ5 (POM5) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD}耐圧) に指定できます。

P55端子の入力は、ポート入力モード・レジスタ5 (PIM) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力として機能します。

(a) INTP1, INTP2

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) SI11

シリアル・インタフェースCSI11のシリアル・データ入力端子です。

(c) SO11

シリアル・インタフェースCSI11のシリアル・データ出力端子です。

(d) SDA11

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(e) LRxD0

シリアル・インタフェースLIN-UART0のシリアル・データ入力端子です。

(f) LTxD0

シリアル・インタフェースLIN-UART0のシリアル・データ出力端子です。

(g) SOS1

シリアル・インタフェースCSIS1のシリアル・データ出力端子です。

(h) SIS1

シリアル・インタフェースCSIS1のシリアル・データ入力端子です。

(i) SCKS1

シリアル・インタフェースCSIS1のクロック入出力端子です。

2.2.7 P60-P63 (Port 6)

入出力ポートです。入出力ポートのほかに、シリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P60-P63端子の出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SCLA0

シリアル・インタフェースIICAのシリアル・クロック出力端子です。

(b) SDAA0

シリアル・インタフェースIICAのシリアル・データ入出力端子です。

2.2.8 P70-P77 (Port 7)

入出力ポートです。入出力ポートのほかにキー割り込み入力、シリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力機能があります。

P71, P74端子の出力は、ポート出力モード・レジスタ7 (POM7) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD} 耐圧) に指定できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み入力端子、シリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力として機能します。

(a) INTP8-INTP11

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) KR0-KR7

キー割り込み入力端子です。

(c) SI01, SI21

シリアル・インタフェースCSI01, CSI21のシリアル・データ入力端子です。

(d) SO01, SO21

シリアル・インタフェースCSI01, CSI21のシリアル・データ出力端子です。

(e) $\overline{\text{SCK01}}$, $\overline{\text{SCK21}}$

シリアル・インタフェースCSI01, CSI21のシリアル・クロック入出力端子です。

(f) SCL01, SCL21

シリアル・インタフェース簡易I²Cのシリアル・クロック出力端子です。

(g) SDA01, SDA21

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

2.2.9 P120-P124 (Port 12)

P120は入出力ポートです。P121-P124は入力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力, メイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力, サブシステム・クロック用外部クロック入力機能があります。

P120端子の入力は, ポート・モード・コントロール・レジスタ12 (PMC12) の設定により, 1ビット単位でデジタル入出力 / アナログ入力の設定が必要です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120は入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により, 入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により, 内蔵プルアップ抵抗を使用できます。

P121-P124は入力ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力, メイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力, サブシステム・クロック用外部クロック入力として機能します。

(a) ANI19

A/Dコンバータのアナログ入力端子として機能します。12.10(5) **アナログ入力 (ANIn) 端子**を参照してください。

(b) X1, X2

メイン・システム・クロック用発振子接続端子です。

(c) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(d) XT1, XT2

サブシステム・クロック用発振子接続端子です。

(e) EXCLKS

サブシステム・クロック用外部クロック入力端子です。

2.2.10 P130, P137 (Port 13)

P130は出力ポートです。P137は入力ポートです。そのほかに外部割り込み要求入力機能があります。

(1) ポート・モード

P130は出力ポートとして機能します。P137は入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力端子として機能します。

(a) INTP0

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

2.2.11 P140, P141, P146, P147 (Port 14)

入出力ポートです。入出力ポートのほかにクロック／ブザー出力，外部割り込み要求入力，A/Dコンバータのアナログ入力機能があります。

P147端子の入力は，ポート・モード・コントロール・レジスタ14（PMC14）の設定により，1ビット単位でデジタル入出力／アナログ入力の設定が必要です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ14（PM14）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14（PU14）の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

クロック／ブザー出力，外部割り込み要求入力，A/Dコンバータのアナログ入力として機能します。

(a) ANI18

A/Dコンバータのアナログ入力端子として機能します。12.10(5) **アナログ入力 (ANIn) 端子**を参照してください。

(b) INTP6, INTP7

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(c) PCLBUZ0, PCLBUZ1

クロック / ブザー出力端子です。

2.2.12 V_{DD} , EV_{DD} , V_{SS} , EV_{SS} (1) EV_{DD} , V_{DD}

20～48ピンの製品の場合の V_{DD} は，正電源供給端子です。64ピンの製品の場合の V_{DD} は，P20-P27, P60-P63, P121-P137の正電源，およびポート部以外の正電源供給端子です。 EV_{DD} は，P20-P27, P60-P63, P121-P137以外のポート端子の正電源供給端子です。

(2) EV_{SS} , V_{SS}

20～48ピンの製品の場合の V_{SS} は，グランド電位端子です。64ピンの製品の場合の V_{SS} は，P20-P27, P60-P63, P121-P137のグランド電位，およびポート部以外のグランド電位端子です。 EV_{SS} は，P20-P27, P60-P63, P121-P137以外のポート端子のグランド電位端子です。

2.2.13 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

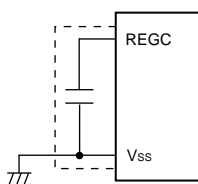
外部リセット端子を使用しない場合は，直接または抵抗を介して V_{DD} に接続してください。

外部リセット端子を使用する場合は， V_{DD} を基準に設計してください。

2.2.14 REGC

内部動作用レギュレータ出力安定容量接続端子です。コンデンサ（ $0.47 \sim 1 \mu\text{F}$ ）を介し， V_{SS} に接続してください。

また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-1に示します。

表2-2 各端子の未使用端子処理（64ピン製品）（1/2）

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI00	8-R-1	入出力	入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P01/TO00	5-AN-1		
P02/ANI17/SO10/TXD1	11-U-1		
P03/ANI16/SI10/RXD1/ SDA10	11-V-1		
P04/ $\overline{\text{SCK10}}$ /SCL10	5-AN-1		
P05/TI05/TO05	8-R-1		
P06/TI06/TO06			
P10/ $\overline{\text{SCK00}}$ /SCKS0/ SCL00/(TI07)/(TO07)	5-AN-1		
P11/SI00/RxD0/SIS0/ RxDs0/TOOLRxD/SDA00/ (TI06)/(TO06)			
P12/SO00/TxD0/SOS0/ TxDS0/TOOLTxD/ (INTP5)/(TI05)/(TO05)	8-R-1		
P13/TxD2/SO20/(SDAA0)/ (TI04)/(TO04)	5-AN-1		
P14/RxD2/SI20/SDA20/ (SCLA0)/(TI03)/(TO03)			
P15/ $\overline{\text{SCK20}}$ /SCL20/(TI02)/ (TO02)			
P16/TI01/TO01/INTP5/ (RXD0)/(SI00)			
P17/TI02/TO02/(TXD0)/ (SO00)			
P20/ANI0/AVREFP	11-T	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	
P21/ANI1/AVREFM			
P22/ANI2	11-G		
P23/ANI3			
P24/ANI4			
P25/ANI5			
P26/ANI6			
P27/ANI7			
P30/INTP3/RTC1HZ/ $\overline{\text{SCK11}}$ /SCL11	8-R-1	入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P31/TI03/TO03/INTP4/ (PCLBUZ0)			

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

注意 48ピン以下は、未使用時の推奨接続方法に記載しているEV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に読み換えます。

表2-2 各端子の未使用端子処理（64ピン製品）（2/2）

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P40/TOOL0	8-R-1	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P41/TI07/TO07			
P42/TI04/TO04			
P43			
P50/INTP1/SI11/SDA11/ LRxD0			
P51/INTP2/SO11/LTxD0			
P52/(INTP10)			
P53/SOS1/(INTP11)			
P54/SIS1			
P55/ $\overline{\text{SCK}}\text{S1}/(\text{PCLBUZ1})/(\overline{\text{SCK}}00)$			
P60/SCLA0	13-R		
P61/SDAA0			
P62			
P63			
P70/KR0/ $\overline{\text{SCK}}\text{21}/\text{SCL21}$	8-R-1		
P71/KR1/SI21/SDA21			
P72/KR2/SO21			
P73/KR3/SO01			
P74/KR4/INTP8/SI01/ SDA01			
P75/KR5/INTP9/ $\overline{\text{SCK}}\text{01}/SCL01$			
P76/KR6/INTP10/(Rx _{D2})			
P77/KR7/INTP11/(Tx _{D2})			
P120/ANI19	11-U-1		
P121/X1	37-C	入力	個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P122/X2/EXCLK			
P123/XT1			
P124/XT2/EXCLKS			
P130	3-C	出力	オープンにしてください。
P137/INTP0	2	入力	個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P140/PCLBUZ0/INTP6	8-R-1	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P141/PCLBUZ1/INTP7			
P146			
P147/ANI18	11-U-1		
$\overline{\text{RESET}}$	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ（0.47～1μF）を介し，V _{SS} に接続してください。

備考 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。

注意 48ピン以下は、未使用時の推奨接続方法に記載しているEV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に読み換えます。

図2 - 1 端子の入出力回路一覧 (1/2)

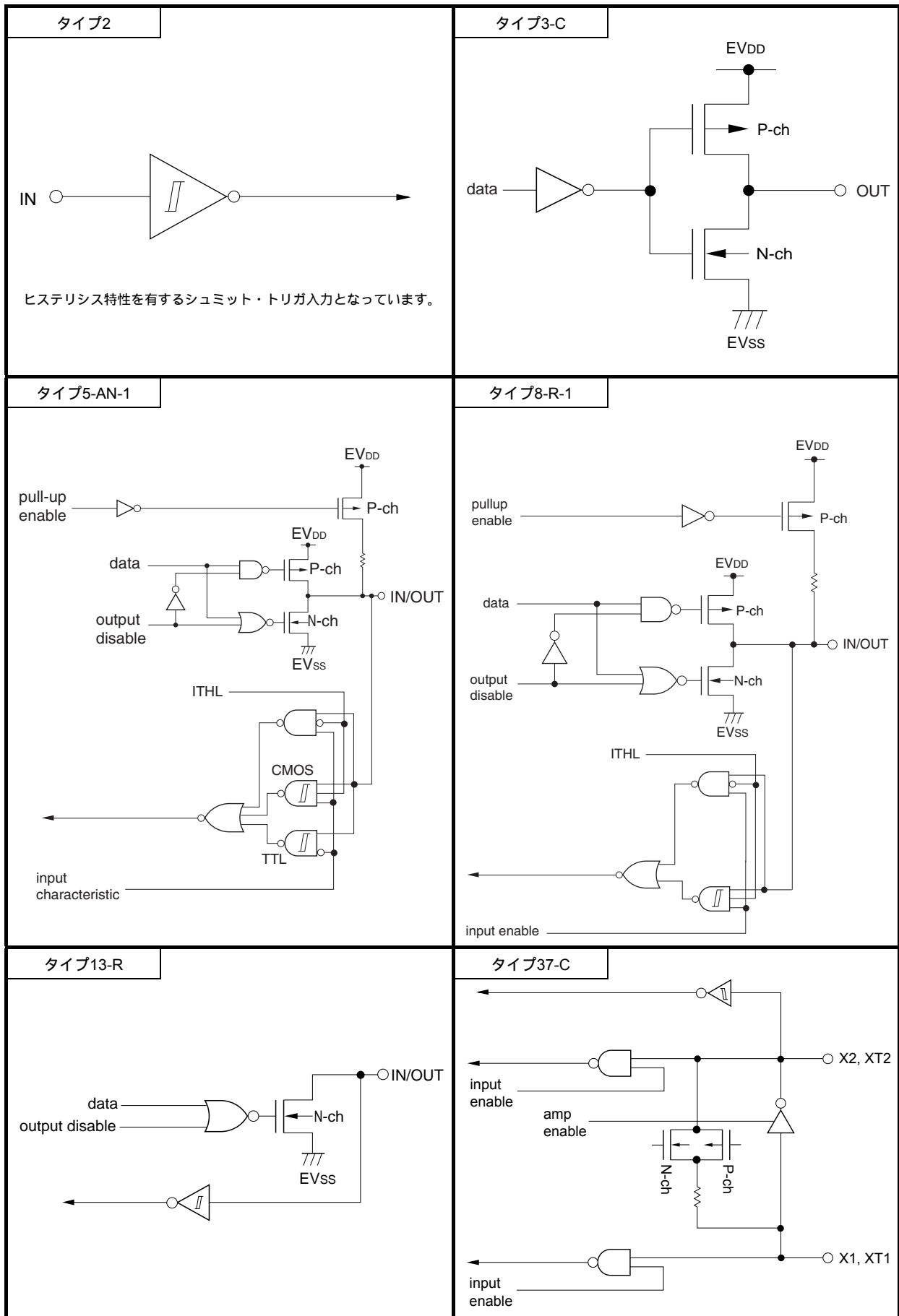
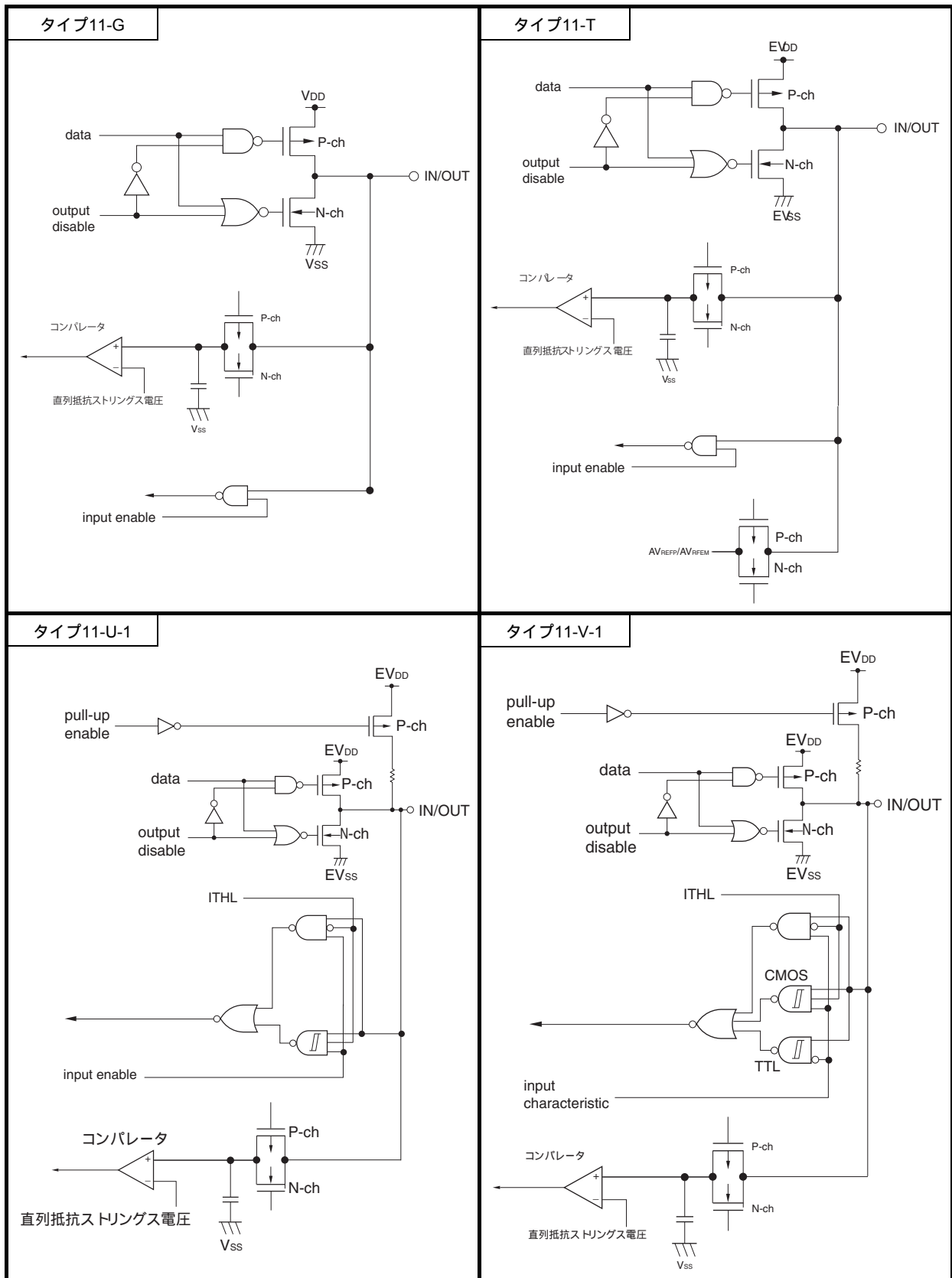


図2 - 1 端子の入出力回路一覧 (2/2)

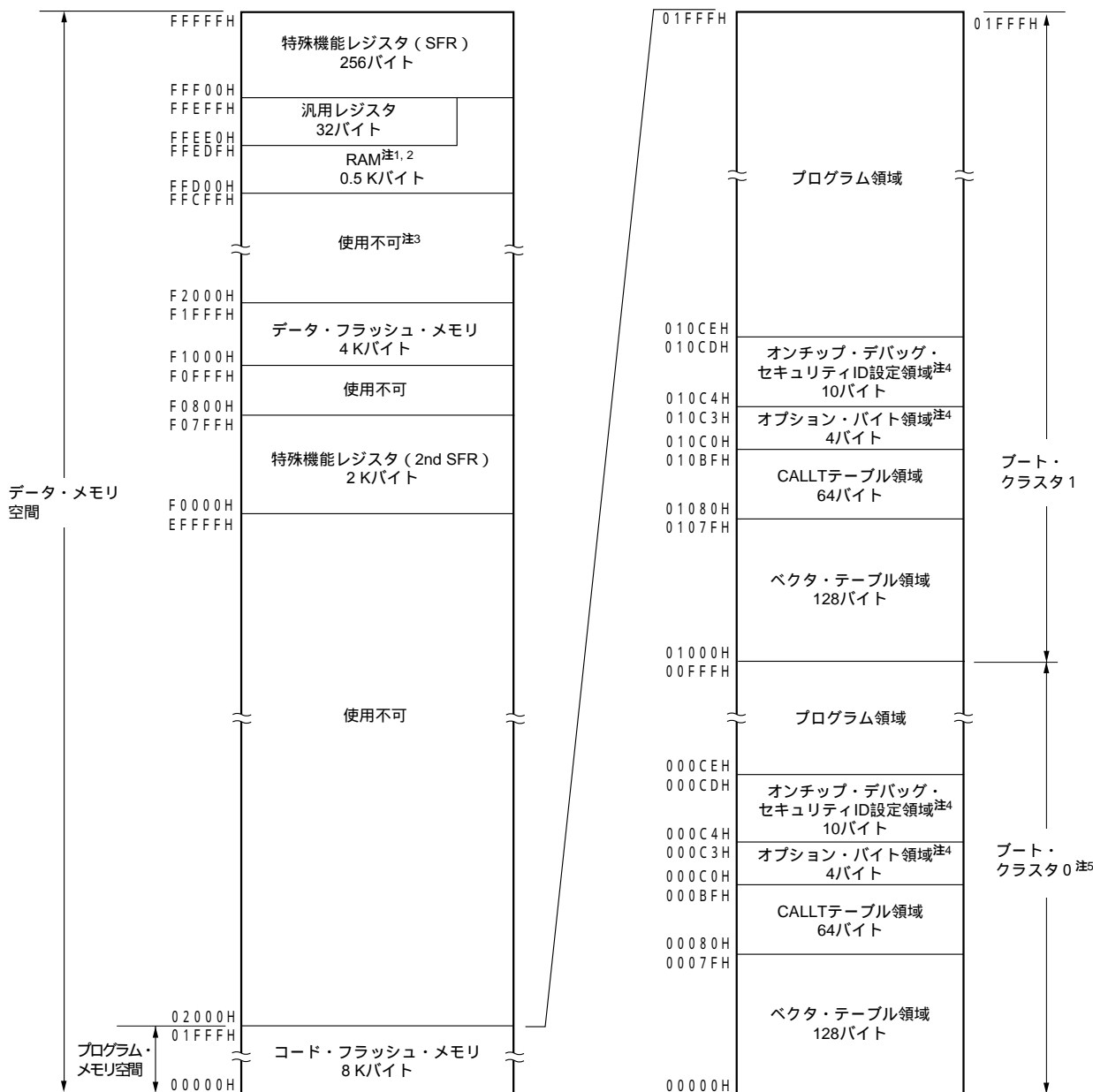


第3章 CPUアーキテクチャ

3.1 メモリ空間

RL78/F12は、1 Mバイトのメモリ空間をアクセスできます。図3 - 1～図3 - 6に、メモリ・マップを示します。

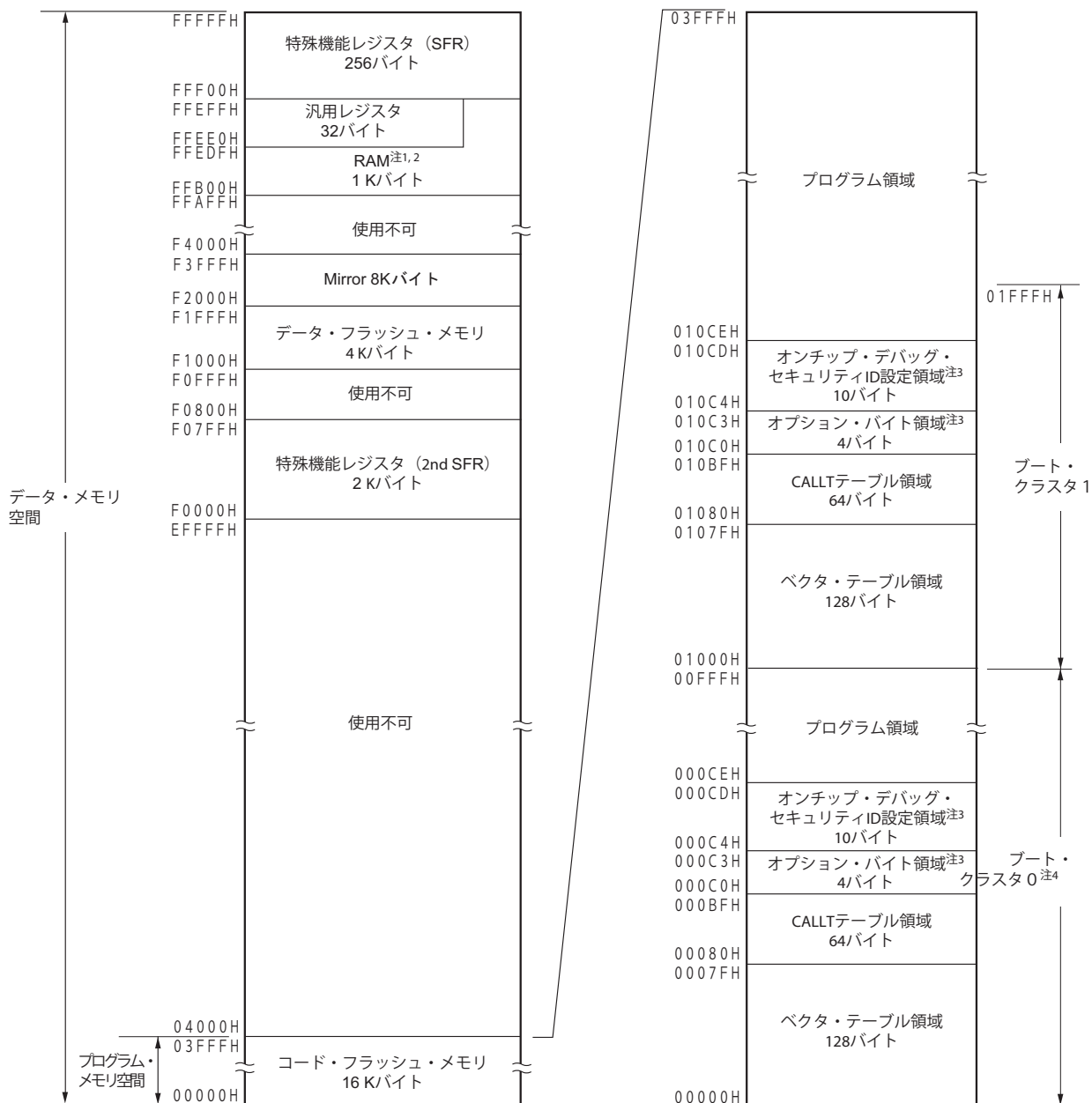
図3-1 メモリ・マップ (R5F10968)



- 注1. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. 本製品 (R5F10968) には、ミラー領域はありません。
4. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
5. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (27.6 **セキュリティ設定**を参照)。

注意 RAM領域から命令実行し, RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合, 「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

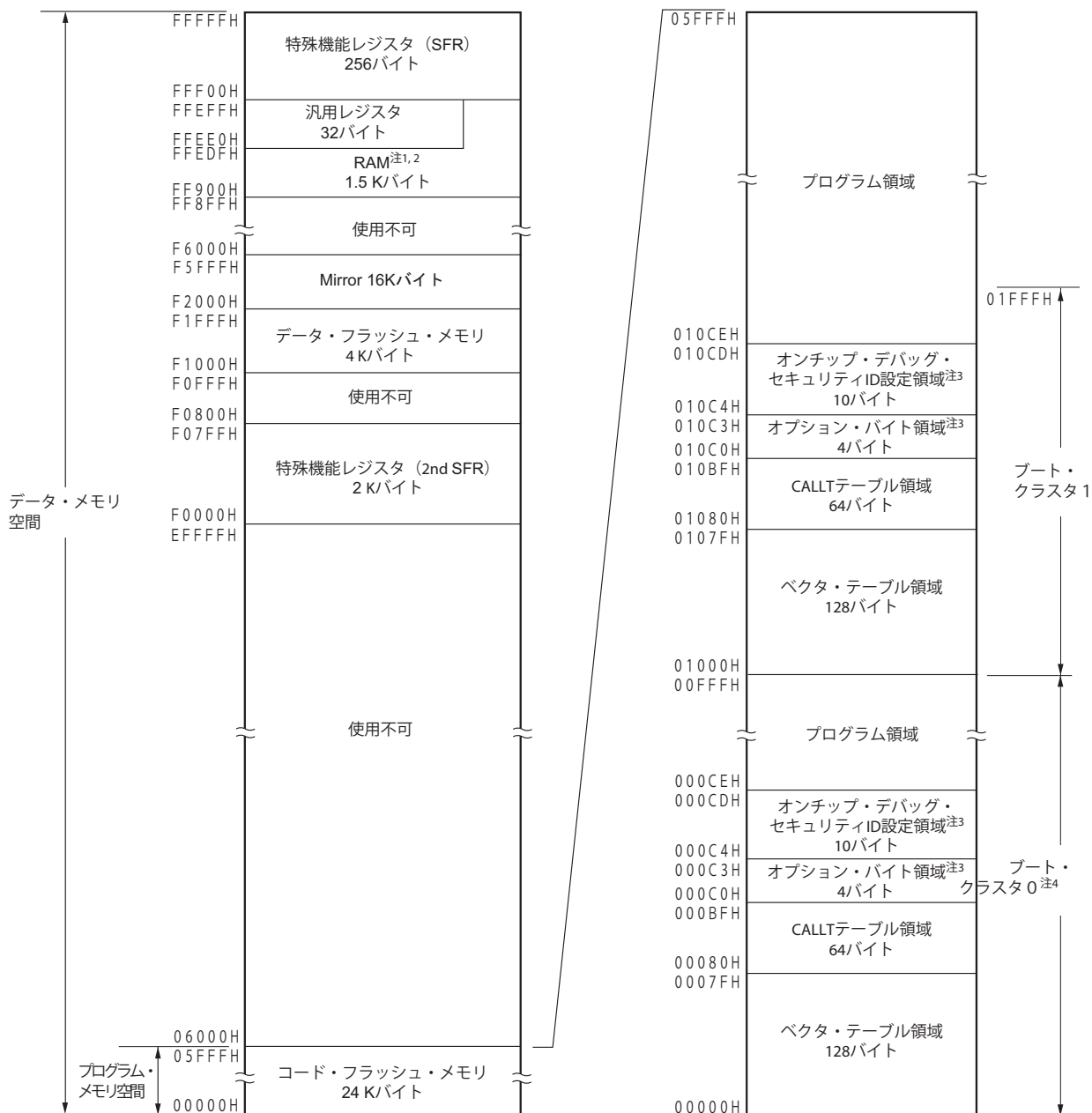
図3 - 2 メモリ・マップ (R5F109xA (x = 6, A, B, G, L))



- 注1. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により，ブート・クラス0は書き換えを禁止することができます (27.6 **セキュリティ設定**を参照)。

注意 RAM領域から命令実行し，RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合，「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

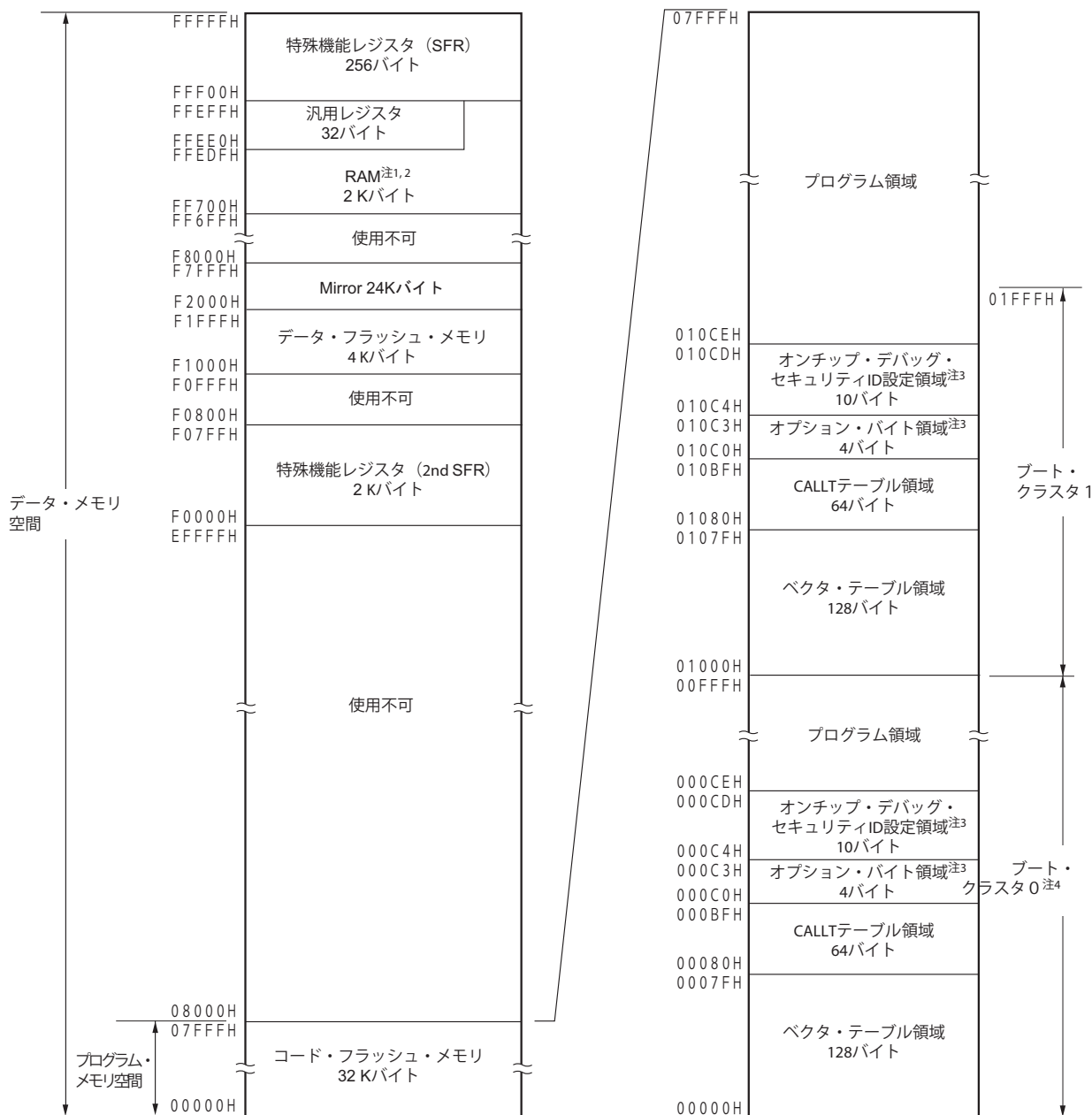
図3-3 メモリ・マップ (R5F109xB (x = 6, A, B, G, L))



- 注1. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (27.6 セキュリティ設定を参照)。

注意 RAM領域から命令実行し，RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合，「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

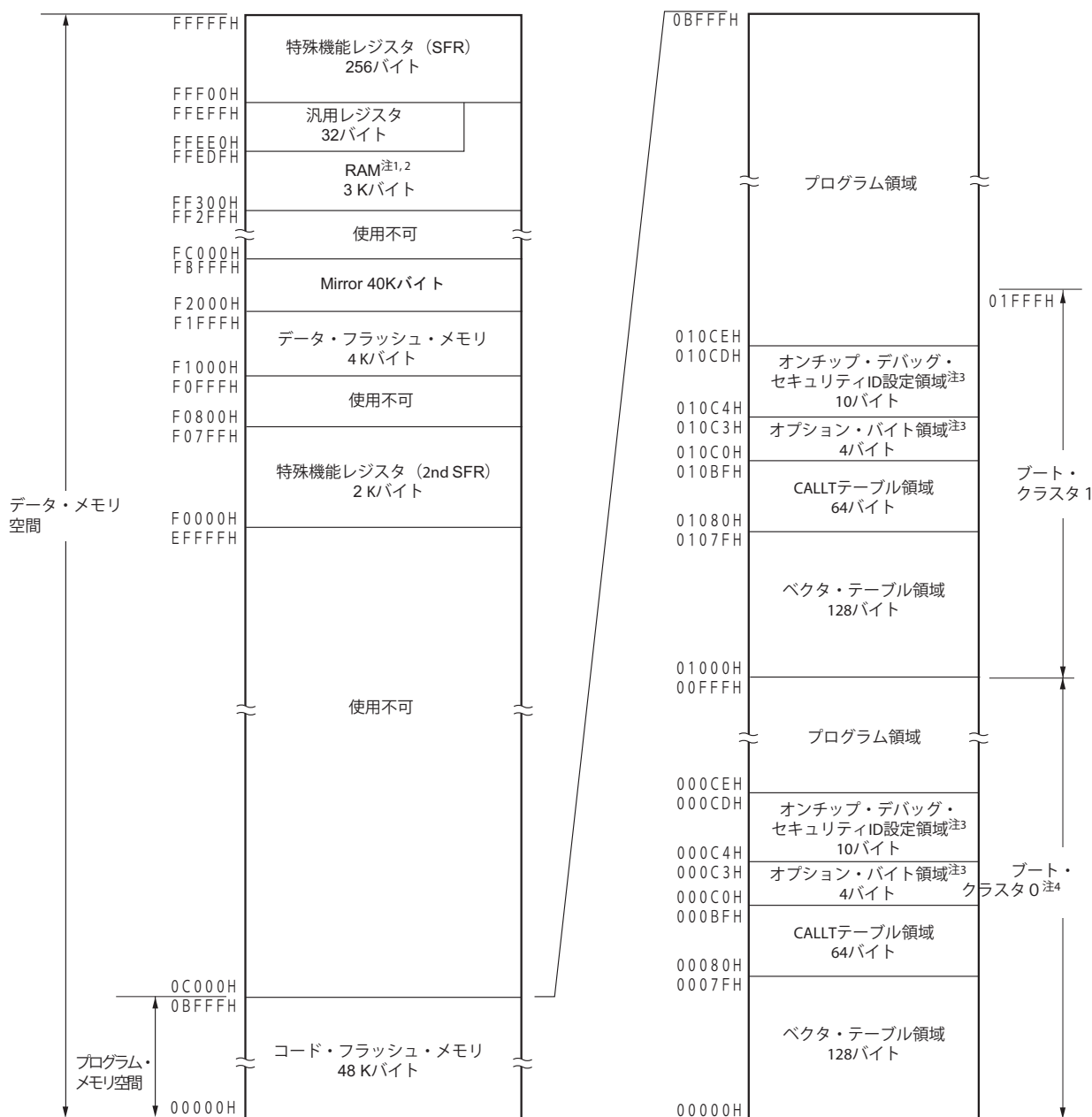
図3-4 メモリ・マップ (R5F109xC (x = 6, A, B, G, L))



- 注1. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
- 2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
- 4. セキュリティの設定により、ブート・クラス0は書き換えを禁止することができます (27.6 セキュリティ設定を参照)。

注意 RAM領域から命令実行し、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

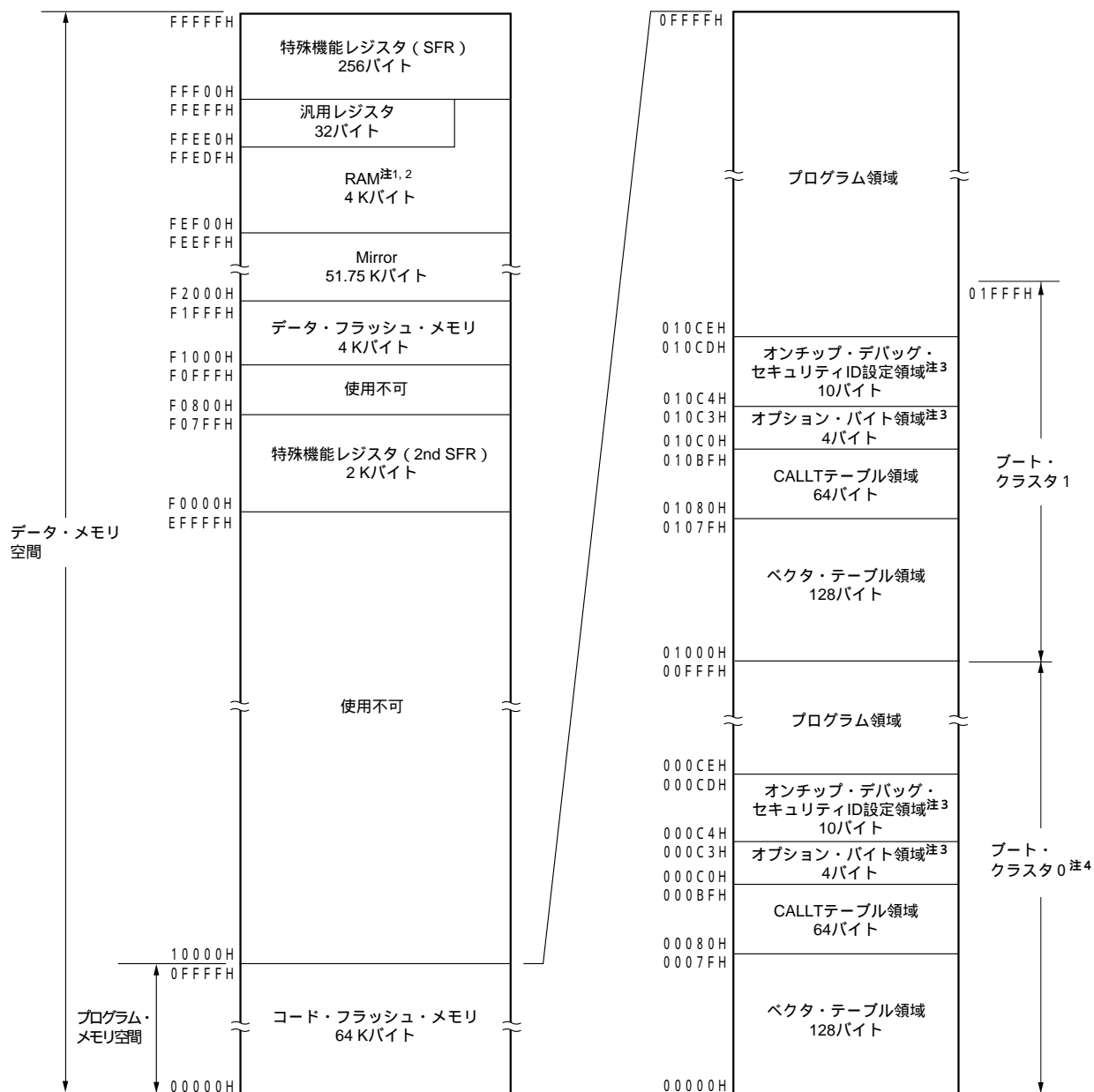
図3-5 メモリ・マップ (R5F109xD (x = 6, A, B, G, L))



- 注1. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
- 2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
- 4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (27.6 セキュリティ設定を参照)。

注意 RAM領域から命令実行し、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

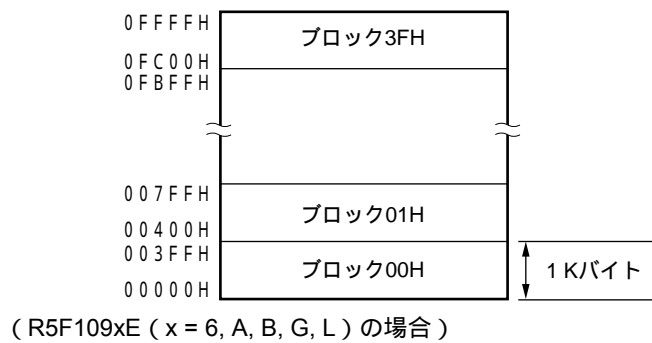
図3-6 メモリ・マップ (R5F109xE (x = 6, A, B, G, L))



- 注1. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHとFEF00H-FF309Hの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (27.6 **セキュリティ設定**を参照)。

注意 RAM領域から命令実行し，RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合，「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号
0000H-003FFH	00H	0800H-083FFH	20H
00400H-007FFH	01H	08400H-087FFH	21H
00800H-00BFFH	02H	08800H-08BFFH	22H
00C00H-00FFFH	03H	08C00H-08FFFH	23H
01000H-013FFH	04H	09000H-093FFH	24H
01400H-017FFH	05H	09400H-097FFH	25H
01800H-01BFFH	06H	09800H-09BFFH	26H
01C00H-01FFFH	07H	09C00H-09FFFH	27H
02000H-023FFH	08H	0A000H-0A3FFH	28H
02400H-027FFH	09H	0A400H-0A7FFH	29H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH
04000H-043FFH	10H	0C000H-0C3FFH	30H
04400H-047FFH	11H	0C400H-0C7FFH	31H
04800H-04BFFH	12H	0C800H-0CBFFH	32H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H
05000H-053FFH	14H	0D000H-0D3FFH	34H
05400H-057FFH	15H	0D400H-0D7FFH	35H
05800H-05BFFH	16H	0D800H-0DBFFH	36H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H
06000H-063FFH	18H	0E000H-0E3FFH	38H
06400H-067FFH	19H	0E400H-0E7FFH	39H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/F12は、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
R5F10968	フラッシュ・メモリ	8192×8ビット (00000H-01FFFH)
R5F109xA (x = 6, A, B, G, L)		16384×8ビット (00000H-03FFFH)
R5F109xB (x = 6, A, B, G, L)		24576×8ビット (00000H-05FFFH)
R5F109xC (x = 6, A, B, G, L)		32768×8ビット (00000H-07FFFH)
R5F109xD (x = 6, A, B, G, L)		49152×8ビット (00000H-0BFFFH)
R5F109xE (x = 6, A, B, G, L)		65536×8ビット (00000H-0FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。ブート・スワップを使用する際には、01000H-0107FHにもベクタ・テーブルを設定してください。

表3-3 ベクタ・テーブル(1/2)

ベクタ・テーブル・アドレス	割り込み要因	64ピン	48ピン	32ピン	30ピン	20ピン
0000H	RESET, POR, LVD, WDT, TRAP, IAW, RAMTOP					
0004H	INTWDTI					
0006H	INTLVI					
0008H	INTP0					
000AH	INTP1					
000CH	INTP2					
000EH	INTP3					-
0010H	INTP4					
0012H	INTP5					
0014H	INTST2/INTCSI20/INTIIC20					-
0016H	INTSR2/INTCSI21/INTIIC21			注1	注1	-
0018H	INTSRE2					-
001AH	INTDMA0					
001CH	INTDMA1					
001EH	INTST0/INTCSI00/INTIIC00					
0020H	INTSR0/INTCSI01/INTIIC01			注2	注2	注2
0022H	INTSRE0/INTTM01H					
0024H	INTST1/INTCSI10/INTIIC10		注3	注3	注3	-
0026H	INTSR1/INTCSI11/INTIIC11					-
0028H	INTSRE1/INTTM03H					注4
002AH	INTIICA0					-
002CH	INTTM00					
002EH	INTTM01					
0030H	INTTM02					
0032H	INTTM03					
0034H	INTAD					
0036H	INTRTC					
0038H	INTIT					
003AH	INTKR			-	-	-
003CH	INTCSIS0/INTSTS0					
003EH	INTCSIS1/INTSRS0		注5	注5	注5	注5

- 注1. INTSR2のみ
 2. INTSR0のみ
 3. INTST1のみ
 4. INTTM03Hのみ
 5. INTCSIS1のみ

表3-3 ベクタ・テーブル(2/2)

ベクタ・テーブル・アドレス	割り込み要因	64ピン	48ピン	32ピン	30ピン	20ピン
0040H	INTWUTM					
0042H	INTTM04					
0044H	INTTM05					
0046H	INTTM06					
0048H	INTTM07					
004AH	INTP6			-	-	-
004CH	INTP7/INTLT		注2	注2	注2	注2
004EH	INTP8/INTLR ^{注1}			注3	注3	注3
0050H	INTP9/INTLS ^{注1}			注4	注4	注4
0052H	INTP10/INTSRES0		注5	注5	注5	注5
0054H	INTP11		-	-	-	-
005EH	INTMD					
0062H	INTFL					
007EH	BRK					

注1. 48ピン製品において、INTP8とINTLR割り込みを同時に使用した場合、ベクタ・アドレスからはどちらの割り込みが発生したのか区別が付きません。INTP9とINTLS割り込みも同様です。

2. INTLTのみ
3. INTLRのみ
4. INTLSのみ
5. INTSRES0のみ

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第26章 **オプション・バイト**を参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第28章 **オンチップ・デバッグ機能**を参照してください。

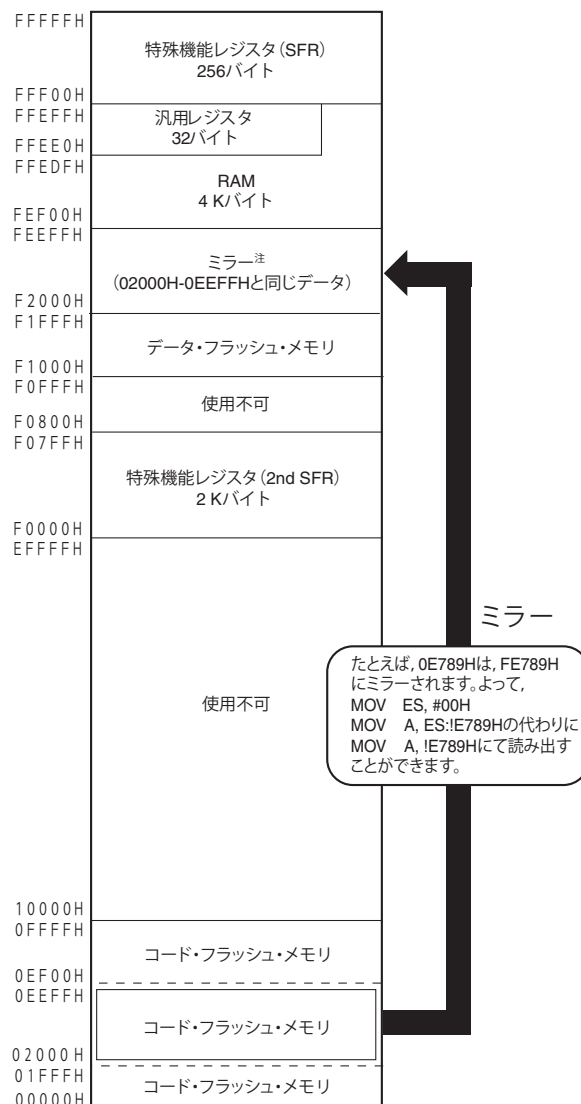
3.1.2 ミラー領域

RL78/F12では、00000H-0FFFFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーさせています。
 (プロセッサ・モード・コントロール・レジスタ (PMC) で設定)。

ミラー先のF0000H-FFFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。
 ミラー領域は読み出しのみ可能で、命令フェッチはできません。
 次に例を示します。

例 R5F109xE (x=6, A, B, G, L) (フラッシュ・メモリ 64 Kバイト, RAM 4 Kバイト) の場合



注 R5F10968には、ミラー領域がありません。

次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-7 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	設定禁止

- 注意1. 必ずビット0 (MAA) を0 (初期値) でご使用ください。
2. PMCレジスタの設定は、DMAコントローラを動作させる前に初期設定で1度だけ行ってください。
初期設定以外でのPMCレジスタの書き替えは禁止です。
3. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/F12は、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製 品	内部RAM
R5F10968	512×8ビット (FFD00H-FFEFFFH)
R5F109xA (x = 6, A, B, G, L)	1024×8ビット (FFB00H-FFEFFFH)
R5F109xB (x = 6, A, B, G, L)	1536×8ビット (FF900H-FFEFFFH)
R5F109xC (x = 6, A, B, G, L)	2048×8ビット (FF700H-FFEFFFH)
R5F109xD (x = 6, A, B, G, L)	3072×8ビット (FF300H-FFEFFFH)
R5F109xE (x = 6, A, B, G, L)	4096×8ビット (FEF00H-FFEFFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

- 注意1.** 汎用レジスタ (FFEE0H-FFEFFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
- 2.** セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、FFE20H~FFEFFFHの領域をスタック・メモリとして使用できません。また、R5F109xE (x = 6, A, B, G, L) では、FEF00H-FF309Hの領域もスタック・メモリとして使用できません。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.4 特殊機能レジスタ (SFR : Special Function Register) の表3 - 5参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3 - 6参照)。

SFR領域 (FFF00H-FFFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

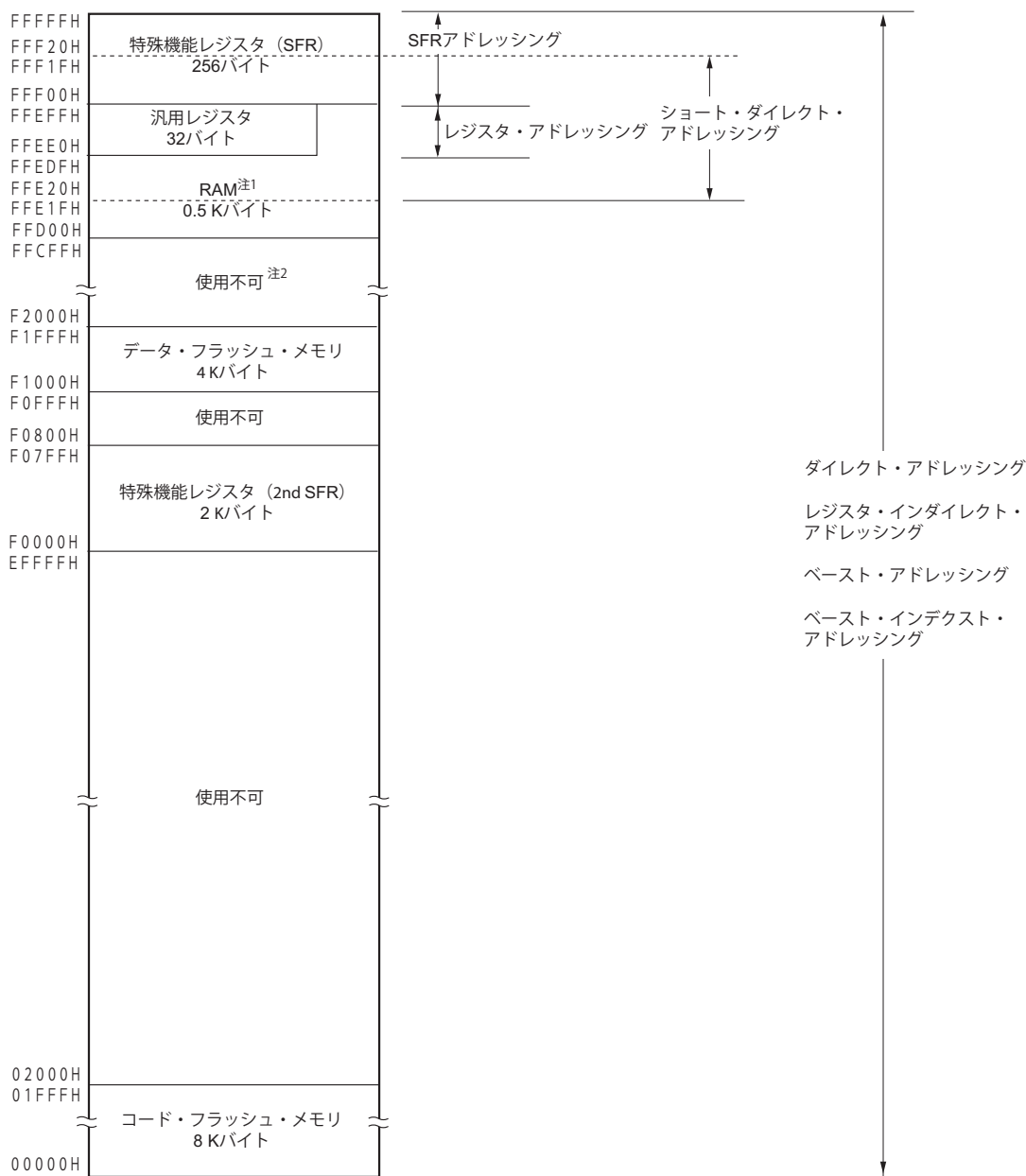
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/F12では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-8～図3-13にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、「3.4 処理データ・アドレスに対するアドレッシング」を参照してください。

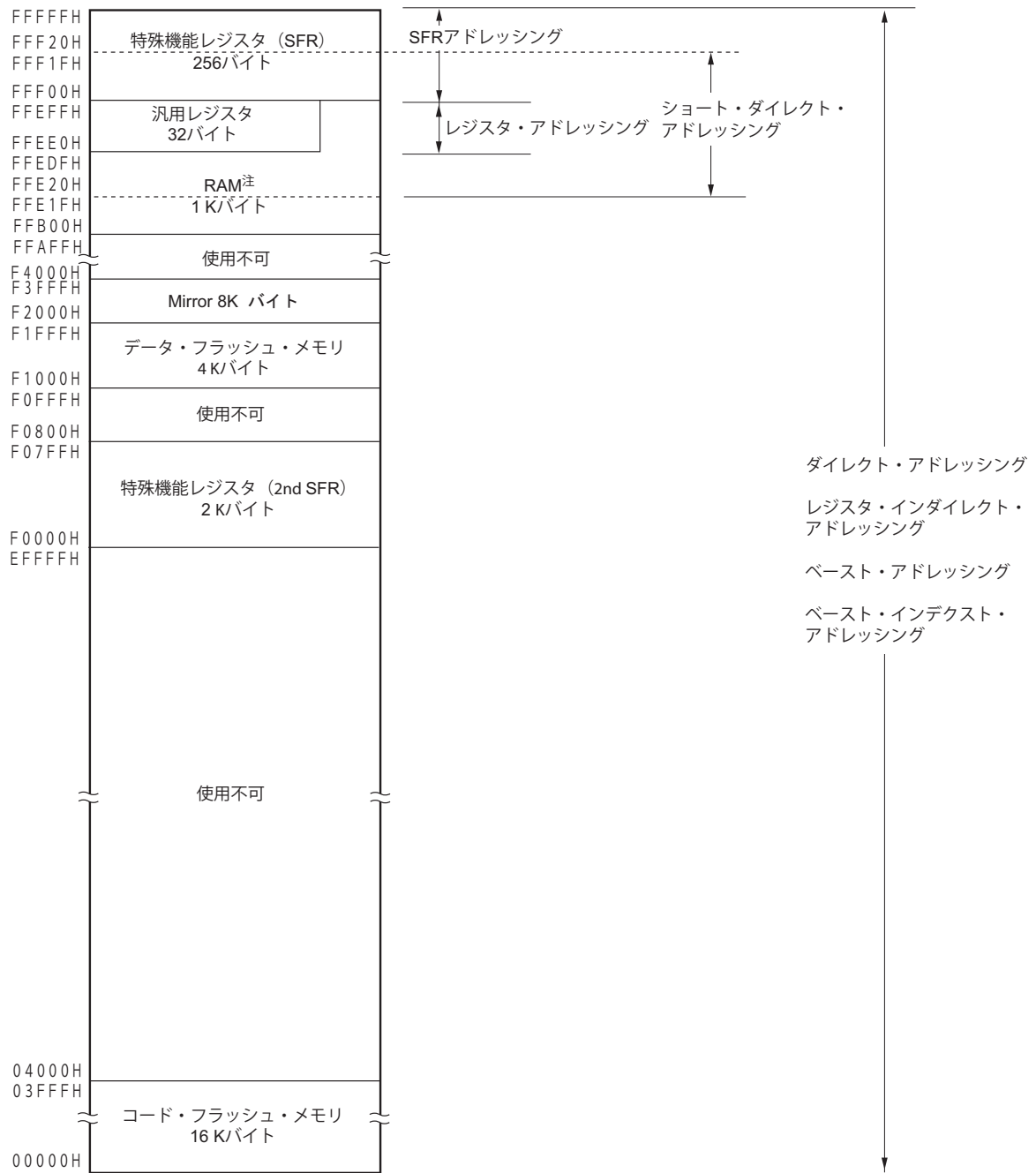
図3-8 データ・メモリとアドレッシングの対応 (R5F10968)



注1. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。

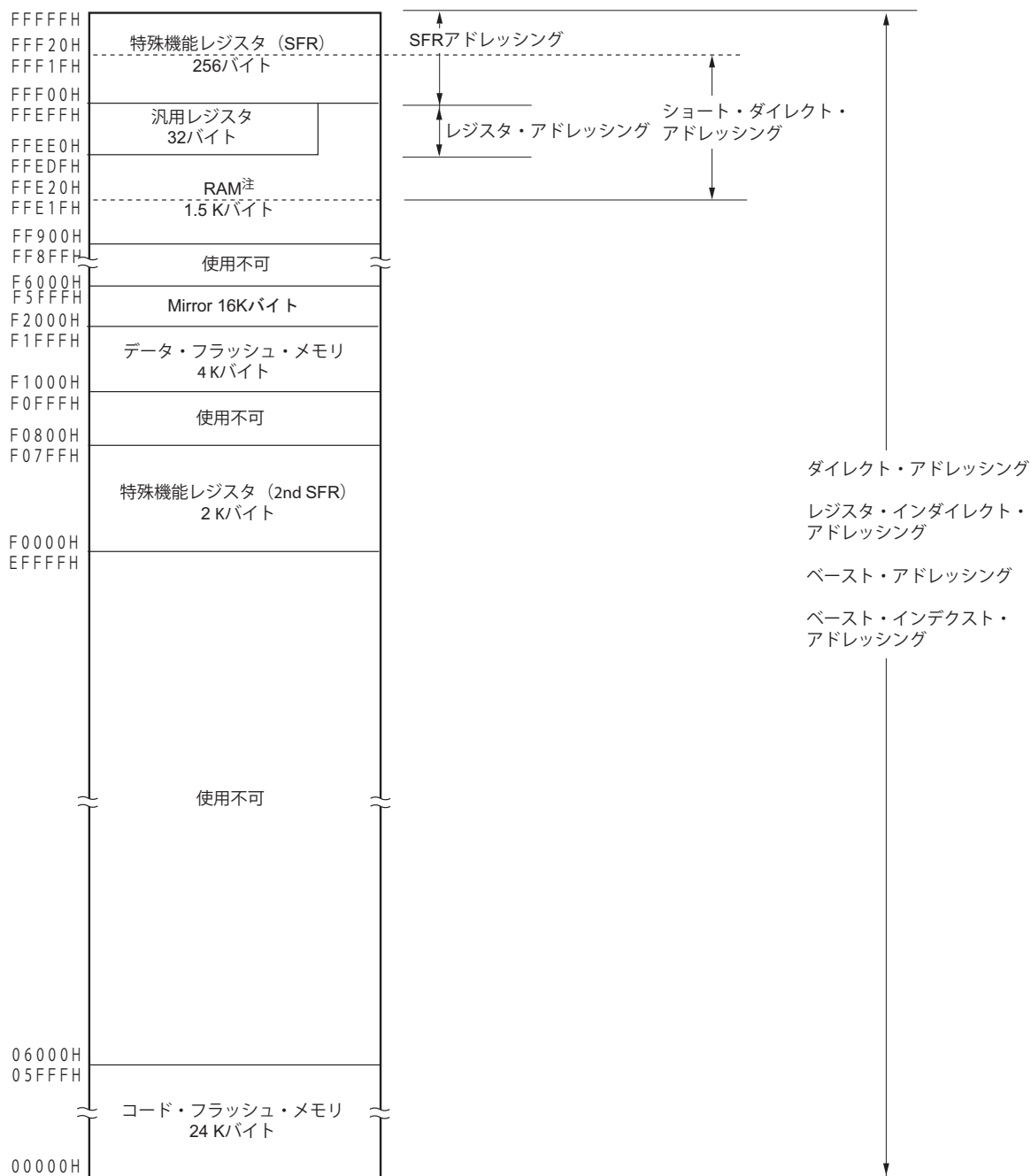
2. 本製品 (R5F10968) には、ミラー領域がありません。

図3-9 データ・メモリとアドレッシングの対応 (R5F109xA (x = 6, A, B, G, L))



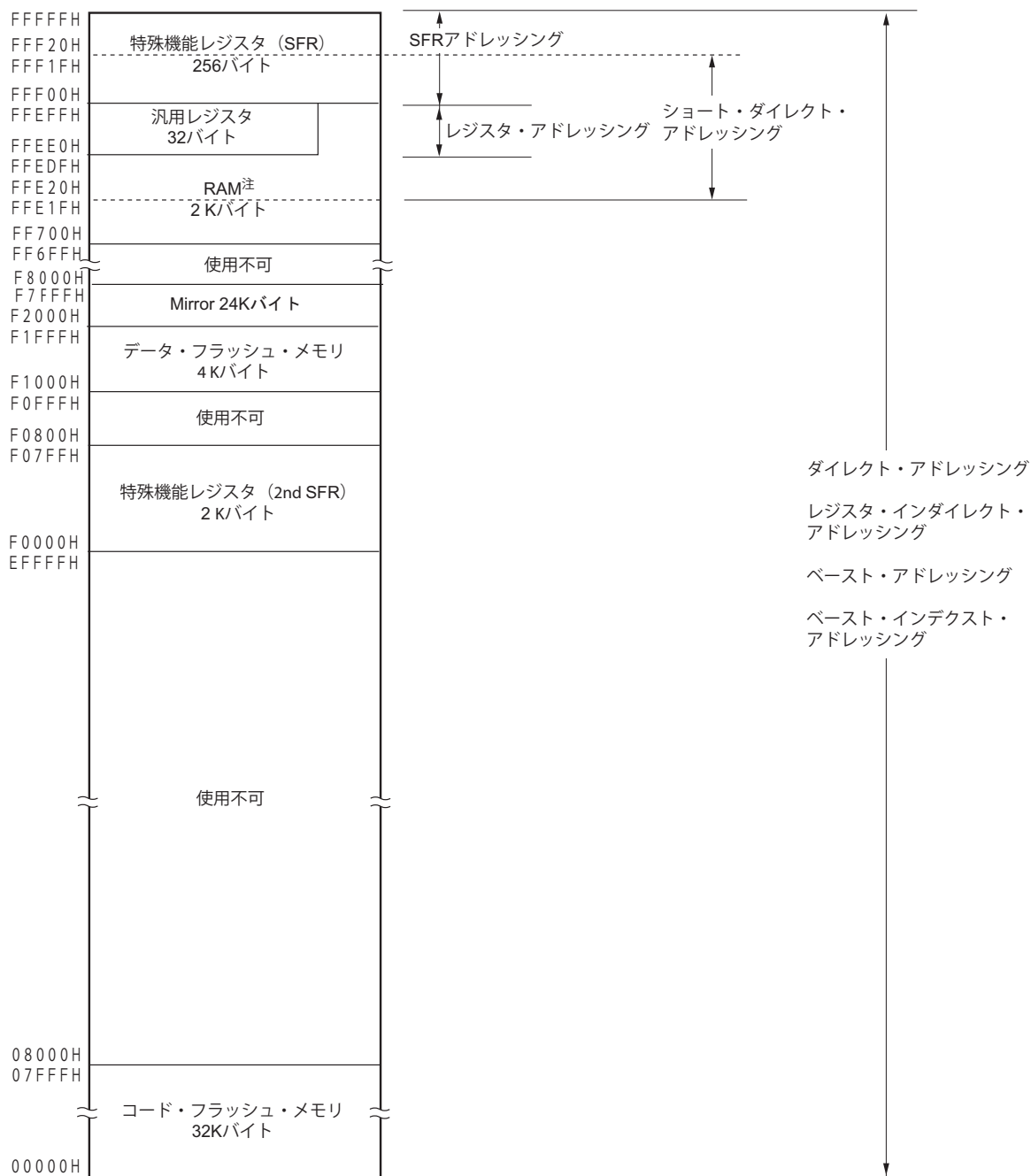
注 セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。

図3 - 10 データ・メモリとアドレッシングの対応 (R5F109xB (x = 6, A, B, G, L))



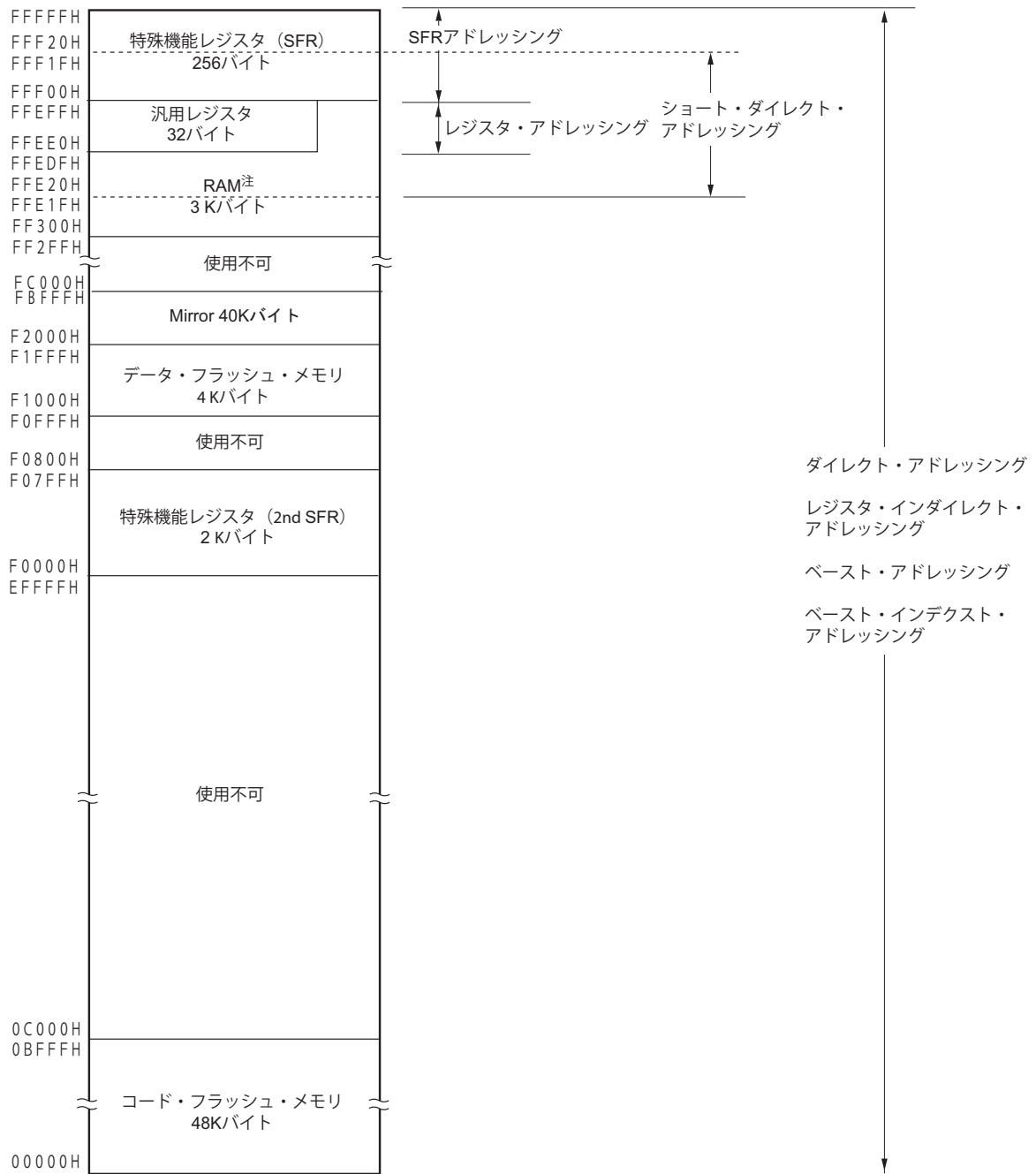
注 セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。

図3-11 データ・メモリとアドレッシングの対応 (R5F109xC (x = 6, A, B, G, L))



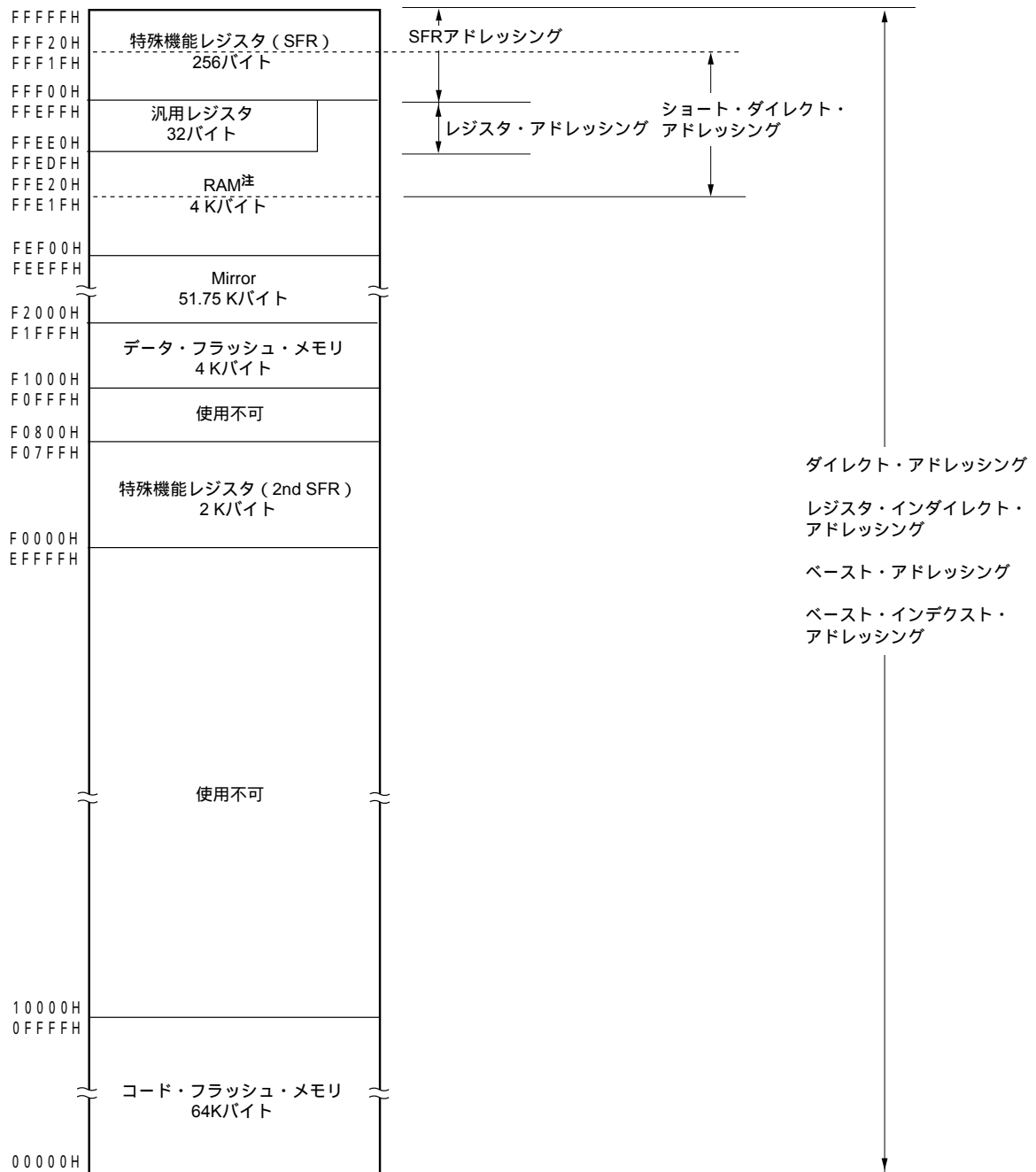
注 セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。

図3 - 12 データ・メモリとアドレッシングの対応 (R5F109xD (x = 6, A, B, G, L))



注 セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。

図3 - 13 データ・メモリとアドレッシングの対応 (R5F109xE (x = 6, A, B, G, L))



注 セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHとFEF00H-FF309Hの領域が使用禁止になります。

3.2 プロセッサ・レジスタ

RL78/F12は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

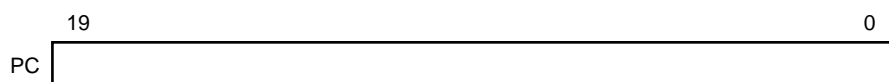
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 14 プログラム・カウンタの構成



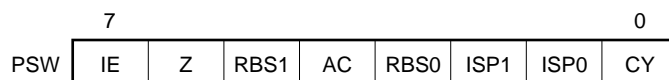
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RET、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3 - 15 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスクブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ（Z）

演算結果がゼロのときセット（1）され、それ以外のときにリセット（0）されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L) (18.3(3)参照)でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

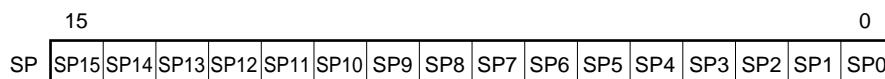
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3 - 16 スタック・ポインタの構成

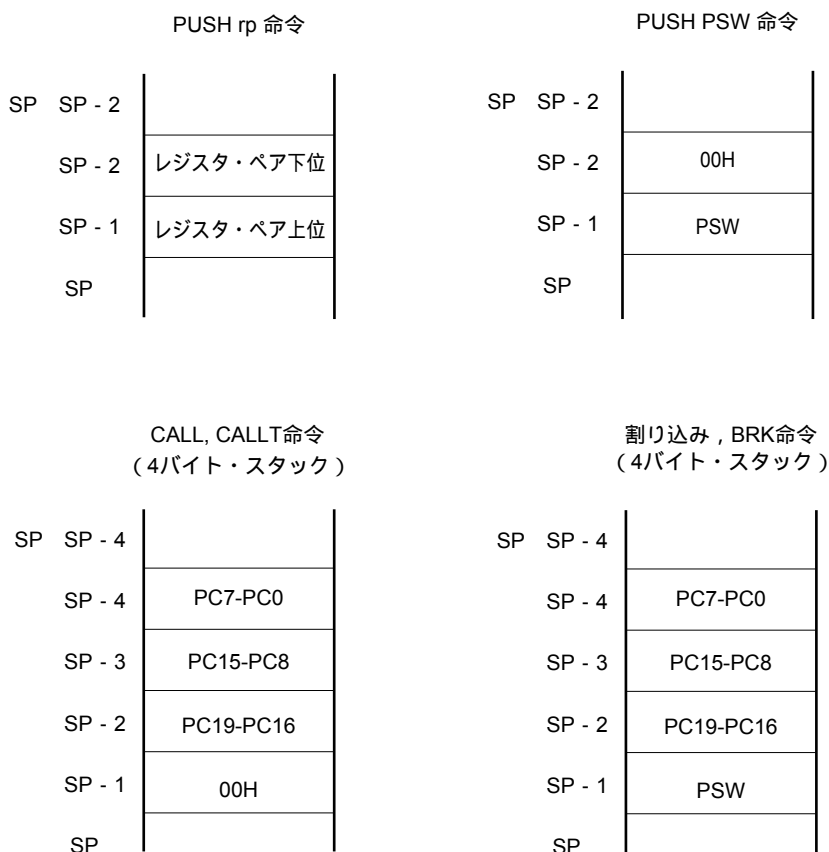


スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図3 - 17のようになります。

- 注意1.** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
2. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、スタック領域としての使用を禁止します。
 3. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、FFE20H ~ FFEFFHの領域をスタック・メモリとして使用できません。また、R5F109xE (x = 6, A, B, G, L) では、FEF00H-FF309Hの領域もスタック・メモリとして使用できません。

図3 - 17 スタック・メモリへ退避されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

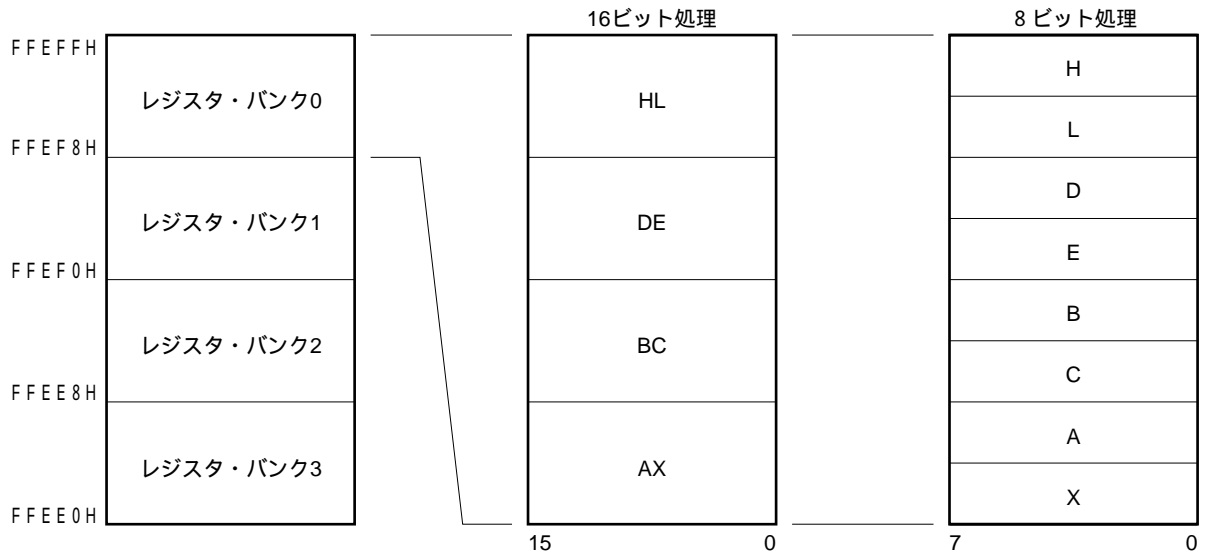
また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

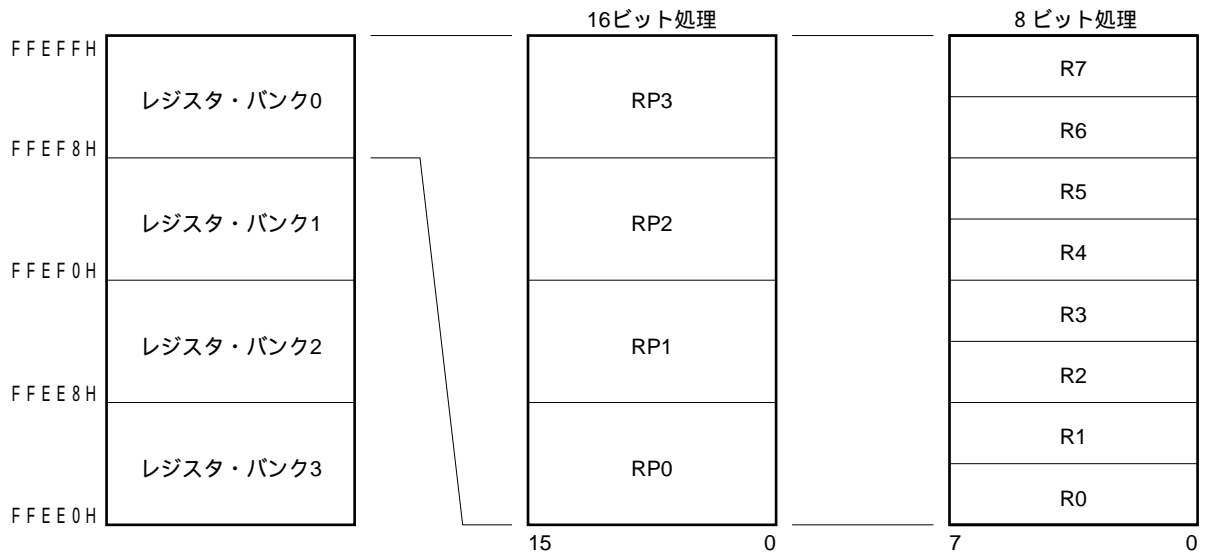
- 注意1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
- 2. セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、FFE20H~FFEFFHの領域をスタック・メモリとして使用できません。また、R5F109xE (x = 6, A, B, G, L) では、FEF00H-FF309Hの領域もスタック・メモリとして使用できません。

図3 - 18 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



3.2.3 ES, CSレジスタ

ESレジスタにてデータ・アクセス，CSレジスタにて分岐命令実行時の上位アドレスを指定できます。

ESレジスタのリセット後の初期値は0FH，CSレジスタのリセット後の初期値は00Hです。

図3 - 19 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
CS	0	0	0	0	CS3	CP2	CP1	CP0

3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、3.2.5 **拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

表3-5 SFR一覧(1/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W			-	00H
FFF01H	ポート・レジスタ1	P1		R/W			-	00H
FFF02H	ポート・レジスタ2	P2		R/W			-	00H
FFF03H	ポート・レジスタ3	P3		R/W			-	00H
FFF04H	ポート・レジスタ4	P4		R/W			-	00H
FFF05H	ポート・レジスタ5	P5		R/W			-	00H
FFF06H	ポート・レジスタ6	P6		R/W			-	00H
FFF07H	ポート・レジスタ7	P7		R/W			-	00H
FFF0CH	ポート・レジスタ12	P12		R/W			-	不定
FFF0DH	ポート・レジスタ13	P13		R/W			-	不定
FFF0EH	ポート・レジスタ14	P14		R/W			-	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/SIO00	SDR00	R/W	-			0000H
FFF11H		-			-	-		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	-			0000H
FFF13H		-			-	-		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	-	-		0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	-			00H
FFF1BH		TDR01H			-	-		
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	-	-		0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	-		-	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W			-	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W			-	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W			-	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W			-	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W			-	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W			-	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W			-	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W			-	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W			-	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W			-	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W			-	00H
FFF31H	アナログ入力チャンネル指定レジスタ	ADS		R/W			-	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W			-	00H
FFF37H	キー・リターン・モード・レジスタ	KRM		R/W			-	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W			-	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W			-	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W			-	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W			-	00H

備考 拡張SFR(2nd SFR)については、表3-6 拡張SFR(2nd SFR)一覧を参照してください。

表3-5 SFR一覧(2/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF44H	シリアル・データ・レジスタ02	TXD1	SDR02	R/W	-			0000H
FFF45H		-			-			
FFF46H	シリアル・データ・レジスタ03	RXD1/SIO11	SDR03	R/W	-			0000H
FFF47H		-			-			
FFF48H	シリアル・データ・レジスタ10	TXD2/SIO20	SDR10	R/W	-			0000H
FFF49H		-			-			
FFF4AH	シリアル・データ・レジスタ11	RXD2/SIO21	SDR11	R/W	-			0000H
FFF4BH		-			-			
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	-		-	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R			-	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W			-	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	-	-		0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	-			00H
FFF67H		TDR03H			-		00H	
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	-	-		0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	-	-		0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	-	-		0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	-	-		0000H
FFF6FH								
FFF90H	12ビット・インターバル・タイマ・コントロール・レジスタ	ITMC		R/W	-	-		0FFFH
FFF91H								
FFF92H	秒カウント・レジスタ	SEC		R/W	-		-	00H
FFF93H	分カウント・レジスタ	MIN		R/W	-		-	00H
FFF94H	時カウント・レジスタ	HOUR		R/W	-		-	12H ^注
FFF95H	曜日カウント・レジスタ	WEEK		R/W	-		-	00H
FFF96H	日カウント・レジスタ	DAY		R/W	-		-	01H
FFF97H	月カウント・レジスタ	MONTH		R/W	-		-	01H
FFF98H	年カウント・レジスタ	YEAR		R/W	-		-	00H
FFF99H	時計誤差補正レジスタ	SUBCUD		R/W	-		-	00H
FFF9AH	アラーム分レジスタ	ALARMWWM		R/W	-		-	00H
FFF9BH	アラーム時レジスタ	ALARMWH		R/W	-		-	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW		R/W	-		-	00H
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0		R/W			-	00H
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1		R/W			-	00H

注 リセット後に、AMPMMビット(リアルタイム・クロック・コントロール・レジスタ0(RTCC0)のビット3)に1をセットした場合は00Hとなります。

備考 拡張SFR(2nd SFR)については、表3-6 拡張SFR(2nd SFR)一覧を参照してください。

表3-5 SFR一覧(3/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	-		-	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W			-	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	-		-	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W			-	00H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W			-	00H
FFFA6H	クロック出力選択レジスタ1	CKS1	R/W			-	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	不定 ^{注1}
FFFA9H	電圧検出レジスタ	LVIM	R/W			-	00H ^{注2}
FFFAAH	電圧検出レベル・レジスタ	LVIS	R/W			-	00H/01H/ 81H ^{注3}
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1AH/9AH ^{注4}
FFFACH	CRC入力レジスタ	CRCIN	R/W	-		-	00H
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0	R/W	-		-	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1	R/W	-		-	00H
FFFB2H	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0	R/W	-		00H
FFFB3H	DMA RAMアドレス・レジスタ0H	DRA0H		R/W	-		00H
FFFB4H	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1	R/W	-		00H
FFFB5H	DMA RAMアドレス・レジスタ1H	DRA1H		R/W	-		00H
FFFB6H	DMAバイト・カウント・レジスタ0L	DBC0L	DBC0	R/W	-		00H
FFFB7H	DMAバイト・カウント・レジスタ0H	DBC0H		R/W	-		00H
FFFB8H	DMAバイト・カウント・レジスタ1L	DBC1L	DBC1	R/W	-		00H
FFFB9H	DMAバイト・カウント・レジスタ1H	DBC1H		R/W	-		00H
FFFBAAH	DMAモード・コントロール・レジスタ0	DMC0	R/W			-	00H
FFFBABH	DMAモード・コントロール・レジスタ1	DMC1	R/W			-	00H
FFFBCH	DMA動作コントロール・レジスタ0	DRC0	R/W			-	00H
FFFBDAH	DMA動作コントロール・レジスタ1	DRC1	R/W			-	00H

注1. RESFレジスタのリセット値は、リセット要因により変化します。

2. LVIMレジスタのリセット値は、リセット要因により変化します。

3. LVISレジスタのリセット値は、リセット要因およびオプション・バイトの設定により変化します。

4. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

備考 拡張SFR(2nd SFR)については、表3-6 拡張SFR(2nd SFR)一覧を参照してください。

表3-5 SFR一覧(4/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W				00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W				00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W				FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W				FFH
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W				FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W				FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W				FFH
FFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W				FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W				00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W				00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W				00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W				00H
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W				FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W				FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W				FFH
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W				FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W				FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W				FFH
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W				FFH
FFFE BH	優先順位指定フラグ・レジスタ01H	PR01H		R/W				FFH
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W				FFH
FFFE DH	優先順位指定フラグ・レジスタ10H	PR10H		R/W				FFH
FFFE EH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W				FFH
FFFE FH	優先順位指定フラグ・レジスタ11H	PR11H		R/W				FFH
FFFF0H	乗除算データ・レジスタA(L)	MDAL/		R/W	-	-		0000H
FFFF1H		MULA						
FFFF2H	乗除算データ・レジスタA(H)	MDAH/		R/W	-	-		0000H
FFFF3H		MULB						
FFFF4H	乗除算データ・レジスタB(H)	MDBH/		R/W	-	-		0000H
FFFF5H		MULOH						
FFFF6H	乗除算データ・レジスタB(L)	MDBL/		R/W	-	-		0000H
FFFF7H		MULOL						
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W			-	00H

備考 拡張SFR(2nd SFR)については、表3-6 拡張SFR(2nd SFR)一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (!addr16.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- **R/W**

該当する拡張SFRが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 **特殊機能レジスタ (SFR : Special Function Register)** を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (1/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W			-	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	-		-	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	-		-	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	-		-	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W			-	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W			-	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W			-	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W			-	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W			-	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W			-	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W			-	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W			-	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W			-	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W			-	00H
F0057H	ポート出力モード・レジスタ7	POM7	R/W			-	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W			-	FFH
F006CH	ポート・モード・コントロール・レジスタ12	PMC12	R/W			-	FFH
F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W			-	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W			-	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W			-	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W			-	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	-		-	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	-		-	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	-		-	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	-		-	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W			-	00H
F00A0H	高速オンチップ・オシレータトリミング・レジスタ	HIOTRM	R/W	-		-	注
F00A8H	高速オンチップ・オシレータ分周設定レジスタ	HOCODIV	R/W	-		-	不定
F00ACH	温度トリミング・レジスタ0	TEMPCAL0	R	-		-	注

注 初期値は製品により異なります。

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (2/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F00ADH	温度トリミング・レジスタ1	TEMPCAL1		R	-	-	-	注
F00AEH	温度トリミング・レジスタ2	TEMPCAL2		R	-	-	-	注
F00AFH	温度トリミング・レジスタ3	TEMPCAL3		R	-	-	-	注
F00E0H	乗除算データ・レジスタC (L)	MDCL		R	-	-	-	0000H
F00E2H	乗除算データ・レジスタC (H)	MDCH		R	-	-	-	0000H
F00E8H	乗除算コントロール・レジスタ	MDUC		R/W	-	-	-	00H
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	-	-	-	00H
F00F3H	動作スピード・モード制御レジスタ	OSMC		R/W	-	-	-	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	-	-	-	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	-	-	-	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	-	-	-	0000H
F0101H		-			-	-		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	-	-	-	0000H
F0103H		-			-	-		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	-	-	-	0000H
F0105H		-			-	-		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	-	-	-	0000H
F0107H		-			-	-		
F0108H	シリアル・フラグ・クリア・トリガ・ レジスタ00	SIR00L	SIR00	R/W	-	-	-	0000H
F0109H		-			-	-		
F010AH	シリアル・フラグ・クリア・トリガ・ レジスタ01	SIR01L	SIR01	R/W	-	-	-	0000H
F010BH		-			-	-		
F010CH	シリアル・フラグ・クリア・トリガ・ レジスタ02	SIR02L	SIR02	R/W	-	-	-	0000H
F010DH		-			-	-		
F010EH	シリアル・フラグ・クリア・トリガ・ レジスタ03	SIR03L	SIR03	R/W	-	-	-	0000H
F010FH		-			-	-		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	-	-	-	0020H
F0111H					-	-	-	
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	-	-	-	0020H
F0113H					-	-	-	
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	-	-	-	0020H
F0115H					-	-	-	
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	-	-	-	0020H
F0117H					-	-	-	
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	-	-	-	0087H
F0119H					-	-	-	
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	-	-	-	0087H
F011BH					-	-	-	
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	-	-	-	0087H
F011DH					-	-	-	

注 初期値は製品により異なります。

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (3/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F011EH F011FH	シリアル通信動作設定レジスタ03	SCR03		R/W	-	-		0087H
F0120H F0121H	シリアル・チャンネル許可ステータス・ レジスタ0	SE0L	SE0	R				0000H
F0122H F0123H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W				0000H
F0124H F0125H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W				0000H
F0126H F0127H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W				0000H
F0128H F0129H	シリアル出力レジスタ0	SO0		R/W	-	-		0F0FH
F012AH F012BH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W				0000H
F0134H F0135H	シリアル出力レベル・レジスタ0	SOL0L	SOLO	R/W				0000H
F0138H	シリアル・スタンバイ・コントロール・ レジスタ0	SSC0L	SSC0	R/W				0000H
F0140H F0141H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R				0000H
F0142H F0143H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R				0000H
F0148H F0149H	シリアル・フラグ・クリア・トリガ・ レジスタ10	SIR10L	SIR10	R/W				0000H
F014AH F014BH	シリアル・フラグ・クリア・トリガ・ レジスタ11	SIR11L	SIR11	R/W				0000H
F0150H F0151H	シリアル・モード・レジスタ10	SMR10		R/W	-	-		0020H
F0152H F0153H	シリアル・モード・レジスタ11	SMR11		R/W	-	-		0020H
F0158H F0159H	シリアル通信動作設定レジスタ10	SCR10		R/W	-	-		0087H
F015AH F015BH	シリアル通信動作設定レジスタ11	SCR11		R/W	-	-		0087H
F0160H F0161H	シリアル・チャンネル許可ステータス・ レジスタ1	SE1L	SE1	R				0000H
F0162H F0163H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W				0000H
F0164H F0165H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W				0000H

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

表3 - 6 拡張SFR (2nd SFR) 一覧 (4/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	-			0000H
F0167H		-			-			
F0168H	シリアル出力レジスタ1	SO1		R/W	-	-		0303H
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W				0000H
F016BH		-			-			
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	-			0000H
F0175H		-			-			
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	-	-		FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	-	-		FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	-	-		FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	-	-		FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	-	-		FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	-	-		FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	-	-		FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	-	-		FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	-	-		0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	-	-		0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	-	-		0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	-	-		0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	-	-		0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	-	-		0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	-	-		0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	-	-		0000H
F019FH								

備考 SFR領域のSFRについては、表3 - 5 SFR一覧を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (5/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	-			0000H
F01A1H		-			-	-		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	-			0000H
F01A3H		-			-	-		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	-			0000H
F01A5H		-			-	-		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	-			0000H
F01A7H		-			-	-		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	-			0000H
F01A9H		-			-	-		
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	-			0000H
F01ABH		-			-	-		
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	-			0000H
F01ADH		-			-	-		
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	-			0000H
F01AFH		-			-	-		
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R				0000H
F01B1H		-			-	-		
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W				0000H
F01B3H		-			-	-		
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W				0000H
F01B5H		-			-	-		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	-	-		0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	-			0000H
F01B9H		-			-	-		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W				0000H
F01BBH		-			-	-		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	-			0000H
F01BDH		-			-	-		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	-			0000H
F01BFH		-			-	-		
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W			-	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W			-	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	-		-	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	-		-	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	-		-	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL		R/W			-	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL		R/W	-	-		0000H
F02FAH	CRCデータ・レジスタ	CRCD		R/W	-	-		0000H

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (6/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0500H	周辺イネーブル・レジスタX	PERX		R/W			-	00H
F0501H	周辺クロック選択レジスタ	PCKSEL		R/W			-	00H
F0504H	ポート・モード・レジスタX0	PMX0		R/W			-	01H
F0505H	ポート・モード・レジスタX1	PMX1		R/W			-	01H
F0506H	ポート・モード・レジスタX2	PMX2		R/W			-	01H
F0507H	ポート・モード・レジスタX3	PMX3		R/W			-	01H
F0508H	ポート・モード・レジスタX4	PMX4		R/W			-	01H
F0509H	ポート入力許可レジスタ	PIEN		R/W			-	00H
F050AH	ノイズ・フィルタ許可レジスタX	NFENX		R/W			-	00H
F0520H	LIN-UART0制御レジスタ0	UF0CTL0		R/W			-	10H
F0521H	LIN-UART0オプション・レジスタ0	UF0OPT0		R/W			-	14H
F0522H	LIN-UART0制御レジスタ1	UF0CTL1		R/W	-	-		0FFFH
F0524H	LIN-UART0オプション・レジスタ1	UF0OPT1		R/W			-	00H
F0525H	LIN-UART0オプション・レジスタ2	UF0OPT2		R/W			-	00H
F0526H	LIN-UART0状態レジスタ	UF0STR		R	-	-		0000H
F0527H								
F0528H	LIN-UART0状態クリア・レジスタ	UF0STC		R/W	-	-		0000H
F0529H								
F052AH	LIN-UART0ウェイト用8-bit送信データ・レジスタ	UF0WTXB		W	-	-		00H
F052BH	LIN-UART0ウェイト用送信データ・レジスタ	UF0WTX		W	-	-		0000H
F052EH	LIN-UART0 ID設定レジスタ	UF0ID		R/W	-	-		00H
F052FH	LIN-UART0バッファ・レジスタ0	UF0BUF0		R/W	-	-		00H
F0530H	LIN-UART0バッファ・レジスタ1	UF0BUF1		R/W	-	-		00H
F0531H	LIN-UART0バッファ・レジスタ2	UF0BUF2		R/W	-	-		00H
F0532H	LIN-UART0バッファ・レジスタ3	UF0BUF3		R/W	-	-		00H
F0533H	LIN-UART0バッファ・レジスタ4	UF0BUF4		R/W	-	-		00H
F0534H	LIN-UART0バッファ・レジスタ5	UF0BUF5		R/W	-	-		00H
F0535H	LIN-UART0バッファ・レジスタ6	UF0BUF6		R/W	-	-		00H
F0536H	LIN-UART0バッファ・レジスタ7	UF0BUF7		R/W	-	-		00H
F0537H	LIN-UART0バッファ・レジスタ8	UF0BUF8		R/W	-	-		00H
F0538H	LIN-UART0バッファ制御レジスタ	UF0BUCTL		R/W	-	-		0000H
F0539H								
F0540H	シリアル・データ・レジスタS0	SDRS0L	SDRS0	R/W	-	-		0000H
F0541H		-						
F0542H	シリアル・データ・レジスタS1	SDRS1L	SDRS1	R/W	-	-		0000H
F0543H		-						
F0548H	LIN-UART0 8-bit送信データ・レジスタ	UF0TXB	UF0TX	R/W	-	-		00H
F0549H	LIN-UART0送信データ・レジスタ	-						-

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (7/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F054AH	LIN-UART0 8-bit受信データ・レジスタ	UF0RXB	UF0RX	R	-			00H
F054BH	LIN-UART0受信データ・レジスタ				-	-		0000H
F0550H	シリアル・ステータス・レジスタS0	SSRS0L	SSRS0	R	-			0000H
F0551H		-			-	-		
F0552H	シリアル・ステータス・レジスタS1	SSRS1L	SSRS1	R	-			0000H
F0553H		-			-	-		
F0554H	シリアル・フラグ・クリア・トリガ・レジスタS0	SIRS0L	SIRS0	R/W	-			0000H
F0555H		-			-	-		
F0556H	シリアル・フラグ・クリア・トリガ・レジスタS1	SIRS1L	SIRS1	R/W	-			0000H
F0557H		-			-	-		
F0558H	シリアル・モード・レジスタS0	SMRS0		R/W	-	-		0020H
F0559H								
F055AH	シリアル・モード・レジスタS1	SMRS1		R/W	-	-		0020H
F055BH								
F055CH	シリアル通信動作設定レジスタS0	SCRS0		R/W	-	-		0087H
F055DH								
F055EH	シリアル通信動作設定レジスタS1	SCRS1		R/W	-	-		0087H
F055FH								
F0560H	シリアル・チャンネル許可ステータス・レジスタS	SESL	SES	R				0000H
F0561H		-			-	-		
F0562H	シリアル・チャンネル開始レジスタS	SSSL	SSS	R/W				0000H
F0563H		-			-	-		
F0564H	シリアル・チャンネル停止レジスタS	STSL	STS	R/W				0000H
F0565H		-			-	-		
F0566H	シリアル・クロック選択レジスタS	SPSSL	SPSS	R/W	-			0000H
F0567H		-			-	-		
F0568H	シリアル出力レジスタS	SOS		R/W	-	-		0303H
F0569H								
F056AH	シリアル出力許可レジスタS	SOESL	SOES	R/W				0000H
F056BH		-			-	-		
F0570H	シリアル出力許可レジスタS	SOLS	SOLS	R/W	-			0000H
F0571H		-			-	-		
F0580H	ウェイクアップ・タイマ・コントロール・レジスタ	WUTMCTL		R/W			-	00H
F0582H	ウェイクアップ・タイマ・コンペア・レジスタ	WUTMCMP		R/W	-	-		0000H
F0583H								

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

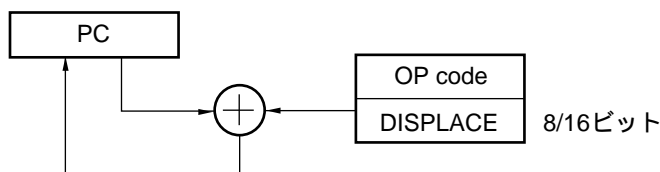
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレイメント値 (符号付きの補数データ: - 128 ~ + 127 または - 32768 ~ + 32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3 - 20 レラティブ・アドレッシングの概略



3.3.2 イミディエイト・アドレッシング

【機能】

命令語中のイミディエイト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエイト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3 - 21 CALL !!addr20/BR !!addr20の例

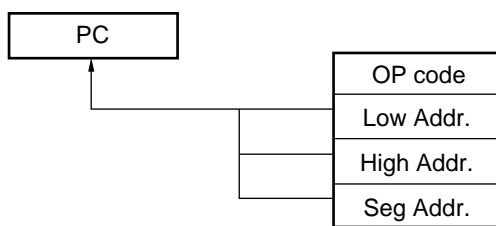
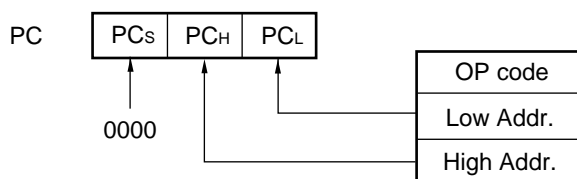


図3 - 22 CALL !addr16/BR !addr16の例



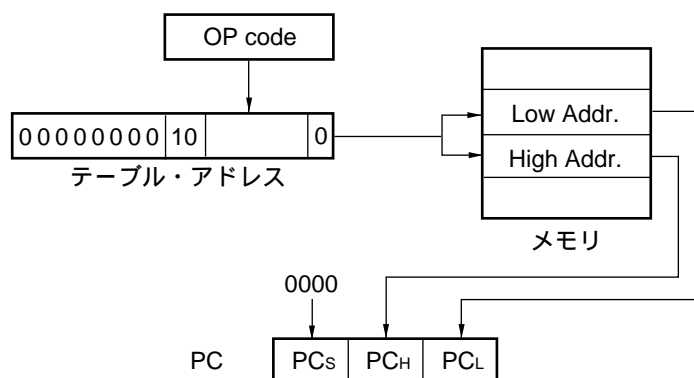
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 23 テーブル・インダイレクト・アドレッシングの概略

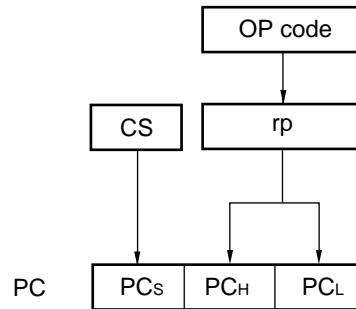


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ (PC) に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3 - 24 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

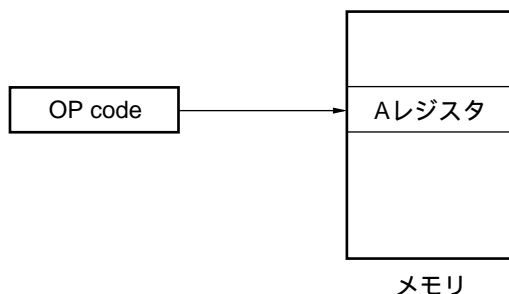
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。
インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 25 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

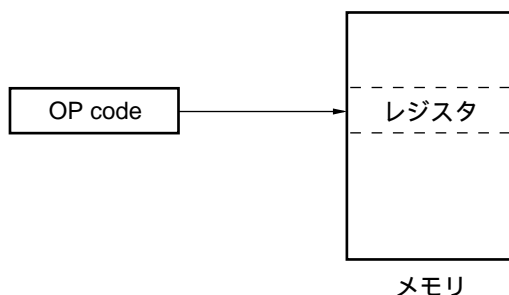
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 26 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
ADDR16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:ADDR16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 27 ADDR16の例

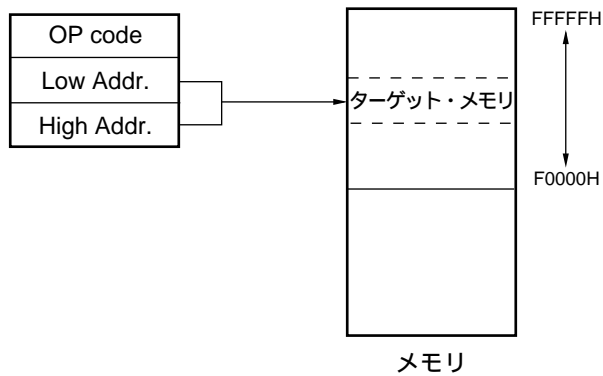
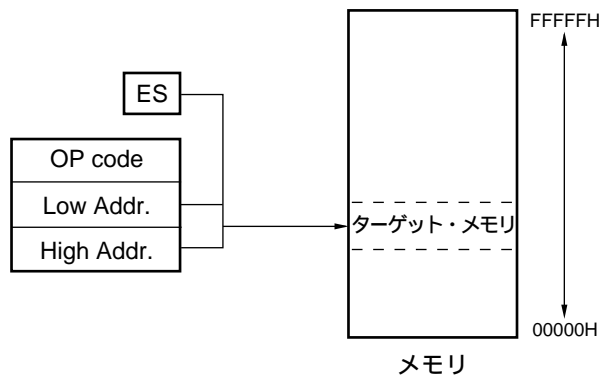


図3 - 28 ES:ADDR16の例



3.4.4 ショート・ダイレクト・アドレッシング

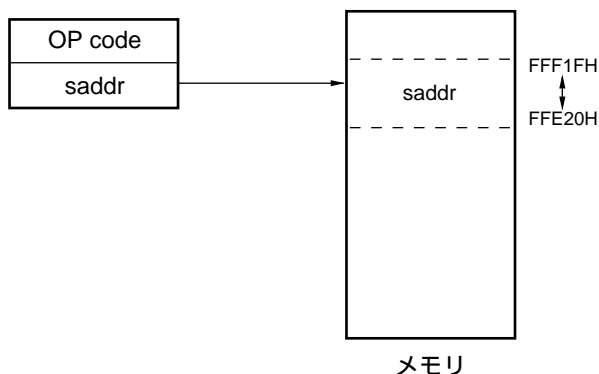
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3 - 29 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミューディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミューディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

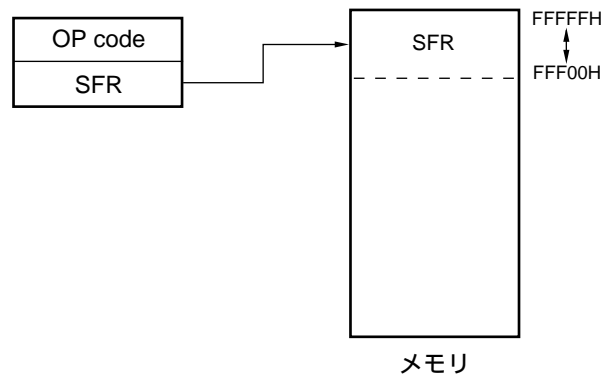
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレスのみ）

図3 - 30 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 31 [DE], [HL]の例

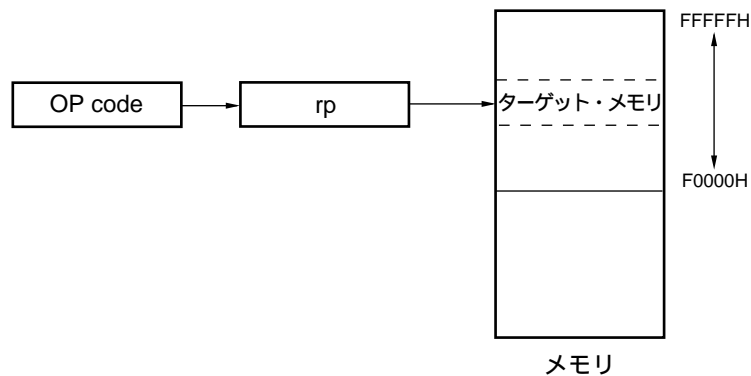
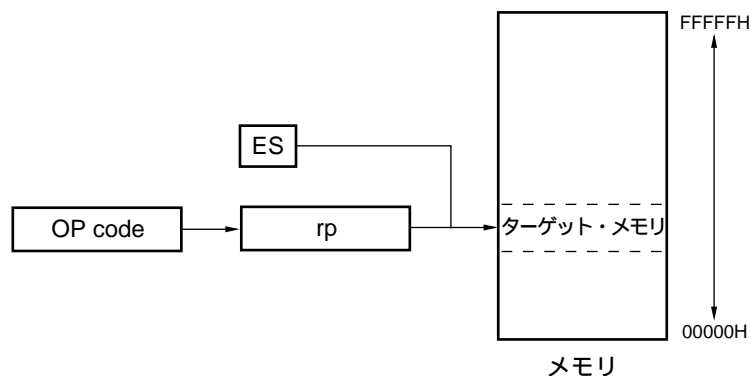


図3 - 32 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFFH空間のみ指定可能)
-	word[B], word[C] (F0000H-FFFFFFH空間のみ指定可能)
-	word[BC] (F0000H-FFFFFFH空間のみ指定可能)
-	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 33 [SP+byte]の例

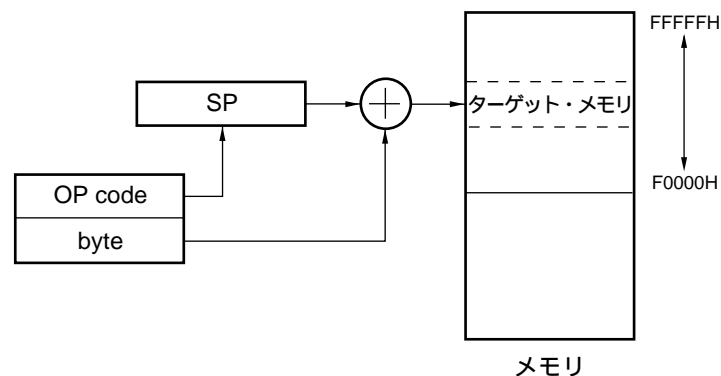


図3 - 34 [HL+byte] , [DE+byte]の例

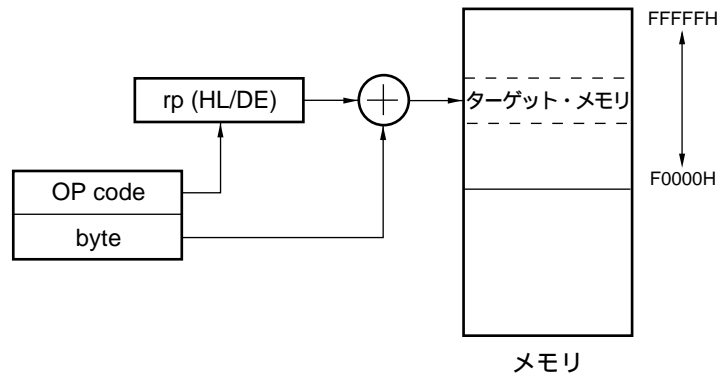


図3 - 35 word[B] , word[C]の例

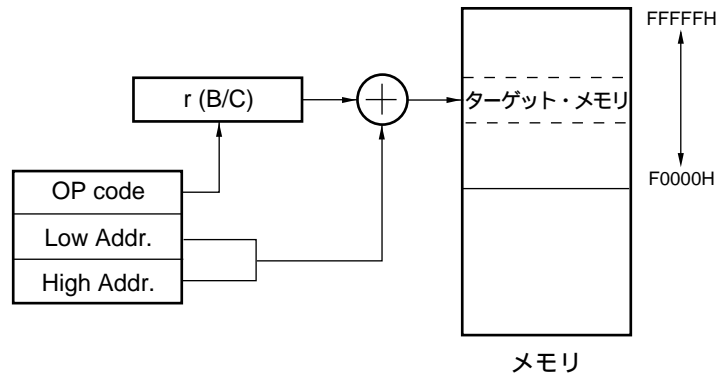


図3 - 36 word[BC]の例

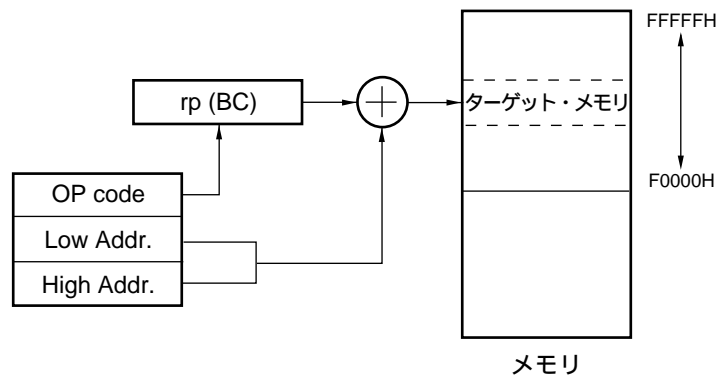


図3 - 37 ES:[HL+byte] , ES:[DE+byte]の例

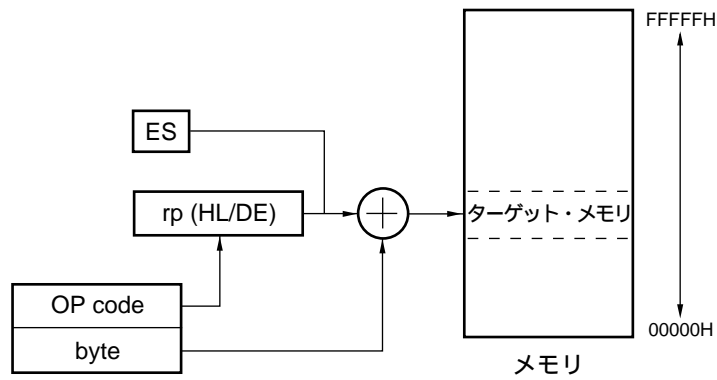


図3 - 38 ES:word[B] , ES:word[C]の例

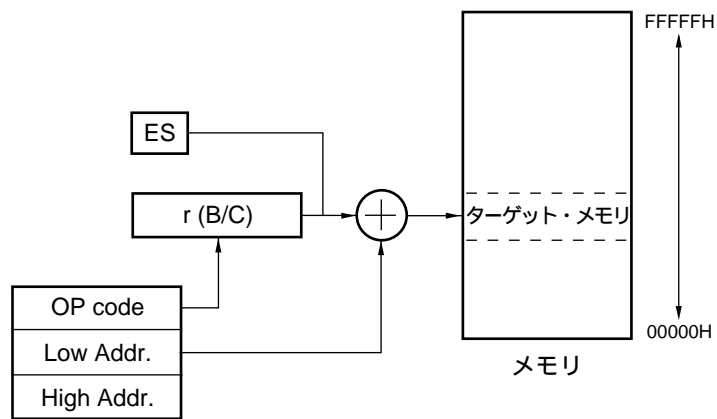
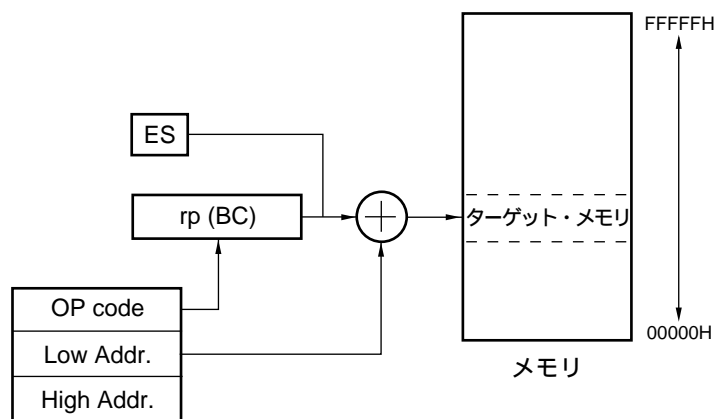


図3 - 39 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + B] , [HL + C] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + B] , ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 40 [HL+B] , [HL+C]の例

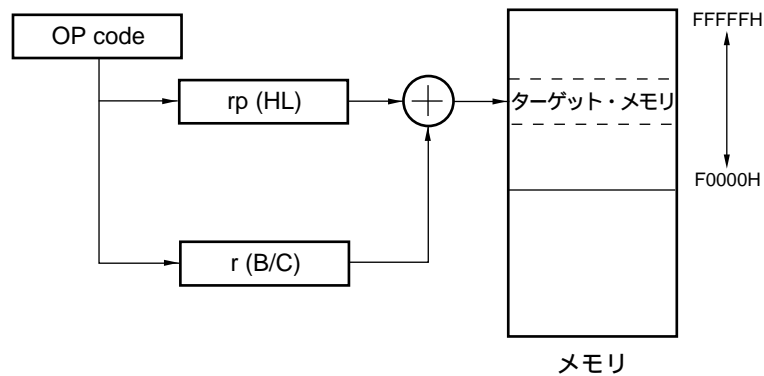
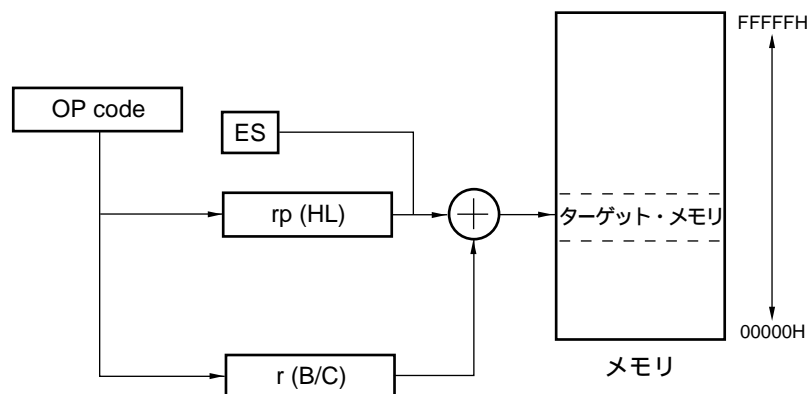


図3 - 41 ES:[HL+B] , ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アクセスは内部RAMのみに用いられます。

【オペランド形式】

表現形式	記述方法
-	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

第4章 ポート機能

4.1 ポートの機能

RL78/F12は、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM7, PM12, PM14, PMX0-PMX4) ポート・レジスタ (P0-P7, P12-P14) ブルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU12, PU14) ポート入力モード・レジスタ (PIM0, PIM1, PIM5) ポート出力モード・レジスタ (POM0, POM1, POM5, POM7) ポート・モード・コントロール・レジスタ (PMC0, PMC12, PMC14) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 周辺I/Oリダイレクション・レジスタ (PIOR) ポート入力許可レジスタ (PIEN)
ポート	<ul style="list-style-type: none"> ・20ピン製品： 合計：16本 (CMOS入出力：13本, CMOS入力：3本) ・30ピン製品： 合計：26本 (CMOS入出力：21本, CMOS入力：3本, N-chオープン・ドレイン入出力：2本) ・32ピン製品： 合計：28本 (CMOS入出力：22本, CMOS入力：3本, N-chオープン・ドレイン入出力：3本) ・48ピン製品： 合計：44本 (CMOS入出力：34本, CMOS入力：5本, CMOS出力：1本, N-chオープン・ドレイン入出力：4本) ・64ピン製品： 合計：58本 (CMOS入出力：48本, CMOS入力：5本, CMOS出力：1本, N-chオープン・ドレイン入出力：4本)
ブルアップ抵抗	<ul style="list-style-type: none"> ・20ピン製品 : 合計：10本 ・30ピン製品 : 合計：17本 ・32ピン製品 : 合計：18本 ・48ピン製品 : 合計：26本 ・64ピン製品 : 合計：40本

注意 この章では、以降の主な説明を64ピン製品で、周辺I/Oリダイレクション・レジスタ (PIOR) に00H設定時の場合で説明しています。

4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P06端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P01, P03, P04端子の入力は、ポート入力モード・レジスタ0 (PIM0) の設定により通常入力バッファ / TTL 入力バッファの指定ができます。

P00, P02, P03端子の出力は、ポート出力モード・レジスタ0 (POM0) によりN-chオープン・ドレイン出力 (V_{DD}耐圧 / EV_{DD}耐圧) に設定可能です。

P00-P03端子^注の入力は、ポート・モード・コントロール・レジスタ (PMC0) の設定により、1ビット単位でデジタル入出力 / アナログ入力の設定が必要です。

また、兼用機能としてタイマの入出力、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力があります。

20ピン～32ピンの場合、リセット信号の発生により、アナログ入力になります。

48ピンの場合、リセット信号の発生により、入力モードになります。

64ピンの場合、リセット信号の発生により、P00, P01, P04～P06は入力モード、P02/ANI17, P03/ANI16はアナログ入力になります。

ポート0使用時のレジスタ設定については表4-2を参照してください。

注 30, 32ピンの場合：P00, P01

20ピンの場合：P00

表4-2 ポート0使用時のレジスタ設定

端子		PM0.x	PIM0.x	POM0.x	PMC0.x	ポート使用時の 兼用機能設定	備考
名称	入出力						
P00 ^{注1}	入力	1	-	x	0	x	
	出力	0		0	0	x	CMOS出力
		0		1	0	x	N-ch O.D.出力
P01	入力	1	0	-	0	x	CMOS入力
		1			1	0	x
	出力	0			x	0	TO00出力 = 0 ^{注3}
P02 ^{注2}	入力	1	-	x	0	-	
	出力	0		0	0	SO10/TxD1出力 = 1 ^{注4}	
		0		1	0	N-ch O.D.出力	
P03 ^{注2}	入力	1	0	x	0	x	CMOS入力
		1	1	x	0		TTL入力
	出力	0	x	0	0	SDA10出力 = 1 ^{注4}	
		0	x	1	0	N-ch O.D.出力	
P04 ^{注2}	入力	1	0	x	-	x	CMOS入力
		1	1	x			TTL入力
	出力	0	x	0	SCK10/SCL10出力 = 1 ^{注4}		CMOS出力
		0	x	1	N-ch O.D.出力		
P05 ^{注2}	入力	1	-	-	-	x	
	出力	0	TO05出力 = 0 ^{注3}				
P06 ^{注2}	入力	1	-	-	-	x	
	出力	0	TO06出力 = 0 ^{注3}				

重要 汎用ポートとして使用する場合、兼用端子機能の出力をポート使用時の兼用機能設定で示すレベルに設定してください。

注 1. 30ピン, 32ピン, 48ピン, 64ピン製品のみ

2. 64ピン製品のみ

3. P02/ANI17/SO10/TxD1, P03/ANI16/SI10/RxD1/SDA10, P04/SCK10/SCL10を汎用ポートとして使用する場合、シリアル・チャンネル許可ステータス・レジスタ0 (SE0), シリアル出力レジスタ0 (SO0), シリアル出力許可レジスタ0 (SOE0) を初期状態と同じ設定で使用してください。また、ポート出力モード・レジスタ0 (POM0) は00HIにしてください。

4. P01/TO00, P05/TI05/TO05, P06/TI06/TO06を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット0, 5, 6 (TO0.0, TO0.5, TO0.6) とタイマ出力許可レジスタ0 (TOE0) のビット0, 5, 6 (TOE0.0, TOE0.5, TOE0.6) を初期状態と同じ設定“0”で使用してください。

備考 x : don't care

PM0x : ポート・モード・レジスタ0

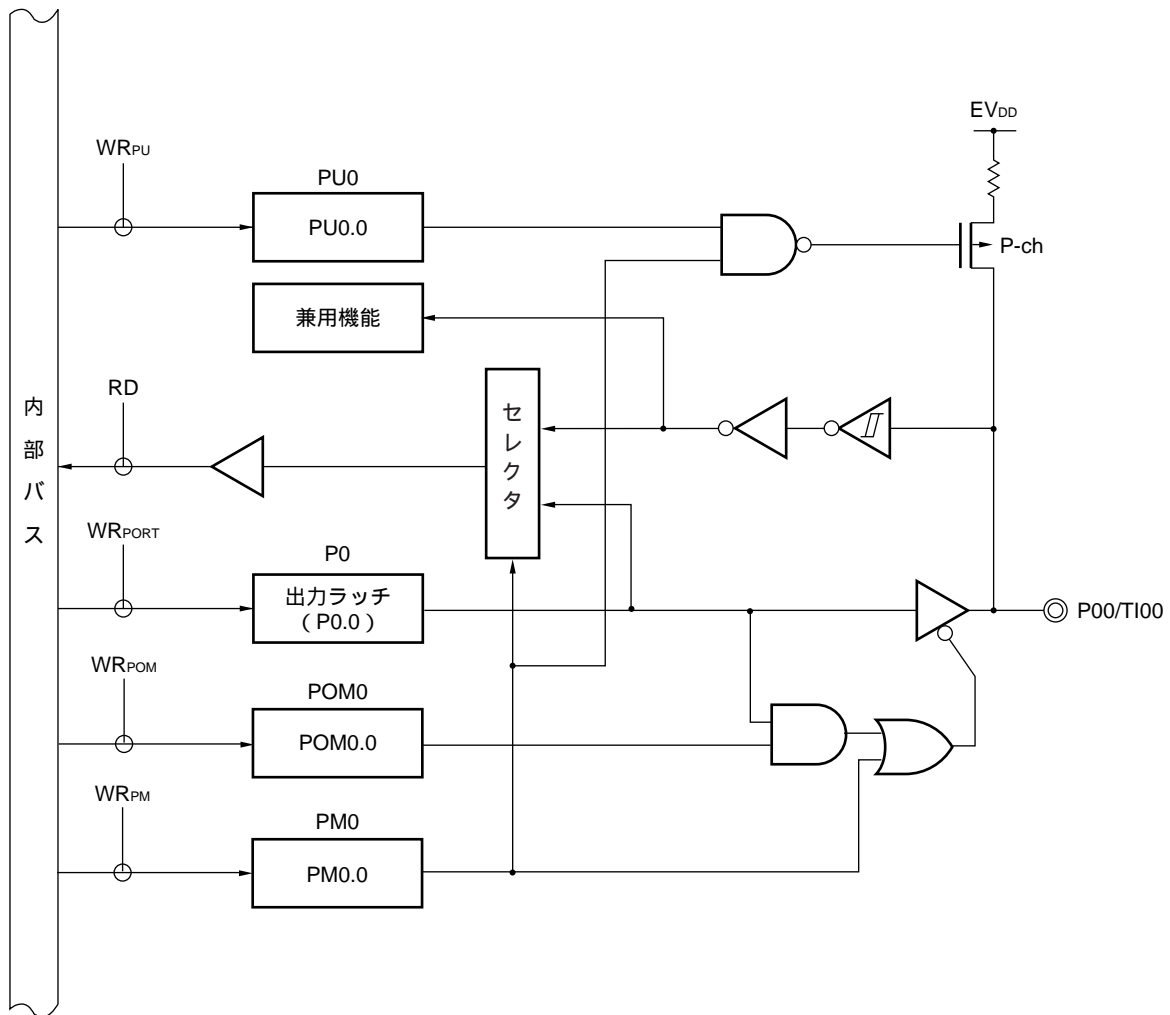
PIM0x : ポート入力モード・レジスタ0

POM0x : ポート出力モード・レジスタ0

PMC0x : ポート・モード・コントロール・レジスタ0

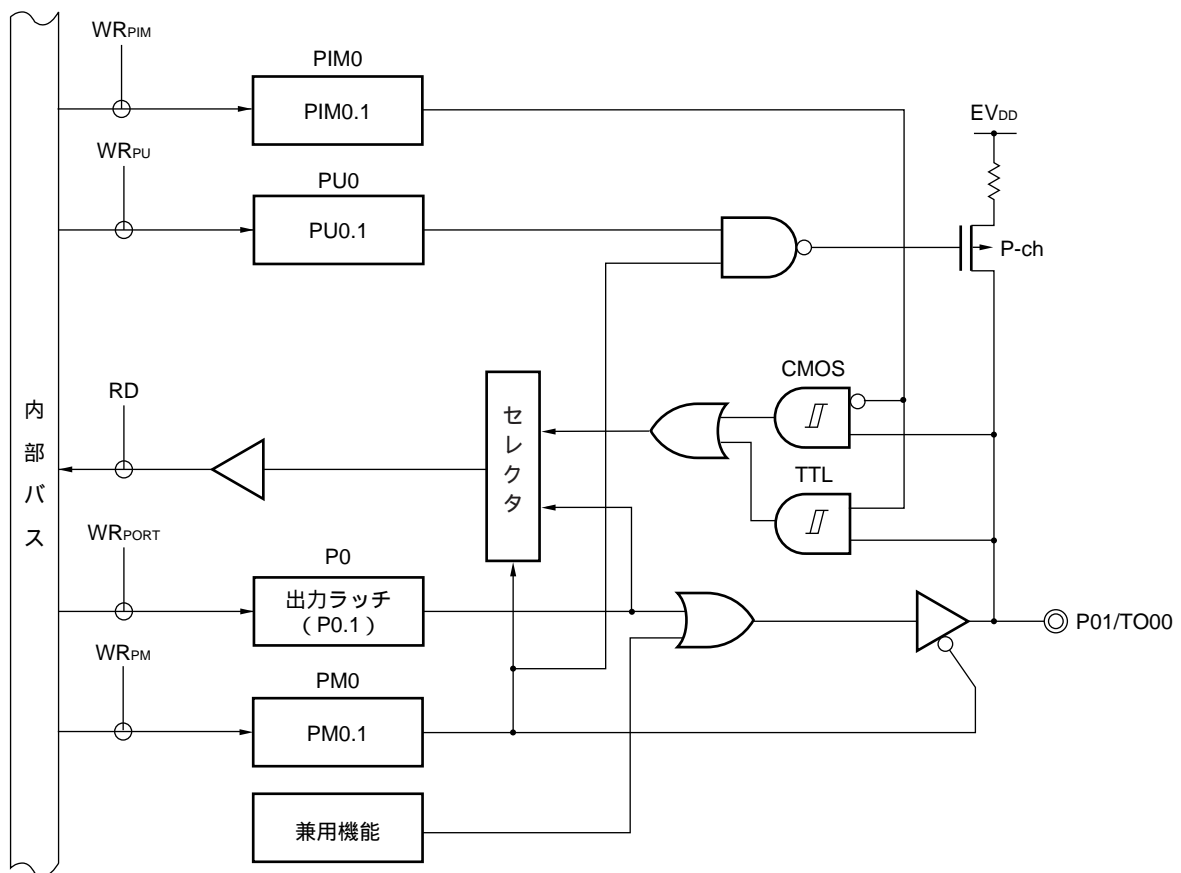
例として、図4-1~図4-6に、64ピン製品の場合のポート0のブロック図を示します。

図4-1 P00のブロック図



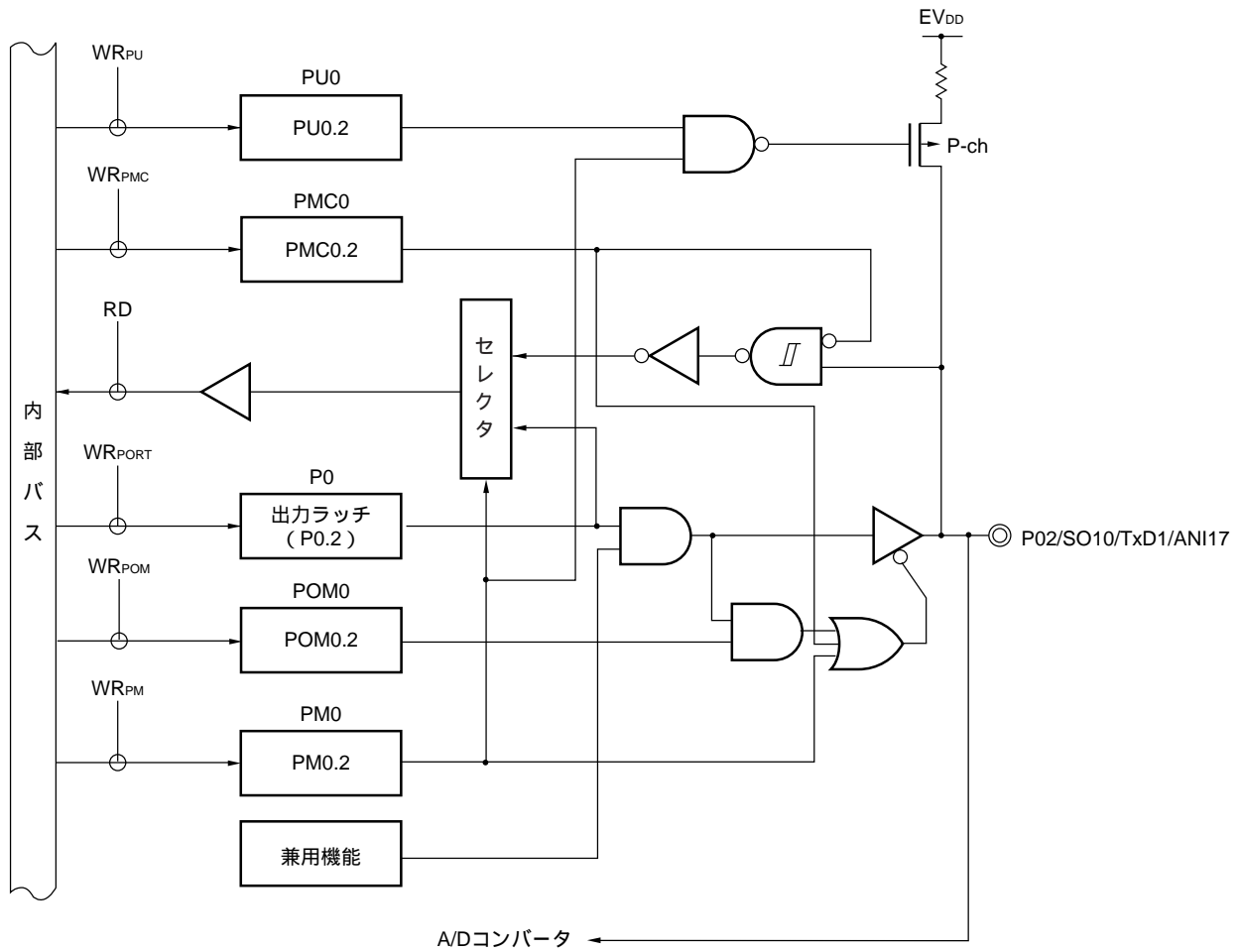
- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- POM0 : ポート出力モード・レジスタ0
- PMC0 : ポート・モード・コントロール・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

図4-2 P01のブロック図



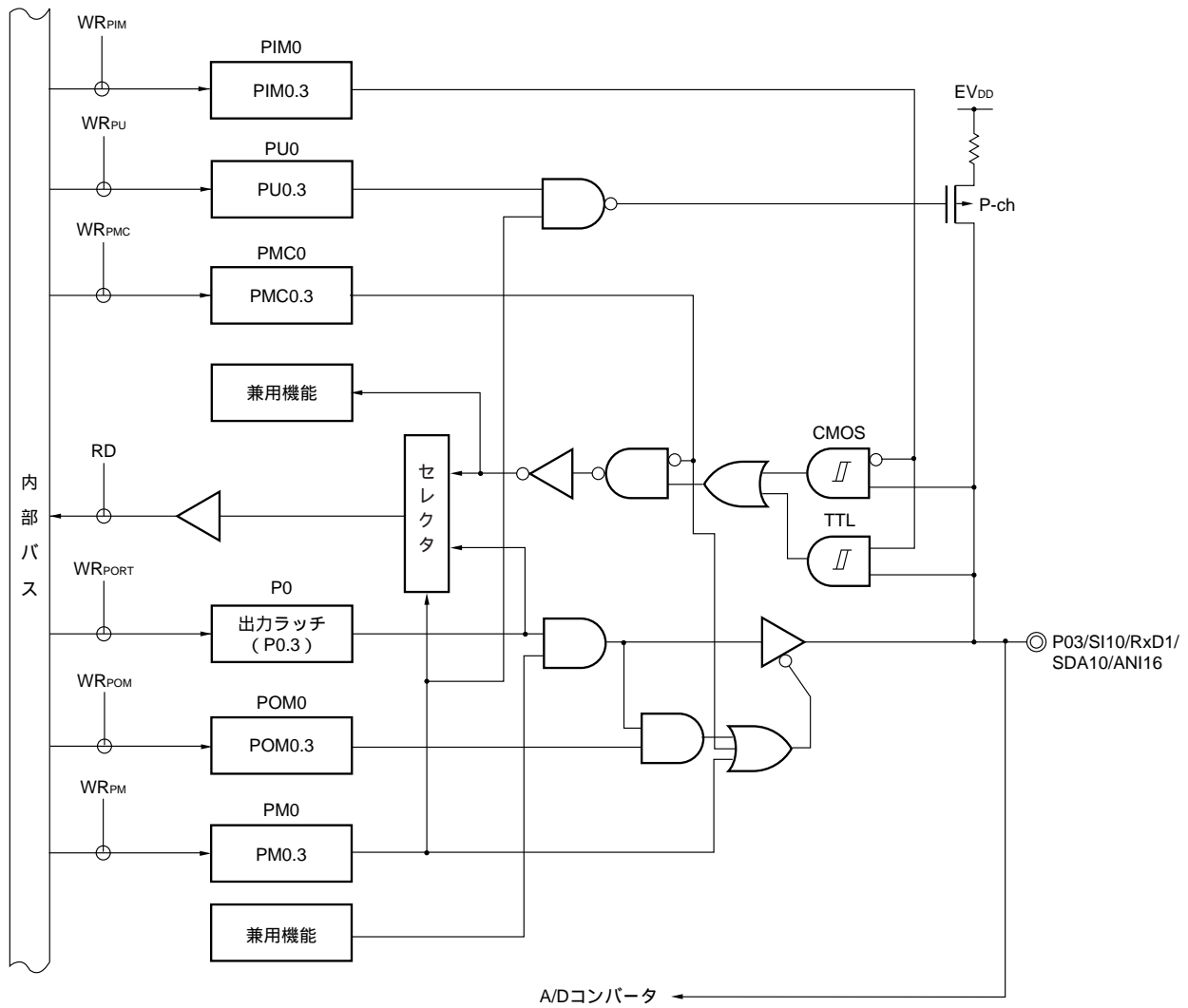
- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- PIM0 : ポート入力モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 3 P02のブロック図



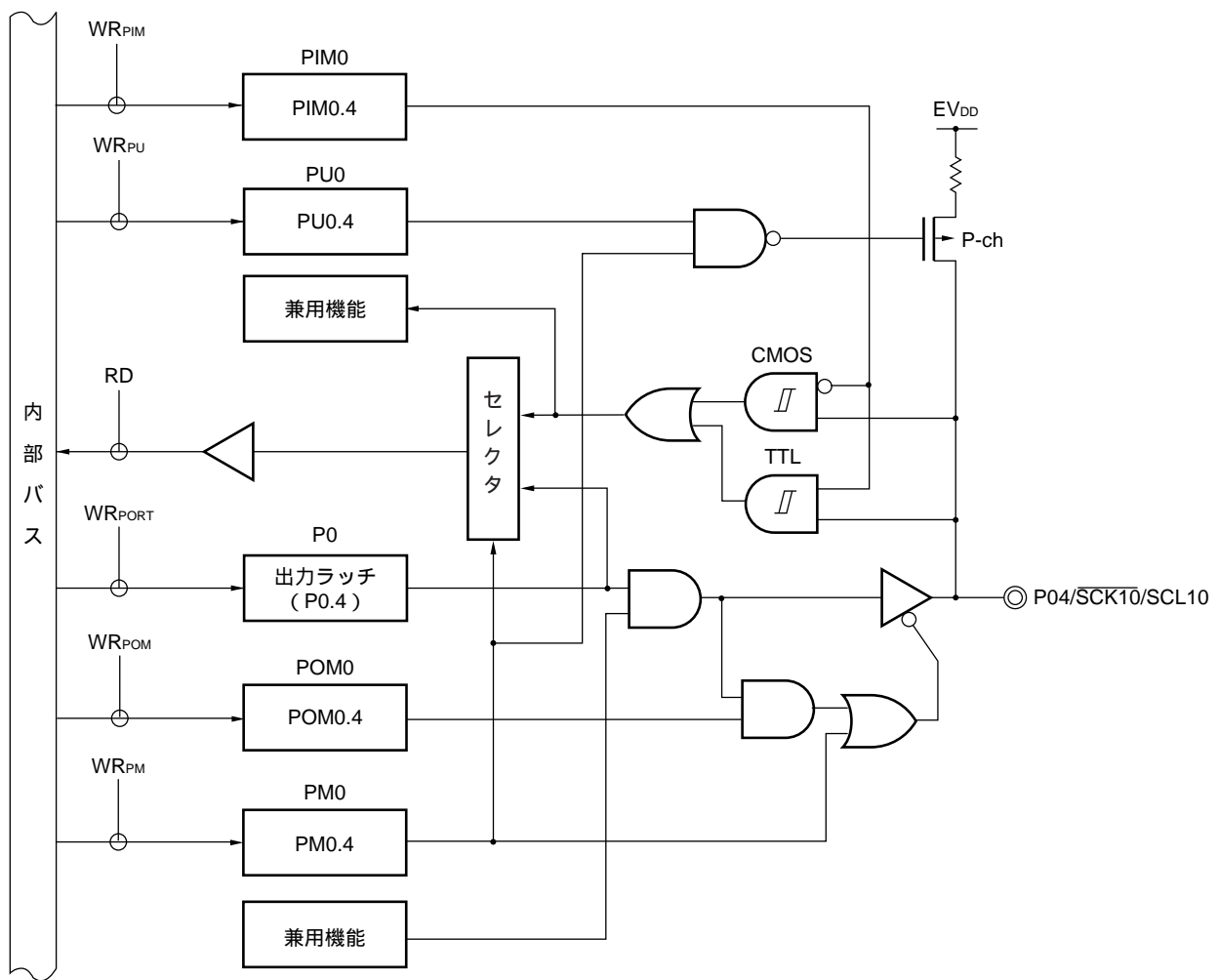
- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- POM0 : ポート出力モード・レジスタ0
- PMC0 : ポート・モード・コントロール・レジスタ0
- RD : リード信号
- WR_x : ライト信号

図4-4 P03のブロック図



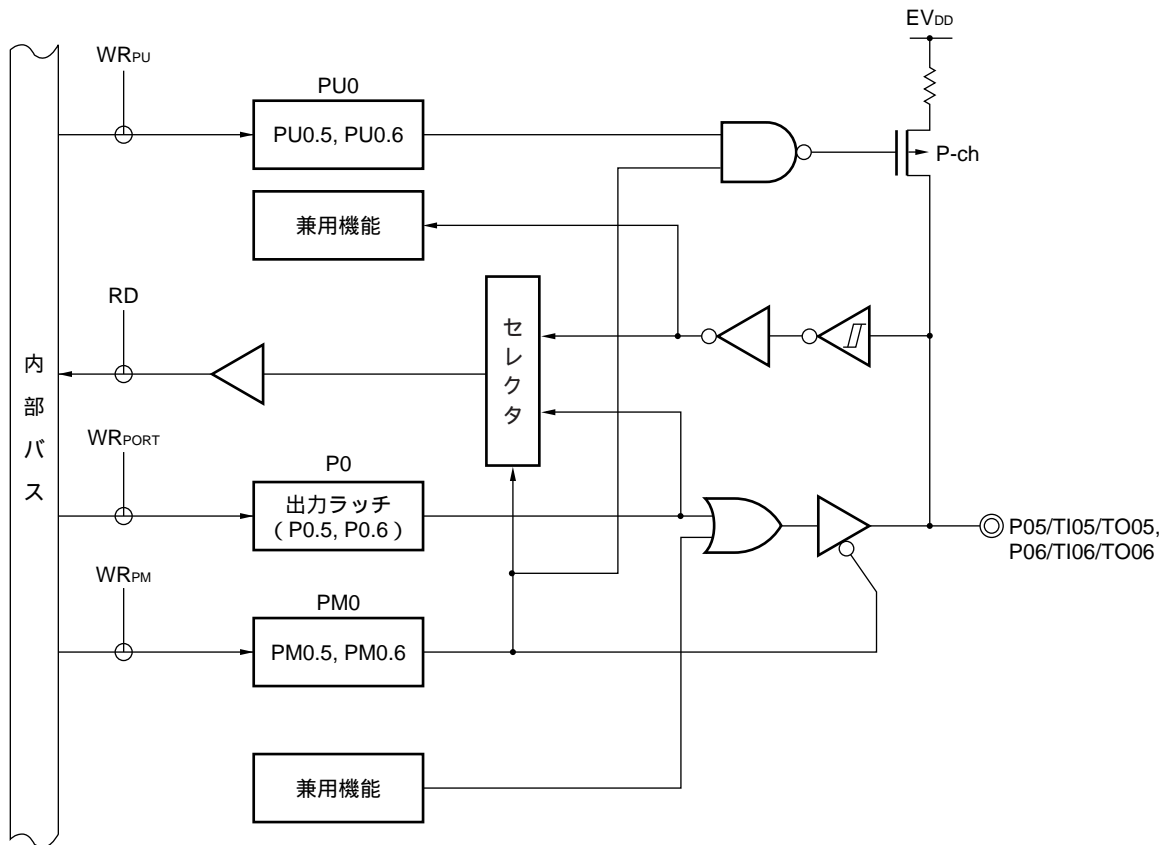
- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- PIM0 : ポート入力モード・レジスタ0
- POM0 : ポート出力モード・レジスタ0
- PMC0 : ポート・モード・コントロール・レジスタ0
- RD : リード信号
- WR_x : ライト信号

図4-5 P04のブロック図



- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 PIM0 : ポート入力モード・レジスタ0
 POM0 : ポート出力モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

図4 - 6 P05, P06のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

4.2.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P13-P17端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により1ビット単位で通常入力バッファ / TTL入力バッファの指定ができます。

P10-P15, P17端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、プログラミングUARTの送受信、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

ポート1使用時のレジスタ設定については表4-3を参照してください。

表4-3 ポート1使用時のレジスタ設定

端子		PM1.x	PIM1.x	POM1.x	ポート使用時の 兼用機能設定	備考
名称	入出力					
P10	入力	1	-	x	x	
	出力	0		0	SCK00/SCL00出力 = 1, (TO07出力 = 0)	CMOS出力
		0		1		N-ch O.D.出力
P11	入力	1	-	x	x	
	出力	0		0	SDA00出力 = 1 (TO06出力 = 0)	CMOS出力
		0		1		N-ch O.D.出力
P12	入力	1	-	x	x	
	出力	0		0	SO00/TxD0出力 = 1, (TO05出力 = 0)	CMOS出力
		0		1		N-ch O.D.出力
P13	入力	1	0	x	x	CMOS入力
		1	1	x	x	TTL入力
	出力	0	x	0	TxD2/SO20出力 = 1, (TO04出力 = 0, SDAA0出力 = 0)	CMOS出力
		0	x	1		N-ch O.D.出力
P14	入力	1	0	x	x	CMOS入力
		1	1	x	x	TTL入力
	出力	0	x	0	SDA20出力 = 1 (TO03出力 = 0, SCLA0出力 = 0)	CMOS出力
		0	x	1		N-ch O.D.出力
P15	入力	1	0	x	x	CMOS入力
		1	1	x	x	TTL入力
	出力	0	x	0	SCK20/SCL20出力 = 1 (TO02出力 = 0)	CMOS出力
		0	x	1		N-ch O.D.出力
P16	入力	1	0	-	x	CMOS入力
		1	1	-	x	TTL入力
	出力	0	x	-	TO01出力 = 0	
P17	入力	1	0	x	x	CMOS入力
		1	1	x	x	TTL入力
	出力	0	x	0	TO02出力 = 0 (SO00/TxD0出力 = 1)	CMOS出力
		0	x	1		N-ch O.D.出力

重要 汎用ポートとして使用する場合、兼用端子機能の出力をポート使用時の兼用機能設定で示すレベルに設定してください。

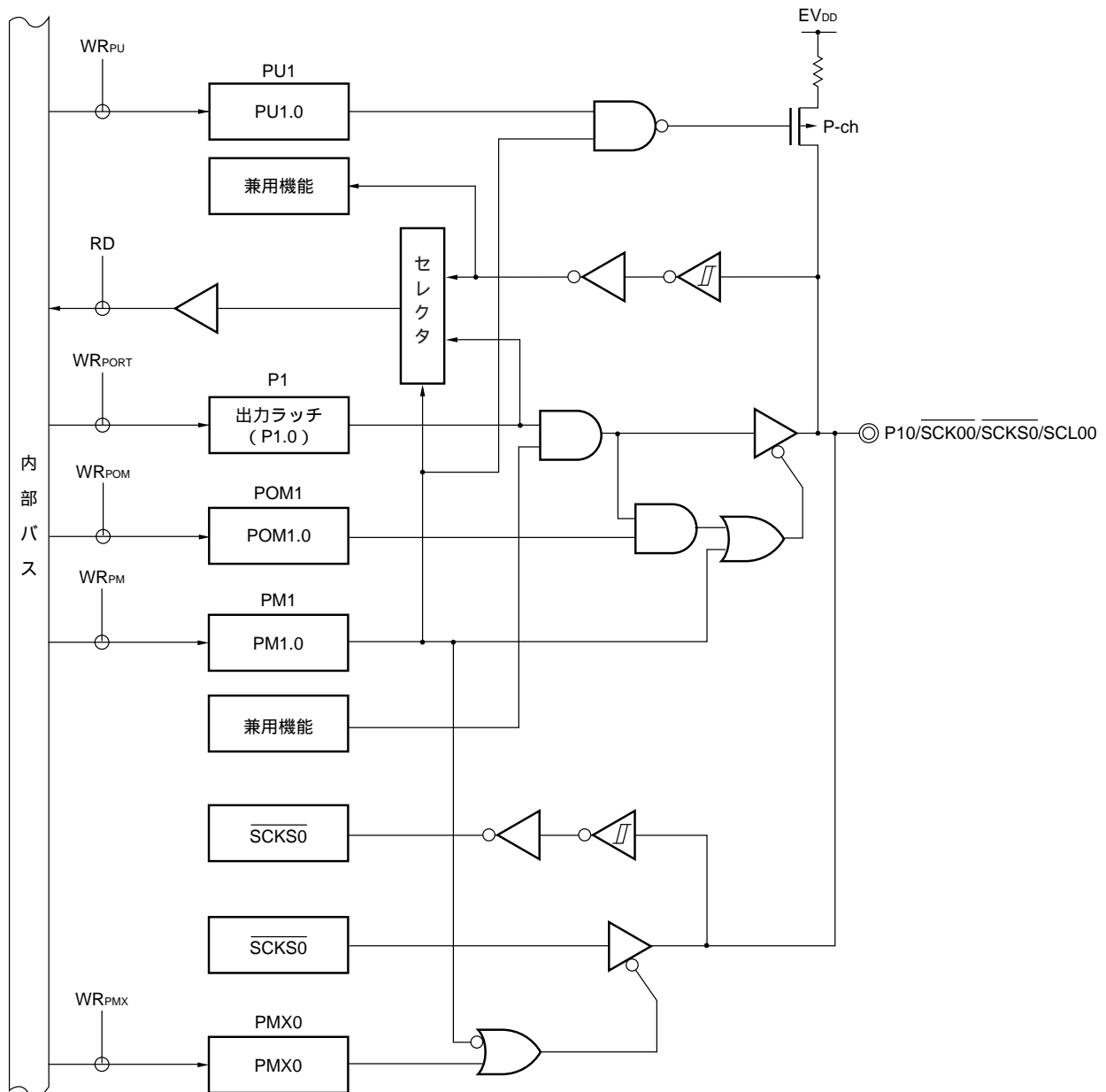
注 $\overline{\text{SCKSO}}$, $\overline{\text{SOS0/TxDS0}}$ をシリアル・データ出力またはシリアル・クロック出力として使用する場合は、各ポートに対応するポート・モード・レジスタ (PMxx) のビットを“1”に設定してください。また、PMX0, PMX1レジスタを“0”に設定してください。

- 注意1. P10/ $\overline{\text{SCK00/SCKSO/SCL00}}$, P11/SI00/RxD0/SIS0/RxDS0/SDA00, P12/SO00/TxD0/ $\overline{\text{SOS0/TxDS0}}$, P13/TxD2/SO20, P14/RxD2/SI20/SDA20, P15/SCK20/ $\overline{\text{SCL20}}$ を汎用ポートとして使用する場合、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m)、シリアル出力レジスタ_m (SO_m)、シリアル出力許可レジスタ_m (SOE_m)を初期状態と同じ設定で使用してください (m = 0, 1)。また、ポート出力モード・レジスタ1 (POM1)は00Hにしてください。
2. P16/TI01/TO01, P17/TI02/TO02を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0)のビット1, 2 (TO0.1, TO0.2)とタイマ出力許可レジスタ0 (TOE0)のビット1, 2 (TOE0.1, TOE0.2)を初期状態と同じ設定“0”で使用してください。
 3. PIOR.0 = 1に設定してあるときに、P10-P15を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0)のビット2-7 (TO0.2-TO0.7)とタイマ出力許可レジスタ0 (TOE0)のビット2-7 (TOE0.2-TOE0.7)の該当するビットを初期状態と同じ設定“0”で使用してください。
 4. PIOR.1 = 1に設定してあるときに、P16, P17を汎用ポートとして使用する場合、シリアル・チャンネル許可ステータス・レジスタ0 (SE0)、シリアル出力レジスタ0 (SO0)、シリアル出力許可レジスタ0 (SOE0)を初期状態と同じ設定で使用してください。

備考 ()内は、PIOR.x = 1の場合

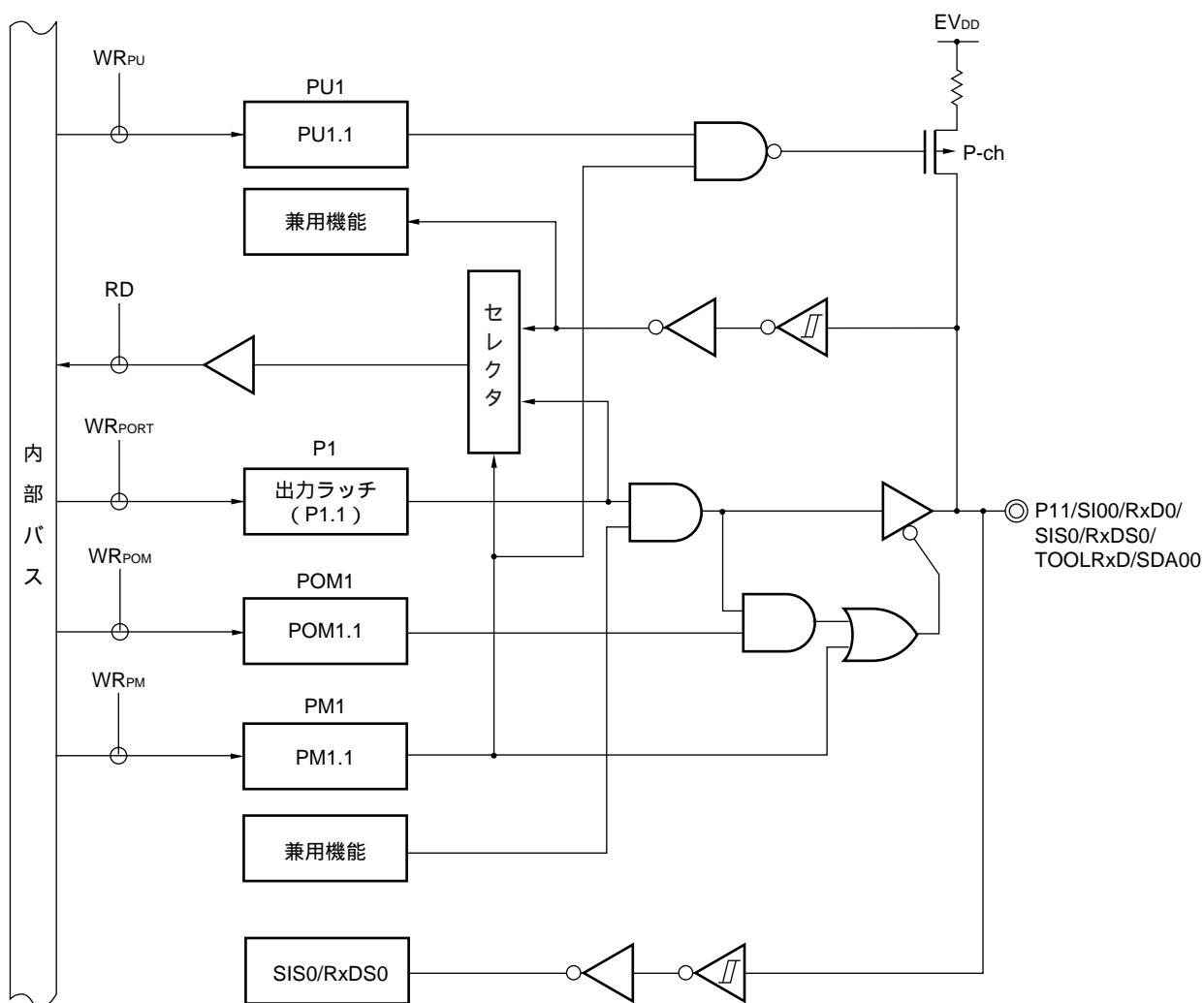
例として、図4-7～図4-14に、64ピン製品の場合のポート1のブロック図を示します。

図4-7 P10のブロック図



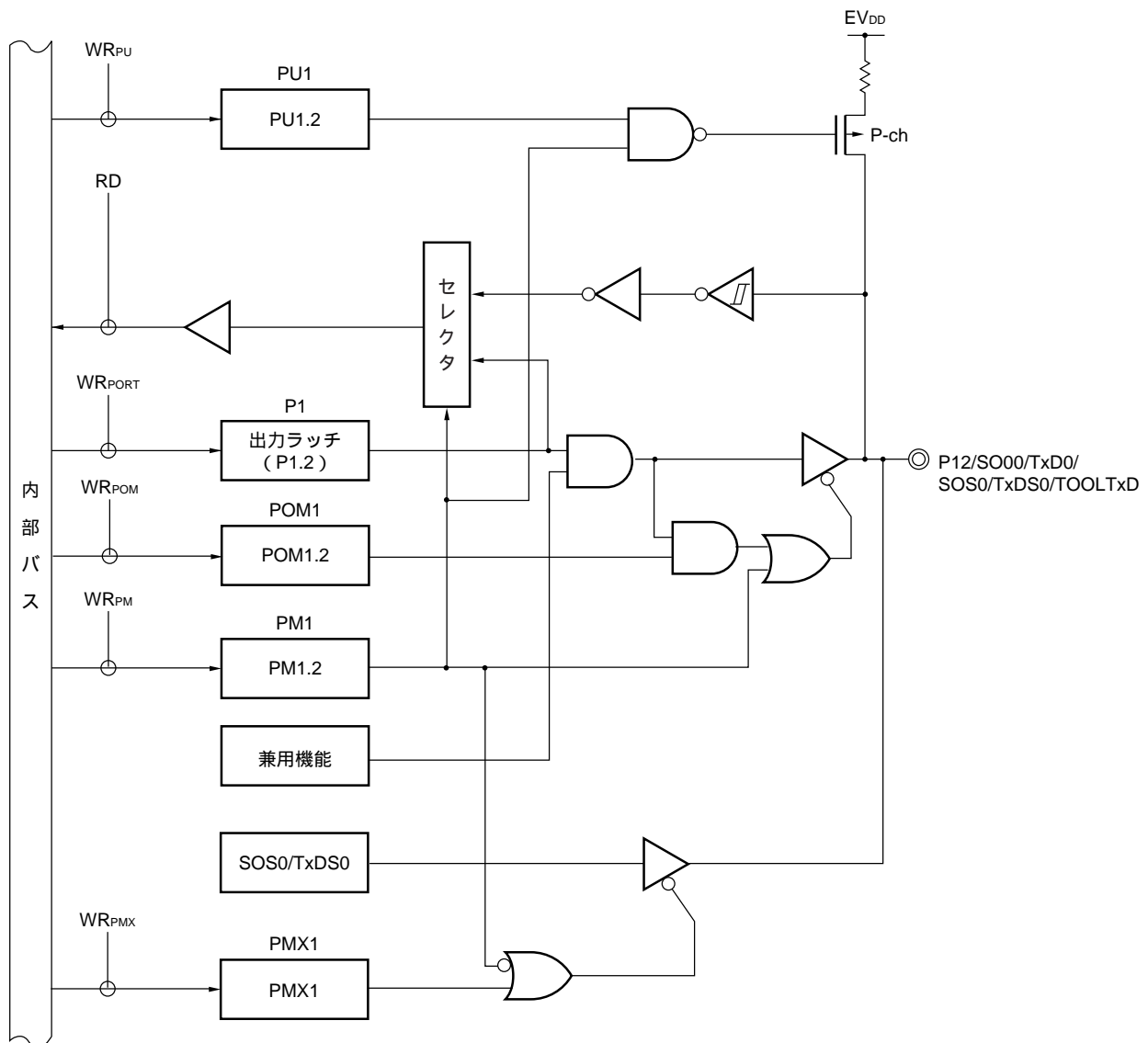
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PMX0 : ポート・モード・レジスタX0
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4-8 P11のブロック図



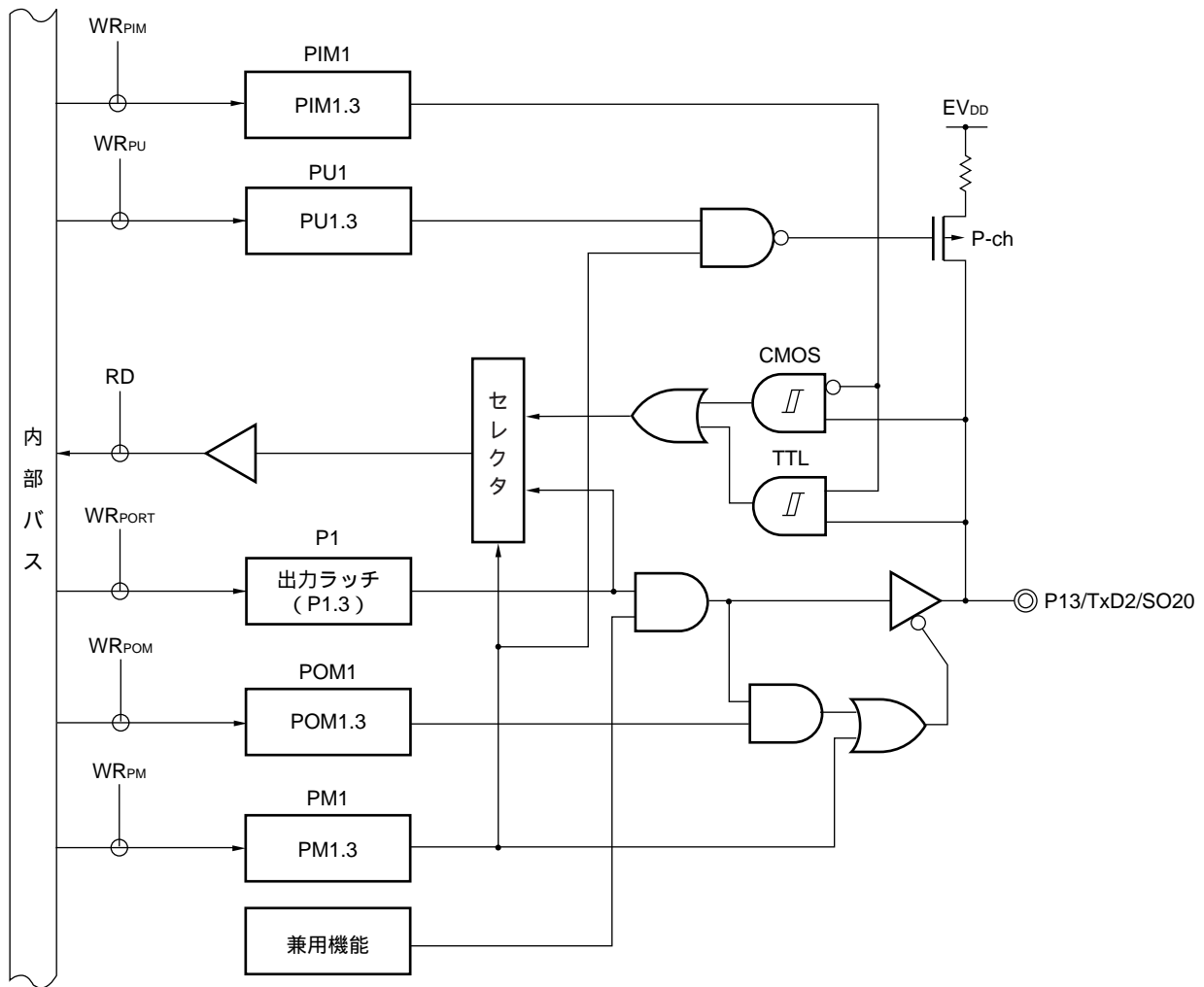
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4-9 P12のブロック図



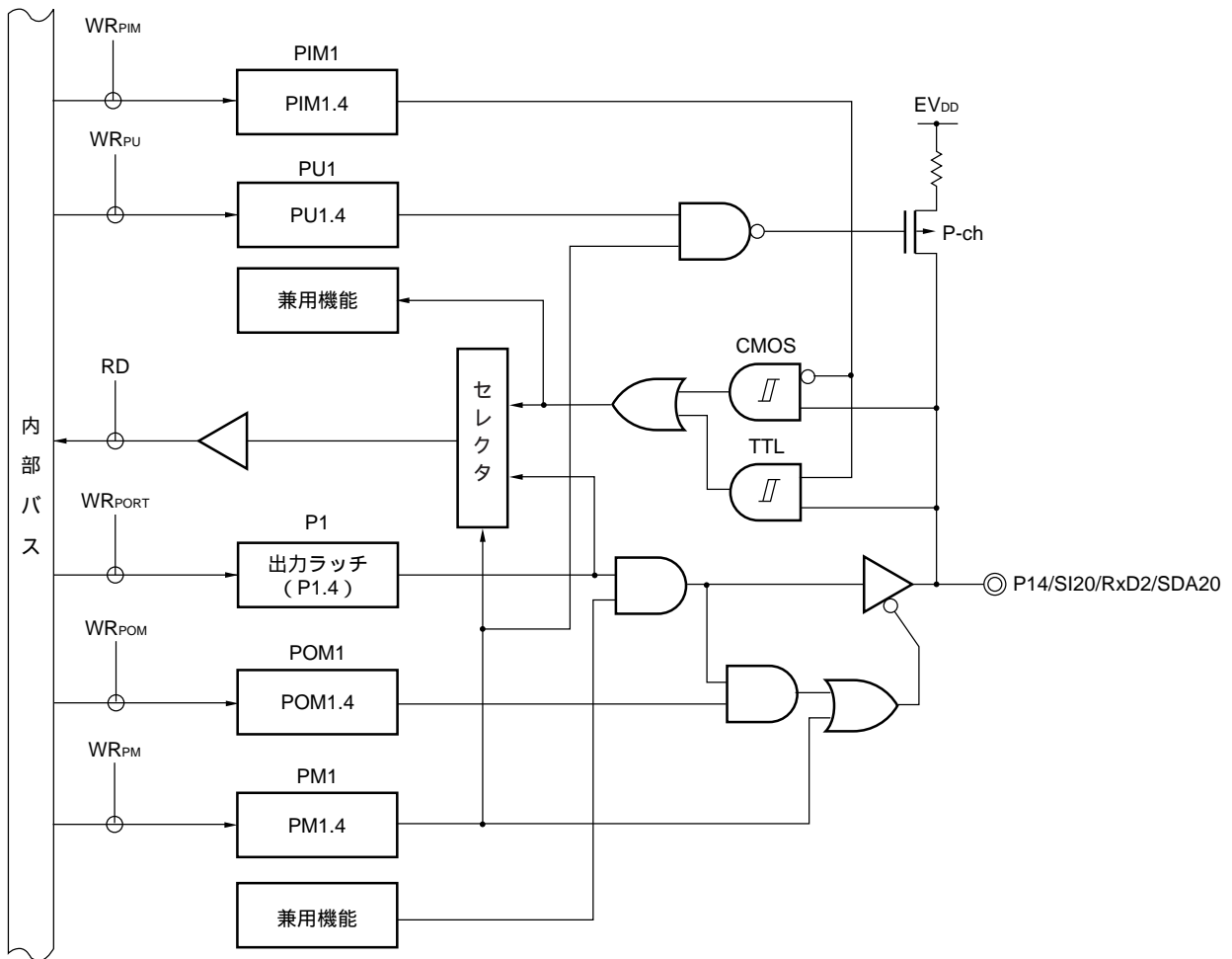
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PMX1 : ポート・モード・レジスタX1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4-10 P13のブロック図



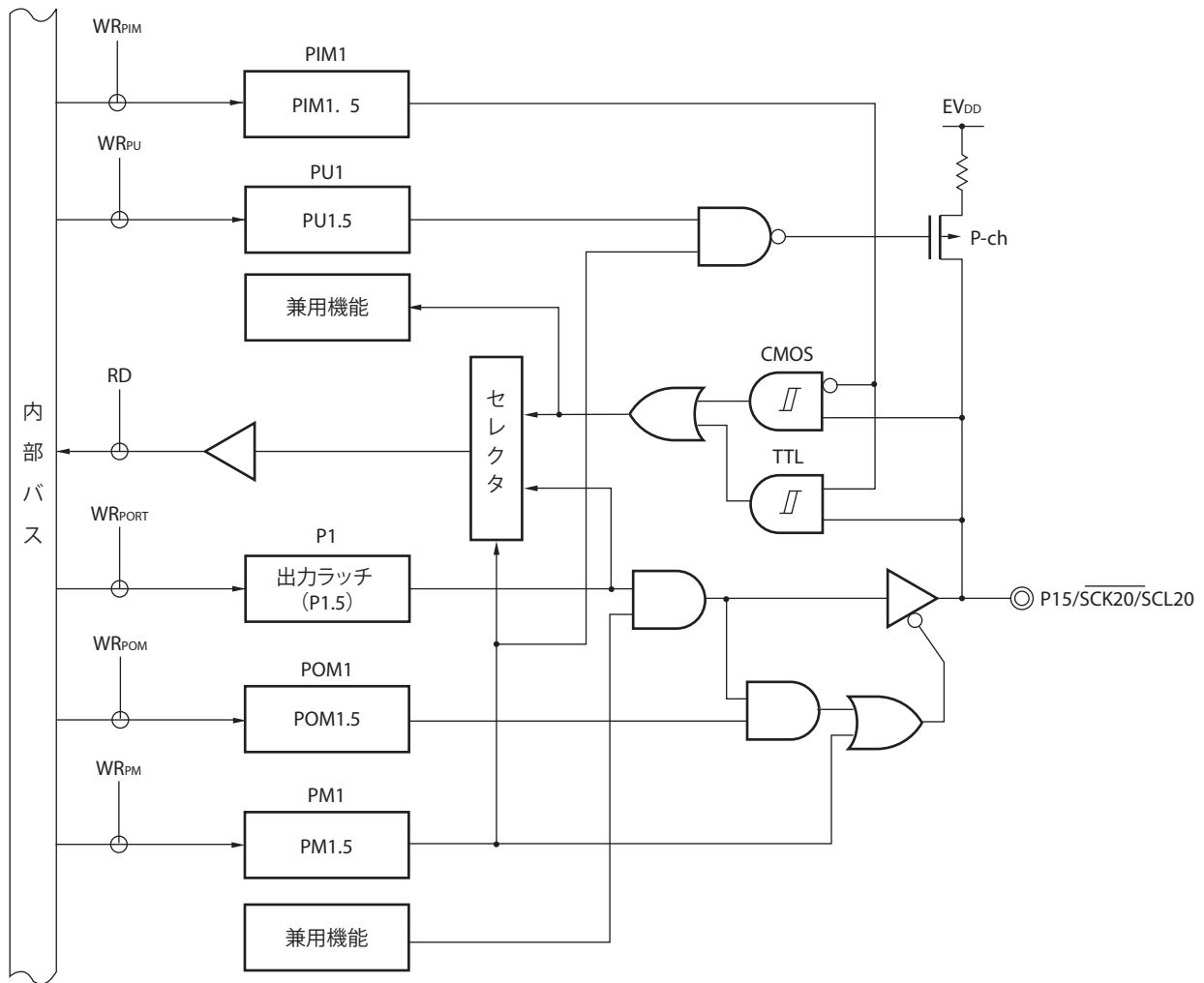
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PIM1 : ポート入力モード・レジスタ1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 11 P14のブロック図



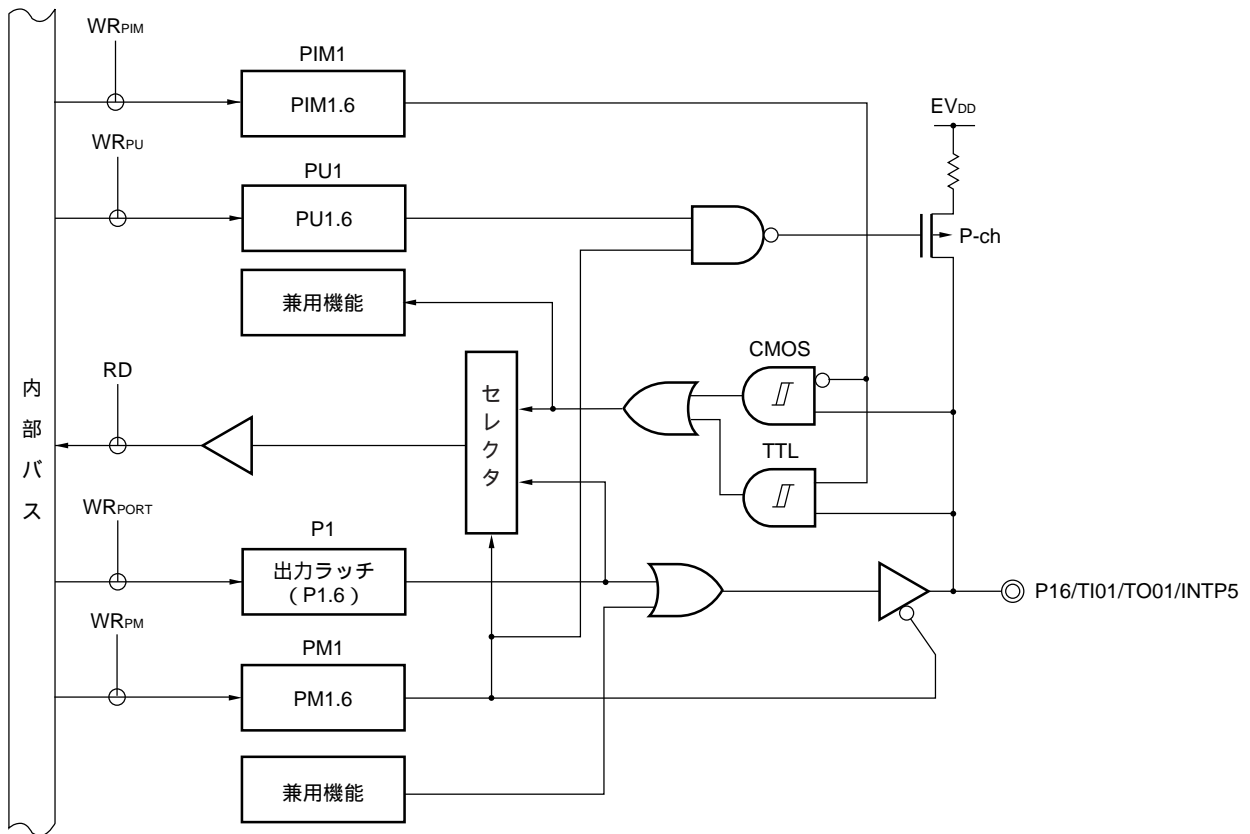
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PIM1 : ポート入力モード・レジスタ1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4 - 12 P15のブロック図



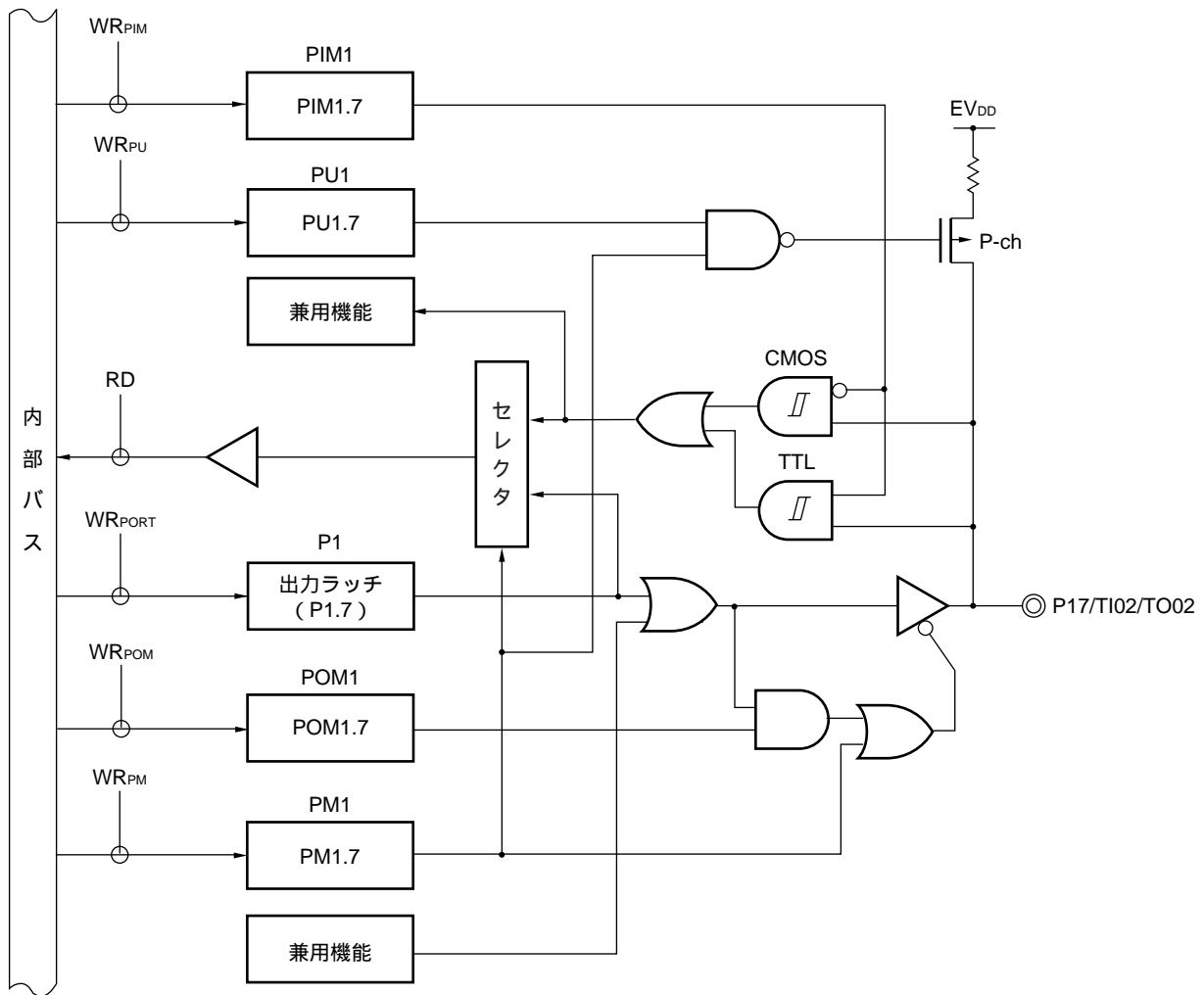
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PIM1 : ポート入力モード・レジスタ1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4 - 13 P16のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PIM1 : ポート入力モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4-14 P17のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PIM1 : ポート入力モード・レジスタ1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの基準電位 (+ 側) 入力、A/Dコンバータの基準電位 (- 側) 入力があります。

P20/ANI0-P27/ANI7をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM2レジスタで入力モードに設定して、上位ビットから使用してください。

P20/ANI0-P27/ANI7をデジタル出力として使用する場合は、ADPCレジスタでデジタル入出力に、かつPM2レジスタで出力モードに設定してください。

P20/ANI0-P27/ANI7をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM2レジスタで入力モードに設定して、下位ビットから使用してください。

表4 - 4 P20/ANI0-P27/ANI7端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P27/ANI7はすべてアナログ入力になります。

図4 - 15にポート2のブロック図を示します。

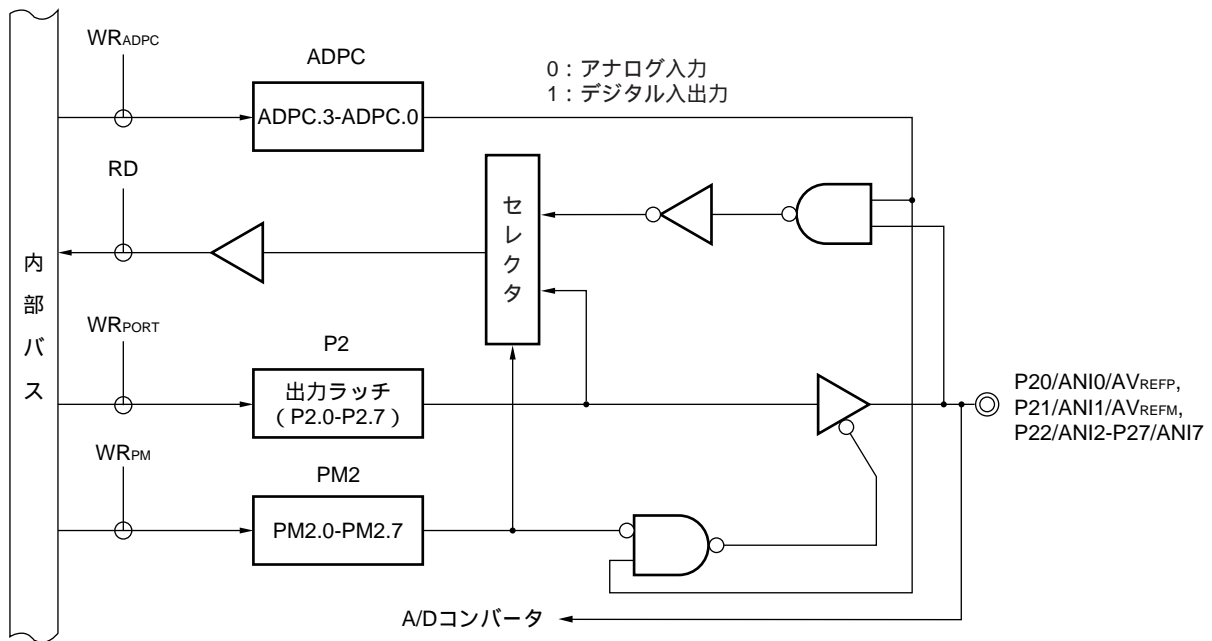
ポート2使用時のレジスタ設定については表4 - 5を参照してください。

表4 - 5 ポート2使用時のレジスタ設定

端子名称		PM2.x	ADPC	ポート使用時の 兼用機能設定	備考
名称	入出力				
P2n	入力	1	01 ~ n+1H	-	ポートとしての使用は上位 ビットから
	出力	0	01 ~ n+1H		

例として、図4-15に、64ピン製品の場合のポート2のブロック図を示します。

図4 - 15 P20-P27のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- ADPC : A/Dポート・コンフィギュレーション・レジスタ
- RD : リード信号
- WR_{xx} : ライト信号

4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P30, P31端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのクロック入出力、タイマの入出力、リアルタイム・クロックの1 Hz出力があります。

リセット信号の発生により、入力モードになります。

図4 - 16, 図4 - 17にポート3のブロック図を示します。

ポート3使用時のレジスタ設定については、表4 - 6を参照してください。

表4 - 6 ポート3使用時のレジスタ設定

端子名称		PM3.x	ポート使用時の 兼用機能設定	備考
名称	入出力			
P30	入力	1	×	
	出力	0	SCK11/SCL11出力 = 1 ^{注1} RTC1HZ出力 = 0 ^{注2}	
P31	入力	1	×	
	出力	0	TO03出力 = 0 ^{注3} (PCLBUZ0出力 = 0 ^{注3,4})	

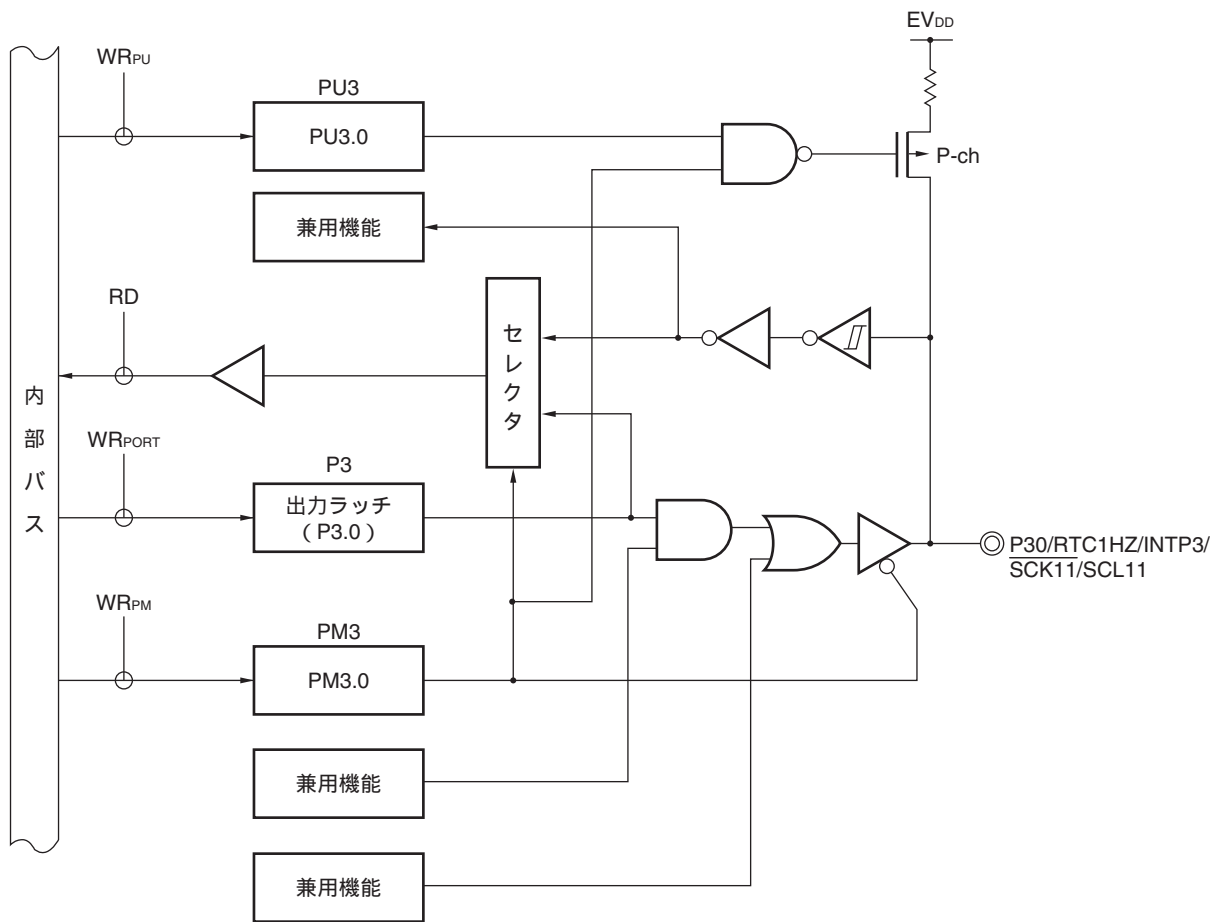
重要 汎用ポートとして使用する場合、兼用端子機能の出力をポート使用時の兼用機能設定で示すレベルに設定してください。

- 注1. P30/RTC1HZ/INTP3/SCK11/SCL11を汎用ポートとして使用する場合、シリアル・チャンネル許可ステータス・レジスタ0 (SE0)、シリアル出力レジスタ0 (SO0)、シリアル出力許可レジスタ0 (SOE0) を初期状態と同じ設定で使用してください。
- 注2. P31/TI03/TO03/INTP4を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット3 (TO0.3) とタイマ出力許可レジスタ0 (TOE0) のビット3 (TOE0.3) を初期状態と同じ設定“0”で使用してください。
- 注3. 20ピン～32ピン製品で、P31/TI03/TO03/INTP4/PCLBUZ0を汎用ポートとして使用する場合、クロック出力選択レジスタ0 (CKS0) のビット7を初期状態と同じ設定“0”で使用してください。
- 注4. P31を汎用ポートとして使用する場合、PIOR.3 = 1に設定しないでください。

備考 () 内は、PIOR.x = 1の場合

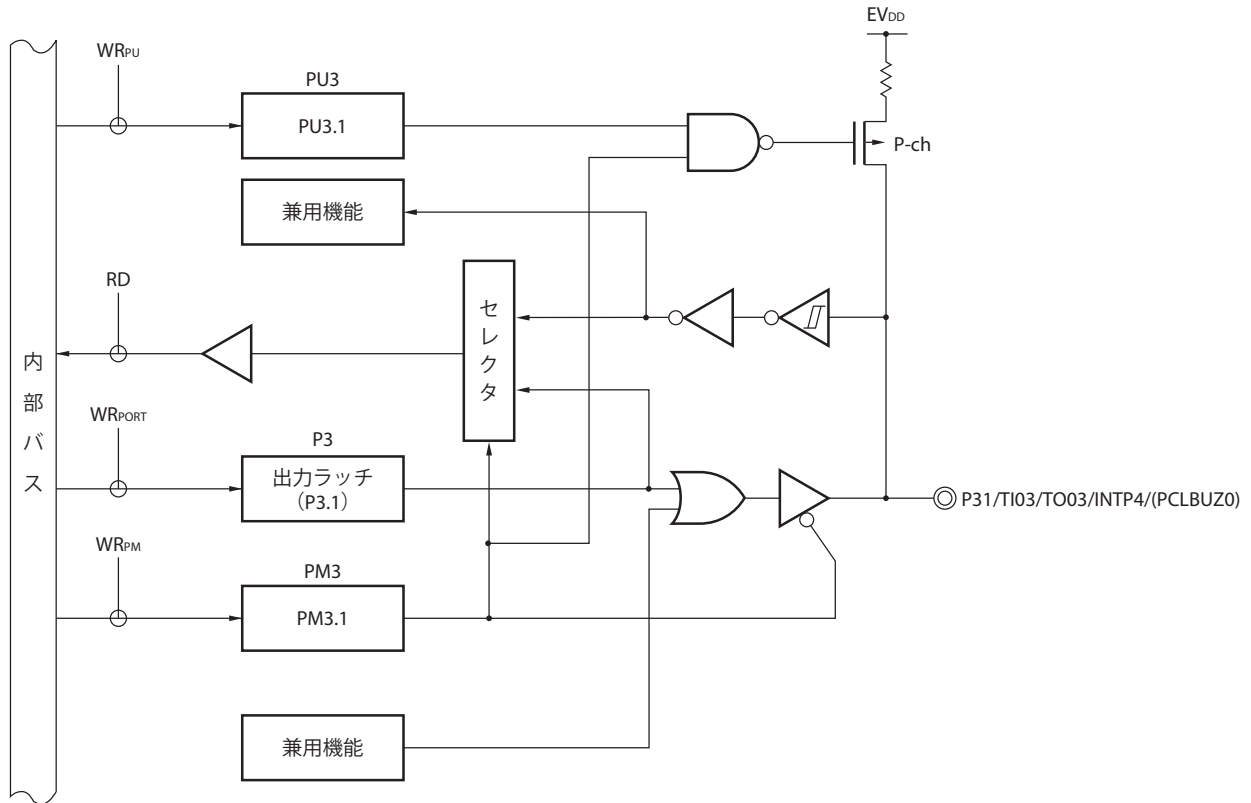
例として、図4-16~図4-17に、64ピン製品の場合のポート3のブロック図を示します。

図4-16 P30のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 17 P31のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x : ライト信号

4.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード / 出力モードの指定ができます。P40-P43端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます[※]。

また、兼用機能としてフラッシュ・メモリ・プログラマ / デバッグ用のデータ入出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 18 ~ 図4 - 20にポート4のブロック図を示します。

ポート4使用時のレジスタ設定については、表4 - 7を参照してください。

表4 - 7 ポート4使用時のレジスタ設定

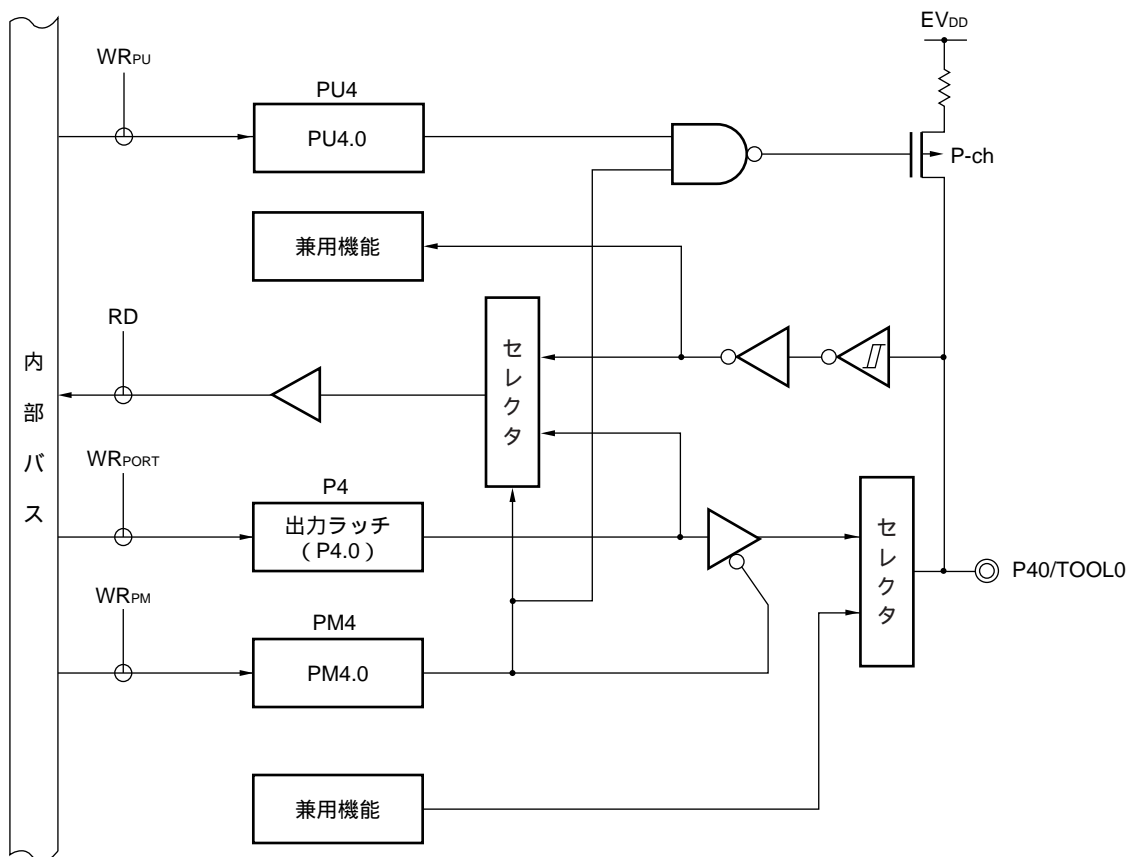
端子名称		PM4.x	ポート使用時の 兼用機能設定	備考
名称	入出力			
P40	入力	1	×	
	出力	0	×	
P41	入力	1	×	
	出力	0	TO07出力 = 0	
P42	入力	1	×	
	出力	0	TO04出力 = 0	
P43	入力	1	×	
	出力	0	×	

重要 汎用ポートとして使用する場合、兼用端子機能の出力をポート使用時の兼用機能設定で示すレベルに設定してください。

- 注意1.** P40端子は、ツール接続時はポート端子として使用できません。
- 2.** P41/TI07/TO07, P42/TI04/TO04を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット4 (TO0.4), ビット7 (TO0.7) とタイマ出力許可レジスタ0 (TOE0) のビット4 (TOE0.4), ビット7 (TOE0.7) を初期状態と同じ設定 “0” で使用してください。

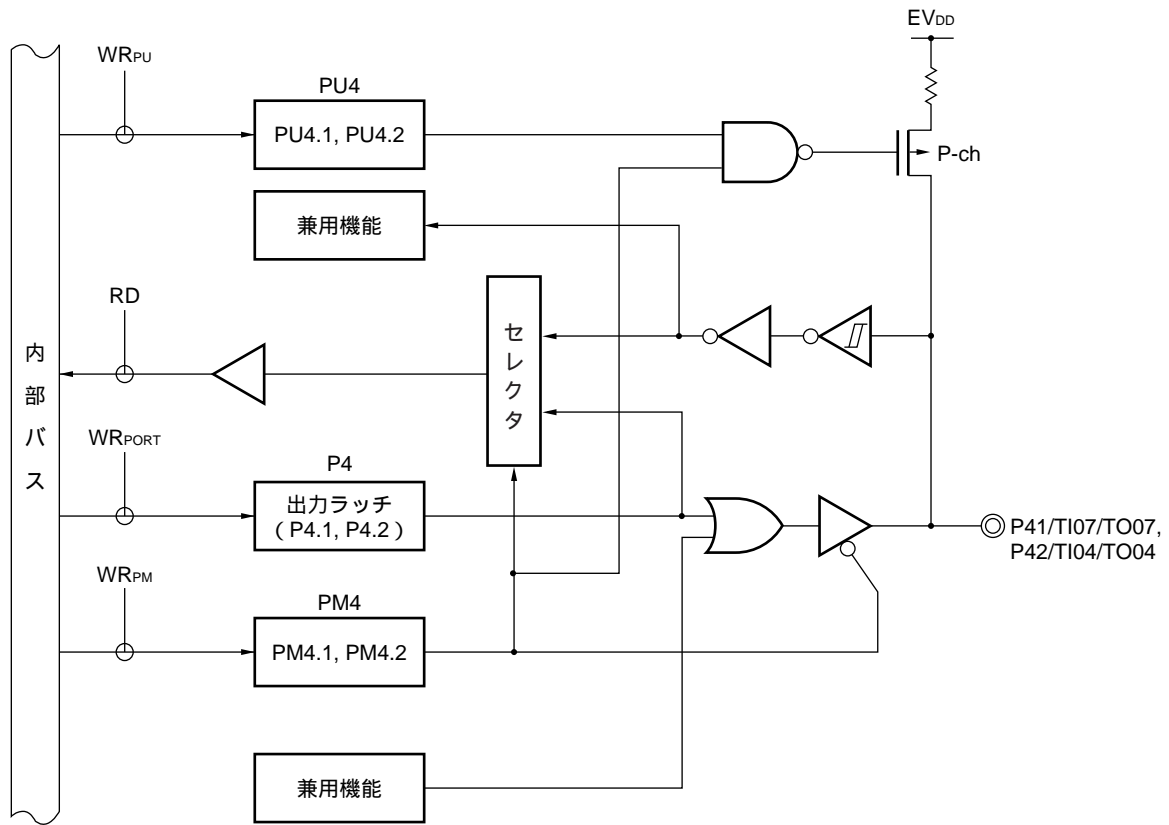
例として、図4-18~図4-20に、64ピン製品の場合のポート4のブロック図を示します。

図4 - 18 P40のブロック図



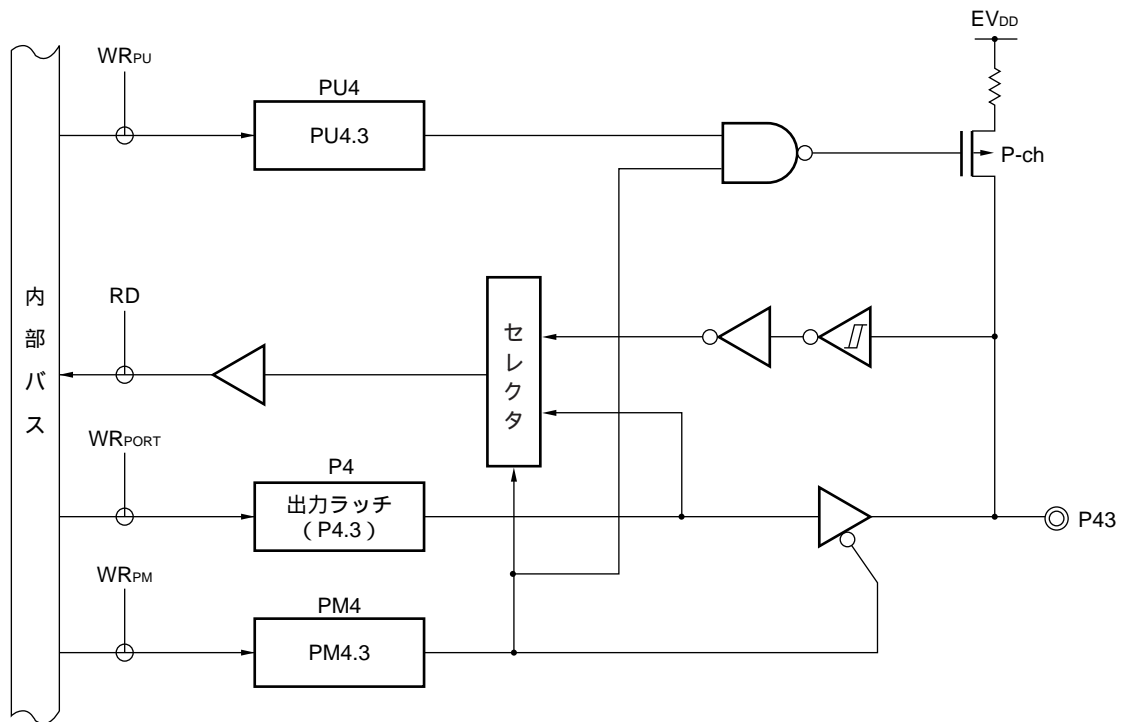
- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

図4 - 19 P41, P42のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

図4 - 20 P43のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_{xx} : ライト信号

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード / 出力モードの指定ができます。P50-P55端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P50, P55端子の出力は、ポート出力モード・レジスタ5 (POM5) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

P55端子の入力は、ポート入力モード・レジスタ5 (PIM5) の設定により1ビット単位で通常入力バッファ / TTL入力バッファの指定ができます。

また、兼用機能としてクロック / ブザー出力、シリアル・インタフェースのデータ入出力、外部割り込み要求入力があります。リセット信号の発生により、入力モードになります。ポート5使用時のレジスタ設定については、表4-8を参照してください。

表4-8 ポート5使用時のレジスタ設定

端子名称		PM5.x	PIM5.x	POM5.x	ポート使用時の 兼用機能設定	備考
名称	入出力					
P50	入力	1	-	×	SDA11出力 = 1	
	出力	0		0		CMOS出力
		0		1		N-ch O.D.出力
P51	入力	1	-	-	SO出力 = 1, LTxD出力 = 1 ^{注1}	
	出力	0				
P52	入力	1	-	-	-	
	出力	0			-	
P53	入力	1	-	-	-	
	出力	0			-	
P54	入力	1	-	-	-	
	出力	0			-	
P55	入力	1	0	×	-	CMOS入力
		1	1	×		TTL入力
	出力	0	×	0	(PLLBUZ1出力 = 0) ^{注4}	CMOS出力
		0	×	1	(SCK00出力 = 1) ^{注5}	N-ch O.D.出力

重要 汎用ポートとして使用する場合、兼用端子機能の出力をポート使用時の兼用機能設定で示すレベルに設定してください。

- 注1. LTxDをシリアル・データ出力として使用する場合は、各ポートに対応するポート・モード・レジスタ (PMxx) のビットを“1”に設定してください。また、PMX2レジスタを“0”に設定してください。
2. SOS1をシリアル・データ出力として使用する場合は、各ポートに対応するポート・モード・レジスタ (PMxx) のビットを“1”に設定してください。また、PMX4レジスタを“0”に設定してください。
3. $\overline{\text{SCKS1}}$ をシリアル・クロック入出力として使用する場合は、各ポートに対応するポート・モード・レジスタ (PMxx) のビットを“1”に設定してください。また、PMX3レジスタを“0”に設定してください。
4. PIOR.4 = 1に設定してあるときに、P55を汎用ポートとして使用する場合、クロック出力選択レジスタ1 (CKS1) レジスタを初期状態と同じ設定で使用してください。

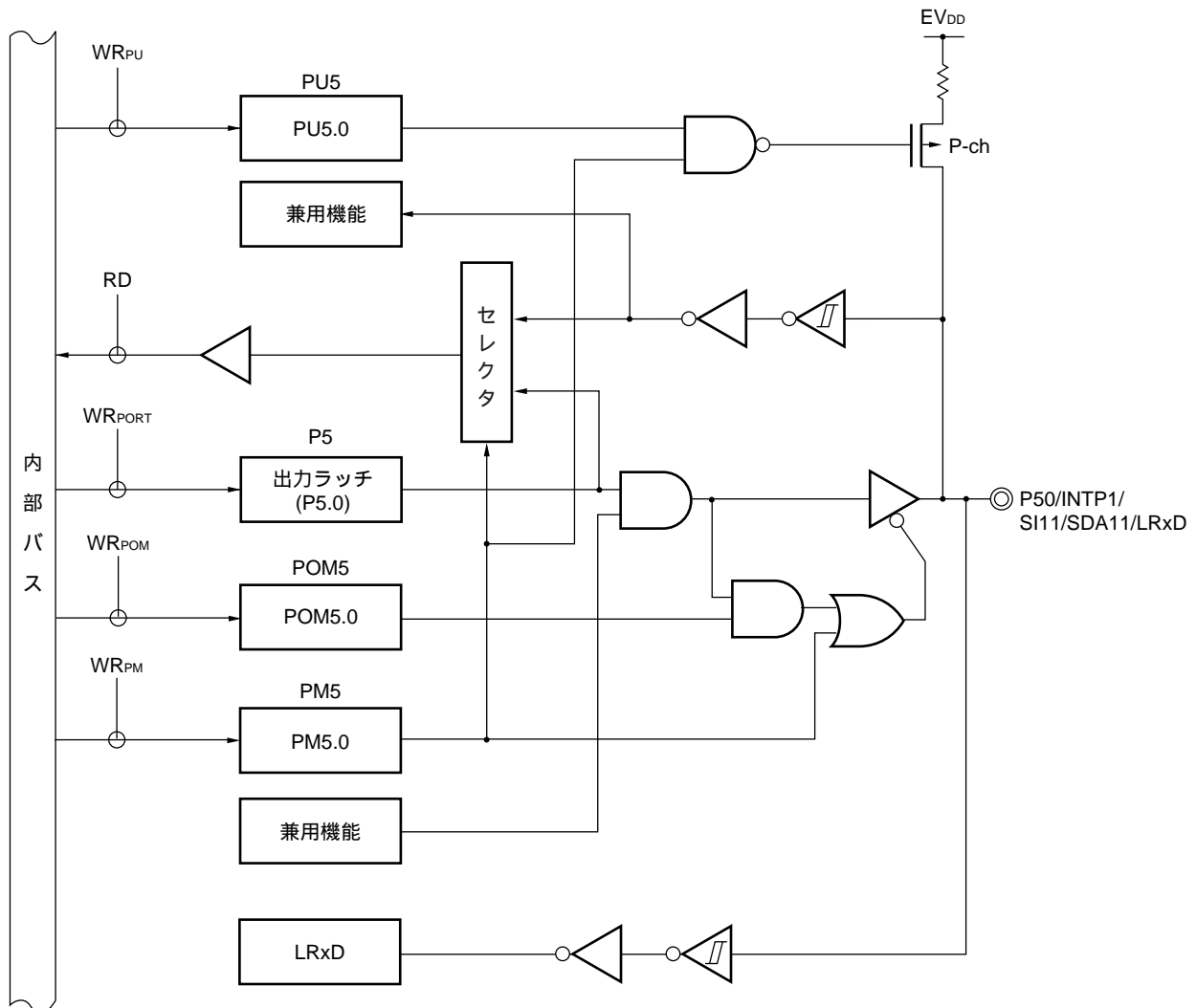
5. PIOR.1 = 1に設定してあるときに、P55を汎用ポートとして使用する場合、シリアル・チャンネル許可ステータス・レジスタ1 (SE1)、シリアル出力レジスタ1 (SO1)、シリアル出力許可レジスタ1 (SOE1)を初期状態と同じ設定で使用してください。

注意 P50/INTP1/SI11/SDA11/LRxDO, P51/INTP2/SO11/LTxD, P53/SOS1, P55/SCKS1を汎用ポートとして使用する場合、シリアル・チャンネル許可ステータス・レジスタ1 (SE1)、シリアル出力レジスタ1 (SO1)、シリアル出力許可レジスタ1 (SOE1)を初期状態と同じ設定で使用してください。シリアル・インタフェースLIN-UART0を動作停止にしてください。

備考 ()内は、PIOR.x = 1の場合

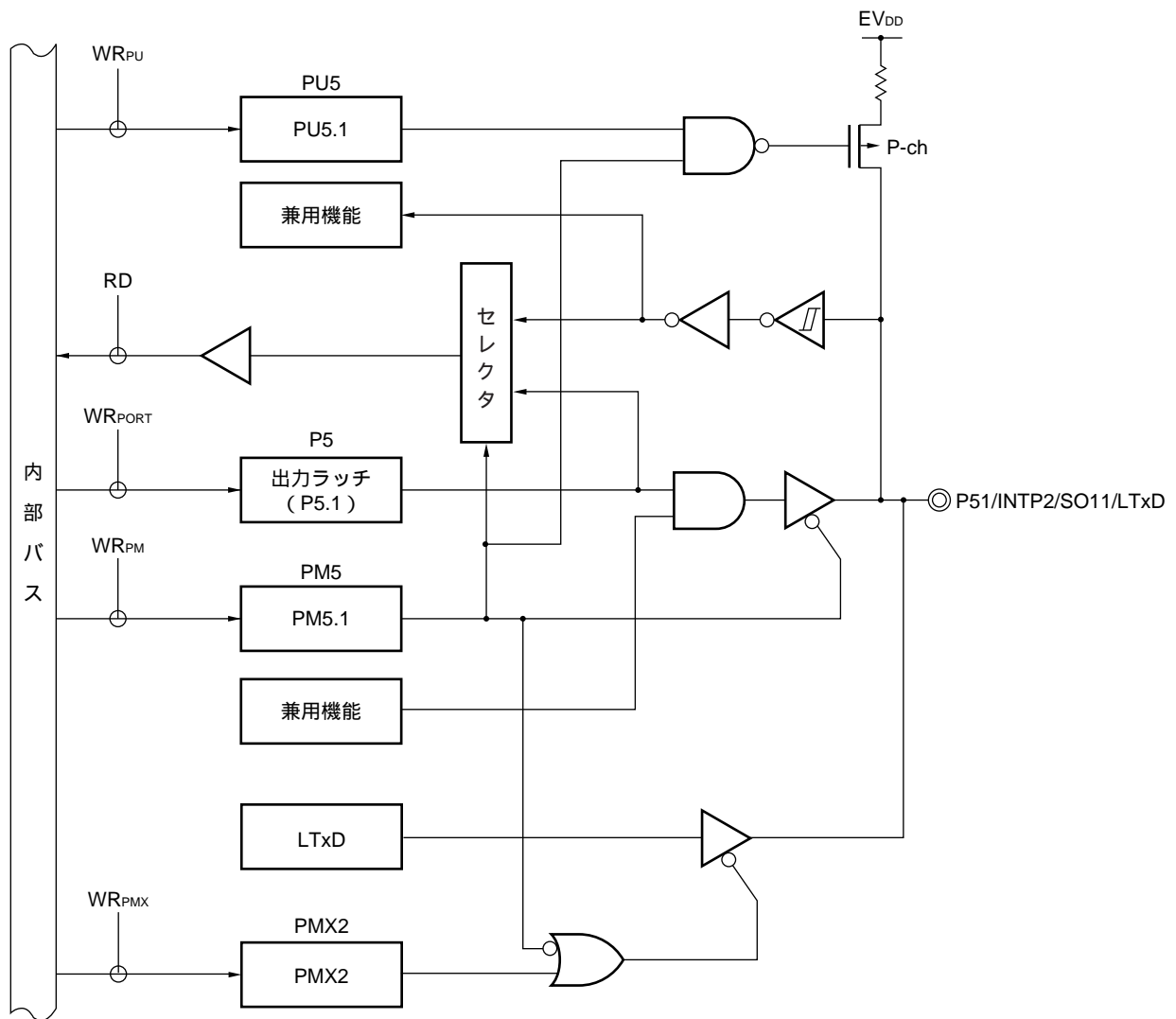
例として、図4-21～図4-26に、64ピン製品の場合のポート5のブロック図を示します。

図4-21 P50のブロック図



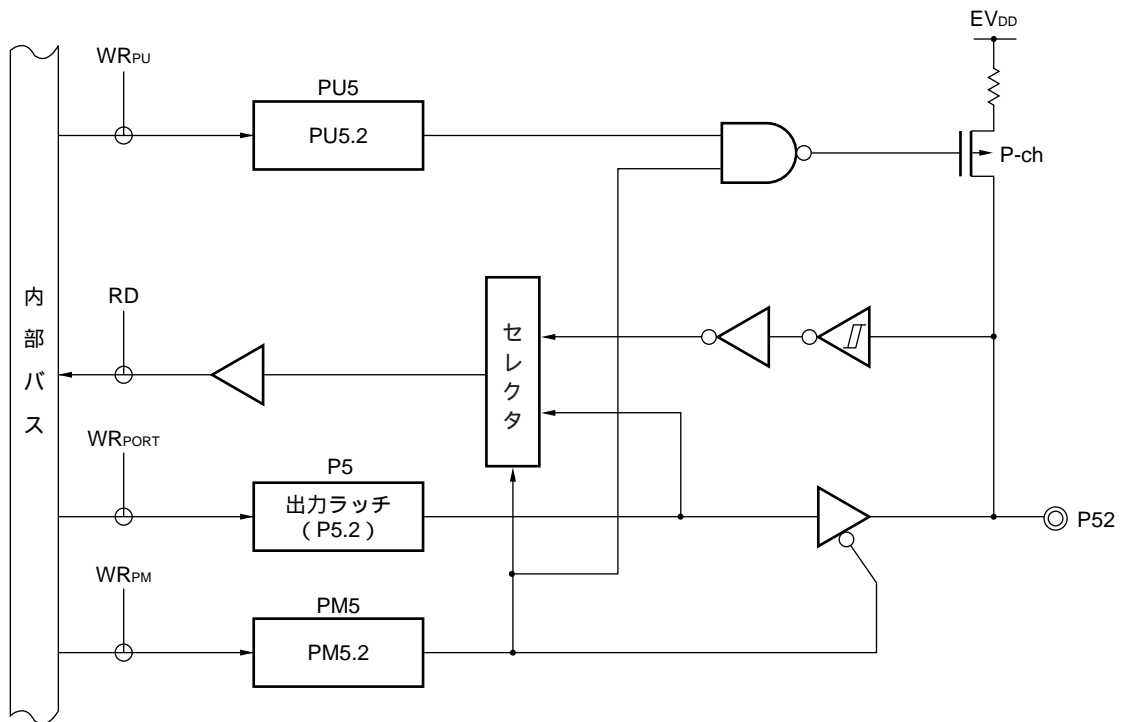
- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- POM5 : ポート出力モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号

図4-22 P51のブロック図



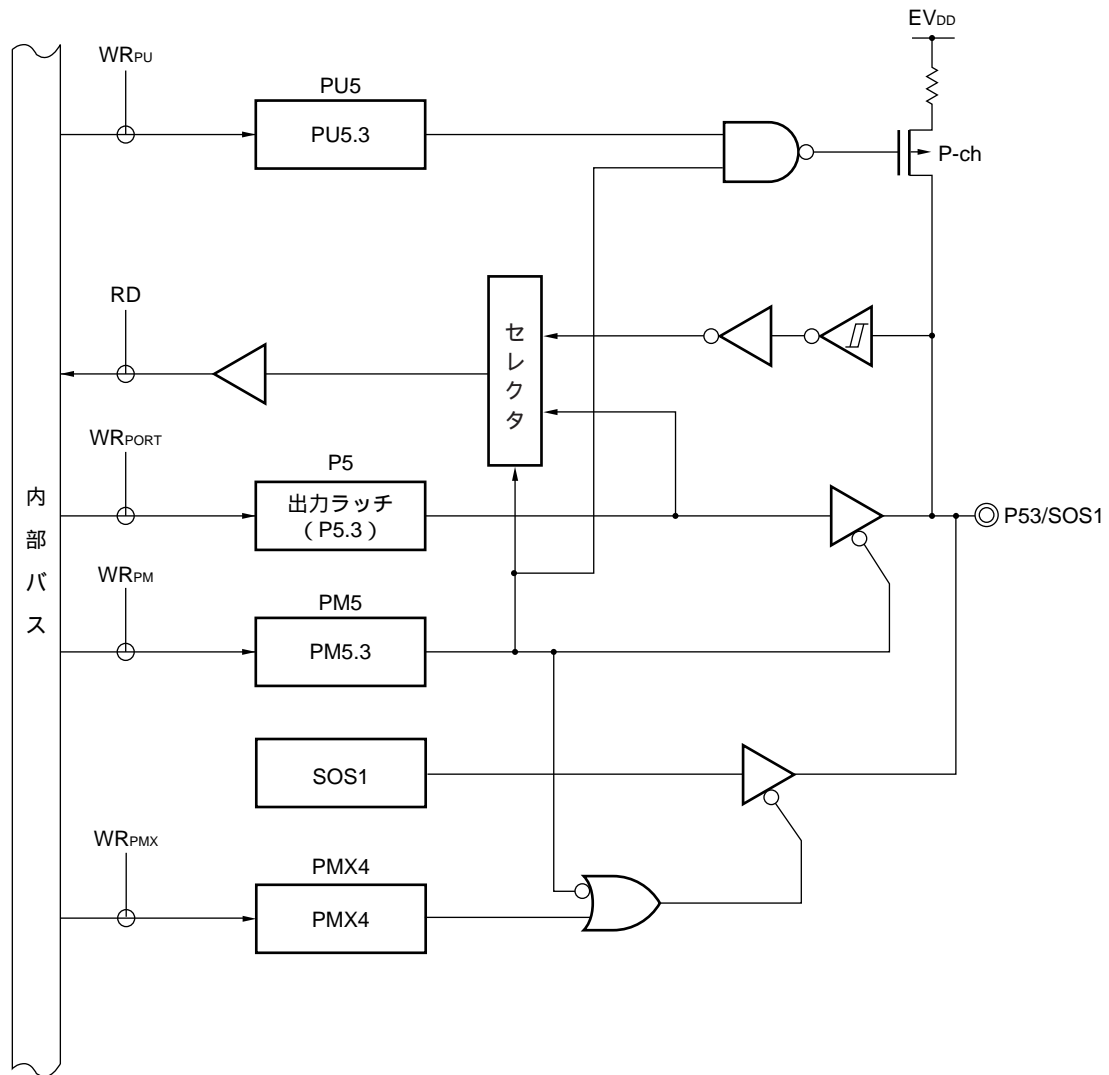
- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- PMX2 : ポート・モード・レジスタX2
- RD : リード信号
- WR_x : ライト信号

図4 - 23 P52のブロック図



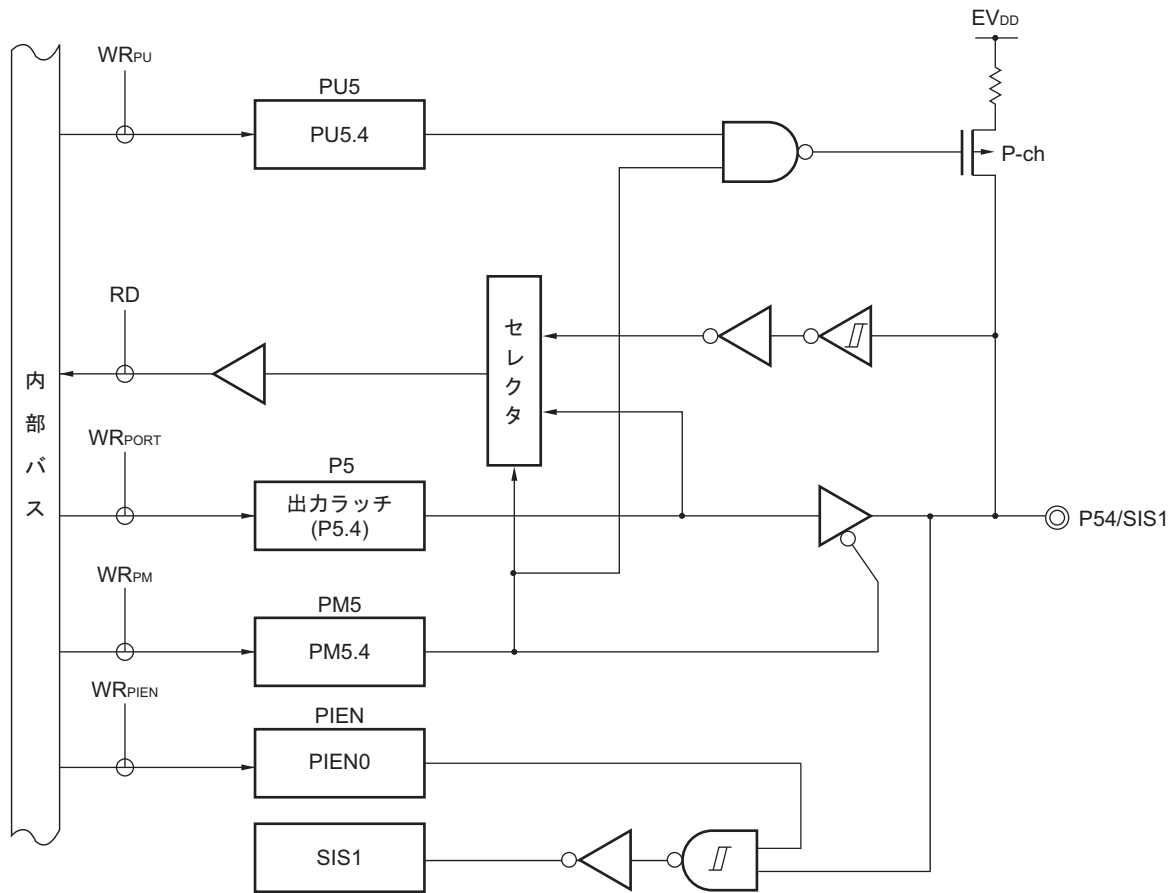
- P5 : ポート・レジスタ5
 PU5 : プルアップ抵抗オプション・レジスタ5
 PM5 : ポート・モード・レジスタ5
 RD : リード信号
 WR_{xx} : ライト信号

図4-24 P53のブロック図



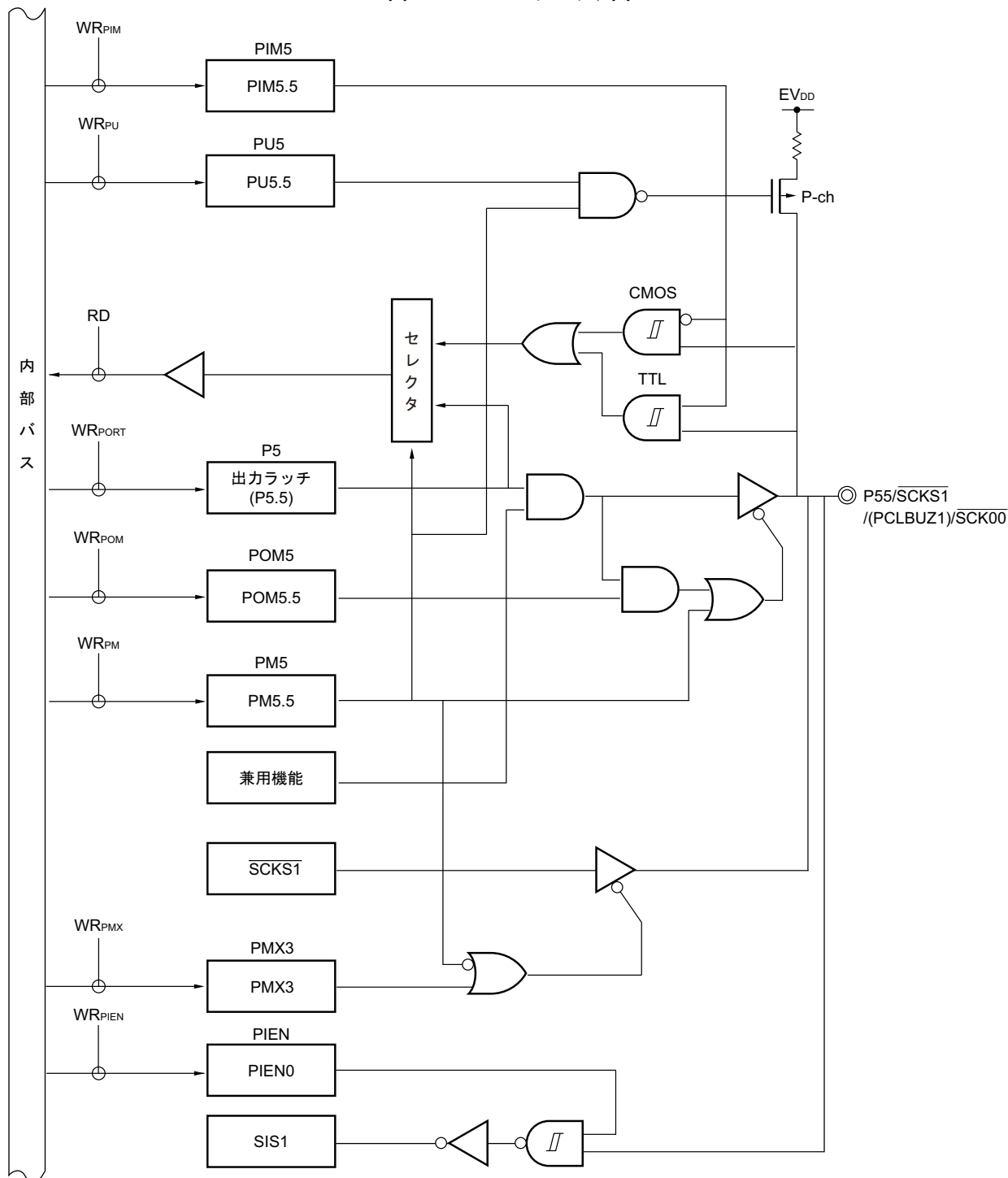
- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- PMX4 : ポート・モード・レジスタX4
- RD : リード信号
- WR_x : ライト信号

図4 - 25 P54のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- PIEN : ポート入力許可レジスタ
- RD : リード信号
- WR_x : ライト信号

図4-26 P55のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- PIEN : ポート入力許可レジスタ
- PMX3 : ポート・モード・レジスタX3
- RD : リード信号
- WR_{xx} : ライト信号

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード / 出力モードの指定ができます。

P60-P63端子の出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 27, 図4 - 28にポート6のブロック図を示します。

ポート6使用時のレジスタ設定については表4 - 9を参照してください。

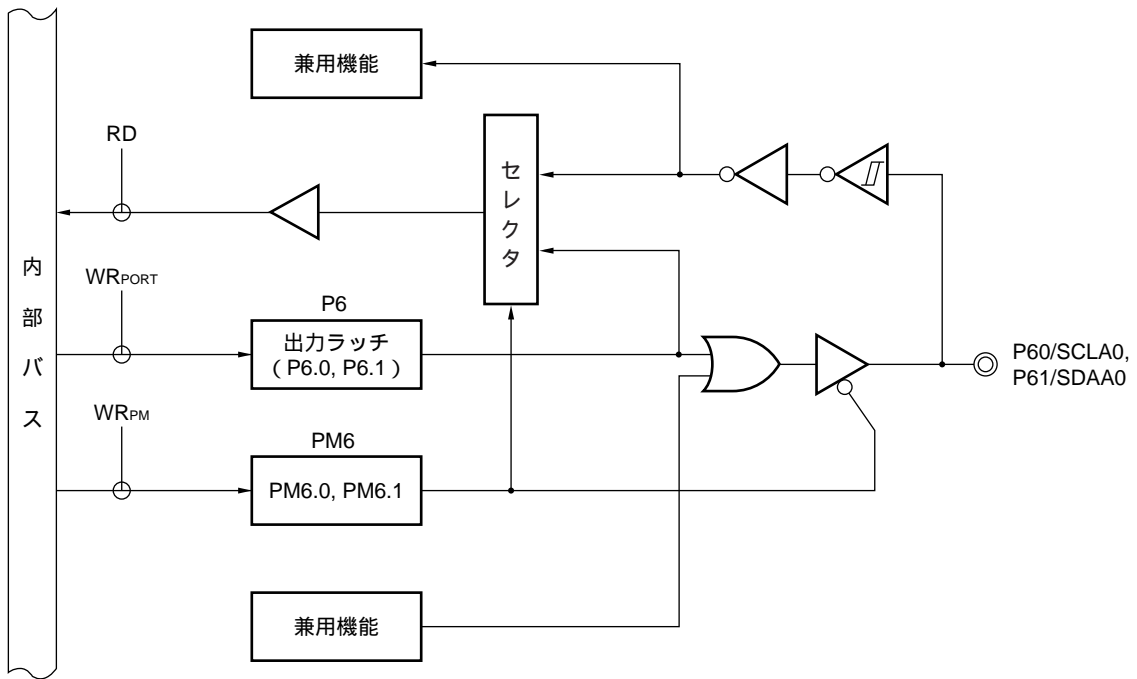
表4 - 9 ポート6使用時のレジスタ設定

端子名称		PM6.x	ポート使用時の 兼用機能設定	備考
名称	入出力			
P60	入力	1	SCLA0出力 = 0	
	出力	0		
P61	入力	1	SDAA0出力 = 0	
	出力	0		
P62	入力	1	-	
	出力	0		
P63	入力	1	-	
	出力	0		

重要 汎用ポートとして使用する場合、兼用端子機能の出力をポート使用時の兼用機能設定で示すレベルに設定してください。

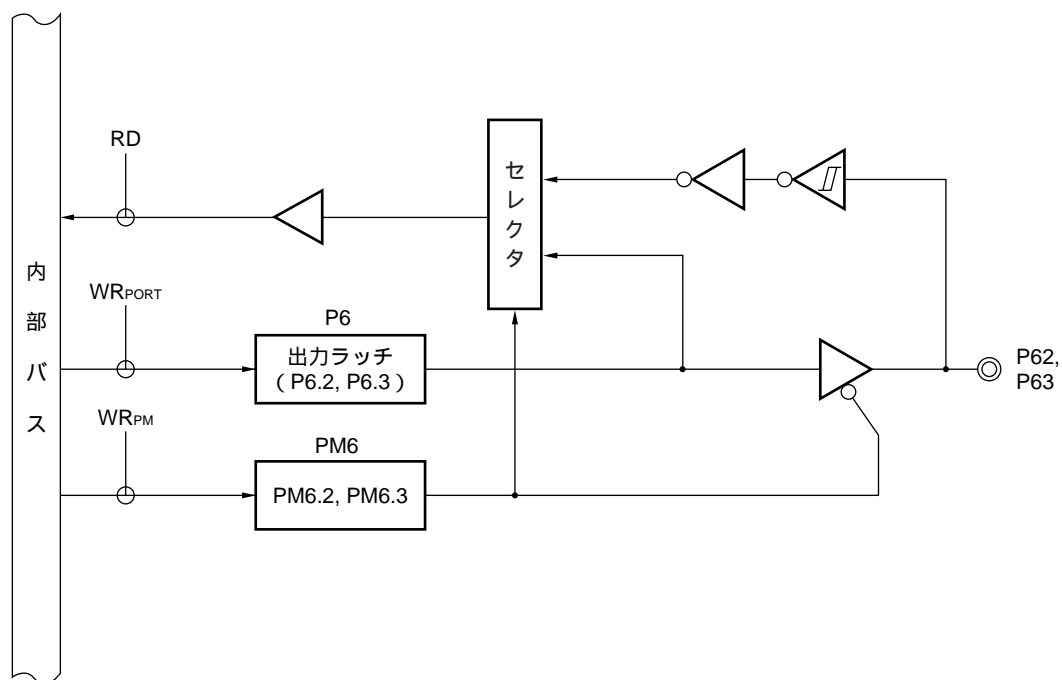
注意 P60/SCLA0, P61/SDAA0を汎用ポートとして使用する場合、シリアル・インタフェースIICAを動作停止にしてください。

図4 - 27 P60, P61のブロック図



- P6 : ポート・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_x : ライト信号

図4 - 28 P62, P63のブロック図



- P6 : ポート・レジスタ6
 PM6 : ポート・モード・レジスタ6
 RD : リード信号
 WR_x : ライト信号

4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P71, P74端子の出力は、ポート出力モード・レジスタ7 (POM7) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としキー割り込み入力、シリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

ポート7使用時のレジスタ設定については表4 - 10を参照してください。

表4 - 10 ポート7使用時のレジスタ設定

端子名称		PM7.x	POM7.x	ポート使用時の 兼用機能設定	備考
名称	入出力				
P70	入力	1	-	x	
	出力	0		SCK21/SCL21出力 = 1	
P71	入力	1	x	x	
	出力	0	0	SDA21出力 = 1	CMOS出力
		0	1		N-ch O.D.出力
P72	入力	1	-	x	
	出力	0		SO21出力 = 1	
P73	入力	1	-	x	
	出力	0		SO01出力 = 1	
P74	入力	1	x	x	
	出力	0	0	SDA01出力 = 1	CMOS出力
		0	1		N-ch O.D.出力
P75	入力	1	-	x	
	出力	0		SCK01/SCL01出力 = 1	
P76	入力	1	-	-	
	出力	0			
P77	入力	1	-	x	
	出力	0		(TDX2出力 = 1 [※])	

重要 汎用ポートとして使用する場合、兼用端子機能の出力をポート使用時の兼用機能設定で示すレベルに設定してください。

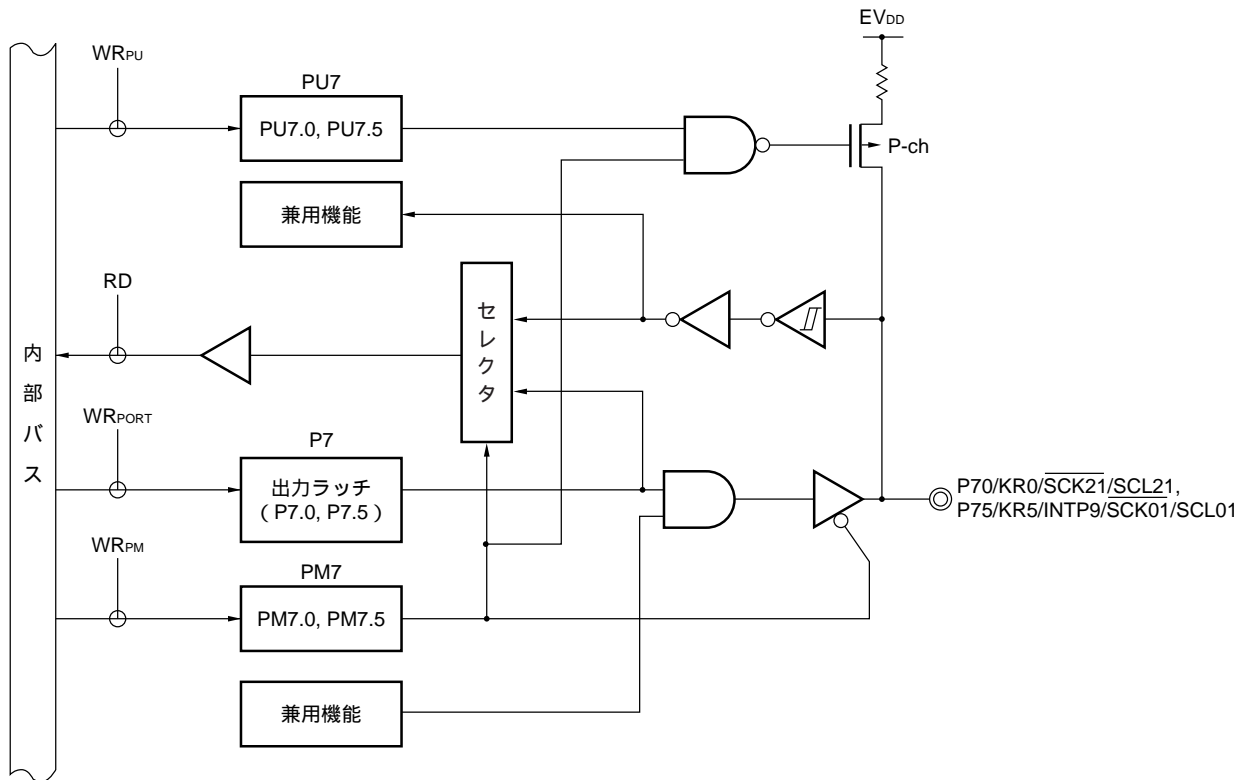
注 PIOR.1 = 1に設定してあるときに、P77を汎用ポートとして使用する場合、シリアル・チャンネル許可ステータス・レジスタ1 (SE1)、シリアル出力レジスタ1 (SO1)、シリアル出力許可レジスタ1 (SOE1) を初期状態と同じ設定で使用してください。

注意 P70/KR0/SCK21/SCL21, P71/KR1/SI21/SDA21, P72/KR2/SO21, P73/KR3/SO01, P74/KR4/INTP8/SI01/SDA01, P75/INTP9/SCK01/SCL01を汎用ポートとして使用する場合、シリアル・チャンネル許可ステータス・レジスタ m (SE m)、シリアル出力レジスタ m (SO m)、シリアル出力許可レジスタ m (SOE m) を初期状態と同じ設定で使用してください ($m = 0, 1$)。

備考 () 内は、PIOR $x = 1$ の場合

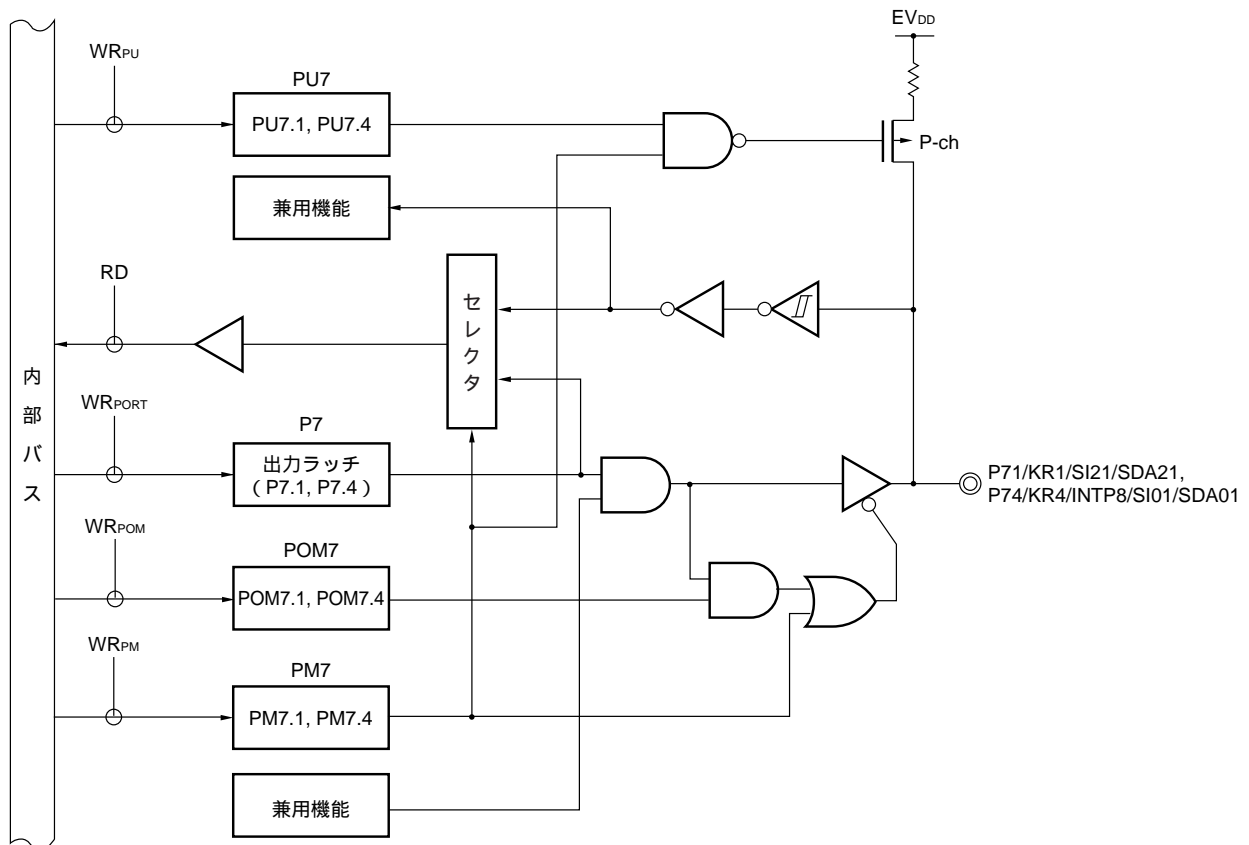
例として、図4-29～図4-32に、64ピン製品の場合のポート7のブロック図を示します。

図4-29 P70, P75のブロック図



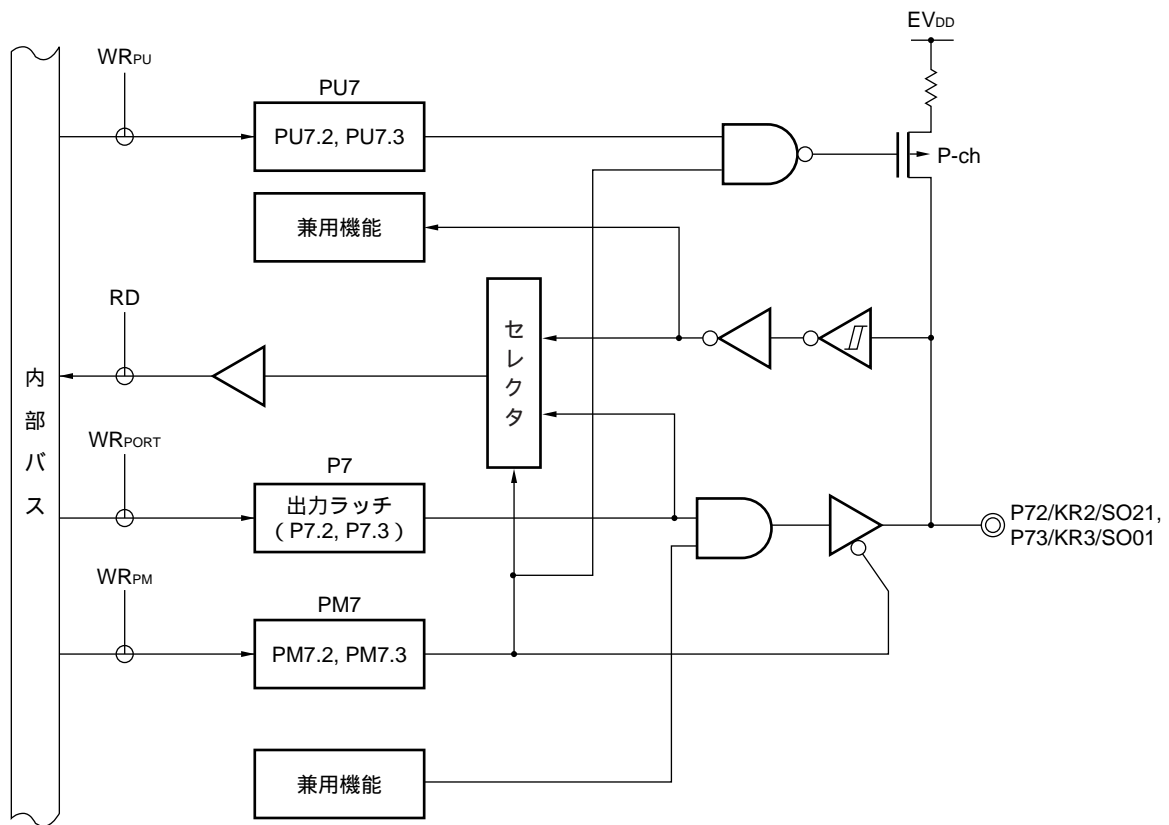
- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

図4 - 30 P71, P74のブロック図



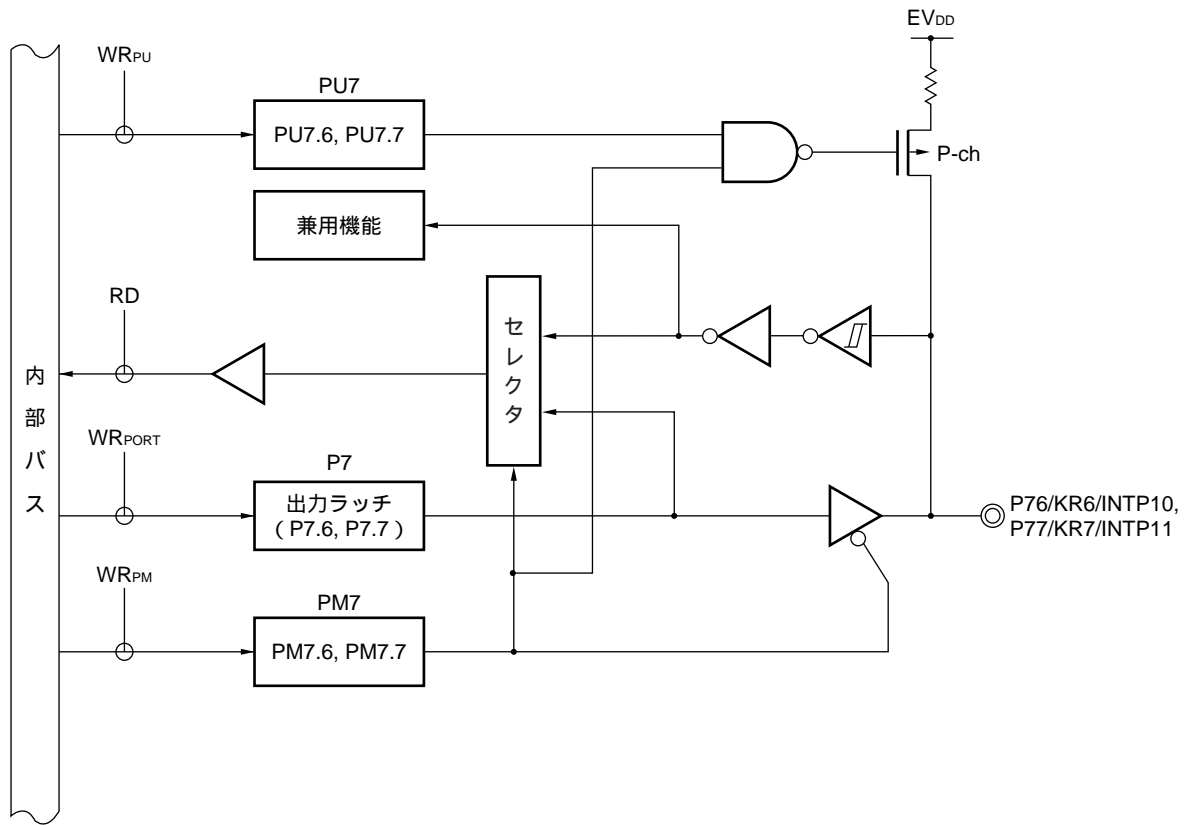
- P7 : ポート・レジスタ7
 PU7 : プルアップ抵抗オプション・レジスタ7
 PM7 : ポート・モード・レジスタ7
 POM7 : ポート出力モード・レジスタ7
 RD : リード信号
 WR_{xx} : ライト信号

図4 - 31 P72, P73のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

図4 - 32 P76, P77のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

4.2.9 ポート12

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

P120端子の入力は、ポート・モード・コントロール・レジスタ (PMC12) の設定により、1ビット単位でデジタル入出力/アナログ入力の設定が必要です。

また兼用機能としてA/Dコンバータのアナログ入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により、P120はアナログ入力になります。P121-P124は入力モードになります。

図4 - 33 ~ 図4 - 35にポート12のブロック図を示します。

ポート12使用時のレジスタ設定については表4 - 11を参照してください

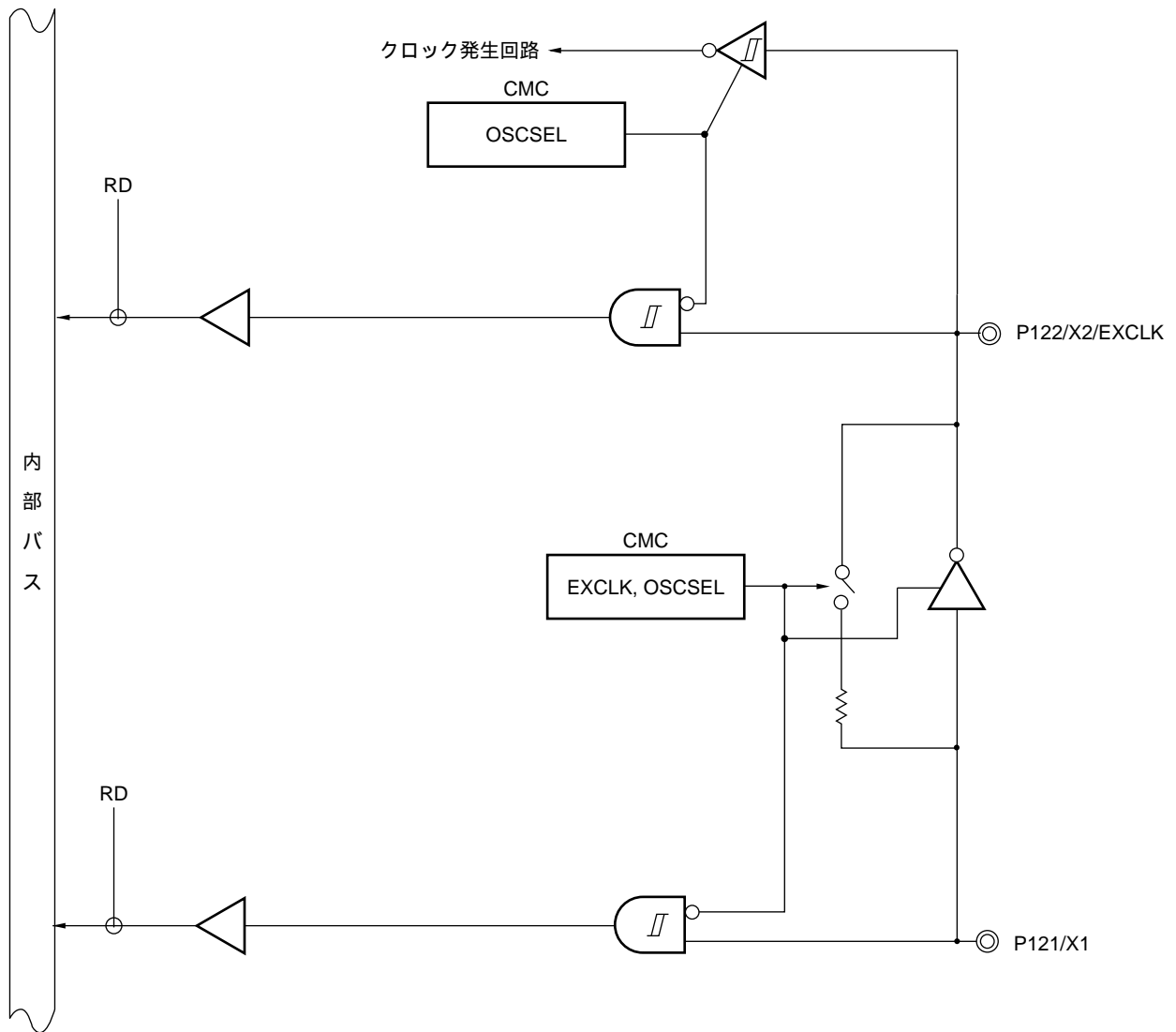
表4 - 11 ポート12使用時のレジスタ設定

端子名称		PM12.x	PMC12.x	ポート使用時の 兼用機能設定	備考
名称	入出力				
P120	入力	1	0	×	
	出力	0	0	×	
P121	入力	-	-	CMCレジスタのOSCSELビット = 0 または、EXCLKビット = 1	
P122	入力	-	-	CMCレジスタのOSCSELビット = 0	
P123	入力	-	-	CMCレジスタのOSCSELSビット = 0 または、EXCLKSビット = 1	
P124	入力	-	-	CMCレジスタのOSCSELSビット = 0	

重要 汎用ポートとして使用する場合、兼用端子機能の出力をポート使用時の兼用機能設定で示すレベルに設定してください。

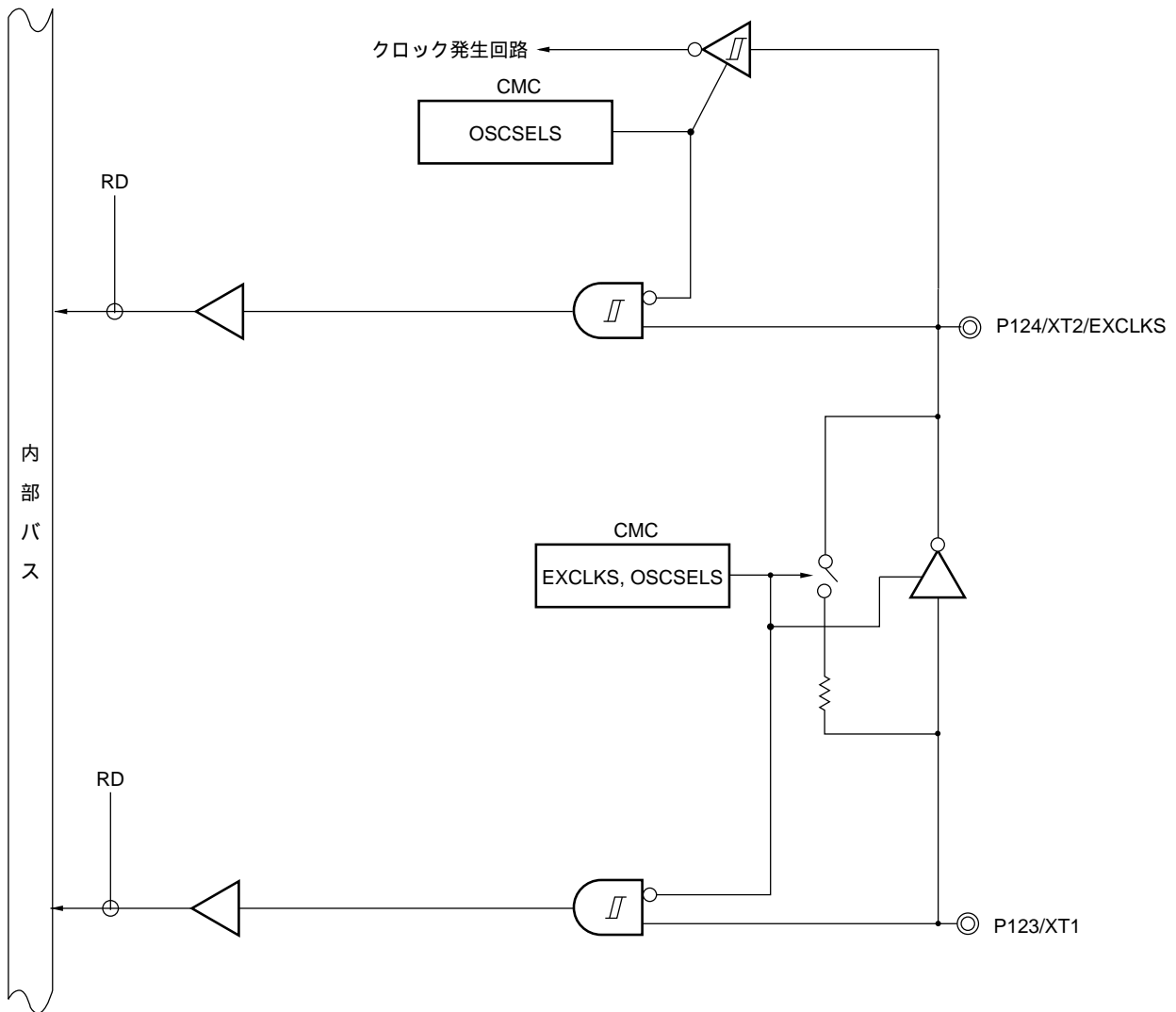
注意 P121-P124の機能設定は、リセット解除後1回のみ可能です。一度、発振子/発振器接続用に設定したポートは、リセットしないかぎり入力ポートとして使用できません。

図4 - 34 P121, P122のブロック図



CMC : クロック動作モード制御レジスタ
 RD : リード信号

図4 - 35 P123, P124のブロック図



CMC : クロック動作モード制御レジスタ
 RD : リード信号

4.2.10 ポート13

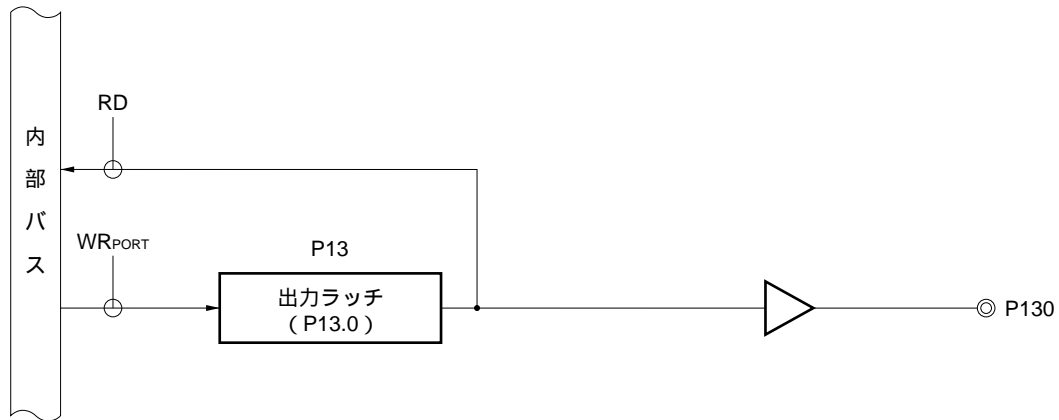
P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

リセット信号の発生により、P130は出力モード、P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

図4 - 36、図4 - 37にポート13のブロック図を示します。

図4 - 36 P130のブロック図



P13 : ポート・レジスタ13

RD : リード信号

WR_{xx} : ライト信号

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

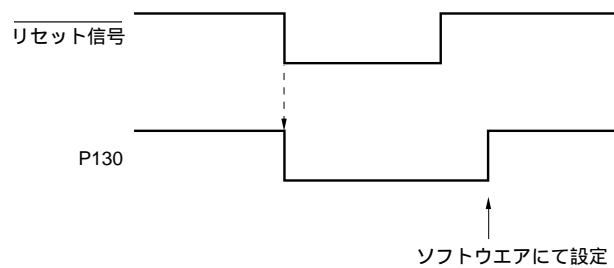
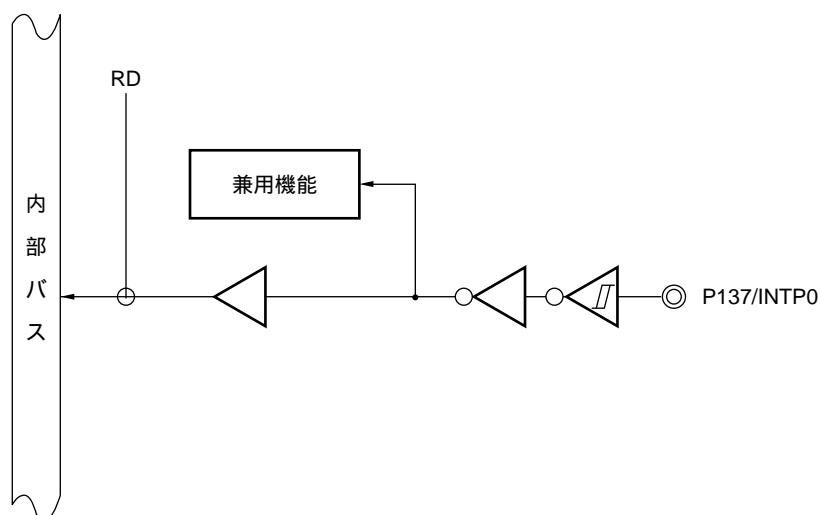


図4 - 37 P137のブロック図



RD : リード信号

4.2.11 ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード / 出力モードの指定ができます。P140, P141, P146, P147端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P147端子の入力は、ポート・モード・コントロール・レジスタ (PMC14) の設定により、1ビット単位でデジタル入出力 / アナログ入力の設定が必要です。

また、兼用機能としてクロック / ブザー出力、外部割り込み要求入力、A/Dコンバータのアナログ入力があります。

リセット信号の発生により、P140,P141,P146は入力モードになります。P147はアナログ入力になります。ポート14使用時のレジスタ設定については表4 - 12を参照してください。

表4 - 12 ポート14使用時のレジスタ設定

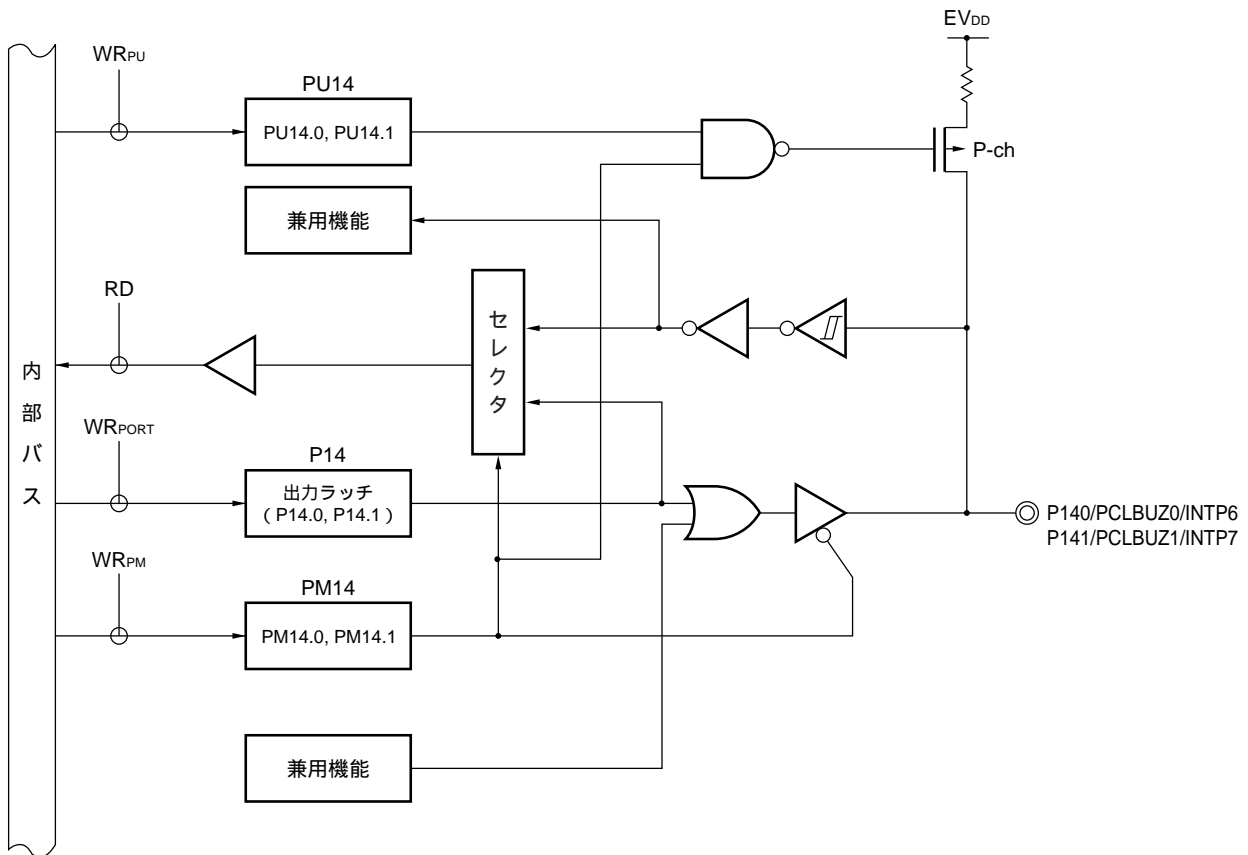
端子名称		PM14. x	PMC14. x	ポート使用時の 兼用機能設定	備考
名称	入出力				
P140	入力	1	-	×	
	出力	0		PCLBUZ0出力 = 0	
P141	入力	1	-	×	
	出力	0		PCLBUZ1出力 = 0	
P146	入力	1	-	×	
	出力	0		×	
P147	入力	1	0	×	
	出力	0	0	×	

重要 汎用ポートとして使用する場合、兼用端子機能の出力をポート使用時の兼用機能設定で示すレベルに設定してください。

注意 P140/PCLBUZ0/INTP6, P141/PCLBUZ1/INTP7を汎用ポートとして使用する場合、クロック出力選択レジスタ0, 1 (CKS0, CKS1) のビット7を初期状態と同じ設定“0”で使用してください。

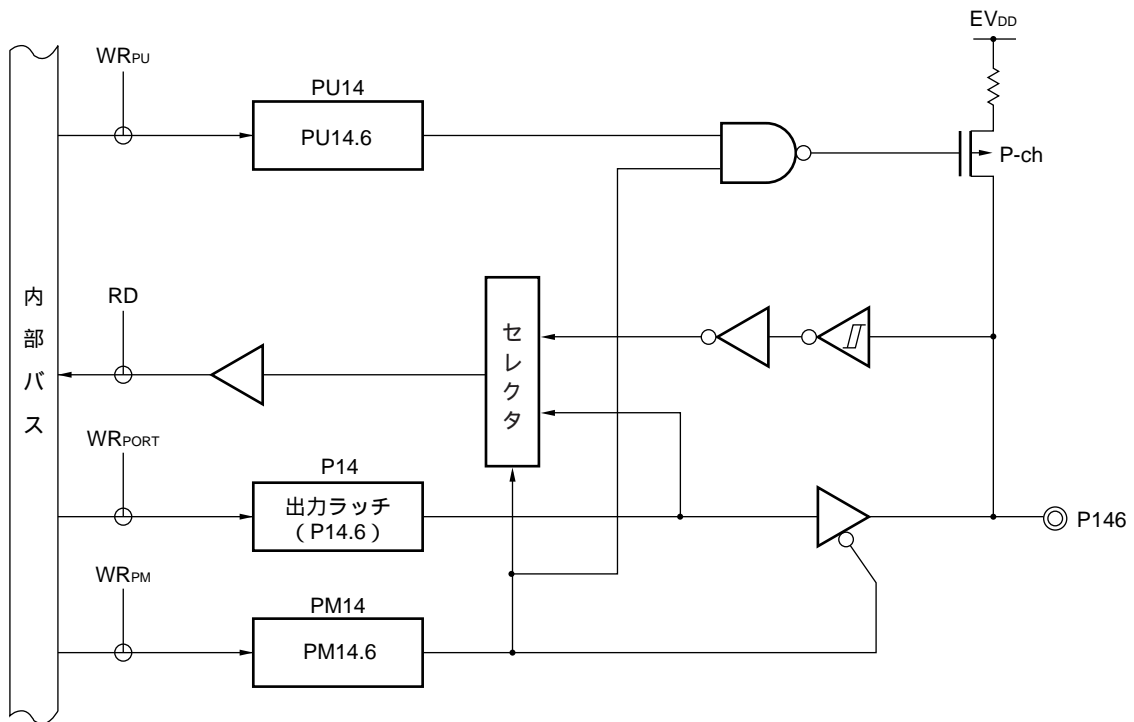
例として、図4 - 38 ~ 図4 - 40に、64ピン製品の場合のポート14のブロック図を示します。

図4 - 38 P140, P141のブロック図



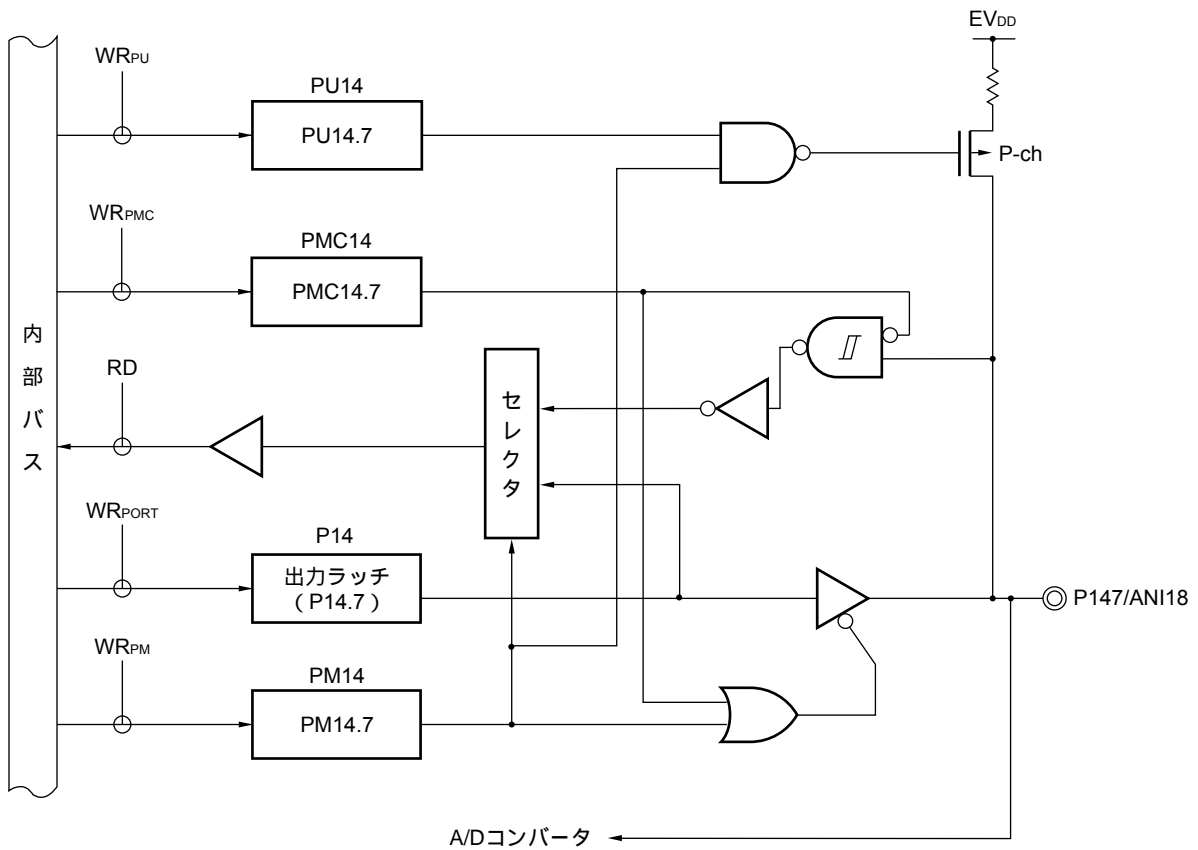
- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- RD : リード信号
- WR_x : ライト信号

図4 - 39 P146のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 40 P147のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- PMC14 : ポート・モード・コントロール・レジスタ14
- RD : リード信号
- WR_{xx} : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート入力モード・レジスタ (PIMx)
- ・ポート出力モード・レジスタ (POMx)
- ・ポート・モード・コントロール・レジスタ (PMCxx)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ポート・モード・レジスタX (PMXx)
- ・周辺I/Oリダイレクション・レジスタ (PIOR)
- ・ポート入力許可レジスタ(PIEN)

表4 - 13 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット

(1/2)

ポート		ビット名						64 pin	48 pin	32 pin	30 pin	20 pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ					
ポート0	0	PM0.0	P0.0	PU0.0	-	POM0.0	PMC0.0 ^注	-				
	1	PM0.1	P0.1	PU0.1	PIM0.1	-	PMC0.1 ^注	-				
	2	PM0.2	P0.2	PU0.2	-	POM0.2	PMC0.2	-	-	-	-	-
	3	PM0.3	P0.3	PU0.3	PIM0.3	POM0.3	PMC0.3	-	-	-	-	-
	4	PM0.4	P0.4	PU0.4	PIM0.4	POM0.4	-	-	-	-	-	-
	5	PM0.5	P0.5	PU0.5	-	-	-	-	-	-	-	-
	6	PM0.6	P0.6	PU0.6	-	-	-	-	-	-	-	-
ポート1	0	PM1.0	P1.0	PU1.0	-	POM1.0	-	PMX0				
	1	PM1.1	P1.1	PU1.1	-	POM1.1	-	-				
	2	PM1.2	P1.2	PU1.2	-	POM1.2	-	PMX1				
	3	PM1.3	P1.3	PU1.3	PIM1.3	POM1.3	-	-				-
	4	PM1.4	P1.4	PU1.4	PIM1.4	POM1.4	-	-				-
	5	PM1.5	P1.5	PU1.5	PIM1.5	POM1.5	-	-				-
	6	PM1.6	P1.6	PU1.6	PIM1.6	-	-	-				
	7	PM1.7	P1.7	PU1.7	PIM1.7	POM1.7	-	-				
ポート2	0	PM2.0	P2.0	-	-	-	-	-				
	1	PM2.1	P2.1	-	-	-	-	-				
	2	PM2.2	P2.2	-	-	-	-	-				
	3	PM2.3	P2.3	-	-	-	-	-				-
	4	PM2.4	P2.4	-	-	-	-	-			-	-
	5	PM2.5	P2.5	-	-	-	-	-			-	-
	6	PM2.6	P2.6	-	-	-	-	-			-	-
	7	PM2.7	P2.7	-	-	-	-	-			-	-
ポート3	0	PM3.0	P3.0	PU3.0	-	-	-	-				-
	1	PM3.1	P3.1	PU3.1	-	-	-	-				
ポート4	0	PM4.0	P4.0	PU4.0	-	-	-	-				
	1	PM4.1	P4.1	PU4.1	-	-	-	-			-	-
	2	PM4.2	P4.2	PU4.2	-	-	-	-			-	-
	3	PM4.3	P4.3	PU4.3	-	-	-	-			-	-
ポート5	0	PM5.0	P5.0	PU5.0	-	POM5.0	-	-				
	1	PM5.1	P5.1	PU5.1	-	-	-	PMX2				
	2	PM5.2	P5.2	PU5.2	-	-	-	-	-	-	-	-
	3	PM5.3	P5.3	PU5.3	-	-	-	PMX4			-	-
	4	PM5.4	P5.4	PU5.4	-	-	-	-			-	-
	5	PM5.5	P5.5	PU5.5	PIM5.5	POM5.5	-	PMX3			-	-
ポート6	0	PM6.0	P6.0	-	-	-	-	-				-
	1	PM6.1	P6.1	-	-	-	-	-				-
	2	PM6.2	P6.2	-	-	-	-	-			-	-
	3	PM6.3	P6.3	-	-	-	-	-			-	-

注 20ピン, 30ピン, 32ピン製品のみ

各レジスタのフォーマットの説明を次に示します。ここでは64ピン製品を例として説明しています。

(2/2)

ポート		ビット名						64 pin	48 pin	32 pin	30 pin	20 pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ					
ポート7	0	PM7.0	P7.0	PU7.0	-	-	-	-			-	-
	1	PM7.1	P7.1	PU7.1	-	POM7.1	-	-			-	-
	2	PM7.2	P7.2	PU7.2	-	-	-	-			-	-
	3	PM7.3	P7.3	PU7.3	-	-	-	-			-	-
	4	PM7.4	P7.4	PU7.4	-	POM7.4	-	-			-	-
	5	PM7.5	P7.5	PU7.5	-	-	-	-			-	-
	6	PM7.6	P7.6	PU7.6	-	-	-	-			-	-
	7	PM7.7	P7.7	PU7.7	-	-	-	-			-	-
ポート12	0	PM12.0	P12.0	PU12.0	-	-	PMC12.0	-				-
	1	-	P12.1	-	-	-	-	-				
	2	-	P12.2	-	-	-	-	-				
	3	-	P12.3	-	-	-	-	-			-	-
	4	-	P12.4	-	-	-	-	-			-	-
ポート13	0	-	P13.0	-	-	-	-	-			-	-
	7	-	P13.7	-	-	-	-	-				
ポート14	0	PM14.0	P14.0	PU14.0	-	-	-	-			-	-
	1	PM14.1	P14.1	PU14.1	-	-	-	-			-	-
	6	PM14.6	P14.6	PU14.6	-	-	-	-			-	-
	7	PM14.7	P14.7	PU14.7	-	-	PMC14.7	-				-

注 20ピン, 30ピン, 32ピン製品のみ

各レジスタのフォーマットの説明を次に示します。ここでは64ピン製品を例として説明しています。

(1) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図4-41 ポート・モード・レジスタのフォーマット (64ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM0.6	PM0.5	PM0.4	PM0.3	PM0.2	PM0.1	PM0.0	FFF20H	FFH	R/W
PM1	PM1.7	PM1.6	PM1.5	PM1.4	PM1.3	PM1.2	PM1.1	PM1.0	FFF21H	FFH	R/W
PM2	PM2.7	PM2.6	PM2.5	PM2.4	PM2.3	PM2.2	PM2.1	PM2.0	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM3.1	PM3.0	FFF23H	FFH	R/W
PM4	1	1	1	1	PM4.3	PM4.2	PM4.1	PM4.0	FFF24H	FFH	R/W
PM5	1	1	PM5.5	PM5.4	PM5.3	PM5.2	PM5.1	PM5.0	FFF25H	FFH	R/W
PM6	1	1	1	1	PM6.3	PM6.2	PM6.1	PM6.0	FFF26H	FFH	R/W
PM7	PM7.7	PM7.6	PM7.5	PM7.4	PM7.3	PM7.2	PM7.1	PM7.0	FFF27H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM12.0	FFF2CH	FEH	R/W
PM14	PM14.7	PM14.6	1	1	1	1	PM14.1	PM14.0	FFF2EH	FFH	R/W
PMm.n	Pmn端子の入出力モードの選択 (m = 0-7, 12, 14; n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

注意1. PM0レジスタのビット7, PM3レジスタのビット2-7, PM4レジスタのビット4-7, PM5レジスタのビット6-7, PM6レジスタのビット4-7, PM12レジスタのビット1-7, PM14レジスタのビット2-5には必ず1を設定してください。

2. 20ピン製品の場合、以下の各ポートに対して、リセット解除後 (CPU動作開始後) 50 ms以内、かつ対象ポート・ビットPm.nの存在するポート・ラッチPmをリードする操作 (ビット操作命令でポート・ラッチPmのPm.n以外のビットをリードする操作を含む) を行う前に、以下のソフトウェア処理を完了させてください。

- ・P00, P13, P14, P15, P30, P60, P61, P120, P147は、ソフトウェアでロウ・レベル出力モードに設定してください (当該ポート用のPMm.nビットおよびPm.nビットをクリアしてください)。
- ・P23は、ソフトウェアでデジタル・ポート、ロウ・レベル出力モードに設定してください (ADPCレジスタでP23をデジタル・モードに設定して、PM2.3ビットおよびP2.3ビットをクリアしてください)。

(2) ポート・レジスタ (Pxx)

ポートの出力ラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます^注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

注 P00-P03, P20-P27, P120, P147をA/Dコンバータのアナログ入力機能として設定した場合に、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4 - 42 ポート・レジスタのフォーマット (64ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	FFF00H	00H (出力ラッチ)	R/W
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	FFF01H	00H (出力ラッチ)	R/W
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	P3.1	P3.0	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	P4.3	P4.2	P4.1	P4.0	FFF04H	00H (出力ラッチ)	R/W
P5	0	0	P5.5	P5.4	P5.3	P5.2	P5.1	P5.0	FFF05H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P6.3	P6.2	P6.1	P6.0	FFF06H	00H (出力ラッチ)	R/W
P7	P7.7	P7.6	P7.5	P7.4	P7.3	P7.2	P7.1	P7.0	FFF07H	00H (出力ラッチ)	R/W
P12	0	0	0	P12.4	P12.3	P12.2	P12.1	P12.0	FFF0CH	不定	R/W ^注
P13	P13.7	0	0	0	0	0	0	P13.0	FFF0DH	不定	R/W ^注
P14	P14.7	P14.6	0	0	0	0	P14.1	P14.0	FFF0EH	00H (出力ラッチ)	R/W

Pm.n	m = 0-7, 12-14 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 1. P121-P124, P137はRead Onlyです。

2. P137 : 不定

P130 : 0 (出力ラッチ)

注意 20ピン製品の場合、以下の各ポートに対して、リセット解除後 (CPU動作開始後) 50 ms以内、かつ対象ポート・ビットPm.nの存在するポート・ラッチPmをリードする操作 (ビット操作命令でポート・ラッチPmのPm.n以外のビットをリードする操作を含む) を行う前に、以下のソフトウェア処理を完了させてください。

- ・P00, P13, P14, P15, P30, P60, P61, P120, P147は、ソフトウェアでロウ・レベル出力モードに設定してください (当該ポート用のPMm.nビットおよびPm.nビットをクリアしてください)。

- ・P23は、ソフトウェアでデジタル・ポート、ロウ・レベル出力モードに設定してください(ADPCレジスタでP23をデジタル・モードに設定して、PM2.3ビットおよびP2.3ビットをクリアしてください)。

(3) プルアップ抵抗オプション・レジスタ (PU_{xx})

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、POM_{mn} = 0で入力モード (PM_{mn} = 1) に設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するやアナログ設定 (PMC = 1, ADPC = 1) にしている場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H) になります。

注意 PIM_nレジスタがあるポートで、異電位デバイスからTTLバッファに入力する場合は、PU_{mn} = 0を設定して、外部抵抗で異電位デバイスの電源にプルアップしてください。

図4 - 43 プルアップ抵抗オプション・レジスタのフォーマット (64ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU0.6	PU0.5	PU0.4	PU0.3	PU0.2	PU0.1	PU0.0	F0030H	00H	R/W
PU1	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU3.1	PU3.0	F0033H	00H	R/W
PU4	0	0	0	0	PU4.3	PU4.2	PU4.1	PU4.0	F0034H	01H	R/W
PU5	0	0	PU5.5	PU5.4	PU5.3	PU5.2	PU5.1	PU5.0	F0035H	00H	R/W
PU7	PU7.7	PU7.6	PU7.5	PU7.4	PU7.3	PU7.2	PU7.1	PU7.0	F0037H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU14.7	PU14.6	0	0	0	0	PU14.1	PU14.0	F003EH	00H	R/W
PU _{m.n}	P _m nの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 7, 12, 14 ; n = 0-7)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

(4) ポート入力モード・レジスタ (PIM0, PIM1, PIM5)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 44 ポート入力モード・レジスタのフォーマット (64ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM0.4	PIM0.3	0	PIM0.1	0	F0040H	00H	R/W
PIM1	PIM1.7	PIM1.6	PIM1.5	PIM1.4	PIM1.3	0	0	0	F0041H	00H	R/W
PIM5	0	0	PIM5.5	0	0	0	0	0	F0045H	00H	R/W

PIMm.n	Pmn端子の入力バッファの選択 (m = 0, 1, 5 ; n = 1, 3-7)
0	通常入力バッファ
1	TTL入力バッファ

(5) ポート出力モード・レジスタ (POM0, POM1, POM5, POM7)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA00, SDA01, SDA10, SDA11, SDA20, SDA21端子にN-chオープン・ドレイン出力 (V_{DD}耐圧/EV_{DD}耐圧^注) モードを選択できます。また, POMxxレジスタはPUxxレジスタとともに, 内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 45 ポート出力モード・レジスタのフォーマット (64ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	0	0	0	POM0.4	POM0.3	POM0.2	0	POM0.0	FFF50H	00H	R/W
PM1	POM1.7	0	POM1.5	POM1.4	POM1.3	POM1.2	POM1.1	POM1.0	FFF51H	00H	R/W
PM5	0	0	POM5.5	0	0	0	0	POM5.0	FFF55H	00H	R/W
PM7	0	0	0	POM7.4	0	0	POM7.1	0	F007H	00H	R/W

POMm.n	Pmn端子の出力モードの選択 (m = 0, 1, 5, 7 ; n = 0-5, 7)
0	通常出力モード 入力時はPUmnビットを有効にする
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧 ^{注1} / EV _{DD} 耐圧 ^{注2}) モード 入力時はPUmnビットを無効にする

注 1. 20~48ピン製品の場合

2. 64ピン製品の場合

(6) ポート・モード・コントロール・レジスタ (PMC0, PMC12, PMC14)

デジタル入出力 / アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4 - 46 ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	PMC0.3 ^{注2}	PMC0.2 ^{注2}	PMC0.1 ^{注1}	PMC0.0 ^{注1}	F0060H	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC12.0 ^{注3}	F006CH	FFH	R/W
PMC14	PMC14.7 ^{注3}	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCm.n	Pmn端子のデジタル入出力 / アナログ入力の選択 (m = 0, 12, 14 ; n = 0-3, 7)
0	デジタル入出力 (アナログ入力以外の兼用機能)
1	アナログ入力

注 1 . 20,30,32ピン製品のみ

2 . 64ピン製品のみ

3 . 30,32,48,64ピン製品のみ

- 注意
1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ0, 12, 14 (PM0, PM12, PM14) で入力モードに選択してください。
 2. PMCレジスタでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジス (ADS) で設定しないでください。

(7) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27端子を，A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4 - 47 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス：F0076H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC.3	ADPC.2	ADPC.1	ADPC.0

ADPC.3	ADPC.2	ADPC.1	ADPC.0	アナログ入力 (A) / デジタル入出力 (D) の切り替え							
				ANI7/P27	ANI6/P26	ANI5/P25	ANI4/P24	ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	D	D	D	D	D	D	D	D
0	0	1	0	D	D	D	D	D	D	D	A
0	0	1	1	D	D	D	D	D	D	A	A
0	1	0	0	D	D	D	D	D	A	A	A
0	1	0	1	D	D	D	D	A	A	A	A
0	1	1	0	D	D	D	A	A	A	A	A
0	1	1	1	D	D	A	A	A	A	A	A
1	0	0	0	D	A	A	A	A	A	A	A
上記以外				設定禁止							

- 注意1. A/D変換で使用するチャンネルは，ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。

(8) ポート・モード・レジスタX (PMX0-PMX4)

一部のシリアル通信端子のモードを切り替えるレジスタです。

SCK0端子 (マスタ・モード), SOS0端子, TxDS0端子, LTxD端子, SCK1端子, SOS1端子を使用する時に, PMX0-PMX4レジスタに設定します。

PMX0-PMX4レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図4 - 48 ポート・モード・レジスタXのフォーマット (64ピン製品)

アドレス : F0504H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PMX0	0	0	0	0	0	0	0	PMX0

PMX0	P10/SCK00/SCK0/SCL00端子の兼用機能の選択
0	SCK0出力 (マスタ・モード)
1	SCK0入力 (スレーブ・モード), またはその他の兼用機能 (汎用ポートを含む)

アドレス : F0505H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PMX1	0	0	0	0	0	0	0	PMX1

PMX1	P12/SO00/TxD0/SOS0/TxDS0/TOOLTxD端子の兼用機能の選択
0	SOS0出力またはTxDS0出力
1	その他の兼用機能 (汎用ポートを含む)

アドレス : F0506H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PMX2	0	0	0	0	0	0	0	PMX2

PMX2	P51/INTP2/SO11/LTxD端子の兼用機能の選択
0	LTxD出力
1	その他の兼用機能 (汎用ポートを含む)

アドレス : F0507H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PMX3	0	0	0	0	0	0	0	PMX3

PMX3	P55/SCK1端子の兼用機能の選択
0	SCK1出力 (マスタ・モード)
1	SCK1入力 (スレーブ・モード), その他の兼用機能 (汎用ポートを含む)

アドレス : F0508H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PMX4	0	0	0	0	0	0	0	PMX4

PMX4	P53/SOS1端子の兼用機能の選択
0	SOS1出力
1	その他の兼用機能 (汎用ポートを含む)

(9) 周辺I/Oリダイレクション・レジスタ (PIOR)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

PIORレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 49 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット

アドレス : F0077H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	PIOR4	PIOR3	PIOR2	PIOR1	PIOR0

ビット	機能	64ピン		48ピン		32ピン		30ピン		20ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR4	PCLBUZ1	P141	P55	設定不要です。値によらず使用できます。							
	INTP5	P16	P12								
PIOR3	PCLBUZ0	P140	P31	P140	P31						
PIOR2	SCLA0	P60	P14	P60	P14	P60	P14	P60	P14	-	-
	SDAA0	P61	P13	P61	P13	P61	P13	P61	P13	-	-
PIOR1	INTP10	P76	P52	-	-	-	-	-	-	-	-
	INTP11	P77	P53	-	-	-	-	-	-	-	-
	TxD2	P13	P77	P13	-	P13	-	P13	-	-	-
	RxD2	P14	P76	P14	-	P14	-	P14	-	-	-
	SCL20	P15	-	P15	-	P15	-	P15	-	-	-
	SDA20	P14	-	P14	-	P14	-	P14	-	-	-
	SI20	P14	-	P14	-	P14	-	P14	-	-	-
	SO20	P13	-	P13	-	P13	-	P13	-	-	-
	SCK20	P15	-	P15	-	P15	-	P15	-	-	-
	TxD0	P12	P17	P12	P17	P12	P17	P12	P17	P12	P17
	RxD0	P11	P16	P11	P16	P11	P16	P11	P16	P11	P16
	SCL00	P10	-	P10	-	P10	-	P10	-	P10	-
	SDA00	P11	-	P11	-	P11	-	P11	-	P11	-
	SI00	P11	P16	P11	-	P11	-	P11	-	P11	-
SO00	P12	P17	P12	-	P12	-	P12	-	P12	-	
SCK00	P10	P55	P10	-	P10	-	P10	-	P10	-	
PIOR0	TI02/TO02	P17	P15	P17	P15	P17	P15	P17	P15	P17	-
	TI03/TO03	P31	P14	P31	P14	P31	P14	P31	P14	P31	-
	TI04/TO04	P42	P13	-	P13	-	P13	-	P13	-	-
	TI05/TO05	P05	P12	-	P12	-	P12	-	P12	-	P12
	TI06/TO06	P06	P11	-	P11	-	P11	-	P11	-	P11
	TI07/TO07	P41	P10	P41	P10	-	P10	-	P10	-	P10

(10) ポート入力許可レジスタ(PIEN)

一部シリアル通信端子の入力機能の使用状態を設定するレジスタです。

SIS1端子またはSCKS1端子(スレーブ・モード)を使用する時に設定します。

PIENレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 50 ポート入力許可レジスタ(PIEN)のフォーマット

アドレス : F0509H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIEN	0	0	0	0	0	0	0	PIEN0

PIEN0	SIS1端子, SCKS1端子(スレーブ・モード)の入力機能の使用状態の選択
0	SIS1端子およびSCKS1端子(スレーブ・モード)の入力機能を使用しない
1	SIS1端子およびSCKS1端子(スレーブ・モード)のいずれか, または両方の入力機能を使用する

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法

ポート0, 1, 5は、 $V_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$ で動作時に、2.5 V系, 3 V系の電圧で動作している外部デバイスとの入出力接続が可能です。

入力については、ポート入力モード・レジスタ0, 1, 5 (PIM0, PIM1, PIM5) によりビットごとに通常入力 (CMOS) /TTLを切り換え可能です。

また、出力については、ポート出力モード・レジスタ0, 1, 5, 7 (POM0, POM1, POM5, POM7) により、出力バッファをN-chオープン・ドレイン (V_{DD} 耐圧/ EV_{DD} 耐圧[※])に切り換えることにより、異電位に対応可能になります。

注 64ピン製品のみ

(1) UART0, UART1, UART2, CSI00, CSI10, CSI20機能の入出力端子を使用する場合の設定手順

(a) 2.5 V系, 3 V系の入力ポートとして使用

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。

プルアップが必要な場合は、使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART0の場合	: (P16)
UART1の場合	: P03
UART2の場合	: P14
CSI00の場合	: (P16, P55)
CSI10の場合	: P03, P04
CSI20の場合	: P14, P15

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

PIM0, PIM1 PIM5レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。

V_{IH}/V_{IL} が2.5 V系, 3 V系の動作電圧で動作します。

(b) 2.5 V系, 3 V系の出力ポートとして使用

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。

使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART0の場合	: P12(P17)
UART1の場合	: P02
UART2の場合	: P13
CSI00の場合	: P12, P10(P17, P55)
CSI10の場合	: P02, P04
CSI20の場合	: P13, P15

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

該当するポートの出力ラッチに1を設定します。

POM0, POM1, POM5レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (V_{DD} 耐圧/ EV_{DD} 耐圧) モードに設定します。

PM0, PM1, PM5レジスタを操作して出力モードに設定します。
この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。
シリアル・アレイ・ユニットに設定を行うと通信を開始します。

(2) 簡易IIC20機能の入出力端子を使用する場合の設定手順

リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

簡易IIC10の場合：P03, P04

簡易IIC20の場合：P14, P15

該当するポートの出力ラッチに1を設定します。

POM0, POM1レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力（V_{DD}耐圧/EV_{DD}耐圧）モードに設定します。

PM0, PM1レジスタの該当ビットを出力モードに設定します（出力モードのままデータ入出力可能）。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。

4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4 - 14のように設定してください。

表4 - 14 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (1/5)

端子名称	兼用機能		PIOR.x	PMC x.x	PM x.x	P x.x	PMX.x
	名称	入出力					
P00	TI00	入力	x	-	1	x	-
P01	TO00	出力	x	-	0	0	-
P02	ANI17	入力	x	1	1	x	-
	SO10	出力	x	0	0	1	-
	TxD1	出力	x	0	0	1	-
P03	ANI16	入力	x	1	1	x	-
	SI10	入力	x	0	1	x	-
	RxD1	入力	x	0	1	x	-
	SDA10	入出力	x	0	0	1	-
P04	SCK10	入力	x	-	1	x	-
		出力	x	-	0	1	-
	SCL10	出力	x	-	0	1	-
P05	TI05	入力	0	-	1	x	-
	TO05	出力	0	-	0	0	-
P06	TI06	入力	0	-	1	x	-
	TO06	出力	0	-	0	0	-
P10	SCK00	入力	0	-	1	x	1
		出力	0	-	0	1	1
	SCKS0	入力	x	-	1	x	1
		出力 ^{注2}	x	-	1	x	0
	SCL00	出力	0	-	0	1	1
	(TI07)	入力	1	-	1	x	1
	(TO07)	出力	1	-	0	0	1

備考1. x : don't care

PIOR.x : 周辺I/Oリダイレクション・レジスタ

POM x.x : ポート出力モード・レジスタ

PMC x.x : ポート・モード・コントロール・レジスタ

PM x.x : ポート・モード・レジスタ

P x.x : ポートの出力ラッチ

PMX.x : ポートのPMXレジスタ

2. 各端子と兼用機能の関係は，64ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIOR x , POM x x , PMC x x , PM x x , P x x , PMX x の設定は同様になります。

3. 上表の()内の機能は，周辺I/Oリダイレクション・レジスタ(PIOR)の設定により，割り当て可能です。

(注は，表の末尾にあります)

表4-14 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (2/5)

端子名称	兼用機能		PIOR.x	PMC x.x	PM x.x	P x.x	PMX.x
	名称	入出力					
P11	SI00	入力	0	-	1	x	-
	RxD0	入力	0	-	1	x	-
	SIS0	入力	x	-	1	x	-
	RxDS0	入力	x	-	1	x	-
	SDA00 ^{注4}	入出力	0	-	0	1	-
	(TI06)	入力	1	-	1	x	-
	(TO06)	出力	1	-	0	0	-
P12	SO00	出力	0	-	0	1	1
	TxD0	出力	0	-	0	1	1
	SOS0 ^{注2}	出力	x	-	1	x	0
	TxDS0 ^{注2}	出力	x	-	1	x	0
	(TI05)	入力	1	-	1	x	1
	(TO05)	出力	1	-	0	0	1
	(INTP5)	入力	1	-	1	x	1
P13	TxD2	出力	0	-	0	1	-
	SO20	出力	0	-	0	1	-
	(SDAA0)	入出力	1	-	0	0	-
	(TI04)	入力	1	-	1	x	-
	(TO04)	出力	1	-	0	0	-
P14	RxD2	入力	0	-	1	x	-
	SI20	入力	0	-	1	x	-
	SDA20 ^{注4}	入出力	0	-	0	1	-
	(SCLA0)	入出力	1	-	0	0	-
	(TI03)	入力	1	-	1	x	-
	(TO03)	出力	1	-	0	0	-

備考1. x : don't care

PIOR.x : 周辺I/Oリダイレクション・レジスタ

POM x.x : ポート出力モード・レジスタ

PMC x.x : ポート・モード・コントロール・レジスタ

PM x.x : ポート・モード・レジスタ

P x.x : ポートの出力ラッチ

PMX.x : ポートのPMXレジスタ

- 各端子と兼用機能の関係は、64ピン製品の場合を示しています。その他の製品で兼用機能を使用時は、異なる端子に割り当てられている場合がありますが、PIORx、POM x x、PMC x x、PM x x、P x xの設定は同様になります。
- 上表の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

(注は、表の末尾にあります)

表4-14 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (3/5)

端子名称	兼用機能		PIOR.x	PMC x.x	PM x.x	P x.x
	名称	入出力				
P15	SCK20	入力	0	-	1	x
		出力	0	-	0	1
	SCL20	出力	0	-	0	1
	(TI02)	入力	1	-	1	x
	(TO02)	出力	1	-	0	0
P16	TI01	入力	x	-	1	x
	TO01	出力	x	-	0	0
	INTP5	入力	0	-	1	x
	(RxD0)	入力	1	-	1	x
	(SI00)	入力	1	-	1	x
P17	TI02	入力	0	-	1	x
	TO02	出力	0	-	0	0
	(TxD0)	出力	1	-	0	1
	(SO00)	出力	1	-	0	1
P20	ANI0	入力	x	-	1	x
	AVREFP	入力	x	-	1	x
P21	ANI1	入力	x	-	1	x
	AVREFM	入力	x	-	1	x
P22-P27 ^{注3}	ANI2-ANI7 ^{注3}	入力	x	-	1	x
P30	INTP3	入力	x	-	1	x
	RTC1HZ	出力	x	-	0	0
	SCK11	入力	x	-	1	x
		出力	x	-	0	1
	SCL11	出力	x	-	0	1
P31	TI03	入力	0	-	1	x
	TO03	出力	0	-	0	0
	INTP4	入力	x	-	1	x
	(PCLBUZ0)	出力	1	-	0	0

備考1. x : don't care

PIOR.x : 周辺I/Oリダイレクション・レジスタ

POM x.x : ポート出力モード・レジスタ

PMC x.x : ポート・モード・コントロール・レジスタ

PM x.x : ポート・モード・レジスタ

P x.x : ポートの出力ラッチ

- 各端子と兼用機能の関係は、64ピン製品の場合を示しています。その他の製品で兼用機能を使用時は、異なる端子に割り当てられている場合がありますが、PIORx、POM x x、PMC x x、PM x x、P x xの設定は同様になります。
- 上表の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

(注は、表の末尾にあります)

表4 - 14 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (4/5)

端子名称	兼用機能		PIOR.x	PMC x.x	PM x.x	P x.x	PMX.x	PIEN
	名称	入出力						
P40	TOOL0	入出力	x	-	x	x	-	-
P41	TI07	入力	0	-	1	x	-	-
	TO07	出力	0	-	0	0	-	-
P42	TI04	入力	0	-	1	x	-	-
	TO04	出力	0	-	0	0	-	-
P50	INTP1	入力	x	-	1	x	-	-
	SI11	入力	x	-	1	x	-	-
	SDA11 ^{注4}	入出力	x	-	0	1	-	-
	LRxD	入力	x	-	1	x	-	-
P51	INTP2	入力	x	-	1	x	1	-
	SO11	出力	x	-	0	1	1	-
	LTxD ^{注2}	出力	x	-	1	x	0	-
P52	(INTP10)	入力	1	-	1	x	-	-
P53	SOS1	出力	x	-	1	x	0	-
	(INTP11)	入力	1	-	1	x	1	-
P54	SIS1	入力	x	-	1	x	-	1
P55	SCKST	入力	x	-	1	x	1	1
		出力	x	-	1	x	0	x
	(PCLBUZ1)	出力	1	-	0	0	1	x
	(SCK00)	入力	1	-	1	x	1	x
		出力	1	-	0	1	1	x
P60	SCLA0	入出力	0	-	0	0	-	-
P61	SDAA0	入出力	0	-	0	0	-	-
P70	KR0	入力	X	-	1	x	-	-
	SCK2T	入力	X	-	1	x	-	-
		出力	X	-	0	1	-	-
	SCL21	出力	0	-	0	1	-	-

備考1. x : don't care

PIOR.x : 周辺I/Oリダイレクション・レジスタ

POM x.x : ポート出力モード・レジスタ

PMC x.x : ポート・モード・コントロール・レジスタ

PM x.x : ポート・モード・レジスタ

P x.x : ポートの出力ラッチ

PMX.x : ポートのPMXレジスタ

PIEN : ポート入力許可レジスタ

- 各端子と兼用機能の関係は、64ピン製品の場合を示しています。その他の製品で兼用機能を使用時は、異なる端子に割り当てられている場合がありますが、PIORx、POM x x、PMC x x、PM x x、P x xの設定は同様になります。

- 上表の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

(注は、表の末尾にあります)

表4 - 14 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (5/5)

端子名称	兼用機能		PIOR.x	PMC x.x	PM x.x	P x.x
	名称	入出力				
P71	KR1	入力	x	-	1	x
	SI21	入力	x	-	1	x
	SDA21 ^{注4}	入出力	x	-	0	1
P72	KR2	入力	x	-	1	x
	SO21	出力	x	-	0	1
P73	KR3	入力	x	-	1	x
	SO01	出力	x	-	0	1
P74	KR4	入力	x	-	1	x
	INTP8	入力	x	-	1	x
	SI01	入力	x	-	1	x
	SDA01 ^{注4}	入出力	x	-	0	1
P75	KR5	入力	x	-	1	x
	INTP9	入力	x	-	1	x
	SCK01	入力	x	-	1	x
		出力	x	-	0	1
SCL01	出力	x	-	0	1	
P76	KR6	入力	x	-	1	x
	INTP10	入力	0	-	1	x
	(RxD2)	入力	1	-	1	x
P77	KR7	入力	x	-	1	x
	INTP11	入力	0	-	1	x
	(TxD2)	出力	1	-	0	1
P120	ANI19 ^{注1}	入力	x	1	1	x
P137	INTP0	入力	x	-	-	x
P140	PCLBUZ0	出力	0	-	0	0
	INTP6	入力	x	-	1	x
P141	PCLBUZ1	出力	0	-	0	0
	INTP7	入力	x	-	1	x
P147	ANI18 ^{注1}	入力	x	1	1	x

備考1. x : don't care

PIOR.x : 周辺I/Oリダイレクション・レジスタ

POM x.x : ポート出力モード・レジスタ

PMC x.x : ポート・モード・コントロール・レジスタ

PM x.x : ポート・モード・レジスタ

P x.x : ポートの出力ラッチ

- 各端子と兼用機能の関係は、64ピン製品の場合を示しています。その他の製品で兼用機能を使用時は、異なる端子に割り当てられている場合がありますが、PIORx、POM x x、PMC x x、PM x x、P x xの設定は同様になります。
- 上表の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

- 注1. ANI16/P03, ANI17/P02, ANI18/P147, ANI19/P120端子の機能は、ポート・モード・コントロール・レジスタ0, 12, 14 (PMC0, PMC12, PMC14), アナログ入力チャンネル指定レジスタ (ADS), PM0, PM12, PM14レジスタの設定で決定します。

表4 - 15 ANI16/P03, ANI17/P02, ANI18/P147, ANI19/P120端子機能の設定

PMC0, PMC12, PMC14 レジスタ	PM0, PM12, PM14 レジスタ	ADSレジスタ	ANI16/P03, ANI17/P02, ANI18/P147, ANI19/P120端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

2. P10/SCK00/SCKS0/SCL00, P12/SO00/TxD0/SOS0/TxDS0/TOOLTxD, P51/INTP2/SO11/LTxD, P53/SOS1, P55/SCKS1端子を、SCKS0端子出力 (マスタ・モード), SOS0端子出力, TxDS0端子出力, LTxD端子出力, SOS1端子出力, SCKS1端子出力として使用するときには、PMX0-PMX4レジスタを設定する必要があります。詳細は、4.3 (8) **ポート・モード・レジスタX (PMX0-PMX4)** を参照してください。
3. ANI0/P20-ANI7/P27端子の機能は、A/Dポート・コンフィギュレーション・レジスタ (ADPC), アナログ入力チャンネル指定レジスタ (ADS), ポート・モード・レジスタ2 (PM2) の設定で決定します。

表4 - 16 ANI0/P20-ANI7/P27端子機能の設定

ADPC	PM2	ADS	ANI0/P20-ANI7/P27端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

4. 複数の兼用出力機能が割り当てられた端子で特定の兼用出力機能を使用するには、表4 - 15に示した設定以外に使用しない兼用機能の出力を初期状態と同じにする必要があります。

4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”“ハイ・レベル”とすると、ポート1の出力ラッチの値は、“FFH”になります。

説明：PM_{nm}ビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/F12内部で、次の順序で行われます。

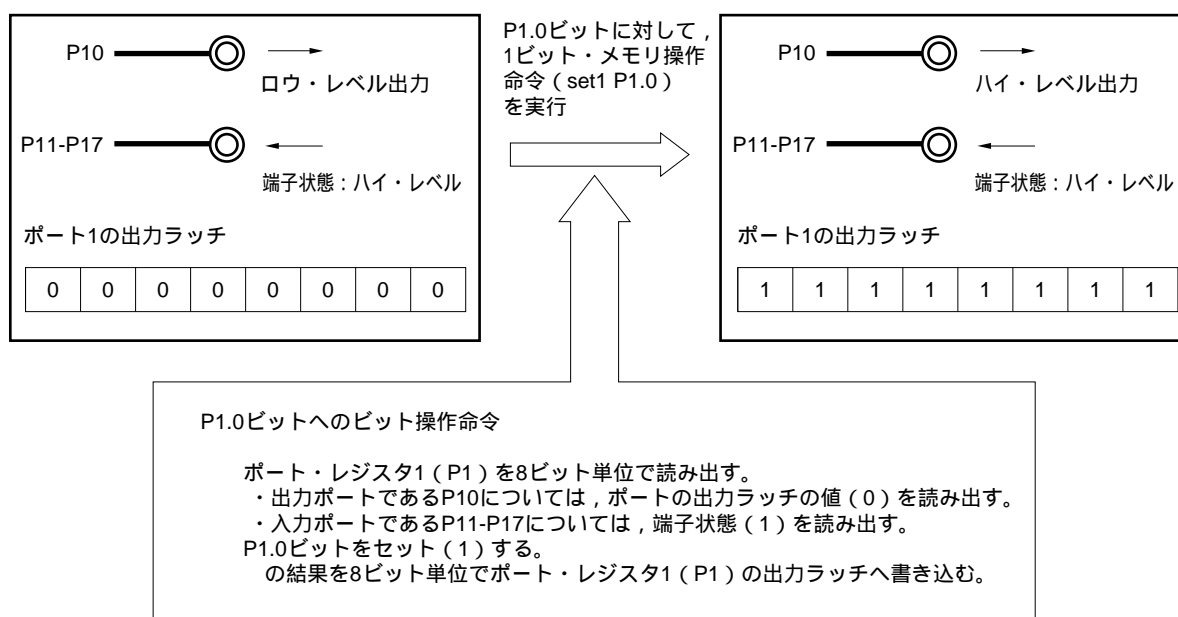
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4 - 51 1ビット・メモリ操作命令（P10の場合）



第5章 クロック発生回路

メイン・システム・クロック用発振子接続端子 / 外部クロック入力端子, サブシステム・クロック用発振子接続端子 / 外部クロック入力端子の有無は, 製品によって異なります。

	20, 30, 32ピン製品	48, 64ピン製品
X1, X2端子		
EXCLK端子		
XT1, XT2端子	-	
EXCLKS端子	-	

注意 20, 30, 32ピン製品には, サブシステム・クロックがありません。

5.1 クロック発生回路の機能

クロック発生回路は, CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には, 次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより, $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)の設定により, 発振を停止することができます。

高速オンチップ・オシレータ

オプションバイト(000C2H)により, $f_{IH} = 32$ MHz/24 MHz/16 MHz/12 MHz/8 MHz/4 MHz/1 MHz (TYP.)から周波数を選択し, 発振させることができます。リセット解除後, CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット(CSCレジスタのビット0)の設定により, 発振を停止することができます。

オプション・バイトで設定した周波数は, 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は, 図5-9 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に, 高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

電源電圧			発振周波数 (MHz)												
			1	2	3	4	6	8	12	16	24	32			
2.7 V	V _{DD}	5.5 V													
1.8 V	V _{DD}	<2.7 V									-	-	-	-	

また、EXCLK/X2/P122端子から外部メイン・システム・クロック ($f_{EX} = 1 \sim 20$ MHz) を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット (システム・クロック制御レジスタ (CKC) のビット4) の設定により、高速システム・クロック (X1クロックまたは外部メイン・システム・クロック) と高速オンチップ・オシレータ・クロックを切り替えられます。

(2) サブシステム・クロック**・XT1発振回路**

XT1, XT2に32.768 kHzの発振子を接続することにより, $f_{XT} = 32.768$ kHzのクロックを発振させることができます。XTSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット6)の設定により, 発振を停止することができます。

また, EXCLKS/XT2/P124端子から外部サブシステム・クロック($f_{EXS} = 32.768$ kHz)を供給することができます。XTSTOPビットの設定により, 外部サブシステム・クロック入力を無効にすることができます。

(3) 低速オンチップ・オシレータ・クロック

$f_{IL} = 15$ kHz (TYP.) のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは, 次の周辺ハードウェアのみです。

- ・ウォッチドッグ・タイマ
- ・リアルタイム・カウンタ
- ・インターバル・タイマ

オプション・バイト(000C0H)のビット4(WDTON)または, 動作スピード・モード制御レジスタ(OSMC)のビット4(WUTMMCK0)のどちらか, または両方が1のときに動作します。

ただし, WDTON = 1, WUTMMCK0 = 0かつオプション・バイト(000C0H)のビット0(WDSTBYON)が0のときに, HALT命令またはSTOP命令を実行した場合, 低速オンチップ・オシレータは発振を停止します。

注意 リアルタイム・クロックの動作クロックに低速オンチップ・オシレータ・クロック(f_{IL})を選択できるのは, 定周期割り込み機能使用時のみです。

備考 f_X	: X1クロック発振周波数
f_{IH}	: 高速オンチップ・オシレータ・クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数
f_{XT}	: XT1クロック発振周波数
f_{EXS}	: 外部サブシステム・クロック周波数
f_{IL}	: 低速オンチップ・オシレータ・クロック周波数

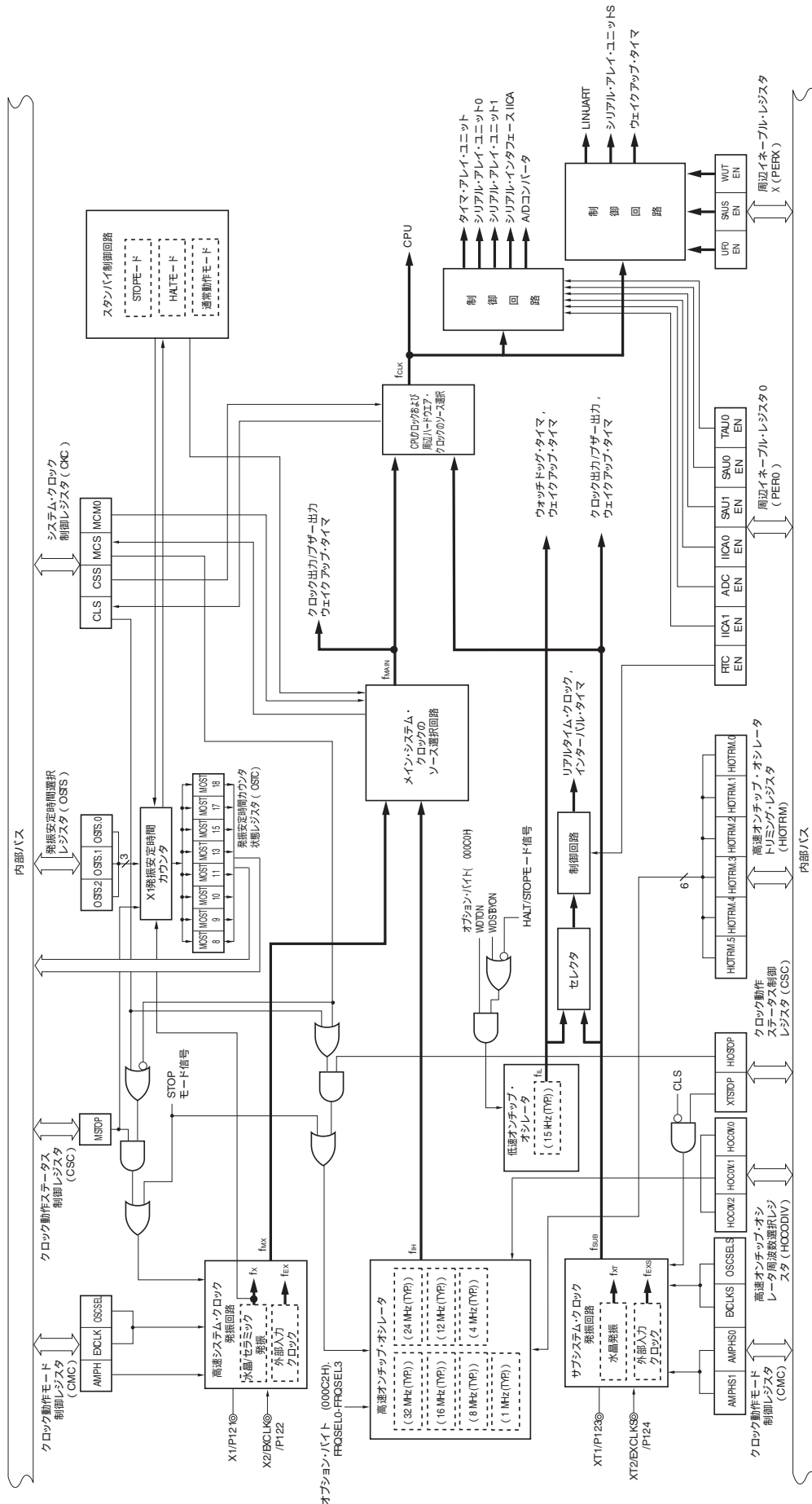
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ0 (PER0) 周辺イネーブル・レジスタX (PERX) 動作スピード・モード制御レジスタ (OSMC) 高速オンチップ・オシレータ・周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

図5-1 クロック発生回路のブロック図



(備考は次ページにあります。)

備考 f_X	: X1クロック発振周波数
f_{IH}	: 高速オンチップ・オシレータ・クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数
f_{MX}	: 高速システム・クロック周波数
f_{MAIN}	: メイン・システム・クロック周波数
f_{XT}	: XT1クロック発振周波数
f_{EXS}	: 外部サブシステム・クロック周波数
f_{SUB}	: サブシステム・クロック周波数
f_{CLK}	: CPU / 周辺ハードウェア・クロック周波数
f_{IL}	: 低速オンチップ・オシレータ・クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の10種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・システム・クロック制御レジスタ (CKC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・周辺イネーブル・レジスタ0 (PER0)
- ・周辺イネーブル・レジスタX (PERX)
- ・動作スピード・モード制御レジスタ (OSMC)
- ・高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- ・高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、1ビット・メモリ操作命令、または8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5 - 2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

EXCLKS	OSCSELS	サブシステム・クロック 端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124 端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振 (デフォルト)
0	1	通常発振
1	0	超低消費発振
1	1	設定禁止

AMPH	X1クロック発振周波数の制御
0	1 MHz f_x 10 MHz
1	1 MHz f_x 20 MHz

- 注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
- リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。
 - X1クロック発振周波数が10MHzを超える場合は、必ずAMPHビットに1を設定してください。X1クロック発振周波数が1~10MHz未満の場合は、AMPHビットを1に設定すると発振余裕度が向上します。
 - CMCレジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作を防止するためにリセット解除後は必ず00Hに設定してください。

(注意、備考は次ページに続きます。)

注意5. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。

- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
 - ・XT1発振回路のモードを超低消費発振 (AMPHS1, AMPHS0 = 1, 0) で使用する場合は、第31章 電気的特性(Jグレード)、第32章 電気的特性(Kグレード)に記載されている推奨発振子をご使用ください。
 - ・XT1端子, XT2端子と発振子との配線は極力短くし、寄生容量, 配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1, AMPHS0 = 1, 0) を選択している場合はご注意ください。
 - ・回路基板は寄生容量, 配線抵抗の少ない材質で回路を構成してください。
 - ・XT1発振回路の周辺には、できるかぎりV_{SS}と同電位のグランド・パターンを配置してください。
 - ・XT1端子, XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
 - ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
 - ・回路基板上をコーティングする場合は、XT1端子, XT2端子間に容量やリークが生じない材料をご使用ください。
6. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後f_{CLK}にf_{IH}を選択した状態 (f_{CLK}をf_{MX}に切り替える前の状態) で設定してください。
 7. f_{XT}の発振安定時間は、ソフトウェアでカウントしてください。
 8. システム・クロックの周波数上限は32 MHzですが、X1発振回路の周波数上限は20MHzになります。

備考 f_x : X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックの選択, 分周比を設定するレジスタです。

CKCレジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図5-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス: FFFA4H リセット時: 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0

CLS	CPU/周辺ハードウェア・クロック (f_{CLK}) のステータス
0	メイン・システム・クロック (f_{MAIN})
1	サブシステム・クロック (f_{SUB})

CSS	CPU/周辺ハードウェア・クロック (f_{CLK}) の選択
0	メイン・システム・クロック (f_{MAIN})
1	サブシステム・クロック (f_{SUB})

MCS	メイン・システム・クロック (f_{MAIN}) のステータス
0	高速オンチップ・オシレータ・クロック (f_{IH})
1	高速システム・クロック (f_{MX})

MCM0	メイン・システム・クロック (f_{MAIN}) の動作制御
0	メイン・システム・クロック (f_{MAIN}) に高速オンチップ・オシレータ・クロック (f_{IH}) を選択
1	メイン・システム・クロック (f_{MAIN}) に高速システム・クロック (f_{MX}) を選択

注1. ビット7, 5は, Read Onlyです。

2. CSS = 1を設定した状態で, MCM0ビットの値を変更することは禁止です。

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 f_{MX} : 高速システム・クロック周波数
 f_{MAIN} : メイン・システム・クロック周波数
 f_{SUB} : サブシステム・クロック周波数

注意1. ビット0-3には, 必ず0を設定してください。

- CSSビットで設定したクロックは, CPUと周辺ハードウェアに供給されます。したがって, CPUクロックを変更すると, 周辺ハードウェア・クロックも同時に変更されます (リアルタイム・クロック, インターバル・タイマ, クロック出力/ブザー出力, およびウォッチドッグ・タイマは除く)。よって, CPU/周辺ハードウェア・クロックを変更する場合は, 各周辺機能を停止してください。
- 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合, A/Dコンバータ, IICAの動作は保証できません。周辺ハードウェアの動作特性については, 各周辺ハードウェアの章および第31章 電気的特性 (Jグレード), 第32章 電気的特性 (Kグレード) を参照してください。

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

図5 - 4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ・動作
1	高速オンチップ・オシレータ・停止

- 注意1. リセット解除後は，クロック動作モード制御レジスタ (CMC) を設定してからCSCレジスタを設定してください。
- リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ (OSTS) を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。
 - MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
 - XSTOPビットの設定でXT1発振を開始する場合は，サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
 - CPU / 周辺ハードウェア・クロック (f_{CLK}) に選択しているクロックは，CSCレジスタで停止させないでください。
 - クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は，表5 - 2のようになります。

表5-2 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU / 周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CPU / 周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
高速オンチップ・オシレータ・クロック	CPU / 周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・ X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 MSTOP = 0）
- ・ STOPモードを解除したとき

図5 - 5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST	MOST	MOST	MOST	MOST	MOST	MOST	MOST
	8	9	10	11	13	15	17	18

MOST	MOST	MOST	MOST	MOST	MOST	MOST	MOST	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
8	9	10	11	13	15	17	18	$2^8/f_x$ 未満	25.6 μ s未満	12.8 μ s未満
0	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 μ s以上	12.8 μ s以上
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 μ s以上	25.6 μ s以上
1	1	0	0	0	0	0	0	$2^{10}/f_x$ 以上	102.4 μ s以上	51.2 μ s以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102.4 μ s以上	51.2 μ s以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μ s以上	102.4 μ s以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μ s以上	102.4 μ s以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μ s以上	409.6 μ s以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μ s以上	409.6 μ s以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.21 ms以上	13.11 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.21 ms以上	13.11 ms以上

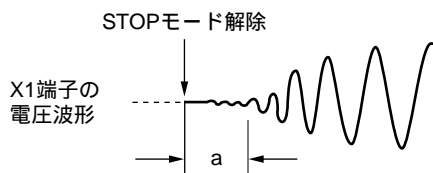
注意1. 上記時間経過後, MOST8ビットから順番に“1”となっていく, そのまま“1”を保持します。

2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次のときには, OSTSレジスタの発振安定時間を, 発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで, X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで, X1クロックも発振している状態でSTOPモードに移行し, その後, STOPモードを解除したい場合
(したがって, STOPモード解除後のOSTCレジスタは, OSTSレジスタで設定している発振安定時間までのステータスしかセットされないの注意してください)

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSレジスタで設定した時間を自動でウェイトします。

CPUクロックに高速**オンチップ・オシレータ**・クロックを選択した場合,STOPモード解除後は,発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間が経過したかを確認してください。OSTCレジスタでは,あらかじめOSTSレジスタで設定した時間までの確認ができません。

OSTSレジスタは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,07Hになります。

図5 - 6 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS.2	OSTS.1	OSTS.0

OSTS.2	OSTS.1	OSTS.0		発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs	設定禁止
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

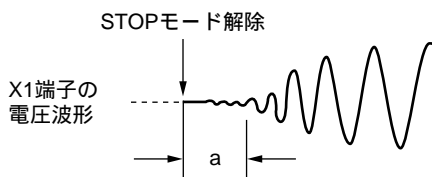
注意1 . CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

- 2 . 発振安定時間が20 μs 以下は設定禁止です。
- 3 . OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) のMSTOPビットを0に設定する前に行ってください。
- 4 . X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 5 . 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・ CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

- 6 . X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- ・リアルタイム・クロック, インターバル・タイマ
- ・A/Dコンバータ
- ・シリアル・インタフェースIICA
- ・シリアル・アレイ・ユニット0
- ・シリアル・アレイ・ユニット1
- ・タイマ・アレイ・ユニット

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図5 - 7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCCEN	リアルタイム・クロック (RTC), インターバル・タイマの入カクロック供給 ^注 の制御
0	入カクロック供給停止 ・リアルタイム・クロック (RTC), インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC), インターバル・タイマはリセット状態
1	入カクロック供給 ・リアルタイム・クロック (RTC), インターバル・タイマで使用するSFRへのリード/ライト可

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入カクロック供給 ・A/Dコンバータで使用するSFRへのリード/ライト可

注 RTCENビットで制御可能な入カクロックは、CPUからリアルタイム・クロック (RTC) で使用するレジスタにアクセスする場合に使用されます。RTCENビットで、RTCの動作クロック (f_{SUB}) の供給を制御することはできません。

注意 ビット1, 6には必ず“0”を設定してください。

図5-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICAの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入カクロック供給 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニットの入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可

注意 ビット1, 6には必ず“0”を設定してください。

5.3.7 周辺イネーブル・レジスタX (PERX)

各周辺ハードウェアの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PERXレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・ウェイクアップ・タイマについてはSFRライト可否のみ選択します。動作クロックの供給可否はPCKSELレジスタで選択します。

図5-8 周辺イネーブル・レジスタX (PERX) のフォーマット

アドレス : F0500H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PERX	0	0	0	0	0	UF0EN	SAUSEN	WUTEN

UF0EN	LIN-UART0の入カクロックの制御
0	入カクロック供給停止 ・ LIN-UART0で使用するSFRへのライト不可 ・ LIN-UART0はリセット状態
1	入カクロック供給 ・ LIN-UART0で使用するSFRへのリード/ライト可

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御 (m = 0, 1, S)
0	入カクロック供給停止 ・ シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・ シリアル・アレイ・ユニットmはリセット状態
1	入カクロック供給許可 ・ シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

WUTEN	16ビット・ウェイクアップ・タイマの入カクロックの制御
0	SFRライト用入カクロック供給停止 ・ 16ビット・ウェイクアップ・タイマで使用するSFRへのライト不可
1	SFRライト用入カクロック供給 ・ 16ビット・ウェイクアップ・タイマで使用するSFRへのライト可

注意 ビット3~7は必ず“0”に設定してください。

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト (000C2H / 010C2H) で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。ただし、オプション・バイト (000C2H / 010C2H) の FRQSEL3 ビットの値によって、選択できる周波数が異なります。

HOCODIV は、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期値 (不定) になります。

図5 - 9 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット

アドレス : F00A8H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV.2	HOCODIV.1	HOCODIV.0

HOCODIV.2	HOCODIV.1	HOCODIV.0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 ビットが0のとき	FRQSEL3 ビットが1のとき
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

- 注意1. HOCODIVレジスタの設定は周波数の変更前, 変更後ともに動作可能な電圧範囲で行ってください。
2. HOCODIVレジスタによって周波数を変更した場合も、オプション・バイト (000C2H / 010C2H) で設定したフラッシュ動作モードの電圧の範囲内で使用してください。

オプションバイト (000C2H / 010C2H) の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS (低速メイン) モード	1 MHz ~ 8 MHz	1.8 V ~ 5.5 V
1	1	HS (高速メイン) モード	1 MHz ~ 32 MHz	2.7 V ~ 5.5 V

3. HOCODIVレジスタで値を変更してから、3クロック間は設定前の周波数で動作します。また、システム・クロックに高速オンチップ・オシレータ・クロックを設定したときは、さらに3クロック分の発振安定待ちをします。
4. システム・クロックにX1発振 / 外部発振入力 / サブシステム・クロックを設定しているときに高速オンチップ・オシレータの周波数を変更する場合は、CSCレジスタのビット0 (HIOSTOP) を1にセットし、高速オンチップ・オシレータを停止させてから周波数を変更してください。

5.3.9 動作スピード・モード制御レジスタ (OSMC)

OSMCレジスタは、少しでも不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック、インターバル・タイマ以外の周辺機能へのクロック同期回路を停止するので、消費電流を低減することが可能です。この設定をする前に、周辺イネーブル・レジスタ0 (PER0)のビット7 (RTCEN)は1にしてください。

また、OSMCレジスタではリアルタイム・クロック、インターバル・タイマの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 10 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表20 - 1 HALTモード時の動作状態参照)
1	リアルタイム・クロック、インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック、インターバル・タイマの動作クロックの選択
0	サブシステム・クロック
1	低速オンチップ・オシレータ・クロック

注意 RTCLPCビットを1に設定することで、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の消費電流を低減できます。ただし、サブシステム・クロックでCPU動作中のHALTモード時は、リアルタイム・クロック、インターバル・タイマ以外の周辺機能へクロックを供給できなくなります。サブシステム・クロックHALTモードに設定する前に、周辺イネーブル・レジスタ0 (PER0)のビット7 (RTCEN)は1に、それ以外の0-6ビットは0にしてください。

5.3.10 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

HIOTRMは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期値(注)になります。

図5-11 高速オンチップ・オシレータトリミング・レジスタ (HIOTRM) のフォーマット

アドレス : F00A0H リセット時 : 注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM.5	HIOTRM.4	HIOTRM.3	HIOTRM.2	HIOTRM.1	HIOTRM.0

HIO TRM.5	HIO TRM.4	HIO TRM.3	HIO TRM.2	HIO TRM.1	HIO TRM.0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
⋮						
1	1	1	1	1	0	↓
1	1	1	1	1	1	

注 リセット値は一つ一つのチップで異なります。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

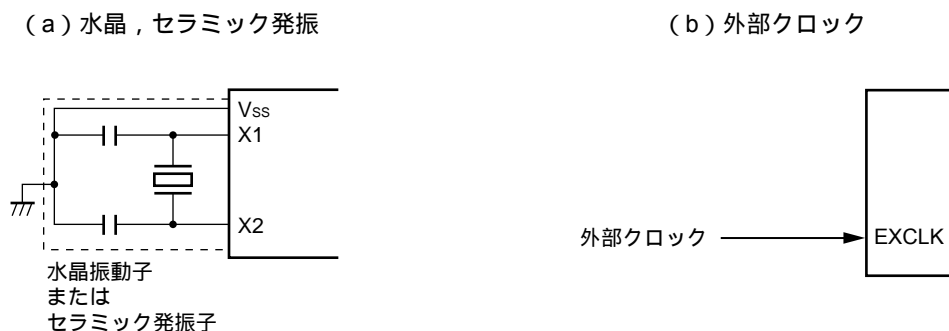
- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-1 各端子の未使用端子処理を参照してください。

図5-10にX1発振回路の外付け回路例を示します。

図5-12 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

XT1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット5, 4（EXCLKS, OSCSELS）を次のように設定してください。

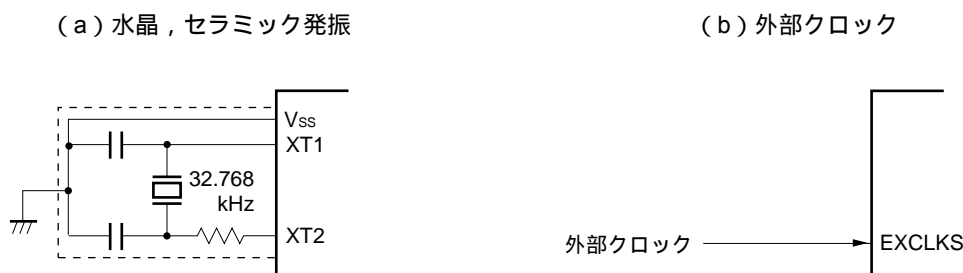
- ・水晶, セラミック発振 : EXCLKS, OSCSELS = 0, 1
- ・外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は、入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-1 各端子の未使用端子処理を参照してください。

図5-13にXT1発振回路の外付け回路例を示します。

図5-13 XT1発振回路の外付け回路例



注意 X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-12, 5-13の破線の部分を次のように配線してください。

- ・配線は極力短くしてください。
- ・他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

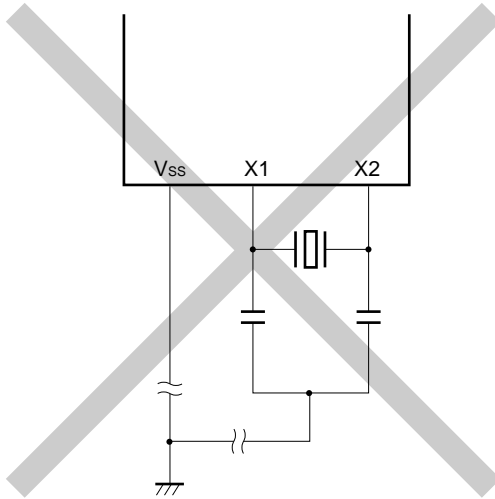
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- ・XT1発振回路のモードを超低消費発振 (AMPHS1, AMPHS0 = 1, 0) で使用する場合は第31章 電気的特性 (Jグレード)、第32章 電気的特性 (Kグレード) に記載されている推奨発振器をご使用ください。
- ・XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1, AMPHS0 = 1, 0) を選択している場合はご注意ください。
- ・回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には、できるかぎりV_{SS}と同電位のグランド・パターンを配置してください。
- ・XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

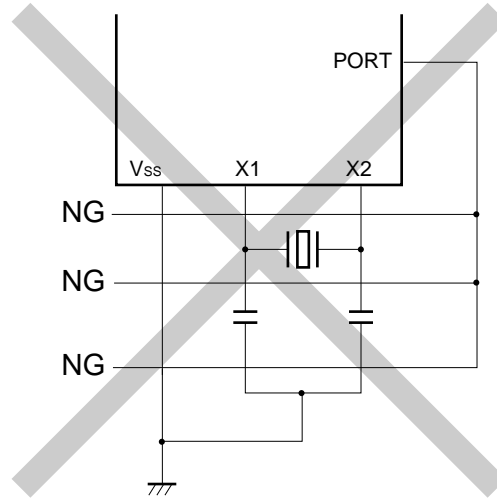
図5 - 14に発振子の接続の悪い例を示します。

図5 - 14 発振子の接続の悪い例 (1/2)

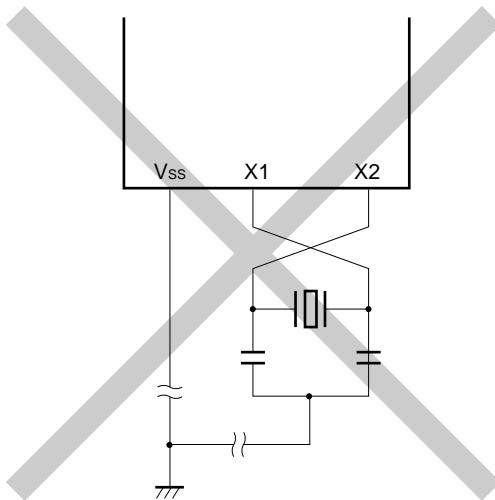
(a) 接続回路の配線が長い



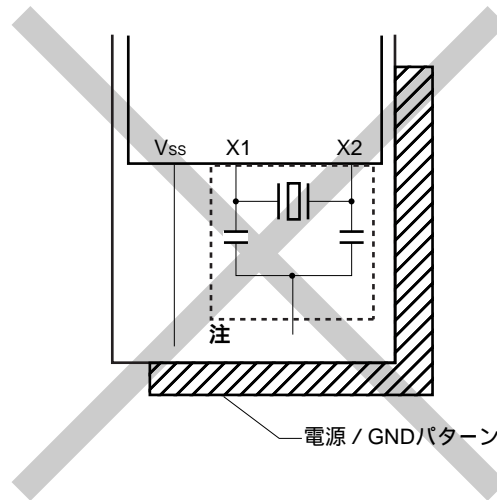
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源 / GNDパターンがある



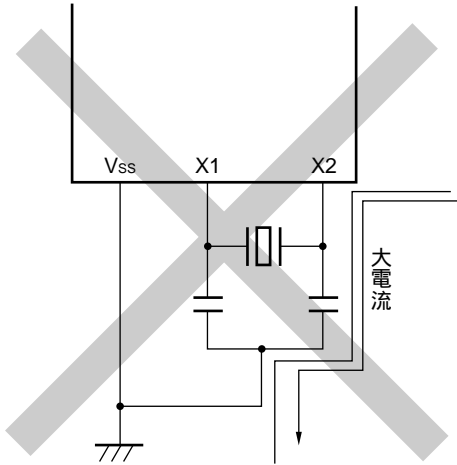
注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源 / GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

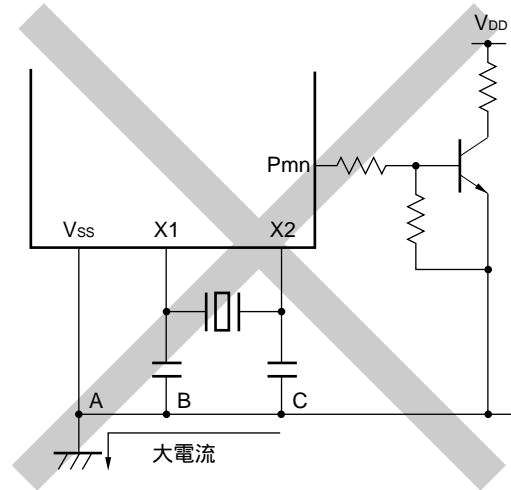
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-14 発振子の接続の悪い例 (2/2)

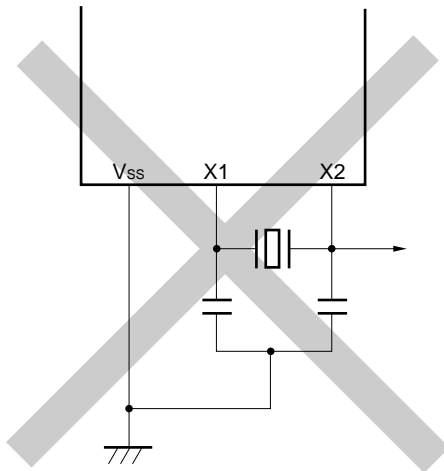
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

5.4.3 高速オンチップ・オシレータ

RL78/F12は、高速オンチップ・オシレータを内蔵しています。オプションバイト(000C2H)により32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.4 低速オンチップ・オシレータ

RL78/F12は、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ, リアルタイム・カウンタ, インターバル・タイマのクロックとして使用します。CPUクロックとして使用できません。

オプション・バイト(000C0H)のビット4(WDTON)または、動作スピード・モード制御レジスタ(OSMC)のビット4(WUTMMCK0)のどちらか、または両方が1のときに動作します。

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0以外では、低速オンチップ・オシレータの発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速オンチップ・オシレータクロックが停止することはありません。

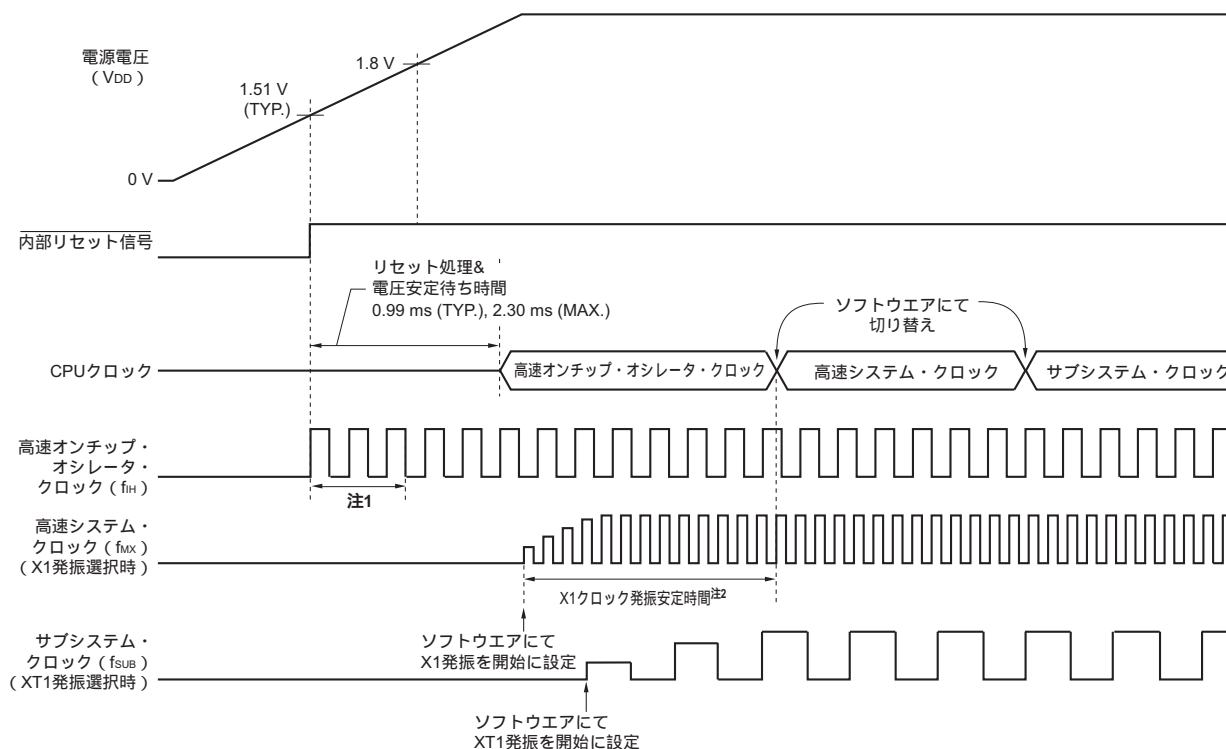
5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5 - 1を参照）。

メイン・システム・クロック f_{MAIN}
・高速システム・クロック f_{MX}
 X1クロック f_x
 外部メイン・システム・クロック f_{EX}
・高速オンチップ・オシレータ・クロック f_{IH}
サブシステム・クロック f_{SUB}
・XT1クロック f_{XT}
・外部サブシステム・クロック f_{EXS}
低速オンチップ・オシレータ・クロック f_{IL}
CPU / 周辺ハードウェア・クロック f_{CLK}

RL78/F12では、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。
電源電圧投入時のクロック発生回路の動作を、図5 - 15に示します。

図5-15 電源電圧投入時のクロック発生回路の動作



電源投入後、パワーオン・リセット (POR) 回路による内部リセット信号が発生されます。

電源電圧が1.51 V (TYP.) を越えると、リセットが解除され、高速オンチップ・オシレータが自動的に発振開始されます。

リセット解除後に電源/レギュレータの電圧安定待ちなどのリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (5.6.2 X1発振回路の設定例, 5.6.3 XT1発振回路の設定例を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5.6.2 X1発振回路の設定例, 5.6.3 XT1発振回路の設定例を参照)。

- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
3. 電源投入後、電源電圧が1.51 V (TYP.) に達してから、 $\overline{\text{RESET}}$ 信号をハイ・レベル (1) にしたのち、以下のリセット処理時間 (POR解除後1回目) が掛かります。
- POR解除後1回目: 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)
- POR解除後1回目以降、PORリセットが発生しない電源電圧条件下において端子リセットを入力し、再度 $\overline{\text{RESET}}$ 信号をハイ・レベル (1) にしたのち、以下のリセット処理時間 (POR解除後2回目以降) が掛かりません。
- POR解除後2回目以降: 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU / 周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) の FRQSEL0-FRQSEL3 により、32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 4 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・ バイト (000C2H)	7	6	5	4	3	2	1	0
	CMODE1 0/1	CMODE0 0/1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定
1	0	LS (低速メイン) モード
1	1	HS (高速メイン) モード

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
1	0	1	1	4 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

HOCODIV	7	6	5	4	3	2	1	0
	0	0	0	0	0	HOCODIV.2	HOCODIV.1	HOCODIV.0

HOCODIV.2	HOCODIV.1	HOCODIV.0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

5.6.2 X1発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】 ~ の順に設定してください。

CMCレジスタのOSCSELビットをセット (1)、f_X > 10 MHzの場合はAMPHビットをセット (1) してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	1

AMPHビット：X1発振クロックが10 MHz以下の場合は0を設定してください。

CSCレジスタのMSTOPビットをクリア (0) してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

OSTCレジスタでX1発振回路の発振安定待ちを行います。

例) 10 MHzの発振子で102.4 μs以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

CKCレジスタのMCM0ビットでX1発振クロックをCPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	0	1	0	0	0	0

5.6.3 XT1発振回路の設定例

CPU / 周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1発振クロックに変更する場合、動作スピード・モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) でXT1発振クロックをf_{CLK}に設定します。

【レジスタ設定】 ~ の順に設定してください。

STOPモード時およびサブHALTモード時にリアルタイム・クロック、インターバル・タイマのみサブシステム・クロックで動作 (超低消費電流) させる場合はRTCLPCビットを1に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

CMCレジスタのOSCSELSビットをセット (1) してXT1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1ビット : XT1発振回路の発振モードを設定します。

CSCレジスタのXTSTOPビットをクリア (0) してXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトしてください。

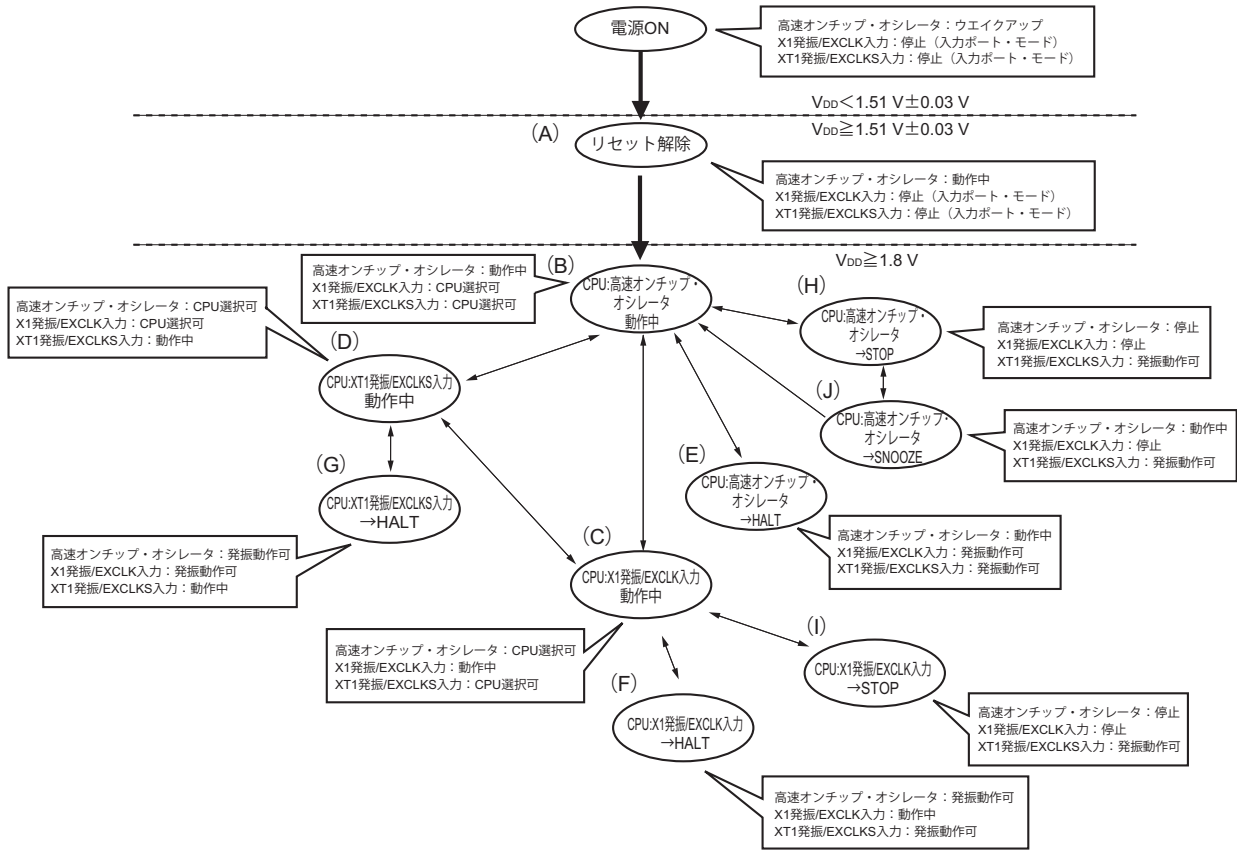
CKCレジスタのCSSビットでXT1発振クロックをCPU / 周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

5.6.4 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 16に示します。

図5 - 16 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5 - 3に示します。

表5 - 3 CPUクロックの移行とSFRレジスタの設定例 (1/5)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^注			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) (B) (C) (X1クロック : 1 MHz f_x 10 MHz)	0	1	0	注2	0	確認必要	1
(A) (B) (C) (X1クロック : 10 MHz <math><f_x</math> 20 MHz)	0	1	1	注2	0	確認必要	1
(A) (B) (C) (外部メイン・クロック)	1	1	x	注2	0	確認不要	1

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

- ・ 期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第31章 電気的特性 (Jグレード) , 第32章 電気的特性 (Kグレード) を参照) に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^注				CSC レジスタ	発振安 定待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) (B) (D) (XT1クロック)	0	1	0/1	0/1	0	必要	1
(A) (B) (D) (外部サブ・クロック)	1	1	x	x	0	必要	1

注 クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1. x : don't care

2. 表5 - 3の (A) - (J) は、図5 - 16の(A) - (J) と対応しています。

表5 - 3 CPUクロックの移行とSFRレジスタの設定例 (2/5)

(4) CPUを高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ MCM0
		EXCLK	OSCSEL	AMPH				
(B) (C) (X1クロック : 1 MHz \leq fx 10 MHz)		0	1	0	注2	0	確認必要	1
(B) (C) (X1クロック : 10 MHz < fx 20 MHz)		0	1	1	注2	0	確認必要	1
(B) (C) (外部メイン・クロック)		1	1	x	注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。
 - ・期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第31章 電気的特性 (Jグレード), 第32章 電気的特性 (Kグレード) を参照) に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速オンチップ・オシレータ・クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CMCレジスタ ^注		CSCレジスタ XTSTOP	発振安定待ち	CKCレジスタ CSS
		EXCLKS	OSCSELS			
(B) (D) (XT1クロック)		0	1	0	必要	1
(B) (D) (外部サブ・クロック)		1	1	0	必要	1

サブシステム・クロック動作中の場合は不要

注 クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

- 備考1. x : don't care
2. 表5 - 3の (A) - (J) は、図5 - 16の(A) - (J) と対応しています。

表5 - 3 CPUクロックの移行とSFRレジスタの設定例 (3/5)

(6) CPUを高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) (B)		0	30 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振安定待ち	CKCレジスタ
		XTSTOP		CSS
(C) (D)		0	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	CKCレジスタ	
		HIOSTOP	MCM0	CSS
(D) (B)		0	0	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

設定済みの場合は不要

備考 表5 - 3の (A) - (J) は、図5 - 16の(A) - (J) と対応しています。

表5 - 3 CPUクロックの移行とSFRレジスタの設定例 (4/5)

(9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 状態遷移	OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ MCM0 CSS	
	(D) (C) (X1クロック : 1 MHz \times 10 MHz)	注	0	確認必要	1
(D) (C) (X1クロック : 10 MHz < \times 20 MHz)	注	0	確認必要	1	0
(D) (C) (外部メイン・クロック)	注	0	確認不要	1	0

高速システム・クロック
動作中の場合は不要
設定済みの場
合は不要

注 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第31章 電気的特性 (Jグレード), 第32章 電気的特性 (Kグレード) を参照) に電源電圧が達してから, クロックを設定してください。

(10) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にHALTモード (E) へ移行

- ・CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
- ・CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G)	HALT命令を実行する

備考 表5 - 3の (A) - (J) は, 図5 - 16の(A) - (J) と対応しています。

表5 - 3 CPUクロックの移行とSFRレジスタの設定例 (5/5)

- (11) ・ CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード (H) へ移行
 ・ CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移		設定内容			
(B)	(H)	STOPモード中に動作できない周辺機能を停止する	-	STOP命令を実行する	
(C)	(I)		X1発振		OSTSレジスタを設定する
			外部クロック		-

- (12) ・ STOPモード (H) からSNOOZEモード (J) へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、12.8 SNOOZEモード機能、13.5.7 SNOOZEモード機能 (CSI00のみ)、13.6.3 SNOOZEモード機能 (UART0受信のみ) を参照してください。

備考 表5 - 3の (A) - (J) は、図5 - 16の(A) - (J) と対応しています。

5.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-4 CPUクロックの移行について (1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること ・HIOSTOP = 0	X1発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	X1発振停止可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	X1発振停止可能 (MSTOP = 1)
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること ・HIOSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)

表5-4 CPUクロックの移行について(2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	XT1発振停止に設定可能(XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	外部サブシステム・クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	外部サブシステム・クロック入力を無効に設定可能(XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-

5.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット4, 6 (MCM0, CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック), メイン・システム・クロックの切り替え (高速オンチップ・オシレータ・クロック 高速システム・クロック) をすることができます。

実際の切り替え動作は, CKCレジスタを書き換えた直後ではなく, CKCレジスタを変更したのち, 数クロックは切り替え前のクロックで動作します (表5 - 5 ~ 表5 - 7参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, CKCレジスタのビット7 (CLS) で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか, 高速オンチップ・オシレータ・クロックで動作しているかは, CKCレジスタのビット5 (MCS) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表5 - 5 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f _{IH}	↔	f _{MX}	表5 - 6参照
f _{MAIN}	↔	f _{SUB}	表5 - 7参照

表5 - 6 f_{IH} ↔ f_{MX} で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} > f _{IH}		1 + f _{IH} /f _{MX} クロック
	f _{MX} < f _{IH}		2f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} > f _{IH}	2f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	1 + f _{MX} /f _{IH} クロック	

表5 - 7 f_{MAIN} ↔ f_{SUB} で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 (f _{CLK} = f _{MAIN})	1 (f _{CLK} = f _{SUB})
0 (f _{CLK} = f _{MAIN})			1 + 2f _{MAIN} /f _{SUB} クロック
1 (f _{CLK} = f _{SUB})		2 + f _{SUB} /f _{MAIN} クロック	

備考1. 表5 - 6, 表5 - 7のクロック数は, 切り替え前のCPUクロックのクロック数です。

2. 表5 - 6, 表5 - 7のクロック数は, 小数点以下を切り上げてください。

例 メイン・システム・クロックを高速オンチップ・オシレータ・クロック (8 MHz選択時) から高速システム・クロックに切り替える場合 (f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時)

$$1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 \quad 2 \text{クロック}$$

5.6.7 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5 - 8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	
XT1クロック	CLS = 0	XTSTOP = 1
外部サブシステム・クロック	(CPUクロックがサブシステム・クロック以外で動作)	

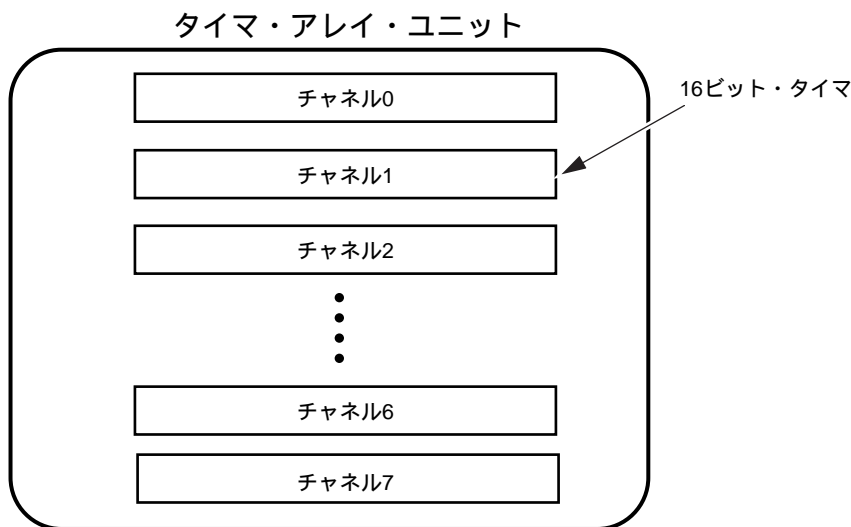
第6章 タイマ・アレイ・ユニット

注意1. タイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

2. この章では、以降の主な説明を64ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせるとして高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照下さい。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> ・インターバル・タイマ/方形波出力 (6. 7. 1参照) ・方形波出力 (6. 7. 1参照) ・外部イベント・カウンタ (6. 7. 2参照) ・分周器^注 (6. 7. 3参照) ・入力パルス間隔測定 (6. 7. 4参照) ・入力信号のハイ/ロウ・レベル幅測定 (6. 7. 5参照) ・ディレイ・カウンタ (6. 7. 6参照) 	<ul style="list-style-type: none"> ・ワンショット・パルス出力 (6. 8. 1参照) ・PWM出力 (6. 8. 2参照) ・多重PWM出力 (6. 8. 3参照)

注 チャンネル0のみ

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ (上位/下位) として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- ・インターバル・タイマ/方形波出力
- ・外部イベント・カウンタ (下位8ビット・タイマのみ)
- ・ディレイ・カウント (下位8ビット・タイマのみ)

また、チャンネル7は、シリアル・アレイ・ユニットのUART2と連携し、LIN-bus受信処理を実現することができます (30, 32, 48, 64ピン製品のみ)。

6.1 タイマ・アレイ・ユニットの機能

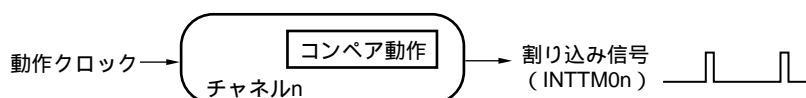
タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

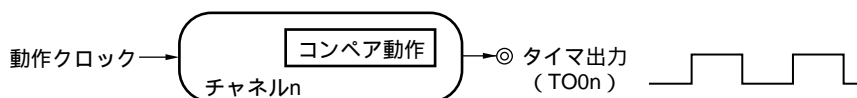
(1) インターバル・タイマ

一定間隔で割り込み (INTTM0n) を発生する基準タイマとして利用できます。



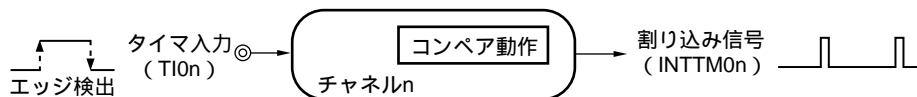
(2) 方形波出力

INTTM0n割り込みの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子 (TO0n) より出力します。



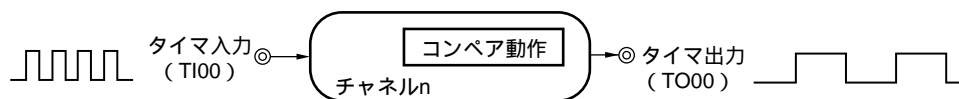
(3) 外部イベント・カウンタ

タイマ入力端子 (TI0n) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



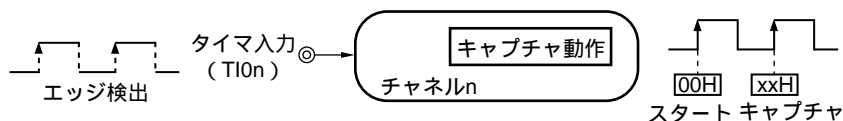
(4) 分周器機能 (チャンネル0のみ)

タイマ入力端子 (TI00) から入力されたクロックを分周して出力端子 (TO00) より出力します。



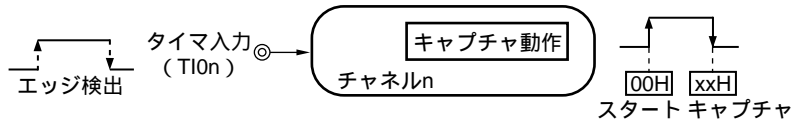
(5) 入力パルス間隔測定

タイマ入力端子 (TI0n) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。

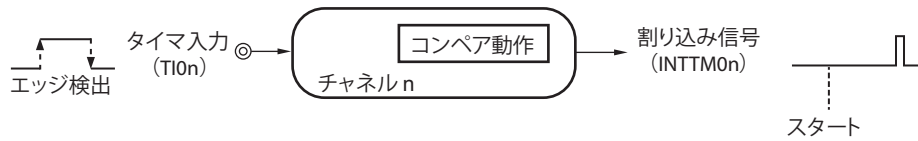


(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TI0n) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。

**(7) デイレイ・カウンタ**

タイマ入力端子 (TI0n) に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考1. n: チャンネル番号 (n = 0-7)

2. チャンネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、**表6-2 各製品に搭載しているタイマ入出力端子**を参照してください。

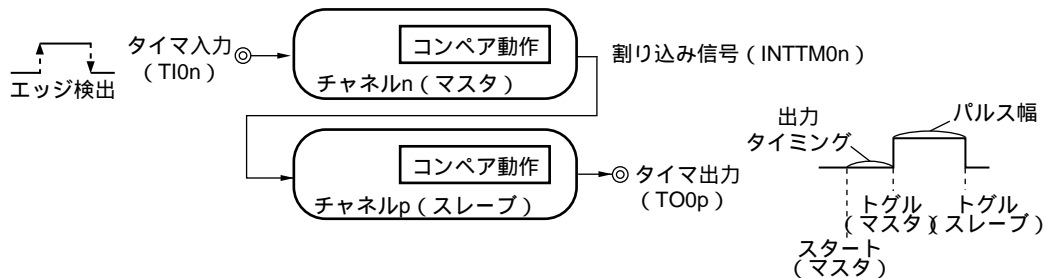
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせることで実現する機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

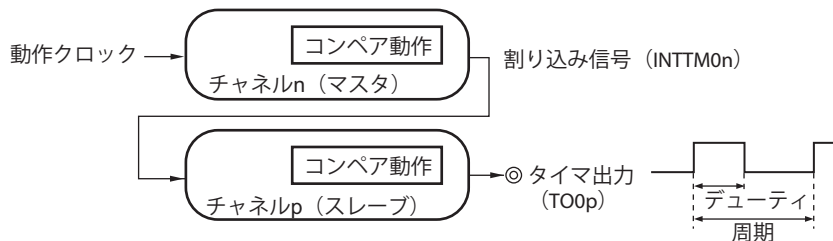
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



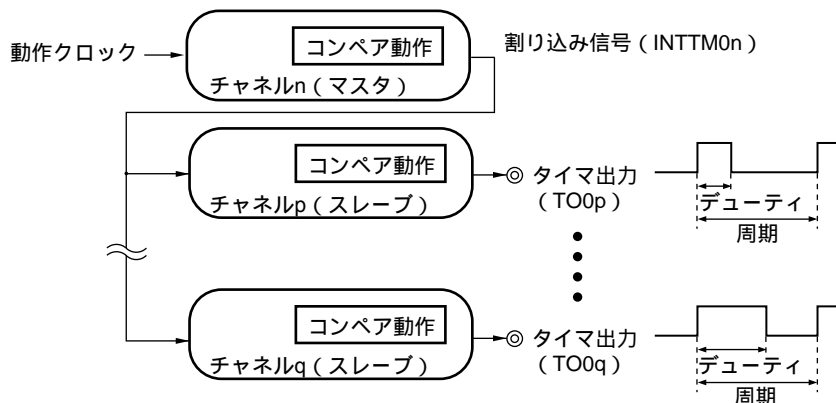
(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 n: チャンネル番号 (n=0~7)

p, q: スレーブ・チャンネル番号 (n < p < q < 7)

6.1.3 8ビット・タイマ動作機能（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、6.4.2 8ビット・タイマ動作機能の基本ルールを参照してください。

6.1.4 LIN-bus対応機能（チャンネル7のみ）

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

（1）ウエイクアップ信号の検出

UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウエイクアップ信号と認識します。

（2）ブ레이크・フィールドの検出

ウエイクアップ信号検出後、UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブ레이크・フィールドと認識します。

（3）シンク・フィールドのパルス幅測定

ブ레이크・フィールド検出後、UART2のシリアル・データ入力端子（RxD2）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus対応機能の動作設定については、6.3（13）入力切り替え制御レジスタ（ISC）、6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ0n (TCR0n)
レジスタ	タイマ・データ・レジスタ0n (TDR0n)
タイマ入力	TI00-TI07 ^{注1} , RxD2端子 (LIN-bus用)
タイマ出力	TO00-TO07 ^{注1} , 出力制御回路
制御レジスタ	<ユニット設定部のレジスタ> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタ0 (TPS0) ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0) ・タイマ・チャンネル開始レジスタ0 (TS0) ・タイマ・チャンネル停止レジスタ0 (TT0) ・タイマ入力選択レジスタ0 (TIS0) ・タイマ出力許可レジスタ0 (TOE0) ・タイマ出力レジスタ0 (TO0) ・タイマ出力レベル・レジスタ0 (TOL0) ・タイマ出力モード・レジスタ0 (TOM0)
	<各チャンネル部のレジスタ> <ul style="list-style-type: none"> ・タイマ・モード・レジスタ0n (TMR0n) ・タイマ・ステータス・レジスタ0n (TSR0n) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ1 (NFEN1) ・ポート・モード・コントロール・レジスタ (PMCxx)^{注2} ・ポート・モード・レジスタ (PMxx)^{注2} ・ポート・レジスタ (Pxx)^{注2}

注1. チャンネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

2. 製品によって設定するポート・モード・コントロール・レジスタ (PMCxx) とポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) が異なります。詳細は、6.3 (15) ポート・モード・レジスタ0, 1, 3, 4 (PM0, PM1, PM3, PM4) を参照してください。

備考 n : チャンネル番号 (n = 0-7)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

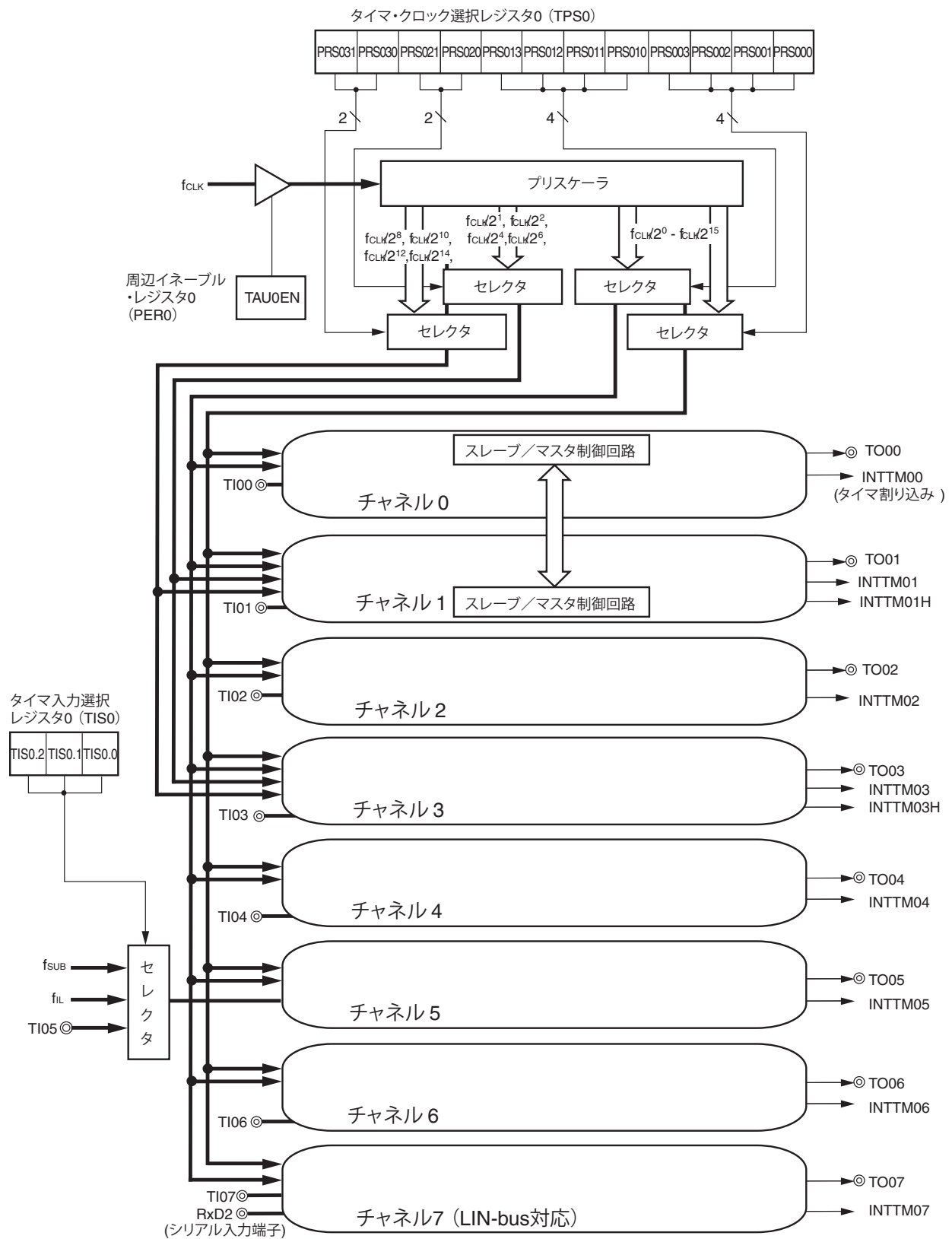
表6 - 2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャンネル		各製品の入出力端子の有無			
		64ピン	48ピン	30, 32ピン	20ピン
ユニット0	チャンネル0	P00/TI00, P01/TO00			P01/TO00
	チャンネル1	P16/TI01/TO01			
	チャンネル2	P17/TI02/TO02 (P15)			P17/TI02/TO00
	チャンネル3	P31/TI03/TO03 (P14)			P31/TI03/TO03
	チャンネル4	P42/TI04/TO04 (P13)	(P13)		-
	チャンネル5	P05/TI05/TO05 (P12)	(P12)		
	チャンネル6	P06/TI06/TO06 (P11)	(P11)		
	チャンネル7	P41/TI07/TO07 (P10)		(P10)	

- 備考1. タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。
- : タイマ入出力端子はないが、チャンネルは搭載（インターバルタイマとしてのみ使用可能）
x : チャンネル非搭載
 - (P1x) は周辺I/Oリダイレクション・レジスタ（PIOR）のビット0を“1”に設定したときの兼用ポートです。

図6 - 1 , 図6 - 2にタイマ・アレイ・ユニットのブロック図を示します。

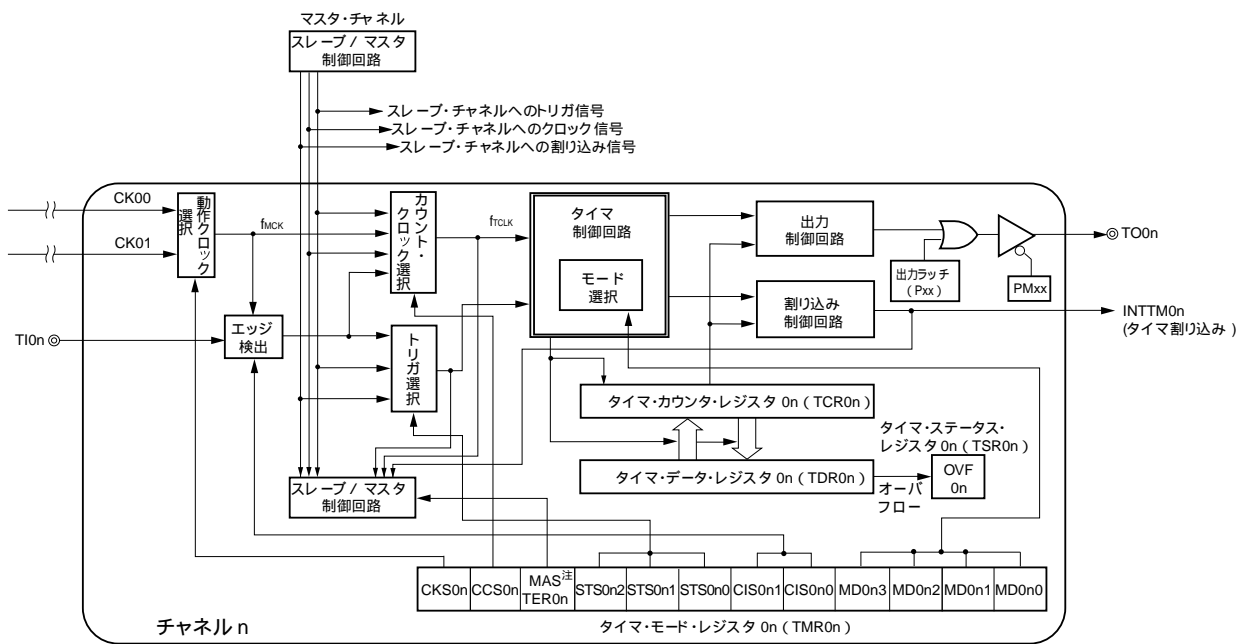
図6-1 タイマ・アレイ・ユニットの全体ブロック図(例:64ピン製品)



備考 f_{SUB} : サブシステム・クロック周波数

f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図6-2 タイマ・アレイ・ユニットのチャンネルn内部ブロック図



備考 n = 0, 2, 4, 6

図6-3 タイマ・アレイ・ユニットのチャンネル1内部ブロック図

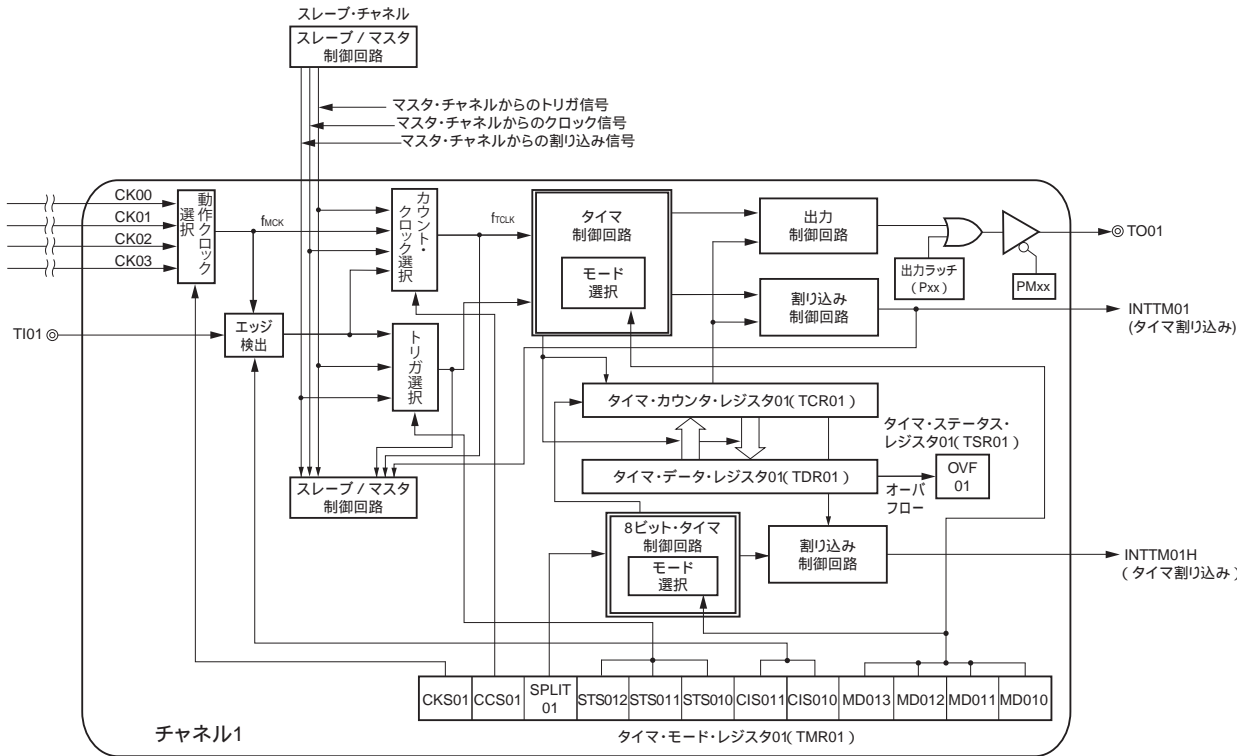


図6-4 タイマ・アレイ・ユニットのチャンネル3内部ブロック図

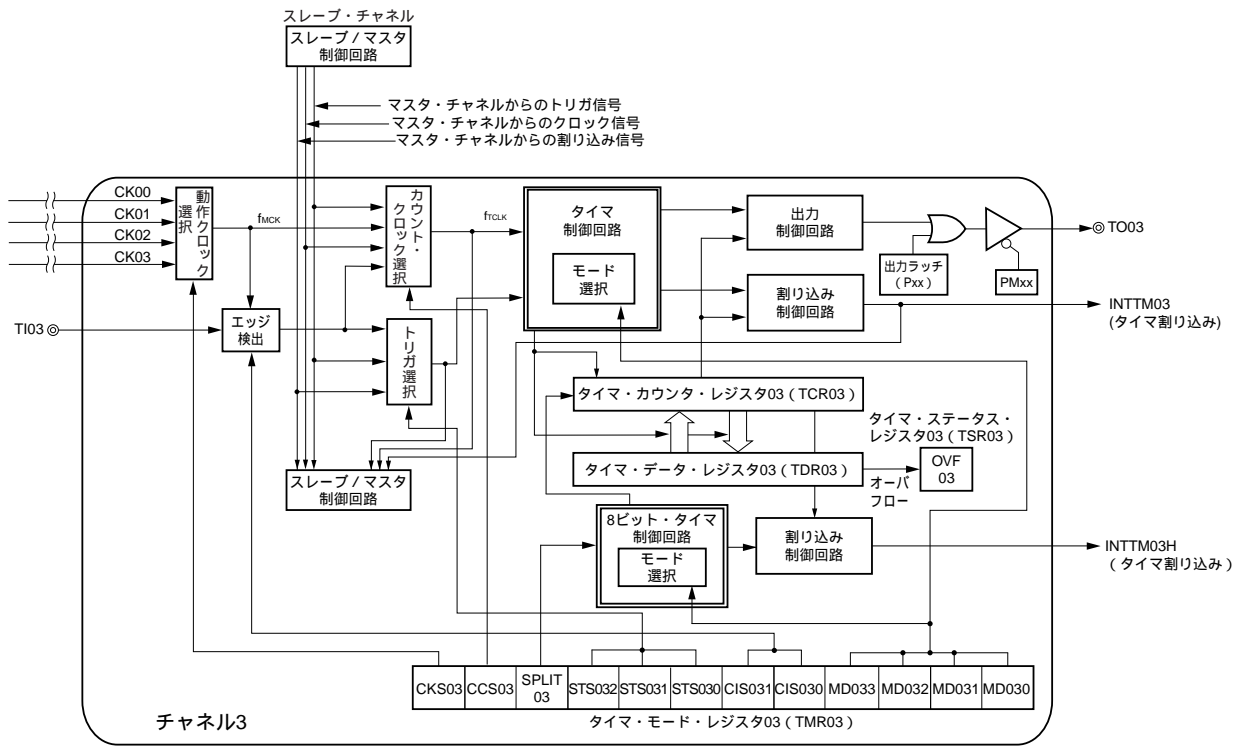


図6-5 タイマ・アレイ・ユニットのチャンネル5内部ブロック図

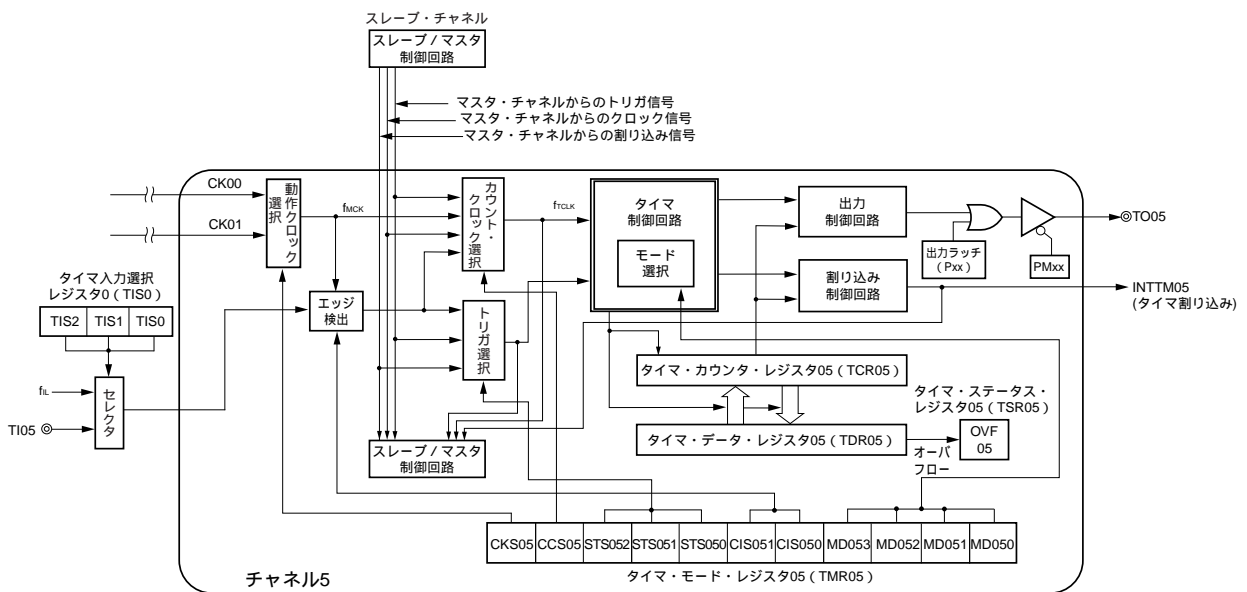
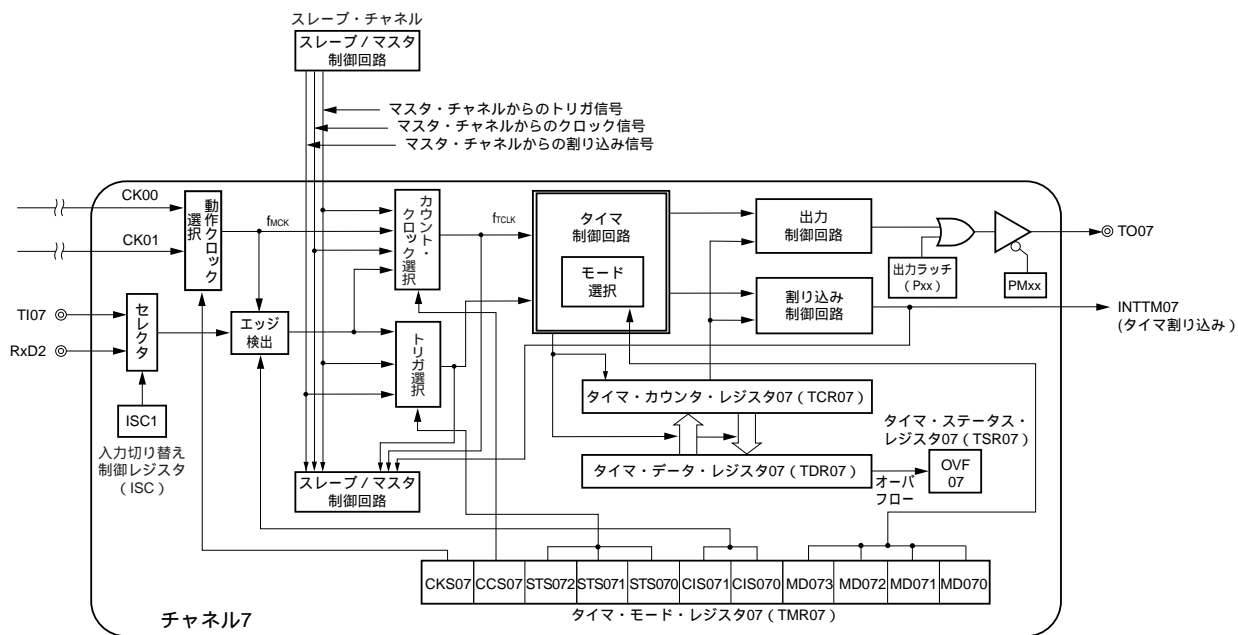


図6-6 タイマ・アレイ・ユニットのチャンネル7内部ブロック図

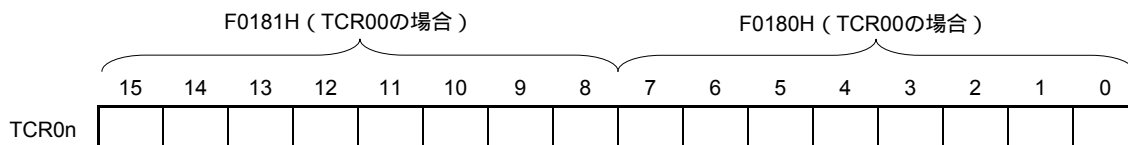


(1) タイマ・カウンタ・レジスタ0n (TCR0n)

TCR0nレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメント/デクリメントします。
 インクリメントかデクリメントかは、タイム・モード・レジスタ0n (TMR0n) のMD0n3-MD0n0ビット
 で動作モードを選択することで切り替わります (6.3(3) タイマ・モード・レジスタ0n (TMR0n) 参照)。

図6-7 タイマ・カウンタ・レジスタ0n (TCR0n) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07) リセット時 : FFFFH R



備考 n : チャンネル番号 (n = 0-7)

タイマ・カウンタ・レジスタ0n (TCR0n) をリードすることにより、カウント値をリードできます。
次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺インネーブル・レジスタ0 (PER0) のTAU0ENビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ディレイ・カウンタ・モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCR0nレジスタをリードしても、タイマ・データ・レジスタ0n (TDR0n) にはキャプチャしません。

TCR0nレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-3 各動作モード時のタイマ・カウンタ・レジスタ0n (TCR0n) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCR0n) の読み出し値 ^注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TT0.n = 1) した場合の値	カウント動作を一時停止 (TT0.n = 1) 後、動作モードを変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	-
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	-
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	-
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDR0nレジスタのキャプチャ値 + 1

注 チャンネルnがタイマ動作停止状態 (TE0.n = 0) かつカウント動作許可状態 (TS0.n = 1) にした時点の、TCR0nレジスタの読み出し値を示します。カウント動作開始までこの値がTCR0nレジスタに保持されます。

備考 n: チャンネル番号 (n = 0-7)

(2) タイマ・データ・レジスタ0n (TDR0n)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタ0n (TMR0n) のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります。

TDR0nレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDR01, TDR03レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタ01, 03(TMR01, TMR03) のSPLITビットが1) に、上位8ビットをTDR01H, TDR03H, 下位8ビットをTDR01L, TDR03Lとして、8ビット単位での書き換えが可能になります。読み出しは、16ビット単位でのみ可能です。

リセット信号の発生により、TDR0nレジスタは0000Hになります。

図6 - 8 タイマ・データ・レジスタ0n (TDR0n) (n = 0, 2, 4-7) のフォーマット

アドレス : FFF18H, FFF19H (TDR00) , FFF64H, FFF65H (TDR02) , リセット時 : 0000H R/W
 FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07)

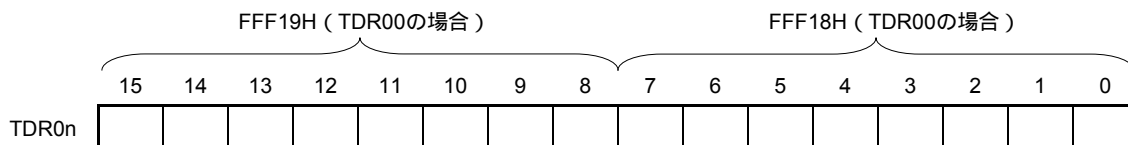
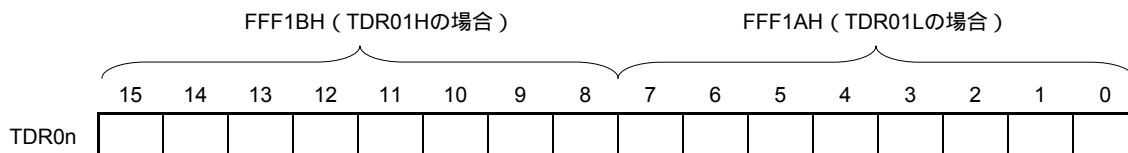


図6 - 9 タイマ・データ・レジスタ0n (TDR0n) (n = 1, 3) のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01) , FFF65H, FFF66H (TDR03) , リセット時 : 0000H R/W



(i) タイマ・データ・レジスタ0n (TDR0n) をコンペア・レジスタとして使用するとき

TDR0nレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTM0n) を発生します。TDR0nレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDR0nレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ0n (TDR0n) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ0n (TCR0n) のカウント値をTDR0nレジスタにキャプチャします。

キャプチャ・トリガとして、TI0n端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ0n (TMR0n) で設定します。

備考 n : チャネル番号 (n = 0-7)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタ0 (TPS0)
- ・タイマ・モード・レジスタ0n (TMR0n)
- ・タイマ・ステータス・レジスタ0n (TSR0n)
- ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0)
- ・タイマ・チャンネル開始レジスタ0 (TS0)
- ・タイマ・チャンネル停止レジスタ0 (TT0)
- ・タイマ入力選択レジスタ0 (TIS0)
- ・タイマ出力許可レジスタ0 (TOE0)
- ・タイマ出力レジスタ0 (TO0)
- ・タイマ出力レベル・レジスタ0 (TOL0)
- ・タイマ出力モード・レジスタ0 (TOM0)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ・ポート・モード・コントロール・レジスタ (PMCxx) ^注
- ・ポート・モード・レジスタ (PMxx) ^注
- ・ポート・レジスタ (Pxx) ^注

注 製品によって設定するポート・モード・コントロール・レジスタ (PMCxx) ・ポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) が異なります。詳細は、6.3(15) **ポート・モード・レジスタ** 0, 1, 3, 4 (PM0, PM1, PM3, PM4) を参照してください。

備考 n : チャンネル番号 (n = 0-7)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可 / 禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は、必ずビット0 (TAU0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図6 - 10 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN ^注	SAU1EN ^注	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード / ライト可

注 20ピン製品には搭載されていません。

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAU0EN = 1の設定を行ってください。
 TAU0EN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (タイマ入力選択レジスタ0 (TIS0), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ1 (NFEN1), ポート・モード・コントロール・レジスタ0 (PMC0), ポート・モード・レジスタ0, 1, 3, 4 (PM0, PM1, PM3, PM4), ポート・レジスタ0, 1, 3, 4 (P0, P1, P3, P4) は除く)。

2. 次のビットには必ず“0”を設定してください。

20ピン製品：ビット1, 3, 4, 6

30, 32ピン製品：ビット1, 6

48, 64ピン製品：ビット1, 6

(2) タイマ・クロック選択レジスタ0 (TPS0)

TPS0レジスタは、外部プリスケアラから各チャンネルに共通して供給される2種類または4種類の動作クロック (CK00, CK01) を選択する16ビット・レジスタです。TPS0レジスタのビット7-4でCK01を、ビット3-0でCK00を選択します。さらにチャンネル1, 3では、TPS0レジスタのビット9, 8でCK02を、ビット13, 12でCK03を選択します。

タイマ動作中のTPS0レジスタの書き換えは、次の場合のみ可能です。

PRS000-PRS003ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCK00を選択 (CKS0n1, CKS0n0 = 0, 0) しているチャンネルがすべて停止状態 (TE0.n = 0)

PRS010-PRS013ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCK01を選択 (CKS0n1, CKS0n0 = 0, 1) しているチャンネルがすべて停止状態 (TE0.n = 0)

PRS020, PRS021ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCK02を選択 (CKS0n1, CKS0n0 = 1, 0) しているチャンネルがすべて停止状態 (TE0.n = 0)

PRS030-PRS031ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCK03を選択 (CKS0n1, CKS0n0 = 1, 1) しているチャンネルがすべて停止状態 (TE0.n = 0)

TPS0レジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPS0レジスタは0000Hになります。

図6-11 タイマ・クロック選択レジスタ0 (TPS0) のフォーマット (1/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS0	0	0	PRS 031	PRS 030	0	0	PRS 021	PRS 020	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 0k3	PRS 0k2	PRS 0k1	PRS 0k0	f _{CLK}	動作クロック (CK0k) の選択 ^注 (k = 0, 1)				
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 32 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz	1 MHz
0	1	1	0	f _{CLK} /2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	500 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz	250 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz
1	0	1	1	f _{CLK} /2 ¹¹	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz	15.63 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	976 Hz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT0 = 00FFH) させてください。

- 注意1. ビット15, 14, 11, 10には、必ず0を設定してください。
2. 動作クロック (CK0k) にf_{CLK} (分周なし) を選択し、TDRn0 = 0000H (n = 0, 1) を設定すると、タイマ・アレイ・ユニットからの割り込み要求を検出しません。

- 備考1. f_{CLK} : 動作クロック周波数
2. TPS0レジスタで選択するクロックの波形は、立ち上がりからf_{CLK}の1周期分だけハイ・レベルになります。詳しくは、6.5.1 カウント・クロック (f_{CLK}) を参照してください

図6-11 タイマ・クロック選択レジスタ0 (TPS0) のフォーマット (2/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS0	0	0	PRS 031	PRS 030	0	0	PRS 021	PRS 020	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 021	PRS 020	動作クロック (CK02) の選択 ^注					
		$f_{CLK} =$ 2 MHz	$f_{CLK} =$ 5 MHz	$f_{CLK} =$ 10 MHz	$f_{CLK} =$ 20 MHz	$f_{CLK} =$ 32 MHz	
0	0	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz
1	1	$f_{CLK}/2^6$	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	500 kHz

PRS 031	PRS 030	動作クロック (CK03) の選択 ^注					
		$f_{CLK} =$ 2 MHz	$f_{CLK} =$ 5 MHz	$f_{CLK} =$ 10 MHz	$f_{CLK} =$ 20 MHz	$f_{CLK} =$ 32 MHz	
0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz
1	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz

注 f_{CLK} に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT0 = 00FFH) させてください。
 カウント・クロック (f_{TCLK}) にCKS0n0, CKS0n1ビットで指定した動作クロック (f_{MCK}) , T10n端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CK02, CK03を動作クロックとすることにより、インターバル・タイマ機能で、表6-4に示すインターバル時間を実現することが可能です。

表6-4 動作クロックCKS02, CKS03で設定可能なインターバル時間

クロック	インターバル時間 ($f_{CLK} = 32 \text{ MHz}$)			
	10 μs	100 μs	1 ms	10 ms
CK02	$f_{CLK}/2$	-	-	-
	$f_{CLK}/2^2$	-	-	-
	$f_{CLK}/2^4$	-	-	-
	$f_{CLK}/2^6$	-	-	-
CK03	$f_{CLK}/2^8$	-	-	-
	$f_{CLK}/2^{10}$	-	-	-
	$f_{CLK}/2^{12}$	-	-	-
	$f_{CLK}/2^{14}$	-	-	-

注 には5%以下の誤差が含まれます。

- 備考**1. f_{CLK} : 動作クロック周波数
 2. TPS0レジスタで選択する $f_{CLK}/2^i$ の波形の詳細は、6. 5. 1 カウント・クロック (f_{TCLK}) を参照してください。

(3) タイマ・モード・レジスタ0n (TMR0n)

TMR0nレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択, カウント・クロックの選択, マスタ/スレーブの選択, 16ビット/8ビット・タイマの選択 (チャンネル1, 3のみ), スタート・トリガとキャプチャ・トリガの設定, タイマ入力の有効エッジ選択, 動作モード (インターバル, キャプチャ, イベント・カウンタ, ワンカウント, キャプチャ&ワンカウント) 設定を行います。

TMR0nレジスタは、動作中 (TE0.n = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS0n1, CIS0n0) は、一部の機能で動作中 (TE0.n = 1のとき) の書き換えが可能です (詳細は6.7 **タイマ・アレイ・ユニットの単独チャンネル動作機能**, 6.8 **タイマ・アレイ・ユニットの複数チャンネル連動動作機能**を参照)。

TMR0nレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMR0nレジスタは0000Hになります。

注意 TMR0nレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMR02, TMR04, TMR06 : MASTER0nビット (n = 2, 4, 6)

TMR01, TMR03 : SPLIT0nビット (n = 1, 3)

TMR00, TMR05, TMR07 : 0固定

図6-12 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (1/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=2,4,6)	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 0, 5, 7)	CKS 0n1	CKS 0n0	0	CCS 0n	0 ^注	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CKS 0n1	CKS 0n0	チャンネルnの動作クロック (f _{MCK}) の選択
0	0	タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK00
0	1	タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK02
1	0	タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK01
1	1	タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK03
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCS0nビットの設定によりサンプリング・クロックおよびカウント・クロック (f _{CLK}) を生成します。		
動作クロックCK02, CK03は、チャンネル1, 3のみ選択可能です。		

CCS 0n	チャンネルnのカウント・クロック (f _{CLK}) の選択
0	CKS0n0, CKS0n1ビットで指定した動作クロック (f _{MCK})
1	TIO _n 端子からの入力信号の有効エッジ
カウント・クロック (f _{CLK}) は、タイマ・カウンタ, 出力制御回路, 割り込み制御回路に使用されます。	

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

- 注意1. ビット13, 5, 4には、必ず0を設定してください。
2. カウント・クロック (f_{CLK}) にCKS0n0, CKS0n1ビットで指定した動作クロック (f_{MCK}) , TIO_n端子からの入力信号の有効エッジのどれを選択していても、f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT0 = 00FFH) させてください。

備考 n : チャンネル番号 (n = 0-7)

図6 - 12 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (2/4)

アドレス : F0190H, F0191H (TMR00) , F0194H, F0195H (TMR02) リセット時 : 0000H R/W
 F0198H, F0199H (TMR04) - F019EH, F019FH (TMR07)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=0,2,4-7)	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

アドレス : F0192H, F0193H (TMR01) , F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

(TMR0n (n = 0, 2, 4-7) のビット11)

MAS TER 0n	チャンネルnの単独チャンネル動作 / 複数チャンネル連動動作 (スレーブ / マスタ) の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
偶数チャンネルのみマスタ・チャンネル (MASTER0n = 1) に設定できます。 奇数チャンネルは必ずスレーブ・チャンネル (MASTER0n = 0) として使用してください。 また, 単独チャンネル動作機能として使用するチャンネルは, MASTER0n = 0 にします。	

(TMR0n (n = 1, 3) のビット11)

SPLI T0n	チャンネル1, 3の8ビット・タイマ / 16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS 0n2	STS 0n1	STS 0n0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	TI0n端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	TI0n端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

備考 n : チャンネル番号 (n = 0-7)

図6 - 12 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (3/4)

アドレス : F0190H, F0191H (TMR00) , F0194H, F0195H (TMR02) リセット時 : 0000H R/W
 F0198H, F0199H (TMR04) - F019EH, F019FH (TMR07)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=0,2,4-7)	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

アドレス : F0192H, F0193H (TMR01) , F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CIS 0n1	CIS 0n0	TI0n端子の有効エッジ選択														
0	0	立ち下がりエッジ														
0	1	立ち上がりエッジ														
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がりエッジ, キャプチャ・トリガ : 立ち上がりエッジ														
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がりエッジ														
STS0n2-STS0n0ビット = 010B時以外で両エッジ指定を使用する場合は ,CIS0n1-CIS0n0ビット = 10Bに設定してください。																

備考 n : チャネル番号 (n = 0-7)

図6-12 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) , F0194H, F0195H (TMR02) リセット時 : 0000H R/W
 F0198H, F0199H (TMR04) - F019EH, F019FH (TMR07)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=0,2,4-7)	CKS 0n1	CKS 0n0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

アドレス : F0192H, F0193H (TMR01) , F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n = 1, 3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

MD 0n3	MD 0n2	MD 0n1	MD 0n0	チャンネルnの動作 モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	1/0	インターバル・タイ マ・モード	インターバル・タイマ / 方形波出力 / 分周器機能 / PWM出力 (マスタ)	ダウン・カウンタ
0	1	0	1/0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	0	イベント・カウン タ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	1/0	ワンカウント・モー ド	ディレイ・カウンタ / ワンショット・ パルス出力 / PWM出力 (スレーブ)	ダウン・カウンタ
1	1	0	0	キャプチャ & ワン カウント・モード	入力信号のハイ / ロウ・レベル幅測定	アップ・カウンタ
上記以外				設定禁止		

MD0n0ビットの動作は、各動作モードによって変わります(下表を参照)。

動作モード (MD0n3-MD0n1で設定(上表参照))	MD 0n0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注1} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注2} 。 その際に割り込みも発生する。
・キャプチャ & ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
上記以外		設定禁止

注1. ワンカウント・モードでは、カウント動作開始時の割り込み出力 (INTTM0n) , TO0n出力は制御しません。

2. 動作中にスタート・トリガ (TS0.n = 1) が掛かると、カウンタをクリアし、割り込みを発生して再カウント・スタートします。

備考 n : チャンネル番号 (n = 0-7)

(4) タイマ・ステータス・レジスタ0n (TSR0n)

TSR0nレジスタは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSR0nレジスタは、キャプチャ・モード (MD0n3-MD0n1 = 010B) とキャプチャ&ワンカウント・モード (MD0n3-MD0n1 = 110B) のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFビットの動作とセット/クリア条件は表6-5を参照してください。

TSR0nレジスタは、16ビット・メモリ操作命令で読み出します。

またTSR0nレジスタの下位8ビットは、TSR0nLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSR0nレジスタは0000Hになります。

図6-13 タイマ・ステータス・レジスタ0n (TSR0n) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSR0n	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況	
0	オーバーフローなし	
1	オーバーフロー発生	
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。		

備考 n : チャンネル番号 (n = 0-7)

表6-5 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード	クリア	- (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

(5) タイマ・チャンネル許可ステータス・レジスタ0 (TE0)

TE0レジスタは、各チャンネルのタイマ動作許可 / 停止状態を表示するレジスタです。

TE0レジスタの各ビットは、タイマ・チャンネル開始レジスタ0 (TS0) とタイマ・チャンネル停止レジスタ0 (TT0) の各ビットに対応しています。TS0レジスタの各ビットが1にセットされると、TE0レジスタの対応ビットが1にセットされます。TT0レジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE0レジスタは、16ビット・メモリ操作命令で読み出します。

またTE0レジスタの下位8ビットは、TE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TE0レジスタは0000Hになります。

図6 - 14 タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	TEH03	0	TEH01	0	TE0.7	TE0.6	TE0.5	TE0.4	TE0.3	TE0.2	TE0.1	TE0.0

TEH03	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 / 停止状態の表示
0	動作停止状態
1	動作許可状態

TEH01	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 / 停止状態の表示
0	動作停止状態
1	動作許可状態

TE0.n	チャンネルnの動作許可 / 停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TE0.1, TE0.3で下位側8ビット・タイマの動作許可 / 停止状態を表示します。	

備考 n : チャンネル番号 (n = 0-7)

(6) タイマ・チャンネル開始レジスタ0 (TS0)

TS0レジスタは、タイマ・カウンタ・レジスタ0n (TCR0n) をクリアし、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ0 (TE0) の対応ビットが1にセットされます。TS0.n, TSH01, TSH03ビットはトリガ・ビットなので、動作許可状態 (TE0.n, TEH01, TEH03 = 1) になるとすぐTS0.n, TSH01, TSH03ビットはクリアされます。

TS0レジスタは、16ビット・メモリ操作命令で設定します。

またTS0レジスタの下位8ビットは、TS0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TS0レジスタは0000Hになります。

図6 - 15 タイマ・チャンネル開始レジスタ0 (TS0) のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	TSH 03	0	TSH 01	0	TS0.7	TS0.6	TS0.5	TS0.4	TS0.3	TS0.2	TS0.1	TS0.0

TSH 03	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEH03ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR03レジスタのカウント動作開始は、インターバル・タイマ・モードになります (6.5.2 カウンタのスタート・タイミングの表6 - 6参照)。

TSH 01	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEH01ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR01レジスタのカウント動作開始は、インターバル・タイマ・モードになります (6.5.2 カウンタのスタート・タイミングの表6 - 6参照)。

TS0.n	チャンネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TE0.nビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR0nレジスタのカウント動作開始は、各動作モードにより異なります (6.5.2 カウンタのスタート・タイミングの表6 - 6参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TS0.1, TS0.3が下位側8ビット・タイマの動作許可 (スタート) トリガになります。

(注意, 備考は次ページにあります。)

- 注意1. ビット15-12, 10, 8には必ず0を設定してください。
2. TI0n端子入力を使用しない機能から、TI0n端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ0n (TMR0n) 設定後、TS0.n (TSH01, TSH03) ビットを1に設定するまでに、次の期間ウエイトが必要になります。
- TI0n端子のノイズ・フィルタ有効時 (TNFEN = 1) : 動作クロック (f_{MCK}) の4クロック
- TI0n端子のノイズ・フィルタ無効時 (TNFEN = 0) : 動作クロック (f_{MCK}) の2クロック

備考1. TS0レジスタの読み出し値は常に0となります。

2. n : チャネル番号 (n = 0-7)

(a) インターバル・タイマ・モード時のスタート・タイミング

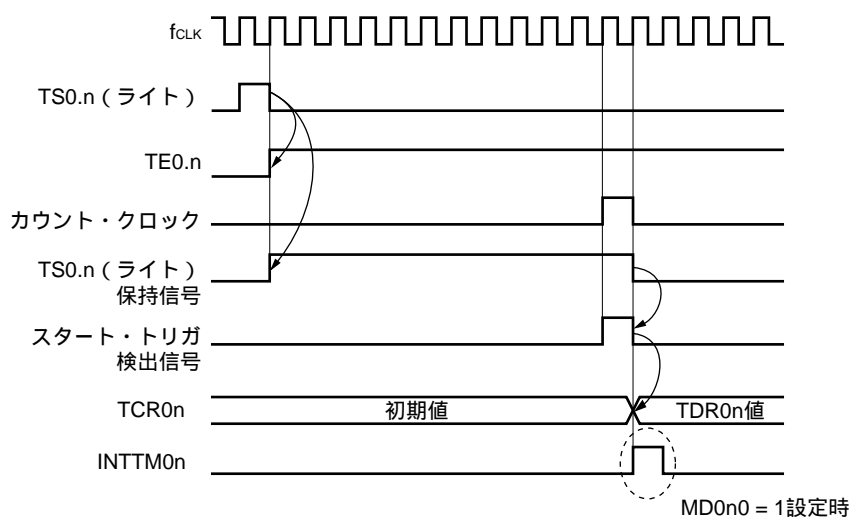
TS0.nビットへ1を書き込むことにより、動作許可状態 ($TE0.n = 1$) となります。

TS0.nビットへの書き込み情報はカウント・クロック発生まで保持されます。

タイマ・カウンタ・レジスタ0n (TCR0n) は、カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により、タイマ・データ・レジスタ0n (TDR0n) の値をTCR0nレジスタにロードし、カウントを開始します。

図6-16 スタート・タイミング (インターバル・タイマ・モード時)



注意 カウント・クロックの1周期目の動作はTS0.nビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

(b) イベント・カウンタ・モード時のスタート・タイミング

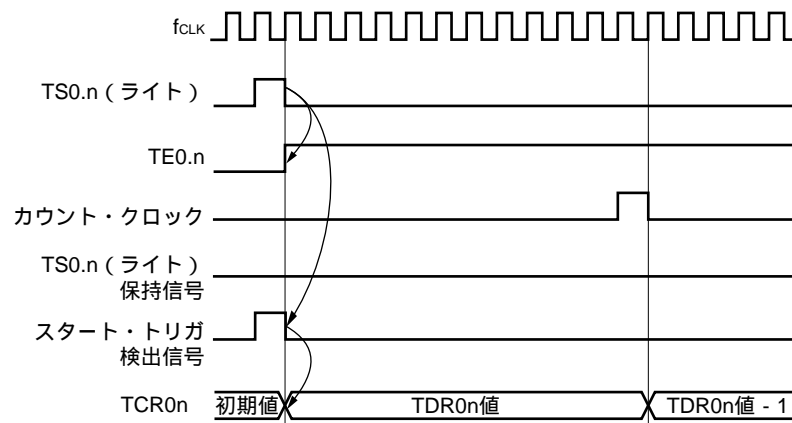
動作停止状態 ($TE0.n = 0$) の期間, タイマ・カウンタ・レジスタ0n ($TCR0n$) は, 初期値を保持します。

$TS0.n$ ビットへ1を書き込むことにより, 動作許可状態 ($TE0.n = 1$) となります。

$TS0.n = 1$ $TE0.n = 1$ と同時に, $TCR0n$ レジスタにタイマ・データ・レジスタ0n ($TDR0n$) の値をロードし, カウントを開始します。

以降はカウント・クロックに従い, $TCR0n$ レジスタの値をダウン・カウントします。

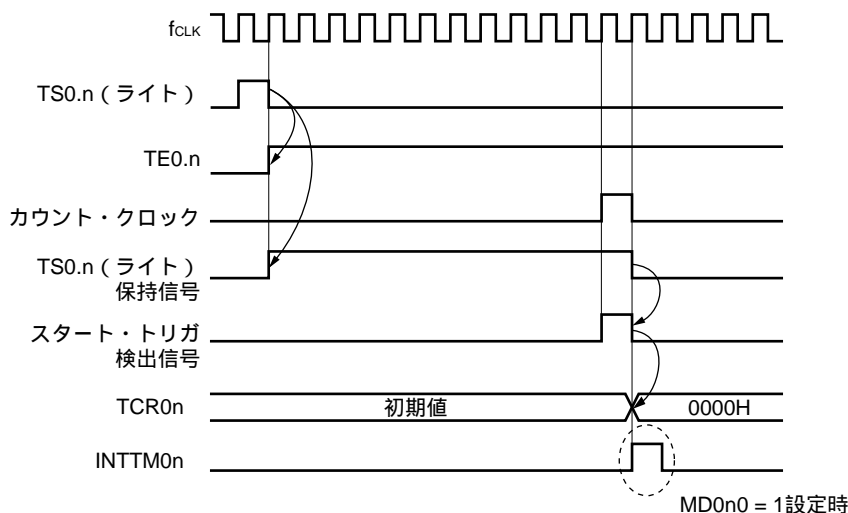
図6-17 スタート・タイミング (イベント・カウンタ・モード時)



(c) キャプチャ・モード時のスタート・タイミング

TS0.nビットへ1を書き込むことにより、動作許可状態 (TE0.n = 1) となります。
 TS0.nビットへの書き込み情報はカウント・クロック発生まで保持されます。
 タイマ・カウンタ・レジスタ0n (TCR0n) は、カウント・クロック発生まで初期値を保持して
 います。
 カウント・クロック発生により、0000HをTCR0nレジスタにロードし、カウントを開始します。

図6 - 18 スタート・タイミング (キャプチャ・モード時)

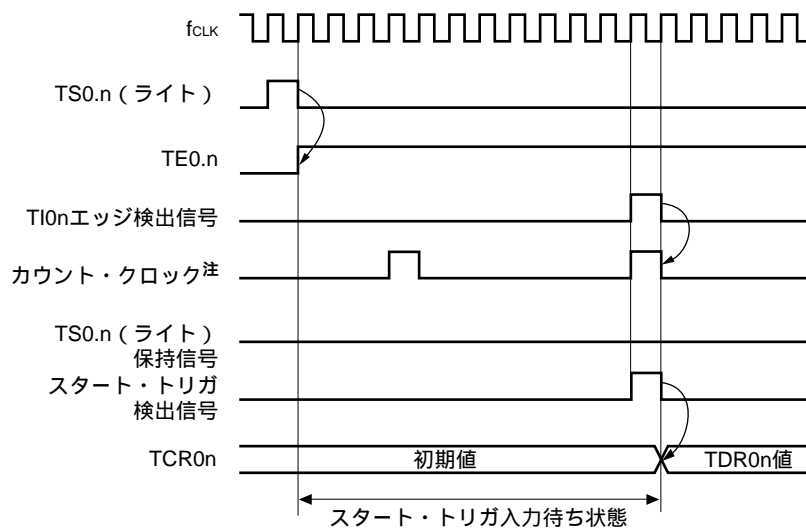


注意 カウント・クロックの1周期目の動作はTS0.nビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

(d) ワンカウント・モード時のスタート・タイミング

TS0.nビットへ1を書き込むことにより、動作許可状態 (TE0.n = 1) となります。
 スタート・トリガ入力待ち状態となり、タイマ・カウンタ・レジスタ0n (TCR0n) は初期値を保持します。
 スタート・トリガ検出により、タイマ・データ・レジスタ0n (TDR0n) の値をTCR0nレジスタにロードしカウントを開始します。

図6 - 19 スタート・タイミング (ワンカウント・モード時)



注 ワンカウント・モード設定時は、カウント・クロックとして動作クロック (f_{MCK}) が選択されます (CCS0n = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (TI0n端子入力をスタート・トリガに使用する場合、カウント・クロック1クロック分の誤差となります)。

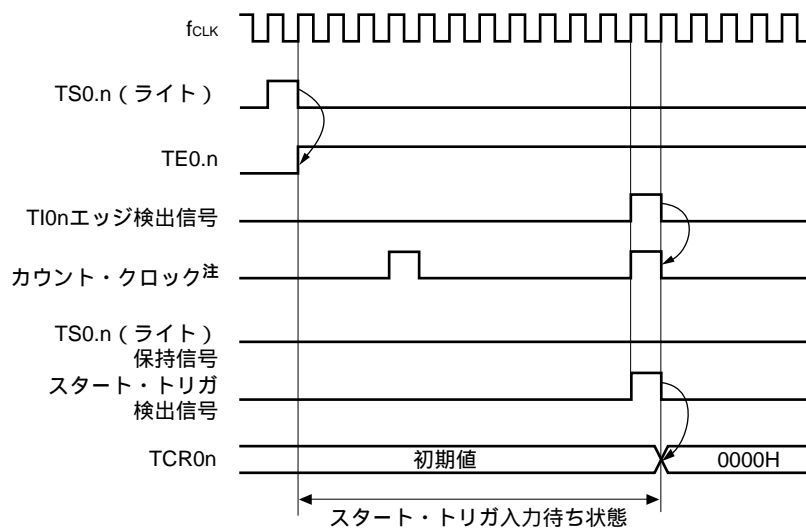
(e) キャプチャ&ワンカウント・モード時のスタート・タイミング

タイマ・チャンネル開始レジスタ0のビットn (TS0.n) へ1を書き込むことにより、動作許可状態 (TE0.n = 1) となります。

スタート・トリガ入力待ち状態となり、タイマ・カウンタ・レジスタ0n (TCR0n) は初期値を保持します。

スタート・トリガ検出により、0000HをTCR0nレジスタにロードしカウントを開始します。

図6 - 20 スタート・タイミング (キャプチャ&ワンカウント・モード時)



注 キャプチャ&ワンカウント・モード設定時は、カウント・クロックとして動作クロック (fMCK) が選択されます (CCS0n = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (TI0n端子入力をスタート・トリガに使用する場合、カウント・クロック1クロック分の誤差となります)。

(7) タイマ・チャンネル停止レジスタ0 (TT0)

TT0レジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ0 (TE0) の対応ビットが0にクリアされます。TT0.n, TTH01, TTH03ビットはトリガ・ビットなので、動作停止状態 (TE0.n, TTH01, TTH03 = 0) になるとすぐTT0.n, TTH01, TTH03ビットはクリアされます。

TT0レジスタは、16ビット・メモリ操作命令で設定します。

またTT0レジスタの下位8ビットは、TT0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TT0レジスタは0000Hになります。

図6 - 21 タイマ・チャンネル停止レジスタ0 (TT0) のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	TTH 03	0	TTH 01	0	TT0.7	TT0.6	TT0.5	TT0.4	TT0.3	TT0.2	TT0.1	TT0.0

TTH 03	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生)

TTH 01	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生)

TT0.n	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生) チャンネル1, 3が8ビット・タイマ・モード時は、TT0.1, TT0.3が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8には必ず0を設定してください。

備考1. TT0レジスタの読み出し値は常に0となります。

2. n : チャンネル番号 (n = 0-7)

(8) タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、チャンネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図6 - 22 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS0.2	TIS0.1	TIS0.0

TIS0.2	TIS0.1	TIS0.0	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータクロック (f_{IL})
1	0	1	サブシステム・クロック (f_{SUB})
上記以外			設定禁止

注意 選択するタイマ入力のハイ・レベル幅,ロウ・レベル幅は, $1/f_{MCK}+10$ ns以上必要となります。
 そのため, f_{CLK} に f_{SUB} を選択時 (CKSレジスタのCSS = 1) は,TIS02ビットに1を設定できません。

(9) タイマ出力許可レジスタ0 (TOE0)

TOE0レジスタは、各チャンネルのタイマ出力許可 / 禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ0 (TO0)のTO0.nビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TO0n) から出力されます。

TOE0レジスタは、16ビット・メモリ操作命令で設定します。

またTOE0レジスタの下位8ビットは、TOE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOE0レジスタは0000Hになります。

図6 - 23 タイマ出力許可レジスタ0 (TOE0) のフォーマット

アドレス : F01BAH, F01BBH (TOE0), F01FAH, F01FBH (TOE1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	TOE 07	TOE 06	TOE 05	TOE 04	TOE 03	TOE 02	TOE 01	TOE 00

TOE 0.n	チャンネルnのタイマ出力許可 / 禁止
0	タイマの出力を禁止 タイマ動作をT0mnビットに反映せず、出力を固定します。 T0mnビットへの書き込みが可能です。
1	タイマの出力を許可 タイマ動作をT0mnビットに反映し、出力波形を生成します。 T0mnビットへの書き込みは無視されます。

注意 ビット15-8には必ず0を設定してください。

備考 n : チャンネル番号 (n = 0-7)

(10) タイマ出力レジスタ0 (TO0)

TO0レジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TO0n) から出力されます。

このレジスタのTO0.nビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOE0.n = 0) のみ可能です。タイマ出力許可時 (TOE0.n = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P01/TO00, P16/TI01/TO01, P17/TI02/TO02(P15[※]), P31/TI03/TO03(P14[※]), P42/TI04/TO04(P13[※]), P05/TI05/TO05(P12[※]), P06/TI06/TO06(P11[※]), P41/TI07/TO07(P10[※])をポート機能として使用する場合は、該当するTO0.nビットに“0”を設定してください。

TO0レジスタは、16ビット・メモリ操作命令で設定します。

またTO0レジスタの下位8ビットは、TO0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TO0レジスタは0000Hになります。

図6 - 24 タイマ出力レジスタ0 (TO0) のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	TO0.7	TO0.6	TO0.5	TO0.4	TO0.3	TO0.2	TO0.1	TO0.0
TO0.n	チャンネルnのタイマ出力															
0	タイマ出力値が“0”															
1	タイマ出力値が“1”															

注意 ビット15-8には必ず0を設定してください。

注. (P1x) は周辺I/Oリダイレクション・レジスタ (PIOR) のビット0を“1”に設定したときの兼用ポートです。

備考 n : チャンネル番号 (n = 0-7)

(11) タイマ出力レベル・レジスタ0 (TOL0)

TOL0レジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOE0.n = 1)、複数チャンネル連動動作機能 (TOM0.n = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスター・チャンネル出力モード (TOM0.n = 0) 時には、このレジスタの設定は無効となります。

TOL0レジスタは、16ビット・メモリ操作命令で設定します。

またTOL0レジスタの下位8ビットは、TOL0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOL0レジスタは0000Hになります。

図6 - 25 タイマ出力レベル・レジスタ0 (TOL0) のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	TOL 0.7	TOL 0.6	TOL 0.5	TOL 0.4	TOL 0.3	TOL 0.2	TOL 0.1	0

TOL 0.n	チャンネルnのタイマ出力レベルの制御															
0	正論理出力 (アクティブ・ハイ)															
1	反転出力 (アクティブ・ロウ)															

注意 ビット15-8, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

2. n : チャンネル番号 (n = 0-7)

(12) タイマ出力モード・レジスタ0 (TOM0)

TOM0レジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能 (PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する
場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOE0.n = 1)時にタイマ出力信号がセット、
リセットされるタイミングで反映されます。

TOM0レジスタは、16ビット・メモリ操作命令で設定します。

またTOM0レジスタの下位8ビットは、TOM0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOM0レジスタは0000Hになります。

図6 - 26 タイマ出力モード・レジスタ0 (TOM0) のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	TOM 0.7	TOM 0.6	TOM 0.5	TOM 0.4	TOM 0.3	TOM 0.2	TOM 0.1	0

TOM 0.n	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード (タイマ割り込み要求信号 (INTTM0n) によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTM0n) で出力がセット、スレーブ・チャンネルの タイマ割り込み要求信号 (INTTM0p) で出力がリセットされる)

注意 ビット15-8, 0には必ず0を設定してください。

備考 n : チャンネル番号

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号

n < p 7

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連
動動作機能の基本ルールを参照してください)

(13) 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC.1, ISC.0ビットは, チャネル7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときを使用します。ISC.1ビットに1を設定すると, シリアル・データ入力端子 (RxD2) の入力信号がタイマ入力として選択されます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により, ISCレジスタは00Hになります。

図6 - 27 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC.1	ISC.0

ISC.1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする (通常動作)
1	RxD2端子の入力信号をタイマ入力とする (ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)

ISC.0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD2端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット7-2に必ず0を設定してください。

備考 LIN-bus通信を使用する場合は, ISC.1 = 1に設定してRxD2端子の入力信号を選択しておいてください。

(14) ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、動作開始前にノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、動作クロック (f_{MCK}) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、動作クロック (f_{MCK}) で同期化だけ行います。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

注 詳細は、6.5.1(2) TImn端子からの入力信号の有効エッジを選択した場合 ($CCS_{mn} = 1$)、6.5.2カウンタのスタート・タイミングを参照。

図6-28 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN07	TI07/TO07/P41 (P10) 端子入力信号のノイズ・フィルタ使用可否 ^{注1}							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN06	TI06/TO06/P06 (P11) 端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN05	TI05/TO05/P05 (P12) 端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN04	TI04/TO04/P42 (P13) 端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN03	TI03/TO03/P31 (P14) 端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN02	TI02/TO02/P17 (P15) 端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN01	TI01/TO01/P16端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN00	TI00/P00端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							

注1. 入力切り替え制御レジスタ (ISC) のISC.1ビットを設定することにより、適用する端子を切り替えることができます。

ISC.1 = 0に設定 : TI07端子のノイズ・フィルタ使用可否選択が可能

ISC.1 = 1に設定 : RxD2端子のノイズ・フィルタ使用可否選択が可能

注2. (P1x) は周辺I/Oリダイレクション・レジスタ (PIOR) のビット0を“1”に設定したときの兼用ポートです。

備考 チャンネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

(15) ポート・モード・レジスタ0, 1, 3, 4 (PM0, PM1, PM3, PM4)

ポート0, 1, 3, 4の入力/出力を1ビット単位で設定するレジスタです。

タイマ入出力端子の有無は製品によって異なります。そのため、タイマ・アレイ・ユニット使用時に各製品で設定するポート・モード・レジスタは次のようになります。

20, 30, 32ピン製品 : PM0, PM1, PM3

48, 64ピン製品 : PM0, PM1, PM3, PM4

タイマ出力端子を兼用するポート (P01/TO00, P17/TO02/TI02など) をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビット、およびポート・レジスタ (Pxx) のビットに0を設定してください。

例) P17/TO02/TI02をタイマ出力として使用する場合

ポート・モード・レジスタ1のPM1.7ビットを0に設定

ポート・レジスタ1のP1.7ビットを0に設定

タイマ入力端子を兼用するポート (P00/TI00, P17/TO02/TI02など) をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

例) P17/TO02/TI02をタイマ入力として使用する場合

ポート・モード・レジスタ1のPM1.7ビットを1に設定

ポート・レジスタ1のP1.7ビットを0または1に設定

PM0, PM1, PM3, PM4レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 20ピン~32ピンの製品ではTI00 (P00) とTO00 (P01) が、アナログ入力と兼用になっているため、PMC0レジスタの設定も必要です。

詳細は、4.3 (6) ポート・モード・コントロール・レジスタ (PMC0, PMC12, PMC14) を参照してください。

図6 - 29 ポート・モード・レジスタ0, 1, 3, 4 (PM0, PM1, PM3, PM4) のフォーマット (64ピン製品の場合)

アドレス : FFF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM0.6	PM0.5	PM0.4	PM0.3	PM0.2	PM0.1	PM0.0

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM1.7	PM1.6	PM1.5	PM1.4	PM1.3	PM1.2	PM1.1	PM1.0

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM3.1	PM3.0

アドレス : FFF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	1	1	PM4.3	PM4.2	PM4.1	PM4.0

PMm.n	P0n端子の入出力モードの選択 (m = 0, 1, 3, 4 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、64ピン製品のポート・モード・レジスタ0, 1, 3, 4のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、4.3(1)ポート・モード・レジスタ (PMxx) を参照してください。

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。次に複数チャンネル連動動作機能の基本的なルールを示します。

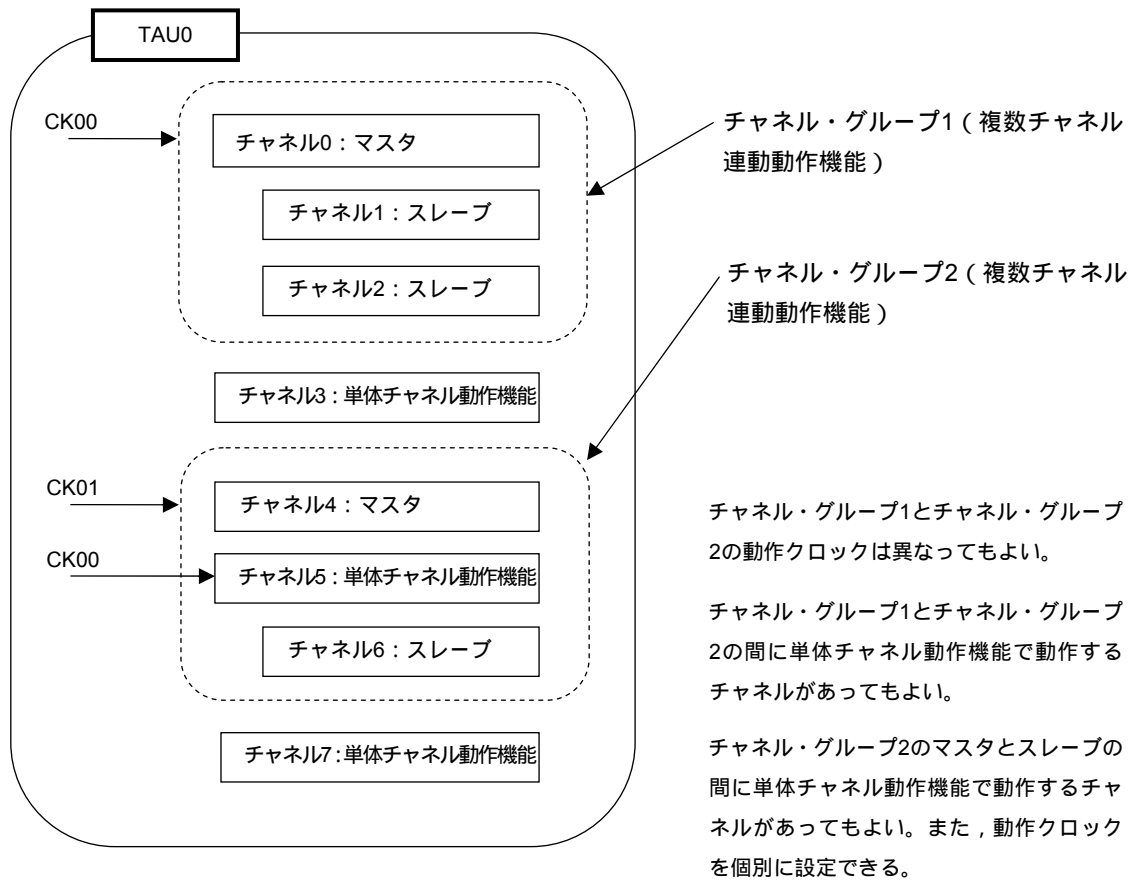
- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2, チャンネル4, ...）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3以降（チャンネル3, チャンネル4, チャンネル5, ...）をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0, チャンネル4をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKS0n0, CKS0n1ビット（タイマ・モード・レジスタ0n（TMR0n）のビット15, 14）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット（TS0.n）を同時に設定する必要があります。
- (11) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット（TT0.n）を同時に設定する必要があります。
- (12) カウント動作中のTS0nビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTS0nビットのみの設定では使用できません。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CK02/CK03は選択できません。
- (14) タイマ・モード・レジスタm0（TMRm0）は、マスタ・ビットがなく、“0”に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ（1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 n：チャンネル番号（n=0-7）

図6 - 30 複数チャンネル連動動作機能の基本ルール



6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ0n (TMR0n) のSPLITビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時にINTTM01H/INTTM03H (割り込み) を出力します (MD0n0 =1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットのTMR0nレジスタのCKS0n1, CKS0n0ビットにしたがって動作します。
- (6) 上位8ビットは、TSH01/TSH03ビットを操作することでチャンネル動作を開始し、TTH01/TTH03 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEH01/TEH03ビットで確認できます。
- (7) 下位8ビットは、TMR0nレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - ・インターバル・タイマ機能
 - ・外部イベント・カウンタ機能
 - ・ディレイ・カウント機能
- (8) 下位8ビットは、TS0.1/TS0.3 ビットを操作することでチャンネル動作を開始し、TT0.1/TT0.3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TE0.1/TE0.3ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSH01/TSH03/TTH01/TTH03 ビットの操作は無効となります。TS0.1/TS0.3, TT0.1/TT0.3ビットを操作することでチャンネル1, 3が動作します。TEH03ビットとTEH01ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能 (ワンショット・パルス, PWM, 多重PWM) を使用することはできません。

備考 n: チャンネル番号 (n = 1, 3)

6.5 カウンタの動作

6.5.1 カウント・クロック (f_{TCLK})

タイマ・アレイ・ユニットのカウント・クロック (f_{TCLK}) は、タイマ・モード・レジスタ0n (TMR0n) のCCS0nビットにより、以下のどちらかを選択することができます。

- ・CKS0n0, CKS0n1ビットで指定した動作クロック (f_{MCK})
- ・TIO端子からの入力信号の有効エッジ

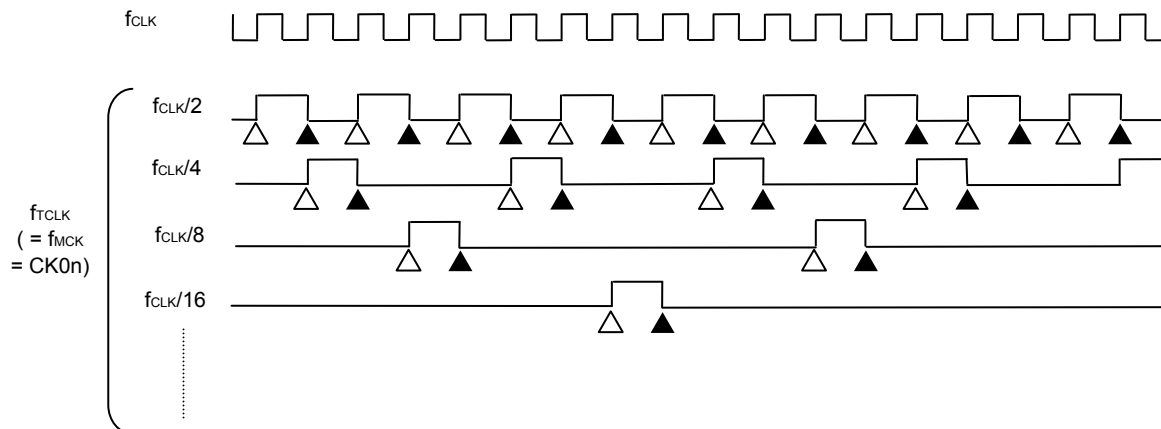
タイマ・アレイ・ユニットは、 f_{CLK} との同期をとって動作するよう設計されているため、カウント・クロック (f_{TCLK}) のタイミングは次のようになります。

(1) CKS0n0, CKS0n1ビットで指定した動作クロック (f_{MCK}) を選択した場合 (CCS0n = 0)

カウント・クロック (f_{TCLK}) は、タイマ・クロック選択レジスタ0 (TPS0) の設定により、 $f_{\text{CLK}} \sim f_{\text{CLK}}/2^{15}$ となります。ただし、 f_{CLK} の分周を選んだ場合、TPS0レジスタで選択するクロックは、立ち上がりから f_{CLK} の1周期分だけハイ・レベルになる信号となります。 f_{CLK} を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ0n (TCR0n) は、 f_{CLK} との同期をとるため、カウント・クロックの立ち上がりから f_{CLK} の1クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6-31 f_{CLK} とカウント・クロック (f_{TCLK}) のタイミング (CCS0n = 0時)



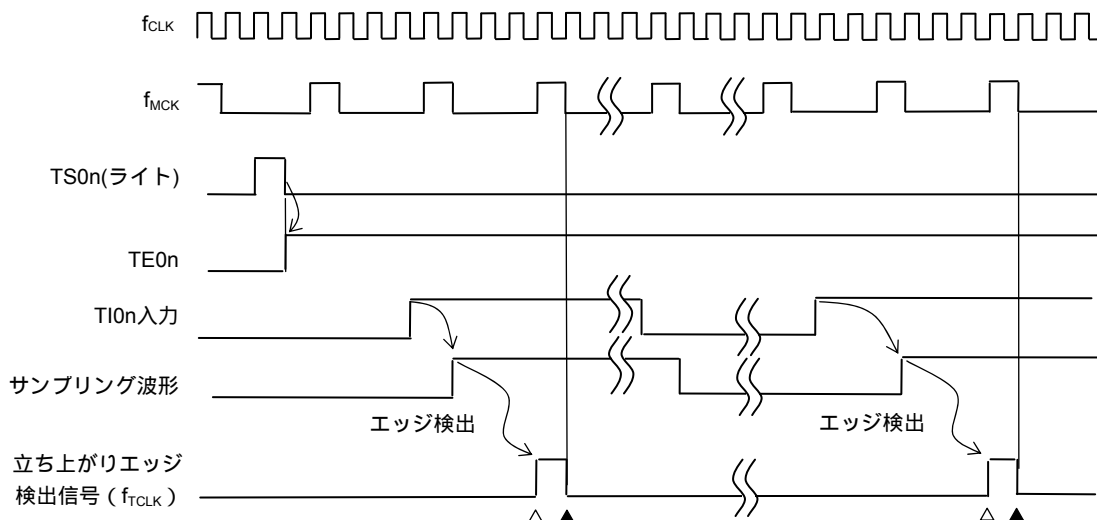
- 備考1. : カウント・クロックの立ち上がり
 : 同期化, カウンタのインクリメント/デクリメント
2. f_{CLK} : 動作クロック

(2) TI0n端子からの入力信号の有効エッジを選択した場合 (CCS0n = 1)

カウント・クロック (f_{CLK}) は、TI0n端子からの入力信号の有効エッジを検出し、次の f_{MCK} の立ち上がり
に同期した信号になります。これは、実際のTI0n端子からの入力信号より f_{MCK} の1~2クロック分遅れた信
号になります (ノイズ・フィルタ使用時は、 f_{MCK} の3~4クロック分遅れます)。

また、タイマ・カウンタ・レジスタ0n (TCR0n) は、 f_{CLK} との同期をとるためにカウント・クロックの
立ち上がりから f_{CLK} の1クロック分遅れてカウントしますが、このことを便宜上 “ TI0n端子からの入力信号
の有効エッジでカウントする ” と表現します。

図6 - 32 カウント・クロック (f_{CLK}) のタイミング (CCS0n = 1, ノイズ・フィルタ未使用時)



TS0nビットをセットすることでタイマが動作を開始し、TI0n入力の有効エッジ待ちになります。

TI0n入力の立ち上がりが f_{MCK} でサンプリングされます。

サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が
出力されます。

備考1. : カウント・クロックの立ち上がり

: 同期化, カウンタのインクリメント/デクリメント

2. f_{CLK} : 動作クロック

f_{MCK} : チャンネルnの動作クロック

3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, ディレイ・カウンタ, ワンショット・パルス出力機能のTI0n入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ0n (TCR0n) は、タイマ・チャンネル開始レジスタ0 (TS0) のTS0nビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウント・レジスタ0n (TCR0n) のカウント・スタートまでの動作を、表6-6に示します。

表6-6 カウント動作許可状態からタイマ・カウント・レジスタ0n (TCR0n) のカウント・スタートまでの動作

タイマの動作モード	TS0n = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TS0n = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (1) インターバル・タイマ・モードの動作 参照)。
・イベント・カウンタ・モード	TS0nビットに1を書き込むことにより、TDR0nレジスタの値をTCR0nレジスタにロードします。 TI0n入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (2) イベント・カウンタ・モードの動作 参照)。
・キャプチャ・モード	スタート・トリガ検出 (TS0n = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
・ワンカウント・モード	タイマ動作停止 (TE0n = 0) の状態で、TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (4) ワンカウント・モードの動作 参照)。
・キャプチャ&ワンカウント・モード	タイマ動作停止 (TE0n = 0) の状態で、TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

TS0nビットへ1を書き込むことにより、動作許可状態 ($TE0n = 1$) となります。タイマ・カウンタ・レジスタ0n ($TCR0n$) は、カウント・クロック発生まで初期値を保持しています。

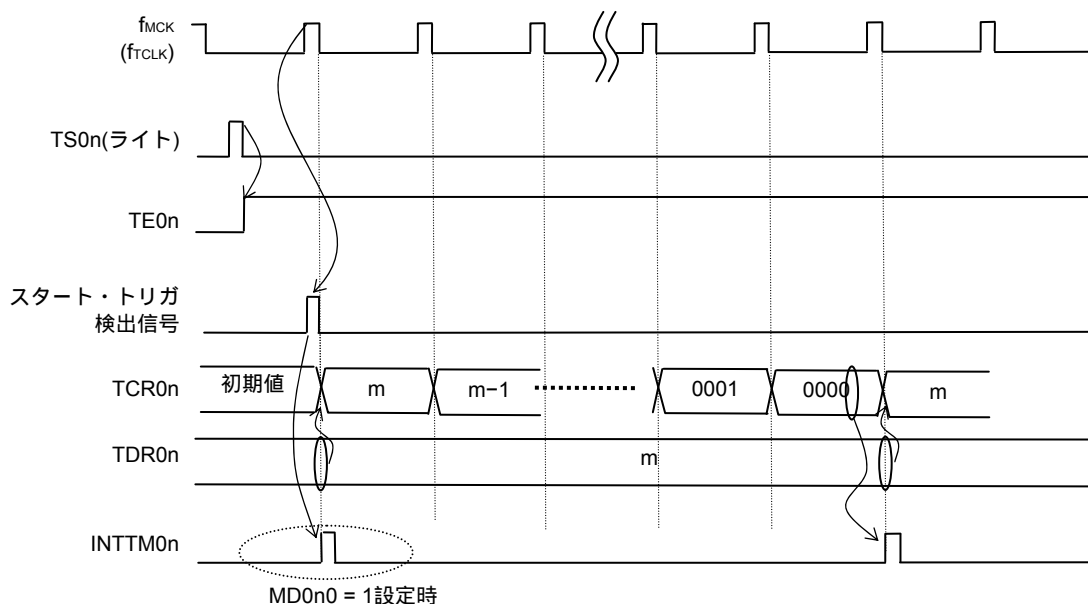
動作許可後の最初のカウント・クロック (f_{MCK}) で、スタート・トリガが発生します。

MD0n0ビットが1に設定されている場合には、スタート・トリガにより、INTTM0nが発生します。

動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ0n ($TDR0n$) の値をTCR0nレジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。

TCR0nレジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック (f_{MCK}) でINTTM0nを発生し、タイマ・データ・レジスタ0n ($TDR0n$) の値をTCR0nレジスタにロードしてカウントを継続します。

図6 - 33 動作タイミング (インターバル・タイマ・モード)



注意 カウント・クロックの1周期目の動作はTS0nビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 f_{MCK} 、スタート・トリガ検出信号、INTTM0nは、 f_{CLK} に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

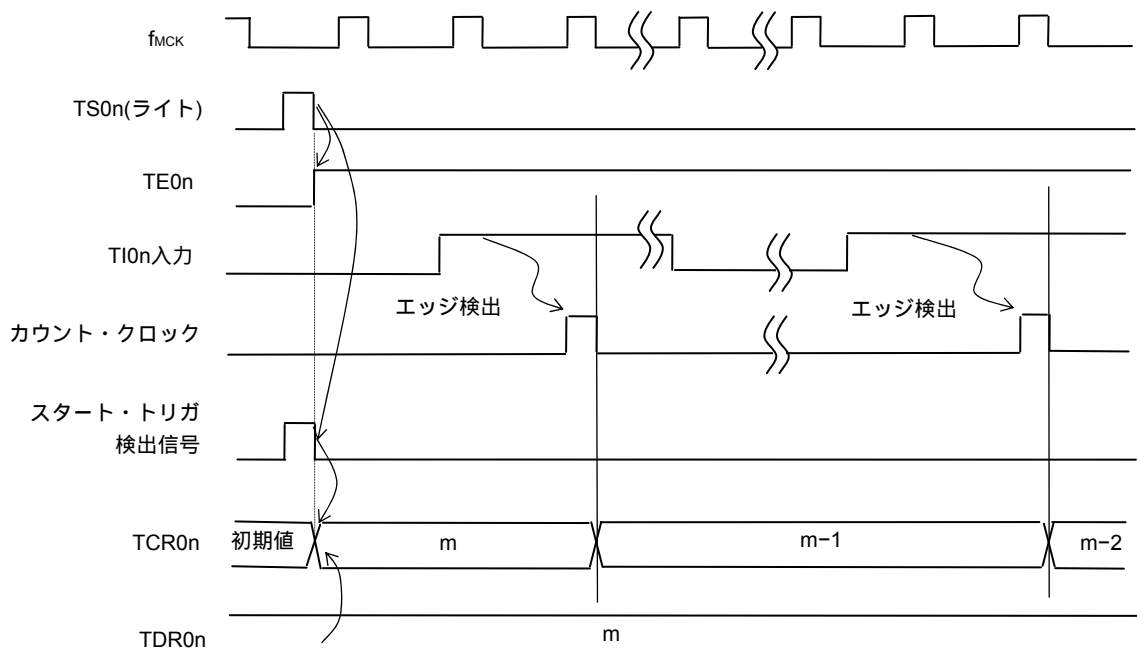
動作停止状態 ($TE0n = 0$) の期間、タイマ・カウンタ・レジスタ0n ($TCR0n$) は、初期値を保持します。

$TS0n$ ビットへ1を書き込むことにより、動作許可状態 ($TE0n = 1$) となります。

$TS0n = 1$ $TE0n = 1$ と同時に、 $TCR0n$ レジスタにタイマ・データ・レジスタ0n ($TDR0n$) の値をロードし、カウントを開始します。

以降は $TI0n$ 入力の有効エッジでのカウント・クロックに従い、 $TCR0n$ レジスタの値をダウン・カウントします。

図6-34 動作タイミング(イベント・カウンタ・モード)



備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は $TI0n$ 入力からさらに f_{mck} の2周期分(合計で3~4周期分)遅くなります。

(3) キャプチャ・モードの動作 (入力パルス間隔測定)

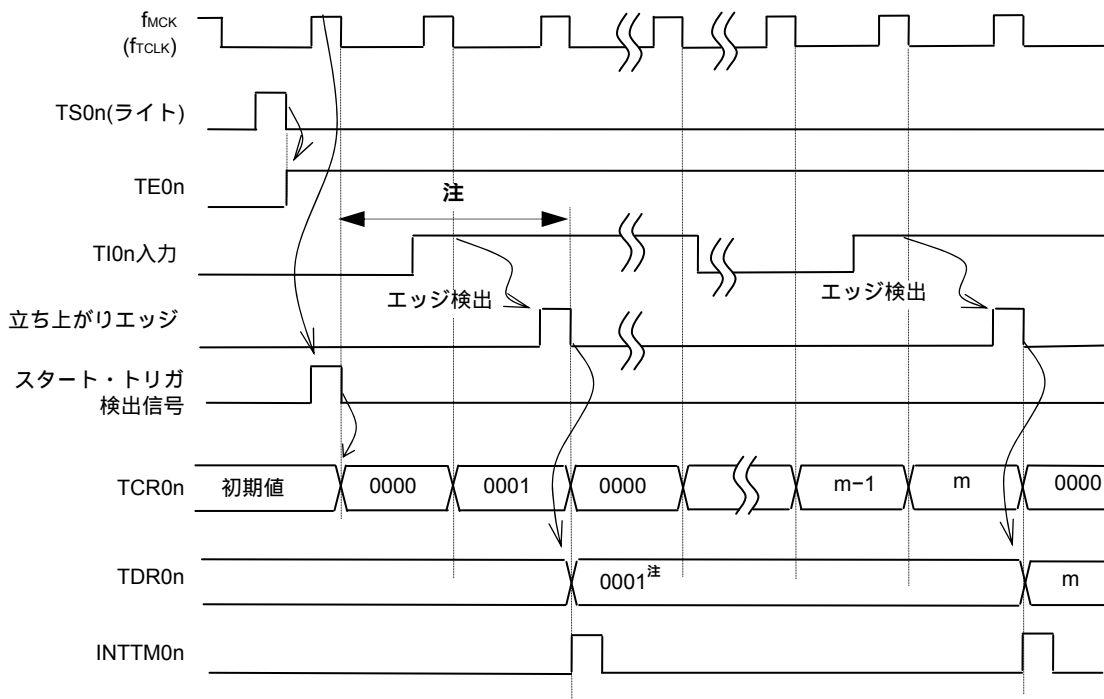
TS0nビットへ1を書き込むことにより、動作許可状態 (TE0n = 1) となります。

タイマ・カウンタ・レジスタ0n (TCR0n) は、カウント・クロック発生まで初期値を保持しています。動作許可後の最初のカウンタ・クロック (f_{MCK}) で、スタート・トリガが発生します。そして0000Hの値をTCR0nレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MD0n0ビットが1に設定されている場合には、スタート・トリガにより、INTTM0nが発生します。)

TI0n入力の有効エッジを検出すると、TCR0nレジスタの値をTDR0nレジスタにキャプチャし、INTTM0n割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCR0nレジスタは0000Hからカウントを継続します。

次のTI0n入力の有効エッジを検出すると、TCR0nレジスタの値をTDR0nレジスタにキャプチャし、INTTM0n割り込みが発生します。

図6 - 35 動作タイミング (キャプチャ・モード: 入力パルス間隔測定)



注 スタート前からTI0nにクロックが入力されている (トリガがある) 場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ () でのキャプチャ値はパルス間隔とならない (この例では0001: 2クロック分の間隔) ので、無視してください。

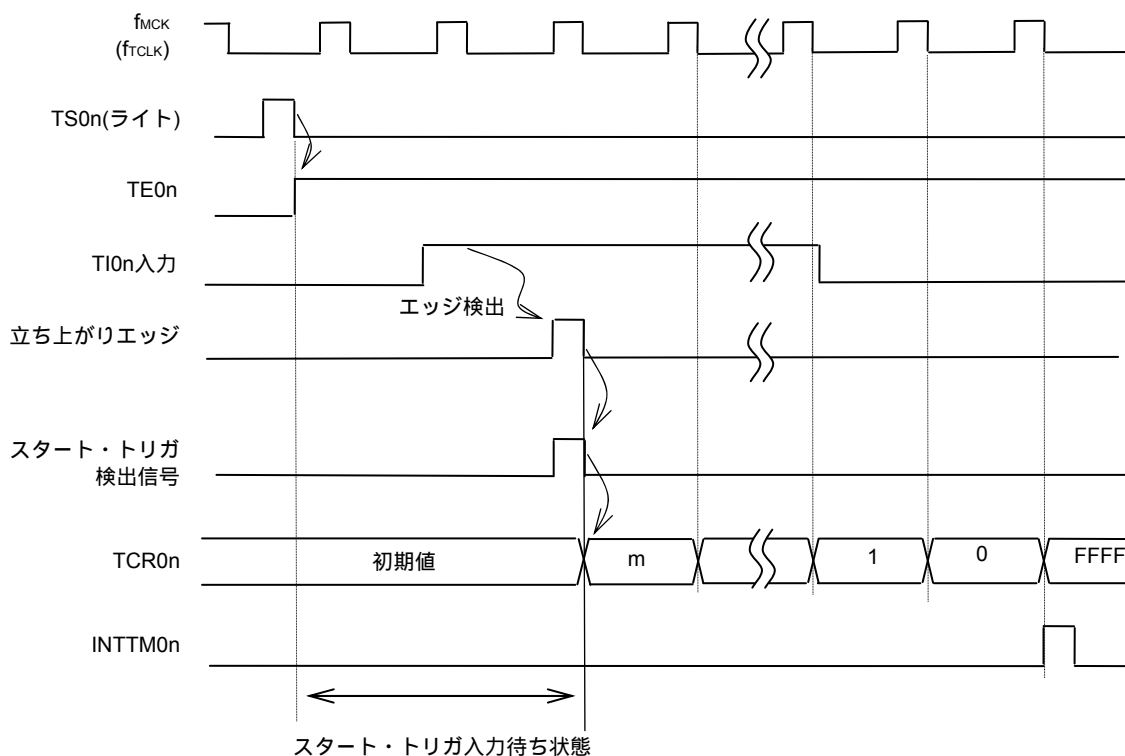
注意 カウンタ・クロックの1周期目の動作はTS0nビット書き込み後、カウンタ・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウンタ・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTI0n入力からさらにf_{MCK}の2周期分 (合計で3~4周期分) 遅くなります。

(4) ワンカウント・モードの動作

TS0nビットへ1を書き込むことにより、動作許可状態 (TE0n = 1) となります。
 タイマ・カウンタ・レジスタ0n (TCR0n) は、スタート・トリガ発生まで初期値を保持しています。
 TI0n入力の立ち上がりエッジを検出します。
 スタート・トリガが発生して、TDR0nレジスタの値 (m) をTCR0nレジスタにロードし、カウントを開始します。
 TCR0nレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTM0n割り込みを発生し、TCR0nレジスタはFFFFHで停止します。

図6 - 36 動作タイミング (ワンカウント・モード)



備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTI0n入力からさらにf_{MCK}の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTI0n入力とカウント・クロック (f_{MCK}) が非同期なためです。

(5) キャプチャ&ワンカウント・モードの動作(ハイ・レベル幅測定)

タイマ・チャンネル開始レジスタ0(TS0)のTS0nビットに1を書き込むことにより ,動作許可状態(TE0n = 1)となります。

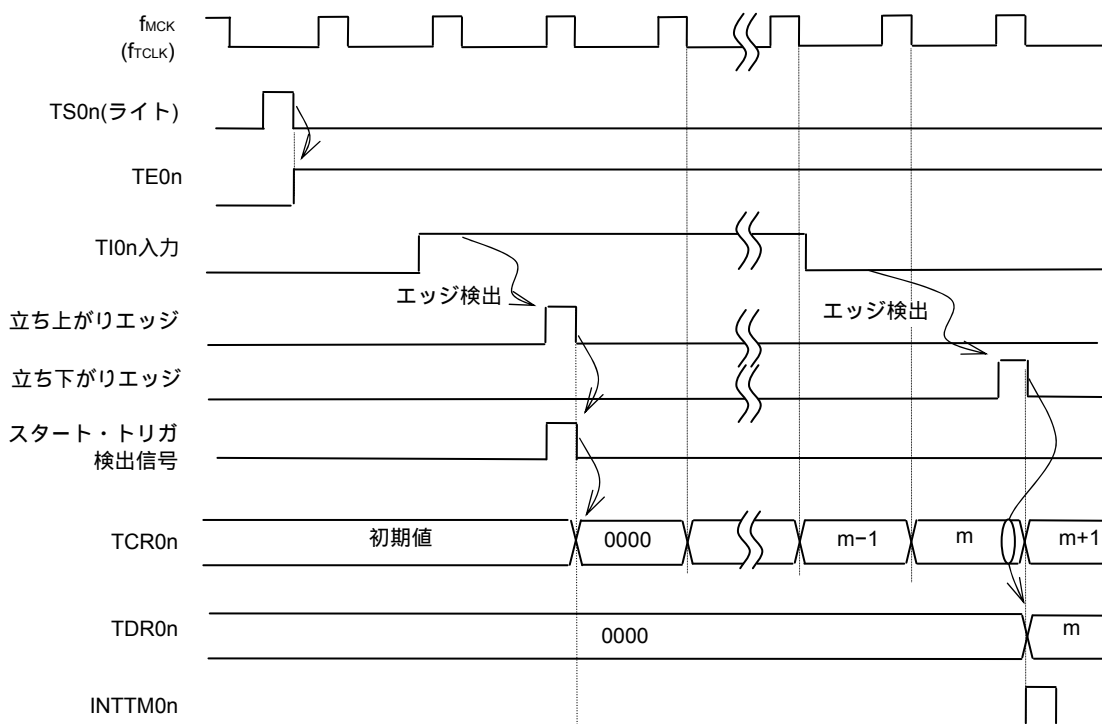
タイマ・カウンタ・レジスタ0n (TCR0n) は ,スタート・トリガ発生まで初期値を保持します。

TI0n入力の立ち上がりエッジを検出します。

スタート・トリガが発生して , 0000HをTCR0nレジスタにロードし , カウントを開始します。

TI0n入力の立ち下がりエッジを検出すると , TCR0nレジスタの値をTDR0nレジスタにキャプチャし , INTTM0n割り込みが発生します。

図6 - 37 動作タイミング(キャプチャ&ワンカウント・モード : ハイ・レベル幅測定)

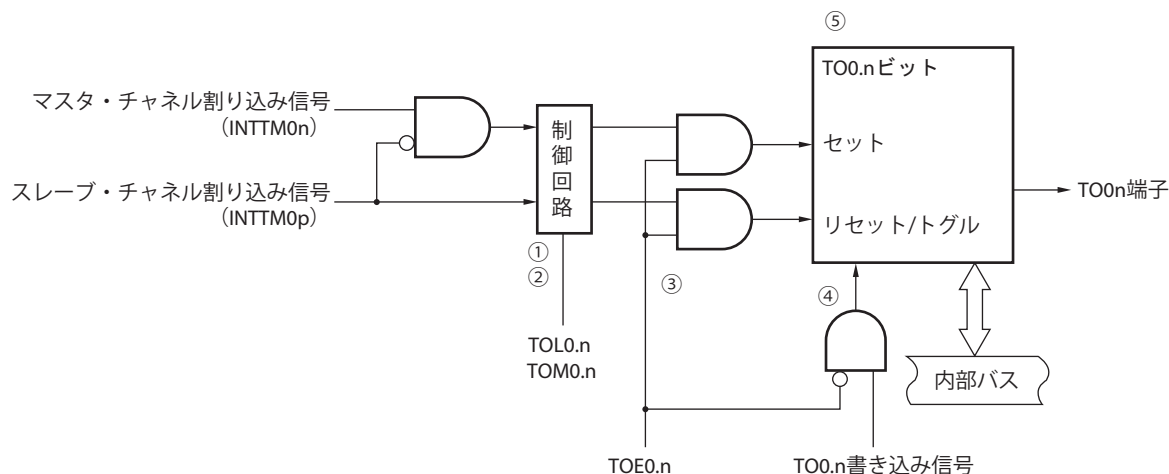


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると , エッジ検出はTI0n入力からさらにf_{MCK}の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTI0n入力とカウンタ・クロック (f_{MCK}) が非同期なためです。

6.6 チャンネル出力 (TO0n端子) の制御

6.6.1 TO0n端子の出力回路の構成

図6 - 38 出力回路構成図



TO0n端子の出力回路の説明を次に示します。

TOM0.n = 0 (マスタ・チャンネル出力モード) のときは、タイマ出力レベル・レジスタ0 (TOL0) の設定値は無視され、INTTM0p (スレーブ・チャンネル・タイマ割り込み) のみがタイマ出力レジスタ0 (TO0) に伝えられます。

TOM0.n = 1 (スレーブ・チャンネル出力モード) のときは、INTTM0n (マスタ・チャンネル・タイマ割り込み) とINTTM0p (スレーブ・チャンネル・タイマ割り込み) がTO0レジスタに伝えられます。

このとき、TOL0レジスタが有効となり、次のように信号を制御します。

TOL0.n = 0の場合 : 正転動作 (INTTM0n セット, INTTM0p リセット)

TOL0.n = 1の場合 : 反転動作 (INTTM0n リセット, INTTM0p セット)

また、INTTM0nとINTTM0pが同時に発生した場合 (PWM出力の0%出力時) は、INTTM0p (リセット信号) が優先され、INTTM0n (セット信号) はマスクされます。

タイマ出力許可状態 (TOE0.n = 1) で、INTTM0n (マスタ・チャンネル・タイマ割り込み) とINTTM0p (スレーブ・チャンネル・タイマ割り込み) がTO0レジスタに伝えられます。TO0レジスタへの書き込み (TO0nライト信号) は無効となります。

また、TOE0.n = 1のとき、割り込み信号以外でTO0n端子の出力が変化することはありません。

TO0n端子の出力レベルを初期化する場合は、タイマ動作停止 (TOE0.n = 0) に設定しTO0レジスタに値を書き込む必要があります。

タイマ出力禁止状態 (TOE0.n = 0) で、対象チャンネルのTO0.nビットへの書き込み (TO0nライト信号) が有効となります。タイマ出力禁止状態 (TOE0.n = 0) のとき、INTTM0n (マスタ・チャンネル・タイマ割り込み) とINTTM0p (スレーブ・チャンネル・タイマ割り込み) はTO0レジスタに伝えられません。

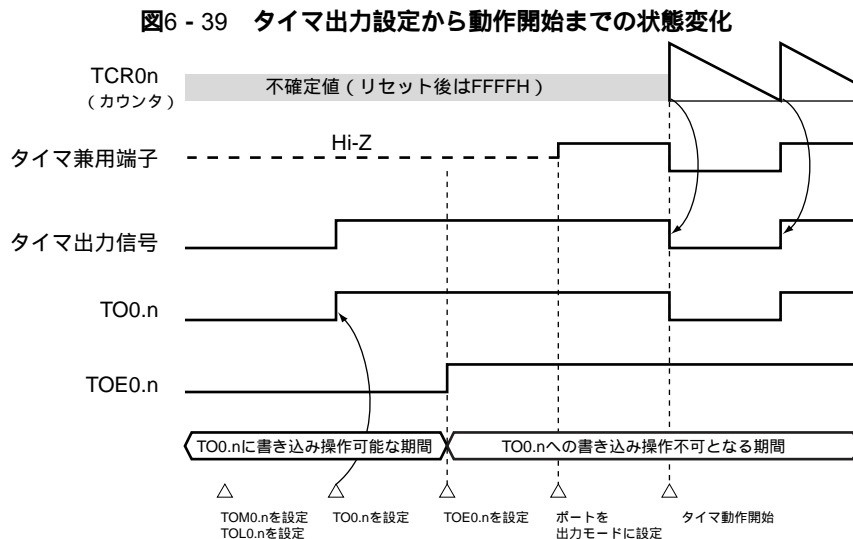
TO0レジスタは常に読み出し可能であり、TO0n端子の出力レベルを確認することができます。

(備考は次ページにあります。)

備考 n : チャネル番号
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号
 n < p 7

6.6.2 TO0n端子の出力設定

TO0n出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。



タイマ出力の動作モードを設定します。

- ・ TOM0.nビット (0 : マスタ・チャンネル出力モード, 1 : スレーブ・チャンネル出力モード)
- ・ TOL0.nビット (0 : 正転出力, 1 : 反転出力)

タイマ出力レジスタ0 (TO0) を設定することにより, タイマ出力信号が初期状態に設定されます。

TOE0.nビットに1を書き込み, タイマ出力動作を許可します (TO0レジスタへの書き込みは不可となります)。

ポート・モード・コントロール・レジスタ (PMCxx) でポートをデジタル入出力に設定します (6.3 (15) ポート・モード・レジスタ0, 1, 3, 4 (PM0, PM1, PM3, PM4) 参照)。

ポートの入出力設定を出力に設定します (6.3 (15) **ポート・モード・レジスタ0, 1, 3, 4 (PM0, PM1, PM3, PM4)** 参照)。

タイマを動作許可にします (TS0.n = 1)。

備考 n : チャネル番号 (n = 0-7)

6.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTO0, TOE0, TOL0, TOM0レジスタの設定値変更について

タイマ動作(タイマ・カウンタ・レジスタ0n(TCR0n),タイマ・データ・レジスタ0n(TDR0n)の動作)は,TO0n出力回路とは独立しています。よって,タイマ出力レジスタ0(TO0),タイマ出力許可レジスタ0(TOE0),タイマ出力レベル・レジスタ0(TOL0),タイマ出力モード・レジスタ0(TOM0)の設定値変更はタイマ動作に影響しないため,タイマ動作中に設定値の変更が可能です。ただし,各タイマ動作において期待する波形をTO0n端子から出力するためには,各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み(INTTM0n)近辺で,TO0レジスタを除く TOE0レジスタ,TOL0レジスタ,TOM0レジスタの設定値変更を行うと,タイマ割り込み(INTTM0n)信号発生タイミング直前に設定値変更が実施された場合と,タイマ割り込み(INTTM0n)信号発生タイミング直後に設定値変更が実施された場合とでは,TO0n端子に出力される波形が異なる場合があります。

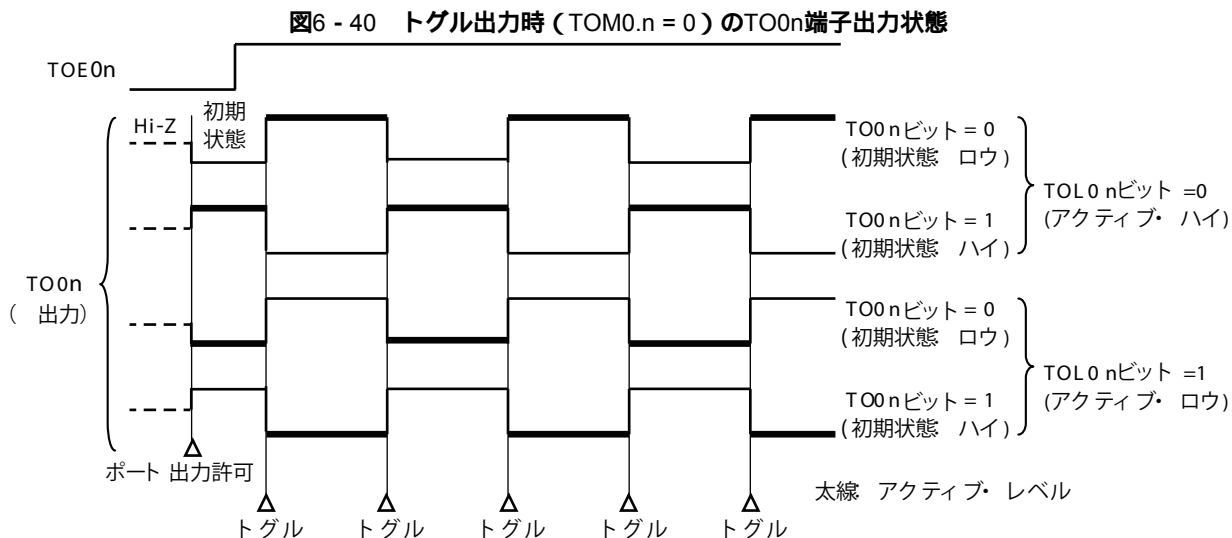
備考 n:チャンネル番号(n=0-7)

(2) TO0n端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOE0.n = 0) の状態でタイマ出力レジスタ0 (TO0) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOE0.n = 1) に設定した場合のTO0n端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード (TOM0.n= 0) 設定で動作を開始した場合

マスタ・チャンネル出力モード (TOM0.n= 0) の時、タイマ出力レベル・レジスタ0 (TOL0) の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTO0n端子の出力レベルを反転します。

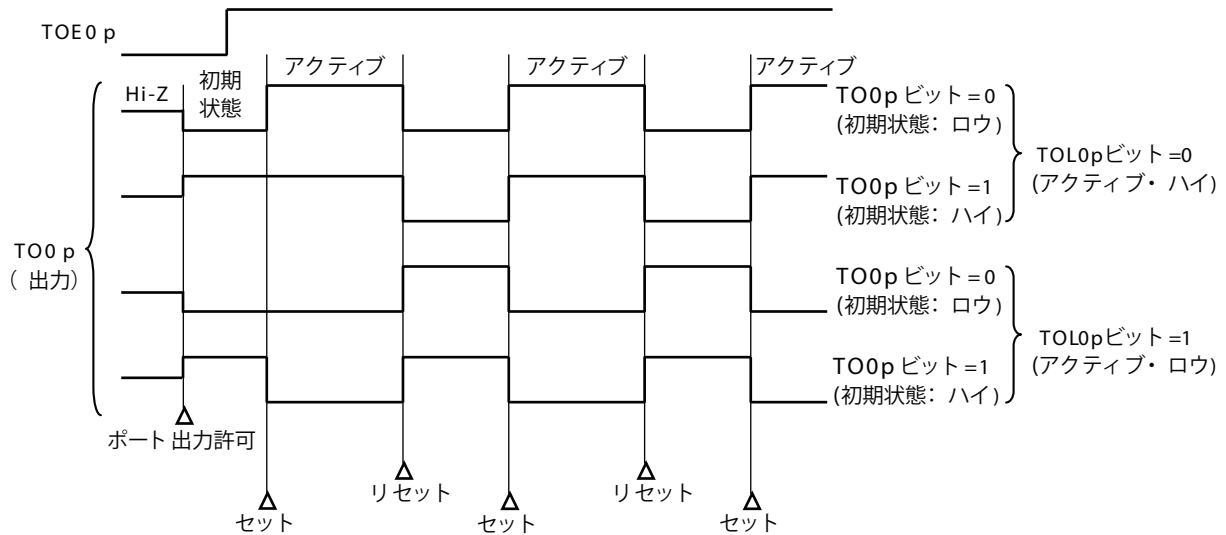


- 備考1. トグル：TO0n端子の出力状態を反転
- 2. n：チャンネル番号 (n = 0-7)

(b) スレーブ・チャンネル出力モード (TOM0.p = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOM0.p = 1) の時, タイマ出力レベル・レジスタ0 (TOL0) の設定によりアクティブ・レベルを決定します。

図6 - 41 PWM出力時 (TOM0.p = 1) のTO0p端子出力状態



- 備考1.** セット : TO0p端子の出力信号が, インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TO0p端子の出力信号が, アクティブ・レベルからインアクティブ・レベルに変化
- 2.** p: チャンネル番号 (p = 0-7)

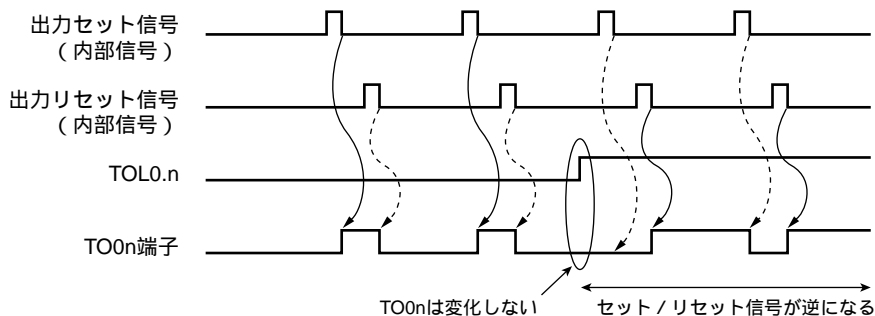
(3) TO0n端子のスレーブ・チャンネル出力モード (TOM0.n = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタ0 (TOL0) の設定を変更した場合

タイマ動作中にTOL0レジスタの設定を変更した場合、設定が有効となるのはTO0n端子変化条件の発生タイミングです。TOL0レジスタの書き換えでは、TO0n端子の出力レベルは変化しません。

TOM0.n = 1で、タイマ動作中 (TE0.n = 1) にTOL0レジスタの値を変更した場合の動作を次に示します。

図6 - 42 タイマ動作中にTOL0レジスタを変更した場合の動作



- 備考1. セット : TO0n端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TO0n端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
2. n : チャンネル番号 (n = 0-7)

(b) セット/リセット・タイミング

PWM出力時に、0% / 100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTM0n) 発生時のTO0n端子/TO0.nビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

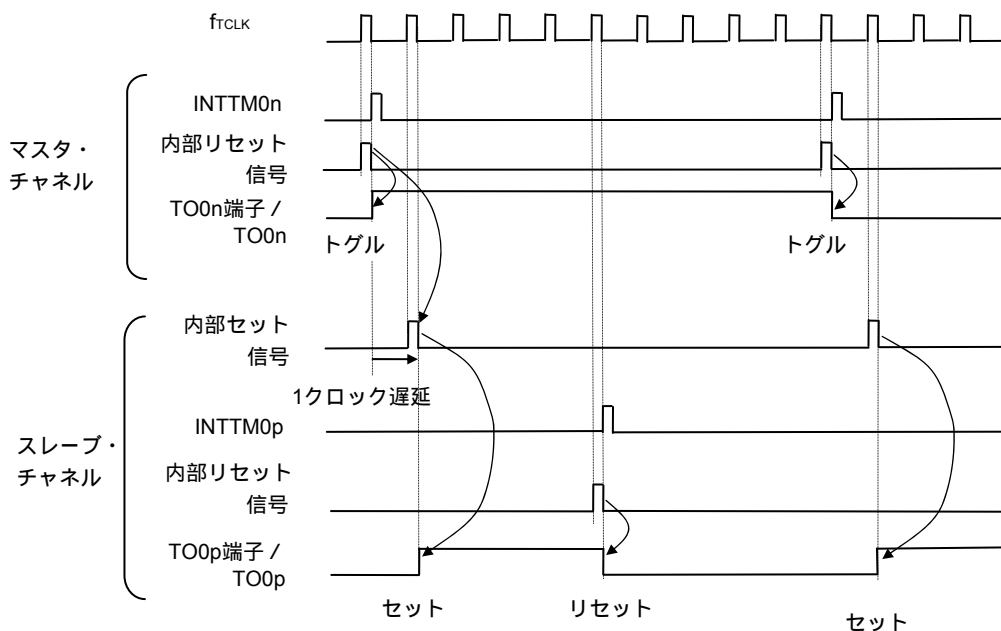
マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図6 - 43に示します。

マスタ・チャンネル : TOE0.n = 1, TOM0.n = 0, TOL0.n = 0

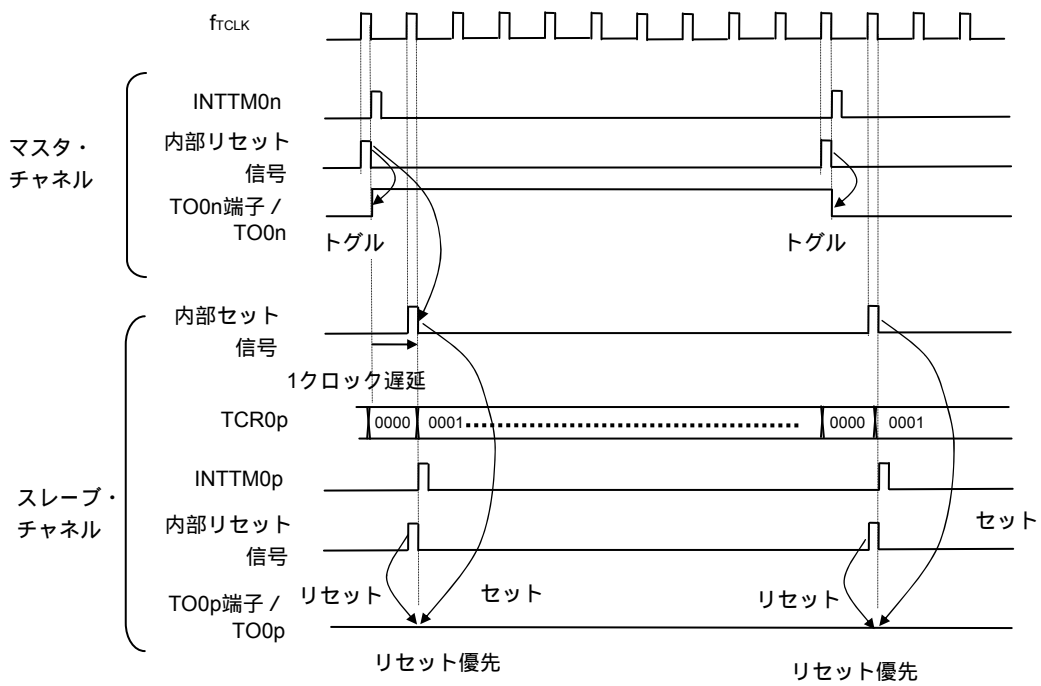
スレーブ・チャンネル : TOE0.p = 1, TOM0.p = 1, TOL0.p = 0

図6 - 43 セット/リセット・タイミング動作状態

(1) 基本動作タイミング



(2) 0%デューティ時の動作タイミング



- 備考1.** 内部リセット信号 : TO0n端子のリセット / トグル信号
 内部セット信号 : TO0n端子のセット信号
- 2.** n : チャンネル番号
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号
 n < p 7

6.6.4 TO0.nビットの一括操作

タイマ出力レジスタ0 (TO0) には、タイマ・チャンネル開始レジスタ0 (TS0) と同様に、1レジスタに全チャンネル分の設定ビット (TO0.n) が配置されています。よって、全チャンネルのTO0.nビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TO0n) のみTO0.nビットへの書き込み可能 (TOE0.n = 0) とすることによって任意のビットのみ操作することが可能です。

図6 - 44 TO0.nビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	TO0.7	TO0.6	TO0.5	TO0.4	TO0.3	TO0.2	TO0.1	TO0.0
								0	0	1	0	0	0	1	0
TOE0	0	0	0	0	0	0	0	TOE0.7	TOE0.6	TOE0.5	TOE0.4	TOE0.3	TOE0.2	TOE0.1	TOE0.0
								0	0	1	0	1	1	1	1

書き込みデータ

0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

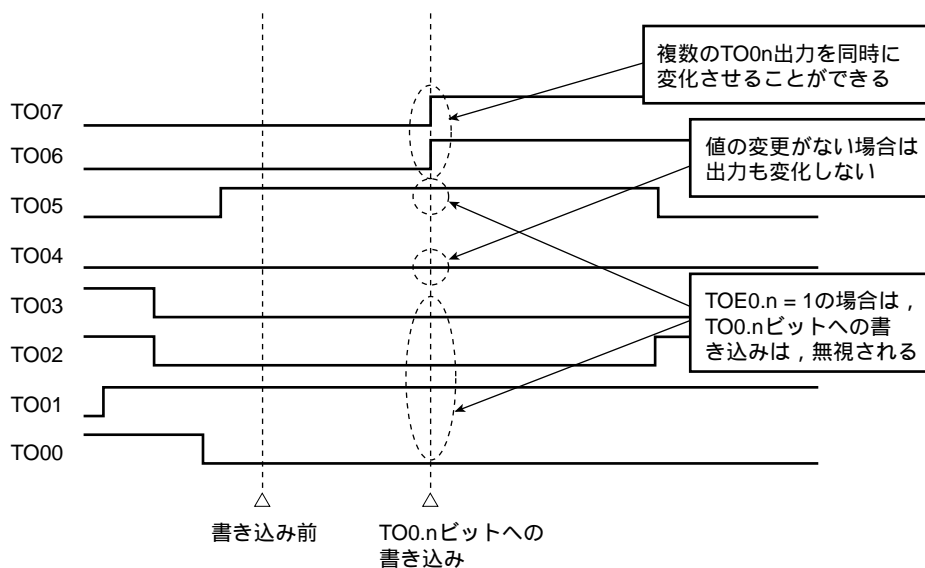
書き込み後

TO0	0	0	0	0	0	0	0	TO0.7	TO0.6	TO0.5	TO0.4	TO0.3	TO0.2	TO0.1	TO0.0
								1	1	1	0	0	0	1	0

TOE0.n = 0のTO0.nビットのみ書き込みが行われます。TOE0n = 1のTO0.nビットへの書き込みは無視されます。

TOE0.n = 1に設定されているTO0n (チャンネル出力) は、書き込み操作による影響は受けません。TO0.nビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6 - 45 TO0.nビットの一括操作によるTO0nの端子状態



(注意、備考は次ページにあります)

注意 タイマ出力許可状態 ($TOE0.n = 1$) において、各チャンネルのタイマ割り込み ($INTTM0n$) による出力と $TO0.n$ ビットへの書き込みが競合しても、 $TO0n$ 端子は正常に出力動作が行われます。

備考 n : チャンネル番号 ($n = 0-7$)

6.6.5 カウント動作開始時のタイマ割り込みと $TO0n$ 端子出力について

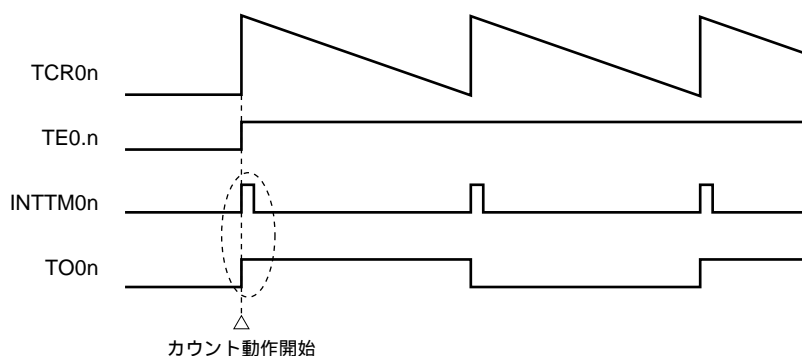
インターバル・タイマ・モード/キャプチャ・モードの場合、タイマ・モード・レジスタ $0n$ ($TMR0n$) の $MD0n0$ ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

$MD0n0 = 1$ に設定することで、タイマ割り込み ($INTTM0n$) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、 $TO0n$ 出力は制御しません。

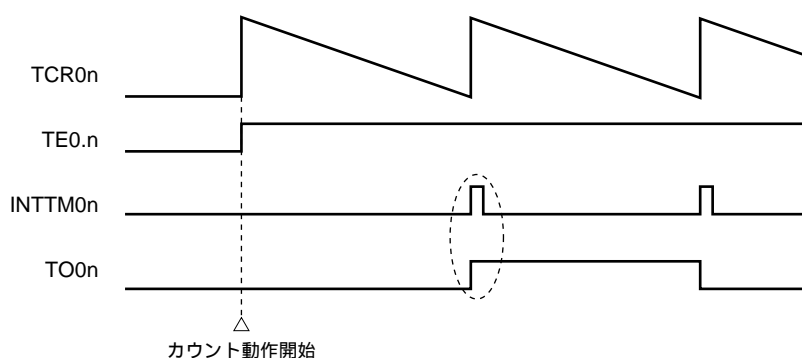
インターバル・タイマ・モード ($TOE0.n = 1, TOM0.n = 0$) に設定した場合の動作例を次に示します。

図6 - 46 $MD0n0 = 1$ に設定した場合



$MD0n0 = 1$ に設定した場合、カウント動作開始時にタイマ割り込み ($INTTM0n$) が出力され、 $TO0n$ がトグル動作します。

図6 - 47 $MD0n0 = 0$ に設定した場合



$MD0n0 = 0$ に設定した場合、カウント動作開始時にタイマ割り込み ($INTTM0n$) を出力しません。 $TO0n$ も変化しません。1周期をカウント後、 $INTTM0n$ を出力し、 $TO0n$ がトグル動作します。

備考 n : チャンネル番号 ($n = 0-7$)

6.7 タイマ・アレイ・ユニットの単独チャンネル動作機能

6.7.1 インターバル・タイマ/方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTM0n (タイマ割り込み) を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM0n (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR0nの設定値} + 1)$$

(2) 方形波出力としての動作

TO0nは、INTTM0n発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。
TO0n出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TO0nからの出力方形波の周期} = \text{カウント・クロックの周期} \times (\text{TDR0nの設定値} + 1) \times 2$$

$$\cdot \text{TO0nからの出力方形波の周波数} = \text{カウント・クロックの周波数} / \{ (\text{TDR0nの設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタ0n (TCR0n) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0.n, TSH01, TSH03) に1を設定後、最初のカウント・クロックでTCR0nレジスタはタイマ・データ・レジスタ0n (TDR0n) の値をロードします。このときタイマ・モード・レジスタ0n (TMR0n) のMD0n0 = 0ならば、INTTM0nを出力せず、TO0nはトグルしません。TMR0nレジスタのMD0n0 = 1ならば、INTTM0nを出力して、TO0nをトグルします。

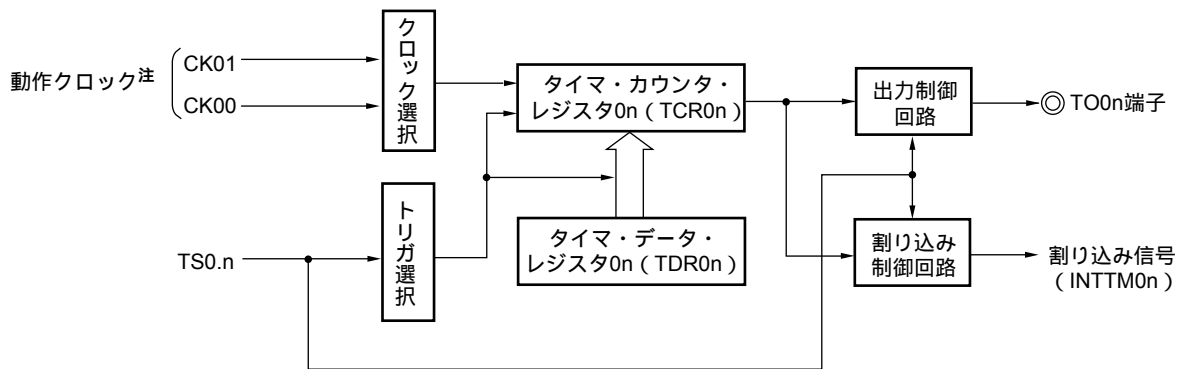
その後、TCR0nレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCR0n = 0000Hとなったら、次のカウント・クロックでINTTM0nを出力しTO0nをトグルします。また、同タイミングで再びTCR0nレジスタはTDR0nレジスタの値をロードします。以降、同様の動作を継続します。

TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は、次の周期から有効となります。

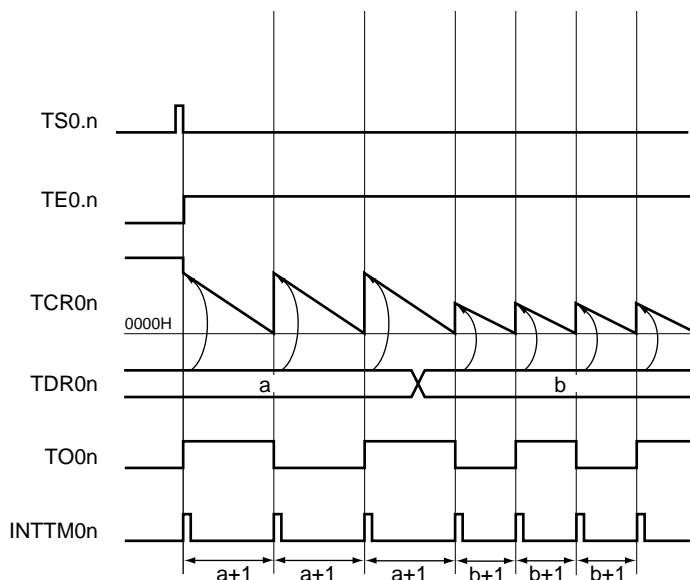
備考 n: チャンネル番号 (n = 0-7)

図6 - 48 インターバル・タイマ/方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CK00, CK01, CK02, CK03からクロックを選択できます。

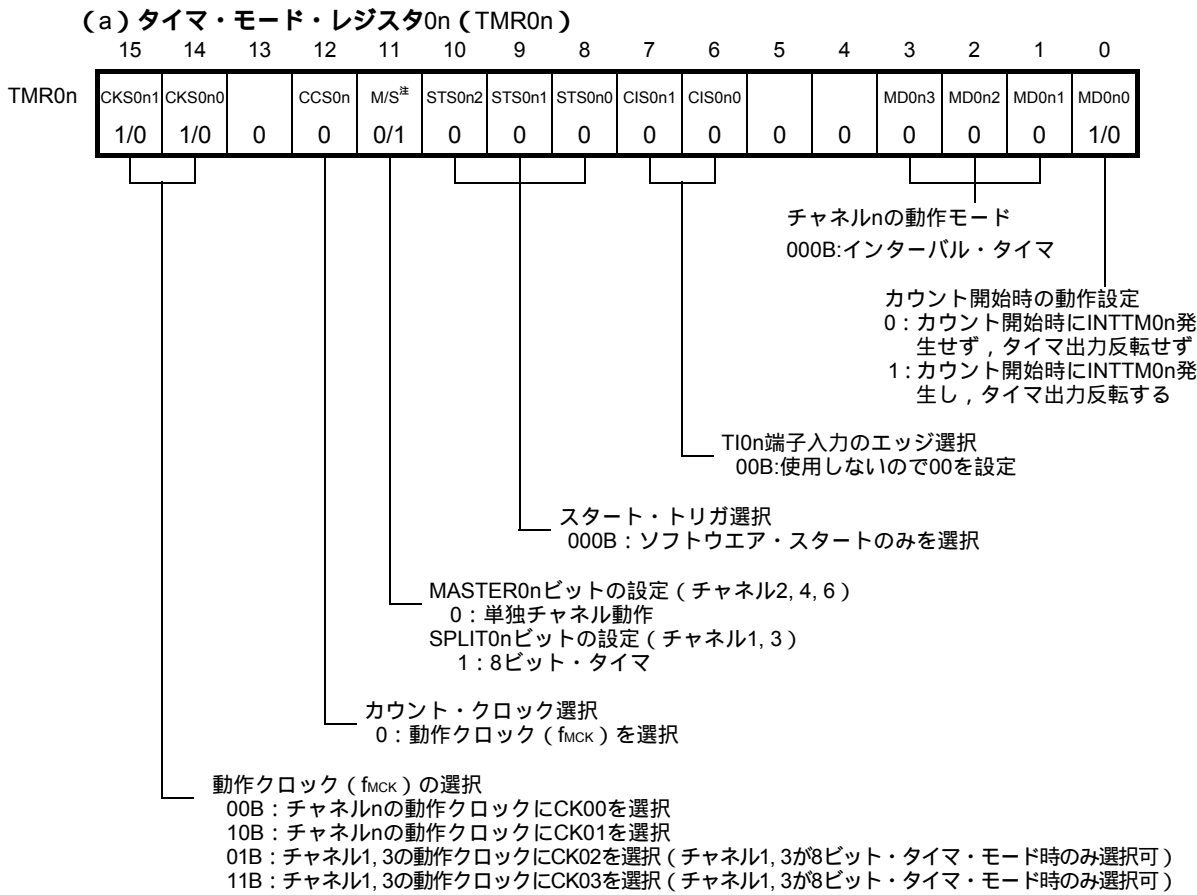
図6 - 49 インターバル・タイマ/方形波出力としての動作の基本タイミング例 (MD0n0 = 1)



備考1. n : チャンネル番号 (n = 0-7)

- 2. TS0.n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0.n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)
- TO0n : TO0n端子出力信号

図6 - 50 インターバル・タイマ/方波出力時のレジスタ設定内容例



(b) タイマ出力レジスタ0 (TO0)

	ビットn	
TO0	TO0.n	0: TO0nより0を出力する
	1/0	1: TO0nより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットn	
TOE0	TOE0.n	0: カウント動作によるTO0n出力動作停止
	1/0	1: カウント動作によるTO0n出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットn	
TOL0	TOL0.n	0: TOM0.n = 0 (マスタ・チャンネル出力モード) では0を設定
	0	

(e) タイマ出力モード・レジスタ0 (TOM0)

	ビットn	
TOM0	TOM0.n	0: マスタ・チャンネル出力モードを設定
	0	

注 TMR00, TMR02, TMR04-TMR07の場合: MASTER0nビット

TMR01, TMR03の場合: SPLIT0nビット

備考 n: チャンネル番号 (n = 0-7)

図6-51 インターバル・タイマ/方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01 (8ビット・タイマ・モード時は, CK02とCK03) のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	タイマ・モード・レジスタ0n (TMR0n) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタ0n (TDR0n) にインターバル (周期) 値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TO0n出力を使用する場合, タイマ出力モード・レジスタ0 (TOM0) のTOM0.nビットに0 (マスタ・チャンネル出力モード) を設定する TOL0.nビットに0を設定する TO0.nビットを設定し, TO0n出力の初期レベルを確定する TOE0.nビットに1を設定し, TO0nの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO0n端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0n初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO0nは変化しない TO0n端子はTO0n設定レベルを出力
動作 開始	(TO0n出力を使用する場合で, かつ動作再開時のみ TOE0.nビットに1を設定する) TS0.n (TSH01, TSH03) ビットに1を設定する TS0.n (TSH01, TSH03) ビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n (TEH01, TEH03) = 1になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードする。TMR0nレジスタのMD0n0ビットが1の場合は, INTTM0nを発生し, TO0nもトグル動作する。
動作 中	TMR0nレジスタ, TOM0.n, TOL0.nビットは, 設定値変更禁止 TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能	カウンタ (TCR0n) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR0nレジスタはTDR0nレジスタの値をロードし, カウント動作を継続する。TCR0n = 0000H検出でINTTM0nを発生し, TO0nはトグル動作する。以降, この動作を繰り返す。
動作 停止	TT0.n (TTH01, TTH03) ビットに1を設定する TT0.n (TTH01, TTH03) ビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n (TEH01, TEH03) = 0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TO0n出力は初期化されず, 状態保持
	TOE0.nビットに0を設定し, TO0.nビットに値を設定する	TO0n端子はTO0.nビットに設定したレベルを出力

動作再開

(備考は次ページにあります。)

図6-51 インターバル・タイマ/方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TO0n端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0.nビットに0を設定する	TO0n端子出力レベルはポート機能により保持される。
	TO0n端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TO0n端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0.nビットが0になり、TO0n端子はポート機能となる)

備考 n: チャネル番号 (n=0-7)

6.7.2 外部イベント・カウンタとしての動作

TI0n端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDR0nの設定値} + 1$$

タイマ・カウンタ・レジスタ0n (TCR0n) はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) の任意のチャンネル・スタート・トリガ・ビット (TS0.n, TSH01, TSH03) に1を設定することによりTCR0nレジスタはタイマ・データ・レジスタ0n (TDR0n) の値をロードします。

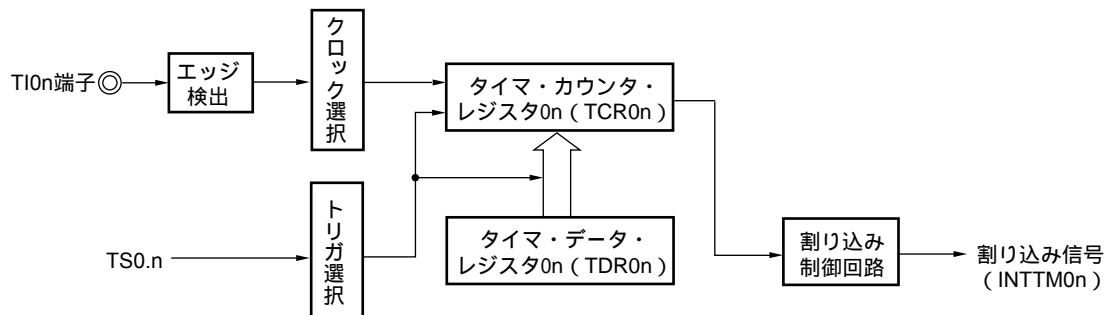
TCR0nレジスタはTI0n端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCR0n = 0000H になったら、再びTDR0nレジスタの値をロードして、INTTM0nを出力します。

以降、同様の動作を継続します。

TO0n端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ0 (TOE0) のTOE0.nビットに0を設定して出力動作を停止するようにしてください。

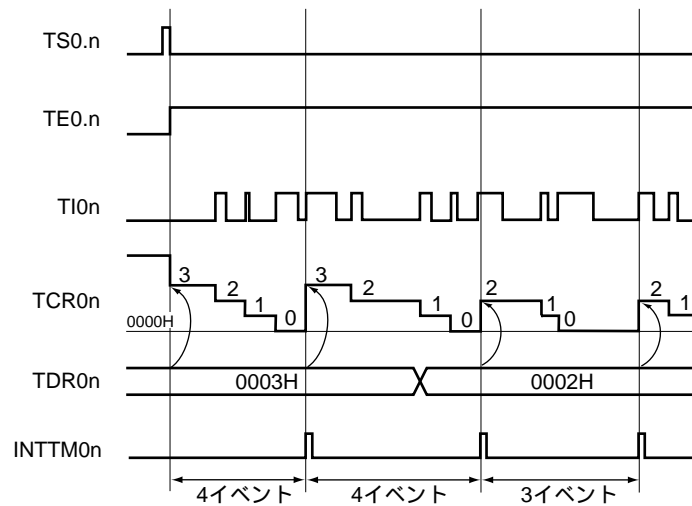
TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は次のカウント期間で有効になります。

図6 - 52 外部イベント・カウンタとしての動作のブロック図



備考 n : チャンネル番号 (n = 0-7)

図6 - 53 外部イベント・カウンタとしての動作の基本タイミング例

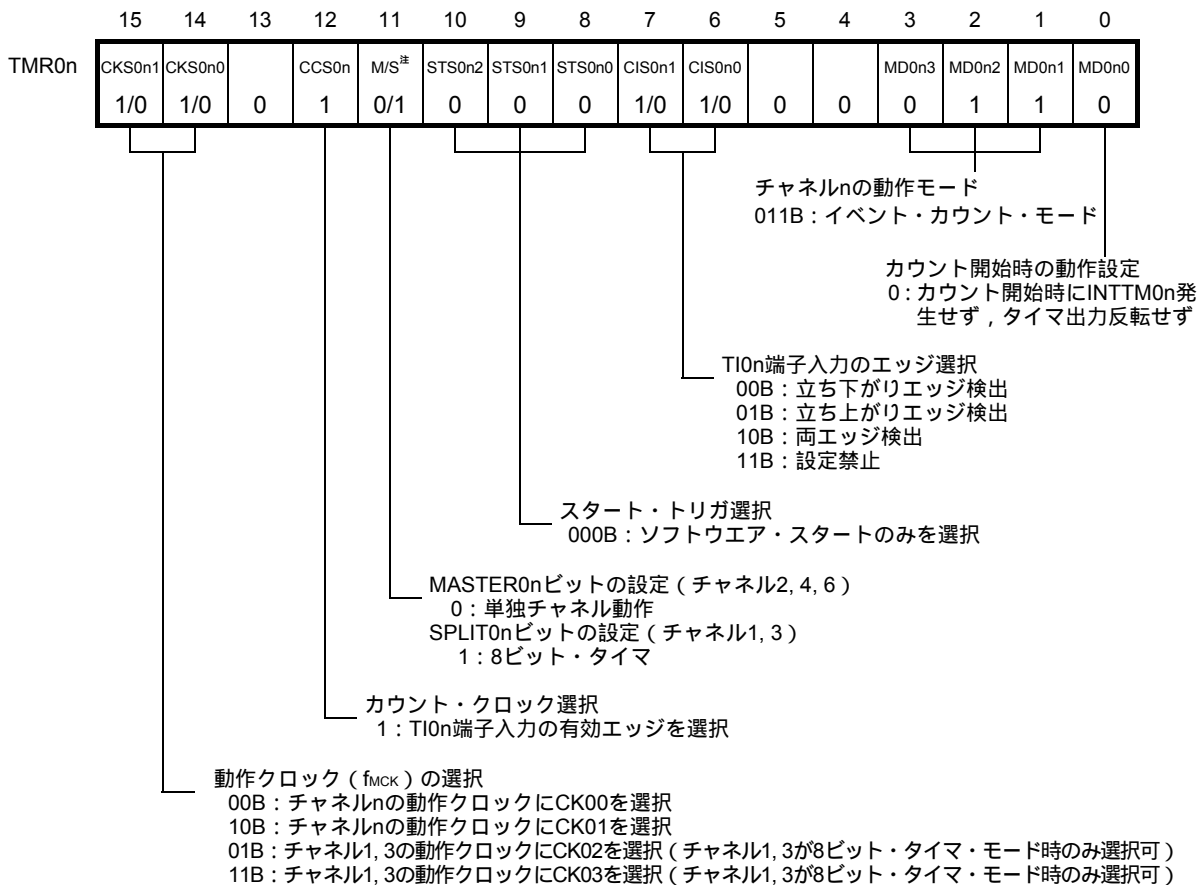


備考1. n : チャネル番号 (n = 0-7)

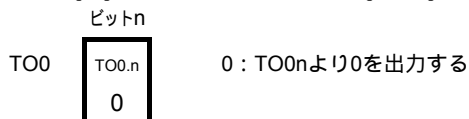
2. TS0.n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0.n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)

図6-54 外部イベント・カウンタ・モード時のレジスタ設定内容例

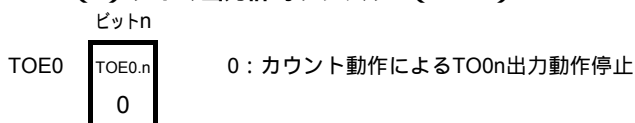
(a) タイマ・モード・レジスタ0n (TMR0n)



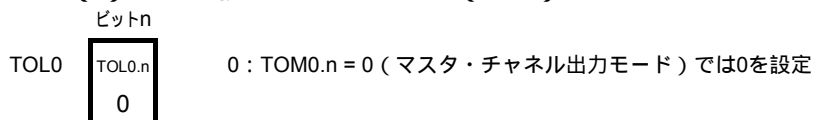
(b) タイマ出力レジスタ0 (TO0)



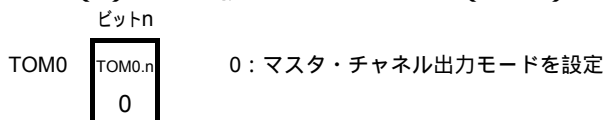
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



注 TMR00, TMR02, TMR04-TMR07の場合 : MASTER0nビット

TMR01, TMR03の場合 : SPLIT0nビット

備考 n : チャネル番号 (n = 0-7)

図6-55 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01 (8ビット・タイマ・モード時は, CK02とCK03) のクロック周波数を確定する		
チャ ネル 初期 設定	タイマ・モード・レジスタ0n (TMR0n) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタ0n (TDR0n) にカウント数を設定する タイマ出力許可レジスタ0 (TOE0) のTOE0.nビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TS0.n (TSH01, TSH03) ビットに1を設定する TS0.n (TSH01, TSH03) ビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n = 1 (TEH01, TEH03) になり, カウント動作開始 タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし, TI0n端子入力のエッジ検出待ち状態になる
	動作 中	TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない TMR0nレジスタ, TOM0.n, TOL0.n, TO0.n, TOE0.nビットは, 設定値変更禁止	TI0n端子入力のエッジが検出されるごとに, カウンタ (TCR0n) はダウン・カウント動作を行う。0000Hまでカウントしたら, 再びTCR0nレジスタはTDR0nレジスタの値をロードし, カウント動作を継続する。TCR0n = 0000H検出でINTTM0n出力を発生する。 以降, この動作を繰り返す。
	動作 停止	TT0.n (TTH01, TTH03) ビットに1を設定する TT0.n (TTH01, TTH03) ビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n (TEH01, TEH03) = 0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される	

備考 n: チャンネル番号 (n = 0-7)

6.7.3 分周器としての動作（チャンネル0のみ）

TI00端子に入力されたクロックを分周し、TO00端子から出力する分周器として利用することができます。

TO00出力の分周クロック周波数は次の式で求めることができます。

- ・立ち上がりエッジ / 立ち下がりエッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{ (\text{TDR00 の設定値} + 1) \times 2 \}$$
- ・両エッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / (\text{TDR00の設定値} + 1)$$

タイマ・カウンタ・レジスタ00 (TCR00) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0.0) に1を設定後、TI00の有効エッジ検出でTCR00レジスタはタイマ・データ・レジスタ00 (TDR00) の値をロードします。このときタイマ・モード・レジスタ00 (TMR00) のMD000 = 0ならば、INTTM00を出力せず、TO00はトグルしません。TMR00レジスタのMD000 = 1ならば、INTTM00を出力して、TO00をトグルします。

その後、TI00端子入力の有効エッジに合わせてダウン・カウントを行い、TCR00 = 0000Hとなったら、TO00をトグルします。同時にTCR00レジスタはTDR00レジスタの値をロードして、カウントを継続します。

TI00端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出力クロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出力クロック周期} \pm \text{動作クロック周期 (誤差)}$$

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

図6 - 56 分周器としての動作のブロック図

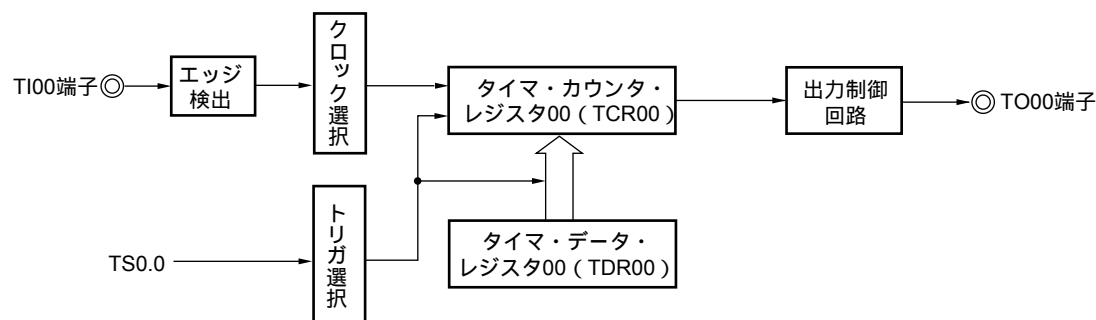
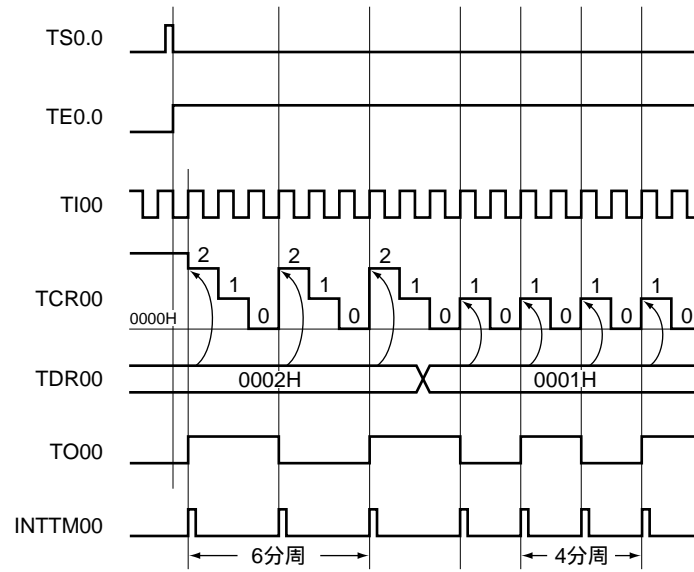


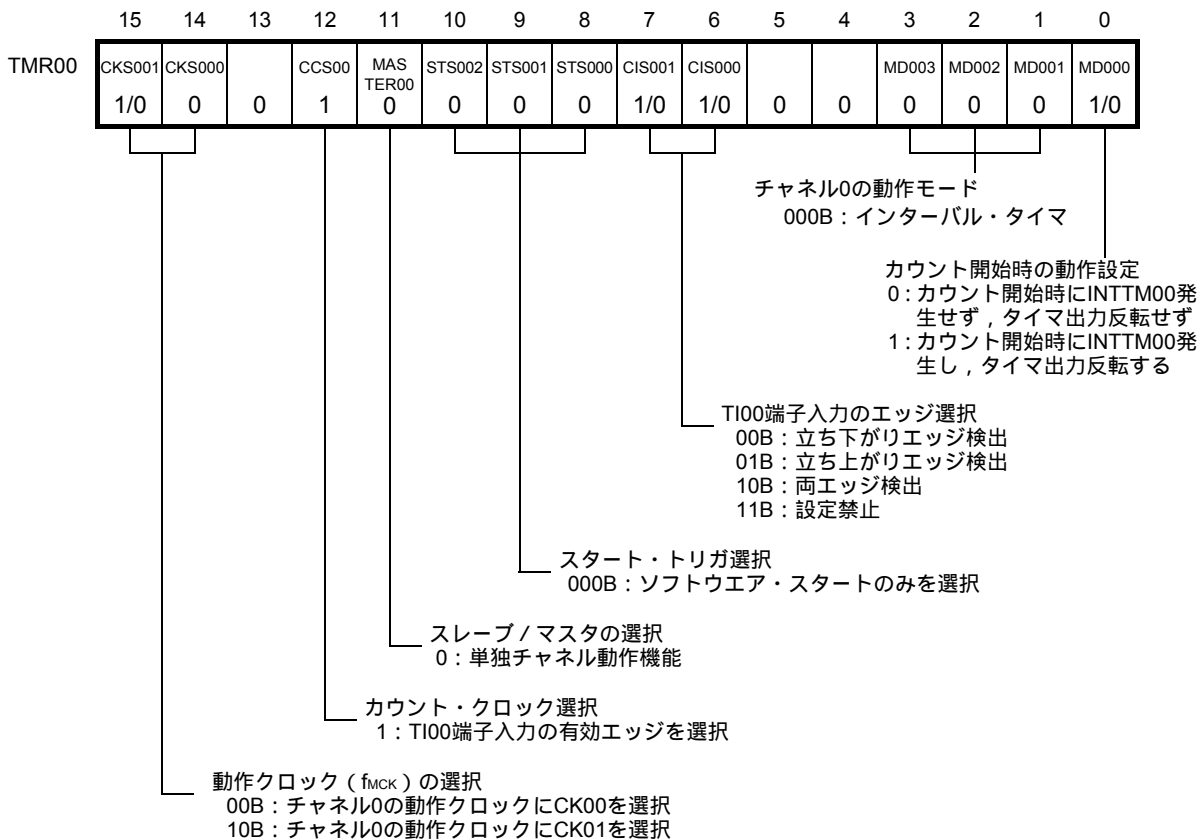
図6 - 57 分周器としての動作の基本タイミング例 (MD000 = 1)



- 備考** TS0.0 : タイマ・チャンネル開始レジスタ0 (TS0) のビット0
 TE0.0 : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビット0
 TI00 : TI00端子入力信号
 TCR00 : タイマ・カウンタ・レジスタ00 (TCR00)
 TDR00 : タイマ・データ・レジスタ00 (TDR00)
 TO00 : TO00端子出力信号

図6 - 58 分周器として動作時のレジスタ設定内容例

(a) タイマ・モード・レジスタ0 (TMR00)



(b) タイマ出力レジスタ0 (TO0)

ビット0

TO0	TO0.0	0: TO00より0を出力する
	1/0	1: TO00より1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビット0

TOE0	TOE0.0	0: カウント動作によるTO00出力動作停止
	1/0	1: カウント動作によるTO00出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビット0

TOL0	TOL0.0	0: TOM0.0 = 0 (マスタ・チャンネル出力モード) では0を設定
	0	

(e) タイマ出力モード・レジスタ0 (TOM0)

ビット0

TOM0	TOM0.0	0: マスタ・チャンネル出力モードを設定
	0	

図6 - 59 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00-CK03のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	タイマ・モード・レジスタ00 (TMR00) を設定する (チャンネルの動作モード確定, 検出エッジの選択) タイマ・データ・レジスタ00 (TDR00) にインターバル (周期) 値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	タイマ出力モード・レジスタ0 (TOM0) のTOM0.0ビットに0 (マスタ・チャンネル出力モード) を設定する TOL0.0ビットに0を設定する TO0.0ビットを設定し, TO00出力の初期レベルを確定する	TO00端子はHi-Z出力状態
	TOE0.0ビットに1を設定し, TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO00は変化しない TO00端子はTO00設定レベルを出力
動作 開始	TOE0.0ビットに1を設定する (動作再開時のみ) TS0.0ビットに1を設定する TS0.0ビットはトリガ・ビットなので, 自動的に0に戻る	TE0.0 = 1になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタ00 (TCR00) はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は, INTTM00を発生し, TO00もトグル動作する。
動作 中	TDR00レジスタは, 任意に設定値変更が可能 TCR00レジスタは, 常に読み出し可能 TSR00レジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能 TMR00レジスタ, TOM0.0, TOL0.0ビットは, 設定値変更禁止	カウンタ (TCR00) はダウン・カウント動作を行い, 0000Hまでカウントしたら 再びTCR00レジスタはTDR00レジスタの値をロードし, カウント動作を継続する。TCR00 = 0000H 検出でINTTM00を発生し, TO00はトグル動作する。以降, この動作を繰り返す。
動作 停止	TT0.0ビットに1を設定する TT0.0ビットはトリガ・ビットなので, 自動的に0に戻る	TE0.0 = 0になり, カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず, 状態保持
	TOE0.0ビットに0を設定し, TO0.0ビットに値を設定する	TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO0.0ビットに0を設定する	TO00端子出力レベルはポート機能により保持される。
	TO00端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TO00端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO0.0ビットが0になり, TO00端子はポート機能となる)

動作再開

6.7.4 入力パルス間隔測定としての動作

TI0n有効エッジでカウント値をキャプチャし、TI0n入力パルスの間隔を測定することができます。パルス間隔は次の式で求めることができます。

$$\text{TI0n入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSR0n:OVF}) + (\text{TDR0nのキャプチャ値} + 1))$$

注意 TI0n端子入力は、タイマ・モード・レジスタ0n (TMR0n) のCKS0nビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ0n (TCR0n) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0.n) に1を設定するとTCR0nレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

TI0n端子入力の有効エッジを検出すると、TCR0nレジスタのカウント値をタイマ・データ・レジスタ0n (TDR0n) に転送 (キャプチャ) すると同時に、TCR0nレジスタを0000Hにクリアして、INTTM0nを出力します。このとき、カウンタのオーバーフローが発生していたら、タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を継続します。

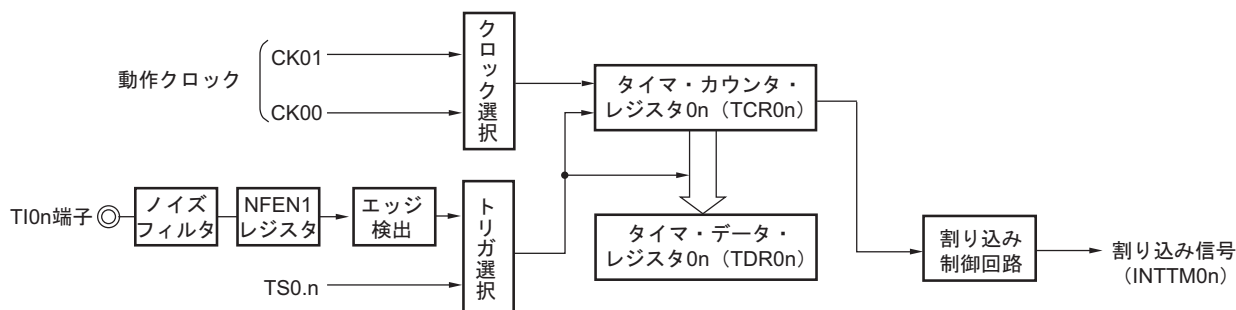
カウント値がTDR0nレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSR0nレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSR0nレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMR0nレジスタのSTS0n2-STS0n0 = 001Bに設定して、TI0n有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

TE0.n = 1のときは、TI0n端子入力を使用せずに、ソフトウェア操作 (TS0.n = 1) をキャプチャ・トリガにすることもできます。

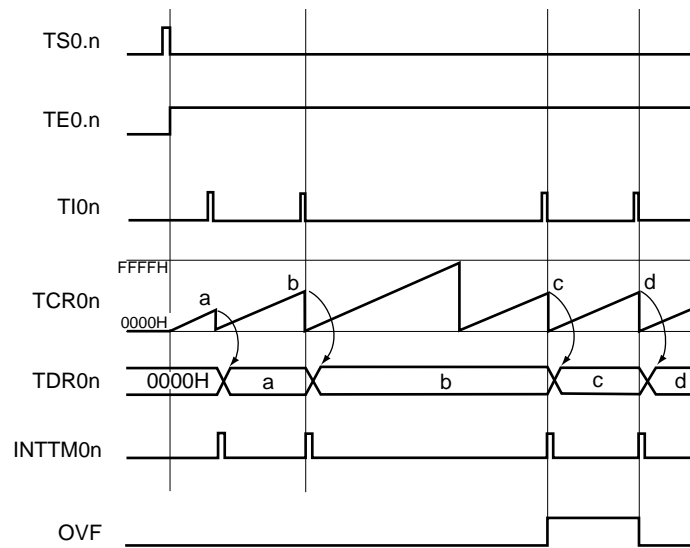
図6 - 60 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CK00, CK01, CK02, CK03からクロックを選択できます。

備考 n : チャンネル番号 (n = 0-7)

図6 - 61 入力パルス間隔測定としての動作の基本タイミング例 (MD0n0 = 0)

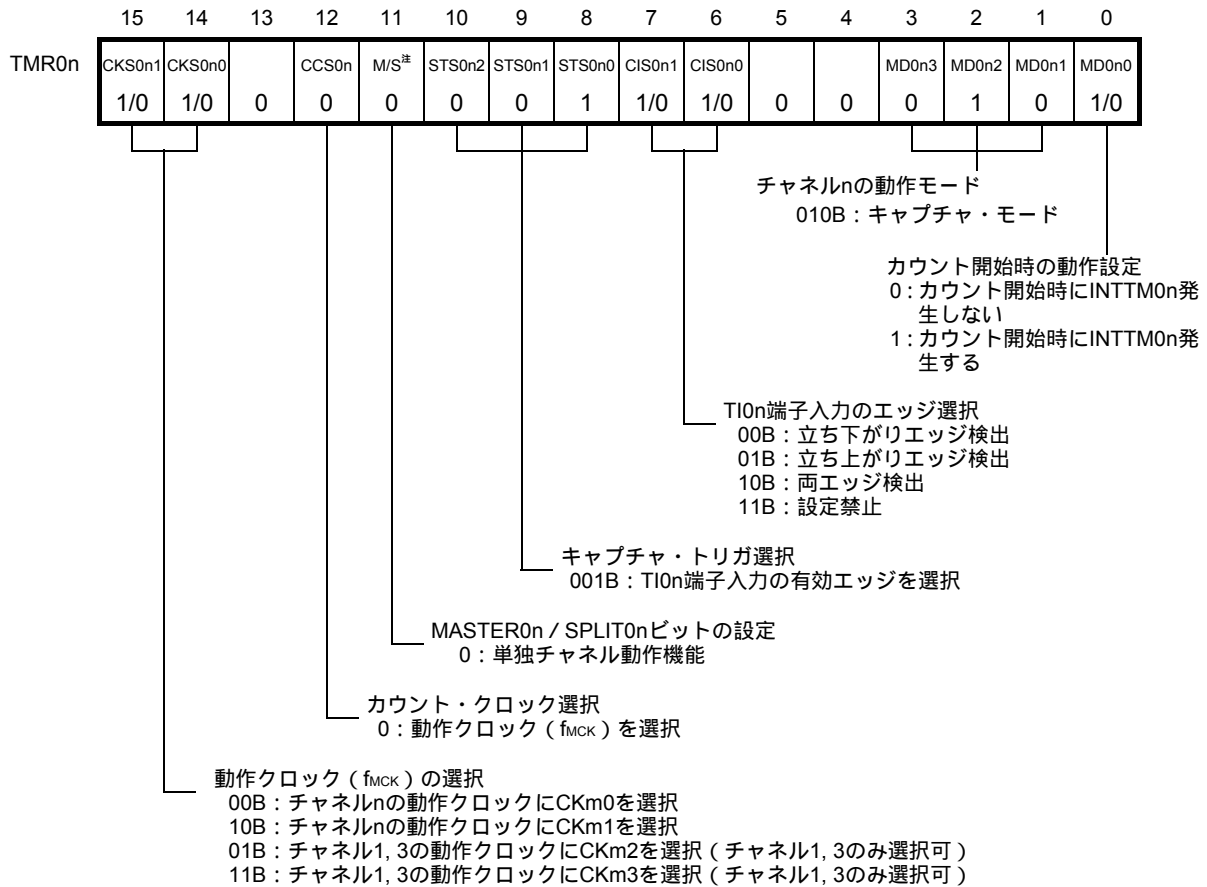


備考1. n : チャネル番号 (n = 0-7)

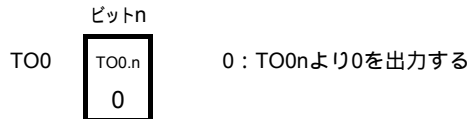
2. TS0.n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0.n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)
- OVF : タイマ・ステータス・レジスタ0n (TSR0n) のビット0

図6 - 62 入力パルス間隔測定時のレジスタ設定内容例

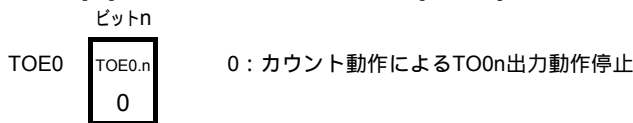
(a) タイマ・モード・レジスタ0n (TMR0n)



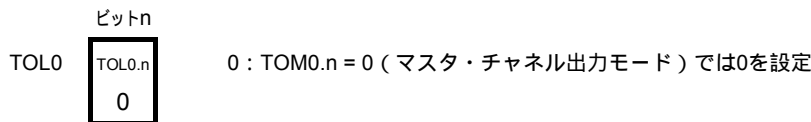
(b) タイマ出力レジスタ0 (TO0)



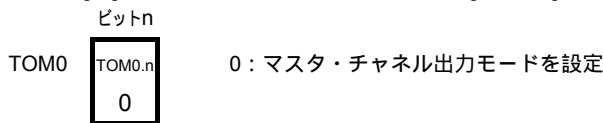
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



注 TMR00, TMR02, TMR04-TMR07の場合 : MASTER0nビット

TMR01, TMR03の場合 : SPLIT0nビット

備考 n : チャネル番号 (n = 0-7)

図6 - 63 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0のTAU0ENビットに1を設定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00-CK03のクロック周波数を確定する	
チャ ネル 初期 設定	タイマ・モード・レジスタ0n (TMR0n) を設定する (チャネルの動作モード確定)	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TS0.nビットに1を設定する TS0.nビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n = 1になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタ0n (TCR0n) を0000Hにクリアする。TMR0nレジスタのMD0n0ビットが1の場合は, INTTM0nを発生する。
	動作 中	TMR0nレジスタは, CIS0n1, CIS0n0ビットのみ設定値変更可能 TDR0nレジスタは, 常に読み出し可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 常に読み出し可能 TOM0n, TOL0.n, TO0.n, TOE0.nビットは, 設定値変更禁止
動作 停止	TT0.nビットに1を設定する TT0.nビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n = 0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

動作再開

備考 n : チャネル番号 (n = 0-7)

6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット1 (ISC.1) を1に設定してください。また、以降の説明では「TI0n」を「RxD2」と読み替えてください。

TI0n端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TI0nの信号幅 (ハイ・レベル幅/ロウ・レベル幅) を測定することができます。TI0nの信号幅は次の式で求めることができます。

$$\text{TI0n入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSR0n:OVF}) + (\text{TDR0nのキャプチャ値} + 1))$$

注意 TI0n端子入力は、タイマ・モード・レジスタ0n (TMR0n) のCKS0nビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ0n (TCR0n) はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0.n) に1を設定すると、TE0.n = 1となりTI0n端子のスタート・エッジ検出待ち状態となります。

TI0n端子入力のスタート・エッジ (ハイ・レベル幅測定ならTI0n端子入力の立ち上がりエッジ) を検出すると、カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定ならTI0n端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタ0n (TDR0n) に転送すると同時にINTTM0nを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。TCR0nレジスタは、「TDR0nレジスタに転送した値 + 1」の値で停止し、TI0n端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDR0nレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSR0nレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSR0nレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

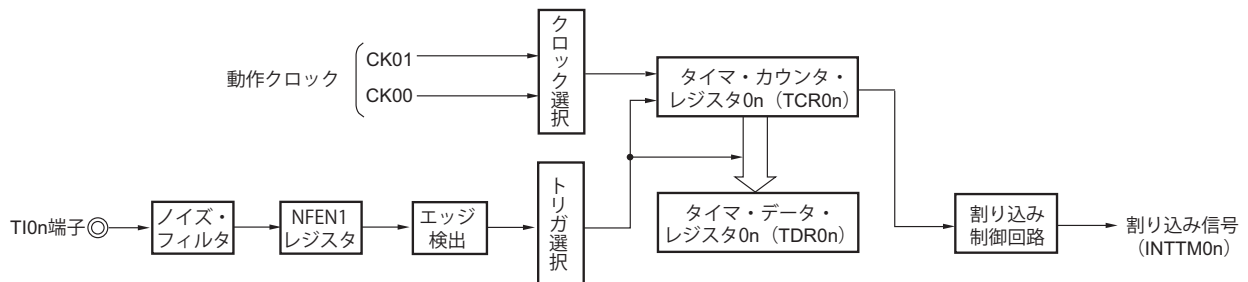
TI0n端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMR0nレジスタのCIS0n1, CIS0n0ビットにて設定することができます。

この機能は、TI0n端子入力の信号幅測定を目的とするため、TE0.n = 1期間中のTS0.nビットのセット (1) は使用できません。

TMR0nレジスタのCIS0n1, CIS0n0 = 10B : ロウ・レベル幅を測定する

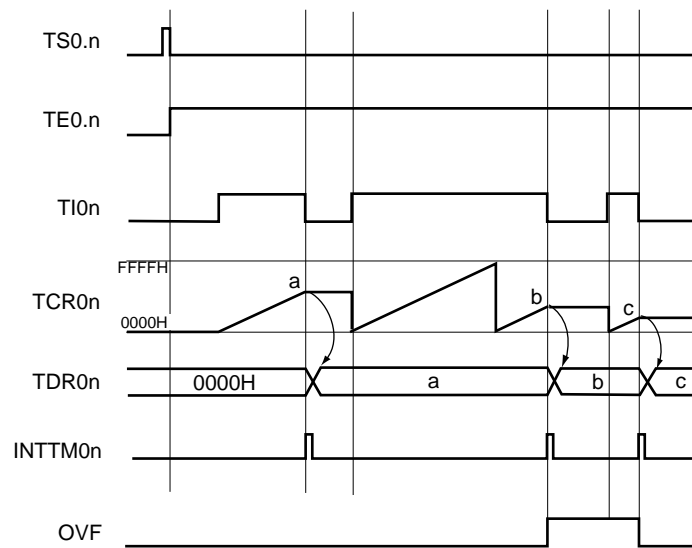
TMR0nレジスタのCIS0n1, CIS0n0 = 11B : ハイ・レベル幅を測定する

図6 - 64 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1,3の場合は、CK00, CK01, CK02, CK03からクロックを選択できます。

図6 - 65 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例

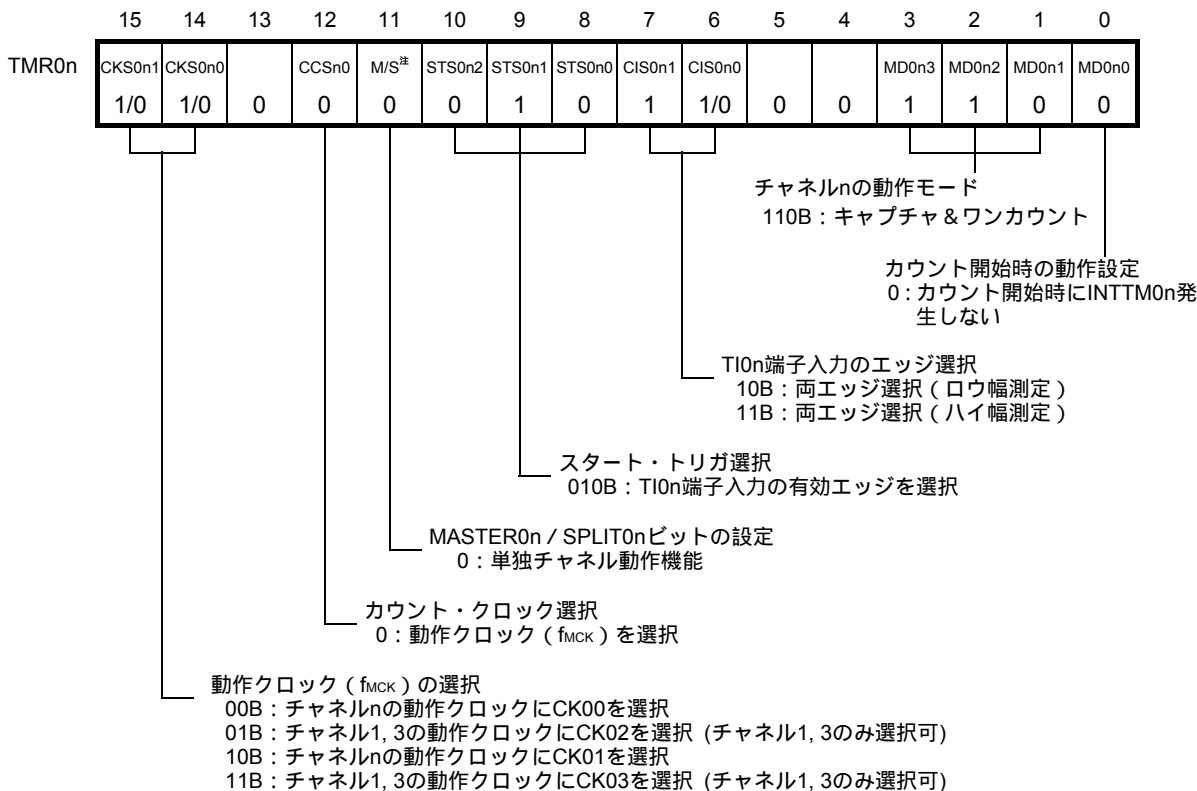


備考1. n : チャンネル番号 (n = 0-7)

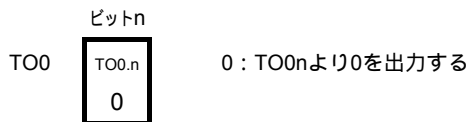
2. TS0.n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0.n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)
- OVF : タイマ・ステータス・レジスタ0n (TSR0n) のビット0

図6 - 66 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

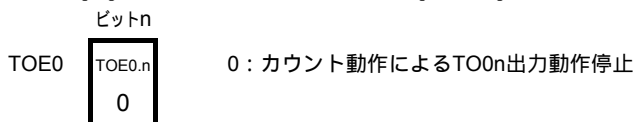
(a) タイマ・モード・レジスタ0n (TMR0n)



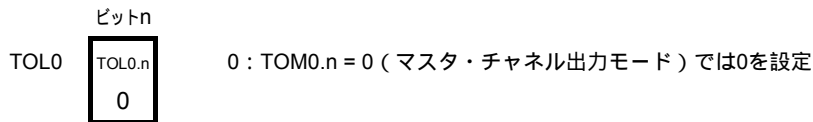
(b) タイマ出力レジスタ0 (TO0)



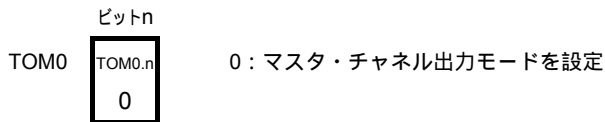
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



注 TMR00, TMR02, TMR04-TMR07の場合 : MASTER0nビット

TMR01, TMR03の場合 : SPLIT0nビット

備考 n : チャネル番号 (n = 0-7)

図6 - 67 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00-CK03のクロック周波数を確定する	
チャ ネル 初期 設定	タイマ・モード・レジスタ0n (TMR0n) を設定する (チャネルの動作モード確定) TOE0.nビットに0を設定し, TO0nの動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TS0.nビットに1を設定する TS0.nビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n = 1になり, TI0n端子のスタート・エッジ検出待ち状態になる
	TI0n端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタ0n (TCR0n) を0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない TMR0nレジスタ, TOM0.n, TOL0.n, TO0.n, TOE0.nビットは, 設定値変更禁止	TI0n端子のスタート・エッジ検出後, カウンタ (TCR0n) は0000Hからアップ・カウント動作を行う。TI0n端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタ0n (TDR0n) に転送し, INTTM0nを発生する。このときオーバフローが発生していたら, タイマ・ステータス・レジスタ0n (TSR0n) のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCR0nレジスタは, 次のTI0n端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TT0.nビットに1を設定する TT0.nビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n = 0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

動作再開

備考 n : チャネル番号 (n = 0-7)

6.7.6 デレイ・カウンタとしての動作

TI0n端子入力の有効エッジ検出(外部イベント)でダウン・カウントをスタートし、任意の設定間隔でINTTM0n(タイマ割り込み)を発生することができます。

また、TE0n = 1の期間中に、ソフトウェアでTS0n = 1に設定してダウン・カウントをスタートし、任意の設定間隔でINTTM0n(タイマ割り込み)を発生することもできます。

割り込み発生周期は、次の式で求める事ができます。

$$\text{INTTM0n (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR0nの設定値} + 1)$$

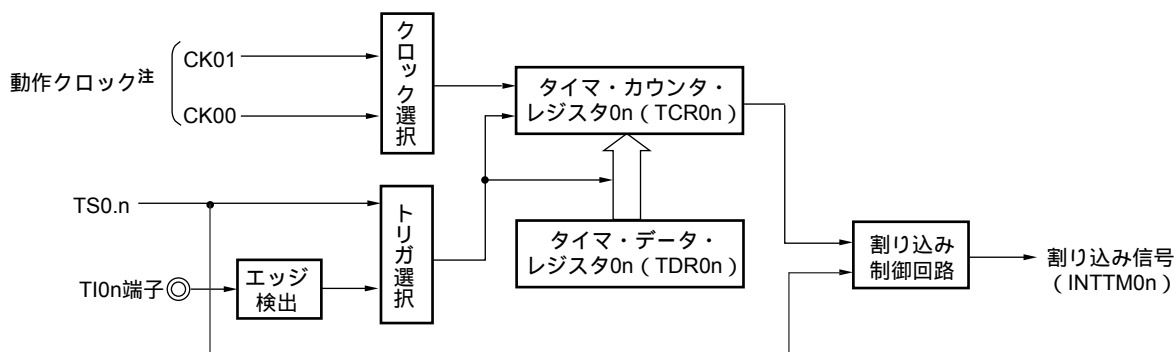
タイマ・カウンタ・レジスタ0n (TCR0n) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0.n, TSH01, TSH03) に1を設定すると、TE0.n, TEH01, TEH03 = 1となりTI0n端子の有効エッジ検出待ち状態となります。

TCR0nレジスタは、TI0n端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ0n (TDR0n) から値をロードします。TCR0nレジスタはロードしたTDR0nレジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR0n = 0000HとなったらINTTM0nを出力し、次のTI0n端子入力の有効エッジがあるまで、カウントを停止します。

TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は、次の周期から有効となります。

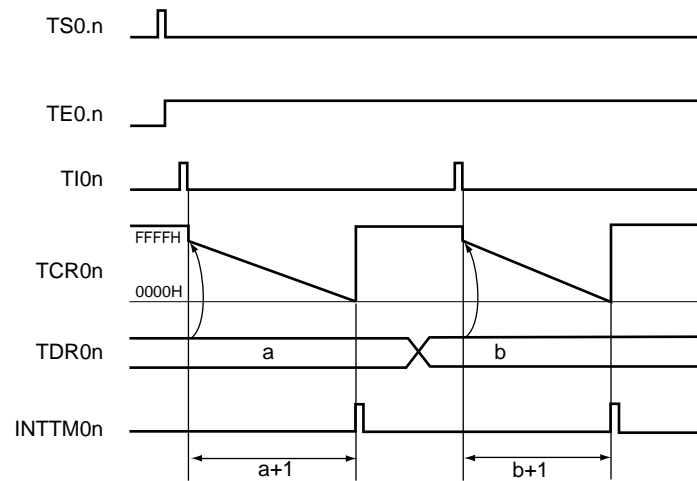
図6 - 68 デレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK00, CK01, CK02, CK03からクロックを選択できます。

備考 n : チャンネル番号 (n = 0-7)

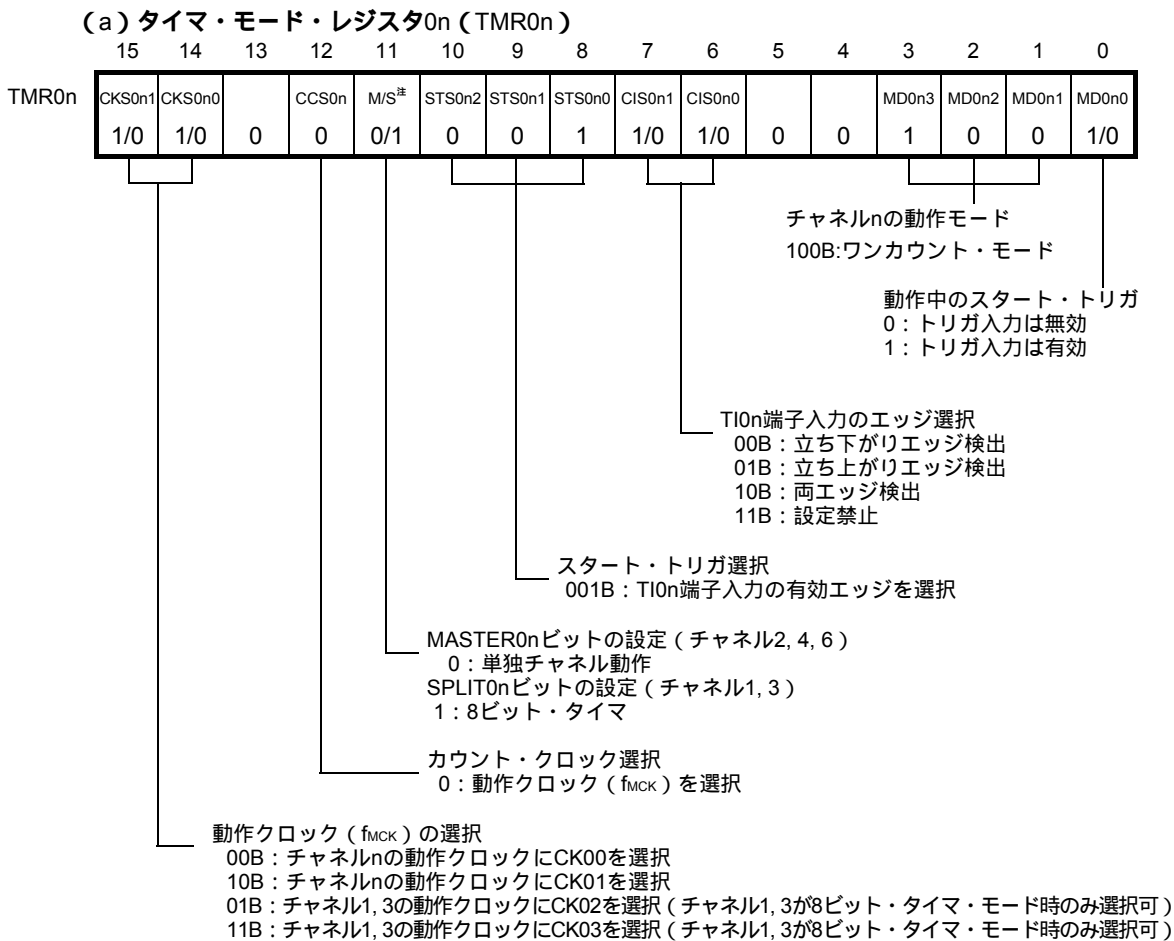
図6 - 69 デレイ・カウンタとしての動作の基本タイミング例



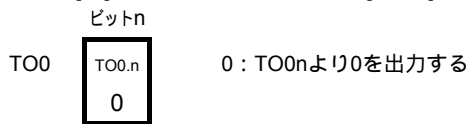
備考1. n : チャネル番号 (n = 0-7)

2. TS0.n : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TE0.n : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TI0n : TI0n端子入力信号
- TCR0n : タイマ・カウンタ・レジスタ0n (TCR0n)
- TDR0n : タイマ・データ・レジスタ0n (TDR0n)

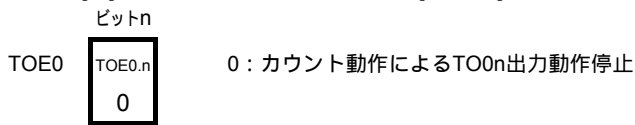
図6-70 デイレイ・カウンタ機能時のレジスタ設定内容例



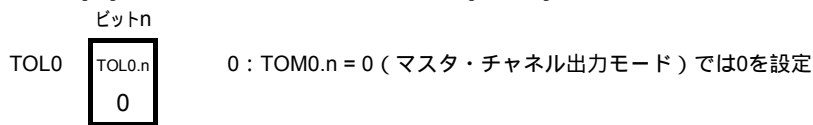
(b) タイマ出力レジスタ0 (TO0)



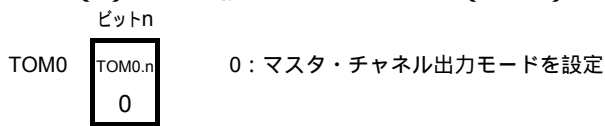
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



注 TMR00, TMR02, TMR04-TMR07の場合 : MASTER0nビット

TMR01, TMR03の場合 : SPLIT0nビット

備考 n : チャンネル番号 (n = 0-7)

図6 - 71 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01 (8ビット・タイマ・モード時は, CK02とCK03) のクロック周波数を確定する	
チャ ネル 初期 設定	タイマ・モード・レジスタ0n (TMR0n) を設定する (チャネルnの動作モード確定) タイマ・データ・レジスタ0n (TDR0n) に遅延時間を設定する TOE0.nビットに0を設定し, TO0nの動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TS0.n (TSH01, TSH03) ビットに1を設定する TS0.n (TSH01, TSH03) ビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n (TEH01, TEH03) = 1になり, TI0n端子入力の有効エッジ検出待ち状態になる
	TI0n端子入力の有効エッジ検出	タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードする。
動作 中	TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない	カウンタ (TCR0n) はダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0n出力を発生し, 次のTI0n端子入力までTCR0n = 0000Hでカウント動作を停止する。
動作 停止	TT0.n (TTH01, TTH03) ビットに1を設定する TT0.n (TTH01, TTH03) ビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n (TEH01, TEH03) = 0になり, カウント動作停止 TCR0nレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

動作再開

備考 n : チャネル番号 (n = 0-7)

6.8 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.8.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TI0n端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{ \text{TDR0n (マスタ) の設定値} + 2 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{ \text{TDR0p (スレーブ) の設定値} \} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ0n (TCR0n) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ0n (TDR0n) から値をロードします。TCR0nレジスタはロードしたTDR0nレジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR0n = 0000HとなったらINTTM0nを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルのTCR0pレジスタは、マスタ・チャネルのINTTM0nをスタート・トリガとして動作を開始し、TDR0pレジスタから値をロードします。TCR0pレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTM0pを出力して、次のスタート・トリガ (マスタ・チャネルのINTTM0n) 検出があるまで、カウントを停止します。TO0pの出力レベルは、マスタ・チャネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0p = 0000Hとなったらインアクティブ・レベルとなります。

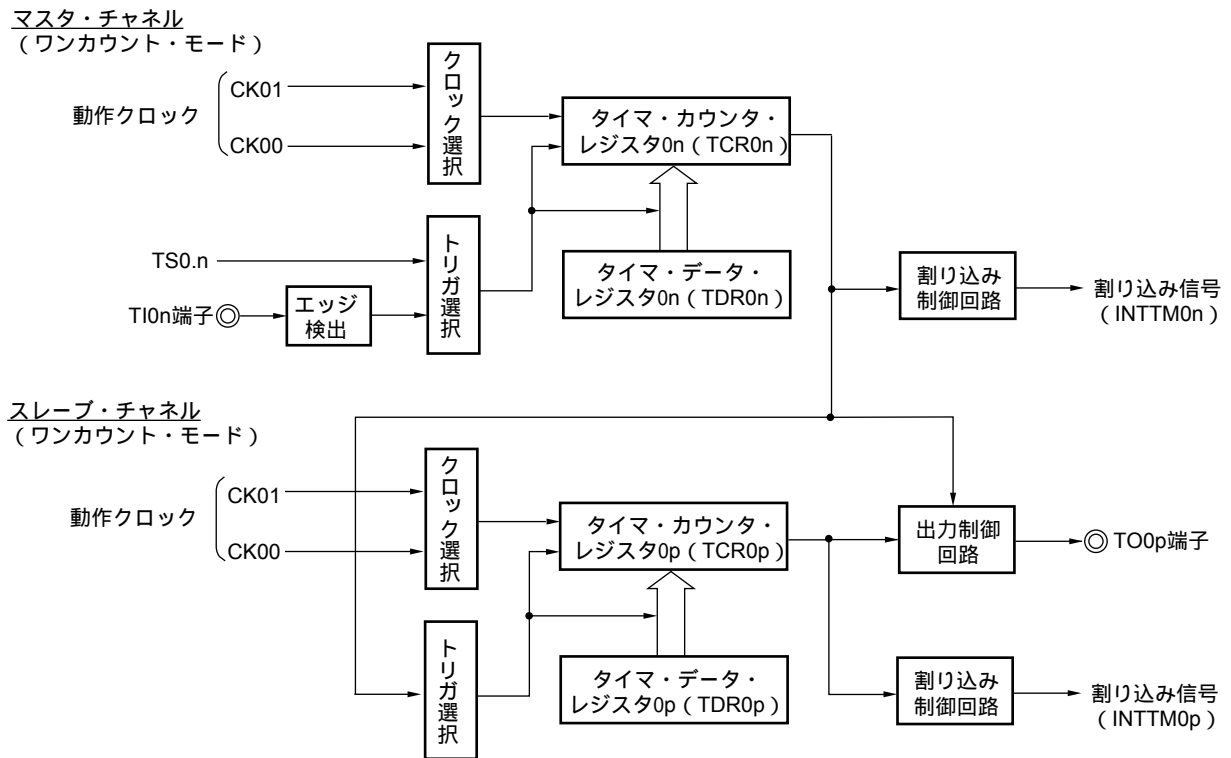
ワンショット・パルス出力は、TI0n端子入力を使用せず、ソフトウェア操作 (TS0.n = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルのタイマ・データ・レジスタ0n (TDR0n) とスレーブ・チャネルのTDR0pレジスタでは、ロード・タイミングが異なるため、動作中にTDR0nレジスタ、TDR0pレジスタを書き換えると不正波形が出力されます。TDR0nレジスタはINTTM0n発生後に、TDR0pレジスタはINTTM0p発生後に書き換えてください。

備考 n : マスタ・チャネル番号 (n = 0, 2, 4, 6)

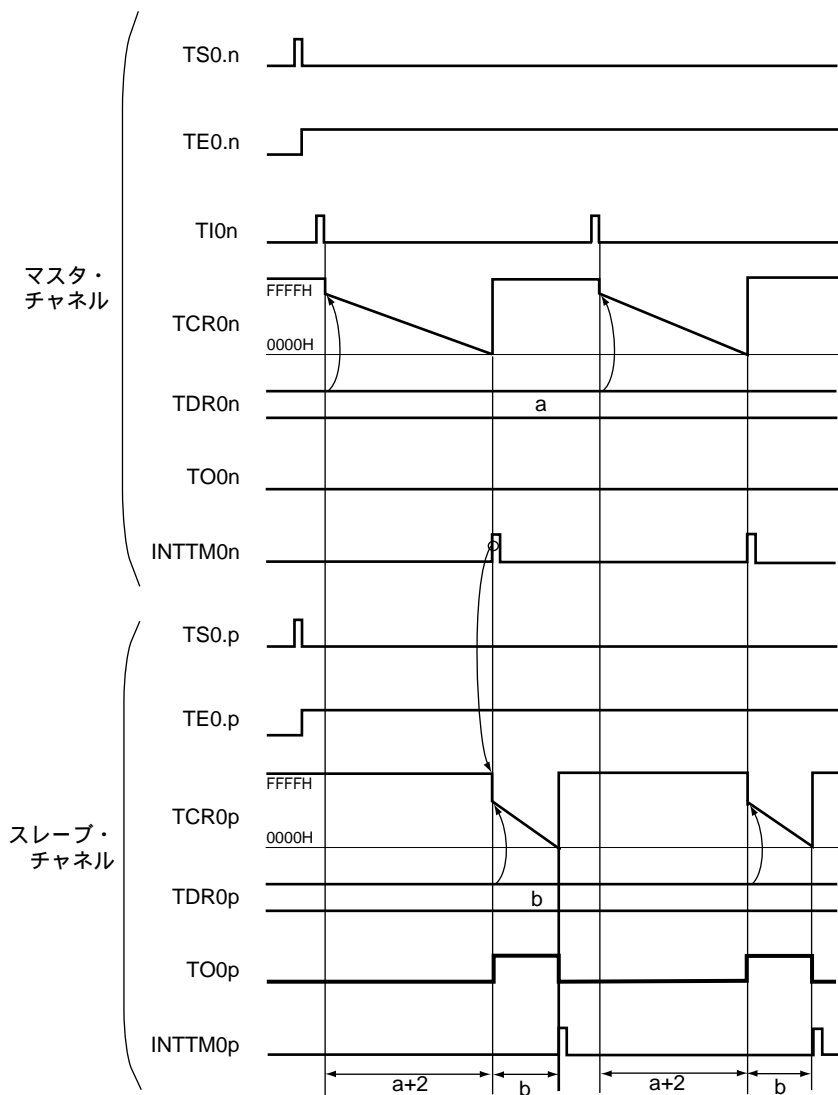
p : スレーブ・チャネル番号 (n < p - 7)

図6 - 72 ワンショット・パルス出力機能としての動作のブロック図



備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p < 7)

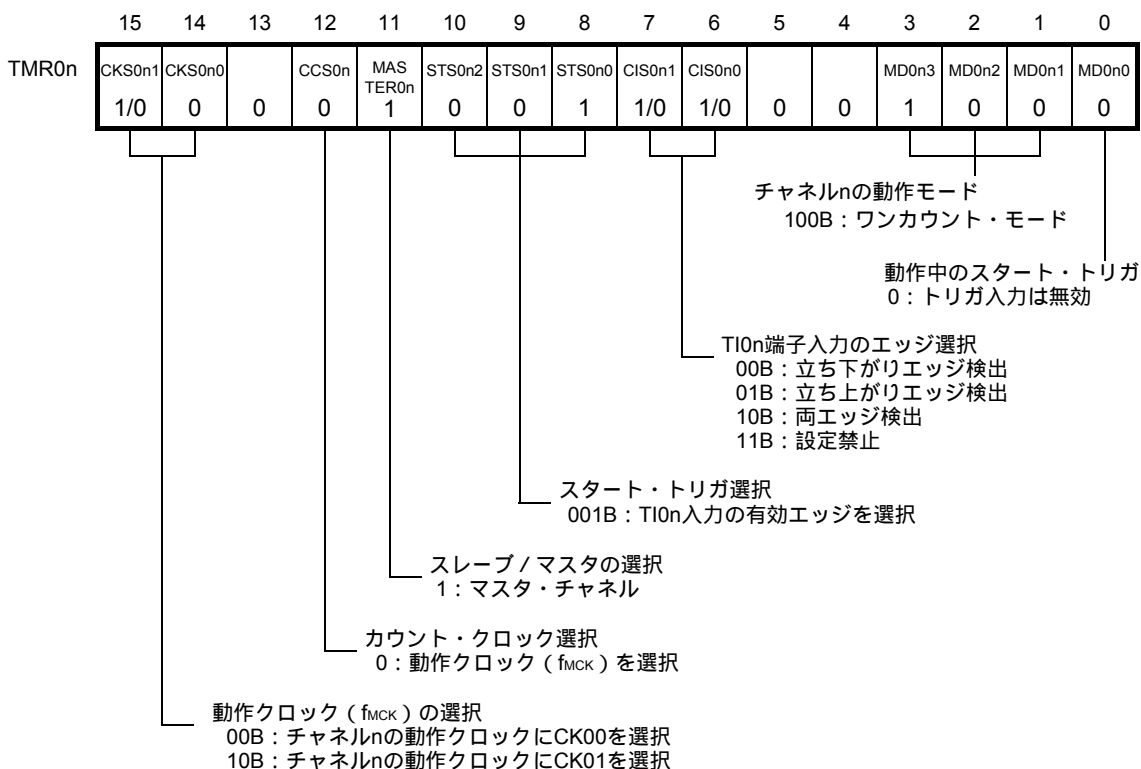
図6 - 73 ワンショット・パルス出力機能としての動作の基本タイミング例



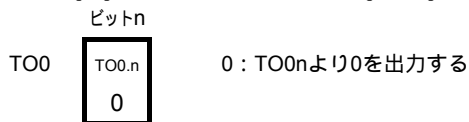
- 備考1. n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p - 7)
2. TS0.n, TS0.p : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, p
 TE0.n, TE0.p : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, p
 TI0.n, TI0.p : TI0n, TI0p端子入力信号
 TCR0.n, TCR0.p : タイマ・カウンタ・レジスタ0n, 0p (TCR0n, TCR0p)
 TDR0.n, TDR0.p : タイマ・データ・レジスタ0n, 0p (TDR0n, TDR0p)
 TO0.n, TO0.p : TO0n, TO0p端子出力信号

図6-74 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

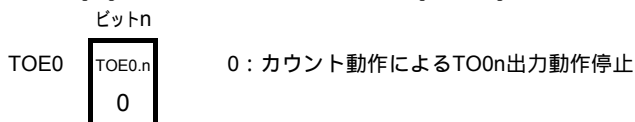
(a) タイマ・モード・レジスタ0n (TMR0n)



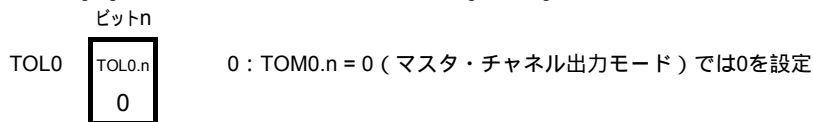
(b) タイマ出力レジスタ0 (TO0)



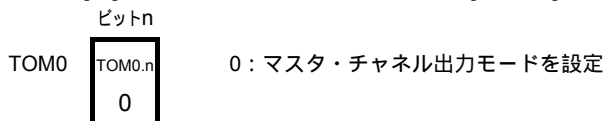
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



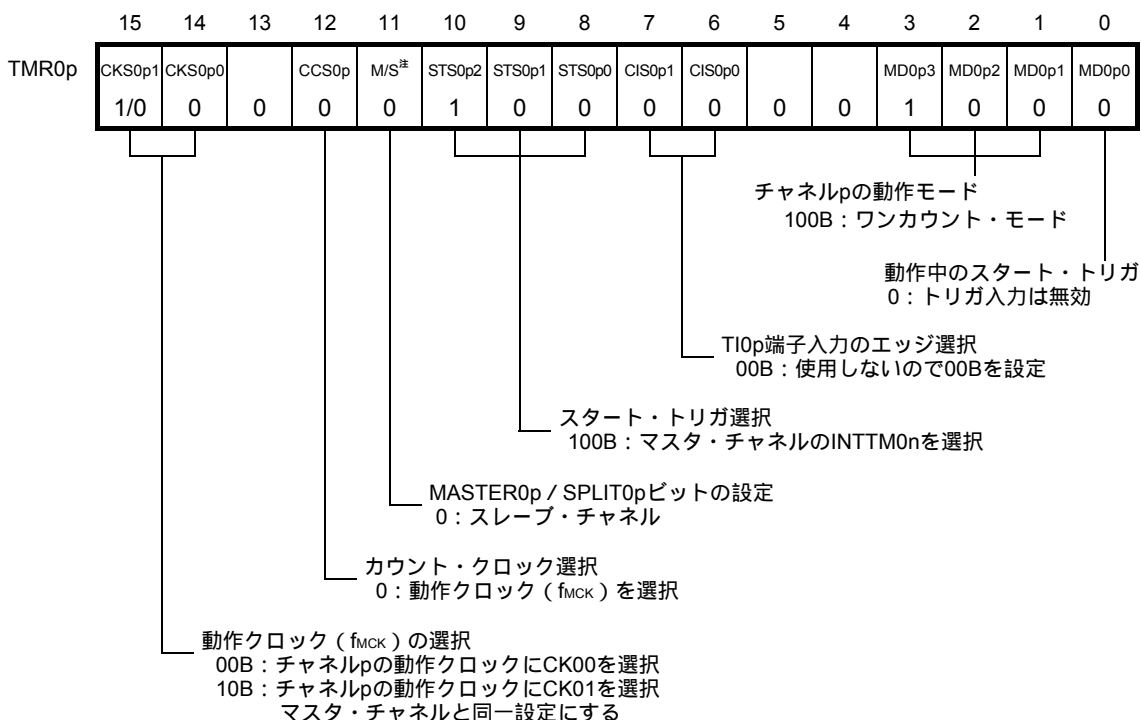
(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図6-75 ワンショット・パルス出力機能時(スレーブ・チャンネル)のレジスタ設定内容例

(a) タイマ・モード・レジスタ0p (TMR0p)



(b) タイマ出力レジスタ0 (TO0)

	ビットp	
TO0	TO0.p 1/0	0: TO0pより0を出力する 1: TO0pより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットp	
TOE0	TOE0.p 1/0	0: カウント動作によるTO0p出力動作停止 1: カウント動作によるTO0p出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットp	
TOL0	TOL0.p 1/0	0: 正論理出力 (アクティブ・ハイ) 1: 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)

	ビットp	
TOM0	TOM0.p 1	1: スレーブ・チャンネル出力モードを設定

注 TMR05, TMR07の場合: MASTER0pビット

TMR01, TMR03の場合: SPLIT0pビット

備考 n: マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p: スレーブ・チャンネル番号 (n < p < 7)

図6-76 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	<p>周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する</p> <p>タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01のクロック周波数を確定する</p>	<p>パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)</p> <p>パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)</p>
チャ ネル 初期 設定	<p>使用する2チャンネルのタイマ・モード・レジスタ0n, 0p (TMR0n, TMR0p) を設定する (チャンネルの動作モード確定)</p> <p>マスタ・チャンネルのタイマ・データ・レジスタ0n (TDR0n) に出力遅延時間, スレーブ・チャンネルのTDR0pレジスタにパルス幅を設定する</p> <p>スレーブ・チャンネルの設定 タイマ出力モード・レジスタ0 (TOM0) のTOM0.pビットに1 (スレーブ・チャンネル出力モード) を設定する TOL0.pビットを設定する TO0.pビットを設定し, TO0p出力の初期レベルを確定する</p> <p>TOE0.pビットに1を設定し, TO0pの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する</p>	<p>チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)</p> <p>TO0p端子はHi-Z出力状態</p> <p>ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0p初期設定レベルが出力される。</p> <p>チャンネルは動作停止状態なので, TO0pは変化しない</p> <p>TO0p端子はTO0p設定レベルを出力</p>

(注, 備考は次ページにあります。)

図6-76 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOE0.p (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ0 (TS0) のTS0.n (マスタ), TS0.p (スレーブ) ビットに同時に1を設定する TS0.n, TS0.pビットはトリガ・ビットなので、自動的に0に戻る	TE0.n = 1, TE0.p = 1となり、マスタ・チャンネルはTI0n入力のエッジ検出待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのTI0n端子入力の有効エッジ検出	マスタ・チャンネルがカウント動作開始
	動作中 TMR0nレジスタは,CIS0n1, CIS0n0ビットのみ設定値変更可能 ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) の対応するビットに1を設定する。 TMR0p, TDR0n, TDR0p レジスタ, TOM0.n, TOM0.p, TOL0.n, TOL0.pビットは、設定値変更禁止 TCR0n, TCR0pレジスタは、常に読み出し可能 TSR0n, TSR0pレジスタは、使用しない TO0, TOE0レジスタは、設定値変更可能	マスタ・チャンネルでは、TI0n端子入力の有効エッジが検出されたら、タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし、ダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0n出力を発生し、次のTI0n端子入力までカウント動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTM0nをトリガとして、TCR0pレジスタはTDR0pレジスタの値をロードし、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TT0.n (マスタ), TT0.p (スレーブ) ビットに同時に1を設定する TT0.n, TT0.pビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOE0.pビットに0を設定し,TO0.pビットに値を設定する	TE0.n, TE0.p = 0になり、カウント動作停止 TCR0n, TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず、状態保持 TO0p端子はTO0p設定レベルを出力
TAU停止 TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO0.pビットに0を設定する TO0p端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAU0ENビットに0を設定する	TO0p端子出力レベルはポート機能により保持される。 パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0.pビットが0になり, TO0p端子はポート機能となる)	

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n < p 7)

6.8.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{ \text{TDR0p (スレーブ) の設定値} \} / \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times 100 \\ 0 \% \text{出力} &: \text{TDR0p (スレーブ) の設定値} = 0000\text{H} \\ 100 \% \text{出力} &: \text{TDR0p (スレーブ) の設定値} = \{ \text{TDR0n (マスタ) の設定値} + 1 \} \end{aligned}$$

備考 TDR0p (スレーブの設定値) > { TDR0n (マスタ) の設定値 + 1 } の場合は、デューティ値が100 % を越えますが、集約して100 %出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TS0.n) に1を設定すると、割り込み (INTTM0n) を出力して、タイマ・データ・レジスタ0n (TDR0n) に設定した値をタイマ・カウンタ・レジスタ0n (TCR0n) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTM0n を出力して、再びTDR0nレジスタからTCR0nレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ0 (TT0) のチャンネル・ストップ・トリガ・ビット (TT0.n) に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TO0p) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTM0nをスタート・トリガとして、TDR0pレジスタからTCR0pレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTM0pを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTM0n) が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TO0p) のデューティとなります。

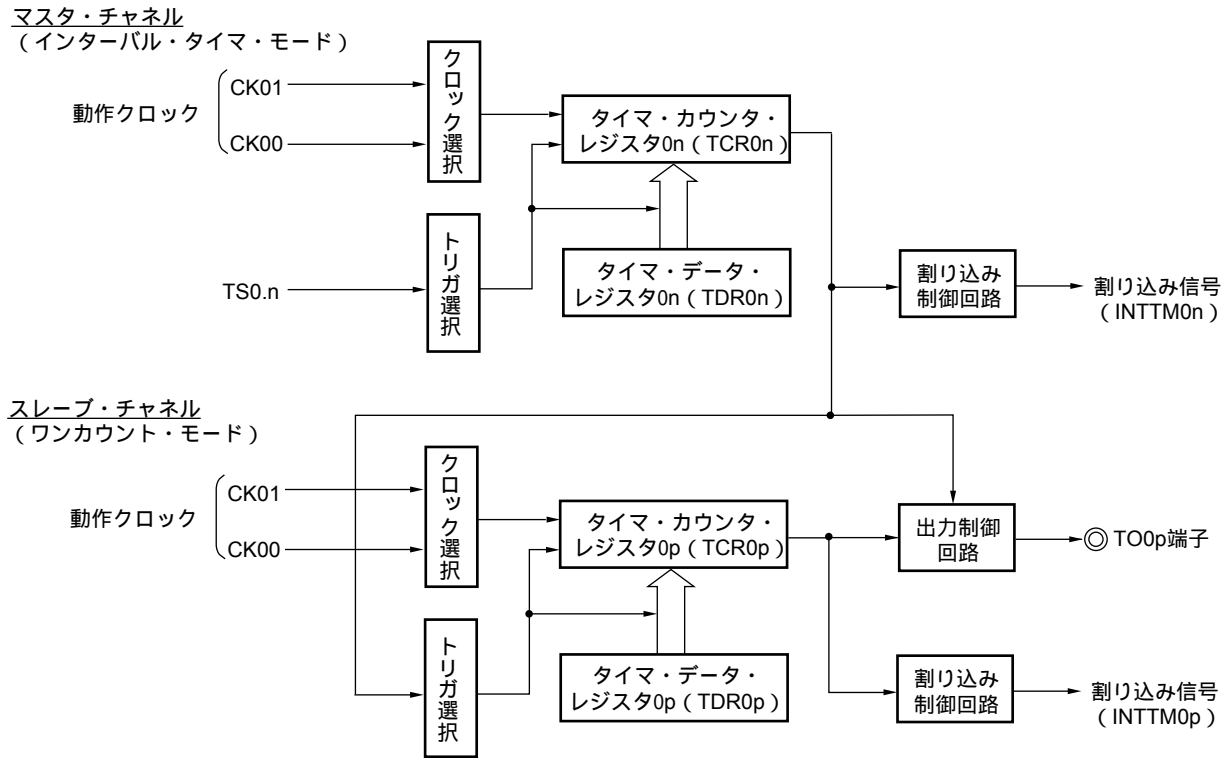
PWM出力 (TO0p) は、マスタ・チャンネルのINTTM0n発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCR0pレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ0n (TDR0n) とスレーブ・チャンネルのTDR0pレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCR0n, TCR0pレジスタにTDR0n, TDR0pレジスタの値がロードされるのは、マスタ・チャンネルのINTTM0n発生時となります。そのため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0p端子は期待通りの波形を出力できません。したがって、マスタのTDR0nレジスタとスレーブのTDR0pレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTM0n発生直後に両方のレジスタを書き換えてください。

備考 n: マスタ・チャンネル番号 (n = 0, 2, 4, 6)

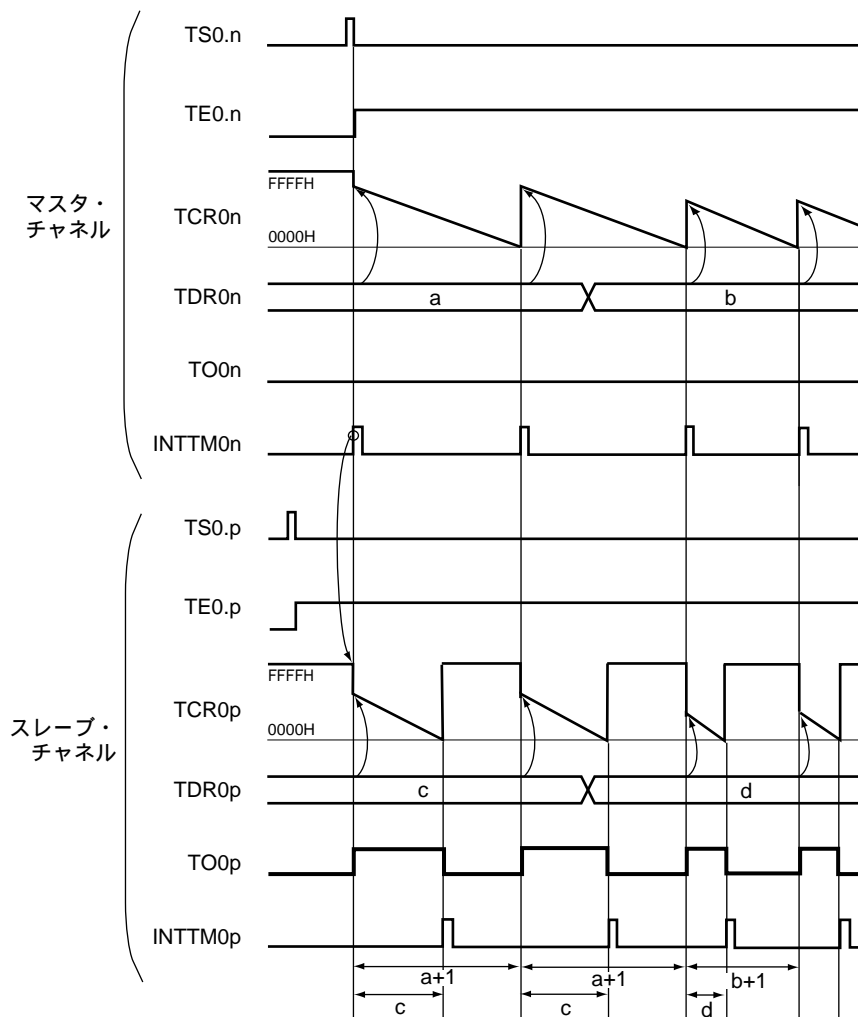
p: スレーブ・チャンネル番号 (n < p < 7)

図6 - 77 PWM機能としての動作のブロック図



備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p < 7)

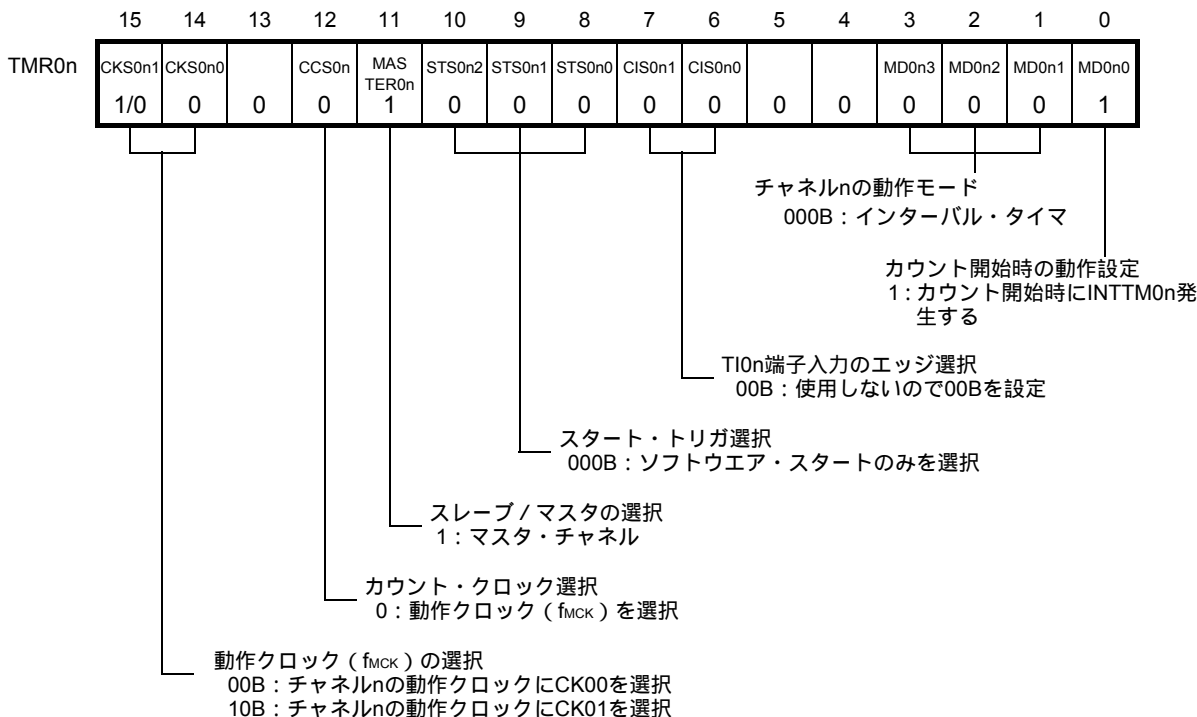
図6-78 PWM機能としての動作の基本タイミング例



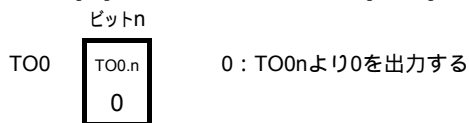
- 備考1.** n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p < 7)
2. TS0.n, TS0.p : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, p
 TE0.n, TE0.p : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, p
 TCR0n, TCR0p : タイマ・カウンタ・レジスタ0n, 0p (TCR0n, TCR0p)
 TDR0n, TDR0p : タイマ・データ・レジスタ0n, 0p (TDR0n, TDR0p)
 TO0n, TO0p : TO0n, TO0p端子出力信号

図6-79 PWM機能時(マスタ・チャンネル)のレジスタ設定内容例

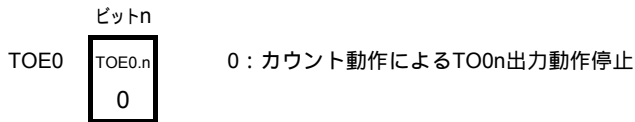
(a) タイマ・モード・レジスタ0n (TMR0n)



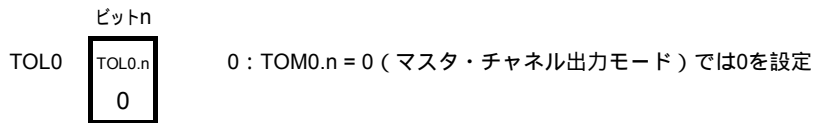
(b) タイマ出力レジスタ0 (TO0)



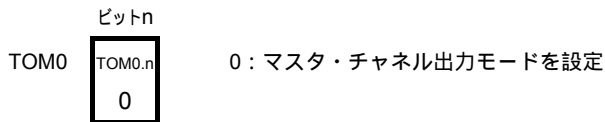
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



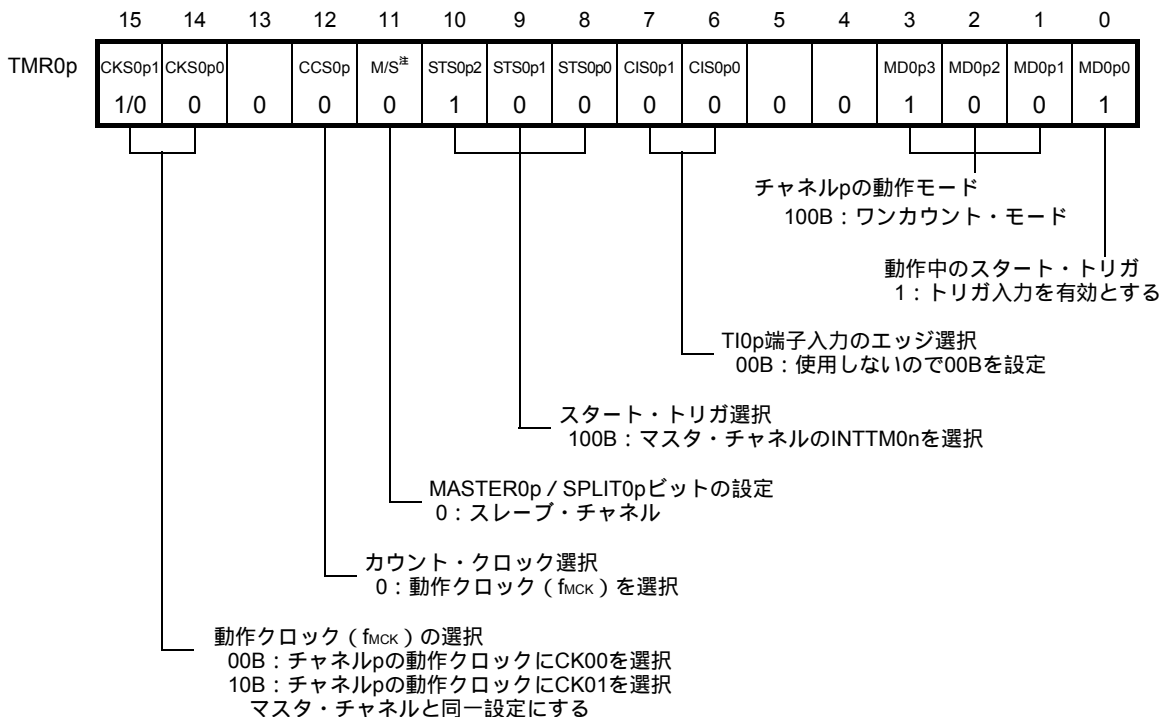
(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図6 - 80 PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタ0p (TMR0p)



(b) タイマ出力レジスタ0 (TO0)

	ビットp	
TO0	TO0.p	0 : TO0pより0を出力
	1/0	1 : TO0pより1を出力

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットp	
TOE0	TOE0.p	0 : カウント動作によるTO0p出力動作停止
	1/0	1 : カウント動作によるTO0p出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットp	
TOL0	TOL0.p	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1 : 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)

	ビットp	
TOM0	TOM0.p	1 : スレーブ・チャンネル出力モードを設定
	1	

注 TMR05, TMR07の場合 : MASTER0pビット

TMR01, TMR03の場合 : SPLIT0pビット

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p < 7)

図6 - 81 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのタイマ・モード・レジスタ0n, 0p (TMR0n, TMR0p) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタ0n (TDR0n) にインターバル (周期) 値, スレーブ・チャンネルのTDR0p レジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタ0 (TOM0) のTOM0.pビットに1 (スレーブ・チャンネル出力モード) を設定する TOL0.pビットを設定する TO0.pビットを設定し, TO0p出力の初期レベルを確定する TOE0.pビットに1を設定し, TO0pの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO0p端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0p初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO0pは変化しない TO0p端子はTO0p設定レベルを出力

(注, 備考は次ページにあります。)

図6 - 81 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開	動作開始	TOE0.p (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ0(TS0)のTS0.n(マスタ), TS0.p(スレーブ) ビットに同時に1を設定する TS0.n, TS0.pビットはトリガ・ビットなので、自動的に0に戻る	TE0.n = 1, TE0.p = 1となる マスタ・チャンネルがカウント動作開始し, INTTM0nを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中	TMR0n, TMR0pレジスタ, TOM0.n, TOM0.p, TOL0.n, TOL0.pビットは, 設定値変更禁止 TDR0n, TDR0pレジスタは, マスタ・チャンネルのINTTM0n発生後に設定値変更可能 TCR0n, TCR0pレジスタは, 常に読み出し可能 TSR0n, TSR0pレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能	マスタ・チャンネルでは, タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし, ダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生する。同時に, TCR0nレジスタはTDR0nレジスタの値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTM0nをトリガとして, TCR0pレジスタはTDR0pレジスタの値をロードし, カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 以降, この動作を繰り返す。
	動作停止	TT0.n (マスタ), TT0.p (スレーブ) ビットに同時に1を設定する TT0.n, TT0.pビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOE0.pビットに0を設定し, TO0.pビットに値を設定する	TE0.n, TE0.p = 0になり, カウント動作停止 TCR0n, TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず, 状態保持 TO0p端子はTO0p設定レベルを出力
	TAU停止	TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO0.pビットに0を設定する TO0p端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAU0ENビットに0を設定する	TO0p端子出力レベルはポート機能により保持される。 パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO0.pビットが0になり, TO0p端子はポート機能となる)

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n < p 7)

6.8.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{ \text{TDR0p (スレーブ1) の設定値} \} / \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times 100 \\ \text{デューティ2 [\%]} &= \{ \text{TDR0q (スレーブ2) の設定値} \} / \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times 100 \end{aligned}$$

備考 TDR0p (スレーブ1) の設定値 > { TDR0n (マスタ) の設定値 + 1 } の場合
または TDR0q (スレーブ2) の設定値 > { TDR0n (マスタ) の設定値 + 1 } の場合は、
デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ0n (TCR0n) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCR0pレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TO0p端子よりPWM波形を出力します。TCR0pレジスタは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、タイマ・データ・レジスタ0p (TDR0p) の値をロードし、ダウン・カウントを行います。TCR0p = 0000Hとなったら、INTTM0pを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTM0n) が入力されるまでカウントを停止します。TO0pの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0p = 0000Hとなったらインアクティブ・レベルとなります。

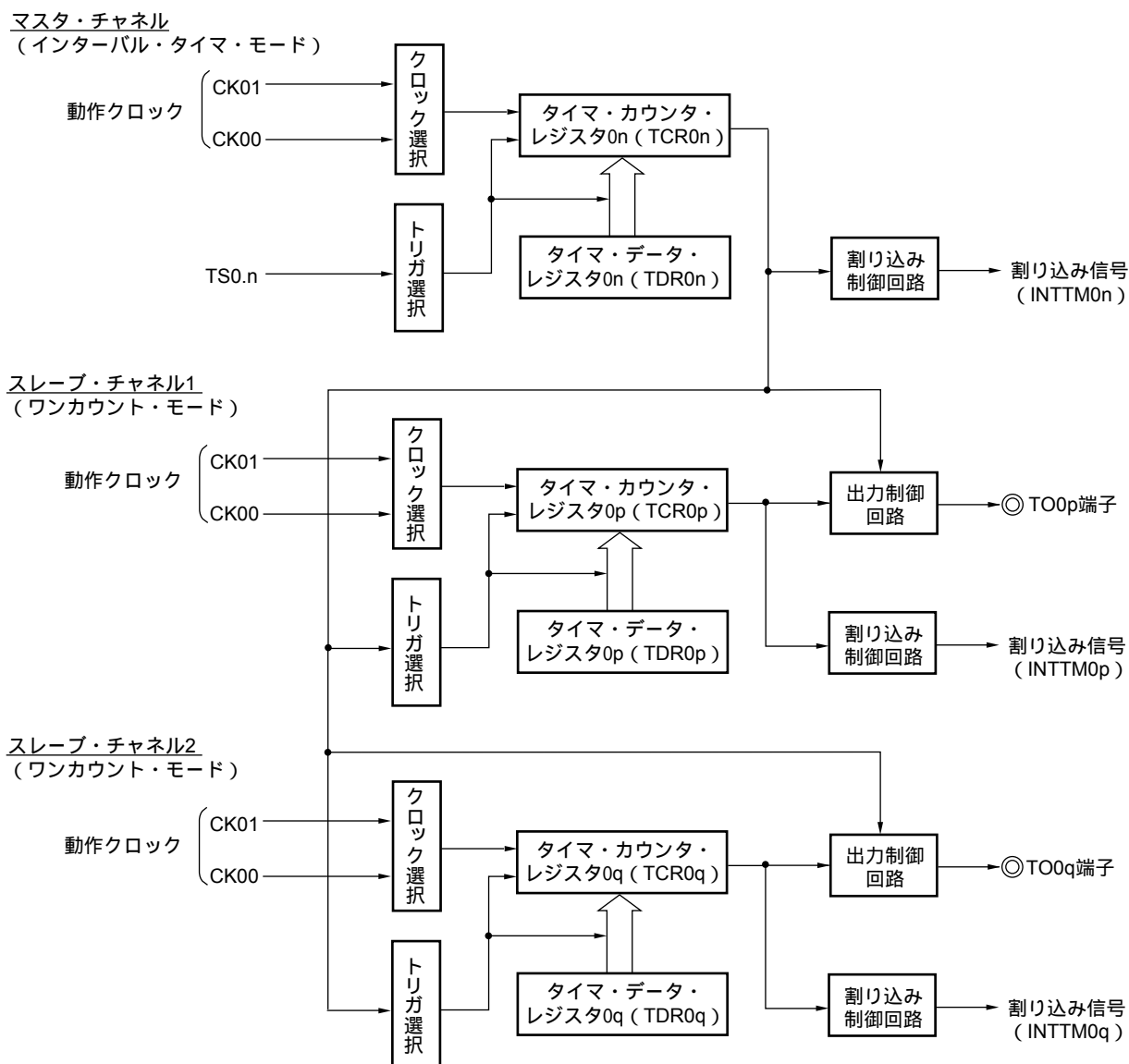
スレーブ・チャンネル2のTCR0qレジスタも、スレーブ・チャンネル1のTCR0pレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TO0q端子よりPWM波形を出力します。TCR0qレジスタは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、TDR0qレジスタの値をロードし、ダウン・カウントを行います。TCR0q = 0000Hとなったら、INTTM0qを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTM0n) が入力されるまでカウントを停止します。TO0qの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0q = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

注意 マスタ・チャンネルのタイマ・データ・レジスタ0n (TDR0n) とスレーブ・チャンネル1のTDR0pレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCR0n, TCR0pレジスタにTDR0n, TDR0pレジスタの値をロードするのは、マスタ・チャンネルのINTTM0n発生後となるため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0p端子は、期待通りの波形を出力できません。したがって、TDR0nレジスタとスレーブのTDR0pレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTM0n発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDR0qレジスタの場合も同様です。)

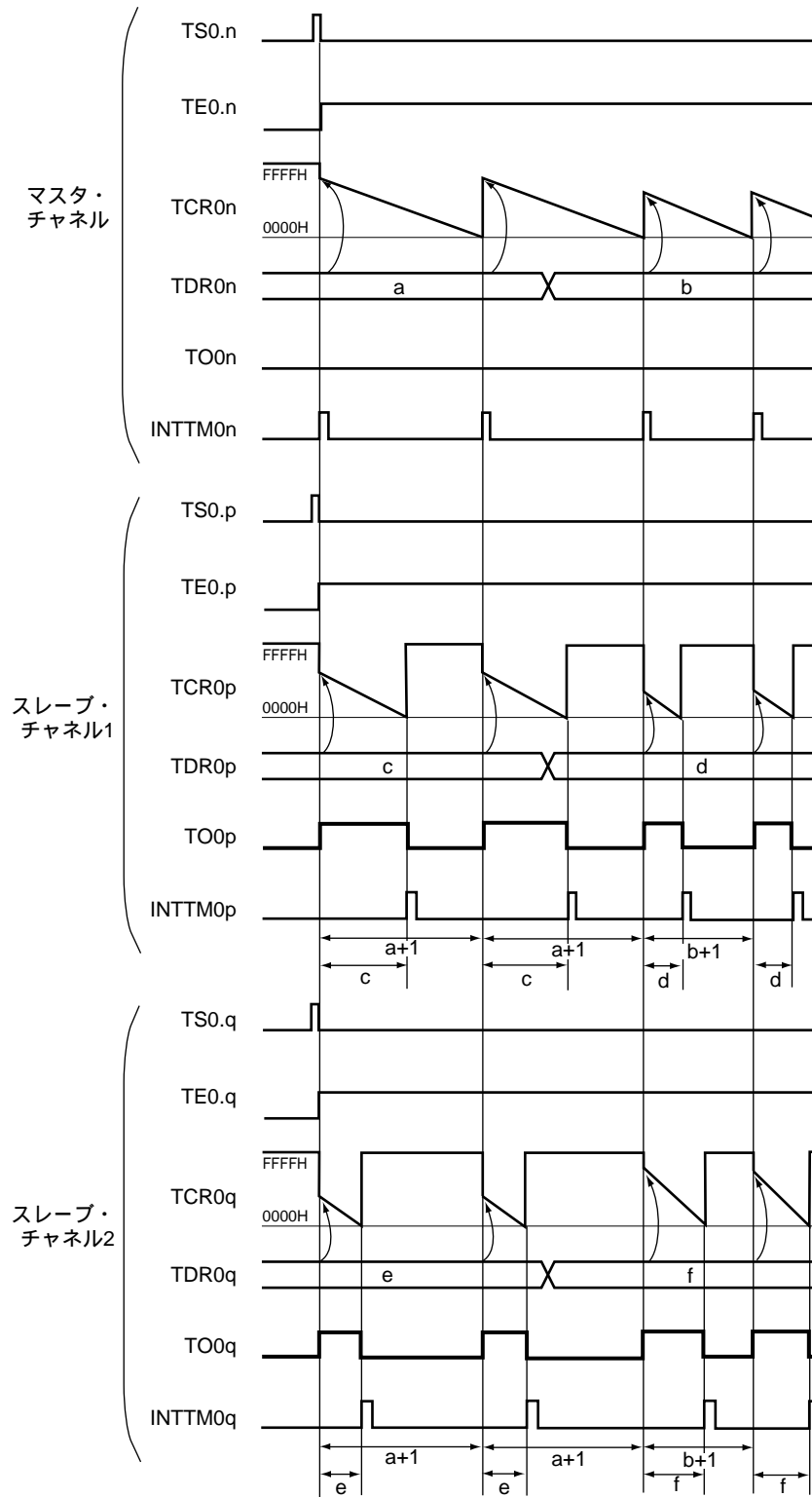
備考 n : マスタ・チャンネル番号 (n = 0, 2, 4)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q 7 (ただし, qは, n以降の整数)

図6 - 82 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



備考 n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 $n < p < q$ 7 (ただし, p, qは, n以降の整数)

図6 - 83 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合) (1/2)



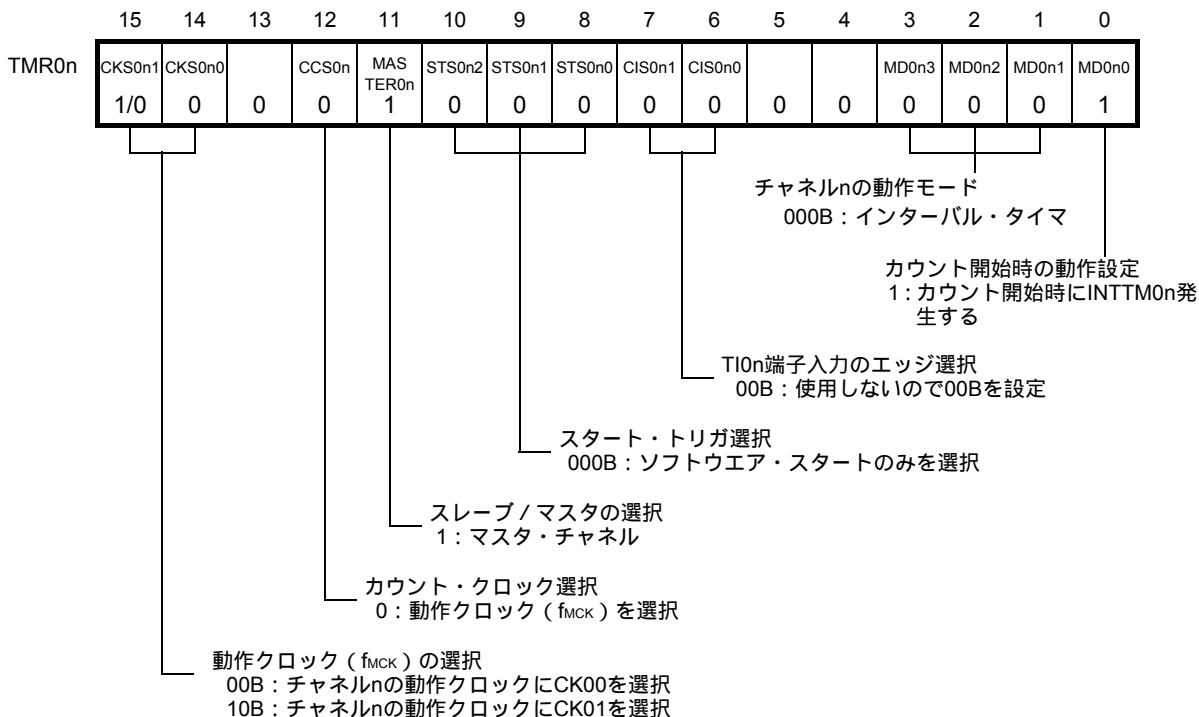
(備考は次ページにあります。)

図6 - 83 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合) (2/2)

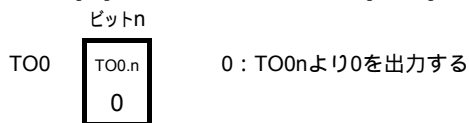
- 備考1. n : マスタ・チャンネル番号 ($n = 0, 2, 4$)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 $n < p < q \leq 7$ (ただし p, q は, n 以降の整数)
2. $TS0.n, TS0.p, TS0.q$: タイマ・チャンネル開始レジスタ0 (TS0) のビット n, p, q
 $TE0.n, TE0.p, TE0.q$: タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビット n, p, q
 $TCR0n, TCR0p, TCR0q$: タイマ・カウンタ・レジスタ $0n, 0p, 0q$ ($TCR0n, TCR0p, TCR0q$)
 $TDR0n, TDR0p, TDR0q$: タイマ・データ・レジスタ $0n, 0p, 0q$ ($TDR0n, TDR0p, TDR0q$)
 $TO0n, TO0p, TO0q$: $TO0n, TO0p, TO0q$ 端子出力信号

図6 - 84 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例

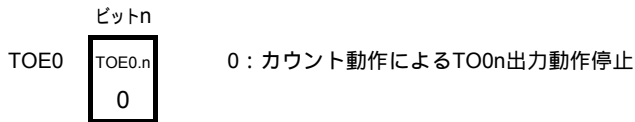
(a) タイマ・モード・レジスタ0n (TMR0n)



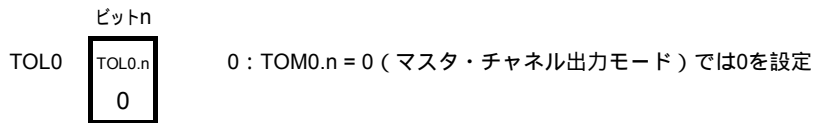
(b) タイマ出力レジスタ0 (TO0)



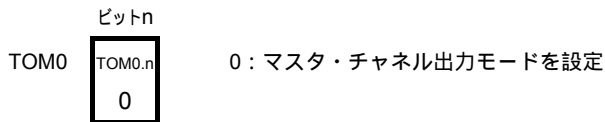
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)

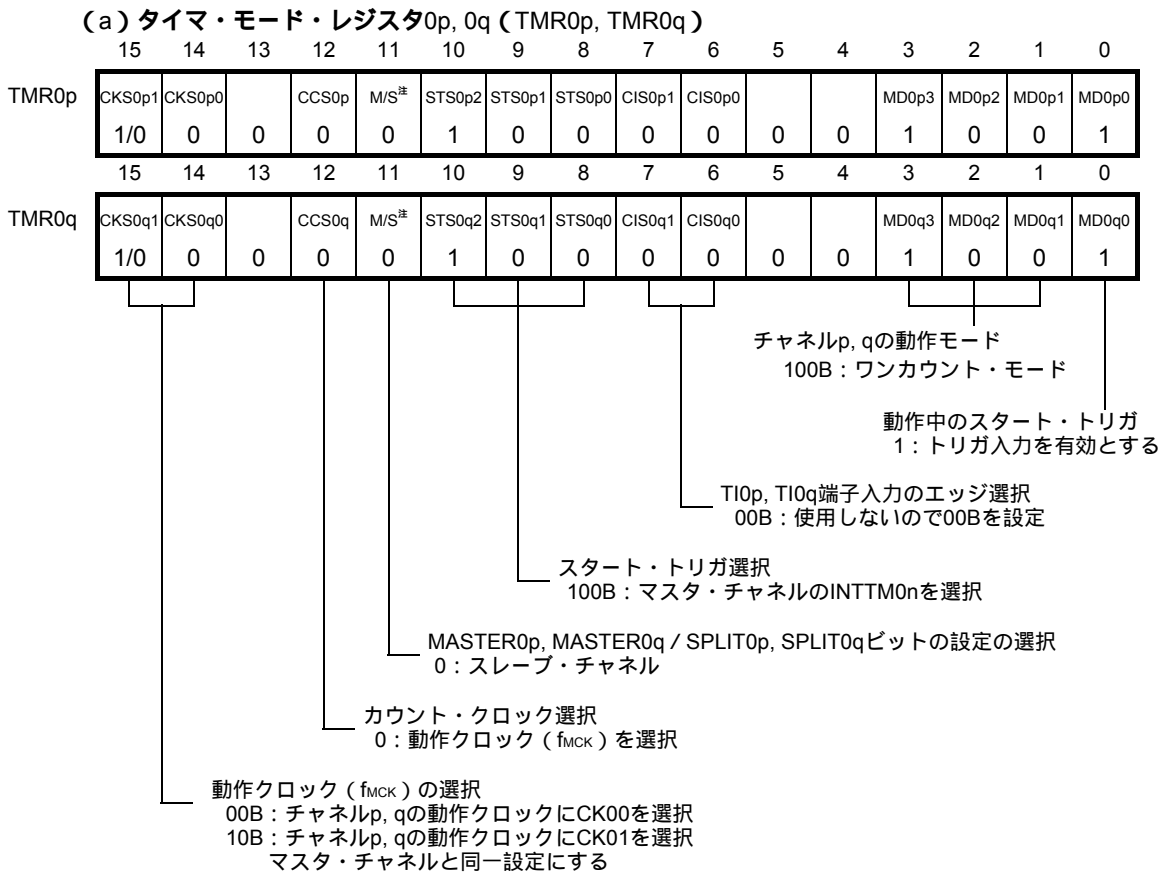


(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n : マスタ・チャンネル番号 (n = 0, 2, 4)

図6 - 85 多重PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例 (2種類のPWMを出力する場合)



(b) タイマ出力レジスタ0 (TO0)

	ビットq	ビットp	
TO0	TO0.q	TO0.p	0 : TO0p, TO0qより0を出力する 1 : TO0p, TO0qより1を出力する
	1/0	1/0	

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットq	ビットp	
TOE0	TOE0.q	TOE0.p	0 : カウント動作によるTO0p, TO0q出力動作停止 1 : カウント動作によるTO0p, TO0q出力動作許可
	1/0	1/0	

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットq	ビットp	
TOL0	TOL0.q	TOL0.p	0 : 正論理出力 (アクティブ・ハイ) 1 : 反転出力 (アクティブ・ロウ)
	1/0	1/0	

(e) タイマ出力モード・レジスタ0 (TOM0)

	ビットq	ビットp	
TOM0	TOM0.q	TOM0.p	1 : スレーブ・チャンネル出力モードを設定
	1	1	

注 TMR05, TMR07の場合 : MASTER0p, MASTER0qビット

TMR01, TMR03の場合 : SPLIT0p, SPLIT0qビット

備考 n : マスタ・チャンネル番号 (n = 0, 2, 4)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

n < p < q 7 (ただし, p, qは, n以降の整数)

図6 - 86 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャネルのタイマ・モード・レジスタ0n, 0p, 0q (TMR0n, TMR0p, TMR0q) を設定する (チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタ0n (TDR0n) にインターバル (周期) 値, スレーブ・チャネルのTDR0p, TDR0qレジスタにデューティ値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャネルの設定 タイマ出力モード・レジスタ0 (TOM0) のTOM0.p, TOM0.qビットに1 (スレーブ・チャネル出力モード) を設定する TOL0.p, TOL0.qビットに0を設定する TO0.p, TO0.qビットを設定し, TO0p, TO0q出力の初期レベルを確定する TOE0.p, TOE0.qビットに1を設定し, TO0p, TO0qの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO0p, TO0q端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0p, TO0q初期設定レベルが出力される。 チャネルは動作停止状態なので, TO0p, TO0qは変化しない TO0p, TO0q端子はTO0p, TO0q設定レベルを出力
動作 開始	(動作再開時のみTOE0.p, TOE0.q (スレーブ) ビットに1を設定する) タイマ・チャネル開始レジスタ0 (TS0) のTS0.n (マスタ), TS0.p, TS0.q (スレーブ) ビットに同時に1を設定する TS0.n, TS0p, TS0qビットはトリガ・ビットなので, 自動的に0に戻る	TE0.n = 1, TE0.p, TE0.q = 1となる マスタ・チャネルがカウント動作開始し, INTTM0nを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。

(注, 備考は次ページにあります。)

動作再開 (次ページへ)

図6 - 86 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (2/2)

動作再開 (前ページへ)

	ソフトウェア操作	ハードウェアの状態
動作中	<p>TMR0n, TMR0p, TMR0qレジスタ, TOM0.n, TOM0.p, TOM0.q, TOL0.n, TOL0.p, TOL0.qビットは、設定値変更禁止</p> <p>TDR0n, TDR0p, TDR0qレジスタは、マスタ・チャンネルのINTTM0n発生後に設定値変更可能</p> <p>TCR0n, TCR0p, TCR0qレジスタは、常に読み出し可能</p> <p>TSR0n, TSR0p, TSR0qレジスタは、使用しない</p> <p>TO0, TOE0レジスタは、設定値変更可能</p>	<p>マスタ・チャンネルでは、タイマ・カウンタ・レジスタ0n (TCR0n) はTDR0nレジスタの値をロードし、ダウン・カウンタ動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生する。同時に、TCR0nレジスタはTDR0nレジスタの値をロードし、再びダウン・カウンタを開始する。</p> <p>スレーブ・チャンネル1では、マスタ・チャンネルのINTTM0n信号をトリガとして、TDR0pレジスタ値をTCR0pレジスタに転送し、カウンタはダウン・カウンタを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。</p> <p>スレーブ・チャンネル2では、マスタ・チャンネルのINTTM0n信号をトリガとして、TDR0qレジスタ値をTCR0qレジスタに転送し、カウンタはダウン・カウンタを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0q出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO0q出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。以降、この動作を繰り返す。</p>
動作停止	<p>TT0.n (マスタ), TT0.p, TT0.q (スレーブ) ビットに同時に1を設定する →</p> <p>TT0.n, TT0.p, TT0.qビットはトリガ・ビットなので、自動的に0に戻る</p> <hr/> <p>スレーブ・チャンネルのTOE0.p, TOE0.qビットに0を設定し、TO0.p, TO0.qビットに値を設定する →</p>	<p>TE0.n, TE0.p, TE0.q = 0になり、カウンタ動作停止</p> <p>TCR0n, TCR0p, TCR0qレジスタはカウンタ値を保持して停止</p> <p>TO0p, TO0q出力は初期化されず、状態保持</p> <hr/> <p>TO0p, TO0q端子はTO0p, TO0q設定レベルを出力</p>
TAU停止	<p>TO0p, TO0q端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TO0.p, TO0.qビットに0を設定する →</p> <p>TO0p, TO0q端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <hr/> <p>PER0レジスタのTAU0ENビットに0を設定する →</p>	<p>TO0p, TO0q端子出力レベルはポート機能により保持される。</p> <hr/> <p>パワーオフ状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される (TO0.p, TO0.qビットが0になり、TO0p, TO0q端子はポート機能となる)</p>

備考 n: マスタ・チャンネル番号 (n = 0, 2, 4)
 p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号
 n < p < q 7 (ただしp, qは, n以降の整数)

第7章 リアルタイム・クロック

7.1 リアルタイム・クロックの機能

リアルタイム・クロックには、次のような機能があります。

- ・年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- ・定周期割り込み機能（周期：0.5秒、1秒、1分、1時間、1日、1月）
- ・アラーム割り込み機能（アラーム：曜日・時・分）
- ・1 Hzの端子出力機能（48, 64ピン製品のみ）

注意 リアルタイム・クロックの動作クロックにサブシステム・クロック ($f_{SUB} = 32.768 \text{ kHz}$) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック ($f_{IL} = 15 \text{ kHz}$) を選択時は、定周期割り込み機能のみ使用できます。20-32ピン製品は、サブシステム・クロックを搭載していないため、定周期割り込み機能のみ使用できます。ただし、 f_{IL} 選択時の定周期割り込み間隔は、定周期 (RTCC0レジスタで選択した値) $\times f_{SUB} / f_{IL}$ で算出される値になります。

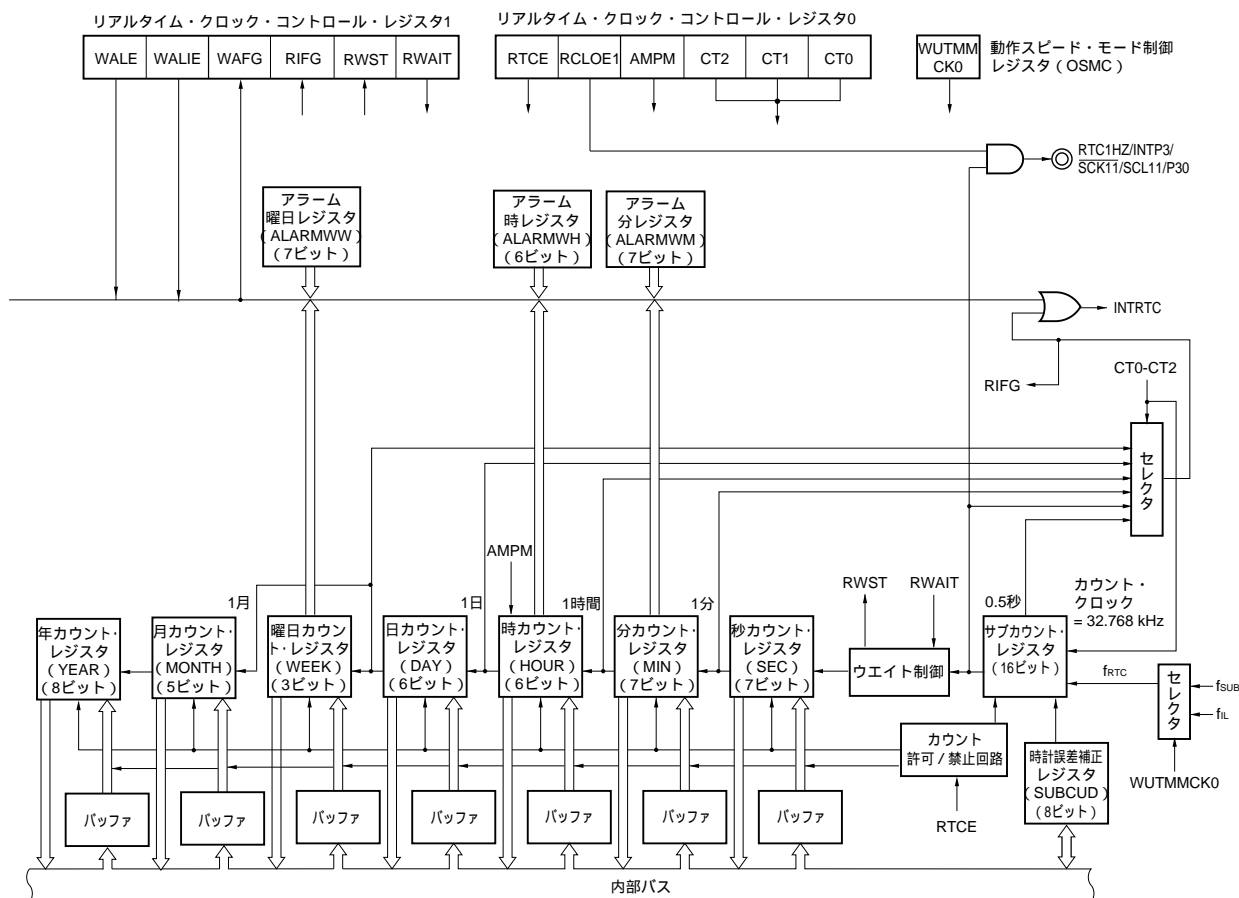
7.2 リアルタイム・クロックの構成

リアルタイム・クロックは、次のハードウェアで構成されています。

表7-1 リアルタイム・クロックの構成

項目	構成
カウンタ	サブカウンタ・レジスタ
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	動作スピード・モード制御レジスタ (OSMC)
	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
	秒カウンタ・レジスタ (SEC)
	分カウンタ・レジスタ (MIN)
	時カウンタ・レジスタ (HOUR)
	日カウンタ・レジスタ (DAY)
	曜日カウンタ・レジスタ (WEEK)
	月カウンタ・レジスタ (MONTH)
	年カウンタ・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	アラーム分レジスタ (ALARMWM)
	アラーム時レジスタ (ALARMWH)
アラーム曜日レジスタ (ALARMWW)	

図7-1 リアルタイム・クロックのブロック図



注意 リアルタイム・クロックの動作クロックにサブシステム・クロック ($f_{SUB} = 32.768 \text{ kHz}$) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータクロック (f_{IL}) を選択時は、定周期割り込み機能のみ使用できます。20-32ピン製品は、サブシステム・クロックを搭載していないため、定周期割り込み機能のみ使用できます。ただし f_{IL} 選択時の定周期は、 f_{SUB} 選択時の2倍近くの値になります。

7.3 リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックは、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・動作スピード・モード制御レジスタ (OSMC)
- ・リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは、必ずビット7 (RTGEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTGEN	0	ADCEN	IICA0EN ^{注1}	SAU1EN ^{注1}	SAU0EN	0	TAU0EN

RTGEN	リアルタイム・クロック (RTC) の入力クロック供給 ^{注2} の制御
0	入力クロック供給停止 ・リアルタイム・クロック (RTC) で使用するSFRへのライト不可 ・リアルタイム・クロック (RTC) はリセット状態
1	入力クロック供給許可 ・リアルタイム・クロック (RTC) で使用するSFRへのリード/ライト可

注1. 20ピン製品には搭載されていません。

2. RTGENビットでは、CPUからリアルタイム・クロック (RTC) のレジスタにアクセスするときに使用されるクロックを供給、停止できます。RTGENビットで、RTCの動作クロック (f_{RTC}) の供給を制御することはできません。

注意1. リアルタイム・クロックを使用する場合は、入力クロック (f_{RTC}) が発振安定状態において、最初にRTGEN = 1の設定を行ってください。RTGEN = 0の場合は、リアルタイム・クロックの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. 動作スピード・モード制御レジスタ (OSMC) のRTCLPC = 1に設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイム・クロック以外の周辺機能へのクロック供給を停止することが可能です。その場合、RTGENビットは1に設定し、PER0レジスタのその他のビット0-6は0に設定してください。
3. 次のビットには必ず“0”を設定してください。

20ピン製品：ビット1, 3, 4, 6

30, 32ピン製品：ビット1, 6

48, 64ピン製品：ビット1, 6

(2) 動作スピード・モード制御レジスタ (OSMC)

WUTMMCK0ビットでリアルタイム・クロックの動作クロック (f_{RTC}) を選択できます。

また、RTCLPCビットは少しでも不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第5章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-3 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック, インターバル・タイマの動作クロック (f_{RTC}) の選択
0	サブシステム・クロック (f_{SUB})
1	低速オンチップ・オシレータクロック (f_{IL})

注意 リアルタイム・クロックの動作クロックにサブシステム・クロック ($f_{SUB} = 32.768$ kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック ($f_{IL} = 15$ kHz) を選択時は、定周期割り込み機能のみ使用できます。20-32ピン製品は、サブシステム・クロックを搭載していないため、定周期割り込み機能のみ使用できます。ただし、 f_{IL} 選択時の定周期割り込み間隔は、定周期 (RTCC0レジスタで選択した値) $\times f_{SUB} / f_{IL}$ で算出される値になります。

(3) リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック動作の開始 / 停止, RTC1HZ端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・クロックの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制

- ・ AMPMビットの値を変更する場合は, RWAITビット (リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のビット0) = 1にしてから書き換えてください。AMPMレジスタの値を変更すると, 時カウンタ・レジスタ (HOUR) の値は設定した時間制に対応した値に変更されます。
- ・ 時間桁表示表を表7-2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウントアップに同期)
0	1	0	1秒に1度 (秒カウントアップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	×	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0ビットの値を変更する場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後は, RIFGフラグ, RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注意 RTCE = 1のときにRCLOE1ビットを変更しないでください。

備考 × : don't care

(4) リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。
 RTCC1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により，00Hになります。

図7-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：FFF9EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1レジスタのWALIEフラグ，アラーム分レジスタ (ALARMWM)，アラーム時レジスタ (ALARMWH)，アラーム曜日レジスタ (ALARMWW)) を設定する場合，WALEビットを一致動作無効“0”にしてください。	

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

図7-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり

定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RWST	リアルタイム・クロックのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAITビットの設定が有効であることを示すステータスです。
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで最大1クロック（f_{RTC}）の時間がかかります。カウンタ（16ビット）のオーバーフローがRWAIT = 1のときに起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで、どちらの割り込みが発生したかを判断することができます。

(5) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り, 秒のカウント値を示す8ビットのレジスタです。

サブカウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ, 最大2クロック (f_{RTC}) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7 - 6 秒カウント・レジスタ (SEC) のフォーマット

アドレス : FFF92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 カウンタ動作中 (RTCE = 1) にSECレジスタを書き換える場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

(6) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (f_{RTC}) 後に, カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-59をBCDコードで設定してください。

MINレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7 - 7 分カウント・レジスタ (MIN) のフォーマット

アドレス : FFF93H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 カウンタ動作中 (RTCE = 1) にMINレジスタを書き換える場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

(7) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (f_{RTC}) 後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のビット3 (AMPM) で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると、HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

図7-8 時カウント・レジスタ (HOUR) のフォーマット

アドレス : FFF94H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

- 注意1. HOURレジスタのビット5 (HOUR20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。
- AMPMビットの値を変更した場合は、HOURレジスタの値を再設定してください。
 - カウンタ動作中 (RTCE = 1) にHOURレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RIFGフラグ、RTCIFフラグをクリアしてください。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表7 - 2に示します。

表7 - 2 時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM0時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前/午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

(8) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (f_{RTC})後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-31をBCDコードで設定してください。

DAYレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図7-9 日カウント・レジスタ (DAY) のフォーマット

アドレス : FFF96H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 カウンタ動作中 (RTCE = 1) にDAYレジスタを書き換える場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

(9) 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、パツファに書き込まれ最大の2クロック (f_{RTC}) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7 - 10 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : FFF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ (WEEK) には、月カウント・レジスタ (MONTH) および日カウント・レジスタ (DAY) に対応した値が自動的に格納されるわけではありません。
リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

2. カウンタ動作中 (RTCE = 1) にWEEKレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RIFGフラグ、RTCIFフラグをクリアしてください。

(10) 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (f_{RTC}) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-12をBCDコードで設定してください。

MONTHレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図7 - 11 月カウント・レジスタ (MONTH) のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 カウンタ動作中 (RTCE = 1) にMONTHレジスタを書き換える場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

(11) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH) からのオーバーフローによりカウント・アップします。

00, 04, 08, …, 92, 96がうるう年となります。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (f_{RTC}) 後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-99をBCDコードで設定してください。

YEARレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7 - 12 年カウント・レジスタ (YEAR) のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 カウンタ動作中 (RTCE = 1) にYEARレジスタを書き換える場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

(12) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタから秒カウンタ・レジスタ (SEC) へオーバーフローする値 (基準値 : 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7 - 13 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス : FFF99H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。	
<ul style="list-style-type: none"> DEV = 0設定時 : SEC = 00H, 20H, 40Hの期間 DEV = 1設定時 : SEC = 00Hの期間 	

F6	時計誤差補正值の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (F5, F4, F3, F2, F1, F0) + 1 } × 2だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは, 時計誤差補正を行いません。*は0または1です。	
/F5 ~ /F0は, ビット反転した値 (111100のときは000011) となります。	
補正值の範囲 : (F6=0のとき) 2, 4, 6, 8, ... 120, 122, 124	
(F6=1のとき) -2, -4, -6, -8, ... -120, -122, -124	

次に, 時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が, - 63.1 ppm以下または63.1 ppm以上のときは, DEV = 0を設定してください。

(13) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図7-14 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：FFF9AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(14) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図7-15 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：FFF9BH リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHレジスタのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(15) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-16 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：FFF9CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

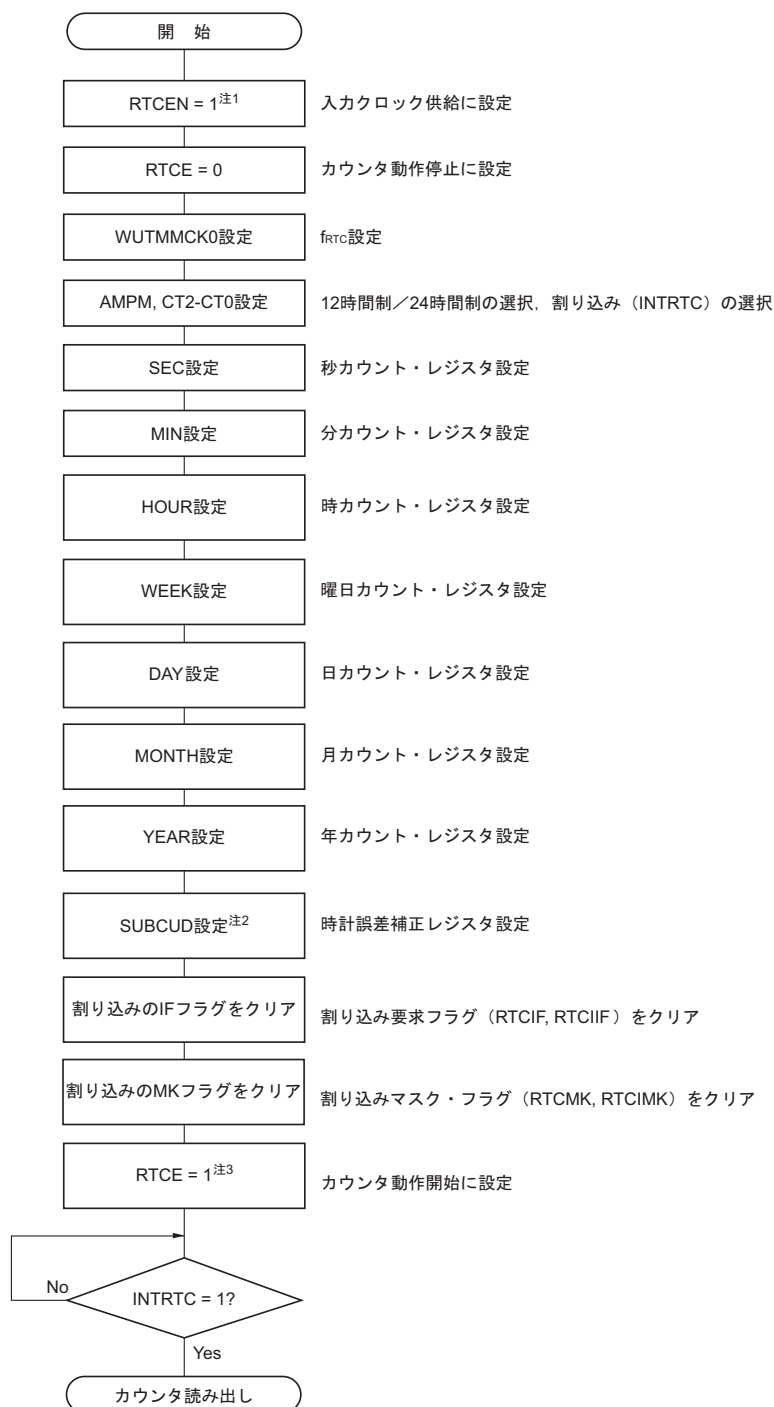
次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
0	1	2	3	4	5	6									
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

7.4 リアルタイム・クロックの動作

7.4.1 リアルタイム・クロックの動作開始

図7-17 リアルタイム・クロックの動作開始手順



注1. 入力クロック (f_{rtc}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

2. 時計誤差補正する必要がある場合のみ。補正値の算出方法は、7.4.6 リアルタイム・クロックの時計誤差補正例を参照してください。

3. RTCE = 1のあとにINTRTC = 1を待たずにSTOPモードへ移行する場合は、7.4.2 動作開始後のSTOPモードへの移行の手順を確認してください。

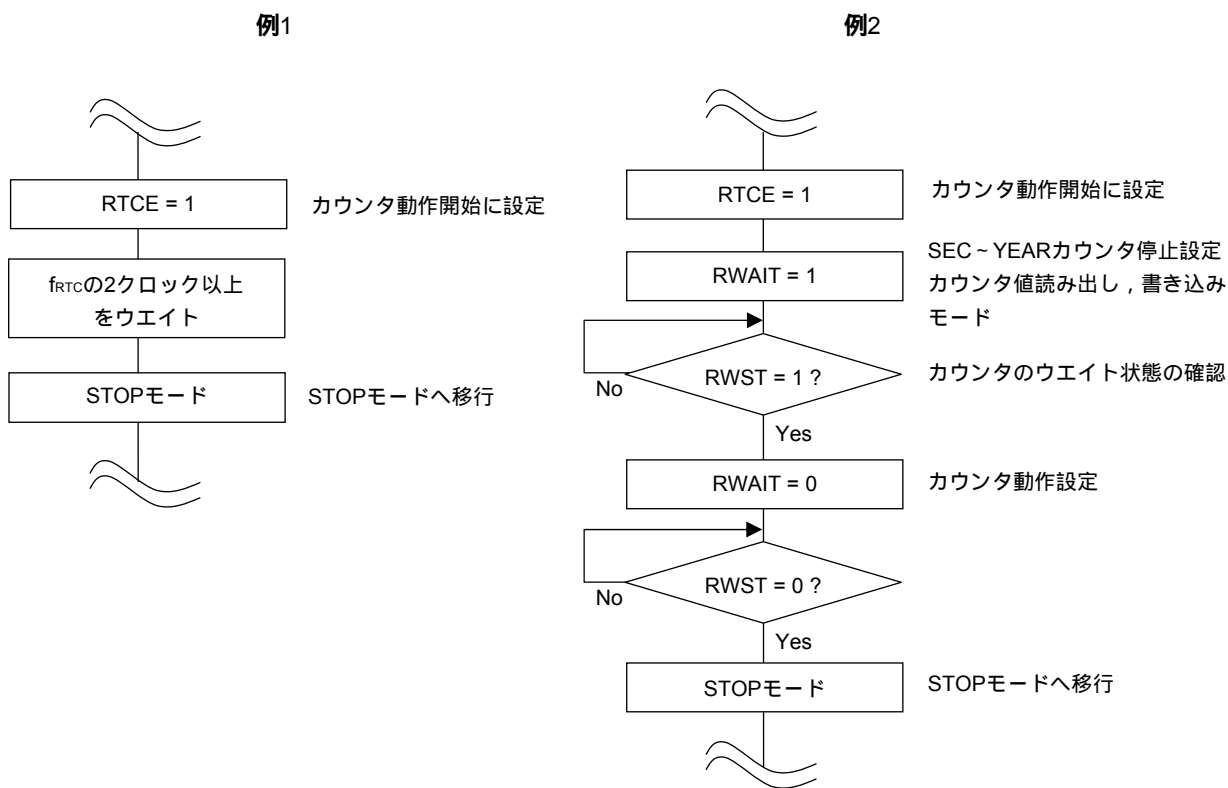
7.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目のINTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、入力クロック (f_{RTC}) の2クロック分以上経過後にSTOPモードへ移行する (図7 - 18 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にSTOPモードへ移行する (図7 - 18 例2参照)。

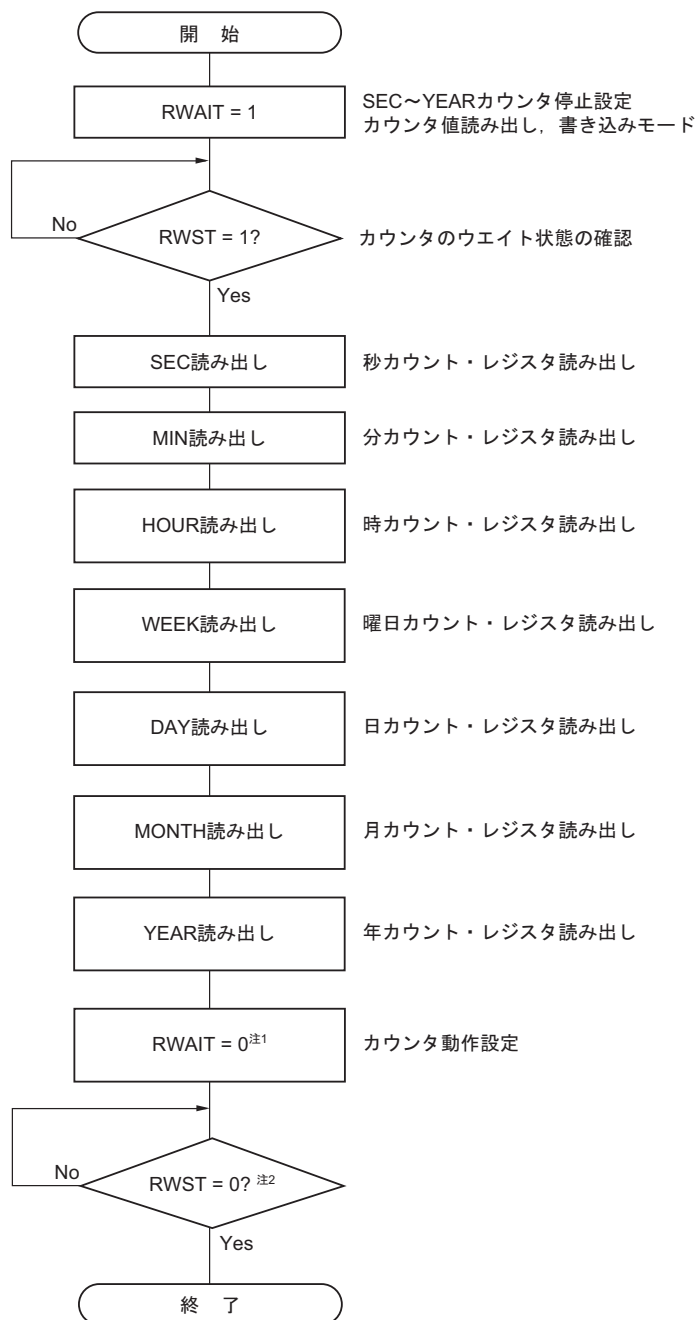
図7 - 18 RTCE = 1に設定後のSTOPモードへの移行手順



7.4.3 リアルタイム・クロックのカウンタ読み出し/書き込み

カウンタの読み出し/書き込みは、最初にRWAIT = 1にしてから行ってください。

図7-19 リアルタイム・クロックの読み出し手順



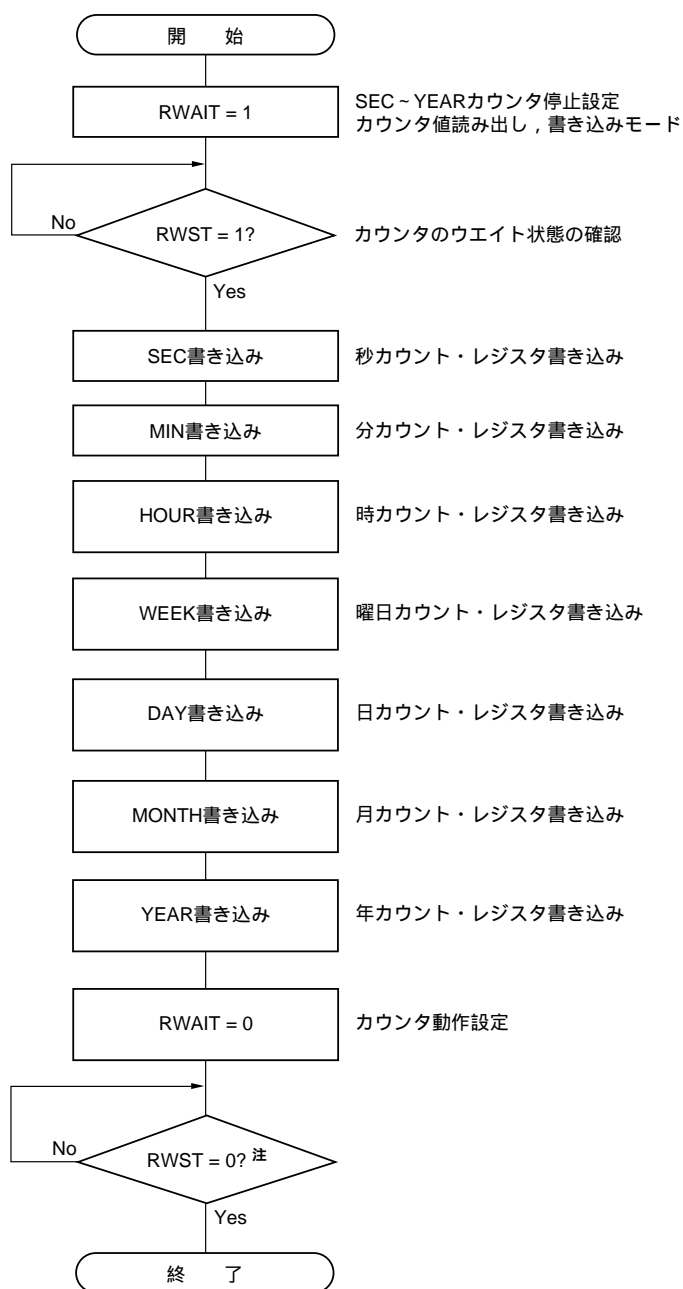
注1. カウンタの読み出し/書き込み終了後は、RWAIT = 0にしてください。

2. STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 秒カウント・レジスタ(SEC), 分カウント・レジスタ(MIN), 時カウント・レジスタ(HOUR), 曜日カウント・レジスタ(WEEK), 日カウント・レジスタ(DAY), 月カウント・レジスタ(MONTH), 年カウント・レジスタ(YEAR)の読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図7-20 リアルタイム・クロックの書き込み手順



注1. STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注2. カウンタ動作中 (RTCE = 1) にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。

また、書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

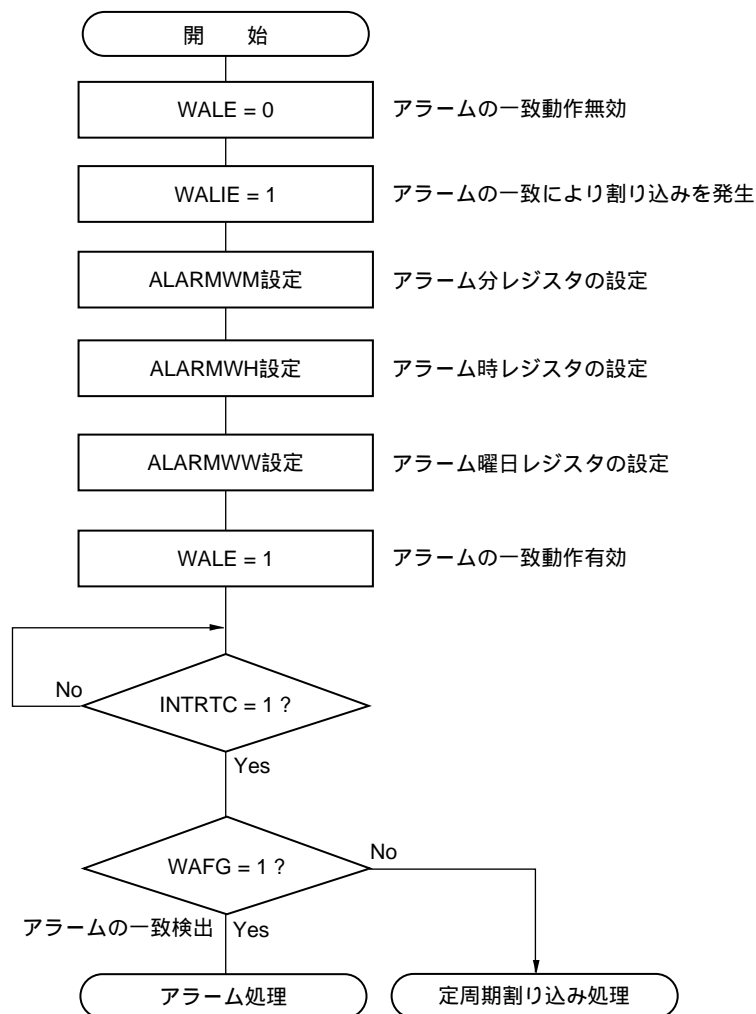
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 秒カウント・レジスタ (SEC), 分カウント・レジスタ (MIN), 時カウント・レジスタ (HOUR), 曜日カウント・レジスタ (WEEK), 日カウント・レジスタ (DAY), 月カウント・レジスタ (MONTH), 年カウント・レジスタ (YEAR) の書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

7.4.4 リアルタイム・クロックのアラーム設定

アラーム時刻設定は，最初にWALE = 0にしてから行ってください。

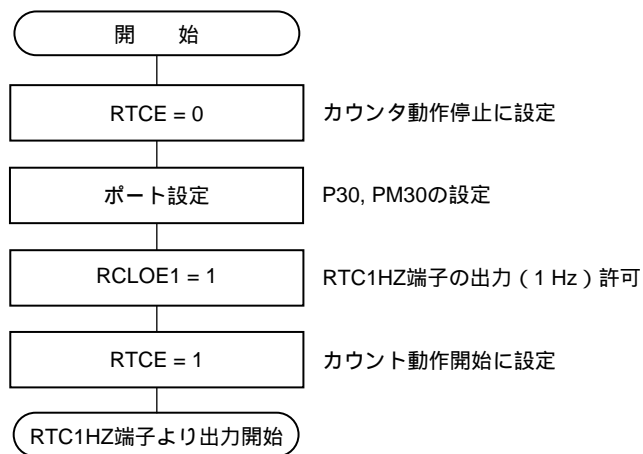
図7 - 21 アラーム設定手順



- 備考1. アラーム分レジスタ (ALARMWWM)，アラーム時レジスタ (ALARMWH)，アラーム曜日レジスタ (ALARMWW) の書き込みの順番に制限はありません。
2. 定周期割り込みとアラーム一致割り込みは，同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで，どちらの割り込みが発生したかを判断することができます。

7.4.5 リアルタイム・クロックの1 Hz出力

図7 - 22 1 Hz出力の設定手順



注意 入力クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

7.4.6 リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

サブカウント・レジスタのカウント値を補正する際の補正値は、次の式で算出できます。

補正範囲が、- 63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

$$\text{補正値}^{\text{注}} = \text{1分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$$

(DEV = 1の場合)

$$\text{補正値}^{\text{注}} = \text{1分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

$$(\text{F6}=0\text{の場合}) \text{補正値} = \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) - 1 \} \times 2$$

$$(\text{F6}=1\text{の場合}) \text{補正値} = - \{ (\text{/F5}, \text{/F4}, \text{/F3}, \text{/F2}, \text{/F1}, \text{/F0}) + 1 \} \times 2$$

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。

備考1. 補正値は、2, 4, 6, 8, . . . 120, 122, 124, または - 2, - 4, - 6, - 8 . . . - 120, - 122, - 124です。

2. 発振周波数とは、入力クロック (f_{RTC}) の値です。

時計誤差補正レジスタが初期値 (00H) 時のRTC1HZ端子の出力周波数 \times 32768で求めることができます。

3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正值例

32767.4 Hzから32768 Hz (32767.4 Hz+18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]を、時計誤差補正レジスタ (SUBCUD) が初期値 (00H) 時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、7.4.5 リアルタイム・クロックの1 Hz出力を参照してください。

【補正值の算出】

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 = 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz+18.3 ppm) とし、DEV = 1とします。

DEV = 1の場合の補正值の算出式を適用します。

$$\begin{aligned} \text{補正值} &= \text{1分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正值 = -36の場合)

補正值が0以下 (速くする場合) では、F6 = 1とします。

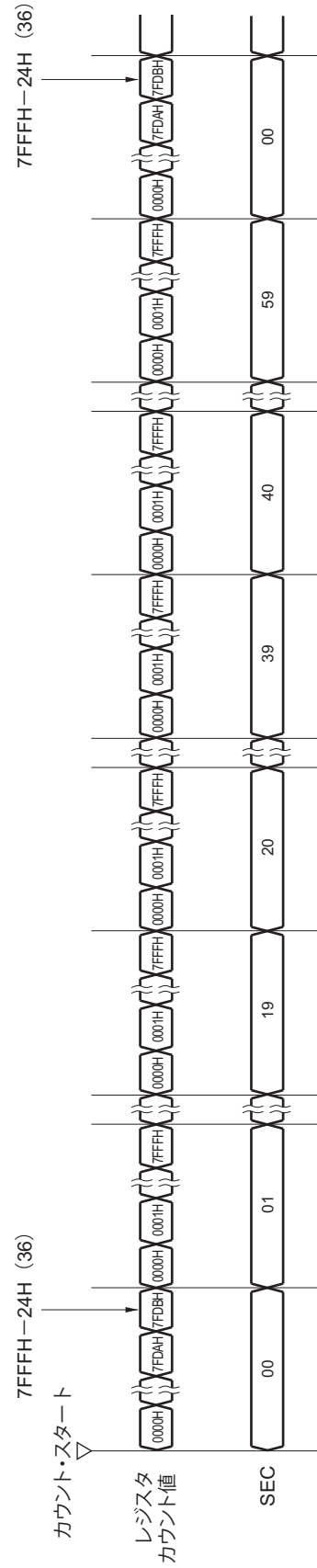
(F5 , F4 , F3 , F2 , F1 , F0) は、補正值から算出します。

$$\begin{aligned} - \{ (/F5 , /F4 , /F3 , /F2 , /F1 , /F0) + 1 \} \times 2 &= -36 \\ (/F5 , /F4 , /F3 , /F2 , /F1 , /F0) &= 17 \\ (/F5 , /F4 , /F3 , /F2 , /F1 , /F0) &= (0 , 1 , 0 , 0 , 0 , 1) \\ (F5 , F4 , F3 , F2 , F1 , F0) &= (1 , 0 , 1 , 1 , 1 , 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4 Hz+18.3 ppm) への補正の場合、DEV = 1、補正值 = -36 (SUBCUDレジスタのビット6~0 : 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV , F6 , F5 , F4 , F3 , F2 , F1 , F0) = (1 , 1 , 1 , 0 , 1 , 1 , 1 , 0) の場合の動作を図7 - 23に示します。

図7-23 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 1, 0, 1, 1, 1, 1, 0) の場合の動作



第8章 インターバル・タイマ

8.1 インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み（INTIT）を発生します。STOPモードからのウェイク・アップや、A/DコンバータのSNOOZEモードのトリガに使えます。

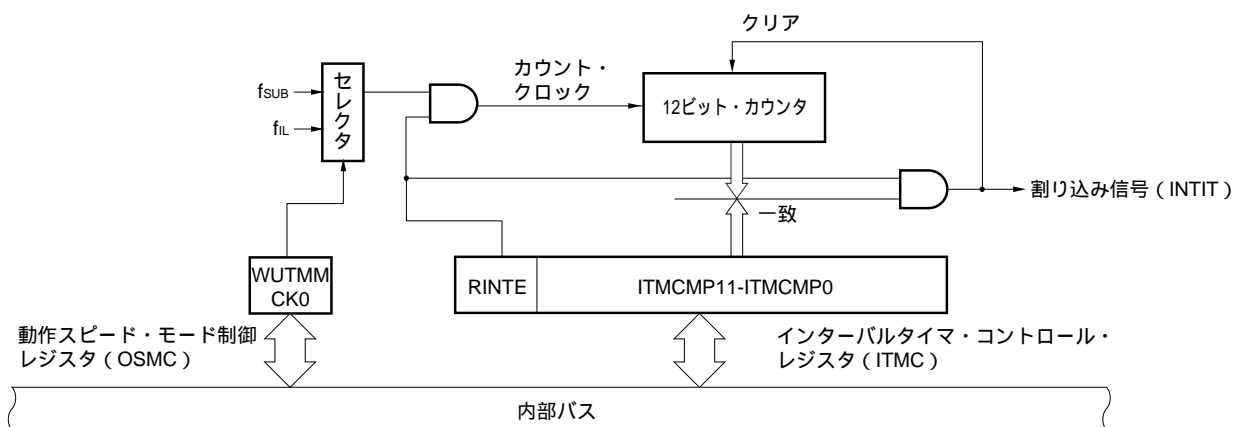
8.2 インターバル・タイマの構成

インターバル・タイマは、次のハードウェアで構成されています。

表8 - 1 インターバル・タイマの構成

項 目	構 成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	動作スピード・モード制御レジスタ（OSMC）
	インターバル・タイマ・コントロール・レジスタ（ITMC）

図8 - 1 インターバル・タイマのブロック図



8.3 インターバル・タイマを制御するレジスタ

インターバル・タイマは、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ0（PER0）
- ・動作スピード・モード制御レジスタ（OSMC）
- ・インターバル・タイマ・コントロール・レジスタ（ITMC）

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

インターバル・タイマを使用するときは、必ずビット7 (RTCEN) を1に設定してください。PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN ^{注1}	SAU1EN ^{注1}	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック、インターバル・タイマの動作クロック (f _{RTC}) の選択 ^{注2}
0	入力クロック供給停止 ・リアルタイム・クロック (RTC) で使用するSFRへのライト不可 ・リアルタイム・クロック (RTC) はリセット状態
1	入力クロック供給許可 ・リアルタイム・クロック (RTC) で使用するSFRへのリード/ライト可

注1. 20ピン製品には搭載されていません。

2. RTCENビットでは、CPUからリアルタイム・クロック (RTC) のレジスタにアクセスするときに使用されるクロックを供給、停止できます。RTCENビットで、RTCの動作クロック (f_{RTC}) の供給を制御することはできません。

- 注意1. リアルタイム・クロックを使用する場合は、入力クロック (f_{RTC}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。RTCEN = 0の場合は、リアルタイム・クロックの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。
2. 動作スピード・モード制御レジスタ (OSMC) のRTCLPC = 1に設定することにより、STOPモードおよびサブシステム・クロック時HALTモードで、リアルタイム・クロック以外の周辺機能へのクロック供給を停止することが可能です。その場合、RTCENビットは1に設定し、PER0レジスタのその他のビット0~6は0に設定してください。
3. 次のビットには必ず“0”を設定してください。
- 20ピン製品：ビット1, 3, 4, 6
30, 32ピン製品：ビット1, 6
48, 64ピン製品：ビット1, 6

(2) 動作スピード・モード制御レジスタ (OSMC)

WUTMMCK0ビットでインターバル・タイマの動作クロックを選択できます。

また、RTCLPCビットは少しでも不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第5章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-3 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック，インターバル・タイマの動作クロックの選択
0	サブシステム・クロック (f _{SUB})
1	低速オンチップ・オシレータクロック (f _{IL})

(3) インターバル・タイマ・コントロール・レジスタ (ITMC)

インターバル・タイマの動作停止 / 開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図8-4 インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0

RINTE	インターバル・タイマの動作制御
0	カウンタ動作停止 (カウント・クリア)
1	カウンタ動作開始

ITCMP11-ITCMP0	インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期 × (ITCMP設定値 + 1)」の定周期割り込みを発生します。
.	
.	
FFFH	

ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例

- ITCMP11-ITCMP0 = 001H, カウント・クロック : f_{SUB} = 32.768 kHz時
 $1/32.768 \text{ [kHz]} \times (1 + 1) = 0.06103515625 \text{ [ms]} \quad 61.03 \text{ [}\mu\text{s]}$
- ITCMP11-ITCMP0 = FFFH, カウント・クロック : f_{SUB} = 32.768 kHz時
 $1/32.768 \text{ [kHz]} \times (4095 + 1) = 125 \text{ [ms]}$

- 注意1. RINTEビットを1 0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、ITIFフラグをクリアしてから割り込み処理許可にしてください。
2. RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。そのため、HALT/STOP状態に遷移する際は、RINTEビットの書き込み値が反映されたことを確認してからHALT/STOP状態に遷移してください。
 3. スタンバイ・モードから復帰後にRINTEビットを設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分以上経過後に移行してください。
 4. ITCMP11-ITCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。ただし、RINTE = 0 1または1 0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

8.4 インターバル・タイマの動作

ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTIT) を発生するインターバル・タイマとして動作します。

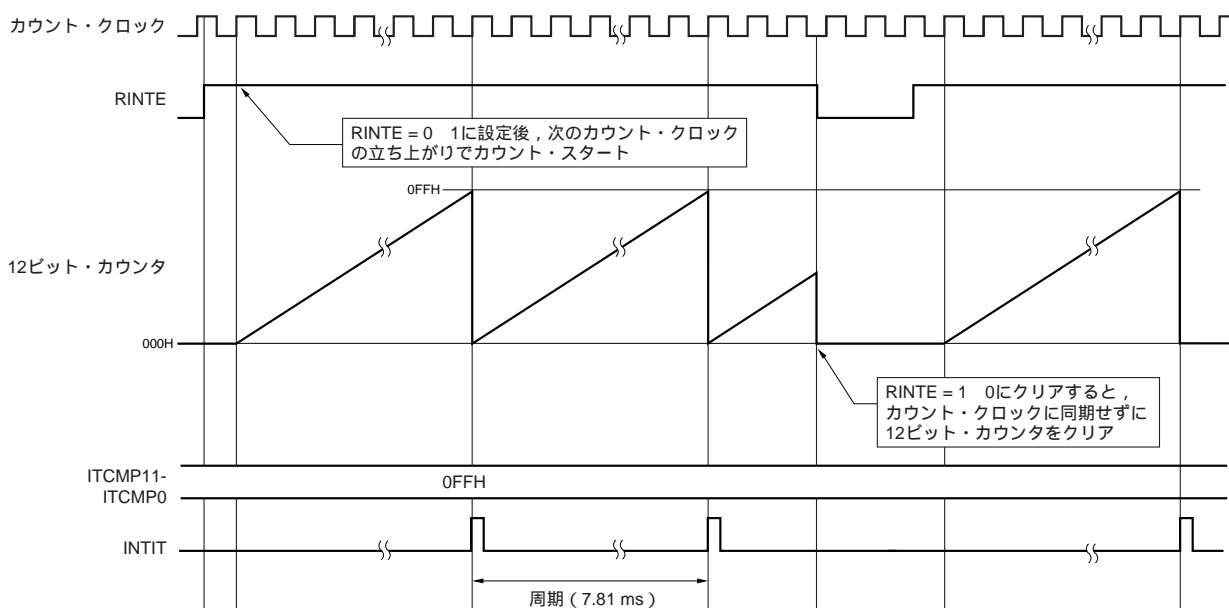
RINTEビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTIT) を発生します。

インターバル・タイマの基本動作を図8 - 4に示します。

図8 - 5 インターバル・タイマ動作のタイミング

(ITCMP11-ITCMP00 = 0FFH, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$)



第9章 16ビット・ウエイクアップ・タイマ

RL78/F12は、16ビット・ウエイクアップ・タイマ（WUTM）を搭載しています。

9.1 特 徴

16ビット・ウエイクアップ・タイマ（WUTM）には、次のような機能があります。

- ・インターバル機能
 - カウンタ×1
 - コンペア×1
 - コンペア一致割り込み×1

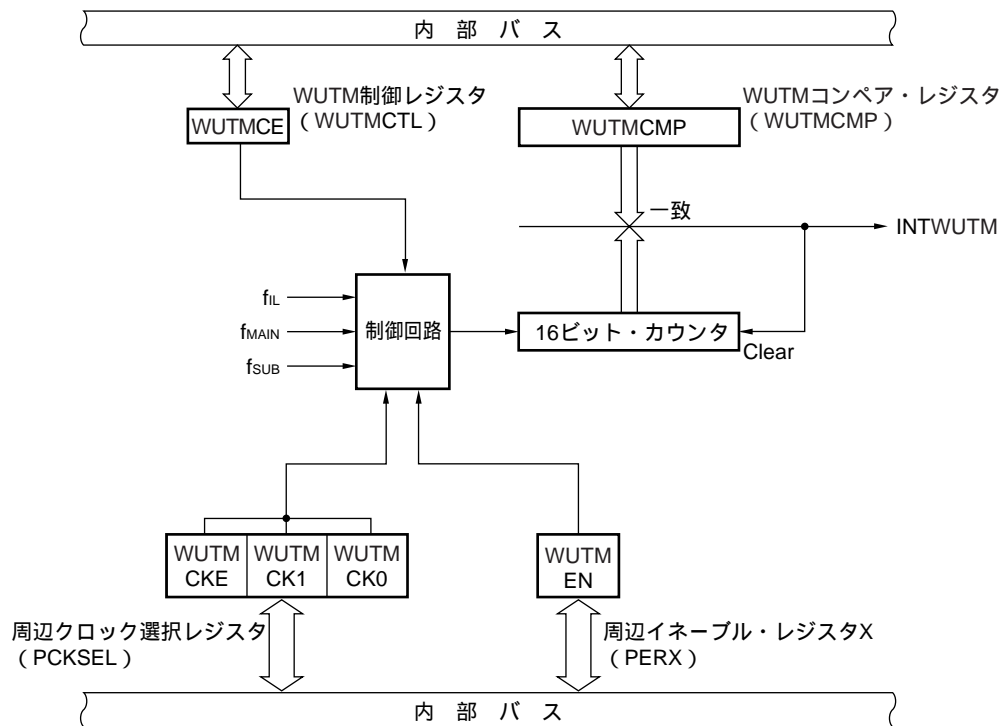
9.2 構成

WUTMは、次のハードウェアで構成されています。

表9-1 WUTMの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタX (PERX) 周辺クロック選択レジスタ (PCKSEL) WUTM制御レジスタ (WUTMCTL)
レジスタ	WUTMコンペア・レジスタ (WUTMCMP)

図9-1 16ビット・ウェイクアップ・タイマのブロック図



- 備考**
- f_{IL} : 低速オンチップ・オシレータクロック周波数
 - f_{MAIN} : メイン・システム・クロック周波数
 - f_{SUB} : サブクロック周波数 (48, 64ピン製品のみ)

9.3 制御レジスタ

(1) 周辺イネーブル・レジスタX (PERX)

各周辺ハードウェアの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PERXレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・ウエイクアップ・タイマについてはSFRリード/ライト可否のみ選択します。
動作クロックの供給可否はPCKSELレジスタで選択します。

図9-2 周辺イネーブル・レジスタX (PERX) のフォーマット

アドレス : F0500H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PERX	0	0	0	0	0	UF0EN	SAUSEN	WUTEN

WUTEN	16ビット・ウエイクアップ・タイマの入カクロックの制御
0	SFRライト用入カクロック供給停止 ・16ビット・ウエイクアップ・タイマで使用するSFRへのリード/ライト不可
1	SFRライト用入カクロック供給 ・16ビット・ウエイクアップ・タイマで使用するSFRへのリード/ライト可

注意 ビット3-7は必ず“0”に設定してください。

(2) 周辺クロック選択レジスタ (PCKSEL)

各周辺ハードウェアに対する動作クロックの選択と供給を制御するレジスタです。
 PCKSELレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

注意 PCKSELレジスタは、各周辺ハードウェアの動作開始前に設定してください。

図9-3 周辺クロック選択レジスタ (PCKSEL) のフォーマット

アドレス : F0501H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PCKSEL	0	0	0	0	0	WUTMCKE	WUTMCK1	WUTMCK0

WUTMCKE	16ビット・ウエイクアップ・タイマの動作クロックの制御	
0	動作クロック供給停止	
1	動作クロック供給	

WUTMCK1	WUTMCK0	16ビット・ウエイクアップ・タイマの動作クロックの選択
0	0	f _{IL}
0	1	f _{SUB}
1	0	f _{MAIN} /2 ⁸
1	1	f _{MAIN} /2 ¹²

注意 PCKSELレジスタのビット3-7には必ず“0”を設定してください。

(3) WUTMコンペア・レジスタ (WUTMCMP)

WUTMCMPレジスタは16ビットのコンペア・レジスタです。
 16ビット単位でリード/ライト可能です。
 リセットにより初期値0000Hになります。

- 注意 1.** タイマ動作中 (WUTMCE = 1) のWUTMCMPレジスタの書き換えは禁止ですが、同値書き込みは可能です。
- 2.** WUTMCMPレジスタにライトする際は、必ず周辺イネーブル・レジスタ1 (PERX) のビット0 (WUTEN) をセット (1) して入力クロックを供給してください。

図9-4 WUTMコンペア・レジスタ (WUTMCMP) のフォーマット

アドレス : F0582H, F0583H リセット時 : 0000H R/W

WUTMCMP	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(4) WUTM制御レジスタ (WUTMCTL)

WUTMCTLレジスタはWUTMのタイマ動作を制御する8ビット・レジスタです。
 8/1ビット単位でリード/ライト可能です。
 リセットにより00Hになります。

注意 WUTMCTLレジスタにライトする際は、必ず周辺イネーブル・レジスタ1 (PERX) のビット0 (WUTEN) をセット (1) して入力クロックを供給してください。

図9 - 5 WUTM制御レジスタ (WUTMCTL) のフォーマット

アドレス : F0580H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
WUTMCTL	WUTMCE	0	0	0	0	0	0	0

WUTMCE	WUTMの動作制御
0	動作禁止
1	動作許可

WUTMCEビットにより、非同期リセットを行います。
 WUTMCEビットを“1”にすると、WUTMCEビットを“1”にしたタイミングから入力クロックの2
 クロック以内に内部動作クロックが許可されカウント・アップします。

- 注意 1.** WUTMCTLレジスタのビット0-6には必ず“0”を設定してください。
2. WUTMCEビットを“0”にするとWUTM内のカウンタ値をただちにクリアします。

9.4 動作

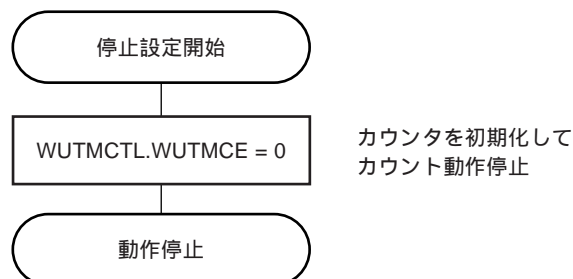
9.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは16ビット・カウンタとWUTMコンペア・レジスタ（WUTMCMP）によりWUTMCMPレジスタの値とカウンタ値が一致すると一致割り込み信号（INTWUTM）を出力し，かつ同タイミングでカウンタを0000Hにクリアさせ再度カウント・アップを開始します。

図9 - 6 インターバル・タイマ・モードの動作開始フロー

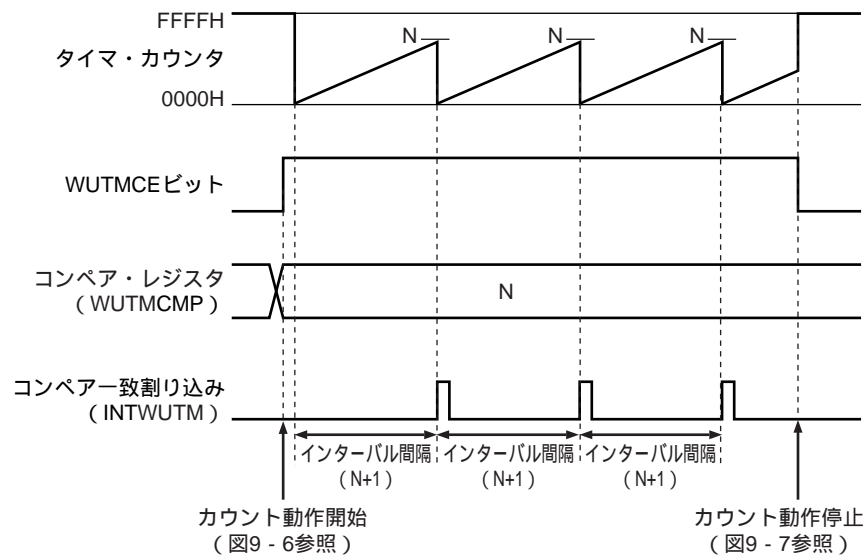


図9 - 7 インターバル・タイマ・モードの動作停止フロー



備考 WUTM停止させて消費電力を低減したい場合は，PERX.WUTEN, PCKSEL.WUTMCKEもクリア（0）してください。

図9-8 インターバル・タイマ・モードの動作タイミング



注意 割り込み周期は、次の式で求めることができます。

$$\text{INTWUTM (タイマ割り込み) の発生周期} = \text{動作クロックの周期} \times (\text{WUTMCMPの設定値} + 1)$$

9.4.2 注意事項

(1) クロック生成回路およびクロック・イネーブル・タイミング

カウント・クロックの動作タイミングを次に示します。

図9 - 9 カウント動作開始タイミング (遅延MIN.)

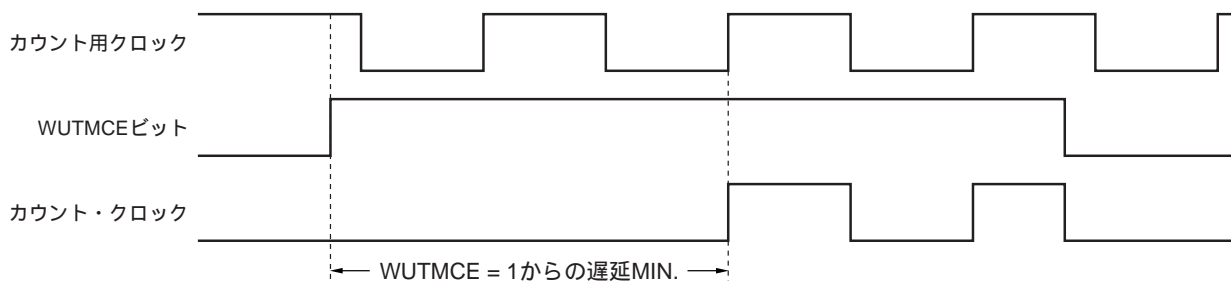
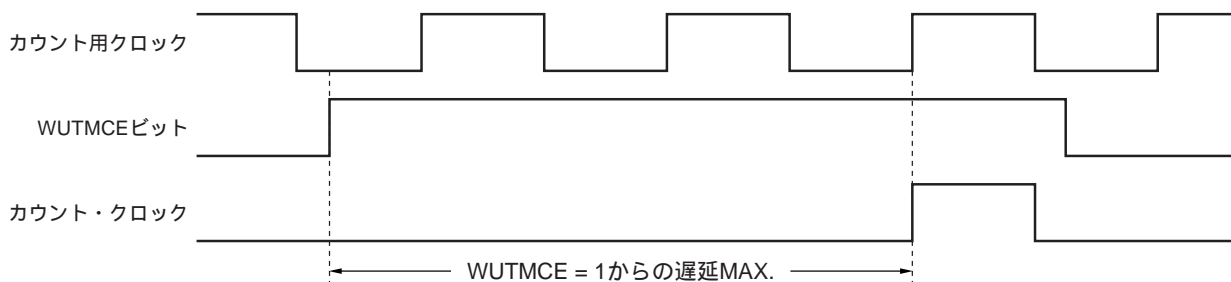


図9 - 10 カウント動作開始タイミング (遅延MAX.)



(2) WUTM動作中のレジスタ書き換え

WUTMCMPレジスタはWUTM動作中の書き換えは禁止です。

WUTMCEビット = 1のときに書き換えた場合、割り込みが発生する可能性があります。

(3) スタンバイ中のWUTM動作

スタンバイ中のWUTMの動作は低速オンチップ・オシレータ (f_{IL}) の動作状態に依存するため、オプションバイトによるWDTの動作設定およびソケット・チップのRTC / インターバル・タイマ動作クロック選択に依存します。

スタンバイ中にWUTMを動作させたい場合は、WDTをスタンバイ中に動作継続するように設定するか、RTC / インターバル・タイマの動作クロックにf_{IL}を選択してください。

第10章 クロック出力/ブザー出力制御回路

クロック出力/ブザー出力制御回路の出力端子数は、製品によって異なります。

出力端子	20ピン製品	30, 32ピン製品	48, 64ピン製品
PCLBUZ0			
PCLBUZ1	-		

注意 この章では、以降の主な説明を64ピン製品の場合で説明しています。

10.1 クロック出力/ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

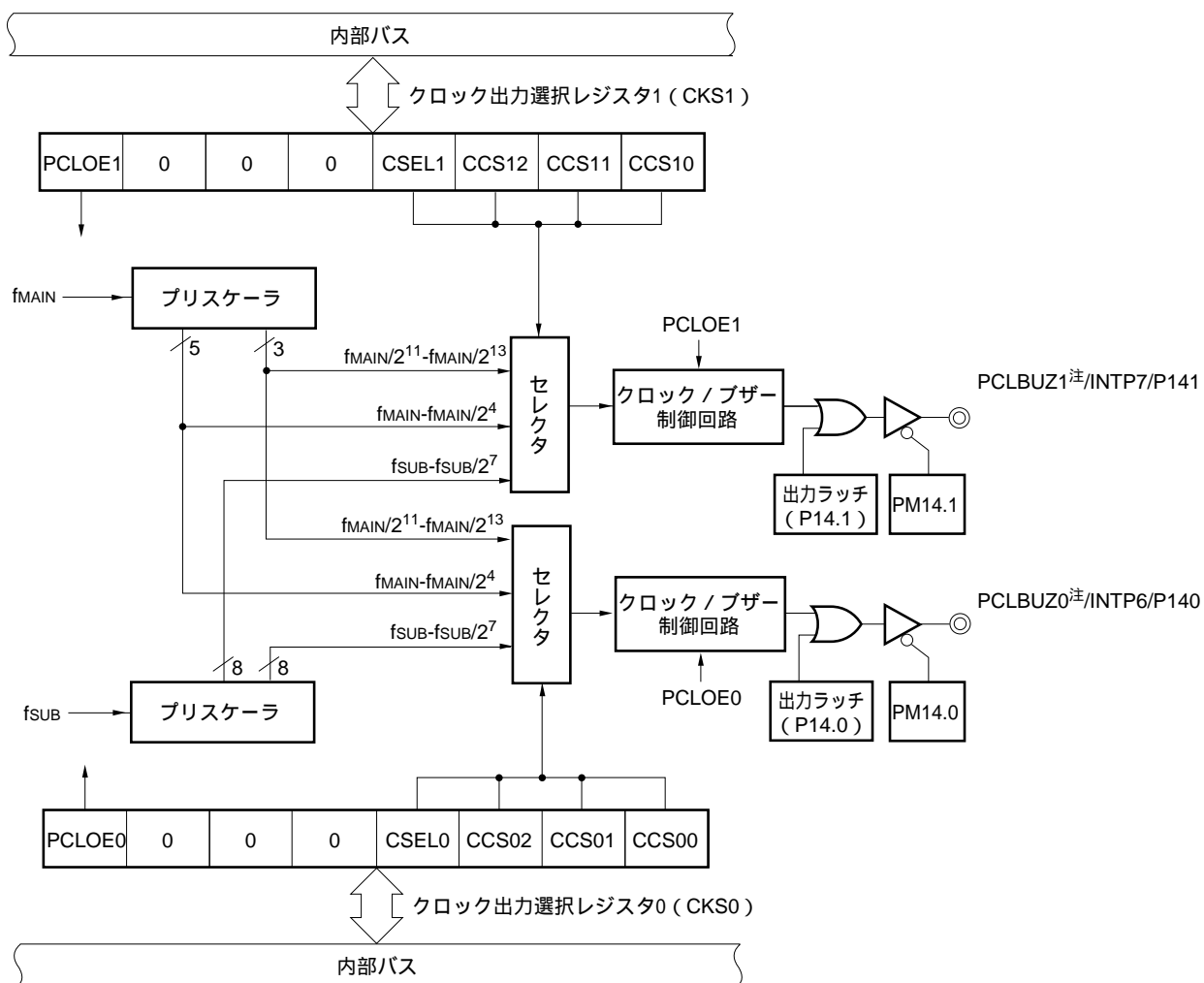
PCLBUZn端子は、クロック出力選択レジスタn (CKSn) で選択したクロックを出力します。

図10 - 1にクロック出力/ブザー出力制御回路のブロック図を示します。

注意 低消費RTCモード時(動作スピード・モード制御レジスタ(OSMC)のRTCLPC = 1)は、PCLBUZn端子から、サブシステム・クロック (f_{SUB}) を出力することはできません。

備考 n = 0, 1

図10 - 1 クロック出力/ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1端子から出力可能な周波数は, 31.5 AC特性, または32.5 AC特性を参照してください。

10.2 クロック出力 / ブザー出力制御回路の構成

クロック出力 / ブザー出力制御回路は、次のハードウェアで構成されています。

表10 - 1 クロック出力 / ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタn (CKSn) ポート・モード・レジスタ14 (PM14) ポート・レジスタ14 (P14)

10.3 クロック出力 / ブザー出力制御回路を制御するレジスタ

クロック出力 / ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタn (CKSn)
- ・ポート・モード・レジスタ14 (PM14)

(1) クロック出力選択レジスタn (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可 / 禁止、および出力クロックを設定するレジスタです。

CKSnレジスタで、PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 クロック出力選択レジスタn (CKSn) のフォーマット

アドレス : FFFA5H (CKS0) , FFFA6H (CKS1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可 / 禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
				f _{MAIN} = 5 MHz	f _{MAIN} = 10 MHz	f _{MAIN} = 20 MHz	f _{MAIN} = 32 MHz	
0	0	0	0	f _{MAIN}	5 MHz	10 MHz ^注	設定禁止 ^注	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	2.5 MHz	5 MHz	10 MHz ^注	16 MHz ^注
0	0	1	0	f _{MAIN} /2 ²	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	f _{MAIN} /2 ³	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f _{MAIN} /2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	f _{MAIN} /2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	f _{MAIN} /2 ¹³	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	0	0	0	f _{SUB}	32.768 kHz			
1	0	0	1	f _{SUB} /2	16.384 kHz			
1	0	1	0	f _{SUB} /2 ²	8.192 kHz			
1	0	1	1	f _{SUB} /2 ³	4.096 kHz			
1	1	0	0	f _{SUB} /2 ⁴	2.048 kHz			
1	1	0	1	f _{SUB} /2 ⁵	1.024 kHz			
1	1	1	0	f _{SUB} /2 ⁶	512 Hz			
1	1	1	1	f _{SUB} /2 ⁷	256 Hz			

注 出力クロックは、16 MHz以内の範囲で使用してください。また、グレードにより使用できる出力周波数が異なります。詳しくは、31.5 AC特性および32.5 AC特性を参照してください。

- 注意1. 出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。
2. メイン・システム・クロック選択時 (CSELn = 0) にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時 (CSELn = 1) は、STOPモード時にクロック出力が可能のためPCLOEn = 1に設定可能です。
3. 低消費RTCモード時 (動作スピード・モード制御レジスタ (OSMC) のRTCLPC = 1) は、PCLBUZn端子から、サブシステム・クロック (f_{SUB}) を出力することはできません。

備考1. n = 0, 1

2. f_{MAIN} : メイン・システム・クロック周波数
f_{SUB} : サブシステム・クロック周波数

(2) ポート・モード・レジスタ14 (PM14)

ポート14の入力/出力を1ビット単位で設定するレジスタです。

P141/INTP7/PCLBUZ1, P140/INTP6/PCLBUZ0端子をクロック出力/ブザー出力機能として使用するとき, PM14.1, PM14.0ビットおよびP14.1, P14.0の出力ラッチに0を設定してください。

PM14レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図10-3 ポート・モード・レジスタ14 (PM14) のフォーマット

アドレス : FFF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	PM14.7	PM14.6	1	1	1	1	PM14.1	PM14.0

PMmn	Pmn端子の入出力モードの選択 (m = 14 ; n = 0, 1, 6, 7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 64ピン製品以外のポート・モード・レジスタについては, 4.3 ポート機能を制御するレジスタを参照してください。

10.4 クロック出力 / ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0) で選択したクロック / ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1) で選択したクロック / ブザーを出力します。

10.4.1 出力端子の動作

PCLBUZn端子は、次の手順で出力します。

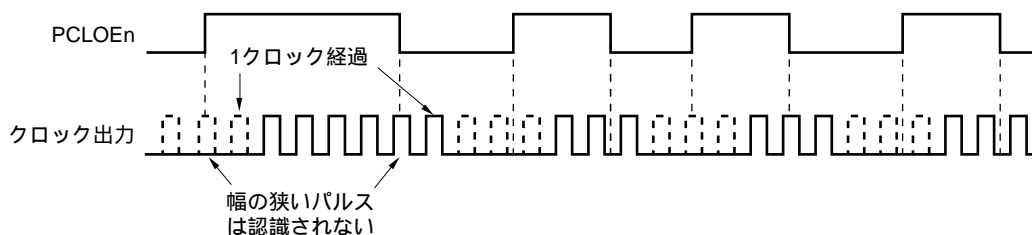
PCLBUZn端子のクロック出力選択レジスタ (CKSn) のビット0-3 (CCSn0-CCSn2, CSELn) で出力周波数を選択する (出力は禁止の状態)。

CKSnレジスタのビット7 (PCLOEn) に1を設定し、クロック出力 / ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可 / 禁止 (PCLOEn ビット) を切り替えてから1クロック後にクロック出力を開始 / 停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可 / 停止とクロック出力のタイミングを図10 - 4に示します。

2. n = 0, 1

図10 - 4 リモコン出力応用例



10.5 クロック出力 / ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択 (CSELn = 0) している場合は、出力停止設定 (PCLOEn = 0) にしてからメイン・システム・クロックの1.5クロック以内にSTOP/HALTモードへ移行すると、PCLBUZnの出力幅が短くなります。

第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速オンチップ・オシレータクロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバーフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFレジスタの詳細については第21章 **リセット機能**を参照してください。

また、オーバーフロー時間の75%+1/2fil到達時にインターバル割り込みを発生することもできます。

11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

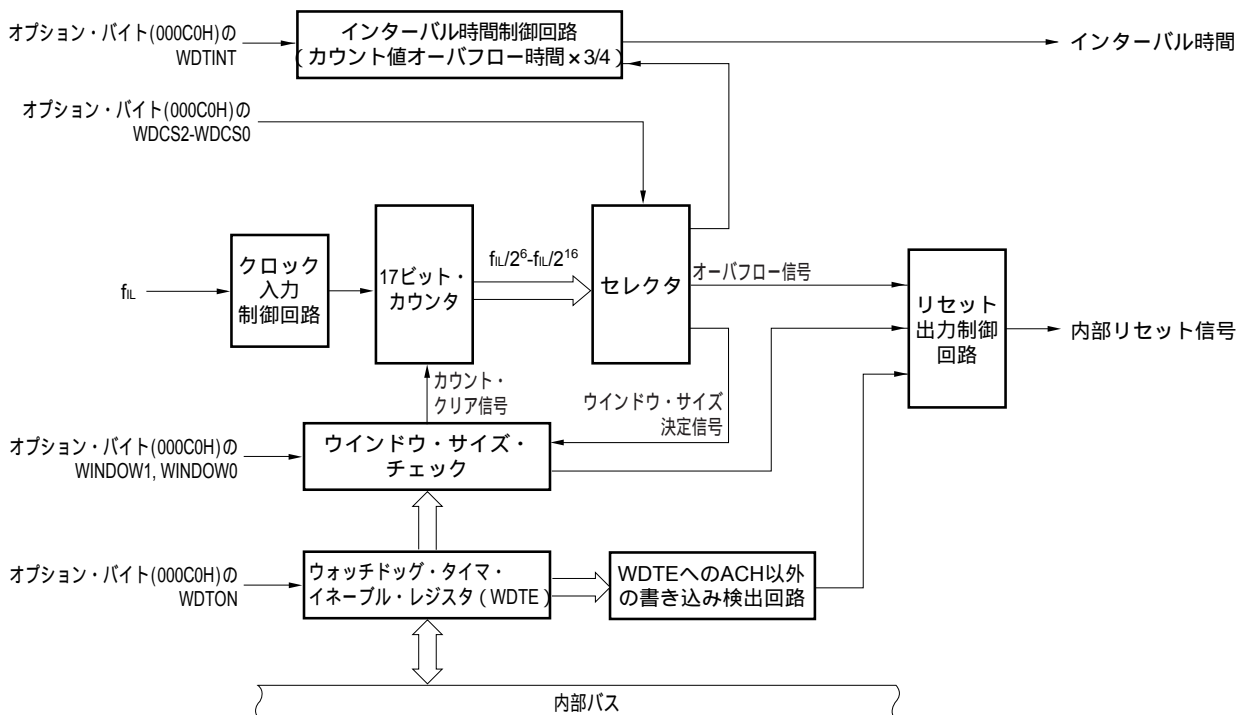
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表11-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第26章 オプション・バイトを参照してください。

図11-1 ウォッチドッグ・タイマのブロック図



11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図11-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH リセット時 : 9AH / 1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は、オプション・バイト (000C0H) のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1 . WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

2 . WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

3 . WDTEレジスタのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト (000C0H) で次の内容を設定します。

・オプション・バイト (000C0H) のビット4 (WDTON) を1に設定し、ウォッチドッグ・タイマのカウント動作を許可 (リセット解除後、カウンタは動作開始) にしてください (詳細は、第26章を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止 (リセット解除後、カウント停止)
1	カウント動作許可 (リセット解除後、カウント開始)

・オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で、オーバフロー時間を設定してください (詳細は、11.4.2および第26章を参照)。

・オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で、ウインドウ・オープン期間を設定してください (詳細は、11.4.3および第26章を参照)。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
 3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に “ACH” を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
 4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
 5. WDTEレジスタに “ACH” を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
- また、次の場合も、内部リセット信号を発生します。

- ・WDTEレジスタに1ビット操作命令を使用した場合
- ・WDTEレジスタに “ACH” 以外のデータを書き込んだ場合

- 注意1.** リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEレジスタに “ACH” を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{IL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により, ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は, 次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

WDSTBYON = 0の場合, HALTおよびSTOPモード解除後は, ウォッチドッグ・タイマのカウントを再開します。このとき, カウンタはクリア (0) して, カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は, CPUは発振安定時間経過後に動作を開始します。

そのため, STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと, 発振安定時間中にオーバーフローしてリセットが発生します。

よって, インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し, ウォッチドッグ・タイマをクリアする場合は, 発振安定時間経過後にクリアすることになるため, その時間を考慮してオーバーフロー時間を設定してください。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には, 割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウィンドウ・サイズを設定してください。

11.4.2 ウォッチドッグ・タイマのオーバーフロー時間の設定

ウォッチドッグ・タイマのオーバーフロー時間は, オプション・バイト (000C0H) のビット3-1 (WDSC2-WDCS0) で設定します。

オーバーフロー時は, 内部リセット信号を発生します。オーバーフロー時間前の, ウィンドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に “ACH” を書き込むことにより, カウントはクリアされ, 再度カウント動作を開始します。

設定可能なオーバーフロー時間を次に示します。

表11-3 ウォッチドッグ・タイマのオーバーフロー時間の設定

WDSC2	WDSC1	WDSC0	ウォッチドッグ・タイマのオーバーフロー時間 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)
0	0	0	$2^6/f_{IL}$ (3.71 ms)
0	0	1	$2^7/f_{IL}$ (7.42 ms)
0	1	0	$2^8/f_{IL}$ (14.84 ms)
0	1	1	$2^9/f_{IL}$ (29.68 ms)
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)
1	0	1	$2^{13}/f_{IL}$ (474.90 ms)
1	1	0	$2^{14}/f_{IL}$ (949.80 ms)
1	1	1	$2^{16}/f_{IL}$ (3799.19 ms)

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には, 割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウィンドウ・サイズを設定してください。

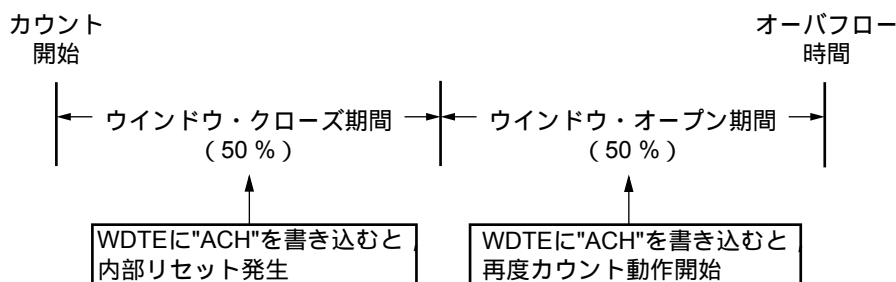
備考 f_{IL} : 低速オンチップ・オシレータクロック周波数

11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に “ACH” を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEレジスタに “ACH” を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバーフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表11-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

注意1. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

2. オプション・バイト (000C0H) のビット0 (WDSTBYON) = 0 のときは、WINDOW1, WINDOW0 ビットの値に関係なく、ウインドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^9/f_{IL}$ に設定した場合，ウインドウ・クローズ時間とオープン時間は，次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 20.08 ms	0 ~ 10.04 ms	なし
ウインドウ・オープン時間	20.08 ~ 29.68 ms	10.04 ~ 29.68 ms	0 ~ 29.68 ms

<ウインドウ・オープン期間50 %のとき>

・ オーバフロー時間：

$$2^9/f_{IL} (\text{MAX.}) = 2^9/17.25 \text{ kHz (MAX.)} = 29.68 \text{ ms}$$

・ ウインドウ・クローズ時間：

$$0 \sim 2^9/f_{IL} (\text{MIN.}) \times (1 - 0.5) = 0 \sim 2^9/12.75 \text{ kHz (MIN.)} \times 0.5 = 0 \sim 20.08 \text{ ms}$$

・ ウインドウ・オープン時間：

$$2^9/f_{IL} (\text{MIN.}) \times (1 - 0.5) \sim 2^9/f_{IL} (\text{MAX.}) = 2^9/12.75 \text{ kHz (MIN.)} \times 0.5 \sim 2^9/17.25 \text{ kHz (MAX.)} = 20.08 \sim 29.68 \text{ ms}$$

11. 4. 4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により，オーバフロー時間の75%+1/2f_{IL}到達時にインターバル割り込み (INTWDTI) を発生することができます。

表11 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2f _{IL} 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。

そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。

よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。

第12章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

	20ピン	30, 32ピン	48ピン	64ピン
アナログ入力 チャンネル	4 ch (ANI0-ANI2, ANI16)	8 ch (ANI0-ANI3, ANI16-ANI19)	10 ch (ANI0-ANI7, ANI18, ANI19)	12 ch (ANI0-ANI7, ANI16-ANI19)

注意 この章では、以降の主な説明を64ピン製品の場合で説明しています。

12.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能[※]のコンバータで、最大12チャンネルのA/Dコンバータ・アナログ入力 (ANI0-ANI7, ANI16-ANI19) を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

- ・10ビット分解能A/D変換[※]

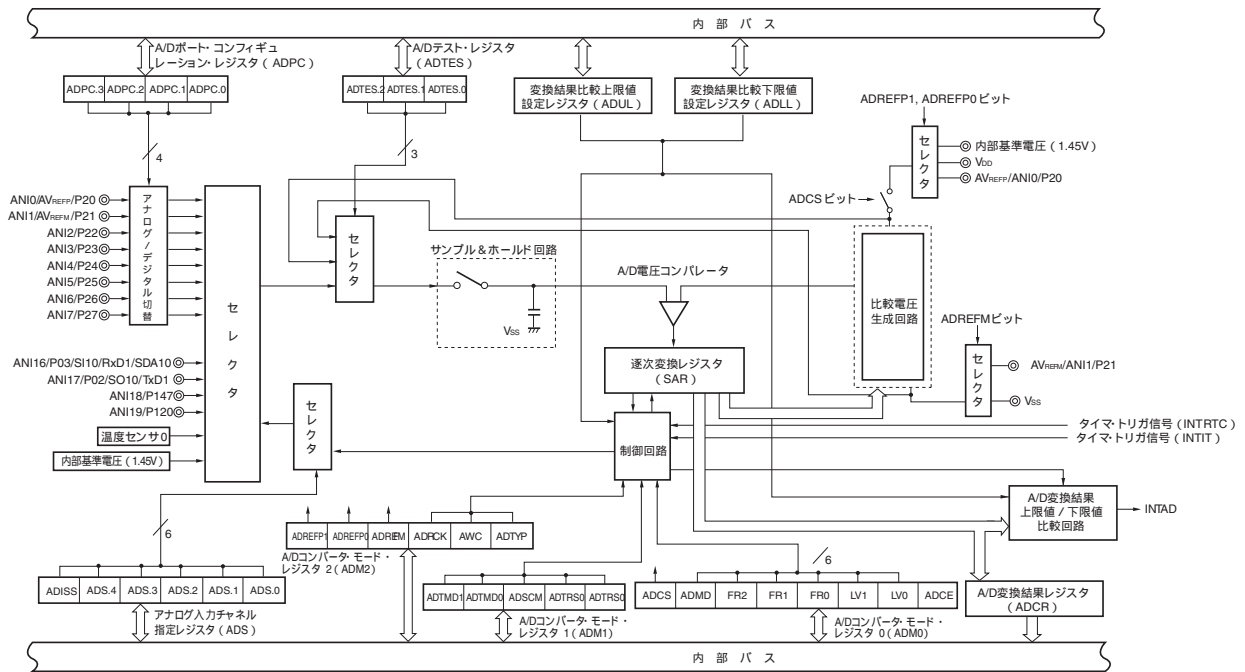
ANI0-ANI7, ANI16-ANI19からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します (セレクト・モード時の場合)。

注 A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYPビットにより、8ビット分解能を選択することも可能です。

下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	チャンネル選択モード	変換動作モード
<ul style="list-style-type: none"> ・ソフトウェア・トリガ ソフトウェアによるトリガ設定により、変換動作を開始します。 ・ハードウェア・トリガ・ノーウエイト・モード ハードウェア・トリガを検出することにより、変換動作を開始します。 ・ハードウェア・トリガ・ウエイト・モード パワー・オフでの変換待機状態でハードウェア・トリガを検出することによりパワー・オンとなり、安定待ち時間経過後に自動的に変換動作を開始します。 	<ul style="list-style-type: none"> ・セレクト・モード 1チャンネルのアナログ入力をA/D変換 ・スキャン・モード 4チャンネルのアナログ入力を順番にA/D変換 	<ul style="list-style-type: none"> ・ワンショット変換モード 選択したチャンネルを1回A/D変換 ・連続変換モード 選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換

図12-1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は、64ピン製品の場合です。

12.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI7, ANI16-ANI19端子

A/Dコンバータの最大12チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0 : ($1/4 AV_{REF}$)

ビット9 = 1 : ($3/4 AV_{REF}$)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 比較電圧生成回路の電圧タップ : ビット8 = 1

アナログ入力電圧 比較電圧生成回路の電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

備考 AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧(1.45 V), V_{DD} から選択可能です。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する10ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタ (ADCR) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止などを制御します。A/D変換が終了した場合、INTADを発生します。

(9) AV_{REFP} 端子

外部から基準電圧 (AV_{REFP}) を入力する端子です。

AV_{REFP}をA/Dコンバータの基準電圧の + 側として使用する場合は、A/Dコンバータ・モード・レジスタ2 (ADM2) のADREFP1ビットに0、ADREFP0ビットに1を設定してください。

AV_{REFP}と - 側基準電圧 (AV_{REFM}/V_{SS}) 間にかかる電圧に基づいて、ANI0-ANI7、ANI16-ANI19に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの + 側基準電圧には、AV_{REFP}のほかにV_{DD}と内部基準電圧 (1.45 V) を選択することが可能です。

(10) AV_{REFM} 端子

外部から基準電圧 (AV_{REFM}) を入力する端子です。AV_{REFM}をA/Dコンバータの - 側の基準電圧として使用する場合は、ADM2レジスタのADREFMビットを1にセットしてください。

A/Dコンバータの - 側基準電圧には、AV_{REFM}のほかにV_{SS}を選択することが可能です。

注意 A/D変換精度は、使う端子や基準電圧の設定によって異なります。詳細は31章 電気的特性 (Jグレード) および32章 電気的特性 (Kグレード) を参照してください。

12.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次のレジスタを使用します。

- ・ 周辺イネーブル・レジスタ0 (PER0)
- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ ポート・モード・コントロール・レジスタ0, 12, 14 (PMC0, PMC12, PMC14)
- ・ ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可 / 禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN ^注	SAU1EN ^注	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入力クロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入力クロック供給 ・ A/Dコンバータで使用するSFRへのリード / ライト可

注 20ピン製品には搭載されていません。

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ0, 2, 12, 14(PM0, PM2, PM12, PM14), ポート・モード・コントロール・レジスタ0, 12, 14(PMC0, PMC12, PMC14), A/Dポート・コンフィギュレーション・レジスタ (ADPC) は除く)。

2. 次のビットには必ず“0”を設定してください。

20ピン製品 : ビット1, 3, 4, 6

30, 32, 48ピン製品 : ビット1, 6

(2) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間，変換動作の開始 / 停止を設定するレジスタです。

ADM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12 - 3 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 [リード時] 変換動作停止 / 待機状態
1	変換動作許可 [リード時 ^{注2}] ソフトウェア・トリガ・モード時：変換動作状態 ハードウェア・トリガ・ウェイト・モード時：安定待ち状態 + 変換動作状態

ADMD	A/D変換チャンネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御 ^{注3}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は，表12 - 3 A/D変換時間の選択を参照してください。

- ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時，A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，1 μsかかります。このため，ADCEビットに1を設定してから1 μs以上経過したあとに，ADCSビットに1を設定することで，最初の変換データより有効となります。1 μs以上ウェイトしないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビット, ADCEの変更は変換停止状態、および変換待機状態 (ADCS = 0)で行ってください。

- ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず12.7 A/Dコンバータの設定フローチャートの手順に従ってください。

表12-1 ADCSビットとADCEビットの設定

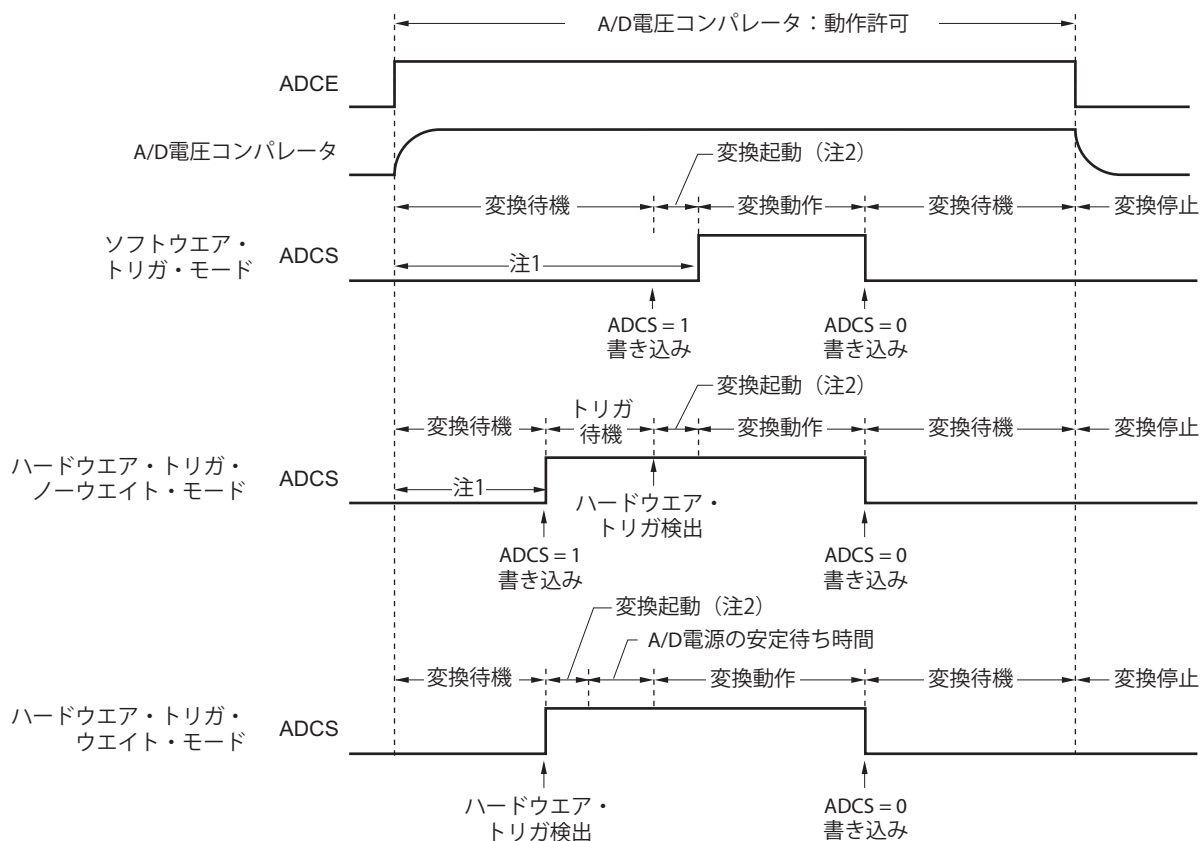
ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費バスは存在しません）
0	1	変換待機モード（A/D電圧コンパレータのみ電力消費）
1	0	設定禁止
1	1	変換モード（A/D電圧コンパレータ：動作許可）

注 ハードウェア・トリガ・ウェイト・モードでは、変換待機モード中もDC電力消費バスは存在しません。

表12-2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCS = 1 ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ノーウェイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウェア・トリガ・ウェイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア

図12-4 A/D電圧コンパレータ使用時のタイミング・チャート



- 注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時，ADCEビットの立ち上がりから，ADCSビットの立ち上がりまでの時間は，内部回路安定のため，1 μs以上必要です。
- 2. 変換起動には，最大で次の時間がかかります。

ADM0			変換クロック (f _{AD})	変換起動時間 (f _{CLK} クロック)	
FR2	FR1	FR0		ソフトウェア・トリガ・モード /ハードウェア・トリガ・ ノーウエイト・モード	ハードウェア・トリガ・ ウエイト・モード
0	0	0	f _{CLK} /64	63	1
0	0	1	f _{CLK} /32	31	
0	1	0	f _{CLK} /16	15	
0	1	1	f _{CLK} /8	7	
1	0	0	f _{CLK} /6	5	
1	0	1	f _{CLK} /5	4	
1	1	0	f _{CLK} /4	3	
1	1	1	f _{CLK} /2	1	

ただし、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、AD変換待機状態にするために、ADCSビットに0を設定することは可能です。

2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、AD変換終了時にADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。
3. ADCEビットの書き換えは、ADCS = 0(変換停止/変換待機状態)のときに行ってください。
4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。
 ハードウェア・トリガ・ノーウエイト・モード時： f_{CLK} の2クロック + A/D変換時間
 ハードウェア・トリガ・ウエイト・モード時： f_{CLK} の2クロック + 安定待ち時間 + A/D変換時間

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

表12 - 3 A/D変換時間の選択 (1/6)

(1) 4.0 V V_{DD} 5.5 V

安定待ち時間なし(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	変換時間の選択					
FR2	FR1	FR0	LV1	LV0			$f_{CLK} = 1 \text{ MHz}$	$f_{CLK} = 2 \text{ MHz}$	$f_{CLK} = 4 \text{ MHz}$	$f_{CLK} = 8 \text{ MHz}$	$f_{CLK} = 16 \text{ MHz}$	$f_{CLK} = 32 \text{ MHz}$
0	0	0	0	0	標準1	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	38 μs
0	0	1				$f_{CLK}/32$					38 μs	19 μs
0	1	0				$f_{CLK}/16$				38 μs	19 μs	9.5 μs
0	1	1				$f_{CLK}/8$			38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				$f_{CLK}/6$			28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				$f_{CLK}/5$			23.75 μs	11.875 μs	5.9375 μs	2.9688 μs
1	1	0				$f_{CLK}/4$		38 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				$f_{CLK}/2$	38 μs	19 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	34 μs
0	0	1				$f_{CLK}/32$					34 μs	17 μs
0	1	0				$f_{CLK}/16$				34 μs	17 μs	8.5 μs
0	1	1				$f_{CLK}/8$			34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				$f_{CLK}/6$			25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				$f_{CLK}/5$			21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				$f_{CLK}/4$		34 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				$f_{CLK}/2$	34 μs	17 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止
上記以外					設定禁止							

注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止(ADCS = 0)させたのちに行ってください。

2. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

表12 - 3 A/D変換時間の選択 (2/6)

(2) 2.7 V $V_{DD} < 5.5 V$

安定待ち時間なし (ソフトウェア・トリガ・モード / ハードウェア・トリガ・ノーウェイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	変換時間の選択					
FR2	FR1	FR0	LV1	LV0			$f_{CLK} = 1 \text{ MHz}$	$f_{CLK} = 2 \text{ MHz}$	$f_{CLK} = 4 \text{ MHz}$	$f_{CLK} = 8 \text{ MHz}$	$f_{CLK} = 16 \text{ MHz}$	$f_{CLK} = 32 \text{ MHz}$
0	0	0	0	0	標準1	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	38 μs
0	0	1	$f_{CLK}/32$							38 μs	19 μs	
0	1	0	$f_{CLK}/16$						38 μs	19 μs	9.5 μs	
0	1	1	$f_{CLK}/8$					38 μs	19 μs	9.5 μs	4.75 μs	
1	0	0	$f_{CLK}/6$					28.5 μs	14.25 μs	7.125 μs	3.5625 μs	
1	0	1	$f_{CLK}/5$					23.75 μs	11.875 μs	5.9375 μs	設定禁止	
1	1	0	$f_{CLK}/4$				38 μs	19 μs	9.5 μs	4.75 μs		
1	1	1	$f_{CLK}/2$			38 μs	19 μs	9.5 μs	4.75 μs	設定禁止		
0	0	0	0	1	標準2	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	34 μs
0	0	1	$f_{CLK}/32$							34 μs	17 μs	
0	1	0	$f_{CLK}/16$						34 μs	17 μs	8.5 μs	
0	1	1	$f_{CLK}/8$					34 μs	17 μs	8.5 μs	4.25 μs	
1	0	0	$f_{CLK}/6$					25.5 μs	12.75 μs	6.375 μs	3.1875 μs	
1	0	1	$f_{CLK}/5$					21.25 μs	10.625 μs	5.3125 μs	設定禁止	
1	1	0	$f_{CLK}/4$				34 μs	17 μs	8.5 μs	4.25 μs		
1	1	1	$f_{CLK}/2$			34 μs	17 μs	8.5 μs	4.25 μs	設定禁止		
上記以外					設定禁止							

注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止(ADCS = 0)させたのちに行ってください。

- 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (3/6)

(3) 1.8 V $V_{DD} < 5.5$ V

安定待ち時間なし (ソフトウェア・トリガ・モード / ハードウェア・トリガ・ノーウェイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	変換時間の選択					
FR2	FR1	FR0	LV1	LV0			$f_{CLK} = 1$ MHz	$f_{CLK} = 2$ MHz	$f_{CLK} = 4$ MHz	$f_{CLK} = 8$ MHz	$f_{CLK} = 16$ MHz	$f_{CLK} = 32$ MHz
0	0	0	0	0	標準1	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	38 μ s
0	0	1				$f_{CLK}/32$					38 μ s	19 μ s
0	1	0				$f_{CLK}/16$				38 μ s	19 μ s	設定禁止
0	1	1				$f_{CLK}/8$			38 μ s	19 μ s	設定禁止	
1	0	0				$f_{CLK}/6$			28.5 μ s	設定禁止		
1	0	1				$f_{CLK}/5$			23.75 μ s			
1	1	0				$f_{CLK}/4$		38 μ s	19 μ s			
1	1	1				$f_{CLK}/2$	38 μ s	19 μ s	設定禁止			
0	0	0	0	1	標準2	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	34 μ s
0	0	1				$f_{CLK}/32$					34 μ s	17 μ s
0	1	0				$f_{CLK}/16$				34 μ s	17 μ s	設定禁止
0	1	1				$f_{CLK}/8$			34 μ s	17 μ s	設定禁止	
1	0	0				$f_{CLK}/6$			25.5 μ s	設定禁止		
1	0	1				$f_{CLK}/5$			21.25 μ s			
1	1	0				$f_{CLK}/4$		34 μ s	17 μ s			
1	1	1				$f_{CLK}/2$	34 μ s	17 μ s	設定禁止			
上記以外						設定禁止						

注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。

2. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

表12 - 3 A/D変換時間の選択 (4/6)

(4) 4.0 V V_{DD} 5.5 V

安定待ち時間あり (ハードウェア・トリガ・ウェイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	変換時間の選択					
FR2	FR1	FR0	LV1	LV0			$f_{CLK} = 1 \text{ MHz}$	$f_{CLK} = 2 \text{ MHz}$	$f_{CLK} = 4 \text{ MHz}$	$f_{CLK} = 8 \text{ MHz}$	$f_{CLK} = 16 \text{ MHz}$	$f_{CLK} = 32 \text{ MHz}$
0	0	0	0	0	標準1	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	$f_{CLK}/32$								27 μs	
0	1	0	$f_{CLK}/16$							27 μs	13.5 μs	
0	1	1	$f_{CLK}/8$						27 μs	13.5 μs	6.75 μs	
1	0	0	$f_{CLK}/6$						20.25 μs	10.125 μs	5.0625 μs	
1	0	1	$f_{CLK}/5$					33.75 μs	16.875 μs	8.4375 μs	4.2188 μs	
1	1	0	$f_{CLK}/4$					27 μs	13.5 μs	6.75 μs	3.375 μs	
1	1	1	$f_{CLK}/2$				27 μs	13.5 μs	6.75 μs	3.375 μs	設定禁止	
0	0	0	0	1	標準2	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	$f_{CLK}/32$								25 μs	
0	1	0	$f_{CLK}/16$							25 μs	12.5 μs	
0	1	1	$f_{CLK}/8$						25 μs	12.5 μs	6.25 μs	
1	0	0	$f_{CLK}/6$					37.5 μs	18.75 μs	9.375 μs	4.6875 μs	
1	0	1	$f_{CLK}/5$					31.25 μs	15.625 μs	7.8125 μs	3.9063 μs	
1	1	0	$f_{CLK}/4$					25 μs	12.5 μs	6.25 μs	3.125 μs	
1	1	1	$f_{CLK}/2$				25 μs	12.5 μs	6.25 μs	3.125 μs	設定禁止	
上記以外					設定禁止							

注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。

2. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
3. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からの安定待ち時間を含みます。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

表12 - 3 A/D変換時間の選択 (5/6)

(5) 2.7 V $V_{DD} < 5.5 V$

安定待ち時間あり (ハードウェア・トリガ・ウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	変換時間の選択					
FR2	FR1	FR0	LV1	LV0			$f_{CLK} = 1 \text{ MHz}$	$f_{CLK} = 2 \text{ MHz}$	$f_{CLK} = 4 \text{ MHz}$	$f_{CLK} = 8 \text{ MHz}$	$f_{CLK} = 16 \text{ MHz}$	$f_{CLK} = 32 \text{ MHz}$
0	0	0	0	0	標準1	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				$f_{CLK}/32$						27 μs
0	1	0				$f_{CLK}/16$						27 μs
0	1	1				$f_{CLK}/8$				27 μs	13.5 μs	6.75 μs
1	0	0				$f_{CLK}/6$				20.25 μs	10.125 μs	5.0625 μs
1	0	1				$f_{CLK}/5$			33.75 μs	16.875 μs	8.4375 μs	4.2188 μs
1	1	0				$f_{CLK}/4$			27 μs	13.5 μs	6.75 μs	3.375 μs
1	1	1				$f_{CLK}/2$		27 μs	13.5 μs	6.75 μs	3.375 μs	設定禁止
0	0	0	0	1	標準2	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				$f_{CLK}/32$						25 μs
0	1	0				$f_{CLK}/16$						25 μs
0	1	1				$f_{CLK}/8$				25 μs	12.5 μs	6.25 μs
1	0	0				$f_{CLK}/6$			37.5 μs	18.75 μs	9.375 μs	4.6875 μs
1	0	1				$f_{CLK}/5$			31.25 μs	15.625 μs	7.8125 μs	3.9063 μs
1	1	0				$f_{CLK}/4$			25 μs	12.5 μs	6.25 μs	設定禁止
1	1	1				$f_{CLK}/2$		25 μs	12.5 μs	6.25 μs	設定禁止	
上記以外					設定禁止							

- 注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。
2. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
3. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からの安定待ち時間を含みます。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

表12 - 3 A/D変換時間の選択 (6/6)

(6) 1.8 V $V_{DD} < 5.5 V$

安定待ち時間あり (ハードウェア・トリガ・ウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f_{AD})	変換時間の選択						
FR2	FR1	FR0	LV1	LV0			$f_{CLK} = 1 \text{ MHz}$	$f_{CLK} = 2 \text{ MHz}$	$f_{CLK} = 4 \text{ MHz}$	$f_{CLK} = 8 \text{ MHz}$	$f_{CLK} = 16 \text{ MHz}$	$f_{CLK} = 32 \text{ MHz}$	
0	0	0	0	0	標準1	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				$f_{CLK}/32$						27 μs	
0	1	0				$f_{CLK}/16$						27 μs	設定禁止
0	1	1				$f_{CLK}/8$					27 μs	設定禁止	
1	0	0				$f_{CLK}/6$					20.25 μs		
1	0	1				$f_{CLK}/5$				33.75 μs	設定禁止		
1	1	0				$f_{CLK}/4$				27 μs			
1	1	1				$f_{CLK}/2$			27 μs	設定禁止			
0	0	0	0	1	標準2	$f_{CLK}/64$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				$f_{CLK}/32$						25 μs	
0	1	0				$f_{CLK}/16$						25 μs	設定禁止
0	1	1				$f_{CLK}/8$					25 μs	設定禁止	
1	0	0				$f_{CLK}/6$				37.5 μs	18.75 μs		
1	0	1				$f_{CLK}/5$				31.25 μs	設定禁止		
1	1	0				$f_{CLK}/4$				25 μs			
1	1	1				$f_{CLK}/2$			25 μs	設定禁止			
上記以外					設定禁止								

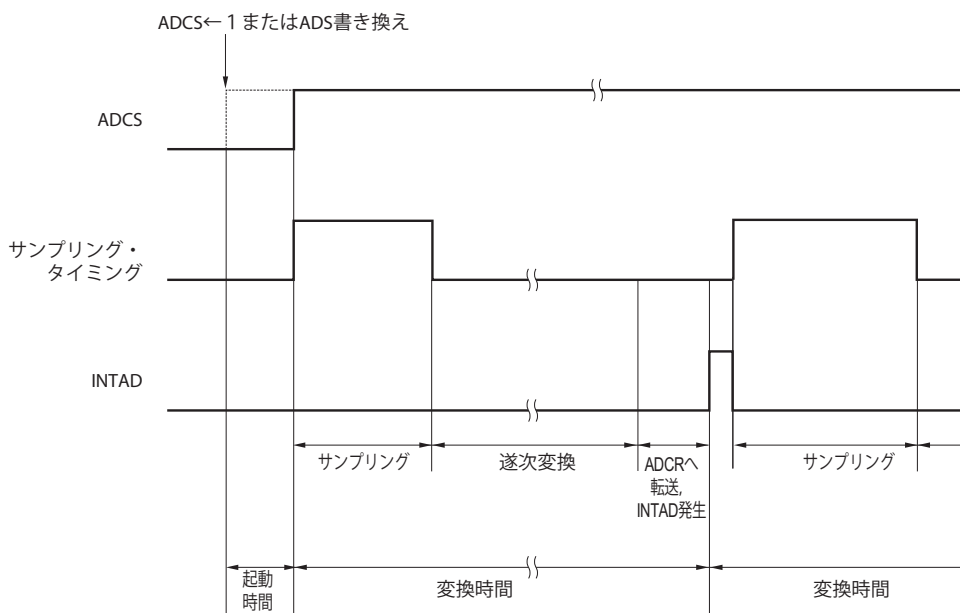
注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は, いったんA/D変換動作を停止

(ADCS = 0) させたのちに行ってください。

- 変換時間は変換起動時間を含みません。1回目の変換では, 変換起動時間を加算してください。また変換時間は, クロック周波数の誤差を含みません。誤差を考慮して, 変換時間を選択してください。
- ハードウェア・トリガ・ウエイト・モード時の変換時間は, ハードウェア・トリガ検出からの安定待ち時間を含みます。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図12 - 5 A/DコンバータのサンプリングとA/D変換のタイミング (例 ソフトウェア・トリガ・モードの場合)



(3) A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ, 変換モード, ハードウェア・トリガ信号を設定するレジスタです。
 ADM1レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により, 00Hになります。

図12 - 6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	x	ソフトウェア・トリガ・モード
1	0	ハードウェア・トリガ・ノーウェイト・モード
1	1	ハードウェア・トリガ・ウェイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	タイマ・チャンネル01のカウンタ完了またはキャプチャ完了割り込み信号 (INTTM01)
0	1	設定禁止
1	0	リアルタイム・クロック割り込み信号 (INTRTC)
1	1	12ビット・インターバル・タイマ割り込み信号 (INTIT)

(注意、備考は次ページにあります。)

- 注意1. ADM1レジスタを書き換える場合は、必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。
2. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。
ハードウェア・トリガ・ノーウェイト・モード時： f_{CLK} の2クロック + A/D変換時間
ハードウェア・トリガ・ウェイト・モード時： f_{CLK} の2クロック + 安定待ち時間 + A/D変換時間
3. SNOOZE機能以外のモードにおいて、INTRTC, INTIT入力後最大 f_{CLK} の4クロック間は、次のINTRTC, INTIT入力トリガとして有効になりません。

- 備考 1. x : Don't care
2. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

(4) A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの基準電圧の選択, A/D変換結果の上限値/下限値のチェック, 分解能の選択, および SNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図12 - 7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの + 側の基準電圧源の選択
0	0	V _{DD} から供給
0	1	P20/AV _{REFP} /ANI0から供給
1	0	内部基準電圧 (1.45 V) から供給 ^注
1	1	設定禁止

・ ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。

ADCE = 0に設定
ADREFP1, ADREFP0の値を変更
安定待ち時間ウエイト (A)
ADCE = 1に設定
安定待ち時間ウエイト (B)

ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 5 μs, B = 1 μs
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : Aはウエイト不要, B = 1 μs

のウエイトのあとに, A/D変換開始してください。

・ ADREFP1, ADREFP0 = 1, 0に設定した場合, 温度センサ出力と内部基準電圧出力をA/D変換することはできません。
必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの - 側の基準電圧源の選択
0	V _{SS} から供給
1	P21/AV _{REFM} /ANI1から供給

注 HS (高速メイン) モードでのみ選択可能です。

ADRCK	変換結果上限 / 下限値チェック
0	ADLLレジスタ ADCRレジスタ ADULレジスタ () のとき割り込み信号 (INTAD) が発生。
1	ADCRレジスタ < ADLLレジスタ () , ADULレジスタ < ADCRレジスタ () のとき割り込み信号 (INTAD) が発生。

~ の割り込み信号 (INTAD) 発生範囲を図12 - 8に示します。

(注意は次ページにあります)

- 注意1. ADM2レジスタを書き換える場合は、必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。
2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADREFP1= 1に設定しないでください。内部基準電圧（ADREFP1, ADREFP0 = 1, 0）選択時は、29. 4. 2 電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。
3. AV_{REFP}とAV_{REFM}を使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

図12 - 7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（2/2）

アドレス：F0010H リセット時：00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います（SNOOZEモード）。

- ・SNOOZEモード機能は、CPU/周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータクロックが選択されているときのみ設定可能です。高速オンチップ・オシレータクロック以外が選択されている場合は設定禁止です。
- ・ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウェイト・モードでのSNOOZEモード機能は使用禁止です。
- ・連続変換モードでのSNOOZEモード機能は使用禁止です。
- ・SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間^注 + A/D電源安定待ち時間 + A/D変換時間 + f_{CLK}の2クロック」以上の間隔を空けて設定してください。
- ・SNOOZE機能を使用する場合でも、通常動作モード時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。

またSTOPモードから通常動作モードへ復帰後、必ずAWCを0に変更してください。

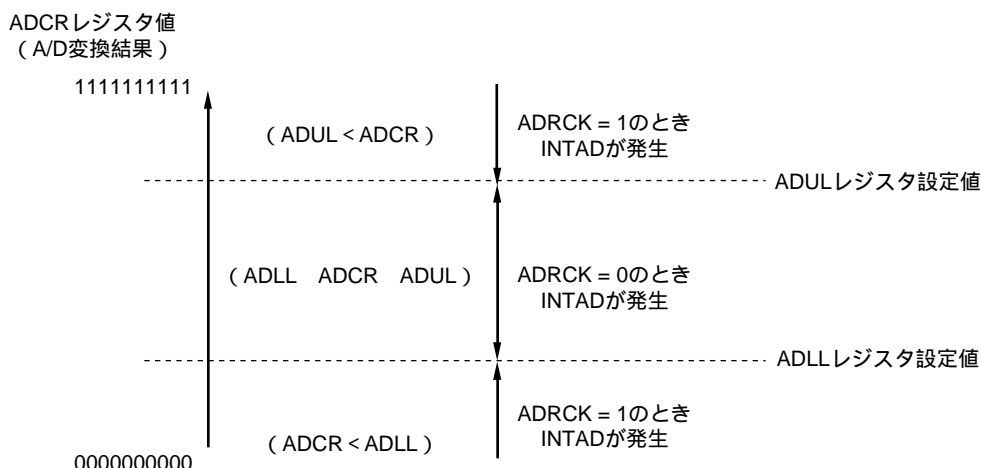
AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注 20. 2. 3 SNOOZEモードの「STOP SNOOZE」を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

図12 - 8 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR, ADCRHレジスタに格納されません。

(5) 10ビットA/D変換結果レジスタ (ADCR)

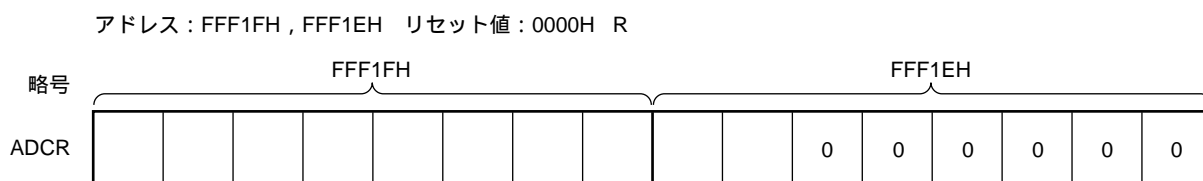
セレクト・モード時にA/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます^注。

ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図12 - 8参照)) で設定した値の範囲外の場合は格納されません。

図12 - 9 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



- 注意1. A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCRレジスタの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。
- 2. 8ビット分解能A/D変換を選択時 (A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYP = 1) にADCRレジスタをリードした場合, 下位2ビット (ADCR1, ADCR0) は, 0が読み出されます。
- 3. ADCRレジスタへ16ビット・アクセスした場合, 変換結果上位10ビットがビット15から順に読み出せます。

(6) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します^注。

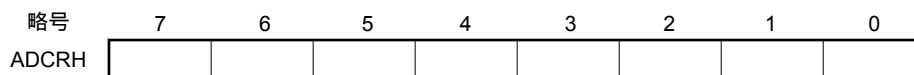
ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図12 - 8 参照)) で設定した値の範囲外の場合は格納されません。

図12 - 10 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス : FFF1FH リセット時 : 00H R



注意 A/Dコンバータ・モード・レジスタ0 (ADM0) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき , ADCRHレジスタの内容は不定となることがあります。変換結果は , 変換動作終了後 , ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは , 正しい変換結果が読み出されないことがあります。

(7) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 11 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS.4	ADS.3	ADS.2	ADS.1	ADS.0

セレクト・モード (ADMD = 0)

ADISS	ADS.4	ADS.3	ADS.2	ADS.1	ADS.0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	0	0	1	1	0	ANI6	P26/ANI6端子
0	0	0	1	1	1	ANI7	P27/ANI7端子
0	1	0	0	0	0	ANI16	P03/ANI16端子 ^{注1}
0	1	0	0	0	1	ANI17	P02/ANI17端子 ^{注2}
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	-	温度センサ出力 ^{注3}
1	0	0	0	0	1	-	内部基準電圧出力 (1.45 V) ^{注3}
上記以外						設定禁止	

注1. 20, 30, 32ピン製品の場合は、P01/ANI16端子になります。

2. 20, 30, 32ピン製品の場合は、P00/ANI17端子になります。

3. HS (高速メイン) モードでのみ選択可能です。

スキャン・モード (ADMD = 1)

ADS.4	ADS.3	ADS.2	ADS.1	ADS.0	アナログ入力チャンネル			
					スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
上記以外					設定禁止			

(注意は次ページにあります。)

- 注意1.** ビット5, 6には必ず0を設定してください。
2. A/D変換で使用するチャネルは、ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14) で入力モードに選択してください。
 3. A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
 4. ポート・モード・コントロール・レジスタ0, 12, 14 (PMC0, PMC12, PMC14) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
 5. ADISSビットを書き換える場合は、必ず変換動作停止状態 (A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 0) のときに行ってください。
 6. AV_{REFP}をA/Dコンバータの+側の基準電圧源として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。
 7. AV_{REFM}をA/Dコンバータの-側の基準電圧源として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。
 8. ADISS = 1を設定した場合、+側の基準電圧源に内部基準電圧(1.45 V)は使用できません。
 9. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、29. 4. 2 電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。
 10. 製品により、対応するANI端子が存在しない場合は、変換結果を無視してください。

備考 x : don't care

(8) 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果対し、上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2) のADRCKビットの設定範囲 (図12 - 8参照) で割り込み信号 (INTAD) の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ (ADCR) の上位8ビットをADULレジスタと比較します。

図12 - 12 変換結果比較上限値設定レジスタ (ADUL) のフォーマット

アドレス : F0011H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL.7	ADUL.6	ADUL.5	ADUL.4	ADUL.3	ADUL.2	ADUL.1	ADUL.0

(9) 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2) のADRCKビットの設定範囲 (図12 - 8参照) で割り込み信号 (INTAD) の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 13 変換結果比較下限値設定レジスタ (ADLL) のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL.7	ADLL.6	ADLL.5	ADLL.4	ADLL.3	0	ADLL.1	ADLL.0

注意 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ (ADCR) の上位8ビットをADLLレジスタと比較します。

(10) A/Dテスト・レジスタ (ADTES)

A/Dテスト機能として、A/D変換対象にA/Dコンバータの+側の基準電圧 (AV_{REFP})、-側の基準電圧 (AV_{REFM})、アナログ入力チャネル (AN_{ixx}) を選択するレジスタです。

ADTESレジスタは、は8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 14 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES.1	ADTES.0

ADTES.1	ADTES.0	A/D変換対象
0	0	AN _{ixx} (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	AV _{REFM}
1	1	AV _{REFP}
上記以外		設定禁止

(11) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27端子を，A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12 - 15 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス：F0076H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC.3	ADPC.2	ADPC.1	ADPC.0

ADPC.3	ADPC.2	ADPC.1	ADPC.0	アナログ入力 (A) / デジタル入出力 (D) の切り替え							
				ANI7/P27	ANI6/P26	ANI5/P25	ANI4/P24	ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	D	D	D	D	D	D	D	D
0	0	1	0	D	D	D	D	D	D	D	A
0	0	1	1	D	D	D	D	D	D	A	A
0	1	0	0	D	D	D	D	D	A	A	A
0	1	0	1	D	D	D	D	A	A	A	A
0	1	1	0	D	D	D	A	A	A	A	A
0	1	1	1	D	D	A	A	A	A	A	A
1	0	0	0	D	A	A	A	A	A	A	A
上記以外				設定禁止							

- 注意1. A/D変換で使用するチャンネルは，ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
3. AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

(12) ポート・モード・コントロール・レジスタ0, 12, 14 (PMC0, PMC12, PMC14)

ANI16-ANI19端子を,A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

PMC0, PMC12, PMC14レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図12 - 16 ポート・モード・コントロールレジスタ0, 12, 14 (PMC0, PMC12, PMC14) のフォーマット

アドレス : F0060H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC0	1	1	1	1	PMC03 ^{注2}	PMC02 ^{注2}	PMC01 ^{注1}	PMC00 ^{注1}

アドレス : F006CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC12	1	1	1	1	1	1	1	PMC12.0

アドレス : F006EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC14	PMC14.7	1	1	1	1	1	1	1

PMCmn	Pmn端子のデジタル入出力 / アナログ入力の選択 (m = 0, 12, 14 ; n = 0, 2, 3, 7)
0	デジタル入出力 (アナログ入力以外の兼用機能)
1	アナログ入力

注1. 20, 30, 32ピン製品のみ

2. 64ピン製品のみ

注意 PMCレジスタでアナログ入力に設定したポートは, ポート・モード・レジスタx (PMx) で入力モードに選択してください。

(13) ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14)

ANI0-ANI7, ANI16-ANI19端子をアナログ入力ポートとして使用するとき, PM20-PM27, PM03, PM02, PM147, PM120ビットにそれぞれ1を設定してください。このときP20-P27, P03, P02, P147, P120の出力ラッチは, 0または1のどちらでもかまいません。

PM20-PM27, PM03, PM02, PM147, PM120ビットにそれぞれ0を設定した場合は, アナログ入力ポートとして使用することはできません。

PM0, PM2, PM12, PM14レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は, 端子レベルではなく常に0が読み出されます。

図12 - 17 ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14) のフォーマット

アドレス : FFF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM0.6	PM0.5	PM0.4	PM0.3	PM0.2	PM0.1	PM0.0

アドレス : FFF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM2.7	PM2.6	PM2.5	PM2.4	PM2.3	PM2.2	PM2.1	PM2.0

アドレス : FFF2CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM12.0

アドレス : FFF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	PM14.7	PM14.6	1	1	1	1	PM14.1	PM14.0

PMm.n	Pmn端子の入出力モードの選択 (mn = 02, 03, 20-27, 120, 147)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 AV REFPとAV REFMを使用する場合は, ANI0とANI1をアナログ入力に設定し, ポート・モード・レジスタは入力モードに設定してください。

ANI0/P20-ANI7/P27端子の機能は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）、アナログ入力チャネル指定レジスタ（ADS）、PM2レジスタの設定で決定します。

表12 - 4 ANI0/P20-ANI7/P27端子機能の設定

ADPC	PM2	ADS	ANI0/P20-ANI7/P27端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

また、ANI16-ANI19端子の機能は、ポート・モード・コントロール・レジスタ0, 12, 14（PMC0, PMC12, PMC14）、アナログ入力チャネル指定レジスタ（ADS）、PM0, PM12, PM14レジスタの設定で決定します。

表12 - 5 ANI16/P03, ANI17/P02, ANI18/P147, ANI19/P120端子機能の設定

PMC0, PMC12, PMC14	PM0, PM12, PM14	ADS	ANI16/P03, ANI17/P02, ANI18/P147, ANI19/P120 端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

12.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF} よりも大きければ、SARレジスタのMSBビットをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBビットはリセットします。

次にSARレジスタのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ・ ビット9 = 1 : (3/4) AV_{REF}
- ・ ビット9 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

- ・ サンプリングされた電圧 > 電圧タップ : ビット8 = 1
- ・ サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします^{注1}。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます^{注1}。

以降 から までの動作をADCS = 0になるまで繰り返します^{注2}。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

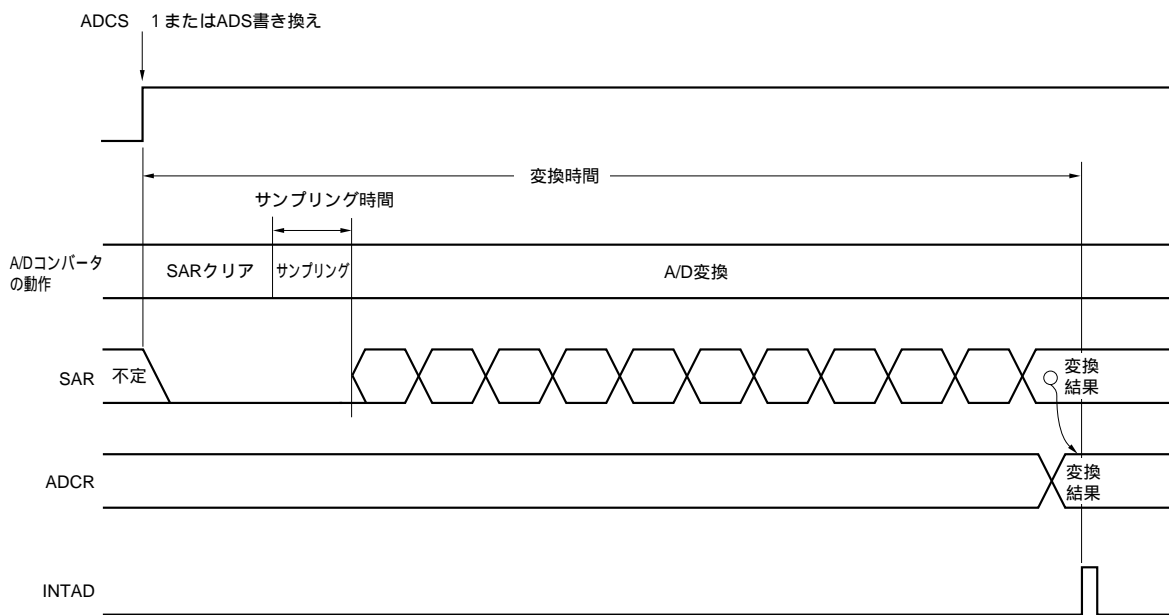
- 注1. A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット、ADUL/ADLLレジスタで設定 (図12-8参照)) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD) は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。
2. 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ・ ADCRレジスタ (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCRHレジスタ (8ビット) : 8ビットのA/D変換値を格納します。

2. AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧 (1.45 V), V_{DD} から選択可能です。

図12 - 18 A/Dコンバータの変換動作（ソフトウェア・トリガ・モードの場合）



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

12.5 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7, ANI16-ANI19) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または,

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} < V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

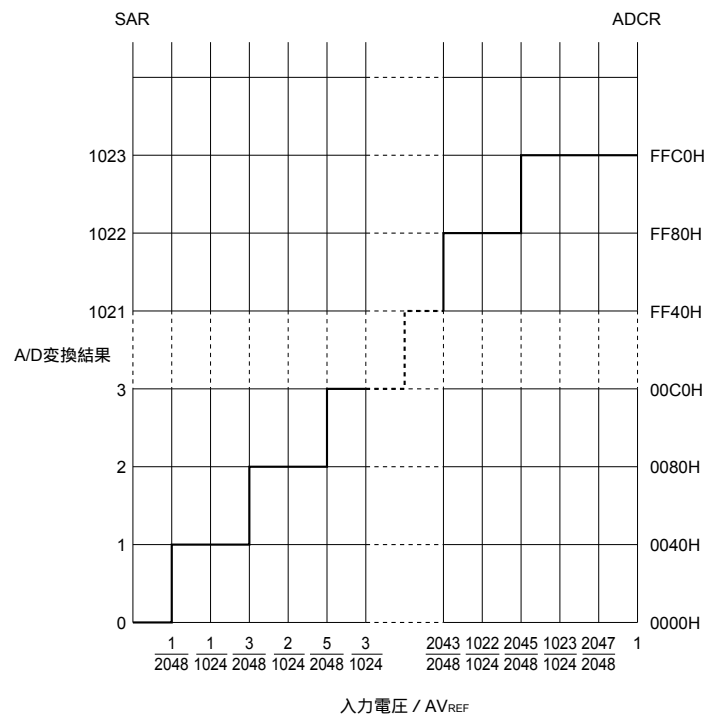
V_{REF} : V_{REF} 端子電圧

ADCR : A/D変換結果レジスタ (ADCR) の値

SAR : 逐次変換レジスタ

図12 - 19にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 19 アナログ入力電圧とA/D変換結果の関係



備考 V_{REF} : A/Dコンバータの+側基準電圧。 V_{REFP} , 内部基準電圧 (1.45 V) , V_{DD} から選択可能です。

12.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を12.7 A/Dコンバータの設定フロー・チャートに示します。

12.6.1 ソフトウェア・トリガ・モード (セレクト・モード, 連続変換モード)

パワー・ダウン状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。

ソフトウェアで安定待ち時間 (1 μs) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。

A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。

変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。

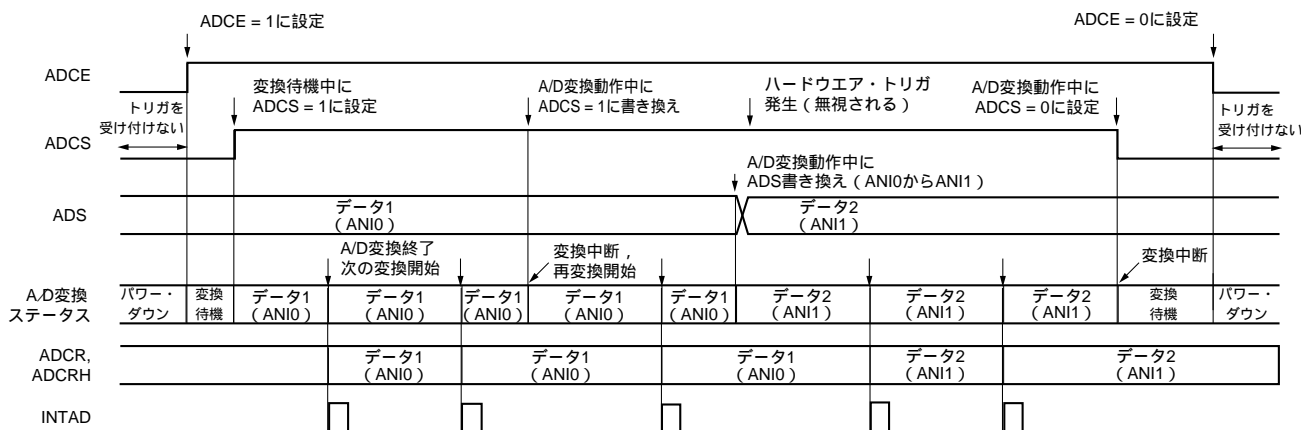
変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。

変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。

A/D変換待機中にADCE = 0に設定すると、A/Dコンバータはパワー・ダウン状態となります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

図12 - 20 ソフトウェア・トリガ・モード (セレクト・モード, 連続変換モード) 動作タイミング例



12. 6. 2 ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード)

パワー・ダウン状態で, A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し, A/D変換待機状態となります。

ソフトウェアで安定待ち時間 (1 μ s) をカウント後, ADM0レジスタのADCS = 1に設定することで, アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。

A/D変換が終了すると, 変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し, A/D変換終了割り込み要求信号 (INTAD) を発生します。

A/D変換が終了後, ADCSビットは自動的に0にクリアされ, A/D変換待機状態となります。

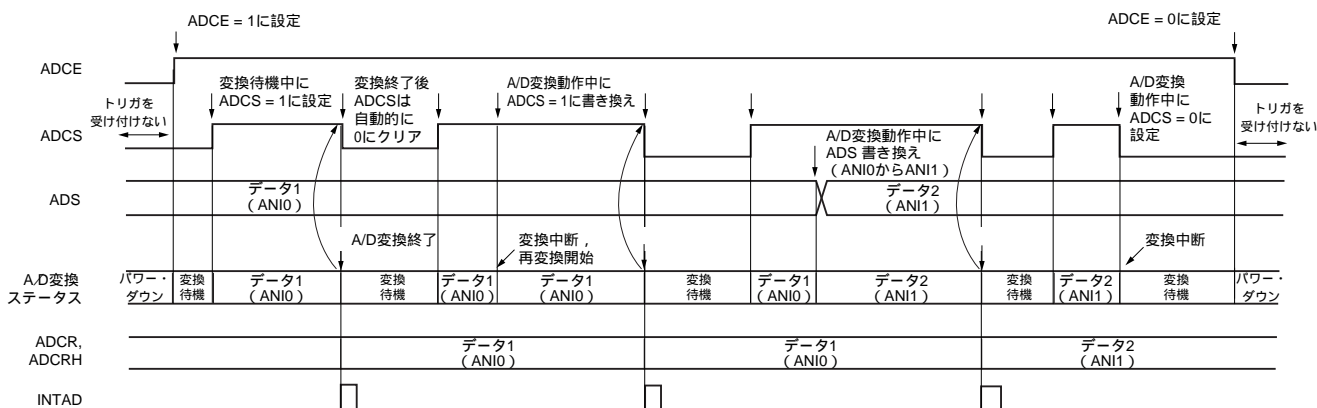
変換動作中にADCS = 1を上書きすると, 現在のA/D変換は中断され, 再変換を開始します。変換動作途中のデータは破棄されます。

変換動作中にADSレジスタを書き換えおよび上書きすると, 現在のA/D変換は中断され, ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 0に設定すると, 現在のA/D変換は中断され, A/D変換待機状態となります。

A/D変換待機中にADCE = 0に設定すると, A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき, ADCS = 1に設定しても無視され, A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても, A/D変換は開始しません。

図12 - 21 ソフトウェア・セレクト・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例



12.6.3 ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード)

パワー・ダウン状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。

ソフトウェアで安定待ち時間 (1 μ s) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。

4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます (4チャンネル分)。

変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。

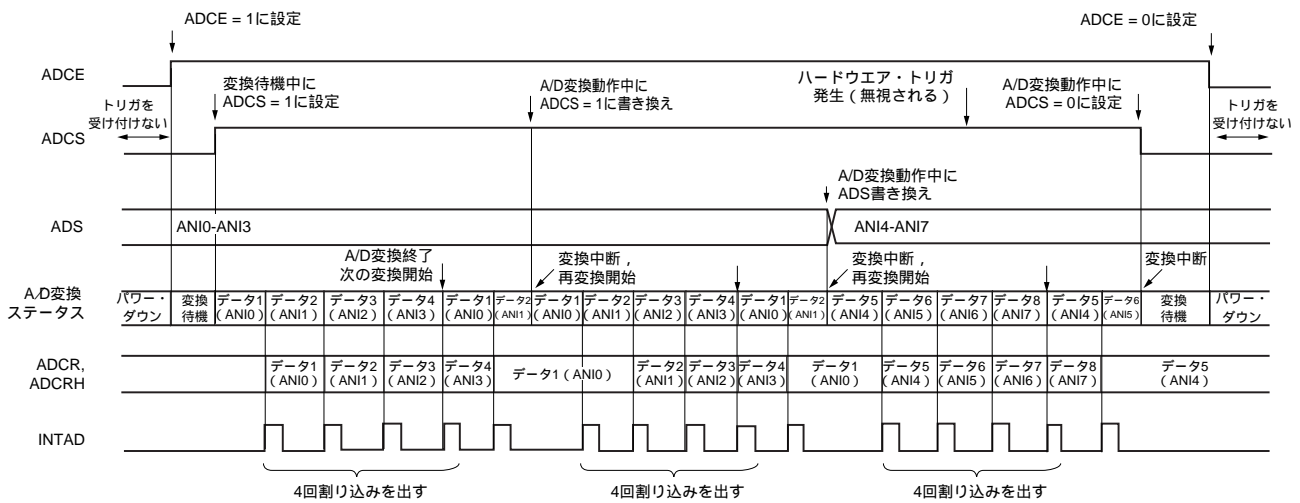
変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。

変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。

A/D変換待機中にADCE = 0に設定すると、A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

図12 - 22 ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード) 動作タイミング例



12. 6. 4 ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード)

パワー・ダウン状態で, A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し, A/D変換待機状態となります。

ソフトウェアで安定待ち時間 (1 μ s) をカウント後, ADM0レジスタのADCS = 1に設定することで, アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0 ~ スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。

4つのアナログ入力チャンネルのA/D変換は連続して行われ, 変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し, A/D変換終了割り込み要求信号 (INTAD) を発生します。

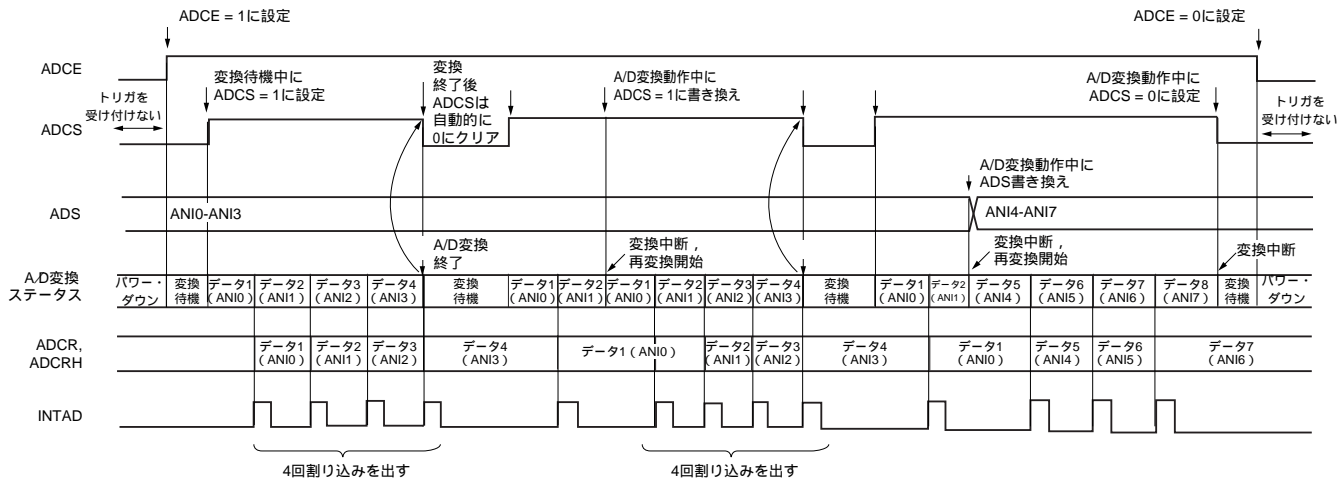
4チャンネルのA/D変換が終了後, ADCSビットは自動的に0にクリアされ, A/D変換待機状態となります。変換動作中にADCS = 1を上書きすると, 現在のA/D変換は中断され, 最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。

変換動作中にADSレジスタを書き換えおよび上書きすると, 現在のA/D変換は中断され, ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 0に設定すると, 現在のA/D変換は中断され, A/D変換待機状態となります。

A/D変換待機中にADCE = 0に設定すると, A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき, ADCS = 1に設定しても無視され, A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても, A/D変換は開始しません。

図12 - 23 ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード) 動作タイミング例



12. 6. 5 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード)

パワー・ダウン状態で, A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し, A/D変換待機状態となります。

ソフトウェアで安定待ち時間 (1 μ s) をカウント後, ADM0レジスタのADCS = 1に設定することで, ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお, ハードウェア・トリガ待機状態のとき, ADCS = 1に設定しても, A/D変換は開始しません。

ADCS = 1の状態では, ハードウェア・トリガが入力されると, アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。

A/D変換が終了すると, 変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し, A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は, すぐに次のA/D変換を開始します。

変換動作中にハードウェア・トリガが入力された場合, 現在のA/D変換は中断され, 再変換を開始します。変換動作途中のデータは破棄されます。

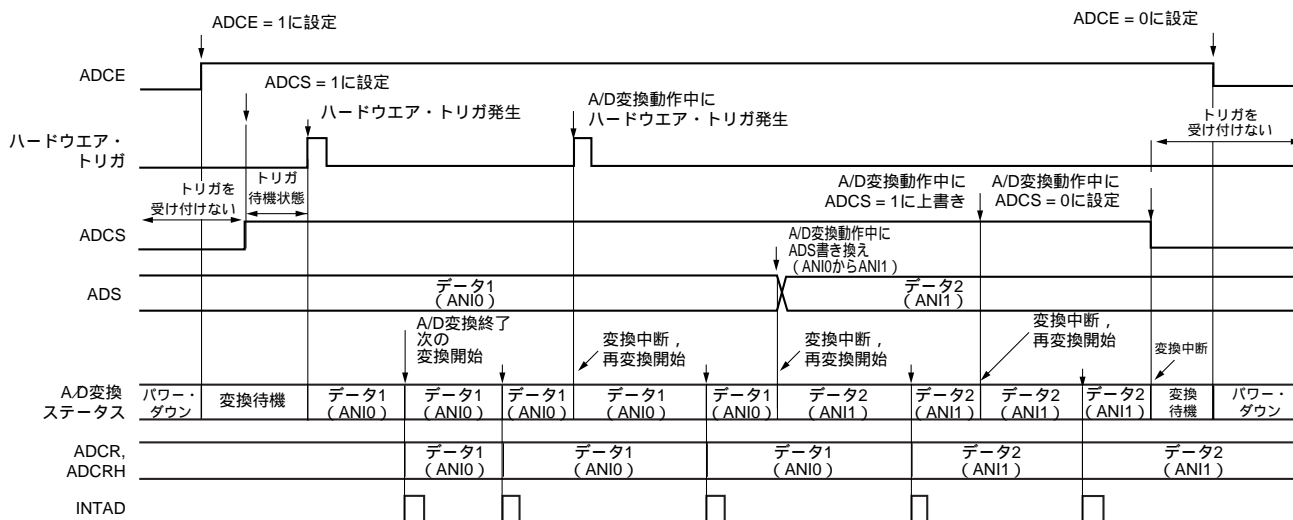
変換動作中にADSレジスタを書き換えおよび上書きすると, 現在のA/D変換は中断され, ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 1に上書きすると, 現在のA/D変換は中断され, 再変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 0に設定すると, 現在のA/D変換は中断され, A/D変換待機状態となります。ただし, この状態でA/Dコンバータはパワー・ダウンしません。

A/D変換待機中にADCE = 0に設定すると, A/Dコンバータはパワー・ダウン状態になります。ADCS = 0のとき, ハードウェア・トリガが入力されても無視され, A/D変換は開始しません。

図12 - 24 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード) 動作タイミング例



12. 6. 6 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード)

パワー・ダウン状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。

ソフトウェアで安定待ち時間 (1 μ s) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。

ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。

A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。

変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。

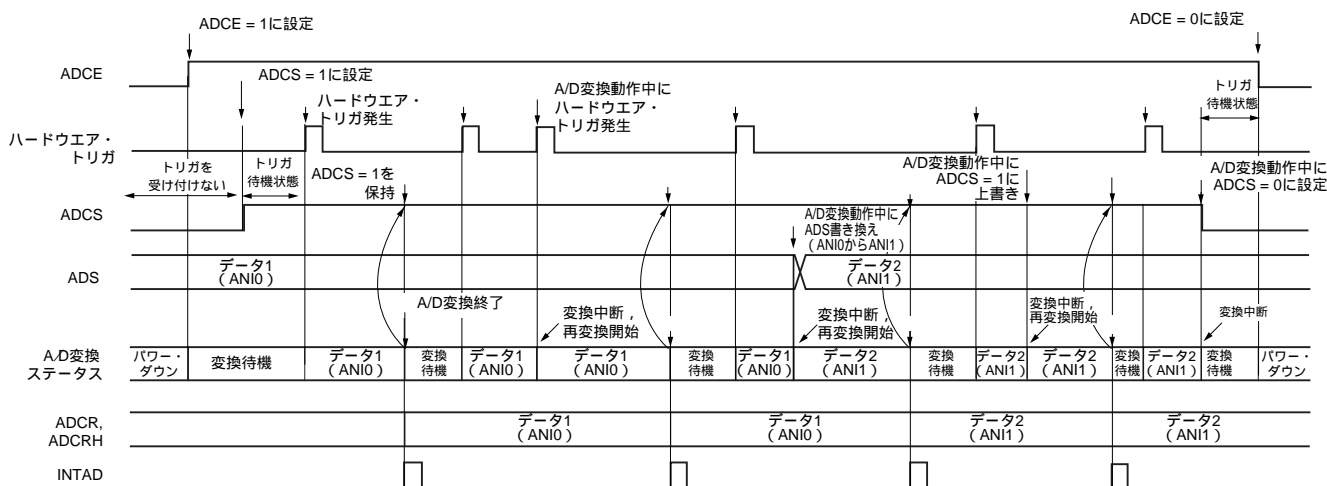
変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータはパワー・ダウンしません。

A/D変換待機中にADCE = 0に設定すると、A/Dコンバータはパワー・ダウン状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12 - 25 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例



12. 6. 7 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード)

パワー・ダウン状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。

ソフトウェアで安定待ち時間 (1 μ s) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。

ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0 ~ スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。

4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。

変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。

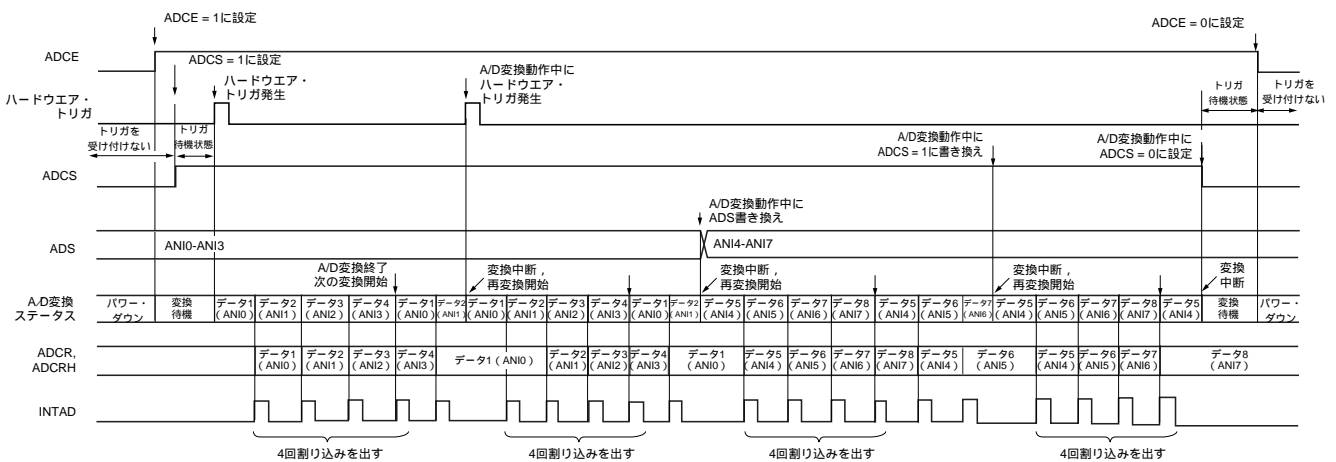
変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータはパワー・ダウンしません。

A/D変換待機中にADCE = 0に設定すると、A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

図12 - 26 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード) 動作タイミング例



12.6.8 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード)

パワー・ダウン状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。

ソフトウェアで安定待ち時間 (1 μ s) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。

ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0 ~ スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。

4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

4チャンネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。

変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。

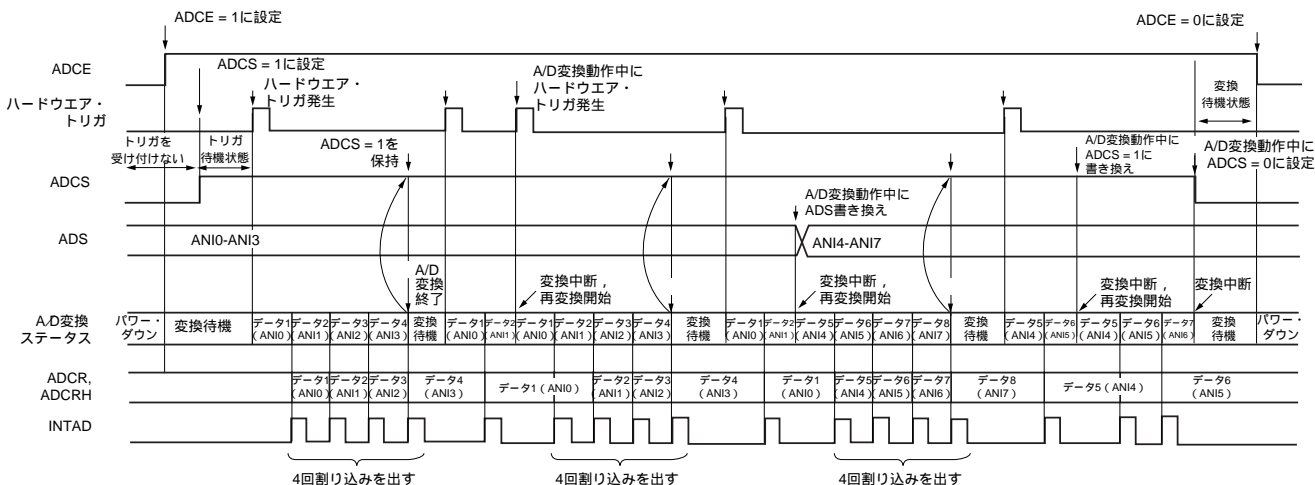
変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータはパワー・ダウンしません。

A/D変換待機中にADCE = 0に設定すると、A/Dコンバータはパワー・ダウン状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-27 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード) 動作タイミング例



12.6.9 ハードウェア・トリガ・ウェイト・モード (セレクト・モード, 連続変換モード)

パワー・ダウン状態で, A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し, ハードウェア・トリガ待機状態となります。

ハードウェア・トリガ待機状態で, ハードウェア・トリガが入力されると, アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて, 自動的にADM0レジスタのADCS = 1に設定されます。

A/D変換が終了すると, 変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し, A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は, すぐに次のA/D変換を開始します (このとき, ハードウェア・トリガは不要です)。

変換動作中にハードウェア・トリガが入力された場合, 現在のA/D変換は中断され, 再変換を開始します。

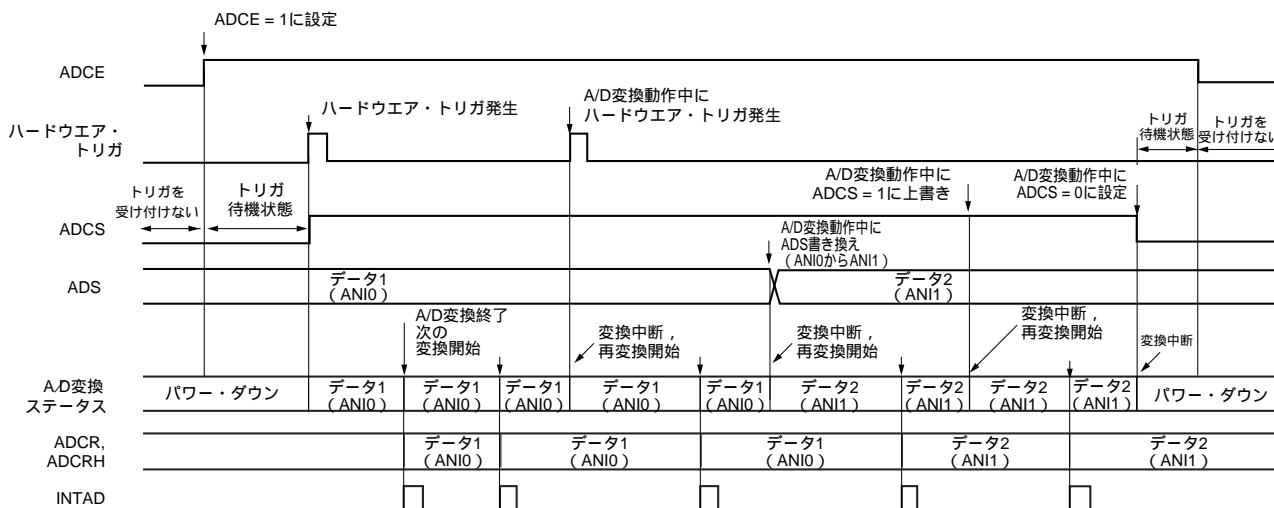
変換動作途中のデータは破棄されます。

変換動作中にADSレジスタを書き換えおよび上書きすると, 現在のA/D変換は中断され, ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS= 1に上書きすると, 現在のA/D変換は中断され, 再変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 0に設定すると, 現在のA/D変換は中断され, ハードウェア・トリガ待機状態となり, A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき, ハードウェア・トリガが入力されても無視され, A/D変換は開始しません。

図12 - 28 ハードウェア・トリガ・ウェイト・モード (セレクト・モード, 連続変換モード) 動作タイミング例



12.6.10 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード)

パワー・ダウン状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。

ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。

A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータはパワー・ダウン状態になります。

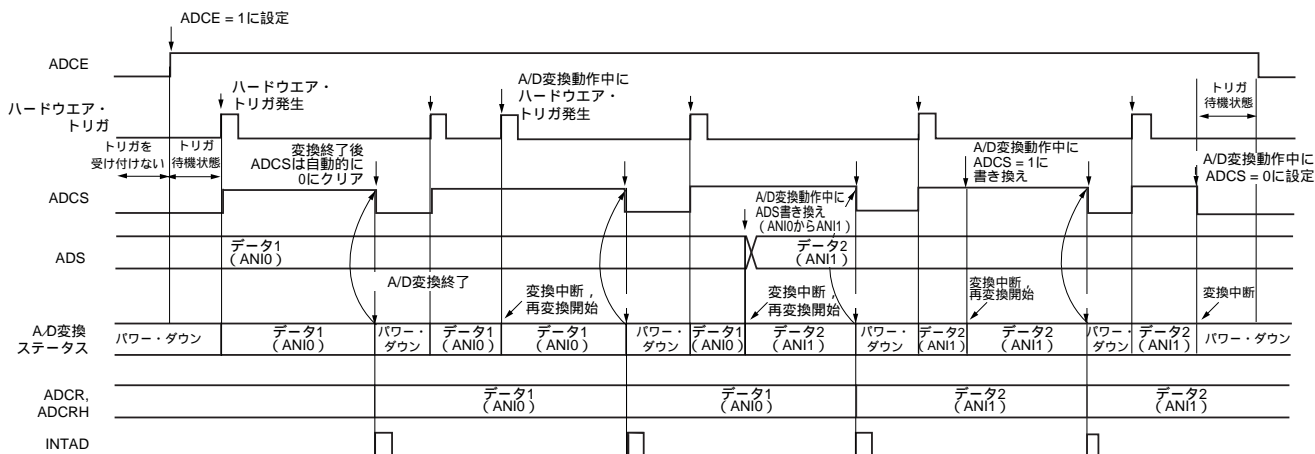
変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。

変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。

変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12 - 29 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例



12.6.11 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, 連続変換モード)

パワー・ダウン状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。

ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。

4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。

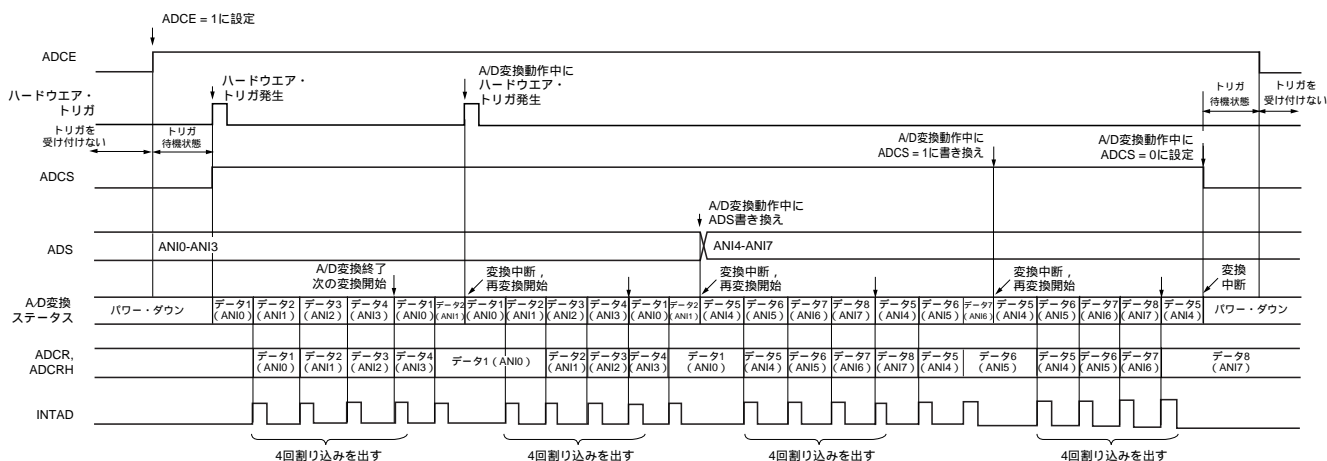
変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。

変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-30 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, 連続変換モード) 動作タイミング例



12.6.12 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード)

パワー・ダウン状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。

ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。

A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。

4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータはパワー・ダウン状態になります。

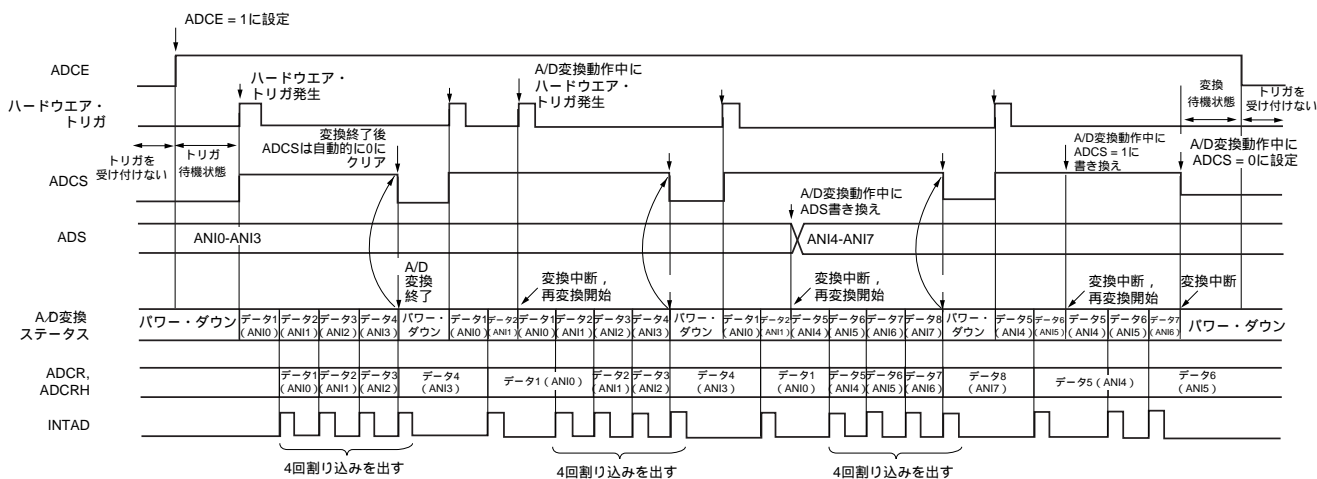
変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。

変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータはパワー・ダウン状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-31 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード) 動作タイミング例

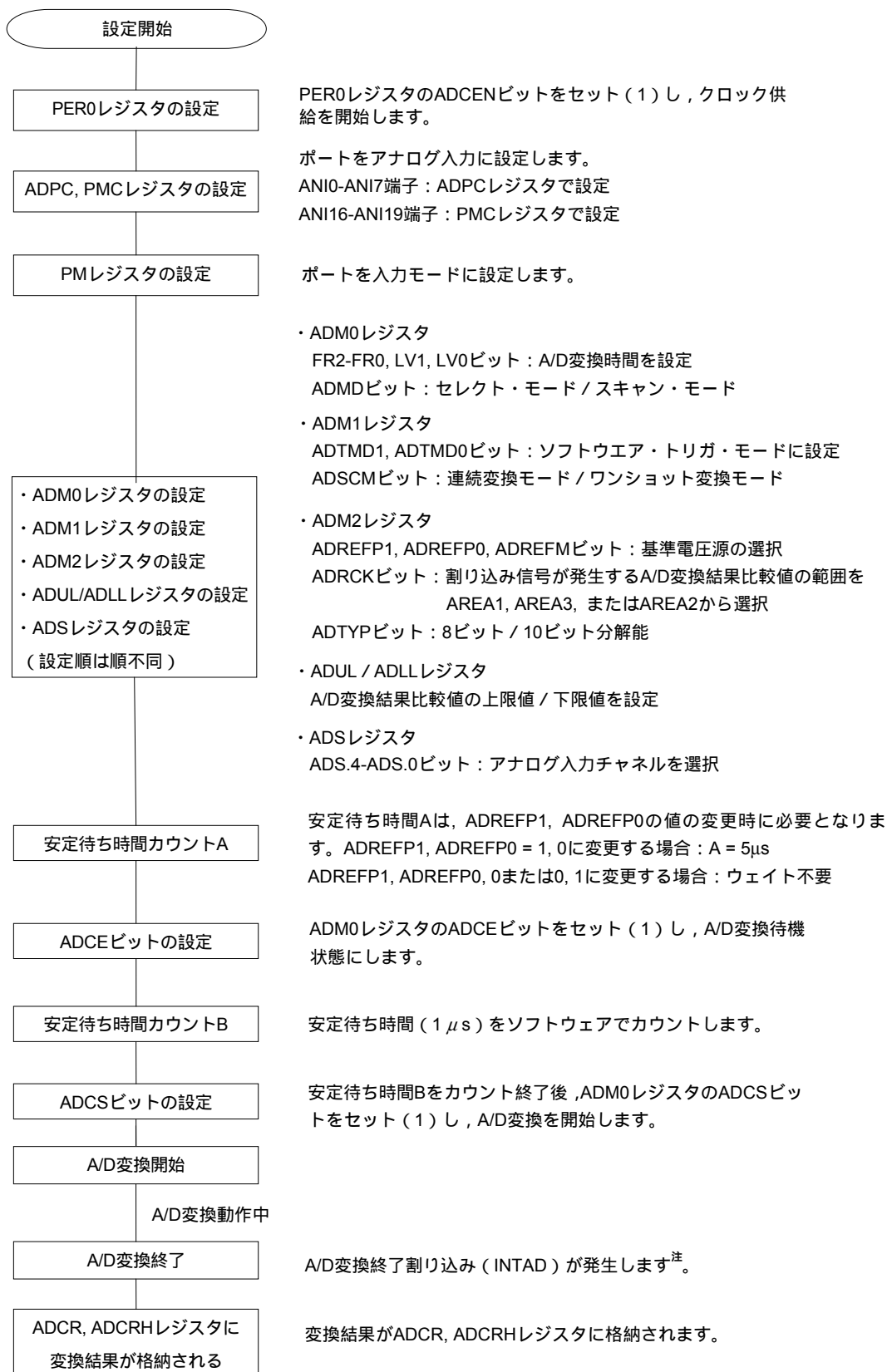


12.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

12.7.1 ソフトウェア・トリガ・モード設定

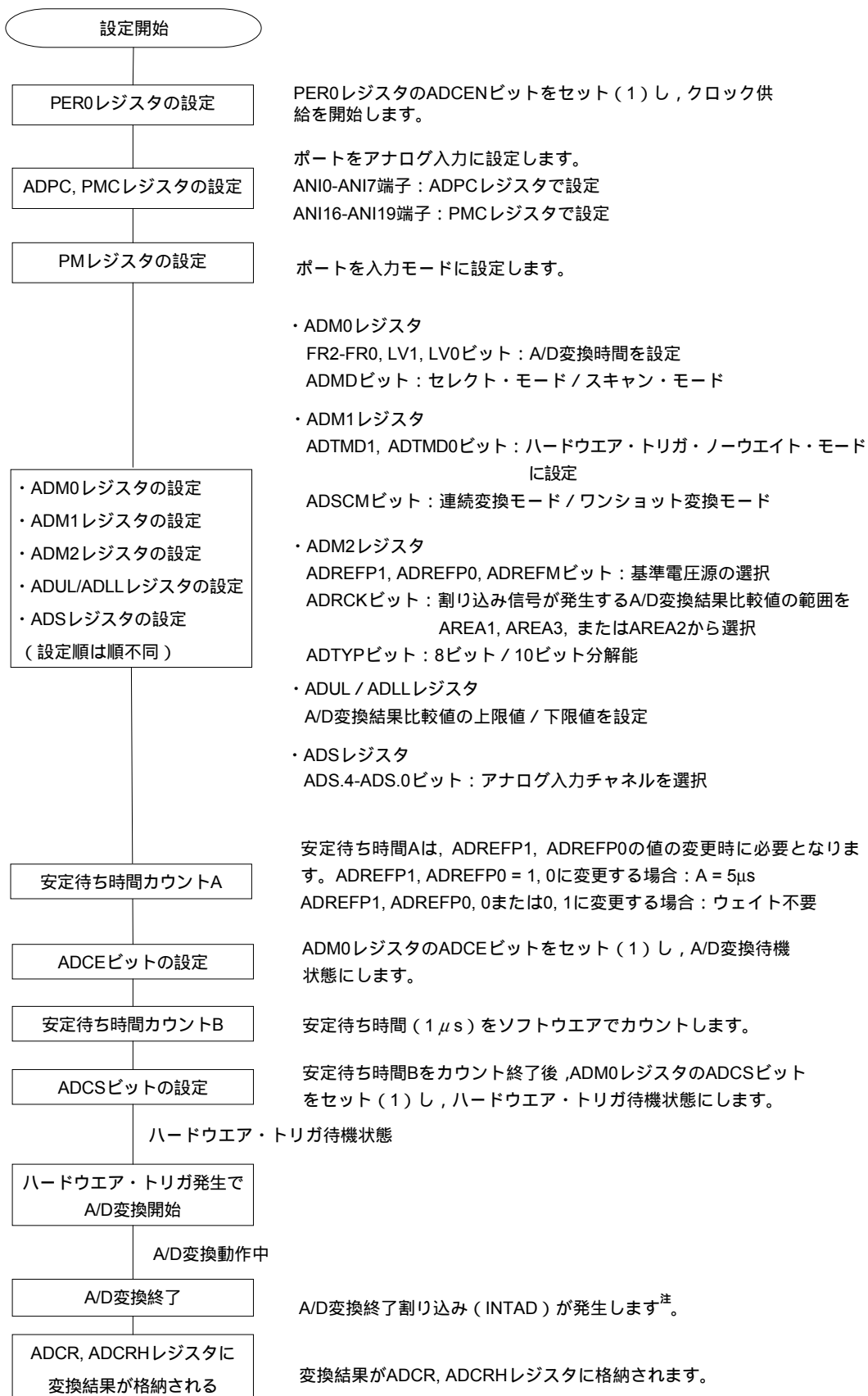
図12 - 32 ソフトウェア・トリガ・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

12.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

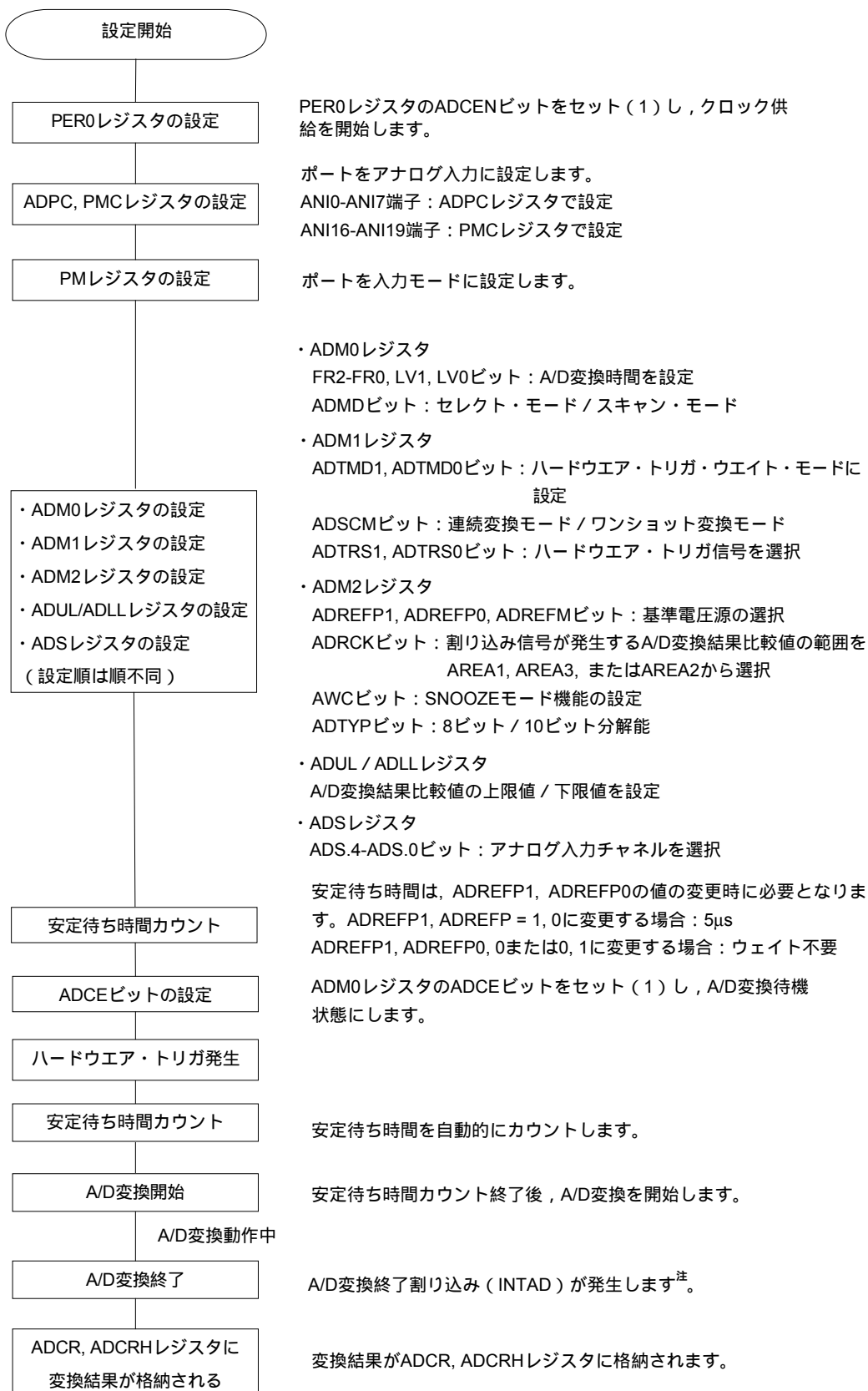
図12 - 33 ハードウェア・トリガ・ノーウエイト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

12.7.3 ハードウェア・トリガ・ウェイト・モード設定

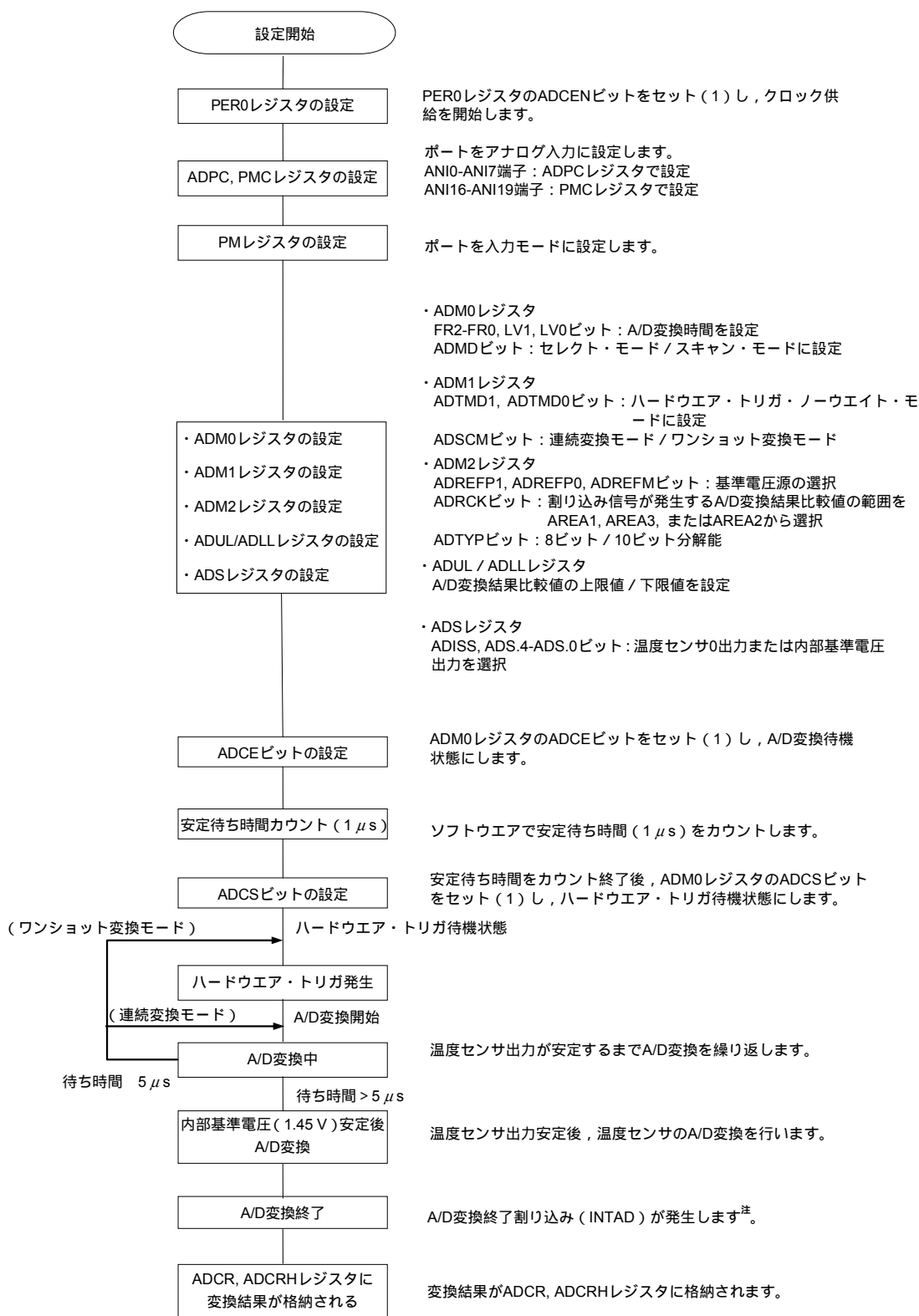
図12 - 34 ハードウェア・トリガ・ウェイト・モード設定



注 ADCR, ADCRHレジスタに結果は格納されません。

12. 7. 4 温度センサ使用時の設定 (例 ハードウェア・トリガ・ノーウエイト・モード時)

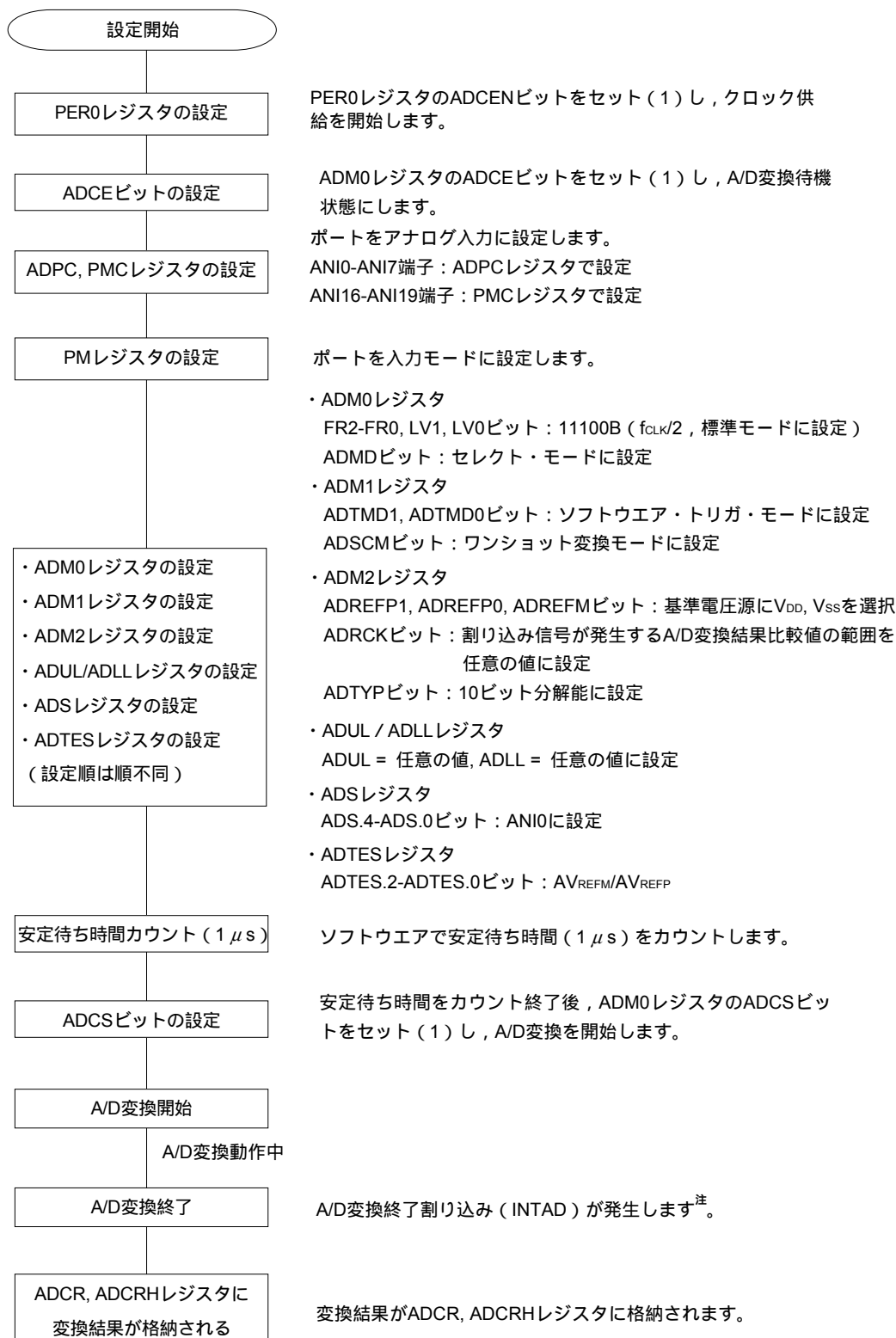
図12 - 35 温度センサ使用時の設定



注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR、ADCRHレジスタに結果は格納されません。

12.7.5 テスト・モード設定

図12 - 36 テスト・トリガ・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

12.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが、このモードを使うことで、ハードウェア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

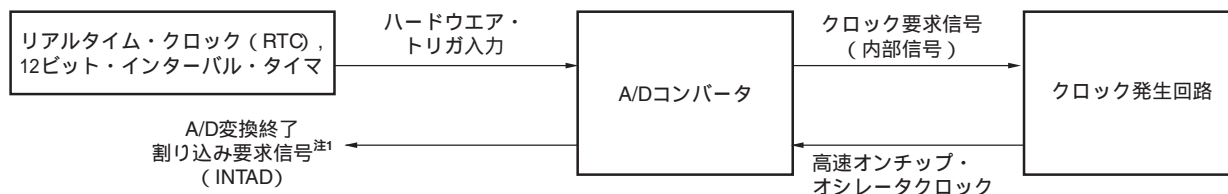
SNOOZEモードでは、ADUL，ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ・ハードウェア・トリガ・ウェイト・モード（セレクト・モード，ワンショット変換モード）
- ・ハードウェア・トリガ・ウェイト・モード（スキャン・モード，ワンショット変換モード）

また、SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータクロックを選択している場合のみ設定可能です。

図12 - 37 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います（12.7.3 **ハードウェア・トリガ・ウェイト・モード設定手順**を参照^{注2}）。このとき、A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定しておきます。初期設定完了後、A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータクロックがA/Dコンバータに供給されます。高速オンチップ・オシレータクロック供給後、安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります^{注1}。

- 注1.** A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により、割り込み信号が発生しない場合があります。
2. ADM1レジスタは必ずE2Hに設定してください。

備考 ハードウェア・トリガは、INTRTCまたはINTITです。

ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合、A/D変換終了割り込み要求信号（INTAD）は発生します。

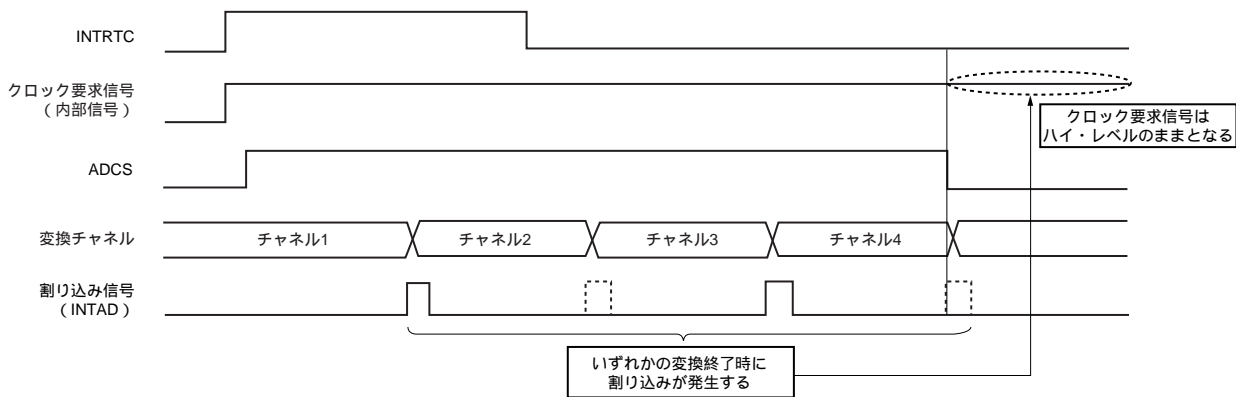
セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0: SNOOZE解除）してください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0: SNOOZE解除）してください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

図12 - 38 A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

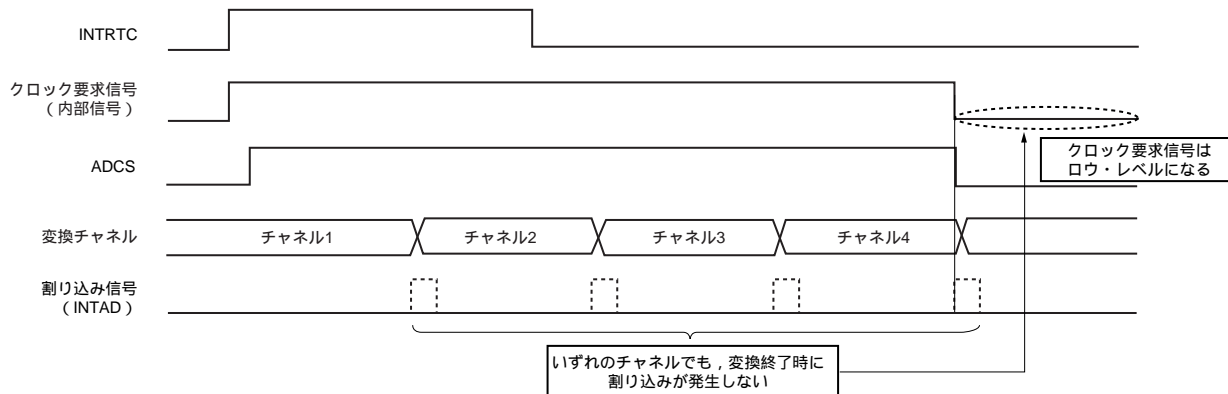
セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータクロックの供給は停止されます。その後，ハードウェア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャンネル分のA/D変換が終了した後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり，高速オンチップ・オシレータクロックの供給は停止されます。その後，ハードウェア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図12 - 39 A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）



12.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB(Least Significant Bit)といいます。1 LSBのフルスケールに対する比率を%FSR(Full Scale Range)で表します。

分解能10ビットのとき

$$1 \text{ LSB} = 1/2^{10} = 1/1024 \\ = 0.098 \% \text{FSR}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは， $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図12 - 40 総合誤差

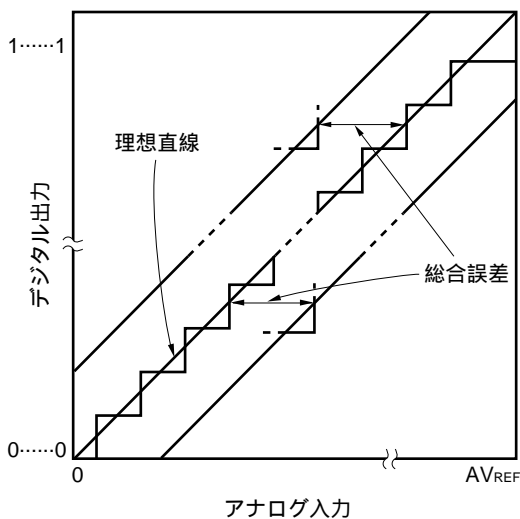
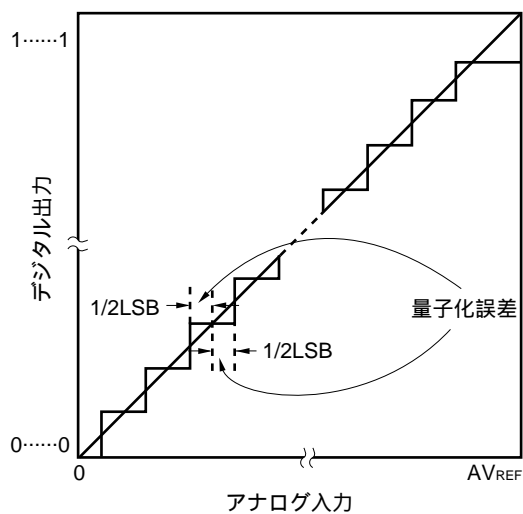


図12 - 41 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 (1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....0010に変化するときの、アナログ入力電圧の実測値と理論値 (3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - 3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図12 - 42 ゼロスケール誤差

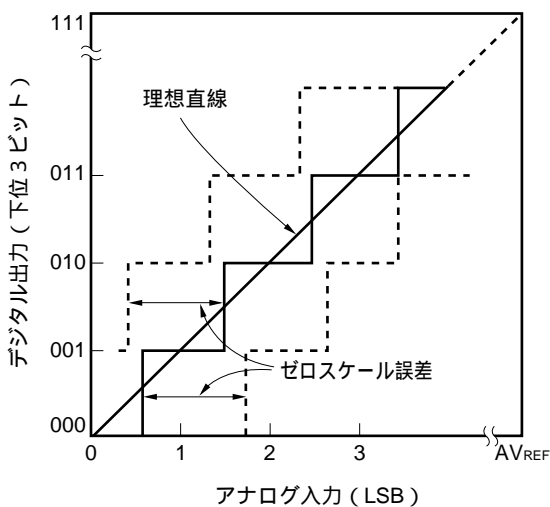


図12 - 43 フルスケール誤差

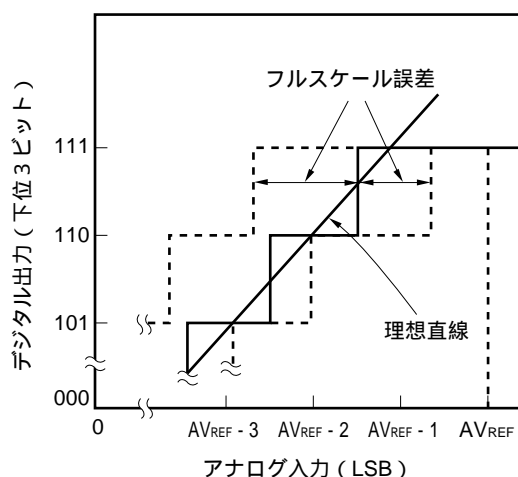


図12 - 44 積分直線性誤差

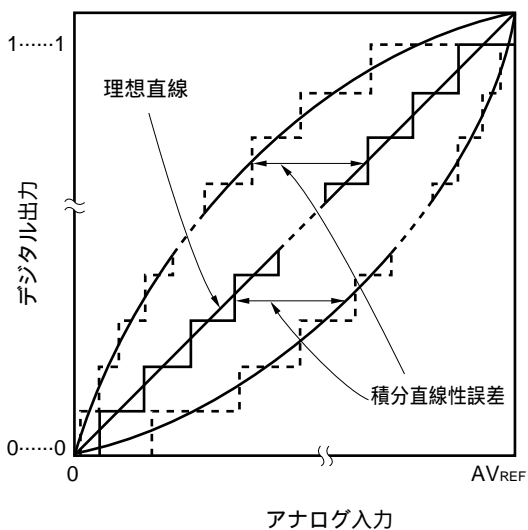
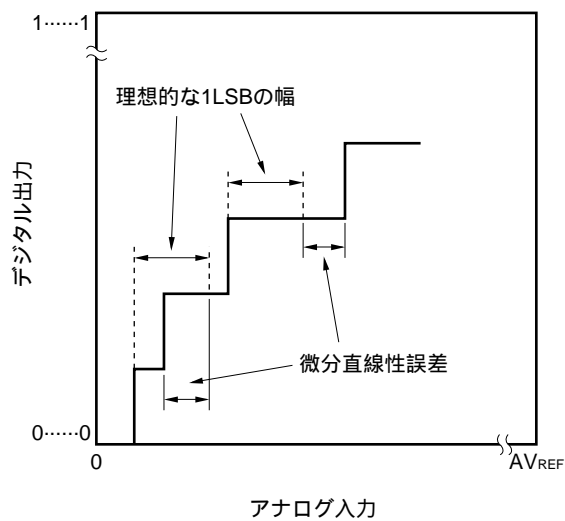


図12 - 45 微分直線性誤差

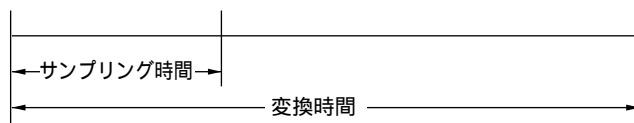


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



12.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) ANI0-ANI7, ANI16-ANI19端子入力範囲について

ANI0-ANI7, ANI16-ANI19端子入力電圧は規格の範囲内でご使用ください。特にV_{DD}, AV_{REFP}以上, V_{SS}, AV_{REFM}以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

内蔵基準電圧（1.45V）をA/Dコンバータの+側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内蔵基準電圧以上の電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内蔵基準電圧以上の電圧になっていても問題ありません。

注意 内蔵基準電圧（1.45V）は、HS（高速メイン）モードでのみ選択可能です。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト、アナログ入力チャンネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、AV_{REFP}, V_{DD}, ANI0-ANI7, ANI16-ANI19端子へのノイズに注意する必要があります。

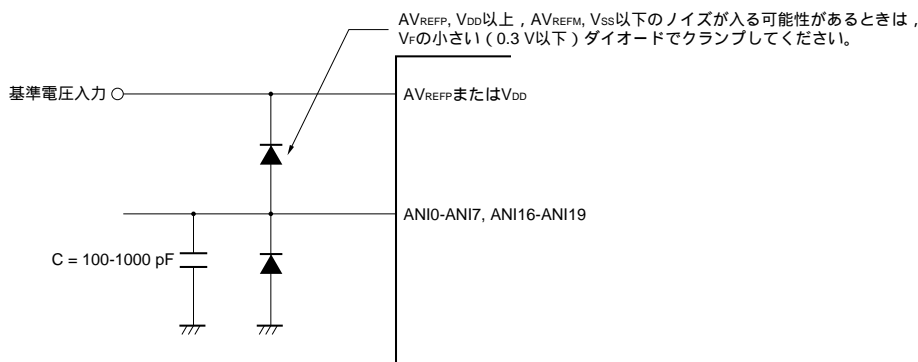
電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-46のようにCを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

図12 - 46 アナログ入力端子の処理



(5) アナログ入力 (ANIn) 端子

アナログ入力 (ANI0-ANI7, ANI16-ANI19) 端子は入力ポート (P20-P27, P02, P03, P147, P120) 端子と兼用になっています。

ANI0-ANI7, ANI16-ANI19端子のいずれかを選択してA/D変換をする場合, 変換中にP20-P27, P03, P02, P147, P120に対して出力値を変更しないでください。変換精度が低下することがあります。

A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると, カップリング・ノイズによってA/D変換値が期待値と異なることがあります。このようなパルスが入出力されないようにしてください。

(6) アナログ入力 (ANIn) 端子の入カインピーダンスについて

このA/Dコンバータでは, サンプリング時間で内部のサンプリング・コンデンサに充電して, サンプリングを行っています。

したがって, サンプリング中以外はリーク電流だけであり, サンプリング中にはコンデンサに充電するための電流も流れるので, 入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし, 十分にサンプリングするためには, アナログ入力源の出力インピーダンスを1 kΩ以下にし, 出力インピーダンスが高いときはANI0-ANI7, ANI16-ANI19端子に100 pF程度のコンデンサを付けることを推奨します (図12 - 46参照)。

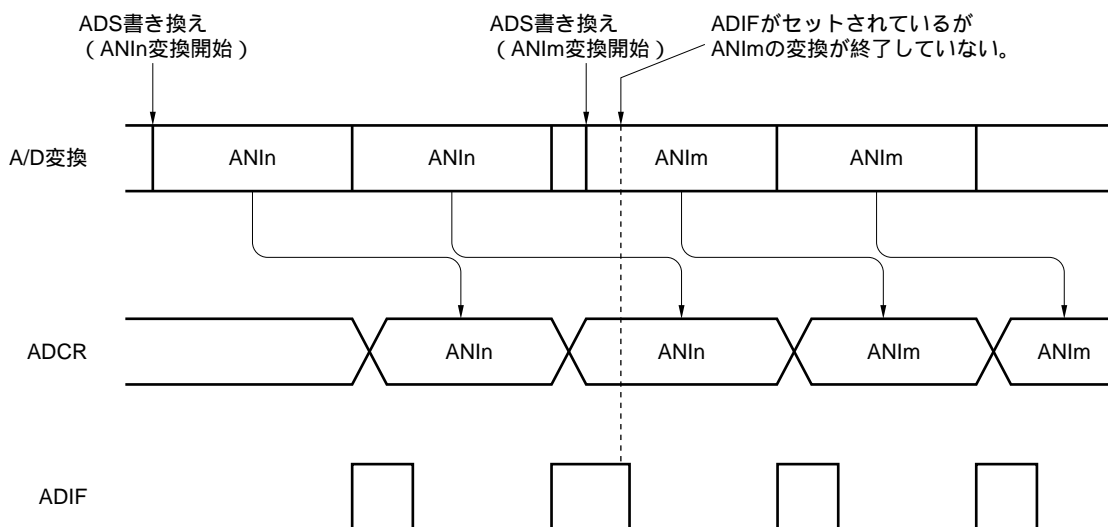
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって, A/D変換中にアナログ入力端子の変更を行った場合, ADSレジスタ書き換え直前に, 変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと, 変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また, A/D変換を一度停止させて再開する場合は, 再開する前にADIFフラグをクリア (0) してください。

図12 - 47 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウエイト・モードでADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャンネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC)、ポート・モード・コントロール・レジスタ (PMC) に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPC, PMCレジスタに対して書き込み動作を行う前に読み出しを行ってください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 48 ANIn端子内部等価回路

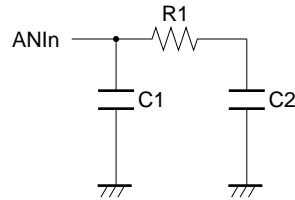


表12 - 6 等価回路の各抵抗と容量値 (参考値)

AV_{REFP}, V_{DD}	ANIn端子	R1[kΩ]	C1[pF]	C2[pF]
4.0 V_{DD} 5.5	ANI0-ANI7	14	8	2.5
	ANI16-ANI19	18	8	7.0
2.7 V_{DD} 4.0	ANI0-ANI7	39	8	2.5
	ANI16-ANI19	53	8	7.0
1.8 V_{DD} 2.7	ANI0-ANI7	231	8	2.5
	ANI16-ANI19	321	8	7.0

備考 表12 - 6の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、 AV_{REFP}, V_{DD} の電圧が安定してから開始してください。

第13章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニット0は1つのユニットに4つのシリアル・チャンネルを持ち、シリアル・アレイ・ユニット1は1つのユニットに2つのシリアル・チャンネルを持ち、シリアル・アレイ・ユニットSは1つのユニットに2つのシリアル・チャンネルを持ちます。各チャンネルは3線シリアル(CSI), UART, 簡易I²Cの通信機能を実現できます。

RL78/F12で対応している各チャンネルの機能割り当ては、次のようになっています。

20ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	-	-
	3	-		-
1	0	-	-	-
	1	-		-
S	0	CSIS0	UARTS0	-
	1	-		-

30, 32ピン製

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	UART1	-
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	-		-
S	0	CSIS0	UARTS0	-
	1	-		-

48ピン製

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	-	UART1	-
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
S	0	CSIS0	UARTS0	-
	1	-		-

64ピン製

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
S	0	CSIS0	UARTS0	-
	1	CSIS1		-

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできませんが、チャンネル2, 3のCSI10やUART1やIIC10は使用することができます。

注意 この章では、以降の主な説明を48, 64ピン製品のユニット、チャンネル構成で説明しています。

13.1 シリアル・アレイ・ユニットの機能

RL78/F12で対応している各シリアル・インタフェースの特徴を示します。

13.1.1 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1)

マスタから出力されるシリアル・クロック (\overline{SCK}) に同期してデータの送信 / 受信を行います。

シリアル・クロック (\overline{SCK}) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は, 「13.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1) 通信の動作」を参照してください。

[データ送受信]

- ・ 7, 8ビットのデータ長 (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)
- ・ 7-16ビットのデータ長 (CSIS0, CSIS1)
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ / スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート マスタ通信時 (CSI00) : $\text{Max. } f_{\text{CLK}}/2^{\text{注}}$,
マスタ通信時 (CSI00以外) : $\text{Max. } f_{\text{CLK}}/4^{\text{注}}$
スレーブ通信時 : $\text{Max. } f_{\text{MCK}}/6^{\text{注}}$

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また, CSI00 (ユニット0のチャンネル0) は, SNOOZEモードに対応しています。SNOOZEモードとは, STOPモード状態で $\overline{SCK00}$ 端子入力を検出すると, CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している, CSI00のみ設定可能です。

注 ただし, \overline{SCK} サイクル・タイム (t_{KCY}) の特性を満たす範囲内で使用してください (第31章 電気的特性 (Jグレード), 第32章 電気的特性 (Kグレード) 参照)

13. 1. 2 UART (UART0-UART2, UARTS0)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ポー・レートを使用して) データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

具体的な設定例は、「13.6 UART (UART0-UART2, UARTS0) 通信の動作」を参照してください。

[データ送受信]

- ・ 7, 8, 9ビットのデータ長 (UART0)
- ・ 7, 8ビットのデータ長 (UART1, UART2)
- ・ 7-9, 16ビットのデータ長 (UARTS0)
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

UART0受信 (ユニット0のチャンネル1) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD0端子入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0のみ設定可能です。

UART2 (ユニット1のチャンネル0, 1) は、LIN-busに対応しています (30, 32, 48, 64ピン製品のみ)。

[LIN-bus機能]

- ・ ウェイクアップ信号検出
- ・ シンク・ブレイク・フィールド (SBF) 検出
- ・ シンク・フィールド測定, ポー・レート算出

} 外部割り込み (INTP0),
タイマ・アレイ・ユニットを使用

13.1.3 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「13.8 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信の動作」を参照してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能[※], ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・オーバラン・エラー
- ・パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウエイト検出機能

注 最終データの受信時は、SOEm.nビット (シリアル出力許可レジスタm (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、13.8.3(2) **処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は、**第15章 シリアル・インタフェースIICA**を参照してください。

2. m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0-3)

13.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表13 - 1 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	8ビットまたは9ビット ^{注1} (ユニット0, 1) , 16ビット (ユニットS)
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) ^{注1, 2}
シリアル・クロック入出力	$\overline{\text{SCK00}}, \overline{\text{SCK01}}, \overline{\text{SCK10}}, \overline{\text{SCK11}}, \overline{\text{SCK20}}, \overline{\text{SCK21}}, \overline{\text{SCKS0}}, \overline{\text{SCKS1}}$ 端子 (3線シリアルI/O用) , $\overline{\text{SCL00}}, \overline{\text{SCL01}}, \overline{\text{SCL10}}, \overline{\text{SCL11}}, \overline{\text{SCL20}}, \overline{\text{SCL21}}$ 端子 (簡易I ² C用)
シリアル・データ入力	SI00, SI01, SI10, SI11, SI20, SI21, SIS0, SIS1端子 (3線シリアルI/O用) , RxD0, RxD1, RxDs0端子 (UART用) , RxD2端子 (LIN-bus対応UART用)
シリアル・データ出力	SO00, SO01, SO10, SO11, SO20, SO21, SOS0, SOS1端子 (3線シリアルI/O用) , TxD0, TxD1, TxDs0端子 (UART用) , TxD2端子 (LIN-bus対応UART用) , 出力制御回路
シリアル・データ入出力	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21端子 (簡易I ² C用)
制御レジスタ	<ユニット設定部のレジスタ> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0, X (PER0, PERX) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャンネル許可ステータス・レジスタm (SEm) ・シリアル・チャンネル開始レジスタm (SSm) ・シリアル・チャンネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOm) ・シリアル出力レベル・レジスタm (SOLm) ・シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ0, X (NFEN0, NFENX)
	<各チャンネル部のレジスタ> <ul style="list-style-type: none"> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
	<ul style="list-style-type: none"> ・ポート入力モード・レジスタ0, 1, 5 (PIM0, PIM1, PIM5) ・ポート出力モード・レジスタ0, 1, 5, 7 (POM0, POM1, POM5, POM7) ・ポート・モード・レジスタ0, 1, 3, 5, 7, X0-X4 (PM0, PM1, PM3, PM5, PM7, PMX0-PMX4) ・ポート・レジスタ0, 1, 3, 5, 7 (P0, P1, P3, P5, P7)

注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。

mn = 00, 01 : 下位9ビット, mn = 02, 03, 10, 11 : 下位8ビット, mn = S0, S1 : 16ビット

2. シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- ・CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・IICr通信時・・・SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) q : UART番号 (q = 0-2, S0) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

図13 - 1にシリアル・アレイ・ユニット0のブロック図を示します。

図13 - 1 シリアル・アレイ・ユニット0のブロック図

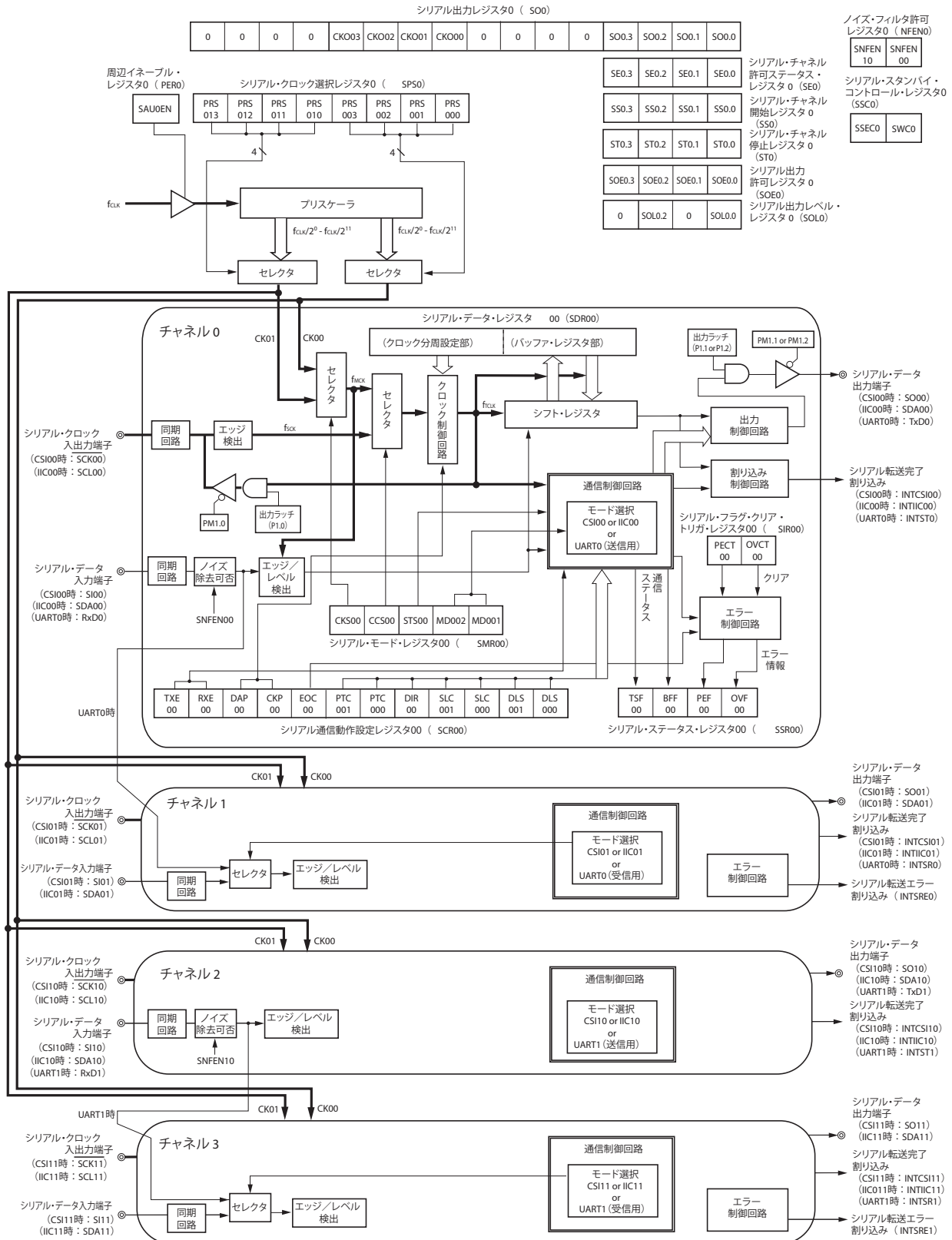


図13 - 2にシリアル・アレイ・ユニット1のブロック図を示します。

図13 - 2 シリアル・アレイ・ユニット1のブロック図

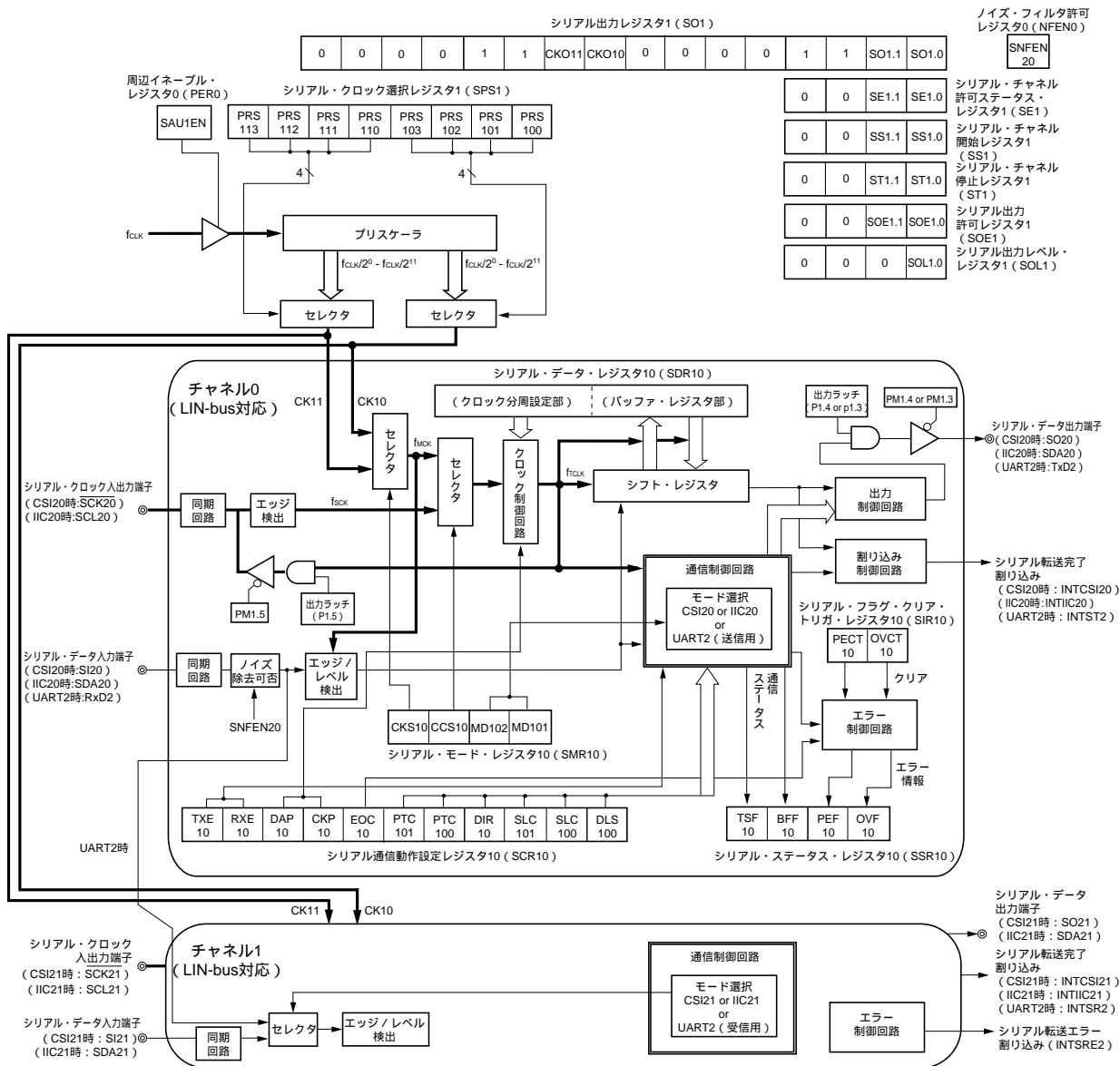
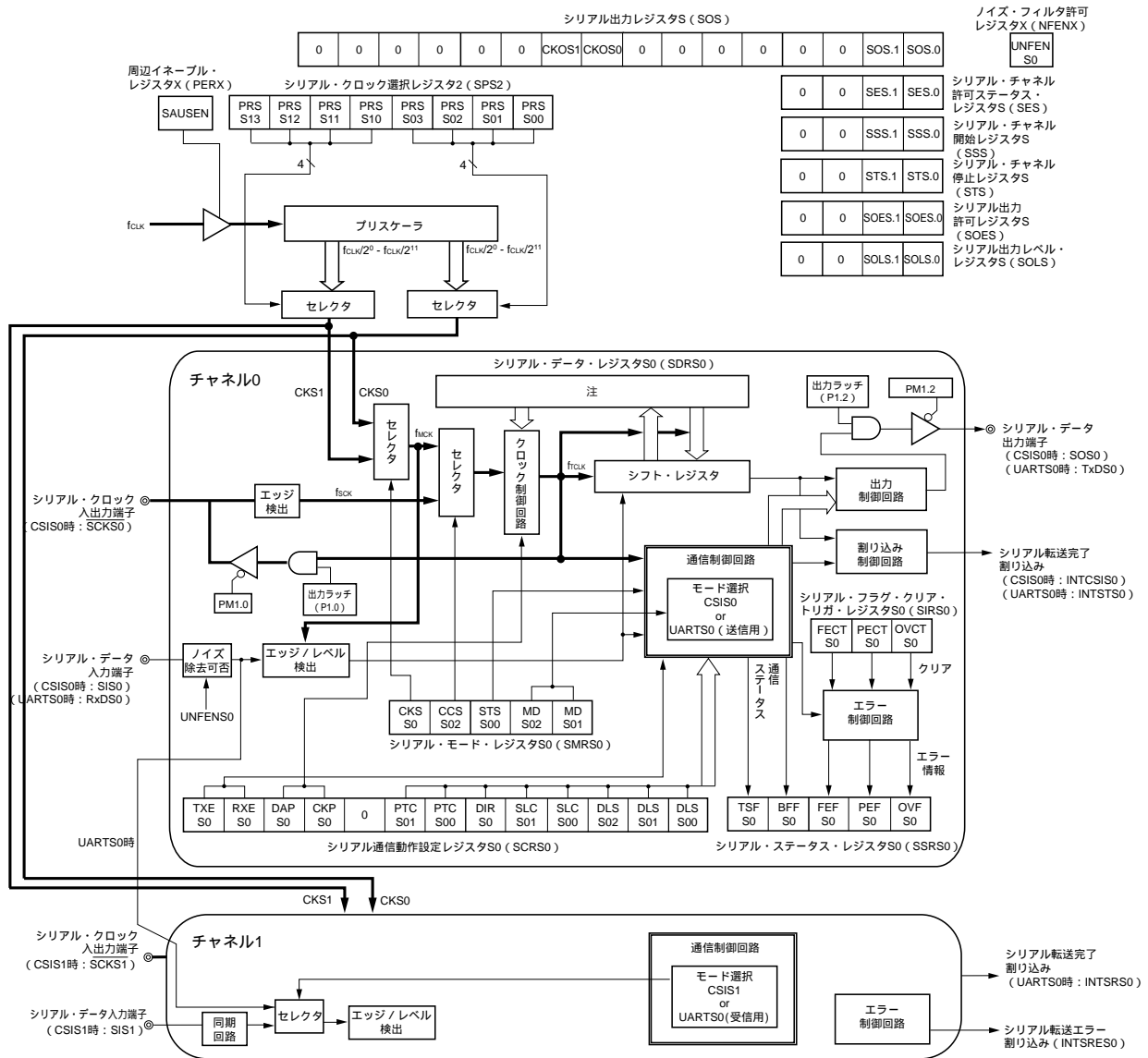


図13 - 3にシリアル・アレイ・ユニットSのブロック図を示します。

図13 - 3 シリアル・アレイ・ユニットSのブロック図



注 動作停止時 (SES.n = 0) のみ、上位7ビットがクロック分周設定部になります。

(1) シフト・レジスタ

パラレル シリアルの変換を行う8/9/16ビットのレジスタです。

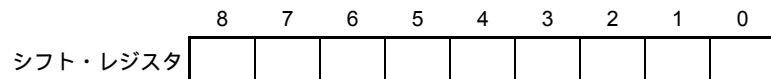
UART0による9ビット・データ長でのUART通信時は、9ビット（ビット0-8）を使用します。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

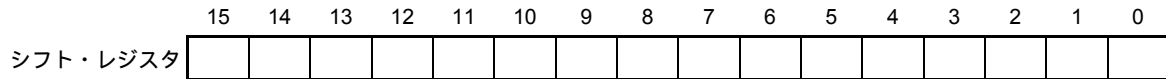
シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn（SDRmn）を使用します（ユニット0, 1では下位8/9ビットのみ）。

・ユニット0, 1



・ユニットS



(2) シリアル・データ・レジスタ_{mn} (SDR_{mn})(a) ユニット0, 1のシリアル・データ・レジスタ_{mn} (SDR_{mn}) の下位8/9ビット

SDR_{mn}レジスタは、チャンネル_nの送受信データ・レジスタ (16ビット) です。

SDR00, SDR01のビット8-0 (下位9ビット), またはSDR02, SDR03, SDR10, SDR11のビット7-0 (下位8ビット) は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (f_{MCK}) の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序にかかわらず、シリアル通信動作設定レジスタ_{mn} (SCR_{mn}) のビット0, 1 (DLS_{mn}0, DLS_{mn}1) の設定によって、次のようになります。

- ・ 9ビット・データ長 (SDR_{mn} (mn = 00, 01) レジスタのビット0-8に格納)
(UART0モード時のみ設定可)
- ・ 7ビット・データ長 (SDR_{mn}レジスタのビット0-6に格納)
- ・ 8ビット・データ長 (SDR_{mn}レジスタのビット0-7に格納)

SDR_{mn}レジスタは16ビット単位でリード/ライト可能です。

またSDR_{mn}レジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能[※]です。

- ・ CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・ UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・ UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・ IICr通信時・・・SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDR_{mn}レジスタは0000Hになります。

注 ただし動作停止 (SEm.n = 0) 時は、8ビット単位のライト禁止

備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

2. m : ユニット番号 (m = 0, 1)
n : チャンネル番号 (n = 0-3)
p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
q : UART番号 (q = 0-2)
r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

(b) ユニットSのシリアル・データ・レジスタSn (SDRSn)

SDRSnは、チャンネルnの送受信データ・レジスタ（16ビット）です。動作停止状態（SES.n = 0）のときに、ビット15-9の部分は動作クロック(f_{MCK})の分周設定レジスタとして使われます。動作中(SES.n = 1)のときに送受信バッファ・レジスタとして機能します。

受信時には、シフト・レジスタで変換したパラレル・データを格納します。送信時は、シフト・レジスタに転送する送信データを設定します。

格納するデータは、データ出力順序にかかわらず、SCRSnレジスタのビット4-0(DLSSn4-DLSSn0)の設定によって、次のようになります。

- ・ 7ビット・データ長 (SDRSnレジスタのビット0-6に格納)
- ・ 8ビット・データ長 (SDRSnレジスタのビット0-7に格納)
- :
- ・ 16ビット・データ長 (SDRSnレジスタのビット0-15に格納)

SDRSnは16ビット単位でリード/ライト可能です。

SES.n = 1のとき、SDRSnの下位8ビットは、SDRSnLとして8ビット単位のリード/ライト可能[※]です。通信方式により使えるSDRSnLレジスタは次のとおりです。

- ・ CSISn通信時・・・SIOsnL (CSISnデータ・レジスタ)
- ・ UARTS0受信時・・・RxDS0 (UARTS0受信データ・レジスタ)
- ・ UARTS0送信時・・・TxDS0 (UARTS0送信データ・レジスタ)

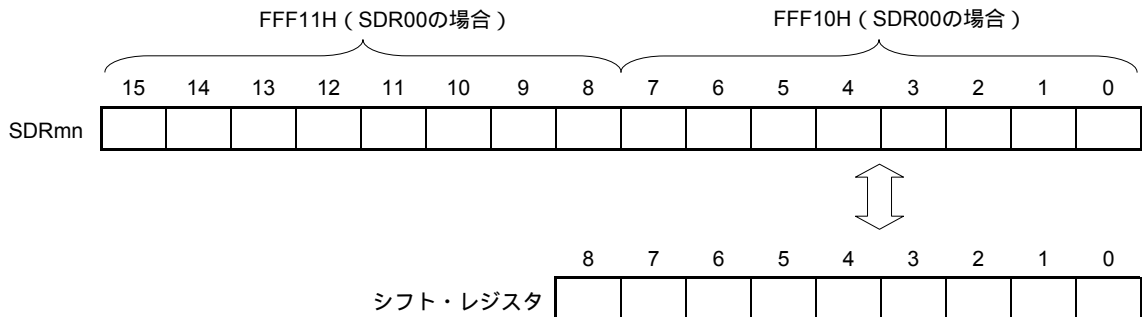
リセット信号の発生により、SDRSnは0000Hになります。

注 ただし動作停止 (SES.n = 0) 時は、8ビット単位のライト禁止

備考 n : チャンネル番号 (n = 0, 1)

図13 - 4 シリアル・データ・レジスタmn (SDRmn) (mn = 00-03, 10, 11) のフォーマット

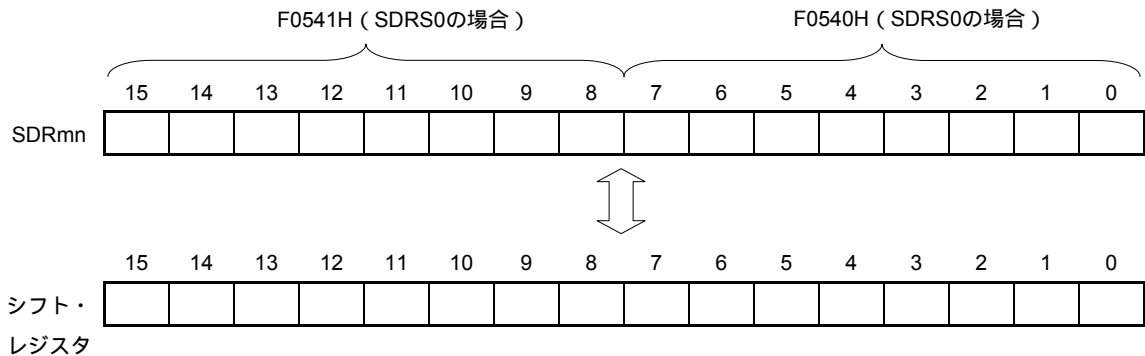
アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) ,
 FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11)



備考 SDRmnレジスタの上位7ビットの機能については、13.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図13 - 5 シリアル・データ・レジスタmn (SDRmn) (mn = S0, S1) のフォーマット

アドレス : F0540H, F0541H (SDRS0) , F0542H, F0543H (SDRS1) , リセット時 : 0000H R/W



備考 SDRmnの上位7ビットの機能については、13.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

13.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0, X (PER0, PERX)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0, X (NFEN0, NFENX)
- ・ポート入力モード・レジスタ0, 1, 5 (PIM0, PIM1, PIM5)
- ・ポート出力モード・レジスタ0, 1, 5, 7 (POM0, POM1, POM5, POM7)
- ・ポート・モード・レジスタ0, 1, 3, 5, 7 X0-X4 (PM0, PM1, PM3, PM5, PM7, PMX0-PMX4)
- ・ポート・レジスタ0, 1, 3, 5, 7 (P0, P1, P3, P5, P7)

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3)

(1) 周辺イネーブル・レジスタ0, X (PER0, PERX)

PER0, PERXレジスタは、各周辺ハードウェアへのクロック供給許可 / 禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずPER0レジスタのビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずPER0レジスタのビット3 (SAU1EN) に1を設定してください。

シリアル・アレイ・ユニットSを使用するときは、必ずPERXレジスタのビット1 (SAUSEN) に1を設定してください。

PER0, PERXレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0, PERXレジスタは00Hになります。

図13 - 6 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN ^注	SAU1EN ^注	SAU0EN	0	TAU0EN

アドレス : F0500H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PERX	0	0	0	0	0	UF0EN	SAUSEN	WUTEN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御 (m = 0, 1, S)
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

注 20ピン製品には搭載されていません。

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しでも値はすべて初期値となります(入力切り替え制御レジスタ(ISC)、ノイズ・フィルタ許可レジスタ0, X(NFEN0, NFENX)、ポート入力モード・レジスタ0, 1, 5(PIM0, PIM1, PIM5)、ポート出力モード・レジスタ0, 1, 5, 7(POM0, POM1, POM5, POM7)、ポート・モード・レジスタ0, 1, 3, 5, 7, X0-X4 (PM0, PM1, PM3, PM5, PM7, PMX0-PMX4)、ポート・レジスタ0, 1, 3, 5, 7 (P0, P1, P3, P5, P7) は除く)。

2. SAUmENを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

3. 次のビットには必ず“0”を設定してください。

20ピン製品 : PER0レジスタのビット1, 3, 4, 6, PERXレジスタのビット3-7

30, 32ピン製品 : PER0レジスタのビット1, 6, PERXレジスタのビット3-7

48, 64ピン製品 : PER0レジスタのビット1, 6, PERXレジスタのビット3-7

(2) シリアル・クロック選択レジスタ_m (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CK_{m0}, CK_{m1}) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCK_{m1}を、ビット3-0でCK_{m0}を選択します。

SPSmレジスタは、動作中 (SE_{m.n} = 1のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図13-7 シリアル・クロック選択レジスタ_m (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0), F0166H, F0167H (SPS1) リセット時 : 0000H R/W
F0566H, F0567H (SPSS)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	f _{CLK}	動作クロック (CK _{m_k}) の選択 ^注				
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 32 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
上記以外				設定禁止					

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (ST0レジスタのビット3-0, ST1, STSレジスタのビット1-0を1に設定) させてから変更してください。

注意1. ビット15-8には、必ず0を設定してください。

2. PER0レジスタのビット2 (SAU0EN), ビット3 (SAU1EN), PERXレジスタのビット1 (SAUSEN) を “1” に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

f_{SUB} : サブシステム・クロック周波数

2. m : ユニット番号 (m = 0, 1, S)

3. k = 0, 1

(3) シリアル・モード・レジスタmn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択, シリアル・クロック (f_{SCK}) 入力の使用可否, スタート・トリガ設定, 動作モード (CSI, UART, I²C) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 (SEm.n = 1のとき) の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図13 - 8 シリアル・モード・レジスタmn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) -F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10), F0152H, F0153H (SMR11),
 F0558H, F0559H (SMRS0), F055AH, F055BH (SMRS1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn ^注	0	SIS mn0 ^注	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (f _{MCK}) の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (f _{TCLK}) を生成します。	

CCS mn	チャンネルnの転送クロック (f _{TCLK}) の選択
0	CKSmnビットで指定した動作クロックf _{MCK} の分周クロック
1	SCKp端子からの入力クロックf _{SCK} (CSIモードのスレーブ転送)
転送クロックf _{TCLK} は、シフト・レジスタ, 通信制御回路, 出力制御回路, 割り込み制御回路, エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (f _{MCK}) の分周設定を行います。	

STS mn ^注	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信, 簡易I ² C時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後, 上記の要因が満たされてから転送開始となります。	

注 SMR01, SMR03, SMR11, SMRS1レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMRS0レジスタの場合は, ビット13-6, 4, 3) には, 必ず0を設定してください。ビット5には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) q : UART番号 (q = 0-2, S0, S1) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

図13 - 8 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) -F0116H, F0117H (SMR03) , リセット時 : 0020H R/W
 F0150H, F0151H (SMR10) , F0152H, F0153H (SMR11) ,
 F0558H, F0559H (SMRS0) , F055AH, F055BH (SMRS1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn ^注	0	SIS mn0 ^注	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0 ^注	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	パッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01, SMR03, SMR11, SMRS1レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMRS0レジスタの場合は、ビット13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) q : UART番号 (q = 0-2, S0, S1) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

(4) シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中 (SEm.n = 1のとき) の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmnレジスタは0087Hになります。

図13 - 9 シリアル通信動作設定レジスタmn (SCRmn) (mn = 00-03, 10, 11) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) -F011EH, F011FH (SCR03) , リセット時 : 0087H R/W

F0158H, F0159H (SCR10) , F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{注1}	SLCm n0	0	1	DLS mn1 ^{注2}	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード、簡易²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0-3)) のマスク可否の選択
0	エラー割り込みINTSRExをマスクする (INTSRxはマスクされない)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時にINTSRxはマスクされる)

CSIモード、簡易²Cモード、UART送信時には、EOCmn = 0に設定してください^{注3}。

- 注1. SCR00, SCR02, SCR10レジスタのみ。
 2. SCR00, SCR01レジスタのみ。その他は1固定になります。
 3. CSI01をEOC01 = 0で使用しない場合、エラー割り込みINTSRE0が発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください (SCR01, SCR03, SCR11レジスタはビット5も0に設定してください。)。ビット1, 2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)
 p : CSI番号 (p = 00, 01, 10, 11, 20, 21)

図13-9 シリアル通信動作設定レジスタmn (SCRmn) (mn = 00-03, 10, 11) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) -F011EH, F011FH (SCR03), リセット時 : 0087H R/W

F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{注1}	SLCm n0	0	1	DLSm n1 ^{注2}	DLSm n0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^{注3}	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード, 簡易²Cモード時には, 必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	CSI, UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易²Cモード時には, 必ずDIRmn = 0に設定してください。

SLCm n1 ^{注1}	SLCm n0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10のみ)	
1	1	設定禁止	

転送完了割り込みを選択している場合は, 全部のストップ・ビットが完了してから割り込みを発生します。
UART受信時, 簡易²Cモード時には, 1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
CSIモード時には, ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。

DLSm n1 ^{注2}	DLSm n0	CSI, UARTモードでのデータ長の設定	
0	1	9ビット・データ長 (SDRmn (mn = 00, 01) レジスタのビット0-8に格納) (UART0モード時のみ選択可)	
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他		設定禁止	

簡易²Cモード時には, 必ずDLSmn0 = 1に設定してください。

注1. SCR00, SCR02, SCR10レジスタのみ。

2. SCR00, SCR01レジスタのみ。その他は1固定になります。

3. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には, 必ず0を設定してください (SCR01, SCR03, SCR11レジスタはビット5に0を設定してください。SCR02, SCR03, SCR10, SCR11レジスタはビット1に1を設定してください。)。ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

図13 - 10 シリアル通信動作設定レジスタmn (SCRmn) (mn = S0, S1) のフォーマット (1/2)

アドレス : F055CH, F055DH (SCRS0) , F055EH, F055FH (SCRS1) リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	0	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	DLS mn3	DLS mn2	DLS mn1	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信を開始しない
0	1	受信のみ
1	0	送信のみ
1	1	送受信を行う

DAP mn	CKP mn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード、簡易I²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^注	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード、簡易I²Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

注 データの内容にかかわらず必ず0が付加されます。

注意 ビット6, 10, 11には、必ず0を設定してください。

備考 m : ユニット番号 (m = S) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = S0, S1)

図13 - 10 シリアル通信動作設定レジスタmn (SCRmn) (mn = S0, S1) のフォーマット (2/2)

アドレス : F055CH, F055DH (SCRS0) , F055EH, F055FH (SCRS1) リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	0	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	DLS mn3	DLS mn2	DLS mn1	DLS mn0

DIR mn	CSI, UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

SLC mn1	SLC mn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット
1	1	設定禁止

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
 CSIモード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。

DLS mn3	DLS mn2	DLS mn1	DLS mn0	CSI, UARTモードでのデータ長の設定	シリアル機能の対応		
					CSI	UART	IIC
0	1	1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)			-
0	1	1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)			-
1	0	0	0	9ビット・データ長 (SDRmnレジスタのビット0-8に格納)			-
1	0	0	1	10ビット・データ長 (SDRmnレジスタのビット0-9に格納)		-	-
1	0	1	0	11ビット・データ長 (SDRmnレジスタのビット0-10に格納)		-	-
1	0	1	1	12ビット・データ長 (SDRmnレジスタのビット0-11に格納)		-	-
1	1	0	0	13ビット・データ長 (SDRmnレジスタのビット0-12に格納)		-	-
1	1	0	1	14ビット・データ長 (SDRmnレジスタのビット0-13に格納)		-	-
1	1	1	0	15ビット・データ長 (SDRmnレジスタのビット0-14に格納)		-	-
1	1	1	1	16ビット・データ長 (SDRmnレジスタのビット0-15に格納)			-
その他				設定禁止			

注意 ビット6, 10, 11には、必ず0を設定してください。

備考 m : ユニット番号 (m = S) n : チャネル番号 (n = 0, 1)

(5) シリアル・データ・レジスタmn (SDRmn) の上位7ビット

(a) ユニット0, 1

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ (16ビット) です。SDR00, SDR01のビット8-0 (下位9ビット), またはSDR02, SDR03, SDR10, SDR11のビット7-0 (下位8ビット) は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (f_{MCK}) の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn (SMRmn) でCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnレジスタの上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

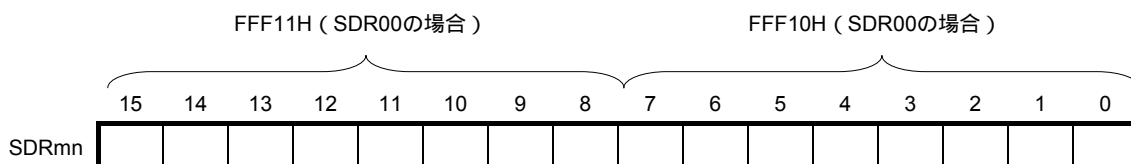
SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SEm.n = 0) のときのみ有効です。動作中 (SEm.n = 1) にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行ったときは、常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

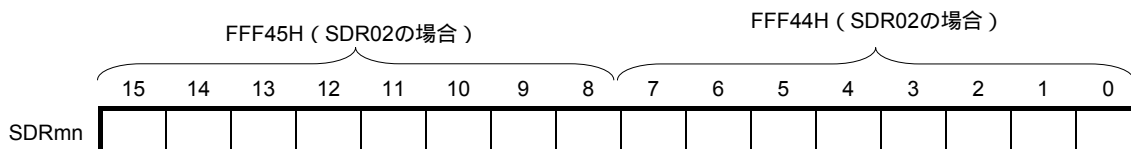
図13 - 11 シリアル・データ・レジスタmn (SDRmn) (mn = 00-03, 10, 11) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), リセット時 : 0000H R/W



アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), リセット時 : 0000H R/W

FFF44H, FFF45H(SDR02), FFF46H, FFF47H(SDR03),
FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)



SDRmn[15:9]							動作クロック (f _{MCK}) の分周による転送レート設定
0	0	0	0	0	0	0	f _{MCK} /2, f _{SCK} (CSIスレーブ時)
0	0	0	0	0	0	1	f _{MCK} /4
0	0	0	0	0	1	0	f _{MCK} /6
0	0	0	0	0	1	1	f _{MCK} /8
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	1	0	f _{MCK} /254
1	1	1	1	1	1	1	f _{MCK} /256

(注意、備考は次ページにあります。)

- 注意1. SDR02, SDR03, SDR10, SDR11レジスタのビット8は、必ず0を設定してください。
- 2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B, 0000010B) は設定禁止です。
- 3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
- 4. 動作停止状態(SEm.n = 0)のときに、下位8ビットへ8ビット書き込みは行わないでください(上位7ビットが0にクリアされます)。

- 備考1. SDRmnレジスタの下位8/9ビットの機能については、13. 2 シリアル・アレイ・ユニットの構成を参照してください。
- 2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

(b) ユニットS

SDRmnは、チャンネルnの送受信データ・レジスタ(16ビット)です。動作停止状態(SEm.n = 0)ではビット15-9の部分は動作クロック(fmCK)の分周設定レジスタとして使われます。動作中(SEm.n = 1)では送受信バッファ・レジスタとして機能します。

シリアル・モード・レジスタmn(SMRmn)でCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnの上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

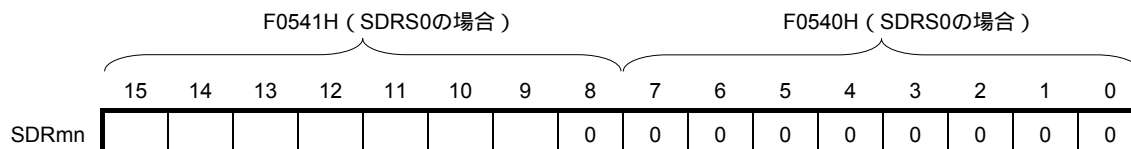
動作中(SEm.n = 1)のSDRmnの機能については、13. 2 シリアル・アレイ・ユニットの構成を参照してください。

SDRmnは16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図13 - 12 シリアル・データ・レジスタmn (SDRmn) (mn = S0, S1) のフォーマット

アドレス : F0540H, F0541H (SDRS0) , F0542H, F0543H (SDRS1) リセット時 : 0000H R/W



SDRmn[15:9]							動作クロック (fmCK) の分周設定	
0	0	0	0	0	0	0	fmCK	
0	0	0	0	0	0	1	fmCK/2	
0	0	0	0	0	1	0	fmCK/3	
0	0	0	0	0	1	1	fmCK/4	
.	
.	
.	
1	1	1	1	1	1	0	fmCK/127	
1	1	1	1	1	1	1	fmCK/128	

(注意、備考は次ページにあります。)

- 注意**
1. 動作停止状態 (SEm.n = 0) 時、ビット8-0は、必ず0を設定してください。
 2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。
 3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
 4. 動作停止状態 (SEm.n = 0) のときに、下位8ビットへ8ビット書き込みは行わないでください (上位7ビットが0にクリアされます)。

- 備考**
1. 動作中 (SEm.n = 1) のSDRmnの機能については、13.2 シリアル・アレイ・ユニットの構成を参照してください。
 2. m : ユニット番号 (m = S) n : チャネル番号 (n = 0, 1)

(6) シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると, シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので, SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは, 16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは, SIRmnlで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により, SIRmnレジスタは0000Hになります。

図13 - 13 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03), リセット時 : 0000H R/W

F0148H, F0149H (SIR10), F014AH, F014BH (SIR11),

F0554H, F0555H (SIRS0), F0556H, F0557H (SIRS1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn ^注	PEC Tmn	OVC Tmn

FEC Tmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVC Tmn	チャンネルnのオーバーラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注 SIR01, SIR03, SIR11, SIRS1レジスタのみ。

注意 ビット15-3 (SIR00, SIR02, SIR10, SIRS0レジスタの場合は, ビット15-2) には, 必ず0を設定してください。

- 備考1. m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3)
 2. SIRmnレジスタの読み出し値は常に0000Hとなります。

(7) シリアル・ステータス・レジスタmn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図13 - 14 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) -F0106H, F0107H (SSR03), リセット時 : 0000H R
 F0140H, F0141H (SSR10), F0142H, F0143H (SSR11),
 F0550H, F0551H (SSRS0), F0552H, F0553H (SSRS1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^注	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件>	
<ul style="list-style-type: none"> STmレジスタのSTm.nビットに1を設定時 (通信停止状態), もしくはSSmレジスタのSSm.nビットに1を設定時 (通信待機状態) 通信動作が終了時 	
<セット条件>	
<ul style="list-style-type: none"> 通信動作を開始時 	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件>	
<ul style="list-style-type: none"> 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき STmレジスタのSTm.nビットに1を設定時 (通信停止状態), SSmレジスタのSSm.nビットに1を設定時 (通信許可状態)。 	
<セット条件>	
<ul style="list-style-type: none"> SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信, 送受信モード時) の状態でSDRmnレジスタに送信データを書き込んだとき SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時) の状態でSDRmnレジスタに受信データが格納されたとき 受信エラー時 	

注 SSR01, SSR03, SSR11, SSRS1レジスタのみ。

注意 BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信 / 受信データが破壊され、オーバラン・エラー (OVEmn = 1) と検出されます。

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3)

図13 - 14 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03) , リセット時 : 0000H R
 F0140H, F0141H (SSR10) , F0142H, F0143H (SSR11) ,
 F0550H, F0551H (SSRS0) , F0552H, F0553H (SSRS1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^注	PEF mn	OVF mn

FEF mn ^注	チャンネルnのフレーミング・エラー検出フラグ															
0	エラーなし															
1	エラー発生 (UART受信時)															
<クリア条件> ・SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、ストップ・ビットが検出されないとき																

PEF mn	チャンネルnのパリティ・エラー検出フラグ															
0	エラーなし															
1	エラー発生 (UART受信時) , またはACK未検出発生 (I ² C送信時)															
<クリア条件> ・SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) ・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)																

OVF mn	チャンネルnのオーバラン・エラー検出フラグ															
0	エラーなし															
1	エラー発生															
<クリア条件> ・SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時) の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・CSIモードのスレーブ送信 / 送受信で、送信データが準備できていないとき																

注 SSR01, SSR03, SSR11, SSRS1レジスタのみ。

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3)

(8) シリアル・チャンネル開始レジスタm (SSm)

SSmレジスタは、通信 / カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSm.n) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ (SEm) の対応ビット (SEm.n) が1にセット (動作許可状態) されます。SSm.nビットはトリガ・ビットなので、SEm.n = 1になるとすぐSSm.nビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図13 - 15 シリアル・チャンネル開始レジスタm (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0. 3	SS0. 2	SS0. 1	SS0. 0

アドレス : F0162H, F0163H (SS1), F0562H, F0563H (SSS) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm (m = 1, S)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm. 1	SSm. 0

SSm. n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEm.nビットに1をセットし、通信待機状態に移す ^注

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, S0mn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意 SS0レジスタのビット15-4, SS1, SSSレジスタのビット15-2には、必ず0を設定してください。

- 備考**1. m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3)
 2. SSmレジスタの読み出し値は常に0000Hとなります。

(9) シリアル・チャンネル停止レジスタm (STm)

STmレジスタは、通信 / カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (STm.n) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEm) の対応ビット (SEm.n) が0にクリア (動作停止状態) されます。STm.nビットはトリガ・ビットなので、SEm.n = 0になるとすぐSTm.nビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図13 - 16 シリアル・チャンネル停止レジスタm (STm) のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0. 3	ST0. 2	ST0. 1	ST0. 0

アドレス : F0164H, F0165H (ST1), F0564H, F0565H (STS) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm (m = 1, S)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	STm. 1	STm. 0

STm. n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SEm.nビットを0にクリアし、通信動作を停止する ^注

注 制御レジスタ、シフト・レジスタの値、およびシリアル・クロック入出力端子、シリアル・データ出力端子、各エラー・フラグ (FEFmn : フレーミング・エラー・フラグ, PEFmn : パリティ・エラー・フラグ, OVFmn : オーバーラン・エラー・フラグ) は、状態を保持したまま停止します。

注意 ST0レジスタのビット15-4, ST1, STSレジスタのビット15-2には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3)

2. STmレジスタの読み出し値は常に0000Hとなります。

(10) シリアル・チャンネル許可ステータス・レジスタm (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可 / 停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタm (SSm) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタm (STm) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のCKOmnビット (チャンネルnのシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション / ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000Hになります。

図13 - 17 シリアル・チャンネル許可ステータス・レジスタm (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0. 3	SE0. 2	SE0. 1	SE0. 0

アドレス : F0160H, F0161H (SE1), F0560H, F0561H (SES) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm (m = 1, S)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SEm. 1	SEm. 0

SEm. n	チャンネルnの動作許可 / 停止状態の表示														
0	動作停止状態														
1	動作許可状態														

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3)

(11) シリアル出力許可レジスタm (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可 / 停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のSOm.nビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOm.nビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション / ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図13 - 18 シリアル出力許可レジスタm (SOEm) のフォーマット

アドレス : F012AH, F012BH (SOE0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 0.3	SOE 0.2	SOE 0.1	SOE 0.0

アドレス : F016AH, F016BH (SOE1), F056AH, F056BH (SOES) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm (m = 1, S)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE m.1	SOE m.0

SOE m.n	チャンネルnのシリアル出力許可 / 停止														
0	シリアル通信動作による出力停止														
1	シリアル通信動作による出力許可														

注意 SOE0レジスタのビット15-4, SOE1, SOESレジスタのビット15-2には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3)

(12) シリアル出力レジスタ_m (SO_m)

SO_mレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSO_{m.n}ビットの値が、チャンネル_nのシリアル・データ出力端子から出力されます。

このレジスタのCKO_mビットの値が、チャンネル_nのシリアル・クロック出力端子から出力されます。

このレジスタのSO_{m.n}ビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEm.n = 0) 時のみ可能です。シリアル出力許可 (SOEm.n = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKO_{m.n}ビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEm.n = 0) 時のみ可能です。チャンネル動作許可 (SEm.n = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当するCKO_m, SO_{m.n}ビットに“1”を設定してください。

SO_mレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SO_mレジスタは0F0FHになります。

図13 - 19 シリアル出力レジスタ_m (SO_m) のフォーマット

アドレス : F0128H, F0129H (SO0) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	CKO	CKO	CKO	CKO	0	0	0	0	SO	SO	SO	SO
					03	02	01	00					0.3	0.2	0.1	0.0

アドレス : F0168H, F0169H (SO1), F0568H, F0569H (SOS) リセット時 : 0303H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO _m (m = 1, S)	0	0	0	0	0	0	CKO	CKO	0	0	0	0	0	0	SO	SO
							m1	m0							m.1	m.0

CKO _{mn}	チャンネル _n のシリアル・クロック出力														
0	シリアル・クロック出力値が“0”														
1	シリアル・クロック出力値が“1”														

SO _{m.n}	チャンネル _n のシリアル・データ出力														
0	シリアル・データ出力値が“0”														
1	シリアル・データ出力値が“1”														

注意 SO1, SOSレジスタのビット11, 10, 3, 2には、必ず0を設定してください。また、SO_mレジスタのビット15-12, 7-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3)

(13) シリアル出力レベル・レジスタ_m (SOL_m)

SOL_mレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード、簡易I²Cモード時は、必ず0000Hを設定してください。

このレジスタによる各チャンネル_nの反転設定は、シリアル出力許可 (SOEm.n = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEm.n = 0) 時はSOm.nビットの値がそのまま出力されます。

SOL_mレジスタは、動作中 (SEm.n = 1のとき) の書き換えは禁止です。

SOL_mレジスタは、16ビット・メモリ操作命令で設定します。

またSOL_mレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOL_mレジスタは0000Hになります。

図13 - 20 シリアル出力レベル・レジスタ_m (SOL_m) のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 0.2	0	SOL 0.0

アドレス : F0174H, F0175H (SOL1), F0570H, F0571H (SOLS) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL _m (m = 1, S)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL m.0

SOL m.n	UARTモードでのチャンネル _n の送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 SOL0レジスタのビット15-3, 1, SOL1, SOLSレジスタのビット15-1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0, 2)

(14) シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)

SSC0レジスタは、CSI00、UART0のシリアル・データ受信による、STOPモード状態からの受信動作起動 (SNOOZEモード) を制御するレジスタです。

SSC0レジスタは、16ビット・メモリ操作命令で設定します。

またSSCレジスタの下位8ビットは、SSC0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSC0レジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- ・CSI00の場合：1 Mbps
- ・UART0の場合：4800 bps

図12 - 21 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) のフォーマット

アドレス：F0138H, F0139H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS ECO	SWC 0

SSEC0	転送完了割り込み発生許可 / 停止の選択
0	エラー割り込み (INTSRE0) 発生許可。 また、次の場合、クロック発生回路へのクロック要求信号 (内部信号) がクリアされます。 ・SWCビットを0に設定時 ・UART受信スタート・ビットの誤検出
1	エラー割り込み (INTSRE0) 発生停止。 また、次の場合、クロック発生回路へのクロック要求信号 (内部信号) がクリアされます。 ・SWCビットを0に設定時 ・UART受信スタート・ビットの誤検出 ・パリティ・エラー、フレーミング・エラーによる転送完了割り込み発生タイミング時

SWC0	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

・STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、CSI/UARTの受信動作を行います (SNOOZEモード)。
 ・SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (f_{CLK}) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
 ・SNOOZEモードを使用する場合でも、通常動作モード時はSWCを0に設定し、STOPモードへ移行する直前にSWCを1に変更してください。
 またSTOPモードから通常動作モードへ復帰後、必ずSWCを0に変更してください。

注意 SSEC0, SWC0 = 1, 0は設定禁止です。

(15) 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC.1, ISC.0ビットは, UART2でLIN-bus通信動作を実現するとき, 外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると, シリアル・データ入力 (RxD2) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって, ウェイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると, シリアル・データ入力 (RxD2) 端子の入力信号がタイマ入力として選択されます。これによって, ウェイクアップ信号検出とシンク・ブレイク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, ISCレジスタは00Hになります。

図13 - 22 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC.1	ISC.0

ISC.1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	48, 64ピン製品の場合 : TI07端子の入力信号をタイマ入力とする (通常動作) 20, 30, 32ピン製品の場合 : チャンネル7でタイマ入力信号を使用しない
1	RxD2端子の入力信号をタイマ入力とする (ウェイクアップ信号検出とシンク・ブレイク・フィールドのロウ幅とシンク・フィールドのパルス幅測定) 20ピン製品の場合は設定不可。

ISC.0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD2端子の入力信号を外部割り込み入力とする (ウェイクアップ信号検出)

注意 ビット7-2に必ず0を設定してください。

(16) ノイズ・フィルタ許可レジスタ0, X (NFEN0, NFENX)

NFEN0, NFENXレジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

CSI, 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU/周辺ハードウェア・クロック (f_{CLK}) で2クロックの一致検出と同期化を行います。

NFEN0, NFENXレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0, NFENXレジスタは00Hになります。

図13 - 23 ノイズ・フィルタ許可レジスタ0, X (NFEN0, NFENX) のフォーマット

アドレス : F0070H (NFEN0), F050AH (NFENX) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	SNFEN20	0	SNFEN10	0	SNFEN00

略号	7	6	5	4	3	2	1	0
NFENX	0	0	0	0	0	0	0	UNFENS0

SNFEN20	RxD2端子 (RxD2/SDA20/SI20/P14) のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。	
RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子 (RxD1/ANI16/SI10/SDA10) のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子 (RxD0/SI00/ SIS0/RxDS0/TOOLRxD/SDA00/P11) のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

UNFENS0	RxDS0端子 (RxD0/SI00/ SIS0/RxDS0/TOOLRxD/SDA00/P11) のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxDS0端子として使用するときは、UNFENS0 = 1に設定してください。	
RxDS0以外の機能として使用するときは、UNFENS0 = 0に設定してください。	

注意 NFEN0レジスタのビット7-5, 3, 1, 0, NFENXレジスタのビット7-1に必ず0を設定してください。

(17) ポート入力モード・レジスタ0, 1, 5 (PIM0, PIM1, PIM5)

ポート0, 1, 5の入力バッファを1ビット単位で設定するレジスタです。

PIM0, PIM1, PIM5レジスタは,1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, PIM0, PIM1, PIM5レジスタは00Hになります。

図13 - 24 ポート入力モード・レジスタ0, 1, 5 (PIM0, PIM1, PIM5) のフォーマット (64ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM0.4	PIM0.3	0	PIM0.1	0	F0040H	00H	R/W
PIM1	PIM1.7	PIM1.6	PIM1.5	PIM1.4	PIM1.3	0	0	0	F0041H	00H	R/W
PIM5	0	0	PIM5.5	0	0	0	0	0	F0045H	00H	R/W

PIMm.n	Pmn端子の入力バッファの選択 (m = 0, 1, 5; n = 1, 3-7)
0	通常入力バッファ
1	TTL入力バッファ

(18) ポート出力モード・レジスタ0, 1, 5, 7 (POM0, POM1, POM5, POM7)

ポート0, 1, 5, 7の出力モードを1ビット単位で設定するレジスタです。

POM0, POM1, POM5, POM7レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, POM0, POM1, POM5, POM7レジスタは00Hになります。

図13 - 25 ポート出力モード・レジスタ0, 1, 5, 7 (POM0, POM1, POM5, POM7) のフォーマット (64ピン製品)

アドレス : F0050H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM0	0	0	0	POM0.4	POM0.3	POM0.2	0	POM0.0

アドレス : F0051H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM1	POM1.7	0	POM1.5	POM1.4	POM1.3	POM1.2	POM1.1	POM1.0

アドレス : F0055H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM5	0	0	POM5.5	0	0	0	0	POM5.0

アドレス : F0057H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM7	0	0	0	POM7.4	0	0	POM7.1	0

POMm.n	Pmn端子の出力モードの選択 (m = 0, 1, 5, 7 ; n = 0-5, 7)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

(19) ポート・モード・レジスタ0, 1, 3, 5, 7, X0-X4 (PM0, PM1, PM3, PM5, PM7, PMX0-PMX4)

ポート0, 1, 3, 5, 7の入力/出力を1ビット単位で設定するレジスタです。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート (P02/ANI17/SO10/TXD1など) をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに0を設定してください。また、ポート・レジスタ (Pxx) のビットに1を設定してください。

$\overline{\text{SCKS0}}$, SOS0/TxDS0 をシリアル・データ出力またはシリアル・クロック出力として使用する場合は、各ポートに対応するポート・モード・レジスタ (PMxx) のビットを1に設定してください。また、PMX0, PMX1レジスタを0に設定してください。

例) P02/ANI17/SO10/TXD1をシリアル・データ出力またはシリアル・クロック出力として使用する場合

ポート・モード・レジスタ0のPM0.2ビットを0に設定

ポート・レジスタ0のP0.2ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート (P04/ $\overline{\text{SCK10}}$ /SCL10, P50/INTP1/SI11/SDA11/LRxDなど) をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

$\overline{\text{SCKS0}}$, SIS0/RxDS0 をシリアル・データ入力またはシリアル・クロック入力として使用する場合は、PMX0, PMX1レジスタは設定する必要がありません。

例) P50/INTP1/SI11/SDA11/LRxDをシリアル・データ入力として使用する場合

ポート・モード・レジスタ5のPM5.0ビットを1に設定

ポート・レジスタ5のP5.0ビットを0または1に設定

PM0, PM1, PM3, PM5, PM7, PMX0-PMX4レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PM0, PM1, PM3, PM5, PM7, PMX0-PMX4レジスタはFFHになります。

図13 - 26 ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7) のフォーマット (64ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM0.6	PM0.5	PM0.4	PM0.3	PM0.2	PM0.1	PM0.0	FFF20H	FFH	R/W
PM1	PM1.7	PM1.6	PM1.5	PM1.4	PM1.3	PM1.2	PM1.1	PM1.0	FFF21H	FFH	R/W
PM3	1	1	1	1	1	1	PM3.1	PM3.0	FFF23H	FFH	R/W
PM5	1	1	PM5.5	PM5.4	PM5.3	PM5.2	PM5.1	PM5.0	FFF25H	FFH	R/W
PM7	PM7.7	PM7.6	PM7.5	PM7.4	PM7.3	PM7.2	PM7.1	PM7.0	FFF27H	FFH	R/W

PMm.n	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 5, 7; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図13 - 27 ポート・モード・レジスタX (PMX0-PMX4) のフォーマット (64ピン製品)

アドレス : F0504H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PMX0	0	0	0	0	0	0	0	PMX0

PMX0	P10/ $\overline{\text{SCK00}}/\overline{\text{SCKS0}}/\text{SCL00}$ 端子の兼用機能の選択
0	$\overline{\text{SCKS0}}$ 出力 (マスタ・モード)
1	$\overline{\text{SCKS0}}$ 入力 (スレーブ・モード), またはその他の兼用機能 (汎用ポートを含む)

アドレス : F0505H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PMX1	0	0	0	0	0	0	0	PMX1

PMX1	P12/ $\text{SO00}/\text{TxD0}/\overline{\text{SOS0}}/\text{TxDS0}/\overline{\text{TOOLTxD}}$ 端子の兼用機能の選択
0	$\overline{\text{SOS0}}$ 出力または TxDS0 出力
1	その他の兼用機能 (汎用ポートを含む)

アドレス : F0506H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PMX2	0	0	0	0	0	0	0	PMX2

PMX2	P51/ $\overline{\text{INTP2}}/\overline{\text{SO11}}/\overline{\text{LTxD}}$ 端子の兼用機能の選択
0	$\overline{\text{LTxD}}$ 出力
1	その他の兼用機能 (汎用ポートを含む)

アドレス : F0507H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PMX3	0	0	0	0	0	0	0	PMX3

PMX3	P55/ $\overline{\text{SCKS1}}$ 端子の兼用機能の選択
0	$\overline{\text{SCKS1}}$ 出力 (マスタ・モード)
1	$\overline{\text{SCKS1}}$ 入力 (スレーブ・モード), その他の兼用機能 (汎用ポートを含む)

アドレス : F0508H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PMX4	0	0	0	0	0	0	0	PMX4

PMX4	P53/ $\overline{\text{SOS1}}$ 端子の兼用機能の選択
0	$\overline{\text{SOS1}}$ 出力
1	その他の兼用機能 (汎用ポートを含む)

13.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、次の端子をポート機能として使用できます。

20ピン製品：

P10/ $\overline{\text{SCK00}}/\overline{\text{SCKS0}}/\text{SCL00}$, P11/SI00/RxD0/SIS0/RxDS0/TOOLRxD/SDA00,
P12/SO00/TxD0/SOS0/TxDS0/TOOLTxD

30, 32ピン製品：

P00/ANI17/TI00/TxD1, P01/ANI16/TO00/RxD1, P10/ $\overline{\text{SCK00}}/\overline{\text{SCKS0}}/\text{SCL00}$,
P11/SI00/RxD0/SIS0/RxDS0/TOOLRxD/SDA00, P12/SO00/TxD0/SOS0/TxDS0/TOOLTxD,
P13/TxD2/SO20, P14/RxD2/SI20/SDA20, P15/PCLBUZ1/ $\overline{\text{SCK20}}/\text{SCL20}$,
P30/INTP3/ $\overline{\text{SCK11}}/\text{SCL11}$, P50/INTP1/SI11/SDA11/LRx0, P51/INTP2/SO11/LTx0

48ピン製品：

P00/TI00/TxD1, P01/TO00/RxD1, P10/ $\overline{\text{SCK00}}/\overline{\text{SCKS0}}/\text{SCL00}$,
P11/SI00/RxD0/SIS0/RxDS0/TOOLRxD/SDA00, P12/SO00/TxD0/SOS0/TxDS0/TOOLTxD,
P13/TxD2/SO20, P14/RxD2/SI20/SDA20, P15/PCLBUZ1/ $\overline{\text{SCK20}}/\text{SCL20}$,
P30/INTP3/ $\overline{\text{SCK11}}/\text{SCL11}$, P50/INTP1/SI11/SDA11/LRx0, P51/INTP2/SO11/LTx0,
P70/KR0/ $\overline{\text{SCK21}}/\text{SCL21}$, P71/KR1/SI21/SDA21, P72/KR2/SO21, P73/KR3/SO01,
P74/KR4/INTP8/SI01/SDA01, P75/KR5/INTP9/ $\overline{\text{SCK01}}/\text{SCL01}$

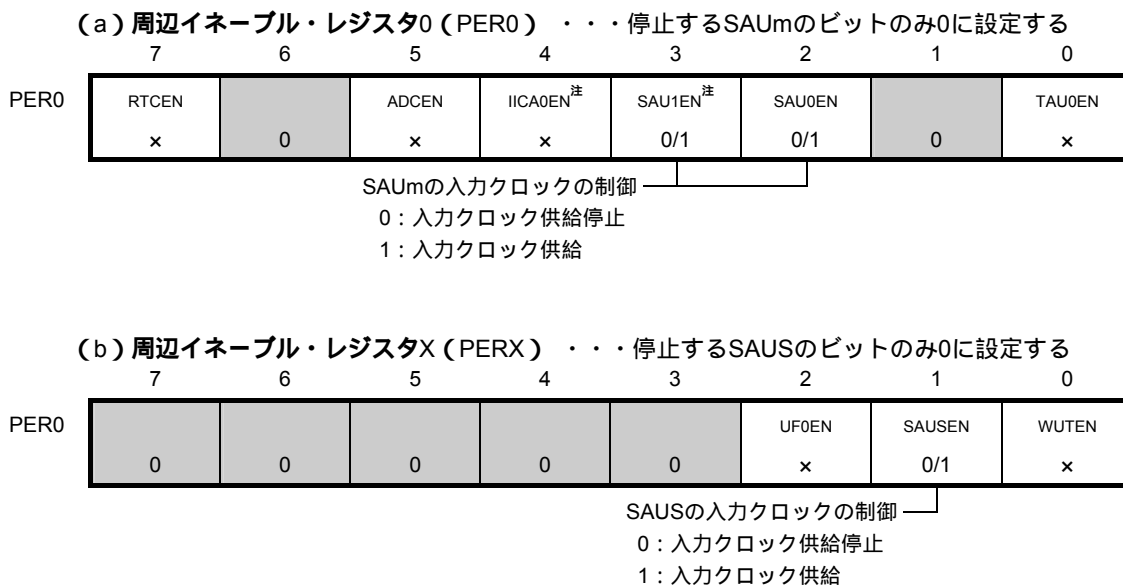
64ピン製品：

P02/ANI17/SO10/TXD1, P03/ANI16/SI10/RXD1/SDA10, P04/ $\overline{\text{SCK10}}/\text{SCL10}$,
P10/ $\overline{\text{SCK00}}/\overline{\text{SCKS0}}/\text{SCL00}$, P11/SI00/RxD0/SIS0/RxDS0/TOOLRxD/SDA00,
P12/SO00/TxD0/SOS0/TxDS0/TOOLTxD, P14/RxD2/SI20/SDA20, P15/ $\overline{\text{SCK20}}/\text{SCL20}$,
P30/INTP3/RTC1HZ/ $\overline{\text{SCK11}}/\text{SCL11}$, P50/INTP1/SI11/LRx0, P51/INTP2/SO11/LTx0,
P53/SOS1, P54/SIS1, P55/ $\overline{\text{SCKS1}}$, P70/KR0/ $\overline{\text{SCK21}}/\text{SCL21}$, P71/KR1/SI21/SDA21,
P72/KR2/SO21, P73/SO01, P74/INTP8/SI01/SDA01, P75/INTP9/ $\overline{\text{SCK01}}/\text{SCL01}$

13.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0, X (PER0, PERX)で行います。PER0, PERXレジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。シリアル・アレイ・ユニット0を停止するときは、PER0のビット2 (SAU0EN)に0を設定してください。シリアル・アレイ・ユニット1を停止するときは、PER0のビット3 (SAU1EN)に0を設定してください。シリアル・アレイ・ユニットSを停止するときは、PERXのビット1 (SAUSEN)に0を設定してください。

図13-28 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0, X (PER0, PERX) の設定



注 20ピン製品には搭載されていません。

注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0, X (NFEN0, NFENX)
- ・ポート入力モード・レジスタ0, 1, 5 (PIM0, PIM1, PIM5)
- ・ポート出力モード・レジスタ0, 1, 5, 7 (POM0, POM1, POM5, POM7)
- ・ポート・モード・レジスタ0, 1, 3, 5, 7, X0-X4 (PM0, PM1, PM3, PM5, PM7, PMX0-PMX4)
- ・ポート・レジスタ0, 1, 3, 5, 7 (P0, P1, P3, P5, P7)

2. 次のビットは必ず“0”にしてください。

- 20ピン製品 : PER0レジスタのビット1, 3, 4, 6, PERXレジスタのビット3-7
- 30, 32ピン製品 : PER0レジスタのビット1, 6, PERXレジスタのビット3-7
- 48, 64ピン製品 : PER0レジスタのビット1, 6, PERXレジスタのビット3-7

備考 ■ : 設定不可 (初期値を設定)

x : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて0または1に設定

13.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図13 - 29 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタ_m (ST_m)

・・・各チャンネルの通信 / カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST _m	0	0	0	0	0	0	0	0	0	0	0	0	ST _{m.3} [#]	ST _{m.2} [#]	ST _{m.1}	ST _{m.0}
													0/1	0/1	0/1	0/1

1 : SEm.nビットを0にクリアし、通信動作を停止

ST_m.nビットはトリガ・ビットなので、SEm.n = 0になるとすぐST_m.nビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタ_m (SE_m)

・・・各チャンネルのシリアル送受信動作許可 / 停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE _m	0	0	0	0	0	0	0	0	0	0	0	0	SE _{m.3} [#]	SE _{m.2} [#]	SE _{m.1}	SE _{m.0}
													0/1	0/1	0/1	0/1

0 : 動作停止状態

SE_mレジスタはRead Onlyのステータス・レジスタであり、ST_mレジスタにて動作停止にします。
動作を停止したチャンネルは、SO_mレジスタのCKOmnビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ_m (SO_{Em})

・・・各チャンネルのシリアル通信動作の出力許可 / 停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO _{Em}	0	0	0	0	0	0	0	0	0	0	0	0	SO _{Em.3} [#]	SO _{Em.2} [#]	SO _{Em.1}	SO _{Em.0}
													0/1	0/1	0/1	0/1

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO_mレジスタのSO_m.nビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ_m (SO_m)

・・・各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO _m	0	0	0	0	CKO _{m3} [#]	CKO _{m2} [#]	CKO _{m1}	CKO _{m0}	0	0	0	0	SO _{m.3} [#]	SO _{m.2} [#]	SO _{m.1}	SO _{m.0}
					0/1	0/1	0/1	0/1					0/1	0/1	0/1	0/1

1 : シリアル・クロック出力値が“1”

1 : シリアル・データ出力値が“1”

各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SO_m.nビットに“1”を設定してください。

注 シリアル・アレイ・ユニット0のみ。

備考1. m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3)

2. ■ : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

13.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1) 通信の動作

シリアル・クロック ($\overline{\text{SCK}}$) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長 (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)
- ・ 7-16ビットのデータ長 (CSIS0, CSIS1)
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート マスタ通信時 (CSI00) : Max. $f_{\text{CLK}}/2$ ^注
マスタ通信時 (CSI00以外) : Max. $f_{\text{CLK}}/4$ ^注

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また、CSI00 (ユニット0のチャンネル0) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態で $\overline{\text{SCK00}}$ 端子入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。CSI00のみ設定可能です。

注 ただし、 $\overline{\text{SCK}}$ サイクル・タイム (t_{KCY}) の特性を満たす範囲内で使用してください
(第31章 電気的特性 (Jグレード)、第32章 電気的特性 (Kグレード) を参照)。

3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1) に対応しているチャンネルは、SAU0のチャンネル1, 3, SAU1のチャンネル0, 1と, SAUSのチャンネル0です。

20ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	-	-
	3	-		-
1	0	-	-	-
	1	-		-
S	0	CSIS0	UARTS0	-
	1	-		-

30, 32ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	UART1	-
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	-		-
S	0	CSIS0	UARTS0	-
	1	-		-

48ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	-	UART1	-
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
S	0	CSIS0	UARTS0	-
	1	-		-

64ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
S	0	CSIS0	UARTS0	-
	1	CSIS1		-

3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1) の通信動作は、以下の6種類があります。

- ・ マスタ送信 (13. 5. 1項を参照)
- ・ マスタ受信 (13. 5. 2項を参照)
- ・ マスタ送受信 (13. 5. 3項を参照)
- ・ スレーブ送信 (13. 5. 4項を参照)
- ・ スレーブ受信 (13. 5. 5項を参照)
- ・ スレーブ送受信 (13. 5. 6項を参照)
- ・ SNOOZEモード機能 (CSI00のみ) (13. 5. 7項を参照)

13.5.1 マスタ送信

マスタ送信とは、このRL78/F12が転送クロックを出力し、RL78/F12から他デバイスへデータを送信する動作です。

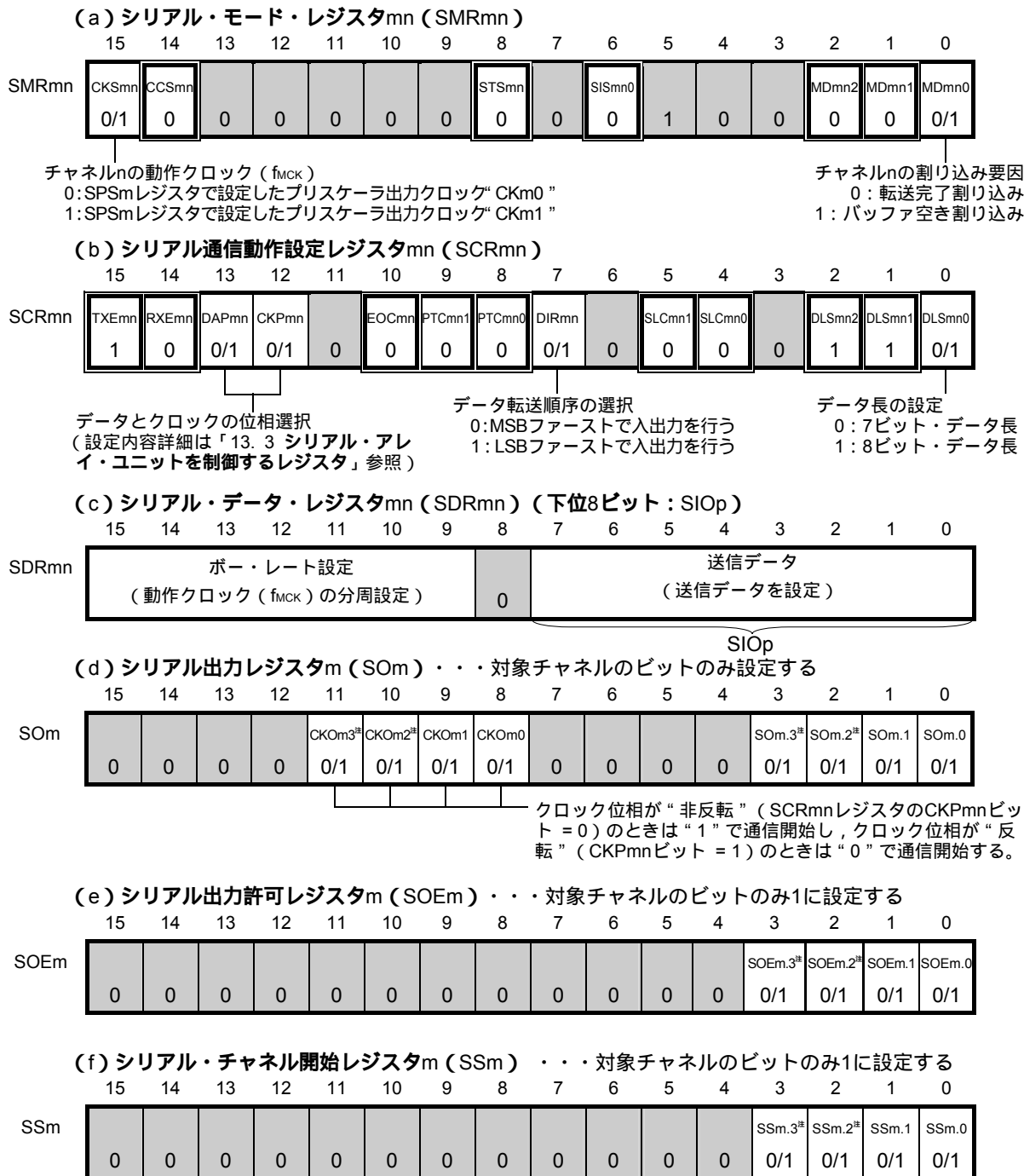
3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSIS0	CSIS1
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAUSの チャンネル0	SAUSの チャンネル1
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK10}}$, SO10	$\overline{\text{SCK11}}$, SO11	$\overline{\text{SCK20}}$, SO20	$\overline{\text{SCK21}}$, SO21	$\overline{\text{SCKS0}}$, SOS0	$\overline{\text{SCKS1}}$, SOS1
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSIS0	INTCSIS1
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	なし							
転送データ長	7ビットまたは8ビット						7-16ビット	
転送レート	Max. $f_{\text{CLK}}/2$ [Hz], Min. $f_{\text{CLK}}/(2 \times 2^{11} \times 128)$ [Hz] 注	Max. $f_{\text{CLK}}/4$ [Hz], Min. $f_{\text{CLK}}/(2 \times 2^{11} \times 128)$ [Hz] 注						
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転（SCKの立ち下がりでデータ出力，立ち上がりでデータ入力） ・ CKPmn = 1の場合：反転（SCKの立ち上がりでデータ出力，立ち下がりでデータ入力）							
データ方向	MSBファーストまたはLSBファースト							

注 この条件を満たし、かつ電気的特性のAC特性（第31章 電気的特性（Jグレード）・第32章 電気的特性（Kグレード）参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1, S） n：チャンネル番号（n = 0-3）, mn = 00- 03, 10, 11, S0, S1
f_{CLK}：システム・クロック周波数

(1) レジスタ設定

図13 - 30 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のマスタ送信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ。

備考1. m: ユニット番号 (m=0, 1) n: チャンネル番号 (n=0-3) p: CSI番号 (p=00, 01, 10, 11, 20, 21)

mn = 00, -03, 10, 11

2. □: CSIマスタ送信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図13 - 31 3線シリアルI/O (CSISn) のマスタ送信時のレジスタ設定内容例 (1/2)

(a) シリアル出力レジスタS (SOS) . . . 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOS							CKOS1	CKOS0							SOS.1	SOS.0
	0	0	0	0	0	0	0/1	0/1	0	0	0	0	0	0	0/1	0/1

データ位相が非反転 (CKPSn = 0) の時は1で,
データ位相が反転 (CKPSn = 1) の時は0で通信開始する。

(b) シリアル出力許可レジスタS (SOES) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOES															SOES.1	SOES.0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(c) シリアル・チャネル開始レジスタS (SSS) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSS															SSS.1	SSS.0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(d) シリアル・モード・レジスタSn (SMRSn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRSn	CKSSn	CCSSn						STSSn		SISSn0				MDSn2	MDSn1	MDSn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの割り込み要因
0 : 転送完了割り込み
1 : バッファ空き割り込み

(e) シリアル通信動作設定レジスタSn (SCRSn)

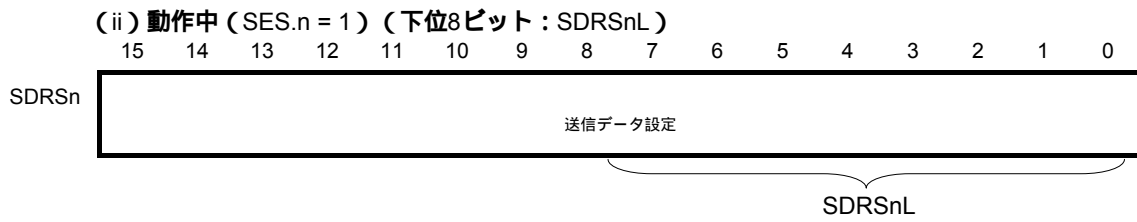
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRSn	TXESn	RXESn	DAPSn	CKPSn			PTCSn1	PTCSn0	DIRSn		SLCSn1	SLCSn0	DLSSn3	DLSSn2	DLSSn1	DLSSn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・データ・レジスタSn (SDRSn)

(i) 動作停止時 (SES.n = 0)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRSn	ボー・レート設定							0	0	0	0	0	0	0	0	0

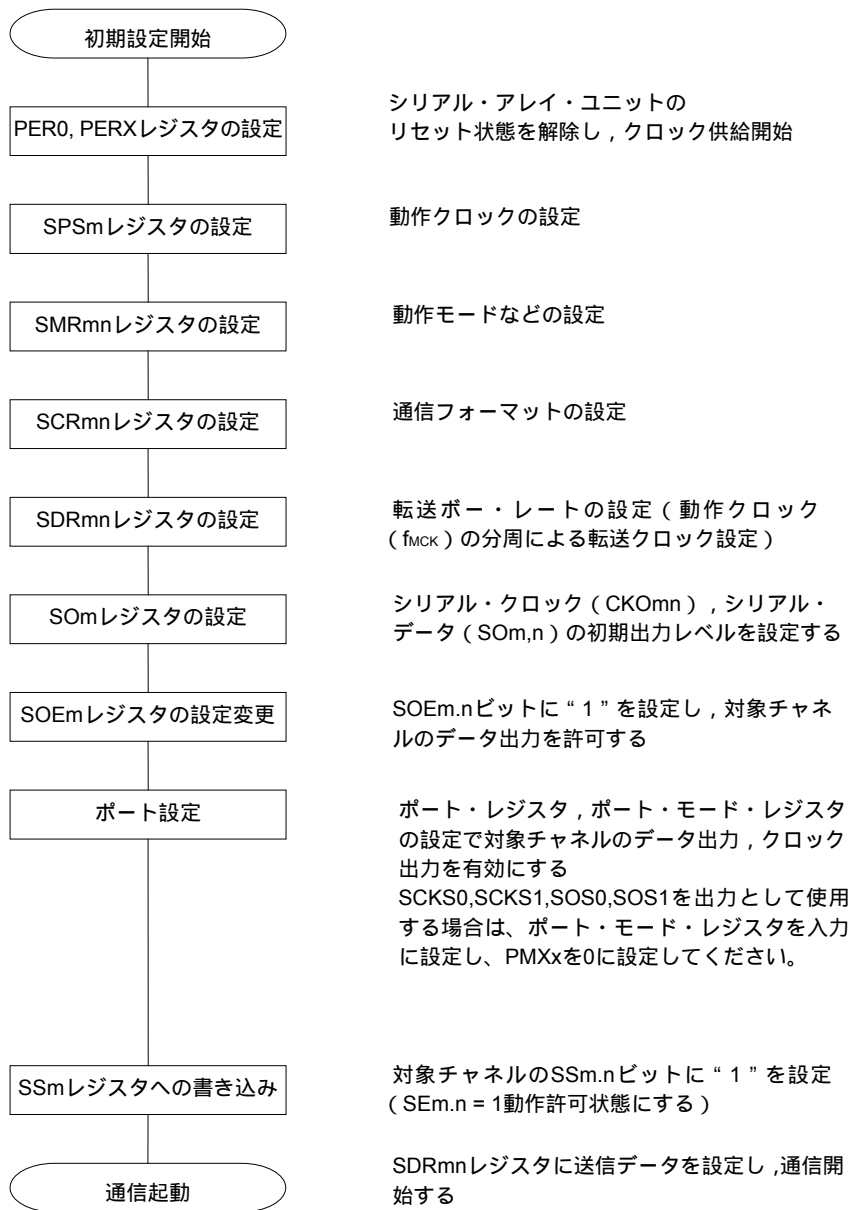
備考 □: CSIマスタ送信モードでは設定固定 ■: 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定
 n : チャネル番号 (n = 0, 1)

図13 - 31 3線シリアルI/O (CSI_n) のマスタ送信時のレジスタ設定内容例 (2/2)

- 備考** : CSIマスタ送信モードでは設定固定 : 設定不可 (初期値を設定)
- x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
- 0/1 : ユーザの用途に応じて0または1に設定
- n : チャネル番号 (n = 0, 1)

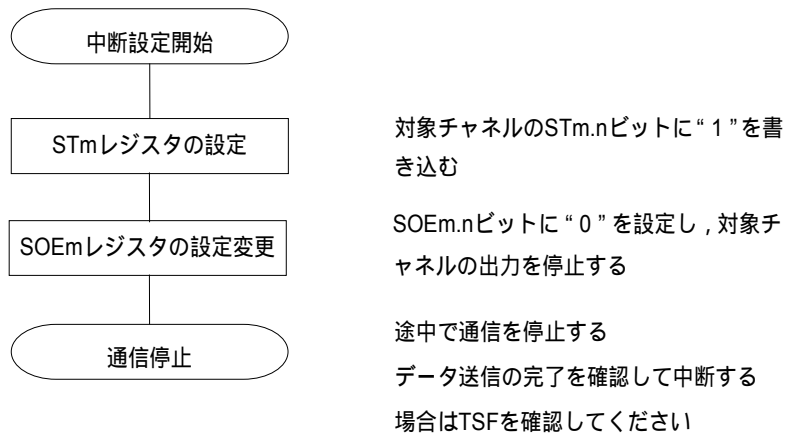
(2) 操作手順

図13 - 32 マスタ送信の初期設定手順



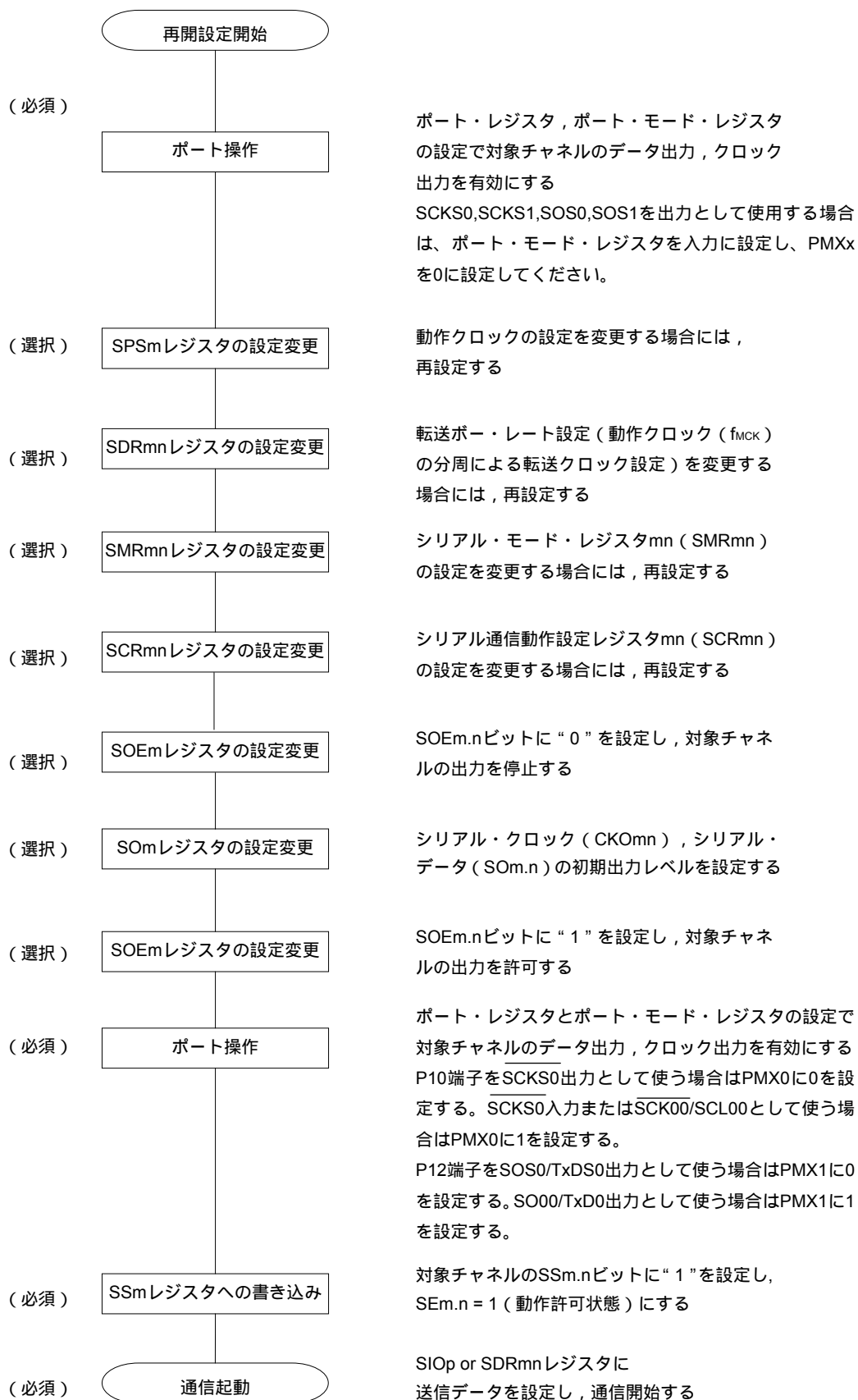
注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを "1" に設定後に, f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

図13 - 33 マスタ送信の中断手順



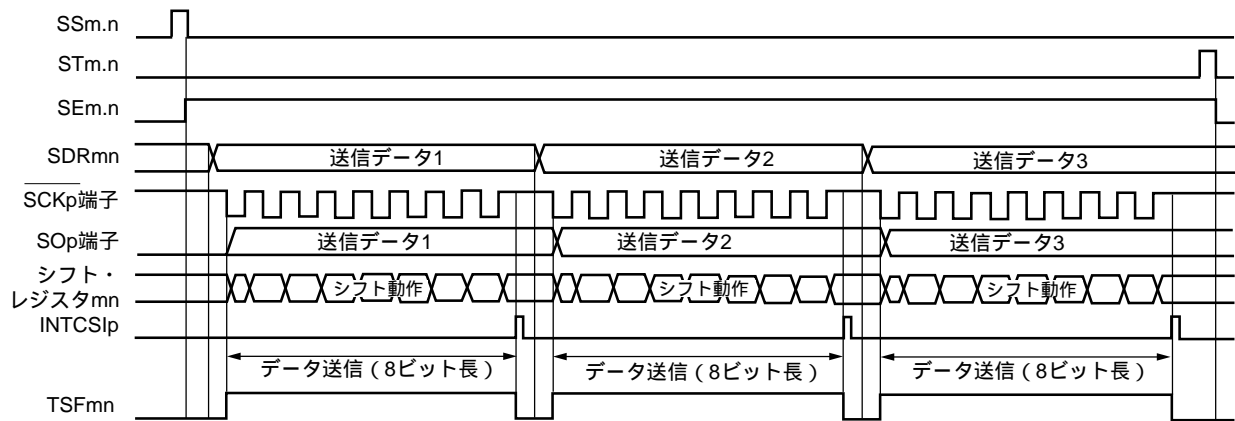
備考 中断後も端子レベルは保持されますので、動作を再開するにはシリアル出力レジスタm (SOm) を再設定してください (図13 - 34 マスタ送信の再開設定手順参照)。

図13 - 34 マスタ送信の再開設定手順



(3) 処理フロー (シングル送信モード時)

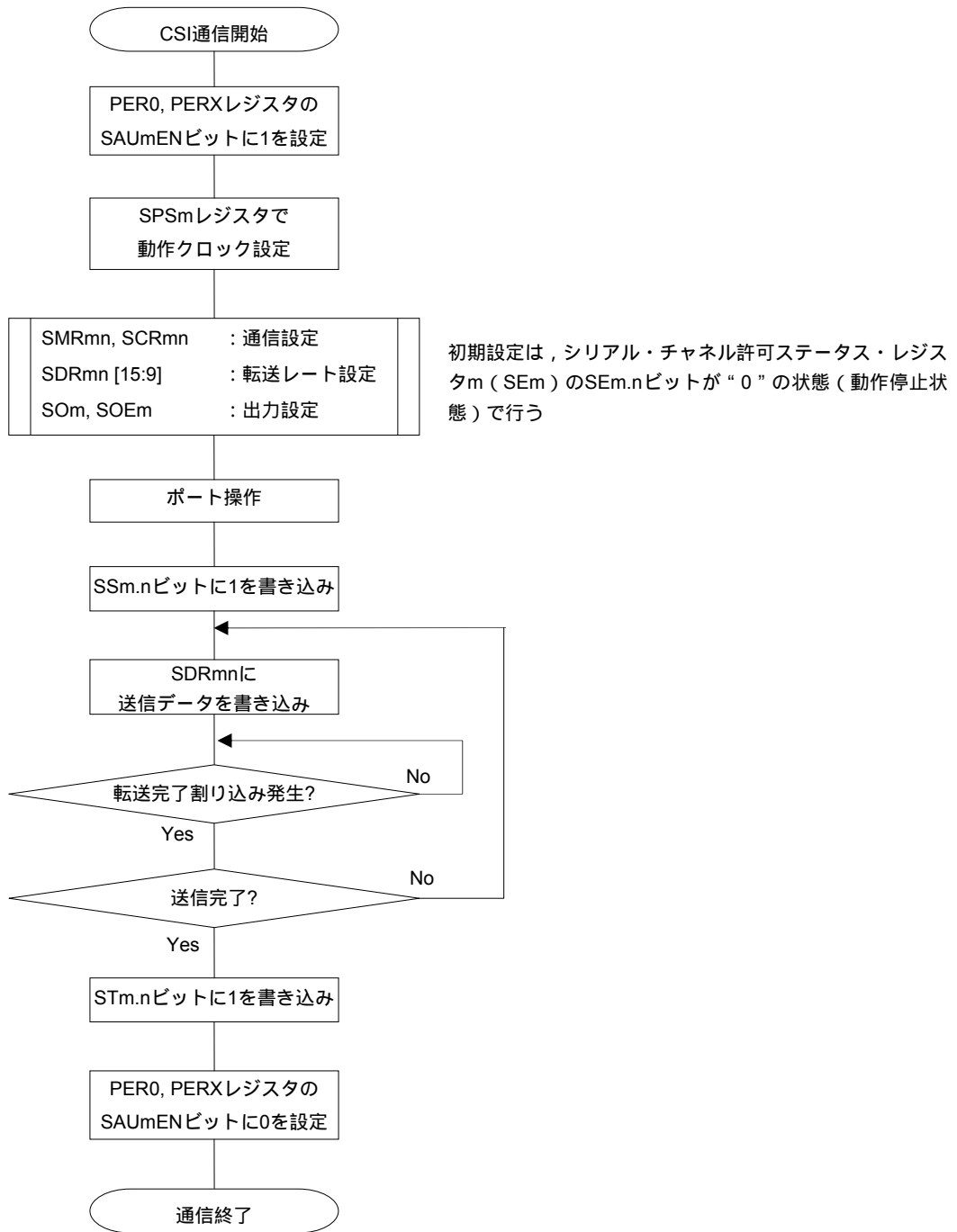
図13 - 35 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)

p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) mn = 00-03, 10, 11, S0, S1

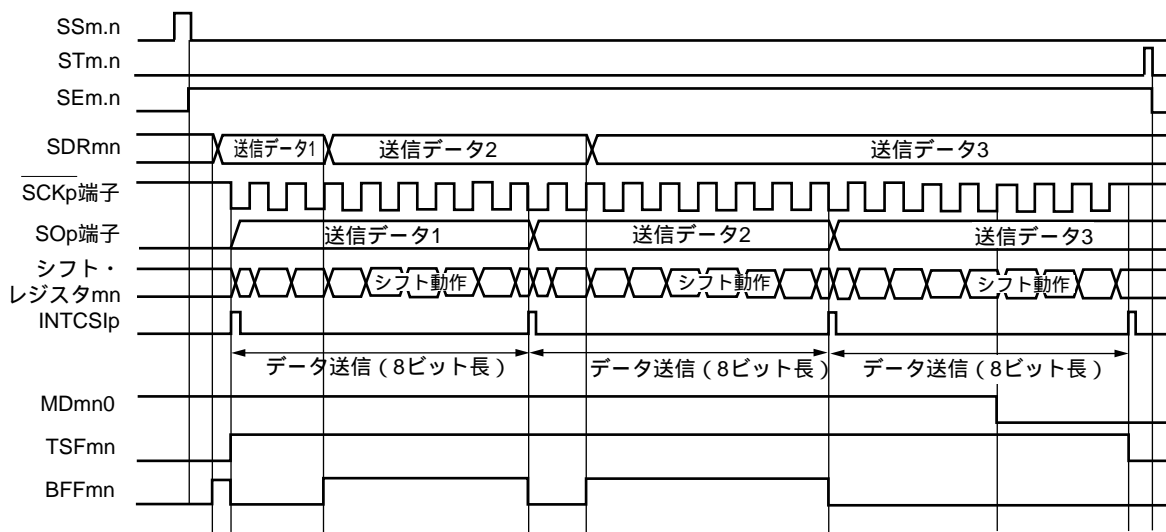
図13 - 36 マスタ送信 (シングル送信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

(4) 処理フロー (連続送信モード時)

図13 - 37 マスタ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



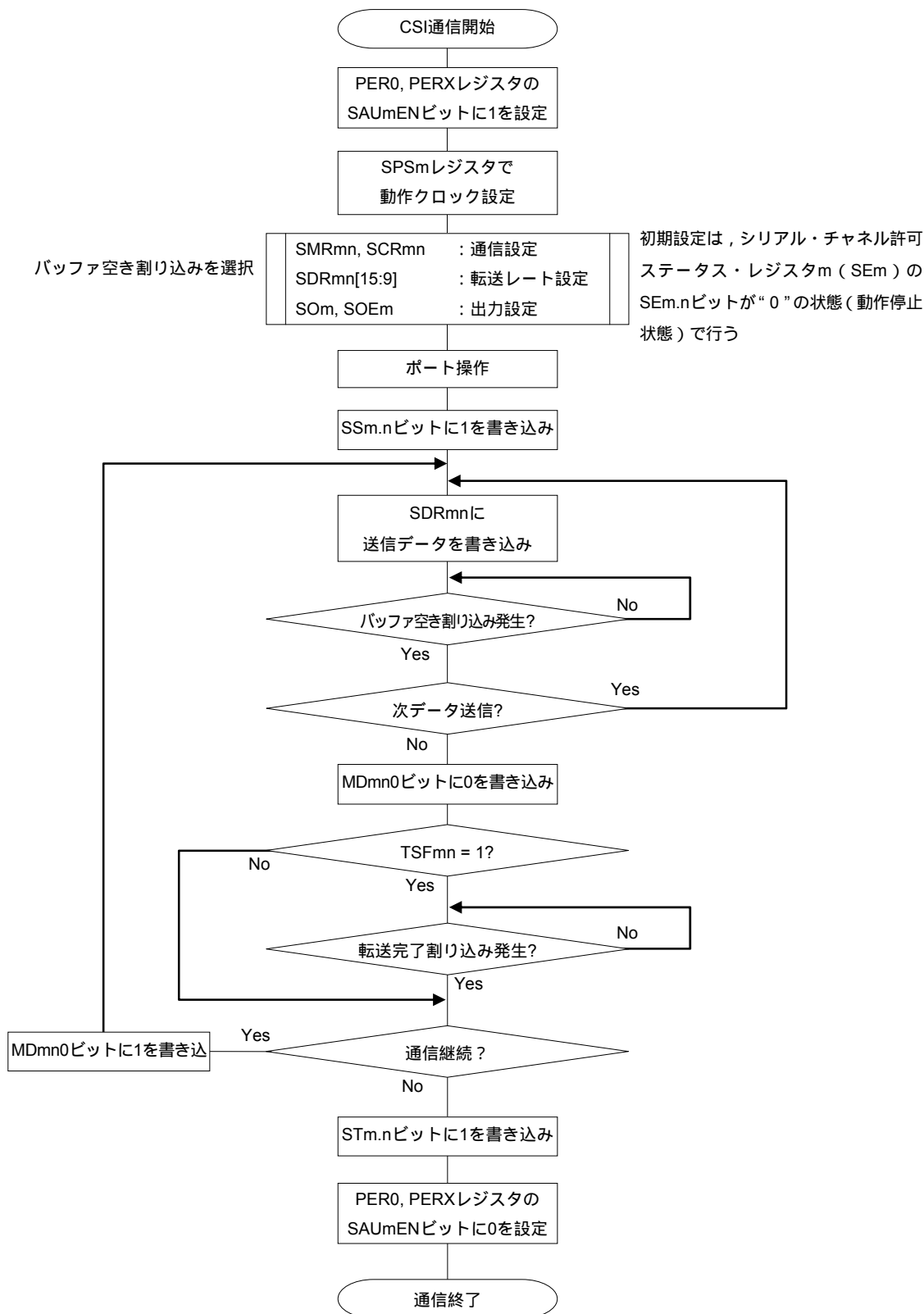
(注)

注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間 (有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき) にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)
 p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) mn = 00-03, 10, 11, S0, S1

図13 - 38 マスタ送信（連続送信モード時）のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX)のSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ m (SPSm)を設定してください。

備考 図中の ~ は、図13 - 37 マスタ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

13.5.2 マスタ受信

マスタ受信とは、このRL78/F12が転送クロックを出力し、RL78/F12が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSIS0	CSIS1
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAUSの チャンネル0	SAUSの チャンネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21	SCKS0, SIS0	SCKS1, SIS1
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSIS0	INTCSIS1
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット						7-16ビット	
転送レート	Max. f _{CLK} /2 [Hz], Min. f _{CLK} / (2 × 2 ¹¹ × 128) [Hz] ^注	Max. f _{CLK} /4 [Hz], Min. f _{CLK} / (2 × 2 ¹¹ × 128) [Hz] ^注						
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

注 この条件を満たし、かつ電気的特性のAC特性（第31章 電気的特性（Jグレード）・第32章 電気的特性（Kグレード）参照）を満たす範囲内で使用してください。

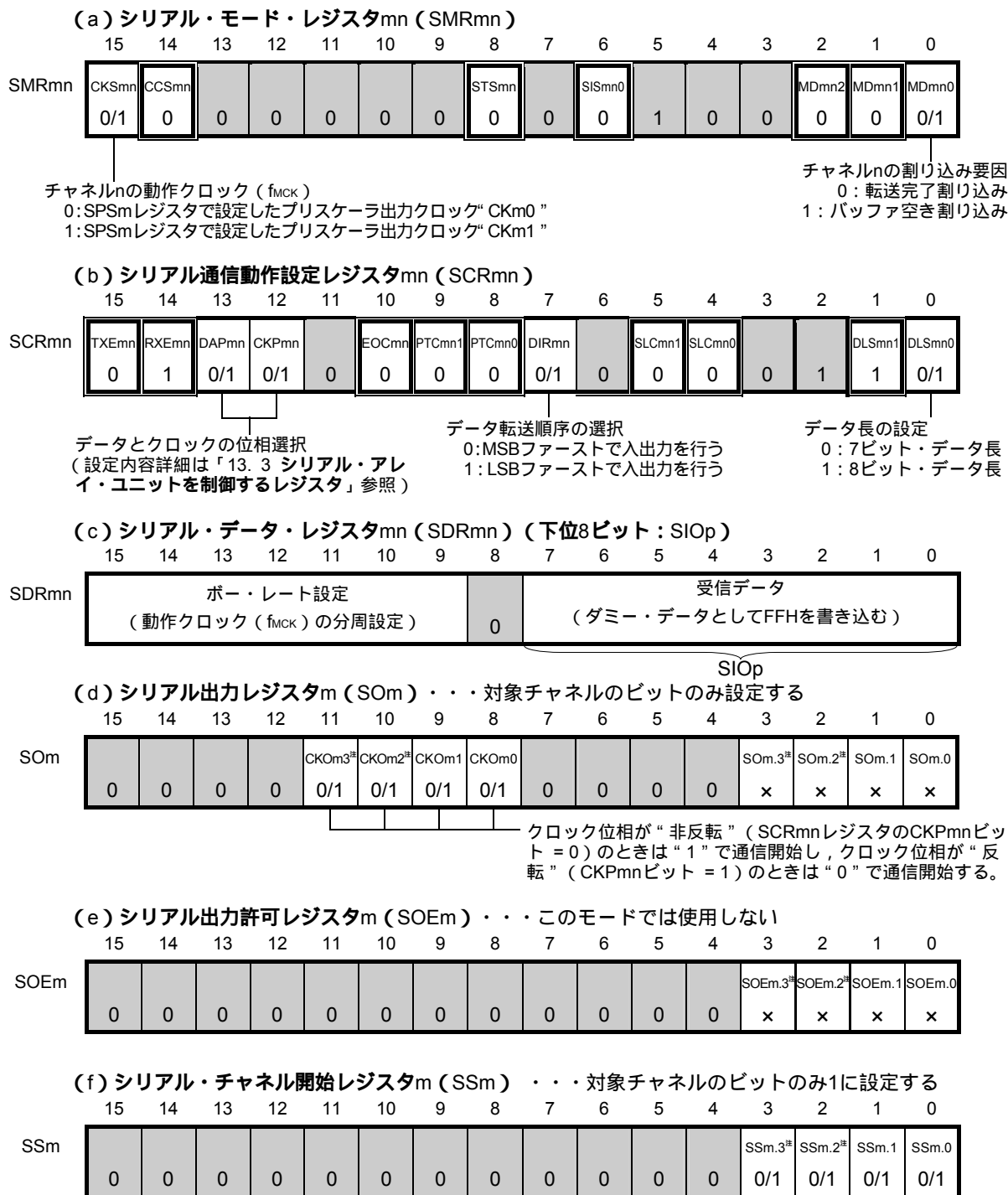
備考 m：ユニット番号（m = 0, 1, S） n：チャンネル番号（n = 0-3）

p：CSI番号（p = 00, 01, 10, 11, 20, 21, S0, S1） mn = 00-03, 10, 11, S0, S1

f_{CLK}：システム・クロック周波数

(1) レジスタ設定

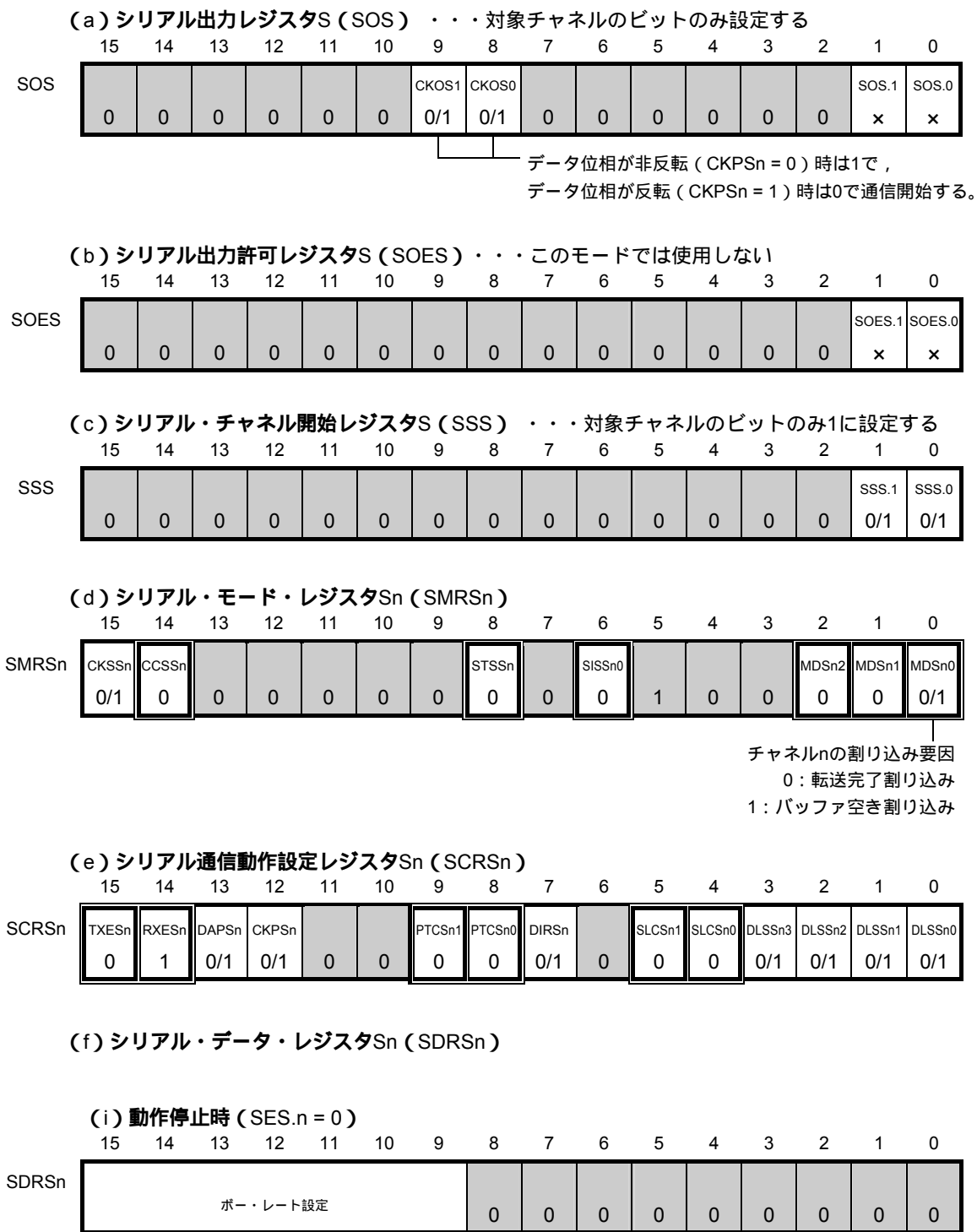
図13 - 39 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のマスタ受信時のレジスタ設定内容例



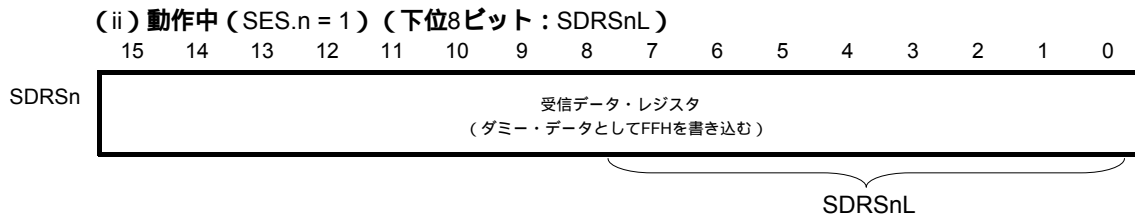
注 シリアル・アレイ・ユニット0のみ。

- 備考1. m:ユニット番号 (m=0, 1) n:チャンネル番号 (n=0-3) p:CSI番号 (p=00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11
2. : CSIマスタ受信モードでは設定固定 : 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

図13 - 40 3線シリアルI/O (CSISn) のマスタ受信時のレジスタ設定内容例 (1/2)



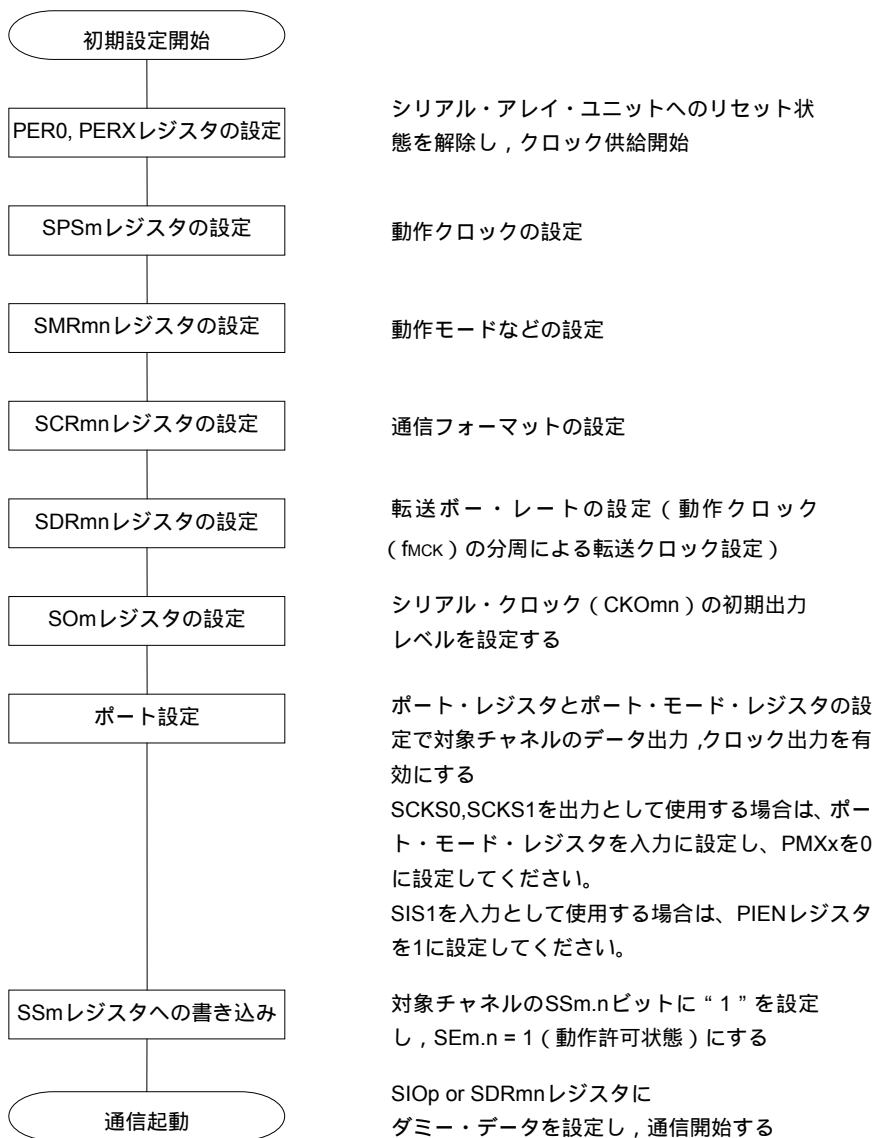
備考 □ : CSIマスタ受信モードでは設定固定 ■ : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定
 n : チャネル番号 (n = 0, 1)

図13 - 40 3線シリアルI/O (CSI_n) のマスタ受信時のレジスタ設定内容例 (2/2)

- 備考** : CSIマスタ受信モードでは設定固定 : 設定不可 (初期値を設定)
- x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
- 0/1: ユーザの用途に応じて0または1に設定
- n: チャンネル番号 (n = 0, 1)

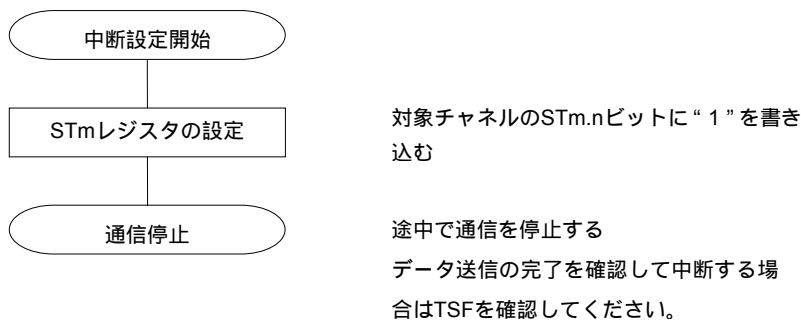
(2) 操作手順

図13 - 41 マスタ受信の初期設定手順



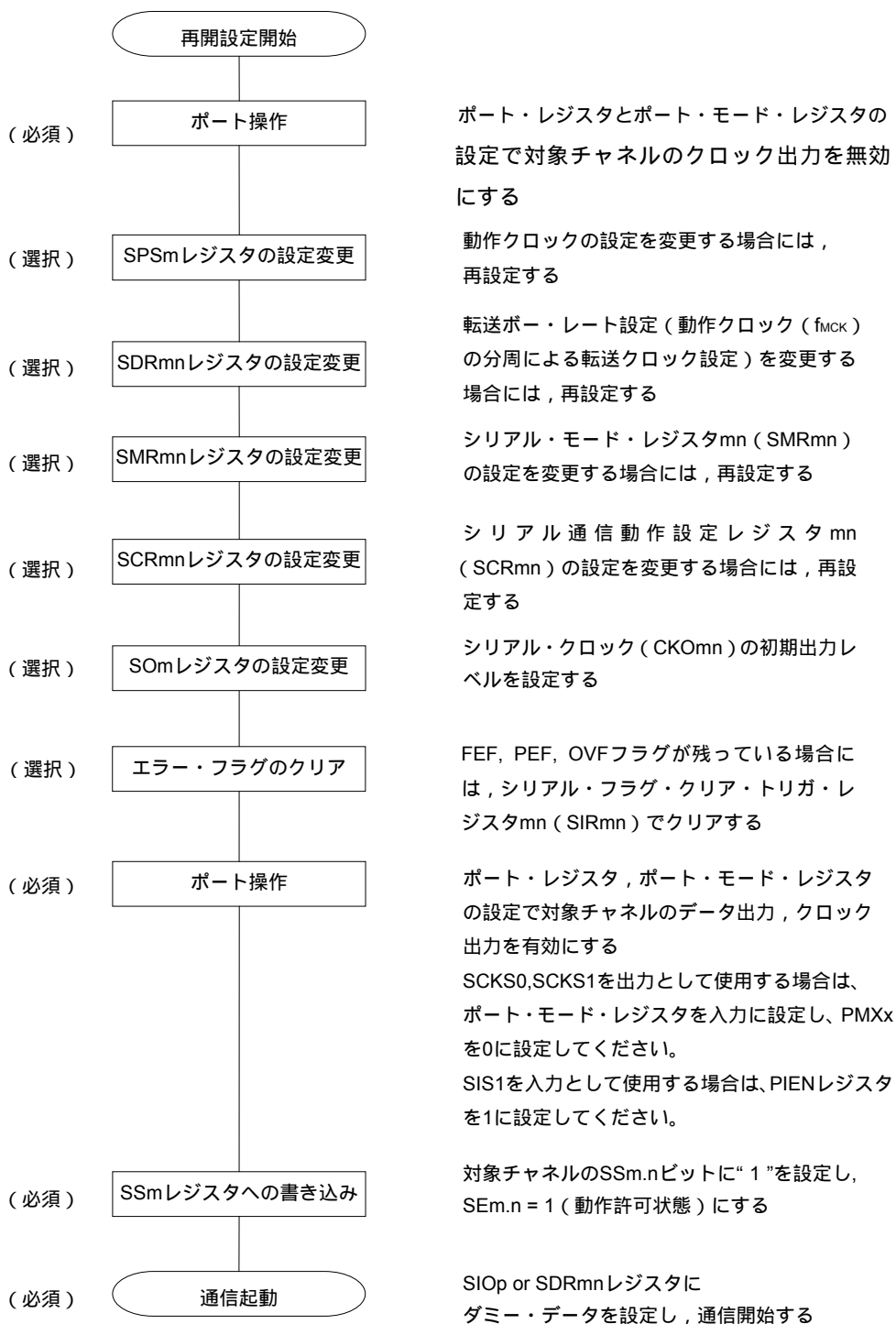
注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

図13 - 42 マスタ受信の中断手順



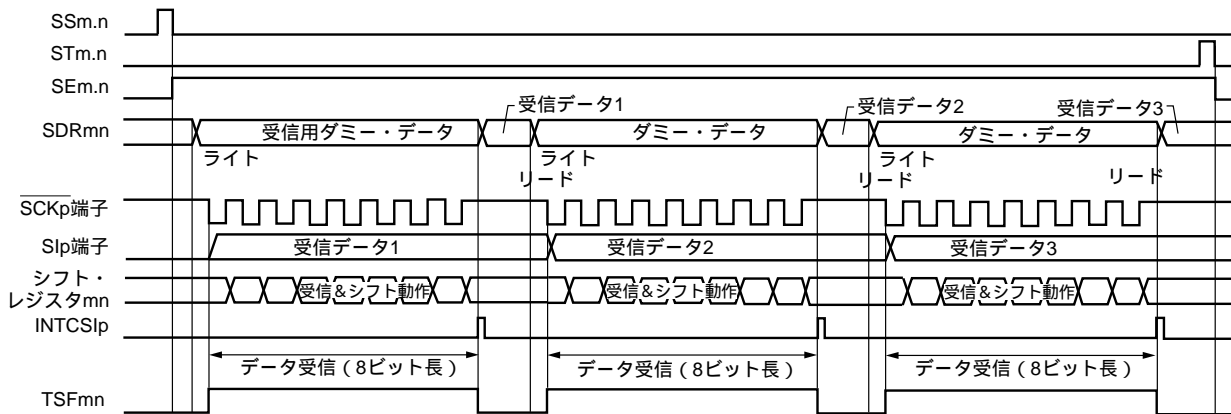
備考 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタm (SOm) を再設定してください (図13 - 43 マスタ受信の再開設定手順参照)。

図13 - 43 マスタ受信の再開設定手順



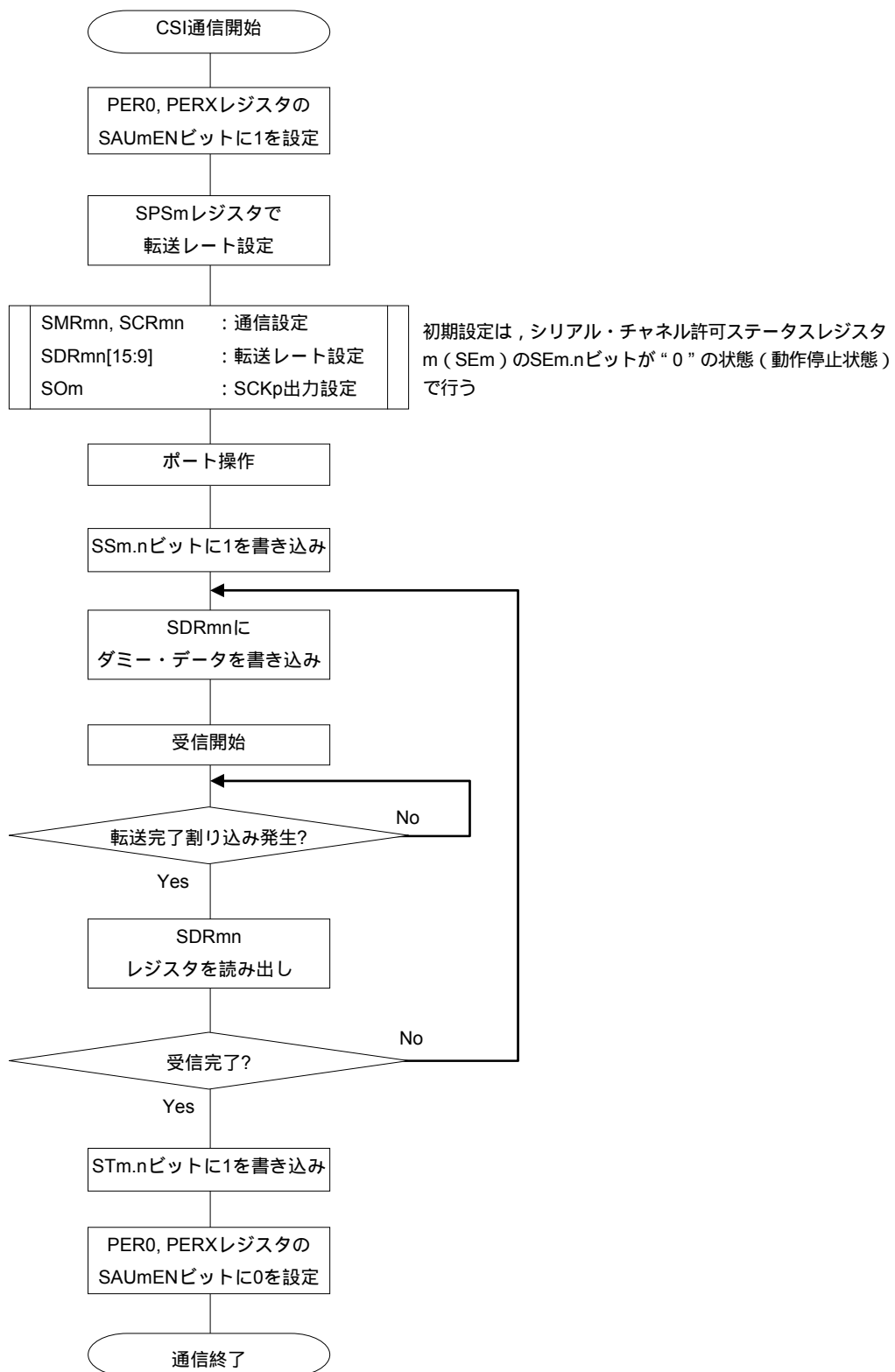
(3) 処理フロー (シングル受信モード時)

図13 - 44 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)
 p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) mn = 00-03, 10, 11, S0, S1

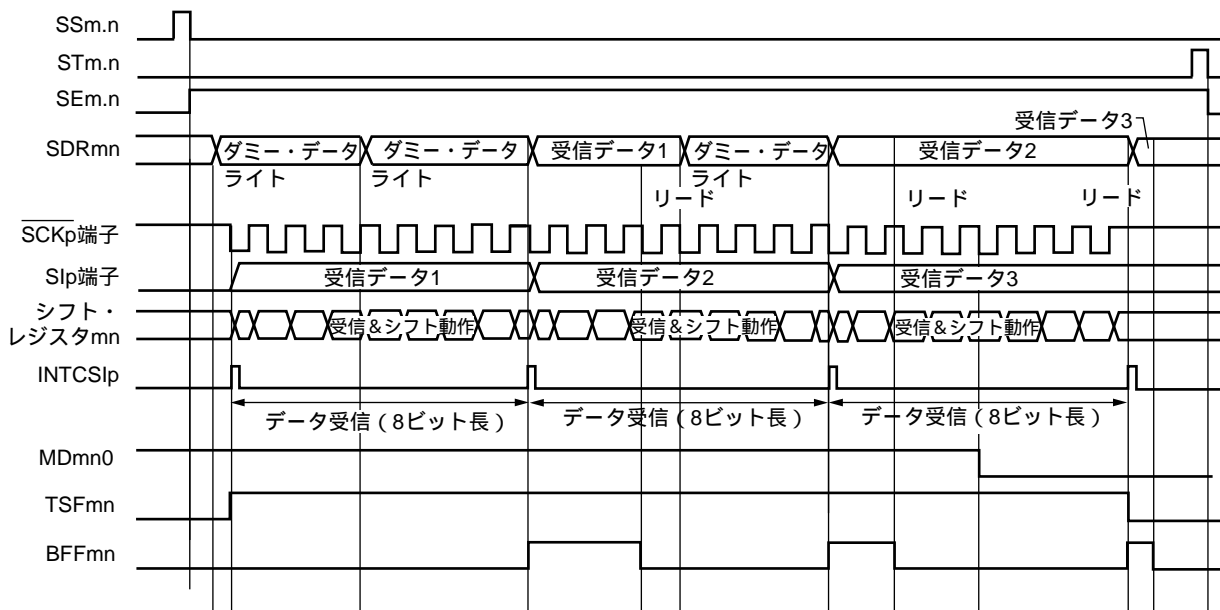
図13 - 45 マスタ受信 (シングル受信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

(4) 処理フロー（連続受信モード時）

図13 - 46 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



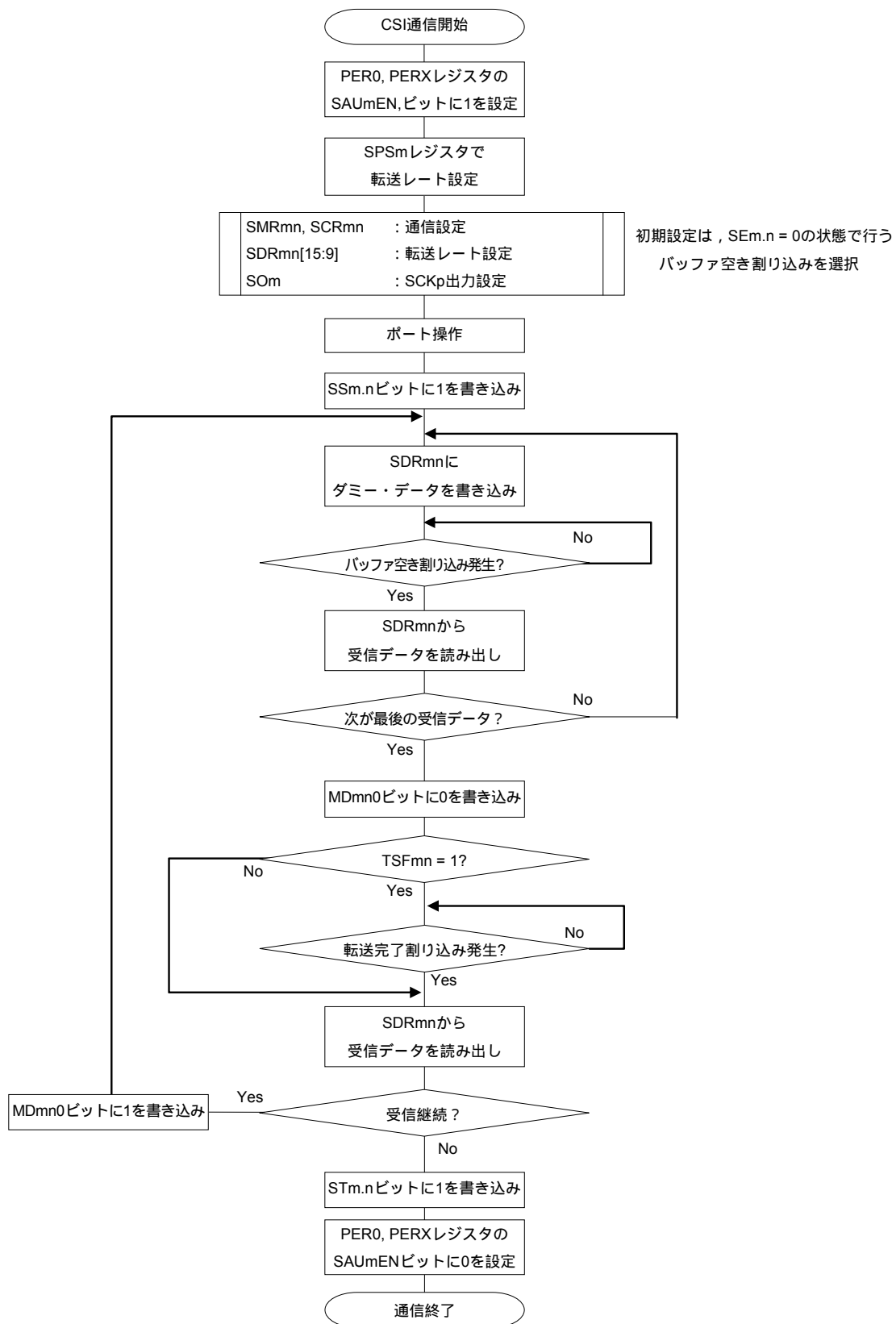
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の ~ は、図13 - 47 マスタ受信（連続受信モード時）のフロー・チャートの ~ に対応しています。

- 2. m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)
- p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) mn = 00-03, 10, 11, S0, S1

図13 - 47 マスタ受信 (連続受信モード時) のフロー・チャート



注意 PER0, PERXレジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図13 - 46 マスタ受信 (連続受信モード時) のタイミング・チャートの ~ に対応しています。

13.5.3 マスタ送受信

マスタ送受信とは、このRL78/F12が転送クロックを出力し、RL78/F12と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSIS0	CSIS0
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAUSの チャンネル0	SAUSの チャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21	SCKS0, SIS0, SOS0	SCKS1, SIS1, SOS1
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSIS0	INTCSIS1
	転送完了割り込み（シングル転送モード時）か、パツファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット						7-16ビット	
転送レート	Max. $f_{CLK}/2$ [Hz], Min. $f_{CLK}/$ $(2 \times 2^{11} \times$ $128)$ [Hz] 注	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] 注						
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

注 この条件を満たし、かつ電気的特性のAC特性（第31章 電気的特性（Jグレード）・第32章 電気的特性（Kグレード）参照）を満たす範囲内で使用してください。

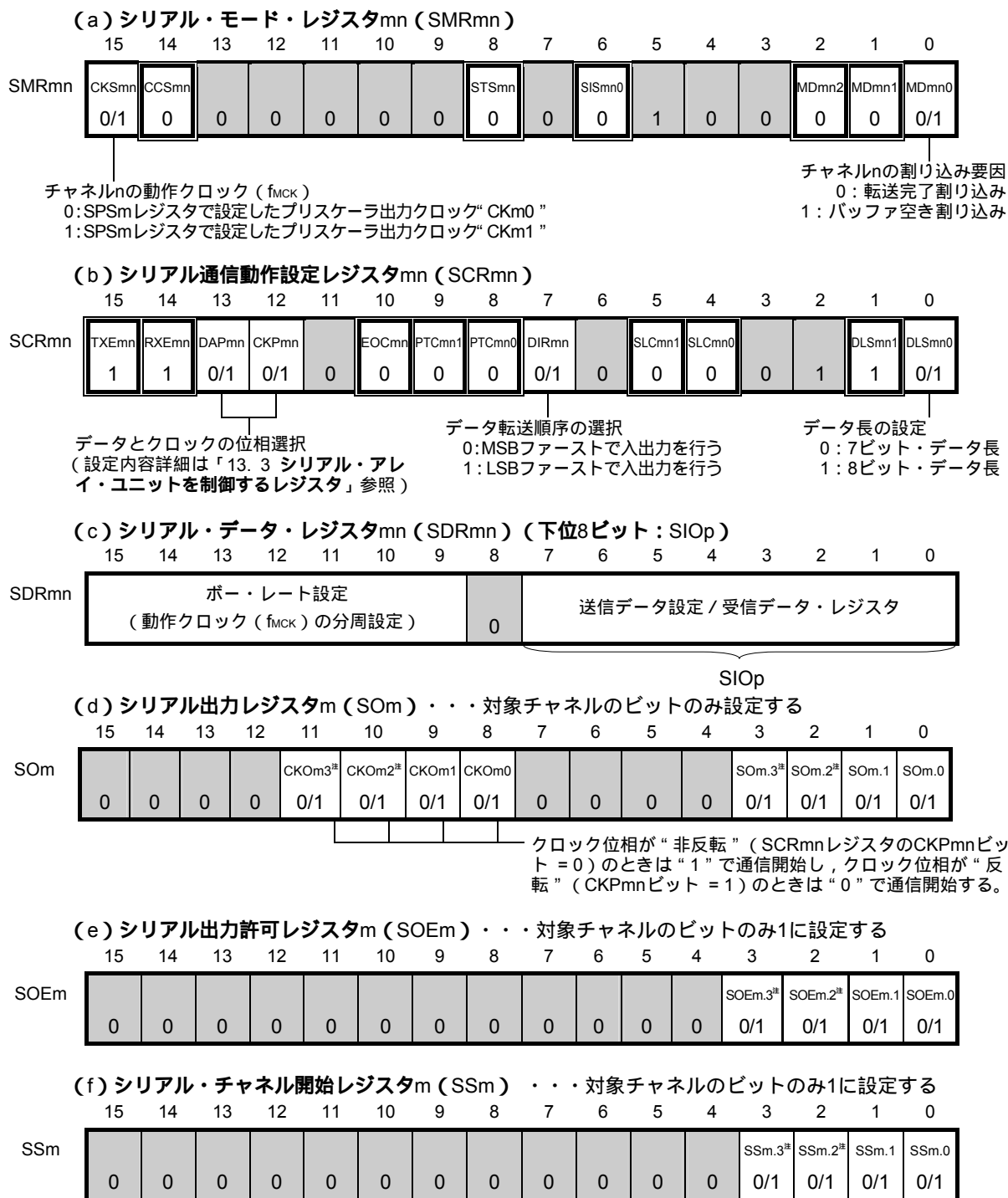
備考 m：ユニット番号（m = 0, 1, S） n：チャンネル番号（n = 0-3）

p：CSI番号（p = 00, 01, 10, 11, 20, 21, S0, S1） mn = 00-03, 10, 11, S0, S1

f_{CLK} ：システム・クロック周波数

(1) レジスタ設定

図13 - 48 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のマスタ送受信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ。

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3) p: CSI番号 (p = 00, 01, 10, 11, 20, 21)

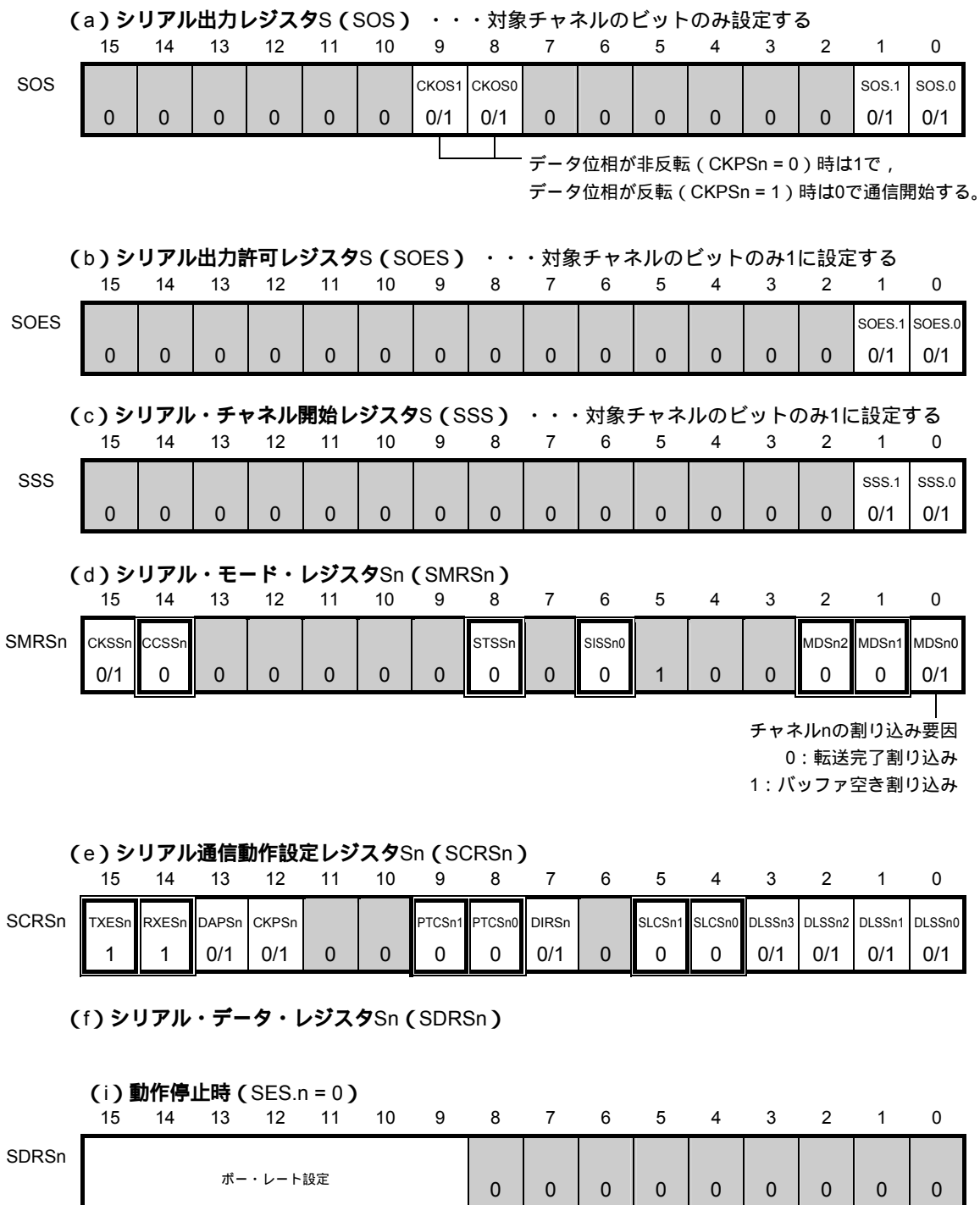
mn = 00-03, 10, 11

2. □: CSIマスタ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

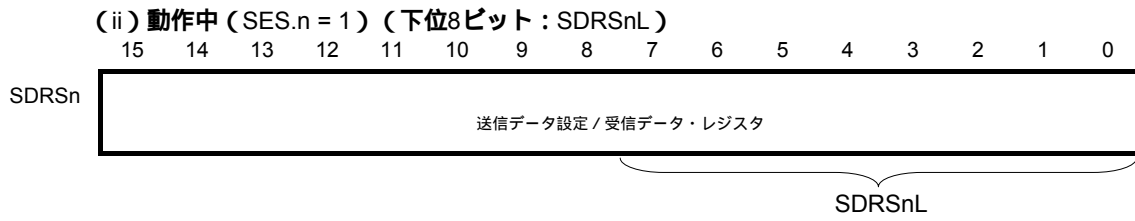
0/1: ユーザの用途に応じて0または1に設定

図13 - 49 3線シリアルI/O (CSISn) のマスタ送受信時のレジスタ設定内容例 (1/2)



備考 □: CSIマスタ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定
 n : チャンネル番号 (n = 0, 1)

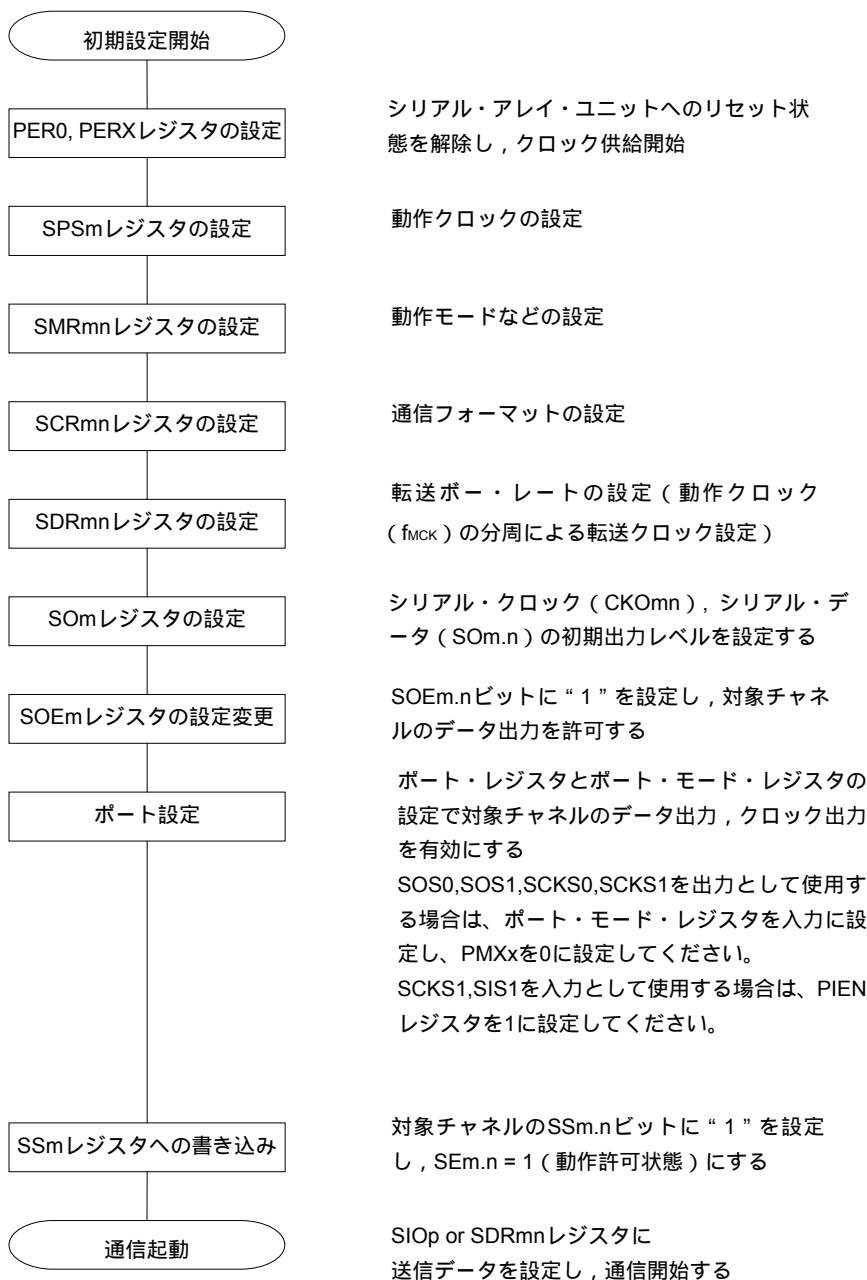
図13 - 49 3線シリアルI/O (CSISn) のマスタ送受信時のレジスタ設定内容例 (2/2)



- 備考** : CSIマスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定
 n: チャンネル番号 (n = 0, 1)

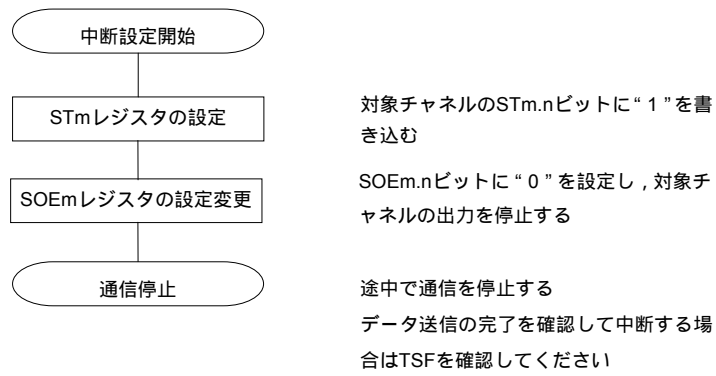
(2) 操作手順

図13 - 50 マスタ送受信の初期設定手順



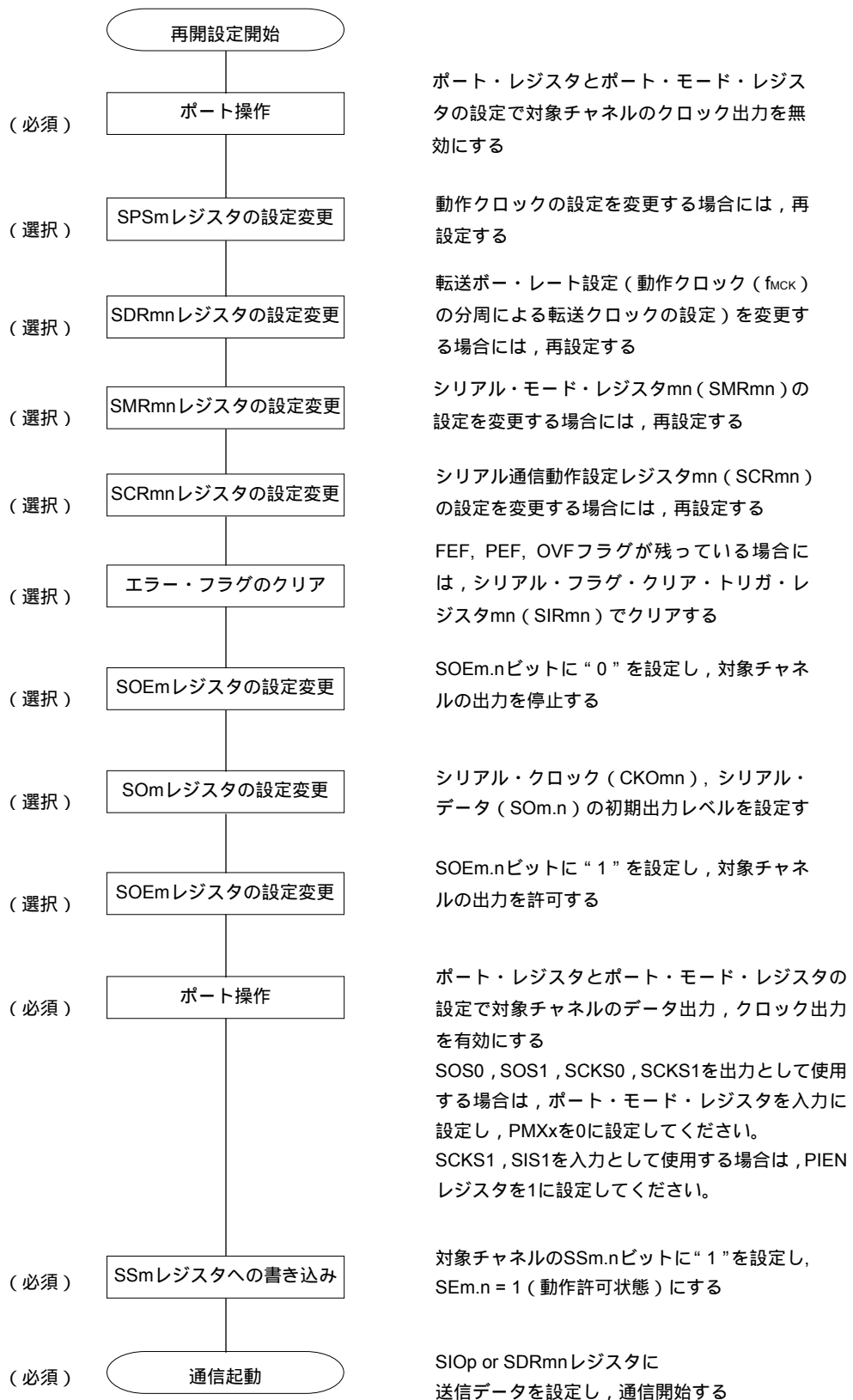
注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを "1" に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

図13 - 51 マスタ送受信の中断手順



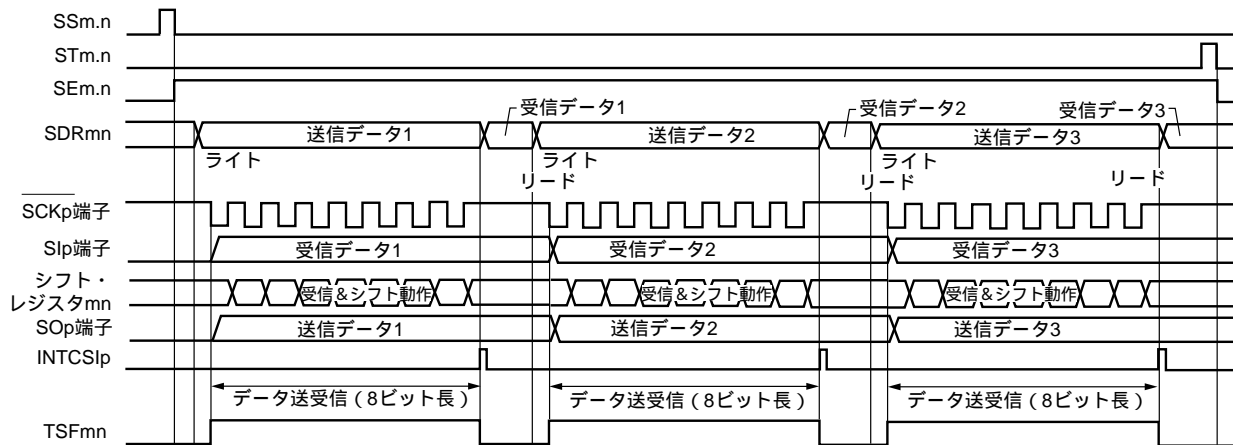
備考 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタm (SOm) を再設定してください (図13 - 52 マスタ送受信の再開設定手順参照)。

図13 - 52 マスタ送受信の再開設定手順



(3) 処理フロー (シングル送受信モード時)

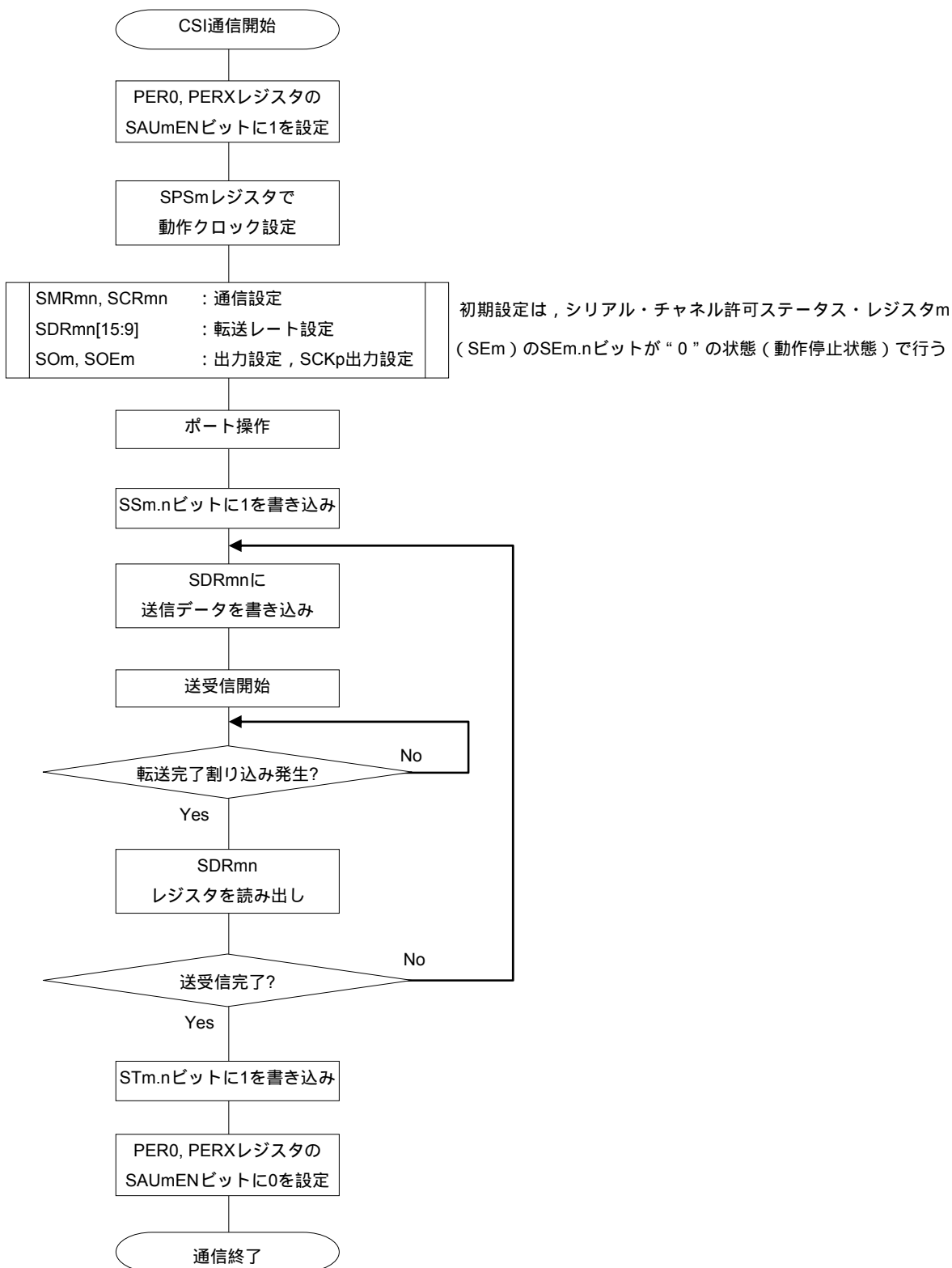
図13 - 53 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)

p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) mn = 00-03, 10, 11, S0, S1

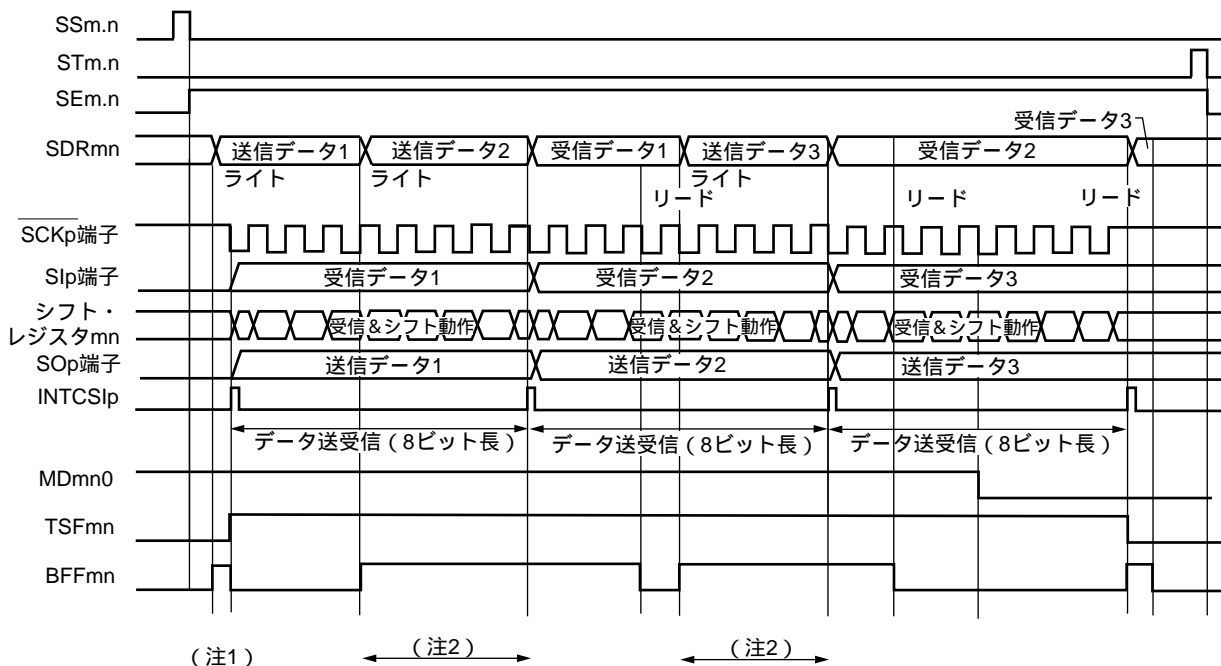
図13 - 54 マスタ送受信 (シングル送受信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

(4) 処理フロー（連続送受信モード時）

図13 - 55 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

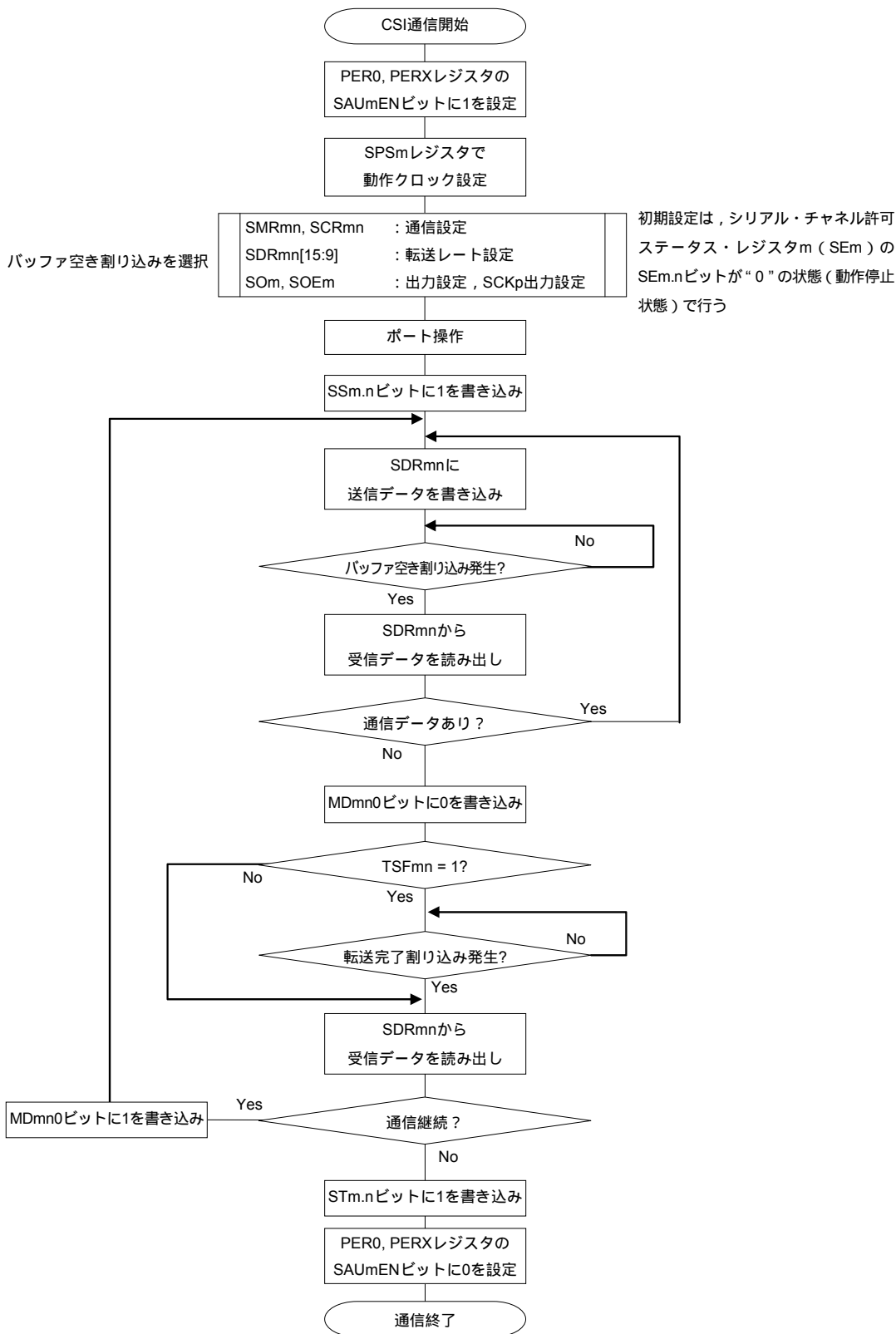


- 注1. シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1. 図中の ~ は、図13 - 56 マスタ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。
2. m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)
 p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) mn = 00-03, 10, 11, S0, S1

図13 - 56 マスタ送受信（連続送受信モード時）のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

備考 図中の ~ は、図13 - 55 マスタ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

13.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78/F12から他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSIS0	CSIS1
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAUSの チャンネル0	SAUSの チャンネル1
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK10}}$, SO10	$\overline{\text{SCK11}}$, SO11	$\overline{\text{SCK20}}$, SO20	$\overline{\text{SCK21}}$, SO21	$\overline{\text{SCKS0}}$, SOS0	$\overline{\text{SCKS1}}$, SOS1
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSIS0	INTCSIS1
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット						7-16ビット	
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

- 注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK20}}$, $\overline{\text{SCK21}}$, $\overline{\text{SCKS0}}$, $\overline{\text{SCKS1}}$ 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。これが、SDRmnレジスタで設定する $f_{\text{SCK}}/2$ 以上の周波数となるように、SPSmレジスタを設定してください。
2. この条件を満たし、かつ電気的特性のAC特性（第31章 電気的特性（Jグレード）・第32章 電気的特性（Kグレード）参照）を満たす範囲内で使用してください。

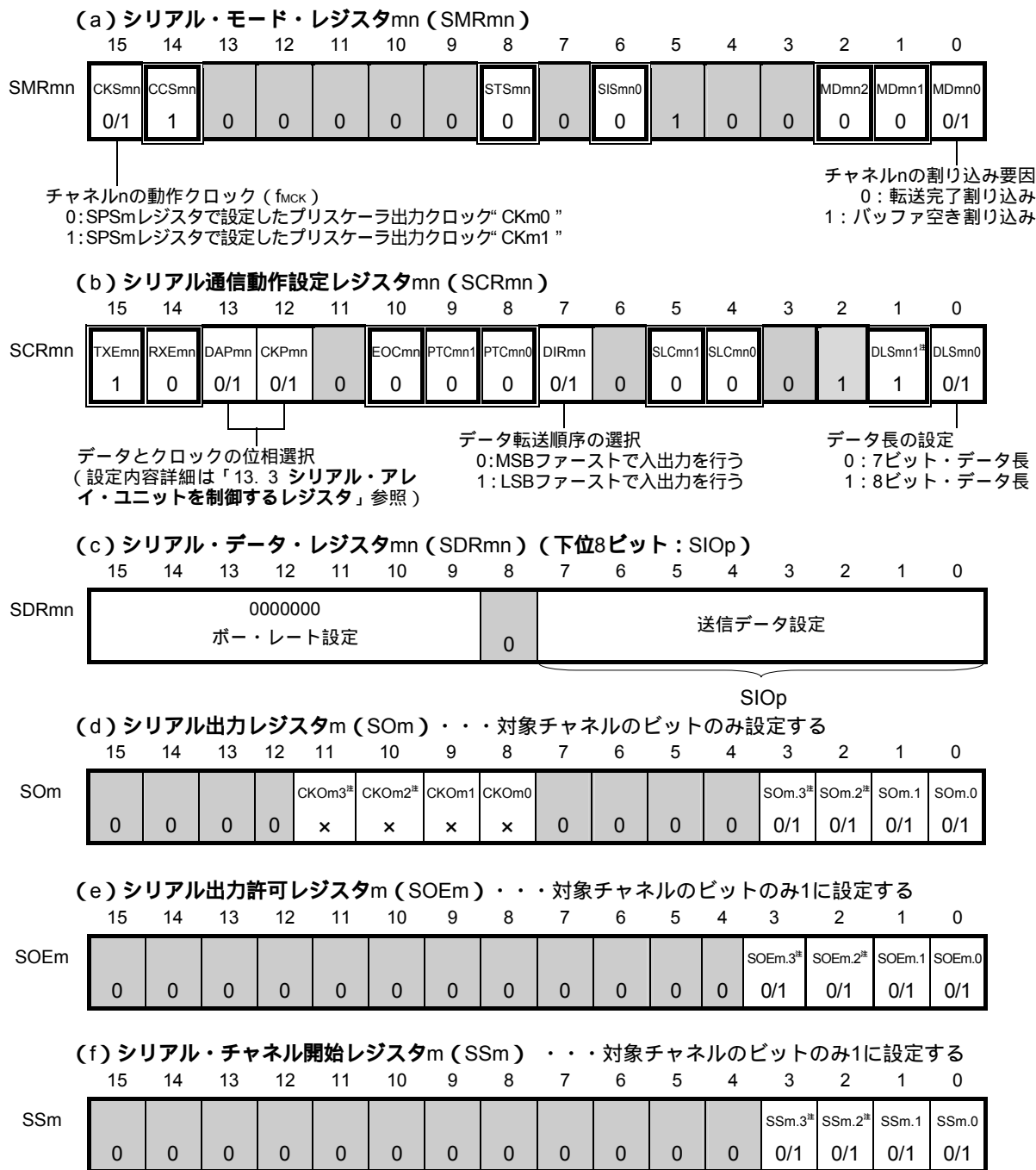
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{SCK} ：シリアル・クロック周波数

2. m：ユニット番号（m = 0, 1, S） n：チャンネル番号（n = 0-3）, mn = 00-03, 10, 11, S0, S1

(1) レジスタ設定

図13 - 57 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のスレーブ送信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ。

備考1. m: ユニット番号 (m=0, 1) n: チャンネル番号 (n=0-3) p: CSI番号 (p=00, 01, 10, 11, 20, 21)

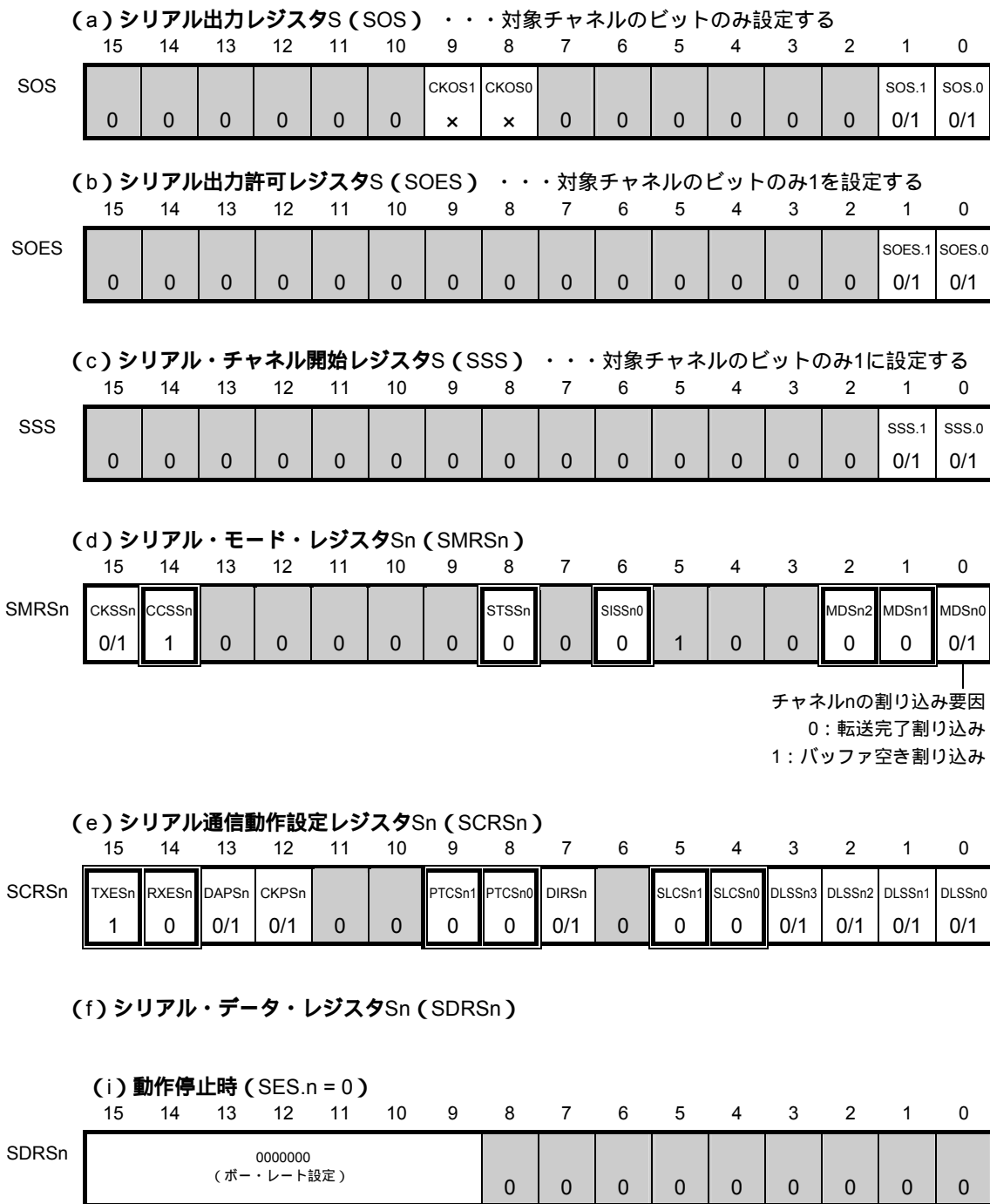
mn = 00-03, 10, 11

2. □: CSIスレーブ送信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

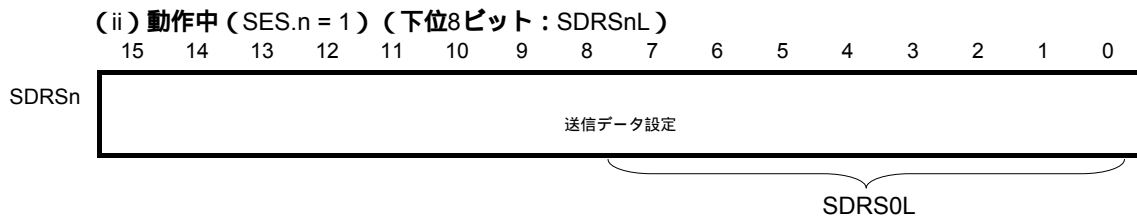
0/1: ユーザの用途に応じて0または1に設定

図13 - 58 3線シリアルI/O (CSISn) のスレーブ送信時のレジスタ設定内容例 (1/2)



備考 □: CSIスレーブ送信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定
 n : チャンネル番号 (n = 0, 1)

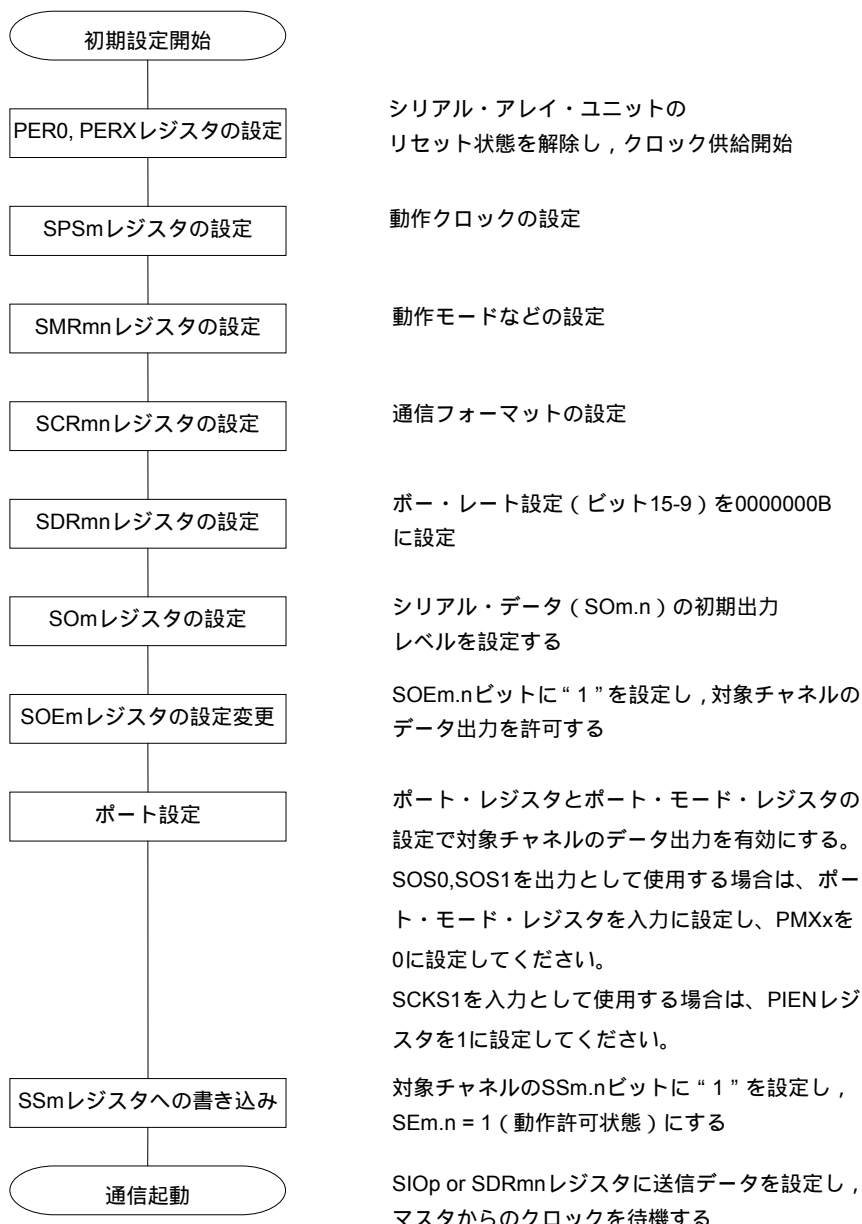
図13 - 58 3線シリアルI/O (CSISn) のスレーブ送信時のレジスタ設定内容例 (2/2)



- 備考** : CSIスレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
- x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
- 0/1: ユーザの用途に応じて0または1に設定
- n: チャンネル番号 (n = 0, 1)

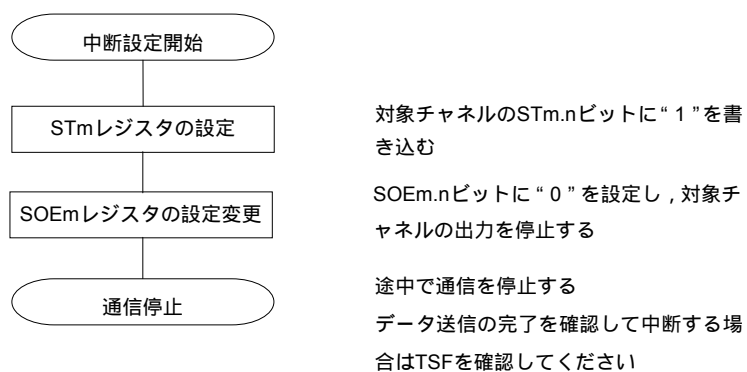
(2) 操作手順

図13 - 59 スレーブ送信の初期設定手順



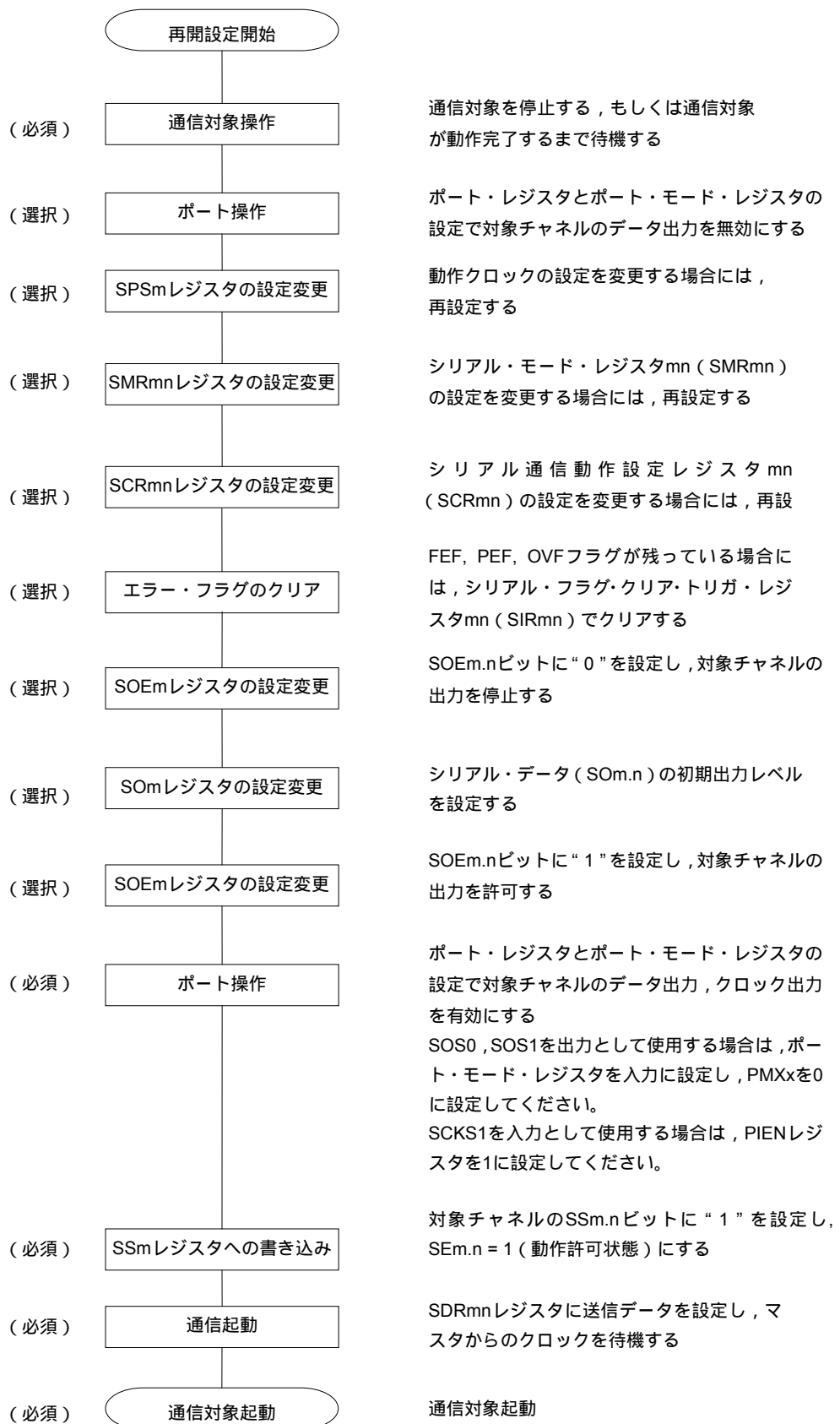
注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

図13 - 60 スレーブ送信の中断手順



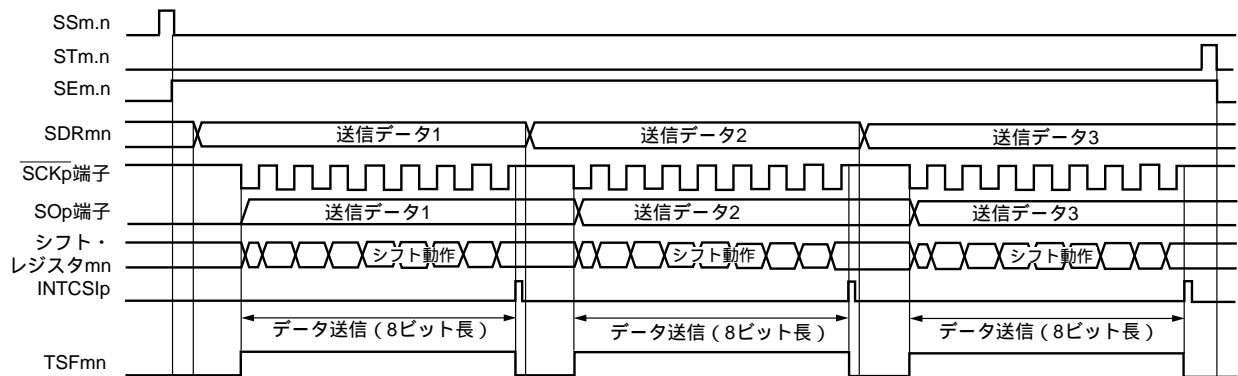
備考 中断後も端子レベルは保持されますので、動作を再開するにはシリアル出力レジスタm (SOm) を再設定してください (図13 - 61 スレーブ送信の再開設定手順参照)。

図13 - 61 スレーブ送信の再開設定手順



(3) 処理フロー (シングル送信モード時)

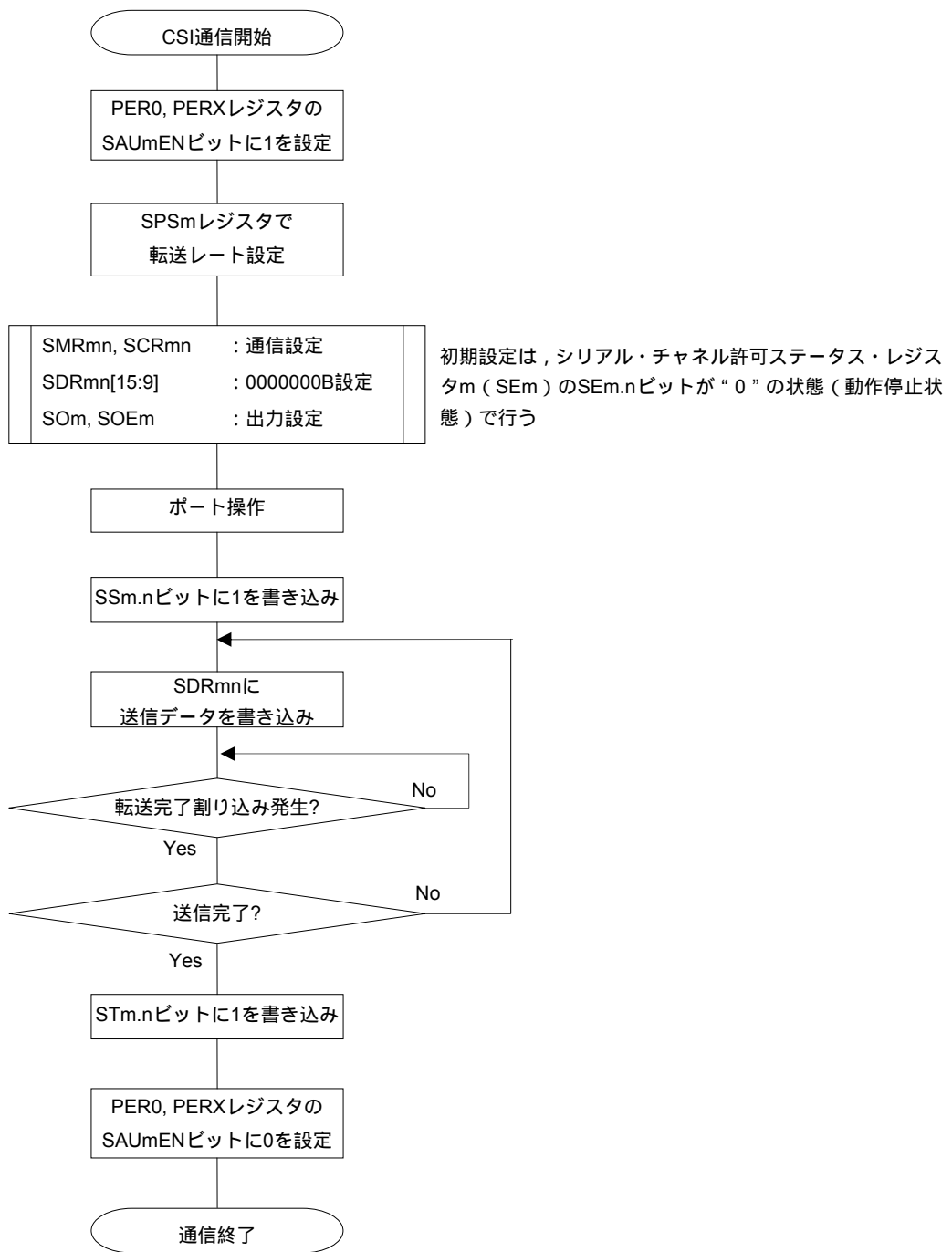
図13 - 62 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)

p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) mn = 00-03, 10, 11, S0, S1

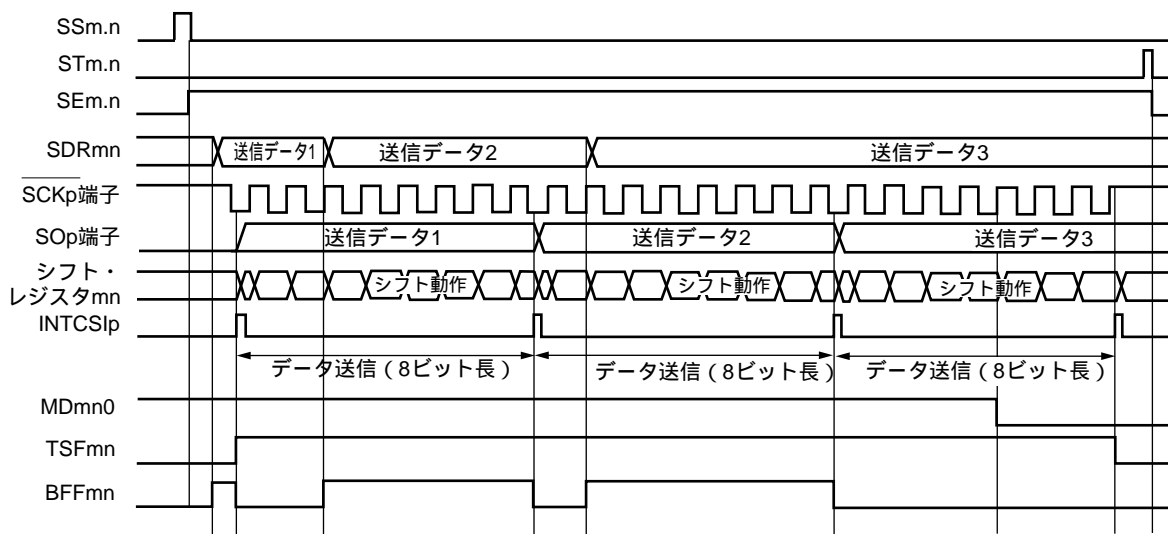
図13 - 63 スレーブ送信 (シングル送信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

(4) 処理フロー (連続送信モード時)

図13 - 64 スレーブ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



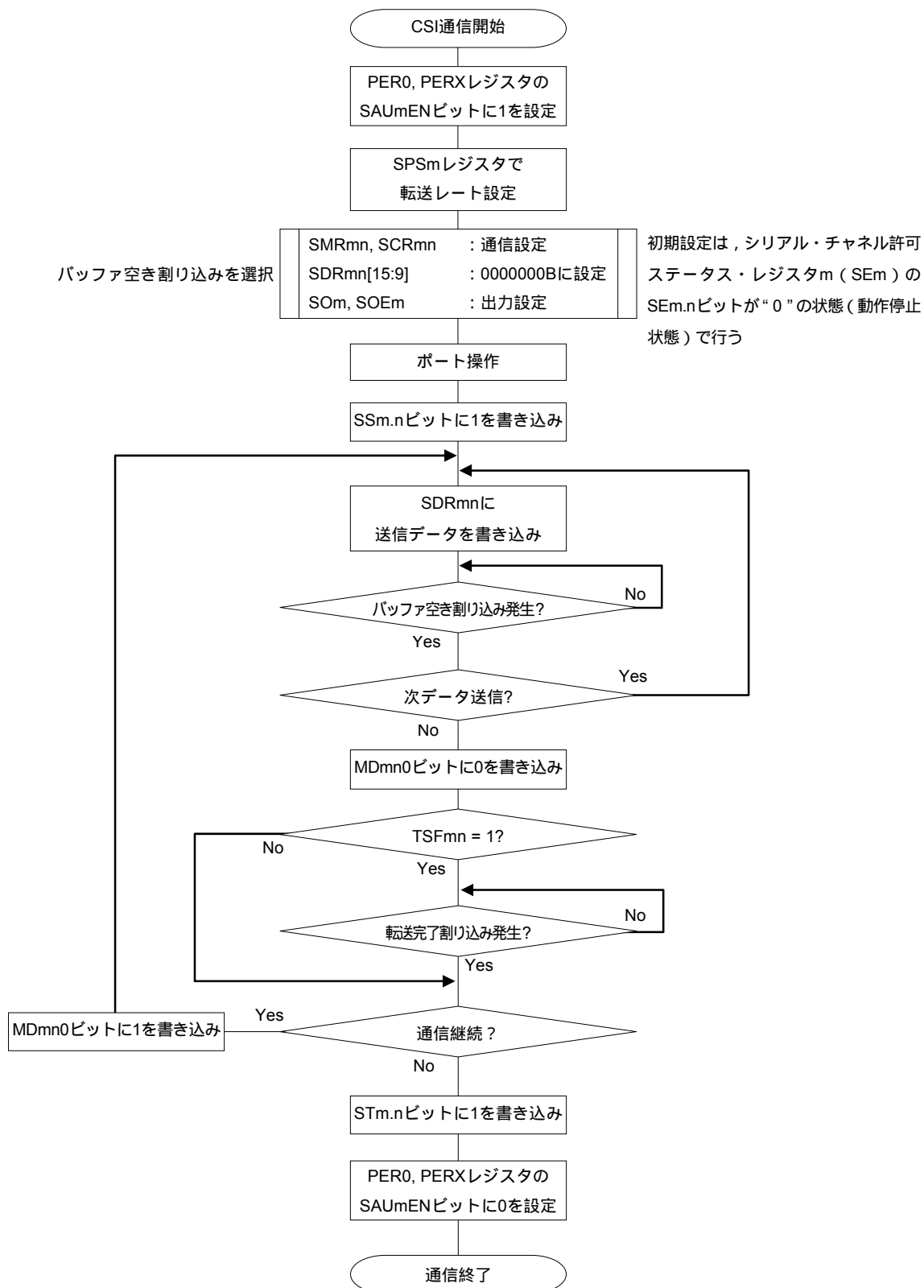
(注)

注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“ 1 ”の期間 (有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき) にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)
 p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) mn = 00-03, 10, 11, S0, S1

図13 - 65 スレーブ送信（連続送信モード時）のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

備考 図中の ~ は、図13 - 64 スレーブ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

13.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78/F12が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSIS0	CSIS1
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAUSの チャンネル0	SAUSの チャンネル1
使用端子	$\overline{\text{SCK00}}$, SI00	$\overline{\text{SCK01}}$, SI01	$\overline{\text{SCK10}}$, SI10	$\overline{\text{SCK11}}$, SI11	$\overline{\text{SCK20}}$, SI20	$\overline{\text{SCK21}}$, SI21	$\overline{\text{SCKS0}}$, SIS0	$\overline{\text{SCKS1}}$, SIS1
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSIS0	INTCSIS1
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット						7-16ビット	
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転 							
データ方向	MSBファーストまたはLSBファースト							

注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK20}}$, $\overline{\text{SCK21}}$, $\overline{\text{SCKS0}}$, $\overline{\text{SCKS1}}$ 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。これが、 f_{SCK} 以上の周波数となるように、SPSmレジスタを設定してください。

2. この条件を満たし、かつ電気的特性のAC特性（第31章 電気的特性（Jグレード）・第32章 電気的特性（Kグレード）参照）を満たす範囲内で使用してください。

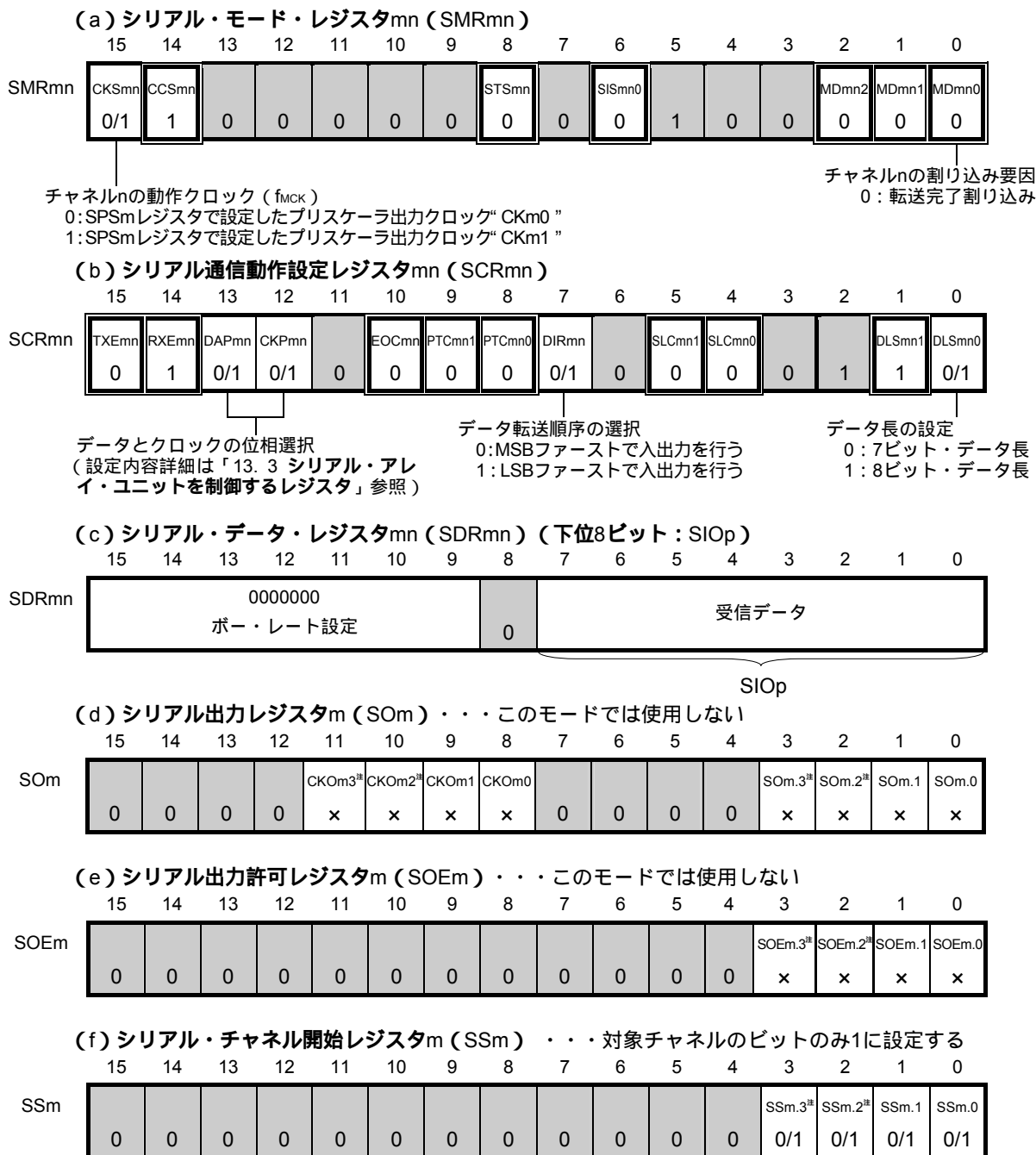
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. m：ユニット番号（m = 0, 1, S） n：チャンネル番号（n = 0-3）, mn = 00-03, 10, 11, S0, S1

(1) レジスタ設定

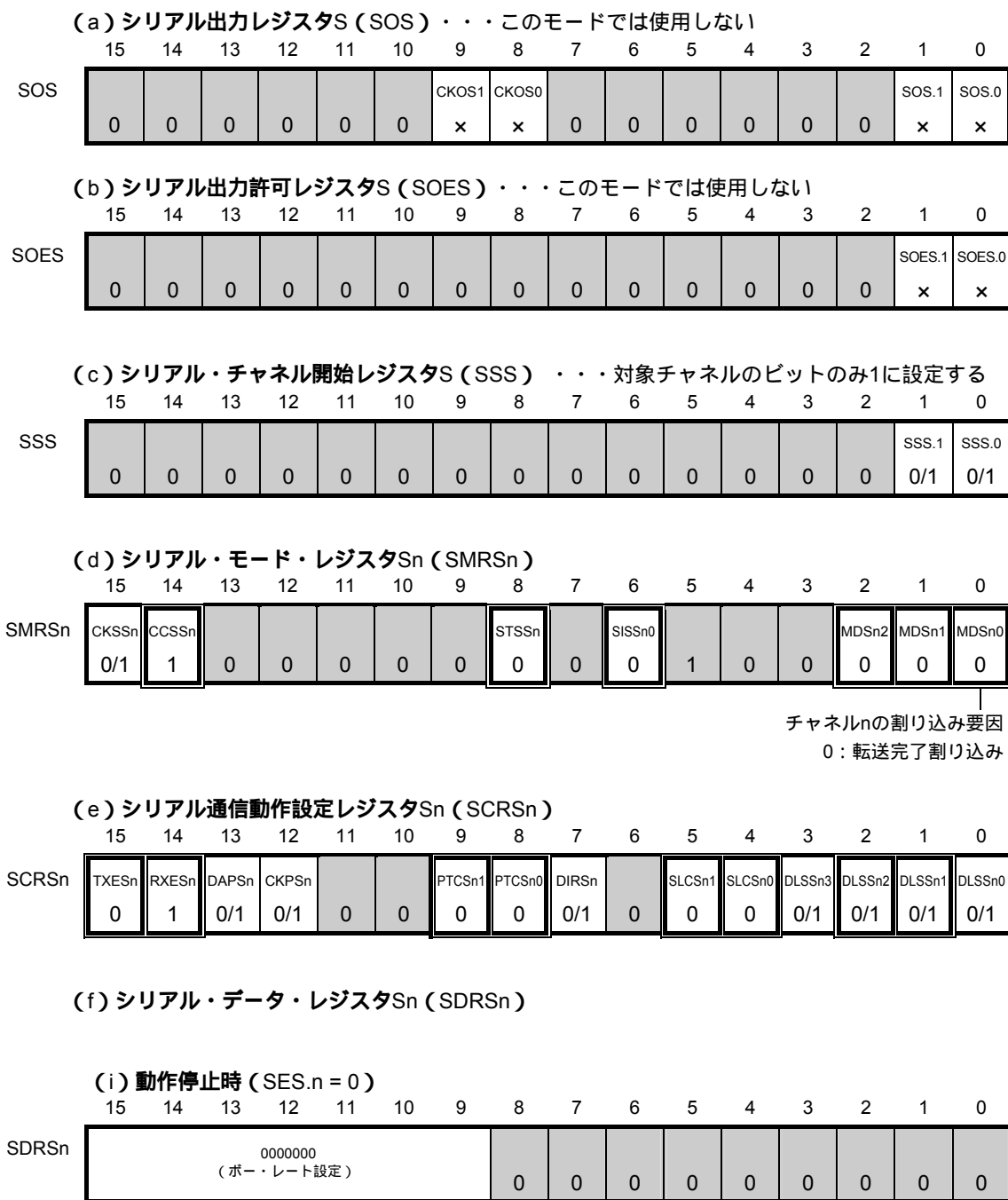
図13 - 66 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のスレーブ受信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ。

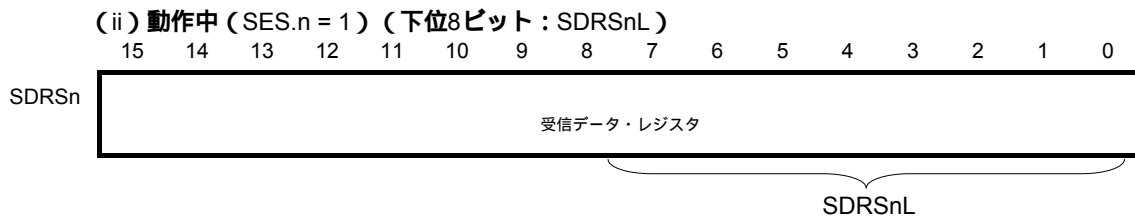
- 備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11
2. □: スレーブ受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図13 - 67 3線シリアルI/O (CSISn) のスレーブ受信時のレジスタ設定内容例 (1/2)



備考 □: CSIスレーブ受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定
 n : チャンネル番号 (n = 0, 1)

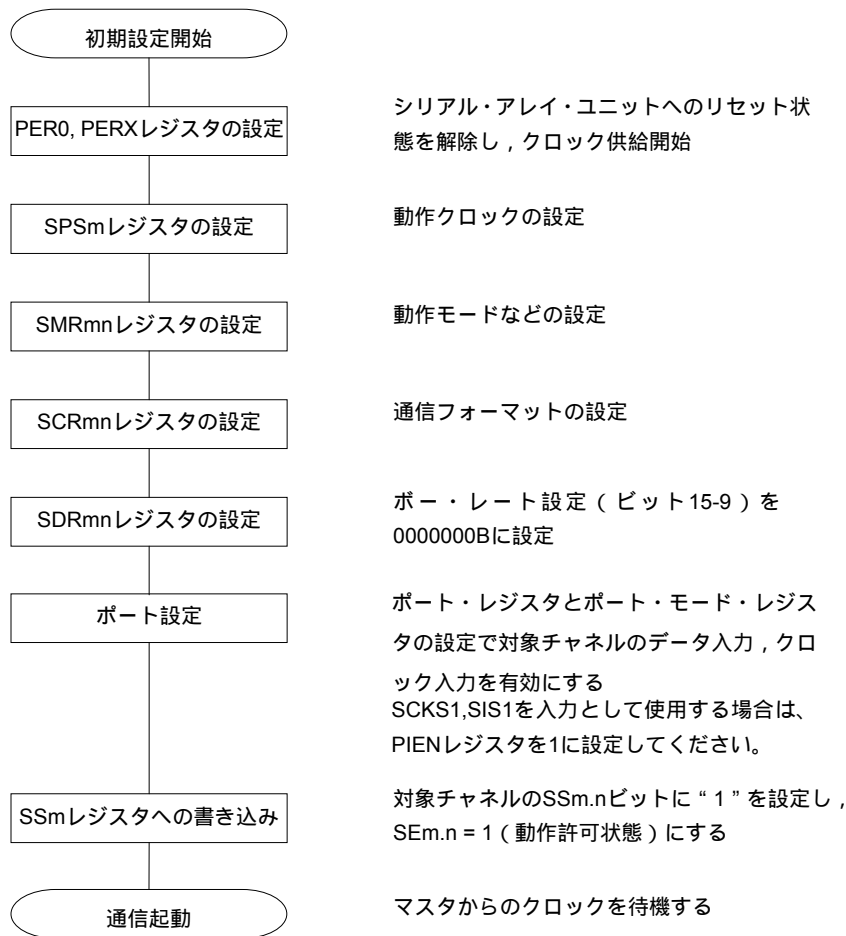
図13 - 67 3線シリアルI/O (CSISn) のスレーブ受信時のレジスタ設定内容例 (2/2)



- 備考** : CSIスレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)
- x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
- 0/1 : ユーザの用途に応じて0または1に設定
- n : チャンネル番号 (n = 0, 1)

(2) 操作手順

図13 - 68 スレーブ受信の初期設定手順



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

図13 - 69 スレーブ受信の中断手順

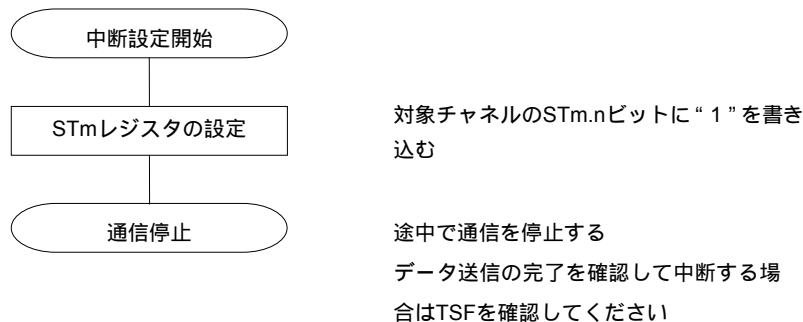
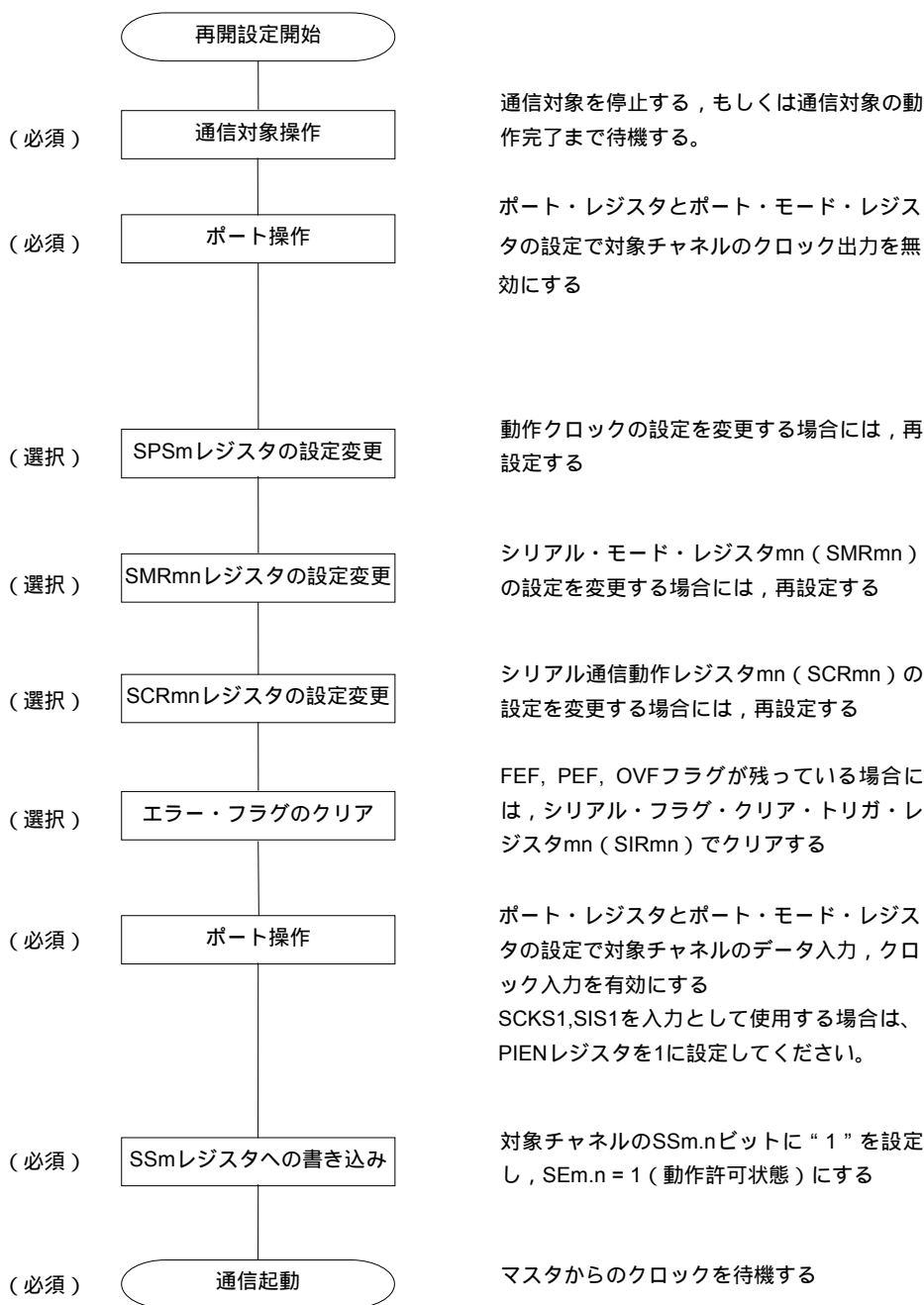
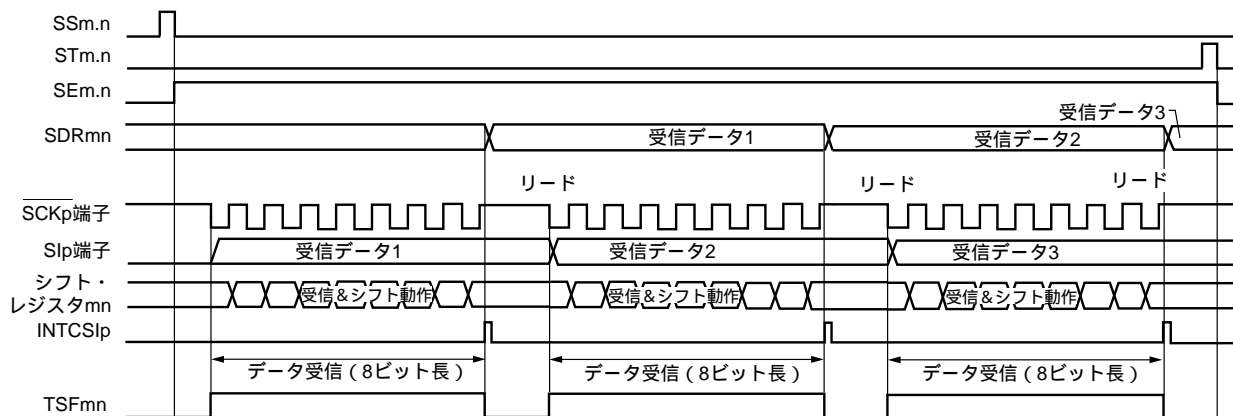


図13 - 70 スレーブ受信の再開設定手順



(3) 処理フロー (シングル受信モード時)

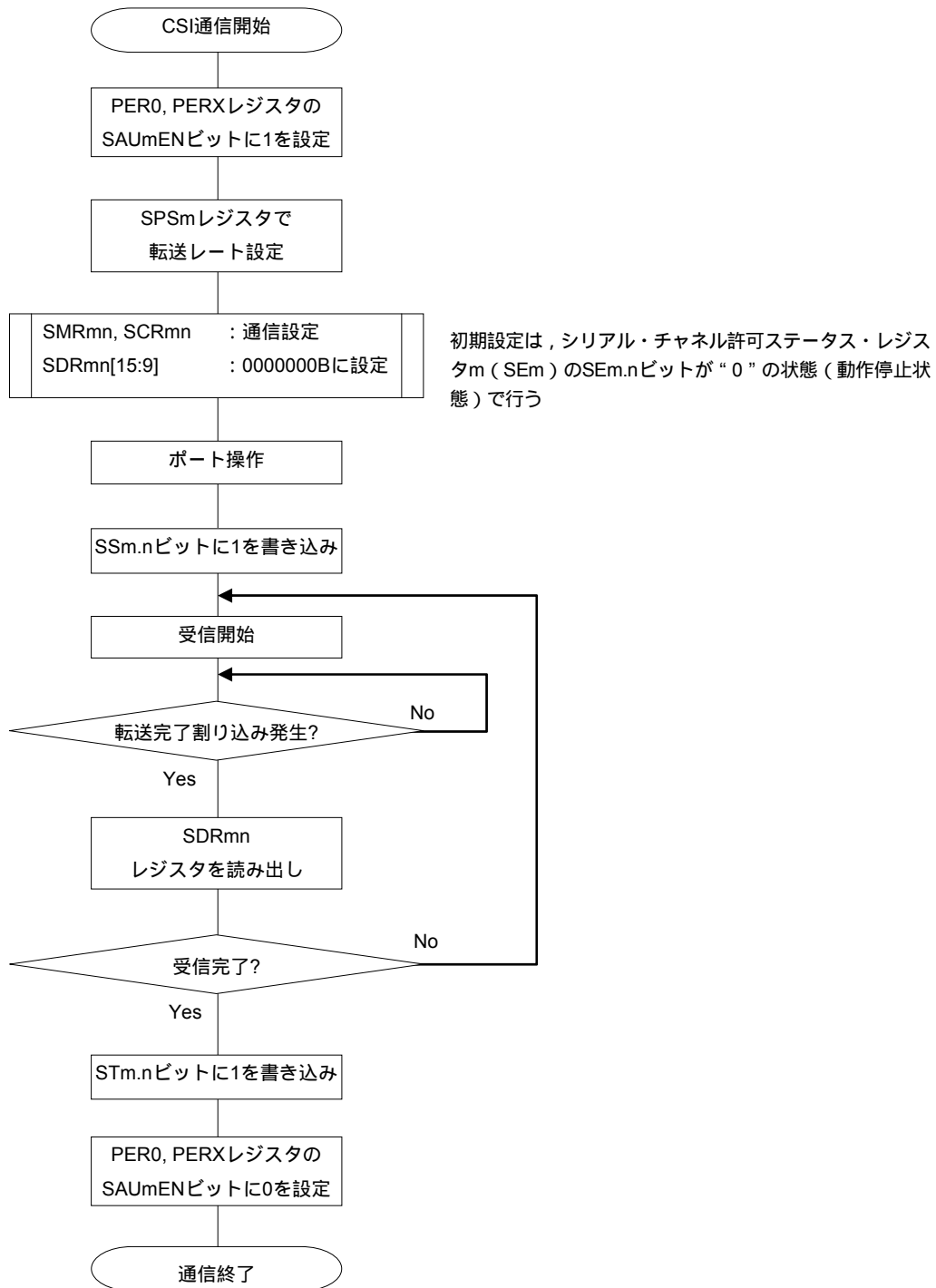
図13 - 71 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)

p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) mn = 00-03, 10, 11, S0, S1

図13 - 72 スレーブ受信 (シングル受信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

13.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78/F12と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSIS0	CSIS1
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAUSの チャンネル0	SAUSの チャンネル1
使用端子	$\overline{\text{SCK00}}$, SI00, SO00	$\overline{\text{SCK01}}$, SI01, SO01	$\overline{\text{SCK10}}$, SI10, SO10	$\overline{\text{SCK11}}$, SI11, SO11	$\overline{\text{SCK20}}$, SI20, SO20	$\overline{\text{SCK21}}$, SI21, SO21	$\overline{\text{SCKS0}}$, SIS0, SOS0	$\overline{\text{SCKS1}}$, SIS1, SOS1
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSIS0	INTCSIS1
	転送完了割り込み（シングル転送モード時）か、パツファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット						7-16ビット	
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

- 注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK20}}$, $\overline{\text{SCK21}}$, $\overline{\text{SCKS0}}$, $\overline{\text{SCKS1}}$ 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。これが、 f_{SCK} 以上の周波数となるように、SPSmレジスタを設定してください。
2. この条件を満たし、かつ電氣的特性のAC特性（第31章 電氣的特性（Jグレード））、第32章 電氣的特性（Kグレード）参照）を満たす範囲内で使用してください。

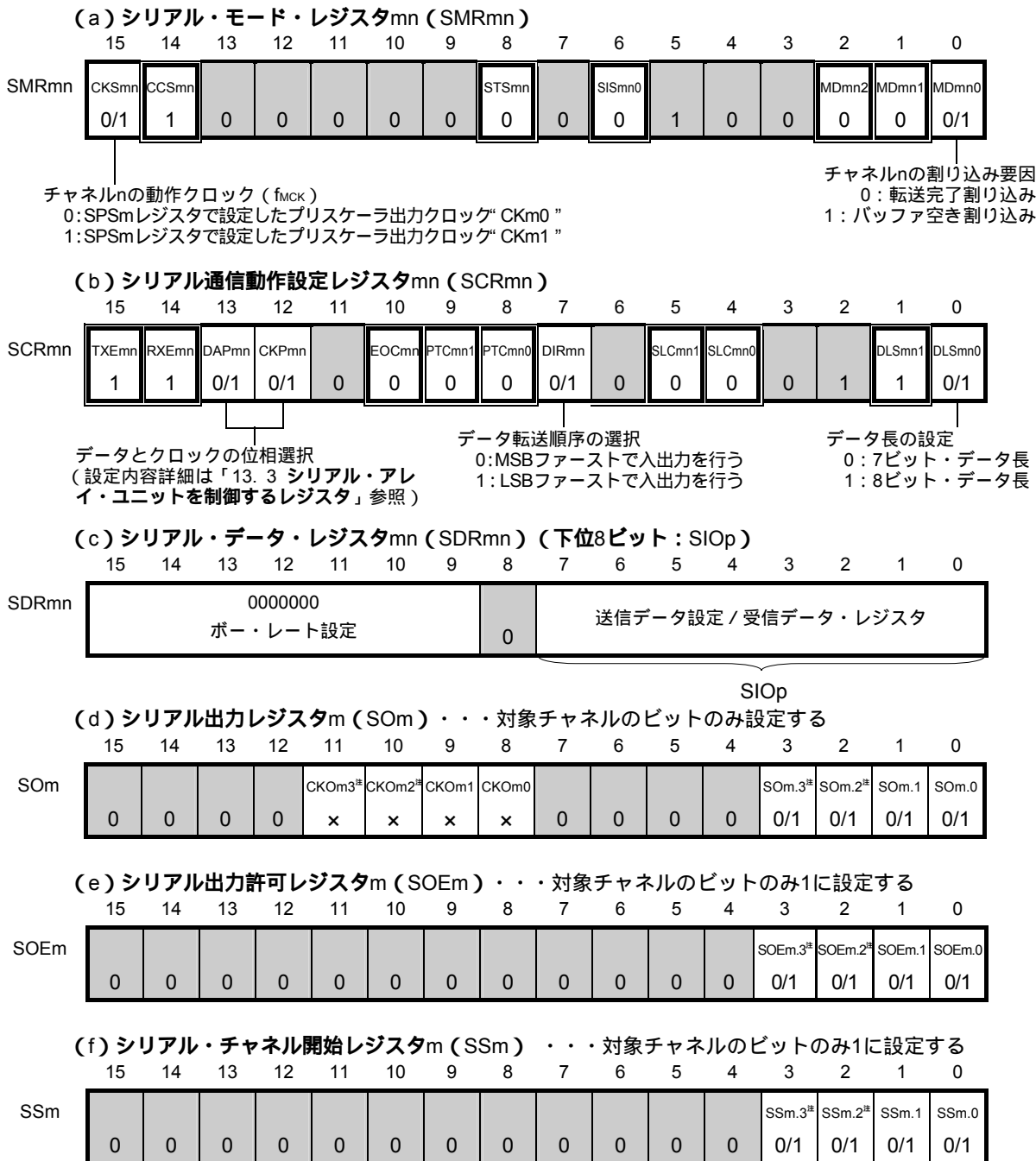
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. m：ユニット番号（m = 0, 1, S） n：チャンネル番号（n = 0-3）, mn = 00-03, 10, 11, S0, S1

(1) レジスタ設定

図13 - 73 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のスレーブ送受信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ。

注意 マスタからのクロックが開始される前に、必ず送信データをSDRレジスタへ設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21)

mn = 00-03, 10, 11

2. □: CSIスレーブ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図13 - 74 3線シリアル/I/O (CSISn) のスレーブ送受信時のレジスタ設定内容例 (1/2)

(a) シリアル出力レジスタS (SOS) . . . 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOS							CKOS1	CKOS0							SOS.1	SOS.0
	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0/1	0/1

(b) シリアル出力許可レジスタS (SOES) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOES															SOES.1	SOES.0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(c) シリアル・チャンネル開始レジスタS (SSS) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSS															SSS.1	SSS.0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(d) シリアル・モード・レジスタSn (SMRSn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRSn	CKSSn	CCSSn						STSSn		SISSn0				MDSn2	MDSn1	MDSn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの割り込み要因
 0 : 転送完了割り込み
 1 : バッファ空き割り込み

(e) シリアル通信動作設定レジスタSn (SCRSn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRSn	TXESn	RXESn	DAPSn	CKPSn			PTCSn1	PTCSn0	DIRSn		SLCSn1	SLCSn0	DLSSn3	DLSSn2	DLSSn1	DLSSn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・データ・レジスタSn (SDRSn)

(i) 動作停止時 (SES.n = 0)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRSn	0000000 (ボー・レート設定)															
								0	0	0	0	0	0	0	0	0

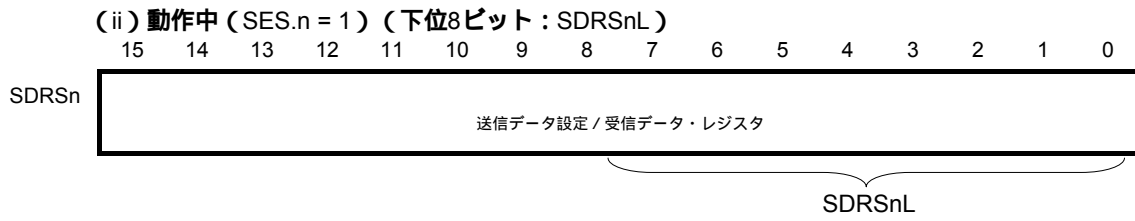
備考 □: CSIスレーブ送受信モードでは設定固定 □: 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

n : チャンネル番号 (n = 0, 1)

図13 - 74 3線シリアルI/O (CSISn) のスレーブ送受信時のレジスタ設定内容例 (2/2)

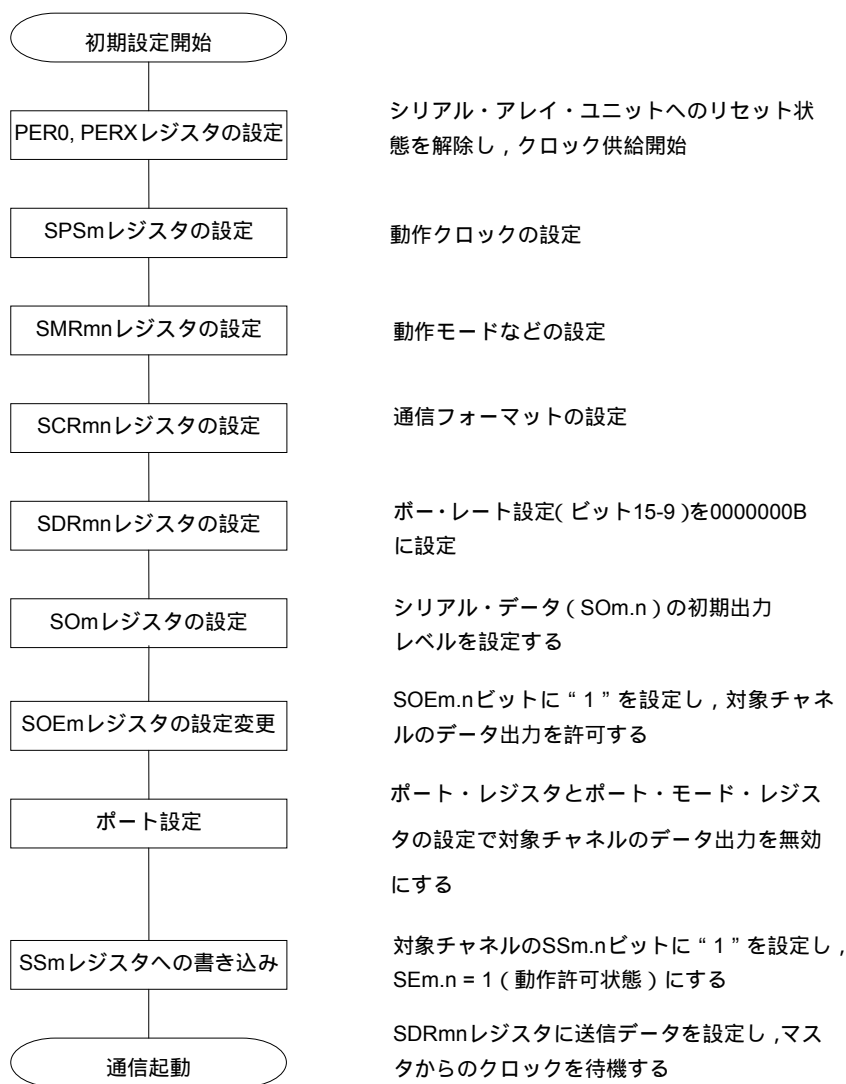


注意 マスタからのクロックが開始される前に、必ず送信データをSDRSnLレジスタへ設定してください。

- 備考** : CSIスレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)
- x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
- 0/1 : ユーザの用途に応じて0または1に設定
- n : チャネル番号 (n = 0, 1)

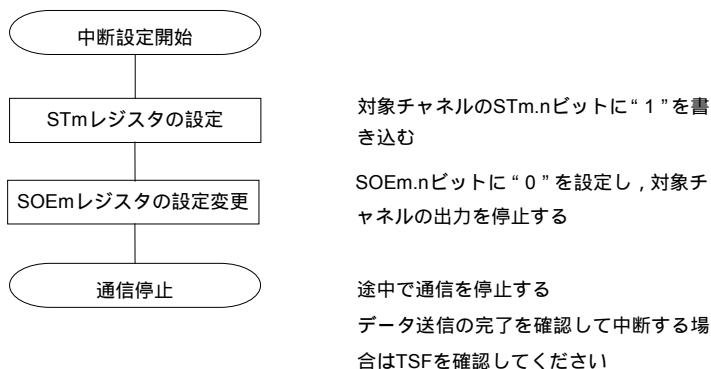
(2) 操作手順

図13 - 75 スレーブ送受信の初期設定手順



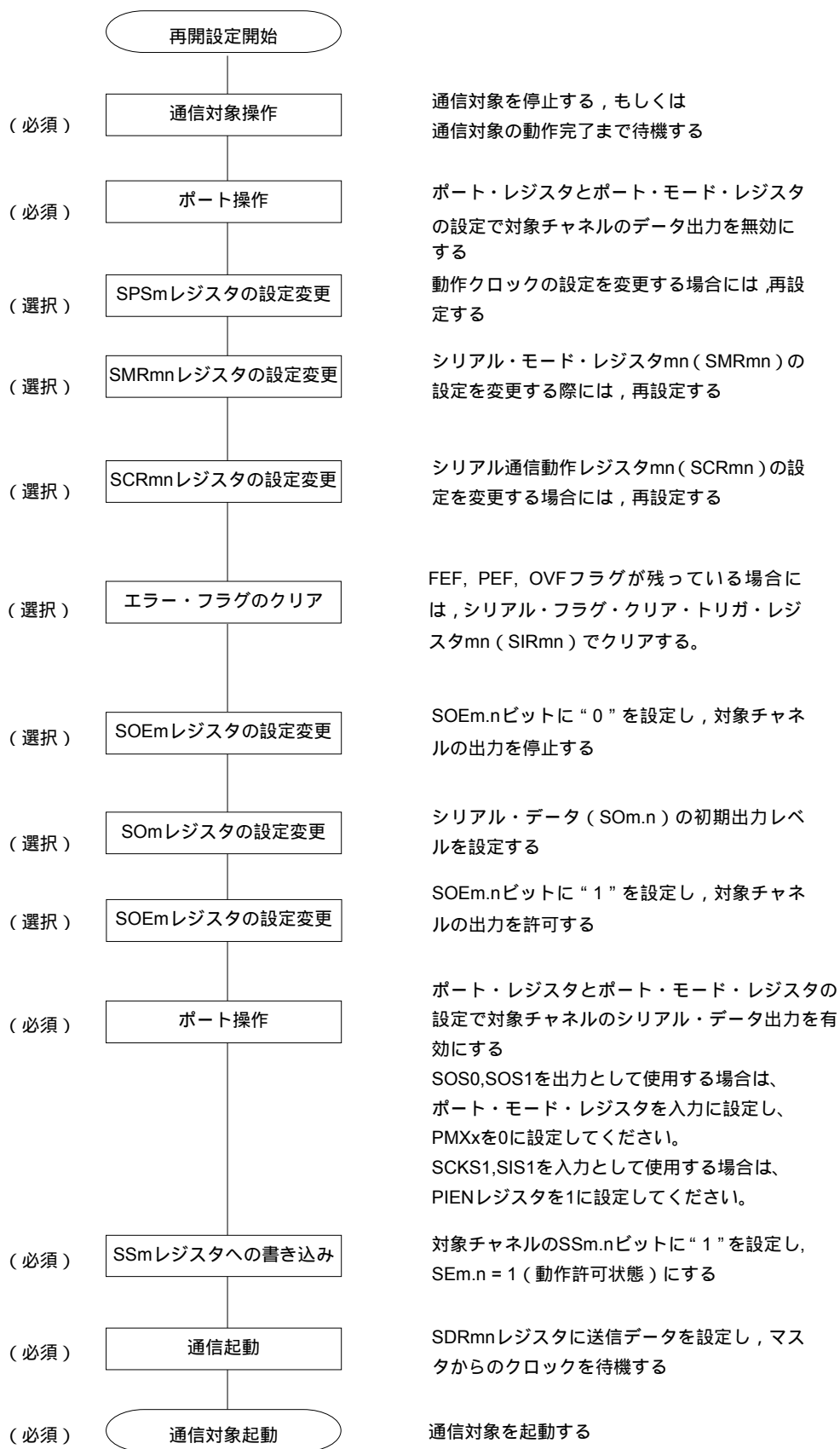
- 注意1. 周辺イネーブル・レジスタ0, X (PER0, PERX)のSAUmENビットを“1”に設定後に、fCLKの4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm)を設定してください。
2. マスタからのクロックが開始される前に、必ず送信データをSDRレジスタへ設定してください。

図13 - 76 スレーブ送受信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタm (SOm)を再設定してください(図13 - 77 スレーブ送受信の再開設定手順参照)。

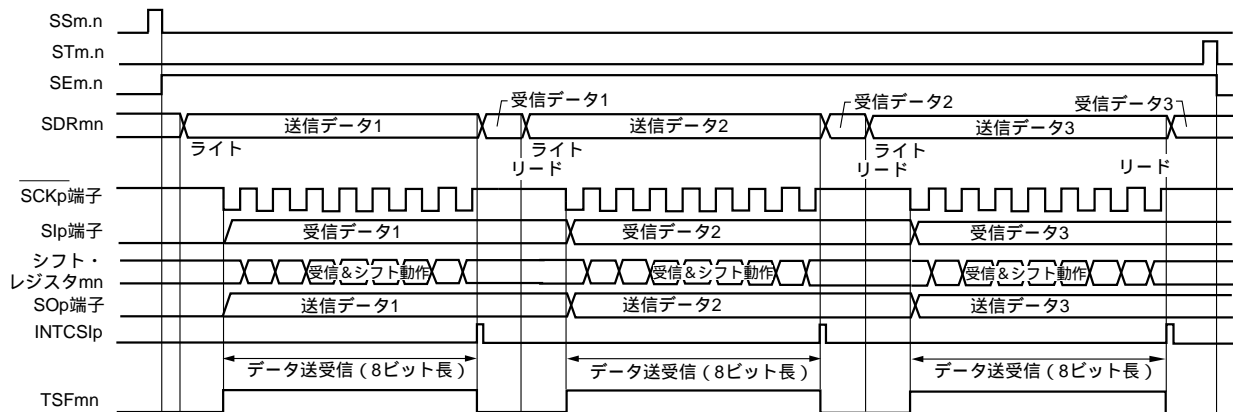
図13 - 77 スレーブ送受信の再開設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSDRレジスタへ設定してください。

(3) 処理フロー (シングル送受信モード時)

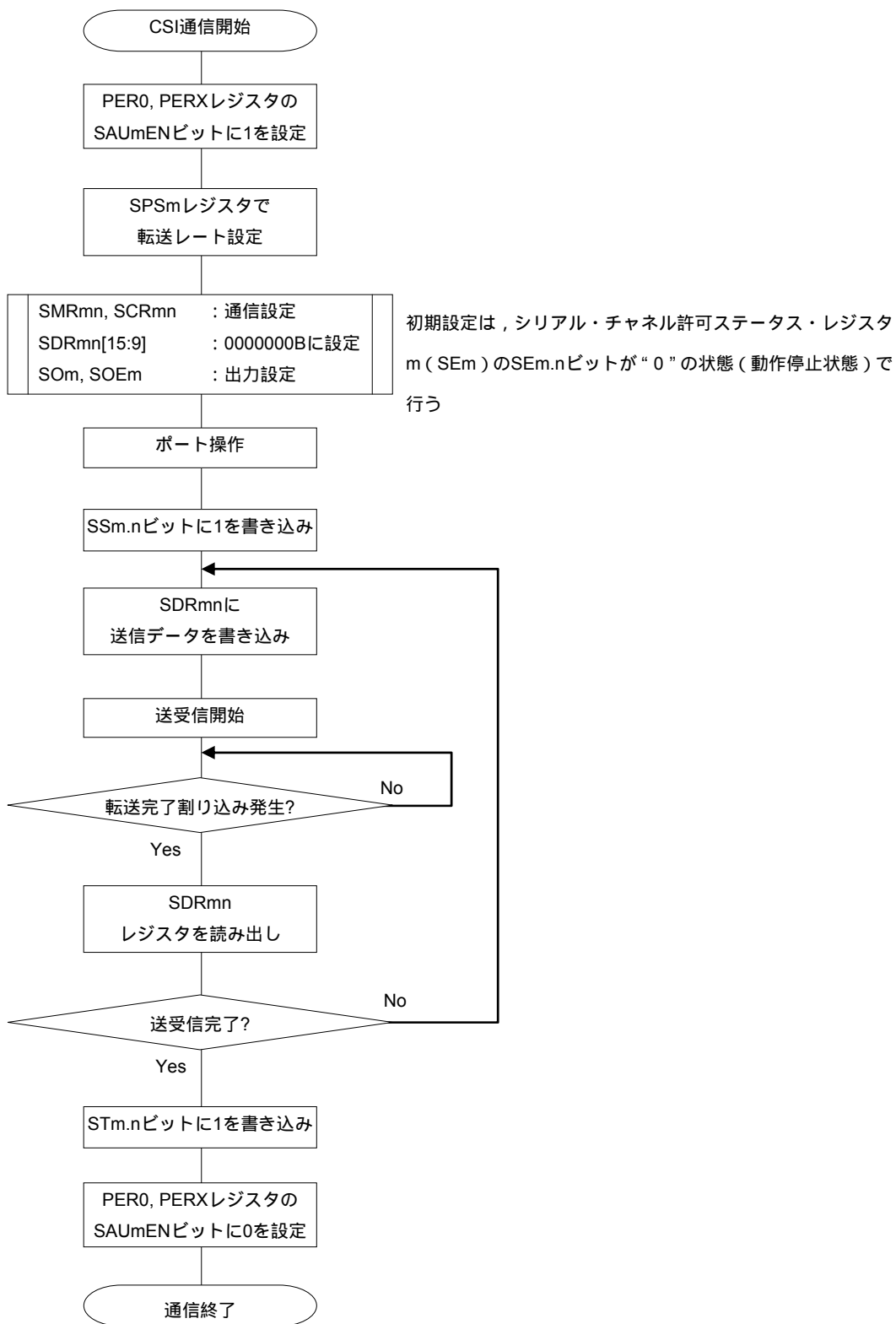
図13 - 78 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)

p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) , mn = 00-03, 10, 11, S0, S1

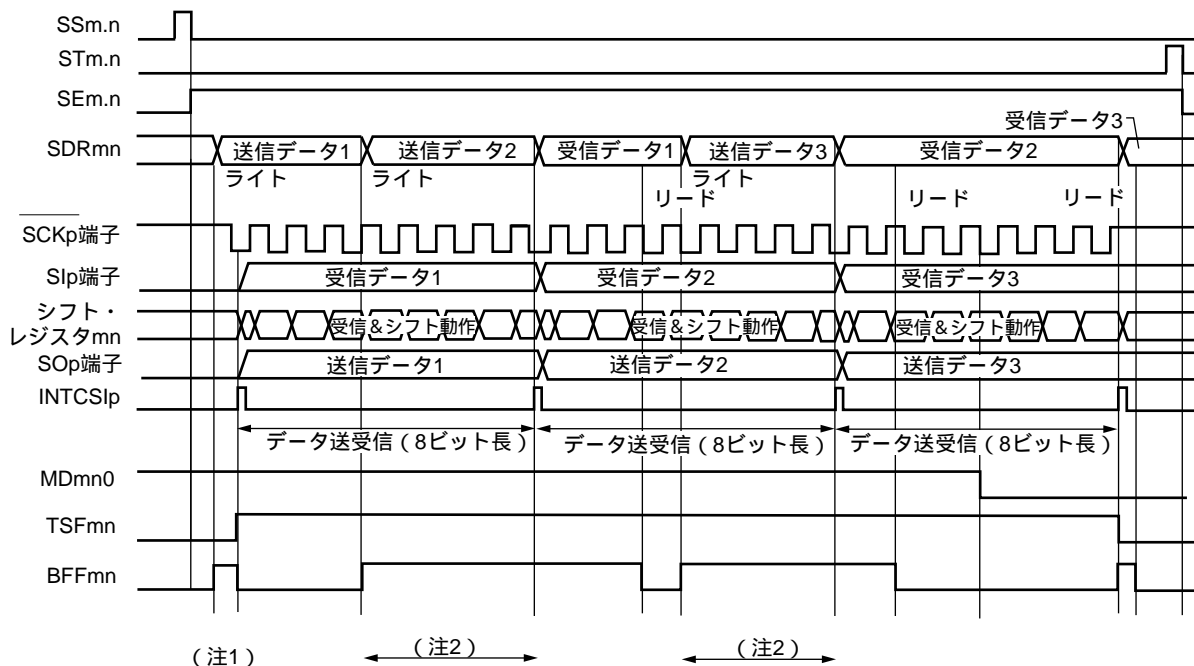
図13 - 79 スレーブ送受信 (シングル送受信モード時) のフロー・チャート



- 注意1. 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。
2. マスタからのクロックが開始される前に、必ず送信データをSDRレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図13 - 80 スレーブ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

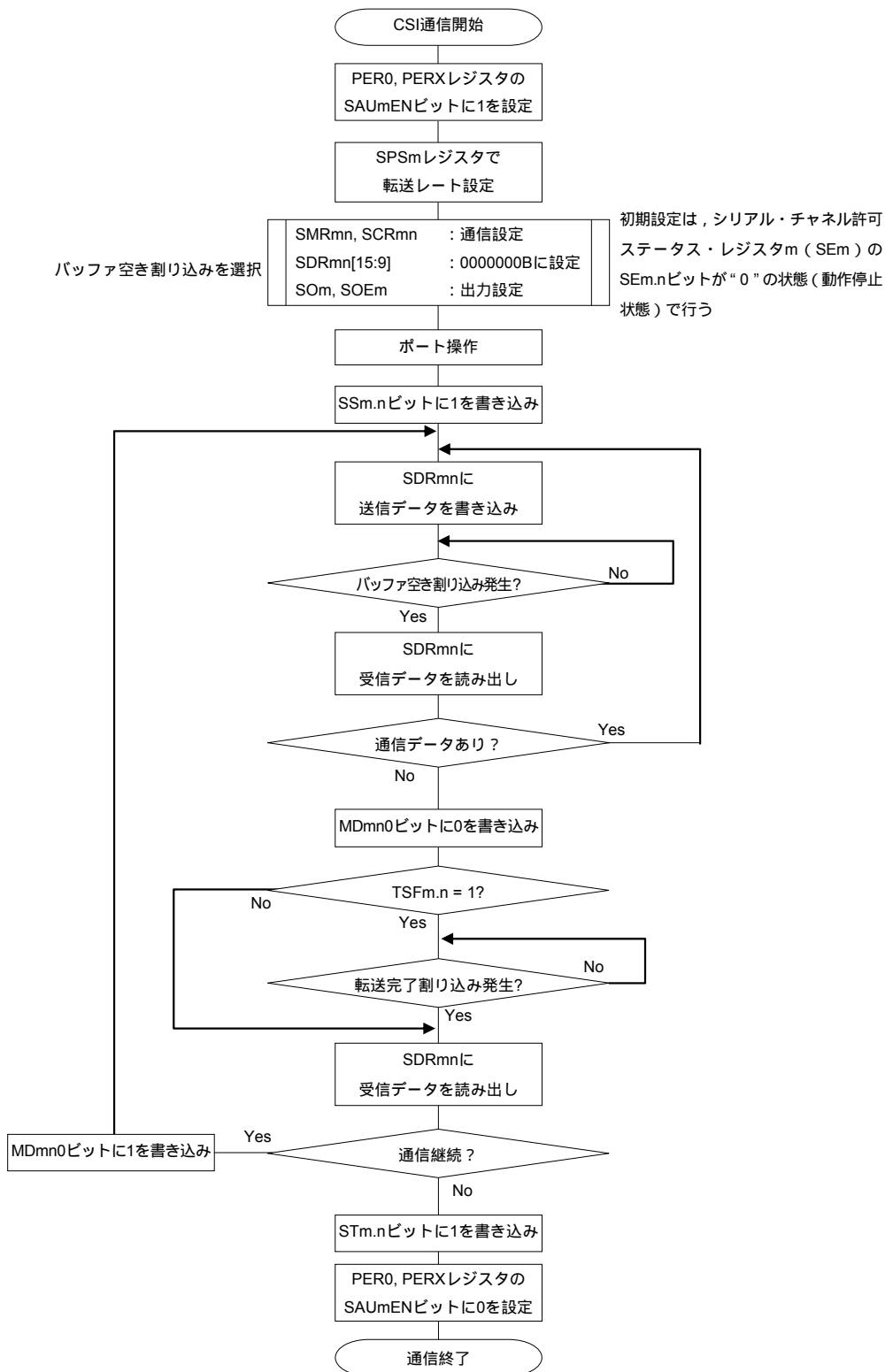


- 注1. シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが “ 1 ” の期間 (有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時) にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
- 2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1. 図中の ~ は、図13 - 81 スレーブ送受信 (連続送受信モード時) のフロー・チャートの ~ に対応しています。
- 2. m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3)
 p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) mn = 00-03, 10, 11, S0, S1

図13 - 81 スレーブ送受信 (連続送受信モード時) のフロー・チャート



- 注意1. 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。
2. マスタからのクロックが開始される前に、必ず送信データをSDRレジスタへ設定してください。

備考 図中の ~ は、図13 - 80 スレーブ送受信 (連続送受信モード時) のタイミング・チャートの ~ に対応しています。

13.5.7 SNOOZEモード機能 (CSI00のみ)

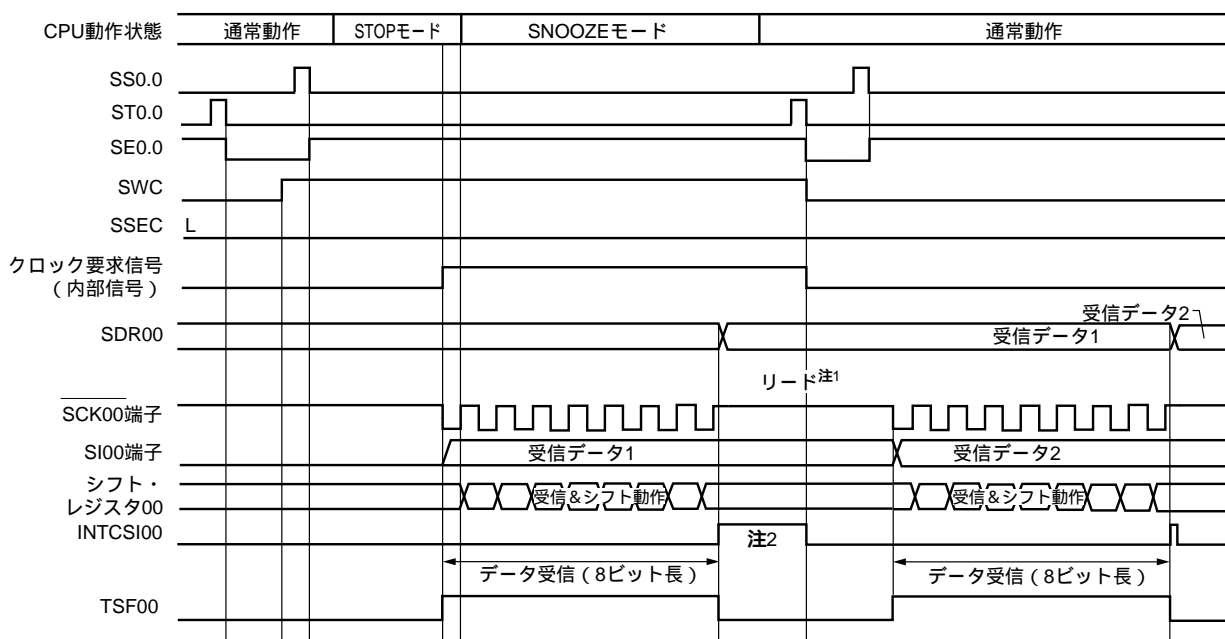
STOPモード時に \overline{SCKp} 端子入力の検出によりCSIの受信動作をさせるモードです。通常STOP時にCSIは通信動作を停止しますが、このモードを使うことで、 \overline{SCKp} 端子入力の検出によってCPUを動作させずにCSIの受信動作を行うことができます。SNOOZEモードは、CSI00のみ設定可能です。

SNOOZEモード機能を使用する場合は、STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットを1に設定します。

- 注意1. SNOOZEモードは、 f_{CLK} に高速オンチップ・オシレータクロックを選択している場合のみ設定可能です。
- 2. CSI00をSNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作 (1回起動)

図13 - 82 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

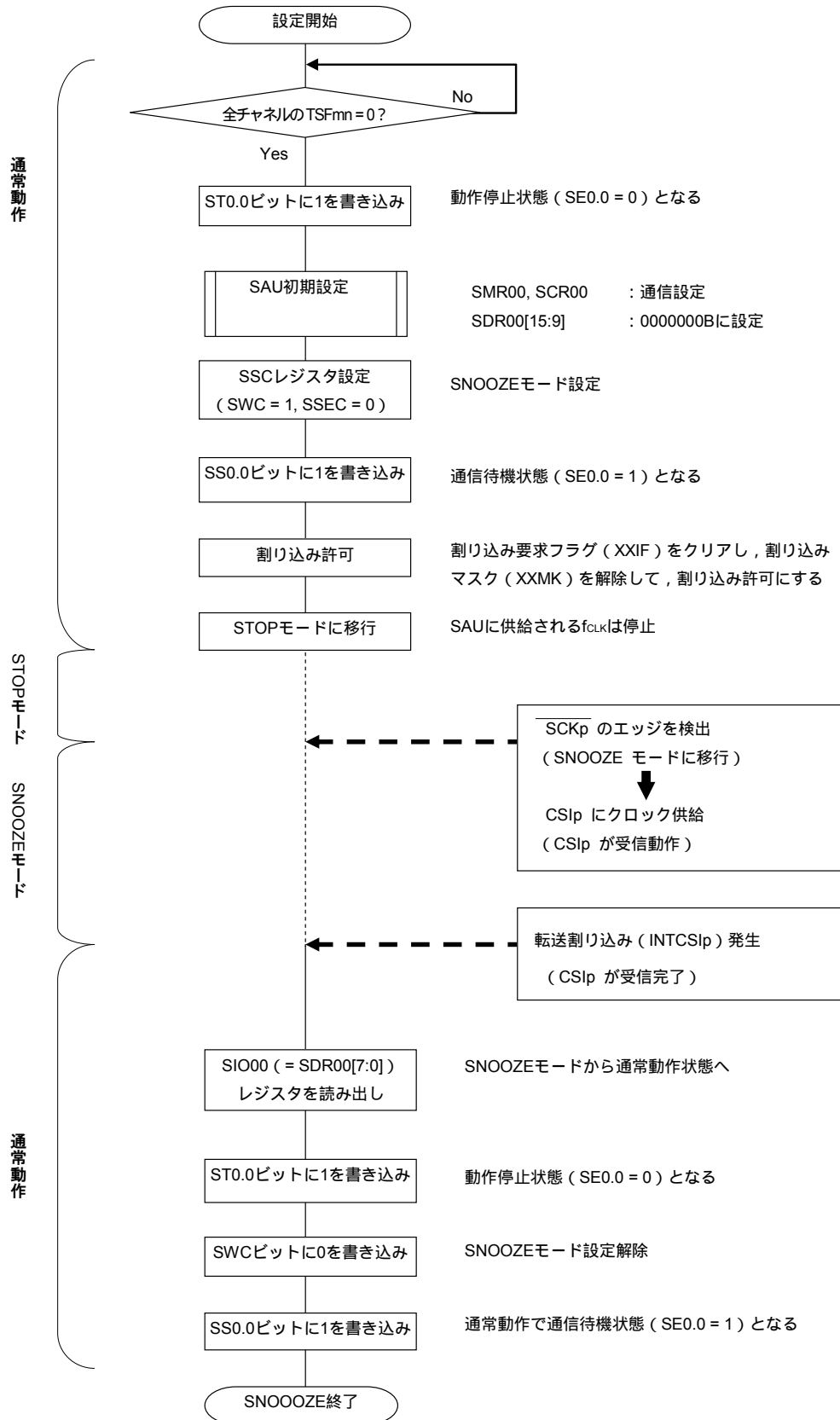


注. 受信データの読み出しは、SWC = 1の状態、次の $\overline{SCK00}$ 端子のエッジ検出前に行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。
また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

備考 図中の ~ は、図13 - 83 SNOOZEモード動作 (1回起動) 時のフロー・チャートの ~ に対応しています。

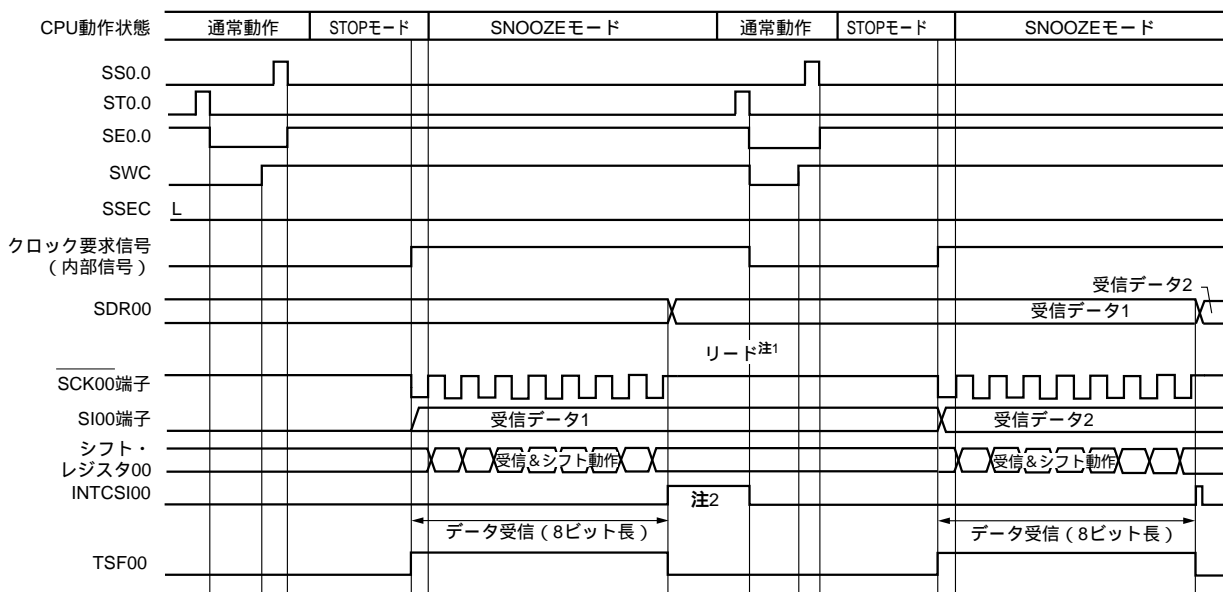
図13 - 83 SNOOZEモード動作（1回起動）時のフロー・チャート



備考 図中の ~ は、図13 - 82 SNOOZEモード動作（1回起動）時のタイミング・チャートの ~ に対応しています。

(2) SNOOZEモード動作 (連続起動)

図13 - 84 SNOOZEモード動作 (連続起動) 時のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



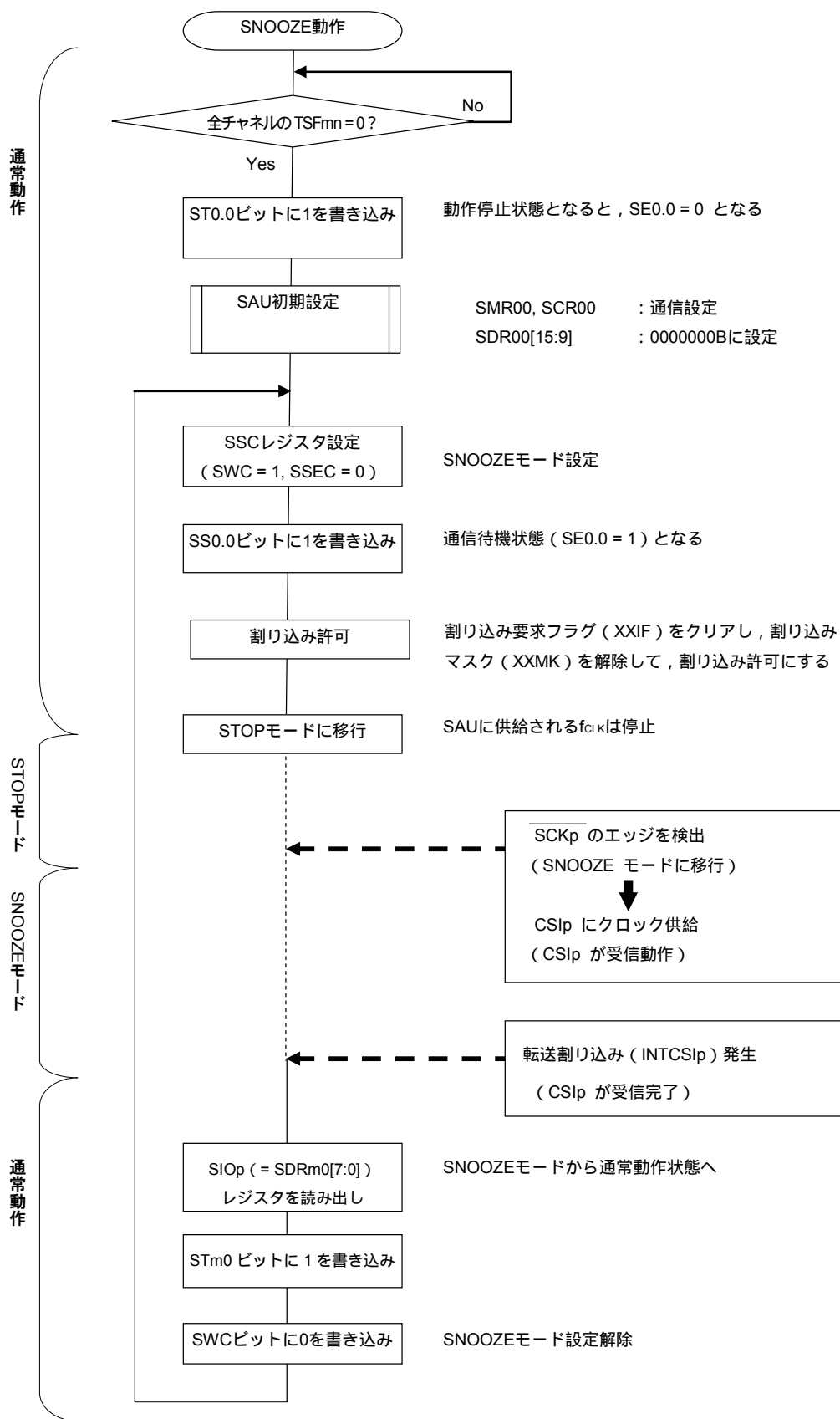
注 受信データの読み出しは、SWC = 1の状態、次のSCK00端子のエッジ検出前に行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください (SEm0ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

備考 図中の ~ は、図13 - 85 SNOOZEモード動作 (連続起動) 時のフロー・チャートの ~ に対応しています。

図13 - 85 SNOOZEモード動作（連続起動）時のフロー・チャート



備考 図中の ~ は, 図13 - 84 SNOOZEモード動作 (連続起動) 時のタイミング・チャートの ~ に対応しています。

13.5.8 転送クロック周波数の算出

3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャンネルの動作クロック (f}_{MCK}\text{) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \}^{\text{注}} \text{ [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタmn (SDRmn) のビット15-9の値 (0000000B-1111111B) なので、0-127になります。

動作クロック(f_{MCK})は、シリアル・クロック選択レジスタm (SPSm)とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表13 - 2 3線シリアルI/O動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{CLK}) ^注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	32 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	16 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	8 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	4 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	15.63 kHz
1	0	0	0	0	X	X	X	X	f _{CLK}	32 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	16 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	8 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	4 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	1 MHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	15.63 kHz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (ST0レジスタのビット3-0, ST1, STSレジスタのビット1-0を1に設定) させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0-3) mn = 00-03, 10, 11, S0, S1

13.5.9 3線シリアル/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1) 通信時におけるエラー発生時の処理手順

3線シリアル/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSIS0, CSIS1) 通信時にエラーが発生した場合の処理手順を図13 - 86に示します。

図13 - 86 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3) , mn = 00-03, 10, 11, S0, S1

13.6 UART (UART0-UART2, UARTS0) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニット0と外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

[データ送受信]

- ・ 7-9ビットのデータ長 (UART0)
- ・ 7, 8ビットのデータ長 (UART1, UART2)
- ・ 7-9, 16ビットのデータ長 (UARTS0)
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

UART0受信 (ユニット0のチャンネル1) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD0端子入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している、UART0のみ設定可能です。

UART2 (ユニット1のチャンネル0, 1) は、LIN-busに対応しています (30, 32, 48, 64ピン製品のみ)。

[LIN-bus機能]

- ・ ウェイクアップ信号検出
- ・ ブレーク・フィールド (BF) 検出
- ・ シンク・フィールド測定, ボー・レート算出

} 外部割り込み (INTP0),
タイマ・アレイ・ユニット0を使用

UART0ではSAU0のチャンネル0, 1を使用し, UART1ではSAU0のチャンネル2, 3を使用し, UART2ではSAU1のチャンネル0, 1を使用し, UARTS0ではSAUSのチャンネル0, 1を使用します。

20ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	-	-
	3	-		-
1	0	-	-	-
	1	-		-
S	0	CSIS0	UARTS0	-
	1	-		-

30, 32ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	UART1	-
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	-		-
S	0	CSIS0	UARTS0	-
	1	-		-

48ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	-	UART1	-
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
S	0	CSIS0	UARTS0	-
	1	-		-

64ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
S	0	CSIS0	UARTS0	-
	1	CSIS1		-

注意 UARTとして使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらのチャンネルもUARTとしてしか使用することはできません。

UARTの通信動作は、以下の4種類があります。

- ・ UART送信 (13. 6. 1項を参照)
- ・ UART受信 (13. 6. 2項を参照)
- ・ LIN送信 (UART2のみ) (13. 7. 1項を参照)
- ・ LIN受信 (UART2のみ) (13. 7. 2項を参照)

13.6.1 UART送信

UART送信は、RL78/F12から他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2	UARTS0
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル2	SAU1の チャンネル0	SAUSの チャンネル0
使用端子	TxD0	TxD1	TxD2	TxDs0
割り込み	INTST0	INTST1	INTST2	INTSTS0
	転送完了割り込み（シングル転送モード時）か、パツファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7-9ビット	7ビットまたは8ビット		7-9または16ビット
転送レート	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 3以上) , Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] 注			Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上) , Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] 注
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加			
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第31章 電気的特性（Jグレード））、第32章 電気的特性（Kグレード）参照）を満たす範囲内で使用してください。

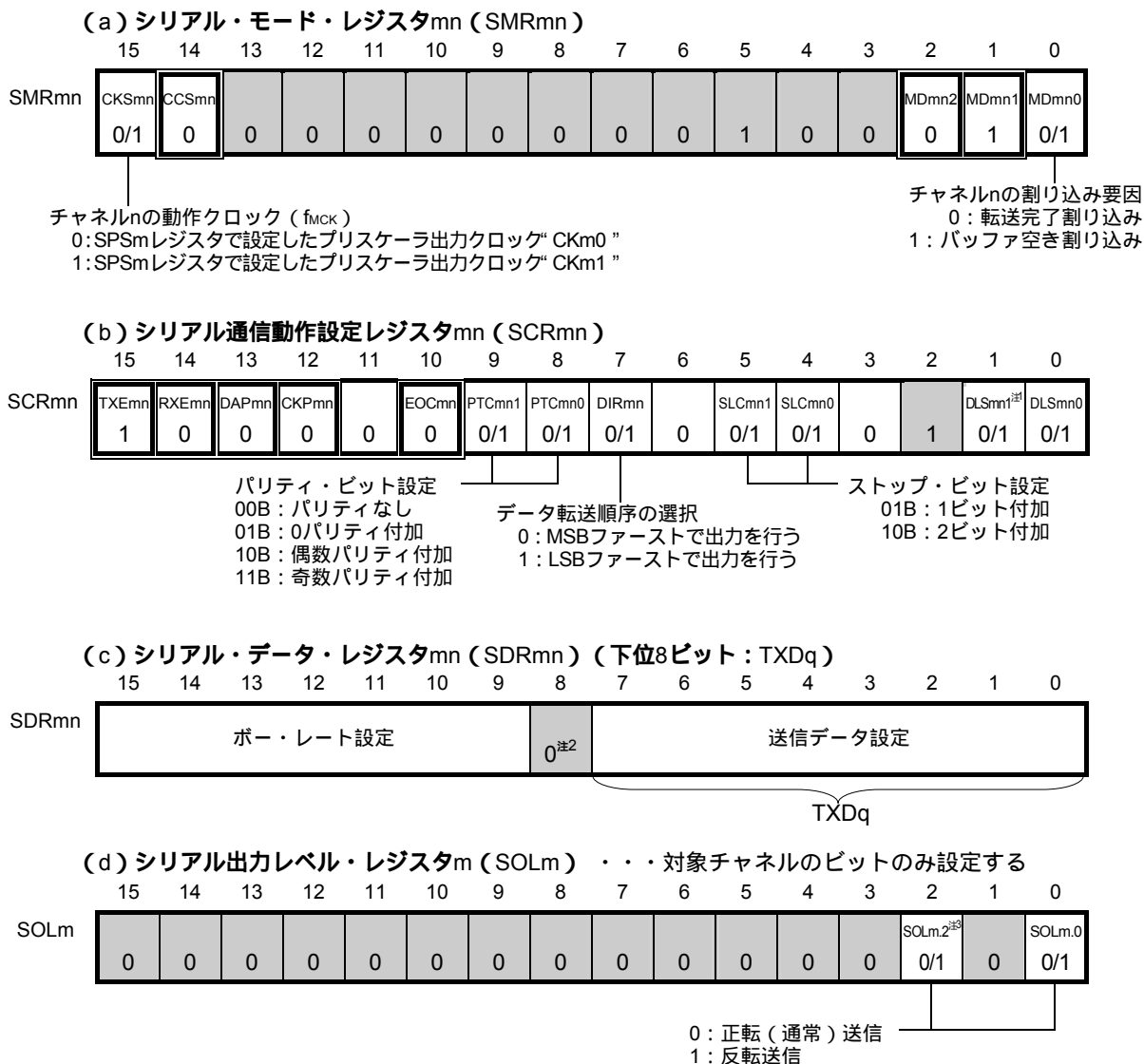
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. m：ユニット番号（m = 0, 1, S） n：チャンネル番号（n = 0, 2）, mn = 00, 02, 10, S0

(1) レジスタ設定

図13 - 87 UART (UART0-UART2) のUART送信時のレジスタ設定内容例 (1/2)



- 注1. SCR00レジスタ (UART0) のみ。SCR02レジスタ, SCR10レジスタでは1固定。
2. UART0が9ビット・データ長での通信 (SCR00レジスタのDLS001, DLS000 = 0,1) を行う場合は, SDR00レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは, UART0のみです。
3. シリアル・アレイ・ユニット0のみ。

- 備考1. m:ユニット番号 (m=0,1) n:チャンネル番号 (n=0,2) q:UART番号 (q=0-2),
 mn = 00, 02, 10
2. □: UART送信モードでは設定固定 ■: 設定不可 (初期値を設定)
 ×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

図13 - 87 UART (UART0-UART2) のUART送信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ_m (SOM) . . . 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM					CKOm3 ^{注1}	CKOm2 ^{注1}	CKOm1	CKOm0					SOM3 ^{注1}	SOM2 ^{注1}	SOM.1	SOM.0
	0	0	0	0	x	x	x	x	0	0	0	0	x	0/1 ^{注2}	x	0/1 ^{注2}

0: シリアル・データ出力値が“ 0 ”
1: シリアル・データ出力値が“ 1 ”

(f) シリアル出力許可レジスタ_m (SOEm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SOEm														SOEm.3 ^{注1}	SOEm.2 ^{注1}	SOEm.1	SOEm.0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

(g) シリアル・チャンネル開始レジスタ_m (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
SSm															SSm.3 ^{注1}	SSm.2 ^{注1}	SSm.1	SSm.0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

注1. シリアル・アレイ・ユニット0のみ。

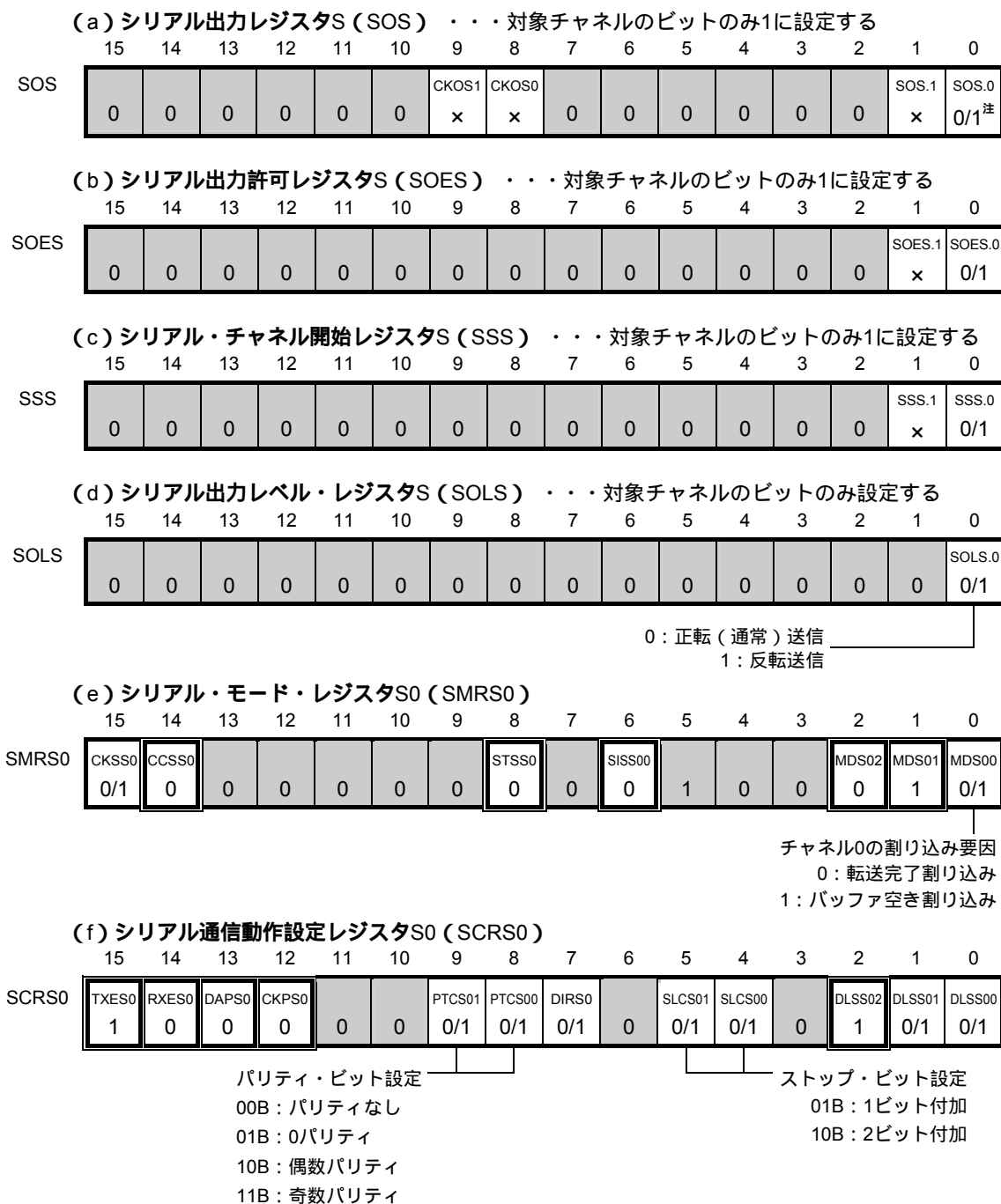
2. 該当するチャンネルのSOLm.nビットに0を設定している場合は“ 1 ”に、SOLm.nビットに1を設定している場合は“ 0 ”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わりません。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) q : UART番号 (q = 0-2)

mn = 00, 02, 10

2. : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

図13 - 88 UARTS0のUART送信時のレジスタ設定内容例 (1/2)

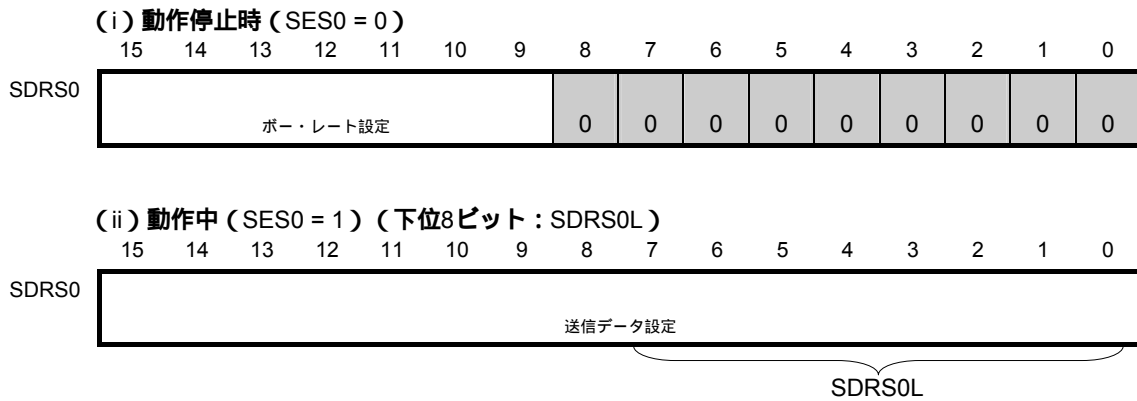


注 該当するチャネルのSOLS.0ビットに0を設定している場合は“1”に、SOLS.0ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考 : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図13 - 88 UARTS0のUART送信時のレジスタ設定内容例 (2/2)

(g) シリアル・データ・レジスタ0 (SDRS0)



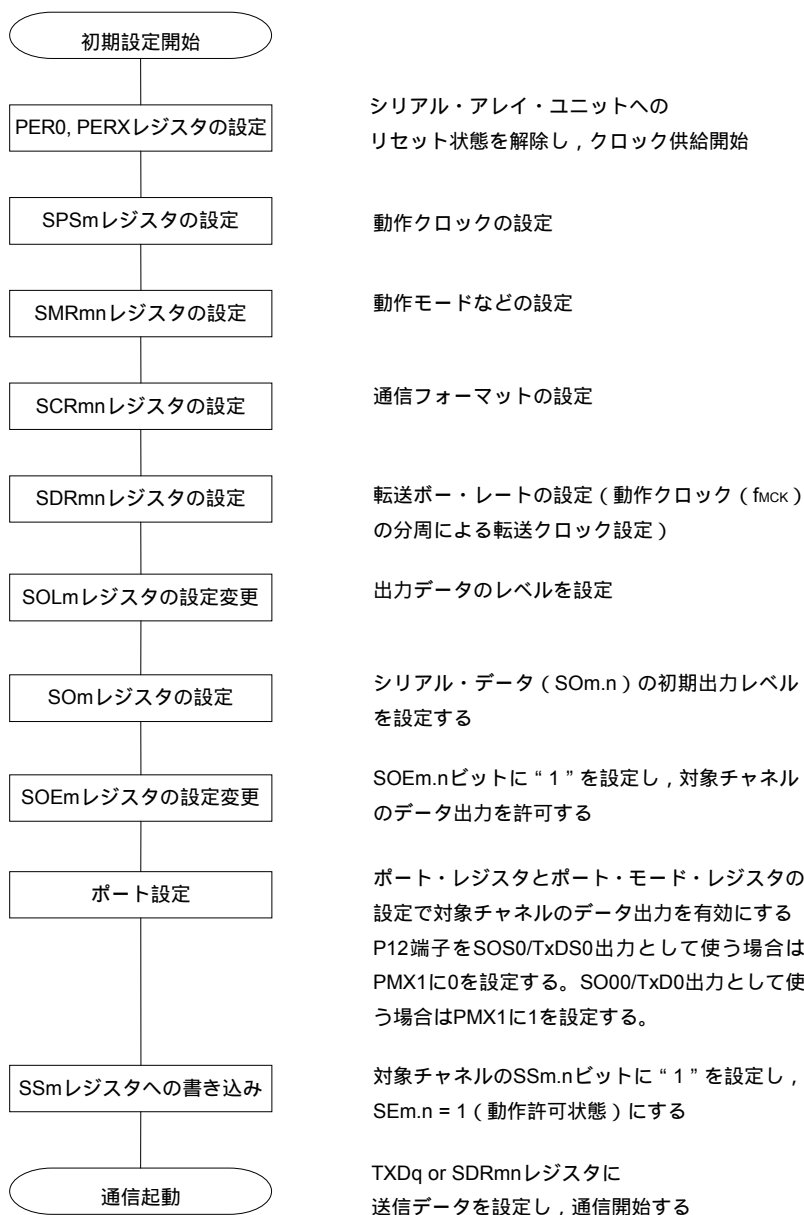
備考 : UART送信モードでは設定固定 : 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

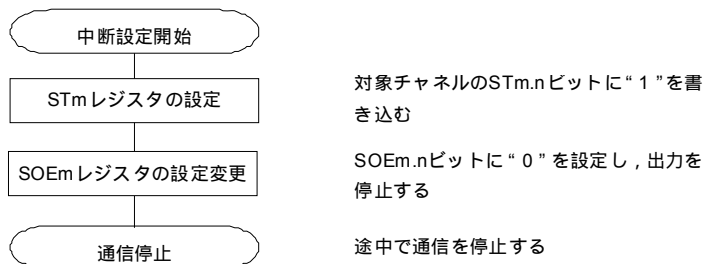
(2) 操作手順

図13 - 89 UART送信の初期設定手順



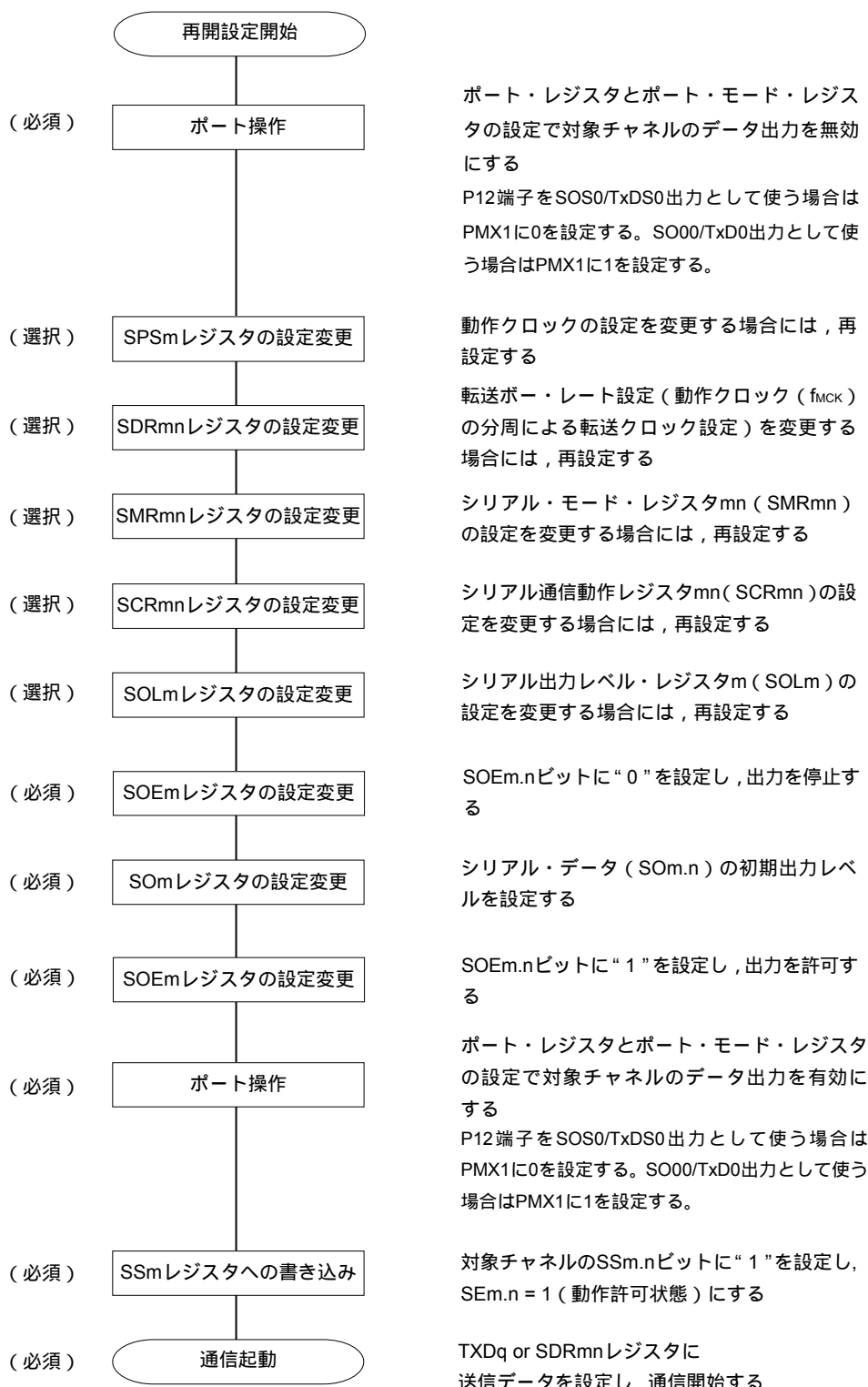
注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

図13 - 90 UART送信の中断手順



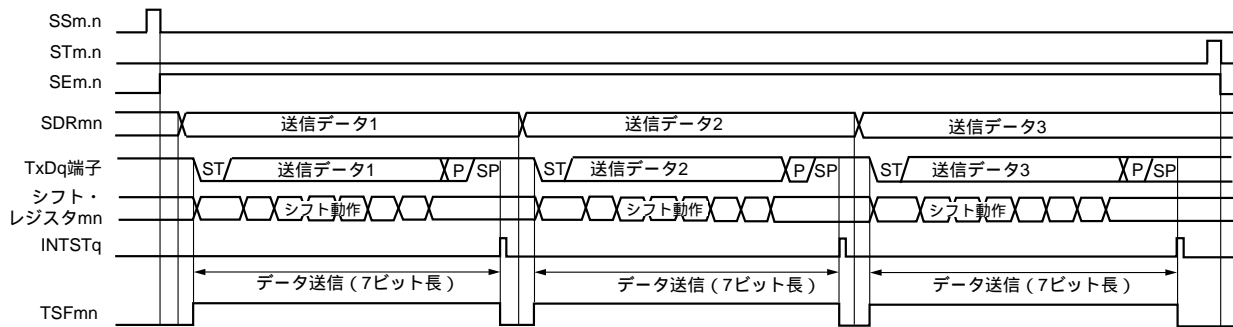
備考 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタm (SOm) を再設定してください（図13 - 91 UART送信の再開設定手順参照）。

図13 - 91 UART送信の再開設定手順



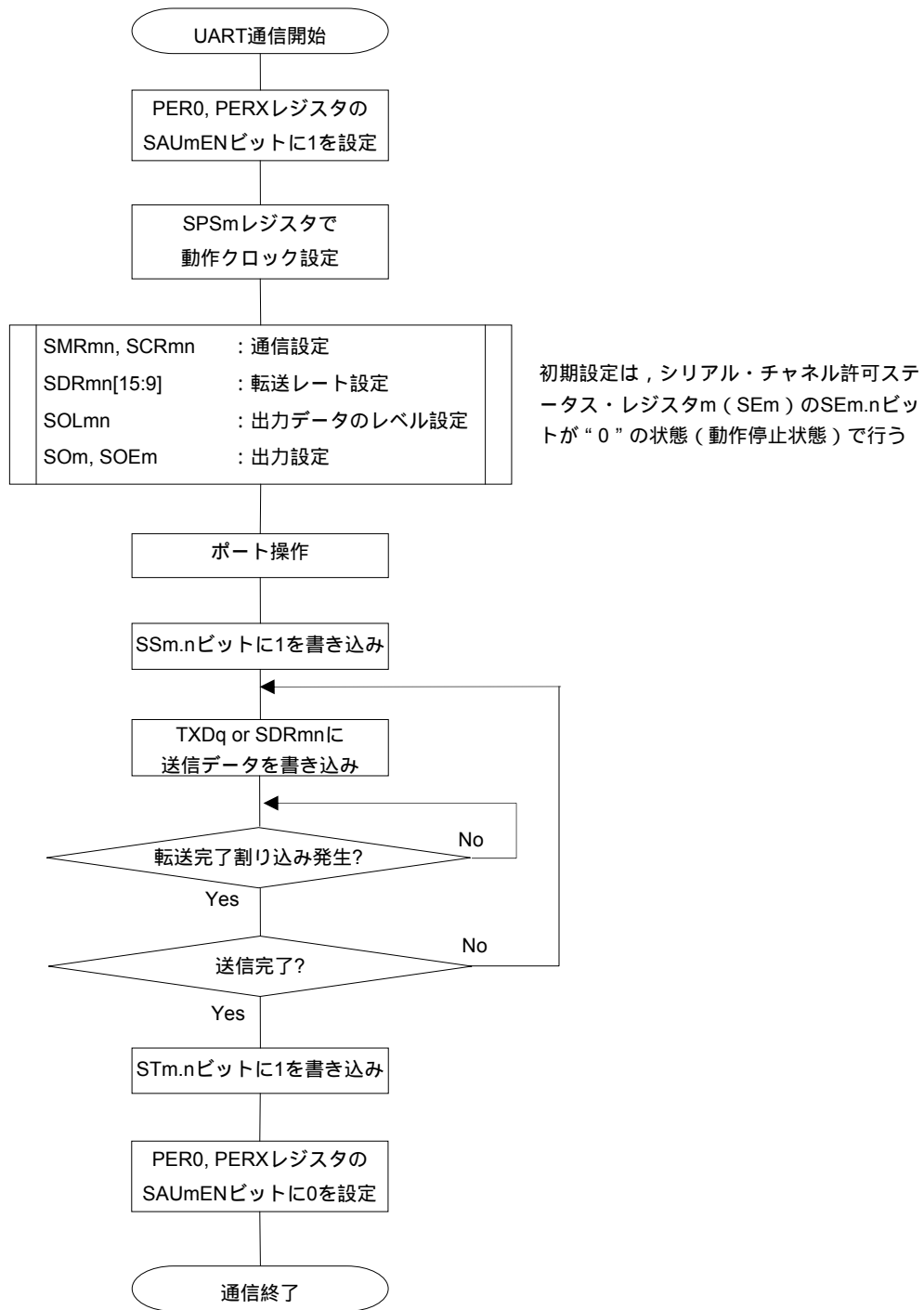
(3) 処理フロー (シングル送信モード時)

図13 - 92 UART送信 (シングル送信モード時) のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0, 2) q : UART番号 (q = 0-2, S0)
 mn = 00, 02, 10, S0

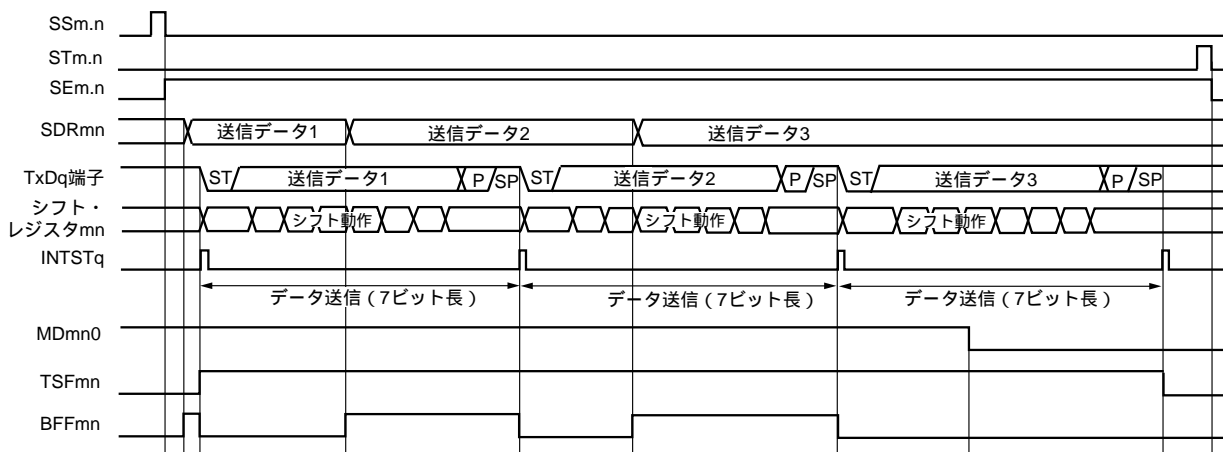
図13 - 93 UART送信 (シングル送信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ m (SPSm) を設定してください。

(4) 処理フロー (連続送信モード時)

図13 - 94 UART送信 (連続送信モード時) のタイミング・チャート



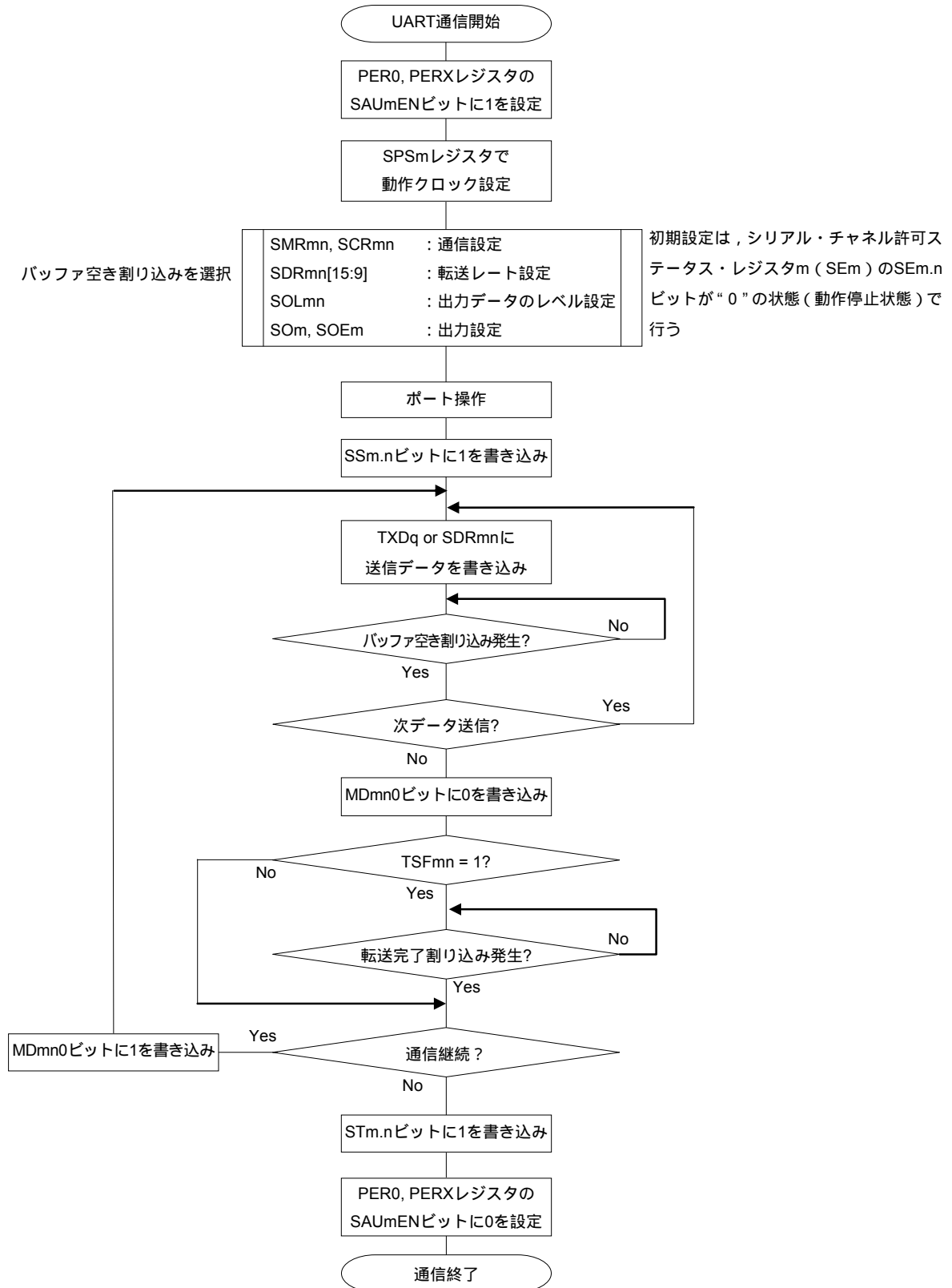
(注)

注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが “ 1 ” の期間 (有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき) にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0-2, S0)
mn = 00, 02, 10, S0

図13 - 95 UART送信 (連続送信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、fCLKの4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

備考 図中の ~ は、図13 - 94 UART送信 (連続送信モード時) のタイミング・チャートの ~ に対応しています。

13.6.2 UART受信

UART受信は、他デバイスからRL78/F12が非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UARTS0
対象チャンネル	SAU0の チャンネル1	SAU0の チャンネル3	SAU1の チャンネル1	SAU1の チャンネル1
使用端子	RxD0	RxD1	RxD2	RxDS0
割り込み	INTSR0	INTSR1	INTSR2	INTSRS0
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRES0
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEFmn） ・ パリティ・エラー検出フラグ（PEFmn） ・ オーバラン・エラー検出フラグ（OVFmn） 			
転送データ長	7-9ビット	7ビットまたは8ビット		7-9または16ビット
転送レート	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 3以上) , Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上) , Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックなし） ・ 0パリティ・ビット付加（パリティ・チェックなし） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 			
ストップ・ビット	1ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第31章 電気的特性（Jグレード））、第32章 電気的特性（Kグレード）参照）を満たす範囲内で使用してください。

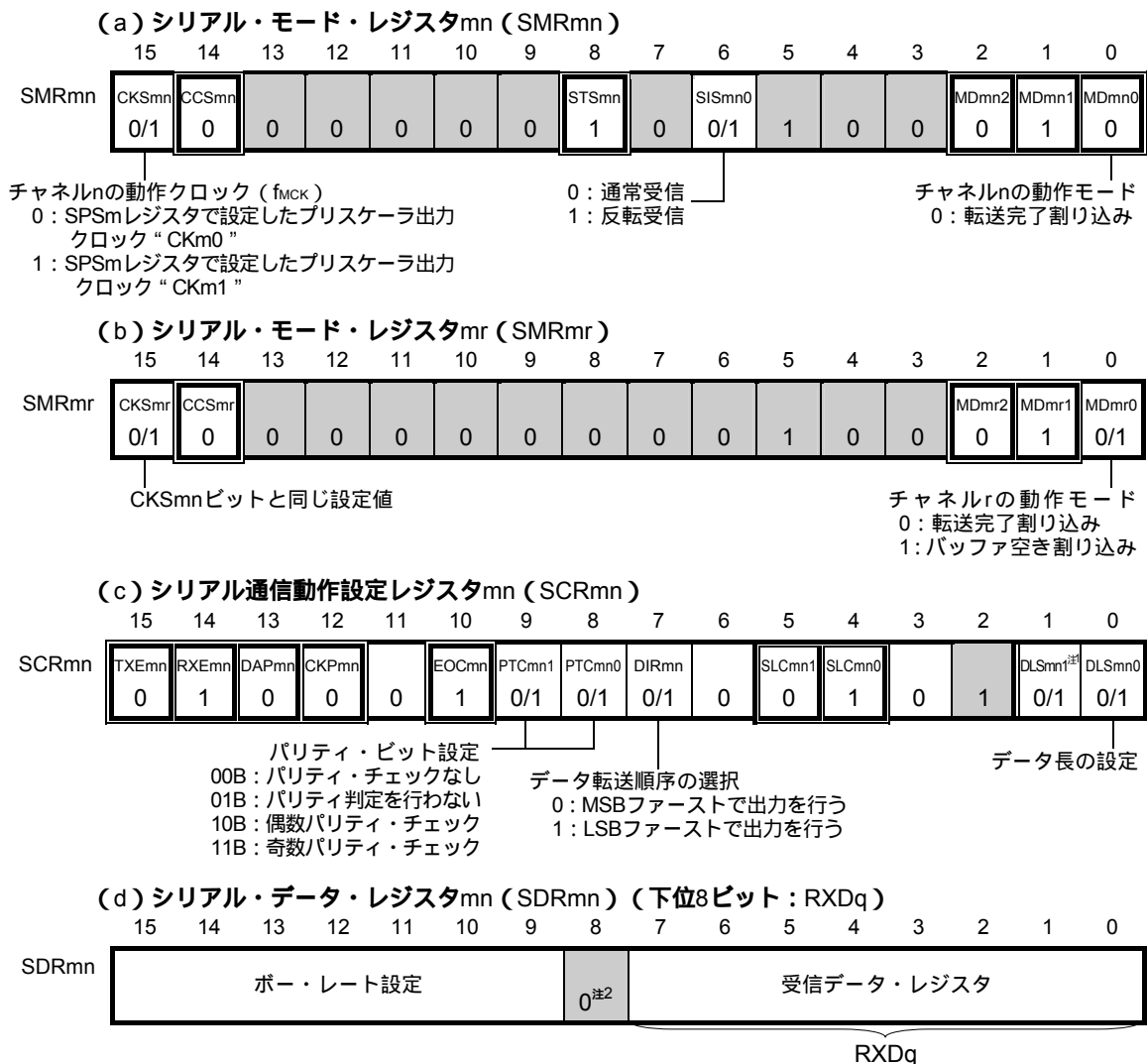
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. m ：ユニット番号（ $m = 0, 1, S$ ） n ：チャンネル番号（ $n = 1, 3$ ）, $mn = 01, 03, 11, S1$

(1) レジスタ設定

図13 - 96 UART (UART0-UART2) のUART受信時のレジスタ設定内容例 (1/2)



注1. SCR01レジスタ (UART0) のみ。SCR03レジスタ, SCR11レジスタでは1固定。

2. UART0が9ビット・データ長での通信 (SMR01レジスタのDLS011, DLS010 = 1, 1) を行う場合は, SDR01レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは, UART0のみです。

注意 UART受信時は, チャンネル_nとペアになるチャンネル_rのSMR_{mr}レジスタも必ず設定してください。

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 1, 3), mn = 01, 03, 11

r: チャンネル番号 (r = n - 1) q: UART番号 (q = 0-2)

2. □: UART受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図13 - 96 UART (UART0-UART2) のUART受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ_m (SO_m) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO _m					CKOm3 ^注	CKOm2 ^注	CKOm1	CKOm0					SOm.3 ^注	SOm.2 ^注	SOm.1	SOm.0
	0	0	0	0	x	x	x	x	0	0	0	0	x	x	x	x

(f) シリアル出力許可レジスタ_m (SOEm) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm.3 ^注	SOEm.2 ^注	SOEm.1	SOEm.0
	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x

(g) シリアル・チャンネル開始レジスタ_m (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm.3 ^注	SSm.2 ^注	SSm.1	SSm.0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	x	0/1	x

注 シリアル・アレイ・ユニット0のみ。

注意 UART受信時は、チャンネル_nとペアになるチャンネル_rのSMR_{mr}レジスタも必ず設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 1, 3) , mn = 01, 03, 11

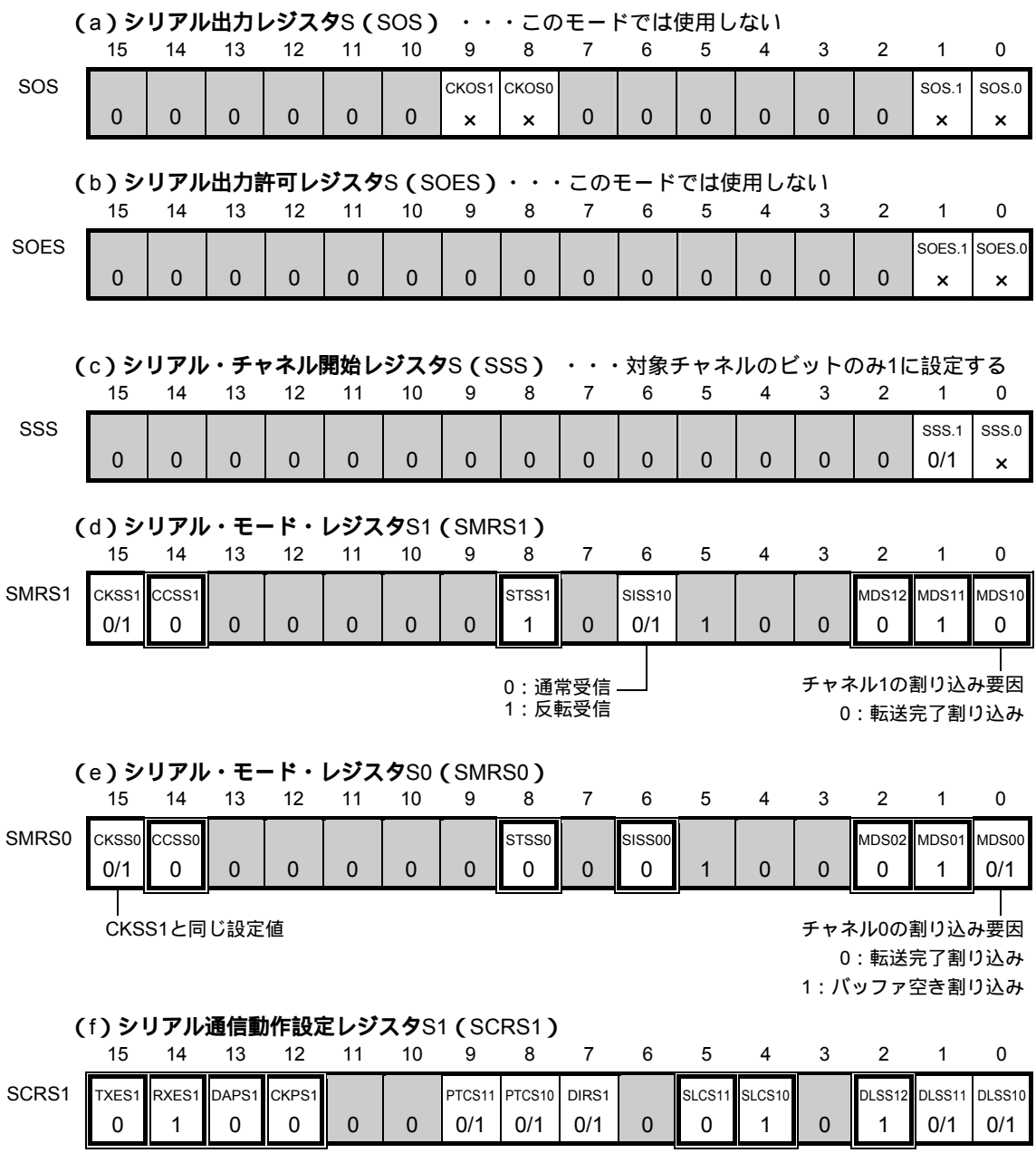
r : チャンネル番号 (r = n - 1) q : UART番号 (q = 0-2)

2. : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図13 - 97 UARTS0のUART受信時のレジスタ設定内容例 (1/2)

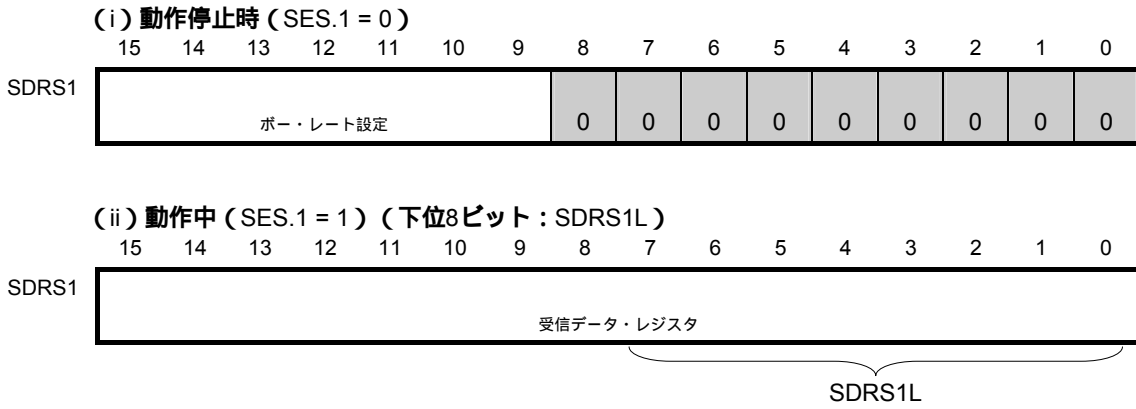


注意 UART受信時は、チャンネル1とペアになるチャンネル0のSMRS0も必ず設定してください。

備考 □: UART受信モードでは設定固定 ■: 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図13 - 97 UARTS0のUART受信時のレジスタ設定内容例 (2/2)

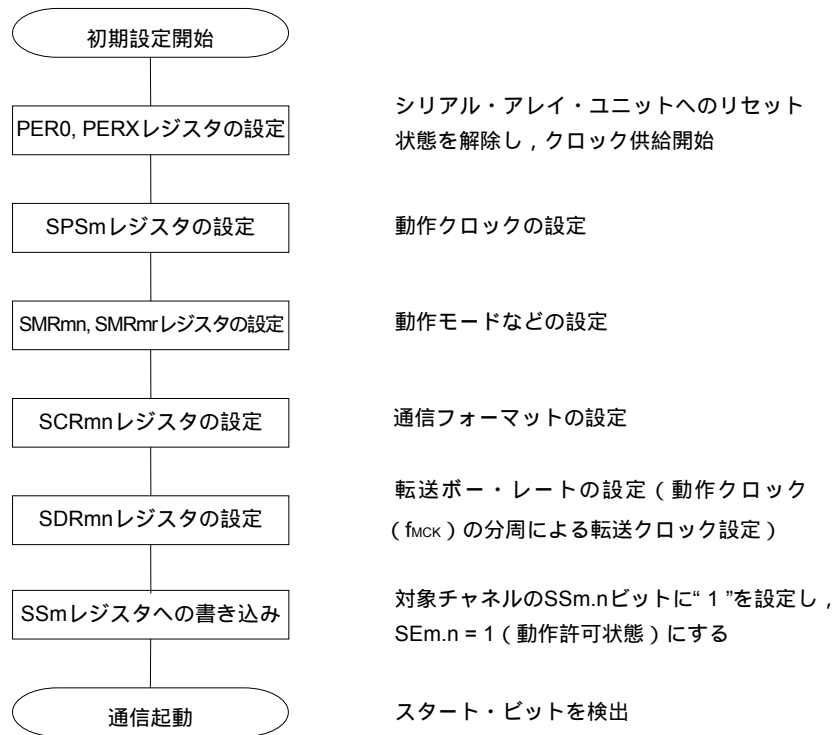
(g) シリアル・データ・レジスタS1 (SDRS1)



備考 : UART受信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図13 - 98 UART受信の初期設定手順



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

図13 - 99 UART受信の中断手順

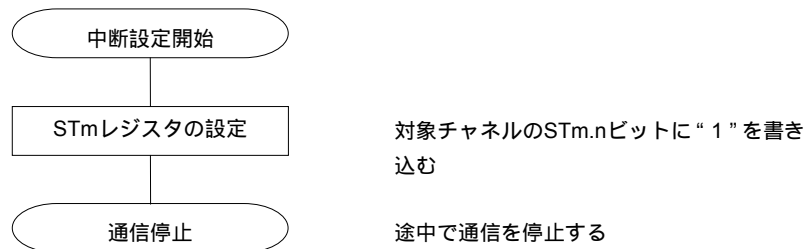
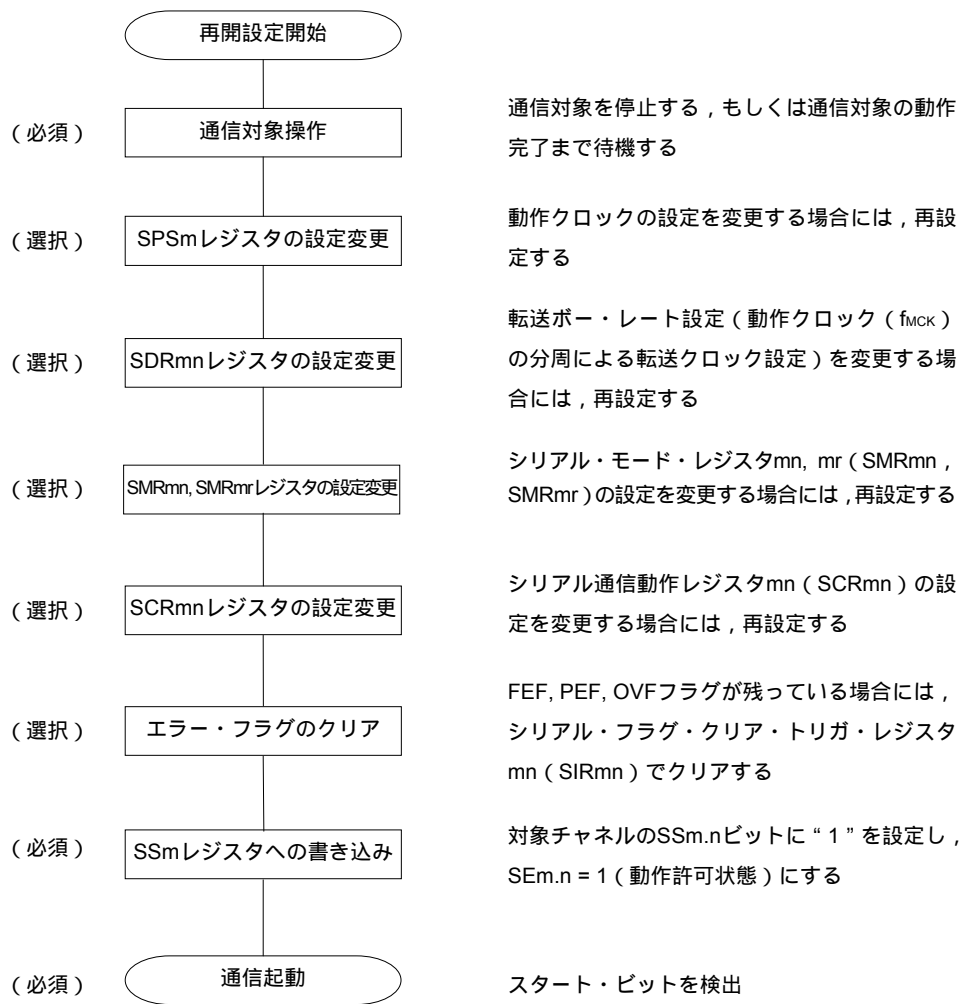
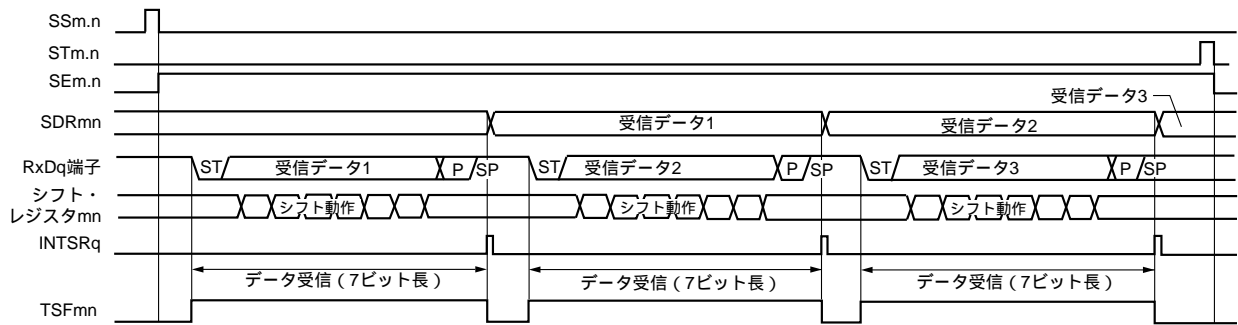


図13 - 100 UART受信の再開設定手順



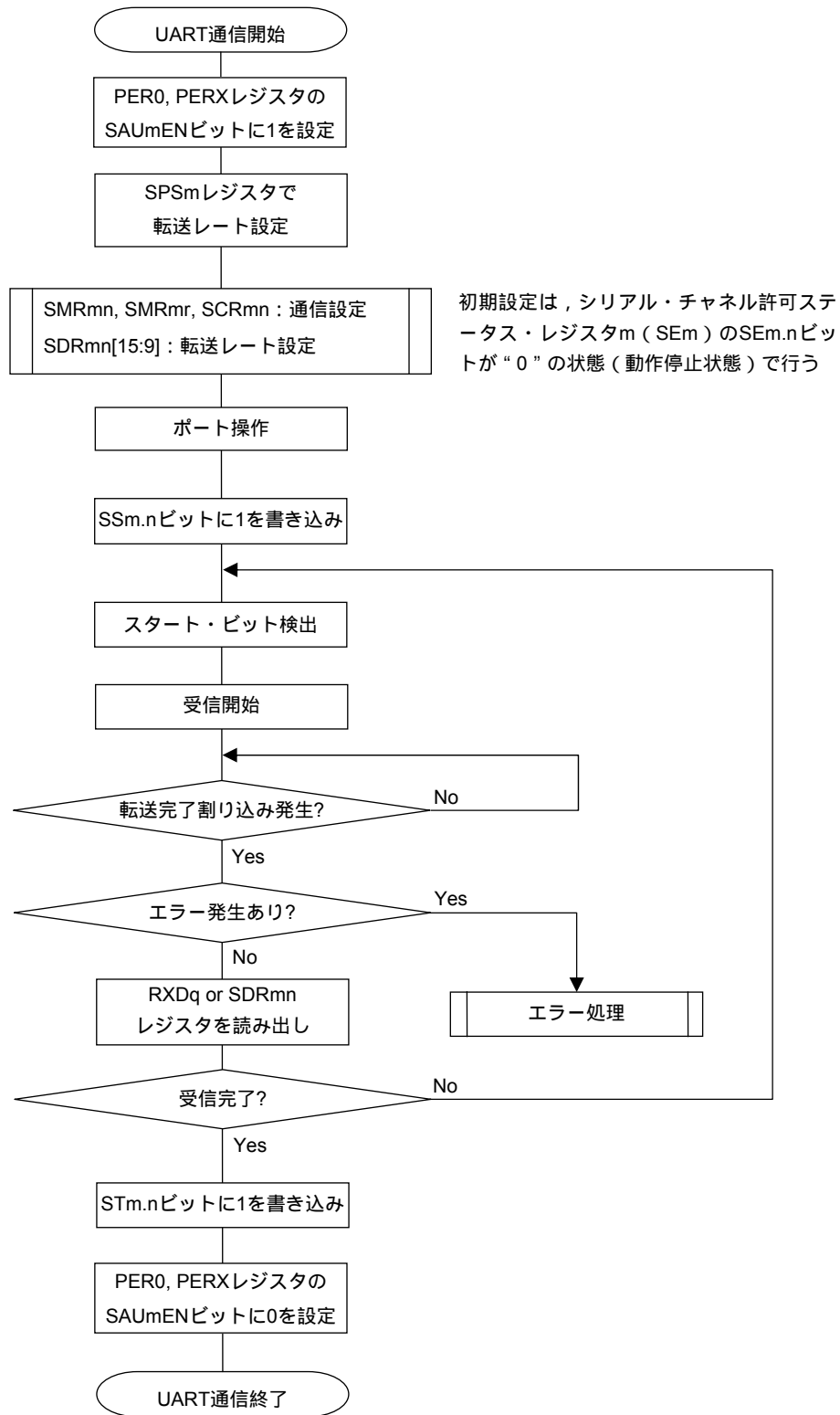
(3) 処理フロー

図13 - 101 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 1, 3) , mn = 01, 03, 11, S1
 r : チャネル番号 (r = n - 1) q : UART番号 (q = 0-2, S0)

図13 - 102 UART受信のフロー・チャート



注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

13.6.3 SNOOZEモード機能 (UART0受信のみ)

UART0受信 (ユニット0のチャンネル1) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD0端子入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ボーレート調整機能に対応している、UART0受信のみ設定可能です。

SNOOZEモード機能を使用する場合は、STOPモードに移行する前にシリアル・スタンバイ・コントロール・レジスタ0 (SSC0) のSWCビットを1に設定しておきます。

UART0をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。

- ・ SNOOZEモード時は、UART受信ボーレートの設定を通常動作時とは異なる値に変更する必要があります。表13-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- ・ EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSRE0) の発生許可/停止を設定することができます。
- ・ STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットをセット (1) します。

STOPモードに移行後、RxDqのエッジを検出 (スタート・ビット入力) すると、UART受信を開始します。

注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロック (f_{IH}) を選択している場合のみ使用できます。

2. SNOOZEモードでの転送レートは4800bpsのみです。
3. SWC=1の設定では、STOPモード中に受信開始したときのみUART0を使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
 - ・ SWC=1に設定後、STOPモードに移行する前に受信開始した場合
 - ・ 他のSNOOZEモード中に受信開始した場合
 - ・ STOPモードから割り込みなどで通常動作に復帰後、SWC=0に戻す前に受信開始した場合
4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1 で使用するときは、SWC = 1 に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。

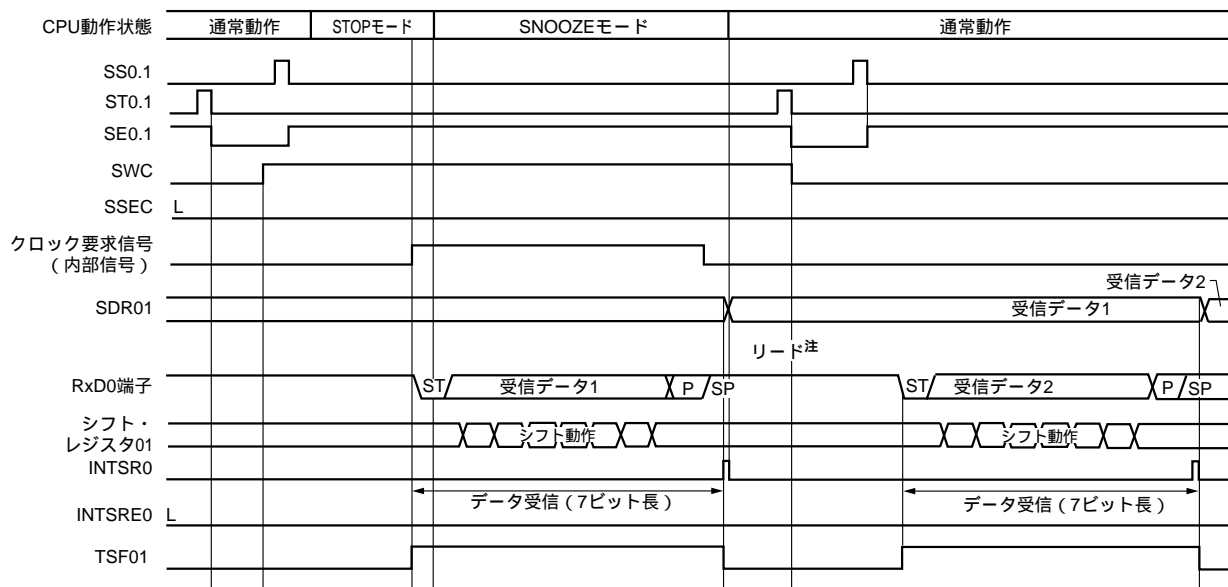
表13 - 3 SNOOZEモード時のUART受信ポー・レート設定

高速オンチップ・ オシレータ (f_{IH})	SNOOZEモード時のUART受信ポー・レート			
	ポー・レート4800 bps			
	動作クロック (f_{MCK})	SDRmn [15:9]	最大許容値	最小許容値
32MHz±2.0%	$f_{CLK} / 2^5$	105	1.27%	- 0.53%
24MHz±2.0%	$f_{CLK} / 2^5$	79	0.60%	- 1.18%
16MHz±2.0%	$f_{CLK} / 2^4$	105	1.27%	- 0.53%
12MHz±2.0%	$f_{CLK} / 2^4$	79	0.60%	- 1.19%
8MHz±2.0%	$f_{CLK} / 2^3$	105	1.27%	- 0.53%
4MHz±2.0%	$f_{CLK} / 2^2$	105	1.27%	- 0.53%
1MHz±2.0%	f_{CLK}	105	1.27%	- 0.57%

備考 最大許容値，最小許容値は，UART受信時のポー・レート許容値です。
この範囲に送信側のポー・レートが収まるように設定してください。

(1) SNOOZEモード動作 (通常動作)

図13 - 103 SNOOZEモード動作 (通常動作) 時のタイミング・チャート



注 受信データの読み出しは，SWC = 1の状態，次のRxD0端子のエッジ検出前に行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，必ずST0.1ビットを1に設定しSE0.1ビットをクリア (動作停止) させてください。

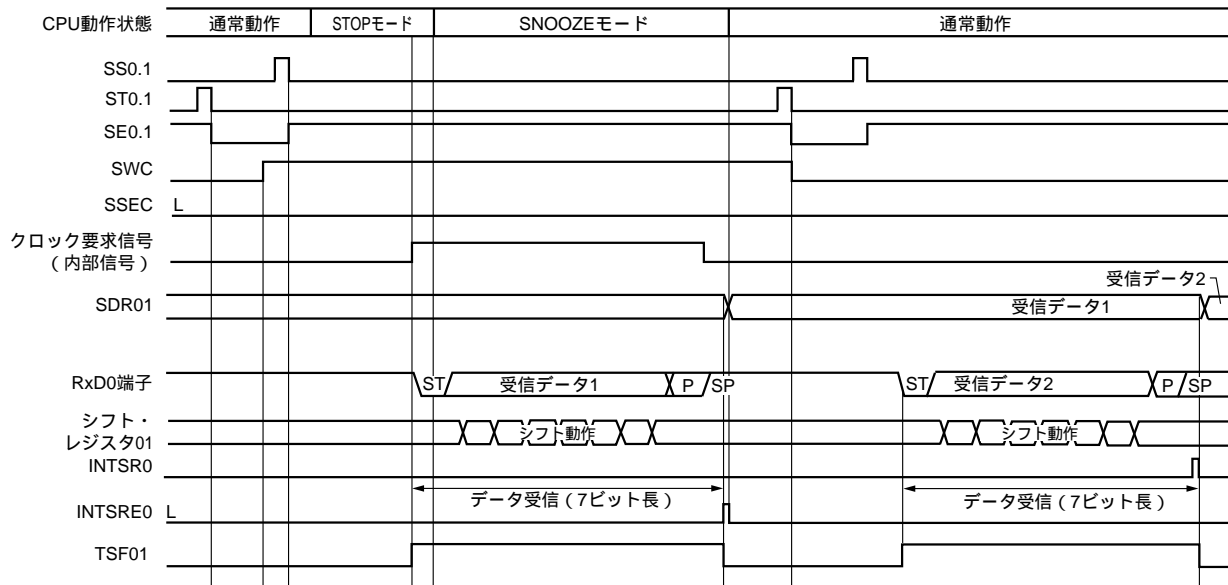
備考 図中の ~ は，図13 - 105 SNOOZEモード動作 (通常動作 / 異常動作) 時のフロー・チャートの ~ に対応しています。

(2) SNOOZEモード動作 (異常動作)

異常動作 は、SSEC = 0設定時に通信エラーが発生した場合の動作です。

SSEC = 0のため、通信エラーが発生した場合にエラー割り込み (INTSRE0) を発生します。

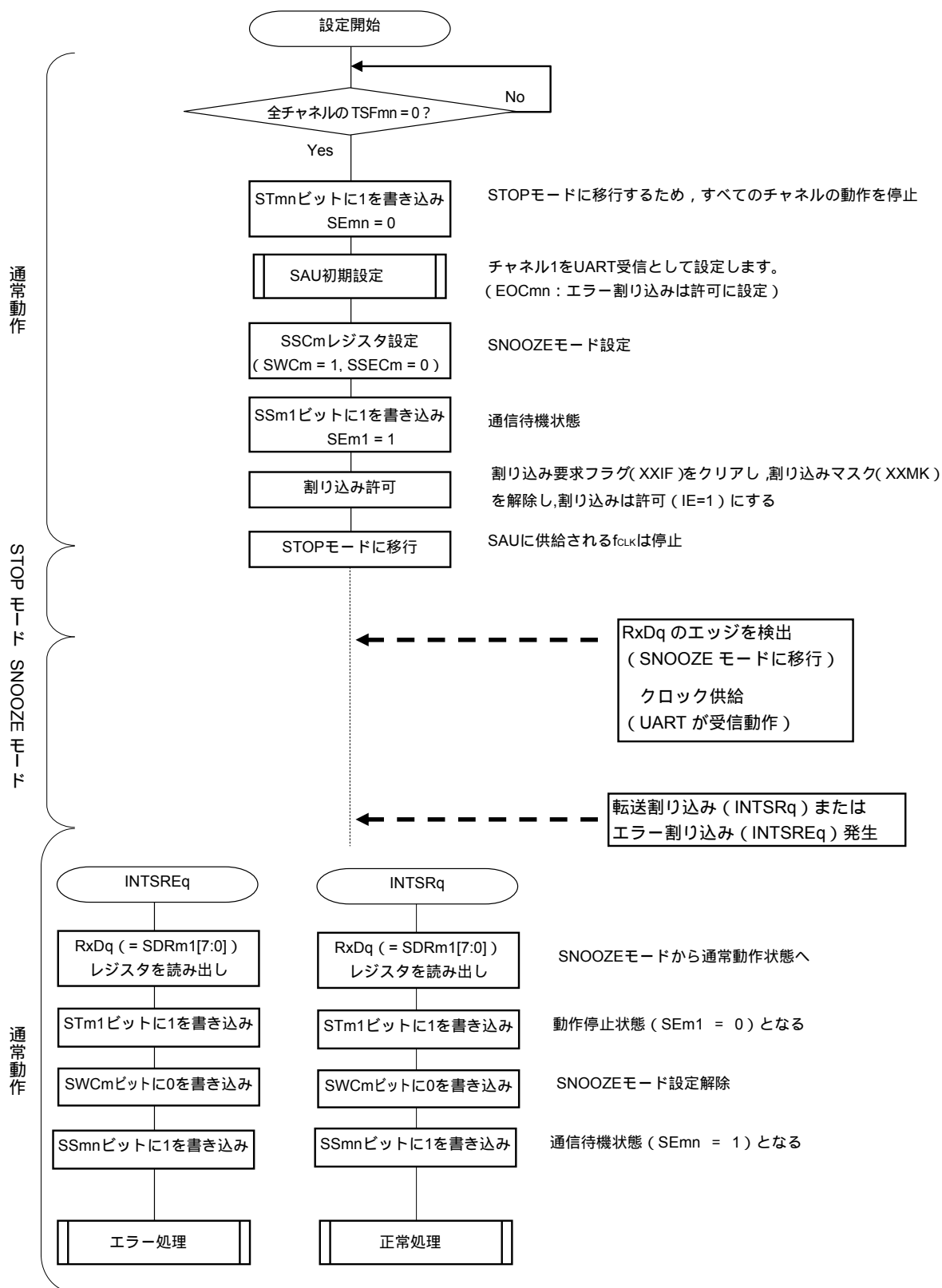
図13 - 104 SNOOZEモード動作 (異常動作) 時のタイミング・チャート



注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずST0.1ビットを1に設定しSE0.1ビットをクリア (動作停止) させてください。

備考 図中の ~ は、図13 - 105 SNOOZEモード動作 (通常動作 / 異常動作) 時のフロー・チャートの ~ に対応しています。

図13 - 105 SNOOZEモード動作（通常動作 / 異常動作）時のフロー・チャート



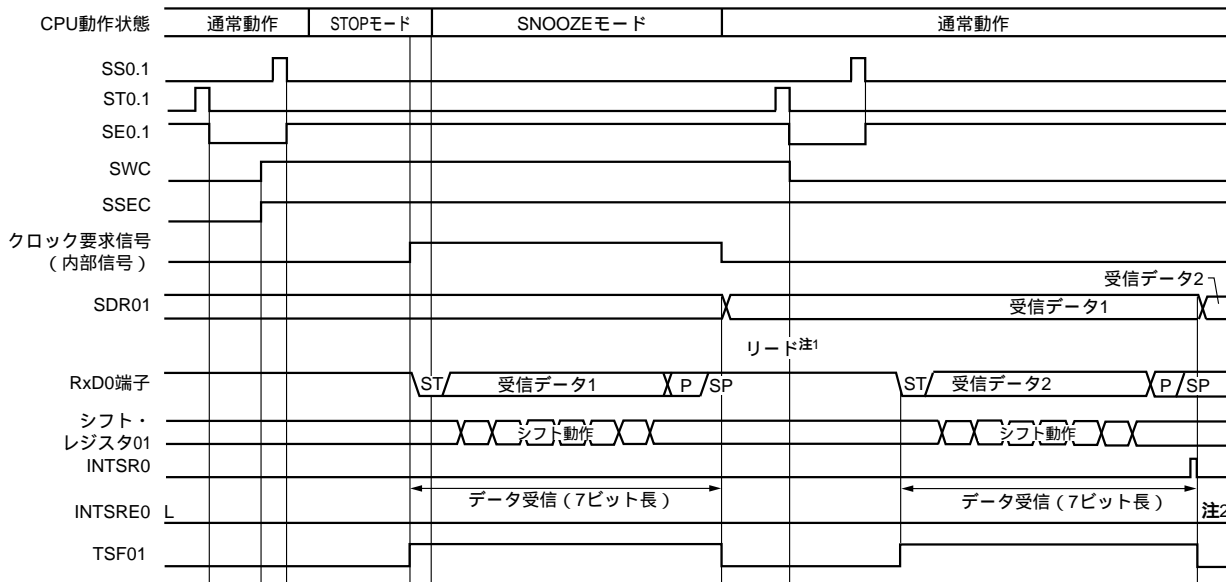
備考 図中の ~ は、図13 - 103 SNOOZEモード動作（通常動作）時のタイミング・チャート，図13 - 104 SNOOZEモード動作（異常動作）時のタイミング・チャートの ~ に対応しています。

(3) SNOOZEモード動作 (異常動作)

異常動作 は、SSEC = 1設定時に通信エラーが発生した場合の動作です。

SSEC = 1のため、通信エラーが発生した場合にエラー割り込み (INTSRE0) を発生しません。

図13 - 106 SNOOZEモード動作 (異常動作) 時のタイミング・チャート



注1. 受信データの読み出しは、SWC = 1の状態、次のRxD0端子のエッジ検出前に行ってください。

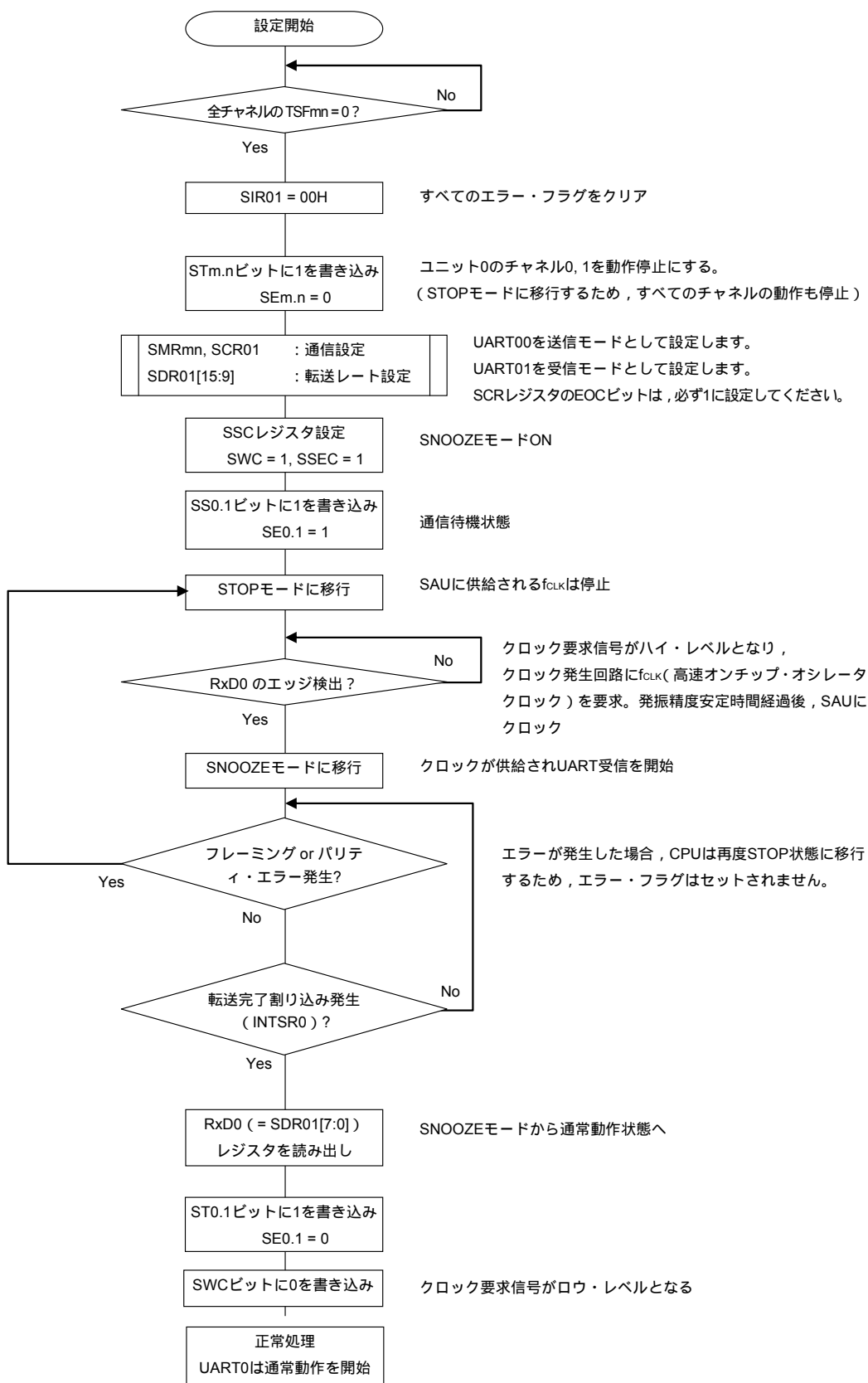
2. UART0がSNOOZEモードで正常に受信完了したあとは、設定を変更せずに続けて通常の受信動作を実施することができるが、SSEC = 1のためフレーミング・エラー、パリティ・エラーが発生してもPEF01, FEF01ビットはセットされません。また、エラー割り込み (INTSRE0) も発生しません。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずST0.1ビットを1に設定しSE0.1ビットをクリア (動作停止) させてください。

2. SSEC = 1の設定でSNOOZEモードを使用した場合、オーバラン・エラーが発生しません。そのためSNOOZEモードを使用する場合は、STOPモード移行前にSDR01レジスタのビット7-0 (RxD0) を読み出してください。

備考 図中の ~ は、図13 - 107 SNOOZEモード動作 (異常動作) 時のフロー・チャートの ~ に対応しています。

図13 - 107 SNOOZEモード動作（異常動作）時のフロー・チャート



(注意、備考は次ページにあります。)

注意 SSEC = 1 の設定で SNOOZE モードを使用した場合、オーバラン・エラーが発生しません。そのため SNOOZE モードを使用する場合は、STOP モード移行前に SDR01 レジスタのビット 7-0 (RxD0) を読み出してください。

備考 図中の ~ は、図 13 - 106 SNOOZE モード動作 (異常動作) 時の タイミング・チャートの ~ に対応しています。

13.6.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART2, UARTS0) 通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (f}_{\text{MCK}}) \text{周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{bps}]$$

注意 UART0-UART2では、シリアル・データ・レジスタmn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B, 0000010B) は設定禁止です。

UARTS0では、シリアル・データ・レジスタmn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART0-UART2使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値 (0000010B-1111111B) なので、2-127になります。

UARTS0使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値 (0000010B-1111111B) なので、2-127になります。

2. m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11, S0, S1

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmnビット) で決まります。

表13 - 4 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{CLK}) ^注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	32 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	16 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	8 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	4 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	15.63 kHz
1	0	0	0	0	X	X	X	X	f _{CLK}	32 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	16 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	8 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	4 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	1 MHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	15.63 kHz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (シリアル・チャンネル停止レジスタm (STm) = 000FH) させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3) , mn = 00-03, 10, 11, S0, S1

(2) 送信時のボー・レート誤差

UART (UART0-UART2, UARTS0) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 32 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 32 \text{ MHz}$ 時			
	動作クロック (f_{MCK})	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{\text{CLK}}/2^9$	103	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	103	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	103	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	103	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	103	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	103	9615.38 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	103	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	63	31250.0 bps	±0.0 %
38400 bps	$f_{\text{CLK}}/2^2$	103	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	103	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	103	153846 bps	+0.16 %
312500 bps	f_{CLK}	50	312500 bps	±0.39 %

備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 0, 2) , mn = 00, 02, 10, S0

(3) 受信時のポー・レート許容範囲

UART (UART0-UART2, UARTS0) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$\text{(受信可能な最大ポー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ポー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値 (13.6.4 (1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1, S) n : チャネル番号 (n = 1, 3) , mn = 01, 03, 11, S1

図13 - 108 受信時の許容ポー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

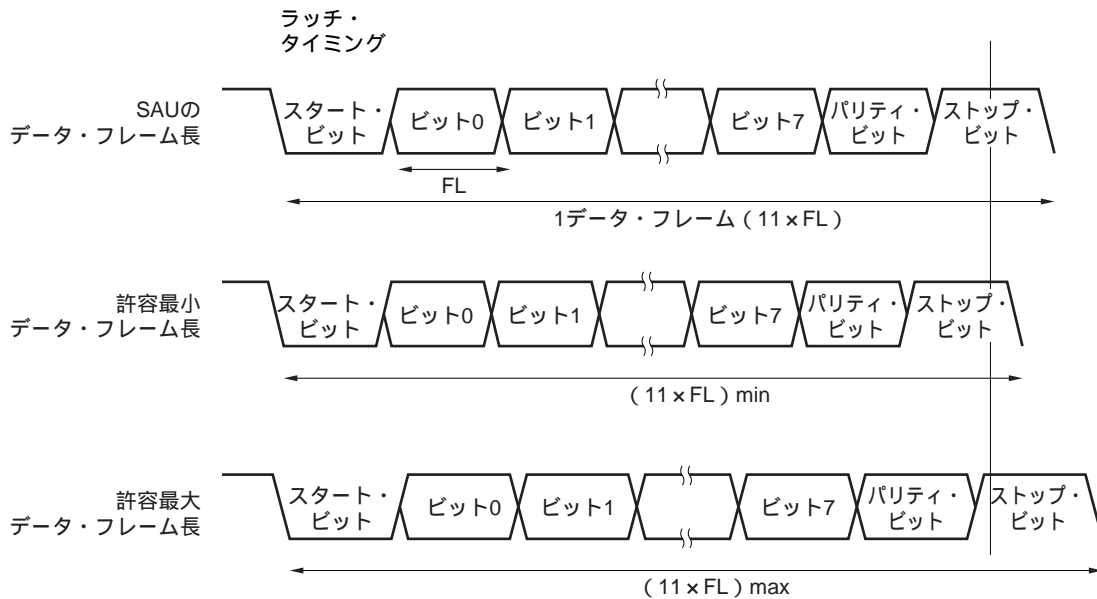


図13 - 108に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

13. 6. 5 UART (UART0-UART2, UARTS0) 通信時におけるエラー発生時の処理手順

UART (UART0-UART2, UARTS0) 通信時にエラーが発生した場合の処理手順を図13 - 109, 図13 - 110に示します。

図13 - 109 パリティ・エラーおよびオーバーラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり, チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出し時のエラーのみをクリアできる

図13 - 110 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり, チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタm (STm) のSTm.nビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEm.nビットが“0”となり, チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため, 通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタm (SSm) のSSm.nビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEm.nビットが“1”となり, チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1, S) n : チャンネル番号 (n = 0-3) , mn = 00-03, 10, 11, S0, S1

13.7 LIN通信の動作

13.7.1 LIN送信

UART送信のうち、30, 32, 48, 64ピン製品のUART2はLIN通信に対応しています。

LIN送信では、ユニット1のチャンネル0を使用します。

UART	UART0	UART1	UART2	UARTS0
LIN通信対応	不可	不可	可	不可
対象チャンネル	-	-	SAU1のチャンネル0	-
使用端子	-	-	TxD2	-
割り込み	-	-	INTST2	-
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	8ビット			
転送レート	Max. $f_{MCK}/6$ [bps] (SDR10[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし			
ストップ・ビット	以下の選択が可能 ・1ビット付加			
データ方向	LSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第31章 電気的特性（Jグレード）・第32章 電気的特性（Kグレード）参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

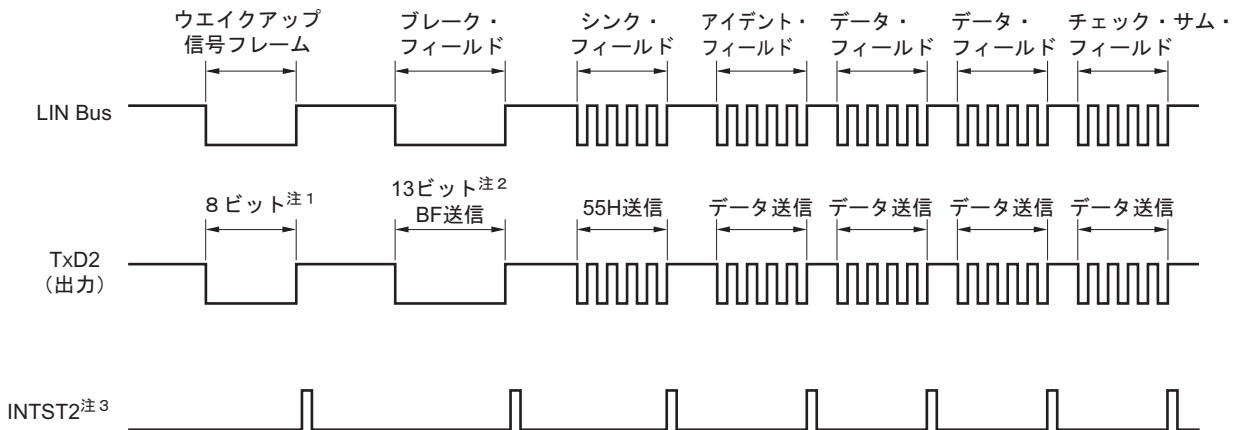
LINのマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINの Protokolでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が±15%以下であれば、通信可能です。

LINの送信操作の概略を、図13-111に示します。

図13-111 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにボー・レートを設定し、00Hのデータ送信をすることで対応します。

2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するボー・レートをN [bps]とすると、ブレーク・フィールドで使用するボー・レートは次のようになります。

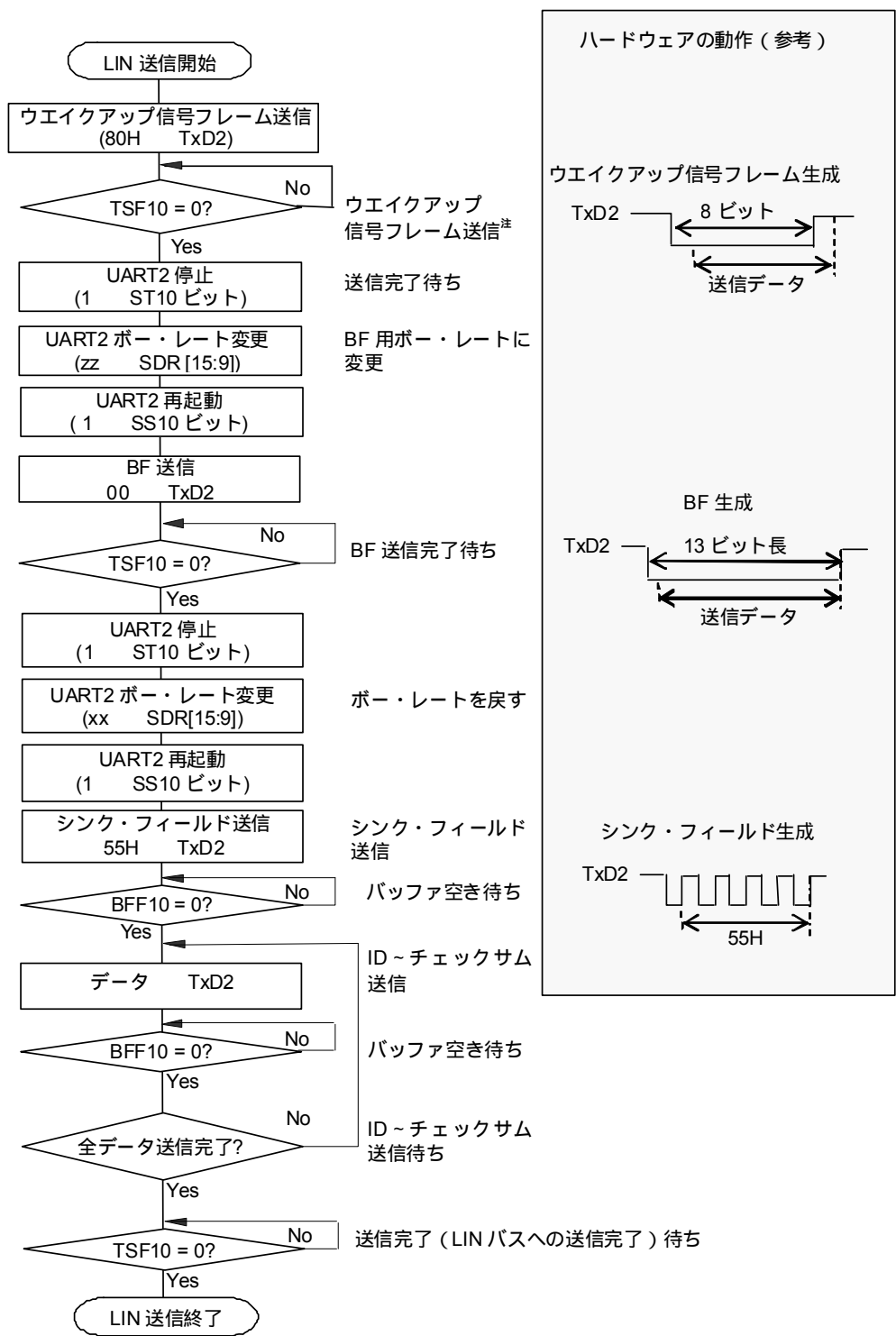
$$\boxed{(\text{ブレーク・フィールド時のボー・レート}) = 9/13 \times N}$$

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

3. 各送信終了時にはINTST2を出力します。またBF送信時もINTST2を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図13 - 112 LIN送信のフロー・チャート



13.7.2 LIN受信

UART受信のうち，30, 32, 48, 64ピン製品のUART2はLIN通信に対応しています。

LIN受信では，ユニット1のチャンネル1を使用します。

UART	UART0	UART1	UART2	UARTS0
LIN通信対応	不可	不可	可	不可
対象チャンネル	-	-	SAU1のチャンネル1	-
使用端子	-	-	RxD2	-
割り込み	-	-	INTSR2	-
	転送完了割り込みのみ（パツファ空き割り込みは設定禁止）			
エラー割り込み	-	-	INTSRE2	-
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF11） ・ オーバラン・エラー検出フラグ（OVF11） 			
転送データ長	8ビット			
転送レート	Max. $f_{MCK}/6$ [bps]（SDR11[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・ パリティ・ビットなし（パリティ・チェックしない）			
ストップ・ビット	以下の選択が可能 ・ 1ビット付加			
データ方向	LSBファースト			

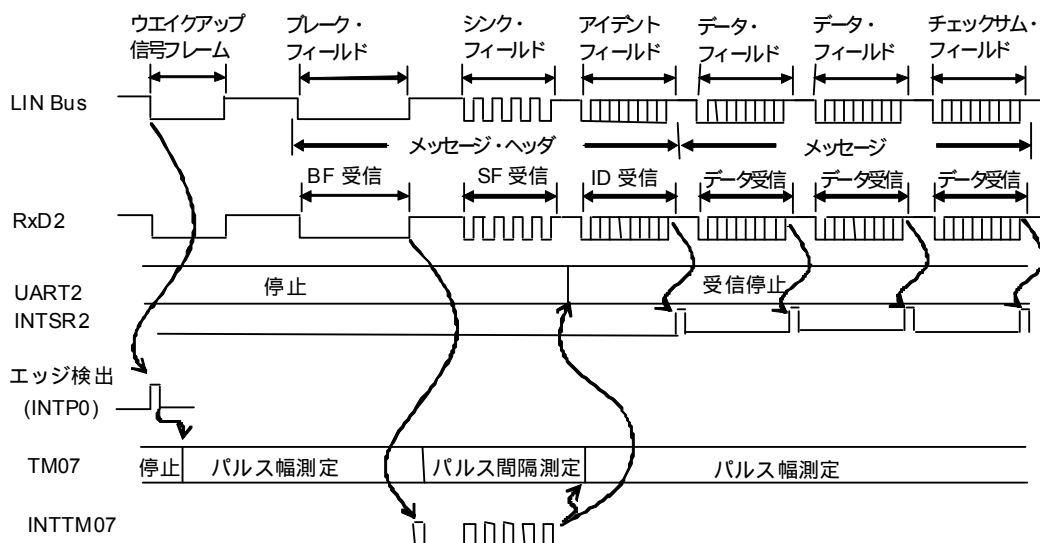
注 この条件を満たし，かつ電気的特性のAC特性（第31章 電気的特性（Jグレード）・第32章 電気的特性（Kグレード）参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

LINの受信操作の概略を，図13 - 113に示します。

図13 - 113 LINの受信操作



受信処理の流れを次に示します。

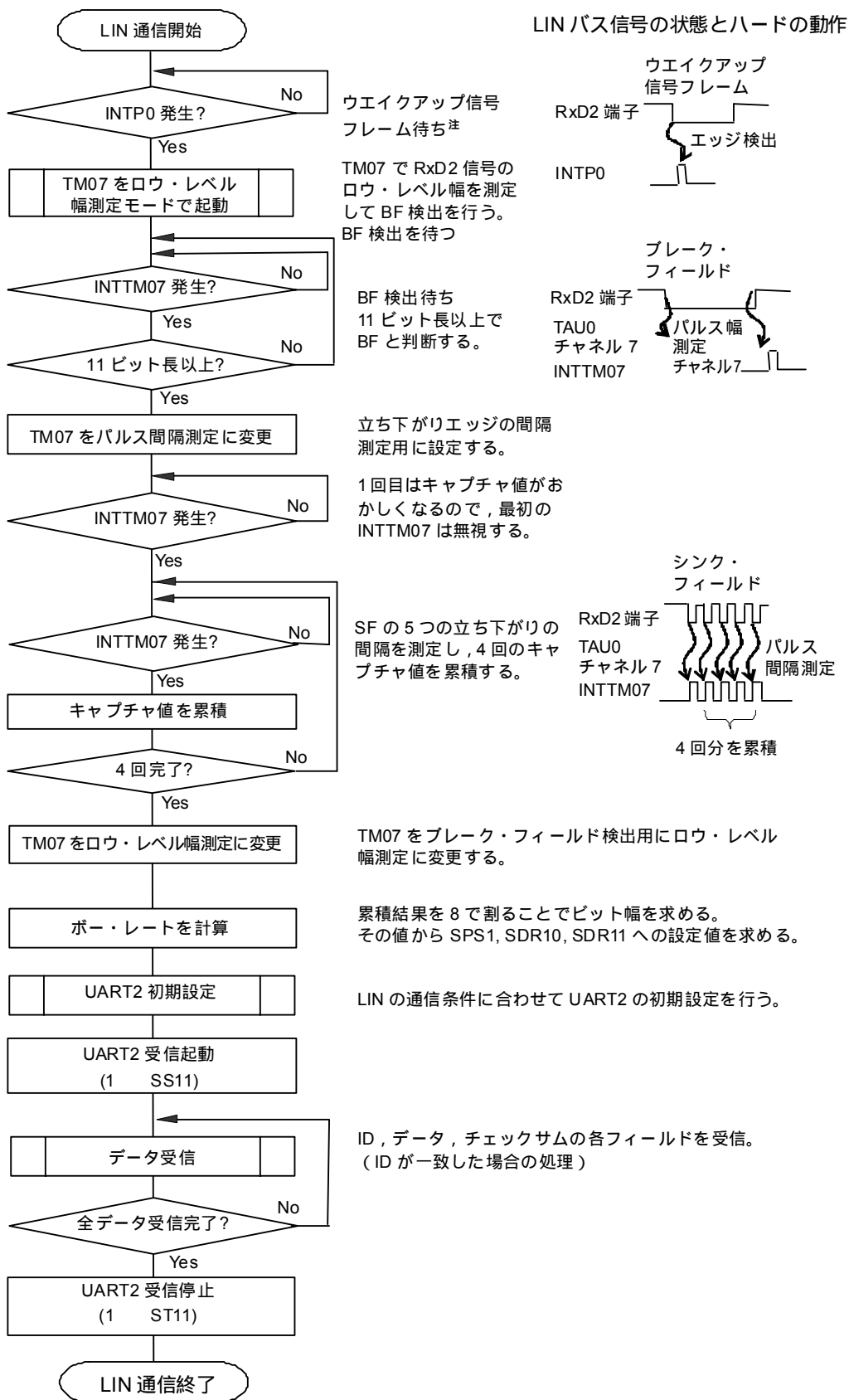
ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTP0) で行います。ウェイクアップ信号を検出したら、TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して、BF受信待ち状態にします。BFの立ち下がりを検出したら、TM07はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。

BF受信を正常終了した場合、TM07をパルス間隔測定に設定し、シンク・フィールドのRxD2信号の立ち下がりの間隔を4回測定してください (6.7.4 入力パルス間隔測定としての動作を参照)。

シンク・フィールド (SF) のビット間隔からボー・レート誤差を算出します。そして、いったんUART2を動作停止にしてからボー・レートを調整 (再設定) してください。

チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART2を初期化し、再びBF受信待ちに設定する処理もソフトウェアにて行ってください。

図13 - 114 LIN受信のフロー・チャート



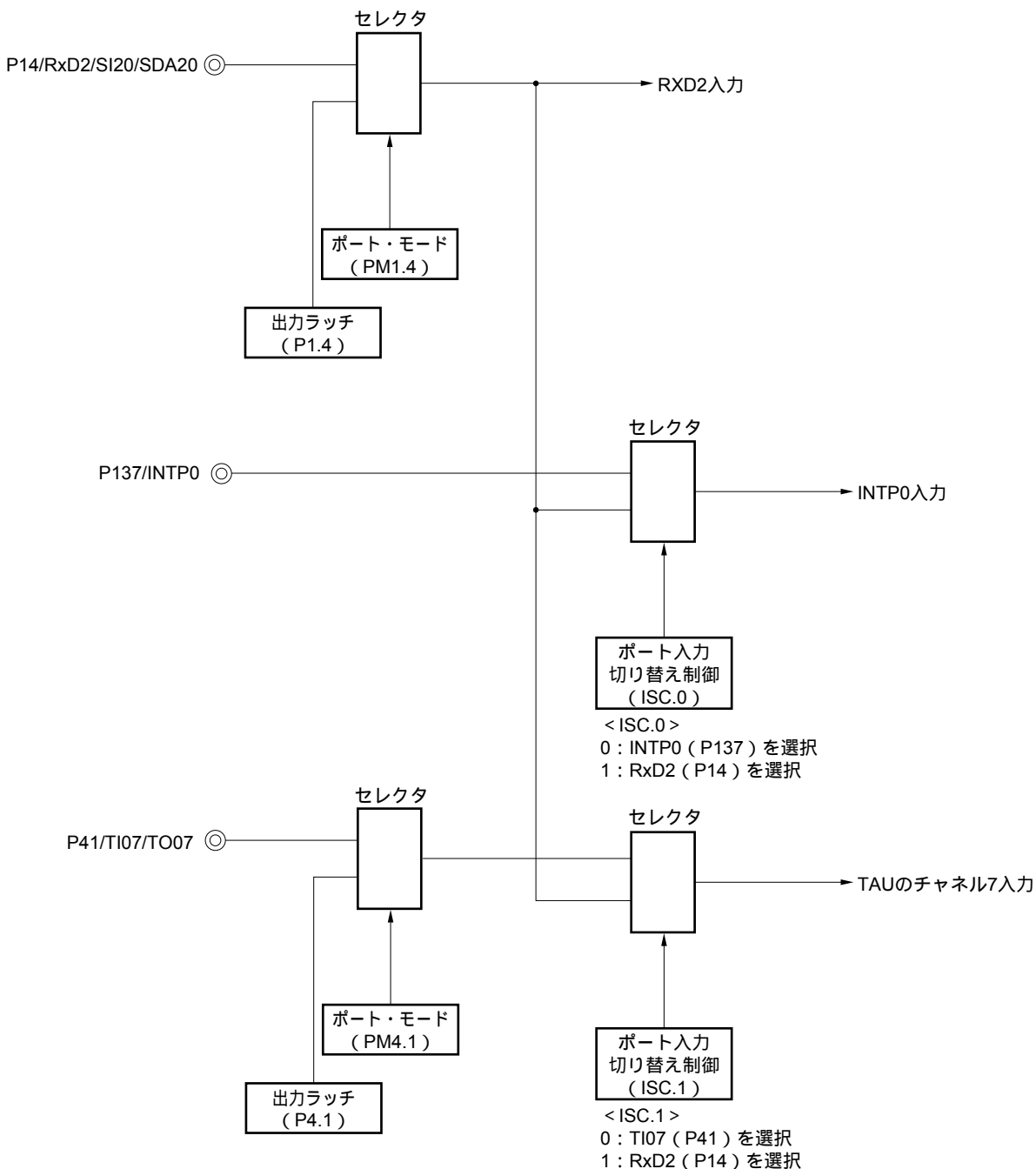
注 スリープ状態でのみ必要となります。

図13-115, 図13-116はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を,外部割り込み(INTP0)のエッジ検出にて行います。また, LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し, ポー・レート誤差を算出することができます。

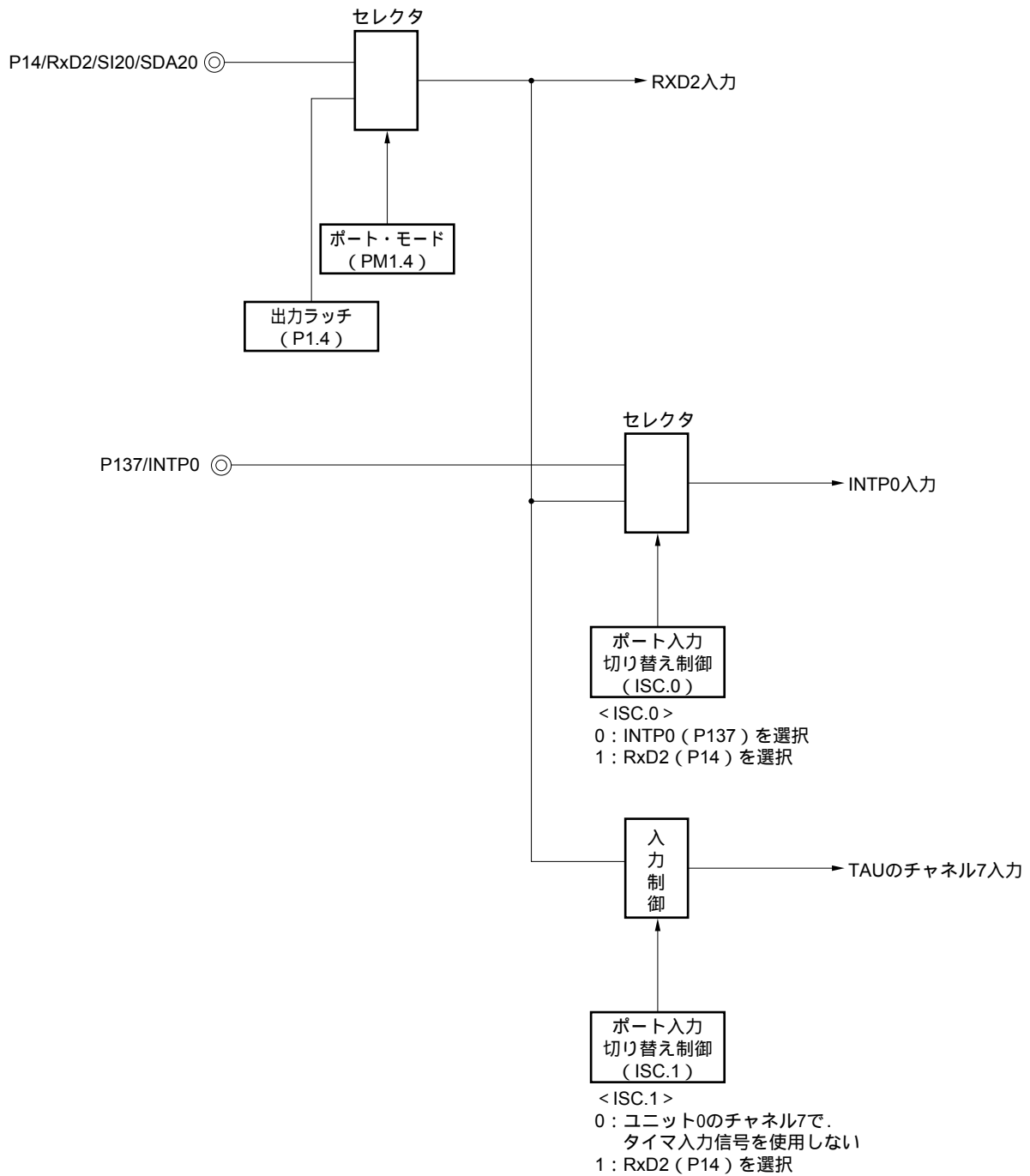
ポート入力切り替え制御 (ISC.0/ISC.1) により, 外部で結線をせずに, 受信用ポート入力 (RxD2) の入力ソースを外部割り込み (INTP0) およびタイマ・アレイ・ユニットへ入力することができます。

図13 - 115 LINの受信操作のポート構成図 (30, 32ピン製品の場合)



備考 ISC.0, ISC.1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図13 - 21参照)

図13 - 116 LINの受信操作のポート構成図 (48, 64ピン製品の場合)



備考 ISC.0, ISC.1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図13 - 21参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・タイマ・アレイ・ユニットのチャンネル7; ボー・レート誤差検出, ブレーク・フィールド (BF) 検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (Rx/D2 入力エッジの間隔をキャプチャ・モードで測定)
ロウ・レベル幅を測定し, ブレーク・フィールド (BF) を判定
- ・シリアル・アレイ・ユニット1 (SAU1) のチャンネル0, 1 (UART2)

13. 8 簡易²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易²Cでは、EEPROM, フラッシュ・メモリ, A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション, ストップ・コンディションは, IICバスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能[※], ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は, 上位7ビットでアドレス指定し, 最下位1ビットでR/W制御)
- ・ソフトウェアによるスタート・コンディション, ストップ・コンディションの発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・ACKエラー検出フラグ

[簡易²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウエイト検出機能

注 最終データの受信時は, SOEm.n (SOEmレジスタ) ビットに0を書き込み, シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は, 13. 8. 3 (2) **処理フロー**を参照してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) , mn = 00-03, 10, 11

簡易²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) に対応しているチャンネルは , SAU0のチャンネル0-3とSAU1のチャンネル0, 1です。

20ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易 ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	-	-
	3	-		-
1	0	-	-	-
	1	-		-
S	0	CSIS0	UARTS0	-
	1	-		-

30, 32ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易 ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	UART1	-
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	-		-
S	0	CSIS0	UARTS0	-
	1	-		-

48ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易 ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	-	UART1	-
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
S	0	CSIS0	UARTS0	-
	1	-		-

64ピン製品

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
S	0	CSIS0	UARTS0	-
	1	CSIS1		-

簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) の通信動作は、以下の4種類があります。

- ・ アドレス・フィールド送信 (13. 8. 1項を参照)
- ・ データ送信 (13. 8. 2項を参照)
- ・ データ受信 (13. 8. 3項を参照)
- ・ ストップ・コンディション発生 (13. 8. 4項を参照)

13.8.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、 I^2C 通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

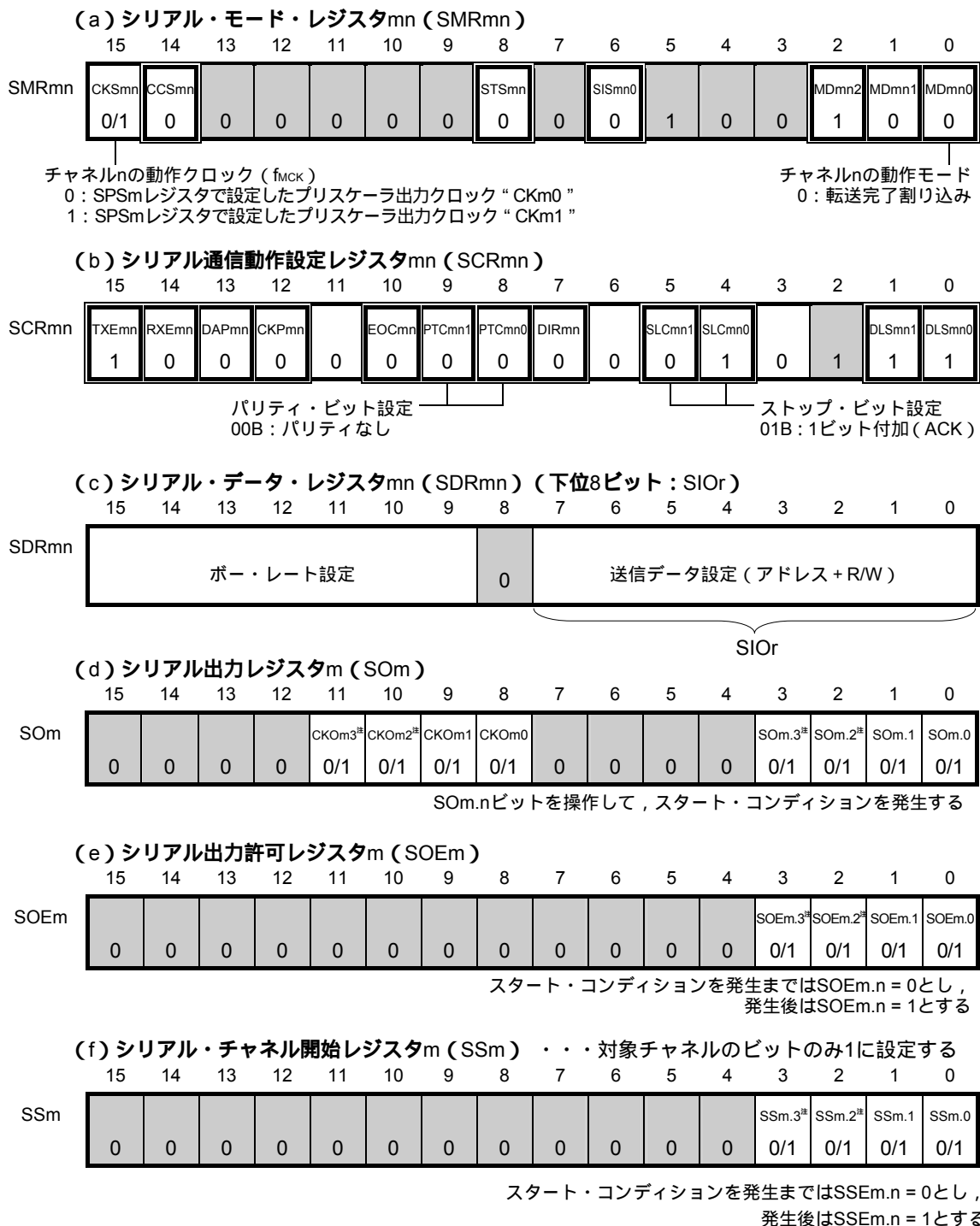
簡易 I^2C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCL00, SDA00 ^注	SCL01, SDA01 ^注	SCL10, SDA10 ^注	SCL11, SDA11 ^注	SCL20, SDA20 ^注	SCL21, SDA21 ^注
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）					
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）					
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）					
転送レート	Max. $f_{MCK}/2$ [Hz]（ $SDR_{mn}[15:9] = 1$ 以上） f_{MCK} ：対象チャンネルの動作クロック周波数 ただし、 I^2C の各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）					
データ・レベル	非反転出力（デフォルト：ハイ・レベル）					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加（ACK受信タイミング用）					
データ方向	MSBファースト					

注 簡易 I^2C による通信を行う場合は、ポート出力モード・レジスタ（POM0, POM1, POM5, POM7）にてN-chオープン・ドレイン出力（ V_{DD} 耐圧）モードを設定（POM0.3, POM1.1, POM1.3, POM1.4, POM5.0, POM7.1, POM7.4 = 1）してください（詳細は4.3 ポート機能を制御するレジスタを参照）。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3）, mn = 00-03, 10, 11

(1) レジスタ設定

図13 - 117 簡易²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) のアドレス・フィールド送信時のレジスタ設定内容例



注 シリアル・アレイ・ユニット0のみ。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

mn = 00-03, 10, 11

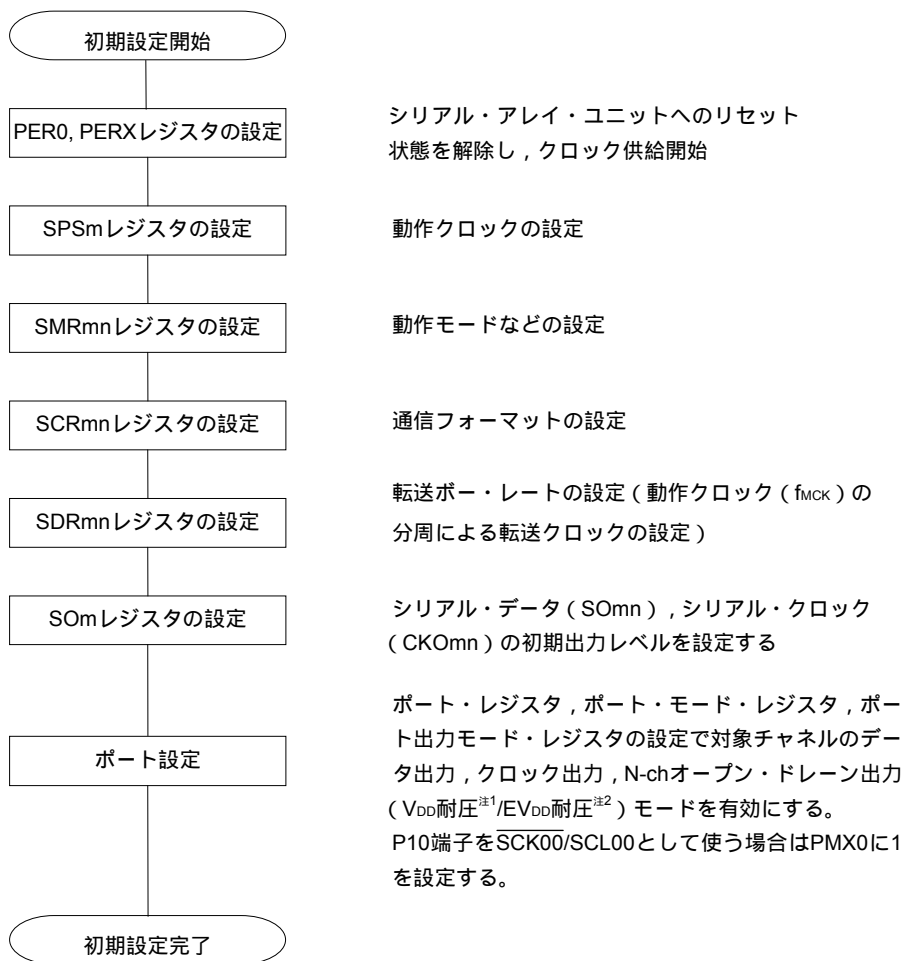
2. □ : IICモードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図13 - 118 アドレス・フィールド送信の初期設定手順



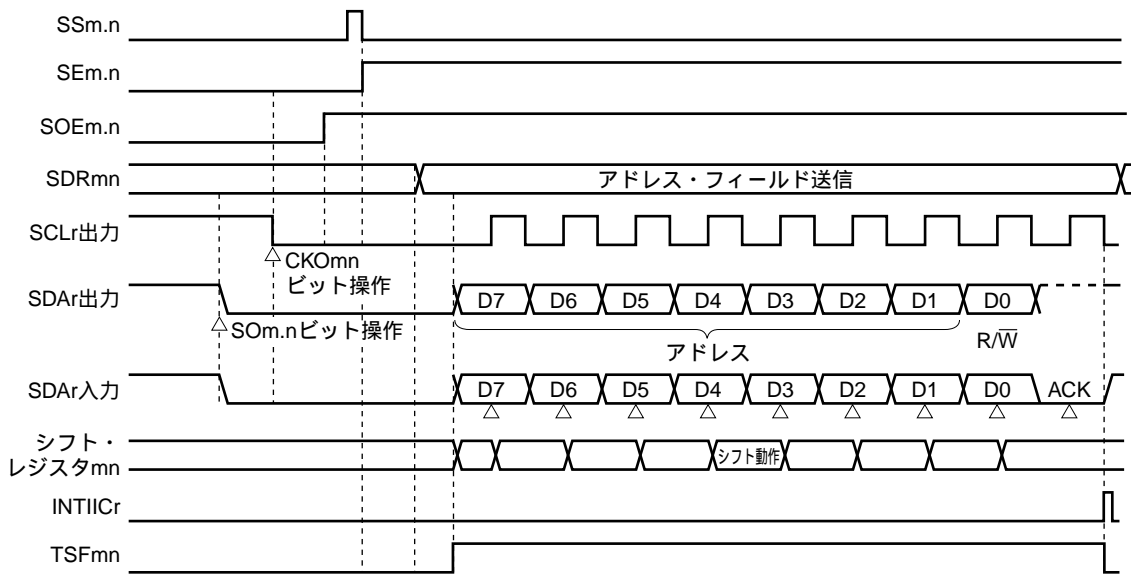
注1 20～48ピン製品の場合

2 64ピン製品の場合

注意 周辺イネーブル・レジスタ0, X (PER0, PERX) のSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタm (SPSm) を設定してください。

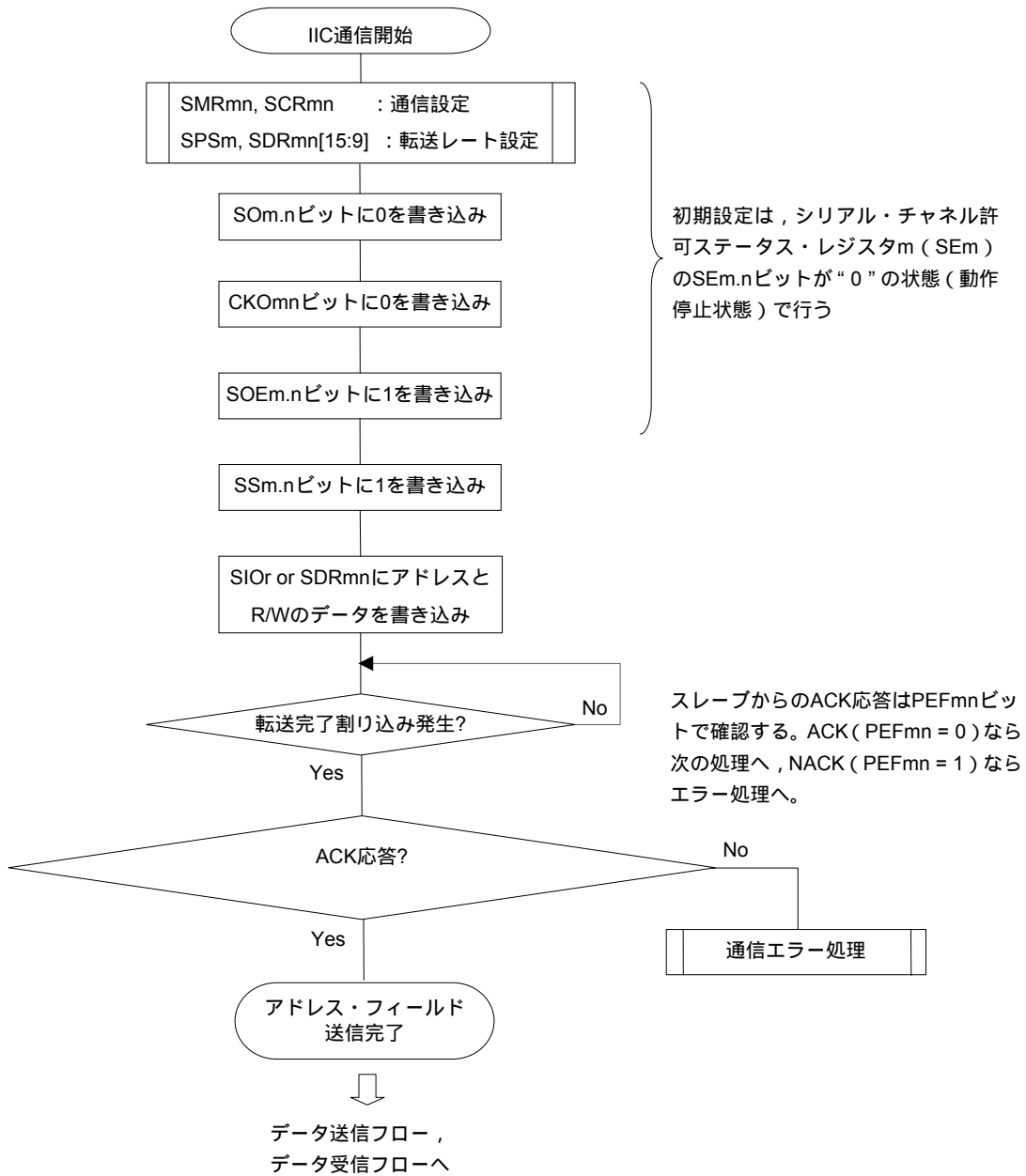
(3) 処理フロー

図13 - 119 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

図13 - 120 アドレス・フィールド送信のフロー・チャート



13.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

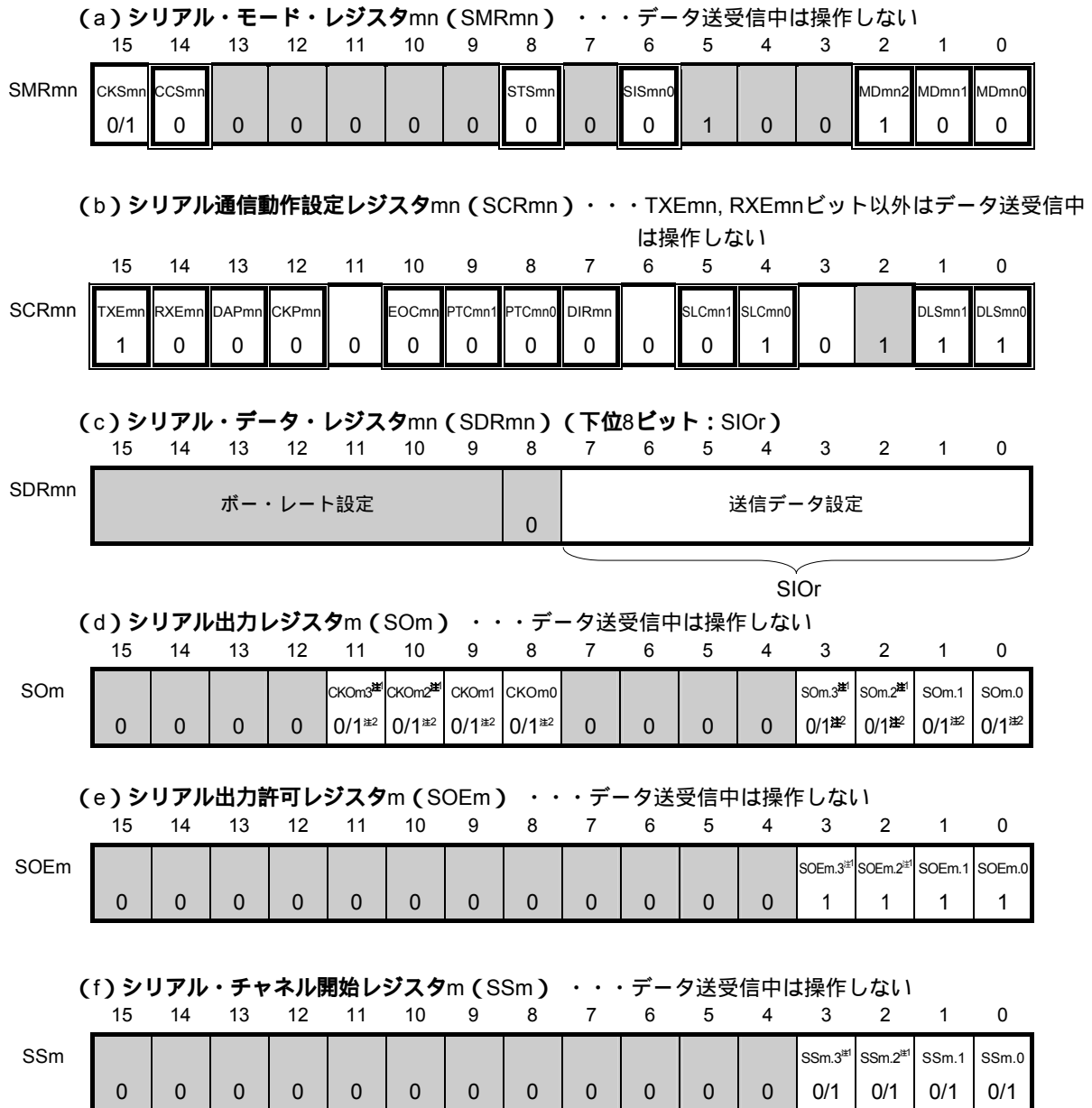
簡易 ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCL00, SDA00 ^注	SCL01, SDA01 ^注	SCL10, SDA10 ^注	SCL11, SDA11 ^注	SCL20, SDA20 ^注	SCL21, SDA21 ^注
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）					
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）					
転送データ長	8ビット					
転送レート	Max. $f_{MCK}/2$ [Hz]（ $SDR_{mn}[15:9] = 1$ 以上） f_{MCK} ：対象チャンネルの動作クロック周波数 ただし、 ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）					
データ・レベル	非反転出力（デフォルト：ハイ・レベル）					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加（ACK受信タイミング用）					
データ方向	MSBファースト					

注 簡易²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM1, POM5, POM7）にてN-chオープン・ドレーン出力（ V_{DD} 耐圧）モードを設定（POM0.3, POM1.1, POM1.4, POM5.0, POM7.1, POM7.4 = 1）してください（詳細は4.3 ポート機能を制御するレジスタを参照）。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3）, mn = 00-03, 10, 11

(1) レジスタ設定

図13 - 121 簡易²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) のデータ送信時のレジスタ設定内容例



注1. シリアル・アレイ・ユニット0のみ。

2. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

mn = 00-03, 10, 11

2. □: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図13 - 122 データ送信のタイミング・チャート

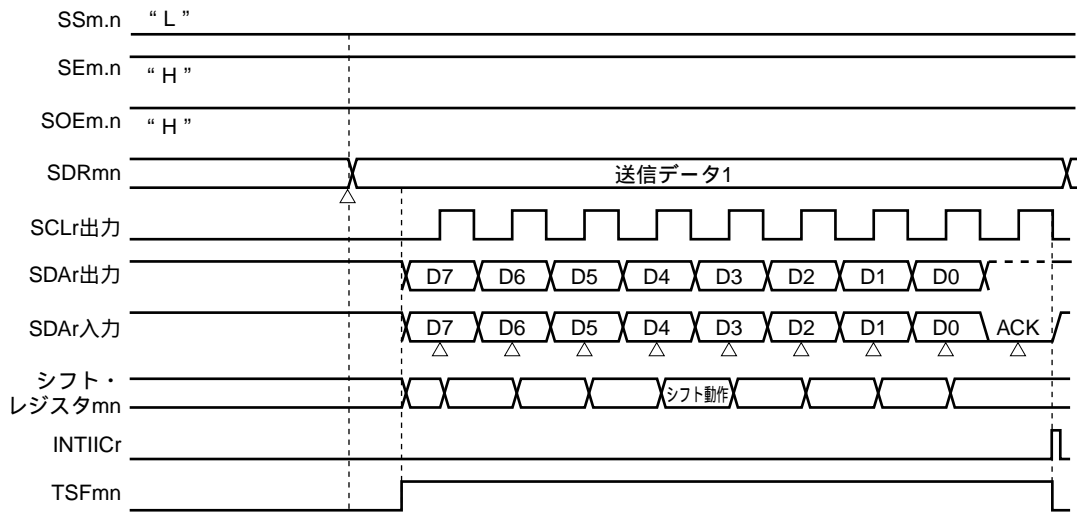
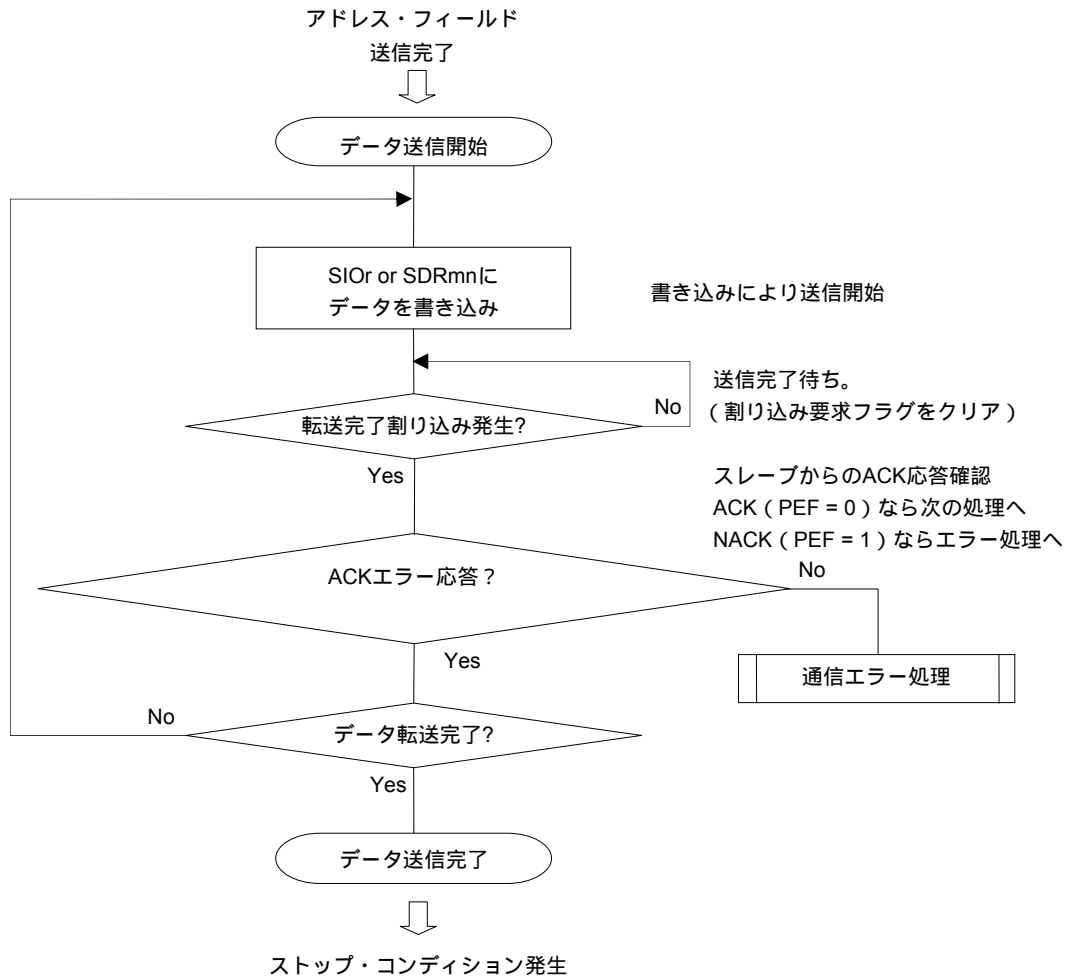


図13 - 123 データ送信のフロー・チャート



13.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

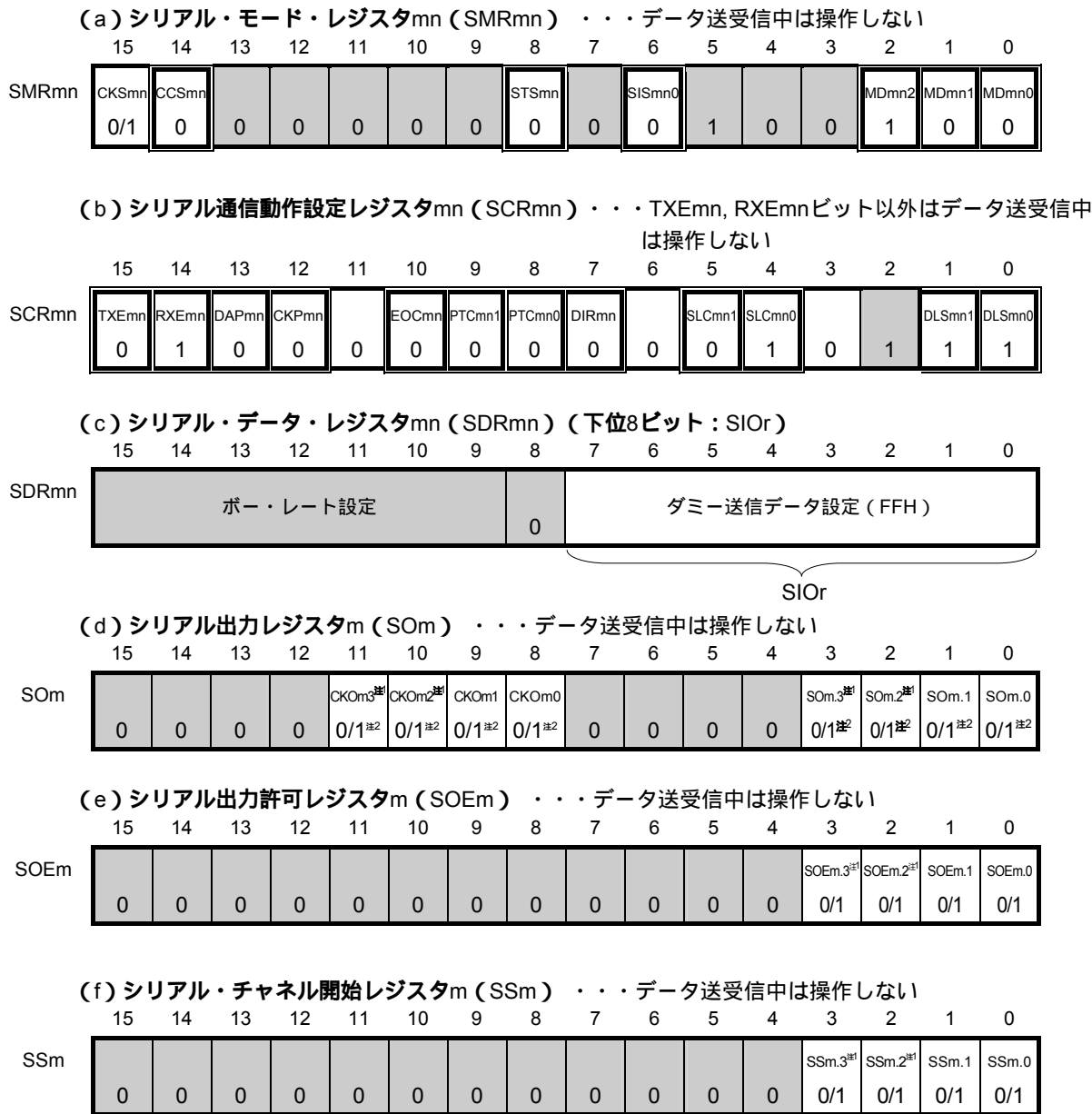
簡易I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCL00, SDA00 ^注	SCL01, SDA01 ^注	SCL10, SDA10 ^注	SCL11, SDA11 ^注	SCL20, SDA20 ^注	SCL21, SDA21 ^注
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	8ビット					
転送レート	Max. $f_{MCK}/2$ [Hz]（ $SDR_{mn}[15:9] = 1$ 以上） f_{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）					
データ・レベル	非反転出力（デフォルト：ハイ・レベル）					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加（ACK送信）					
データ方向	MSBファースト					

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM1, POM5, POM7）にてN-chオープン・ドレーン出力（V_{DD}耐圧）モードを設定（POM0.3, POM1.1, POM1.4, POM5.0, POM7.1, POM7.4 = 1）してください（詳細は4.3 ポート機能を制御するレジスタを参照）。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3）, mn = 00-03, 10, 11

(1) レジスタ設定

図13 - 124 簡易²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) のデータ受信時のレジスタ設定内容例

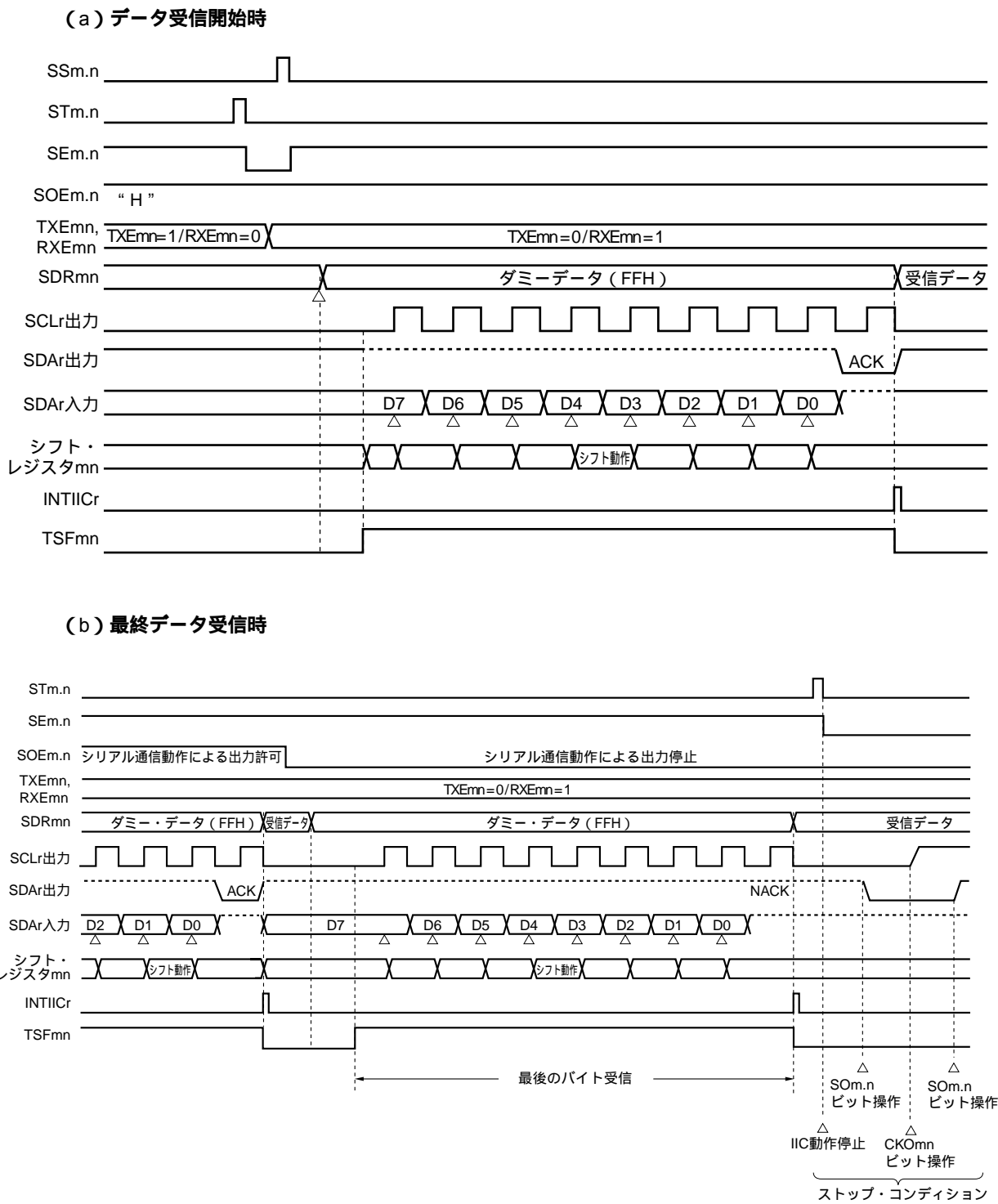


- 注1. シリアル・アレイ・ユニット0のみ。
 2. 通信動作中は通信データにより値が変わります。

- 備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11
 2. : IICモードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

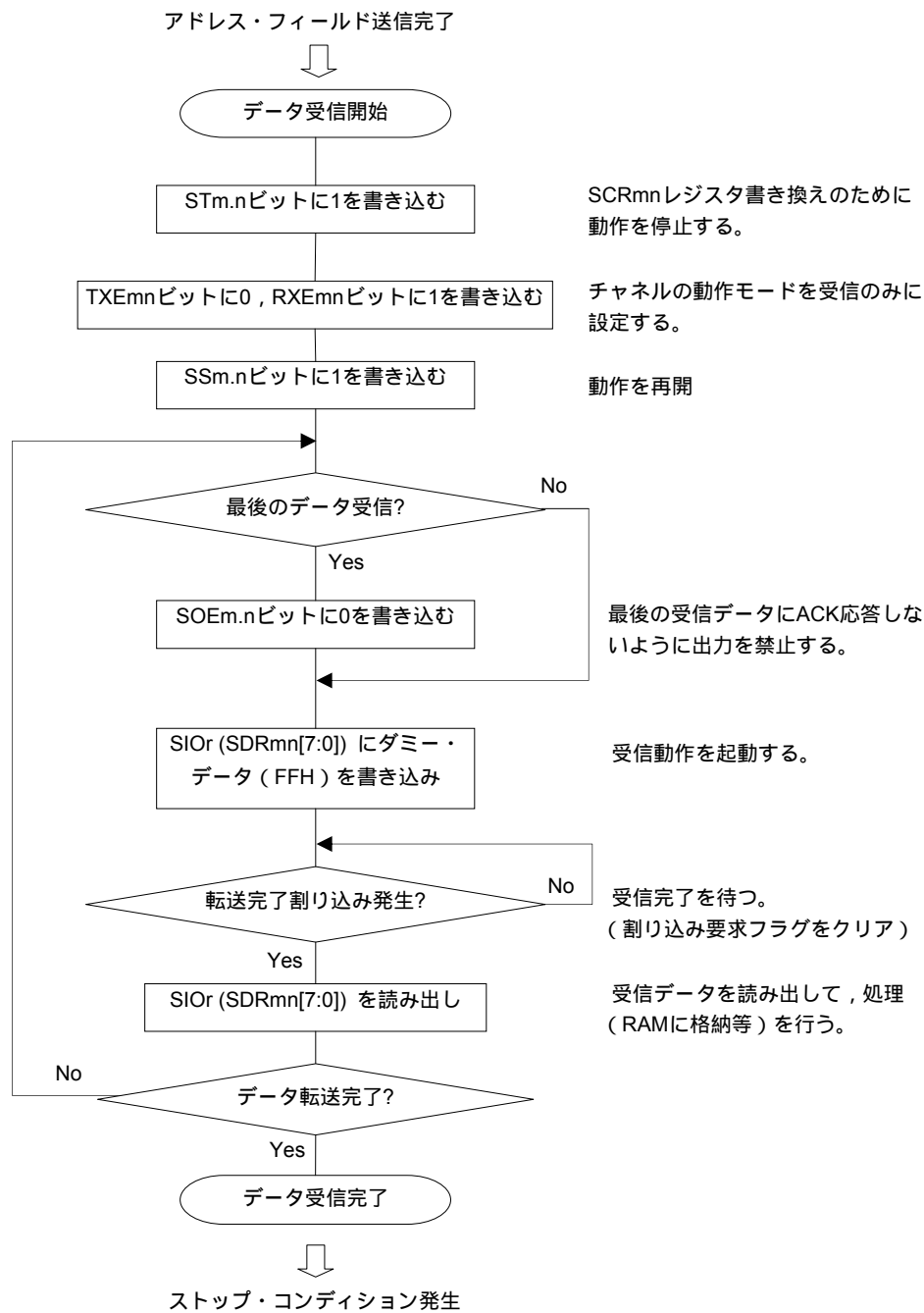
(2) 処理フロー

図13 - 125 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)
 mn = 00-03, 10, 11

図13 - 126 データ受信のフロー・チャート



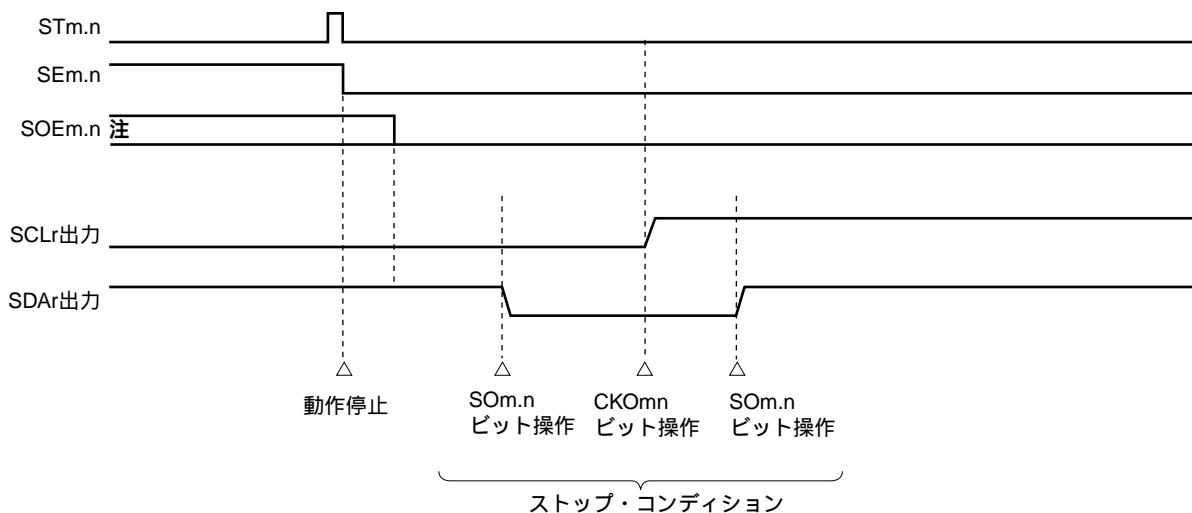
注意 最終データの受信時はACKを出力しません (NACK)。その後、シリアル・チャンネル停止レジスタm (STm) のSTm.nビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

13. 8. 4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信 / 受信した後は、ストップ・コンディションを発生し、バスを開放します。

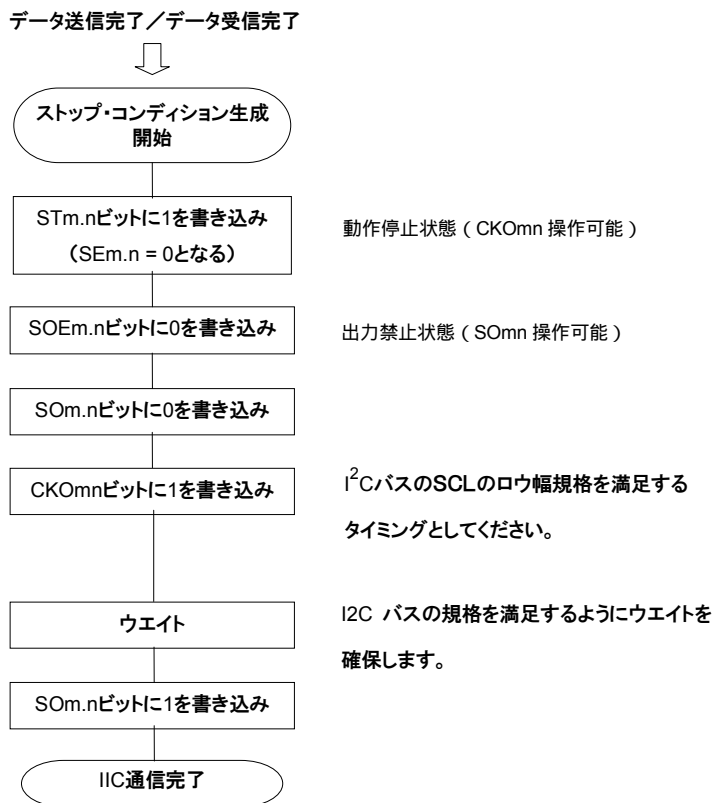
(1) 処理フロー

図13 - 127 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタm (SOEm) のSOEm.nビットを“0”に設定しています。

図13 - 128 ストップ・コンディション発生のフロー・チャート



13.8.5 転送レートの算出

簡易²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャンネルの動作クロック (f}_{MCK}\text{) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
簡易²C出力のSCL信号のデューティ比は50%です。

備考1. (SDRmn[15:9]) は、シリアル・データ・レジスタmn (SDRmn) のビット15-9の値 (0000001B-1111111B) なので、1-127になります。

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) , mn = 00-03, 10, 11

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmnビット) で決まります。

表13 - 5 簡易I²C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{MCK}) ^注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	32 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	16 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	8 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	4 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	15.63 kHz
1	0	0	0	0	X	X	X	X	f _{CLK}	32 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	16 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	8 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	4 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	1MHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	15.63 kHz
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（ST0レジスタのビット3-0，ST1，STSレジスタのビット1-0を1に設定）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) , mn = 00-03, 10, 11

f_{MCK} = f_{CLK} = 32 MHzの場合のIIC転送レート設定例を示します。

IIC転送モード (希望転送レート)	f _{CLK} = 32 MHz時			
	動作クロック (f _{MCK})	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f _{CLK} /2	79	100 kHz	0.0%
400 kHz	f _{CLK}	41	380 kHz	5.0% ^注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

13. 8. 6 簡易²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)通信時におけるエラー発生時の処理手順

簡易²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信時にエラーが発生した場合の処理手順を図13-129に示します。

図13 - 129 簡易²Cモード時のパリティ・エラー (ACKエラー) 発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い,リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで,読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタm (STm) のSTm.nビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEm.nビットが“0”となり,チャンネルnは動作停止状態になる	ACKが返信されていないので,スレーブの受信準備ができていない。そのため,ストップ・コンディションを作成してバスを開放し,再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し,アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタm (SSm) のSSm.nビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEm.nビットが“1”となり,チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21)
mn = 00-03, 10, 11

第14章 アシクロナス・シリアル・インタフェースLIN-UART (UARTF)

RL78/F12はアシクロナス・シリアル・インタフェースLIN-UART (UARTF) を搭載しています。

14.1 特 徴

最大転送速度 1 Mbps (専用ポー・レート・ジェネレータ使用)

全二重通信 LIN-UART受信データ・レジスタ0 (UF0RX) 内蔵

LIN-UART送信データ・レジスタ0 (UF0TX) 内蔵

2端子構成 LTxD0 : 送信データの出力端子

LRxD0 : 受信データの入力端子

受信データ / 受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー
- ・LIN通信データ一貫性エラー検出機能
- ・BF受信成功検出機能
- ・IDパリティ・エラー
- ・チェック・サム・エラー
- ・レスポンス準備エラー
- ・ID一致機能
- ・拡張ビット検出機能

割り込みソース : 3種類

- ・LIN-UART受信完了割り込み (INTLR)
- ・LIN-UART送信割り込み (INTLT)
- ・LIN-UART受信ステータス割り込み (INTLS)

キャラクタ長 : 7, 8ビット

拡張ビット設定により9ビット・データ長での通信が可能

任意の拡張ビットが期待するレベルであった場合, 受信データをあらかじめ設定したレジスタ内のデータと8ビット比較が可能

3ビット・プリスケアラ内蔵

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

受信のストップ・ビットを保証 (送信開始時に受信のストップ・ビット中の場合, 送信開始をウエイト可能)

LIN (Local Interconnect Network) 通信フォーマットにおける送受信機能

- ・BF送信は，13-20ビットまで選択可能
- ・LIN通信フォーマットにおけるBF受信は11ビット以上認識可能
- ・BF受信フラグあり
- ・データ通信中に，新規のBF受信を検出可能。
- ・送信データの一貫性チェック機能あり（送信データと受信データを比較し，不一致を検出する機能）
- ・スレーブ用ポー・レートを自動設定
- ・オート・チェック・サム生成機能あり（レスポンス送信時またはレスポンス受信時のチェック・サムを自動計算する機能）
- ・IDパリティ・チェック機能あり（受信したPIDのパリティ・ビットを自動チェックする機能）

備考 LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

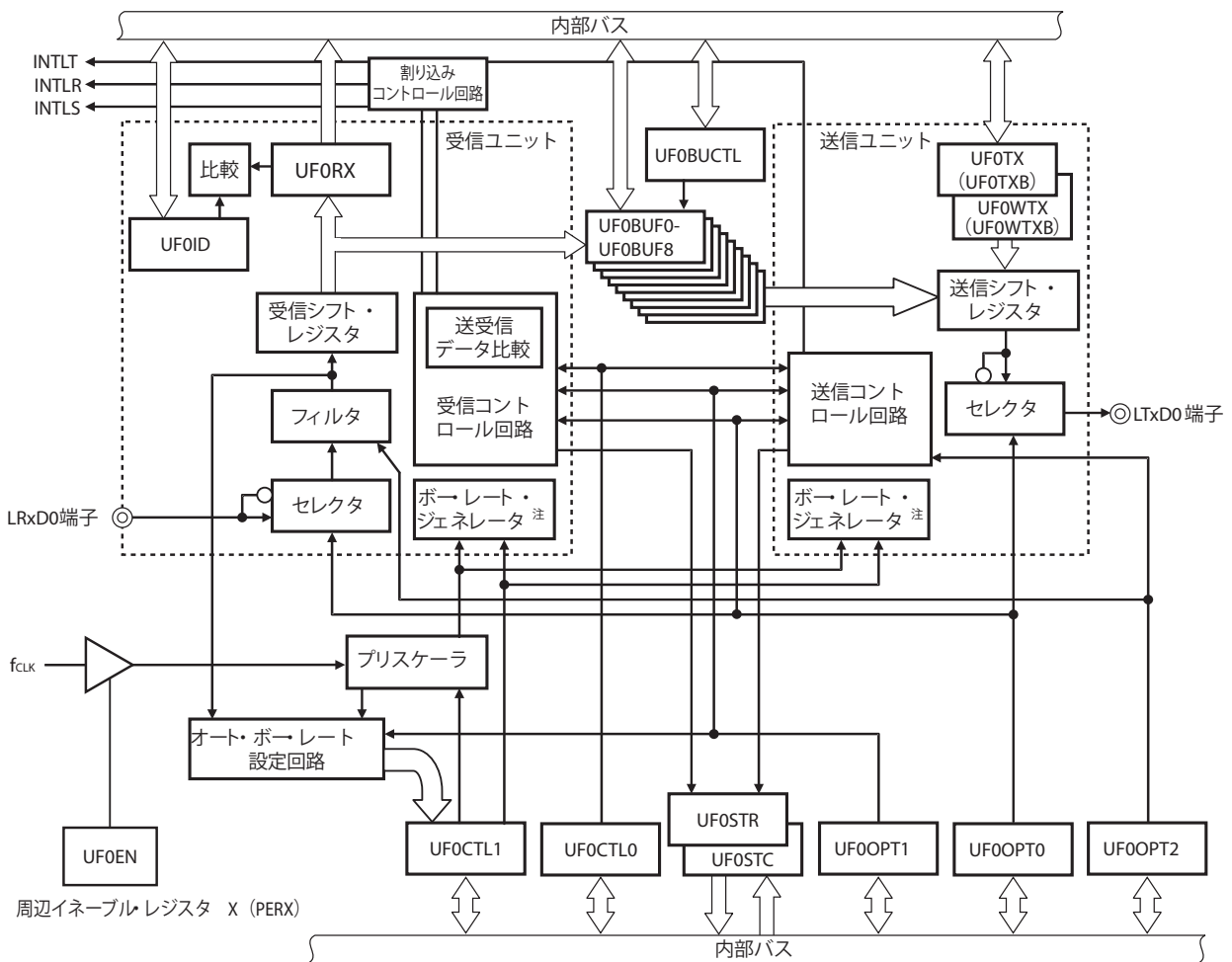
LINのマスタは通常，CAN (Controller Area Network) などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにポー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため，スレーブのポー・レート誤差が $\pm 14\%$ 以下であれば，通信可能です。

14.2 構 成

図14 - 1 アシクロナス・シリアル・インタフェースLIN-UARTのブロック図



注 ボー・レート・ジェネレータの構成については、図14 - 70 ボー・レート・ジェネレータの構成を参照してください。

LIN-UARTは、次のハードウェアで構成されています。

表14 - 1 LIN-UART0の構成

項 目	構 成
レジスタ	周辺イネーブル・レジスタX (PERX) LIN-UART0制御レジスタ0, 1 (UF0CTL0, UF0CTL1) LIN-UART0オプション・レジスタ0-2 (UF0OPT0-UF0OPT2) LIN-UART0状態レジスタ (UF0STR) LIN-UART0状態クリア・レジスタ (UF0STC) LIN-UART0受信シフト・レジスタ LIN-UART0受信データ・レジスタ (UF0RX) LIN-UART0 8-bit受信データ・レジスタ (UF0RXB) LIN-UART0送信シフト・レジスタ LIN-UART0送信データ・レジスタ (UF0TX) LIN-UART0 8-bit送信データ・レジスタ (UF0TXB) LIN-UART0ウェイト用送信データ・レジスタ (UF0WTX) LIN-UART0 8-bitウェイト用送信データ・レジスタ (UF0WTXB) LIN-UART0 ID設定レジスタ (UF0ID) LIN-UART0バッファ・レジスタ0-8 (UF0BUF0-UF0BUF8) LIN-UART0バッファ制御レジスタ (UF0BUCTL) ポート・モード・レジスタ5, X2 (PM5, PMX2)

14.3 制御レジスタ

(1) 周辺イネーブル・レジスタX (PERX)

PERXレジスタは、各周辺ハードウェアの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

LIN-UARTを使用するときは、必ず使用するLIN-UARTのビット (ビット2 (UF0EN)) を1に設定してください。

PERXは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により、00Hになります。

図14 - 2 周辺イネーブル・レジスタX (PERX) のフォーマット

アドレス : F0500H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PERX	0	0	0	0	0	UF0EN	SAUSEN	WUTEN

UF0EN	LIN-UART0の入カクロックの制御
0	入カクロック供給停止 ・ LIN-UART0で使用するSFRへのライト不可 ・ LIN-UART0はリセット状態
1	入カクロック供給 ・ LIN-UART0で使用するSFRへのリード/ライト可

(2) LIN-UART0制御レジスタ0 (UF0CTL0)

UF0CTL0レジスタは、LIN-UART0のシリアル通信動作を制御する8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより10Hになります。

図14 - 3 LIN-UART0制御レジスタ0 (UF0CTL0) のフォーマット (1/2)

アドレス : F0520H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
UF0CTL0	0	UF0TXE	UF0RXE	UF0DIR	UF0PS1	UF0PS0	UF0CL	UF0SL

UF0TXE	送信動作許可
0	送信動作停止
1	送信動作許可
<ul style="list-style-type: none"> ・ UFnTXEビットの値に関わらず、LTxDn端子のレベルはUFnOPT0レジスタのUFnTDLビットの設定が反映されます。 ・ 送信完了後に送信許可ビット (UF0CTL0.UF0TXE) をクリアする (送信動作を停止させる) 場合は、送信割り込みを送信完了時に設定 (UF0OPT2.UF0ITS = 1) して、送信割り込みが発生したことを確認するか、送信状態フラグ (UF0STR.UF0TSF) が “ 0 ” で通信が完了したことを確認してからクリアしてください。 	

UF0RXE	受信動作許可
0	受信動作停止 割り込みが発生せず、受信データの格納も行われません。
1	受信動作許可

UF0DIR	通信方向モード (MSB/LSB) 選択
0	MSBファースト
1	LSBファースト
<ul style="list-style-type: none"> ・ UF0TXE = UF0RXE = 0の場合のみ書き換え可能です。 ・ LIN通信フォーマットで送受信を行う場合は、UF0DIRビットは “ 1 ” に設定してください。 	

図14 - 3 LIN-UART0制御レジスタ0 (UF0CTL0)のフォーマット (2/2)

UF0PS1	UF0PS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	パリティを判定しない
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・ UF0TXE = UF0RXE = 0の場合のみ書き換え可能です。

・ 受信時に「パリティなしで受信」または「0パリティとして受信」を選択した場合、パリティ判定を行いません。

したがって、UF0STRレジスタのUF0PEビットはセットされないため、パリティ・エラーでのLIN-UART受信ステータス割り込み (INTLS) も発生しません。

・ LIN通信フォーマットで送受信を行う場合、UF0PS1, UF0PS0ビットは“00”に設定してください。

UF0CL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

・ UF0TXE = UF0RXE = 0の場合のみ書き換え可能です。

・ LIN通信フォーマットで送信受信を行う場合は、UF0CLビットは“1”に設定してください。

UF0SL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

UF0TXE = UF0RXE = 0の場合のみ書き換え可能です。

注意 受信データのフレーミング・エラー検出時、ストップ・ビットは、ストップ・ビット長選択ビット (UF0SL) の値に関わらず、最初の1ビットのみチェックされます。

備考 パリティについての詳細は、14. 5. 7 **パリティの種類と動作**を参照してください。

(3) LIN-UART0制御レジスタ1 (UF0CTL1)

詳細は、14.10 (2) LIN-UART0制御レジスタ1 (UF0CTL1)を参照してください。

(4) LIN-UART0オプション・レジスタ0 (UF0OPT0)

UF0OPT0レジスタは、LIN-UART0のシリアル通信動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

図14 - 4 LIN-UART0オプション・レジスタ0 (UF0OPT0) のフォーマット (1/3)

アドレス : F0521H リセット時 : 14H R/W

略号	7	6	5	4	3	2	1	0
UF0OPT0	UF0BRF	UF0BRT	UF0BTT	UF0BLS2	UF0BLS1	UF0BLS0	UF0TDL	UF0RDL

UF0BRF	BF受信フラグ
0	UF0CTL0.UF0RXE = 0に設定したとき。またはBF受信正常終了したとき
1	BF受信成功待ち状態 (UF0BRTビットをセットしたとき)

・ LIN通信でのBF (Break Field) を受信していることを判断します。

・ BF受信エラー時に、UF0BRFビットは “ 1 ” を保持し、そのあと再度BF受信を開始して正常終了すると “ 0 ” になります。命令でクリアできません。

・ UF0BRFビットはリードのみ可能です。

注意 UF0BRF = 1の場合、BF受信が正常に終了したかどうかの判断は、ノイズ等を含め一瞬でも受信入力データにハイ・レベルが入力されると、その時点でロウ・レベル期間が11ビット以上かどうかを判断することで行われます。ロウ・レベル期間が11ビット以上のときは、BF受信に成功したと判断します。

通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) の場合は、ステータス割り込み検出時、BF受信成功フラグ (UFnBSF) が “ 1 ” になっている事により、BF受信が正常に終了したことを確認可能です。なお、通信中BF受信可能モードの場合、BF受信トリガ・ビットを設定しても受信完了割り込みは発生しませんが、設定後のステータス割り込み検出時、UFnBSFフラグが “ 0 ” になっている事による確認も可能です。

UF0BRT	BF受信トリガ
0	-
1	BF受信トリガ

・ LIN通信でのBFの受信トリガ・ビットであり、読み出した場合、常に “ 0 ” が読み出されます。BFを受信する場合、UF0BRTビットをセット (1) しBF受信可能状態にしてください。

・ UF0CTL0.UF0RXE = 1としてからUF0BRTビットを設定してください。

・ UF0BRTビットは受信動作中でもセットできますが、受信動作は中断されます。ステータス・フラグの更新、割り込み要求信号の発生、データの格納は行われません。

・ 再設定はUF0BRF = 0であるときに行ってください。

・ 通信中BF受信可能モード時のBF受信の検出は、UF0BRTビットをセットしてから受信入力データの立ち上がりエッジ検出までのロウ・レベル期間で判断されます。このため、BF受信中にUF0BRTビットをセットした場合でも、そのBFは受信可能です。

注意

- BFを受信せずにBF受信許可状態を解除するには、UF0RXE = 0にする必要があります。
- UF0DCS = 1かつUF0BRF = 1の状態でのデータ送信を行うことは禁止です。ただし、BF送信は可能です。
- オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) のとき、UF0BRTビットはセット禁止です。

図14 - 4 LIN-UART0オプション・レジスタ0 (UF0OPT0)のフォーマット (2/3)

UF0BTT	BF送信トリガ
0	-
1	BF送信トリガ

・ LIN通信でのBFの送信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。
 ・ UF0CTL0.UF0TXE = 1としてからUF0BTTビットを設定してください。

注意 1. データ送信中に、次の送信データの設定と本ビットのセットの両方を行うことは禁止です。またBF送信中にUF0BTTビットをセットしても無効です (BF送信1回で終了)。

2. BFの送信完了は、BF送信トリガ・ビット設定後のUF0TSFビットが“0”になっている事により確認可能です。ただし、BF送信中に次の送信データをUF0TXレジスタに書き込んだ場合は、UF0TSFビットはBFの送信完了時にクリアされず、“1”を保持します。また、通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) の場合は、ステータス割り込み検出後にBF受信成功フラグ (UF0BSF) が“1”になっている事でも確認可能です。

3. オート・ポー・レート・モード時 (UF0MD1, UF0MD0 = 11B) , UF0BTTビットはセット禁止です。

UF0BLS2	UF0BLS1	UF0BLS0	BF長選択ビット
1	0	1	13ビット長で出力 (リセット値)
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力

UF0CTL0.UF0TXE = 0のとき設定できます。

UF0TDL	送信データ・レベル・ビット
0	送信データ通常出力
1	送信データ反転出力

・ UF0TDLビットによりLTxD0出力の値を反転できます。
 ・ UF0CTL0.UF0TXE = 0のとき設定できます。

注意 1. UF0TDLビットの制御により、UF0TXEビットの値に関係なくLTxD0出力のレベルは反転します。そのため、動作禁止状態でもUF0TDLビットに“1”をセットした場合には、LTxD0出力はロウ・レベルとなります。

2. LIN通信フォーマットで送受信を行う場合は、UF0TDL = 0にしてください。

図14 - 4 LIN-UART0オプション・レジスタ0 (UF0OPT0) のフォーマット (3/3)

UF0RDLD	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力
<p>・ UF0RDLDビットによりLRxD0入力の値を反転できます。</p> <p>・ UF0CTL0.UF0RXE = 0のとき設定できます。</p> <p>注意 1. 必ずUF0RDLDビットを変更後に受信許可 (UF0RXE = 1) を行ってください。受信許可後にUF0RDLDビットを変更すると、そのときの端子レベルによってスタート・ビットを誤検出することがあります。</p> <p>2. LIN通信フォーマットで送受信を行う場合は、UF0RDLD = 0にしてください。</p>	

(5) LIN-UART0オプション・レジスタ1 (UF0OPT1)

UF0OPT1レジスタは、LIN-UART0のシリアル通信動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UF0OPT1レジスタは、UF0TXE = 0かつUF0RXE = 0のときに設定してください。ただし、UF0EBCビットのみUF0TXE = 1またはUF0RXE = 1のときでも変更可能です。詳細は14. 8. 3 拡張ビット・モード受信 (データ比較あり) を参照してください。

図14 - 5 LIN-UART0オプション・レジスタ1 (UF0OPT1) のフォーマット (1/3)

アドレス : F0524H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
UF0OPT1	UF0EBE	UF0EBL	UF0EBC	UF0IPCS	UF0ACE	UF0MD1	UF0MD0	UF0DCS

UF0EBE	拡張ビット許可ビット
0	拡張ビット動作禁止 (UF0CTL0.UF0CLに設定したデータ長 (7, 8ビット) で送受信)
1	拡張ビット動作許可 (UF0CTL0.UF0CL = 1の場合、データ長 (9ビット) で送受信)

注意 1. UF0EBEビットをセット(1)し、9ビットで送受信を行う場合は、データ長を8ビット(UF0CL = 1)に設定する必要があります。データ長を7ビット (UF0CL = 0) に設定した場合は、UF0EBEビットの設定は無効になります。
 2. LIN通信フォーマットで送受信を行う場合は、UF0EBE = 0にしてください。
 3. 拡張ビットはパリティ対象となります。

UF0EBL	拡張ビット検出レベル選択ビット
0	拡張ビット値 " 0 " を拡張ビット検出レベルに選択
1	拡張ビット値 " 1 " を拡張ビット検出レベルに選択

拡張ビットを許可時 (UF0CL = UF0EBE = 1) , UF0EBLビットにより選択したレベルが拡張ビットとして検出された場合、LIN-UART受信ステータス割り込み (INTLS) が発生し、拡張ビット検出フラグ (UE0EBD) がセットされます。
 反転レベルが拡張ビットとして検出された場合は、LIN-UART受信完了割り込み (INTLR) が発生し、拡張ビット検出フラグはセットされません。

備考 UF0EBLビットは、UF0CL = UF0EBE = 1の場合のみ有効になります。詳細は14. 8. 2 拡張ビット・モード受信 (データ比較なし) , 14. 8. 3 拡張ビット・モード受信 (データ比較あり) を参照してください。

図14 - 5 LIN-UART0オプション・レジスタ1 (UF0OPT1) のフォーマット (2/3)

UF0EBC	拡張ビット・データ比較許可ビット
0	比較なし (データ受信完了時、必ずINTLRまたはINTLSを発生)
1	UF0EBLビットに選択したレベルが拡張ビットとして検出された場合、UF0RXレジスタとUF0IDレジスタを比較 (UF0RXレジスタとUF0IDレジスタが一致したときのみINTLSを発生)

UF0EBCビットは拡張ビットを許可時 (UF0CL = UF0EBE = 1)、受信したデータとUF0IDレジスタの比較を許可するビットです。

備考 UF0EBCビットは、UF0CL = UF0EBE = 1の場合のみ有効になります。詳細は14. 8. 2 **拡張ビット・モード受信 (データ比較なし)**、14. 8. 3 **拡張ビット・モード受信 (データ比較あり)**を参照してください。

UF0IPCS	IDパリティ・チェック選択ビット
0	自動IDパリティ・チェックなし (ソフトウェアによりPIDのパリティを計算し、チェックが必要)
1	自動IDパリティ・チェックあり

・UF0IPCSビットは、オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) のとき、受信したPIDのパリティ・ビットの自動チェックの取り扱いを選択します。

・UF0IPCS = 1の場合、LIN通信において受信したPIDをUF0IDレジスタに格納するときにパリティ・ビットをチェックします。結果の不正を検出するとIDパリティ・エラー・フラグ (UF0IPE) がセットされ、LIN-UART受信ステータス割り込み (INTLS) が発生します。

備考 UF0IPCSビットは、オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) の場合のみ有効になります。詳細は14. 7. 3 **IDパリティ・チェック機能**を参照してください。

UF0ACE	オート・チェック・サム許可ビット
0	チェック・サム自動計算を禁止 レスポンス送信：ソフトウェアによりチェック・サムを計算し、バッファに設定する必要があります レスポンス受信：バッファに格納されたデータからソフトウェアによりチェック・サムを計算し、通信によって得られたチェック・サムと比較確認する必要があります。
1	チェック・サム自動計算を許可 レスポンス送信：バッファに設定したデータからチェック・サムを自動計算し、レスポンス送信の最後に自動的に付加します。 レスポンス受信：バッファに格納されたデータからチェック・サムを自動計算し、通信によって得られたチェック・サムと自動的に比較確認が行われます。

・UF0ACEビットはオート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) のとき、レスポンス送信時とレスポンス受信時のチェック・サム自動計算の取り扱いを選択します。

・UF0ACE = 1でレスポンス受信の場合、LIN通信において受信したチェック・サムを受信バッファに格納するときにチェックします。結果の不正が検出されるとチェック・サム・エラー・フラグ (UF0CSE) がセットされ、LIN-UART受信ステータス割り込み (INTLS) が発生します。

備考 UF0ACEビットは、オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) の場合のみ有効になります。詳細は14. 7. 4 **オート・チェック・サム機能**を参照してください。

図14 - 5 LIN-UART0オプション・レジスタ1 (UF0OPT1) のフォーマット (3/3)

UF0MD1	UF0MD0	LIN-UART動作モード選択ビット
0	0	通常UARTモード
0	1	設定禁止
1	0	LIN通信：通信中BF受信可能モード データの通信中に新規のBreak Fieldを検出します。 (ストップ・ビット位置でのロウ・レベル検出時、次にハイ・レベルが検出されるまで待ち、ロウ・レベル期間が11ビット以上であれば、新規のBF受信と認識)
1	1	LIN通信：オート・ポー・レート・モード

注意 1. LIN通信のマスタの場合、オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) にすることは禁止です。

2. 通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) とオート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時には、必ずUF0DCSビットも“1”にしてください。

UF0DCS	データ一貫性チェック選択ビット
0	データの一貫性をチェックしません。
1	データの一貫性をチェックします。

・UF0DCSビットはLIN通信でデータを送信する場合、データの一貫性チェックの取り扱いを選択します。詳細は、14.5.8 データ一貫性チェックを参照してください。

・UF0DCS = 1の場合、LIN通信でデータを送信するときに送信データと受信データを比較します。不一致が検出されるとデータ一貫性エラー・フラグ (UF0DCE) がセットされ、LIN-UART受信ステータス割り込み (INTLS) が発生します。

注意 1. LIN通信を使用する場合、UF0DCSビットのセットが可能です。それ以外の場合は、必ず“0”を設定してください。

2. UF0DCSビットをセット(1)する際は、データ・ビット長を8ビットに固定し、パリティ・ビットの付加は禁止です。

3. 通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) とオート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時には、必ずUF0DCS = 1にしてください。

(6) LIN-UART0オプション・レジスタ2 (UF0OPT2)

UF0OPT2レジスタは、LIN-UART0のシリアル通信動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

図14 - 6 LIN-UART0オプション・レジスタ2 (UF0OPT2) のフォーマット

アドレス : F0525H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
UF0OPT2	0	0	0	0	0	0	UF0RXFL	UF0ITS

UF0RXFL	受信データのノイズ・フィルタ使用選択ビット
0	ノイズ・フィルタを使用
1	ノイズ・フィルタを使用しない

UF0RXFLビットはノイズ・フィルタの使用を選択します。詳細は、14. 9 受信データのノイズ・フィルタを参照してください。

注意 UF0RXFLビットは、必ずUF0CTL0.UF0RXE = 0のときに設定してください。

UF0ITS	LIN-UART送信割り込み (INTLT) 発生タイミング選択ビット
0	送信開始時にLIN-UART送信割り込み要求を出力
1	送信完了時にLIN-UART送信割り込み要求を出力

注意 UF0ITSビットは、必ずUF0CTL0.UF0TXE = 0のときに設定してください。
ただし、連続送信中 (UF0ITS = 0) に最終データの送信完了を知る必要がある場合のみ、最終データの送信開始後にUF0ITS = 1へ変更可能ですが、送信完了までに変更処理を終了してください。

(7) LIN-UART0状態レジスタ (UF0STR)

UF0STRレジスタは、LIN-UART0の通信状態と受信エラー内容を示す16ビットのレジスタです。

16ビット単位でリードのみ可能です。

リセットにより0000Hとなります。

注意 UF0TSFフラグとUF0RSFフラグ以外は、LIN-UART0状態クリア・レジスタ (UF0STC) の対象ビットへ“1”をライトしてクリアするまで保持されます。ステータス・フラグをクリアする場合は、LIN-UART0状態クリア・レジスタ (UF0STC) の対象ビットへ16ビット操作命令で“1”をライトしてクリアしてください。

図14 - 7 LIN-UART0状態レジスタ (UF0STR) のフォーマット (1/5)

アドレス : F0526H, F0527H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8
UF0STR	0	UF0IPE	UF0CSE	UF0RPE	UF0HDC	UF0BUC	UF0IDM	UF0EBD
	7	6	5	4	3	2	1	0
	UF0TSF	UF0RSF	0	UF0BSF	UF0DCE	UF0PE	UF0FE	UF0OVE

UF0IPE	IDパリティ・エラー・フラグ
0	IDパリティ・エラーが発生していない
1	IDパリティ・エラーが発生 < IDパリティ・エラー要因 > 受信したPIDのパリティが不正
<ul style="list-style-type: none"> UF0IPEビットは、IDパリティ・チェック機能による確認状態を示すフラグです。オート・ポーレート・モード (UF0MD1, UF0MD0 = 11B) 時、受信したPIDのパリティが不正だった場合に“1”となります。詳細は、14. 7. 3 IDパリティ・チェック機能を参照してください。 UF0IPEビットは累積型フラグなので、UF0STCレジスタのUF0CLPEビットへ“1”をライトするまでクリアされません。IDパリティ・チェック機能を禁止している場合 (UF0IPCS = 0) はセットされません。 	

UF0CSE	チェック・サム・エラー・フラグ
0	チェック・サム・エラーが発生していない
1	チェック・サム・エラーが発生 < チェック・サム・エラー要因 > レスポンス受信時、バッファに格納されたデータから自動計算したチェック・サムと、通信によって得られたチェック・サムの比較結果が不正
<ul style="list-style-type: none"> UF0CSEビットは、オート・チェック・サム機能による確認状態を示すフラグです。オート・ポーレート・モード (UF0MD1, UF0MD0 = 11B) かつレスポンス受信時、受信したチェック・サムが不正だった場合に“1”となります。詳細は、14. 7. 4 オート・チェック・サム機能を参照してください。 UF0CSEビットは累積型フラグなので、UF0STCレジスタのUF0CLCSEビットへ“1”をライトするまでクリアされません。オート・チェック・サム機能を禁止している場合 (UF0ACE = 0) はセットされません。 	
<p>注意 1. レスポンス送信時、チェック・サム・エラー・フラグはセットされません。データー真性チェックでエラーの確認をしてください。</p> <p>2. レスポンス送信時は、受信データをUF0RXレジスタに格納します。ただし、リードしなくてもオーバーラン・エラーはセットされません。そのため、受信したチェック・サムは受信完了割り込み後にUF0RXレジスタをリードすることで確認できます。</p>	

図14 - 7 LIN-UART0状態レジスタ (UF0STR) のフォーマット (2/5)

UF0RPE	レスポンス準備エラー・フラグ
0	レスポンス準備エラーが発生していない
1	レスポンス準備エラーが発生 <レスポンス準備エラー要因> ヘッダ受信後,1バイト目の受信データを受信完了前にレスポンスの準備が間に合わなかった

・UF0RPEビットは,レスポンス準備検出機能による確認状態を示すフラグです。オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) でレスポンス準備 (UF0NO, UF0RRQビットのセット) が間に合わなかった場合に“1”となります。詳細は,14.7.2 レスポンス準備エラー検出機能を参照してください。

・UF0RPEビットは累積型フラグなので,UF0STCレジスタのUF0CLRPEビットへ“1”をライトするまでクリアされません。オート・ポー・レート・モード以外の場合 (UF0MD1, UF0MD0 = 00B または10B) はセットされません。

UF0HDC	ヘッダ受信完了フラグ
0	ヘッダの受信が完了していない
1	ヘッダの受信が完了

・UF0HDCビットは,ヘッダの受信が完了したことを示すフラグです。オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時,ヘッダの受信が完了すると“1”になります。詳細は,14.7.1 オート・ポー・レート設定機能を参照してください。

・UF0HDCビットは累積型フラグなので,UF0STCレジスタのUF0CLHDCビットへ“1”をライトするまでクリアされません。オート・ポー・レート・モード以外の場合 (UF0MD1, UF0MD0 = 00B または10B) はセットされません。

注意 PID受信時のエラーではセットされません。

UF0BUC	バッファ送受信完了フラグ
0	バッファ送受信が完了していない
1	バッファ送受信が完了 <バッファ送受信完了条件> 設定された数のデータを送信 / 受信 (通常UARTモード時は送信のみ)

・UF0BUCビットは,バッファのデータの送受信状態を示すフラグです。設定された数のデータがエラーなく送信 / 受信された場合に“1”となります。詳細は,14.6.1 UARTバッファ・モード送信,14.7 LIN通信オート・ポー・レート・モードを参照してください。

・UF0BUCビットは累積型フラグなので,UF0STCレジスタのUF0CLBUCビットへ“1”をライトするまでクリアされません。通常UARTモード (UF0MD1, UF0MD0 = 00B) またはオート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) のときのみ,セットされます。

図14 - 7 LIN-UART0状態レジスタ (UF0STR) のフォーマット (3/5)

UF0IDM	ID一致フラグ
0	IDが一致していない
1	IDが一致 < ID一致条件 > 受信データの拡張ビットを除く8ビットとあらかじめ設定したUF0IDレジスタの値が一致

・UF0IDMビットは 拡張ビット許可(UF0CL = UF0EBE = 1)で拡張ビット・データ比較許可(UF0EBC = 1)のとき、受信データの拡張ビットを除く8ビットとあらかじめ設定したUF0IDレジスタ値の比較結果を示すフラグです。比較は拡張ビット検出レベル選択ビット(UF0EBL)で設定したレベルが検出されたデータで行われます。比較結果が一致した場合、UF0IDMビットは“1”となります。詳細は、14. 8. 3 拡張ビット・モード受信(データ比較あり)を参照してください。

・UF0IDMビットは累積型フラグなので、UF0STCレジスタのUF0CLIDMビットへ“1”をライトするまでクリアされません。拡張ビット許可かつ拡張ビット・データ比較許可(UF0CL = UF0EBE = UF0EBC = 1)以外の場合はセットされません。

UF0EBD	拡張ビット検出フラグ
0	拡張ビットが検出されていない
1	拡張ビットを検出 < 拡張ビット検出条件 > 拡張ビットにおいて、拡張ビット検出レベル選択ビット(UF0EBL)で設定したレベルが検出

・UF0EBDビットは、拡張ビット許可(UF0CL = UF0EBE = 1)のとき、拡張ビット検出レベル選択ビット(UF0EBL)で設定したレベルの検出を示すフラグです。設定レベルが検出された場合、UF0EBDビットは“1”となります。詳細は、14. 8. 2 拡張ビット・モード受信(データ比較なし)、14. 8. 3 拡張ビット・モード受信(データ比較あり)を参照してください。

・UF0EBDビットは累積型フラグなので、UF0STCレジスタのUF0CLEBDビットへ“1”をライトするまでクリアされません。拡張ビット禁止の場合(UF0EBE = 0)はセットされません。

UF0TSF	送信状態フラグ
0	送信動作を行っていない < 送信動作停止条件 > ・UF0CTL0.UF0TXE = 0に設定したとき ・送信完了後に次の送信データがない、かつ、BF送信設定(UF0BTT)がセットされていない場合 ・BF送信を終えたあと、UF0TX, UF0WTX, UF0BUF0-UF0BUF8レジスタに次の送信データがなかったとき ・データ一貫性エラー検出後の送信完了時
1	送信動作を行っている < 送信動作開始条件 > ・UF0TX, UF0WTXレジスタへの書き込み ・BF送信トリガ・ビット(UF0BTT)をセットしたとき ^注 ・送信要求ビット(UF0TRQ)をセットしたとき

・連続送信を行っている場合にはUF0TSFビットは常に“1”になっています。

・送信ユニットの初期化を行う場合には、UF0TSF = 0になっていることを確認してから初期化を行ってください。UF0TSF = 1の状態で行った場合、送信が途中で中断されます。

・通信中BF受信可能モード時かつデータ送信中にBFを検出した場合、およびオート・ポー・レート・モード時かつデータ送信中にBF/SFを検出した場合は、UF0DCEフラグがセットされ、LIN-UART受信ステータス割り込み(INTLS)の発生するタイミングでUF0TSFビットをクリアします。

注 BF期間のみ

図14 - 7 LIN-UART0状態レジスタ (UF0STR) のフォーマット (4/5)

UF0RSF	受信状態フラグ
0	受信動作を行っていない <受信動作停止条件> ・UF0CTL0.UF0RXE = 0に設定したとき ・受信時, ストップ・ビット (1ビット目) のサンプリング・ポイントのとき ・UF0BRT = 1に設定したとき ・通信中BF受信可能モードでBF検出したとき ・オート・ポー・レート・モードでBF/SFを検出したとき
1	受信動作を行っている <受信動作開始条件> スタート・ビットを検出したとき。(LRxD0の立ち上がりエッジ検出後, ビットのサンプリング・ポイントでデータが“0”であることを検出したタイミング)
・受信ユニットの初期化を行う場合には, UF0RSF = 0になっていることを確認してから初期化を行ってください。UF0RSF = 1の状態での初期化を行った場合, 受信が途中で中断されます。	

UF0BSF	BF受信成功フラグ
0	BF受信を成功していない
1	BF受信を成功 <BF受信条件> 11ビット以上の連続するロウ・レベル (BF) を受信
・UF0BSFビットは, BFの受信に成功したことを表すフラグです。通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) で, 11ビット以上の連続するロウレベル (BF) を受信したとき (LRXD0端子の立ち上がりエッジを検出し, LIN-UART受信ステータス割り込み (INTLS) 発生と同タイミング) に“1”となります。 ・通信中BF受信可能モードの場合, BFはデータ通信中でも受信される可能性があるため, ステータス割り込み処理でUF0BSFビットを読み出し, 新しいフレーム・スロットの開始を確認する必要があります。 ・UF0BSFビットは累積型フラグなので, UF0STCレジスタのUF0CLBSFビットへ“1”をライトするまでクリアされません。通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) 以外ではセットされません。	

UF0DCE	データ一貫性エラー・フラグ
0	データ一貫性エラーが発生していない
1	データ一貫性エラーが発生 <データ一貫性エラー要因> LIN通信において送信データが受信データと一致しない
・データの一貫性チェック選択ビットをセットしている場合 (UF0DCS = 1), データを送信するときに送信データと受信データを比較します。不一致を検出した場合, LIN-UART受信ステータス割り込み (INTLS) 発生と同時にUF0DCEビットは“1”となります。 ・UF0DCEビットは累積型フラグなので, UF0STCレジスタのUF0CLDCEビットへ“1”をライトするか, UF0CTL0レジスタのUF0TXEビットに“0”をライトまでクリアされません。UF0DCS = 0の場合は, UF0DCEビットはセットされません。	
注意 データ一貫性エラーを検出した場合, 次の転送は行いません。詳細は14. 5. 8 データ一貫性チェックを参照してください。	

図14 - 7 LIN-UART0状態レジスタ (UF0STR) のフォーマット (5/5)

UF0PE	パリティ・エラー・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生 <パリティ・エラー要因> 受信時、データのパリティとパリティ・ビットが一致しない
<ul style="list-style-type: none"> UF0PEビットの動作は、UF0PS1, UF0PS0ビットの設定により左右されます。 UF0PEビットは累積型フラグなので、UF0STCレジスタのUF0CLPEビットへ“1”をライトするか、UF0CTL0レジスタのUF0RXEビットに“0”をライトするまでクリアされません。UF0PS1, UF0PS0 = 0xBの場合は、UF0PEビットはセットされません。(x : Don't Care) 	

UF0FE	フレーミング・エラー・フラグ
0	フレーミング・エラーが発生していない
1	フレーミング・エラーが発生 <フレーミング・エラー要因> 受信時、ストップ・ビットが検出されない
<ul style="list-style-type: none"> 受信データのストップ・ビットは、UF0SLビットの設定値に関わらず、最初の1ビットのみチェックします。 UF0FEビットは累積型フラグなので、UF0STCレジスタのUF0CLFEビットへ“1”をライトするか、UF0CTL0レジスタのUF0RXEビットに“0”をライトするまでクリアされません。 	

UF0OVE	オーバラン・エラー・フラグ
0	オーバラン・エラーが発生していない
1	オーバラン・エラーが発生 <オーバラン・エラー要因> UF0RXレジスタに受信データが格納され、それを読み出す前に次の受信動作が完了した
<ul style="list-style-type: none"> オーバラン・エラーが発生したとき、次の受信データはUF0RXレジスタに書き込まれず、データは破棄されます。 UF0OVEビットは累積型フラグなので、UF0STCレジスタのUF0CLOVEビットへ“1”をライトするか、UF0CTL0レジスタのUF0RXEビットに“0”をライトするまでクリアされません。オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) ではセットされません。 <p>注意 拡張ビット・データ比較許可状態 (UF0EBE = 1かつUF0EBC = 1) で、ID不一致によるステータス割り込みが発生しない場合、受信データがUF0RXレジスタに格納されないため、受信データを読み出さなくてもUF0OVEフラグはセットされません。また、オート・ポー・レート・モードで送信する場合、受信データは毎回UF0RXレジスタに格納されますが、受信データを読み出さなくてもUF0OVEフラグはセットされません。</p>	

(8) LIN-UART0状態クリア・レジスタ (UF0STC)

UF0STCレジスタは、LIN-UART0の状態フラグをクリアする16ビットのレジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hとなります。

注意 対応するビットへ"1"をライトすることにより、LIN-UART状態レジスタ (UF0STR) のフラグをクリアすることができます。ビットへの"0"ライトは意味がありません。リードした場合は0が読み出されます。

図14 - 8 LIN-UART0状態クリア・レジスタ (UF0STC) のフォーマット (1/2)

アドレス : F0528H, F0529H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
UF0STC	0	UF0CLPIE	UF0CLCSE	UF0CLRPE	UF0CLHDC	UF0CLBUC	UF0CLIDM	UF0CLEBD
	7	6	5	4	3	2	1	0
	0	0	0	UF0CLBSF	UF0CLDCE	UF0CLPE	UF0CLFE	UF0CLOVE
UF0CLPIE	IDパリティ・エラー・フラグのクリア・トリガ							
0	トリガ動作せず							
1	UF0STRレジスタのUF0PIEビットをクリア (0) する							
UF0CLCSE	チェック・サム・エラー・フラグのクリア・トリガ							
0	トリガ動作せず							
1	UF0STRレジスタのUF0CSEビットをクリア (0) する							
UF0CLRPE	レスポンス準備エラー・フラグのクリア・トリガ							
0	トリガ動作せず							
1	UF0STRレジスタのUF0RPEビットをクリア (0) する							
UF0CLHDC	ヘッダ受信完了フラグのクリア・トリガ							
0	トリガ動作せず							
1	UF0STRレジスタのUF0HDCビットをクリア (0) する							
UF0CLBUC	バッファ送受信完了フラグのクリア・トリガ							
0	トリガ動作せず							
1	UF0STRレジスタのUF0BUCビットをクリア (0) する							
UF0CLIDM	ID一致フラグのクリア・トリガ							
0	トリガ動作せず							
1	UF0STRレジスタのUF0IDMビットをクリア (0) する							
UF0CLEBD	拡張ビット検出フラグのクリア・トリガ							
0	トリガ動作せず							
1	UF0STRレジスタのUF0EBDビットをクリア (0) する							

図14 - 8 LIN-UART0状態クリア・レジスタ (UF0STC) のフォーマット (2/2)

UF0CLBSF	BF受信成功フラグのクリア・トリガ
0	トリガ動作せず
1	UF0STRレジスタのUF0BSFビットをクリア (0) する

UF0CLDCE	データー貫性エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	UF0STRレジスタのUF0DCEビットをクリア (0) する

UF0CLPE	パリティ・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	UF0STRレジスタのUF0PEビットをクリア (0) する

UF0CLFE	フレーミング・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	UF0STRレジスタのUF0FEビットをクリア (0) する

UF0CLOVE	オーバラン・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	UF0STRレジスタのUF0OVEビットをクリア (0) する

(9) LIN-UART0送信データ・レジスタ (UF0TX)

UF0TXレジスタは、送信データを設定するための16ビット・レジスタです。

UF0TXレジスタは16ビット単位でリード/ライト可能です。8ビット単位でリード/ライトする場合はUF0TXBレジスタとしてアクセス可能です。

バッファを使用しない場合、送信許可状態 (UF0TXE = 1) でデータの一貫性エラーを検出していない (UF0DCE = 0) ときに、UF0TXレジスタへ送信データをライトすることで送信を開始します。

UF0EBE = 0のときは、UF0CLビットで指定されるキャラクタ長の送信データが送信されます。

UF0EBE = UF0CL = 1の場合は、9ビット長の送信データが送信されます。送信データ・フォーマットは、14.5.1 データ・フォーマットを参照してください。

送信するデータは、送信シフト・レジスタへ取り込む前にUF0TXレジスタへライトされた最後のデータです。UF0ITS = 0のときは、LIN-UART送信割り込み要求発生後に次の送信データをUF0TXレジスタへ書き込む事で、連続送信が可能となります。LIN-UART送信割り込み要求発生前に次の送信データがライトされると、先にライトされたデータを上書きし、あとのデータだけを送信します。

UF0TXレジスタはリセット入力により0000Hとなります。

図14 - 9 LIN-UART0送信データ・レジスタ (UF0TX) のフォーマット

アドレス : F0548H, F0549H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
UF0TX	0	0	0	0	0	0	0	UF0TX.8
	7	6	5	4	3	2	1	0
	UF0TX.7	UF0TX.6	UF0TX.5	UF0TX.4	UF0TX.3	UF0TX.2	UF0TX.1	UF0TX.0

データ長を7ビットに指定した場合 (UF0CL = 0) :

- ・ LSBファースト送信時、送信データはUF0TXレジスタのビット6-0が転送されます。
- ・ MSBファースト送信時、送信データはUF0TXレジスタのビット7-1が転送されます。

- 注意 1.** 送信禁止状態 (UF0TXE = 0) において、UF0TXレジスタへ書き込んだ場合、送信開始トリガとして動作しません。そのため、送信禁止状態にてUF0TXレジスタに書き込み後、送信許可状態に設定しても送信は開始されません。
- UF0TXレジスタに8ビットでライトを行った場合 (UF0TXBレジスタにライトした場合)、UF0TX.8ビットには0が書き込まれます。
 - UF0BUF0-UF0BUF8レジスタ使用時、UF0TXレジスタへの書き込みは禁止です。
 - 自動チェックサム機能を使用する場合、通信を行う前にUF0TXに0000Hを設定してください。

備考. UF0TX.8ビットは、拡張ビット許可時 (UF0EBE = UF0CL = 1) の拡張ビットです。

(10) LIN-UART0 8-bit送信データ・レジスタ (UF0TXB)

UF0TXBレジスタは、送信データを設定するための8ビット・レジスタです。

UF0TXBレジスタは8ビット単位でリード/ライト可能です。

パツファを使用しない場合、送信許可状態 (UF0TXE = 1) でデータの一貫性エラーを検出していない (UF0DCE = 0) ときに、UF0TXBレジスタへ送信データをライトすることで送信を開始します。

UF0EBE = 0のときは、UF0CLビットで指定されるキャラクタ長の送信データが送信されます。送信データ・フォーマットは、14.5.1 データ・フォーマットを参照してください。

送信するデータは、送信シフト・レジスタへ取り込む前にUF0TXBレジスタへライトされた最後のデータです。UF0ITS = 0のときは、LIN-UART送信割り込み要求発生後に次の送信データをUF0TXBレジスタへ書き込む事で、連続送信が可能となります。LIN-UART送信割り込み要求発生前に次の送信データがライトされると、先にライトされたデータを上書きし、あとのデータだけを送信します。

UF0TXBレジスタはリセット入力により00Hとなります。

図14 - 10 LIN-UART0 8-bit送信データ・レジスタ (UF0TXB) のフォーマット

アドレス : F0548H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
UF0TXB	UF0TX.7	UF0TX.6	UF0TX.5	UF0TX.4	UF0TX.3	UF0TX.2	UF0TX.1	UF0TX.0

データ長を7ビットに指定した場合 (UF0CL = 0):

- ・ LSBファースト送信時、送信データはUF0TXBレジスタのビット6-0が転送されます。
- ・ MSBファースト送信時、送信データはUF0TXBレジスタのビット7-1が転送されます。

- 注意 1.** 送信禁止状態 (UF0TXE = 0) において、UF0TXBレジスタへ書き込んだ場合、送信開始トリガとして動作しません。そのため、送信禁止状態にてUF0TXBレジスタに書き込み後、送信許可状態に設定しても送信は開始されません。
- UF0TXBレジスタにライトした場合、UF0TXレジスタのUF0TX.8ビットには0が書き込まれません。
 - UF0BUF0-UF0BUF8レジスタ使用時、UF0TXBレジスタへの書き込みは禁止です。
 - 自動チェックサム機能を使用する場合、通信を行う前にUF0TXBに00Hを設定してください。

(11) LIN-UART0ウエイト用送信データ・レジスタ (UF0WTX)

UF0WTXレジスタは、LIN通信時、受信のストップ・ビット完了まで送信開始を遅らせるための専用16ビット・レジスタです。

UF0WTXレジスタは16ビット単位でライトのみ可能です。8ビット単位でライトする場合はUF0WTXBレジスタとしてアクセス可能です。

UF0WTXレジスタは、受信から送信へ切り替わる場合に受信のストップ・ビット長を保証します。

詳細は、14.5.11 **送信開始ウエイト機能**を参照してください。

UF0WTXレジスタをリードすると、UF0WTXレジスタの値がリードされます。

リセット入力により0000Hとなります。

図14 - 11 LIN-UART0ウエイト用送信データ・レジスタ (UF0WTX) のフォーマット

アドレス : F052AH, F052BH リセット時 : 0000H W

略号	15	14	13	12	11	10	9	8
UF0WTX	0	0	0	0	0	0	0	UF0WTX.8
	7	6	5	4	3	2	1	0
	UF0WTX.7	UF0WTX.6	UF0WTX.5	UF0WTX.4	UF0WTX.3	UF0WTX.2	UF0WTX.1	UF0WTX.0

注意 1. 受信から送信へ切り替わるとき以外 (送信中など), UF0WTXレジスタへのライトは禁止です。

2. UF0WTXレジスタに8ビット・アクセスした場合 (UF0WTXBレジスタにアクセスした場合), UF0WTX.8ビットには0が書き込まれます。

3. UF0BUF0-UF0BUF8レジスタ使用時, UF0WTXレジスタへの書き込みは禁止です。

備考 UF0WTX.8ビットは、拡張ビット許可時 (UF0EBE = UF0CL = 1) の拡張ビットです。

(12) LIN-UART0ウエイト用8-bit送信データ・レジスタ (UF0WTXB)

UF0WTXBレジスタは、LIN通信時、受信のストップ・ビット完了まで送信開始を遅らせるための専用8ビット・レジスタです。

UF0WTXBレジスタは8ビット単位でライトのみ可能です。

UF0WTXBレジスタは、受信から送信へ切り替わる場合に受信のストップ・ビット長を保証します。

詳細は、14. 5. 11 **送信開始ウエイト機能**を参照してください。

UF0WTXBレジスタをリードすると、UF0TXBレジスタの値がリードされます。

リセット入力により00Hとなります。

図14 - 12 LIN-UART0ウエイト用8-bit送信データ・レジスタ (UF0WTXB) のフォーマット

アドレス : F052AH リセット時 : 00H W

略号	7	6	5	4	3	2	1	0
UF0WTXB	UF0WTX.7	UF0WTX.6	UF0WTX.5	UF0WTX.4	UF0WTX.3	UF0WTX.2	UF0WTX.1	UF0WTX.0

- 注意 1.** 受信から送信へ切り替わる時以外(送信中など),UF0WTXBレジスタへのライトは禁止です。
2. UF0WTXBレジスタにアクセスした場合、UF0WTXレジスタのUF0WTX.8ビットには0が書き込まれます。
 3. UF0BUF0-UF0BUF8レジスタ使用時、UF0WTXBレジスタへの書き込みは禁止です。

(13) LIN-UART0受信データ・レジスタ (UF0RX)

UF0RXレジスタは、受信データを格納するための16ビット・レジスタです。

オート・ポー・レート・モード以外の場合 (UF0MD1, UF0MD0 = 00B/10B) かつUF0EBE = 0のときは、受信完了のあとにUF0CLビットで指定されるキャラクタ長の受信データがUF0RXレジスタに格納されます。UF0EBE = UF0CL = 1の場合は、9ビット長の受信データが格納されます。

UF0RXレジスタは、16ビット単位でリードのみ可能です。8ビット単位でリードする場合はUF0RXBレジスタとしてアクセス可能です。

リセット入力によりは0000Hとなります。

図14 - 13 LIN-UART0受信データ・レジスタ (UF0RX) のフォーマット

アドレス : F054AH, F054BH リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8
UF0RX	0	0	0	0	0	0	0	UF0RX.8
	7	6	5	4	3	2	1	0
	UF0RX.7	UF0RX.6	UF0RX.5	UF0RX.4	UF0RX.3	UF0RX.2	UF0RX.1	UF0RX.0

データ長を7ビットに指定した場合 (UF0CLビット = 0) :

- ・ LSBファースト受信時、受信データはUF0RXレジスタのビット6-0に転送され、MSBは必ず“0”になります。
- ・ MSBファースト受信時、受信データはUF0RXレジスタのビット7-1に転送され、LSBは必ず“0”になります。
- ・ オーバーラン・エラー (UF0OVE = 1) が発生した場合は、そのときの受信データはUF0RXレジスタに転送されません。

備考 UF0RX.8ビットは、拡張ビット許可時 (UF0EBE = UF0CL = 1) の拡張ビットです。

(14) LIN-UART0 8-bit受信データ・レジスタ (UF0RXB)

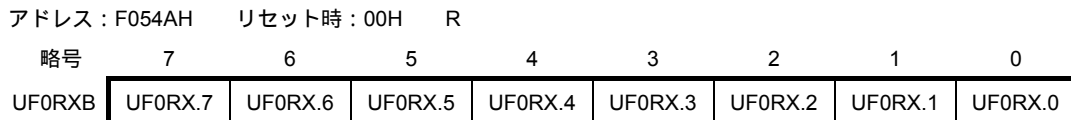
UF0RXBレジスタは、受信データを格納するための8ビット・レジスタです。

オート・ポー・レート・モード以外の場合 (UF0MD1, UF0MD0 = 00B/10B) かつUF0EBE = 0のときは、受信完了のあとにUF0CLビットで指定されるキャラクタ長の受信データがUF0RXBレジスタに格納されます。

UF0RXBレジスタは、8ビット単位でリードのみ可能です。

リセット入力によりは00Hとなります。

図14 - 14 LIN-UART0 8-bit受信データ・レジスタ (UF0RXB) のフォーマット



データ長を7ビットに指定した場合 (UF0CLビット = 0) :

- ・ LSBファースト受信時、受信データはUF0RXBレジスタのビット6-0に転送され、MSBは必ず“0”になります。
- ・ MSBファースト受信時、受信データはUF0RXBレジスタのビット7-1に転送され、LSBは必ず“0”になります。
- ・ オーバラン・エラー (UF0OVE = 1) が発生した場合は、そのときの受信データはUF0RXBレジスタに転送されません。

(15) LIN-UART0 ID設定レジスタ (UF0ID)

UF0IDレジスタは、オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) かつLIN通信時に受信したPIDを格納する8ビットのレジスタです。詳細は、14. 7 LIN通信オート・ポー・レート・モードを参照してください。

また、通常UARTモード (UF0MD1, UF0MD0 = 00B) かつ拡張ビット・データ比較許可 (UF0CL = UF0EBE = UF0EBC = 1) のときは、受信した拡張ビットが拡張ビット検出レベル (UF0EBL) と一致すると、UF0IDレジスタと受信データの8ビット (UF0RX7-UF0RX0) を比較します。詳細は、14. 8. 3 拡張ビット・モード受信 (データ比較あり) を参照してください。

受信動作許可ビット (UF0CTL0レジスタのUF0RXEビット) は比較値の設定をするとき"0"とし、設定後"1"として通信を行ってください。

8ビット単位でリード/ライト可能です。

リセット入力により00Hとなります。

図14 - 15 LIN-UART0 ID設定レジスタ (UF0ID) のフォーマット

アドレス : F052EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
UF0ID	UF0ID.7	UF0ID.6	UF0ID.5	UF0ID.4	UF0ID.3	UF0ID.2	UF0ID.1	UF0ID.0

注意 オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時、通信前に00Hを設定してください。またオート・ポー・レート時の通信動作中は、ライトしないでください。

(16) LIN-UART0バッファ・レジスタ0-8 (UF0BUF0-UF0BUF8)

UF0BUF0-UF0BUF8レジスタは8ビットのバッファ・レジスタです。

通常UARTモード (UF0MD1, UF0MD0 = 00B) 時の送信またはオート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時の送受信で使用可能です。

通常UARTモード (UF0MD1, UF0MD0 = 00B) 時, UF0TRQビットをセットすることによりデータをUF0BUF0レジスタから順に送信します。

オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) かつレスポンス送信時 (UF0TRQ = 1) には, UF0BUF0から順に格納されている送信データを送信し, 受信データの格納は行われません。

オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) かつレスポンス受信時 (UF0RRQ = 1) には, 受信したデータをUF0BUF0から順に格納します。

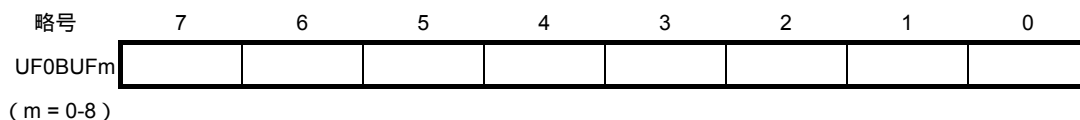
詳細は, 14. 6. 1 UARTバッファ・モード送信, 14. 7 LIN通信オート・ポー・レート・モードを参照してください。

8ビット単位で, リード/ライト可能です。

リセット入力により00Hとなります。

図14 - 16 LIN-UART0バッファ・レジスタ0-8 (UF0BUF0-UF0BUF8) のフォーマット

アドレス: F052FH (UF0BUF0), F0530H (UF0BUF1), リセット時: 00H R/W
 F0531H (UF0BUF2), F0532H (UF0BUF3),
 F0533H (UF0BUF4), F0534H (UF0BUF5),
 F0535H (UF0BUF6), F0536H (UF0BUF7),
 F0537H (UF0BUF8)



注意 拡張ビット許可時 (UF0EBE = UF0CL = 1) は使用できません。

(17) LIN-UART0バッファ制御レジスタ (UF0BUCTL)

UF0BUCTLは、バッファを制御する16ビット・レジスタです。

16ビット単位で、リード/ライト可能です。

詳細は、14. 6. 1 UARTバッファ・モード送信, 14. 7 LIN通信オート・ポー・レート・モードを参照してください。

リセット入力により0000Hとなります。

図14 - 17 LIN-UART0バッファ制御レジスタ (UF0BUCTL) のフォーマット (1/2)

アドレス : F0538H, F0539H (UF0BUCTL) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
UF0BUCTL	0	0	0	0	0	0	UF0TW	UF0CON
	7	6	5	4	3	2	1	0
	UF0ECS	UF0NO	UF0RRQ	UF0TRQ	UF0BUL3	UF0BUL2	UF0BUL1	UF0BUL0

UF0TW	送信開始ウエイト・ビット
0	バッファ・データを送信要求時、すぐに送信を開始。
1	バッファ・データを送信要求時、受信のストップ・ビット完了まで送信開始を遅らせる。
UF0TWビットはLIN通信でバッファのデータを送信するとき、受信のストップ・ビット完了まで送信開始を遅らせるためのビットです。オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時のみセット可能です。詳細は、14. 5. 11 送信開始ウエイト機能, 14. 7 LIN通信オート・ポー・レート・モードを参照してください。	
注意 1. ヘッダ受信後にレスポンス送信へ切り替え時以外、セット禁止です。 2. UF0TRQビットのセット (1) と同時にUF0TWビットの値が有効になります。	

UF0CON	継続選択ビット
0	次に送受信するデータ群は最終である。
1	次に送受信するデータ群は最終ではない。 (次のヘッダ受信を待たずにデータ送受信を継続)
UF0CONビットは、LIN通信で多バイト・レスポンス送受信機能を使用時、次に送受信するデータ群が最終でないことを示すためのビットです。オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時のみセット可能です。詳細は、14. 7. 5 多バイト・レスポンス送受信機能を参照してください。	
注意 1. 多バイト送受信機能を使用時以外、セット禁止です。 2. UF0NO, UF0RRQ, UF0TRQ設定時、16ビット・アクセスでUF0CONビットも同時に設定してください。	

UF0ECS	エンハンス・チェック・サム選択ビット
0	クラシック・チェックサム (データ・バイトのみ計算に使用)
1	エンハンス・チェックサム (データ・バイト + PIDバイトを計算に使用)
UF0ECSビットは、LIN通信でオート・チェック・サム機能を使用時、チェック・サムの取り扱いを選択するためのビットです。オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) かつオート・チェック・サム許可 (UF0ACE = 1) 時のみ有効です。詳細は、14. 7. 4 オート・チェック・サム機能を参照してください。	

図14 - 17 LIN-UART0バッファ制御レジスタ (UF0BUCTL) のフォーマット (2/2)

UF0NO	レスポンスなし要求ビット
0	受信PIDに対するレスポンスあり
1	受信PIDに対するレスポンスなし

UF0NOビットはオート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) のとき、UF0IDレジスタに格納されているPID (ヘッダで受信されたPID) が対象外である場合に使用するビットです。UF0NOビット設定後、次のBF-SFの受信完了タイミングで自動的にクリアされます。オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時のみセット可能です。

注意 UF0NOビットが“1”の期間は、UF0TRQ, UF0RRQビットをセットしないでください。同時書き換えは禁止です。

UF0RRQ	受信要求ビット
0	受信要求なし
1	受信開始の要求 / オート・ポー・レート・モード時の受信動作中

UF0RRQビットは、バッファへのデータ格納開始を要求するためのビットです。バッファへの受信完了割り込みの発生タイミングでクリアされます。オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時のみセット可能です。

詳細は、14.7 LIN通信オート・ポー・レート・モードを参照してください。

注意 UF0RRQビットが“1”の期間は、UF0NO, UF0TRQビットをセットしないでください。同時書き換えは禁止です。

UF0TRQ	送信要求ビット
0	送信要求なし
1	送信開始の要求 / バッファ使用時の送信動作中

UF0TRQビットは、バッファのデータ送信開始を要求するためのビットです。バッファに準備されているデータの送信割り込み発生タイミングでクリアされます。通常UARTモード (UF0MD1, UF0MD0 = 00B) またはオート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時のみセット可能です。

詳細は、14.6.1 UARTバッファ・モード送信, 14.7 LIN通信オート・ポー・レート・モードを参照してください。

注意 UF0TRQビットが“1”の期間は、UF0NO, UF0RRQビットをセットしないでください。同時書き換えは禁止です。

UF0BUL3-UF0BUL0	バッファ長ビット
0	9バイトの送受信を行う
1-9	設定バイト数の送受信を行う
10-15	9バイトの送受信を行う

UF0BUL3-UF0BUL0ビットは、バッファのデータ送受信データ数を設定するビットです。リード値は、現在のバッファのポインタです。通常UARTモード (UF0MD1, UF0MD0 = 00B) またはオート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時のみ有効です。自動チェックサム有効の場合、チェックサム分 (1バイト) は含める必要はありません。

詳細は、14.6.1 UARTバッファ・モード送信, 14.7 LIN通信オート・ポー・レート・モードを参照してください。

(18) ポート・モード・レジスタ5, X2 (PM5, PMX2)

PM5はポート5の入力 / 出力を1ビット単位で設定するレジスタです。

P50/INTP1/SI11/SDA11/LRxDO端子をシリアル・データ入力として使用するとき、PM5.0ビットに1を設定してください。このときP5.0の出力ラッチは、0または1のどちらでもかまいません。

P51/INTP2/SO11/LTxDO端子をシリアル・データ出力として使用するとき、PM5.1ビットに1を設定してください。さらに、PMX2レジスタのPMX2ビットに0を設定してください。

PM5, PMX2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。リセット信号の発生により、FFHになります。

備考 1. 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View)、2.1 端子機能一覧を参照してください。

2. ポートの設定に関しては、第4章 ポート機能を参照してください。

図14 - 18 ポート・モード・レジスタ5 (PM5) のフォーマット

アドレス : FFF25H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM5	0	0	PM5.5	PM5.4	PM5.3	PM5.2	PM5.1	PM5.0

PM5.n	P5n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図14 - 19 ポート・モード・レジスタX2 (PMX2) のフォーマット

アドレス : F0506H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMX2	1	1	1	1	1	1	1	PMX2

PMX2	P51/INTP2/SO11/LTxDO端子の兼用機能の選択
0	LTxD0端子
1	その他の兼用機能 (汎用ポートを含む)

14.4 割り込み要求信号

LIN-UART0からは次の3種類の割り込み要求信号を発生します。

- ・ LIN-UART受信ステータス割り込み (INTLS)
- ・ LIN-UART受信割り込み (INTLR)
- ・ LIN-UART送信割り込み (INTLT)

これら3種類の割り込み要求信号のデフォルト・プライオリティを、表14 - 2に示します。

表14 - 2 発生する割り込みとデフォルト・プライオリティ

割り込み	デフォルト・プライオリティ
ステータス	低
受信完了	
送信開始 / 完了	高

(1) LIN-UART受信ステータス割り込み (INTLS)

受信中にエラー条件を検出すると、LIN-UART受信ステータス割り込みが発生します。検出したステータスに対応したUF0STRレジスタのフラグ (UF0PE, UF0FE, UF0OVE, UF0DCE, UF0BSF, UF0IPE, UF0CSE, UF0RPE, UF0IDM, UF0EBD) がセットされます。

詳細は、14.5.10 LIN-UART受信ステータス割り込み発生要因を参照してください。

(2) LIN-UART受信割り込み (INTLR)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされ、UF0RXレジスタに転送されるとLIN-UART受信割り込みが発生します。

受信エラーが起こった場合には、LIN-UART受信割り込みは発生せず、LIN-UART受信ステータス割り込みが発生します。

受信禁止状態中は、LIN-UART受信割り込みは発生しません。

- ・ 拡張ビット動作許可 (UF0CL = UF0EBE = 1) かつ拡張ビット・データ比較禁止 (UF0EBC = 0) に設定している場合、拡張ビット検出レベル選択ビット (UF0EBL) で設定したレベルの反転値が拡張ビットとして検出されるとLIN-UART受信割り込みが発生します。
- ・ オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) かつPID受信完了時 (ストップ・ビット位置) にエラーなしの場合は、LIN-UART受信割り込みが発生します。
- ・ オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時、レスポンス受信がエラーなく終了した場合、受信完了割り込み要求信号が発生します。

(3) LIN-UART送信割り込み (INTLT)

送信開始時、送信割り込み要求を出力に設定している場合 (UF0ITS = 0) は、UF0TXレジスタから送信シフト・レジスタへ転送完了するタイミングで、送信割り込み要求信号が発生します。送信完了時、送信割り込み要求を出力に設定している場合 (UF0ITS = 1) は、ストップ・ビット送信が完了するタイミングで、送信割り込み要求信号を発生します。

- ・オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時 , レスポンス送信の最終送信バイト送信開始時に送信完了割り込み要求信号が発生します。

14.5 動作

14.5.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは、図14 - 20に示すとおり、スタート・ビット、キャラクタ・ビット、拡張ビット、パリティ・ビット、ストップ・ビットでデータ・フレームを構成します。

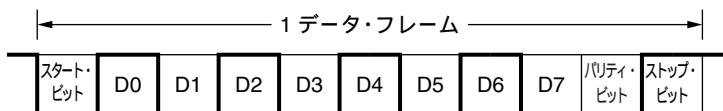
1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UF0CTL0レジスタによって行います。

UF0OPT0レジスタのUF0TDLビットでLTxD0端子のUART出力 / 反転出力の制御を、UF0RDLビットでLRxD0端子のUART入力 / 反転入力の制御を行います。

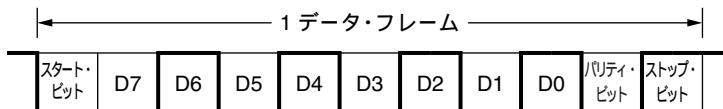
- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット / 8ビット
- ・拡張ビット 1ビット
- ・パリティ・ビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット 1ビット / 2ビット
- ・送受信レベルの設定 ... 正転 / 反転
- ・送受信方向の設定 MSB / LSB

図14 - 20 LIN-UARTの送受信データのフォーマット (1/2)

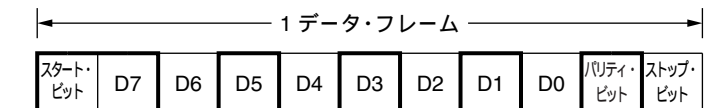
(a) 8ビット・データ長，LSB ファースト，偶数パリティ，1ストップ・ビット，転送データ：55H



(b) 8ビット・データ長，MSB ファースト，偶数パリティ，1ストップ・ビット，転送データ：55H



(c) 8ビット・データ長，MSB ファースト，偶数パリティ，1ストップ・ビット，転送データ：55H, LTxD0 反転



(d) 7ビット・データ長，LSB ファースト，奇数パリティ，2ストップ・ビット，転送データ：36H

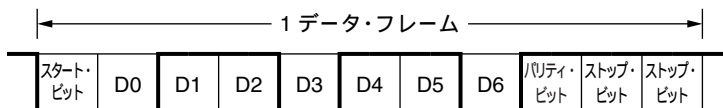
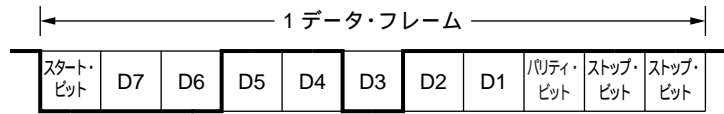
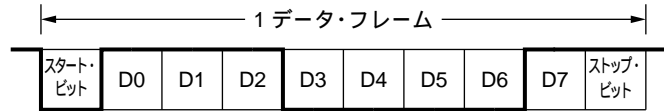


図14 - 20 LIN-UARTの送受信データのフォーマット (2/2)

(e) 7 ビット・データ長 , MSB ファースト , 奇数パリティ , 2 ストップ・ビット , 転送データ : 36H



(f) 8 ビット・データ長 , LSB ファースト , パリティなし , 1 ストップ・ビット , 転送データ : 87H



(g) 8 ビット・データ長 , LSB ファースト , 偶数パリティ , 拡張ビット : 許可 , 1 ストップ・ビット , 転送データ : 155H



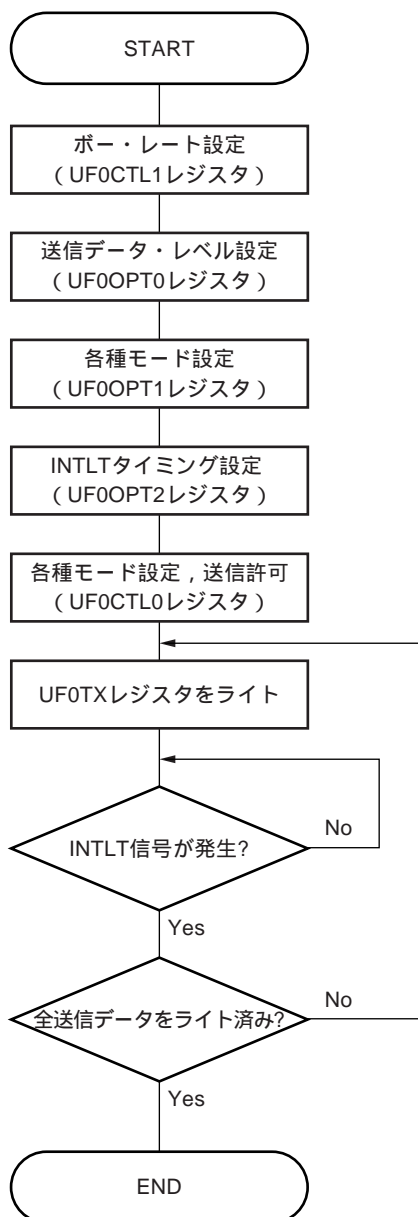
(h) 8 ビット・データ長 , MSB ファースト , 偶数パリティ , 拡張ビット : 許可 , 1 ストップ・ビット , 転送データ : 155H



14.5.2 データ送信

図14 - 21にデータを送信する手順を説明します。

図14 - 21 送信処理フロー



- 注意 1. 送信ユニットを初期化 (UF0TXE = 0) する場合は、送信状態フラグがリセット (UF0TSF = 0) されていることを必ず確認してください。UF0TSF = 1の状態では初期化すると、送信が途中で中断されません。
2. LIN通信時は、送信と同時に受信も行っているため、LIN-UART受信ステータス割り込み (INTLS) の発生を確認してください。
3. LIN通信において、データの一貫性エラー検出を設定 (UF0DCS = 1) し、データの一貫性エラーを検出すると、LIN-UART受信ステータス割り込み (INTLS) が発生してデータの一貫性エラー・フラグがセット (UF0DCE = 1) されると共に、次のデータ・フレームまたはBFの送信が停止します。

備考 LIN-UARTの起動については、14.11 使用上の注意の(2)を参照してください。

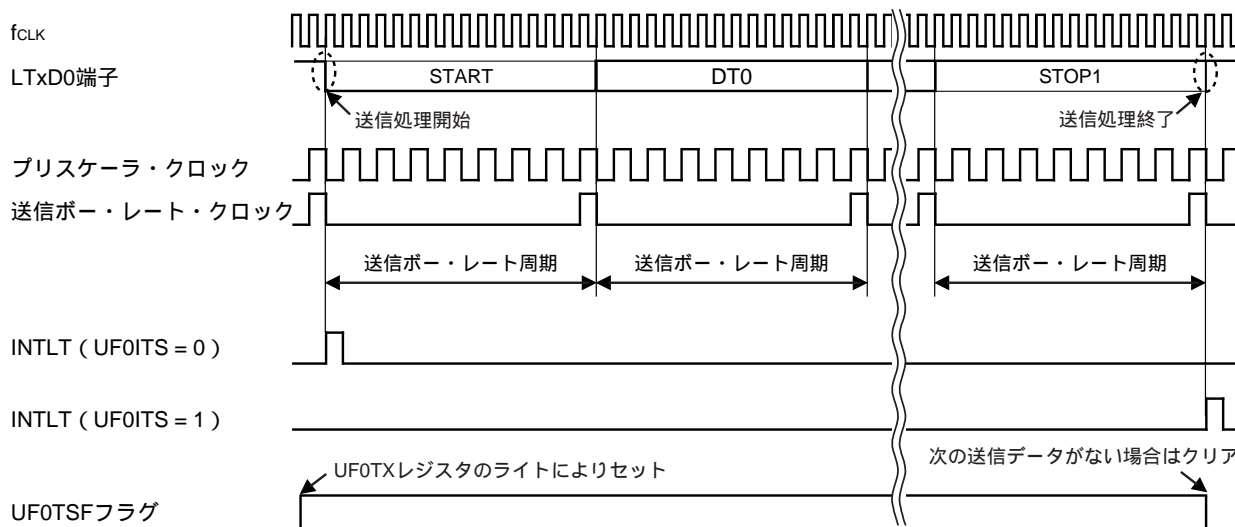
送信データ・レジスタ (UF0TX) に送信データを書き込むことにより送信動作を開始します。

UF0TXレジスタに格納されたデータは送信シフト・レジスタへ転送され、スタート・ビット、拡張ビット、パリティ・ビット、ストップ・ビットが付加されて、LTxD0端子から順次シリアル出力されます。

送信割り込みを送信開始時に設定しているとき (UF0ITS = 0) は、UF0TXレジスタに格納されたデータが送信シフト・レジスタへ転送完了するタイミングで、LIN-UART送信割り込み (INTLT) を発生します。

送信割り込みを送信完了時に設定しているとき (UF0ITS = 1) は、ストップ・ビット送信が完了するタイミングで、LIN-UART送信割り込み (INTLT) を発生します。

図14 - 22 データ送信のタイミング・チャート



注意 ストップ・ビット長を2ビットにしている場合 (UF0SL = 1) , LIN-UART送信割り込み (INTLT) は2ビット目のストップ・ビットの送信完了時に出力され、同時に送信状態フラグ (UF0TSF) がクリアされます。

LIN-UART送信割り込み (INTLT) 発生を送信開始時に設定している場合 (UF0ITS = 0), INTLTが発生したあと, 送信中に次のデータをUF0TXに書き込むことにより, 連続送信が可能となります。

図14 - 23 連続送信を開始する際のタイミング図 (UF0ITS = 0)

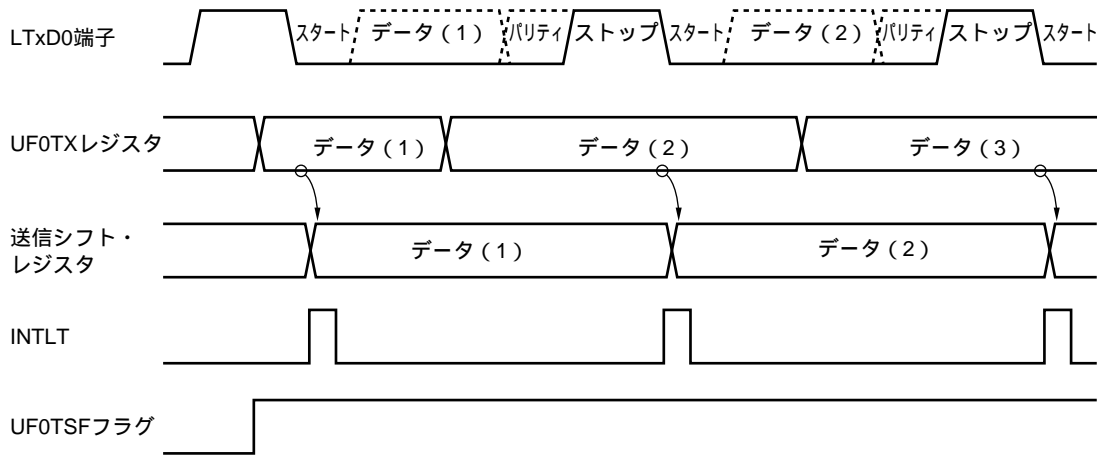
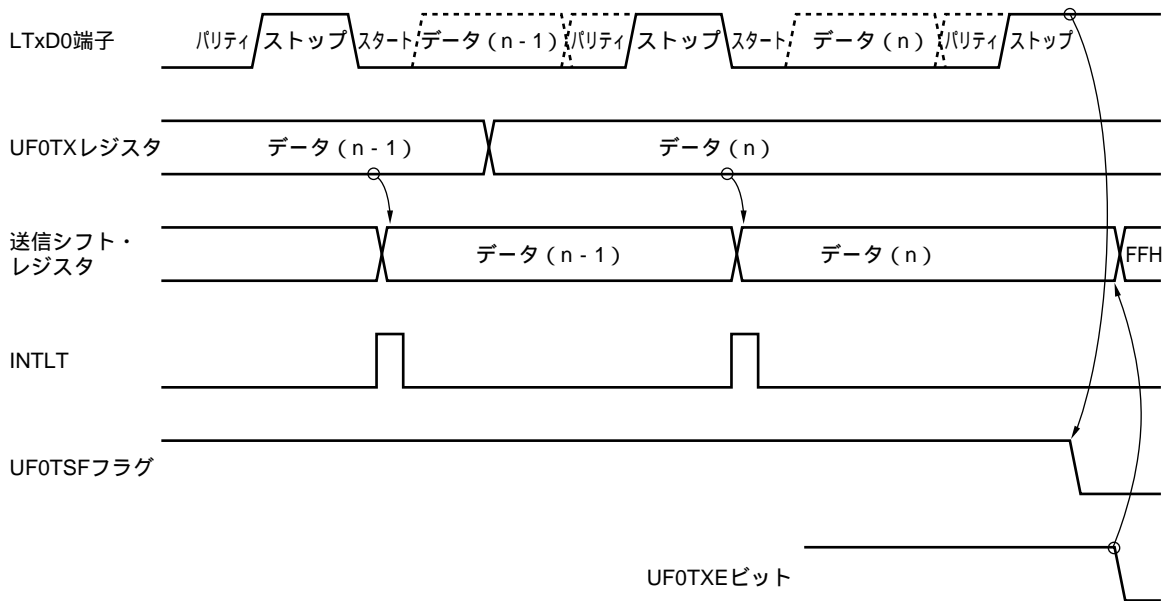


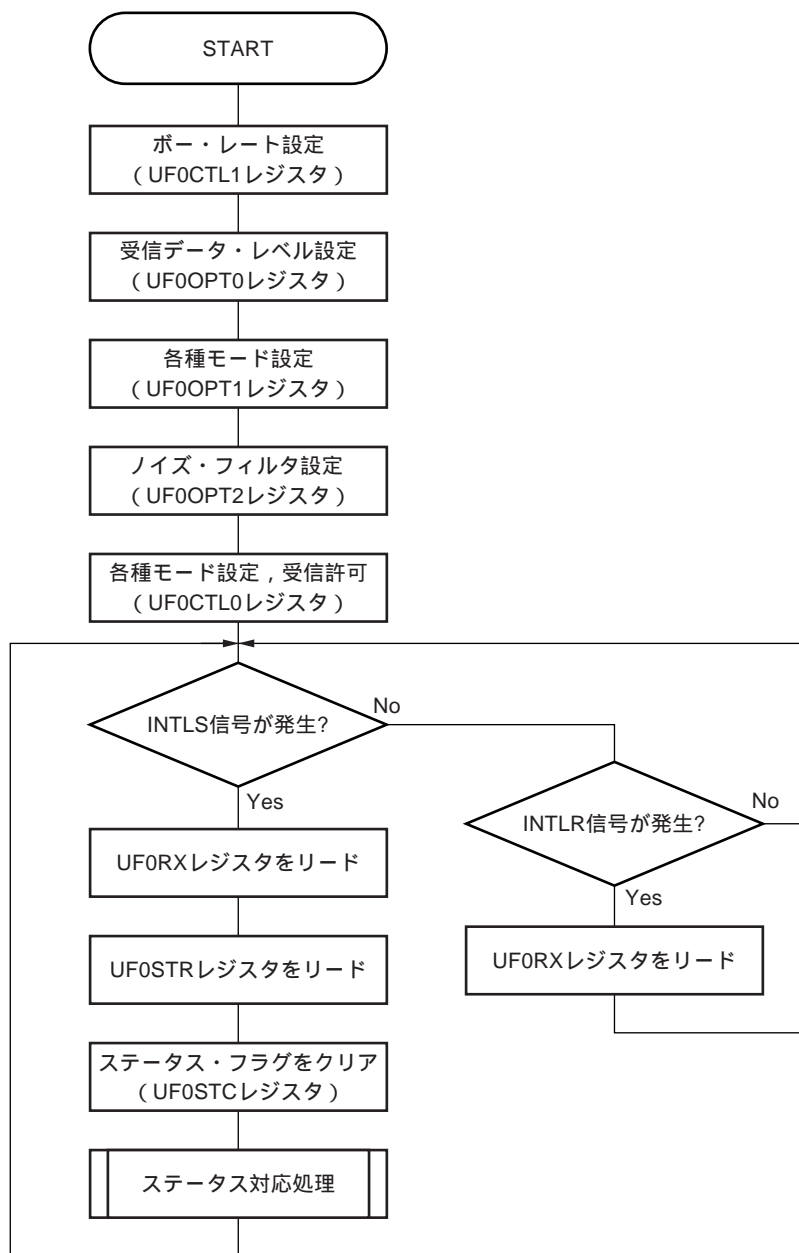
図14 - 24 連続送信を終了する際のタイミング図 (UF0ITS = 0)



14.5.3 データ受信

図14 - 25にデータを受信する手順を説明します。

図14 - 25 受信処理フロー



- 注意 1. 受信ユニットを初期化 (UF0RXE = 0) する場合は、受信状態フラグがリセット (UF0RSF = 0) されていることを必ず確認してください。UF0RSF = 1の状態では初期化すると、受信が途中で中断されます。
2. 受信エラー発生時にも、受信データ・レジスタ (UF0RX) は必ず読み出してください。UF0RXレジスタを読み出さないと、次のデータ受信完了時にオーバーラン・エラーが発生します。

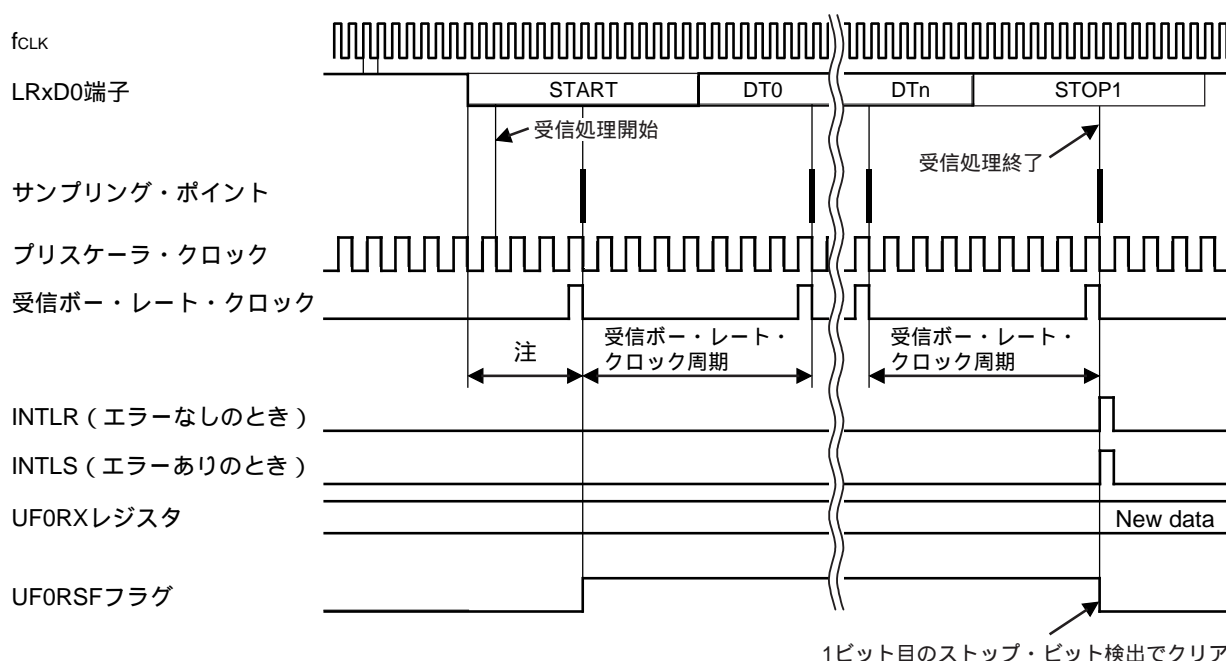
備考 LIN-UARTの起動については、14.11 使用上の注意の(2)を参照してください。

LRxD0端子を動作クロックでサンプリングし、立ち下がりエッジを検出すると、LRxD0端子のデータ・サンプリングが始まり、立ち下がりエッジ検出後の受信ポー・レート・クロック周期の1/2のタイミングにロウ・レベルであればスタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたポー・レートに合わせてシリアル・データを順次、受信シフト・レジスタに格納していきます。ストップ・ビットを受信したら、LIN-UART受信割り込み (INTLR) が発生すると同時に、受信シフト・レジスタに格納されたデータを受信データ・レジスタ (UF0RX) に転送します。

ただし、オーバラン・エラーが発生 (UF0OVE = 1) した場合は、そのときの受信データはUF0RXレジスタに転送されず、破棄されます。その他のエラーが発生した場合、ストップ・ビットの受信位置までは受信を継続し、受信データはUF0RXレジスタに転送されます。

どの受信エラーが発生した場合でも、受信完了後にINTLSが発生し、INTLRは発生しません。

図14 - 26 データ受信のタイミング・チャート



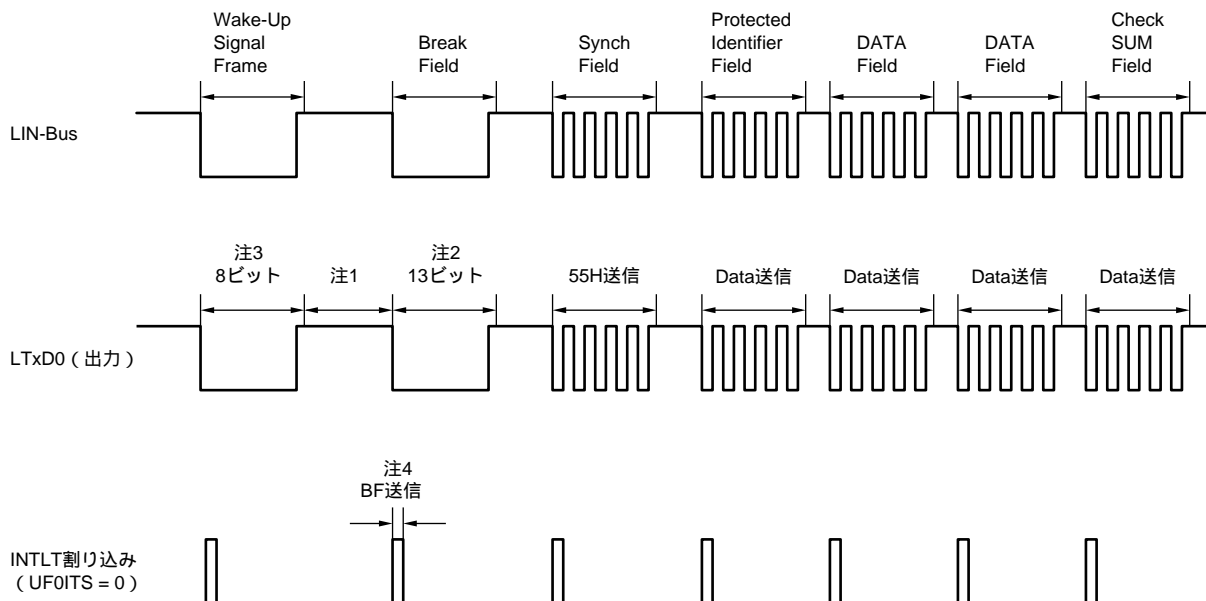
注 受信ポー・レート・クロック周期の1/2

- 注意 1. LRxD0端子の立ち下がりエッジを検出後、受信ポー・レート・クロック周期の1/2のタイミングでハイ・レベルが検出された場合、スタート・ビットは認識されません。
2. 受信は、常にストップ・ビット数 = 1として動作します。
そのとき、2ビット目のストップ・ビットは無視されます。
3. 受信許可動作前からLRxD0端子に常時ロウ・レベルが入力されている状態だと、スタート・ビットとは判断されません。
4. 連続受信の場合、最初の受信データのストップ・ビット検出直後 (LIN-UART受信割り込み発生時) から次のスタート・ビットの検出は可能です。
5. 必ずUF0RDLビットを変更後に受信許可 (UF0RXE = 1) を行ってください。受信許可後にUF0RDLビットを変更すると、スタート・ビットを誤検出する可能性があります。

14.5.4 BF送信 / 受信フォーマット

RL78/F12にはLIN (Local Interconnect Network) 機能として使用するために、BF (Break Field) 送信 / 受信制御機能があります。

図14 - 27 LINの送信操作概略



注意1. 各フィールド間の間隔はソフトウェアで制御します。

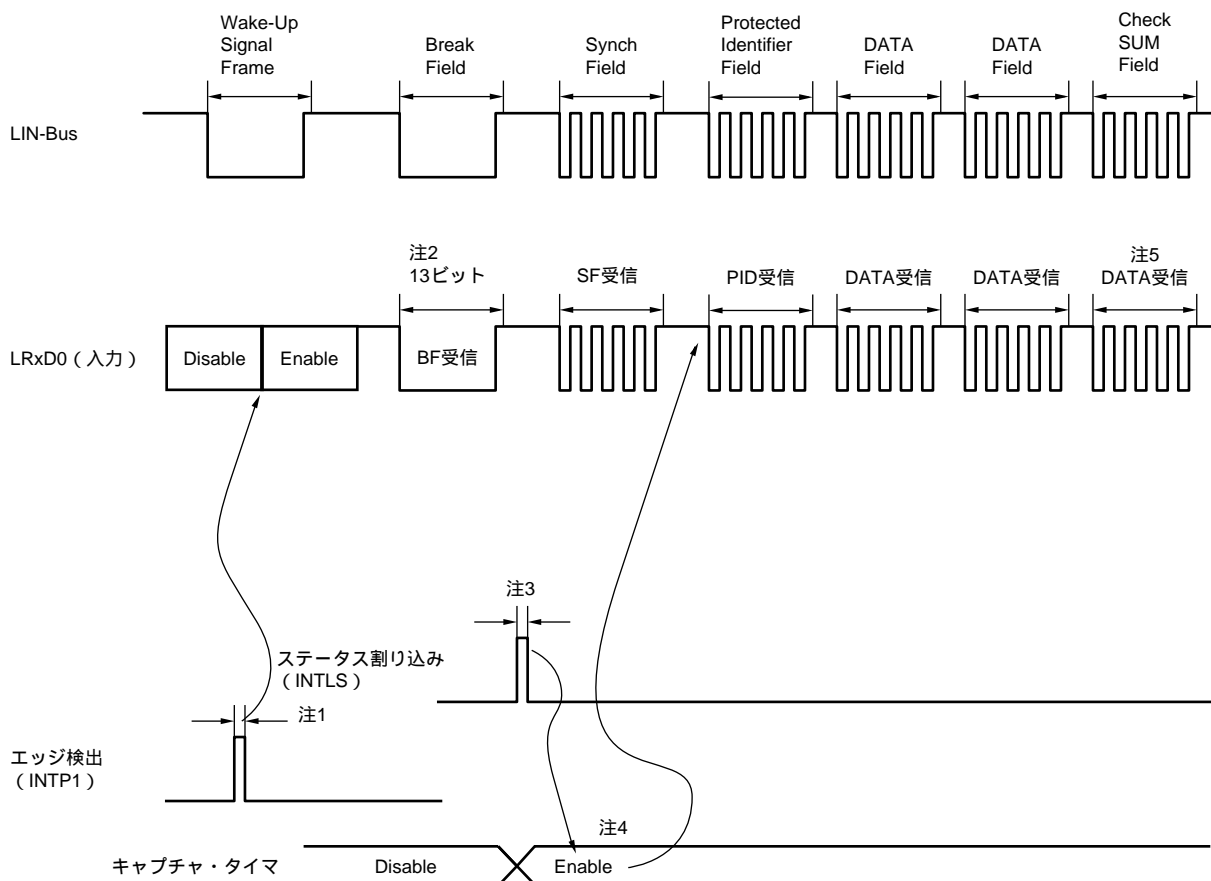
2. BFの出力はハードウェアで行います。出力幅はUF0OPT0レジスタのUF0BLS2-UF0BLS0ビットで設定したビット長になります。さらに細かい出力幅調整が必要な場合は、UF0CTL1レジスタのUF0BRS11-UF0BRS0ビットの値で調整します。

3. ウェイクアップ信号は、8ビット・モードの80H転送またはBF送信で代用します。

4. 各送信開始時にはLIN-UART送信割り込み (INTLT) を出力します。BF送信開始時もINTLT信号を出力します。送信開始時に、必ずLIN-UART送信割り込みが発生するようUF0OPT2.UF0ITS = 0に設定してください。

備考 図14 - 27は、通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) 時のものです。オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) 時については、14.7 LIN通信オート・ポー・レート・モードを参照してください。

図14 - 28 LINの受信操作概略



注意1. ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTP1) で行います。ウェイクアップ信号受信後、LIN-UART0をイネーブルにし、受信動作を許可したうえで、必要に応じてBF受信トリガ・ビットをセットします。

2. 11ビット以上のBF受信を検出するとBF受信は正常終了と判断されます。

3. 正常にBF受信を終了した場合、通常UARTモード (UF0MD1, UF0MD0 = 00B) のときは、受信完了割り込み要求信号 (INTLR)が発生します。通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) のときは、ステータス割り込み要求信号 (INTLS) が発生して、BF受信成功フラグ (UF0BSF) をセットします。BF受信フラグ (UF0BRF) が “1” の場合、BF受信中はオーバラン、パリティ、フレーミングの各エラー (UF0OVE, UF0PE, UF0FE) 検出は行いません。また、受信シフト・レジスタから受信データ・レジスタ (UF0RX) へのデータ転送も行われません。このとき、UF0RXは前の値を保持します。

4. LRxD0端子をタイマ・アレイ・ユニットのTI (キャプチャ入力) に接続します。BF受信完了割り込みでタイマをイネーブルにし、SFの転送データからボー・レートを測定して、ボー・レート誤差を算出します。SF受信後に一度、LIN-UART0の受信動作を停止させてボー・レート誤差を補正したLIN-UART0制御レジスタ1 (UF0CTL1) の値を再セットし受信状態にします。

5. チェック・サム・フィールドの区別はソフトウェアで行います。CSF受信後にLIN-UART0を初期化し、再びBFの受信成功待ち状態 (UF0BRF = 1) に設定する処理もソフトウェアにて行います。ただし、通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) のときは、再びBFの受信成功待ち状態 (UF0BRF = 1) に設定しなくても、その後自動的にBFの受信を行うことができます。

(注意6と備考は次ページにあります)

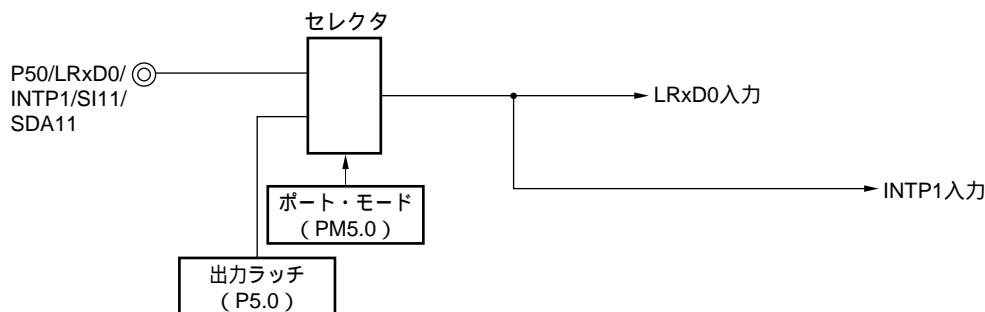
6. Synch Fieldは、TAUのキャプチャ機能を使用して、転送のボー・レートを算出します。ここで、LIN-UART0からの割り込み発生を停止させたい場合、受信停止にすることで、受信割り込みの発生を停止させることができます。

備考 オート・ボー・レート・モード (UF0MD1, UF0MD0 = 11B) については、14.7 LIN通信オート・ボー・レート・モードを参照してください。

図14 - 29はLINの受信操作のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を、INTP1のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット (TAU) の外部イベント・キャプチャ動作で計測し、ボー・レート誤差を算出することができます。

図14 - 29 LINの受信操作のポート構成図



LIN通信動作で使用する周辺機能をまとめると、次のようになります。

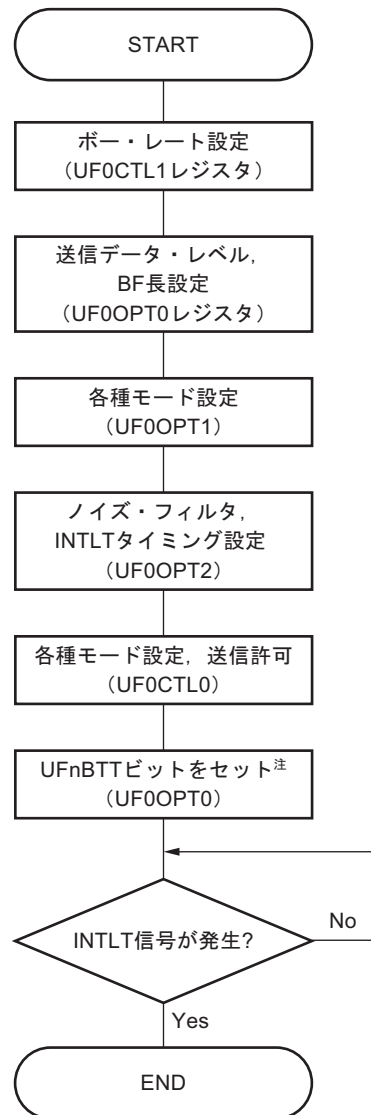
<使用する周辺機能>

- ・ LIN-UART0受信端子割り込み (INTP1) ; ウエイクアップ信号検出
用途 : ウエイクアップ信号のエッジを検出し、通信開始を検出
- ・ タイマ・アレイ・ユニット (TAU) のタイマ入力 ; ボー・レート誤差検出
用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでボー・レート誤差を検出 (タイマ入力エッジの間隔をキャプチャ・モードで測定)
- ・ アシクロナス・シリアル・インタフェースLIN-UART0

14.5.5 BF送信

図14 - 30でLIN通信におけるBF送信の処理を説明します。

図14 - 30 BF送信処理フロー



注 通常UARTモード (UF0MD1, UF0MD0 = 00B) の場合, 同時にUF0BRTビットをセットしてください。

注意 BF送信を行う場合は, 次の値を設定してください。

送信データ・レベルは, 通常出力 (UF0TDL = 0)。

通信方向制御は, LSBファースト (UF0DIR = 1)。

パリティ選択ビットは, パリティ・ビット出力なし (UF0PS1, UF0PS0 = 00B)。

データ・キャラクタ長は, 8ビット (UF0CL = 1)。

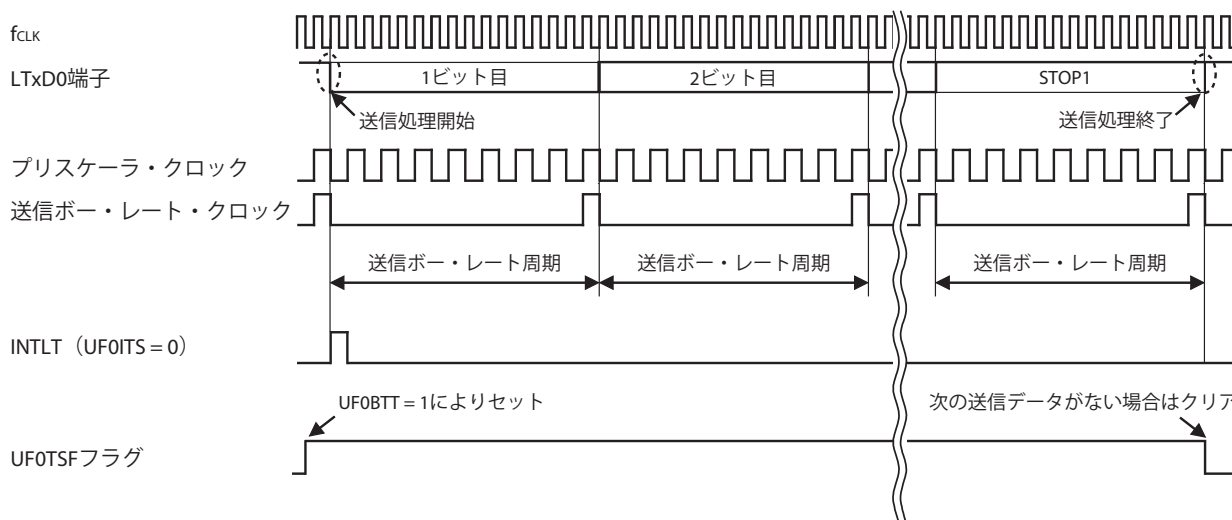
LIN-UART送信割り込みは, 送信開始時 (UF0ITS = 0)。

備考 LIN-UARTの起動については, 14.11 使用上の注意の(2)を参照してください。

BF送信トリガ (UF0BTT) をセットすると、BF送信動作を開始します。LTxD0端子には、BF長選択ビット (UF0BLS2-UF0BLS0) で指定された13ビットから20ビットまでのロウ・レベルが出力されます。BF送信開始時にはLIN-UART送信割り込み (INTLT) が発生します。BF送信を終了後、BF送信状態は自動的に解除され、通常のUART送信モードに戻ります。

送信するデータをUF0TXレジスタに書き込むか、BF送信トリガ (UF0BTT) をセットするまで、送信動作は待機状態となります。BF送信時のLIN-UART受信割り込み (INTLR) やLIN-UART受信ステータス割り込み (INTLS) などによって、BFの正常受信を確認してから、次の送信動作を開始してください。

図14 - 31 BF送信のタイミング例



注意 ストップ・ビット長を2ビットにしている場合 (UF0SL = 1) , 送信状態フラグ (UF0TSF) は2ビット目のストップ・ビット完了時にクリアされます。

14.5.6 BF受信

図14 - 32でLIN通信におけるBF受信の処理を説明します。

図14 - 32 BF受信処理フロー



注意 BF受信を行う場合は、次の値を設定してください。

入力論理レベルは、通常入力 (UF0RDL = 0)

通信方向制御は、LSBファースト (UF0DIR = 1)

パリティ選択ビットは、パリティ・ビット出力なし (UF0PS1, UF0PS0 = 00B)

データ・キャラクタ長は、8ビット (UF0CL = 1)

LIN-UART送信割り込みは、送信開始時 (UF0ITS = 0)

モードは、通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B)

備考 1. 図14 - 32は、通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) のLIN通信の場合の受信処理フローです。

オート・ボー・レート・モード (UF0MD1, UF0MD0 = 11B) の場合は、14.7 LIN通信オート・ボー・レート・モードを参照してください。

2. LIN-UARTの起動については、14.11 使用上の注意の(2)を参照してください。

BF受信トリガ・ビット (UF0BRT) をセットすると、BFの受信成功待ち状態 (UF0BRF = 1) になり、LRxD0 入力レベルをモニタし、スタート・ビットの検出を行います。

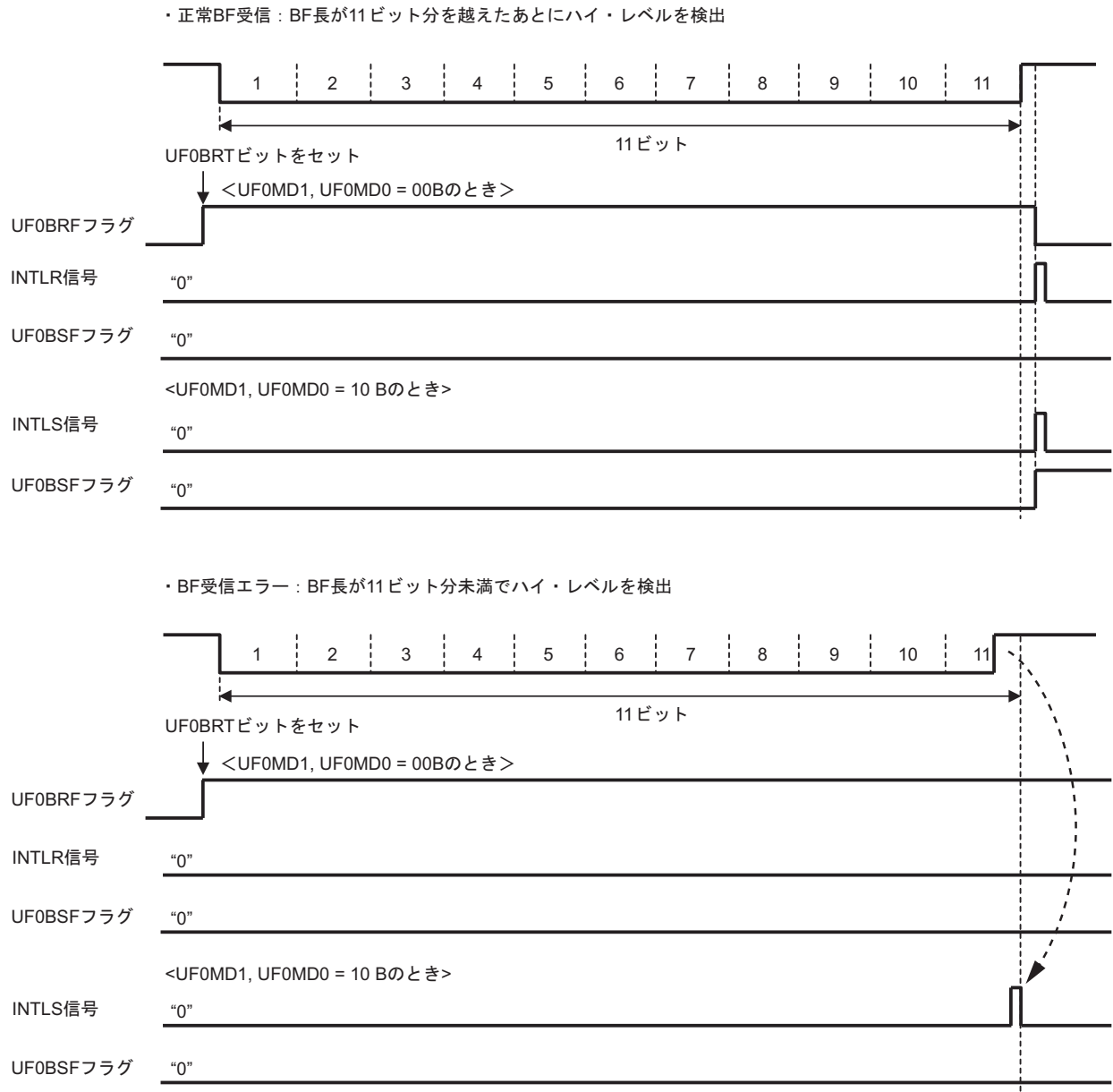
LRxD0入力レベルの立ち上がりエッジが検出されると、立ち上がりエッジを検出するまでの間、内蔵カウンタをカウント・アップすることでBFの長さを測定します。立ち上がりエッジを検出した時点で、BFの長さが11ビット長以上の場合は正常と判断され、BF受信を終了します。終了時、LIN-UART受信ステータス割り込み (INTLS) を発生すると同時にBF受信成功フラグ (UF0BSF) をセットします。

オート・ポーレート・モードでオーバラン、パリティ、フレーミング (UF0OVE, UF0PE, UF0FE) の各エラー検出は抑制されます。また、受信シフト・レジスタから受信データ・レジスタ (UF0RX) へのデータ転送も行われません。BFの幅が11ビット長未満の場合は異常と判断されます。その場合、ステータス割り込み要求信号 (INTLSn) を発生すると同時にエラーステータスをセットします (UFnSTR)。

もし、データの一貫性チェックあり (UF0DCS = 1) で送信をする場合は、BF受信に成功しても失敗しても、送信データと受信データに不一致が検出されるとデータの一貫性エラー・フラグ (UF0DCE) がセットされ、LIN-UART受信ステータス割り込み (INTLS) を出力します。そのとき、INTLRは出力されません。

通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) のとき、LIN-UARTはデータ通信中またはオート・ポーレート・モードでも新規のBF受信を検出できます。詳細は、14. 5. 9(2)通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) の場合を参照してください。

図14 - 33 BF受信のタイミング例



注意 UF0BRFビットは、UF0BRTビットへの“1”設定によりリセットされ、BFの正常受信によってクリアされます。

通信中BF受信可能モード (UF0MD1, UF0MD0 = 10 B) 時も同様の動作となります。

14.5.7 パリティの種類と動作

注意 LIN通信を使用する場合、UF0CTL0レジスタのUF0PS1, UF0PS0ビットを“00”に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(1) 偶数パリティ

(a) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(b) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(2) 奇数パリティ

(a) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(b) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(3) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

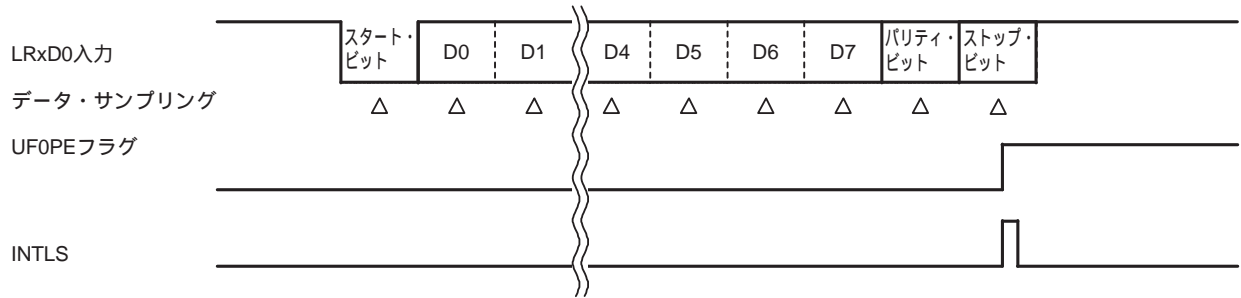
受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーが発生しません。

(4) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

図14 - 34 パリティ・エラー発生時のタイミング



14.5.8 データ一貫性チェック

データの一貫性チェック選択ビット (UF0DCS) を “1” にすると、受信許可ビットを禁止 (UF0RXE = 0) にしていても、送信動作時に送信データと受信データの比較を行います。

受信許可状態 (UF0RXE = 1) の場合は、送信処理中に受信処理が早期終了していないことも確認します。

送信処理時に送受信信号の不一致、または受信処理の早期終了のどちらかの状態を検出した場合に異常と判定し、LIN-UART受信ステータス割り込み (INTLS) を出力し、データの一貫性エラー・フラグ (UF0DCE) がセットされます。次の送信データがすでに送信データ・レジスタ (UF0TX) にライト済みであった場合でも、次の送信を行いません (ライトされたUF0TX内のデータは無視されます)。BF送信トリガ・ビット (UF0BTT) がセットされていた場合もBFの送信を行いません。

送信を再開する場合は、送信が完了したことを確認 (UF0TSF = 0) し、データの一貫性エラー・フラグ (UF0DCE) をクリアまたはPERXレジスタのUF0ENビットをクリア・再セット後、送信データを送信データ・レジスタ (UF0TX) にライト、またはBF送信トリガ・ビット (UF0BTT) をセットする必要があります。バッファ使用時には、未転送のデータがバッファに残っていても通信を停止します。

受信禁止状態 (UF0RXE = 0) の場合は受信動作自体が行われなため、受信データ格納とそれによるLIN-UART受信割り込み (INTLR) の発生、またUF0BSF, UF0FE, UF0OVEのセットとそれによるLIN-UART受信ステータス割り込み (INTLS) が発生しないので、受信データを読み出す必要はありません。

注意 データの一貫性エラーの有無は、受信データの格納動作に影響を与えません。格納が行われる場合は、一貫性エラーが発生しても格納されます。

(1) 送受信信号の不一致

データ（またはBF）送信時にシリアル送受信信号を比較し、不一致が検出された場合に異常と判定し、LIN-UART受信ステータス割り込み（INTLS）が発生すると同時にUF0DCEビットがセット（1）されます。データ送信時は、スタート・ビットからストップ・ビットの1ビット目までが比較されます。BF送信においては、BFの1ビット目からストップ・ビットの1ビット目までが比較されます。ストップ・ビット長選択ビット（UF0SL）によってストップ・ビット長を2ビットに指定していても、2ビット目のストップ・ビットの一貫性チェックは行われません。

図14 - 35 データ一貫性エラー発生時のタイミング例1 (UF0BRF = 0)

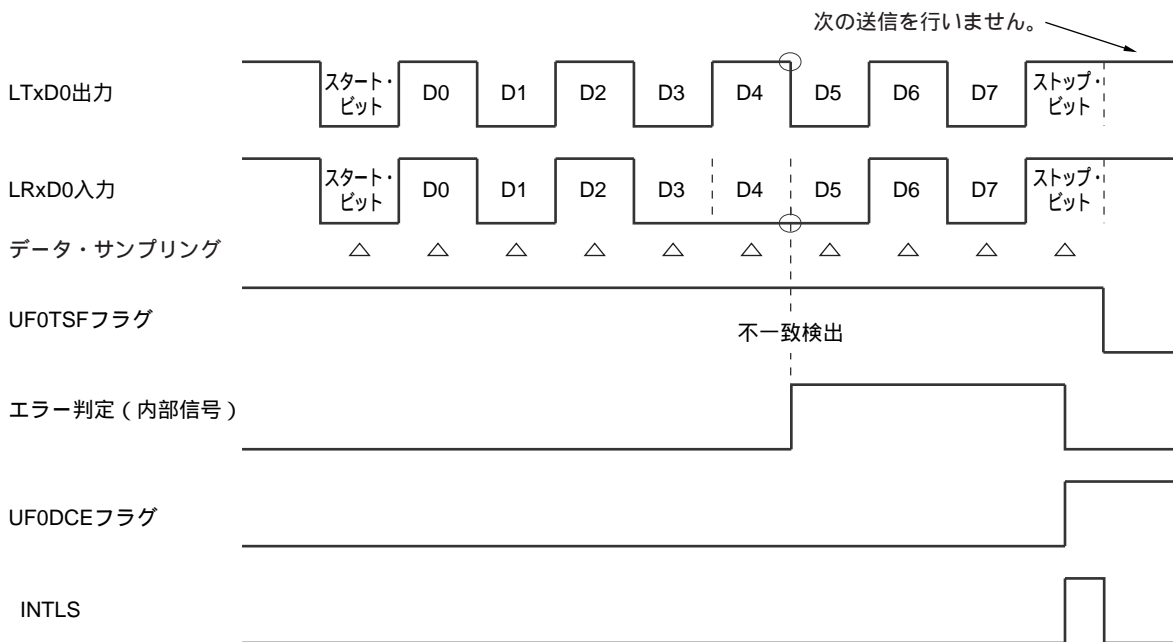
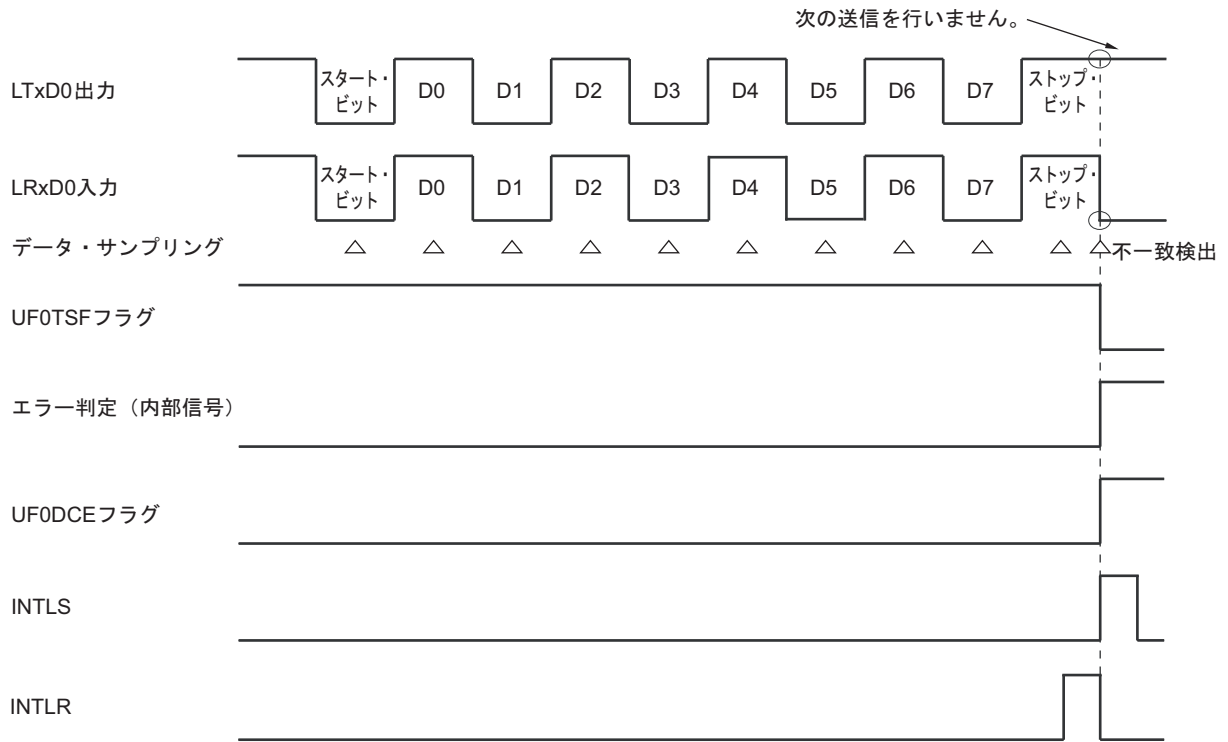


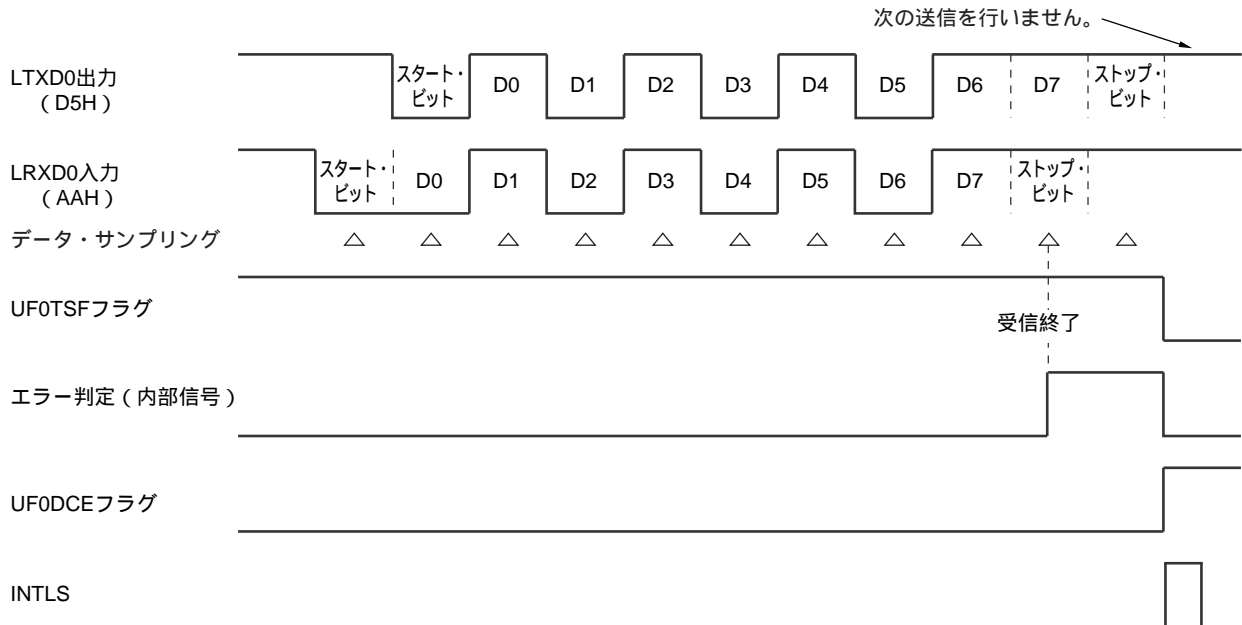
図14 - 36 データ一致エラー発生時のタイミング例2 (UF0BRF = 0)



(2) 受信処理の早期終了

受信動作許可設定で送信時 (UF0TXE = UF0RXE = 1), 送信中にも関わらず受信処理でストップ・ビットの位置を検出した場合に異常と判定し, LIN-UART受信ステータス割り込み (INTLS) が発生すると同時に UF0DCEビットがセット (1) されます。

図14 - 37 受信処理の早期終了による一貫性エラー発生のタイミング例



14.5.9 BF受信モード選択機能

BF (Break Field) 受信のためのモードを備えており、LIN-UART動作モード選択ビット (UF0MD1, UF0MD0) によって選択します。

(1) 通常UARTモード (UF0MD1, UF0MD0 = 00B) の場合

通常UARTモード (UF0MD1, UF0MD0 = 00B) に設定すると、BF受信成功待ち (UF0BRF = 1) のときのみ新規BFを認識するモードとなります。正常にBF受信を終了した場合、受信完了割り込み (INTLR) が発生します。

BF受信成功待ち状態でない場合 (UF0BRF = 0)、フレーミング・エラー / オーバラン・エラーの判定は、データのストップ・ビット位置 (10ビット目) で行われます (図14 - 38参照)。オーバラン状態でなければ、受信データはUF0RXレジスタに格納されます。BF受信成功待ち (UF0BRF = 1) の場合、フレーミング・エラー / オーバラン・エラーの検出およびUF0RXレジスタに受信データの格納は行われません。

UF0BRF = 0のとき、データまたはBFのストップ・ビット送信開始時に受信動作が停止している場合、データの一貫性エラーの割り込みとフラグの変化は、ストップ・ビットの次のビット開始時に行われます (14.5.8 (2) 参照)。ストップ・ビット送信開始時に受信動作中の場合は、ストップ・ビット位置で行われます (14.5.8 (1) 参照)。一方、UF0BRF = 1のとき、ストップ・ビット送信開始時に受信動作が停止していると、ストップ・ビットの次のビット開始時に行われ (図14 - 39参照)、受信動作中の場合はストップ・ビット以降の入力データの立ち上がりエッジ検出時に行われます (図14 - 40参照)。

注意 通常UARTモード (UF0MD1, UF0MD0 = 00B) の場合、BF受信成功フラグ (UF0BSF) はセットされません。

図14 - 38 通常UARTモードの場合のフレーミング・エラー / オーバラン・エラー判定タイミング
(UF0BRF = 0のとき)

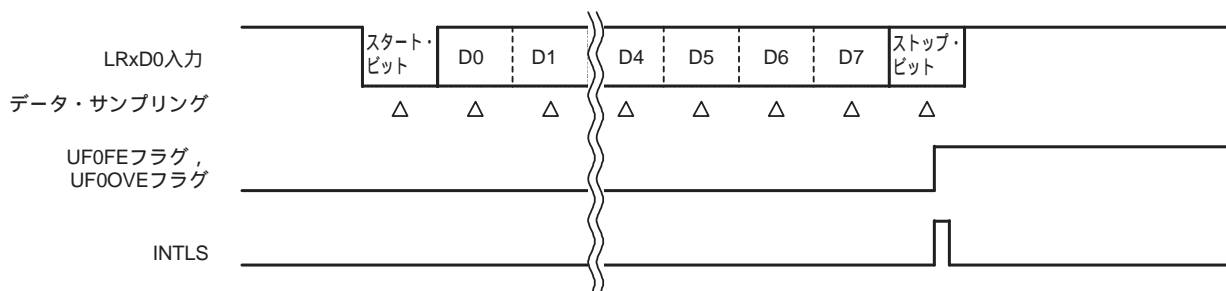


図14 - 39 UF0BRF = 1の場合のBF送信時一貫性エラー発生タイミング例
 (ストップ・ビット送信開始時に受信動作が停止している場合 (直前の入力データが“1”))

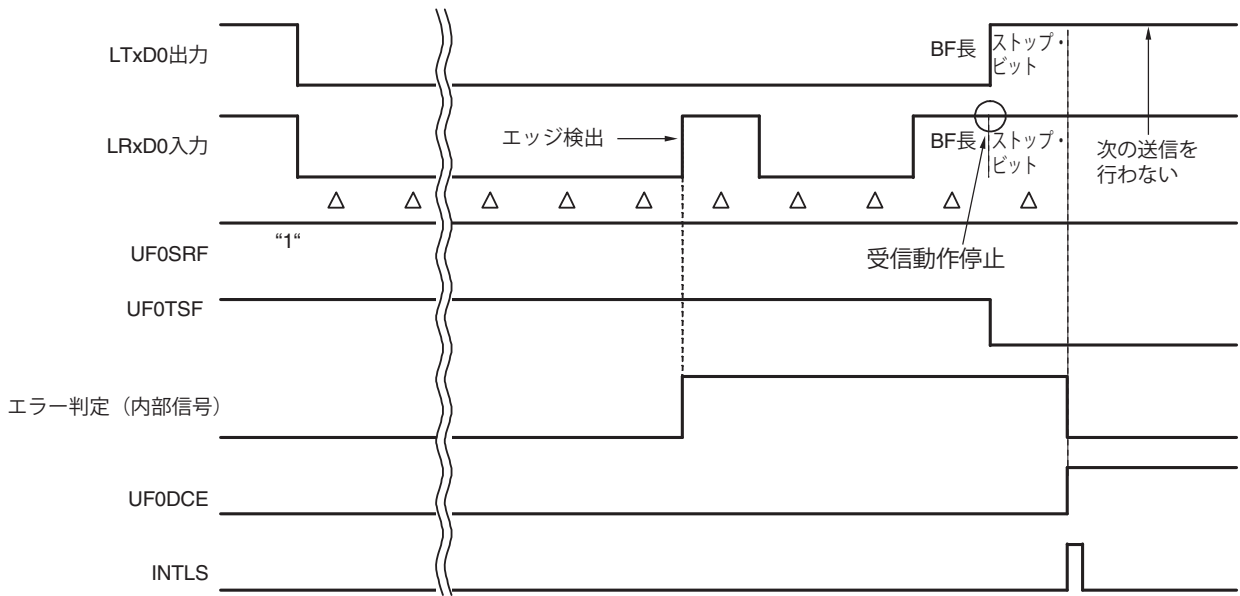
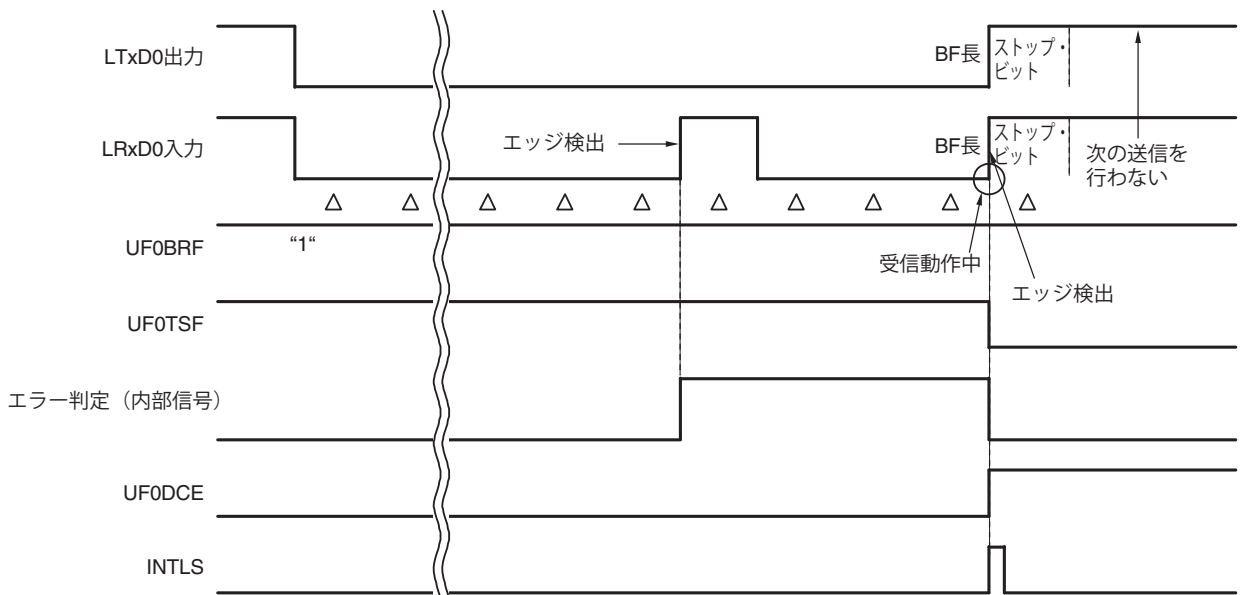


図14 - 40 UF0BRF = 1の場合のBF送信時一貫性エラー発生タイミング例
 (ストップ・ビット送信開始時に受信動作中の場合 (直前の入力データが“0”))



(2) 通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B)

通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) に設定すると、BF受信成功待ち (UF0BRF = 1) のときに加えて、データ通信中のときにも新規BFを認識するモードとなります。BF受信成功待ち状態でない場合 (UF0BRF = 0)、データのストップ・ビット位置 (10ビット目) でロウ・レベルを検出した場合は、新規BFを受信中の可能性があるので、入力データがハイ・レベルになるまでフレーミング・エラー / オーバラン・エラーの判定を待ちます。そして連続するロウ・レベル期間が11ビット未満だった場合はエラー検出と判定します (図14 - 41参照)。オーバラン・エラーでなければ、受信データは始めの8ビットがUF0RXレジスタに格納されます。このとき、BF受信成功フラグ (UF0BSF) はセットされません。BF受信成功待ち (UF0BRF = 1) のとき、フレーミング・エラー / オーバラン・エラーの検出および受信データのUF0RXレジスタへの格納は行われません。

一方、連続するロウ・レベル期間が11ビット以上だった場合は、新規BF受信成功と判断し、BF受信成功フラグ (UF0BSF) をセットします (図14 - 42参照)。フレーミング・エラー / オーバラン・エラーの検出は行われません。このとき、受信データはUF0RXレジスタに格納されません。

データの一貫性エラーの割り込みとフラグの変化は、UF0BRF = 0のとき、データまたはBFのストップ・ビット送信開始時に受信動作が停止していると、ストップ・ビットの次のビット開始時に行われます (14.5.8 (2) 参照)。ストップ・ビット送信開始時に受信動作中の場合は、ストップ・ビット以降に入力データ "1" を検出したときに行われます (14.5.8 (1)、図14 - 43参照)。

一方、UF0BRF = 1でBF送信中に入力データ "1" を検出したとき、ストップビットの1ビット目の送信完了後に行われます (図14 - 44参照)。BF送信完了後の場合は "1" を検出したビットのタイミングで行われます (図14 - 45参照)。

注意 通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) にする場合は、必ずUF0OPT1レジスタのUF0DCSビットも "1" にしてください。

図14 - 41 BF受信失敗時のフレーミング・エラー / オーバラン・エラー判定タイミング (UF0BRF = 0のとき)

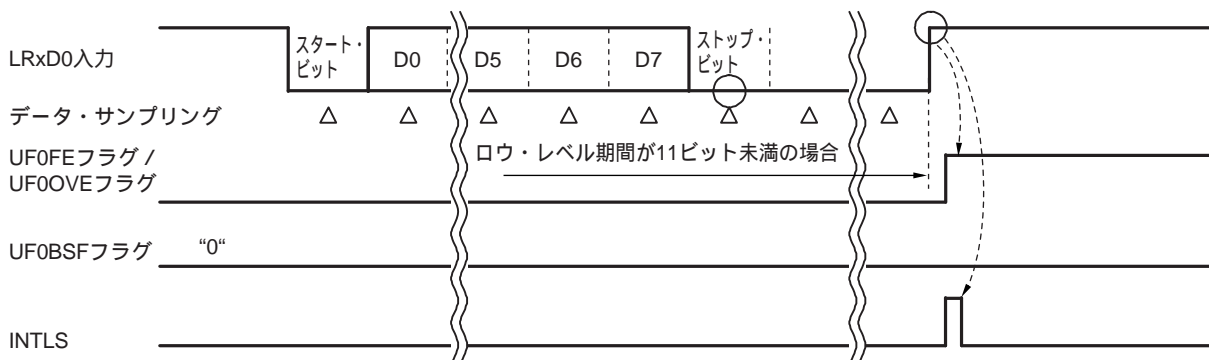


図14 - 42 BF受信成功時のステータス割り込みの発生タイミング (UF0BRF = 0 のとき)

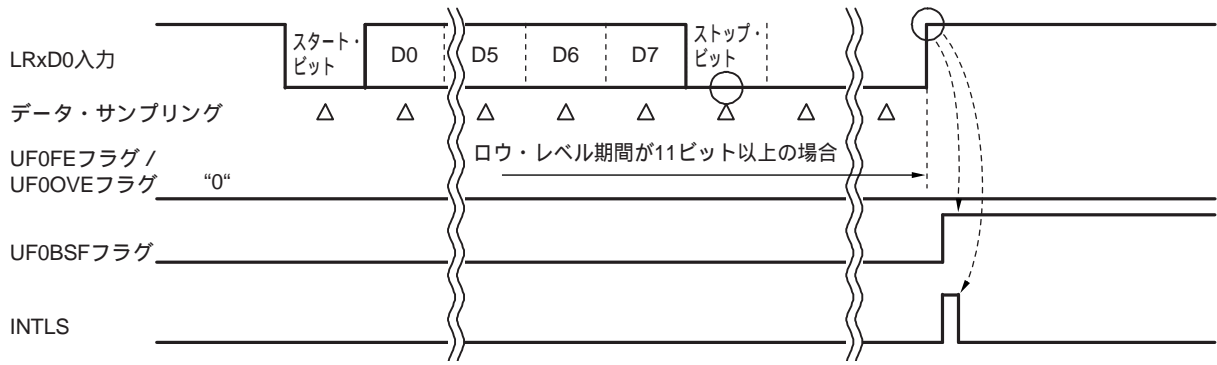


図14 - 43 UF0BRF = 0の場合のデータの一貫性エラー発生タイミング例

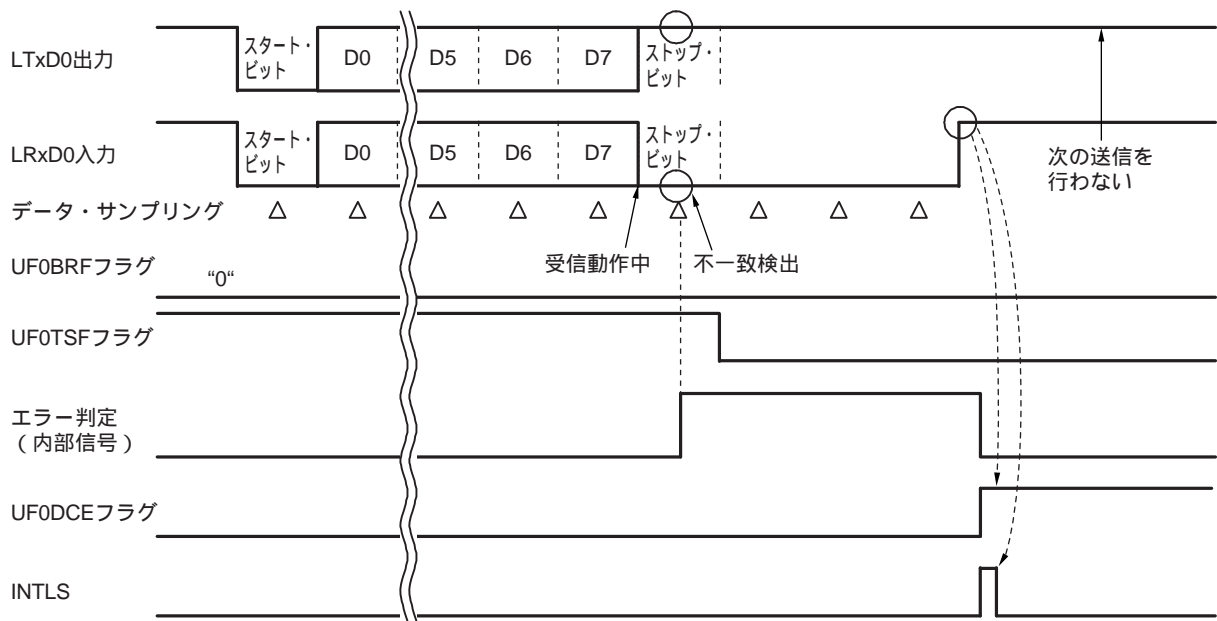


図14 - 44 UF0BRF = 1の場合のBF送信時一貫性エラー発生タイミング例

(ストップ・ビット以降に入力データ“1”を検出したとき、受信動作が停止している場合(前のビットが“1”))

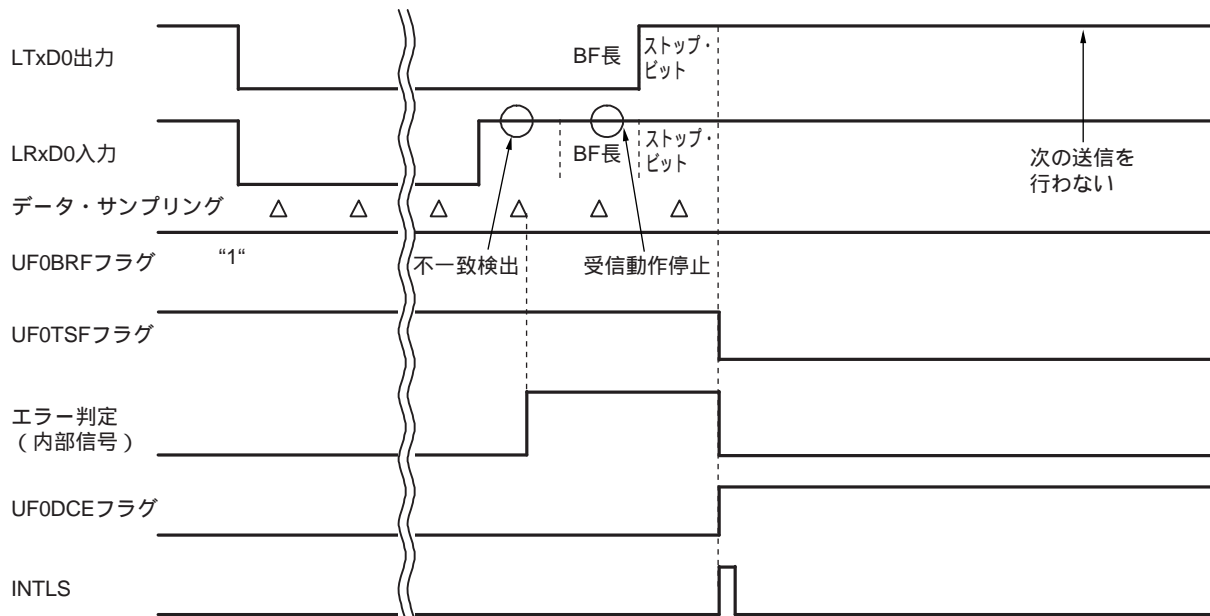
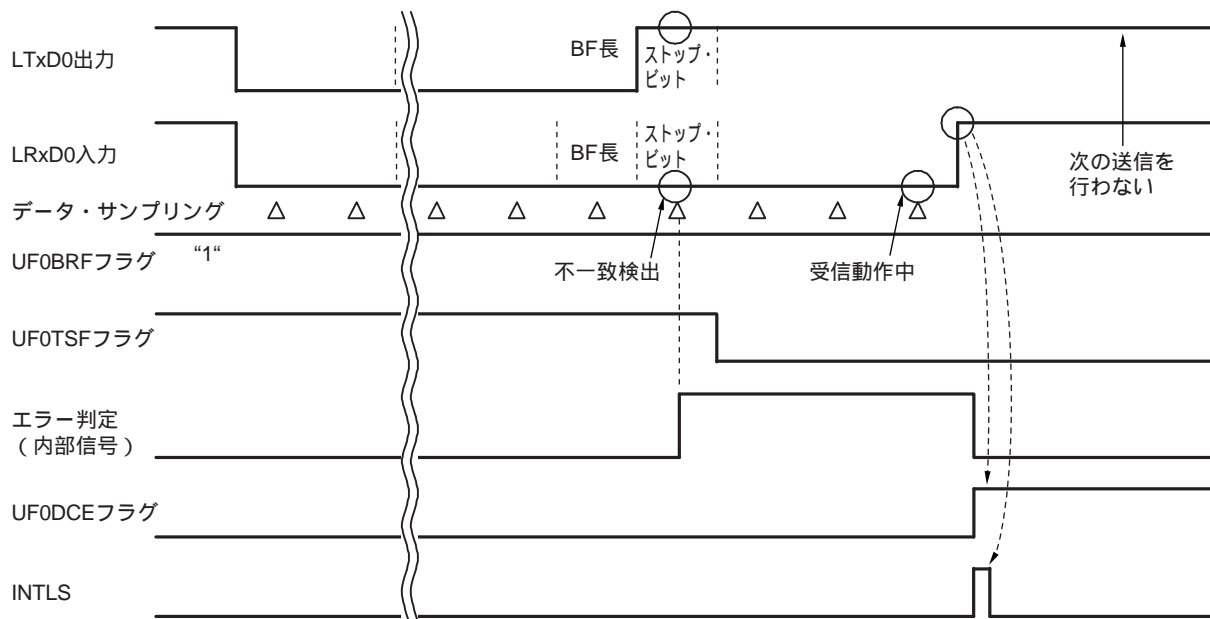


図14 - 45 UF0BRF = 1の場合のBF送信時一貫性エラー発生タイミング例

(ストップ・ビット以降に入力データ“1”を検出したとき、受信動作中の場合(前のビットが“0”))



14. 5. 10 LIN-UART受信ステータス割り込み発生要因

LIN-UART受信ステータス割り込み発生要因には、パリティ・エラー、フレーミング・エラー、オーバラン・エラーと、LIN通信時のみに発生する、データの一貫性エラー、BF受信成功、オート・ポー・レート・モード時のみに発生するIDパリティ・エラー、チェック・サム・エラー、レスポンス準備エラー、拡張ビット許可時のみに発生するID一致と拡張ビット検出があります。これらを検出すると、LIN-UART受信ステータス割り込み (INTLS) が発生します。発生要因の種別は状態レジスタ (UF0STR) で参照できます。LIN-UART受信ステータス割り込み処理ルーチンでUF0STRレジスタを参照し、処理内容を決定します。

ステータス・フラグは、ソフトウェアにてUF0STCレジスタのUF0TSF、UF0RSFビットを除く対応ビットに“1”を書き込みする事でクリアする必要があります。

LIN-UART受信ステータス割り込みの発生タイミングおよびステータス・フラグの変化タイミングは、モード設定と発生要因によって異なります。

表14-3 LIN-UART受信ステータス割り込み発生要因

ステータス・フラグ	発生要因	内 容
UF0PE	パリティ・エラー	受信データのパリティ計算結果と受信したパリティ・ビットの値が一致しない。
UF0FE	フレーミング・エラー	ストップ・ビットが検出されない (ストップ・ビット位置でロウ・レベルが検出)。
UF0OVE	オーバラン・エラー	受信データ・レジスタに転送された受信データを読み出す前に次のデータ受信が完了。
UF0DCE	データの一貫性エラー	データの一貫性チェック選択ビット (UF0DCS) がセットされており、かつデータを送信しているときに送信データと受信データの値が一致しない。または送信動作と受信動作にずれが生じている。
UF0BSF	BF受信成功	通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) のときに、新規のBF受信に成功 (マスタがBFを送信した場合においても発生)。
UF0IPE	IDパリティ・エラー	受信したPIDのパリティ・ビットのどちらか一方でもエラーがあった。
UF0CSE	チェック・サム・エラー	レスポンス受信時に受信したチェック・サムと自動で計算した結果の比較結果が不正。
UF0RPE	レスポンス準備エラー	レスポンスで1バイト目の受信が完了するまでにレスポンス準備が間に合わなかった
UF0IDM	ID一致	次の条件を満たしている。 <ul style="list-style-type: none"> ・ 拡張ビット・データ比較許可 (UF0EBC = 1) ・ 拡張ビットが拡張ビット検出レベル選択ビット (UF0EBL) で設定したレベル ・ 受信データがUF0IDレジスタ値と一致
UF0EBD	拡張ビット検出	受信データの拡張ビットにおいて、拡張ビット検出レベル選択ビット (UF0EBL) で設定したレベルを検出

LIN-UART受信ステータス割り込み発生時，発生要因により次の処理が必要です。

・パリティ・エラー，データの一貫性エラー

誤ったデータを受信しているので，受信データを読みだしたあとに破棄し，再度通信を行ってください。
受信データを読みださない場合は，次の受信完了でオーバラン・エラーとなります。データの一貫性エラーの場合は，データの衝突も考えられます。

・フレーミング・エラー

正常にストップ・ビットを検出できなかったか，スタート・ビットの誤検出によるビットずれが発生している可能性があります。また，LINによる通信では送信側とボー・レートがずれていることや不十分な長さのBFを受信した可能性もあります。

頻繁にフレーミング・エラーが発生する場合は，ビットずれかボー・レートずれが発生している可能性がありますので，送信側，受信側の双方がイニシャライズ処理を行い，再度通信を開始してください。また，フレーミング・エラー発生後，次のデータを受信するためには，一度，受信端子がハイ・レベルになる必要があります。

・オーバラン・エラー

受信データを読み出す前に次の受信が完了しているため，直前に受信した1フレーム分のデータが破棄された状態となるため，データを再送してもらう必要があります。

・BF受信成功

新規のBF受信に成功したため，新たなフレーム・スロットの開始に備える必要があります。

・IDパリティ・エラー

受信したPIDは不正なため，レスポンスなし要求ビット (UF0NO) をセットしてください。その後，レスポンス送受信を行わず，次のBF受信を待ち，そのフレームを無視してください。

・チェック・サム・エラー

受信したレスポンス (データ・フィールド) は，不正なため破棄してください。

・レスポンス準備エラー

正常にレスポンス処理ができないため，次のBF受信を待ち，そのフレームを無視してください。

・ID一致

UF0EBLビットで設定したレベルの拡張ビットの受信データがUF0IDレジスタの設定値と一致したため，それ以降のデータを受信するために拡張ビット・データ比較禁止 (UF0EBC = 0) にするなどの対応処理をしてください。

・拡張ビット検出

UF0EBLビットで設定したレベルの拡張ビットの受信データが受信されたため，DMA転送開始に備えるなどの対応処理をしてください。

注意 ステータス・フラグは，最新の状態を反映しているのではなく，ステータス・フラグのクリア後に発生したすべての要因の累積です。そのため，次の受信完了までに対応処理を完了し，ステータス・フラグをクリアする必要があります。

LIN通信を行う場合のステータス対応処理の一例を示します。

表14 - 4 LIN通信時のステータス対応処理例
 (通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) かつUF0DCS = 1の場合)

UF0BSF	UF0DCE	UF0FE	UF0OVE	状 態	処理例
1	1	x	x	マスタ時, BF送信中に送受信データの不一致を検出。ただし11ビット以上の連続ロウ・レベルは受信している。次のデータ送信準備済みであっても, その送信は行われない。	<ul style="list-style-type: none"> 通信相手がBFを認識できていない可能性があるため, 次のデータ (Synch Field) 送信は行わず, 次のタイム・スケジュールを待つ 通信相手がBFを認識できていない可能性はあるが, 次のデータ (Synch Field) 送信を行うため, UF0DCEビットをクリアして, 次のデータを書き込む
1	0	x	x	マスタ時, BF送信, BF受信に成功。	次のデータ (Synch Field) の送信処理を行う
				スレーブ時, BF受信に成功。	次のデータ (Synch Field) の受信処理を行う
0	1	x	x	マスタ時, BF送信またはデータ (SF/PIDを含む) 送信に失敗。 次のデータまたはBFの送信準備済みであっても, その送信は行われない。	その後の送受信データは破棄し, すべてのステータス・レジスタを破棄して次のタイム・スケジュールを待つ
				スレーブ時, データ送信に失敗。 次のデータ送信準備済みであっても, その送信は行われない。	その後の送受信データは破棄し, すべてのステータス・レジスタを破棄して次のタイム・スケジュールを待つ
0	0	1	x	データ受信時にフレーミング・エラーを検出。	フレーミング・エラー検出時の処理を行う
0	0	x	1	データ受信時にオーバーラン・エラーを検出。 直前に受信した1データが破棄されている。	オーバーラン・エラー検出時の処理を行う

- 注意 1. いずれの処理においても, セットされているステータス・フラグはすべてクリアしてください。
2. LIN通信においてエラーを検出すると (通信中BF受信可能モード (UF0MD1, UF0MD0 = 10B) を設定している場合はBF受信に成功したときを含む), LIN-UART受信割り込み (INTLR) ではなく, LIN-UART受信ステータス割り込み (INTLS) を発生し, 通信状態にしたがってステータス・フラグがセットされます。

備考 x : 任意

14.5.11 送信開始ウエイト機能

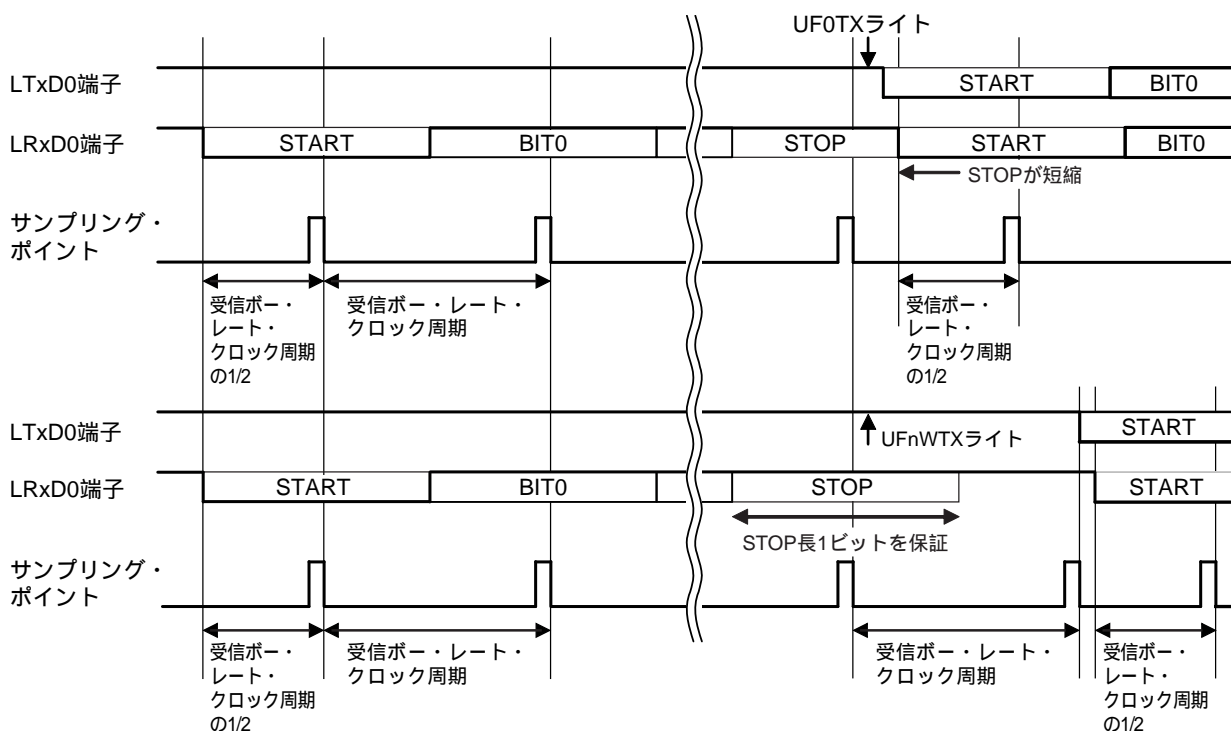
RL78/F12は、LIN通信を行う場合、受信から送信へ切り替わるときに受信のストップ・ビット長を保証する機能を持っています。

受信のストップ・ビット完了まで送信開始を遅らせたい場合、送信開始要求としてUF0TXレジスタへ送信データをライトする代わりに、ウエイト専用レジスタであるUF0WTXレジスタへデータをライトしてください。

この場合、受信データのストップ・ビットが確実に終了するまで1ビット分、送信開始をウエイトします。

なお、ストップ・ビット長選択ビット (UF0SL) によってストップ・ビット長を2ビットに指定していても、1ビット分しかウエイトしません。

図14 - 46 受信データのストップ・ビット中に送信データをライトした場合



注意 1. LIN通信を行っていない場合、UF0WTXレジスタへのアクセスは禁止します。

2. 受信から送信へ切り替わるとき以外 (送信中など)、UF0WTXレジスタへのライトは禁止です。

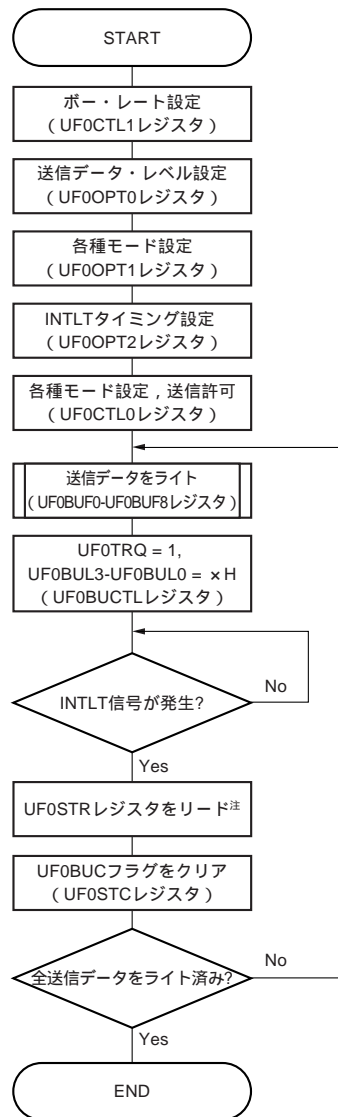
14.6 UARTバッファ・モード

RL78/F12 は、通常の UART 通信の場合 (UF0MD1, UF0MD0 = 00B) に使用可能な 9 バイトの送信用バッファを持っています。

14. 6. 1 UARTバッファ・モード送信

次にUARTバッファ・モードでデータを送信する手順を説明します。

図14 - 47 UARTバッファ・モードの送信処理フロー



注 省略可能

注意 1. UARTバッファ送信モードでデータを配信する場合は、次の値を設定してください。

- 拡張ビットは禁止 (UF0EBE = 0)
- 通常UARTモード (UF0MD1, UF0MD0 = 00B)
- データ一貫性チェックは禁止 (UF0DCS = 0)
- バッファ送信開始ウエイトは禁止 (UF0TW = 0)
- 転送継続は禁止 (UF0CON = 0)
- レスポンスなし要求ビットはレスポンスあり (UF0NO = 0)
- 受信要求は禁止 (UF0RRQ = 0)

2. 受信データのリードが完了するまでUF0PRQ = 1にしないでください。

備考 1. LIN-UARTの起動については、14. 11 使用上の注意の(2)を参照してください。

2. x : 任意

バッファ長ビット (UF0BUL3-UF0BUL0) に設定したバイト数 (1~9) の転送が終了すると、LIN-UART送信割り込み (INTLT) を出力します。バッファ長ビットを"0", "10-15"に設定した場合は、9バイトの転送を行います。

バッファ・モードで送信中に送信データ・レジスタ (UF0TX) ヘデータをライトすることは禁止します。

転送を途中で停止させたい場合は、送信許可ビット (UF0TXE) に"0"をライトしてください。データの送信処理が停止され、UF0TRQビット、UF0TSFフラグはクリアされます。

図14 - 48 UARTバッファ・モードの送信例 (UF0ITS = 0)

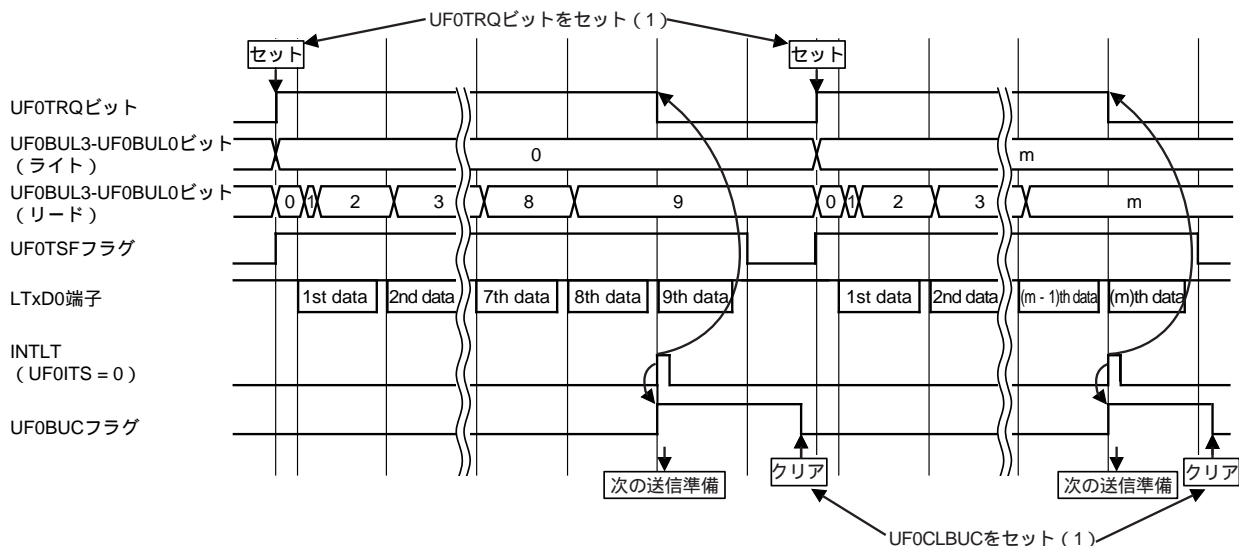
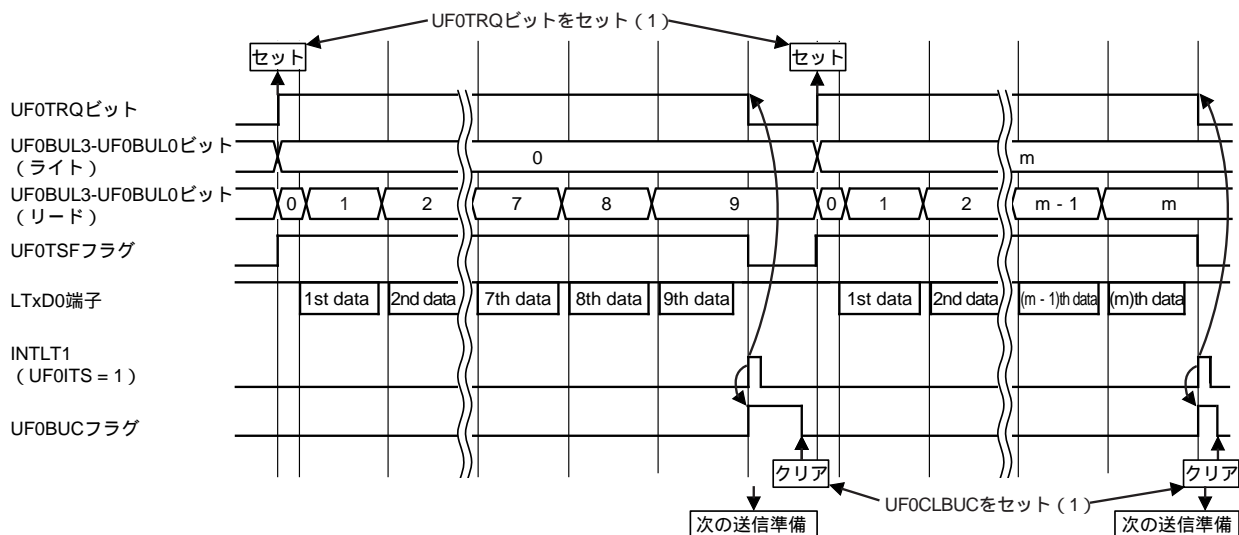


図14 - 49 UARTバッファ・モードの送信例 (UF0ITS = 1)



備考 m = 1-9

14.7 LIN通信オート・ポー・レート・モード

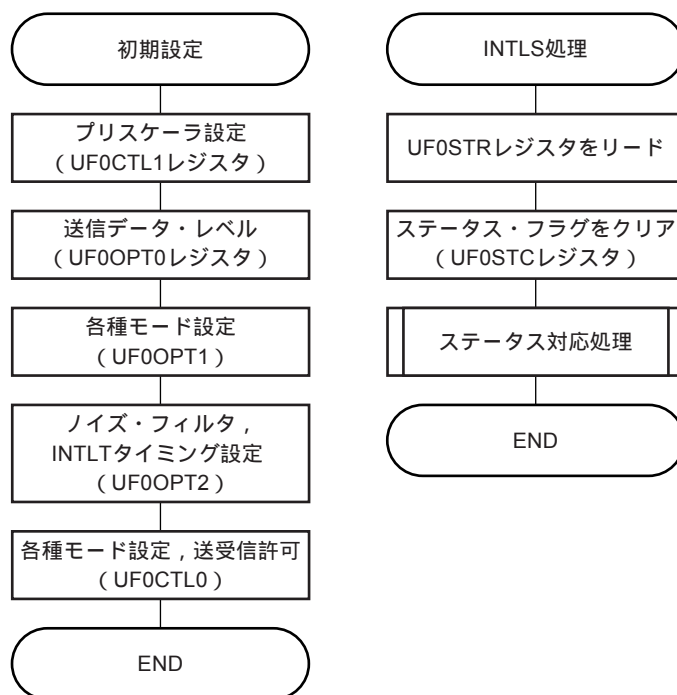
LIN通信オート・ポー・レート・モードは、自動的にBFとSFを検出し、そのSFの計測結果からポー・レートを設定します。

UF0MD1, UF0MD0 = 11Bに設定するとオート・ポー・レート・モードとして動作します。

ポー・レートは2400 bps ~ 128 kbpsで動作可能です。プリスケアラで分周したクロック (プリスケアラ・クロック) は、8 ~ 12 MHzに設定してください。そのときは f_{CLK} の周波数からUF0PRS2-UF0PRS0の設定値を求め、初期設定する必要があります。

LIN-UARTをマスタとして使用する場合、オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) は使用禁止です。

図14 - 50 LIN通信オート・ポー・レート・モードの基本処理フロー例 (1/2)



注意 1. LIN通信オート・ポー・レート・モードでデータを配信する場合は、次の値を設定してください。

送受信データ・レベルは、通常入力 (UF0TDL = UF0RDL = 0)。

拡張ビット禁止 (UF0EBE = 0)。

モードは、オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B)。

一貫性チェック選択 (UF0DCS = 1)。

LIN-UART送信割り込みは、送信開始時 (UF0ITS = 0)。

通信方向制御は、LSBファースト (UF0DIR = 1)。

パリティ選択ビットは、パリティなしで受信 (UF0PS1, UF0PS0 = 00B)。

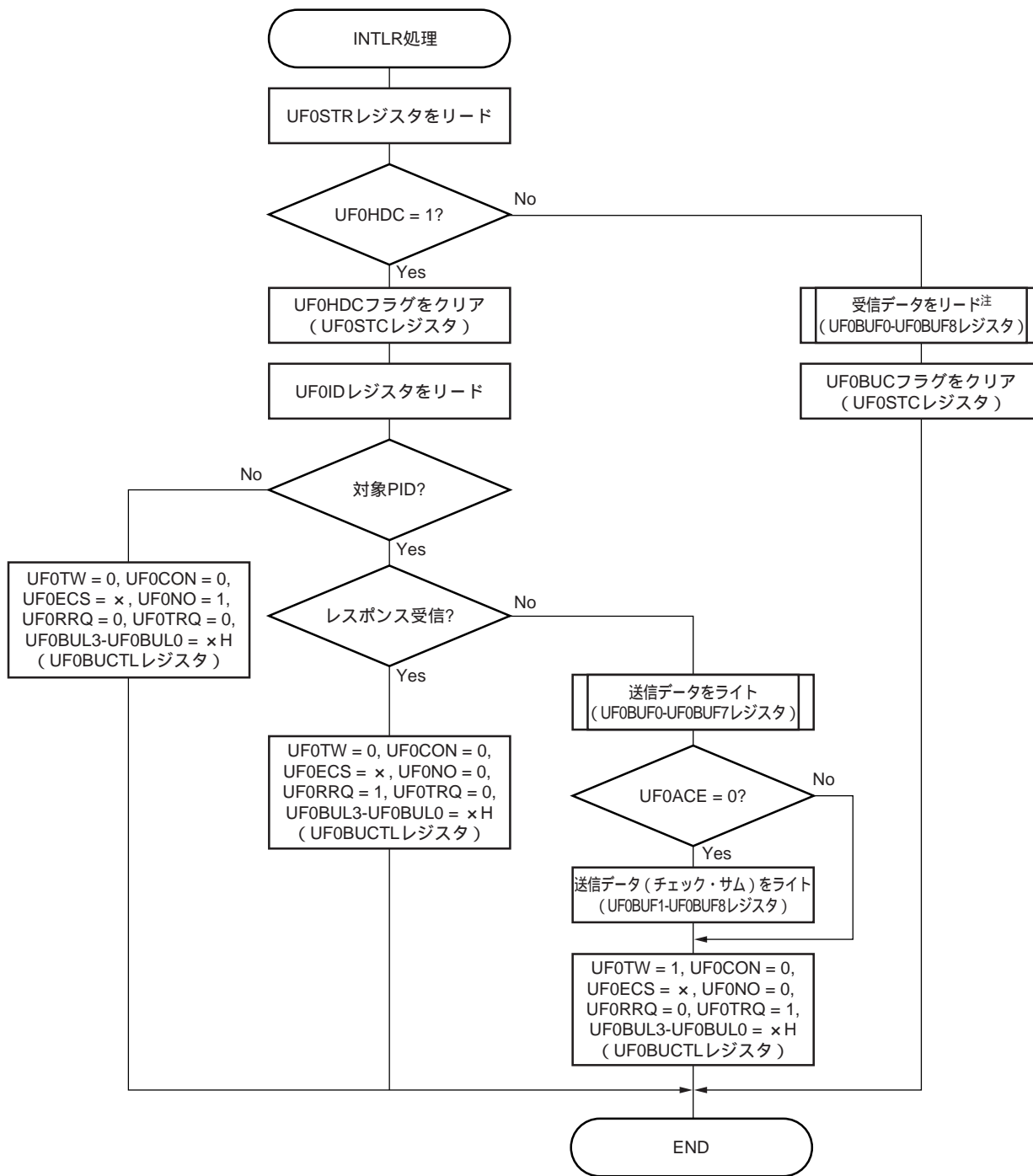
データ・キャラクタ長は、8ビット (UF0CL = 1)。

送信データ・レジスタは、初期値 (UF0TX = 0000H)。

- プリスケアラで分周したクロックが8 ~ 12 MHzになるよう、UF0PRS2-UF0PRS0ビットを設定してください。
- UF0ACE = 0の場合は、チェックサム分を含めます。

備考 LIN-UARTの起動については、14.11 使用上の注意の(2)を参照してください。

図14 - 50 LIN通信オート・ポーレート・モードの基本処理フロー例 (2/2)



注 省略可能です。

注意 1. バッファ長ビット (UF0BUL3-UF0BUL0) を”0”, ”10-15”に設定した場合は, 9バイトの受信または送信を行います。またバッファ長を”1-8”に設定した場合, バッファ番号の小さい方から設定バイト数のバッファが使用されます。

例: UF0BUL3-UF0BUL0 = 1に設定すると, 常にUF0BUF0レジスタのみにデータが格納されます。

2. UF0RRQビットをセットすると, 受信データのリードが終了していなくてもバッファへの格納(上書き)を行ってしまうので, 受信データのリードが完了するまで, UF0RRQビットをセットしないでください。
3. ヘッダ受信後にレスポンス送信へ切り替わるとき以外, UF0TWビットのセット(1)は禁止です。

備考 x : 任意

ヘッダの受信が完了したとき (UF0HDC = 1), UF0IDレジスタに格納されているPIDが対象外ならばUF0NOビットをセットして, それ以降の送受信処理を停止 (レスポンスを無視) します。

レスポンス受信のPIDならば, レスポンスのデータ長 (UF0BUL3-UF0BUL0)などを設定すると同時にUF0RRQビットをセットし, レスポンスの受信処理を行います。

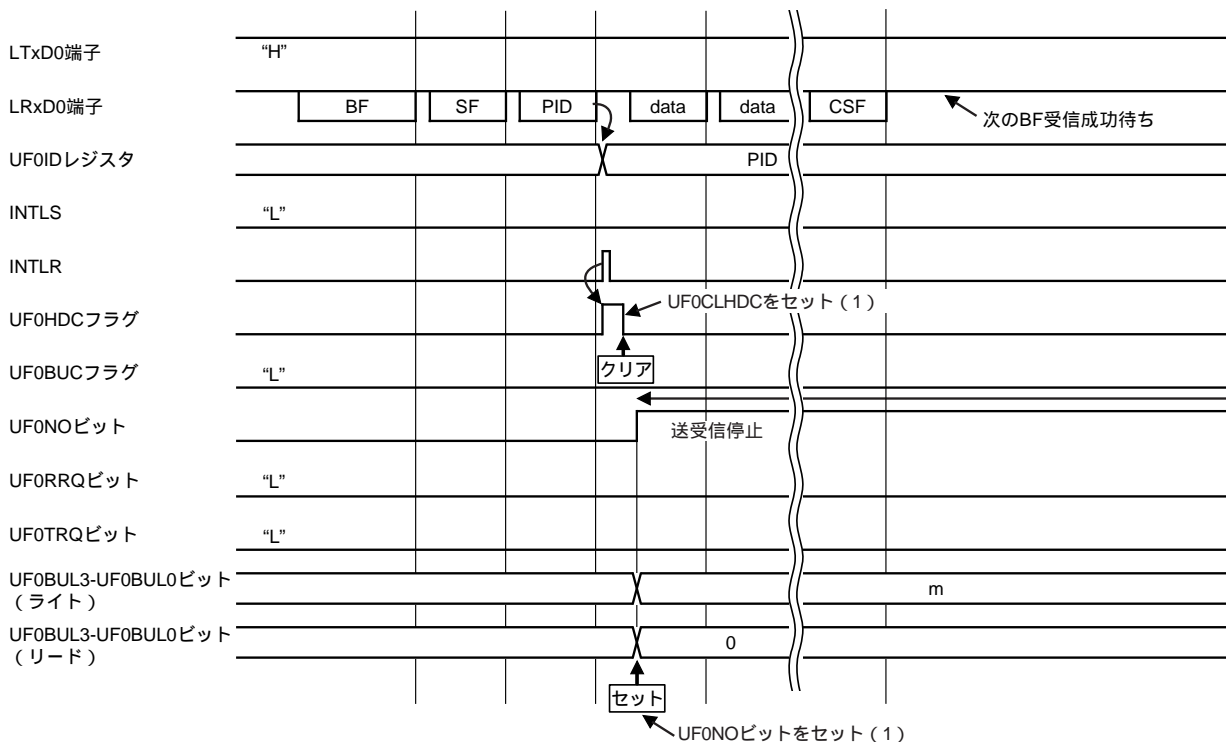
レスポンス送信のPIDならば, 送信データをバッファへ設定したあとに, レスポンスのデータ長 (UF0BUL3-UF0BUL0)などを設定すると同時にUF0TRQビットをセットし, レスポンスの送信処理を行います。そのとき, 受信データはUF0RXレジスタに格納されます。ただし, 読み出さなくてもオーバーラン・エラーにはなりません。

なおPIDに対する処理 (UF0NO/UF0RRQ/UF0TRQビットのセット) は, レスポンスの1バイト目の受信完了前に行ってください。間に合わなかった場合, レスポンス準備エラーが発生します。詳細は, 14.7.2 レスポンス準備エラー検出機能を参照してください。

レスポンス受信時やレスポンス送信時, エラー発生によりLIN-UART受信ステータス割り込み (INTLS) が発生した場合, 送受信動作を停止して次のBF受信を待ちます。

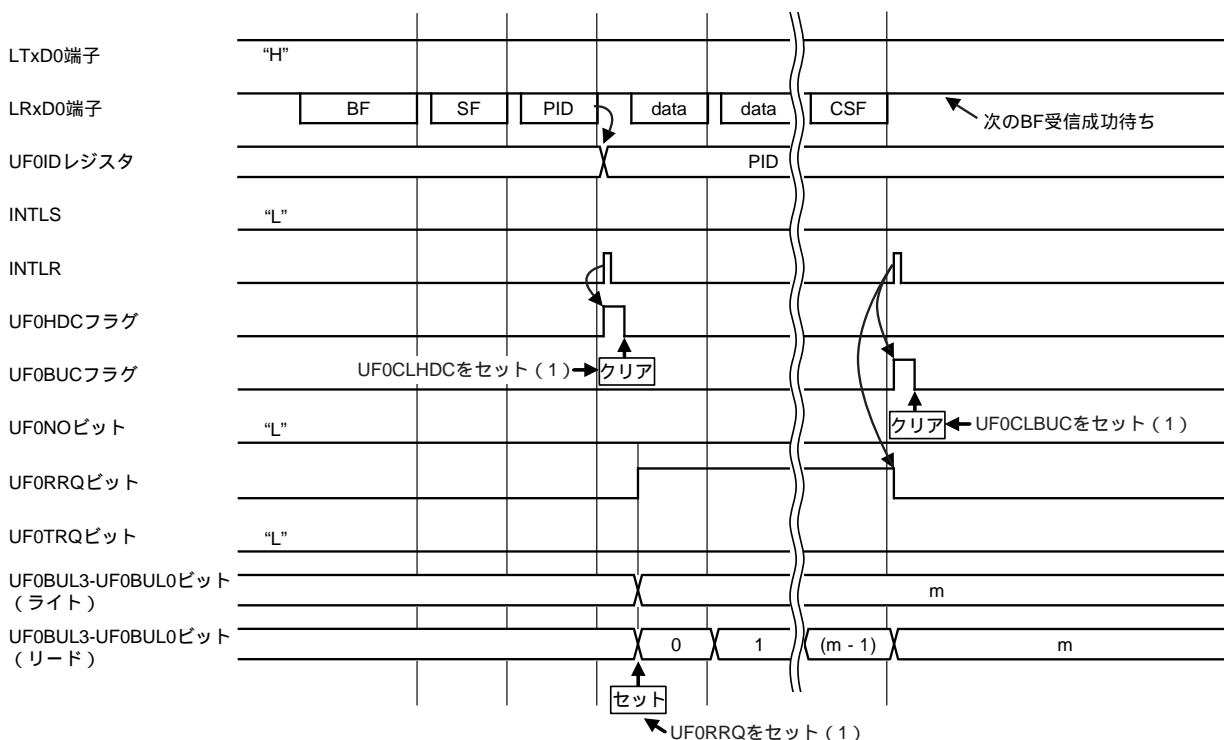
なおオート・ポー・レート・モードでは, バッファを使用する (UF0RXレジスタを使用しない) のでオーバーラン・エラーは発生しません。

図14 - 51 LIN通信オート・ポー・レート・モード (対象外PIDの場合)



備考 m = 1-9

図14 - 52 LIN通信オート・ポー・レート・モード (レスポンス受信の場合)



次に 8 バイト・データを受信する場合 (UF0BUL3-UF0BUL0 = 9) と 3 バイト・データを受信する場合 (UF0BUL3-UF0BUL0 = 3) の受信結果のバッファ格納例を示します。

(1) 8 バイト・データを受信する場合

(UF0BUL3-UF0BUL0 = 9)

受信結果例

UF0BUF8	チェック・サム
UF0BUF7	Data7
UF0BUF6	Data6
UF0BUF5	Data5
UF0BUF4	Data4
UF0BUF3	Data3
UF0BUF2	Data2
UF0BUF1	Data1
UF0BUF0	Data0

(2) 3 バイト・データを受信する場合

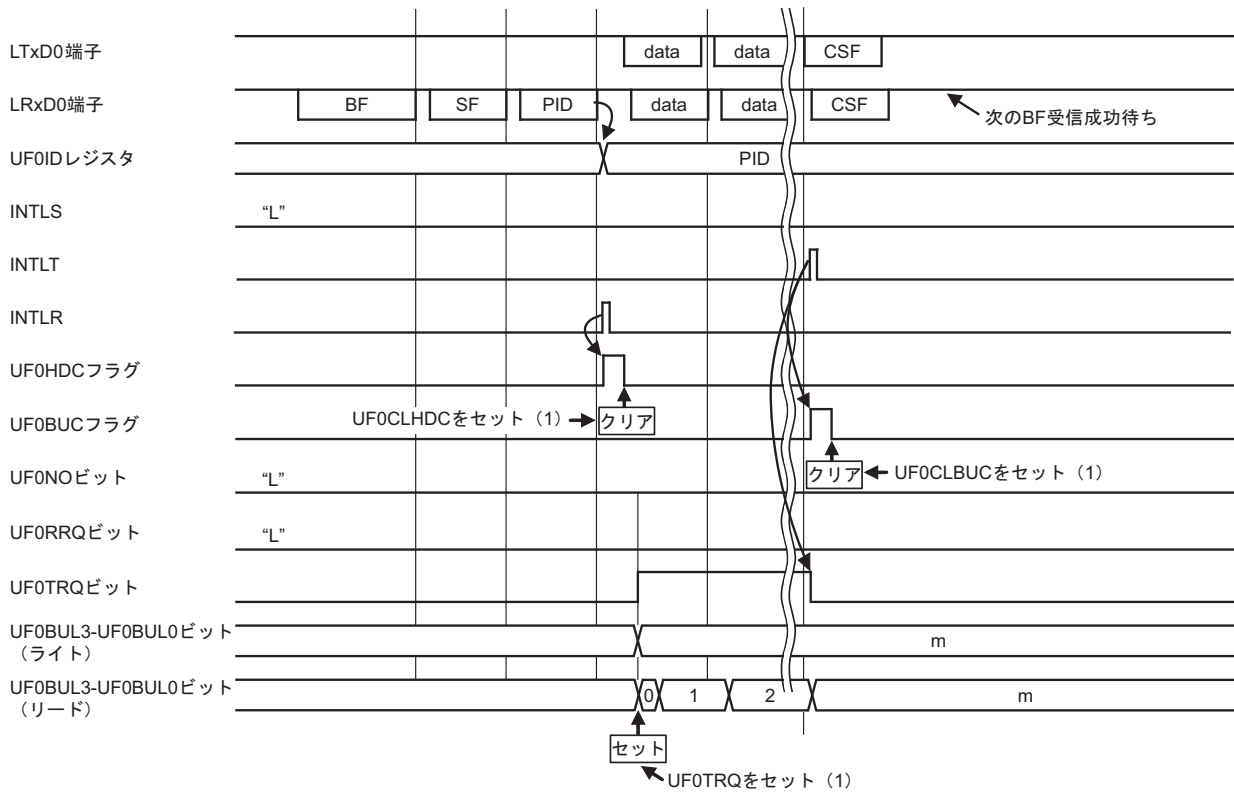
(UF0BUL3-UF0BUL0 = 4)

受信結果例

UF0BUF8	-
UF0BUF7	-
UF0BUF6	-
UF0BUF5	-
UF0BUF4	-
UF0BUF3	チェック・サム
UF0BUF2	Data2
UF0BUF1	Data1
UF0BUF0	Data0

注意 オート・チェック・サムを許可した状態で使用している場合 (UF0ACE = 1), チェック・サムのデータはバッファに格納されません。

図14 - 53 LIN通信オート・ポー・レート・モード (レスポンス送信の場合)



次に 8 バイト・データを送信する場合 (UF0BUL3-UF0BUL0 = 9) と 3 バイト・データを送信する場合 (UF0BUL3-UF0BUL0 = 3) のバッファ設定例と送信完了後のバッファ状態を示します。

(1) 8バイト・データを送信する場合 (UF0BUL3-UF0BUL0 = 9)

	バッファ設定	バッファ状態
UF0BUF8	チェック・サム	チェック・サム
UF0BUF7	Data7	Data7
UF0BUF6	Data6	Data6
UF0BUF5	Data5	Data5
UF0BUF4	Data4	Data4
UF0BUF3	Data3	Data3
UF0BUF2	Data2	Data2
UF0BUF1	Data1	Data1
UF0BUF0	Data0	Data0

(2) 3バイト・データを送信する場合 (UF0BUL3-UF0BUL0 = 4)

	バッファ設定	バッファ状態
UF0BUF8	-	-
UF0BUF7	-	-
UF0BUF6	-	-
UF0BUF5	-	-
UF0BUF4	-	-
UF0BUF3	チェック・サム	チェック・サム
UF0BUF2	Data2	Data2
UF0BUF1	Data1	Data1
UF0BUF0	Data0	Data0

注意 オート・チェック・サム機能を許可する場合 (UF0ACE = 1) , ソフトウェアでバッファにチェック・サムを設定する必要ありません。

14.7.1 オート・ポー・レート設定機能

オート・ポー・レート・モードのとき、常に受信したロウ・レベル幅を計測しています。そして1回目のロウ・レベル幅が2回目のロウ・レベル幅の11倍以上の場合はBF検出に成功したと判断し、2回目のロウ・レベル幅をSFのスタート・ビットとして、データが55Hであることを確認します。データが55Hであることを確認し、SFの受信が成功したと判断できた場合、一時的に受信動作を停止してからUF0BRS11-UF0BRS00ビットを再設定し、次のスタート・ビットを待って受信動作を開始します。

55Hであることが確認できるとSF検出に成功したと判断し、自動的にUF0BRS11-UF0BRS00ビットへポー・レート設定結果を設定します。その際、UF0PRS2-UF0PRS0ビットの設定は変更しません。その後、送信/受信処理を許可状態にしてから次のデータ (PID) を受信します。PID受信完了時 (ストップ・ビット位置) にエラーなしの場合は、LIN-UART受信割り込み (INTLR) が発生し、エラーありの場合はエラー・フラグをセットしてLIN-UART受信ステータス割り込み (INTLS) が発生します。どちらの場合もヘッダ受信完了フラグ (UF0HDC) がセットされます。一方、55Hでなかった場合はSF検出に失敗したと判断し、送信/受信処理を停止状態のまま次のBF (ロウ・レベル) 受信を待ち、ポー・レート設定は行われません。

なお送信/受信処理が許可状態のときに受信処理のストップ・ビット位置になると、フレーミング・エラー、一貫性エラーなどを検出してLIN-UART受信ステータス割り込み (INTLS) を発生することがあります。これには通信途中でBFを受信した場合などを含みます。

図14 - 54 BF/SF受信失敗例

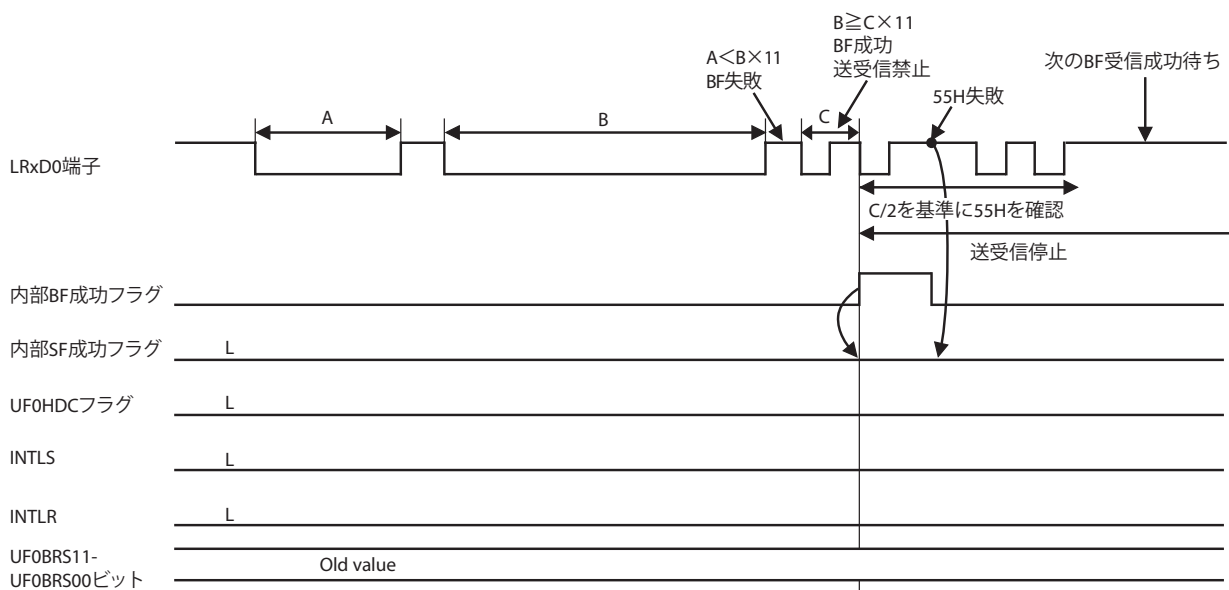
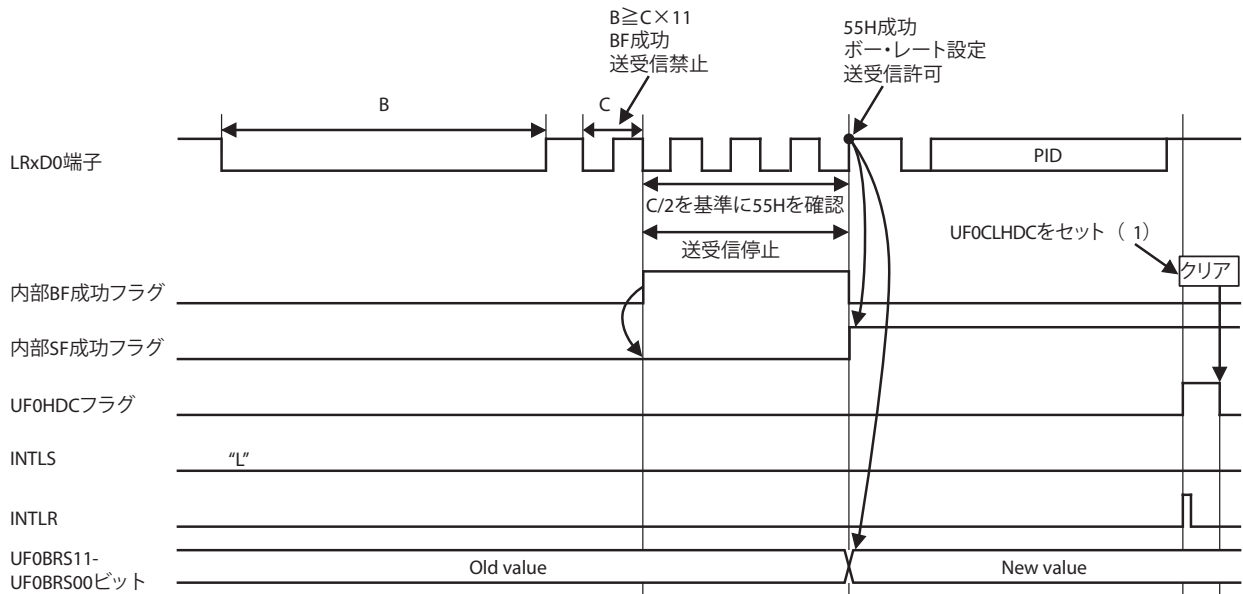
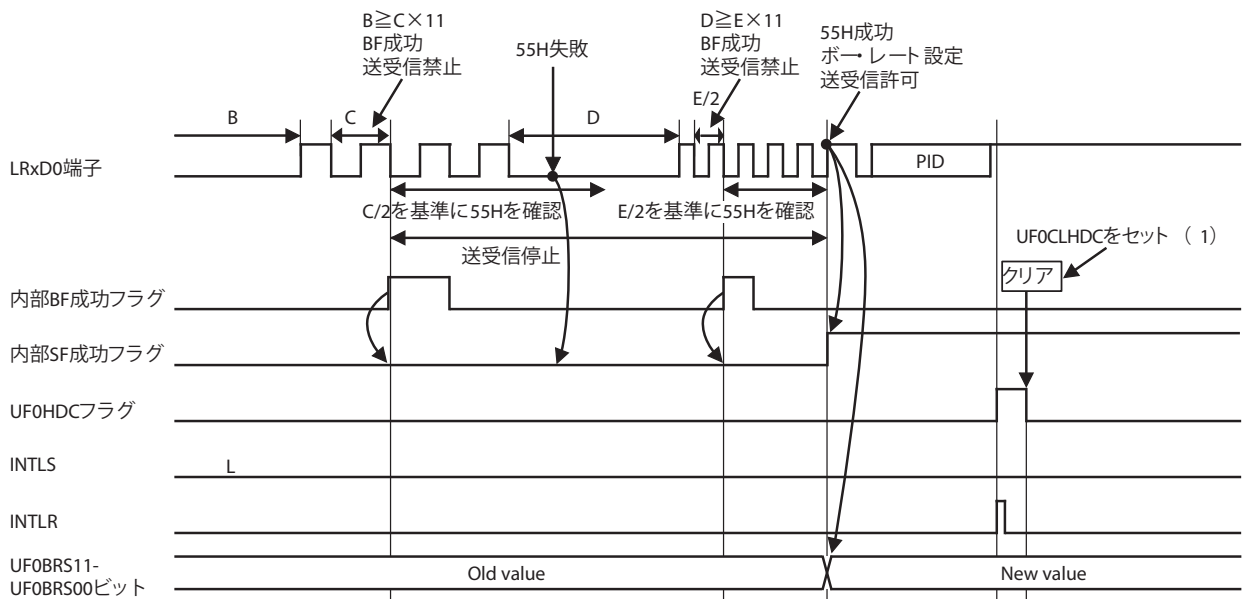


図14 - 55 BF/SF/PID受信成功例



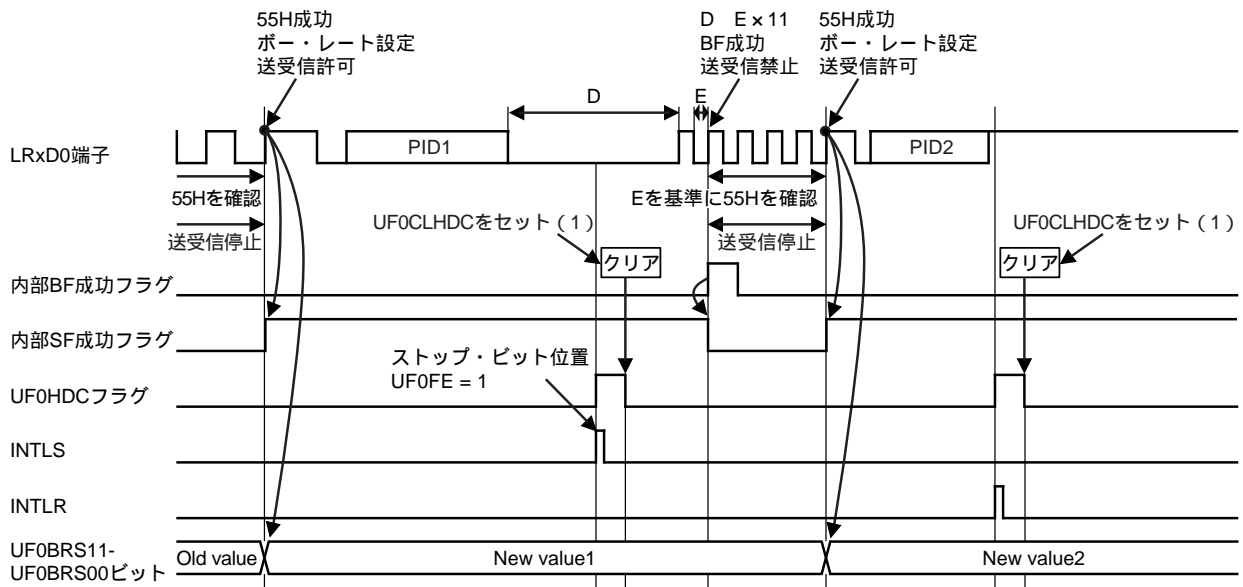
注意 PIDにおいて受信エラーが発生した場合、LIN-UART受信割り込み (INTLR) の代わりにLIN-UART受信ステータス割り込み (INTLS) が発生し、その他のエラー・フラグ (UF0FE/UF0IPEなど) が変化します。

図14 - 56 SF受信中にBF受信成功例 (PID受信エラーなし)



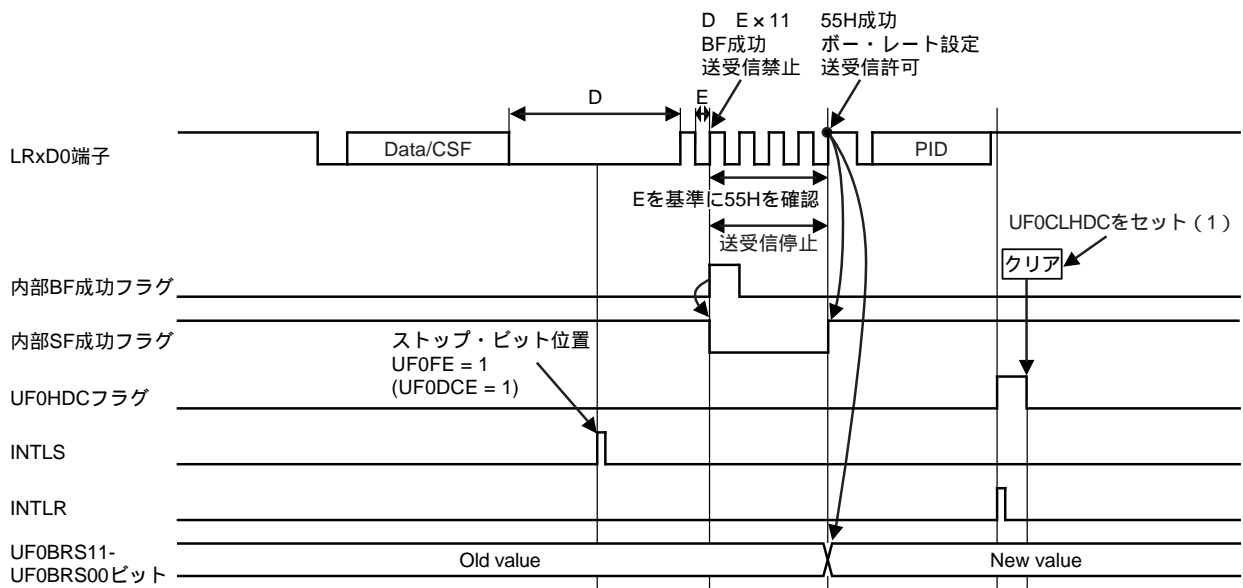
注意 PIDにおいて受信エラーが発生した場合、LIN-UART受信割り込み (INTLR) の代わりにLIN-UART受信ステータス割り込み (INTLS) が発生し、その他のエラー・フラグ (UF0FE/UF0IPEなど) が変化します。

図14 - 57 PID受信中にBF受信成功例 (PID2受信エラーなし)



注意 PID1のストップ・ビット位置が内部BF成功フラグのセット後だった場合、UF0HDCフラグやエラー・フラグ (UF0FE/UF0IPEなど) はセットされず、INTLSも発生しません。

図14 - 58 Data/CSF受信中にBF受信成功例 (PID受信エラーなし)



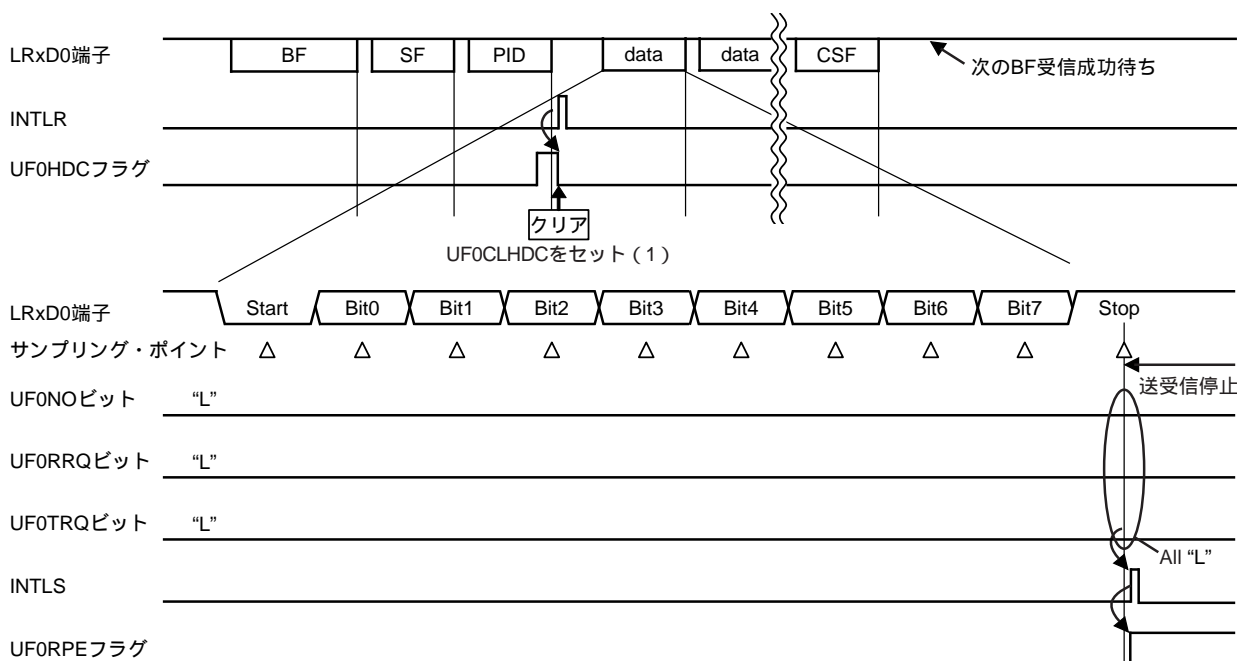
注意 Data/CSFのストップ・ビット位置が内部BF成功フラグのセット後だった場合、UF0BUCフラグやエラー・フラグ (UF0FE/UF0DCE/UF0CSE/UF0RPEなど) はセットされず、INTLSも発生しません。

14.7.2 レスポンス準備エラー検出機能

オート・ポー・レート・モード (UF0MD1, UF0MD0 = 11B) のとき、レスポンスで1バイト目の受信が完了するまで (ストップ・ビット (1ビット目) のサンプリング・ポイント) にレスポンス準備 (UF0NO/UF0RRQ/UF0TRQビットのセット) が間に合わなかった場合は、レスポンス準備エラー・フラグ (UF0RPE) がセットされ、LIN-UART受信ステータス割り込み (INTLS) が発生し、データを格納せずにそれ以降の送受信処理を停止 (レスポンスを無視) します。

またLRxD0端子への受信開始後にレスポンス送信を開始 (UF0TRQ = 1) した場合、一貫性エラーの発生によって認識できます。

図14 - 59 レスポンス準備エラー発生例



注意 UF0CON = 0時、UF0BUL3-UF0BUL0ビットで設定したバイト数の通信完了後は、BF受信待ち状態になるため、レスポンス準備エラーになることはありません。

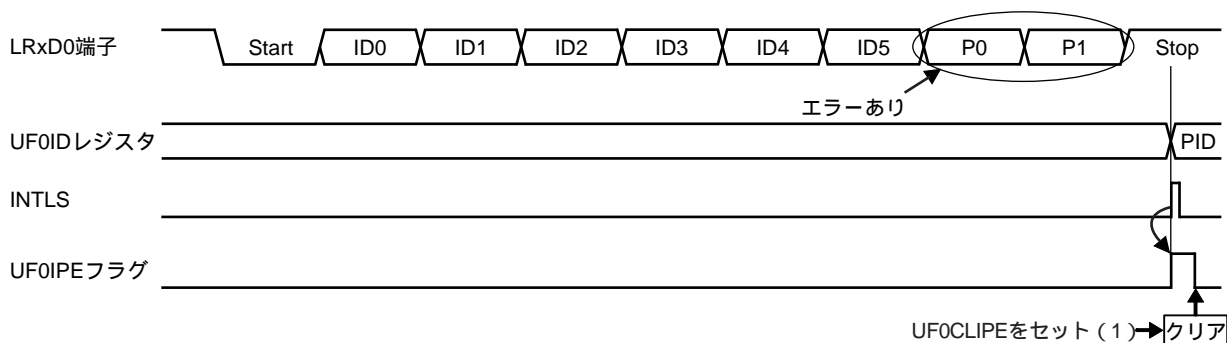
UF0CON = 1時、UF0BUL3-UF0BUL0ビットで設定したバイト数の通信完了後は、再度レスポンス準備エラー確認状態になります。

また、レスポンス送信完了後、次のUF0TRQセット前に受信動作が開始された場合には、レスポンス準備エラーになります。

14.7.3 IDパリティ・チェック機能

オート・ポーレート・モード (UF0MD1, UF0MD0 = 11B) のとき, IDパリティ・チェック選択ビットをセット (UF0IPCS = 1) すると, 受信したPIDをUF0IDレジスタへ格納するときにPIDのパリティ・ビット (P0, P1) を確認します。その際, どちらか一方でもエラーがあるとIDパリティ・エラー・フラグ (UF0IPE) をセットし, LIN-UART受信割り込み (INTLR) の代わりにLIN-UART受信ステータス割り込み (INTLS) が発生し, PIDはUF0IDレジスタへ格納されます。

図14 - 60 PIDのパリティ・エラー発生例



14.7.4 オート・チェック・サム機能

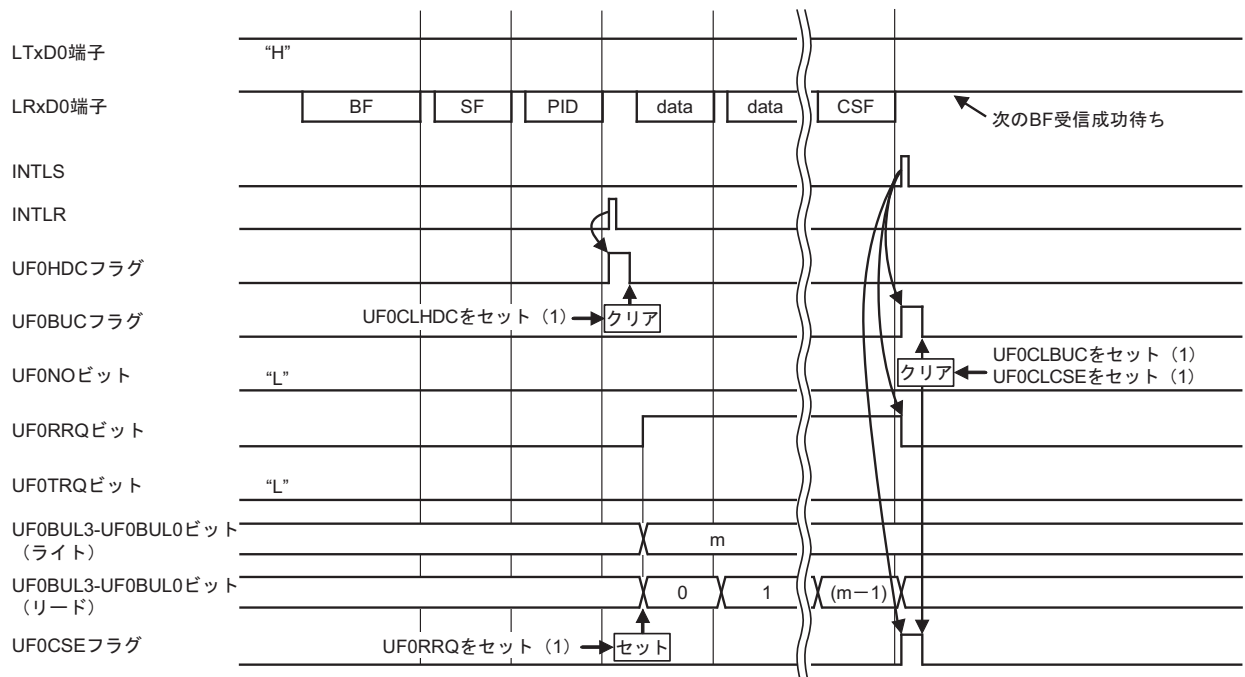
オート・ポーレート・モード (UF0MD1, UF0MD0 = 11B) のとき、オート・チェック・サム許可ビットをセットすると (UF0ACE = 1)、自動的にチェック・サムを計算します。計算方法には、エンハンス・チェック・サム (計算対象: PID, データ) とクラシック・チェック・サム (計算対象: データのみ) があり、エンハンス・チェック・サム選択ビット (UF0ECS) によりフレームごとに選択します。

レスポンス送信時は、バッファ・レジスタから送信用シフト・レジスタへデータが1バイトずつ転送されるときに計算が行われ[※]、レスポンス送信の最後にこの計算結果が自動的に付加されて送信されます。ソフトウェアでバッファにチェック・サムを設定する必要はありません。

レスポンス受信時は、バッファ・レジスタへデータが1バイトずつ格納されるときに計算が行われ[※]、受信したチェック・サムをバッファに格納するとき自動的に格納データとこの計算結果を比較します。比較結果が正しい場合はLIN-UART受信割り込み (INTLR) が発生します。ただし、不正の場合はLIN-UART受信割り込み (INTLR) の代わりにLIN-UART受信ステータス割り込み (INTLS) を発生して、チェック・サム・エラー・フラグ (UF0CSE) がセットされ、チェック・サムをUF0RXレジスタに格納します。

注 エンハンス・チェック・サムのときは、本機能が転送開始時にUF0IDレジスタの値を演算の初期値に設定して動作します。

図14 - 61 オート・チェック・サム・エラー発生例 (レスポンス受信)



備考 m = 1-8

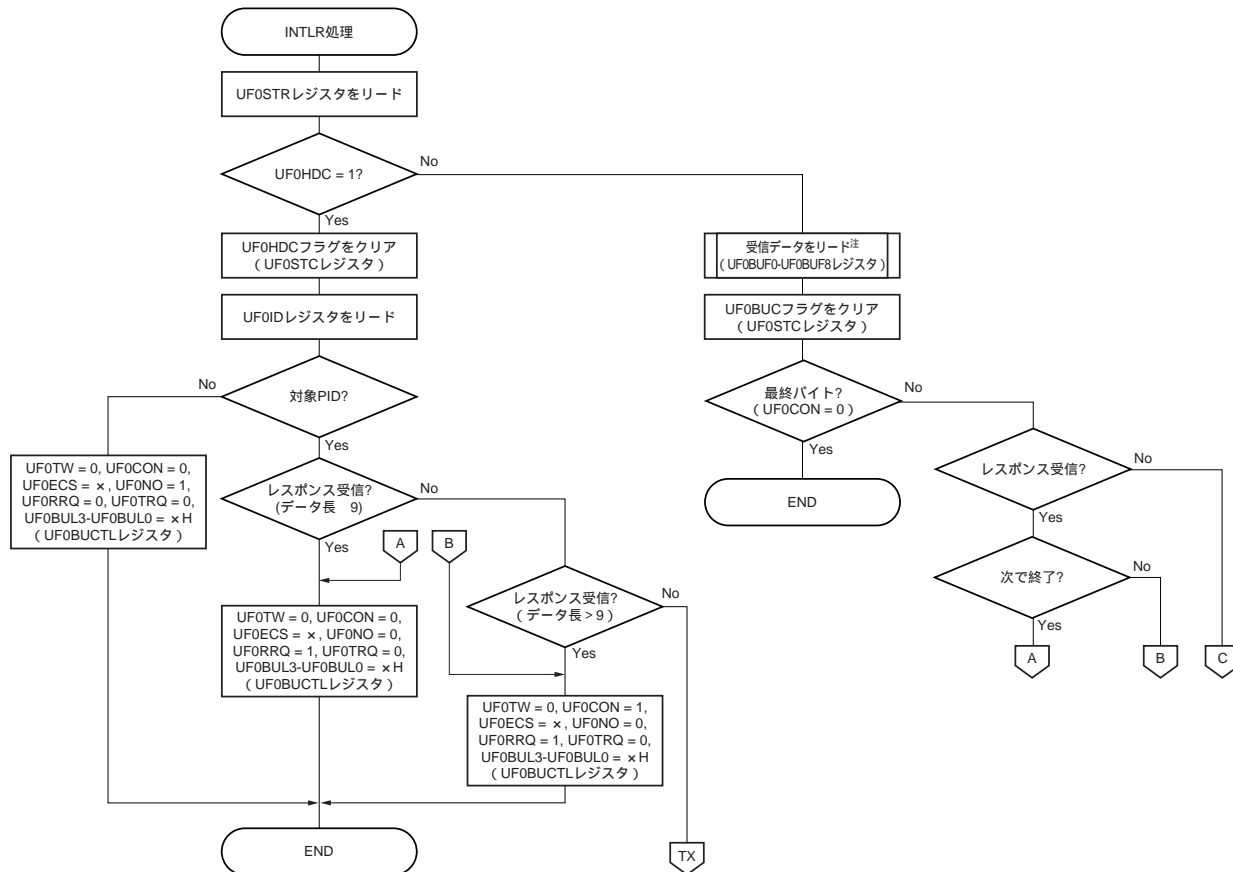
14.7.5 多バイト・レスポンス送受信機能

通常LIN通信において、レスポンスは9バイト以下ですが(チェック・サム・フィールドを含む)、オート・ポーレート・モード(UF0MD1, UF0MD0 = 11B)のとき、10バイト以上のレスポンスを送受信することが可能です。

初期設定とINTLS発生時の処理フローは基本処理フローと同じです。14.7 LIN通信オート・ポーレート・モードを参照してください。

レスポンス準備エラー検出機能、IDパリティ・チェック機能、オート・チェック・サム機能は有効です。

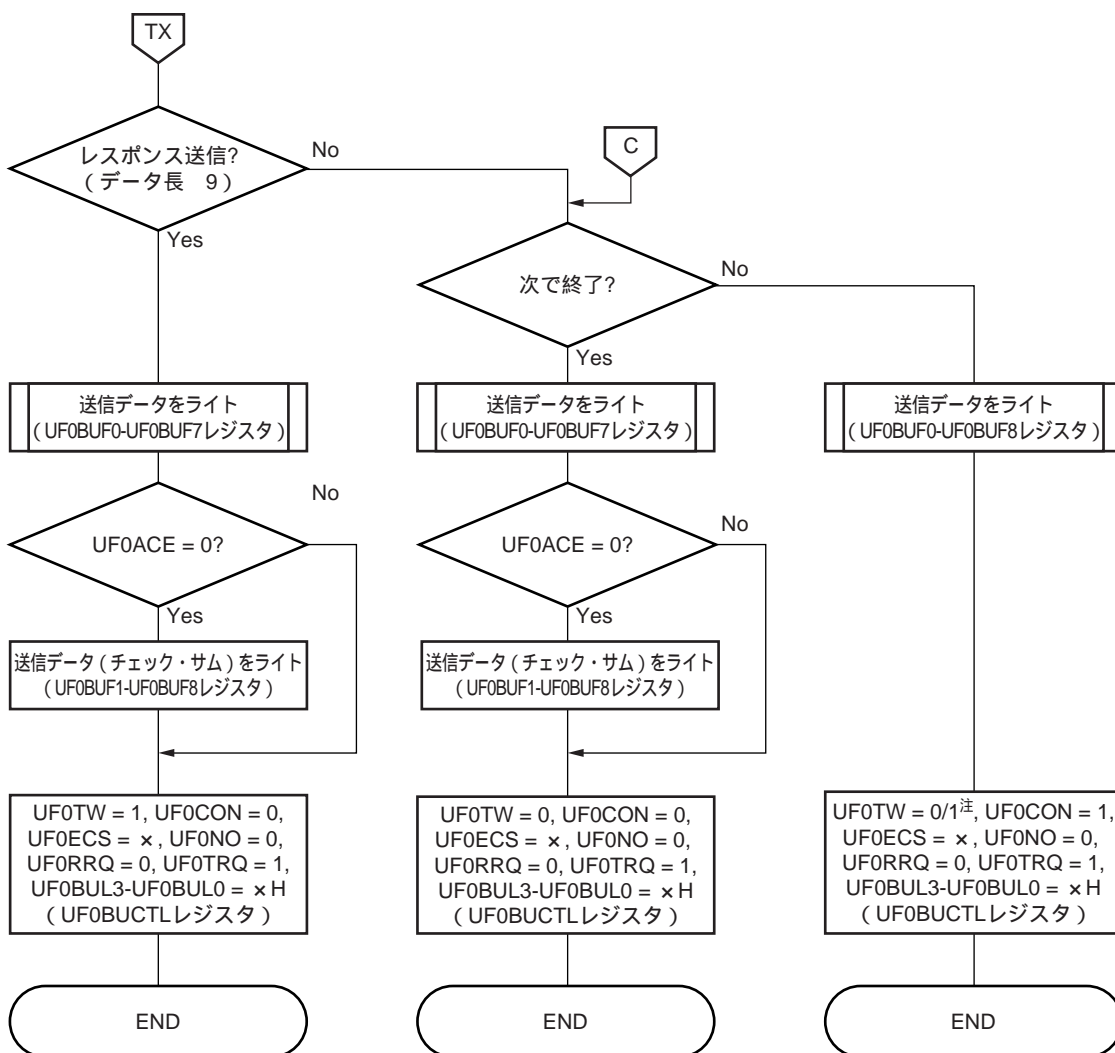
図14 - 62 多バイト送受信の処理フロー例 (1/2)



注 省略可能

備考 x : 任意

図14 - 62 多バイト送受信の処理フロー例 (2/2)



注 PID受信後，最初のデータ送信時のみUF0TW = 1に設定してください。

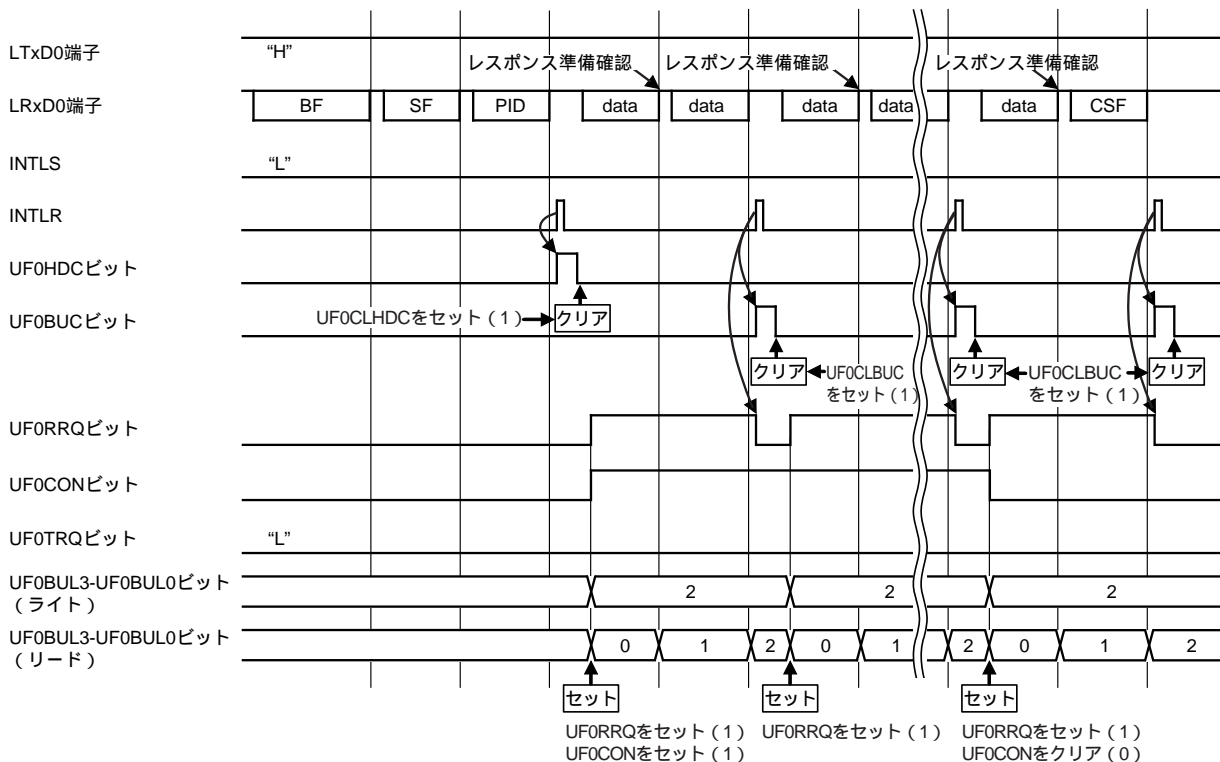
注意 1. バッファ長ビット (UF0BUL3-UF0BUL0) を”0”，”10-15”に設定した場合，9バイトの受信または送信を行います。またバッファ長を”1-8”に設定した場合，バッファ番号の小さい方から設定バイト数のバッファが使用されます。

例：UF0BUL3-UF0BUL0 = 1を設定すると，常にUF0BUF0ビットにのみデータが格納されます。

2. 受信データの取得が未完了の場合は，UF0RRQビットをセットしないでください。
3. ヘッダ受信後にレスポンス送信へ切り替わるとき以外，UF0TWビットのセットは禁止です。

備考 x：任意

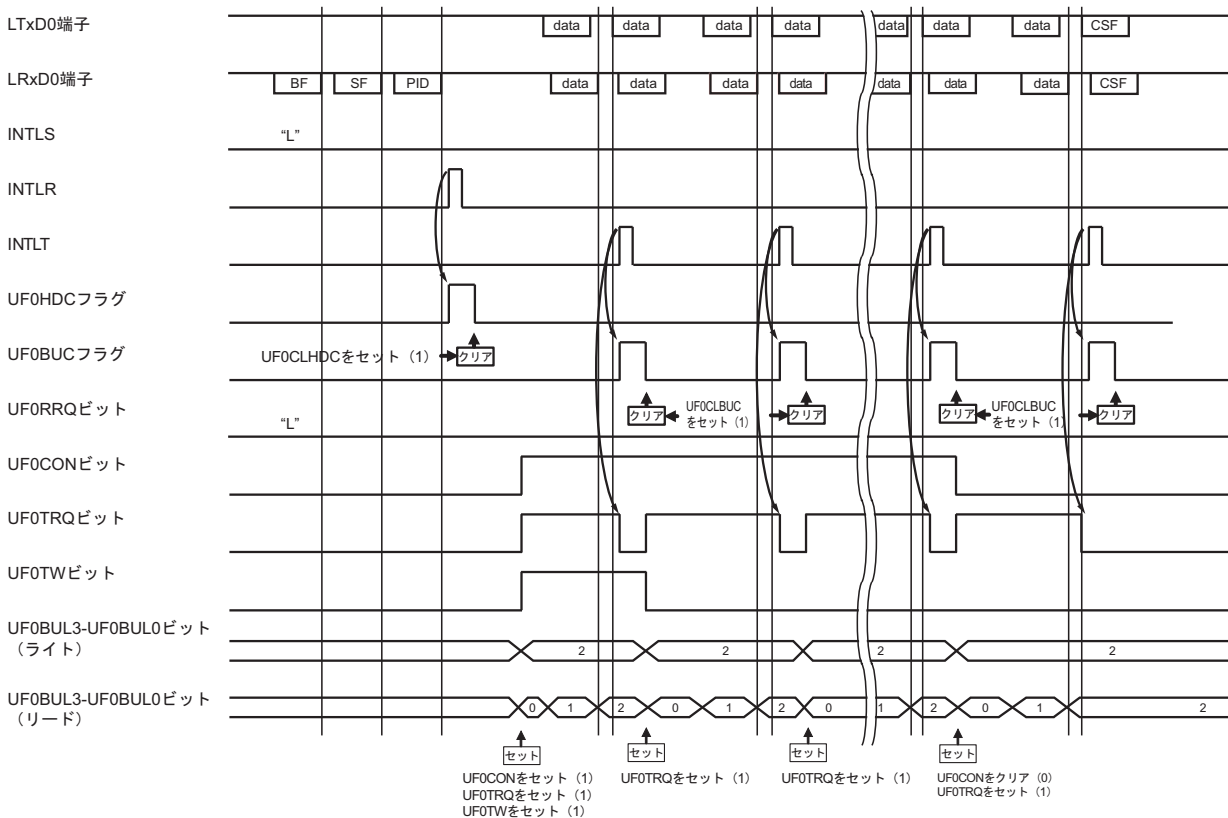
図14 - 63 多バイト受信実施例



注意 UF0BUL3-UF0BUL0 = 2のときは、常にUF0BUF0, UF0BUL1にデータが格納されます。

受信データのリード処理が間に合わない場合、UF0BUL3-UF0BUL0 = 1にするなどの調整をしてください。

図14 - 64 多バイト送信実施例



注意 UF0BUL3-UF0BUL0 = 2のときは、常にUF0BUF0, UF0BUL1ビットのデータが送信され、格納されます。

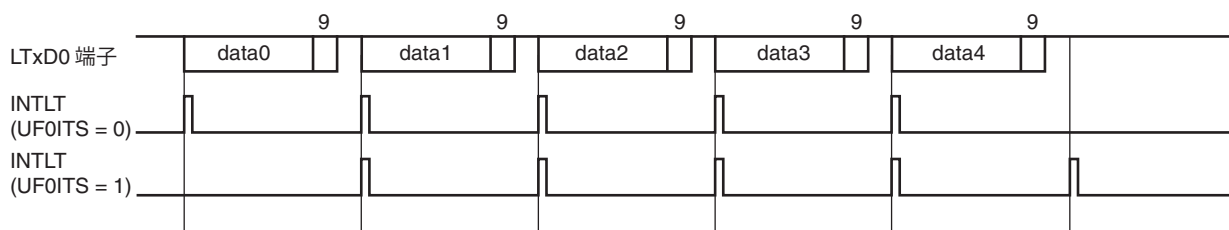
14.8 拡張ビット・モード

通常UARTモードのとき (UF0MD1, UF0MD0 = 00B), 拡張ビット許可ビット (UF0EBE) をセットすることにより, 9ビット長のデータを送受信することが可能です。通信データのフォーマットについては, 14.5.1 データ・フォーマットを参照してください。

14.8.1 拡張ビット・モード送信

拡張ビット・モード (UF0CL = UF0EBE = 1) のとき, UF0TXレジスタに9ビット・データをライトすると9ビット長の送信が開始されます。

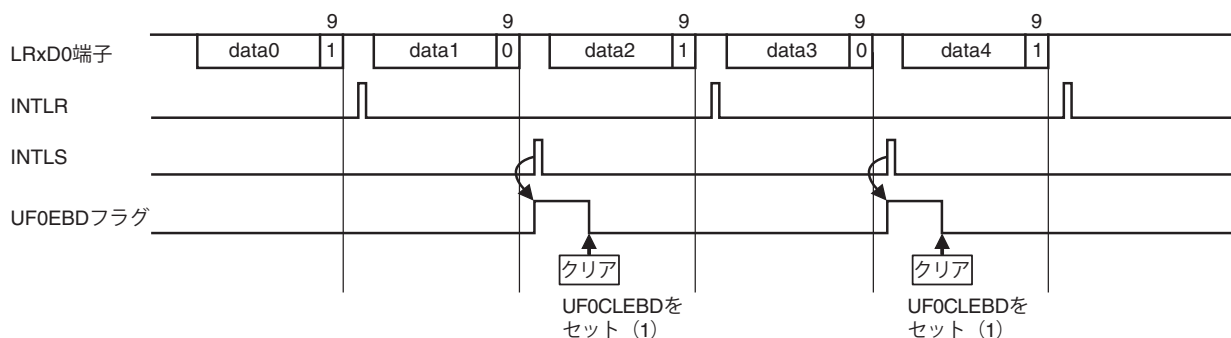
図14 - 65 拡張ビット・モード送信例 (LSBファースト)



14.8.2 拡張ビット・モード受信 (データ比較なし)

拡張ビット・モード (UF0CL = UF0EBE = 1) かつ拡張ビット・データ比較禁止 (UF0EBC = 0) のとき、データ比較なしで常に9ビット長の受信が可能です。拡張ビット検出レベル選択ビット (UF0EBL) で設定したレベルを検出した場合は、データ受信完了時にLIN-UART受信ステータス割り込み (INTLS) が発生し、拡張ビット検出フラグ (UF0EBD) がセットされます。拡張ビット検出レベルの反転値が検出された場合は、LIN-UART受信割り込み (INTLR) が発生します。どちらの場合も、オーバーラン・エラーでなければ受信データをUF0RXレジスタへ格納します。

図14 - 66 拡張ビット・モード受信 (データ比較なし) の例 (LSBファースト, UF0EBL = 0)



- 注意 1. 受信data0, 2, 4で受信エラー (パリティ・エラー / フレーミング・エラー / オーバラン・エラー) が発生すると、LIN-UART受信割り込み (INTLR) の代わりにLIN-UART受信ステータス割り込み (INTLS) が発生し、エラー・フラグが更新されます。
2. 受信data1, 3で受信エラー (パリティ・エラー / フレーミング・エラー / オーバラン・エラー) が発生すると、エラー・フラグも更新されます。

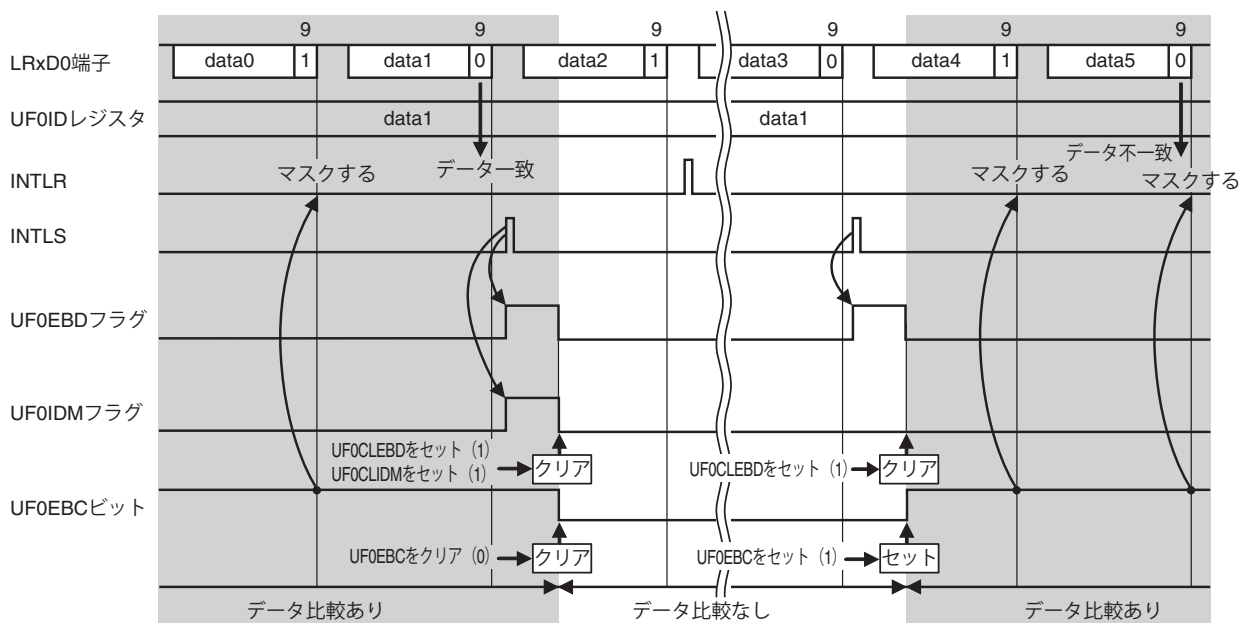
14.8.3 拡張ビット・モード受信 (データ比較あり)

拡張ビット・モード (UF0CL = UF0EBE = 1) かつ拡張ビット・データ比較許可 (UF0EBC = 1) のとき、拡張ビット検出レベル選択ビット (UF0EBL) で設定したレベルを検出すると、受信データの拡張ビットを除く 8 ビットをあらかじめ設定した UF0ID レジスタ値と比較します。

比較結果が一致した場合、LIN-UART 受信ステータス割り込み (INTLS) が発生して、拡張ビット ID 一致フラグ (UF0IDM) と拡張ビット検出フラグ (UF0EBD) をセットし、受信データを UF0RX へ格納します。比較結果が一致しない場合、割り込みの発生、フラグの更新、受信データの格納は行われません。

比較結果が一致した場合の LIN-UART 受信ステータス割り込み処理で拡張ビット・データ比較禁止 (UF0EBC = 0) にすることにより、その後のすべてのデータ受信完了時に割り込み (INTLR/INTLS) を発生させ、データを受信できます。UF0EBC ビットの変更はデータ受信完了後、次のデータ受信完了までに行ってください。

図 14 - 67 拡張ビット・モード受信 (データ比較あり) の例 (LSB ファースト, UF0EBL = 0)



- 注意 1. 受信 data2 で受信エラー (パリティ・エラー / フレーミング・エラー / オーバラン・エラー) が発生すると、LIN-UART 受信割り込み (INTLR) の代わりに LIN-UART 受信ステータス割り込み (INTLS) が発生し、エラー・フラグが更新されます。
2. 受信 data1,3 で受信エラー (パリティ・エラー / フレーミング・エラー / オーバラン・エラー) が発生すると、エラー・フラグも更新されます。受信 data0, 4, 5 で受信エラーが発生するとエラー・フラグは更新されません。

14.9 受信データのノイズ・フィルタ

UART受信では通信クロックが存在しないので、ノイズによる誤動作の確率が高くなります。ノイズ・フィルタは、通信バスのノイズを除去し、データの誤受信を低減するために使用します。受信データのノイズ・フィルタ使用選択ビット (UF0RXFL) を"0"にすることによりノイズ・フィルタを有効になります。

シリアル・データ入力端子 (LRxD0) から入力されるスタート・ビットや受信データ等は、プリスケアラで分周したクロック (プリスケアラ・クロック) でサンプリングされます。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅を越えないデータはノイズと判定され、内部回路へは供給されません (図14 - 68参照)。基本クロックに関しては、14. 10 (1)(a) プリスケアラ・クロック (fuCLK) を参照してください。

図14 - 68 ノイズ・フィルタ回路例

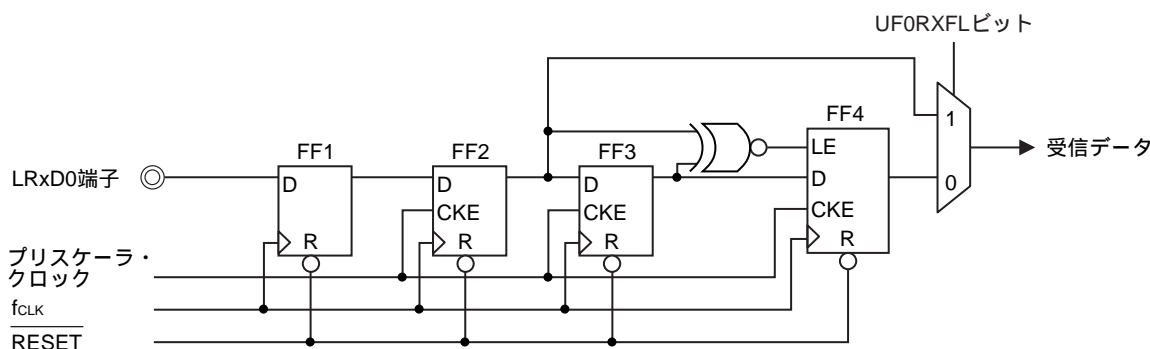
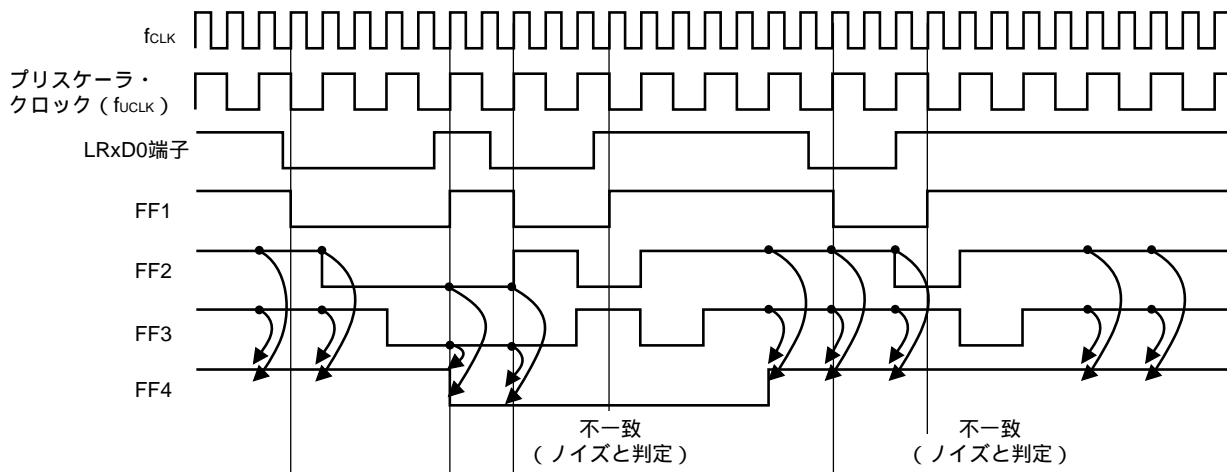


図14 - 69 ノイズ・フィルタのタイミング・チャート例 (UF0PRS = 1)



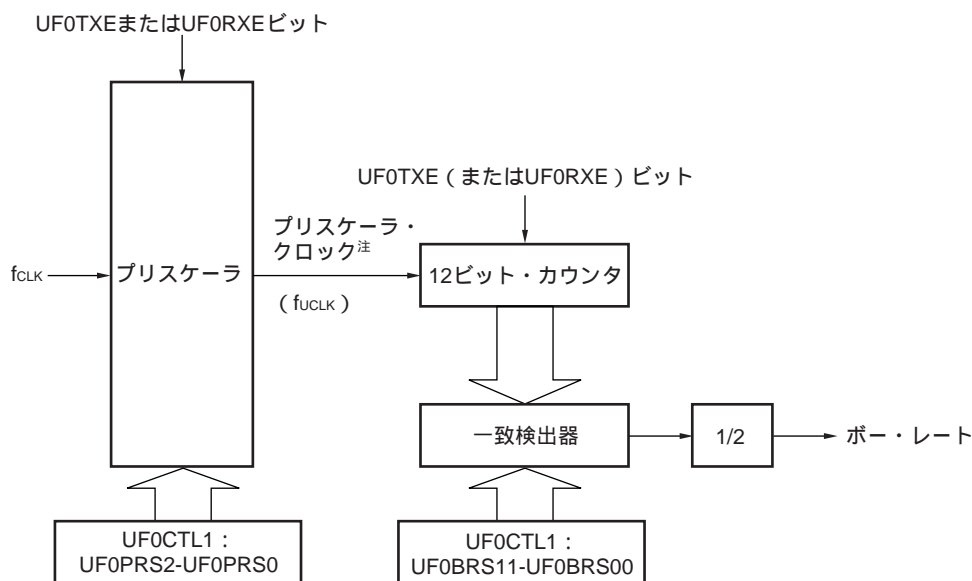
14.10 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、3ビットのプリスケアラ部と12ビットのプログラマブル・カウンタにより構成され、LIN-UART0における送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、12ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図14-70 ポー・レート・ジェネレータの構成



注 fCLKを1, 2, 4, 8, 16, 32, 64, 128分周したクロック

オート・ポー・レート時には、受信端子がハイ・レベルであることを確認してからUFnRXE = 1にしてください。

(a) プリスケアラ・クロック (fuCLK)

PERXレジスタのUF0ENビットが“1”のとき、UF0CTL1レジスタのUF0PRS2-UF0PRS0ビットで指定した分周値に分周されたクロックを12ビット・カウンタに供給します。

このクロックをプリスケアラ・クロックと呼び、その周波数をfuCLKと呼びます。

(b) シリアル・クロックの生成

UF0CTL1レジスタの設定により、シリアル・クロックを生成できます。

UF0CTL1レジスタのUF0BRS11-UF0BRS00ビットにより、12ビット・カウンタの分周値を設定できます。

(2) LIN-UART0制御レジスタ1 (UF0CTL1)

UF0CTL1レジスタは、LIN-UART0のボー・レートを制御するための16ビットのレジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0FFFHになります。

図14 - 71 LIN-UART0制御レジスタ1 (UF0CTL1) のフォーマット

アドレス : F0522H, F0523H (UF0CTL1) リセット時 : 0FFFH R/W

	15	14	13	12	11	10	9	8
UF0CTL1	UF0PRS2	UF0PRS1	UF0PRS0	0	UF0BRS11	UF0BRS10	UF0BRS9	UF0BRS8
	7	6	5	4	3	2	1	0
	UF0BRS7	UF0BRS6	UF0BRS5	UF0BRS4	UF0BRS3	UF0BRS2	UF0BRS1	UF0BRS0

UF0PRS2	UF0PRS1	UF0PRS0	プリスケラ・クロックの分周値
0	0	0	分周なし (プリスケラ・クロック = fCLK)
0	0	1	2分周 (プリスケラ・クロック = fCLK/2)
0	1	0	4分周 (プリスケラ・クロック = fCLK/4)
0	1	1	8分周 (プリスケラ・クロック = fCLK/8)
1	0	0	16分周 (プリスケラ・クロック = fCLK/16)
1	0	1	32分周 (プリスケラ・クロック = fCLK/32)
1	1	0	64分周 (プリスケラ・クロック = fCLK/64)
1	1	1	128分周 (プリスケラ・クロック = fCLK/128)

UF0 BRS11	UF0 BRS10	UF0 BRS09	UF0 BRS08	UF0 BRS07	UF0 BRS06	UF0 BRS05	UF0 BRS04	UF0 BRS03	UF0 BRS02	UF0 BRS01	UF0 BRS00	k ^注	シリアル・ クロック
0	0	0	0	0	0	0	0	0	0	x	x	4	f _{CLK} /4
0	0	0	0	0	0	0	0	0	1	0	0	4	f _{CLK} /4
0	0	0	0	0	0	0	0	0	1	0	1	5	f _{CLK} /5
:	:	:	:	:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	1	1	1	0	4094	f _{CLK} /4094
1	1	1	1	1	1	1	1	1	1	1	1	4095	f _{CLK} /4095

注 規定値

- 注意 1. UF0CTL0レジスタのUF0TXEビット = UF0RXEビット = 0の場合のみ書き換え可能です。
- 2. シリアル・クロックをさらに1/2分周したものがボー・レートとなります。
- 3. オート・ボー・レート・モード時、UF0BRS11-UF0BRS00への書き込みは無効です。

- 備考1. f_{CLK}は、UF0PRS2-UF0PRS0ビットで選択したプリスケラ・クロックの分周値です。
- 2. オート・ボー・レート・モード (UF0MD1, UF0MD0 = 11B) の場合、ヘッダの受信後にUF0BRS11-UF0BRS00をリードすることによりボー・レート設定後の値を確認できます。
- 3. x : 任意

(3) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \text{ [bps]}$$

f_{UCLK} = UF0CTL1レジスタのUF0PRS2-UF0PRS0ビットで選択したプリスケアラ・クロックの周波数

k = UF0CTL1レジスタのUF0BRS11-UF0BRS00ビットで設定した値 ($k = 4, 5, 6, \dots, 4095$)

(4) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標とするボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意 1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(6) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 ・ CPU / 周辺ハードウェア・クロック周波数 = 24 MHz = 24,000,000 Hz

・ 設定値

$f_{\text{CLK}} = 24 \text{ MHz}$

UF0CTL1レジスタのUF0PRS2-UF0PRS0ビットの設定値 = 001B ($f_{\text{UCLK}} = f_{\text{CLK}}/2 = 12 \text{ MHz}$)

UF0CTL1レジスタのUF0BRS11-UF0BRS00ビットの設定値 = 000000100111B ($k = 39$)

・ 目標ボー・レート = 153600 bps

・ ボー・レート = $12000000 / (2 \times 39)$

= 153846 [bps]

・ 誤差 = $(153846/153600 - 1) \times 100$

= 0.160 [%]

(5) ボー・レート設定例

表14 - 5 ボー・レート・ジェネレータ設定データ (通常動作, $f_{CLK} = 24 \text{ MHz}$, UF0PRS2-UF0PRS0 = 0-3)

目標ボー・レート (bps)	UF0PRS2-UF0PRS0							
	0		1		2		3	
	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)
300	-	-	-	-	-	-	-	-
600	-	-	-	-	-	-	2500	0.00
1200	-	-	-	-	2500	0.00	1250	0.00
2400	-	-	2500	0.00	1250	0.00	625	0.00
4800	2500	0.00	1250	0.00	625	0.00	313	- 0.16
9600	1250	0.00	625	0.00	313	- 0.16	156	0.16
19200	625	0.00	313	- 0.16	156	0.16	78	0.16
31250	384	0.00	192	0.00	96	0.00	48	0.00
38400	313	- 0.16	156	0.16	78	0.16	39	0.16
76800	156	0.16	78	0.16	39	0.16	20	- 2.34
128000	94	- 0.27	47	- 0.27	23	1.90	12	- 2.34
153600	78	0.16	39	0.16	20	- 2.34	10	- 2.34
312500	38	1.05	19	1.05	10	- 4.00	5	- 4.00
1000000	12	0.00	6	0.00	-	-	-	-

表14 - 6 ボー・レート・ジェネレータ設定データ (通常動作, $f_{CLK} = 24 \text{ MHz}$, UF0PRS2-UF0PRS0 = 4-7)

目標ボー・レート (bps)	UF0PRS2-UF0PRS0							
	4		5		6		7	
	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)
300	2500	0.00	1250	0.00	625	0.00	313	- 0.16
600	1250	0.00	625	0.00	384	- 0.16	156	0.16
1200	625	0.00	384	- 0.16	313	0.16	78	0.16
2400	313	- 0.16	313	0.16	156	0.16	625	0.16
4800	156	0.16	156	0.16	94	0.16	313	- 2.34
9600	78	0.16	94	0.16	78	- 2.34	156	- 2.34
19200	39	0.16	78	- 2.34	156	- 2.34	78	- 2.34
31250	24	0.00	192	0.00	96	0.00	-	-
38400	20	- 2.34	156	- 2.34	78	- 2.34	-	-
76800	10	- 2.34	78	- 2.34	-	-	-	-
128000	6	- 2.34	-	-	-	-	-	-
153600	5	- 2.34	-	-	-	-	-	-
312500	-	-	-	-	-	-	-	-
1000000	-	-	-	-	-	-	-	-

表14 - 7 ポー・レート・ジェネレータ設定データ (通常動作, $f_{CLK} = 12 \text{ MHz}$, UF0PRS2-UF0PRS0 = 0-3)

目標ポー・レート (bps)	UF0PRS2-UF0PRS0							
	0		1		2		3	
	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)
300	-	-	-	-	-	-	2500	0.00
600	-	-	-	-	2500	0.00	1250	0.00
1200	-	-	2500	0.00	1250	0.00	625	0.00
2400	2500	0.00	1250	0.00	625	0.00	313	- 0.16
4800	1250	0.00	625	0.00	313	- 0.16	156	0.16
9600	625	0.00	313	- 0.16	156	0.16	78	0.16
19200	313	- 0.16	156	0.16	78	0.16	39	0.16
31250	192	0.00	96	0.00	48	0.00	24	0.00
38400	156	0.16	78	0.16	39	0.16	20	- 2.34
76800	78	0.16	39	0.16	20	- 2.34	10	- 2.34
128000	47	- 0.27	23	1.90	12	- 2.34	6	- 2.34
153600	39	0.16	20	- 2.34	10	- 2.34	5	- 2.34
312500	19	1.05	10	- 4.00	5	- 4.00	-	-
1000000	6	0.00	-	-	-	-	-	-

表14 - 8 ポー・レート・ジェネレータ設定データ (通常動作, $f_{CLK} = 12 \text{ MHz}$, UF0PRS2-UF0PRS0 = 4-7)

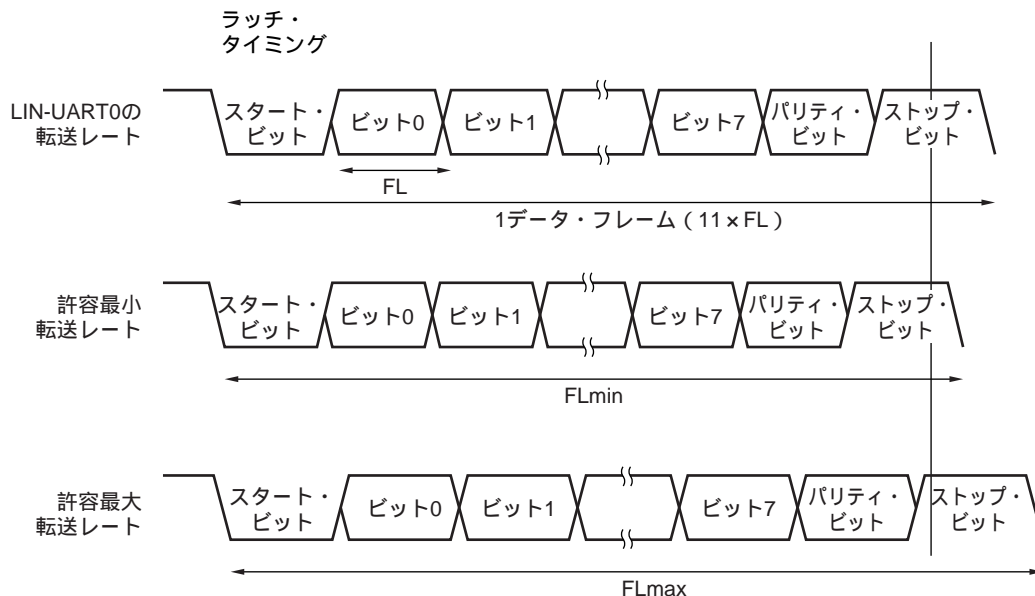
目標ポー・レート (bps)	UF0PRS2-UF0PRS0							
	4		5		6		7	
	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)	UF0BRS11- UF0BRS00	ERR (%)
300	1250	0.00	625	0.00	313	- 0.16	156	0.16
600	625	0.00	313	- 0.16	156	0.16	78	0.16
1200	313	- 0.16	156	0.16	78	0.16	39	0.16
2400	156	0.16	78	0.16	39	0.16	20	- 2.34
4800	78	0.16	39	0.16	20	- 2.34	10	- 2.34
9600	39	0.16	20	- 2.34	10	- 2.34	5	- 2.34
19200	20	- 2.34	10	- 2.34	5	- 2.34	-	-
31250	12	0.00	6	0.00	-	-	-	-
38400	10	- 2.34	5	- 2.34	-	-	-	-
76800	5	- 2.34	-	-	-	-	-	-
128000	-	-	-	-	-	-	-	-
153600	-	-	-	-	-	-	-	-
312500	-	-	-	-	-	-	-	-
1000000	-	-	-	-	-	-	-	-

(6) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、次に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 72 受信時の許容ボー・レート範囲



上記タイミング図は、(スタート・ビット) ~ (ストップ・ビット) が11ビット長です。

図14 - 72に示すように、スタート・ビット検出後はUF0CTL1レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これをデータ・ビット長8ビット時、11ビット受信に当てはめると理論上、次のようになります。

$$FL = (Brate)^{-1}$$

Brate : LIN-UART0のボー・レート
 k : UF0CTL1の設定値
 FL : 1ビット・データ長
 ラッチ・タイミングのマージン : 2クロック

許容最小転送レート : $FL_{min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\begin{aligned} \frac{10}{11} \times FL_{\max} &= 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL \\ FL_{\max} &= \frac{21k-2}{20k} FL \times 11 \end{aligned}$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、LIN-UART0と送信元とのボー・レートの許容誤差を求めると表14-9のようになります。

表14-9 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差			許容最小ボー・レート誤差		
	BN = 9	BN = 11	BN = 12	BN = 9	BN = 11	BN = 12
4	+2.85 %	+2.32 %	+2.12 %	-3.03 %	-2.43 %	-2.22 %
8	+4.34 %	+3.52 %	+3.22 %	-4.47 %	-3.61 %	-3.29 %
16	+5.10 %	+4.14 %	+3.78 %	-5.18 %	-4.19 %	-3.82 %
64	+5.68 %	+4.60 %	+4.20 %	-5.70 %	-4.61 %	-4.21 %
128	+5.78 %	+4.68 %	+4.27 %	-5.79 %	-4.69 %	-4.28 %
256	+5.83 %	+4.72 %	+4.31 %	-5.83 %	-4.72 %	-4.31 %
512	+5.85 %	+4.74 %	+4.33 %	-5.86 %	-4.74 %	-4.33 %
1024	+5.87 %	+4.75 %	+4.33 %	-5.87 %	-4.75 %	-4.33 %
2048	+5.87 %	+4.75 %	+4.34 %	-5.87 %	-4.75 %	-4.34 %
4095	+3.42 %	+4.75 %	+4.34 %	-3.59 %	-4.75 %	-4.34 %

備考 1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. BN : スタート・ビット~ストップ・ビットまでのビット数

k : UF0CTL1.UF0BRS [11:0]の設定値

14. 11 使用上の注意

(1) LIN-UART動作時にSTOP命令を実行する場合は ,LIN-UARTを停止してからSTOP命令を実行してください。

(2) LIN-UART0の起動は次の順序で行ってください。

ポートの設定

PERX.UF0EN = 1

UF0CTL0.UF0TXE = 1, UF0CTL0.UF0RXE = 1

(3) LIN-UART0の停止は次の順序で行ってください。

UF0CTL0.UF0TXE = 0, UF0CTL0.UF0RXE = 0

PERX.UF0EN = 0

ポートの設定 (ポートの設定は変更しなくても問題ありません)

(4) 送信モード中 (UF0CTL0.UF0TXE = 1) に , ソフトウェアでUF0TXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。

第15章 シリアル・インタフェースIICA

シリアル・インタフェースIICAのチャンネル数は、製品によって異なります。

	20ピン	30, 32, 48, 64ピン
チャンネル	-	1 ch

注意 この章では、以降の主な説明を64ピン製品の場合で説明しています。

15.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCLA0) とシリアル・データ・バス (SDAA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLA0端子とSDAA0端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICA0) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ01 (IICCTL01) のWUP0ビットにより設定します。

図15 - 1に、シリアル・インタフェースIICAのブロック図を示します。

図15 - 1 シリアル・インタフェースIICAのブロック図

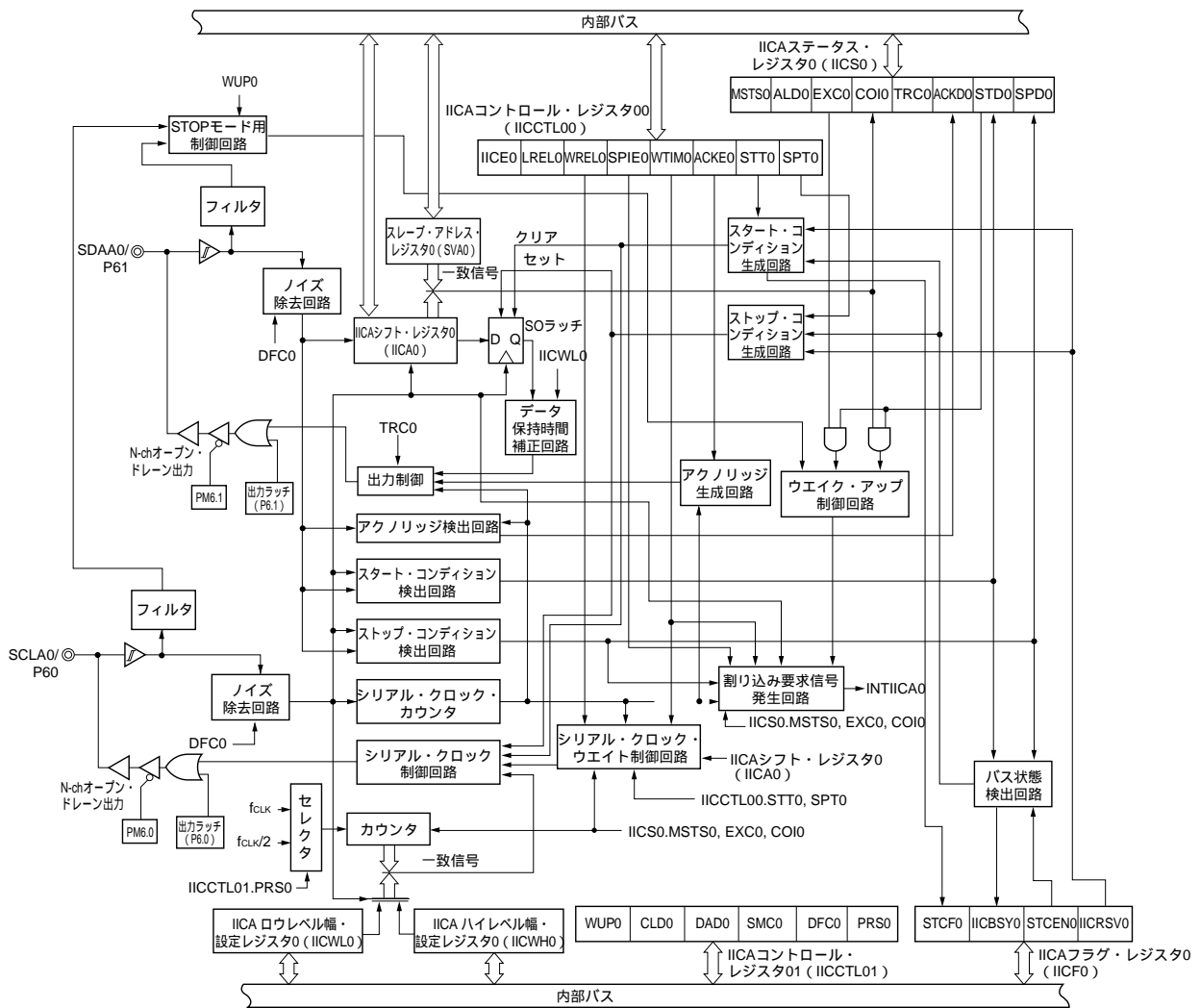
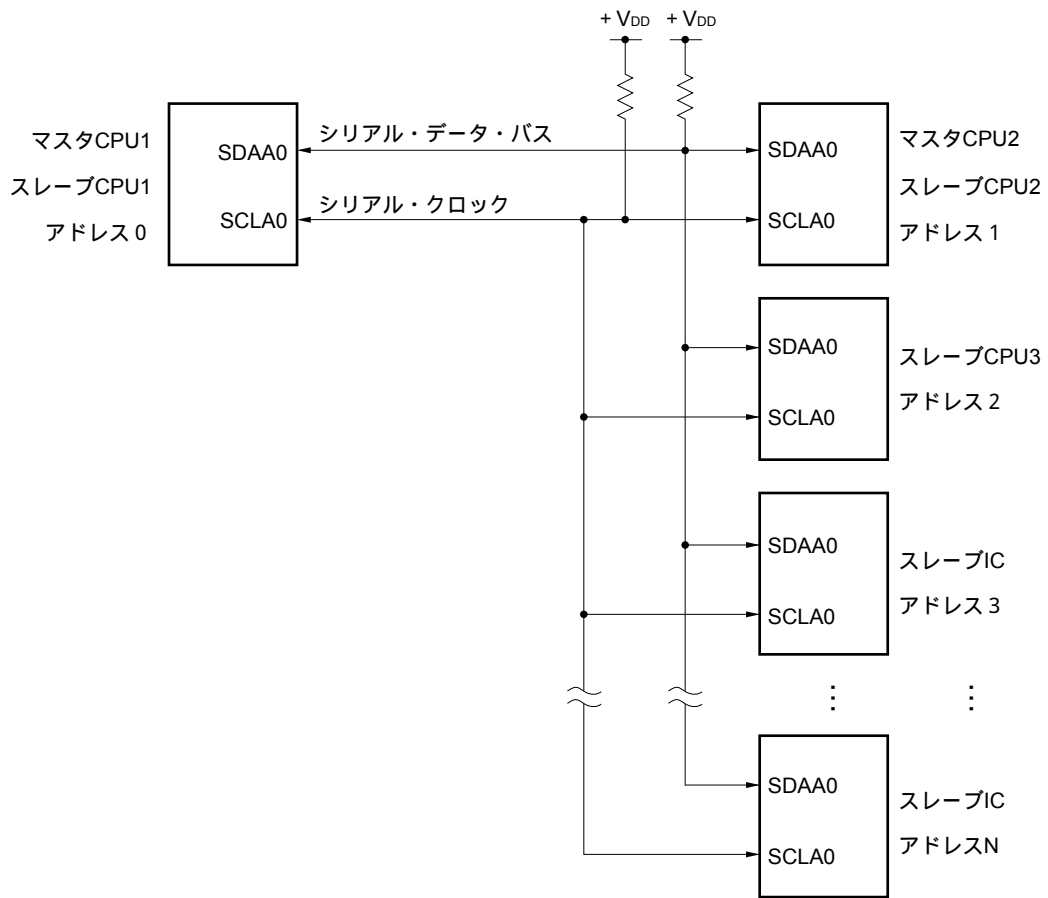


図15 - 2にシリアル・バス構成例を示します。

図15 - 2 I²Cバスによるシリアル・バス構成例



15.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表15-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ0 (IICA0) IICAスレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICAコントロール・レジスタ00 (IICCTL00) IICAステータス・レジスタ0 (IICS0) IICAフラグ・レジスタ0 (IICF0) IICAコントロール・レジスタ01 (IICCTL01) IICAロウレベル幅・設定レジスタ0 (IICWL0) IICAハイレベル幅・設定レジスタ0 (IICWH0) ポート・モード・レジスタ6 (PM6)

(1) IICAシフト・レジスタ0 (IICA0)

IICA0レジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICA0レジスタは送信および受信の両方に使用されます。

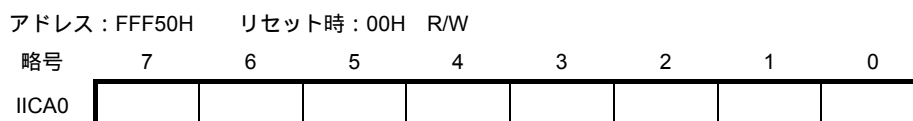
IICA0レジスタに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIICA0レジスタへの書き込みにより、ウェイトを解除し、データ転送を開始します。

IICA0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-3 IICAシフト・レジスタ0 (IICA0) のフォーマット



注意1. データ転送中はIICA0レジスタにデータを書き込まないでください。

2. IICA0レジスタには、ウェイト期間中にだけ、書き込み/読み出しをしてください。ウェイト期間中を除く通信状態でのIICA0レジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1回書き込みできます。

3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICA0レジスタにデータを書き込んでください。

(2) IICAスレーブ・アドレス・レジスタ0 (SVA0)

スレーブとして使用する場合に、自局アドレスの7ビット { A6, A5, A4, A3, A2, A1, A0 } を格納するレジスタです。

SVA0レジスタは、8ビット・メモリ操作命令で設定します。

ただし、STD0 = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図15 - 4 IICAスレーブ・アドレス・レジスタ0 (SVA0) のフォーマット

アドレス : F0234H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
SVA0	A6	A5	A4	A3	A2	A1	A0	0 ^注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

IICAスレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICA0) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICA0) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIM0ビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIE0ビットで設定)

備考 WTIM0ビット : IICAコントロール・レジスタ00 (IICCTL00) のビット3
SPIE0ビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLA0端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(9) **アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
アクノリッジ検出回路**

各状態の生成および検出を行います。

(10) **データ保持時間補正回路**

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) **スタート・コンディション生成回路**

STT0ビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSV0ビット = 1)で、かつバスが解放されていない(IICBSY0ビット = 1)場合には、スタート・コンディション要求は無視し、STCF0ビットをセット(1)します。

(12) **ストップ・コンディション生成回路**

SPT0ビットがセット(1)されるとストップ・コンディションを生成します。

(13) **バス状態検出回路**

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCEN0ビットにより、バス状態検出回路の初期状態を設定してください。

備考	STT0ビット	:	IICAコントロール・レジスタ00 (IICCTL00) のビット1
	SPT0ビット	:	" のビット0
	IICRSV0ビット	:	IICAフラグ・レジスタ0 (IICF0) のビット0
	IICBSY0ビット	:	" のビット6
	STCF0ビット	:	" のビット7
	STCEN0ビット	:	" のビット1

15.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の8種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・IICAコントロール・レジスタ00 (IICCTL00)
- ・IICAフラグ・レジスタ0 (IICF0)
- ・IICAステータス・レジスタ0 (IICS0)
- ・IICAコントロール・レジスタ01 (IICCTL01)
- ・IICAロウレベル幅・設定レジスタ0 (IICWL0)
- ・IICAハイレベル幅・設定レジスタ0 (IICWH0)
- ・ポート・モード・レジスタ6 (PM6)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは、必ずビット4 (IICA0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN ^注	SAU1EN ^注	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

注 20ピン製には搭載されていません。

注意1. シリアル・インタフェースIICAの設定をする際には、必ず最初にIICA0EN = 1の設定を行ってください。IICA0EN = 0の場合は、シリアル・インタフェースIICAの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ6(PM6)は除く)。

2. 次のビットには必ず“0”を設定してください。

20ピン製 : ビット1, 3, 4, 6

30, 32ピン製品 : ビット1, 6

48, 64ピン製品 : ビット1, 6

(2) IICAコントロール・レジスタ00 (IICCTL00)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICCTL00レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, SPIE0, WTIM0, ACKE0ビットは, IICE0 = 0のとき, またはウェイト期間中に設定してください。またIICE0ビットを"0"から"1"に設定するときに, これらのビットを同時に設定できます。

リセット信号の発生により, 00Hになります。

図15 - 6 IICAコントロール・レジスタ00 (IICCTL00) のフォーマット (1/4)

アドレス : F0230H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IICCTL00	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタ0 (IICS0) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCLA0, SDAA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0 = 0)	セットされる条件 (IICE0 = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LRELO ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLA0, SDAA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ00 (IICCTL00) , IICAステータス・レジスタ0 (IICS0) のうち、次のフラグがクリア (0) される。 ・ STT0 ・ SPT0 ・ MST0 ・ EXC0 ・ COI0 ・ TRC0 ・ ACKD0 ・ STD0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELO = 0)	セットされる条件 (LRELO = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WRELO ^{注2,3}	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC0 = 1) で、9クロック目のウェイト期間中にWRELOビットをセット (ウェイトを解除) した場合、SDAA0ラインをハイ・インピーダンス (TRC0 = 0) にします。	
クリアされる条件 (WRELO = 0)	セットされる条件 (WRELO = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのは、IICAステータス・レジスタ0 (IICA0) , IICAフラグ・レジスタ0 (IICF0) の STCF0, IICBSY0ビット, IICAコントロール・レジスタ01 (IICCTL01) レジスタのCLD0, DAD0ビットです。

- 2. IICE0 = 0の状態では、このビットの信号は無効になります。
- 3. LRELO, WRELOビットの読み出し値は常に0になります。

注意 SCLA0ラインがハイ・レベル, SDAA0ラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTL01レジスタのDFC0 = 1) のときにI²Cを動作許可 (IICE0 = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICE0 = 1) したあと、連続して1ビット・メモリ操作命令により、LRELOビットをセット (1) してください。

図15 - 6 IICAコントロール・レジスタ00 (IICCTL00) のフォーマット (2/4)

SPIE0 ^{注1}	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタ01 (IICCTL01) のWUP0 = 1の場合には、SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIE0 = 0)		セットされる条件 (SPIE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIMO ^{注1}	ウェイトおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入りません。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでのウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでのウェイトに入ります。		
クリアされる条件 (WTIMO = 0)		セットされる条件 (WTIMO = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKE0 ^{注1,2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAA0ラインをロウ・レベルにする。	
クリアされる条件 (ACKE0 = 0)		セットされる条件 (ACKE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

注1. IICE0 = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

図15 - 6 IICAコントロール・レジスタ00 (IICCTL00) のフォーマット (3/4)

STT0 ^注	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（待機状態、IICBSY0が0のとき）： セット（1）すると、スタート・コンディションを生成する（マスタとしての起動）。</p> <p>第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV0 = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると、バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV0 = 1） セット（1）してもSTT0ビットはクリアされ、STT0クリア・フラグ（STCF0）がセット（1）される。スタート・コンディションは生成しない。</p> <p>ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> ・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたとのウェイト期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 ・ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。 ・STT0ビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 	
クリアされる条件（STT0 = 0）	セットされる条件（STT0 = 1）
<ul style="list-style-type: none"> ・通信予約禁止状態でのSTT0ビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

注 IICE0 = 0の状態では、このビットの信号は無効になります。

備考1. ビット1（STT0）は、データ設定後に読み出すと0になっています。

- 2. IICRSV0 : IICフラグ・レジスタ0（IICF0）のビット0
- STCF0 : " のビット7

図15 - 6 IICAコントロール・レジスタ00 (IICCTL00) のフォーマット (4/4)

SPT0	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する (マスタとしての転送終了)。	
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット (1) は禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット (1) 可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウェイト期間中にセットしてください。 ・スタート・コンディション・トリガ (STT0) と同時にセット (1) することは禁止です。 ・SPT0ビットのセット (1) は、マスタのときのみ行ってください。 ・WTIM0 = 0設定時に、8クロック出力後のウェイト期間中にSPT0ビットをセット (1) すると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウェイト期間中にWTIM0 = 0 1に設定し、9クロック目出力後のウェイト期間中にSPT0ビットをセット (1) してください。 ・SPT0ビットをセット (1) 後、クリア (0) する前に、再度セット (1) することは禁止です。		
クリアされる条件 (SPT0 = 0)		セットされる条件 (SPT0 = 1)
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注意 IICAステータス・レジスタ0 (IICS0) のビット3 (TRC0) = 1 (送信状態) のとき、9クロック目にIICCTL00レジスタのビット5 (WREL0) をセット (1) してウェイト解除すると、TRC0ビットをクリア (受信状態) してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1 (送信状態) におけるウェイト解除は、IICAシフト・レジスタ0 (IICA0) への書き込みで行ってください。

備考 ビット0 (SPT0) は、データ設定後に読み出すと0になっています。

(3) IICAステータス・レジスタ0 (IICS0)

I²Cのステータスを表すレジスタです。

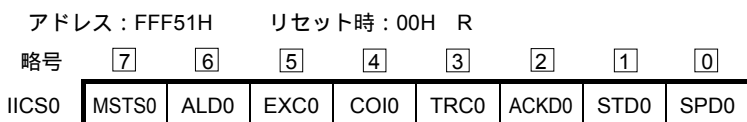
IICS0レジスタは、STT0 = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUP0=1) 状態でのIICS0レジスタの読み出しは禁止です。WUP0 = 1の状態から、INTIICA0割り込み要求と関係なくWUP0ビットを1 0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIE0 = 1) して割り込み検出後にIICS0レジスタを読み出して下さい。

備考 STT0 : IICAコントロール・レジスタ00 (IICCTL00) のビット1
 WUP0 : IICAコントロール・レジスタ01 (IICCTL01) のビット7

図15 - 7 IICAステータス・レジスタ0 (IICS0) のフォーマット (1/3)



MSTS0	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS0 = 0)		
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD0 = 1 (アービトレーション負け) のとき ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		
セットされる条件 (MSTS0 = 1)		
<ul style="list-style-type: none"> ・スタート・コンディション生成時 		

ALD0	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0ビットがクリアされる。	
クリアされる条件 (ALD0 = 0)		
<ul style="list-style-type: none"> ・IICS0レジスタ読み出し後、自動的にクリア^注 ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		
セットされる条件 (ALD0 = 1)		
<ul style="list-style-type: none"> ・アービトレーションに負けたとき 		

注 IICS0レジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD0ビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考 LREL0 : IICAコントロール・レジスタ00 (IICCTL00) のビット6
 IICE0 : " のビット7

図15 - 7 IICAステータス・レジスタ0 (IICS0) のフォーマット (2/3)

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC0 = 0)		セットされる条件 (EXC0 = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが "0000" または "1111" のとき (8クロック目の立ち上がりでセット)

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI0 = 0)		セットされる条件 (COI0 = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (IICAスレーブ・アドレス・レジスタ0 (SVA0)) と一致したとき (8クロック目の立ち上がりでセット)

TRC0	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDAA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC0 = 0)		セットされる条件 (TRC0 = 1)
<p>< マスタ, スレーブ共通 ></p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・WREL0 = 1 (ウェイト解除) によるクリア^注 ・ALD0 = 0 1 (アービトラージン負け) のとき ・リセット時 ・通信不参加の場合 (MSTS0, EXC0, COI0 = 0) <p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に "1" を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に "0" を入力したとき 		<p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に "0" (マスタ送信) を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に "1" (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタ0 (IICS0) のビット3 (TRC0) = 1 (送信状態) のとき、9クロック目にIICAコントロール・レジスタ00 (IICCTL00) のビット5 (WREL0) をセット (1) してウェイトを解除すると、TRC0ビットをクリア (受信状態) してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1 (送信状態) におけるウェイト解除は、IICAシフト・レジスタ0への書き込みで行ってください。

備考 LREL0 : IICAコントロール・レジスタ00 (IICCTL00) のビット6
 IICE0 : " " のビット7

図15-7 IICAステータス・レジスタ0 (IICS0) のフォーマット (3/3)

ACKD0	アクノリッジ ($\overline{\text{ACK}}$) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKD0 = 0)	セットされる条件 (ACKD0 = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・SCLA0ラインの9クロック目の立ち上がり時にSDAA0ラインがロウ・レベルであったとき
STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STD0 = 0)	セットされる条件 (STD0 = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時
SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
	クリアされる条件 (SPD0 = 0)	セットされる条件 (SPD0 = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0 = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 LREL0 : IICAコントロール・レジスタ00 (IICCTL00) のビット6
 IICE0 : " のビット7

(4) IICAフラグ・レジスタ0 (IICF0)

I^2C の動作モードの設定と、 I^2C バスの状態を表すレジスタです。

IICF0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STT0クリア・フラグ (STCF0)、 I^2C バス状態フラグ (IICBSY0) は読み出しのみ可能です。

IICRSV0ビットにより、通信予約機能の禁止/許可を設定します。

またSTCEN0ビットにより、IICBSY0ビットの初期値を設定します。

IICRSV0、STCEN0ビットは I^2C が動作禁止 (IICAコントロール・レジスタ00 (IICCTL00) のビット7 (IICE0) = 0) のときのみ書き込み可能です。動作許可後、IICF0レジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図15 - 8 IICAフラグ・レジスタ0 (IICF0) のフォーマット

アドレス：FFF52H リセット時：00H R/W^注

略号 7 6 5 4 3 2 1 0

IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0
-------	-------	---------	---	---	---	---	--------	---------

STCF0	STT0クリア・フラグ	
0	スタート・コンディション発行。	
1	スタート・コンディション発行できず、STT0フラグ・クリア。	
クリアされる条件 (STCF0 = 0)		セットされる条件 (STCF0 = 1)
<ul style="list-style-type: none"> ・ STT0 = 1によるクリア ・ IICE0 = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV0 = 1) 設定時にスタート・コンディション発行できず、STT0ビットがクリア (0) されたとき

IICBSY0	I ² Cバス状態フラグ	
0	バス解放状態 (STCEN0 = 1時の通信初期状態)。	
1	バス通信状態 (STCEN0 = 0時の通信初期状態)。	
クリアされる条件 (IICBSY0 = 0)		セットされる条件 (IICBSY0 = 1)
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICE0 = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN0 = 0時のIICE0ビットのセット

STCEN0	初期スタート許可トリガ	
0	動作許可 (IICE0 = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。	
1	動作許可 (IICE0 = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。	
クリアされる条件 (STCEN0 = 0)		セットされる条件 (STCEN0 = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

IICRSV0	通信予約機能禁止ビット	
0	通信予約許可。	
1	通信予約禁止。	
クリアされる条件 (IICRSV0 = 0)		セットされる条件 (IICRSV0 = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 ビット6, 7はRead onlyです。

注意1. STCEN0ビットへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

2. STCEN0 = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSY0 = 0) と認識しますので、1回目のスタート・コンディションを発行 (STT0 = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSV0への書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

備考 STT0 : IICAコントロール・レジスタ00 (IICCTL00) のビット1
 IICE0 : " のビット7

(5) IICAコントロール・レジスタ01 (IICCTL01)

I²Cの動作モードの設定やSCLA0, SDAA0端子状態を検出するためのレジスタです。

IICCTL01レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD0, DAD0ビットは読み出しのみ可能です。

IICCTL01レジスタは、WUP0ビットを除きI²Cが動作禁止 (IICAコントロール・レジスタ00 (IICCTL00) のビット7 (IICE0) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図15 - 9 IICAコントロール・レジスタ01 (IICCTL01) のフォーマット (1/2)

アドレス : F0231H リセット時 : 00H R/W^{※1}

略号	7	6	5	4	3	2	1	0
IICCTL01	WUP0	0	CLD0	DAD0	SMC0	DFC0	0	PRS0

WUP0	アドレス一致ウエイク・アップの制御	
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止	
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可	
<p>WUP0 = 1でSTOPモードに移行する場合は、WUP0ビットをセット (1) して3クロック以上経過後にSTOP命令を実行してください (図15 - 22 WUP0 = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUP0ビットをクリア (0) してください。WUP0ビットをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUP0ビットをクリア (0) したあとに行う必要があります)。</p> <p>WUP0 = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUP0 = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUP0 = 1の場合には、SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。</p>		
クリアされる条件 (WUP0 = 0)		セットされる条件 (WUP0 = 1)
・命令によるクリア (アドレス一致もしくは拡張コード受信後)		・命令によるセット (MSTS0, EXC0, COI0 = 0であり、STD0 = 0 (通信に不参加である事) のとき) ^{※2}

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICAステータス・レジスタ0 (IICS0) の状態を確認しセットする必要があります。

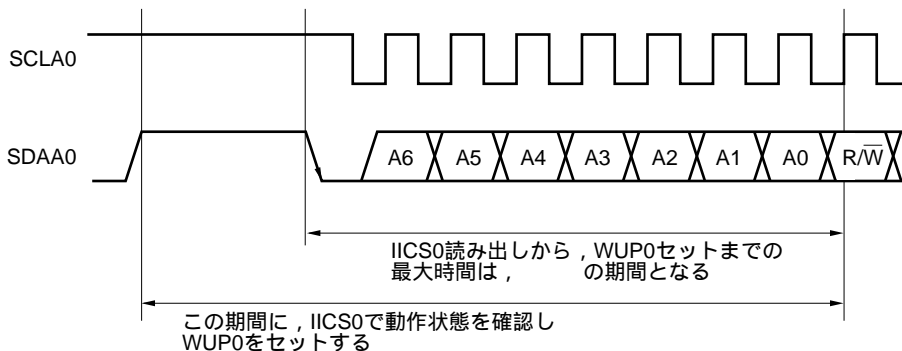


図15 - 9 IICAコントロール・レジスタ01 (IICCTL01) のフォーマット (2/2)

CLD0	SCLA0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SCLA0端子がロウ・レベルであることを検出	
1	SCLA0端子がハイ・レベルであることを検出	
クリアされる条件 (CLD0 = 0)		セットされる条件 (CLD0 = 1)
<ul style="list-style-type: none"> ・ SCLA0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCLA0端子がハイ・レベルのとき

DAD0	SDAA0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SDAA0端子がロウ・レベルであることを検出	
1	SDAA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD0 = 0)		セットされる条件 (DAD0 = 1)
<ul style="list-style-type: none"> ・ SDAA0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDAA0端子がハイ・レベルのとき

SMC0	動作モードの切り替え	
0	標準モードで動作 (最大転送レート: 100 kbps)	
1	ファースト・モード (最大転送レート: 400 kbps) またはファースト・モード・プラス (最大転送レート: 1 Mbps) で動作	

DFC0	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
<p>デジタル・フィルタは、ファースト・モード時にのみ使用できます。</p> <p>ファースト・モード時はDFC0ビットのセット (1) / クリア (0) により、転送クロックが変化することはありません。</p> <p>デジタル・フィルタは、ファースト・モード時にノイズ除去のために使用します。</p>		

PRS0	動作クロックの分周動作制御	
0	動作クロックにf _{CLK} を選択	
1	動作クロックにf _{CLK} /2を選択	

備考 IICE0: IICAコントロール・レジスタ00 (IICCTL00) のビット7

(6) IICAロウレベル幅・設定レジスタ0 (IICWL0)

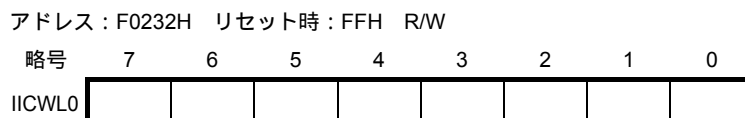
シリアル・インタフェースIICAが,出力するSCLA0端子信号のロウ・レベル幅を設定するレジスタです。

IICWL0レジスタは,8ビット・メモリ操作命令で設定します。

IICWL0レジスタは,I²Cが動作禁止(IICAコントロール・レジスタ00(IICCTL00)のビット7(IICE0)=0)のときに設定してください。

リセット信号の発生により,FFHになります。

図15 - 10 IICAロウレベル幅・設定レジスタ0 (IICWL0) のフォーマット



(7) IICAハイレベル幅・設定レジスタ0 (IICWH0)

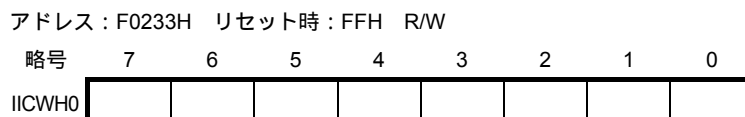
シリアル・インタフェースIICAが,出力するSCLA0端子信号のハイ・レベル幅を設定するレジスタです。

IICWH0レジスタは,8ビット・メモリ操作命令で設定します。

IICWH0レジスタは,I²Cが動作禁止(IICAコントロール・レジスタ00(IICCTL00)のビット7(IICE0)=0)のときに設定してください。

リセット信号の発生により,FFHになります。

図15 - 11 IICAハイレベル幅・設定レジスタ0 (IICWH0) のフォーマット



備考 IICWL0, IICWH0レジスタによる転送クロックの設定方法は,15. 4. 2 IICWL0, IICWH0レジスタによる転送クロック設定方法を参照してください。

(8) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力，P61/SDAA0端子をシリアル・データ入出力として使用するとき，PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE0 (IICAコントロール・レジスタ00 (IICCTL00) のビット7) が0の場合，P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力 (固定) となるため，出力モードへの切り替えは，IICE0ビットに1を設定してから，行ってください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図15 - 12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	PM6.3	PM6.2	PM6.1	PM6.0

PM6.n	P6n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

15.4 I²Cバス・モードの機能

15.4.1 端子構成

シリアル・クロック端子 (SCLA0) と、シリアル・データ・バス端子 (SDAA0) の構成は、次のようになっています。

(1) SCLA0.....シリアル・クロックを入出力するための端子。

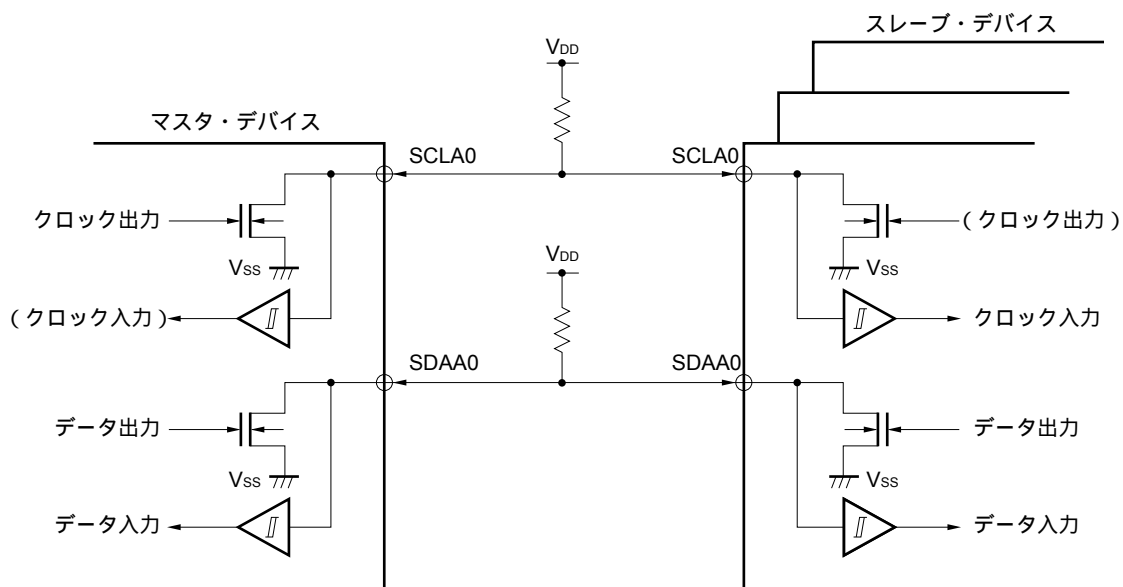
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAA0.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図15 - 13 端子構成図



15.4.2 IICWLO, IICWH0レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{CLK}}}{\text{IICWL} + \text{IICWH} + f_{\text{CLK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLOレジスタとIICWH0レジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWLO} = \frac{0.52}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH0} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWLO} = \frac{0.47}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH0} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

・ファースト・モード・プラス時

$$\text{IICWLn} = \frac{0.50}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWHn} = \left(\frac{0.50}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

(2) スレーブ側のIICWLO, IICWH0レジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWLO} = 1.3 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH0} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWLO} = 4.7 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH0} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

・ファースト・モード・プラス時

$$\text{IICWLn} = 0.50 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWHn} = (0.50 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

注意 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5 \text{ MHz (Min.)}$

ファースト・モード・プラス時 : $f_{\text{CLK}} = 10 \text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1 \text{ MHz (Min.)}$

また、シリアル・インタフェースIICAの動作クロックの最高動作周波数は20 MHz (Max.) です。 f_{CLK} が20 MHzを越える場合は、IICCTL01レジスタのPRS0ビットを1にすることで、動作クロックに $f_{\text{CLK}}/2$ を選択してください。

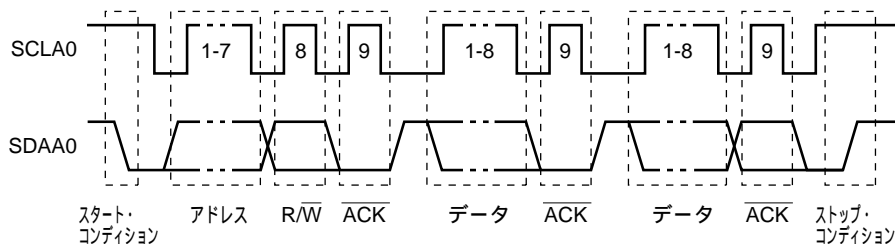
- 備考1.** SDAA0, SCLA0信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。
2. IICWL0 : IICAロウレベル幅・設定レジスタ
IICWH0 : IICAハイレベル幅・設定レジスタ
 t_F : SDAA0, SCLA0信号の立ち下がり時間
 t_R : SDAA0, SCLA0信号の立ち上がり時間
 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

15.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図15-14に示します。

図15-14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

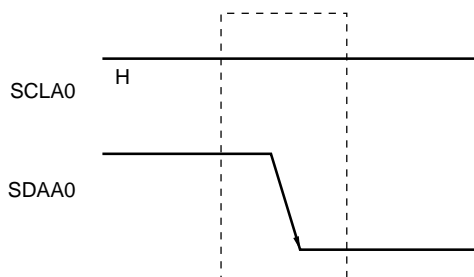
アックノリッジ ($\overline{\text{ACK}}$) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロック (SCLA0) は、マスタが出力し続けます。ただし、スレーブはSCLA0端子のロウ・レベル期間を延長し、ウエイトを挿入できます。

15.5.1 スタート・コンディション

SCLA0端子がハイ・レベルのときに、SDAA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0端子、SDAA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図15-15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD0: IICAステータス・レジスタ0 (IICS0) のビット0 = 1) のときにIICAコントロール・レジスタ00 (IICCTL00) のビット1 (STT0) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICS0レジスタのビット1 (STD0) がセット (1) されます。

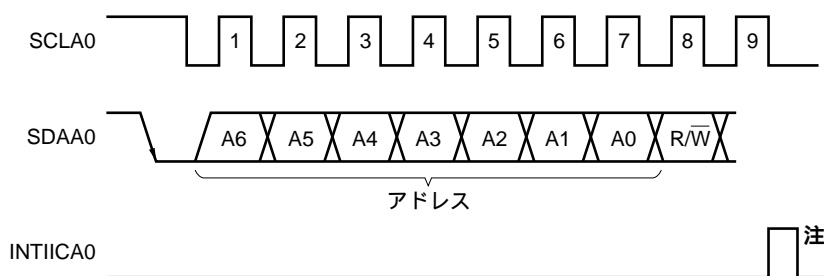
15.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがIICAスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図15 - 16 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICA0は発生しません。

アドレスは、スレーブのアドレスと15.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ0 (IICA0) に書き込むと出力します。また、受信したアドレスはIICA0レジスタに書き込まれます。

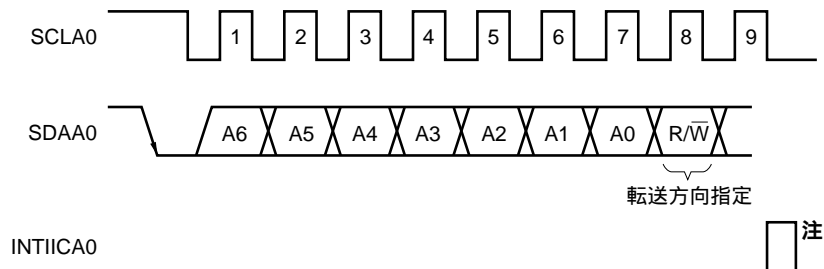
なお、スレーブのアドレスは、IICA0レジスタの上位7ビットに割り当てられます。

15.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図15 - 17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICA0は発生しません。

15.5.4 アクノリッジ (ACK)

アクノリッジ ($\overline{\text{ACK}}$) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ0 (IICS0) のビット2 (ACKD0) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

アドレス指定した受信側が存在しない。

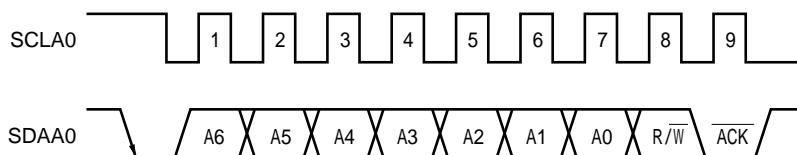
アクノリッジ生成は、受信側が9クロック目にSDAA0ラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ00 (IICCTL00) のビット2 (ACKE0) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0レジスタのビット3 (TRC0) が設定されます。受信 (TRC0 = 0) の場合は、通常、ACKE0ビットをセット (1) してください。

スレーブ受信動作時 (TRC0 = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKE0ビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC0 = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0ビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図15 - 18 アクノリッジ



自局アドレス受信時は、ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKE0ビットをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

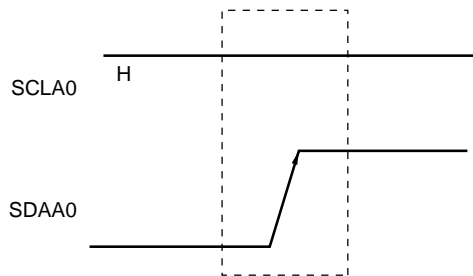
- ・8クロック・ウェイト選択時 (IICCTL00レジスタのビット3 (WTIM0) = 0) :
ウェイト解除を行う前にACKE0ビットをセット (1) することによって、SCLA0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウェイト選択時 (IICCTL00レジスタのビット3 (WTIM0) = 1) :
あらかじめACKE0ビットをセット (1) することによって、アクノリッジを生成します。

15.5.5 ストップ・コンディション

SCLA0端子がハイ・レベルのときに、SDAA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図15 - 19 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ00 (IICCTL00) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ0 (IICCS0) のビット0 (SPD0) がセット (1) され、IICCTL00レジスタのビット4 (SPIE0) がセット (1) されている場合にはINTIICA0が発生します。

15.5.6 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCLA0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図15 - 20 ウェイト (1/2)

(1) マスタは9クロック・ウェイト，スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE0 = 1)

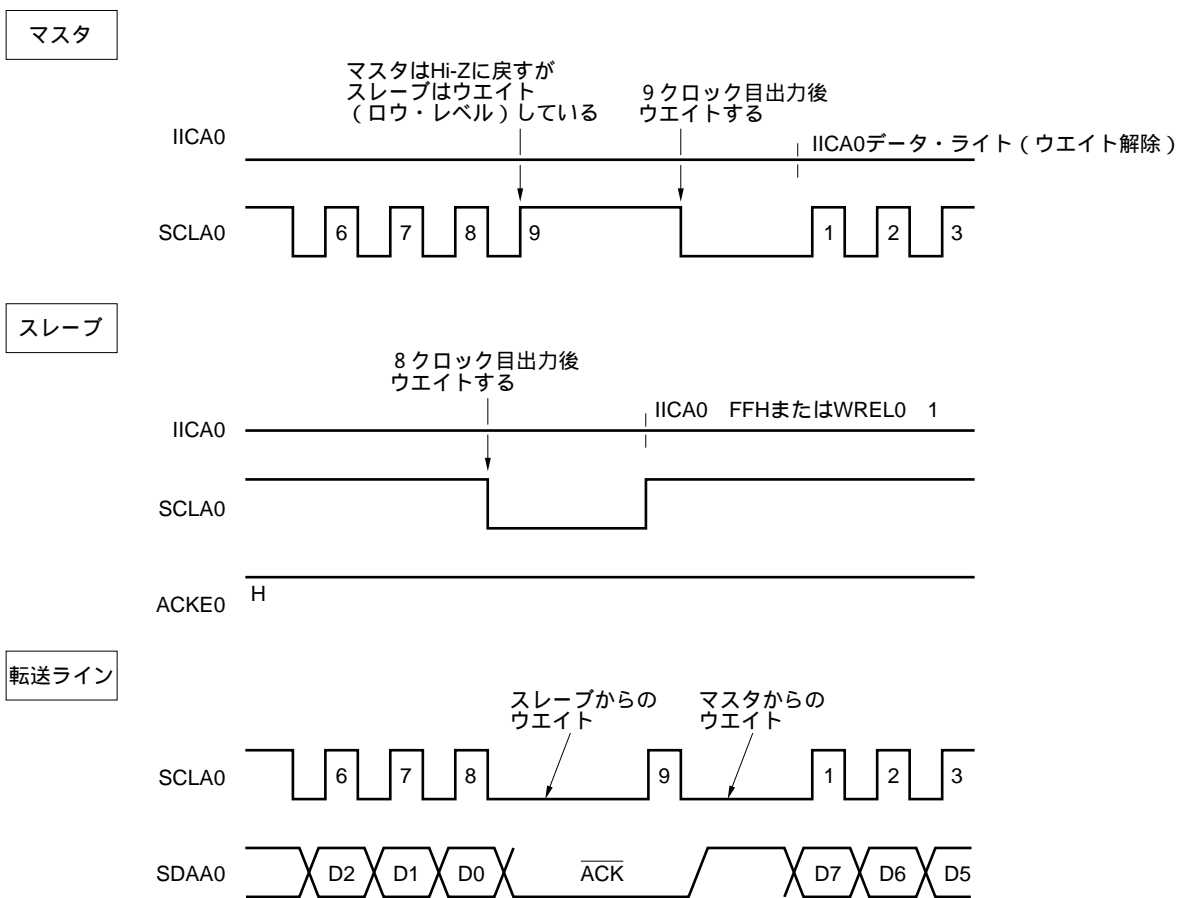
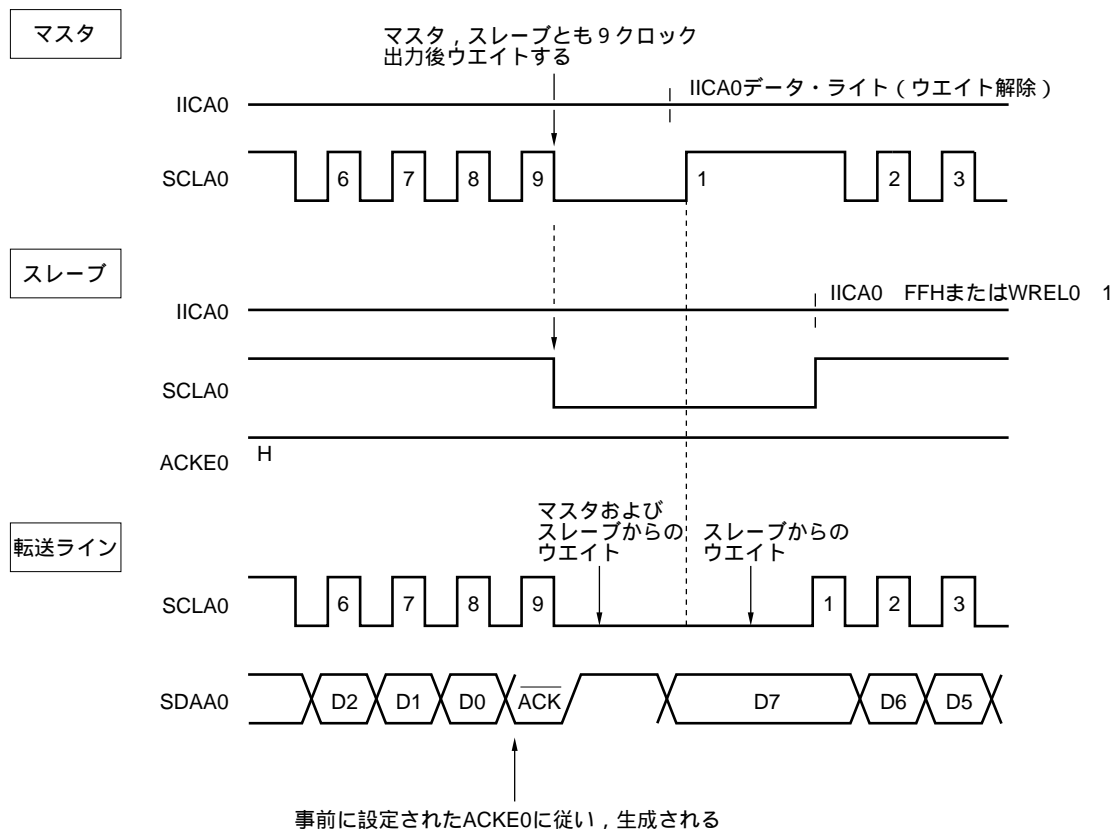


図15 - 20 ウェイト (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE0 = 1)



備考 ACKE0 : IICAコントロール・レジスタ00 (IICCTL00) のビット2

WRELO : " のビット5

ウェイトは, IICAコントロール・レジスタ00 (IICCTL00) のビット3 (WTIM0) の設定により自動的に発生します。

通常, 受信側はIICCTL00レジスタのビット5 (WRELOビット) = 1またはIICAシフト・レジスタ0 (IICA0) にFFHを書き込むとウェイトを解除し, 送信側はIICA0レジスタにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICCTL00レジスタのビット1 (STT0) = 1
- ・ IICCTL00レジスタのビット0 (SPT0) = 1

15.5.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタ0 (IICA0) へのデータ書き込み
- ・ IICAコントロール・レジスタ00 (IICCTL00) のビット5 (WREL0) のセット (ウェイト解除)
- ・ IICCTL00レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)^注
- ・ IICCTL00レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICA0レジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTL00レジスタのビット5 (WREL0) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICCTL00レジスタのビット1 (STT0) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICCTL00レジスタのビット0 (SPT0) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0ビットにセット (1) によるウェイト解除後、IICA0レジスタへのデータ書き込みを実施した場合には、SDAA0ラインの変化タイミングとIICA0レジスタへの書き込みタイミングの競合により、SDAA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICE0ビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTL00レジスタのビット6 (LREL0) をセット (1) すると通信から退避するので、ウェイトを解除できます。

注意 WUP0 = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

15.5.8 割り込み要求 (INTIICA0) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタ00 (IICCTL00) のビット3 (WTIM0) の設定で、表15 - 2に示すタイミングでINTIICA0が発生し、また、ウェイト制御を行います。

表15 - 2 INTIICA0発生タイミングおよびウェイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIICA0信号およびウェイトは、IICAスレーブ・アドレス・レジスタ0 (SVA0) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICCTL00レジスタのビット2 (ACKE0) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりですべてINTIICA0が発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりですべてINTIICA0が発生しますが、ウェイトは発生しません。
2. IICAスレーブ・アドレス・レジスタ0 (SVA0) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICA0もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりですべて発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ0 (IICA0) へのデータ書き込み
- ・ IICAコントロール・レジスタ00 (IICCTL00) のビット5 (WREL0) のセット (ウェイト解除)
- ・ IICCTL00レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)^注
- ・ IICCTL00レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIM0 = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICA0は、ストップ・コンディションを検出すると発生します (SPIE0 = 1のときのみ)。

15. 5. 9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとIICAスレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICA0割り込み要求が発生します。

15. 5. 10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAA0) の状態が、送信しているデバイスのIICAシフト・レジスタ0 (IICA0) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

15.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC0) をセット (1) し、8クロック目の立ち下がりで割り込み要求 (INTIICA0) を発生します。

IICAスレーブ・アドレス・レジスタ0 (SVA0) に格納された自局アドレスは影響しません。

(2) SVA0レジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICA0) は、8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 : EXC0 = 1

・7ビット・データの一致 : COI0 = 1

備考 EXC0 : IICAステータス・レジスタ0 (IICS0) のビット5

COI0 : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。

スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ00

(IICCTL00) のビット6 (LREL0) = 1に設定してください。次の通信待機状態にします。

表15-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

15.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合(STD0 = 1になる前にSTT0 = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IICAステータス・レジスタ0 (IICS0) のアービトレーション負けフラグ (ALD0) をセット (1) し, SCLA0, SDAA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては, 15.5.8 割り込み要求 (INTIICA0) の発生タイミングおよびウェイト制御を参照してください。

備考 STD0 : IICAステータス・レジスタ0 (IICS0) のビット1

STT0 : IICAコントロール・レジスタ00 (IICCTL00) のビット1

図15 - 21 アービトレーション・タイミング例

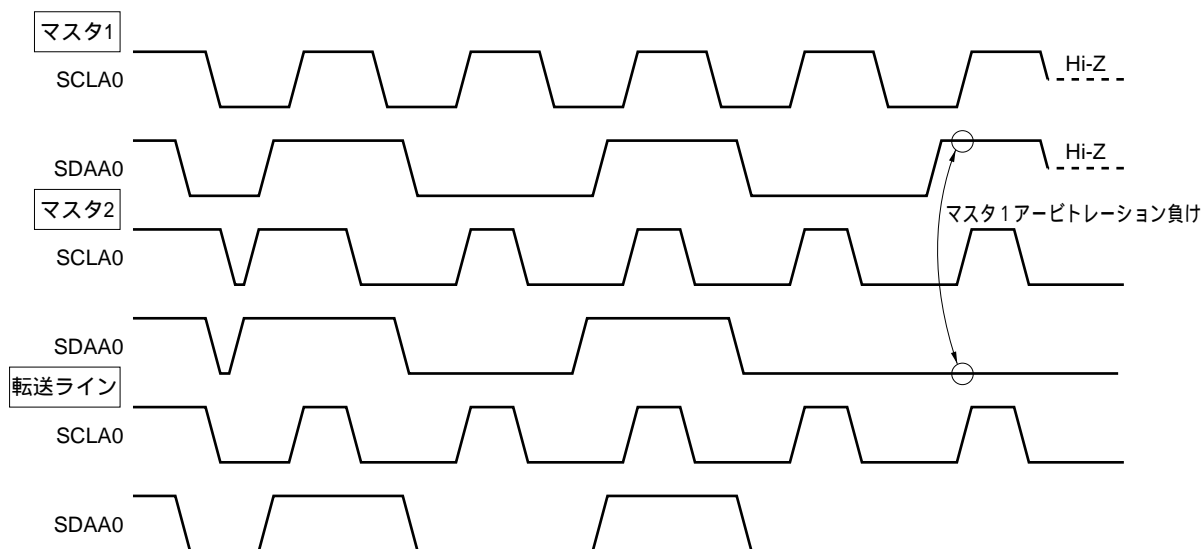


表15-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCLA0がロウ・レベル	

注1. WTIM0ビット (IICAコントロール・レジスタ00 (IICCTL00) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE0 = 1に設定してください。

備考 SPIE0 : IICAコントロール・レジスタ00 (IICCTL00) のビット 4

15.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICA0) を発生する機能です。

アドレスが一致しないときは不要なINTIICA0信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUP0 = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICA0) を発生します。この割り込み発生後に命令でWUP0ビットをクリア (0) することで通常動作に戻ります。

WUP0 = 1に設定する場合のフローを図15 - 22に、アドレス一致によりWUP0 = 0に設定する場合のフローを図15 - 23に示します。

図15 - 22 WUP0 = 1を設定する場合のフロー

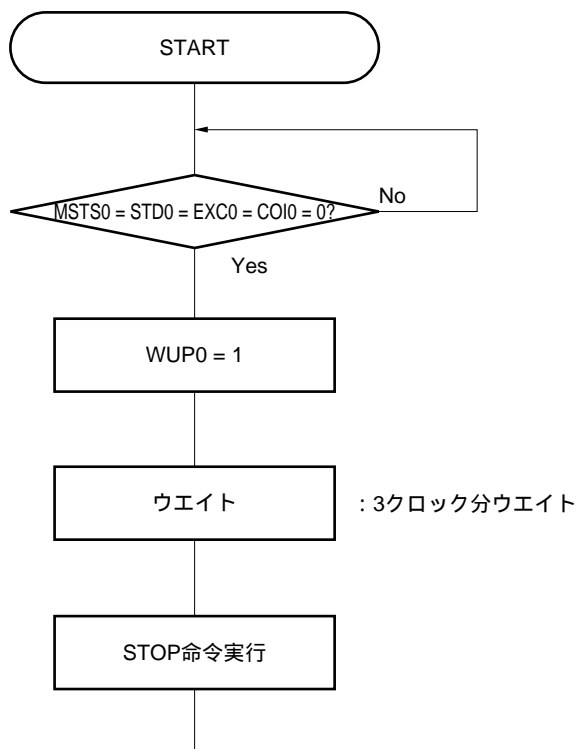
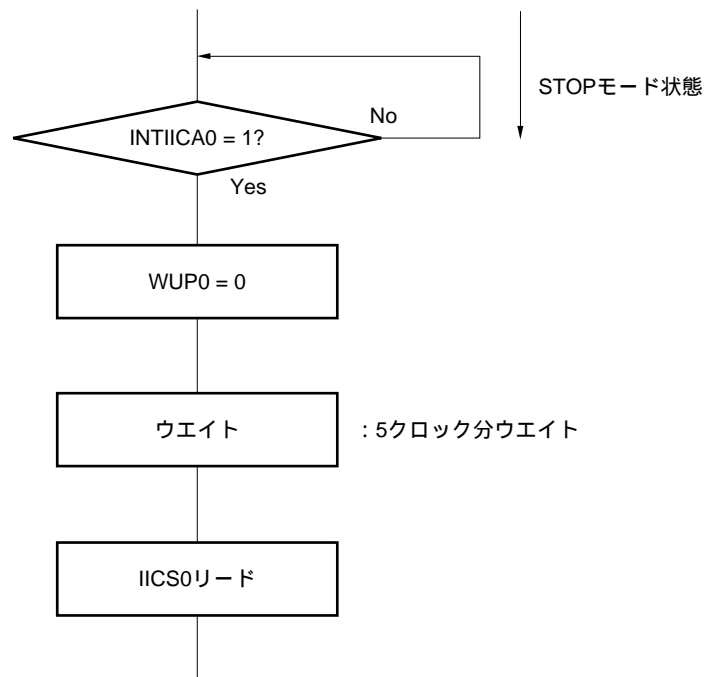


図15 - 23 アドレス一致によりWUP0 = 0に設定する場合のフロー（拡張コード受信含む）

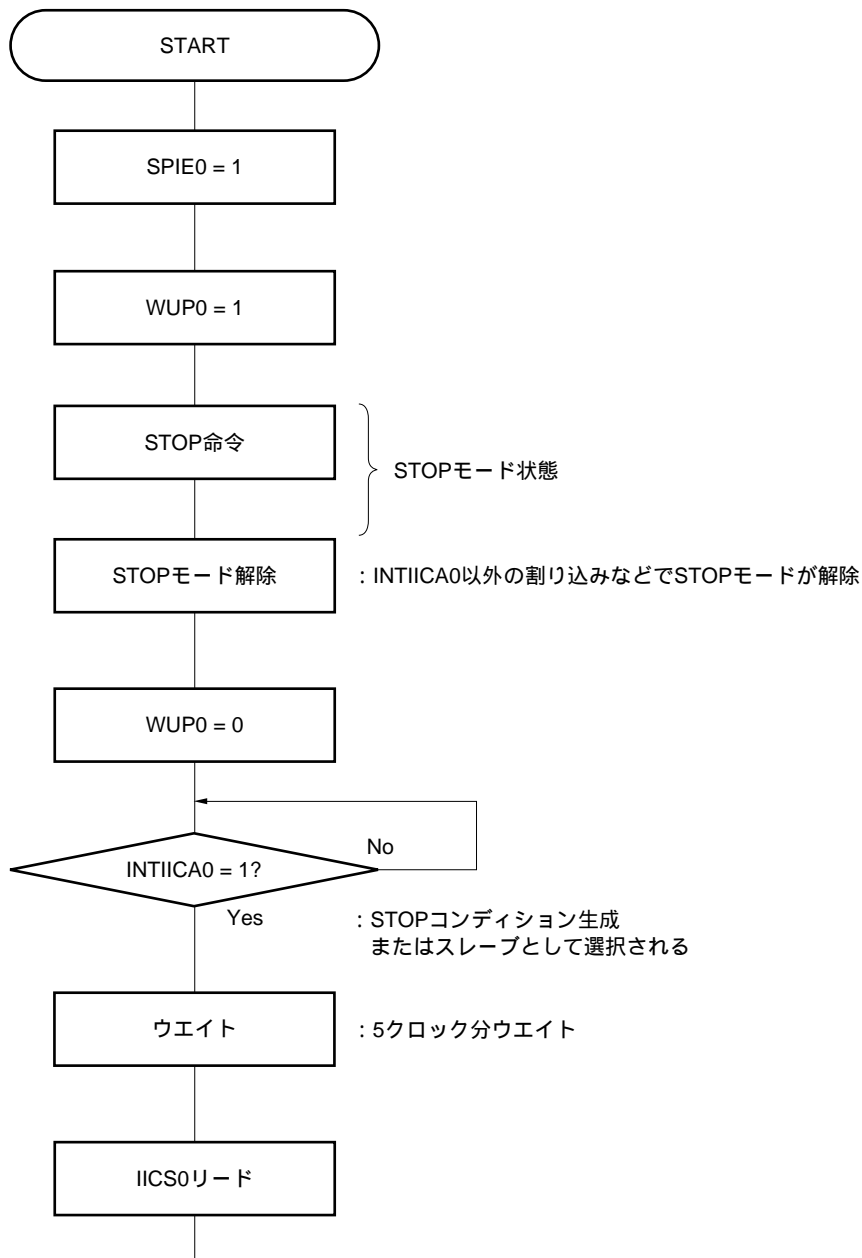


シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

また、シリアル・インタフェースIICAからの割り込み要求（INTIICA0）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・マスタとして動作させる場合 : 図15 - 24のフロー
- ・スレーブとして動作させる場合 : 図15 - 23のフローと同じになります。

図15 - 24 INTIICA0以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

15.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ0 (IICF0) のビット0 (IICRSV0) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクリッジを返さず、IICAコントロール・レジスタ00 (IICCTL00) のビット6 (LREL0) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTL00レジスタのビット1 (STT0) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

IICCTL00レジスタのビット4 (SPIE0) をセット (1) し、割り込み要求信号 (INTIICA0) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ0 (IICA0) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICA0レジスタに書き込まれたデータは、無効です。

STT0ビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態)通信予約

通信予約として動作するかどうかは、STT0ビットをセット (1) し、ウエイト時間をとったあと、MSTS0ビット (IICAステータス・レジスタ0 (IICS0) のビット7) で確認します。

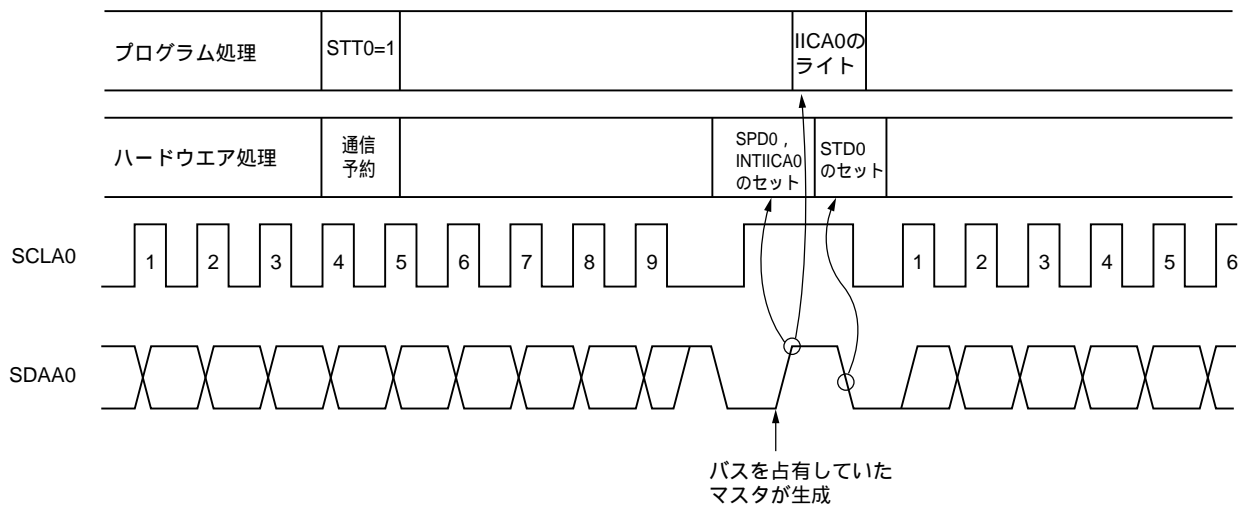
ウエイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

<p>STT0 = 1からMSTS0フラグ確認までのウエイト時間： $(IICWL0\text{の設定値} + IICWH0\text{の設定値} + 4) + t_f \times 2 \times f_{CLK}$ [クロック]</p>
--

- 備考**
- IICWL0 : IICAロウレベル幅・設定レジスタ0
 - IICWH0 : IICAハイレベル幅・設定レジスタ0
 - t_f : SDAA0, SCLA0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

通信予約のタイミングを図15 - 25に示します。

図15 - 25 通信予約のタイミング



備考 IICA0 : IICAシフト・レジスタ0

STT0 : IICAコントロール・レジスタ00 (IICCTL00) のビット1

STD0 : IICAステータス・レジスタ0 (IICS0) のビット1

SPD0 : " のビット0

通信予約は図15 - 26に示すタイミングで受け付けられます。IICAステータス・レジスタ0 (IICS0) のビット1 (STD0) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ00 (IICCTL00) のビット1 (STT0) = 1で通信予約をします。

図15 - 26 通信予約受け付けタイミング

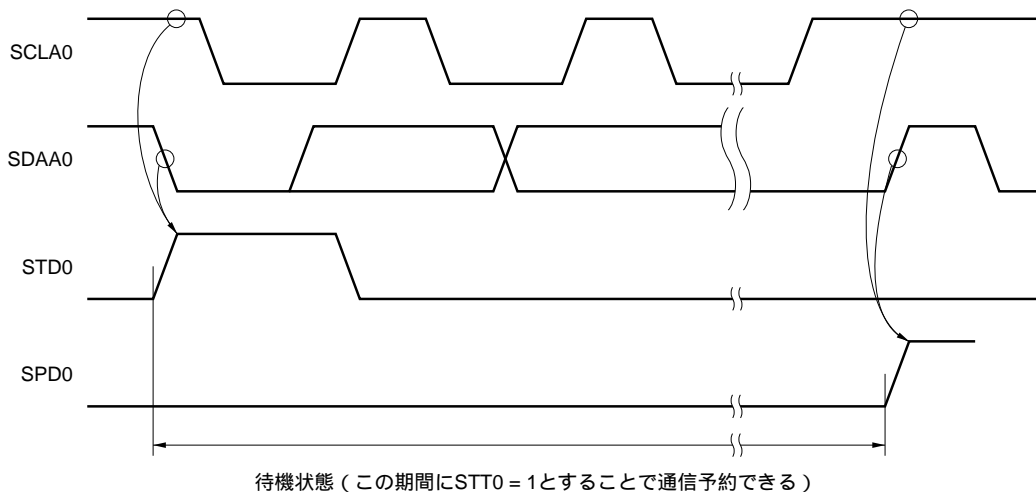
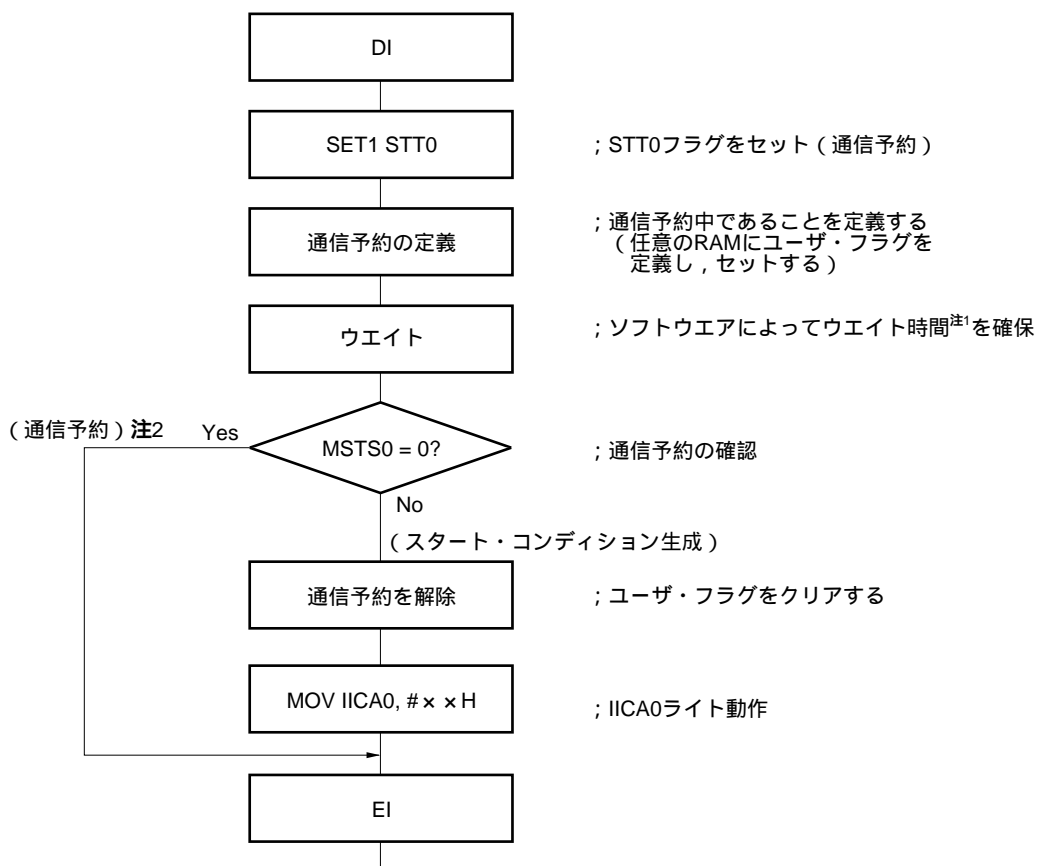


図15 - 27に通信予約の手順を示します。

図15 - 27 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(\text{IICWL0の設定値} + \text{IICWH0の設定値} + 4) + t_F \times 2 \times f_{\text{CLK}} \text{ [クロック]}$$

2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ0 (IICA0) への書き込みを実行します。

備考 STT0 : IICAコントロール・レジスタ00 (IICCTL00) のビット1

MSTS0 : IICAステータス・レジスタ0 (IICCS0) のビット7

IICA0 : IICAシフト・レジスタ0

IICWL0 : IICAロウレベル幅・設定レジスタ0

IICWH0 : IICAハイレベル幅・設定レジスタ0

t_F : SDAA0, SCLA0信号の立ち下がり時間

f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタ0 (IICF0) のビット0 (IICRSV0) = 1)

バスが通信中で、この通信に不参加の状態では IICA コントロール・レジスタ 00 (IICCTL00) のビット 1 (STT0) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTL00 レジスタのビット 6 (LREL0) = 1 で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF0 (IICF0 レジスタのビット 7) で確認できます。STT0 = 1 としてから STCF0 がセット (1) されるまで 5 クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

15.5.15 その他の注意事項

(1) STCEN0 = 0の場合

I²C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY0 = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない(ストップ・コンディションを検出していない)状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICAコントロール・レジスタ01 (IICCTL01) を設定する

IICAコントロール・レジスタ00 (IICCTL00) のビット7 (IICE0) をセット (1) する

IICCTL00レジスタのビット0 (SPT0) をセット (1) する

(2) STCEN0 = 1の場合

I²C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY0 = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT0 = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAA0端子がロウ・レベルで、かつSCLA0端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDAA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

IICCTL00レジスタのビット4 (SPIE0) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICA0) 発生を禁止する

IICCTL00レジスタのビット7 (IICE0) をセット (1) し、I²Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICE0ビットをセット (1) してから、4~80クロック中) に、IICCTL00レジスタのビット6 (LREL0) をセット (1) にし、強制的に検出を無効とする

(4) STT0, SPT0ビット (IICCTL00レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIE0ビット (IICCTL00レジスタのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ0 (IICA0) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS0ビット (IICAステータス・レジスタ0 (IICS0) のビット7) を検出する場合には、SPIE0ビットをセット (1) する必要はありません。

15.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

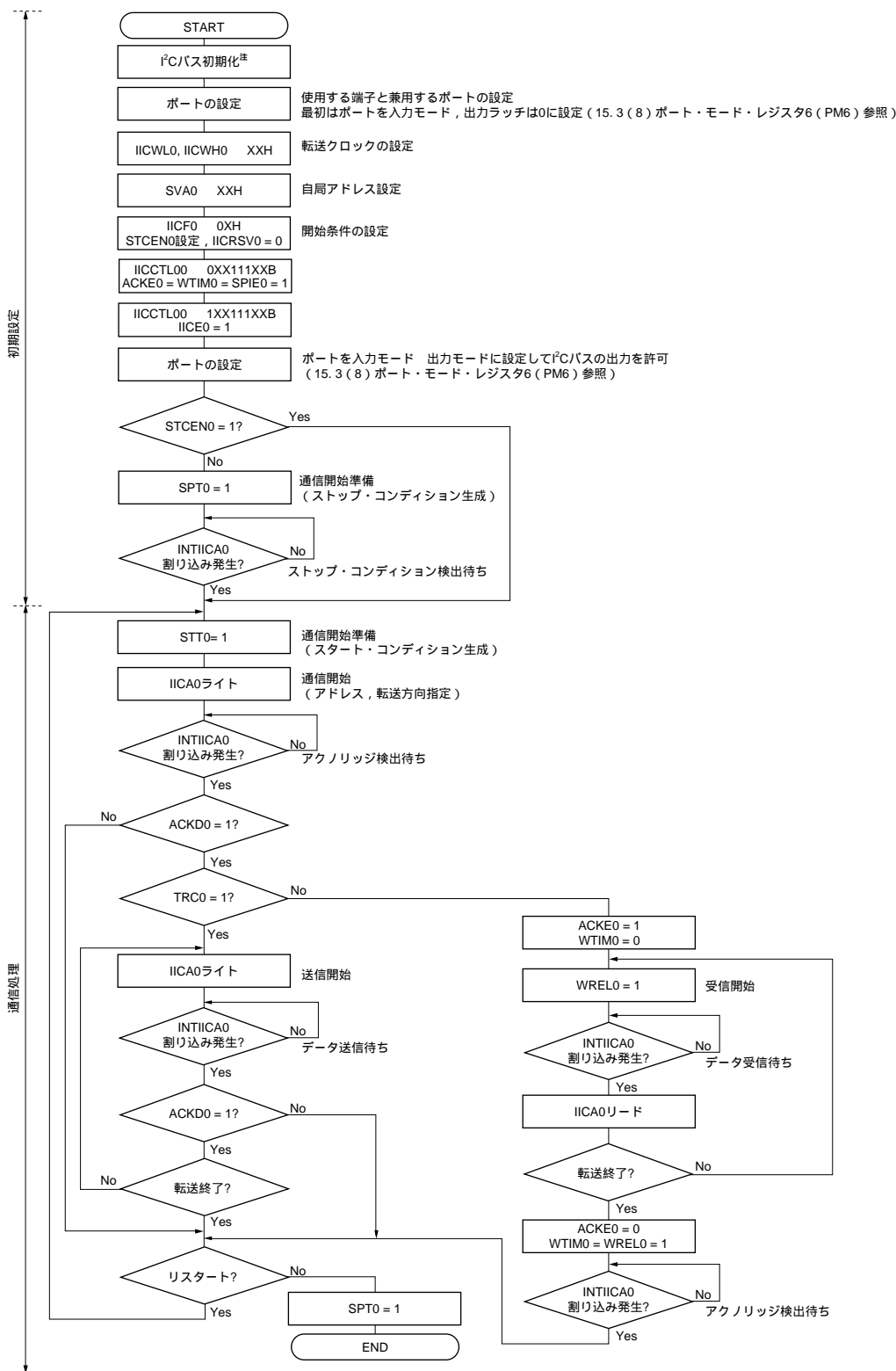
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICA0割り込みの発生を待ちます。INTIICA0割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図15 - 28 シングルマスタ・システムでのマスタ動作

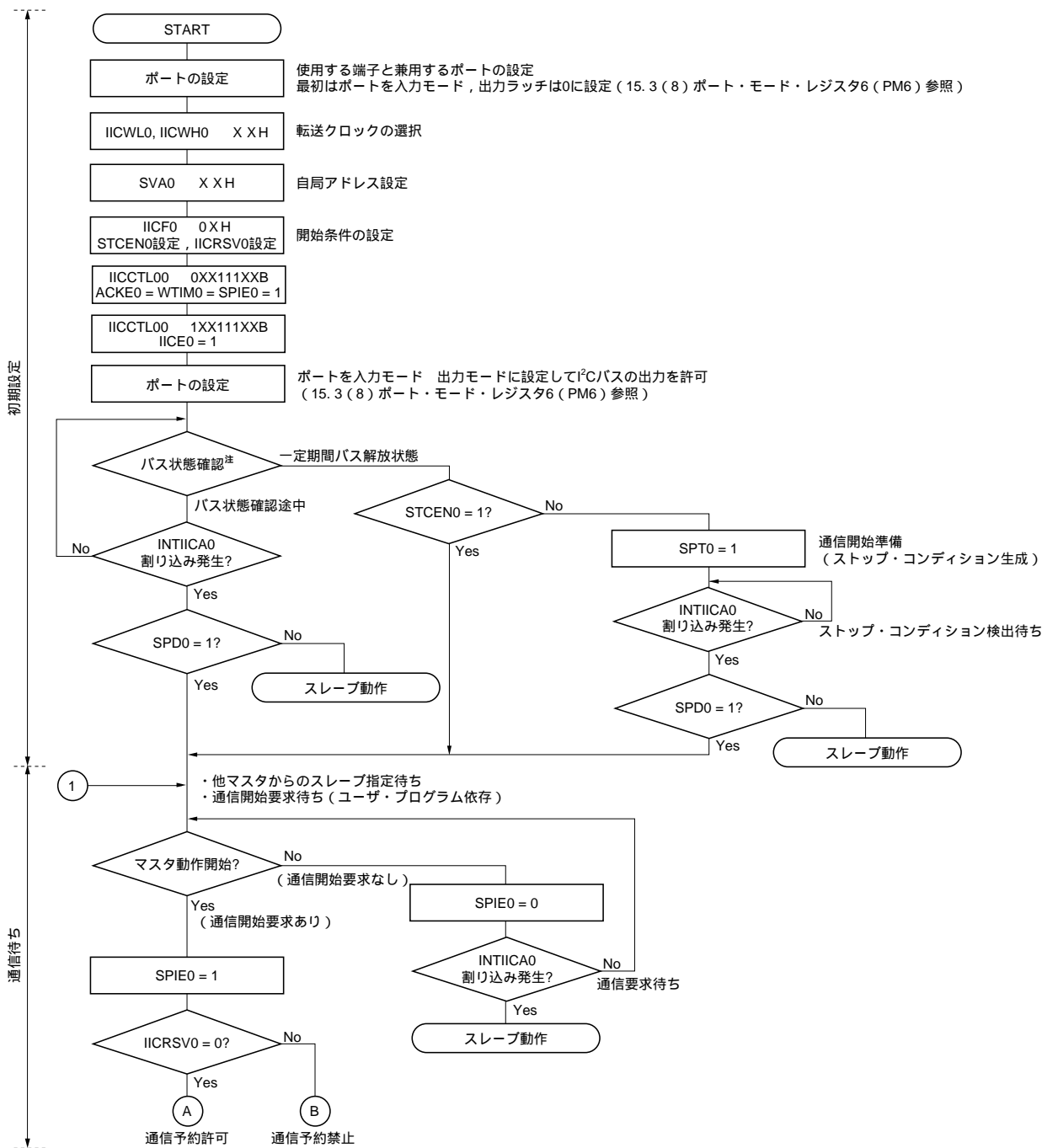


注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCLA0, SDAA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDAA0端子にロウ・レベルを出力した状態であれば、SCLA0端子を出力ポートに設定し、SDAA0端子が定期的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

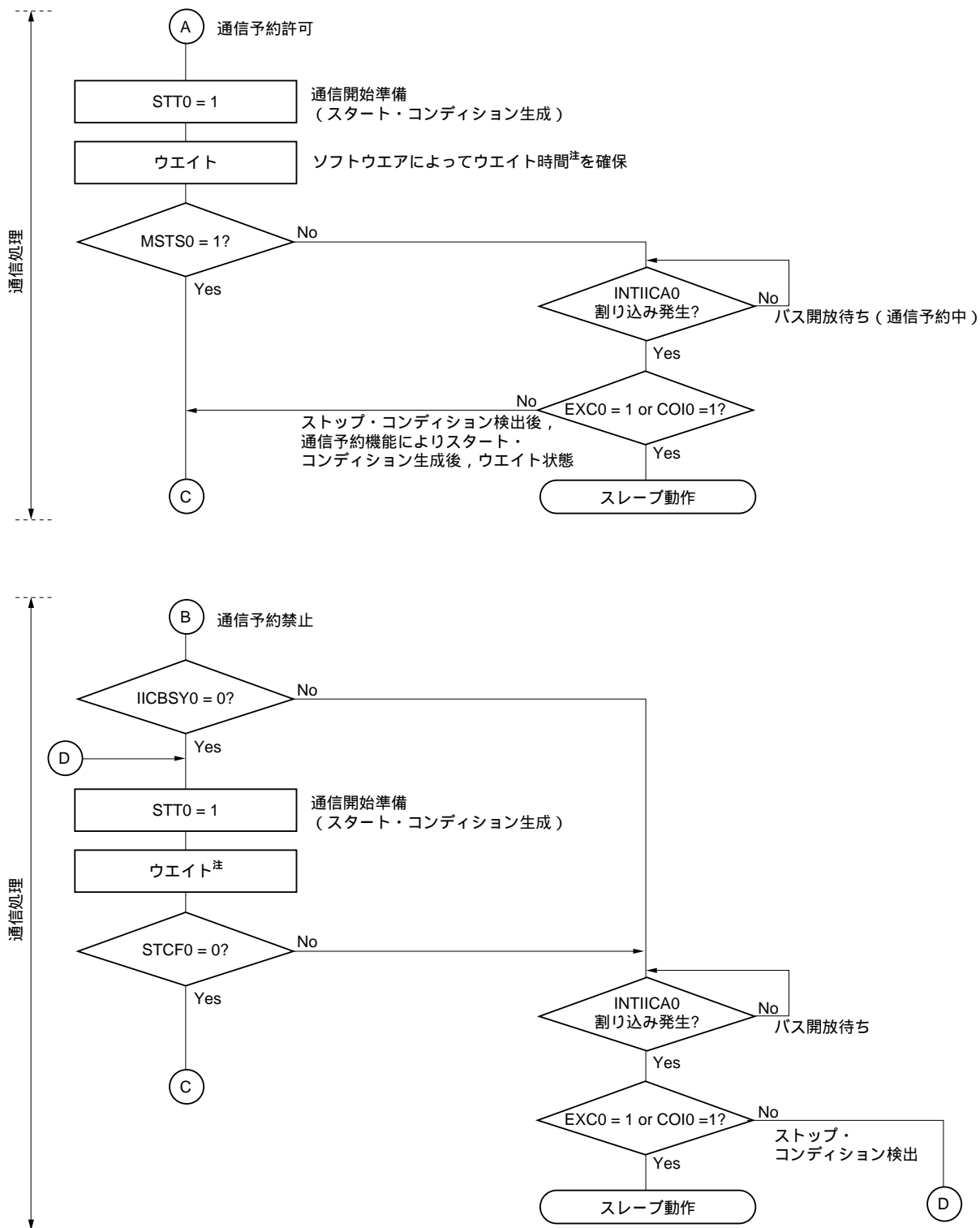
(2) マルチマスタ・システムでのマスタ動作

図15 - 29 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間 (たとえば1フレーム分), バス解放状態 (CLD0ビット = 1, DAD0ビット = 1) であることを確認してください。定期的にSDAA0端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCLA0, SDAA0端子 = ハイ・レベル) するか判断してください。

図15 - 29 マルチマスタ・システムでのマスタ動作 (2/3)

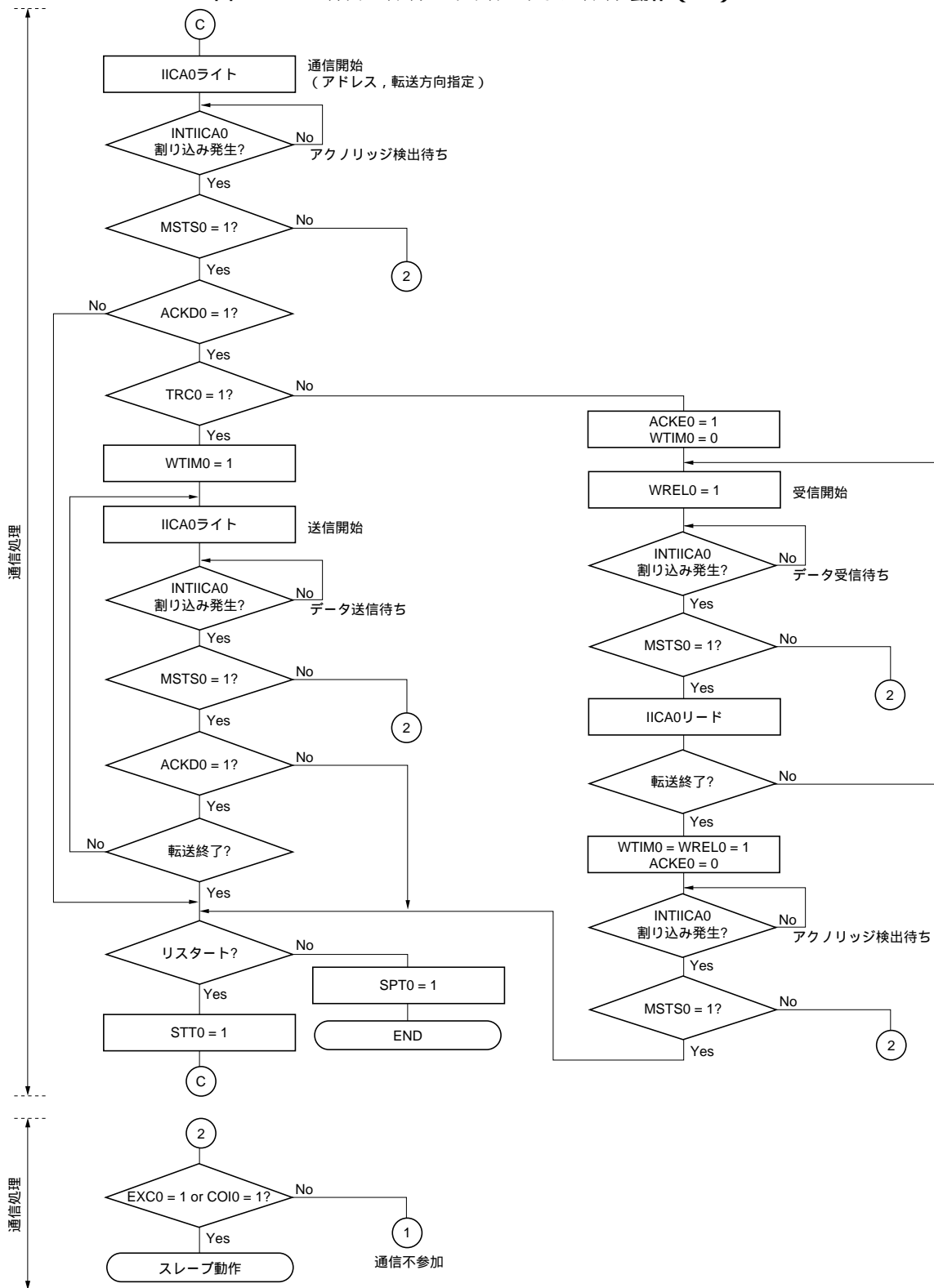


注 ウエイト時間は次のようになります。

$$(IICWL0\text{の設定値} + IICWH0\text{の設定値} + 4\text{クロック}) / f_{CLK} + t_F \times 2$$

- 備考
- IICWL0 : IICAロウレベル幅・設定レジスタ0
 - IICWH0 : IICAハイレベル幅・設定レジスタ0
 - t_F : SDAA0, SCLA0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図15 - 29 マルチマスタ・システムでのマスタ動作 (3/3)



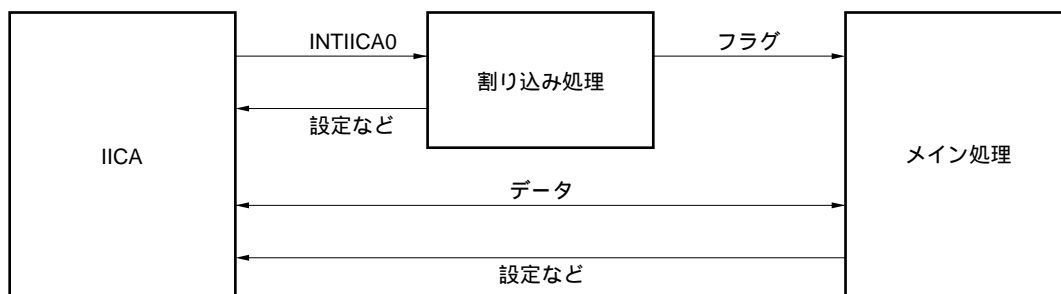
- 備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
2. マルチマスタ・システムでマスタとして使用する場合は、INTIICA0割り込み発生ごとにMSTS0ビットをリードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICA0割り込み発生ごとにIICAステータス・レジスタ0 (IICS0) , IICAフラグ・レジスタ0 (IICF0) でステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICA0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICA0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICA0の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICA0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

通信方向フラグ

通信の方向を示します。TRC0ビットの値と同じです。

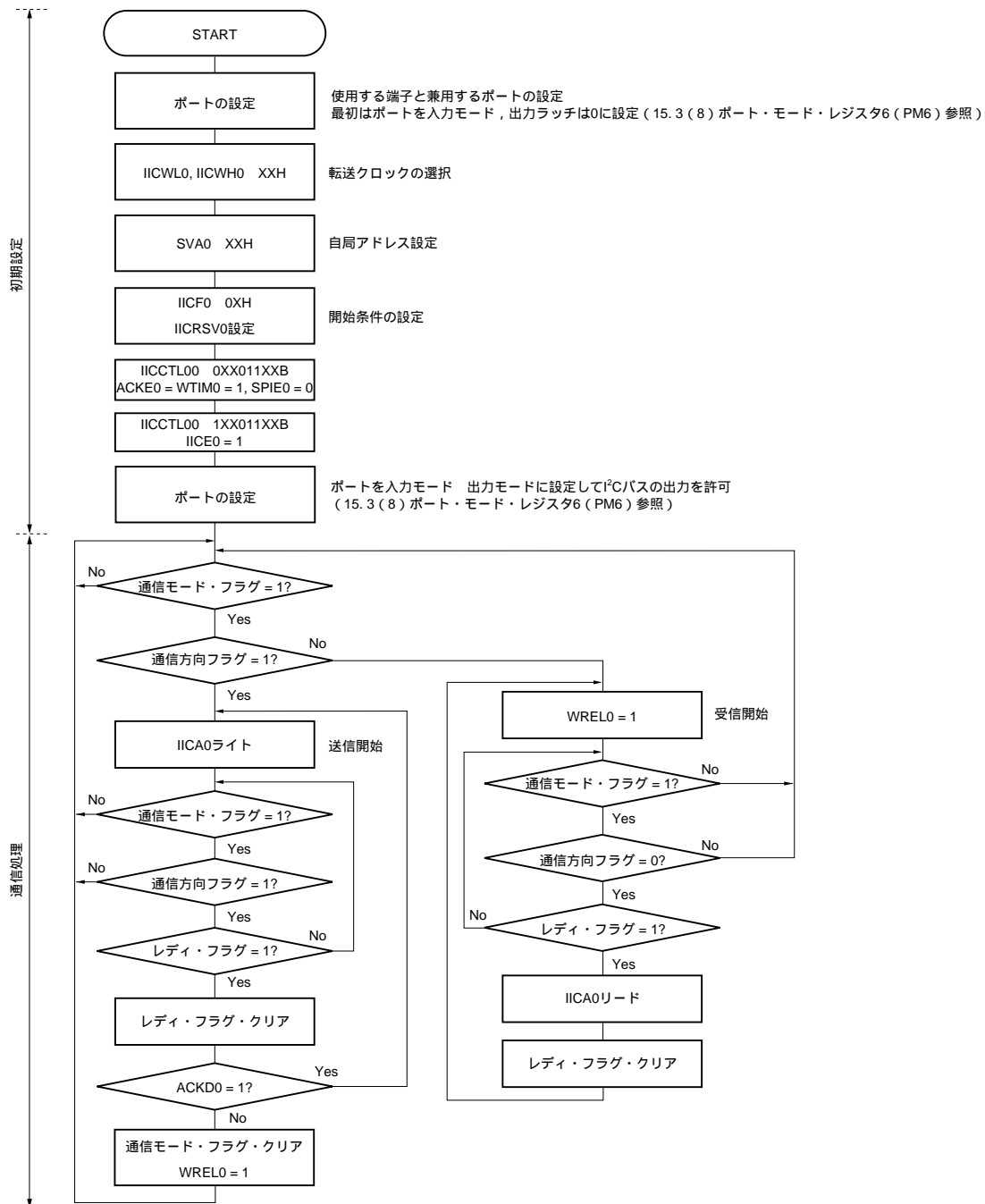
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図15 - 30 スレーブ動作手順（1）



備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICA0割り込みではステータスを確認して、次のように行います。

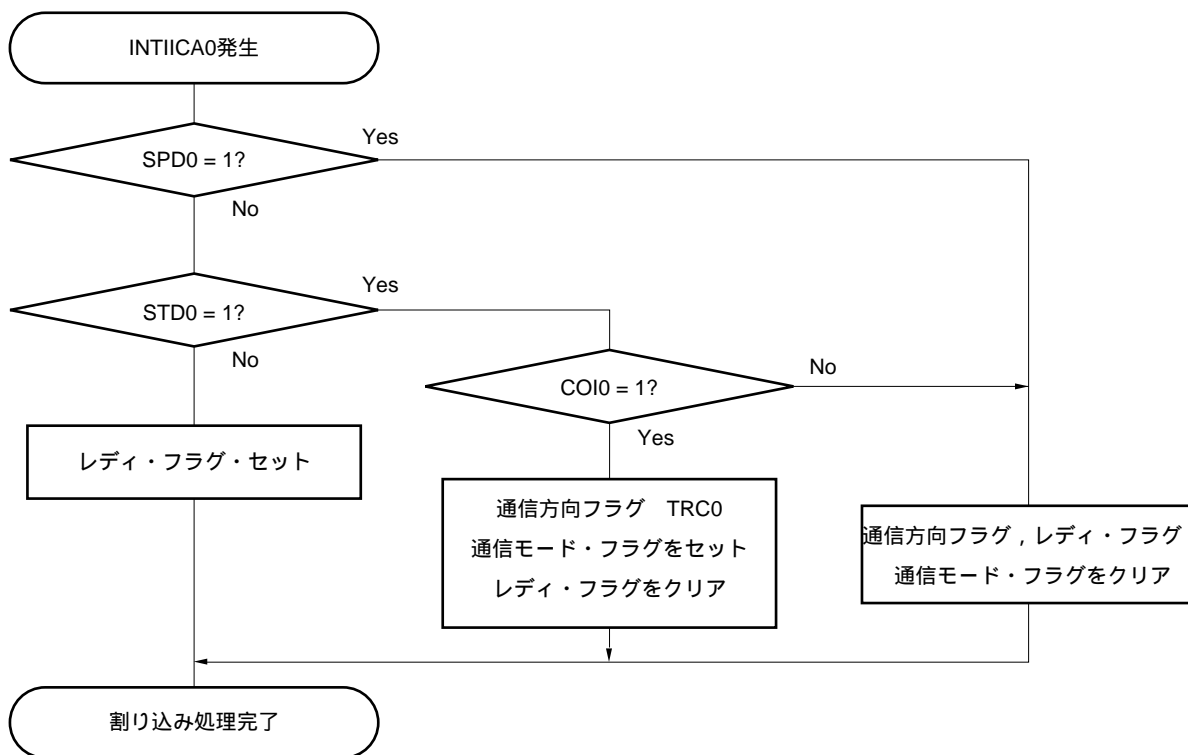
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図15-31 スレーブ動作手順(2)の ~ と対応しています。

図15-31 スレーブ動作手順(2)



15. 5. 17 I²C 割り込み要求 (INTIICA0) の発生タイミング

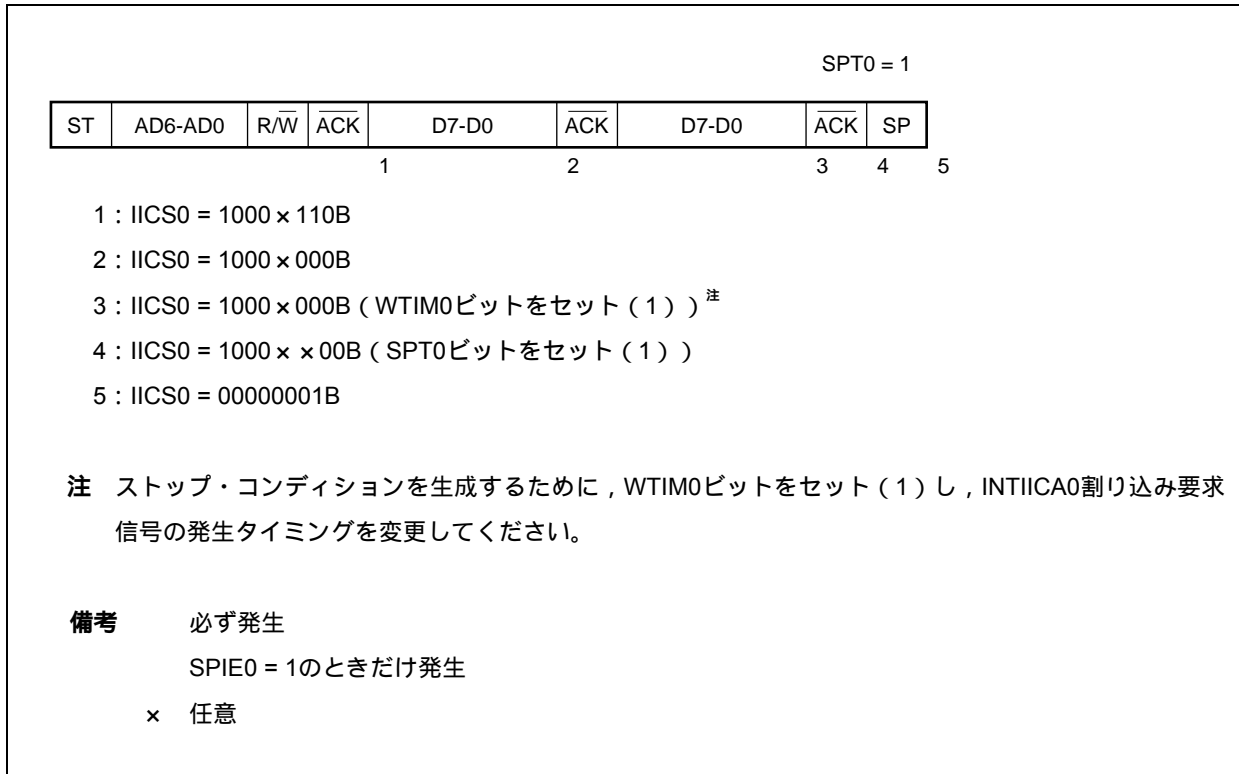
次に、データの送受信、INTIICA0 割り込み要求信号発生タイミングと、INTIICA0 信号タイミングでの IICA ステータス・レジスタ 0 (IICS0) の値を示します。

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/ \overline{W} : 転送方向指定
 \overline{ACK} : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

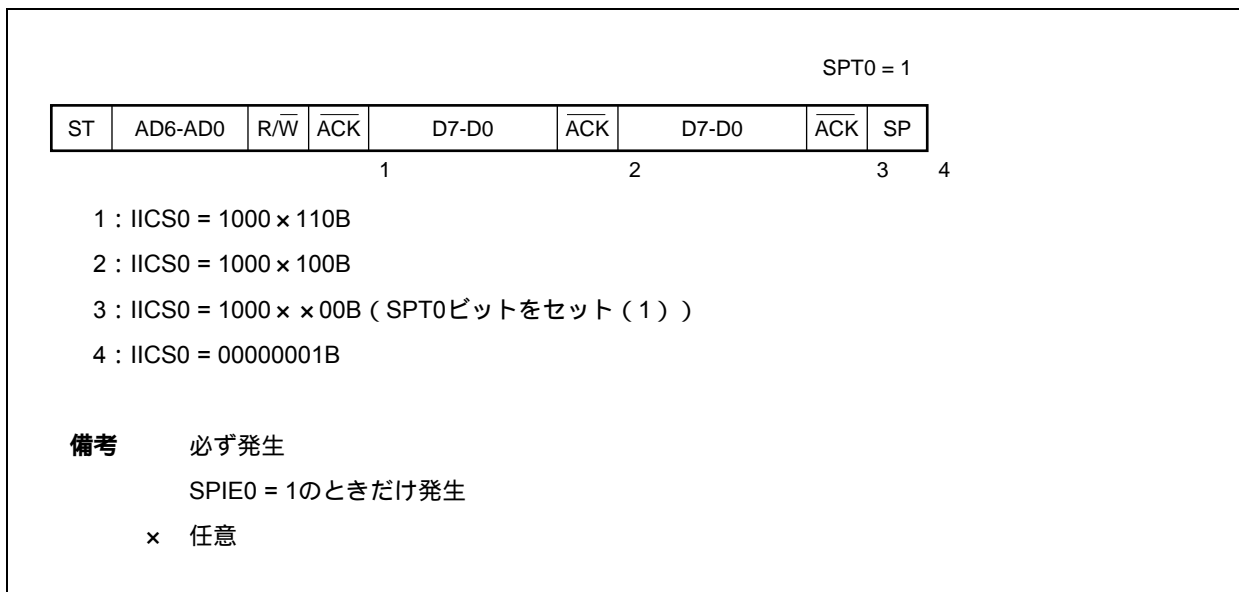
(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIM0 = 0 のとき



(ii) WTIM0 = 1 のとき



(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIM0 = 0 のとき

STT0 = 1							SPT0 = 1						
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
				1	2	3				4	5	6	7

1 : IICS0 = 1000 x 110 B
 2 : IICS0 = 1000 x 000 B (WTIM0ビットをセット(1))^{注1}
 3 : IICS0 = 1000 x x 00 B (WTIM0ビットをクリア(0))^{注2}, STT0ビットをセット(1)
 4 : IICS0 = 1000 x 110 B
 5 : IICS0 = 1000 x 000 B (WTIM0ビットをセット(1))^{注3}
 6 : IICS0 = 1000 x x 00 B (SPT0ビットをセット(1))
 7 : IICS0 = 00000001 B

注1. スタート・コンディションを生成するために, WTIM0ビットをセット(1)し, INTIICA0割り込み要求信号の発生タイミングを変更してください。
 2. 設定を元に戻すために, WTIM0ビットをクリア(0)してください。
 3. ストップ・コンディションを生成するために, WTIM0ビットをセット(1)し, INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1 のとき

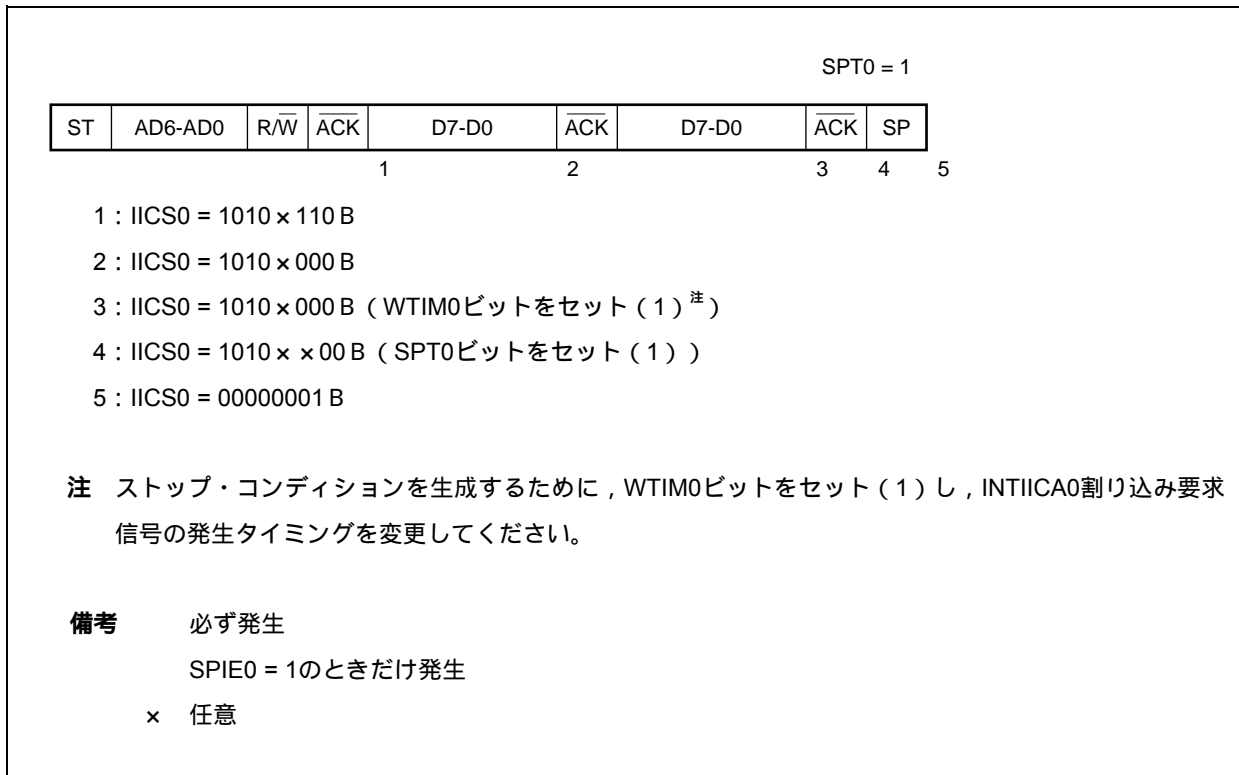
STT0 = 1							SPT0 = 1					
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2	3				4	5	

1 : IICS0 = 1000 x 110 B
 2 : IICS0 = 1000 x x 00 B (STT0ビットをセット(1))
 3 : IICS0 = 1000 x 110 B
 4 : IICS0 = 1000 x x 00 B (SPT0ビットをセット(1))
 5 : IICS0 = 00000001 B

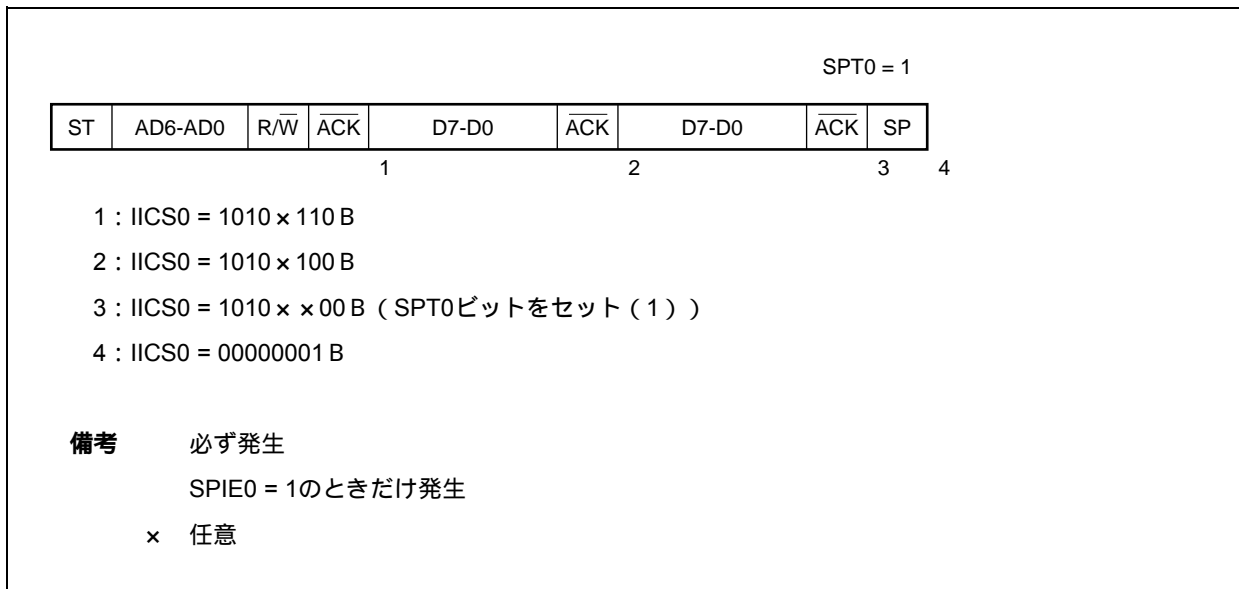
備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIMO = 0 のとき



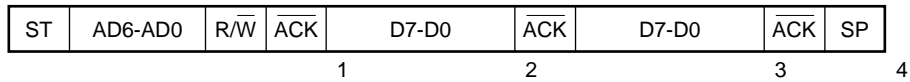
(ii) WTIMO = 1 のとき



(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM0 = 0 のとき



1 : IICS0 = 0001 x 110 B

2 : IICS0 = 0001 x 000 B

3 : IICS0 = 0001 x 000 B

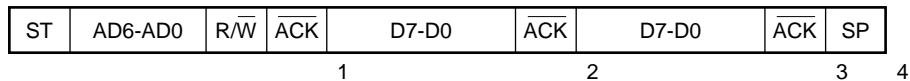
4 : IICS0 = 00000001 B

備考 必ず発生

SPIE0 = 1 のときだけ発生

× 任意

(ii) WTIM0 = 1 のとき



1 : IICS0 = 0001 x 110 B

2 : IICS0 = 0001 x 100 B

3 : IICS0 = 0001 x x 00 B

4 : IICS0 = 00000001 B

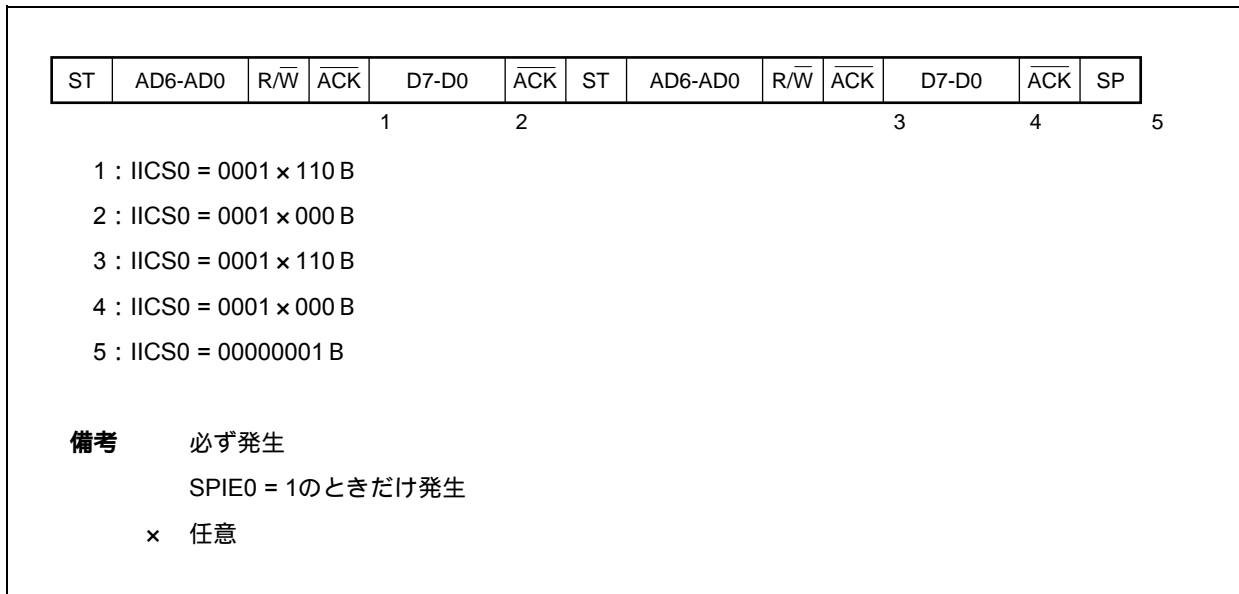
備考 必ず発生

SPIE0 = 1 のときだけ発生

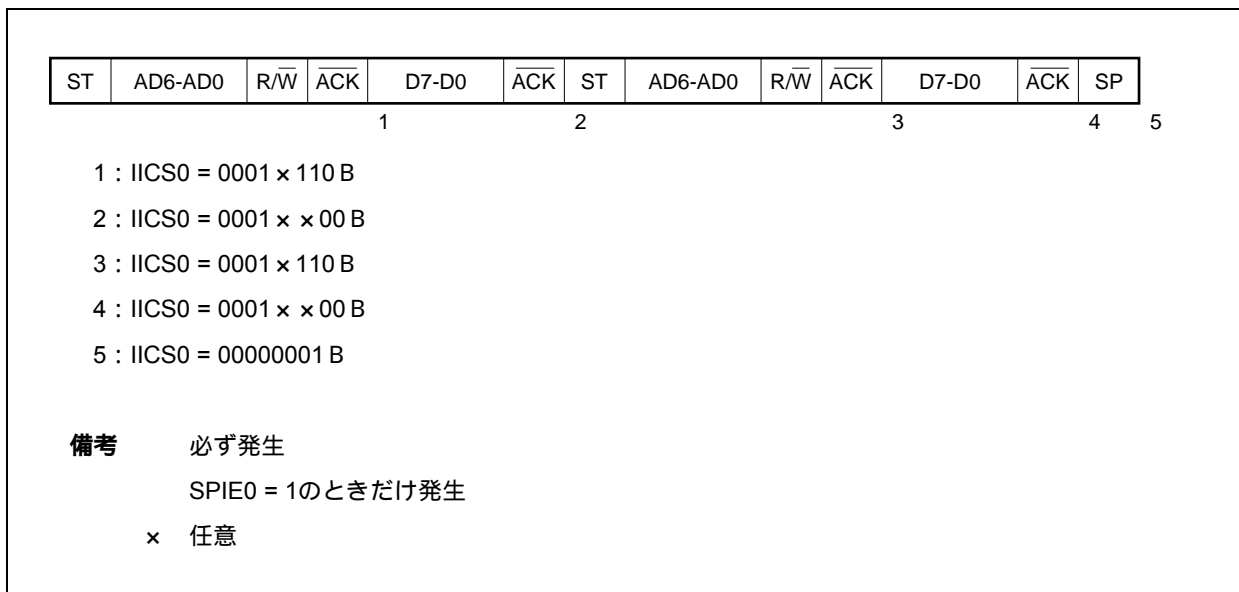
× 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, SVA0一致)

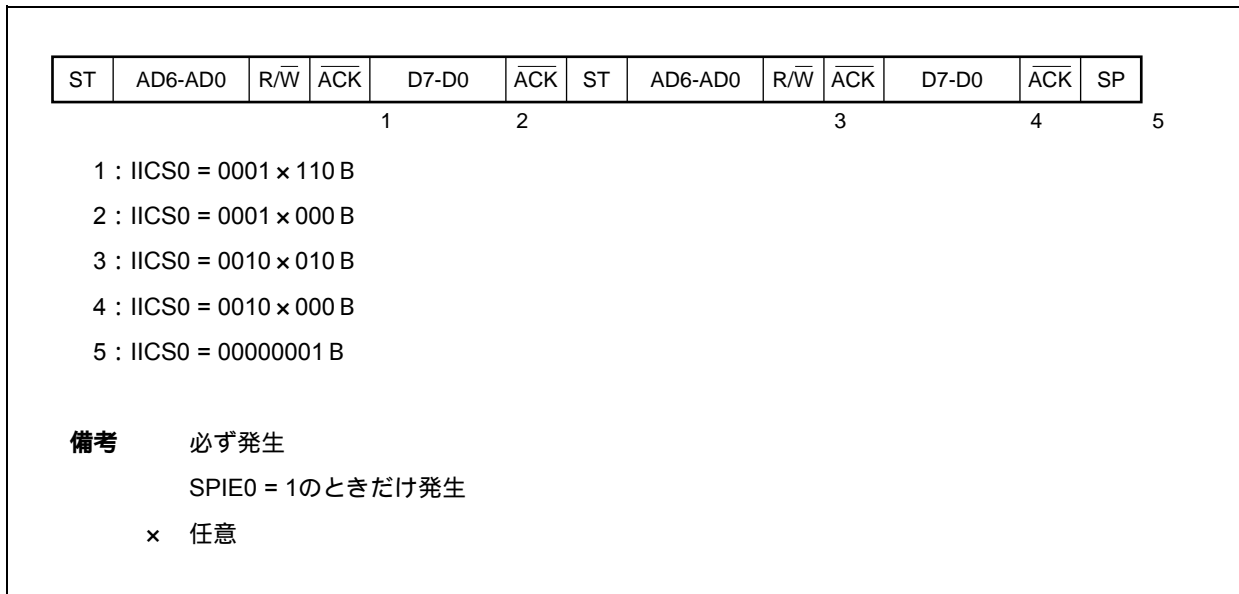


(ii) WTIM0 = 1 のとき (リスタート後, SVA0一致)

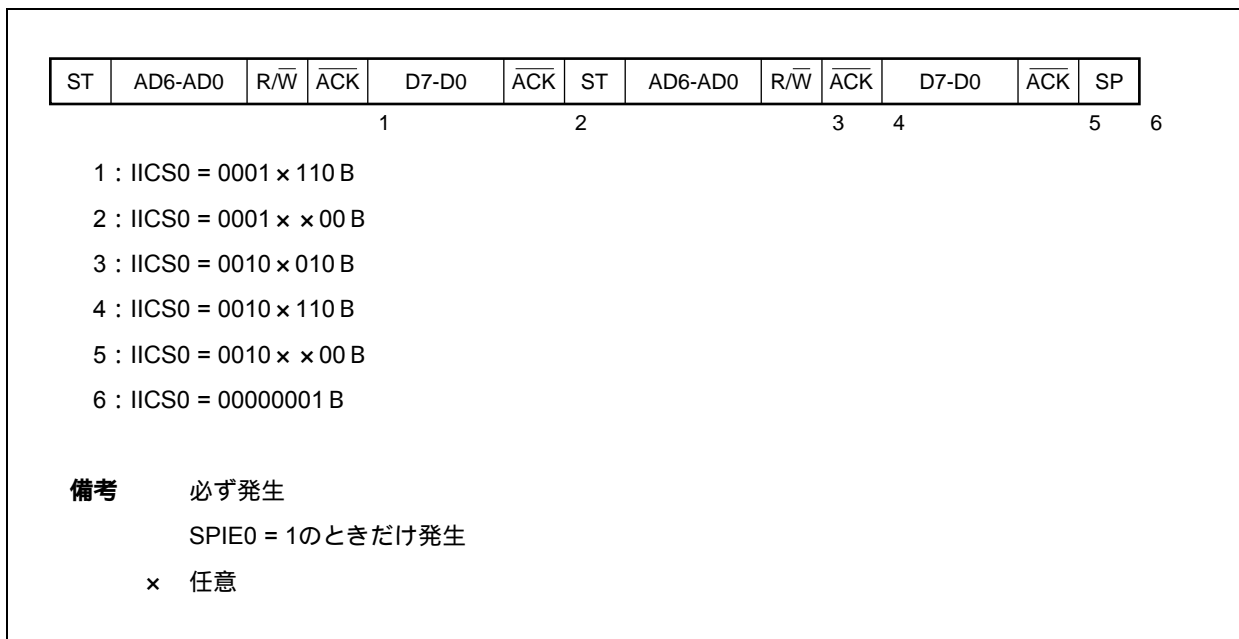


(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, アドレス不一致 (拡張コード))



(ii) WTIM0 = 1 のとき (リスタート後, アドレス不一致 (拡張コード))



(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICS0 = 0001 x 110 B
 2 : IICS0 = 0001 x 000 B
 3 : IICS0 = 00000 x 10 B
 4 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1 のときだけ発生
 x 任意

(ii) WTIM0 = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3		4

1 : IICS0 = 0001 x 110 B
 2 : IICS0 = 0001 x x 00 B
 3 : IICS0 = 00000 x 10 B
 4 : IICS0 = 00000001 B

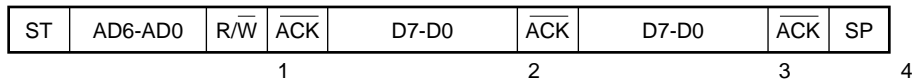
備考 必ず発生
 SPIE0 = 1 のときだけ発生
 x 任意

(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIM0 = 0 のとき



1 : IICS0 = 0010 × 010 B

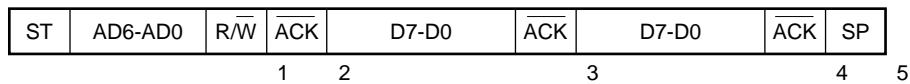
2 : IICS0 = 0010 × 000 B

3 : IICS0 = 0010 × 000 B

4 : IICS0 = 00000001 B

備考 必ず発生
SPIE0 = 1 のときだけ発生
× 任意

(ii) WTIM0 = 1 のとき



1 : IICS0 = 0010 × 010 B

2 : IICS0 = 0010 × 110 B

3 : IICS0 = 0010 × 100 B

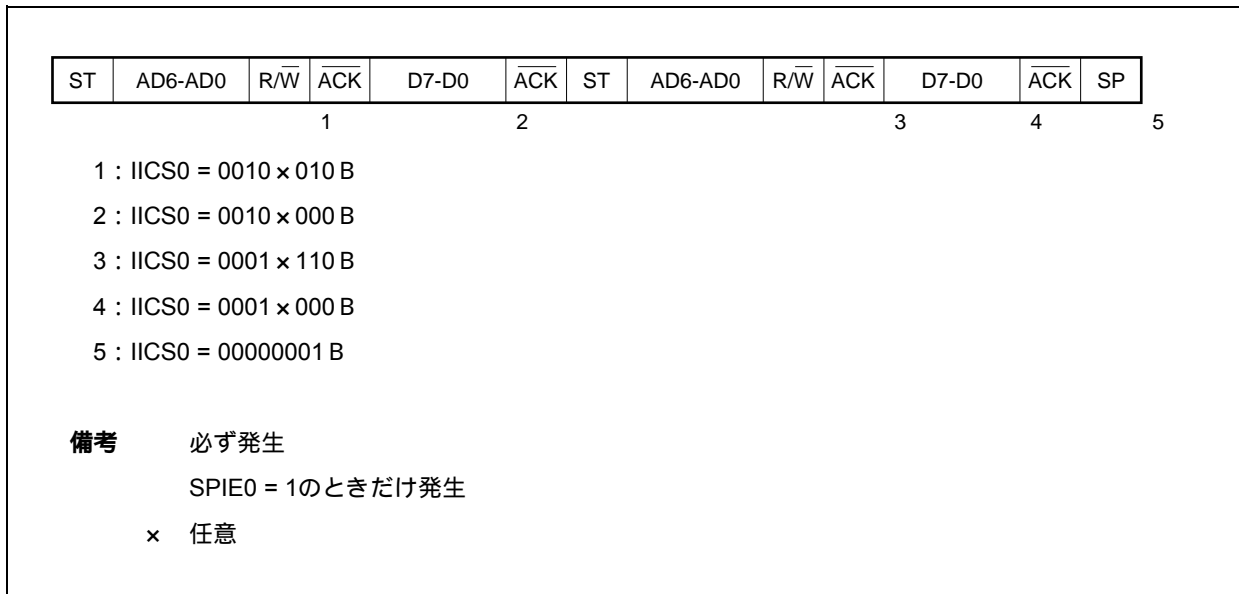
4 : IICS0 = 0010 × × 00 B

5 : IICS0 = 00000001 B

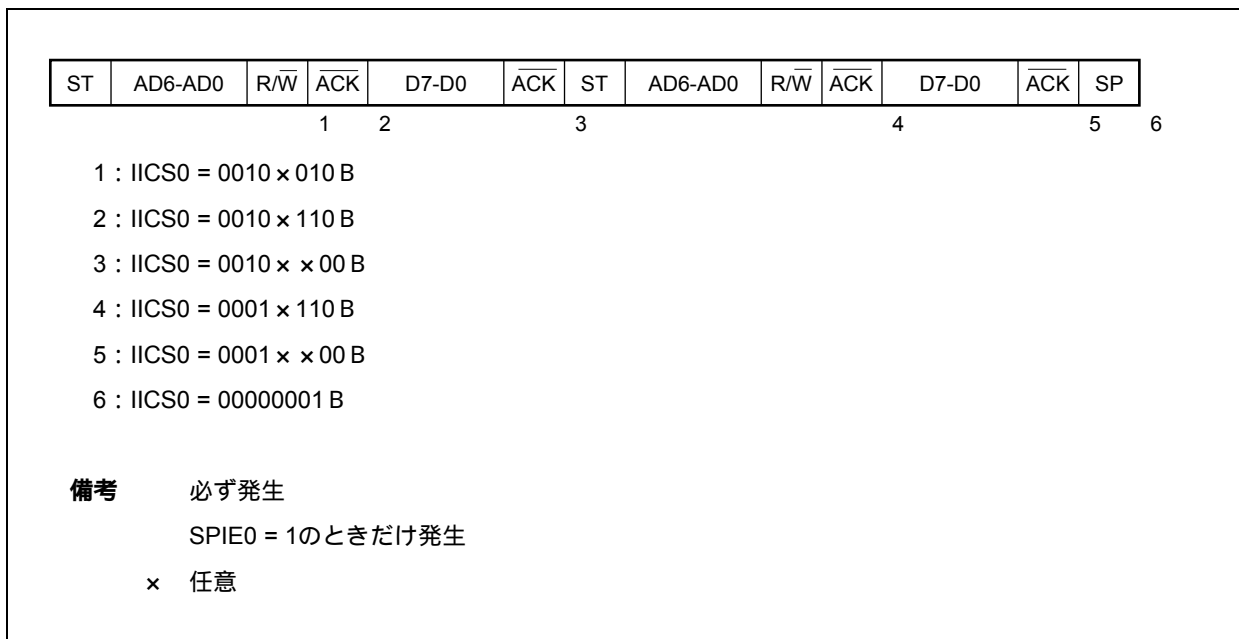
備考 必ず発生
SPIE0 = 1 のときだけ発生
× 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, SVA0一致)

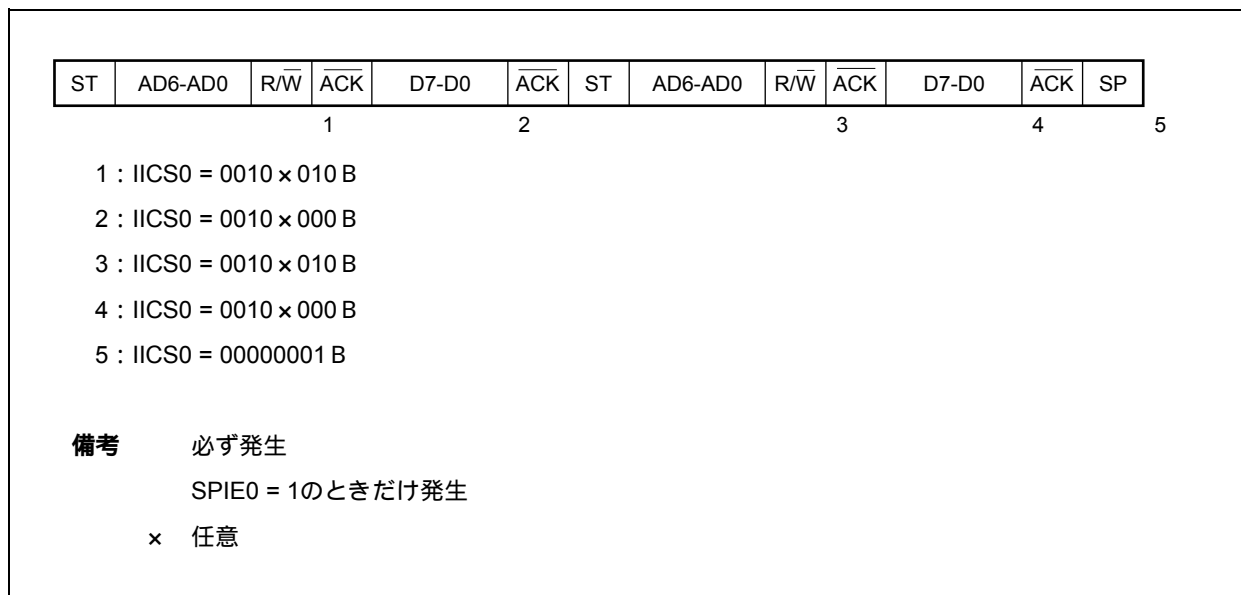


(ii) WTIM0 = 1 のとき (リスタート後, SVA0一致)

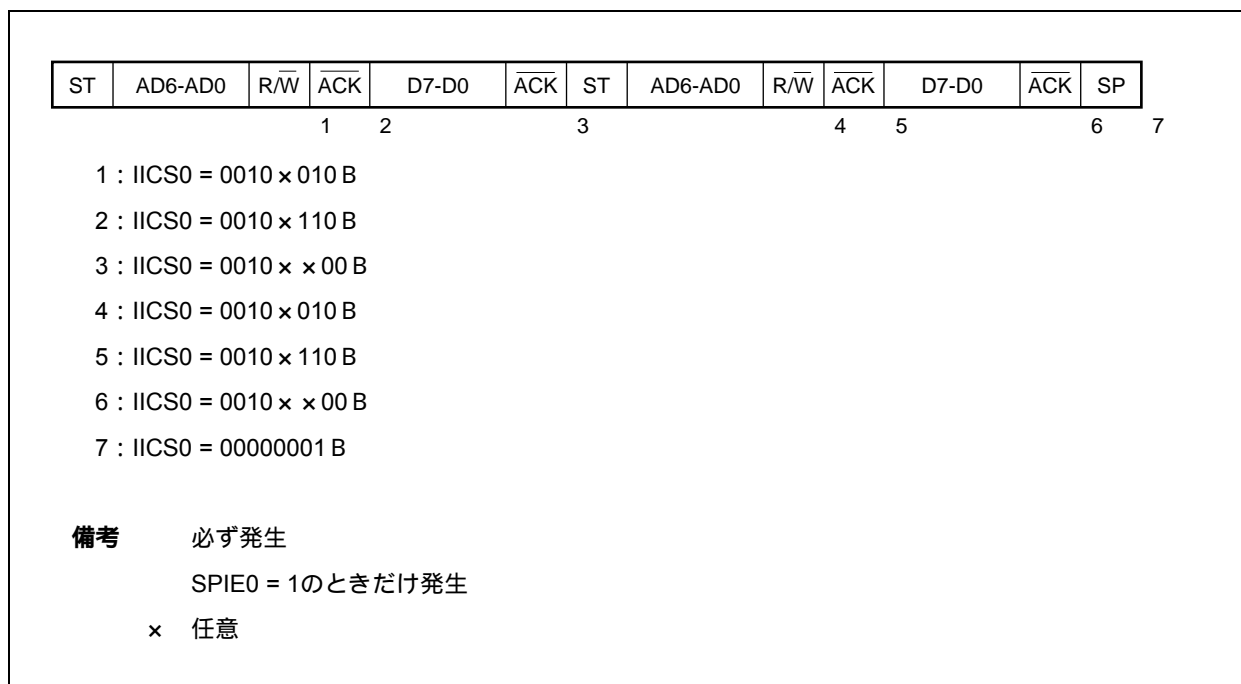


(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, 拡張コード受信)

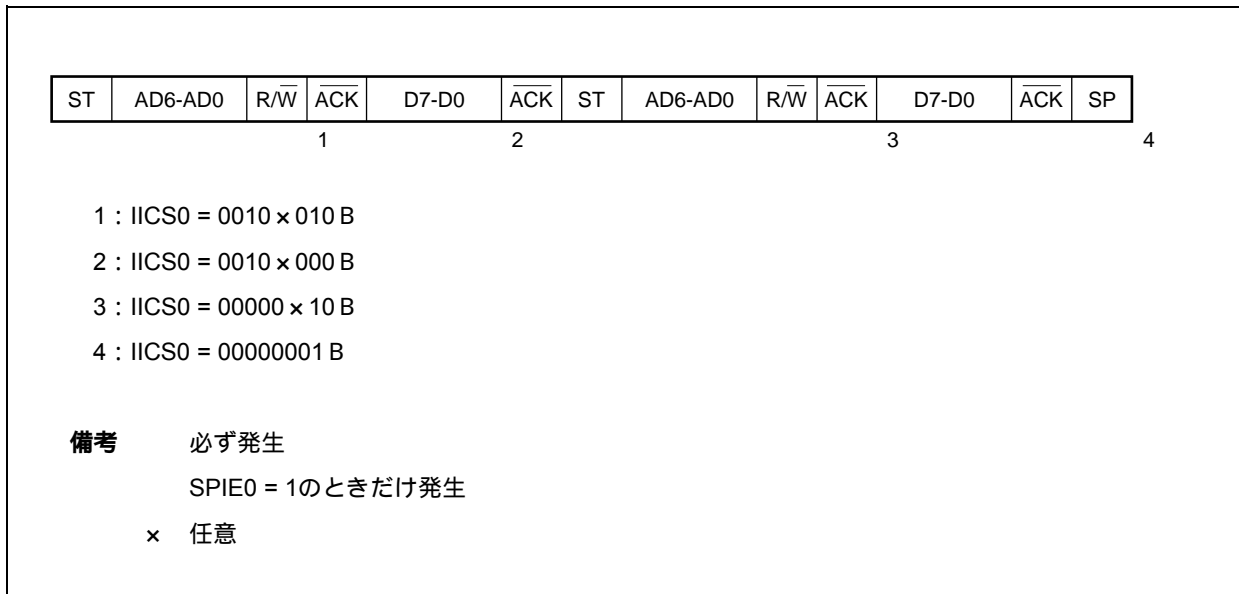


(ii) WTIM0 = 1 のとき (リスタート後, 拡張コード受信)

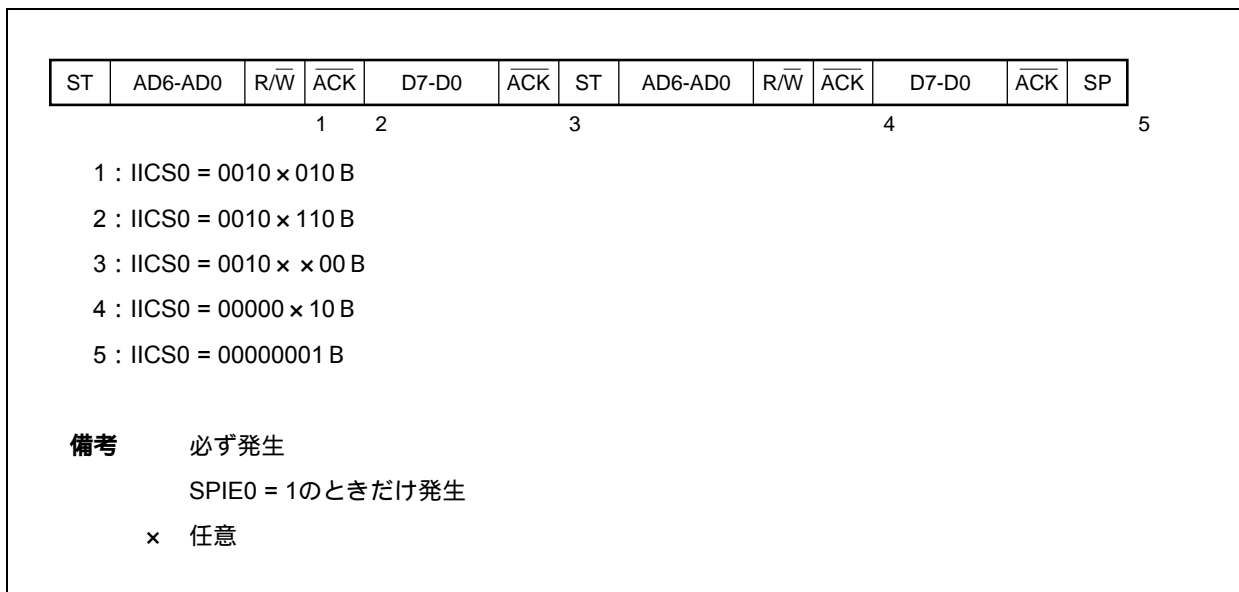


(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM0 = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM0 = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICS0 = 0101 × 110 B
 2 : IICS0 = 0001 × 100 B
 3 : IICS0 = 0001 × × 00 B
 4 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1 のときだけ発生
 × 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0 = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICS0 = 0110 × 010 B
 2 : IICS0 = 0010 × 000 B
 3 : IICS0 = 0010 × 000 B
 4 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1 のときだけ発生
 × 任意

(ii) WTIM0 = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1 2		3		4	5

1 : IICS0 = 0110 × 010 B
 2 : IICS0 = 0010 × 110 B
 3 : IICS0 = 0010 × 100 B
 4 : IICS0 = 0010 × × 00 B
 5 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1 のときだけ発生
 × 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIICA0 割り込み要求信号の発生ごとに MSTS0 ビットをリードし, アービトレーション結果を確認してください。

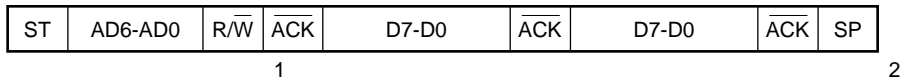
(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 1 のとき)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1					2

1 : IICS0 = 01000110 B
 2 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1 のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICS0 = 0110 × 010 B

ソフトウェアで LREL0 = 1 を設定

2 : IICS0 = 00000001 B

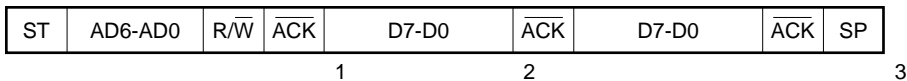
備考 必ず発生

SPIE0 = 1 のときだけ発生

× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



1 : IICS0 = 10001110 B

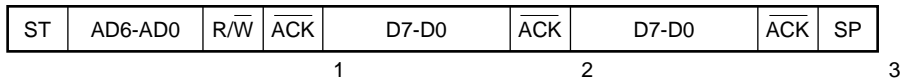
2 : IICS0 = 01000000 B

3 : IICS0 = 00000001 B

備考 必ず発生

SPIE0 = 1 のときだけ発生

(ii) WTIM0 = 1 のとき



1 : IICS0 = 10001110 B

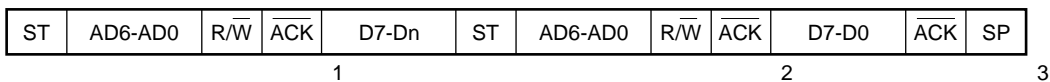
2 : IICS0 = 01000100 B

3 : IICS0 = 00000001 B

備考 必ず発生
SPIE0 = 1 のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA0不一致)



1 : IICS0 = 1000 × 110 B

2 : IICS0 = 01000110 B

3 : IICS0 = 00000001 B

備考 必ず発生
SPIE0 = 1 のときだけ発生
× 任意
n = 6-0

(ii) 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1					2		3

1 : IICS0 = 1000 × 110 B

2 : IICS0 = 01100010 B

ソフトウェアでLREL0 = 1を設定

3 : IICS0 = 00000001 B

備考 必ず発生

SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
				1	2

1 : IICS0 = 1000 × 110 B

2 : IICS0 = 01000001 B

備考 必ず発生

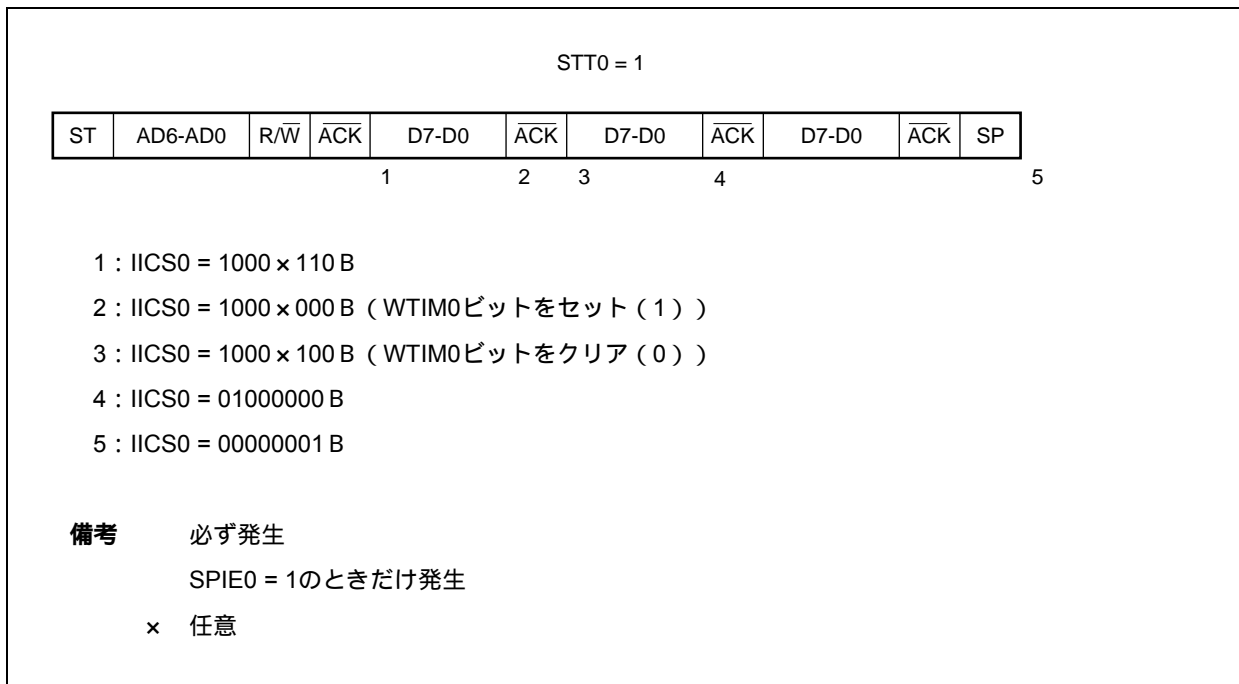
SPIE0 = 1のときだけ発生

× 任意

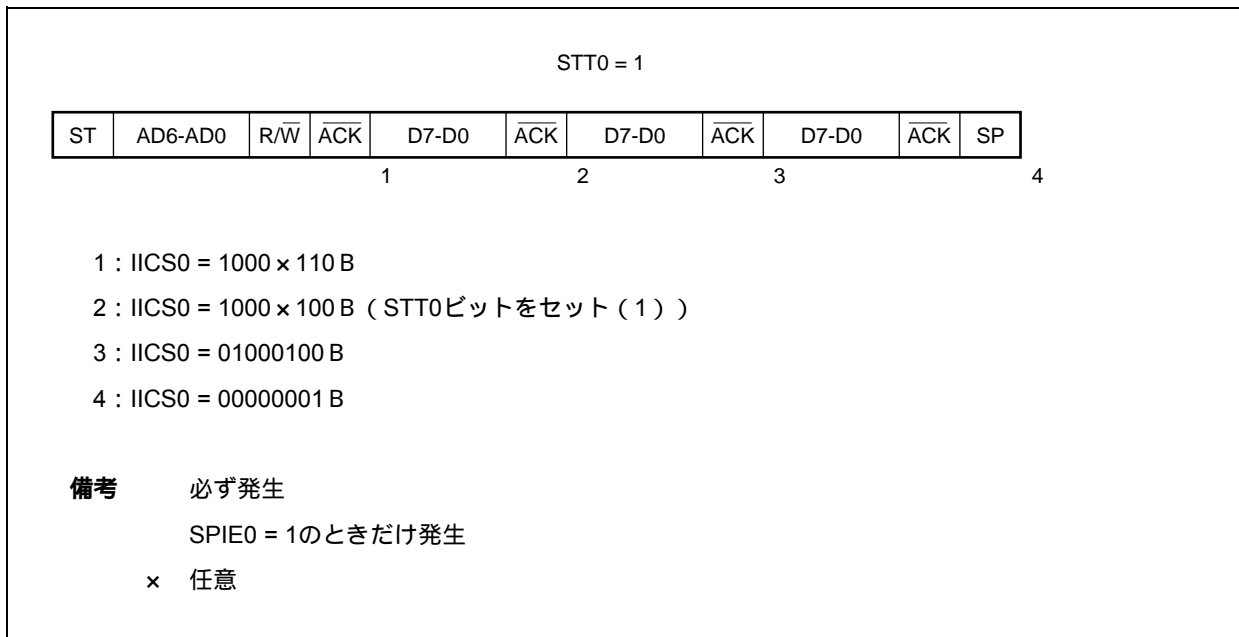
n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



(ii) WTIM0 = 1 のとき



(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき

STT0 = 1

ST	AD6-AD0	R/ \bar{W}	\bar{ACK}	D7-D0	\bar{ACK}	SP
			1		2	3 4

1 : IICS0 = 1000 × 110 B
 2 : IICS0 = 1000 × 000 B (WTIM0ビットをセット(1))
 3 : IICS0 = 1000 × × 00 B (STT0ビットをセット(1))
 4 : IICS0 = 01000001 B

備考 必ず発生
 SPIE0 = 1 のときだけ発生
 × 任意

(ii) WTIM0 = 1 のとき

STT0 = 1

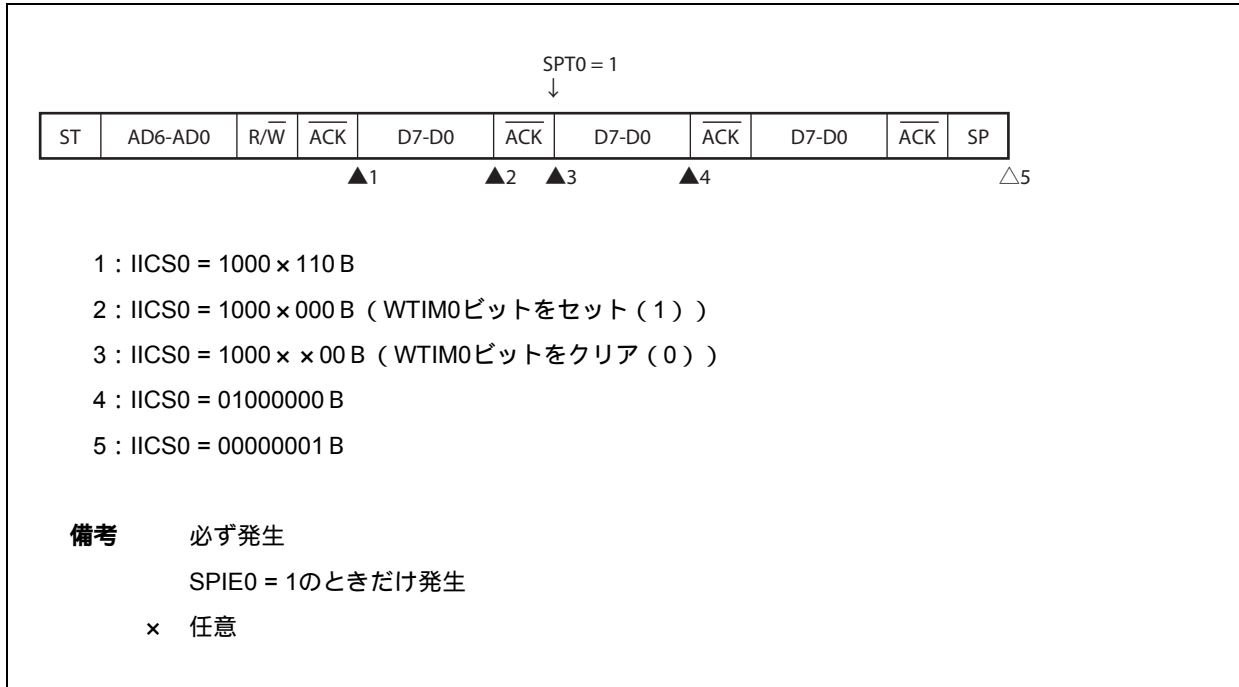
ST	AD6-AD0	R/ \bar{W}	\bar{ACK}	D7-D0	\bar{ACK}	SP
			1		2	3

1 : IICS0 = 1000 × 110 B
 2 : IICS0 = 1000 × × 00 B (STT0ビットをセット(1))
 3 : IICS0 = 01000001 B

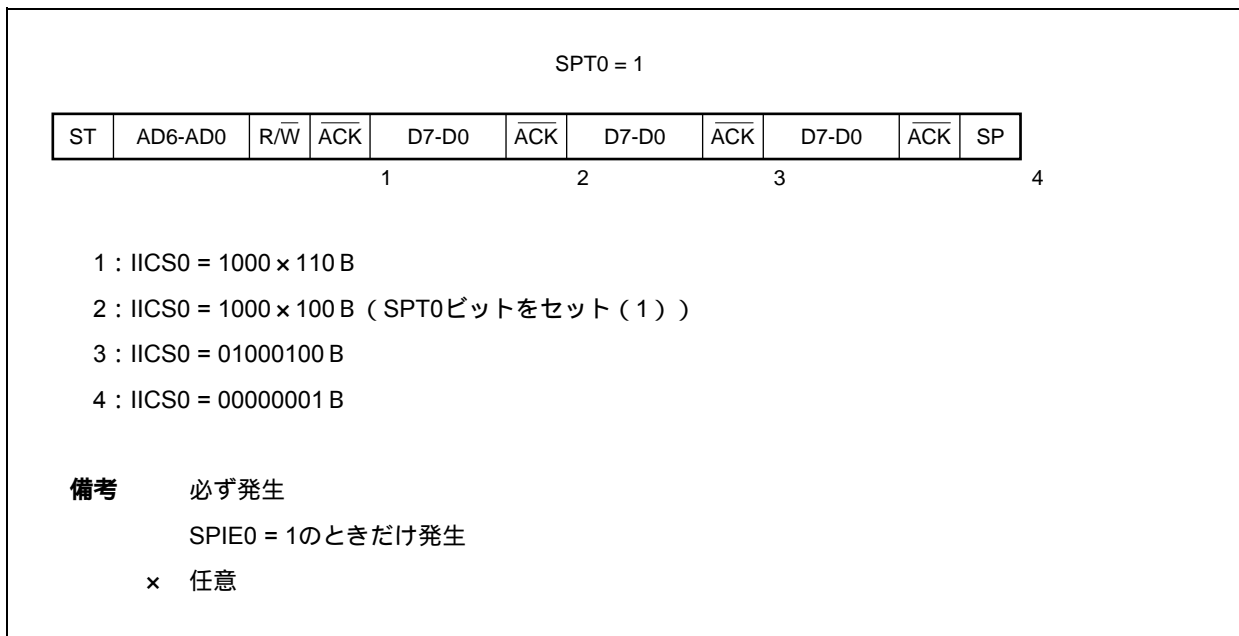
備考 必ず発生
 SPIE0 = 1 のときだけ発生
 × 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



(ii) WTIM0 = 1 のとき



15.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット(IICAステータス・レジスタ0(IICS0)のビット3)を送信し、スレーブとのシリアル通信を開始します。

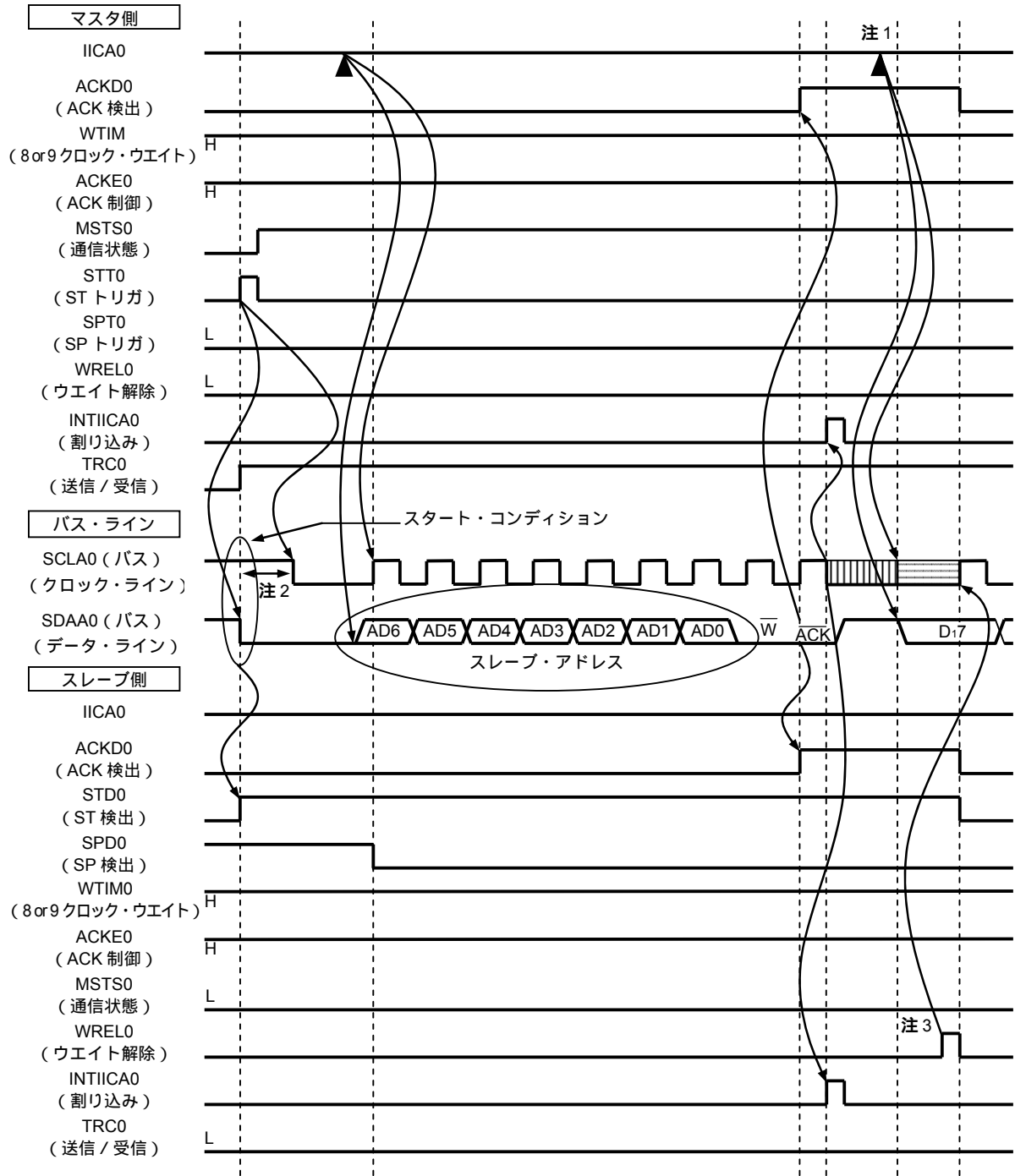
データ通信のタイミング・チャートを図15 - 32, 図15 - 33に示します。



シリアル・クロック(SCLA0)の立ち下がりに同期してIICAシフト・レジスタ0(IICA0)のシフト動作が行われ、送信データがSOラッチに転送され、SDAA0端子からMSBファーストで出力されます。

また、SCLA0の立ち上がりでSDAA0端子に入力されたデータがIICA0に取り込まれます。

図15 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウェイト選択時) (1/4)

(1) スタート・コンディション~アドレス~データ



 : スレーブによるウェイト
 : マスタ, スレーブによるウェイト

- 注1. マスタ側での送信時のウェイト解除は, WRELOビットのセットではなく, IICA0へのデータ書き込みで行ってください。
- 2. SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は, 標準モード設定時は4.0 μ s以上, ファースト・モード設定時は0.6 μ s以上です。
- 3. スレーブ側での受信時のウェイト解除は, IICA0 FFHまたはWRELOビットのセットのどちらかで行ってください。

図15 - 32 (1) スタート・コンディション～アドレス～データの ~ の説明を次に示します。

マスタ側でスタート・コンディション・トリガがセット(STT0 = 1)されると、バス・データ・ライン(SDAA0 = 0)が立ち下がり、スタート・コンディション(SCLA0 = 1で SDAA0 = 1 0)が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態(MSTS0 = 1)となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり(SCLA0 = 0)、通信準備が完了となります。

マスタ側でIICAシフト・レジスタ0(IICA0)にアドレス+W(送信)が書き込まれると、スレーブ・アドレスが送信されます。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKD0 = 1)されます。

9クロック目の立ち下がり、マスタ側の割り込み(INTIICA0: アドレス送信完了割り込み)が発生し、スレーブはアドレスが一致した場合、割り込み(INTIICA0: アドレス一致割り込み)が発生します。さらに、マスタ側とアドレスが一致したスレーブ側はウエイト(SCLA0 = 0)をかけます[※]。

マスタ側がIICA0レジスタに送信データを書き込み、マスタ側によるウエイトを解除します。

スレーブ側がウエイトを解除(WREL0 = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK: SDAA0 = 1)。また、スレーブ側のINTIICA0割り込み(アドレス一致割り込み)は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK、NACKの両方に対して、INTIICA0割り込み(アドレス送信完了割り込み)が発生します。

備考 図15 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図15 - 32 (1) スタート・コンディション～アドレス～データでは手順 ~

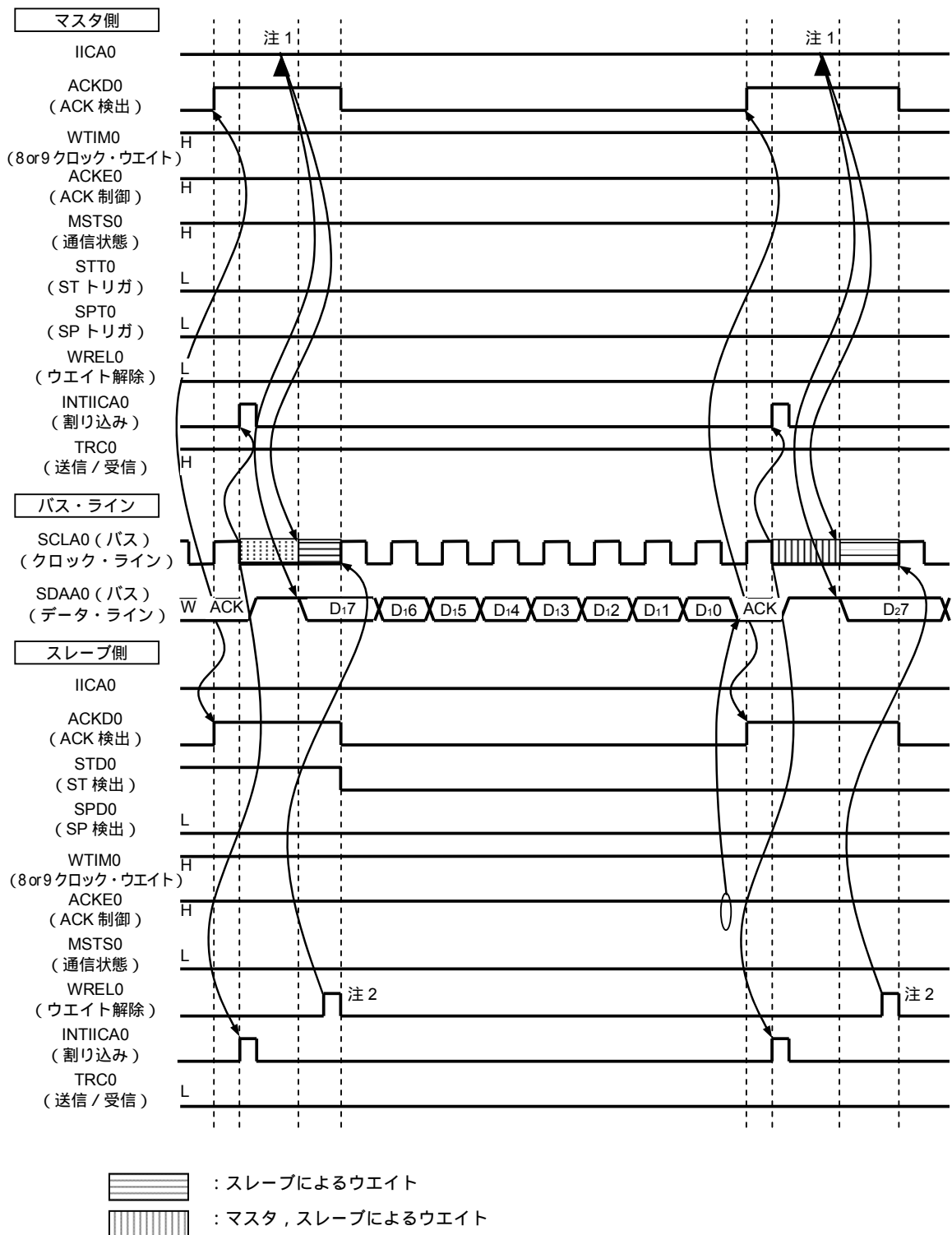
図15 - 32 (2) アドレス～データ～データでは手順 ~

図15 - 32 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図15 - 32 マスタ スレーブ通信例 (マスタ:9クロック,スレーブ:9クロックでウェイト選択時) (2/4)

(2) アドレス~データ~データ



- 注1. マスタ側での送信時のウェイト解除は, WRELOビットのセットではなく, IICA0へのデータ書き込みで行ってください。
2. スレーブ側での受信時のウェイト解除は, IICA0 FFHまたはWRELOビットのセットのどちらかで行ってください。

図15 - 32 (2) アドレス~データ~データの ~ の説明を次に示します。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD0 = 1) されます。

9クロック目の立ち下がり、マスタ側の割り込み (INTIICA0: アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA0: アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側はウェイト (SCLA0 = 0) をかけます[※]。

マスタ側がIICAシフト・レジスタ0 (IICA0) に送信データを書き込み、マスタ側によるウェイトを解除します。

スレーブ側がウェイトを解除 (WREL0 = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD0 = 1) されます。

9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCLA0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA0: 転送完了割り込み) が発生します。

マスタ側がIICA0レジスタに送信データを書き込み、マスタ側によるウェイトを解除します。

スレーブ側が受信データを読み出して、ウェイトを解除 (WREL0 = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDAA0 = 1)。また、スレーブ側のINTIICA0割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウェイトもかかりません。

ただし、マスタ側はACK、NACKの両方に対して、INTIICA0割り込み (アドレス送信完了割り込み) が発生します。

備考 図15 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図15 - 32 (1) スタート・コンディション~アドレス~データでは手順 ~

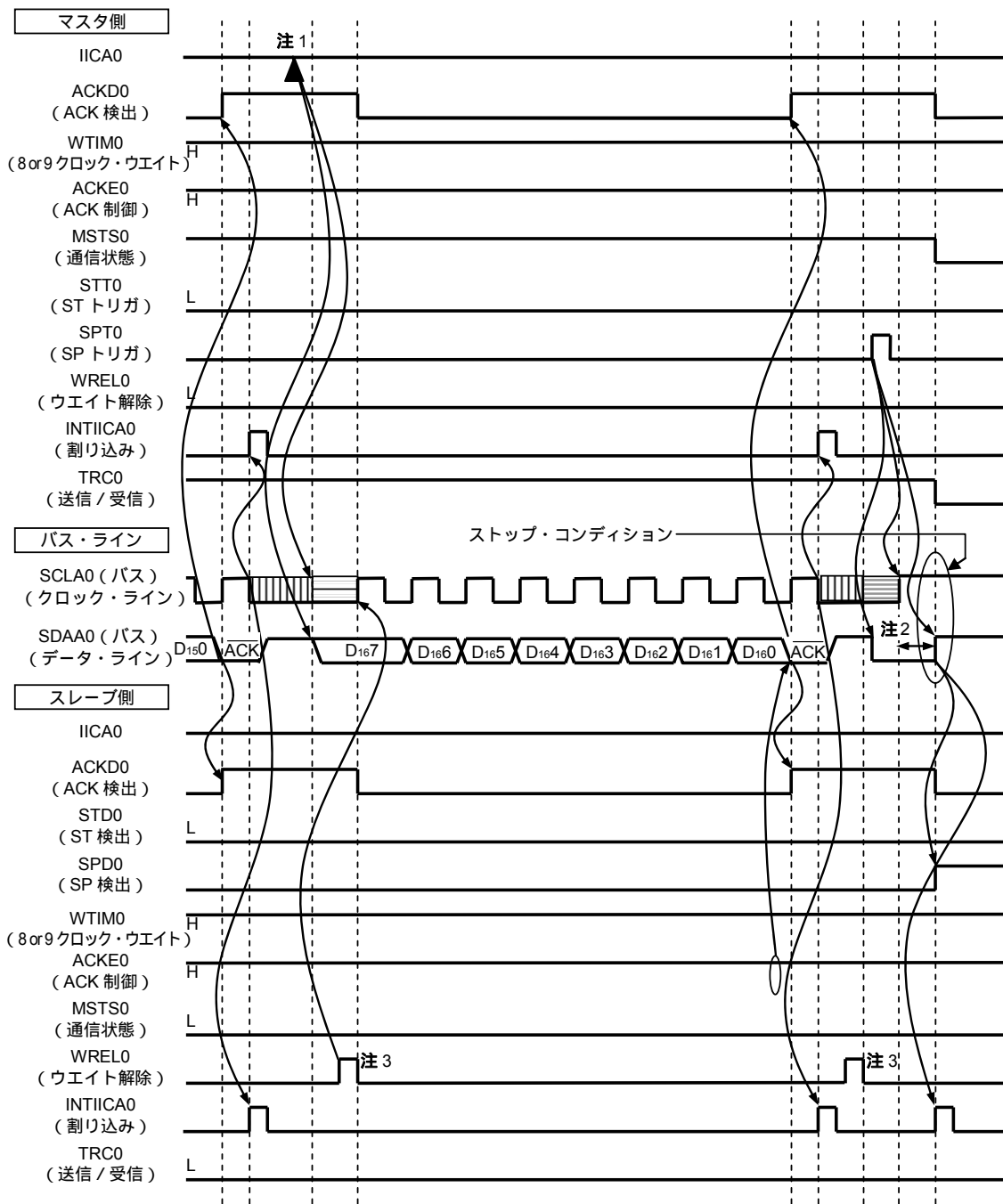
図15 - 32 (2) アドレス~データ~データでは手順 ~

図15 - 32 (3) データ~データ~ストップ・コンディションでは手順 ~

について説明しています。

図15 - 32 マスタ スレーブ通信例 (マスタ : 9クロック , スレーブ : 9クロックでウェイト選択時) (3/4)

(3) データ~データ~ストップ・コンディション



- : マスタによるウェイト
- : スレーブによるウェイト
- : マスタ, スレーブによるウェイト

- 注1. マスタ側での送信時のウェイト解除は, WRELOビットのセットではなく, IICA0へのデータ書き込みで行ってください。
2. ストップ・コンディションの発行後, SCLA0端子信号が立ち上がったからストップ・コンディションが生成されるまでの時間は, 標準モード設定時は4.0 μ s以上, ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ側での受信時のウェイト解除は, IICA0 FFHまたはWRELOビットのセットのどちらかで行ってください。

図15 - 32 (3) データ~データ~ストップ・コンディションの ~ の説明を次に示します。

データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD0 = 1) されます。

9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCLA0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA0 : 転送完了割り込み) が発生します。

マスタ側がIICAシフト・レジスタ0 (IICA0) に送信データを書き込み、マスタ側によるウェイトを解除します。

スレーブ側が受信データを読み出して、ウェイトを解除 (WREL0 = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD0 = 1) されます。

9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCLA0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA0 : 転送完了割り込み) が発生します。

スレーブ側が受信データを読み出し、ウェイトを解除 (WREL0 = 1) します。

ストップ・コンディション・トリガをセットすると、バス・データ・ラインをクリア (SDAA0 = 0) 、バス・クロック・ラインをセット (SCLA0 = 1) し、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDAA0 = 1) することでストップ・コンディションが生成されます。

ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICA0 : ストップ・コンディション割り込み) が発生します。

備考 図15 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

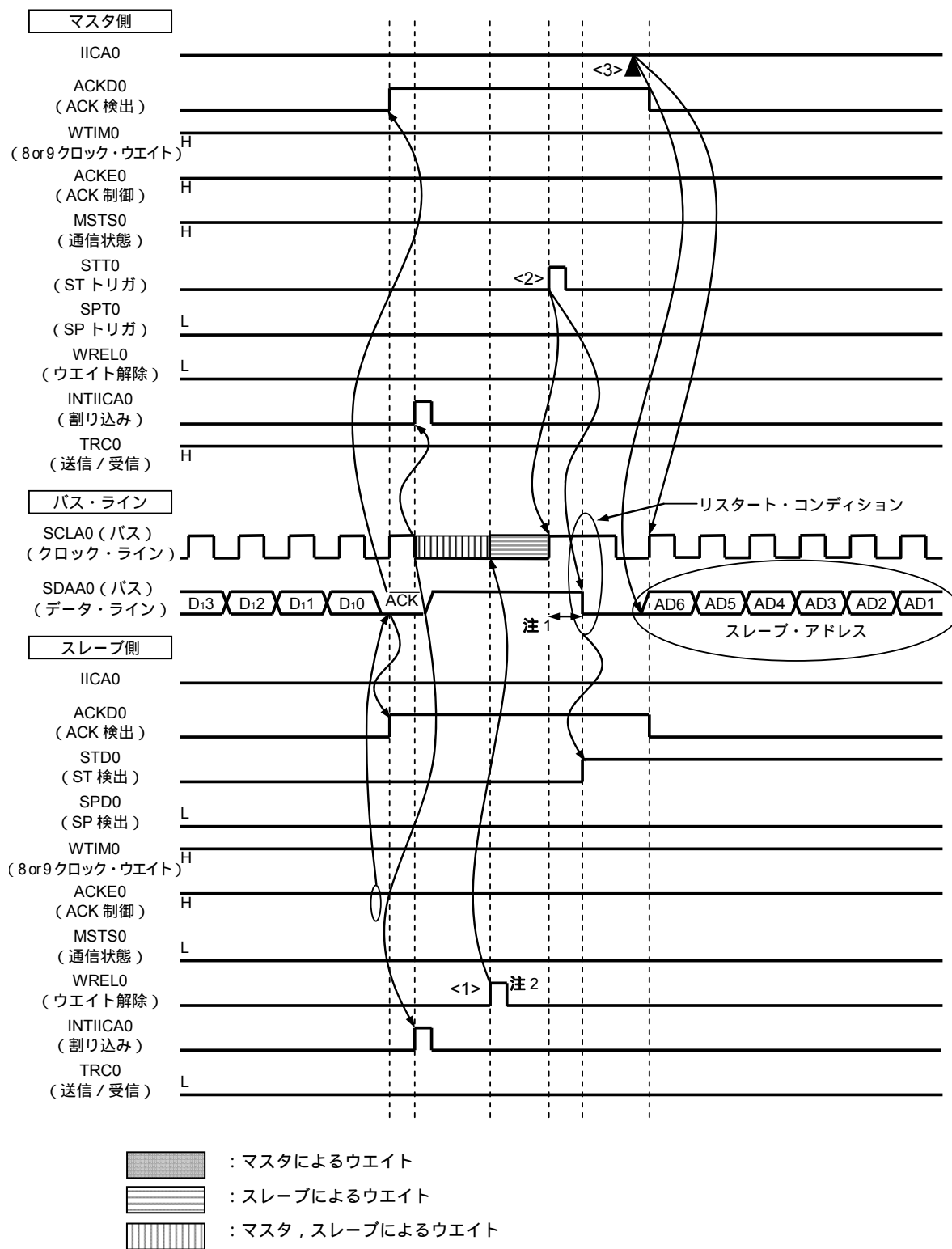
図15 - 32 (1) スタート・コンディション~アドレス~データでは手順 ~

図15 - 32 (2) アドレス~データ~データでは手順 ~

図15 - 32 (3) データ~データ~ストップ・コンディションでは手順 ~
について説明しています。

図15 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウェイト選択時) (4/4)

(4) データ~リスタート・コンディション~アドレス



- 注1. リスタート・コンディションの発行後, SCLA0端子信号が立ち上がってからスタート・コンディションが生成される時間は, 標準モード設定時は4.7 μ s以上, ファースト・モード設定時は0.6 μ s以上です。
2. スレーブ側での受信時のウェイト解除は, IICA0 FFHまたはWRELOビットのセットのどちらかで行ってください。

図15 - 32(4)データ~リスタート・コンディション~アドレスの動作説明を次に示します。手順 1 の動作後、<1>~<3>の動作を行います。それにより、手順 2 のデータの送信手順に戻ります。

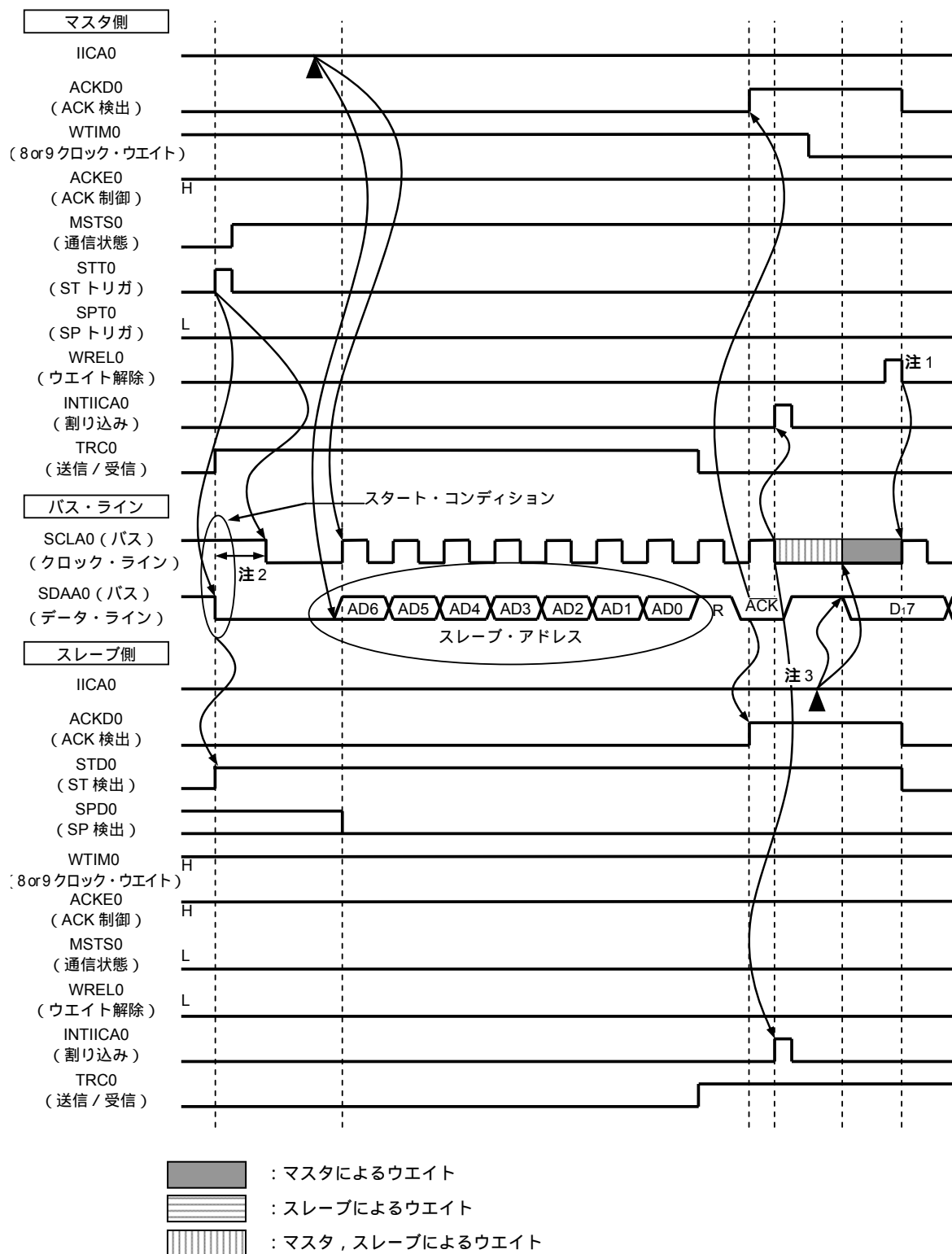
データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD0 = 1) されます。

9クロック目の立ち下がりで、マスタ側とスレーブ側によるウエイト (SCLA0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA0 : 転送完了割り込み) が発生します。

- <1> スレーブ側が受信データを読み出して、ウエイトを解除 (WREL0 = 1) します。
- <2> マスタ側で再度スタート・コンディション・トリガがセット (STT0 = 1) されると、バス・クロック・ラインが立ち上がり (SCLA0 = 1)、リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDAA0 = 0) が立ち下がり、スタート・コンディション (SCLA0 = 1でSDAA0 = 1 0) が生成されます。その後、スタート・コンディションを検出すると、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLA0 = 0)、通信準備が完了となります。
- <3> マスタ側でIICAシフト・レジスタ0 (IICA0) にアドレス + R/W (送信) が書き込まれると、スレーブ・アドレスが送信されます。

図15 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (1/3)

(1) スタート・コンディション~アドレス~データ



- 注1. マスタ側での受信時のウェイト解除は、IICA0 FFHまたはWREL0ビットのセットのどちらかで行ってください。
2. SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ側での送信時のウェイト解除は、WREL0ビットのセットではなく、IICA0へのデータ書き込みで行ってください。

図15 - 33 (1) スタート・コンディション~アドレス~データの ~ の説明を次に示します。

マスタ側でスタート・コンディション・トリガがセット(STT0 = 1)されると、バス・データ・ライン(SDAA0 = 0)が立ち下がり、スタート・コンディション(SCLA0 = 1でSDAA0 = 1 0)が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態(MSTS0 = 1)となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり(SCLA0 = 0)、通信準備が完了となります。

マスタ側でIICAシフト・レジスタ0(IICA0)にアドレス+R(受信)が書き込まれると、スレーブ・アドレスが送信されます。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKD0 = 1)されます。

9クロック目の立ち下がりで、マスタ側の割り込み(INTIICA0: アドレス送信完了割り込み)が発生し、スレーブはアドレスが一致した場合、割り込み(INTIICA0: アドレス一致割り込み)が発生します。さらに、マスタ側とアドレスが一致したスレーブ側によるウエイト(SCLA0 = 0)がかかります[※]。

マスタ側のウエイト・タイミングを8クロック目に(WTIM0 = 0)に変更します。

スレーブ側がIICA0レジスタに送信データを書き込み、スレーブ側によるウエイトを解除します。

マスタ側がウエイトを解除(WREL0 = 1)して、スレーブ側はデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK: SDAA0 = 1)。また、スレーブ側のINTIICA0割り込み(アドレス一致割り込み)は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA0割り込み(アドレス送信完了割り込み)が発生します。

備考 図15 - 33の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図15 - 33 (1) スタート・コンディション~アドレス~データでは手順 ~

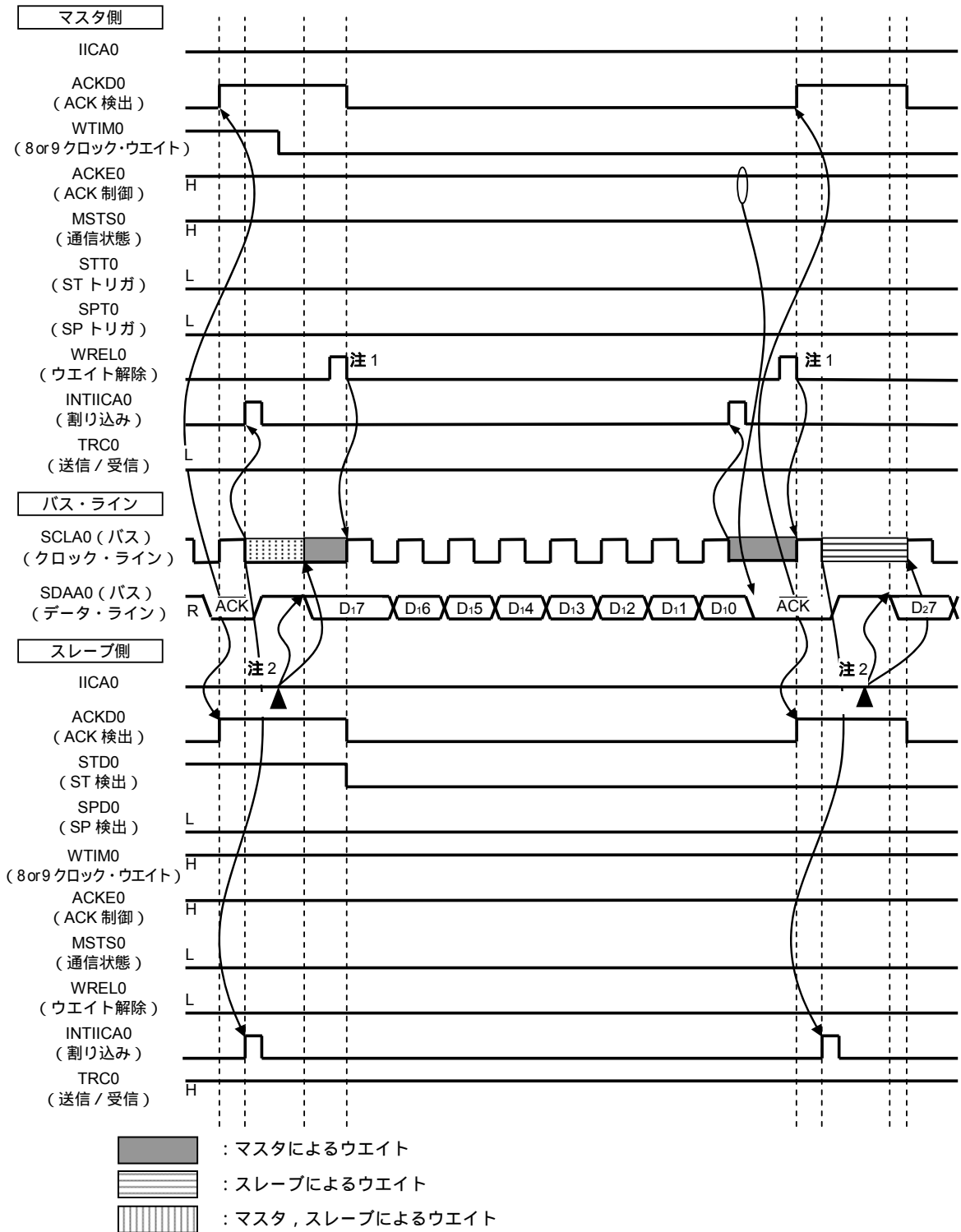
図15 - 33 (2) アドレス~データ~データでは手順 ~

図15 - 33 (3) データ~データ~ストップ・コンディションでは手順 ~

について説明しています。

図15 - 33 スレーブ マスタ通信例 (マスタ:8クロック,スレーブ:9クロックでウェイト選択時) (2/3)

(2) アドレス~データ~データ



注1. マスタ側での受信時のウェイト解除は、IICA0 FFHまたはWREL0ビットのセットのどちらかで行ってください。

2. スレーブ側での送信時のウェイト解除は、WREL0ビットのセットではなく、IICA0へのデータ書き込みで行ってください。

図15 - 33 (2) アドレス～データ～データの ~ の説明を次に示します。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD0 = 1) されます。

9クロック目の立ち下がりで、マスタ側の割り込み (INTIICA0: アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA0: アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側によるウェイト (SCLA0 = 0) がかけられます[※]。

マスタ側のウェイト・タイミングを8クロック目に (WTIM0 = 0) に変更します。

スレーブ側がIICAシフト・レジスタ0 (IICA0) に送信データを書き込み、スレーブ側によるウェイトを解除します。

マスタ側がウェイトを解除 (WREL0 = 1) して、スレーブ側はデータ転送を開始します。

8クロック目の立ち下がりで、マスタ側によるウェイト (SCLA0 = 0) がかけられ、マスタ側の割り込み (INTIICA0: 転送完了割り込み) が発生し、マスタ側のハードウェアよりACKがスレーブ側へ送信されます。

マスタ側は受信したデータを読み出して、ウェイトを解除 (WREL0 = 1) します。

9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKD0 = 1) されます。

9クロック目の立ち下がりで、スレーブ側によるウェイト (SCLA0 = 0) がかけられ、スレーブ側は割り込み (INTIICA0: 転送完了割り込み) が発生します。

スレーブ側のIICA0レジスタに送信データを書き込むと、スレーブ側のウェイトが解除され、スレーブ マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK: SDAA0 = 1)。また、スレーブ側のINTIICA0割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウェイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA0割り込み (アドレス送信完了割り込み) が発生します。

備考 図15 - 33の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図15 - 33 (1) スタート・コンディション～アドレス～データでは手順 ~

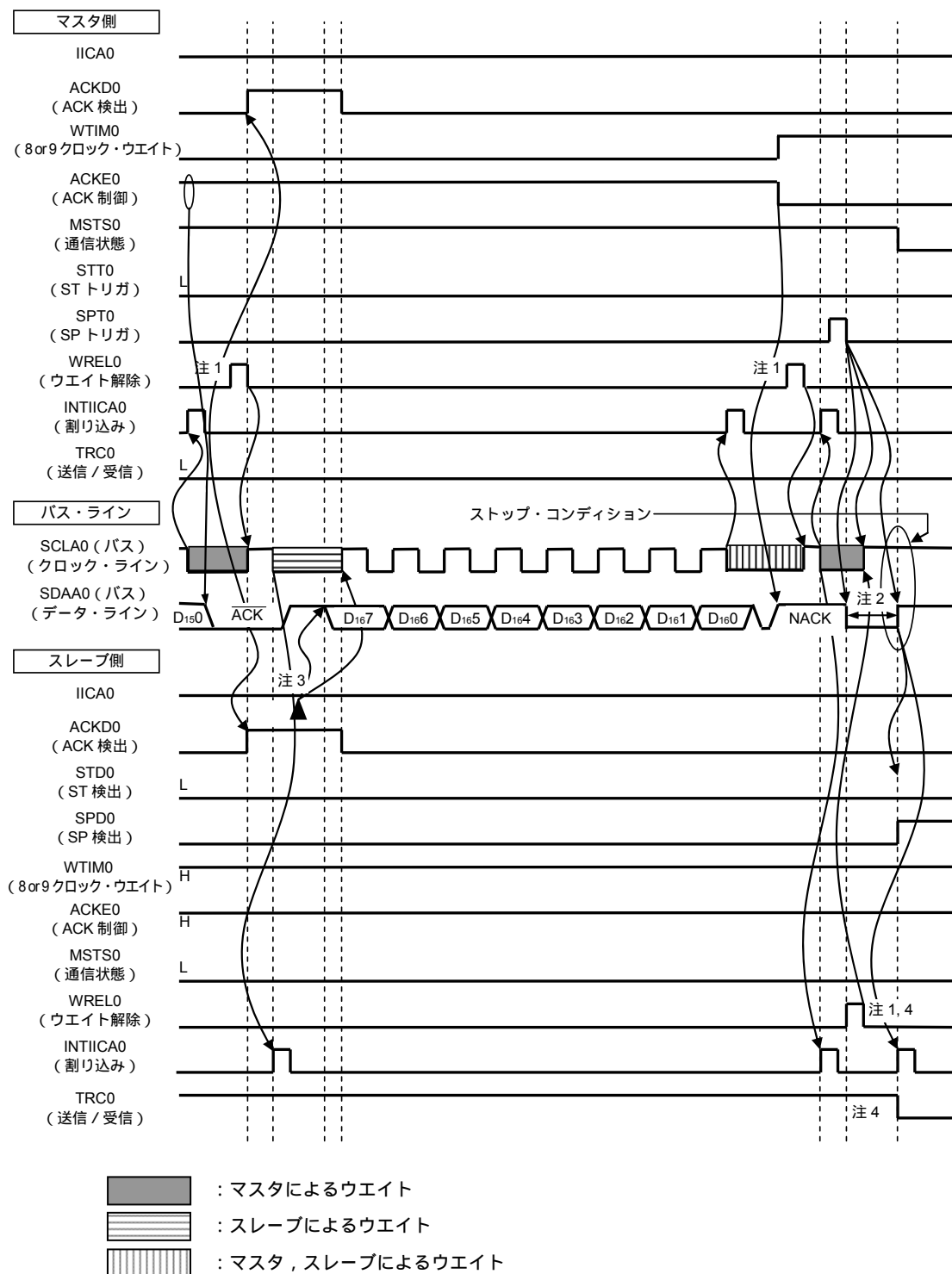
図15 - 33 (2) アドレス～データ～データでは手順 ~

図15 - 33 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図15 - 33 スレーブ マスタ通信例 (マスタ:8 9クロック, スレーブ:9クロックでウエイト選択時) (3/3)

(3) データ~データ~ストップ・コンディション



- 注1. ウエイト解除は、IICA0 FFHまたはWRELOビットのセットのどちらかで行ってください。
2. ストップ・コンディションの発行後、SCLA0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
3. スレーブ側での送信時のウエイト解除は、WRELOビットのセットではなく、IICA0へのデータ書き込みで行ってください。
4. スレーブ側での送信時のウエイトをWRELOビットのセットで解除すると、TRC0ビットはクリアされます。

図15 - 33 (3) データ~データ~ストップ・コンディションの ~ の説明を次に示します。

8クロック目の立ち下がりで、マスタ側によるウェイト (SCLA0 = 0) がかかり、マスタ側の割り込み (INTIICA0: 転送完了割り込み) が発生し、マスタ側のハードウェアよりACKがスレーブ側へ送信されます。

マスタ側は受信したデータを読み出して、ウェイトを解除 (WREL0 = 1) します。

9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKD0 = 1) されます。

9クロック目の立ち下がりで、スレーブ側によるウェイト (SCLA0 = 0) がかかり、スレーブ側は割り込み (INTIICA0: 転送完了割り込み) が発生します。

スレーブ側のIICAシフト・レジスタ0 (IICA0) に送信データを書き込むと、スレーブ側のウェイトが解除され、スレーブ マスタにデータ転送を開始します。

8クロック目の立ち下がりで、マスタ側の割り込み (INTIICA0: 転送完了割り込み) が発生し、マスタ側によるウェイト (SCLA0 = 0) がかかります。ACK制御 (ACKE0 = 1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDAA0 = 0) となります。

マスタ側はNACK応答に設定 (ACKE0 = 0) し、ウェイト・タイミングを9クロック目ウェイトに変更します。

マスタ側がウェイトを解除 (WREL0 = 1) すると、スレーブ側は9クロック目の立ち上がりでNACKを検出 (ACK = 0) します。

9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCLA0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA0: 転送完了割り込み) が発生します。

マスタ側でストップ・コンディション発行 (SPT0 = 1) すると、バス・データ・ラインがクリア (SDAA0 = 0) され、マスタ側のウェイトが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCLA0 = 1) されるまで待機します。

スレーブ側はNACKを確認して、送信を止めて通信を完了するためにウェイトを解除 (WREL0 = 1) します。スレーブによるウェイトが解除されると、バス・クロック・ラインがセット (SCLA0 = 1) されます。

マスタ側はバス・クロック・ラインがセット (SCLA0 = 1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDAA0 = 1) してストップ・コンディション (SCLA0 = 1でSDAA0 = 0 1) を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICA0: ストップ・コンディション割り込み) が発生します。

備考 図15 - 33の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図15 - 33 (1) スタート・コンディション~アドレス~データでは手順 ~

図15 - 33 (2) アドレス~データ~データでは手順 ~

図15 - 33 (3) データ~データ~ストップ・コンディションでは手順 ~

について説明しています。

第16章 乗除積和算器

16.1 乗除積和算器の機能

乗除積和算器には、次のような機能があります。

- ・ 16ビット×16ビット = 32ビット (符号なし)
- ・ 16ビット×16ビット = 32ビット (符号付)
- ・ 16ビット×16ビット+32ビット = 32ビット (符号付)
- ・ 16ビット×16ビット+32ビット = 32ビット (符号なし)
- ・ 32ビット÷32ビット = 32ビット 剰余32ビット (符号なし)

16.2 乗除積和算器の構成

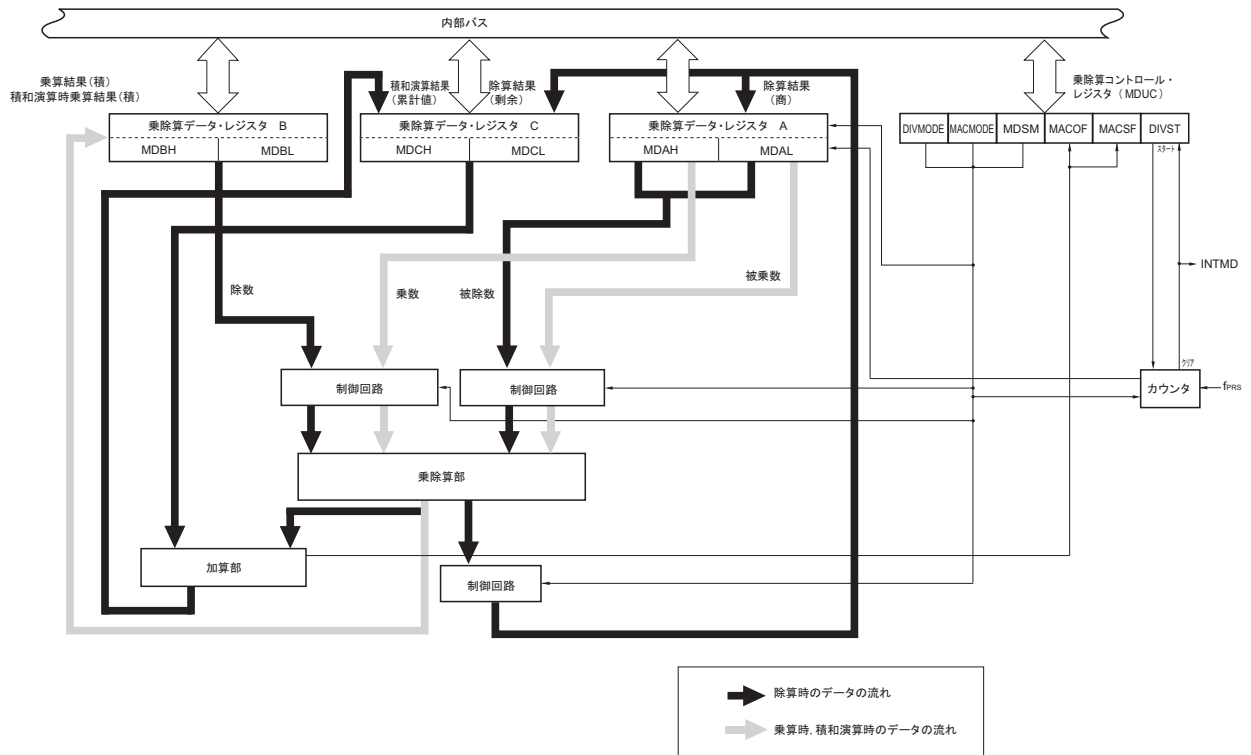
乗除積和算器は、次のハードウェアで構成されています。

表16 - 1 乗除積和算器の構成

項 目	構 成
レジスタ	乗除算データ・レジスタA (L) (MDAL) 乗除算データ・レジスタA (H) (MDAH) 乗除算データ・レジスタB (L) (MDBL) 乗除算データ・レジスタB (H) (MDBH) 乗除算データ・レジスタC (L) (MDCL) 乗除算データ・レジスタC (H) (MDCH)
制御レジスタ	乗除算コントロール・レジスタ (MDUC)

乗除積和算器のブロック図を図16 - 1に示します。

図16 - 1 乗除積和算器のブロック図



(1) 乗除算データ・レジスタ (MDAH, MDAL)

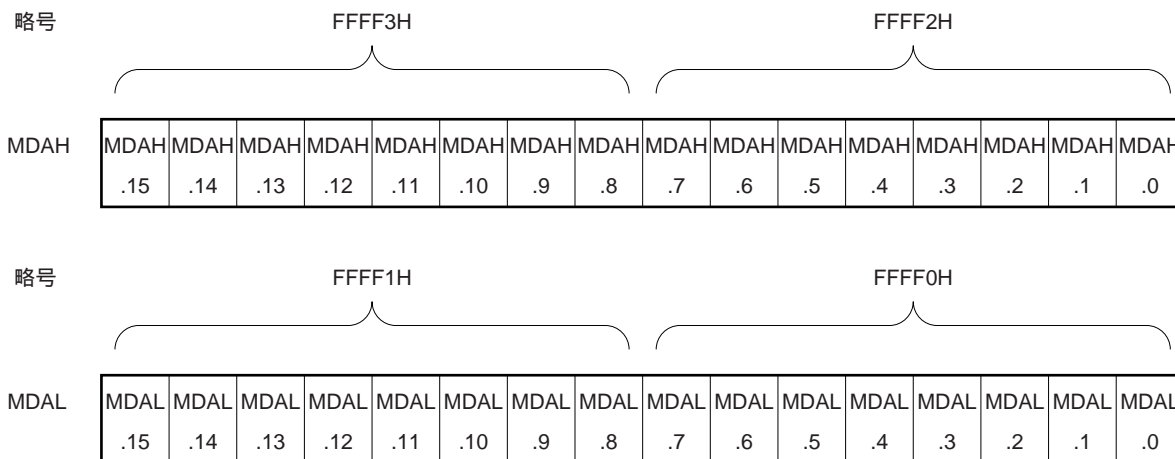
MDAH, MDALレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時および積和演算モード時は乗数と被乗数データを設定し、除算モード時は被除数データを設定します。また、除算モード時は演算結果(商)がMDAH, MDALレジスタに格納されます。

MDAH, MDALレジスタは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図16 - 2 乗除算データ・レジスタ (MDAH, MDAL) のフォーマット

アドレス : FFFF0H, FFFF1H, FFFF2H, FFFF3H リセット時 : 0000H, 0000H R/W



注意1. 除算演算処理中(乗除算コントロール・レジスタ(MDUC)が81H, C1Hのとき)に,MDAH, MDALレジスタの値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定値となります。

2. 除算演算処理中(MDUCレジスタが81H, C1Hのとき)にMDAH, MDALレジスタの値を読み出した場合、その値は保証しません。

3. 乗算モード(符号付)、積和演算モード(符号付)の場合、データは2の補数形式になります。

MDAH, MDALレジスタの演算実行時の機能を次に示します。

表16 - 2 MDAH, MDALレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード(符号なし) 積和演算モード(符号なし)	MDAH: 乗数(符号なし) MDAL: 被乗数(符号なし)	-
乗算モード(符号付) 積和演算モード(符号付)	MDAH: 乗数(符号付) MDAL: 被乗数(符号付)	-
除算モード(符号なし)	MDAH: 被除数(符号なし) (上位16ビット) MDAL: 被除数(符号なし) (下位16ビット)	MDAH: 除算結果(商)(符号なし) 上位16ビット MDAL: 除算結果(商)(符号なし) 下位16ビット

(2) 乗除算データ・レジスタB (MDBL, MDBH)

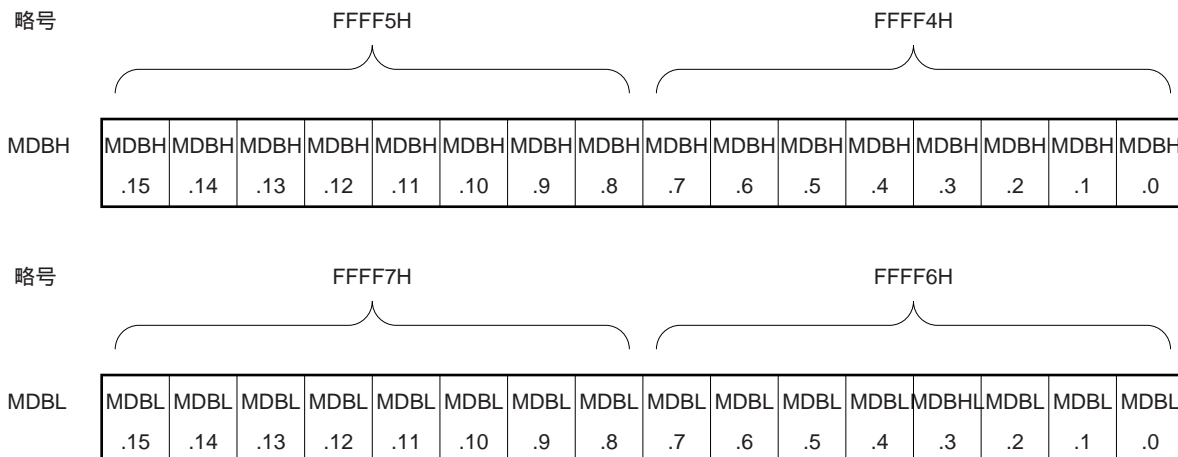
MDBH, MDBLレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モードおよび積和演算モード時は演算結果（積）を格納し、除算モード時は除数データを設定します。

MDBH, MDBLレジスタは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図16 - 3 乗除算データ・レジスタB (MDBH, MDBL) のフォーマット

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H リセット時：0000H, 0000H R/W



- 注意1. 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81H, C1Hのとき）または積和演算処理中（MDUCレジスタが41H, 49Hのとき）に、MDBH, MDBLレジスタの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。
2. 除算モード時は、MDBH, MDBLレジスタに0000Hを設定しないでください。設定した場合、演算結果が不定値となります。
 3. 乗算モード（符号付）、積和演算モード（符号付）の場合、データは2の補数形式になります。

MDBH, MDBLレジスタの演算実行時の機能を次に示します。

表16 - 3 MDBH, MDBLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	-	MDBH：乗算結果（積）（符号なし）上位16ビット MDBL：乗算結果（積）（符号なし）下位16ビット
乗算モード（符号付） 積和演算モード（符号付）	-	MDBH：乗算結果（積）（符号付）上位16ビット MDBL：乗算結果（積）（符号付）下位16ビット
除算モード	MDBH：除数（上位16ビット） MDBL：除数（下位16ビット）	-

(3) 乗除算データ・レジスタC (MDCL, MDCH)

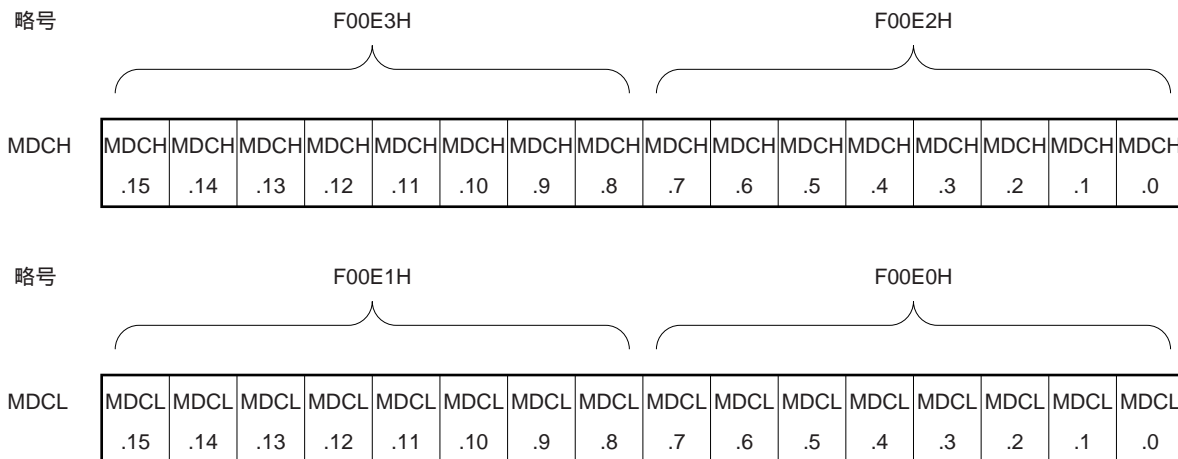
MDCH, MDCLレジスタは、積和演算モード時は累計結果の値を格納し、除算モード時は演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLレジスタは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図16 - 4 乗除算データ・レジスタC (MDCH, MDCL) のフォーマット

アドレス : F00E0H, F00E1H, F00E2H, F00E3H リセット時 : 0000H, 0000H R/W



- 注意1. 除算演算処理中(乗除算コントロール・レジスタ(MDUC)が81H, C1Hのとき)に, MDCH, MDCLレジスタの値を読み出した場合, その値は保証されません。
2. 積和演算処理中 (MDUCレジスタが41H, 49Hのとき) に, MDCH, MDCLレジスタの値をソフトウェアで書き換えないでください。演算結果は不定値となります。
3. 積和演算モード (符号付) の場合, データは2の補数形式になります。

表16 - 4 MDCH, MDCLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード (符号付 / 符号なし)	-	-
積和演算モード (符号なし)	MDCH : 累計初期値 (符号なし) (上位16ビット) MDCL : 累計初期値 (符号なし) (下位16ビット)	MDCH : 累計値 (符号なし) (上位16ビット) MDCL : 累計値 (符号なし) (下位16ビット)
積和演算モード (符号付)	MDCH : 累計初期値 (符号付) (上位16ビット) MDCL : 累計初期値 (符号付) (下位16ビット)	MDCH : 累計値 (符号付) (上位16ビット) MDCL : 累計値 (符号付) (下位16ビット)
除算モード	-	MDCH : 剰余 (上位16ビット) MDCL : 剰余 (下位16ビット)

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

$$\begin{array}{ccc} \text{< 乗数A >} & \text{< 乗数B >} & \text{< 積 >} \\ \text{MDAL (ビット15-0)} \times \text{MDAH (ビット15-0)} = & \text{[MDBH (ビット15-0), MDBL (ビット15-0)]} \end{array}$$

・積和演算時のレジスタ構成

$$\begin{array}{ccc} \text{< 乗数A >} & \text{< 乗数B >} & \text{< 累計値 >} \\ \text{MDAL (ビット15-0)} \times \text{MDAH (ビット15-0)} + \text{MDC (ビット31-0)} = \\ \text{< 累計結果 >} \\ \text{[MDCH (ビット15-0), MDCL (ビット15-0)]} \\ \text{(MDBH (ビット15-0), MDBL (ビット15-0) には乗算結果が格納されます。)} \end{array}$$

・除算時のレジスタ構成

$$\begin{array}{ccc} \text{< 被除数 >} & & \text{< 除数 >} \\ \text{[MDAH (ビット15-0), MDAL (ビット15-0)]} \div \text{[MDBH (ビット15-0), MDBL (ビット15-0)]} = \\ \text{< 商 >} & & \text{< 剰余 >} \\ \text{[MDAH (ビット15-0), MDAL (ビット15-0)]} \dots \text{[MDCH (ビット15-0), MDCL (ビット15-0)]} \end{array}$$

16.3 乗除積和算器を制御するレジスタ

乗除積和算器は、乗除算コントロール・レジスタ (MDUC) で制御します。

(1) 乗除算コントロール・レジスタ (MDUC)

MDUCレジスタは、乗除積和算器の動作を制御する8ビット・レジスタです。

MDUCレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図16-5 乗除算コントロール・レジスタ (MDUC) のフォーマット

アドレス：F00E8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	MACMODE	0	0	MDSM	MACOF ^{注1}	MACSF	DIVST

DIVMODE	MACMODE	MDSM	演算モードの選択
0	0	0	乗算モード (符号なし) (デフォルト)
0	0	1	乗算モード (符号付)
0	1	0	積和演算モード (符号なし)
0	1	1	積和演算モード (符号付)
1	0	0	除算モード (符号なし), 除算完了割り込み (INTMD発生/なし)
1	1	0	除算モード (符号なし), 除算完了割り込み (INTMDなし)
上記以外			設定禁止

MACOF ^{注1}	積和演算結果 (累計値) のオーバーフロー・フラグ
0	オーバーフローなし
1	オーバーフローあり
[セット条件]	
・ 積和演算モード (符号なし) の場合 累計値が00000000h-FFFFFFFFhを超える場合	
・ 積和演算モード (符号付) の場合 正の累計値に正の積を加算した結果が7FFFFFFFhを越え結果が負となる場合 負の累計値に負の積を加算した結果が80000000hを越え結果が正となる場合	

MACSF	積和演算結果 (累計値) のサイン・フラグ
0	累計値が正
1	累計値が負
積和演算モード (符号なし) の場合：常に0 積和演算モード (符号付) の場合：累計値の符号ビットを表示	

DIVST ^{注2}	除算演算動作の開始 / 停止
0	除算演算処理完了
1	除算演算開始 / 除算演算処理中

- 注1. MACOFビットはリード・オンリーです。
2. DIVSTビットは除算モード時にのみセット(1)可能です。除算モード時, DIVSTビットをセット(1)すると除算演算動作を開始します。演算終了後は自動的にDIVSTビットがクリア(0)されます。乗算モード時は, 乗除算データ・レジスタA (MDAH, MDAL) に乗数, 被乗数を設定することにより自動的に演算が開始されます。

- 注意1. 演算処理中(DIVSTビットが1のとき)に, DIVMODE, MDSMビットを書き換えしないでください。書き換えた場合, 演算結果が不定値となります。
2. 除算演算処理中(DIVSTビットが1のとき)にDIVSTビットをソフトウェアでクリア(0)することはできません。

16.4 乗除積和算器の動作

16.4.1 乗算（符号なし）動作

・初期設定

乗除算コントロール・レジスタ（MDUC）を00Hにする。

乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（ ， のセットの順はどちらが先でも問題ありません。MDAH, MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

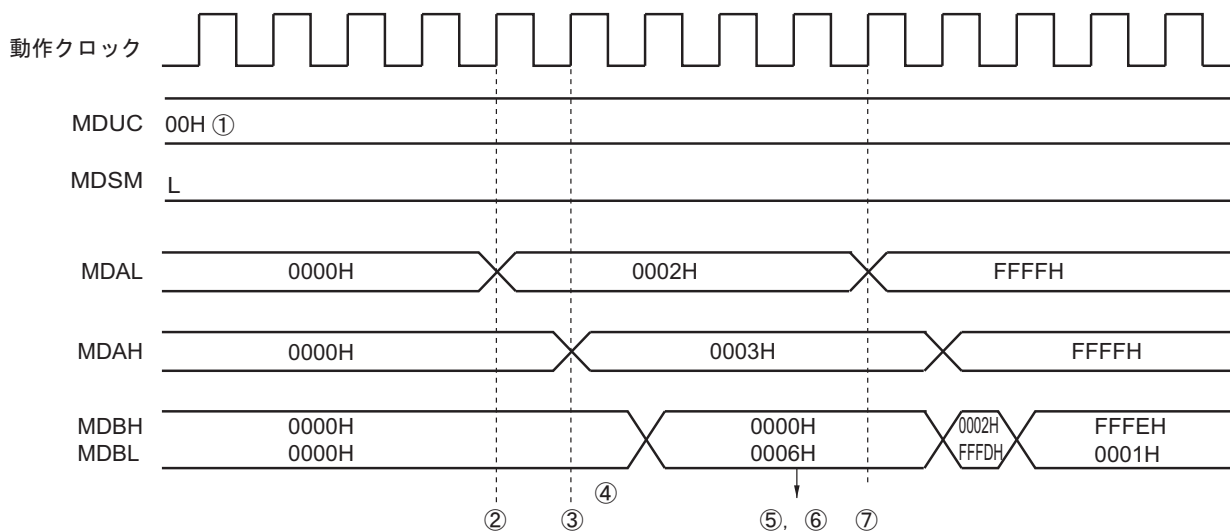
（ ， の読み出しの順はどちらが先でも問題ありません。）

・次回演算

次に乗算，除算，積和演算を行う場合は，各動作手順の初期設定から行ってください。

備考 手順の ~ は，図16 - 6の ~ に対応しています。

図16 - 6 乗算（符号なし）動作のタイミング図（ $2 \times 3 = 6$ ）



16.4.2 乗算（符号付）動作

・初期設定

乗除算コントロール・レジスタ（MDUC）を08Hにする。

乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（ ， のセットの順はどちらが先でも問題ありません。MDAH, MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（ ， の読み出しの順はどちらが先でも問題ありません。）

・次回演算

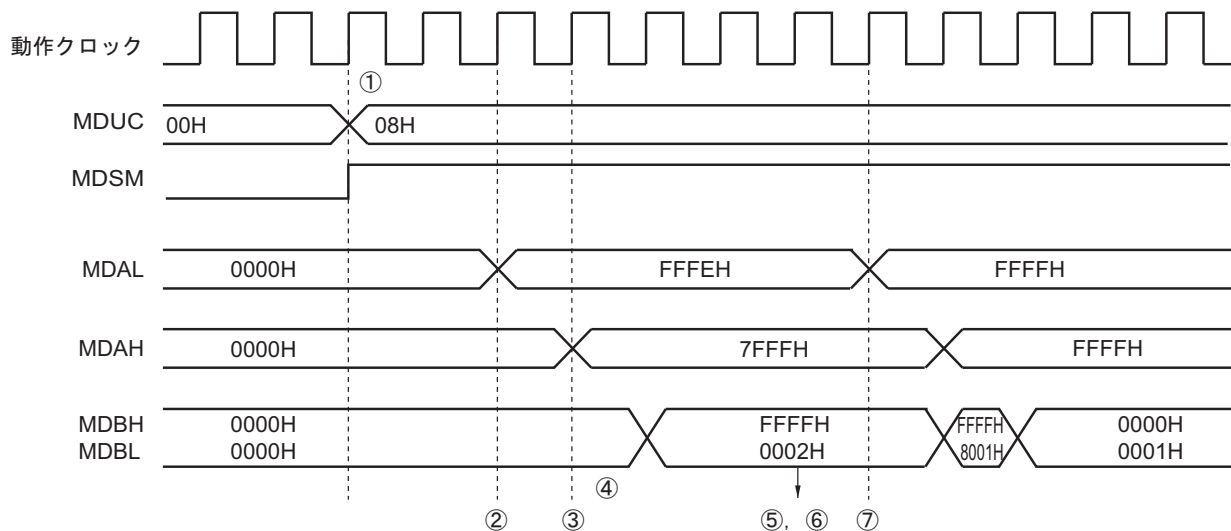
次に乗算（符号付）を行う場合は，乗算（符号付）動作の「初期設定」から行ってください。

次に乗算（符号なし），積和演算（符号付 / 符号なし），除算を行う場合は，各動作手順の初期設定から行ってください。

注意 乗算モード（符号付）の場合，データは2の補数形式になります。

備考 手順の ~ は，図16-7の ~ に対応しています。

図16-7 乗算（符号付）動作のタイミング図（ $-2 \times 32767 = -65534$ ）



16.4.3 積和演算（符号なし）動作

・初期設定

乗除算コントロール・レジスタ（MDUC）を40Hにする。

乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（ ， または ， のセットの順はどちらが先でも問題ありません。MDAH, MDALレジスタに乗数, 被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL）, 乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

からさらに1クロックで, 積和演算が終了します(初期設定完了()からは ,2クロック以上ウエイト)。

・演算終了

乗除算データ・レジスタC（L）（MDCL）から累計値（下位16ビット）を読み出します。

乗除算データ・レジスタC（H）（MDCH）から累計値（上位16ビット）を読み出します。

（ ， の読み出しの順はどちらが先でも問題ありません。）

（ 積和演算結果がオーバーフローしている場合は, MACOFビットが1にセットされ, MDCH, MDCLレジスタに0000Hが格納されます。）

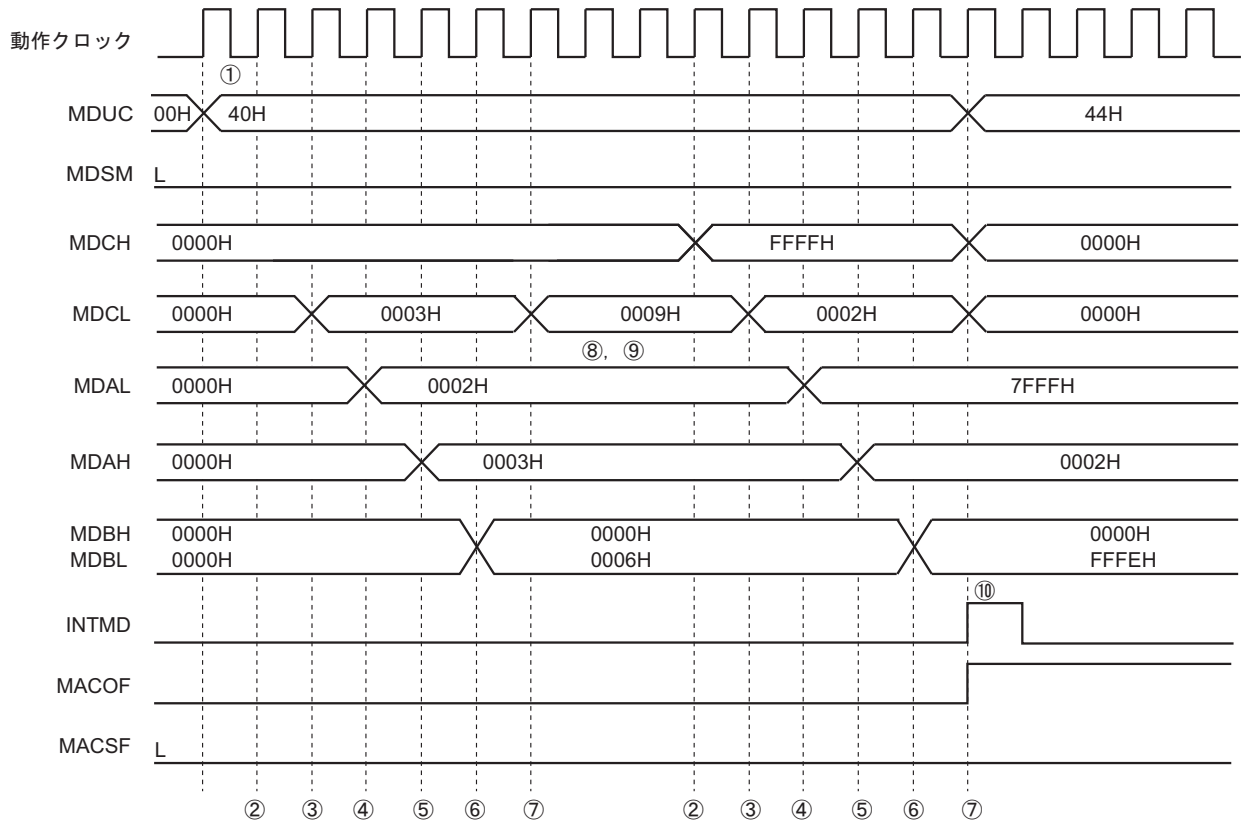
・次回演算

次に積和演算（符号なし）を行う場合は, 積和演算（符号なし）動作の「初期設定」から行ってください。

次に乗算（符号付 / 符号なし）, 積和演算（符号付）, 除算を行う場合は, 各動作手順の初期設定から行ってください。

備考 手順の ~ は, 図16-8の ~ に対応しています。

図16 - 8 積和演算 (符号なし) 動作のタイミング図
 ($2 \times 3 + 3 = 9$ $32767 \times 2 + 429401762 = 0$ (オーバーフロー発生))



16.4.4 積和演算（符号付）動作

・初期設定

乗除算コントロール・レジスタ（MDUC）を48Hにする。

乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

（ MDCHレジスタの累計値が負の値の場合は，MACSFビットが1にセットされます。）

乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（ ， または ， のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

からさらに1クロックで，積和演算が終了します（初期設定完了（ ）からは，2クロック以上ウエイト）。

・演算終了

MDCL，MDCHレジスタに格納された累計値が正の値の場合は，MACSFビットが0にクリアされます。

MDCLレジスタから累計値（下位16ビット）を読み出します。

MDCHレジスタから累計値（上位16ビット）を読み出します。

（ ， の読み出しの順はどちらが先でも問題ありません。）

・次回演算

次に積和演算（符号付）を行う場合は，積和演算（符号付）動作の「初期設定」から行ってください。

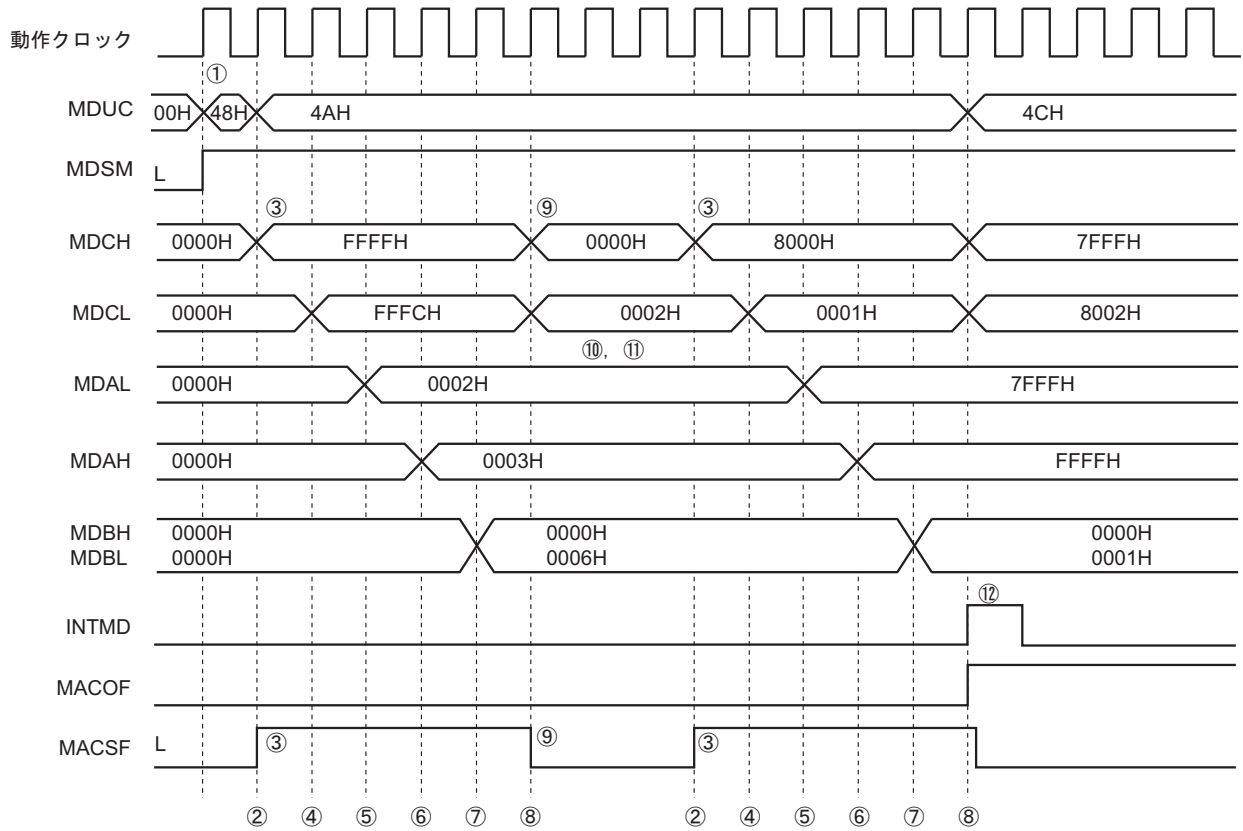
次に乗算（符号付／符号なし），積和演算（符号なし），除算を行う場合は，各動作手順の初期設定から行ってください。

注意 積和演算モード（符号付）の場合，データは2の補数形式になります。

備考 手順の ～ は，図16 - 9の ～ に対応しています。

図16 - 9 積和演算（符号付）動作のタイミング図

$(2 \times 3 + (-4)) = 2$ $32767 \times (-1) + (-2147483647) = -2147450882$ (オーバーフロー発生)



16.4.5 除算動作

・初期設定

乗除算コントロール・レジスタ (MDUC) に80Hをセットする。

乗除算データ・レジスタA (H) (MDAH) に被除数 (上位16ビット) をセット

乗除算データ・レジスタA (L) (MDAL) に被除数 (下位16ビット) をセット

乗除算データ・レジスタB (H) (MDBH) に除数 (上位16ビット) をセット

乗除算データ・レジスタB (L) (MDBL) に除数 (下位16ビット) をセット

MDUCレジスタのビット0 (DIVST) に1をセット

(~ の順はどれからセットしても問題ありません。)

・演算処理中

次のいずれかの処理が完了すれば演算が終了します。

・ 16クロック以上ウエイト (16クロックで演算は終了します。)

・ DIVSTビットがクリアされたことを確認

(演算処理中のMDBL, MDBH, MDCL, MDCHレジスタのリード値は保証しません。)

・演算終了

DIVSTビットがクリア (0) され、演算が終了します。このとき、MACMODE = 0での演算なら、割り込み要求信号 (INTMD) が発生します。

MDALレジスタから商 (下位16ビット) を読み出します。

MDAHレジスタから商 (上位16ビット) を読み出します。

乗除算データ・レジスタC (L) (MDCL) から剰余 (下位16ビット) を読み出します。

乗除算データ・レジスタC (H) (MDCH) から剰余 (上位16ビット) を読み出します。

(~ の順はどれから読み出しても問題ありません。)

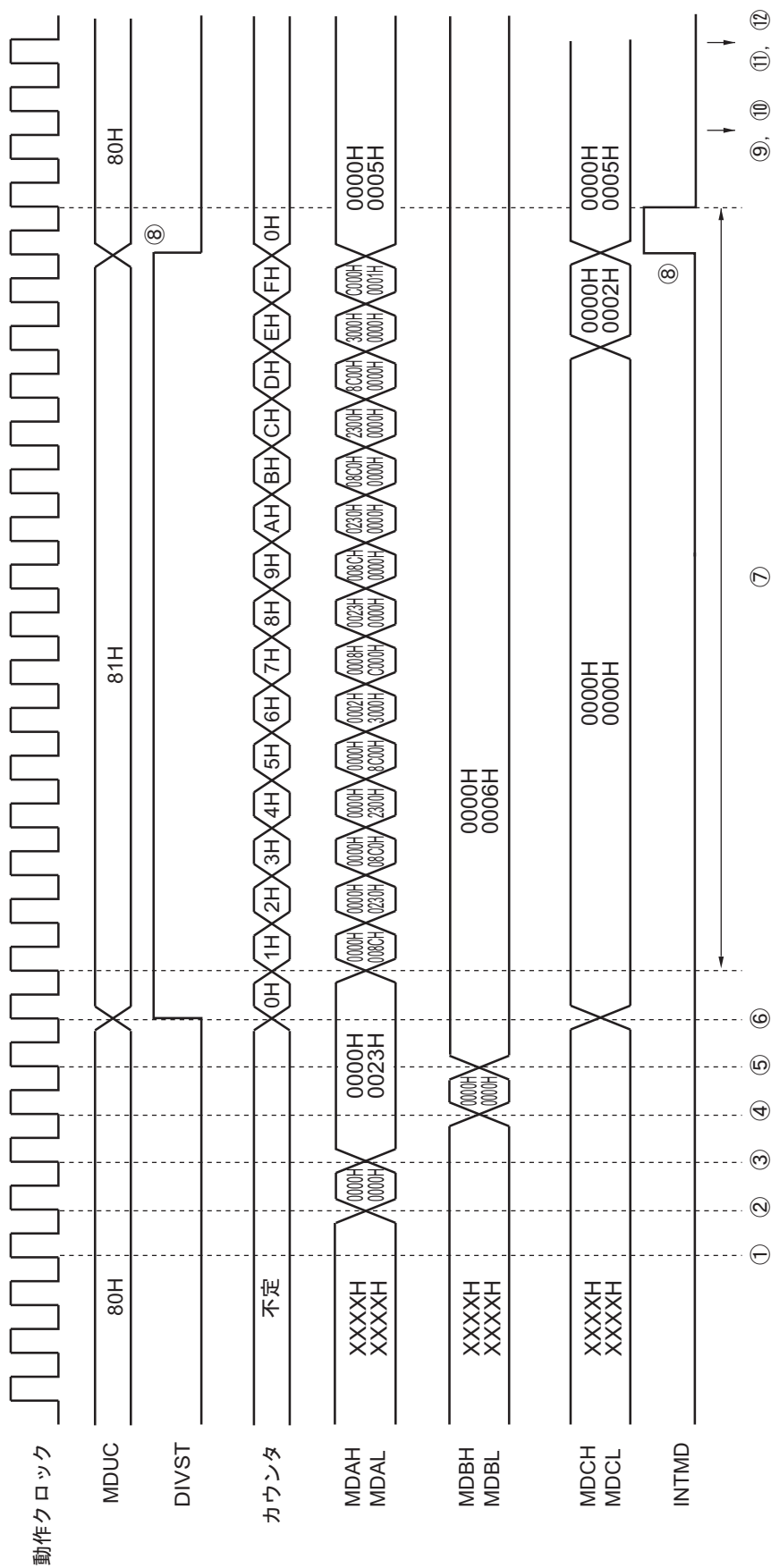
・次回演算

次に乗算, 除算, 積和演算を行う場合は, 各動作手順の初期設定から行ってください。

次に乗算 (符号付 / 符号なし), 積和演算 (符号付 / 符号なし) を行う場合は, 各動作手順の初期設定から行ってください。

備考 手順の ~ は, 図16 - 10の ~ に対応しています。

図16 - 10 除算動作のタイミング図 (例 : 35 ÷ 6 = 5 余5)



第17章 DMAコントローラ

RL78/F12は、DMA (Direct Memory Access) コントローラを内蔵しています。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。

これにより、SFR 内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したりリアルタイム制御も実現できます。

17.1 DMAコントローラの機能

DMAチャンネル数：2チャンネル

転送単位：8ビット / 16ビット

最大転送単位：1024回

転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）

転送モード：シングル転送モード

転送要求：以下の周辺ハードウェア割り込みから選択

- ・ A/Dコンバータ
- ・ シリアル・インタフェース
(CSIS0, CSI01, CSI11, CSI20, CSI21, UARTS0, UART1, UART2)
- ・ タイマ (チャンネル0, 1, 2, 3)

転送対象：SFR 内蔵RAM

DMAを使った機能例は、次のようなものが考えられます。

- ・ シリアル・インタフェースの連続転送
- ・ アナログ・データをまとめて転送
- ・ 一定時間ごとにA/Dの変換結果を取り込む
- ・ 一定時間ごとにポートの値を取り込む

17.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

表17 - 1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	・ DMA SFRアドレス・レジスタ0, 1 (DSA0, DSA1) ・ DMA RAMアドレス・レジスタ0, 1 (DRA0, DRA1)
カウント・レジスタ	・ DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1)
制御レジスタ	・ DMAモード・コントロール・レジスタ0, 1 (DMC0, DMC1) ・ DMA動作コントロール・レジスタ0, 1 (DRC0, DRC1)

(1) DMA SFRアドレス・レジスタ_n (DSA_n)

DMAチャンネル_nの転送元 / 転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください。

このレジスタは自動的にインクリメント動作せず、固定値となります。

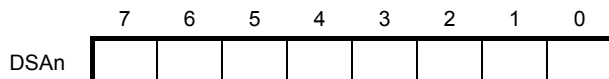
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DSA_nレジスタは8ビット単位でリード / ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、00Hになります。

図17 - 1 DMA SFRアドレス・レジスタ_n (DSA_n) のフォーマット

アドレス : FFFB0H (DSA0), FFFB1H (DSA1) リセット時 : 00H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA RAMアドレス・レジスタ_n (DRAn)

DMAチャンネル_nの転送先 / 転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域 (R5F1096A, R5F109AA, R5F109BA, R5F109LAでは , FFB00H-FFEDFH) のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

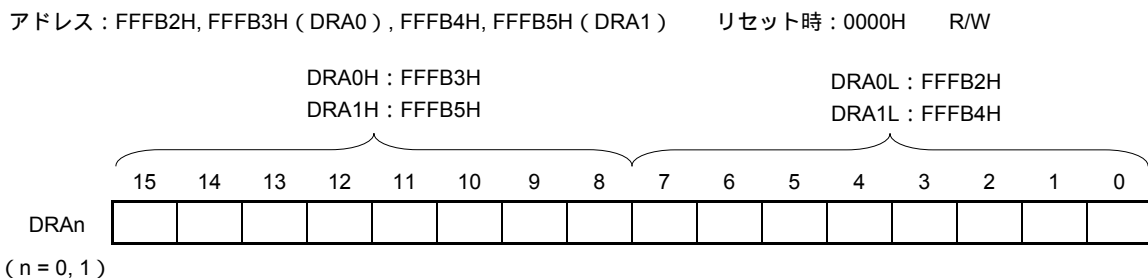
このレジスタはDMA転送が始まると、自動的にインクリメントされます。8ビット転送モード時には+1され、16ビット転送モード時には+2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し、最終アドレスまで転送し終わると、DRAnレジスタは8ビット転送モード時には最終アドレス+1、16ビット転送モード時には最終アドレス+2になって停止します。

16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DRAnレジスタは8/16ビット単位でリード / ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図17 - 2 DMA RAMアドレス・レジスタ_n (DRAn) のフォーマット



備考 n : DMAチャンネル番号 (n = 0, 1)

(3) DMAバイト・カウント・レジスタ_n (DBC_n)

DMAチャンネル_nの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBC_nレジスタに連続転送回数を設定してください(最大1024回)。

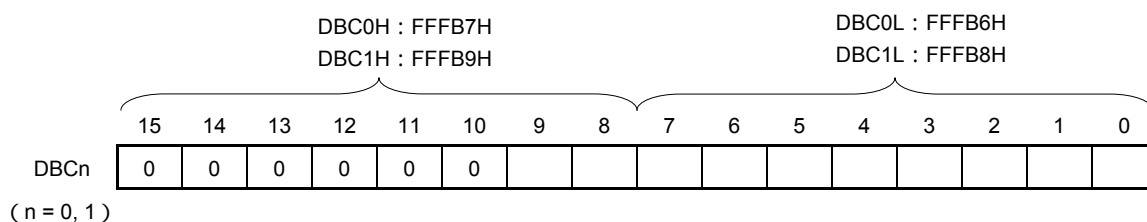
DMA転送が1回実行されるたびに、自動的にデクリメントされます。DMA転送中にこのDBC_nレジスタを読み出すことで、残りの連続転送回数を知ることができます。

DBC_nレジスタは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図17 - 3 DMA バイト・カウント・レジスタ_n (DBC_n) のフォーマット

アドレス : FFFB6H, FFFB7H (DBC0), FFFB8H, FFFB9H (DBC1) リセット時 : 0000H R/W



DBC _n [9:0]	転送回数設定 (DBC _n ライト時)	残りの転送回数 (DBC _n リード時)
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
⋮	⋮	⋮
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

- 注意1. ビット15-10は、必ず0を設定してください。
- 2. 連続転送の結果、汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は、汎用レジスタやSFR空間へ書き込み/読み出しを行って、データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考 n : DMAチャンネル番号 (n = 0, 1)

17.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- ・DMAモード・コントロール・レジスタn (DMCn)
- ・DMA動作コントロール・レジスタn (DRCn)

備考 n : DMAチャネル番号 (n = 0, 1)

(1) DMAモード・コントロール・レジスタ_n (DMC_n)

DMC_nレジスタは、DMAチャンネル_nの転送モード設定レジスタです。転送方向、データ・サイズ、保留設定、起動要因の選択を行います。ビット7 (STG_n) はDMA起動のソフトウェア・トリガとなります。

DMC_nレジスタのビット6, 5, 3-0は、動作中 (DST_n = 1のとき) の書き換えは禁止です。

DMC_nレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17 - 4 DMAモード・コントロール・レジスタ_n (DMC_n) のフォーマット (1/2)

アドレス : FFFBAH (DMC0), FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFC _n 3	IFC _n 2	IFC _n 1	IFC _n 0

STG _n ^{注1}	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DEN _n = 1) 時に、DMA転送を開始する
DMA動作許可 (DEN _n = 1) 時に、STG _n ビットに1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRS _n	DMA転送方向の選択
0	SFR 内蔵RAM
1	内蔵RAM SFR

DS _n	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAIT _n ^{注2}	DMA転送の保留
0	DMA起動要求によりDMA転送を行う (保留しない)
1	DMA起動要求が来ても保留する
DWAIT _n ビットの値を1 0にすることで、保留されているDMA転送を開始することができます。 また、DWAIT _n ビットの値を0 1に設定してから、実際に転送が保留されるまでは2クロック必要となります。	

- 注1. ソフトウェア・トリガ (STG_n) は、IFC_n3-IFC_n0ビットの値に関係なく使用できます。
- 2. DMAを2チャンネル以上使用中でDMA転送を保留する場合は、必ず全てのチャンネルのDMAを保留にしてください (DWAIT0 = DWAIT1 = 1)。

備考 n : DMAチャンネル番号 (n = 0, 1)

図17 - 4 DMAモード・コントロール・レジスタ_n (DMC_n) のフォーマット (2/2)

アドレス : FFFBAH (DMC0) , FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFC _{n3}	IFC _{n2}	IFC _{n1}	IFC _{n0}

IFC _n 3	IFC _n 2	IFC _n 1	IFC _n 0	DMA起動要因の選択 ^注	
				トリガ信号	トリガ内容
0	0	0	0	-	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	0	1	INTAD	A/D変換終了割り込み
0	0	1	0	INTTM00	タイマ・チャンネル0のカウント完了またはキャプチャ割り込み
0	0	1	1	INTTM01	タイマ・チャンネル1のカウント完了またはキャプチャ割り込み
0	1	0	0	INTTM02	タイマ・チャンネル2のカウント完了またはキャプチャ割り込み
0	1	0	1	INTTM03	タイマ・チャンネル3のカウント完了またはキャプチャ割り込み
0	1	1	0	INTST0/INTCSI00	UART0送信の転送完了,バッファ空き割り込み / CSI00の転送完了, バッファ空き割り込み
0	1	1	1	INTSR0/INTCSI01	UART0受信の転送完了割り込み / CSI01の転送完了, バッファ空き割り込み
1	0	0	0	INTST1	UART1送信の転送完了, バッファ空き割り込み
1	0	0	1	INTSR1/INTCSI11	UART1受信の転送完了割り込み / CSI11の転送完了, バッファ空き割り込み
1	0	1	0	INTST2/INTCSI20	UART2送信の転送完了, バッファ空き割り込み / CSI20の転送完了, バッファ空き割り込み
1	0	1	1	INTSR2/INTCSI21	UART2受信の転送完了割り込み / CSI21の転送完了, バッファ空き割り込み
上記以外				設定禁止	

注 ソフトウェア・トリガ (STG_n) は, IFC_{n3}-IFC_{n0}ビットの値に関係なく使用できます。

備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA動作コントロール・レジスタn (DRCn)

DRCnレジスタは、DMAチャンネルnの転送許可/禁止を設定するレジスタです。

DRCnレジスタのビット7 (DENn) は、動作中 (DSTn = 1のとき) の書き換えは禁止です。

DRCnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17 - 5 DMA動作コントロール・レジスタn (DRCn) のフォーマット

アドレス : FFFBCH (DRC0), FFFBDH (DRC1) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	<input type="checkbox"/>
DRCn	DENn	0	0	0	0	0	0	DSTn

DENn	DMA動作許可フラグ
0	DMAチャンネルnの動作禁止 (DMAの動作クロック停止)
1	DMAチャンネルnの動作許可

DMA動作許可 (DENn = 1) にしてから、DSTn = 1にすることでDMAトリガ待ち状態になります。

DSTn	DMA転送モード・フラグ
0	DMAチャンネルnのDMA転送終了
1	DMAチャンネルnのDMA転送未終了 (転送中)

DMA動作許可 (DENn = 1) にしてから、DSTn = 1にすることでDMAトリガ待ち状態になります。
 そしてソフトウェア・トリガ (STGn) またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると、DMA転送を開始します。
 その後、DMA転送が終了すると自動的に0にクリアされます。
 DMA転送中に強制終了したい場合は、0を書き込みます。

注意 DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。

DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は17.5.5 ソフトウェアでの強制終了参照)。

備考 n : DMAチャンネル番号 (n = 0, 1)

17.4 DMAコントローラの動作

17.4.1 動作手順

DENn = 1により、DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は、80Hを書き込みます。

DMA SFRアドレス・レジスタn (DSAn), DMA RAMアドレス・レジスタn (DRAn), DMAバイト・カウント・レジスタn (DBCn), DMAモード・コントロール・レジスタn (DMCn) にDMA転送のSFRアドレス, RAMアドレス, 転送回数, 転送モードを設定します。

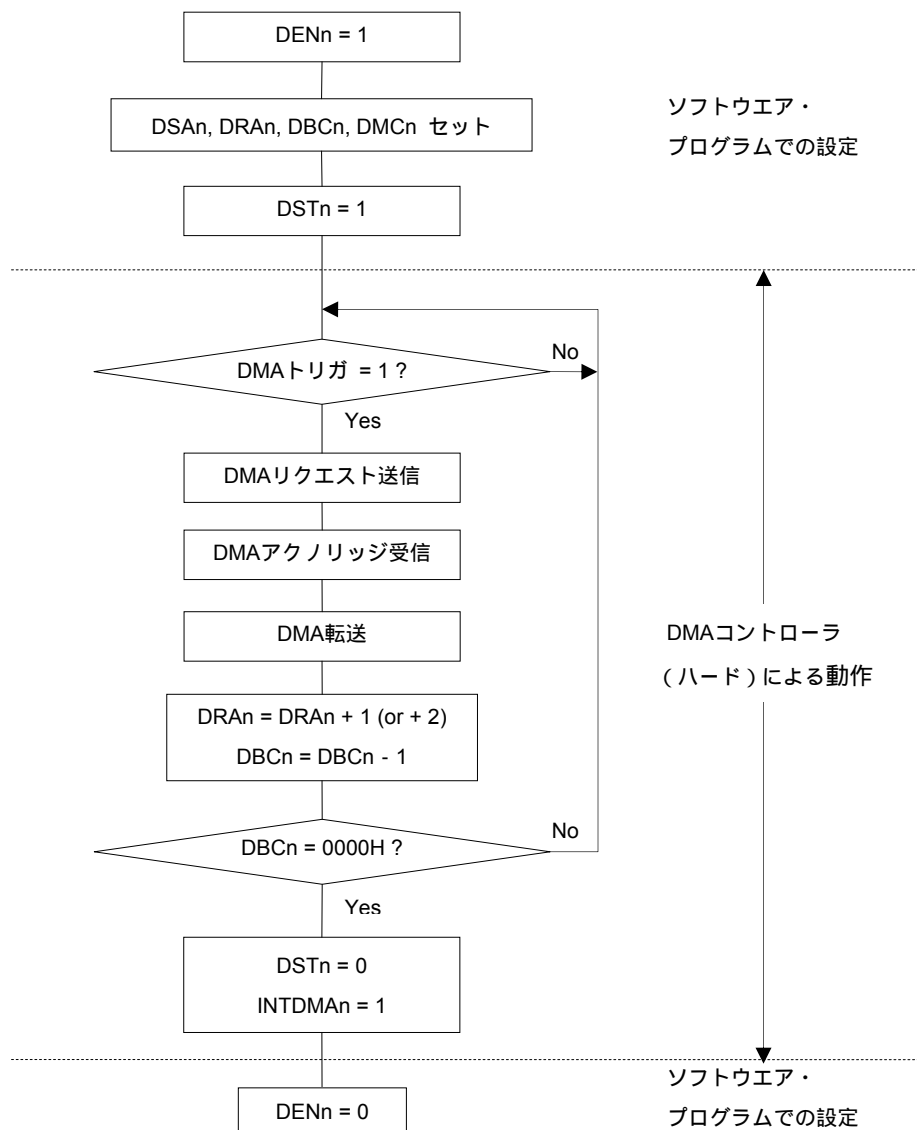
DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は、81Hを書き込みます。

ソフトウェア・トリガ (STGn) またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると、DMA転送を開始します。

DBCnレジスタで設定した転送回数が0になると転送が完了し、割り込み (INTDMAn) の発生により自動的に転送が終了します。

その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図17-6 動作手順



備考 n : DMAチャンネル番号 (n = 0, 1)

17.4.2 転送モード

DMA転送には、DMAモード・コントロール・レジスタ n (DMC n)のビット6, 5 (DRS n , DS n)の設定により、次の4つの転送モードを選択できます。

DRS n	DS n	DMA転送モード
0	0	1バイト・データのSFR (アドレス固定) からRAM (アドレスは+1のインクリメント) への転送
0	1	2バイト・データのSFR (アドレス固定) からRAM (アドレスは+2のインクリメント) への転送
1	0	1バイト・データのRAM (アドレスは+1のインクリメント) からSFR (アドレス固定) への転送
1	1	2バイト・データのRAM (アドレスは+2のインクリメント) からSFR (アドレス固定) への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

17.4.3 DMA転送の終了

DBC n = 00HとなりDMA転送が完了すると、自動的にDST n ビットがクリア (0) されます。そして割り込み要求 (INTDMA n) の発生により転送が終了します。

強制終了するためにDST n ビットをクリア (0) すると、DMAバイト・カウント・レジスタ n (DBC n) と DMA RAMアドレス・レジスタ n (DRAn) は停止したときの値を保持します。

また、強制終了した場合は割り込み要求 (INTDMA n) は発生しません。

備考 n : DMAチャンネル番号 ($n = 0, 1$)

17.5 DMAコントローラの設定例

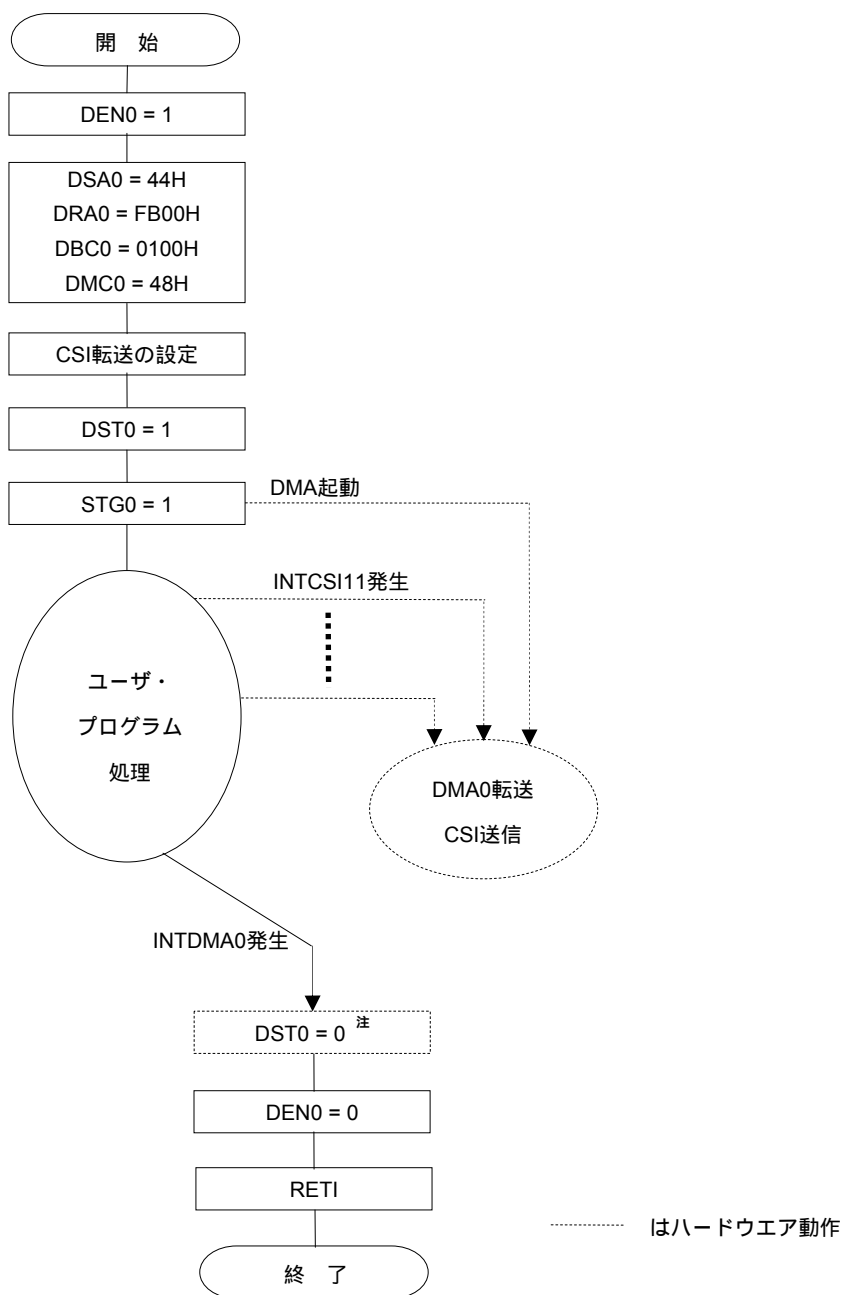
17.5.1 CSI連続送信

CSI連続送信の設定例のフロー・チャートを次に示します。

- ・ CSI11の連続送信 (256バイト)
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因 : INTCSI11 (最初の起動要因のみソフトウェア・トリガ (STG0))
- ・ CSI11の割り込みはIFC03-IFC00 = 1001Bに割り当て
- ・ RAMのFFB00H-FFBFFH (256バイト) をCSIのデータ・レジスタ (SIO11) のFFF46Hに転送

備考 IFC03-IFC00 : DMAモード・コントロール・レジスタ0 (DMC0) のビット3-0

図17 - 7 CSI連続送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。
 DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は17. 5. 5 ソフトウェアでの強制終了参照)。

連続送信の場合は1回目のトリガはCSIの割り込みでは起動されません。この例ではソフトウェア・トリガにて起動しています。

2回目以降のCSI送信は自動的に転送されます。

データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み (INTDMA0) が発生します。

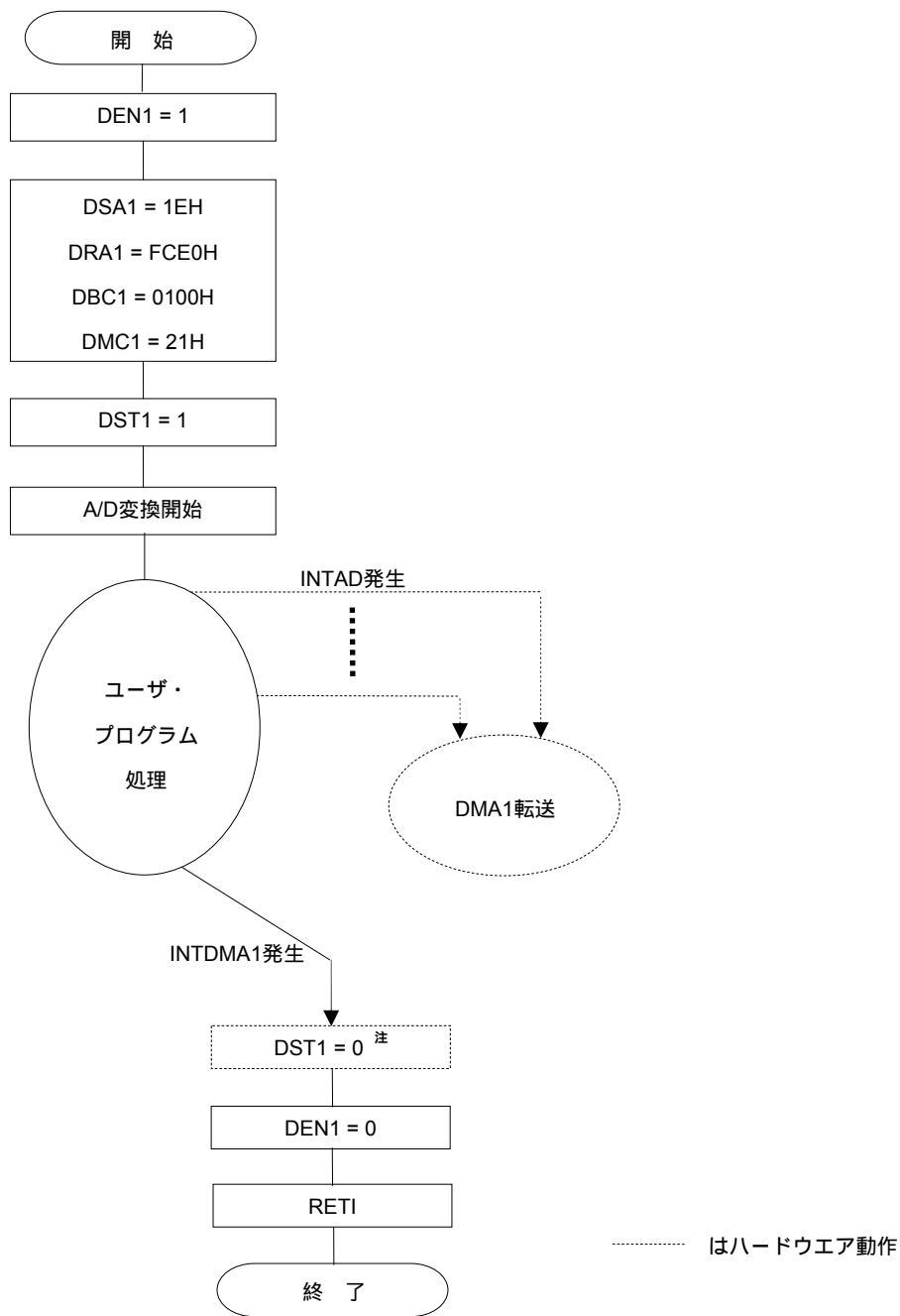
17.5.2 A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- ・ A/D変換結果の連続取り込み
- ・ DMAのチャンネル1をDMA転送に使用
- ・ DMA起動要因：INTAD
- ・ A/Dの割り込みはIFC13-IFC10 = 0001Bに割り当て
- ・ 10ビットA/D変換結果レジスタ (ADCR) のFFF1EHとFFF1FH (2バイト) をRAMのFFCE0H-FFEDFHの512バイトに転送

備考 IFC13-IFC10：DMAモード・コントロール・レジスタ1 (DMC1) のビット3-0

図17 - 8 A/D変換結果の連続取り込みの設定例



注 DST1フラグはDMA転送が終了すると自動的に0にクリアされます。

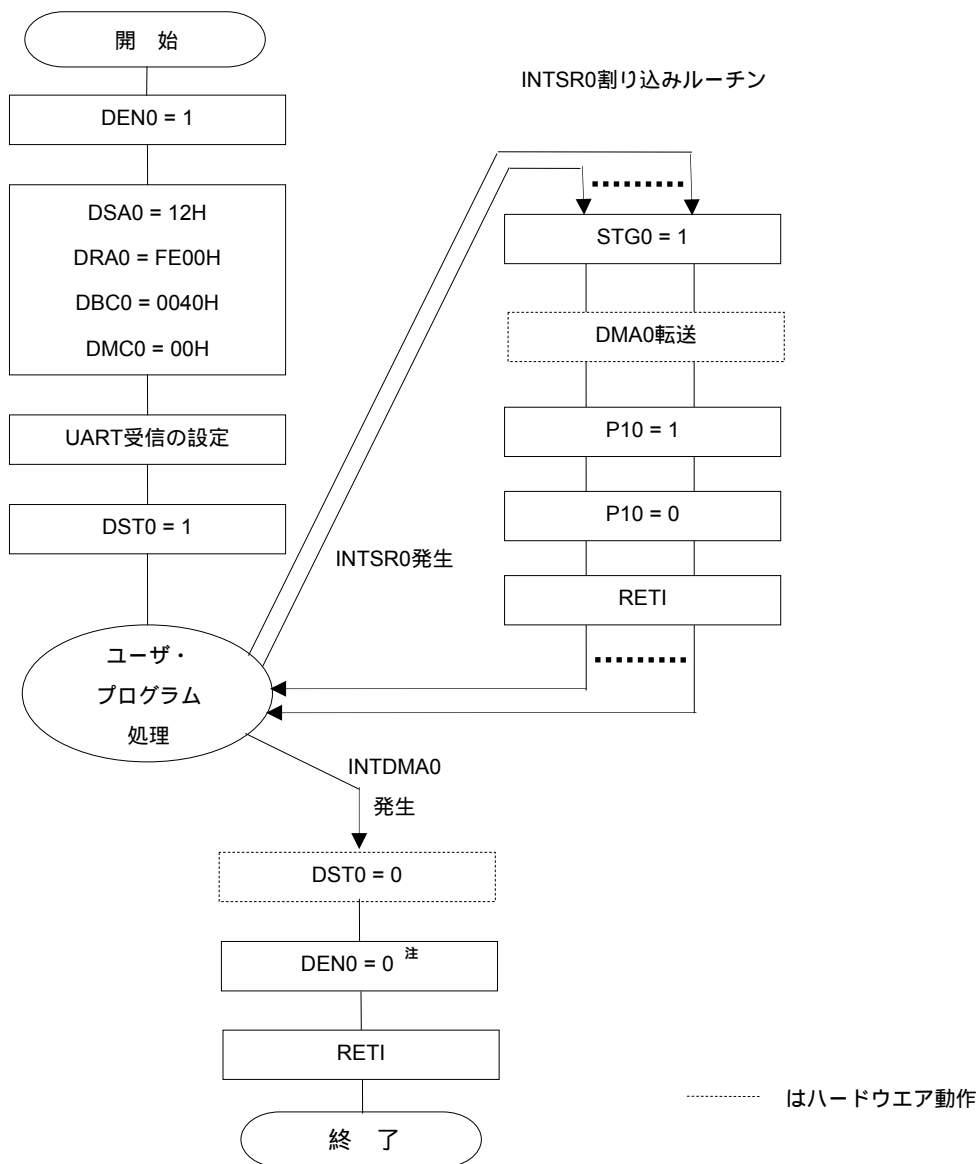
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み (INTDMA1) 発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください (詳細は17. 5. 5 ソフトウェアでの強制終了参照)。

17.5.3 UART連続受信 + ACK送信

UART連続受信 + ACK送信の設定例のフロー・チャートを次に示します。

- ・ UART0の連続受信を行い，P10に受信完了のACKを出力
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因：ソフトウェア・トリガ（割り込みによるDMA転送禁止）
- ・ UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図17 - 9 UART連続受信 + ACK送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は17.5.5 ソフトウェアでの強制終了参照)。

備考 DMA起動要因にソフトウェア・トリガを使用した例です。

ACKを送信せずに、UART連続受信だけであれば、UART受信完了割り込み (INTSR0) をDMA起動要因に設定して、受信することもできます。

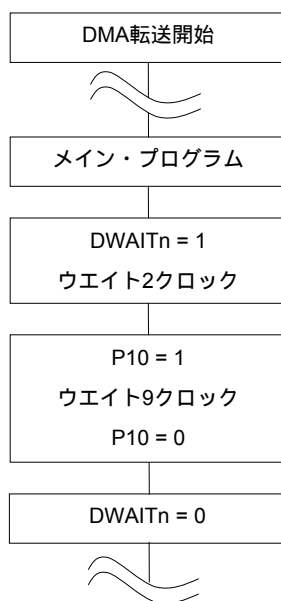
17.5.4 DWAITnビットによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は、保留を解除後に実行されます。ただし、保留できる転送トリガは各チャンネル1つなので、保留中に同一チャンネルの転送トリガが2回以上発生しても、保留解除後に実行されるDMA転送は1回です。

一例として、P10端子より動作周波数の10クロック幅のパルスを入力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後、DMA転送が保留されるまで2クロック必要となります。

図17 - 10 DWAITnビットによるDMA転送保留の設定例



注意 DMAを2チャンネル使用中でDMA転送を保留したい場合は、必ずすべてのチャンネルのDMAを保留にしてください (DWAIT0 = DWAIT1 = 1)。他チャンネルのDMAが保留中に1つのチャンネルのDMA転送が実行されると、その他のチャンネルも保留されない場合があります。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

17.5.5 ソフトウェアでの強制終了

ソフトウェアでDSTn = 0に設定してから、実際にDMA転送が停止し、DSTn = 0となるまでには最大で2クロックが必要となります。そのため、DMAの割り込み(INTDMA_n)発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のいずれかの処理をしてください。

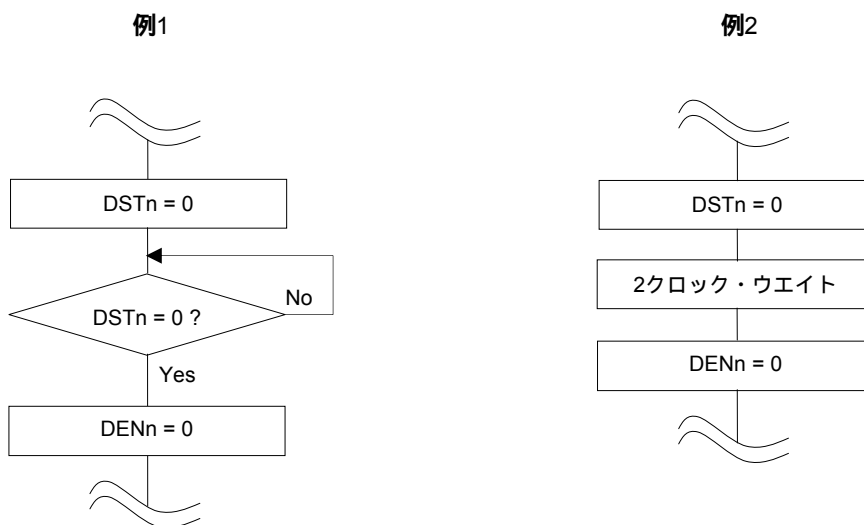
<DMAを1チャンネル使用しているとき>

- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、実際にDSTn ビットが0になったことをポーリングで確認後、DENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする
- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、2クロック経過後にDENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする

<DMAを2チャンネル使用しているとき>

- ・DMAを2チャンネル使用しているときにソフトウェアで強制終了 (DSTn = 0) する場合は、使用している全チャンネルのDWAITnビットをセット (1) してDMA転送を保留してから、DSTnビットをクリア (0) する。その後、使用している全チャンネルのDWAITnビットをクリア (0) し保留を解除してから、DENnビットをクリア (0) とする

図17 - 11 DMA転送の強制終了 (1/2)

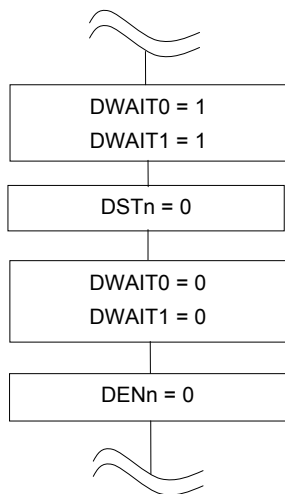


- 備考1. n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : 1/f_{CLK} (f_{CLK} : CPUクロック)

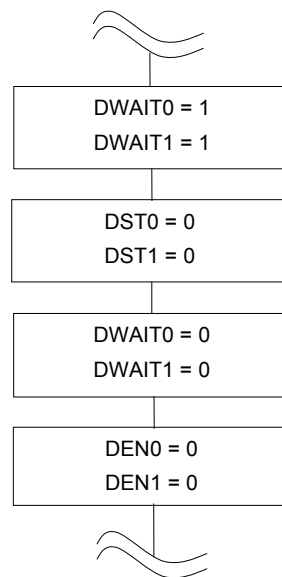
図17 - 11 DMA転送の強制終了 (2/2)

例3

・2チャンネルをともに使用時にどちらかのチャンネルを強制終了する手順



・2チャンネルをともに使用時に2チャンネルともに強制終了する手順



注意 例3では、DWAITnビットのセット(1)後のウエイト2クロックは必要ありません。また、DSTnビットをクリア(0)してからDENnビットをクリア(0)するまで2クロック以上経過しているため、DSTnビットのクリア(0)後にウエイト2クロックする必要はありません。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : 1/f_{CLK} (f_{CLK} : CPUクロック)

17.6 DMAコントローラの注意事項

(1) DMAの優先順位

DMA転送中は、他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は、DMAチャネル0 > DMAチャネル1の優先順位になります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

(2) DMA応答時間

DMA転送における応答時間は、次のようになります。

表17 - 2 DMA転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック ^注

注 内部RAMからの命令実行の場合は、最大時間が16クロックになります。

注意1. 上記の応答時間には、DMA転送の2クロック分は含まれていません。

2. DMA保留命令 (17.6(4) 参照) 実行の場合は、各条件の最大応答時間に、その条件で保留する命令の実行時間を足した時間となります。
3. 最大応答時間 + 1クロック以内での同一チャネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

(3) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表17 - 3 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合、DMA転送が壊れることがありますので、STOP命令実行前にDMAを停止してください。
SNOOZEモード	動作停止。

(4) DMA保留命令

DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。

- ・ CALL laddr16
- ・ CALL \$!addr20
- ・ CALL !!addr20
- ・ CALL rp
- ・ CALLT [addr5]
- ・ BRK
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PSWの各レジスタに対するビット操作命令
- ・ データ・フラッシュにアクセスする命令

(5) 汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDMA RAMアドレス・レジスタn (DRAn) で示すアドレスがインクリメントされていき、汎用レジスタ領域内に入ってしまったたり、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。

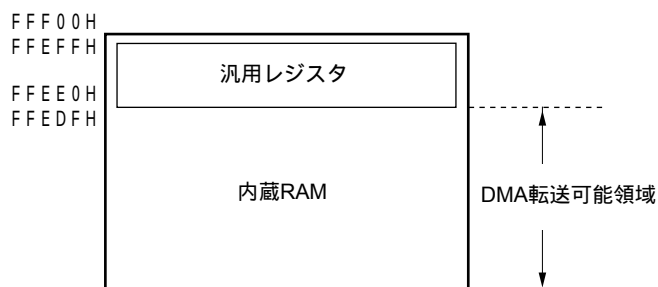
SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。

**(6) データ・フラッシュ空間にアクセスする場合の動作**

データ・フラッシュ空間にアクセスするとDMA転送が保留されるため、DMA保留命令を追加してください。またDMA転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合、間の命令に3クロック分のウェイトが入ります。

命令1

DMA転送

命令2 3クロック分のウェイト発生

MOV A, !DataFlash空間

第18章 割り込み機能

割り込み要因数は、製品によって異なります。

		20ピン	30, 32ピン	48ピン	64ピン
マスカブル割り込み	外部	5	6	10	13
	内部	28	34	34	34

18.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表18 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

18.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります (表18 - 1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表18 - 1 割り込み要因一覧 (1/3)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	64ピン	48ピン	32ピン	30ピン	20ピン	
		名称	トリガ									
マスクアブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75%+1/2fIL)	内部	0004H	(A)						
	1	INTLVI	低電圧検出 ^{注4}		0006H							
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)						
	3	INTP1			000AH							
	4	INTP2			000CH							
	5	INTP3			000EH					-		
	6	INTP4			0010H							
	7	INTP5			0012H							
	8	INTST2			UART2送信の転送完了, バッファ空き割り込み		内部	0014H	(A)			
		INTCSI20	CSI20の転送完了, バッファ空き割り込み								-	
		INTIIC20	IIC20の転送完了								-	
	9	INTSR2	UART2受信の転送完了	内部	0016H	(A)					-	
		INTCSI21	CSI21の転送完了, バッファ空き割り込み							-	-	-
		INTIIC21	IIC21の転送完了							-	-	-
	10	INTSRE2	UART2受信の通信エラー発生	内部	0018H	(A)					-	
	11	INTDMA0	DMA0の転送完了				001AH					
	12	INTDMA1	DMA1の転送完了				001CH					
	13	INTST0	UART0送信の転送完了, バッファ空き割り込み	内部	001EH	(A)						
		INTCSI00	CSI00の転送完了, バッファ空き割り込み									
		INTIIC00	IIC00の転送完了									
	14	INTSR0	UART0受信の転送完了	内部	0020H	(A)						
		INTCSI01	CSI01の転送完了, バッファ空き割り込み							-	-	-
		INTIIC01	IIC01の転送完了									
	15	INTSRE0	UART0受信の通信エラー発生	内部	0022H	(A)						
		INTTM01H	タイマ・チャンネル1のカウント完了またはキャプチャ完了 (8ビット・タイマ動作時)									
	16	INTST1	UART1送信の転送完了, バッファ空き割り込み	内部	0024H	(A)					-	
		INTCSI10	CSI10通信完了							-	-	-
	INTIIC10	IIC10通信完了							-	-	-	
17	INTSR1	UART1受信の転送完了	内部	0026H	(A)					-		
	INTCSI11	CSI11の転送完了, バッファ空き割り込み									-	
	INTIIC11	IIC11の転送完了									-	

- 注 1. デフォルト・プライオリティは、複数のマスクアブル割り込みが発生している場合に、優先する順位です。0が最高順位、42が最低順位です。
2. 基本構成タイプの (A) - (D) は、それぞれ図18 - 1の (A) - (D) に対応しています。
3. オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。
4. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 0選択時。

表18 - 1 割り込み要因一覧 (2/3)

割り込みの処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・ アドレス	基本構成タイプ ^{注2}	64ピン	48ピン	32ピン	30ピン	20ピン				
		名称	トリガ												
マスクابل	18	INTSRE1	UART1受信の通信エラー発生	内部	0028H	(A)						-			
		INTTM03H	タイマ・チャンネル3のカウンタ完了またはキャプチャ完了 (8ビット・タイマ動作時)												
	19	INTIICA0	IICA0通信完了		内部		002AH							-	
	20	INTTM00	タイマ・チャンネル0のカウンタ完了またはキャプチャ完了				002CH								
	21	INTTM01	タイマ・チャンネル1のカウンタ完了またはキャプチャ完了				002EH								
	22	INTTM02	タイマ・チャンネル2のカウンタ完了またはキャプチャ完了				0030H								
	23	INTTM03	タイマ・チャンネル3のカウンタ完了またはキャプチャ完了				0032H								
	24	INTAD	A/D変換終了				0034H								
	25	INTRTC	リアルタイム・クロックの定周期信号/アラーム一致検出				0036H								
	26	INTIT	インターバル信号検出				0038H								
	27	INTKR	キー・リターン信号検出	外部		003AH	(C)			-	-	-			
	28	INTCSIS0	CSIS0の転送完了, バッファ空き割り込み			内部	003CH	(A)							
			UARTS0送信の転送完了, バッファ空き割り込み												
	29	INTSRS0	UARTS0受信の転送完了		003EH										
			CSIS1の転送完了, バッファ空き割り込み												
	30	INTWUTM	ウェイクアップ・タイマ周期信号検出		0040H										
	31	INTTM04	タイマ・チャンネル4のカウンタ完了またはキャプチャ完了												
	32	INTTM05	タイマ・チャンネル5のカウンタ完了またはキャプチャ完了		0044H										
	33	INTTM06	タイマ・チャンネル6のカウンタ完了またはキャプチャ完了		0046H										
	34	INTTM07	タイマ・チャンネル7のカウンタ完了またはキャプチャ完了		0048H										
	35	INTP6	端子入力エッジ検出		外部		004AH		(B)			-	-	-	
	36	INTP7	端子入力エッジ検出		外部	004CH	(B)								
			LIN-UART送信完了		内部									(A)	
	37	INTP8	端子入力エッジ検出		外部	004EH	(B)								
			LIN-UART受信完了		内部									(A)	

注 1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。0が最高順位, 42が最低順位です。

2. 基本構成タイプの (A) - (D) は、それぞれ図18 - 1の (A) - (D) に対応しています。

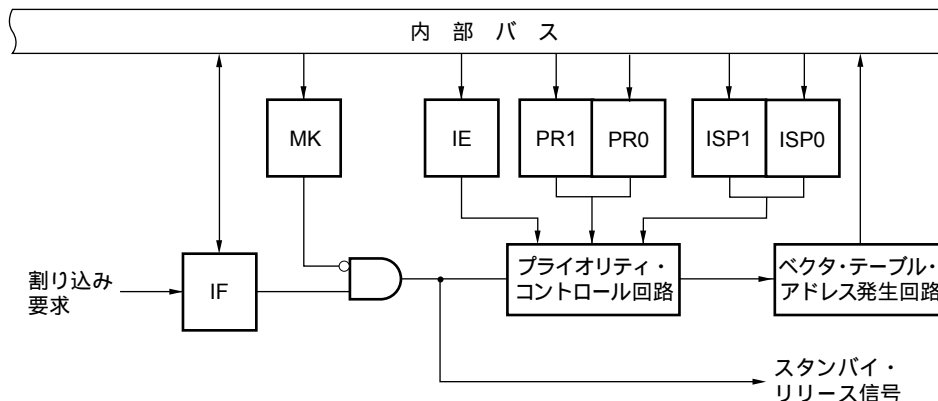
表 18 - 1 割り込み要因一覧 (3/3)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	64ピン	48ピン	32ピン	30ピン	20ピン
		名称	トリガ								
マスクアブル	38	INTP9	端子入力エッジ検出	外部	0050H	(B)			-	-	-
		INTLS	LIN-UART受信ステータス信号検出	内部		(A)					
	39	INTP10	端子入力エッジ検出	外部	0052H	(B)		-	-	-	-
		INTSRES0	UARTS0受信の通信エラー発生	内部		(A)					
	40	INTP11	端子入力エッジ検出	外部	0054H	(B)		-	-	-	-
	41	INTMD	除算演算終了	内部	005EH	(A)					
42	INTFL	シーケンサ終了割り込み	0062H								
ソフトウエア	-	BRK	BRK命令の実行	-	007EH	(D)					
リセット	-	RESET	RESET端子入力	-	0000H	-					
		POR	パワーオン・リセット								
		LVD	低電圧検出 ^{注3}								
		WDT	ウォッチドッグ・タイマのオーバーフロー								
		TRAP	不正命令の実行 ^{注4}								
		IAW	不正メモリ・アクセス								
		RAMTOP	RAMパリティ・エラー								

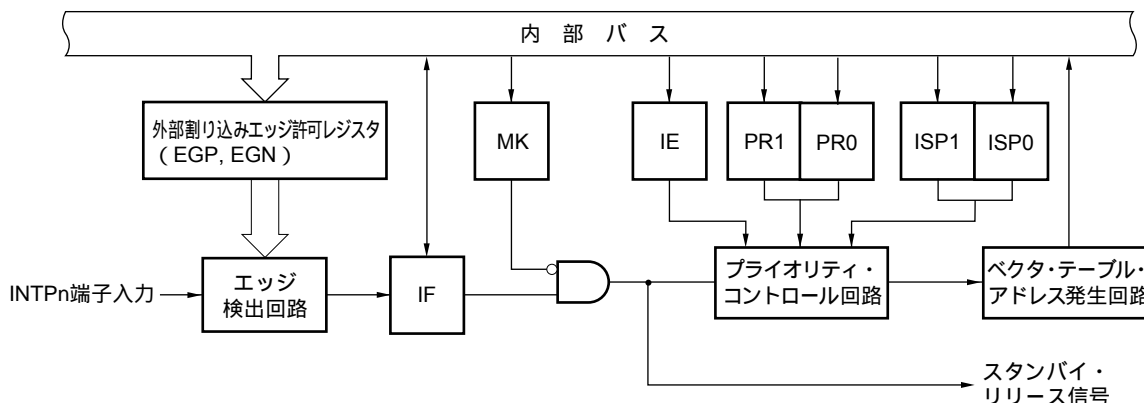
- 注 1. デフォルト・プライオリティは、複数のマスクアブル割り込みが発生している場合に、優先する順位です。0が最高順位，42が最低順位です。
2. 基本構成タイプの (A) - (D) は、それぞれ図18 - 1の (A) - (D) に対応しています。
3. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 0選択時。
4. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図18 - 1 割り込み機能の基本構成

(A) 内部マスカブル割り込み



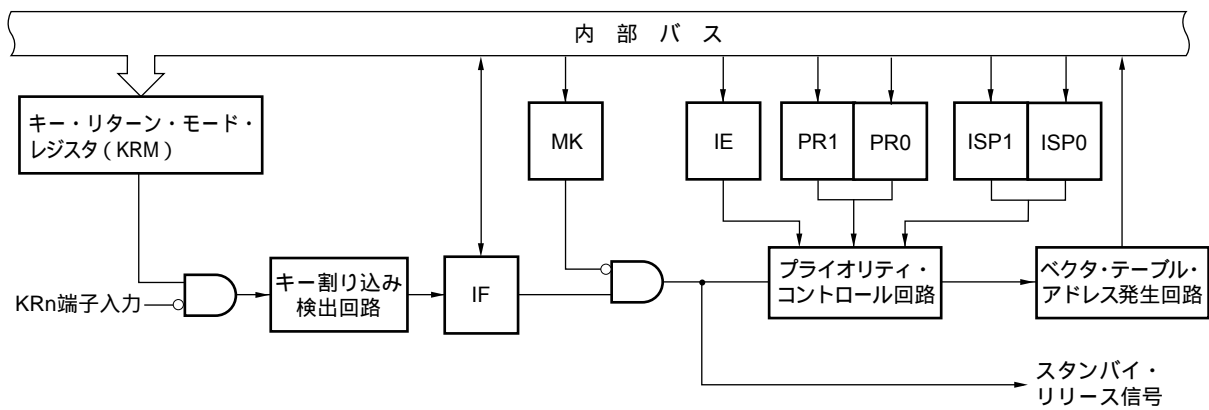
(B) 外部マスカブル割り込み (INTPn)



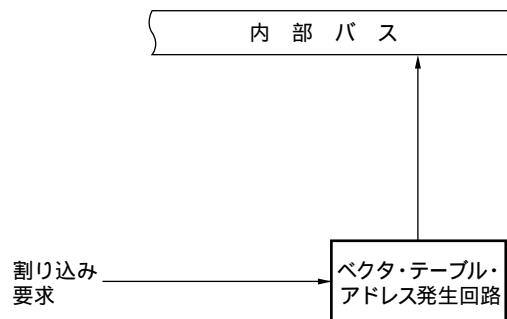
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサービス・プライオリティ・フラグ0
- ISP1 : インサービス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

- 備考**
- 20ピン : n = 0-2, 4, 5
 - 30, 32ピン : n = 0-5
 - 48ピン : n = 0-6, 8, 9
 - 64ピン : n = 0-11

(C) 外部マスクابل割り込み (INTKR)



(D) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサース・プライオリティ・フラグ0
- ISP1 : インサース・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 48ピン : n = 0-5
64ピン : n = 0-7

18.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表18-2に示します。

表18-2 割り込み要求ソースに対応する各種フラグ (1/5)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		64ビット	48ビット	30, 32ビット	20ビット
		レジスタ		レジスタ		レジスタ				
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L				
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1					
INTP0	PIF0		PMK0		PPR00, PPR10					
INTP1	PIF1		PMK1		PPR01, PPR11					
INTP2	PIF2		PMK2		PPR02, PPR12					
INTP3	PIF3		PMK3		PPR03, PPR13				-	
INTP4	PIF4		PMK4		PPR04, PPR14					
INTP5	PIF5		PMK5		PPR05, PPR15					

表18 - 2 割り込み要求ソースに対応する各種フラグ (2/5)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		8ビット	48ビット	30, 32ビット	20ビット	
		レジスタ		レジスタ		レジスタ					
INTST2 ^{注1}	STIF2 ^{注1}	IF0H	STMK2 ^{注1}	MK0H	STPR02 ^{注1} , STPR12 ^{注1}	PR00H,				-	
INTCSI20 ^{注1}	CSIF20 ^{注1}		CSIMK20 ^{注1}		CSIPR020 ^{注1} , CSIPR120 ^{注1}		PR10H				
INTIIC20 ^{注1}	IICIF20 ^{注1}		IICMK20 ^{注1}		IICPR020 ^{注1} , IICPR120 ^{注1}						-
INTSR2 ^{注2}	SRIF2 ^{注2}		SRMK2 ^{注2}		SRPR02 ^{注2} , SRPR12 ^{注2}						-
INTCSI21 ^{注2}	CSIF21 ^{注2}		CSIMK21 ^{注2}		CSIPR021 ^{注2} , CSIPR121 ^{注2}					-	-
INTIIC21 ^{注2}	IICIF21 ^{注2}		IICMK21 ^{注2}		IICPR021 ^{注2} , IICPR121 ^{注2}					-	-
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12						-
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10						
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11						
INTST0 ^{注3}	STIF0 ^{注3}		STMK0 ^{注3}		STPR00 ^{注3} , STPR10 ^{注3}						
INTCSI00 ^{注3}	CSIF00 ^{注3}		CSIMK00 ^{注3}		CSIPR000 ^{注3} , CSIPR100 ^{注3}						
INTIIC00 ^{注3}	IICIF00 ^{注3}		IICMK00 ^{注3}		IICPR000 ^{注3} , IICPR100 ^{注3}						
INTSR0 ^{注4}	SRIF0 ^{注4}		SRMK0 ^{注4}		SRPR00 ^{注4} , SRPR10 ^{注4}						
INTCSI01 ^{注4}	CSIF01 ^{注4}		CSIMK01 ^{注4}		CSIPR001 ^{注4} , CSIPR101 ^{注4}					-	-
INTIIC01 ^{注4}	IICIF01 ^{注4}		IICMK01 ^{注4}		IICPR001 ^{注4} , IICPR101 ^{注4}					-	-
INTSRE0 ^{注5}	SREIF0 ^{注5}		SREMK0 ^{注5}		SREPR00 ^{注5} , SREPR10 ^{注5}						
INTTM01H ^{注5}	TMIF01H ^{注5}	TMMK01H ^{注5}	TMPR001H ^{注5} , TMPR101H ^{注5}								

- 注1. UART2, CSI20, IIC20は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF0Hレジスタのビット0はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。
2. UART2, CSI21, IIC21は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSR2, INTCSI21, INTIIC21のうち、いずれかが発生したら、IF0Hレジスタのビット1はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット1は、3つすべての割り込み要因に対応しています。
3. UART0, CSI00, IIC00は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。
4. UART0, CSI01, IIC01は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生したら、IF0Hレジスタのビット6はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット6は、3つすべての割り込み要因に対応しています。
5. UART0, TAU0のチャンネル1(8ビット・タイマ動作時)は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生したら、IF0Hレジスタのビット7はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。

表18 - 2 割り込み要求ソースに対応する各種フラグ (3/5)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	レジスタ	20 ビット	48 ビット	30, 32 ビット	20 ビット
		レジスタ		レジスタ						
INTST1 ^{注1}	STIF1 ^{注1}	IF1L	STMK1 ^{注1}	MK1L	STPR01 ^{注1} , STPR11 ^{注1}	PR01L, PR11L				-
INTCSI10 ^{注1}	CSIF10 ^{注1}		CSIMK10 ^{注1}		CSIPR010 ^{注1} , CSIPR110 ^{注1}			-	-	-
INTIIC10 ^{注1}	IICIF10 ^{注1}		IICMK10 ^{注1}		IICPR010 ^{注1} , IICPR110 ^{注1}			-	-	-
INTSR1 ^{注2}	SRIF1 ^{注2}		SRMK1 ^{注2}		SRPR01 ^{注2} , SRPR11 ^{注2}					-
INTCSI11 ^{注2}	CSIF11 ^{注2}		CSIMK11 ^{注2}		CSIPR011 ^{注2} , CSIPR111 ^{注2}					-
INTIIC11 ^{注2}	IICIF11 ^{注2}		IICMK11 ^{注2}		IICPR011 ^{注2} , IICPR111 ^{注2}					-
INTSRE1 ^{注3}	SREIF1 ^{注3}		SREMK1 ^{注3}		SREPR01 ^{注3} , SREPR11 ^{注3}					-
INTTM03H ^{注3}	TMIF03H ^{注3}		TMMK03H ^{注3}		TMPR003H ^{注3} , TMPR103H ^{注3}					
INTICA0	IICAF0		IICAMK0		IICAPR00, IICAPR10					-
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100					
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101					
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102					
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103					

- 注1. UART1, CSI10, IIC10は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST1, INTCSI10, INTIIC10のうち、いずれかが発生したら、IF1Lレジスタのビット0はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット0は、3つすべての割り込み要因に対応しています。
2. UART1, CSI11, IIC11は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSR1, INTCSI11, INTIIC11のうち、いずれかが発生したら、IF1Lレジスタのビット1はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。
3. UART1, TAU0のチャンネル3(8ビット・タイマ動作時)は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生したら、IF1Lレジスタのビット2はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。

表18 - 2 割り込み要求ソースに対応する各種フラグ (4/5)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	レジスタ	8ビット	4ビット	30, 32ビット	20ビット		
		レジスタ		レジスタ								
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H						
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1							
INTIT	ITIF		ITMK		ITPR0, ITPR1							
INTKR	KRIF		KRMK		KRPR0, KRPR1					-	-	
INTCSIS0 ^{注1}	CSIIFS0 ^{注1}		CSIMKS0 ^{注1}		CSIPR0S0 ^{注1} , CSIPR1S0 ^{注1}							
INTSTS0 ^{注1}	STIFS0 ^{注1}		STMKS0 ^{注1}		STPR0S0 ^{注1} , STPR1S0 ^{注1}							
INTSRS0 ^{注2}	SRIFS0 ^{注2}		SRMKS0 ^{注2}		SRPR0S0 ^{注2} , SRPR1S0 ^{注2}							
INTCSIS1 ^{注2}	CSIIFS1 ^{注2}		CSIMKS1 ^{注2}		CSIPR0S1 ^{注2} , CSIPR1S1 ^{注2}					-	-	-
INTWUTM	WUTMIF		WUTMMK		WUTMPR0, WUTMPR1							
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104							

- 注1. UARTS0, CSIS0は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSTS0, INTCSIS0のうち、どちらかが発生したら、IFHLレジスタのビット4はセット(1)されます。また、MK1H, PR01H, PR11Hレジスタのビット4は、両方の割り込み要因に対応しています。
2. UARTS0, CSIS1は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSRS0, INTCSIS1のうち、どちらかが発生したら、IFHLレジスタのビット5はセット(1)されます。また、MK1H, PR01H, PR11Hレジスタのビット5は、両方の割り込み要因に対応しています。

表18 - 2 割り込み要求ソースに対応する各種フラグ (5/5)

割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		8ビット	48ビット	80, 32ビット	20ビット			
		レジスタ		レジスタ		レジスタ							
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L							
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106								
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107								
INTP6	PIF6		PMK6		PPR06, PPR16				-	-			
INTP7 ^{注1}	PIF7 ^{注1}		PMK7 ^{注1}		PPR07 ^{注1} , PPR17 ^{注1}				-	-	-		
INTLT ^{注1}	LTIF0 ^{注1}		LTMK0 ^{注1}		LTPR00 ^{注1} , LTPR10 ^{注1}								
INTP8 ^{注2}	PIF8 ^{注2}		PMK8 ^{注2}		PPR08 ^{注2} , PPR18 ^{注2}						-	-	
INTLR ^{注2}	LRIF0 ^{注2}		LRMK0 ^{注2}		LRPR00 ^{注2} , LRPR10 ^{注2}								
INTP9 ^{注3}	PIF9 ^{注3}		PMK9 ^{注3}		PPR09 ^{注3} , PPR19 ^{注3}							-	-
INTLS ^{注3}	LSIF0 ^{注3}		LSMK0 ^{注3}		LSPR00 ^{注3} , LSPR10 ^{注3}								
INTP10 ^{注4}	PIF10 ^{注4}		PMK10 ^{注4}		PPR010 ^{注4} , PPR110 ^{注4}						-	-	-
INTSRES0 ^{注4}	SREIFS0 ^{注4}	SREMK0 ^{注4}	SREPR0S0 ^{注4} , SREPR1S0 ^{注4}										
INTP11	PIF11	IF2H	PMK11	MK2H	PPR011, PPR111	PR02H, PR12H				-	-	-	
INTMD	MDIF		MDMK		MDPR0, MDPR1								
INTFL	FLIF		FLMK		FLPR0, FLPR1								

- 注1. LIN-UART0, INTP7は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTLT, INTP7のうち、どちらかが発生したら、IF2Lレジスタのビット4はセット(1)されます。また、MK2L, PR02L, PR12Lレジスタのビット4は、両方の割り込み要因に対応しています。
2. LIN-UART0, INTP8は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTLR, INTP8のうち、どちらかが発生したら、IF2Lレジスタのビット5はセット(1)されます。また、MK2L, PR02L, PR12Lレジスタのビット5は、両方の割り込み要因に対応しています。
3. LIN-UART0, INTP9は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTLS, INTP9のうち、どちらかが発生したら、IF2Lレジスタのビット6はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット6は、両方の割り込み要因に対応しています。
4. UARTS0, INTP10は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSRES0, INTP10のうち、どちらかが発生したら、IF2Lレジスタのビット7はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット7は、両方の割り込み要因に対応しています。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット (64ピン製品) (1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0	SRIF0	STIF0	DMAIF1	DMAIF0	SREIF2	SRIF2	STIF2
	TMIF01H	CSIF01	CSIF00				CSIF21	CSIF20
		IICIF01	IICIF00				IICIF21	IICIF20

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICIF0	SREIF1	SRIF1	STIF1
						TMIF03H	CSIF11	CSIF10
							IICIF11	IICIF10

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	WUTMIF	SRIFS0	STIFS0	KRIF	ITIF	RTCIF	ADIF
			CSIFS1	CSIFS0				

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	PIF10	PIF9	PIF8	PIF7	PIF6	TMIF07	TMIF06	TMIF05
	SREIFS0	LSIF0	LRIF0	LTIF0				

図18 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット
(64ピン製品) (2/2)

アドレス : FFFD1H リセット時 : 00H R/W

略号	[7]	6	[5]	4	3	2	1	[0]
IF2H	FLIF	0	MDIF	0	0	0	0	PIF11

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 上記は、64ピン製品の場合のビット構成です。製品によって、搭載しているビットは異なります。各製品に搭載しているビットについては、表18 - 2を参照してください。また、搭載していないビットには必ず0を設定してください。

2. タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
3. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ, MK1LレジスタとMK1Hレジスタ, MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H) のフォーマット (64ピン製品) (1/2)

アドレス : FFFE4H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	SREMK0	SRMK0	STMK0	DMAMK1	DMAMK0	SREMK2	SRMK2	STMK2
	TMMK01H	CSIMK01	CSIMK00				CSIMK21	CSIMK20
		IICMK01	IICMK00				IICMK21	IICMK20

アドレス : FFFE6H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1	SRMK1	STMK1
						TMMK03H	CSIMK11	CSIMK10
							IICMK11	IICMK10

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK1H	TMMK04	WUTMMK	SRMKS0	STMKS0	KRMK	ITMK	RTCMK	ADMK
			CSIMKS1	CSIMKS0				

アドレス : FFFD4H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK2L	SREMK0	PMK9	PMK8	LTMK0	PMK6	TMMK07	TMMK06	TMMK05
	PMK10	LSMK0	LRMK0	PMK7				

図18 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L) のフォーマット
(64ピン製品) (2/2)

アドレス : FFFD5H リセット時 : FFH R/W

略号	[7]	6	[5]	4	3	2	1	[0]
MK2H	FLMK	1	MDMK	1	1	1	1	PMK11

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 上記は、64ピン製品の場合のビット構成です。製品によって、搭載しているビットは異なります。各製品に搭載しているビットについては、表18 - 2を参照してください。また、搭載していないビットには必ず1を設定してください。

(3)優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ、PR01LレジスタとPR01Hレジスタ、PR02LレジスタとPR02Hレジスタ、PR10LレジスタとPR10Hレジスタ、PR11LレジスタとPR11Hレジスタ、PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18 - 4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (64ピン製品) (1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00 TMPR001H	SRPR00 CSIPR001 IICPR001	STPR00 CSIPR000 IICPR000	DMAPR01	DMAPR00	SREPR02	SRPR02 CSIPR021 IICPR021	STPR02 CSIPR020 IICPR020

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10 TMPR101H	SRPR10 CSIPR101 IICPR101	STPR10 CSIPR100 IICPR100	DMAPR11	DMAPR10	SREPR12	SRPR12 CSIPR121 IICPR121	STPR12 CSIPR120 IICPR120

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR00	SREPR01 TMPR003H	SRPR01 CSIPR011 IICPR011	STPR01 CSIPR010 IICPR010

図18 - 4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L) のフォーマット (64ピン製品) (2/2)

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR10	SREPR11	SRPR11	STPR11
						TMPR103H	CSIPR111	CSIPR110
							IICPR111	IICPR110

アドレス : FFFEBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	TMPR004	WUTMPR0	SRPR0S0	STPR0S0	KRPR0	ITPR0	RTCPR0	ADPR0
			CSIPR0S1	CSIPR0S0				

アドレス : FFFEFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	TMPR104	WUTMPR1	SRPR1S0	STPR1S0	KRPR1	ITPR1	RTCPR1	ADPR1
			CSIPR1S1	CSIPR1S0				

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02L	SREPR0S0	PPR09	PPR08	LTPR00	PPR06	TMPR007	TMPR006	TMPR005
	PPR010	LSPR00	LRPR00	PPR07				

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12L	SREPR1S0	PPR19	PPR18	LTPR10	PPR16	TMPR107	TMPR106	TMPR105
	PPR110	LSPR10	LRPR10	PPR17				

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	1	MDPR0	1	1	1	1	PPR011

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	1	MDPR1	1	1	1	1	PPR111

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注意 上記は、64ピン製品の場合のビット構成です。製品によって、搭載しているビットは異なります。各製品に搭載しているビットについては、表18 - 2を参照してください。また、搭載していないビットには必ず1を設定してください。

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTP0-INTP11の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1) のフォーマット (64ピン製品)

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FFF3AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP11	EGP10	EGP9	EGP8

アドレス : FFF3BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-11)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表18 - 3に示します。

表18 - 3 EGPnビットとEGNnビットに対応するポート

検出許可 ビット		エッジ検出ポート	割り込み要求信号	64ピン	48ピン	30, 32ピン	20ピン
EGP0	EGN0	P137	INTP0				
EGP1	EGN1	P50	INTP1				
EGP2	EGN2	P51	INTP2				
EGP3	EGN3	P30	INTP3				-
EGP4	EGN4	P31	INTP4				
EGP5	EGN5	P16	INTP5				
EGP6	EGN6	P140	INTP6			-	-
EGP7	EGN7	P141	INTP7		-	-	-
EGP8	EGN8	P74	INTP8			-	-
EGP9	EGN9	P75	INTP9			-	-
EGP10	EGN10	P76	INTP10		-	-	-
EGP11	EGN11	P77	INTP11		-	-	-

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnビットとEGNnビットを0に設定してからポート・モードに切り替えてください。

備考 n = 0-11

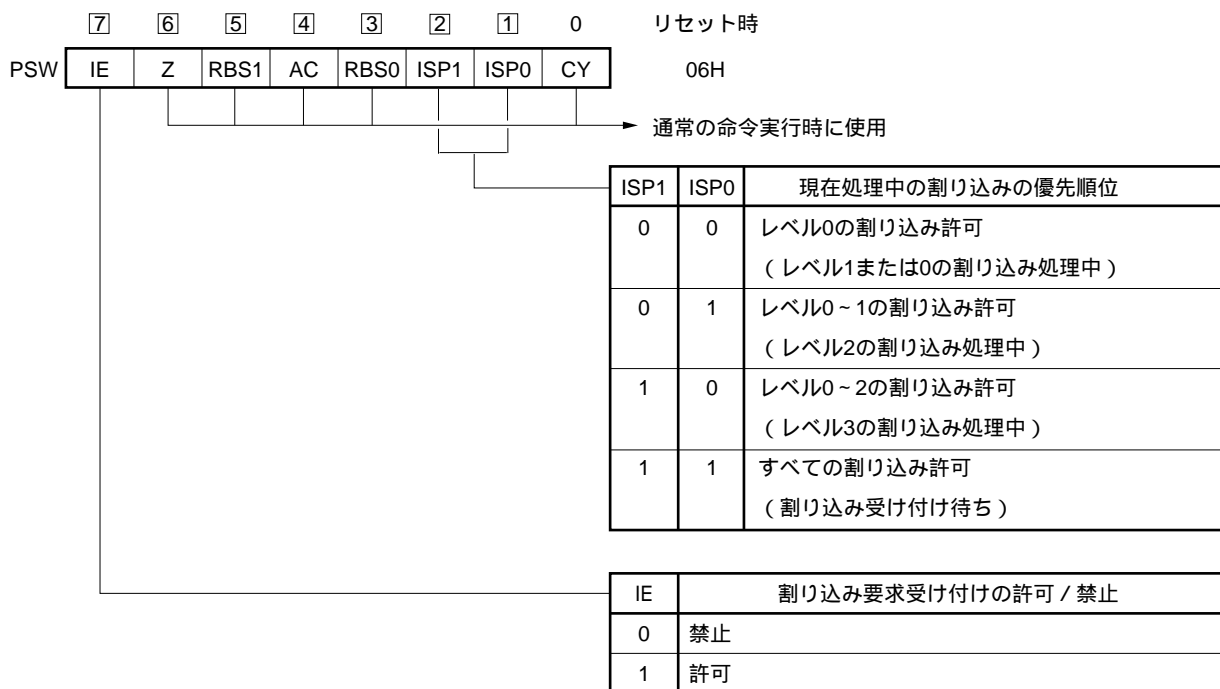
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図18 - 6 プログラム・ステータス・ワードの構成



18.4 割り込み処理動作

18.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表18-4のようになります。

割り込み要求の受け付けタイミングについては、[図18-8](#)、[18-9](#)を参照してください。

表18-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	16クロック

注 内部RAM 領域からの命令実行時は除きます。

備考 1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

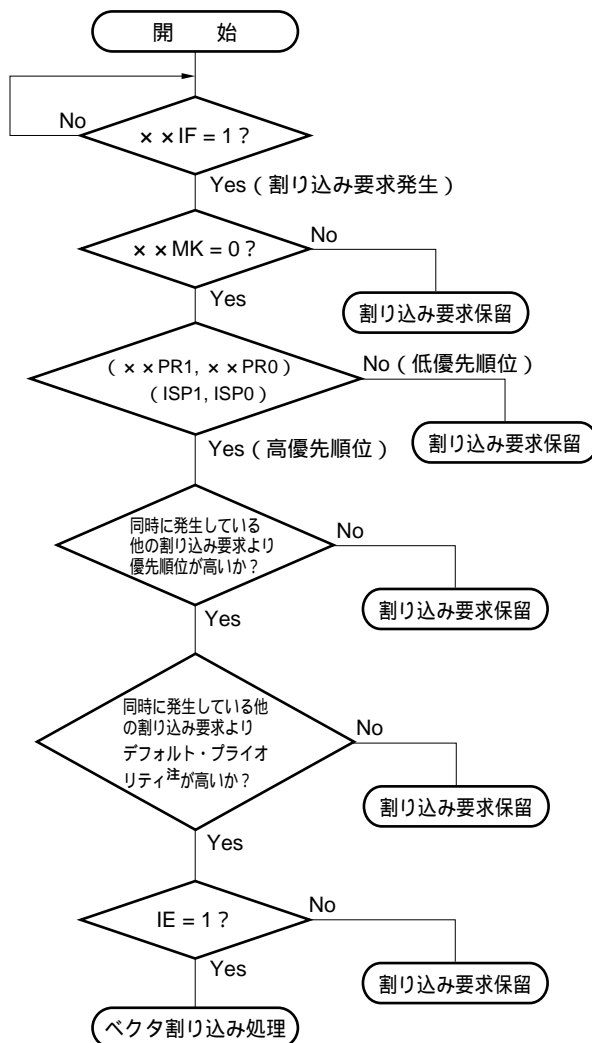
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを[図18-7](#)に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISP1、ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

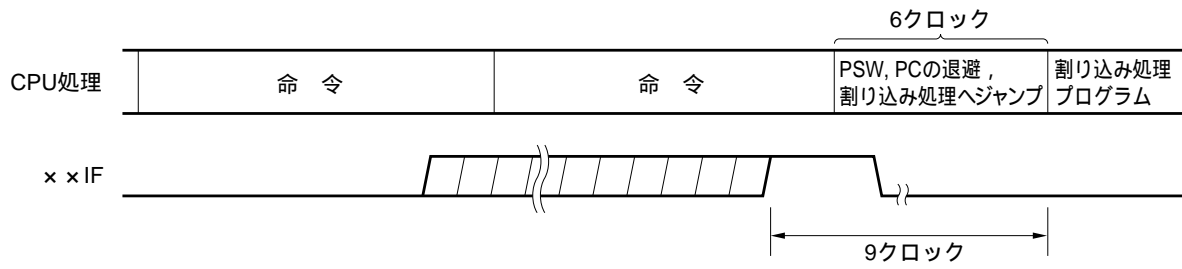
図18 - 7 割り込み要求受け付け処理アルゴリズム



- x x IF : 割り込み要求フラグ
- x x MK : 割り込みマスク・フラグ
- x x PR0 : 優先順位指定フラグ0
- x x PR1 : 優先順位指定フラグ1
- IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可 , 0 = 禁止)
- ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図18 - 6参照)

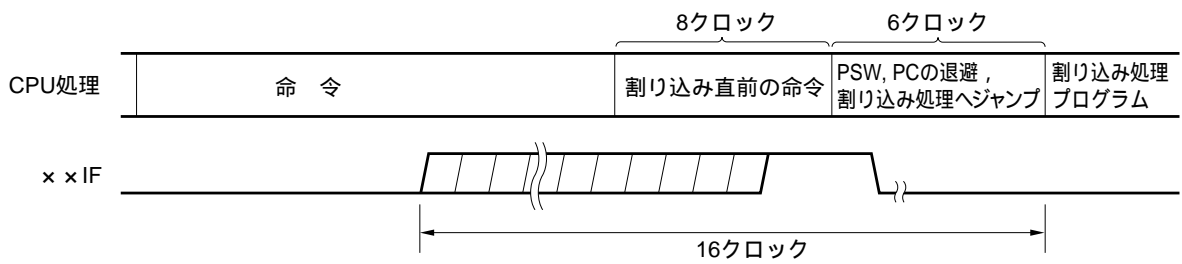
注 デフォルト・プライオリティは、表18 - 1 割り込み要因一覧を参照してください。

図18 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図18 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

18.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

18.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表18 - 5に多重割り込み可能な割り込み要求の関係を、図18-10に多重割り込みの例を示します。

表18 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x		x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
ソフトウェア割り込み			x		x		x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタに含まれるフラグです。

PR = 00 : x x PR1 x = 0, x x PR0 x = 0でレベル0を指定 (高優先順位)

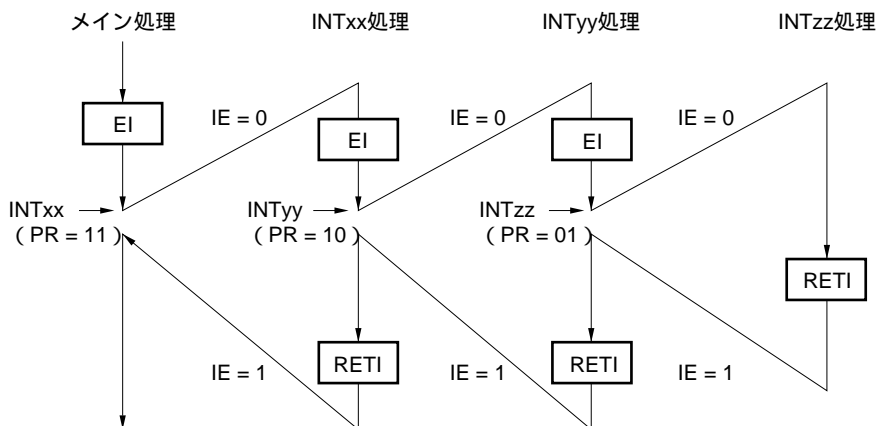
PR = 01 : x x PR1 x = 0, x x PR0 x = 1でレベル1を指定

PR = 10 : x x PR1 x = 1, x x PR0 x = 0でレベル2を指定

PR = 11 : x x PR1 x = 1, x x PR0 x = 1でレベル3を指定 (低優先順位)

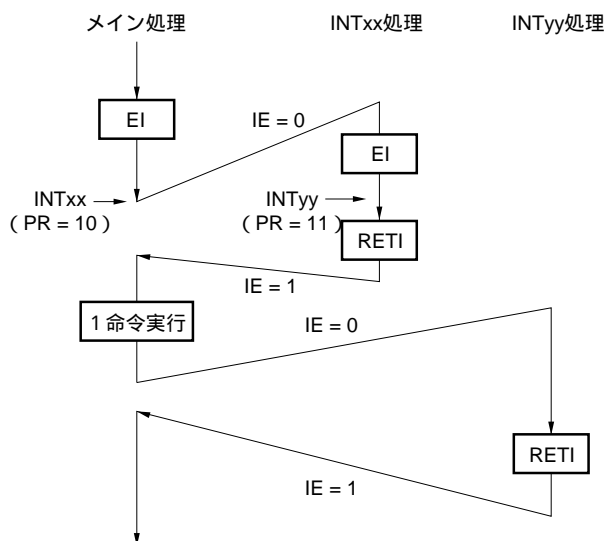
図18 - 10 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例

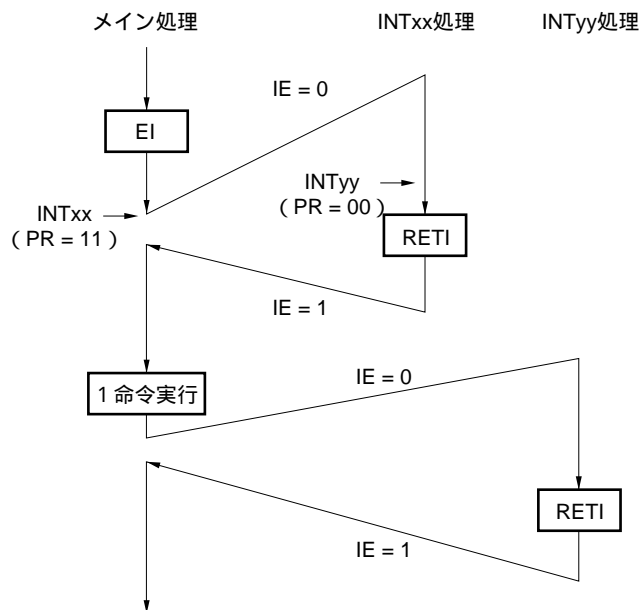


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 00 : x × PR1 x = 0, x × PR0 x = 0でレベル0を指定 (高優先順位)
- PR = 01 : x × PR1 x = 0, x × PR0 x = 1でレベル1を指定
- PR = 10 : x × PR1 x = 1, x × PR0 x = 0でレベル2を指定
- PR = 11 : x × PR1 x = 1, x × PR0 x = 1でレベル3を指定 (低優先順位)
- IE = 0 : 割り込み要求受け付け禁止
- IE = 1 : 割り込み要求受け付け許可

図18 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $x \times PR1x = 0, x \times PR0x = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $x \times PR1x = 0, x \times PR0x = 1$ でレベル1を指定

PR = 10 : $x \times PR1x = 1, x \times PR0x = 0$ でレベル2を指定

PR = 11 : $x \times PR1x = 1, x \times PR0x = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

18.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図18-11に示します。

図18 - 11 割り込み要求の保留



- 備考**
1. 命令N：割り込み要求の保留命令
 2. 命令M：割り込み要求の保留命令以外の命令
 3. x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第19章 キー割り込み機能

キー割り込み入力チャンネル数は、製品によって異なります。

	20, 30, 32ピン	48ピン	64ピン
キー割り込み入力チャンネル	-	6 ch	8 ch

19.1 キー割り込みの機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー割り込み入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表19 - 1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRM.0	KR0信号を1ビット単位で制御
KRM.1	KR1信号を1ビット単位で制御
KRM.2	KR2信号を1ビット単位で制御
KRM.3	KR3信号を1ビット単位で制御
KRM.4	KR4信号を1ビット単位で制御
KRM.5	KR5信号を1ビット単位で制御
KRM.6	KR6信号を1ビット単位で制御
KRM.7	KR7信号を1ビット単位で制御

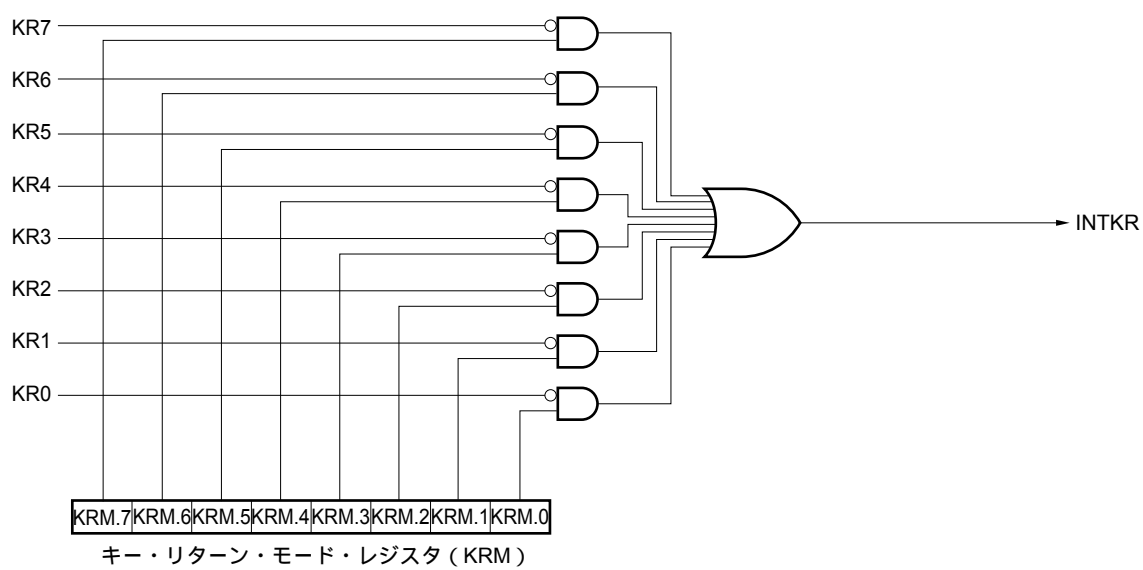
19.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表19 - 2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM)

図19 - 1 キー割り込みのブロック図



19.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRM.0-KRM.7ビットをそれぞれKR0-KR7信号で制御するレジスタです。

KRMレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス：FFF37H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM.7	KRM.6	KRM.5	KRM.4	KRM.3	KRM.2	KRM.1	KRM.0

KRM.n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1 . KRM.0-KRM.7ビットのうち使用するビットに1を設定する場合、それに対応するプルアップ抵抗レジスタ7 (PU7) のビット0-7 (PU7.0-PU7.7) に1を設定してください。

2 . キー割り込み入力端子にロウ・レベルが入力されている状態で、KRMレジスタの対象ビットをセットすると、割り込みが発生します。

この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRMレジスタをセットしてください。その後、キー割り込み入力ロウ・レベル幅 (250 ns以上) を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

3 . キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

備考1 . n = 0-7

2 . KR0-KR5: 48ピン製品

KR0-KR7: 64ピン製品

第20章 スタンバイ機能

20.1 スタンバイ機能と構成

20.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ回路、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータ回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSI00, UART0のデータ受信およびタイマ・トリガ信号（割り込み要求信号（INTRTC/INTIT））によるA/D変換要求により、STOPモードを解除し、CPUを動作させることなくCSI00, UART0のデータ受信、A/D変換を行います。CPU/周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1．STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。

2．STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。

CSI00, UART0, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ0（SSC0）、A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は、13.3 シリアル・アレイ・ユニットを制御するレジスタ、12.3 A/Dコンバータで使用するレジスタを参照してください。

注意3 . A/Dコンバータ部の動作電流を低減させるためには , A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし , A/D変換動作を停止させてから , STOP命令を実行してください。

4 . 低速オンチップ・オシレータ回路をHALT, STOPモード時に発振継続 / 停止するかは , オプション・バイトで選択できます。詳細は第26章 オプション・バイトを参照してください。

20. 1. 2 スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして , 次の2種類があります。

- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止 , 切り替えを制御するレジスタについては , 第5章 クロック発生回路を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。
次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速オンチップ・オシレータクロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速オンチップ・オシレータクロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。
リセット信号の発生 (RESET入力, POR, LVD, WDT, 不正命令の実行によるリセット), STOP命令, MSTOPビット (クロック動作ステータス制御レジスタ (CSC) のビット7) = 1により、00Hになります。

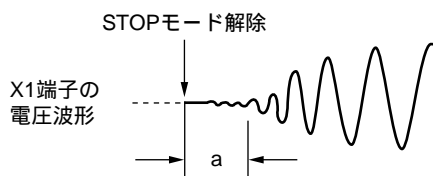
図20 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	0	0	0	0	0	$2^9/f_x$ 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102.4 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.21 ms以上	13.11 ms以上

- 注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていき、そのまま“1”を保持します。
2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。CPUクロックが高速オンチップ・オシレータクロック時に、STOPモードに入り、解除するときは、OSTSレジスタの発振安定時間を次のように設定してください。
- ・ 期待するOSTCレジスタの発振安定時間 OSTSレジスタで設定する発振安定時間
- したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないの注意してください。
3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSレジスタで設定した時間をウエイトします。

CPUクロックに高速オンチップ・オシレータクロックを選択した場合,STOPモード解除後は,発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTCレジスタでは,あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,07Hになります。

図20 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

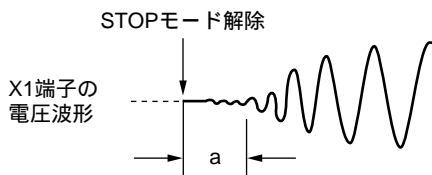
アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS.2	OSTS.1	OSTS.0

OSTS.2	OSTS.1	OSTS.0	発振安定時間の選択	発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs	設定禁止
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

注意1 . CPUクロックがX1クロック時にSTOPモードへ移行する場合は,STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

- 2 . 発振安定時間が20 μs 以下は設定禁止です。
- 3 . OSTSレジスタの設定を変更する場合は,変更前にOSTCレジスタのカウント動作が終了していることを確認してください。
- 4 . X1クロックの発振安定時間中は,OSTSレジスタを変更しないでください。
- 5 . 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。CPUクロックが高速オンチップ・オシレータクロック時に,STOPモードに入り,解除するときは,OSTSレジスタの発振安定時間を次のように設定してください。
 ・期待するOSTCレジスタの発振安定時間 OSTSレジスタで設定する発振安定時間
 したがって,STOPモード解除後のOSTCレジスタは,OSTSレジスタで設定している発振安定時間までのステータスしかセットされないの注意してください。
- 6 . X1クロックの発振安定時間は,クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

20.2 スタンバイ機能の動作

20.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータクロック、サブシステム・クロックのいずれの場合でも設定可能です。次にHALTモード時の動作状態を示します。

表20 - 1 HALTモード時の動作状態 (1/2)

HALTモード の設定 項 目		メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速オンチップ・オシレータ クロック (f _H) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロッ ク (f _{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f _H	動作継続 (停止不可)	動作禁止	
	f _X	動作禁止	動作継続 (停止不可)	動作不可
	f _{EX}		動作不可	動作継続 (停止不可)
サブシステ ム・クロック	f _{XT}	HALTモード設定前の状態を継続		
	f _{EXS}			
f _L	オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) および動作スピ ード・モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止		
データ・フラッシュ・メモリ				
RAM		動作停止 (ただし, DMA実行時は動作可能)		
ポート (ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット		動作可能		
リアルタイム・クロック (RTC)				
インターバル・タイマ				
ウェイクアップ・タイマ		動作可能 (ただし, 動作クロックの状態に依存)		
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照		
クロック出力/ブザー出力		動作可能		
A/Dコンバータ				
シリアル・アレイ・ユニッ ト (SAU)				
LIN-UART				
シリアル・インタフェース (IICA)				
乗除算・積和演算器				
DMAコントローラ				
パワーオン・リセット機能				
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算 機能	高速CRC	動作停止 (ただし, DMA実行時は動作可能)		
	汎用CRC			
不正メモリ・アクセス検出 機能				

備考 動作停止 : HALTモード移行時に自動的に動作停止
 動作禁止 : HALTモード移行前に動作を停止させる
 f_H : 高速オンチップ・オシレータクロック
 f_L : 低速オンチップ・オシレータクロック
 f_X : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_{EXS} : 外部サブシステム・クロック

表20 - 1 HALTモード時の動作状態 (2/2)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
項 目		XT1クロック (f _{XT}) でCPU動作時	外部サブシステム・クロック (f _{EXS}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _H	動作禁止	
	f _X		
	f _{EX}		
サブシステム・クロック	f _{XT}	動作継続 (停止不可)	動作不可
	f _{EXS}	動作不可	動作継続 (停止不可)
f _{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) および動作スピード・モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止	
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM		動作停止 (ただし, DMA実行時は動作可能)	
ポート (ラッチ)		HALTモード設定前の状態を保持	
タイマ・アレイ・ユニット		動作可能 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1) は, 動作禁止)	
リアルタイム・クロック (RTC)		動作可能	
インターバル・タイマ			
ウェイクアップ・タイマ		動作可能 (動作クロックの状態に依存)	
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照	
クロック出力/ブザー出力		動作可能 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1) は, 動作禁止)	
A/Dコンバータ		動作禁止	
シリアル・アレイ・ユニット (SAU)		動作可能 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1) は, 動作禁止)	
LIN-UART		動作可能	
シリアル・インタフェース (IICA)		動作禁止	
乗除算・積和演算器		動作可能 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1) は, 動作禁止)	
DMAコントローラ			
パワーオン・リセット機能		動作可能	
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC演算機能	高速CRC	動作禁止	
	汎用CRC	動作停止 (ただし, DMA実行時は動作可能)	
不正メモリ・アクセス検出機能		動作停止 (ただし, DMA実行時は動作可能)	

備考 動作停止 : HALTモード移行時に自動的に動作停止
 動作禁止 : HALTモード移行前に動作を停止させる
 f_H : 高速オンチップ・オシレータクロック
 f_{IL} : 低速オンチップ・オシレータクロック
 f_X : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_{EXS} : 外部サブシステム・クロック

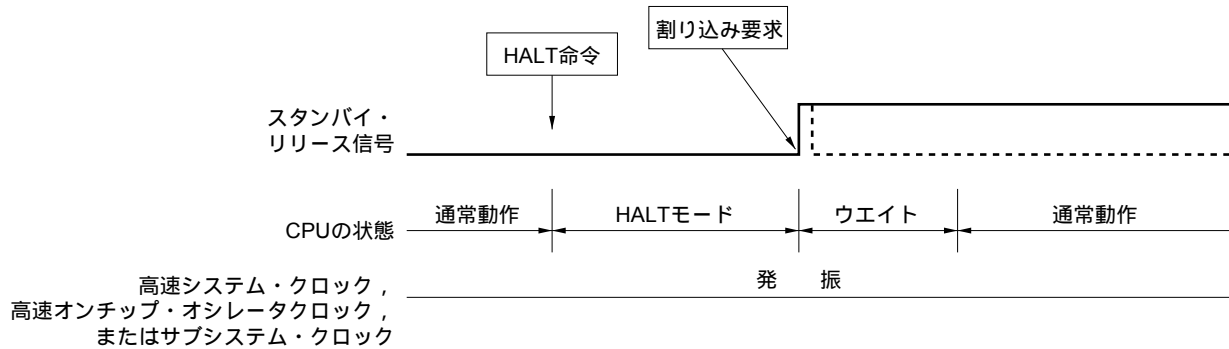
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図20 - 3 HALTモードの割り込み要求発生による解除



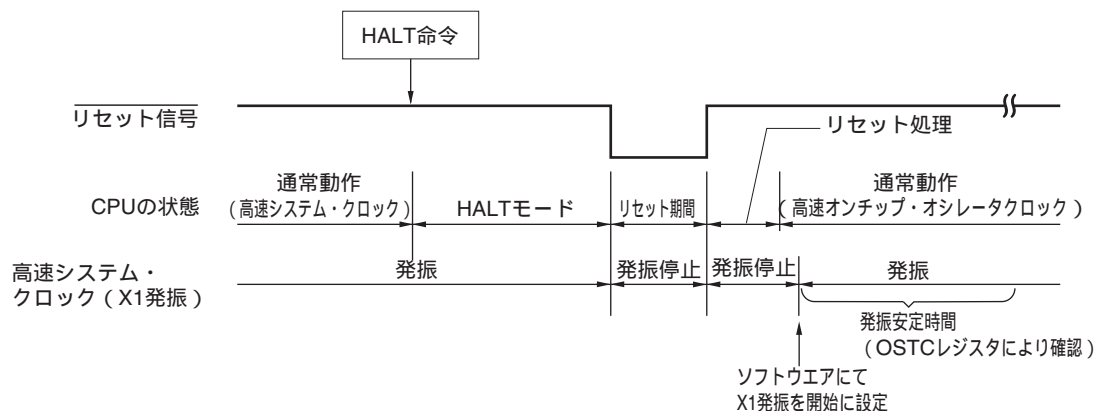
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

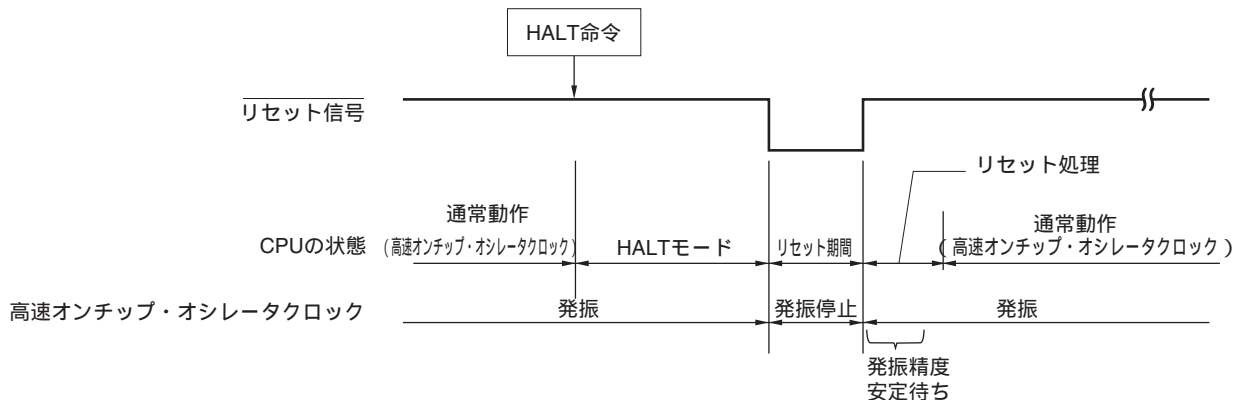
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図20 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合



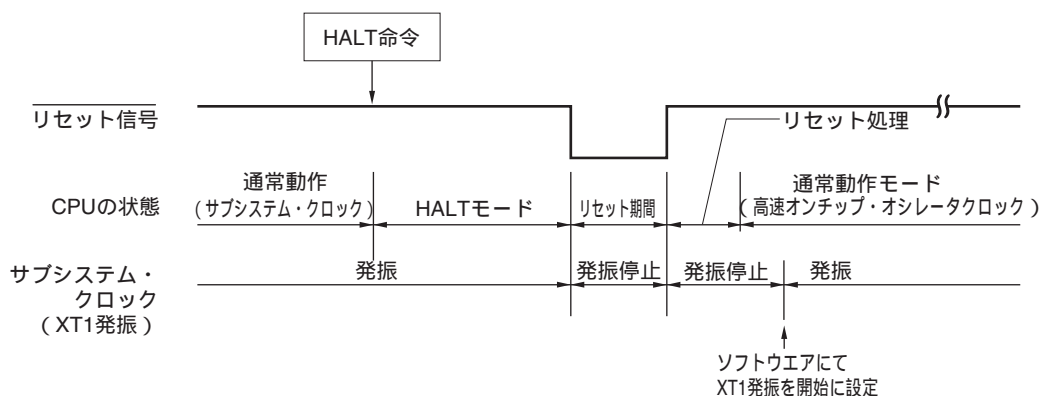
(2) CPUクロックが高速オンチップ・オシレータクロックの場合



備考 f_x : X1クロック発振周波数

図20 - 4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合



20.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意1. 割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードの解除に割り込み要求信号が用いられるため、スタンバイ・モードに入ってもただちに解除されます。したがって、その状況でSTOP命令を実行しても、すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウェイトしたあと動作モードに戻ります。

- CSI00, UART0, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ0 (SSC0), A/Dコンバータ・モード・レジスタ2 (ADM2) をSTOPモードに移行前に設定してください。詳細は、13.3 シリアル・アレイ・ユニットを制御するレジスタ, 12.3 A/Dコンバータで使用するレジスタを参照してください。

次にSTOPモード時の動作状態を示します。

表20 - 2 STOPモード時の動作状態

STOPモード の設定 項 目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ クロック (f _H) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _H	停止		
	f _X			
	f _{EX}			
サブシステム・クロック	f _{XT}	STOPモード設定前の状態を継続		
	f _{EXS}			
f _{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) および動作スピード・モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ		動作停止 (データ・フラッシュのプログラミング時は, STOP命令は実行禁止)		
RAM		動作停止		
ポート (ラッチ)		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
リアルタイム・クロック (RTC)		動作可能		
インターバル・タイマ				
ウェイクアップ・タイマ		動作可能 (動作クロックの状態に依存)		
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照		
クロック出力 / ブザー出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
A/Dコンバータ		ウェイク・アップ動作可能 (SNOOZEモードへ移行)		
シリアル・アレイ・ユニット (SAU)		CSI00, UART0のみウェイク・アップ動作可能 (SNOOZEモードへ移行) CSI00, UART0以外は動作禁止		
LIN-UART		動作禁止		
シリアル・アレイ・ユニット (IICA)		アドレス一致によるウェイク・アップ動作可能		
乗除積和算器		動作禁止		
DMAコントローラ				
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算機能	高速CRC	動作停止		
	汎用CRC			
不正メモリ・アクセス検出機能				

備考 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

f_H : 高速オンチップ・オシレータクロック

f_{IL} : 低速オンチップ・オシレータクロック

f_X : X1クロック

f_{EX} : 外部メイン・システム・クロック

f_{XT} : XT1クロック

f_{EXS} : 外部サブシステム・クロック

- 注意1. STOPモード中に動作停止する周辺ハードウェア, および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は, 周辺ハードウェアをリスタートしてください。
2. STOPモード中に低速オンチップ・オシレータクロックを停止したい場合は, オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定(000C0Hのビット0(WDSTBYON)=0)してから, STOP命令を実行してください。
3. 高速システム・クロック(X1発振)でCPU動作していて, STOPモード解除後の発振安定時間を短縮したい場合は, STOP命令実行前に, CPUクロックを一時的に高速オンチップ・オシレータクロックに切り替えてください。STOPモード解除後, CPUクロックを高速オンチップ・オシレータクロックから高速システム・クロック(X1発振)に切り替える場合は, 発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間を確認してから, 行ってください。

(2) STOPモードの解除

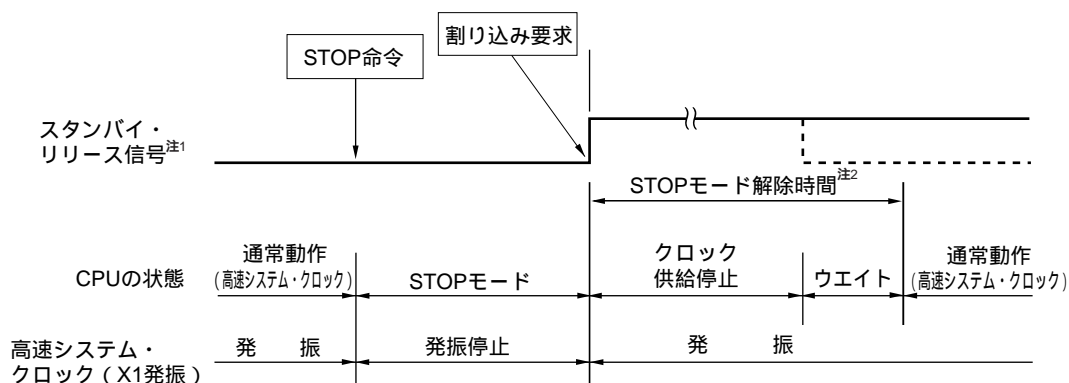
STOPモードは, 次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合, STOPモードを解除します。発振安定時間経過後, 割り込み受け付け許可状態であれば, ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば, 次のアドレスの命令を実行します。

図20 - 5 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック(X1発振)の場合



注 1. スタンバイ・リリース信号に関する詳細は, 図18 - 1を参照してください。

2. STOPモード解除時間

クロック供給停止 : 18 μ s ~ 65 μ s または 発振安定時間 (OSTSで設定) の長い方
ウエイト

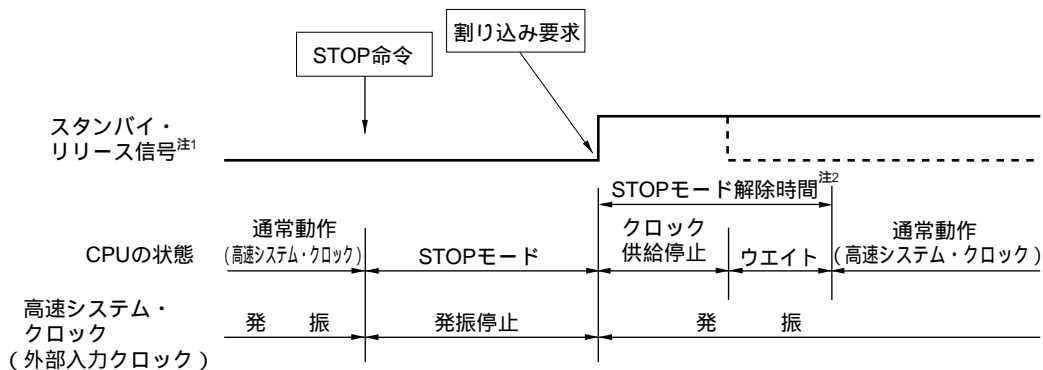
- ・ベクタ割り込み処理を行う場合 : 10 ~ 11クロック
- ・ベクタ割り込み処理を行わない場合 : 4 ~ 5クロック

備考1. クロック供給停止時間は, 温度条件とSTOPモード期間によって変化します。

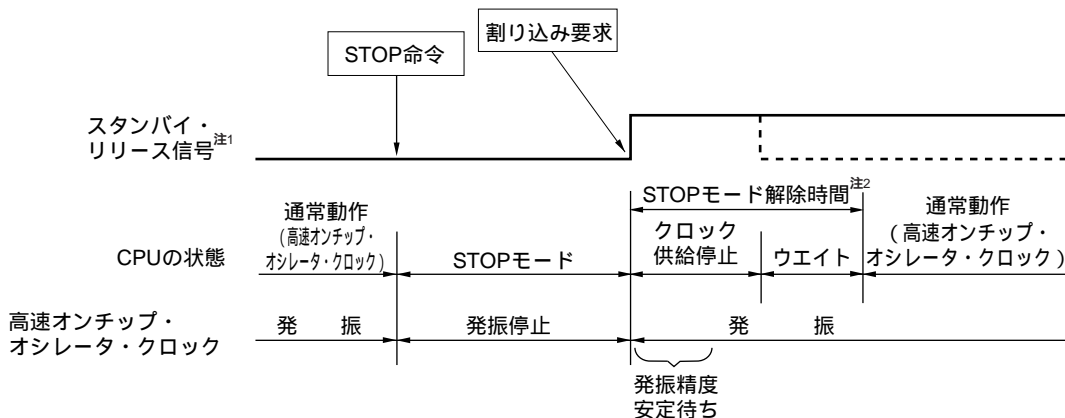
2. 破線は, スタンバイを解除した割り込み要求が受け付けられた場合です。

図20 - 5 STOPモードの割り込み要求発生による解除 (2/2)

(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



(3) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注 1. スタンバイ・リリース信号に関する詳細は、図18 - 1を参照してください。

2. STOPモード解除時間

クロック供給停止 : 18 μ s ~ 65 μ s

ウェイト

・ベクタ割り込み処理を行う場合 : 7クロック

・ベクタ割り込み処理を行わない場合 : 1クロック

備考 1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

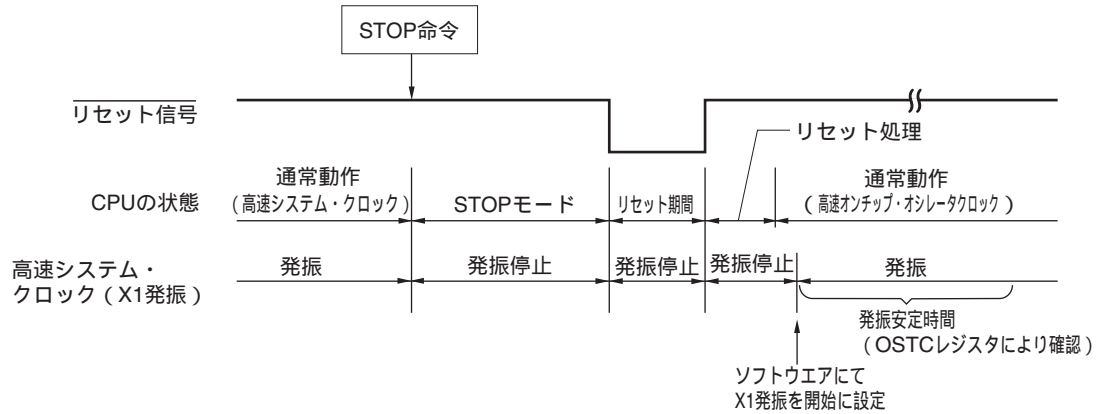
2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

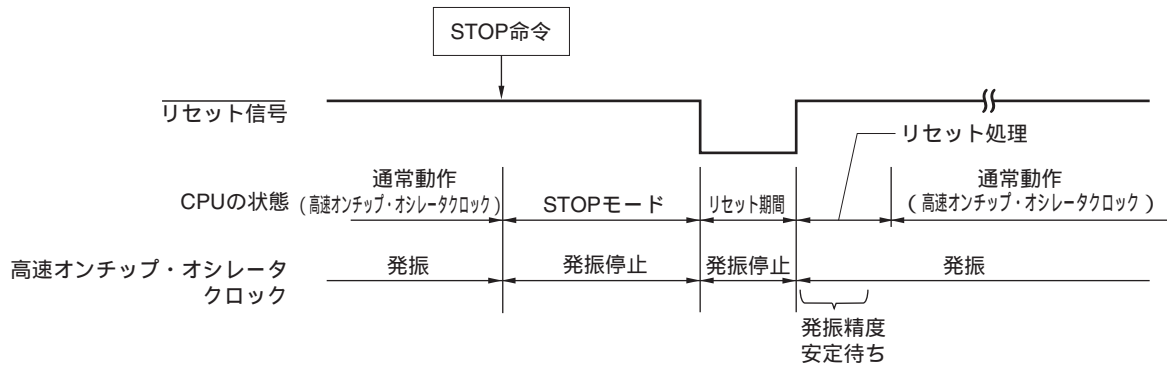
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図20 - 6 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速オンチップ・オシレータクロックの場合



備考 f_x : X1クロック発振周波数

20.2.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

CSI00, UART0または, A/Dコンバータのみ設定可能です。また, 設定前のCPUクロックが, 高速オンチップ・オシレータクロックの場合のみ設定可能です。

CSI00, UART0をSNOOZEモードで使用する場合は, シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) をSTOPモードに移行前に設定してください。詳細は, 13.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/DコンバータをSNOOZEモードで使用する場合は, A/Dコンバータ・モード・レジスタ2 (ADM2) をSTOPモードに移行前に設定してください。詳細は, 12.3 A/Dコンバータで使用するレジスタを参照してください。

SNOOZEモードの移行では, 次の時間だけウエイト状態になります。

STOPモード SNOOZEモードの遷移時間

18 ~ 65 μ s

備考 STOPモード SNOOZEモードの遷移時間は, 温度条件とSTOPモード期間によって変化します。

SNOOZEモード 通常動作の遷移時間

・ベクタ割り込み処理を行う場合

4.99 ~ 9.44 μ s + 7クロック

・ベクタ割り込み処理を行わない場合

4.99 ~ 9.44 μ s + 1クロック

次にSNOOZEモード時の動作状態を示します。

表20 - 3 SNOOZEモード時の動作状態

STOPモード の設定	STOPモード中にCSI00, UART0のデータ受信信号および A/Dコンバータのタイマ・トリガ信号入力時	
項 目	高速オンチップ・オシレータクロック (f _H) でCPU動作時	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _H	動作開始
	f _X	停止
	f _{EX}	
サブシステム・クロック	f _{XT}	STOPモード中の状態を継続
	f _{EXS}	
f _L	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) および動作スピード・モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止	
CPU	動作停止	
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート (ラッチ)	STOPモード中の状態を継続	
タイマ・アレイ・ユニット	動作禁止	
リアルタイム・クロック (RTC)	動作可能	
インターバル・タイマ		
ウェイクアップ・タイマ	動作可能 (動作クロックの状態に依存)	
ウォッチドッグ・タイマ	第11章 ウォッチドッグ・タイマ参照	
クロック出力 / プゼー出力	カウント・クロックにサブシステム・クロック選択時のみ動作可能	
A/Dコンバータ	動作可能	
シリアル・アレイ・ユニット (SAU)	CSI00, UART0のみ動作可能 CSI00, UART0以外は動作禁止	
LIN-UART	動作禁止	
シリアル・アレイ・ユニット (IICA)		
乗除積和算器		
DMAコントローラ		
パワーオン・リセット機能	動作可能	
電圧検出機能		
外部割り込み		
キー割り込み機能		
CRC演算機能	動作停止	
不正メモリ・アクセス検出機能		

備考 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

f_H : 高速オンチップ・オシレータクロック

f_L : 低速オンチップ・オシレータクロック

f_X : X1クロック

f_{EX} : 外部メイン・システム・クロック

f_{XT} : XT1クロック

f_{EXS} : 外部サブシステム・クロック

第21章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) RESET端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット (POR) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路 (LVD) の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

RESET端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行^注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表21 - 1に示すような状態になります。

RESET端子にロウ・レベルが入力されて、リセットがかかり、RESET端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータクロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータクロックでプログラムの実行を開始します (図21 - 2から図21 - 4参照)。POR回路、LVD回路の電圧検出によるリセットは、リセット後 $V_{DD} > V_{POR}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータクロックでプログラムの実行を開始します (第22章 パワーオン・リセット回路と第23章 電圧検出回路参照)。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

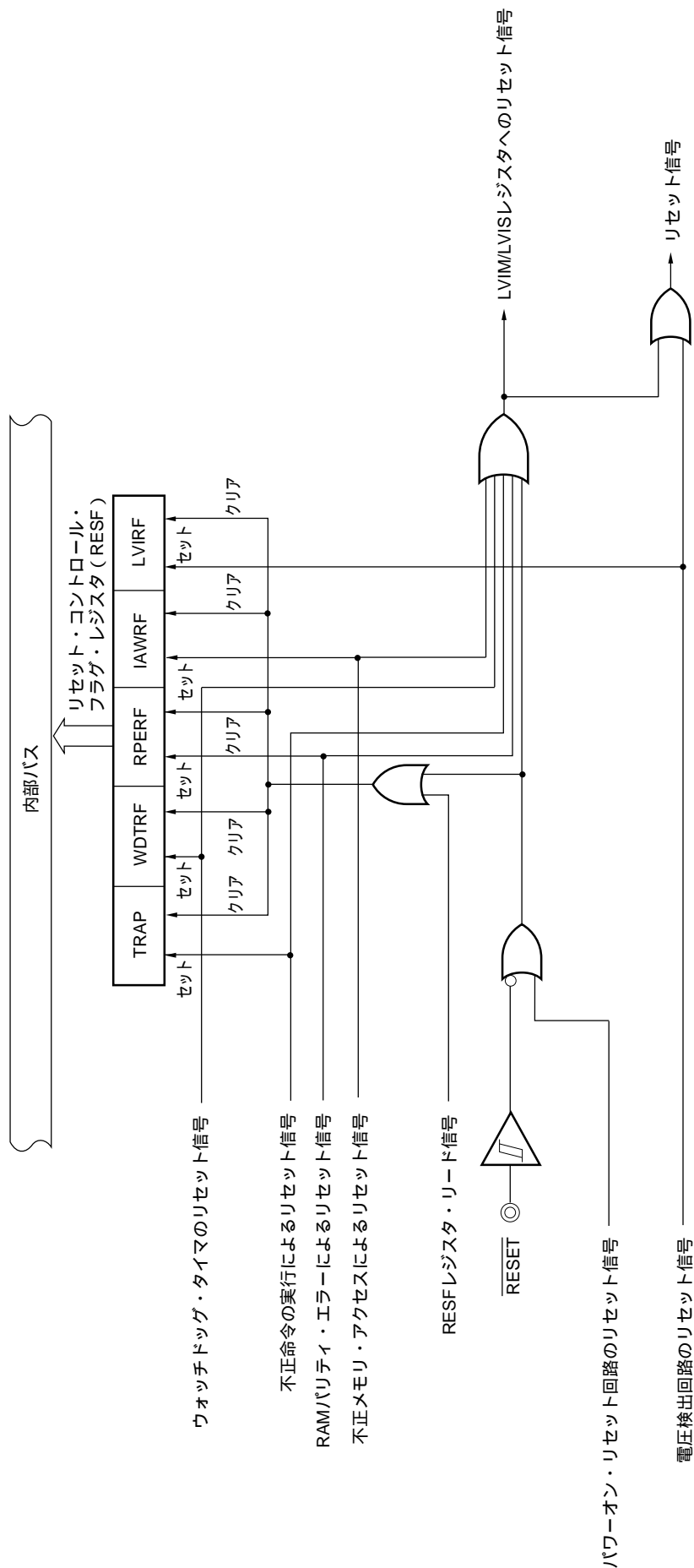
注意1 外部リセットを行う場合、RESET端子に10 μ s以上のロウ・レベルを入力してください。

(電源立ち上げ時に外部リセットを行う場合は、動作電圧範囲内の期間に10 μ s以上ロウ・レベルを継続する必要があります。)

2. リセット信号発生中では、X1クロック、XT1クロック、高速オンチップ・オシレータクロック、低速オンチップ・オシレータクロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。
3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子P130はロウ・レベル出力に、それ以外のポート端子はハイ・インピーダンスとなります。

備考 V_{POR} : POR電源立ち上がり検出電圧

図21-1 リセット機能のブロック図



注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

- 備考**
1. LVIM：電圧検出レジスタ
 2. LVIS：電圧検出レベル・レジスタ

図21 - 2 RESET入力によるリセット・タイミング

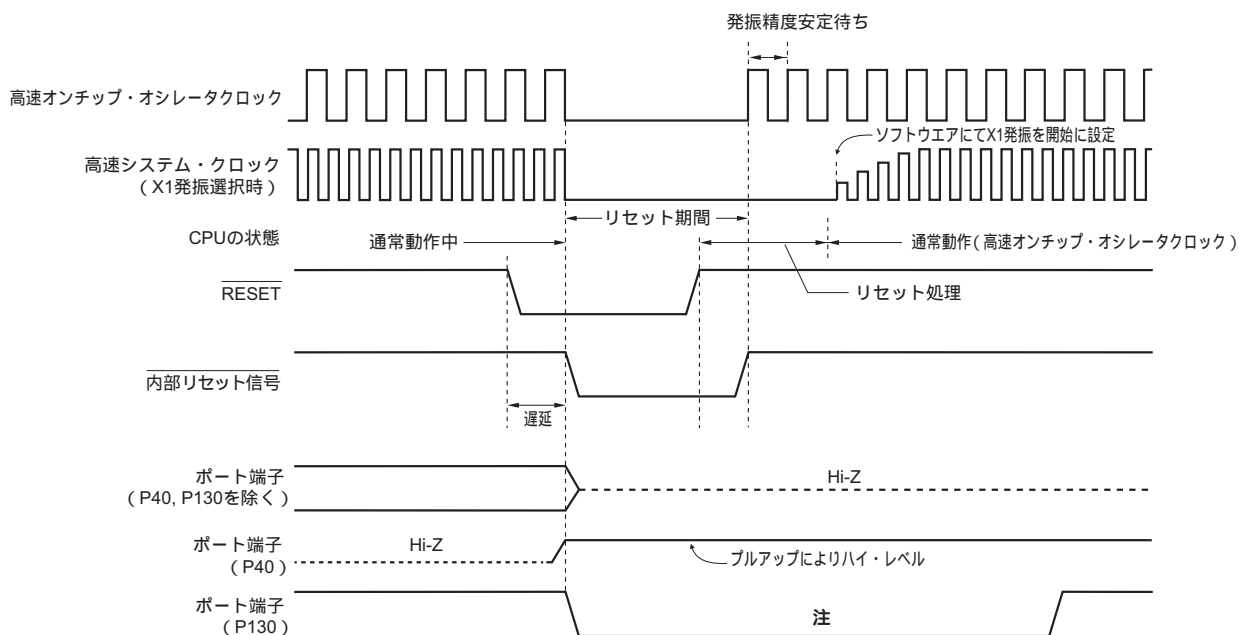
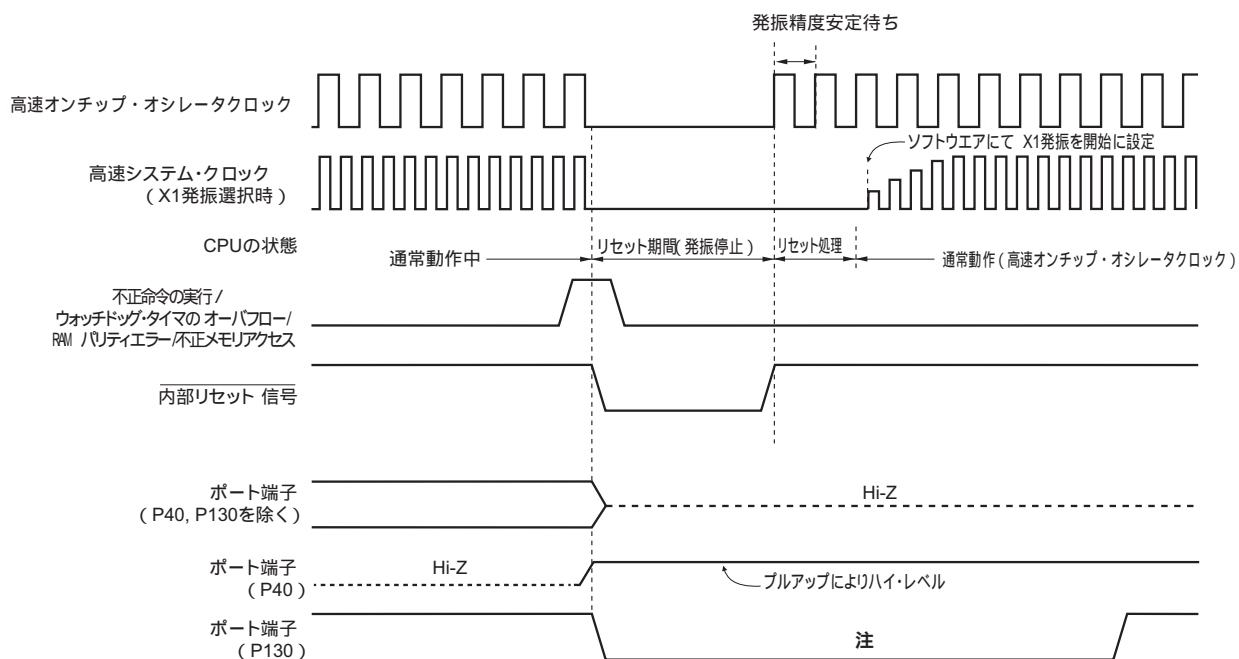


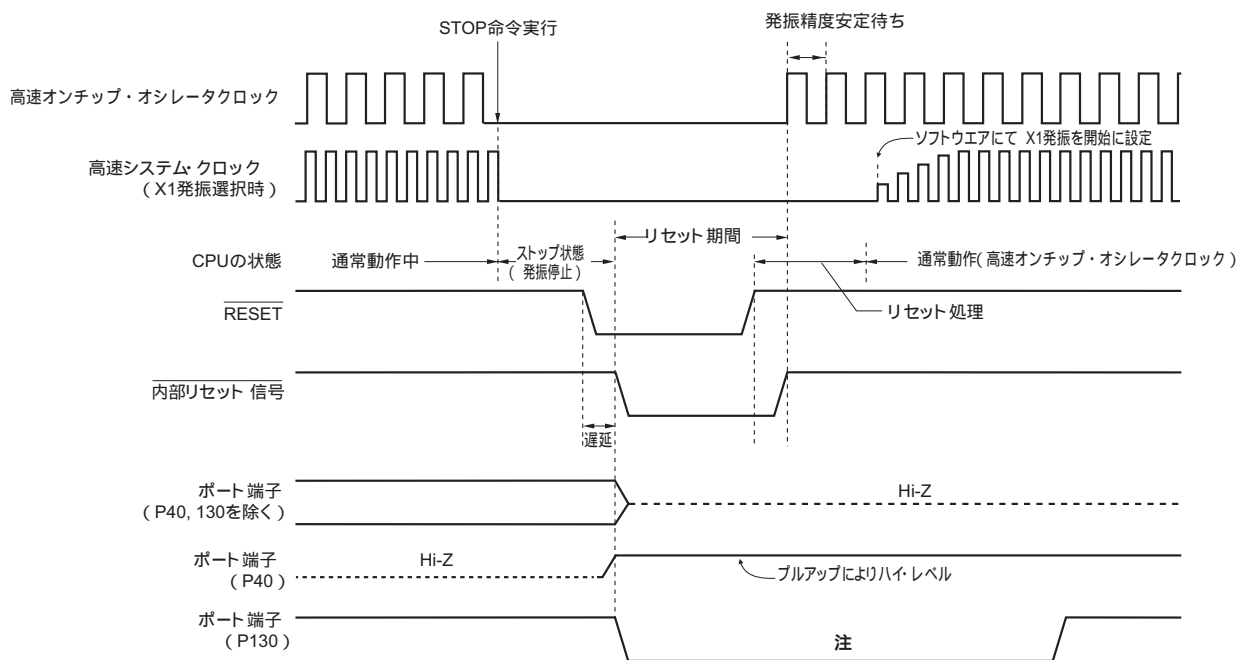
図21 - 3 不正命令の実行/ウォッチドッグ・タイマのオーバーフロー/RAMパリティエラー/不正メモリアクセスによるリセット・タイミング



注 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかると前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図21 - 4 STOPモード中のRESET入力によるリセット・タイミング



注 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

備考 パワーオン・リセット回路と電圧検出回路のリセット・タイミングは、第22章 パワーオン・リセット回路と第23章 電圧検出回路を参照してください。

表21-1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH}	動作停止
	f _X	動作停止 (X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効 (端子は入力ポート・モード)
サブシステム・クロック	f _{XT}	動作停止 (XT1, XT2端子は入力ポート・モード)
	f _{EXS}	クロックの入力無効 (端子は入力ポート・モード)
f _{IL}	動作停止	
CPU		
コード・フラッシュ・メモリ	動作停止 (オプション・バイト読み出し後, LV (低電圧メイン) モードで動作)	
データ・フラッシュ・メモリ	動作停止	
RAM	動作停止	
ポート (ラッチ)	P130は, ロウ・レベル出力。P130以外は, ハイ・インピーダンス。P40はプルアップ (端子リセット、POCリセット以外のリセット), ハイ・インピーダンス (端子リセット、POCリセット)	
タイマ・アレイ・ユニット	動作停止	
リアルタイム・クロック (RTC)		
インターバル・タイマ		
ウォッチドッグ・タイマ		
クロック出力 / ブザー出力		
A/Dコンバータ		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		
乗除算・積和演算器		
DMAコントローラ		
パワーオン・リセット機能		検出動作可能
電圧検出機能		動作停止 (オプション・バイト読み出し後, LVD検出動作可能)
外部割り込み		動作停止
キー割り込み機能		
CRC演算機能	高速CRC	
	汎用CRC	
不正メモリ・アクセス検出機能		

備考 f_{IH} : 高速オンチップ・オシレータクロック
 f_X : X1発振クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1発振クロック
 f_{EXS} : 外部サブシステム・クロック周波数
 f_{IL} : 低速オンチップ・オシレータクロック

表21 - 2 各ハードウェアのリセット受け付け後の状態 (1/5)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定
プロセッサ・モード・コントロール・レジスタ (PMC)		00H
ポート・レジスタ (P0-P7, P12-P14) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM7, PM12, PM14)		FFH
ポート・モード・コントロール・レジスタ0, 12, 14 (PMC0, PMC12, PMC14)		FFH
ポート入力モード・レジスタ0, 1, 5 (PIM0, PIM1, PIM5)		00H
ポート出力モード・レジスタ0, 1, 5, 7 (POM0, POM1, POM5, POM7)		00H
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU12, PU14)		00H (PU4は01H)
クロック動作モード制御レジスタ (CMC)		00H
クロック動作ステータス制御レジスタ (CSC)		C0H
クロック・コントロール・レジスタ (CKC)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		07H
ノイズ・フィルタ許可レジスタ0, 1 (NFEN0, NFEN1)		00H
周辺イネーブル・レジスタ0 (PER0)		00H
高速オンチップ・オシレータトリミング・レジスタ (HIOTRM)		注2
温度トリミング・レジスタ0-3 (TEMPCAL0-TEMPCAL3)		注2
動作スピード・モード制御レジスタ (OSMC)		00H
タイマ・アレイ・ユニット	タイマ・データ・レジスタ00-07 (TDR00-TDR07)	0000H
	タイマ・モード・レジスタ00-07 (TMR00-TMR07)	0000H
	タイマ・ステータス・レジスタ00-07 (TSR00-TSR07)	0000H
	タイマ入力選択レジスタ0 (TIS0)	00H
	タイマ・カウンタ・レジスタ00-07 (TCR00-TCR07)	FFFFH
	タイマ・チャンネル許可ステータス・レジスタ0 (TE0)	0000H
	タイマ・チャンネル開始レジスタ0 (TS0)	0000H
	タイマ・チャンネル停止レジスタ0 (TT0)	0000H
	タイマ・クロック選択レジスタ0 (TPS0)	0000H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. 初期値は製品により異なります。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3. 1. 4 特殊機能レジスタ (SFR : Special Function Register) , 3. 1. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表21 - 2 各ハードウェアのリセット受け付け後の状態 (2/5)

ハードウェア		リセット受け付け後の状態 ^{注1}
タイマ・アレイ・ユニット	タイマ出力レジスタ0 (TO0)	0000H
	タイマ出力許可レジスタ0 (TOE0)	0000H
	タイマ出力レベル・レジスタ0 (TOL0)	0000H
	タイマ出力モード・レジスタ0 (TOM0)	0000H
リアルタイム・クロック	秒カウント・レジスタ (SEC)	00H
	分カウント・レジスタ (MIN)	00H
	時カウント・レジスタ (HOUR)	12H
	曜日カウント・レジスタ (WEEK)	00H
	日カウント・レジスタ (DAY)	01H
	月カウント・レジスタ (MONTH)	01H
	年カウント・レジスタ (YEAR)	00H
	時計誤差補正レジスタ (SUBCUD)	00H
	アラーム分レジスタ (ALARMWM)	00H
	アラーム時レジスタ (ALARMWH)	12H
	アラーム曜日レジスタ (ALARMWW)	00H
	リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)	00H
	リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)	00H
	インターバル・タイマ	インターバル・タイマ・コントロール・レジスタ (ITMC)
クロック出力 / ブザー出力制御回路	クロック出力選択レジスタ0, 1 (CKS0, CKS1)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注2}
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	A/Dコンバータ・モード・レジスタ0-2 (ADM0-ADM2, ADM0, ADM1, ADM2)	00H
	変換結果比較上限値設定レジスタ (ADUL)	FFH
	変換結果比較下限値設定レジスタ (ADLL)	00H
	A/Dテスト・レジスタ (ADTES)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	00H
シリアル・アレイ・ユニット (SAU)	シリアル・データ・レジスタ00-03, 10, 11 (SDR00-SDR03, SDR10, SDR11)	0000H
	シリアル・ステータス・レジスタ00-03, 10, 11 (SSR00-SSR03, SSR10, SSR11)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタ00-03, 10, 11 (SIR00-SIR03, SIR10, SIR11)	0000H
	シリアル・モード・レジスタ00-03, 10, 11 (SMR00-SMR03, SMR10, SMR11)	0020H
	シリアル通信動作設定レジスタ00-03, 10, 11 (SCR00-SCR03, SCR10, SCR11)	0087H
	シリアル・チャネル許可ステータス・レジスタ0, 1 (SE0, SE1)	0000H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3. 1. 4 特殊機能レジスタ (SFR : Special Function Register) , 3. 1. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表21 - 2 各ハードウェアのリセット受け付け後の状態 (3/5)

	ハードウェア	リセット受け付け後の状態 ^注
シリアル・アレイ・ユニット (SAU)	シリアル・チャンネル開始レジスタ0, 1 (SS0, SS1)	0000H
	シリアル・チャンネル停止レジスタ0, 1 (ST0, ST1)	0000H
	シリアル・クロック選択レジスタ0, 1 (SPS0, SPS1)	0000H
	シリアル出力レジスタ0, 1 (SO0, SO1)	0F0FH
	シリアル出力許可レジスタ0, 1 (SOE0, SOE1)	0000H
	シリアル出力論理レジスタ0, 1 (SOL0, SOL1)	0000H
	シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)	0000H
	入力切り替え制御レジスタ (ISC)	00H
	シリアル・ステータス・レジスタS0 (SSRS0)	0000H
	シリアル・ステータス・レジスタS1 (SSRS1)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタS0 (SIRS0)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタS1 (SIRS1)	0000H
	シリアル・モード・レジスタS0 (SMRS0)	0020H
	シリアル・モード・レジスタS1 (SMRS1)	0020H
	シリアル通信動作設定レジスタS0 (SCRS0)	0087H
	シリアル通信動作設定レジスタS1 (SCRS1)	0087H
	シリアル・チャンネル許可ステータス・レジスタS (SES)	0000H
	シリアル・チャンネル開始レジスタS (SSS)	0000H
	シリアル・チャンネル停止レジスタS (STS)	0000H
	シリアル・クロック選択レジスタS (SPSS)	0000H
	シリアル出力レジスタS (SOS)	0303H
	シリアル出力許可レジスタS (SOES)	0000H
	シリアル出力許可レジスタS (SOLS)	0000H
シリアル・データ・レジスタS0 (SDRS0)	0000H	
シリアル・データ・レジスタS1 (SDRS1)	0000H	
シリアル・インタフェース IICA	IICAシフト・レジスタ0 (IICA0)	00H
	IICAステータス・レジスタ0 (IICS0)	00H
	IICAフラグ・レジスタ0 (IICF0)	00H
	IICAコントロール・レジスタ00 (IICCTL00)	00H
	IICAコントロール・レジスタ01 (IICCTL01)	00H
	IICAロウレベル幅・設定レジスタ0 (IICWL0)	FFH
	IICAハイレベル幅・設定レジスタ0 (IICWH0)	FFH
	IICAスレーブ・アドレス・レジスタ0 (SVA0)	00H
乗除積和算器	乗除算データ・レジスタA (L) (MDAL/MULA)	0000H
	乗除算データ・レジスタA (H) (MDAH/MULB)	0000H
	乗除算データ・レジスタB (L) (MDBL/MULOL)	0000H
	乗除算データ・レジスタB (H) (MDBH/MULOH)	0000H
	乗除算データ・レジスタC (L) (MDCL)	0000H
	乗除算データ・レジスタC (H) (MDCH)	0000H
	乗除算コントロール・レジスタ (MDUC)	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3. 1. 4 特殊機能レジスタ (SFR : Special Function Register) , 3. 1. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表21 - 2 各ハードウェアのリセット受け付け後の状態 (4/5)

ハードウェア		リセット受け付け後の状態 ^{注1}
キー割り込み	キー・リターン・モード・レジスタ (KRM)	00H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	不定 ^{注2}
電圧検出回路	電圧検出レジスタ (LVIM)	00H ^{注2}
	電圧検出レベル・レジスタ (LVIS)	00H/01H/81H ^{注2, 3}
DMAコントローラ	DMA SFRアドレス・レジスタ0, 1 (DSA0, DSA1)	00H
	DMA RAMアドレス・レジスタ0L, 0H, 1L, 1H (DRA0L, DRA0H, DRA1L, DRA1H)	00H
	DMAバイト・カウント・レジスタ0L, 0H, 1L, 1H (DBC0L, DBC0H, DBC1L, DBC1H)	00H
	DMAモード・コントロール・レジスタ0, 1 (DMC0, DMC1)	00H
	DMA動作コントロール・レジスタ0, 1 (DRC0, DRC1)	00H
割り込み	割り込み要求フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	00H
	割り込みマスク・フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	FFH
	優先順位指定フラグ・レジスタ00L, 00H, 01L, 01H, 02L, 02H, 10L, 10H, 11L, 11H, 12L, 12H (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1)	00H
	外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1)	00H
	安全機能	フラッシュ・メモリCRC制御レジスタ (CRC0CTL)
	フラッシュ・メモリCRC演算結果レジスタ (PGCRCCL)	0000H
	CRC入力レジスタ (CRCIN)	00H
	CRCデータ・レジスタ (CRCD)	0000H
	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	00H
	RAMパリティ・エラー制御レジスタ (RPECTL)	00H
フラッシュ・メモリ	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	00H
10進補正 (BCD) 回路	BCD補正結果レジスタ (BCDADJ)	不定

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように異なります。

レジスタ	リセット要因	RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
		RESF	TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持
	WDTRF			保持	セット (1)	保持	保持	保持
	RPERF			保持	保持	セット (1)	保持	保持
	IAWRF			保持	保持	保持	セット (1)	保持
	LVIRF			保持	保持	保持	保持	セット (1)
LVIM		クリア (00H)						保持
LVIS		00H/01H/81H						保持

3. LVD以外のリセット時は、次のようになります。

- ・ オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- ・ オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- ・ オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3. 1. 4 特殊機能レジスタ (SFR : Special Function Register) , 3. 1. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表21 - 2 各ハードウェアのリセット受け付け後の状態 (5/5)

ハードウェア		リセット受け付け後の状態 ^注
周辺I/Oリダイレクション・レジスタ (PIOR)		00H
高速オンチップ・オシレータ分周設定レジスタ (HOCODIV)		不定
周辺イネーブル・レジスタX (PERX)		00H
周辺クロック選択レジスタ (PCKSEL)		00H
ポート・モード・レジスタX0 (PMX0)		01H
ポート・モード・レジスタX1 (PMX1)		01H
ポート・モード・レジスタX2 (PMX2)		01H
ポート・モード・レジスタX3 (PMX3)		01H
ポート・モード・レジスタX4 (PMX4)		01H
ポート入力許可レジスタ (PIEN)		00H
ノイズ・フィルタ許可レジスタX (NFENX)		00H
アシンクロナス・シリアル・ インタフェース LIN-UART (UARTF)	LIN-UART0制御レジスタ0 (UF0CTL0)	10H
	LIN-UART0オプション・レジスタ0 (UF0OPT0)	14H
	LIN-UART0制御レジスタ1 (UF0CTL1)	0FFFH
	LIN-UART0オプション・レジスタ1 (UF0OPT1)	00H
	LIN-UART0オプション・レジスタ2 (UF0OPT2)	00H
	LIN-UART0状態レジスタ (UF0STR)	0000H
	LIN-UART0状態クリア・レジスタ (UF0STC)	0000H
	LIN-UART0ウエイト用送信データ・レジスタ (UF0WTX)	0000H
	LIN-UART0 ID設定レジスタ (UF0ID)	00H
	LIN-UART0バッファ・レジスタ0 (UF0BUF0)	00H
	LIN-UART0バッファ・レジスタ1 (UF0BUF1)	00H
	LIN-UART0バッファ・レジスタ2 (UF0BUF2)	00H
	LIN-UART0バッファ・レジスタ3 (UF0BUF3)	00H
	LIN-UART0バッファ・レジスタ4 (UF0BUF4)	00H
	LIN-UART0バッファ・レジスタ5 (UF0BUF5)	00H
	LIN-UART0バッファ・レジスタ6 (UF0BUF6)	00H
	LIN-UART0バッファ・レジスタ7 (UF0BUF7)	00H
	LIN-UART0バッファ・レジスタ8 (UF0BUF8)	00H
	LIN-UART0バッファ制御レジスタ (UF0BUCTL)	0000H
	LIN-UART0送信データ・レジスタ (UF0TX)	0000H
LIN-UART0受信データ・レジスタ (UF0RX)	0000H	
ウェイクアップ・タイマ・コントロール・レジスタ (WUTMCTL)		00H
ウェイクアップ・タイマ・コンペア・レジスタ (WUTMCMP)		0000H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3. 1. 4 特殊機能レジスタ (SFR : Special Function Register) , 3. 1. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

21.1 リセット要因を確認するレジスタ

RL78/F12は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・リセット (POR) 回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図21-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 00^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出 (LVD) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

2. RAMフェッチ中の命令コードは、パリティ・エラー検出対象外です。ただし、RAMの命令フェッチによるRAMデータ読み出しは、パリティ・エラー検出を行います。

3. RL78はパイプ・ライン動作のためにCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

リセット要求時のRESFレジスタの状態を表21 - 3に示します。

表21 - 3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAMパリティ エラーに よるリセット	不正メモリ・ アクセスに よるリセット	LVDによる リセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持	保持
WDTRF			保持	セット (1)	保持	保持	保持
RPERF			保持	保持	セット (1)	保持	保持
IAWRF			保持	保持	保持	セット (1)	保持
LVIRF			保持	保持	保持	保持	セット (1)

第22章 パワーオン・リセット回路

22.1 パワーオン・リセット回路の機能

パワーオン・リセット (POR) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
電源電圧 (V_{DD}) が $1.51\text{ V} \pm 0.03\text{ V}$ を越えた場合に、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.50\text{ V} \pm 0.03\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

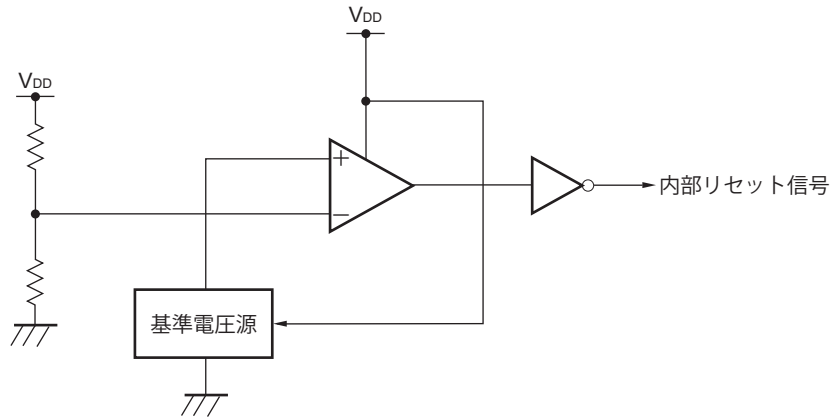
注意 POR回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のTRAP, WDTRF, RPERF, IAWRF, LVIRFフラグがクリア (00H) されます。

備考 RL78/F12には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 電圧検出 (LVD) 回路 / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT / LVD / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFレジスタの詳細については、第21章 リセット機能を参照してください。

22.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図22 - 1に示します。

図22 - 1 パワーオン・リセット回路のブロック図



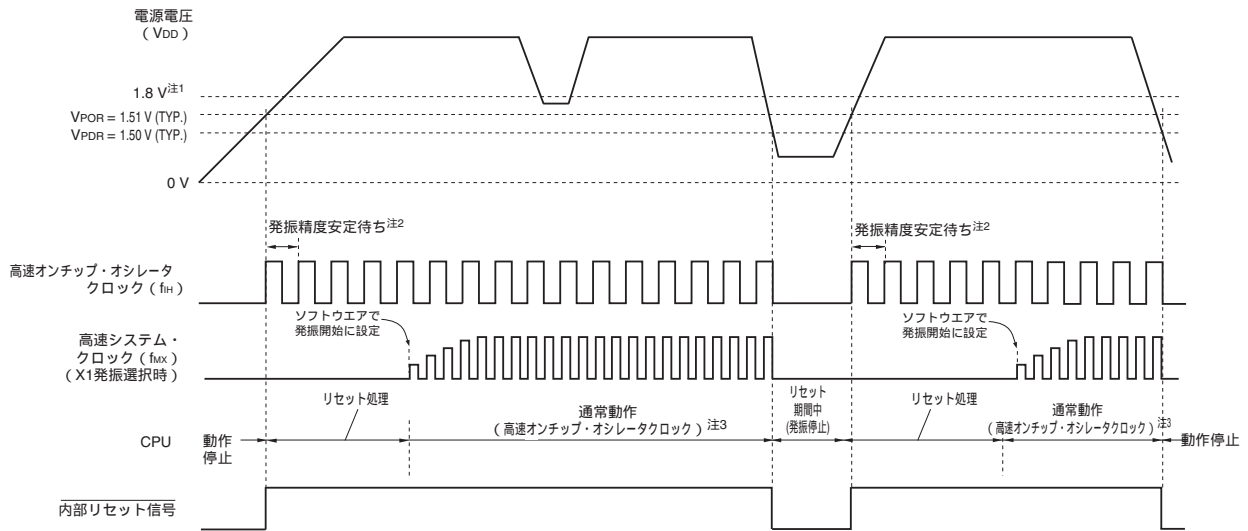
22.3 パワーオン・リセット回路の動作

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POR} = 1.51 \text{ V} \pm 0.03 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.50 \text{ V} \pm 0.03 \text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図22 - 2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) LVDオフ時 (オプション・バイト000C1H/010C1HのVPOC0-VPOC2 = 111B)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部の電圧安定待ちなどのリセット処理時間に含まれます。

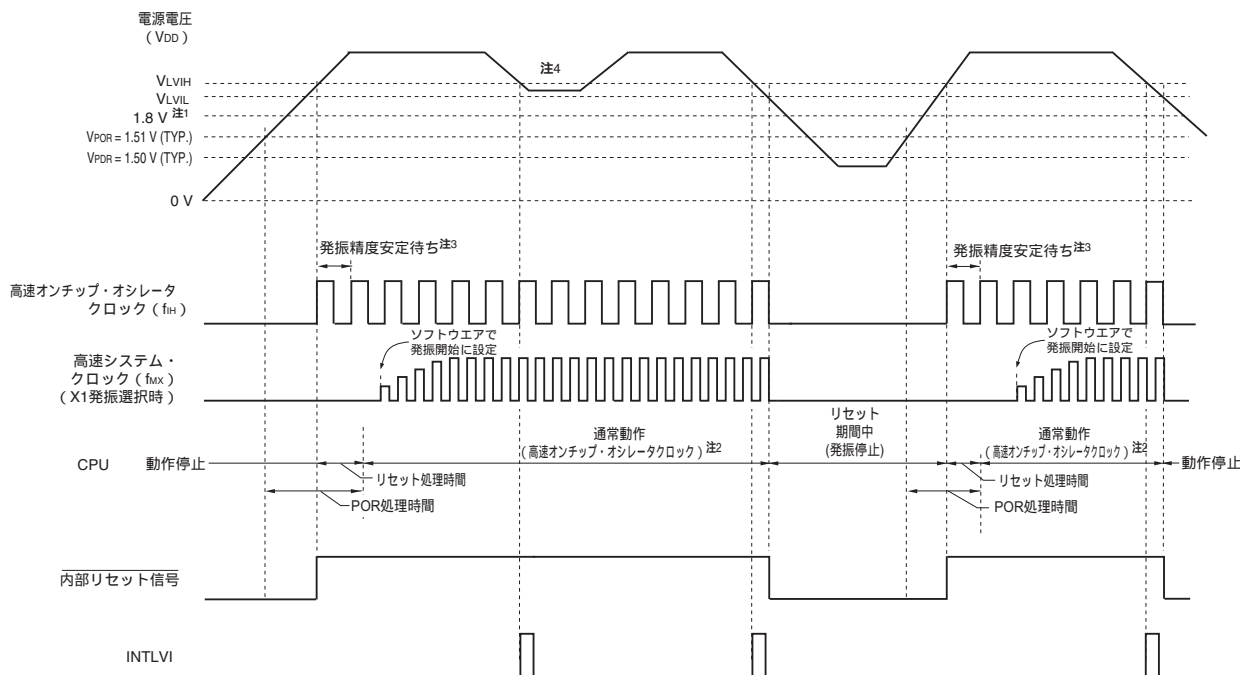
2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDOR} : POR電源立ち下がり検出電圧

図22 - 2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (2/2)

(2) LVDが割り込み&リセットモード時 ($V_{LVIL} < V_{LVIH}$ (オプション・バイトで設定))



- 注1. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
2. 高速オンチップ・オシレータ・クロックの発振精度安定時間、内部のリセット処理時間に含まれます。
3. 1回目の割り込み要求信号(INTLVI)が発生したあと、電圧検出レベル・レジスタ(LVIS)のLVIL, LVIMDビットは自動的に1に設定されます。そのため、動作電圧が電圧検出電圧 (V_{LVDL}) を下回らずに、 1.6 V 以上に復帰する可能性がある場合は、INTLVI発生後、必要な退避処理を行い、ソフトウェアで初期設定をしてください (図23-8 割り込み&リセット・モードの初期設定の設定手順参照)。

備考 V_{LVIH} , V_{LVIL} : LVD検出電圧
 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

22.4 パワーオン・リセット回路の注意事項

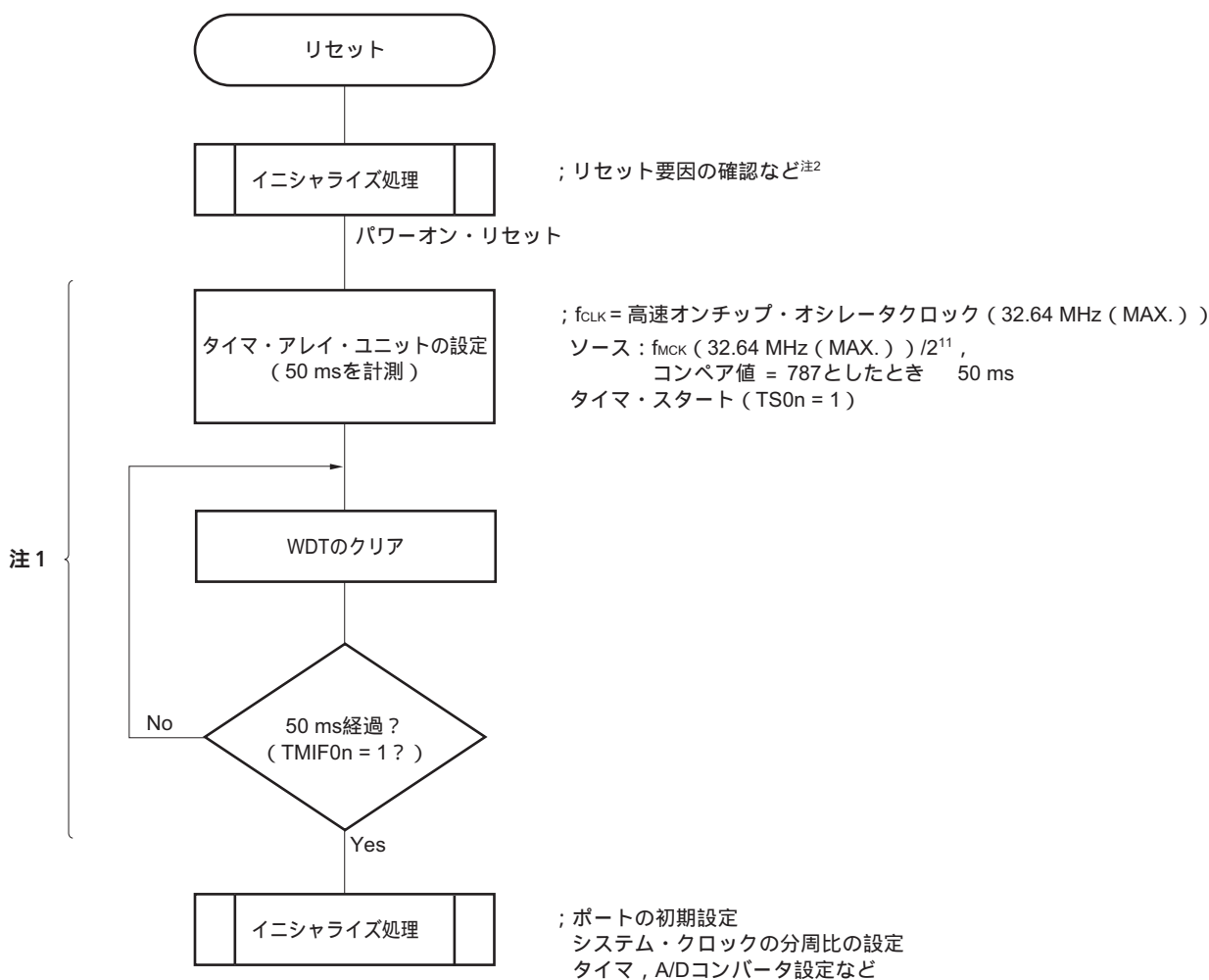
電源電圧 (V_{DD}) がPOR検出電圧 (V_{POR} , V_{PDR}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図22 - 3 リセット解除後のソフト処理例 (1/2)

・POR検出電圧付近での電源電圧変動が50 ms以下の場合



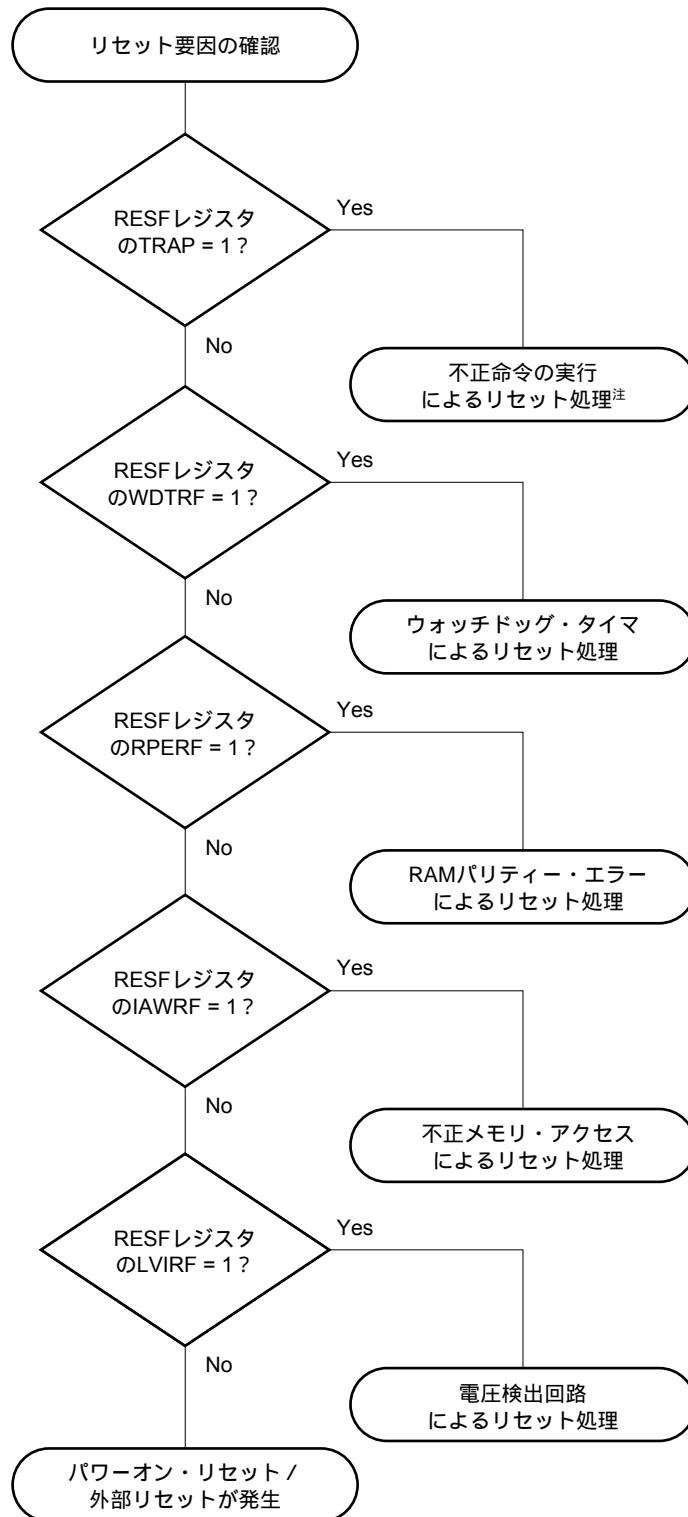
注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次ページにフロー・チャートを示します。

備考 n = 0-7

図22 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第23章 電圧検出回路

23.1 電圧検出回路の機能

電圧検出 (LVD) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVIH} , V_{LVIL}) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧の検出電圧 (V_{LVIH} , V_{LVIL}) は、オプション・バイトにて検出レベルを最大12段階より選択できます (第26章 オプション・バイト参照)。
- ・STOPモード時においても動作可能です。
- ・オプション・バイトにて、次の3つの動作モードを選択できます。

(a) 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1H/010C1Hで選択する2つの検出電圧に対して、高電圧検出レベル (V_{LVIH}) を割り込み発生/リセット解除用、低電圧検出レベル (V_{LVIL}) をリセット発生用として使用します。

(b) リセット・モード (オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1H/010C1Hで選択する1つの検出電圧 (V_{LVI}) を、リセット発生/解除用として使用します。

(c) 割り込みモード (オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1H/010C1Hで選択する1つの検出電圧 (V_{LVI}) を、割り込み発生用として使用します。

割り込み&リセット・モードでは2つの検出電圧 (V_{LVIH} , V_{LVIL}) を、リセット・モードおよび割り込みモードでは1つの検出電圧 (V_{LVI}) を設定できます。

リセットと割り込み信号は、オプション・バイト (LVIMDS0, LVIMDS1) の選択により、次のように発生しません。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
$V_{DD} < V_{LVIH}$ になったときに内部割り込み信号を発生し、 $V_{DD} < V_{LVIL}$ になったときに内部リセットを発生。 $V_{DD} > V_{LVIH}$ になったときに内部リセットを解除。	$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生

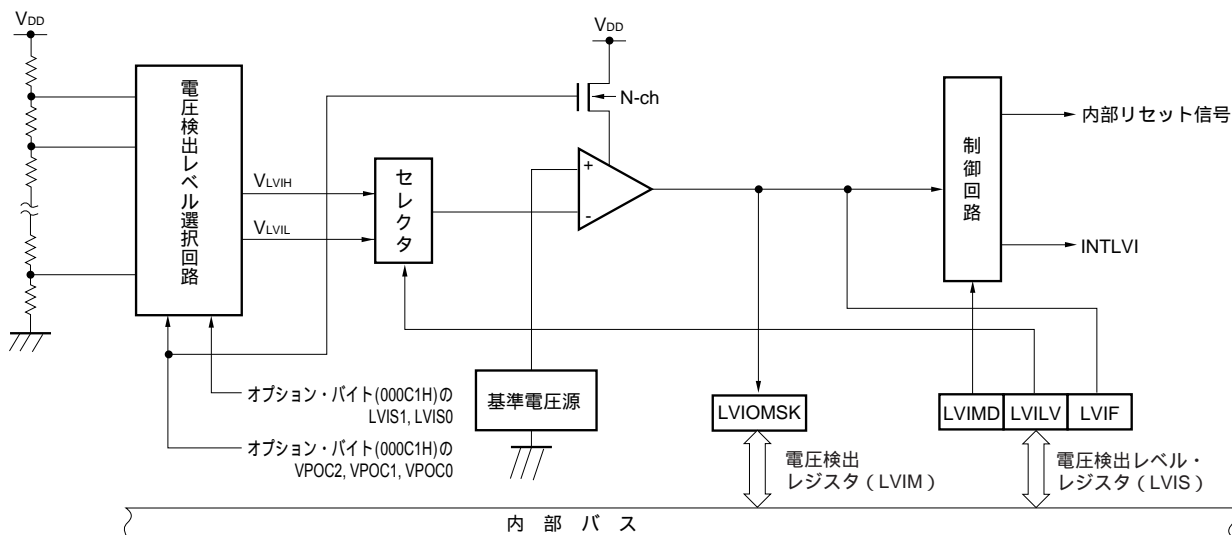
電圧検出回路動作時では、電圧検出フラグ (LVIF: 電圧検出レジスタ (LVIM) のビット0) を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFレジスタについての詳細は、第21章 リセット機能を参照してください。

23.2 電圧検出回路の構成

電圧検出回路のブロック図を図23 - 1に示します。

図23 - 1 電圧検出回路のブロック図



23.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- ・電圧検出レジスタ (LVIM)
- ・電圧検出レベル・レジスタ (LVIS)

(1) 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可 / 禁止の設定, LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図23 - 2 電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} RW^{注2}

略号	[7]	6	5	4	3	2	[1]	[0]
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	電圧検出レベル・レジスタ (LVIS) の書き換え許可 / 禁止の設定
0	書き換え禁止
1	書き換え許可 ^{注3}

LVIOMSK	LVD出力マスク状態フラグ
0	マスク無効
1	マスク有効 ^{注4}

LVIF	電圧検出フラグ
0	電源電圧 (V _{DD}) 検出電圧 (V _{LVI}), またはLVD動作禁止時
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVI})

注1. リセット値は, リセット要因により変化します。

LVDによるリセットのときには, LVIMレジスタの値はリセットされず, そのままの値を保持します。その他のリセットでは, ビット7のみ“0”にクリアされます。

2. ビット0, 1はRead Onlyです。
3. オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0 (割り込み&リセット・モード) 選択時のみ設定可能
4. LVIOMSKビットは以下の期間に自動で“1”となり, LVDによるリセットまたは割り込み発生がマスクされます。
 - ・ LVISEN = 1の期間
 - ・ LVD割り込み発生から, LVD検出電圧が安定するまでの待ち時間
 - ・ LVILVビットの値変更から, LVD検出電圧が安定するまでの待ち時間

(2) 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図23 - 3 電圧検出レベル・レジスタ (LVIS) のフォーマット

アドレス : FFFAAH リセット時 : 00H/01H/81H^{注1} R/W

略号	[7]	6	5	4	3	2	1	[0]
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD ^{注2}	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVILV ^{注2}	LVD検出レベル
0	高電圧検出レベル (V _{LVIH})
1	低電圧検出レベル (V _{LVIL} またはV _{LVI})

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア (00H) されません。

LVD以外のリセット時は、次のようになります。

- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- ・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

2. オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0(割り込み&リセット・モード)選択時に“0”書き込みのみ可能です。その他の場合は書き込み禁止で、リセットまたは割り込み発生により自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、LVISENビット (LVIMレジスタのビット7) を必ず1にしてから行ってください。

2. LVDの動作モード、検出電圧 (V_{LVIH}, V_{LVIL}) は、オプション・バイト (000C1H) で設定します。オプション・バイト (000C1H) の設定を表23 - 1に示します。オプション・バイトの詳細は第26章 オプション・バイトを参照してください。

表23 - 1 ユーザ・オプション・バイト (000C1H/010C1H) によるLVD動作モード・検出電圧設定

・LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値												
V _{LVDH}		V _{LVDL}	モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0						
立ち上がり	立ち下がり	立ち下がり	LVIMDS1	LVIMDS0											
1.98 V	1.94 V	1.84 V	1	0	0	0	1	1	0						
2.09 V	2.04 V							0	1						
3.13 V	3.06 V							0	0						
2.61 V	2.55 V	2.45 V				1	0	1	1	0	1	0			
2.71 V	2.65 V										0	1			
3.75 V	3.67 V										0	0			
2.92 V	2.86 V	2.75 V							1	1	1	1	1	1	0
3.02 V	2.96 V													0	1
4.06 V	3.98 V													0	0
上記以外			設定禁止												

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
V _{LVD}		モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	LVIMDS1	LVIMDS0					
LVDOFF		1	1	1	1	1	×	×
1.88 V	1.84 V			0	0	1	1	1
1.98 V	1.94 V				0	1	0	1
2.09 V	2.04 V				0	1	0	1
2.50 V	2.45 V				1	0	1	1
2.61 V	2.55 V				1	0	1	0
2.71 V	2.65 V				1	0	0	1
2.81 V	2.75 V				1	1	1	1
2.92 V	2.86 V				1	1	1	0
3.02 V	2.96 V				1	1	0	1
3.13 V	3.06 V				0	1	0	0
3.75 V	3.67 V				1	0	0	0
4.06 V	3.98 V				1	1	0	0
上記以外					設定禁止			

備考 ×: don't care

・LVDの設定（割り込みモード）

検出電圧		オプション・バイト設定値							
V _{LVD}		モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	
立ち上がり	立ち下がり	LVIMDS1	LVIMDS0						
LVDOFF		0	1	1	1	1	×	×	
1.88 V	1.84 V			0	0	1	1	1	
1.98 V	1.94 V				0	1	1	0	
2.09 V	2.04 V				0	1	0	1	
2.50 V	2.45 V				1	0	1	1	
2.61 V	2.55 V				1	0	1	0	
2.71 V	2.65 V				1	0	0	1	
2.81 V	2.75 V				1	1	1	1	
2.92 V	2.86 V				1	1	1	0	
3.02 V	2.96 V				1	1	0	1	
3.13 V	3.06 V				0	1	0	0	
3.75 V	3.67 V				1	0	0	0	
4.06 V	3.98 V				1	1	0	0	
上記以外					設定禁止				

備考 ×: don't care

・LVDの設定（LVDオフ）

検出電圧		オプション・バイト設定値						
V _{LVD}		モード設定		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	LVIMDS1	LVIMDS0					
		0/1	1	1	×	×	×	×
上記以外		設定禁止						

備考 ×: don't care

23. 4 電圧検出回路の動作

23. 4. 1 リセット・モードとして使用時の設定

動作開始時

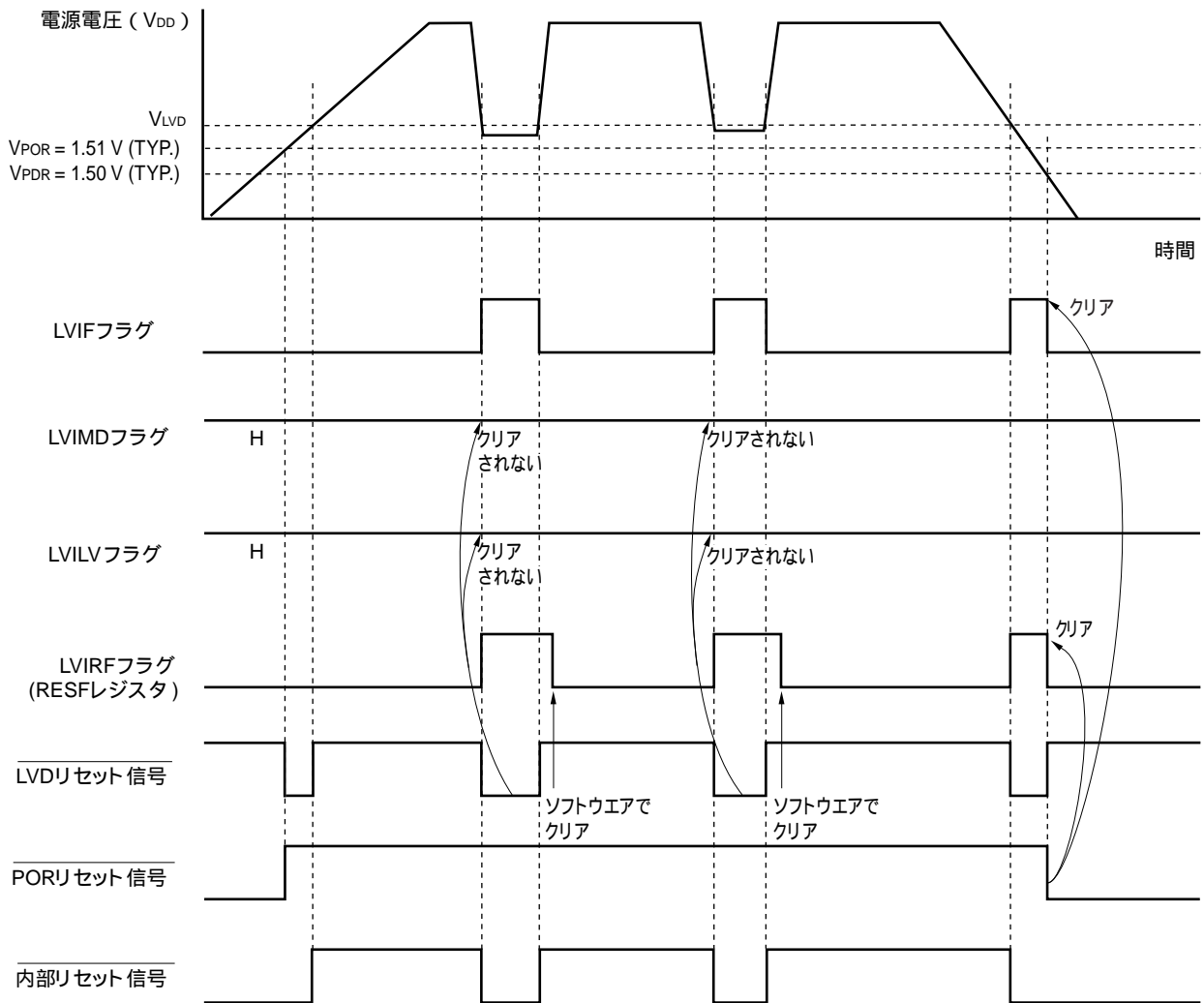
次の初期設定の状態です。

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1, 1））と検出電圧（ V_{LVI} ）の設定は、オプション・バイト000C1H/010C1Hで設定しておきます。

- ・ 電圧検出レジスタ（LVIM）のビット7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）
- ・ オプション・バイトLVIMDS1, LVIMDS0 = 1, 1に設定すると、LVISレジスタの初期値は、81Hに設定されます。
 - ビット7（LVIMD）は“1”（リセット・モード）
 - ビット0（LVILV）は“1”（低電圧検出レベル： V_{LVI} ）

図23 - 4に、電圧検出回路の内部リセット信号発生のタイミングを示します。

図23 - 4 内部リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)



備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

23.4.2 割り込みモードとして使用時の設定

動作開始時

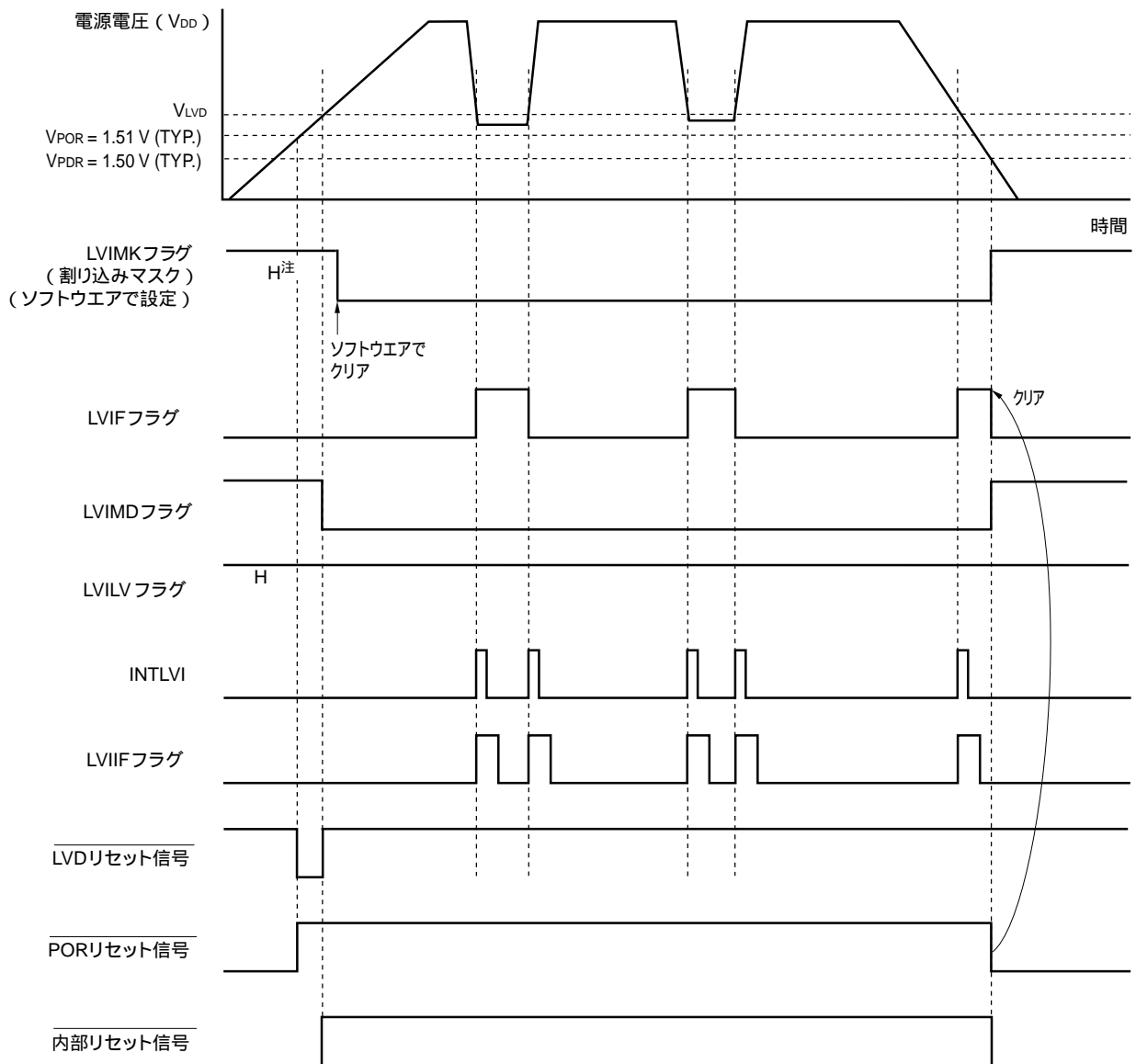
動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（ V_{LVI} ）の設定は、オプション・バイト000C1H/010C1Hで設定しておきます。

次の初期設定の状態です。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）
- ・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1に設定すると、LVISレジスタの初期値は、01Hに設定されます。
 - ビット7（LVIMD）は“0”（割り込みモード）
 - ビット0（LVILV）は“1”（低電圧検出レベル： V_{LVI} ）

図23 - 5に、電圧検出回路の内部割り込み信号発生のタイミングを示します。

図23 - 5 割り込み信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)



注 LVIMKフラグはリセット信号の発生により，“1”になっています。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

23.4.3 割り込み&リセット・モードとして使用時の設定

動作開始時

動作モード(割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0))と検出電圧(V_{LVDH}, V_{LVDL})の設定は、オプション・バイト000C1Hで設定しておきます。

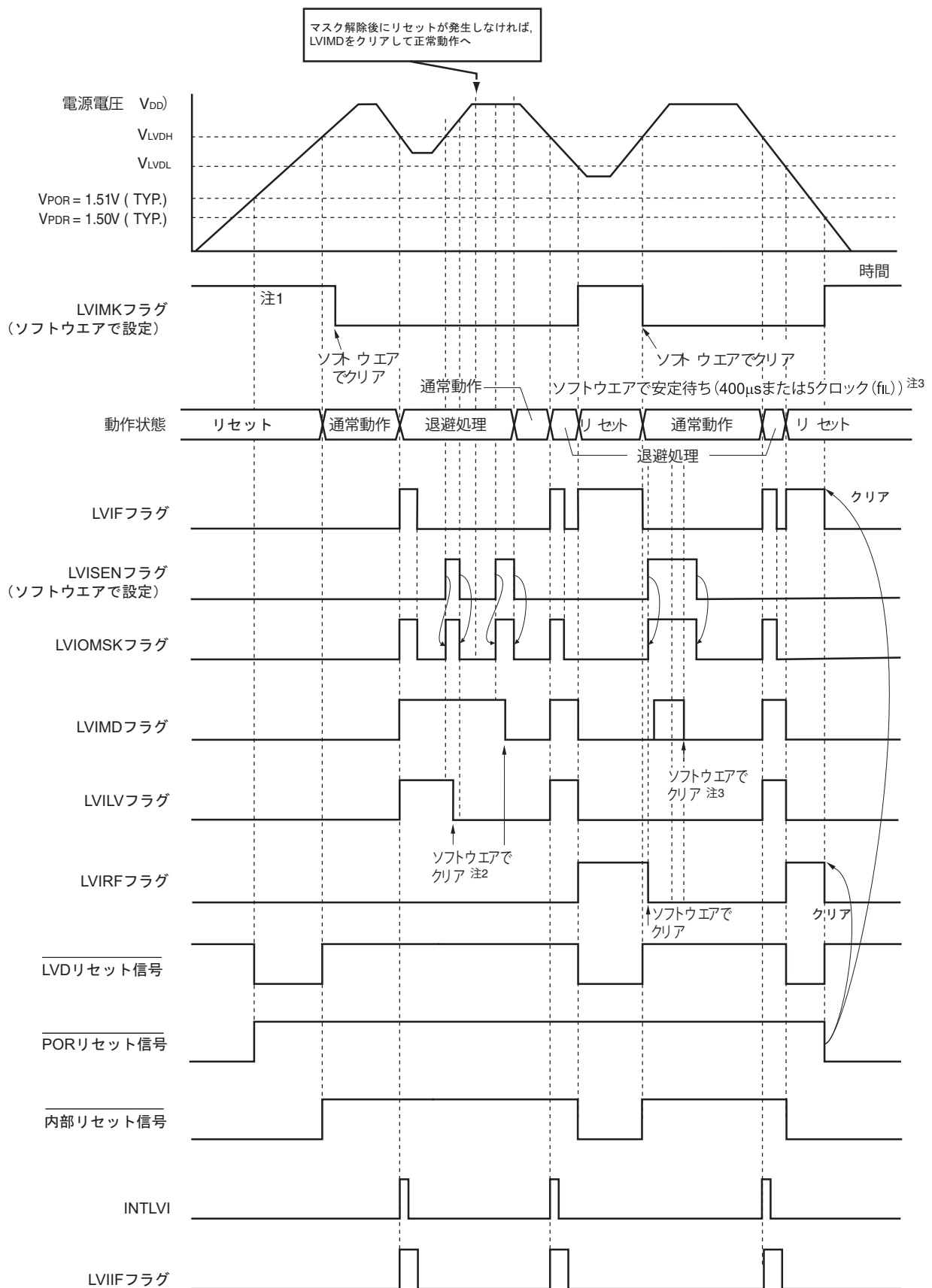
次の初期設定の状態です。

- ・電圧検出レジスタ(LVIM)のビット7(LVISEN)は“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)
- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0に設定すると、LVISレジスタの初期値は、00Hに設定されます。
 - ビット7(LVIMD)は“0”(割り込みモード)
 - ビット0(LVILV)は“0”(低電圧検出レベル: V_{LVDH})

図23 - 6に、電圧検出回路の内部リセット信号と割り込み信号発生タイミングを示します。

図23 - 7 動作電圧確認/リセットの設定手順, 図23 - 8 割り込み&リセット・モードの初期設定の設定手順に示すフローチャートの手順に従って実施してください。

図23 - 6 割り込み&リセット信号発生のタイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (1/2)

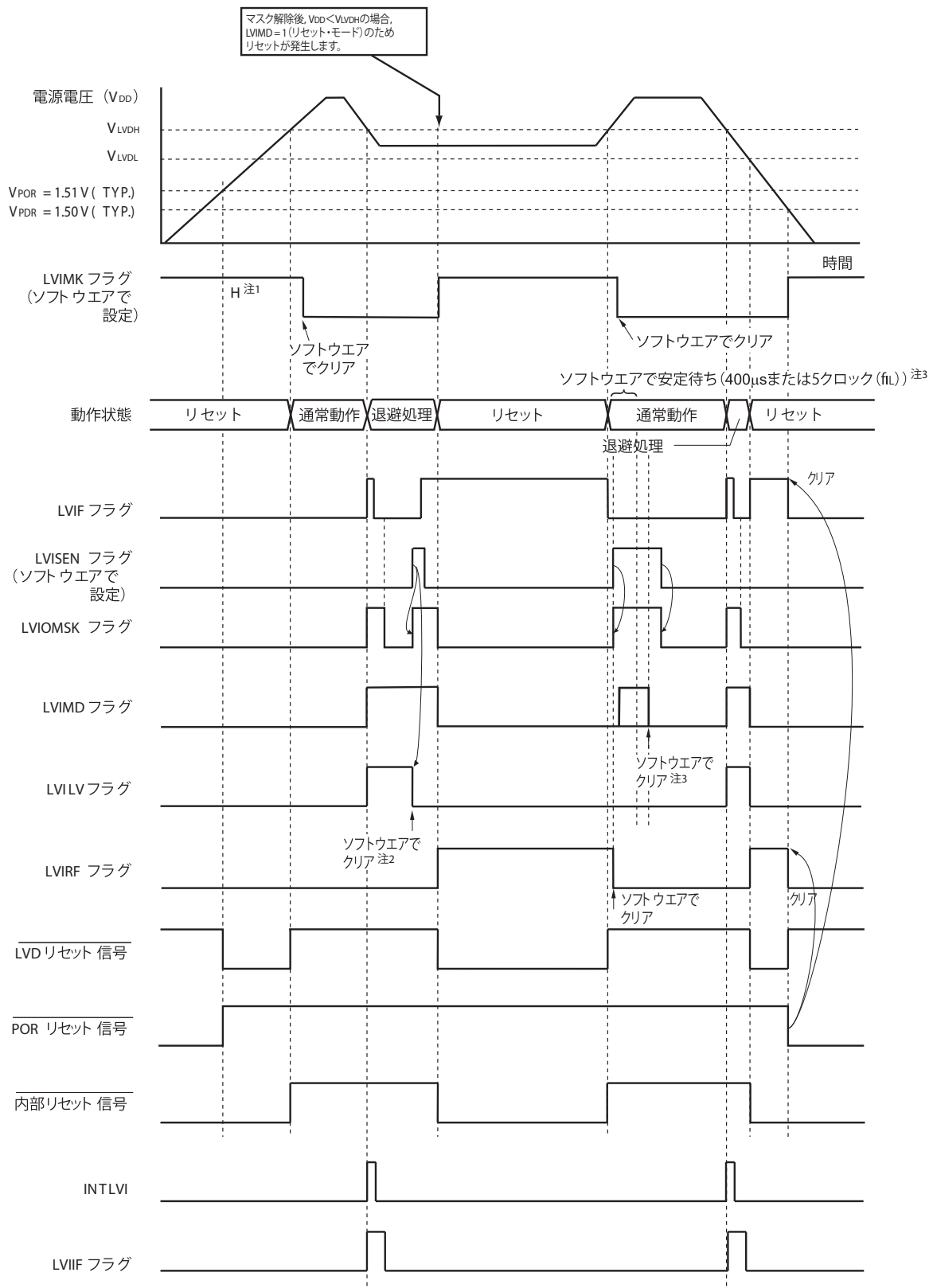


(注, 備考は次ページにあります。)

- 注 1. LVIMKフラグはリセット信号の発生により，“1”になっています。
2. 割り込み&リセット・モード使用時，割り込み発生後は，**図23 - 7 動作電圧確認/リセットの設定手順**に従って設定をしてください。
 3. 割り込み&リセット・モード使用時，リセット解除後は，**図23 - 8 割り込み&リセット・モードの初期設定の設定手順**に従って設定をしてください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図23 - 6 割り込み&リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (2/2)

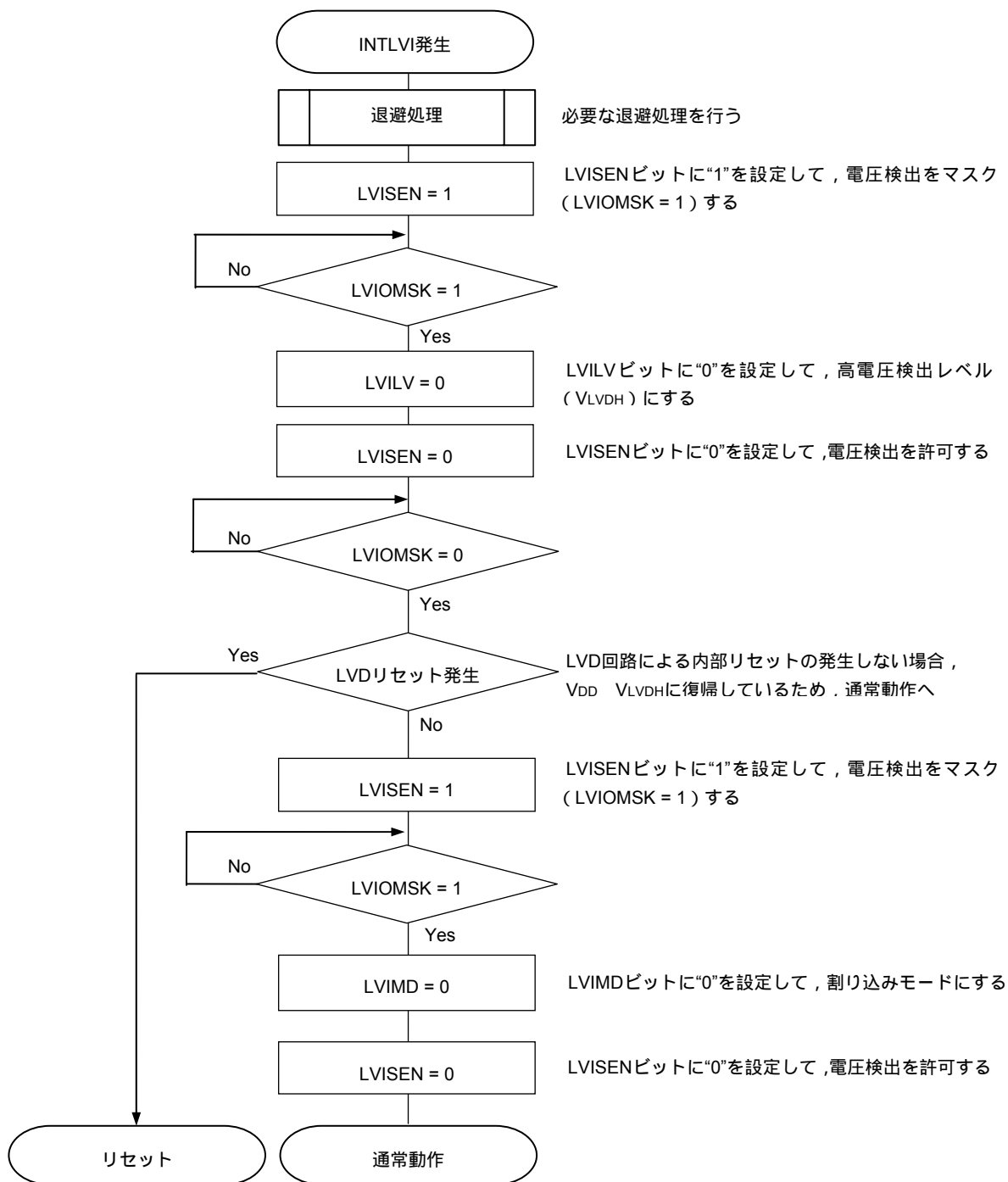


(注, 備考は次ページにあります。)

- 注 1. LVIMKフラグはリセット信号の発生により，“1”になっています。
- 2. 割り込み&リセット・モード使用時，割り込み発生後は，**図23 - 7 動作電圧確認/リセットの設定手順**に従って設定をしてください。
- 3. 割り込み&リセット・モード使用時，リセット解除後は，**図23 - 8 割り込み&リセット・モードの初期設定の設定手順**に従って設定をしてください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

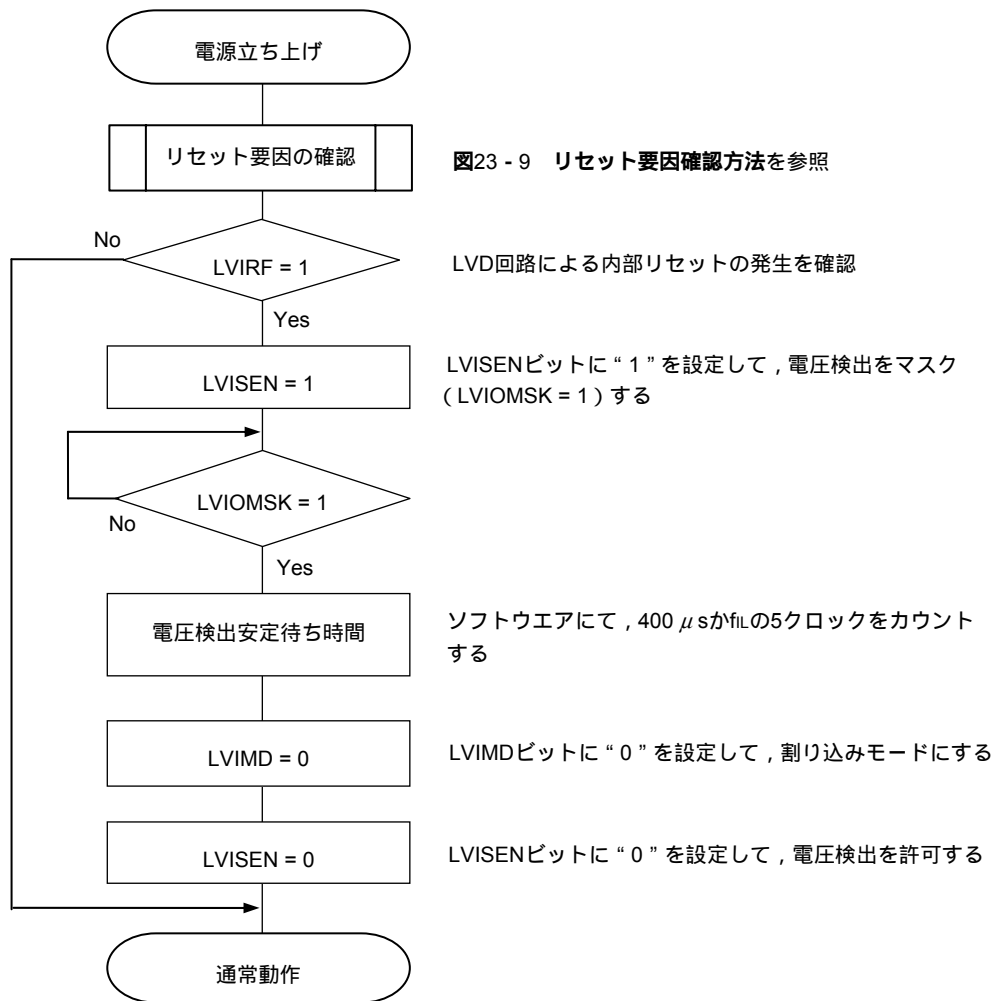
図23 - 7 動作電圧確認/リセットの設定手順



割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0) を設定した場合, LVDリセット解除後 (LVIRF = 1) から $400 \mu\text{s}$ が f_{IL} の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後, LVIMDビットをクリア (0) して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は, LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図23 - 8に割り込み&リセット・モードの初期設定の手順を示します。

図23 - 8 割り込み&リセット・モードの初期設定の設定手順



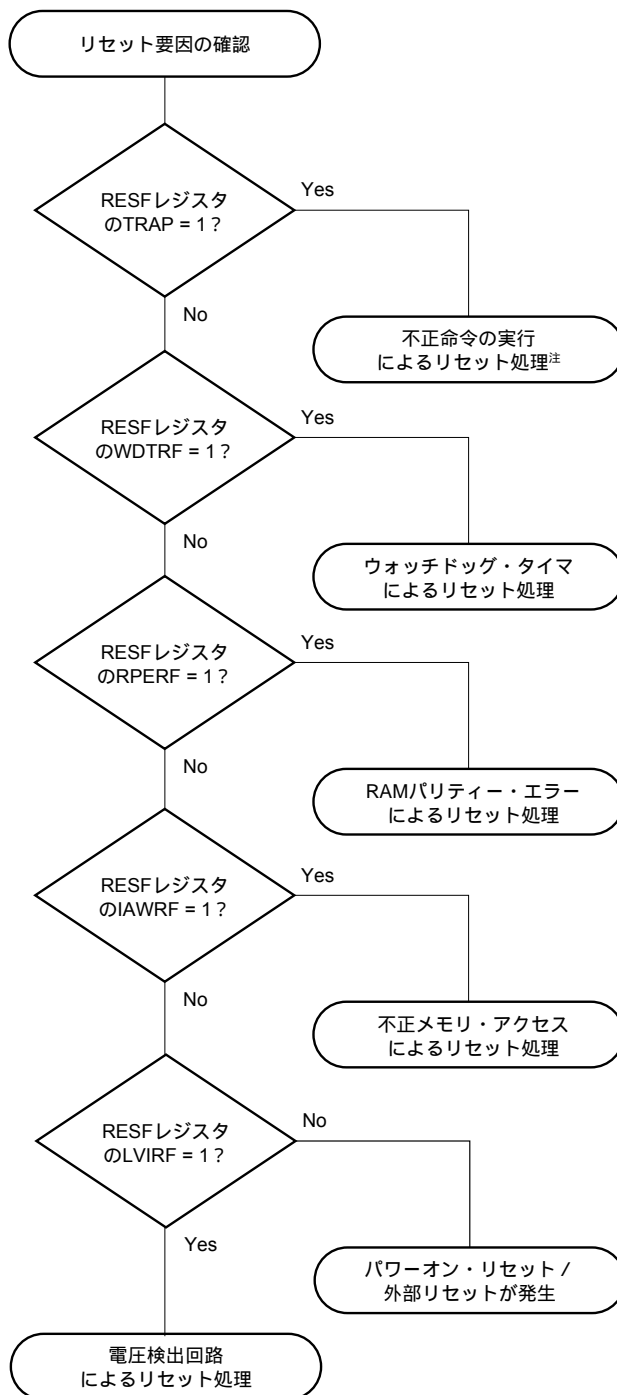
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

23.5 電圧検出回路の注意事項

(1) リセット要因の確認方法

リセットが発生した場合は、次の方法でリセット要因を確認してください。

図23 - 9 リセット要因確認方法



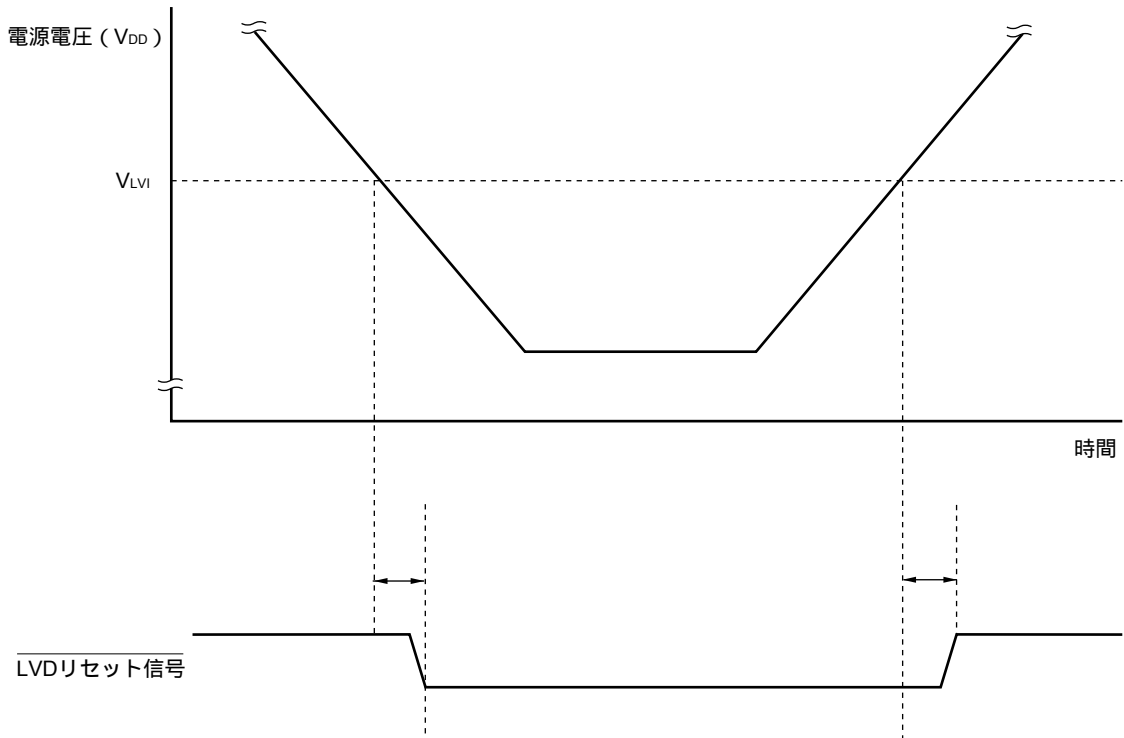
注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVD検出電圧 (V_{LVI}) になってから、LVDリセットが発生するまでには遅延が生じません。同じようにLVD検出電圧 (V_{LVI}) > 電源電圧 (V_{DD}) になってから、LVDリセットが解除されるまでも遅延が生じません (図23 - 10参照)。

図23 - 10 LVDリセット要因発生からLVDリセット発生または解除までの遅延



: 検出遅延 ($300 \mu\text{s}$ (MAX.))

第24章 安全機能

24.1 安全機能の概要

安全規格IEC60730, IEC61508に対応するため, RL78/F12では以下の安全機能を搭載しています。

この安全機能は, マイコンで自己診断することで, 故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能 (高速CRC, 汎用CRC)

CRC演算を行うことにより, フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて, 以下の2つのCRCを使い分けることができます。

- ・「高速CRC」... 初期設定ルーチンの中で, CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- ・「汎用CRC」... CPU動作中に, コード・フラッシュ・メモリ領域に限らず, 多用途のチェックに使用できます。

(2) RAMパリティ・エラー検出機能

RAMをデータとして読み出すとき, パリティ・エラーを検出します。

(3) RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

(4) SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域 (メモリが存在しない, アクセスが制限されている領域) への不正なアクセスを検出します。

(6) 周波数検出機能

TAUを使用して, 発振周波数を検出することができます。

(7) A/Dテスト機能

内部基準電圧をA/D変換することにより, A/D変換の自己チェックができます。

24.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ (CRC0CTL) ・フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	フラッシュ・メモリCRC演算機能 (高速CRC)
・CRC入力レジスタ (CRCIN) ・CRCデータ・レジスタ (CRCD)	CRC演算機能 (汎用CRC)
・RAMパリティ・エラー制御レジスタ (RPECTL) ・不正メモリ・アクセス検出制御レジスタ (IAWCTL)	RAMパリティ・エラー検出機能 RAMガード機能 SFRガード機能 不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0 (TIS0)	周波数検出機能
・A/Dテスト・レジスタ (ADTES)	A/Dテスト機能
・アナログ入力チャネル指定レジスタ (ADS)	アナログ電圧入力チャネルの指定機能

各レジスタの内容については、24.3 安全機能の動作の中で説明します。

24.3 安全機能の動作

24.3.1 フラッシュ・メモリCRC演算機能 (高速CRC)

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定 (イニシャライズ) ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です (例 フラッシュ・メモリ64 KB:512 μ s@32 MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」に対応しています。

ビット31 ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

24.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24 - 1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL) のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	0000H-3FFBH (16 K-4バイト)
0	0	0	0	0	1	00000H-7FFBH (32 K-4バイト)
0	0	0	0	1	0	00000H-BFFBH (48 K-4バイト)
0	0	0	0	1	1	00000H-FFFH (64 K-4バイト)
上記以外						設定禁止

注意 ROM8 K製品は高速CRCを使用できません。また、ROM24 K製品は16 Kまでの範囲のみ高速CRCを使用できます。

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

24.3.1.2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図24 - 2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

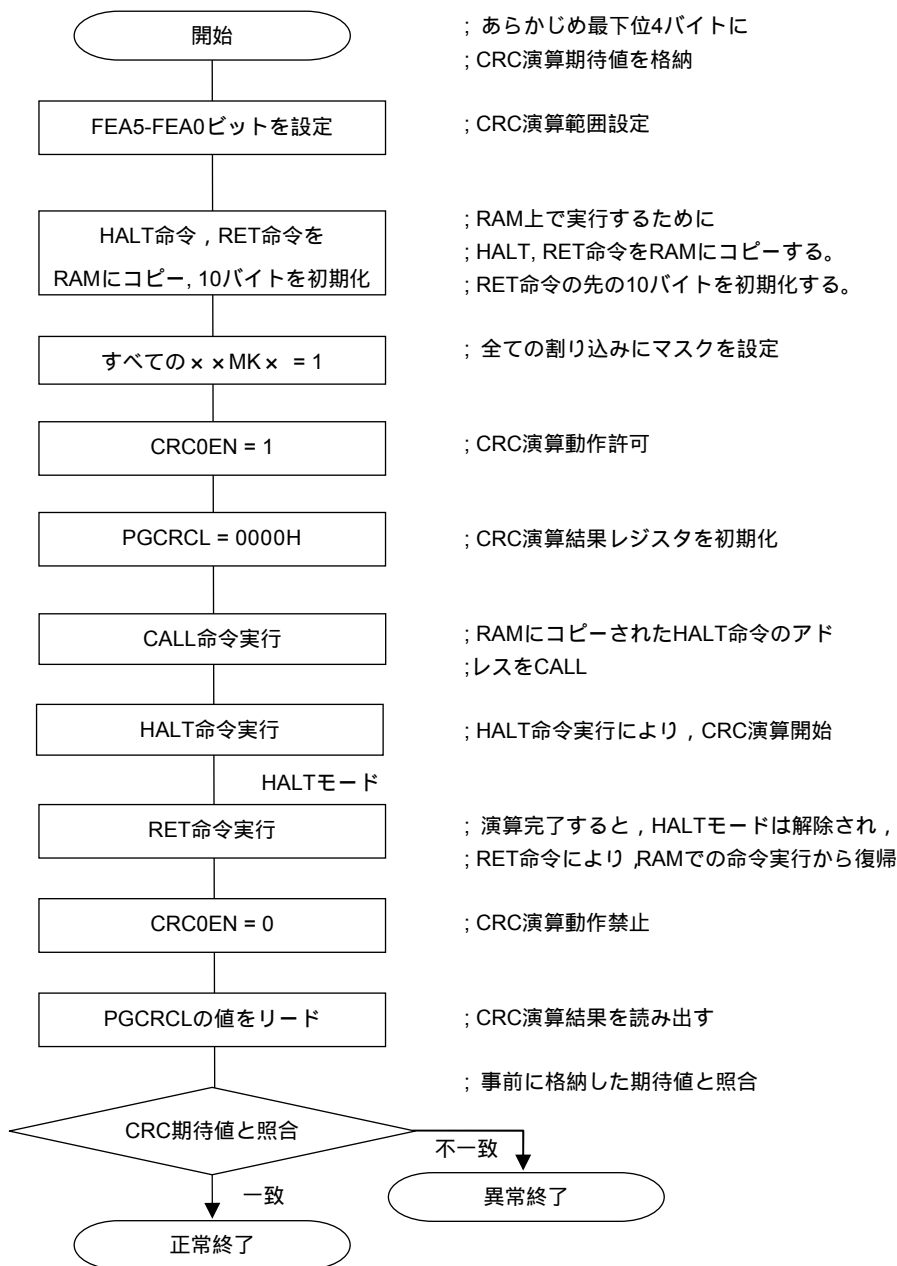
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
PGCRC15-0		高速CRC演算結果						
0000H-FFFFH		高速CRC演算結果を格納						

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7)=1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能 (高速CRC) のフロー・チャートを図24 - 3に示します。

<動作フロー>

図24 - 3 フラッシュ・メモリCRC演算機能 (高速CRC) のフロー・チャート



- 注意1. CRC演算の対象は, コード・フラッシュのみです。
2. CRC演算の期待値は, コード・フラッシュ内の演算範囲の後に格納してください。
 3. CRC演算時は, ブート・スワップされません。
 4. RAM領域にて, HALT命令を実行することで, CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

CRC期待値は, 開発環境「CubeSuite+」等で算出することができます (CubeSuite+のユーザーズ・マニュアル参照)。

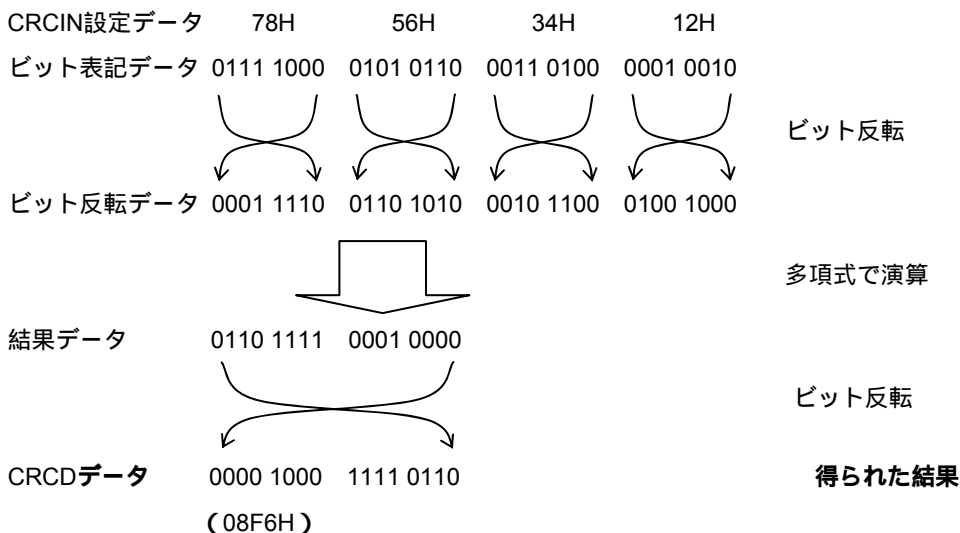
24.3.2 CRC演算機能 (汎用CRC)

IEC61508では動作中の安全を保証しなければならないため、CPU動作中にもデータ確認する手段が必要です。

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア (ユーザ・プログラム) で指定します。HALTモード時のCRC演算機能は、DMA転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッガはソフトウェア・ブレイク設定行をブレイク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレイクを設定すると、CRC演算結果が異なります。

24.3.2.1 CRC入力レジスタ (CRCIN)

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24 - 4 CRC入力レジスタ (CRCIN) のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0		機能					
	00H-FFH		データ入力					

24.3.2.2 CRCデータ・レジスタ (CRCD)

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

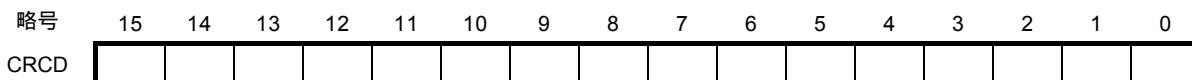
CRCINレジスタ書き込みから、CPU / 周辺ハードウェア・クロック (f_{CLK}) の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図24 - 5 CRCデータ・レジスタ (CRCD) のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

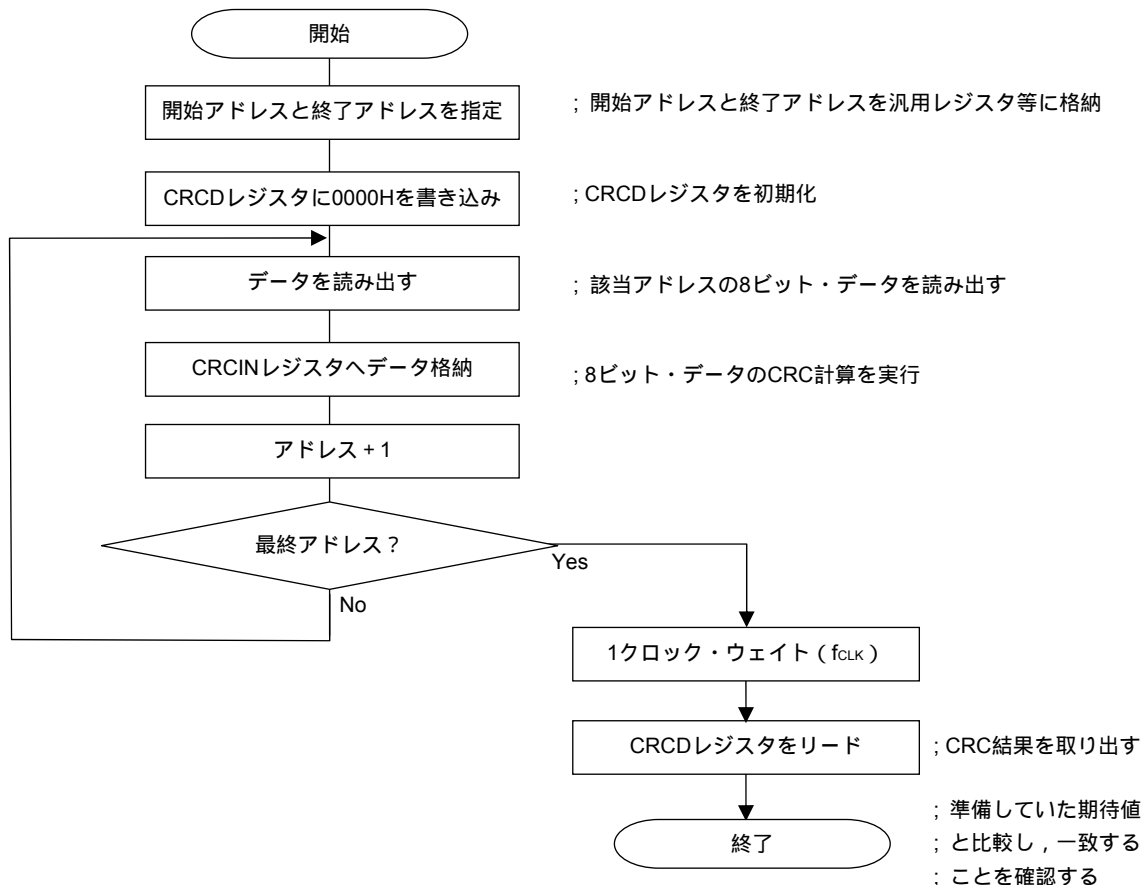


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図24 - 6 CRC演算機能 (汎用CRC) のフロー・チャート



24.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/F12のRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

24.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図24-7 RAMパリティ・エラー制御レジスタ (RPECTL) のフォーマット

アドレス：F00F5H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。また、RAMパリティ・エラー・リセット発生を許可し(RPERDIS = 0)、セルフ・プログラミング機能を使用する場合は、「書き換えるRAM領域 + 10バイト」の領域を、書き換える前に必ず初期化してください。
また、RAMの命令フェッチによるRAMデータ読み出しは、パリティ・エラー検出を行います。

- 備考1.** RAMパリティ・チェックは常時オンとなっており、その結果はRPEFフラグで確認できます。
- 初期状態では、パリティ・エラー・リセットは発生許可になっています (RPERDIS = 0)。パリティ・エラー・リセット発生禁止 (RPERDIS = 1) に設定した場合でも、パリティ・エラーが発生したときには、RPEFフラグはセット (1) されます。
 - RPEFフラグはRAMのパリティ・エラーによりセット (1) され、0の書き込みまたはすべてのリセット要因によりクリア (0) されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

24.3.4 RAMガード機能

IEC61508では動作中の安全を保証しなければならないため、CPUが暴走してもRAMに格納されている重要なデータを保護する必要があります。

このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

24.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24 - 8 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間 ^注
0	0	無効。RAMへのライト可能
0	1	RAM下位アドレスから128バイト
1	0	RAM下位アドレスから256バイト
1	1	RAM下位アドレスから512バイト

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

24.3.5 SFRガード機能

IEC61508では動作中の安全を保証しなければならないため、CPUが暴走しても重要なSFRが書き換わってしまわないように保護する必要があります。

SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

24.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24 - 9 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード/ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIOR ^{注1}

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード/ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx

GCSC ^{注2}	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL

注1. Pxx (ポート・レジスタ) はガードされません。

2. セルフ・プログラミング/シリアル・プログラミング時は、GCSC = 0に設定してください。

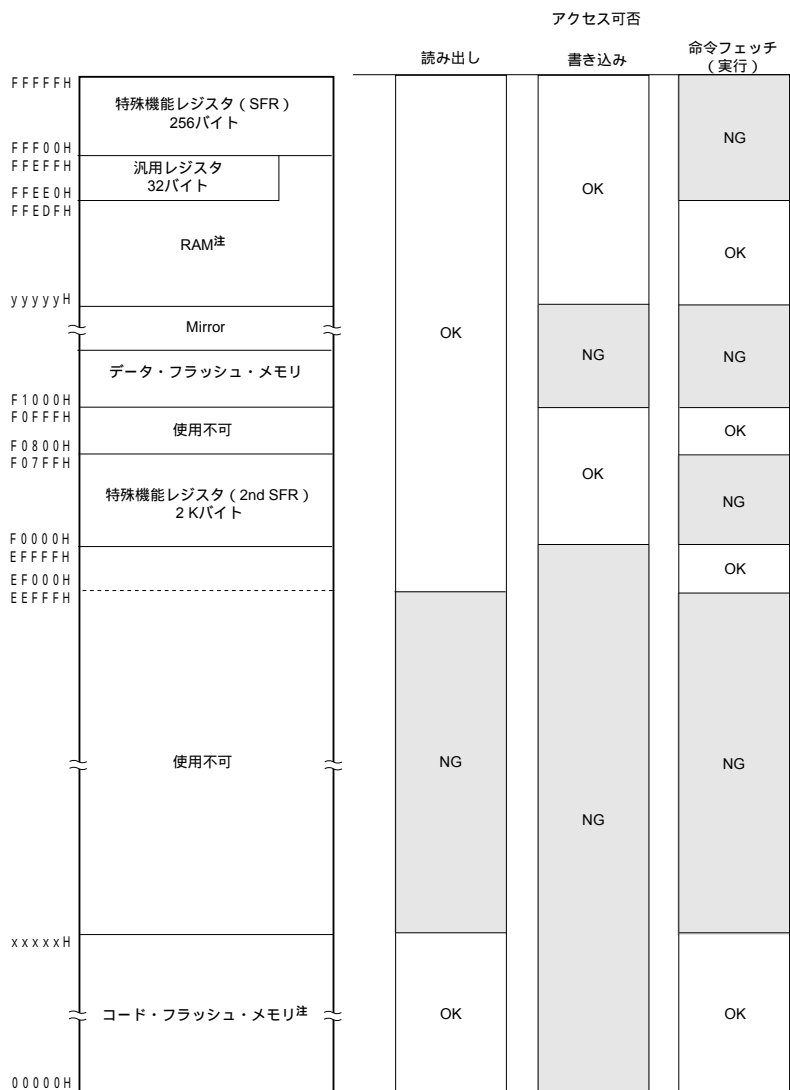
24. 3. 6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図24 - 10で「NG」と記載した範囲になります。

図24 - 10 不正アクセス検出空間



注 各製品のコード・フラッシュ・メモリ，RAMのアドレスは次のようになります。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (yyyyyH-FFEFFH)
R5F10968	8192 × 8ビット (00000H-01FFFFH)	512 × 8ビット
R5F109xA (x = 6, A, B, G, L)	16384 × 8ビット (00000H-03FFFFH)	1024 × 8ビット
R5F109xB (x = 6, A, B, G, L)	24576 × 8ビット (00000H-05FFFFH)	1536 × 8ビット
R5F109xC (x = 6, A, B, G, L)	32768 × 8ビット (00000H-07FFFFH)	2048 × 8ビット (FF700H-FFEFFH)
R5F109xD (x = 6, A, B, G, L)	49152 × 8ビット (00000H-0BFFFFH)	3072 × 8ビット (FF300H-FFEFFH)
R5F109xE (x = 6, A, B, G, L)	65536 × 8ビット (00000H-0FFFFH)	4096 × 8ビット (FEF00H-FFEFFH)

24.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図24 - 11 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN ^注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注 IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

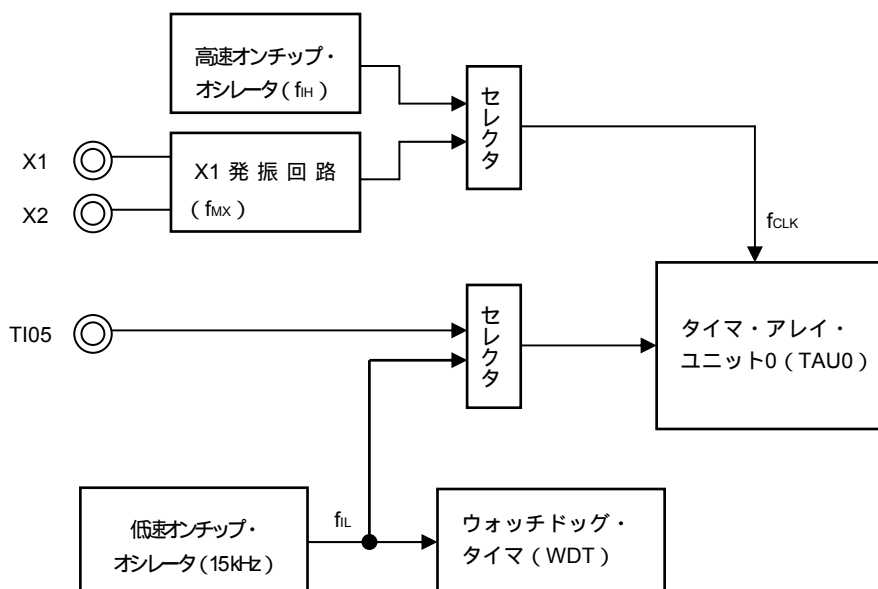
備考 オプション・バイトWDTON = 1 (ウォッチドッグ・タイマ動作許可) のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

24.3.7 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能では、高速オンチップ・オシレータ・クロックもしくは外付けのX1発振クロックと、低速オンチップ・オシレータ・クロック（15 kHz）を比較することで、クロックが異常な周波数で動作していることを検出することができます。

図24 - 12 周波数検出機能の構成



< 動作概要 >

以下の条件でパルス間隔を測定した結果で、クロック周波数が正常かどうかの判定をします。

- ・ CPU / 周辺ハードウェア・クロック (f_{CLK}) に高速オンチップ・オシレータ・クロック (f_H) もしくは外付けのX1発振クロック (f_{MX}) を選択
- ・ タイマ・アレイ・ユニット0 (TAU0) のチャンネル5のタイマ入力に低速オンチップ・オシレータ・クロック (f_{IL} : 15 kHz) を選択

パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

パルス間隔測定の方法については、6.7.4 入力パルス間隔測定としての動作を参照してください。

24.3.7.1 タイマ入力選択レジスタ0 (TIS0)

チャンネル5のタイマ入力を選択するレジスタです。

タイマ入力に低速オンチップ・オシレータ・クロックを選択することにより，そのパルスを測定することで低速オンチップ・オシレータ・クロックとタイマ動作クロックとの比率関係が正しいか判定することができます。

TIS0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図24 - 13 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス：F0074H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック (f _L)
1	0	1	サブシステム・クロック (f _{SUB})
上記以外			設定禁止

24.3.8 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、内部の0 V, AV_{REF} , 内部基準電圧 (1.45 V) のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

ANix端子のA/D変換を行う (変換結果1)。

ADTESレジスタで AV_{REFM} を選択してA/D変換を行い、A/Dコンバータのサンプリング・コンデンサ両端の電位差を0Vにする。

ANix端子のA/D変換を行う (変換結果2)。

ADTESレジスタで AV_{REFP} を選択してA/D変換を行い、A/Dコンバータのサンプリング・コンデンサ両端の電位差を AV_{REF} にする。

ANix端子のA/D変換を行う (変換結果3)。

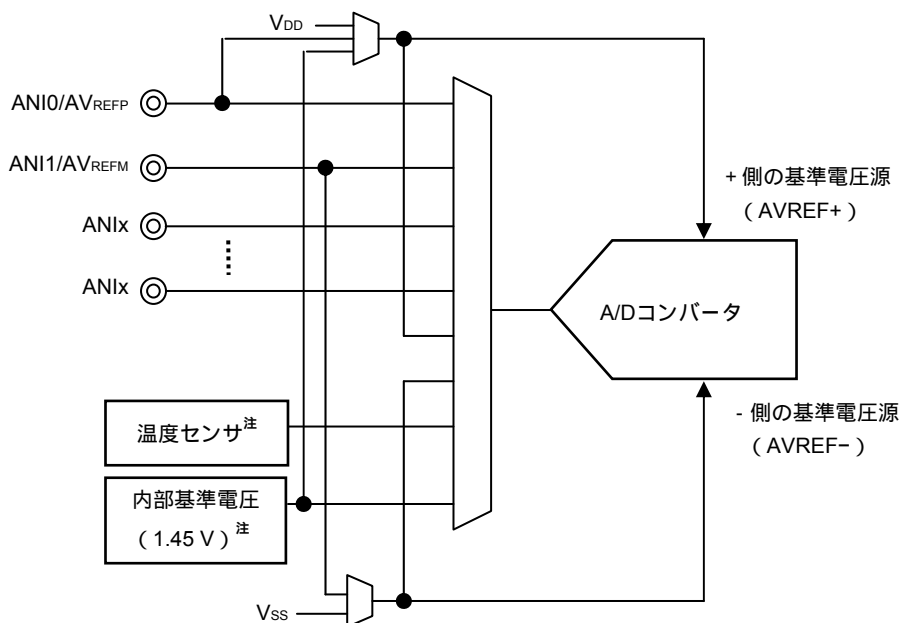
「変換結果1 = 変換結果2 = 変換結果3」であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ~ の変換中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図24 - 14 A/Dテスト機能の構成



注 HS (高速メイン) モードでのみ選択可能です。

24.3.8.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧として選択可能な AV_{REFP} 、-側の基準電圧として選択可能な AV_{REFM} 、アナログ入力チャネル (ANIXX) を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ・内部の0 Vを測定するときは、A/D変換対象に AV_{REFM} を選択。
- ・ AV_{REF} を測定するときは、A/D変換対象に AV_{REFP} を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24 - 15 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIXX/温度センサ出力 ^注 / 内部基準電圧出力 (1.45 V) ^注 (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	AV_{REFM}
1	1	AV_{REFP}
上記以外		設定禁止

注 温度センサ出力、内部基準電圧出力 (1.45 V) は、HS (高速メイン) モードでのみ選択可能です。

24. 3. 8. 2 アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

A/Dテスト機能でANIXX / 温度センサ出力 / 内部基準電圧 (1.45 V) を測定するときは、A/Dテスト・レジスタ (ADTES) を00Hに設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24 - 16 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	0	0	1	1	0	ANI6	P26/ANI6端子
0	0	0	1	1	1	ANI7	P27/ANI7端子
0	1	0	0	0	0	ANI16	P03/ANI16端子
0	1	0	0	0	1	ANI17	P02/ANI17端子
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	-	温度センサ出力 ^{注1}
1	0	0	0	0	1	-	内部基準電圧出力 (1.45 V) ^{注1}
上記以外						設定禁止	

注1. HS (高速メイン) モードでのみ選択可能です。

注意1. ビット5, 6には必ず0を設定してください。

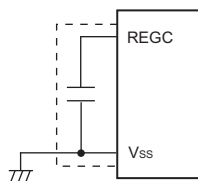
- ADISSビットを書き換える場合は、必ずA/D変換コンバータ動作停止状態 (A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 0) のときに行ってください。
- AV_{REFP}をA/Dコンバータの+側の基準電圧源(AVREF+)として使用している場合、ANI0をA/D変換チャンネルとして選択しないでください。
- AV_{REFM}をA/Dコンバータの-側の基準電圧源(AVREF-)として使用している場合、ANI1をA/D変換チャンネルとして選択しないでください。
- ADISS = 1を設定した場合、+側の基準電圧源(AVREF+)に内部基準電圧 (1.45 V) は使用できません。

第25章 レギュレータ

25.1 レギュレータの概要

RL78/F12は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ (0.47 ~ 1 μ F) を介し、V_{SS}に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、通常は2.1V (TYP.)、低消費電流モードでは1.8V (TYP.)です。



注意 上図の破線部分の配線を極力短くしてください。

表25 - 1 レギュレータ出力電圧条件

モード	出力電圧	条 件
LS (低速メイン) モード	1.8 V	
HS (高速メイン) モード	1.8 V	STOPモード時 (OCDモード中は除く)
		サブシステム・クロック (f _{XT}) でCPU動作中で、高速システム・クロック (f _{MX}) と高速オンチップ・オシレータ・クロック (f _{IH}) が共に停止
	サブシステム・クロック (f _{XT}) でCPU動作設定時のHALTモード中で、高速システム・クロック (f _{MX}) と高速オンチップ・オシレータクロック (f _{IH}) が共に停止	
	2.1 V	上記以外 (オンチップ・デバッグ中を含む) ^注

注 オンチップ・デバッグ中に、サブシステム・クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1Vを継続します (1.8Vにはなりません)。

第26章 オプション・バイト

26.1 オプション・バイトの機能

RL78/F12のフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

26.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

ウォッチドッグ・タイマの動作

- ・HALT/STOPモード時の動作停止 / 可能

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマの動作

- ・動作停止 / 可能

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのインターバル割り込み

- ・使用する / 使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

LVDの動作モード設定

- ・割り込み&リセット・モード
- ・リセット・モード
- ・割り込みモード

LVD検出レベル (V_{LVIH} , V_{LVIL} , V_{LVI}) の設定

注意 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/010C2H

フラッシュの動作モード設定

- ・ LS (低速メイン) モード
- ・ HS (高速メイン) モード

スレッシユホールド電圧 (V_{IL}) の設定

- ・ $V_{IL} = 0.5 \cdot V_{DD}$
- ・ $V_{IL} = 0.2 \cdot V_{DD}$

高速オンチップ・オシレータ回路の周波数設定

- ・ 1 MHz, 4 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 32 MHz から選択

注意 ブート・スワップ時は, 000C2Hと010C2Hが切り替わるので, 010C2Hにも000C2Hと同じ値を設定してください。

26. 1. 2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)

オンチップ・デバッグ動作制御

- ・ オンチップ・デバッグ動作禁止 / 許可

セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

- ・ オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する / 消去しない

注意 ブート・スワップ時は, 000C3Hと010C3Hが切り替わるので, 010C3Hにも000C3Hと同じ値を設定してください。

26.2 ユーザ・オプション・バイトのフォーマット

図26 - 1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット

アドレス : 000C0H/010C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用						
0	インターバル割り込みを使用しない						
1	オーバフロー時間の75%+1/2f _{IL} 到達時にインターバル割り込みを発生する						
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間 ^{注2}					
0	0	設定禁止					
0	1	50 %					
1	0	75 %					
1	1	100 %					
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止 (リセット解除後, カウント停止)						
1	カウンタ動作許可 (リセット解除後, カウント開始)						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.) の場合)				
0	0	0	2 ⁹ /f _{IL} (3.71 ms)				
0	0	1	2 ⁷ /f _{IL} (7.42 ms)				
0	1	0	2 ⁹ /f _{IL} (14.84 ms)				
0	1	1	2 ⁹ /f _{IL} (29.68 ms)				
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)				
1	0	1	2 ¹³ /f _{IL} (474.90 ms)				
1	1	0	2 ¹⁴ /f _{IL} (949.80 ms)				
1	1	1	2 ¹⁶ /f _{IL} (3799.19 ms)				
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}						
1	HALT/STOPモード時, カウンタ動作許可						

注1. ブート・スワップ時は, 000C0Hと010C0Hが切り替わるので, 010C0Hにも000C0Hと同じ値を設定してください。

- WDSTBYON = 0のときは, WINDOW1, WINDOW0ビットの値に関係なく, ウィンドウ・オープン期間100%となります。

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は続きます。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウィンドウ・サイズを設定してください。

備考 1. f_{IL} : 低速オンチップ・オシレータクロック周波数

- オプション・バイトWDTON = 1の設定により, 不正メモリ・アクセス検出機能は, IAWENビットの設定にかかわらず常に有効となります (第24章 安全機能)。

図26 - 2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (1/2)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・割り込み&リセット・モード時の設定

検出電圧		オプション・バイト設定値						
V _{LVIL}	V _{LVIH}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
1.84 V	+0.1 V	1	0	0	0	1	1	0
	+0.2 V						0	1
	+1.2 V						0	0
2.45 V	+0.1 V			0	1	0	1	0
	+0.2 V						0	1
	+1.2 V						0	0
2.75 V	+0.1 V			0	1	1	1	0
	+0.2 V						0	1
	+1.2 V						0	0
上記以外		設定禁止						

・リセット・モード時の設定

検出電圧	オプション・バイト設定値									
V _{LVI} (= V _{LVIH})	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0			
LVDOFF	1	1	1	1	1	×	×			
1.88 V	1	1	0	0	1	1	1			
1.98 V			0	0	1	1	0			
2.09 V			0	0	1	0	1			
2.50 V			0	1	0	1	1			
2.61 V			0	1	0	1	0			
2.71 V			0	1	0	0	1			
2.81 V			0	1	1	1	1			
2.92 V			0	1	1	1	0			
3.02 V			0	1	1	0	1			
3.13 V			0	0	1	0	0			
3.75 V			0	1	0	0	0			
4.06 V			0	1	1	0	0			
上記以外			設定禁止							

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. × : don't care

2. LVDの設定に関しては、23.1 電圧検出回路の機能を参照してください。

図26 - 2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (2/2)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・ 割り込みモード時の設定

検出電圧 V _{LVI} (= V _{LVIH})	オプション・バイト設定値						
	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
LVD OFF	0	1	1	1	1	×	×
1.88 V			0	0	1	1	1
1.98 V			0	0	1	1	0
2.09 V			0	0	1	0	1
2.50 V			0	1	0	1	1
2.61 V			0	1	0	1	0
2.71 V			0	1	0	0	1
2.81 V			0	1	1	1	1
2.92 V			0	1	1	1	0
3.02 V			0	1	1	0	1
3.13 V			0	0	1	0	0
3.75 V			0	1	0	0	0
4.06 V			0	1	1	0	0
上記以外			設定禁止				

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. × : don't care

2. LVDの設定に関しては、23.1 電圧検出回路の機能を参照してください。

図26 - 3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス : 000C2H/010C2H^注

7	6	5	4	3	2	1	0
1	CMODE0	ITHL	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE0	フラッシュの動作モード設定
0	LS (低速メイン) モード
1	HS (高速メイン) モード
上記以外	設定禁止

ITHL	スレッシュホールド電圧 (V_{IL}) の設定
0	$V_{IL} = 0.5 V_{DD}$
1	$V_{IL} = 0.2 V_{DD}$

注 ITHLの設定により、ヒステリシス特性の有無が変わります。

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータ回路の周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
1	0	1	1	4 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

26.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図26-4 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) のフォーマット

アドレス : 000C3H/010C3H^注

	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

26.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にアセンブラまたはCube Suiteのリンカ・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	7AH	; VL _{VIL} に2.75 Vを選択 ; VL _{VIH} に2.85 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB	8DH	; フラッシュの動作モードにLS (低速メイン) モード, ; スレッシュホールド電圧 (V _{IL}) = 0.5 V _{DD} , ; 高速オンチップ・オシレータ回路周波数 1 MHzを選択
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		7AH	; VL _{VIL} に2.75 Vを選択 ; VL _{VIH} に2.85 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB		8DH	; フラッシュの動作モードにLS (低速メイン) モード, ; スレッシュホールド電圧 (V _{IL}) = 0.5 V _{DD} , ; 高速オンチップ・オシレータ回路周波数 1 MHzを選択
	DB		85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第27章 フラッシュ・メモリ

RL78/F12は、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は、次の3通りあります。

- ・フラッシュ・メモリ・プログラマによる書き込み (27.1 参照)
- ・外部デバイス (UART内蔵) による書き込み (27.2 参照)
- ・セルフ・プログラミング (27.7 参照)

27.1 フラッシュ・メモリ・プログラマによる書き込み方法

RL78/F12の内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- ・ PG-FP5, FL-PR5
- ・ E1オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78/F12を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78/F12を実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FL-PR5, FAシリーズは、(株)内藤電誠町田製作所の製品です。

表27 - 1 RL78/F12と専用フラッシュ・メモリ・プログラムの配線表

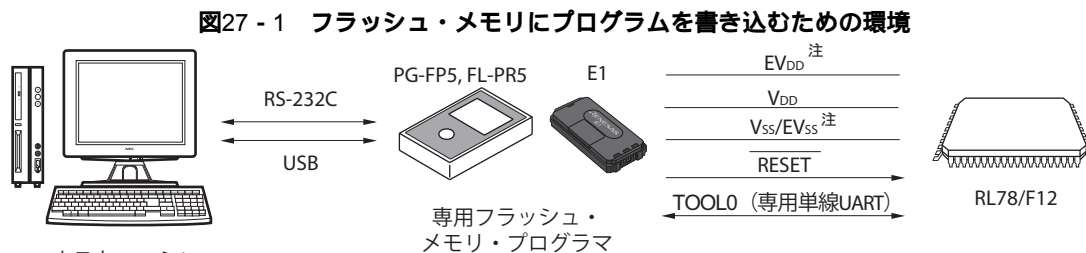
専用フラッシュ・メモリ・プログラマ接続端子			端子名	ピン番号					
信号名		入出力		端子機能	20ピン	30ピン	32ピン	48ピン	64ピン
PG-FP5, FL-PR5	E1オンチップデパッ キングエミュレータ				SSOP	SSOP	WQFN (5×5)	LQFP (7×7), WQFN (7×7)	LQFP (10×10)
-	TOOL0	入出力	送受信信号	TOOL0/P40	3	5	1	39	5
SI/RxD	-	入出力	送受信信号						
SCK	-	出力	-	-	-	-	-	-	-
CLK	-	出力	-	-	-	-	-	-	-
-	RESET	出力	リセット信号	RESET	4	6	2	40	6
/RESET	-	出力							
FLMD0	-	出力	モード信号	-	-	-	-	-	-
V _{DD}		入出力	V _{DD} 電圧生成/ 電源監視	V _{DD}	10	12	8	48	15
GND		-	グラウンド	V _{SS}	9	11	7	47	13
				EV _{SS}	-	-	-	-	14
				REGC ^注	8	10	6	46	12
EMV _{DD}		-	TOOL0端子 駆動電源	V _{DD}	10	12	8	48	16
				EV _{DD}	-	-	-	-	16

注 REGC端子はコンデンサ（デフォルト：0.47 μF）を介してグラウンドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

27.1.1 プログラミング環境

RL78/F12のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

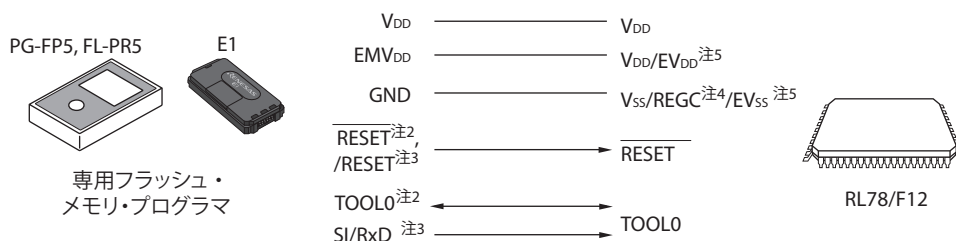
また、専用フラッシュ・メモリ・プログラマとRL78/F12とのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ(FAシリーズ)が必要です。

27.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78/F12との通信は、RL78/F12のTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図27-2 専用フラッシュ・メモリ・プログラマとの通信



注2. E1オンチップデバッグエミュレータ使用時。

注3. PG-FP5, FL-PR5使用時。

注4. REGC端子はコンデンサ(デフォルト: 0.47 μ F)を介してグランドに接続してください。

注5. 64ピン製品のみ。

専用フラッシュ・メモリ・プログラマはRL78/F12に対して次の信号を生成します。詳細はPG-FP5, FL-PR5 またはE1オンチップデバッグエミュレータのマニュアルを参照してください。

表27 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78/F12		端子名	接続時の処置
信号名	入出力	端子機能			
PG-FP5, FL-PR5	E1オンチップデバ ギングエミュレータ				
FLMD0	-	出力	モード信号	-	×
V _{DD}		入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD}	
GND		-	グランド	V _{SS} , EV _{SS} , REGC ^注	
EMV _{DD}		-	TOOL0端子駆動電源	V _{DD} , EV _{DD}	
CLK	-	出力	クロック出力	-	×
/RESET	-	出力	リセット信号	RESET	
-	RESET	出力			
-	TOOL0	入出力	送受信信号	TOOL0	
SI/RxD	-	入出力	送受信信号		
SCK	-	出力	転送クロック	-	×

注 REGC端子はコンデンサ（デフォルト：0.47 μF）を介してグランドに接続してください。

注意 EV_{DD}は、V_{DD}と同電位にしてください。

備考 : 必ず接続してください。

x : 接続の必要はありません。

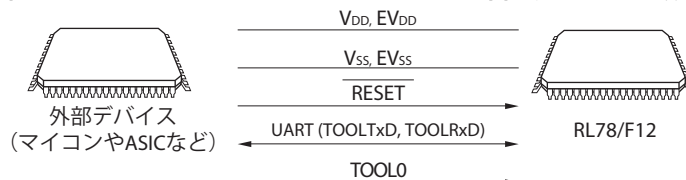
27.2 外部デバイス（UART内蔵）による書き込み方法

オンボード上でRL78/F12とUART接続されている外部デバイス（マイコンやASIC）を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

27.2.1 プログラミング環境

RL78/F12のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図27 - 3 フラッシュ・メモリにプログラムを書き込むための環境



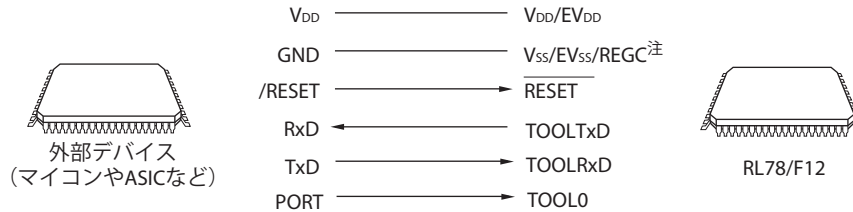
外部デバイスからRL78/F12に書き込み / 消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

27.2.2 通信方式

外部デバイスとRL78/F12との通信は、RL78/F12のTOOLTxD, TOOLRxD端子を使用して、シリアル・アレイ・ユニットのUART0によるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図27 - 4 外部デバイスとの通信



注 REGC端子はコンデンサ（デフォルト：0.47 μ F）を介してグラウンドに接続してください。

注意 EV_{DD}は、V_{DD}と同電位にしてください。

外部デバイスはRL78/F12に対して次の信号を生成します。

表27 - 3 端子接続一覧

外部デバイス			RL78/F12	接続時の処置
信号名	入出力	端子機能	端子名	
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , EV _{DD}	
GND	-	グラウンド	V _{SS} , EV _{SS} , REGC ^注	
CLK	出力	クロック出力	-	x
RESETOUT	出力	リセット信号出力	RESET	
RxD	入力	受信信号	TOOLTxD	
TxD	出力	送信信号	TOOLRxD	
PORT	出力	モード信号	TOOL0	
SCK	出力	転送クロック	-	x

注 REGC端子はコンデンサ（デフォルト：0.47 μ F）を介してグラウンドに接続してください。

注意 EV_{DD}は、V_{DD}と同電位にしてください。

備考 : 必ず接続してください。

x : 接続の必要はありません。

27.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

27.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 kΩの抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時：端子リセット解除時から1 ms幅以上のロウ・レベルを入力しないでください。また、プル・ダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

出力時：プル・ダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

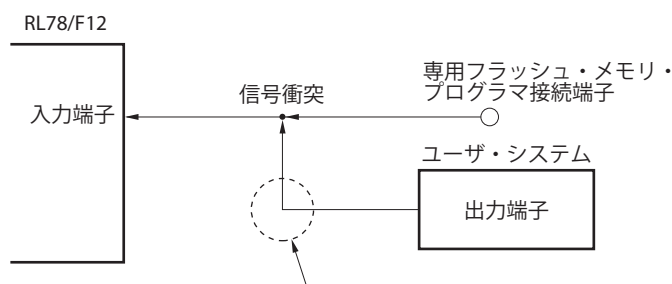
備考 RL78/F12と専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子) を使用するので、SAUやIICAの端子は使用しません。

27.3.2 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図27 - 5 信号の衝突 (RESET端子)



フラッシュ・メモリ・プログラミング・モードでは、ユーザ・システムが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ユーザ・システム側の信号をアイソレートしてください

27.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、もしくは抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

27.3.4 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μ F) を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

27.3.5 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータクロック (f_{IH}) を使用します。

27.3.6 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラムのV_{DD}に、V_{SS}端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラムの書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムの電圧監視をするため、V_{DD}, V_{SS}端子はフラッシュ・メモリ・プログラムのV_{DD}, GNDと必ず接続してください。

27.4 データ・フラッシュ

27.4.1 データ・フラッシュの概要

RL78/F12は、8-64 Kバイトのコード・フラッシュとは別に、データを格納する4 Kバイトのデータ・フラッシュ（フラッシュ・メモリ）を内蔵しています。



データ・フラッシュの概要は次のとおりです。

- ・フラッシュ・メモリ・プログラマや外部デバイスによるプログラミングに対応
- ・プログラミング単位は8ビット単位
- ・1ブロック = 1 Kバイト単位で消去可能
- ・CPU命令によるアクセスはバイト・リードのみ（読み出し：4クロック）
- ・データ専用領域なので、データ・フラッシュからの命令実行（コード・フェッチ）はできません
- ・データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行が可能（デュアル・オペレーション対応）
- ・コード・フラッシュの書き換え中（セルフ・プログラミング時など）に、データ・フラッシュにアクセスすることは禁止
- ・リセット解除後は停止状態なので、使用するためにはデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を設定します
- ・データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、HALT/STOP状態に遷移することは禁止
- ・データ・フラッシュは、当社ライブラリによるプログラム動作中のプログラミングが可能です

27.4.2 データ・フラッシュを制御するレジスタ

(1) データ・フラッシュ・コントロール・レジスタ（DFLCTL）

データ・フラッシュへのアクセス許可/禁止を設定するレジスタです。

DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-6 データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス：F0090H	リセット時：00H	R/W							
略号	7	6	5	4	3	2	1	0	
DFLCTL	0	0	0	0	0	0	0	DFLEN	
DFLEN	データ・フラッシュのアクセス制御								
0	データ・フラッシュのアクセス禁止								
1	データ・フラッシュのアクセス許可								

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

27.4.3 データ・フラッシュへのアクセス手順

リセット解除後の初期状態では、データ・フラッシュは停止状態であり、そのままではアクセス（リードおよびプログラミング）はできません。アクセスするには以下の手順を行ってください。

データ・フラッシュ・コントロール・レジスタ (DFLCTL) のビット0 (DFLEN) に “1” を書き込む。

セットアップ時間をウエイトする。

セットアップ時間はメイン・クロックの各モードによって異なります。

<各メイン・クロック・モードでのセットアップ時間>

・HS (高速メイン) モード時 : 5 μ s

・LS (低速メイン) モード時 : 720 ns

セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は、データ・フラッシュへのアクセス禁止です。

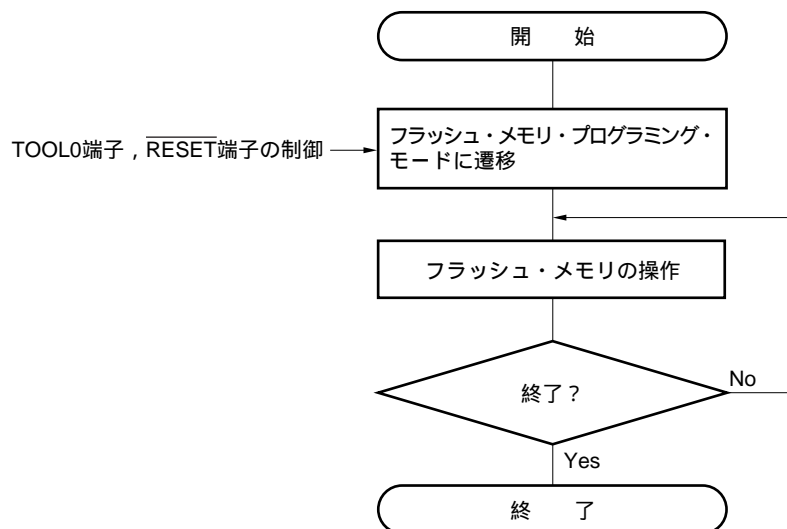
2. セットアップ時間中にSTOP命令を実行したい場合は、いったんDFLEN = 0に設定してからSTOP命令を実行してください。
3. CPUが高速オンチップ・オシレータ以外のクロックで動作する際は、必ずCSCレジスタのHIOSTOP = 0に設定してください。
4. データ・フラッシュの読み出しは、次のいずれかの方法で実施してください。
 - ・ 当社製フラッシュ・ライブラリ (EEL (Pack01) バージョンV1.13以降) を使用して、データ・フラッシュを読み出す。
 - ・ DMA転送を停止してからデータ・フラッシュを読み出す。

27.5 プログラミング方法

27.5.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図27-7 フラッシュ・メモリの操作手順



27.5.2 フラッシュ・メモリ・プログラミング・モード

フラッシュ・メモリの内容を書き換えるときは、RL78/F12をフラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してプログラミングする場合>

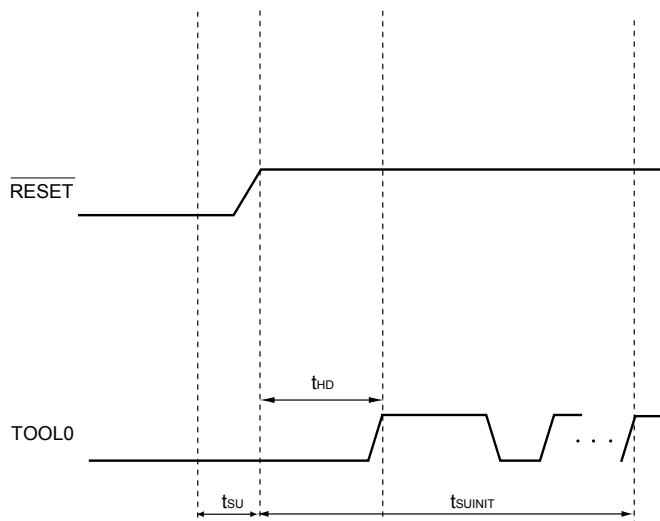
TOOL0端子をロウ・レベルに設定後、リセットを解除します。その後、専用フラッシュ・メモリ・プログラマからの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

<外部デバイスを使用してプログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します。リセット解除から1 ms以上、TOOL0端子をロウ・レベルに保持したのち、外部デバイスからUART通信でデータ“00H”を送信してください。UART通信は、リセット解除から100 ms以内に完了してください。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えるか、あらかじめフラッシュ・メモリ・プログラミング・モードに遷移しても大丈夫なように端子処理してください(27.3 オンボード上の端子処理参照)。

図27-8 フラッシュ・メモリ・プログラミング・モードへの引き込み



TOOL0端子にロウ・レベルを入力

端子リセットが解除(端子リセット解除前にPOR, LVDリセットは解除されていること)

TOOL0端子のロウ・レベルが解除

UART受信によるモード引きこみ, ボー・レート設定完了

備考 t_{SUNIT} : この区間では、外部/内部リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、端子リセットを解除するまでの時間

t_{HD} : 外部/内部リセット解除から、TOOL0端子レベルをロウ・レベルにホールドする時間

表27 - 4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

また、フラッシュ・メモリ・プログラミング・モードには、書き込み/消去/ベリファイの実行可能電圧範囲の異なる次の2つのモードがあります。

表27 - 5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

モード	書き込み/消去/ベリファイ実行可能電圧
ワイド・ボルテージ・モード	1.8 V ~ 5.5 V
フルスピード・モード ^注	2.7 V ~ 5.5 V

注 CMODE0 = 1の場合のみ設定可能

書き込みを行う電圧範囲に合わせて、いずれかのモードを設定してください。専用フラッシュ・メモリ・プログラマではGUI上で電圧設定を行うことでモードが自動選択されます。

- 備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。
2. 通信コマンドの詳細は、27.5.4 通信コマンドを参照してください。

27.5.3 通信方式

RL78/F12の通信方式は、次のようになります。

表27 - 6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・プログラマ使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	-	-	TOOL0
UART0 (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	-	-	TOOLTxD, TOOLRx

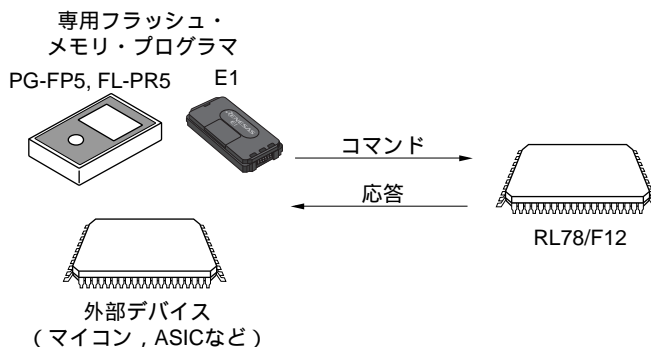
注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほか、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

27.5.4 通信コマンド

RL78/F12と専用フラッシュ・メモリ・プログラマまたは外部デバイスは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78/F12へ送られる信号を「コマンド」と呼び、RL78/F12から専用フラッシュ・メモリ・プログラマまたは外部デバイスへ送られる信号を「応答」と呼びます。

図27-9 通信コマンド



RL78/F12のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマまたは外部デバイスから発行され、RL78/F12がコマンドに対応した各処理を行います。

表27-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Silicon Signature	RL78/F12情報（品名、フラッシュ・メモリ構成など）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Release	書き込み禁止設定を解除します。
	Security Get	セキュリティ情報を取得します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

また、RL78/F12は、専用フラッシュ・メモリ・プログラマまたは外部デバイスから発行されたコマンドに対して、応答を返します。RL78/F12が送出する応答名称を次に示します。

表27-8 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

27.6 セキュリティ設定

RL78/F12は、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78/F12のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表27-9に示します。

備考 セルフ・プログラミング時の書き込み / 消去を禁止したい場合には、フラッシュ・シールド・ウインドウ機能を使います (詳細は27.7.2を参照)。

表27 - 9 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる ^注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は27.7.2を参照）。

表27 - 10 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラムのGUI上などで設定する	設定後、無効にできない
書き込み禁止		セキュリティ・リリース・コマンドを実行する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 セキュリティ・リリース・コマンドは、「ブロック消去禁止」および「ブート・クラスタ0の書き換え禁止」に設定されておらず、コード・フラッシュ領域およびデータ・フラッシュ領域がブランクである場合に有効となります。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		オンボード/オフボード・プログラミングで、セキュリティ・リリース・コマンドを実行する（セルフ・プログラミングでは無効にできない）
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

27.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング

RL78/F12は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はRL78/F12セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

- 注意**
1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。CPUがメイン・システム・クロック動作時に、セルフ・プログラミング機能を使用する際は、必ずHIOSTOP = 0に設定してください。
 2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でセルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、セルフ・プログラミング・ライブラリを実行してください。
 3. セルフ・プログラミング中にスタンバイ・モードに移行しないでください。

- 備考**
1. セルフ・プログラミング機能の詳細およびRL78/F12セルフ・プログラミング・ライブラリの詳細については、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (R01AN0350J) を参照してください。
 2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラマによる書き込み時同様、書き込み / 消去 / ベリファイ実行可能電圧範囲の異なる次の2つのモードがあります。

表27 - 11 プログラミング・モードと書き込み / 消去 / ベリファイ実行可能電圧

モード	書き込み / 消去 / ベリファイ実行可能電圧	書き込み周波数
ワイド・ボルテージ・モード	1.8 ~ 5.5 V	8 MHz (MAX.)
フルスピード・モード ^注	2.7 ~ 5.5 V	32 MHz (MAX.)

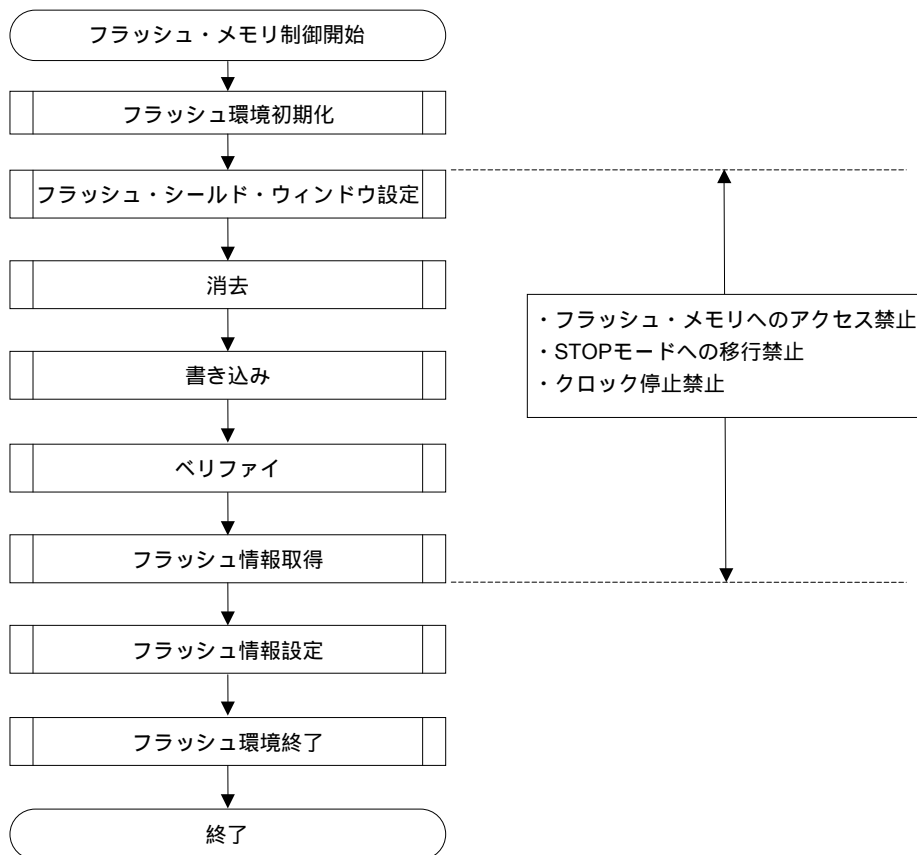
注 CMODE0 = 1の場合のみ設定可能

書き込みを行う電圧範囲に合わせて、いずれかのモードを設定してください。ワイド・ボルテージ・モード、フルスピード・モードを設定する場合は、当社提供のセルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00H以外であればワイド・ボルテージ・モードに、00Hであればフルスピード・モードに設定されます。

- 備考1.** ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み / 消去 / ベリファイを行ううえで制限事項はありません。
- 2.** セルフ・プログラミング機能の詳細およびRL78/F12セルフ・プログラミング・ライブラリの詳細については、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (R01AN0350J) を参照してください。

次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図27 - 10 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



27.7.1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

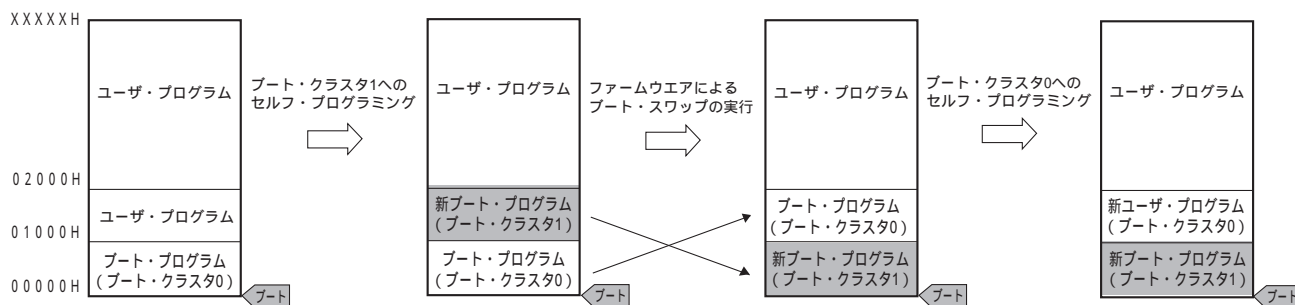
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、RL78/F12内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図27-11 ブート・スワップ機能

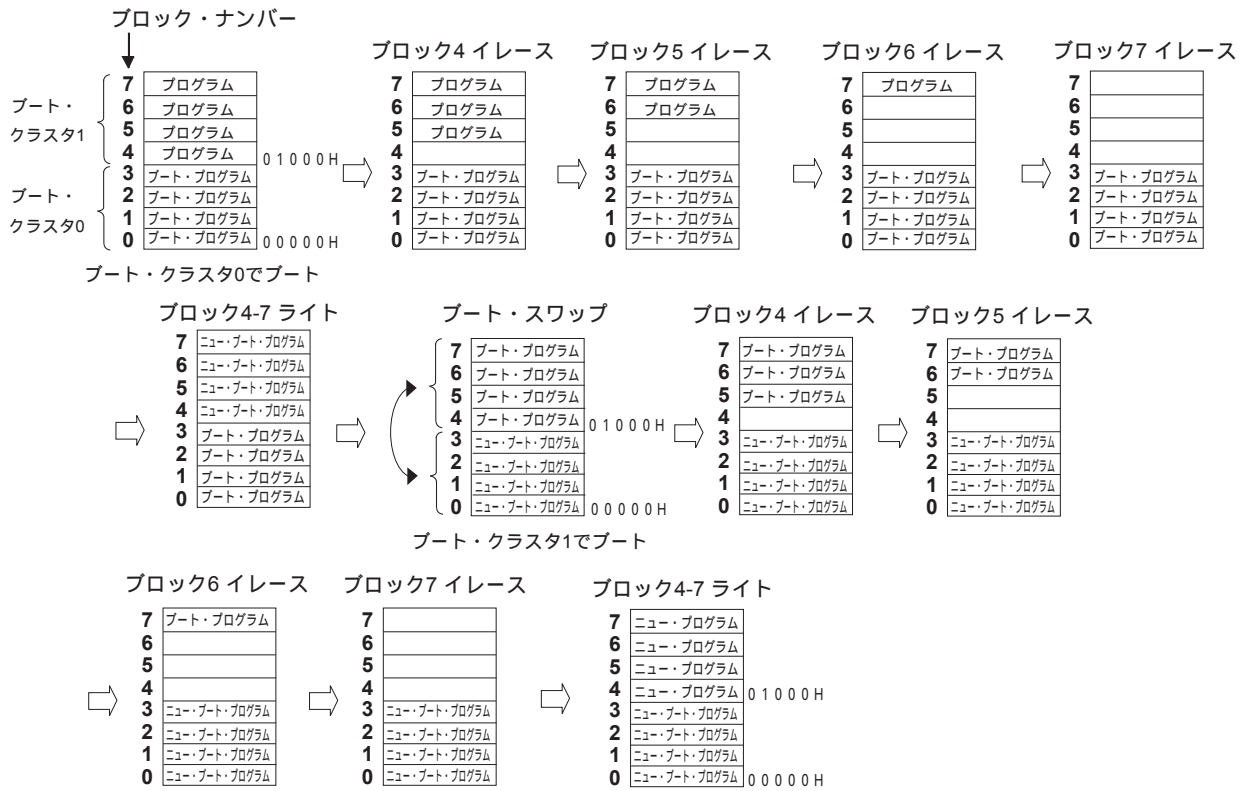


この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1 : ブート・スワップ後のブート・プログラム領域です。

図27 - 12 ブート・スワップの実行例



27.7.2 フラッシュ・シールド・ウインドウ機能

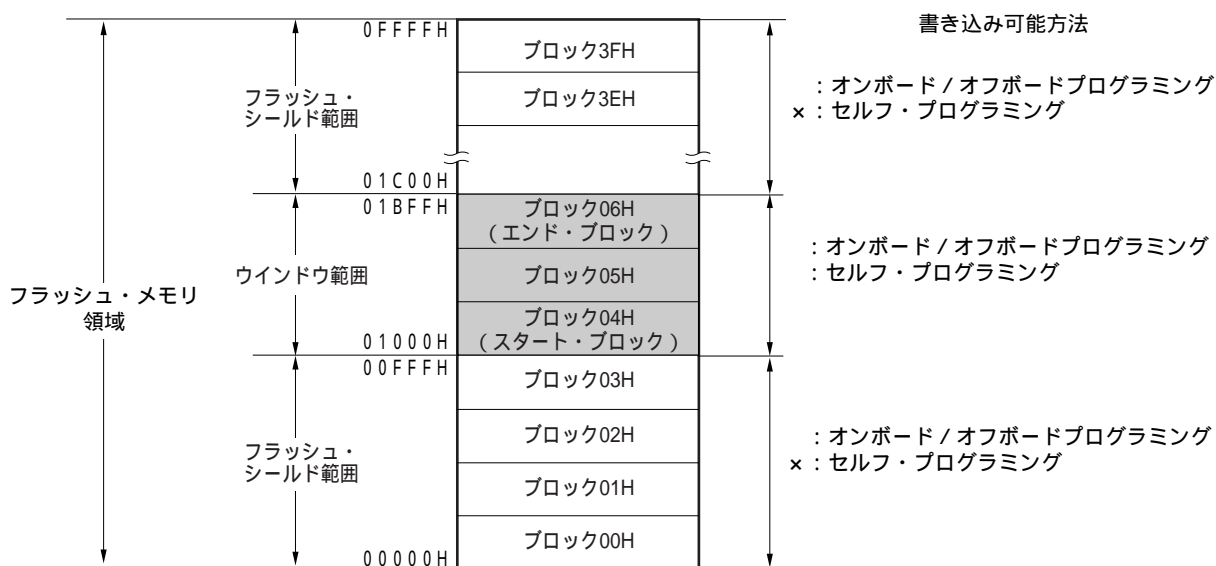
セルフ・プログラミング時のセキュリティ機能の1つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード/オフボード・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、オンボード/オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図27 - 13 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：R5F109xE (x = 6, A, B, G, L) , スタート・ブロック：04H, エンド・ブロック：06Hの場合)



- 注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。
2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表27 - 12 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セット・インフォメーション・ライブラリで、ウインドウの先頭ブロック, 最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
オンボード/オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック, 最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード/オフボード・プログラミング時の書き込み/消去を禁止したい場合には、27.6 セキュリティ設定を参照してください。

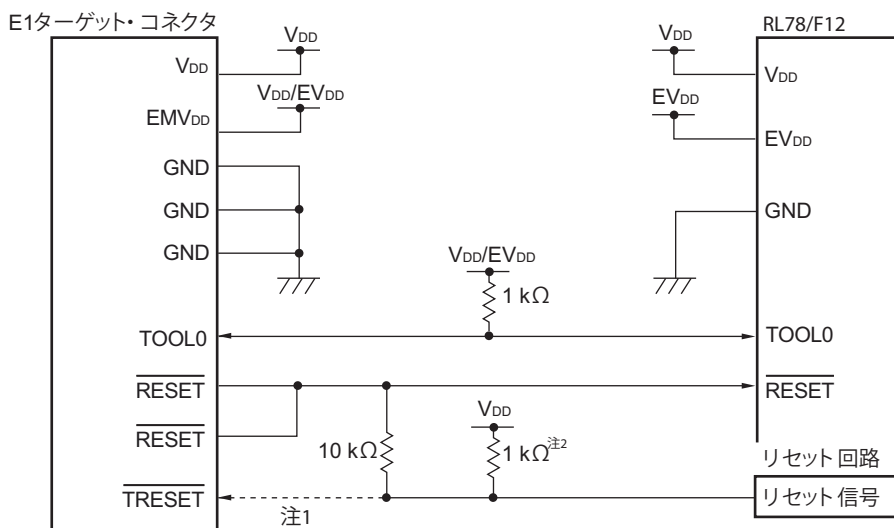
第28章 オンチップ・デバッグ機能

28.1 E1オンチップデバッグエミュレータとRL78/F12の接続

RL78/F12は、オンチップ・デバッグ対応のE1オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、RESET、TOOL0、 V_{SS} 端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

注意 RL78/F12には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図28 - 1 E1オンチップデバッグエミュレータとRL78/F12の接続例



注1. フラッシュ・プログラミング時、点線部の接続は必要ありません。

- ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100 Ω以下）を想定した回路例です。

28.2 オンチップ・デバッグ・セキュリティID

RL78/F12は、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第26章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと010C3H、010C4H-010CDHが切り替わるので、あらかじめ010C3H、010C4H-010CDHにも同じ値を設定してください。

表28 - 1 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

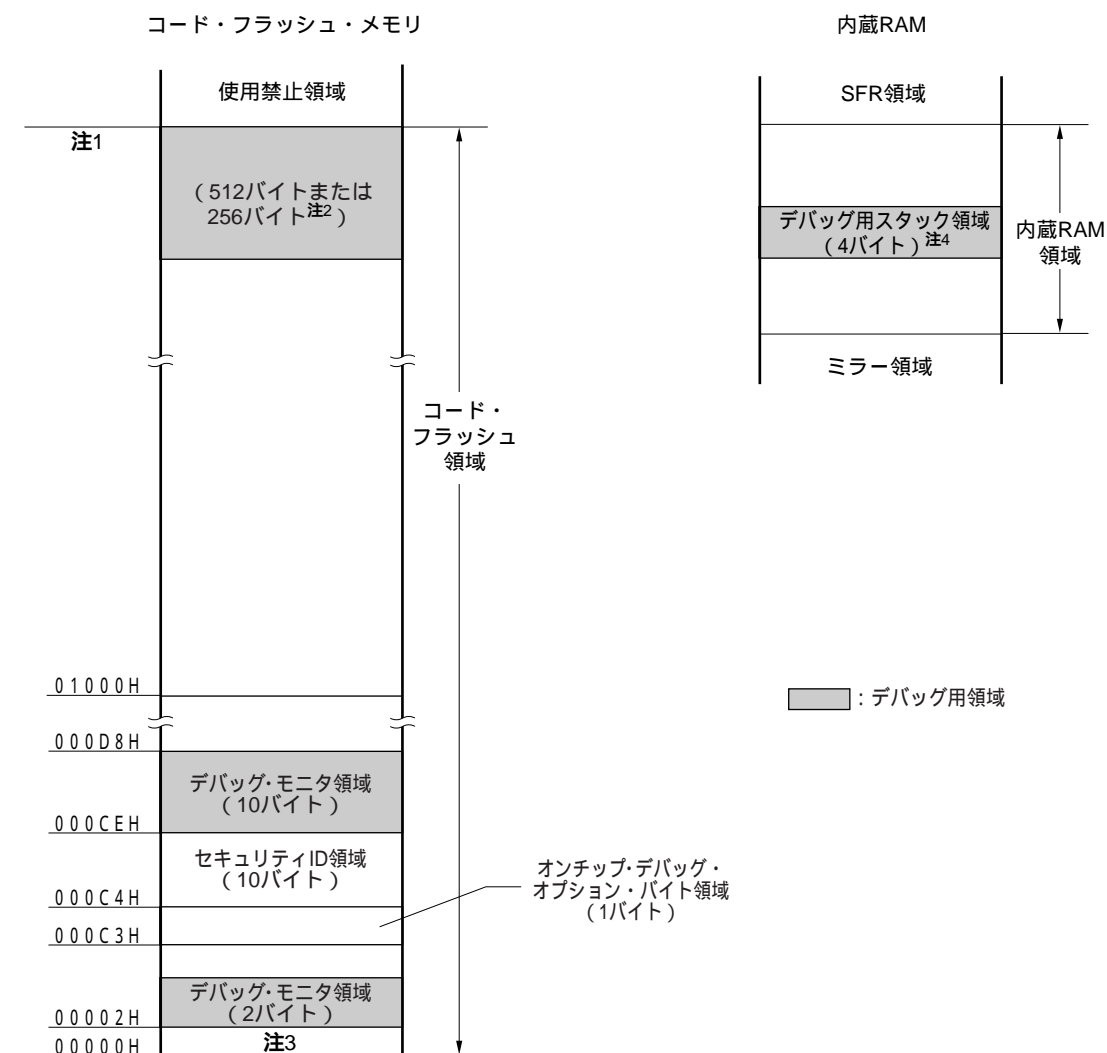
28.3 ユーザ資源の確保

RL78/F12とE1オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図28 - 2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図28 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名 (コード・フラッシュ・メモリ容量)	注1のアドレス
R5F10968	01FFFH
R5F109xA (x = 6, A, B, G, L)	03FFFH
R5F109xB (x = 6, A, B, G, L)	05FFFH
R5F109xC (x = 6, A, B, G, L)	07FFFH
R5F109xD (x = 6, A, B, G, L)	0BFFFH
R5F109xE (x = 6, A, B, G, L)	0FFFFH

- リアルタイムRAMモニタ (RRM) 機能、Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。
- デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
- この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。セルフ・プログラミングを行う場合は、12バイト余分に消費します。

第29章 10進補正 (BCD) 回路

29.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を、BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ (BCDADJ) を加減算することで10進補正演算結果が求められます。

29.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- ・BCD補正結果レジスタ (BCDADJ)

(1) BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

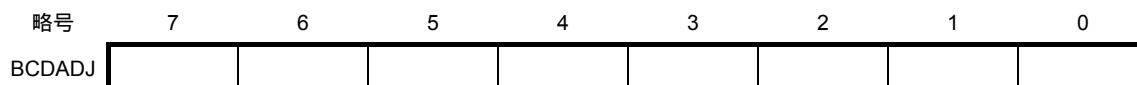
また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図29 - 1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



29.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

加算したいBCDコード値 (被加算値) をAレジスタに格納する。

Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値, 加算値) を, そのまま2進数で加算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCD補正結果レジスタ (BCDADJ) に格納される。

Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正値) を2進数で加算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例1 99 + 89 = 188

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ;	99H	-	-	-
ADD A, #89H ;	22H	1	1	66H
ADD A, !BCDADJ ;	88H	1	0	-

例2 85 + 15 = 100

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ;	85H	-	-	-
ADD A, #15H ;	9AH	0	0	66H
ADD A, !BCDADJ ;	00H	1	1	-

例3 80 + 80 = 160

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ;	80H	-	-	-
ADD A, #80H ;	00H	1	0	60H
ADD A, !BCDADJ ;	60H	1	0	-

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

減算されるBCDコード値（被減算値）をAレジスタに格納する。

Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため， の命令のあとは，他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ;	91H	-	-	-
SUB A, #52H ;	3FH	0	1	06H
SUB A, !BCDADJ ;	39H	0	0	-

第30章 命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、RL78ファミリ ユーザーズ・マニュアル ソフトウェア編（R01US0015J）を参照してください。

備考 表30 - 5 オペレーション一覧の表内の網掛けされている箇所は、78K0マイクロコントローラから追加されたものを示しています。

30.1 凡 例

30.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [,], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミューディアット・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミューディアット・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [,], ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表30 - 1の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表30 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミューディアット・データまたはラベル
saddrp	FFE20H-FFF1FH イミューディアット・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	00000H-FFFFFH イミューディアット・データまたはラベル
addr16	0000H-FFFFFH イミューディアット・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミューディアット・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミューディアット・データまたはラベル
byte	8ビット・イミューディアット・データまたはラベル
bit	3ビット・イミューディアット・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3 - 5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3 - 6 拡張SFR（2nd SFR）一覧を参照してください。

30.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表30 - 2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
	論理積 (AND)
	論理和 (OR)
	排他的論理和 (exclusive OR)
	反転データ
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

30.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表30 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

30.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表30 - 4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	-
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	-	-	-	-
MOV A, ES:[HL]	11H	8BH	-	-	-

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

30.2 オペレーション一覧

表30 - 5 オペレーション一覧 (1/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	r, #byte	2	1	-	r byte				
		saddr, #byte	3	1	-	(saddr) byte				
		sfr, #byte	3	1	-	sfr byte				
		!addr16, #byte	4	1	-	(addr16) byte				
		A, r <small>注3</small>	1	1	-	A r				
		r, A <small>注3</small>	1	1	-	r A				
		A, saddr	2	1	-	A (saddr)				
		saddr, A	2	1	-	(saddr) A				
		A, sfr	2	1	-	A sfr				
		sfr, A	2	1	-	sfr A				
		A, !addr16	3	1	4	A (addr16)				
		!addr16, A	3	1	-	(addr16) A				
		PSW, #byte	3	3	-	PSW byte		x	x	x
		A, PSW	2	1	-	A PSW				
		PSW, A	2	3	-	PSW A		x	x	x
		ES, #byte	2	1	-	ES byte				
		ES, saddr	3	1	-	ES (saddr)				
		A, ES	2	1	-	A ES				
		ES, A	2	1	-	ES A				
		CS, #byte	3	1	-	CS byte				
		A, CS	2	1	-	A CS				
		CS, A	2	1	-	CS A				
		A, [DE]	1	1	4	A (DE)				
		[DE], A	1	1	-	(DE) A				
		[DE+byte], #byte	3	1	-	(DE + byte) byte				
		A, [DE+byte]	2	1	4	A (DE + byte)				
		[DE+byte], A	2	1	-	(DE + byte) A				
		A, [HL]	1	1	4	A (HL)				
[HL], A	1	1	-	(HL) A						
[HL+byte], #byte	3	1	-	(HL + byte) byte						

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (2/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+byte]	2	1	4	A (HL + byte)			
		[HL+byte], A	2	1	-	(HL + byte) A			
		A, [HL+B]	2	1	4	A (HL + B)			
		[HL+B], A	2	1	-	(HL + B) A			
		A, [HL+C]	2	1	4	A (HL + C)			
		[HL+C], A	2	1	-	(HL + C) A			
		word[B], #byte	4	1	-	(B + word) byte			
		A, word[B]	3	1	4	A (B + word)			
		word[B], A	3	1	-	(B + word) A			
		word[C], #byte	4	1	-	(C + word) byte			
		A, word[C]	3	1	4	A (C + word)			
		word[C], A	3	1	-	(C + word) A			
		word[BC], #byte	4	1	-	(BC + word) byte			
		A, word[BC]	3	1	4	A (BC + word)			
		word[BC], A	3	1	-	(BC + word) A			
		[SP+byte], #byte	3	1	-	(SP + byte) byte			
		A, [SP+byte]	2	1	-	A (SP + byte)			
		[SP+byte], A	2	1	-	(SP + byte) A			
		B, saddr	2	1	-	B (saddr)			
		B, !addr16	3	1	4	B (addr16)			
		C, saddr	2	1	-	C (saddr)			
		C, !addr16	3	1	4	C (addr16)			
		X, saddr	2	1	-	X (saddr)			
		X, !addr16	3	1	4	X (addr16)			
		ES:!addr16, #byte	5	2	-	(ES, addr16) byte			
		A, ES:!addr16	4	2	5	A (ES, addr16)			
		ES:!addr16, A	4	2	-	(ES, addr16) A			
		A, ES:[DE]	2	2	5	A (ES, DE)			
		ES:[DE], A	2	2	-	(ES, DE) A			
		ES:[DE+byte], #byte	4	2	-	((ES, DE) + byte) byte			
		A, ES:[DE+byte]	3	2	5	A ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	-	((ES, DE) + byte) A			
A, ES:[HL]	2	2	5	A (ES, HL)					
ES:[HL], A	2	2	-	(ES, HL) A					

注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2 . プログラム・メモリ領域をアクセスしたとき。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (3/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	ES:[HL+byte],#byte	4	2	-	((ES, HL) + byte) byte			
		A, ES:[HL+byte]	3	2	5	A ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	-	((ES, HL) + byte) A			
		A, ES:[HL+B]	3	2	5	A ((ES, HL) + B)			
		ES:[HL+B], A	3	2	-	((ES, HL) + B) A			
		A, ES:[HL+C]	3	2	5	A ((ES, HL) + C)			
		ES:[HL+C], A	3	2	-	((ES, HL) + C) A			
		ES:word[B], #byte	5	2	-	((ES, B) + word) byte			
		A, ES:word[B]	4	2	5	A ((ES, B) + word)			
		ES:word[B], A	4	2	-	((ES, B) + word) A			
		ES:word[C], #byte	5	2	-	((ES, C) + word) byte			
		A, ES:word[C]	4	2	5	A ((ES, C) + word)			
		ES:word[C], A	4	2	-	((ES, C) + word) A			
		ES:word[BC], #byte	5	2	-	((ES, BC) + word) byte			
		A, ES:word[BC]	4	2	5	A ((ES, BC) + word)			
		ES:word[BC], A	4	2	-	((ES, BC) + word) A			
		B, ES:!addr16	4	2	5	B (ES, addr16)			
		C, ES:!addr16	4	2	5	C (ES, addr16)			
	X, ES:!addr16	4	2	5	X (ES, addr16)				
	XCH	A, r	注3 1 (r = X) 2 (r = X 以外)	1	-	A r			
		A, saddr	3	2	-	A (saddr)			
		A, sfr	3	2	-	A sfr			
		A, !addr16	4	2	-	A (addr16)			
		A, [DE]	2	2	-	A (DE)			
		A, [DE+byte]	3	2	-	A (DE + byte)			
		A, [HL]	2	2	-	A (HL)			
		A, [HL+byte]	3	2	-	A (HL + byte)			
		A, [HL+B]	2	2	-	A (HL + B)			
A, [HL+C]		2	2	-	A (HL + C)				

- 注1 . 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。
 2 . プログラム・メモリ領域をアクセスしたとき。
 3 . r = Aを除く。

- 備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。
 2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (4/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	XCH	A, ES:!addr16	5	3	-	A (ES, addr16)				
		A, ES:[DE]	3	3	-	A (ES, DE)				
		A, ES:[DE+byte]	4	3	-	A ((ES, DE) + byte)				
		A, ES:[HL]	3	3	-	A (ES, HL)				
		A, ES:[HL+byte]	4	3	-	A ((ES, HL) + byte)				
		A, ES:[HL+B]	3	3	-	A ((ES, HL) + B)				
		A, ES:[HL+C]	3	3	-	A ((ES, HL) + C)				
	ONEB	A	1	1	-	A 01H				
		X	1	1	-	X 01H				
		B	1	1	-	B 01H				
		C	1	1	-	C 01H				
		saddr	2	1	-	(saddr) 01H				
		!addr16	3	1	-	(addr16) 01H				
		ES:!addr16	4	2	-	(ES, addr16) 01H				
	CLRB	A	1	1	-	A 00H				
		X	1	1	-	X 00H				
		B	1	1	-	B 00H				
		C	1	1	-	C 00H				
		saddr	2	1	-	(saddr) 00H				
		!addr16	3	1	-	(addr16) 00H				
		ES:!addr16	4	2	-	(ES,addr16) 00H				
	MOVS	[HL+byte], X	3	1	-	(HL + byte) X	x		x	
		ES:[HL+byte], X	4	2	-	(ES, HL + byte) X	x		x	
	16ビット・データ転送	MOVW	rp, #word	3	1	-	rp word			
			saddrp, #word	4	1	-	(saddrp) word			
			sfrp, #word	4	1	-	sfrp word			
			AX, saddrp	2	1	-	AX (saddrp)			
			saddrp, AX	2	1	-	(saddrp) AX			
AX, sfrp			2	1	-	AX sfrp				
sfrp, AX			2	1	-	sfrp AX				
AX, rp <small>注3</small>			1	1	-	AX rp				
rp, AX <small>注3</small>			1	1	-	rp AX				

- 注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2 . プログラム・メモリ領域をアクセスしたとき。
 3 . rp = AXを除く。

- 備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (5/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ デー タ 転 送	MOVW	AX, !addr16	3	1	4	AX (addr16)			
		!addr16, AX	3	1	-	(addr16) AX			
		AX, [DE]	1	1	4	AX (DE)			
		[DE], AX	1	1	-	(DE) AX			
		AX, [DE+byte]	2	1	4	AX (DE + byte)			
		[DE+byte], AX	2	1	-	(DE + byte) AX			
		AX, [HL]	1	1	4	AX (HL)			
		[HL], AX	1	1	-	(HL) AX			
		AX, [HL+byte]	2	1	4	AX (HL + byte)			
		[HL+byte], AX	2	1	-	(HL + byte) AX			
		AX, word[B]	3	1	4	AX (B + word)			
		word[B], AX	3	1	-	(B + word) AX			
		AX, word[C]	3	1	4	AX (C + word)			
		word[C], AX	3	1	-	(C + word) AX			
		AX, word[BC]	3	1	4	AX (BC + word)			
		word[BC], AX	3	1	-	(BC + word) AX			
		AX, [SP+byte]	2	1	-	AX (SP + byte)			
		[SP+byte], AX	2	1	-	(SP + byte) AX			
		BC, saddrp	2	1	-	BC (saddrp)			
		BC, !addr16	3	1	4	BC (addr16)			
		DE, saddrp	2	1	-	DE (saddrp)			
		DE, !addr16	3	1	4	DE (addr16)			
		HL, saddrp	2	1	-	HL (saddrp)			
		HL, !addr16	3	1	4	HL (addr16)			
		AX, ES:!addr16	4	2	5	AX (ES, addr16)			
		ES:!addr16, AX	4	2	-	(ES, addr16) AX			
		AX, ES:[DE]	2	2	5	AX (ES, DE)			
		ES:[DE], AX	2	2	-	(ES, DE) AX			
		AX, ES:[DE+byte]	3	2	5	AX ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	-	((ES, DE) + byte) AX			
		AX, ES:[HL]	2	2	5	AX (ES, HL)			
		ES:[HL], AX	2	2	-	(ES, HL) AX			

- 注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2 . プログラム・メモリ領域をアクセスしたとき。

- 備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (6/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビットデータ転送	MOVW	AX, ES:[HL+byte]	3	2	5	AX ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	-	((ES, HL) + byte) AX			
		AX, ES:word[B]	4	2	5	AX ((ES, B) + word)			
		ES:word[B], AX	4	2	-	((ES, B) + word) AX			
		AX, ES:word[C]	4	2	5	AX ((ES, C) + word)			
		ES:word[C], AX	4	2	-	((ES, C) + word) AX			
		AX, ES:word[BC]	4	2	5	AX ((ES, BC) + word)			
		ES:word[BC], AX	4	2	-	((ES, BC) + word) AX			
		BC, ES:!addr16	4	2	5	BC (ES, addr16)			
		DE, ES:!addr16	4	2	5	DE (ES, addr16)			
	HL, ES:!addr16	4	2	5	HL (ES, addr16)				
	XCHW	AX, rp ^{注3}	1	1	-	AX rp			
	ONEW	AX	1	1	-	AX 0001H			
		BC	1	1	-	BC 0001H			
CLRW	AX	1	1	-	AX 0000H				
	BC	1	1	-	BC 0000H				
8ビット演算	ADD	A, #byte	2	1	-	A, CY A + byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	1	-	A, CY A + r	x	x	x
		r, A	2	1	-	r, CY r + A	x	x	x
		A, saddr	2	1	-	A, CY A + (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY A + (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY A + (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY A + (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY A + (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY A + (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY A + (ES, addr16)	x	x	x
		A, ES:[HL]	2	2	5	A, CY A + (ES, HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY A + ((ES, HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY A + ((ES, HL) + B)	x	x	x
		A, ES:[HL+C]	3	2	5	A, CY A + ((ES, HL) + C)	x	x	x

注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2 . プログラム・メモリ領域をアクセスしたとき。

3 . rp = AXを除く。

4 . r = Aを除く。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (7/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	ADDC	A, #byte	2	1	-	A, CY	A + byte + CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) + byte + CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A + r + CY	x	x	x
		r, A	2	1	-	r, CY	r + A + CY	x	x	x
		A, saddr	2	1	-	A, CY	A + (saddr) + CY	x	x	x
		A, !addr16	3	1	4	A, CY	A + (addr16) + CY	x	x	x
		A, [HL]	1	1	4	A, CY	A + (HL) + CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A + (HL + byte) + CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A + (HL + B) + CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A + (HL + C) + CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A + (ES, addr16) + CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A + (ES, HL) + CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A + ((ES, HL) + byte) + CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A + ((ES, HL) + B) + CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A + ((ES, HL) + C) + CY	x	x	x	
	SUB	A, #byte	2	1	-	A, CY	A - byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r	x	x	x
		r, A	2	1	-	r, CY	r - A	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C)	x	x	x
A, ES:!addr16		4	2	5	A, CY	A - (ES:addr16)	x	x	x	
A, ES:[HL]		2	2	5	A, CY	A - (ES:HL)	x	x	x	
A, ES:[HL+byte]		3	2	5	A, CY	A - ((ES:HL) + byte)	x	x	x	
A, ES:[HL+B]		3	2	5	A, CY	A - ((ES:HL) + B)	x	x	x	
A, ES:[HL+C]	3	2	5	A, CY	A - ((ES:HL) + C)	x	x	x		

- 注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2 . プログラム・メモリ領域をアクセスしたとき。
 3 . r = Aを除く。

- 備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (8/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	SUBC	A, #byte	2	1	-	A, CY	A - byte - CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r - CY	x	x	x
		r, A	2	1	-	r, CY	r - A - CY	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr) - CY	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16) - CY	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C) - CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A - (ES:HL) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A - ((ES:HL) + byte) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A - ((ES:HL) + B) - CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A - ((ES:HL) + C) - CY	x	x	x	
	AND	A, #byte	2	1	-	A	A byte	x		
		saddr, #byte	3	2	-	(saddr)	(saddr) byte	x		
		A, r ^{注3}	2	1	-	A	A r	x		
		r, A	2	1	-	r	r A	x		
		A, saddr	2	1	-	A	A (saddr)	x		
		A, !addr16	3	1	4	A	A (addr16)	x		
		A, [HL]	1	1	4	A	A (HL)	x		
		A, [HL+byte]	2	1	4	A	A (HL + byte)	x		
		A, [HL+B]	2	1	4	A	A (HL + B)	x		
		A, [HL+C]	2	1	4	A	A (HL + C)	x		
		A, ES:!addr16	4	2	5	A	A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A	A (ES:HL)	x		
A, ES:[HL+byte]		3	2	5	A	A ((ES:HL) + byte)	x			
A, ES:[HL+B]	3	2	5	A	A ((ES:HL) + B)	x				
A, ES:[HL+C]	3	2	5	A	A ((ES:HL) + C)	x				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (9/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x		
		A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)	x		
	A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x			
	XOR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x		
A, ES:[HL+B]		3	2	5	A A ((ES:HL) + B)	x			
A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (10/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	-	A - byte	x	x	x
		saddr, #byte	3	1	-	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A - r	x	x	x
		r, A	2	1	-	r - A	x	x	x
		A, saddr	2	1	-	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
	A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x	
	ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x	
	CMP0	A	1	1	-	A - 00H	x	x	x
		X	1	1	-	X - 00H	x	x	x
		B	1	1	-	B - 00H	x	x	x
C		1	1	-	C - 00H	x	x	x	
saddr		2	1	-	(saddr) - 00H	x	x	x	
!addr16		3	1	4	(addr16) - 00H	x	x	x	
ES:!addr16		4	2	5	(ES:addr16) - 00H	x	x	x	
CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x	
	X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x	

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (11/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	-	AX, CY AX + word	x	x	x
		AX, AX	1	1	-	AX, CY AX + AX	x	x	x
		AX, BC	1	1	-	AX, CY AX + BC	x	x	x
		AX, DE	1	1	-	AX, CY AX + DE	x	x	x
		AX, HL	1	1	-	AX, CY AX + HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX + (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX + (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX + (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX + (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	-	AX, CY AX - word	x	x	x
		AX, BC	1	1	-	AX, CY AX - BC	x	x	x
		AX, DE	1	1	-	AX, CY AX - DE	x	x	x
		AX, HL	1	1	-	AX, CY AX - HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX - (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX - ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	-	AX - word	x	x	x
		AX, BC	1	1	-	AX - BC	x	x	x
		AX, DE	1	1	-	AX - DE	x	x	x
		AX, HL	1	1	-	AX - HL	x	x	x
		AX, saddrp	2	1	-	AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	x	x	x	
乗算	MULU	X	1	1	-	AX A x X			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (12/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	-	r r + 1	x	x	
		saddr	2	2	-	(saddr) (saddr) + 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) + 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1	x	x	
	DEC	r	1	1	-	r r - 1	x	x	
		saddr	2	2	-	(saddr) (saddr) - 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) - 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1	x	x	
	INCW	rp	1	1	-	rp rp + 1			
		saddrp	2	2	-	(saddrp) (saddrp) + 1			
		!addr16	3	2	-	(addr16) (addr16) + 1			
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1			
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1			
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1			
DECW	rp	1	1	-	rp rp - 1				
	saddrp	2	2	-	(saddrp) (saddrp) - 1				
	!addr16	3	2	-	(addr16) (addr16) - 1				
	[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1				
	ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1				
	ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1				
シフト	SHR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ 0) x cnt			x
	SHRW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ 0) x cnt			x
	SHL	A, cnt	2	1	-	(CY A ₇ , A _m A _{m-1} , A ₀ 0) x cnt			x
		B, cnt	2	1	-	(CY B ₇ , B _m B _{m-1} , B ₀ 0) x cnt			x
		C, cnt	2	1	-	(CY C ₇ , C _m C _{m-1} , C ₀ 0) x cnt			x
	SHLW	AX, cnt	2	1	-	(CY AX ₁₅ , AX _m AX _{m-1} , AX ₀ 0) x cnt			x
		BC, cnt	2	1	-	(CY BC ₁₅ , BC _m BC _{m-1} , BC ₀ 0) x cnt			x
	SAR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ A ₇) x cnt			x
SARW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ AX ₁₅) x cnt			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

3. cntはビット・シフト数です。

表30 - 5 オペレーション一覧 (13/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1			×
	ROL	A, 1	2	1	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1			×
	RORC	A, 1	2	1	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1			×
	ROLC	A, 1	2	1	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1			×
	ROLWC	AX, 1	2	1	-	(CY AX ₁₅ , AX ₀ CY, AX _{m+1} AX _m) × 1			×
		BC, 1	2	1	-	(CY BC ₁₅ , BC ₀ CY, BC _{m+1} BC _m) × 1			×
ビット操作	MOV1	CY, saddr.bit	3	1	-	CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY sfr.bit			×
		CY, A.bit	2	1	-	CY A.bit			×
		CY, PSW.bit	3	1	-	CY PSW.bit			×
		CY, [HL].bit	2	1	4	CY (HL).bit			×
		saddr.bit, CY	3	2	-	(saddr).bit CY			
		sfr.bit, CY	3	2	-	sfr.bit CY			
		A.bit, CY	2	1	-	A.bit CY			
		PSW.bit, CY	3	4	-	PSW.bit CY	×	×	
		[HL].bit, CY	2	2	-	(HL).bit CY			
		CY, ES:[HL].bit	3	2	5	CY (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	-	(ES, HL).bit CY			
	AND1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY CY sfr.bit			×
		CY, A.bit	2	1	-	CY CY A.bit			×
		CY, PSW.bit	3	1	-	CY CY PSW.bit			×
		CY, [HL].bit	2	1	4	CY CY (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			×
	OR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY CY sfr.bit			×
CY, A.bit		2	1	-	CY CY A.bit			×	
CY, PSW.bit		3	1	-	CY CY PSW.bit			×	
CY, [HL].bit		2	1	4	CY CY (HL).bit			×	
CY, ES:[HL].bit		3	2	5	CY CY (ES, HL).bit			×	

注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2 . プログラム・メモリ領域をアクセスしたとき。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (14/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY CY sfr.bit			x
		CY, A.bit	2	1	-	CY CY A.bit			x
		CY, PSW.bit	3	1	-	CY CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY CY (HL).bit			x
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			x
	SET1	saddr.bit	3	2	-	(saddr).bit 1			
		sfr.bit	3	2	-	sfr.bit 1			
		A.bit	2	1	-	A.bit 1			
		!addr16.bit	4	2	-	(addr16).bit 1			
		PSW.bit	3	4	-	PSW.bit 1	x	x	x
		[HL].bit	2	2	-	(HL).bit 1			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 1			
		ES:[HL].bit	3	3	-	(ES, HL).bit 1			
	CLR1	saddr.bit	3	2	-	(saddr).bit 0			
		sfr.bit	3	2	-	sfr.bit 0			
		A.bit	2	1	-	A.bit 0			
		!addr16.bit	4	2	-	(addr16).bit 0			
		PSW.bit	3	4	-	PSW.bit 0	x	x	x
		[HL].bit	2	2	-	(HL).bit 0			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 0			
		ES:[HL].bit	3	3	-	(ES, HL).bit 0			
	SET1	CY	2	1	-	CY 1			1
	CLR1	CY	2	1	-	CY 0			0
NOT1	CY	2	1	-	CY \overline{CY}			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (15/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
コール・リターン	CALL	rp	2	3	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC CS, rp, SP SP - 4				
		\$!addr20	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC PC + 3 + jdisp16, SP SP - 4				
		!addr16	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC 0000, addr16, SP SP - 4				
		!!addr20	4	3	-	(SP - 2) (PC + 4) _s , (SP - 3) (PC + 4) _H , (SP - 4) (PC + 4) _L , PC addr20, SP SP - 4				
		CALLT	[addr5]	2	5	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0000, addr5 + 1), PC _L (0000, addr5), SP SP - 4			
		BRK	-	2	5	-	(SP - 1) PSW, (SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0007FH), PC _L (0007EH), SP SP - 4, IE 0			
		RET	-	1	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), SP SP + 4			
	RETI	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	
	RETB	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	

注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2 . プログラム・メモリ領域をアクセスしたとき。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (16/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	-	(SP - 1) PSW, (SP - 2) 00H, SP SP - 2			
		rp	1	1	-	(SP - 1) rpH, (SP - 2) rPL, SP SP - 2			
	POP	PSW	2	3	-	PSW (SP + 1), SP SP + 2	R	R	R
		rp	1	1	-	rPL (SP), rpH (SP + 1), SP SP + 2			
	MOVW	SP, #word	4	1	-	SP word			
		SP, AX	2	1	-	SP AX			
		AX, SP	2	1	-	AX SP			
		HL, SP	3	1	-	HL SP			
		BC, SP	3	1	-	BC SP			
		DE, SP	3	1	-	DE SP			
ADDW	SP, #byte	2	1	-	SP SP + byte				
SUBW	SP, #byte	2	1	-	SP SP - byte				
無条件分岐	BR	AX	2	3	-	PC CS, AX			
		\$addr20	2	3	-	PC PC + 2 + jdisp8			
		!addr20	3	3	-	PC PC + 3 + jdisp16			
		!addr16	3	3	-	PC 0000, addr16			
		!!addr20	4	3	-	PC addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20		4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

- 2. プログラム・メモリ領域をアクセスしたとき。
- 3. クロック数は “ 条件不成立時 / 条件成立時 ” を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (fCLK) の1クロック分です。

- 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表30 - 5 オペレーション一覧 (17/17)

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	-	PC PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	-	2	1	-	Next instruction skip if CY = 1			
	SKNC	-	2	1	-	Next instruction skip if CY = 0			
	SKZ	-	2	1	-	Next instruction skip if Z = 1			
	SKNZ	-	2	1	-	Next instruction skip if Z = 0			
	SKH	-	2	1	-	Next instruction skip if (Z CY)=0			
	SKNH	-	2	1	-	Next instruction skip if (Z CY)=1			
CPU制御	SEL	Rb _n	2	1	-	RBS[1:0] n			
	NOP	-	1	1	-	No Operation			
	EI	-	3	4	-	IE 1(Enable Interrupt)			
	DI	-	3	4	-	IE 0(Disable Interrupt)			
	HALT	-	2	3	-	Set HALT Mode			
	STOP	-	2	3	-	Set STOP Mode			

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。
 3. クロック数は “ 条件不成立時 / 条件成立時 ” を表しています。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。
 3. nはレジスタ・バンク数です (n = 0-3)。

第31章 電気的特性 (Jグレード)

- 注意1. RL78/F12には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により、搭載している端子が次のようになります。

31.1 製品別搭載端子

31.1.1 ポート機能

- 2.1.1 20ピン製品 ~ 2.1.5 64ピン製品を参照してください。

31.1.2 ポート以外の端子

- 2.1.6 製品別搭載端子 (ポート以外の端子) を参照してください。

注意 製品により搭載している端子が異なります。

31.2 絶対最大定格

絶対最大定格 (T_A = 25)

(1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	EV _{DD}		- 0.5 ~ + 6.5	V
	V _{SS}		- 0.5 ~ + 0.3	V
	EV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _I REGC	REGC	- 0.3 ~ + 2.8 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
入力電圧	V _{I1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	- 0.3 ~ EV _{DD} +0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{I2}	P60-P63 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V
	V _{I3}	P20-P27, P121-P124, P137, $\overline{\text{RESET}}$	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _{O1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P130, P140, P141, P146, P147	- 0.3 ~ EV _{DD} + 0.3 ^{注2}	V
	V _{O2}	P20-P27	- 0.3 ~ V _{DD} + 0.3	V
アナログ入力電圧	V _{AI1}	ANI0-ANI7	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{AI2}	ANI16-ANI19	- 0.3 ~ EV _{DD} + 0.3 ^{注2}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μ F) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

絶対最大定格 (T_A = 25)

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	- 40	mA
		端子合計 - 170 mA	P00-P04, P40-P43, P120, P130, P140, P141	- 70	mA
			P05, P06, P10-P17, P30, P31, P50-P55, P70-P77, P146, P147	- 100	mA
	IOH2	1端子	P20-P27	- 0.5	mA
		端子合計		- 2	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P130, P140, P141, P146, P147	40	mA
		端子合計 170 mA	P00-P04, P40-P43, P120, P130, P140, P141	70	mA
			P05, P06, P10-P17, P30, P31, P50-P55, P60-P63, P70-P77, P146, P147	100	mA
	IOL2	1端子	P20-P27	1	mA
		端子合計		5	mA
動作周囲温度	T _A	通常動作時		- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}			- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

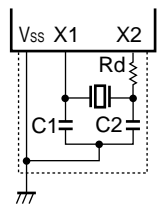
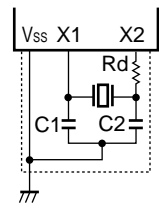
備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

31.3 発振回路特性

31.3.1 メイン・システム・クロック発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (f_x) ^注	2.7 V $V_{DD} = 5.5$ V	1.0		20.0	MHz
			1.8 V $V_{DD} < 2.7$ V	1.0		8.0	MHz
水晶振動子		X1クロック発振周波数 (f_x) ^注	2.7 V $V_{DD} = 5.5$ V	1.0		20.0	MHz
			1.8 V $V_{DD} < 2.7$ V	1.0		8.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速オンチップ・オシレータクロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

注意 製品により搭載している端子が異なります。

31.3.2 オンチップ・オシレータ回路特性

($T_A = -20 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ 発振周波数 ^注	f _{ih}	32 MHz選択時	31.52	32.00	32.48	MHz
		24 MHz選択時	23.64	24.00	24.36	MHz
		16 MHz選択時	15.76	16.00	16.24	MHz
		8 MHz選択時	7.88	8.00	8.12	MHz
		4 MHz選択時	3.94	4.00	4.06	MHz
		1 MHz選択時	0.985	1.00	1.015	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ 発振周波数 ^注	f _{ih}	32 MHz選択時	31.36	32.00	32.64	MHz
		24 MHz選択時	23.52	24.00	24.48	MHz
		16 MHz選択時	15.68	16.00	16.32	MHz
		8 MHz選択時	7.84	8.00	8.16	MHz
		4 MHz選択時	3.92	4.00	4.08	MHz
		1 MHz選択時	0.98	1.00	1.02	MHz
低速オンチップ・オシレータ 発振周波数	f _{il}		12.75	15	17.25	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 製品により搭載している端子が異なります。

31.3.3 サブシステム・クロック発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1 クロック発振周波数 (f_{XT}) ^注		29.0	32.768	35.0	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により搭載している端子が異なります。

31.4 DC特性

31.4.1 端子特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147 1端子	4.0 V EV_{DD} 5.5 V			- 5.0	mA
			2.7 V $EV_{DD} < 4.0$ V			- 3.0	mA
			1.8 V $EV_{DD} < 2.7$ V			- 0.5	mA
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ = 70 %時 ^{注2})	4.0 V EV_{DD} 5.5 V			- 20.0	mA
			2.7 V $EV_{DD} < 4.0$ V			- 10.0	mA
			1.8 V $EV_{DD} < 2.7$ V			- 5.0	mA
		P05, P06, P10-P17, P30, P31, P50-P55, P70-P77, P146, P147 合計 (デューティ = 70 %時 ^{注2})	4.0 V EV_{DD} 5.5 V			- 30.0	mA
			2.7 V $EV_{DD} < 4.0$ V			- 19.0	mA
			1.8 V $EV_{DD} < 2.7$ V			- 10.0	mA
	全端子合計 (デューティ = 70 %時 ^{注2})	4.0 V EV_{DD} 5.5 V			- 50.0	mA	
		2.7 V $EV_{DD} < 4.0$ V			- 29.0	mA	
		1.8 V $EV_{DD} < 2.7$ V			- 15.0	mA	
	I _{OH2}	P20-P27 1端子				- 0.1	mA
		全端子合計 (デューティ = 70 %時 ^{注2})				- 0.8	mA

注1. V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます (70 %のデューティをn %に変更する場合。ただし、元のデューティ < nに限りません。)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OH} = -10.0$ mAの場合, $n = 80$ %

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) = -8.75 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00, P10-P15, P17, P50, P71, P74は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147 1端子	4.0 V EV_{DD} 5.5 V			8.5	mA
			2.7 V $EV_{DD} < 4.0$ V			4.0	mA
			1.8 V $EV_{DD} < 2.7$ V			0.6	mA
		P60-P63 1端子	4.0 V EV_{DD} 5.5 V			15.0	mA
			2.7 V $EV_{DD} < 4.0$ V			4.0	mA
			1.8 V $EV_{DD} < 2.7$ V			2.0	mA
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ = 70 %時 ^{注2})	4.0 V EV_{DD} 5.5 V			20.0	mA
			2.7 V $EV_{DD} < 4.0$ V			15.0	mA
			1.8 V $EV_{DD} < 2.7$ V			9.0	mA
	P05, P06, P10-P17, P30, P31, P50-P55, P60-P63, P70-P77, P146, P147 合計 (デューティ = 70 %時 ^{注2})	4.0 V EV_{DD} 5.5 V			45.0	mA	
		2.7 V $EV_{DD} < 4.0$ V			35.0	mA	
		1.8 V $EV_{DD} < 2.7$ V			20.0	mA	
	全端子合計 (デューティ = 70 %時 ^{注2})	4.0 V EV_{DD} 5.5 V			65.0	mA	
		2.7 V $EV_{DD} < 4.0$ V			50.0	mA	
		1.8 V $EV_{DD} < 2.7$ V			29.0	mA	
IOL2	P20-P27 1端子				0.4	mA	
		全端子合計 (デューティ = 70 %時 ^{注2})			3.2	mA	

注1. 出力端子からEVSS, VSS, AVSS端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます (70 %のデューティをn %に変更する場合。ただし、元のデューティ < nに限りません。)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OL} = 10.0$ mAの場合、 $n = 80$ %

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) = 8.75 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
ハイ・レベル入力電圧	V_{IH1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ (ITHL=1)	$0.8EV_{DD}$		EV_{DD}	V		
	V_{IH2}	P01, P03, P04, P13-P17, P55	TTL入力バッファ 4.0 V EV_{DD} 5.5 V	2.2		EV_{DD}	V		
			TTL入力バッファ 2.7 V $EV_{DD} < 4.0$ V	2.0		EV_{DD}	V		
			TTL入力バッファ 1.8 V $EV_{DD} < 2.7$ V	0		$0.3EV_{DD}$	V		
	V_{IH3}	P20-P27		$0.7V_{DD}$		V_{DD}	V		
	V_{IH4}	P60-P63		$0.7EV_{DD}$		6.0	V		
	V_{IH5}	P121-P124, P137, RESET		$0.8V_{DD}$		V_{DD}	V		
ロウ・レベル入力電圧	V_{IL1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ (ITHL=1)	0		$0.2EV_{DD}$	V		
			V_{IL2}	P01, P03, P04, P13-P17, P55	TTL入力バッファ 4.0 V EV_{DD} 5.5 V	0		0.8	V
					TTL入力バッファ 2.7 V $EV_{DD} < 4.0$ V	0		0.5	V
					TTL入力バッファ 1.8 V $EV_{DD} < 2.7$ V	0		$0.3EV_{DD}$	V
			V_{IL3}	P20-P27		0		$0.3V_{DD}$	V
			V_{IL4}	P60-P63		0		$0.3EV_{DD}$	V
	V_{IL5}	P121-P124, P137, RESET		0		$0.2V_{DD}$	V		
	V_{IL6}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ (ITHL=0) 4.0 V EV_{DD} 5.5 V	0		$0.5EV_{DD}$	V		
			通常入力バッファ (ITHL=0) 2.7 V $EV_{DD} < 4.0$ V	0		$0.4EV_{DD}$	V		
			通常入力バッファ 1.8 V $EV_{DD} < 2.7$ V	0		$0.3EV_{DD}$	V		

注意 P00, P02-P04, P10-P15, P17, P50, P55, P71, P74は, N-chオープン・ドレイン・モード時でも V_{IH} の最大値 (MAX.) は V_{DD} です。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。兼用機能CSIS0, CSIS1, UARTS, UARTFの入力端子はTTLに対応していません。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 出力電圧	V_{OH1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V EV_{DD} 5.5 V	$I_{OH1} = -5.0$ mA	$EV_{DD} - 0.9$		V	
				$I_{OH1} = -3.0$ mA	$EV_{DD} - 0.7$			
				$I_{OH1} = -1.0$ mA	$EV_{DD} - 0.5$			
			2.7 V EV_{DD} 5.5 V	$I_{OH1} = -3.0$ mA	$EV_{DD} - 0.7$		V	
				$I_{OH1} = -1.0$ mA	$EV_{DD} - 0.5$			
			1.8 V EV_{DD} 5.5 V, $I_{OH1} = -0.5$ mA		$EV_{DD} - 0.5$		V	
	V_{OH2}	P20-P27	1.8 V V_{DD} 5.5 V, $I_{OH2} = -0.1$ mA		$V_{DD} - 0.5$		V	
ロウ・レベル 出力電圧	V_{OL1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V EV_{DD} 5.5 V, $I_{OL1} = 8.5$ mA			0.7	V	
			4.0 V EV_{DD} 5.5 V, $I_{OL1} = 4.0$ mA			0.4	V	
			2.7 V EV_{DD} 5.5 V, $I_{OL1} = 4.0$ mA			0.7	V	
			2.7 V EV_{DD} 5.5 V, $I_{OL1} = 1.5$ mA			0.4	V	
			1.8 V EV_{DD} 5.5 V, $I_{OL1} = 0.6$ mA			0.4	V	
	V_{OL2}	P20-P27	1.8 V V_{DD} 5.5 V, $I_{OL2} = 0.4$ mA			0.4	V	
	V_{OL3}	P60-P63	4.0 V EV_{DD} 5.5 V, $I_{OL3} = 15.0$ mA			2.0	V	
			4.0 V EV_{DD} 5.5 V, $I_{OL3} = 5.0$ mA			0.4	V	
			2.7 V EV_{DD} 5.5 V,	$I_{OL3} = 4.0$ mA			0.5	V
				$I_{OL3} = 3.0$ mA			0.4	
			1.8 V EV_{DD} 5.5 V, $I_{OL3} = 2.0$ mA			0.4	V	

注意 P00, P02-P04, P10-P15, P17, P43, P50, P52-P55, P71, P74は, N-chオープン・ドレイン・モード時には, ハイ・レベル出力しません。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P140, P141, P146, P147	$V_i = EV_{DD}$			1	μA
	I _{LIH2}	P20-P27, P137, \overline{RESET}	$V_i = V_{DD}$			1	μA
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{DD}$	入力ポート時, 外部クロック入力 時			1
			発振子接続時			10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P140, P141, P146, P147	$V_i = EV_{SS}$			- 1	μA
	I _{LIL2}	P20-P27, P137, \overline{RESET}	$V_i = V_{SS}$			- 1	μA
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{SS}$	入力ポート時, 外部クロック入力 時			- 1
			発振子接続時			- 10	μA
内蔵プルアップ抵抗	R _U	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147		10	20	100	k Ω

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	高速動作 ^{注7}	f _{IH} = 32 MHz ^{注3}		0.55	3.2	mA	
				f _{IH} = 24 MHz ^{注3}		0.48	2.42		
				f _{IH} = 16 MHz ^{注3}		0.40	1.75		
				f _{MX} = 20 MHz ^{注4}		0.43	1.80		
				f _{MX} = 10 MHz ^{注4}		0.28	0.97		
			低速動作 ^{注7}	f _{IH} = 8 MHz ^{注3}		0.30	0.84	mA	
				f _{MX} = 8 MHz ^{注4}		0.18	0.60		
			サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注5}	T _A ≤ +50		0.52	2.15	μA
					T _A ≤ +70			3.05	
					T _A ≤ +85			4.24	
I _{DD3} ^{注6}	STOP モード	T _A ≤ +50			0.22	2.05	μA		
		T _A ≤ +70				2.95			
		T _A ≤ +85				4.16			

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

- フラッシュ・メモリでのHALT命令実行時。
- 高速システム・クロックおよびサブシステム・クロックは停止時。
- 高速オンチップ・オシレータおよびサブシステム・クロックは停止時。
- リアルタイム・クロック (RTC) 動作, かつ超低消費発振 (AMPHS1 = 1) 設定時。高速オンチップ・オシレータ, 高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。
- 高速オンチップ・オシレータ, 高速システム・クロック, サブシステム・クロックは停止時。ウォッチドッグ・タイマは停止時。
- 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
 高速動作 : V_{DD} = 2.7 ~ 5.5 V@1 MHz ~ 32 MHz
 低速動作 : V_{DD} = 1.8 ~ 5.5 V@1 MHz ~ 8 MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- f_{IH} : 高速オンチップ・オシレータクロック周波数
 - f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 - TYP.値の温度条件は, T_A = 25 です。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
RTC動作電流	I_{RTC} ^{注1, 2}	$f_{SUB} = 32.768$ kHz	リアルタイム・クロック動作		0.02	0.13	μ A
			インターバル・タイマ動作		0.02	0.33	μ A
WUTM動作電流	I_{WUTM}	$f_{IL} = 15$ kHz			0.25	0.4	μ A
ウォッチドッグ・タイマ動作電流	I_{WDT} ^{注2, 3}	$f_{IL} = 15$ kHz			0.22	0.4	μ A
A/Dコンバータ動作電流	I_{ADC} ^{注4}	最高速変換時	標準モード, $AV_{REFP} = V_{DD} = 5.0$ V		1.30	1.7	mA
			低電圧モード, $AV_{REFP} = V_{DD} = 3.0$ V		0.5	0.7	mA
		内部基準電圧選択時 ^{注7}			75		μ A
LVD動作電流	I_{LVI} ^{注5}				0.08	0.20	μ A
温度センサ動作電流	I_{TMPS}				75		μ A
BGO動作電流	I_{BGO} ^{注6}				2.50	12.20	mA

注1. リアルタイム・クロックにのみ流れる電流です(XT1発振器の動作電流は含みません)。動作モードまたはHALTモード時にリアルタイム・クロックが動作中の場合、RL78/F12の電流のTYP.値は、 I_{DD1} または I_{DD2} のTYP.値に I_{RTC} のTYP.値を加算した値となります。 I_{DD1} または I_{DD2} のMAX.値にはリアルタイム・クロックの動作電流も含まれます。 $f_{CLK} = f_{SUB}$ 時にリアルタイム・クロックが動作中の場合、 I_{DD2} のTYP.値にはリアルタイム・クロックの動作電流を含みます。

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- ウォッチドッグ・タイマにのみ流れる電流です(15 kHzオンチップ・オシレータの動作電流を含みます)。STOPモード時にウォッチドッグ・タイマが動作中の場合、 I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、RL78/F12の電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、RL78/F12の電流値となります。
- LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合、 I_{DD1} または I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、RL78/F12の電流値となります。
- BGOにのみ流れる電流です。動作モードまたはHALTモード時にBGOが動作中の場合、 I_{DD1} または I_{DD2} に I_{BGO} を加算した値が、RL78/F12の電流値となります。
- 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。

- 備考1. f_{IL} : 低速オンチップ・オシレータクロック周波数
- f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
 - TYP.値の温度条件は、 $T_A = 25$ です。

注意 製品により搭載している端子が異なります。

31.5 AC特性

31.5.1 基本動作

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック (f_{MAIN})動作	高速メイン・モード	2.7V $V_{DD} = 5.5$ V	0.03125	1	μ s
			低速メイン・モード	1.8V $V_{DD} = 5.5$ V	0.125	1	μ s
		サブシステム・クロック (f_{SUB})動作 SDIV=0		28.5	30.5	34.5	μ s
外部メイン・システム・クロック周波数	f_{EX}	EXCLK	2.7V $V_{DD} = 5.5$ V	1		20	MHz
			1.8V $V_{DD} < 2.7$ V	1		8	MHz
	f_{EXS}	EXCLKS	29		35	kHz	
外部メイン・システム・クロック 入力ハイ、ロウ・レベル幅	t_{EXH} , t_{EXL}	EXCLK	2.7V $V_{DD} = 5.5$ V	24			ns
			1.8V $V_{DD} < 2.7$ V	60			ns
	t_{EXHS} , t_{EXLS}	EXCLKS	13.7			μ s	
TI00-TI07入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH} , t_{TIL}			$2f_{MCK} + 10$			ns
TO00-TO07出力周波数	f_{TO}	4.0 V $EV_{DD} = 5.5$ V				16	MHz
		2.7 V $EV_{DD} < 4.0$ V				8	MHz
		1.8 V $EV_{DD} < 2.7$ V				4	MHz
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	4.0 V $EV_{DD} = 5.5$ V				16	MHz
		2.7 V $EV_{DD} < 4.0$ V				8	MHz
		1.8 V $EV_{DD} < 2.7$ V				4	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP11		1			μ s
キー割り込み入力 ロウ・レベル幅	t_{KR}	KR0-KR7		250			ns
RESETロウ・レベル幅	t_{RSL}			10			μ s

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ0n(TMR0n)のCKS0nビットで設定する動作クロック。n: チャンネル番号(n = 0-7))

注意 製品により搭載している端子が異なります。

31.6 周辺機能特性

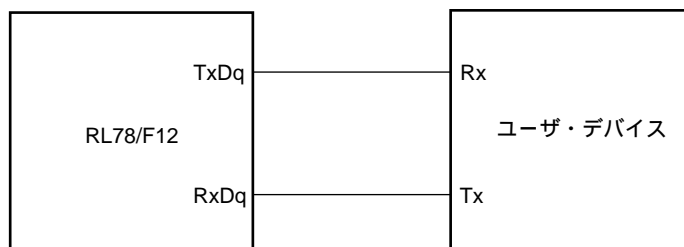
31.6.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

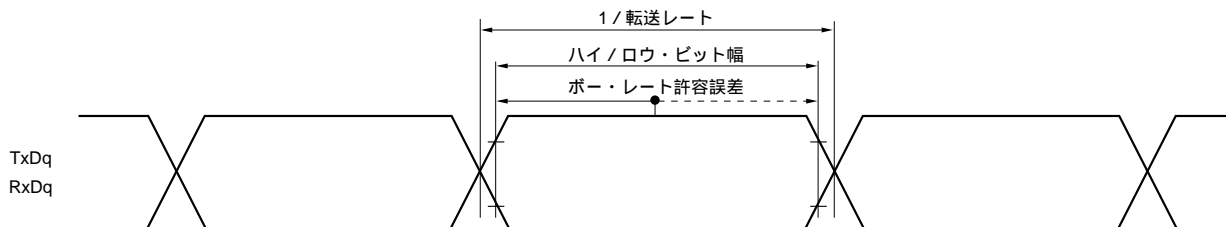
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		SNOOZEモード時以外	$f_{MCK}/256$		$f_{MCK}/6$	bps
		最大転送レート理論値			5.3	Mbps
		SNOOZEモード時受信可能ポー・レート	4800		4800	bps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で、RxDq端子は通常入力バッファ、TxDq端子は通常出力モードを選択。

備考1. q : UART番号 (q = 0-2, S0) , g : PIM番号 (g = 0, 1, 5) , h : POM番号 (h = 0, 1, 5, 7)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 , n : チャネル番号 (mn = 00-03, 10, 11, S0, S1))

注意 製品により搭載している端子が異なります。

(2) 同電位通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム ^{注1}	t_{KCY1}	CSI00	2.7 V EV_{DD} 5.5 V	125	且つ		ns
			1.8 V EV_{DD} 2.7 V	500			
		CSI00以外	2.7 V EV_{DD} 5.5 V	125	且つ		ns
			1.8 V EV_{DD} 2.7 V	500			
\overline{SCKp} ハイ, ロウ・レベル幅	t_{KH1} , t_{KL1}	4.0 V EV_{DD} 5.5 V		$t_{KCY1}/2 - 12$			ns
		2.7 V EV_{DD} 4.0 V		$t_{KCY1}/2 - 18$			ns
		1.8 V EV_{DD} 2.7 V		$t_{KCY1}/2 - 50$			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注2}	t_{SIK1}	2.7 V EV_{DD} 5.5 V		44			ns
		1.8 V EV_{DD} 5.5 V		110			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注2}	t_{KSI1}			19			ns
SOp出力遅延時間 ^{注3} (対 \overline{SCKp})	t_{KSO1}	C = 30 pF ^{注4}				25	ns

注1. \overline{SCKp} かつ $2/f_{CLK}$ 以上に設定してください。

- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 \overline{SCKp} ”となります。
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 \overline{SCKp} ”となります。
- Cは、 \overline{SCKp} , SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で、Slp端子は通常入力バッファ、SOp端子と \overline{SCKp} 端子は通常出力モードを選択。

備考 p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1) , m : ユニット番号 (m = 0, 1, S) , n : チャネル番号 (n = 0-3) , g : PIM番号 (g = 0, 1, 5) , h : POM番号 (h = 0, 1, 5, 7)

注意 製品により搭載している端子が異なります。

(3) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)
($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY2}	4.0 V EV_{DD} 5.5 V	20 MHz < f _{MCK}	8/f _{MCK}			ns
			f _{MCK} 20 MHz	6/f _{MCK}			ns
		1.8 V $EV_{DD} < 4.0$ V	16 MHz < f _{MCK}	8/f _{MCK}			ns
			f _{MCK} 16 MHz	6/f _{MCK}			ns
SCKpハイ, ロウ・レベル幅	t _{KHZ} , t _{KL2}			t _{KCY2} /2			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{※1}	t _{SIK2}	2.7 V EV_{DD} 5.5 V		1/f _{MCK} + 20			ns
		1.8 V $EV_{DD} < 2.7$ V		1/f _{MCK} + 30			
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{※1}	t _{SI2}	1.8 V EV_{DD} 5.5 V		1/f _{MCK} + 31			ns
SOp出力遅延時間 ^{※2} (対 $\overline{\text{SCKp}}$)	t _{KSO2}	C = 30 pF ^{※3}	2.7 V EV_{DD} 5.5 V			2f _{MCK} + 44	ns
			1.8 V $EV_{DD} < 2.7$ V			2f _{MCK} + 110	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。

3. Cは, SOp出力ラインの負荷容量です。

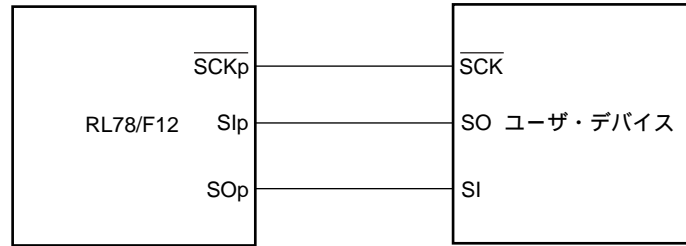
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で, Slp端子と $\overline{\text{SCKp}}$ 端子はTTL入力バッファ, SOp端子は通常出力モードを選択。

備考1. p: CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1), m: ユニット番号 (m = 0, 1, S), n: チャネル番号 (n = 0-3), g: PIM番号 (g = 0, 1, 5), h: POM番号 (h = 0, 1, 5, 7)

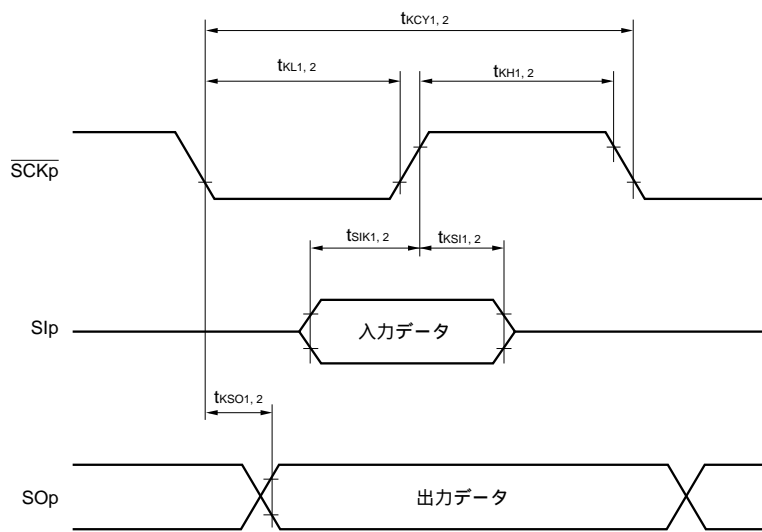
2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00-03, 10, 11, S0, S1))

注意 製品により搭載している端子が異なります。

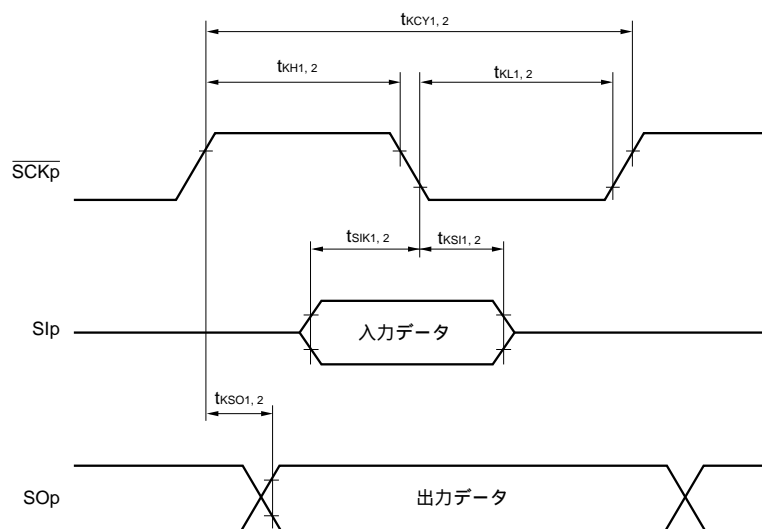
CSIモード接続図 (同電位通信時)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



- 備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1)
2. m : ユニット番号, n : チャネル番号 (mn = 00-03, 10, 11, S0, S1)

注意 製品により搭載している端子が異なります。

(4) 同電位通信時 (簡易I²Cモード)

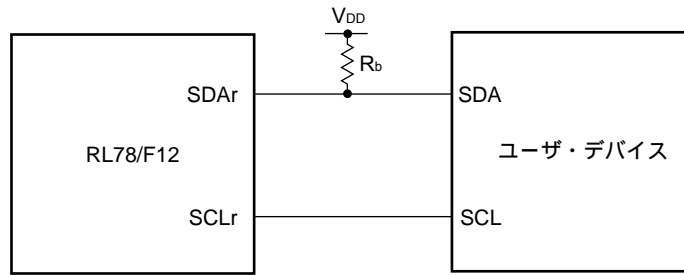
($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCLrクロック周波数	f _{SCL}	1.8 V $V_{DD} = 5.5$ V $C_b = 100$ pF, $R_b = 3$ k Ω		400	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	1.8 V $V_{DD} = 5.5$ V $C_b = 100$ pF, $R_b = 3$ k Ω	1150		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	1.8 V $V_{DD} = 5.5$ V $C_b = 100$ pF, $R_b = 3$ k Ω	1150		ns
データ・セットアップ時間 (受信時) ^注	t _{SU : DAT}	1.8 V $V_{DD} = 5.5$ V $C_b = 100$ pF, $R_b = 3$ k Ω	1/f _{MCK} + 145		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	1.8 V $V_{DD} = 5.5$ V $C_b = 100$ pF, $R_b = 3$ k Ω	0	355	ns

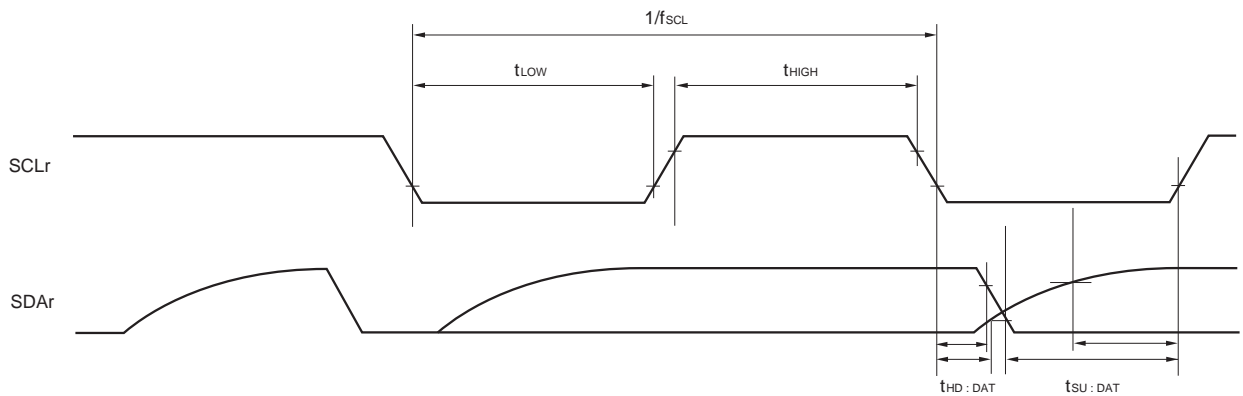
注 SCL = "L"のホールドタイムを超えない値となるようf_{MCK}を設定してください。

注意 製品により搭載している端子が異なります。

簡易I²Cモード接続図 (同電位通信時)



簡易I²Cモード・シリアル転送タイミング (同電位通信時)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択、SCLrはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

- 備考1. R_b [] : 通信ライン (SDAr) プルアップ抵抗値, C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値
2. r : IIC番号 (r = 00, 01, 10, 11, 20, 21), g : PIM番号 (g = 0, 1, 5), h : POM番号 (h = 0, 1, 5, 7)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1, 2), n : チャネル番号 (n = 0, 1), mn = 00, 01, 10, 11, 20, 21)

注意 製品により搭載している端子が異なります。

31.6.2 シリアル・インタフェースIICA

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件		標準モード		ファースト・モード		ファースト・モード・プラス		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード・プラス : f _{CLK} 10 MHz	2.7 V V_{DD} 5.5 V					0	1000	kHz
		ファースト・モード : f _{CLK} 3.5 MHz	1.8 V V_{DD} 5.5 V			0	400			kHz
		標準モード : f _{CLK} 1 MHz	1.8 V V_{DD} 5.5 V	0	100					kHz
リスタート・コンディションのセットアップ時間 ^{※1}	t _{SU:STA}			4.7		0.6		0.26		μs
ホールド時間	t _{HD:STA}			4.0		0.6		0.26		μs
SCLA0 = "L" のホールド・タイム	t _{LOW}			4.7		1.3		0.5		μs
SCLA0 = "H" のホールド・タイム	t _{HIGH}			4.0		0.6		0.26		μs
データ・セットアップ時間 (受信時)	t _{SU:DAT}			250		100		50		ns
データ・ホールド時間 (送信時) ^{※2}	t _{HD:DAT}			0	3.45	0	0.9	0		μs
ストップ・コンディションのセットアップ時間	t _{SU:STO}			4.0		0.6		0.26		μs
パス・フリー時間	t _{BUF}			4.7		1.3		0.5		μs

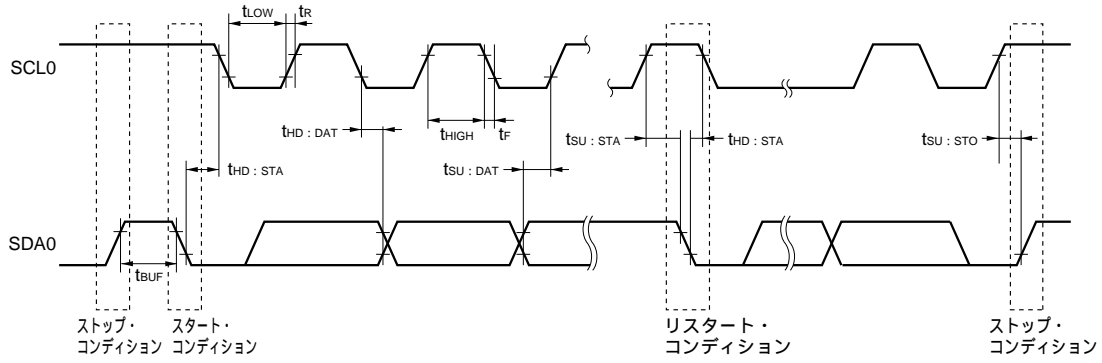
- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
 2. t_{HD:DAT}の最大値 (MAX.) は, 通常転送時の数値であり, \overline{ACK} (アクノリッジ) タイミングでは, ウエイトがかかります。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

- 標準モード : C_b = 400 pF, R_b = 2.7 k
 ファースト・モード : C_b = 320 pF, R_b = 1.1 k
 ファースト・モード・プラス : C_b = 120 pF, R_b = 1.1 k

注意 製品により搭載している端子が異なります。

IIC/A シリアル転送タイミング



31.6.3 LIN-UART

($T_A = -40 \sim +85$, $2.7 V \le V_{DD} = EV_{DD} \le 5.5 V$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	MAX.	単位
転送レート	1/T			1 ^注	Mbps

注 ただし, $f_{CLK}/8$ を上限とします。

注意 製品により搭載している端子が異なります。

31.7 アナログ特性

31.7.1 A/Dコンバータ特性

(1) $AV_{REF}(+) = AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1),

$AV_{REF}(-) = AV_{REFM}/ANI1$ (ADREFM = 1) 選択時,

対象ANI端子: ANI2-ANI7 (V_{DD} を電源とするANI端子)

($T_A = -40 \sim +85$, 1.8 V $EV_{DD} = V_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V ,

基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能	4.0 V $V_{DD} = 5.5$ V		1.2	± 3.0	LSB
			1.8 V $V_{DD} < 4.0$ V		1.2	± 3.5	LSB
変換時間	tCONV	10ビット分解能	4.0 V $V_{DD} = 5.5$ V	2.125		39	μ s
			2.7 V $V_{DD} = 5.5$ V	3.1875		39	μ s
			1.8 V $V_{DD} = 5.5$ V	17		39	μ s
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能	1.8 V $V_{DD} = 5.5$ V			± 0.25	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能	1.8 V $V_{DD} = 5.5$ V			± 0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	1.8 V $V_{DD} = 5.5$ V			± 2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	1.8 V $V_{DD} = 5.5$ V			± 1.5	LSB
基準電圧 (+)	AV_{REFP}		1.8		V_{DD}	V	
基準電圧 (-)	AV_{REFM}		0			V	
アナログ入力電圧	V_{AIN}		AV_{REFM}		AV_{REFP}	V	
	V_{BGR}	2.7 V $V_{DD} = 5.5$ V	1.38	1.45	1.5	V	

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により搭載している端子が異なります。「2.1.1 20ピン製品」～「2.1.5 64ピン製品」,

「2.1.6 製品別搭載端子(ポート以外の端子)」を参照してください。

(2) $AV_{REF}(+) = AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1),

$AV_{REF}(-) = AV_{REFM}/ANI1$ (ADREFM = 1) 選択時,

対象ANI端子: ANI16-ANI19 (EV_{DD}を電源とするANI端子)

($T_A = -40 \sim +85$, 1.8 V $EV_{DD} = V_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V ,

基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 4.0 V $V_{DD} = 5.5$ V $AV_{REFP} = V_{DD}$ $AV_{REFM} = V_{SS}$		1.2	±4.5	LSB
		1.8 V $V_{DD} < 4.0$ V		1.2	±5.0	LSB
変換時間	t _{CONV}	10ビット分解能 4.0 V $V_{DD} = 5.5$ V	2.125		39	μs
		2.7 V $V_{DD} = 5.5$ V	3.1875		39	μs
		1.8 V $V_{DD} = 5.5$ V	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 1.8 V $V_{DD} = 5.5$ V			±0.35	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 1.8 V $V_{DD} = 5.5$ V			±0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 1.8 V $V_{DD} = 5.5$ V			±3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 1.8 V $V_{DD} = 5.5$ V			±2.0	LSB
基準電圧 (+)	AV_{REFP}		1.8		V_{DD}	V
基準電圧 (-)	AV_{REFM}		0			V
アナログ入力電圧	V_{AIN}		AV_{REFM}		AV_{REFP}	V
	V_{BGR}	2.7 V $V_{DD} = 5.5$ V	1.38	1.45	1.5	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により搭載している端子が異なります。「2.1.1 20ピン製品」～「2.1.5 64ピン製品」,

「2.1.6 製品別搭載端子(ポート以外の端子)」を参照してください。

- (3) $AV_{REF}(+) = V_{DD}$ ($ADREFP1 = 0, ADREFP0 = 0$),
 $AV_{REF}(-) = V_{SS}$ ($ADREFM = 0$) 選択時,

対象ANI端子: ANI0-ANI7

($T_A = -40 \sim +85$, 1.8 V $EV_{DD} = V_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V ,

基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	4.0 V V_{DD} 5.5 V ANI0-ANI7		1.2	± 5.0	LSB
			1.8 V $V_{DD} < 4.0$ V ANI0-ANI7		1.2	± 5.5	LSB
変換時間	tCONV	10ビット分解能	4.0 V V_{DD} 5.5 V	2.125		39	μ s
			2.7 V V_{DD} 5.5 V	3.1875		39	μ s
			1.8 V V_{DD} 5.5 V	17		39	μ s
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能	1.8 V V_{DD} 5.5 V			± 0.5	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能	1.8 V V_{DD} 5.5 V			± 0.5	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	1.8 V V_{DD} 5.5 V			± 3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	1.8 V V_{DD} 5.5 V			± 2.0	LSB
基準電圧 (+)	AVREFP			V_{DD}			V
基準電圧 (-)	AVREFM			V_{SS}			V
アナログ入力電圧	V_{AIN}	ANI0-ANI7		V_{SS}		V_{DD}	V
	V_{BGR}	2.7 V V_{DD} 5.5 V		1.38	1.45	1.5	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により搭載している端子が異なります。「2.1.1 20ピン製品」～「2.1.5 64ピン製品」,
「2.1.6 製品別搭載端子(ポート以外の端子)」を参照してください。

- (4) $AV_{REF}(+) = V_{DD}$ ($ADREFP1 = 0, ADREFP0 = 0$),
 $AV_{REF}(-) = V_{SS}$ ($ADREFM = 0$) 選択時,

対象ANI端子: ANI16-ANI19

($T_A = -40 \sim +85$, 1.8 V $EV_{DD} = V_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V ,

基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位	
分解能	R_{ES}			8		10	bit	
総合誤差 ^{注1}	A_{INL}	10ビット分解能	4.0 V V_{DD} 5.5 V	ANI16-ANI19		1.2	± 6.5	LSB
			1.8 V $V_{DD} < 4.0$ V	ANI16-ANI19		1.2	± 7.0	LSB
変換時間	t_{CONV}	10ビット分解能	4.0 V V_{DD} 5.5 V		2.125		39	μ s
			2.7 V V_{DD} 5.5 V		3.1875		39	μ s
			1.8 V V_{DD} 5.5 V		17		39	μ s
ゼロスケール誤差 ^{注1, 2}	E_{ZS}	10ビット分解能	1.8 V V_{DD} 5.5 V			± 0.60	%FSR	
フルスケール誤差 ^{注1, 2}	E_{FS}	10ビット分解能	1.8 V V_{DD} 5.5 V			± 0.60	%FSR	
積分直線性誤差 ^{注1}	I_{LE}	10ビット分解能	1.8 V V_{DD} 5.5 V			± 4.0	LSB	
微分直線性誤差 ^{注1}	D_{LE}	10ビット分解能	1.8 V V_{DD} 5.5 V			± 2.0	LSB	
基準電圧 (+)	AV_{REFP}			V_{DD}			V	
基準電圧 (-)	AV_{REFM}			V_{SS}			V	
アナログ入力電圧	V_{AIN}	ANI16-ANI19		V_{SS}		V_{DD0}	V	
	V_{BGR}	2.7 V V_{DD} 5.5 V		1.38	1.45	1.5	V	

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により搭載している端子が異なります。「2.1.1 20ピン製品」～「2.1.5 64ピン製品」,
 「2.1.6 製品別搭載端子(ポート以外の端子)」を参照してください。

注意 製品により搭載している端子が異なります。

31.7.2 温度センサ特性

($T_A = -40 \sim +85$, $V_{DD} = 2.7 \text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0 \text{ V}$, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V_{TMS25}	ADSレジスタ = 80H設定、 $T_A = +25$		1.05		V
リファレンス出力電圧	V_{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMS}	温度センサ電圧の温度依存		-3.6		mV/C
動作安定待ち時間	t_{AMP}				5	μs

31.7.3 POR回路特性

($T_A = -40 \sim +85$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	電源立ち上がり時	1.46	1.51	1.59	V
	V_{PDR}	電源立ち下がり時	1.45	1.50	1.58	V
最小パルス幅	T_{PW}		300			μs
検出遅延	T_{PD}				350	μs

注意 製品により搭載している端子が異なります。

31.7.4 LVD回路特性

(a) リセットモード、割り込みモードのLVD検出特性

($T_A = -40 \sim +85$, $V_{PDR} = V_{DD} = EV_{DD} = 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VLVI0	電源立ち上がり時	3.96	4.06	4.25	V
			電源立ち下がり時	3.89	3.98	4.15	V
		VLVI1	電源立ち上がり時	3.66	3.75	3.93	V
			電源立ち下がり時	3.58	3.67	3.83	V
		VLVI2	電源立ち上がり時	3.06	3.13	3.28	V
			電源立ち下がり時	2.99	3.06	3.20	V
		VLVI3	電源立ち上がり時	2.95	3.02	3.17	V
			電源立ち下がり時	2.89	2.96	3.09	V
		VLVI4	電源立ち上がり時	2.85	2.92	3.07	V
			電源立ち下がり時	2.79	2.86	2.99	V
		VLVI5	電源立ち上がり時	2.74	2.81	2.95	V
			電源立ち下がり時	2.68	2.75	2.88	V
		VLVI6	電源立ち上がり時	2.64	2.71	2.85	V
			電源立ち下がり時	2.59	2.65	2.77	V
		VLVI7	電源立ち上がり時	2.55	2.61	2.74	V
			電源立ち下がり時	2.49	2.55	2.67	V
		VLVI8	電源立ち上がり時	2.44	2.50	2.63	V
			電源立ち下がり時	2.39	2.45	2.57	V
		VLVI9	電源立ち上がり時	2.04	2.09	2.21	V
			電源立ち下がり時	1.99	2.04	2.14	V
		VLVI10	電源立ち上がり時	1.93	1.98	2.09	V
			電源立ち下がり時	1.89	1.94	2.04	V
VLVI11	電源立ち上がり時	1.83	1.88	1.99	V		
	電源立ち下がり時	1.79 ^{注1}	1.84	1.94	V		
最小パルス幅	t _{LV}		300			μs	
検出遅延					300	μs	

注1. MIN.値は最低動作保証電圧 (1.8V) を下回りますが、リセットモードでの使用時は、電源立ち下がり時にリセットがかかるまでは通常動作 ($V_{DD}=1.8V$ 時と同等スペックでの動作) 可能です。

備考 $V_{LVI(n-1)} > V_{LVI n}$: $n = 1-13$

また、温度条件が同一であれば、電源立ち上り時検出電圧 > 電源立ち下り時検出電圧 となります。

注意 製品により搭載している端子が異なります。

(b) 割り込み&リセット・モードのLVD検出電圧

($T_A = -40 \sim +85$, $V_{PDR} = V_{DD} = EV_{DD} = 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	V_{LV111}	$V_{POC2}, V_{POC1}, V_{POC0} = 0, 0, 1$, 立ち下がりリセット電圧: 1.8 V	1.79 ^{注1}	1.84	1.94	V	
	V_{LV110}	$LVIS1, LVIS0 = 1, 0$	立ち上がりリセット解除電圧	1.93	1.98	2.09	V
			立ち下がり割り込み電圧	1.89	1.94	2.04	V
	V_{LV19}	$LVIS1, LVIS0 = 0, 1$	立ち上がりリセット解除電圧	2.04	2.09	2.21	V
			立ち下がり割り込み電圧	1.99	2.04	2.14	V
	V_{LV12}	$LVIS1, LVIS0 = 0, 0$	立ち上がりリセット解除電圧	3.06	3.13	3.28	V
			立ち下がり割り込み電圧	2.99	3.06	3.20	V
	V_{LV18}	$V_{POC2}, V_{POC1}, V_{POC0} = 0, 1, 0$, 立ち下がりリセット電圧: 2.4 V	2.39	2.45	2.57	V	
	V_{LV17}	$LVIS1, LVIS0 = 1, 0$	立ち上がりリセット解除電圧	2.55	2.61	2.74	V
			立ち下がり割り込み電圧	2.49	2.55	2.67	V
	V_{LV16}	$LVIS1, LVIS0 = 0, 1$	立ち上がりリセット解除電圧	2.64	2.71	2.85	V
			立ち下がり割り込み電圧	2.59	2.65	2.77	V
	V_{LV11}	$LVIS1, LVIS0 = 0, 0$	立ち上がりリセット解除電圧	3.66	3.75	3.93	V
			立ち下がり割り込み電圧	3.58	3.67	3.83	V
	V_{LV15}	$V_{POC2}, V_{POC1}, V_{POC0} = 0, 1, 1$, 立ち下がりリセット電圧: 2.7 V	2.68	2.75	2.88	V	
	V_{LV14}	$LVIS1, LVIS0 = 1, 0$	立ち上がりリセット解除電圧	2.85	2.92	3.07	V
立ち下がり割り込み電圧			2.79	2.86	2.99	V	
V_{LV13}	$LVIS1, LVIS0 = 0, 1$	立ち上がりリセット解除電圧	2.95	3.02	3.17	V	
		立ち下がり割り込み電圧	2.89	2.96	3.09	V	
V_{LV10}	$LVIS1, LVIS0 = 0, 0$	立ち上がりリセット解除電圧	3.96	4.06	4.25	V	
		立ち下がり割り込み電圧	3.89	3.98	4.15	V	

注1. MIN.値は最低動作保証電圧 (1.8V) を下回りますが、電源立ち下がり時にリセットがかかるまでは通常動作 (VDD=1.8V時と同等スペックでの動作) 可能です。

備考1. 温度条件が同一であれば、「立ち上りリセット解除電圧 > 立ち下がり割り込み電圧 > 立ち下がりリセット電圧」となります。

注意 製品により搭載している端子が異なります。

31.7.5 電源立ち上げ時間

(TA = -40 ~ +85 , VSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源立ち上げ傾き	Svrmax	0V→V _{DD} (MIN.) ^{※2} (VPOC2 = 0または1)			50 ^{※1}	V/ms
最小電源立ち上げ傾き ^{※3}	Svrmin	0V→1.8V (CMODE0 = 0)	3.5 ^{※1}			V/ms
		0V→2.7V (CMODE0 = 1)	6.5 ^{※1}			V/ms

注1. 電源がV_{PDR}以下に下降し、PORリセットが発生した場合は、0Vまで下降せずに復帰する場合も本スペックの適用対象になります。

2. V_{DD} (MIN.) は、以下フラッシュ動作モードの設定により変わります。

LS (低速メイン) モード (CMODE0 = 0) : V_{DD} (MIN.) = 1.8V

HS (高速メイン) モード (CMODE0 = 1) : V_{DD} (MIN.) = 2.7V

3. 最小電源立ち上げ傾きは、以下の条件の場合にのみ適用対象になります。

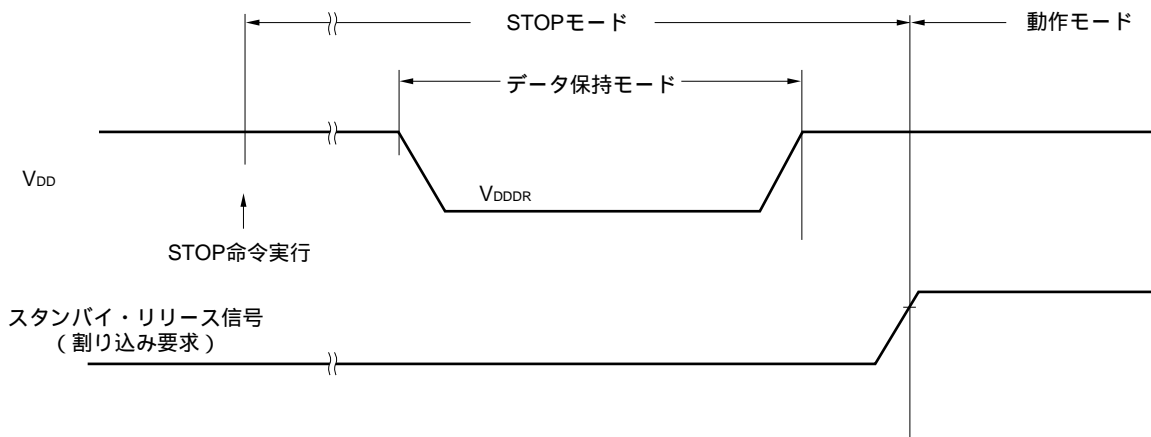
電圧検出 (LVD) 回路が未使用 (VPOC2 = 1) かつ外部リセット回路未使用もしくはフラッシュ動作モードごとの上記V_{DD} (MIN.) までリセットがかけられない場合。

31.8 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +85$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.45 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



31.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f _{CLK}		1		32	MHz
コード・フラッシュの書き換え回数 注1,2,3	C _{enwr}	保持20年 (書き換え後) $T_A = +85$	1000			回
データ・フラッシュの書き換え回数 注1,2,3		保持20年 (書き換え後) $T_A = +85$	10000			
		保持5年 (書き換え後) $T_A = +85$	100000			
消去時間	セクタ消去	T _{erasa}	5			ms
書き込み時間		T _{wrwa}	10			μs

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数は、一度書換えた後、次に書換えを行うまでの期間とします。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用した時になります。
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

第32章 電気的特性 (Kグレード)

- 注意1. RL78/F12には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により、搭載している端子が次のようになります。

32.1 製品別搭載端子

32.1.1 ポート機能

- 2.1.1 20ピン製品 ~ 2.1.5 64ピン製品を参照してください。

32.1.2 ポート以外の端子

- 2.1.6 製品別搭載端子 (ポート以外の端子) を参照してください。

注意 製品により搭載している端子が異なります。

32.2 絶対最大定格

絶対最大定格 (T_A = 25)

(1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	EV _{DD}		- 0.5 ~ + 6.5	V
	V _{SS}		- 0.5 ~ + 0.3	V
	EV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _I REGC	REGC	- 0.3 ~ + 2.8 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
入力電圧	V _{I1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	- 0.3 ~ EV _{DD} +0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{I2}	P60-P63 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V
	V _{I3}	P20-P27, P121-P124, P137, $\overline{\text{RESET}}$	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _{O1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P130, P140, P141, P146, P147	- 0.3 ~ EV _{DD} + 0.3 ^{注2}	V
	V _{O2}	P20-P27	- 0.3 ~ V _{DD} + 0.3	V
アナログ入力電圧	V _{AI1}	ANI16-ANI19	- 0.3 ~ EV _{DD} + 0.3 ^{注2}	V
	V _{AI2}	ANI0-ANI7	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μ F) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

絶対最大定格 (T_A = 25)

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	- 40	mA
		端子合計 - 170 mA	P00-P04, P40-P43, P120, P130, P140, P141	- 70	mA
			P05, P06, P10-P17, P30, P31, P50-P55, P70-P77, P146, P147	- 100	mA
	IOH2	1端子	P20-P27	- 0.5	mA
		端子合計		- 2	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50- P55, P60-P63, P70-P77, P120, P130, P140, P141, P146, P147	40	mA
		端子合計 170 mA	P00-P04, P40-P43, P120, P130, P140, P141	70	mA
			P05, P06, P10-P17, P30, P31, P50-P55, P60-P63, P70-P77, P146, P147	100	mA
	IOL2	1端子	P20-P27	1	mA
		端子合計		5	mA
動作周囲温度	T _A	通常動作時		- 40 ~ + 125	
		フラッシュ・メモリ・ プログラミング時	データ	- 40 ~ + 125	
			コード	- 40 ~ + 105	
保存温度	T _{stg}			- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

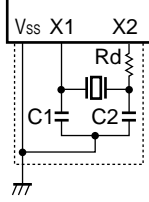
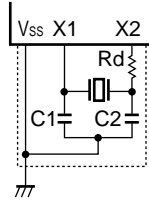
備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

32.3 発振回路特性

32.3.1 メイン・システム・クロック発振回路特性

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (f_x) ^注	2.7 V $V_{DD} 5.5\text{ V}$	1.0		20.0	MHz
水晶振動子		X1クロック発振周波数 (f_x) ^注	2.7 V $V_{DD} 5.5\text{ V}$	1.0		20.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速オンチップ・オシレータクロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

注意 製品により搭載している端子が異なります。

32.3.2 オンチップ・オシレータ回路特性

($T_A = -40 \sim +125$, $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ 発振周波数 ^注	f _{ih}	24 MHz選択時	23.52	24.00	24.48	MHz
		16 MHz選択時	15.68	16.00	16.32	MHz
		8 MHz選択時	7.84	8.00	8.16	MHz
		4 MHz選択時	3.92	4.00	4.08	MHz
		1 MHz選択時	0.98	1.00	1.02	MHz
低速オンチップ・オシレータ 発振周波数	f _{il}		12.75	15	17.25	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 製品により搭載している端子が異なります。

32.3.3 サブシステム・クロック発振回路特性

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1 クロック発振周波数 (f_{XT}) ^注		29.0	32.768	35.0	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により搭載している端子が異なります。

32.4 DC特性

32.4.1 端子特性

($T_A = -40 \sim +125$, $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147 1端子	4.0 V $EV_{DD} \leq 5.5\text{ V}$			- 5.0	mA
			2.7 V $EV_{DD} < 4.0\text{ V}$			- 3.0	mA
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ = 70 %時 ^{注2})	4.0 V $EV_{DD} \leq 5.5\text{ V}$			- 20.0	mA
			2.7 V $EV_{DD} < 4.0\text{ V}$			- 10.0	mA
		P05, P06, P10-P17, P30, P31, P50-P55, P70-P77, P146, P147 合計 (デューティ = 70 %時 ^{注2})	4.0 V $EV_{DD} \leq 5.5\text{ V}$			- 30.0	mA
			2.7 V $EV_{DD} < 4.0\text{ V}$			- 19.0	mA
	全端子合計 (デューティ = 70 %時 ^{注2})	4.0 V $EV_{DD} \leq 5.5\text{ V}$			- 42.0	mA	
		2.7 V $EV_{DD} < 4.0\text{ V}$			- 29.0	mA	
	I _{OH2}	P20-P27 1端子				- 0.1	mA
		全端子合計 (デューティ = 70 %時 ^{注2})				- 0.8	mA

注1. V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます (70 %のデューティをn %に変更する場合。ただし、元のデューティ < nに限りません。)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OH} = -10.0\text{ mA}$ の場合, $n = 80\%$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) = -8.75\text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00, P10-P15, P17, P50, P71, P74は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} \ 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147 1端子	4.0 V $EV_{DD} \ 5.5 \text{ V}$			8.5	mA
			2.7 V $EV_{DD} < 4.0 \text{ V}$			4.0	mA
		P60-P63 1端子	4.0 V $EV_{DD} \ 5.5 \text{ V}$			15.0	mA
			2.7 V $EV_{DD} < 4.0 \text{ V}$			4.0	mA
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ = 70 %時 ^{注2})	4.0 V $EV_{DD} \ 5.5 \text{ V}$			20.0	mA
			2.7 V $EV_{DD} < 4.0 \text{ V}$			15.0	mA
	P05, P06, P10-P17, P30, P31, P50-P55, P60-P63, P70-P77, P146, P147 合計 (デューティ = 70 %時 ^{注2})	4.0 V $EV_{DD} \ 5.5 \text{ V}$			45.0	mA	
		2.7 V $EV_{DD} < 4.0 \text{ V}$			35.0	mA	
	全端子合計 (デューティ = 70 %時 ^{注2})	4.0 V $EV_{DD} \ 5.5 \text{ V}$			65.0	mA	
		2.7 V $EV_{DD} < 4.0 \text{ V}$			50.0	mA	
I _{OL2}	P20-P27 1端子				0.4	mA	
	全端子合計 (デューティ = 70 %時 ^{注2})				3.2	mA	

注1. 出力端子からEV_{SS}, V_{SS}, AV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます (70 %のデューティをn %に変更する場合。ただし、元のデューティ < nに限りませす。)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OL} = 10.0 \text{ mA}$ の場合, $n = 80 \%$

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) = -8.75 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ (ITHL=1)	$0.8EV_{DD}$		EV_{DD}	V
	V_{IH2}	P01, P03, P04, P13-P17, P55	TTL入力バッファ 4.0 V EV_{DD} 5.5 V	2.2		EV_{DD}	V
	V_{IH3}	P20-P27		$0.7V_{DD}$		V_{DD}	V
	V_{IH4}	P60-P63		$0.7EV_{DD}$		6.0	V
	V_{IH5}	P121-P124, P137, RESET		$0.8V_{DD}$		V_{DD}	V
	V_{IH6}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ (ITHL=0)	$0.8EV_{DD}$		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ (ITHL=1)	0		$0.2EV_{DD}$	V
	V_{IL2}	P01, P03, P04, P13-P17, P55	TTL入力バッファ 4.0 V EV_{DD} 5.5 V	0		0.8	V
	V_{IL3}	P20-P27		0		$0.3V_{DD}$	V
	V_{IL4}	P60-P63		0		$0.3EV_{DD}$	V
	V_{IL5}	P121-P124, P137, RESET		0		$0.2V_{DD}$	V
	V_{IL6}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ (ITHL=0) 4.0 V EV_{DD} 5.5 V 通常入力バッファ (ITHL=0) 2.7 V $EV_{DD} < 4.0 \text{ V}$	0		$0.5EV_{DD}$	V

注意 P00, P02-P04, P10-P15, P17, P50, P55, P71, P74は、N-chオープン・ドレイン・モード時でも V_{IH} の最大値 (MAX.) は V_{DD} です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。兼用機能CSIS0, CSIS1, UARTS, UARTFの入力端子はTTLに対応していません。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V _{OH1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V $EV_{DD} 5.5\text{ V}$, $I_{OH1} = -5.0\text{ mA}$	$EV_{DD} - 0.9$		V
			2.7 V $EV_{DD} 5.5\text{ V}$, $I_{OH1} = -3.0\text{ mA}$	$EV_{DD} - 0.7$		V
			2.7 V $EV_{DD} 5.5\text{ V}$, $I_{OH1} = -1.0\text{ mA}$	$EV_{DD} - 0.5$		V
	V _{OH2}	P20-P27	2.7 V $V_{DD} 5.5\text{ V}$, $I_{OH2} = -100\ \mu\text{A}$	$V_{DD} - 0.5$		V
ロウ・レベル出力電圧	V _{OL1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V $EV_{DD} 5.5\text{ V}$, $I_{OL1} = 8.5\text{ mA}$		0.7	V
			4.0 V $EV_{DD} 5.5\text{ V}$, $I_{OL1} = 4.0\text{ mA}$		0.4	V
			2.7 V $EV_{DD} 5.5\text{ V}$, $I_{OL1} = 4.0\text{ mA}$		0.7	V
			2.7 V $EV_{DD} 5.5\text{ V}$, $I_{OL1} = 1.5\text{ mA}$		0.4	V
	V _{OL2}	P20-P27	2.7 V $V_{DD} 5.5\text{ V}$, $I_{OL2} = 400\ \mu\text{A}$		0.4	V
	V _{OL3}	P60-P63	4.0 V $EV_{DD} 5.5\text{ V}$, $I_{OL3} = 15.0\text{ mA}$		2.0	V
			4.0 V $EV_{DD} 5.5\text{ V}$, $I_{OL3} = 5.0\text{ mA}$		0.4	V
			2.7 V $EV_{DD} 5.5\text{ V}$, $I_{OL3} = 4.0\text{ mA}$		0.5	V
			2.7 V $EV_{DD} 5.5\text{ V}$, $I_{OL3} = 3.0\text{ mA}$		0.4	V

注意 P00, P02-P04, P10-P15, P17, P50, P55, P71, P74は, N-chオープン・ドレイン・モード時には, ハイ・レベル出力しません。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +125$, $2.7 V \leq V_{DD} = EV_{DD} \leq 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P140, P141, P146, P147	$V_i = EV_{DD}$			1	μA
	I _{LIH2}	P20-P27, P137, \overline{RESET}	$V_i = V_{DD}$			1	μA
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{DD}$	入力ポート時, 外部クロック入力 時			1
						10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P140, P141, P146, P147	$V_i = EV_{SS}$			- 1	μA
	I _{LIL2}	P20-P27, P137, \overline{RESET}	$V_i = V_{SS}$			- 1	μA
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{SS}$	入力ポート時, 外部クロック入力 時			- 1
						- 10	μA
内蔵プルアップ抵抗	R _U	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P70-P77, P120, P140, P141, P146, P147		10	20	100	k Ω

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。

32.4.2 電源電流特性

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流	I _{DD1} ^{注1}	動作モード	高速動作 ^{注5}	f _{IH} = 24 MHz ^{注2}		4.5	6.9	mA
				f _{IH} = 16 MHz ^{注2}		3.3	5.2	mA
				f _{MX} = 20 MHz ^{注3}		4.0	5.9	mA
				f _{MX} = 10 MHz ^{注3}		2.4	3.5	mA
		サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注4}	T _A ≤ +85		4.9	13.0	μA
				T _A ≤ +105			25.0	
				T _A ≤ +125			59.0	

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません（高速オンチップ・オシレータ、サブ・クロック動作時はBGOに流れる動作電流も含みません。）。

2. 高速システム・クロック、およびサブシステム・クロックは停止時。
3. 高速オンチップ・オシレータ、およびサブシステム・クロックは停止時。
4. 高速オンチップ・オシレータ、および高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。AMPHS1 = 1時（超低消費発振）。
5. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
高速動作 : V_{DD} = 2.7 ~ 5.5 V@1 MHz ~ 24MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータクロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. TYP.値の温度条件は、T_A = 25 です。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	高速動作 ^{注7}	f _{IH} = 24 MHz ^{注3}		0.48	5.58	mA
				f _{IH} = 16 MHz ^{注3}		0.40	3.90	mA
				f _{MX} = 20 MHz ^{注4}		0.43	1.88	mA
				f _{MX} = 10 MHz ^{注4}		0.28	1.02	mA
		サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注5}	T _A ≤ +50		0.52	2.15	μA
				T _A ≤ +70				
	T _A ≤ +85							
	T _A ≤ +105							
	T _A ≤ +125							
	I _{DD3} ^{注6}	STOP モード	T _A ≤ +50		0.22	2.05	μA	
T _A ≤ +70								
T _A ≤ +85								
T _A ≤ +105								
T _A ≤ +125								

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

- フラッシュ・メモリでのHALT命令実行時。
- 高速システム・クロック，サブシステム・クロックは停止時。
- 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
- リアルタイム・クロック (RTC) 動作，かつ超低消費発振 (AMP_{HS1} = 1) 設定時。高速オンチップ・オシレータ，高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。
- 高速オンチップ・オシレータ，高速システム・クロック，サブシステム・クロックは停止時。ウォッチドッグ・タイマは停止時。
- 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
高速動作 : V_{DD} = 2.7 ~ 5.5 V @ 1 MHz ~ 24 MHz

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

- f_{IH} : 高速オンチップ・オシレータクロック周波数
- f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
- TYP.値の温度条件は，T_A = 25 です。

注意 製品により搭載している端子が異なります。

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
RTC動作電流	I_{RTC} ^{注1, 2}	$f_{SUB} = 32.768$ kHz	リアルタイム・クロック動作		0.02	0.17	μ A
			インターバル・タイマ動作		0.02	0.37	μ A
WUTM動作電流	I_{WUTM}	$f_{IL} = 15$ kHz			0.25	0.6	μ A
ウォッチドッグ・タイマ動作電流	I_{WDT} ^{注2, 3}	$f_{IL} = 15$ kHz			0.22	0.6	μ A
A/Dコンバータ動作電流	I_{ADC} ^{注4}	最高速変換時	標準モード, $AV_{REFP} = V_{DD} = 5.0$ V		1.3	1.7	mA
			低電圧モード, $AV_{REFP} = V_{DD} = 3.0$ V		0.5	0.7	mA
		内部基準電圧選択時 ^{注7}		75		μ A	
LVD動作電流	I_{LVI} ^{注5}				0.08	0.26	μ A
温度センサ動作電流	I_{TMPS}				75		μ A
BGO動作電流	I_{BGO} ^{注6}				2.5	12.2	mA

注1. リアルタイム・クロックにのみ流れる電流です(XT1発振器の動作電流は含みません)。動作モードまたはHALTモード時にリアルタイム・クロックが動作中の場合、RL78/F12の電流のTYP.値は、 I_{DD1} または I_{DD2} のTYP.値に I_{RTC} のTYP.値を加算した値となります。 I_{DD1} または I_{DD2} のMAX.値にはリアルタイム・クロックの動作電流も含まれます。 $f_{CLK} = f_{SUB}$ 時にリアルタイム・クロックが動作中の場合、 I_{DD2} のTYP.値にはリアルタイム・クロックの動作電流を含みます。

- 高速オンチップ・オシレータ、高速システム・クロックは停止時。
- ウォッチドッグ・タイマにのみ流れる電流です(15 kHzオンチップ・オシレータの動作電流を含みます)。STOPモード時にウォッチドッグ・タイマが動作中の場合、 I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、RL78/F12の電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、RL78/F12の電流値となります。
- LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合、 I_{DD1} または I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、RL78/F12の電流値となります。
- BGOにのみ流れる電流です。動作モードまたはHALTモード時にBGOが動作中の場合、 I_{DD1} または I_{DD2} に I_{BGO} を加算した値が、RL78/F12の電流値となります。
- 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。

- 備考1. f_{IL} : 低速オンチップ・オシレータクロック周波数
- f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
 - TYP.値の温度条件は、 $T_A = 25$ です。

注意 製品により搭載している端子が異なります。

32.5 AC特性

32.5.1 基本動作

($T_A = -40 \sim +125$, $2.7 V$ $V_{DD} = EV_{DD}$ $5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック (f_{MAIN}) 動作 高速メイン・モード	0.04		1	μs
		サブシステム・クロック (f_{SUB}) 動作	28.5	30.5	34.5	μs
外部メイン・システム・クロック周波数	f_{EX}		1		20	MHz
	f_{EXS}		29		35	kHz
外部メイン・システム・クロック入力ハイ、ロウ・レベル幅	t_{EXH} , t_{EXL}		24			ns
	t_{EXHS} , t_{EXLS}		13.7			μs
TI00-TI07入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH} , t_{TIL}		$2f_{MCK} + 10$			ns
TO00-TO07出力周波数	f_{TO}	4.0 V EV_{DD} 5.5 V			16	MHz
		2.7 V $EV_{DD} < 4.0 V$			8	MHz
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	4.0 V EV_{DD} 5.5 V			16	MHz
		2.7 V $EV_{DD} < 4.0 V$			8	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0-INTP11	1			μs
キー割り込み入力 ロウ・レベル幅	t_{KR}	KR0-KR7	250			ns
RESETロウ・レベル幅	t_{RSL}		10			μs

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ0n(TMR0n)のCKS0nビットで設定する動作クロック。n: チャンネル番号(n = 0-7))

注意 製品により搭載している端子が異なります。

32.6 周辺機能特性

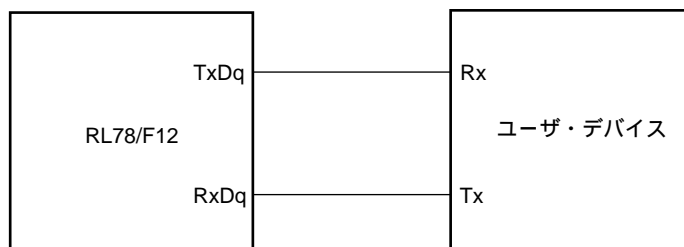
32.6.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

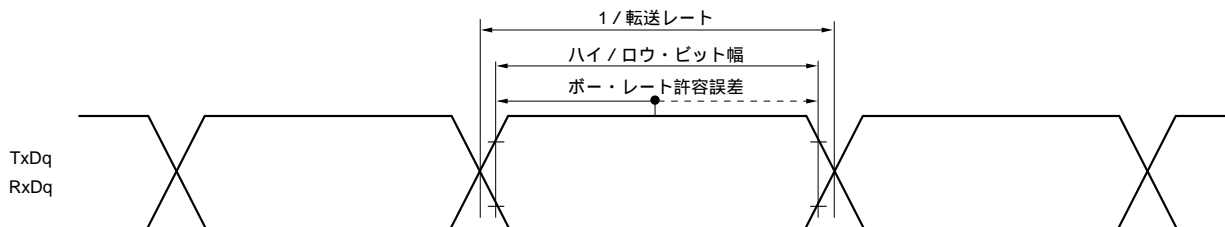
($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		SNOOZEモード時以外	$f_{MCK}/256$		$f_{MCK}/6$	bps
		最大転送レート理論値			4.0	Mbps
		SNOOZEモード時受信可能ポー・レート	4800		4800	bps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で、RxDq端子は通常入力バッファ、TxDq端子は通常出力モードを選択。

備考1. q : UART番号 (q = 0-2, S0) , g : PIM番号 (g = 0, 1, 5, 7) , h : POM番号 (h = 0, 1, 5, 7)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 , n : チャネル番号 (mn = 00-03, 10-11, S0, S1))

注意 製品により搭載している端子が異なります。

(2) 同電位通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力)

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム ^{注1}	t_{KCY1}	2.7 V EV_{DD} 5.5 V	CSI00 ^{注1}	125		ns
			CSI00以外 ^{注2}	166.6		ns
\overline{SCKp} ハイ, ロウ・レベル幅	t_{KH1} ,	4.0 V EV_{DD} 5.5 V	$t_{KCY1}/2 - 12$			ns
	t_{KL1}	2.7 V EV_{DD} 5.5 V	$t_{KCY1}/2 - 18$			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注3}	t_{SIK1}		44			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注3}	t_{KSH1}		19			ns
SOp出力遅延時間 ^{注4} (対 \overline{SCKp})	t_{KSO1}	C = 30 pF ^{注5}			25	ns

注1. $かつ2/f_{CLK}$ 以上に設定してください。

2. $かつ4/f_{CLK}$ 以上に設定してください。

3. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“対 \overline{SCKp} ”となります。

4. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“対 \overline{SCKp} ”となります。

5. Cは、 \overline{SCKp} , SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で、Slp端子は通常入力バッファ, SOp端子と \overline{SCKp} 端子は通常出力モードを選択。

備考 p: CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1), m: ユニット番号 (m = 0, 1, S), n: チャネル番号 (n = 0-3), g: PIM番号 (g = 0, 1, 5, 7), h: POM番号 (h = 0, 1, 5, 7)

注意 製品により搭載している端子が異なります。

(3) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)
 (TA = -40 ~ +125 , 2.7 V VDD = EVDD 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	tkCY2	4.0 V EVDD 5.5 V	fMCK > 20 MHz	8/fMCK			ns
			fMCK 20 MHz	6/fMCK			
		2.7 V EVDD < 4.0 V	fMCK > 16 MHz	8/fMCK			ns
			fMCK 16 MHz	6/fMCK			ns
SCKpハイ, ロウ・レベル幅	tkHZ, tkL2			tkCY2/2			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注1}	tSIK2	2.7 V EVDD 5.5 V		1/fMCK + 20			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注1}	tKSI2	2.7 V EVDD 5.5 V		1/fMCK + 31			ns
$\overline{\text{SCKp}}$ SOp出力遅延時間 ^{注2}	tKSO2	C = 30 pF ^{注3}	2.7 V EVDD 5.5 V			2/fMCK + 44	ns

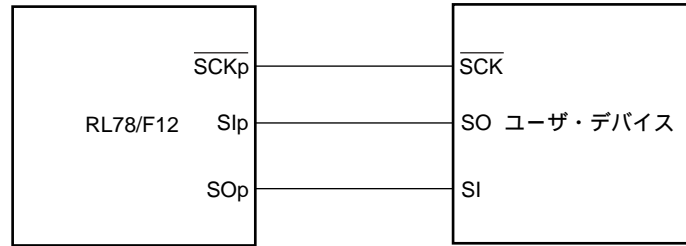
- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
3. Cは, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で, Slp端子と $\overline{\text{SCKp}}$ 端子はTTL入力バッファ, SOp端子は通常出力モードを選択。

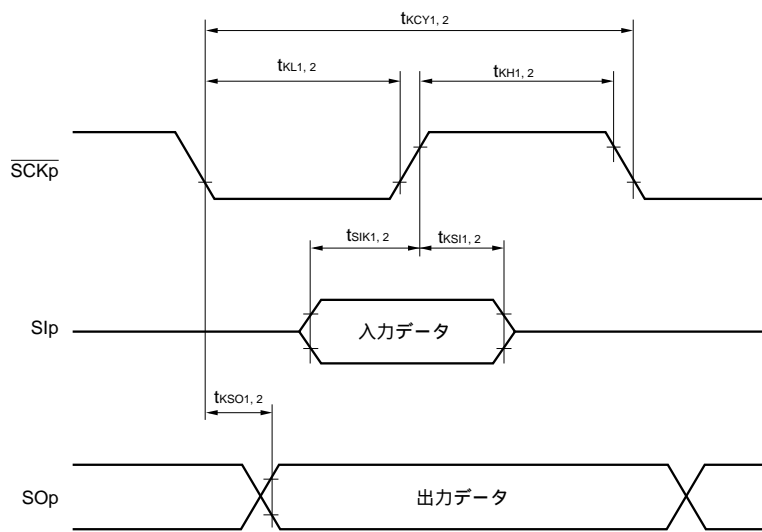
- 備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1), m : ユニット番号 (m = 0, 1, S), n : チャネル番号 (n = 0-3), g : PIM番号 (g = 0, 1, 5), h : POM番号 (h = 0, 1, 5, 7)
2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00-03, 10, 11, S0, S1))

注意 製品により搭載している端子が異なります。

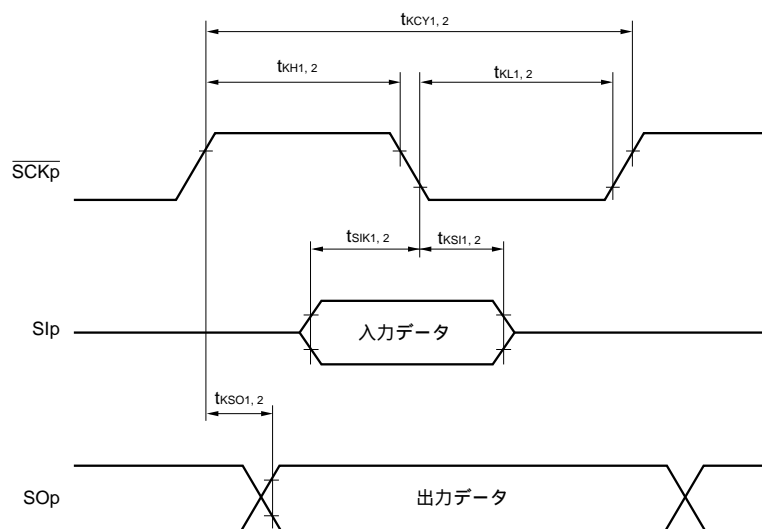
CSIモード接続図 (同電位通信時)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



- 備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, S0, S1)
2. m : ユニット番号, n : チャネル番号 (mn = 00-03, 10, 11, S0, S1)

注意 製品により搭載している端子が異なります。

(4) 同電位通信時 (簡易I²Cモード)

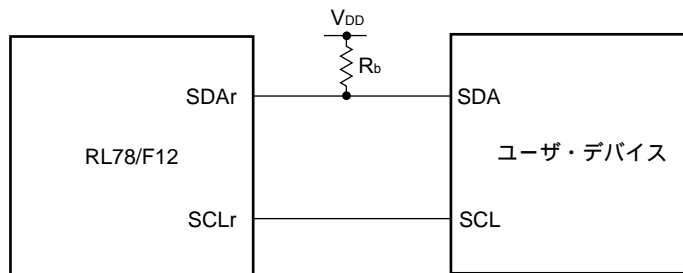
($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCLrクロック周波数	f _{SCL}	2.7 V V_{DD} 5.5 V $C_b = 100$ pF, $R_b = 3$ k Ω		400	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V V_{DD} 5.5 V $C_b = 100$ pF, $R_b = 3$ k Ω	1150		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V V_{DD} 5.5 V $C_b = 100$ pF, $R_b = 3$ k Ω	1150		ns
データ・セットアップ時間 (受信時) 注	t _{SU : DAT}	2.7 V V_{DD} 5.5 V $C_b = 100$ pF, $R_b = 3$ k Ω	1/f _{MCK} + 145		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	2.7 V V_{DD} 5.5 V $C_b = 100$ pF, $R_b = 3$ k Ω	0	355	ns

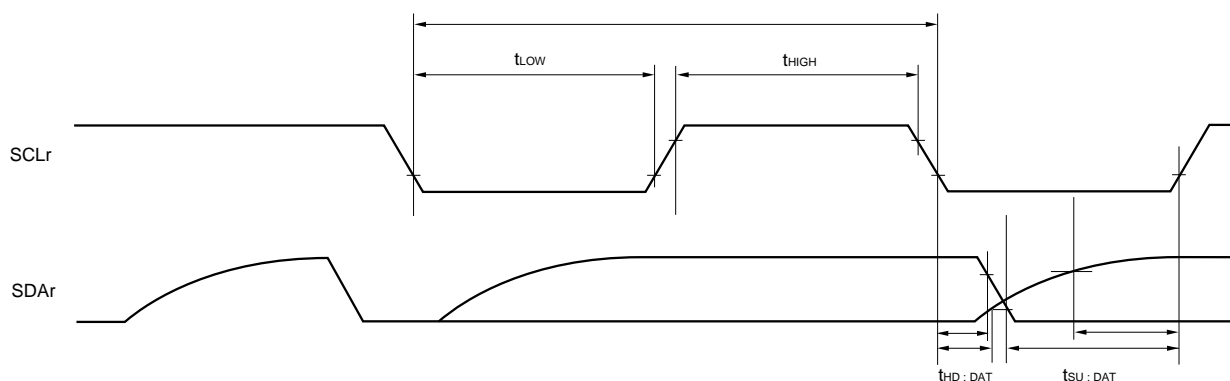
注 SCL = "L"のホールドタイムを超えない値となるようf_{MCK}を設定してください。

注意 製品により搭載している端子が異なります。

簡易I²Cモード接続図 (同電位通信時)



簡易I²Cモード・シリアル転送タイミング (同電位通信時)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択、SCLrはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

- 備考1. R_b []: 通信ライン (SDAr) プルアップ抵抗値, C_b [F]: 通信ライン (SCLr, SDAr) 負荷容量値
2. r: IIC番号 (r = 00, 01, 11, 20, 21), g: PIM番号 (g = 0, 1, 5), h: POM番号 (h = 0, 1, 5, 7)
3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0, 2), mn = 00-03, 10, 11, S0, S1)

注意 製品により搭載している端子が異なります。

32.6.2 シリアル・インタフェースIICA

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード・プラス: f _{CLK} 10 MHz					0	1000	kHz
		ファースト・モード: f _{CLK} 3.5 MHz			0	400			kHz
		標準モード: f _{CLK} 1 MHz	0	100					kHz
リスタート・コンディションのセットアップ時間 ^{注1}	t _{SU:STA}		4.7		0.6		0.26		μs
ホールド時間	t _{HD:STA}		4.0		0.6		0.26		μs
SCLA0="L"のホールド・タイム	t _{LOW}		4.7		1.3		0.5		μs
SCLA0="H"のホールド・タイム	t _{HIGH}		4.0		0.6		0.26		μs
データ・セットアップ時間 (受信時)	t _{SU:DAT}		250		100		50		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD:DAT}		0	3.45	0	0.9	0		μs
ストップ・コンディションのセットアップ時間	t _{SU:STO}		4.0		0.6		0.26		μs
バス・フリー時間	t _{BUF}		4.7		1.3		0.5		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD:DAT}の最大値 (MAX.) は, 通常転送時の数値であり, \overline{ACK} (アクノリッジ) タイミングでは, ウエイトがかかります。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

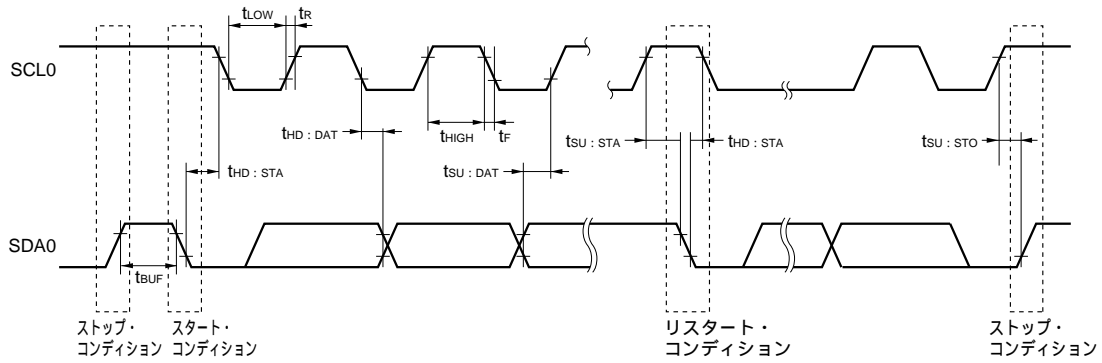
標準モード : C_b = 400 pF, R_b = 2.7 k

ファースト・モード : C_b = 320 pF, R_b = 1.1 k

ファースト・モード・プラス : C_b = 120 pF, R_b = 1.1 k

注意 製品により搭載している端子が異なります。

I²Cシリアル転送タイミング



32.6.3 LIN-UART

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX. ^{注1}	単位
転送レート	1/T			1	Mbps

注1. ただしf_{CLK}/8を上限とします。

注意 製品により搭載している端子が異なります。

32.7 アナログ特性

32.7.1 A/Dコンバータ特性

(1) $AV_{REF}(+) = AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1),

$AV_{REF}(-) = AV_{REFM}/ANI1$ (ADREFM = 1) 選択時,

対象ANI端子: ANI2-ANI7 (V_{DD} を電源とするANI端子)

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = 0$ V,

基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能	4.0 V $V_{DD} = 5.5$ V		1.2	±3.0	LSB
			2.7 V $V_{DD} < 4.0$ V		1.2	±3.5	LSB
変換時間	t _{CONV}	10ビット分解能	4.0 V $V_{DD} = 5.5$ V	2.125		39	μs
			2.7 V $V_{DD} = 5.5$ V	3.1875		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			±0.25	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			±0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			±2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			±1.5	LSB
基準電圧 (+)	AV_{REFP}		2.7		V_{DD}	V	
基準電圧 (-)	AV_{REFM}		0			V	
アナログ入力電圧	V_{AIN}		AV_{REFM}		AV_{REFP}	V	
	V_{BGR}	2.7 V $V_{DD} = 5.5$ V	1.38	1.45	1.5	V	

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により搭載している端子が異なります。「2.1.1 20ピン製品」～「2.1.5 64ピン製品」,

「2.1.6 製品別搭載端子 (ポート以外の端子)」を参照してください。

(2) $AV_{REF}(+) = AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1),

$AV_{REF}(-) = AV_{REFM}/ANI1$ (ADREFM = 1) 選択時,

対象ANI端子: ANI16-ANI19 (EVDD0を電源とするANI端子)

($T_A = -40 \sim +125$, 2.7 V $EV_{DD} = V_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = 0$ V,

基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	4.0 V V_{DD} 5.5 V		1.2	±4.5	LSB
			2.7 V $V_{DD} < 4.0$ V		1.2	±5.0	LSB
変換時間	t _{CONV}	10ビット分解能	4.0 V V_{DD} 5.5 V	2.125		39	μs
			2.7 V V_{DD} 5.5 V	3.1875		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能	2.7 V V_{DD} 5.5 V			±0.35	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能	2.7 V V_{DD} 5.5 V			±0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	2.7 V V_{DD} 5.5 V			±3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	2.7 V V_{DD} 5.5 V			±2.0	LSB
基準電圧 (+)	AV _{REFP}			2.7		V_{DD}	V
基準電圧 (-)	AV _{REFM}			0			V
アナログ入力電圧	V _{AIN}			AV _{REFM}		AV _{REFP}	V
	V _{BGR}	2.7 V V_{DD} 5.5 V		1.38	1.45	1.5	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により搭載している端子が異なります。「2.1.1 20ピン製品」～「2.1.5 64ピン製品」,

「2.1.6 製品別搭載端子 (ポート以外の端子)」を参照してください。

(3) $AV_{REF}(+) = V_{DD}$ (ADREFP1 = 0, ADREFP0 = 0),

$AV_{REF}(-) = V_{SS}$ (ADREFM = 0) 選択時,

対象ANI端子: ANI0-ANI7

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = V_{DD} = 5.5$ V, $V_{SS} = V_{SS} = 0$ V,

基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位	
分解能	R _{ES}			8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能	4.0 V $V_{DD} = 5.5$ V	ANI0-ANI7		1.2	± 5.0	LSB
			2.7 V $V_{DD} < 5.5$ V	ANI0-ANI7		1.2	± 5.5	LSB
変換時間	t _{CONV}	10ビット分解能	4.0 V $V_{DD} = 5.5$ V		2.125		39	μs
			2.7 V $V_{DD} = 5.5$ V		3.1875		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			± 0.5	%FSR	
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			± 0.5	%FSR	
積分直線性誤差 ^{注1}	ILE	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			± 3.5	LSB	
微分直線性誤差 ^{注1}	DLE	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			± 2.0	LSB	
基準電圧 (+)	AV _{REFP}			V_{DD}			V	
基準電圧 (-)	AV _{REFM}			V_{SS}			V	
アナログ入力電圧	V _{AIN}	ANI0-ANI7		V_{SS}		V_{DD}	V	
	V _{BGR}	2.7 V $V_{DD} = 5.5$ V		1.38	1.45	1.5	V	

注1. 量子化誤差 (± 1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により搭載している端子が異なります。「2.1.1 20ピン製品」～「2.1.5 64ピン製品」,

「2.1.6 製品別搭載端子 (ポート以外の端子)」を参照してください。

(4) $AV_{REF}(+) = V_{DD}$ (ADREFP1 = 0, ADREFP0 = 0),

$AV_{REF}(-) = V_{SS}$ (ADREFM = 0) 選択時,

対象ANI端子: ANI16-ANI19

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = V_{DD} = 5.5$ V, $V_{SS} = V_{SS} = 0$ V,

基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位	
分解能	RES			8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能	4.0 V $V_{DD} = 5.5$ V	ANI16-ANI19		1.2	±6.5	LSB
			2.7 V $V_{DD} < 5.5$ V	ANI16-ANI19		1.2	±7.0	LSB
変換時間	t _{CONV}	10ビット分解能	4.0 V $V_{DD} = 5.5$ V		2.125		39	μs
			2.7 V $V_{DD} = 5.5$ V		3.1875		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			±0.60	%FSR	
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			±0.60	%FSR	
積分直線性誤差 ^{注1}	ILE	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			±4.0	LSB	
微分直線性誤差 ^{注1}	DLE	10ビット分解能	2.7 V $V_{DD} = 5.5$ V			±2.0	LSB	
基準電圧 (+)	AV _{REFP}			V_{DD}			V	
基準電圧 (-)	AV _{REFM}			V_{SS}			V	
アナログ入力電圧	V _{AIN}	ANI16-ANI19		V_{SS}		V_{DD}	V	
	V _{BGR}	2.7 V $V_{DD} = 5.5$ V		1.38	1.45	1.5	V	

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により搭載している端子が異なります。「2.1.1 20ピン製品」~「2.1.5 64ピン製品」,

「2.1.6 製品別搭載端子 (ポート以外の端子)」を参照してください。

注意 製品により搭載している端子が異なります。

32.7.2 温度センサ特性

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V_{TMP25}	ADSレジスタ = 80H設定, $T_A = +25$		1.05		V
リファレンス出力電圧	V_{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMP25}	温度センサ電圧の温度依存		-3.6		mV/C
動作安定待ち時間	t_{AMP}				5	μs

32.7.3 POR回路特性

($T_A = -40 \sim +125$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	電源立ち上がり時	1.46	1.51	1.59	V
	V_{PDR}	電源立ち下がり時	1.45	1.50	1.58	V
最小パルス幅	T_{PW}		300			μs
検出遅延	T_{PD}				350	μs

32.7.4 LVD回路特性

(a) リセットモード、割り込みモードのLVD検出特性

($T_A = -40 \sim +125$, $V_{PDR} = V_{DD} = EV_{DD} = 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧 電源電圧レベル	V _{LVI0}	電源立ち上がり時	3.96	4.06	4.25	V	
		電源立ち下がり時	3.89	3.98	4.15	V	
	V _{LVI1}	電源立ち上がり時	3.66	3.75	3.93	V	
		電源立ち下がり時	3.58	3.67	3.83	V	
	V _{LVI2}	電源立ち上がり時	3.06	3.13	3.28	V	
		電源立ち下がり時	2.99	3.06	3.20	V	
	V _{LVI3}	電源立ち上がり時	2.95	3.02	3.17	V	
		電源立ち下がり時	2.89	2.96	3.09	V	
	V _{LVI4}	電源立ち上がり時	2.85	2.92	3.07	V	
		電源立ち下がり時	2.79	2.86	2.99	V	
	V _{LVI5}	電源立ち上がり時	2.74	2.81	2.95	V	
		電源立ち下がり時	2.68 ^{注1}	2.75	2.88	V	
	最小パルス幅	t _{LW}		300			μs
	検出遅延	t _{LD}				300	μs

注1 . MIN.値は最低動作保証電圧 (2.7V) を下回りますが、リセットモードでの使用時は、電源立ち下がり時にリセットがかかるまでは通常動作 (VDD=2.7V時と同等スペックでの動作) 可能です。

備考 V_{LVI(n-1)} > V_{LVI n} : n = 1-13

また、温度条件が同一であれば、電源立ち上り時検出電圧 > 電源立ち下り時検出電圧 となります。

(b) 割り込み&リセット・モードのLVD検出電圧

($T_A = -40 \sim +125$, $V_{PDR} = V_{DD} = EV_{DD} = 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	V _{LVI5}	V _{POC2} , V _{POC1} , V _{POC0} = 0, 1, 1, 立ち下がりリセット電圧 : 2.7 V	2.68 ^{注1}	2.75	2.88	V	
	V _{LVI4}	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.85	2.92	3.07	V
			立ち下がり割り込み電圧	2.79	2.86	2.99	V
	V _{LVI3}	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.95	3.02	3.17	V
			立ち下がり割り込み電圧	2.89	2.96	3.09	V
	V _{LVI0}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.96	4.06	4.25	V
			立ち下がり割り込み電圧	3.89	3.98	4.15	V

注1 . MIN.値は最低動作保証電圧 (2.7V) を下回りますが、リセットモードでの使用時は、電源立ち下がり時にリセットがかかるまでは通常動作 (VDD=2.7V時と同等スペックでの動作) 可能です。

備考 温度条件が同一であれば、「立ち上りリセット解除電圧 > 立ち下がり割り込み電圧 > 立ち下がりリセット電圧」となります。

32.7.5 電源立ち上げ時間

($T_A = -40 \sim +125$, $V_{SS} = EV_{SS} = 0V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
最大電源立ち上げ傾き	Svrmax	0V→2.7V(CMODE0=1)(VPOC2=0または1)			50 ^{#1}	V/ms
最小電源立ち上げ傾き ^{#2}	Svrmin	0V→2.7V(CMODE0=1)	6.5 ^{#1}			V/ms

- 注1.** 電源が V_{PDR} 以下に下降し、PORリセットが発生した場合は、0Vまで下降せずに復帰する場合も本スペックの適用対象になります。
- 2.** 最小電源立ち上げ傾きは、以下の条件の場合にのみ適用対象になります。
 電圧検出(LVD)回路が未使用($VPOC2=1$)かつ外部リセット回路未使用もしくはフラッシュ動作モードごとの上記 V_{DD} (MIN.)までリセットがかけられない場合。

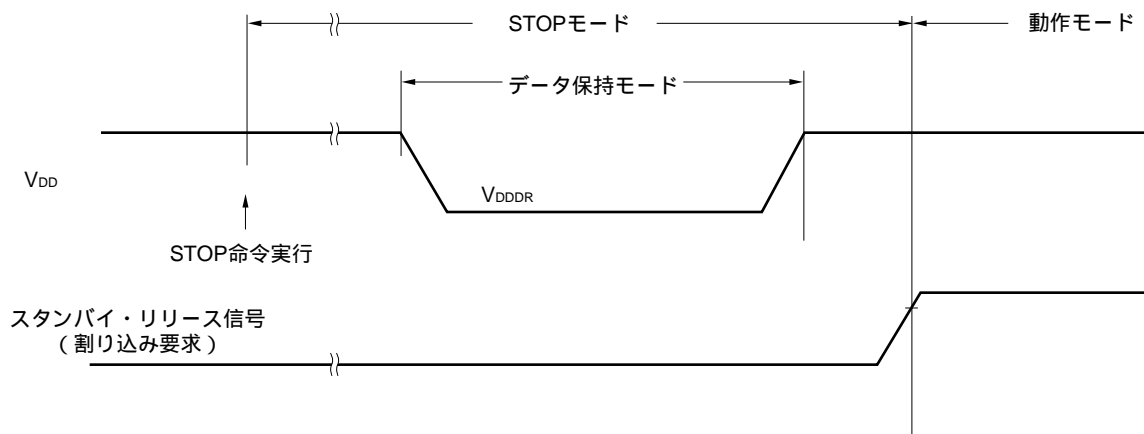
注意 製品により搭載している端子が異なります。

32.8 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +125$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}	STOPモード	1.45 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



32.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} = 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f _{CLK}		1		24	MHz
コード・フラッシュの書き換え回数 <small>注1,2,3</small>	C _{erwr}	保持20年 (書き換え後) $T_A = +85$ ^{注4}	1000			回
データ・フラッシュの書き換え回数 <small>注1,2,3</small>		保持20年 (書き換え後) $T_A = +85$ ^{注4}	10000			
		保持5年 (書き換え後) $T_A = +85$ ^{注4}	100000			
消去時間	セクタ消去	T _{erasa}	5			ms
書き込み時間		T _{wrwa}	10			μs

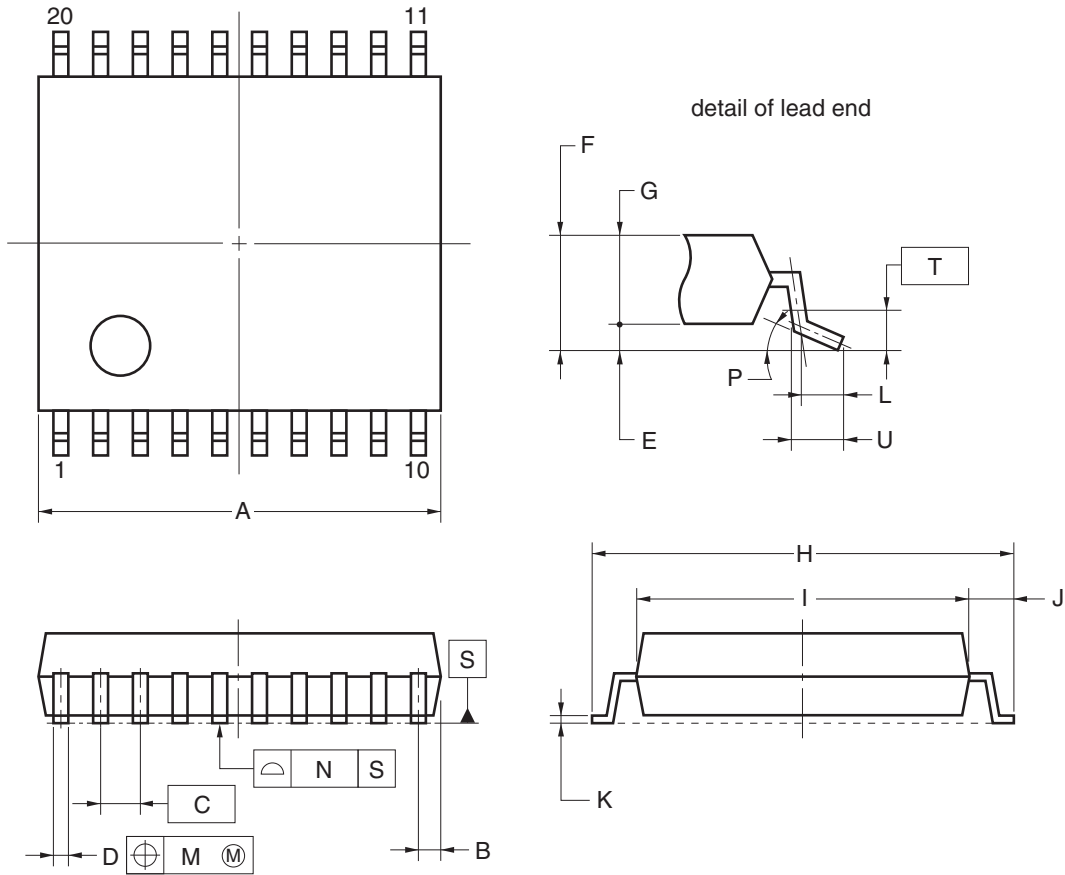
注1. 消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数は、一度書換えた後、次に書換えを行うまでの期間とします。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用した時になります。
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。
4. 保持の平均温度です。

第33章 外形図

33.1 20ピン製品

20-PIN PLASTIC SSOP (7.62 mm (300))



NOTE

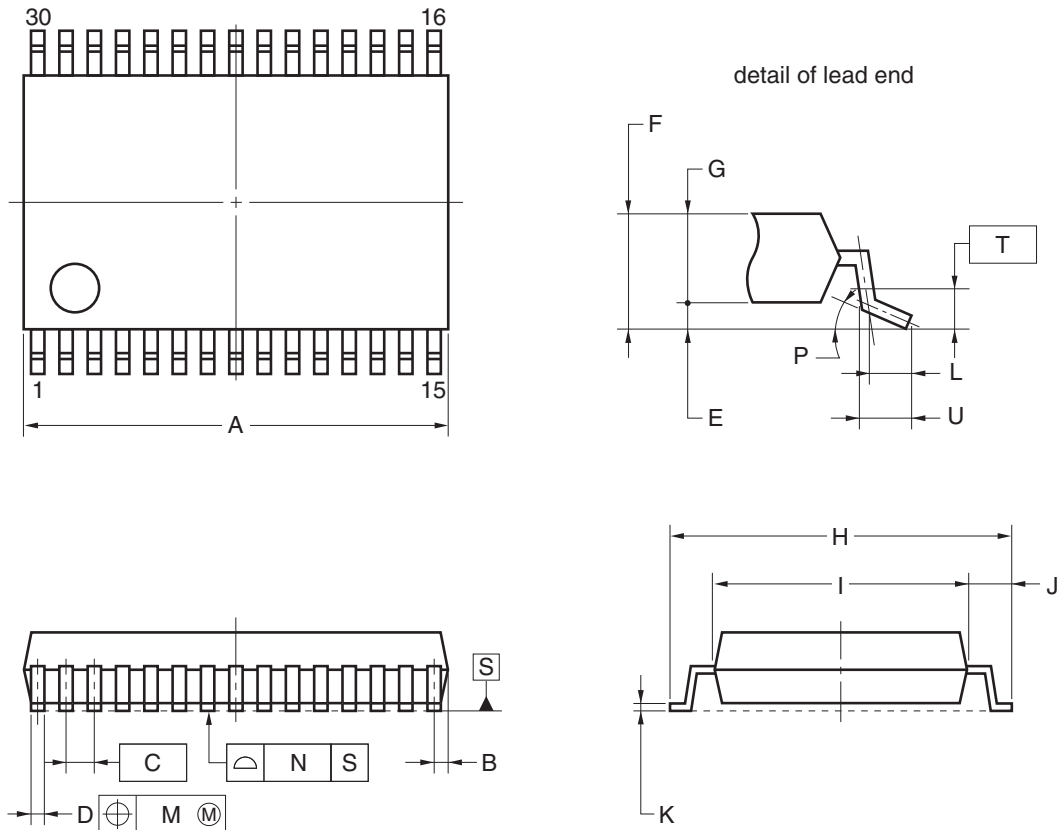
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	6.65±0.15
B	0.475 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15

S20MC-65-5A4-2

33.2 30ピン製品

30-PIN PLASTIC SSOP (7.62 mm (300))



NOTE

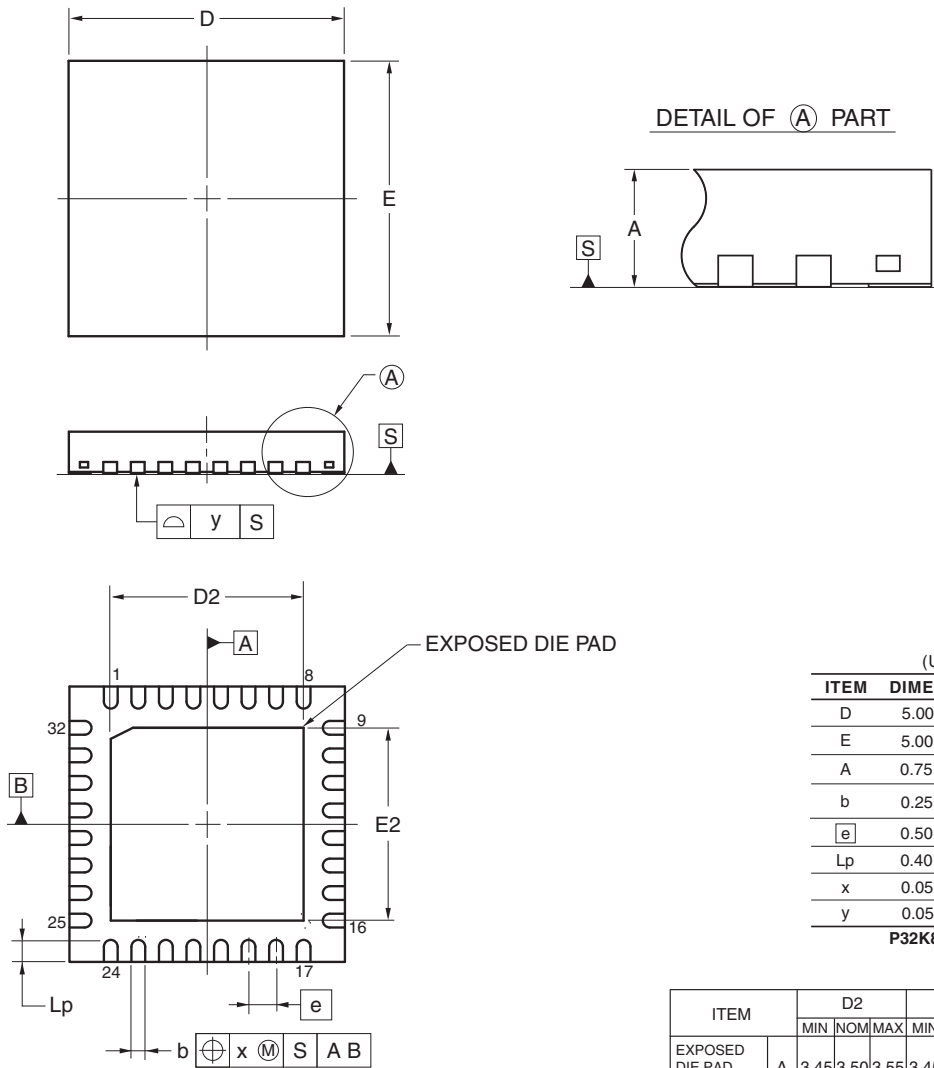
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15

S30MC-65-5A4-2

33.3 32ピン製品

32-PIN PLASTIC WQFN(5x5)



(UNIT:mm)

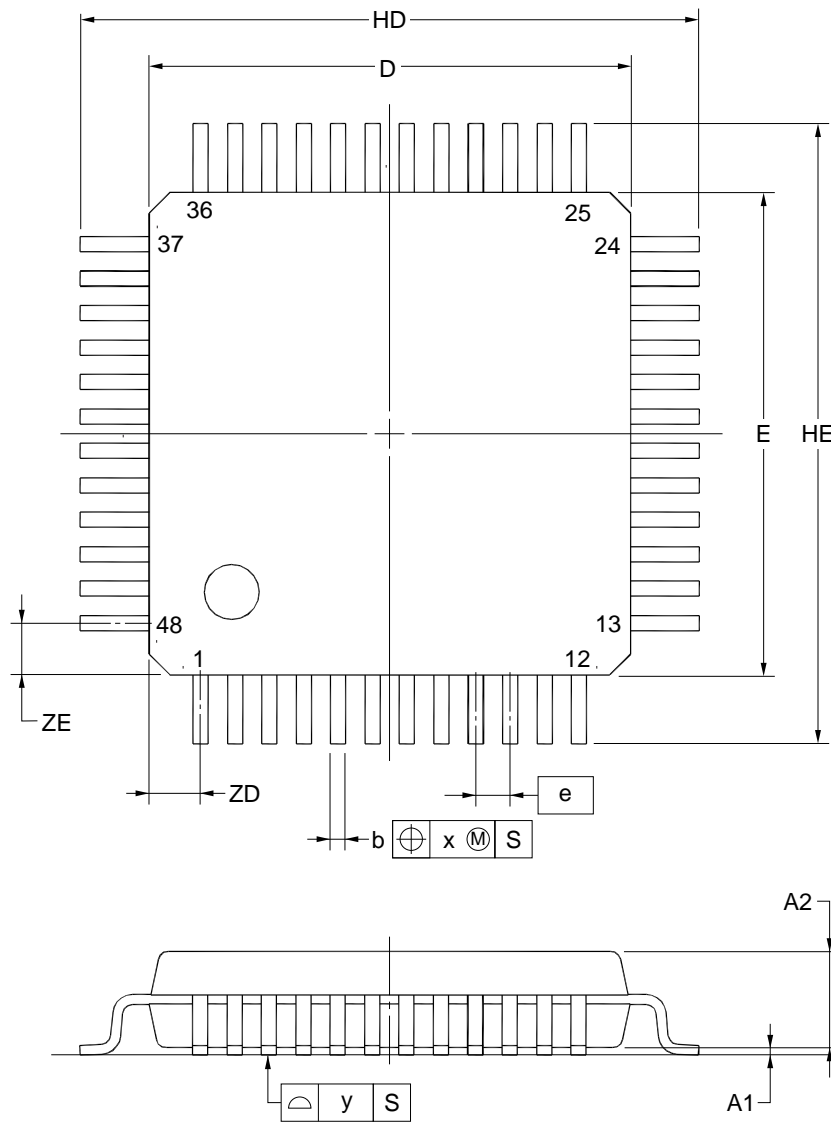
ITEM	DIMENSIONS
D	5.00±0.05
E	5.00±0.05
A	0.75±0.05
b	0.25 ^{+0.05} _{-0.07}
e	0.50
Lp	0.40±0.10
x	0.05
y	0.05

P32K8-50-3B4-2

ITEM	D2			E2			
	MIN	NOM	MAX	MIN	NOM	MAX	
EXPOSED DIE PAD VARIATIONS	A	3.45	3.50	3.55	3.45	3.50	3.55

33.4 48ピン製品

48-PIN PLASTIC LQFP (FINE PITCH)(7x7)



detail of lead end

(UNIT:mm)

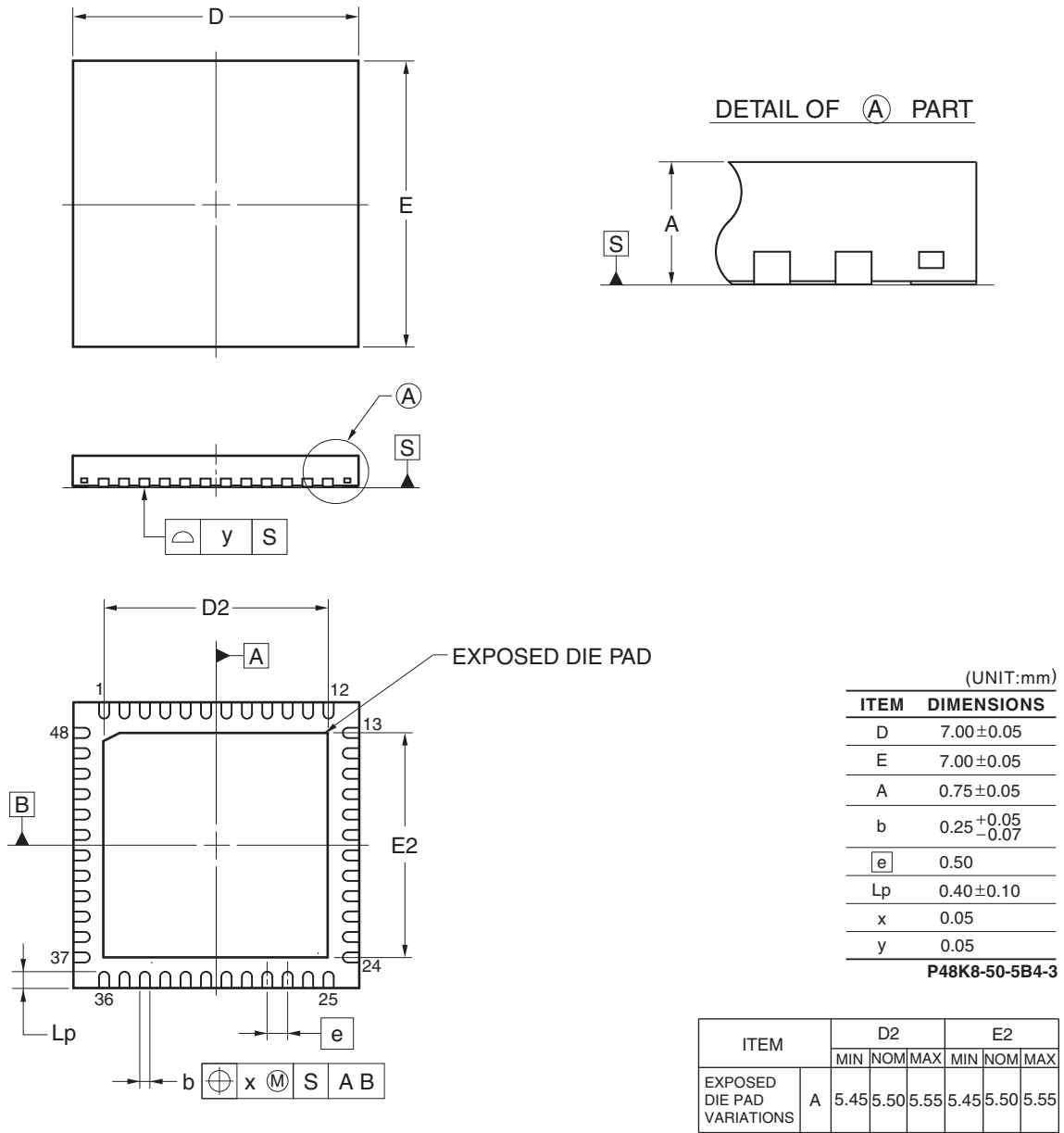
ITEM	DIMENSIONS
D	7.00±0.20
E	7.00±0.20
HD	9.00±0.20
HE	9.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	0.145 ^{+0.055} _{-0.045}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

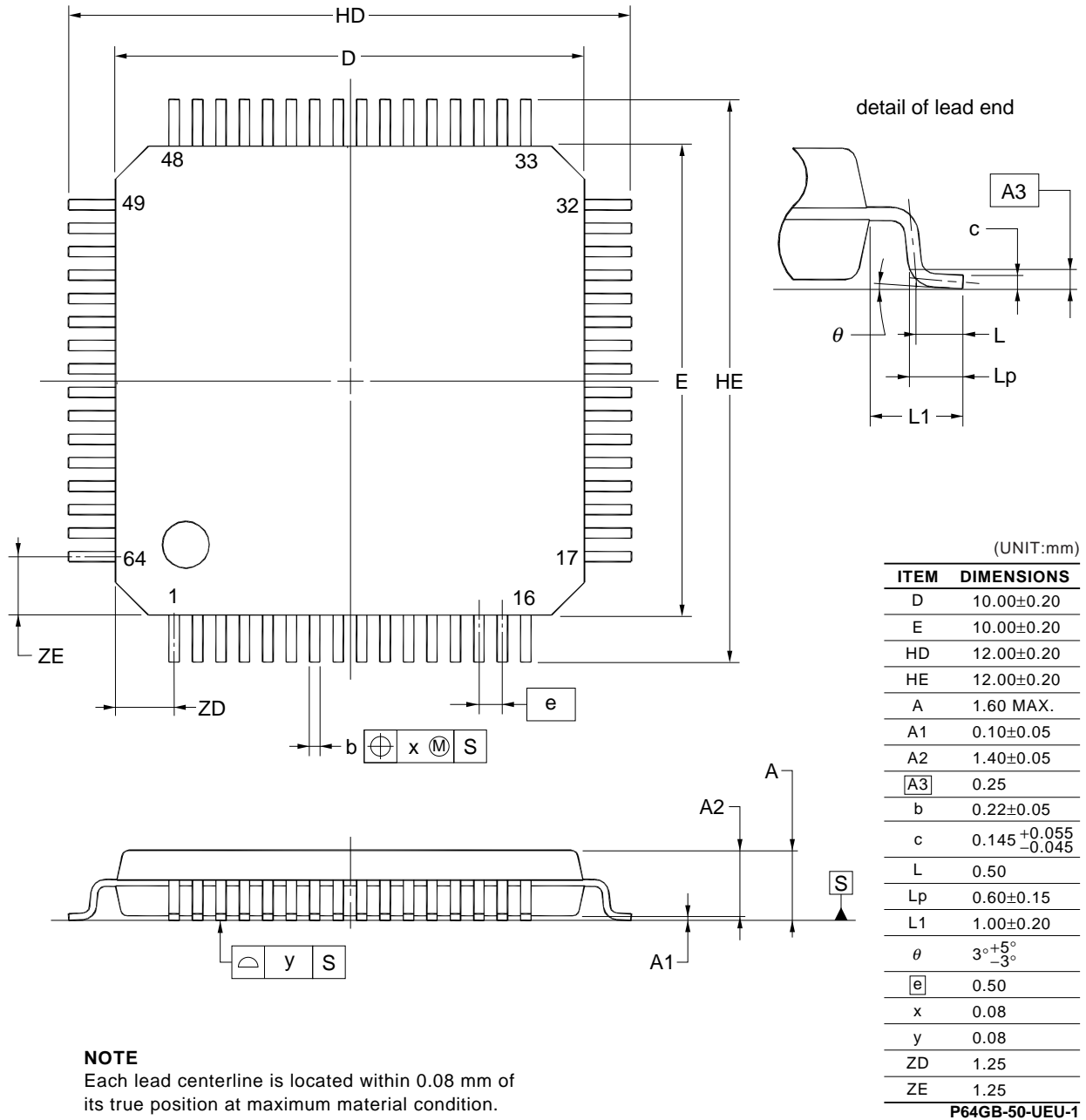
P48GA-50-8EU

48-PIN PLASTIC WQFN(7x7)



33.5 64ピン製品

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

RL78/F12 ユーザーズマニュアル
ハードウェア編

発行年月日 2013 年 12 月 20 日 Rev.1.10

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/contact/>

RL78/F12