

# RL78/G1D

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、  
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、  
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## CMOS デバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

# このマニュアルの使い方

**対象者** このマニュアルはRL78/G1Dの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。  
対象製品は、次に示す各製品です。

・48ピン：R5F11AGG  
R5F11AGH  
R5F11AGJ

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成** RL78/G1Dのマニュアルは、このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。その他に、RL78/G1DのRFトランシーバ機能を使用するために、Bluetooth® Low Energy プロトコルスタック ユーザーズマニュアルのマニュアルがあります。

RL78/G1D ユーザーズマニュアル ハードウェア編	RL78ファミリ ユーザーズマニュアル ソフトウェア編	Bluetooth® Low Energy プロトコルスタック ユーザーズマニュアル
<ul style="list-style-type: none"><li>●端子機能</li><li>●内部ブロック機能</li><li>●割り込み</li><li>●その他の内蔵周辺機能</li><li>●電気的特性</li></ul>	<ul style="list-style-type: none"><li>●CPU機能</li><li>●命令セット</li><li>●命令の説明</li></ul>	<ul style="list-style-type: none"><li>●インストール</li><li>●構成</li><li>●実行ファイル作成方法</li><li>●機能説明</li></ul>

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この"★"をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

□RL78/G1Dマイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編（R01US0015J）を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁  
 アクティブ・ロウの表記 :  $\overline{\text{xxx}}$  (端子, 信号名称に上線)  
 注 : 本文中につけた注の説明  
 注意 : 気をつけて読んでいただきたい内容  
 備考 : 本文の補足説明  
 数の表記 : 2進数 $\cdots\text{xxx}$ または $\text{xxx}$ B  
           10進数 $\cdots\text{xxx}$   
           16進数 $\cdots\text{xxx}$ H

#### 関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

#### デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G1D ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0515E
RL78ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

#### フラッシュ・メモリ書き込み用の資料 (ユーザーズマニュアル)

資料名	資料番号	
	和文	英文
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	R20UT4025J	R20UT4025E
E1, E20エミュレータ ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 Liteエミュレータ ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	R20UT4066J	R20UT4066E
ルネサスフラッシュ開発ツールキット ユーザーズマニュアル	R20UT0508J	R20UT0508E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

#### その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ 実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

RFトランシーバご使用上の注意事項

国際規格および国内法規の規定により、無線レシーバおよびトランスミッタの使用に規制があります。  
使用する国の規格、法規を順守のうえご使用ください。

2.4 GHz帯の規格の代表的な規格を下記に示します。

日本：ARIB STD-T66

米国：FCC 47CFR part15.207, part15.209 およびpart15.247

欧州：EN 300 328 およびEN 301 489

すべての商標および登録商標は、それぞれの所有者に帰属します。

Bluetoothは、Bluetooth SIG, Inc., U.S.A.の登録商標です。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

# 目次

<b>第1章 概 説</b> .....	<b>1</b>
1.1 特 徴 .....	1
1.2 型名一覧 .....	4
1.3 端子接続図 (Top View) .....	5
1.4 端子名称 .....	6
1.5 ブロック図 .....	7
1.6 機能概要 .....	8
<b>第2章 MCUとRFトランシーバの接続</b> .....	<b>11</b>
2.1 MCUとRFトランシーバの接続端子 .....	11
2.2 MCUとRFトランシーバ間の通信インターフェース .....	13
2.3 MCUの未使用内部端子の初期設定 .....	14
2.4 Bluetooth Low Energy動作クロック .....	14
2.5 電源構成 .....	16
<b>第3章 端子機能</b> .....	<b>17</b>
3.1 ポート機能 .....	17
3.2 ポート以外の機能 .....	20
3.3 未使用端子の処理 .....	24
3.4 端子ブロック図 .....	26
<b>第4章 CPUアーキテクチャ</b> .....	<b>38</b>
4.1 概要 .....	38
4.2 メモリ空間 .....	38
4.2.1 内部プログラム・メモリ空間 .....	44
4.2.2 ミラー領域 .....	47
4.2.3 内部データ・メモリ空間 .....	49
4.2.4 特殊機能レジスタ (SFR : Special Function Register) 領域 .....	49
4.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 .....	49
4.2.6 データ・メモリ・アドレッシング .....	50
4.3 プロセッサ・レジスタ .....	54
4.3.1 制御レジスタ .....	54
4.3.2 汎用レジスタ .....	57
4.3.3 ES, CSレジスタ .....	58
4.3.4 特殊機能レジスタ (SFR : Special Function Register) .....	59
4.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) .....	65
4.4 命令アドレスのアドレッシング .....	71
4.4.1 レラティブ・アドレッシング .....	71
4.4.2 イミーディエト・アドレッシング .....	71
4.4.3 テーブル・インダイレクト・アドレッシング .....	72
4.4.4 レジスタ・ダイレクト・アドレッシング .....	72
4.5 処理データ・アドレスに対するアドレッシング .....	73
4.5.1 インプライド・アドレッシング .....	73
4.5.2 レジスタ・アドレッシング .....	73
4.5.3 ダイレクト・アドレッシング .....	74

4.5.4 ショート・ダイレクト・アドレッシング .....	75
4.5.5 SFRアドレッシング .....	76
4.5.6 レジスタ・インダイレクト・アドレッシング .....	77
4.5.7 ベースト・アドレッシング .....	78
4.5.8 ベースト・インデクスト・アドレッシング .....	81
4.5.9 スタック・アドレッシング .....	82
<b>第5章 ポート機能ポートの機能 .....</b>	<b>85</b>
<b>5.1 ポートの構成 .....</b>	<b>85</b>
5.1.1 ポート0 .....	86
5.1.2 ポート1 .....	86
5.1.3 ポート2 .....	87
5.1.4 ポート3 .....	87
5.1.5 ポート4 .....	87
5.1.6 ポート6 .....	88
5.1.7 ポート7 .....	88
5.1.8 ポート12 .....	88
5.1.9 ポート13 .....	88
5.1.10 ポート14 .....	89
5.1.11 GPIOポート .....	89
<b>5.2 ポート機能を制御するレジスタ .....</b>	<b>90</b>
5.2.1 ポート・モード・レジスタ (PMxx) .....	94
5.2.2 ポート・レジスタ (Pxx) .....	96
5.2.3 プルアップ抵抗オプション・レジスタ (PUxx) .....	98
5.2.4 ポート入力モード・レジスタ (PIMxx) .....	99
5.2.5 ポート出力モード・レジスタ (POMxx) .....	100
5.2.6 ポート・モード・コントロール・レジスタ (PMCxx) .....	101
5.2.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC) .....	102
5.2.8 周辺I/Oリダイレクション・レジスタ (PIOR) .....	103
5.2.9 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS) .....	104
<b>5.3 ポート機能の動作 .....</b>	<b>105</b>
5.3.1 入出力ポートへの書き込み .....	105
5.3.2 入出力ポートからの読み出し .....	105
5.3.3 入出力ポートでの演算 .....	105
5.3.4 異電位 (1.8 V系, 2.5 V系) 対応 .....	106
5.3.5 入出力バッファによる異電位 (1.8 V系, 2.5 V系) 対応 .....	106
<b>5.4 兼用機能使用時のレジスタの設定 .....</b>	<b>108</b>
5.4.1 兼用機能使用時の基本的な考え方 .....	108
5.4.2 出力機能を使用しない兼用機能のレジスタ設定 .....	109
5.4.3 使用するポート機能および兼用機能のレジスタ設定例 .....	110
<b>5.5 ポート機能使用時の注意事項 .....</b>	<b>115</b>
5.5.1 ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項 .....	115
5.5.2 端子設定に関する注意事項 .....	116
<b>第6章 クロック発生回路 .....</b>	<b>117</b>
<b>6.1 クロック発生回路の機能 .....</b>	<b>117</b>
<b>6.2 クロック発生回路の構成 .....</b>	<b>119</b>
<b>6.3 クロック発生回路を制御するレジスタ .....</b>	<b>121</b>
6.3.1 クロック動作モード制御レジスタ (CMC) .....	121
6.3.2 システム・クロック制御レジスタ (CKC) .....	124



6.3.3	クロック動作ステータス制御レジスタ (CSC)	126
6.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	127
6.3.5	発振安定時間選択レジスタ (OSTS)	129
6.3.6	周辺イネーブル・レジスタ0 (PER0)	131
6.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC)	133
6.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	134
6.3.9	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	135
<b>6.4</b>	<b>システム・クロック発振回路</b>	<b>136</b>
6.4.1	X1発振回路	136
6.4.2	XT1発振回路	136
6.4.3	高速オンチップ・オシレータ	140
6.4.4	低速オンチップ・オシレータ	140
6.4.5	RF基準クロック発振回路	140
<b>6.5</b>	<b>クロック発生回路の動作</b>	<b>141</b>
<b>6.6</b>	<b>クロックの制御</b>	<b>143</b>
6.6.1	高速オンチップ・オシレータの設定例	143
6.6.2	X1発振回路の設定例	145
6.6.3	XT1発振回路の設定例	147
6.6.4	CPUクロック状態移行図	148
6.6.5	CPUクロックの移行前の条件と移行後の処理	154
6.6.6	CPUクロックの切り替えとシステム・クロックの切り替えに要する時間	156
6.6.7	クロック発振停止前の条件	157
<b>6.7</b>	<b>発振子と発振回路定数</b>	<b>158</b>
 <b>第7章 タイマ・アレイ・ユニット</b>		 <b>163</b>
<b>7.1</b>	<b>タイマ・アレイ・ユニットの機能</b>	<b>164</b>
7.1.1	単独チャンネル動作機能	164
7.1.2	複数チャンネル連動動作機能	166
7.1.3	8ビット・タイマ動作機能 (チャンネル1, 3のみ)	167
<b>7.2</b>	<b>タイマ・アレイ・ユニットの構成</b>	<b>168</b>
7.2.1	タイマ・カウンタ・レジスタmn (TCRmn)	173
7.2.2	タイマ・データ・レジスタmn (TDRmn)	175
<b>7.3</b>	<b>タイマ・アレイ・ユニットを制御するレジスタ</b>	<b>176</b>
7.3.1	周辺イネーブル・レジスタ0 (PER0)	177
7.3.2	タイマ・クロック選択レジスタm (TPSm)	178
7.3.3	タイマ・モード・レジスタmn (TMRmn)	181
7.3.4	タイマ・ステータス・レジスタmn (TSRmn)	187
7.3.5	タイマ・チャンネル許可ステータス・レジスタm (TEm)	188
7.3.6	タイマ・チャンネル開始レジスタm (TSm)	189
7.3.7	タイマ・チャンネル停止レジスタm (TTm)	191
7.3.8	タイマ入力選択レジスタ0 (TIS0)	192
7.3.9	タイマ出力許可レジスタ0 (TOE0)	193
7.3.10	タイマ出力レジスタ0 (TO0)	194
7.3.11	タイマ出力レベル・レジスタ0 (TOL0)	195
7.3.12	タイマ出力モード・レジスタ0 (TOM0)	196
7.3.13	ノイズ・フィルタ許可レジスタ1 (NFEN1)	197
7.3.14	タイマ入出力端子のポート機能を制御するレジスタ	198
<b>7.4</b>	<b>タイマ・アレイ・ユニットの基本ルール</b>	<b>199</b>
7.4.1	複数チャンネル連動動作機能の基本ルール	199
7.4.2	8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ)	201
<b>7.5</b>	<b>カウンタの動作</b>	<b>202</b>

7.5.1	カウント・クロック (fTCLK)	202
7.5.2	カウンタのスタート・タイミング	204
7.5.3	カウンタの動作	205
<b>7.6</b>	<b>チャンネル出力 (TO0n端子) の制御</b>	<b>210</b>
7.6.1	TO0n端子の出力回路の構成	210
7.6.2	TO0n端子の出力設定	211
7.6.3	チャンネル出力操作時の注意事項	212
7.6.4	TO0nビットの一括操作	217
7.6.5	カウント動作開始時のタイマ割り込みとTO0n端子出力について	218
<b>7.7</b>	<b>タイマ入力 (TI0n) の制御</b>	<b>219</b>
7.7.1	TI0nの入力回路構成	219
7.7.2	ノイズ・フィルタ	219
7.7.3	チャンネル入力操作時の注意事項	220
<b>7.8</b>	<b>タイマ・アレイ・ユニットの単独チャンネル動作機能</b>	<b>221</b>
7.8.1	インターバル・タイマ/方形波出力としての動作	221
7.8.2	外部イベント・カウンタとしての動作	227
7.8.3	分周器としての動作 (ユニット0のチャンネル0のみ)	231
7.8.4	入力パルス間隔測定としての動作	235
7.8.5	入力信号のハイ/ロウ・レベル幅測定としての動作	239
7.8.6	ディレイ・カウンタとしての動作	243
<b>7.9</b>	<b>タイマ・アレイ・ユニットの複数チャンネル連動動作機能</b>	<b>247</b>
7.9.1	ワンショット・パルス出力機能としての動作	247
7.9.2	PWM機能としての動作	254
7.9.3	多重PWM出力機能としての動作	261
<b>7.10</b>	<b>タイマ・アレイ・ユニットの使用時の注意事項</b>	<b>269</b>
7.10.1	タイマ出力使用時の注意事項	269

## 第8章 リアルタイム・クロック .....270

<b>8.1</b>	<b>リアルタイム・クロックの機能</b>	<b>270</b>
<b>8.2</b>	<b>リアルタイム・クロックの構成</b>	<b>270</b>
<b>8.3</b>	<b>リアルタイム・クロックを制御するレジスタ</b>	<b>272</b>
8.3.1	周辺イネーブル・レジスタ0 (PER0)	273
8.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	274
8.3.3	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)	275
8.3.4	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)	276
8.3.5	秒カウント・レジスタ (SEC)	278
8.3.6	分カウント・レジスタ (MIN)	278
8.3.7	時カウント・レジスタ (HOUR)	279
8.3.8	日カウント・レジスタ (DAY)	281
8.3.9	曜日カウント・レジスタ (WEEK)	282
8.3.10	月カウント・レジスタ (MONTH)	283
8.3.11	年カウント・レジスタ (YEAR)	283
8.3.12	時計誤差補正レジスタ (SUBCUD)	284
8.3.13	アラーム分レジスタ (ALARMWM)	285
8.3.14	アラーム時レジスタ (ALARMWH)	285
8.3.15	アラーム曜日レジスタ (ALARMWW)	286
8.3.16	ポート・モード・レジスタ3 (PM3)	287
8.3.17	ポート・レジスタ3 (P3)	287
<b>8.4</b>	<b>リアルタイム・クロックの動作</b>	<b>288</b>
8.4.1	リアルタイム・クロックの動作開始	288
8.4.2	動作開始後のHALT/STOPモードへの移行	289

8.4.3	リアルタイム・クロックのカウンタ読み出し／書き込み	290
8.4.4	リアルタイム・クロックのアラーム設定	292
8.4.5	リアルタイム・クロックの1 Hz出力	293
8.4.6	リアルタイム・クロックの時計誤差補正例	294
<b>第9章</b>	<b>12ビット・インターバルタイマ</b>	<b>299</b>
9.1	12ビット・インターバル・タイマの機能	299
9.2	12ビット・インターバル・タイマの構成	299
9.3	12ビット・インターバル・タイマを制御するレジスタ	300
9.3.1	周辺イネーブル・レジスタ0 (PER0)	300
9.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	301
9.3.3	インターバル・タイマ・コントロール・レジスタ (ITMC)	302
9.4	12ビット・インターバル・タイマの動作	303
9.4.1	12ビット・インターバル・タイマの動作タイミング	303
9.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行	304
<b>第10章</b>	<b>クロック出力／ブザー出力制御回路</b>	<b>305</b>
10.1	クロック出力／ブザー出力制御回路の機能	305
10.2	クロック出力／ブザー出力制御回路の構成	306
10.3	クロック出力／ブザー出力制御回路を制御するレジスタ	306
10.3.1	クロック出力選択レジスタn (CKSn)	306
10.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	308
10.4	クロック出力／ブザー出力制御回路の動作	309
10.4.1	出力端子の動作	309
10.5	クロック出力／ブザー出力制御回路の注意事項	309
<b>第11章</b>	<b>ウォッチドッグ・タイマ</b>	<b>310</b>
11.1	ウォッチドッグ・タイマの機能	310
11.2	ウォッチドッグ・タイマの構成	311
11.3	ウォッチドッグ・タイマを制御するレジスタ	312
11.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	312
11.4	ウォッチドッグ・タイマの動作	313
11.4.1	ウォッチドッグ・タイマの動作制御	313
11.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	314
11.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	315
11.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	317
<b>第12章</b>	<b>A/Dコンバータ</b>	<b>318</b>
12.1	A/Dコンバータの機能	318
12.2	A/Dコンバータの構成	320
12.3	A/Dコンバータを制御するレジスタ	322
12.3.1	周辺イネーブル・レジスタ0 (PER0)	323
12.3.2	A/Dコンバータ・モード・レジスタ0 (ADM0)	324
12.3.3	A/Dコンバータ・モード・レジスタ1 (ADM1)	332
12.3.4	A/Dコンバータ・モード・レジスタ2 (ADM2)	333
12.3.5	10ビットA/D変換結果レジスタ (ADCR)	335
12.3.6	8ビットA/D変換結果レジスタ (ADCRH)	336

12.3.7	アナログ入力チャンネル指定レジスタ (ADS)	337
12.3.8	変換結果比較上限値設定レジスタ (ADUL)	339
12.3.9	変換結果比較下限値設定レジスタ (ADLL)	339
12.3.10	A/Dテスト・レジスタ (ADTES)	340
12.3.11	アナログ入力端子のポート機能を制御するレジスタ	341
<b>12.4</b>	<b>A/Dコンバータの変換動作</b>	<b>342</b>
<b>12.5</b>	<b>入力電圧と変換結果</b>	<b>344</b>
<b>12.6</b>	<b>A/Dコンバータの動作モード</b>	<b>345</b>
12.6.1	ソフトウェア・トリガ・モード (セレクト・モード, 連続変換モード)	345
12.6.2	ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード)	346
12.6.3	ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード)	347
12.6.4	ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード)	348
12.6.5	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換 モード)	349
12.6.6	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット 変換モード)	350
12.6.7	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換 モード)	351
12.6.8	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット 変換モード)	352
12.6.9	ハードウェア・トリガ・ウエイト・モード (セレクト・モード, 連続変換 モード)	353
12.6.10	ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット 変換モード)	354
12.6.11	ハードウェア・トリガ・ウエイト・モード (スキャン・モード, 連続変換 モード)	355
12.6.12	ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット 変換モード)	356
<b>12.7</b>	<b>A/Dコンバータの設定フロー・チャート</b>	<b>357</b>
12.7.1	ソフトウェア・トリガ・モード設定	357
12.7.2	ハードウェア・トリガ・ノーウエイト・モード設定	358
12.7.3	ハードウェア・トリガ・ウエイト・モード設定	359
12.7.4	温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・ モード, ワンショット変換モード時)	360
12.7.5	テスト・モード設定	361
<b>12.8</b>	<b>SNOOZEモード機能</b>	<b>362</b>
<b>12.9</b>	<b>A/Dコンバータ特性表の読み方</b>	<b>366</b>
<b>12.10</b>	<b>A/Dコンバータの注意事項</b>	<b>369</b>
<b>第13章</b>	<b>シリアル・アレイ・ユニット</b>	<b>373</b>
<b>13.1</b>	<b>シリアル・アレイ・ユニットの機能</b>	<b>374</b>
13.1.1	3線シリアルI/O (CSI00, CSI20, CSI21)	374
13.1.2	UART (UART0, UART1)	375
13.1.3	簡易I <sup>2</sup> C (IIC00, IIC20)	376
<b>13.2</b>	<b>シリアル・アレイ・ユニットの構成</b>	<b>377</b>
13.2.1	シフト・レジスタ	380
13.2.2	シリアル・データ・レジスタmn (SDRmn) の下位8/9ビット	380
<b>13.3</b>	<b>シリアル・アレイ・ユニットを制御するレジスタ</b>	<b>382</b>
13.3.1	周辺イネーブル・レジスタ0 (PER0)	383
13.3.2	シリアル・クロック選択レジスタm (SPSm)	384
13.3.3	シリアル・モード・レジスタmn (SMRmn)	385

13.3.4	シリアル通信動作設定レジスタmn (SCRmn)	386
13.3.5	シリアル・データ・レジスタmn (SDRmn) の上位7ビット	390
13.3.6	シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)	392
13.3.7	シリアル・ステータス・レジスタmn (SSRmn)	393
13.3.8	シリアル・チャンネル開始レジスタm (SSm)	395
13.3.9	シリアル・チャンネル停止レジスタm (STm)	396
13.3.10	シリアル・チャンネル許可ステータス・レジスタm (SEm)	397
13.3.11	シリアル出力許可レジスタm (SOEm)	398
13.3.12	シリアル出力レジスタm (SOm)	399
13.3.13	シリアル出力レベル・レジスタm (SOLm)	400
13.3.14	シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)	401
13.3.15	ノイズ・フィルタ許可レジスタ0 (NFEN0)	402
13.3.16	シリアル入出力端子のポート機能を制御するレジスタ	403
<b>13.4</b>	<b>動作停止モード</b>	<b>404</b>
13.4.1	ユニット単位で動作停止とする場合	404
13.4.2	チャンネルごとに動作停止とする場合	405
<b>13.5</b>	<b>3線リアルI/O (CSI00, CSI20, CSI21) 通信の動作</b>	<b>406</b>
13.5.1	マスタ送信	408
13.5.2	マスタ受信	417
13.5.3	マスタ送受信	426
13.5.4	スレーブ送信	435
13.5.5	スレーブ受信	444
13.5.6	スレーブ送受信	451
13.5.7	SNOOZEモード機能	460
13.5.8	転送クロック周波数の算出	465
13.5.9	3線リアルI/O (CSI00, CSI20, CSI21) 通信時におけるエラー発生時の処理 手順	467
<b>13.6</b>	<b>UART (UART0, UART1) 通信の動作</b>	<b>468</b>
13.6.1	UART送信	470
13.6.2	UART受信	479
13.6.3	SNOOZEモード機能	486
13.6.4	ボー・レートの算出	494
13.6.5	UART (UART0, UART1) 通信時におけるエラー発生時の処理手順	498
<b>13.7</b>	<b>簡易I<sup>2</sup>C (IIC00, IIC20) 通信の動作</b>	<b>499</b>
13.7.1	アドレス・フィールド送信	501
13.7.2	データ送信	505
13.7.3	データ受信	508
13.7.4	ストップ・コンディション発生	512
13.7.5	転送レートの算出	513
13.7.6	簡易I <sup>2</sup> C (IIC00, IIC20) 通信時におけるエラー発生時の処理手順	515
<b>第14章 シリアル・インタフェースIICA</b>		<b>516</b>
<b>14.1</b>	<b>シリアル・インタフェースIICAの機能</b>	<b>516</b>
<b>14.2</b>	<b>シリアル・インタフェースIICAの構成</b>	<b>519</b>
<b>14.3</b>	<b>シリアル・インタフェースIICAを制御するレジスタ</b>	<b>522</b>
14.3.1	周辺イネーブル・レジスタ0 (PER0)	523
14.3.2	IICAコントロール・レジスタn0 (IICCTLn0)	523
14.3.3	IICAステータス・レジスタn (IICSn)	528
14.3.4	IICAフラグ・レジスタn (IICFn)	531
14.3.5	IICAコントロール・レジスタn1 (IICCTLn1)	533
14.3.6	IICAロウ・レベル幅設定レジスタn (IICWLn)	535

14.3.7 IICAハイ・レベル幅設定レジスタn (IICWHn) .....	535
14.3.8 ポート・モード・レジスタ6 (PM6) .....	536
<b>14.4 I<sup>2</sup>Cバス・モードの機能</b> .....	<b>537</b>
14.4.1 端子構成 .....	537
14.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法 .....	538
<b>14.5 I<sup>2</sup>Cバスの定義および制御方法</b> .....	<b>540</b>
14.5.1 スタート・コンディション .....	540
14.5.2 アドレス .....	541
14.5.3 転送方向指定 .....	541
14.5.4 アクノリッジ (ACK) .....	542
14.5.5 ストップ・コンディション .....	543
14.5.6 ウェイト .....	544
14.5.7 ウェイト解除方法 .....	546
14.5.8 割り込み要求 (INTIICAn) 発生タイミングおよびウェイト制御 .....	547
14.5.9 アドレスの一致検出方法 .....	548
14.5.10 エラーの検出 .....	548
14.5.11 1拡張コード .....	549
14.5.12 アービトレーション .....	550
14.5.13 ウェイク・アップ機能 .....	552
14.5.14 通信予約 .....	555
14.5.15 その他の注意事項 .....	559
14.5.16 通信動作 .....	560
14.5.17 I <sup>2</sup> C割り込み要求 (INTIICAn) の発生タイミング .....	568
<b>14.6 タイミング・チャート</b> .....	<b>589</b>
<b>第15章 RFトランシーバ</b> .....	<b>605</b>
<b>15.1 RFトランシーバの概要</b> .....	<b>605</b>
<b>15.2 端子機能</b> .....	<b>606</b>
15.2.1 デジタル端子 .....	606
15.2.2 アナログ端子 .....	607
<b>15.3 RFトランシーバの構成</b> .....	<b>608</b>
15.3.1 デジタル・ブロック .....	609
15.3.2 インタフェース・ブロック .....	611
15.3.3 RFメモリ・ブロック .....	611
15.3.4 RF制御レジスタ・ブロック .....	611
15.3.5 モデム・ブロック .....	611
15.3.6 アナログ・ブロック .....	612
15.3.7 パワーマネージメント・ブロック .....	613
15.3.8 ウェイクアップ・ブロック .....	613
15.3.9 RFクロック発生回路・ブロック .....	614
15.3.10 RFリセット回路ブロック .....	614
<b>15.4 RFモード</b> .....	<b>615</b>
15.4.1 RF動作モード .....	615
15.4.2 RFスタンバイ・モード .....	616
15.4.3 状態遷移図 .....	619
15.4.4 モード遷移時間 .....	620
15.4.5 各モードでの端子状態 .....	621
15.4.6 各モードでの機能状態 .....	622

<b>第16章 乗除積和算器</b> .....	<b>624</b>
16.1 乗除積和算器の機能 .....	624
16.2 乗除積和算器の構成 .....	624
16.2.1 乗除算データ・レジスタA (MDAH, MDAL) .....	626
16.2.2 乗除算データ・レジスタB (MDBL, MDBH) .....	627
16.2.3 乗除算データ・レジスタC (MDCL, MDCH) .....	628
16.3 乗除積和算器を制御するレジスタ .....	630
16.3.1 乗除算コントロール・レジスタ0 (MDUC) .....	630
16.4 乗除積和算器の動作 .....	632
16.4.1 乗算 (符号なし) 動作 .....	632
16.4.2 乗算 (符号付) 動作 .....	633
16.4.3 積和演算 (符号なし) 動作 .....	634
16.4.4 積和演算 (符号付) 動作 .....	636
16.4.5 除算動作 .....	638
<b>第17章 DMAコントローラ</b> .....	<b>640</b>
17.1 DMAコントローラの機能 .....	640
17.2 DMAコントローラの構成 .....	641
17.2.1 DMA SFRアドレス・レジスタn (DSAn) .....	641
17.2.2 DMA RAMアドレス・レジスタn (DRAn) .....	642
17.2.3 DMAバイト・カウント・レジスタn (DBCn) .....	643
17.3 DMAコントローラを制御するレジスタ .....	644
17.3.1 DMAモード・コントロール・レジスタn (DMCn) .....	645
17.3.2 DMA動作コントロール・レジスタn (DRCn) .....	648
17.4 DMAコントローラの動作 .....	649
17.4.1 動作手順 .....	649
17.4.2 転送モード .....	650
17.4.3 DMA転送の終了 .....	650
17.5 DMAコントローラの設定例 .....	651
17.5.1 CSI連続送信 .....	651
17.5.2 A/D変換結果の連続取り込み .....	653
17.5.3 UART連続受信+ACK送信 .....	655
17.5.4 DWAITnビットによるDMA転送保留 .....	657
17.5.5 ソフトウェアでの強制終了 .....	658
17.6 DMAコントローラの注意事項 .....	660
<b>第18章 割り込み機能</b> .....	<b>663</b>
18.1 割り込み機能の種類 .....	663
18.2 割り込み要因と構成 .....	664
18.3 割り込み機能を制御するレジスタ .....	669
18.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L) .....	671
18.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L) .....	673
18.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L) .....	675
18.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0) .....	678
18.3.5 プログラム・ステータス・ワード (PSW) .....	680
18.4 割り込み処理動作 .....	681

18.4.1	マスクブル割り込み要求の受け付け動作 .....	681
18.4.2	ソフトウェア割り込み要求の受け付け動作.....	684
18.4.3	多重割り込み処理.....	684
18.4.4	割り込み要求の保留 .....	688
<b>第19章</b>	<b>スタンバイ機能.....</b>	<b>689</b>
19.1	スタンバイ機能 .....	689
19.2	スタンバイ機能を制御するレジスタ .....	690
19.3	スタンバイ機能の動作 .....	690
19.3.1	HALTモード .....	690
19.3.2	STOPモード .....	695
19.3.3	SNOOZEモード .....	700
<b>第20章</b>	<b>リセット機能 .....</b>	<b>703</b>
20.1	リセット動作のタイミング .....	705
20.2	リセット期間中の動作状態 .....	707
20.3	リセット要因を確認するレジスタ .....	709
20.3.1	リセット・コントロール・フラグ・レジスタ (RESF) .....	709
<b>第21章</b>	<b>パワーオン・リセット回路.....</b>	<b>712</b>
21.1	パワーオン・リセット回路の機能.....	712
21.2	パワーオン・リセット回路の構成.....	713
21.3	パワーオン・リセット回路の動作 .....	713
<b>第22章</b>	<b>電圧検出回路 .....</b>	<b>717</b>
22.1	電圧検出回路の機能 .....	717
22.2	電圧検出回路の構成 .....	719
22.3	電圧検出回路を制御するレジスタ .....	719
22.3.1	電圧検出レジスタ (LVIM) .....	720
22.3.2	電圧検出レベル・レジスタ (LVIS) .....	721
22.4	電圧検出回路の動作 .....	724
22.4.1	リセット・モードとして使用する場合の設定 .....	724
22.4.2	割り込みモードとして使用する場合の設定.....	726
22.4.3	割り込み&リセット・モードとして使用する場合の設定.....	728
22.5	電圧検出回路の注意事項.....	734
<b>第23章</b>	<b>安全機能 .....</b>	<b>736</b>
23.1	安全機能の概要 .....	736
23.2	安全機能で使用するレジスタ .....	737
23.3	安全機能の動作 .....	737
23.3.1	フラッシュ・メモリCRC演算機能 (高速CRC) .....	737
23.3.1.1	フラッシュ・メモリCRC制御レジスタ (CRC0CTL) .....	737
23.3.1.2	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) .....	739
23.3.2	CRC演算機能 (汎用CRC) .....	741
23.3.2.1	CRC入力レジスタ (CRCIN) .....	741
23.3.2.2	CRCデータ・レジスタ (CRCD) .....	742



23.3.3 RAMパリティ・エラー検出機能	743
23.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)	743
23.3.4 RAMガード機能	744
23.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)	744
23.3.5 SFRガード機能	745
23.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)	745
23.3.6 不正メモリ・アクセス検出機能	746
23.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)	748
23.3.7 周波数検出機能	749
23.3.7.1 タイマ入力選択レジスタ0 (TIS0)	750
23.3.8 A/Dテスト機能	751
23.3.8.1 A/Dテスト・レジスタ (ADTES)	753
23.3.8.2 アナログ入力チャネル指定レジスタ (ADS)	754
<b>第24章 レギュレータ</b>	<b>756</b>
24.1 レギュレータの概要	756
<b>第25章 オプション・バイト</b>	<b>757</b>
25.1 オプション・バイトの機能	757
25.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)	757
25.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)	758
25.2 ユーザ・オプション・バイトのフォーマット	759
25.3 オンチップ・デバッグ・オプション・バイトのフォーマット	764
25.4 オプション・バイトの設定	765
<b>第26章 フラッシュ・メモリ</b>	<b>766</b>
26.1 フラッシュ・メモリ・プログラマにシリアル・プログラミング	768
26.1.1 プログラミング環境	770
26.1.2 通信方式	770
26.2 外部デバイス (UART内蔵) によるシリアル・プログラミング	771
26.2.1 プログラミング環境	771
26.2.2 通信方式	772
26.3 オンボード上の端子処理	773
26.3.1 P40/TOOL0端子	773
26.3.2 RESET端子	773
26.3.3 ポート端子	774
26.3.4 REGC端子	774
26.3.5 X1, X2端子	774
26.3.6 電 源	774
26.4 シリアル・プログラミング方法	775
26.4.1 シリアル・プログラミング手順	775
26.4.2 フラッシュ・メモリ・プログラミング・モード	776
26.4.3 通信方式	778
26.4.4 通信コマンド	778
26.5 PG-FP6使用時の各コマンド処理時間 (参考値)	780
26.6 セルフ・プログラミング	781
26.6.1 セルフ・プログラミング手順	782

26.6.2	ブート・スワップ機能 .....	783
26.6.3	フラッシュ・シールド・ウインドウ機能 .....	785
<b>26.7</b>	<b>セキュリティ設定 .....</b>	<b>786</b>
<b>26.8</b>	<b>データ・フラッシュ .....</b>	<b>788</b>
26.8.1	データ・フラッシュの概要 .....	788
26.8.2	データ・フラッシュを制御するレジスタ .....	789
26.8.3	データ・フラッシュへのアクセス手順 .....	789
<b>第27章</b>	<b>オンチップ・デバッグ機能 .....</b>	<b>791</b>
27.1	E1オンチップデバッグエミュレータとの接続 .....	791
27.2	オンチップ・デバッグ・セキュリティID .....	792
27.3	ユーザ資源の確保 .....	792
<b>第28章</b>	<b>10進補正（BCD）回路 .....</b>	<b>794</b>
28.1	10進補正回路の機能 .....	794
28.2	10進補正回路で使用するレジスタ .....	794
28.2.1	BCD補正結果レジスタ（BCDADJ） .....	794
28.3	10進補正回路の動作 .....	794
<b>第29章</b>	<b>命令セットの概要 .....</b>	<b>797</b>
29.1	凡    例 .....	797
29.1.1	オペランドの表現形式と記述方法 .....	797
29.1.2	オペレーション欄の説明 .....	799
29.1.3	フラグ動作欄の説明 .....	800
29.1.4	PREFIX命令 .....	800
29.2	オペレーション一覧 .....	801
<b>第30章</b>	<b>電気的特性 .....</b>	<b>818</b>
30.1	絶対最大定格 .....	819
30.2	動作電圧 .....	821
30.3	発振回路特性 .....	822
30.3.1	X1, XT1, XRF発振回路特性 .....	822
30.3.2	オンチップ・オシレータ特性 .....	822
30.4	DC特性 .....	823
30.4.1	出力電流 .....	823
30.4.2	入力電流 .....	824
30.4.3	出力電圧 .....	825
30.4.4	入力リーク電流 .....	825
30.4.5	抵抗 .....	826
30.5	消費電流 .....	827
30.5.1	MCU部の消費電流 .....	827
30.5.2	RF部の消費電流 .....	832
30.6	AC特性 .....	833
30.7	周辺機能特性 .....	837
30.7.1	シリアル・アレイ・ユニット .....	837
30.7.2	シリアル・インタフェースIICA .....	864
30.8	アナログ特性 .....	869
30.8.1	A/Dコンバータ特性 .....	869

30.8.2 温度センサ／内部基準電圧特性 .....	874
30.8.3 POR回路特性 .....	874
30.8.4 LVD回路特性 .....	875
30.8.5 電源電圧立ち上げ傾き .....	876
<b>30.9 RFトランシーバ特性.....</b>	<b>877</b>
30.9.1 RF送信特性 .....	877
30.9.2 RF受信特性 .....	878
30.9.3 Typical特性図（参考） .....	879
<b>30.10 RAMデータ保持特性.....</b>	<b>883</b>
<b>30.11 フラッシュ・メモリ・プログラミング特性 .....</b>	<b>883</b>
<b>30.12 専用フラッシュ・メモリ・プログラミング通信（UART） .....</b>	<b>883</b>
<b>30.13 フラッシュ・メモリ・プログラミング・モード引き込みタイミング.....</b>	<b>884</b>
<b>第31章 外形図.....</b>	<b>885</b>
31.1 48ピン・プラスチックWQFN (6 × 6) .....	885
<b>付録A 改版履歴.....</b>	<b>886</b>
A. 1 本版で修正した箇所.....	886
A. 2 前版までの改版履歴.....	888

## 第1章 概 説

- ★ RL78/G1Dは、Bluetooth ver.4.2 (Low Energy Single mode)仕様に対応した低消費電力RFトランシーバと、RL78 CPUコアを搭載したマイクロコンピュータです。

### 1.1 特 徴

#### 超低消費電力テクノロジー

- MCU部 スタンバイ機能 HALTモード, STOPモード, SNOOZEモード
- RF部 スタンバイ機能 POWER\_DOWNモード, RESET\_RFモード, STANDBY\_RFモード, IDLE\_RFモード, DEEP\_SLEEPモード, SLEEP\_RFモード
- RF動作 送信電流 (RFノーマルモード時) : 4.3 mA (TYP.) (3.0V / MCU部STOPモード時)  
(RF Low Powerモード時) : 2.6 mA (TYP.) (3.0V / MCU部STOPモード時)
- RF動作 受信動作 (RFノーマルモード時) : 3.5 mA (TYP.) (3.0V / MCU部STOPモード時)  
(RF Low Powerモード時) : 3.3 mA (TYP.) (3.0V / MCU部STOPモード時)
- RF動作 スリープ (POWER\_DOWNモード) 動作 : 0.10  $\mu$ A (TYP.) (3.0V / MCU部STOPモード時)

- ★ RL78-S2 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速 (0.03125  $\mu$ s : 高速オンチップ・オシレータ・クロック32 MHz動作時) から超低速 (30.5  $\mu$ s : サブシステム・クロック32.768 kHz動作時) までを変更可能
- アドレス空間：1Mバイト
- 汎用レジスタ：8ビット・レジスタ $\times$ 8 $\times$ 4バンク
- 内蔵RAM：12KB $\sim$ 20KB

#### RFトランシーバ内蔵

- ★
- Bluetooth v4.2 Specification (Low Energy Single mode)
  - 2.4GHz ISM Band, GFSK変調, TDMA/TDD Frequency hopping (AES暗号回路内蔵)
  - スレーブ動作時専用, アダプタブル機能搭載

## コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ : 128KB~256KB
- ブロック・サイズ : 1KB
- ブロック消去禁止, 書き換え禁止 (セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング ; ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

## データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ : 8KB
- バックグラウンド・オペレーション (BGO) ; データ・フラッシュ書き換え中に, プログラム・メモリ内の命令実行が可能
- 書き換え回数 : 1,000,000回 (TYP.)
- 書き換え電圧 :  $V_{DD} = 1.8 \sim 3.6 \text{ V}$

## 高速オンチップ・オシレータ

- 32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHzから選択
- 高精度 $\pm 1.0\%$  ( $V_{DD} = 1.8 \sim 3.6 \text{ V}$ ,  $T_A = -20 \sim +85 \text{ }^\circ\text{C}$ )

## 低速オンチップ・オシレータ

- 15 kHz (TYP.)

## RFスロー・クロック用オンチップ・オシレータ

- 32.768 kHz (TYP.)

## 動作周囲温度

- $T_A = -40 \sim +85 \text{ }^\circ\text{C}$  (A : 民生用途, D : 産業用途)

## 電源管理とリセット機能

- パワーオン・リセット (POR) 回路内蔵
- 電圧検出 (LVD) 回路内蔵 (割り込み, リセットを12段階で選択)

## DMA (Direct Memory Access) コントローラ

- 4チャンネル搭載
- 8ビット/16ビットのSFR $\leftrightarrow$ 内蔵RAM間の転送が2クロック

## 乗除・積和演算器

- 16ビット $\times$ 16ビット = 32ビット (符号付/符号なし)
- 32ビット $\div$ 32ビット = 32ビット (符号なし)
- 16ビット $\times$ 16ビット+32ビット = 32ビット (符号付/符号なし)

## シリアル・インタフェース

- CSI : 2チャンネル
- UART : 2チャンネル
- I<sup>2</sup>C/簡易I<sup>2</sup>C : 3チャンネル

## タイマ

- 16ビット・タイマ : 8チャンネル
- 12ビット・インターバル・タイマ : 1チャンネル
- リアルタイム・クロック : 1チャンネル (99年カレンダー, アラーム機能, 時計補正機能)
- ウォッチドッグ・タイマ : 1チャンネル (専用の低速オンチップ・オシレータ・クロックで動作可能)

## A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ ( $V_{DD} = 1.6 \sim 3.6 \text{ V}$ )
- アナログ入力 : 8チャンネル
- 内部基準電圧 (1.45 V) と温度センサを搭載<sup>※</sup>

## 入出力ポート

- I/Oポート : 32本 (N-chオープン・ドレイン入出力[6V耐圧] : 2本, N-chオープン・ドレイン入出力[ $V_{DD}$ 耐圧] : 9本)
- N-chオープン・ドレイン, TTL入力バッファ, 内蔵プルアップの切り替え可能
- 異電位 (1.8/2.5 V系) 動作デバイスと接続可能
- クロック出力/ブザー出力制御回路内蔵

## その他

- 10進補正 (BCD) 回路内蔵

注 HS (高速メイン) モードのみ選択可能

- ROM, RAM容量

フラッシュROM	データ・フラッシュ	RAM	RL78/G1D
128 KB	8 KB	12 KB	R5F11AGG
192 KB	8 KB	16 KB	R5F11AGH
256 KB	8 KB	20 KB <sup>※</sup>	R5F11AGJ

注 セルフ・プログラミング機能使用時は19 Kバイト (詳細は, 第4章参照)

## 1.2 型名一覧

図1-1 RL78/G1Dの型名とメモリ・サイズ、パッケージ

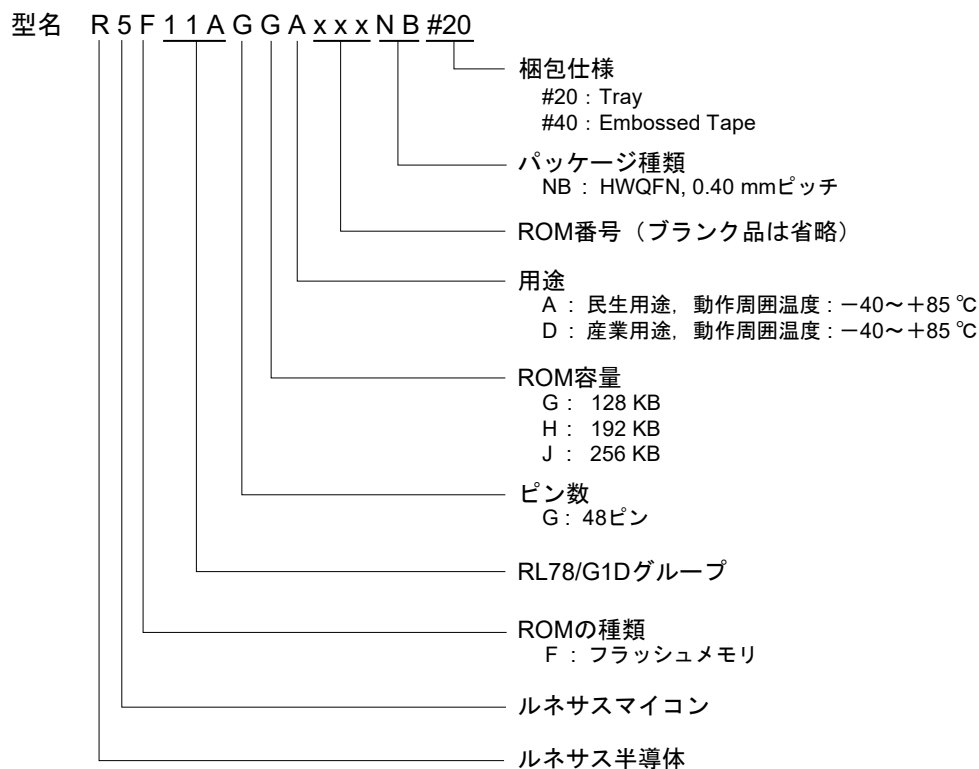


表1-1 発注型名一覧

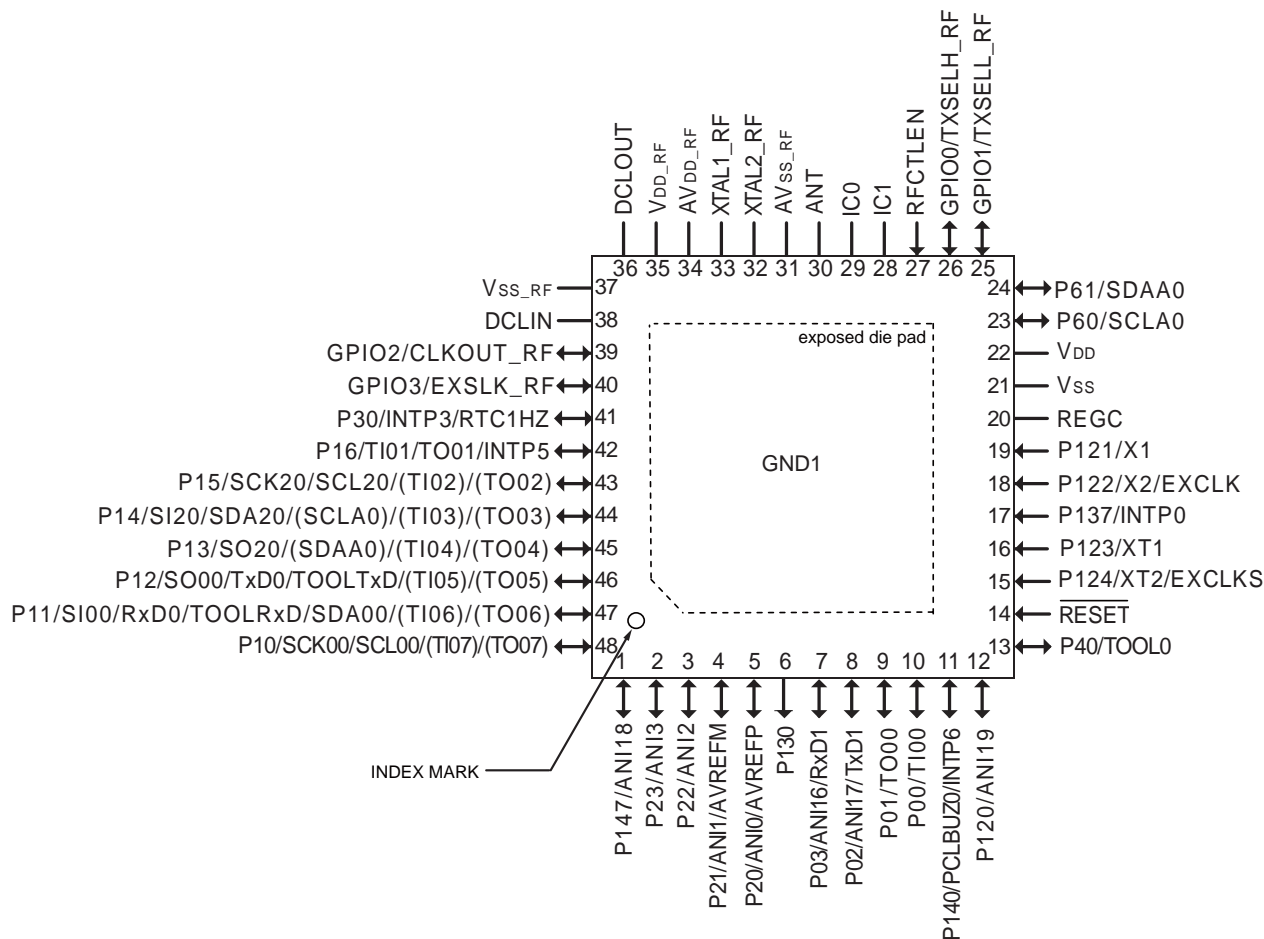
ピン数	パッケージ	用途・区分*	発注型名	コード・フラッシュ ユ・メモリ	データ・フラッシュ ユ・メモリ
48ピン	プラスチックWQFN (6×6)	A	R5F11AGGANB#20, R5F11AGGANB#40	128 KB	8 KB
		D	R5F11AGGDNB#20, R5F11AGGDNB#40		
		A	R5F11AGHANB#20, R5F11AGHANB#40	192 KB	8 KB
		D	R5F11AGHDNB#20, R5F11AGHDNB#40		
		A	R5F11AGJANB#20, R5F11AGJANB#40	256 KB	8 KB
		D	R5F11AGJDNB#20, R5F11AGJDNB#40		

注 用途区分は、図1-1 RL78/G1Dの型名とメモリ・サイズ、パッケージを参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

### 1.3 端子接続図 (Top View)

- 48ピン・プラスチックWQFN (6×6mm, 0.4mmピッチ)



注意1. REGCはコンデンサ (0.47~1  $\mu$ F) を介し、VSSに接続してください。

2. パッケージ裏面の金属パッド (GND1) はAVSS\_RFと同電位に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

2. 上図の ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

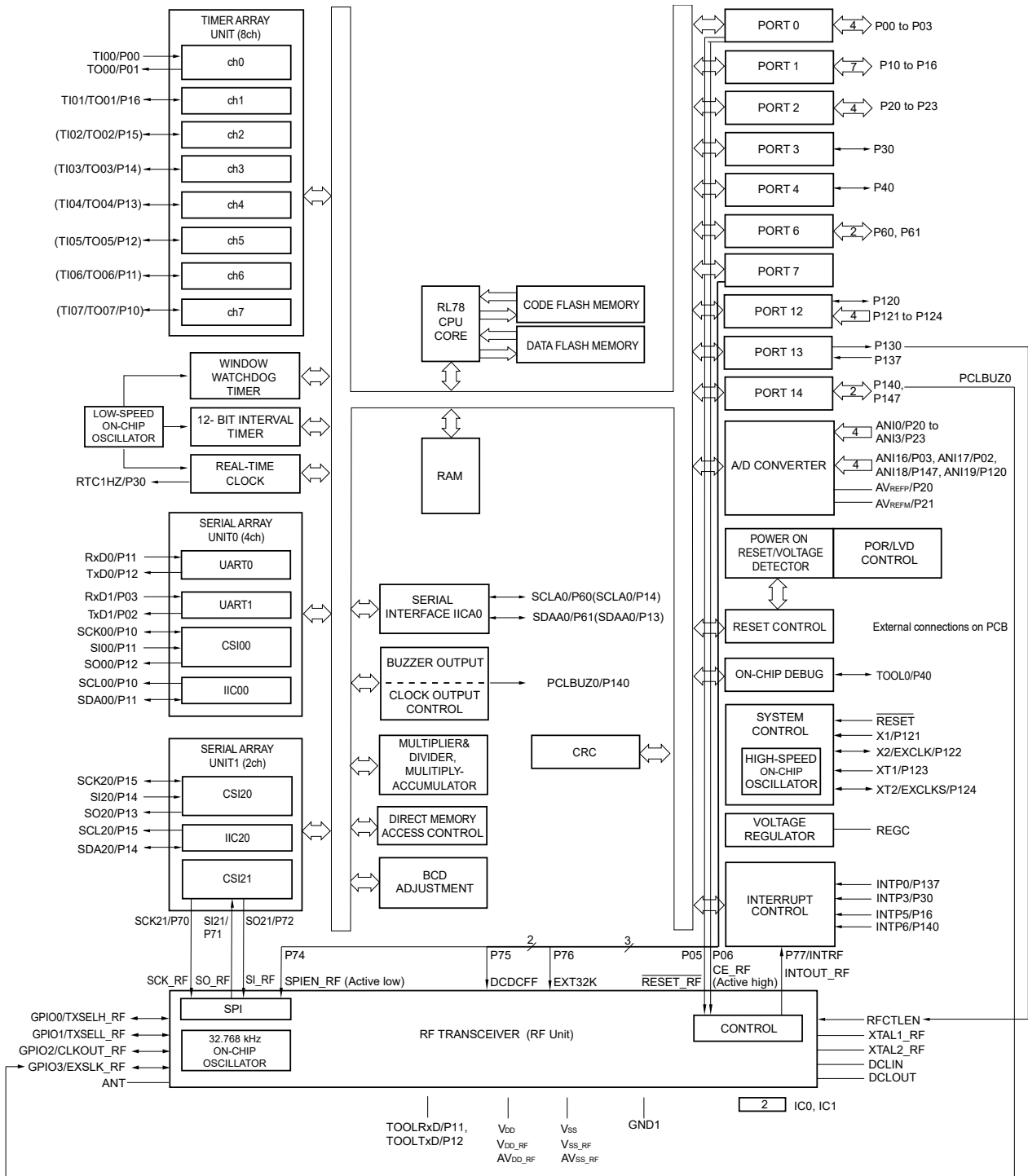
図5-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。



## 1.4 端子名称

ANI0 - ANI3	:Analog input	PCLBUZ0	:Programmable clock output/buzzer output
ANI16 - ANI19			
ANT	:Antenna connection	REGC	:Regulator capacitance
AV <sub>DD_RF</sub>	:Power Supply for RF analog	RFCTLEN	:RF control enable
AV <sub>REFM</sub>	:Analog reference voltage minus	RTC1HZ	:Real-time clock correction clock (1 Hz) output
AV <sub>REFP</sub>	:Analog reference voltage plus	$\overline{\text{RESET}}$	:Reset
AV <sub>SS_RF</sub>	:Ground for RF analog	RxD0, RxD1	:Receive data
CLKOUT_RF	:Clock output	SCLA0,	:Serial clock input/output
DCLIN	:DC-DC converter inductor and DCLOUT capacitor	SCK00, SCK20	
DCLOUT	:DC-DC converter output	SCL00, SCL20	:Serial clock output
EXCLK	:External clock input (Main system clock)	SDAA0, SDA00, SDA20	:Serial data input/output
EXCLKS	:External clock input (Subsystem clock)	SI00, SI20	:Serial data input
EXSLK_RF	:External slow clock input	SO00, SO20	:Serial data output
GND1	:Package exposed die pad	TI00 to TI07	:Timer input
GPIO0 to GPIO3	:GPIO at RF unit	TO00 to TO07	:Timer output
IC0, IC1	:Internal circuit	TOOL0	:Data input/output for tool
INTP0, INTP3, INTP5	:External interrupt input	TOOLRxD, TOOLTxD:	:Data input/output for external device
INTP6		TxD0, TxD1	:Transmit data
P00 to P03	:Port 0	TXSELL_RF	:External PA/LNA control
P10 to P16	:Port 1	TXSELH_RF	
P20 to P23	:Port 2	V <sub>DD</sub>	:Power supply
P30	:Port 3	V <sub>DD_RF</sub>	:Power Supply for RF
P40	:Port 4	V <sub>SS</sub>	:Ground
P60, P61	:Port 6	V <sub>SS_RF</sub>	:Ground for RF
P120 to P124	:Port 12	X1, X2	:Crystal oscillator (Main System Clock)
P130, P137	:Port 13	XT1, XT2	:Crystal oscillator (Subsystem Clock)
P140, P147	:Port 14	XTAL1_RF,	:Crystal Oscillator(RF Clock)
		XTAL2_RF	

★ 1.5 ブロック図



備考 上図の ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。  
 図5-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

## 1.6 機能概要

注意 周辺I/Oリダイレクション・レジスタ（PIOR）を00Hに設定時の機能概要です。

(1/2)

項 目		R5F11AGG	R5F11AGH	R5F11AGJ
コード・フラッシュ・メモリ		128 Kバイト	192 Kバイト	256 Kバイト
データ・フラッシュ・メモリ		8 Kバイト	8 Kバイト	8 Kバイト
RAM		12 Kバイト	16 Kバイト	20 Kバイト <sup>注1</sup>
アドレス空間		1 Mバイト		
RF基準クロック		32 MHz		
メイン・システム・クロック	高速システム・クロック	X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） HS（高速メイン）モード：1~20 MHz（V <sub>DD</sub> = 2.7~3.6 V）， HS（高速メイン）モード：1~16 MHz（V <sub>DD</sub> = 2.4~3.6 V）， LS（低速メイン）モード：1~8 MHz（V <sub>DD</sub> = 1.8~3.6 V）， LV（低電圧メイン）モード：1~4 MHz（V <sub>DD</sub> = 1.6~3.6 V）		
	高速オンチップ・オシレータ・クロック	HS（高速メイン）モード：1~32MHz（V <sub>DD</sub> = 2.7~3.6 V） HS（高速メイン）モード：1~16MHz（V <sub>DD</sub> = 2.4~3.6 V） LS（低速メイン）モード：1~8MHz（V <sub>DD</sub> = 1.8~3.6 V） LV（低電圧メイン）モード：1~4MHz（V <sub>DD</sub> = 1.6~3.6 V）		
サブシステム・クロック		XT1（水晶）発振，外部サブシステム・クロック入力（EXCLKS） 32.768 kHz		
RFスロー・クロック	外部入力	RF部用外部クロック入力（EXSLK_RF） 32.768 kHz（TYP.）		
	オンチップ・オシレータ	32.768 kHz（TYP.）		
低速オンチップ・オシレータ・クロック		15 kHz（TYP.）		
汎用レジスタ		（8ビット・レジスタ×8）×4バンク		
最小命令実行時間		0.03125 μs（高速内蔵発振クロック：f <sub>IH</sub> = 32 MHz動作時）		
		0.05 μs（高速システム・クロック：f <sub>MX</sub> = 20 MHz動作時）		
		30.5 μs（サブシステム・クロック：f <sub>SUB</sub> = 32.768 kHz動作時）		
命令セット		<ul style="list-style-type: none"> <li>・データ転送（8/16ビット）</li> <li>・加減／論理演算（8/16ビット）</li> <li>・乗算（8ビット×8ビット）</li> <li>・ローテート，パレル・シフト，ビット操作（セット，リセット，テスト，ブール演算）など</li> </ul>		
I/Oポート	合計	32 <sup>注2</sup>		
	CMOS入出力	20 <sup>注2</sup>		
	CMOS入力	5 <sup>注2</sup>		
	CMOS出力	1 <sup>注2</sup>		
	N-ch O.D.入出力(6V耐圧)	2		
	GPIO（RF部）	4		
★ 2.4GHz RFトランシーバ		Bluetooth v4.2 Specification (Low Energy Single mode) 対応 2.4 GHz ISM Band, GFSK変調, TDMA/TDD Frequency Hopping (AES暗号回路内蔵) アダプタブル機能(スレーブ動作時のみ)		

注1. セルフ・プログラミング機能使用時は約19 Kバイト

2. RFを使用する場合，MCUとRFトランシーバ間をユーザにて基板上で外部接続する端子を含みます。

(2/2)

項 目		R5F11AGG	R5F11AGH	R5F11AGJ
タイマ	16ビット・タイマ	8チャンネル		
	ウォッチドッグ・タイマ	1チャンネル		
	リアルタイム・クロック (RTC)	1チャンネル		
	12ビット・インターバル・タイマ	1チャンネル		
タイマ	タイマ出力	8本 (PWM出力 : 7本 <sup>注1</sup> ) <sup>注2</sup>		
	RTC出力	1本 ・ 1 Hz (サブシステム・クロック : $f_{SUB} = 32.768$ kHz)		
クロック出力/ブザー出力		1本 <sup>注3</sup> ・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : $f_{MAIN} = 20$ MHz動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : $f_{SUB} = 32.768$ kHz動作時)		
	RF部(クロック出力)	1本 ・ 16 MHz, 8 MHz, 4 MHz		
8/10ビット分解能A/Dコンバータ		8チャンネル		
シリアル・インタフェース		<ul style="list-style-type: none"> <li>・ CSI/簡易I<sup>2</sup>C/UART : 1チャンネル</li> <li>・ CSI/簡易I<sup>2</sup>C : 1チャンネル</li> <li>・ UART : 1チャンネル</li> <li>・ CSI : 1チャンネル (内部通信専用)</li> </ul>		
	I <sup>2</sup> Cバス	1チャンネル		
乗除・積和演算器		乗算 : 16ビット×16ビット = 32ビット (符号付/符号なし) 除算 : 32ビット÷32ビット = 32ビット (符号なし) 積和演算 : 16ビット×16ビット+32ビット = 32ビット (符号付/符号なし)		
DMAコントローラ		4チャンネル		
ベクタ割り込み要因	内部	29		
	外部	4		
リセット		<ul style="list-style-type: none"> <li>・ RESET端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ パワーオン・リセットによる内部リセット</li> <li>・ 電圧検出回路による内部リセット</li> <li>・ 不正命令の実行による内部リセット<sup>注4</sup></li> <li>・ RAMパリティ・エラーによる内部リセット</li> <li>・ 不正メモリ・アクセスによる内部リセット</li> </ul>		
パワーオン・リセット回路		<ul style="list-style-type: none"> <li>・ パワーオン・リセット : 1.51 (TYP.)</li> <li>・ パワーダウン・リセット : 1.50 (TYP.)</li> </ul>		
電圧検出回路		<ul style="list-style-type: none"> <li>・ 立ち上がり : 1.67 V~3.13 V (12段階)</li> <li>・ 立ち下がり : 1.63 V~3.06 V (12段階)</li> </ul>		
オンチップ・デバッグ機能		あり		
電源電圧		$V_{DD} = 1.6V \sim 3.6V$ (DC-DCコンバータ未使用時) $V_{DD} = 1.8V \sim 3.6V$ (DC-DCコンバータ使用時)		
動作温度範囲		$T_A = -40^{\circ}C \sim +85^{\circ}C$		
パッケージ		48ピンQFN (6x6) (0.4 mmピッチ)		

(注は、次ページにあります。)

- 注1. 使用チャネルの設定（マスタとスレーブの数）によって、PWM出力数は変わります（7.9.3 多重PWM出力機能としての動作参照）。
2. PIOR0 = 1に設定した場合です。
  3. RFを使用する場合、MCUとRFトランシーバ間をユーザにて基板上で外部接続する端子を含みます。
  4. FFHの命令コードを実行したときに発生します。  
不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

## 第2章 MCUとRFトランシーバの接続

### 2.1 MCUとRFトランシーバの接続端子

本製品の内部構造は、MCU部（RF部以外）とRF部（RFトランシーバ）の2つのユニットで大きくは構成されています。2つのユニットは、内部および外部での接続が必要であり、MCU部からSPI通信にて、RF部を制御しています。そのため、2つのユニット間の内部端子の処理、および内部通信設定が必要となります。

RL78/G1Dの内部で接続されている端子を表2-1に示します。また、Bluetooth Low Energyを正常動作させるために、ユーザ基板上において接続が必要な端子を表2-2に示します。

また、これらの端子はRFトランシーバとの通信を開始する前に適切なモード／レベルの初期設定を、ルネサス製Bluetooth Low Energyソフトウェア・スタックを使用することにより、設定されます。

表2-1 内部端子接続

端子名称		機能	方向
MCU部	RF部		
P05	RESET_RF	RF部（ベースバンド部）のハードウェア・リセットです。RESET_RFはロウ・レベルでRF部（ベースバンド部）はリセット状態になります。MCU部の内部ポートであるP05にてRESET_RFを制御します。	MCU→ RFトランシーバ
P06	CE_RF	RF部のチップ・セレクト信号です。CE_RFはハイ・レベルでRF部はイネーブルになります。MCU部の内部ポートであるP06にてCE_RFを制御します。	MCU→ RFトランシーバ
P70/SCK21	SCK_RF	MCU部とRF部間の内部通信用SPIインタフェースの動作クロックです。内部通信専用のため、外部との通信用には使用できません。	MCU→ RFトランシーバ
P71/SI21	SO_RF	MCU部とRF部間の内部通信用SPIインタフェースのデータ(MCU部: 入力データ, RF部: 出力データ)です。内部通信専用のため、外部との通信用には使用できません。	RFトランシーバ→ MCU
P72/SO21	SI_RF	MCU部とRF部間の内部通信用SPIインタフェースのデータ(MCU部: 出力データ, RF部: 入力データ)です。内部通信専用のため、外部との通信用には使用できません。	MCU→ RFトランシーバ
P74	SPIEN_RF	MCU部とRF部間の内部通信用SPIインタフェース（RF部）の通信許可制御です。 SPIEN_RFはロウ・レベルでアクティブ（SPI通信可）になります。MCU部の内部ポートであるP74にてSPIEN_RFを制御します。	MCU→ RFトランシーバ
P75	DCDCOFF	RF部内蔵のDC-DCコンバータの使用可否制御です。 DCDCOFFがロウ・レベルで使用、DCDCOFFがハイ・レベルで未使用となります。MCU部の内部ポートであるP75にてDCDCOFFを制御します。	MCU→ RFトランシーバ
P76	EXT32K	RF部内蔵のRFスロー・クロック用オンチップ・オシレータの使用可否制御です。RF部内蔵のRFスロー・クロック用オンチップ・オシレータを使用の場合、EXT32Kはロウ・レベルで使用してください。RF部内蔵のRFスロー・クロック用オンチップ・オシレータを使用しない場合、EXT32Kはハイ・レベルで使用してください。32kHzは外部（EXSLK_RF端子）から供給してください。	MCU→ RFトランシーバ
P77/INTRF	INTOUT_RF	RF部に割り込み要因が発生すると、そのステータスがINTOUT_RF端子より出力されます。 INTOUT_RF端子は、内部でINTRF端子に接続されているため、その割り込みステータスをMCUが受けることが可能となっています。	RFトランシーバ→ MCU

表2-2 ユーザ基板上で外部接続する端子

端子名称		機能	方向
MCU部	RF部		
P130	RFCTLEN	RF部の制御用信号（ハイ：有効，ロウ：無効）です。MCU部のリセット解除（P130端子のロウからハイ）と連動して，RF部が制御可能です。本制御がディセーブル状態ですと，RFトランシーバ内部回路に電源が供給されず，RF部に搭載している機能は動作しません。	MCU→ RFトランシーバ
P140/ PCLBUZO/INTP6	GPIO3/EXSLK_RF	RFスロー・クロック用オンチップ・オシレータを使用しない（EXT32Kをハイ・レベル）場合、RFスロー・クロックは、外部供給する必要があるため、本端子接続をしてください。 PCLBUZO(サブ・クロック出力)端子から、クロック出力することにより、EXSLK_RF端子から、RFスロー・クロックが供給されます。	MCU→ RFトランシーバ

## 2.2 MCUとRFトランシーバ間の通信インタフェース

MCU部とRF部の内部接続のSPI通信には、3線シリアルI/O(CSI)を使用します。MCU部からRF部との送受信は、MCU部からRF部へ転送クロックを出力しデータの送受信をします。3線シリアルI/O(CSI)の動作を表2-3に示します。

表2-3 MCUとRFトランシーバ間の3線シリアルI/O

3線シリアルI/O	CSI21（MCU部とRF部との通信専用）
対象チャンネル	SAU1のチャンネル1
使用端子	SCK21, SI21, SO21 (通信用内部接続端子) P74 (RF部SPIEN_RF端子制御用 (ロウ・レベルでアクティブ) 内部接続端子)
動作モード	送信モード/送受信モード
マスタ/スレーブ	マスタ
割り込み	INTCSI21 転送完了割り込み（シングル転送モード時）か、 バッファ空き割り込み（連続転送モード時）を選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF21）
転送データ長	8ビット長
転送レート	電気的特性のAC特性を満たす範囲内
データ位相	タイプ1（シリアル通信動作設定mn（SCRmn）のフォーマット参照）
クロック位相	タイプ1（シリアル通信動作設定mn（SCRmn）のフォーマット参照）
データ方向	MSBファースト

**注意** この条件を満たし、かつ電気的特性のAC特性（第30章 電気的特性参照）を満たす範囲内で使用してください。



## 2.3 MCUの未使用内部端子の初期設定

MCUの次の内部端子は、リセット解除後にソフトウェアで出力モード（ポート・レジスタとポート・モード・レジスタに0を設定）設定する必要があります。ルネサス製Bluetooth Low Energyソフトウェア・スタックを使用することにより、適切な初期設定がされます。

- ★ P04, P17, P24-P27, P31, P41-P47, P50-P57, P62-P67, P73, P80-P87, P100-P102, P110, P111, P141-P146, P150-P156

## 2.4 Bluetooth Low Energy動作クロック

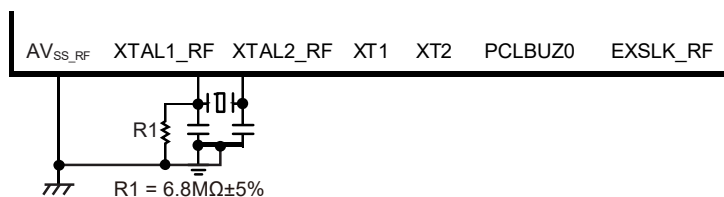
Bluetooth Low Energy動作には、RF内部回路に使用するRF基準クロックとなる高速の32MHzクロックと、低速の32.768kHzクロック（RFスロー・クロック）が必要となります。

高速であるRF基準クロックは、外付け水晶振動子を接続することで、32MHzを生成します。低速であるRFスロー・クロックは、RF内部のオンチップ・オシレータを使用するか、EXSLK\_RF端子に方形波入力して使用するか、の選択が可能です。EXSLK\_RF端子に方形波入力して使用する場合は、ルネサス製Bluetooth Low Energyソフトウェア・スタックでは、EXSLK\_RFに方形波入力するために、PCLBUZ0端子より、サブ・クロック出力が設定されます。そのため、ユーザ基板上で、PCLBUZ0端子とEXSLK\_RF端子を接続してください。クロック発振子接続を表2-4、表2-5に、クロック構成を図2-1、図2-2に示します。

表2-4 クロック発振子接続（RFスロー・クロックにオンチップ・オシレータを使用）

端子名称	機能
XTAL1_RF	RF部の基準クロックです。
XTAL2_RF	32 MHz水晶振動子を接続してください。 6.8MΩ±5%の抵抗をXTAL1_RF端子とGND(AV <sub>SS_RF</sub> 端子)間に必ず実装してください。
P123/XT1	—
P124/XT2/EXCLKS	—

図2-1 クロック構成（RFスロー・クロックにオンチップ・オシレータを使用）

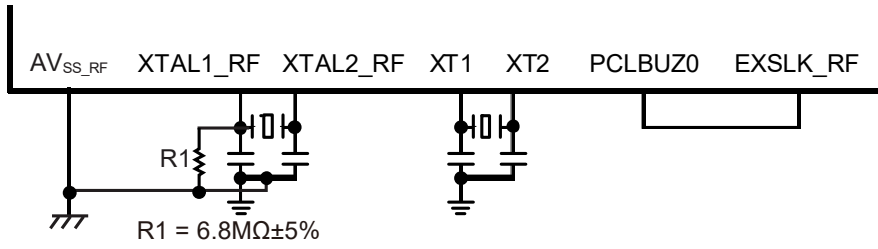


**注意** クロック発振子とクロック・ラインの接続のみを示すものです。

表2-5 クロック発振子接続（RFスロー・クロックに方形波入力を使用）

端子名称	機能
XTAL1_RF	RF部の基準クロックです。
XTAL2_RF	32 MHz水晶振動子を接続してください。 6.8MΩ±5%の抵抗をXTAL1_RF端子とGND(AV <sub>SS_RF</sub> 端子)間に必ず実装してください。
P123/XT1	通信タイミング制御のためのスロー・クロックです。
P124/XT2/EXCLKS	32.768 kHz水晶振動子を接続してください。

図2-2 クロック構成 (RFスロー・クロックに方形波入力を使用)



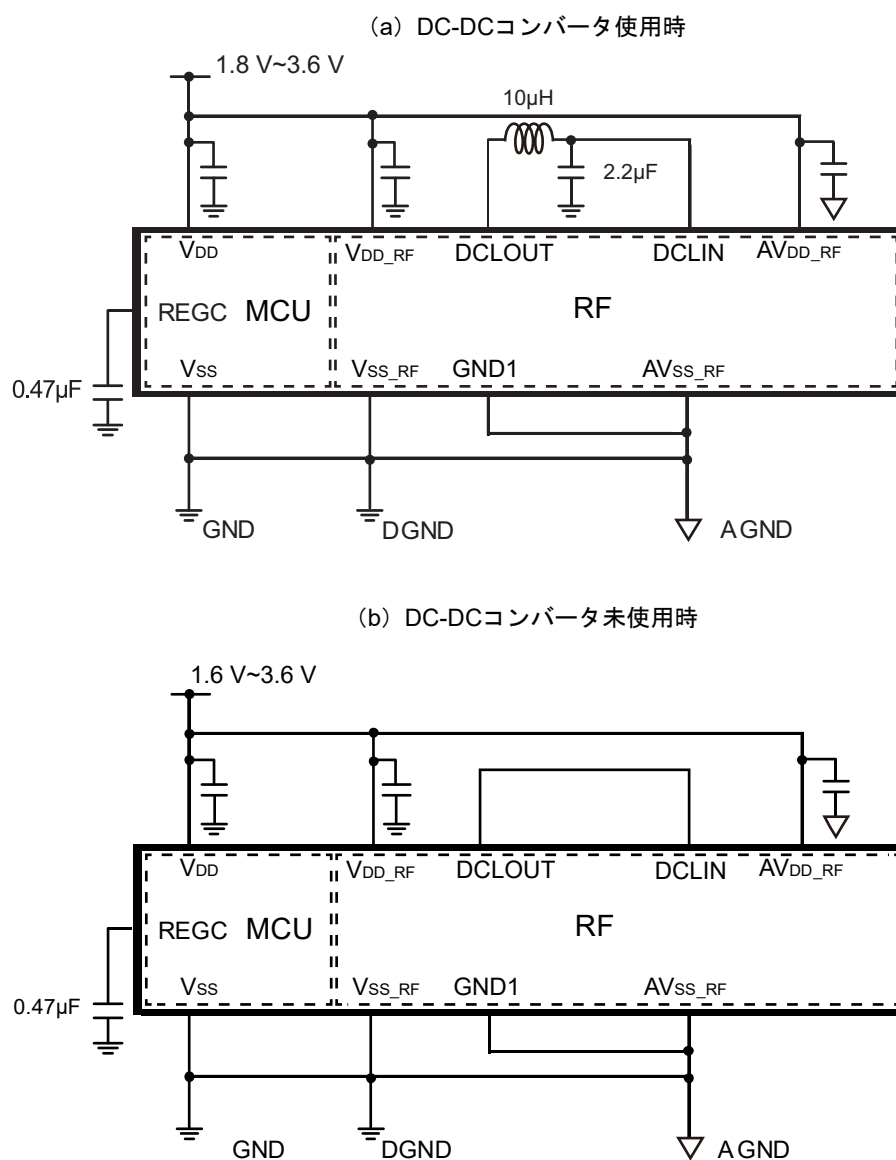
注意 クロック発振子とクロック・ラインの接続のみを示すものです。

## 2.5 電源構成

電源は、MCU部とRF部とそれぞれに供給します。RF部には、DC-DCコンバータを内蔵しています。内蔵されるDC-DCコンバータは、ユーザにて使用可否が選択できるため、ユーザ・アプリケーションにより、最適な構成を選定できます。DC-DCコンバータを使用する場合、DC-DCコンバータでスイッチングされた電源がDCLOUT端子に出力されます。インダクタとコンデンサで平滑化して電圧を降圧してDCLINに供給して使用します。

RL78/G1Dの電源構成を図2-3に示します。

図2-3 電源構成



**注意1** RF電源端子( $V_{DD\_RF}$ ,  $AV_{DD\_RF}$ )へのノイズは出来る限り低く抑えるようノイズ対策をしてください。特に、電源供給源としてスイッチング電源を使用するときなど、周期的な電源ノイズが発生する場合には、お客様の機器・システムに合わせたノイズ対策が必要となる可能性があります。お客様にて、機器・システムの動作確認を十分に行ってください。

**注意2** 電源供給ラインのみを示すものです。

## 第3章 端子機能

### 3.1 ポート機能

それぞれの電源と端子の関係を次に示します。

表3-1 各端子の入出力バッファ電源

電源	対応する端子
V <sub>DD</sub>	・ P00-P03, P10-P16, P20-P23, P30, P40, P60, P61, P120-P124, P130, P137, P140, P147 ・ $\overline{\text{RESET}}$ , REGC
V <sub>DD_RF</sub>	GPIO0, GPIO1, GPIO2, GPIO3, RFCTLEN

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-2	入出力	入力ポート	TI00	ポート0。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01, P03の入力はTTL入力バッファに設定可能。 P00, P02, P03の出力はN-chオープン・ドレイン出力 ( $V_{DD}$ 耐圧) に設定可能。 P02, P03はアナログ入みに設定可能 <sup>※1</sup> 。
P01	8-1-1			TO00	
P02	7-3-2		アナログ入力	ANI17/TxD1	
P03	8-3-2			ANI16/RxD1	
P10	8-1-2	入出力	入力ポート	SCK00/SCL00/ (TI07)/(TO07)	ポート1。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P16の入力はTTL入力バッファに設定可能。 P10-P15の出力はN-chオープン・ドレイン出力 ( $V_{DD}$ 耐圧) に設定可能。
P11				SI00/RxD0/TOOLRxD /SDA00/(TI06)/(TO06)	
P12	7-1-2			SO00/TxD0/TOOLTxD/ (TI05)/(TO05)	
P13	8-1-2			SO20/(SDAA0)/(TI04)/(TO04)	
P14				SI20/SDA20/(SCLA0)/(TI03)/(TO03)	
P15				SCK20/SCL20/(TI02)/(TO02)	
P16	8-1-1			TI01/TO01/INTP5	
P20	4-3-1	入出力	アナログ入力	ANI0/ $AV_{REFP}$	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入みに設定可能 <sup>※2</sup> 。
P21				ANI1/ $AV_{REFM}$	
P22				ANI2	
P23				ANI3	
P30	7-1-1	入出力	入力ポート	INTP3/RTC1HZ	ポート3。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P40	7-1-1	入出力	入力ポート	TOOL0	ポート4。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

**注1.** 各端子をデジタル／アナログのいずれかにするかは、ポート・モード・コントロール・レジスタ× (PMC×) で設定してます (1ビット単位で設定可能)。

**2.** 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC) で設定します。

**備考** 上図の ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。詳細は、図5-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを参照してください。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P60	12-1-1	入出力	入力ポート	(SCLA0)	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6V耐圧）。
P61				(SDAA0)	
P120	7-3-1	入出力	アナログ入力	ANI19	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120のみ、入力／出力の指定可能。 P120のみ、入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能 <sup>※</sup> 。 RFを使用する場合、P123,P124に32.768kHzの発振子を接続することにより、RFスロー・クロックとしても使用可能です。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。 RFを使用する場合、P130はRF制御に使用しません。
P140	7-1-1	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能 <sup>※</sup> 。
P147	7-3-1		アナログ入力	ANI18	
GPIO0	R-12	入出力	入力ポート	TXSELH_RF	GPIOポート。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
GPIO1				TXSELL_RF	
GPIO2				CLKOUT_RF	
GPIO3				EXSLK_RF	

**注** 各端子をデジタル／アナログのいずれかにするかは、ポート・モード・コントロール・レジスタ×（PMC×）で設定して下さ（1ビット単位で設定可能）。

## 3.2 ポート以外の機能

(1/3)

機能名称	端子タイプ	入出力	機 能
ANI0	4-3-1	入力	A/Dコンバータのアナログ入力（図12-44 アナログ入力端子の処理参照）
ANI1	4-3-1		
ANI2	4-3-1		
ANI3	4-3-1		
ANI16	8-3-2		
ANI17	7-3-2		
ANI18	7-3-1		
ANI19	7-3-1		
INTP0	2-1-2	入力	外部割り込み入力 有効エッジ指定：立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ
INTP3	7-1-1		
INTP5	8-1-1		
INTP6	7-1-1		
PCLBUZ0	7-1-1	出力	クロック出力／ブザー出力 RFを使用する場合、サブ・クロック出力させることにより、RFスロー・クロックとしても使用可能です。その場合、EXSLK_RF端子と接続してください。
REGC	—	—	内部動作レギュレータ出力安定容量接続。 コンデンサ（0.47～1 μF）を介し、V <sub>SS</sub> に接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RTC1HZ	7-1-1	出力	リアルタイム・クロック補正クロック（1 Hz）出力
RESET	2-1-1	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は、直接または抵抗を介してV <sub>DD</sub> に接続してください。
RxD0	8-1-2	入力	シリアル・インタフェースUART0のシリアル・データ入力
RxD1	8-3-2		シリアル・インタフェースUART1のシリアル・データ入力
TxD0	7-1-2	出力	シリアル・インタフェースUART0のシリアル・データ出力
TxD1	7-3-2		シリアル・インタフェースUART1のシリアル・データ出力
SCK00,SCK20	8-1-2	入出力	シリアル・インタフェースCSI00, CSI20のクロック入力／出力
SCL00,SCL20	8-1-2	出力	シリアル・インタフェースIIC00, IIC20のクロック出力
SDA00	8-1-2	入出力	シリアル・インタフェースIIC00のシリアル・データ入出力
SDA20	8-3-2		シリアル・インタフェースIIC20のシリアル・データ入出力
SI00	8-1-2	入力	シリアル・インタフェースCSI00のシリアル・データ入力
SI20	8-1-2		シリアル・インタフェースCSI20のシリアル・データ入力
SO00	7-1-2	出力	シリアル・インタフェースCSI00のシリアル・データ出力
SO20	8-1-2		シリアル・インタフェースCSI20のシリアル・データ出力
SCLA0	12-1-1	入出力	シリアル・インタフェースIICA0のクロック入力／出力
SDAA0	12-1-1		シリアル・インタフェースIICA0のシリアル・データ入出力
TI00	7-1-2	入力	16ビット・タイマ00への外部カウント・クロック／キャプチャ・トリガ入力
TI01	8-1-1	入力	16ビット・タイマ01への外部カウント・クロック／キャプチャ・トリガ入力
TI02	8-1-2	入力	16ビット・タイマ02への外部カウント・クロック／キャプチャ・トリガ入力
TI03	7-1-1	入力	16ビット・タイマ03への外部カウント・クロック／キャプチャ・トリガ入力
TI04	7-1-1	入力	16ビット・タイマ04への外部カウント・クロック／キャプチャ・トリガ入力

(2/3)

機能名称	端子タイプ	入出力	機 能
TI05	7-1-1	入力	16ビット・タイマ05への外部カウント・クロック／キャプチャ・トリガ入力
TI06	7-1-1	入力	16ビット・タイマ06への外部カウント・クロック／キャプチャ・トリガ入力
TI07	7-1-1	入力	16ビット・タイマ07への外部カウント・クロック／キャプチャ・トリガ入力
TO00	8-1-1	出力	16ビット・タイマ00のタイマ出力
TO01	8-1-1	出力	16ビット・タイマ01のタイマ出力
TO02	8-1-2	出力	16ビット・タイマ02のタイマ出力
TO03	7-1-1	出力	16ビット・タイマ03のタイマ出力
TO04	7-1-1	出力	16ビット・タイマ04のタイマ出力
TO05	7-1-1	出力	16ビット・タイマ05のタイマ出力
TO06	7-1-1	出力	16ビット・タイマ06のタイマ出力
TO07	7-1-1	出力	16ビット・タイマ07のタイマ出力
ANT	—	—	アンテナ接続端子
DCLIN	—	—	DC-DCコンバータ用外部インダクタ／コンデンサ接続端子
DCLOUT	—	—	DC-DCコンバータ用外部インダクタ接続端子
RFCTLEN	R-11	入力	RF部制御用イネーブル入力(ハイ:イネーブル, ロウ:ディセーブル) RFを使用する場合, MCU部のP130Iに接続して使用します。
TXSELH_RF	R-12	出力	外部PA/LNA用制御出力
TXSELL_RF	R-12	出力	外部PA/LNA用制御出力
CLKOUT_RF	R-12	出力	16, 8, 4 MHzクロック出力
EXSLK_RF	R-12	入力	RFスロー・クロック(32.768 kHz)外部入力。 RFを使用する場合、RFスロー・クロックを外部供給させることができます。その場合、PCLBUZ0(サブ・クロック出力)と接続してください。
EXCLK	2-2-1	入力	メイン・システム・クロック用外部クロック入力
EXCLKS	2-2-1	入力	サブシステム・クロック用外部クロック入力
X1	2-2-1	—	メイン・システム・クロック用発振子接続
X2	2-2-1	—	
XT1	2-2-1	—	サブシステム・クロック用発振子接続
XT2	2-2-1	—	
XTAL1_RF	—	—	RF高速基準クロック用発振子(32 MHz)接続
XTAL2_RF	—	—	
V <sub>DD</sub>	—	—	MCU部の正電源
V <sub>DD_RF</sub>	—	—	RF部の正電源
AV <sub>REFP</sub>	4-3-1	入力	A/Dコンバータの基準電位(+側)入力
AV <sub>REFM</sub>	4-3-1	入力	A/Dコンバータの基準電位(-側)入力
AV <sub>DD_RF</sub>	—	—	RF部のアナログの正電源
V <sub>SS</sub>	—	—	MCU部のグランド電位
V <sub>SS_RF</sub>	—	—	RF部のグランド電位
AV <sub>SS_RF</sub>	—	—	RF部のアナログ・グランド電位
TOOLRxD	8-1-2	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	7-1-2	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信



(3/3)

機能名称	端子タイプ	入出力	機 能
TOOL0	7-1-1	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力
IC0	—	—	内部接続端子 (V <sub>SS_RF</sub> またはAV <sub>SS_RF</sub> に接続してください。)
IC1	—	—	内部接続端子 (V <sub>SS_RF</sub> またはAV <sub>SS_RF</sub> に接続してください。)
GND1	—	—	パッケージ裏のグランド電位パッド AV <sub>SS_RF</sub> と同電位にしてください。

**注意** リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表3-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
V <sub>DD</sub>	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、25.4 シリアル・プログラミング方法を参照してください。

**備考** ノイズ対策およびラッチアップ対策として、V<sub>DD</sub> - V<sub>SS</sub>ライン間へのバイパスコンデンサ（0.1 μF程度）を最短距離でかつ、比較的太い配線を使って接続してください。V<sub>DD\_RF</sub>-V<sub>SS\_RF</sub>, AV<sub>DD\_RF</sub>-AV<sub>SS\_RF</sub>は、RF部 ボード設計ガイドラインを参照してください。

### 3.3 未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表3-3に示します。

表3-3 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00/TI00	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P01/TO00		
P02/ANI17/TxD1		
P03/ANI16/RxD1		
P10/SCK00/SCL00/(TI07)/(TO07)		
P11/SI00/RxD0/TOOLRxD/ SDA00/(TI06)/(TO06)		
P12/SO00/TxD0/TOOLTxD/(TI05)/(TO05)		
P13/SO20/(SDAA0)/(TI04)/(TO04)		
P14/SI20/SDA20/(SCLA0)/(TI03)/(TO03)		
P15/SCK20/SCL20/(TI02)/(TO02)		
P16/TI01/INTP5		
P20/ANI0/AV <sub>REFP</sub>	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。	
P21/ANI1/AV <sub>REFM</sub>		
P22/ANI2	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください	
P23/ANI3		
P30/INTP3/RTC1HZ	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。	
P40/TOOL0	入力時：個別に抵抗を介して、V <sub>DD</sub> に接続またはオープンにしてください。 出力時：オープンにしてください。	
P60/(SCLA0)	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：ポートの出カラッチに0を設定してオープン、またはポートの出カラッチに1を設定し、個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。	
P61/(SDAA0)		
P120/ANI19	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P121/X1	入力	個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。
P122/X2/EXCLK		
P123/XT1		
P124/XT2/EXCLKS		
P130	出力	オープンにしてください。
P137/INTP0	入力	個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。
P140/PCLBUZ0/INTP6	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P147/ANI18		

端子名称	入出力	未使用時の推奨接続方法
GPIO0/TXSELH_RF	入出力	V <sub>SS_RF</sub> に接続してください。(未使用時は、リセット期間及びリセット解除後も常時入力ポートとなります。)
GPIO1/TXSELL_RF		
GPIO2/CLKOUT_RF		RFスロー・クロック用オンチップ・オシレータ使用時：オープンにするか、もしくはP140/PCLBUZ0/INTP6に接続してください。 RFスロー・クロック用オンチップ・オシレータ未使用時：V <sub>SS_RF</sub> に接続してください。(未使用時は、リセット期間及びリセット解除後も常時入力ポートとなります。)
GPIO3/EXSLK_RF		
RESET	入力	V <sub>DD</sub> に直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ (0.47~1 μF) を介し、V <sub>SS</sub> に接続してください。
RFCTLEN	入力	V <sub>SS_RF</sub> に接続してください
IC0	—	V <sub>SS_RF</sub> またはAV <sub>SS_RF</sub> に接続してください。
IC1	—	V <sub>SS_RF</sub> またはAV <sub>SS_RF</sub> に接続してください。

### 3.4 端子ブロック図

端子ブロック図を図3-1～図3-14に示します。

図3-1 端子タイプ 1-1-1の端子ブロック図

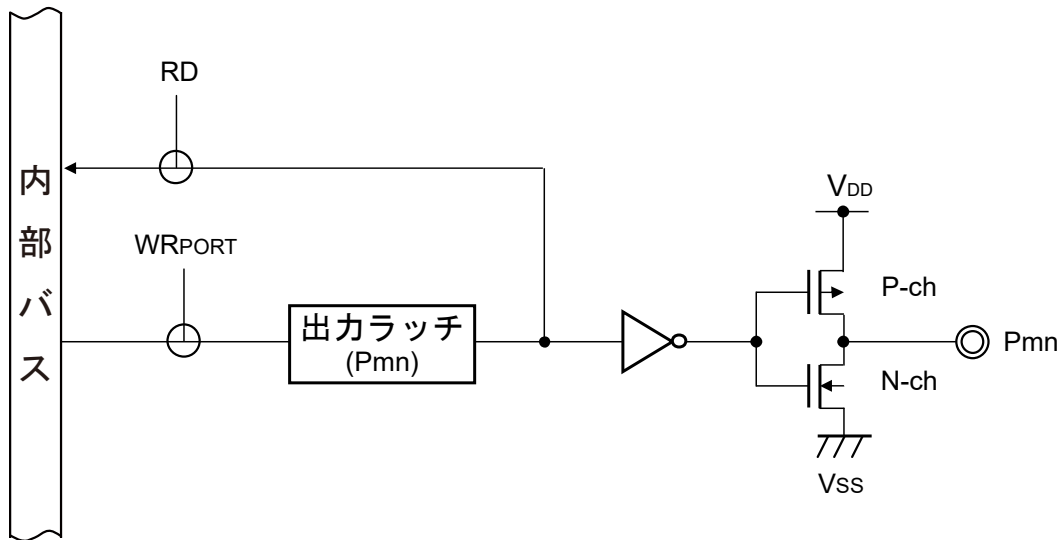


図3-2 端子タイプ 2-1-1の端子ブロック図

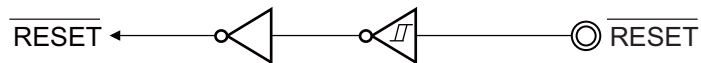
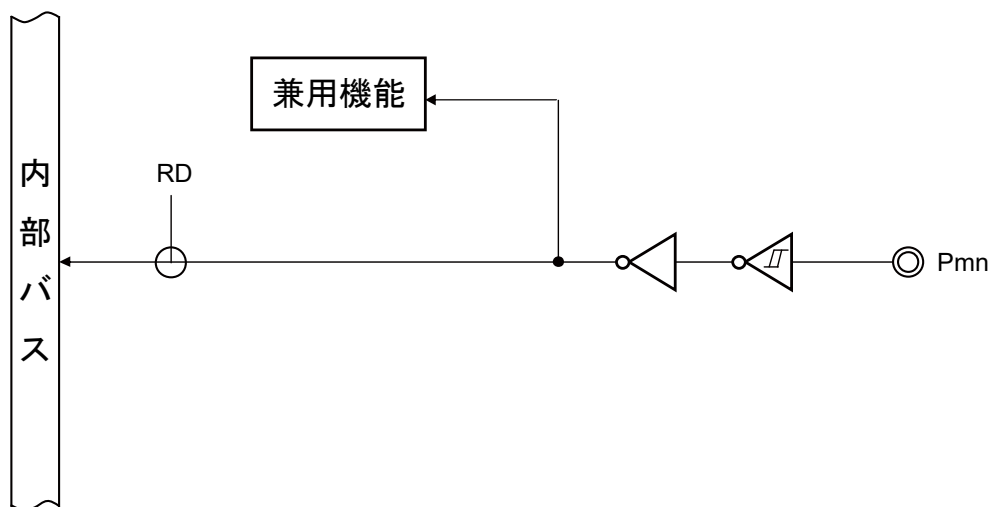
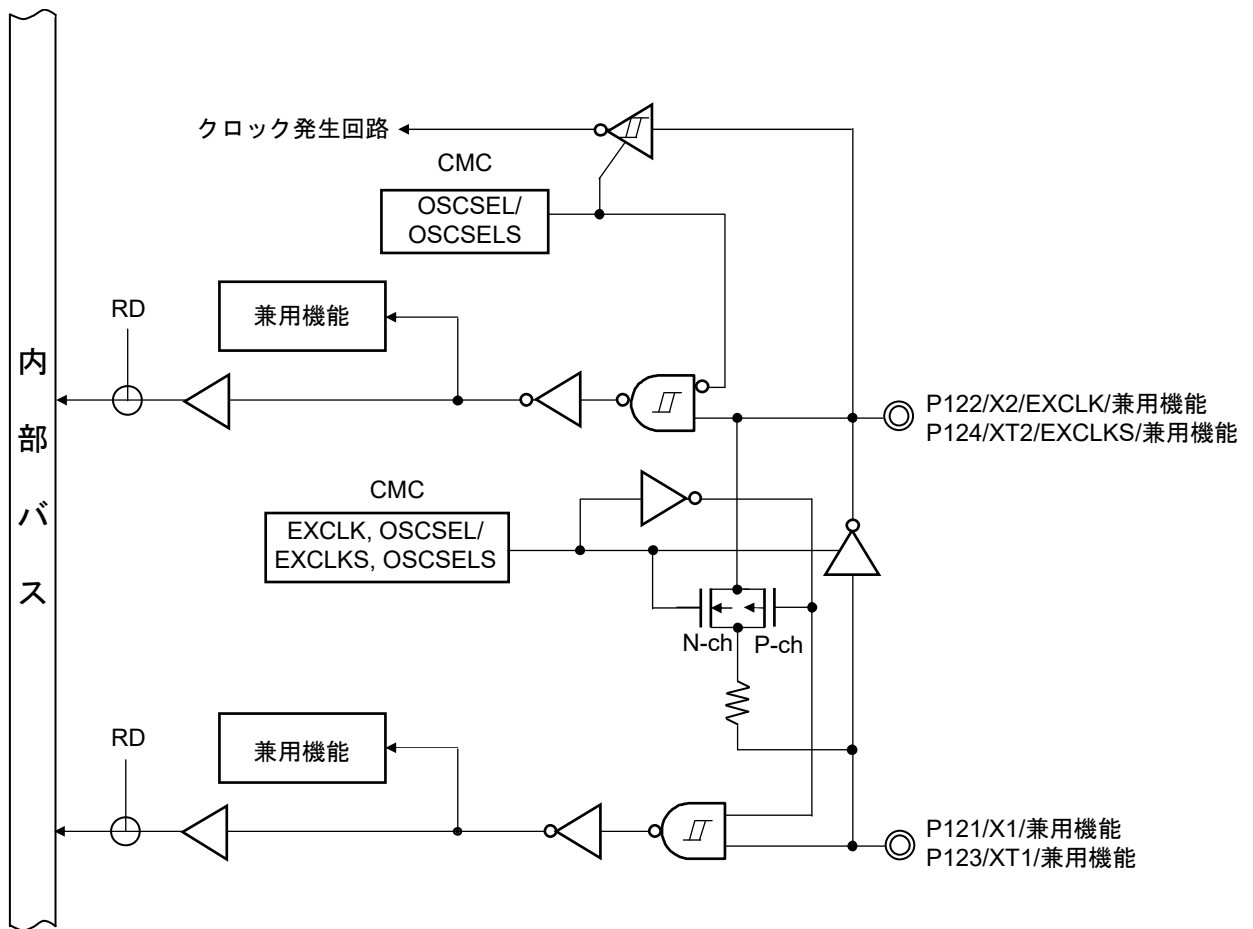


図3-3 RF高速基準クロック端子タイプ 2-1-2の端子ブロック図



**備考** 兼用機能は、3.1 ポート機能を参照してください。

図3-4 端子タイプ 2-2-1の端子ブロック図



備考 兼用機能は、3.1 ポート機能を参照してください。

図3-5 端子タイプ 4-3-1の端子ブロック図

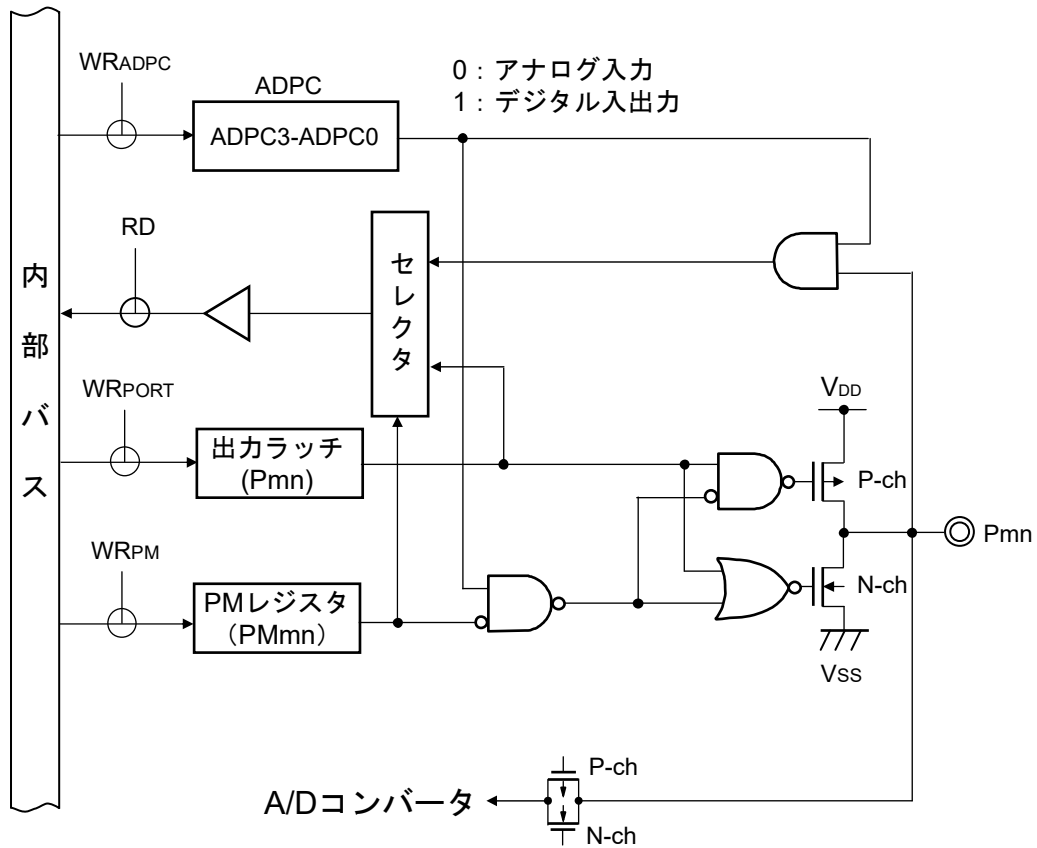
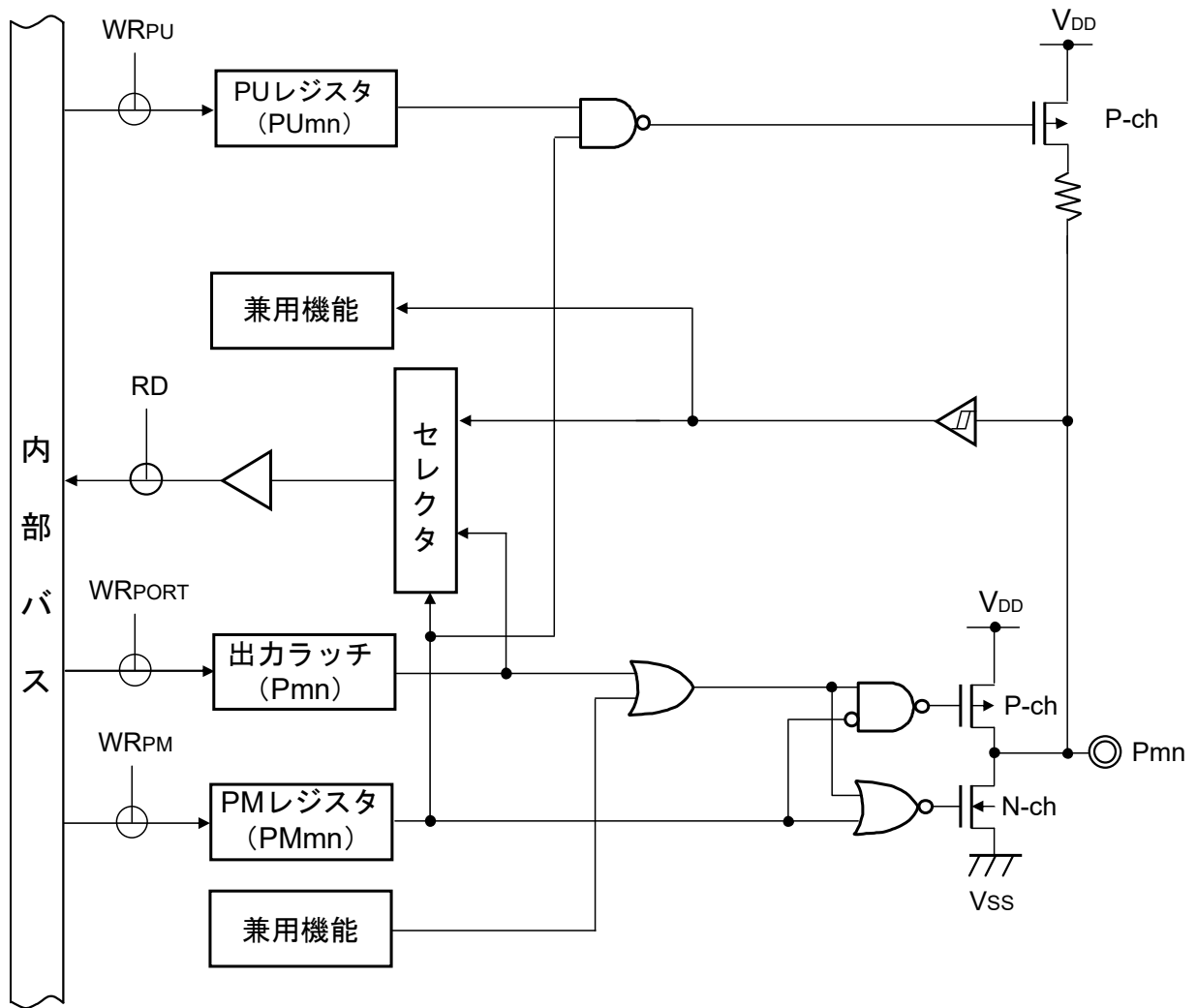


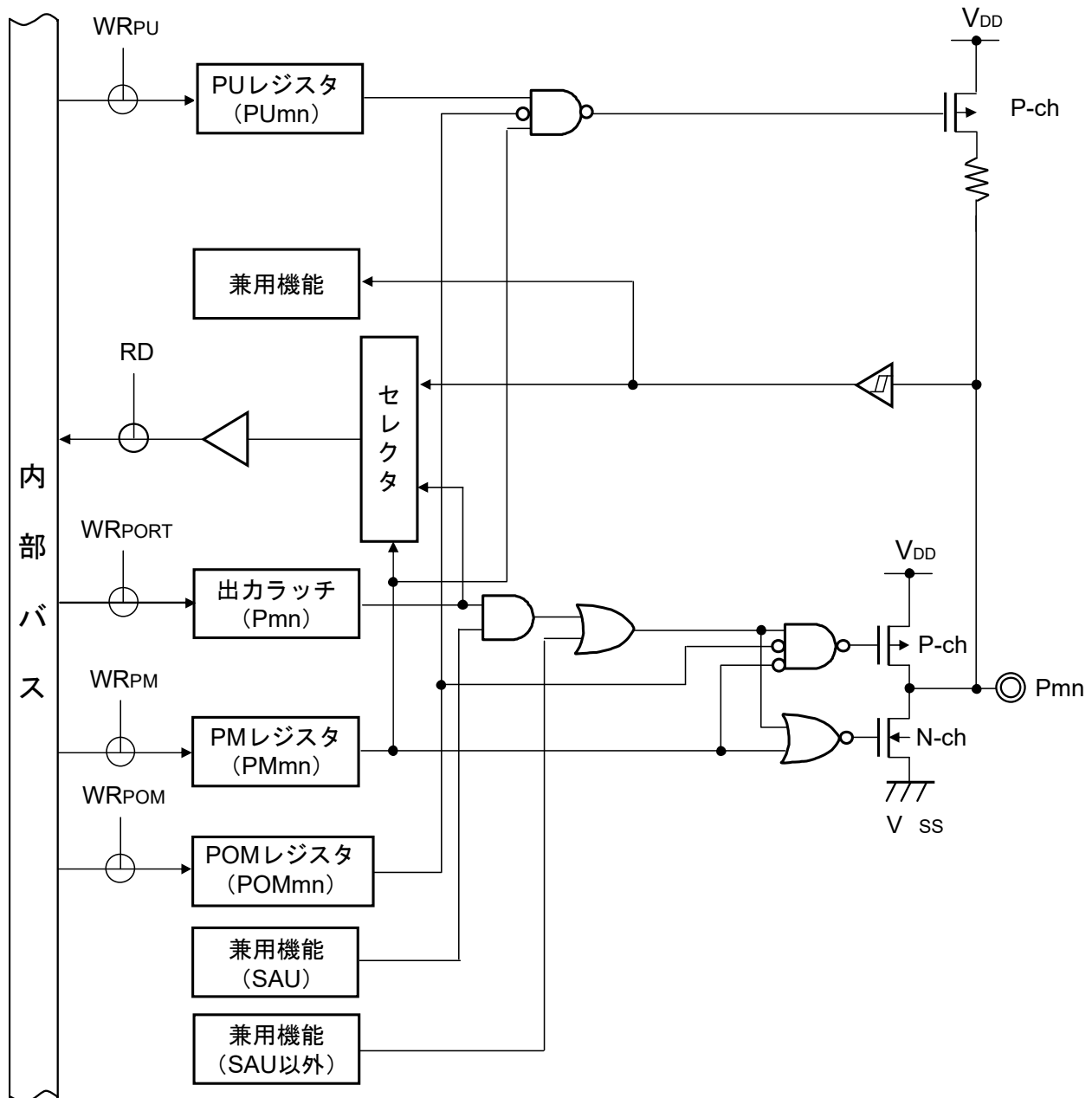
図3-6 端子タイプ 7-1-1の端子ブロック図



備考 兼用機能は、3.1 ポート機能を参照してください。



図3-7 端子タイプ 7-1-2の端子ブロック図

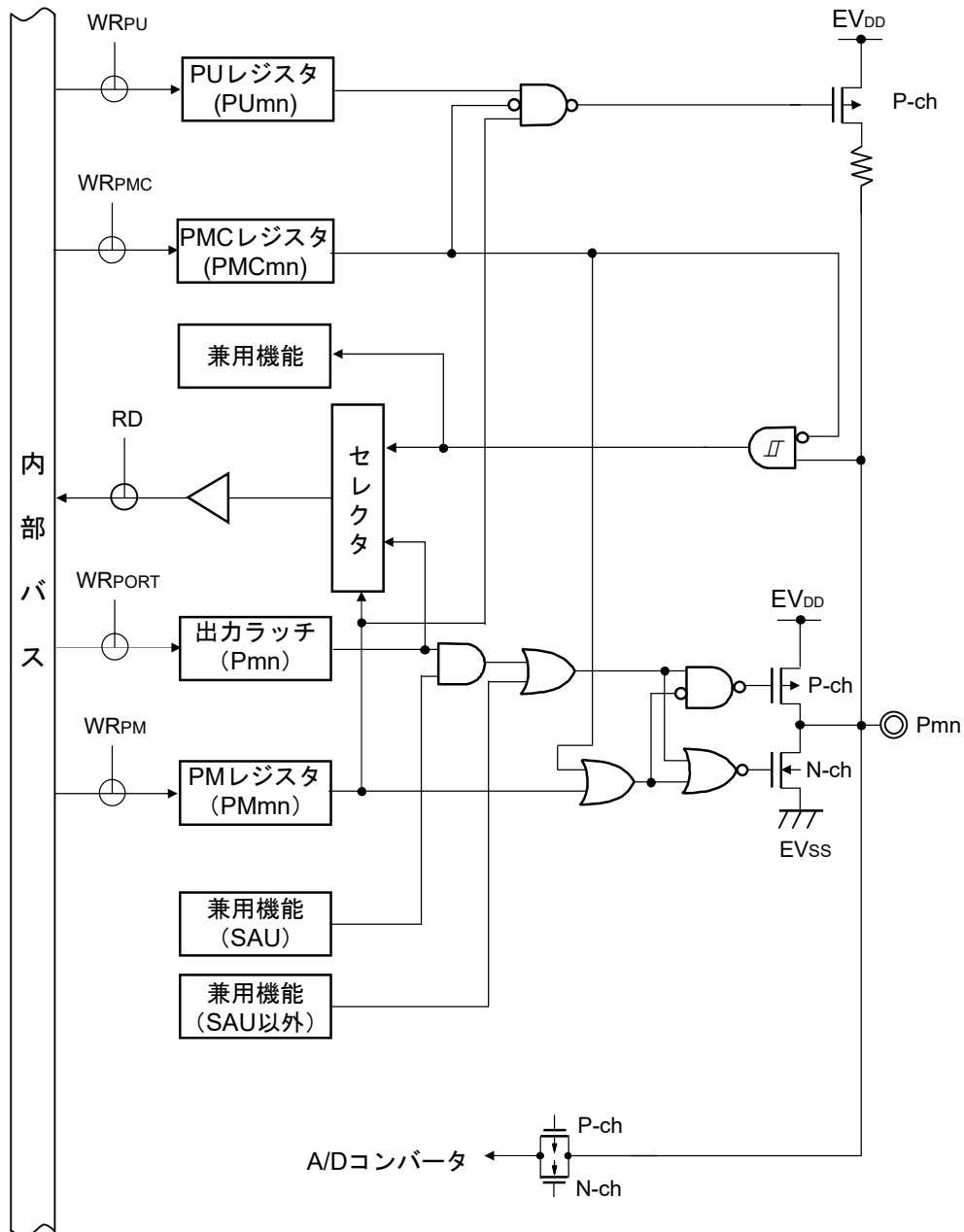


- ★ 注意 ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モードでも、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時に出力レベルを切り替えると、グリッチ・ノイズ ( $V_{DD}$ レベル) が発生することがあります。

備考1. 兼用機能は、3.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

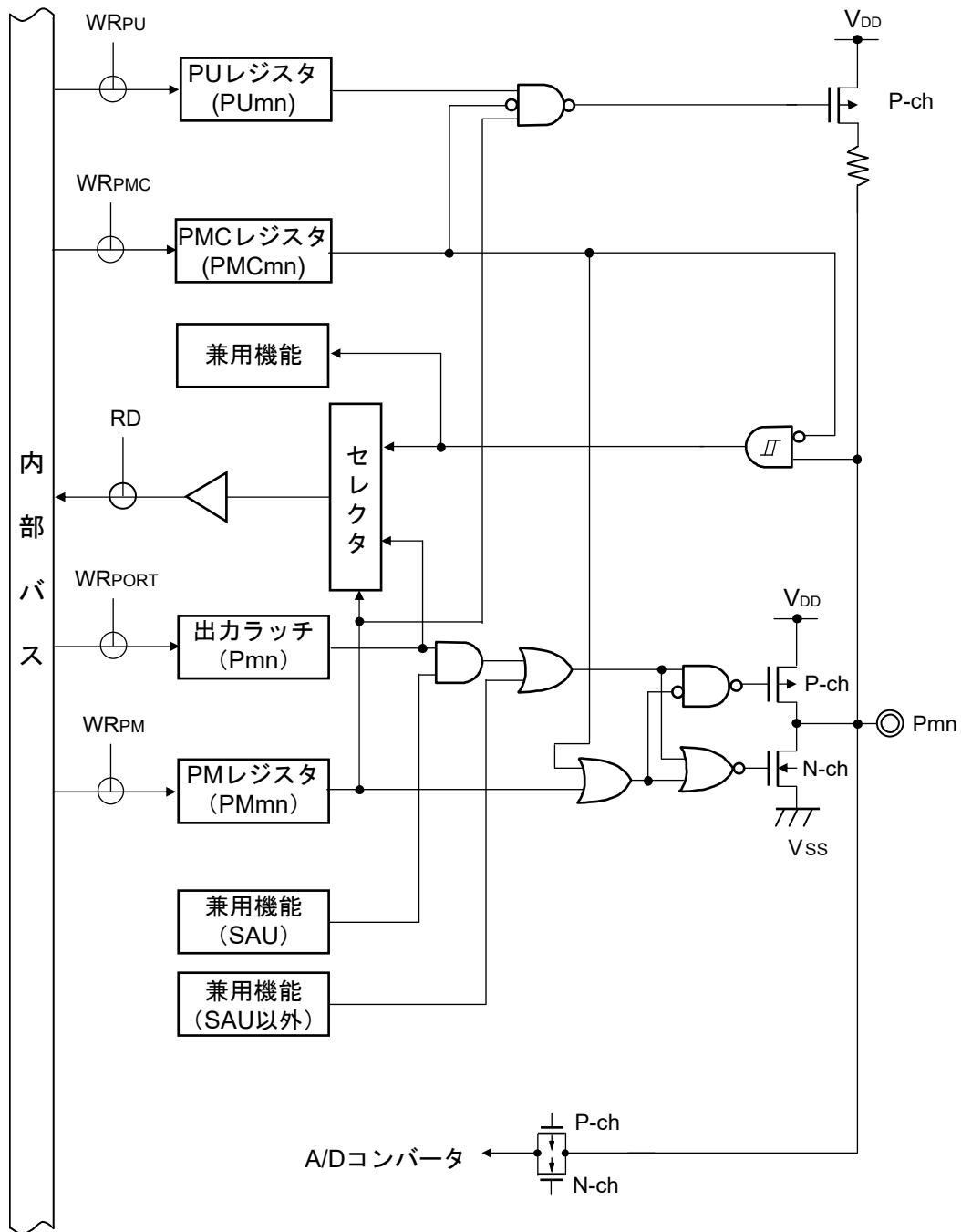
図3-8 端子タイプ 7-3-1の端子ブロック図



備考1. 兼用機能は、3.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

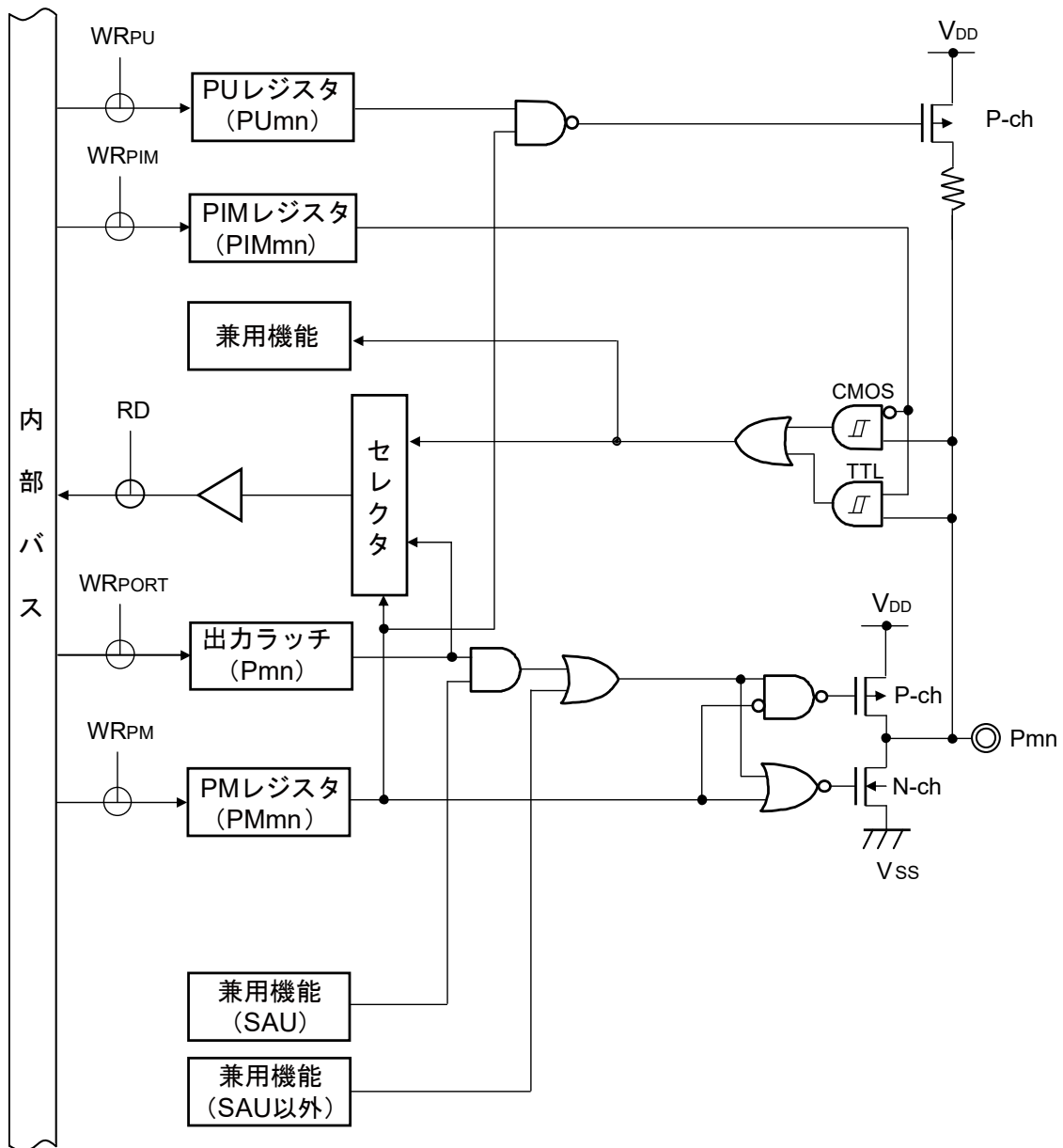
図3-9 端子タイプ 7-3-2の端子ブロック図



- ★ 注意 ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モードでも、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時に出力レベルを切り替えると、グリッチ・ノイズ ( $V_{DD}$ レベル)が発生することがあります。

- 備考1. 兼用機能は、3.1 ポート機能を参照してください。  
2. SAU : シリアル・アレイ・ユニット

図3-10 端子タイプ 8-1-1の端子ブロック図



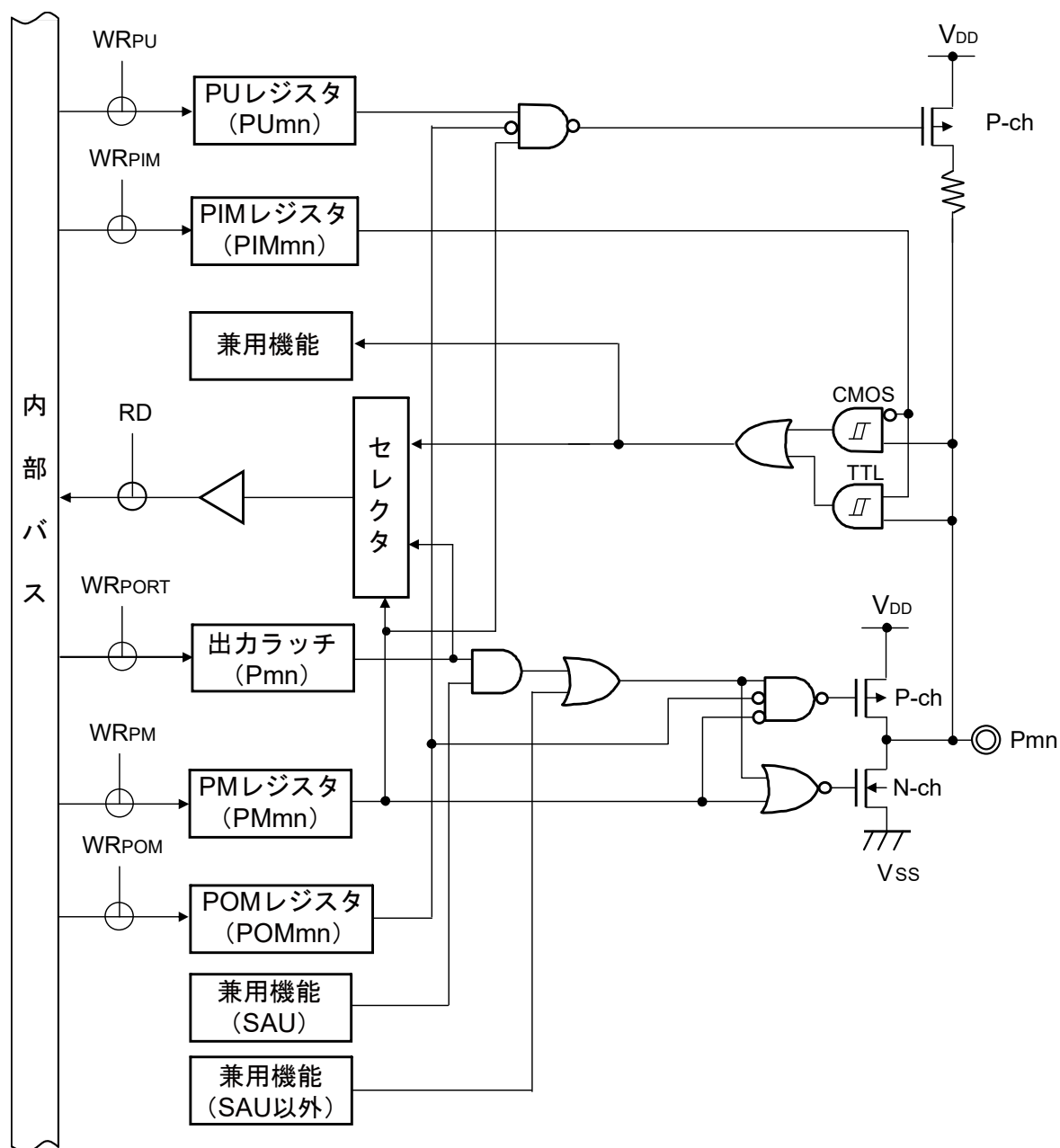
★

**注意** ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力しているとき、バッファの構造から貫通電流が流れることがあります。これを防ぐには、ロウ・レベルを入力してください。

**備考1.** 兼用機能は、3.1 ポート機能を参照してください。

**2.** SAU : シリアル・アレイ・ユニット

図3-11 端子タイプ 8-1-2の端子ブロック図



★

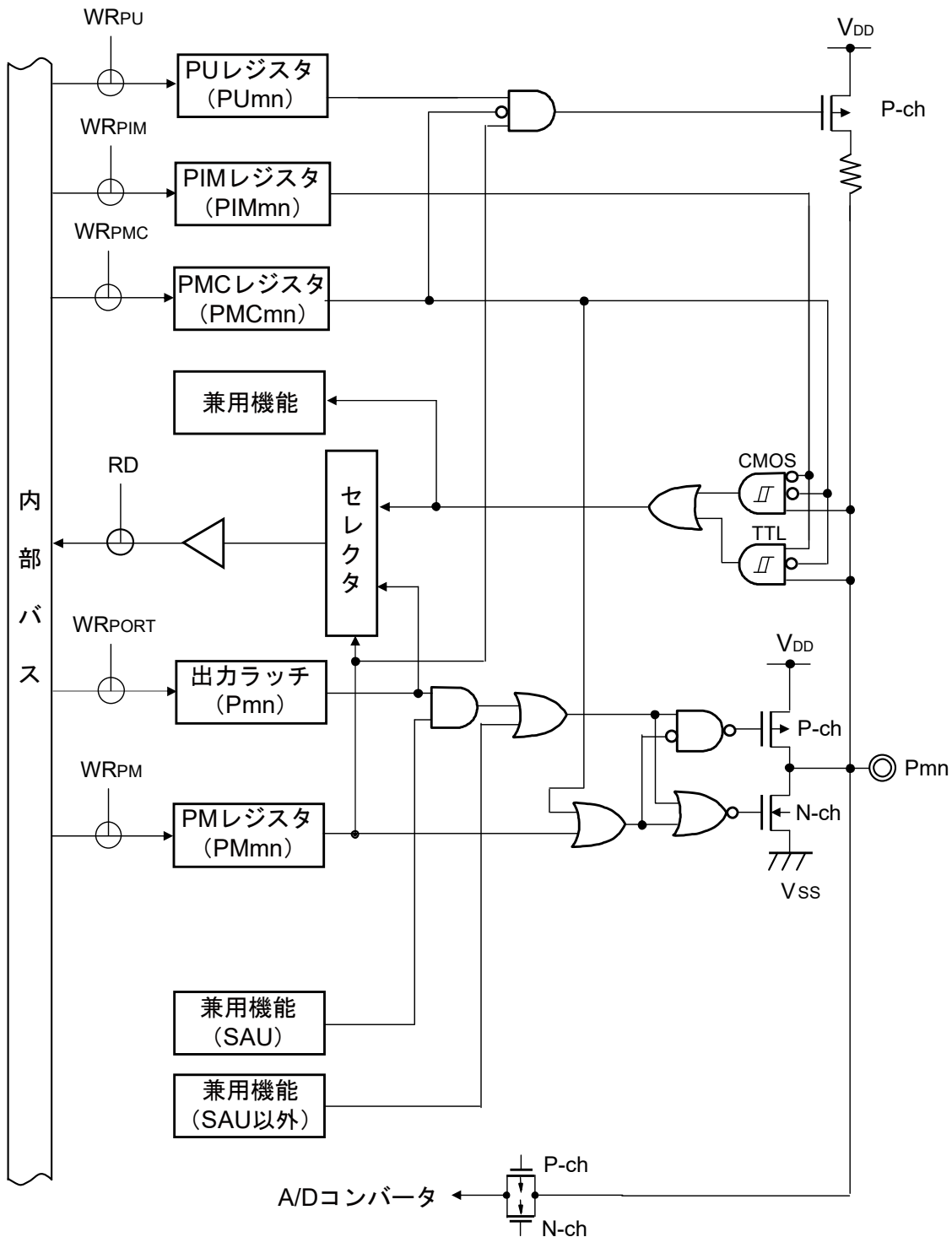
注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モードでも、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時に出力レベルを切り替えると、グリッチ・ノイズ ( $V_{DD}$ レベル) が発生することがあります。

2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力しているとき、バッファの構造から貫通電流が流れることがあります。これを防ぐには、ロウ・レベルを入力してください。

備考1. 兼用機能は、3.1 ポート機能を参照してください。

2. SAU: シリアル・アレイ・ユニット

図3-12 端子タイプ 8-3-2の端子ブロック図



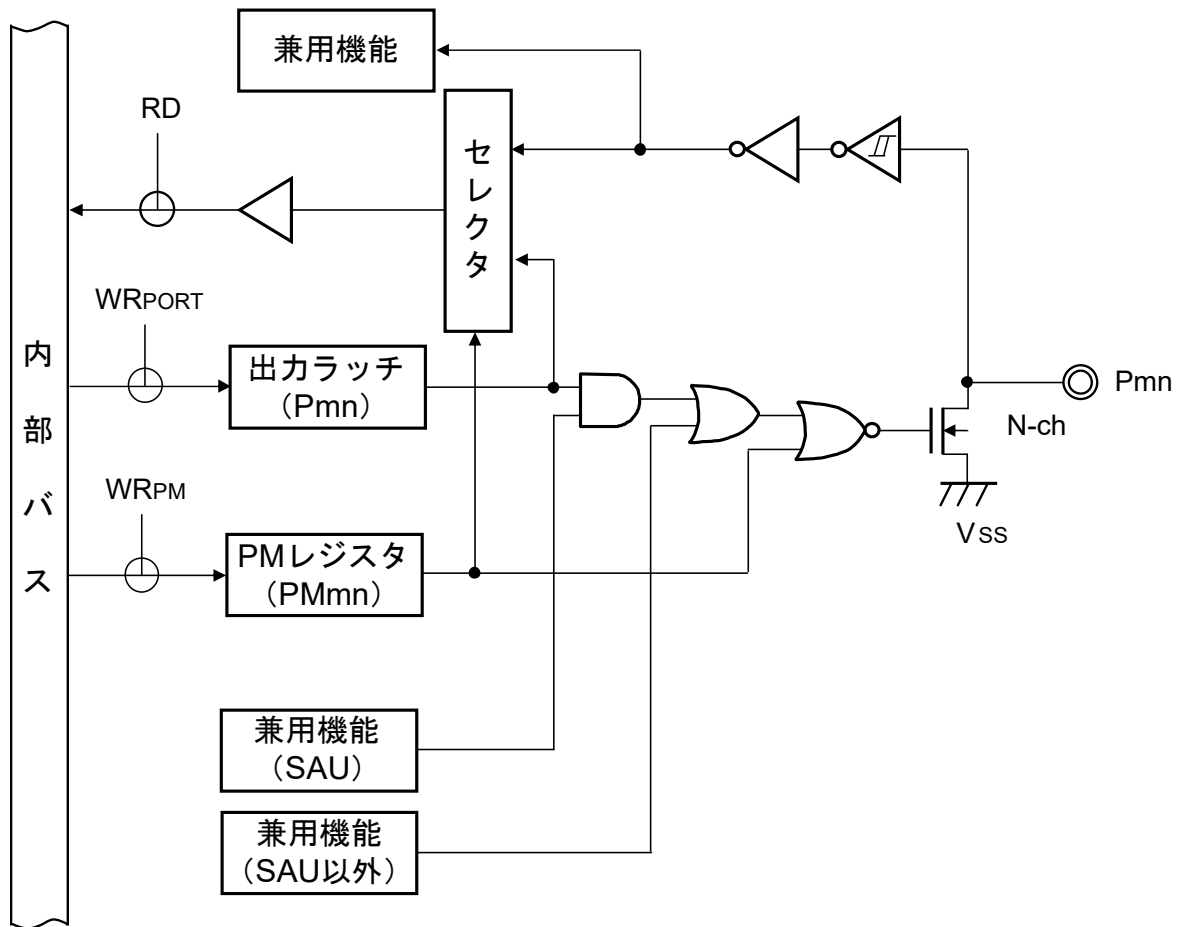
★

**注意** ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力しているとき、バッファの構造から貫通電流が流れることがあります。これを防ぐには、ロウ・レベルを入力してください。

**備考1.** 兼用機能は、3.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図3-13 端子タイプ 12-1-1の端子ブロック図



★ 注意 出力モードでも、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、3.1 ポート機能を参照してください。

2. SAU : シリアル・アレイ・ユニット

図3-14 端子タイプ R-11の端子ブロック図

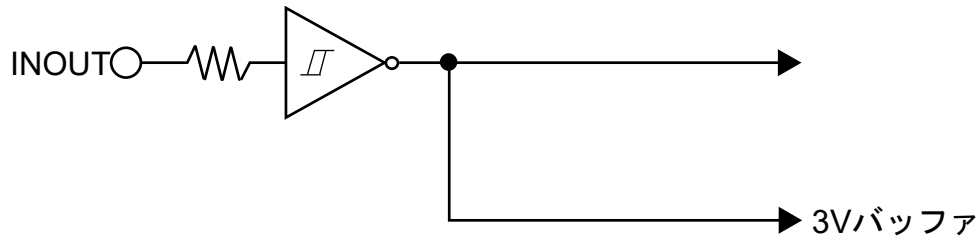
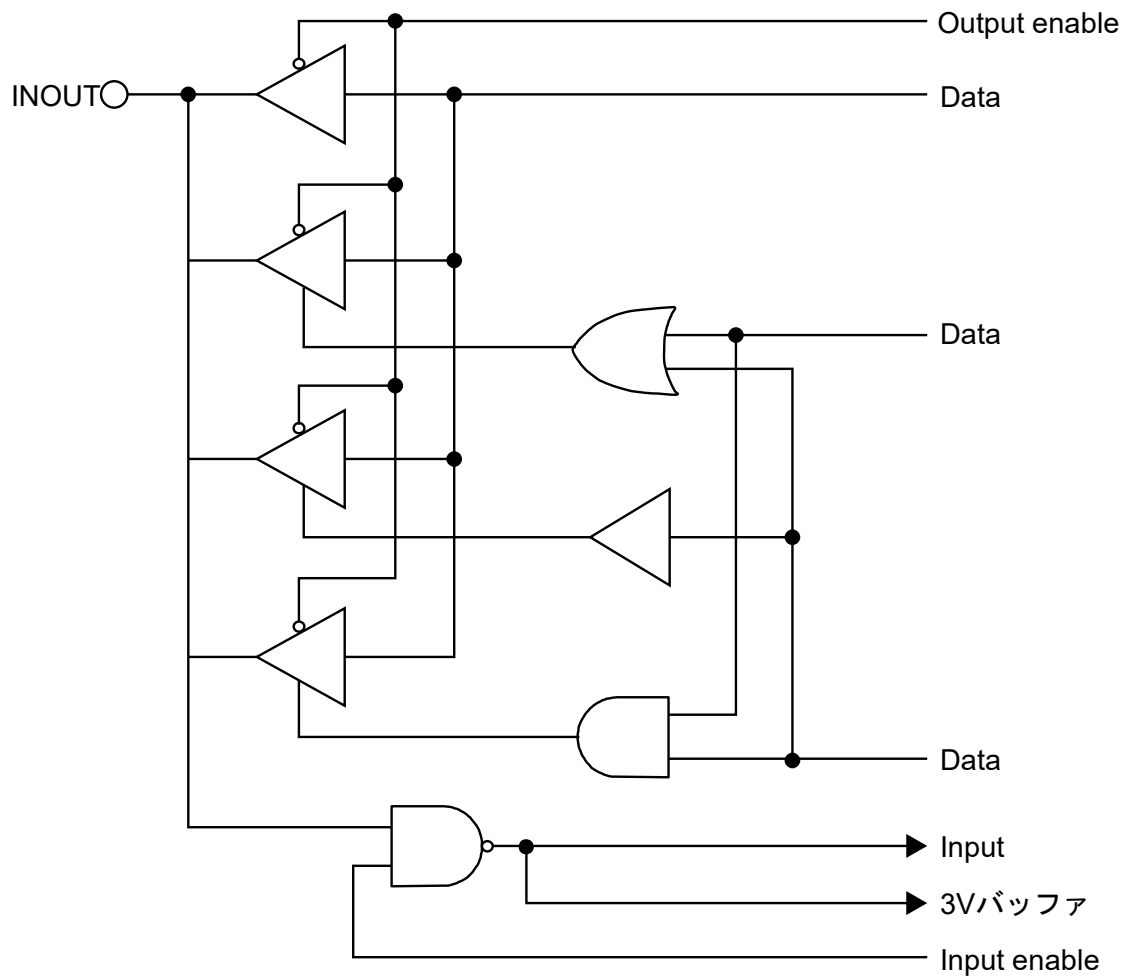


図 3-15 端子タイプ R-12の端子ブロック図





## 第4章 CPUアーキテクチャ

### ★ 4.1 概要

RL78 マイクロコントローラのCPUコアは、命令フェッチ用のバスとアドレス・バス、データ・バスが独立した、ハーバード・アーキテクチャを採用しています。さらに、命令フェッチとデコード、メモリ・アクセスの3段パイプライン制御を採用して、従来のCPUコアより効率が飛躍的に向上しています。高性能で高機能な処理を必要とする様々なアプリケーションに対して、高性能かつ高速な命令処理で応えます。

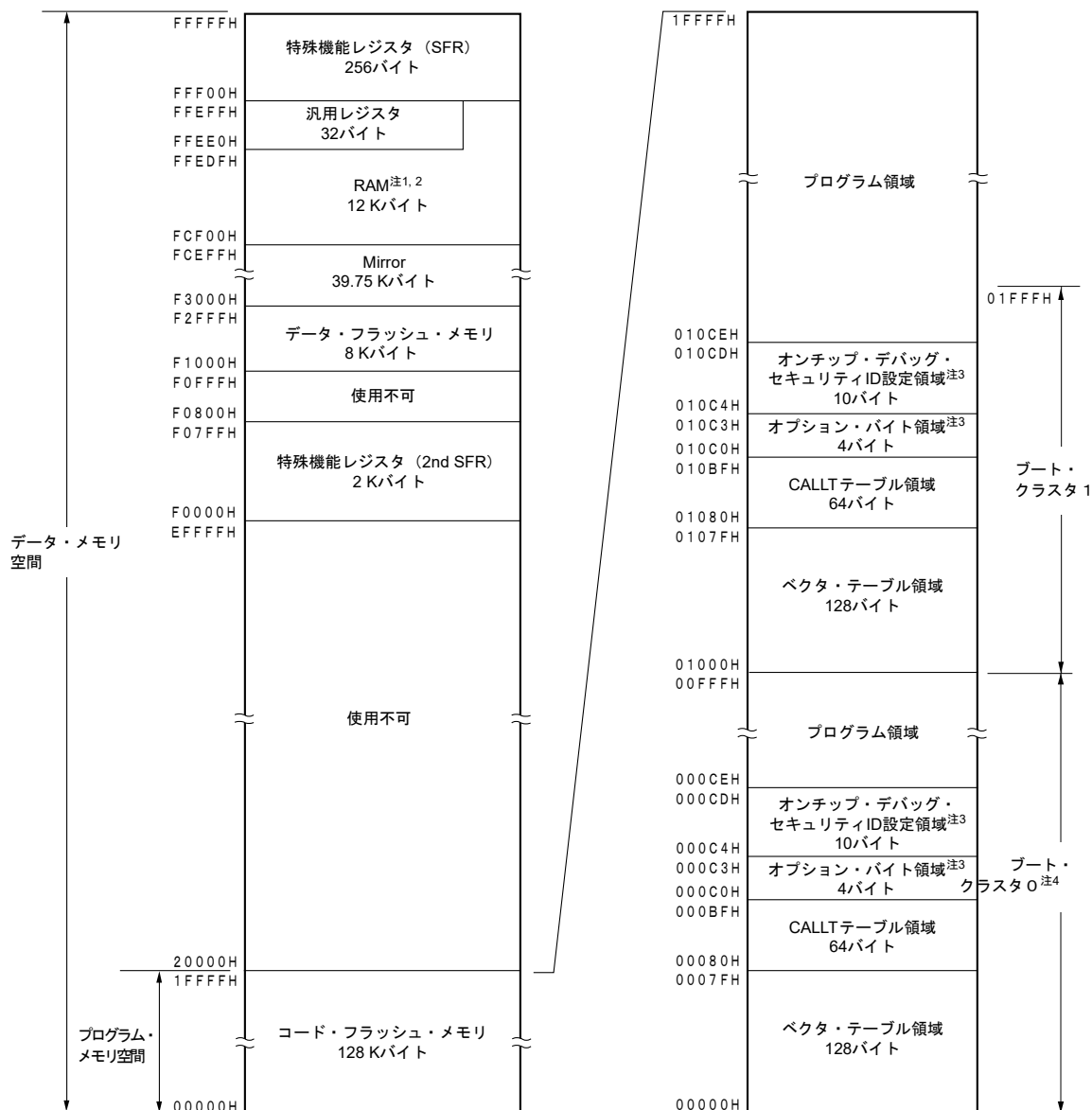
RL78/G1DのCPUはRL78-S2コアであり、おもに次のような特徴があります。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1クロック／1命令
- 汎用レジスタ：8ビット・レジスタ×8×4バンク
- 命令：75種類
- データ配置：リトル・エンディアン

### 4.2 メモリ空間

RL78/G1Dは、1 Mバイトのアドレス空間をアクセスできます。図4-1～図4-3に、メモリ・マップを示します。

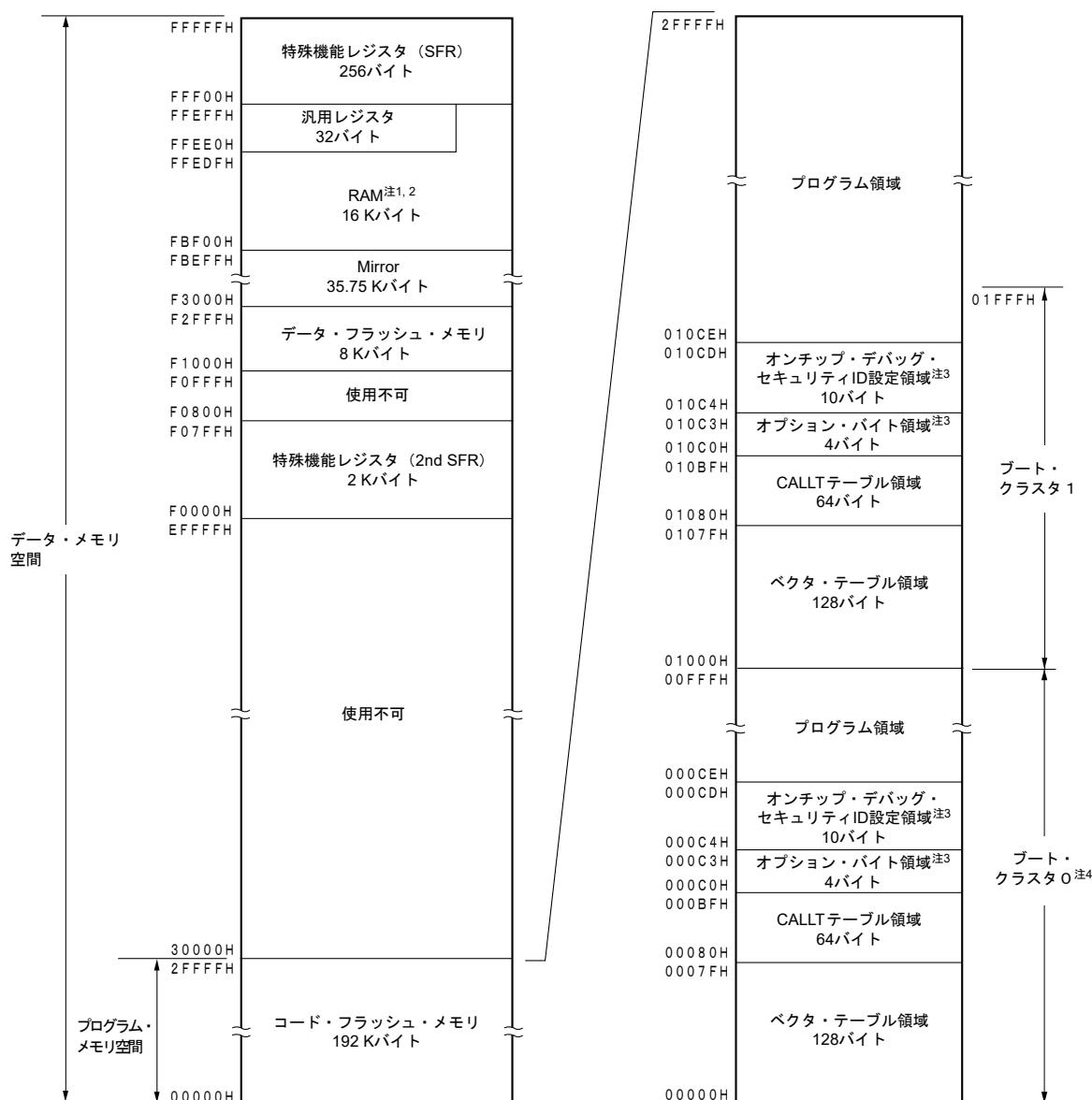
図4-1 メモリ・マップ (R5F11AGG)



- 注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDMA による転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (25.7 セキュリティ設定を参照)。

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、23.3.3 RAMパリティ・エラー検出機能を参照してください。

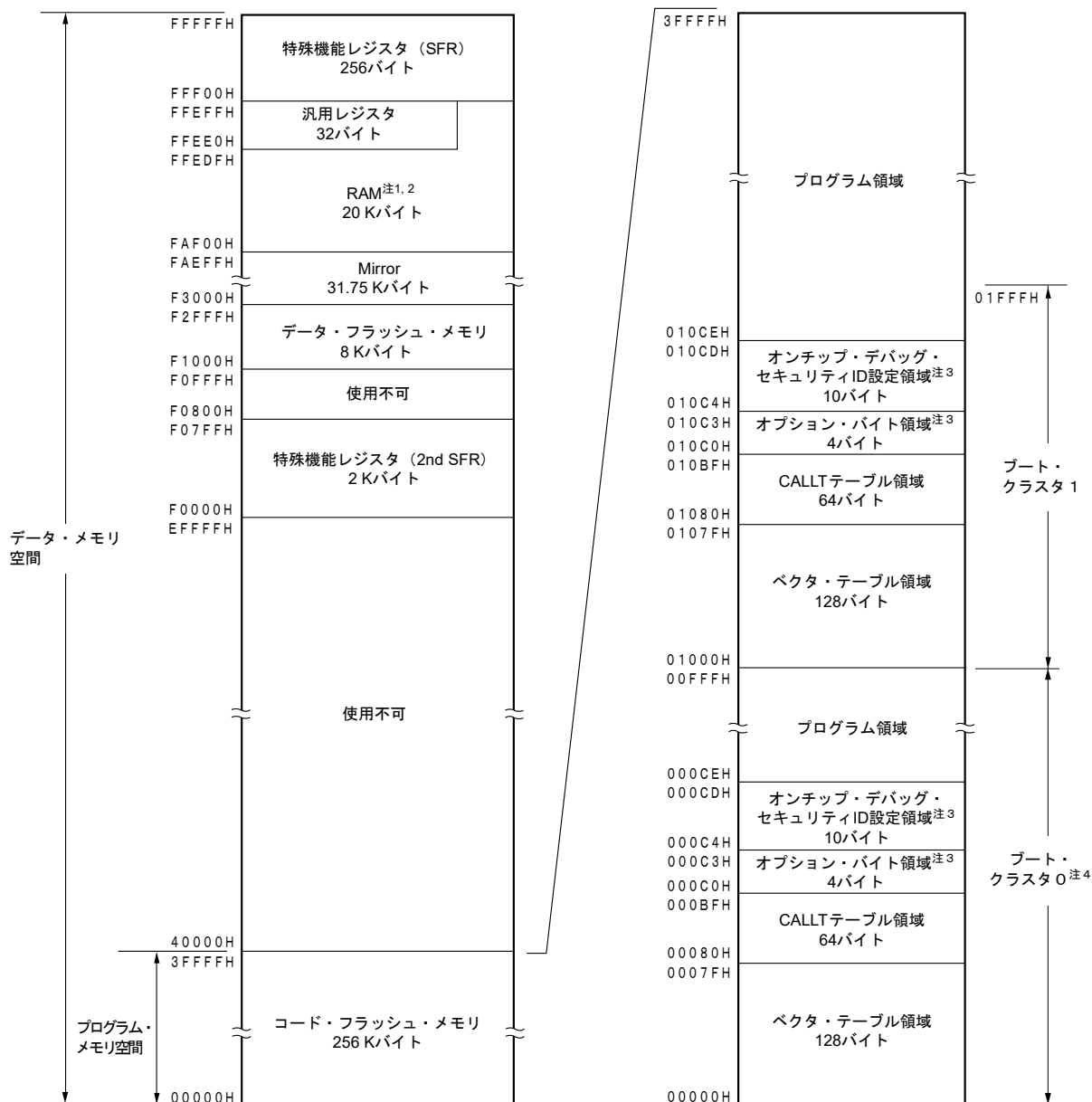
図4-2 メモリ・マップ (R5F11AGH)



- 注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDMA による転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定  
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラス0は書き換えを禁止することができます (25.7 セキュリティ設定」を参照)。

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、23.3.3 RAMパリティ・エラー検出機能を参照してください。

図4-3 メモリ・マップ (R5F11AGJ)



- 注1.** セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDMA による転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFH の領域に配置しないでください。また、 FAF00H-FB309Hの領域は各ライブラリで使用するため使用禁止になります。
- 2.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 3.** ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定  
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
- 4.** セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (25.7 セキュリティ設定を参照)。

**注意** RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、23.3.3 RAMパリティ・エラー検出機能を参照してください。

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表4-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (1/2)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-003FFH	00H	0800H-083FFH	20H	1000H-103FFH	40H	1800H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考 R5F11AGG : ブロック番号00H-7FH

表4-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (2/2)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
2000H-203FFH	80H	2800H-283FFH	A0H	3000H-303FFH	C0H	3800H-383FFH	E0H
2040H-207FFH	81H	2840H-287FFH	A1H	3040H-307FFH	C1H	3840H-387FFH	E1H
2080H-20BFFH	82H	2880H-28BFFH	A2H	3080H-30BFFH	C2H	3880H-38BFFH	E2H
20C0H-20FFFH	83H	28C0H-28FFFH	A3H	30C0H-30FFFH	C3H	38C0H-38FFFH	E3H
2100H-213FFH	84H	2900H-293FFH	A4H	3100H-313FFH	C4H	3900H-393FFH	E4H
2140H-217FFH	85H	2940H-297FFH	A5H	3140H-317FFH	C5H	3940H-397FFH	E5H
2180H-21BFFH	86H	2980H-29BFFH	A6H	3180H-31BFFH	C6H	3980H-39BFFH	E6H
21C0H-21FFFH	87H	29C0H-29FFFH	A7H	31C0H-31FFFH	C7H	39C0H-39FFFH	E7H
2200H-223FFH	88H	2A00H-2A3FFH	A8H	3200H-323FFH	C8H	3A00H-3A3FFH	E8H
2240H-227FFH	89H	2A40H-2A7FFH	A9H	3240H-327FFH	C9H	3A40H-3A7FFH	E9H
2280H-22BFFH	8AH	2A80H-2ABFFH	AAH	3280H-32BFFH	CAH	3A80H-3ABFFH	EAH
22C0H-22FFFH	8BH	2AC0H-2AFFFH	ABH	32C0H-32FFFH	CBH	3AC0H-3AFFFH	EBH
2300H-233FFH	8CH	2B00H-2B3FFH	ACH	3300H-333FFH	CCH	3B00H-3B3FFH	ECH
2340H-237FFH	8DH	2B40H-2B7FFH	ADH	3340H-337FFH	CDH	3B40H-3B7FFH	EDH
2380H-23BFFH	8EH	2B80H-2BBFFH	AEH	3380H-33BFFH	CEH	3B80H-3BBFFH	EEH
23C0H-23FFFH	8FH	2BC0H-2BFFFH	AFH	33C0H-33FFFH	CFH	3BC0H-3BFFFH	EFH
2400H-243FFH	90H	2C00H-2C3FFH	B0H	3400H-343FFH	D0H	3C00H-3C3FFH	F0H
2440H-247FFH	91H	2C40H-2C7FFH	B1H	3440H-347FFH	D1H	3C40H-3C7FFH	F1H
2480H-24BFFH	92H	2C80H-2CBFFH	B2H	3480H-34BFFH	D2H	3C80H-3CBFFH	F2H
24C0H-24FFFH	93H	2CC0H-2CFFFH	B3H	34C0H-34FFFH	D3H	3CC0H-3CFFFH	F3H
2500H-253FFH	94H	2D00H-2D3FFH	B4H	3500H-353FFH	D4H	3D00H-3D3FFH	F4H
2540H-257FFH	95H	2D40H-2D7FFH	B5H	3540H-357FFH	D5H	3D40H-3D7FFH	F5H
2580H-25BFFH	96H	2D80H-2DBFFH	B6H	3580H-35BFFH	D6H	3D80H-3DBFFH	F6H
25C0H-25FFFH	97H	2DC0H-2DFFFH	B7H	35C0H-35FFFH	D7H	3DC0H-3DFFFH	F7H
2600H-263FFH	98H	2E00H-2E3FFH	B8H	3600H-363FFH	D8H	3E00H-3E3FFH	F8H
2640H-267FFH	99H	2E40H-2E7FFH	B9H	3640H-367FFH	D9H	3E40H-3E7FFH	F9H
2680H-26BFFH	9AH	2E80H-2EBFFH	BAH	3680H-36BFFH	DAH	3E80H-3EBFFH	FAH
26C0H-26FFFH	9BH	2EC0H-2EFFFH	BBH	36C0H-36FFFH	DBH	3EC0H-3EFFFH	FBH
2700H-273FFH	9CH	2F00H-2F3FFH	BCH	3700H-373FFH	DCH	3F00H-3F3FFH	FCH
2740H-277FFH	9DH	2F40H-2F7FFH	BDH	3740H-377FFH	DDH	3F40H-3F7FFH	FDH
2780H-27BFFH	9EH	2F80H-2FBFFH	BEH	3780H-37BFFH	DEH	3F80H-3FBFFH	FEH
27C0H-27FFFH	9FH	2FC0H-2FFFFH	BFH	37C0H-37FFFH	DFH	3FC0H-3FFFFH	FFH

備考 R5F11AGH : ブロック番号00H-BFH

R5F11AGJ : ブロック番号00H-FFH

### 4.2.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G1Dは、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表4-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
R5F11AGG	フラッシュ・メモリ	131072×8ビット (00000H-1FFFFH)
R5F11AGH		196608×8ビット (00000H-2FFFFH)
R5F11AGJ		262144×8ビット (00000H-3FFFFH)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

#### (1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。ブート・スワップを使用する際には、01000H-0107FHにもベクタ・テーブルを設定してください。

表4-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE
0004H	INTWDTI
0006H	INTLVI
0008H	INTP0
000EH	INTP3
0012H	INTP5
0014H	INTCSI20/INTIIC20
0016H	INTCSI21
001AH	INTDMA0
001CH	INTDMA1
001EH	INTST0/INTCSI00/INTIIC00
0020H	INTSR0
0022H	INTSRE0
	INTTM01H
0024H	INTST1
0026H	INTSR1
0028H	INTSRE1
	INTTM03H
002AH	INTIICA0
002CH	INTTM00
002EH	INTTM01
0030H	INTTM02
0032H	INTTM03
0034H	INTAD
0036H	INTRTC
0038H	INTIT
0042H	INTTM04
0044H	INTTM05
0046H	INTTM06
0048H	INTTM07
004AH	INTP6
0054H	INTRF
005EH	INTMD
0062H	INTFL
0064H	INTDMA2
0066H	INTDMA3
007EH	BRK

## (2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルー・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

## (3) オプション・バイト領域



000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は「第25章 オプション・バイト」を参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第27章 オンチップ・デバッグ機能を参照してください。

## 4.2.2 ミラー領域

RL78/G1Dでは、00000H-0FFFFFHまたは10000H-1FFFFFHのコード・フラッシュ・エリアをF0000H- FFFFFFHへミラーしています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

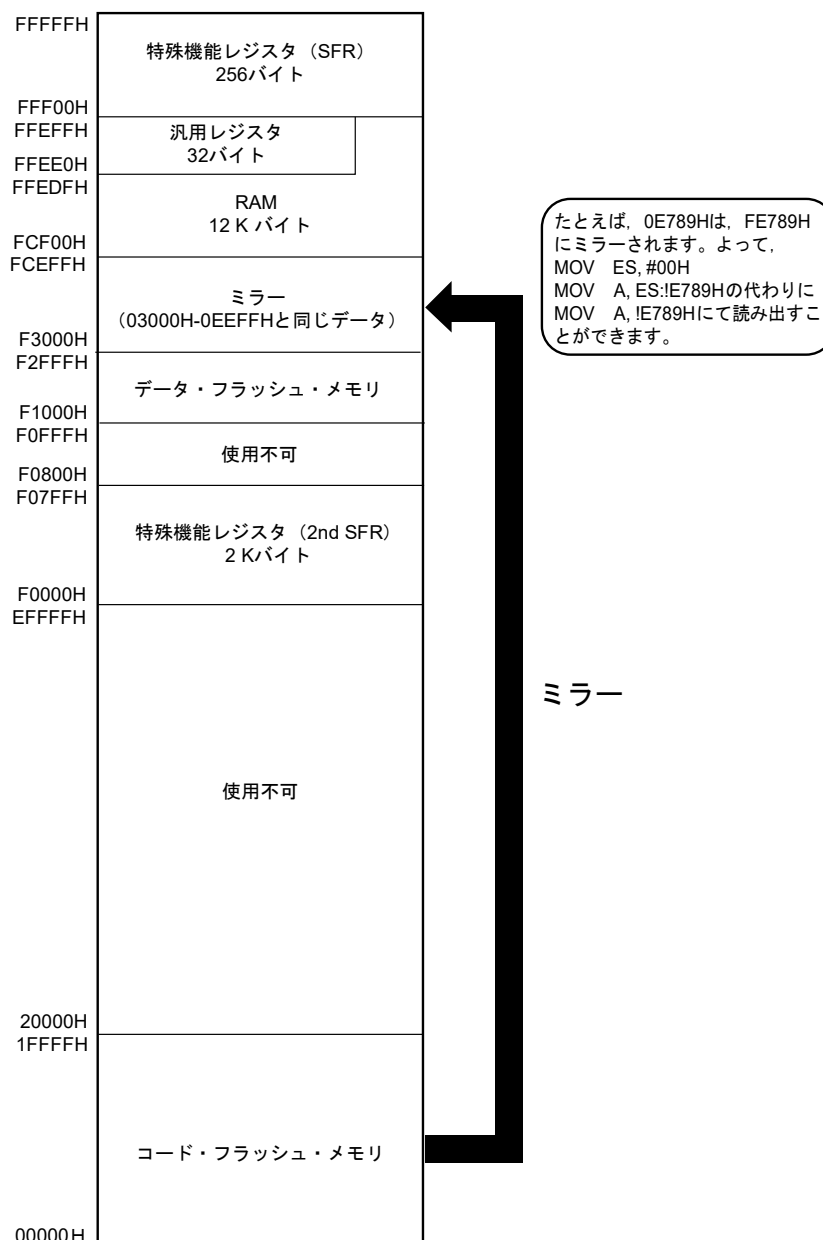
ミラー先のF0000H-FFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、4.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F11AGG（フラッシュ・メモリ 128 Kバイト，RAM 12 Kバイト）の場合



次に、PMCレジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー

**注意** PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

### 4.2.3 内部データ・メモリ空間

RL78/G1Dは、次に示すRAMを内蔵しています。

表4-4 内部RAM容量

製 品	内部RAM
R5F11AGG	12288×8ビット (FCF00H-FFEFFFH)
R5F11AGH	16384×8ビット (FBF00H-FFEFFFH)
R5F11AGJ	20480×8ビット (FAF00H-FFEFFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部RAM領域のうちFFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、スタック・メモリは内部RAMを使用します。

**注意1.** 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFFH) は、命令フェッチやスタックの領域に使用できません。

2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。

**R5F11AGJ : FAF00H-FB309H**

### 4.2.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (4.2.4 特殊機能レジスタ (SFR : Special Function Register) の表4-5参照)。

**注意** SFRが割り付けられていないアドレスにアクセスしないでください。

### 4.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (4.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表4-6参照)。

SFR領域 (FFF00H-FFFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

**注意** 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

## 4.2.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/G1Dでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特に、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図4-5～4-7にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、4.4 処理データ・アドレスに対するアドレッシングを参照してください。

図4-5 データ・メモリとアドレッシングの対応 (R5F11AGG)

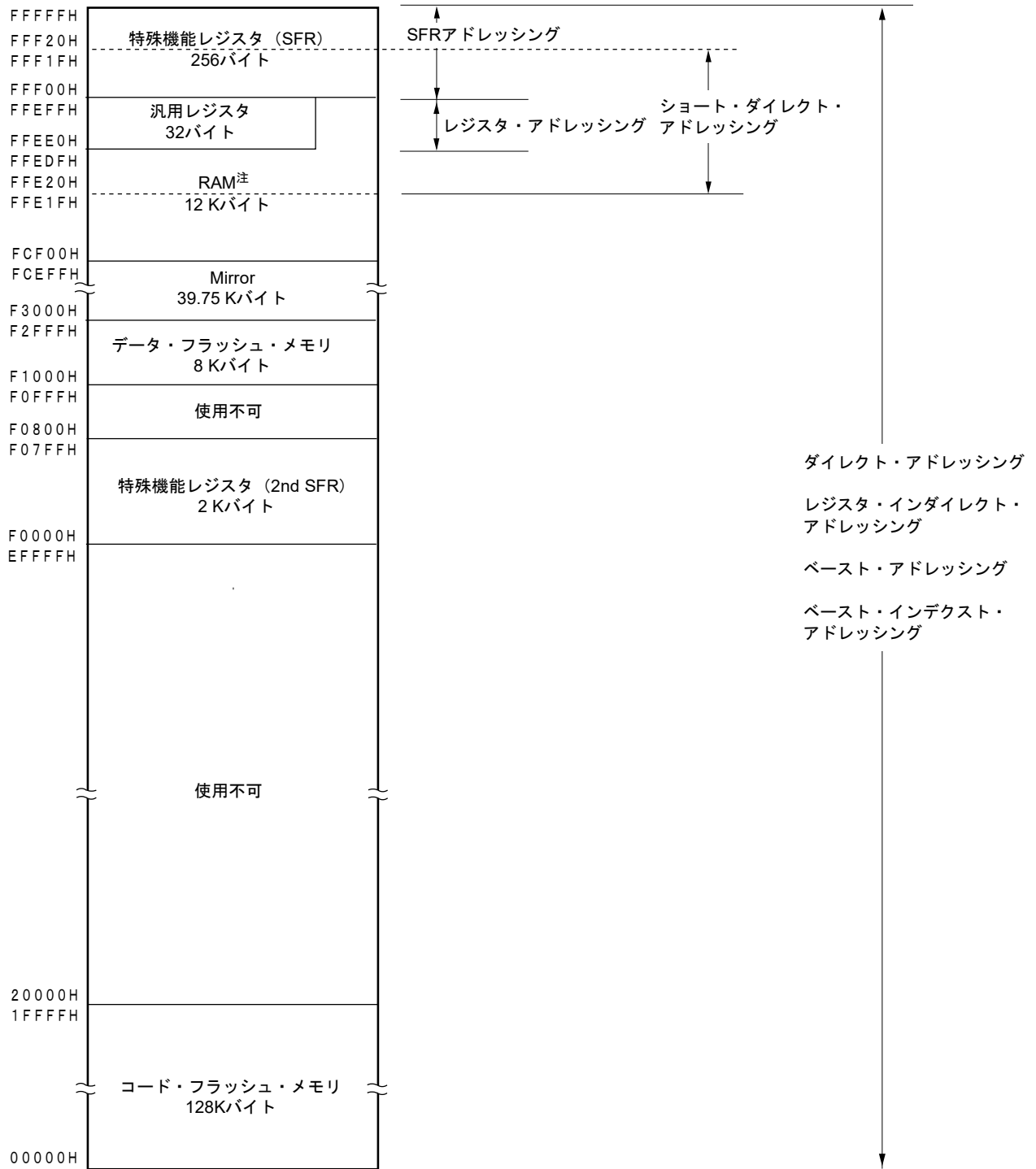


図4-6 データ・メモリとアドレッシングの対応 (R5F11AGH)

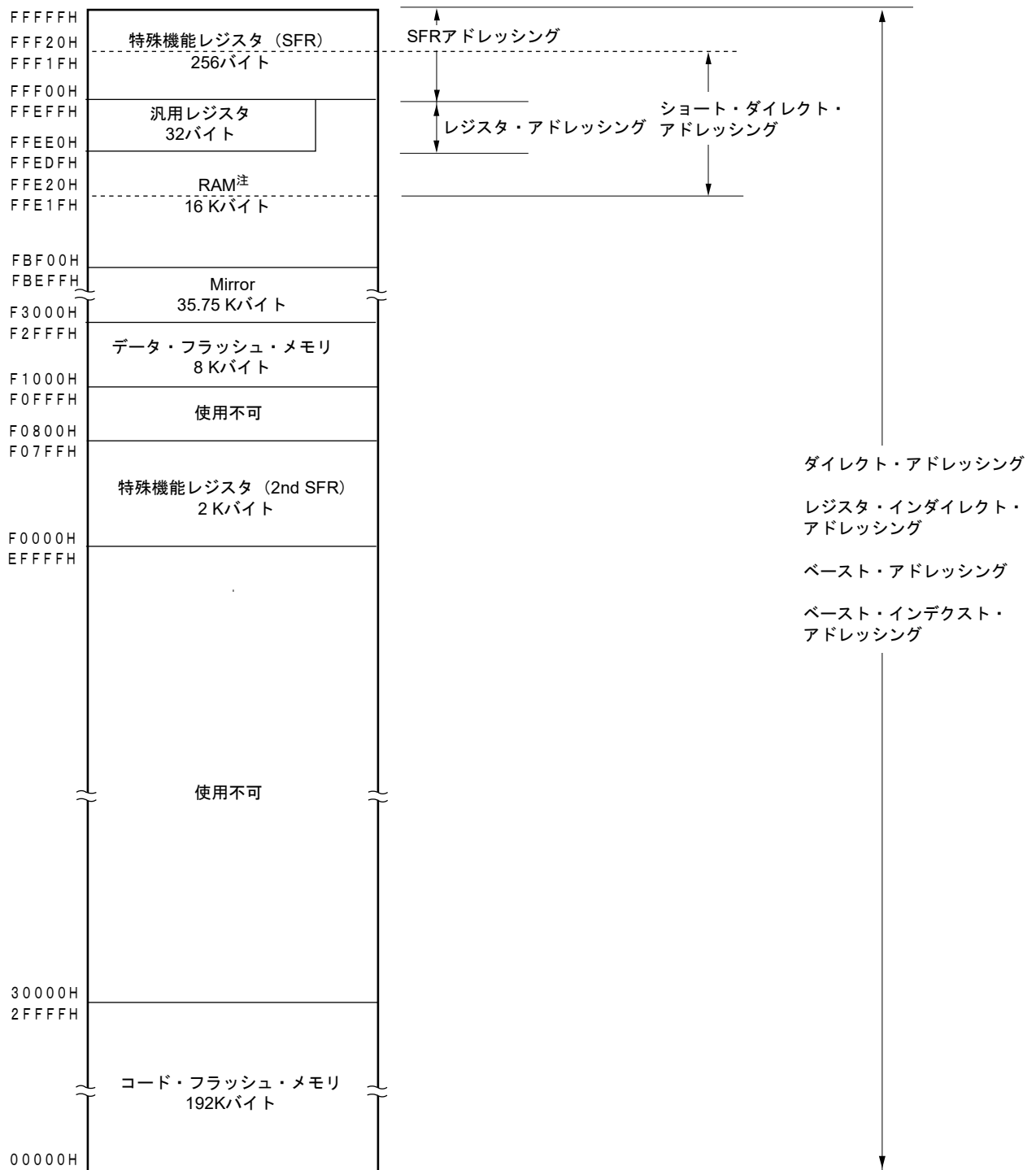
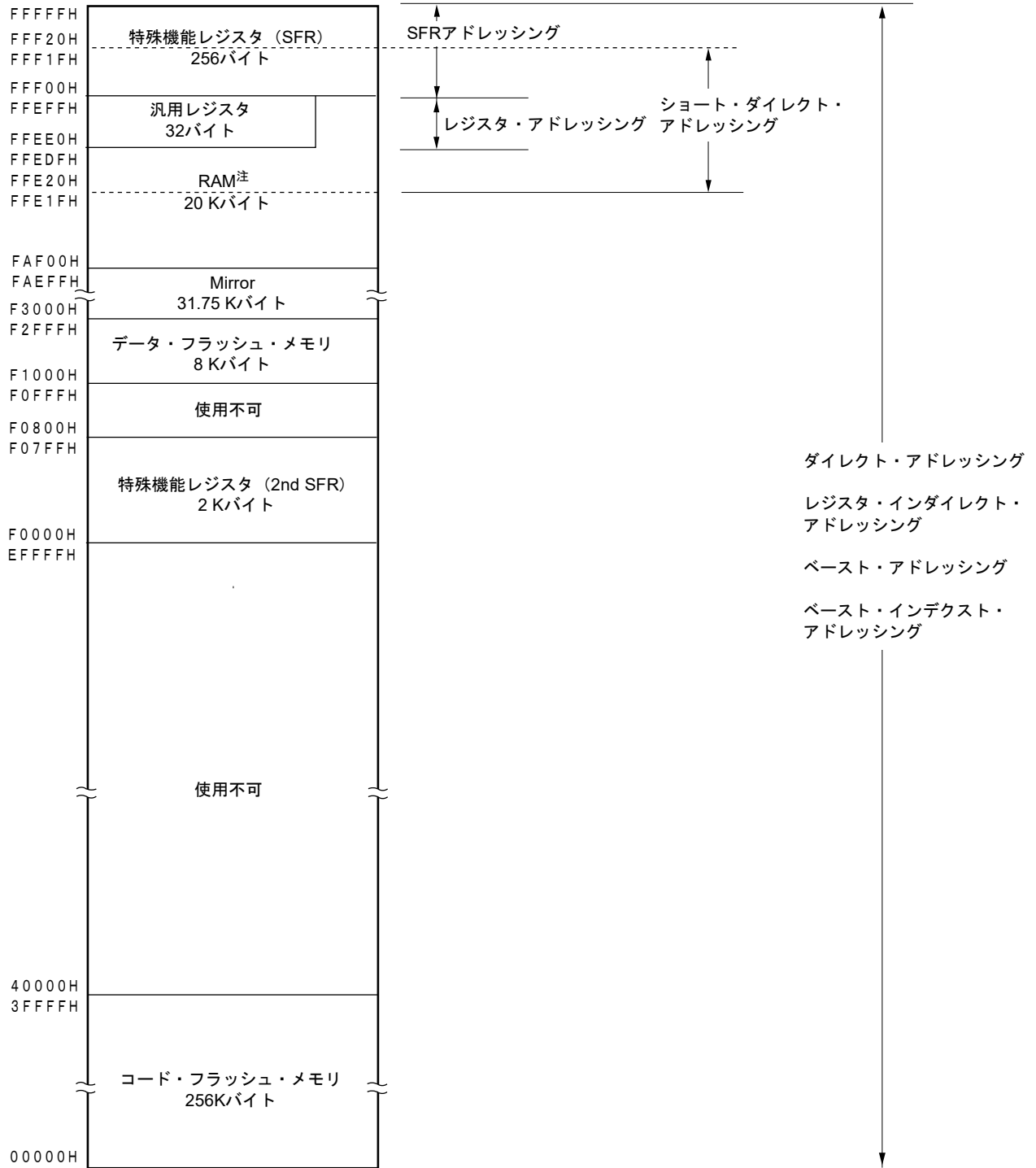


図4-7 データ・メモリとアドレッシングの対応 (R5F11AGJ)





## 4.3 プロセッサ・レジスタ

RL78/G1Dは、次のプロセッサ・レジスタを内蔵しています。

### 4.3.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

#### (1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエイト・データやレジスタの内容がセットされます。

リセット信号の発生により、00000H、00001H番地のリセット・ベクタ・テーブルの値が、下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図4-8 プログラム・カウンタの構成



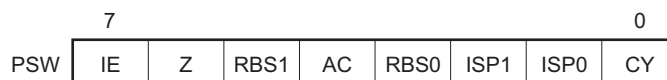
#### (2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図4-9 プログラム・ステータス・ワードの構成



##### (a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは、インサバース・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

##### (b) ゼロ・フラグ（Z）

演算や比較で結果がゼロまたは等しいときセット（1）され、それ以外の場合にリセット（0）される

フラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサースビス・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L) (17.3.3 参照) でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際にベクタ割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

**備考** n = 0, 1

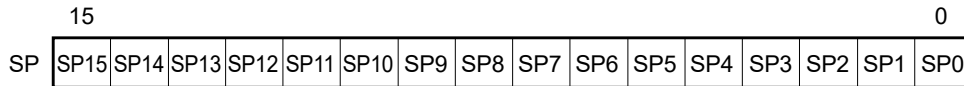
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

## (3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図4-10 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

- 注意1.** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
2. 汎用レジスタ（FFEE0H-FFEFFH）の空間は、スタック領域としての使用を禁止します。
  3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDMA による転送先／転送元で利用するRAMアドレスを FFE20H-FFEDFH の領域に配置しないでください。
  4. セルフ・プログラミング機能およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するために使用禁止になります。  
R5F11AGJ： FAF00H-FB309H

### 4.3.2 汎用レジスタ

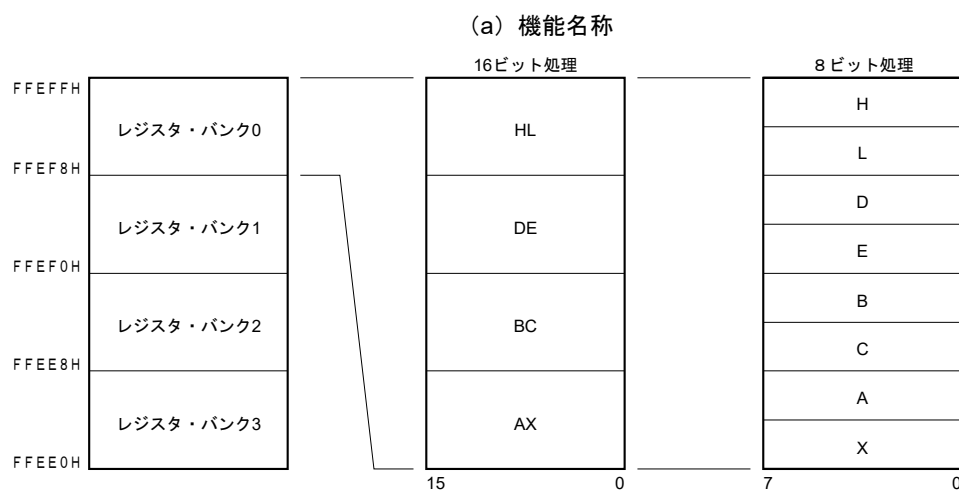
汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み処理で使用するレジスタをバンク切り替えすれば、効率のよいプログラムを作成できます。

**注意** 汎用レジスタ（FFEE0H-FFEFFH）の空間は、命令フェッチやスタック領域としての使用を禁止します。

図4-11 汎用レジスタの構成



### 4.3.3 ES, CSレジスタ

ESレジスタでデータ・アクセス, CSレジスタで(レジスタ・ダイレクト・アドレッシング) 分岐命令実行時の, それぞれ上位アドレスを指定できます。

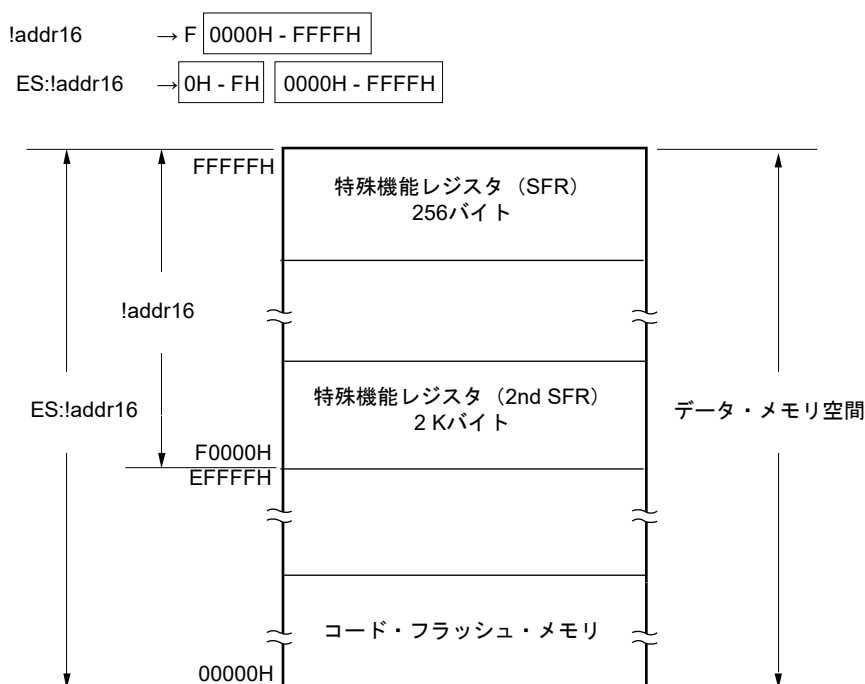
ESレジスタのリセット後の初期値は0FH, CSレジスタのリセット後の初期値は00Hです。

図4-12 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CP2	CP1	CP0

16ビット・アドレスでアクセスできるデータ領域は, F0000H-FFFFFHの64 Kバイト空間ですが, ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図4-13 データ・アクセス領域の拡張



#### 4.3.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (sfr.bit) 次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表4-5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を○で示します。-は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

**注意** SFRが割り付けられていないアドレスにアクセスしないでください。

**備考** 拡張SFR (2nd SFR) については、4.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表4-5 SFR一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	
					1ビット	8ビット	16ビット		
FFF00H	ポート・レジスタ0	P0		R/W	○	○	—	00H	
FFF01H	ポート・レジスタ1	P1		R/W	○	○	—	00H	
FFF02H	ポート・レジスタ2	P2		R/W	○	○	—	00H	
FFF03H	ポート・レジスタ3	P3		R/W	○	○	—	00H	
FFF04H	ポート・レジスタ4	P4		R/W	○	○	—	00H	
FFF05H	ポート・レジスタ5	P5		R/W	○	○	—	00H	
FFF06H	ポート・レジスタ6	P6		R/W	○	○	—	00H	
FFF07H	ポート・レジスタ7	P7		R/W	○	○	—	00H	
★	FFF08H	ポート・レジスタ8		R/W	○	○	—	00H	
★	FFF0AH	ポート・レジスタ10		R/W	○	○	—	00H	
★	FFF0BH	ポート・レジスタ11		R/W	○	○	—	00H	
	FFF0CH	ポート・レジスタ12		R/W	○	○	—	不定	
	FFF0DH	ポート・レジスタ13		R/W	○	○	—	不定	
	FFF0EH	ポート・レジスタ14		R/W	○	○	—	00H	
★	FFF0FH	ポート・レジスタ15		R/W	○	○	—	00H	
	FFF10H	シリアル・データ・レジスタ00	TXD0/SIO00	SDR00	R/W	—	○	0000H	
	FFF11H		—			—	—		
	FFF12H	シリアル・データ・レジスタ01	RXD0/SIO01	SDR01	R/W	—	○	0000H	
	FFF13H		—			—	—		
	FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	○	0000H
	FFF19H								
	FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	○	0000H
	FFF1BH		TDR01H						
	FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
	FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
	FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH
	FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	—	FFH
	FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	—	FFH
	FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	—	FFH
	FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	—	FFH
	FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	—	FFH
	FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	—	FFH
	FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	—	FFH
★	FFF28H	ポート・モード・レジスタ8	PM8		R/W	○	○	—	FFH
★	FFF2AH	ポート・モード・レジスタ10	PM10		R/W	○	○	—	FFH
★	FFF2BH	ポート・モード・レジスタ11	PM11		R/W	○	○	—	FFH
	FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	—	FFH
	FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	—	FFH
★	FFF2FH	ポート・モード・レジスタ15	PM15		R/W	○	○	—	FFH
	FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	—	00H
	FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
	FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	—	00H

表4-5 SFR一覧 (2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット 時
					1ビット	8ビット	16ビット	
FFF38H	外部割り込み立ち上がりエッジ許可 レジスタ0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可 レジスタ0	EGN0		R/W	○	○	—	00H
FFF3AH	外部割り込み立ち上がりエッジ許可 レジスタ1	EGP1		R/W	○	○	—	00H
FFF3BH	外部割り込み立ち下がりエッジ許可 レジスタ1	EGN1		R/W	○	○	—	00H
FFF44H	シリアル・データ・レジスタ02	TXD1/SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—			
FFF46H	シリアル・データ・レジスタ03	RXD1/SIO11	SDR03	R/W	—	○	○	0000H
FFF47H		—			—			
FFF48H	シリアル・データ・レジスタ10	TXD2/SIO20	SDR10	R/W	—	○	○	0000H
FFF49H		—			—			
FFF4AH	シリアル・データ・レジスタ11	RXD2/SIO21	SDR11	R/W	—	○	○	0000H
FFF4BH		—			—			
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	—	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	0000H
FFF67H		TDR03H						
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	—	—	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	—	—	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	—	—	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	—	—	○	0000H
FFF6FH								
FFF90H	インターバル・タイマ・ コントロール・レジスタ	ITMC		R/W	—	—	○	0FFFH
FFF91H								
FFF92H	秒カウント・レジスタ	SEC		R/W	—	○	—	00H
FFF93H	分カウント・レジスタ	MIN		R/W	—	○	—	00H



表4-5 SFR一覧 (3/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF94H	時カウント・レジスタ	HOUR		R/W	—	○	—	12H <sup>注1</sup>
FFF95H	曜日カウント・レジスタ	WEEK		R/W	—	○	—	00H
FFF96H	日カウント・レジスタ	DAY		R/W	—	○	—	01H
FFF97H	月カウント・レジスタ	MONTH		R/W	—	○	—	00H
FFF98H	年カウント・レジスタ	YEAR		R/W	—	○	—	00H
FFF99H	時計誤差補正レジスタ	SUBCUD		R/W	—	○	—	00H
FFF9AH	アラーム分レジスタ	ALARMWWM		R/W	—	○	—	00H
FFF9BH	アラーム時レジスタ	ALARMWH		R/W	—	○	—	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW		R/W	—	○	—	00H
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0		R/W	○	○	—	00H
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1		R/W	○	○	—	00H
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	—	○	—	不定 <sup>注2</sup>
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	—	00H <sup>注2</sup>
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	—	00H/01H/ 81H <sup>注2</sup>
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	—	○	—	1AH/ 9AH <sup>注3</sup>
FFFACH	CRC入力レジスタ	CRCIN		R/W	—	○	—	00H
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	—	○	—	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	—	○	—	00H
FFFB2H	DMA RAMアドレス・レジスタ0	DRA0L	DRA0	R/W	—	○	○	0000H
FFFB3H		DRA0H		R/W				
FFFB4H	DMA RAMアドレス・レジスタ1	DRA1L	DRA1	R/W	—	○	○	0000H
FFFB5H		DRA1H		R/W				
FFFB6H	DMA バイト・カウント・レジスタ0	DBC0L	DBC0	R/W	—	○	○	0000H
FFFB7H		DBC0H		R/W				
FFFB8H	DMA バイト・カウント・レジスタ1	DBC1L	DBC1	R/W	—	○	○	0000H
FFFB9H		DBC1H		R/W				

(注は次ページにあります。)

注1. リセット後に、AMPMビット（リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3）に1をセットした場合は00Hとなります。

2. リセット要因により、次のように異なります。

リセット要因		RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリアクセスによるリセット	LVDによるリセット
RESF	TRAP	クリア (0)		セット (1)	保持			保持
	WDTRF			保持	セット (1)	保持		
	RPERF			保持		セット (1)	保持	
	IAWRF			保持			セット (1)	
	LVIRF			保持				
LVIM	LVISEN	クリア (0)						保持
	LVIOMSK	保持						
	LVIF							
LVIS		クリア(00H/01H/81H)						

3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

表4-5 SFR一覧 (4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFBAH	DMA モード・コントロール・レジスタ0	DMC0		R/W	○	○	—	00H
FFFBBH	DMA モード・コントロール・レジスタ1	DMC1		R/W	○	○	—	00H
FFFBCB	DMA 動作コントロール・レジスタ0	DRC0		R/W	○	○	—	00H
FFFBDH	DMA 動作コントロール・レジスタ1	DRC1		R/W	○	○	—	00H
FFFD0H	割り込み要求フラグ・レジスタ2	IF2L	IF2	R/W	○	○	○	0000H
FFFD1H		IF2H		R/W				
FFFD2H	割り込み要求フラグ・レジスタ3L	IF3L	IF3	R/W	○	○	○	00H
FFFD4H	割り込みマスク・フラグ・レジスタ2	MK2L	MK2	R/W	○	○	○	FFFFH
FFFD5H		MK2H		R/W				
FFFD6H	割り込みマスク・フラグ・レジスタ3L	MK3L	MK3	R/W	○	○	○	FFH
FFFD8H	優先順位指定フラグ・レジスタ02	PR02L	PR02	R/W	○	○	○	FFFFH
FFFD9H		PR02H		R/W				
FFFDAH	優先順位指定フラグ・レジスタ03L	PR03L	PR03	R/W	○	○	○	FFH
FFFDCH	優先順位指定フラグ・レジスタ12	PR12L	PR12	R/W	○	○	○	FFFFH
FFDDH		PR12H		R/W				
FFFDEH	優先順位指定フラグ・レジスタ13L	PR13L	PR13	R/W	○	○	○	FFH
FFFE0H	割り込み要求フラグ・レジスタ0	IF0L	IF0	R/W	○	○	○	0000H
FFFE1H		IF0H		R/W				
FFFE2H	割り込み要求フラグ・レジスタ1	IF1L	IF1	R/W	○	○	○	0000H
FFFE3H		IF1H		R/W				
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFFFH
FFFE5H		MK0H		R/W				
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFFFH
FFFE7H		MK1H		R/W				
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFFFH
FFFE9H		PR00H		R/W				
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFFFH
FFFEBH		PR01H		R/W				
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFFFH
FF FEDH		PR10H		R/W				
FFFE EH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFFFH
FFFE FH		PR11H		R/W				
FFFF0H	乗除算データ・レジスタA (L)	MDAL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	乗除算データ・レジスタA (H)	MDAH		R/W	—	—	○	0000H
FFFF3H								
FFFF4H	乗除算データ・レジスタB (H)	MDBH		R/W	—	—	○	0000H
FFFF5H								
FFFF6H	乗除算データ・レジスタB (L)	MDBL		R/W	—	—	○	0000H
FFFF7H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

備考 拡張SFR (2nd SFR) については、表4-6 拡張SFR (2nd SFR) 一覧を参照してください。

### 4.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F000H-F07FFHの領域です。SFR領域 (FFF0H-FFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (!addr16.bit) には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表4-6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する拡張SFRが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を○で示します。-は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

**注意** 拡張SFR (2nd SFR) が割り付けられていないアドレスにアクセスしないでください。

**備考** SFR領域のSFRについては、「4.2.4 特殊機能レジスタ (SFR : Special Function Register)」を参照してください。

表4-6 拡張SFR (2nd SFR) 一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	—	FFH
F006CH	ポート・モード・コントロール・レジスタ12	PMC12	R/W	○	○	—	FFH
★ F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定 <sup>注1</sup>
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定 <sup>注2</sup>
F00E0H	乗除算データ・レジスタC (L)	MDCL	R/W	—	—	○	0000H
F00E2H	乗除算データ・レジスタC (H)	MDCH	R/W	—	—	○	0000H
F00E8H	乗除算コントロール・レジスタ	MDUC	R/W	○	○	—	00H
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	—	○	—	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定

注1. リセット値は出荷時に調整した値です。

2. オプション・バイト000C2HのFRQSEL2 - FRQSEL0で設定した値になります。

表4-6 拡張SFR (2nd SFR) 一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—			
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—			
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	○	0000H
F0105H		—			—			
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	○	0000H
F0107H		—			—			
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—			
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—			
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	—	○	○	0000H
F010DH		—			—			
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—			
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	—	—	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	—	—	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	—	—	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	—	—	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	—	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	—	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	—	—	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	—	—	○	0087H
F011FH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—			
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—			
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—			
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—			

表4-6 拡張SFR (2nd SFR) 一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0128H	シリアル出力レジスタ0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—			
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—			
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	—	○	○	0000H
		—			—			
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—			—			
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—			—			
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H		—			—			
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH		—			—			
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	—	—	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	—	—	○	0020H
F0153H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	—	—	○	0087H
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	—	—	○	0087H
F0160H	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1	R	○	○	○	0000H
F0161H		—			—			
F0162H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—			
F0164H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—			
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—			
F0168H	シリアル出力レジスタ1	SO1		R/W	—	—	○	0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—			
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	—	—	○	FFFFH
F0187H								

表4-6 拡張SFR (2nd SFR) 一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	—	—	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	—	—	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	—	—	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	—	—	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	—	—	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	—	—	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	—	—	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	—	—	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	—	—	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	—	—	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—			
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—			
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—			
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—			
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	—	○	○	0000H
F01A9H		—			—			
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	—	○	○	0000H
F01ABH		—			—			
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	—	○	○	0000H
F01ADH		—			—			
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	—	○	○	0000H
F01AFH		—			—			



表4-6 拡張SFR (2nd SFR) 一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—			
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—			
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—			
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—			
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F0200H	DMA SFRアドレス・レジスタ2	DSA2		R/W	—	○	—	00H
F0201H	DMA SFRアドレス・レジスタ3	DSA3		R/W	—	○	—	00H
F0202H	DMA RAMアドレス・レジスタ2	DRA2L	DRA2	R/W	—	○	○	00H
F0203H		DRA2H		R/W	—	○		
F0204H	DMA RAMアドレス・レジスタ3	DRA3L	DRA3	R/W	—	○	○	00H
F0205H		DRA3H		R/W	—	○		
F0206H	DMA バイト・カウント・レジスタ2	DBC2L	DBC2	R/W	—	○	○	00H
F0207H		DBC2H		R/W	—	○		
F0208H	DMA バイト・カウント・レジスタ3	DBC3L	DBC3	R/W	—	○	○	00H
F0209H		DBC3H		R/W	—	○		
F020AH	DMA モード・コントロール・レジスタ2	DMC2		R/W	○	○	—	00H
F020BH	DMA モード・コントロール・レジスタ3	DMC3		R/W	○	○	—	00H
F020CH	DMA 動作コントロール・レジスタ2	DRC2		R/W	○	○	—	00H
F020DH	DMA 動作コントロール・レジスタ3	DRC3		R/W	○	○	—	00H
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	—	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL		R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL		R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD		R/W	—	—	○	0000H

備考 SFR領域のSFRについては、表4-5 SFR一覧を参照してください。

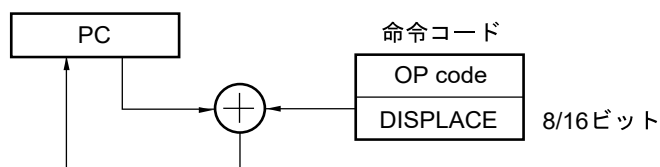
## 4.4 命令アドレスのアドレッシング

### 4.4.1 レラティブ・アドレッシング

#### 【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレイメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図4-14 レラティブ・アドレッシングの概略



### 4.4.2 イミューディエト・アドレッシング

#### 【機能】

命令語中のイミューディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミューディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図4-15 CALL !!addr20/BR !!addr20の例

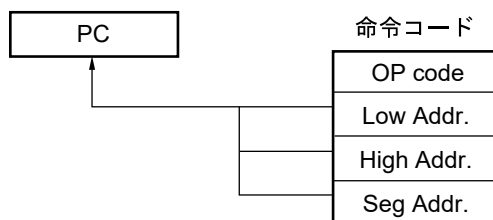
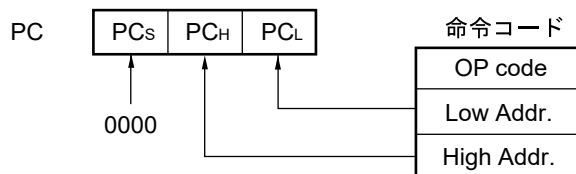


図4-16 CALL !addr16/BR !addr16の例



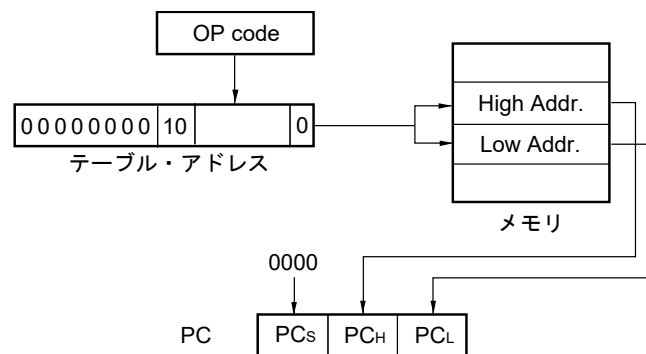
### 4.4.3 テーブル・インダイレクト・アドレッシング

#### 【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図4-17 テーブル・インダイレクト・アドレッシングの概略

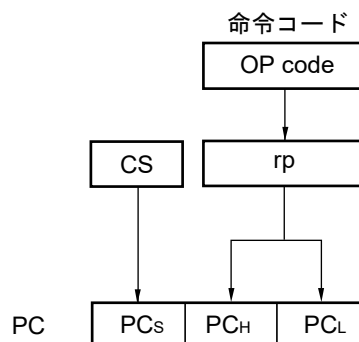


### 4.4.4 レジスタ・ダイレクト・アドレッシング

#### 【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図4-18 レジスタ・ダイレクト・アドレッシングの概略



## 4.5 処理データ・アドレスに対するアドレッシング

### 4.5.1 インプライド・アドレッシング

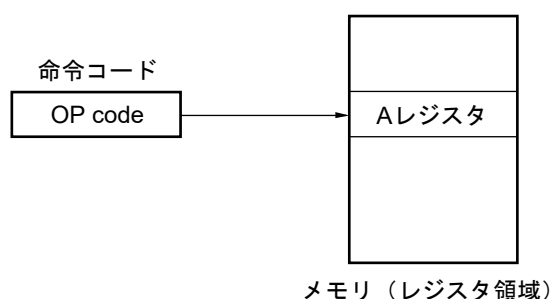
#### 【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

#### 【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図4-19 インプライド・アドレッシングの概略



### 4.5.2 レジスタ・アドレッシング

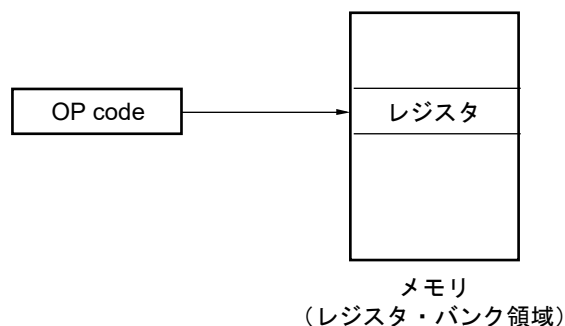
#### 【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

#### 【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図4-20 レジスタ・アドレッシングの概略



### 4.5.3 ダイレクト・アドレッシング

**【機能】**

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

**【オペランド形式】**

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図4-21 !addr16の例

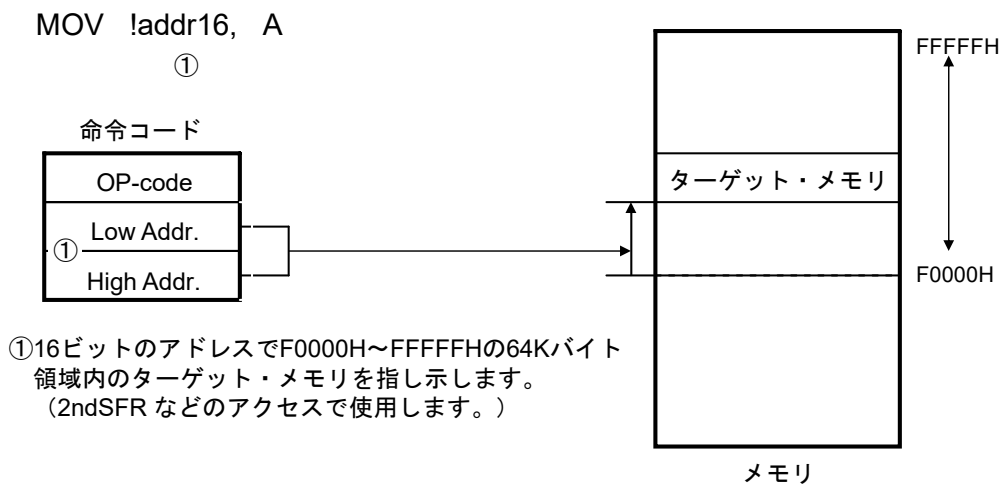
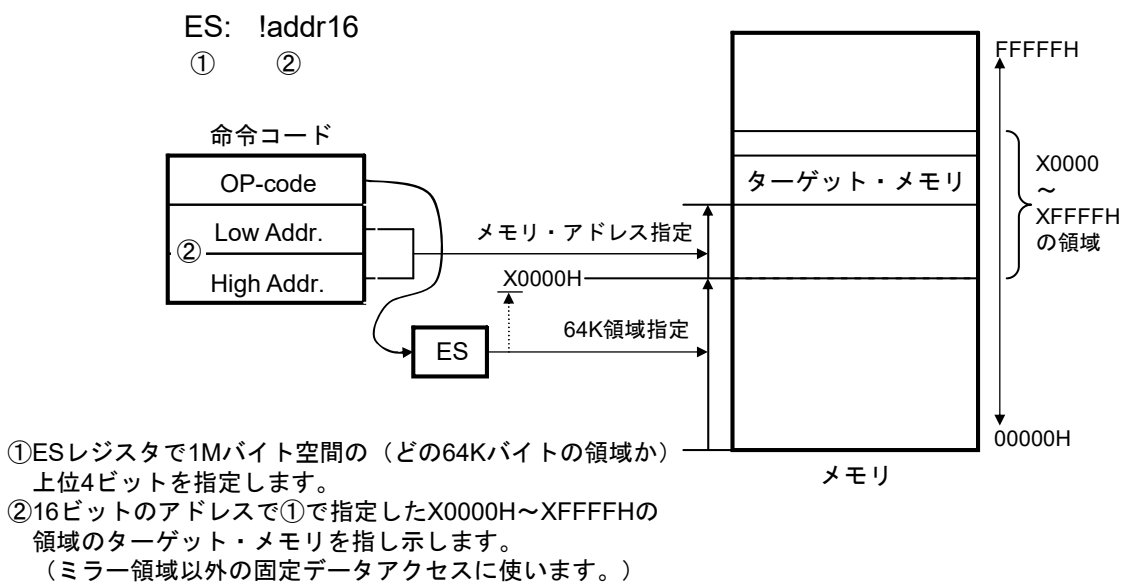


図4-22 ES:!addr16の例



## 4.5.4 ショート・ダイレクト・アドレッシング

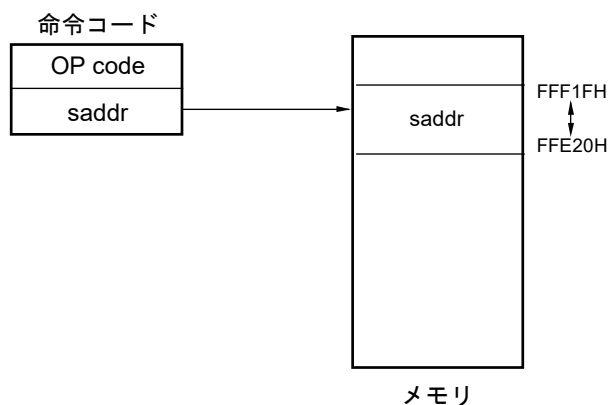
## 【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

## 【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図4-23 ショート・ダイレクト・アドレッシングの概略



**備考** SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

## 4.5.5 SFRアドレッシング

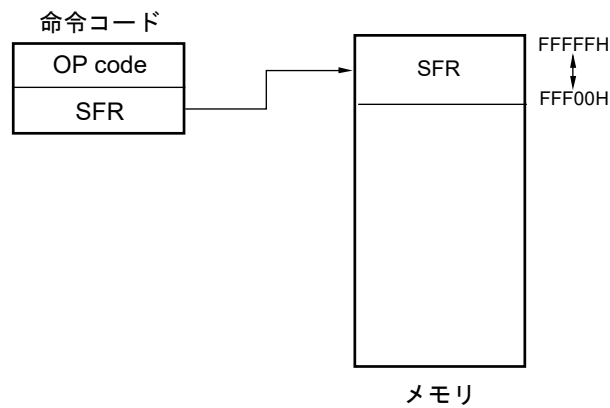
## 【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

## 【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図4-24 SFRアドレッシングの概略



### 4.5.6 レジスタ・インダイレクト・アドレッシング

**【機能】**

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

**【オペランド形式】**

表現形式	記述方法
—	[DE], [HL] (F0000H~FFFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図4-25 [DE], [HL]の例

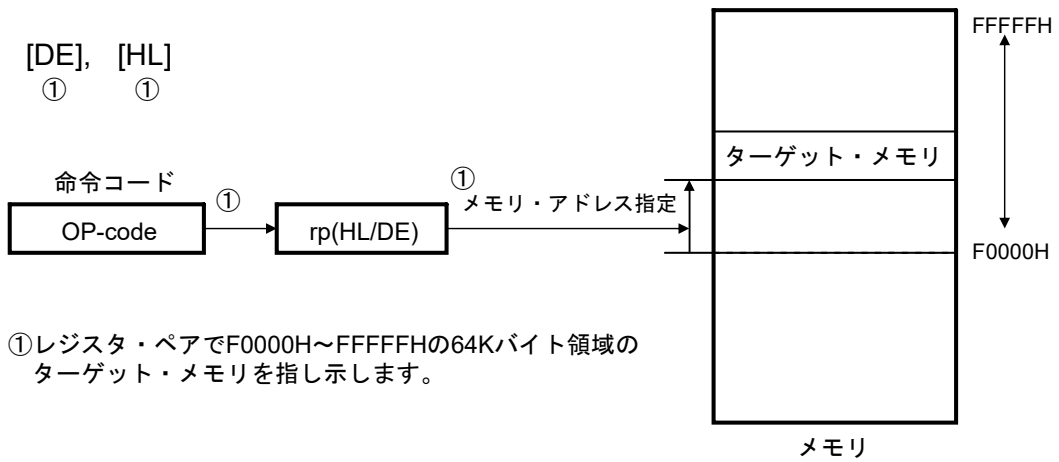
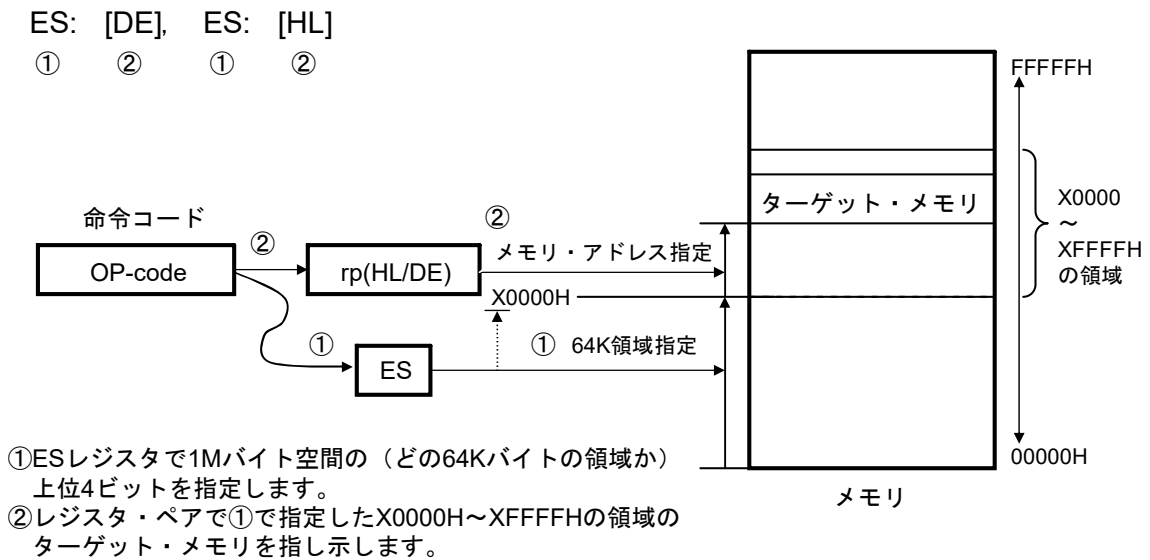


図4-26 ES:[DE], ES:[HL]の例





### 4.5.7 ベース・アドレッシング

**【機能】**

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

**【オペランド形式】**

表現形式	記述方法
—	[HL+byte], [DE+byte], [SP+byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL+byte], ES:[DE+byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図4-27 [SP+byte]の例

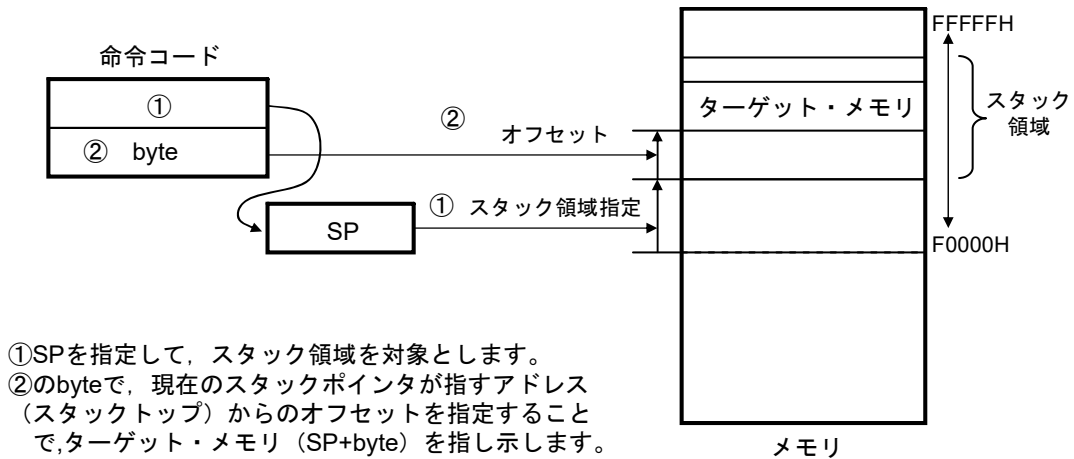


図4-28 [HL+byte], [DE+byte]の例

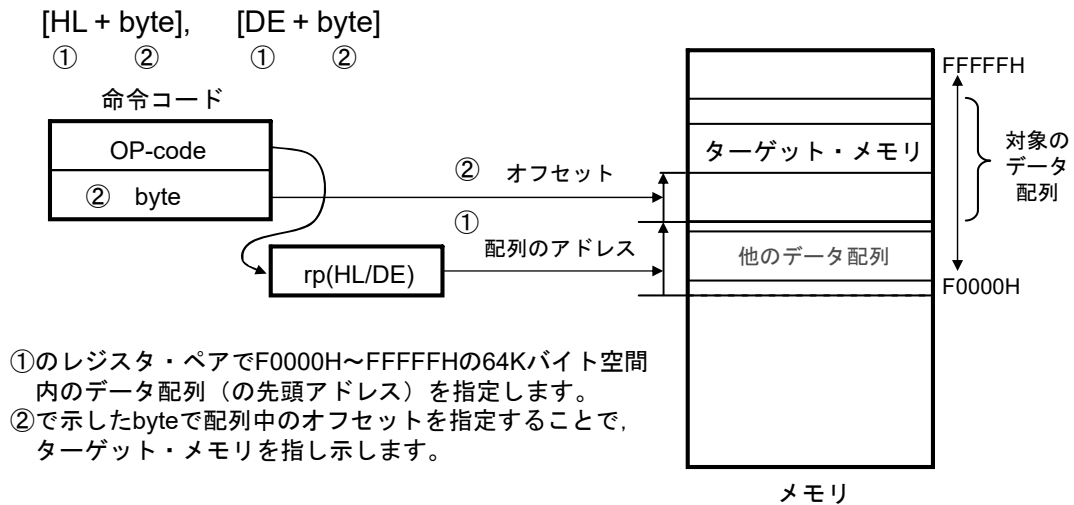


図4-29 word[B], word[C]の例

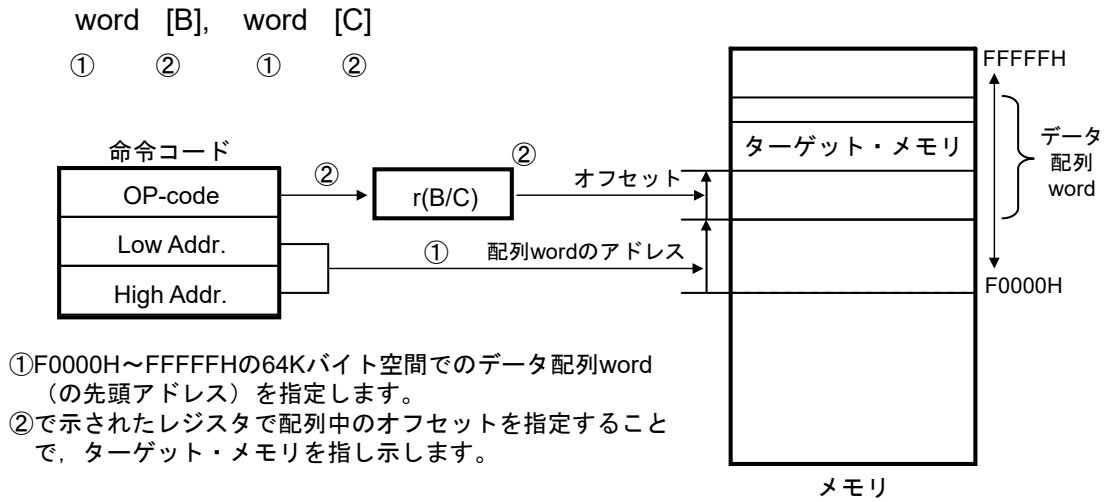


図4-30 word[BC]の例

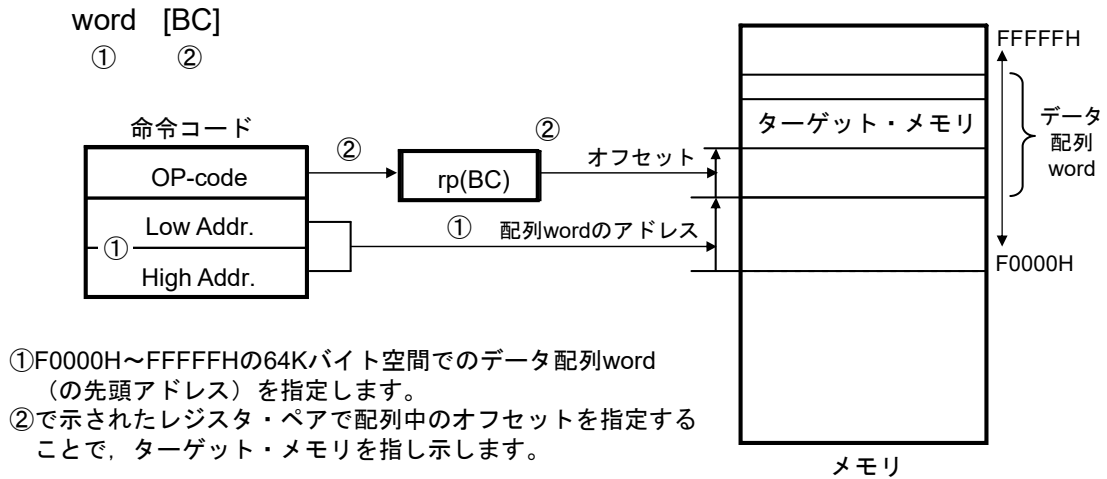


図4-31 ES:[HL+byte], ES:[DE+byte]の例

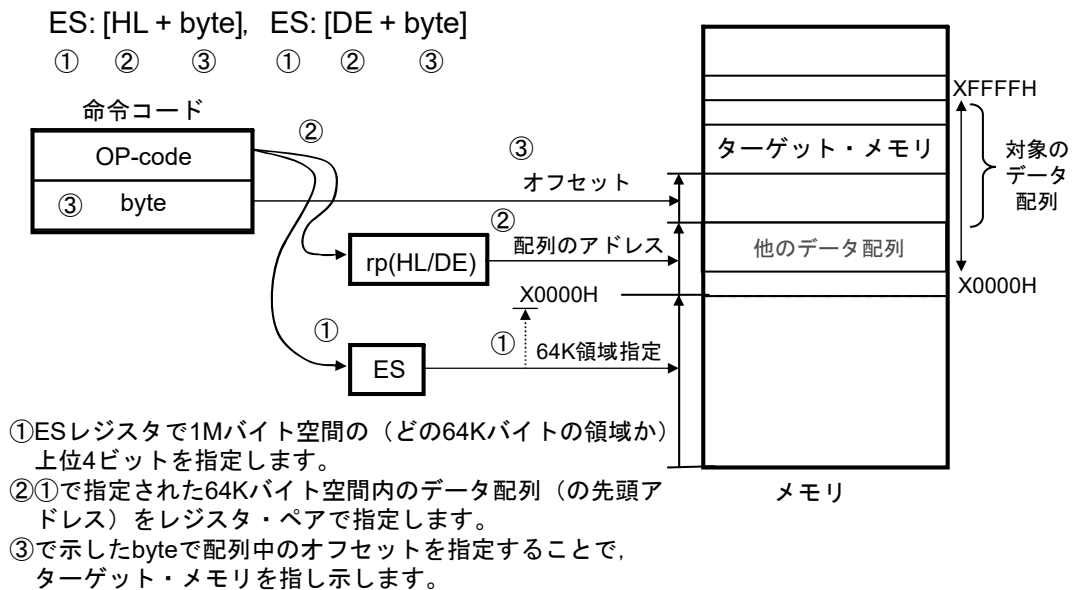
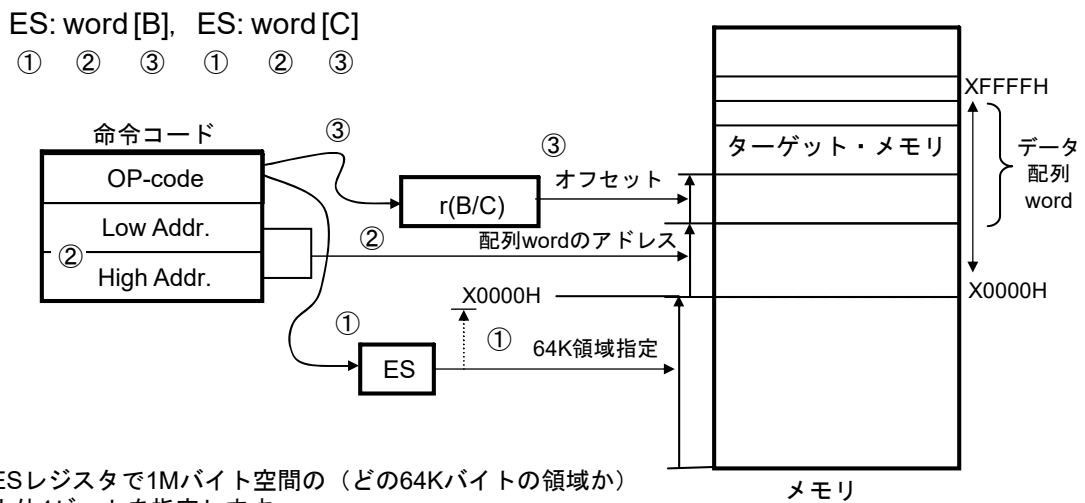
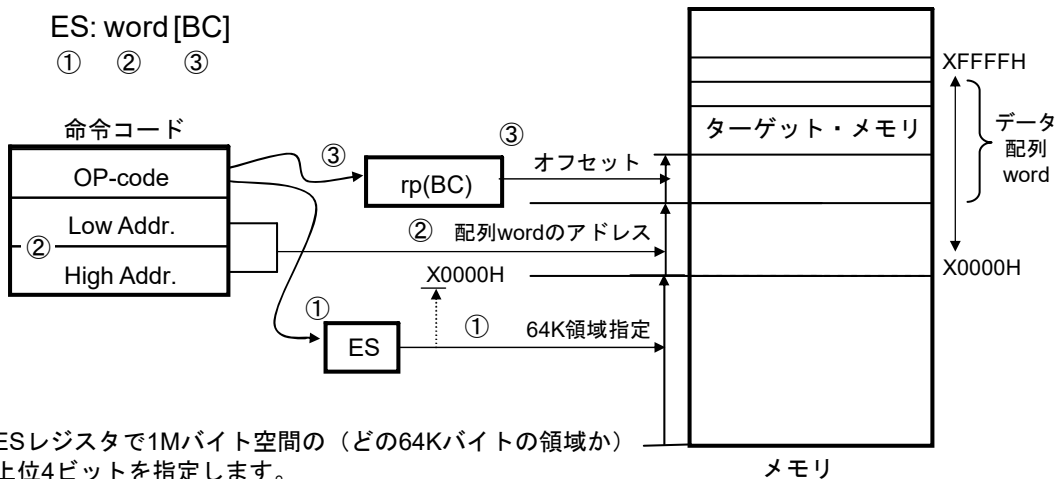


図4-32 ES:word[B], ES:word[C]の例



- ① ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
- ② ①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
- ③で示したレジスタで配列中のオフセットを指定することで、ターゲット・メモリを指し示します。

図4-33 ES:word[BC]の例



- ① ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
- ② ①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
- ③で示したレジスタ・ペアで配列中のオフセットを指定することで、ターゲット・メモリを指し示します。

### 4.5.8 ベース・インデクスト・アドレッシング

**【機能】**

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

**【オペランド形式】**

表現形式	記述方法
—	[HL+B], [HL+C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL+B], ES:[HL+C] (ESレジスタにて上位4ビット・アドレス指定)

図4-34 [HL+B], [HL+C]の例

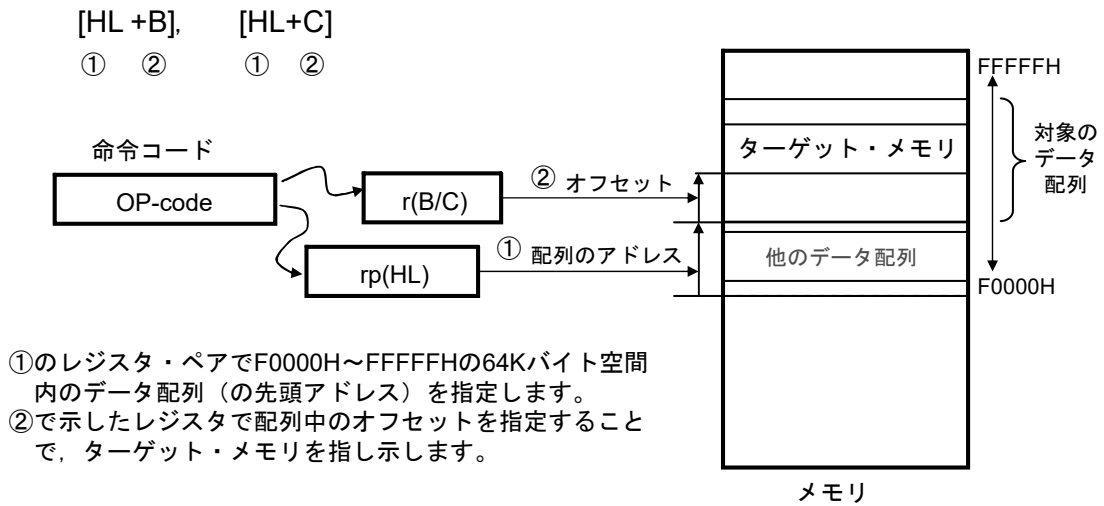
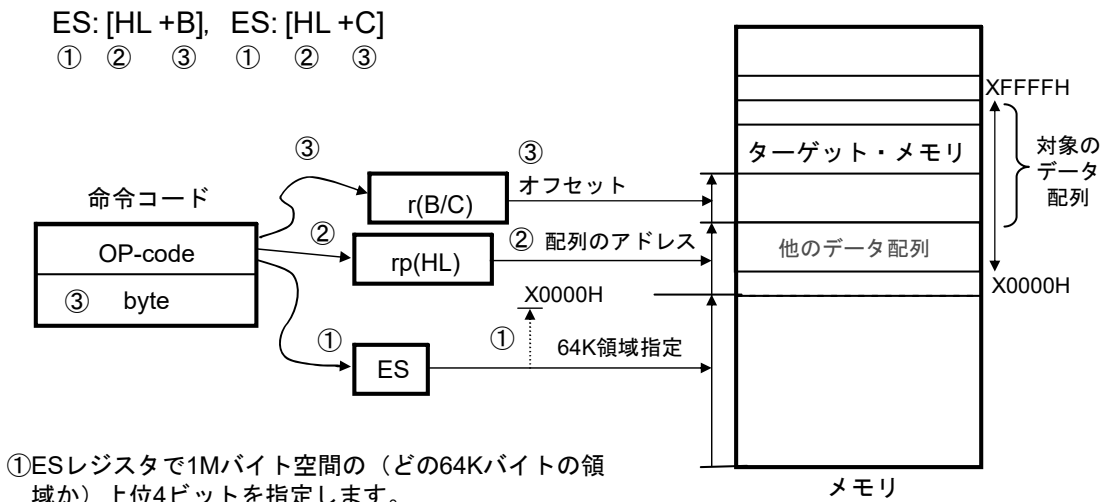


図4-35 ES:[HL+B], ES:[HL+C]の例



## 4.5.9 スタック・アドレッシング

## 【機能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

## 【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避／復帰されるデータは図4-36～図4-41のようになります。

図4-36 PUSH rpの例

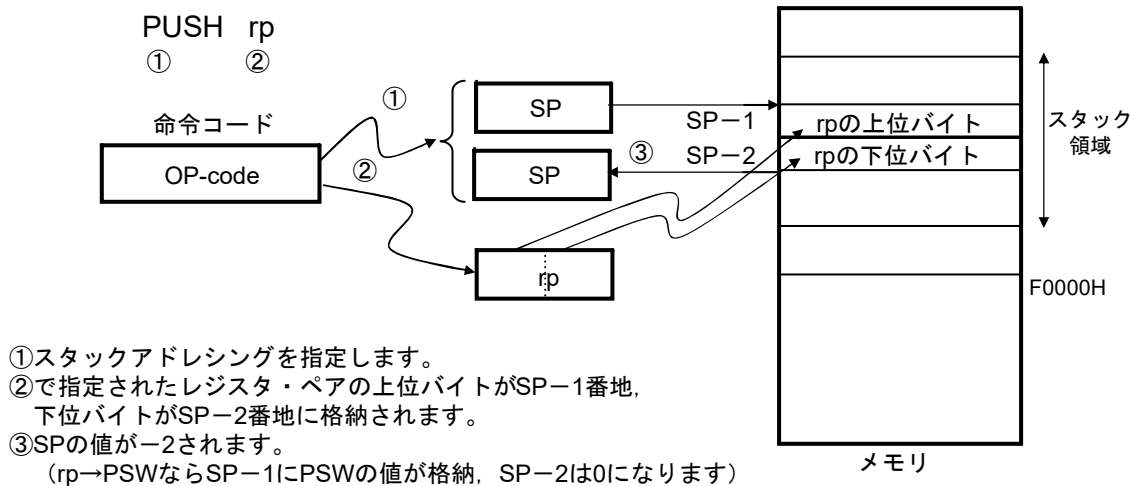


図4-37 POPの例

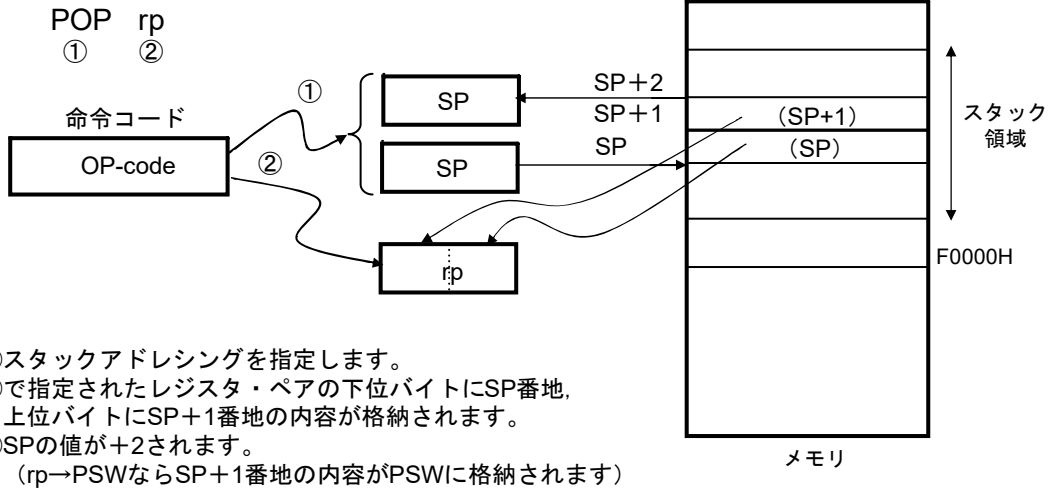


図4-38 CALL, CALLTの例

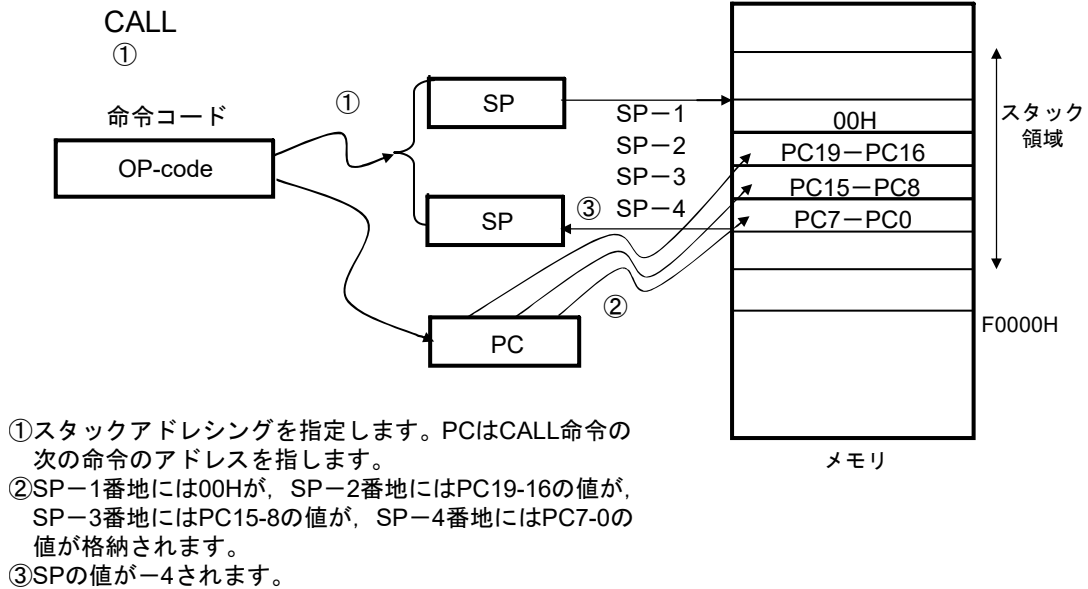


図4-39 RETの例

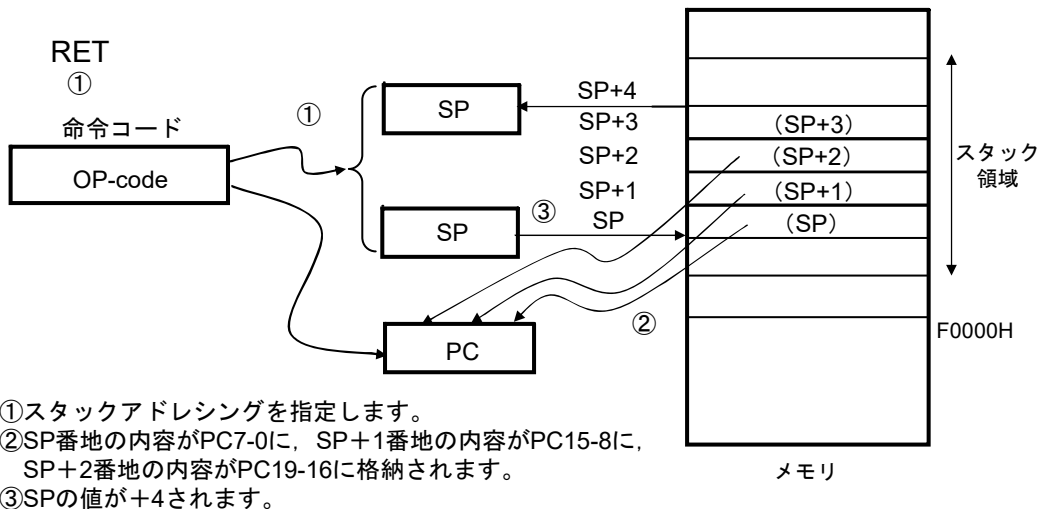
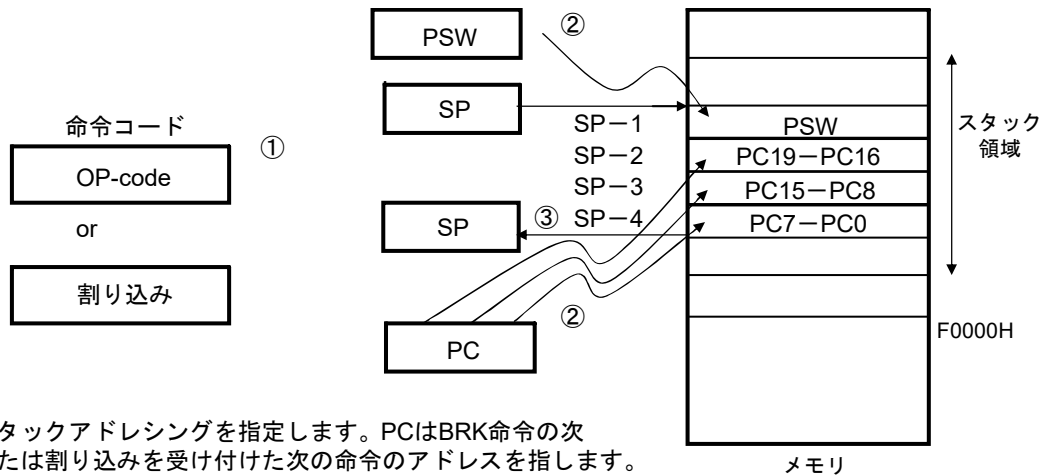
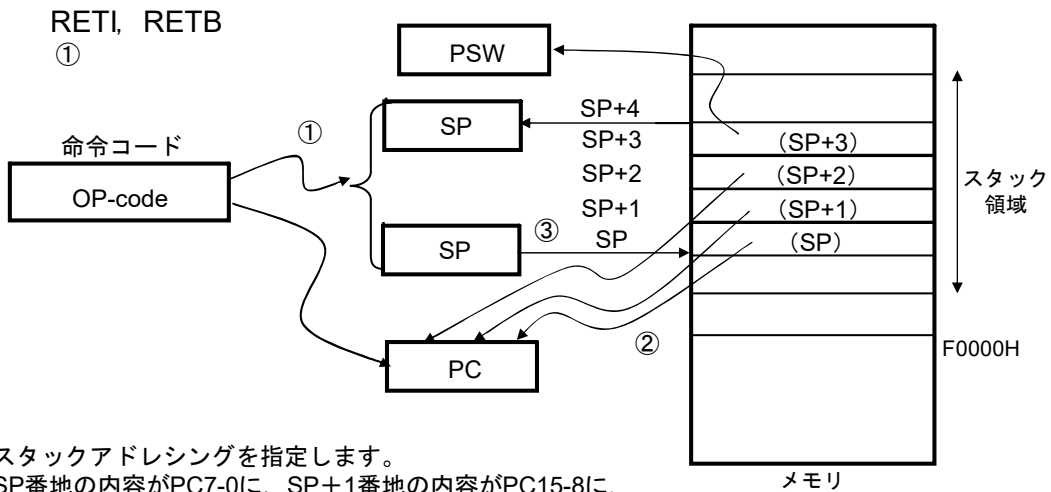


図4-40 割り込み、BRKの例



- ① スタックアドレッシングを指定します。PCはBRK命令の次または割り込みを受け付けた次の命令のアドレスを指します。
- ② SP-1番地にはPSWの値が、SP-2番地にはPC19-16の値が、SP-3番地にはPC15-8の値が、SP-4番地にはPC7-0の値が格納されます。
- ③ SPの値が-4されます。

図4-41 RETI, RETBの例



- ① スタックアドレッシングを指定します。
- ② SP番地の内容がPC7-0に、SP+1番地の内容がPC15-8に、SP+2番地の内容がPC19-16に、SP+3番地の内容がPSW格納されます。
- ③ SPの値が+4されます。

## 第5章 ポート機能ポートの機能

RL78/G1Dは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第3章 端子機能を参照してください。

### 5.1 ポートの構成

ポートは、次のハードウェアで構成しています。

表5-1 ポートの構成

項目	構成
★ 制御レジスタ	ポート・モード・レジスタ (PM0-PM8, PM10-PM12, PM14, PM15) ポート・レジスタ (P0 -P8, P10-P15) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU4, PU12, PU14) ポート入力モード・レジスタ (PIM0, PIM1) ポート出力モード・レジスタ (POM0, POM1) ポート・モード・コントロール・レジスタ (PMC0, PMC12, PMC14) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 周辺I/Oリダイレクション・レジスタ (PIOR) グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)
ポート	合計：32本 (CMOS入出力：26本, CMOS入力：5本, CMOS出力：1本)
プルアップ抵抗	合計：16本

**注意** この章では、周辺I/Oリダイレクション・レジスタ (PIOR) に00H設定時の場合で説明しています。



### 5.1.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P03端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P01, P03端子の入力は、ポート入力モード・レジスタ0 (PIM0) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P00, P02, P03端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でN-chオープン・ドレイン出力 ( $V_{DD}$ 耐圧) に設定可能です。

P02, P03端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ0 (PMC0) で“デジタル入出力”を設定してください (1ビット単位で設定可能)。

また、兼用機能として、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力があります。

P05, P06端子は、RL78/G1DのMCU部とRF部間で内部接続をしています。

第2章 MCUとRFトランシーバの接続を参照してください。

### 5.1.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P10-P16端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P13-P16端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P10-P15端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 ( $V_{DD}$ 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、プログラミングUARTの送受信、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

### 5.1.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの+側基準電圧入力、A/Dコンバータの-側基準電圧入力があります。

P20/ANI0-P23/ANI3をデジタル入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) で“デジタル入出力”に設定して、上位ビットから使用してください。

P20/ANI0-P23/ANI3をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM2レジスタで入力モードに設定して、下位ビットから使用してください。

表5-2 P20/ANI0-P23/ANI3端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0-P23/ANI3端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P23/ANI3はすべてアナログ入力になります。

### 5.1.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P30端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、リアルタイム・クロックの補正クロック出力があります。

リセット信号の発生により、P30は入力モードになります。

### 5.1.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード/出力モードの指定ができます。P40端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてフラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力があります。

リセット信号の発生により、入力モードになります。

### 5.1.6 ポート6

出力ラッチ付き出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード/出力モードの指定ができます。

P60, P61端子の出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

### 5.1.7 ポート7

出力ラッチ付き出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード/出力モードの指定ができます。

P70-P72, P74-P77端子は、RL78/G1DのMCU部とRF部間で内部接続しています。P70-P72は兼用機能のシリアル・インタフェースのデータ入出力で使用します。第2章 MCUとRFトランシーバの接続を参照してください。

### 5.1.8 ポート12

P120は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ12 (PM12) により1ビット単位で入力モード/出力モードの指定ができます。

P121-P124は4ビットの入力専用ポートです。

P120端子は、ポート・モード・コントロール・レジスタ12 (PMC12) の設定によりデジタル入出力/アナログ入力の指定ができます。

また兼用機能としてA/Dコンバータのアナログ入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により、P120はアナログ入力になります。P121-P124は入力モードになります。

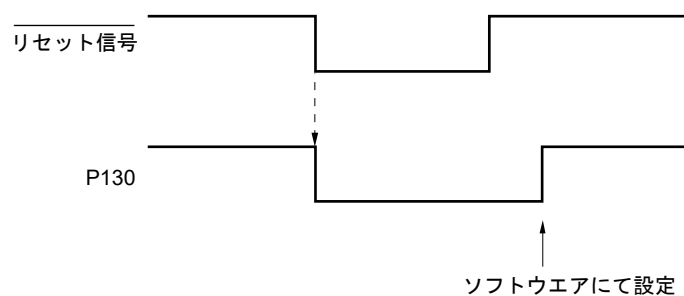
### 5.1.9 ポート13

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード、P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

**備考** リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



### 5.1.10 ポート14

出カラッチ付き入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード／出力モードの指定ができます。P140, P147端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P147端子は、ポート・モード・コントロール・レジスタ14 (PMC14) の設定によりデジタル入出力／アナログ入力の指定ができます。

また、兼用機能としてクロック／ブザー出力、外部割り込み要求入力、A/Dコンバータのアナログ入力があります。

リセット信号の発生により、P140は入力モードになります。P147はアナログ入力になります。

### 5.1.11 GPIOポート

出カラッチ付き入出力ポートです。GPIOポートは、ルネサス製Bluetooth Low Energyプロトコル・スタックのAPI経由によってモード設定、入出力ができます。

また、兼用機能として外部PA/LNA用制御出力、RF部クロック出力、RF用外部クロック入出力があります。

## 5.2 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMx)
- ポート出力モード・レジスタ (POMx)
- ポート・モード・コントロール・レジスタ (PMCxx)
- A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- 周辺I/Oリダイレクション・レジスタ (PIOR)
- グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

**注意** 搭載していないビットには必ず初期値を設定してください。

★

表5-3 PMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット (1/3)

ポート		ビット名					
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ
ポート0	0	PM00	P00	PU00	—	POM00	—
	1	PM01	P01	PU01	PIM01	—	—
	2	PM02	P02	PU02	—	POM02	PMC02
	3	PM03	P03	PU03	PIM03	POM03	PMC03
	4	PM04 <sup>注</sup>	P04 <sup>注</sup>	—	—	—	—
	5	PM05 <sup>注</sup>	P05 <sup>注</sup>	—	—	—	—
	6	PM06 <sup>注</sup>	P06 <sup>注</sup>	—	—	—	—
ポート1	0	PM10	P10	PU10	PIM10	POM10	—
	1	PM11	P11	PU11	PIM11	POM11	—
	2	PM12	P12	PU12	—	POM12	—
	3	PM13	P13	PU13	PIM13	POM13	—
	4	PM14	P14	PU14	PIM14	POM14	—
	5	PM15	P15	PU15	PIM15	POM15	—
	6	PM16	P16	PU16	PIM16	—	—
	7	PM17 <sup>注</sup>	P17 <sup>注</sup>	—	—	—	—
ポート2	0	PM20	P20	—	—	—	—
	1	PM21	P21	—	—	—	—
	2	PM22	P22	—	—	—	—
	3	PM23	P23	—	—	—	—
	4	PM24 <sup>注</sup>	P24 <sup>注</sup>	—	—	—	—
	5	PM25 <sup>注</sup>	P25 <sup>注</sup>	—	—	—	—
	6	PM26 <sup>注</sup>	P26 <sup>注</sup>	—	—	—	—
	7	PM27 <sup>注</sup>	P27 <sup>注</sup>	—	—	—	—
ポート3	0	PM30	P30	PU30	—	—	—
	1	PM31 <sup>注</sup>	P31 <sup>注</sup>	—	—	—	—
ポート4	0	PM40	P40	PU40	—	—	—
	1	PM41 <sup>注</sup>	P41 <sup>注</sup>	—	—	—	—
	2	PM42 <sup>注</sup>	P42 <sup>注</sup>	—	—	—	—
	3	PM43 <sup>注</sup>	P43 <sup>注</sup>	—	—	—	—
	4	PM44 <sup>注</sup>	P44 <sup>注</sup>	—	—	—	—
	5	PM45 <sup>注</sup>	P45 <sup>注</sup>	—	—	—	—
	6	PM46 <sup>注</sup>	P46 <sup>注</sup>	—	—	—	—
	7	PM47 <sup>注</sup>	P47 <sup>注</sup>	—	—	—	—
ポート5	0	PM50 <sup>注</sup>	P50 <sup>注</sup>	—	—	—	—
	1	PM51 <sup>注</sup>	P51 <sup>注</sup>	—	—	—	—
	2	PM52 <sup>注</sup>	P52 <sup>注</sup>	—	—	—	—
	3	PM53 <sup>注</sup>	P53 <sup>注</sup>	—	—	—	—
	4	PM54 <sup>注</sup>	P54 <sup>注</sup>	—	—	—	—
	5	PM55 <sup>注</sup>	P55 <sup>注</sup>	—	—	—	—
	6	PM56 <sup>注</sup>	P56 <sup>注</sup>	—	—	—	—
	7	PM57 <sup>注</sup>	P57 <sup>注</sup>	—	—	—	—

注 内部端子制御用です。詳細は、第2章を参照してください。

★

表5-3 PMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット (2/3)

ポート		ビット名					
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ
ポート6	0	PM60	P60	—	—	—	—
	1	PM61	P61	—	—	—	—
	2	PM62 <sup>注</sup>	P62 <sup>注</sup>	—	—	—	—
	3	PM63 <sup>注</sup>	P63 <sup>注</sup>	—	—	—	—
	4	PM64 <sup>注</sup>	P64 <sup>注</sup>	—	—	—	—
	5	PM65 <sup>注</sup>	P65 <sup>注</sup>	—	—	—	—
	6	PM66 <sup>注</sup>	P66 <sup>注</sup>	—	—	—	—
ポート7	0	PM70 <sup>注</sup>	P70 <sup>注</sup>	—	—	—	—
	1	PM71 <sup>注</sup>	P71 <sup>注</sup>	—	—	—	—
	2	PM72 <sup>注</sup>	P72 <sup>注</sup>	—	—	—	—
	3	PM73 <sup>注</sup>	P73 <sup>注</sup>	—	—	—	—
	4	PM74 <sup>注</sup>	P74 <sup>注</sup>	—	—	—	—
	5	PM75 <sup>注</sup>	P75 <sup>注</sup>	—	—	—	—
	6	PM76 <sup>注</sup>	P76 <sup>注</sup>	—	—	—	—
ポート8	0	PM80 <sup>注</sup>	P80 <sup>注</sup>	—	—	—	—
	1	PM81 <sup>注</sup>	P81 <sup>注</sup>	—	—	—	—
	2	PM82 <sup>注</sup>	P82 <sup>注</sup>	—	—	—	—
	3	PM83 <sup>注</sup>	P83 <sup>注</sup>	—	—	—	—
	4	PM84 <sup>注</sup>	P84 <sup>注</sup>	—	—	—	—
	5	PM85 <sup>注</sup>	P85 <sup>注</sup>	—	—	—	—
	6	PM86 <sup>注</sup>	P86 <sup>注</sup>	—	—	—	—
ポート10	0	PM87 <sup>注</sup>	P87 <sup>注</sup>	—	—	—	—
	1	PM100 <sup>注</sup>	P100 <sup>注</sup>	—	—	—	—
	2	PM101 <sup>注</sup>	P101 <sup>注</sup>	—	—	—	—
	3	PM102 <sup>注</sup>	P102 <sup>注</sup>	—	—	—	—
	4	PM103 <sup>注</sup>	P103 <sup>注</sup>	—	—	—	—
	5	PM104 <sup>注</sup>	P104 <sup>注</sup>	—	—	—	—
	6	PM105 <sup>注</sup>	P105 <sup>注</sup>	—	—	—	—
ポート11	0	PM110 <sup>注</sup>	P110 <sup>注</sup>	—	—	—	—
	1	PM111 <sup>注</sup>	P111 <sup>注</sup>	—	—	—	—
ポート12	0	PM120	P120	PU120	—	—	PMC120
	1	—	P121	—	—	—	—
	2	—	P122	—	—	—	—
	3	—	P123	—	—	—	—
ポート13	4	—	P124	—	—	—	—
	0	—	P130	—	—	—	—
ポート14	7	—	P137	—	—	—	—
	0	PM140	P140	PU140	—	—	—
	1	PM141 <sup>注</sup>	P141 <sup>注</sup>	—	—	—	—
	2	PM142 <sup>注</sup>	P142 <sup>注</sup>	—	—	—	—
	3	PM143 <sup>注</sup>	P143 <sup>注</sup>	—	—	—	—
	4	PM144 <sup>注</sup>	P144 <sup>注</sup>	—	—	—	—
	5	PM145 <sup>注</sup>	P145 <sup>注</sup>	—	—	—	—
6	PM146 <sup>注</sup>	P146 <sup>注</sup>	—	—	—	—	
7	PM147	P147	PU147	—	—	—	

注 内部端子制御用です。詳細は、第2章を参照してください。

★

表5-3 PMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット (3/3)

ポート		ビット名					
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ
ポート15	0	PM150 <sup>注</sup>	P150 <sup>注</sup>	—	—	—	—
	1	PM151 <sup>注</sup>	P151 <sup>注</sup>	—	—	—	—
	2	PM152 <sup>注</sup>	P152 <sup>注</sup>	—	—	—	—
	3	PM153 <sup>注</sup>	P153 <sup>注</sup>	—	—	—	—
	4	PM154 <sup>注</sup>	P154 <sup>注</sup>	—	—	—	—
	5	PM155 <sup>注</sup>	P155 <sup>注</sup>	—	—	—	—
	6	PM156 <sup>注</sup>	P156 <sup>注</sup>	—	—	—	—

各レジスタのフォーマットの説明を次に示します。



### 5.2.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、5.5 兼用機能使用時のレジスタの設定を参照し、設定してください。

★

図5-1 ポート・モード・レジスタのフォーマット (1/2)

アドレス : FFF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0 <sup>注1</sup>	1	PM06 <sup>注3</sup>	PM05 <sup>注3</sup>	PM04 <sup>注2</sup>	PM03	PM02	PM01	PM00

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17 <sup>注2</sup>	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27 <sup>注5</sup>	PM26 <sup>注5</sup>	PM25 <sup>注5</sup>	PM24 <sup>注5</sup>	PM23	PM22	PM21	PM20

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3 <sup>注1</sup>	1	1	1	1	1	1	PM31 <sup>注2</sup>	PM30

アドレス : FFF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47 <sup>注2</sup>	PM46 <sup>注2</sup>	PM45 <sup>注2</sup>	PM44 <sup>注2</sup>	PM43 <sup>注2</sup>	PM42 <sup>注2</sup>	PM41 <sup>注2</sup>	PM40

アドレス : FFF25H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57 <sup>注2</sup>	PM56 <sup>注2</sup>	PM55 <sup>注2</sup>	PM54 <sup>注2</sup>	PM53 <sup>注2</sup>	PM52 <sup>注2</sup>	PM51 <sup>注2</sup>	PM50 <sup>注2</sup>

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	PM67 <sup>注2</sup>	PM66 <sup>注2</sup>	PM65 <sup>注2</sup>	PM64 <sup>注2</sup>	PM63 <sup>注2</sup>	PM62 <sup>注2</sup>	PM61	PM60

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77 <sup>注4</sup>	PM76 <sup>注3</sup>	PM75 <sup>注3</sup>	PM74 <sup>注3</sup>	PM73 <sup>注2</sup>	PM72 <sup>注3</sup>	PM71 <sup>注4</sup>	PM70 <sup>注3</sup>

★

図5-1 ポート・モード・レジスタのフォーマット (2/2)

アドレス : FFF28H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	PM87 <sup>注4</sup>	PM86 <sup>注3</sup>	PM85 <sup>注3</sup>	PM84 <sup>注3</sup>	PM83 <sup>注2</sup>	PM82 <sup>注2</sup>	PM81 <sup>注2</sup>	PM80 <sup>注2</sup>

アドレス : FFF2AH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM10 <sup>注1</sup>	1	1	1	1	1	PM102 <sup>注2</sup>	PM101 <sup>注2</sup>	PM100 <sup>注2</sup>

アドレス : FFF2BH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM11 <sup>注1</sup>	1	1	1	1	1	1	PM111 <sup>注2</sup>	PM110 <sup>注2</sup>

アドレス : FFF2CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM12 <sup>注1</sup>	1	1	1	1	1	1	1	PM120

アドレス : FFF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	PM147	PM146 <sup>注2</sup>	PM145 <sup>注2</sup>	PM144 <sup>注2</sup>	PM143 <sup>注2</sup>	PM142 <sup>注2</sup>	PM141 <sup>注2</sup>	PM140

アドレス : FFF2FH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM15 <sup>注1</sup>	1	PM156 <sup>注2</sup>	PM155 <sup>注2</sup>	PM154 <sup>注2</sup>	PM153 <sup>注2</sup>	PM152 <sup>注2</sup>	PM151 <sup>注2</sup>	PM150 <sup>注2</sup>

PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 12, 14; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

- 注1.** PM0レジスタのビット7, PM3レジスタのビット2-7, PM10レジスタのビット3-7, PM11レジスタのビット2-7, PM12レジスタのビット1-7, PM15レジスタのビット7には必ず1を設定してください。
- 2.** 内部端子のビットです。リセット解除後はソフトウェアで出力モード (ポート・レジスタとポート・モード・レジスタに0を設定) に設定する必要があります。
- 3.** 内部接続端子のビットです。リセット解除後はソフトウェアで出力モード (ポート・モード・レジスタに0を設定) に設定する必要があります。
- 4.** 内部接続端子のビットです。リセット解除後はソフトウェアで入力モード (ポート・モード・レジスタに1を設定) に設定する必要があります。
- 5.** ADPC にリセット値 (00H) 以外を設定する場合、ソフトウェアで出力モード (ポート・レジスタとポート・モード・レジスタに0を設定) に設定する必要があります。

**注意** 搭載していないビットには必ず初期値を設定してください。

## 5.2.2 ポート・レジスタ (Pxx)

ポートの出カラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラッチの値が読み出されます<sup>※</sup>。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**注** P02, P03, P20-P23, P120, P147をA/Dコンバータのアナログ入力機能として設定した場合に、ポートが入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図5-2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06 <sup>注4</sup>	P05 <sup>注4</sup>	P04 <sup>注3</sup>	P03	P02	P01	P00	FFF00H	00H (出力ラッチ)	R/W
P1	P17 <sup>注3</sup>	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	P27 <sup>注5</sup>	P26 <sup>注5</sup>	P25 <sup>注5</sup>	P24 <sup>注5</sup>	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	P31 <sup>注3</sup>	P30	FFF03H	00H (出力ラッチ)	R/W
P4	P47 <sup>注3</sup>	P46 <sup>注3</sup>	P45 <sup>注3</sup>	P44 <sup>注3</sup>	P43 <sup>注3</sup>	P42 <sup>注3</sup>	P41 <sup>注3</sup>	P40	FFF04H	00H (出力ラッチ)	R/W
P5	P57 <sup>注3</sup>	P56 <sup>注3</sup>	P55 <sup>注3</sup>	P54 <sup>注3</sup>	P53 <sup>注3</sup>	P52 <sup>注3</sup>	P51 <sup>注3</sup>	P50 <sup>注3</sup>	FFF05H	00H (出力ラッチ)	R/W
P6	P67 <sup>注3</sup>	P66 <sup>注3</sup>	P65 <sup>注3</sup>	P64 <sup>注3</sup>	P63 <sup>注3</sup>	P62 <sup>注3</sup>	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P7	P77 <sup>注4</sup>	P76 <sup>注4</sup>	P75 <sup>注4</sup>	P74 <sup>注4</sup>	P73 <sup>注3</sup>	P72 <sup>注4</sup>	P71 <sup>注4</sup>	P70 <sup>注4</sup>	FFF07H	00H (出力ラッチ)	R/W
P8	P87 <sup>注3</sup>	P86 <sup>注3</sup>	P85 <sup>注3</sup>	P84 <sup>注3</sup>	P83 <sup>注3</sup>	P82 <sup>注3</sup>	P81 <sup>注3</sup>	P80 <sup>注3</sup>	FFF08H	00H (出力ラッチ)	R/W
P10	0	0	0	0	0	P102 <sup>注3</sup>	P101 <sup>注3</sup>	P100 <sup>注3</sup>	FFF0AH	00H (出力ラッチ)	R/W
P11	0	0	0	0	0	0	P111 <sup>注3</sup>	P110 <sup>注3</sup>	FFF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W <sup>注1</sup>
P13	P137	0	0	0	0	0	0	P130	FFF0DH	<b>注2</b>	R/W <sup>注1</sup>
P14	P147	P146 <sup>注3</sup>	P145 <sup>注3</sup>	P144 <sup>注3</sup>	P143 <sup>注3</sup>	P142 <sup>注3</sup>	P141 <sup>注3</sup>	P140	FFF0EH	00H (出力ラッチ)	R/W
P15	0	P156 <sup>注3</sup>	P155 <sup>注3</sup>	P154 <sup>注3</sup>	P153 <sup>注3</sup>	P152 <sup>注3</sup>	P151 <sup>注3</sup>	P150 <sup>注3</sup>	FFF0FH	00H (出力ラッチ)	R/W

Pmn	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

**注1.** P121-P124, P137はRead Onlyです。

**2.** P137 : 不定      P130 : 0 (出力ラッチ)

**3.** 内部端子のビットです。リセット解除後はソフトウェアで出力モード (ポート・レジスタとポート・モード・レジスタに0を設定) に設定する必要があります。

**4.** 内部接続端子のビットです。詳細は、第2章を参照してください。

**5.** ADPC にリセット値 (00H) 以外を設定する場合、ソフトウェアで出力モード (ポート・レジスタとポート・モード・レジスタに0を設定) に設定する必要があります。

**注意** 搭載していないビットには必ず初期値を設定してください。

**備考** m = 0-7, 12-14 ; n = 0-7

### 5.2.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード (POMmn = 0) かつ入力モード (PMmn = 1) に設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定 (PMC = 1, ADPC = 1) にしている場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H) になります。

**注意** PIMnレジスタがあるポートで、異電位デバイスからTTLバッファに入力する場合は、PUmn = 0を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図5-3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	0	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	0	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	0	0	0	0	0	0	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3, 4, 12, 14; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

**注意** 搭載していないビットには必ず初期値を設定してください。

### 5.2.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-4 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	PIM03	0	PIM01	0	F0040H	00H	R/W
PIM1	0	PIM16	PIM15	PIM14	PIM13	0	PIM11	PIM10	F0041H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1; n = 0, 1, 3-6)
0	通常入力バッファ
1	TTL入力バッファ

**注意** 搭載していないビットには必ず初期値を設定してください。

### 5.2.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I<sup>2</sup>C通信時のSDA00, SDA20端子にN-chオープン・ドレイン出力 (V<sub>DD</sub>耐圧) モードを選択できます。

また、POMxxレジスタはPUxxレジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**注意** N-chオープン・ドレイン出力 (V<sub>DD</sub>耐圧) モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図5-5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	POM03	POM02	0	POM00	F0050H	00H	R/W
POM1	0	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 0, 1; n = 0-5)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V <sub>DD</sub> 耐圧) モード

**注意** 搭載していないビットには必ず初期値を設定してください。

### 5.2.6 ポート・モード・コントロール・レジスタ (PMCxx)

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図5-6 ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	PMC03	PMC02	1	1	F0060H	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120	F006CH	FFH	R/W
PMC14	PMC147	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択 (m= 0, 12; n= 0, 2, 3)
0	デジタル入出力 (アナログ入力以外の兼用機能)
1	アナログ入力

- 注意1.** PMCxxレジスタでアナログ入力で設定したポートは、ポート・モード・レジスタ0, 12 (PM0, PM12) で入力モードに選択してください。
- 2.** PMCxxレジスタでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
- 3.** 搭載していないビットには必ず初期値を設定してください。



## 5.2.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20- ANI3/P23端子を、A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-7 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え			
				ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	0	A	A	A	A
0	0	0	1	D	D	D	D
0	0	1	0	D	D	D	A
0	0	1	1	D	D	A	A
0	1	0	0	D	A	A	A
上記以外				設定禁止			

★

- 注意1. ADPCレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPCレジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ (ADS) で設定しないでください。
3. AV<sub>REFP</sub>とAV<sub>REFM</sub>を使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

### 5.2.8 周辺I/Oリダイレクション・レジスタ (PIOR)

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIORレジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIORレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマット

アドレス : F0077H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	0	PIOR2	0	PIOR0

PIOR0	タイマ機能のリダイレクト許可禁止
0	デフォルト
1	リダイレクト設定

ビット	兼用機能	設定値	
		0	1
PIOR2	SCLA0	P60	P14
	SDAA0	P61	P13
PIOR0	TI02/TO02	—	P15
	TI03/TO03	—	P14
	TI04/TO04	—	P13
	TI05/TO05	—	P12
	TI06/TO06	—	P11
	TI07/TO07	—	P10

**備考** — : 兼用機能として使用できません。

### 5.2.9 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

入力バッファの入力制御を一括制御するレジスタです。本製品では、デフォルト設定で使用してください。入力ケーブルの制御は、ポート・モード・レジスタ (PMxx) で設定をしてください。

図5-9 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

アドレス : F007DH    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	入力バッファの一括制御設定
0	入力バッファの入力許可 (デフォルト)
1	設定禁止

## 5.3 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 5.3.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

### 5.3.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

### 5.3.3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

#### (2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

### 5.3.4 異電位（1.8 V系, 2.5 V系）対応

異電位（1.8 V系, 2.5 V系）で動作している外部デバイスとの接続には、汎用ポートでの入出力接続が可能です。

### 5.3.5 入出力バッファによる異電位（1.8 V系, 2.5 V系）対応

ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）で入出力バッファを切り換えることにより、異電位（1.8 V系, 2.5 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系, 2.5 V系）の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ0, 1（PIM0, PIM1）によりビットごとに設定して、通常（CMOS）/TTL入力バッファを切り換え可能です。

異電位（1.8 V系, 2.5 V系）の外部デバイスへ出力する場合、ポート出力モード・レジスタ0, 1（POM0, POM1）をビットごとに設定して、通常出力（CMOS）/N-chオープン・ドレイン（V<sub>DD</sub>耐圧）を切り換えます。

以下、シリアル・インタフェースでの接続について説明します。

(1) UART0, UART1, CSI00, CSI20機能の入力ポートをTTL入力バッファで使用する場合は設定手順

UART0の場合 : P11

UART1の場合 : P03

CSI00の場合 : P10, P11

CSI20の場合 : P14, P15

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② PIM0, PIM1レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、V<sub>IH</sub>, V<sub>IL</sub>は、TTL入力バッファ選択時のDC特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し、UART/CSIモードに設定します。

(2) UART0, UART1, CSI00, CSI20機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合 : P12

UART1の場合 : P02

CSI00の場合 : P10, P12

CSI20の場合 : P13, P15

- ① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
- ③ 該当するポートの出力ラッチに1を設定します。
- ④ POM0, POM1レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力（V<sub>DD</sub>耐圧）モードに設定します。
- ⑤ シリアル・アレイ・ユニットを動作許可し、UART/CSIモードに設定します。
- ⑥ PM0, PM1レジスタを操作して出力モードに設定します。  
この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

(3) IIC00, IIC20機能の入出力ポートを異電位（1.8 V系, 2.5 V系, 3 V系）で使用する場合の設定手順

IIC00の場合 : P10, P11

IIC20の場合 : P14, P15

- ① 使用する入力端子を外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
- ③ 該当するポートの出力ラッチに1を設定します。
- ④ POM1レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力（V<sub>DD</sub>耐圧）モードに設定します。
- ⑤ PIM1レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、V<sub>IH</sub>、V<sub>IL</sub>は、TTL入力バッファ選択時のDC特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し、簡易I<sup>2</sup>Cモードに設定します。
- ⑦ PM1レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。  
この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

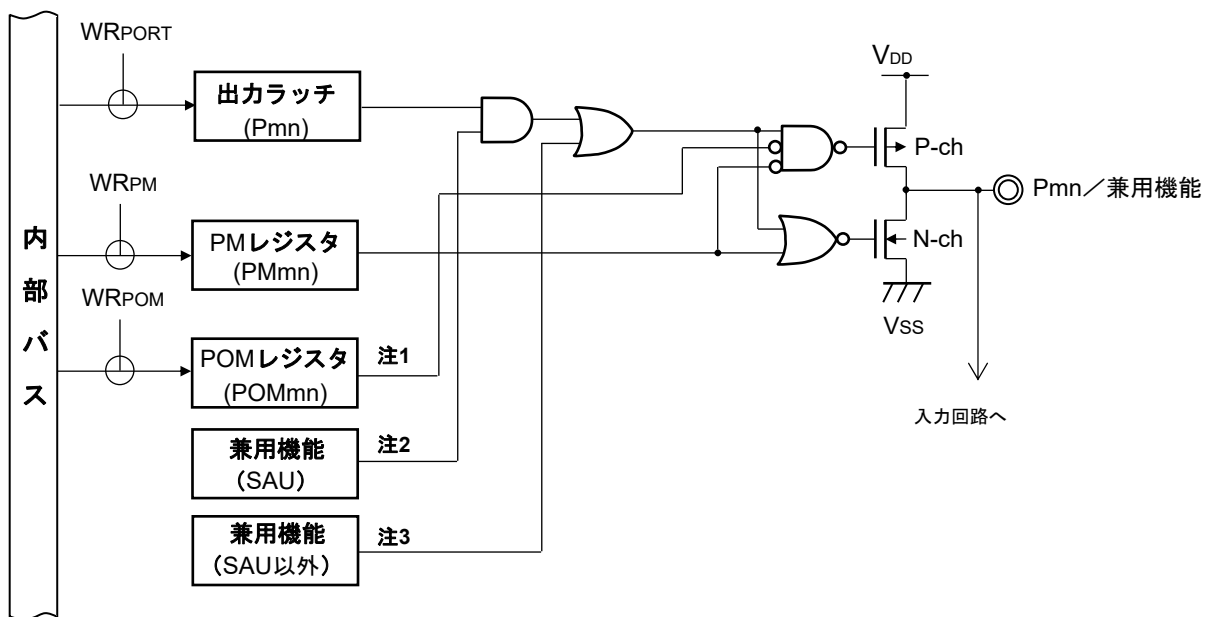
## 5.4 兼用機能使用時のレジスタの設定

### 5.4.1 兼用機能使用時の基本的な考え方

最初に、アナログ入力と兼用している端子については、アナログ入力で使用するかデジタル入出力で使用するかをADPCレジスタまたはポート・モード・コントロール・レジスタ（PMCxx）で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図5-10に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能（TAU, RTC, クロック／ブザー出力等）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表5-4に示します。

図5-10 端子の出力回路の基本的な構成



注1 POMレジスタがない場合には、この信号はLow (0) と考えてください。

2 兼用機能がない場合には、この信号はHigh (1) と考えてください。

3 兼用機能がない場合には、この信号はLow (0) と考えてください。

備考 m : ポート番号 (m = 0-7、12-14) , n : ビット番号 (n = 0-7)

表5-4 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAUの出力機能	High (1)	—	出力はLow (0)
SAU以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) <sup>注</sup>

**注** 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0) にしておく必要があります。具体的な設定方法については、5.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

#### 5.4.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ (PIOR) を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能または他の兼用機能を使用することが可能となります。

(1)  $SOp=1/TxDq=1$  (SAUのシリアル出力 (SO<sub>p</sub>/Tx<sub>Dq</sub>) を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力 (SO<sub>p</sub>/Tx<sub>Dq</sub>) を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ<sub>m</sub> (SOEm) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ<sub>m</sub> (SOm) のSO<sub>m</sub>ビットを1 (High) に設定してください。これは初期状態と同じ設定です。

(2)  $SCKp=1/SDAr=1/SCLr=1$  (SAUのチャンネル<sub>n</sub>を使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャンネル許可ステータス・レジスタ<sub>m</sub> (SEm) のビット<sub>n</sub> (SE<sub>mn</sub>) を0 (動作停止状態) に設定し、使用しない出力に対応したシリアル出力許可レジスタ<sub>m</sub> (SOEm) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ<sub>m</sub> (SOm) のSO<sub>m</sub>ビットとCKO<sub>m</sub>ビットを1 (High) に設定してください。これは初期状態と同じ設定です。

(3)  $TOmn=0$  (TAUのチャンネル<sub>n</sub>の出力を使用しない場合の設定)

TAUのTO<sub>m</sub><sub>n</sub>出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0 (TOE0) のビットを0 (出力禁止)、タイマ出力レジスタ0 (TO0) のビットを0 (Low) に設定してください。これは初期状態と同じ設定です。

(4)  $PCLBUzn=0$  (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ<sub>n</sub> (CKSn) のPCLOEnビットを0 (出力禁止) にしてください。これは初期状態と同じ設定です。



## 5.4.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表5-5に示します。ポート機能を制御するレジスタを表5-5のように設定してください。なお、表5-5の表記については次の備考を参照してください。

- 備考** — : 対象外  
 × : don't care  
 PIOR× : 周辺I/Oリダイレクション・レジスタ  
 POM×× : ポート出力モード・レジスタ  
 PMC×× : ポート・モード・コントロール・レジスタ  
 PM×× : ポート・モード・レジスタ  
 P×× : ポートの出力ラッチ  
 ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

表5-5 端子機能使用時のレジスタ、出力ラッチの設定例 (1/6)

端子名称	兼用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
P00	P00	入力	—	×	—	1	×	—	—
		出力	—	0	—	0	0/1	—	—
		N-ch OD出力	—	1	—	0	0/1	—	—
	TI00	入力	—	×	—	1	×	—	—
P01	P01	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	TO00=0
	TO00	出力	—	—	—	0	0	—	×
P02	P02	入力	—	×	0	1	×	×	—
		出力	—	0	0	0	0/1	TxD1 = 1	—
		N-ch OD出力	—	1	0	0	0/1		
	ANI17	アナログ入力	—	—	1	1	×	×	—
	TxD1	出力	—	0/1	0	0	1	×	—
P03	P03	入力	—	×	0	1	×	×	—
		出力	—	0	0	0	0/1	×	—
		N-ch OD出力	—	1	0	0	0/1	×	
	ANI16	アナログ入力	—	—	1	1	×	×	—
	RxD1	入力	—	—	0	1	×	×	—
P10	P10	入力	—	×	—	1	×	×	—
		出力	—	0	—	0	0/1	SCK00/ SCL00 = 1	(TO07)= 0
		N-ch OD出力	—	1	—	0	0/1		
	SCK00	入力	—	×	—	1	×	×	×
		出力	—	0/1	—	0	1	×	(TO07)= 0
	SCL00	出力	—	0/1	—	0	1	×	(TO07)= 0
	(TI07)	入力	PIOR1 = 1	×	—	1	×	×	×
	(TO07)	出力	PIOR0 = 1	0	—	0	0	×	×

表5-5 端子機能使用時のレジスタ，出力ラッチの設定例 (2/6)

端子名称	兼用機能		PIOR x	POM x x	PMC x x	PM x x	P x x	兼用機能出力	
	機能名称	入出力						SAUの出力機能	SAU以外
P11	P11	入力	—	x	—	1	x	x	—
		出力	—	0	—	0	0/1	SDA00 = 1	(TO06)= 0
		N-ch OD出力	—	1	—	0	0/1		
	SI00	入力	—	x	—	1	x	x	x
	RxD0	入力	—	x	—	1	x	x	x
	SDA00	入出力	—	1	—	0	1	x	(TO06)= 0
	(TI06)	入力	PIOR0 = 1	x	—	1	x	x	x
	(TO06)	出力	PIOR0 = 1	0	—	0	0	SDA00 = 1	x
P12	P12	入力	—	x	—	1	x	x	x
		出力	—	0	—	0	0/1	TxD0/ SCL00 = 1	(TO05)= 0
		N-ch OD出力	—	1	—	0	0/1		
	SO00	出力	—	0/1	—	0	1	x	(TO05)= 0
	TxD0	出力	—	0/1	—	0	1	x	(TO05)= 0
	(TI05)	入力	PIOR0 = 1	x	—	1	x	x	x
	(TO05)	出力	PIOR0 = 1	0	—	0	0	TxD0/ SCL00 = 1	x
P13	P13	入力	—	x	—	1	x	x	—
		出力	—	0	—	0	0/1	SO20/ SDAA0=1	TO04=0
		N-ch OD出力	—	1	—	0	0/1		
	SO20	出力	—	0/1	—	0	1	x	TO04=0
	(SDAA0)	入出力	PIOR2 = 1	1	—	0	1	x	
	(TI04)	入力	PIOR0 = 1	x	—	1	x	x	x
(TO04)	出力	PIOR0 = 1	0	—	0	0	x	x	
P14	P14	入力	—	x	—	1	x	x	—
		出力	—	0	—	0	0/1	SDA20/ (SCLA0)=1	TO03=0
		N-ch OD出力	—	1	—	0	0/1		
	SI20	入力	—	x	—	1	x	x	x
	SDA20	入出力	—	1	—	0	1	x	TO03=0
	(SCLA0)	入出力	PIOR2 = 1	1	—	0	1	x	
	(TI03)	入力	PIOR0 = 1	x	—	1	x	x	x
(TO03)	出力	PIOR0 = 1	0	—	0	0	x	x	
P15	P15	入力	—	x	—	1	x	x	—
		出力	—	0	—	0	0/1	SCK20/ SCL20=1	TO02 = 0
		N-ch OD出力	—	1	—	0	0/1		
	SCK20	入出力	—	1	—	0	1	x	TO02 = 0
	SCL20	入出力	—	1	—	0	1	x	
	(TI02)	入力	PIOR0 = 1	x	—	1	x	x	x
(TO02)	出力	PIOR0 = 1	0	—	0	0	x	x	
P16	P16	入力	—	—	—	1	x	x	x
		出力	—	—	—	0	0/1	x	TO01 = 0
	TO01	出力	—	—	—	0	0	x	x
	INTP5	入力	—	—	—	1	x	x	x

表5-5 端子機能使用時のレジスタ，出力ラッチの設定例 (3/6)

端子名称	使用機能		ADPC	PDM2	PM × ×	P × ×
	機能名称	入出力				
P20	P20	入力	ADPC = 01H	×	1	×
		出力	ADPC = 01H	×	0	0/1
	ANI0	アナログ入力	ADPC = 00H/02H~0FH	00x0xx0x, 10x0xx0x	1	×
	AV <sub>REFP</sub>	基準電圧	ADPC = 00H/02H~0FH	01x0xx0x	1	×
P21	P21	入力	ADPC = 01H/02H	×	1	×
		出力	ADPC = 01H/02H	×	0	0/1
	ANI1	アナログ入力	ADPC = 00H/03H~0FH	xx00xx0x	1	×
	AV <sub>REFM</sub>	基準電圧	ADPC = 00H/03H~0FH	xx10xx0x	1	×
P22	P22	入力	ADPC = 01H~03H	×	1	×
		出力	ADPC = 01H~03H	×	0	0/1
	ANI2	アナログ入力	ADPC = 00H/04H~0FH	×	1	×
P23	P23	入力	ADPC = 01H~04H	×	1	×
		出力	ADPC = 01H~04H	×	0	0/1
	ANI3	アナログ入力	ADPC = 00H/05H~0FH	×	1	×

表5-5 兼用機能使用時のポート関連レジスタの設定 (4/6)

端子名称	兼用機能		PIOR <sub>x</sub>	POM <sub>xx</sub>	PMC <sub>x</sub> ×	PM <sub>xx</sub>	P <sub>xx</sub>	兼用機能出力	
	機能名称	入出力						SAUの 出力機能	SAU以外
P30	P30	入力	—	—	—	1	×	—	×
		出力	—	—	—	0	0/1	—	×
	INTP3	入力	—	—	—	1	×	—	×
	RTC1HZ	出力	—	—	—	0	0	—	×
P40	P40	入力	—	—	—	1	×	—	—
		出力	—	—	—	0	0/1	—	—
P60	P60	入力	—	×	—	1	×	×	—
		出力	—	0	—	0	0/1	(SCLA0)=1	—
		N-ch OD出力	—	1	—	0	0/1		—
	(SCLA0)	入出力	PIOR2 = 0	1	—	0	1	×	—
P61	P61	入力	—	×	—	1	×	×	—
		出力	—	0	—	0	0/1	(SDAA0)=1	—
		N-ch OD出力	—	1	—	0	0/1		—
	(SDAA0)	入出力	PIOR2 = 0	1	—	0	1	×	—
P70	SCK21	出力	—	—	—	0	1	×	—
P71	SI21	入力	—	×	—	1	×	×	—
P72	SO21	出力	—	—	—	0	1	×	—
P77	INTRF	入力	—	—	—	1	×	—	—
P120	P120	入力	—	—	0	1	×	—	—
		出力	—	—	0	0	0/1	—	—
	ANI19	アナログ入力	—	—	1	1	×	—	—

表5-5 端子機能使用時のレジスタ、出力ラッチの設定例 (5/6)

端子名称	使用機能		CMC (EXCLK, OSCSEL, EXCK, OSCSELS)	P <sub>xx</sub>
	機能名称	入出力		
P121	P121	入力	00xx/10 xx/11 xx	×
	X1	—	01 xx	—
P122	P122	入力	00 xx / 10 xx	×
	X2	—	01 xx	—
	EXCLK	—	11 xx	—
P123	P123	入力	xx 00/xx 10/xx 11	×
	XT1	—	xx 01	—
P124	P124	入力	xx 00 / xx 10	×
	XT2	—	xx 01	—
	EXCLKS	入力	xx 11	—

表5-5 端子機能使用時のレジスタ，出力ラッチの設定例 (6/6)

端子名称	兼用機能		PIOR x	POM x x	PMC x x	PM x x	P x x	兼用機能出力	
	機能名称	入出力						SAUの 出力機能	SAU以外
P130	P130	出力	—	—	—	—	0/1	—	—
P137	P137	入力	—	—	—	—	x	—	—
	INTP0	入力	—	—	—	—	x	—	—
P140	P140	入力	—	—	—	1	x	—	x
		出力	—	—	—	0	0/1	—	PCLBUZ0 = 0
	PCLBUZ0	出力	—	—	—	0	0	—	x
	INTP6	入力	—	—	—	1	x	—	x
P147	P147	入力	—	—	0	1	x	—	—
		出力	—	—	0	0	0/1	—	—
	ANI18	アナログ入力	—	—	1	1	x	—	—

## 5.5 ポート機能使用時の注意事項

### 5.5.1 ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出カラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出カラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/G1D内部で、次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

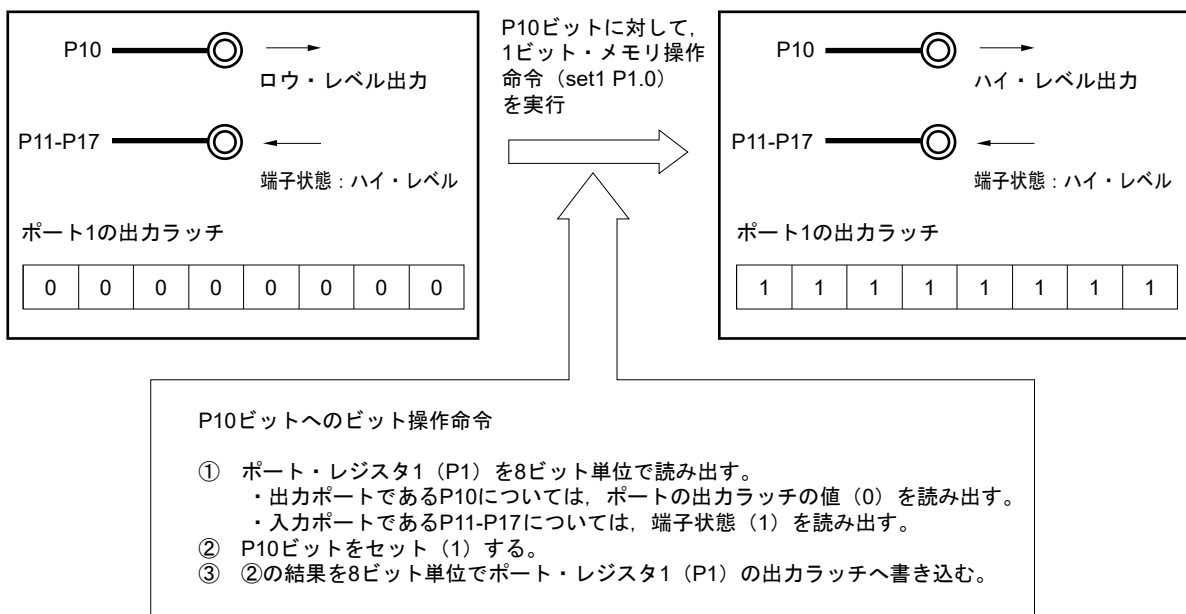
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図5-11 1ビット・メモリ操作命令（P10の場合）



## 5.5.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当てられた機能も同様です。兼用出力については、5.5 兼用機能使用時のレジスタの設定を参照してください。

入力として使用する端子では、兼用の出力機能が無効（バッファ出力がHi-Z）となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

## 第6章 クロック発生回路

### 6.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。  
システム・クロックおよびクロック発振回路には、次の種類があります。

#### (1) メイン・システム・クロック

##### ① X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 1 \sim 20$  MHzのクロックを発振させることができます。  
STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

##### ② 高速オンチップ・オシレータ

オプション・バイト（000C2H）により、 $f_H = 32$  MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz（TYP.）から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、図6-9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマットを参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数（MHz）									
	1	2	3	4	6	8	12	16	24	32
$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	○	○	○	○	○	○
$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	○	○	○	○	—	—
$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	○	○	—	—	—	—
$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	—	—	—	—	—	—

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 1 \sim 20$  MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

なお、メイン・システム・クロックは、電源電圧 $V_{DD}$ によって使用可能な周波数範囲が異なり、オプション・バイト（000C2H）のCMODE0、CMODE1によりフラッシュの動作電圧モードの設定（第25章 オプション・バイト参照）が必要です。



## (2) サブシステム・クロック

## ・XT1発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより,  $f_{XT} = 32.768 \text{ kHz}$ のクロックを発振させることができます。XTSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット6)の設定により, 発振を停止することができます。

また, EXCLKS/XT2/P124端子から外部サブシステム・クロック( $f_{EXS} = 32.768 \text{ kHz}$ )を供給することができます。XTSTOPビットの設定により, 外部サブシステム・クロック入力を無効にすることができます。

## (3) 低速オンチップ・オシレータ・クロック(低速オンチップ・オシレータ)

$f_{IL} = 15 \text{ kHz}$ (TYP.)のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは, 次の周辺ハードウェアのみです。

- ・ウォッチドッグ・タイマ
- ・リアルタイム・クロック
- ・12ビット・インターバル・タイマ

オプション・バイト(000C0H)のビット4(WDTON)または, サブシステム・クロック供給モード制御レジスタ(OSMC)のビット4(WUTMMCK0)のどちらか, または両方が1のときに動作します。

ただし, WDTON = 1, WUTMMCK0 = 0かつオプション・バイト(000C0H)のビット0(WDSTBYON)が0のときに, HALT命令またはSTOP命令を実行した場合, 低速オンチップ・オシレータは発振を停止します。

**注意** リアルタイム・クロックのカウント・クロックに低速オンチップ・オシレータ・クロック( $f_{IL}$ )を選択できるのは, 定周期割り込み機能使用時のみです。

## (4) RFトランシーバ基準クロック

XTAL1\_RF, XTAL2\_RFに発振子を接続することにより,  $f_{XRF} = 32 \text{ MHz}$ のクロックを発振させます。発振制御は, ルネサス製Bluetooth Low Energyプロトコル・スタックによって動作設定をします。

- 備考**
- $f_X$  : X1クロック発振周波数
  - $f_{IH}$  : 高速オンチップ・オシレータ・クロック周波数
  - $f_{EX}$  : 外部メイン・システム・クロック周波数
  - $f_{XT}$  : XT1クロック発振周波数
  - $f_{EXS}$  : 外部サブシステム・クロック周波数
  - $f_{IL}$  : 低速オンチップ・オシレータ・クロック周波数
  - $f_{XRF}$  : RF基準クロック発振周波数

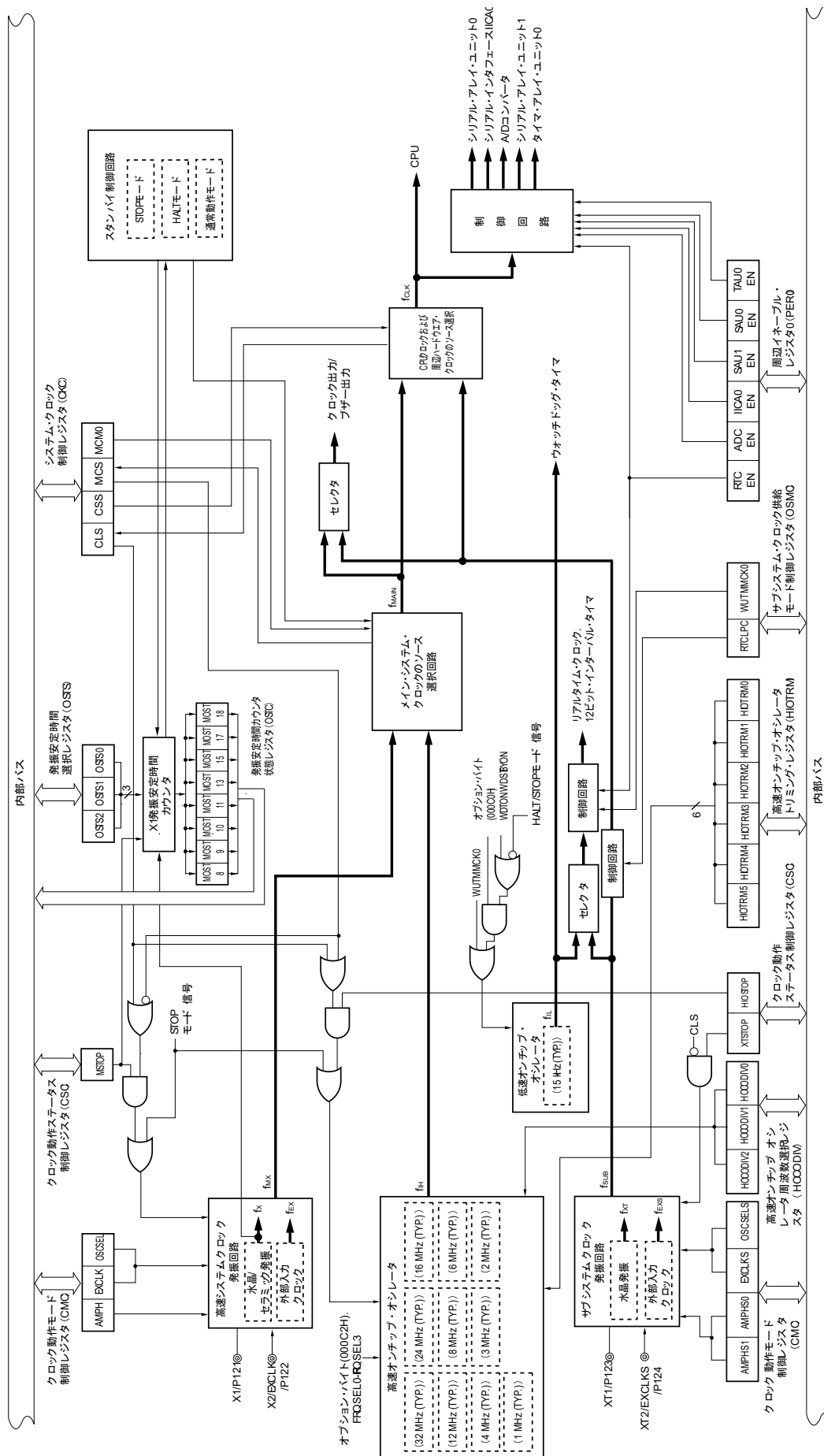
## 6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ0 (PER0) サブシステム・クロック供給モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

図6-1 クロック発生回路のブロック図



(備考は次ページにあります。)

**備考**

$f_X$	: X1クロック発振周波数
$f_{IH}$	: 高速オンチップ・オシレータ・クロック周波数
$f_{EX}$	: 外部メイン・システム・クロック周波数
$f_{MX}$	: 高速システム・クロック周波数
$f_{MAIN}$	: メイン・システム・クロック周波数
$f_{XT}$	: XT1クロック発振周波数
$f_{EXS}$	: 外部サブシステム・クロック周波数
$f_{SUB}$	: サブシステム・クロック周波数
$f_{CLK}$	: CPU/周辺ハードウェア・クロック周波数
$f_{IL}$	: 低速オンチップ・オシレータ・クロック周波数

## 6.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の9種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・システム・クロック制御レジスタ (CKC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・周辺イネーブル・レジスタ0 (PER0)
- ・サブシステム・クロック供給モード制御レジスタ (OSMC)
- ・高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- ・高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

### 6.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図6-2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振 (デフォルト)
0	1	通常発振
1	0	超低消費発振
1	1	設定禁止

AMPH	X1クロック発振周波数の制御
0	$1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$
1	$10 \text{ MHz} < f_x \leq 20 \text{ MHz}$

**注意1.** CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作 (00H以外の誤書き込みで復帰不可) を防止するために、リセット解除後は必ず00Hに設定してください。

2. リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。

(注意、備考は次ページに続きます。)

- 注意3. X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHビットに1を設定してください。
4. MPH, AMPHS1, AMPHS0ビットは、リセット解除後f<sub>CLK</sub>にf<sub>IH</sub>を選択した状態(f<sub>CLK</sub>をf<sub>MX</sub>やf<sub>SUB</sub>に切り替える前の状態)で設定してください。
  5. X<sub>T</sub>の発振安定時間は、ソフトウェアでカウントしてください。
  6. ステム・クロックの周波数上限は32 MHzですが、X1発振回路の周波数上限は20 MHzになります。
  7. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。
    - ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
    - ・XT1発振回路のモードを超低消費発振(AMPHS1, AMPHS0 = 1, 0)で使用する場合は、6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
    - ・XT1端子, XT2端子と発振子との配線は極力短くし、寄生容量, 配線抵抗を小さくしてください。特に超低消費発振(AMPHS1, AMPHS0 = 1, 0)を選択している場合はご注意ください。
    - ・回路基板は寄生容量, 配線抵抗の少ない材質で回路を構成してください。
    - ・XT1発振回路の周辺には、できるかぎりV<sub>SS</sub>と同電位のグランド・パターンを配置してください。
    - ・XT1端子, XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
    - ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
    - ・回路基板上をコーティングする場合は、XT1端子, XT2端子間に容量やリークが生じない材料をご使用ください。

備考 f<sub>x</sub>: X1クロック発振周波数

### 6.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00HIになります。

図6-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H    リセット時 : 00H    R/W<sup>注1</sup>

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0

CLS	CPU/周辺ハードウェア・クロック (fCLK) のステータス
0	メイン・システム・クロック (fMAIN)
1	サブシステム・クロック (fSUB)

CSS	CPU/周辺ハードウェア・クロック (fCLK) の選択
0	メイン・システム・クロック (fMAIN)
1 <sup>注2</sup>	サブシステム・クロック (fSUB)

MCS	メイン・システム・クロック (fMAIN) のステータス
0	高速オンチップ・オシレータ・クロック (fIH)
1	高速システム・クロック (fMX)

MCM0 <sup>注2</sup>	メイン・システム・クロック (fMAIN) の動作制御
0	メイン・システム・クロック (fMAIN) に高速オンチップ・オシレータ・クロック (fIH) を選択
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択

注1. ビット7, 5は、Read Onlyです。

2. CSS = 1を設定した状態で、MCM0ビットの値を変更することは禁止です。

備考    fIH    : 高速オンチップ・オシレータ・クロック周波数  
       fMX    : 高速システム・クロック周波数  
       fMAIN : メイン・システム・クロック周波数  
       fSUB   : サブシステム・クロック周波数

注意1. ビット0-3には、必ず0を設定してください。

2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます（リアルタイム・クロック、12ビット・インターバル・タイマ、クロック出力/ブザー出力、およびウォッチドッグ・タイマは除く）。よって、CPU/周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。

3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータ、IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第30章 電気的特性を参照してください。



### 6.3.3 クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0HIになります。

図6-4 クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

略号	[7]	[6]	5	4	3	2	1	[0]
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
	0
1	高速オンチップ・オシレータ停止

- 注意1. リセット解除後は、クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。
- リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。
  - MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
  - XTSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
  - CPU/周辺ハードウェア・クロック（fCLK）に選択しているクロックは、CSCレジスタで停止させないでください。
  - クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は、表6-2のようになります。クロックを停止する場合は、先にクロック停止前条件を確認してください。

表6-2 クロック停止方法

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CPU/周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

### 6.3.4 発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により、00HIになります。

**備考** 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・ X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）
- ・ STOPモードを解除したとき

図6-5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H    リセット時 : 00H    R

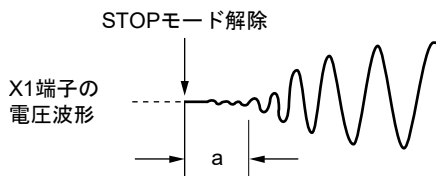
略号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST1	MOST1	MOST1	MOST1	MOST1	MOST1
			0	1	3	5	7	8

MOST8	MOST9	MOST1	MOST1	MOST1	MOST1	MOST1	MOST1	発振安定時間のステータス		
								$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	0	0	0	0	0	$2^9/f_x$ 未満	25.6 $\mu\text{s}$ 未満	12.8 $\mu\text{s}$ 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 $\mu\text{s}$ 以上	12.8 $\mu\text{s}$ 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 $\mu\text{s}$ 以上	25.6 $\mu\text{s}$ 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102 $\mu\text{s}$ 以上	51.2 $\mu\text{s}$ 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204 $\mu\text{s}$ 以上	102 $\mu\text{s}$ 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819 $\mu\text{s}$ 以上	409 $\mu\text{s}$ 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27ms以上	1.63ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.1ms以上	6.55ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.2ms以上	13.1ms以上

- 注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていく、そのまま“1”を保持します。
2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。  
次のときには、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・ CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- ・ CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合  
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。

備考  $f_x$  : X1クロック発振周波数

### 6.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作 (MSTOP=0) 後、OSTSレジスタで設定した時間を自動でウエイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図6-6 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H    リセット時 : 07H    R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/f_x$	25.6 $\mu$ s	12.8 $\mu$ s
0	0	1	$2^9/f_x$	51.2 $\mu$ s	25.6 $\mu$ s
0	1	0	$2^{10}/f_x$	102 $\mu$ s	51.2 $\mu$ s
0	1	1	$2^{11}/f_x$	204 $\mu$ s	102 $\mu$ s
1	0	0	$2^{13}/f_x$	819 $\mu$ s	409 $\mu$ s
1	0	1	$2^{15}/f_x$	3.27ms	1.63ms
1	1	0	$2^{17}/f_x$	13.1ms	6.55ms
1	1	1	$2^{18}/f_x$	26.2ms	13.1ms

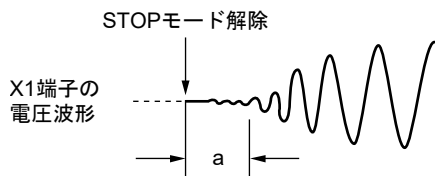
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) のMSTOPビットを0に設定する前に行ってください。

2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- ・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- ・CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合 (したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含まれません。



備考 fx : X1クロック発振周波数

### 6.3.6 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット (1) してください。

- ・リアルタイム・クロック, 12ビット・インターバル・タイマ
- ・A/Dコンバータ
- ・シリアル・インタフェースIICA0
- ・シリアル・アレイ・ユニット1
- ・シリアル・アレイ・ユニット0
- ・タイマ・アレイ・ユニット0

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス : F00F0H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック (RTC), 12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入カクロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

**注意** ビット1, 6には必ず“0”を設定してください。

図6-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

アドレス : F00F0H    リセット時 : 00H    R/W

略号	<span style="border: 1px solid black; padding: 2px;">7</span>	6	<span style="border: 1px solid black; padding: 2px;">5</span>	<span style="border: 1px solid black; padding: 2px;">4</span>	<span style="border: 1px solid black; padding: 2px;">3</span>	<span style="border: 1px solid black; padding: 2px;">2</span>	1	<span style="border: 1px solid black; padding: 2px;">0</span>
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・シリアル・インタフェースIICA0はリセット状態
1	入カクロック供給 ・シリアル・インタフェースIICA0で使用するSFRへのリード/ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

**注意** ビット1, 6には必ず“0”を設定してください。

### 6.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック、12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック、12ビット・インターバル・タイマのカウント・クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-8 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表19-1, 表19-2, 表19-3参照)
1	リアルタイム・クロック、12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック、12ビット・インターバル・タイマのカウント・クロックの選択
0	サブシステム・クロック
1	低速オンチップ・オシレータ・クロック



### 6.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト (000C2H) で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。ただし、オプション・バイト (000C2H) のFRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト (000C2H) のFRQSEL2-FRQSEL0で設定した値になります。

図6-9 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット

アドレス : F00A8H    リセット時 : オプション・バイト (000C2H) FRQSEL2 - FRQSEL0の設定値    R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

**注意1.** HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV(低電圧メイン)モード	1 MHz~4 MHz	1.6 V~3.6 V
1	0	LS(低速メイン)モード	1 MHz~8 MHz	1.8 V~3.6 V
1	1	HS(高速メイン)モード	1 MHz~16 MHz	2.4 V~3.6 V
			1 MHz~32 MHz	2.7 V~3.6 V

- HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック ( $f_{IH}$ ) をCPU/周辺ハードウェア・クロック ( $f_{CLK}$ ) に選択している状態で行ってください。
- HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。
  - 変更前の周波数で最大3クロック動作
  - 変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウェイト

### 6.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ (タイマ・アレイ・ユニット) を使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRMレジスタは、8ビット・メモリ操作命令で設定します。

**注意** 精度補正後に温度、V<sub>DD</sub>端子電圧に変化があった場合、周波数は変動します。

温度、V<sub>DD</sub>電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6-10 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) のフォーマット

アドレス : F00A0H    リセット時 : 不定<sup>※</sup>    R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑ ↓
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
.						
1	1	1	1	1	0	↓
1	1	1	1	1	1	

**注** リセット値は出荷時に調整した値です。

- 備考1.** HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。
- 2.** HIOTRMレジスタの使用例は、RL78 MCUシリーズ 高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

## 6.4 システム・クロック発振回路

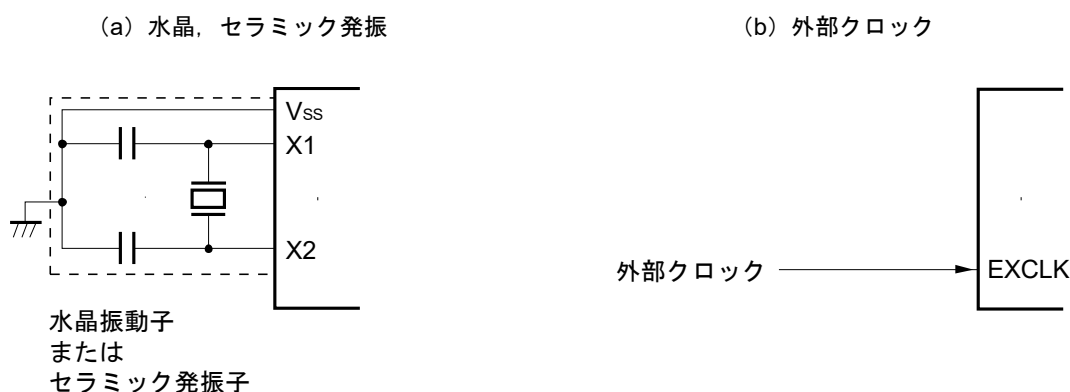
### 6.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1~20 MHz)によって発振します。また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。X1発振回路を使用する場合、クロック動作モード制御レジスタ (CMC) のビット7, 6 (EXCLK, OSCSEL) を次のように設定してください。

- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード (EXCLK, OSCSEL = 0, 0) に設定してください。さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。図6-11にX1発振回路の外付け回路例を示します。

図6-11 X1発振回路の外付け回路例



注意を次ページに示します。

### 6.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子(32.768 kHz (TYP.))によって発振します。

XT1発振回路を使用する場合、クロック動作モード制御レジスタ (CMC) のビット4 (OSCSELS) に1を設定してください。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合、クロック動作モード制御レジスタ (CMC) のビット5, 4 (EXCLKS, OSCSELS) を次のように設定してください。

- ・水晶発振 : EXCLKS, OSCSELS = 0, 1
- ・外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は、入力ポート・モード (EXCLKS, OSCSELS = 0, 0) に設定してください。さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。図6-12にXT1発振回路の外付け回路例を示します。

図6-12 XT1発振回路の外付け回路例



**注意** X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図6-11、図6-12の破線の部分を次のように配線してください。

- ・配線は極力短くしてください。
- ・他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS</sub>と同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

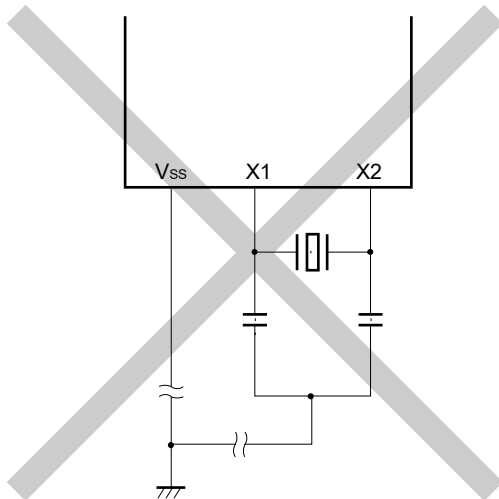
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- ・XT1発振回路のモードを超低消費発振（AMP<sub>HS1</sub>, AMP<sub>HS0</sub> = 1, 0）で使用する場合は6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- ・XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振（AMP<sub>HS1</sub>, AMP<sub>HS0</sub> = 1, 0）を選択している場合はご注意ください。
- ・回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には、できるかぎりV<sub>SS</sub>と同電位のグランド・パターンを配置してください。
- ・XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

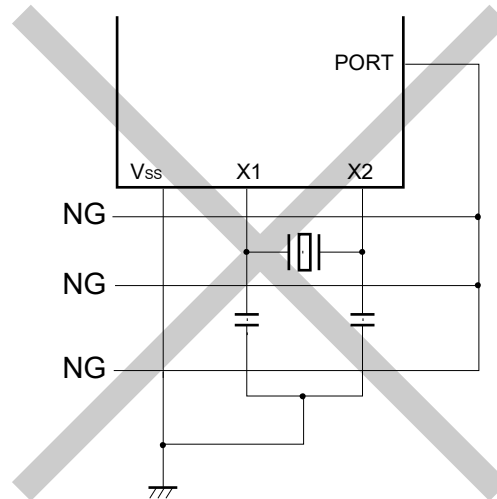
図6-13に発振子の接続の悪い例を示します。

図6-13 発振子の接続の悪い例 (1/2)

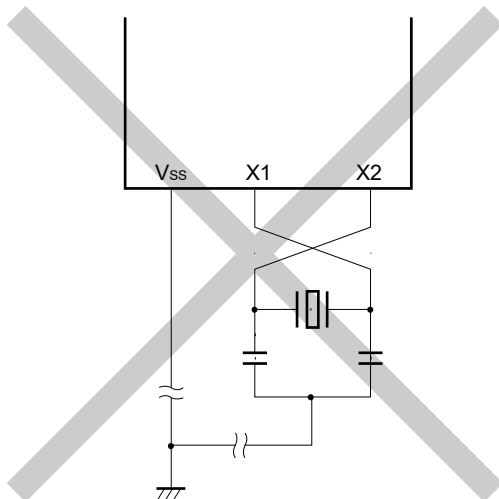
(a) 接続回路の配線が長い



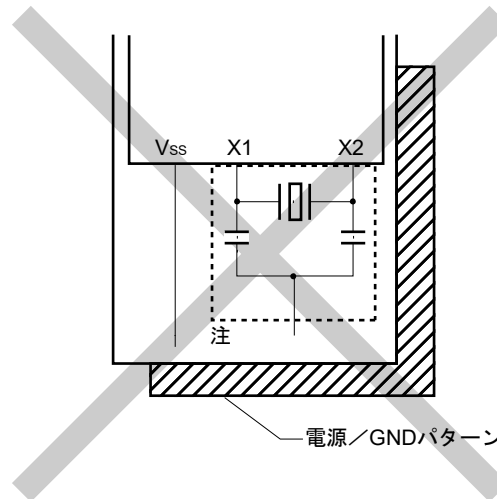
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源/GNDパターンがある



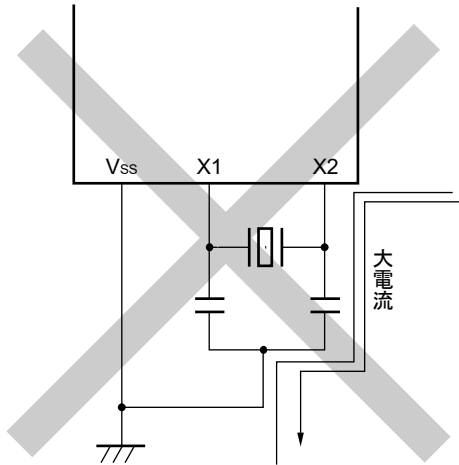
**注** 多層基板や両面基板において、X1, X2端子と発振子の配線部(図中の点線部分)の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

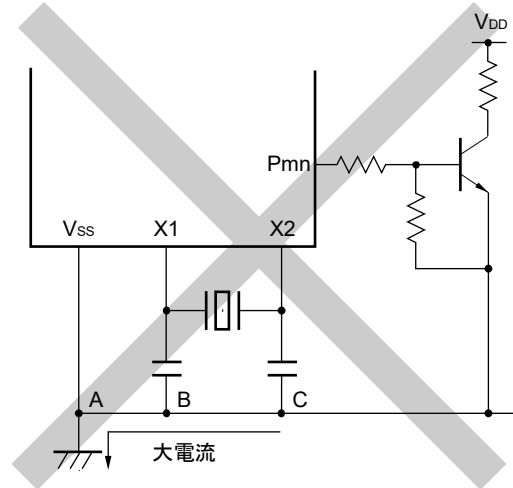
**備考** サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図6-13 発振子の接続の悪い例 (2/2)

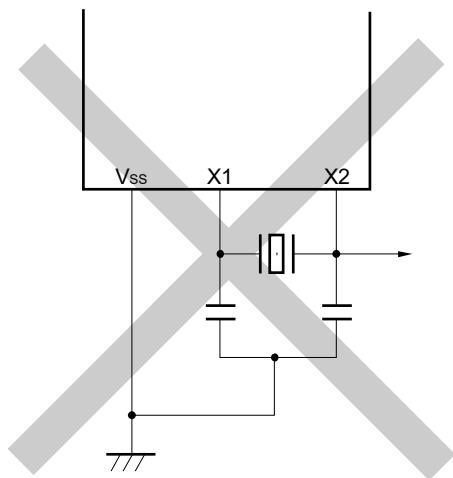
(e) 変化する大電流が信号線に  
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる  
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



**注意** X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

**備考** サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

### 6.4.3 高速オンチップ・オシレータ

RL78/G1Dは、高速オンチップ・オシレータを内蔵しています。オプション・バイト (000C2H) により32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

### 6.4.4 低速オンチップ・オシレータ

RL78/G1Dは、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ, リアルタイム・クロック, 12ビット・インターバル・タイマのクロックとして使用します。CPUクロックとして使用できません。

ウォッチドッグ・タイマの動作時, または, サブシステム・クロック供給モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) = 1のときに低速オンチップ・オシレータは動作します。

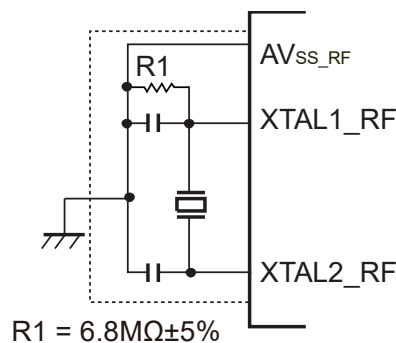
ウォッチドッグ・タイマ停止時かつ, WUTMMCK0 = 0 のとき, 低速オンチップ・オシレータは停止します。

### 6.4.5 RF基準クロック発振回路

RF基準クロック発振回路はXTAL1\_RF, XTAL2\_RF端子に接続された水晶振動子 (32 MHz) によって発振します。下記の図6-14に示すように6.8MΩ±5%の抵抗R1をXTAL1\_RF端子とGND (AV<sub>SS\_RF</sub>端子) 間に必ず実装してください。

図6-14にRF基準クロック発振回路の外付け回路例を示します。

図6-14 RF基準クロック発振回路の外付け回路例



**注意** RF基準クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図6-14の破線の部分を次のように配線してください。

- ・配線は極力短くしてください。
- ・他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- ・発振回路のコンデンサの接地点は、常にAV<sub>SS\_RF</sub>と同電位となるようにしてください。大電流が流れるグラウンド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

## 6.5 クロック発生回路の動作

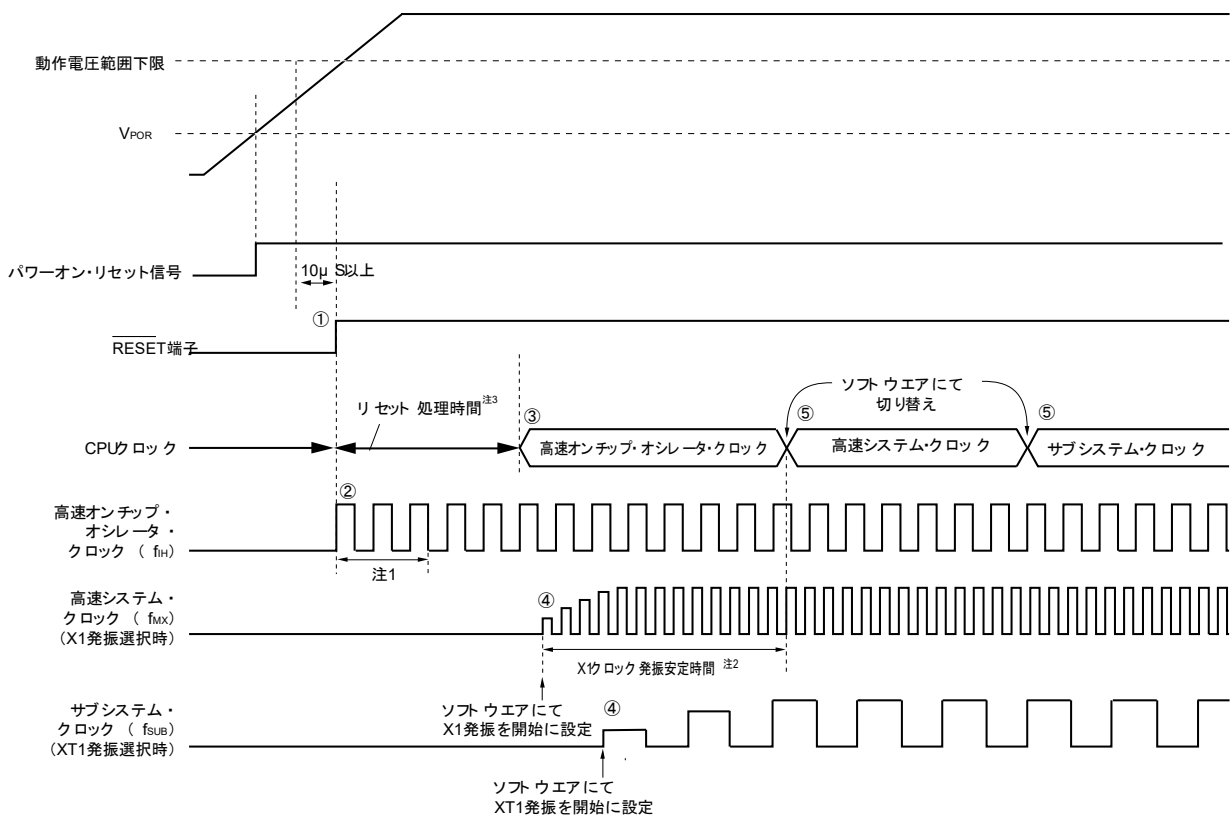
クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図6-1を参照）。

- メイン・システム・クロック  $f_{\text{MAIN}}$ 
  - ・高速システム・クロック  $f_{\text{MX}}$ 
    - X1クロック  $f_x$
    - 外部メイン・システム・クロック  $f_{\text{EX}}$
  - ・高速オンチップ・オシレータ・クロック  $f_{\text{IH}}$
- サブシステム・クロック  $f_{\text{SUB}}$ 
  - ・XT1クロック  $f_{\text{XT}}$
  - ・外部サブシステム・クロック  $f_{\text{EXS}}$
- 低速オンチップ・オシレータ・クロック  $f_{\text{IL}}$
- CPU／周辺ハードウェア・クロック  $f_{\text{CLK}}$

RL78/G1Dでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を、図6-15に示します。



図6-15 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット（POR）回路による内部リセット信号が発生します。  
ただし、30.6 AC特性に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます（上図は、外部リセット使用時の例）。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください（6.6.2 X1発振回路の設定例、6.6.3 XT1発振回路の設定例を参照）。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください（6.6.2 X1発振回路の設定例、6.6.3 XT1発振回路の設定例を参照）。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
3. リセット処理時間は、第21章 パワーオン・リセット回路を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

## 6.6 クロックの制御

### 6.6.1 高速オンチップ・オシレータの設定例

CPU/周辺ハードウェア・クロック (f<sub>CLK</sub>) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) のFRQSEL0-FRQSEL3により、32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

#### 【オプション・バイト設定】

アドレス : 000C2H

オプション・ バイト (000C2H)	7	6	5	4	3	2	1	0
	CMODE1	CMODE0			FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
	0/1	0/1	1	0	0/1	0/1	0/1	0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
0	0	LV (低電圧メイン) モード	V <sub>DD</sub> = 1.6 V ~ 3.6 V @ 1 MHz ~ 4 MHz
1	0	LS (低速メイン) モード	V <sub>DD</sub> = 1.8 V ~ 3.6 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン) モード	V <sub>DD</sub> = 2.4 V ~ 3.6 V @ 1 MHz ~ 16 MHz V <sub>DD</sub> = 2.7 V ~ 3.6 V @ 1 MHz ~ 32 MHz
上記以外		設定禁止	

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

## 【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H

	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

## 6.6.2 X1発振回路の設定例

CPU/周辺ハードウェア・クロック (f<sub>CLK</sub>) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをf<sub>CLK</sub>に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット (1)、f<sub>x</sub>>10 MHzの場合はAMPHビットをセット (1) してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	0/1

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。

例) 10 MHzの発振子で102 μs以上までウエイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア (0) してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。

例) 10 MHzの発振子で102 μs以上までウエイトする場合は、以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	0	1	0	0	0	0

**注意** システム・クロック制御レジスタ (CKC) でメイン・システム・クロック (f<sub>MAIN</sub>) を変更する場合は、クロックの変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV(低電圧メイン)モード	1 MHz~4 MHz	1.6 V~3.6 V
1	0	LS(低速メイン)モード	1 MHz~8 MHz	1.8 V~3.6 V
1	1	HS(高速メイン)モード	1 MHz~16 MHz	2.4 V~3.6 V
			1 MHz~32 MHz	2.7 V~3.6 V

### 6.6.3 XT1発振回路の設定例

CPU/周辺ハードウェア・クロック (f<sub>CLK</sub>) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) でXT1発振クロックをf<sub>CLK</sub>に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時にリアルタイム・クロック、12ビット・インターバル・タイマのみサブシステム・クロックで動作 (超低消費電流) させる場合はRTCLPCビットを1に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

- ② CMCレジスタのOSCSELSビットをセット (1) してXT1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1ビット : XT1発振回路の発振モードを設定します。

- ③ CSCレジスタのXTSTOPビットをクリア (0) してXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトしてください。

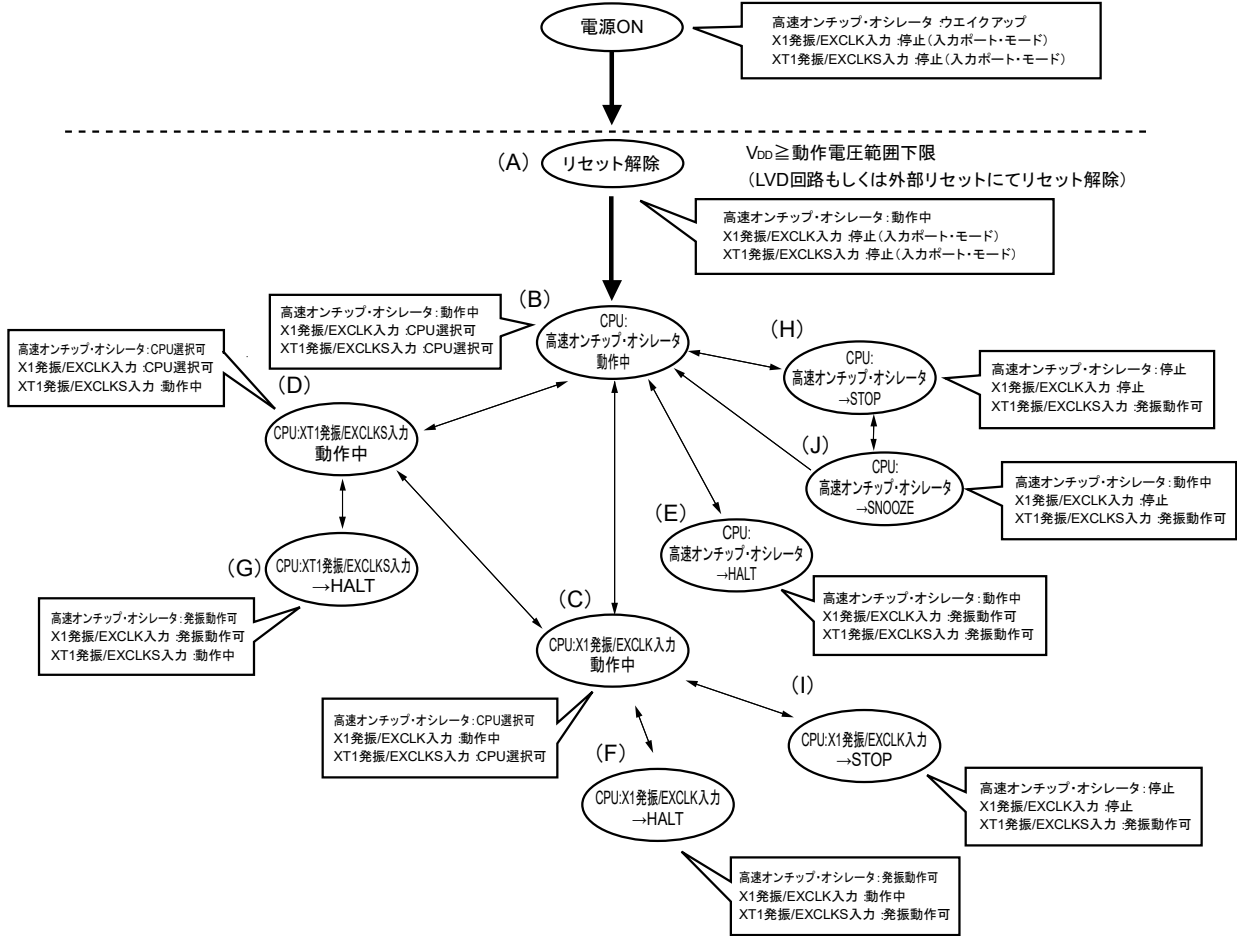
- ⑤ CKCレジスタのCSSビットでXT1発振クロックをCPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

### 6.6.4 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図6-16に示します。

図6-16 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表6-3に示します。

表6-3 CPUクロックの移行とSFRレジスタの設定例 (1/5)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B) )

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ <sup>注1</sup>			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH	EXCLK	OSCSEL	AMPH	MSTOP			MCM0
(A) → (B) → (C) (X1クロック : 1 MHz ≤ f <sub>x</sub> ≤ 10 MHz)	0	1	0				注2	0	確認必要	1
(A) → (B) → (C) (X1クロック : 10 MHz < f <sub>x</sub> ≤ 20 MHz)	0	1	1				注2	0	確認必要	1
(A) → (B) → (C) (外部メイン・クロック)	1	1	×				注2	0	確認不要	1

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

- ・ 期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第30章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B) )

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ				CMCレジスタ <sup>注</sup>				CSC レジスタ	発振安 定待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) → (B) → (D) (XT1クロック)	0	1	0/1	0/1					0	必要	1
(A) → (B) → (D) (外部サブ・クロック)	1	1	×	×					0	必要	1

注 クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1. × : don't care

2. 表6-3の (A) - (J) は、図6-16の(A) - (J) と対応しています。



表6-3 CPUクロックの移行とSFRレジスタの設定例 (2/5)

(4) CPUを高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	CMCレジスタ <sup>注1</sup>			OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ MCM0
	EXCLK	OSCSEL	AMPH				
(B) → (C) (X1クロック : 1 MHz ≤ f <sub>x</sub> ≤ 10 MHz)	0	1	0	注2	0	確認必要	1
(B) → (C) (X1クロック : 10 MHz < f <sub>x</sub> ≤ 20 MHz)	0	1	1	注2	0	確認必要	1
(B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック  
動作中の場合は不要

**注1.** クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

設定済みの場合は不要です。

**2.** 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

- ・ 期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

**注意** 設定するクロックの動作可能電圧 (第30章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速オンチップ・オシレータ・クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	CMCレジスタ <sup>注</sup>			CSCレジスタ XTSTOP	発振安定 待ち	CKCレジスタ CSS
	EXCLKS	OSCSELS	AMPHS1,0			
(B) → (D) (XT1クロック)	0	1	00 : 低消費発振 01 : 通常発振 10 : 超低消費発振	0	必要	1
(B) → (D) (外部サブ・クロック)	1	1	×	0	必要	1

設定済みの場合は不要
 サブシステム・クロック動作中の場合は不要

**注** クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

設定済みの場合は不要です。

**備考1.** × : don't care

**2.** 表6-3の (A) - (J) は、図6-16の(A) - (J) と対応しています。

表6-3 CPUクロックの移行とSFRレジスタの設定例 (3/5)

(6) CPUを高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) → (B)		0	18 $\mu$ s~65 $\mu$ s	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

**備考** 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振安定待ち	CKCレジスタ
		XTSTOP		CSS
(C) → (D)		0	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		CSS
(D) → (B)		0	18 $\mu$ s~65 $\mu$ s	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

**備考1.** 表6-3の (A) - (J) は、図6-16の(A) - (J) と対応しています。

- 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表6-3 CPUクロックの移行とSFRレジスタの設定例 (4/5)

(9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
			MSTOP		CSS
(D) → (C) (X1クロック : 1 MHz ≤fx≤10 MHz)		注	0	確認必要	0
(D) → (C) (X1クロック : 10 MHz<fx≤20 MHz)		注	0	確認必要	0
(D) → (C) (外部メイン・クロ ック)		注	0	確認不要	0

高速システム・クロック  
動作中の場合は不要

**注** 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

**注意** 設定するクロックの動作可能電圧 (第30章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(10) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にHALTモード (E) へ移行

・CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行

・CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) → (E)	HALT命令を実行する
(C) → (F)	
(D) → (G)	

**備考** 表6-3の (A) - (J) は、図6-16の(A) - (J) と対応しています。

表6-3 CPUクロックの移行とSFRレジスタの設定例 (5/5)

- (11) ・ CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード (H) へ移行  
 ・ CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移		設定内容		
(B) → (H)		STOPモード中に動作禁止の周辺機能を停止する	—	STOP命令を実行する
(C) → (I)	X1発振		OSTSレジスタを設定する	
	外部クロック		—	

- (12) ・ STOPモード (H) からSNOOZEモード (J) へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、12.8 SNOOZEモード機能、13.5.7 SNOOZEモード機能、13.6.3 SNOOZEモード機能を参照してください。

**備考** 表6-3の (A) - (J) は、図6-16の(A) - (J) と対応しています。

## 6.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表6-4 CPUクロックの移行について (1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	CPUクロックが移行前のクロックに切り替わったことを確認したあと、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能。
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、X1を発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可	
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可	
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	

表6-4 CPUクロックの移行について (2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、XT1発振停止に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	外部サブシステム・クロック	移行不可	
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	XT1クロック	移行不可	

### 6.6.6 CPUクロックの切り替えとシステム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4, 6（MCM0, CSS）の設定により，CPUクロックの切り替え（メイン・システム・クロック⇄サブシステム・クロック），メイン・システム・クロックの切り替え（高速オンチップ・オシレータ・クロック⇄高速システム・クロック）をすることができます。

実際の切り替え動作は，CKCレジスタを書き換えた直後ではなく，CKCレジスタを変更したのち，数クロックは切り替え前のクロックで動作します（表6-5～表6-7参照）。

CPUクロックがメイン・システム・クロックで動作しているか，サブシステム・クロックで動作しているかは，CKCレジスタのビット7（CLS）で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか，高速オンチップ・オシレータ・クロックで動作しているかは，CKCレジスタのビット5（MCS）で判定できます。

CPUクロックを切り替えると，周辺ハードウェア・クロックも同時に切り替わります。

表6-5 システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f <sub>IH</sub>	←→	f <sub>MX</sub>	表6-6参照
f <sub>MAIN</sub>	←→	f <sub>SUB</sub>	表6-7参照

表6-6 f<sub>IH</sub> ↔ f<sub>MX</sub>で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f <sub>MAIN</sub> = f <sub>IH</sub> )	1 (f <sub>MAIN</sub> = f <sub>MX</sub> )
0 (f <sub>MAIN</sub> = f <sub>IH</sub> )	f <sub>MX</sub> ≥ f <sub>IH</sub>		2クロック
	f <sub>MX</sub> < f <sub>IH</sub>		2f <sub>IH</sub> /f <sub>MX</sub> クロック
1 (f <sub>MAIN</sub> = f <sub>MX</sub> )	f <sub>MX</sub> ≥ f <sub>IH</sub>	2f <sub>MX</sub> /f <sub>IH</sub> クロック	
	f <sub>MX</sub> < f <sub>IH</sub>	2クロック	

表6-7 f<sub>MAIN</sub> ↔ f<sub>SUB</sub>で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 (f <sub>CLK</sub> = f <sub>MAIN</sub> )	1 (f <sub>CLK</sub> = f <sub>SUB</sub> )
0 (f <sub>CLK</sub> = f <sub>MAIN</sub> )			1+2f <sub>MAIN</sub> /f <sub>SUB</sub> クロック
1 (f <sub>CLK</sub> = f <sub>SUB</sub> )		3クロック	

備考1. 表6-6、表6-7のクロック数は，切り替え前のCPUクロックのクロック数です。

2. 表6-6、表6-7のクロック数は，小数点以下を切り上げてください。

例 メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合（f<sub>IH</sub> = 8 MHz選択, f<sub>MX</sub> = 10 MHz発振時）

$$2f_{MX}/f_{IH} = 2(10/8) = 2.5 \rightarrow 3 \text{クロック}$$

### 6.6.7 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。  
クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表6-8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1
外部サブシステム・クロック		

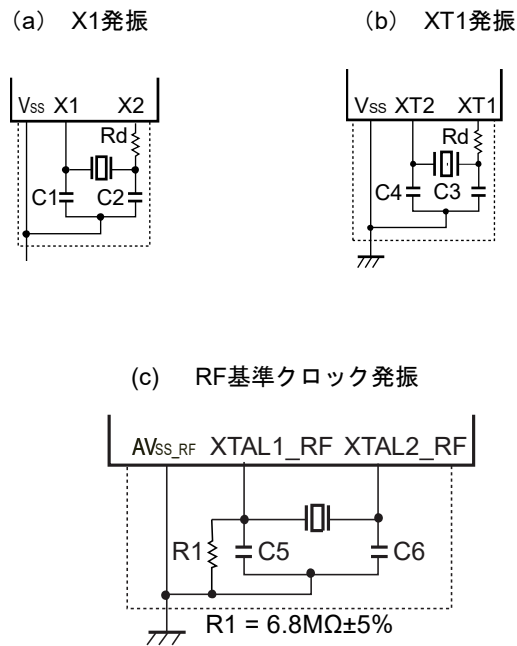


## 6.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数（参考）を示します。

- 注意1.** この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。
- また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。
- 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については、DC、AC特性の規格内で使用してください。
  - RF基準クロック発振の $6.8\text{M}\Omega \pm 5\%$ の抵抗R1は必ず実装してください。

図6-17 外付け発振回路例



(1) X1発振

2015年4月現在 (1/2)

メーカー	発振子	品名 <sup>注3</sup>	SMD/ リード	周波数 (MHz)	フラッシュ 動作 モード <sup>注1</sup>	発振回路定数 <sup>注2</sup> (参考)			電圧範囲 (V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社 村田製作所 <sup>注4</sup>	セラミック 発振子	CSTCC2M00G56-R0	SMD	2.0	LV	(47)	(47)	0	1.6	3.6
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCC2M00G56-R0	SMD	2.0	LS	(47)	(47)	0	1.8	3.6
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCR4M19G55-R0	SMD	4.194		(39)	(39)	0		
		CSTLS4M19G53-B0	リード			(15)	(15)	0		
		CSTCR4M91G53-R0	SMD	4.915		(15)	(15)	0		
		CSTLS4M91G53-B0	リード			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0		
		CSTLS5M00G53-B0	リード			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	リード		(15)	(15)	0			
		CSTCE8M38G52-R0	SMD	8.388	HS	(10)	(10)	0	2.4	3.6
		CSTLS8M38G53-B0	リード			(15)	(15)	0		
		CSTCE10M0G52-R0	SMD	10.0	10.0	(10)	(10)	0		
		CSTLS10M0G53-B0	リード			(15)	(15)	0		
CSTCE12M0G52-R0	SMD	12.0	12.0	(10)	(10)	0				
CSTCE16M0V53-R0	SMD	16.0		(15)	(15)	0				
CSTLS16M0X51-B0	リード		(5)	(5)	0					
CSTCE20M0V51-R0	SMD	20.0	20.0	(5)	(5)	0	2.7	3.6		
CSTLS20M0X51-B0	リード			(5)	(5)	0				

注1. フラッシュ動作モードは、オプション・バイト (000C2H) のCMODE1, CMODE0ビットで設定します。

2. C1, C2の欄の ( ) 内は、内蔵容量値を示しています。

3. 105°C対応の製品は品名が異なります。詳細は、株式会社村田製作所 (<http://www.murata.co.jp>) へお問い合わせください。

4. この発振子を使用する場合、マッチングの詳細については、株式会社村田製作所 (<http://www.murata.co.jp>) にお問い合わせください。

備考1. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード :  $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$  @1 MHz~32 MHz

$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$  @1 MHz~16 MHz

LS (低速メイン) モード :  $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$  @1 MHz~8 MHz

LV (低電圧メイン) モード :  $1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$  @1 MHz~4 MHz

★

2. 最新の動作確認済みの発振子と、その発振回路定数 (参考) は、当社Webページ (<http://www.renesas.com>) の対象製品ページに掲載しています。

2015年4月現在 (2/2)

メーカー	発振子	品名 <sup>注2</sup>	SMD/ リード	周波数 (MHz)	フラッシュ 動作 モード <sup>注1</sup>	発振回路定数 (参考)			電圧範囲 (V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX
日本電波工業 株式会社	水晶 振動子	NX8045GB <sup>注3</sup>	SMD	8.0	<b>注3</b>					
		NX5032GA <sup>注3</sup>	SMD	16.0						
		NX3225HA <sup>注3</sup>	SMD	20.0						
京セラクリスタル デバイス株式会社	水晶 振動子	CX8045GB04000D0PPTZ1 <sup>注4</sup>	SMD	4.0	LV	12	12	0	1.6	3.6
		LS						1.8	3.6	
		CX8045GB04915D0PPTZ1 <sup>注4</sup>	SMD	4.915	LS	12	12	0	1.8	3.6
		CX8045GB08000D0PPTZ1 <sup>注4</sup>	SMD	8.0		12	12	0		
		CX8045GB10000D0PPTZ1 <sup>注4</sup>	SMD	10.0	HS	12	12	0	2.4	3.6
		CX3225GB12000B0PPTZ1 <sup>注4</sup>	SMD	12.0		5	5	0		
		CX3225GB16000B0PPTZ1 <sup>注4</sup>	SMD	16.0		5	5	0		
CX3225SB20000B0PPTZ1 <sup>注4</sup>	SMD	20.0		5	5	0	2.7	3.6		
リバーエレテック 株式会社	水晶 振動子	FCX-03 - 8.000MHZ - J21140 <sup>注5</sup>	SMD	8.0	HS	3	3	0	2.4	3.6
		FCX-04C - 10.000MHZ - J21139 <sup>注5</sup>	SMD	10.0		4	4	0		
		FCX-05 - 12.000MHZ - J21138 <sup>注5</sup>	SMD	12.0		6	6	0		
		FCX-06 - 16.000MHZ - J21137 <sup>注5</sup>	SMD	16.0		4	4	0		

注1. フラッシュ動作モードは、オプション・バイト (000C2H) のCMODE1, CMODE0ビットで設定します。

- この振動子は85°Cまで対応しています。105°C対応の製品に関しては、発振子メーカーへお問い合わせください。
- この振動子を使用する場合、マッチングの詳細については、日本電波工業株式会社 (<http://www.ndk.com>) にお問い合わせください。
- この振動子を使用する場合、マッチングの詳細については、京セラクリスタルデバイス株式会社 (<http://www.kyocera-crystal.jp>, <http://www.kyocera.co.jp>) にお問い合わせください。
- この振動子を使用する場合、マッチングの詳細については、リバーエレテック株式会社 (<http://www.river-ele.co.jp>) にお問い合わせください。

備考1. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード :  $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$  @ 1 MHz ~ 32 MHz

$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$  @ 1 MHz ~ 16 MHz

LS (低速メイン) モード :  $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$  @ 1 MHz ~ 8 MHz

LV (低電圧メイン) モード :  $1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$  @ 1 MHz ~ 4 MHz

- ★ 2. 最新の動作確認済みの発振子と、その発振回路定数 (参考) は、当社Webページ (<http://www.renesas.com>) の対象製品ページに掲載しています。

## (2) XT1発振 (水晶振動子)

2015年4月現在

メーカー	品名 <sup>注2</sup>	SMD/ リード	周波数 (kHz)	負荷容量 CL (pF)	XT1発振 モード <sup>注1</sup>	発振回路定数 (参考)			電圧範囲 (V)	
						C3 (pF)	C4 (pF)	Rd (kΩ)	MIN.	MAX
セイコーインスツル 株式会社	SSP-T7-F <sup>注3</sup>	SMD	32.768	7	通常発振	11	11	0	1.6	3.6
				6		9	9	0		
	6			低消費発振	9	9	0			
					4.4	6	5	0		
	4.4			超低消費発振	6	5	0			
					3.7	4	4	0		
	VT-200-FL <sup>注3</sup>	リード	6	通常発振	9	9	0			
			6	低消費発振	9	9	0			
			4.4	6	5	0				
			4.4	超低消費発振	6	5	0			
日本電波工業 株式会社	NX3215SA <sup>注4</sup>	SMD	32.768	6	通常発振	7	7	0	1.6	3.6
				6	低消費発振					
				6	超低消費発振					
	NX2012SA <sup>注4</sup>	SMD	32.768	6	6	通常発振	7	7	0	
					6	低消費発振				
					6	超低消費発振				
京セラクリスタル デバイス株式会社	ST3215SB <sup>注5</sup>	SMD	32.768	7	通常発振	10	10	0	1.6	3.6
				7	低消費発振					
				7	超低消費発振					
リバーエレテック 株式会社	TFX-02 - 32.768KHZ - J20986 <sup>注6</sup>	SMD	32.768	9	通常発振	12	10	0	1.6	3.6
					低消費発振					
	TFX-03 - 32.768KHZ - J13375 <sup>注6</sup>	SMD	32.768	7	通常発振	12	10	0		

注1. XT1発振モードは、クロック動作モード制御レジスタ (CMC) のAMPHS0, AMPHS1ビットで設定します。

- この振動子は85°Cまで対応しています。
- この振動子は、低消費電力用製品です。使用する場合、マッチングの詳細については、セイコーインスツル株式会社 (<http://www.sii-crystal.com>) にお問い合わせください。
- この振動子を使用する場合、マッチングの詳細については、日本電波工業株式会社 (<http://www.ndk.com/>) にお問い合わせください。
- この振動子を使用する場合、マッチングの詳細については、京セラクリスタルデバイス株式会社 (<http://www.kyocera-crystal.jp>, <http://www.kyocera.co.jp>) にお問い合わせください。
- この振動子を使用する場合、マッチングの詳細については、リバーエレテック株式会社 (<http://www.river-ele.co.jp>) にお問い合わせください。

★ **備考** 最新の動作確認済みの発振子と、その発振回路定数 (参考) は、当社Webページ (<http://www.renesas.com>) の対象製品ページに掲載しています。

## ★ (3) RF基準クロック発振（水晶振動子）

メーカー	品名	SMD/ リード	周波数 (MHz)	負加容量 C <sub>L</sub> (pF)	発振回路定数 (参考)		電圧範囲(V)	
					C5(pF)	C6(pF)	MIN.	MAX.
日本電波工業 株式会社	NX1612SA-32.000M HZ-CHP-CIS-3 <sup>注1</sup>	SMD (1612)	32.00	6.0	8.0	9.0	1.6	3.6
京セラクリスタル デバイス株式会社	CX1612DB32000 A0WPNC1 <sup>注2</sup>	SMD (1612)	32.00	5.0	5.0	5.0	1.6	3.2
リバーエレテック 株式会社	FCX-07L <sup>注3</sup>	SMD (1612)	32.00	5.5	7.0	7.0	1.6	3.6
	FCX-06 <sup>注3</sup>	SMD (2016)	32.00	6.0	8.0	8.0	1.6	3.6
セイコーエプソン 株式会社	FA-118T <sup>注4</sup>	SMD (1612)	32.00	6.0	9.0	10.0	1.6	3.6
株式会社 村田製作所	XRCGB32M000 F2P26R0 <sup>注5</sup>	SMD (2016)	32.00	5.0	8.0	8.0	1.6	3.6
	XRCMD32M000 FZQ52R0 <sup>注5</sup>	SMD (1612)	32.00	6.0	10.0	10.0	1.6	3.6
株式会社大真空	DSX1612SL <sup>注6</sup>	SMD (1612)	32.00	8.0	6.0	6.0	1.6	3.6

注1. この振動子を使用する場合、マッチングの詳細については日本電波工業株式会社(<http://www.ndk.com/>)にお問い合わせください。

2. この振動子を使用する場合、マッチングの詳細については、京セラクリスタルデバイス株式会社 (<http://www.kyocera-crystal.jp>, <http://www.kyocera.co.jp>) にお問い合わせください。

3. この振動子を使用する場合、マッチングの詳細については、リバーエレテック株式会社 (<http://www.river-ele.co.jp>) にお問い合わせください。

4. この振動子を使用する場合、マッチングの詳細については、セイコーエプソン株式会社 (<http://www.epson.jp/>, <http://www5.epsondevice.com/ja/>) にお問い合わせください。

5. この発振子を使用する場合、マッチングの詳細については、株式会社 村田製作所 (<http://www.murata.co.jp>) にお問い合わせください。

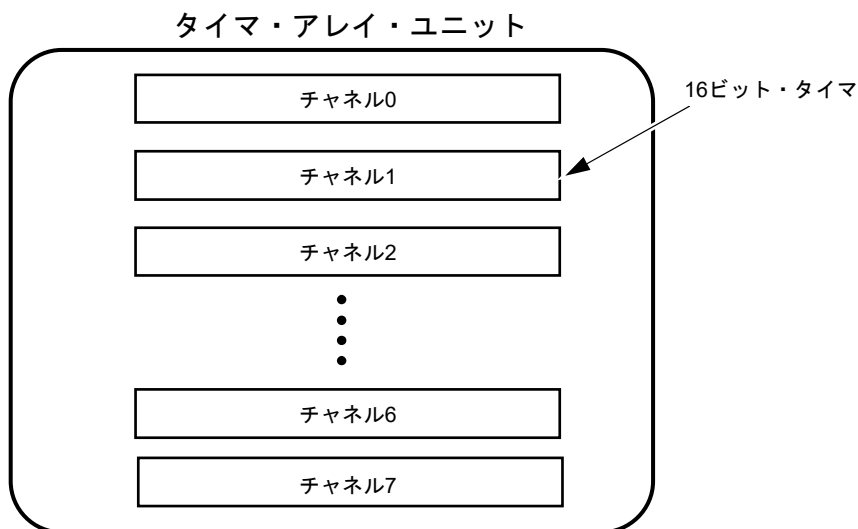
6. この振動子を使用する場合、マッチングの詳細については、株式会社大真空 ([www.kds.info/](http://www.kds.info/)) にお問い合わせください。

備考 最新の動作確認済みの発振子と、その発振回路定数 (参考) は、当社Webページ (<http://www.renesas.com>) の対象製品ページに掲載しています。

## 第7章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせるとして高度なタイマ機能として使用することもできます。RL78/G1Dは、ユニット0のチャンネル0～7の8チャンネルを持ちます。



各機能の詳細に関しては下記を参照してください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> <li>・ インターバル・タイマ (→7. 8. 1参照)</li> <li>・ 方形波出力 (→7. 8. 1参照)</li> <li>・ 外部イベント・カウンタ (→7. 8. 2参照)</li> <li>・ 分周器<sup>注</sup> (→7. 8. 3参照)</li> <li>・ 入力パルス間隔測定 (→7. 8. 4参照)</li> <li>・ 入力信号のハイ/ロウ・レベル幅測定 (→7. 8. 5参照)</li> <li>・ デレイ・カウンタ (→7. 8. 6参照)</li> </ul>	<ul style="list-style-type: none"> <li>・ ワンショット・パルス出力 (→7. 9. 1参照)</li> <li>・ PWM出力 (→7. 9. 2参照)</li> <li>・ 多重PWM出力 (→7. 9. 3参照)</li> </ul>

**注** ユニット0のチャンネル0のみ

ユニット0のチャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ (上位/下位) として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ (上位/下位8ビット・タイマ) / 方形波出力 (下位8ビット・タイマのみ)
- 外部イベント・カウンタ (下位8ビット・タイマのみ)
- デレイ・カウンタ (下位8ビット・タイマのみ)

## 7.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

### 7.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

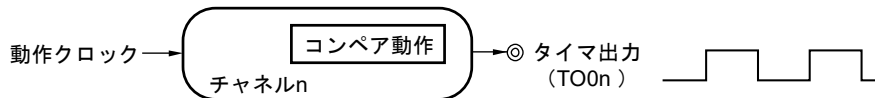
#### (1) インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。



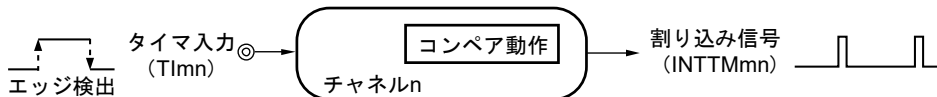
#### (2) 方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子（TO0n）より出力します。



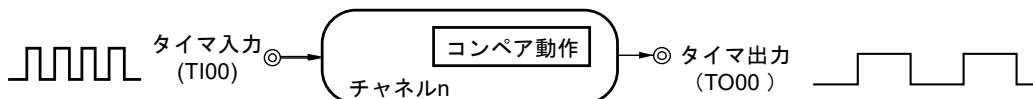
#### (3) 外部イベント・カウンタ

タイマ入力端子（TI0n）に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



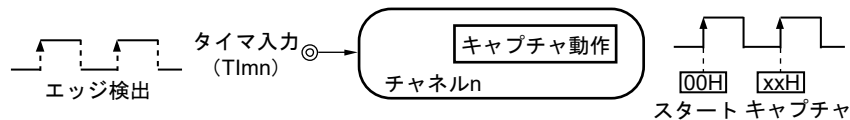
#### (4) 分周器機能（ユニット0のチャンネル0のみ）

タイマ入力端子（TI00）から入力されたクロックを分周して出力端子（TO00）より出力します。



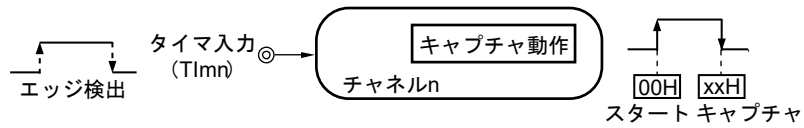
#### (5) 入力パルス間隔測定

タイマ入力端子（TI0n）に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



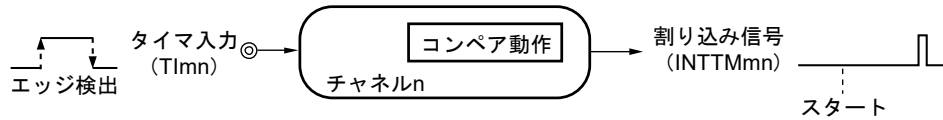
#### (6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TImn) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(7) デイレイ・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)



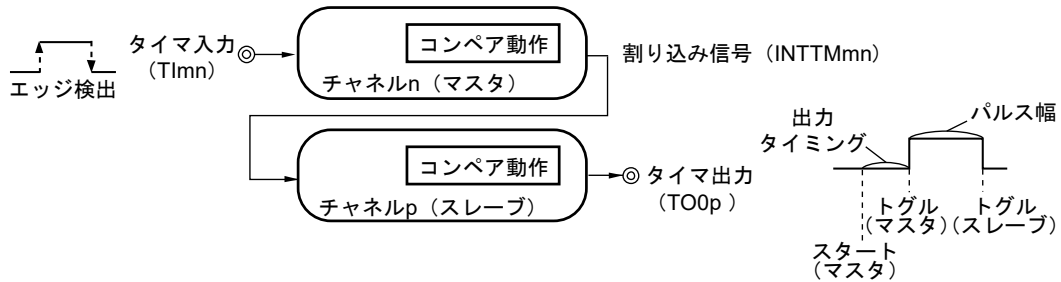
### 7.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせる機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

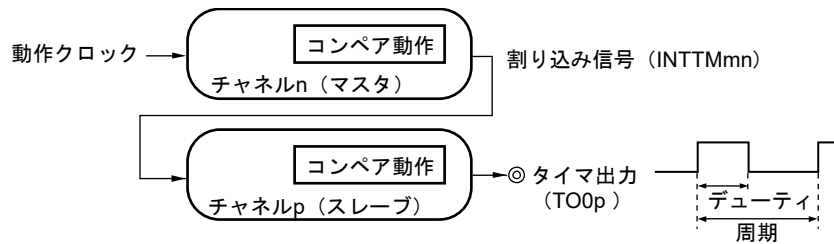
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



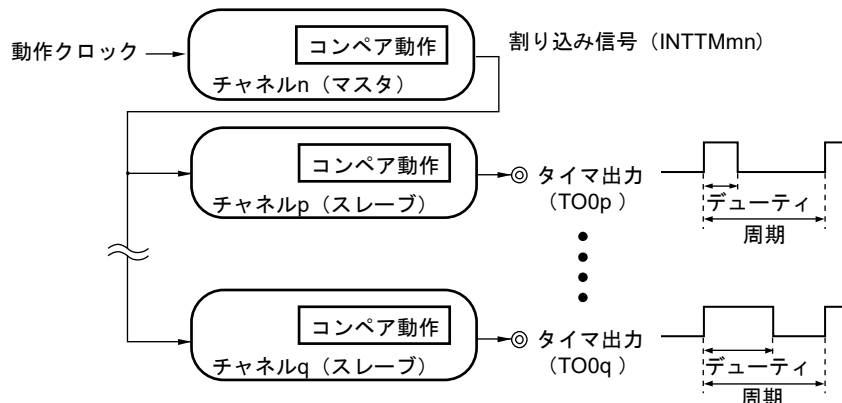
(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することが出来ます。



**注意** 複数チャンネル連動動作機能のルールの詳細については、7.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

p, q : スレーブ・チャンネル番号 (n < p < q ≤ 7)

### 7.1.3 8ビット・タイマ動作機能（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1のみが使用できます。

**注意** 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、7.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）を参照してください。

## 7.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表7-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタmn (TCRmn)
レジスタ	タイマ・データ・レジスタmn (TDRmn)
タイマ入力	TI00-TI07
タイマ出力	TO00-TO07, 出力制御回路
制御レジスタ	<ユニット設定部のレジスタ> <ul style="list-style-type: none"> <li>・周辺イネーブル・レジスタ0 (PER0)</li> <li>・タイマ・クロック選択レジスタm (TPSm)</li> <li>・タイマ・チャンネル許可ステータス・レジスタm (TEm)</li> <li>・タイマ・チャンネル開始レジスタm (TSm)</li> <li>・タイマ・チャンネル停止レジスタm (TTm)</li> <li>・タイマ入力選択レジスタ0 (TIS0)</li> <li>・タイマ出力許可レジスタ0 (TOE0)</li> <li>・タイマ出力レジスタ0 (TO0)</li> <li>・タイマ出力レベル・レジスタ0 (TOL0)</li> <li>・タイマ出力モード・レジスタ0 (TOM0)</li> </ul>
	<各チャンネル部のレジスタ> <ul style="list-style-type: none"> <li>・タイマ・モード・レジスタmn (TMRmn)</li> <li>・タイマ・ステータス・レジスタmn (TSRmn)</li> <li>・ノイズ・フィルタ許可レジスタ1 (NFEN1)</li> <li>・ポート・モード・レジスタ (PM1x) 注</li> <li>・ポート・レジスタ (P1x) 注</li> </ul>

注 製品によって設定するポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) が異なります。詳細は、5.5.3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

表7-2 製品に搭載しているタイマ入出力端子

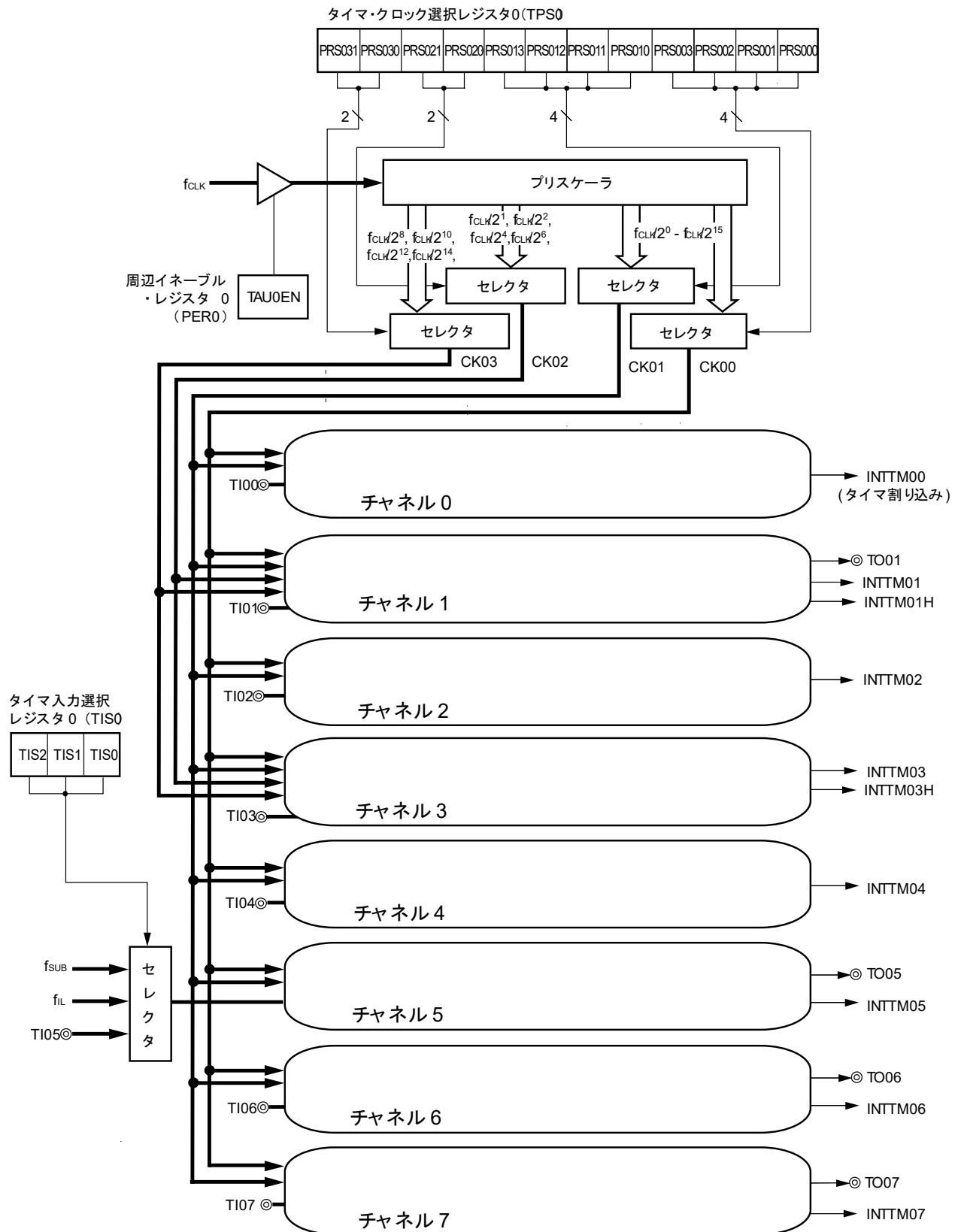
タイマ・アレイ・ユニット・チャンネル	製品の入出力端子の有無
チャンネル0	P00/TI00, P01/TO00
チャンネル1	P16/TI01/TO01
チャンネル2	P15/ (TI02/TO02)
チャンネル3	P14/ (TI03/TO03)
チャンネル4	P13/ (TI04/TO04)
チャンネル5	P12/ (TI05/TO05)
チャンネル6	P11/ (TI06/TO06)
チャンネル7	P10/ (TI07/TO07)

備考1. タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

2. ( ) は周辺I/Oリダイレクション・レジスタ (PIOR) のビット0を“1”に設定したときの兼用ポート

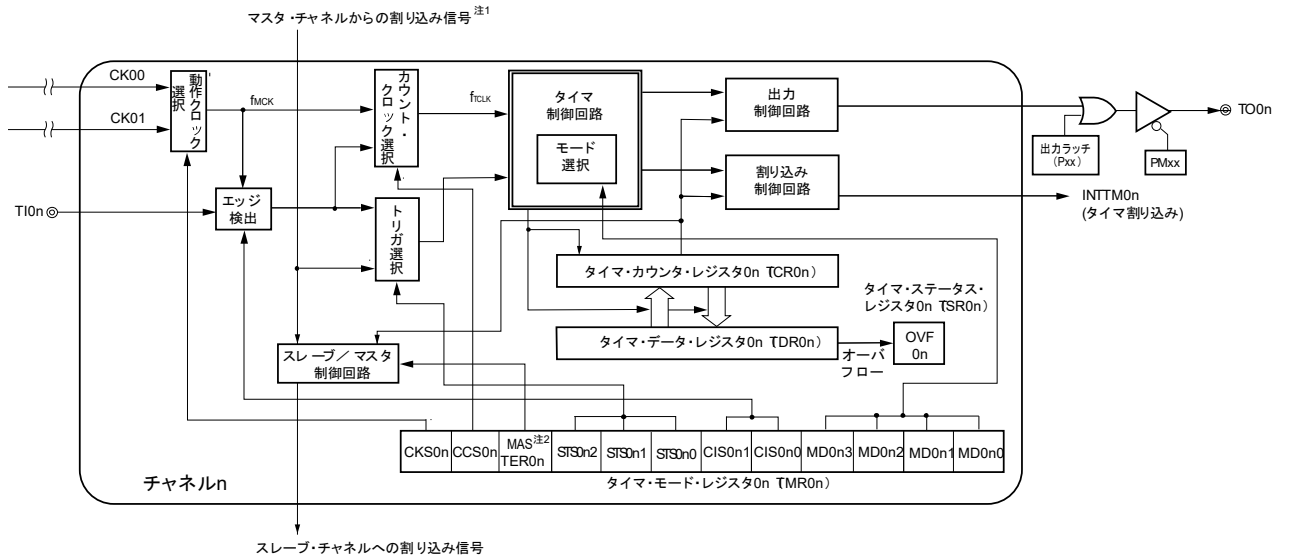
図7-1にタイマ・アレイ・ユニットのブロック図を示します。

図7-1 タイマ・アレイ・ユニット0の全体ブロック図



**備考** f<sub>SUB</sub> : サブシステム・クロック周波数  
 f<sub>IL</sub> : 低速オンチップ・オシレータ・クロック周波数

図7-2 タイマ・アレイ・ユニット0のチャンネル0, 2, 4, 6内部ブロック図

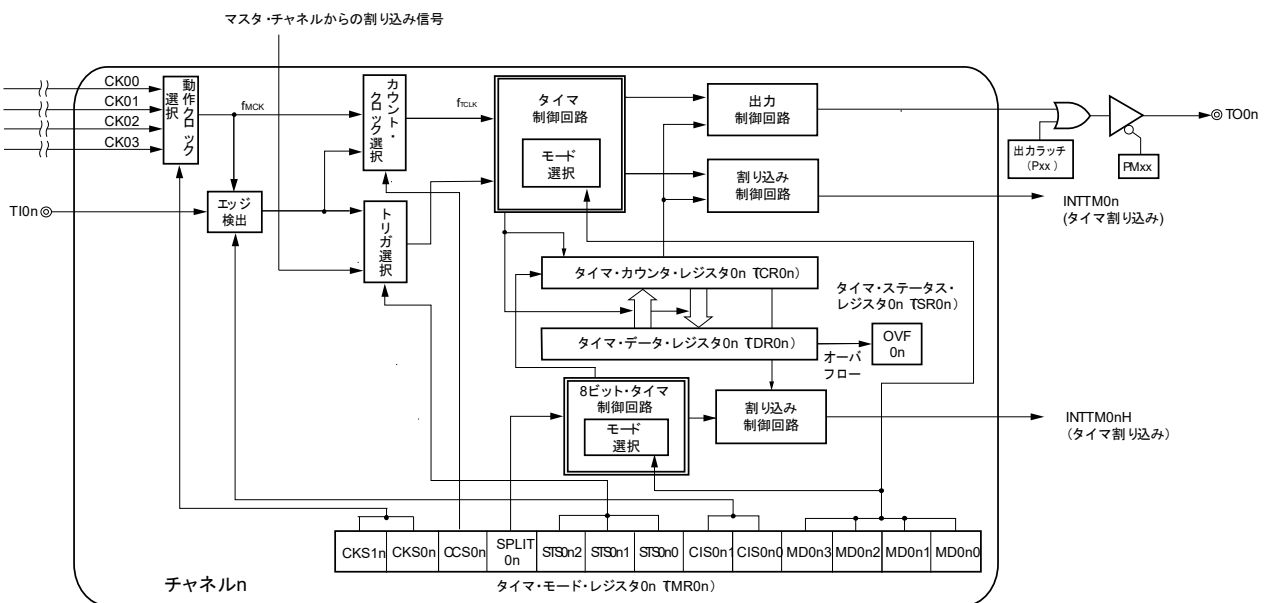


注1. チャンネル2, 4, 6のみ

2. n = 2, 4, 6のみ

備考 n = 0, 2, 4, 6

図7-3 タイマ・アレイ・ユニット0のチャンネル1,3内部ブロック図



備考 n = 1, 3

図7-4 タイマ・アレイ・ユニット0のチャンネル5内部ブロック図

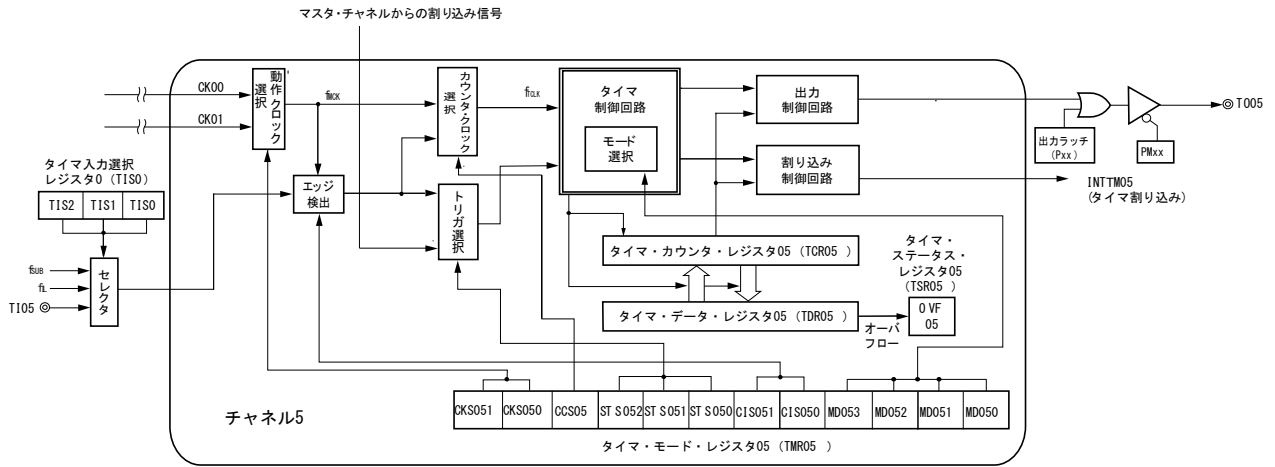
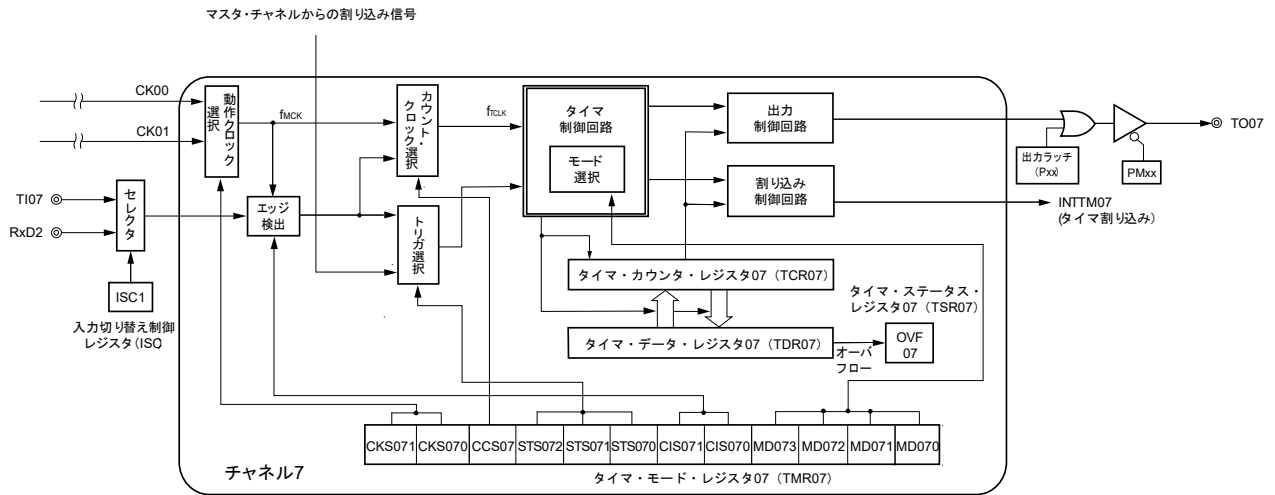


図7-5 タイマ・アレイ・ユニット0のチャンネル7内部ブロック図



### 7.2.1 タイマ・カウンタ・レジスタmn (TCRmn)

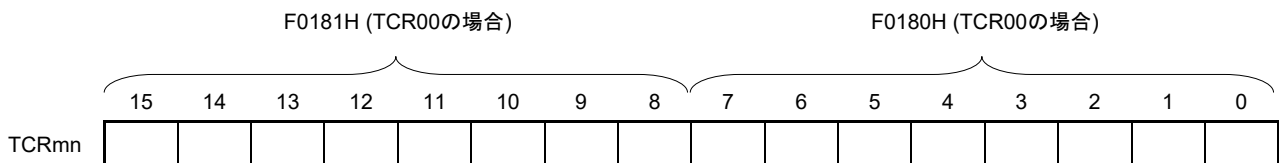
TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、タイマ・モード・レジスタmn (TMRmn) のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります (7.3.3 タイマ・モード・レジスタmn (TMRmn) 参照)。

図7-6 タイマ・カウンタ・レジスタmn (TCRmn) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07) , リセット時 : FFFFH R



**備考** m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)



タイマ・カウンタ・レジスタmn (TCRmn) をリードすることにより、カウント値をリードできます。  
次の場合、カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺イネーブル・レジスタ0 (PER0) のTAUmENビットをクリアしたとき
- PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ディレイ・カウンタ・モードで、スレーブ・チャンネルのカウント完了時
- ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- 多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- キャプチャ・モード時に、スタート・トリガが入力されたとき
- キャプチャ・モード時で、キャプチャ完了時

**注意** TCRmnレジスタをリードしても、タイマ・データ・レジスタmn (TDRmn) にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表7-3 各動作モード時のタイマ・カウンタ・レジスタmn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値 <sup>注</sup>			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmnレジスタのキャプチャ値+1

**注** チャンネルnがタイマ動作停止状態 (TEmn = 0) かつカウント動作許可状態 (TSmn = 1) にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

## 7.2.2 タイマ・データ・レジスタmn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタmn (TMRmn) のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時 (タイマ・モード・レジスタm1, m3 (TMRm1, TMRm3) のSPLITビットが1) に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図7-7 タイマ・データ・レジスタmn (TDRmn) (n = 0, 2, 4-7) のフォーマット

アドレス : FFF18H, FFF19H (TDR00) , FFF64H, FFF65H (TDR02) , リセット時 : 0000H R/W  
FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07) ,

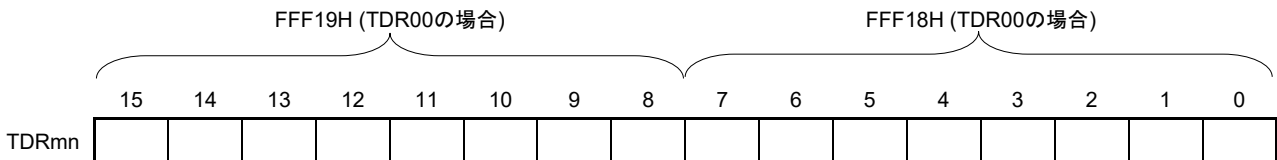
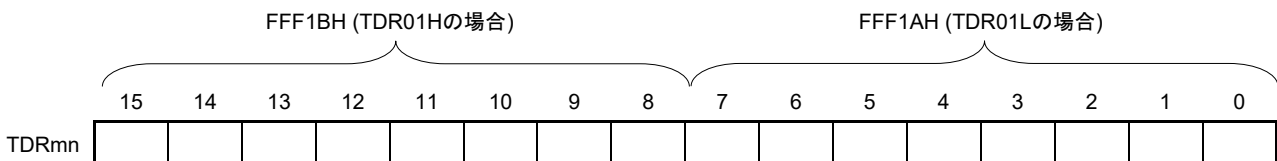


図7-8 タイマ・データ・レジスタmn (TDRmn) (n = 1, 3) のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01) , FFF66H, FFF67H (TDR03) , リセット時 : 0000H R/W



- (1) タイマ・データ・レジスタmn (TDRmn) をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTMmn) を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

**注意** コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

- (2) タイマ・データ・レジスタmn (TDRmn) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタmn (TCRmn) のカウント値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタmn (TMRmn) で設定します。

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

### 7.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- タイマ・クロック選択レジスタm (TPSm)
- タイマ・モード・レジスタmn (TMRmn)
- タイマ・ステータス・レジスタmn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタm (TEm)
- タイマ・チャンネル開始レジスタm (TSm)
- タイマ・チャンネル停止レジスタm (TTm)
- タイマ入力選択レジスタ0 (TIS0)
- タイマ出力許可レジスタ0 (TOE0)
- タイマ出力レジスタ0 (TO0)
- タイマ出力レベル・レジスタ0 (TOL0)
- タイマ出力モード・レジスタ0 (TOM0)
- ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ポート・モード・レジスタ (PM1x)
- ポート・レジスタ (P1x)

**注** 搭載していないビットには必ず初期値を設定してください。

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

### 7.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は、必ずビット0 (TAU0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図7-9 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

**注意** 1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態、下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます（タイマ入力選択レジスタ0 (TIS0)、ノイズ・フィルタ許可レジスタ1 (NFEN1)、ポート・モード・レジスタ1 (PM1)、ポート・レジスタ1 (P1) は除く）。

- ・タイマ・クロック選択レジスタm (TPSm)
- ・タイマ・モード・レジスタm (TMRm)
- ・タイマ・ステータス・レジスタmn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャンネル開始レジスタm (TSM)
- ・タイマ・チャンネル停止レジスタm (TTm)
- ・タイマ出力許可レジスタm (TOEm)
- ・タイマ出力レジスタm (TOm)
- ・タイマ出力レベル・レジスタm (TOLm)
- ・タイマ出力モード・レジスタm (TOMm)

2. ビット1,6 には必ず“0”を設定してください。

### 7.3.2 タイマ・クロック選択レジスタm (TPSm)

TPSmレジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で、CKm1はTPSmレジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9, 8で、CKm3はTPSmレジスタのビット13, 12で選択します。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm0を選択 (CKSmn1, CKSmn0 = 0, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm1を選択 (CKSmn1, CKSmn0 = 0, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm2を選択 (CKSmn1, CKSmn0 = 1, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択 (CKSmn1, CKSmn0 = 1, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図7-10 タイマ・クロック選択レジスタm (TPSm) のフォーマット (1/2)

アドレス : F01B6H, F01B7H (TPS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk) の選択 <sup>※</sup> (k = 0, 1)					
				f <sub>CLK</sub> = 2 MHz	f <sub>CLK</sub> = 5 MHz	f <sub>CLK</sub> = 10 MHz	f <sub>CLK</sub> = 20 MHz	f <sub>CLK</sub> = 32 MHz	
0	0	0	0	f <sub>CLK</sub>	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	f <sub>CLK</sub> /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	f <sub>CLK</sub> /2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	f <sub>CLK</sub> /2 <sup>3</sup>	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f <sub>CLK</sub> /2 <sup>4</sup>	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f <sub>CLK</sub> /2 <sup>5</sup>	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	f <sub>CLK</sub> /2 <sup>6</sup>	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	f <sub>CLK</sub> /2 <sup>7</sup>	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	f <sub>CLK</sub> /2 <sup>8</sup>	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	f <sub>CLK</sub> /2 <sup>9</sup>	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	f <sub>CLK</sub> /2 <sup>10</sup>	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	f <sub>CLK</sub> /2 <sup>11</sup>	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	f <sub>CLK</sub> /2 <sup>12</sup>	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	f <sub>CLK</sub> /2 <sup>13</sup>	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	f <sub>CLK</sub> /2 <sup>14</sup>	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	f <sub>CLK</sub> /2 <sup>15</sup>	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注 f<sub>CLK</sub>に選択しているクロックを変更（システム・クロック制御レジスタ (CKC) の値を変更）する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

2. 動作クロック (CKmk) にf<sub>CLK</sub> (分周なし) を選択し、TDRnm = 0000H (n = 0, m = 0-7) を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. f<sub>CLK</sub> : CPU/周辺ハードウェア・クロック周波数

2. TPSmレジスタで選択するクロックの波形は、立ち上がりからf<sub>CLK</sub>の1周期分だけハイ・レベルになります (m = 0)。詳しくは、7.5.1 カウント・クロック (f<sub>TCLK</sub>) を参照してください。

図7-10 タイマ・クロック選択レジスタm (TPSm) のフォーマット (2/2)

アドレス : F01B6H, F01B7H (TPS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2) の選択 <sup>注</sup>					
		f <sub>CLK</sub> = 2 MHz	f <sub>CLK</sub> = 5 MHz	f <sub>CLK</sub> = 10 MHz	f <sub>CLK</sub> = 20 MHz	f <sub>CLK</sub> = 32 MHz	
0	0	f <sub>CLK</sub> /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	f <sub>CLK</sub> /2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	f <sub>CLK</sub> /2 <sup>4</sup>	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
1	1	f <sub>CLK</sub> /2 <sup>6</sup>	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz

PRS m31	PRS m30	動作クロック (CKm3) の選択 <sup>注</sup>					
		f <sub>CLK</sub> = 2 MHz	f <sub>CLK</sub> = 5 MHz	f <sub>CLK</sub> = 10 MHz	f <sub>CLK</sub> = 20 MHz	f <sub>CLK</sub> = 32 MHz	
0	0	f <sub>CLK</sub> /2 <sup>8</sup>	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	f <sub>CLK</sub> /2 <sup>10</sup>	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	f <sub>CLK</sub> /2 <sup>12</sup>	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	f <sub>CLK</sub> /2 <sup>14</sup>	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz

注 f<sub>CLK</sub>に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

動作クロック (f<sub>MCK</sub>)、TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表7-4に示すインターバル時間を実現することが可能です。

表7-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間 <sup>注</sup> (f <sub>CLK</sub> = 32 MHz)			
		10 μs	100 μs	1 ms	10 ms
CKm2	f <sub>CLK</sub> /2	○	—	—	—
	f <sub>CLK</sub> /2 <sup>2</sup>	○	—	—	—
	f <sub>CLK</sub> /2 <sup>4</sup>	○	○	—	—
	f <sub>CLK</sub> /2 <sup>6</sup>	○	○	—	—
CKm3	f <sub>CLK</sub> /2 <sup>8</sup>	—	○	○	—
	f <sub>CLK</sub> /2 <sup>10</sup>	—	○	○	—
	f <sub>CLK</sub> /2 <sup>12</sup>	—	—	○	○
	f <sub>CLK</sub> /2 <sup>14</sup>	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. f<sub>CLK</sub> : CPU/周辺ハードウェア・クロック周波数

2. TPSmレジスタで選択するf<sub>CLK</sub>/2<sup>i</sup>の波形の詳細は、7.5.1 カウント・クロック (f<sub>TCLK</sub>) を参照してください。

### 7.3.3 タイマ・モード・レジスタmn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f<sub>MCK</sub>) の選択、カウント・クロックの選択、マスタ/スレーブの選択、16ビット/8ビット・タイマの選択 (チャンネル1, 3のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード (インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント) 設定を行います。

TMRmnレジスタは、動作中 (TE<sub>mn</sub> = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS<sub>mn1</sub>, CIS<sub>mn0</sub>) は、一部の機能で動作中 (TE<sub>mn</sub> = 1のとき) の書き換えが可能です (詳細は7.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、7.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000Hになります。

**注意** TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

**TMRm2, TMRm4, TMRm6** : MASTER<sub>mn</sub>ビット (n = 2, 4, 6)

**TMRm1, TMRm3** : SPLIT<sub>mn</sub>ビット (n = 1, 3)

**TMRm0, TMRm5, TMRm7** : 0固定



図7-11 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) , リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 02, 04, 06)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 01, 03)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 00, 05, 07)	CKS mn1	CKS mn0	0	CCS mn	0 <sup>※</sup>	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (f <sub>MCK</sub> ) の選択
0	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロックCKm3
動作クロック (f <sub>MCK</sub> ) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (f <sub>CLK</sub> ) を生成します。		
動作クロックCKm2, CKm3は、チャンネル1のみ選択可能です。		

CCSmn	チャンネルnのカウント・クロック (f <sub>CLK</sub> ) の選択
0	CCSmn0, CCKmn1ビットで指定した動作クロック (f <sub>MCK</sub> )
1	Tlmn端子からの入力信号の有効エッジ チャンネル5では、TIS0で選択した入力信号の有効エッジ チャンネル7では、ISCで選択した入力信号の有効エッジ
カウント・クロック (f <sub>CLK</sub> ) は、カウンタ、出力制御回路、割り込み制御回路に使用されます。	

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

2. カウント・クロック (f<sub>CLK</sub>) にCCSmn0, CCKmn1ビットで指定した動作クロック (f<sub>MCK</sub>) , Tlmn端子からの入力信号の有効エッジのどれを選択していても、f<sub>CLK</sub>に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

備考 m : ユニット番号 (m = 0) ,

n : チャンネル番号 (n = 0-7)

★

図7-11 タイマ・モード・レジスタmn (TMRmn) のフォーマット (2/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) , リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 02, 04, 06, 12)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 01, 03)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 00, 05, 07)	CKS mn1	CKS mn0	0	CCS mn	0 <sup>※</sup>	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2, 4, 6) のビット11)

MASTERmn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作（スレーブ／マスタ）の選択
0	単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作

チャンネル2, 4, 6のみマスタ・チャンネル (MASTERmn = 1) に設定できます。  
チャンネル0, 5, 7は0固定となります (チャンネル0は最上位チャンネルのため，このビットの設定によらずマスタとして動作します)。  
また，単独チャンネル動作機能として使用するチャンネルは，MASTERmn = 0 にします。

(TMRmn (n = 1, 3) のビット11)

SPLITmn	チャンネル1の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能，または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STSmn2	STSmn1	STSmn0	チャンネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

注 ビット11はRead onlyの0固定で，書き込みは無視されます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-11 タイマ・モード・レジスタmn (TMRmn) のフォーマット (3/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) , リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 02, 04, 06)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 01, 03)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 00, 05, 07)	CKS mn1	CKS mn0	0	CCS mn	0 <sup>※</sup>	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CISmn1	CISmn0	Tlmn端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がリエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がリエッジ, キャプチャ・トリガ : 立ち下がリエッジ

STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は, CISmn1-CISmn0ビット = 10Bに設定してください。

**注** ビット11はRead onlyの0固定で, 書き込みは無視されます。

**備考** m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

図7-11 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) , リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 02, 04, 06)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

アドレス : F0190H, F0191H (TMR00) -F019EH, F019FH (TMR07) , リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 02, 04, 06)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 01, 03)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (mn = 00, 05, 07)	CKS mn1	CKS mn0	0	CCS mn	0 <sup>注1</sup>	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/方形波出力/PWM出力 (マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ワンショット・パルス出力/PWM出力 (スレーブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ/ロウ・レベル幅測定	アップ・カウンタ
上記以外			設定禁止		

各モードの動作は、MDmn0ビットによって変わります (下表を参照)。

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード <sup>注2</sup> (1, 0, 0)	0	カウント動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする <sup>注3</sup> 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガを無効とする。その際に割り込みは発生しない。
上記以外		設定禁止

- 注1.** ビット11はRead onlyの0固定で、書き込みは無視されます。
2. ワンカウント・モードでは、カウント動作開始時の割り込み出力（INTTMmn）、TOMn出力は制御しません。
  3. 動作中にスタート・トリガ（TSmn = 1）が掛かると、カウンタを初期化し、再カウント・スタートします（割り込み要求は発生せず）。

**備考** m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

### 7.3.4 タイマ・ステータス・レジスタmn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B) のみ有効です。各動作モードでのOVFビットの動作とセット/クリア条件は表7-5を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図7-12 タイマ・ステータス・レジスタmn (TSRmn) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) , リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

表7-5 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

**備考** OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

### 7.3.5 タイマ・チャンネル許可ステータス・レジスタm (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタm (TSm) とタイマ・チャンネル停止レジスタm (TTm) の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図7-13 タイマ・チャンネル許可ステータス・レジスタm (TEm) のフォーマット

アドレス : F01B0H, F01B1H (TE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEH m3	0	TEH m1	0	TE m7	TE m6	TE m5	TE m4	TE m3	TE m2	TE m1	TE m0

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TE mn	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

### 7.3.6 タイマ・チャンネル開始レジスタm (TSm)

TSmレジスタは、タイマ・カウンタ・レジスタmn (TCRmn) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので、動作許可状態 (TEmn, TEHm1, TEHm3 = 1) になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは、16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmレジスタは0000Hになります。

図7-14 タイマ・チャンネル開始レジスタm (TSm) のフォーマット

アドレス : F01B2H, F01B3H (TS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSH m3	0	TSH m1	0	TS m7	TS m6	TS m5	TS m4	TS m3	TS m2	TS m1	TS m0

TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります（7.5.2 カウンタのスタート・タイミングの「表7-6」参照）。

TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります（7.5.2 カウンタのスタート・タイミングの「表7-6」参照）。

TS mn	チャンネルnの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります（7.5.2 カウンタのスタート・タイミングの「表7-6」参照）。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可（スタート）トリガになります。

（注意、備考は次ページにあります。）



**注意1.** ビット15-12, 10, 8には必ず0を設定してください。

2. TImn端子入力を使用しない機能から、TImn端子入力を使用する機能に切り替える場合、タイマ・モードレジスタmn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

**備考1.** TSmレジスタの読み出し値は常に0となります。

2. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

### 7.3.7 タイマ・チャンネル停止レジスタm (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態 (TEmn, TEHm1, TEHm3 = 0) になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図7-15 タイマ・チャンネル停止レジスタm (TTm) のフォーマット

アドレス : F01B4H, F01B5H (TT0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTH m3	0	TTH m1	0	TT m7	TT m6	TT m5	TT m4	TT m3	TT m2	TT m1	TT m0

TTH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TT mn	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

**注意** ビット15-12, 10, 8には必ず0を設定してください。

**備考1.** TTmレジスタの読み出し値は常に0となります。

2. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

### 7.3.8 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、ユニット0のチャンネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図7-16 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック (f <sub>IL</sub> )
1	0	1	サブシステム・クロック (f <sub>SUB</sub> )
上記以外			設定禁止

**注意** 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK}+10$  ns以上必要となります。

そのため、f<sub>CLK</sub>にf<sub>SUB</sub>を選択時 (CKCレジスタのCSS = 1) は、TIS02ビットに1を設定できません。

### 7.3.9 タイマ出力許可レジスタ0 (TOE0)

TOE0レジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ0 (TO0) のTO0nビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TO0n) から出力されます。

TOE0レジスタは、16ビット・メモリ操作命令で設定します。

またTOE0レジスタの下位8ビットは、TOE0nで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOE0レジスタは0000Hになります。

図7-17 タイマ出力許可レジスタ0 (TOE0) のフォーマット

アドレス：F01BAH, F01BBH (TOE0) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	TOE 07	TOE 06	TOE 05	TOE 04	TOE 03	TOE 02	TOE 01	TOE 00

TOE 0n	チャンネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTO0nビットに反映せず、出力を固定します。 TO0nビットへの書き込みが可能となり、TO0nビットに設定したレベルがTO0n端子から出力されます。
1	タイマの出力を許可 タイマ動作をTO0nビットに反映し、出力波形を生成します。 TO0nビットへの書き込みは無視されます。

**注意** ビット15-8には必ず0を設定してください。

**備考** n：チャンネル番号 (n = 0-7)

### 7.3.10 タイマ出力レジスタ0 (TO0)

TO0レジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TO0n) から出力されます。

このレジスタのTO0nビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOE0n = 0) のみ可能です。タイマ出力許可時 (TOE0n = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P00/TI00, P01/TO00, P15/(TI02)<sup>※</sup>/(TO02)<sup>※</sup>, P14/(TI03)<sup>※</sup>/(TO03)<sup>※</sup>, P13/(TI04)<sup>※</sup>/(TO04)<sup>※</sup>, P12/(TI05)<sup>※</sup>/(TO05)<sup>※</sup>, P11/(TI06)<sup>※</sup>/(TO06)<sup>※</sup>, P10/(TI07)<sup>※</sup>/(TO07)<sup>※</sup>をポート機能として使用する場合は、該当するTO0nビットに“0”を設定してください。

TO0レジスタは、16ビット・メモリ操作命令で設定します。

またTO0レジスタの下位8ビットは、TO0nで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TO0レジスタは0000Hになります。

**注** ( ) 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。詳細は、[図5-8 周辺I/Oリダイレクション・レジスタ \(PIOR\) のフォーマット](#)を参照してください。

図7-18 タイマ出力レジスタ0 (TO0) のフォーマット

アドレス : F01B8H, F01B9H (TO0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	TO 07	TO 06	TO 05	TO 04	TO 03	TO 02	TO 01	TO 00

TO0n	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

**注意** ビット15-8には必ず0を設定してください。

**備考** n : チャンネル番号 (n = 0-7)

### 7.3.11 タイマ出力レベル・レジスタ0 (TOL0)

TOL0レジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOE0n = 1)、複数チャンネル連動動作機能 (TOM0n = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOM0n = 0) 時には、このレジスタの設定は無効となります。

TOL0レジスタは、16ビット・メモリ操作命令で設定します。

またTOL0レジスタの下位8ビットは、TOL0nで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOL0レジスタは0000Hになります。

図7-19 タイマ出力レベル・レジスタ0 (TOL0) のフォーマット

アドレス : F01BCH, F01BDH (TOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	TOL 07	TOL 06	TOL 05	TOL 04	TOL 03	TOL 02	TOL 01	0

TOL 0n	チャンネルnのタイマ出力レベルの制御															
0	正論理出力 (アクティブ・ハイ)															
1	負論理出力 (アクティブ・ロウ)															

**注意** ビット15-8, 0には必ず0を設定してください。

**備考1.** タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

**2.** n: チャンネル番号 (n = 0-7)

### 7.3.12 タイマ出力モード・レジスタ0 (TOM0)

TOM0レジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能（PWM出力、ワンショット・パルス出力、多重PWM出力）として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可（TOE0n = 1）時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOM0レジスタは、16ビット・メモリ操作命令で設定します。

またTOM0レジスタの下位8ビットは、TOM0nで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOM0レジスタは0000Hになります。

図7-20 タイマ出力モード・レジスタ0 (TOM0) のフォーマット

アドレス：F01BEH, F01BFH (TOM0) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	TOM 07	TOM 06	TOM 05	TOM 04	TOM 03	TOM 02	TOM 01	0

TOM 0n	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード（タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）
1	スレーブ・チャンネル出力モード（マスタ・チャンネルのタイマ割り込み要求信号（INTTMmn）で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）

**注意** ビット15-8, 0には必ず0を設定してください。

**備考** n：チャンネル番号

n = 0-7（マスタ・チャンネル時：n = 0, 2, 4, 6）

p：スレーブ・チャンネル番号

$n < p \leq 7$

（マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、7.4.1 複数チャンネル連動動作機能の基本ルールを参照してください）

### 7.3.13 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (f<sub>MCK</sub>) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (f<sub>MCK</sub>) で同期化だけ行います<sup>※</sup>。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

**注** 詳細は、7.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1) , 7.5.2カウ  
ンタのスタート・タイミング, 7.7 タイマ入力 (TI0n) の制御を参照してください。

図7-21 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット (1/2)

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
	TI07端子のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						
	TI06端子のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						
	TI05端子のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						
	TI04端子のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						
	TI03端子のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						
	TI02端子のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						
	TI01端子のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタOFF						
	1	ノイズ・フィルタON						



図7-21 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット (2/2)

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN00	TI00端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

### 7.3.14 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャンネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)）を設定してください。詳細は、5.3.1 ポート・モード・レジスタ (PMxx)、5.3.2 ポート・レジスタ (Pxx)、5.3.6 ポート・モード・コントロール・レジスタ (PMCxx) を参照してください。

また、対象チャンネルによって設定するポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx) が異なります。詳細は、5.5.3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

タイマ出力端子を兼用するポート (P00/TI00, P01/TO00など) をタイマ出力として使用するときは、各ポートに対応するポート・モード・コントロール・レジスタ (PMCxx) のビット、ポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

#### 例 P01/TO00をタイマ出力として使用する場合

- ポート・モード・コントロール・レジスタ0のPMC01ビットを0に設定
- ポート・モード・レジスタ0のPM01ビットを0に設定
- ポート・レジスタ0のP01ビットを0に設定

タイマ入力端子を兼用するポート (P00/TI00など) をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ (PMCxx) のビットに0を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

#### 例 P00/TI00をタイマ入力として使用する場合

- ポート・モード・コントロール・レジスタ0のPMC00ビットを0に設定
- ポート・モード・レジスタ0のPM00ビットを1に設定
- ポート・レジスタ0のP00ビットを0または1に設定

## 7.4 タイマ・アレイ・ユニットの基本ルール

### 7.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

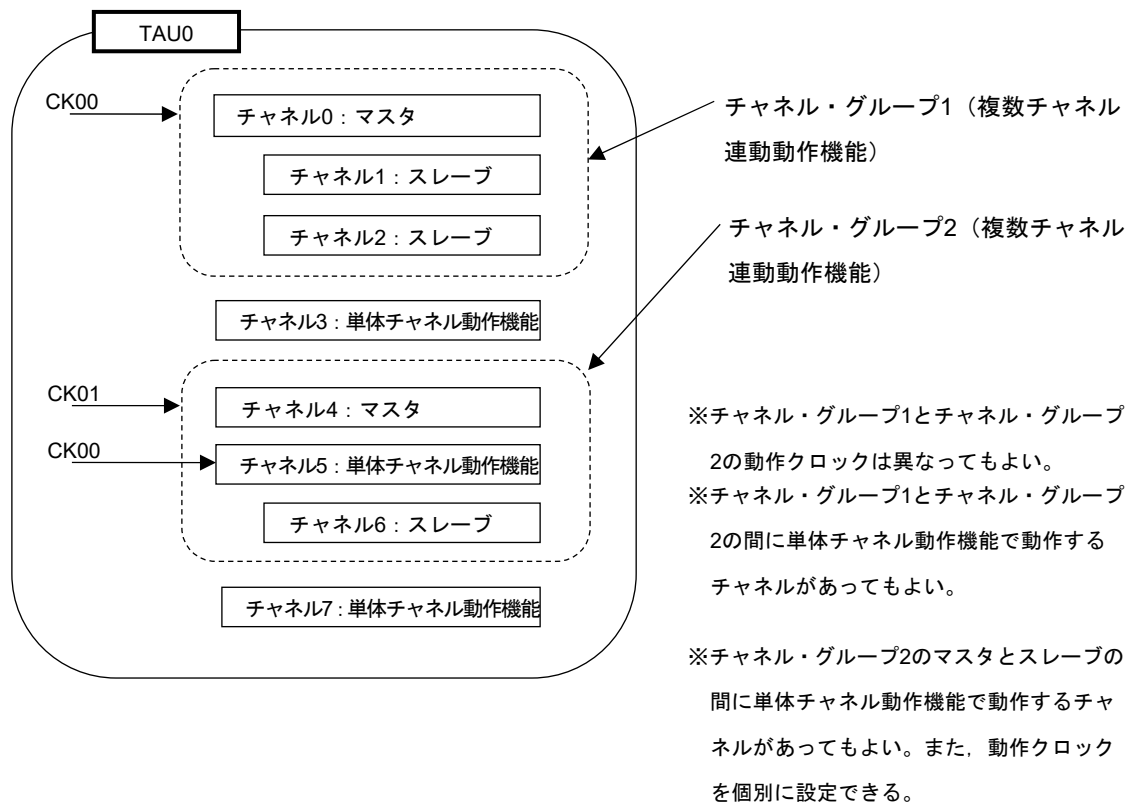
- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2, チャンネル4, ...）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。  
**例** チャンネル2をマスタ・チャンネルにした場合、チャンネル3以降（チャンネル3, チャンネル4, チャンネル5, ...）をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。  
**例** チャンネル0, チャンネル4をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn (TMRmn) のビット15, 14）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット（TSmn）を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット（TTmn）を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0) は、マスタ・ビットがなく、"0"に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ（1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

例



### 7.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタmn（TMRmn）のSPLITビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時にINTTMm1H/INTTMm3H（割り込み）を出力します（MDmn0 = 1 設定と同じ動作）。
- (5) 上位8ビットの動作クロック選択は、下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3ビットで確認できます。
- (7) 下位8ビットは、TMRmnレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
  - インターバル・タイマ機能
  - 外部イベント・カウンタ機能
  - ディレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3ビットを操作することでチャンネル動作を開始し、TTm1/TTm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャンネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能（ワンショット・パルス, PWM, 多重PWM）を使用することはできません。

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 1, 3)

## 7.5 カウンタの動作

### 7.5.1 カウント・クロック (f<sub>TCLK</sub>)

タイマ・アレイ・ユニットのカウント・クロック (f<sub>TCLK</sub>) は、タイマ・モード・レジスタmn (TMRmn) のCCS<sub>mn</sub>ビットにより、以下のどちらかを選択することができます。

- ・CKS<sub>mn0</sub>, CKS<sub>mn1</sub>ビットで指定した動作クロック (f<sub>MCK</sub>)
- ・TImn端子からの入力信号の有効エッジ

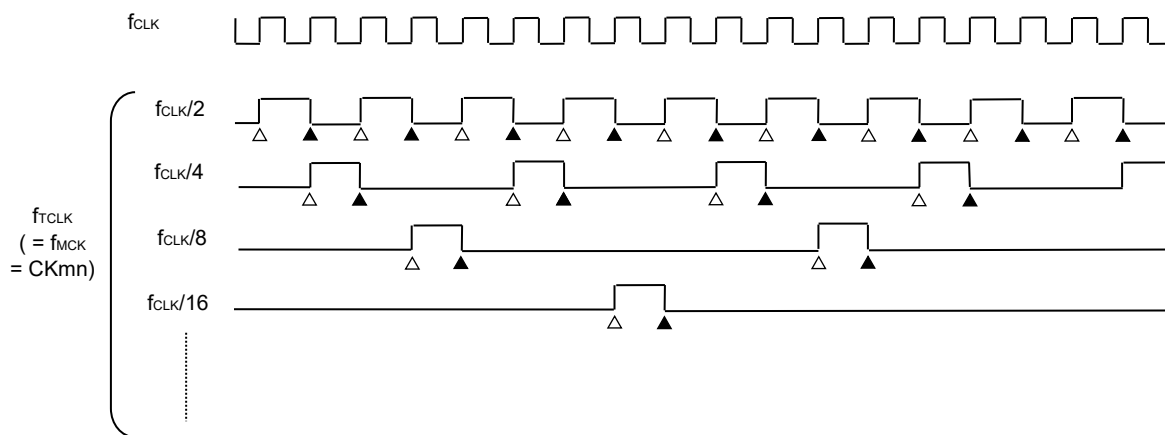
タイマ・アレイ・ユニットは、f<sub>CLK</sub>との同期をとって動作するように設計されているため、カウント・クロック (f<sub>TCLK</sub>) のタイミングは次のようになります。

- (1) CKS<sub>mn0</sub>, CKS<sub>mn1</sub>ビットで指定した動作クロック (f<sub>MCK</sub>) を選択した場合 (CCS<sub>mn</sub> = 0)

カウント・クロック (f<sub>TCLK</sub>) は、タイマ・クロック選択レジスタm (TPSm) の設定により、f<sub>CLK</sub> ~ f<sub>CLK</sub>/2<sup>15</sup> となります。ただし、f<sub>CLK</sub>の分周を選んだ場合、TPSmレジスタで選択するクロックは、立ち上がりからf<sub>CLK</sub>の1周期分だけハイ・レベルになる信号となります。f<sub>CLK</sub>を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタmn (TCRmn) は、f<sub>CLK</sub>との同期をとるため、カウント・クロックの立ち上がりからf<sub>CLK</sub>の1クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図7-22 f<sub>CLK</sub>とカウント・クロック (f<sub>TCLK</sub>) のタイミング



備考1. Δ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

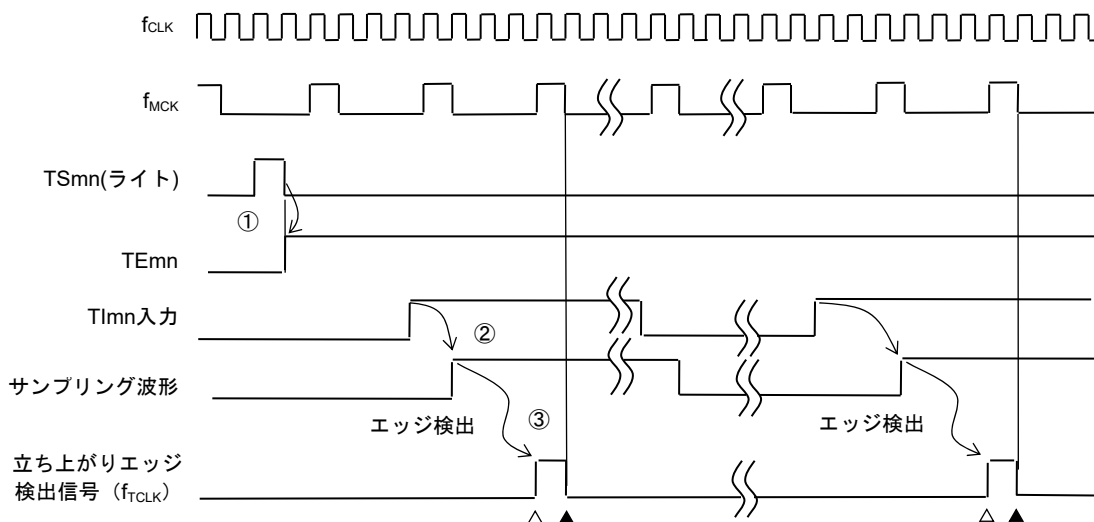
2. f<sub>CLK</sub> : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCS<sub>mn</sub> = 1)

カウント・クロック ( $f_{CLK}$ ) は、TImn端子からの入力信号の有効エッジを検出し、次の $f_{MCK}$ の立ち上がり  
に同期した信号になります。これは、実際のTImn端子からの入力信号より $f_{MCK}$ の1~2クロック分遅れた信号  
になります (ノイズ・フィルタ使用時は、 $f_{MCK}$ の3~4クロック分遅れます)。

また、タイマ・カウンタ・レジスタmn (TCR<sub>mn</sub>) は、 $f_{CLK}$ との同期をとるためにカウント・クロックの立  
ち上がりから $f_{CLK}$ の1クロック分遅れてカウントしますが、このことを便宜上“TImn端子からの入力信号の有効  
エッジでカウントする”と表現します。

図7-23 カウント・クロック ( $f_{TCLK}$ ) のタイミング (CCS<sub>mn</sub> = 1, ノイズ・フィルタ未使用時)



- ①TS<sub>mn</sub>ビットをセットすることでタイマが動作を開始し、TImn入力の有効エッジ待ちになります。
- ②TImn入力の立ち上がりが $f_{MCK}$ でサンプリングされます。
- ③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

**備考1.** △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

**2.**  $f_{CLK}$  : CPU/周辺ハードウェア・クロック

$f_{MCK}$  : チャンネルnの動作クロック

**3.** 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, ディレイ・カウンタ, ワンショット・パルス出力機能のTImn入力も同様の波形になります。

## 7.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタmn (TCRmn) は、タイマ・チャンネル開始レジスタm (TSMn) のTSmnビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタmn (TCRmn) のカウント・スタートまでの動作を、表7-6に示します。

表7-6 カウント動作許可状態からタイマ・カウンタ・レジスタmn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSMn = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (1) インターバル・タイマ・モードの動作を参照)。
・イベント・カウンタ・モード	TSMnビットに1を書き込むことにより、TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (2) イベント・カウンタ・モードの動作を参照)。
・キャプチャ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) を参照)。
・ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (4) ワンカウント・モードの動作を参照)。
・キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) を参照)。

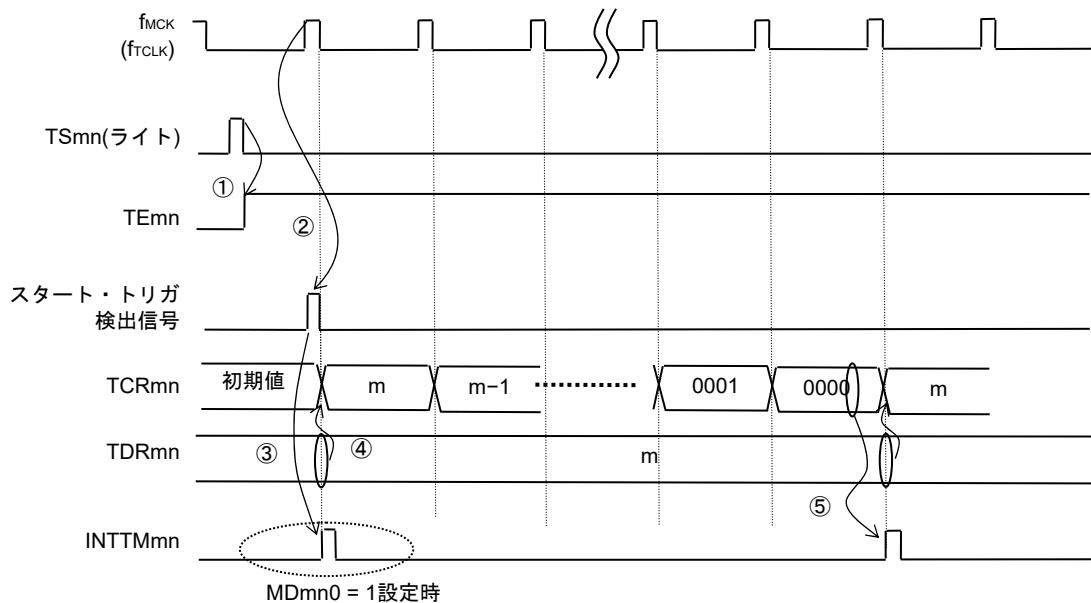
### 7.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

#### (1) インターバル・タイマ・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ( $TEmn = 1$ ) となります。タイマ・カウンタ・レジスタmn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック ( $f_{MCK}$ ) で、スタート・トリガが発生します。
- ③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタmn (TDRmn) の値をTCRmnレジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック ( $f_{MCK}$ ) でINTTMmnを発生し、タイマ・データ・レジスタmn (TDRmn) の値をTCRmnレジスタにロードしてカウントを継続します。

図7-24 動作タイミング (インターバル・タイマ・モード)



**注意** カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

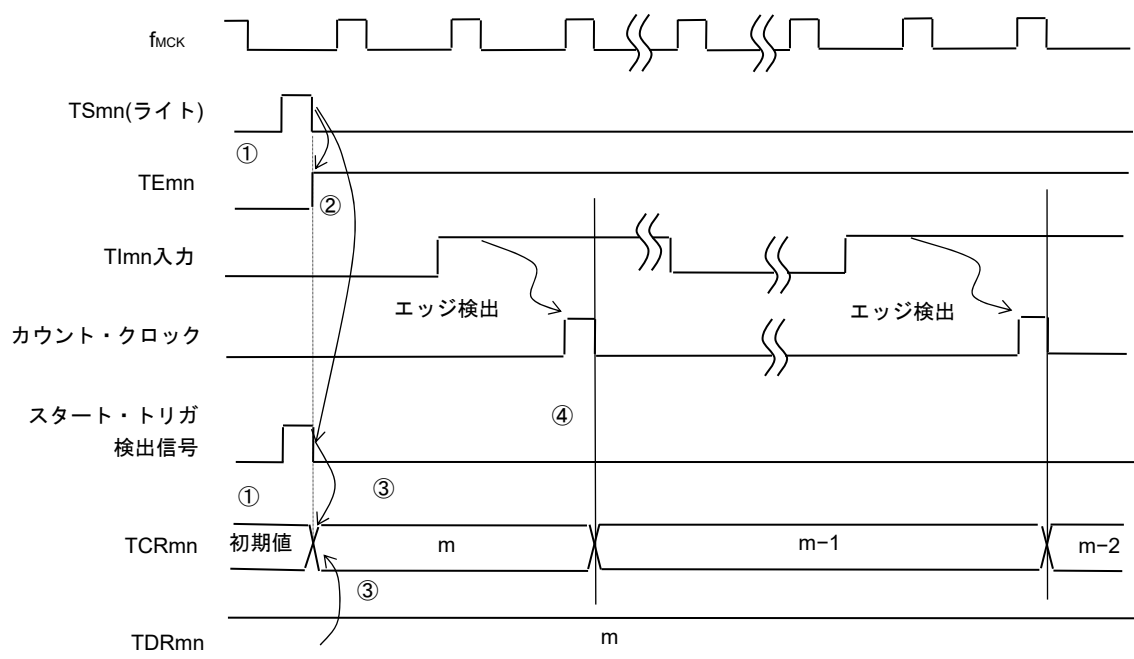
**備考**  $f_{MCK}$ 、スタート・トリガ検出信号、INTTMmnは、 $f_{CLK}$ に同期して1クロック間アクティブとなります。



## (2) イベント・カウンタ・モードの動作

- ① 動作停止状態 ( $TE_{mn} = 0$ ) の期間, タイマ・カウンタ・レジスタ  $mn$  ( $TCR_{mn}$ ) は, 初期値を保持します。
- ②  $TS_{mn}$ ビットへ1を書き込むことにより, 動作許可状態 ( $TE_{mn} = 1$ ) となります。
- ③  $TS_{mn} = 1 \rightarrow TE_{mn} = 1$  と同時に,  $TCR_{mn}$ レジスタにタイマ・データ・レジスタ  $mn$  ( $TDR_{mn}$ ) の値をロードし, カウントを開始します。
- ④ 以降は  $TI_{mn}$ 入力の有効エッジでのカウント・クロックに従い,  $TCR_{mn}$ レジスタの値をダウン・カウントします。

図7-25 動作タイミング (イベント・カウンタ・モード)

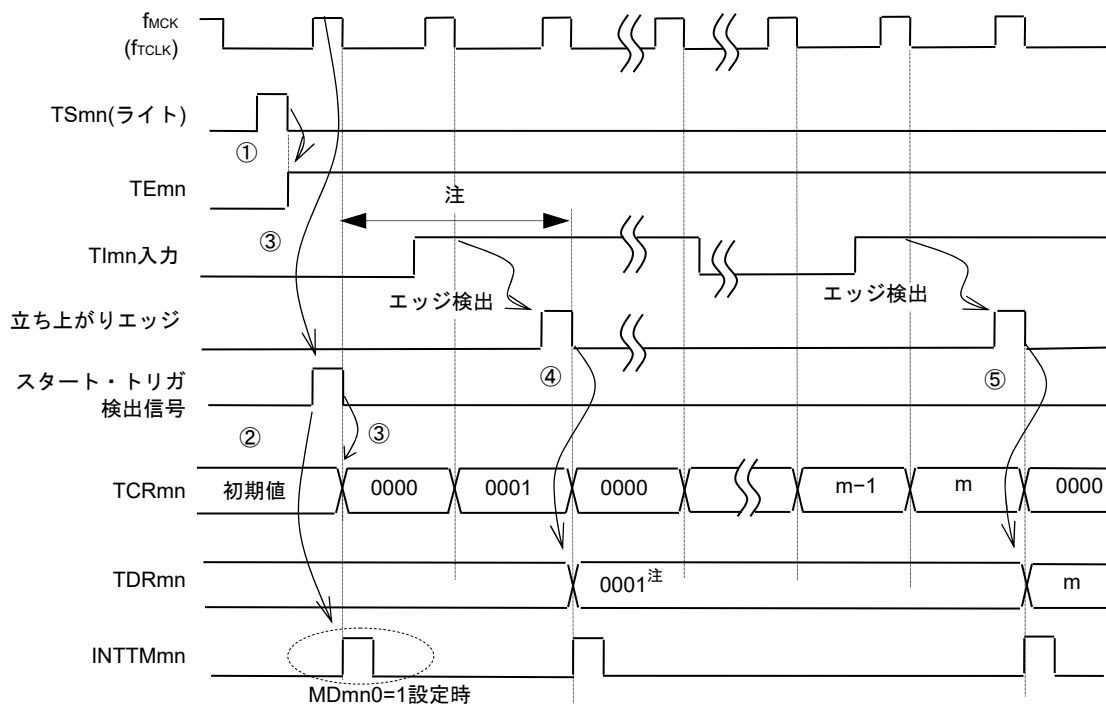


**備考** このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出はTI<sub>mn</sub>入力からさらにf<sub>MCK</sub>の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTI<sub>mn</sub>入力とカウント・クロック (f<sub>MCK</sub>) が非同期なためです。

## (3) キャプチャ・モードの動作（入力パルス間隔測定）

- ① TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。
- ② タイマ・カウンタ・レジスタmn（TCRmn）は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロック（f<sub>mck</sub>）で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。（MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。）
- ④ TImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを続けます。
- ⑤ 次のTImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図7-26 動作タイミング（キャプチャ・モード：入力パルス間隔測定）



**注** スタート前からTImnにクロックが入力されている（トリガがある）場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので、無視してください。

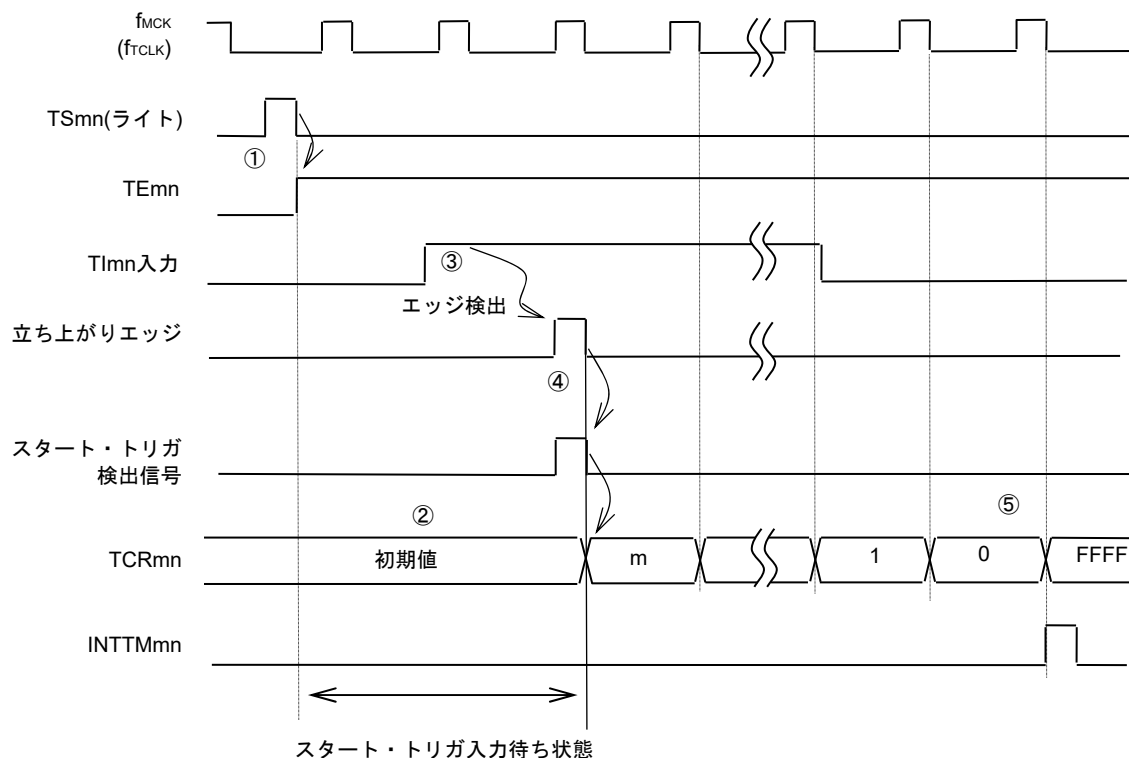
**注意** カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

**備考** このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3~4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

#### (4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。
- ② タイマ・カウンタ・レジスタmn（TCRmn）は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値（m）をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000HIになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図7-27 動作タイミング（ワンカウント・モード）

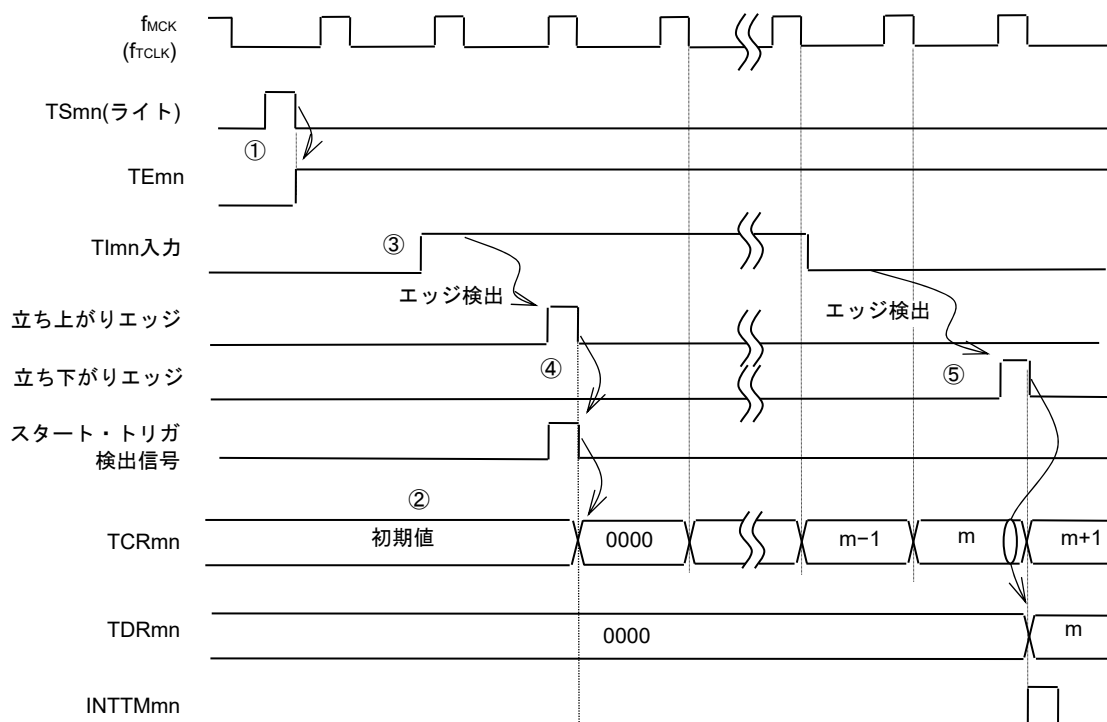


**備考** このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3~4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

## (5) キャプチャ&amp;ワンカウント・モードの動作（ハイ・レベル幅測定）

- ① タイマ・チャンネル開始レジスタ $m$  (TSMn) のTSMnビットに1を書き込むことにより、動作許可状態 (TEmn = 1) となります。
- ② タイマ・カウンタ・レジスタ $mn$  (TCRmn) は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TImn入力の立ち下がりエッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図7-28 動作タイミング（キャプチャ&amp;ワンカウント・モード：ハイ・レベル幅測定）

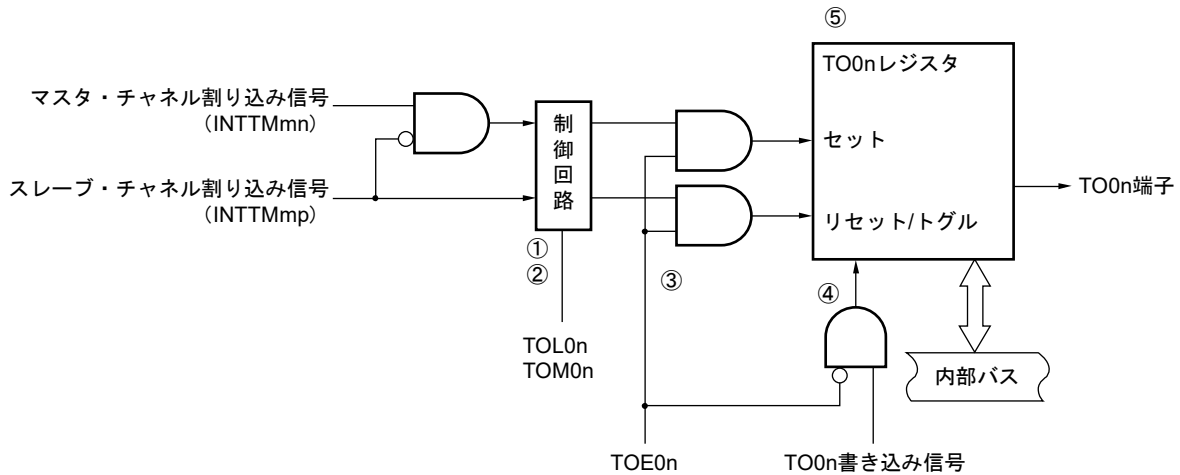


**備考** このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにf<sub>MCK</sub>の2周期分（合計で3~4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（f<sub>MCK</sub>）が非同期なためです。

## 7.6 チャンネル出力（TO0n端子）の制御

### 7.6.1 TO0n端子の出力回路の構成

図7-29 出力回路構成図



TO0n端子の出力回路の説明を次に示します。

- ① TOM0n = 0（マスタ・チャンネル出力モード）のときは、タイマ出力レベル・レジスタ0（TOL0）の設定値は無視され、INTTMmp（スレーブ・チャンネル・タイマ割り込み）のみがタイマ出力レジスタ0（TO0）に伝えられます。
- ② TOM0n = 1（スレーブ・チャンネル出力モード）のときは、INTTMmn（マスタ・チャンネル・タイマ割り込み）とINTTMmp（スレーブ・チャンネル・タイマ割り込み）がTO0レジスタに伝えられます。このとき、TOL0レジスタが有効となり、次のように信号を制御します。

TOL0n = 0の場合：正論理出力（INTTMmn→セット，INTTMmp→リセット）

TOL0n = 1の場合：負論理出力（INTTMmn→リセット，INTTMmp→セット）

また、INTTMmnとINTTMmpが同時に発生した場合（PWM出力の0%出力時）は、INTTMmp（リセット信号）が優先され、INTTMmn（セット信号）はマスクされます。

- ③ タイマ出力許可状態（TOE0n = 1）で、INTTMmn（マスタ・チャンネル・タイマ割り込み）とINTTMmp（スレーブ・チャンネル・タイマ割り込み）がTO0レジスタに伝えられます。TO0レジスタへの書き込み（TO0nライト信号）は無効となります。

また、TOE0n = 1のとき、割り込み信号以外でTO0n端子の出力が変化することはありません。

TO0n端子の出力レベルを初期化する場合は、タイマ動作停止（TOE0n = 0）に設定しTO0レジスタに値を書き込む必要があります。

- ④ タイマ出力禁止状態（TOE0n = 0）で、対象チャンネルのTO0nビットへの書き込み（TO0nライト信号）が有効となります。タイマ出力禁止状態（TOE0n = 0）のとき、INTTMmn（マスタ・チャンネル・タイマ割り込み）とINTTMmp（スレーブ・チャンネル・タイマ割り込み）はTO0レジスタに伝えられません。
- ⑤ TO0レジスタは常に読み出し可能であり、TO0n端子の出力レベルを確認することができます。

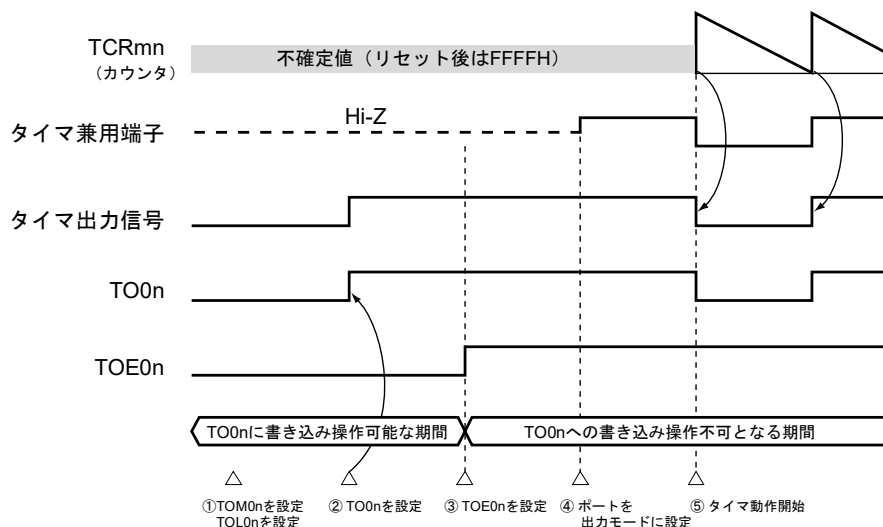
（備考は次ページにあります。）

- 備考** m : ユニット番号 (m = 0)  
 n : チャネル番号  
 n = 0-7 (マスタ・チャネル時 : n = 0, 2, 4, 6)  
 p : スレーブ・チャネル番号  
 n < p ≤ 7

## 7.6.2 TO0n端子の出力設定

TO0n出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図7-30 タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- TOM0nビット (0 : マスタ・チャネル出力モード, 1 : スレーブ・チャネル出力モード)
- TOL0nビット (0 : 正論理出力, 1 : 負論理出力)

- ② タイマ出力レジスタ0 (TO0) を設定することにより、タイマ出力信号が初期状態に設定されます。
- ③ TOE0nビットに1を書き込み、タイマ出力動作を許可します (TO0レジスタへの書き込みは不可となります)。
- ④ ポート・モード・コントロール・レジスタ (PMCxx) でポートをデジタル入出力に設定します (7.3.14 タイマ入出力端子のポート機能を制御するレジスタ参照)。
- ⑤ ポートの入出力設定を出力に設定します (7.3.14 タイマ入出力端子のポート機能を制御するレジスタ参照)。
- ⑥ タイマを動作許可にします (TSmn = 1)。

**備考** m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

### 7.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTO0, TOE0, TOL0レジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn (TCRmn) , タイマ・データ・レジスタmn (TDRmn) の動作) は, TO0n出力回路とは独立しています。よって, タイマ出力レジスタ0 (TO0) , タイマ出力許可レジスタ0 (TOE0) , タイマ出力レベル・レジスタ0 (TOL0) の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTO0n端子から出力するためには, 7.7, 7.8節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で, TO0レジスタを除くTOE0レジスタ, TOL0レジスタの設定値変更を行うと, タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは, TO0n端子に出力される波形が異なる場合があります。

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

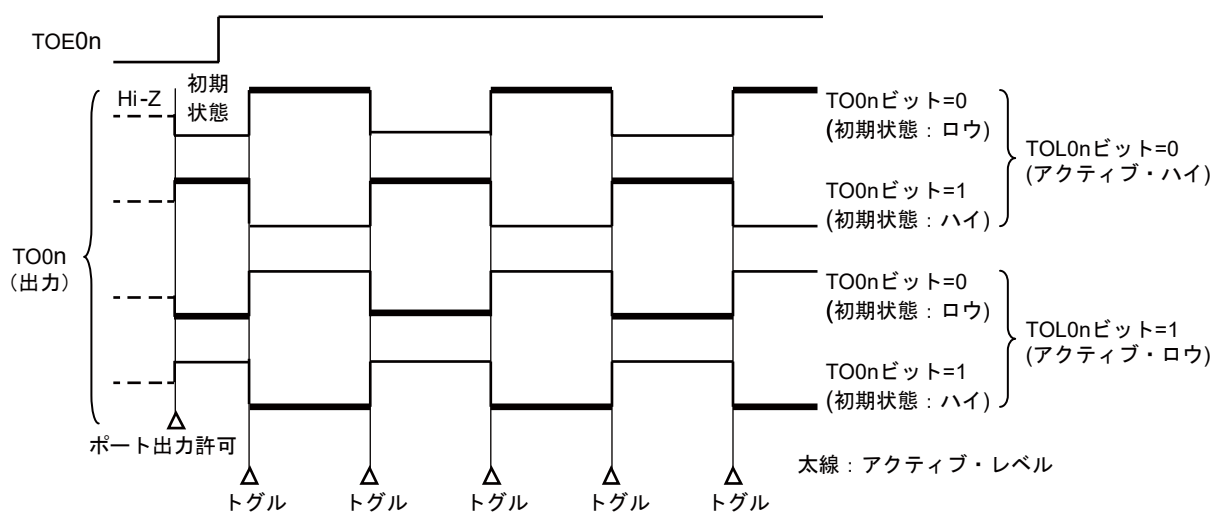
## (2) TO0n端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOE0n = 0) の状態でタイマ出力レジスタ0 (TO0) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOE0n = 1) に設定した場合のTO0n端子出力レベルの変化を次に示します。

## (a) マスタ・チャンネル出力モード (TOM0n= 0) 設定で動作を開始した場合

マスタ・チャンネル出力モード (TOM0n= 0) の時、タイマ出力レベル・レジスタ0 (TOL0) の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTO0n端子の出力レベルを反転します。

図7-31 トグル出力時 (TOM0n = 0) のTO0n端子出力状態



備考1. トグル: TO0n端子の出力状態を反転

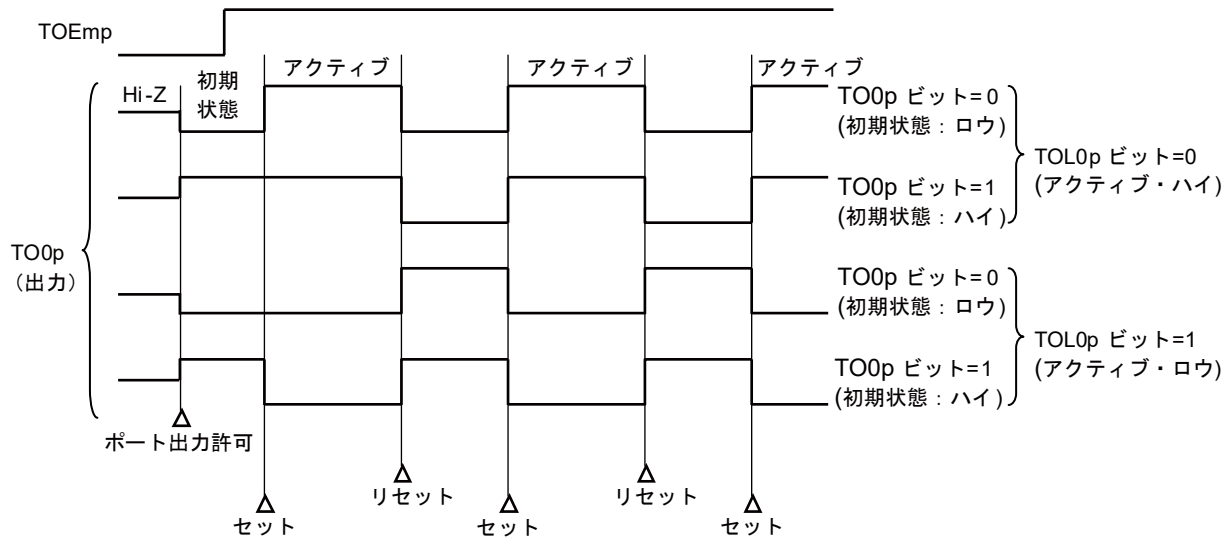
2. n: チャンネル番号 (n = 0-7)



(b) スレーブ・チャンネル出力モード (TOM0p = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOM0p = 1) の時、タイマ出力レベル・レジスタ0 (TOL0) の設定によりアクティブ・レベルを決定します。

図7-32 PWM出力時 (TOM0p = 1) のTO0p端子出力状態



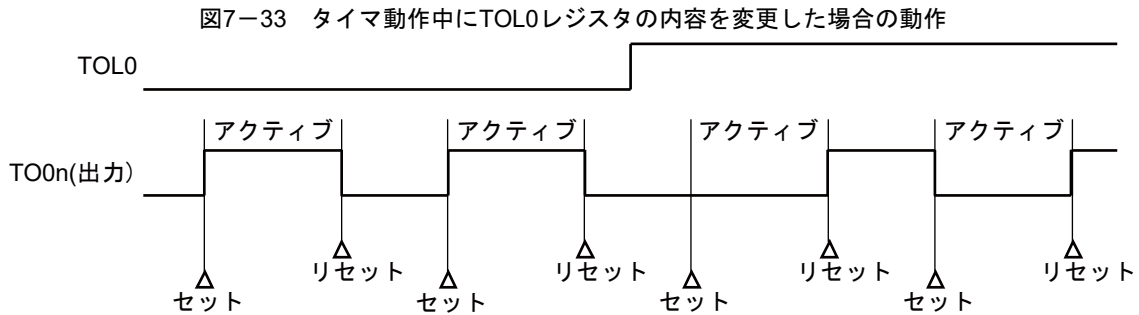
- 備考1.** セット : TO0p端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化  
リセット : TO0p端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
- 2.** p : チャンネル番号 (p = 1-7)

(3) TO0n端子のスレーブ・チャンネル出力モード (TOM0n = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタ0 (TOL0) の設定を変更した場合

タイマ動作中にTOL0レジスタの設定を変更した場合、設定が有効となるのはTO0n端子変化条件の発生タイミングです。TOL0レジスタの書き換えでは、TO0n端子の出力レベルは変化しません。

TOM0n = 1で、タイマ動作中 (TE0n = 1) にTOL0レジスタの値を変更した場合の動作を次に示します。



- 備考1.** セット : TO0n端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化  
リセット : TO0n端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
- 2.** n : チャンネル番号 (n = 0-7)

(b) セット/リセット・タイミング

PWM出力時に、0%/100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMmn) 発生時のTO0n端子/TO0nビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

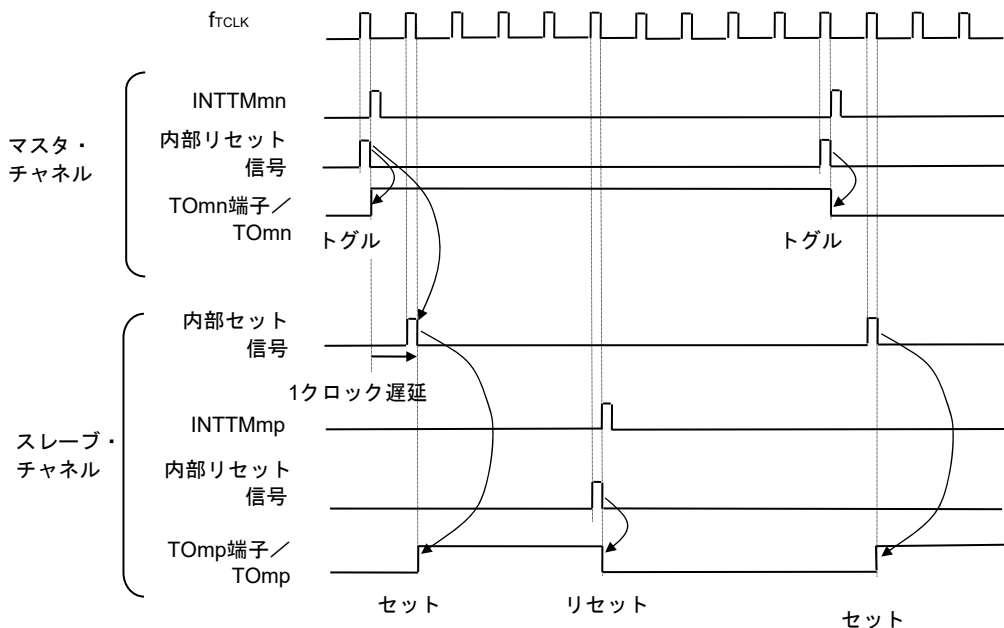
マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図6-34に示します。

マスタ・チャンネル : TOE0n = 1, TOM0n = 0, TOL0n = 0

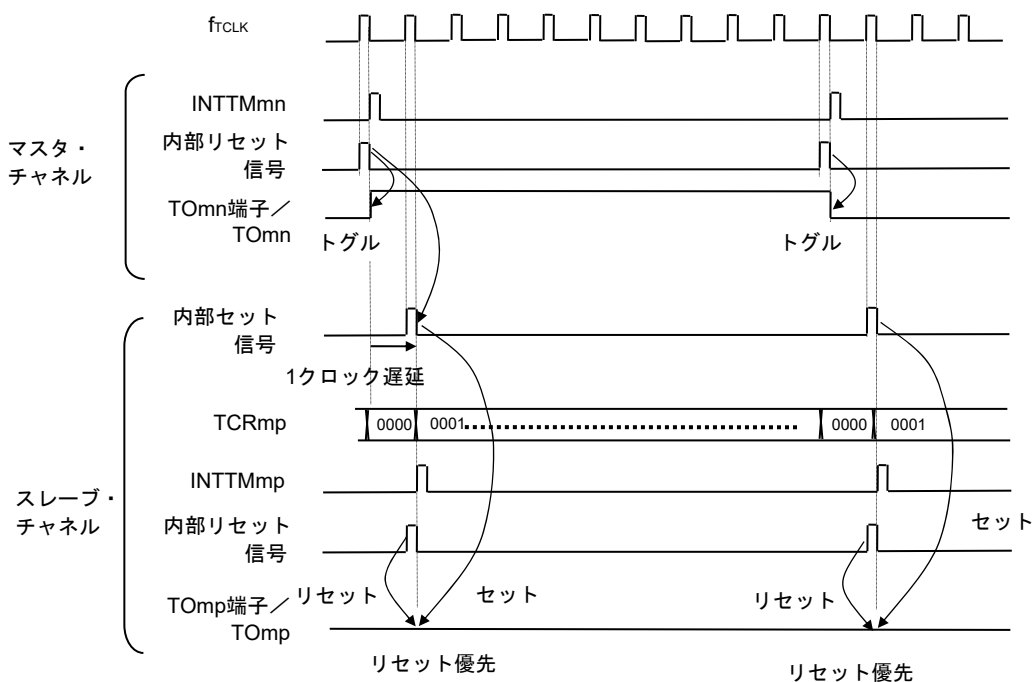
スレーブ・チャンネル : TOE0p = 1, TOM0p = 1, TOL0p = 0

図7-34 セット/リセット・タイミング動作状態

(a) 基本動作タイミング



(b) 0%デューティ時の動作タイミング



備考1. 内部リセット信号 : TO $0n$ 端子のリセット/トグル信号

内部セット信号 : TO $0n$ 端子のセット信号

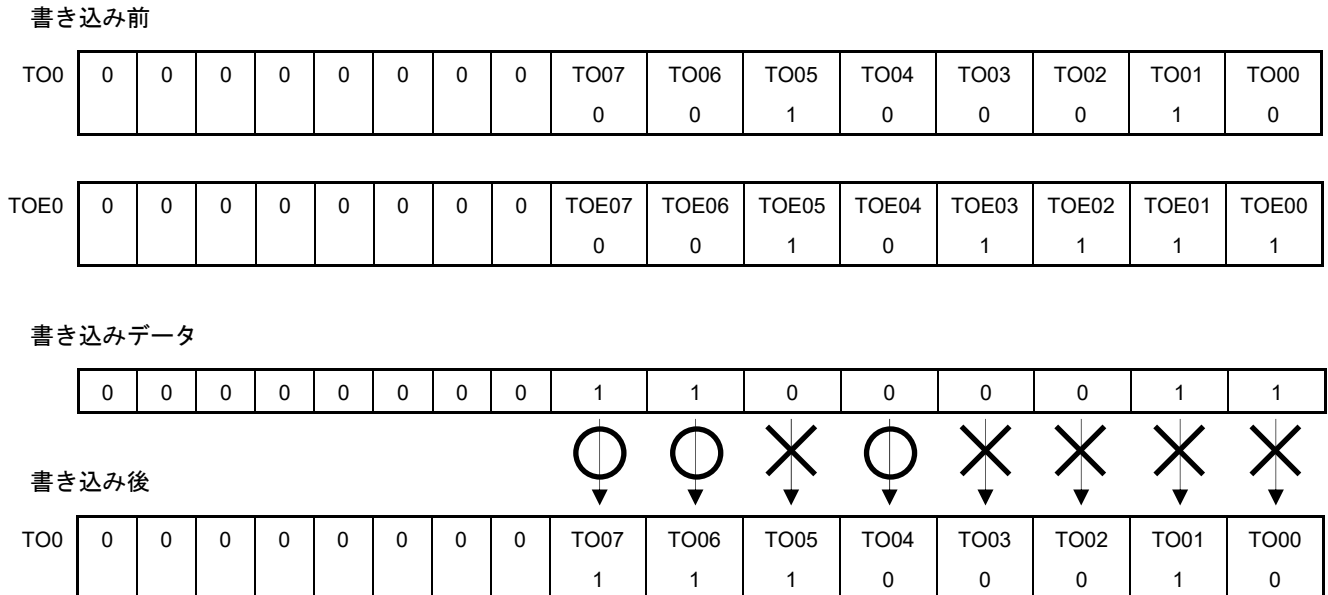
2.  $m$  : ユニット番号 ( $m = 0$ )

$n$  : チャンネル番号  $n = 0-7$  (マスタ・チャンネル時 :  $n = 0, 2, 4, 6$ )

$p$  : スレーブ・チャンネル番号  $n < p \leq 7$

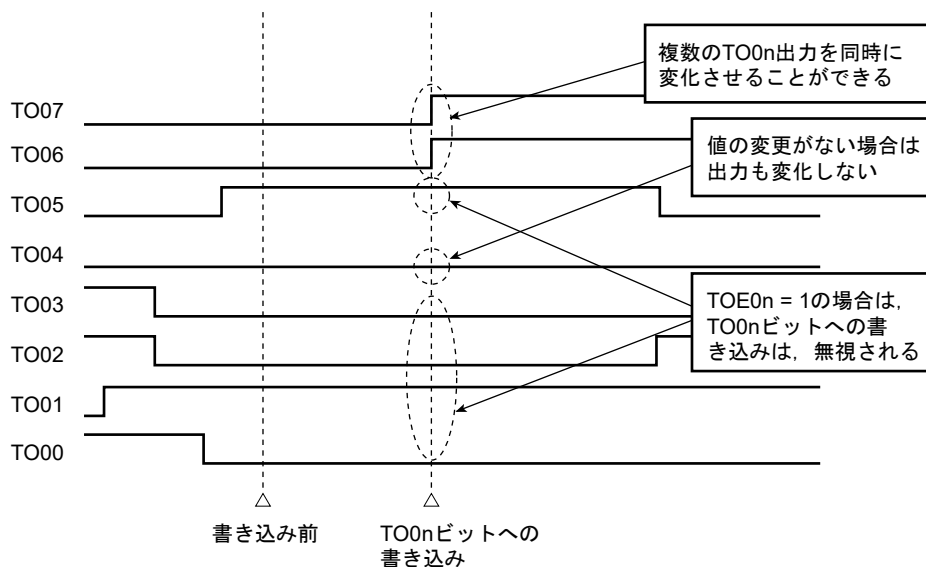
## 7.6.4 TO0nビットの一括操作

タイマ出力レジスタ0 (TO0) には、タイマ・チャンネル開始レジスタ $m$  (T $S_m$ ) と同様に、1レジスタに全チャンネル分の設定ビット (TO0 $n$ ) が配置されています。よって、全チャンネルのTO0 $n$ ビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TO0 $n$ ) のみTO0 $n$ ビットへの書き込み可能 (TOE0 $n$  = 0) とすることによって任意のビットのみ操作することが可能です。

図7-35 TO0 $n$ ビットの一括操作例

TOE0 $n$  = 0のTO0 $n$ ビットのみ書き込みが行われます。TOE0 $n$  = 1のTO0 $n$ ビットへの書き込みは無視されます。

TOE0 $n$  = 1に設定されているTO0 $n$  (チャンネル出力) は、書き込み操作による影響は受けません。TO0 $n$ ビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図7-36 TO0 $n$ ビットの一括操作によるTO0 $n$ の端子状態

備考  $m$  : ユニット番号 ( $m = 0$ ) ,  $n$  : チャンネル番号 ( $n = 0-7$ )

### 7.6.5 カウント動作開始時のタイマ割り込みとTO0n端子出力について

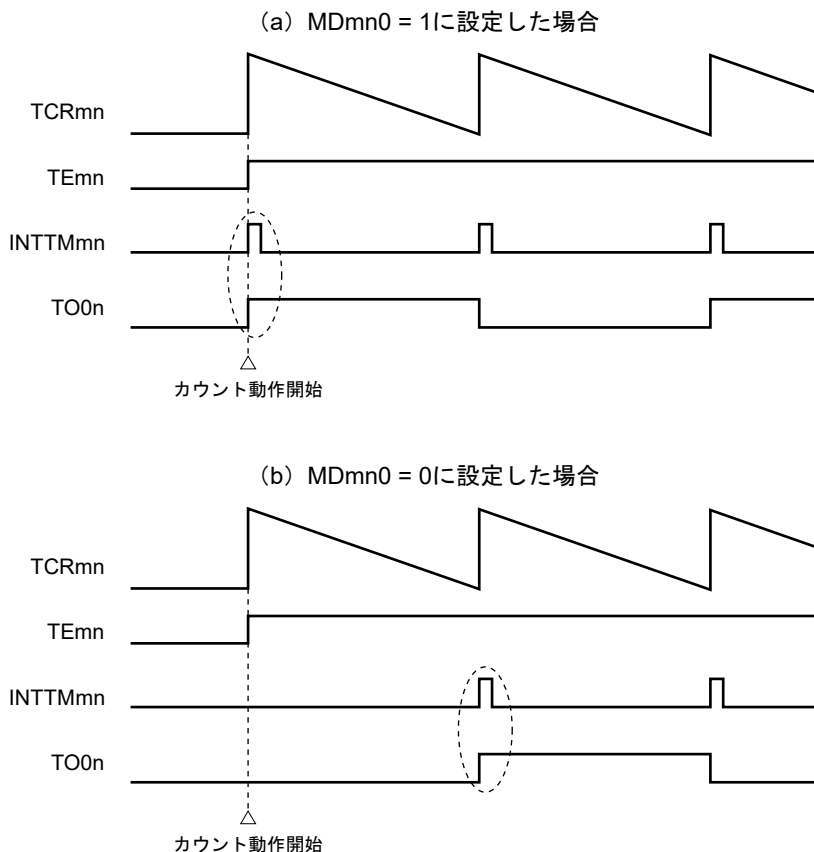
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モードレジスタmn (TMRmn) のMDmn0ビットは、「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

MDmn0 = 1に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TO0n出力は制御しません。

インターバル・タイマ・モード (TOE0n = 1, TOM0n = 0) に設定した場合の動作例を次に示します。

図7-37 カウント動作開始時のタイマ割り込み、TO0n出力の動作例



MDmn0 = 1に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TO0nがトグル動作します。

MDmn0 = 0に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TO0nも変化しません。1周期をカウント後、INTTMmnを出力し、TO0nがトグル動作します。

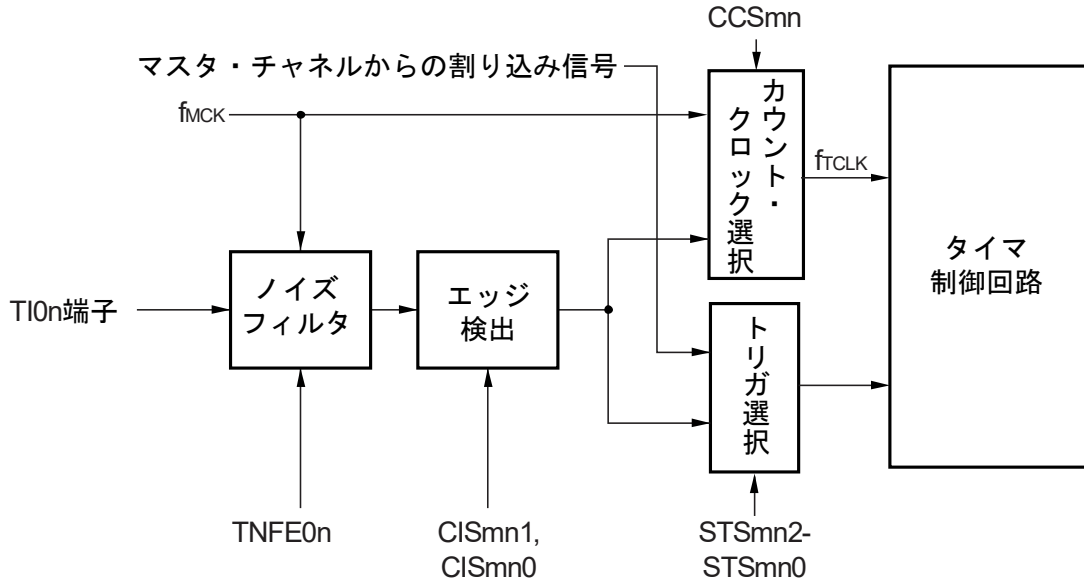
**備考** m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

## 7.7 タイマ入力 (TI0n) の制御

### 7.7.1 TI0nの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

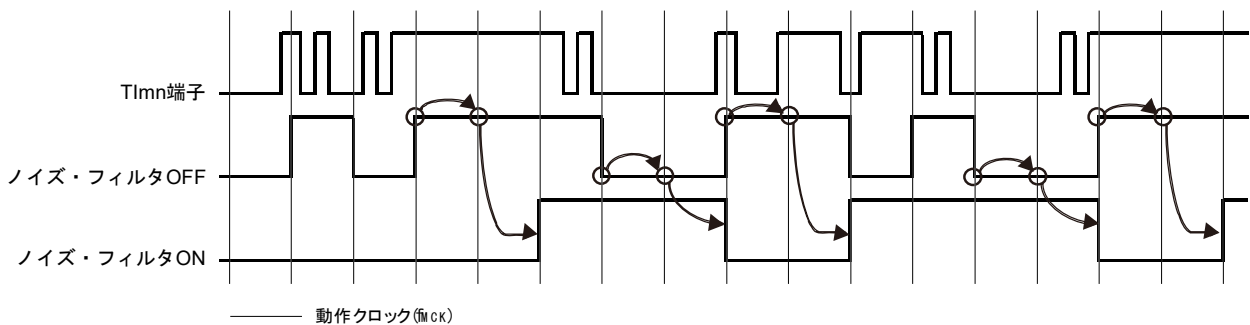
図7-38 入力回路構成図



### 7.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック ( $f_{MCK}$ ) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック ( $f_{MCK}$ ) で同期化のあと、2クロックの一致検出を行います。以下に、TI0n入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図7-39 TI0n入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



### 7.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

#### (1) ノイズ・フィルタOFFの場合

タイマ・モード・レジスタmn (TMRmn) のビット12 (CCSmn) , ビット9 (STSmn1) , ビット8 (STSmn0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (f<sub>MCK</sub>) の2サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSm) の動作許可トリガをセットしてください。

#### (2) ノイズ・フィルタONの場合

タイマ・モード・レジスタmn (TMRmn) のビット12 (CCSmn) , ビット9 (STSmn1) , ビット8 (STSmn0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (f<sub>MCK</sub>) の4サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSm) の動作許可トリガをセットしてください。

## 7.8 タイマ・アレイ・ユニットの単独チャネル動作機能

### 7.8.1 インターバル・タイマ／方形波出力としての動作

#### (1) インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。  
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDRmn) の設定値} + 1)$$

#### (2) 方形波出力としての動作

TO0nは、INTTMmn発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。  
TO0n出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TO0nからの出力方形波の周期} = \text{カウント・クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\cdot \text{TO0nからの出力方形波の周波数} = \text{カウント・クロックの周波数} / \{ (\text{TDRmnの設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタmn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSM）のチャネル・スタート・トリガ・ビット（TSMn, TSHm1, TSHm3）に1を設定後、最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。このときタイマ・モード・レジスタmn（TMRmn）のMDmn0 = 0ならば、INTTMmnを出力せず、TO0nはトグルしません。TMRmnレジスタのMDmn0 = 1ならば、INTTMmnを出力して、TO0mnをトグルします。

その後、TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

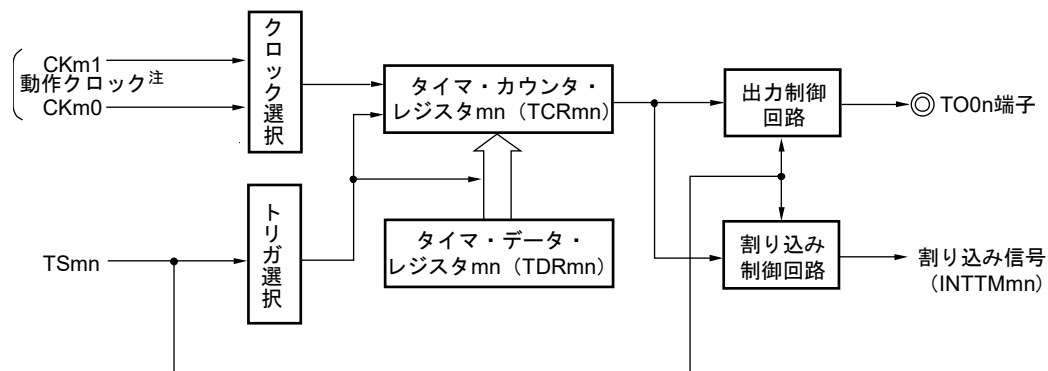
TCRmn = 0000Hとなったら、次のカウント・クロックでINTTMmnを出力しTO0nをトグルします。また、同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降、同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は、次の周期から有効となります。

**備考** m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

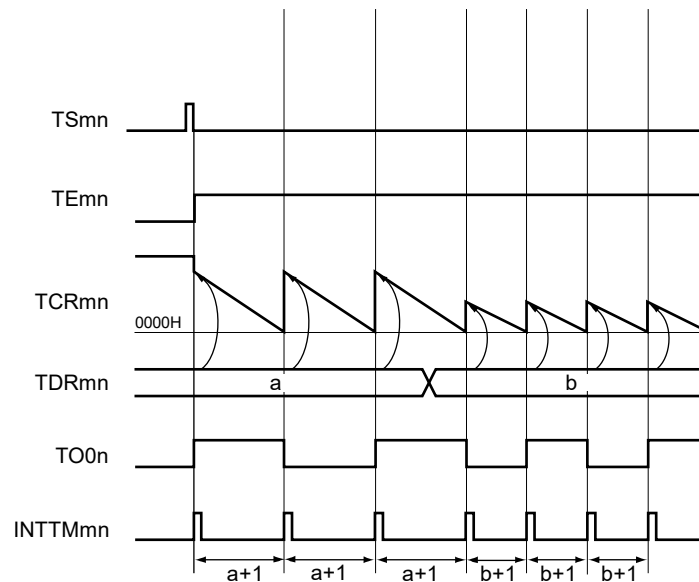


図7-40 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7-41 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MDmn0 = 1)

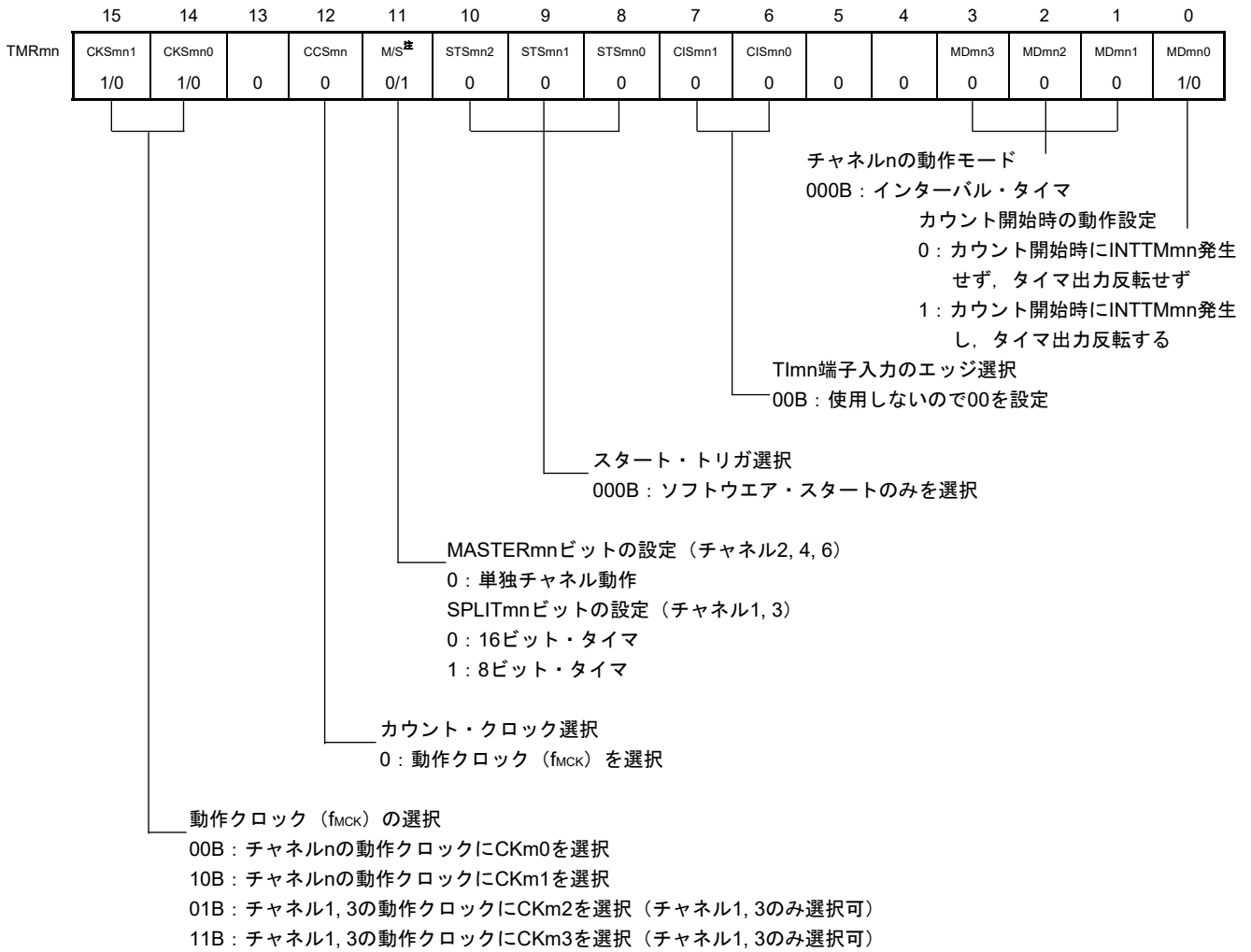


備考1. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

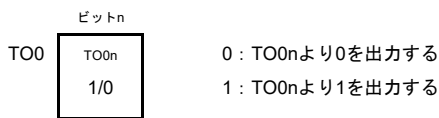
2. TSmn : タイマ・チャンネル開始レジスタm (TSm) のビットn
- TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn
- TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
- TDRmn : タイマ・データ・レジスタmn (TDRmn)
- TO0n : TO0n端子出力信号

図7-42 インターバル・タイマ／方形波出力時のレジスタ設定内容例

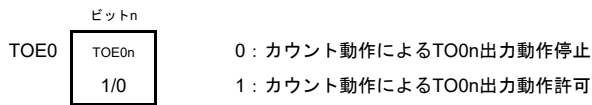
(a) タイマ・モード・レジスタmn (TMRmn)



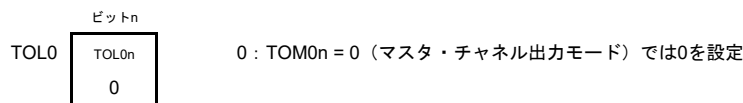
(b) タイマ出力レジスタ0 (TO0)



(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



## (e) タイマ出力モード・レジスタ0 (TOM0)

	ビットn			
TOM0	<table border="1"><tr><td>TOM0n</td></tr><tr><td>0</td></tr></table>	TOM0n	0	0 : マスタ・チャンネル出力モードを設定
TOM0n				
0				

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット

TMRm1, TMRm3の場合 : SPLITmnビット

TMRm0, TMRm5, TMRm7の場合 : 0固定

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-43 インターバル・タイマ/方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャ ネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	タイマ・データ・レジスタmn (TDRmn) にインターバル (周 期) 値を設定する  TO0n出力を使用する場合, タイマ出力モード・レジスタm (TOM0) のTOM0nビットに 0 (マスタ・チャンネル出力モード) を設定する TOL0nビットに0を設定する TO0nビットを設定し, TO0n出力の初期レベルを確定する TOE0nビットに1を設定し, TO0nの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定す る	TO0n端子はHi-Z出力状態  ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TO0n初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO0nは変化しない TO0n端子はTO0n設定レベルを出力
動作 再開	動作 開始	(TO0n出力を使用する場合で, かつ動作再開時のみTOE0nビ ットに1を設定する) TSmn (TSHm1, TSHm3) ビットに1を設定する TSmn (TSHm1, TSHm3) ビットはトリガ・ビットなので, 自動的に0に戻る
	動作 中	TEmn (TEHm1, TEHm3) = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジス タの値をロードする。TMRmnレジスタのMDmn0ビットが1 の場合は, INTTMmnを発生し, TO0nもトグル動作する。  カウンタ (TCRmn) はダウン・カウント動作を行い, 0000H までカウントしたら, 再びTCRmnレジスタはTDRmnレジス タの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TO0nはトグル動作する。 以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1, TTHm3) ビットに1を設定する TTmn (TTHm1, TTHm3) ビットはトリガ・ビットなので, 自動的に0に戻る TOE0nビットに0を設定し, TO0nビットに値を設定する	TEmn (TEHm1, TEHmn) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TO0n出力は初期化されず, 状態保持 TO0n端子はTO0nビットに設定したレベルを出力

(備考は次ページにあります。)

図7-43 インターバル・タイマ／方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TO0n端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0nビットに0 を設定する	TO0n端子出力レベルはポート機能により保持される。
	TO0n端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0nビットが0になり、TO0n端子はポート機能となる)

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

## 7.8.2 外部イベント・カウンタとしての動作

TI<sub>m</sub>n端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmnの設定値} + 1$$

タイマ・カウンタ・レジスタ<sub>mn</sub> (TCR<sub>mn</sub>) はイベント・カウンタ・モードでダウン・カウンタとして動作します。

★

タイマ・チャンネル開始レジスタ<sub>m</sub> (TSM<sub>m</sub>) の任意のチャンネル・スタート・トリガ・ビット (TS<sub>mn</sub>) に1を設定することによりTCR<sub>mn</sub>レジスタはタイマ・データ・レジスタ<sub>mn</sub> (TDR<sub>mn</sub>) の値をロードします。

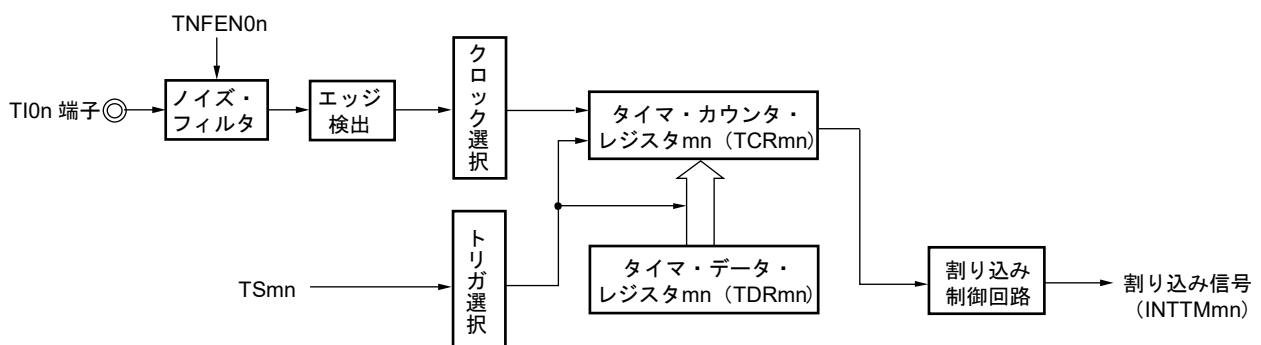
TCR<sub>mn</sub>レジスタはTI<sub>m</sub>n端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCR<sub>mn</sub> = 0000Hとなったら、再びTDR<sub>mn</sub>レジスタの値をロードして、INTTM<sub>mn</sub>を出力します。

以降、同様の動作を継続します。

TO0<sub>n</sub>端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ0 (TOE0) のTOE0<sub>n</sub>ビットに0を設定して出力動作を停止するようにしてください。

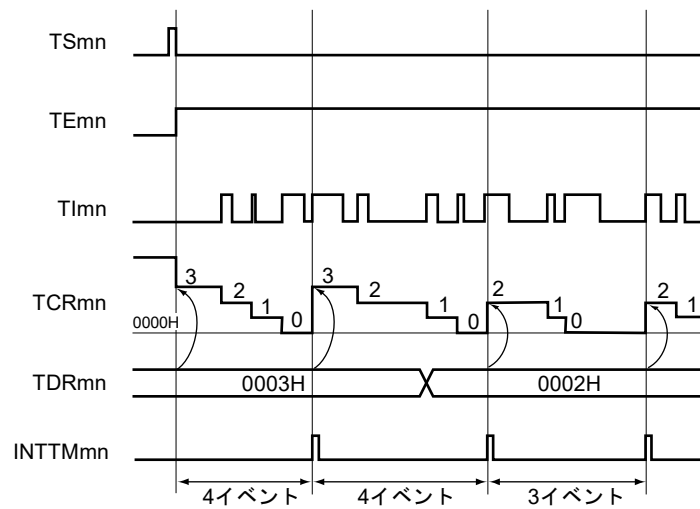
TDR<sub>mn</sub>レジスタは任意のタイミングで書き換えることができます。書き換えたTDR<sub>mn</sub>レジスタの値は次のカウント期間で有効になります。

図7-44 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-45 外部イベント・カウンタとしての動作の基本タイミング例

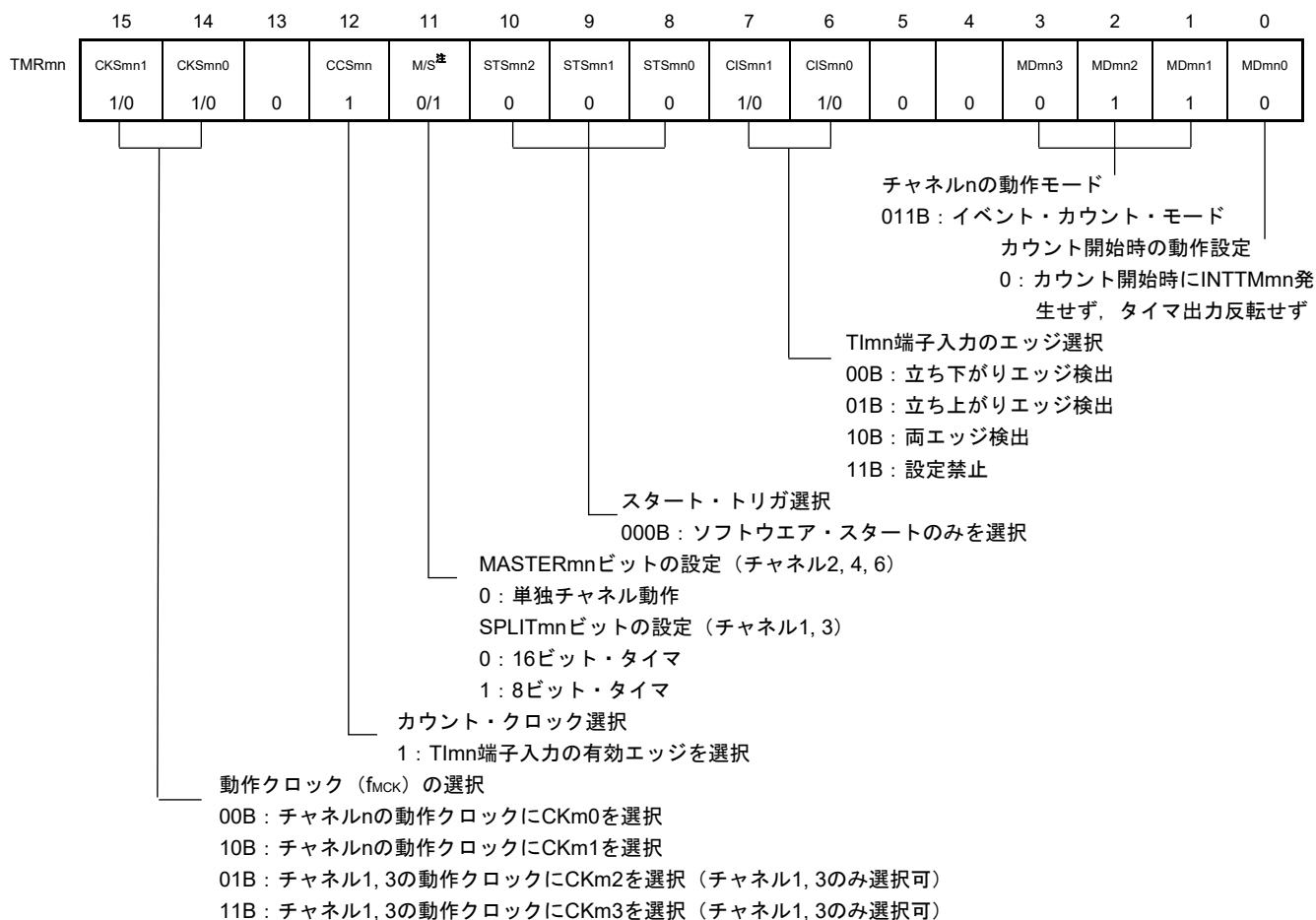


**備考1.** m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

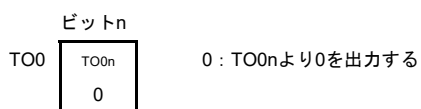
2. TSmn : タイマ・チャネル開始レジスタm (TSm) のビットn
- TEmn : タイマ・チャネル許可ステータス・レジスタm (TEm) のビットn
- Tl mn : Tl mn端子入力信号
- TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
- TDRmn : タイマ・データ・レジスタmn (TDRmn)

図7-46 外部イベント・カウンタ・モード時のレジスタ設定内容例

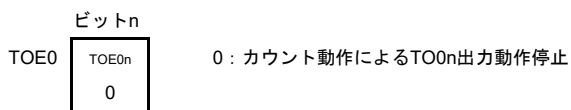
(a) タイマ・モード・レジスタmn (TMRmn)



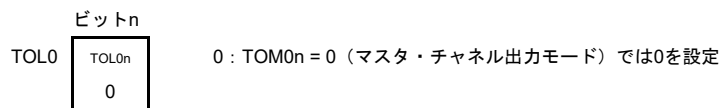
(b) タイマ出力レジスタ0 (TO0)



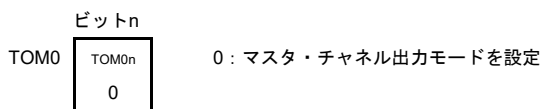
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット  
 TMRm1, TMRm3の場合 : SPLITmnビット  
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)



図7-47 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にカウント数を設定する タイマ出力許可レジスタm (TOE0) のTOE0nビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

### 7.8.3 分周器としての動作（ユニット0のチャンネル0のみ）

TI00端子に入力されたクロックを分周し、TO00端子から出力する分周器として利用することができます。  
TO00出力の分周クロック周波数は次の式で求めることができます。

- ・立ち上がりエッジ／立ち下がりエッジ選択時：  
分周クロック周波数 = 入力クロック周波数 / { (TDR00 の設定値 + 1) × 2 }
- ・両エッジ選択時：  
分周クロック周波数 = 入力クロック周波数 / (TDR00 の設定値 + 1)

タイマ・カウンタ・レジスタ00（TCR00）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0（TS0）のチャンネル・スタート・トリガ・ビット（TS00）に1を設定後、TI00の有効エッジ検出でTCR00レジスタはタイマ・データ・レジスタ00（TDR00）の値をロードします。このときタイマ・モード・レジスタ00（TMR00）のMD000 = 0ならば、INTTM00を出力せず、TO00はトグルしません。TMR00レジスタのMD000 = 1ならば、INTTM00を出力して、TO00をトグルします。

その後、TI00端子入力の有効エッジに合わせてダウン・カウントを行い、TCR00 = 0000Hとなったら、TO00をトグルします。同時にTCR00レジスタはTDR00レジスタの値をロードして、カウントを継続します。

TI00端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出力クロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出力クロック周期} \pm \text{動作クロック周期（誤差）}$$

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

図7-48 分周器としての動作のブロック図

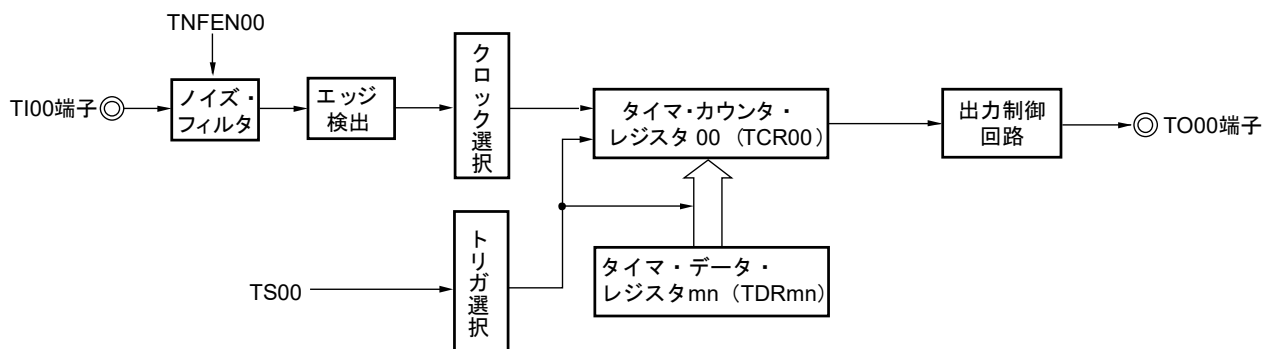
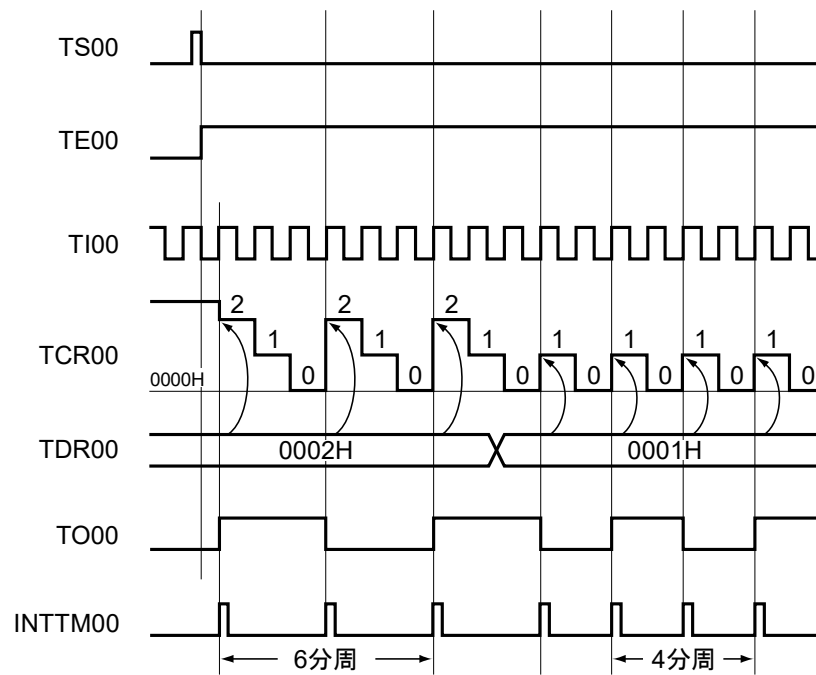


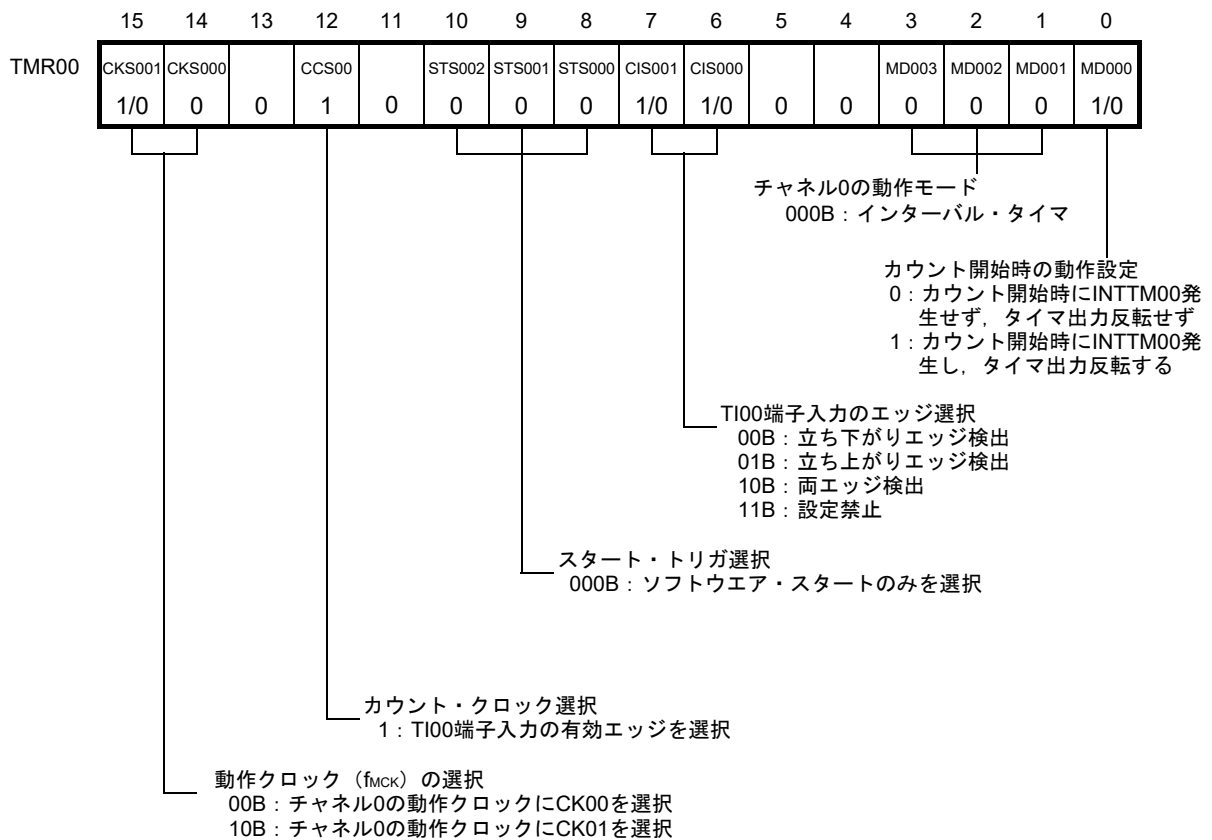
図7-49 分周器としての動作の基本タイミング例 (MD000 = 1)



- 備考**
- TS00 : タイマ・チャンネル開始レジスタ0 (TS0) のビット0
  - TE00 : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビット0
  - TI00 : TI00端子入力信号
  - TCR00 : タイマ・カウンタ・レジスタ00 (TCR00)
  - TDR00 : タイマ・データ・レジスタ00 (TDR00)
  - TO00 : TO00端子出力信号

図7-50 分周器として動作時のレジスタ設定内容例

(a) タイマ・モード・レジスタ0 (TMR00)



(b) タイマ出力レジスタ0 (TO0)

ビット0

TO0	TO00	0: TO00より0を出力する
	1/0	1: TO00より1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビット0

TOE0	TOE00	0: カウント動作によるTO00出力動作停止
	1/0	1: カウント動作によるTO00出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビット0

TOL0	TOL00	0: マスタ・チャンネル出力モード (TOM00 = 0) では0を設定
	0	

(e) タイマ出力モード・レジスタ0 (TOM0)

ビット0

TOM0	TOM00	0: マスタ・チャンネル出力モードを設定
	0	

図7-51 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	▶ パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00-CK03のクロック周波数を確定する	
	ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ00 (TMR00) を設定する (チャンネルの動作モード確定, 検出エッジの選択) タイマ・データ・レジスタ00 (TDR00) にインターバル (周期) 値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	タイマ出力モード・レジスタ0 (TOM0) のTOM00ビットに0 (マスタ・チャンネル出力モード) を設定する TOL00ビットに0を設定する TO00ビットを設定し, TO00出力の初期レベルを確定する TOE00ビットに1を設定し, TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO00端子はHi-Z出力状態  ▶ ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00初期設定レベルが出力される。 ▶ チャンネルは動作停止状態なので, TO00は変化しない ▶ TO00端子はTO00設定レベルを出力
動作 開始	TOE00ビットに1を設定する (動作再開時のみ) TS00ビットに1を設定する TS00ビットはトリガ・ビットなので, 自動的に0に戻る	▶ TE00 = 1になり, カウント動作開始 タイマ・カウンタ・レジスタ00 (TCR00) はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は, INTTM00を発生し, TO00もトグル動作する。
動作 中	TDR00レジスタは, 任意に設定値変更が可能 TCR00レジスタは, 常に読み出し可能 TSR00レジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは, 設定値変更禁止	カウンタ (TCR00) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR00レジスタはTDR00レジスタの値をロードし, カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し, TO00はトグル動作する。以降, この動作を繰り返す。
動作 停止	TT00ビットに1を設定する TT00ビットはトリガ・ビットなので, 自動的に0に戻る	▶ TE00 = 0になり, カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず, 状態保持
	TOE00ビットに0を設定し, TO00ビットに値を設定する	▶ TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00ビットに0を設定する	▶ TO00端子出力レベルはポート機能により保持される。
	TO00端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAU0ENビットに0を設定する	▶ パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00ビットが0になり, TO00端子はポート機能となる)

動作再開

### 7.8.4 入力パルス間隔測定としての動作

Tl<sub>mn</sub>有効エッジでカウント値をキャプチャし、Tl<sub>mn</sub>入力パルスの間隔を測定することができます。また、TE<sub>mn</sub> = 1の期間中に、ソフトウェア操作 (TS<sub>mn</sub> = 1) をキャプチャ・トリガにして、カウント値をキャプチャすることができます。

パルス間隔は次の式で求めることができます。

$$\text{Tl}_{mn}\text{入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times \left( (10000\text{H} \times \text{TSR}_{mn}:\text{OVF}) + (\text{TDR}_{mn}\text{のキャプチャ値} + 1) \right)$$

**注意** Tl<sub>mn</sub>端子入力は、タイマ・モード・レジスタmn (TMR<sub>mn</sub>) のCKS<sub>mn</sub>ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn (TCR<sub>mn</sub>) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタm (TS<sub>m</sub>) のチャンネル・スタート・トリガ・ビット (TS<sub>mn</sub>) に1を設定するとTCR<sub>mn</sub>レジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

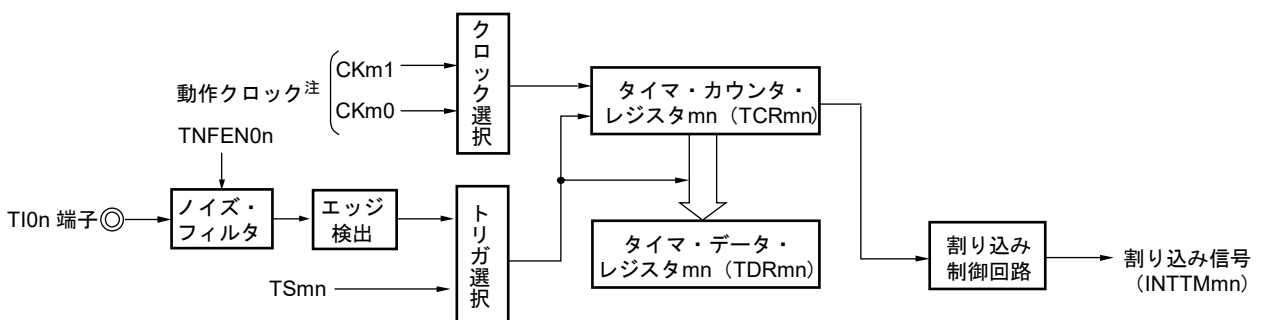
Tl<sub>mn</sub>端子入力の有効エッジを検出すると、TCR<sub>mn</sub>レジスタのカウント値をタイマ・データ・レジスタmn (TDR<sub>mn</sub>) に転送 (キャプチャ) すると同時に、TCR<sub>mn</sub>レジスタを0000Hにクリアして、INTTM<sub>mn</sub>を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタmn (TSR<sub>mn</sub>) のOVFビットが1にセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を続けます。

カウント値がTDR<sub>mn</sub>レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSR<sub>mn</sub>レジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSR<sub>mn</sub>レジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMR<sub>mn</sub>レジスタのSTS<sub>mn2</sub>-STS<sub>mn0</sub> = 001Bに設定して、Tl<sub>mn</sub>有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

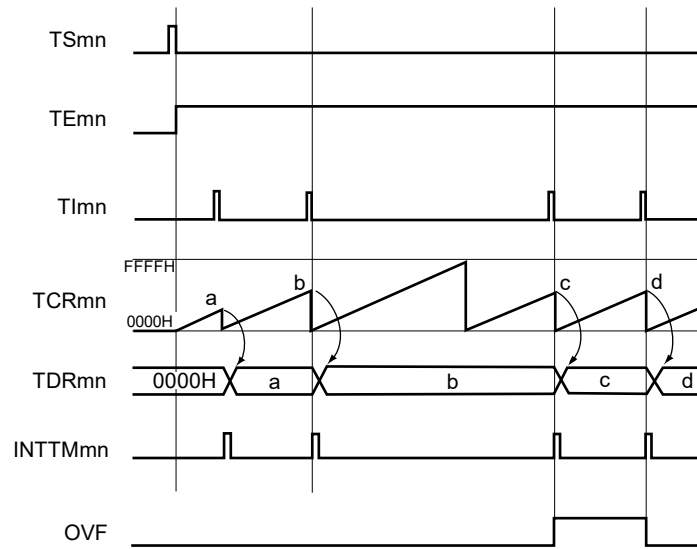
図7-52 入力パルス間隔測定としての動作のブロック図



**注** チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-53 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)

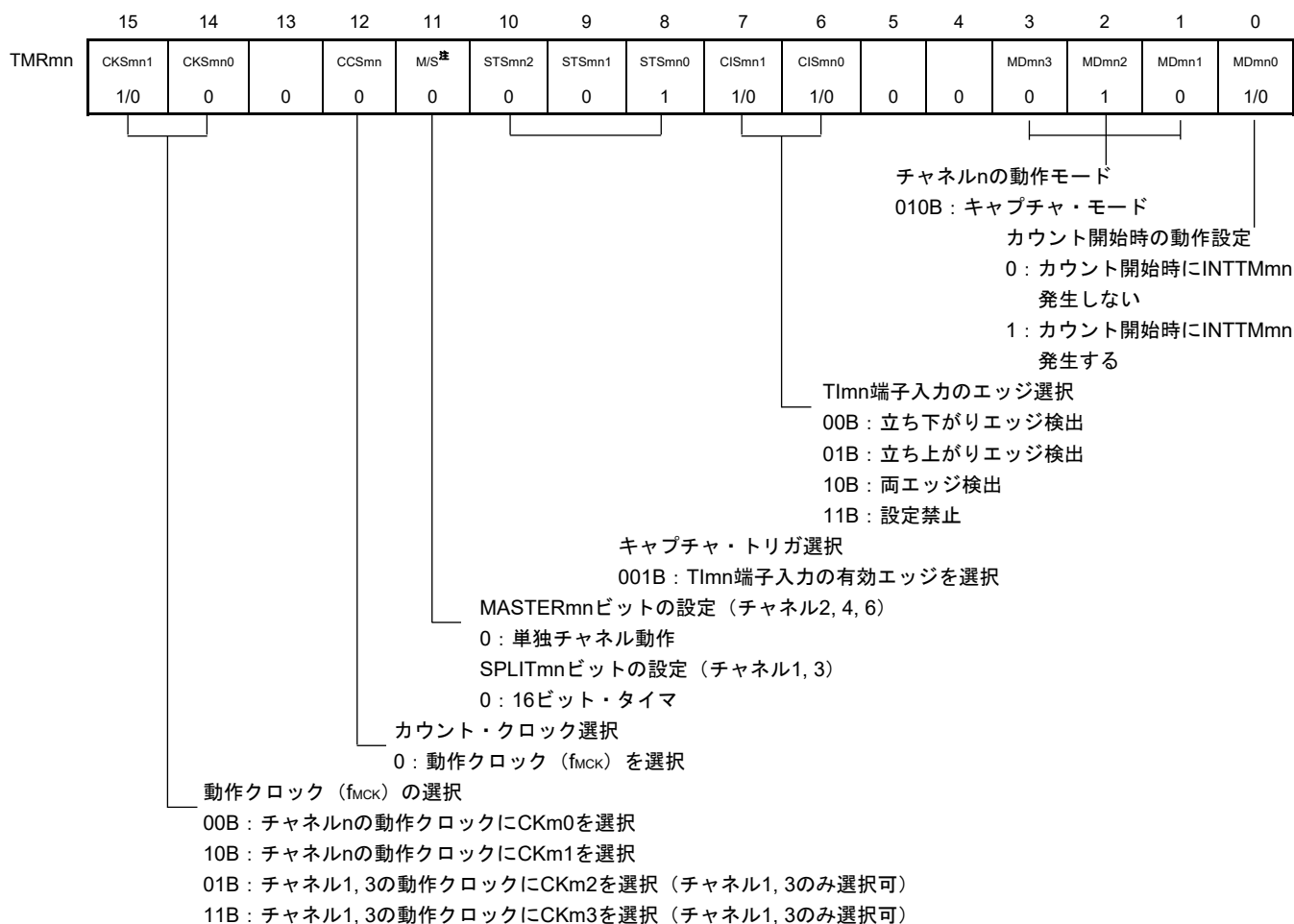


**備考1.** m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0-7)

2. TSmn : タイマ・チャネル開始レジスタm (TSm) のビットn
- TEmn : タイマ・チャネル許可ステータス・レジスタm (TEm) のビットn
- TImn : TImn端子入力信号
- TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
- TDRmn : タイマ・データ・レジスタmn (TDRmn)
- OVF : タイマ・ステータス・レジスタmn (TSRmn) のビット0

図7-54 入力パルス間隔測定時のレジスタ設定内容例

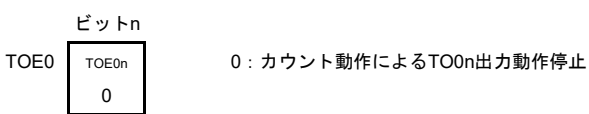
(a) タイマ・モード・レジスタmn (TMRmn)



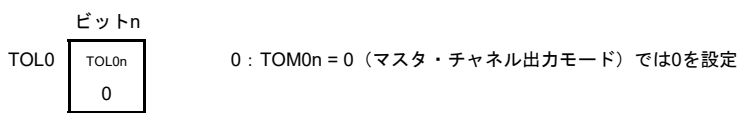
(b) タイマ出力レジスタ0 (TO0)



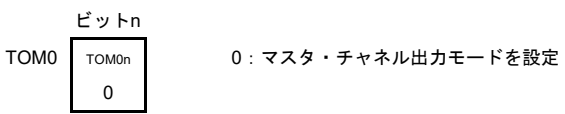
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット  
 TMRm1, TMRm3の場合 : SPLITmnビット  
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)



図7-55 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタmのTAUmENビットに1を設定する →	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャ ネルの動作モード確定)	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する →	TEmn = 1になり, カウント動作開始タイマ・カウンタ・レ ジスタmn (TCRmn) を0000Hにクリアする。TMRmnレジ スタのMDmn0ビットが1の場合は, INTTMmnを発生する。
	TSmnビットはトリガ・ビットなので, 自動的に0に戻る	
動作 中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変 更可能 TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止	カウンタ (TCRmn) は0000Hからアップ・カウント動作を 行い, TImn端子入力の有効エッジの検出または, TSmnビッ トに1を設定すると, カウント値をタイマ・データ・レジス タmn (TDRmn) に転送 (キャプチャ) する。同時に, TCRmn レジスタを0000Hにクリアし, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステー タス・レジスタmn (TSRmn) のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリア される。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する →	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
	TTmnビットはトリガ・ビットなので, 自動的に0に戻る	
TAU 停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され, 各チャネルのSFRも初期化される

動作再開

備考 m: ユニット番号 (m = 0), n: チャネル番号 (n = 0-7)

### 7.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作

TlMn端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TlMnの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。TlMnの信号幅は次の式で求めることができます。

$$\text{TlMn入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times \left( (10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1) \right)$$

**注意** TlMn端子入力は、タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn（TCRmn）はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタm（TSM）のチャンネル・スタート・トリガ・ビット（TSMn）に1を設定すると、TEMn = 1となりTlMn端子のスタート・エッジ検出待ち状態となります。

TlMn端子入力のスタート・エッジ（ハイ・レベル幅測定ならTlMn端子入力の立ち上がりエッジ）を検出すると、カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定ならTlMn端子入力の立ち下がりエッジ）を検出すると、カウンタ値をタイマ・データ・レジスタmn（TDRmn）に転送すると同時にINTTMmnを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは、「TDRmnレジスタに転送した値+1」の値で停止し、TlMn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmnレジスタのOVFビットがセット（1）されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

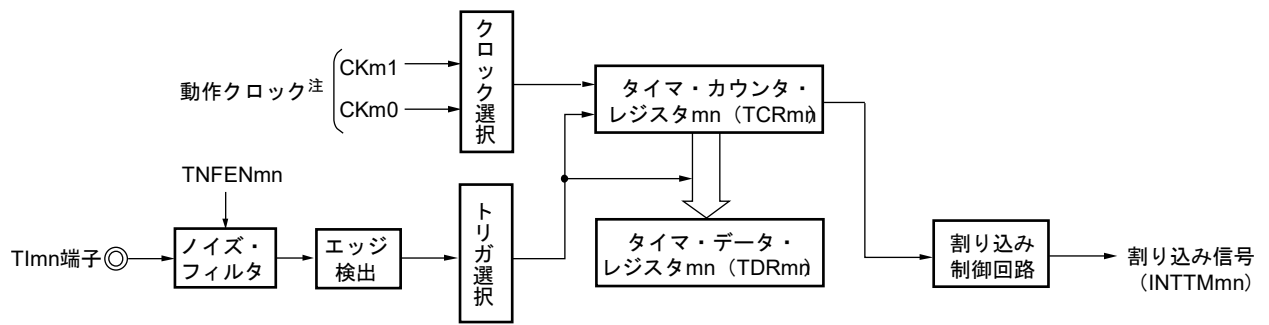
TlMn端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmnレジスタのCISmn1、CISmn0ビットにて設定することができます。

この機能は、TlMn端子入力の信号幅測定を目的とするため、TEMn = 1期間中のTSMnビットのセット（1）は使用できません。

TMRmnレジスタのCISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

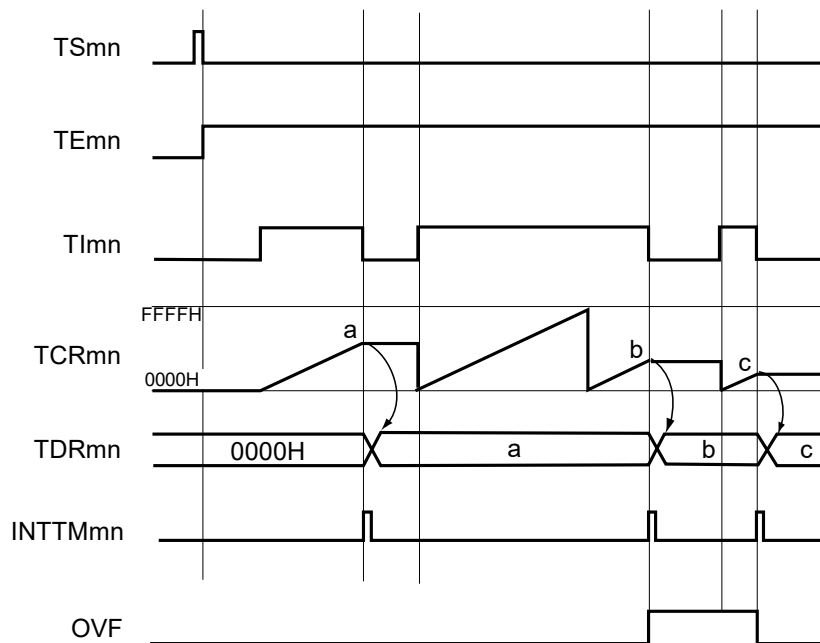
TMRmnレジスタのCISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図7-56 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル 1, 3 の場合は, CK<sub>m0</sub>, CK<sub>m1</sub>, CK<sub>m2</sub>, CK<sub>m3</sub> からクロックを選択できます。

図7-57 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例

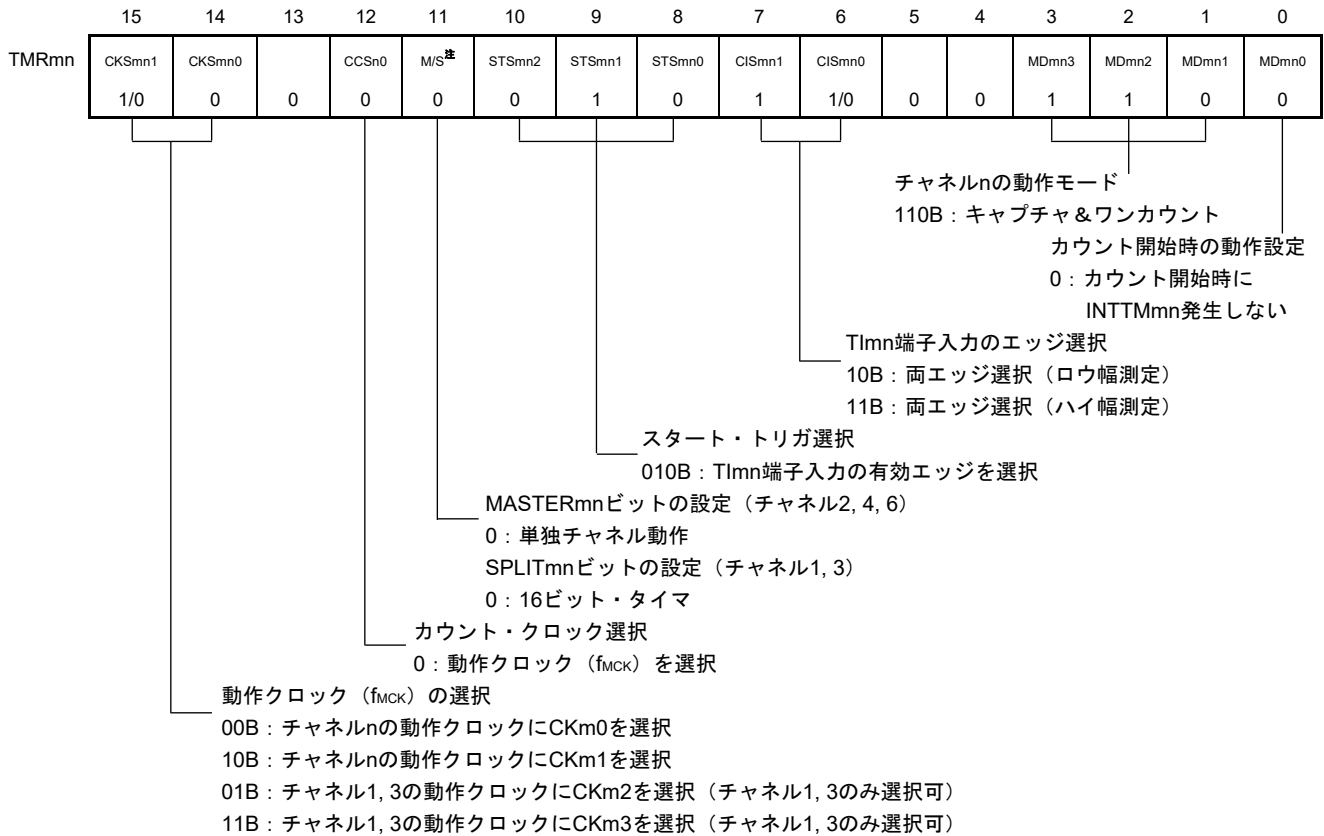


備考1. m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

2. TS<sub>mn</sub> : タイマ・チャンネル開始レジスタm (TS<sub>m</sub>) のビットn
- TE<sub>mn</sub> : タイマ・チャンネル許可ステータス・レジスタm (TE<sub>m</sub>) のビットn
- TI<sub>mn</sub> : TI<sub>mn</sub>端子入力信号
- TCR<sub>mn</sub> : タイマ・カウンタ・レジスタmn (TCR<sub>mn</sub>)
- TDR<sub>mn</sub> : タイマ・データ・レジスタmn (TDR<sub>mn</sub>)
- OVF : タイマ・ステータス・レジスタmn (TSR<sub>mn</sub>) のビット0

図7-58 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

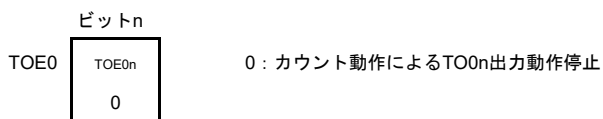
(a) タイマ・モード・レジスタmn (TMRmn)



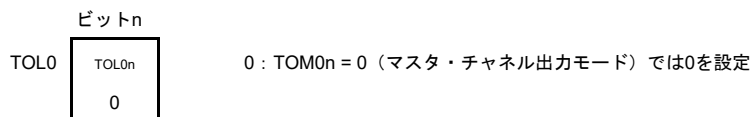
(b) タイマ出力レジスタ0 (TO0)



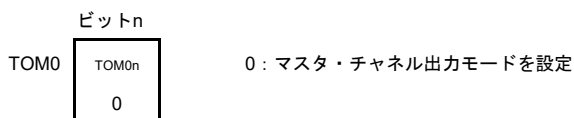
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット  
 TMRm1, TMRm3の場合 : SPLITmnビット  
 TMRm0, TMRm5, TMRm7の場合 : 0固定

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-59 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1,) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) TOE0nビットに0を設定し, TO0nの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TSmnビットはトリガ・ビットなので, 自動的に0に戻る TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn) を0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn) は0000Hからアップ・カウント動作を行う。TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタmn (TDRmn) に転送し, INTTMmnを発生する。このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

### 7.8.6 ディレイ・カウンタとしての動作

Tl<sub>mn</sub>端子入力の有効エッジ検出(外部イベント)でダウン・カウントをスタートし、任意の設定間隔でINTTM<sub>mn</sub>(タイマ割り込み)を発生することができます。

また、TE<sub>mn</sub> = 1の期間中に、ソフトウェア操作でTS<sub>mn</sub> = 1に設定することで、ダウン・カウントをスタートし、任意の設定間隔でINTTM<sub>mn</sub>(タイマ割り込み)を発生することもできます。

割り込み発生周期は、次の式で求める事ができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

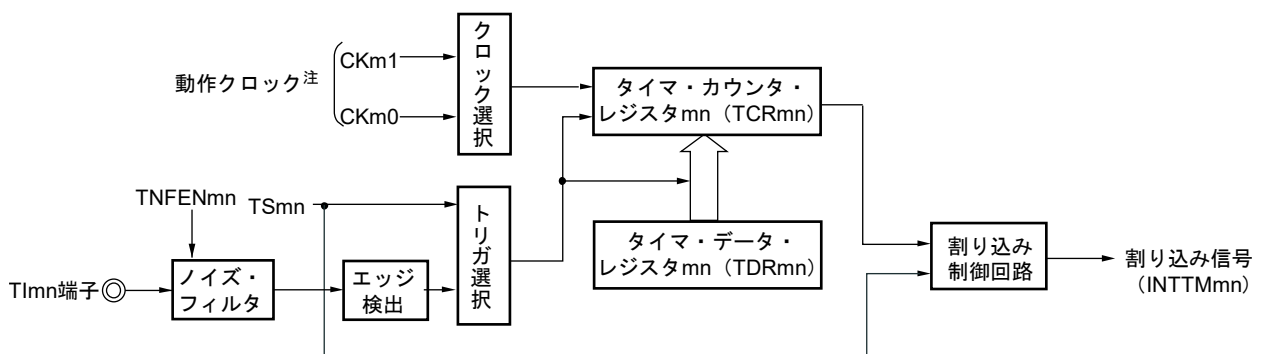
タイマ・カウンタ・レジスタ<sub>mn</sub> (TCR<sub>mn</sub>) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ<sub>m</sub> (TS<sub>m</sub>) のチャンネル・スタート・トリガ・ビット (TS<sub>mn</sub>, TSH<sub>m1</sub>, TSH<sub>m3</sub>) に1を設定すると、TE<sub>mn</sub>, TEH<sub>m1</sub>, TEH<sub>m3</sub> = 1となりTl<sub>mn</sub>端子の有効エッジ検出待ち状態となります。

TCR<sub>mn</sub>レジスタは、Tl<sub>mn</sub>端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ<sub>mn</sub> (TDR<sub>mn</sub>) から値をロードします。TCR<sub>mn</sub>レジスタはロードしたTDR<sub>mn</sub>レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR<sub>mn</sub> = 0000HになったらINTTM<sub>mn</sub>を出力し、次のTl<sub>mn</sub>端子入力の有効エッジがあるまで、カウントを停止します。

TDR<sub>mn</sub>レジスタは任意のタイミングで書き換えることができます。書き換えたTDR<sub>mn</sub>レジスタの値は、次の周期から有効となります。

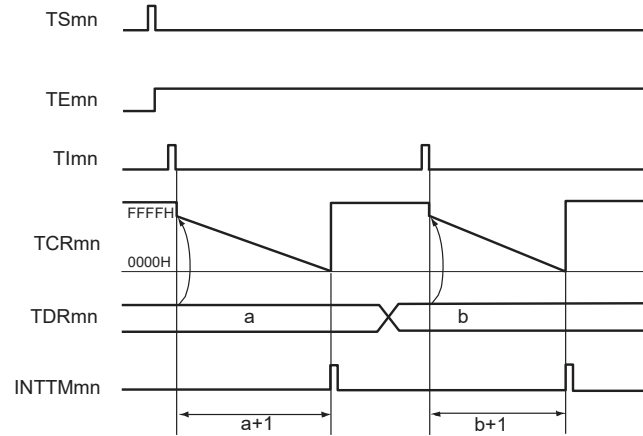
図7-60 ディレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK<sub>m0</sub>, CK<sub>m1</sub>, CK<sub>m2</sub>, CK<sub>m3</sub>からクロックを選択できます。

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

図7-61 デイレイ・カウンタとしての動作の基本タイミング例

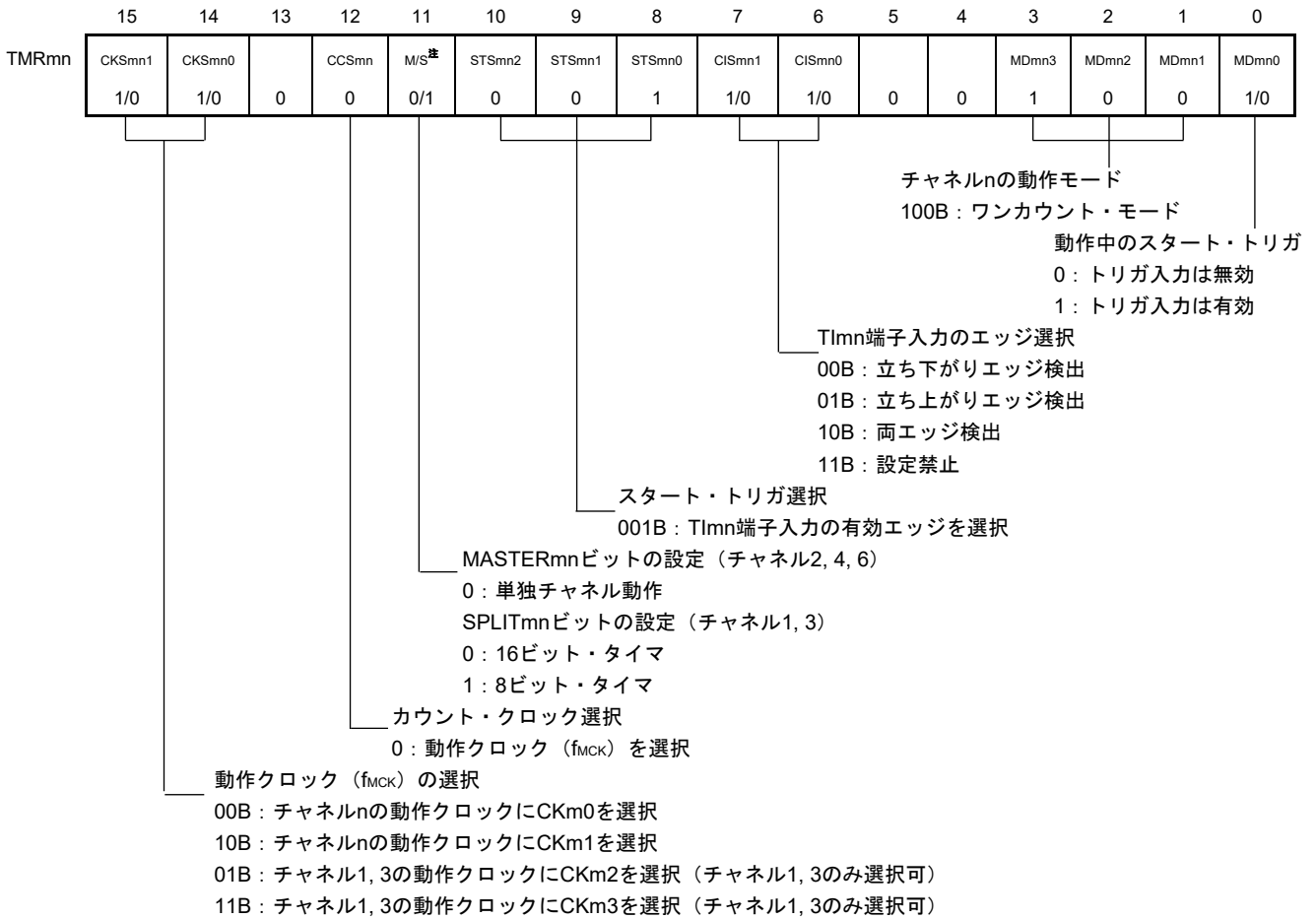


**備考1.** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

2. TSmn : タイマ・チャンネル開始レジスタm (TSm) のビットn
- TEmn : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn
- TI mn : TI mn端子入力信号
- TCRmn : タイマ・カウンタ・レジスタmn (TCRmn)
- TDRmn : タイマ・データ・レジスタmn (TDRmn)

図7-62 ディレイ・カウンタ機能時のレジスタ設定内容例

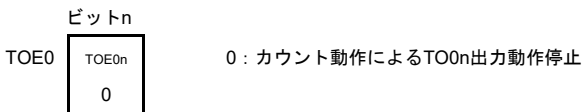
(a) タイマ・モード・レジスタmn (TMRmn)



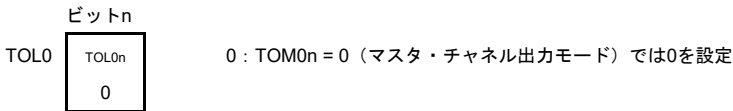
(b) タイマ出力レジスタ0 (TO0)



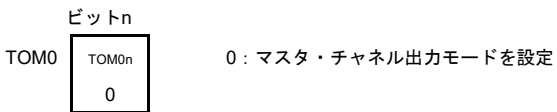
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット  
 TMRm1, TMRm3の場合 : SPLITmnビット  
 TMRm0, TMRm5, TMRm7の場合 : 0固定

**備考** m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)



図7-63 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn) に遅延時間を設定する TOE0nビットに0を設定し, TO0nの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, スタート・トリガ検出 (TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定) 待ち状態となる
	次のスタート・トリガ検出によって, ダウン・カウントを開始します。 ・ TImn端子入力の有効エッジ検出 ・ ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ (TCRmn) はダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出 (TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定) までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0) , n : チャンネル番号 (n = 0-7)

## 7.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能

### 7.9.1 ワンショット・パルス出力機能としての動作

2チャンネルをセットで使用して、TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$$\begin{aligned} \text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

マスタ・チャンネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャンネルのタイマ・カウンタ・レジスタmn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタmn (TDRmn) から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000HとなったらINTTMmnを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャンネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャンネルのTCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして動作を開始し、TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTMmpを出力して、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) 検出があるまで、カウントを停止します。TOOpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

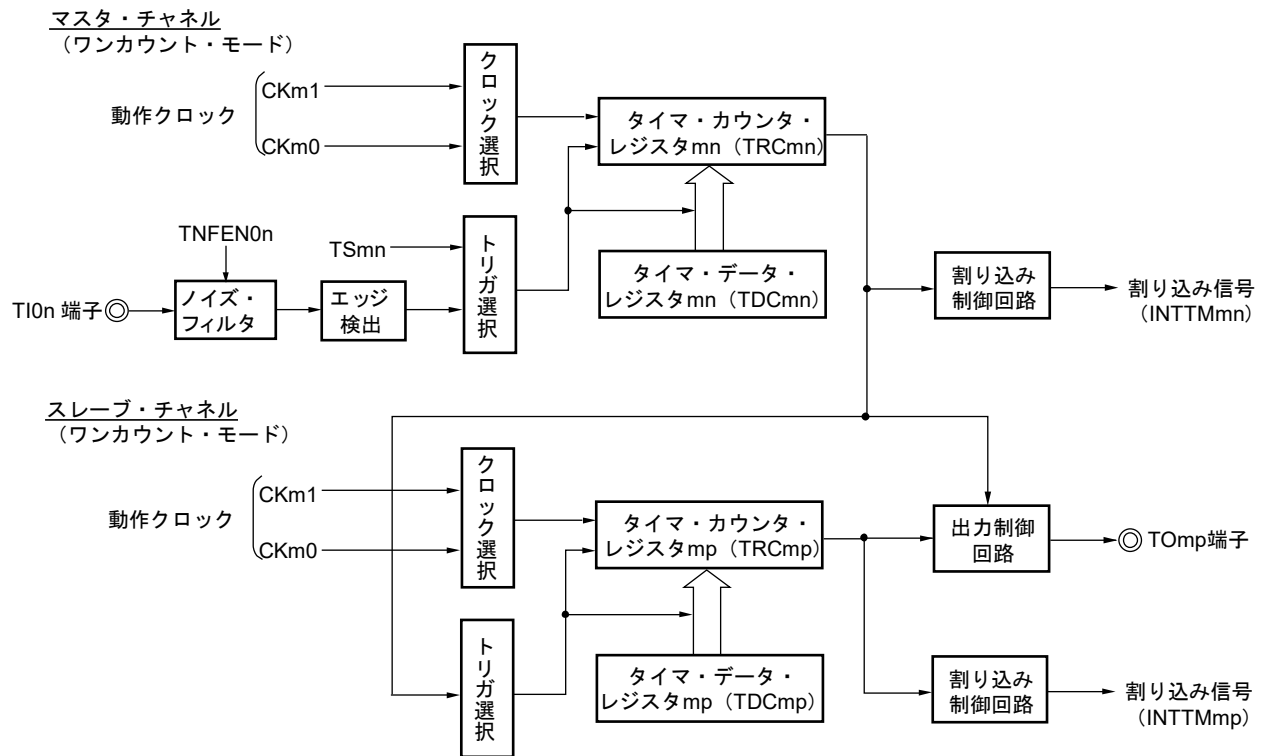
ワンショット・パルス出力は、TImn端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

**注意** マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネルのTDRmpレジスタでは、ロード・タイミングが異なるため、動作中にTDRmnレジスタ、TDRmpレジスタを書き換えると不正波形が出力されます。TDRmnレジスタはINTTMmn発生後に、TDRmpレジスタはINTTMmp発生後に書き換えてください。

**備考** m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

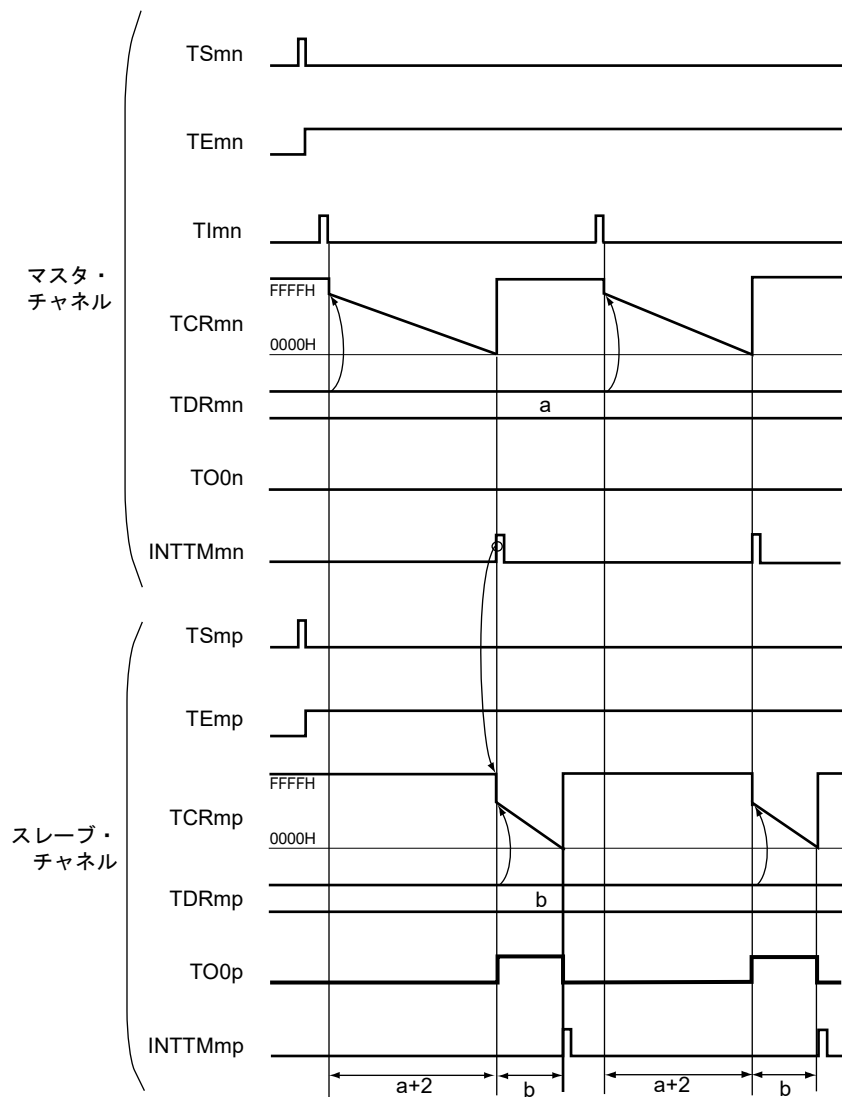
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-64 ワンショット・パルス出力機能としての動作のブロック図



**備考** m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

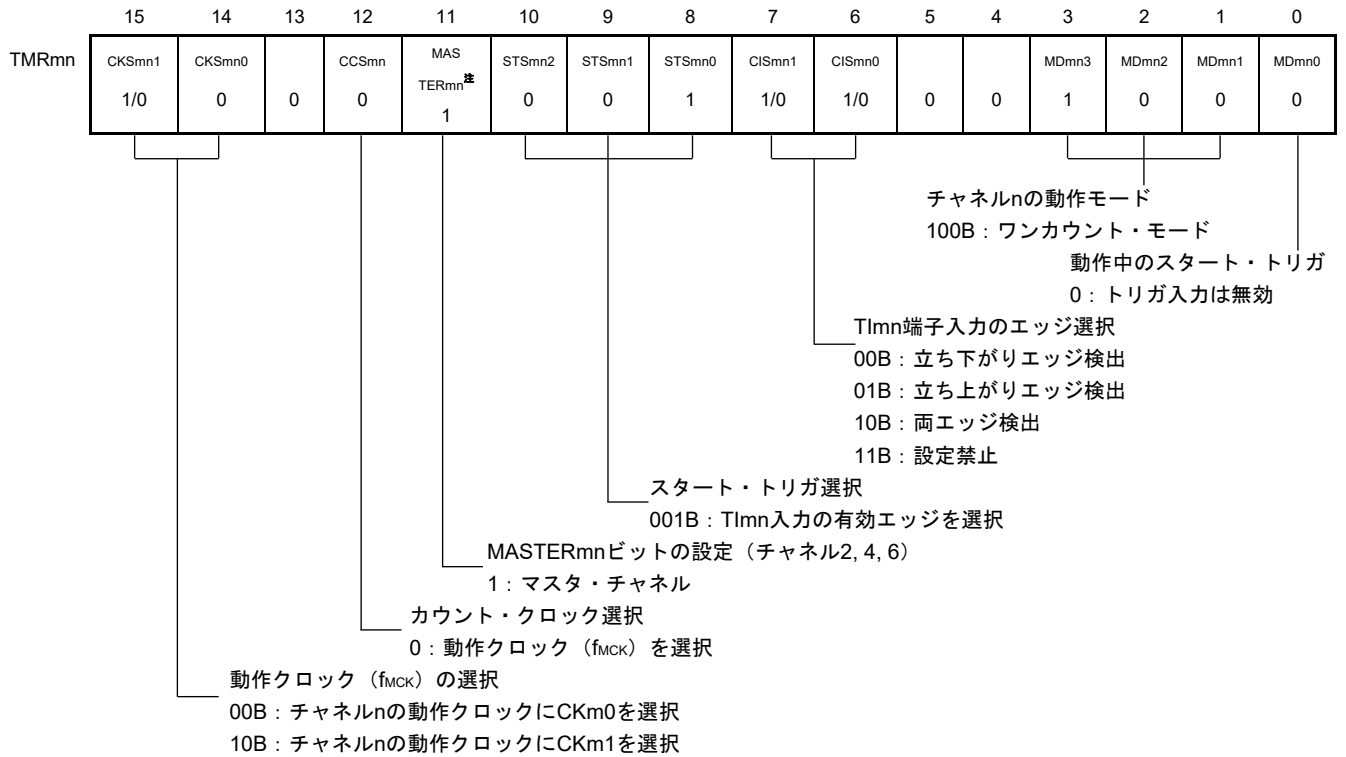
図7-65 ワンショット・パルス出力機能としての動作の基本タイミング例



- 備考1.** m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
 p : スレーブ・チャンネル番号 (n < p ≤ 7)
- 2.** TSmn, TSmp : タイマ・チャンネル開始レジスタm (TSm) のビットn, p  
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn, p  
 TImn, TImp : TImn, TImp端子入力信号  
 TCRmn, TCRmp : タイマ・カウンタ・レジスタmn, mp (TCRmn, TCRmp)  
 TDRmn, TDRmp : タイマ・データ・レジスタmn, mp (TDRmn, TDRmp)  
 TO0n, TO0p : TO0n, TO0p端子出力信号

図7-66 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

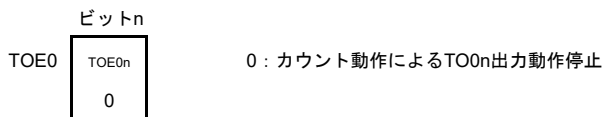
(a) タイマ・モード・レジスタmn (TMRmn)



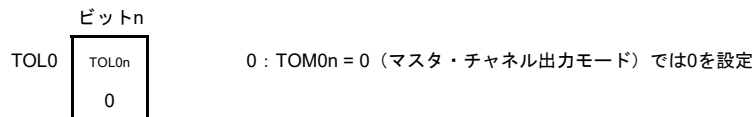
(b) タイマ出力レジスタ0 (TO0)



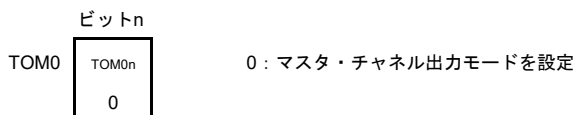
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



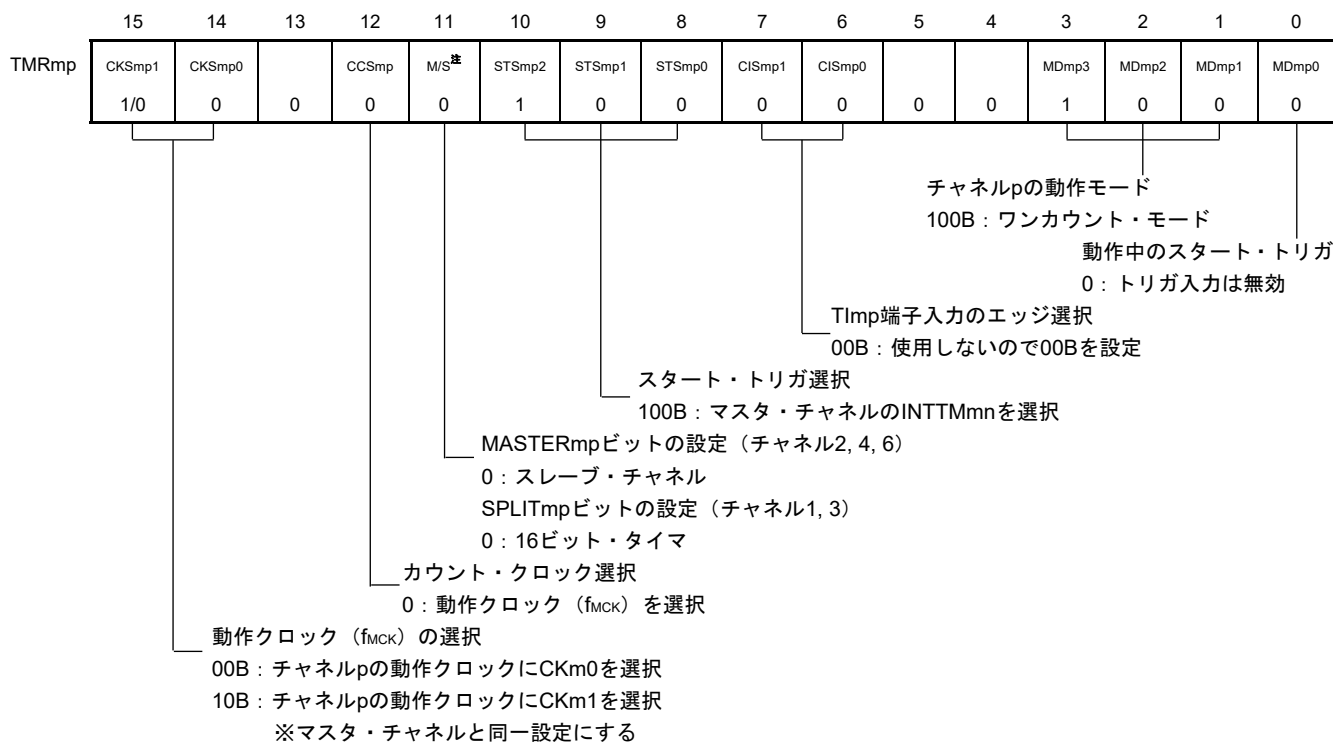
注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図7-67 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタ0 (TO0)

ビットp	
TO0	TO0p
	1/0
	0 : TO0pより0を出力する
	1 : TO0pより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビットp	
TOE0	TOE0p
	1/0
	0 : カウント動作によるTO0p出力動作停止
	1 : カウント動作によるTO0p出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットp	
TOL0	TOL0p
	1/0
	0 : 正論理出力（アクティブ・ハイ）
	1 : 負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタ0 (TOM0)

ビットp	
TOM0	TOM0p
	1
	1 : スレーブ・チャンネル出力モードを設定

**注** TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット  
 TMRm1, TMRm3の場合 : SPLITmpビット  
 TMRm5, TMRm7 : 0固定

**備考** m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-68 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに1を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) に出力遅延時間, スレーブ・チャンネルのTDRmpレジスタにパルス幅を設定する	
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタ0 (TOM0) のTOM0pビットに1 (スレーブ・チャンネル出力モード) を設定する TOL0pビットを設定する TO0pビットを設定し, TO0p出力の初期レベルを確定する	TO0p端子はHi-Z出力状態
	TOE0pビットに1を設定し, TO0pの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0p初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO0pは変化しない TO0p端子はTO0p設定レベルを出力

(備考は次ページにあります。)

図7-68 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開	動作開始	<p>TOE0p (スレーブ) ビットに1を設定する (動作再開時のみ)</p> <p>タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する</p> <p>TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る</p> <p>マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。</p> <ul style="list-style-type: none"> <li>・TImn端子入力の有効エッジ検出</li> <li>・ソフトウェアでマスタ・チャンネルのTSmnビットに1を設定</li> </ul> <p><b>注</b> スレーブ・チャンネルのTSmnビットには1を設定しないでください</p>	<p>TEmn = 1, TEmn = 1となり、マスタ・チャンネルはスタート・トリガ検出 (TImn端子入力のエッジの検出、または、マスタ・チャンネルのTSmnビットに1を設定) 待ち状態となるカウンタはまだ停止状態のまま</p> <p>マスタ・チャンネルがカウンタ動作開始</p>
	動作中	<p>TMRmnレジスタは、CISmn1, CISmn0ビットのみ設定値変更可能</p> <p>TMRmp, TDRmn, TDRmp レジスタ, TOM0n, TOM0p, TOL0n, TOL0pビットは、設定値変更禁止</p> <p>TCRmn, TCRmpレジスタは、常に読み出し可能</p> <p>TSRmn, TSRmpレジスタは、使用しない</p> <p>スレーブ・チャンネルのTO0, TOE0レジスタは、設定値変更可能</p>	<p>マスタ・チャンネルでは、スタート・トリガ検出 (TImn端子入力の有効エッジの検出または、マスタ・チャンネルのTSmnビットに1を設定) により、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウンタ動作を行う。</p> <p>TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し、次のスタート・トリガ検出までカウンタ動作を停止する。</p> <p>スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmpレジスタはTDRmpレジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。</p> <p>以降、この動作を繰り返す。</p>
	動作停止	<p>TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する</p> <p>TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る</p> <p>スレーブ・チャンネルのTOE0pビットに0を設定し、TO0pビットに値を設定する</p>	<p>TEmn, TEmn = 0になり、カウンタ動作停止</p> <p>TCRmn, TCRmpレジスタはカウンタ値を保持して停止</p> <p>TO0p出力は初期化されず、状態保持</p> <p>TO0p端子はTO0p設定レベルを出力</p>
	TAU停止	<p>TO0p端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TO0pビットに0を設定する</p> <p>TO0p端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <p>PER0レジスタのTAUmENビットに0を設定する</p>	<p>TO0p端子出力レベルはポート機能により保持される。</p> <p>パワーオフ状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される (TO0pビットが0になり、TO0p端子はポート機能となる)</p>

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)



## 7.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。  
出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDRmp (スレーブ) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ 0\% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = 0000\text{H} \\ 100\% \text{出力} &: \text{TDRmp (スレーブ) の設定値} \geq \{\text{TDRmn (マスタ) の設定値} + 1\} \end{aligned}$$

**備考** TDRmp (スレーブの設定値) > {TDRmn (マスタ) の設定値 + 1} の場合は、デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタm (TSm) のチャンネル・スタート・トリガ・ビット (Tsmn) に1を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタmn (TDRmn) に設定した値をタイマ・カウンタ・レジスタmn (TCRmn) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタm (TTm) のチャンネル・ストップ・トリガ・ビット (TTmn) に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TO0p) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTMmn) が来るまで待機します。

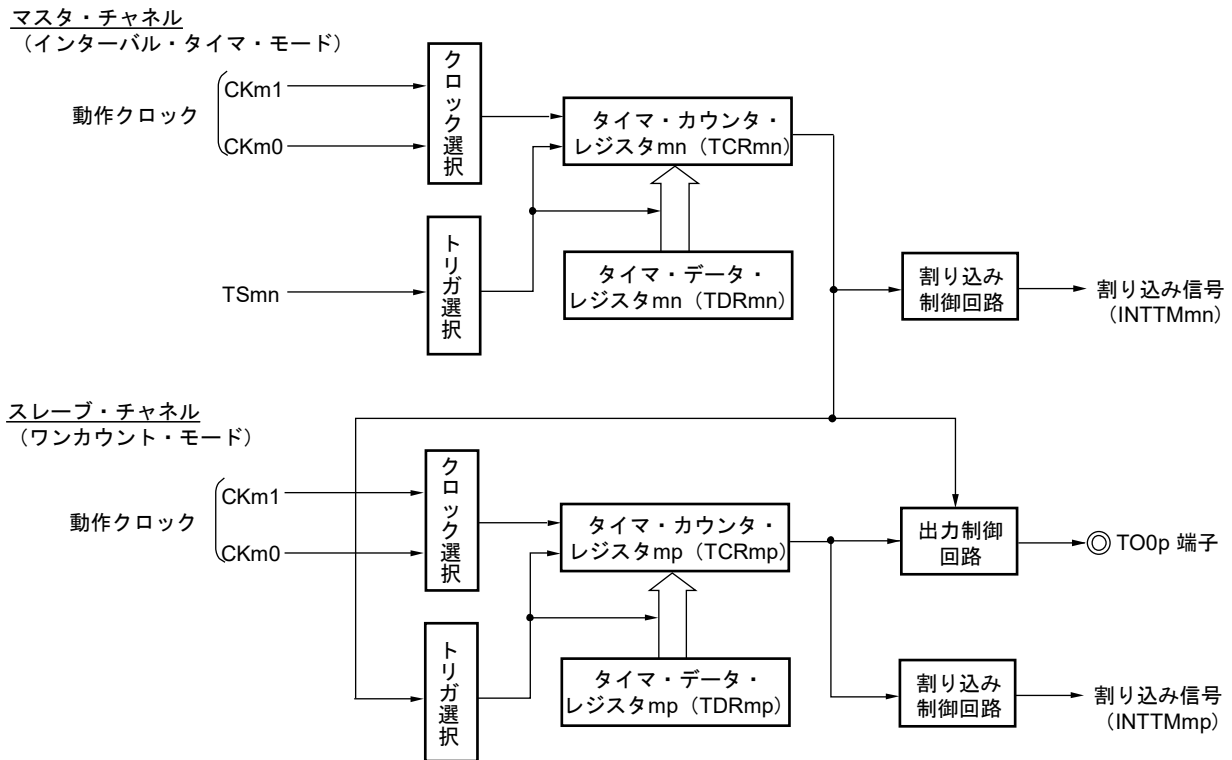
PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TO0p) のデューティとなります。

PWM出力 (TO0p) は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

**注意** マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TO0p端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

**備考** m: ユニット番号 (m = 0), n: マスタ・チャンネル番号 (n = 0, 2, 4, 6)  
p: スレーブ・チャンネル番号 (n < p ≤ 7)

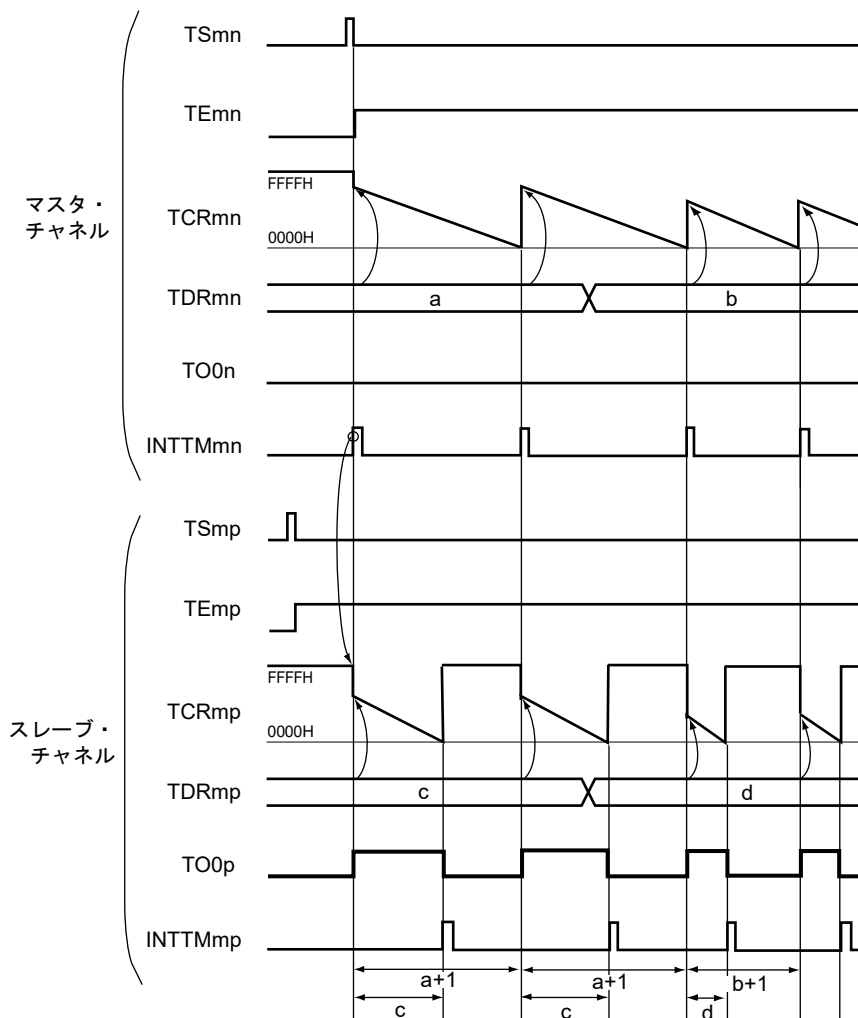
図7-69 PWM機能としての動作のブロック図



**備考** m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-70 PWM機能としての動作の基本タイミング例



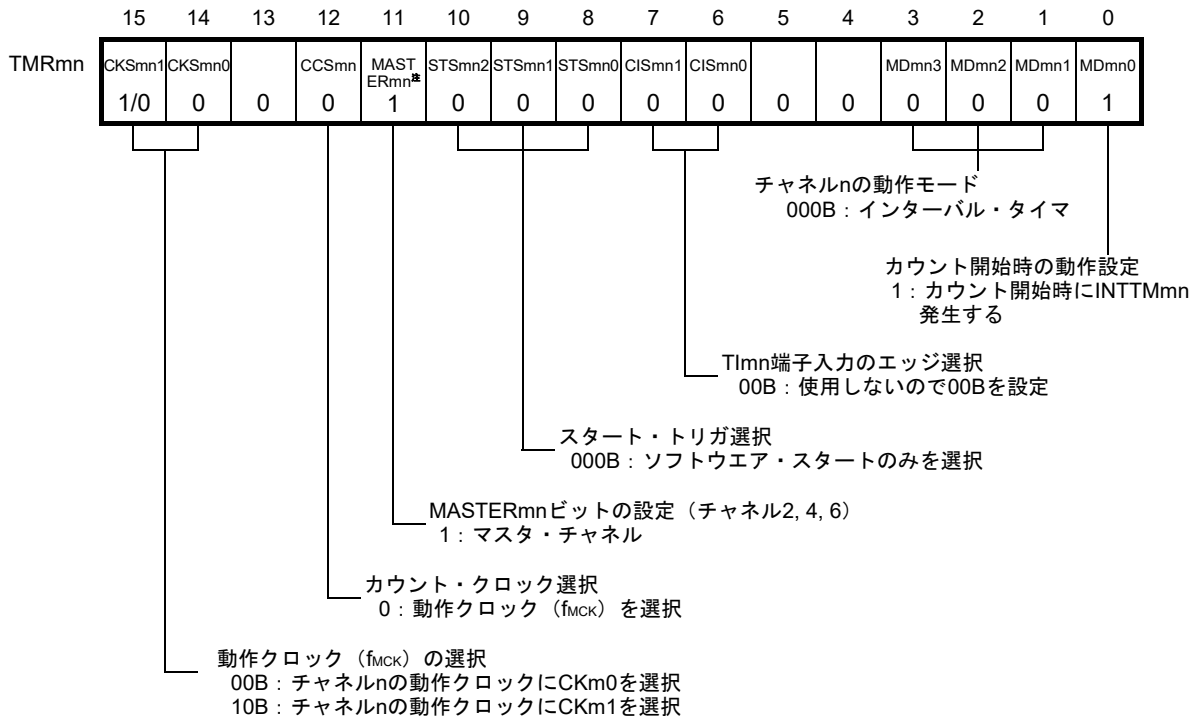
備考1. m : ユニット番号 ( $m = 0$ ) , n : マスタ・チャンネル番号 ( $n = 0, 2, 4, 6$ )

p : スレーブ・チャンネル番号 ( $n < p \leq 7$ )

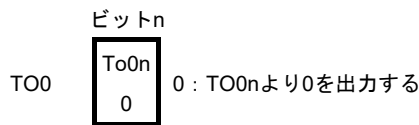
2. TSmn, TSmp : タイマ・チャンネル開始レジスタm (TSm) のビットn, p  
 TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタm (TEm) のビットn, p  
 TCRmn, TCRmp : タイマ・カウンタ・レジスタmn, mp (TCRmn, TCRmp)  
 TDRmn, TDRmp : タイマ・データ・レジスタmn, mp (TDRmn, TDRmp)  
 TO0n, TO0p : TO0n, TO0p端子出力信号

図7-71 PWM機能時（マスタ・チャンネル）のレジスタ設定内容例

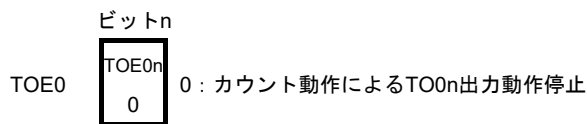
(a) タイマ・モード・レジスタmn (TMRmn)



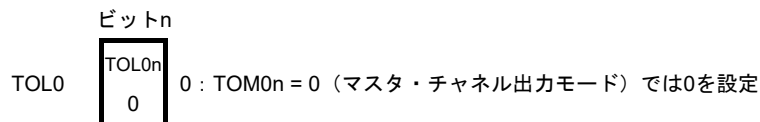
(b) タイマ出力レジスタ0 (TO0)



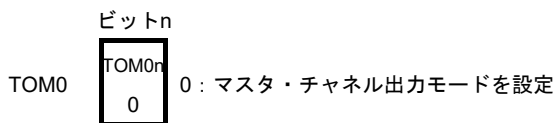
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



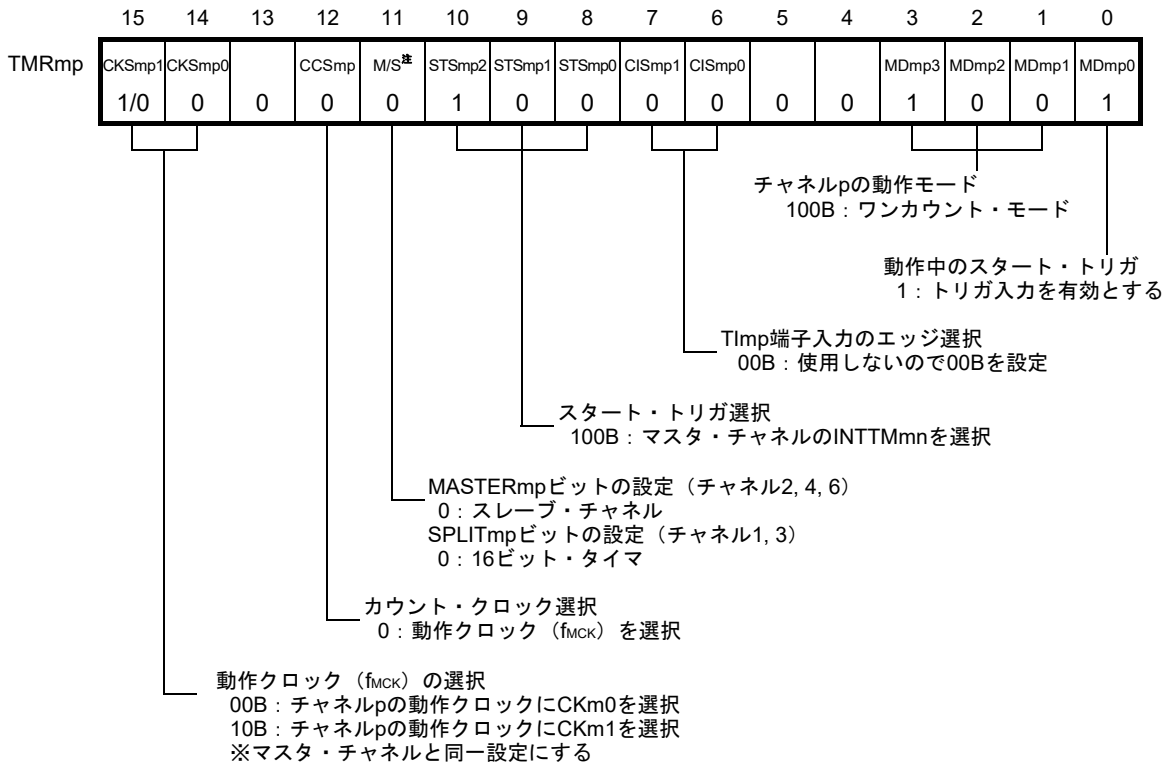
注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図7-72 PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタ0 (TO0)

	ビットp	
TO0	TO0p	0 : TO0pより0を出力
	1/0	1 : TO0pより1を出力

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットp	
TOE0	TOE0p	0 : カウント動作によるTO0p出力動作停止
	1/0	1 : カウント動作によるTO0p出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットp	
TOL0	TOL0p	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)

	ビットp	
TOM0	TOM0p	1 : スレーブ・チャンネル出力モードを設定
	1	

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット

TMRm1, TMRm3の場合 : SPLITmpビット

TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-73 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャンネル 初期設定	使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定 マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタ0 (TOM0) のTOM0pビットに1 (スレーブ・チャンネル出力モード) を設定する	TOmp端子はHi-Z出力状態
	TOL0pビットを設定する TO0pビットを設定し, TO0p出力の初期レベルを確定する  TOE0pビットに1を設定し, TO0pの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0p初期設定レベルが出力される。  チャンネルは動作停止状態なので, TO0pは変化しない TO0p端子はTO0p設定レベルを出力

(注, 備考は次ページにあります。)

図7-73 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOE0p (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmP = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmpレジスタ, TOM0n, TOM0p, TOL0n, TOL0pビットは、設定値変更禁止 TDRmn, TDRmpレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは、常に読み出し可能 TSRmn, TSRmpレジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタm (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmpレジスタはTDRmpレジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、カウントの動作を停止する。 以降、この動作を繰り返す。
動作停止	TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmP = 0になり、カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TO0p出力は初期化されず、状態保持
	スレーブ・チャンネルのTOE0pビットに0を設定し、TO0pビットに値を設定する	TO0p端子はTO0p設定レベルを出力
TAU停止	TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0pビットに0を設定する	TO0p端子出力レベルはポート機能により保持される。
	TO0p端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0pビットが0になり、TO0p端子はポート機能となる)

備考 m: ユニット番号 (m = 0), n: マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p: スレーブ・チャンネル番号 (n < p ≤ 7)

### 7.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{\text{TDRmp (スレーブ1) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ2 [\%]} &= \{\text{TDRmq (スレーブ2) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \end{aligned}$$

**備考** TDRmp (スレーブ1) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合  
 または TDRmq (スレーブ2) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合は、  
 デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタmn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TO0p端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタmp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TO0pの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

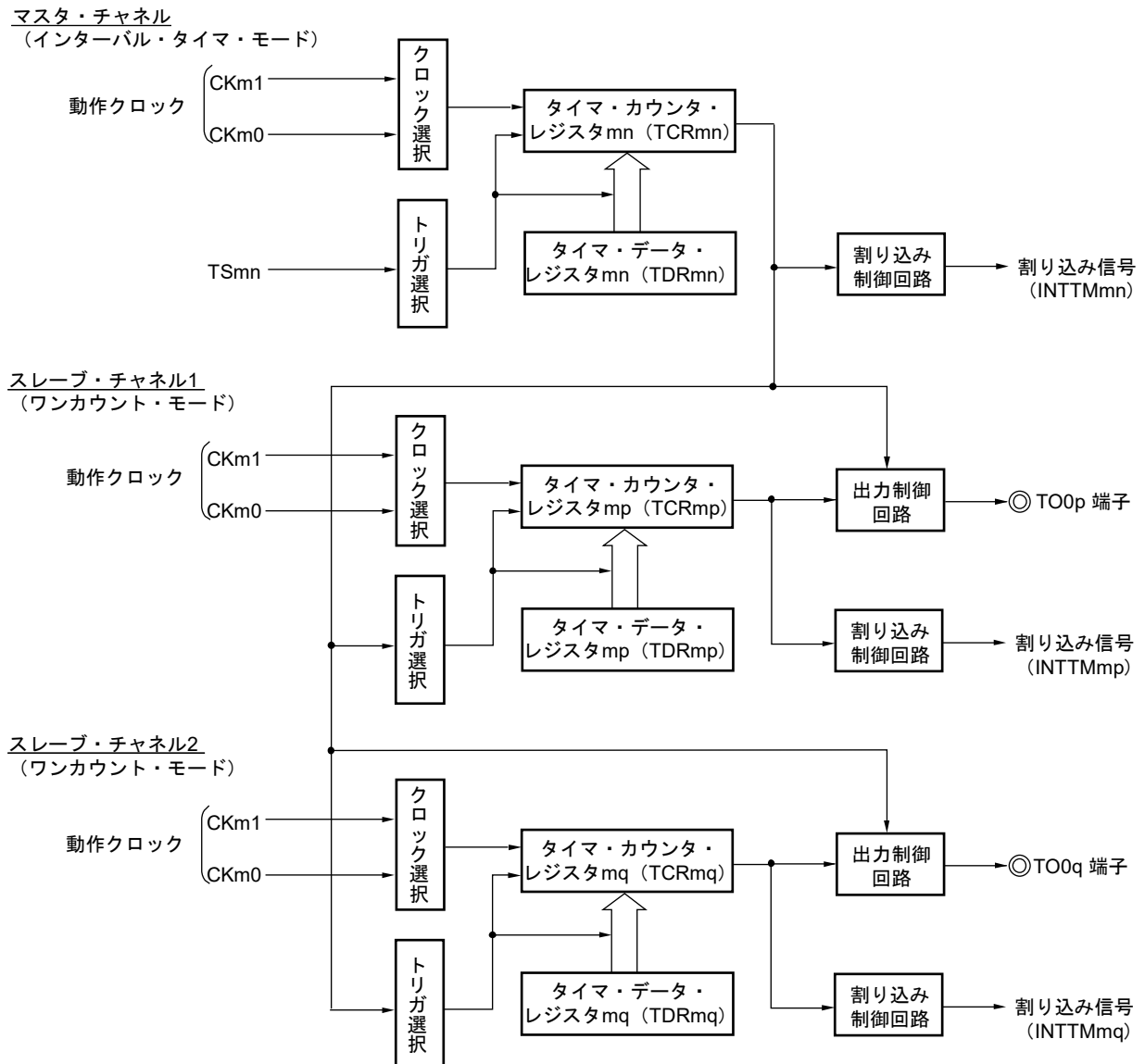
このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

**注意** マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TO0p端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

**備考** m: ユニット番号 (m = 0), n: マスタ・チャンネル番号 (n = 0, 2, 4)  
 p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号  
 n < p < q ≤ 7 (ただしp, qは, n以降の整数)



図7-74 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)

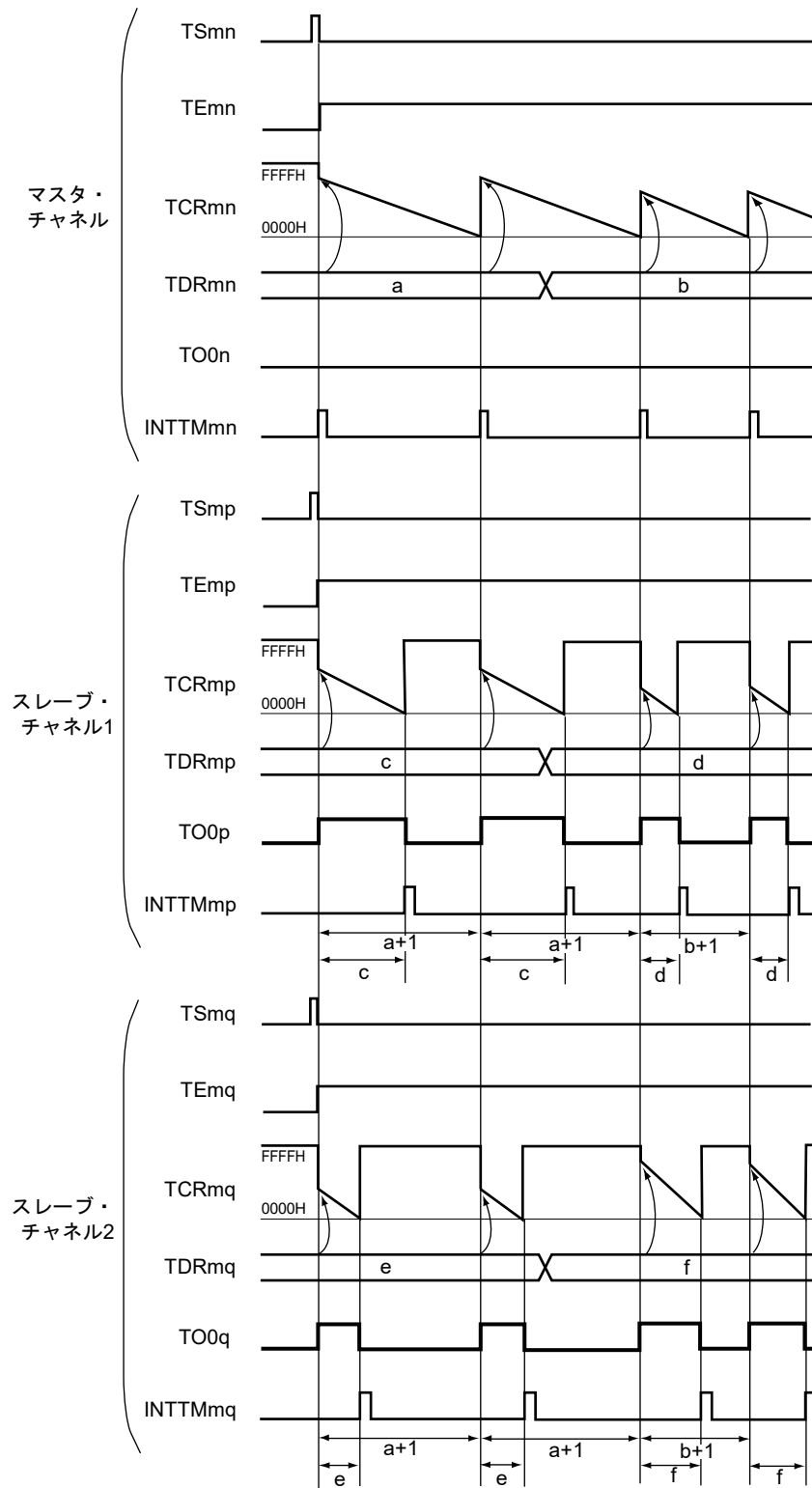


備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

n < p < q ≤ 7 (ただし, p, qは, n以降の整数)

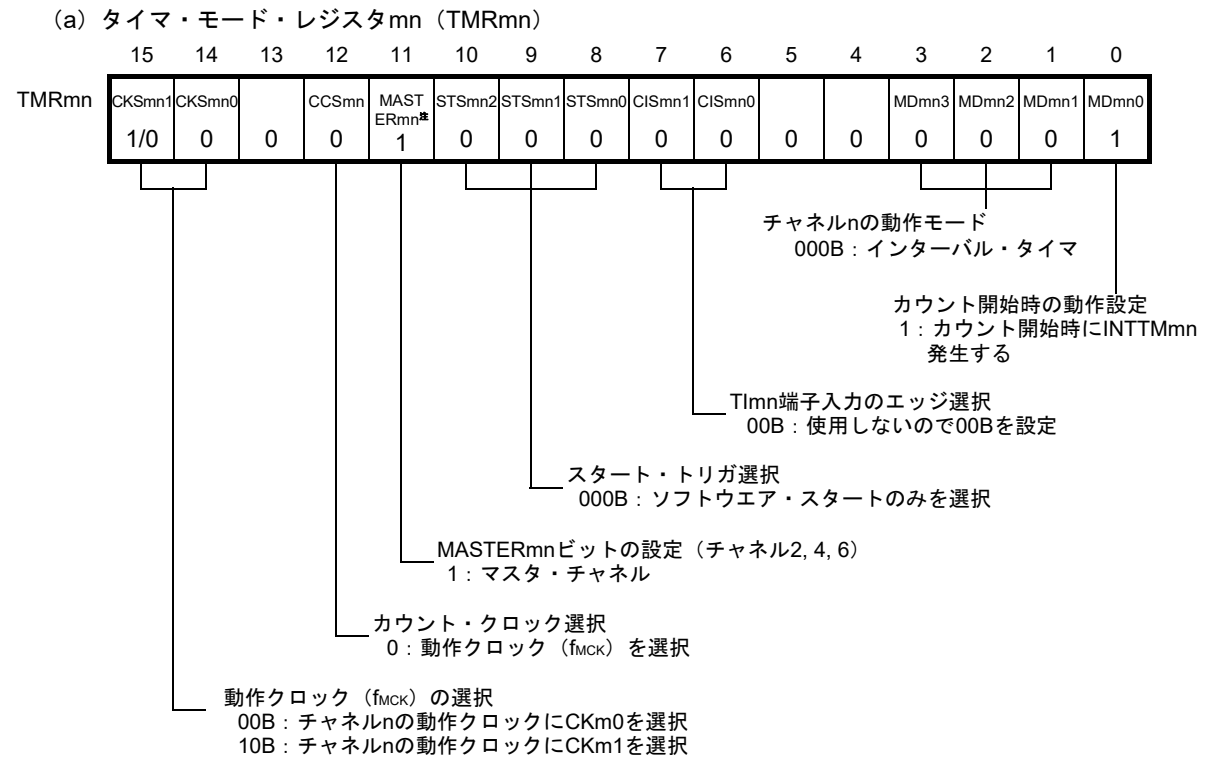
図7-75 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合)



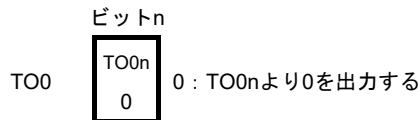
(備考は次ページにあります。)

- 備考1.**  $m$  : ユニット番号 ( $m = 0$ ) ,  $n$  : マスタ・チャンネル番号 ( $n = 0, 2, 4$ )  
 $p$  : スレーブ・チャンネル番号,  $q$  : スレーブ・チャンネル番号  
 $n < p < q \leq 7$  (ただし  $p, q$  は,  $n$ 以降の整数)
- 2.**  $TS_{mn}, TS_{mp}, TS_{mq}$  : タイマ・チャンネル開始レジスタ  $m$  ( $TS_m$ ) のビット  $n, p, q$   
 $TE_{mn}, TE_{mp}, TE_{mq}$  : タイマ・チャンネル許可ステータス・レジスタ  $m$  ( $TE_m$ ) のビット  $n, p, q$   
 $TCR_{mn}, TCR_{mp}, TCR_{mq}$  : タイマ・カウンタ・レジスタ  $mn, mp, mq$  ( $TCR_{mn}, TCR_{mp}, TCR_{mq}$ )  
 $TDR_{mn}, TDR_{mp}, TDR_{mq}$  : タイマ・データ・レジスタ  $mn, mp, mq$  ( $TDR_{mn}, TDR_{mp}, TDR_{mq}$ )  
 $TO0n, TO0p, TO0q$  :  $TO0n, TO0p, TO0q$  端子出力信号

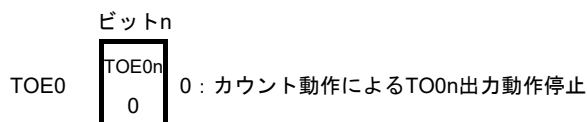
図7-76 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例



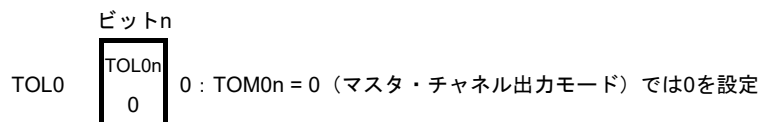
(b) タイマ出力レジスタ0 (TO0)



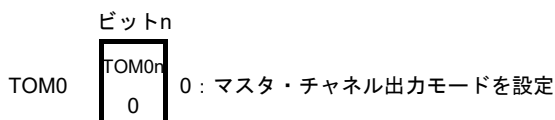
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



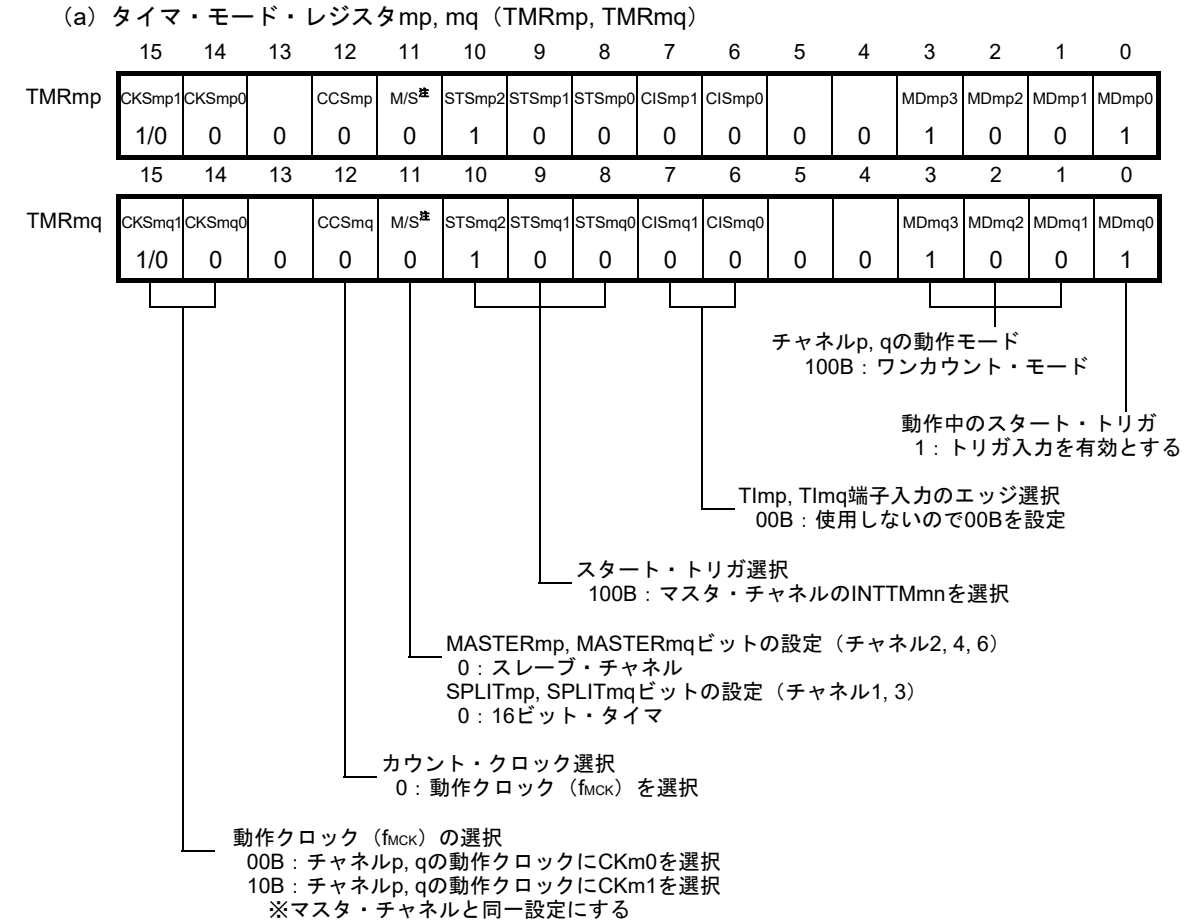
(e) タイマ出力モード・レジスタ0 (TOM0)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1  
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4)

図7-77 多重PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例（2種類のPWMを出力する場合）



(b) タイマ出力レジスタ0 (TO0)

	ビットq	ビットp	
TO0	TO0q	TO0p	0 : TO0p, TO0qより0を出力する
	1/0	1/0	1 : TO0p, TO0qより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットq	ビットp	
TOE0	TOE0q	TOE0p	0 : カウント動作によるTO0p, TO0q出力動作停止
	1/0	1/0	1 : カウント動作によるTO0p, TO0q出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットq	ビットp	
TOL0	TOL0q	TOL0p	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1/0	1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)

	ビットq	ビットp	
TOM0	TOM0q	TOM0p	
	1	1	1 : スレーブ・チャンネル出力モードを設定

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmp, MASTERmqビット  
 TMRm1, TMRm3の場合 : SPLITmp, SPLITmqビット  
 TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0) , n : マスタ・チャンネル番号 (n = 0, 2, 4)  
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号  
 n < p < q ≤ 7 (ただしp, qは, n以降の整数)

図7-78 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャンネル 初期設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタ0 (TOM0) のTOM0p, TOM0qビットに1 (スレーブ・チャンネル出力モード) を設定する TOL0p, TOL0qビットを設定する TO0p, TO0qビットを設定し, TO0p, TO0q出力の初期レベルを確定する	TO0p, TO0q端子はHi-Z出力状態  ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0p, TO0q初期設定レベルが出力される。
	TOE0p, TOE0qビットに1を設定し, TO0p, TO0qの動作を許可	チャンネルは動作停止状態なので, TO0p, TO0qは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する	TO0p, TO0q端子はTO0p, TO0q設定レベルを出力
動作開始	(動作再開時のみTOE0p, TOE0q (スレーブ) ビットに1を設定する) タイマ・チャンネル開始レジスタm (TSM) のTSMn (マスタ), TSMp, TSMq (スレーブ) ビットに同時に1を設定する TSMn, TSMp, TSMqビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTmknが発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。

(備考は次ページにあります。)

動作再開 (次ページから)

図7-78 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）

動作再開（前ページから）

	ソフトウェア操作	ハードウェアの状態
動作中	TMRmn, TMRmp, TMRmqレジスタ, TOM0n, TOM0p, TOM0q, TOL0n, TOL0p, TOL0qビットは、設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTO0q出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO0q出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
動作停止	TTmn (マスタ), TTmp, TTmq (スレーブ) ビットに同時に1を設定する → TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmmp, TEmmq = 0になり、カウント動作停止 TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止 TO0p, TO0q出力は初期化されず、状態保持
	スレーブ・チャンネルのTOE0p, TOE0qビットに0を設定し、TO0p, TO0qビットに値を設定する →	TO0p, TO0q端子はTO0p, TO0q設定レベルを出力
TAU停止	TO0p, TO0q端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0p, TO0qビットに0を設定する → TO0p, TO0q端子の出力レベルを保持不要の場合 設定不要	TO0p, TO0q端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0p, TO0qビットが0になり、TO0p, TO0q端子はポート機能となる)

備考 m: ユニット番号 (m = 0), n: マスタ・チャンネル番号 (n = 0, 2, 4)

p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号

n < p < q ≤ 7 (ただし, p, qは, n以降の連続した整数)

## 7.10 タイマ・アレイ・ユニットの使用時の注意事項

### 7.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられている事があります。  
このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。  
詳細は、5.5 兼用機能使用時のレジスタの設定を参照してください。



## 第8章 リアルタイム・クロック

### 8.1 リアルタイム・クロックの機能

リアルタイム・クロックには、次のような機能があります。

- 年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- 定周期割り込み機能（周期：0.5秒、1秒、1分、1時間、1日、1月）
- アラーム割り込み機能（アラーム：曜日・時・分）
- 1 Hzの端子出力機能

リアルタイム・クロック割り込み信号（INTRTC）を、STOPモードからのウェイク・アップやA/DコンバータのSNOOZEモードのトリガに使えます。

**注意** リアルタイム・クロックの動作クロックにサブシステム・クロック（ $f_{SUB} = 32.768$  kHz）を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック（ $f_{IL} = 15$  kHz）を選択時は、定周期割り込み機能のみ使用できます。ただし、 $f_{IL}$ 選択時の定周期割り込み間隔は、定周期（RTCC0レジスタで選択した値） $\times f_{SUB}/f_{IL}$ で算出される値になります。

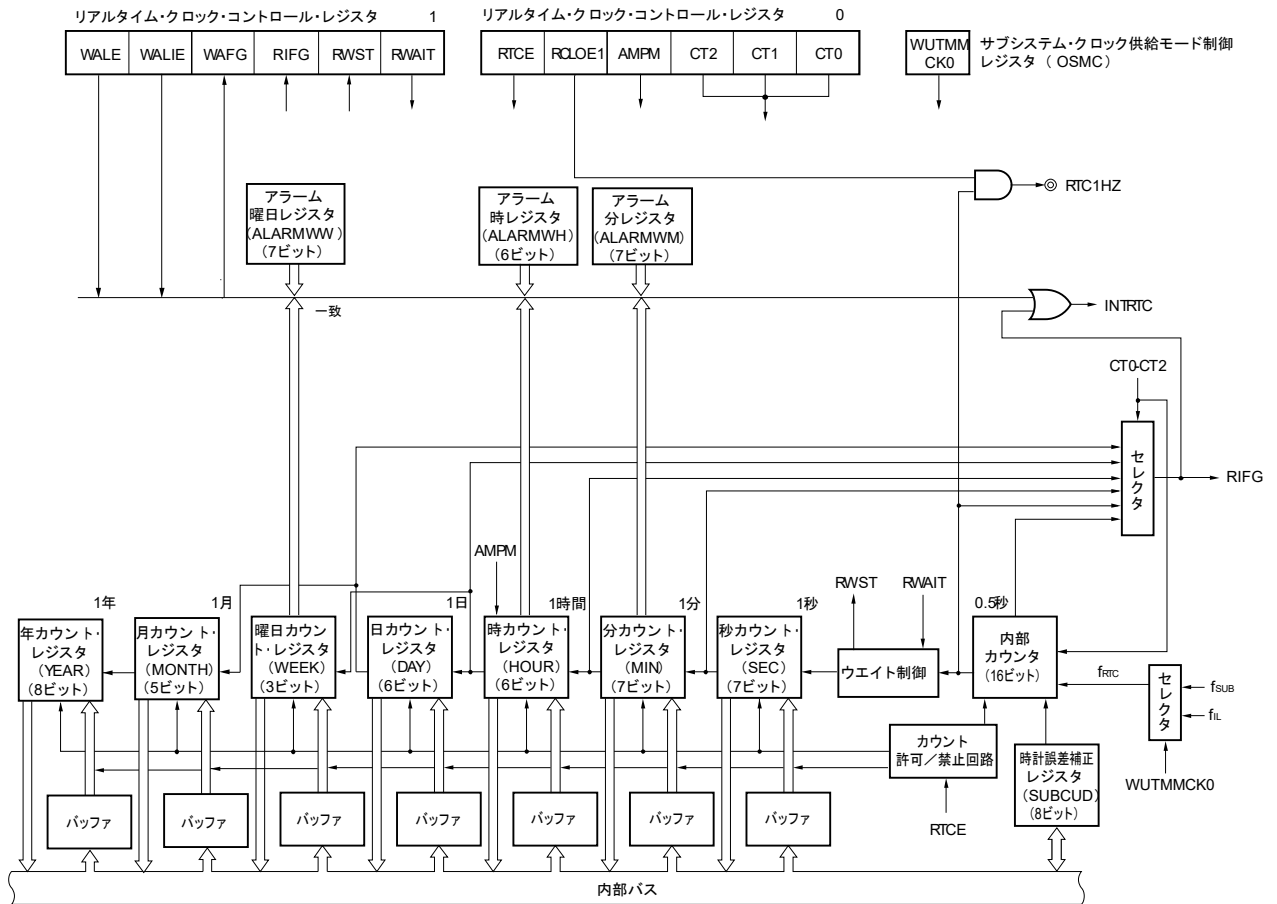
### 8.2 リアルタイム・クロックの構成

リアルタイム・クロックは、次のハードウェアで構成されています。

表8-1 リアルタイム・クロックの構成

項目	構成
カウンタ	内部カウンタ（16ビット）
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	サブシステム・クロック供給モード制御レジスタ（OSMC）
	リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
	リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
	秒カウント・レジスタ（SEC）
	分カウント・レジスタ（MIN）
	時カウント・レジスタ（HOUR）
	日カウント・レジスタ（DAY）
	曜日カウント・レジスタ（WEEK）
	月カウント・レジスタ（MONTH）
	年カウント・レジスタ（YEAR）
	時計誤差補正レジスタ（SUBCUD）
	アラーム分レジスタ（ALARMWM）
	アラーム時レジスタ（ALARMWH）
アラーム曜日レジスタ（ALARMWW）	

図8-1 リアルタイム・クロックのブロック図



**注意** リアルタイム・クロックの動作クロックにサブシステム・クロック ( $f_{SUB} = 32.768 \text{ kHz}$ ) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック ( $f_{IL} = 15 \text{ kHz}$ ) を選択時は、定周期割り込み機能のみ使用できます。ただし、 $f_{IL}$  選択時の定周期割り込み間隔は、定周期 (RTCC0レジスタで選択した値)  $\times f_{SUB}/f_{IL}$  で算出される値になります。

### 8.3 リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)
- ポート・モード・レジスタ3 (PM3)
- ポート・レジスタ3 (P3)

### 8.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは、必ずビット7 (RTCEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック (RTC) , 12ビット・インターバル・タイマの入カクロック供給の制御
0	入力クロック供給停止 ・ リアルタイム・クロック (RTC) , 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・ リアルタイム・クロック (RTC) , 12ビット・インターバル・タイマはリセット状態
1	入力クロック供給 ・ リアルタイム・クロック (RTC) , 12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

**注意1.** リアルタイム・クロックを使用する際には、カウント・クロック (f<sub>RTC</sub>) が発振安定した状態で、必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。RTCEN = 0の場合は、リアルタイム・クロックの制御レジスタへの書き込みは無視され、読み出し値は初期値となります (サブシステム・クロック供給モード制御レジスタ (OSMC) , ポート・モード・レジスタ3 (PM3) , ポート・レジスタ3 (P3) は除く)。

- ・リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

2. サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 1に設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイム・クロック、12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給を停止することが可能です。
3. ビット1, 6 には必ず“0”を設定してください。

### 8.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットでリアルタイム・クロックのカウント・クロック (f<sub>RTC</sub>) を選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第6章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-3 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック、12ビット・インターバル・タイマの動作クロック (f <sub>RTC</sub> ) の選択
0	サブシステム・クロック (f <sub>SUB</sub> )
1	低速オンチップ・オシレータ・クロック (f <sub>L</sub> )

**注意** リアルタイム・クロックの動作クロックにサブシステム・クロック (f<sub>SUB</sub> = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (f<sub>L</sub> = 15 kHz) を選択時は、定周期割り込み機能のみ使用できます。

ただし、f<sub>L</sub>選択時の定周期割り込み間隔は、定周期 (RTCC0レジスタで選択した値) × f<sub>SUB</sub>/f<sub>L</sub>で算出される値になります。

### 8.3.3 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック動作の開始/停止, RTC1HZ端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図8-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・クロックの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可

AMPM	12時間制/24時間制の選択
0	12時間制 (午前/午後を表示)
1	24時間制

・ AMPMビットの値を変更する場合は, RWAITビット (リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のビット0) = 1にしてから書き換えてください。AMPMビットの値を変更すると, 時カウント・レジスタ (HOUR) の値は設定した時間制に対応した値に変更されます。

・ 時間桁表示表を表8-2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウントアップに同期)
0	1	0	1秒に1度 (秒カウントアップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	×	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0ビットの値を変更する場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後は, RIFGフラグ, RTCIFフラグをクリアしてから割り込み処理許可にしてください。

**注意1.** RTCE = 1のときにRCLOE1ビットを変更しないでください。

**2.** RTCE = 0のときにRCLOE1=1に設定しても1Hz出力されません。

**備考** × : don't care

### 8.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能, カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図8-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
<p>カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後にWAFGフラグ, RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1レジスタのWALIEフラグ, アラーム分レジスタ (ALARMWWM), アラーム時レジスタ (ALARMWH), アラーム曜日レジスタ (ALARMWW)) を設定する場合, WALEビットを一致動作無効 “0” にしてください。</p>	

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
<p>アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり, アラーム一致検出し, fRTCの1クロック後に “1” となります。 “0” を書き込むことでクリアされ, “1” の書き込みは無効となります。</p>	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
<p>定周期割り込み発生ステータス・フラグです。定周期割り込み発生により “1” となります。 “0” を書き込むことでクリアされ, “1” の書き込みは無効となります。</p>	

図8-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RWST	リアルタイム・クロックのウエイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAITビットの設定が有効であるかを示すステータスです。  
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・クロックのウエイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。  
カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。  
内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。  
RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで最大 $f_{RTC}$ の1クロックの時間がかかります。<sup>※1,2</sup>  
内部カウンタ（16ビット）のオーバーフローがRWAIT = 1のときに起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。  
ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

- 注1.** RTCE = 1に設定したあと、 $f_{RTC}$  の1クロック時間内でRWAIT = 1とした場合、RWSTビットが“1”になるまで動作クロック（ $f_{RTC}$ ）の2クロック時間がかかる場合があります。
- 2.** スタンバイ（HALTモード、STOPモード、SNOOZEモード）から復帰したあと、 $f_{RTC}$  の1クロック時間内でRWAIT = 1とした場合、RWSTビットが“1”になるまでに、動作クロック（ $f_{RTC}$ ）の2クロック時間がかかる場合があります。

**注意** RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

- 備考1.** 定周期割り込みとアラーム一致割り込みは、同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで、どちらの割り込みが発生したかを判断することができます。
- 2.** 秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。



### 8.3.5 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。

内部カウンタ (16ビット) からのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大f<sub>RTC</sub>の2クロック後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-6 秒カウント・レジスタ (SEC) のフォーマット

アドレス : FFF92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

**備考** 秒カウント・レジスタ (SEC) へ書き込みを行うと内部カウンタ (16ビット) はクリアされます。

**注意** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

### 8.3.6 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大f<sub>RTC</sub>の2クロック後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-7 分カウント・レジスタ (MIN) のフォーマット

アドレス : FFF93H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

**注意** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

### 8.3.7 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 $f_{RTC}$ の2クロック後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のビット3 (AMPM) で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると、HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12HIになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

図8-8 時カウント・レジスタ (HOUR) のフォーマット

アドレス : FFF94H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

- 注意1.** HOURレジスタのビット5 (HOUR20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) /PM (1) を示します。
- 2.** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表8-2に示します。

表8-2 時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前／午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

### 8.3.8 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り、日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップします。

カウンタは、次に示すようにカウントします。

- 01-31 (1, 3, 5, 7, 8, 10, 12月)
- 01-30 (4, 6, 9, 11月)
- 01-29 (2月 うるう年)
- 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大f<sub>RTC</sub>の2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図8-9 日カウント・レジスタ (DAY) のフォーマット

アドレス : FFF96H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

**注意** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

### 8.3.9 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大f<sub>RTC</sub>の2クロック後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-10 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : FFF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

**注意1.** 曜日カウント・レジスタ (WEEK) には、月カウント・レジスタ (MONTH) および日カウント・レジスタ (DAY) に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

2. カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

### 8.3.10 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進) までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 $f_{RTC}$ の2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図8-11 月カウント・レジスタ (MONTH) のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

**注意** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

### 8.3.11 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH) からのオーバフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大 $f_{RTC}$ の2クロック後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-12 年カウント・レジスタ (YEAR) のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

**注意** カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、8.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

### 8.3.12 時計誤差補正レジスタ (SUBCUD)

内部カウンタ (16ビット) から秒カウンタ・レジスタ (SEC) へオーバーフローする値 (基準値 : 7FFFH) を変化させることにより、時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-13 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス : FFF99H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。	
・ DEV = 0設定時 : SEC = 00H, 20H, 40Hの期間	
・ DEV = 1設定時 : SEC = 00Hの期間	

F6	時計誤差補正值の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (F5, F4, F3, F2, F1, F0) + 1 } × 2だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。	
/F5~/F0は、ビット反転した値 (111100のときは000011) となります。	
補正值の範囲 : (F6=0のとき) 2, 4, 6, 8, . . . 120, 122, 124	
(F6=1のとき) -2, -4, -6, -8, . . . -120, -122, -124	

次に、時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	-189.2 ppm ~ 189.2 ppm	-63.1 ppm ~ 63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

**備考** 補正範囲が、-63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

### 8.3.13 アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**注意** 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図8-14 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス : FFF9AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

### 8.3.14 アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

**注意** 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図8-15 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス : FFF9BH リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

**注意** ALARMWHレジスタのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) /PM (1) を示します。



### 8.3.15 アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-16 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス : FFF9CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜 日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10 時	1 時	10 分	1 分	10 時	1 時	10 分	1 分
	W	W	W	W	W	W	W								
	0	1	2	3	4	5	6								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

### 8.3.16 ポート・モード・レジスタ3 (PM3)

PM3レジスタは、1ビット・メモリ・操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

RTC1Hz端子の1Hz出力として使用する時は、PM30ビットに"0"を設定してください。

図8-17 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31 <sup>注</sup>	PM30

**注** 内部端子のビットです。リセット解除後はソフトウェアで出力モード（ポート・レジスタとポート・モード・レジスタに0を設定）に設定する必要があります。

### 8.3.17 ポート・レジスタ3 (P3)

P3レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

RTC1Hz端子へ1Hz出力として使用する時は、P30ビットに"0"を設定してください。

図8-18 ポート3 (P3) のフォーマット

アドレス : FFF03H リセット時 : 00H R/W

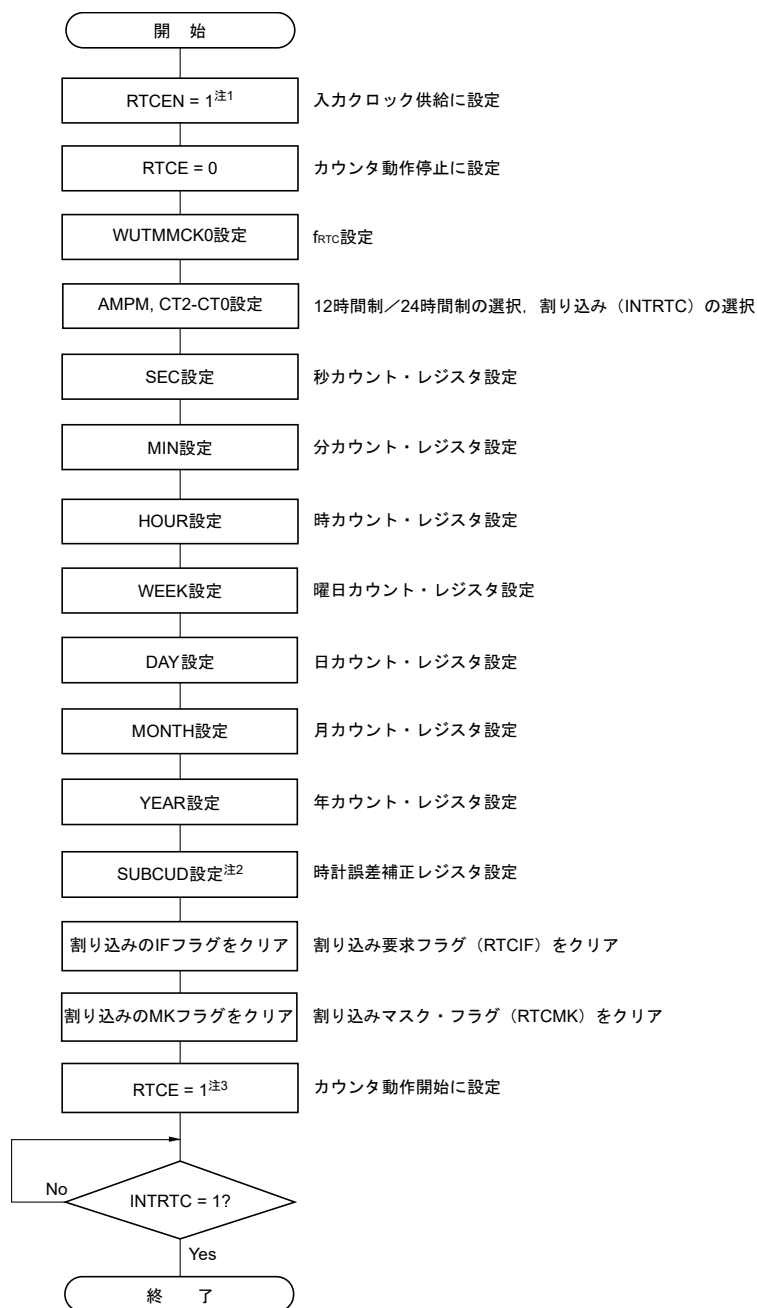
略号	7	6	5	4	3	2	1	0
P3	0	0	0	0	0	0	P31 <sup>注</sup>	P30

**注** 内部端子のビットです。リセット解除後はソフトウェアで出力モード（ポート・レジスタとポート・モード・レジスタに0を設定）に設定する必要があります。

## 8.4 リアルタイム・クロックの動作

### 8.4.1 リアルタイム・クロックの動作開始

図8-19 リアルタイム・クロックの動作開始手順



**注1.** カウント・クロック (f<sub>RTC</sub>) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

**2.** 時計誤差補正する必要がある場合のみ。補正値の算出方法は、8.4.6 リアルタイム・クロックの時計誤差補正例を参照してください。

**3.** RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は、8.4.2 動作開始後のHALT/STOPモードへの移行の手順を確認してください。

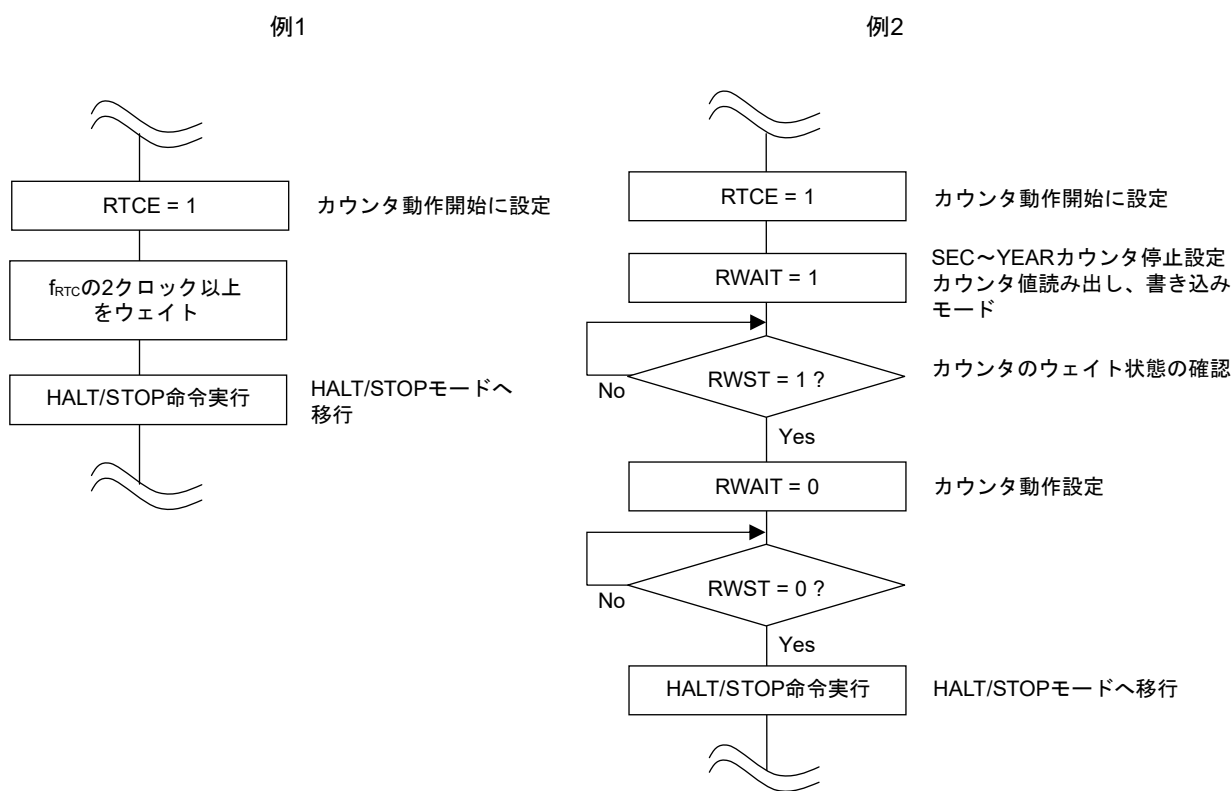
### 8.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、INTRTC割り込みの発生以降にHALT/STOPモードへ移行する場合は、これらの処理は必要ありません。

- RTCE = 1に設定してから、カウント・クロック ( $f_{RTC}$ ) の2クロック分以上経過後にHALT/STOPモードへ移行する（図8-20 例1参照）。
- RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する（図8-20 例2参照）。

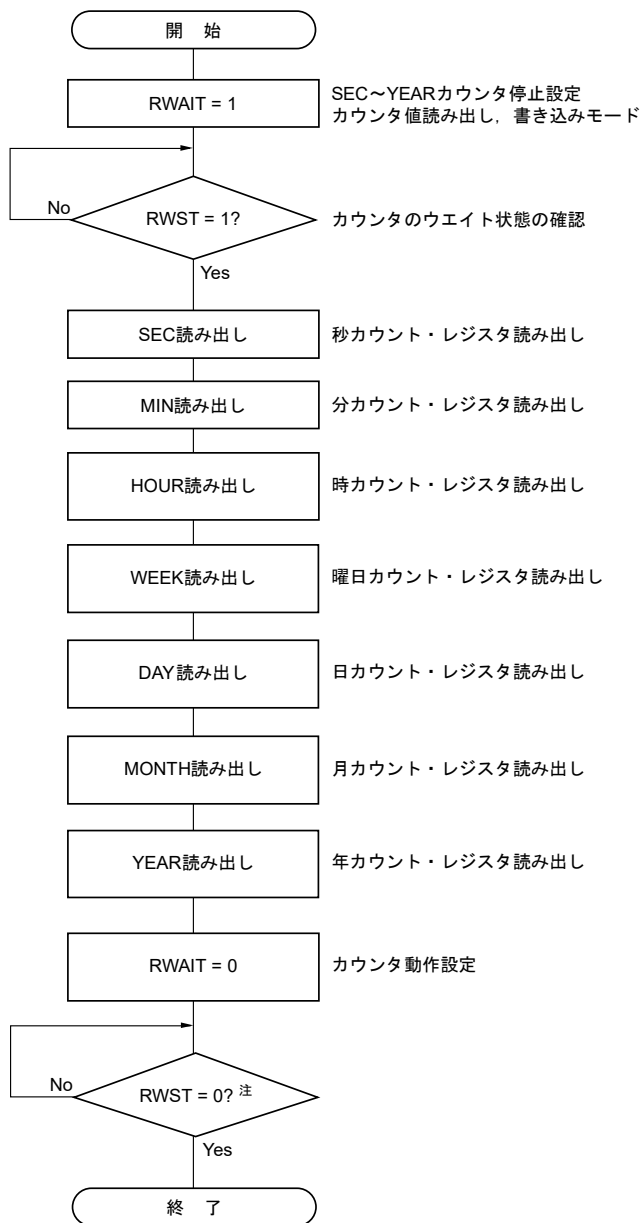
図8-20 RTCE = 1に設定後のHALT/STOPモードへの移行手順



## 8.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは、最初にRWAIT = 1にしてから行ってください。  
 カウンタの読み出し／書き込み終了後は、RWAIT = 0にしてください。

図8-21 リアルタイム・クロックの読み出し手順

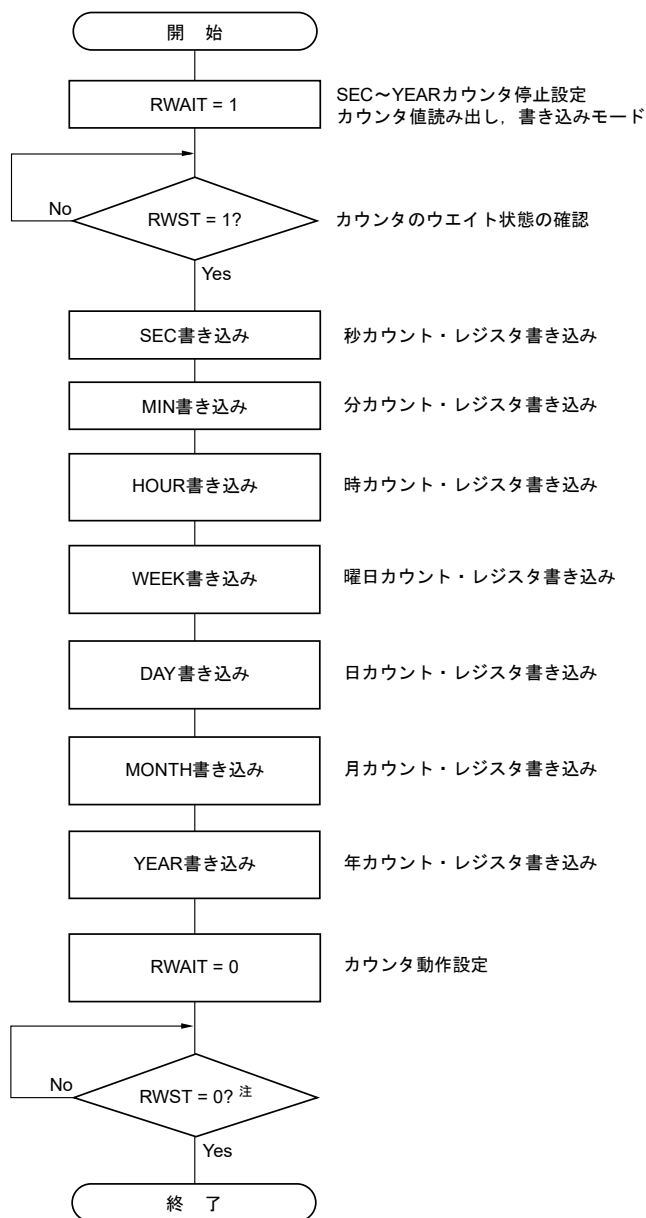


**注** STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

**注意** RWAIT = 1からRWAIT = 0までの処理を1秒以内で行ってください。

**備考** 秒カウント・レジスタ (SEC)，分カウント・レジスタ (MIN)，時カウント・レジスタ (HOUR)，曜日カウント・レジスタ (WEEK)，日カウント・レジスタ (DAY)，月カウント・レジスタ (MONTH)，年カウント・レジスタ (YEAR) の読み出しの順番に制限はありません。  
 また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出しても構いません。

図8-22 リアルタイム・クロックの書き込み手順



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

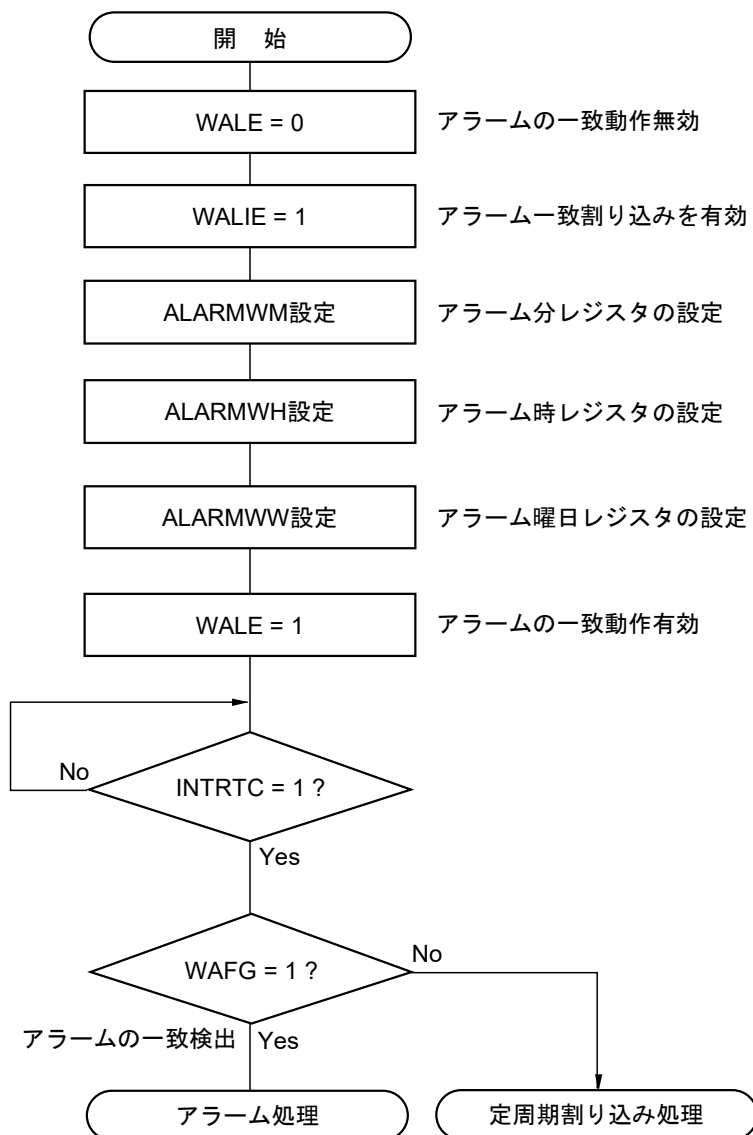
2. カウンタ動作中 (RTCE = 1) にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

備考 秒カウント・レジスタ (SEC), 分カウント・レジスタ (MIN), 時カウント・レジスタ (HOUR), 曜日カウント・レジスタ (WEEK), 日カウント・レジスタ (DAY), 月カウント・レジスタ (MONTH), 年カウント・レジスタ (YEAR) の書き込みの順番に制限はありません。  
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

## 8.4.4 リアルタイム・クロックのアラーム設定

アラーム時刻設定は、最初にWALE = 0（アラーム動作無効）にしてから行ってください。

図8-23 アラーム処理手順

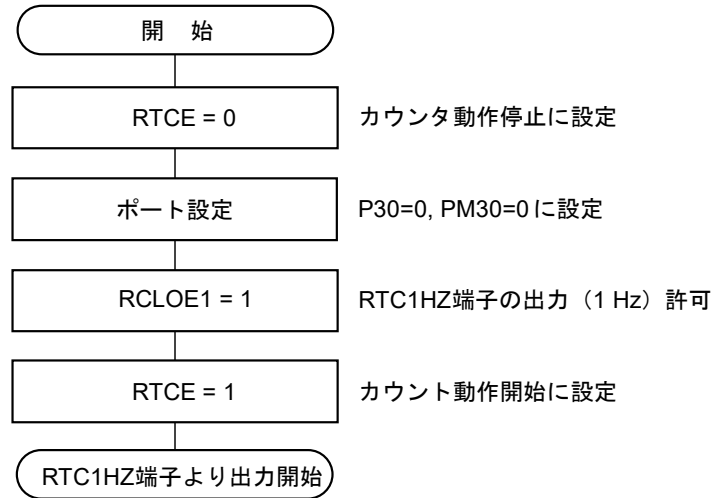


**備考1.** アラーム分レジスタ (ALARMWWM) , アラーム時レジスタ (ALARMWH) , アラーム曜日レジスタ (ALARMWW) の書き込みの順番に制限はありません。

- 2.** 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

## 8.4.5 リアルタイム・クロックの1 Hz出力

図8-24 1 Hz出力の設定手順



**注意** カウント・クロック ( $f_{SUB}$ ) が発振安定状態において、最初に  $RTCEN = 1$  の設定を行ってください。



### 8.4.6 リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

#### 補正値の算出方法例

内部カウンタ（16ビット）のカウンタ値を補正する際の補正値は、次の式で算出できます。

補正範囲が、 $-63.1$  ppm以下または $63.1$  ppm以上のときは、 $DEV = 0$ を設定してください。

( $DEV = 0$ の場合)

$$\text{補正値}^{\#} = \text{1分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$$

( $DEV = 1$ の場合)

$$\text{補正値}^{\#} = \text{1分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

**注** 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

$$(\text{F6} = 0 \text{の場合}) \text{補正値} = \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) - 1 \} \times 2$$

$$(\text{F6} = 1 \text{の場合}) \text{補正値} = - \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) + 1 \} \times 2$$

( $\text{F6}, \text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0} = (*, 0, 0, 0, 0, 0, *)$ ) のときは、時計誤差補正を行いません。\*は0または1です。

$\text{F5} \sim \text{F0}$ は、ビット反転した値 (111100のときは000011) となります。

- 備考1.** 補正値は、2, 4, 6, 8, ……120, 122, 124, または-2, -4, -6, -8, ……-120, -122, -124です。
- 2.** 発振周波数とは、カウンタ・クロック ( $f_{\text{RTC}}$ ) の値です。  
時計誤差補正レジスタが初期値 (00H) 時のRTC1HZ端子の出力周波数  $\times 32768$  で求めることができます。
- 3.** ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

**補正例①**

32772.3 Hzから32768 Hz (32772.3 Hz−131.2 ppm) への補正例

**【発振周波数の測定】**

各製品の発振周波数はPCLBUZ0端子から約32.768 kHzを出力するか、時計誤差補正レジスタ (SUBCUD) が初期値 (00H) 時にRTC1HZ端子から約1 Hzを出力して測定します。

**注** RTC1Hz出力の設定手順は、8.4.5 リアルタイム・クロックの1 Hz出力を、PCLBUZ0端子から約32 kHzの出力の設定手順は、10.4 クロック出力／ブザー出力制御回路の動作を参照してください。

**【補正値の算出】**

(PCLBUZ0端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz−131.2 ppm) とすると、−131.2 ppmは補正範囲が−63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= 1\text{分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

**【(F6~F0) への設定値の算出】**

(補正値 = 86の場合)

補正値が0以上 (遅くする場合) では、F6 = 0とします。

(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

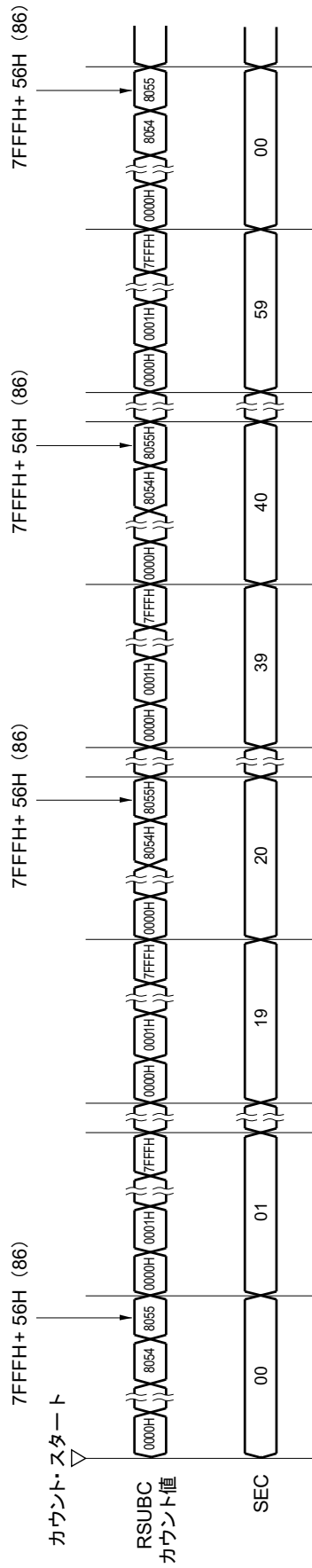
$$\begin{aligned} \{ (F5, F4, F3, F2, F1, F0) - 1 \} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz−131.2 ppm) への補正の場合、

DEV = 0, 補正値 = 86 (SUBCUDレジスタのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の補正動作を図8-25に示します。

図8-25 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の補正動作



**補正例②**

32767.4 Hzから32768 Hz (32767.4 Hz+18.3 ppm) への補正例

**【発振周波数の測定】**

各製品の発振周波数を、時計誤差補正レジスタ (SUBCUD) が初期値 (00H) 時にRTC1HZ端子から約1 Hz を出力して測定します。

**注** RTC1Hz出力の設定手順は、8.4.5 リアルタイム・クロックの1Hz出力を参照してください。

**【補正値の算出】**

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \approx 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz+18.3 ppm) とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} = \text{1分間の補正カウント数} &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

**【(F6~F0) への設定値の算出】**

(補正値 = -36の場合)

補正値が0以下 (速くする場合) では、F6 = 1とします。

(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

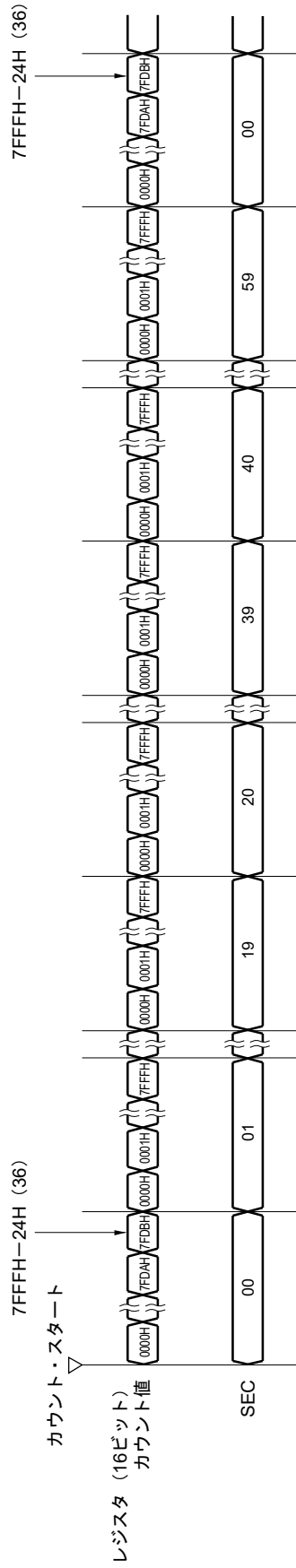
$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4Hz+18.3 ppm) への補正の場合、

DEV = 1, 補正値 = -36 (SUBCUDレジスタのビット6-0: 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作を図8-26に示します。

図8-26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の補正動作



## 第9章 12ビット・インターバルタイマ

### 9.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み（INTIT）を発生します。STOPモードからのウエイク・アップや、A/DコンバータのSNOOZEモードのトリガに使えます。

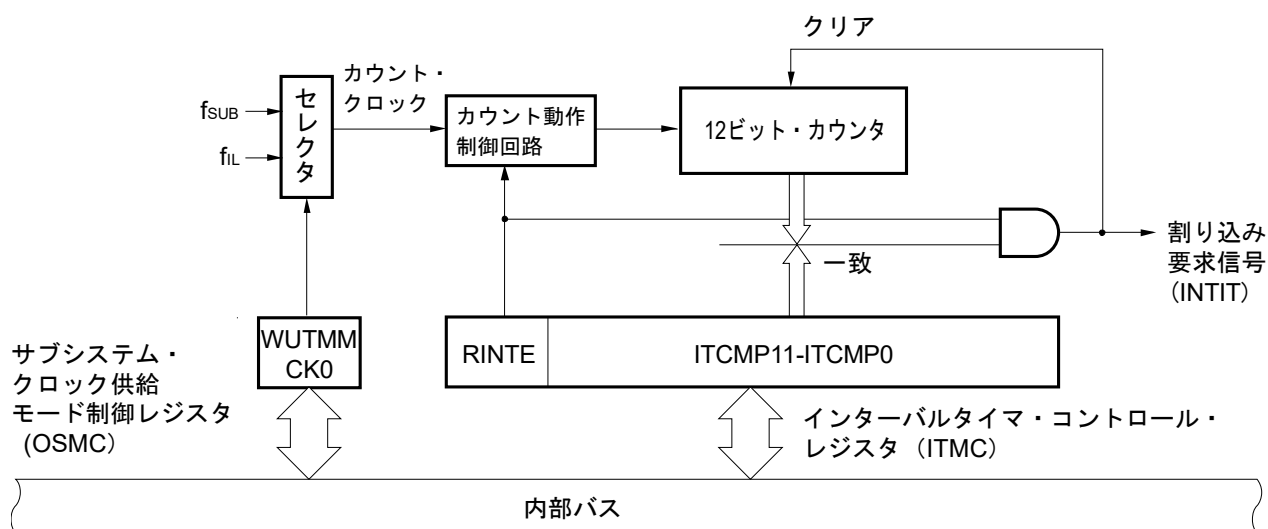
### 9.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表9-1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	サブシステム・クロック供給モード制御レジスタ（OSMC）
	インターバル・タイマ・コントロール・レジスタ（ITMC）

図9-1 12ビット・インターバル・タイマのブロック図



## 9.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- インターバル・タイマ・コントロール・レジスタ (ITMC)

### 9.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは、必ずビット7 (RTCEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック (RTC) , 12ビット・インターバル・タイマへの入力クロック供給の制御
0	クロック供給停止 ・リアルタイム・クロック (RTC) , 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC) , 12ビット・インターバル・タイマはリセット状態
1	クロック供給 ・リアルタイム・クロック (RTC) , 12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

- 注意1.** 12ビット・インターバル・タイマを使用する際には、カウント・クロックが発振安定した状態で、必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。RTCEN = 0の場合は、12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され、読み出し値は初期値となります。(サブシステム・クロック供給モード制御レジスタ(OSMC)は除く)
- ・インターバル・タイマ・コントロール・レジスタ (ITMC)
- 2.** サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 1に設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイム・クロック、12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止することが可能です。
- 3.** ビット1, 6には必ず“0”を設定してください。

### 9.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマ、リアルタイム・クロックの動作クロックを選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第6章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-3 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック, 12ビット・インターバル・タイマの動作クロックの選択
0	サブシステム・クロック (f <sub>SUB</sub> )
1	低速オンチップ・オシレータ・クロック (f <sub>IL</sub> )



### 9.3.3 インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図9-4 インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0
RINTE	12ビット・インターバル・タイマの動作制御				
0	カウンタ動作停止 (カウント・クリア)				
1	カウンタ動作開始				
ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定				
001H	「カウント・クロック周期 × (ITCMP設定値 + 1)」の定周期割り込みを発生します。				
・					
・					
FFFH					
000H	設定禁止				
ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例					
・ ITCMP11-ITCMP0 = 001H, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (1 + 1) = 0.06103515625 \text{ [ms]} \doteq 61.03 \text{ [}\mu\text{s]}$					
・ ITCMP11-ITCMP0 = FFFH, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (4095 + 1) = 125 \text{ [ms]}$					

- 注意1. RINTEビットを1→0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始 (0→1) する場合は、ITIFフラグをクリアしてから割り込み処理許可にしてください。
- RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されません。
  - スタンバイ・モードから復帰後にRINTEビット設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分の時間以上経過後に移行してください。
  - ITCMP11-ITCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。ただし、RINTE = 0→1または1→0に変更すると同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

## 9.4 12ビット・インターバル・タイマの動作

### 9.4.1 12ビット・インターバル・タイマの動作タイミング

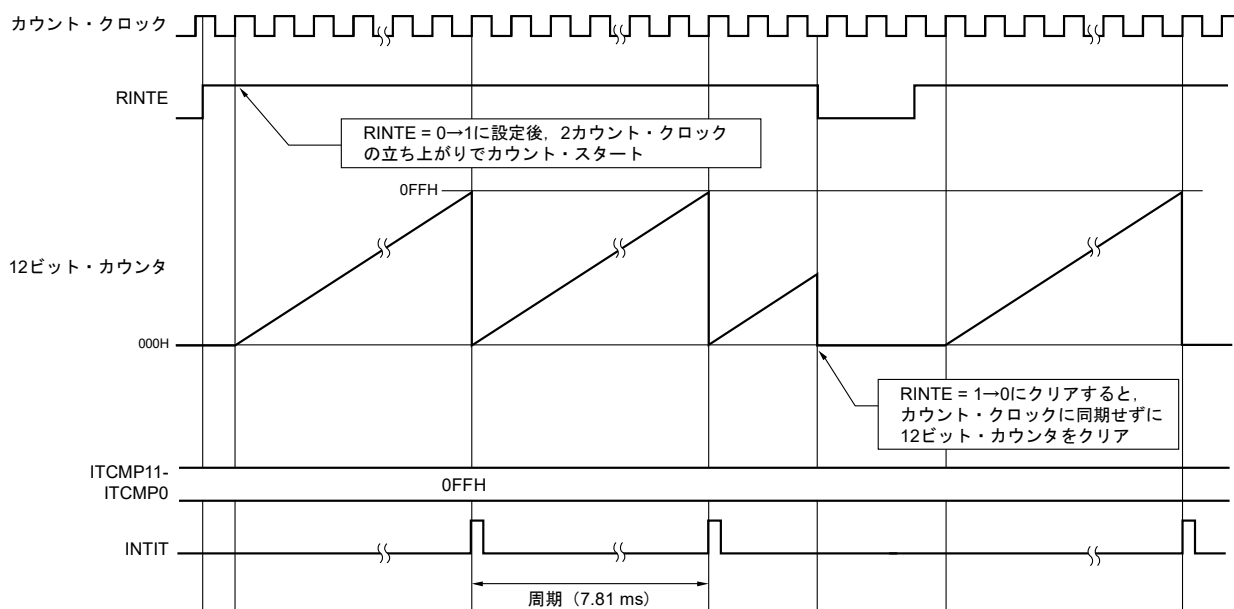
ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTIT) を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTIT) を発生します。

12ビット・インターバル・タイマの基本動作を図9-5に示します。

図9-5 12ビット・インターバル・タイマ動作のタイミング  
(ITCMP11-ITCMP0 = 0FFH, カウント・クロック :  $f_{SUB} = 32.768$  kHz)

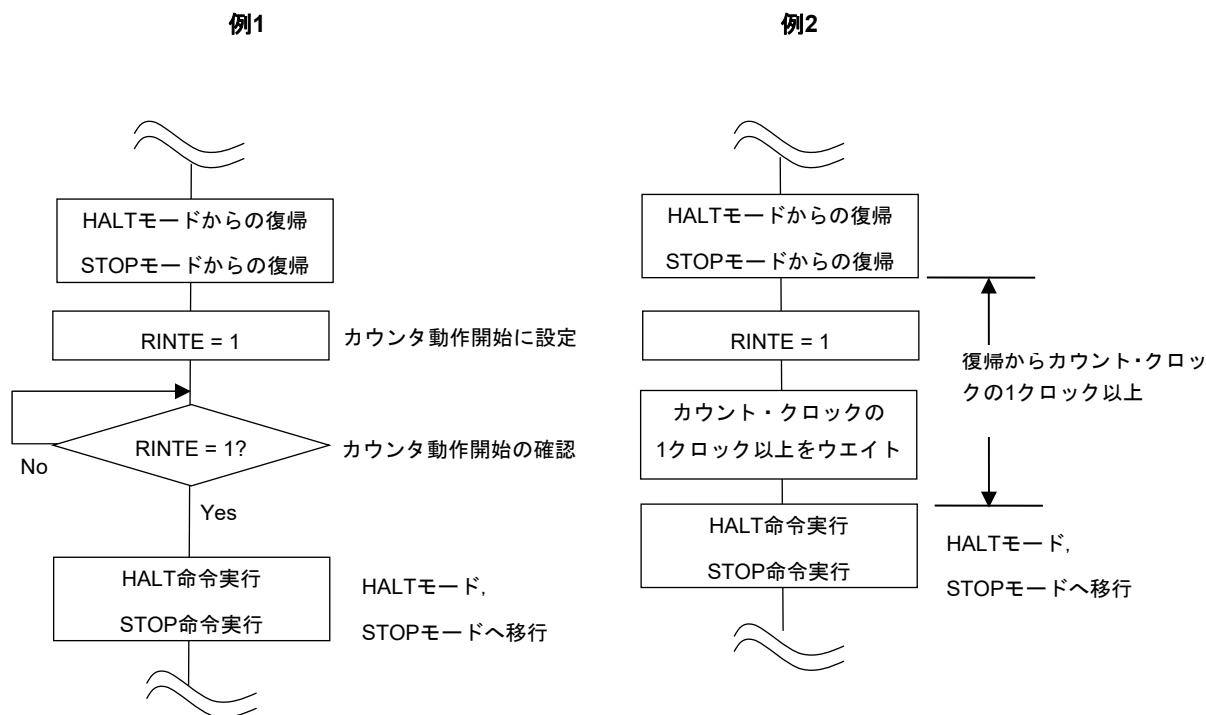


### 9.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- ・RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する（図9-6 例1参照）。
- ・RINTE = 1に設定後、カウント・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する（図9-6 例2参照）。

図9-6 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



## 第10章 クロック出力／ブザー出力制御回路

クロック出力／ブザー出力制御回路の出力端子は、PCLBUZ0です。

### 10.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

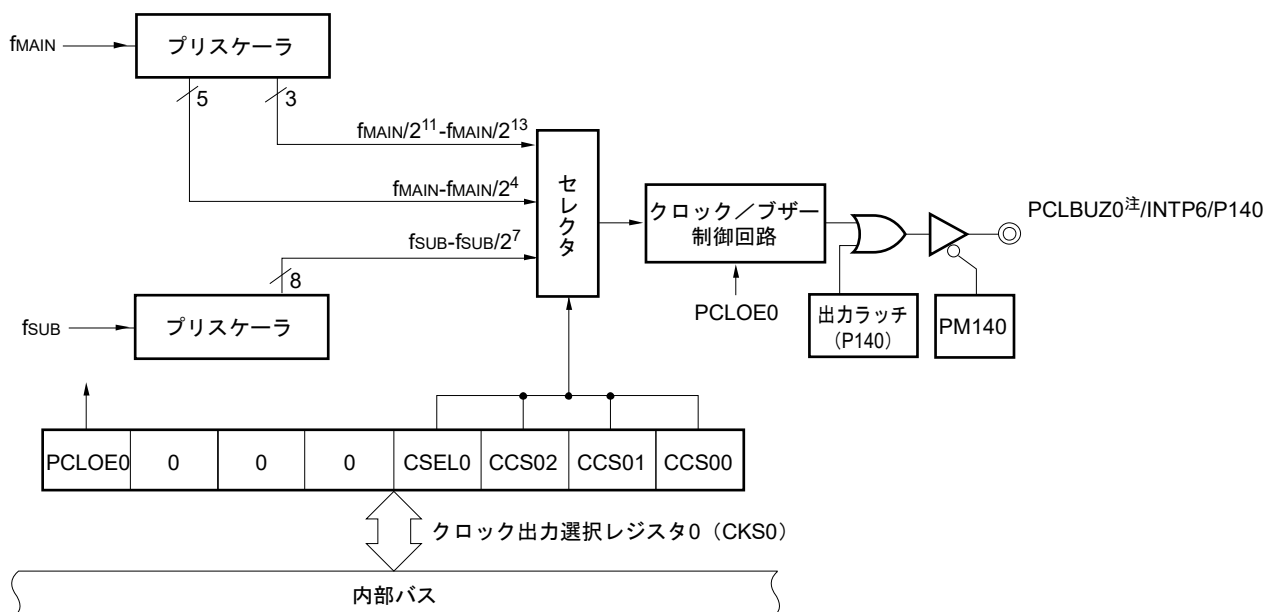
PCLBUZn端子は、クロック出力選択レジスタn (CKSn) で選択したクロックを出力します。

図10-1にクロック出力／ブザー出力制御回路のブロック図を示します。

**注意** サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 1かつサブシステム・クロック ( $f_{SUB}$ ) でCPU動作中のHALTモード時は、PCLBUZn端子から、サブシステム・クロック ( $f_{SUB}$ ) を出力することはできません。

**備考** n = 0

図10-1 クロック出力／ブザー出力制御回路のブロック図



**注** PCLBUZ0端子から出力可能な周波数は、30.6 AC特性を参照してください。

## 10.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表10-1 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタn (CKSn) ポート・モード・レジスタ14 (PM14) ポート・レジスタ14 (P14)

## 10.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次のレジスタで制御します。

- ・クロック出力選択レジスタn (CKSn)
- ・ポート・モード・レジスタ14 (PM14)
- ・ポート・レジスタ14 (P14)

### 10.3.1 クロック出力選択レジスタn (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSnレジスタで、PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00HIになります。

図10-2 クロック出力選択レジスタn (CKSn) のフォーマット

アドレス : FFFA5H (CKS0)      リセット時 : 00H      R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0		PCLBUZn端子の出力クロックの選択			
					f <sub>MAIN</sub> = 5 MHz	f <sub>MAIN</sub> = 10 MHz	f <sub>MAIN</sub> = 20 MHz	f <sub>MAIN</sub> = 32 MHz
0	0	0	0	f <sub>MAIN</sub>	5 MHz	10 MHz <sup>注</sup>	設定禁止 <sup>注</sup>	設定禁止 <sup>注</sup>
0	0	0	1	f <sub>MAIN</sub> /2	2.5 MHz	5 MHz	10 MHz <sup>注</sup>	16 MHz <sup>注</sup>
0	0	1	0	f <sub>MAIN</sub> /2 <sup>2</sup>	1.25 MHz	2.5 MHz	5 MHz	8 MHz <sup>注</sup>
0	0	1	1	f <sub>MAIN</sub> /2 <sup>3</sup>	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f <sub>MAIN</sub> /2 <sup>4</sup>	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f <sub>MAIN</sub> /2 <sup>11</sup>	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	f <sub>MAIN</sub> /2 <sup>12</sup>	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	f <sub>MAIN</sub> /2 <sup>13</sup>	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	0	0	0	f <sub>SUB</sub>	32.768 kHz			
1	0	0	1	f <sub>SUB</sub> /2	16.384 kHz			
1	0	1	0	f <sub>SUB</sub> /2 <sup>2</sup>	8.192 kHz			
1	0	1	1	f <sub>SUB</sub> /2 <sup>3</sup>	4.096 kHz			
1	1	0	0	f <sub>SUB</sub> /2 <sup>4</sup>	2.048 kHz			
1	1	0	1	f <sub>SUB</sub> /2 <sup>5</sup>	1.024 kHz			
1	1	1	0	f <sub>SUB</sub> /2 <sup>6</sup>	512 Hz			
1	1	1	1	f <sub>SUB</sub> /2 <sup>7</sup>	256 Hz			

注 出力クロックは、16 MHz以内の範囲で使用してください。詳しくは、30.6 AC特性を参照してください。

注意1. 出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。

2. メイン・システム・クロック選択時 (CSELn = 0) にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時 (CSELn = 1) は、サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC=0かつSTOPモード時にクロック出力が可能のためPCLOEn = 1に設定可能です。
3. サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 1かつサブシステム・クロック (f<sub>SUB</sub>) でCPU動作中のHALTモード時は、PCLBUZn端子から、サブシステム・クロック (f<sub>SUB</sub>) を出力することはできません。

備考1. n = 0

2. f<sub>MAIN</sub> : メイン・システム・クロック周波数  
f<sub>SUB</sub> : サブシステム・クロック周波数

### 10.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx））を設定してください。詳細は、5.3.1 ポート・モード・レジスタ（PMxx）、5.3.2 ポート・レジスタ（Pxx）を参照してください。

クロック出力／ブザー出力端子を兼用するポート（P140/INTP6/PCLBUZ0）をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

**例** P140/INTP6/PCLBUZ0をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ14のPM140ビットを0に設定

ポート・レジスタ14のP140ビットを0に設定

## 10.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0（CKS0）で選択したクロック／ブザーを出力します。

### 10.4.1 出力端子の動作

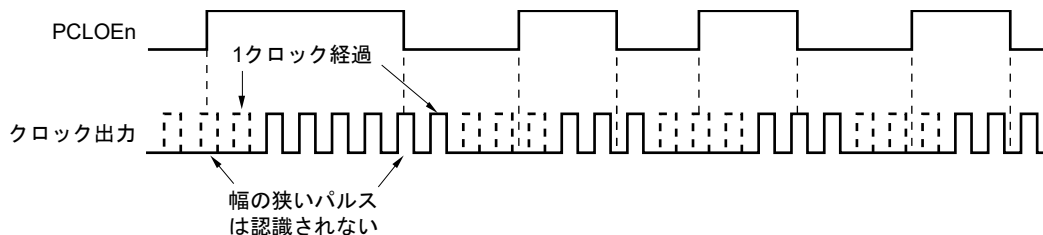
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ（PMxx）およびポート・レジスタ（Pxx）のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ（CKSn）のビット0-3（CCSn0-CCSn2, CSELn）で出力周波数を選択する（出力は禁止の状態）。
- ③ CKSnレジスタのビット7（PCLOEn）に1を設定し、クロック出力／ブザー出力を許可する。

**備考1.** クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止（PCLOEnビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図10-3に示します。

2.  $n = 0$

図10-3 PCLBUZn端子からのクロック出力のタイミング



## 10.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択（CSELn = 0）している場合は、出力停止設定（PCLOEn = 0）にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZnの出力幅が短くなります。



## 第11章 ウォッチドッグ・タイマ

### 11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト (000C0H) でカウント動作を設定します。

ウォッチドッグ・タイマは、低速オンチップ・オシレータ・クロック (f<sub>IL</sub>) で動作します。

ウォッチドッグ・タイマは、プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFレジスタの詳細については第20章 リセット機能を参照してください。

また、オーバフロー時間の75% + 1/2f<sub>IL</sub>到達時にインターバル割り込みを発生することもできます。

## 11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

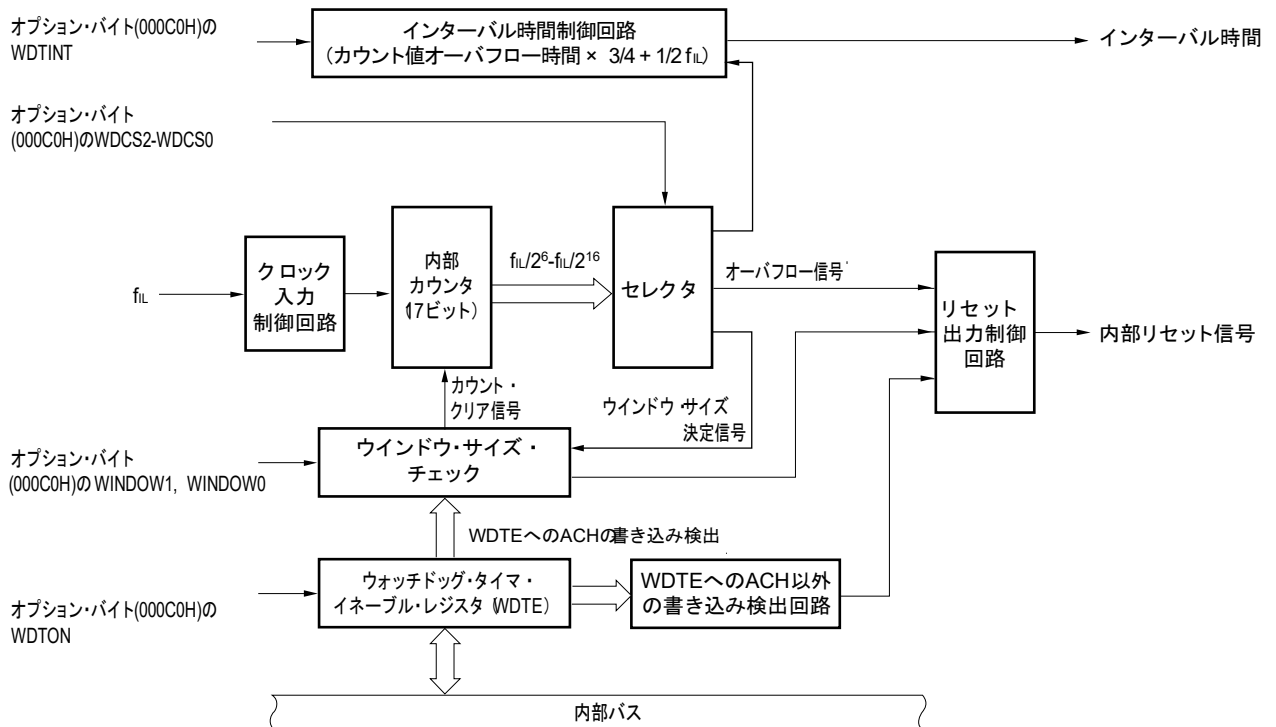
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表11-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)	ビット0 (WDSTBYON)

**備考** オプション・バイトについては、第25章 オプション・バイトを参照してください。

図11-1 ウォッチドッグ・タイマのブロック図



**備考**  $f_{IL}$ : 低速オンチップ・オシレータ・クロック

## 11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

### 11.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH<sup>注</sup>になります。

図11-2 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH リセット時：9AH/1AH<sup>注</sup> R/W

略号	7	6	5	4	3	2	1	0
WDTE								

**注** WDTEレジスタのリセット値は、オプション・バイト（000C0H）のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウンタ動作禁止）	1AH
1（ウォッチドッグ・タイマのカウンタ動作許可）	9AH

- 注意1.** WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。
- WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
  - WDTEレジスタのリード値は、“9AH/1AH”（書き込んだ値（“ACH”）とは異なる値）になります。

## 11.4 ウォッチドッグ・タイマの動作

### 11.4.1 ウォッチドッグ・タイマの動作制御

(1) ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

- オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第25章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止（リセット解除後、カウンタ停止）
1	カウンタ動作許可（リセット解除後、カウンタ開始）

- オプション・バイト（000C0H）のビット3-1（WDGS2-WDGS0）で、オーバフロー時間を設定してください（詳細は、11.4.2および第25章を参照）。
- オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、11.4.3および第25章を参照）。

(2) リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。

(3) カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

(4) 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。

(5) WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合

**注意1.** リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大 $f_{IL}$ の2クロックの誤差が生じる場合があります。

3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALT, STOP, およびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア (0) して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

#### 11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表11-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ( $f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)
0	0	0	$2^6/f_{IL}$ (3.71 ms)
0	0	1	$2^7/f_{IL}$ (7.42 ms)
0	1	0	$2^8/f_{IL}$ (14.84 ms)
0	1	1	$2^9/f_{IL}$ (29.68 ms)
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)

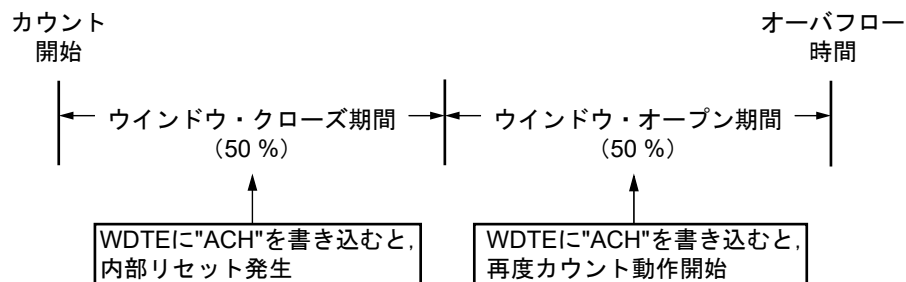
備考  $f_{IL}$  : 低速オンチップ・オシレータ・クロック周波数

### 11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト(000C0H)のビット6, 5(WINDOW1, WINDOW0) で設定します。ウインドウの概要は次のとおりです。

- ウインドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ウインドウ・クローズ期間中は、WDTEレジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウインドウ・オープン期間が50 %の場合



**注意** リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバーフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表11-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 % <sup>注</sup>
1	1	100 %

**注** ウインドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア (WDTEへのACHの書き込み) を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ (WDTIIF) を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (fIL = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms ~ 2570.04 ms

**注意** オプション・バイト (000C0H) のビット0 (WDSTBYON) = 0のときは、WINDOW1, WINDOW0 ビットの値に関係なく、ウインドウ・オープン期間100%となります。

**備考** オーバフロー時間を $2^9/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0~20.08 ms	0~10.04 ms	なし
ウインドウ・オープン時間	20.08~29.68 ms	10.04~29.68 ms	0~29.68 ms

<ウインドウ・オープン期間50 %のとき>

- オーバフロー時間 :  
 $2^9/f_{IL} \text{ (MAX.)} = 2^9/17.25 \text{ kHz} = 29.68 \text{ ms}$
- ウインドウ・クローズ時間 :  
 $0 \sim 2^9/f_{IL} \text{ (MIN.)} \times (1-0.5) = 0 \sim 2^9/12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$
- ウインドウ・オープン時間 :  
 $2^9/f_{IL} \text{ (MIN.)} \times (1-0.5) \sim 2^9/f_{IL} \text{ (MAX.)} = 2^9/12.75 \text{ kHz} \times 0.5 \sim 2^9/17.25 \text{ kHz}$   
 $= 20.08 \sim 29.68 \text{ ms}$

#### 11.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%+1/2 $f_{IL}$ 到達時にインターバル割り込み (INTWDTI) を発生することができます。

表11-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2 $f_{IL}$ 到達時にインターバル割り込みを発生する

**注意** STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

**備考** INTWDTI発生後も (ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。



## 第12章 A/Dコンバータ

### 12.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、8チャンネルのA/Dコンバータ・アナログ入力（ANI0-ANI3, ANI16-ANI19）を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2（ADM2）のADTYPビットにより、10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

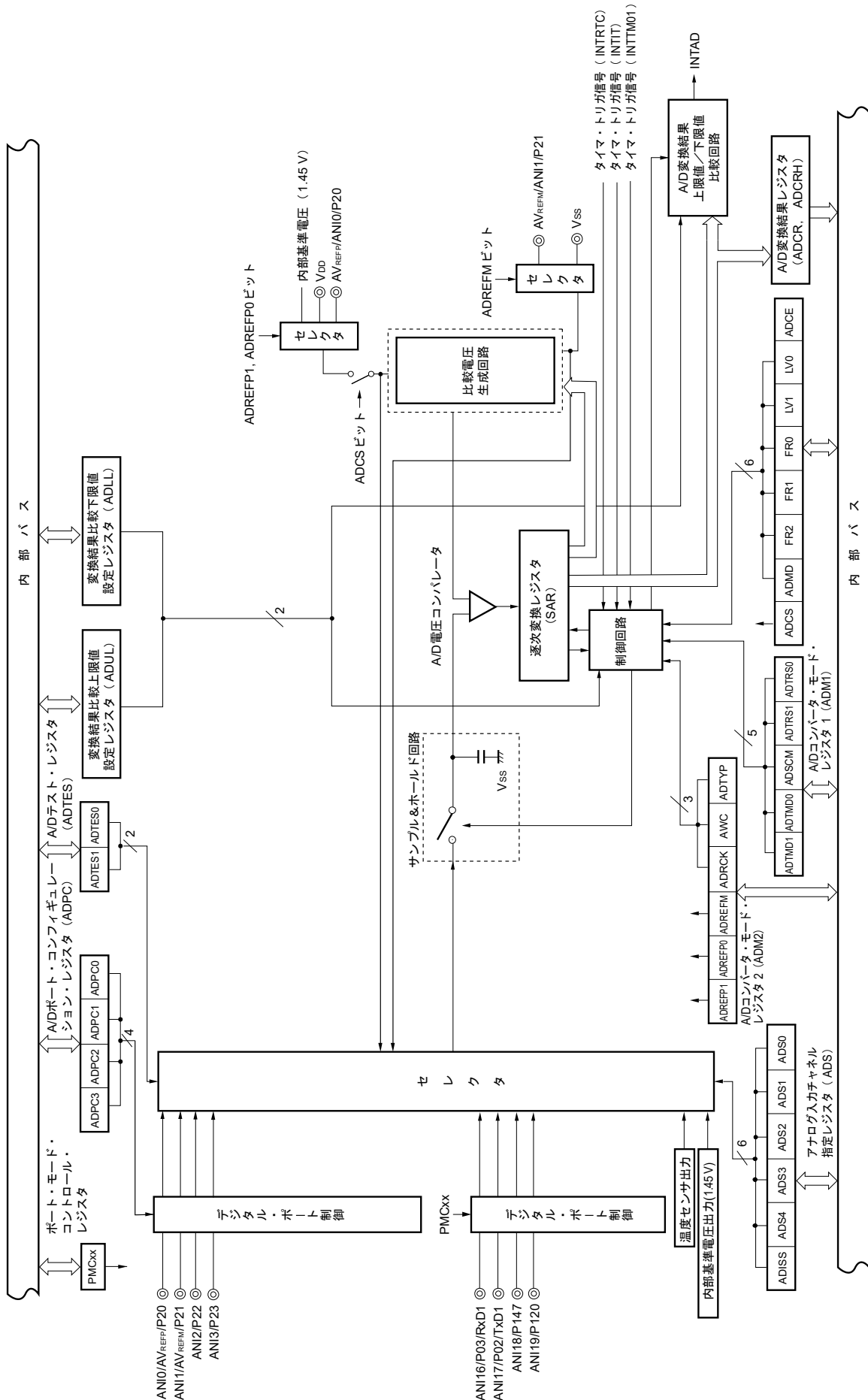
- 10ビット/8ビット分解能A/D変換

ANI0-ANI3, ANI16-ANI19からアナログ入力を1チャンネル選択し、10ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します（セレクト・モード時の場合）。

下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ウエイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は、ハードウェア・トリガ・ウエイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	ANI0-ANI3の4チャンネルのアナログ入力を順番にA/D変換します。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。
動作電圧モード	標準1/標準2モード	$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ の動作電圧範囲で変換動作する時に選択します。
	低電圧1/低電圧2モード	$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ の動作電圧範囲で変換動作が可能です。低電圧時に変換動作する時に選択します。低電圧動作のため、変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数： $7 f_{AD}$	標準1/低電圧1モードのサンプリング時間は、変換クロック（ $f_{AD}$ ）の7クロックです。アナログ入力源の出カインピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数： $5 f_{AD}$	標準2/低電圧2モードのサンプリング時間は、変換クロック（ $f_{AD}$ ）の5クロックです。アナログ入力源の出カインピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図12-1 A/Dコンバータのブロック図



## 12.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI3, ANI16- ANI19端子

A/Dコンバータの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ( $1/2 AV_{REF}$ ) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ( $1/2 AV_{REF}$ ) より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0 : ( $1/4 AV_{REF}$ )

ビット9 = 1 : ( $3/4 AV_{REF}$ )

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧  $\geq$  比較電圧生成回路の電圧タップ : ビット8 = 1

アナログ入力電圧  $\leq$  比較電圧生成回路の電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

**備考**  $AV_{REF}$  : A/Dコンバータの+側基準電圧。 $AV_{REFP}$ , 内部基準電圧 (1.45 V) ,  $V_{DD}$ から選択可能です。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

## (5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタ (ADCR) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

## (6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

## (7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

## (8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADが発生します。

(9) AV<sub>REFP</sub>端子

外部から基準電圧 (AV<sub>REFP</sub>) を入力する端子です。

AV<sub>REFP</sub>をA/Dコンバータの+側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2 (ADM2) のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AV<sub>REFP</sub>と-側基準電圧 (AV<sub>REFM</sub>/V<sub>SS</sub>) 間にかかる電圧に基づいて、ANI16-ANI19に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AV<sub>REFP</sub>のほかにV<sub>DD</sub>と内部基準電圧 (1.45 V) を選択することが可能です。

(10) AV<sub>REFM</sub>端子

外部から基準電圧 (AV<sub>REFM</sub>) を入力する端子です。AV<sub>REFM</sub>をA/Dコンバータの-側の基準電圧として使用する場合は、ADM2レジスタのADREFMビットをセット(1)にしてください。

A/Dコンバータの-側基準電圧には、AV<sub>REFM</sub>のほかにV<sub>SS</sub>を選択することが可能です。

## 12.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 10ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ポート・モード・コントロール・レジスタ0 (PMCO)
- ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14)

### 12.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可

**注意1.** A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態、下記のレジスタの設定を行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます (ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14), ポート・モード・コントロール・レジスタ0 (PMC0), A/Dポート・コンフィギュレーション・レジスタ (ADPC) は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
  - ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
  - ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
  - ・ 10ビットA/D変換結果レジスタ (ADCR)
  - ・ 8ビットA/D変換結果レジスタ (ADCRH)
  - ・ アナログ入力チャネル指定レジスタ (ADS)
  - ・ 変換結果比較上限値設定レジスタ (ADUL)
  - ・ 変換結果比較下限値設定レジスタ (ADLL)
  - ・ A/Dテスト・レジスタ (ADTES)
2. ビット1, 6には必ず“0”を設定してください。

## 12.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス : FFF30H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2 <sup>注1</sup>	FR1 <sup>注1</sup>	FR0 <sup>注1</sup>	LV1 <sup>注1</sup>	LV0 <sup>注1</sup>	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 [リード時] 変換動作停止/待機状態
1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時 : 変換動作状態 ハードウェア・トリガ・ウエイト・モード時 : A/D電源安定待ち状態+変換動作状態

ADMD	A/D変換チャンネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御 <sup>注2</sup>
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表12-3 A/D変換時間の選択を参照してください。

- ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1  $\mu$ sかかります。このため、ADCEビットに1を設定してから1  $\mu$ s以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。1  $\mu$ s以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. FR2-FR0, LV1, LV0ビットの変更は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

- ADCS = 1, ADCE = 0の設定は禁止です。
- ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず12.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

表12-1 ADCSビットとADCEビットの設定

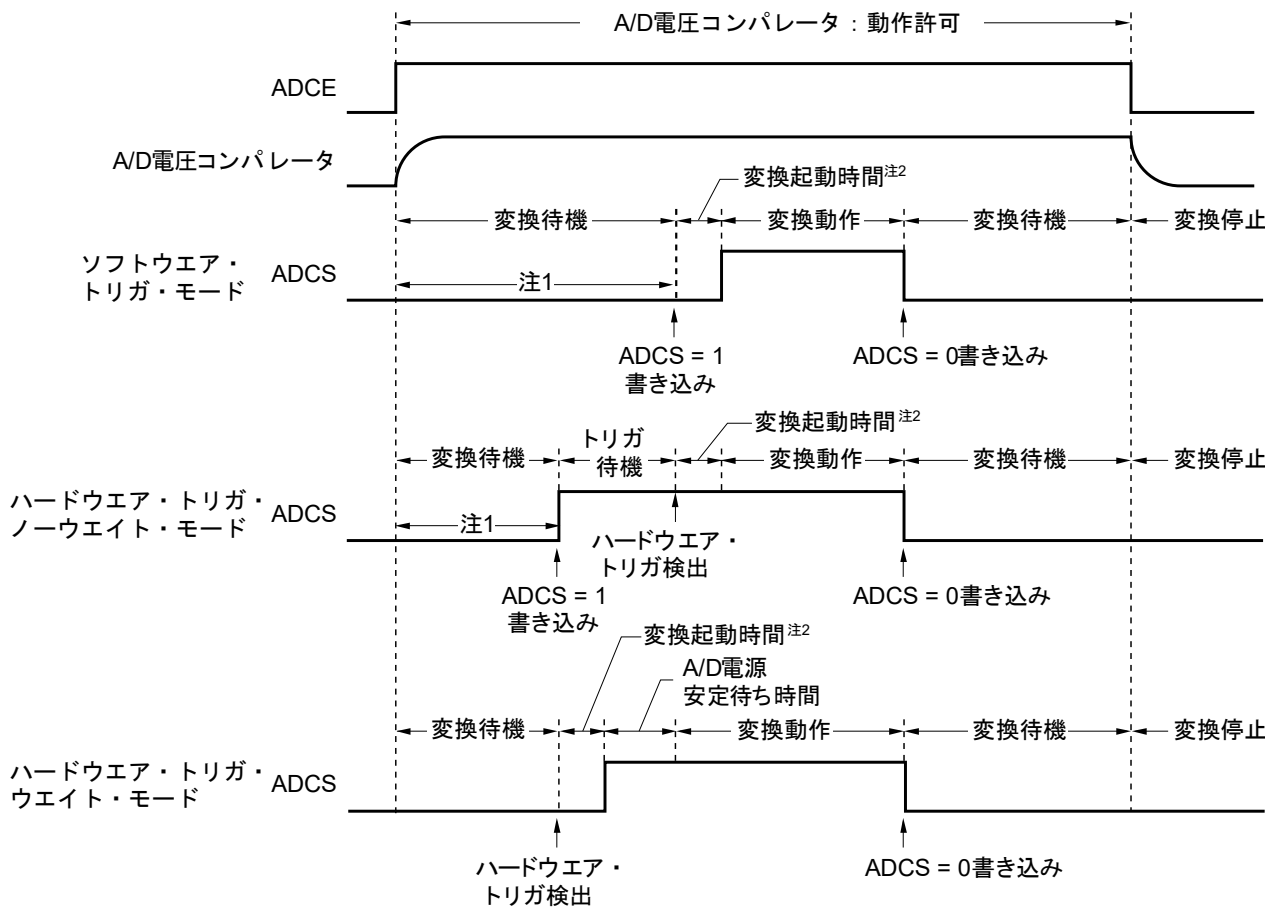
ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表12-2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCS = 1 ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ ADCS = 0ライトした場合 ・ AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ ADCS = 0ライトした場合 ・ 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウェア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ ADCS = 0ライトした場合 ・ AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ ADCS = 0ライトした場合 ・ 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア



図12-4 A/D電圧コンパレータ使用時のタイミング・チャート



★

注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、1 μs以上必要です。

2. 変換起動には、最大で次の時間がかかります。

ADM0			変換クロック (f <sub>AD</sub> )	起動時間 (f <sub>CLK</sub> クロック数)	
FR2	FR1	FR0		ソフトウェア・トリガ・モード/ ハードウェア・トリガ・ ノーウエイト・モード	ハードウェア・トリガ・ウエイト・ モード
0	0	0	f <sub>CLK</sub> /64	63	1
0	0	1	f <sub>CLK</sub> /32	31	
0	1	0	f <sub>CLK</sub> /16	15	
0	1	1	f <sub>CLK</sub> /8	7	
1	0	0	f <sub>CLK</sub> /6	5	
1	0	1	f <sub>CLK</sub> /5	4	
1	1	0	f <sub>CLK</sub> /4	3	
1	1	1	f <sub>CLK</sub> /2	1	

ただし、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

(注意、備考は次ページにあります。)

- 注意1. ハードウェア・トリガ・ウェイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、AD変換待機状態にするために、ADCSビットに0を設定することは可能です。
2. ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時、AD変換終了時にADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。
3. ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。
4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。  
 ハードウェア・トリガ・ノーウェイト・モード時： $f_{CLK}$ の2クロック＋変換起動時間＋A/D変換時間  
 ハードウェア・トリガ・ウェイト・モード時： $f_{CLK}$ の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間

備考  $f_{CLK}$  : CPU／周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択（1/4）

(1) A/D電源安定待ち時間なし 標準モード1, 2

(ソフトウェア・トリガ・モード／ハードウェア・トリガ・ノーウェイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f <sub>AD</sub> )	変換クロック数 <sup>注</sup>	変換時間	10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0					2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V				
									f <sub>CLK</sub> = 1 MHz	f <sub>CLK</sub> = 4 MHz	f <sub>CLK</sub> = 8 MHz	f <sub>CLK</sub> = 16 MHz	f <sub>CLK</sub> = 32 MHz
0	0	0	0	0	標準1	f <sub>CLK</sub> /64	19 f <sub>AD</sub> (サンプリング・クロック数：7 f <sub>AD</sub> )	1216/f <sub>CLK</sub>	設定禁止	設定禁止	設定禁止	76μs	38 μs
0	0	1				f <sub>CLK</sub> /32		608/f <sub>CLK</sub>			76 μs	38 μs	19 μs
0	1	0				f <sub>CLK</sub> /16		304/f <sub>CLK</sub>		76	38 μs	19 μs	9.5 μs
0	1	1				f <sub>CLK</sub> /8		152/f <sub>CLK</sub>		38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f <sub>CLK</sub> /6		114/f <sub>CLK</sub>		28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f <sub>CLK</sub> /5		95/f <sub>CLK</sub>	95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				f <sub>CLK</sub> /4		76/f <sub>CLK</sub>	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f <sub>CLK</sub> /2		38/f <sub>CLK</sub>	38 μs	9.5 μs	4.75 μs	2.375 μs <sup>注1,2</sup>	設定禁止
0	0	0	0	1	標準2	f <sub>CLK</sub> /64	17 f <sub>AD</sub> (サンプリング・クロック数：5 f <sub>AD</sub> )	1088/f <sub>CLK</sub>	設定禁止	設定禁止	設定禁止	68 μs	34 μs
0	0	1				f <sub>CLK</sub> /32		544/f <sub>CLK</sub>			68 μs	34 μs	17 μs
0	1	0				f <sub>CLK</sub> /16		272/f <sub>CLK</sub>		68 μs	34 μs	17 μs	8.5 μs
0	1	1				f <sub>CLK</sub> /8		136/f <sub>CLK</sub>		34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				f <sub>CLK</sub> /6		102/f <sub>CLK</sub>		25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				f <sub>CLK</sub> /5		85/f <sub>CLK</sub>	85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				f <sub>CLK</sub> /4		68/f <sub>CLK</sub>	68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				f <sub>CLK</sub> /2		34/f <sub>CLK</sub>	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f<sub>AD</sub>) の2クロック分短くなります。

注意1. A/D変換時間は、30.7.1 A/Dコンバータ特性に示す変換時間 (t<sub>CONV</sub>) の範囲内で使用してください。

2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。

3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考  $f_{CLK}$  : CPU／周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (2/4)

(2) A/D電源安定待ち時間なし 低電圧モード1, 2

(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f <sub>AD</sub> )	変換クロック数 <sup>※4</sup>	変換時間	10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0					1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V		注1	注2	注3
									f <sub>CLK</sub> = 1 MHz	f <sub>CLK</sub> = 4 MHz	f <sub>CLK</sub> = 8 MHz	f <sub>CLK</sub> = 16 MHz	f <sub>CLK</sub> = 32 MHz
0	0	0	1	0	低電圧1	f <sub>CLK</sub> /64	19 f <sub>AD</sub>	1216/f <sub>CLK</sub>	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1	f <sub>CLK</sub> /32	(サンプリング・クロック数 : 7 f <sub>AD</sub> )		608/f <sub>CLK</sub>	設定禁止	76 μs	38 μs	19 μs			
0	1	0	f <sub>CLK</sub> /16	304/f <sub>CLK</sub>		76 μs	38 μs	19 μs	9.5 μs				
0	1	1	f <sub>CLK</sub> /8	152/f <sub>CLK</sub>		38 μs	19 μs	9.5 μs	4.75 μs				
1	0	0	f <sub>CLK</sub> /6	114/f <sub>CLK</sub>		28.5 μs	14.25 μs	7.125 μs	3.5625 μs				
1	0	1	f <sub>CLK</sub> /5	95/f <sub>CLK</sub>		95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs			
1	1	0	f <sub>CLK</sub> /4	76/f <sub>CLK</sub>		76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs			
1	1	1	f <sub>CLK</sub> /2	38/f <sub>CLK</sub>		38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止			
0	0	0	1	1	低電圧2	f <sub>CLK</sub> /64	17 f <sub>AD</sub>	1088/f <sub>CLK</sub>	設定禁止	設定禁止	設定禁止	68 μs	34 μs
0	0	1	f <sub>CLK</sub> /32	(サンプリング・クロック数 : 5 f <sub>AD</sub> )		544/f <sub>CLK</sub>	設定禁止	68 μs	34 μs	17 μs			
0	1	0	f <sub>CLK</sub> /16	272/f <sub>CLK</sub>		68 μs	34 μs	17 μs	8.5 μs				
0	1	1	f <sub>CLK</sub> /8	136/f <sub>CLK</sub>		34 μs	17 μs	8.5 μs	4.25 μs				
1	0	0	f <sub>CLK</sub> /6	102/f <sub>CLK</sub>		25.5 μs	12.75 μs	6.375 μs	3.1875 μs				
1	0	1	f <sub>CLK</sub> /5	85/f <sub>CLK</sub>		85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs			
1	1	0	f <sub>CLK</sub> /4	68/f <sub>CLK</sub>		68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs			
1	1	1	f <sub>CLK</sub> /2	34/f <sub>CLK</sub>		34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止			

注1. 1.8 V ≤ V<sub>DD</sub> ≤ 3.6 V2. 2.4 V ≤ V<sub>DD</sub> ≤ 3.6 V3. 2.7 V ≤ V<sub>DD</sub> ≤ 3.6 V4. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(f<sub>AD</sub>)の2クロック分短くなります。注意1. A/D変換時間は、30.7.1 A/Dコンバータ特性に示す変換時間 (t<sub>conv</sub>) の範囲内で使用してください。

2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。

3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f<sub>CLK</sub> : CPU/周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (3/4)

(3) A/D電源安定待ち時間あり 標準モード1, 2

(ハードウェア・トリガ・ウエイト・モード<sup>注1</sup>)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f <sub>AD</sub> )	A/D電源安定待ちクロック数	変換クロック数 <sup>注2</sup>	A/D電源安定待ち時間+変換時間	A/D電源安定待ち時間+10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0						2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V				
										f <sub>CLK</sub> = 1 MHz	f <sub>CLK</sub> = 4 MHz	f <sub>CLK</sub> = 8 MHz	f <sub>CLK</sub> = 16 MHz	f <sub>CLK</sub> = 32 MHz
0	0	0	0	0	標準1	f <sub>CLK</sub> /64	8 f <sub>AD</sub>	19 f <sub>AD</sub> (サンプリングクロック数 : 7 f <sub>AD</sub> )	1728/f <sub>CLK</sub>	設定禁止	設定禁止	設定禁止	108 μs	54 μs
0	0	1	f <sub>CLK</sub> /32	864/f <sub>CLK</sub>		設定禁止			設定禁止	108 μs	54 μs	27 μs		
0	1	0	f <sub>CLK</sub> /16	432/f <sub>CLK</sub>		108 μs			54 μs	27 μs	13.5 μs			
0	1	1	f <sub>CLK</sub> /8	216/f <sub>CLK</sub>		54 μs			27 μs	13.5 μs	6.75 μs			
1	0	0	f <sub>CLK</sub> /6	162/f <sub>CLK</sub>		40.5 μs			20.25 μs	10.125 μs	5.0625 μs			
1	0	1	f <sub>CLK</sub> /5	135/f <sub>CLK</sub>		135 μs			33.75 μs	16.875 μs	8.4375 μs	4.21875 μs		
1	1	0	f <sub>CLK</sub> /4	108/f <sub>CLK</sub>		108 μs			27 μs	13.5 μs	6.75 μs	3.375 μs		
1	1	1	f <sub>CLK</sub> /2	54/f <sub>CLK</sub>		54 μs			13.5 μs	6.75 μs	3.375 μs	設定禁止		
0	0	0	0	1	標準2	f <sub>CLK</sub> /64	8 f <sub>AD</sub>	17 f <sub>AD</sub> (サンプリングクロック数 : 5 f <sub>AD</sub> )	1600/f <sub>CLK</sub>	設定禁止	設定禁止	設定禁止	100 μs	50 μs
0	0	1	f <sub>CLK</sub> /32	800/f <sub>CLK</sub>		設定禁止			設定禁止	100 μs	50 μs	25 μs		
0	1	0	f <sub>CLK</sub> /16	400/f <sub>CLK</sub>		100 μs			50 μs	25 μs	12.5 μs			
0	1	1	f <sub>CLK</sub> /8	200/f <sub>CLK</sub>		50 μs			25 μs	12.5 μs	6.25 μs			
1	0	0	f <sub>CLK</sub> /6	150/f <sub>CLK</sub>		37.5 μs			18.75 μs	9.375 μs	4.6875 μs			
1	0	1	f <sub>CLK</sub> /5	125/f <sub>CLK</sub>		125 μs			31.25 μs	15.625 μs	7.8125 μs	3.90625 μs		
1	1	0	f <sub>CLK</sub> /4	100/f <sub>CLK</sub>		100 μs			25 μs	12.5 μs	6.25 μs	3.125 μs		
1	1	1	f <sub>CLK</sub> /2	50/f <sub>CLK</sub>		50 μs			12.5 μs	6.25 μs	3.125 μs	設定禁止		

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません (表12-3 (1/4) 参照)。

- 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f<sub>AD</sub>) の2クロック分短くなります。

注意1. A/D変換時間は、30.7.1 A/Dコンバータ特性に示す変換時間 (t<sub>CONV</sub>) の範囲内で使用してください。なお、変換時間 (t<sub>CONV</sub>) はA/D電源安定待ち時間を含みません。

- FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。
- 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からの安定待ち時間を含みます。

備考 f<sub>CLK</sub> : CPU/周辺ハードウェア・クロック周波数

表12-3 A/D変換時間の選択 (4/4)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2  
(ハードウェア・トリガ・ウェイト・モード<sup>注1</sup>)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数 <sup>注5</sup>	A/D電源安定待ち時間+変換時間	A/D電源安定待ち時間+10ビット分解能時の変換時間					
FR2	FR1	FR0	LV1	LV0						1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	注2	注3	注4		
										f <sub>CLK</sub> = 1 MHz	f <sub>CLK</sub> = 4 MHz	f <sub>CLK</sub> = 8 MHz	f <sub>CLK</sub> = 16 MHz	f <sub>CLK</sub> = 32 MHz	
0	0	0	1	0	低電圧	f <sub>CLK</sub> /64	2 f <sub>AD</sub>	19 f <sub>AD</sub> (サンプリングクロック数: 7 f <sub>AD</sub> )	1344/f <sub>CLK</sub>	設定禁止	設定禁止	設定禁止	84 μs	42 μs	
0	0	1	f <sub>CLK</sub> /32	672/f <sub>CLK</sub>		84 μs			42 μs				21 μs		
0	1	0	f <sub>CLK</sub> /16	336/f <sub>CLK</sub>		84 μs			42 μs				21 μs	10.5 μs	
0	1	1	f <sub>CLK</sub> /8	168/f <sub>CLK</sub>		42 μs			21 μs				10.5 μs	5.25 μs	
1	0	0	f <sub>CLK</sub> /6	126/f <sub>CLK</sub>		31.25 μs			15.75 μs				7.875 μs	3.9375 μs	
1	0	1	f <sub>CLK</sub> /5	105/f <sub>CLK</sub>		105 μs			26.25 μs				13.125 μs	6.5625 μs	3.28125 μs
1	1	0	f <sub>CLK</sub> /4	84/f <sub>CLK</sub>		84 μs			21 μs				10.5 μs	5.25 μs	2.625 μs
1	1	1	f <sub>CLK</sub> /2	42/f <sub>CLK</sub>		42 μs			10.5 μs				5.25 μs	2.625 μs	設定禁止
0	0	0	1	1	低電圧	f <sub>CLK</sub> /64	2 f <sub>AD</sub>	17 f <sub>AD</sub> (サンプリングクロック数: 5 f <sub>AD</sub> )	1216/f <sub>CLK</sub>	設定禁止	設定禁止	設定禁止	76 μs	38 μs	
0	0	1	f <sub>CLK</sub> /32	608/f <sub>CLK</sub>		76 μs			38 μs				19 μs		
0	1	0	f <sub>CLK</sub> /16	304/f <sub>CLK</sub>		76 μs			38 μs				19 μs	9.5 μs	
0	1	1	f <sub>CLK</sub> /8	152/f <sub>CLK</sub>		38 μs			19 μs				9.5 μs	4.75 μs	
1	0	0	f <sub>CLK</sub> /6	114/f <sub>CLK</sub>		28.5 μs			14.25 μs				7.125 μs	3.5625 μs	
1	0	1	f <sub>CLK</sub> /5	96/f <sub>CLK</sub>		96 μs			23.75 μs				12 μs	5.938 μs	2.9688 μs
1	1	0	f <sub>CLK</sub> /4	76/f <sub>CLK</sub>		76 μs			19 μs				9.5 μs	4.75 μs	2.375 μs
1	1	1	f <sub>CLK</sub> /2	38/f <sub>CLK</sub>		38 μs			9.5 μs				4.75 μs	2.375 μs	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません (表12-3 (2/4) 参照)。

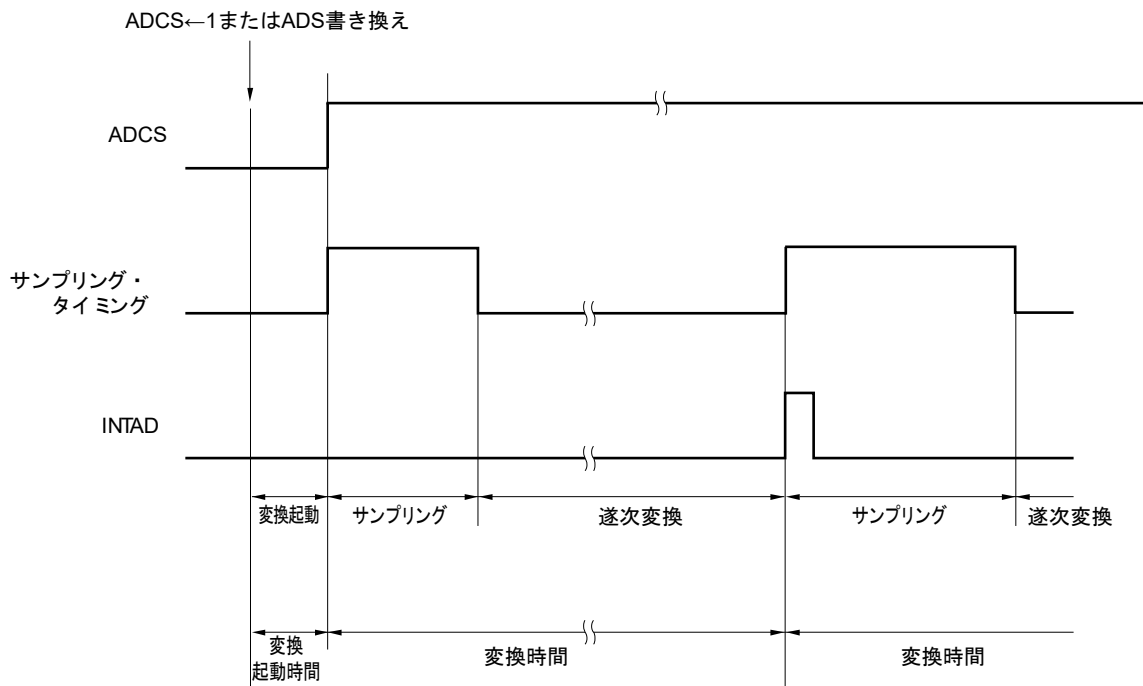
- 1.8 V ≤ V<sub>DD</sub> ≤ 3.6 V
- 2.4 V ≤ V<sub>DD</sub> ≤ 3.6 V
- 2.7 V ≤ V<sub>DD</sub> ≤ 3.6 V
- 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f<sub>AD</sub>) の2クロック分短くなります。

注意1. A/D変換時間は、30.7.1 A/Dコンバータ特性に示す変換時間 (t<sub>CONV</sub>) の範囲内で使用してください。なお、変換時間 (t<sub>CONV</sub>) はA/D電源安定待ち時間を含みません。

- FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。
- 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f<sub>CLK</sub>: CPU/周辺ハードウェア・クロック周波数

図12-5 A/DコンバータのサンプリングとA/D変換のタイミング (例 ソフトウェア・トリガ・モードの場合)



### 12.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウェア・トリガ・モード
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	タイマ・チャンネル01のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)
0	1	設定禁止
1	0	リアルタイム・クロック割り込み信号 (INTRTC)
1	1	12ビット・インターバル・タイマ割り込み信号 (INTIT)

**注意1.** ADM1レジスタを書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

- A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。  
ハードウェア・トリガ・ノーウエイト・モード時 :  $f_{CLK}$ の2クロック + 変換起動時間 + A/D変換時間  
ハードウェア・トリガ・ウエイト・モード時 :  $f_{CLK}$ の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間
- SNOOZE機能以外のモードにおいて、INTRTC, INTIT入力後最大 $f_{CLK}$ の4クロック間は、次のINTRTC, INTIT入力がトリガとして有効になりません。

**備考1.** × : Don't care

- $f_{CLK}$  : CPU/周辺ハードウェア・クロック周波数

### 12.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および-側基準電圧の選択, A/D変換結果の上限値/下限値のチェック, 分解能の選択, およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図12-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	VDDから供給
0	1	P20/AV <sub>REFP</sub> /ANI0から供給
1	0	内部基準電圧 (1.45 V) から供給*
1	1	設定禁止

・ ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 基準電圧安定待ち時間ウエイト (A)
- ④ ADCE = 1に設定
- ⑤ 基準電圧安定待ち時間ウエイト (B)

ADREFP1, ADREFP0 = 1, 0に変更する場合 :                    A = 5  $\mu$ s, B = 1  $\mu$ s  
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : Aはウエイト不要, B = 1  $\mu$ s

⑤のウエイトのあとに, A/D変換開始してください。

・ ADREFP1, ADREFP0 = 1, 0に設定した場合, 温度センサ出力電圧と内部基準電圧 (1.45V) をA/D変換することはできません。

必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの-側の基準電圧の選択
0	V <sub>SS</sub> から供給
1	P21/AV <sub>REFM</sub> /ANI1から供給

注 HS (高速メイン) モードでのみ選択可能です。

- 注意1. ADM2レジスタを書き換える場合は, 変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は, ADREFP1 = 1に設定しないでください。内部基準電圧 (ADREFP1, ADREFP0 = 1, 0) 選択時は, 30.5.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (I<sub>ADREF</sub>) の電流値が加算されます。
  3. AV<sub>REFP</sub>とAV<sub>REFM</sub>を使用する場合は, ANI0とANI1をアナログ入力に設定し, ポート・モード・レジスタは入力モードに設定してください。



図12-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (2/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限/下限値チェック
0	ADLLレジスタ $\leq$ ADCRレジスタ $\leq$ ADULレジスタ (AREA1) のとき割り込み信号 (INTAD) が発生。
1	ADCRレジスタ $<$ ADLLレジスタ (AREA2) , ADULレジスタ $<$ ADCRレジスタ (AREA3) のとき割り込み信号 (INTAD) が発生。
AREA1~AREA3の割り込み信号 (INTAD) 発生範囲を図12-8します。	

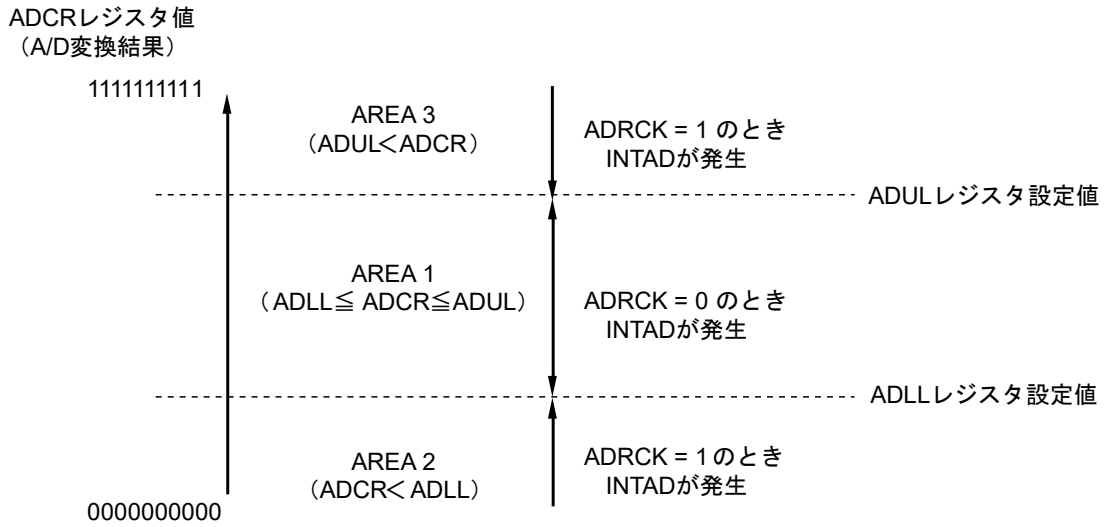
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
<p>STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います (SNOOZEモード)。</p> <ul style="list-style-type: none"> <li>・SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (<math>f_{CLK}</math>) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。</li> <li>・ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウェイト・モードでのSNOOZEモード機能は使用禁止です。</li> <li>・連続変換モードでのSNOOZEモード機能は使用禁止です。</li> <li>・SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間<sup>注</sup>+変換起動時間+A/D電源安定待ち時間+A/D変換時間+<math>f_{CLK}</math>の2クロック」以上の間隔を空けて設定してください。</li> <li>・SNOOZE機能を使用する場合でも、通常動作時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。</li> </ul> <p>またSTOPモードから通常動作モードへ復帰後、必ずAWCを0に変更してください。</p> <p>AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。</p>	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注 19.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

図12-8 ADRCKビットによる割り込み信号発生範囲



**備考** INTADが発生しない場合は、A/D変換結果がADCR, ADCRHレジスタに格納されません。

### 12.3.5 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます<sup>※</sup>。

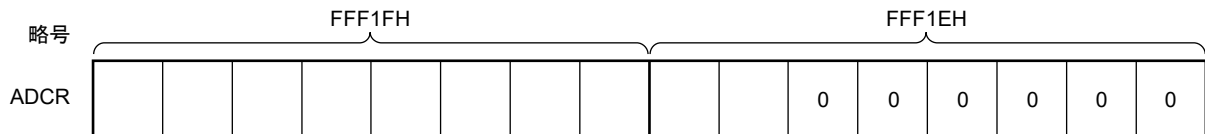
ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

**注** A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図12-8参照)) で設定した値の範囲外の場合は格納されません。

図12-9 10ビットA/D変換結果レジスタ (ADCR) のフォーマット

アドレス : FFF1FH, FFF1EH リセット値 : 0000H R



- 注意 1. 8ビット分解能A/D変換を選択時 (A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYP = 1) にADCRレジスタをリードした場合、下位2ビット (ADCRレジスタのビット7, ビット6) は、0が読み出されます。
- 2. ADCRレジスタへ16ビット・アクセスした場合、変換結果上位10ビットがADCRレジスタのビット15から順に読み出せます。

### 12.3.6 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します<sup>※</sup>。

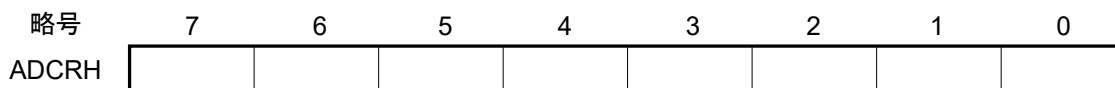
ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

**注** A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図12-8参照)) で設定した値の範囲外の場合は格納されません。

図12-10 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス : FFF1FH リセット時 : 00H R



**注意** A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCRHレジスタの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

### 12.3.7 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-11 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV <sub>REFP</sub> 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV <sub>REFM</sub> 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	1	0	0	0	0	ANI16	P03/ANI16端子
0	1	0	0	0	1	ANI17	P02/ANI17端子
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	—	温度センサ出力 <sup>※</sup>
1	0	0	0	0	1	—	内部基準電圧出力 (1.45 V) <sup>※</sup>
上記以外						設定禁止	

注 HS (高速メイン) モードでのみ選択可能です。

○スキャン・モード (ADMD = 1)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
上記以外						設定禁止			

注意1. ビット5, 6には必ず0を設定してください。

- ADPC, PMCxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14) で入力モードに選択してください。
- A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
- ポート・モード・コントロール・レジスタ0 (PMC0) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
- ADISSビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
- AV<sub>REFP</sub>をA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。
- AV<sub>REFM</sub>をA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。

- 注意8. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧出力（1.45 V）は使用できません。また、ADISS=1に設定後、1回目の変換結果は使用できません。詳細設定フローは、12.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定を参照してください。
9. STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、30.4.2 電源電流特性に示すA/Dコンバータ基準電圧電流（IADREF）の電流値が加算されます。

### 12.3.8 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果対し、上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2) のADRCKビットの設定範囲 (図12-8参照) で割り込み信号 (INTAD) の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図12-12 変換結果比較上限値設定レジスタ (ADUL) のフォーマット

アドレス : F0011H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

### 12.3.9 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2) のADRCKビットの設定範囲 (図12-8参照) で割り込み信号 (INTAD) の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-13 変換結果比較下限値設定レジスタ (ADLL) のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

- 注意1.** 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ (ADCR) の上位8ビットをADULレジスタおよびADLLレジスタと比較します。
- ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
  - ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

### 12.3.10 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧, ー側の基準電圧, アナログ入力チャンネル (ANlxx), 温度センサ出力電圧, 内部基準電圧 (1.45V) を選択するレジスタです。

A/Dテスト機能として使用する場合, 以下の設定にします。

- ・ゼロスケールを測定するときは, A/D変換対象にー側の基準電圧を選択。
- ・フルスケールを測定するときは, A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは, は8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図12-14 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx / 温度センサ出力電圧 <sup>注</sup> / 内部基準電圧 (1.45 V) <sup>注</sup> (アナログ入力チャンネル指定レジスタ (ADS) で設定)
1	0	ー側の基準電圧 (ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 温度センサ出力電圧, 内部基準電圧 (1.45V) は, HS (高速メイン) モードでのみ選択可能です。

### 12.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・モード・コントロール・レジスタ（PMCxx）、A/Dポート・コンフィギュレーション・レジスタ（ADPC））を設定してください。詳細は、5.3.1 ポート・モード・レジスタ（PMxx）、5.3.6 ポート・モード・コントロール・レジスタ（PMCxx）、5.3.7 A/Dポート・コンフィギュレーション・レジスタ（ADPC）を参照してください。

ANI0-ANI3端子をA/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定し、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に設定してください。

ANI16-ANI19端子をA/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ（PMxx）とポート・モード・コントロール・レジスタ（PMCxx）のビットに1を設定してください。



## 12.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット9をセットし、タップ・セクタは直列抵抗ストリングの電圧タップを (1/2)  $AV_{REF}$  にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力 (1/2)  $AV_{REF}$  よりも大きければ、SARレジスタのMSBビットをセットしたままです。また、(1/2)  $AV_{REF}$  よりも小さければ、MSBビットはリセットします。
- ⑤ 次にSARレジスタのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ・ビット9 = 1 : (3/4)  $AV_{REF}$
- ・ビット9 = 0 : (1/4)  $AV_{REF}$

この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

- ・サンプリングされた電圧  $\geq$  電圧タップ : ビット8 = 1
- ・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします<sup>注1</sup>。  
同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます<sup>注1</sup>。
- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します<sup>注2</sup>。  
A/Dコンバータを停止する場合は、ADCS = 0にしてください。

**注1.** A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図12-8参照)) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD) は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。

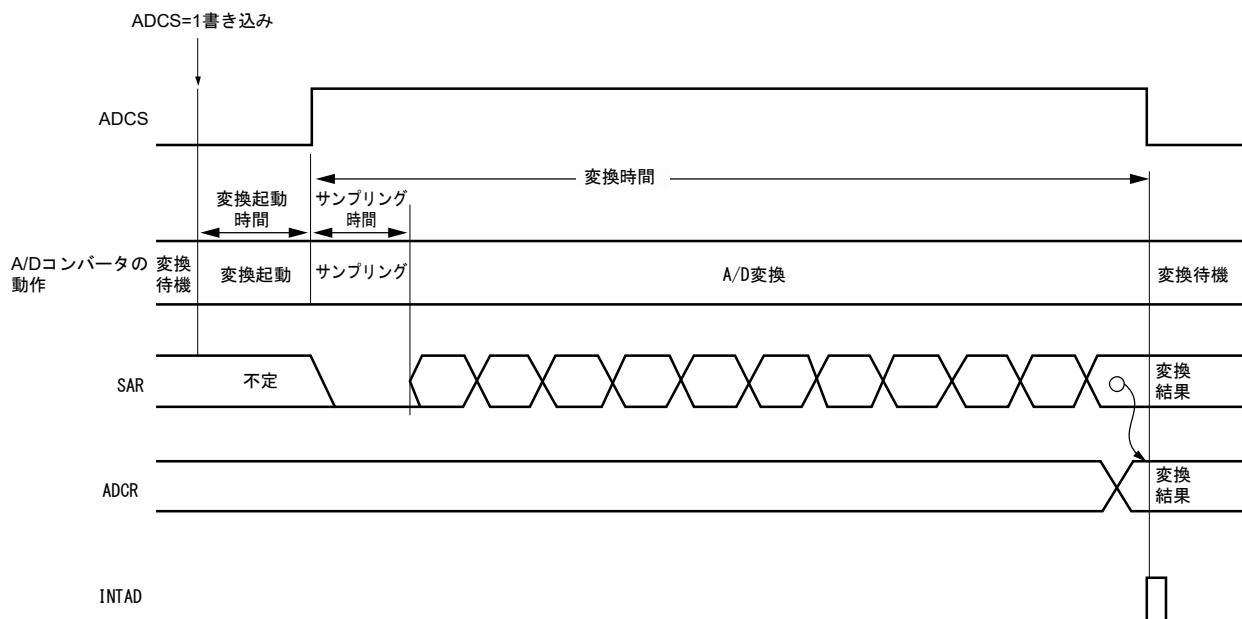
2. 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

**備考 1.** A/D変換結果レジスタは2種類あります。

- ・ADCRレジスタ (16ビット) : 10ビットのA/D変換値を格納します。
- ・ADCRHレジスタ (8ビット) : 8ビットのA/D変換値を格納します。

2.  $AV_{REF}$  : A/Dコンバータの+側基準電圧。 $AV_{REFP}$ , 内部基準電圧 (1.45 V),  $V_{DD}$ から選択可能です。

図12-15 A/Dコンバータの変換動作（ソフトウェア・トリガ・モードの場合）



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア（0）されます。連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）をクリア（0）するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャンネル指定レジスタ（ADS）に対して書き込みおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再指定されたアナログ入力のA/D変換を行いません。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ（ADCR, ADCRH）は、リセット信号の発生により0000Hまた00Hとなります。

### 12.5 入力電圧と変換結果

アナログ入力端子（ANI0-ANI3, ANI16-ANI19）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT \left( \frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

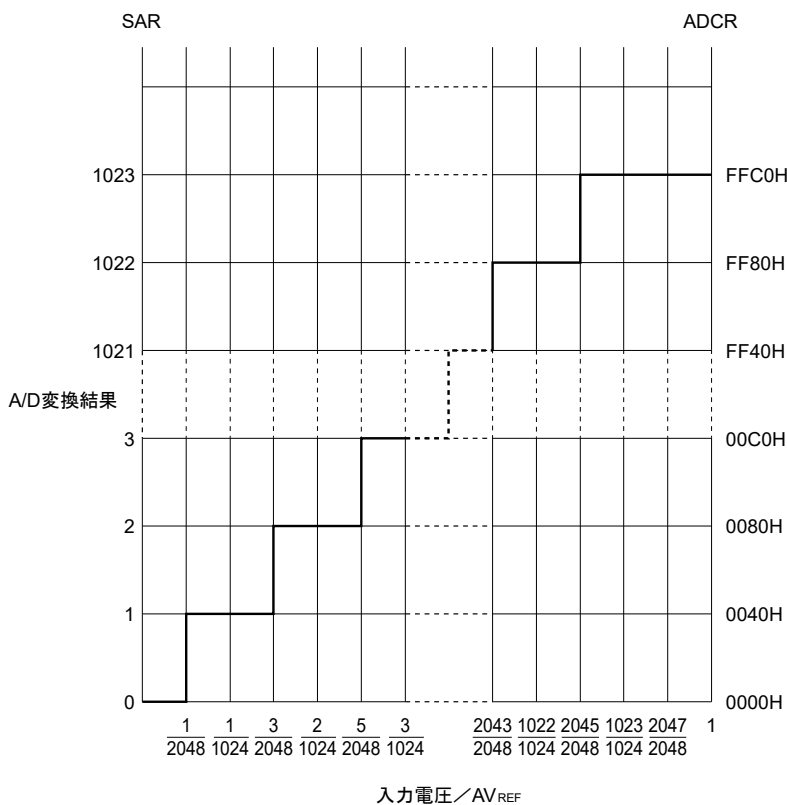
または

$$\left( \frac{ADCR}{64} - 0.5 \right) \times \frac{AV_{REF}}{1024} \leq V_{AIN} < \left( \frac{ADCR}{64} + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

- INT ( ) : ( ) 内の値の整数部を返す関数
- V<sub>AIN</sub> : アナログ入力電圧
- AV<sub>REF</sub> : AV<sub>REF</sub>端子電圧
- ADCR : A/D変換結果レジスタ（ADCR）の値
- SAR : 逐次変換レジスタ

図12-16にアナログ入力電圧とA/D変換結果の関係を示します。

図12-16 アナログ入力電圧とA/D変換結果の関係



**備考** AV<sub>REF</sub> : A/Dコンバータの+側基準電圧。AV<sub>REFP</sub>, 内部基準電圧（1.45 V）, V<sub>DD</sub>から選択可能です。

## 12.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を12.7 A/Dコンバータの設定フロー・チャートに示します。

### 12.6.1 ソフトウェア・トリガ・モード（セレクト・モード，連続変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μs) をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

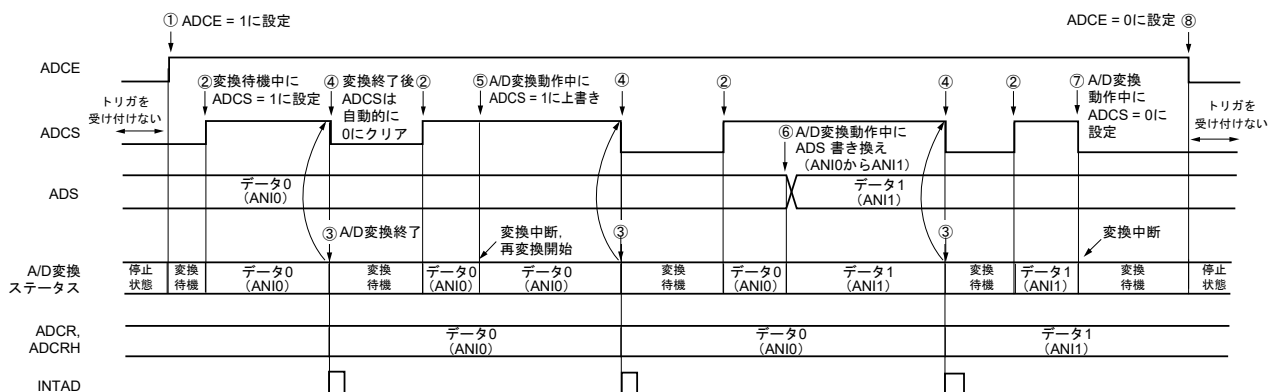
図12-17 ソフトウェア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例



## 12.6.2 ソフトウェア・トリガ・モード（セレクト・モード，ワンショット変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1  $\mu$ s）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。
- ④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても，A/D変換は開始しません。

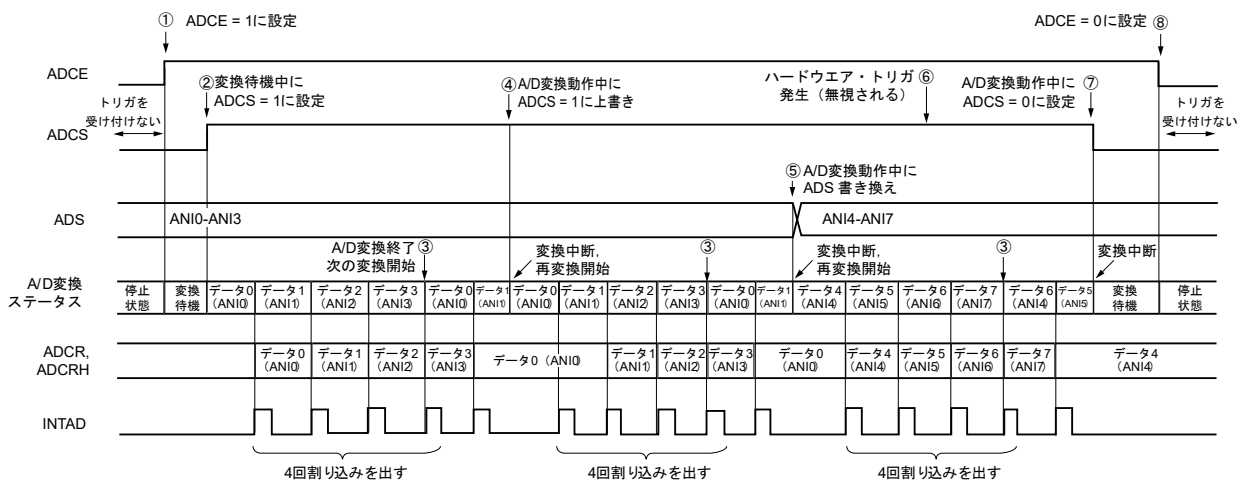
図12-18 ソフトウェア・トリガ・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



### 12.6.3 ソフトウェア・トリガ・モード（スキャン・モード，連続変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し、A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は、設定しているチャネルからすぐに次のA/D変換が自動的に開始されます（4チャネル分）。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

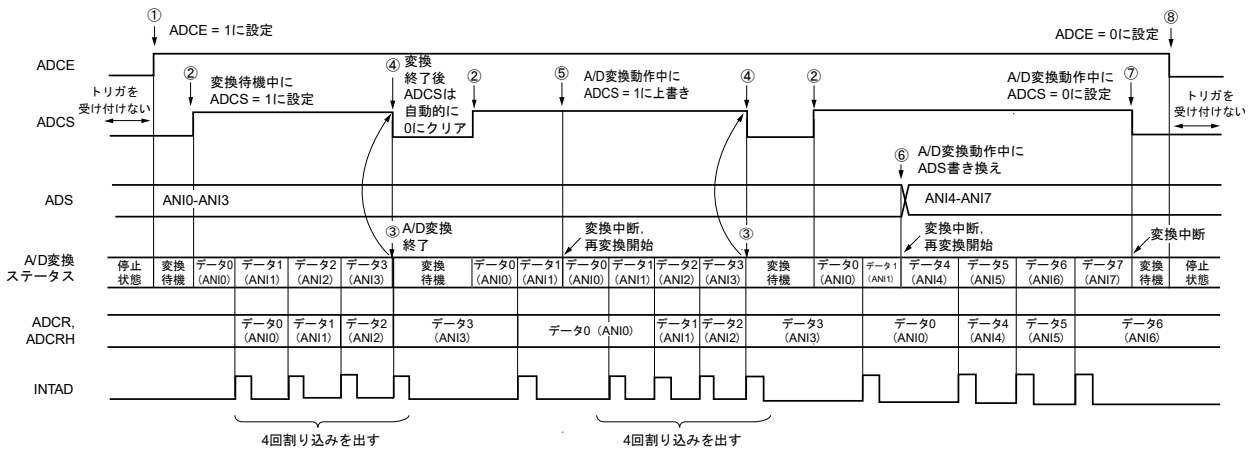
図12-19 ソフトウェア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例



12.6.4 ソフトウェア・トリガ・モード（スキャン・モード，ワンショット変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し、A/D変換終了割り込み要求信号（INTAD）を発生します。
- ④ 4チャネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

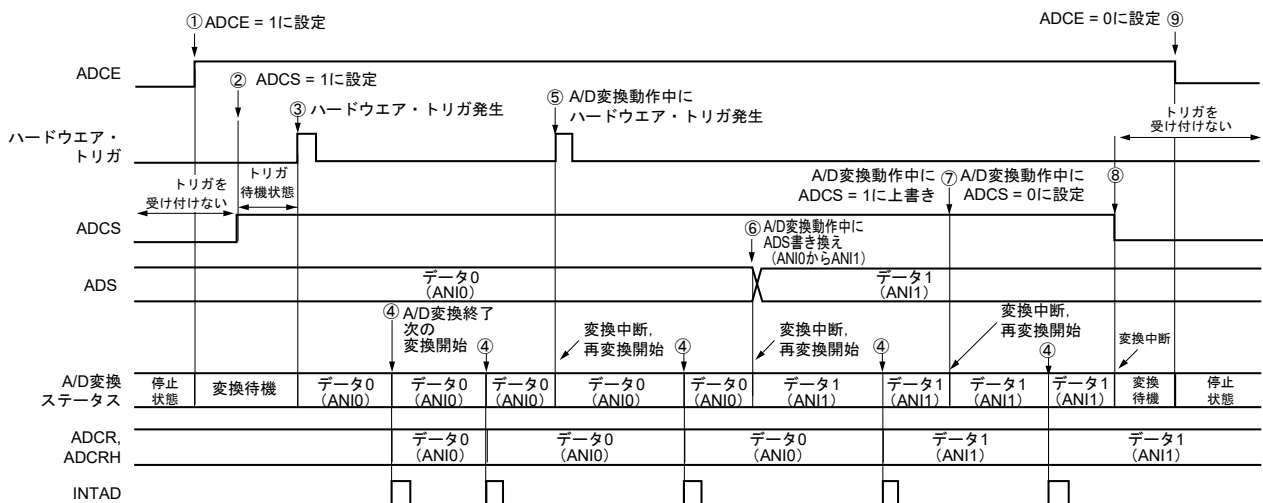
図12-20 ソフトウェア・トリガ・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



### 12.6.5 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウェア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。
- ③ ADCS = 1の状態では，ハードウェア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態となります。ADCS = 0のとき，ハードウェア・トリガが入力されても無視され，A/D変換は開始しません。

図12-21 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例

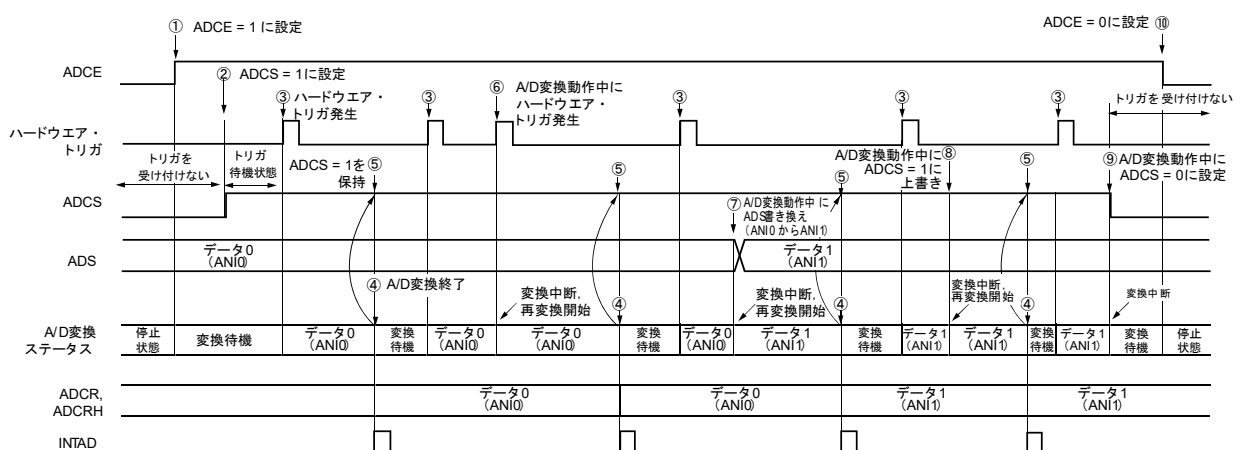




### 12.6.6 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1  $\mu$ s) をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

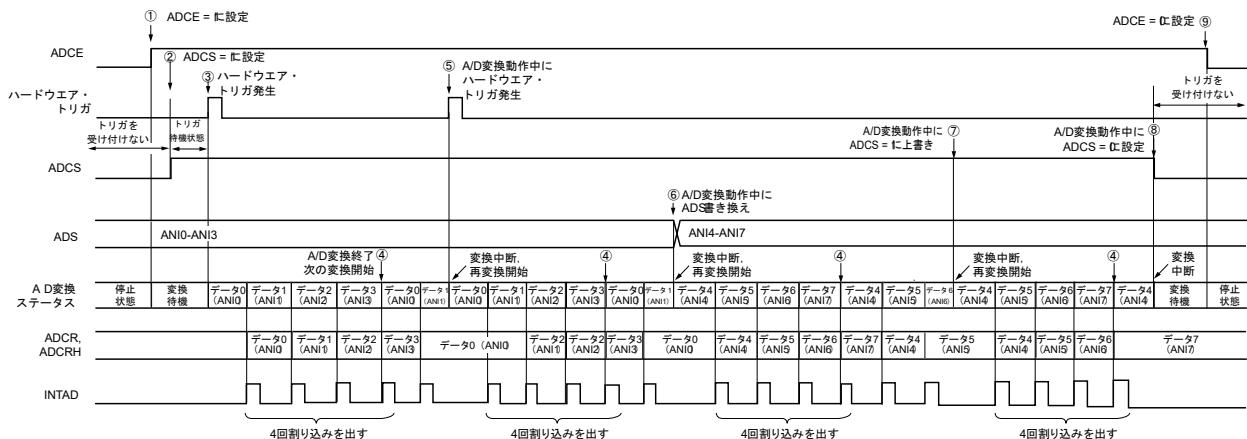
図12-22 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）  
動作タイミング例



### 12.6.7 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウェア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。
- ③ ADCS = 1の状態では，ハードウェア・トリガが入力されると，アナログ入力チャンネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャンネルのA/D変換終了後は，設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態となります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

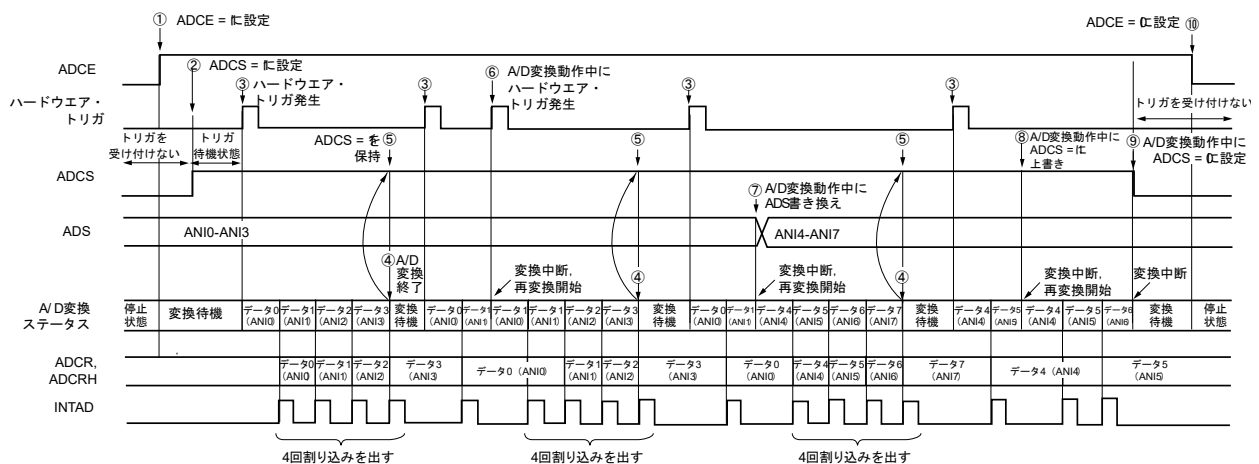
図12-23 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）  
動作タイミング例



### 12.6.8 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し、A/D変換終了割り込み要求信号（INTAD）を発生します。
- ⑤ 4チャンネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

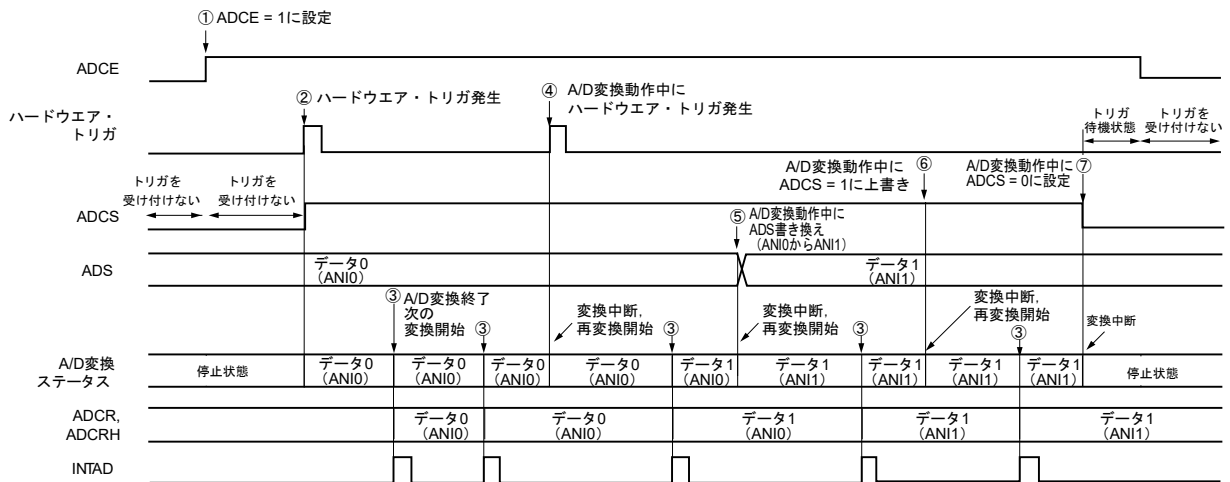
図12-24 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）  
動作タイミング例



### 12.6.9 ハードウェア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で，ハードウェア・トリガが入力されると，アナログ入力チャンネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します（このとき，ハードウェア・トリガは不要です）。
- ④ 変換動作中にハードウェア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウェア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウェア・トリガが入力されても無視され，A/D変換は開始しません。

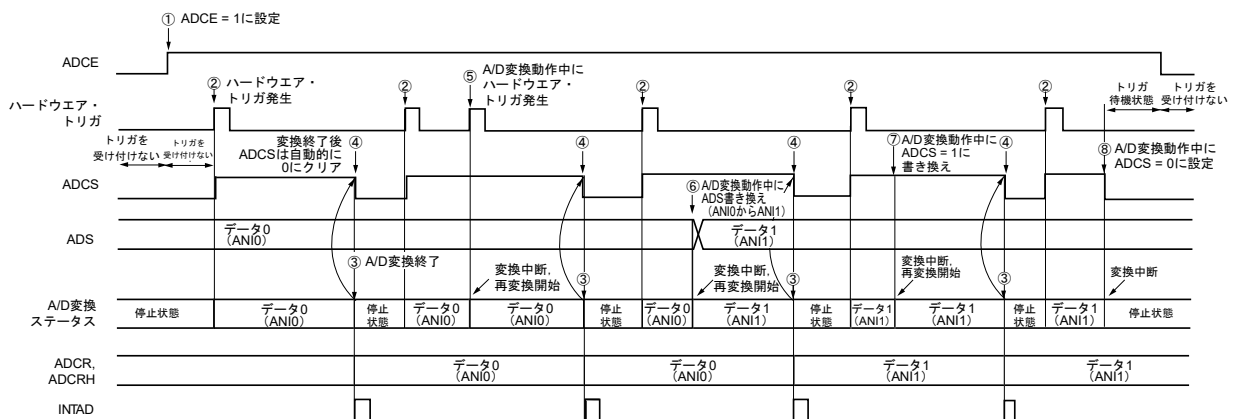
図12-25 ハードウェア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



### 12.6.10 ハードウェア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し、A/D変換終了割り込み要求信号（INTAD）を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

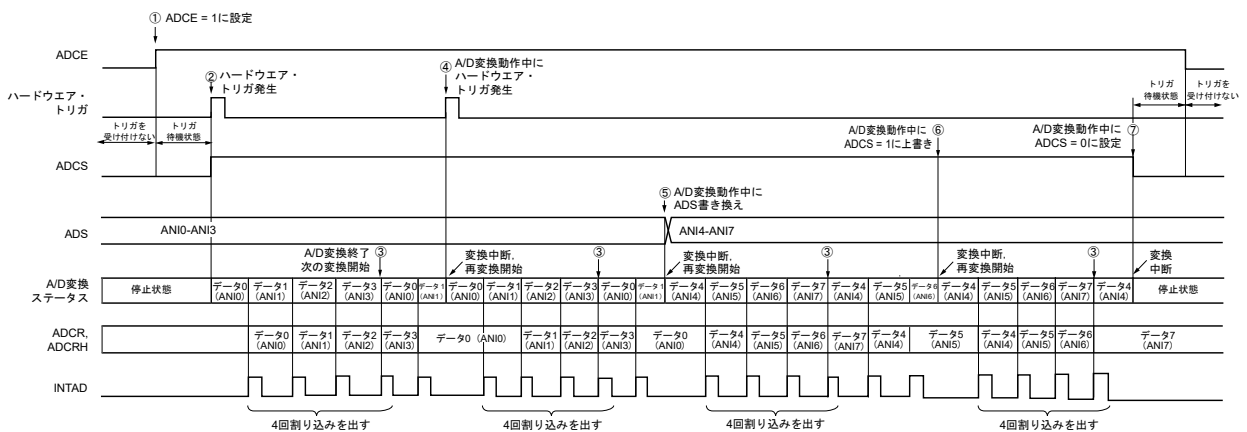
図12-26 ハードウェア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）  
動作タイミング例



### 12.6.11 ハードウェア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）

- ① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で，ハードウェア・トリガが入力されると，アナログ入力チャンネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャンネルのA/D変換終了後は，設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウェア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウェア・トリガが入力されても無視され，A/D変換は開始しません。

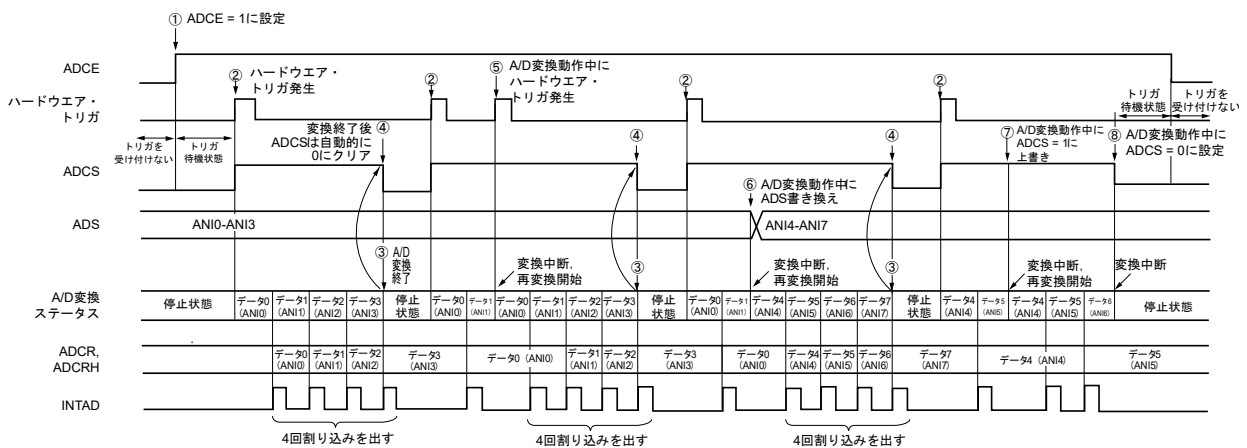
図12-27 ハードウェア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）  
動作タイミング例



### 12.6.12 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード）

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-28 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード）  
動作タイミング例



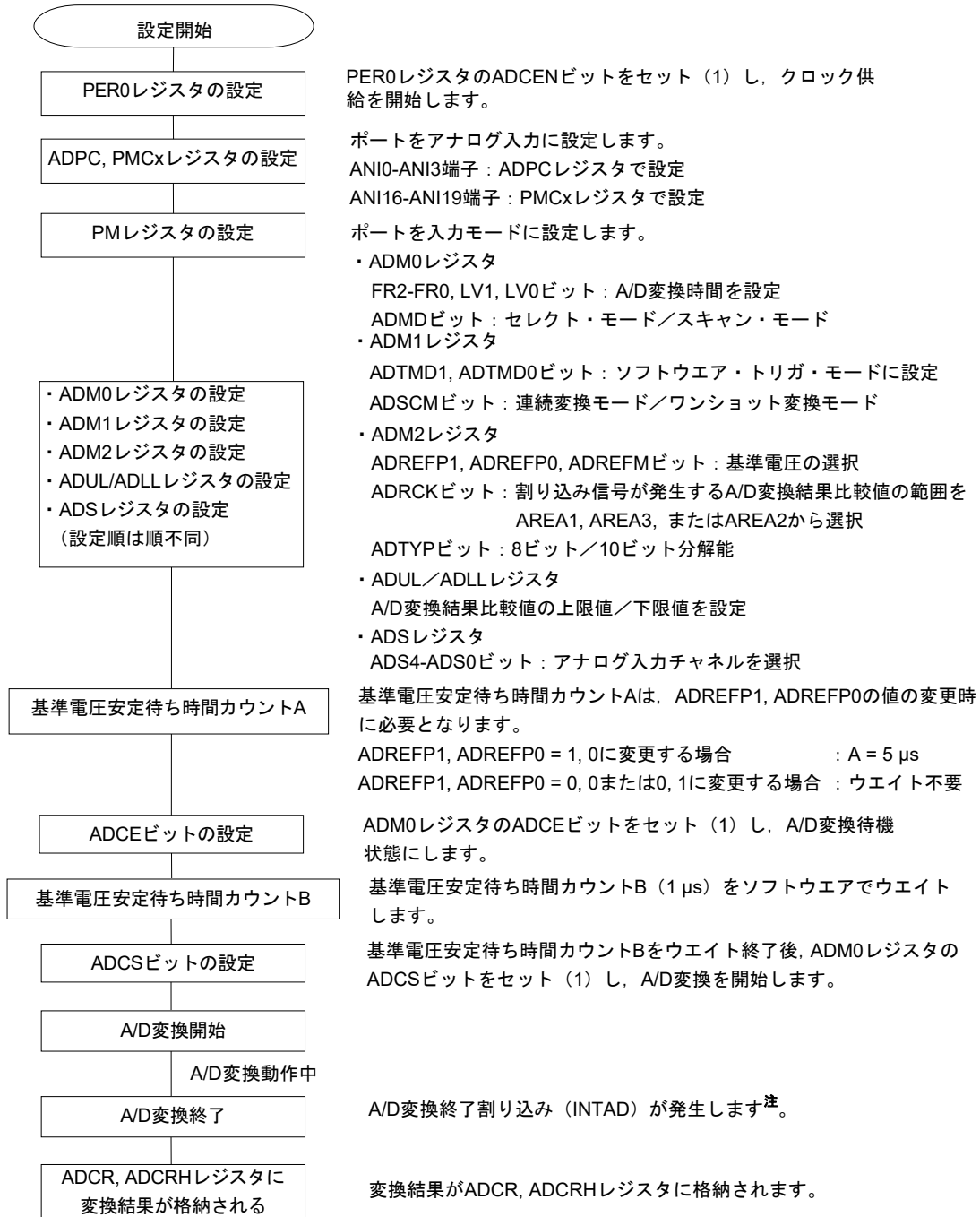


## 12.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

### 12.7.1 ソフトウェア・トリガ・モード設定

図12-29 ソフトウェア・トリガ・モード設定

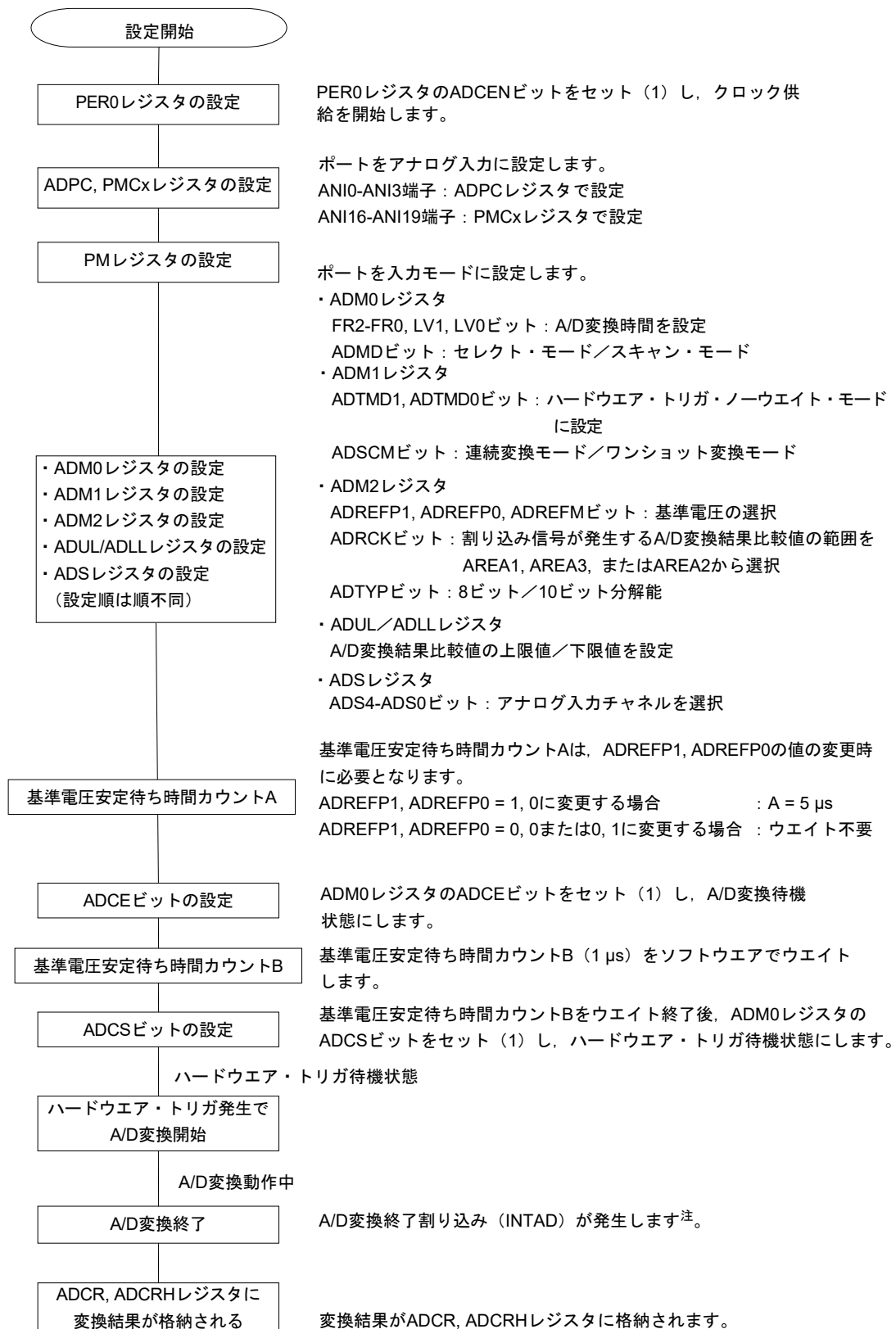


**注** ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。



## 12.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

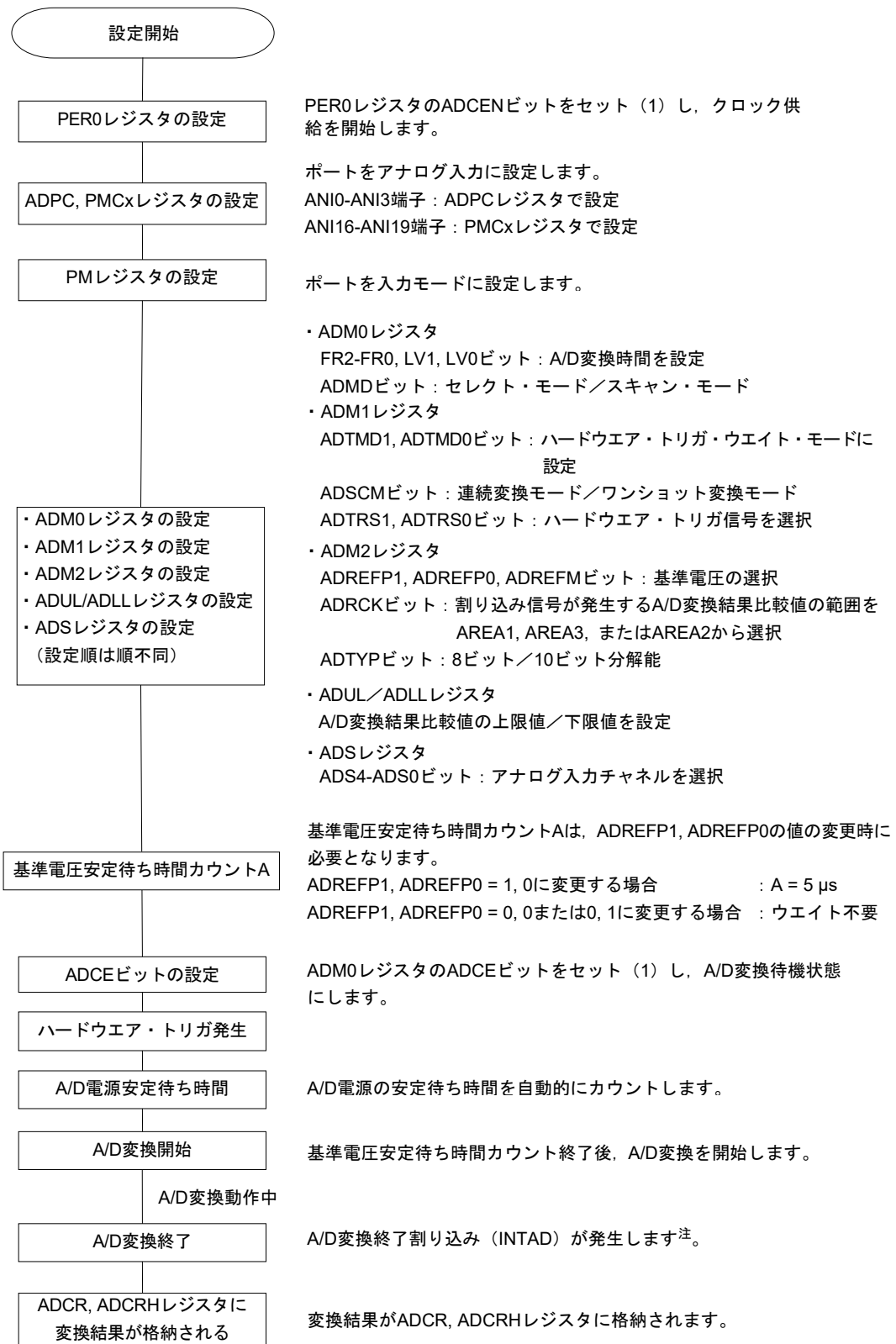
図12-30 ハードウェア・トリガ・ノーウエイト・モード設定



**注** ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

## 12.7.3 ハードウェア・トリガ・ウエイト・モード設定

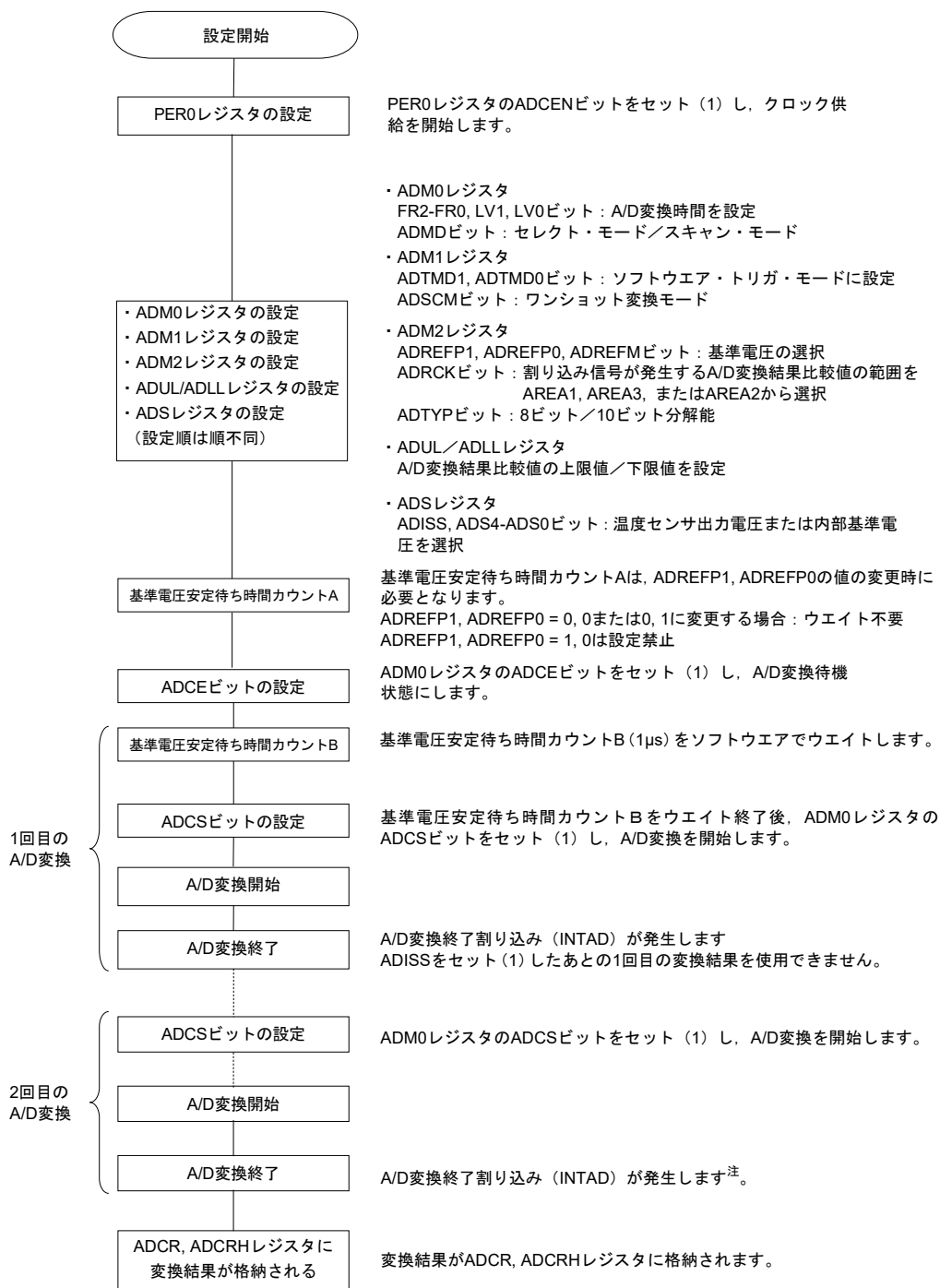
図12-31 ハードウェア・トリガ・ウエイト・モード設定



**注** ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

## 12.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図12-32 温度センサ出力電圧／内部基準電圧を選択時の設定

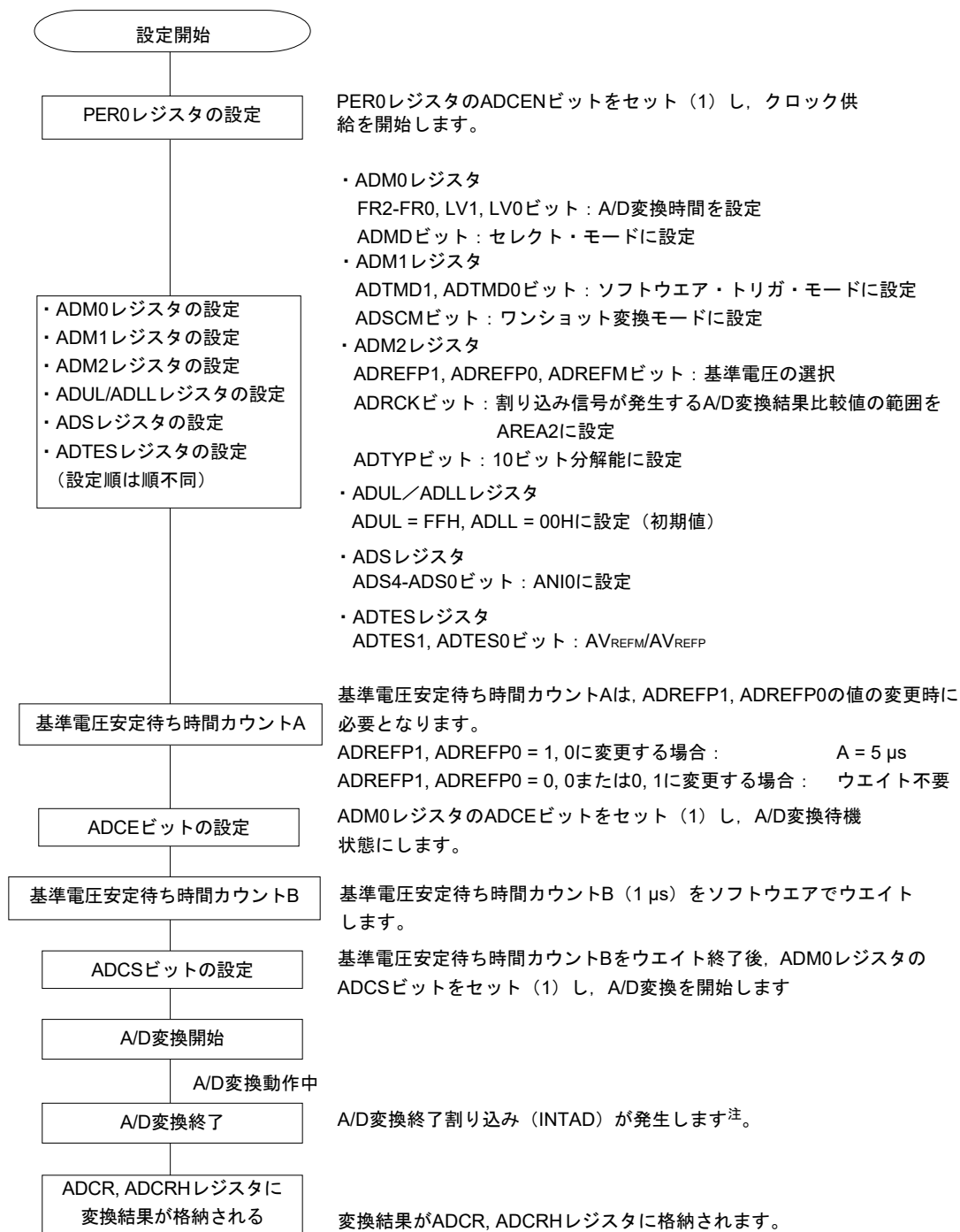


**注** ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

**注意** HS (高速メイン) モードでのみ選択可能です。

## 12.7.5 テスト・モード設定

図12-33 テスト・トリガ・モード設定



**注** ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

**注意** A/Dコンバータのテスト方法については、23.3.8 A/Dテスト機能を参照してください。

## 12.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時はA/D変換は動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

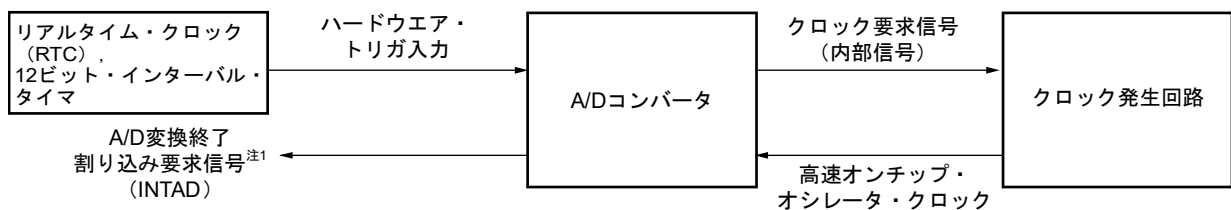
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ハードウェア・トリガ・ウェイト・モード（セレクト・モード、ワンショット変換モード）
- ハードウェア・トリガ・ウェイト・モード（スキャン・モード、ワンショット変換モード）

**注意** SNOOZEモードは、f<sub>CLK</sub>に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図12-34 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います（12.7.3 ハードウェア・トリガ・ウェイト・モード設定を参照<sup>注2</sup>）。STOPモードへ移行する直前に、A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定します。初期設定完了後、A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります<sup>注1</sup>。

**注1.** A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により、割り込み信号が発生しない場合があります。

2. ADM1レジスタは必ずE2HまたはE3HIに設定してください。

**備考** ハードウェア・トリガは、INTRTCまたはINTITです。

ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

## (1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

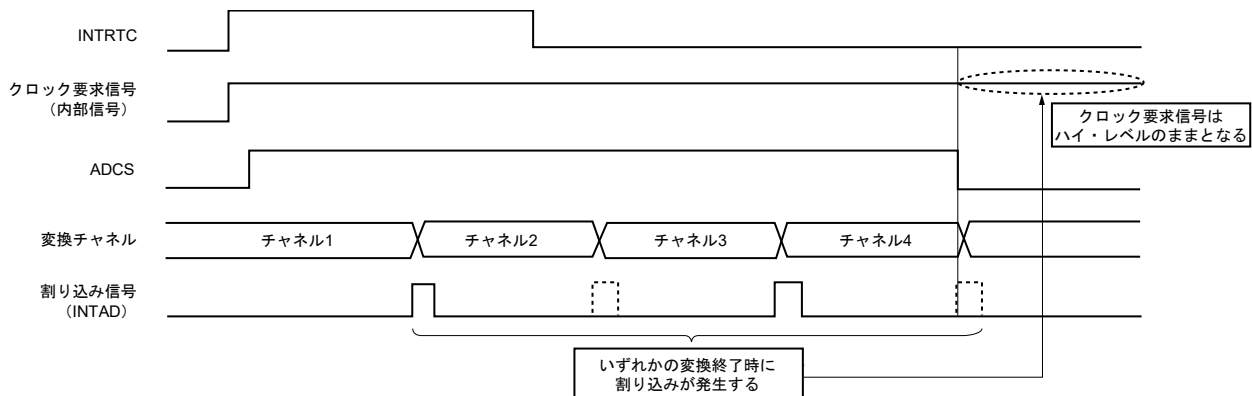
- セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると，A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

- スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合，A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

図12-35 A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



## (2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

- セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウェア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャンネル分のA/D変換が終了したあとに，クロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウェア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図12-36 A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）

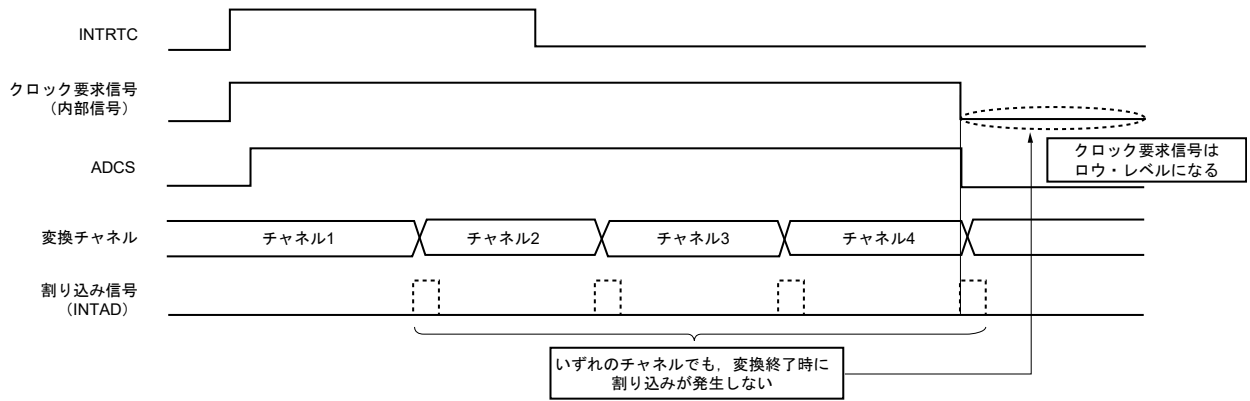
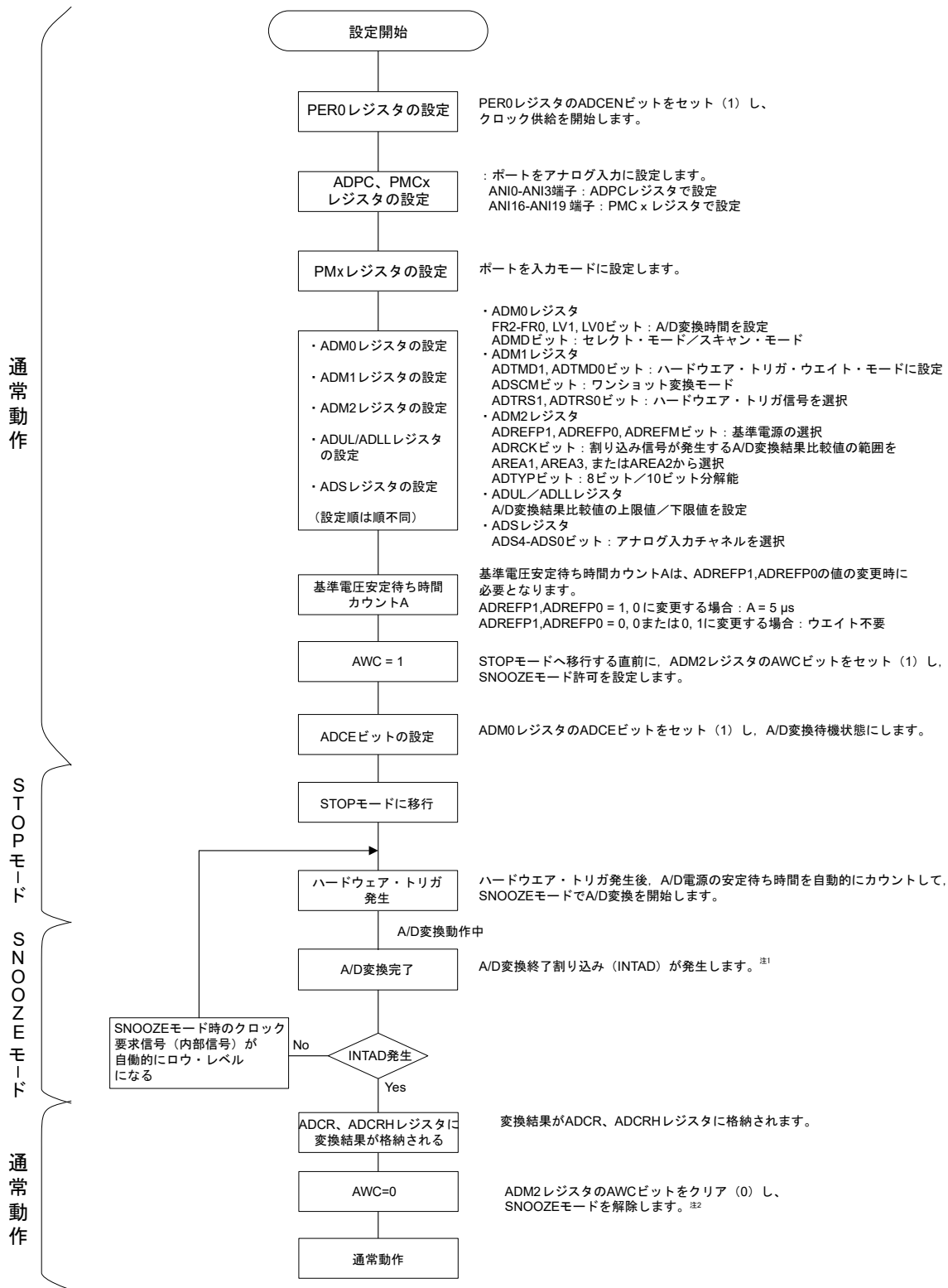


図12-37 SNOOZEモード設定のフロー・チャート



注1. ADRCKビット, ADUL/ADLLレジスタの設定により, A/D変換終了割り込み要求信号 (INTAD) が発生しなかった場合, ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換動作を行います。

2. AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。



## 12.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

### (3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$  LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$  LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図12-38 総合誤差

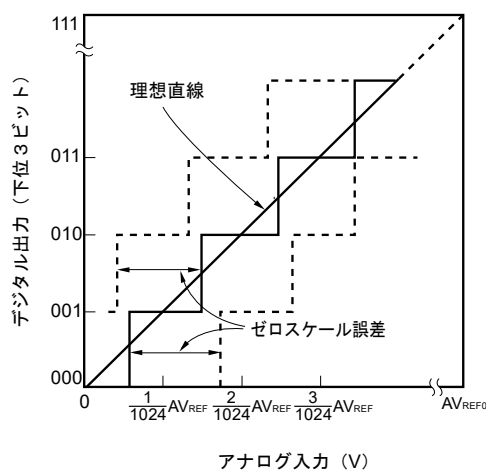
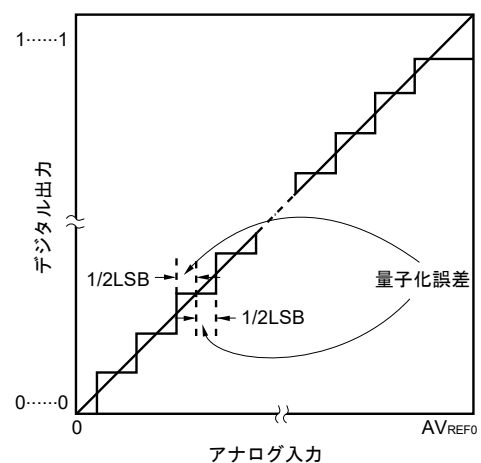


図12-39 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0………000から0………001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0………001から0………010に変化するときの、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1………110から1………111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール-3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図12-40 ゼロスケール誤差

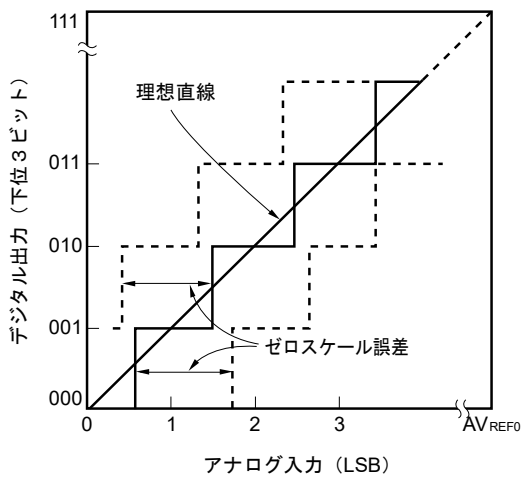


図12-41 フルスケール誤差

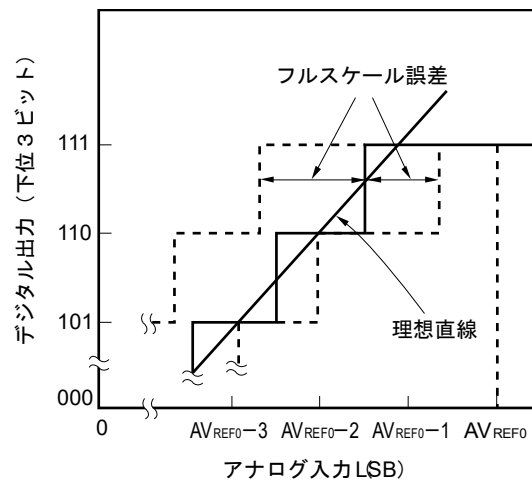


図12-42 積分直線性誤差

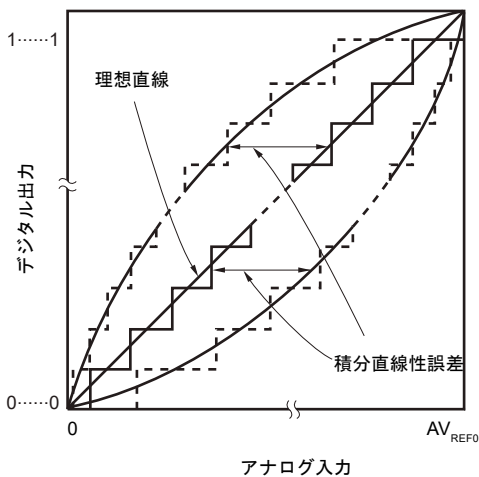
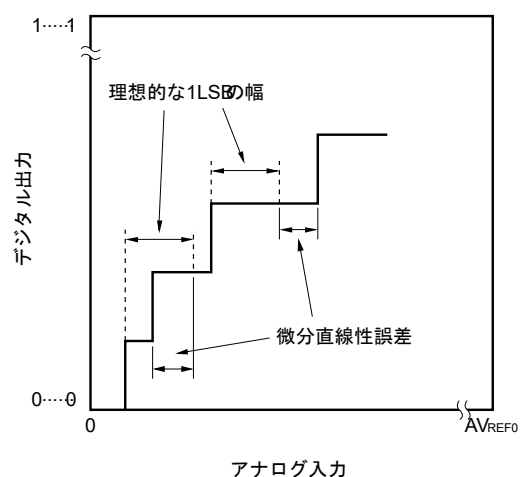


図12-43 微分直線性誤差



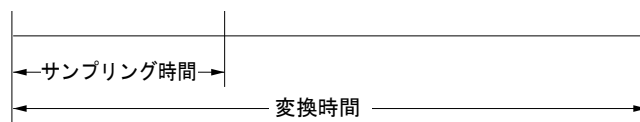
## (8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

## (9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



## 12.10 A/Dコンバータの注意事項

### (1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることで、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから、動作開始してください。

### (2) ANI0-ANI3, ANI16-ANI19端子入力範囲について

ANI0-ANI3, ANI16-ANI19端子入力電圧は規格の範囲内でご使用ください。特にV<sub>DD</sub>, AV<sub>REFP</sub>を越える電圧, V<sub>SS</sub>, AV<sub>REFM</sub>未満（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

内部基準電圧（1.45 V）をA/Dコンバータの+側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧（1.45 V）を越える電圧の電圧を入れしないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧（1.45 V）を越える電圧の電圧になっていても問題ありません。

**注意** 内部基準電圧（1.45 V）は、HS（高速メイン）モードでのみ選択可能です。

### (3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

- ② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト、アナログ入力チャネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

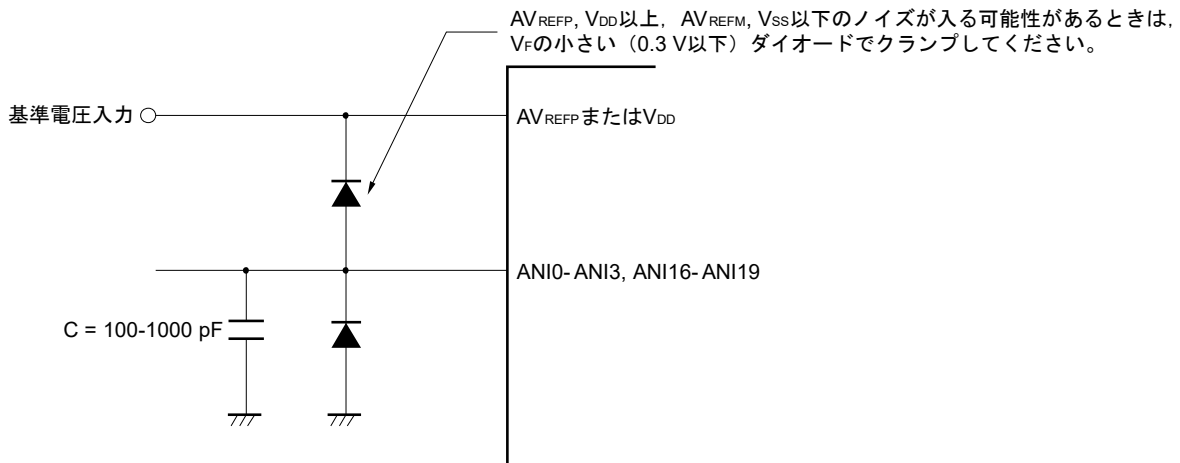
ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

### (4) ノイズ対策について

10ビット分解能を保つためには、AV<sub>REFP</sub>, V<sub>DD</sub>, ANI0-ANI3, ANI16-ANI19端子へのノイズに注意する必要があります。

- ① 電源には等価抵抗が小さく、周波数応答のよいコンデンサを（0.01 μF程度）を最短距離かつ、比較的太い配線を使って接続してください。
- ② アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-42のようにコンデンサを外付けすることを推奨します。
- ③ 変換中においては、他の端子をスイッチングしないようにしてください。
- ④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図12-44 アナログ入力端子の処理



## (5) アナログ入力 (ANIn) 端子

- ① アナログ入力 (ANI0-ANI3) 端子は入力ポート (P20-P23) 端子と兼用になっています。

ANI0-ANI3端子のいずれかを選択してA/D変換をする場合、変換中にP20-P23に対して出力値を変更しないでください。変換精度が低下することがあります。

- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号の様に急激に変換するパルスが入出力されないようにしてください。

## (6) アナログ入力 (ANIn) 端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1kΩ以下にしてください。出力インピーダンスが1kΩ以下にできないときはサンプリング時間を長く設定するかANI0-ANI3, ANI16-ANI19端子に0.1μF程度のコンデンサを付けることを推奨します (図12-42参照)。また、変換動作中にADCS=0に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS=0を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

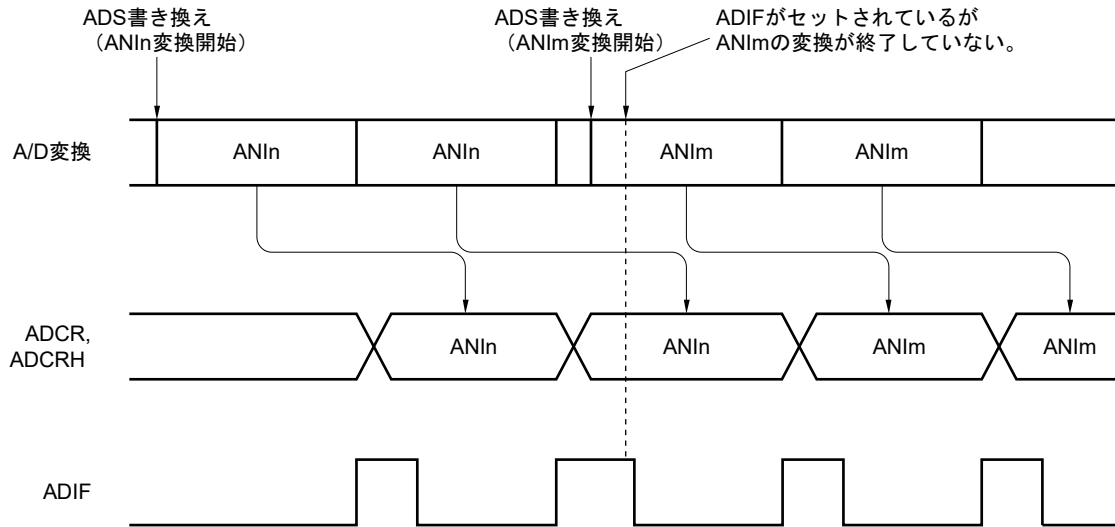
## (7) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア (0) してください。

図12-45 A/D変換終了割り込み要求発生タイミング



## (8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウェイト・モードでADCEビット = 1にしてから、1  $\mu$ s以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

## (9) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC)、ポート・モード・コントロール・レジスタ (PMCx) に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPC, PMCxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

## (10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12-46 ANIn端子内部等価回路

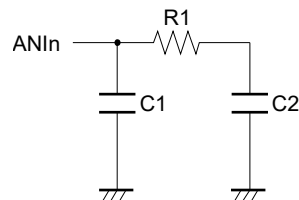


表12-4 等価回路の各抵抗と容量値（参考値）

$AV_{REFP}, V_{DD}$	ANIn端子	R1 [k $\Omega$ ]	C1 [pF]	C2 [pF]
$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	ANI0-ANI3	39	8	2.5
	ANI16-ANI19	53	8	7.0
$1.8\text{ V} \leq V_{DD} \leq 2.7\text{ V}$	ANI0-ANI3	231	8	2.5
	ANI16-ANI19	321	8	7.0
$1.6\text{ V} \leq V_{DD} \leq 2.7\text{ V}$	ANI0-ANI3	632	8	2.5
	ANI16-ANI19	902	8	7.0

**備考** 表12-4の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、 $AV_{REFP}, V_{DD}$ の電圧が安定してから開始してください。

## 第13章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに最大4つのシリアル・チャンネルを持ちます。各チャンネルは3線シリアル（CSI）、UART、簡易I<sup>2</sup>Cの通信機能を実現できます。

RL78/G1Dで対応している各チャンネルの機能割り当ては、次のようになっています

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	UART1	-
	3	-		-
1	0	CSI20	-	IIC20
	1	CSI21 <sup>※</sup>		-

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00を使用することはできませんが、チャンネル2, 3のUART1は使用することができます。

MCUとRFトランシーバ間の内部通信専用です。



## 13.1 シリアル・アレイ・ユニットの機能

RL78/G1Dで対応している各シリアル・インタフェースの特徴を示します。

### 13.1.1 3線シリアルI/O (CSI00, CSI20, CSI21)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信/受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は, 13.5 3線シリアルI/O (CSI00, CSI20, CSI21) 通信の動作を参照してください。

#### [データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

#### [クロック制御]

- マスタ/スレーブの選択
- 入出力クロックの位相制御
- プリスケールとチャンネル内カウンタによる転送周期の設定
- 最大転送レート<sup>※</sup>

マスタ通信時 : Max.  $f_{CLK}/2$  (CSI00のみ)

Max.  $f_{CLK}/4$

スレーブ通信時 : Max.  $f_{MCK}/6$

#### [割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

#### [エラー検出フラグ]

- オーバラン・エラー

また, CSI00は, SNOOZEモードに対応しています。SNOOZEモードとは, STOPモード状態でSCK入力を検出すると, CPU動作を必要とせずにデータ受信を行う機能であり非同期受信動作に対応しています。

**注1.** SCKサイクル・タイム ( $t_{CY}$ ) の特性を満たす範囲内で使用してください。詳細は, 第30章 電気的特性を参照してください。

**2.** CSI21は, 表2-3に示す内容のみ, 対応となります。

### 13.1.2 UART (UART0, UART1)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ポー・レートを使用して) データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全2重UART通信が実現できます。具体的な設定例は、13.6 UART (UART0, UART1) 通信の動作を参照してください。

#### [データ送受信]

- 7, 8, 9ビットのデータ長<sup>※</sup>
- MSB/LSBファーストの選択
- 送受信データのレベル設定, 反転の選択
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加

#### [割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

#### [エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

**注** 9ビット・データ長は、UART0のみ対応しています。

また、UART0受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応しています。

### 13.1.3 簡易I<sup>2</sup>C (IIC00, IIC20)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I<sup>2</sup>Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

具体的な設定例は、13.7 簡易I<sup>2</sup>C (IIC00, IIC20) 通信の動作を参照して下さい。

#### [データ送受信]

- マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK出力機能<sup>※</sup>, ACK検出機能
- 8ビットのデータ長  
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- スタート・コンディション, ストップ・コンディション手動発生

#### [割り込み機能]

- 転送完了割り込み

#### [エラー検出フラグ]

- ACKエラー, オーバラン・エラー

#### [簡易I<sup>2</sup>Cでサポートしていない機能]

- スレーブ送信, スレーブ受信
- アービトレーション負け検出機能
- ウェイト検出機能

**注** 最終データの受信時は、SOEmnビット (シリアル出力許可レジスタm (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、13.7.3 (2) 処理フローを参照してください。

**備考** m : ユニット番号 (m = 0, 1)    n : チャネル番号 (n = 0)

## 13.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表13-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット <sup>注1</sup>
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位8ビットまたは9ビット <sup>注1,2</sup>
シリアル・クロック入出力	SCK00, SCK20端子 (3線シリアルI/O用), SCL00, SCL20端子 (簡易I <sup>2</sup> C用)
シリアル・データ入力	SI00, SI20端子 (3線シリアルI/O用), RxD0, RxD1端子 (UART用)
シリアル・データ出力	SO00, SO20端子 (3線シリアルI/O用), TxD0, TxD1端子 (UART用)
シリアル・データ入出力	SDA00, SDA20端子 (簡易I <sup>2</sup> C用)
制御レジスタ	<p>&lt;ユニット設定部のレジスタ&gt;</p> <ul style="list-style-type: none"> <li>・周辺イネーブル・レジスタ0 (PER0)</li> <li>・シリアル・クロック選択レジスタm (SPSm)</li> <li>・シリアル・チャンネル許可レジスタm (SEm)</li> <li>・シリアル・チャンネル開始レジスタm (SSm)</li> <li>・シリアル・チャンネル停止レジスタm (STm)</li> <li>・シリアル出力許可レジスタm (SOEm)</li> <li>・シリアル出力レジスタm (SOM)</li> <li>・シリアル出力レベル・レジスタm (SOLm)</li> <li>・シリアル・スタンバイ・コントロール・レジスタm (SSCm)</li> <li>・ノイズ・フィルタ許可レジスタ0 (NFEN0)</li> </ul> <p>&lt;各チャンネル部のレジスタ&gt;</p> <ul style="list-style-type: none"> <li>・シリアル・データ・レジスタmn (SDRmn)</li> <li>・シリアル・モード・レジスタmn (SMRmn)</li> <li>・シリアル通信動作設定レジスタmn (SCRmn)</li> <li>・シリアル・ステータス・レジスタmn (SSRmn)</li> <li>・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)</li> </ul> <ul style="list-style-type: none"> <li>・ポート入力モード・レジスタ0, 1 (PIM0, PIM1)</li> <li>・ポート出力モード・レジスタ0, 1 (POM0, POM1)</li> <li>・ポート・モード・コントロール・レジスタ0 (PMC0)</li> <li>・ポート・モード・レジスタ0, 1, 7 (PM0, PM1, PM7)</li> <li>・ポート・レジスタ0, 1, 7 (P0, P1, P7)</li> </ul>

**注1.** シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。

mn = 00, 01の場合 : 下位9ビット

**2.** シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- CSIp通信時                    ・ ・ ・ SIOp (CSIpデータ・レジスタ)
- UARTq受信時                ・ ・ ・ RXDq (UARTq受信データ・レジスタ)
- UARTq送信時                ・ ・ ・ TXDq (UARTq送信データ・レジスタ)
- IICr通信時                    ・ ・ ・ SIOr (IICrデータ・レジスタ)

**備考** m : ユニット番号 (m = 0, 1)    n : チャンネル番号 (n = 0-3)    p : CSI番号 (p = 00, 20, 21)

q : UART番号 (q = 0, 1)    r : IIC番号 (r = 00, 20)

図13-1にシリアル・アレイ・ユニット0のブロック図を示します。

図13-1 シリアル・アレイ・ユニット0のブロック図

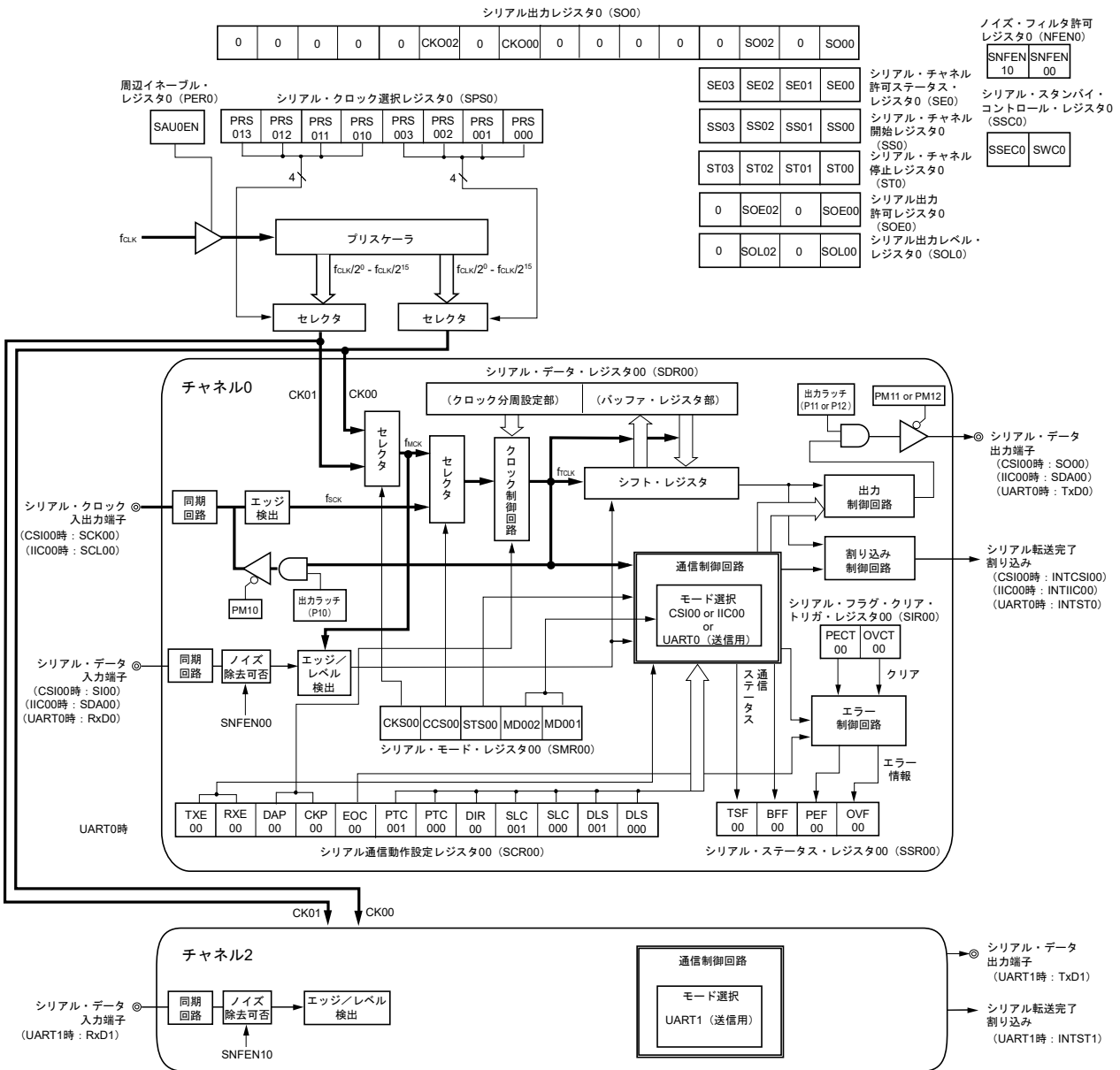
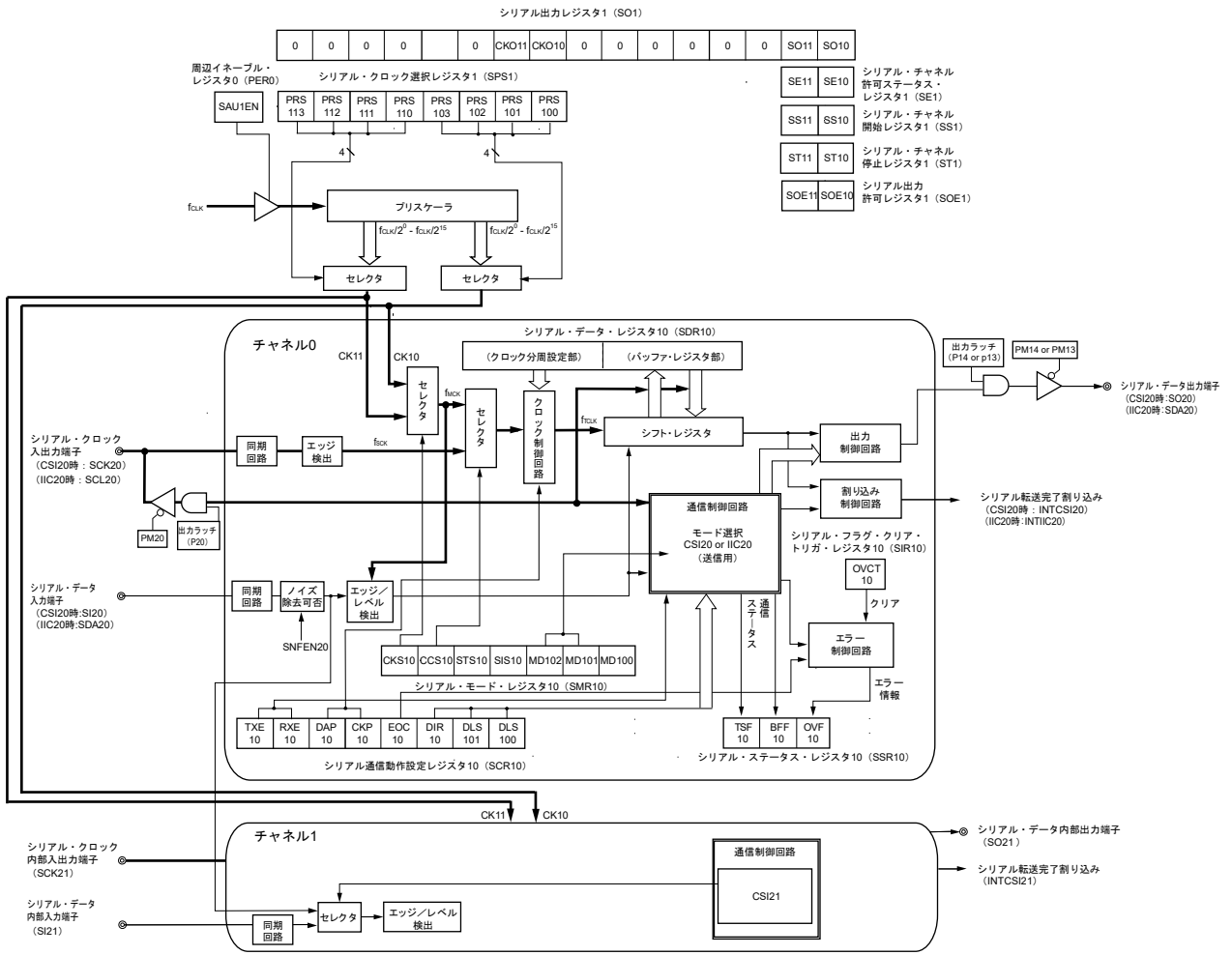


図13-2にシリアル・アレイ・ユニット1のブロック図を示します。

図13-2 シリアル・アレイ・ユニット1のブロック図



### 13.2.1 シフト・レジスタ

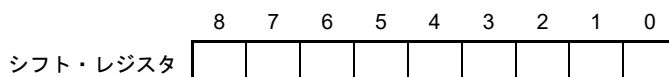
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット（ビット0～8）を使用します<sup>注1</sup>。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットを使用します。



### 13.2.2 シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）<sup>注1</sup>、またはビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック（f<sub>MCK</sub>）の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタmn（SCRmn）のビット0, 1（DLSmn0, DLSmn1）の設定によって、次のようになります。

- 7ビット・データ長（SDRmnレジスタのビット0-6に格納）
- 8ビット・データ長（SDRmnレジスタのビット0-7に格納）
- 9ビット・データ長（SDRmnレジスタのビット0-8に格納）<sup>注1</sup>

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能<sup>注2</sup>です。

- CSIp通信時                    ・ ・ ・ SIOp（CSIpデータ・レジスタ）
- UARTq受信時                ・ ・ ・ RXDq（UARTq受信データ・レジスタ）
- UARTq送信時                ・ ・ ・ TXDq（UARTq送信データ・レジスタ）
- IICr通信時                    ・ ・ ・ SIOr（IICrデータ・レジスタ）

リセット信号の発生により、SDRmnレジスタは0000Hになります。

**注1.** 9ビット・データ長は、UART0のみ対応しています。

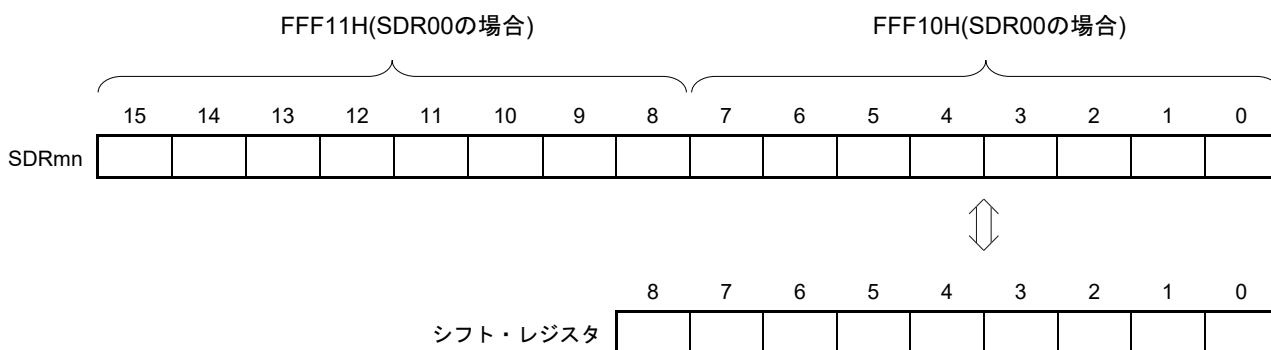
2. 動作停止（SEmn = 0）時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

**備考1.** 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

2. m: ユニット番号（m = 0, 1） n: m = 0の時 チャンネル番号（n = 0-3）, m = 1の時 チャンネル番号（n = 0, 1） p: CSI番号（p = 00, 20, 21） q: UART番号（q = 0, 1） r: IIC番号（r = 00, 20）

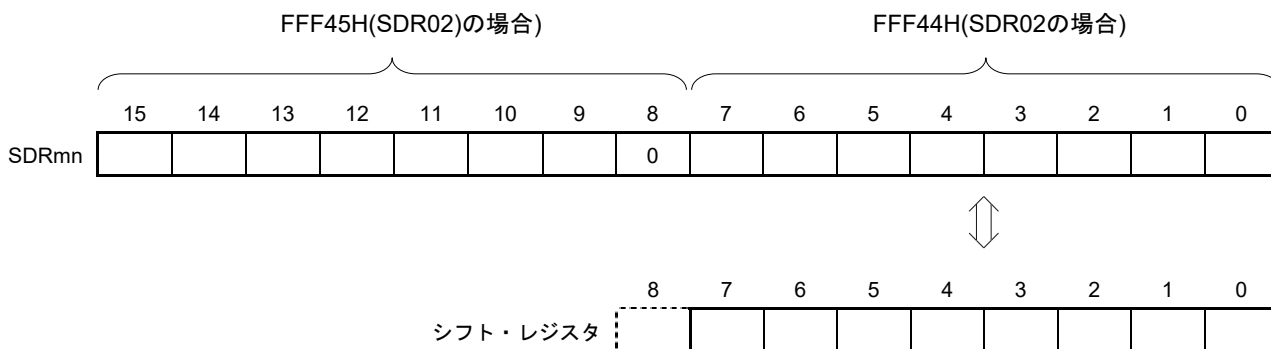
図13-3 シリアル・データ・レジスタmn (SDRmn) (mn = 00, 01) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W



**備考** SDRmnレジスタの上位7ビットの機能については、13.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図13-4 シリアル・データ・レジスタmn (SDRmn) (mn = 02, 03, 10, 11) のフォーマット

アドレス : FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) リセット時 : 0000H R/W  
FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11)

**注意** ビット8は、必ず0を設定してください。

**備考** SDRmnレジスタの上位7ビットの機能については、13.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。



### 13.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- シリアル・クロック選択レジスタm (SPSm)
- シリアル・モード・レジスタmn (SMRmn)
- シリアル通信動作設定レジスタmn (SCRmn)
- シリアル・データ・レジスタmn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- シリアル・ステータス・レジスタmn (SSRmn)
- シリアル・チャンネル開始レジスタm (SSm)
- シリアル・チャンネル停止レジスタm (STm)
- シリアル・チャンネル許可ステータス・レジスタm (SEm)
- シリアル出力許可レジスタm (SOEm)
- シリアル出力レベル・レジスタm (SOLm)
- シリアル出力レジスタm (SOm)
- シリアル・スタンバイ・コントロール・レジスタm (SSCm)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ0, 1 (PIM0, PIM1)
- ポート出力モード・レジスタ0, 1 (POM0, POM1)
- ポート・モード・コントロール・レジスタ0 (PMC0)
- ポート・モード・レジスタ0, 1, 7 (PM0, PM1, PM7)
- ポート・レジスタ0, 1, 7 (P0, P1, P7)

**備考** m: ユニット番号 (m = 0, 1)    n: m = 0の時 チャンネル番号 (n = 0-3), m = 1の時 チャンネル番号 (n = 0, 1)

### 13.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN) に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図13-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入カクロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

**注意1.** シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態です。下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタは初期値となり、書き込みは無視されます（ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート入力モード・レジスタ0, 1 (PIM0, PIM1)、ポート出力モード・レジスタ0, 1 (POM0, POM1)、ポート・モード・コントロール・レジスタ0 (PMC0)、ポート・モード・レジスタ0, 1, 7 (PM0, PM1, PM7)、ポート・レジスタ0, 1, 7 (P0, P1, P7) は除く）。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)

2. ビット1, 6 には必ず“0”を設定してください。

### 13.3.2 シリアル・クロック選択レジスタm (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図13-6 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0) , F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0		動作クロック (CKmk) の選択 <sup>注1</sup>				
					f <sub>CLK</sub> = 2 MHz	f <sub>CLK</sub> = 5 MHz	f <sub>CLK</sub> = 10 MHz	f <sub>CLK</sub> = 20 MHz	f <sub>CLK</sub> = 32 MHz
0	0	0	0	f <sub>CLK</sub>	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	f <sub>CLK</sub> /2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	f <sub>CLK</sub> /2 <sup>2</sup>	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	f <sub>CLK</sub> /2 <sup>3</sup>	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	f <sub>CLK</sub> /2 <sup>4</sup>	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	f <sub>CLK</sub> /2 <sup>5</sup>	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	f <sub>CLK</sub> /2 <sup>6</sup>	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	f <sub>CLK</sub> /2 <sup>7</sup>	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	f <sub>CLK</sub> /2 <sup>8</sup>	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	f <sub>CLK</sub> /2 <sup>9</sup>	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	f <sub>CLK</sub> /2 <sup>10</sup>	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	f <sub>CLK</sub> /2 <sup>11</sup>	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	f <sub>CLK</sub> /2 <sup>12</sup>	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	78.1 kHz
1	1	0	1	f <sub>CLK</sub> /2 <sup>13</sup>	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	f <sub>CLK</sub> /2 <sup>14</sup>	122 Hz	305 Hz	610 kHz	1.22 kHz	1.95 kHz
1	1	1	1	f <sub>CLK</sub> /2 <sup>15</sup>	61 Hz	153 Hz	305 Hz	610 Hz	997 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中にf<sub>CLK</sub>で選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAUの動作を停止 (シリアル・チャンネル停止レジスタm (STm) = 000FH) させてから変更してください。

注意 ビット15-8には、必ず0を設定してください。

備考1. f<sub>CLK</sub> : CPU/周辺ハードウェア・クロック周波数

2. m : ユニット番号 (m = 0, 1)

3. k = 0, 1

### 13.3.3 シリアル・モード・レジスタmn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック ( $f_{MCK}$ ) の選択, シリアル・クロック ( $f_{SCK}$ ) 入力の使用可否, スタート・トリガ設定, 動作モード (CSI, UART, 簡易I<sup>2</sup>C) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 ( $SE_{mn} = 1$  のとき) の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図13-7 シリアル・モード・レジスタmn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03)      リセット時 : 0020H R/W  
F0150H, F0151H (SMR10) , F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn <sup>注</sup>	0	SIS mn0 <sup>注</sup>	1	0	0	MD mn2	MD mn1	MD mn0

CKSmn	チャンネルnの動作クロック ( $f_{MCK}$ ) の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック ( $f_{MCK}$ ) は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック ( $f_{CLK}$ ) を生成します。	

CCSmn	チャンネルnの転送クロック ( $f_{CLK}$ ) の選択
0	CKSmnビットで指定した動作クロックfMCKの分周クロック
1	SCKp端子からの入力クロックfSCK (CSIモードのスレーブ転送)
転送クロックfCLKは、シフト・レジスタ, 通信制御回路, 出力制御回路, 割り込み制御回路, エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック ( $f_{MCK}$ ) の分周設定を行います。	

STSmn <sup>注</sup>	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信, 簡易I <sup>2</sup> C時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後, 上記の要因が満たされてから転送開始となります。	

注 SMR01, SMR03レジスタのみ。

**注意** ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR11レジスタの場合は, ビット13-6, 4, 3) には, 必ず0を設定してください。ビット5には, 必ず1を設定してください。

**備考** m : ユニット番号 (m = 0, 1)    n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)  
p : CSI番号 (p = 00, 20, 21)    q : UART番号 (q = 0, 1)    r : IIC番号 (r = 00, 20)

図13-7 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03) リセット時 : 0020H R/W  
 F0150H, F0151H (SMR10) , F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR	CKS	CCS	0	0	0	0	0	STS	0	SIS	1	0	0	MD	MD	MD
mn	mn	mn						mn <sup>注</sup>		mn0 <sup>注</sup>				mn2	mn1	mn0

SISmn0 <sup>注</sup>	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MDmn2	MDmn1	チャンネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I <sup>2</sup> Cモード
1	1	設定禁止

MDmn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01, SMR03レジスタのみ。

**注意** ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR11レジスタの場合は、ビット13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

**備考** m : ユニット番号 (m = 0, 1)    n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)  
 p : CSI番号 (p = 00, 20, 21)    q : UART番号 (q = 0, 1)    r : IIC番号 (r = 00, 20)

### 13.3.4 シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

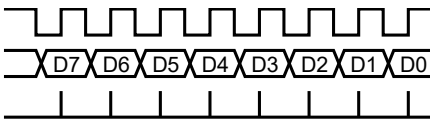
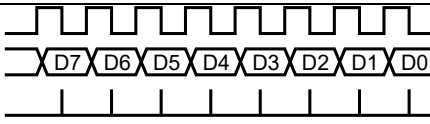
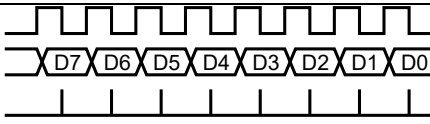
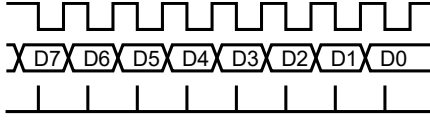
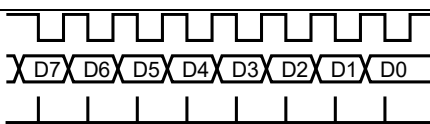
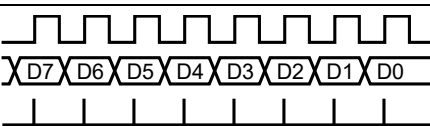
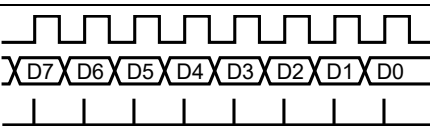
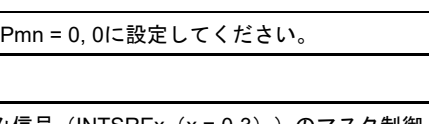
リセット信号の発生により、SCRmnレジスタは0087Hになります。

図13-8 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03) , リセット時 : 0087H R/W  
 F0158H, F0159H (SCR10) , F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR	TXE	RXE	DAP	CKP	0	EOC	PTC	PTC	DIR	0	SLC	SLC	0	1	DLS	DLS
mn	mn	mn	mn	mn		mn	mn1	mn0	mn		mn1 <sup>注1</sup>	mn0			mn1 <sup>注2</sup>	mn0

TXEmn	RXEmn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	CSIモードでのデータとクロックの位相選択	タイプ
0	0	SCKp  SOp  Slp入カタイミング	1
0	1	SCKp  SOp  Slp入カタイミング	2
1	0	SCKp  SOp  Slp入カタイミング	3
1	1	SCKp  SOp  Slp入カタイミング	4

UARTモード、簡易I<sup>2</sup>Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOCmn	エラー割り込み信号 (INTSREx (x = 0-3) ) のマスク制御
0	エラー割り込みINTSRExの発生を禁止する (INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時にINTSRxは発生しない)

CSIモード、簡易I<sup>2</sup>Cモード、UART送信時には、EOCmn = 0に設定してください<sup>注3</sup>

注1. SCR00, SCR02レジスタのみ。

2. SCR00, SCR01レジスタのみ。その他は1固定になります。

3. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください (SCR01, SCR03, SCR10, SCR11レジスタはビット5も0に設定してください)。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)

図13-8 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) -F011EH, F011FH (SCR03) リセット時 : 0087H R/W  
F0158H, F0159H (SCR10) , F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1 <sup>注1</sup>	SLC mn0	0	1	DLS mn1 <sup>注2</sup>	DLS mn0

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 <sup>注3</sup>	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード, 簡易I<sup>2</sup>Cモード時には, 必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIRmn	CSI, UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

簡易I<sup>2</sup>Cモード時には, 必ずDIRmn = 0に設定してください。

SLCmn1 <sup>注1</sup>	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10, 12のみ)
1	1	設定禁止

転送完了割り込みを選択している場合は, 全部のストップ・ビットが完了してから割り込みを発生します。  
UART受信時, 簡易I<sup>2</sup>Cモード時には, 1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。  
CSIモード時には, ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。  
UART送信時は, 1ビット (SLCmn1, SLCmn0 = 0, 1) 又は2ビット (SLCmn1, SLCmn0 = 1, 0) に設定してください。

DLSmn1 <sup>注2</sup>	DLSmn0	CSI, UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDRmnレジスタのビット0-8に格納) (UARTモード時のみ選択可)
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)
その他		設定禁止

簡易I<sup>2</sup>Cモード時には, 必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

注1. SCR00, SCR02のみ。

2. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

3. データの内容にかかわらず必ず0が付加されます。

(注意, 備考は次ページにあります。)

**注意** ビット3, 6, 11には, 必ず0を設定してください (SCR01, SCR03, SCR10, SCR11レジスタはビット5も0に設定してください)。ビット2には, 必ず1を設定してください。

**備考** m : ユニット番号 (m = 0, 1)    n : チャネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)  
p : CSI番号 (p = 00, 20, 21)



### 13.3.5 シリアル・データ・レジスタmn (SDRmn) の上位7ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。

SDR00, SDR01のビット8-0（下位9ビット）、またはSDR02, SDR03, SDR10, SDR11, のビット7-0（下位8ビット）は、送受信バッファ・レジスタとして機能し、ビット15-9（上位7ビット）の部分は動作クロック（fMCK）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn (SMRmn) でCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9（上位7ビット）で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00, SDR10, SDR11のビット15-9（上位7ビット）に"0000000B"を設定してください。SCKp端子からの入力クロックf<sub>sck</sub>（CSIモードのスレーブ転送）が転送クロックとなります。SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

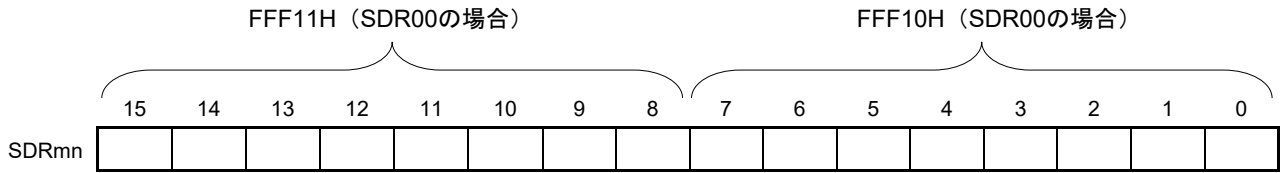
SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合、上位7ビットは常に0が読み出されます。

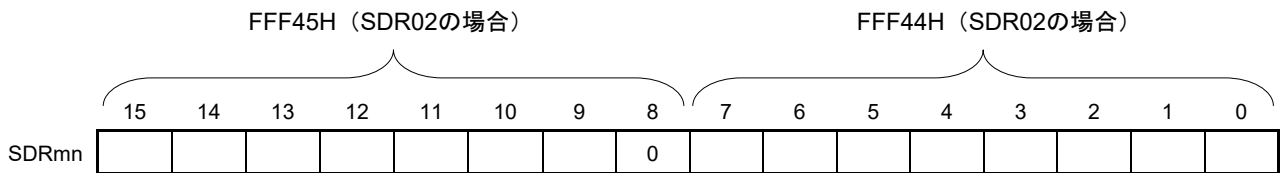
リセット信号の発生により、SDRmnレジスタは0000Hになります。

図13-9 シリアル・データ・レジスタmn (SDRmn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W



アドレス : FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) リセット時 : 0000H R/W  
 FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11)



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	$f_{mck}/2$
0	0	0	0	0	0	1	$f_{mck}/4$
0	0	0	0	0	1	0	$f_{mck}/6$
0	0	0	0	0	1	1	$f_{mck}/8$
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
1	1	1	1	1	1	0	$f_{mck}/254$
1	1	1	1	1	1	1	$f_{mck}/256$

- 注意**
1. SDR02, SDR03, SDR10, SDR11レジスタのビット8は、必ず0を設定してください。
  2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。
  3. 簡易I<sup>2</sup>C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
  4. 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です (SDRmn[15:9]がすべてクリア (0) されます)。

**備考1.** SDRmnレジスタの下位8/9ビットの機能については、13.2 シリアル・アレイ・ユニットの構成を参照してください。

2. m : ユニット番号 (m = 0, 1)    n : チャネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)

### 13.3.6 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると、シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので、SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは、16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmnレジスタは0000Hになります。

図13-10 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) -F010EH, F010FH (SIR03) , リセット時 : 0000H R/W  
F0148H, F0149H (SIR10) , F014AH, F014BH (SIR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn <sup>注</sup>	PEC Tmn	OVC Tmn

FECTmn <sup>注</sup>	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PECTmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVCTmn	チャンネルnのオーバーラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注 SIR01, SIR03レジスタのみ。

**注意** ビット15-3 (SIR00, SIR02, SIR10, SIR11レジスタの場合は、ビット15-2) には、必ず0を設定してください。

**備考1.** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)

2. SIRmnレジスタの読み出し値は常に0000Hとなります。

### 13.3.7 シリアル・ステータス・レジスタmn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図13-11 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03) , リセット時 : 0000H R  
F0140H, F0141H (SSR10) , F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSMn	BFFmn	0	0	FEFmn <sup>注</sup>	PEFmn	OVFmn

TSMn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件> ・ STmレジスタのSTMnビットに1を設定時（通信停止状態），もしくはSSmレジスタのSSmビットに1を設定時（通信待機状態） ・ 通信動作が終了時 <セット条件> ・ 通信動作を開始時	

BFFmn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件> ・ 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき ・ 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき ・ STmレジスタのSTMnビットに1を設定時（通信停止状態），SSmレジスタのSSmビットに1を設定時（通信許可状態）。 <セット条件> ・ SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信，送受信モード時）の状態でもSDRmnレジスタに送信データを書き込んだとき ・ SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信，送受信モード時）の状態でもSDRmnレジスタに受信データが格納されたとき ・ 受信エラー時	

注 SSR01, SSR03レジスタのみ。

注意 SNOOZEモード (SWCm = 1) でCSI受信する場合、BFFmnフラグは動作しません。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)

図13-11 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03) , リセット時 : 0000H R  
F0140H, F0141H (SSR10) , F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR mn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn <sup>注</sup>	PEF mn	OVF mn

FEFmn <sup>注</sup>	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART受信時)
<クリア条件> ・ SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・ UART受信完了時に、ストップ・ビットが検出されないとき	

PEFmn	チャンネルnのパリティ/ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生 (UART受信時) , またはACK未検出発生 (I <sup>2</sup> C送信時)
<クリア条件> ・ SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・ UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) ・ I <sup>2</sup> C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)	

OVFmn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・ SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・ SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時) の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・ CSIモードのスレーブ送信/送受信で、送信データが準備できていないとき	

注 SSR01, SSR03レジスタのみ。

- 注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー (OVEmn = 1) と検出されます。
2. SNOOZEモード (SWCm = 1) でCSI受信する場合、OVFmnフラグは動作しません。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)

### 13.3.8 シリアル・チャンネル開始レジスタm (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEm) の対応ビット (SEmn) が1にセット (動作許可状態) されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図13-12 シリアル・チャンネル開始レジスタm (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0	SS0	SS0	SS0
													3	2	1	0

アドレス : F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS1	SS1
															1	0

SSmn	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に移移する <sup>※</sup>

**注** 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

**注意1.** SS0レジスタのビット15-4ビット, SS1レジスタのビット15-2には、必ず0を設定してください。

**2.** UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、f<sub>MCK</sub>の4クロック以上間隔をあけてからSSmn = 1を設定してください。

**備考1.** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)

**2.** SSmレジスタの読み出し値は常に0000Hとなります。

### 13.3.9 シリアル・チャンネル停止レジスタm (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEm) の対応ビット (SEmn) が0にクリア (動作停止状態) されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図13-13 シリアル・チャンネル停止レジスタm (STm) のフォーマット

アドレス : F0124H, F0125H (ST0)    リセット時 : 0000H    R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0	ST0	ST0	ST0
													3	2	1	0

アドレス : F0164H, F0165H (ST1)    リセット時 : 0000H    R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST1	ST1
															1	0

STmn	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する*

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

**注意** ST0レジスタのビット15-4, ST1レジスタのビット15-2には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1)    n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)

2. STmレジスタの読み出し値は常に0000Hとなります。

### 13.3.10 シリアル・チャンネル許可ステータス・レジスタm (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可/停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタm (SSm) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタm (STm) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のCKOmnビット (チャンネルnのシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000Hになります。

図13-14 シリアル・チャンネル許可ステータス・レジスタm (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0)    リセット時 : 0000H    R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0	SE0	SE0	SE0
													3	2	1	0

アドレス : F0160H, F0161H (SE1)    リセット時 : 0000H    R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE1	SE1
															1	0

SEm n	チャンネルnの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態

**備考** m : ユニット番号 (m = 0, 1)    n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)



### 13.3.11 シリアル出力許可レジスタm (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図13-15 シリアル出力許可レジスタm (SOEm) のフォーマット

アドレス : F012AH, F012BH (SOE0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 02	0	SOE 00

アドレス : F016AH, F016BH (SOE1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 11	SOE 10

SOEmn	チャンネルnのシリアル出力許可/停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

**注意** SOE0レジスタのビット15-3およびビット1, SOE1レジスタのビット15-2には、必ず0を設定してください。

**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)

## 13.3.12 シリアル出力レジスタm (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOmレジスタは0F0FHになります。

図13-16 シリアル出力レジスタm (SOm) のフォーマット

アドレス : F0128H, F0129H (SO0) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	CKO 02	0	CKO 00	0	0	0	0	0	SO 02	0	SO 00

アドレス : F0168H, F0169H (SO1) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	0	0	CKO 11	CKO 10	0	0	0	0	0	0	SO 11	SO 10

CKOmn	チャンネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SOmn	チャンネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

**注意** SO0レジスタのビット15-11およびビット9, 7-3, 1には、必ず0を設定してください。

SO1レジスタのビット15-10, 7-2には、必ず0を設定してください。

**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)

### 13.3.13 シリアル出力レベル・レジスタm (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード、簡易I2Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時はSOMnビットの値がそのまま出力されます。

SOLmレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000Hになります。

図13-17 シリアル出力レベル・レジスタm (SOLm) のフォーマット

アドレス : F0134H, F0135H (SOL0)    リセット時 : 0000H    R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL02	0	SOL00

SOLmn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

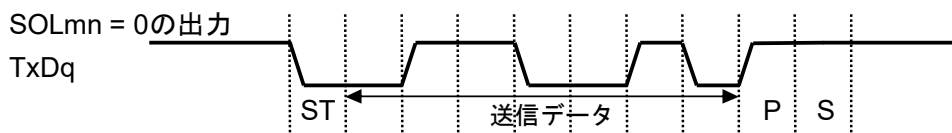
**注意** SOL0レジスタのビット15-3, 1, 必ず0を設定してください。

**備考** m : ユニット番号 (m = 0)    n : チャンネル番号 (n = 0, 2)

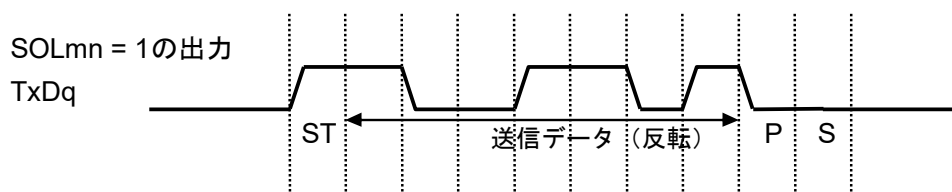
UART送信時、送信データのレベル反転例を図13-18に示します。

図13-18 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



**備考** m : ユニット番号 (m = 0)    n : チャンネル番号 (n = 0, 2)

### 13.3.14 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0)

SSC0レジスタは、CSI00、UART0のシリアル・データ受信による、STOPモード状態からの受信動作起動 (SNOOZEモード) を制御するレジスタです。

SSC0レジスタは、16ビット・メモリ操作命令で設定します。

またSSC0レジスタの下位8ビットは、SSC0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSC0レジスタは0000Hになります。

**注意** SNOOZEモード時の転送レートは、次のようになります。

- ・CSI00の場合：～1 Mbps
- ・UART0の場合：4800 bpsのみ

図13-19 シリアル・スタンバイ・コントロール・レジスタ0 (SSC0) のフォーマット

アドレス：F0138H (SSC0) リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS EC0	SWC 0

SSEC0	SNOOZEモード時の通信エラー割り込み発生許可/停止の選択
0	エラー割り込み (INTSRE0/INTSRE2) 発生許可
1	エラー割り込み (INTSRE0/INTSRE2) 発生停止

・SNOOZEモード時のUART受信で、SWC0=1かつEOCmn=1の時のみ、SSEC0ビットを1/0に設定することができます。その他の場合は、SSEC-ビットを0に設定してください。

・SSEC0, SWC0 = 1, 0は設定禁止です。

SWC0	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

・STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、CSI/UARTの受信動作を行います (SNOOZEモード)。

・SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

・SNOOZEモードを使用する場合でも、通常動作モード時はSWCを0に設定し、STOPモードへ移行する直前にSWCを1に変更してください。

またSTOPモードから通常動作モードへ復帰後、必ずSWCを0に変更してください。

図13-20 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	EOCmビット	正常受信時	受信エラー時
0	0	INTSR0が発生する	INTSR0が発生する
0	1	INTSR0が発生する	INTSR0が発生する
1	0	INTSR0が発生する	INTSRE0が発生する
1	1	INTSR0が発生する	割り込みは発生しない

### 13.3.15 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

CSI, 簡易I<sup>2</sup>C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (f<sub>MCK</sub>) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (f<sub>MCK</sub>) で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図13-21 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	SNFEN10	0	SNFEN00

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

**注意** ビット7-3およびビット1には、必ず0を設定してください。

### 13.3.16 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）、ポート・モード・コントロール・レジスタ（PMCxx）を設定してください。

詳細は、5.3.1 ポート・モード・レジスタ（PMxx）、5.3.2 ポート・レジスタ（Pxx）、5.3.4 ポート入力モード・レジスタ（PIMxx）、5.3.5 ポート出力モード・レジスタ（POMxx）、5.3.6 ポート・モード・コントロール・レジスタ（PMCxx）を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P02/ANI17/TxD1など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・コントロール・レジスタ（PMCxx）のビットおよびポート・モード・レジスタ（PMxx）のビットに0を、ポート・レジスタ（Pxx）のビットに1を設定してください。

なお、N-chオープン・ドレイン出力（V<sub>DD</sub>耐圧）モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ（POMxx）のビットに1を設定してください。異電位（1.8 V系、2.5 V系）で動作している外部デバイスと接続する場合は、5.4.5 入出力バッファによる異電位（1.8 V系、2.5 V系）対応を参照してください。

#### 例 P02/ANI17/TxD1をシリアル・データ出力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC02ビットを0に設定

ポート・モード・レジスタ0のPM02ビットを0に設定

ポート・レジスタ0のP02ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P03/ANI16/RxD1など）をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ（PIMxx）のビットに1を設定してください。異電位（1.8 V系、2.5 V系）で動作している外部デバイスと接続する場合は、5.4.5 入出力バッファによる異電位（1.8 V系、2.5 V系）対応を参照してください。

#### 例 P03/ANI16/RxD1をシリアル・データ入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC03ビットを0に設定

ポート・モード・レジスタ0のPM03ビットを1に設定

ポート・レジスタ0のP03ビットを0または1に設定

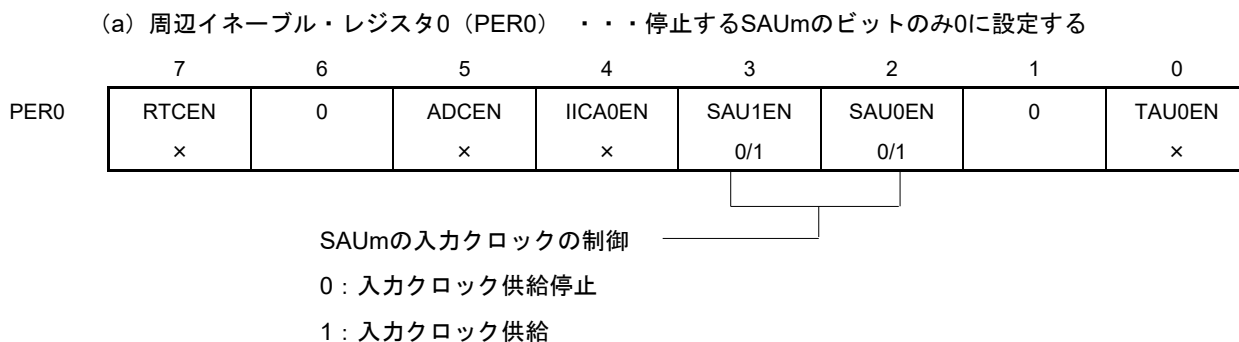
## 13.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

### 13.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN) に0を設定してください。シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN) に0を設定してください。

図13-22 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定



**注意1.** SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ0, 1 (PIM0, PIM1)
- ・ポート出力モード・レジスタ0, 1 (POM0, POM1)
- ・ポート・モード・コントロール・レジスタ0 (PMC0)
- ・ポート・モード・レジスタ0, 1, 7 (PM0, PM1, PM7)
- ・ポート・レジスタ0, 1, 7 (P0, P1, P7)

2. ビット6, 1は必ず"0"にしてください。

**備考** × : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて0または1に設定

### 13.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図13-23 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタm (STm)

・・・各チャンネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm3 <sup>注</sup> 0/1	STm2 <sup>注</sup> 0/1	STm1 0/1	STm0 0/1

1: SEmnビットを0にクリアし、通信動作を停止

※ STmnビットはトリガ・ビットなので、SEmn=0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタm (SEm)

・・・各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm3 <sup>注</sup> 0/1	SEm2 <sup>注</sup> 0/1	SEm1 0/1	SEm0 0/1

0: 動作停止状態

※ SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。  
動作を停止したチャンネルは、SOmレジスタのCKOmnビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタm (SOEm)

・・・各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 <sup>注</sup> 0/1	SOEm2 <sup>注</sup> 0/1	SOEm1 0/1	SOEm0 0/1

0: シリアル通信動作による出力停止

※ シリアル出力を停止したチャンネルは、SOmレジスタのSOmnビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタm (SOm)

・・・各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 <sup>注</sup> 0/1	CKOm2 <sup>注</sup> 0/1	CKOm1 0/1	CKOm0 0/1	0	0	0	0	SOm3 <sup>注</sup> 0/1	SOm2 <sup>注</sup> 0/1	SOm1 0/1	SOm0 0/1

1: シリアル・クロック出力値が“1”

1: シリアル・データ出力値が“1”

※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当する CKOmn, SOmn ビットに“1”を設定してください。

**備考1.** m : ユニット番号 (m = 0, 1)    n : チャンネル番号 (m = 0のときn = 0-3, m = 1のときn = 0, 1)

**2.**  : 設定不可 (初期値を設定)    0/1 : ユーザの用途に応じて0または1に設定



## 13.5 3線リアルI/O (CSI00, CSI20, CSI21) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

### [データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

### [クロック制御]

- マスタ/スレーブの選択
- 入出カクロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート<sup>※</sup>

マスタ通信時 : Max.  $f_{CLK}/2$  (CSI00のみ)

Max.  $f_{CLK}/4$

スレーブ通信時 : Max.  $f_{MCK}/6$

### [割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

### [エラー検出フラグ]

- オーバラン・エラー

**注** SCKサイクル・タイム ( $t_{KCY}$ ) の特性を満たす範囲内で使用してください。詳細は、第30章 電気的特性を参照してください。

また、以下のチャンネルのCSI00は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

3線シリアルI/O (CSI00, CSI20, CSI21)に対応しているチャンネルは, SAU0のチャンネル0とSAU1のチャンネル0, 1です。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	UART1	-
	3	-		-
1	0	CSI20	-	IIC20
	1	CSI21 <sup>※</sup>		

3線シリアルI/O (CSI00, CSI20, CSI21) の通信動作は, 以下の8種類があります。

- マスタ送信 (13.5.1項を参照)
- マスタ受信 (13.5.2項を参照)
- マスタ送受信 (13.5.3項を参照)
- スレーブ送信 (13.5.4項を参照)
- スレーブ受信 (13.5.5項を参照)
- スレーブ送受信 (13.5.6項を参照)
- SNOOZEモード機能 (13.5.7項を参照)
- CSI21送受信 (2.2項を参照)

注 MCUとRFトランシーバ間の内部通信専用です。

### 13.5.1 マスタ送信

マスタ送信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラから他デバイスヘータを送信する動作です。

3線シリアルI/O	CSI00	CSI20	CSI21
対象チャンネル	SAU0のチャンネル0	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCK00, SO00	SCK20, SO20	SCK21, SO21 (内部端子)
割り込み <sup>※1</sup>	INTCSI00	INTCSI20	INTCSI21
	転送完了割り込み (シングル転送モード時) か、バッファ空き割り込み (連続転送モード時) かを選択可能		
エラー検出フラグ <sup>※1</sup>	なし		
転送データ長 <sup>※1</sup>	7ビットまたは8ビット		
転送レート <sup>※1, 2</sup>	Max. $f_{CLK}/2$ [Hz] (CSI00のみ), $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] $f_{CLK}$ : システム・クロック周波数		
データ位相 <sup>※1</sup>	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合: シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合: シリアル・クロック動作開始の半クロック前からデータ出力を開始		
クロック位相 <sup>※1</sup>	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合: 非反転 ・ CKPmn = 1の場合: 反転		
データ方向 <sup>※1</sup>	MSBファーストまたはLSBファースト		

注 1. CSI21はMCUとRFトランシーバ間の通信専用です。動作設定は、2.2 MCUとRFトランシーバ間の通信インタフェースを参照してください。

2. この条件を満たし、かつ電気的特性の周辺機能特性 (第30章 電気的特性を参照) を満たす範囲内で使用してください。

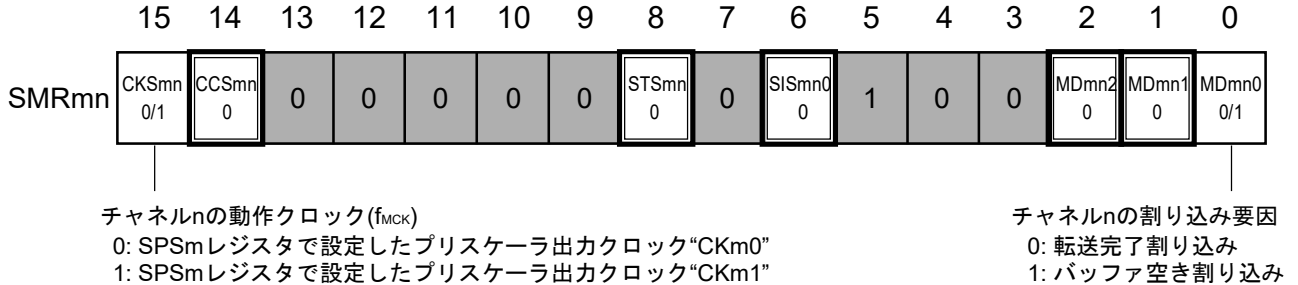
備考 m: ユニット番号 (m = 0, 1)    n: チャンネル番号 (m = 0のときn = 0, m = 1のときn = 0, 1)

mn = 00, 10, 11

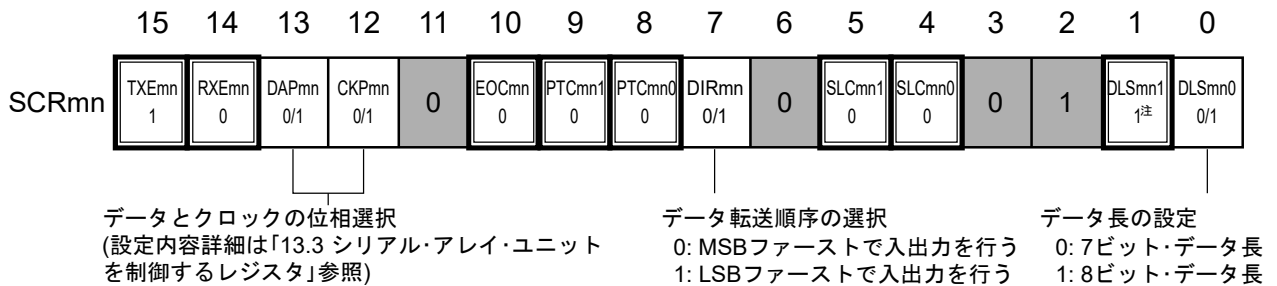
(1) レジスタ設定

図13-24 3線シリアルI/O (CSI00, CSI20, CSI21) のマスタ送信時のレジスタ設定内容例

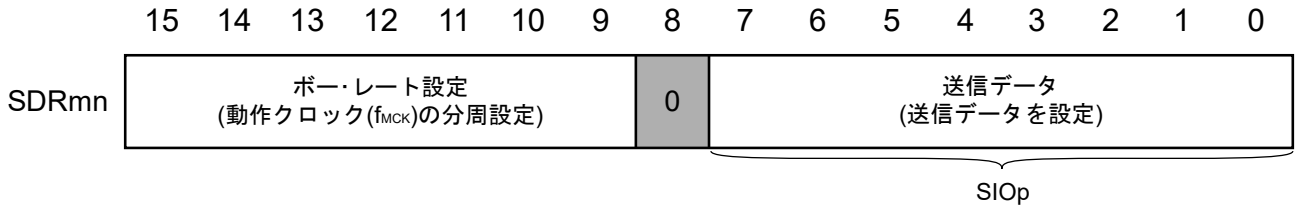
(a) シリアル・モード・レジスタmn (SMRmn)



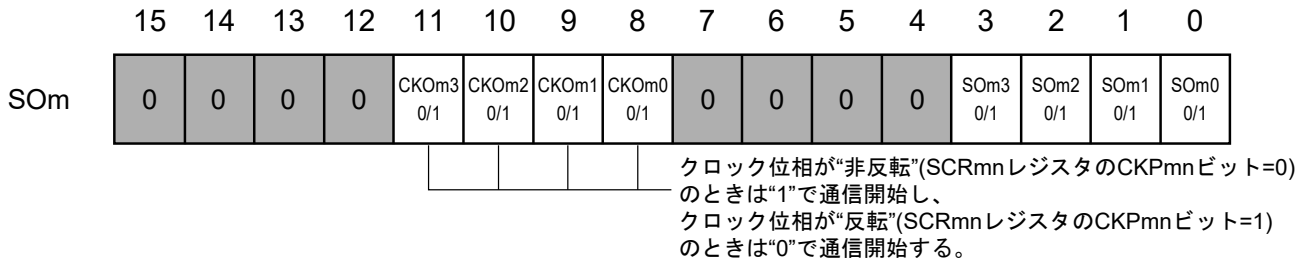
(b) シリアル通信動作設定レジスタmn (SCRmn)



(c) シリアル・データ・レジスタmn (SDRmn) (下位8ビット: SIOp)



(d) シリアル出力レジスタm (SOm)・・・対象チャンネルのビットのみ設定する



(注, 備考は次ページにあります)

(e) シリアル出力許可レジスタm (SOEm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(f) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注 SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (m = 0のときn = 0, m = 1のときn = 0, 1)

p : CSI番号 (p = 00, 20, 21) , mn = 00, 10, 11

2.  : CSIマスタ送信モードでは設定固定

: 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

## (2) 操作手順

図13-25 マスタ送信の初期設定手順

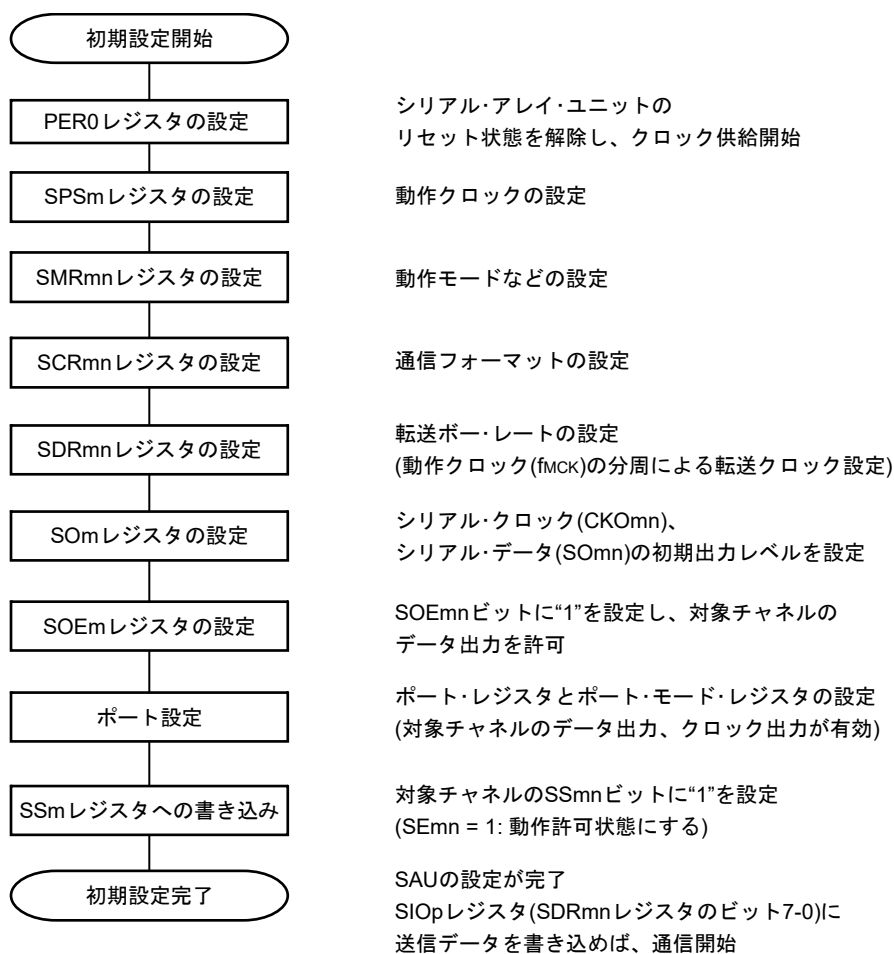


図13-26 マスタ送信の中断手順

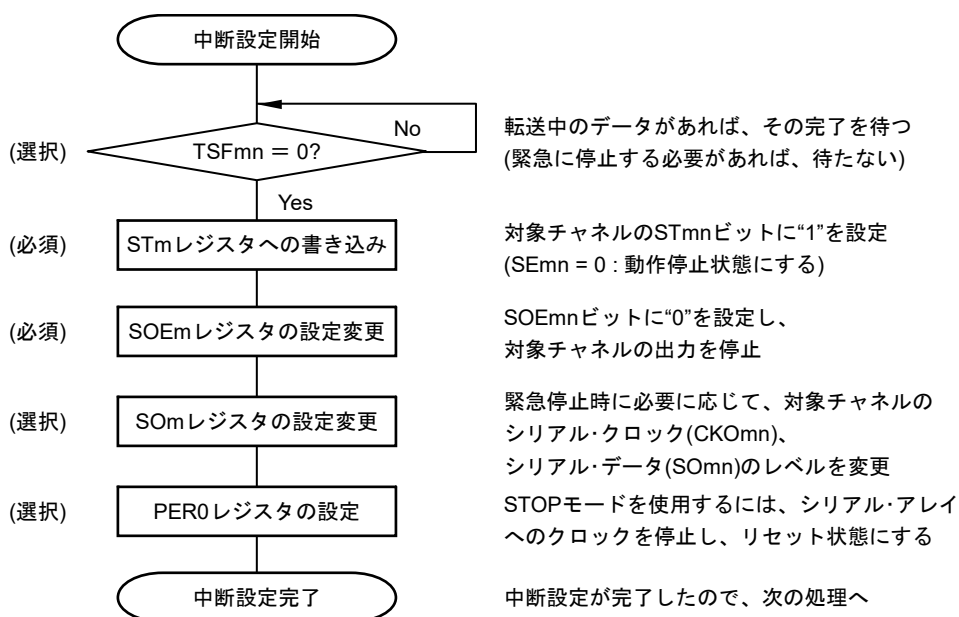
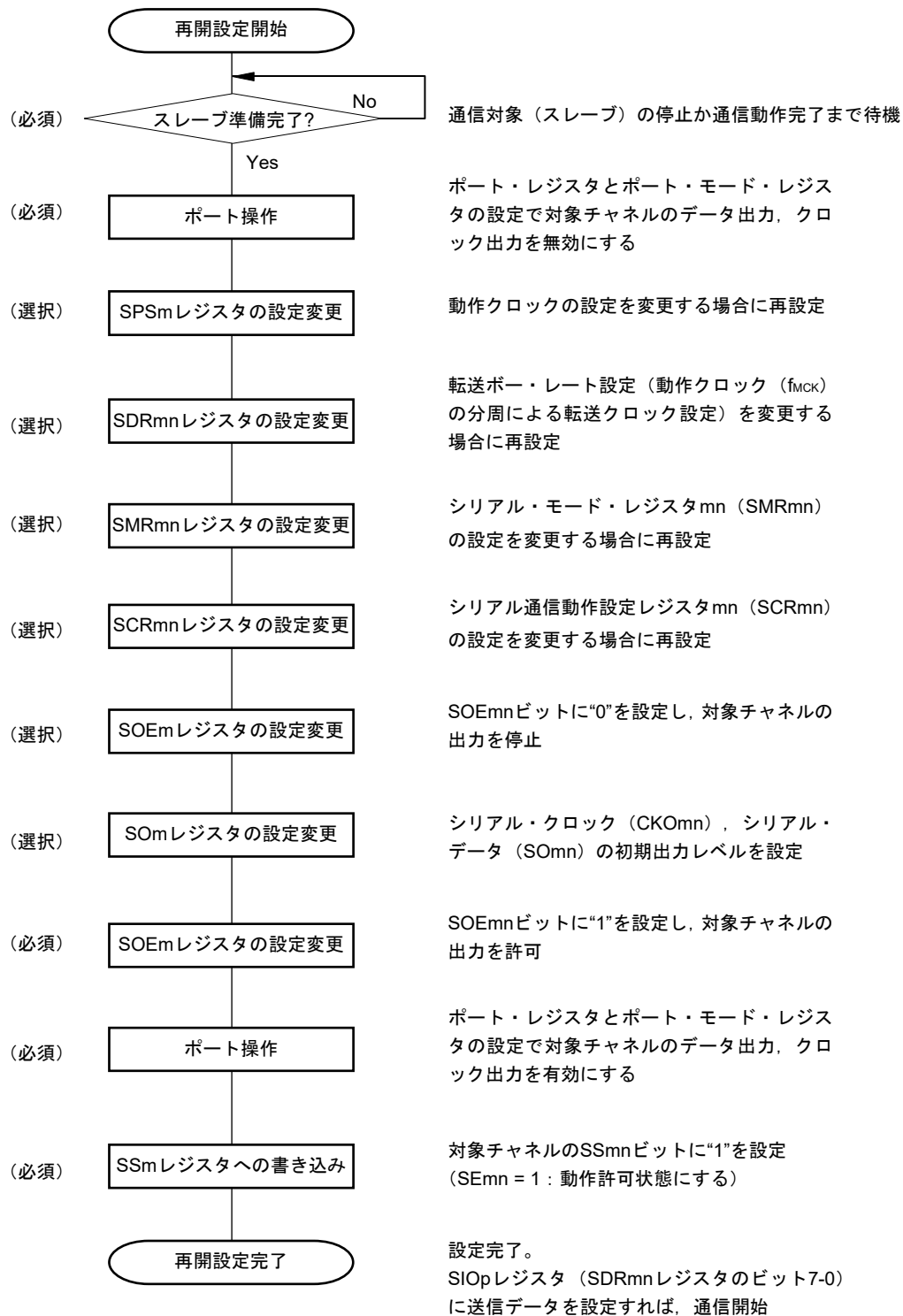


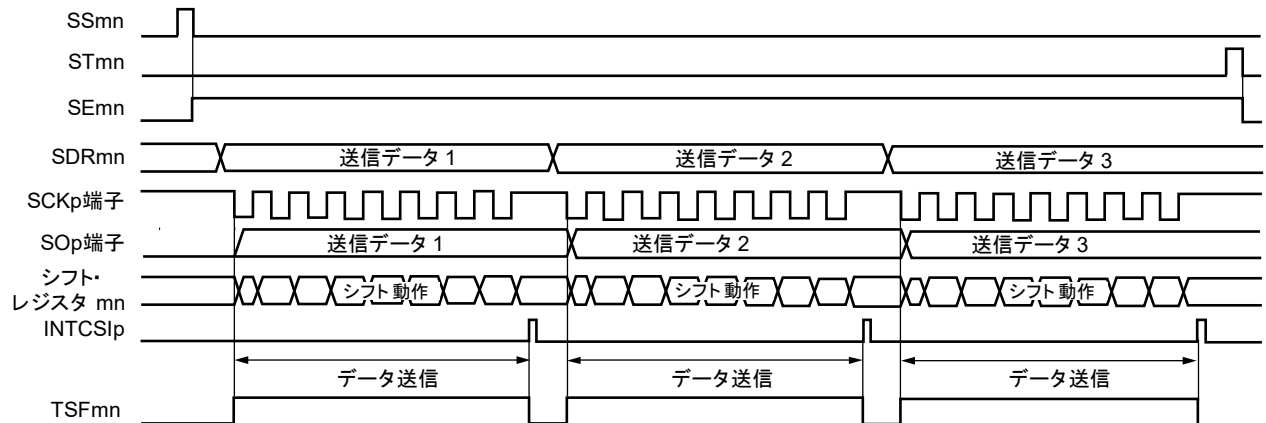
図13-27 マスタ送信の再開設定手順



**備考** 中断設定でPER0を書き換えてクロック供給を停止した場合は, 通信対象 (スレーブ) の停止か通信動作完了を待って, 再開設定ではなく初期設定をしてください。

## (3) 処理フロー（シングル送信モード時）

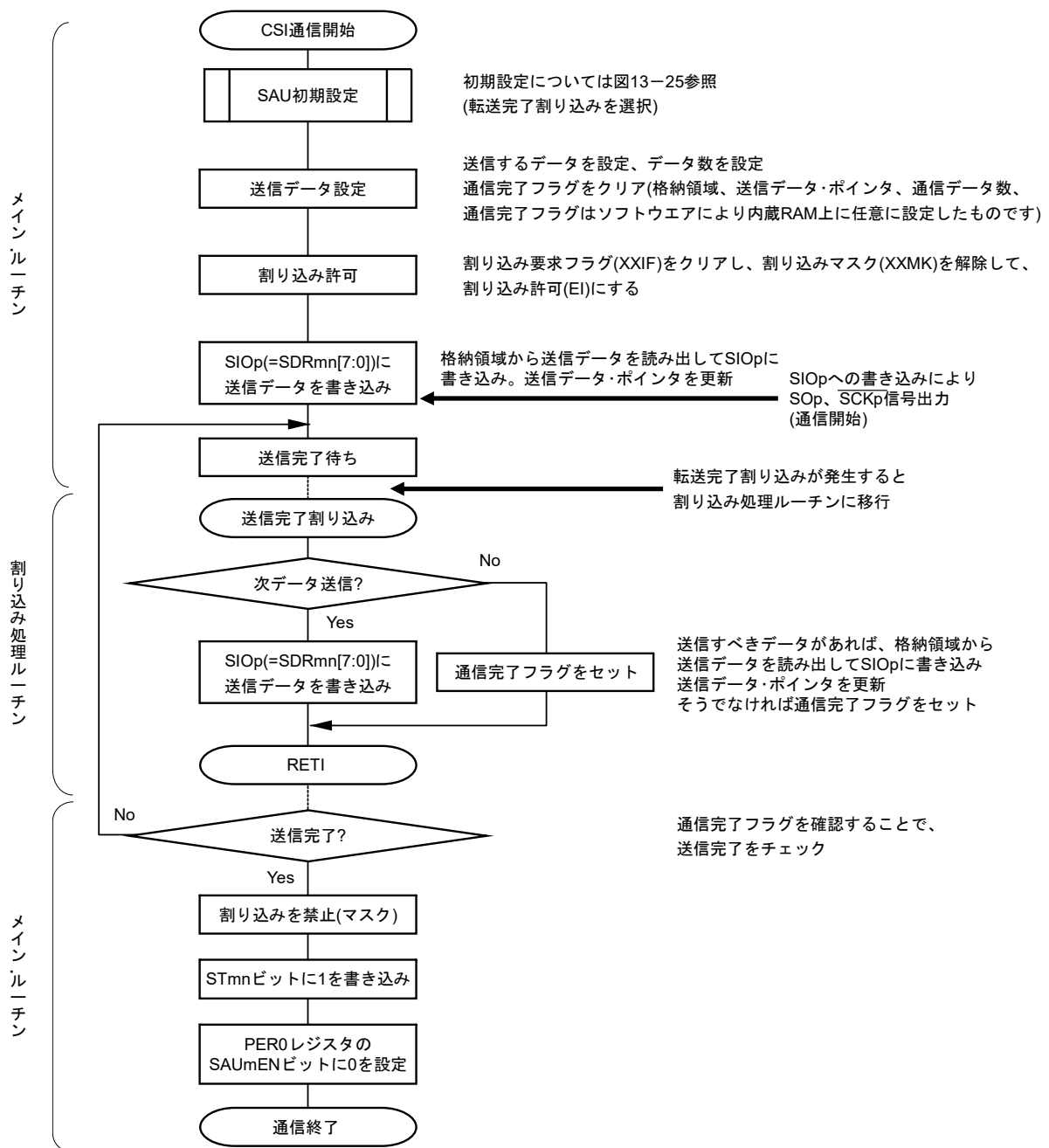
図13-28 マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (m = 0のときn = 0, m = 1のときn = 0, 1)  
 p : CSI番号 (p = 00, 20, 21) , mn = 00, 10, 11

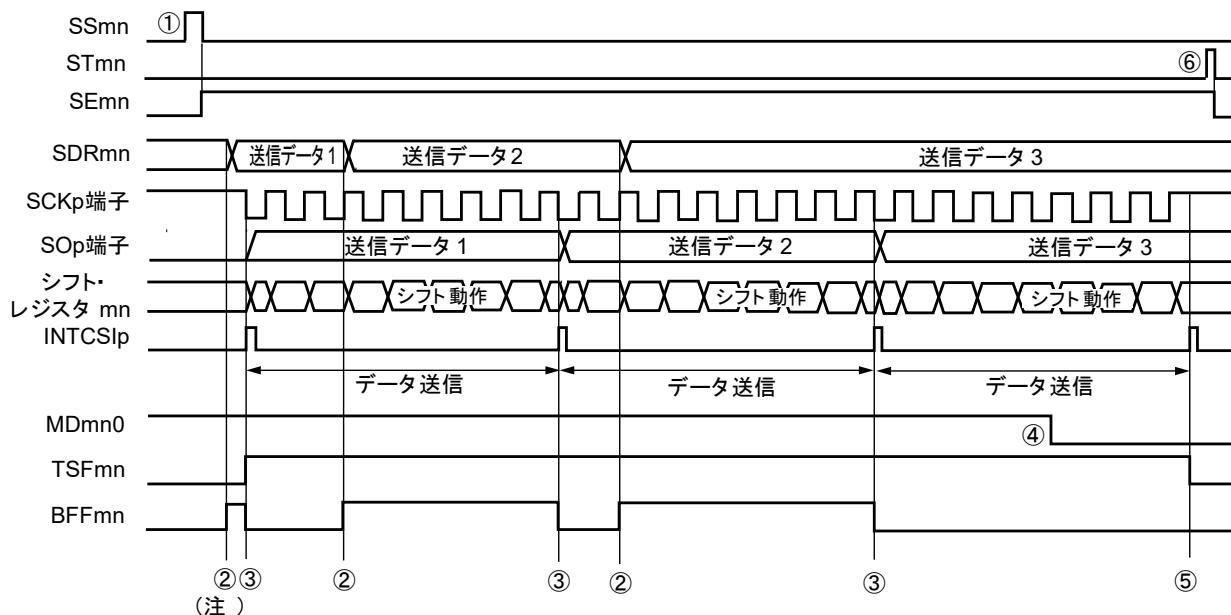


図13-29 マスタ送信（シングル送信モード時）のフロー・チャート



## (4) 処理フロー（連続送信モード時）

図13-30 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn=0, CKPmn=0）

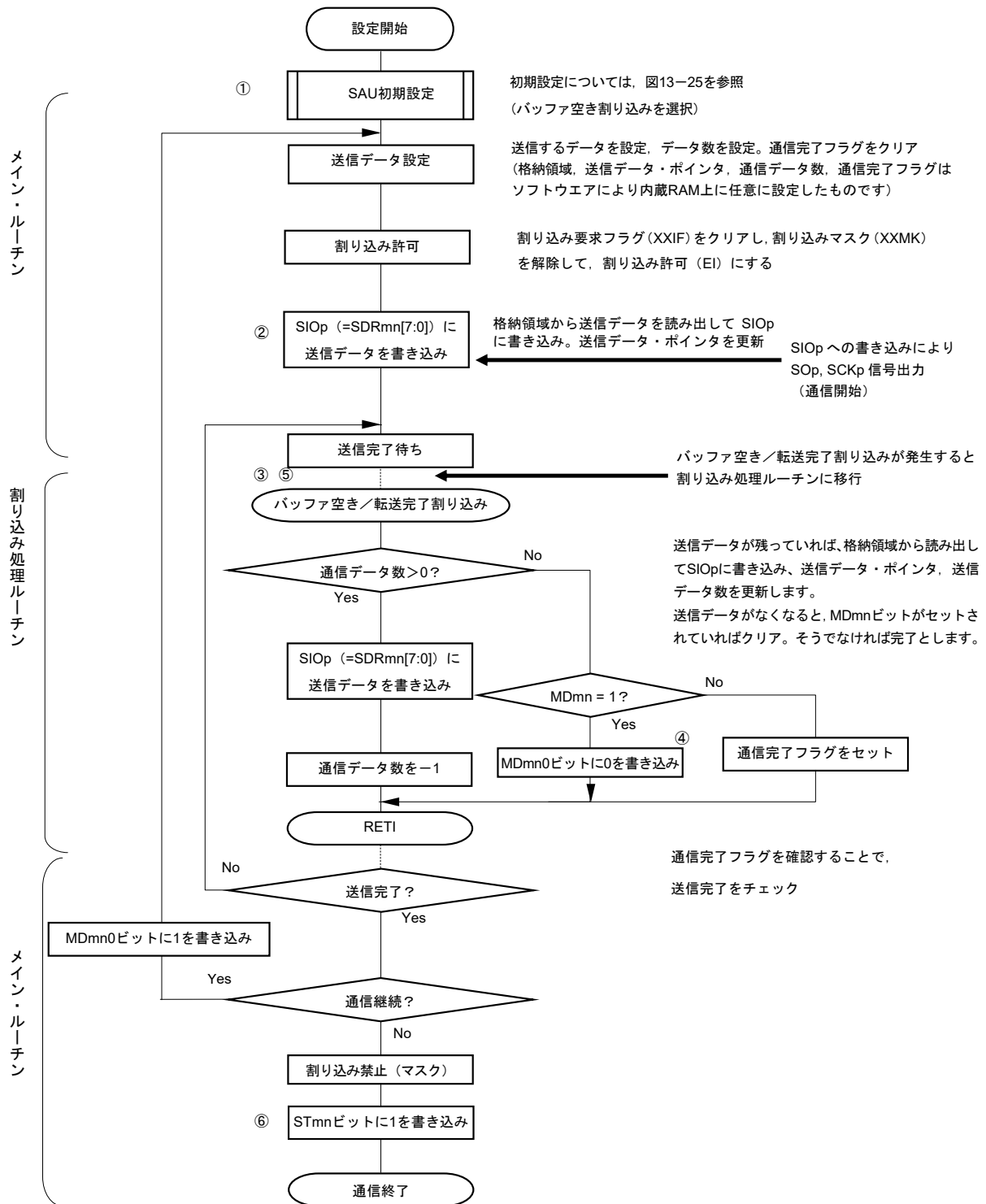


**注** シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

**注意** シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

**備考** m : ユニット番号 (m = 0, 1)    n : チャネル番号 (m = 0のときn = 0, m = 1のときn = 0, 1)  
p : CSI番号 (p = 00, 20, 21) , mn = 00, 10, 11

図13-31 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図13-30 マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

### 13.5.2 マスタ受信

マスタ受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI20	CSI21
対象チャンネル	SAU0のチャンネル0	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCK00, SI00	SCK20, SI20	-
割り込み <sup>注1</sup>	INTCSI00	INTCSI20	-
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ <sup>注1</sup>	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長 <sup>注1</sup>	7ビットまたは8ビット		
転送レート <sup>注1,2</sup>	Max. $f_{CLK}/2$ [Hz]（CSI00のみ）, $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] $f_{CLK}$ : システム・クロック周波数		
データ位相 <sup>注1</sup>	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始		
クロック位相 <sup>注1</sup>	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転		
データ方向 <sup>注1</sup>	MSBファーストまたはLSBファースト		

**注1.** CSI21はマスタ受信として使用できません。

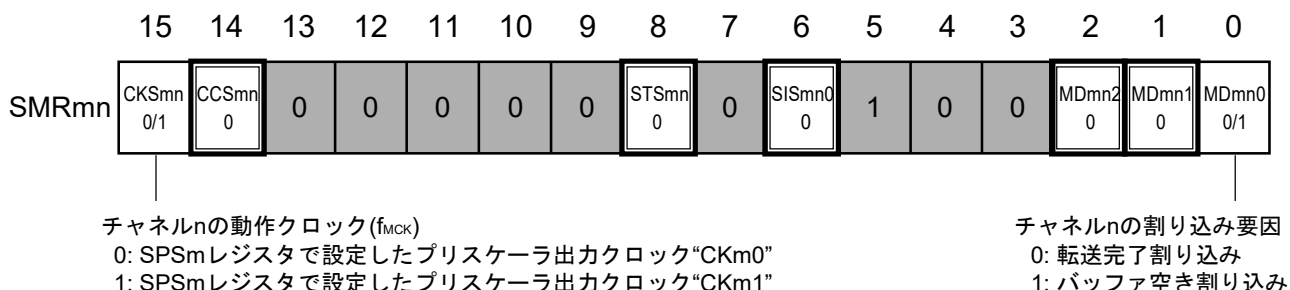
- この条件を満たし、かつ電気的特性の周辺機能特性（第30章 電気的特性参照）を満たす範囲内で使用してください。

**備考** m : ユニット番号 (m = 0, 1)    n : チャンネル番号 (n = 0) , mn = 00, 10

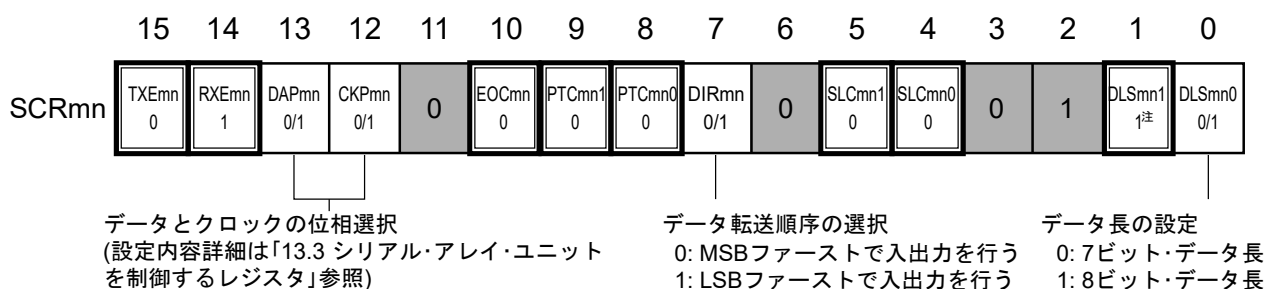
(1) レジスタ設定

図13-32 3線シリアルI/O (CSI00, CSI20) のマスタ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn (SMRmn)

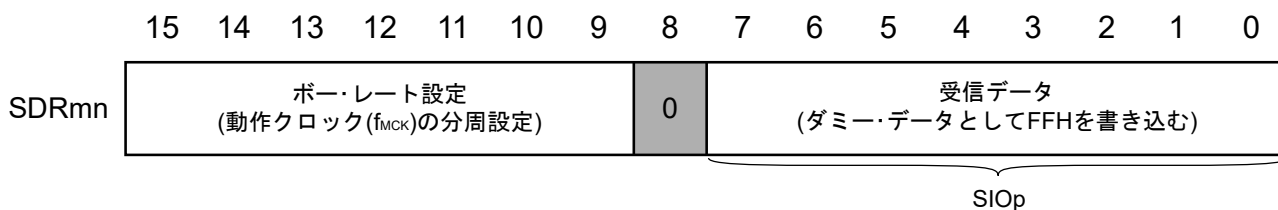


(b) シリアル通信動作設定レジスタmn (SCRmn)



(設定内容詳細は13.3 シリアル・アレイ・ユニットを制御するレジスタを参照)

(c) シリアル・データ・レジスタmn (SDRmn) (下位8ビット: SIOp)



(d) シリアル出力レジスタm (SOM)・・・対象チャンネルのビットのみ設定する



(注, 備考は次ページにあります)

(e) シリアル出力許可レジスタ $m$  (SOEm) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 ×

(f) シリアル・チャンネル開始レジスタ $m$  (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 ×

注 SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

備考1.  $m$  : ユニット番号 ( $m = 0, 1$ )  $n$  : チャンネル番号 ( $n = 0$ )  $p$  : CSI番号 ( $p = 00, 20$ ) ,  
 $mn = 00, 10$

2.  : CSIマスタ受信モードでは設定固定

: 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図13-33 マスタ受信の初期設定手順

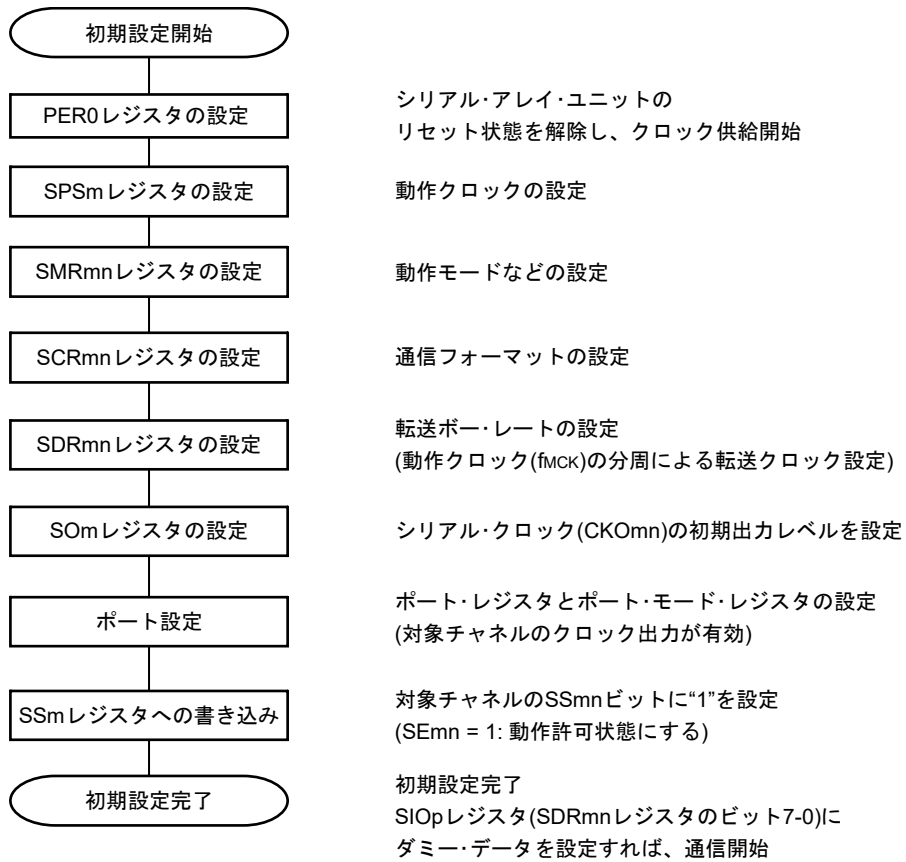


図13-34 マスタ受信の中断手順

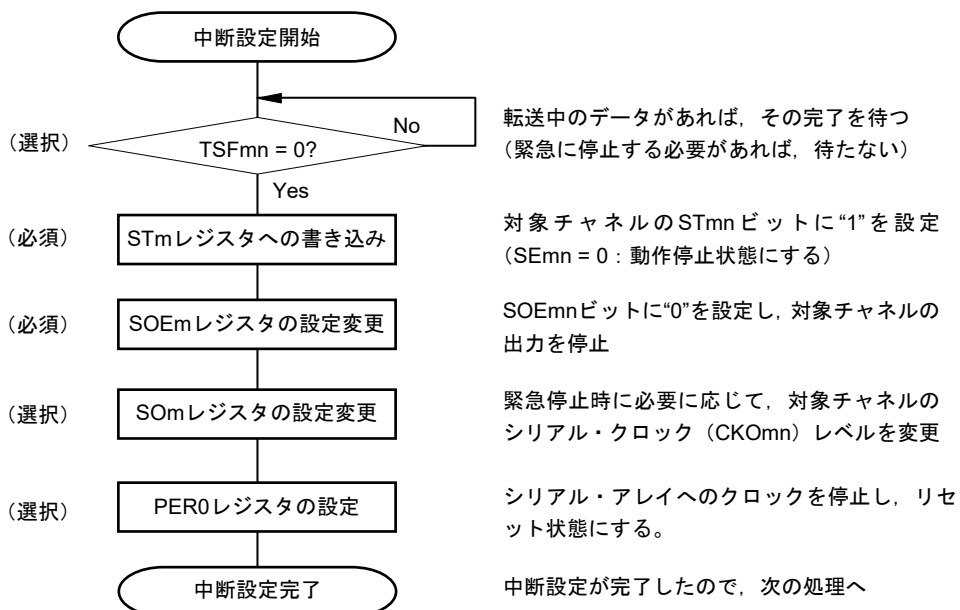
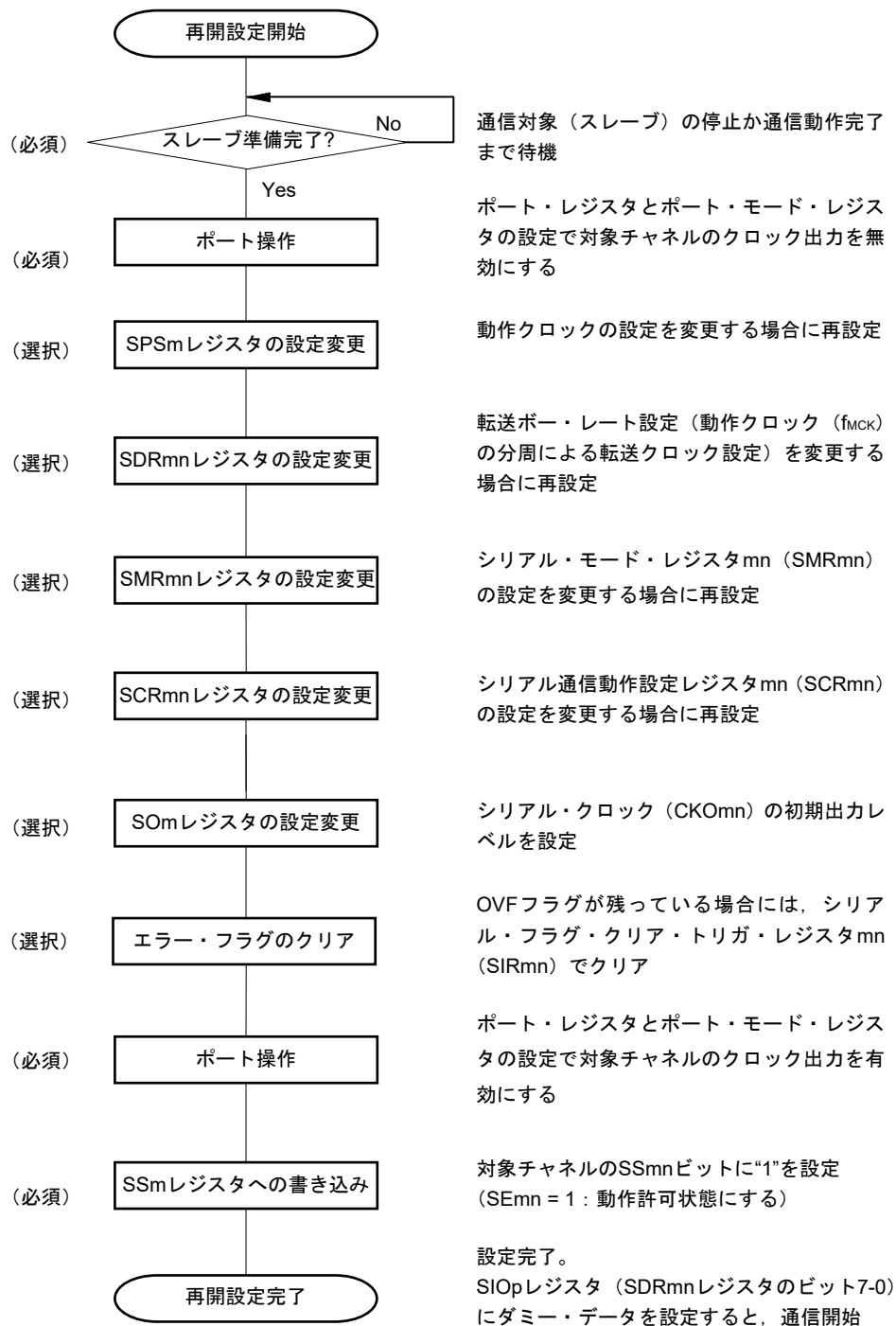


図13-35 マスタ受信の再開設定手順

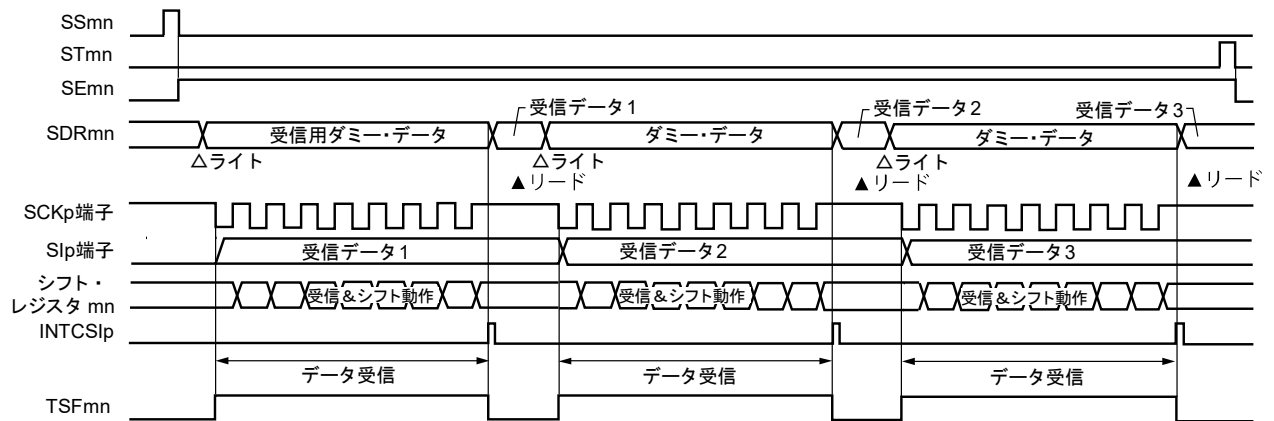


**備考** 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。



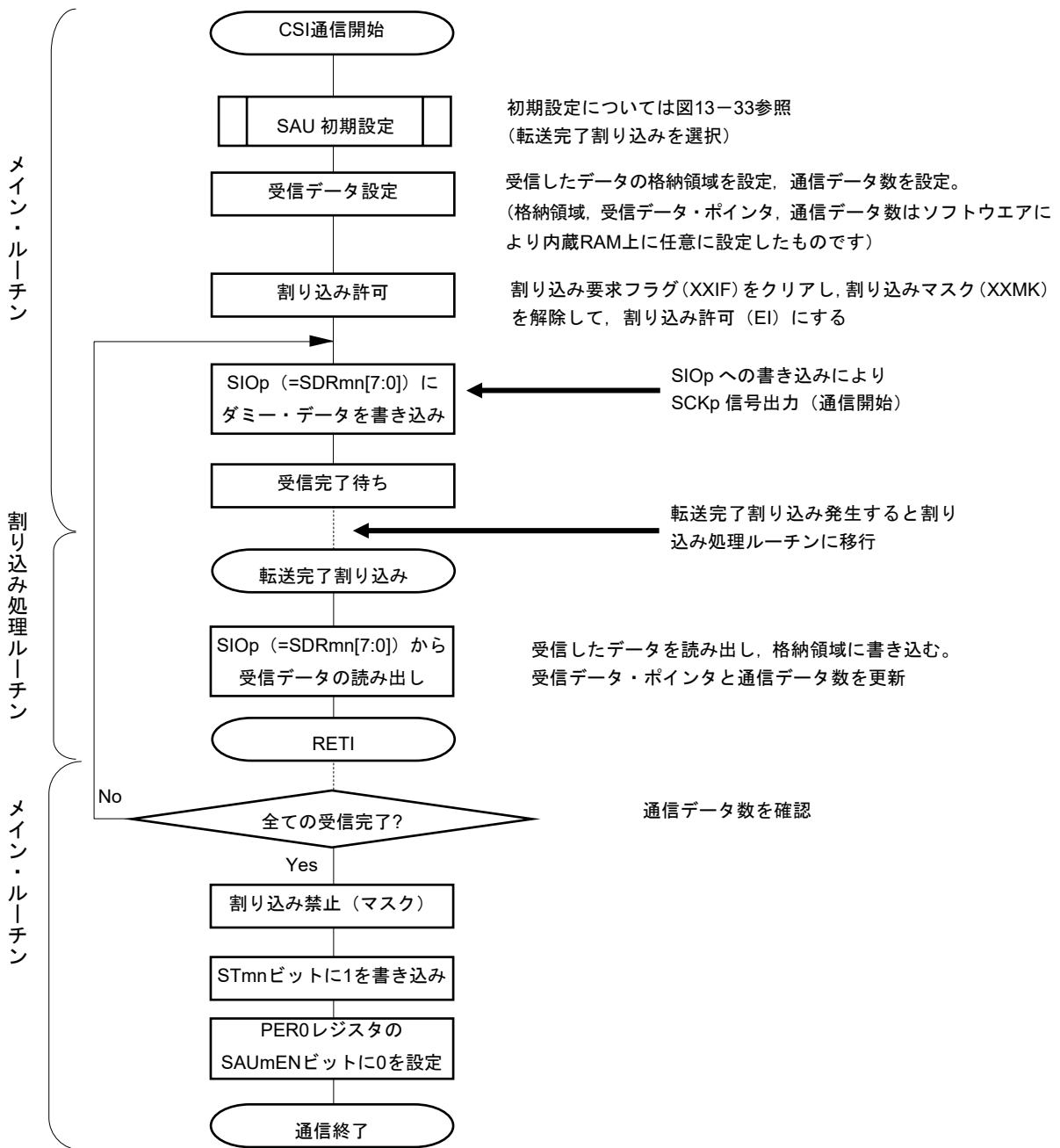
## (3) 処理フロー（シングル受信モード時）

図13-36 マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



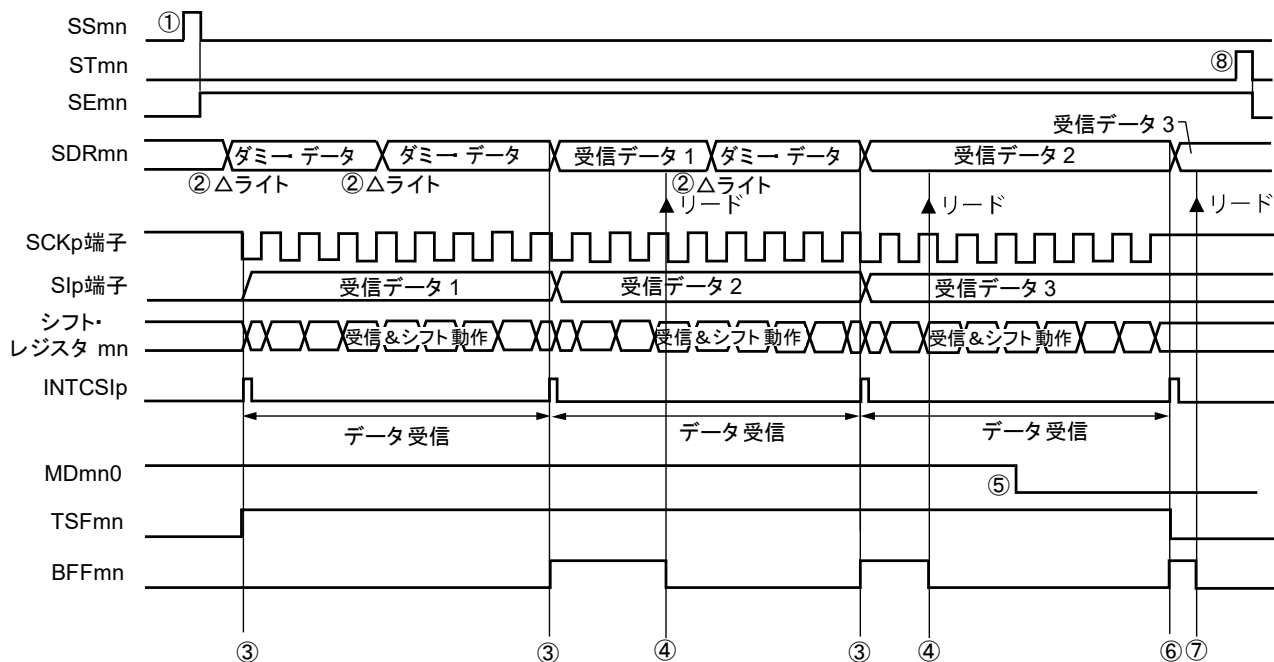
**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 00, 20) , mn = 00, 10

図13-37 マスタ受信（シングル受信モード時）のフロー・チャート



## (4) 処理フロー（連続受信モード時）

図13-38 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn=0, CKPmn=0）



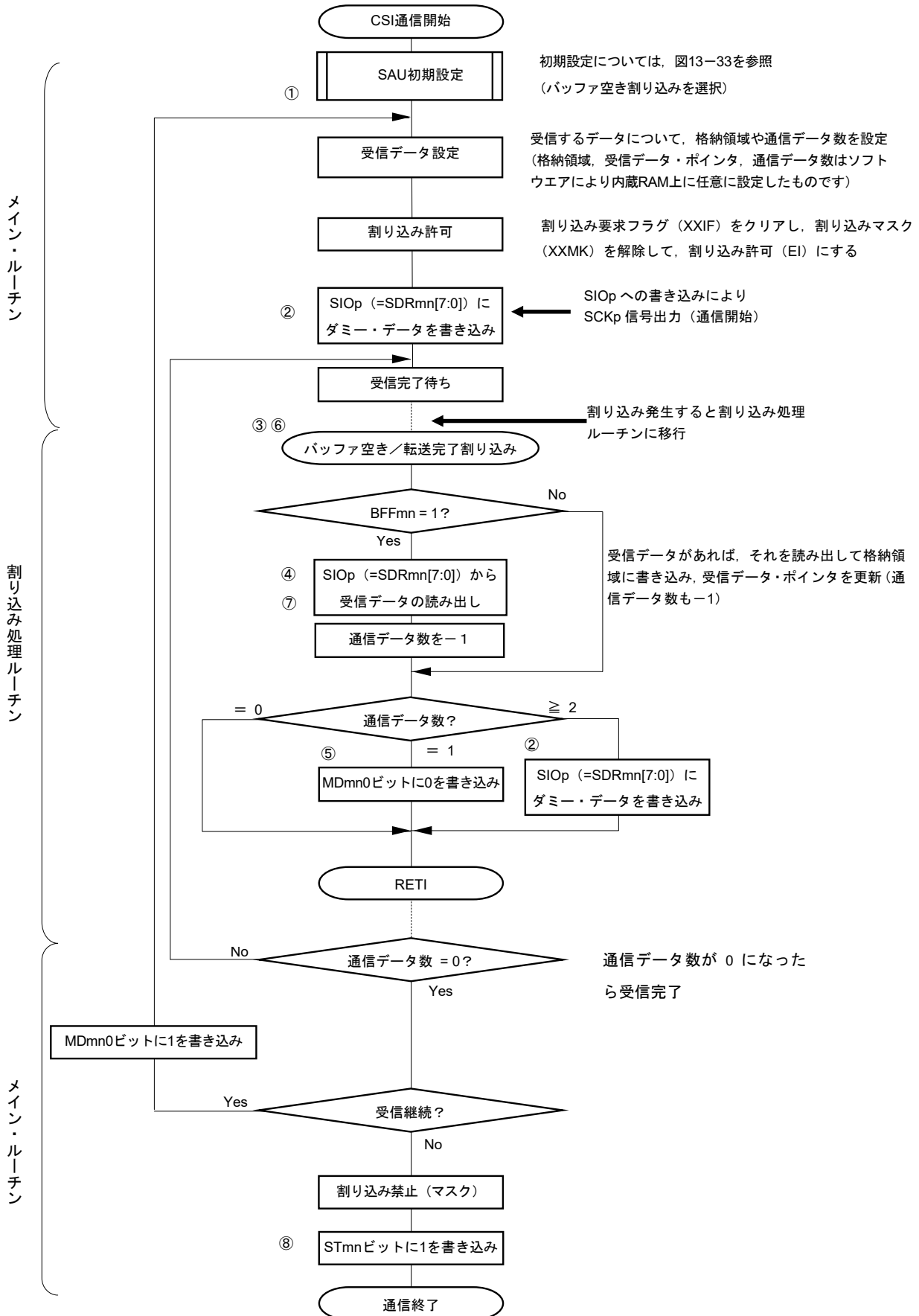
**注意** MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

**備考1.** 図中の①~⑧は、図13-39 マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00, 20) , mn = 00, 10

図13-39 マスタ受信（連続受信モード時）のフロー・チャート



備考 図中の①~⑧は、図13-38 マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

### 13.5.3 マスタ送受信

マスタ送受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI20	CSI21
対象チャンネル	SAU0のチャンネル0	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCK00, SI00, SO00	SCK20, SI20, SO20	SCK21, SI21, SO21 (内部端子)
割り込み <sup>※1</sup>	INTCSI00	INTCSI20	INTCSI21
	転送完了割り込み (シングル転送モード時) か、バッファ空き割り込み (連続転送モード時) かを選択可能		
エラー検出フラグ <sup>※1</sup>	オーバラン・エラー検出フラグ (OVFmn) のみ		
転送データ長 <sup>※1</sup>	7ビットまたは8ビット		
転送レート <sup>※1, 2</sup>	Max. $f_{CLK}/2$ [Hz] (CSI00のみ), $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] $f_{CLK}$ : システム・クロック周波数		
データ位相 <sup>※1</sup>	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合: シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合: シリアル・クロック動作開始の半クロック前からデータ入出力を開始		
クロック位相 <sup>※1</sup>	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合: 非反転 ・ CKPmn = 1の場合: 反転		
データ方向	MSBファーストまたはLSBファースト		

注 1. CSI21はMCUとRFトランシーバ間の通信専用です。(動作設定は2.2 MCUとRFトランシーバ間の通信インタフェースを参照)

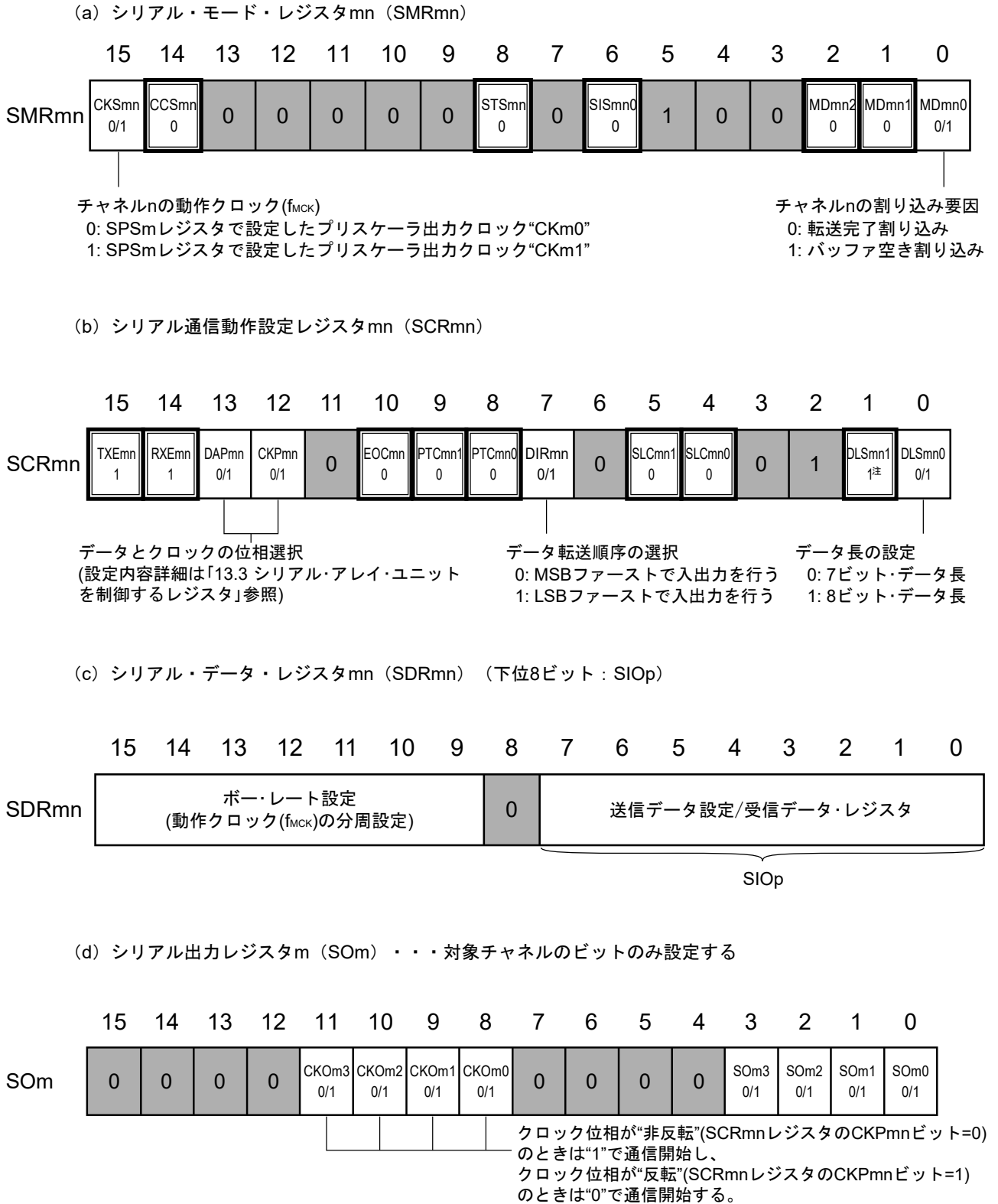
- この条件を満たし、かつ電気的特性の周辺機能特性 (第30章 電気的特性参照) を満たす範囲内で使用してください。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (m = 0のときn = 0, m = 1のときn = 0, 1)

p: CSI番号 (p = 00, 20, 21), mn = 00, 10, 11

(1) レジスタ設定

図13-40 3線シリアルI/O (CSI00, CSI20, CSI21) のマスタ送受信時のレジスタ設定内容例



(e) シリアル出力許可レジスタ $m$  (SOEm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(f) シリアル・チャネル開始レジスタ $m$  (SSm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注 SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

備考1. M : ユニット番号 ( $m = 0, 1$ )    n :  $m = 0$ の時 チャネル番号 ( $n = 0$ ) ,  $m = 1$ の時 チャネル番号 ( $n = 0, 1$ )

p : CSI番号 ( $p = 00, 20, 21$ ) , mn = 00, 10, 11

2.  : CSIマスタ送受信モードでは設定固定

: 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図13-41 マスタ送受信の初期設定手順

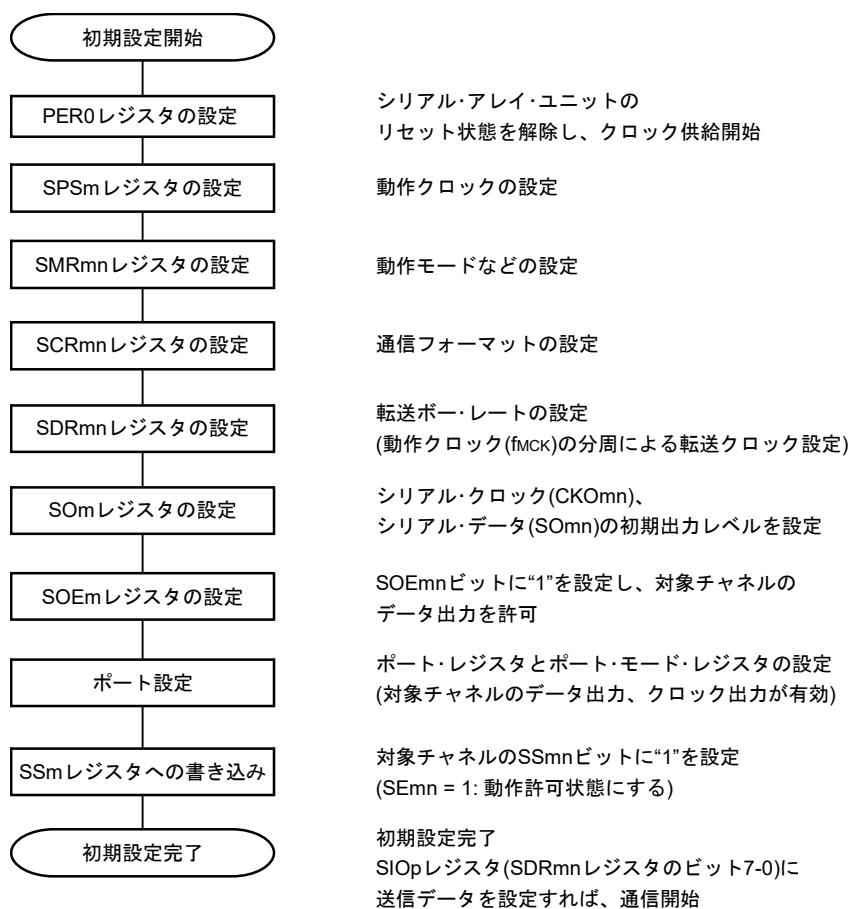


図13-42 マスタ送受信の中断手順

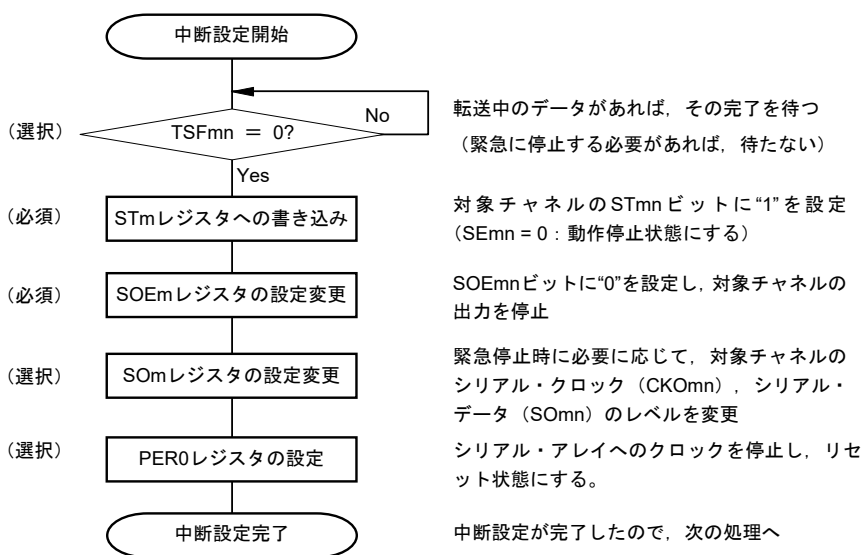
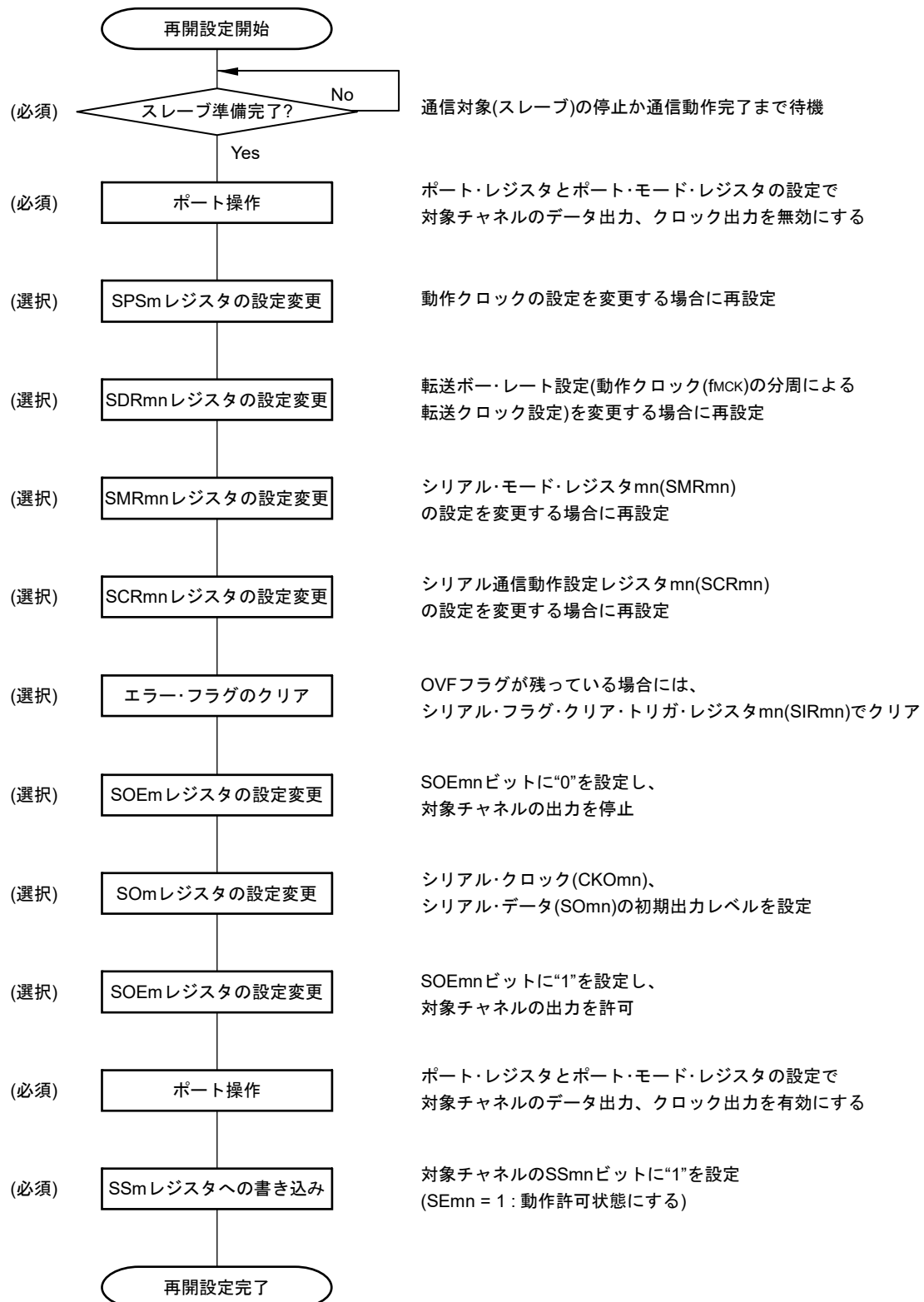


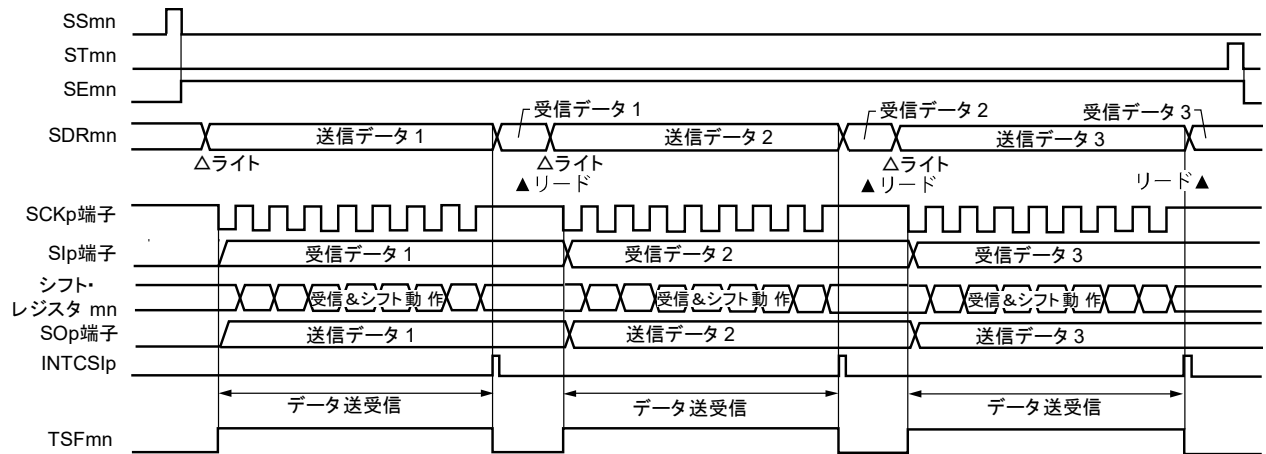


図13-43 マスタ送受信の再開設定手順



## (3) 処理フロー（シングル送受信モード時）

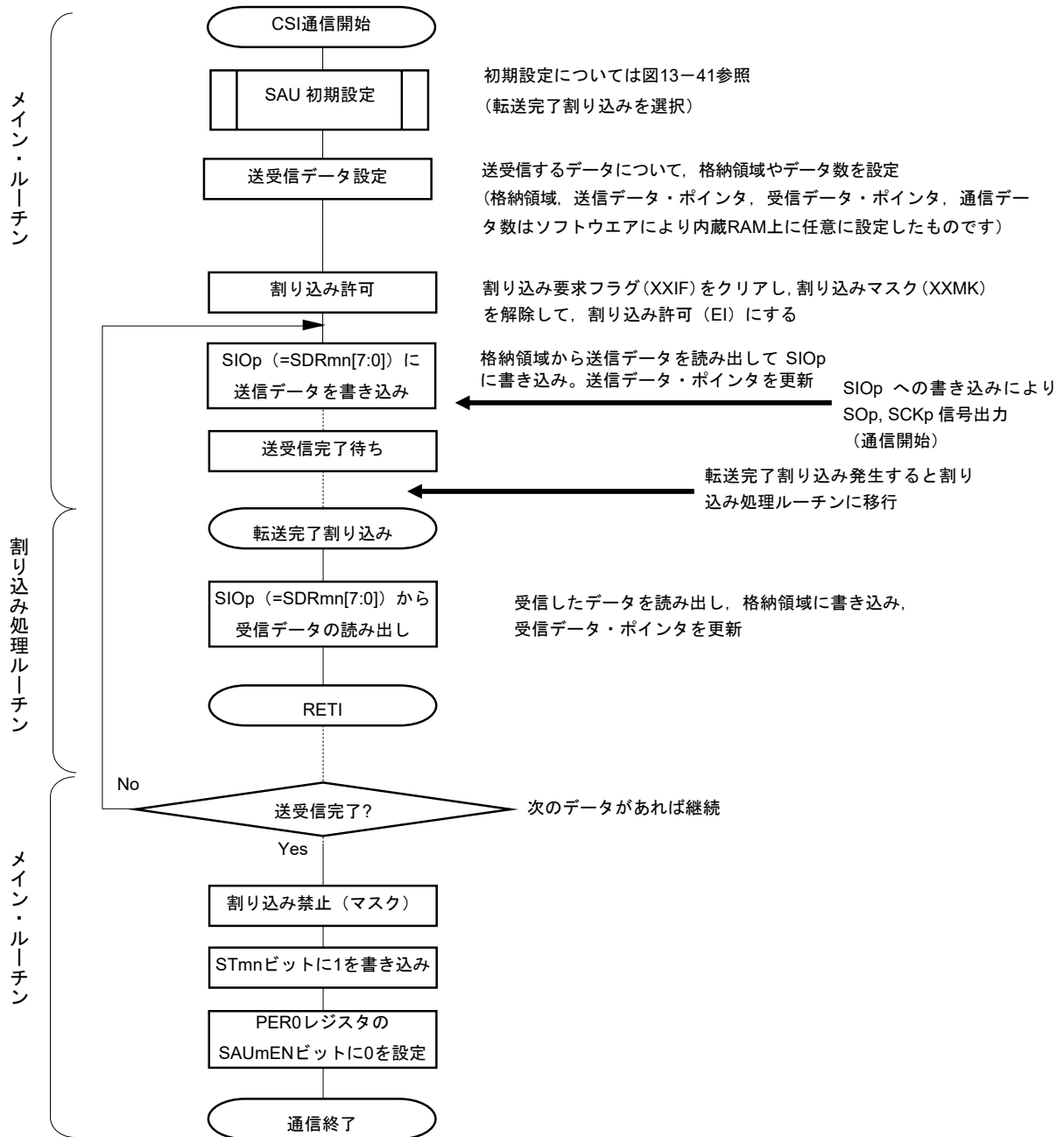
図13-44 マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn=0, CKPmn=0）



**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (m = 0のときn = 0, m = 1のときn = 0, 1)

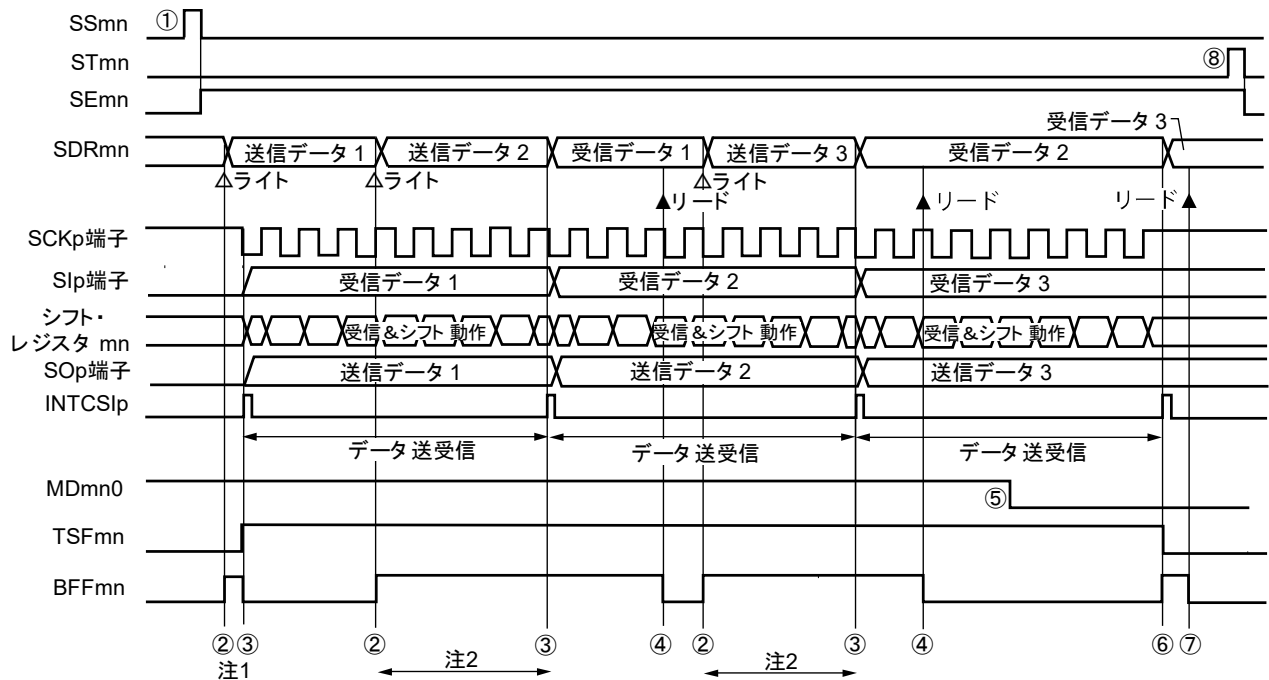
p : CSI番号 (p = 00, 20, 21) , mn = 00, 10, 11

図13-45 マスタ送受信（シングル送受信モード時）のフロー・チャート



## (4) 処理フロー（連続送受信モード時）

図13-46 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



**注1.** シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

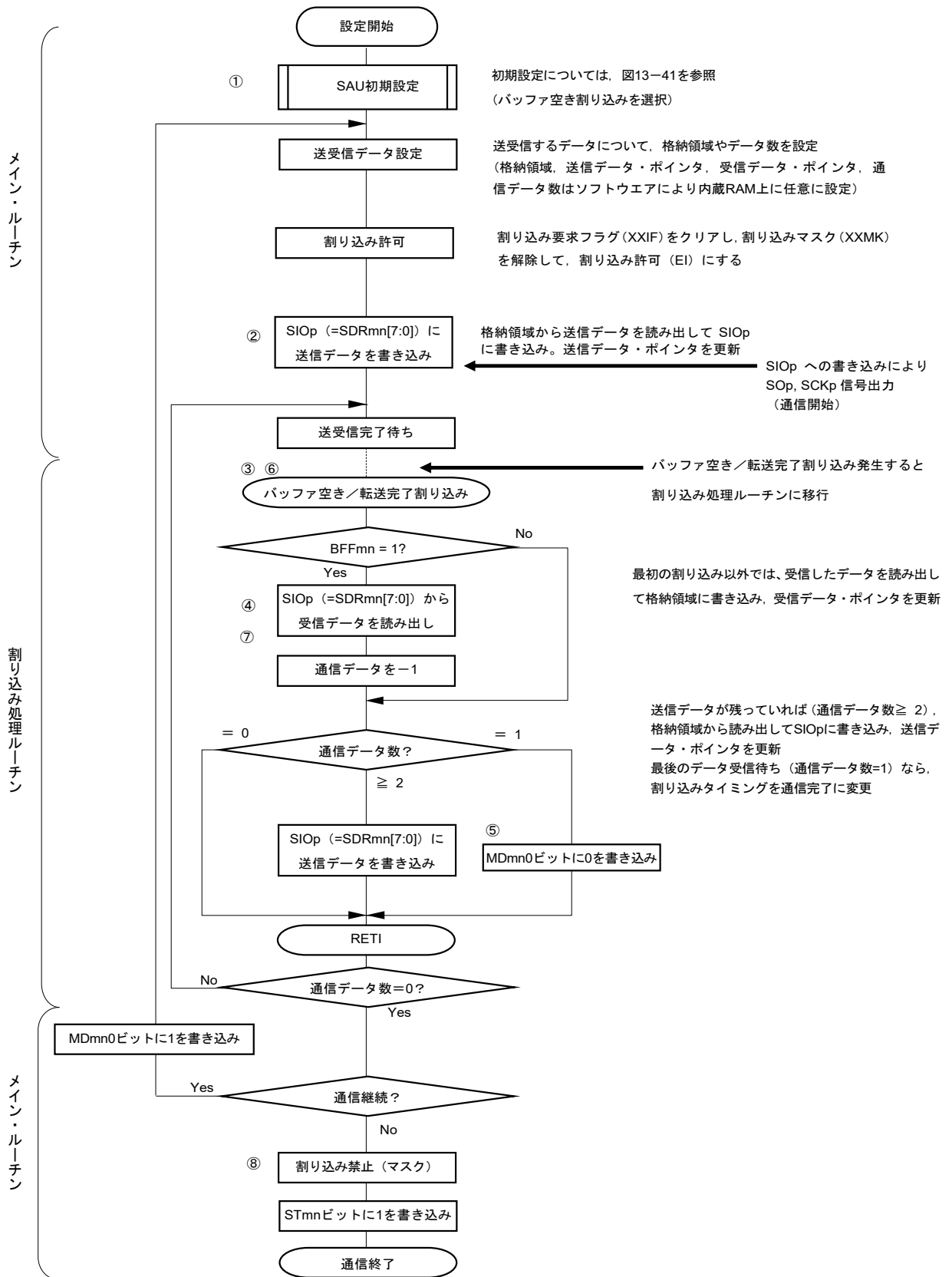
**2.** この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

**注意** シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

**備考1.** 図中の①~⑧は、図13-47 マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

**2.** m : ユニット番号 (m = 0, 1) n : m = 0の時 チャネル番号 (n = 0), m = 1の時 チャネル番号 (n = 0, 1)  
p : CSI番号 (p = 00, 20, 21), mn = 00, 10, 11

図13-47 マスタ送受信（連続送受信モード時）のフロー・チャート



**備考** 図中の①~⑧は、図13-46 マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

### 13.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

3線シリアル/I/O	CSI00	CSI20	CSI21
対象チャンネル	SAU0のチャンネル0	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCK00, SO00	SCK20, SO20	-
割り込み <sup>注3</sup>	INTCSI00	INTCSI20	-
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ <sup>注3</sup>	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長 <sup>注3</sup>	7ビットまたは8ビット		
転送レート <sup>注3</sup>	Max. $f_{MCK}/6$ [Hz] <sup>注1, 2</sup>		
データ位相 <sup>注3</sup>	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始		
クロック位相 <sup>注3</sup>	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転		
データ方向 <sup>注3</sup>	MSBファーストまたはLSBファースト		

- 注1.** SCK00, SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$  [Hz]となります。
- 2.** この条件を満たし、かつ電気的特性の周辺機能特性（第30章 電気的特性参照）を満たす範囲内で使用してください。
- 3.** CSI21はスレーブ送信として使用できません。

**備考1.**  $f_{MCK}$ ：対象チャンネルの動作クロック周波数

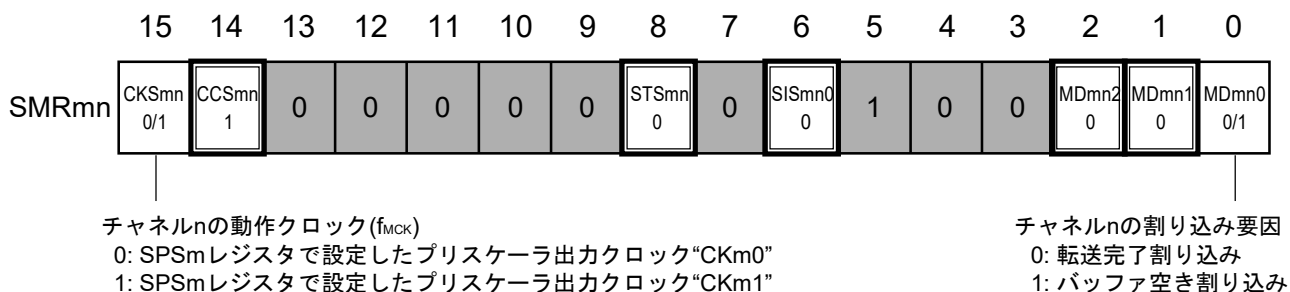
$f_{SCK}$ ：シリアル・クロック周波数

- 2.** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0）, mn = 00, 10

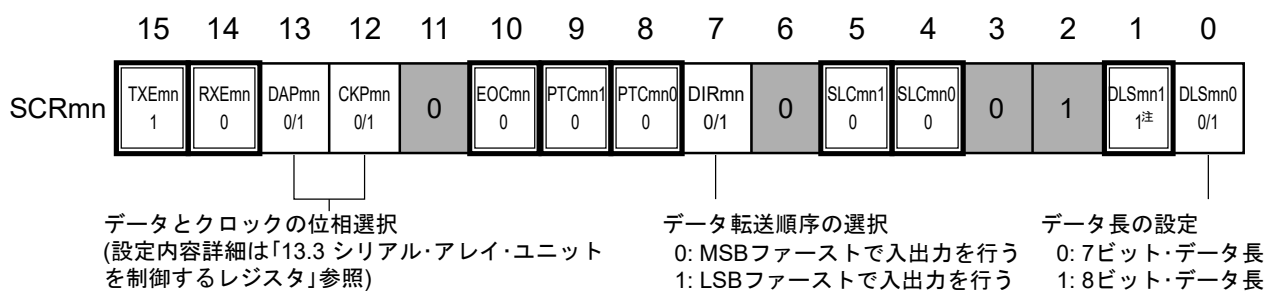
(1) レジスタ設定

図13-48 3線シリアルI/O (CSI00, CSI20) のスレーブ送信時のレジスタ設定内容例

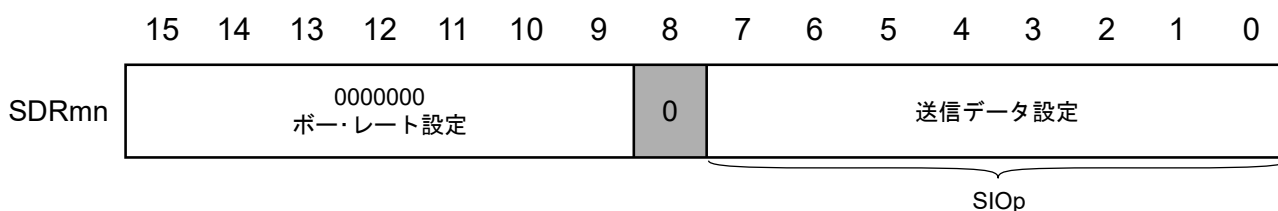
(a) シリアル・モード・レジスタmn (SMRmn)



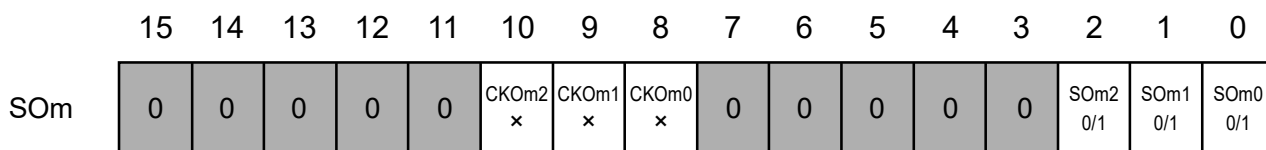
(b) シリアル通信動作設定レジスタmn (SCRmn)



(c) シリアル・データ・レジスタmn (SDRmn) (下位8ビット: SIOp)



(d) シリアル出力レジスタm (SOM) . . . 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ $m$  (SOEm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(f) シリアル・チャネル開始レジスタ $m$  (SSm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注 SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

備考1.  $m$ : ユニット番号 ( $m = 0, 1$ )  $n$ : チャネル番号 ( $n = 0$ )  $p$ : CSI番号 ( $p = 00, 20$ ),  $mn = 00, 10$

2. : CSIスレーブ送信モードでは設定固定

: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定



(2) 操作手順

図13-49 スレーブ送信の初期設定手順

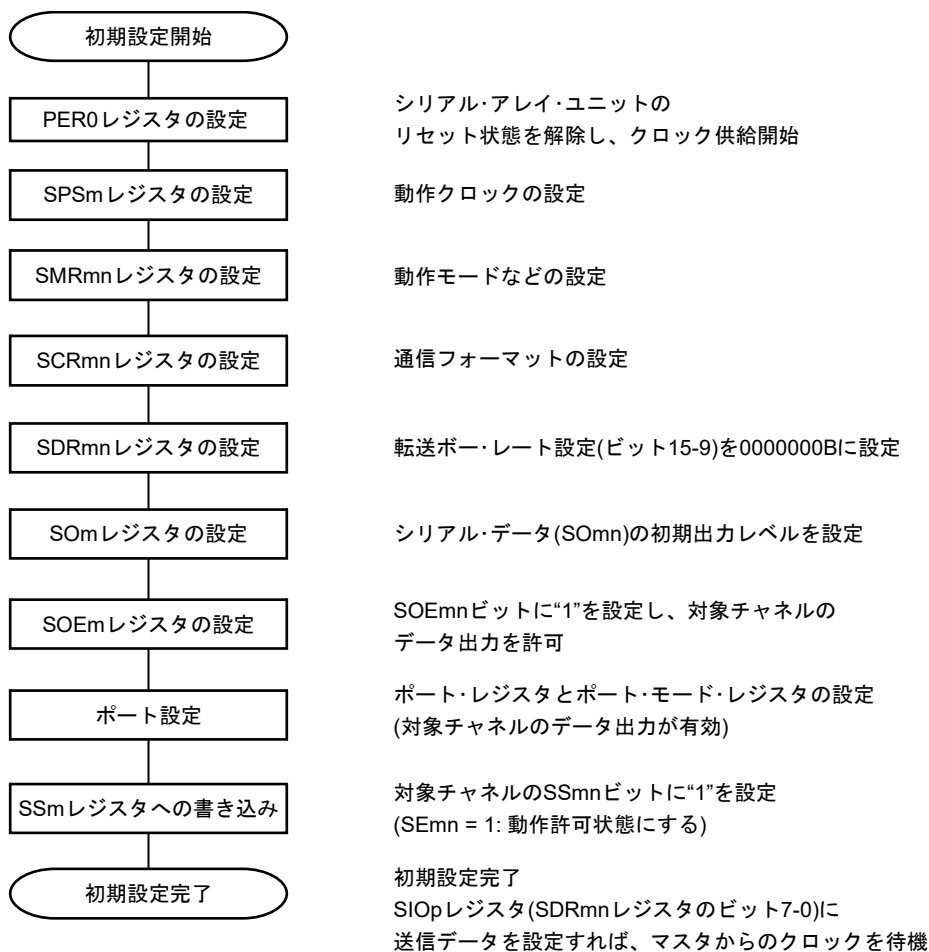


図13-50 スレーブ送信の中断手順

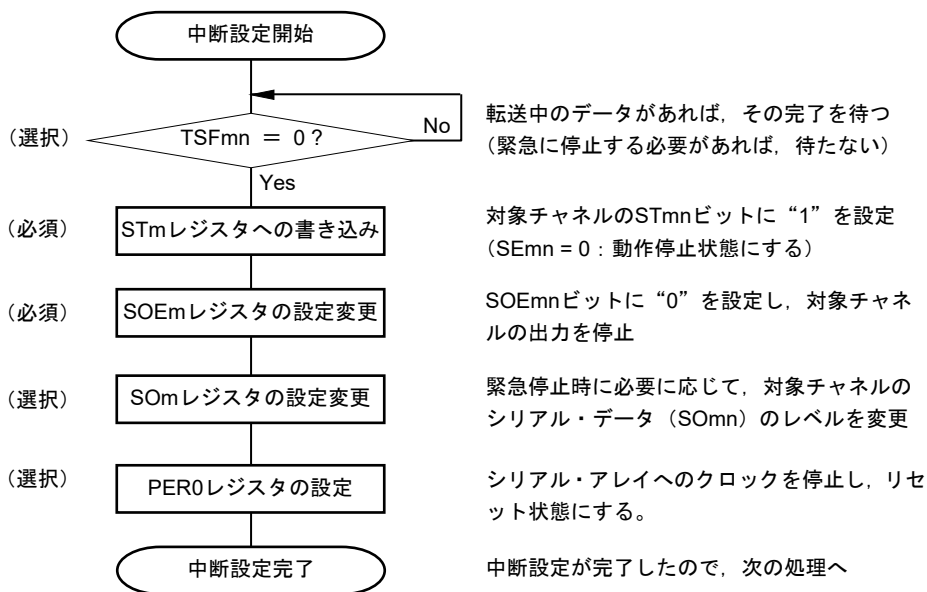
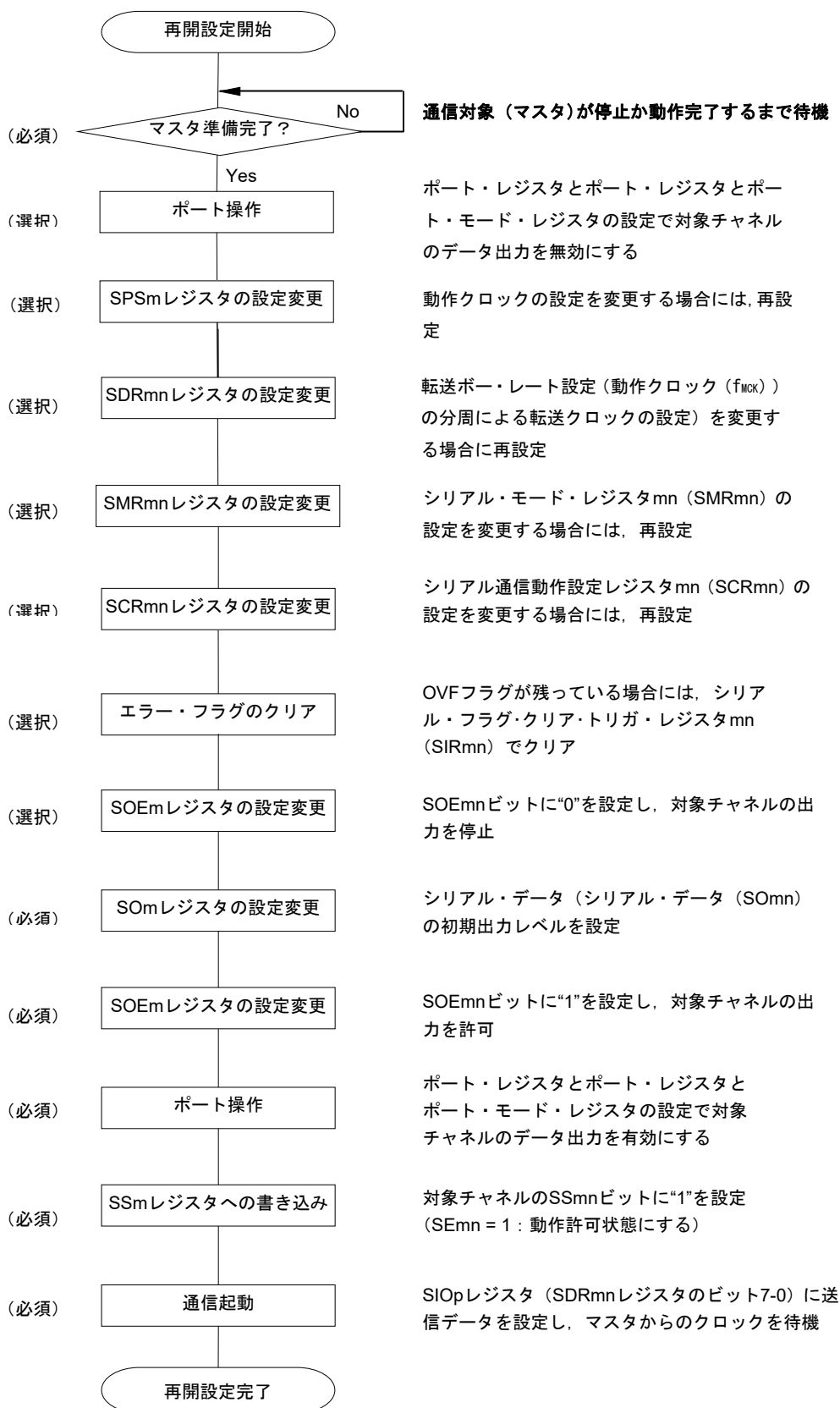


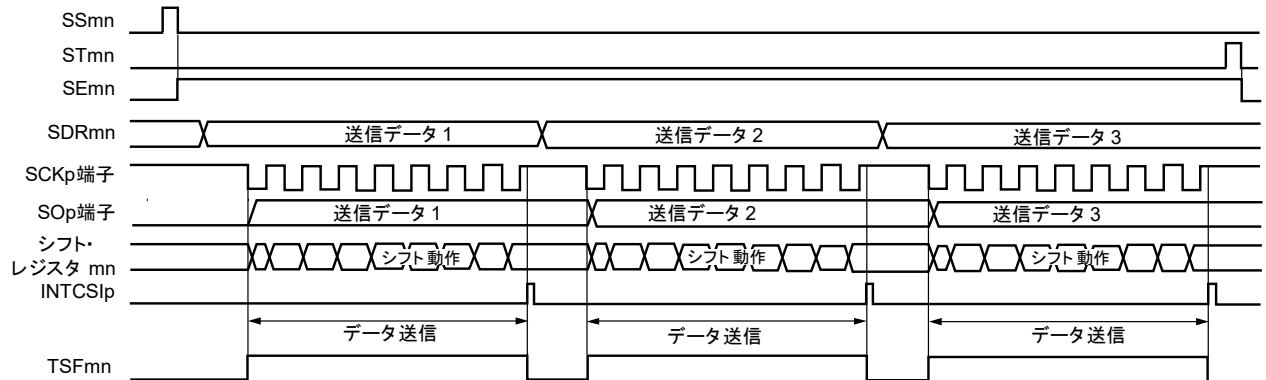
図13-51 スレーブ送信の再開設定手順



**備考** 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

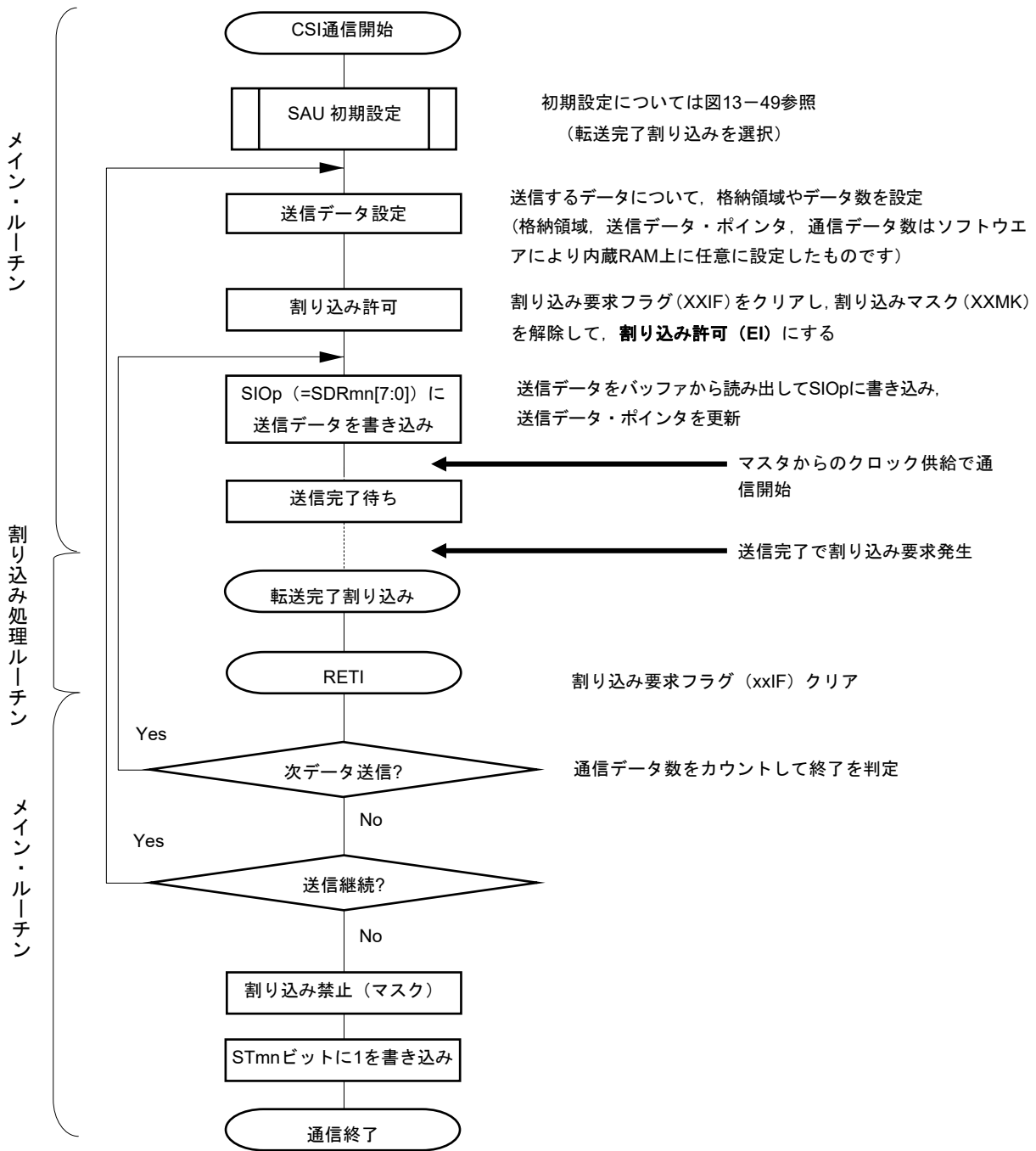
## (3) 処理フロー（シングル送信モード時）

図13-52 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



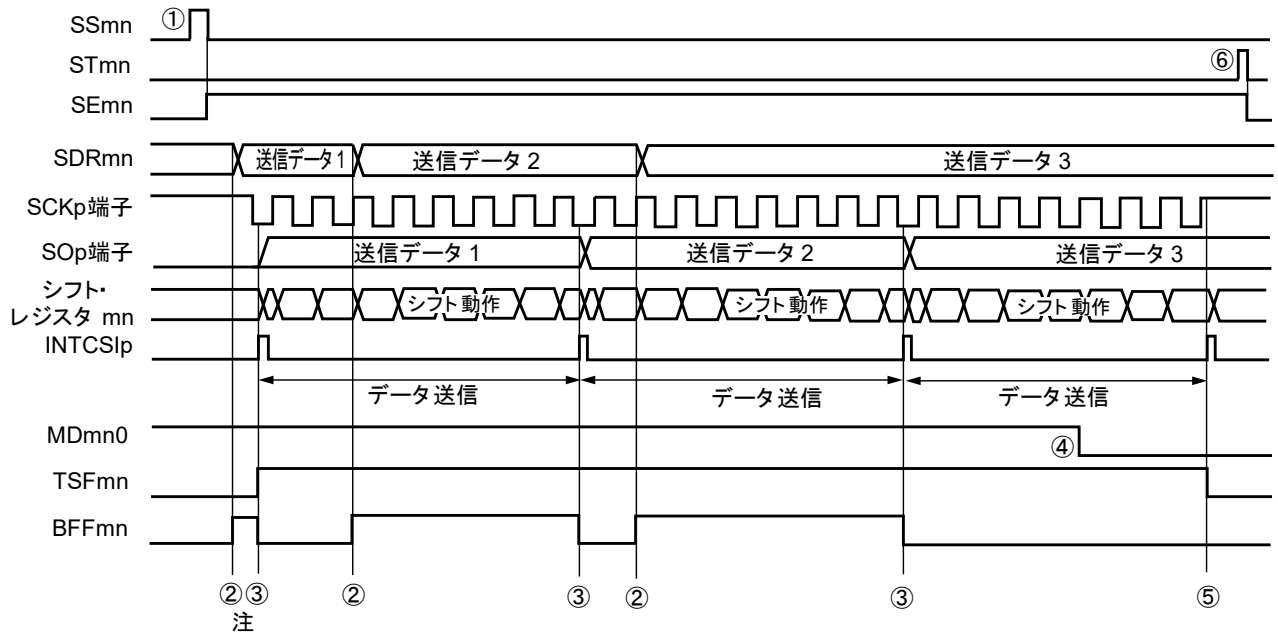
**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00, 20) , mn = 00, 10

図13-53 スレーブ送信（シングル送信モード時）のフロー・チャート



## (4) 処理フロー（連続送信モード時）

図13-54 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

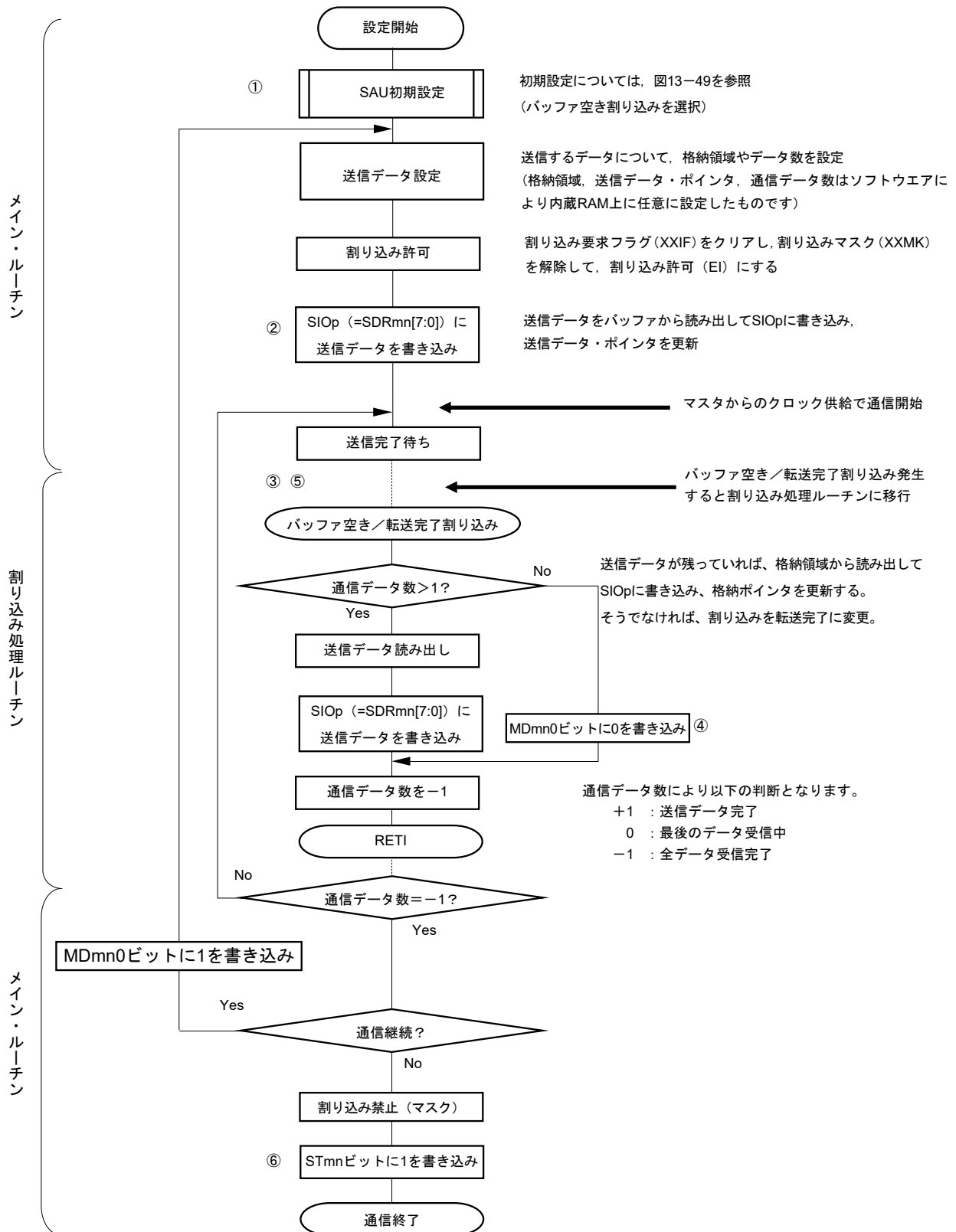


**注** シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

**注意** シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 00, 20) , mn = 00, 10

図13-55 スレーブ送信（連続送信モード時）のフロー・チャート



**備考** 図中の①~⑥は、図13-54 スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

### 13.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SI00	SCK20, SI20	-
割り込み <sup>注3</sup>	INTCSI00	INTCSI20	-
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー検出フラグ <sup>注3</sup>	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長 <sup>注3</sup>	7ビットまたは8ビット		
転送レート <sup>注3</sup>	Max. $f_{MCK}/6$ [Hz] <sup>注1,2</sup>		
データ位相 <sup>注3</sup>	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始		
クロック位相 <sup>注3</sup>	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転		
データ方向 <sup>注3</sup>	MSBファーストまたはLSBファースト		

- 注1.** SCK00, SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$  [Hz]となります。
- 2.** この条件を満たし、かつ電気的特性の周辺機能特性（第30章 電気的特性参照）を満たす範囲内で使用してください。
- 3.** CSI21はスレーブ受信として使用できません。

**備考1.**  $f_{MCK}$ ：対象チャンネルの動作クロック周波数

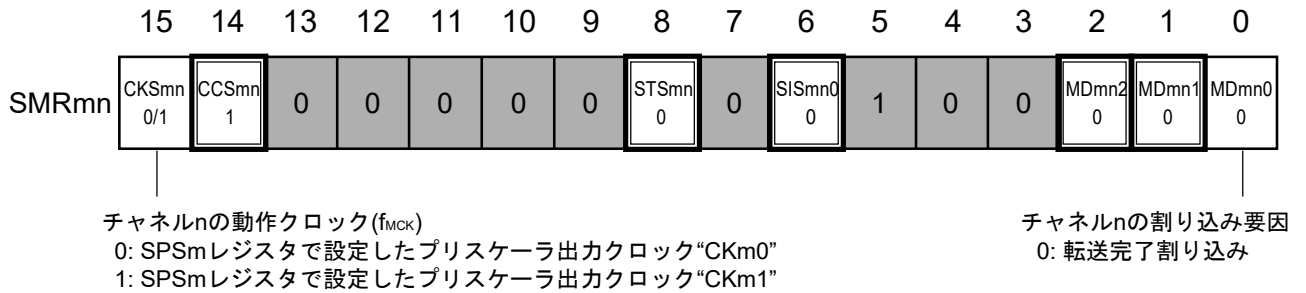
$f_{SCK}$ ：シリアル・クロック周波数

- 2.** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0）, mn = 00, 10

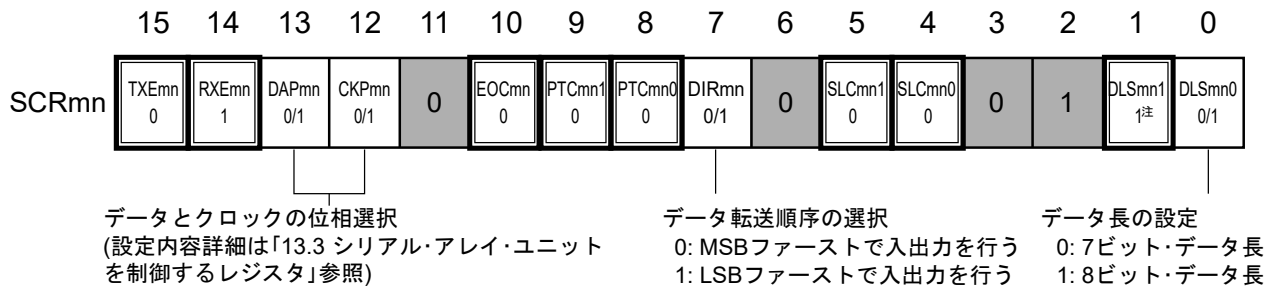
(1) レジスタ設定

図13-56 3線シリアルI/O (CSI00, CSI20) のスレーブ受信時のレジスタ設定内容例

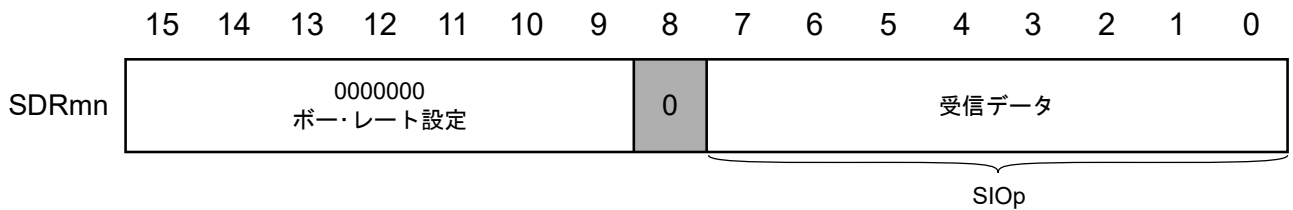
(a) シリアル・モード・レジスタmn (SMRmn)



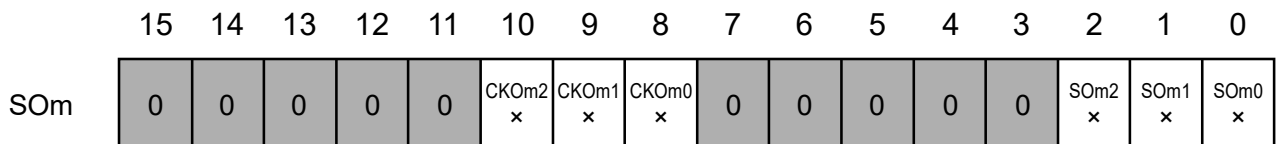
(b) シリアル通信動作設定レジスタmn (SCRmn)



(c) シリアル・データ・レジスタmn (SDRmn) (下位8ビット: SIOp)



(d) シリアル出力レジスタm (SOm) . . . このモードでは使用しない



(注, 備考は次ページにあります)



(e) シリアル出力許可レジスタm (SOEm) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 ×	SOEm1 ×	SOEm0 ×

(f) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注 SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00, 20) , mn = 00, 10

2.  : スレーブ受信モードでは設定固定

: 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

## (2) 操作手順

図13-57 スレーブ受信の初期設定手順

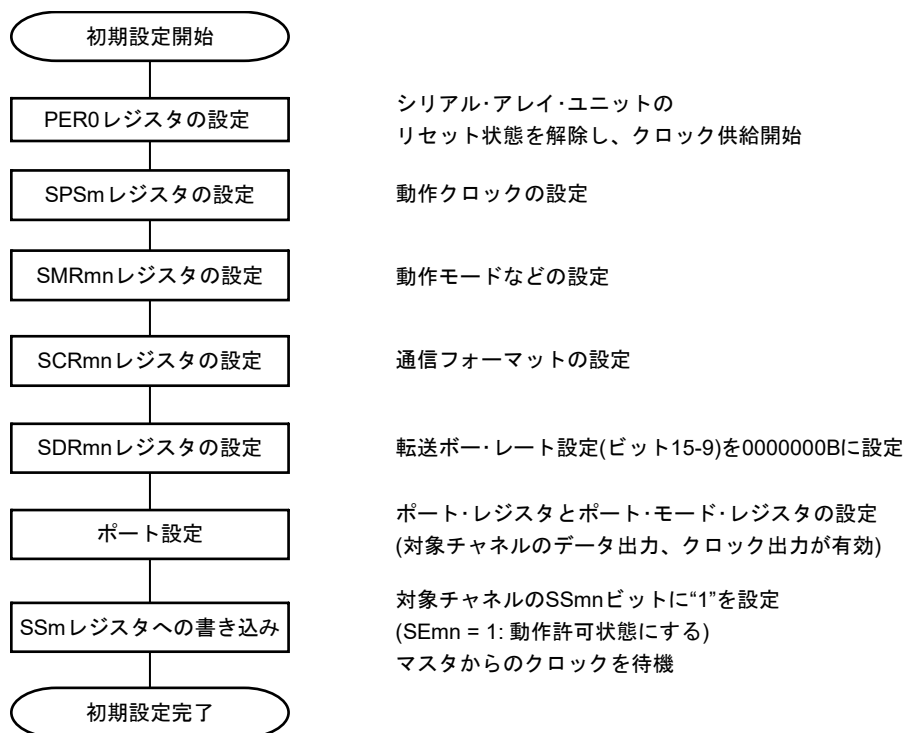


図13-58 スレーブ受信の中断手順

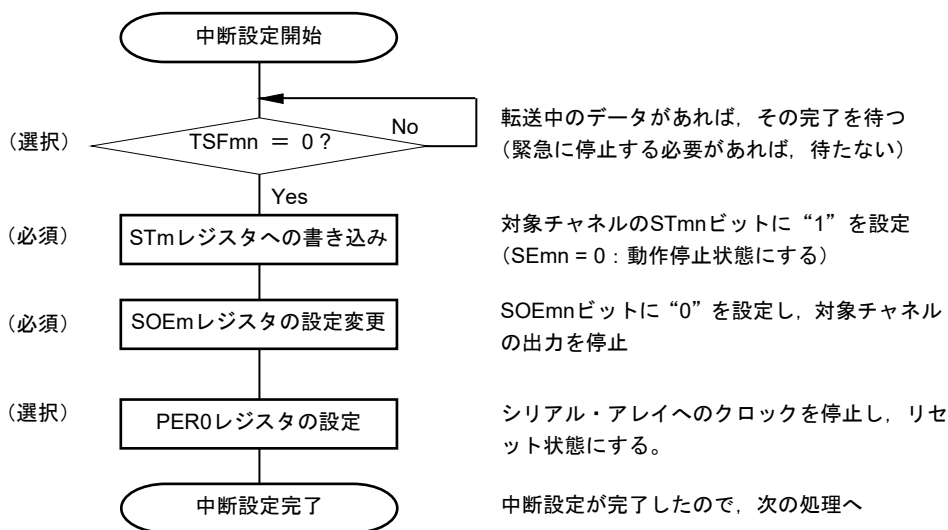
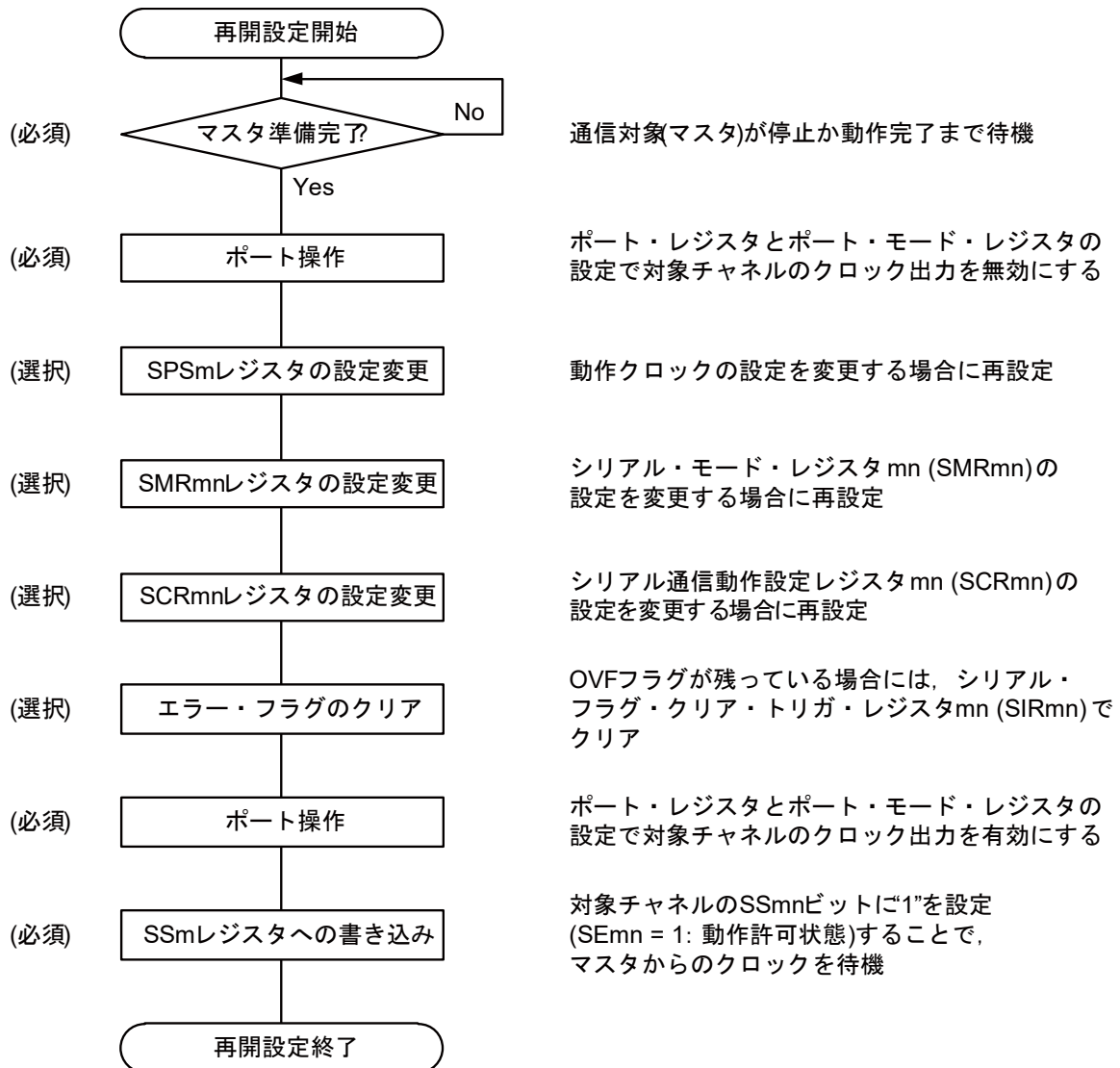


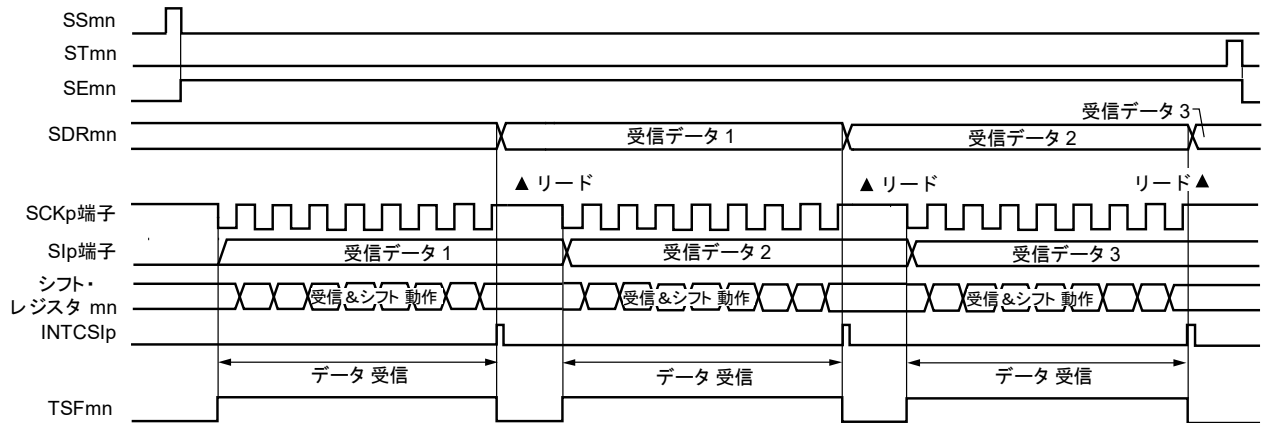
図13-59 スレーブ受信の再開設定手順



**備考** 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

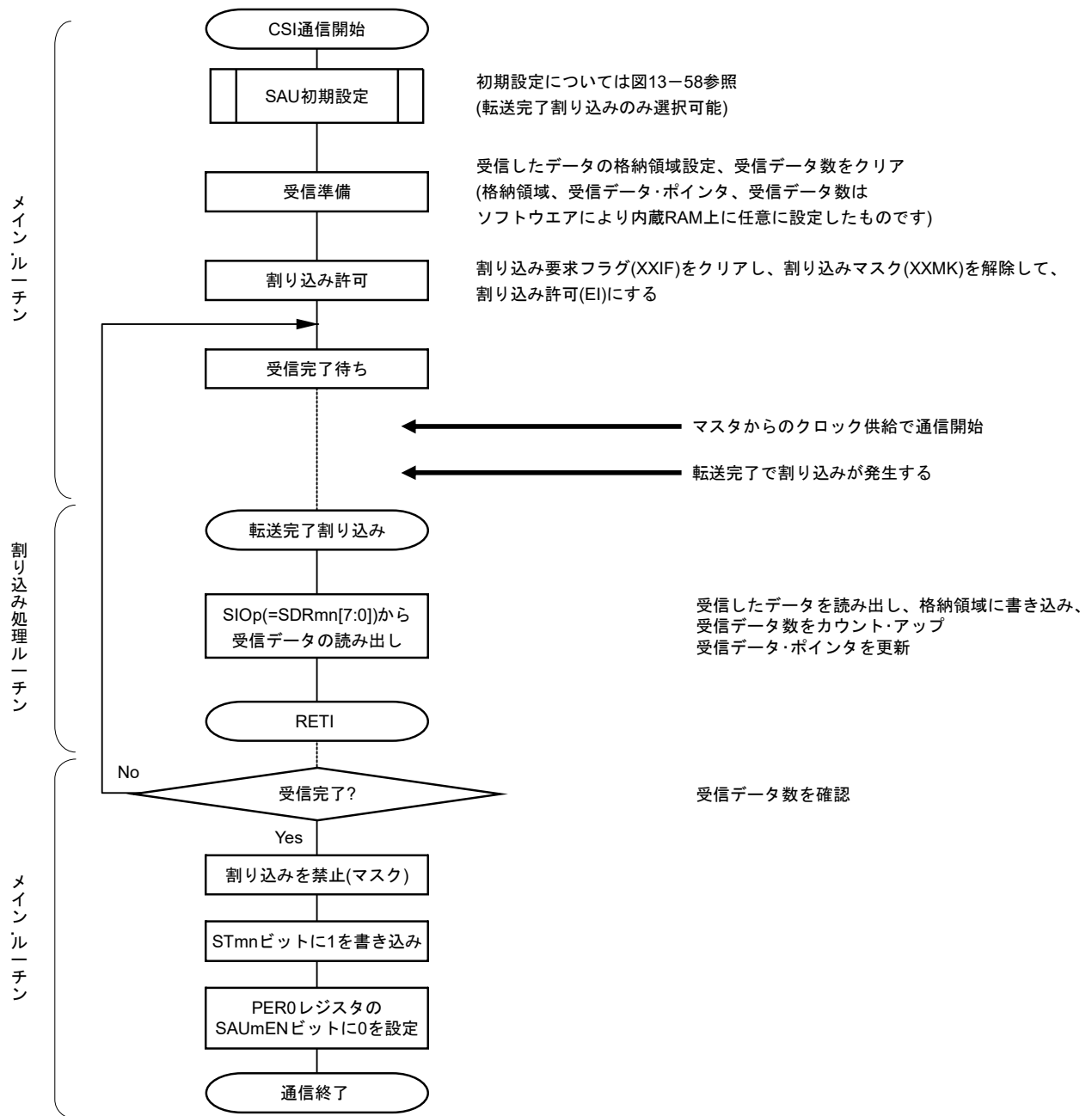
## (3) 処理フロー（シングル受信モード時）

図13-60 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



**備考** m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00, 20) , mn = 00, 10

図13-61 スレーブ受信（シングル受信モード時）のフロー・チャート



### 13.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

3線シリアル/I/O	CSI00	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SI00, SO00	SCK20, SI20, SO20	-
割り込み <sup>注3</sup>	INTCSI00	INTCSI20	-
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ <sup>注3</sup>	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長 <sup>注3</sup>	7ビットまたは8ビット		
転送レート <sup>注3</sup>	Max. $f_{MCK}/6$ [Hz] <sup>注1, 2</sup>		
データ位相 <sup>注3</sup>	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始		
クロック位相 <sup>注3</sup>	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転		
データ方向 <sup>注3</sup>	MSBファーストまたはLSBファースト		

- 注1.** SCK00, SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$  [Hz]となります。
- 2.** この条件を満たし、かつ電気的特性の周辺機能特性（第30章 電気的特性参照）を満たす範囲内で使用してください。
- 3.** CSI21はスレーブ送受信として使用できません。

**備考1.**  $f_{MCK}$ ：対象チャンネルの動作クロック周波数

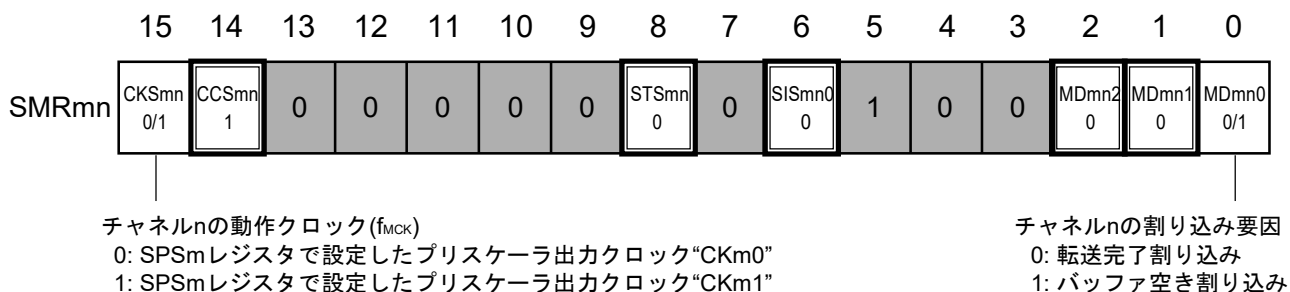
$f_{SCK}$ ：シリアル・クロック周波数

- 2.** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0）, mn = 00, 10

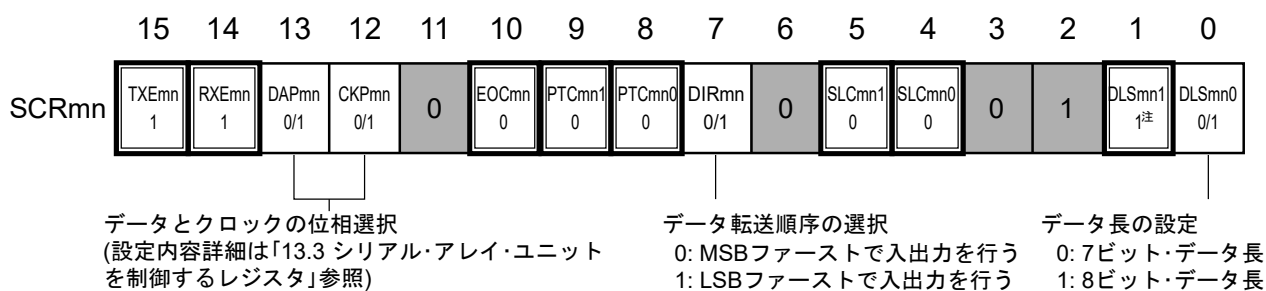
(1) レジスタ設定

図13-62 3線シリアルI/O (CSI00, CSI20) のスレーブ送受信時のレジスタ設定内容例

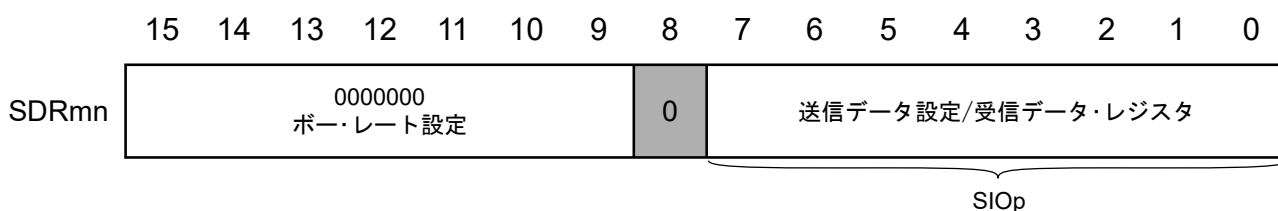
(a) シリアル・モード・レジスタmn (SMRmn)



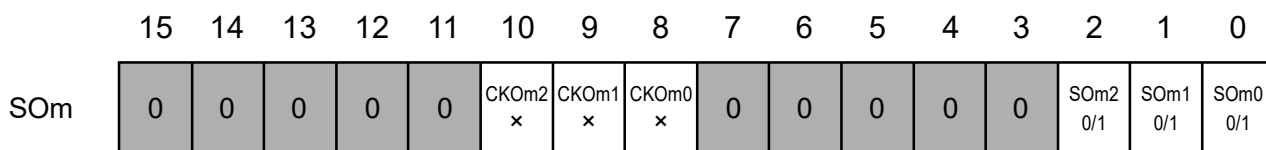
(b) シリアル通信動作設定レジスタmn (SCRmn)



(c) シリアル・データ・レジスタmn (SDRmn) (下位8ビット : SIOp)



(d) シリアル出力レジスタm (SOM) . . . 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ $m$  (SOEm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(f) シリアル・チャネル開始レジスタ $m$  (SSm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注 SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1.  $m$  : ユニット番号 ( $m = 0, 1$ )  $n$  : チャネル番号 ( $n = 0$ )  $p$  : CSI番号 ( $p = 00, 20$ ) ,  $mn = 00, 10$

2.  : CSIスレーブ送受信モードでは設定固定

: 設定不可 (初期値を設定)

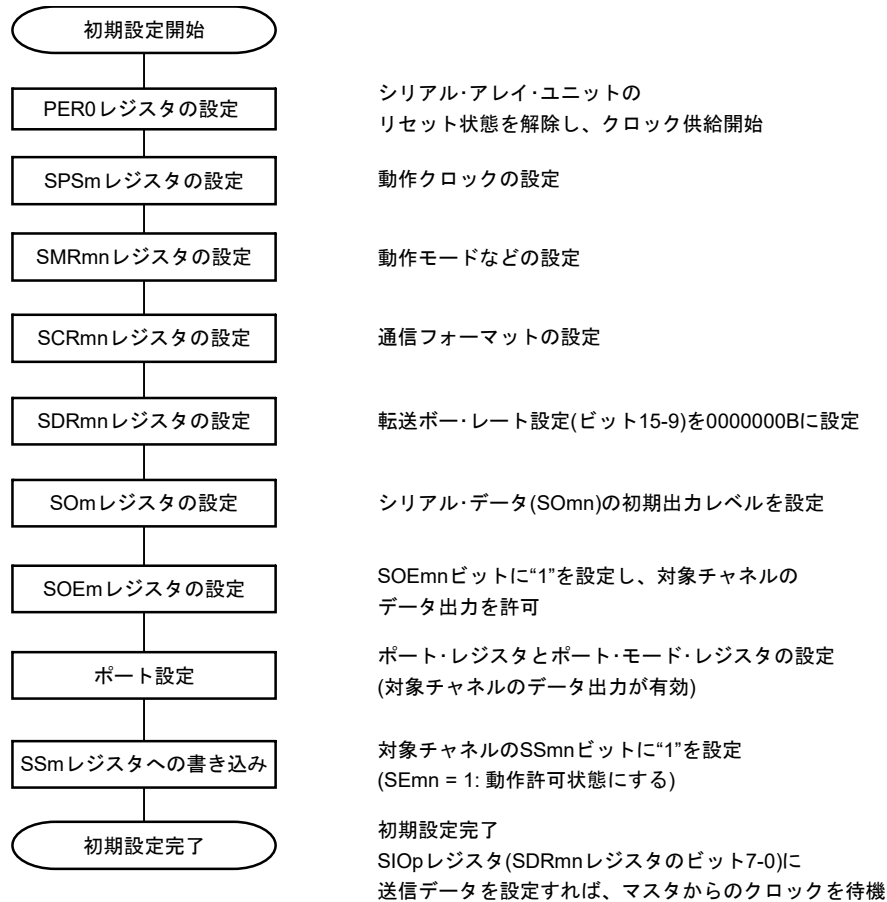
× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定



## (2) 操作手順

図13-63 スレーブ送受信の初期設定手順



**注意** マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図13-64 スレーブ送受信の中断手順

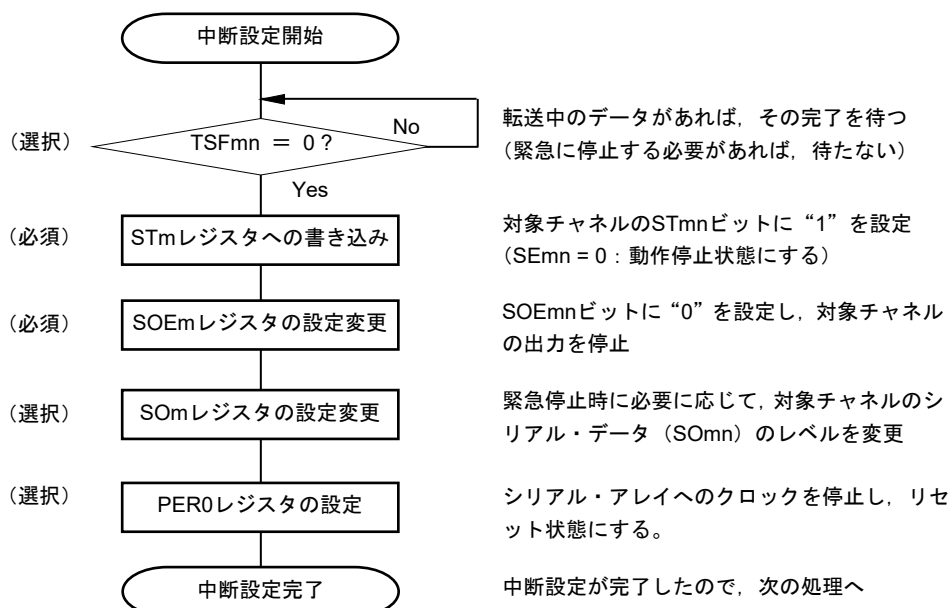
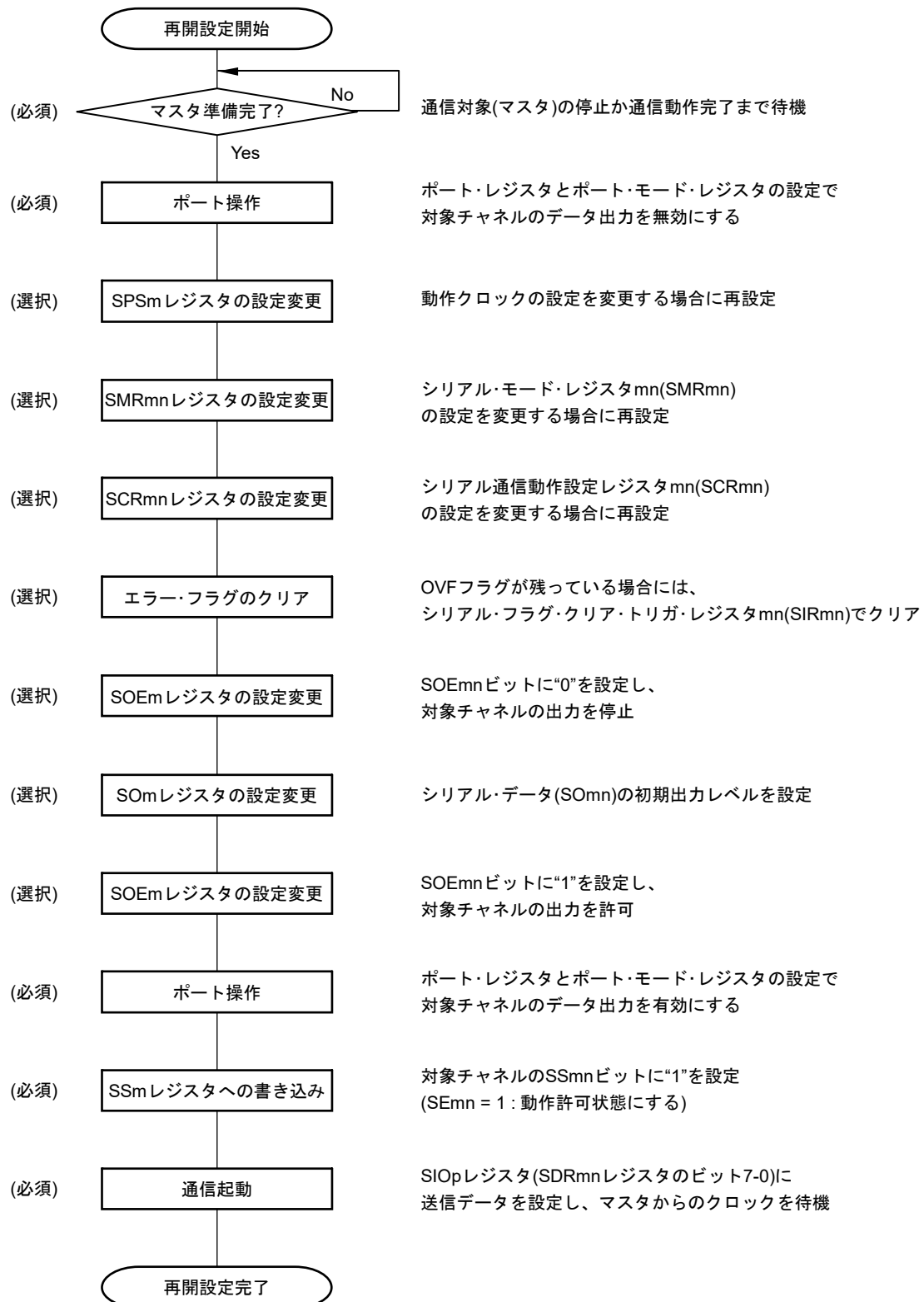


図13-65 スレーブ送受信の再開設定手順

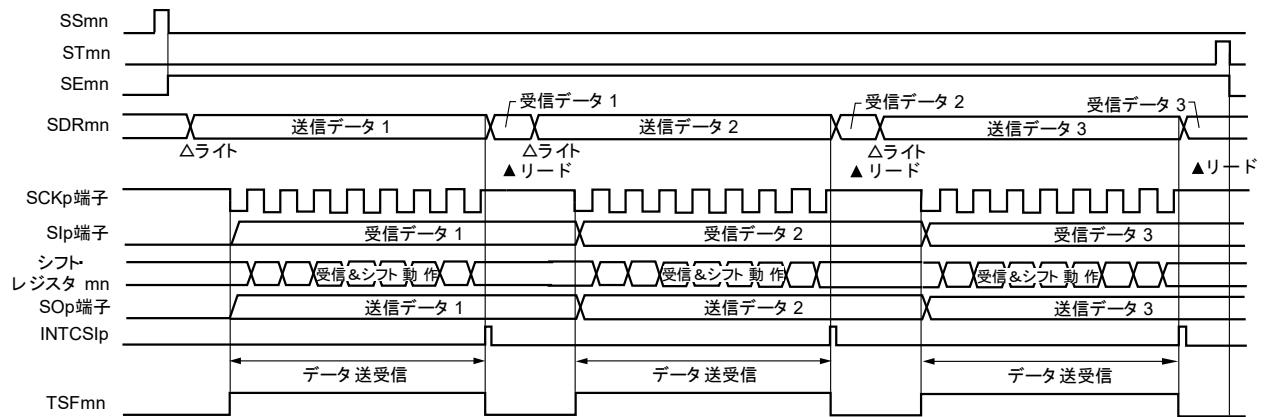


**注意1.** マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

- 2.** 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

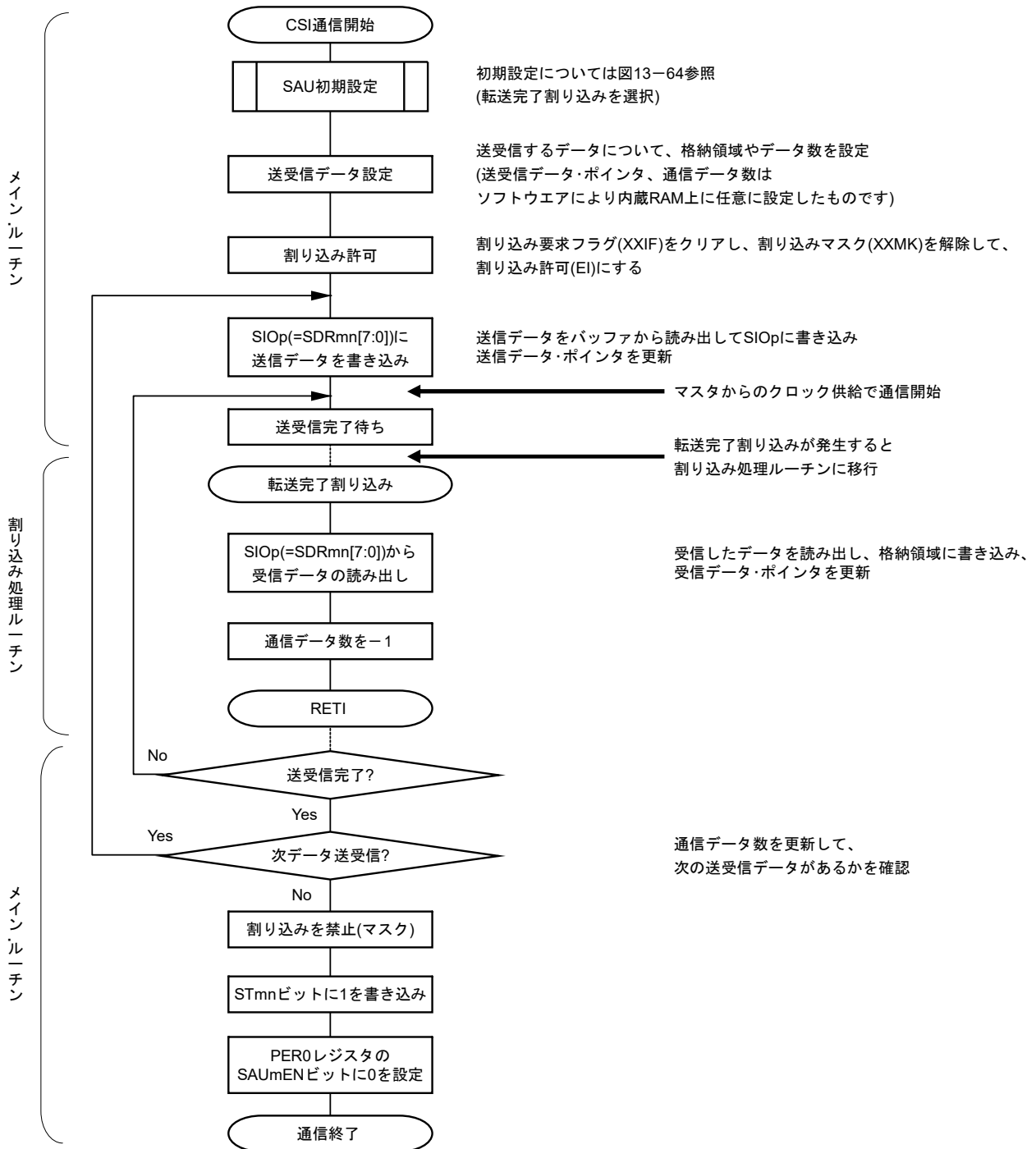
## (3) 処理フロー（シングル送受信モード時）

図13-66 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



**備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 00, 20) , mn = 00, 10

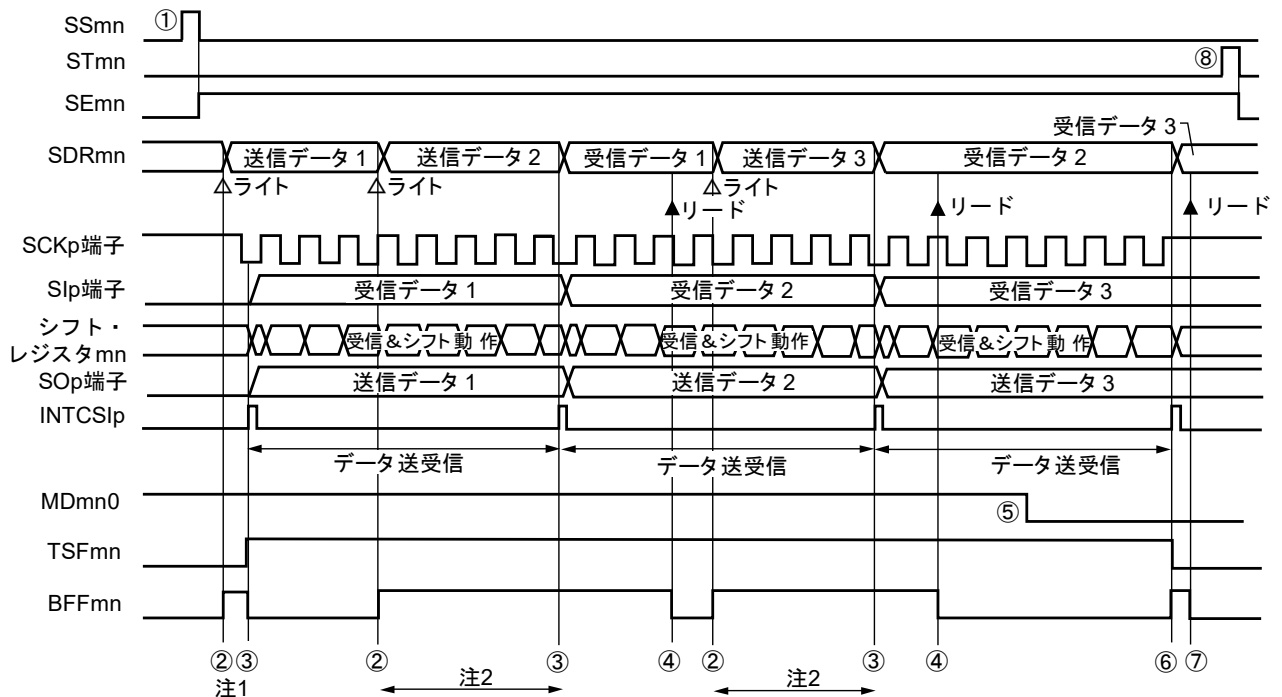
図13-67 スレーブ送受信（シングル送受信モード時）のフロー・チャート



**注意** マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

## (4) 処理フロー（連続送受信モード時）

図13-68 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



**注1.** シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されている時）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

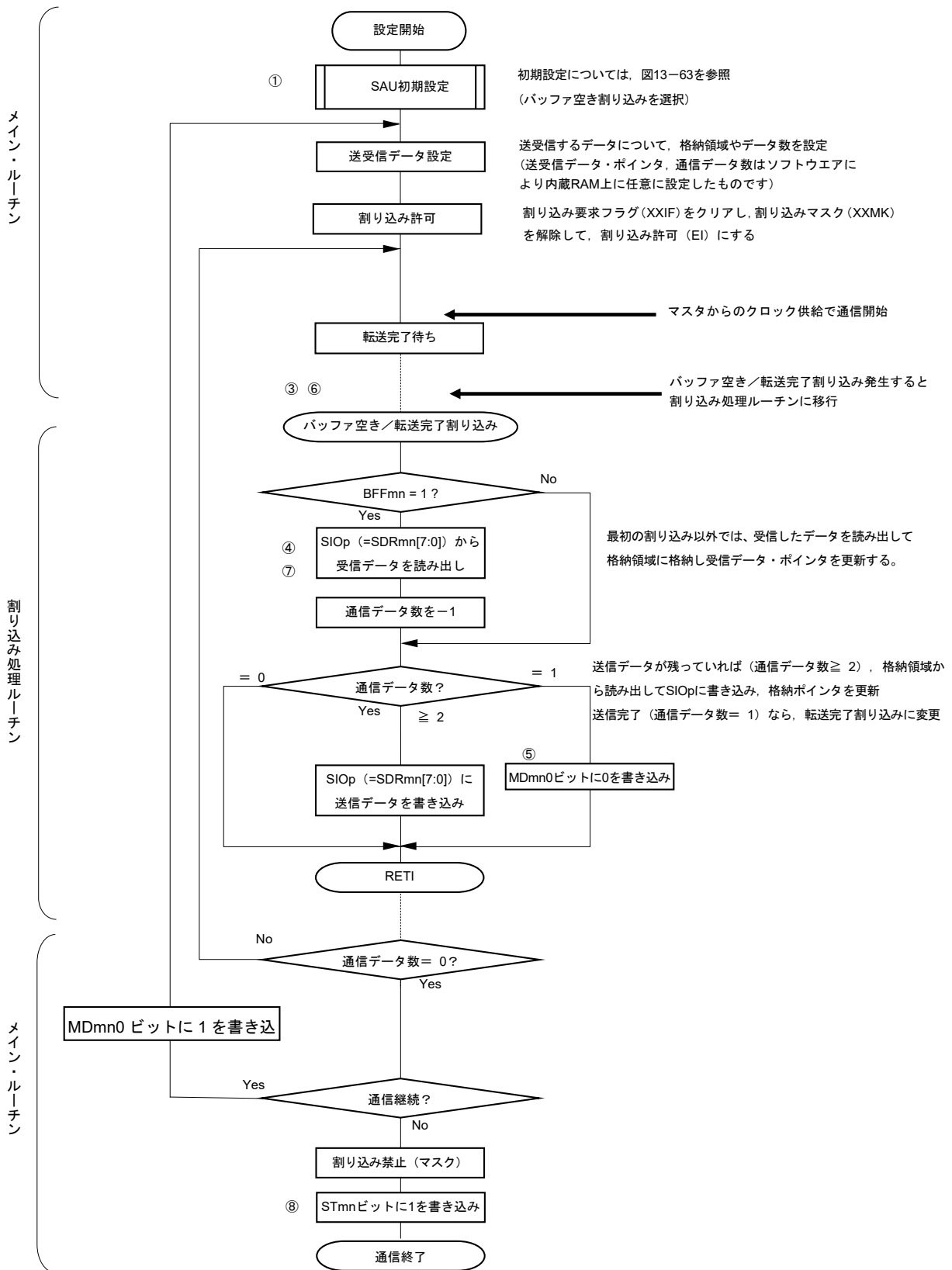
2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

**注意** シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

**備考1.** 図中の①~⑧は、図13-69 スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 00, 20) , mn = 00, 10

図13-69 スレーブ送受信（連続送受信モード時）のフロー・チャート



**注意** マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

**備考** 図中の①~⑧は、図13-68 スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

### 13.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出によりCSIの受信動作をさせるモードです。通常STOPモード時にCSIは通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずにCSIの受信動作を行うことができます。

CSIをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図13-71, 図13-73 SNOOZEモード動作時のフロー・チャートを参照)

- ・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm0ビットをセット (1) します。
- ・STOPモードに移行後、SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

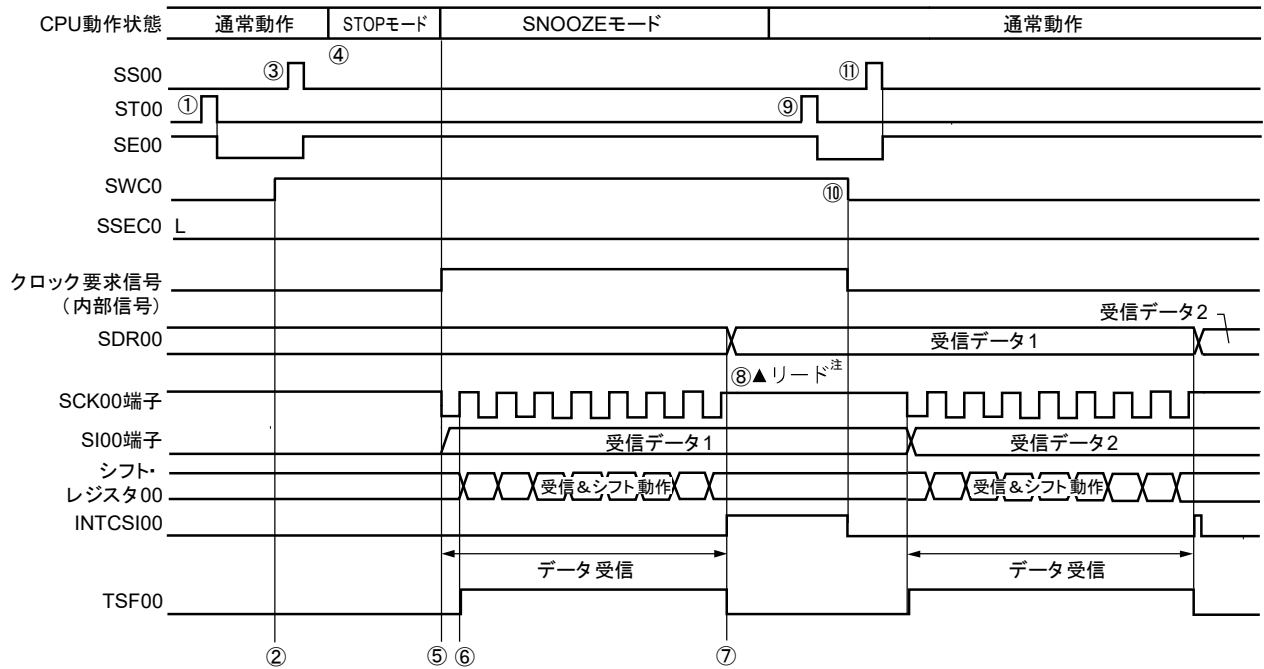
**注意1.** SNOOZEモードは、f<sub>CLK</sub>に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

**2.** SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

**備考** m = 0; p = 00

## (1) SNOOZEモード動作 (1回起動)

図13-70 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、 $SWC_m = 1$ の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、 $ST_m0$ ビットを1に設定してください ( $SE_m0$ ビットがクリアされ動作停止)。また、受信動作を完了したあとは、 $SWC_m$ ビットもクリアしてください (SNOOZE解除)。

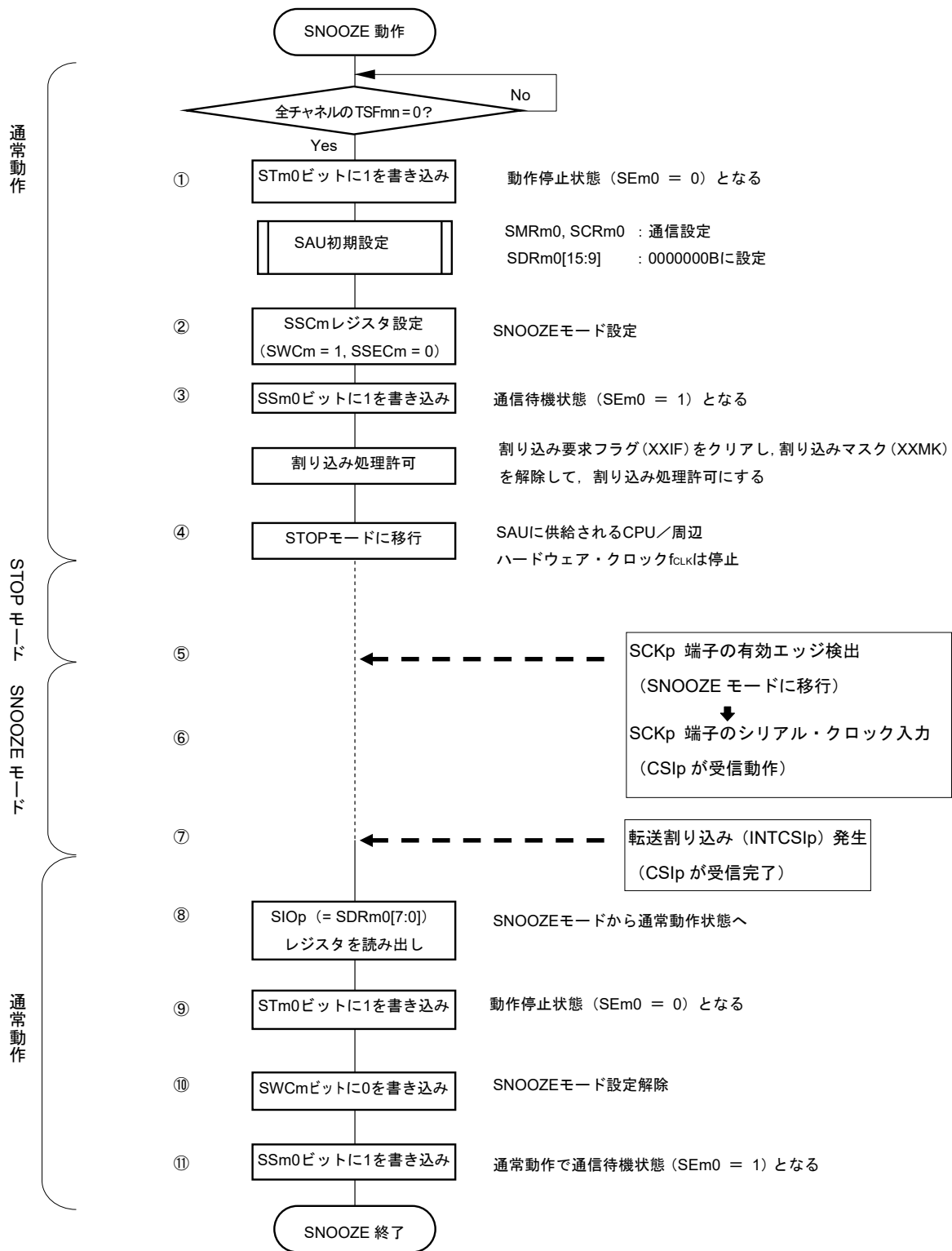
2.  $SWC_m = 1$ のときは、 $BFF_m0$ 、 $OVF_m0$ フラグは動作しません。

備考1. 図中の①~⑪は、図13-71 SNOOZEモード動作 (1回起動) 時のフロー・チャートの①~⑪に対応しています。

2.  $m = 0$ ;  $p = 00$



図13-71 SNOOZEモード動作（1回起動）時のフロー・チャート

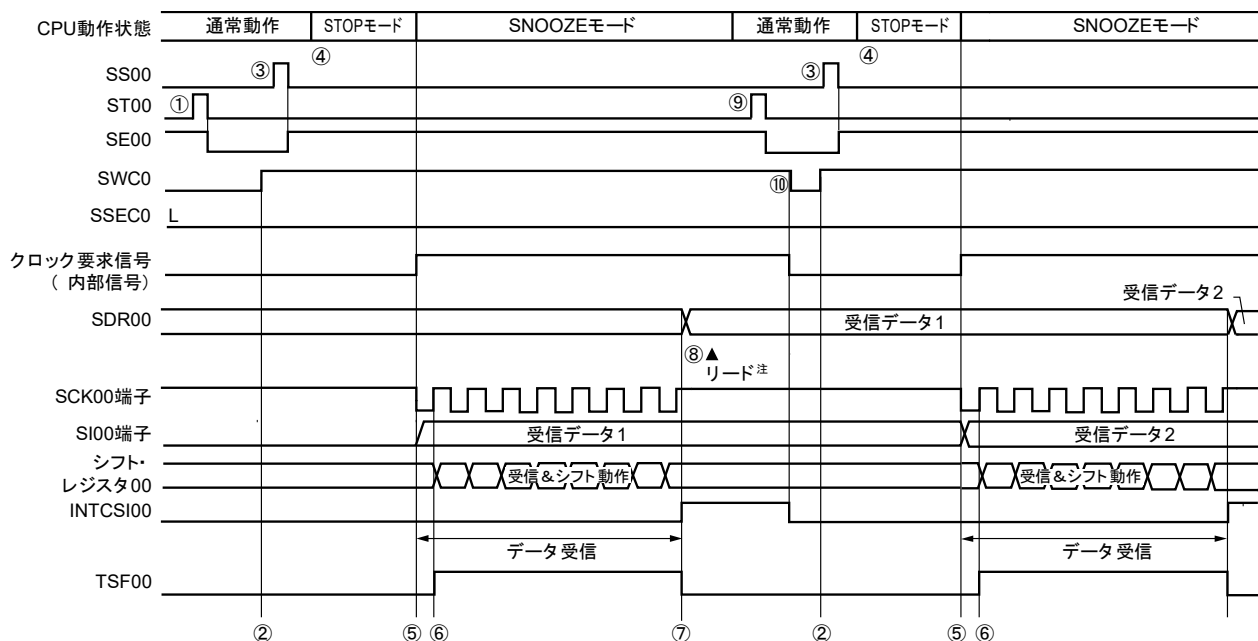


備考1. 図中の①~⑪は、図13-70 SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。

2. m = 0; p = 00

## (2) SNOOZEモード動作（連続起動）

図13-72 SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn=0, CKPmn=0）



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。

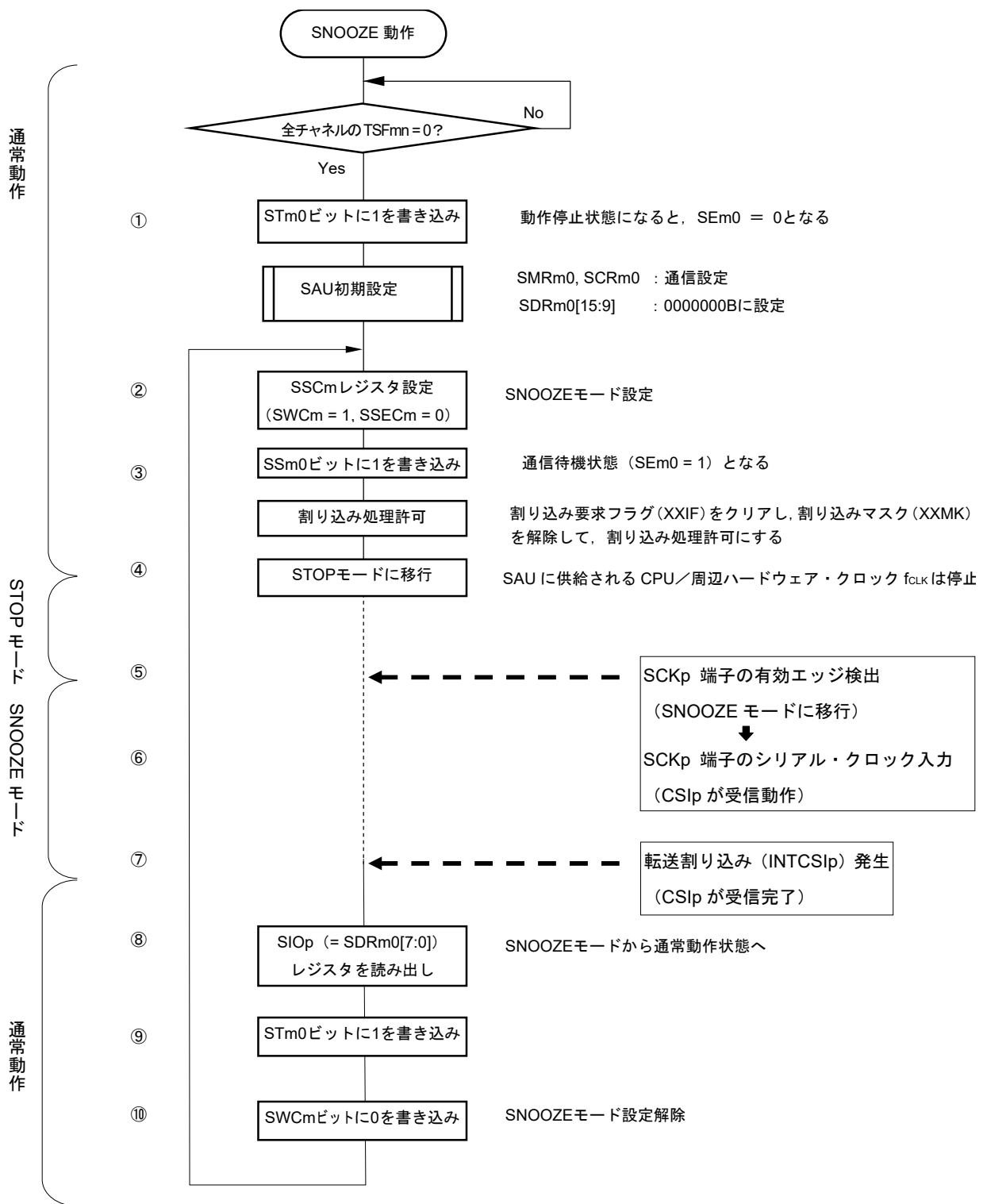
また、受信動作を完了したあとは、SWCmビットもクリアしてください（SNOOZE解除）。

2. SWCm = 1のときは、BFFm0, OVFM0フラグは動作しません。

備考1. 図中の①~⑩は、図13-73 SNOOZEモード動作（連続起動）時のフロー・チャートの①~⑩に対応しています。

2. m = 0; p = 00

図13-73 SNOOZEモード動作（連続起動）時のフロー・チャート



**備考1.** 図中の①~⑩は, 図13-72 SNOOZEモード動作（連続起動）時のタイミング・チャートの①~⑩に対応しています。

2. m = 0; p = 00

### 13.5.8 転送クロック周波数の算出

3線シリアルI/O (CSI00, CSI20, CSI21) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\boxed{\text{転送クロック周波数}} = \boxed{\text{対象チャネルの動作クロック (f}_{\text{MCK}}\text{) 周波数}} \div (\text{SDRmn}[15:9]+1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\boxed{\text{転送クロック周波数}} = \boxed{\text{マスタが供給するシリアル・クロック (SCK) 周波数}}^{\text{注}} \text{ [Hz]}$$

**注** ただし、許容最大転送クロック周波数は $f_{\text{MCK}}/6$ となります。

**備考** SDRmn[15:9]は、シリアル・データ・レジスタmn (SDRmn) のビット15-9の値 (0000000B-1111111B) なので、0-127になります。

動作クロック ( $f_{\text{MCK}}$ ) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表13-2 3線シリアルI/O動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f <sub>CLK</sub> ) <sup>注</sup>	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f <sub>CLK</sub> = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f <sub>CLK</sub>	32 MHz
	X	X	X	X	0	0	0	1	f <sub>CLK</sub> /2	16 MHz
	X	X	X	X	0	0	1	0	f <sub>CLK</sub> /2 <sup>2</sup>	8 MHz
	X	X	X	X	0	0	1	1	f <sub>CLK</sub> /2 <sup>3</sup>	4 MHz
	X	X	X	X	0	1	0	0	f <sub>CLK</sub> /2 <sup>4</sup>	2 MHz
	X	X	X	X	0	1	0	1	f <sub>CLK</sub> /2 <sup>5</sup>	1 MHz
	X	X	X	X	0	1	1	0	f <sub>CLK</sub> /2 <sup>6</sup>	500 kHz
	X	X	X	X	0	1	1	1	f <sub>CLK</sub> /2 <sup>7</sup>	250 kHz
	X	X	X	X	1	0	0	0	f <sub>CLK</sub> /2 <sup>8</sup>	125 kHz
	X	X	X	X	1	0	0	1	f <sub>CLK</sub> /2 <sup>9</sup>	62.5 kHz
	X	X	X	X	1	0	1	0	f <sub>CLK</sub> /2 <sup>10</sup>	31.25 kHz
	X	X	X	X	1	0	1	1	f <sub>CLK</sub> /2 <sup>11</sup>	15.63 kHz
	X	X	X	X	1	1	0	0	f <sub>CLK</sub> /2 <sup>12</sup>	7.81 kHz
	X	X	X	X	1	1	0	1	f <sub>CLK</sub> /2 <sup>13</sup>	3.91 kHz
	X	X	X	X	1	1	1	0	f <sub>CLK</sub> /2 <sup>14</sup>	1.95 kHz
X	X	X	X	1	1	1	1	f <sub>CLK</sub> /2 <sup>15</sup>	977 Hz	
1	0	0	0	0	X	X	X	X	f <sub>CLK</sub>	32 MHz
	0	0	0	1	X	X	X	X	f <sub>CLK</sub> /2	16 MHz
	0	0	1	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>2</sup>	8 MHz
	0	0	1	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>3</sup>	4 MHz
	0	1	0	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>4</sup>	2 MHz
	0	1	0	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>5</sup>	1 MHz
	0	1	1	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>6</sup>	500 kHz
	0	1	1	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>7</sup>	250 kHz
	1	0	0	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>8</sup>	125 kHz
	1	0	0	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>9</sup>	62.5 kHz
	1	0	1	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>10</sup>	31.25 kHz
	1	0	1	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>11</sup>	15.63 kHz
	1	1	0	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>12</sup>	7.81 kHz
	1	1	0	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>13</sup>	3.91 kHz
	1	1	1	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>14</sup>	1.95 kHz
1	1	1	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>15</sup>	977 Hz	
上記以外									設定禁止	

注 f<sub>CLK</sub>に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1)    n : チャンネル番号 (m = 0のときn = 0, m = 1のときn = 0, 1)  
mn = 00, 10, 11

### 13.5.9 3線シリアルI/O (CSI00, CSI20, CSI21) 通信時におけるエラー発生時の処理手順

3線シリアルI/O (CSI00, CSI20, CSI21) 通信時にエラーが発生した場合の処理手順を図13-74に示します。

図13-74 オーバーラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

**備考** m : ユニット番号 (m = 0, 1) n : m = 0の時 チャンネル番号 (n = 0) , m = 1の時 チャンネル番号 (n = 0, 1) , mn = 00, 10, 11

## 13.6 UART (UART0, UART1) 通信の動作

シリアル／データ送信 (TxD) とシリアル／データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ポー・レートを 사용하여)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。

### [データ送受信]

- 7, 8, 9ビットのデータ長<sup>注</sup>
- MSB/LSBファーストの選択
- 送受信データのレベル設定 (レベルを反転するかどうかの選択)
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加, ストップ・ビット・チェック機能

### [割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

### [エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、以下のチャンネルのUART受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0のみ設定可能です。

UART0では、SAU0のチャンネル0, 1を使用します。

UART1では、SAU0のチャンネル2, 3を使用します。

**注** 9ビット・データ長は、UART0のみ対応しています。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I2Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	UART1	-
	3	-		-
1	0	CSI20	-	IIC20
	1	CSI21 <sup>注</sup>		-

**注** MCUとRFトランシーバ間の通信専用です。

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をUART1で使用することはできます。

**注意** UARTとして使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の2種類があります。

- UART送信 （13.6.1項を参照）
- UART受信 （13.6.2項を参照）



### 13.6.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2
使用端子	TxD0	TxD1
割り込み	INTST0	INTST1
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	なし	
転送データ長	7ビットまたは8ビットまたは9ビット <sup>注1</sup>	
転送レート <sup>注2</sup>	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上) , Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]	
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加	
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加	
データ方向	MSBファーストまたはLSBファースト	

**注1.** 9ビット・データ長は、UART0のみ対応しています。

- この条件を満たし、かつ電氣的特性の周辺機能特性（第30章 電氣的特性参照）を満たす範囲内で使用してください。

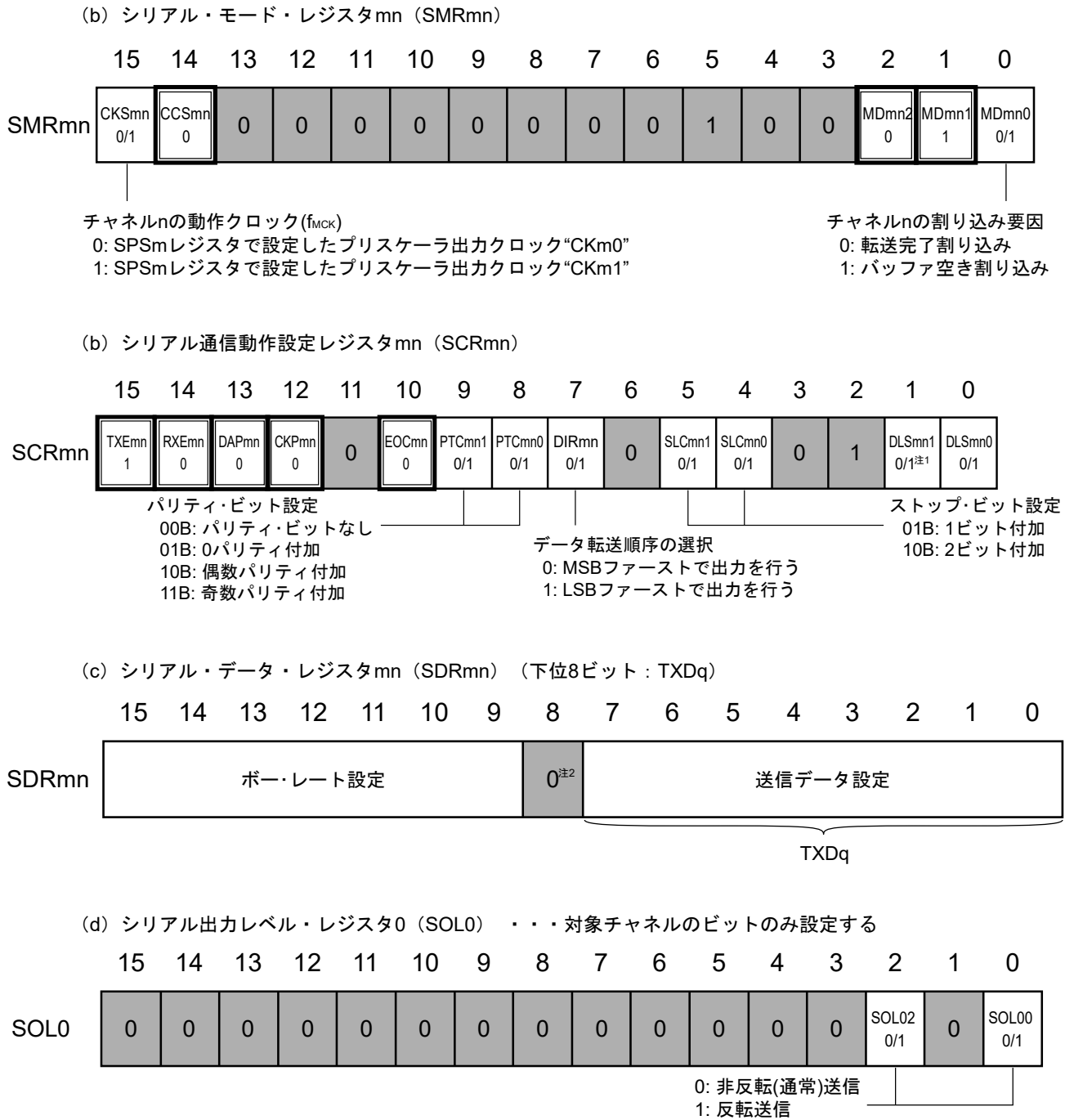
**備考1.**  $f_{MCK}$  : 対象チャンネルの動作クロック周波数

$f_{CLK}$  : システム・クロック周波数

- $m$  : ユニット番号 ( $m = 0$ )     $n$  : チャンネル番号 ( $n = 0, 2$ ) ,  $mn = 00, 02$

(1) レジスタ設定

図13-75 UART (UART0, UART1) のUART送信時のレジスタ設定内容例 (1/2)



注1. SCR00レジスタのみ。その他は1固定になります。

- 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは、UART0のみです。

備考1. m: ユニット番号 (m = 0) n: チャンネル番号 (n = 0, 2) q: UART番号 (q = 0, 1), mn = 00, 02

2. : UART送信モードでは設定固定

: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図13-75 UART (UART0, UART1) のUART送信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタm (SOm) . . . 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	0	SOm2 0/1 <sup>注</sup>	SOm1 ×	SOm0 0/1 <sup>注</sup>

0: シリアル・データ出力値が“0”  
1: シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタm (SOEm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	SOEm1 ×	SOEm0 0/1

(g) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

**注** 該当するチャネルのSOL0nビットに0を設定している場合は“1”に、SOL0nビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

**備考1.** m : ユニット番号 (m = 0)    n : チャネル番号 (n = 0, 2)

mn = 00, 02

: UART送信モードでは設定固定

: 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図13-76 UART送信の初期設定手順

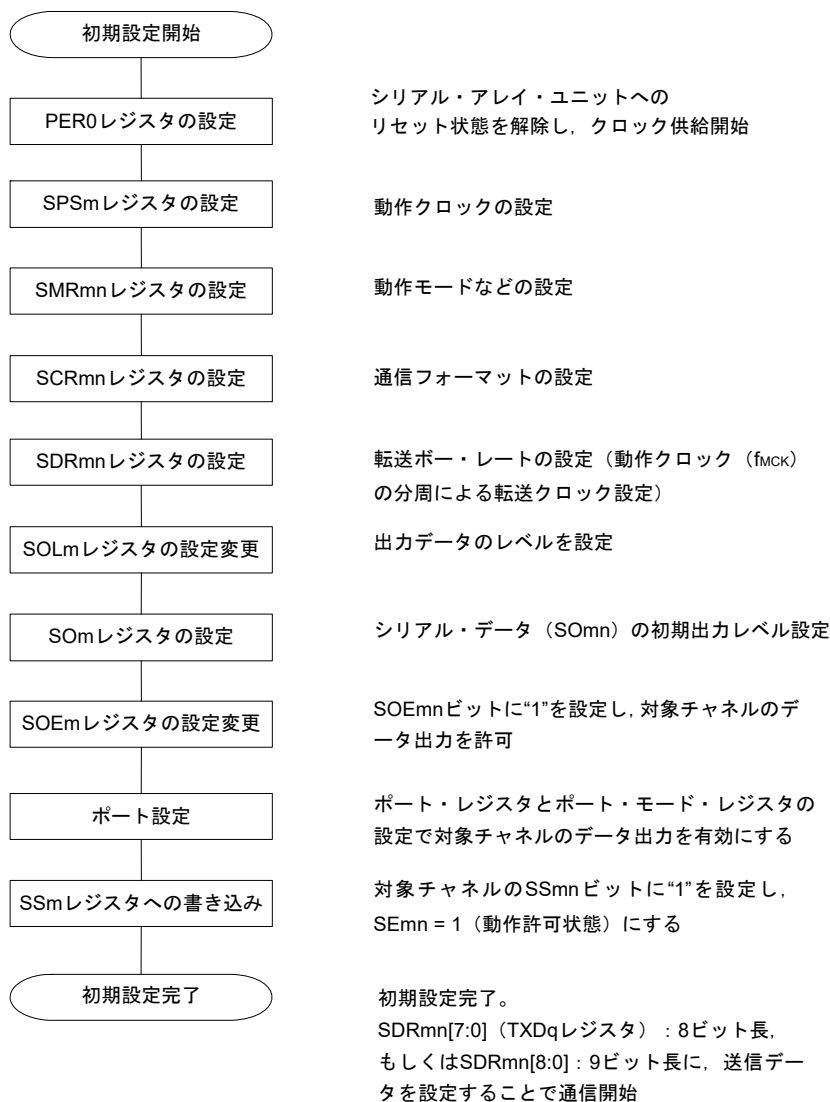


図13-77 UART送信の中断手順

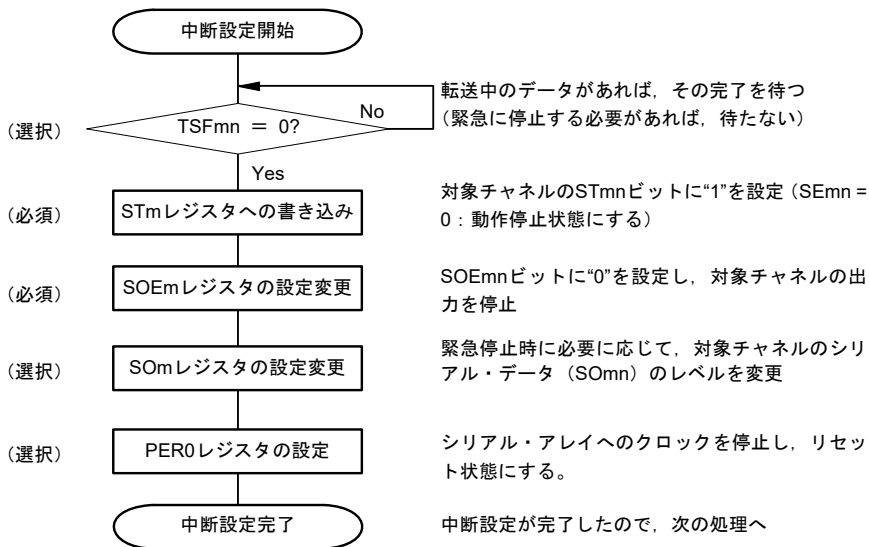
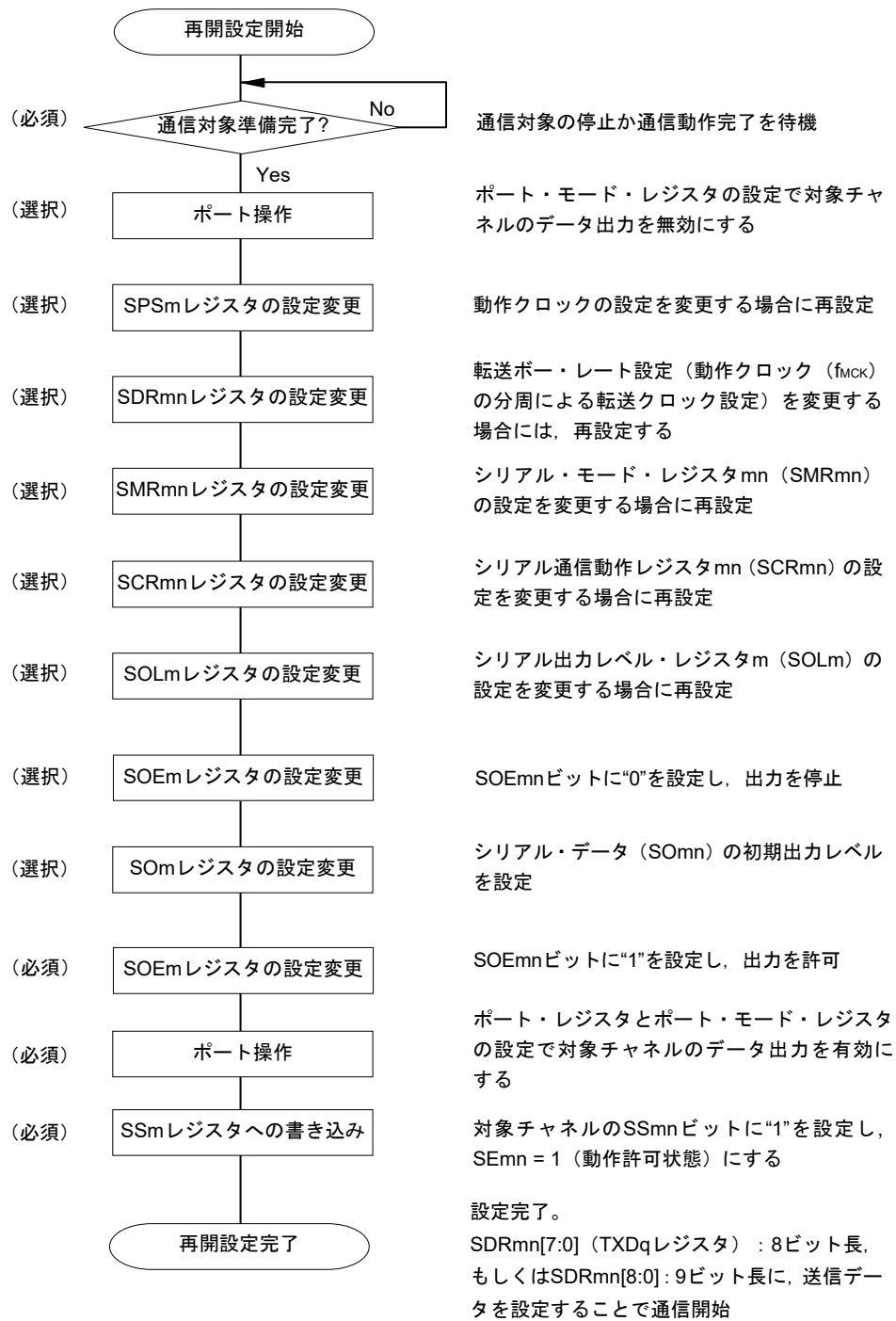


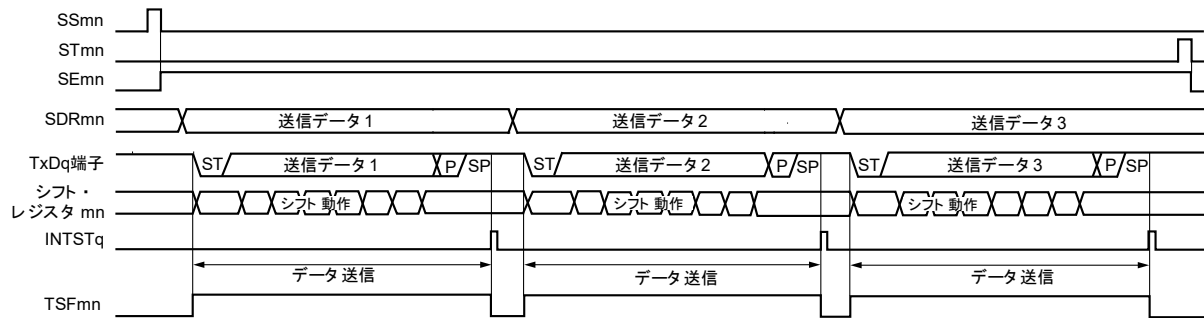
図13-78 UART送信の再開設定手順



**備考** 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

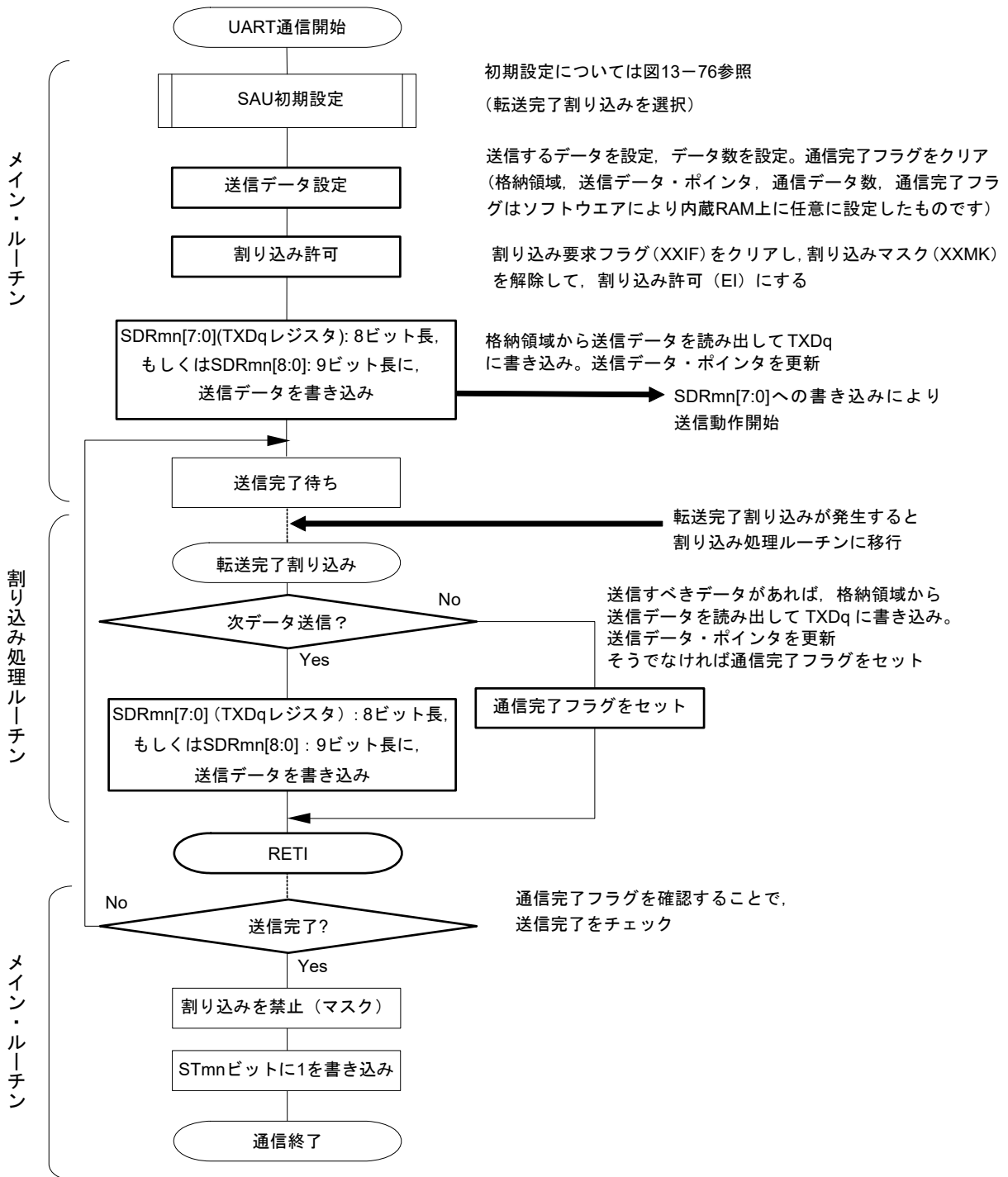
## (3) 処理フロー（シングル送信モード時）

図13-79 UART送信（シングル送信モード時）のタイミング・チャート



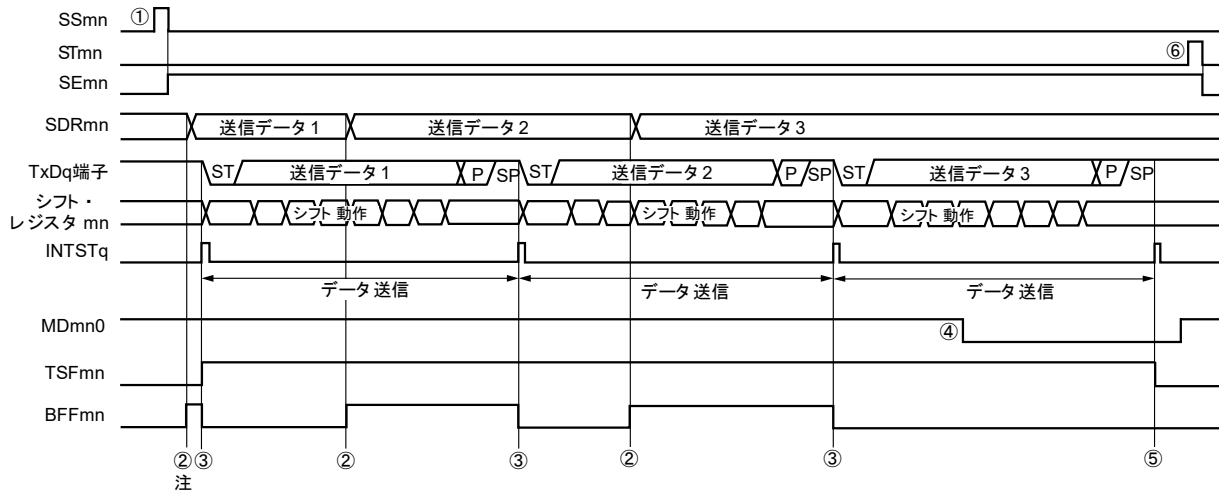
**備考** m : ユニット番号 (m = 0)    n : チャンネル番号 (n = 0, 2)    q : UART番号 (q = 0, 1)    mn = 00, 02

図13-80 UART送信（シングル送信モード時）のフロー・チャート



## (4) 処理フロー（連続送信モード時）

図13-81 UART送信（連続送信モード時）のタイミング・チャート



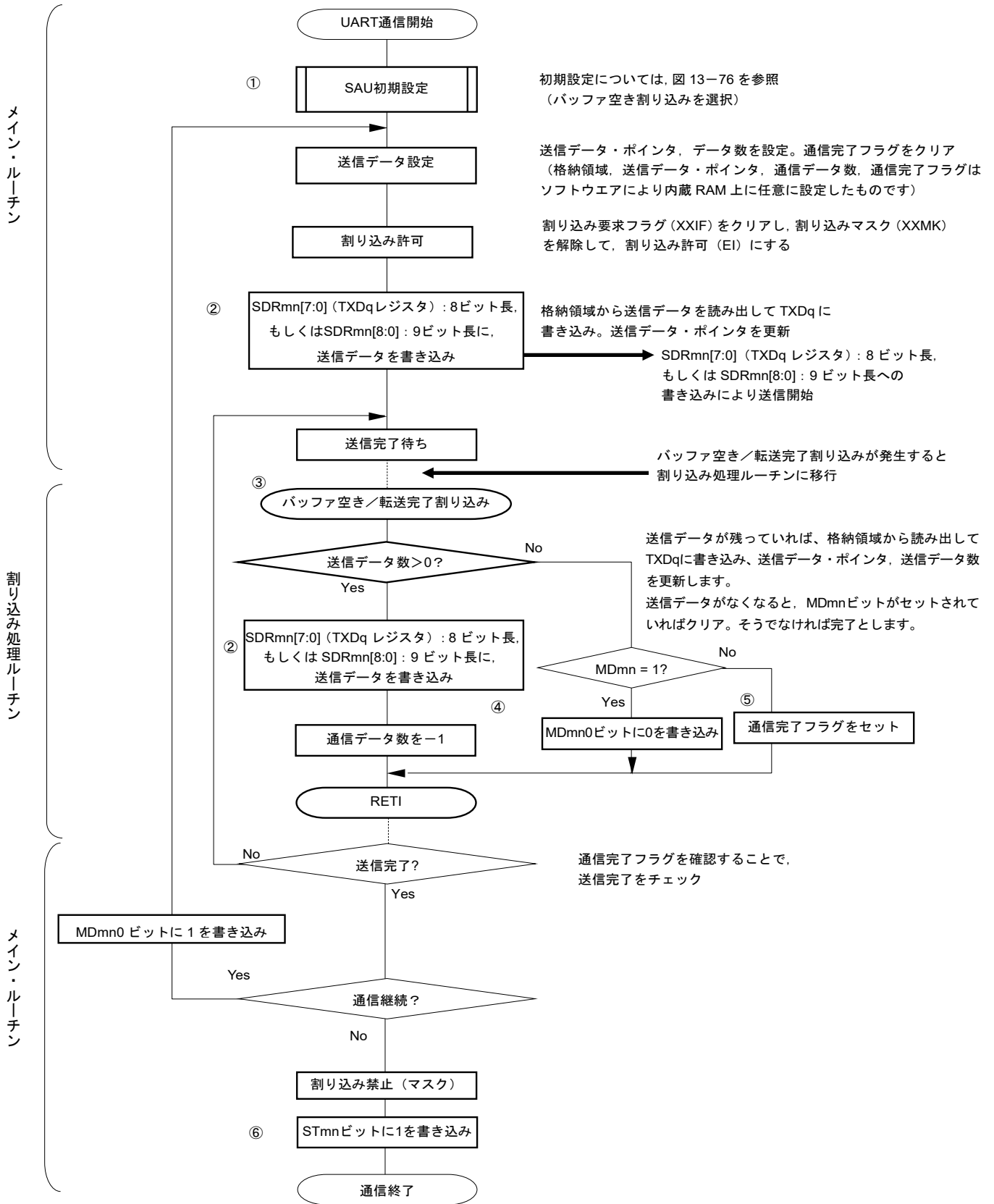
**注** シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

**注意** シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

**備考** m : ユニット番号 (m = 0)    n : チャネル番号 (n = 0, 2)    q : UART番号 (q = 0, 1) , mn = 00, 02



図13-82 UART送信（連続送信モード時）のフロー・チャート



備考 図中の①~⑥は、図13-80 UART送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

### 13.6.2 UART受信

UART受信は、他デバイスからRL78マイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3
使用端子	RxD0	RxD1
割り込み	INTSR0	INTSR1
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー割り込み	INTSRE0	INTSRE1
エラー検出フラグ	<ul style="list-style-type: none"> <li>・ フレーミング・エラー検出フラグ（FEFmn）</li> <li>・ パリティ・エラー検出フラグ（PEFmn）</li> <li>・ オーバラン・エラー検出フラグ（OVFmn）</li> </ul>	
転送データ長	7ビットまたは8ビットまたは9ビット <sup>注1</sup>	
転送レート <sup>注2</sup>	Max. $f_{MCK}/6$ [bps]（SDRmn[15:9] = 2以上）， Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]	
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> <li>・ パリティ・ビットなし（パリティ・チェックなし）</li> <li>・ パリティ判定なし（0パリティ）</li> <li>・ 偶数パリティ・チェック</li> <li>・ 奇数パリティ・チェック</li> </ul>	
ストップ・ビット	1ビット付加	
データ方向	MSBファーストまたはLSBファースト	

**注1.** 9ビット・データ長は、UART0のみ対応しています。

2. この条件を満たし、かつ電気的特性の周辺機能特性（第30章 電気的特性参照）を満たす範囲内で使用してください。

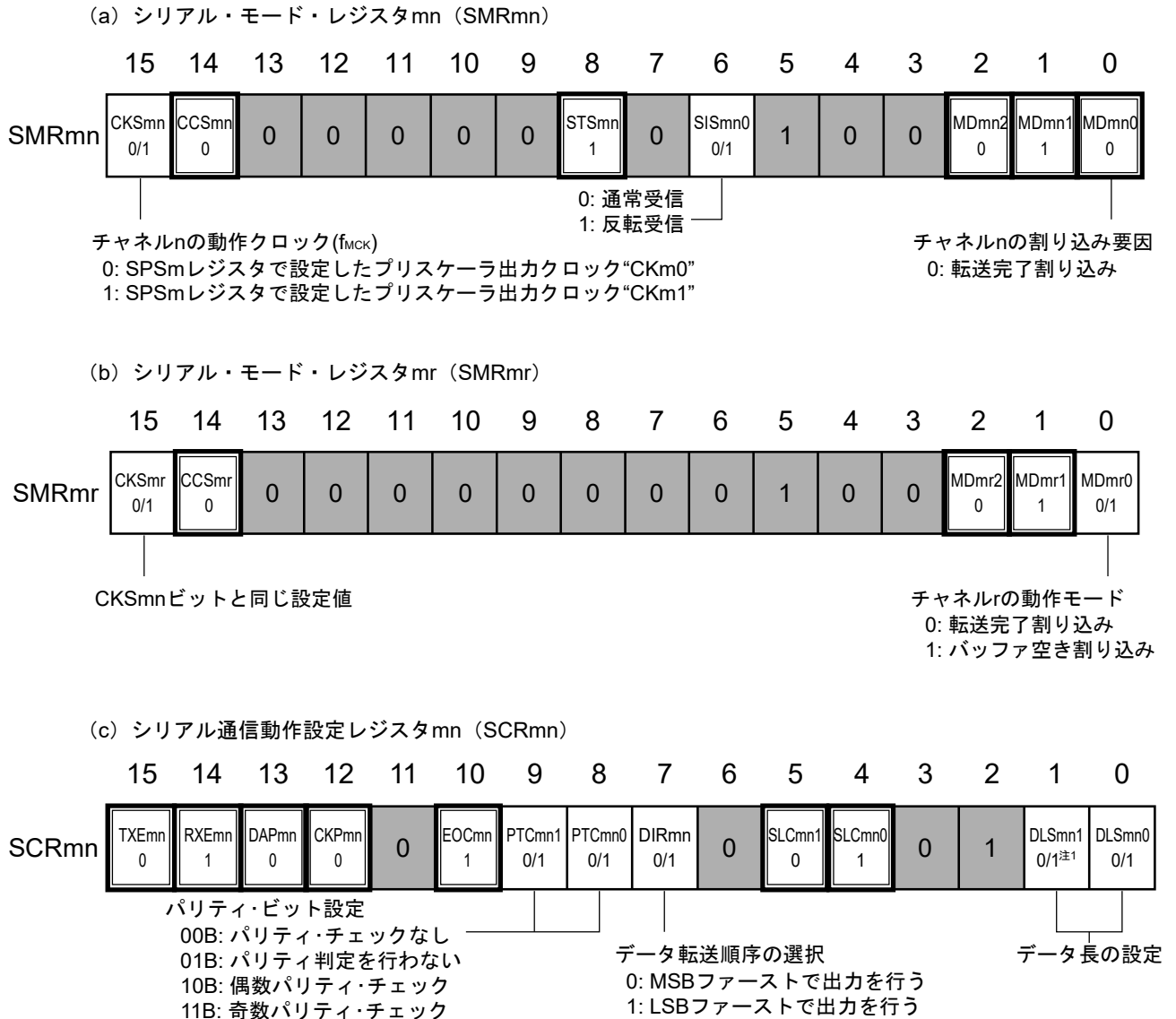
**備考1.**  $f_{MCK}$ ：対象チャンネルの動作クロック周波数

$f_{CLK}$ ：システム・クロック周波数

2.  $m$ ：ユニット番号（ $m = 0$ ）  $n$ ：チャンネル番号（ $n = 1, 3$ ），  $mn = 01, 03$

(1) レジスタ設定

図13-83 UART (UART0, UART1) のUART受信時のレジスタ設定内容例 (1/2)



注1. SCR01レジスタのみ。その他は1固定になります。

★

- 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。9ビット・データ長での通信が行えるのは、UART0のみです。

**注意** UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m : ユニット番号 (m = 0)    n : チャンネル番号 (n = 1, 3) , mn = 01, 03

r : チャンネル番号 (r = n-1)    q : UART番号 (q = 0, 1)

: UART受信モードでは設定固定

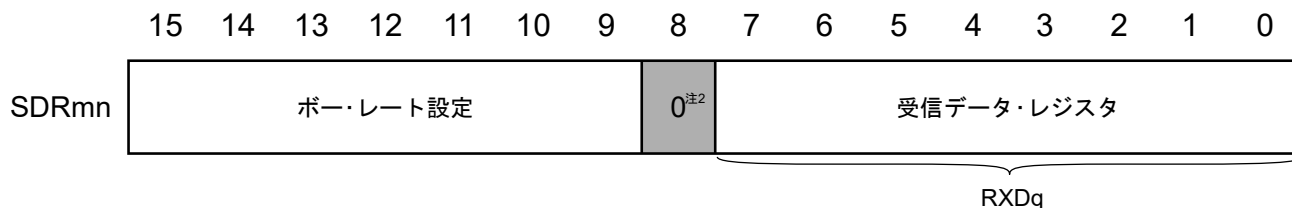
: 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

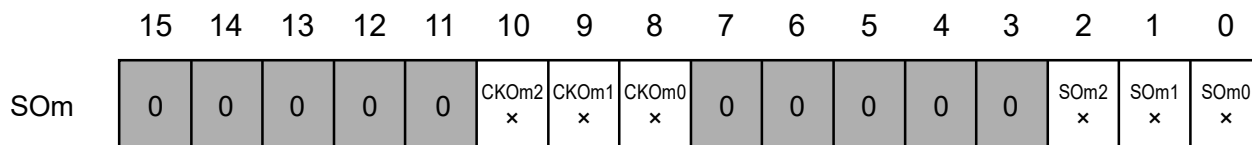
0/1 : ユーザの用途に応じて0または1に設定

図13-83 UART (UART0, UART1) のUART受信時のレジスタ設定内容例 (2/2)

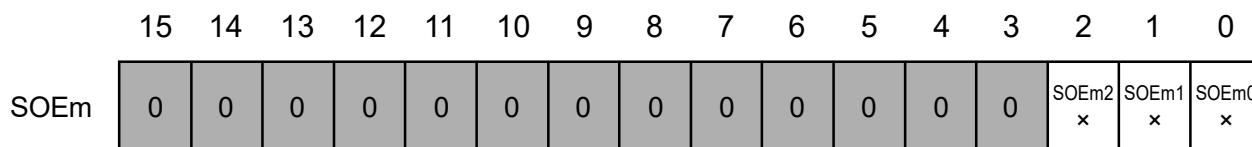
(d) シリアル・データ・レジスタmn (SDRmn) (下位8ビット: RXDq)



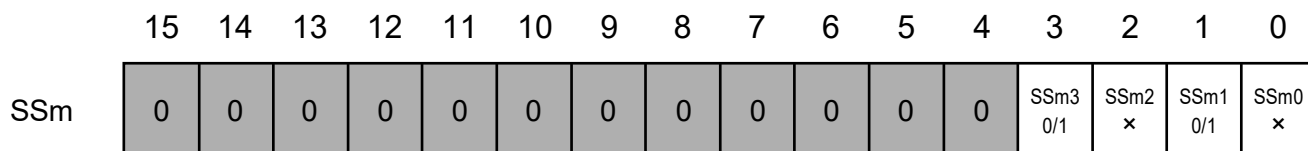
(e) シリアル出力レジスタm (SOM) . . . このモードでは使用しない



(f) シリアル出力許可レジスタm (SOEm) . . . このモードでは使用しない



(g) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャンネルのビットのみ1に設定する



**注意** UART受信時は, チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

**備考1.** m: ユニット番号 (m = 0)    n: チャンネル番号 (n = 1, 3) , mn = 01, 03

r: チャンネル番号 (r = n-1)    q: UART番号 (q = 0, 1)

: UART受信モードでは設定固定

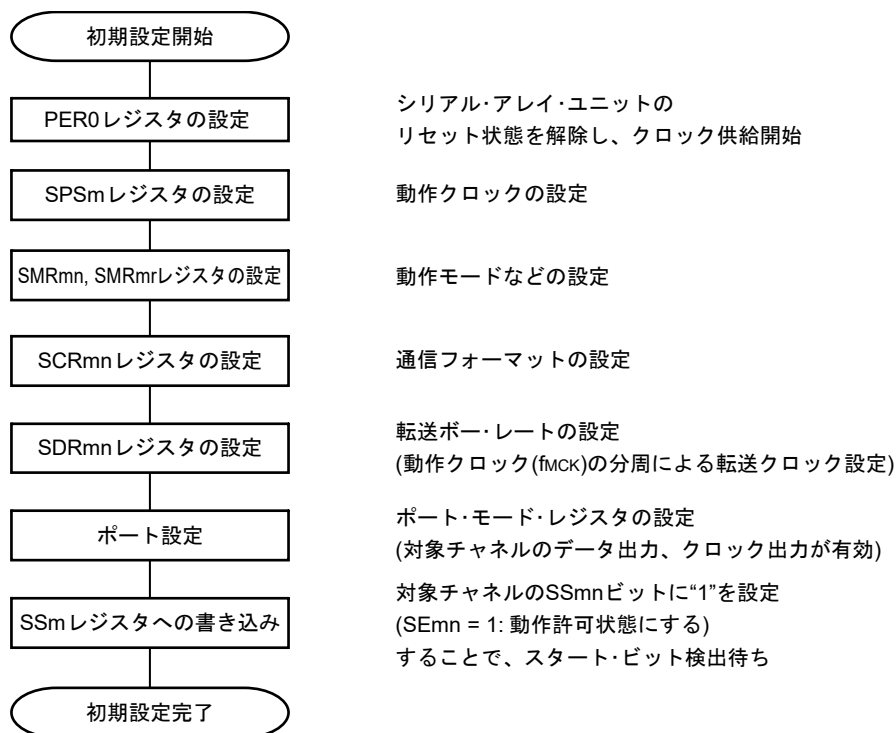
: 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

## (2) 操作手順

図13-84 UART受信の初期設定手順



**注意** SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図13-85 UART受信の中断手順

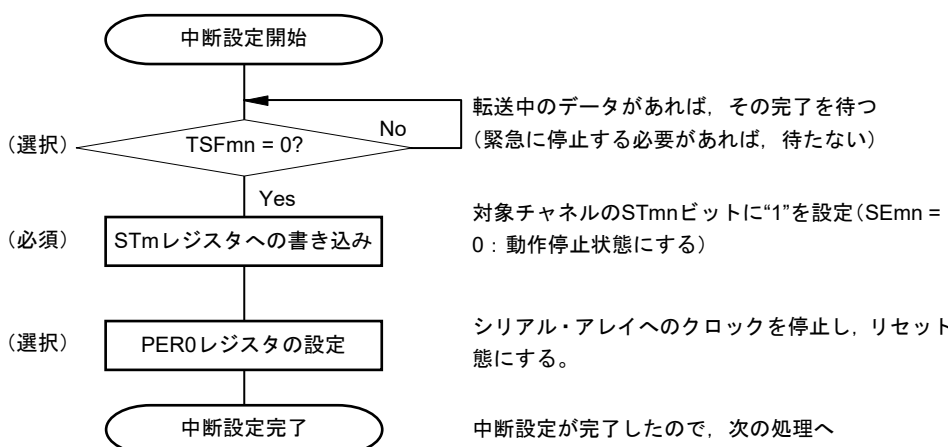
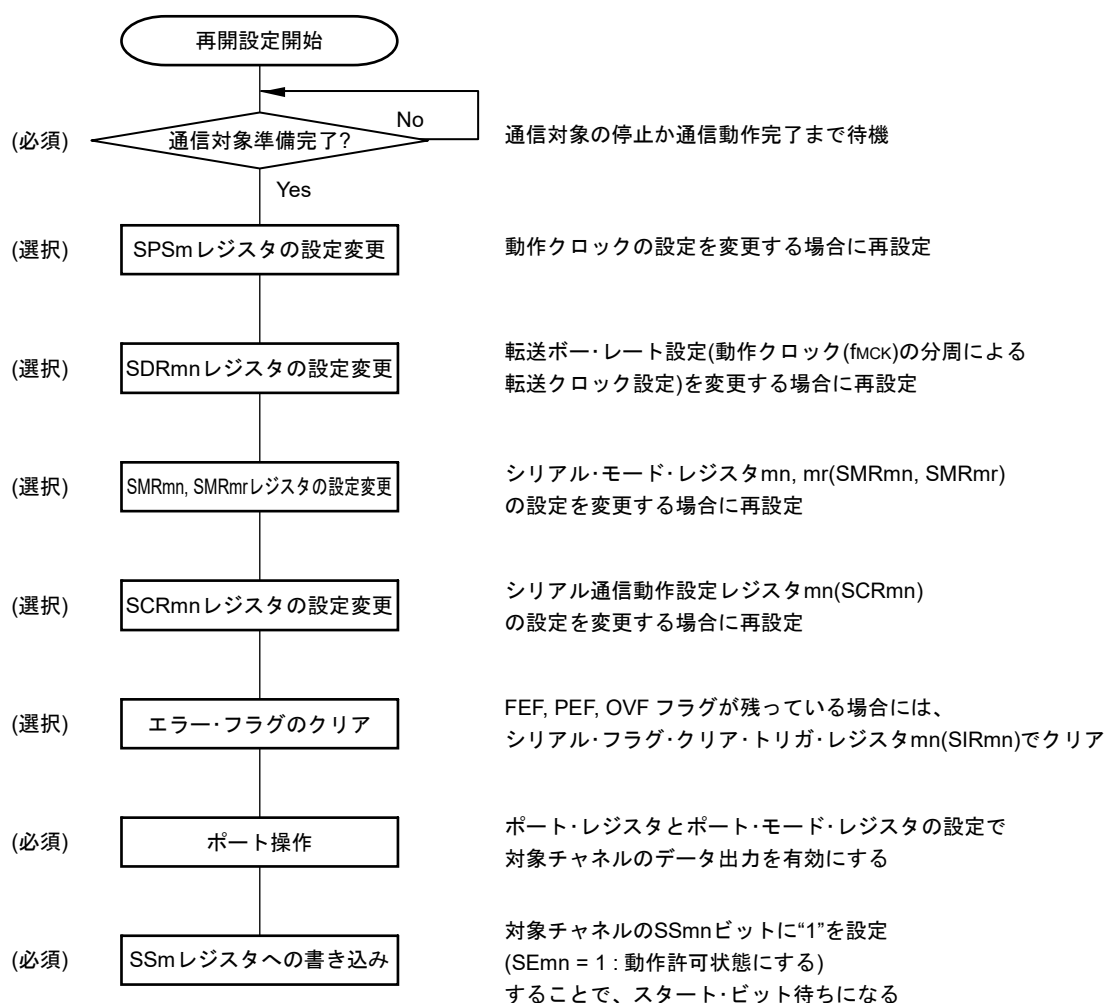


図13-86 UART受信の再開設定手順

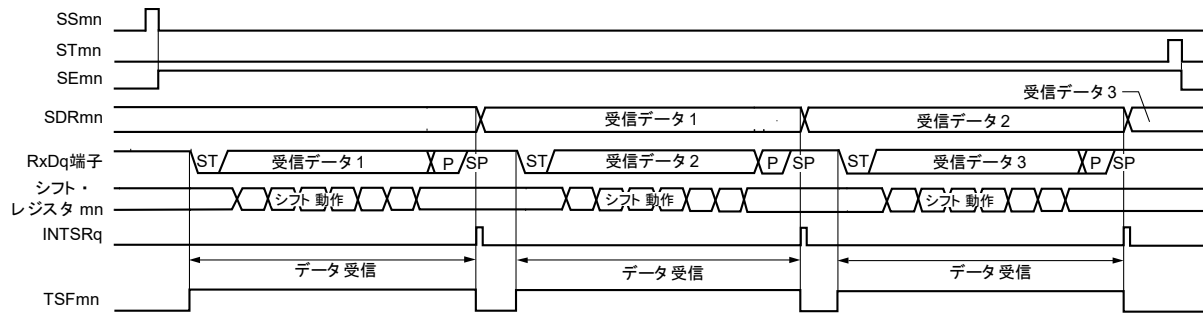


**注意** SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

**備考** 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

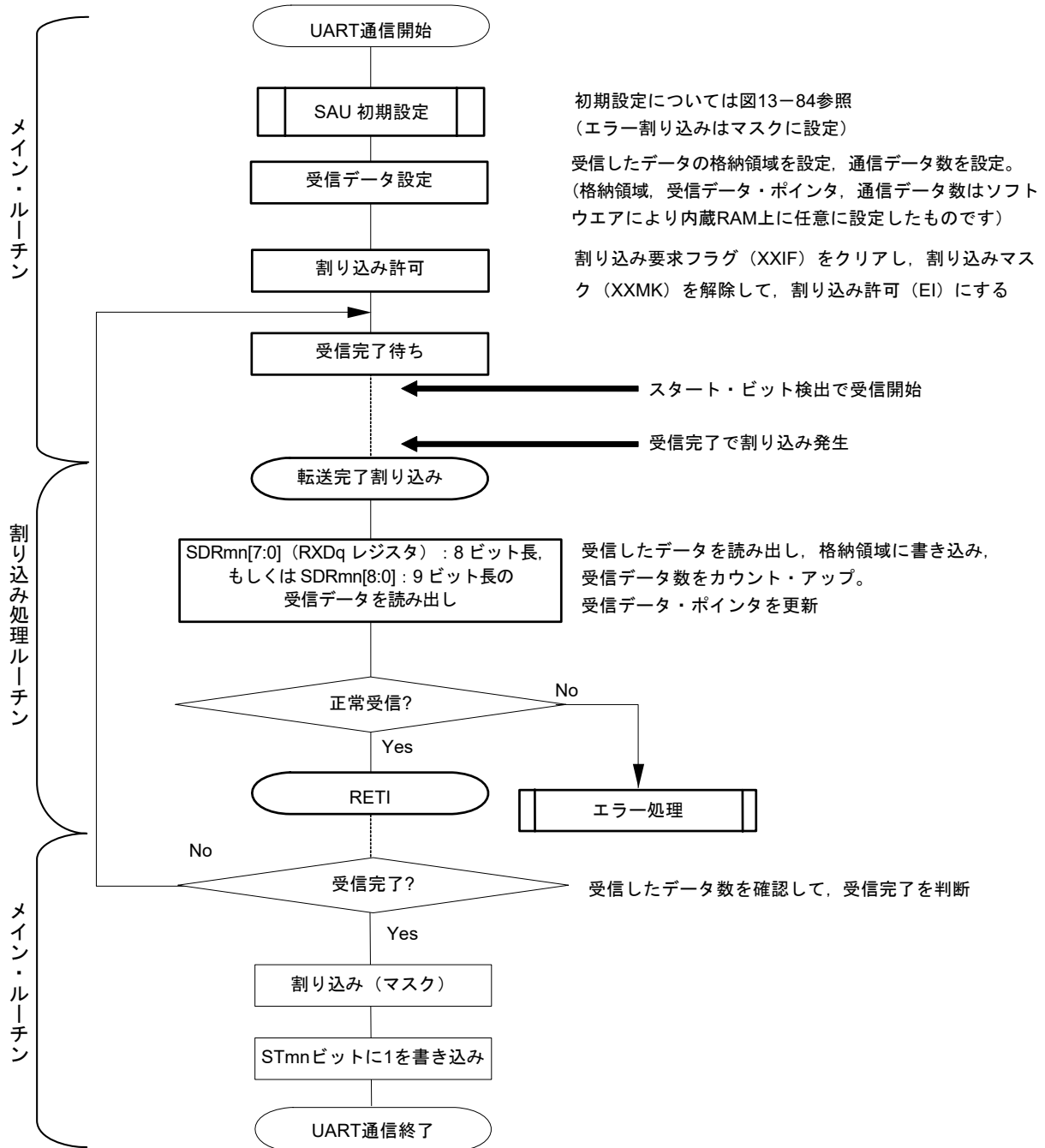
## (3) 処理フロー

図13-87 UART受信のタイミング・チャート



**備考** m : ユニット番号 (m = 0)    n : チャネル番号 (n = 1, 3) , mn = 01, 03  
 r : チャネル番号 (r = n-1)    q : UART番号 (q = 0, 1)

図13-88 UART受信のフロー・チャート





### 13.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出によりUARTの受信動作をさせるモードです。通常STOP時にUARTは通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUARTの受信動作を行うことができます。SNOOZEモードは、UART0のみ設定可能です。

UART0をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。（図13-71、図13-73 SNOOZEモード動作時のフロー・チャートを参照）

- ・ SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表13-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- ・ EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み（INTSRE0）の発生許可/停止を設定することができます。
- ・ STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットをセット（1）してください。初期設定完了後、シリアル・チャンネル開始レジスタm（SSm）のSSm1ビットをセット（1）します。
- ・ STOPモードに移行後、RxDqのスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

**注意1.** SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック（fIH）を選択している場合のみ使用できます。

2. SNOOZEモードでの転送レートは4800 bpsのみです。
3. SWCm = 1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
  - ・ SWCm = 1に設定後、STOPモードに移行する前に受信開始した場合
  - ・ 他のSNOOZEモード中に受信開始した場合
  - ・ STOPモードから割り込みなどで通常動作に復帰後、SWCm = 0に戻す前に受信開始した場合
4. SSECm = 1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVFmnフラグはセットされず、エラー割り込み（INTSREq）も発生しません。そのため、SSECm = 1で使用するときには、SWC0 = 1に設定する前にPEFmn, FEFmn, OVFmn フラグをクリアし、また、SDRm1レジスタのビット7-0（RxDq）を読み出してください。
5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

**備考** m = 0; q = 0

表13-3 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・ オシレータ (f <sub>IH</sub> )	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f <sub>MCK</sub> )	SDRmn [15:9]	最大許容値	最小許容値
32 MHz±1.0% <sup>注</sup>	f <sub>CLK</sub> /2 <sup>5</sup>	105	2.27%	-1.53%
24 MHz±1.0% <sup>注</sup>	f <sub>CLK</sub> /2 <sup>5</sup>	79	1.60%	-2.18%
16 MHz±1.0% <sup>注</sup>	f <sub>CLK</sub> /2 <sup>4</sup>	105	2.27%	-1.53%
12 MHz±1.0% <sup>注</sup>	f <sub>CLK</sub> /2 <sup>4</sup>	79	1.60%	-2.19%
8 MHz±1.0% <sup>注</sup>	f <sub>CLK</sub> /2 <sup>3</sup>	105	2.27%	-1.53%
6 MHz±1.0% <sup>注</sup>	f <sub>CLK</sub> /2 <sup>3</sup>	79	1.60%	-2.19%
4 MHz±1.0% <sup>注</sup>	f <sub>CLK</sub> /2 <sup>2</sup>	105	2.27%	-1.53%
3 MHz±1.0% <sup>注</sup>	f <sub>CLK</sub> /2 <sup>2</sup>	79	1.60%	-2.19%
2 MHz±1.0% <sup>注</sup>	f <sub>CLK</sub> /2 <sup>1</sup>	105	2.27%	-1.54%
1 MHz±1.0% <sup>注</sup>	f <sub>CLK</sub>	105	2.27%	-1.57%

**注** 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.5%の場合は、次のように許容範囲が狭くなります。

- ・ f<sub>IH</sub>±1.5%の場合、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- ・ f<sub>IH</sub>±2.5%の場合、上表の最大許容値に-1.5%、最小許容値に+1.5%してください。

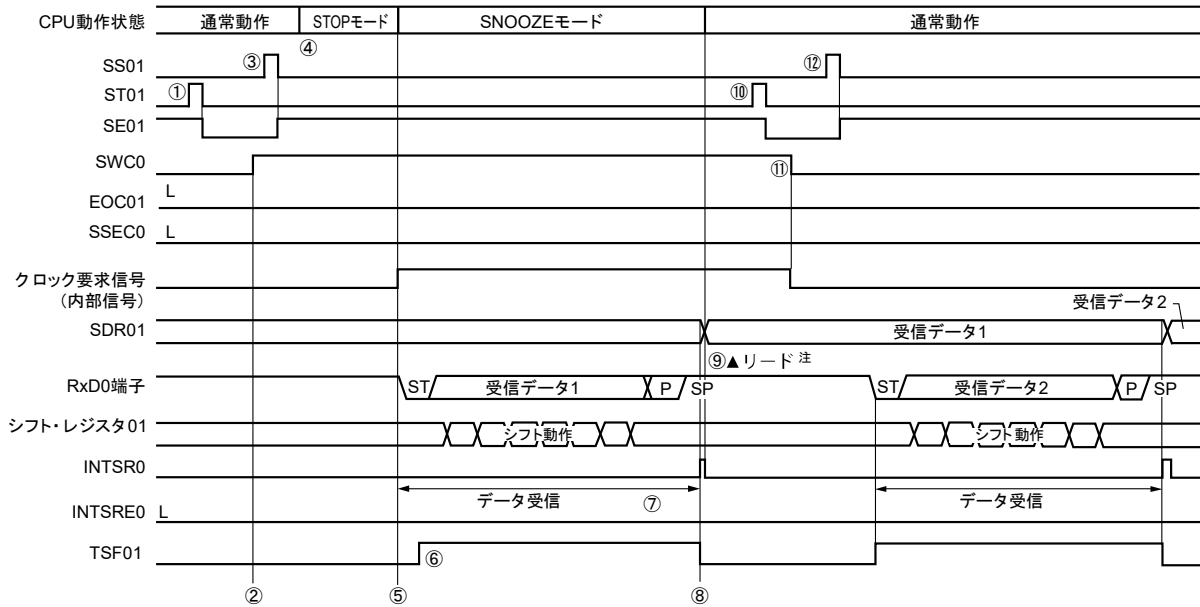
**備考** 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

## (1) SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0のためSSECmビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSRE0) は発生しません。転送完了割り込み (INTSR0) は発生します。

図13-89 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



**注** SWC0 = 1の状態では、受信データの読み出しを行ってください。

**注意** SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

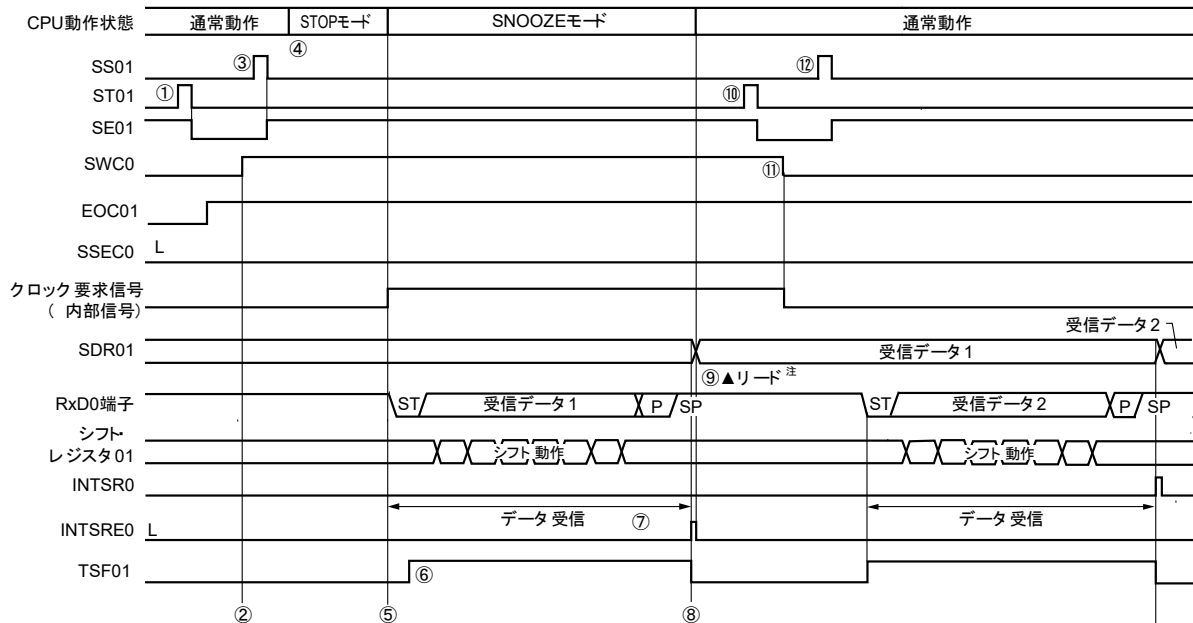
**備考1.** 図中の①~⑫は、図13-90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

2. m = 0; q = 0

## (2) SNOOZEモード動作 (EOCm1 = 1, SSECm = 0 : エラー割り込み (INTSREq) 発生許可)

EOCm1 = 1, SSECm = 0のため, 通信エラーが発生した場合にエラー割り込み (INTSRE0) を発生します。

図13-90 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



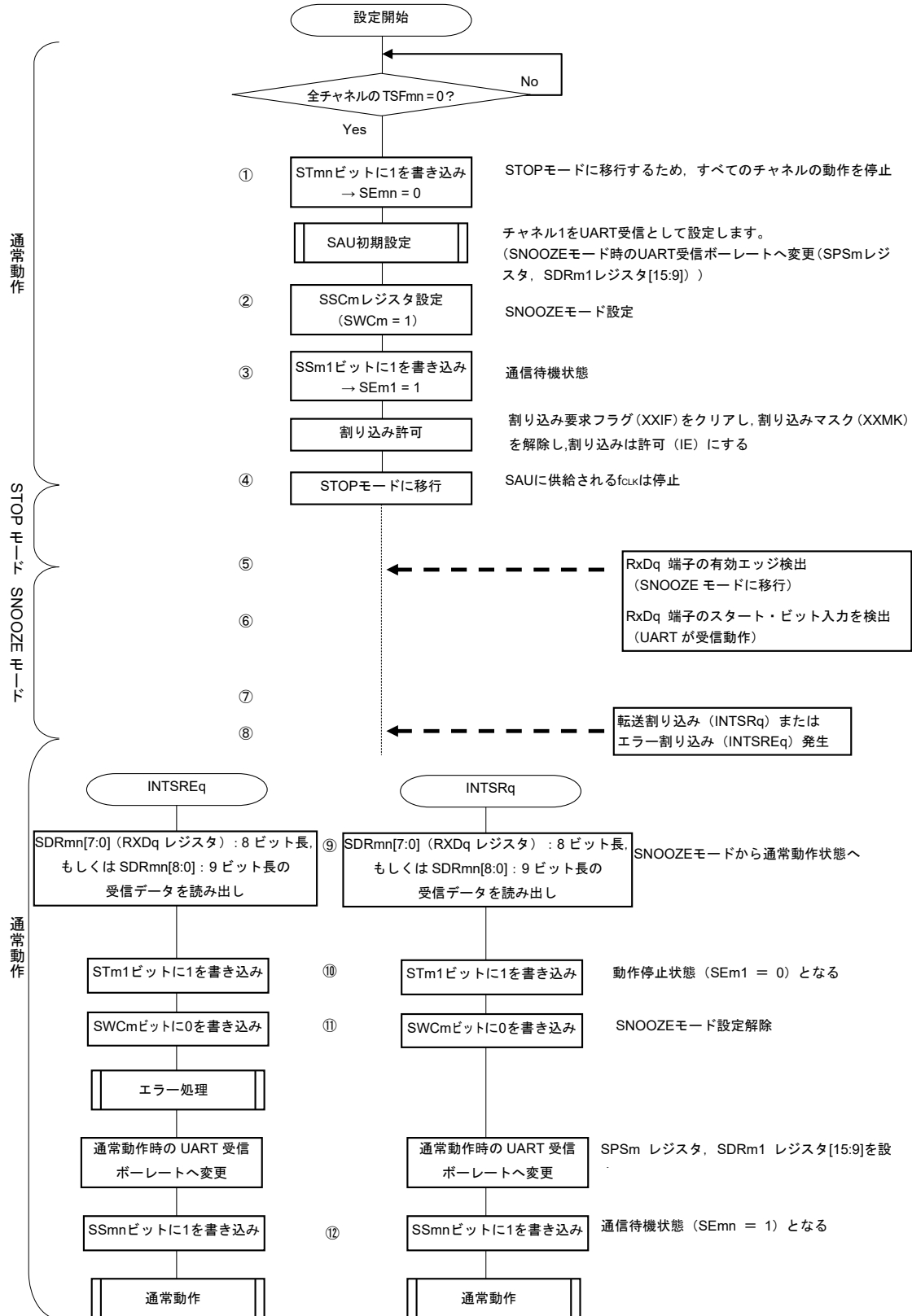
**注意** SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは, 必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

また, 受信動作を完了した後は, SWCmビットもクリアしてください (SNOOZE解除)。

**備考1.** 図中の①~⑫は, 図13-91 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

2. m = 0; q = 0

図13-91 SNOOZEモード動作( $EOCm1 = 0, SSECm = 0/1$ もしくは $EOCm1 = 1, SSECm = 0$ ) 時のフロー・チャート



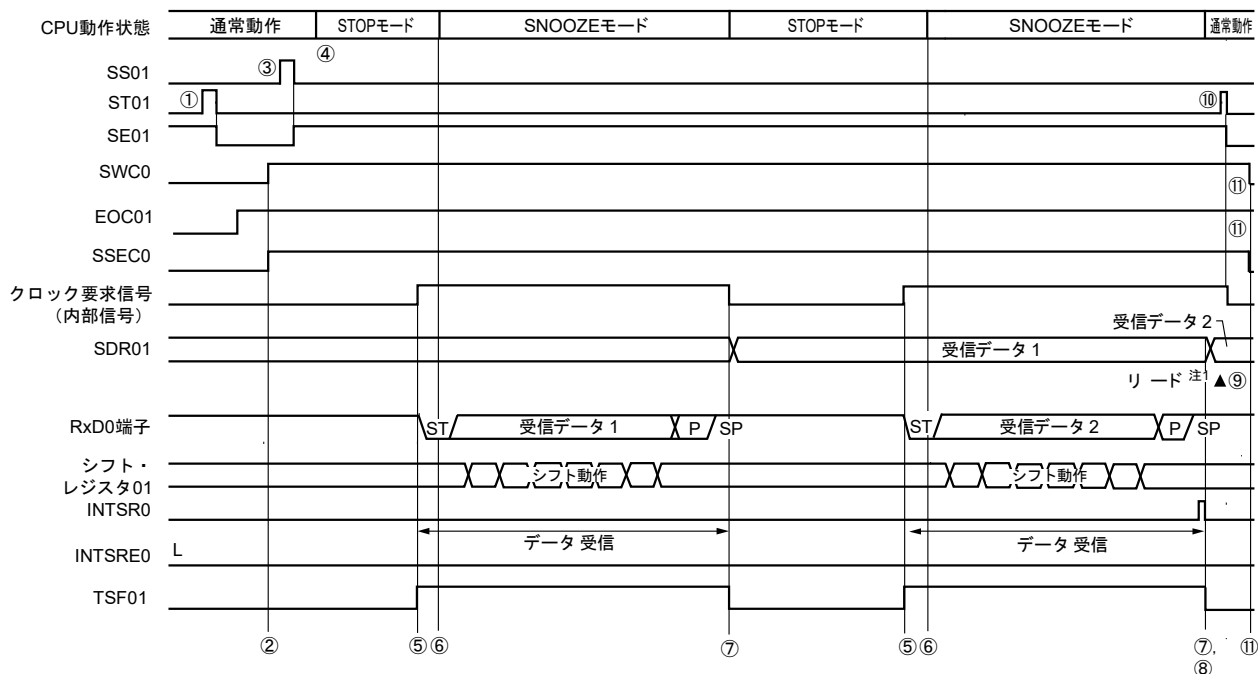
備考1. 図中の①~⑫は、図13-89 SNOOZEモード動作 ( $EOCm1 = 0, SSECm = 0/1$ ) 時のタイミング・チャート、図13-90 SNOOZEモード動作 ( $EOCm1 = 1, SSECm = 0$ ) 時のタイミング・チャートの①~⑫に対応しています。

2.  $m = 0; n = 1; q = 0$

## (3) SNOOZEモード動作 (EOCm1 = 1, SSECm = 1 : エラー割り込み (INTSREq) 発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生しません。

図13-92 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

**注意1.** SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください (SEm1ビットがクリアされ動作停止)。

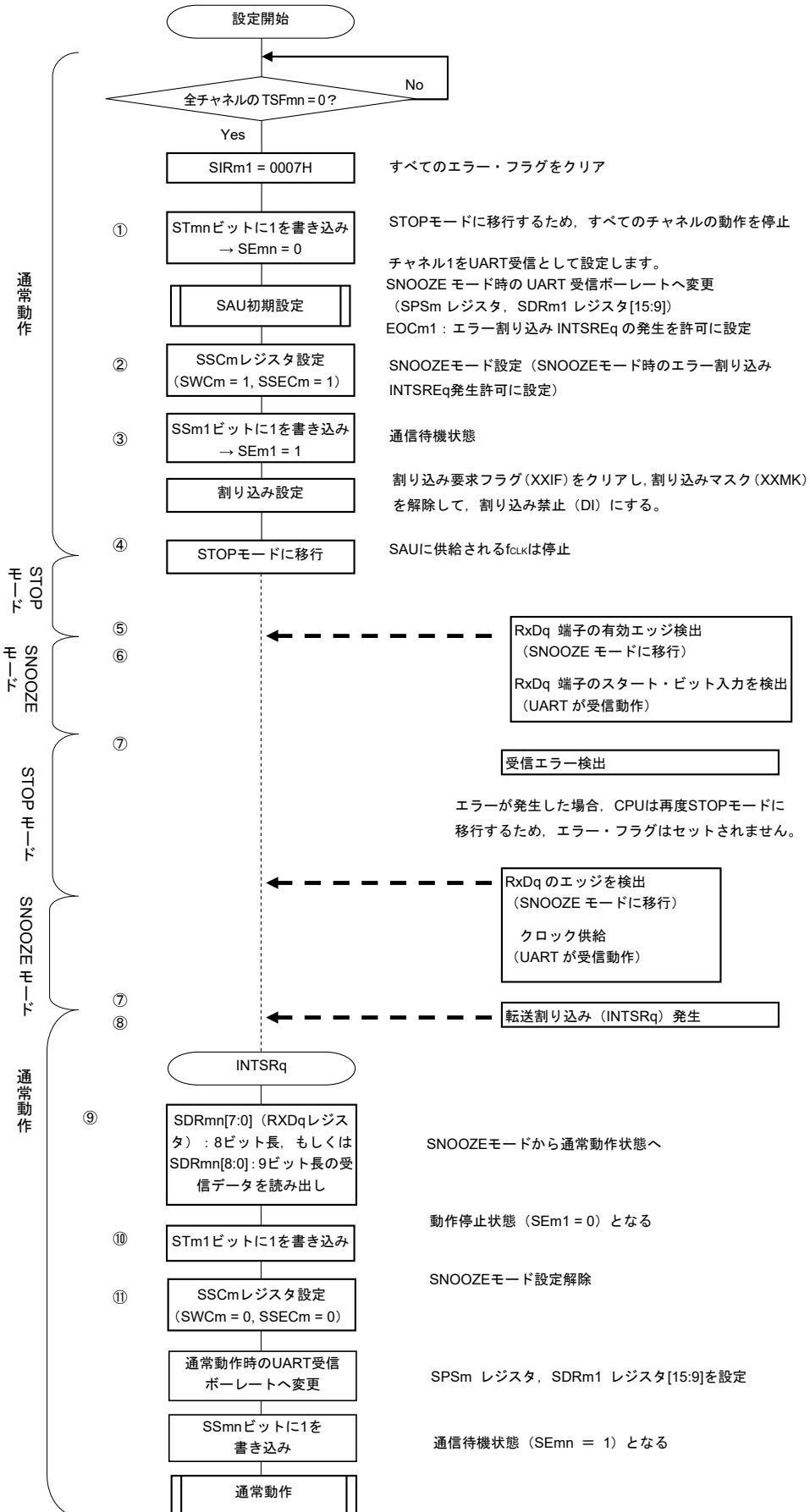
また、受信動作を完了した後は、SWCmビットもクリアしてください (SNOOZE解除)。

2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときには、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出ししてください。

**備考1.** 図中の①~⑪は、図13-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートの①~⑪に対応しています。

2. m = 0; q = 0

図13-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート



(注意, 備考は次ページにあります。)

**注意** SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず、エラー割り込み（INTSREq）も発生しません。そのため、SSECm = 1で使用するときは、SWC0 = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし、また、SDRm1[7:0]（RXDqレジスタ）：8ビット長、もしくはSDRm1[8:0]：9ビット長を読み出してください。

**備考1.** 図中の①~⑪は、図13-92 SNOOZEモード動作（EOCm1 = 1, SSECm = 1）時のタイミング・チャートの①~⑪に対応しています。

2. m = 0; n = 1; q = 0



### 13.6.4 ボー・レートの算出

#### (1) ボー・レート算出式

UART (UART0, UART1) 通信でのボー・レートは下記の計算式にて算出できます。

$$[\text{ボー・レート}] = \{ \text{対象チャネルの動作クロック (f}_{\text{MCK}}) \text{ 周波数} \} \div (\text{SDRmn}[15:9]+1) \div 2 [\text{bps}]$$

**注意** シリアル・データ・レジスタmn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

**備考1.** UART使用時は, SDRmn[15:9]はSDRmnレジスタのビット15-9の値 (0000010B-1111111B) なので, 2-127になります。

**2.** m : ユニット番号 (m = 0)    n : チャネル番号 (n = 0-3) , mn = 00-03

動作クロック (f<sub>MCK</sub>) は, シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmnビット) で決まります。

表13-4 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f <sub>CLK</sub> ) <sup>注</sup>	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f <sub>CLK</sub> = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f <sub>CLK</sub>	32 MHz
	X	X	X	X	0	0	0	1	f <sub>CLK</sub> /2	16 MHz
	X	X	X	X	0	0	1	0	f <sub>CLK</sub> /2 <sup>2</sup>	8 MHz
	X	X	X	X	0	0	1	1	f <sub>CLK</sub> /2 <sup>3</sup>	4 MHz
	X	X	X	X	0	1	0	0	f <sub>CLK</sub> /2 <sup>4</sup>	2 MHz
	X	X	X	X	0	1	0	1	f <sub>CLK</sub> /2 <sup>5</sup>	1 MHz
	X	X	X	X	0	1	1	0	f <sub>CLK</sub> /2 <sup>6</sup>	500 kHz
	X	X	X	X	0	1	1	1	f <sub>CLK</sub> /2 <sup>7</sup>	250 kHz
	X	X	X	X	1	0	0	0	f <sub>CLK</sub> /2 <sup>8</sup>	125 kHz
	X	X	X	X	1	0	0	1	f <sub>CLK</sub> /2 <sup>9</sup>	62.5 kHz
	X	X	X	X	1	0	1	0	f <sub>CLK</sub> /2 <sup>10</sup>	31.25 kHz
	X	X	X	X	1	1	0	1	f <sub>CLK</sub> /2 <sup>13</sup>	3.91 kHz
	X	X	X	X	1	1	1	0	f <sub>CLK</sub> /2 <sup>14</sup>	1.95 kHz
	X	X	X	X	1	1	1	1	f <sub>CLK</sub> /2 <sup>15</sup>	977 Hz
1	0	0	0	0	X	X	X	X	f <sub>CLK</sub>	32 MHz
	0	0	0	1	X	X	X	X	f <sub>CLK</sub> /2	16 MHz
	0	0	1	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>2</sup>	8 MHz
	0	0	1	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>3</sup>	4 MHz
	0	1	0	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>4</sup>	2 MHz
	0	1	0	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>5</sup>	1 MHz
	0	1	1	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>6</sup>	500 kHz
	0	1	1	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>7</sup>	250 kHz
	1	0	0	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>8</sup>	125 kHz
	1	0	0	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>9</sup>	62.5 kHz
	1	0	1	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>10</sup>	31.25 kHz
	1	0	1	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>11</sup>	15.63 kHz
	X	X	X	X	1	1	0	0	f <sub>CLK</sub> /2 <sup>12</sup>	7.81 kHz
	X	X	X	X	1	1	0	1	f <sub>CLK</sub> /2 <sup>13</sup>	3.91 kHz
X	X	X	X	1	1	1	0	f <sub>CLK</sub> /2 <sup>14</sup>	1.95 kHz	
X	X	X	X	1	1	1	1	f <sub>CLK</sub> /2 <sup>15</sup>	977 Hz	
上記以外									設定禁止	

注 f<sub>CLK</sub>に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm） = 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3) , mn = 00-03

## (2) 送信時のボー・レート誤差

UART (UART0, UART1) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 32 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 32 \text{ MHz}$ 時			
	動作クロック ( $f_{\text{MCK}}$ )	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{\text{CLK}}/2^9$	103	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	103	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	103	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	103	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	103	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	103	9615.38 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	103	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	63	31250.0 bps	$\pm 0.0$ %
38400 bps	$f_{\text{CLK}}/2^2$	103	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	103	76923.1 bps	+0.16 %
153600 bps	$f_{\text{CLK}}$	103	153846 bps	+0.16 %
312500 bps	$f_{\text{CLK}}$	50	313725.5 bps	+0.39 %

**備考** m : ユニット番号 (m = 0)    n : チャネル番号 (n = 0, 2) , mn = 00, 02

(3) 受信時のボー・レート許容範囲

UART (UART0, UART1) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$\text{(受信可能な最大ボー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ボー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

- Brate : 受信側の算出ボー・レート値 (13.6.4 (1) ボー・レート算出式を参照)
- k : SDRmn[15:9] + 1
- Nfr : 1データ・フレーム長 [ビット]  
= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

**備考** m : ユニット番号 (m = 0) n : チャネル番号 (n = 1, 3), mn = 01, 03

図13-94 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

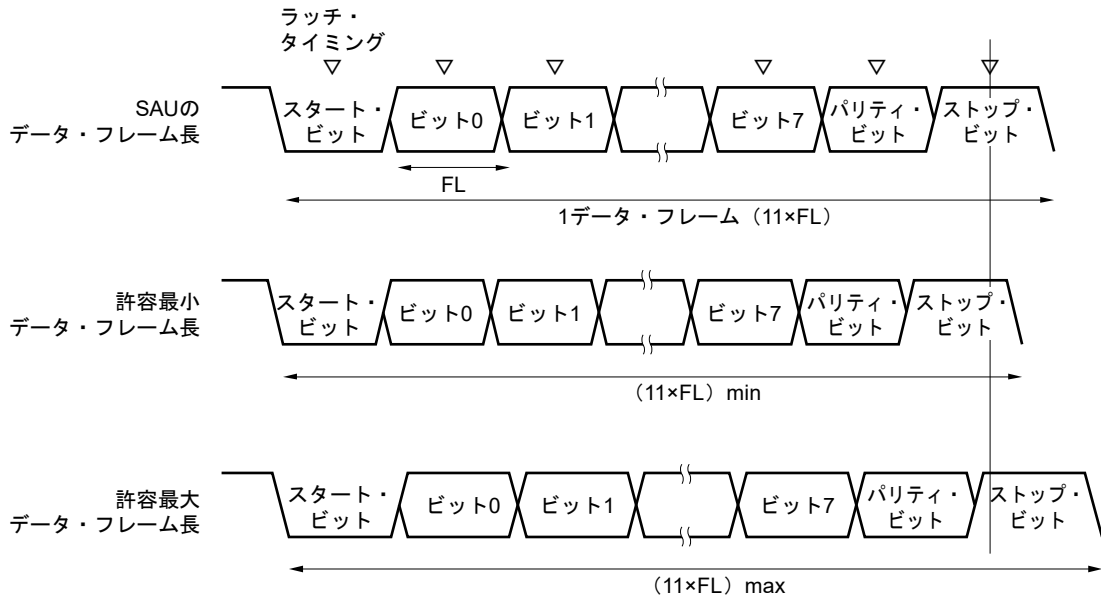


図13-94に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

## 13.6.5 UART (UART0, UART1) 通信時におけるエラー発生時の処理手順

UART (UART0, UART1) 通信時にエラーが発生した場合の処理手順を図13-95, 図13-96に示します。

図13-95 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した
場合にオーバラン・エラーになるのを防ぐために行う シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図13-96 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタm (STm) のSTmnビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEmnビットが“0”となり、チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタm (SSm) のSSmnビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEmnビットが“1”となり、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3) , mn = 00-03

## 13.7 簡易I<sup>2</sup>C (IIC00, IIC20) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I<sup>2</sup>Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I<sup>2</sup>Cバスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

### [データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能<sup>※</sup>, ACK検出機能
- ・8ビットのデータ長  
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

### [割り込み機能]

- ・転送完了割り込み

### [エラー検出フラグ]

- ・オーバラン・エラー
- ・ACKエラー

### [簡易I<sup>2</sup>Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・マルチ・マスタ機能 (アービトレーション負け検出機能)
- ・ウェイト検出機能

**注** 最終データの受信時は、SOEmn (SOEmレジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、13.7.3 (2) 処理フローを参照してください。

**備考** m : ユニット番号 (m = 0, 1)    n : チャネル番号 (n = 0) , mn = 00, 10

簡易I<sup>2</sup>C (IIC00, IIC20) に対応しているチャンネルは、SAU0のチャンネル0, SAU1のチャンネル0です。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I <sup>2</sup> Cとして使用
0	0	CSI00	UART0	IIC00
	1	-		-
	2	-	UART1	-
	3	-		-
1	0	CSI20	-	IIC20
	1	CSI21 <sup>※</sup>		-

簡易I<sup>2</sup>C (IIC00, IIC20) の通信動作は、以下の4種類があります。

- アドレス・フィールド送信 (13.7.1項を参照)
- データ送信 (13.7.2項を参照)
- データ受信 (13.7.3項を参照)
- ストップ・コンディション発生 (13.7.4項を参照)

注 MCUとRFトランシーバ間の通信専用です。

### 13.7.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I<sup>2</sup>C通信で最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I <sup>2</sup> C	IIC00	IIC20
対象チャンネル	SAU0の チャンネル0	SAU1の チャンネル0
使用端子	SCL00, SDA00 <sup>※1</sup>	SCL20, SDA20 <sup>※1</sup>
割り込み	INTIIC00 転送完了割り込みのみ（バッファ空き割り込みは選択不可）	INTIIC20
エラー検出 フラグ	ACKエラー検出フラグ（PEFmn）	
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）	
転送レート <sup>※2</sup>	Max.f <sub>MCK</sub> /4 [Hz]（SDRmn[15:9] = 1以上） f <sub>MCK</sub> ：対象チャンネルの動作クロック周波数 ただし、I <sup>2</sup> Cの各モードにより、以下の条件を満たしてください。 ・ Max. 1 MHz（ファースト・モード・プラス） ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	非反転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK送受信タイミング用）	
データ方向	MSBファースト	

**注1.** 簡易I<sup>2</sup>Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM1）にてN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧）モードを設定（POM11, POM14 = 1）してください。詳細は、5.3 ポート機能を制御するレジスタ、5.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC20を異電位外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧）モードを設定してください（POMxx = 1）。詳細は、5.4.5 入出力バッファによる異電位（1.8 V系, 2.5 V系）対応を参照してください。

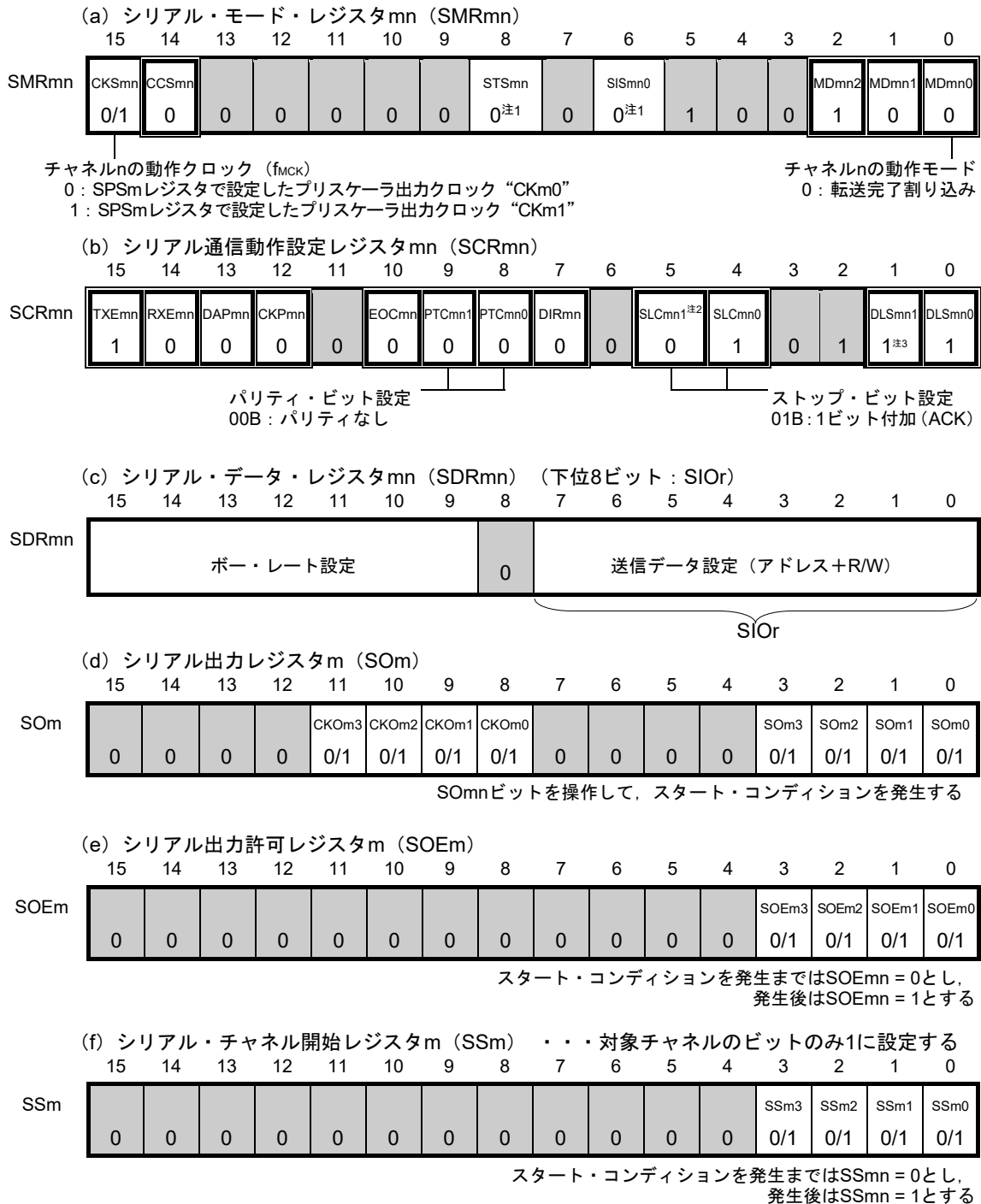
- この条件を満たし、かつ電気的特性の周辺機能特性（第30章 電気的特性参照）を満たす範囲内で使用してください。

**備考** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0）, mn = 00, 10



(1) レジスタ設定

図13-97 簡易I<sup>2</sup>C (IIC00, IIC20) のアドレス・フィールド送信時のレジスタ設定内容例



注1. SMR00, SMR03, SMR11レジスタのみ。

2. SCR00, SCR02, SCR10レジスタのみ。

3. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

備考1. m: ユニット番号 (m=0, 1) n: チャンネル番号 (n=0) r: IIC番号 (r=00, 20) mn = 00, 10

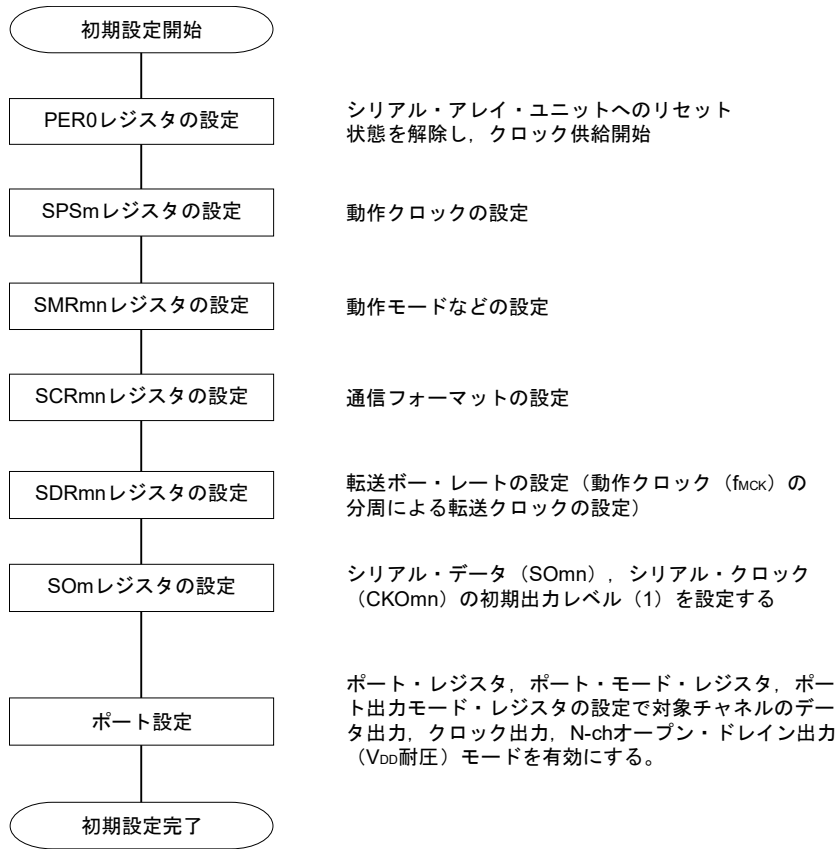
2. □: IICモードでは設定固定      ■ 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

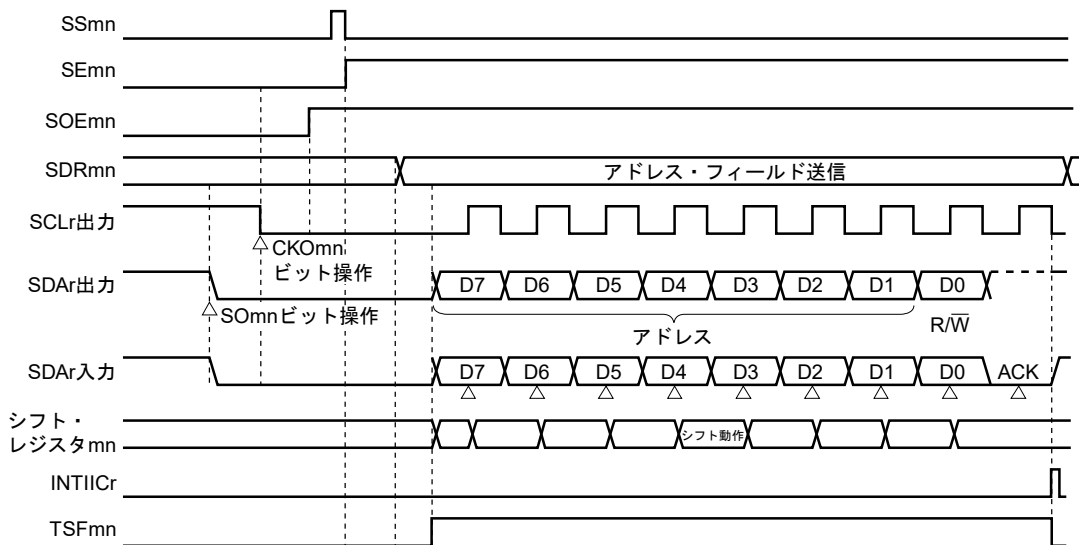
(2) 操作手順

図13-98 簡易I<sup>2</sup>Cアドレス・フィールド送信の初期設定手順



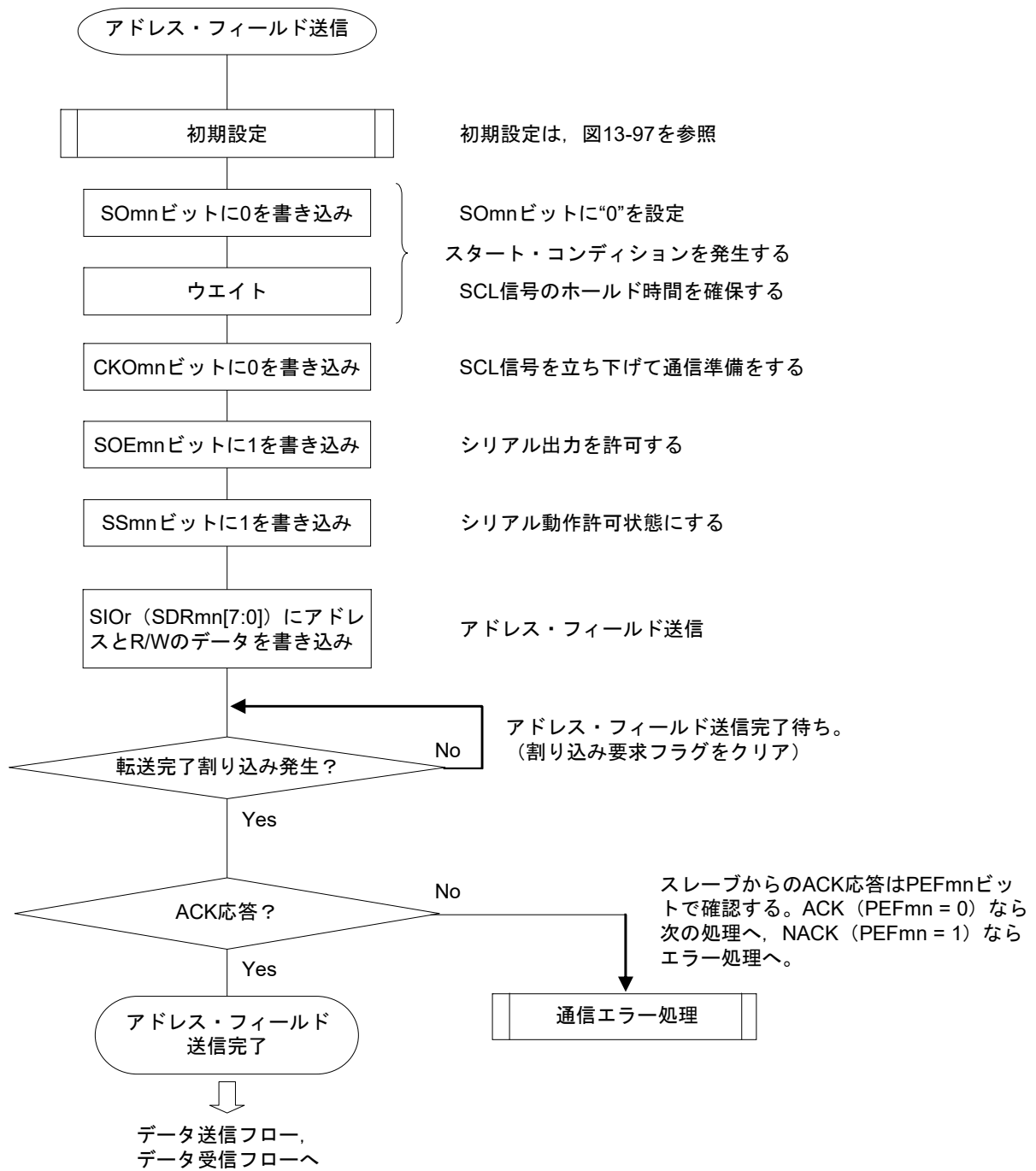
(3) 処理フロー

図13-99 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0) r : IIC番号 (r = 00, 20) , mn = 00, 10

図13-100 簡易I<sup>2</sup>Cアドレス・フィールド送信のフロー・チャート



### 13.7.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I <sup>2</sup> C	IIC00	IIC20
対象チャンネル	SAU0のチャンネル0	SAU1のチャンネル0
使用端子	SCL00, SDA00 <sup>※1</sup>	SCL20, SDA20 <sup>※1</sup>
割り込み	INTIIC00	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	ACKエラー・フラグ（PEFmn）	
転送データ長	8ビット	
転送レート <sup>※2</sup>	Max. $f_{MCK}/4$ [Hz]（SDRmn[15:9] = 1以上） $f_{MCK}$ : 対象チャンネルの動作クロック周波数 ただし、I <sup>2</sup> Cの各モードにより、以下の条件を満たしてください。 ・ Max. 1 MHz（ファースト・モード・プラス） ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	非反転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

**注1.** 簡易I<sup>2</sup>Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM1）にてN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧）モードを設定（POM11, POM14 = 1）してください。詳細は、5.3 ポート機能を制御するレジスタ、5.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC20を異電位外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧）モードを設定してください（POMxx = 1）。詳細は、5.4.5 入出力バッファによる異電位（1.8 V系, 2.5 V系）対応を参照してください。

**2.** この条件を満たし、かつ電氣的特性の周辺機能特性（第30章 電氣的特性参照）を満たす範囲内で使用してください。

**備考** m : ユニット番号（m = 0, 1） n : チャンネル番号（n = 0）, mn = 00, 10

## (1) レジスタ設定

図13-101 簡易I<sup>2</sup>C (IIC00, IIC20) のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタmn (SMRmn) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0 <sup>注1</sup>	0	0 <sup>注1</sup>	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタmn (SCRmn) . . . TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0 <sup>注2</sup>	1	0	1	1 <sup>注3</sup>	1

(c) シリアル・データ・レジスタmn (SDRmn) (下位8ビット: SIO<sub>r</sub>) . . . データ送受信中は下位8ビット (SIO<sub>r</sub>) のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定 <sup>注4</sup>							0	送信データ設定							
	SIO <sub>r</sub>															

(d) シリアル出力レジスタm (SOm) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	0/1 <sup>注5</sup>	0/1 <sup>注5</sup>	0/1 <sup>注5</sup>	0/1 <sup>注5</sup>	0	0	0	0	0/1 <sup>注5</sup>	0/1 <sup>注5</sup>	0/1 <sup>注5</sup>	0/1 <sup>注5</sup>

(e) シリアル出力許可レジスタm (SOEm) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

(f) シリアル・チャネル開始レジスタm (SSm) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. SMR01, SMR03, SMR11レジスタのみ。

2. SCR00, SCR02, SCR10レジスタのみ。

3. SCR00, SCR11, SCR10, SCR11レジスタのみ。その他は1固定になります。

4. アドレス・フィールド送信で設定済みなので、設定不要です。

5. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0) r : IIC番号 (r = 00, 20) mn = 00, 10

2.  : IICモードでは設定固定  : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図13-102 データ送信のタイミング・チャート

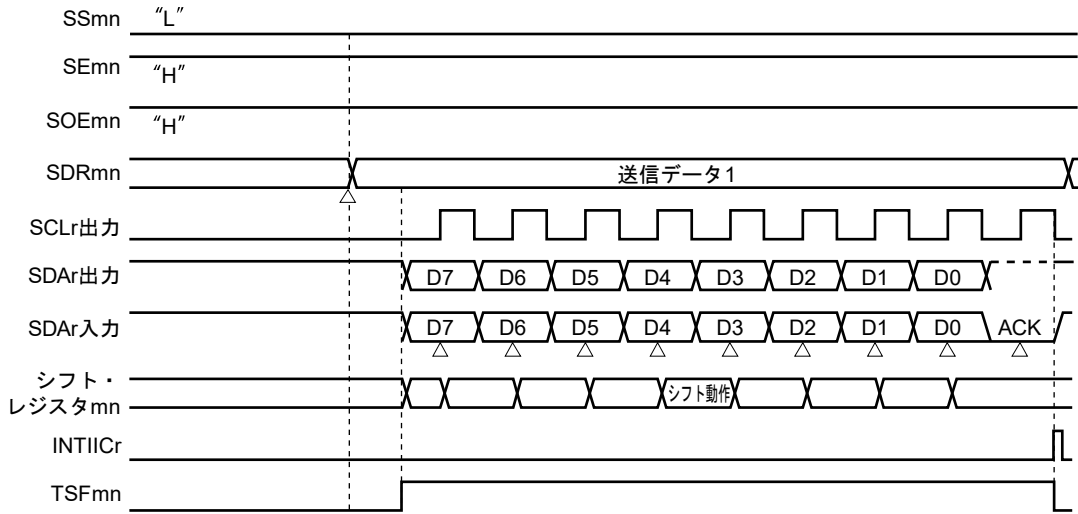
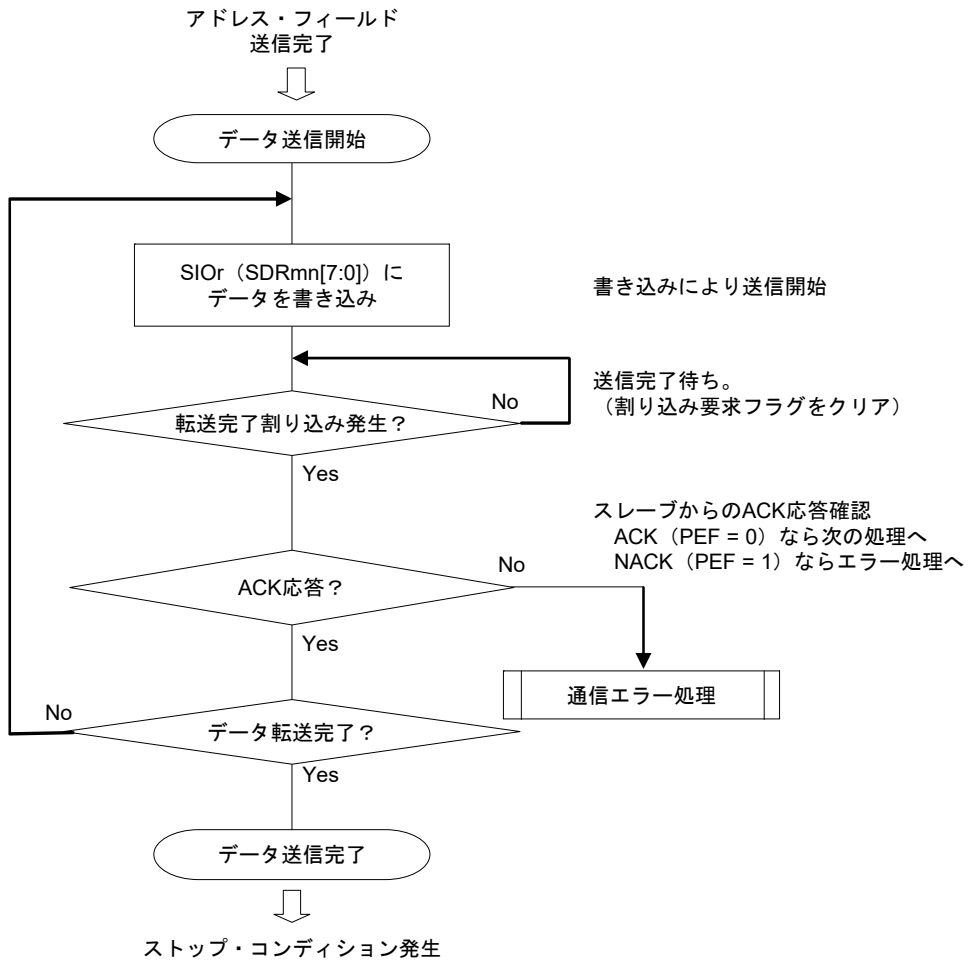


図13-103 簡易I<sup>2</sup>Cデータ送信のフロー・チャート



### 13.7.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I <sup>2</sup> C	IIC00	IIC20
対象チャンネル	SAU0のチャンネル0	SAU1のチャンネル0
使用端子	SCL00, SDA00 <sup>注1</sup>	SCL20, SDA20 <sup>注1</sup>
割り込み	INTIIC00	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	8ビット	
転送レート <sup>注2</sup>	Max.f <sub>MCK</sub> /4 [Hz]（SDRmn[15:9] = 1以上） f <sub>MCK</sub> ：対象チャンネルの動作クロック周波数 ただし、I <sup>2</sup> Cの各モードにより、以下の条件を満たしてください。 ・ Max. 1 MHz（ファースト・モード・プラス） ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	非反転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK送信）	
データ方向	MSBファースト	

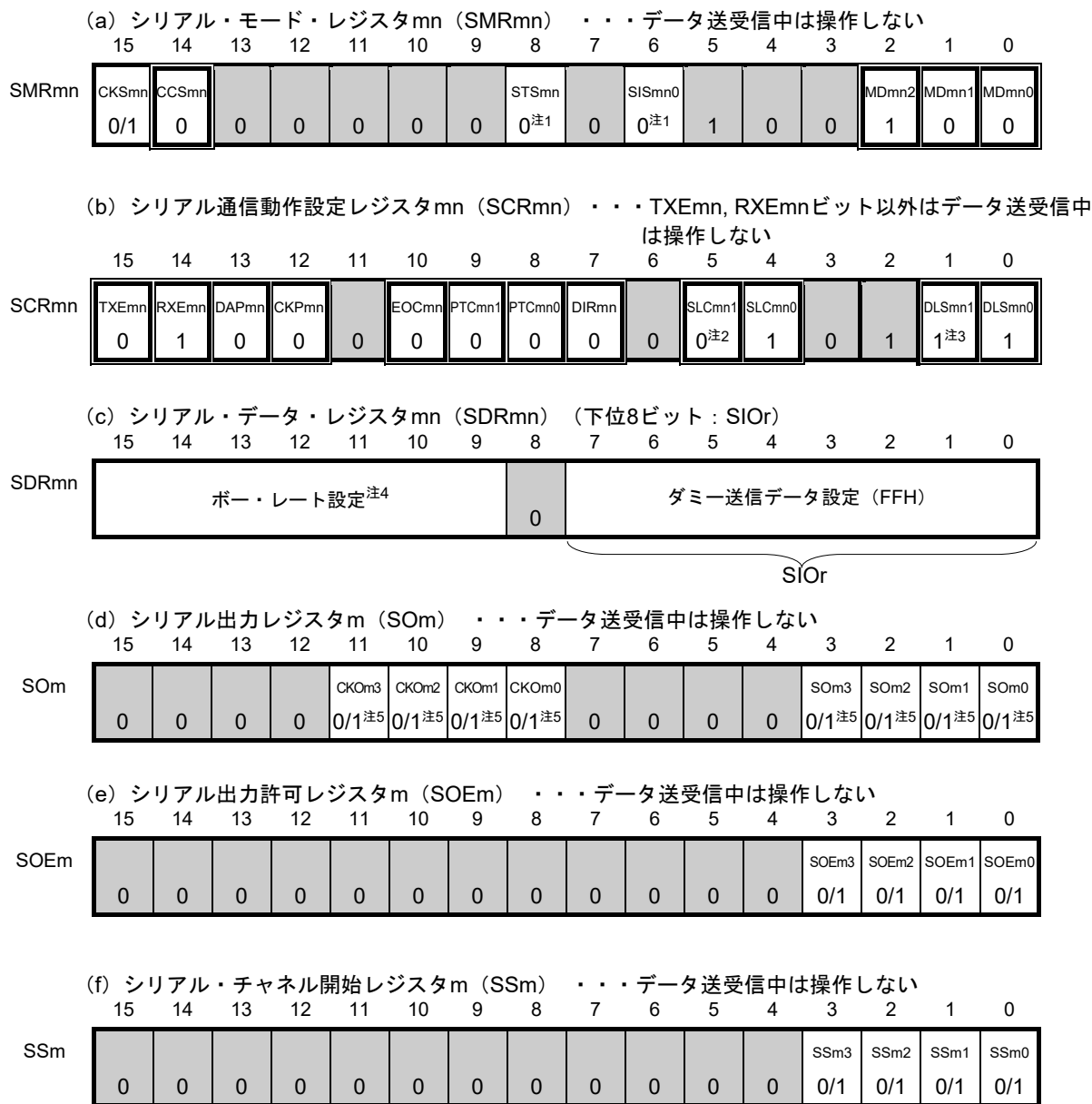
**注1.** 簡易I<sup>2</sup>Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM1）にてN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧）モードを設定（POM11, POM14 = 1）してください。詳細は、5.3 ポート機能を制御するレジスタ、5.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC20を異電位外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力（V<sub>DD</sub>耐圧）モードを設定してください（POMxx = 1）。詳細は、5.4.5 入出力バッファによる異電位（1.8 V系、2.5 V系）対応を参照ください。

- この条件を満たし、かつ電気的特性の周辺機能特性（第30章 電気的特性参照）を満たす範囲内で使用してください。

**備考** m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0）, mn = 00, 10

## (1) レジスタ設定

図13-104 簡易I<sup>2</sup>C (IIC00, IIC20) のデータ受信時のレジスタ設定内容例

注1. SMR01, SMR03, SMR11レジスタのみ。

2. SCR00, SCR02, SCR10, レジスタのみ。

3. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

4. アドレス・フィールド送信で設定済みなので、設定不要です。

5. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0) r : IIC番号 (r = 00, 20) mn = 00, 10

2. □ : IICモードでは設定固定    ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

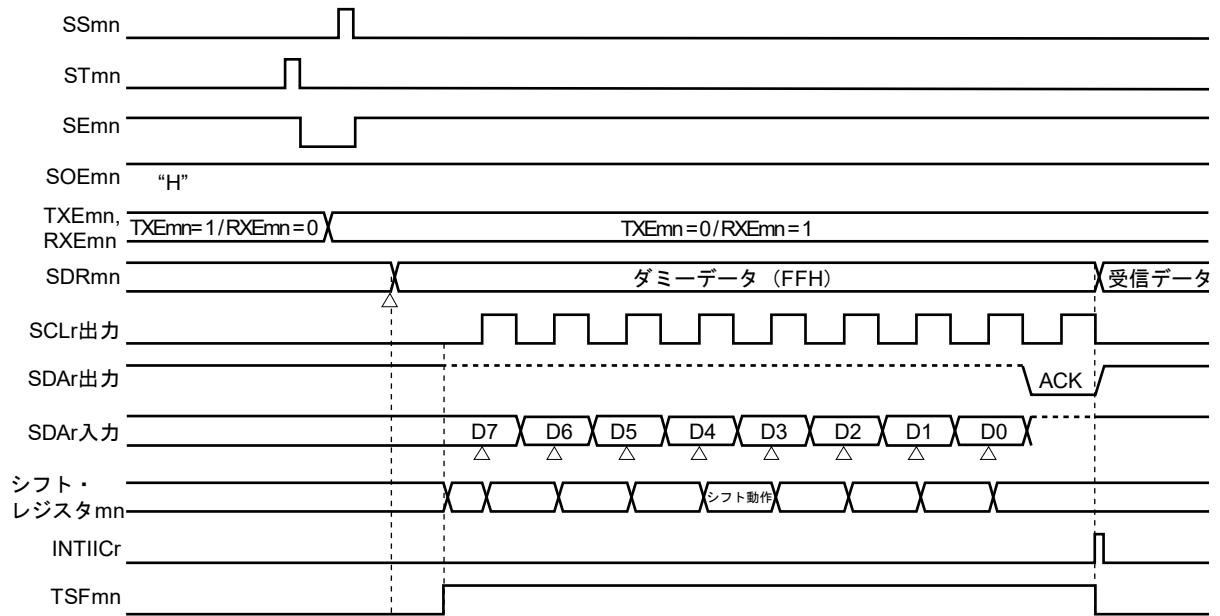
0/1 : ユーザの用途に応じて0または1に設定



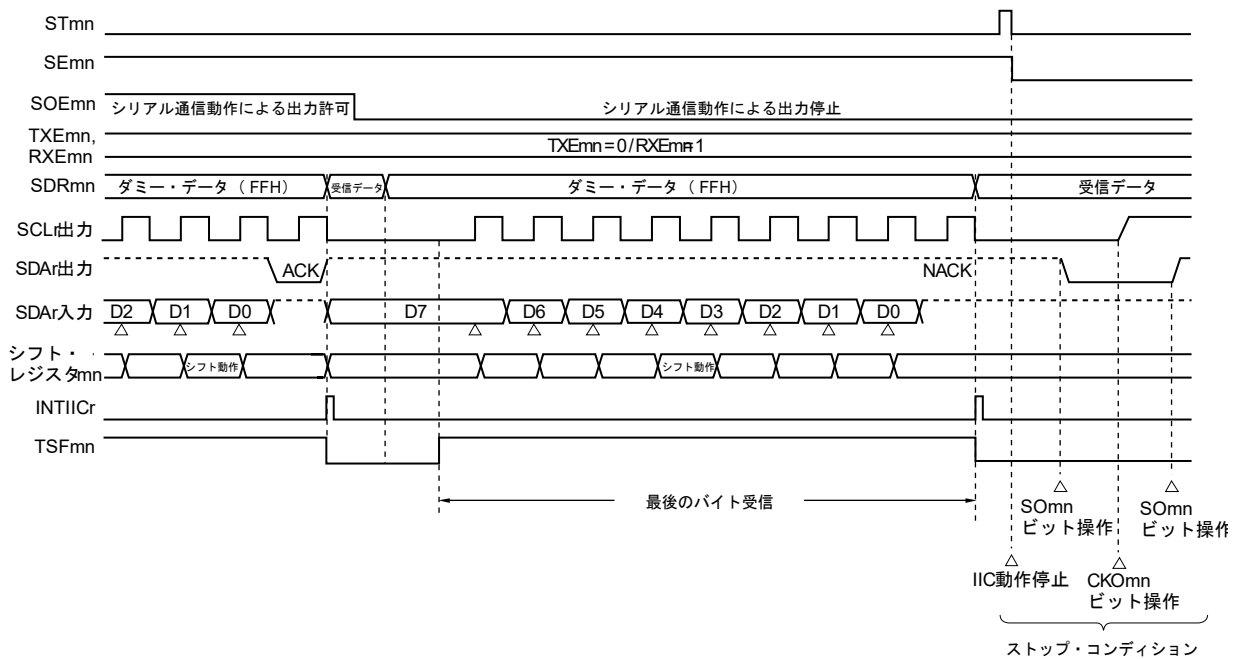
(2) 処理フロー

図13-105 データ受信のタイミング・チャート

(a) データ受信開始時

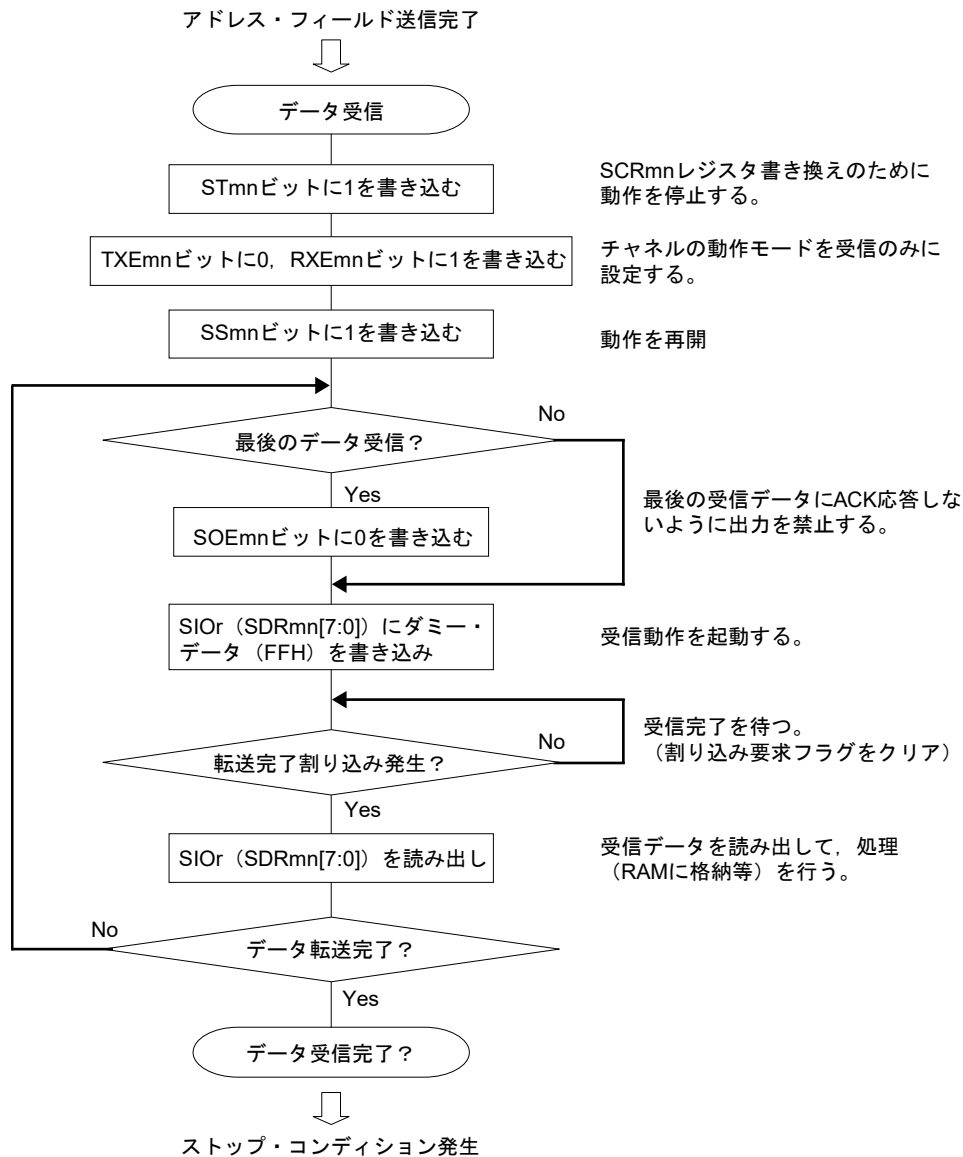


(b) 最終データ受信時



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0) r : IIC番号 (r = 00, 20) , mn = 00, 10

図13-106 データ受信のフロー・チャート



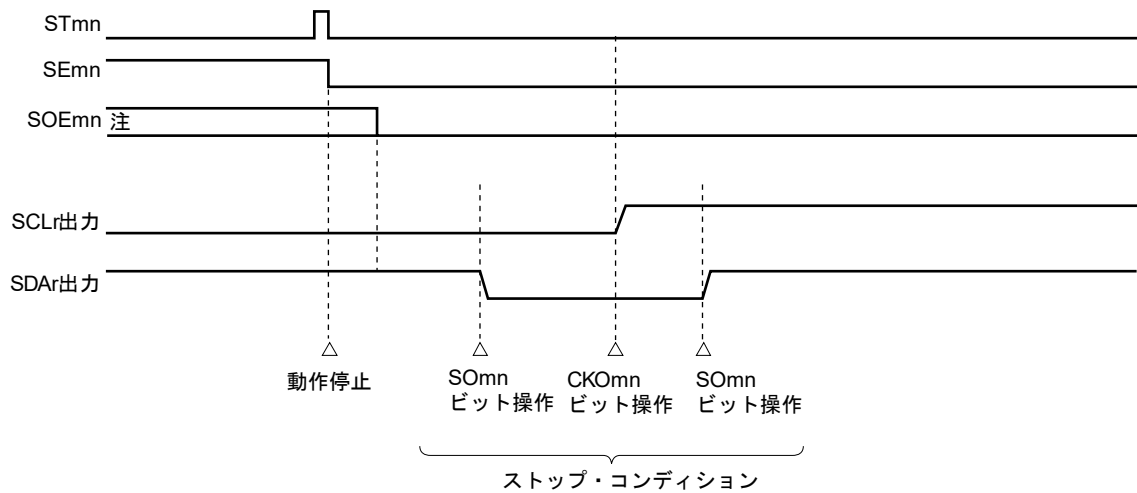
**注意** 最終データの受信時はACKを出力しません (NACK)。その後、シリアル・チャンネル停止レジスタm (STm) のSTmnビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

### 13.7.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

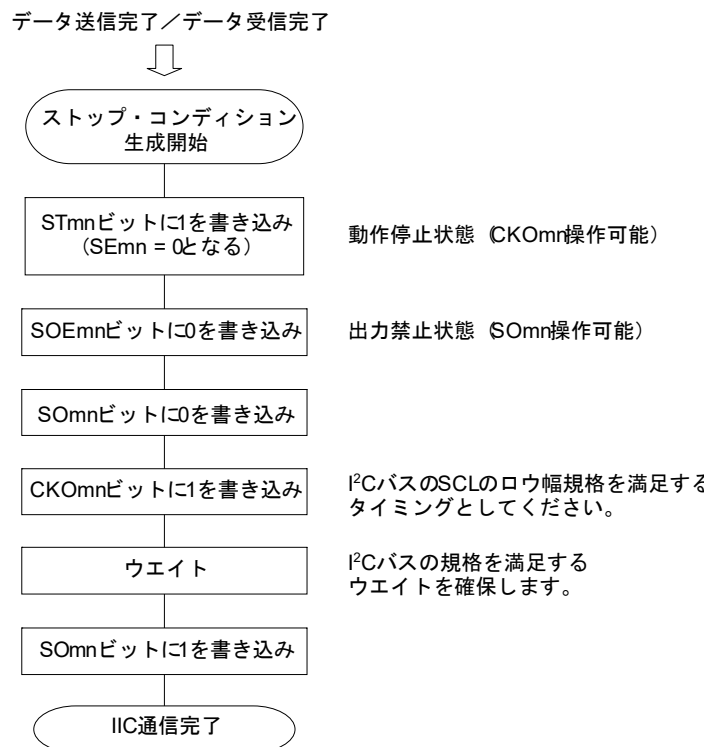
(1) 処理フロー

図13-107 ストップ・コンディション発生のタイミング・チャート



**注** 受信動作時は最終データを受信する前に、シリアル出力許可レジスタm (SOEm) のSOEmnビットを“0”に設定しています。

図13-108 ストップ・コンディション発生のフロー・チャート



### 13.7.5 転送レートの算出

簡易I<sup>2</sup>C (IIC00, IIC20) 通信での転送レートは下記の計算式にて算出できます。

$$\text{〔転送レート〕} = \text{〔対象チャネルの動作クロック (f<sub>MCK</sub>) 周波数〕} \div (\text{SDRmn}[15:9]+1) \div 2$$

**注意** SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I<sup>2</sup>C出力のSCL信号のデューティ比は50%です。I<sup>2</sup>Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI<sup>2</sup>Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

**備考1.** (SDRmn[15:9]) は、シリアル・データ・レジスタmn (SDRmn) のビット15-9の値 (0000001B-1111111B) なので、1-127になります。

**2.** m : ユニット番号 (m = 0, 1)    n : チャネル番号 (n = 0) , mn = 00, 10

動作クロック (f<sub>MCK</sub>) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmnビット) で決まります。

表13-5 簡易I<sup>2</sup>C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f <sub>MCK</sub> ) 注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f <sub>CLK</sub> = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f <sub>CLK</sub>	32 MHz
	X	X	X	X	0	0	0	1	f <sub>CLK</sub> /2	16 MHz
	X	X	X	X	0	0	1	0	f <sub>CLK</sub> /2 <sup>2</sup>	8 MHz
	X	X	X	X	0	0	1	1	f <sub>CLK</sub> /2 <sup>3</sup>	4 MHz
	X	X	X	X	0	1	0	0	f <sub>CLK</sub> /2 <sup>4</sup>	2 MHz
	X	X	X	X	0	1	0	1	f <sub>CLK</sub> /2 <sup>5</sup>	1 MHz
	X	X	X	X	0	1	1	0	f <sub>CLK</sub> /2 <sup>6</sup>	500 kHz
	X	X	X	X	0	1	1	1	f <sub>CLK</sub> /2 <sup>7</sup>	250 kHz
	X	X	X	X	1	0	0	0	f <sub>CLK</sub> /2 <sup>8</sup>	125 kHz
	X	X	X	X	1	0	0	1	f <sub>CLK</sub> /2 <sup>9</sup>	62.5 kHz
	X	X	X	X	1	0	1	0	f <sub>CLK</sub> /2 <sup>10</sup>	31.25 kHz
	X	X	X	X	1	0	1	1	f <sub>CLK</sub> /2 <sup>11</sup>	15.63 kHz
1	0	0	0	0	X	X	X	X	f <sub>CLK</sub>	32 MHz
	0	0	0	1	X	X	X	X	f <sub>CLK</sub> /2	16 MHz
	0	0	1	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>2</sup>	8 MHz
	0	0	1	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>3</sup>	4 MHz
	0	1	0	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>4</sup>	2 MHz
	0	1	0	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>5</sup>	1 MHz
	0	1	1	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>6</sup>	500 kHz
	0	1	1	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>7</sup>	250 kHz
	1	0	0	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>8</sup>	125 kHz
	1	0	0	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>9</sup>	62.5 kHz
	1	0	1	0	X	X	X	X	f <sub>CLK</sub> /2 <sup>10</sup>	31.25 kHz
	1	0	1	1	X	X	X	X	f <sub>CLK</sub> /2 <sup>11</sup>	15.63 kHz
上記以外									設定禁止	

注 f<sub>CLK</sub>に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm）= 000FH）させてから変更してください。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0) , mn = 00, 10

f<sub>MCK</sub> = f<sub>CLK</sub> = 32 MHzの場合のI<sup>2</sup>C転送レート設定例を示します。

I <sup>2</sup> C転送モード (希望転送レート)	f <sub>CLK</sub> = 32 MHz時			
	動作クロック (f <sub>MCK</sub> )	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f <sub>CLK</sub> /2	79	100 kHz	0.0%
400 kHz	f <sub>CLK</sub>	41	380 kHz	5.0%注
1 MHz	f <sub>CLK</sub>	18	0.84 MHz	16.0%注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

13.7.6 簡易I<sup>2</sup>C (IIC00, IIC20) 通信時におけるエラー発生時の処理手順

簡易I<sup>2</sup>C (IIC00, IIC20) 通信時にエラーが発生した場合の処理手順を、図13-109、図13-110に示します。

図13-109 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn) をリードする	SSRmnレジスタのBFFmnビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図13-110 簡易I<sup>2</sup>Cモード時のACKエラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタmn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタm (STm) のSTmnビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEmnビットが“0”となり、チャンネルnは動作停止状態になる	ACKが返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタm (SSm) のSSmnビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタm (SEm) のSEmnビットが“1”となり、チャンネルnは動作許可状態になる	

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0) r: IIC番号 (r = 00, 20), mn = 00, 10

## 第14章 シリアル・インタフェースIICA

### 14.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I<sup>2</sup>Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCLAn) とシリアル・データ・バス (SDAAn) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I<sup>2</sup>Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI<sup>2</sup>Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1 (IICCTLn1) のWUPnビットにより設定します。

**備考** n = 0

図14-1に、シリアル・インタフェースIICAのブロック図を示します。

図14-1 シリアル・インタフェースIICA0のブロック図

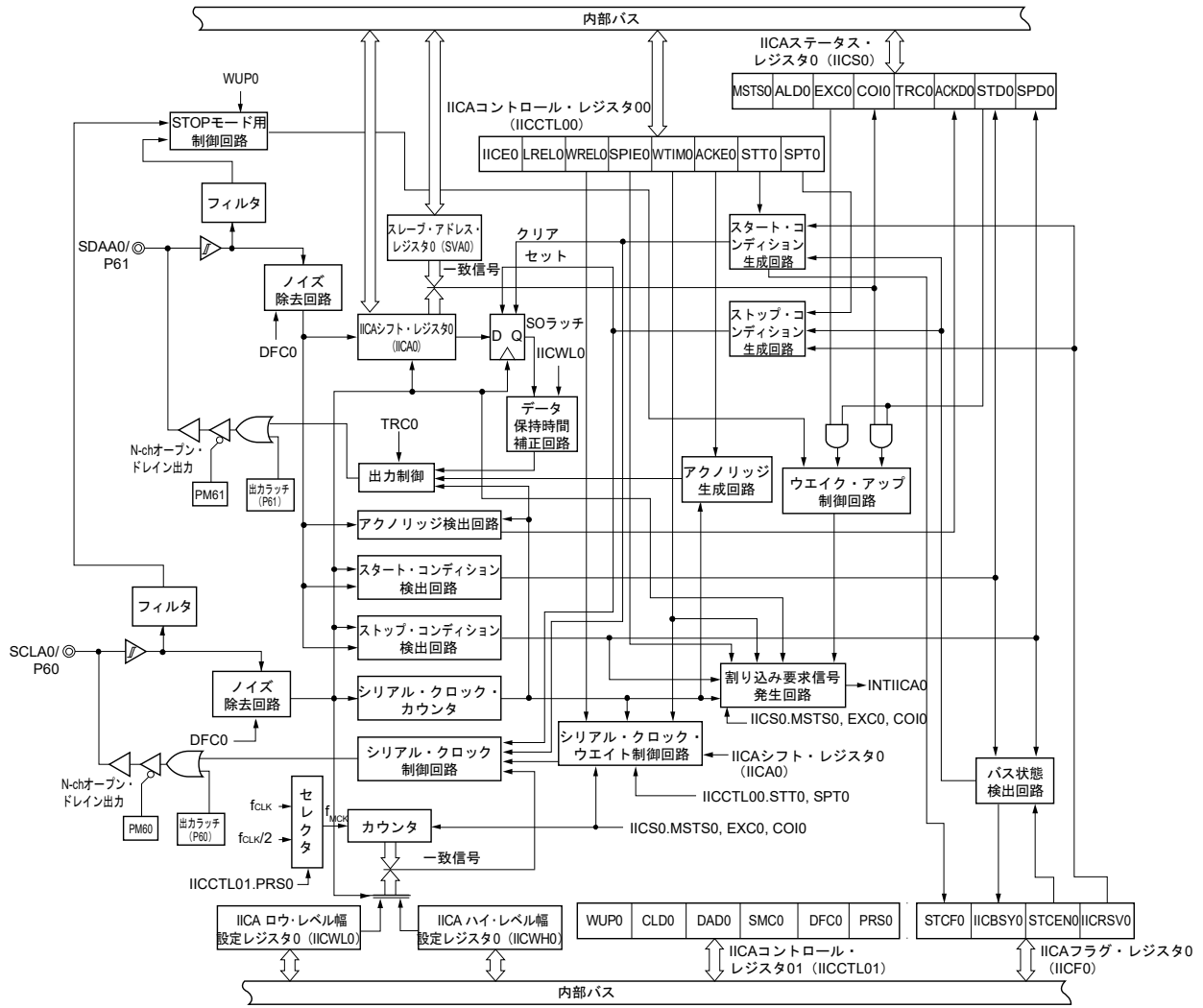
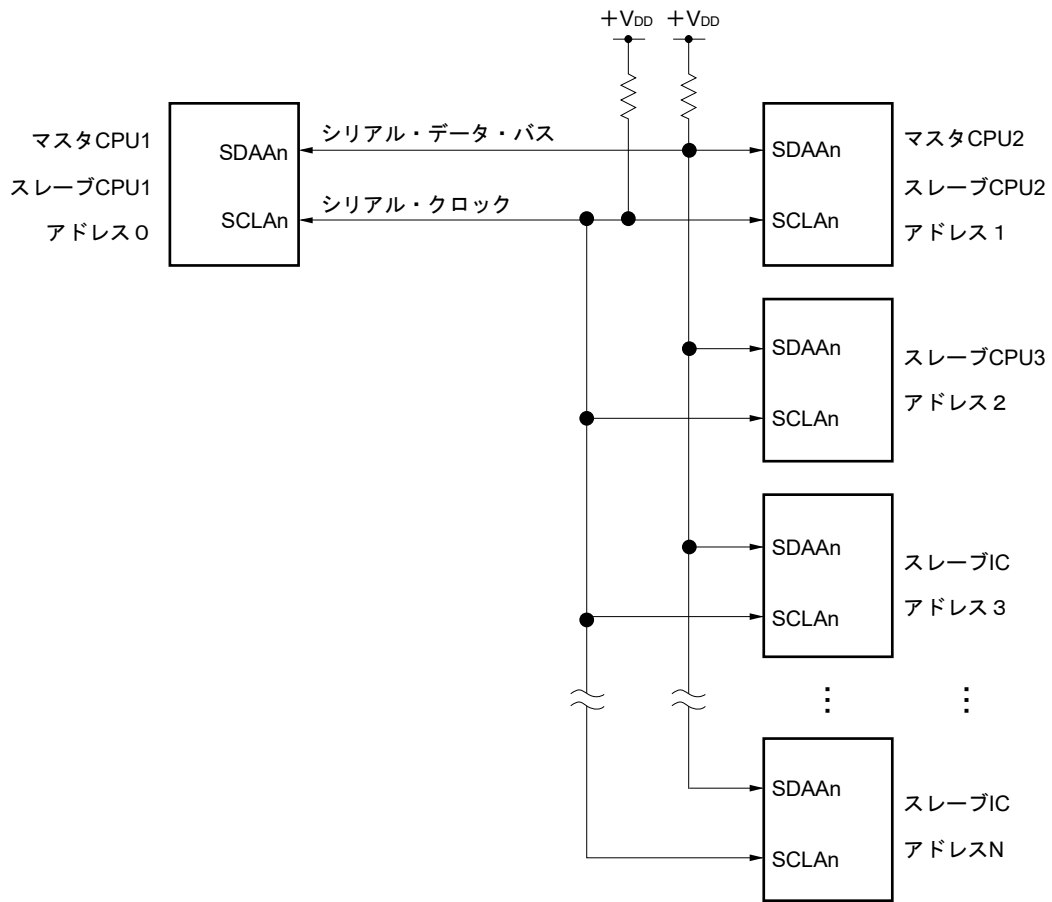




図14-2にシリアル・バス構成例を示します。

図14-2 I<sup>2</sup>Cバスによるシリアル・バス構成例



備考 n = 0

## 14.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表14-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタn (IICAn) スレーブ・アドレス・レジスタn (SVAn)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICAコントロール・レジスタn0 (IICCTLn0) IICAステータス・レジスタn (IICSn) IICAフラグ・レジスタn (IICFn) IICAコントロール・レジスタn1 (IICCTLn1) IICAロウ・レベル幅設定レジスタn (IICWLn) IICAハイ・レベル幅設定レジスタn (IICWHn) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

備考 n = 0

### (1) IICAシフト・レジスタn (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

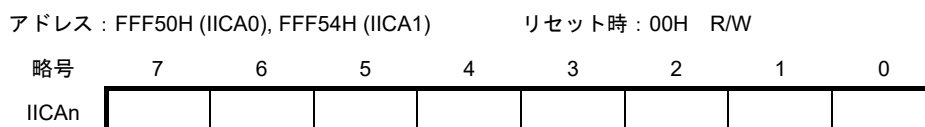
IICAnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIICAnレジスタへの書き込みにより、ウェイトを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-3 IICAシフト・レジスタn (IICAn) のフォーマット



- 注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。
- IICAnレジスタには、ウェイト期間中にだけ、書き込み／読み出しをしてください。ウェイト期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STTn) をセット (1) したあと、1回書き込みできます。
  - 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 n = 0

(2) スレーブ・アドレス・レジスタ $n$  (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図14-4 スレーブ・アドレス・レジスタ $n$  (SVAn) のフォーマット

アドレス : F0234H (SVA0), F023DH (SVA1)	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0 <sup>注</sup>

**注** ビット0は0固定です。

## (3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

## (4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ $n$  (SVAn) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICAn) を発生させる回路です。

## (5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

## (6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn) の発生を制御します。

I<sup>2</sup>C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEnビットで設定)

**備考** WTIMnビット : IICAコントロール・レジスタ $n$  (IICCTLn0) のビット3

SPIEnビット : IICAコントロール・レジスタ $n$  (IICCTLn0) のビット4

## (7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

## (8) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

**備考**  $n = 0$

- (9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路  
各状態の生成および検出を行います。
- (10) データ保持時間補正回路  
シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。
- (11) スタート・コンディション生成回路  
STTnビットがセット (1) されるとスタート・コンディションを生成します。  
ただし通信予約禁止状態 (IICRSVnビット = 1) で、かつバスが解放されていない (IICBSYnビット = 1) 場合には、スタート・コンディション要求は無視し、STCFnビットをセット (1) します。
- (12) ストップ・コンディション生成回路  
SPTnビットがセット (1) されるとストップ・コンディションを生成します。
- (13) バス状態検出回路  
スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。  
ただし動作直後はバス状態を検出できないため、STCENnビットにより、バス状態検出回路の初期状態を設定してください。

- 備考1.** STTnビット : IICAコントロール・レジスタn0 (IICCTLn0) のビット1  
SPTnビット : IICAコントロール・レジスタn0 (IICCTLn0) のビット0  
IICRSVnビット : IICAフラグ・レジスタn (IICFn) のビット0  
IICBSYnビット : IICAフラグ・レジスタn (IICFn) のビット6  
STCFnビット : IICAフラグ・レジスタn (IICFn) のビット7  
STCENnビット : IICAフラグ・レジスタn (IICFn) のビット1
- 2.** n = 0

### 14.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次のレジスタで制御します。

- ・ 周辺イネーブル・レジスタ0 (PER0)
- ・ IICAコントロール・レジスタn0 (IICCTLn0)
- ・ IICAフラグ・レジスタn (IICFn)
- ・ IICAステータス・レジスタn (IICSn)
- ・ IICAコントロール・レジスタn1 (IICCTLn1)
- ・ IICAロウ・レベル幅設定レジスタn (IICWLn)
- ・ IICAハイ・レベル幅設定レジスタn (IICWHn)
- ・ ポート・モード・レジスタ6 (PM6)
- ・ ポート・レジスタ6 (P6)

**備考** n = 0

### 14.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAnを使用するときは、必ずビット6, 4 (IICA1EN, IICA0EN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICAnで使用するSFRへのライト不可 ・シリアル・インタフェースIICAnはリセット状態
1	入カクロック供給許可 ・シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

**注意1.** シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAnEN = 1の状態、下記のレジスタの設定を行ってください。IICAnEN = 0の場合は、シリアル・インタフェースIICAの制御レジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ6 (PM6)、ポート・レジスタ6 (P6) は除く）。

- ・IICAコントロール・レジスタn0 (IICCTLn0)
- ・IICAフラグ・レジスタn (IICFn)
- ・IICAステータス・レジスタn (IICSn)
- ・IICAコントロール・レジスタn1 (IICCTLn1)
- ・IICAロウ・レベル幅設定レジスタn (IICWLn)
- ・IICAハイ・レベル幅設定レジスタn (IICWHn)

2. ビット1, 6には必ず“0”を設定してください。

**備考** n = 0

### 14.3.2 IICAコントロール・レジスタn0 (IICCTLn0)

I<sup>2</sup>Cの動作許可／停止、ウエイト・タイミングの設定、その他I<sup>2</sup>Cの動作を設定するレジスタです。

IICCTLn0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEnビットは、IICEn = 0のとき、またはウエイト期間中に設定してください。またIICEnビットを“0”から“1”に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

**備考** n = 0

図14-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (1/4)

アドレス : F0230H (IICCTL00), F0238H (IICCTL10) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I <sup>2</sup> Cの動作許可
0	動作停止。IICAステータス・レジスタn (IICSn) をリセット <sup>注1</sup> 。内部動作も停止。
1	動作許可。

このビットのセット (1) は、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。

クリアされる条件 (IICEn = 0)	セットされる条件 (IICEn = 1)
<ul style="list-style-type: none"> <li>命令によるクリア</li> <li>リセット時</li> </ul>	<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>

LRELn <sup>注2,3</sup>	通信退避
0	通常動作。
1	<p>現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。</p> <p>自局に関係ない拡張コードを受信したときなどに使用する。</p> <p>SCLAn, SDAAnラインはハイ・インピーダンス状態になる。</p> <p>IICAコントロール・レジスタn0 (IICCTLn0), IICAステータス・レジスタn (IICSn) のうち、次のフラグがクリア (0) される。</p> <ul style="list-style-type: none"> <li>STTn</li> <li>SPTn</li> <li>MSTS<sub>n</sub></li> <li>EXC<sub>n</sub></li> <li>CO<sub>n</sub></li> <li>TRC<sub>n</sub></li> <li>ACKD<sub>n</sub></li> <li>STD<sub>n</sub></li> </ul>

次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。

- ストップ・コンディション検出後、マスタとしての起動
- スタート・コンディション後のアドレス一致または拡張コード受信

クリアされる条件 (LRELn = 0)	セットされる条件 (LRELn = 1)
<ul style="list-style-type: none"> <li>実行後、自動的にクリア</li> <li>リセット時</li> </ul>	<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>

WRELn <sup>注2,3</sup>	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。

送信状態 (TRC<sub>n</sub> = 1) で、9クロック目のウェイト期間中にWRELnビットをセット (ウェイトを解除) した場合、SDAAnラインをハイ・インピーダンス (TRC<sub>n</sub> = 0) にします。

クリアされる条件 (WRELn = 0)	セットされる条件 (WRELn = 1)
<ul style="list-style-type: none"> <li>実行後、自動的にクリア</li> <li>リセット時</li> </ul>	<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>

**注1.** リセットされるのは、IICAステータス・レジスタn (IICA0), IICAフラグ・レジスタn (IICF0) のSTCF<sub>n</sub>, IICBSY<sub>n</sub>ビット, IICAコントロール・レジスタn1 (IICCTLn1) レジスタのCLD<sub>n</sub>, DAD<sub>n</sub>ビットです。

**2.** IICEn = 0の状態では、このビットの信号は無効になります。

**3.** LRELn, WRELnビットの読み出し値は常に0になります。

**注意** SCLAnラインがハイ・レベル、SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTLn1レジスタのDFC<sub>n</sub> = 1) のときにI<sup>2</sup>Cを動作許可 (IICEn = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I<sup>2</sup>Cを動作許可 (IICEn = 1) したあと、連続して1ビット・メモリ操作命令により、LRELnビットをセット (1) してください。

**備考** n = 0

図14-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (2/4)

SPIEn <sup>注1</sup>	ストップ・コンディション検出による割り込み要求発生の許可/禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタn1 (IICCTLn1) のWUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIEn = 0)		セットされる条件 (SPIEn = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIMn <sup>注1</sup>	ウェイトおよび割り込み要求発生制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入りません。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIMn = 0)		セットされる条件 (WTIMn = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKEn <sup>注1, 2</sup>	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件 (ACKEn = 0)		セットされる条件 (ACKEn = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

注1. IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 n = 0



図14-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (3/4)

STTn 注1, 2	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき（待機状態、IICBSYnが0のとき）： セット（1）すると、スタート・コンディションを生成する（マスタとしての起動）。</p> <p>第三者が通信中のとき： ・通信予約機能許可の場合（IICRSVn = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると、バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSVn = 1） セット（1）してもSTTnビットはクリアされ、STTnクリア・フラグ（STCFn）がセット（1）される。 スタート・コンディションは生成しない。</p> <p>ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> <li>・マスタ受信の場合：転送中のセット（1）は禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたとのウェイト期間中にだけセット（1）可能です。</li> <li>・マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。</li> <li>・ストップ・コンディション・トリガ（SPTn）と同時セット（1）することは禁止です。</li> <li>・STTnビットをセット（1）後、クリア条件になる前に再度セット（1）することは禁止です。</li> </ul>		
クリアされる条件（STTn = 0）		セットされる条件（STTn = 1）
<ul style="list-style-type: none"> <li>・通信予約禁止状態でのSTTnビットのセット（1）</li> <li>・アービトレーションに負けたとき</li> <li>・マスタでのスタート・コンディション生成</li> <li>・LRELn = 1（通信退避）によるクリア</li> <li>・IICEn = 0（動作停止）のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

注1. IICEn = 0の状態では、このビットの信号は無効になります。

2. STTnビットの読み出し値は、常に0になります。

備考1. IICRSVn : IICフラグ・レジスタn (IICFn) のビット0

STCFn : " のビット7

2. n = 0

図14-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (4/4)

SPTn <sup>注</sup>	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する（マスタとしての転送終了）。	
セット・タイミングに関する注意 <ul style="list-style-type: none"> <li>・マスタ受信の場合：転送中のセット（1）は禁止です。                ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</li> <li>・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウエイト期間中にセットしてください。</li> <li>・スタート・コンディション・トリガ（STTn）と同時にセット（1）することは禁止です。</li> <li>・SPTnビットのセット（1）は、マスタのときのみ行ってください。</li> <li>・WTIMn = 0設定時に、8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMn = 0→1に設定し、9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。</li> <li>・SPTnビットをセット（1）後、クリア条件になる前に、再度セット（1）することは禁止です。</li> </ul>		
クリアされる条件（SPTn = 0）		セットされる条件（SPTn = 1）
<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> <li>・ストップ・コンディション検出後、自動的にクリア</li> <li>・LRELn = 1（通信退避）によるクリア</li> <li>・IICEn = 0（動作停止）のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

注 SPTnビットの読み出し値は、常に0になります。

**注意** IICAステータス・レジスタn(IICSn)のビット3(TRCn) = 1(送信状態)のとき、9クロック目にIICCTLn0レジスタのビット5(WRELn)をセット（1）してウエイト解除すると、TRCnビットをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるウエイト解除は、IICAシフト・レジスタnへの書き込みで行ってください。

**備考1.** ビット0（SPTn）は、データ設定後に読み出すと0になっています。

2. n = 0

### 14.3.3 IICAステータス・レジスタn (IICSn)

I<sup>2</sup>Cのステータスを表すレジスタです。

IICSnレジスタは、STTn = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

**注意** STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUPn = 1) 状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求と関係なくWUPnビットを1→0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIEn = 1) して割り込み検出後にIICSnレジスタを読み出してください。

**備考** STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

WUPn : IICAコントロール・レジスタn1 (IICCTLn1) のビット7

図14-7 IICAステータス・レジスタn (IICSn) のフォーマット (1/3)

アドレス : FFF51H (IICS0), FFF55H (IICS1) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
IICSn	MSTSn	ALDn	EXCn	COLn	TRCn	ACKDn	STDn	SPDn

MSTSn	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTSn = 0)	
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・ALDn = 1 (アービトレーション負け) のとき</li> <li>・LRELn = 1 (通信退避) によるクリア</li> <li>・IICEEn = 1→0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	
セットされる条件 (MSTSn = 1)	
<ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> </ul>	

ALDn	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTSnビットがクリアされる。
クリアされる条件 (ALDn = 0)	
<ul style="list-style-type: none"> <li>・IICSnレジスタ読み出し後、自動的にクリア<sup>注</sup></li> <li>・IICEEn = 1→0 (動作停止) のとき</li> <li>・リセット時</li> </ul>	
セットされる条件 (ALDn = 1)	
<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> </ul>	

**注** IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnビット使用時は、ほかのビットよりも先にデータをリードしてください。

**備考1.** LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6

IICEEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット7

2. n = 0

図14-7 IICAステータス・レジスタn (IICSn) のフォーマット (2/3)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXCn = 0)		セットされる条件 (EXCn = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LRELn = 1 (通信退避) によるクリア</li> <li>・IICEn = 1→0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)</li> </ul>

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LRELn = 1 (通信退避) によるクリア</li> <li>・IICEn = 1→0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタn (SVAn)) と一致したとき (8クロック目の立ち上がりでセット)</li> </ul>

TRCn	送信/受信状態検出	
0	受信状態 (送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<p>&lt;マスタ, スレーブ共通&gt;</p> <ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・LRELn = 1 (通信退避) によるクリア</li> <li>・IICEn = 1→0 (動作停止) のとき</li> <li>・WRELn = 1 (ウエイト解除) によるクリア<sup>注</sup></li> <li>・ALDn = 0→1 (アービトレーション負け) のとき</li> <li>・リセット時</li> <li>・通信不参加の場合 (MSTSn, EXCn, COIn = 0)</li> </ul> <p>&lt;マスタの場合&gt;</p> <ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に“1”を出力したとき</li> </ul> <p>&lt;スレーブの場合&gt;</p> <ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・1バイト目のLSB (転送方向指定ビット) に“0”を入力したとき</li> </ul>		<p>&lt;マスタの場合&gt;</p> <ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> <li>・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“0” (マスタ送信) を出力したとき</li> </ul> <p>&lt;スレーブの場合&gt;</p> <ul style="list-style-type: none"> <li>・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に“1” (スレーブ送信) が入力されたとき</li> </ul>

注 IICAステータス・レジスタn (IICSn) のビット3 (TRCn) = 1 (送信状態) のとき、9クロック目にIICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) をセット (1) してウエイトを解除すると、TRCnビットをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態) におけるウエイト解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考1. LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6

IICEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット7

2. n = 0

図14-7 IICAステータス・レジスタn (IICSn) のフォーマット (3/3)

★

ACKDn	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKDn = 0)		セットされる条件 (ACKDn = 1)
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・次のバイトの1クロック目の立ち上がり時</li> <li>・LRELn = 1 (通信退避) によるクリア</li> <li>・IICEn = 1→0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき</li> </ul>
STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STDn = 0)		セットされる条件 (STDn = 1)
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・アドレス転送後の次のバイトの1クロック目の立ち上がり時</li> <li>・LRELn = 1 (通信退避) によるクリア</li> <li>・IICEn = 1→0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul>
SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPDn = 0)		セットされる条件 (SPDn = 1)
<ul style="list-style-type: none"> <li>・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時</li> <li>・WUPn = 1→0のとき</li> <li>・IICEn = 1→0 (動作停止) のとき</li> <li>・リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> </ul>

備考1. LRELn : IICAコントロール・レジスタn0 (IICCTLn0) のビット6

IICEn : " のビット7

2. n = 0

## 14.3.4 IICAフラグ・レジスタn (IICFn)

I<sup>2</sup>Cの動作モードの設定と、I<sup>2</sup>Cバスの状態を表すレジスタです。

IICFnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTnクリア・フラグ (STCFn) 、I<sup>2</sup>Cバス状態フラグ (IICBSYn) は読み出しのみ可能です。

IICRSVnビットにより、通信予約機能の禁止/許可を設定します。

またSTCENnビットにより、IICBSYnビットの初期値を設定します。

IICRSVn, STCENnビットはI<sup>2</sup>Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図14-8 IICAフラグ・レジスタn (IICFn) のフォーマット

アドレス : FFF52H (IICF0), FFF56H (IICF1) リセット時 : 00H R/W<sup>注</sup>

略号	[7]	[6]	5	4	3	2	[1]	[0]
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnクリア・フラグ	
0	スタート・コンディション発行。	
1	スタート・コンディション発行できず、STTnフラグ・クリア。	
クリアされる条件 (STCFn = 0)		セットされる条件 (STCFn = 1)
<ul style="list-style-type: none"> <li>・ STTn = 1によるクリア</li> <li>・ IICEn = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ 通信予約禁止 (IICRSVn = 1) 設定時にスタート・コンディション発行できず、STTnビットがクリア (0) されたとき</li> </ul>

IICBSYn	I <sup>2</sup> Cバス状態フラグ	
0	バス解放状態 (STCENn = 1時の通信初期状態)。	
1	バス通信状態 (STCENn = 0時の通信初期状態)。	
クリアされる条件 (IICBSYn = 0)		セットされる条件 (IICBSYn = 1)
<ul style="list-style-type: none"> <li>・ ストップ・コンディション検出時</li> <li>・ IICEn = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ スタート・コンディション検出時</li> <li>・ STCENn = 0時のIICEnビットのセット</li> </ul>

STCENn	初期スタート許可トリガ	
0	動作許可 (IICEn = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。	
1	動作許可 (IICEn = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。	
クリアされる条件 (STCENn = 0)		セットされる条件 (STCENn = 1)
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ スタート・コンディション検出時</li> <li>・ リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>

IICRSVn	通信予約機能禁止ビット	
0	通信予約許可。	
1	通信予約禁止。	
クリアされる条件 (IICRSVn = 0)		セットされる条件 (IICRSVn = 1)
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>

注 ビット6, 7はRead onlyです。

注意1. STCENnビットへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを発行 (STTn = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVnへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

IICEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット7

2. n = 0

### 14.3.5 IICAコントロール・レジスタn1 (IICCTLn1)

I<sup>2</sup>Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLDn, DADnビットは読み出しのみ可能です。

IICCTLn1レジスタは、WUPnビットを除きI<sup>2</sup>Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (ICEn) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図14-9 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (1/2)

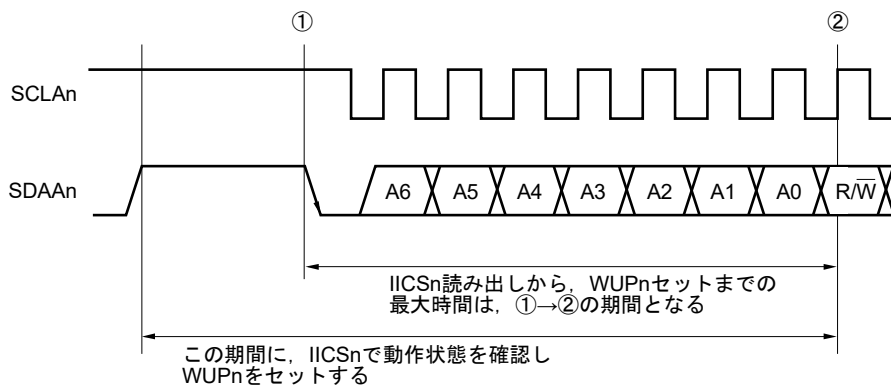
アドレス : F0231H (IICCTL01), F0239H (IICCTL11)      リセット時 : 00H    R/W<sup>注1</sup>

略号	<b>7</b>	6	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	1	<b>0</b>
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn

WUPn	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
<p>WUPn = 1でSTOPモードに移行する場合は、WUPnビットをセット (1) してf<sub>MCK</sub>の3クロック以上経過後にSTOP命令を実行してください (図14-22 WUPn = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPnビットをクリア (0) してください。WUPnビットをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUPnビットをクリア (0) したあとに行う必要があります)。</p> <p>WUPn = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。</p>	
クリアされる条件 (WUPn = 0)	セットされる条件 (WUPn = 1)
・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTSn, EXCn, COIn = 0であり, STDn = 0 (通信に参加しない事) のとき) <sup>注2</sup>

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICAステータス・レジスタn (IICCSn) の状態を確認しセットする必要があります。



備考 n = 0



図14-9 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (2/2)

CLDn	SCLAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SCLAn端子がロウ・レベルであることを検出	
1	SCLAn端子がハイ・レベルであることを検出	
クリアされる条件 (CLDn = 0)		セットされる条件 (CLDn = 1)
<ul style="list-style-type: none"> <li>・ SCLAn端子がロウ・レベルのとき</li> <li>・ IICEn = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ SCLAn端子がハイ・レベルのとき</li> </ul>

DADn	SDAAn端子のレベル検出 (IICEn = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件 (DADn = 0)		セットされる条件 (DADn = 1)
<ul style="list-style-type: none"> <li>・ SDAAn端子がロウ・レベルのとき</li> <li>・ IICEn = 0 (動作停止) のとき</li> <li>・ リセット時</li> </ul>		<ul style="list-style-type: none"> <li>・ SDAAn端子がハイ・レベルのとき</li> </ul>

SMCn	動作モードの切り替え	
0	標準モードで動作 (最大転送レート : 100 kbps)	
1	ファースト・モード (最大転送レート : 400 kbps) またはファースト・モード・プラス (最大転送レート : 1 Mbps) で動作	

DFCn	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。		
デジタル・フィルタは、ノイズ除去のために使用します。		
DFCnビットのセット (1) / クリア (0) により、転送クロックが変化することはありません。		

PRSn	IICA動作クロック ( $f_{MCK}$ ) の制御	
0	$f_{CLK}$ を選択 ( $1 \text{ MHz} \leq f_{CLK} \leq 20 \text{ MHz}$ )	
1	$f_{CLK}/2$ を選択 ( $20 \text{ MHz} < f_{CLK}$ )	

**注意1.** IICA動作クロック ( $f_{MCK}$ ) の最高動作周波数は20 MHz (Max.) です。 $f_{CLK}$ が20 MHzを越える場合のみ、IICAコントロール・レジスタn1 (IICCTLn1) のビット0 (PRSn) に"1"を設定してください。

**2.** 転送クロックを設定する場合は、 $f_{CLK}$ の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって $f_{CLK}$ の最低動作周波数が決められています。

ファースト・モード時 :  $f_{CLK} = 3.5 \text{ MHz (Min.)}$

ファースト・モード・プラス時 :  $f_{CLK} = 10 \text{ MHz (Min.)}$

標準モード時 :  $f_{CLK} = 1 \text{ MHz (Min.)}$

**備考1.** IICEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット7

**2.**  $n = 0$

### 14.3.6 IICAロウ・レベル幅設定レジスタn (IICWLn)

シリアル・インタフェースIICAが、出力するSCLAn端子信号のロウ・レベル幅 ( $t_{low}$ ) とSDAAn端子信号を制御するレジスタです。

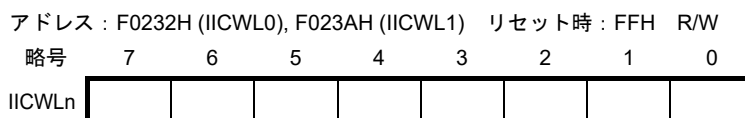
IICWLnレジスタは、8ビット・メモリ操作命令で設定します。

IICWLnレジスタは、I<sup>2</sup>Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

IICWLnの設定方法については、14.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法を参照してください。また、データ・ホールド時間はIICWLnで設定した時間の1/4になります。

図14-10 IICAロウ・レベル幅設定レジスタn (IICWLn) のフォーマット



### 14.3.7 IICAハイ・レベル幅設定レジスタn (IICWHn)

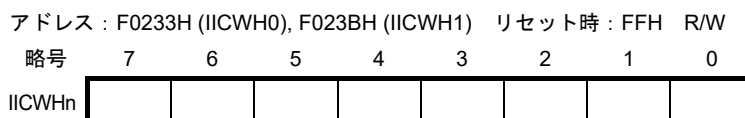
シリアル・インタフェースIICAが、出力するSCLAn端子信号のハイ・レベル幅とSDAAn端子信号を制御するレジスタです。

IICWHnレジスタは、8ビット・メモリ操作命令で設定します。

IICWHnレジスタは、I<sup>2</sup>Cが動作禁止 (IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図14-11 IICAハイ・レベル幅設定レジスタn (IICWHn) のフォーマット



**備考1.** マスタ側の転送クロックの設定方法は14.4.2.(1)を、スレーブ側のIICWLn, IICWHnレジスタの設定方法は、14.4.2.(2)を参照してください。

2. n = 0

### 14.3.8 ポート・モード・レジスタ6 (PM6)

ポート6の入力/出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力, P61/SDAA0端子をシリアル・データ入出力として使用するとき, PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICEn (IICAコントロール・レジスタn0 (IICCTLn0) のビット7) が0の場合, P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICEnビットに1を設定してから, 行ってください。

PM6レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図14-12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	PM63	PM62	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 14.4 I<sup>2</sup>Cバス・モードの機能

### 14.4.1 端子構成

シリアル・クロック端子（SCLAn）と、シリアル・データ・バス端子（SDAAn）の構成は、次のようになっています。

(1) SCLAn.....シリアル・クロックを入出力するための端子。

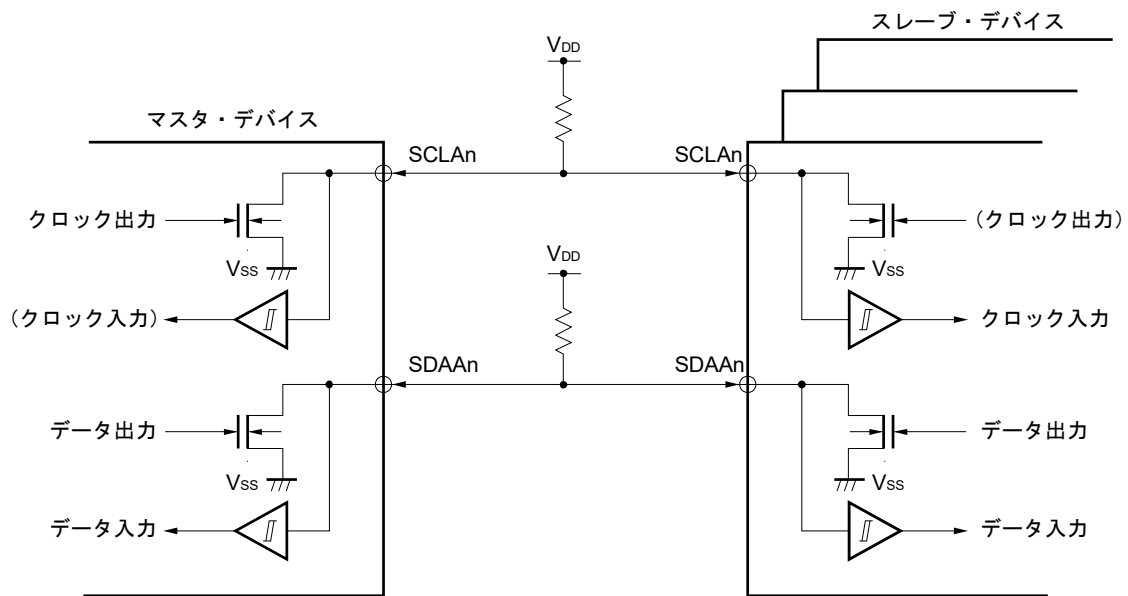
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAAn.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図14-13 端子構成図



備考 n = 0

## 14.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法

## (1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{MCK}}}{\text{IICWL} + \text{IICWH} + f_{\text{MCK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。  
(設定値はすべて小数点以下切り上げ)

## ・ファースト・モード時

$$\text{IICWLn} = \frac{0.52}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left( \frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

## ・標準モード時

$$\text{IICWLn} = \frac{0.47}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left( \frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

## ・ファースト・モード・プラス時

$$\text{IICWLn} = \frac{0.50}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left( \frac{0.50}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{MCK}}$$

## (2) スレーブ側のIICWLn, IICWHnレジスタ設定方法

(設定値はすべて小数点以下切り上げ)

## ・ファースト・モード時

$$\text{IICWLn} = 1.3 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{MCK}}$$

## ・標準モード時

$$\text{IICWLn} = 4.7 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times \text{MCK}$$

## ・ファースト・モード・プラス時

$$\text{IICWLn} = 0.50 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (0.50 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{MCK}}$$

(注意, 備考は, 次ページにあります。)

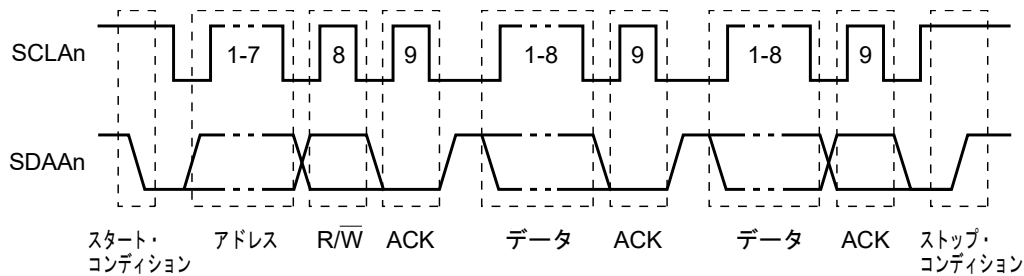
- 注意1.** IICA動作クロック ( $f_{MCK}$ ) の最高動作周波数は20 MHz (Max.) です。  $f_{CLK}$ が20 MHzを越える場合のみ、 IICAコントロール・レジスタn1 (IICCTLn1) のビット0 (PRSn) に"1"を設定してください。
- 2.** 転送クロックを設定する場合は、  $f_{CLK}$ の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって $f_{CLK}$ の最低動作周波数が決められています。
- ファースト・モード時 :  $f_{CLK} = 3.5 \text{ MHz (Min.)}$   
ファースト・モード・プラス時 :  $f_{CLK} = 10 \text{ MHz (Min.)}$   
標準モード時 :  $f_{CLK} = 1 \text{ MHz (Min.)}$
- 備考1.** SDAAn, SCLAn信号の立ち上がり時間 ( $t_R$ ) と立ち下がり時間 ( $t_F$ ) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。
- 2.** IICWLn : IICAロウ・レベル幅設定レジスタn  
IICWHn : IICAハイ・レベル幅設定レジスタn  
 $t_F$  : SDAAn, SCLAn信号の立ち下がり時間  
 $t_R$  : SDAAn, SCLAn信号の立ち上がり時間  
 $f_{MCK}$  : IICA動作クロック周波数
- 3.**  $n = 0$

## 14.5 I<sup>2</sup>Cバスの定義および制御方法

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図14-14に示します。

図14-14 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



★

スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

★

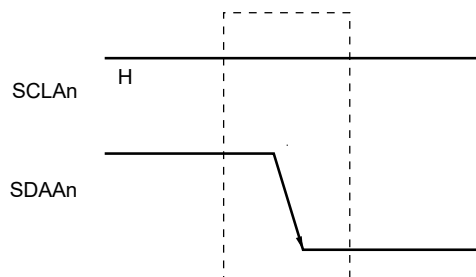
アックノリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロック (SCLAn) は、マスタが出力し続けます。ただし、スレーブはSCLAn端子のロウ・レベル期間を延長し、ウェイトを挿入できます。

### 14.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子、SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図14-15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPDn: IICAステータス・レジスタn (IICSn) のビット0 = 1) のときにIICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSnレジスタのビット1 (STDn) がセット (1) されます。

備考 n = 0

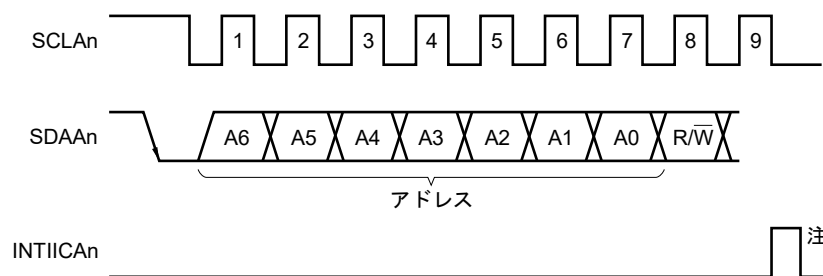
### 14.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ $n$  (SVAn) と一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図14-16 アドレス



**注** スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと14.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAnレジスタ $n$  (IICAn) に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれません。

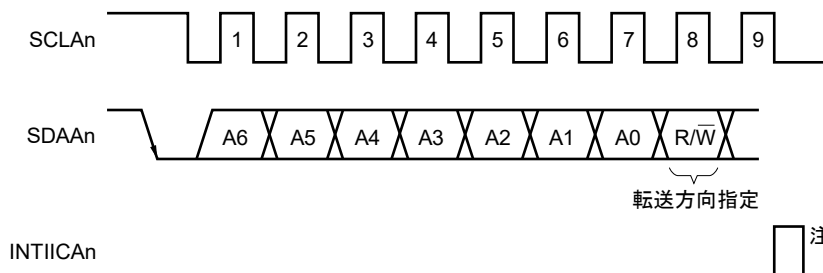
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

### 14.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図14-17 転送方向指定



**注** スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

**備考**  $n = 0$



## ★ 14.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタn (IICSn) のビット2 (ACKDn) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

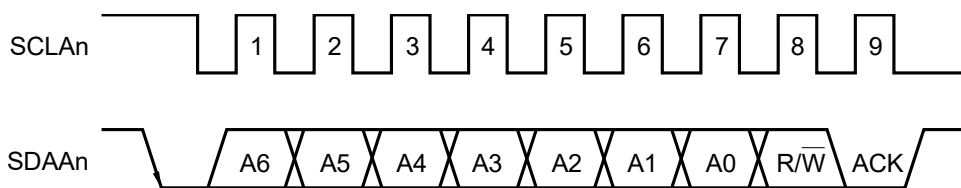
アクノリッジ生成は、受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます（正常受信）。

IICAコントロール・レジスタn0 (IICCTLn0) のビット2 (ACKEn) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3 (TRCn) が設定されます。受信 (TRCn = 0) の場合は、通常、ACKEnビットをセット (1) してください。

スレーブ受信動作時 (TRCn = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRCn = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図14-18 アクノリッジ



★

自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット (1) しておくことによってアクノリッジを生成します。データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

- ・8クロック・ウェイト選択時 (IICCTLn0レジスタのビット3 (WTIMn) = 0) :

ウェイト解除を行う前にACKEnビットをセット (1) することによって、SCLAn端子の8クロック目の立ち下がり同期してアクノリッジを生成します。

- ・9クロック・ウェイト選択時 (IICCTLn0レジスタのビット3 (WTIMn) = 1) :

あらかじめACKEnビットをセット (1) することによって、アクノリッジを生成します。

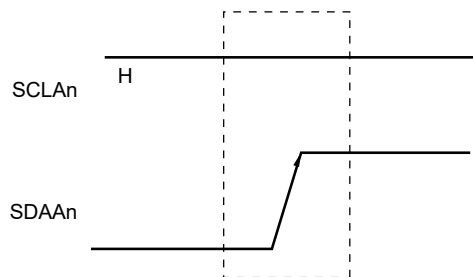
備考 n = 0

### 14.5.5 ストップ・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図14-19 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ $n$ 0 (IICCTL $n$ 0) のビット0 (SPT $n$ ) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ $n$  (IICS $n$ ) のビット0 (SPD $n$ ) がセット (1) され、IICCTL $n$ 0レジスタのビット4 (SPIE $n$ ) がセット (1) されている場合にはINTIICAnが発生します。

**備考**  $n = 0$

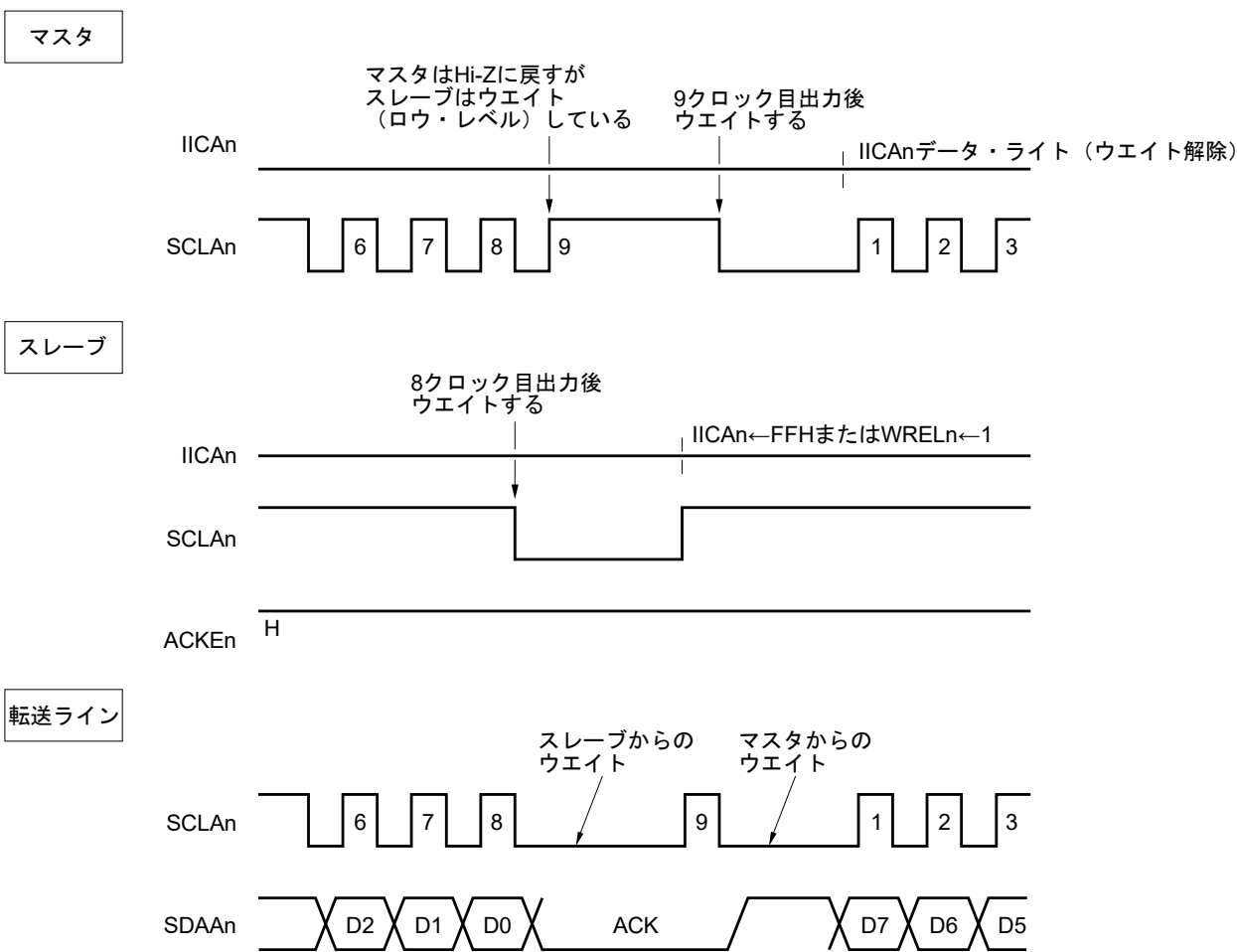
### 14.5.6 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図14-20 ウェイト (1/2)

(a) マスタは9クロック・ウェイト、スレーブは8クロック・ウェイト時  
 (マスタ：送信、スレーブ：受信、ACKEn = 1)

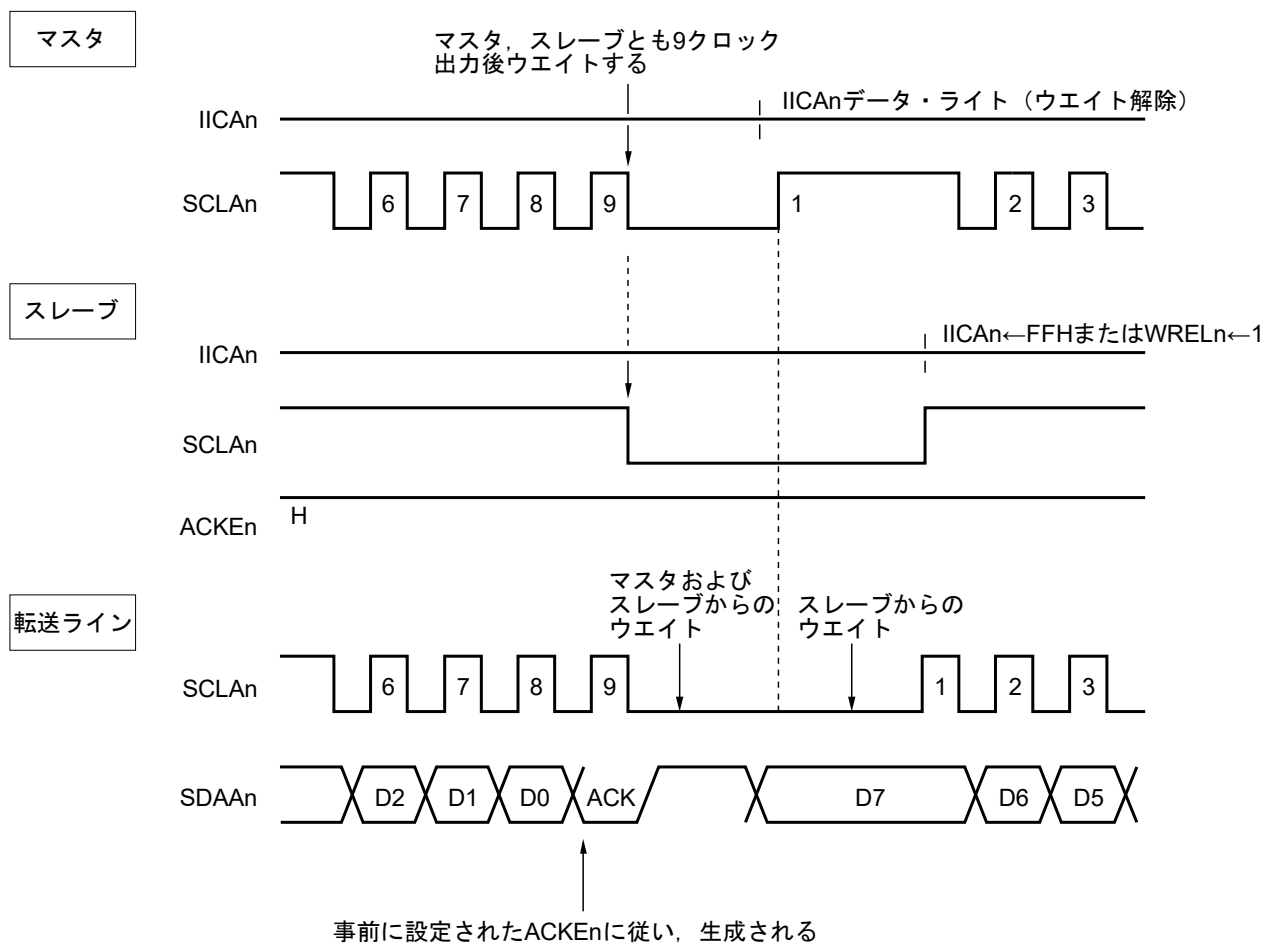


★

備考 n = 0

図14-20 ウェイト (2/2)

(b) マスタ、スレーブとも9クロック・ウェイト時  
 (マスタ：送信，スレーブ：受信，ACKEn = 1)



★

**備考** ACKEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット2  
 WRELn : " のビット5

ウェイトは、IICAコントロール・レジスタn0 (IICCTLn0) のビット3 (WTIMn) の設定により自動的に発生します。

通常、受信側はIICCTLn0レジスタのビット5 (WRELnビット) = 1またはIICAシフト・レジスタn (IICAn) にFFHを書き込むとウェイトを解除し、送信側はIICAnレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICCTLn0レジスタのビット1 (STTn) = 1
- ・ IICCTLn0レジスタのビット0 (SPTn) = 1

**備考** n = 0

### 14.5.7 ウェイト解除方法

I<sup>2</sup>Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタn (IICAn) へのデータ書き込み
- ・ IICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) のセット (ウェイト解除)
- ・ IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成)<sup>注</sup>
- ・ IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成)<sup>注</sup>

**注** マスタのみ。

これらのウェイト解除処理を実行した場合、I<sup>2</sup>Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICAnレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0レジスタのビット5 (WRELn) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICCTLn0レジスタのビット1 (STTn) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICCTLn0レジスタのビット0 (SPTn) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットにセット (1) によるウェイト解除後、IICAnレジスタへのデータ書き込みを実施した場合には、SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により、SDAAnラインへの出力データが間違っただけになる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEnビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I<sup>2</sup>Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0レジスタのビット6 (LRELn) をセット (1) すると通信から退避するので、ウェイトを解除できます。

**注意** WUPn = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

**備考** n = 0

### 14.5.8 割り込み要求 (INTIICAn) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタn0 (IICCTLn0) のビット3 (WTIMn) の設定で、表14-2に示すタイミングでINTIICAnが発生し、また、ウェイト制御を行います。

表14-2 INTIICAn発生タイミングおよびウェイト制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	g <sup>注1,2</sup>	g <sup>注2</sup>	g <sup>注2</sup>	9	8	8
1	g <sup>注1,2</sup>	g <sup>注2</sup>	g <sup>注2</sup>	9	9	9

**注1.** スレーブのINTIICAn信号およびウェイトは、スレーブ・アドレス・レジスタn (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICCTLn0レジスタのビット2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnが発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnが発生しますが、ウェイトは発生しません。

**2.** スレーブ・アドレス・レジスタn (SVAn) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAnもウェイトも発生しません。

**備考** 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

#### (1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

#### (2) データ受信時

- ・マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (3) データ送信時

- ・マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

**備考** n = 0

#### (4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタn (IICAn) へのデータ書き込み
- ・ IICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) のセット (ウェイト解除)
- ・ IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成)<sup>注</sup>
- ・ IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成)<sup>注</sup>

**注** マスタのみ。

8クロック・ウェイト選択 (WTIMn = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

#### (5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

### 14.5.9 アドレスの一致検出方法

I<sup>2</sup>Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタn (SVAn) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICAn割り込み要求が発生します。

#### 14.5.10 エラーの検出

I<sup>2</sup>Cバス・モードでは、送信中のシリアル・バス (SDAAn) の状態が、送信しているデバイスのIICAシフト・レジスタn (IICAn) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

**備考** n = 0

### 14.5.11 1拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセット (1) し、8クロック目の立ち下がりで割り込み要求 (INTIICAn) を発生します。

スレーブ・アドレス・レジスタn (SVAn) に格納された自局アドレスは影響しません。

(2) SVAnレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICAn) は、8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 : EXCn = 1

・7ビット・データの一致 : COIn = 1

**備考** EXCn : IICAステータス・レジスタn (IICSn) のビット5

COIn : IICAステータス・レジスタn (IICSn) のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。

スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタn0 (IICCTLn0) のビット6 (LRELn) = 1に設定してください。次の通信待機状態にします。

表14-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0 0 0 0 0 0 0	0	ジェネラル・コール・アドレス
1 1 1 1 0 x x	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1 1 1 1 0 x x	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

**備考1.** 上記以外の拡張コードについては、NXP社発行のI<sup>2</sup>Cバスの仕様書を参照してください。

2. n = 0



### 14.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合 (STDn = 1になる前にSTTn = 1にしたとき)、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICAステータス・レジスタn (IICSn) のアービトレーション負けフラグ (ALDn) をセット (1) し、SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

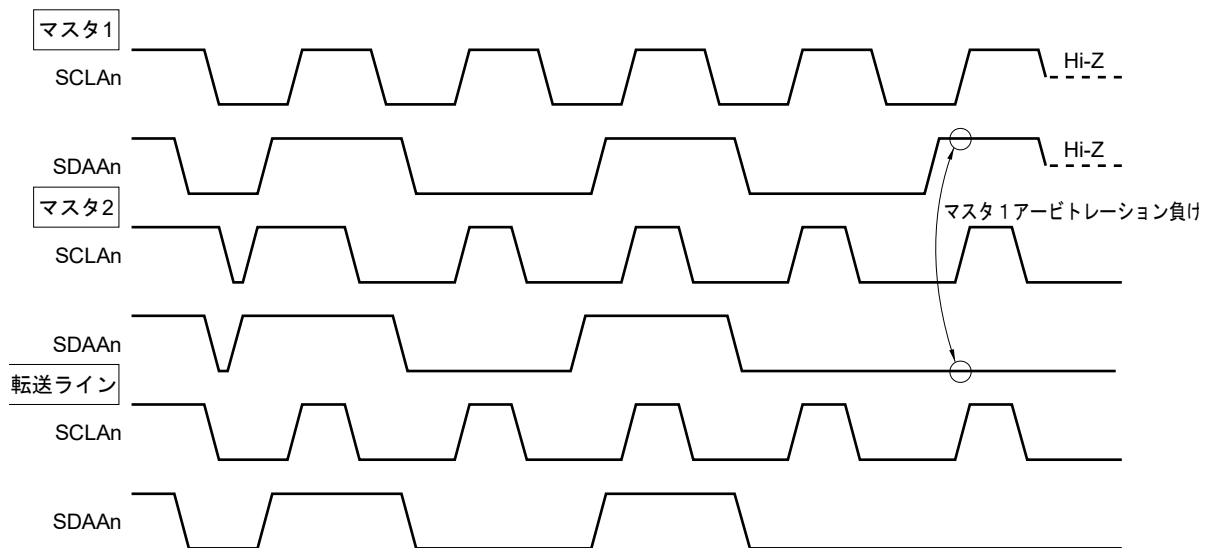
アービトレーションに負けたことは、次の割り込み要求発生タイミング (8または9クロック目、ストップ・コンディション検出など) で、ソフトウェアでALDn = 1になっていることで検出します。

割り込み要求発生タイミングについては、14.5.8 割り込み要求 (INTIICAn) の発生タイミングおよびウエイト制御を参照してください。

**備考** STDn : IICAステータス・レジスタn (IICSn) のビット1

STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

図14-21 アービトレーション・タイミング例



**備考** n = 0

表14-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) <sup>注2</sup>
データ転送中, ストップ・コンディション検出	
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) <sup>注2</sup>
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

**注1.** WTIMnビット (IICAコントロール・レジスタn0 (IICCTLn0) のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求が発生します。

**2.** アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

**備考1.** SPIEn : IICAコントロール・レジスタn0 (IICCTLn0) のビット4

**2.** n = 0

### 14.5.13 ウェイク・アップ機能

I<sup>2</sup>Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生する機能です。

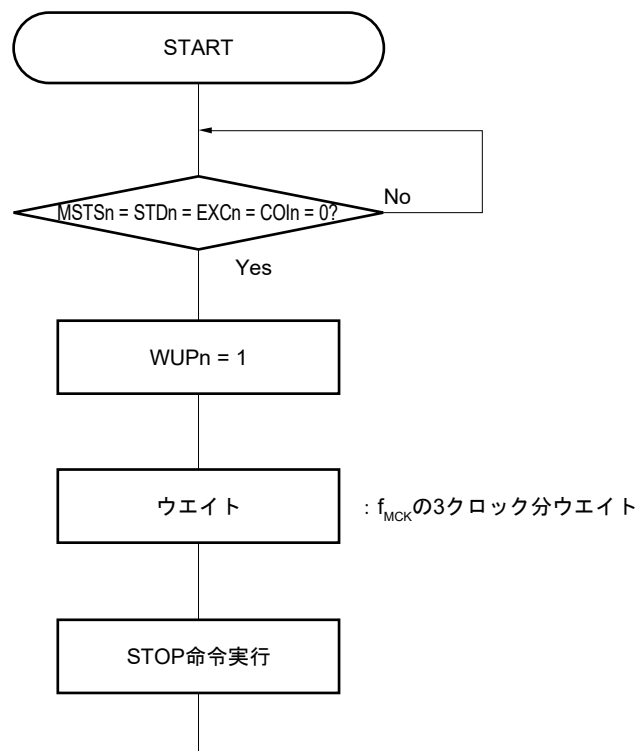
アドレスが一致しないときは不要なINTIICAn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生します。この割り込み発生後に命令でWUPnビットをクリア (0) することで通常動作に戻ります。

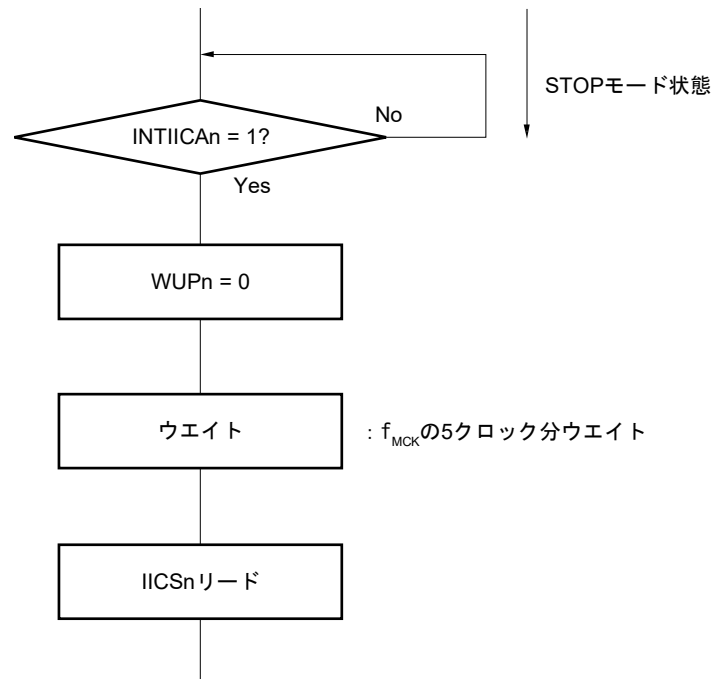
WUPn = 1に設定する場合のフローを図14-22に、アドレス一致によりWUPn = 0に設定する場合のフローを図14-23に示します。

図14-22 WUPn = 1を設定する場合のフロー



備考 n = 0

図14-23 アドレス一致によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）



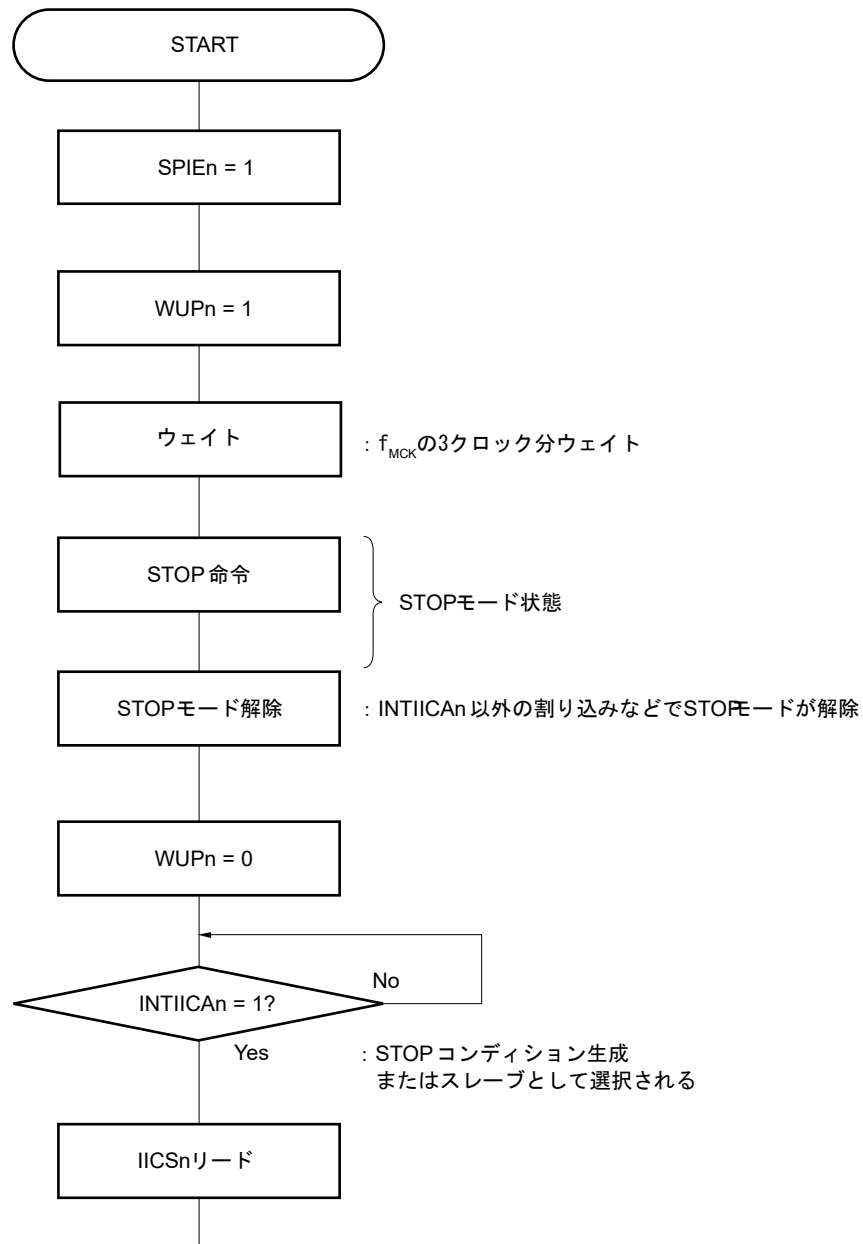
シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

また、シリアル・インタフェースIICAからの割り込み要求（INTIICAn）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・ 次のIIC通信をマスタとして動作させる場合 : 図14-24のフロー
- ・ 次のIIC通信をスレーブとして動作させる場合
  - INTIICAn割り込みで復帰したとき : 図14-23のフローと同じになります。
  - INTIICAn割り込み以外の割り込みで復帰したとき : INTIICAn割り込みが発生するまでWUPn=1のまま動作を継続してください。

備考 n = 0

図14-24 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

**備考** n = 0

### 14.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタn (IICFn) のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICAコントロール・レジスタn0 (IICCTLn0) のビット6 (LRELn) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn) をセット (1) し、割り込み要求信号 (INTIICAn) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタn (IICAn) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) ……通信予約

通信予約として動作するかどうかは、STTnビットをセット (1) し、ウェイト時間をとったあと、MSTS<sub>n</sub> ビット (IICAステータス・レジスタn (IICSn) のビット7) で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

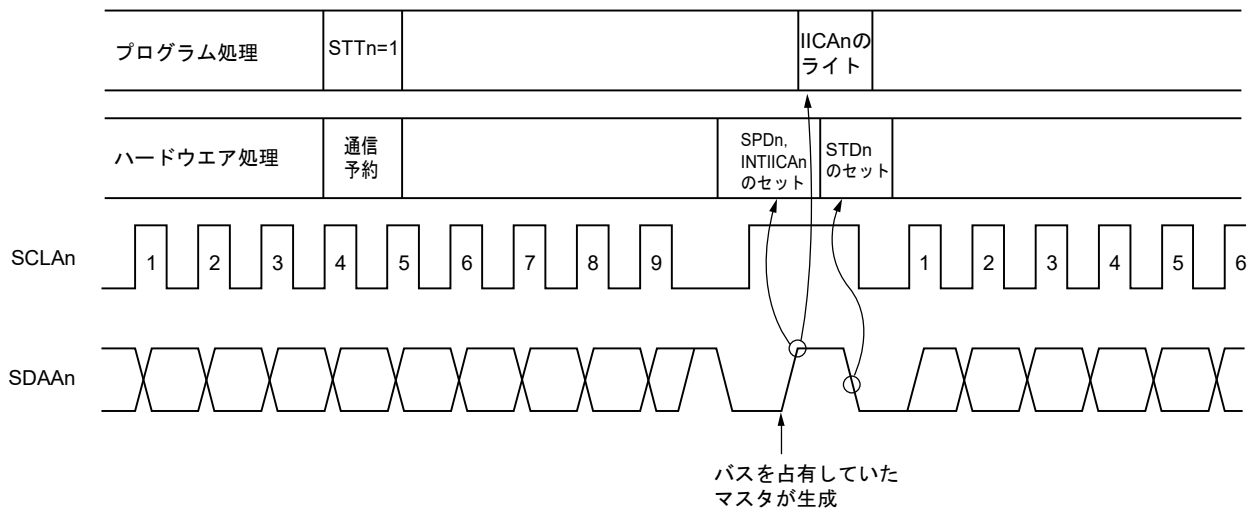
<p>STTn = 1からMSTS<sub>n</sub>フラグ確認までのウェイト時間 :</p> $(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / f_{MCK} + t_F \times 2$
--

- 備考1.** IICWLn : IICAロウ・レベル幅設定レジスタn  
 IICWHn : IICAハイ・レベル幅設定レジスタn  
 t<sub>F</sub> : SDAAn, SCLAn信号の立ち下がり時間  
 f<sub>MCK</sub> : IICA動作クロック周波数

2. n = 0

通信予約のタイミングを図14-25に示します。

図14-25 通信予約のタイミング



**備考** IICAn : IICAシフト・レジスタn

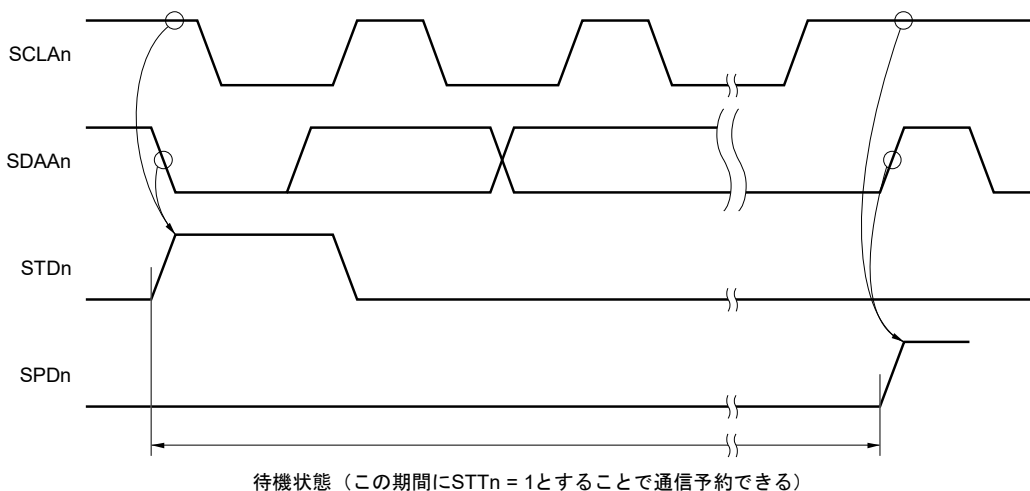
STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

STDn : IICAステータス・レジスタn (IICSn) のビット1

SPDn : " のビット0

通信予約は図14-26に示すタイミングで受け付けられます。IICAステータス・レジスタn (IICSn) のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) = 1で通信予約をします。

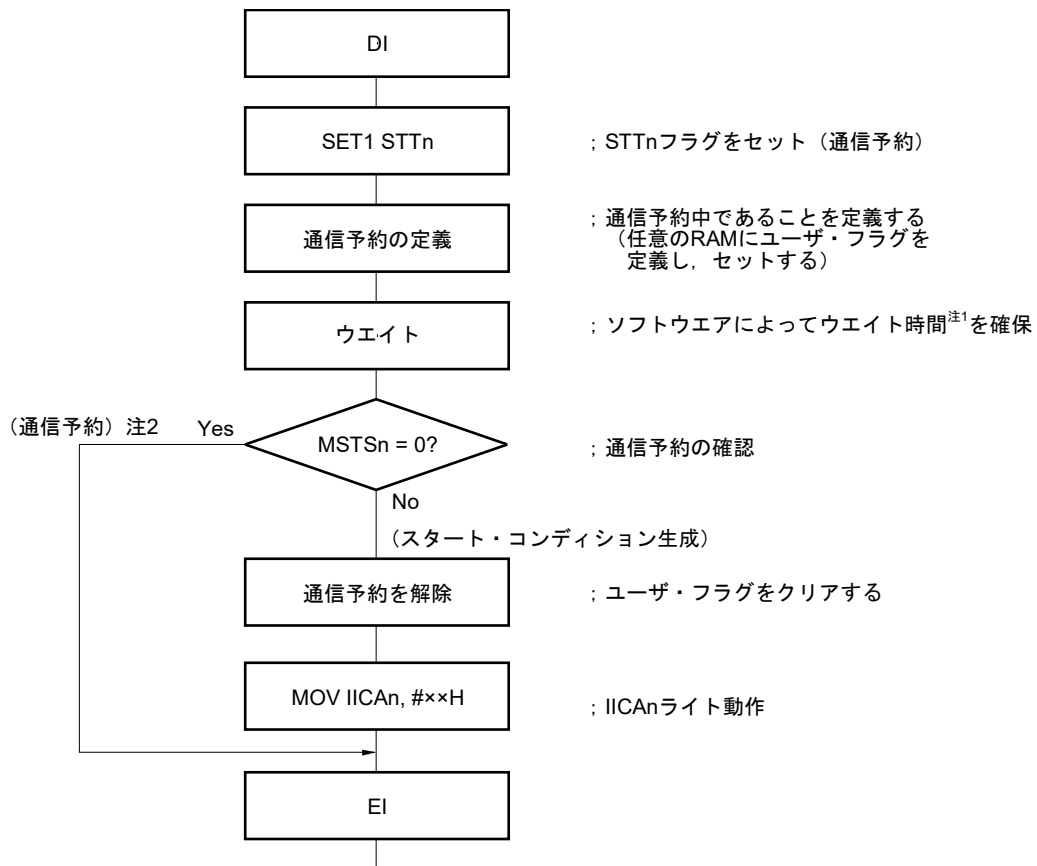
図14-26 通信予約受け付けタイミング



**備考** n = 0

図14-27に通信予約の手順を示します。

図14-27 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / f_{MCK} + t_f \times 2$$

2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタn (IICAn) への書き込みを実行します。

備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

MSTSn : IICAステータス・レジスタn (IICSn) のビット7

IICAn : IICAシフト・レジスタn

IICWLn : IICAロウ・レベル幅設定レジスタn

IICWHn : IICAハイ・レベル幅設定レジスタn

$t_f$  : SDAAn, SCLAn信号の立ち下がり時間

$f_{MCK}$  : IICA動作クロック周波数

2. n = 0



## (2) 通信予約機能禁止の場合 (IICAフラグ・レジスタn (IICFn) のビット0 (IICRSVn) = 1)

バスが通信中で、この通信に不参加の状態(IICAコントロール・レジスタn0 (IICCTLn0) のビット1 (STTn) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTLn0レジスタのビット6 (LRELn) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFn (IICFnレジスタのビット7) で確認できます。STTn = 1としてからSTCFnがセット (1) されるまで $f_{MCK}$ の5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0

### 14.5.15 その他の注意事項

#### (1) STCENn = 0の場合

I<sup>2</sup>C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSYn = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタn1 (IICCTLn1) を設定する
- ② IICAコントロール・レジスタn0 (IICCTLn0) のビット7 (IICEn) をセット (1) する
- ③ IICCTLn0レジスタのビット0 (SPTn) をセット (1) する

#### (2) STCENn = 1の場合

I<sup>2</sup>C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを生成 (STTn = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

#### (3) すでに他者との間でI<sup>2</sup>C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I<sup>2</sup>C動作を許可して通信に途中参加すると、I<sup>2</sup>CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI<sup>2</sup>C通信を妨害してしまいます。これを回避するために、次の順番でI<sup>2</sup>Cを起動してください。

- ① IICCTLn0レジスタのビット4 (SPIEn) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICAn) 発生を禁止する
- ② IICCTLn0レジスタのビット7 (IICEn) をセット (1) し、I<sup>2</sup>Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで (IICEnビットをセット (1) してから、f<sub>MCK</sub>の4~72クロック中) に、IICCTLn0レジスタのビット6 (LRELn) をセット (1) にし、強制的に検出を無効とする

(4) STTn, SPTnビット (IICCTLn0レジスタのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット (IICCTLn0レジスタのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタn (IICAn) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTSnビット (IICAステータス・レジスタn (IICSn) のビット7) を検出する場合には、SPIEnビットをセット (1) する必要はありません。

備考 n = 0

### 14.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

#### (1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

#### (2) マルチマスタ・システムでのマスタ動作

I<sup>2</sup>Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI<sup>2</sup>Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

#### (3) スレーブ動作

I<sup>2</sup>Cバスのスレーブとして使用する場合の例を示します。

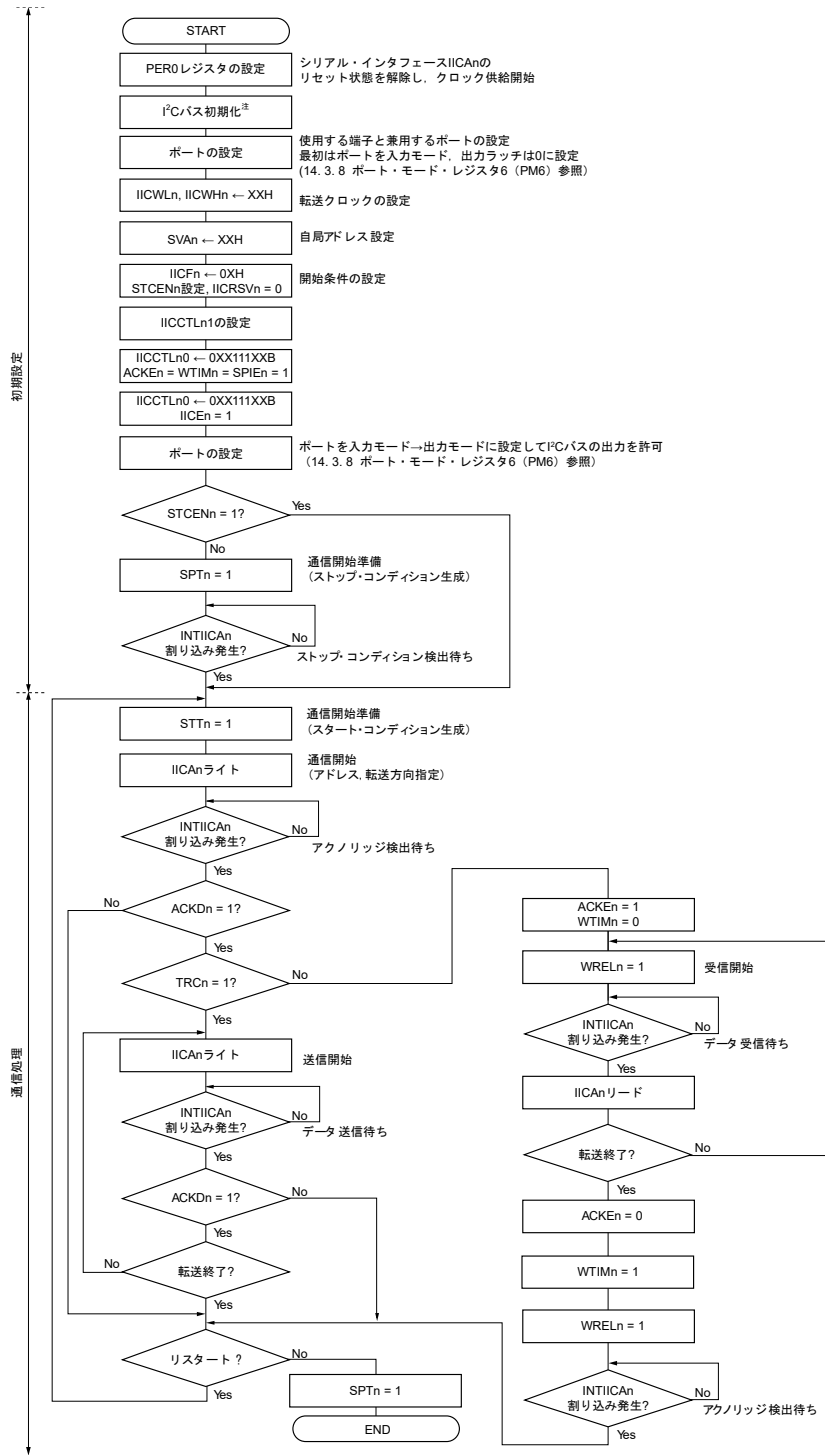
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

**備考** n = 0

(1) シングルマスタ・システムでのマスタ動作

図14-28 シングルマスタ・システムでのマスタ動作



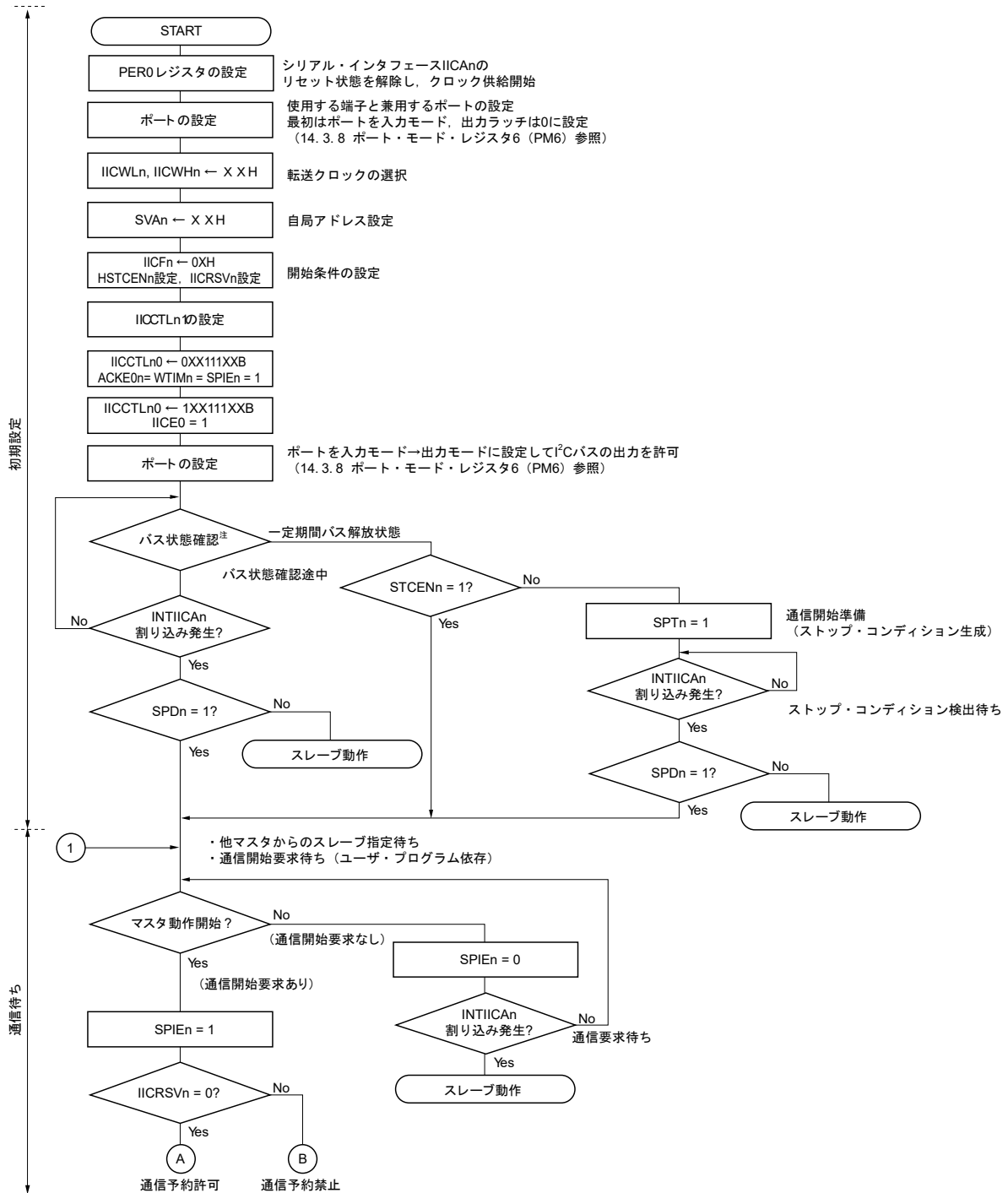
**注** 通信している製品の仕様に準拠し、I<sup>2</sup>Cバスを解放 (SCLAn, SDAAn端子 = ハイ・レベル) してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

**備考1.** 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

2. n = 0

(2) マルチマスタ・システムでのマスタ動作

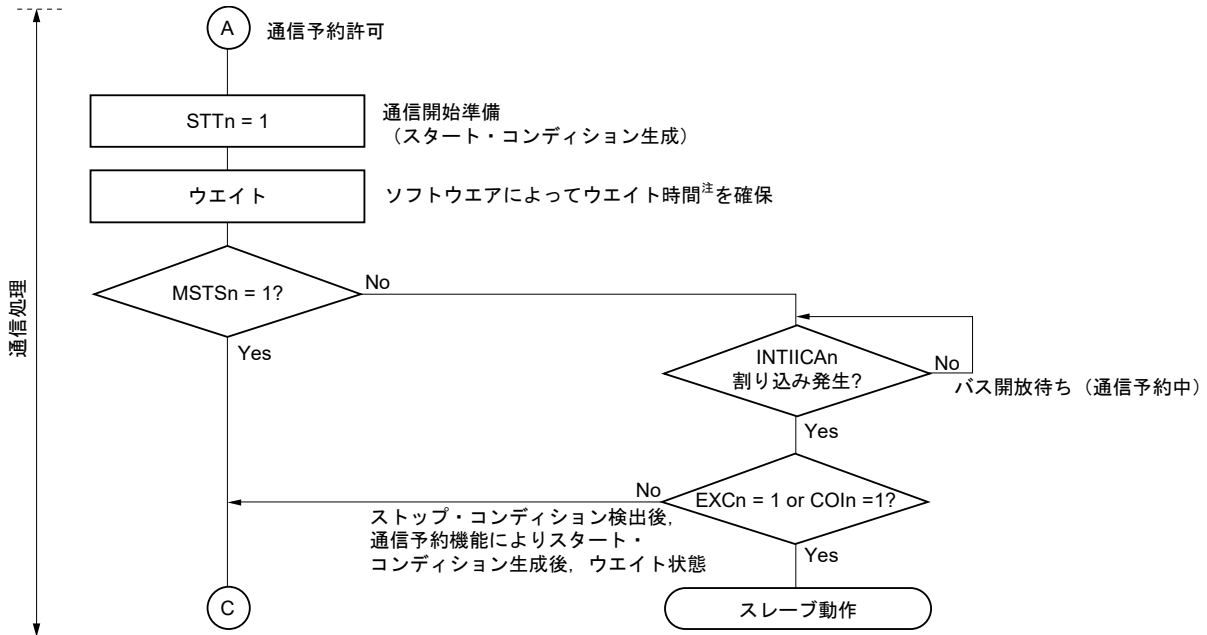
図14-29 マルチマスタ・システムでのマスタ動作 (1/3)



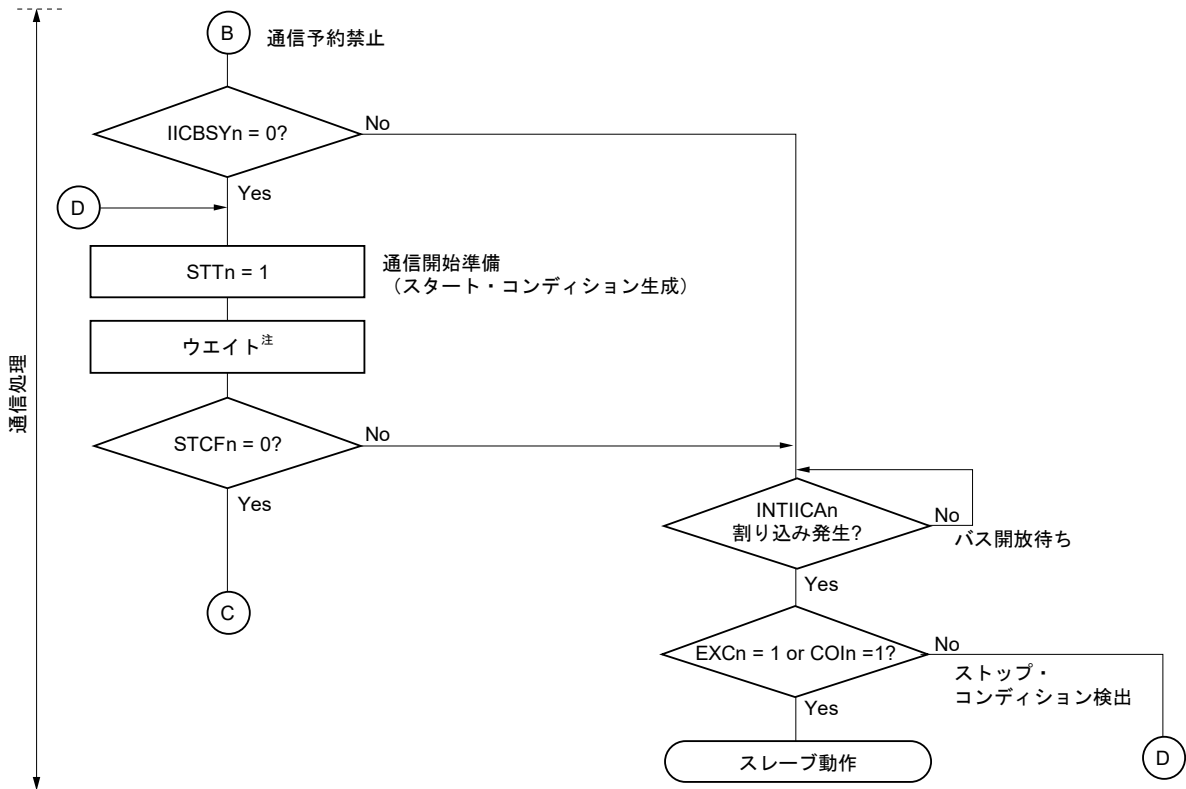
**注** 一定期間 (たとえば1フレーム分), バス解放状態 (CLDnビット = 1, DADnビット = 1) であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I<sup>2</sup>Cバスを解放 (SCLAn, SDAAn端子 = ハイ・レベル) するか判断してください。

**備考** n = 0

図14-29 マルチマスタ・システムでのマスタ動作 (2/3)



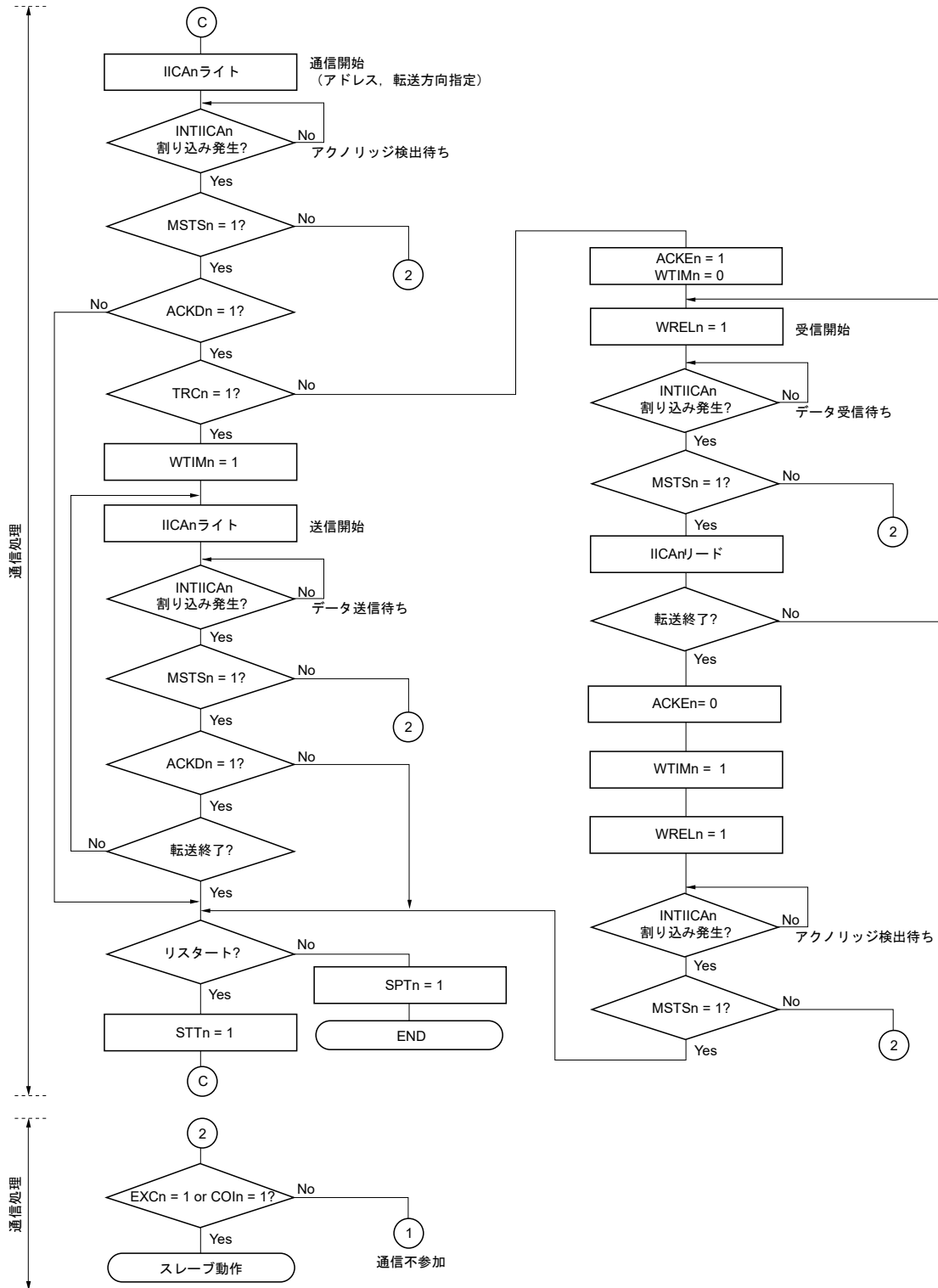
注 ウェイト時間は次のようになります。  
 $(IICWLn$ の設定値+ $IICWHn$ の設定値+4クロック) /  $f_{CLK} + t_F \times 2$



- 備考1.  $IICWLn$  : IICAロウ・レベル幅設定レジスタn  
 $IICWHn$  : IICAハイ・レベル幅設定レジスタn  
 $t_F$  : SDAAn, SCLAn信号の立ち下がり時間  
 $f_{MCK}$  : IICA動作クロック周波数

2.  $n = 0$

図14-29 マルチマスタ・システムでのマスタ動作 (3/3)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

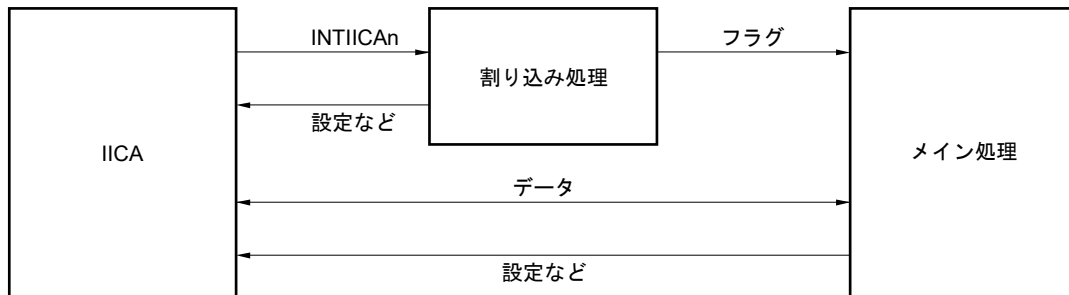
2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み発生ごとにMSTSnビットをリードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn割り込み発生ごとにIICAステータス・レジスタn (IICSn), IICAフラグ・レジスタn (IICFn) でステータスを確認して次に行う処理を決定してください。
4. n = 0

## (3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

## ① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

## ② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

## ③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

**備考** n = 0



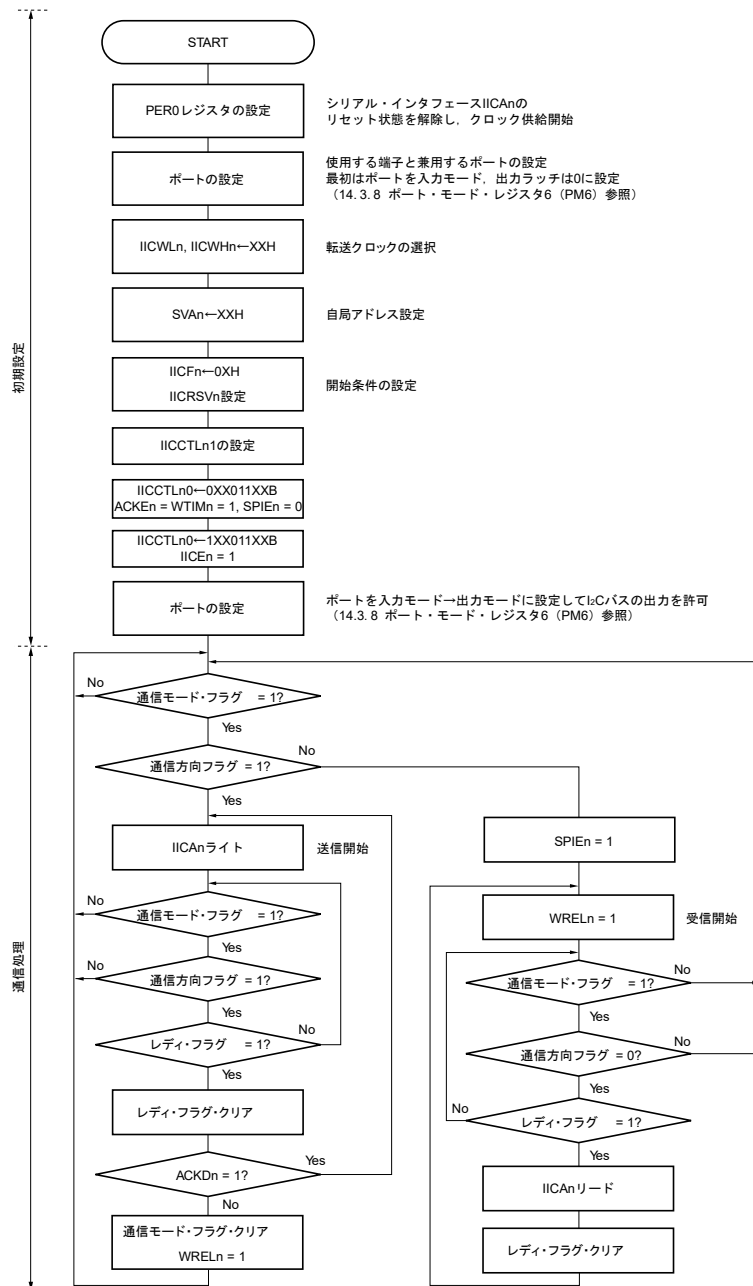
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図14-30 スレーブ動作手順 (1)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

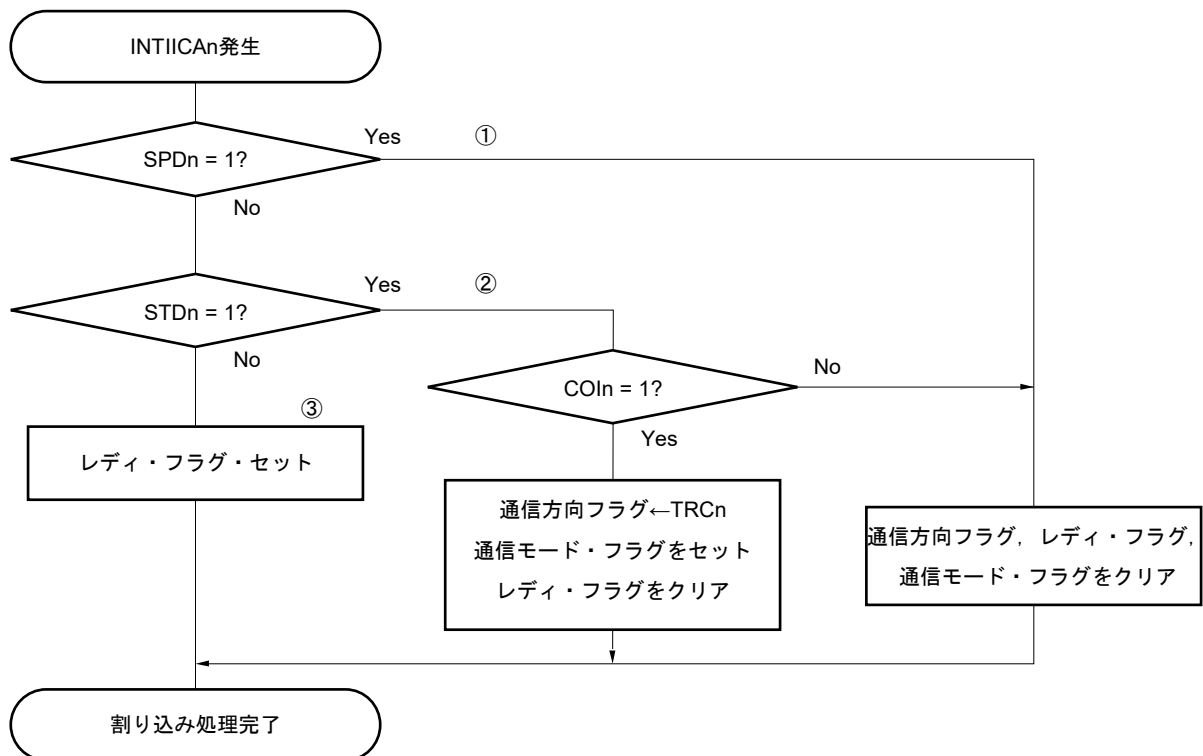
2. n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して、次のように行います。

- ①ストップ・コンディションの場合、通信を終了します。
- ②スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。  
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③データ送受信の場合、レディ・フラグをセットするだけで、I<sup>2</sup>Cバスはウェイト状態のまま、割り込みから戻ります。

**備考** 上述の①～③は、図14-31 スレーブ動作手順（2）の①～③と対応しています。

図14-31 スレーブ動作手順（2）



**備考** n = 0

### 14.5.17 I<sup>2</sup>C割り込み要求 (INTIICAn) の発生タイミング

次に、データの送受信、INTIICAn割り込み要求信号発生タイミングと、INTIICAn信号タイミングでのIICAステータス・レジスタn (IICSn) の値を示します。

備考1. ST : スタート・コンディション

AD6-AD0 : アドレス

R/ $\bar{W}$  : 転送方向指定

ACK : アクノリッジ

D7-D0 : データ

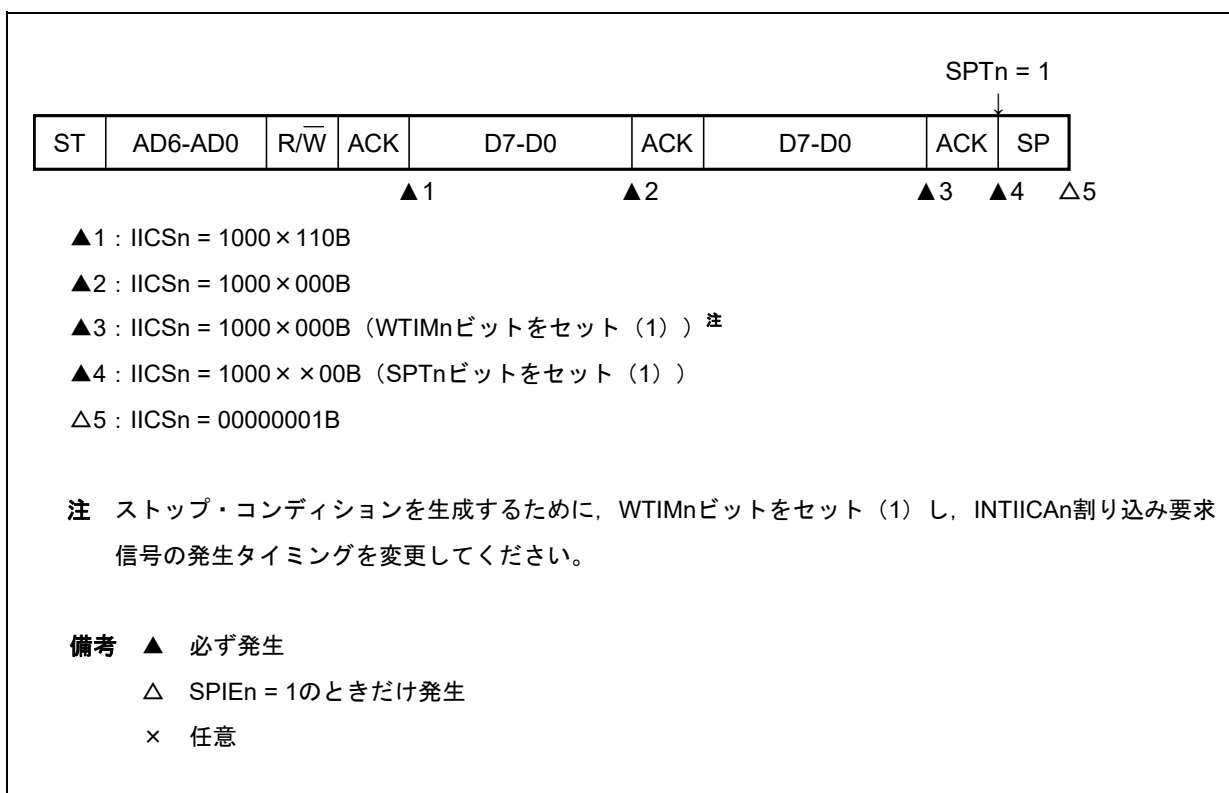
SP : ストップ・コンディション

2. n = 0

★

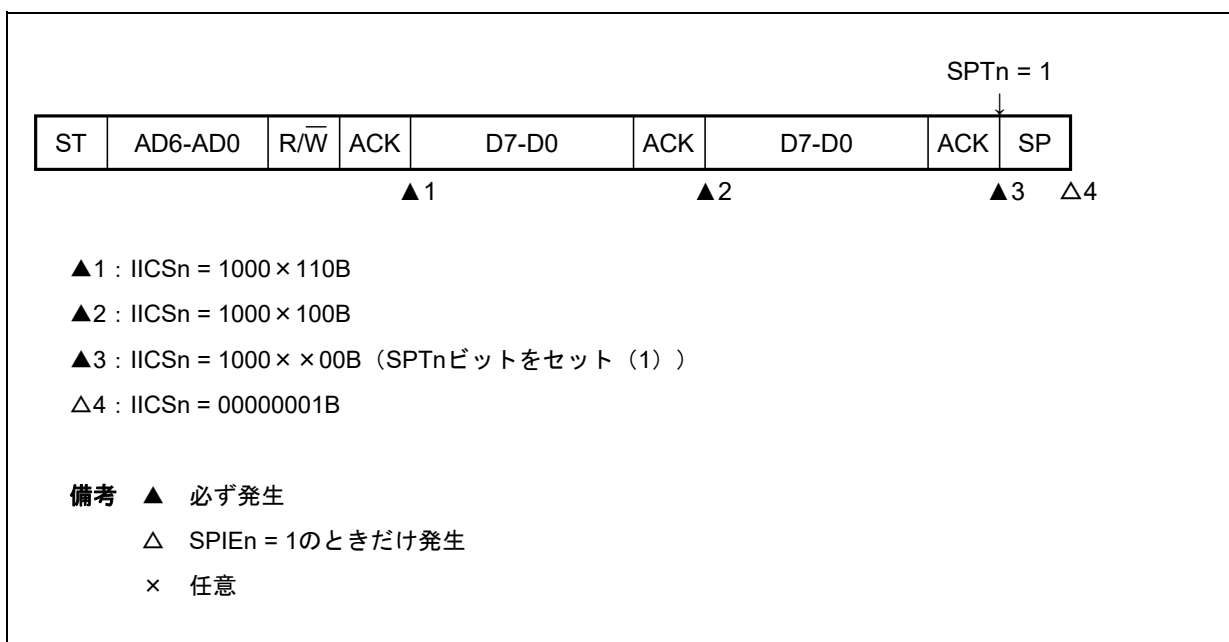
- (1) マスタ動作  
 (a) Start~Address~Data~Data~Stop (送受信)  
 (i) WTIMn = 0のとき

★



- (ii) WTIMn = 1のとき

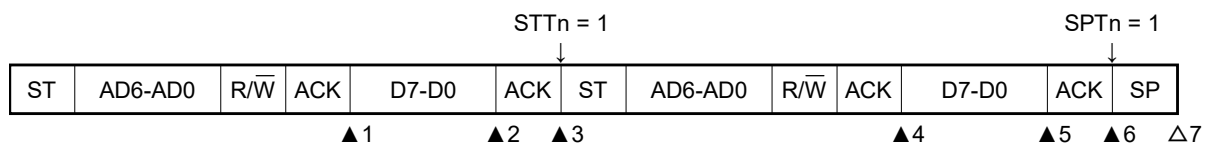
★



備考 n = 0

(b) Start~Address~Data~Start~Address~Data~Stop (リスタート)

(i) WTIMn = 0のとき



▲1 : IICSn = 1000 × 110 B

▲2 : IICSn = 1000 × 000 B (WTIMnビットをセット (1) 注1)

▲3 : IICSn = 1000 × × 00 B (WTIMnビットをクリア (0) 注2, STTnビットをセット (1) )

▲4 : IICSn = 1000 × 110 B

▲5 : IICSn = 1000 × 000 B (WTIMnビットをセット (1) 注3)

▲6 : IICSn = 1000 × × 00 B (SPTnビットをセット (1) )

△7 : IICSn = 00000001 B

注1. スタート・コンディションを生成するために、WTIMnビットをセット (1) し、INTIICAn割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために、WTIMnビットをクリア (0) してください。

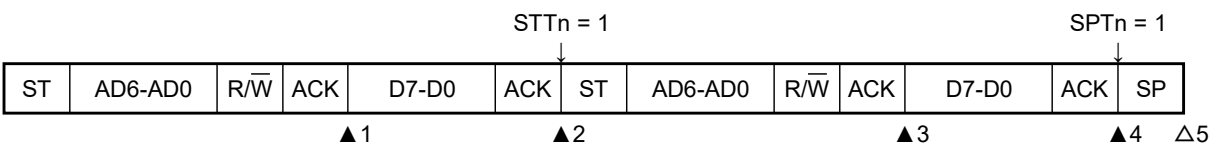
3. ストップ・コンディションを生成するために、WTIMnビットをセット (1) し、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき



▲1 : IICSn = 1000 × 110 B

▲2 : IICSn = 1000 × × 00 B (STTnビットをセット (1) )

▲3 : IICSn = 1000 × 110 B

▲4 : IICSn = 1000 × × 00 B (SPTnビットをセット (1) )

△5 : IICSn = 00000001 B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

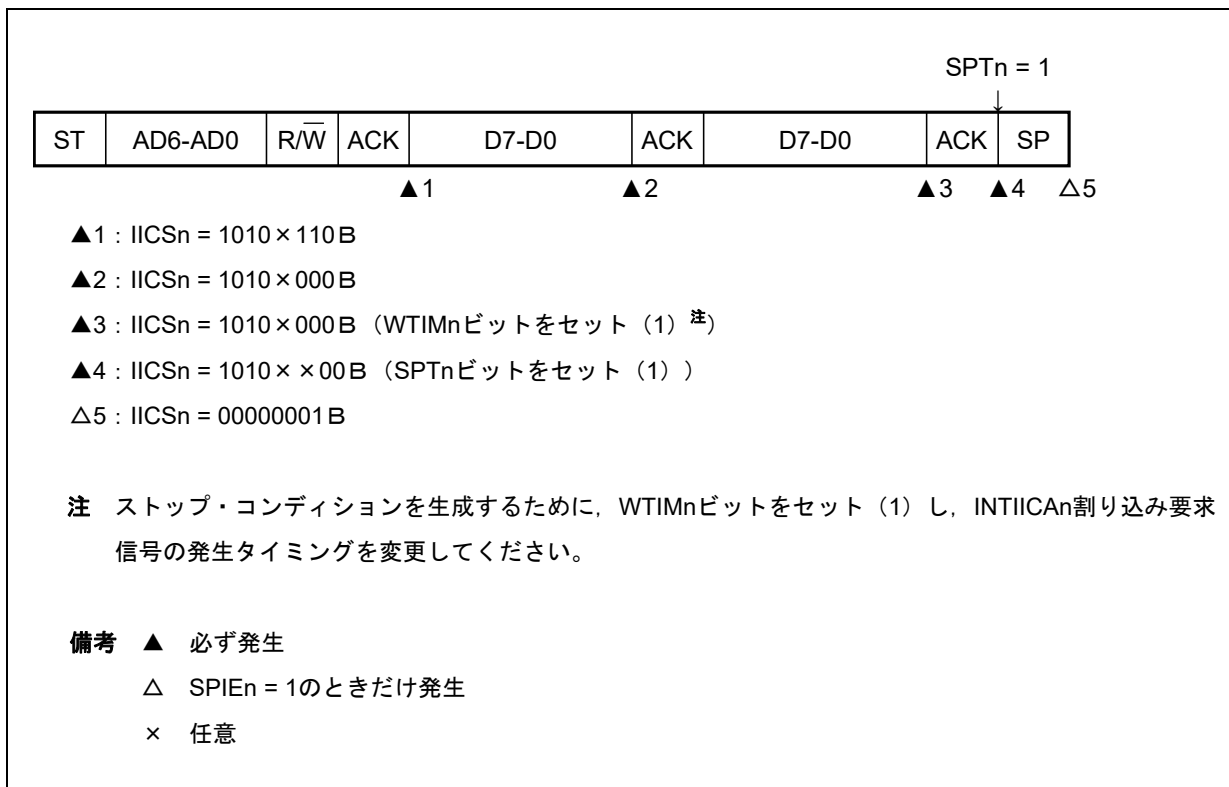
× 任意

備考 n = 0

(c) Start~Code~Data~Data~Stop (拡張コード送信)

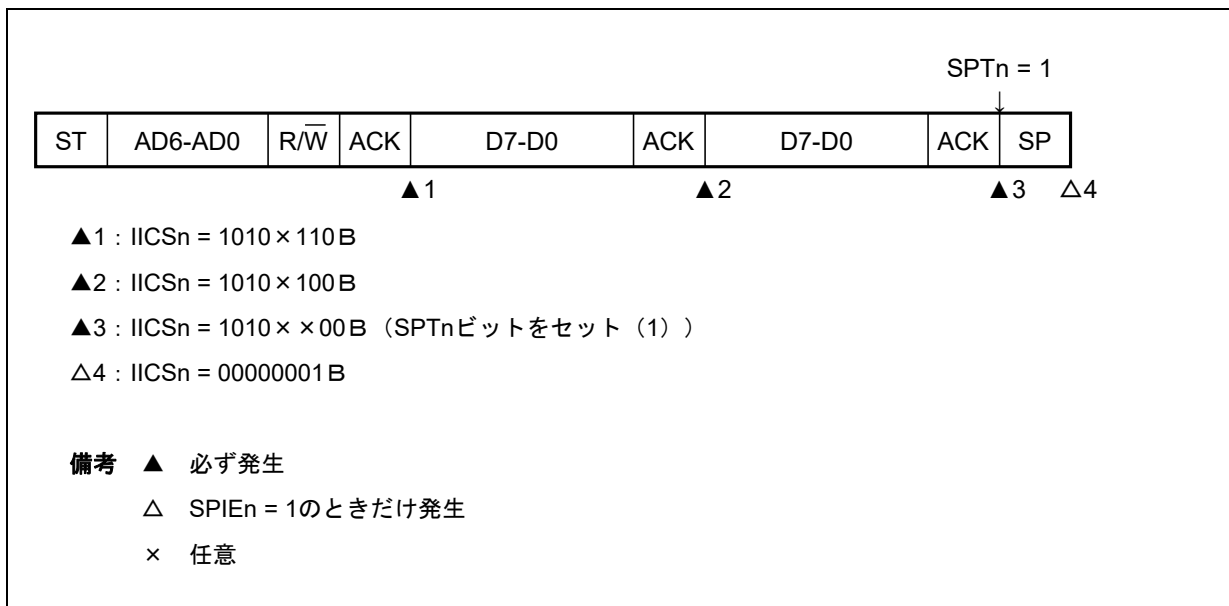
(i) WTIMn = 0のとき

★



(ii) WTIMn = 1のとき

★



★

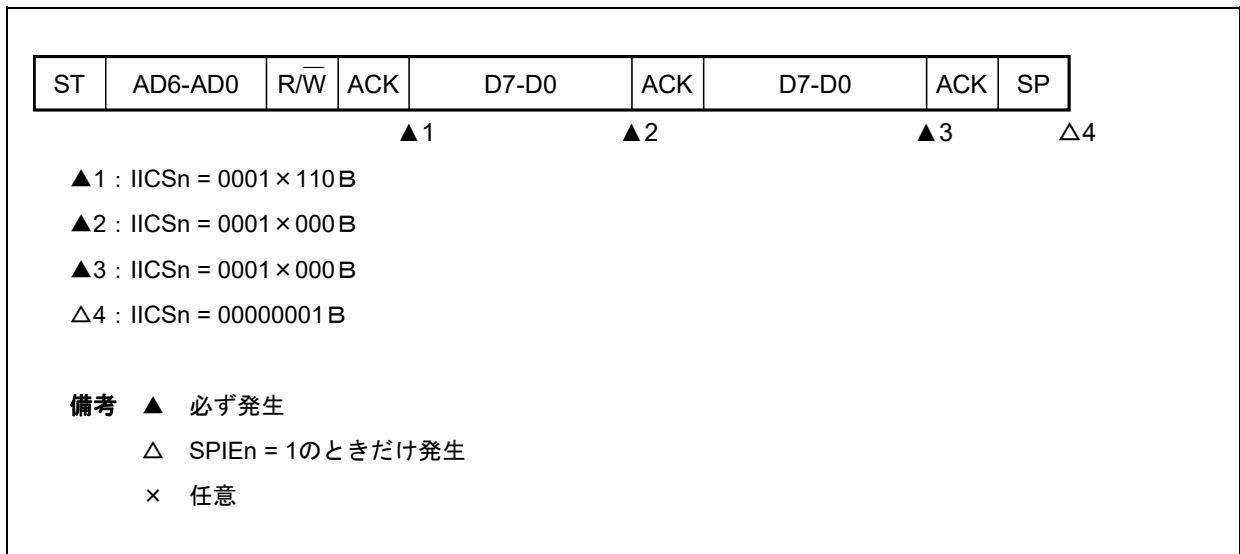
備考 n = 0

(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start~Address~Data~Data~Stop

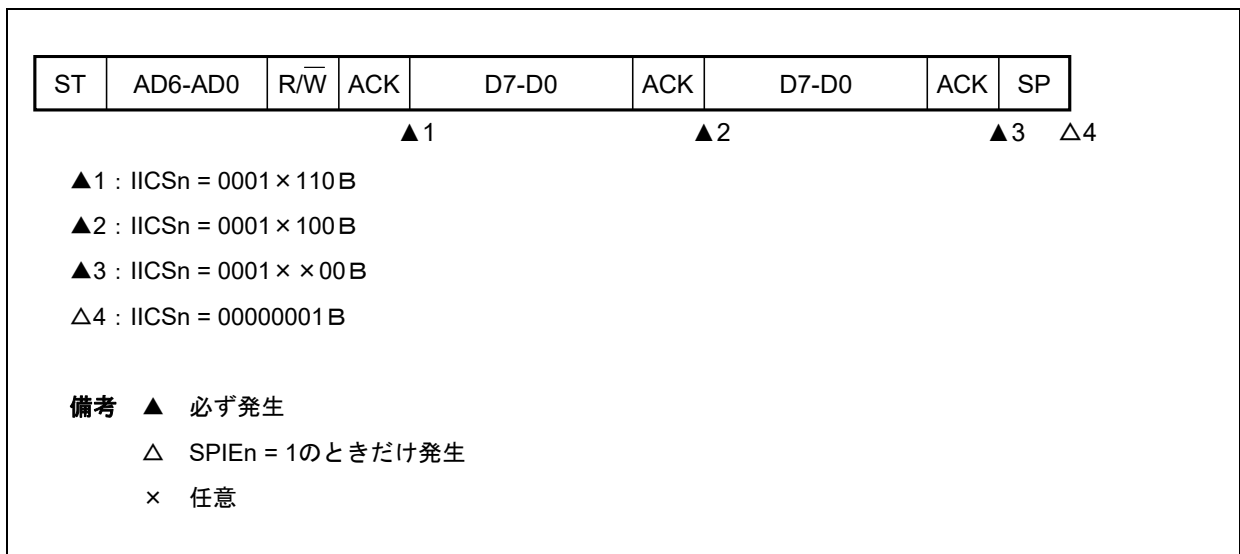
(i) WTIMn = 0のとき

★



(ii) WTIMn = 1のとき

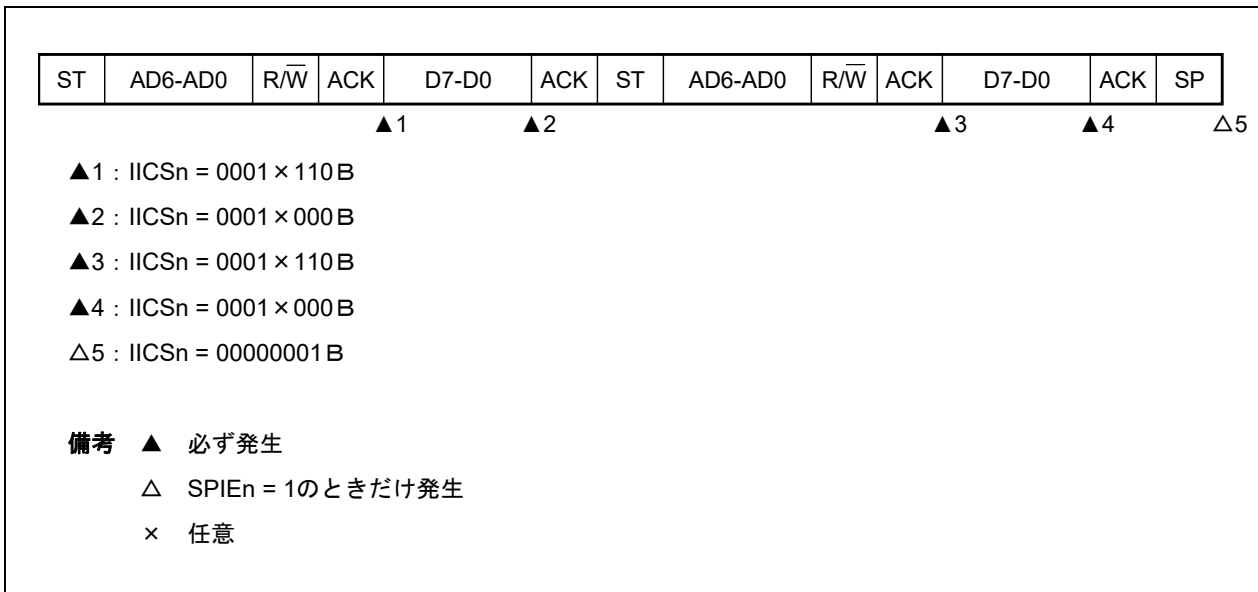
★

**備考** n = 0

(b) Start~Address~Data~Start~Address~Data~Stop

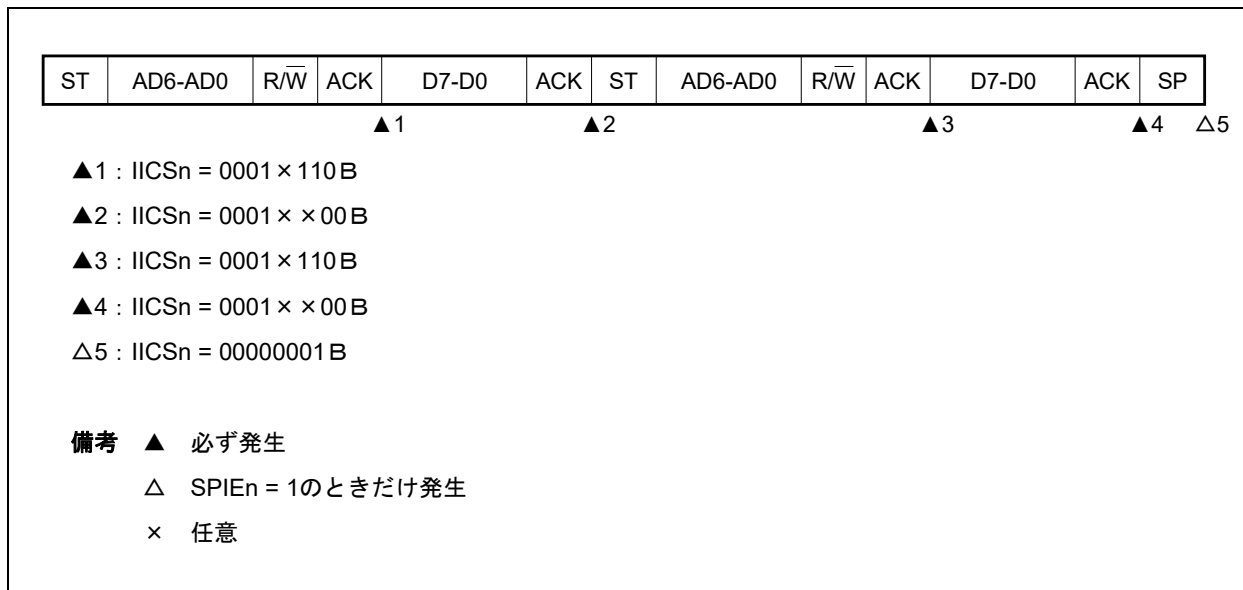
(i) WTIMn = 0のとき (リスタート後, SVAn一致)

★



(ii) WTIMn = 1のとき (リスタート後, SVAn一致)

★

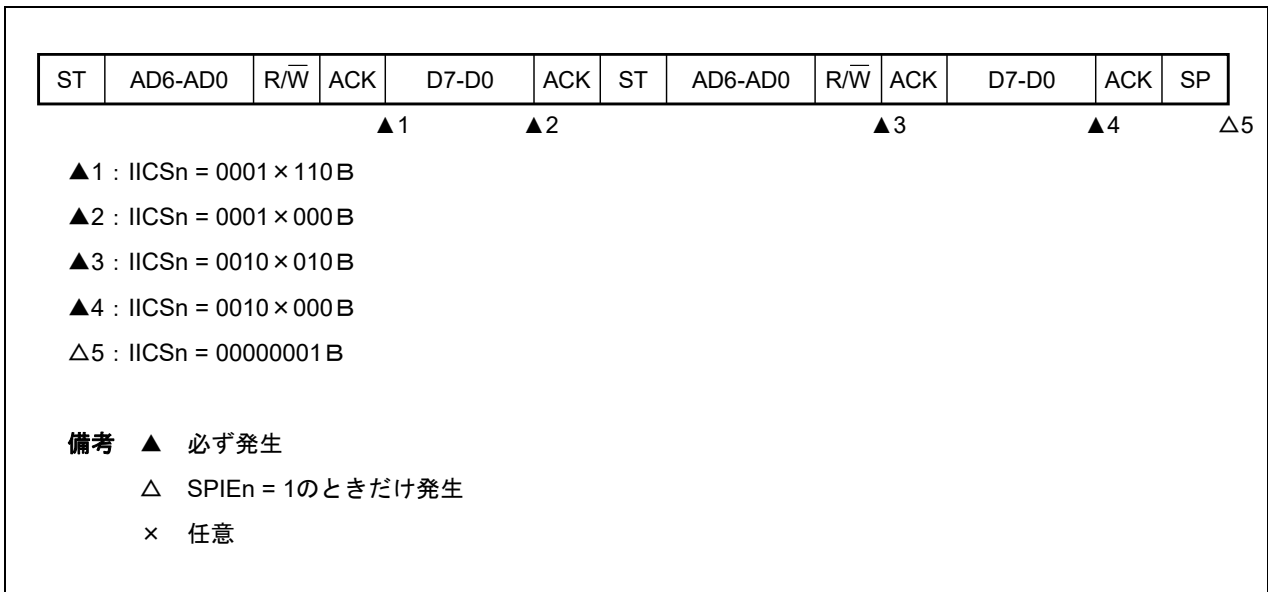
**備考** n = 0



(c) Start~Address~Data~Start~Code~Data~Stop

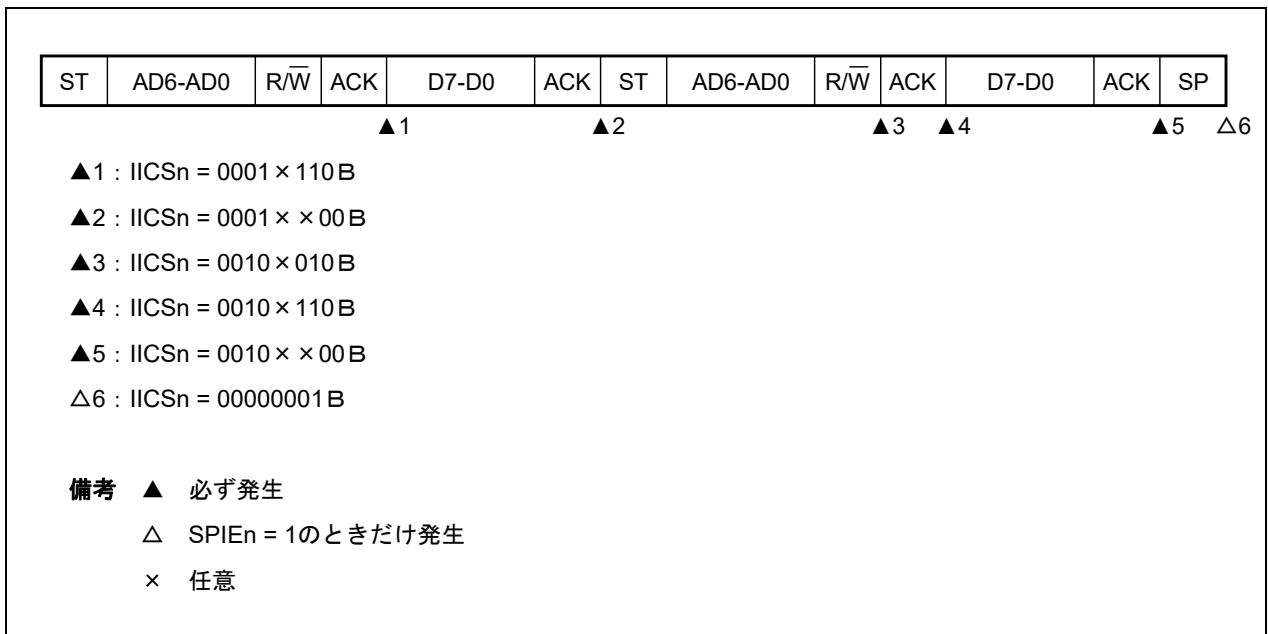
(i) WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード))

★



(ii) WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード))

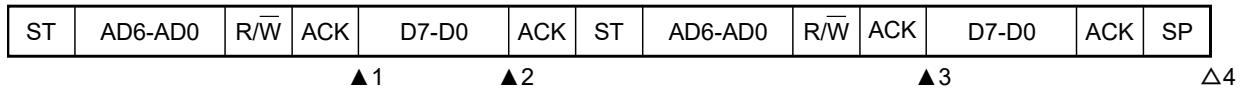
★

**備考** n = 0

(d) Start~Address~Data~Start~Address~Data~Stop

(i) WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

★



▲1 : IICSn = 0001 × 110 B

▲2 : IICSn = 0001 × 000 B

▲3 : IICSn = 00000 × 10 B

△4 : IICSn = 00000001 B

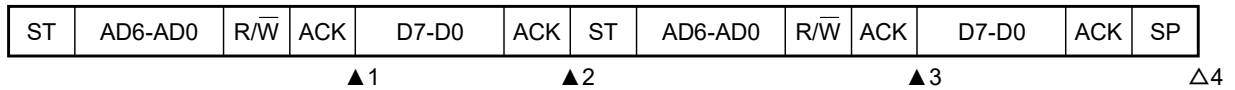
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

★



▲1 : IICSn = 0001 × 110 B

▲2 : IICSn = 0001 × × 00 B

▲3 : IICSn = 00000 × 10 B

△4 : IICSn = 00000001 B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

備考 n = 0

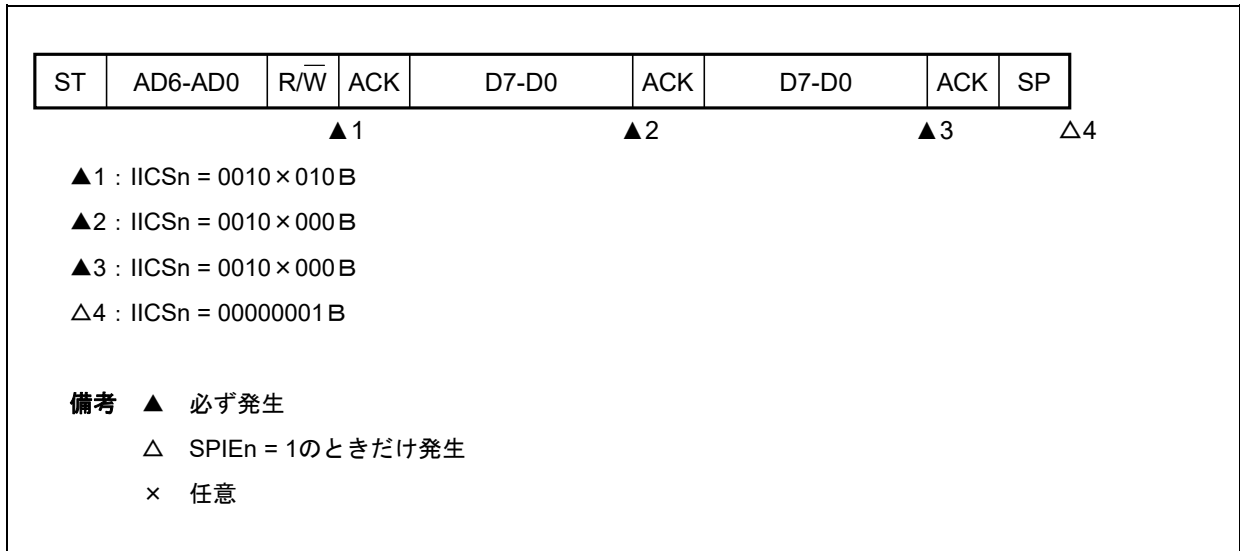
(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

(a) Start~Code~Data~Data~Stop

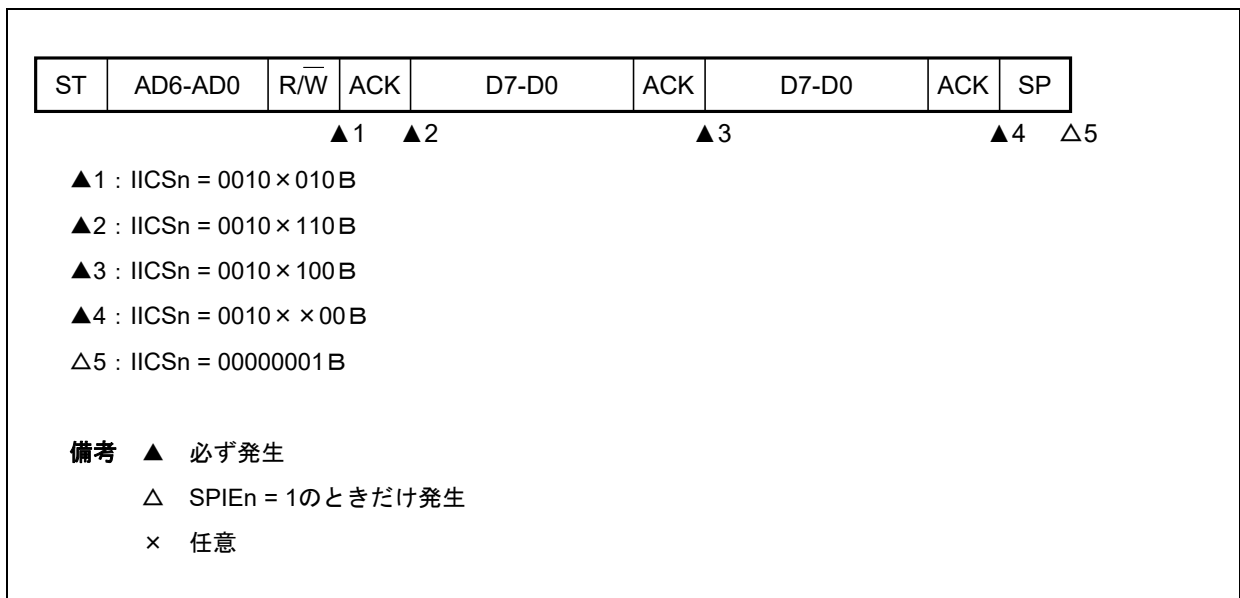
(i) WTIMn = 0のとき

★



(ii) WTIMn = 1のとき

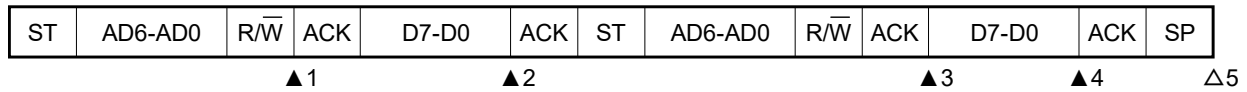
★

**備考** n = 0

(b) Start~Code~Data~Start~Address~Data~Stop

(i) WTIMn = 0のとき (リスタート後, SVAn一致)

★



▲1 : IICSn = 0010 × 010 B

▲2 : IICSn = 0010 × 000 B

▲3 : IICSn = 0001 × 110 B

▲4 : IICSn = 0001 × 000 B

△5 : IICSn = 00000001 B

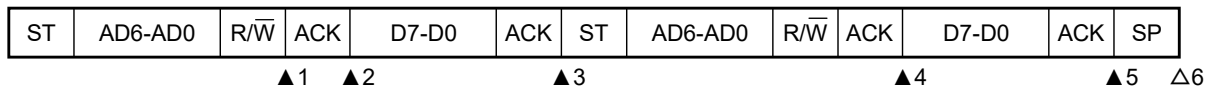
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき (リスタート後, SVAn一致)

★



▲1 : IICSn = 0010 × 010 B

▲2 : IICSn = 0010 × 110 B

▲3 : IICSn = 0010 × × 00 B

▲4 : IICSn = 0001 × 110 B

▲5 : IICSn = 0001 × × 00 B

△6 : IICSn = 00000001 B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

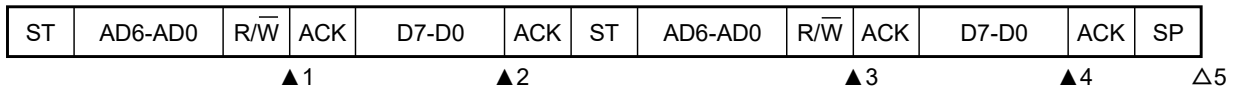
× 任意

備考 n = 0

(c) Start~Code~Data~Start~Code~Data~Stop

(i) WTIMn = 0のとき (リスタート後, 拡張コード受信)

★



▲1 : IICSn = 0010 × 010 B

▲2 : IICSn = 0010 × 000 B

▲3 : IICSn = 0010 × 010 B

▲4 : IICSn = 0010 × 000 B

△5 : IICSn = 00000001 B

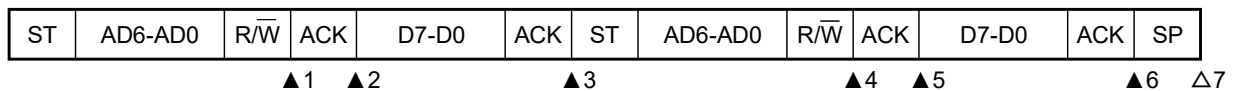
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1のとき (リスタート後, 拡張コード受信)

★



▲1 : IICSn = 0010 × 010 B

▲2 : IICSn = 0010 × 110 B

▲3 : IICSn = 0010 × × 00 B

▲4 : IICSn = 0010 × 010 B

▲5 : IICSn = 0010 × 110 B

▲6 : IICSn = 0010 × × 00 B

△7 : IICSn = 00000001 B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

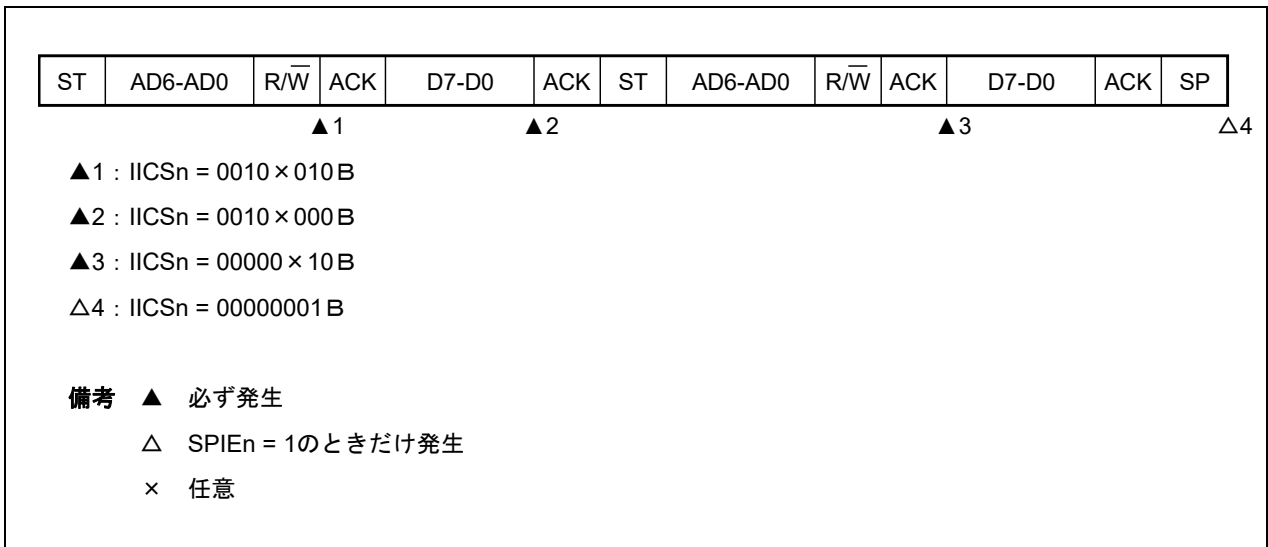
× 任意

備考 n = 0

(d) Start~Code~Data~Start~Address~Data~Stop

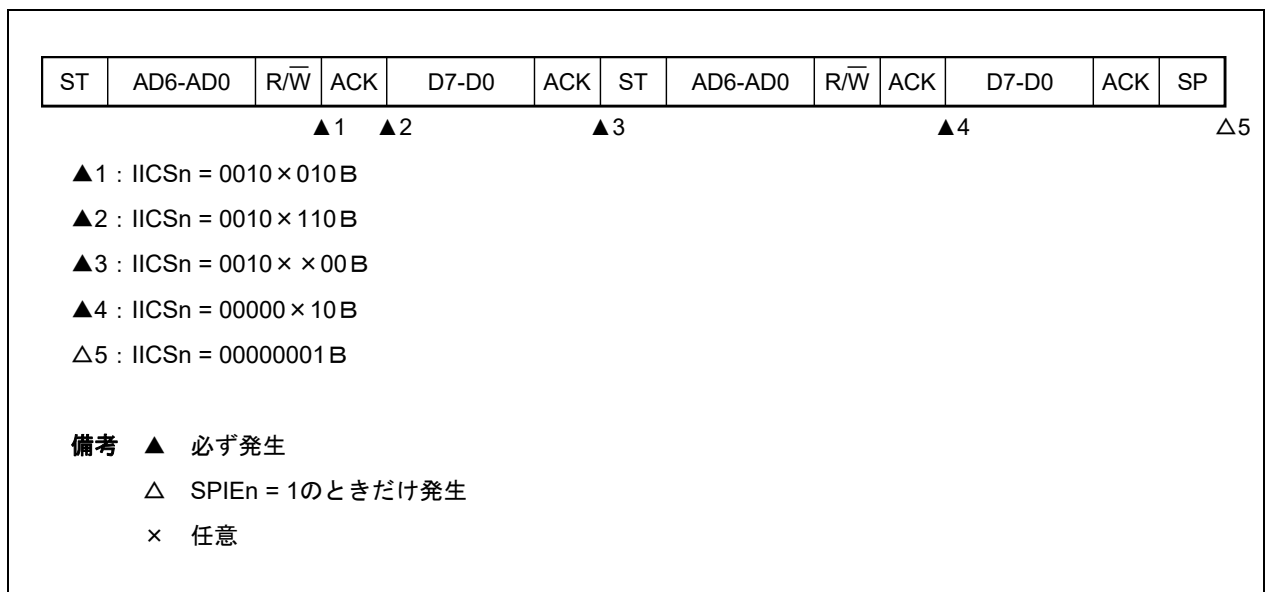
(i) WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

★



(ii) WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

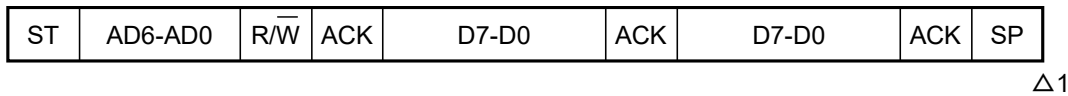
★

**備考** n = 0

(4) 通信不参加の動作

(a) Start~Code~Data~Data~Stop

★



△1 : IICSn = 00000001 B

**備考** △ SPIEn = 1のときだけ発生

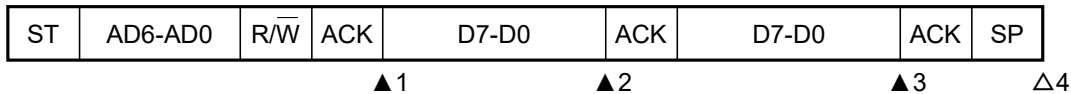
(5) アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み要求信号の発生ごとにMSTS<sub>n</sub>ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM<sub>n</sub> = 0のとき

★



▲1 : IICSn = 0101 × 110 B

▲2 : IICSn = 0001 × 000 B

▲3 : IICSn = 0001 × 000 B

▲4 : IICSn = 00000001 B

**備考** ▲ 必ず発生

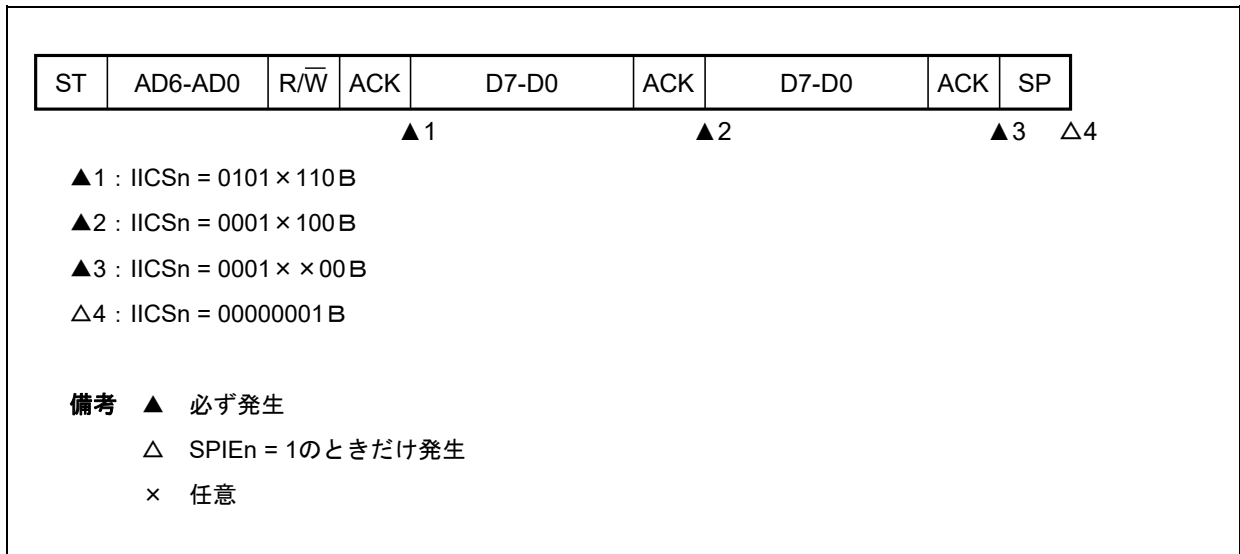
△ SPIEn = 1のときだけ発生

× 任意

**備考** n = 0

(ii) WTIMn = 1のとき

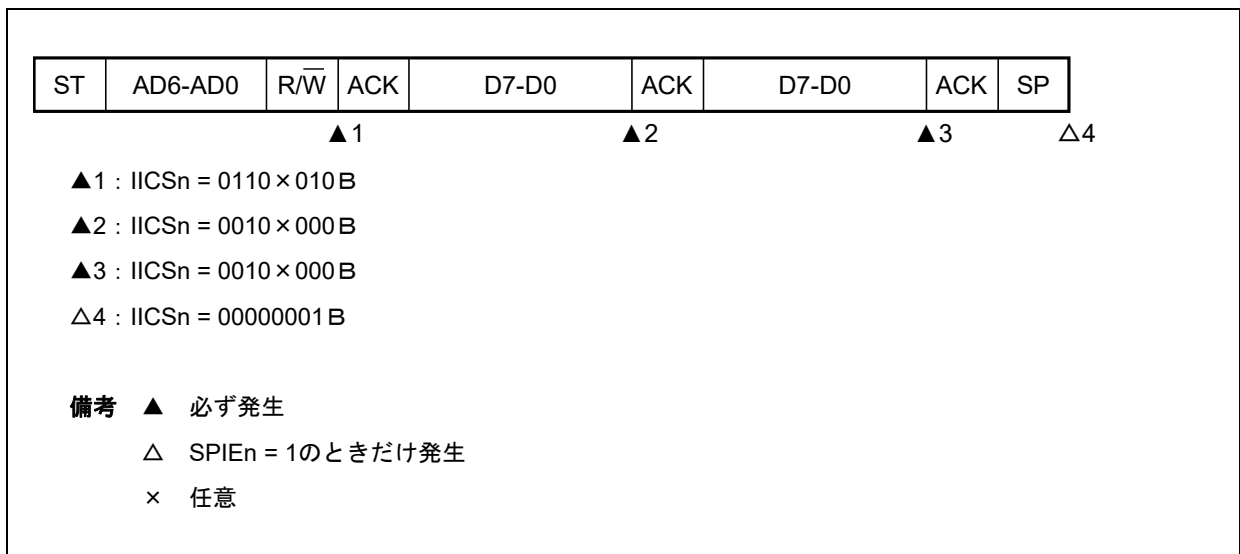
★



(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0のとき

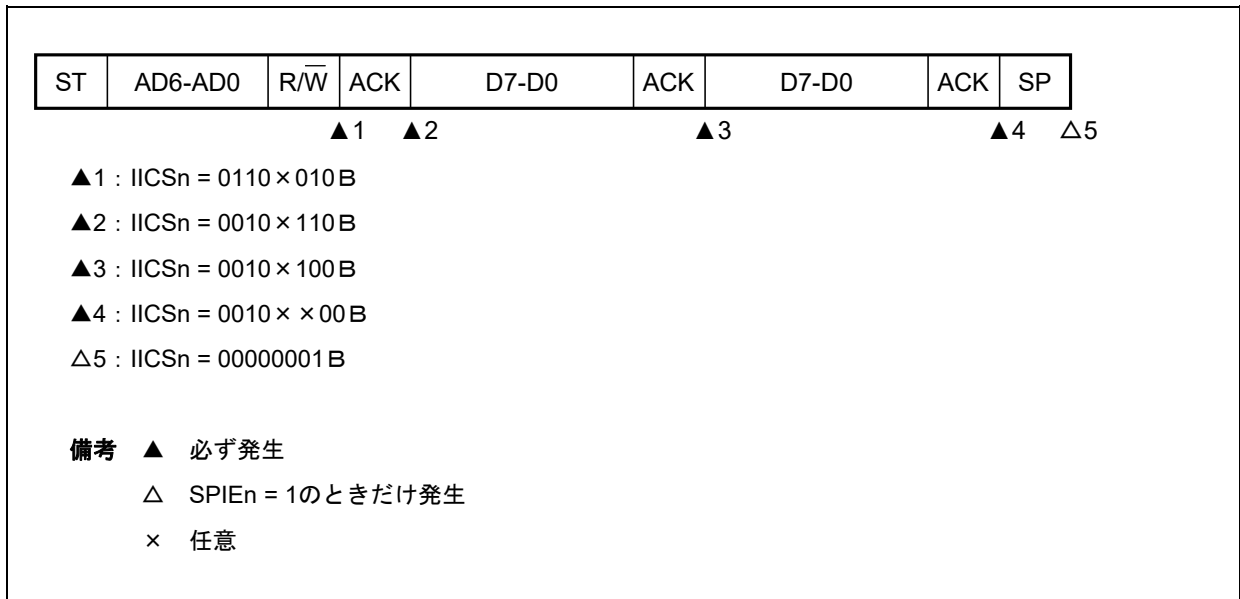
★

**備考** n = 0



(ii) WTIMn = 1のとき

★

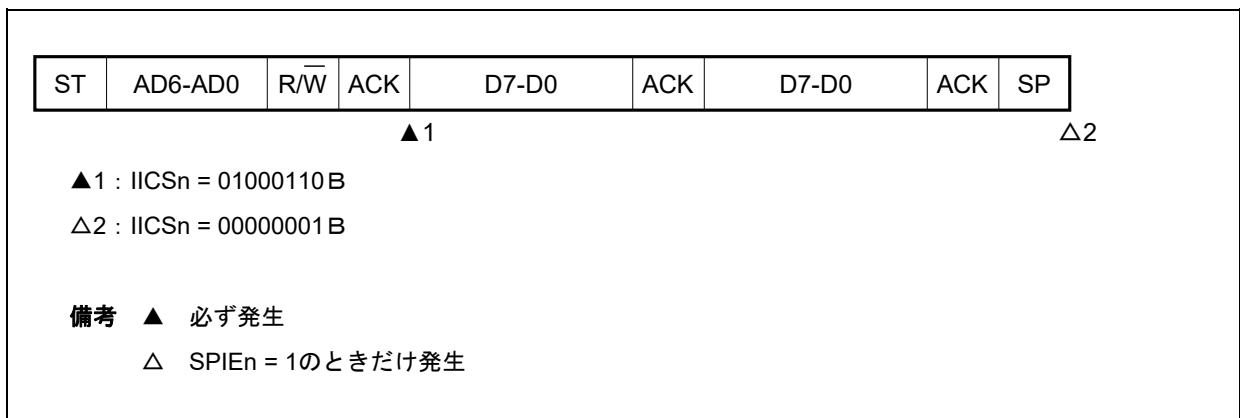


(6) アービトレーション負けの動作（アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み要求信号の発生ごとにMSTS<sub>n</sub>ビットをリードし、アービトレーション結果を確認してください。

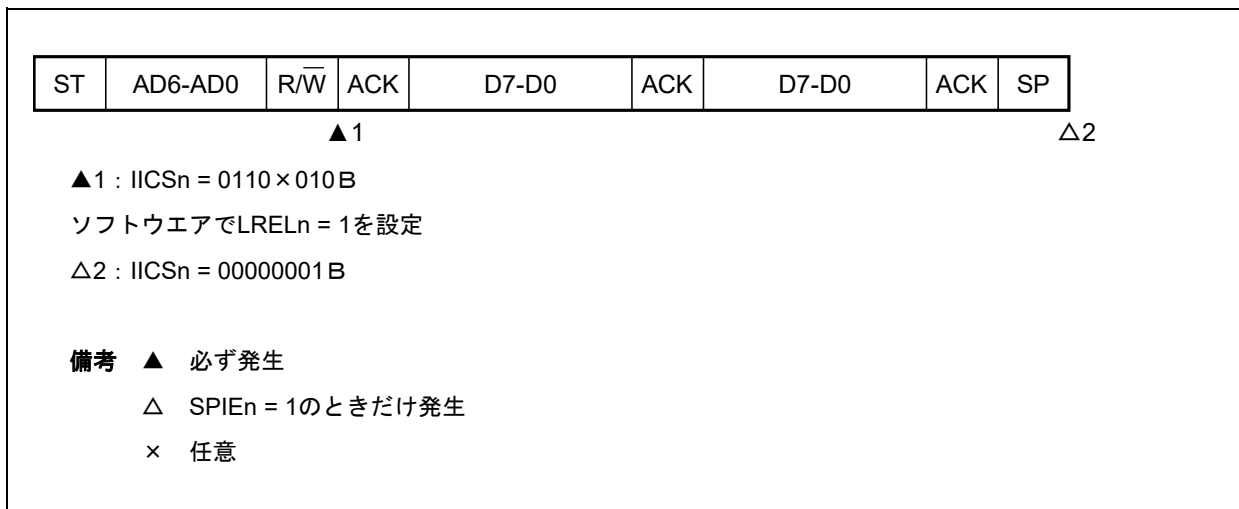
(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIMn = 1のとき）

★

**備考** n = 0

(b) 拡張コード送信中にアービトレーションに負けた場合

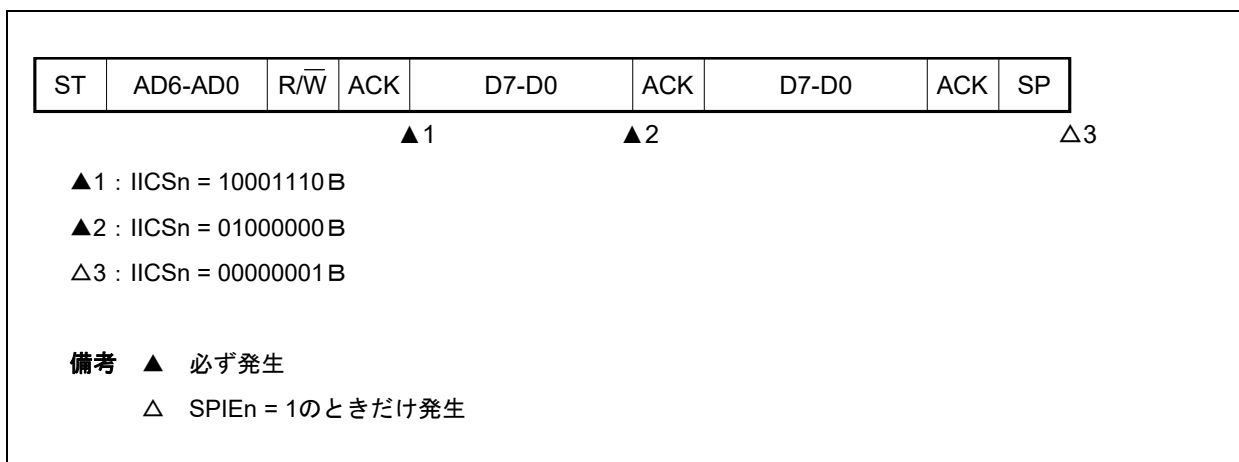
★



(c) データ転送時にアービトレーションに負けた場合

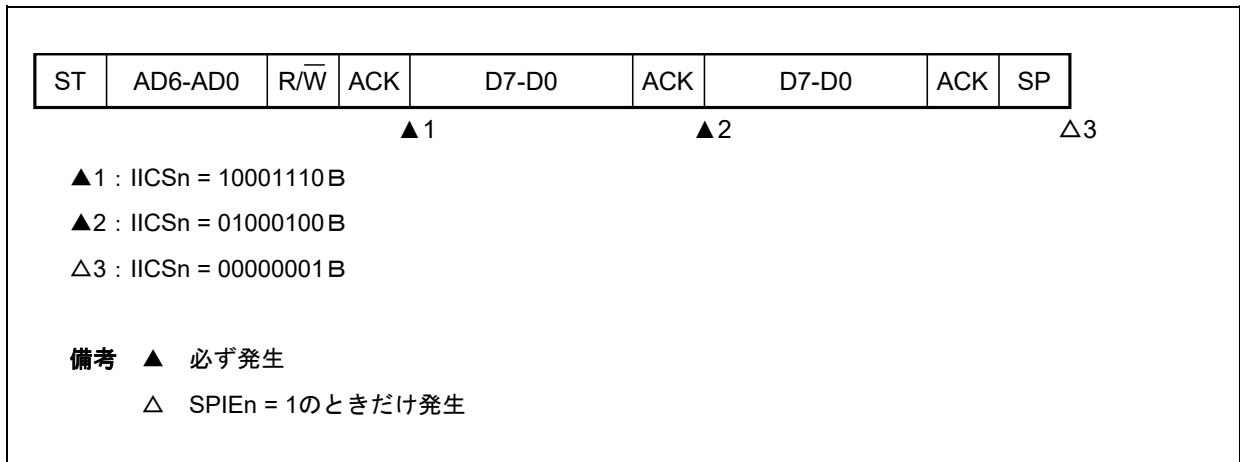
(i) WTIMn = 0のとき

★

**備考** n = 0

(ii) WTIMn = 1のとき

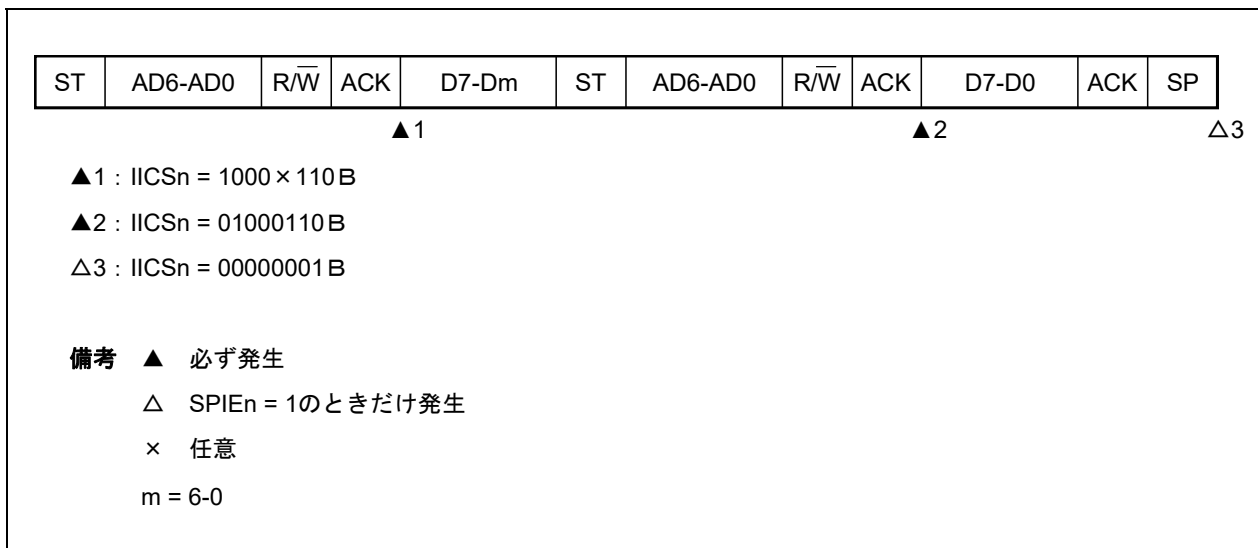
★



(d) データ転送時にリスタート・コンディションで負けた場合

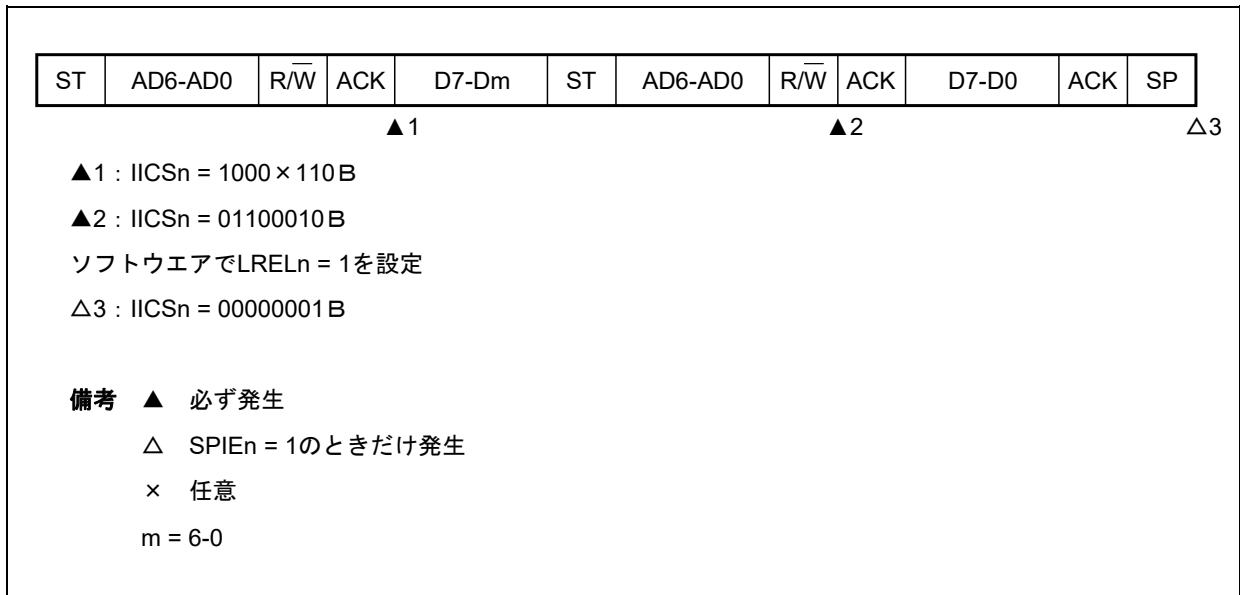
(i) 拡張コード以外 (例 SVAn不一致)

★

**備考** n = 0

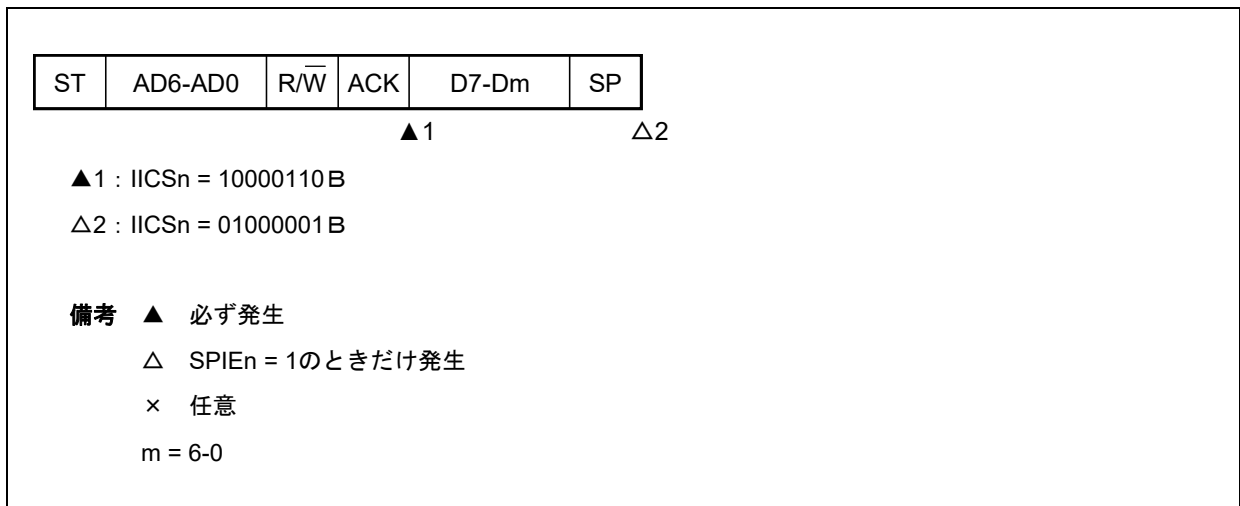
## (ii) 拡張コード

★



## (e) データ転送時にストップ・コンディションで負けた場合

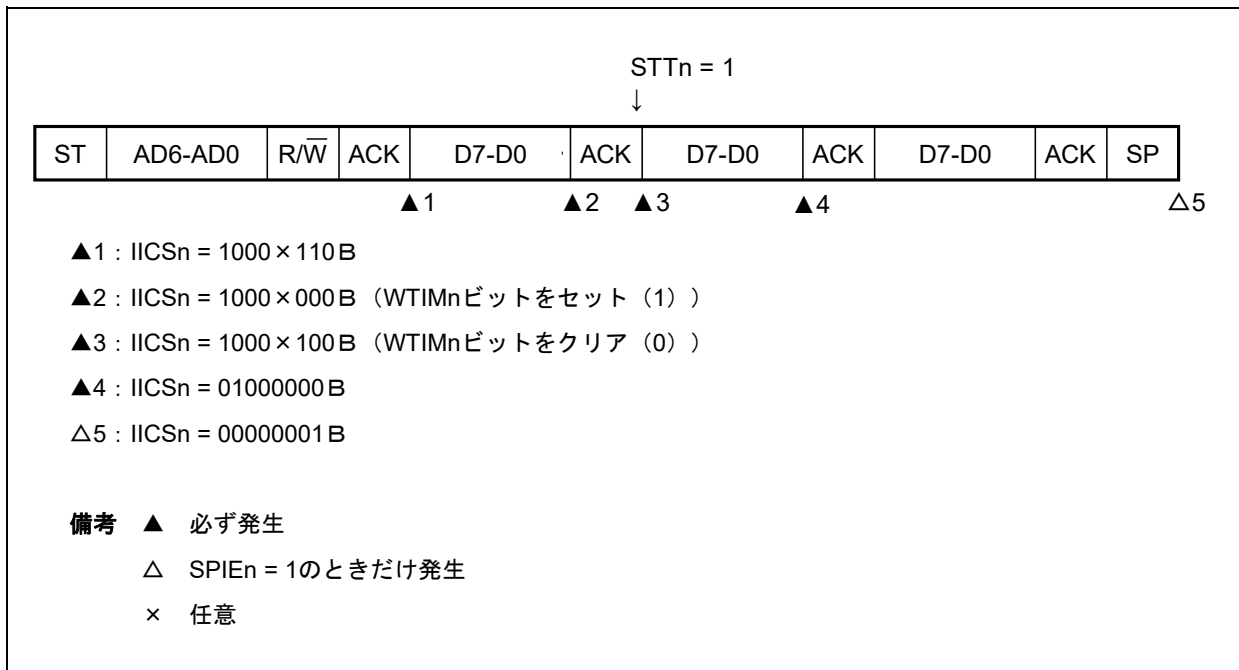
★

**備考** n = 0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

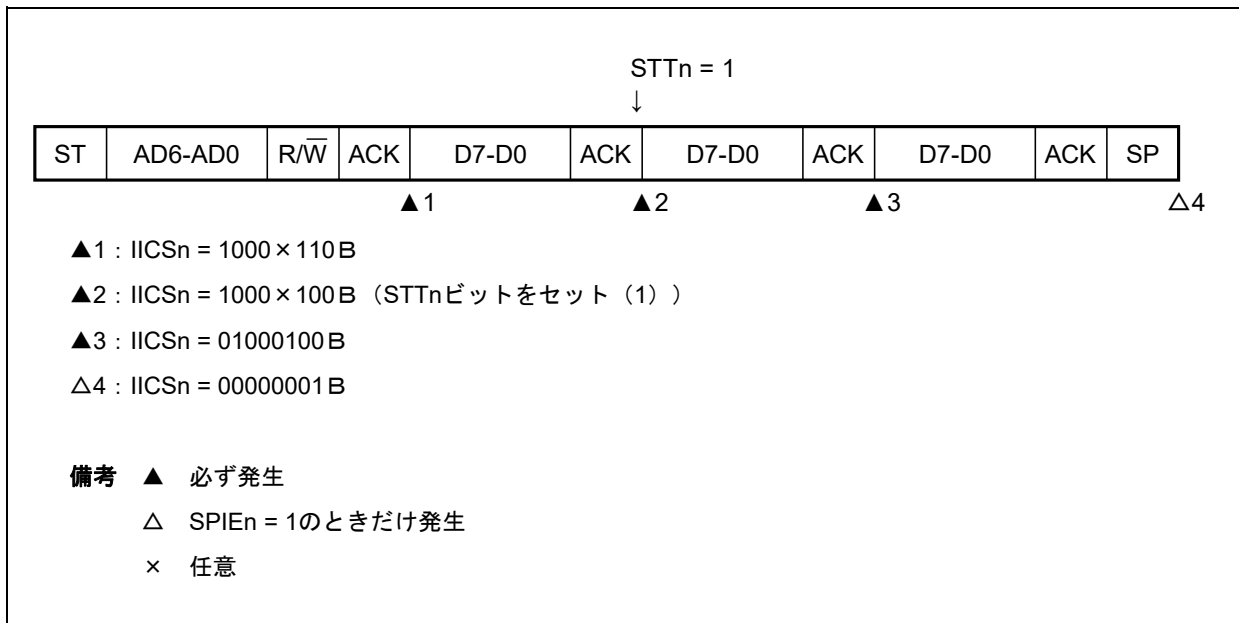
(i) WTIMn = 0のとき

★



(ii) WTIMn = 1のとき

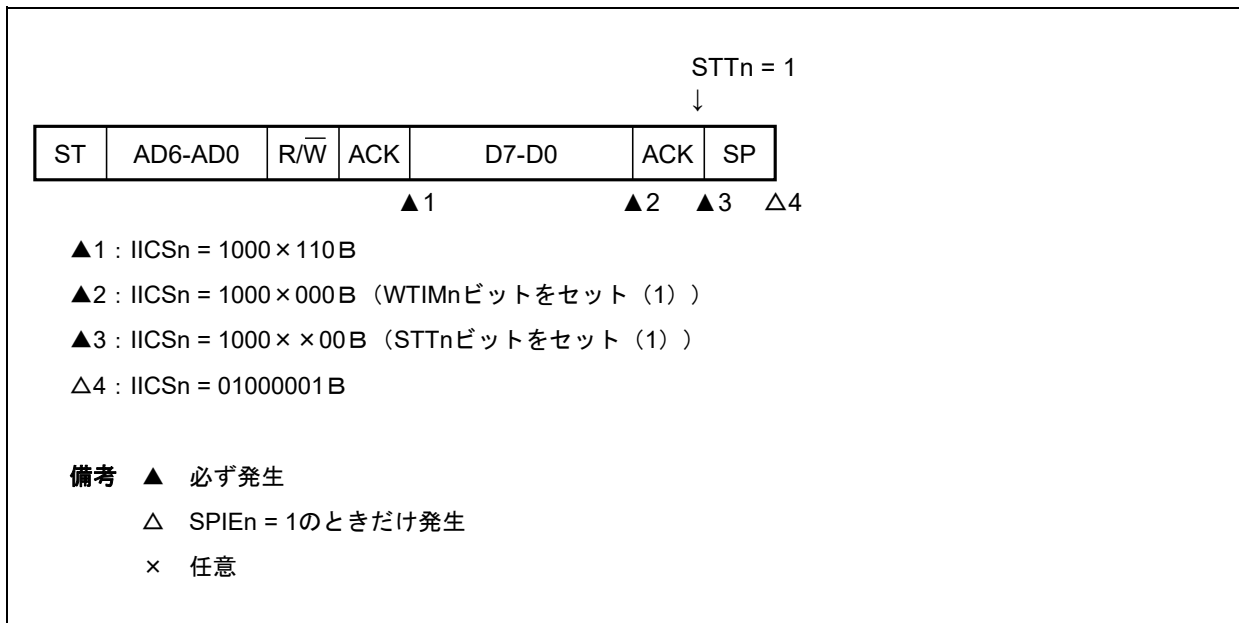
★



**備考** n = 0

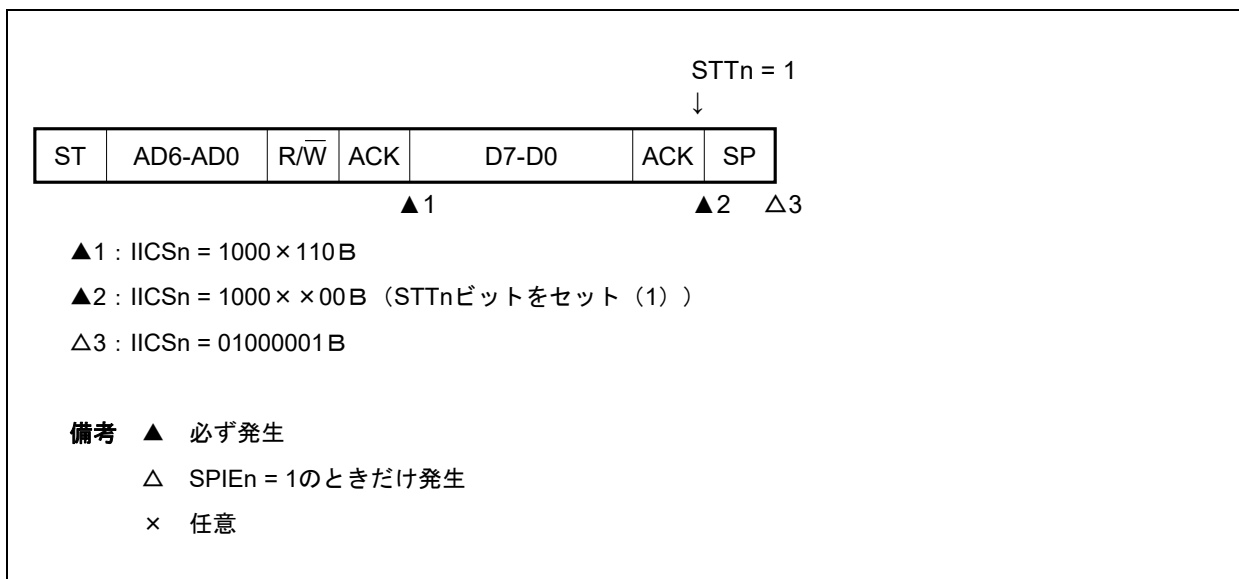
- (g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合
- (i) WTIMn = 0のとき

★



- (ii) WTIMn = 1のとき

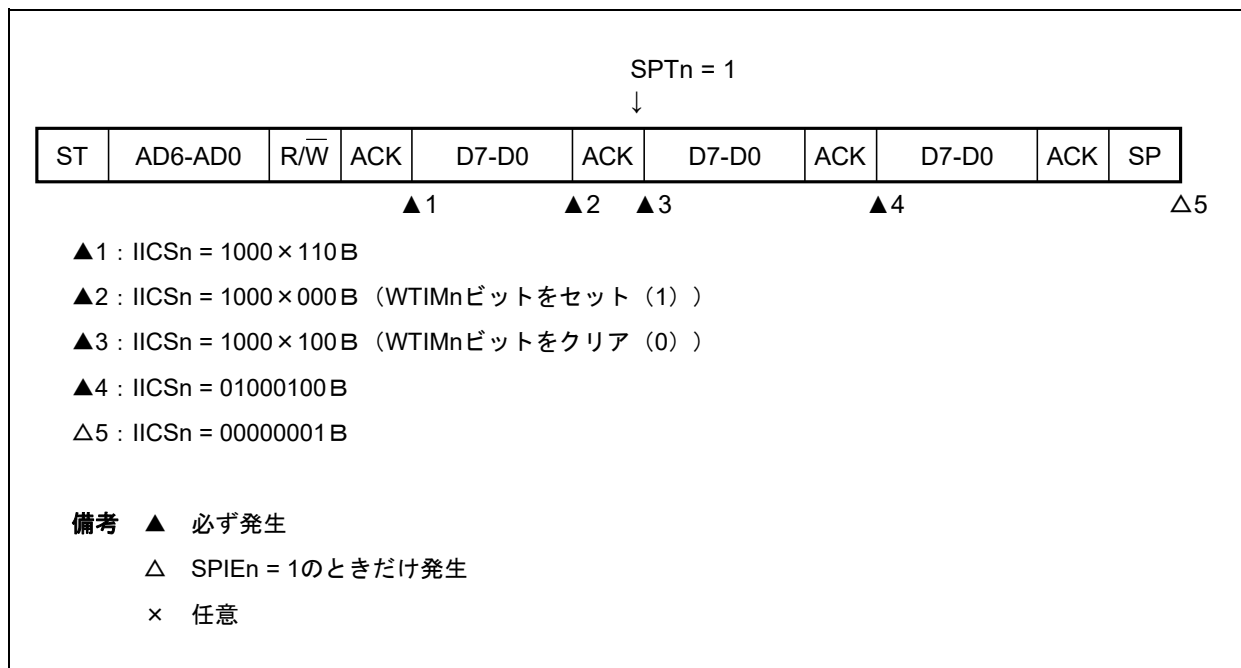
★



**備考** n = 0

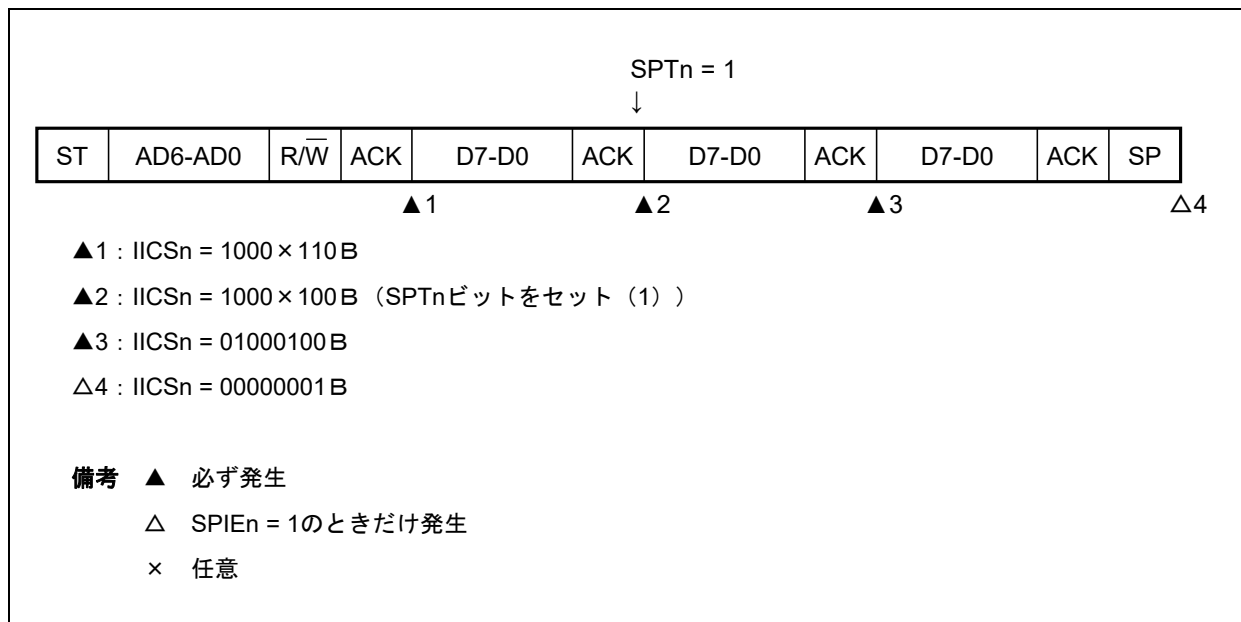
- (h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合  
 (i) WTIMn = 0のとき

★



- (ii) WTIMn = 1のとき

★



**備考** n = 0

## 14.6 タイミング・チャート

I<sup>2</sup>Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCnビット (IICAステータス・レジスタn (IICSn) のビット3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図14-32、図14-33に示します。

シリアル・クロック (SCLAn) の立ち下がりに同期してIICAシフト・レジスタn (IICAn) のシフト動作が行われ、送信データがSOラッチに転送され、SDAAn端子からMSBファーストで出力されます。

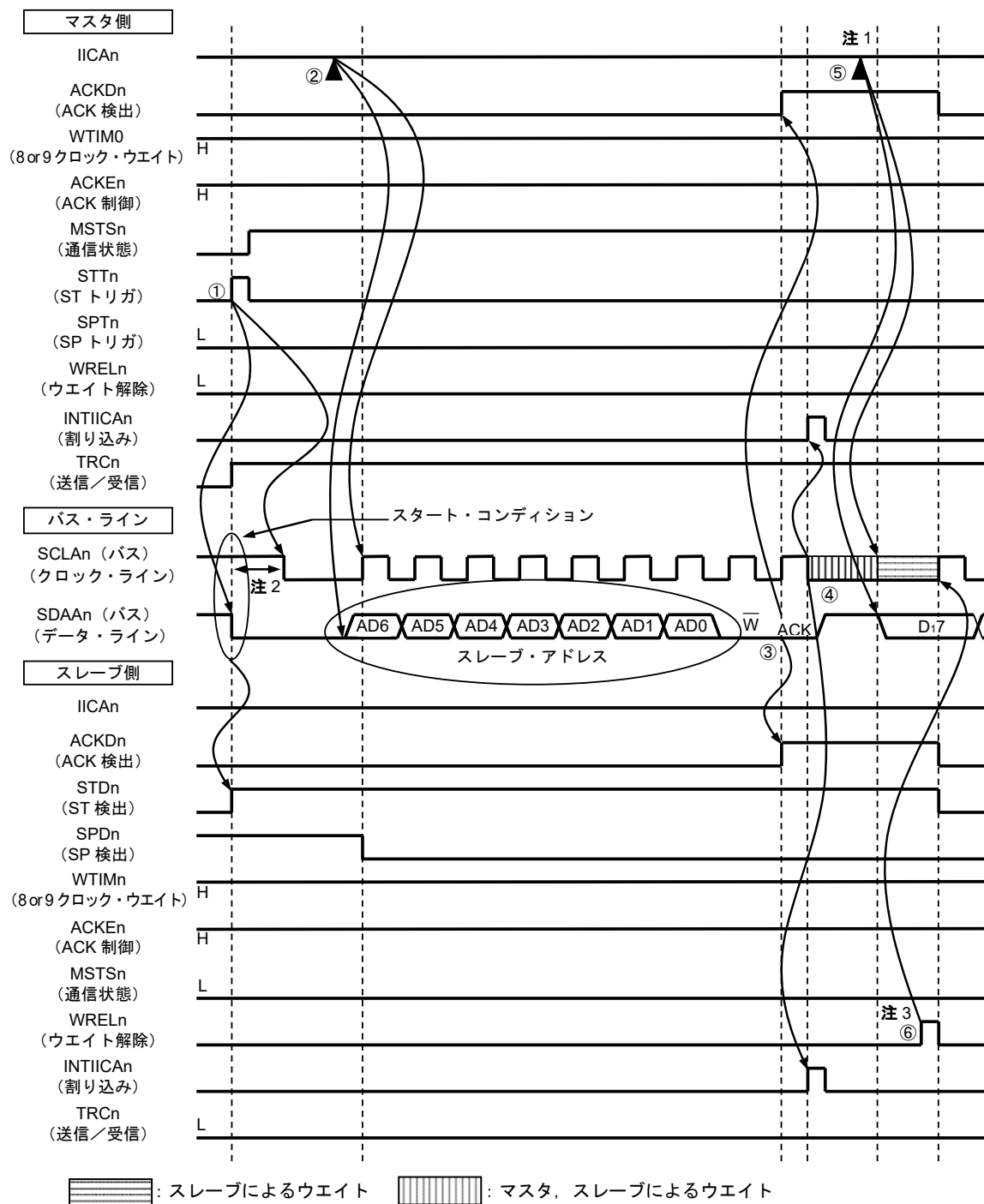
また、SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

**備考** n = 0



図14-32 マスタースレーブ通信例（マスタ：9クロック、スレーブ：9クロックでウエイト選択）（1/4）

(a) スタート・コンディション～アドレス～データ



- 注1. マスタ側での送信時のウエイト解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 3. スレーブ側での受信時のウエイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図14-32 (a) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ( $STTn = 1$ ) されると、バス・データ・ライン ( $SDAAn$ ) が立ち下がり、スタート・コンディション ( $SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$ ) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ( $MSTS_n = 1$ ) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ( $SCLAn = 0$ )、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ  $n$  ( $IICAn$ ) にアドレス+W (送信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス ( $SVA_n$ の値) が一致した場合<sup>※</sup>、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出 ( $ACKD_n = 1$ ) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み ( $INTIICAn$ : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、ウェイト ( $SCLAn = 0$ ) をかけ、割り込み ( $INTIICAn$ : アドレス一致割り込み) が発生し<sup>※</sup>ます。
- ⑤ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるウェイトを解除します。
- ⑥ スレーブ側がウェイトを解除 ( $WREL_n = 1$ ) すると、マスタ側からスレーブ側にデータ転送を開始します。

**注** 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが ( $NACK: SDAAn = 1$ )。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウェイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

**備考1.** 図14-32の①～⑥は、I<sup>2</sup>Cバスによるデータ通信の一連の操作手順です。

図14-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図14-32 (2) アドレス～データ～データでは手順③～⑩

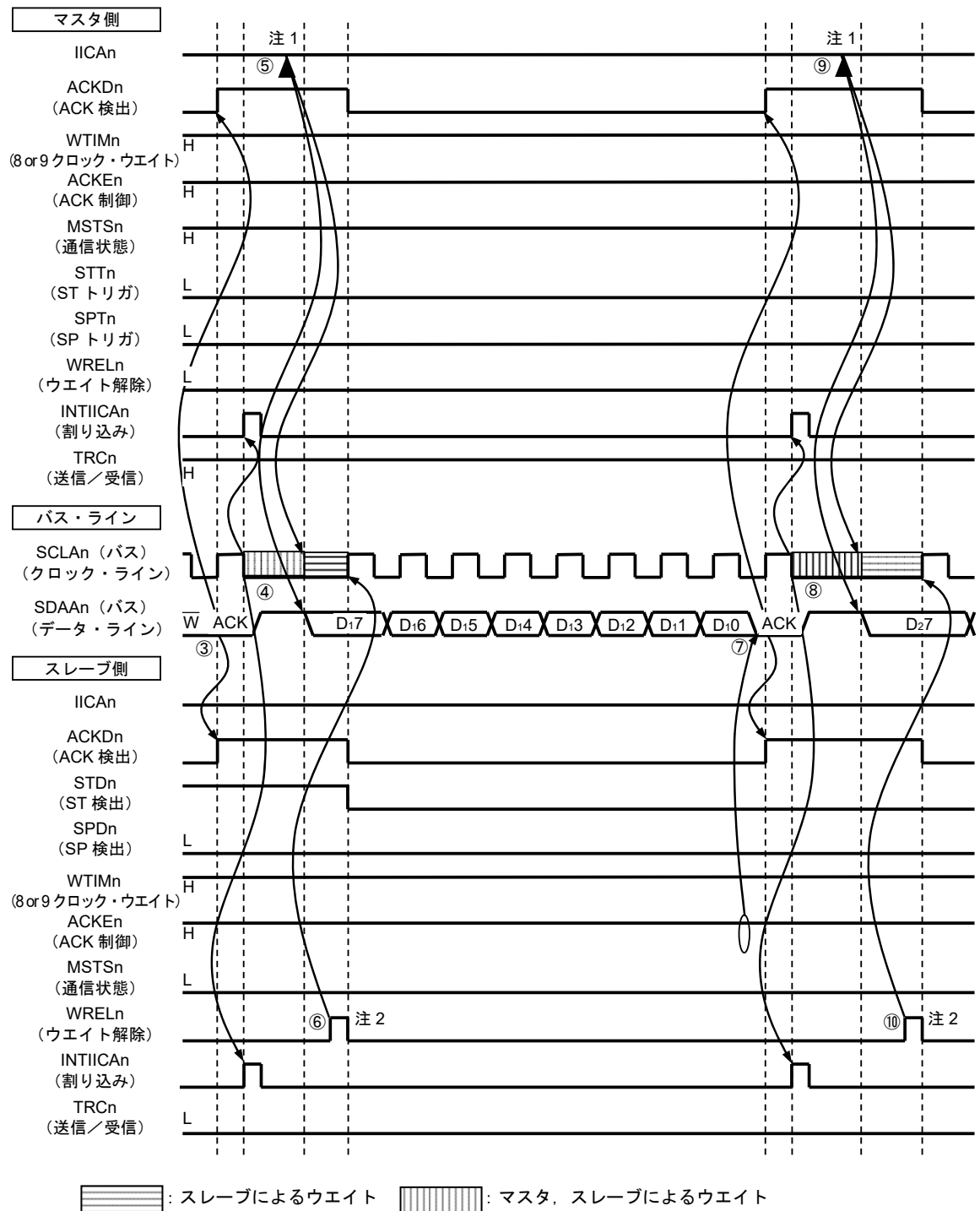
図14-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2.  $n = 0$

図14-32 マスタースレーブ通信例（マスタ：9クロック、スレーブ：9クロックでウエイト選択）（2/4）

(b) アドレス～データ～データ



注1. マスタ側での送信時のウエイト解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

2. スレーブ側での受信時のウエイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図14-32 (b) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス (SVAnの値) が一致した場合<sup>※</sup>、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ④ 9クロック目の立ち下がり時、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはウエイト (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します<sup>※</sup>。
- ⑤ マスタ側がIICAシフト・レジスタn (IICAn) に送信データを書き込み、マスタ側によるウエイトを解除します。
- ⑥ スレーブ側がウエイトを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がり時、マスタ側とスレーブ側によるウエイト (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑨ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるウエイトを解除します。
- ⑩ スレーブ側が受信データを読み出して、ウエイトを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

**注** 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK : SDAAn = 1)。また、スレーブ側のINTIICAn割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み (アドレス送信完了割り込み) が発生します。

**備考1.** 図14-32の①～⑮は、I<sup>2</sup>Cバスによるデータ通信の一連の操作手順です。

図14-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図14-32 (2) アドレス～データ～データでは手順③～⑩

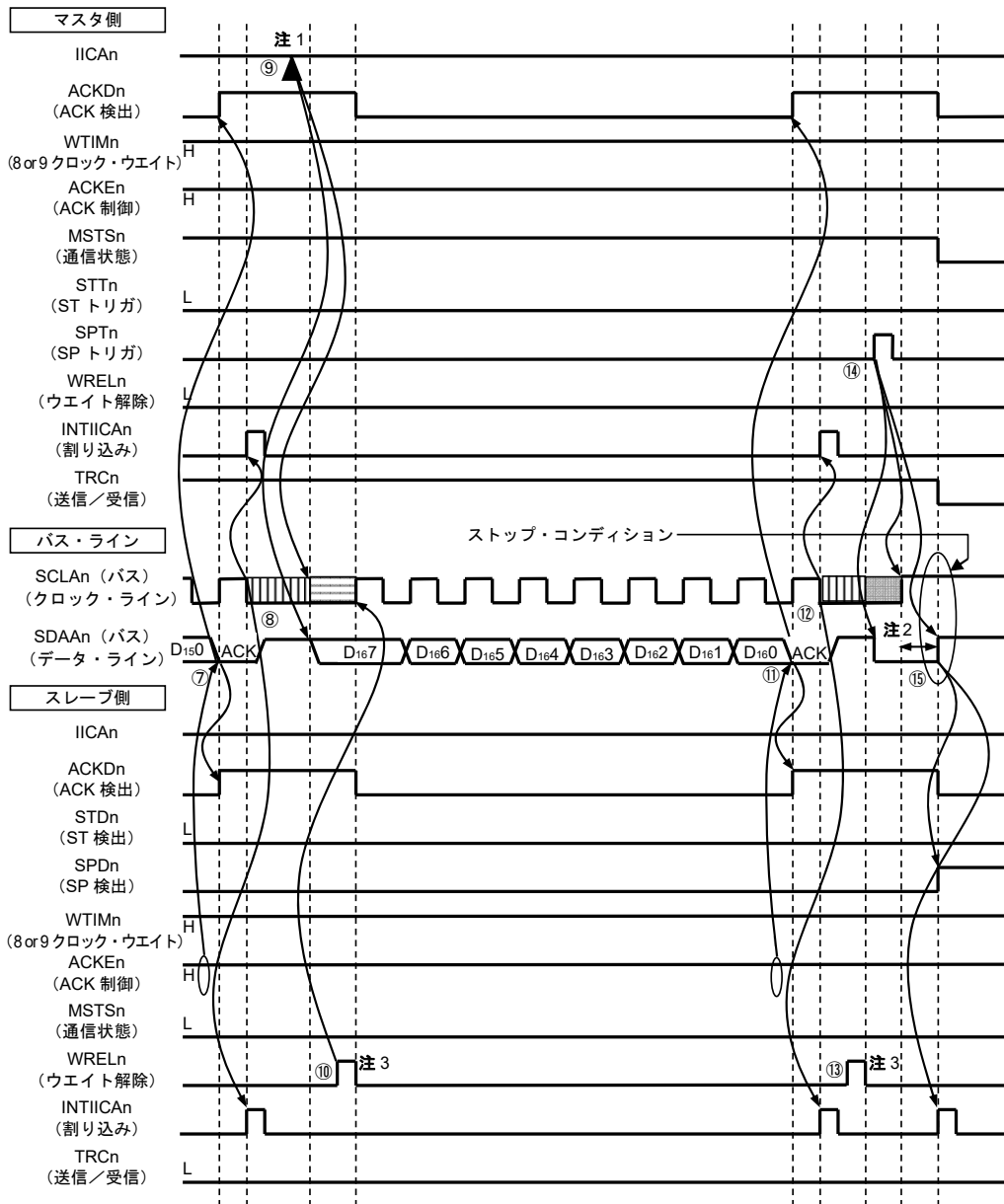
図14-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2. n = 0

図14-32 マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでウェイト選択）（3/4）

(c) データ～データ～ストップ・コンディション



- 注1. マスタ側での送信時のウェイト解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 3. スレーブ側での受信時のウェイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図14-32 (c) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるウエイト (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑨ マスタ側がIICAシフト・レジスタn (IICAn) に送信データを書き込み、マスタ側によるウエイトを解除します。
- ⑩ スレーブ側が受信データを読み出して、ウエイトを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側 (ACKEn = 1) のハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑫ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるウエイト (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑬ スレーブ側が受信データを読み出し、ウエイトを解除 (WRELn = 1) します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、バス・クロック・ラインがセット (SCLAn = 1) され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット (SDAAn = 1) されることでストップ・コンディション (SCLAn = 1でSDAAn = 0→1) が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

**備考1.** 図14-32の①～⑮は、I<sup>2</sup>Cバスによるデータ通信の一連の操作手順です。

図14-32 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図14-32 (2) アドレス～データ～データでは手順③～⑩

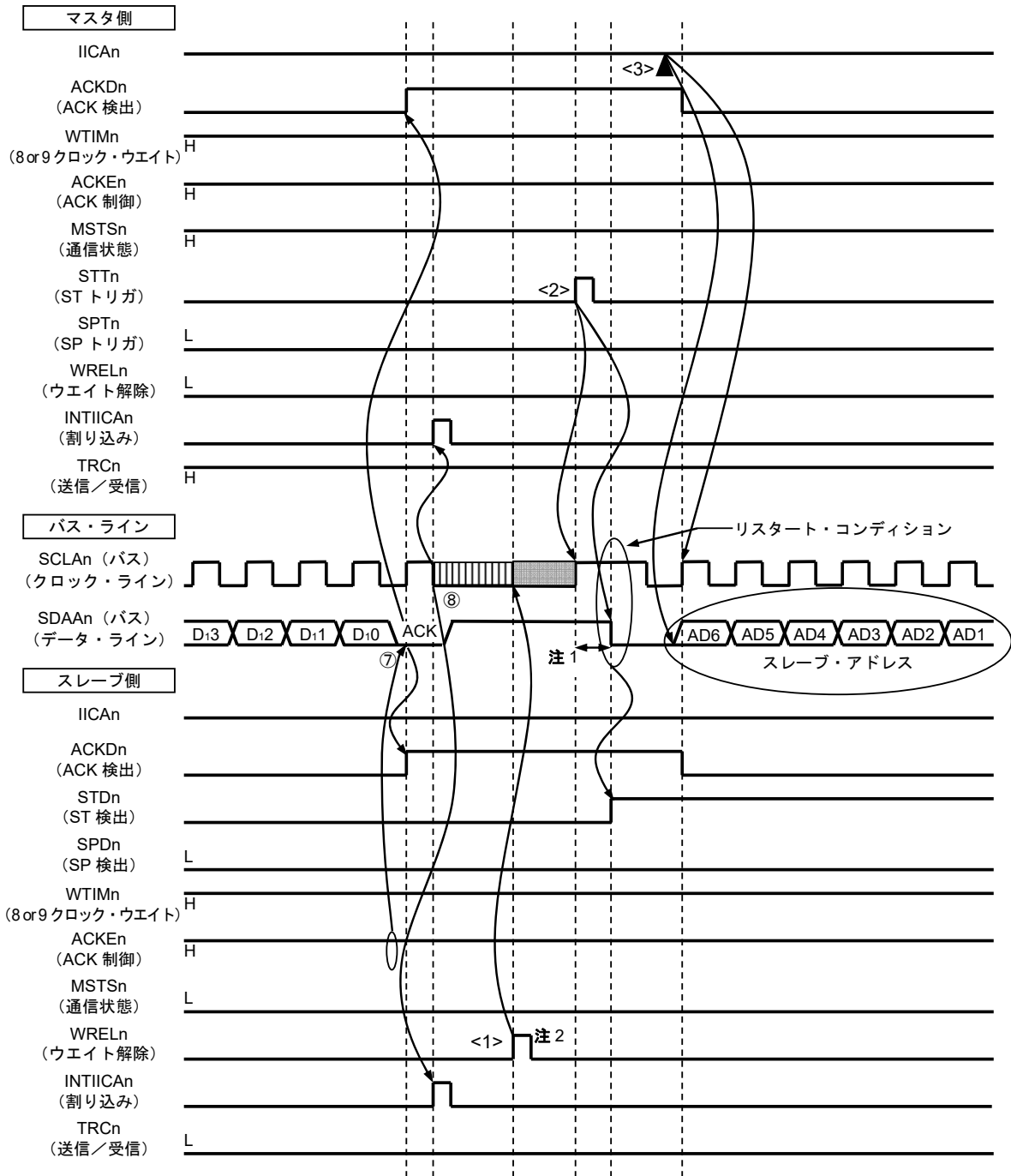
図14-32 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

2. n = 0

図14-32 マスタスレーブ通信例 (マスタ:9クロック, スレーブ:9クロックでウェイト選択) (4/4)

(d) データ~リスタート・コンディション~アドレス



■: マスタによるウェイト    ▨: スレーブによるウェイト    ▩: マスタ, スレーブによるウェイト

- 注1. リスタート・コンディションの発行後, SCLAn端子信号が立ち上がったからスタート・コンディションが生成される時間は, 標準モード設定時は4.7 μs以上, ファースト・モード設定時は0.6 μs以上です。
- 2. スレーブ側での受信時のウェイト解除は, IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図14-32 (d) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦, ⑧の動作後, <1>~<3>の動作を行います。それにより, 手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後, スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出 (ACKDn = 1) されます。
- ⑧ 9クロック目の立ち下がり, マスタ側とスレーブ側によるウエイト (SCLAn = 0) がかかり, マスタ側, スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- <1> スレーブ側が受信データを読み出して, ウエイトを解除 (WRELn = 1) します。
- <2> マスタ側で再度スタート・コンディション・トリガがセット (STTn = 1) されると, バス・クロック・ラインが立ち上がり (SCLAn = 1), リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDAAn = 0) が立ち下がり, スタート・コンディション (SCLAn = 1でSDAAn = 1→0) が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり (SCLAn = 0), 通信準備が完了となります。
- <3> マスタ側がIICAシフト・レジスタn (IICAn) にアドレス+R/W (送信) を書き込むと, スレーブ・アドレスが送信されます。

**備考** n = 0



図14-33 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでウエイト選択）（1/3）

(a) スタート・コンディション～アドレス～データ

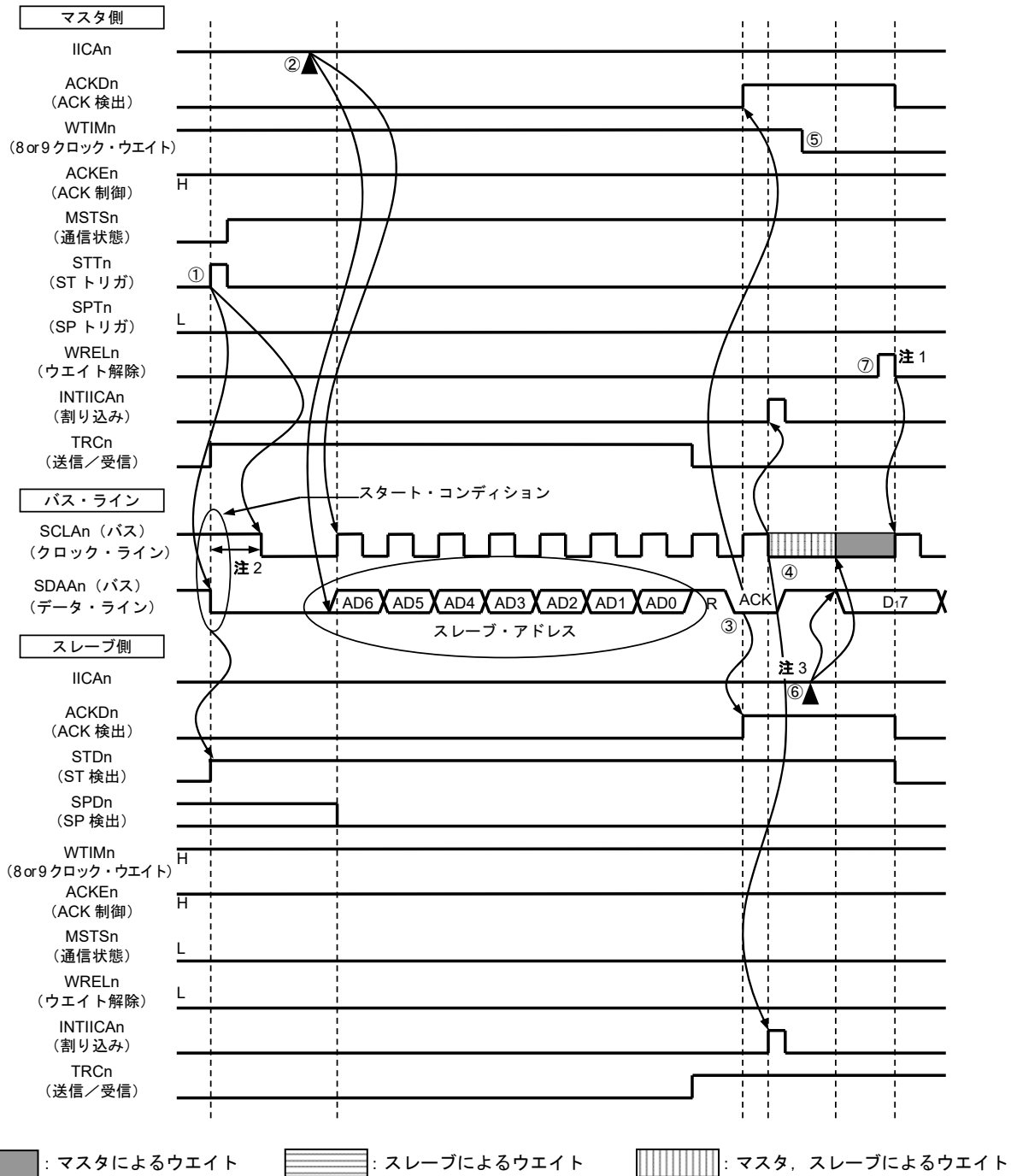


図14-33 (a) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ( $STTn = 1$ ) されると、バス・データ・ライン ( $SDAAn$ ) が立ち下がり、スタート・コンディション ( $SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$ ) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ( $MSTS_n = 1$ ) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ( $SCLAn = 0$ )、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタn ( $IICAn$ ) にアドレス+R (受信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス ( $SVA_n$ の値) が一致した場合<sup>※</sup>、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 ( $ACKDn = 1$ ) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み ( $INTIICAn$ : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはウエイト ( $SCLAn = 0$ ) をかけ、割り込み ( $INTIICAn$ : アドレス一致割り込み) が発生します<sup>※</sup>。
- ⑤ マスタ側のウエイト・タイミングを8クロック目に ( $WTIMn = 0$ ) に変更します。
- ⑥ スレーブ側がIICAnレジスタに送信データを書き込み、スレーブ側によるウエイトを解除します。
- ⑦ マスタ側がウエイトを解除 ( $WRELn = 1$ ) して、スレーブからのデータ転送を開始します。

**注** 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK:  $SDAAn = 1$ )。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

**備考1.** 図14-33の①～⑩は、I<sup>2</sup>Cバスによるデータ通信の一連の操作手順です。

図14-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図14-33 (2) アドレス～データ～データでは手順③～⑫

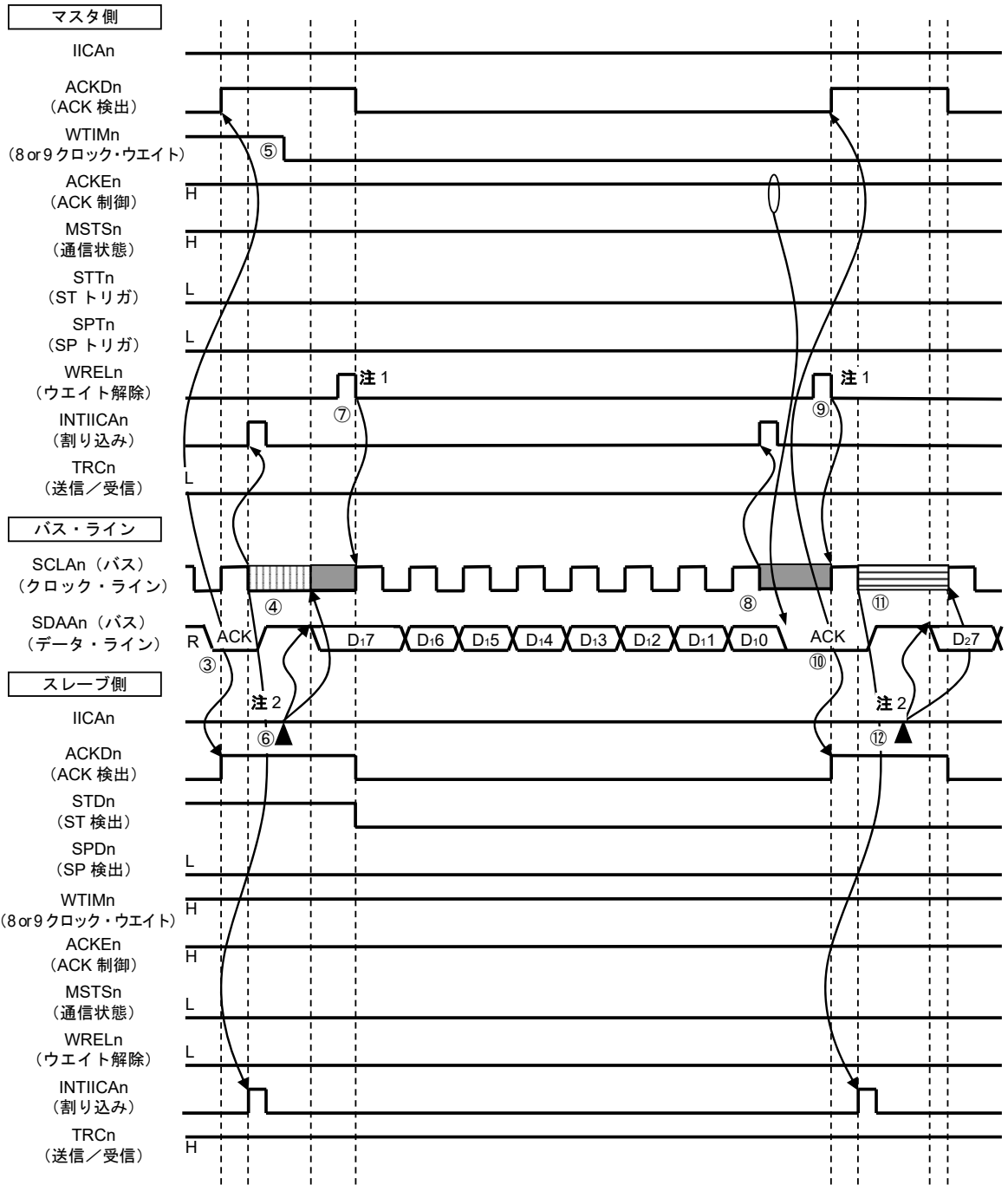
図14-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

2.  $n = 0$

図14-33 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでウエイト選択）（2/3）

(b) アドレス～データ～データ



■ : マスタによるウエイト    ▨ : スレーブによるウエイト    ▩ : マスタ, スレーブによるウエイト

注1. マスタ側での受信時のウエイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2. スレーブ側での送信時のウエイト解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図14-33 (b) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレス自局のアドレス (SVAnの値) が一致した場合<sup>※</sup>、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKDn = 1) されます。
- ④ 9クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはウエイト (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します<sup>※</sup>。
- ⑤ マスタ側はウエイト・タイミングを8クロック目に (WTIMn = 0) に変更します。
- ⑥ スレーブ側がIICAシフト・レジスタn (IICAn) に送信データを書き込み、スレーブ側によるウエイトを解除します。
- ⑦ マスタ側がウエイトを解除 (WRELn = 1) して、スレーブからのデータ転送を開始します。
- ⑧ 8クロック目の立ち下がりで、マスタ側によるウエイト (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側ACKEn = 1なのでハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、ウエイトを解除 (WRELn = 1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKDn = 1) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるウエイト (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑫ スレーブ側がIICAnレジスタに送信データを書き込むと、スレーブ側によるウエイトが解除され、スレーブ→マスタにデータ転送を開始します。

**注** 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK : SDAAAn = 1)。また、スレーブ側のINTIICAn割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み (アドレス送信完了割り込み) が発生します。

**備考1.** 図14-33の①～⑫は、I<sup>2</sup>Cバスによるデータ通信の一連の操作手順です。

図14-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図14-33 (2) アドレス～データ～データでは手順③～⑫

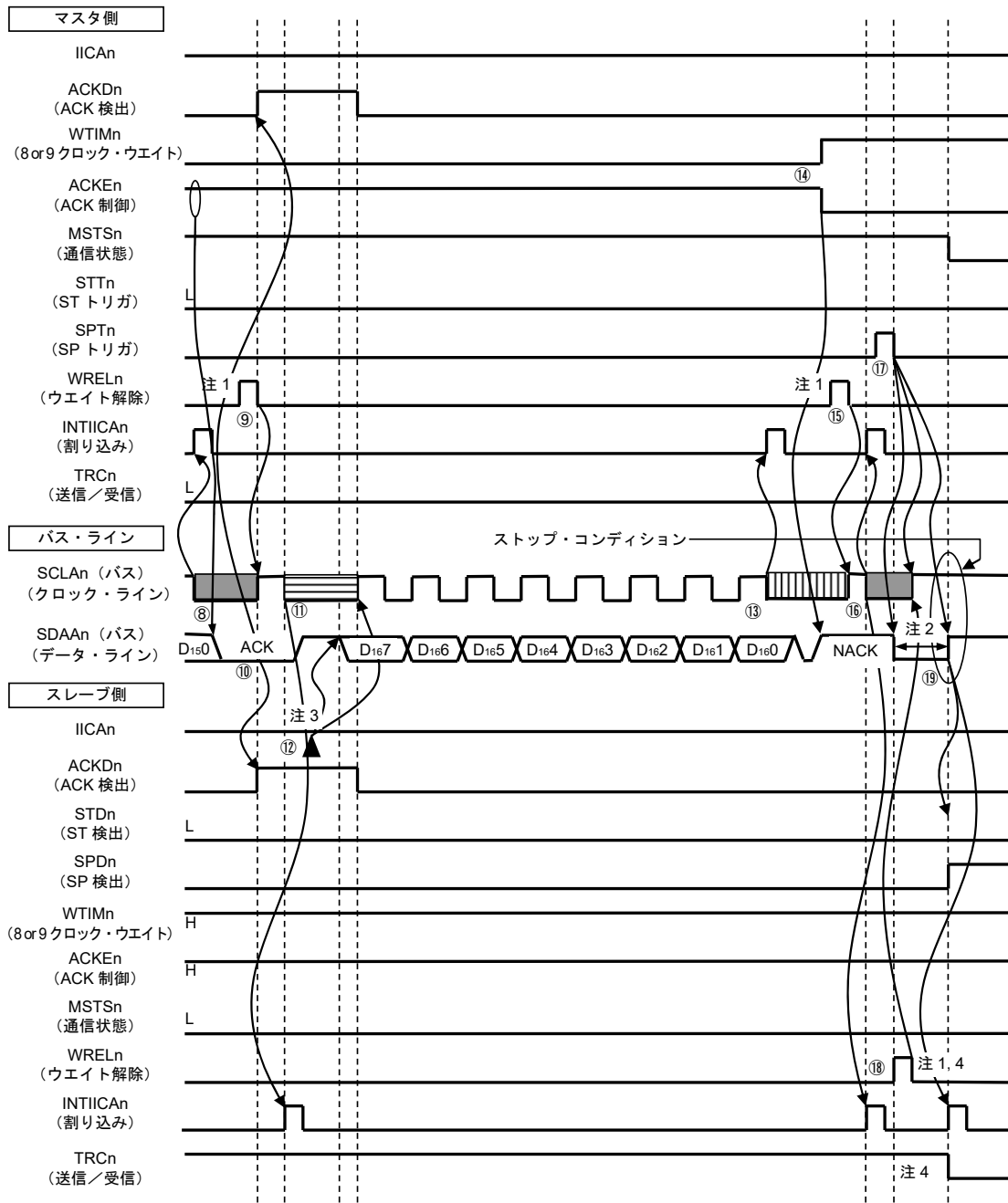
図14-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑫

について説明しています。

2. n = 0

図14-33 スレーブ→マスタ通信例（マスタ：8→9クロック、スレーブ：9クロックでウェイト選択）（3/3）

(c) データ～データ～ストップ・コンディション



注1. ウェイト解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

3. スレーブ側での送信時のウェイト解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

**注4.** スレーブ側での送信時のウェイトをWRELnビットのセットで解除すると, TRCnビットはクリアされます。

**備考** n = 0

図14-33 (c) データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるウェイト (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側はACKEn = 0なので、ハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、ウェイトを解除 (WRELn = 1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKDn = 1) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるウェイト (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑫ スレーブ側がIICAシフト・レジスタn (IICAn) に送信データを書き込むと、スレーブ側によるウェイトが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側によるウェイト (SCLAn = 0) がかかります。ACK制御 (ACKEn = 1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDAAn = 0) となります。
- ⑭ マスタ側はNACK応答に設定 (ACKEn = 0) し、ウェイト・タイミングを9クロック目ウェイト (WTIMn = 1) に変更します。
- ⑮ マスタ側がウェイトを解除 (WRELn = 1) すると、スレーブ側は9クロック目の立ち上がりでNACKを検出 (ACKDn = 0) します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑰ マスタ側でストップ・コンディション発行 (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、マスタ側のウェイトが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されるまで待機します。
- ⑱ スレーブ側はNACKを確認して、送信を止めて通信を完了するためにウェイトを解除 (WRELn = 1) します。スレーブによるウェイトが解除されると、バス・クロック・ラインがセット (SCLAn = 1) されます。
- ⑲ マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDAAn = 1) してストップ・コンディション (SCLAn = 1でSDAAn = 0→1) を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

**備考1.** 図14-33の①～⑲は、I<sup>2</sup>Cバスによるデータ通信の一連の操作手順です。

図14-33 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図14-33 (2) アドレス～データ～データでは手順③～⑫

図14-33 (3) データ～データ～ストップ・コンディションでは手順⑧～⑲

について説明しています。

2. n = 0

## 第15章 RFトランシーバ

本章の内容はルネサス製Bluetooth Low Energyプロトコル・スタックによって動作設定をします。

### 15.1 RFトランシーバの概要

- ★ RFトランシーバは、Bluetooth ver.4.2 Specification (Low Energy Single mode)対応のトランシーバです。
- アナログ・ブロックは、LNA(Low Noise Amplifier)、ミキサー、ADC、PA(Power Amplifier)、PLL(Frequency Synthesizer)で構成されています。
- デジタル・ブロックは、ホワイトニング、CRC、AES CCM暗号を内蔵しBluetooth ver.4.2 SpecificationのLow Energy Single modeのマスタとスレーブ動作を可能にする構成です。

機能の特徴を以下に示します。

#### ○特徴

アナログ・ブロック：

- ISMバンド2402-2480MHz動作
- ★ ● Bluetooth v4.2 Specification (Low Energy Single mode) 規格準拠  
(変調方式：GFSK、通信速度：1Mbps)
- 感度：-90dBm@PER 30.8%、最大入力レベル：最大+1dBm
- 出力電力：0dBm
- RSSI機能
- RF単一入出力

デジタル・ブロック：

- ★ ● Bluetooth v4.2 Specification (Low Energy Single mode) 規格準拠
- ビット・ストリーム・プロセス (CRC、ホワイトニング) 機能
- セキュリティ・エンジン (AES-128) 機能
- 周波数ホッピング計算機能
- Frequency division multiple access (FDMA) / time division multiple access (TDMA)機能
- 全パケット・タイプ
- パワー・セーブ・モード機能
- DC-DCコンバータ搭載



## 15.2 端子機能

### 15.2.1 デジタル端子

RFトランシーバのデジタル端子を示します。RFトランシーバの動作モードによる端子状態は、15.4.5 各モードでの端子状態を参照してください。

#### (1) CLKOUT\_RF

クロック出力端子です。

RF基準クロックである32MHzの分周クロックの出力が可能です。

出力の設定は、オフ、16MHz、8MHz、4MHzの設定ができます。

ルネサス製Bluetooth Low Energyソフトウェア・スタックで出力設定の変更が可能で、デフォルトの設定ではクロック出力は、オフとなっています。

本クロック出力をEXCLK端子に接続することにより、MCU部の外部メイン・システム・クロックとして、使用することもできます。その場合、ユーザ基板上で、本端子とEXCLK端子を接続してください。

#### (2) EXSLK\_RF

RFトランシーバのRFスロー・クロック（32.768kHz）用の入力端子です。

RFスロー・クロックを内部のオンチップ・オシレータを使用せず、外部入力（方形波入力）として使用する場合、本端子に32.768kHzの方形波入力が必要です。

ルネサス製Bluetooth Low Energyソフトウェア・スタックでは、外部入力（方形波入力）として使用する場合、その入力用にPCLBUZ0端子から、サブ・クロック（32.768kHz）出力の設定を行います。

そのため、本端子を機能的に使用する場合は、ユーザ基板上で、本端子とPCLBUZ0端子を接続、およびXT1、XT2端子に32.768kHzの水晶振動子を接続してください。

#### (3) RFCTLEN

RF部の制御用イネーブル入力端子です。ハイでRF部への制御が有効、ロウでRF部への制御が無効となり、RF内部回路への電源供給をオフにします。

本端子のイネーブル制御は、MCU部のリセット解除に連動して、イネーブルにします。そのため、ユーザ基板上で、P130に接続してください。

#### (4) TXSELH\_RF, TXSELL\_RF

TXSELH\_RFは、パケット送信開始から次の受信開始までの期間はハイ・レベル出力、DEEPSLEEPモード期間はHi-z、それ以外の期間はロウ・レベル出力になります。DEEPSLEEPモード期間中にロウ・レベルとするためには、500K $\Omega$ 以上のプルダウン抵抗をTXSELH\_RF端子に接続してください。

TXSELL\_RFは、パケット送信開始から次の受信開始までの期間はロウ・レベル出力、DEEPSLEEPモード期間はHi-z、それ以外の期間はハイ・レベル出力になります。DEEPSLEEPモード期間中にロウ・レベルとするためには、500K $\Omega$ 以上のプルダウン抵抗をTXSELL\_RF端子に接続してください。

#### (5) XTAL1\_RF, XTAL2\_RF

RFトランシーバの基準クロックとなる水晶振動子の接続端子です。

32MHzの水晶振動子を接続してください。

(6) GPIO0, GPIO1, GPIO2, GPIO3

4ビットの入出力ポート端子です。

### 15.2.2 アナログ端子

下記にRFトランシーバに関わるアナログ端子の説明をします。

(1) ANT

RFトランシーバのRF単一入出力端子です。

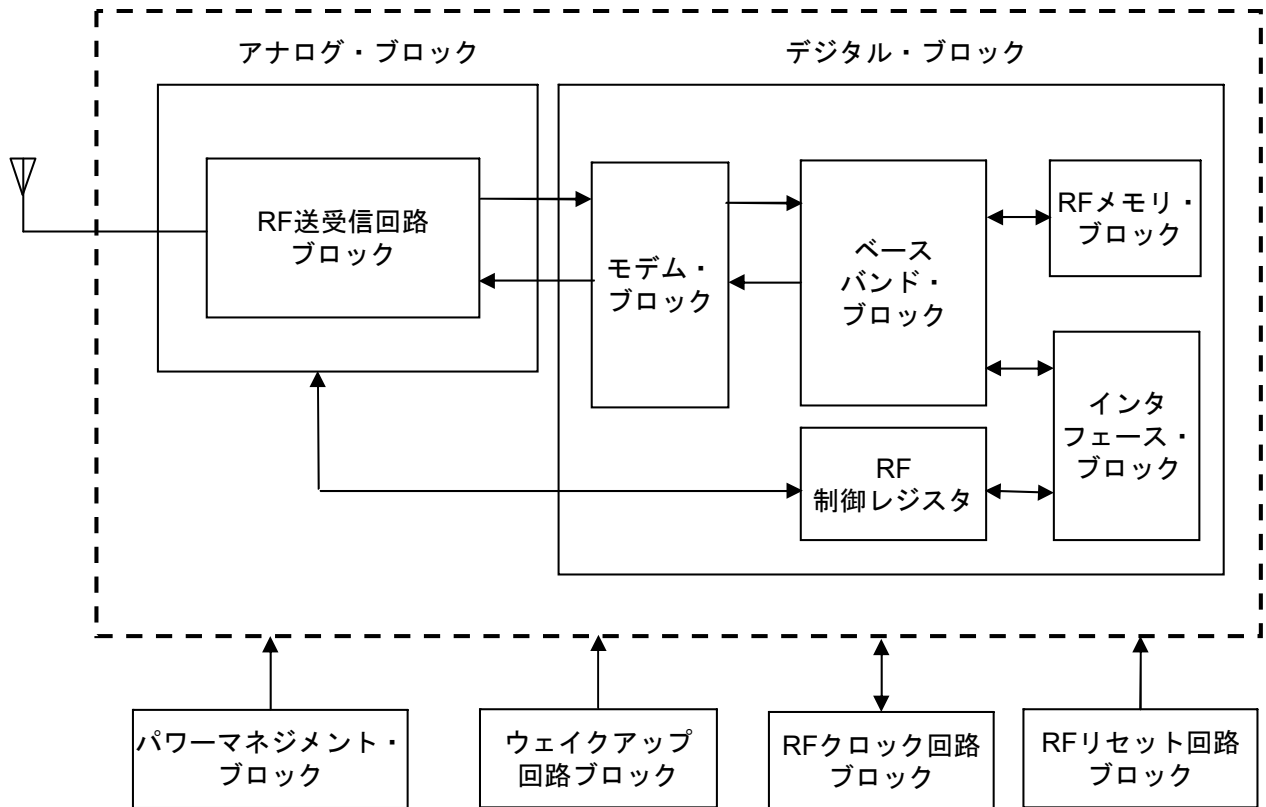
接続のマイクロストリップラインは、50Ωインピーダンスにしてください。

### 15.3 RFトランシーバの構成

RFトランシーバは、アナログ・ブロック、デジタル・ブロック、パワー・マネジメント・ブロック、ウェイクアップ回路ブロック、RFクロック発生回路ブロック、RFリセット回路ブロックで構成しています。

ブロック図は、図15-1に示します。詳細説明は、次頁以降に示します。

図15-1 RFトランシーバ・ブロック図



### 15.3.1 デジタル・ブロック

デジタル・ブロックは、ベースバンド・ブロック、インタフェース・ブロック、RFメモリ・ブロック、RF制御レジスタ・ブロック、モデム・ブロックで構成しています。

図15-2 ベースバンド・ブロック図



- (1) ベースバンド制御レジスタ部  
ベースバンド・ブロックを制御するレジスタ群で構成されます。
- (2) メモリコントローラ部  
メモリ・ブロックとのインタフェース、およびメモリ・ブロックを制御します。
- (3) ホワイト・リスト・サーチ・エンジン部  
ホワイト・リストの管理を行います。
- (4) イベント・スケジューラ部  
送信、および受信イベント実施のスケジュール管理を行います。
- (5) イベント・コントローラ部  
送信、および受信イベントの制御を行います。
- (6) パケット・コントローラ部  
送信パケットの生成、および受信パケット解析を行います。
- (7) 周波数選択部  
周波数ホッピングのチャネル選択をします。

## (8) CRC部

送信, および受信データのCRCの演算を行います。

## (9) ラジオ・コントローラ部

RF送受信回路ブロックの制御を行います。

## (10) ホワイトニング部

送信データのホワイトニングと, 受信データのホワイトニングのデコードを行います。

## (11) タイミング発生部

ベースバンドのタイミング制御を行います。

## (12) 割り込み発生部

割り込みを制御するブロックです 割り込み要因は, 表15-1に示します。

## (13) AES CCM部

暗号を制御するブロックです。

表15-1 割り込み要因

優先順位 <sup>※</sup>	割り込み要因名	RF部割り込み要因
0	ble_cscnt_irq	625 $\mu$ sベースタイム割り込み アクティブ・モード時に625 $\mu$ s単位で発生します。
1	ble_slp_irq	スリープ・モード解除割り込み 事前に設定したウェイクアップ・タイム時間で発生します。
2	ble_rx_irq	受信パケット割り込み パケットを受信時に発生します。
3	ble_event_irq	イベント割り込み advertising / scanning / connection イベント終了時に発生します。
4	ble_crypt_irq	暗号/復号割り込み 暗号/復号の完了, レジスタから制御時に発生します。
5	ble_error_irq	エラー割り込み MCUとベースバンドが同時に同じメモリスペースにアクセスした時に発生します。(例)
6	ble_grosstgtim_irq	10msタイマ割り込み 10ms精度でタイマ設定値に達成時に発生します。
7	ble_finetgtim_irq	625 $\mu$ sタイマ割り込み 625 $\mu$ s精度でタイマ設定値に達成時に発生します。
8	ble_radiocntl_irq	無線制御割り込み, 無線要因割り込み IDLE_RF→SETUP_RFに遷移したタイミングで発生します。

注 優先順位は, 複数の割り込みが発生している場合, 優先順位です。0が最高順位, 8が最低順位です。

### 15.3.2 インタフェース・ブロック

本ブロックは、MCU部との内部インタフェースのために、専用SPI機能が搭載されたブロックです。

### 15.3.3 RFメモリ・ブロック

本ブロックは、16ビット×1664のSRAMを搭載しています。MCU部から内部インタフェースでアクセスをします。

RFメモリ・マップは、図15-3に示します。

RFメモリ領域は、ベースバンドのイベントとタイミングの制御設定、イベントによる送信/受信パケット処理の指定、送信/受信パケットのステータスと、送信/受信データバッファに使用されます。

PHYブロック・レジスタ領域は、PHYブロックの動作設定、イベント通知のレジスタです。

ベースバンド制御レジスタ領域は、ベースバンド・ブロックの動作設定、イベント通知のレジスタです。

メモリ・マップ領域のアクセスは、ルネサス製Bluetooth Low Energyプロトコル・スタックによって動作設定をします。

図15-3 RFメモリ・マップ

0x31FF	使用不可 <sup>注</sup>
0x2CFD	
0x2CFD	RFメモリ領域 (1664×16ビット)
0x2000	
0x1FFF	使用不可 <sup>注</sup>
0x1880	
0x187F	RF制御レジスタ領域 (リテンションレジスタ)
0x1800	
0x17FF	使用不可 <sup>注</sup>
0x1100	
0x11FF	RF制御レジスタ領域
0x1000	
0x0FFF	使用不可 <sup>注</sup>
0x0100	
0x00FF	ベースバンド制御レジスタ領域
0x0000	

注 この領域へのアクセスは禁止です。

### 15.3.4 RF制御レジスタ・ブロック

本ブロックは、アナログ・ブロック全体を制御するレジスタ群で構成します。RF制御レジスタのアクセスは、ルネサス製Bluetooth Low Energyプロトコル・スタックによって動作設定をします。

### 15.3.5 モデム・ブロック

本ブロックは、主に変調器と復調器で構成されます。

#### (1) 変調器

GFSK変調を行います。

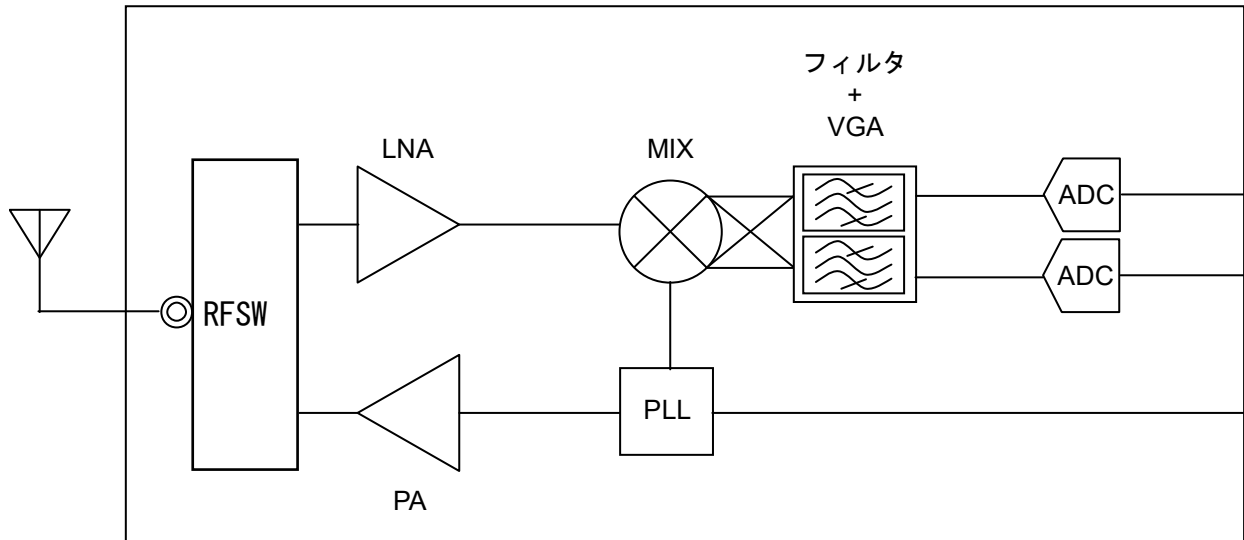
#### (2) 復調器

FSK復調を行います。

### 15.3.6 アナログ・ブロック

アナログ・ブロックは、RF送受信ブロックで構成しています。RF送受信ブロックのブロック図を、図15-4に示します。

図15-4 RF送受信ブロック



#### (1) RFSW部

送信機として機能する際は、送信ブロックのパワーアンプ（PA）から出力される信号を入力とし、アンテナに出力します。受信機として機能する際は、アンテナで受信した信号を入力とし、受信ブロックのLNAに出力します。

また、送信時には受信側に、受信時は送信側に信号をリークさせないように、信号を遮断する機能も併せ持っています。

#### (2) LNA部

アンテナで取り込んだ高周波信号を入力とするアナログ回路部の初段に配置される回路です。受信信号が微小な大きさである場合には、信号を増幅して、後段回路で発生する雑音によるキャリア電力対雑音電力比（CNR）の劣化を回避する役割を持ちます。反対に、入力信号が大きな場合には、LNA自身、もしくは、後段回路での信号歪を最小限に抑えるために、信号レベルを、場合によっては、減衰させることも含めて調整します。

#### (3) MIX部

LNAから出力される高周波RF信号を入力とし、低周波のBB(Base Band)信号に周波数変換するミキサー回路です。

#### (4) フィルタ部

フィルタコア部、チューニング部、ミキサー・フィルタ間の容量、フィルタ-VGA間の容量、バイアス回路で構成します。

#### (5) VGA (Variable Gain Amplifier)部

後段に接続されるA/D変換器に最適な振幅を与えられるように振幅を変化させます。

## (6) ADC部

逐次比較ADCで構成します。

## (7) PLL部

RF基準クロックを元に、送受信で使用するキャリア周波数（2.4GHz帯）を発生し、MIXへは90度ずつシフトした4相の信号を、PAへはシングルエンドの単相信号を供給する機能を持っています。

## (8) PA部

本パワーアンプ（PA）は、送信アナログ回路部の出力段として配置される回路で、PLLからのキャリア（搬送波）を電力増幅してアンテナへ出力します。出力電力は、2.4GHz帯にてTyp.+0dBm(50Ω負荷)です。PLLからのGFSK変調信号をそのまま電力増幅します。

### 15.3.7 パワーマネージメント・ブロック

パワーマネジメント・ブロックは、DC-DCコンバータおよびレギュレータで構成しています。

## (1) DC-DCコンバータ

電源（1.8~3.6V）から、内部電源用に安定化電源を生成するスイッチング・レギュレータを搭載しています。

DC-DCコンバータは、使用可否の選択が可能です。DC-DCコンバータ使用時は、省電力での動作が可能となります。DC-DCコンバータ未使用時は、低電圧（1.6V）動作が可能で、かつ、外付け部品が削減となり、システム・コスト・ダウン化が考慮できます。

## (2) レギュレータ

電源（1.6~3.6V）から、デジタル回路用安定化電源、ADC用安定化電源、発振回路用安定化電源、PLL回路用安定化電源、VCO回路用安定化電源、RFアナログ回路用安定化電源を生成する6つのレギュレータを搭載しています。

### 15.3.8 ウェイクアップ・ブロック

ウェイクアップ・ブロックは、スリープ用のタイマとパワー/リセットの制御回路で構成しています。

## (1) スリープ・タイマ

DEEP\_SLEEP、SLEEP\_RF時のスリープ期間を、RFスロー・クロックでカウントするタイマです。

## (2) パワー/リセット・コントロール

DEEP\_SLEEP時、DC-DCコンバータ、および32MHz発振回路は停止します。そのため、DEEP\_SLEEPからウェイクアップするタイミングで、DC-DCコンバータ、および32MHz発振回路のパワーアップおよびベースバンド部のリセットを行うための制御を行います。

また、SLEEP\_RF時、DC-DCコンバータ、および32MHz発振回路は停止しません。そのため、SLEEP\_RFからウェイクアップ時は、パワー/リセットの制御は、行っていません。



### 15.3.9 RFクロック発生回路・ブロック

RFクロック発生回路・ブロックは、RF部の内部回路に供給するクロックを発生する回路です。および、発生したクロックを出力する回路ブロックです。

RF基準クロックおよびRFスロー・クロック発生回路には、次の種類があります。

#### (1) RF基準クロック発生回路

##### ・XTAL\_RF発振回路

XTAL1\_RF、XTAL2\_RF端子に32MHzの発振子を接続することにより、32MHzのクロックを発振させることができます。

RF基準クロックは、デジタル・ベースバンド・ブロック全体に供給しています。発振停止状態から、安定発振までには、発振安定時間が必要です。発振安定時間は、 $550\mu\text{s} + \alpha$  ( $\alpha$ は発振回路によって異なります)以上の発振待ち時間が必要となります。

#### (2) RFスロー・クロック発生回路

##### ① RFスロー・クロック用オンチップ・オシレータ

RF内部に搭載している $f_{\text{ILRF}} = 32.768\text{kHz}$ を発振させることができます。本オシレータを使用する場合は、RF部の内部端子であるEXT32Kをロウ・レベルにする必要があります。また、本RFスロー・クロック用オンチップ・オシレータは、RFスロー・クロック以外の目的では、使用できません。

##### ② 外部入力

EXSLK\_RF/GPIO3端子から、外部RFスロー・クロック ( $f_{\text{EXRF}} = 32.768\text{kHz}$ ) を方形波入力することができます。本外部入力を使用する場合は、RF部の内部端子であるEXT32Kをハイ・レベルにする必要があります。

#### (3) RF基準クロック出力回路

RF基準クロックを分周したクロックを、CLKOUT\_RF端子から出力することができます。出力設定ができるクロックは、16MHz、8MHz、4MHzとなります。本クロック出力をEXCLK端子に接続することにより、MCU部の外部メイン・システム・クロックとして、使用することもできます。その場合、ユーザ基板上で、本端子とEXCLK端子を接続してください。

### 15.3.10 RFリセット回路ブロック

RFリセット回路・ブロックは、RF部の内部回路に使用するリセット信号の生成を行う回路ブロックです。

RFリセットには、次の種類があります。

#### (1) 端子リセット

内部端子であるRESET\_RFからの端子リセットにより、RF内部回路のためのリセット信号を生成します。

#### (2) ウェイクアップ・リセット

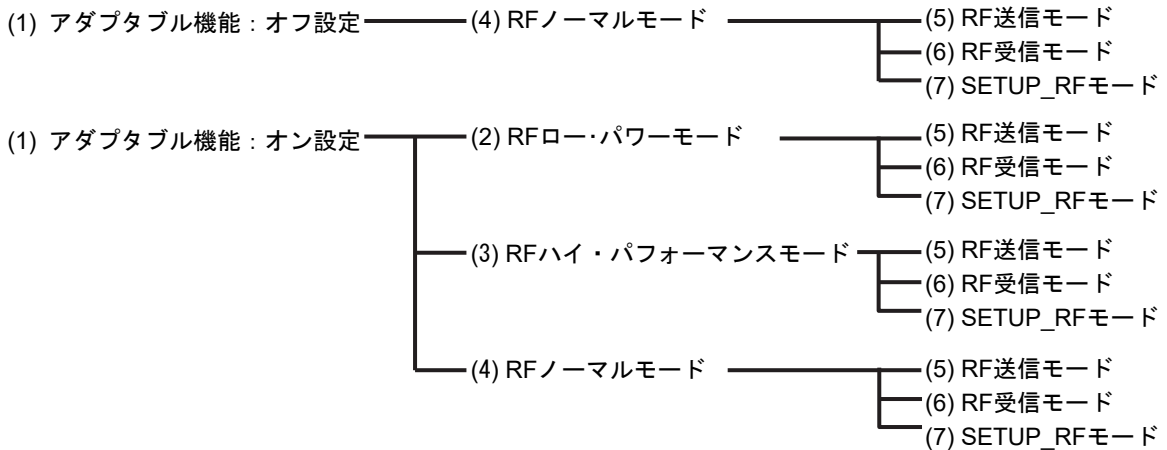
DEEP\_SLEEPからのウェイクアップ時、一部、RF内部回路をリセットする必要があります。そのため、リセット信号を生成します。

## 15.4 RFモード

### 15.4.1 RF動作モード

RF動作モードには、下記7つのモードがあります。

図15-5 RF動作・モード一覧



#### (1) アダプタブル機能

アダプタブル機能は、スレーブ動作専用のモードとなります。本機能をオン設定にすると、パケット受信時に、その信号強度を測定し、受信後に最適なモードへと遷移します。

アダプタブル機能のモードには、信号強度が強い時にRFロー・パワーモード、信号強度が中の時にRFノーマルモード、信号強度が低い時にRFハイ・パフォーマンスモードに移行する3つのモードが存在します。いずれも自動センスして自動遷移します。

また、マスタ動作時には使用できないため、マスタ動作時はアダプタブル機能をオフ設定で使用してください。

#### (2) RFロー・パワーモード

スレーブ動作時にアダプタブル機能をオン設定にした場合、パケット受信時に信号強度の測定を行います。その信号強度が強い時、パケット受信後に本モードへと自動遷移します。

本モードの特徴は、省電力での動作が可能となります。マスタとスレーブ間で十分な信号強度が保てるような近距離、中距離のアプリケーションに最適なモードとなります。

#### (3) RFハイ・パフォーマンスモード

スレーブ動作時にアダプタブル機能をオン設定にした場合、パケット受信時に信号強度の測定を行います。その信号強度が低い時、パケット受信後に本モードへと自動遷移します。

本モードの特徴は、信号強度が弱いいため、RF特性をあげることが可能となります。マスタとスレーブ間で信号強度が低くなりがちの中距離、長距離のアプリケーションに最適なモードとなります。

#### (4) RFノーマルモード

スレーブ動作時にアダプタブル機能をオン設定にした場合、パケット受信時に信号強度の測定を行います。その信号強度が中の時、パケット受信後に本モードへと自動遷移します。

本モードの特徴は、省電力での動作が可能なRFロー・パワーモードと、RF特性をあげるRFハイ・パフォーマンスモードの両方をバランスよく保つモードとなります。マスタとスレーブ間で信号強度が一定レベル保てる近距離、中距離のアプリケーションに最適なモードとなります。

また、アダプタブル機能がオフ設定の場合、本モードに固定されます。

#### (5) RF送信モード

パケットを送信するモードです。SETUP\_RFモード経由し、イベント期間の送信タイミングで、パケット送信します。

パケット送信完了後、IDLE\_RFモードへ自動的に遷移します。

#### (6) RF受信モード

パケットを受信するモードです。SETUP\_RFモード経由し、イベント期間の受信タイミングで、パケット受信します。

パケット受信完了後、IDLE\_RFモードへ自動的に遷移します。

#### (7) SETUP\_RFモード

アナログ回路を起動し、パケット送受信が正常に行える状態にするためのセットアップ期間です。正常にセットアップが完了すると、イベントにより、RF送信モード又はRF受信モードへ自動的に遷移します。

### 15.4.2 RFスタンバイ・モード

RFスタンバイ・モードには、下記6つのモードがあります。

- (1) POWER\_DOWNモード
- (2) RESET\_RFモード
- (3) STANDBY\_RFモード
- (4) IDLE\_RFモード
- (5) DEEP\_SLEEPモード
- (6) SLEEP\_RFモード

#### (1) POWER\_DOWNモード

電源供給後、最初に遷移するモードです。電源の供給はされますが、内部回路には電源が供給はされていません。RF部の全デジタル端子は、ハイ・インピーダンスで、入力端子のRFCTLEN端子以外は、入力信号を受けません。

このモードは、RF部では最も低消費電流モードです。また、RFCTLEN端子にロウ・レベルを入力することで、どの状態からでも、低消費電流となる本モードへ遷移します。

## (2) RESET\_RFモード

本モードに遷移すると、RFスロー・クロック発生回路およびRFリセット回路を除き、内部回路へ電源供給はされていません。RF部のRFCTLEN端子、EXSLK\_RF端子以外の全デジタル端子は、ハイ・インピーダンス状態です。

本モードへの遷移は、以下2通りの状態より遷移します。

- POWER\_DOWNモードの状態時、RFCTLEN端子にロウからハイを入力することにより、本モードへ遷移します。
- STANDBY\_RFモードの状態時、CE\_RF内部端子にハイからロウを入力することにより、本モードへ遷移します。

## (3) STANDBY\_RFモード

本モードへ遷移すると、RF基準クロックの発振回路とDC-DCコンバータの動作が可能となります。本モードへ遷移時、発振安定待ち、およびDC-DCコンバータ出力安定待ちが必要となります。よって、その期間は他のモードへの遷移は禁止です。安定待ちは、ソフトウェアによって、ソフトウェアを入れてください。待ち時間は、下記になります。

発振安定待ち時間：本モードへ遷移してから、 $550\mu\text{s} + \alpha$  ( $\alpha$ ：外付け発振回路による)以上

DC-DCコンバータ出力安定

待ち時間：本モードへ遷移してから、 $250\mu\text{s}$ 以上

本モードへの遷移は、以下2通りの状態より遷移します。

- RESET\_RFモードの状態時、CE\_RF内部端子にロウからハイを入力することで、本モードへ遷移します。
- IDLE\_RFモードの状態時、 $\overline{\text{RESET\_RF}}$ 内部端子をハイからロウを入力することで、本モードへ遷移します。

## (4) IDLE\_RFモード

パケット送受信イベント発生待ちのアイドル状態です。イベントが発生すると、アナログ回路を起動するため、SETUP\_RFモードへ遷移します。また、パケットの送受信が完了すると、本モードへ遷移し、再びアイドル状態になります。

本モードへの遷移は、以下5通りの状態より遷移します。

- STANDBY\_RFモードの状態時、発振安定待ち時間後、 $\overline{\text{RESET\_RF}}$ 内部端子にロウからハイを入力することにより、本モードへ遷移します。
- SLEEP\_RFモードの状態時、SLEEP\_RFモードの解除要因が発生後、本モードへ遷移します。
- RF送信モードの状態時、パケット送信完了後、本モードへ遷移します。
- RF受信モードの状態時、パケット受信完了後、本モードへ遷移します。
- DEEP\_SLEEPモードの状態時、DEEP\_SLEEPモードの解除要因が発生後、本モードへ遷移します。

## (5) DEEP\_SLEEPモード

本モードへ遷移すると、RFスロー・クロック発生回路とDEEP\_SLEEPモードから復帰するためのウェイクアップ回路以外は、電源供給停止となります。そのため、本モードからIDLE\_RFモードへの復帰には、RF基準クロックの発振安定待ち、およびDC-DCコンバータの出力の安定待ち時間が必要となります。

POWER\_DOWNモードよりは、高消費モードで、SLEEP\_RFモードよりは低消費モードとなります。また、POWER\_DOWNモードよりは復帰時間が早く、SLEEP\_RFモードよりは復帰時間が必要です。

本モードへの遷移は、以下の方法で遷移します。

- DEEP\_SLEEPモードへの移行コマンドの発生、かつ、CE\_RF内部端子にハイからロウを入力することにより、本モードへ遷移します。

## (6) SLEEP\_RFモード

本モードへ遷移すると、RFスロー・クロック発生回路とSLEEP\_RFモードから復帰するためのウェイクアップ回路以外は、動作停止となります。DEEP\_SLEEPモードよりは、高消費モードとなりますが、DEEP\_SLEEPモードより短い時間で復帰することが可能です。

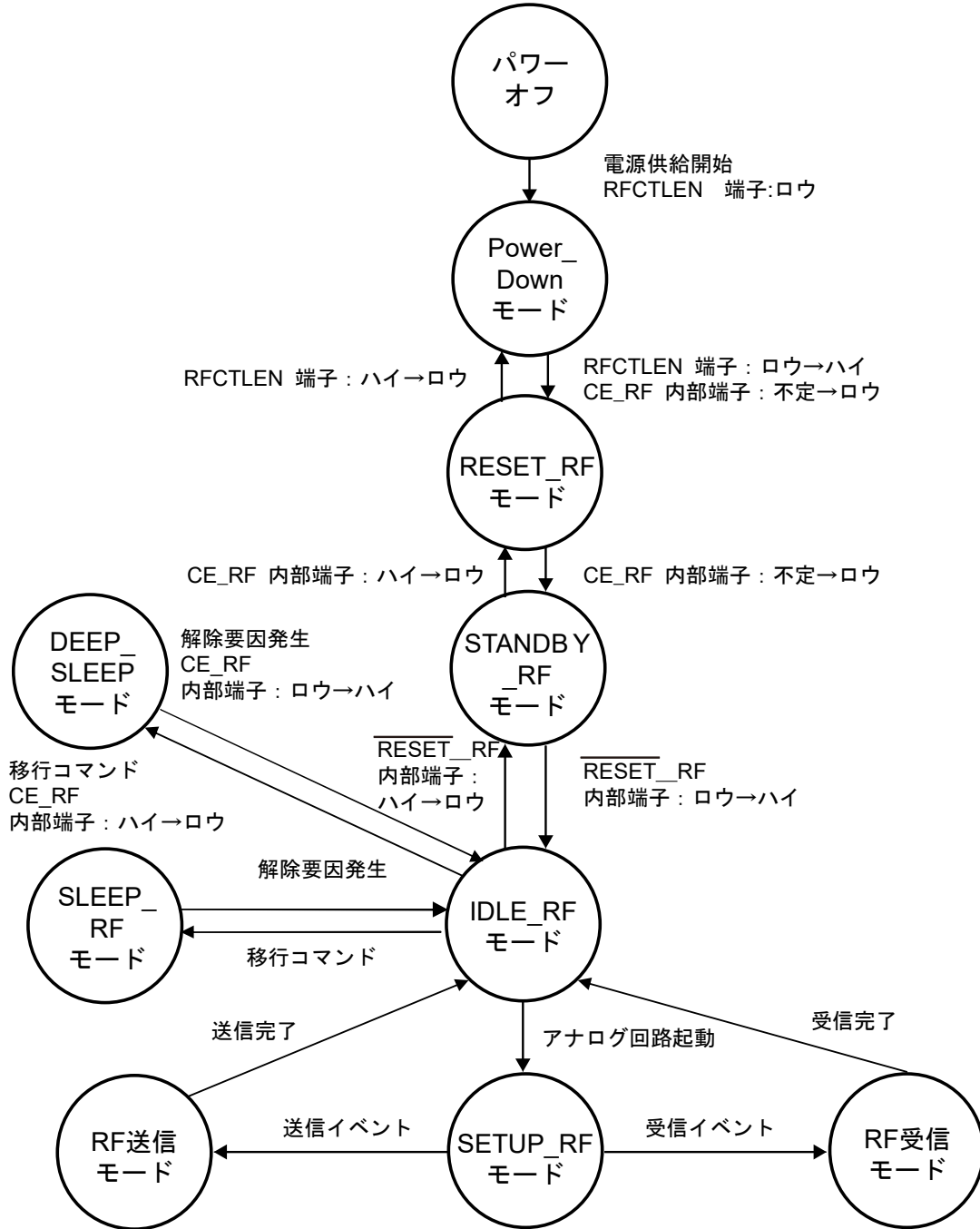
本モードへの遷移は、以下の方法で遷移します。

- SLEEP\_RFモードへの移行コマンドの発生により、本モードへ遷移します。

15.4.3 状態遷移図

RFトランシーバのRFモードの状態遷移図を、図15-6に示します。

図15-6 状態遷移図



注意 RFCTLEN端子：ハイ時、ハイ→ロウでパワーダウン・モードへ遷移

## 15.4.4 モード遷移時間

モード遷移時間を表15-2に示します。

表15-2 モード遷移時間

モード遷移		遷移時間
移行元	移行先	
パワーオフ	POWER_DOWN	0Vから1.6V到達後、RFCTLEN端子のロウ期間が(RFスロー・クロック×2) 経過後
POWER_DOWN	RESET_RF	RFCTLEN端子のロウからハイを起点に(RFスロー・クロック×2) 経過後
RESET_RF	POWER_DOWN	RFCTLEN端子のハイからロウを起点に(RFスロー・クロック×2) 経過後
RESET_RF	STANDBY_RF	CE_RF端子のロウからハイを起点に(RFスロー・クロック×2) 経過後 上記モード移行後、発振安定待ち時間: 550 μs + α (α: 外付け発振回路による) を最低保持
STANDBY_RF	RESET_RF	CE_RF端子のハイからロウを起点に(RFスロー・クロック×2) 経過後
STANDBY_RF	POWER_DOWN	RFCTLEN端子のハイからロウを起点に(RFスロー・クロック×2) 経過後
STANDBY_RF	IDLE_RF	RESET_RF内部端子のロウからハイを起点に(4×1/RFスロー・クロック+1/RF 基準クロック×6) 経過後
IDLE_RF	STANDBY_RF	RESET_RF内部端子のロウ幅 (min.) <sup>※</sup> 上記モード移行後、発振安定待ち時間: 550 μs + α (α: 外付け発振回路による) を最低保持
IDLE_RF	POWER_DOWN	RFCTLEN端子のハイからロウを起点に(RFスロー・クロック×2) 経過後
IDLE_RF	SLEEP_RF	(RFスロー・クロック×1) + (1 μs) 以内
SLEEP_RF	IDLE_RF	割り込み発生から、RF基準クロックx1以内
IDLE_RF	DEEP_SLEEP	(RFスロー・クロック×1) + (1 μs) 以内
DEEP_SLEEP	IDLE_RF	割り込み発生から、RF基準クロックx1以内
IDLE_RF	SETUP_RF	1 μs 上記モード移行後、SETUP_RFモードの滞在期間は、11 μsです。
SETUP_RF	RF送信	150 μs 上記モード移行後、RF送信モードの滞在期間は、最大376 μs、最小80 μsです
SETUP_RF	RF受信	150 μs 上記モード移行後、RF受信モードの滞在期間は、最小80 μsです。
RF送信	IDLE_RF	3 μs
RF受信	IDLE_RF	1 μs
SETUP_RF	POWER_DOWN	RFCTLEN端子のハイからロウを起点に(RFスロー・クロック×2) 経過後
RF送信	POWER_DOWN	RFCTLEN端子のハイからロウを起点に(RFスロー・クロック×2) 経過後
RF受信	POWER_DOWN	RFCTLEN端子のハイからロウを起点に(RFスロー・クロック×2) 経過後

注 ロウ幅およびハイ幅は、AC特性を参照してください。

## 15.4.5 各モードでの端子状態

各動作モードの端子状態を表15-3に示します。

表15-3 各動作モードの端子状態 (1/2)

端子	POWER_DOWN	RESET_RF	STANDBY_RF	IDLE_RF	SETUP_RF
RFCTLEN	ロウ入力	ハイ入力	ハイ入力	ハイ入力	ハイ入力
EXSLK_RF	Don't care	動作可	動作可	動作可	動作可
CLKOUT_RF	Hi-Z	Hi-Z	動作可	動作可	動作可
INTOUT_RF	Hi-Z	ハイ出力	ハイ出力	ハイ出力	動作可
TXSELH_RF	Hi-Z	Hi-Z	Hi-Z	動作可	動作可
TXSELL_RF	Hi-Z	Hi-Z	Hi-Z	動作可	動作可
GPIO[3:0]	Hi-Z	Hi-Z	動作可	動作可	動作可
CE_RF内部端子	don't care	ロウ入力	ハイ入力	ハイ入力	ハイ入力
RESET_RF内部端子	don't care	ロウ入力	ロウ入力	ハイ入力	ハイ入力

表15-3 各動作モードの端子状態 (2/2)

端子	RF送信	RF受信	SLEEP_RF	DEEP_SLEEP
RFCTLEN	ハイ入力	ハイ入力	ハイ入力	ハイ入力
EXSLK_RF	動作可	動作可	動作可	動作可
CLKOUT_RF	動作可	動作可	動作可	Hi-Z
INTOUT_RF	動作可	動作可	動作可	ハイ出力
TXSELH_RF	動作可	動作可	動作可	Hi-Z
TXSELL_RF	動作可	動作可	動作可	Hi-Z
GPIO[3:0]	動作可	動作可	動作可	Hi-Z
CE_RF内部端子	ハイ入力	ハイ入力	ハイ入力	ロウ入力
RESET_RF内部端子	ハイ入力	ハイ入力	ハイ入力	ハイ入力



## 15.4.6 各モードでの機能状態

各動作モードの機能状態を表15-4に示します。

表15-4 動作モードの機能状態 (1/2)

機能	POWER_DOWN	RESET_RF	STANDBY_RF	IDLE_RF	SETUP_RF
RF発振回路用 レギュレータ	動作不可	動作不可	動作	動作	動作
PLL回路用 レギュレータ	動作不可	動作不可	動作停止	動作停止	動作
ADC回路用 レギュレータ	動作不可	動作不可	動作停止	動作停止	動作
VCO回路用 レギュレータ	動作不可	動作不可	動作停止	動作停止	動作
RFデジタル回路用 レギュレータ	動作不可	動作不可	動作	動作	動作
RFアナログ回路用 レギュレータ	動作不可	動作不可	動作停止	動作停止	動作
デジタル・ブロック	動作不可	動作不可	動作停止	動作	動作
アナログ・ブロック	動作不可	動作不可	動作停止	動作停止	動作
ウェイクアップ回路	動作不可	動作不可	動作停止	動作可能	動作可能
RFクロック発生回路 RF基準クロック	動作不可	動作停止	動作	動作	動作
RFクロック発生回路 RFスロー・クロック	動作不可	動作	動作	動作	動作
RF基準クロック 出力回路	動作不可	動作不可	動作可能	動作可能	動作可能
RFリセット回路	動作不可	動作	動作	動作	動作

表15-4 各動作モードの機能状態 (2/2)

機能	RF送信	RF受信	SLEEP_RF	DEEP_SLEEP
RF発振回路用 レギュレータ	動作	動作	動作	動作 (一部)
PLL回路用 レギュレータ	動作	動作	動作停止	動作停止
ADC回路用 レギュレータ	動作	動作	動作停止	動作停止
VCO回路用 レギュレータ	動作	動作	動作停止	動作停止
RFデジタル回路用 レギュレータ	動作	動作	動作	動作
RFアナログ回路用 レギュレータ	動作	動作	動作停止	動作停止
DC-DCコンバータ	動作	動作	動作	動作停止
デジタル・ブロック	動作	動作	動作停止	動作不可
アナログ・ブロック	動作	動作	動作停止	動作停止
ウェイクアップ回路	動作停止	動作停止	動作	動作
RFクロック発生回路 RF基準クロック	動作	動作	動作	動作停止
RFクロック発生回路 RFスロー・クロック	動作	動作	動作	動作
RF基準クロック 出力回路	動作可能	動作可能	動作可能	動作可能
RFリセット回路	動作	動作	動作	動作 (一部)

## 第16章 乗除積和算器

### 16.1 乗除積和算器の機能

乗除積和算器には、次のような機能があります。

- $16\text{ビット} \times 16\text{ビット} = 32\text{ビット}$  (符号なし)
- $16\text{ビット} \times 16\text{ビット} = 32\text{ビット}$  (符号付)
- $16\text{ビット} \times 16\text{ビット} + 32\text{ビット} = 32\text{ビット}$  (符号なし)
- $16\text{ビット} \times 16\text{ビット} + 32\text{ビット} = 32\text{ビット}$  (符号付)
- $32\text{ビット} \div 32\text{ビット} = 32\text{ビット}$  剰余32ビット (符号なし)

### 16.2 乗除積和算器の構成

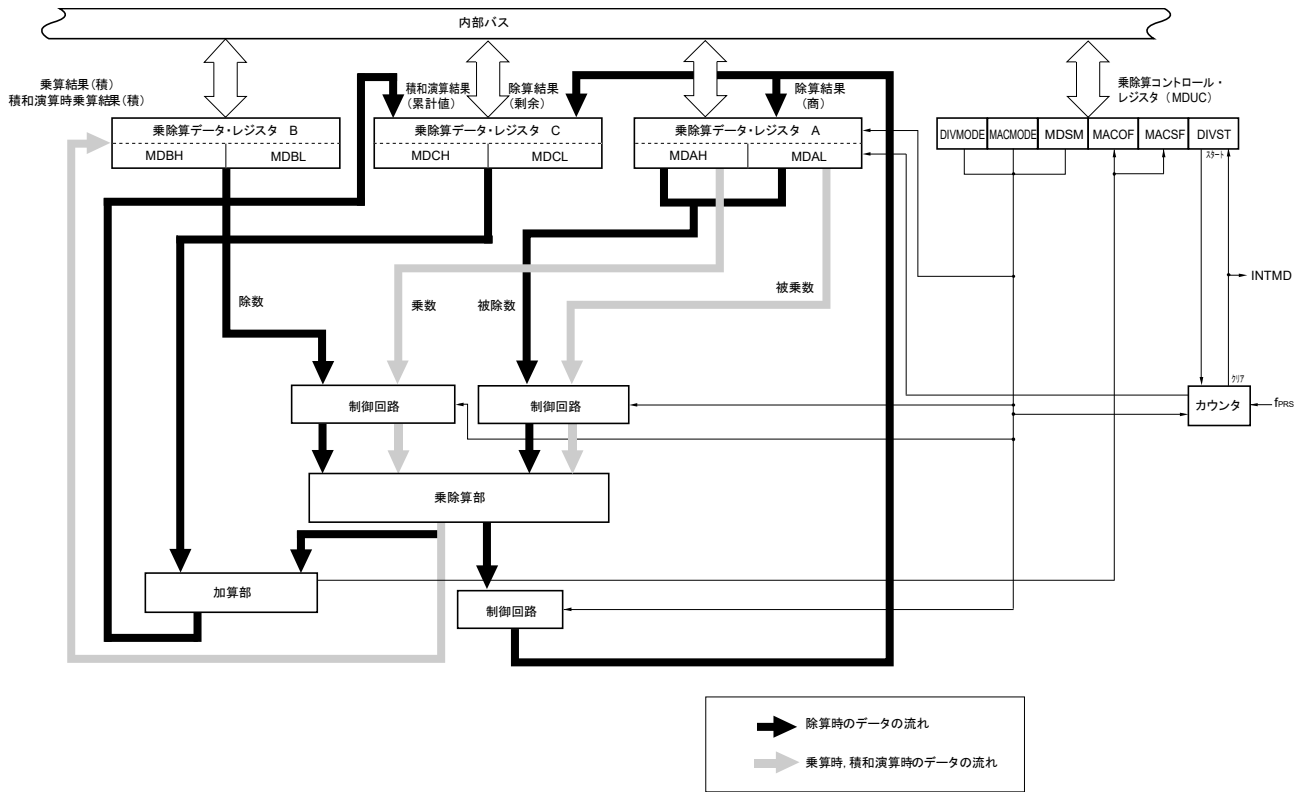
乗除積和算器は、次のハードウェアで構成されています。

表16-1 乗除積和算器の構成

項 目	構 成
レジスタ	乗除算データ・レジスタA (L) (MDAL) 乗除算データ・レジスタA (H) (MDAH) 乗除算データ・レジスタB (L) (MDBL) 乗除算データ・レジスタB (H) (MDBH) 乗除算データ・レジスタC (L) (MDCL) 乗除算データ・レジスタC (H) (MDCH)
制御レジスタ	乗除算コントロール・レジスタ (MDUC)

乗除積和算器のブロック図を図16-1に示します。

図16-1 乗除積和算器のブロック図



**備考** f<sub>CLK</sub> : CPU/周辺ハードウェア・クロック周波数

### 16.2.1 乗除算データ・レジスタA (MDAH, MDAL)

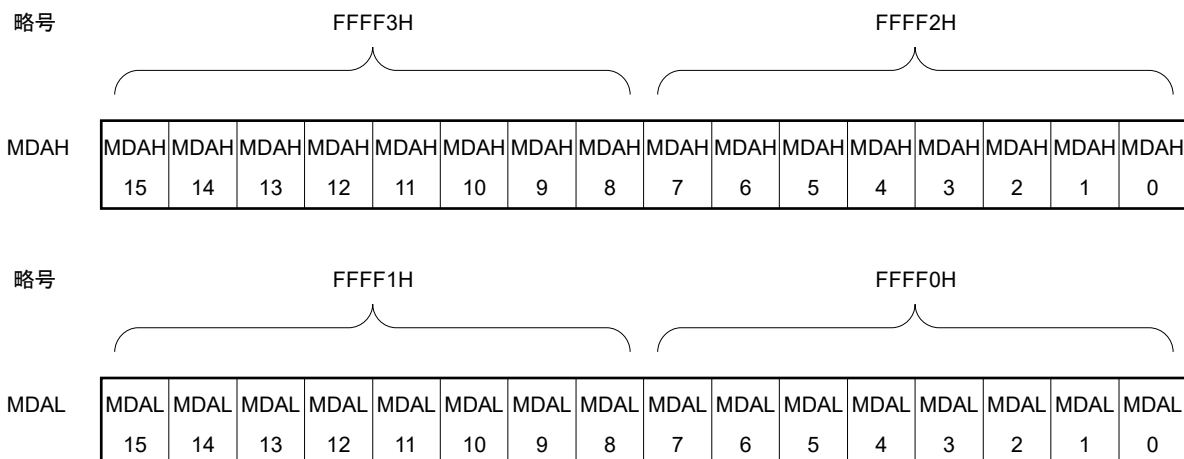
MDAH, MDALレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時および積和演算モード時は乗数と被乗数データを設定し、除算モード時は被除数データを設定します。また、除算モード時は演算結果（商）がMDAH, MDALレジスタに格納されます。

MDAH, MDALレジスタは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図16-2 乗除算データ・レジスタA (MDAH, MDAL) のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H リセット時：0000H, 0000H R/W



- 注意1.** 除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）に、MDAH, MDALレジスタの値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定値となります。
2. 除算演算処理中（MDUCレジスタが81H, C1Hのとき）にMDAH, MDALレジスタの値を読み出した場合、その値は保証しません。
  3. 乗算モード（符号付）、積和演算モード（符号付）の場合、データは2の補数形式になります。

MDAH, MDALレジスタの演算実行時の機能を次に示します。

表16-2 MDAH, MDALレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	MDAH：乗数（符号なし） MDAL：被乗数（符号なし）	—
乗算モード（符号付） 積和演算モード（符号付）	MDAH：乗数（符号付） MDAL：被乗数（符号付）	—
除算モード（符号なし）	MDAH：被除数（符号なし） （上位16ビット） MDAL：被除数（符号なし） （下位16ビット）	MDAH：除算結果（商）（符号なし） 上位16ビット MDAL：除算結果（商）（符号なし） 下位16ビット

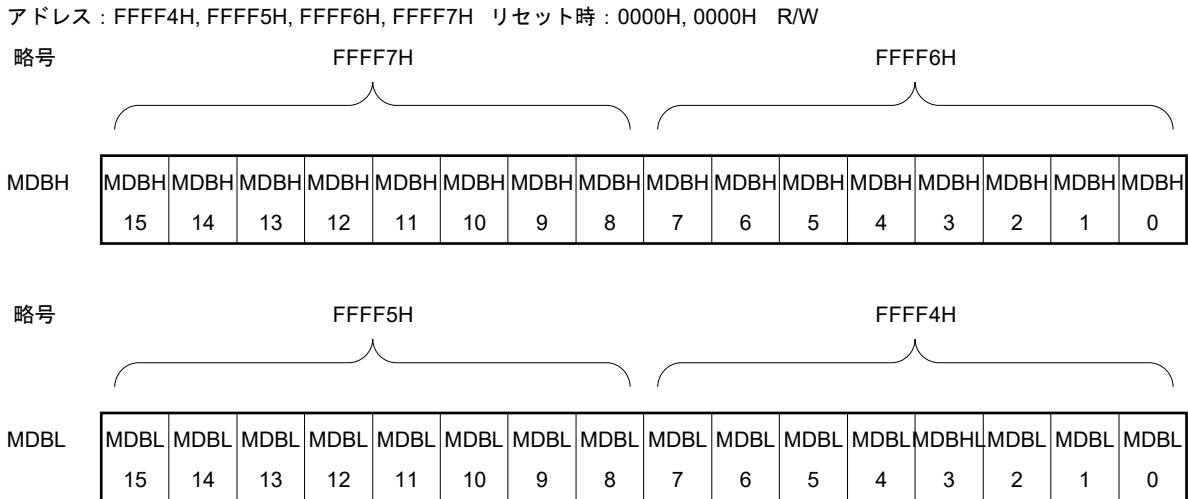
16.2.2 乗除算データ・レジスタB (MDBL, MDBH)

MDBH, MDBLレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モードおよび積和演算モード時は演算結果（積）を格納し、除算モード時は除数データを設定します。

MDBH, MDBLレジスタは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図16-3 乗除算データ・レジスタB (MDBH, MDBL) のフォーマット



- 注意1. 除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）または積和演算処理中に、MDBH, MDBLレジスタの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。
2. 除算モード時は、MDBH, MDBLレジスタに0000Hを設定しないでください。設定した場合、演算結果が不定値となります。
  3. 乗算モード（符号付）、積和演算モード（符号付）の場合、データは2の補数形式になります。

MDBH, MDBLレジスタの演算実行時の機能を次に示します。

表16-3 MDBH, MDBLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	—	MDBH：乗算結果（積）（符号なし）上位16ビット MDBL：乗算結果（積）（符号なし）下位16ビット
乗算モード（符号付） 積和演算モード（符号付）	—	MDBH：乗算結果（積）（符号付）上位16ビット MDBL：乗算結果（積）（符号付）下位16ビット
除算モード（符号なし）	MDBH：除数（符号なし） （上位16ビット） MDBL：除数（符号なし） （下位16ビット）	—

### 16.2.3 乗除算データ・レジスタC (MDCL, MDCH)

MDCH, MDCLレジスタは、積和演算モード時は累計結果の値を格納し、除算モード時は演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLレジスタは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図16-4 乗除算データ・レジスタC (MDCH, MDCL) のフォーマット

アドレス : F00E0H, F00E1H, F00E2H, F00E3H リセット時 : 0000H, 0000H R/W



- 注意1. 除算演算処理中 (乗除算コントロール・レジスタ (MDUC) が81H, C1Hのとき) に、MDCH, MDCLレジスタの値を読み出した場合、その値は保証されません。
2. 積和演算処理中に、MDCH, MDCLレジスタの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。
  3. 積和演算モード (符号付) の場合、データは2の補数形式になります。

表16-4 MDCH, MDCLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード (符号付/符号なし)	—	—
積和演算モード (符号なし)	MDCH: 累計初期値 (符号なし) (上位16ビット) MDCL: 累計初期値 (符号なし) (下位16ビット)	MDCH: 累計値 (符号なし) (上位16ビット) MDCL: 累計値 (符号なし) (下位16ビット)
積和演算モード (符号付)	MDCH: 累計初期値 (符号付) (上位16ビット) MDCL: 累計初期値 (符号付) (下位16ビット)	MDCH: 累計値 (符号付) (上位16ビット) MDCL: 累計値 (符号付) (下位16ビット)
除算モード (符号なし)	—	MDCH: 剰余 (符号なし) (上位16ビット) MDCL: 剰余 (符号なし) (下位16ビット)

乗算時と除算時のレジスタ構成を次に示します。

- 乗算時のレジスタ構成

$$\begin{array}{ccc} \langle \text{乗数A} \rangle & \langle \text{乗数B} \rangle & \langle \text{積} \rangle \\ \text{MDAL (ビット15-0)} \times \text{MDAH (ビット15-0)} = & [\text{MDBH (ビット15-0)}, \text{MDBL (ビット15-0)}] \end{array}$$

- 積和演算時のレジスタ構成

$$\begin{array}{ccc} \langle \text{乗数A} \rangle & \langle \text{乗数B} \rangle & \langle \text{累計値} \rangle \\ \text{MDAL (ビット15-0)} \times \text{MDAH (ビット15-0)} + \text{MDC (ビット31-0)} = & & \\ \langle \text{累計結果} \rangle & & \\ [\text{MDCH (ビット15-0)}, \text{MDCL (ビット15-0)}] & & \\ (\text{MDBH (ビット15-0)}, \text{MDBL (ビット15-0)}) \text{ には乗算結果が格納されます。} & & \end{array}$$

- 除算時のレジスタ構成

$$\begin{array}{ccc} \langle \text{被除数} \rangle & & \langle \text{除数} \rangle \\ [\text{MDAH (ビット15-0)}, \text{MDAL (ビット15-0)}] \div [\text{MDBH (ビット15-0)}, \text{MDBL (ビット15-0)}] = & & \\ \langle \text{商} \rangle & & \langle \text{剰余} \rangle \\ [\text{MDAH (ビット15-0)}, \text{MDAL (ビット15-0)}] \cdots [\text{MDCH (ビット15-0)}, \text{MDCL (ビット15-0)}] \end{array}$$



## 16.3 乗除積和算器を制御するレジスタ

乗除積和算器は、乗除算コントロール・レジスタ（MDUC）で制御します。

### 16.3.1 乗除算コントロール・レジスタ0（MDUC）

MDUCレジスタは、乗除積和算器の動作を制御する8ビット・レジスタです。

MDUCレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

ただし、積和演算結果（累計値）のオーバフロー・フラグ（MACOF）、積和演算結果（累計値）のサイン・フラグ（MACSF）は読み出しのみ可能です。

リセット信号の発生により、00Hになります。

図16-5 乗除算コントロール・レジスタ (MDUC) のフォーマット

アドレス : F00E8H    リセット時 : 00H    R/W<sup>※1</sup>

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	MACMODE	0	0	MDSM	MACOF	MACSF	DIVST

DIVMODE	MACMODE	MDSM	演算モードの選択
0	0	0	乗算モード (符号なし) (デフォルト)
0	0	1	乗算モード (符号付)
0	1	0	積和演算モード (符号なし)
0	1	1	積和演算モード (符号付)
1	0	0	除算モード (符号なし), 除算完了割り込み (INTMD) 発生
1	1	0	除算モード (符号なし), 除算完了割り込み (INTMD) 発生しない
上記以外			設定禁止

MACOF	積和演算結果 (累計値) のオーバーフロー・フラグ
0	オーバーフローなし
1	オーバーフローあり

[セット条件]

- ・積和演算モード (符号なし) の場合  
累計値が00000000h-FFFFFFFFhを超える場合
- ・積和演算モード (符号付) の場合  
正の累計値に正の積を加算した結果が7FFFFFFFFhを越え結果が負となる場合  
負の累計値に負の積を加算した結果が80000000hを越え結果が正となる場合

MACSF	積和演算結果 (累計値) のサイン・フラグ
0	累計値が正
1	累計値が負

積和演算モード (符号なし) の場合 : 常に0  
積和演算モード (符号付) の場合 : 累計値の符号ビットを表示

DIVST <sup>※2</sup>	除算演算動作の開始/停止
0	除算演算処理完了
1	除算演算開始/除算演算処理中

注1. ビット1, 2はRead onlyです。

2. DIVSTビットは除算モード時にのみセット (1) 可能です。除算モード時, DIVSTビットをセット (1) すると除算演算動作を開始します。演算終了後は自動的にDIVSTビットがクリア (0) されます。乗算モード時は, 乗除算データ・レジスタA (MDAH, MDAL) に乗数, 被乗数を設定することにより自動的に演算が開始されません。

注意 1. 演算処理中 (DIVSTビットが1のとき) に, DIVMODE, MDSMビットを書き換えしないでください。書き換えた場合, 演算結果が不定値となります。

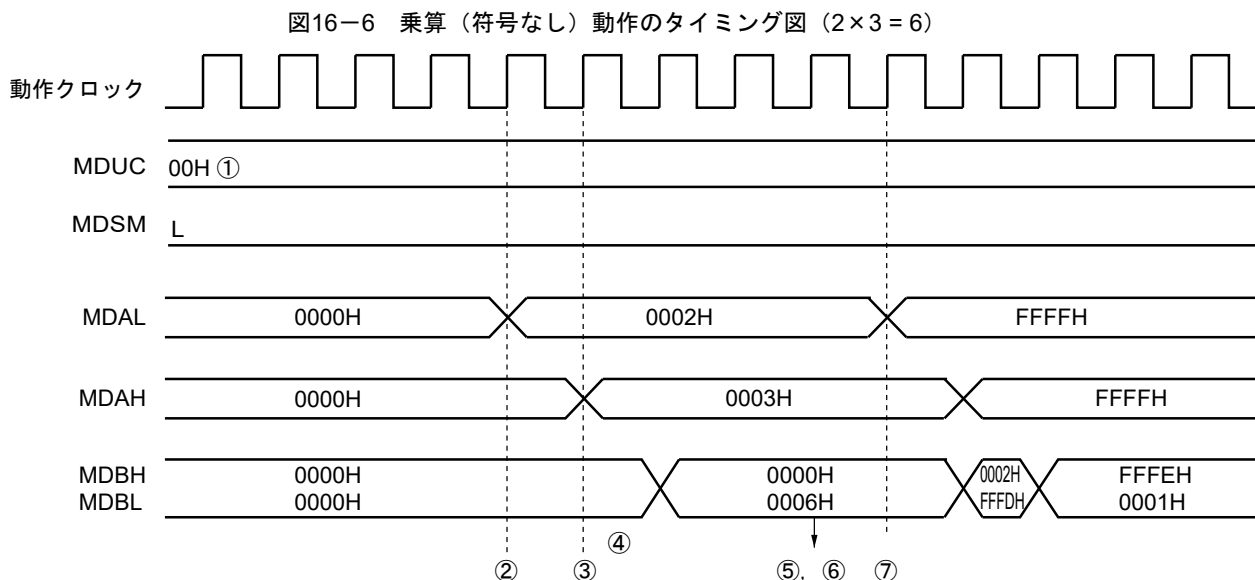
2. 除算演算処理中 (DIVSTビットが1のとき) にDIVSTビットをソフトウェアでクリア (0) することはできません。

## 16.4 乗除積和算器の動作

### 16.4.1 乗算（符号なし）動作

- 初期設定
  - ① 乗除算コントロール・レジスタ（MDUC）を00Hにする。
  - ② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット
  - ③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット
 （②、③のセットの順はどちらが先でも問題ありません。MDAH, MDALレジスタに乗数, 被乗数をセットすると自動的に乗算演算を開始します。）
- 演算処理中
  - ④ 1クロック以上ウエイトします。演算は1クロックで終了します。
- 演算終了
  - ⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。
  - ⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。
 （⑤、⑥の読み出しの順はどちらが先でも問題ありません。）
- 次回演算
  - ⑦ 演算モードを変更する場合は、各動作手順の初期設定から行ってください。続けて同じ演算モードを使用する場合は、①、②の設定は省略できます。

**備考** 手順の①～⑦は、図16-6の①～⑦に対応しています。



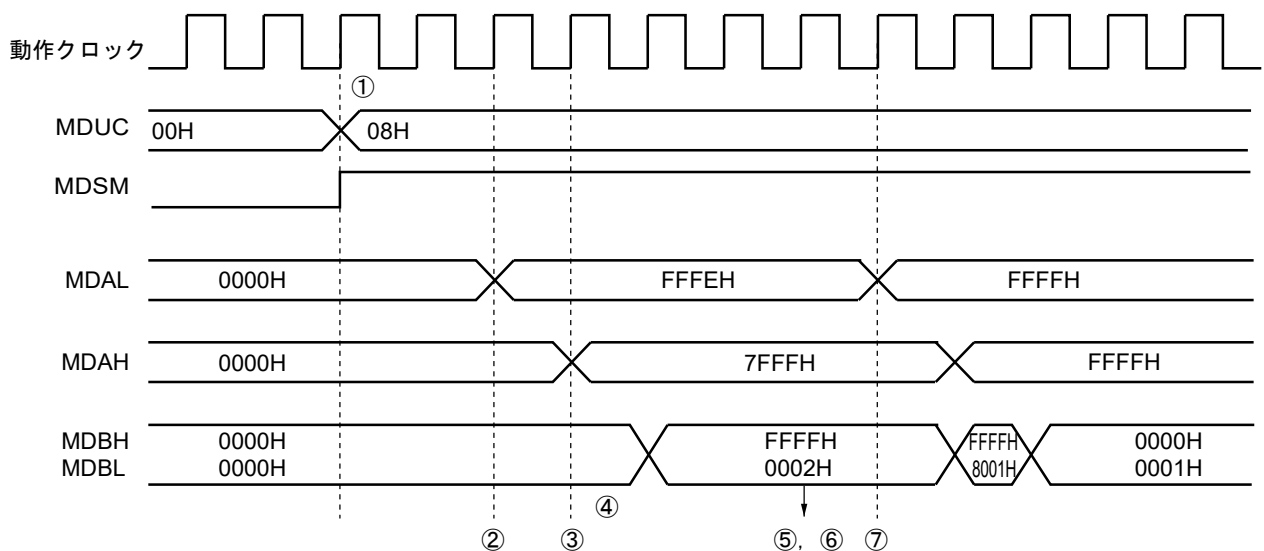
## 16.4.2 乗算（符号付）動作

- 初期設定
  - ① 乗除算コントロール・レジスタ（MDUC）を08Hにする。
  - ② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット
  - ③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット
 （②、③のセットの順はどちらが先でも問題ありません。MDAH, MDALレジスタに乗数、被乗数をセットすると自動的に乗算演算を開始します。）
- 演算処理中
  - ④ 1クロック以上ウエイトします。演算は1クロックで終了します。
- 演算終了
  - ⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。
  - ⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。
 （⑤、⑥の読み出しの順はどちらが先でも問題ありません。）
- 次回演算
  - ⑦ 演算モードを変更する場合は、各動作手順の初期設定から行ってください。続けて同じ演算モードを使用する場合は、①、②の設定は省略できます。

**注意** 乗算モード（符号付）の場合、データは2の補数形式になります。

**備考** 手順の①～⑦は、図16-7の①～⑦に対応しています。

図16-7 乗算（符号付）動作のタイミング図（ $-2 \times 32767 = -65534$ ）

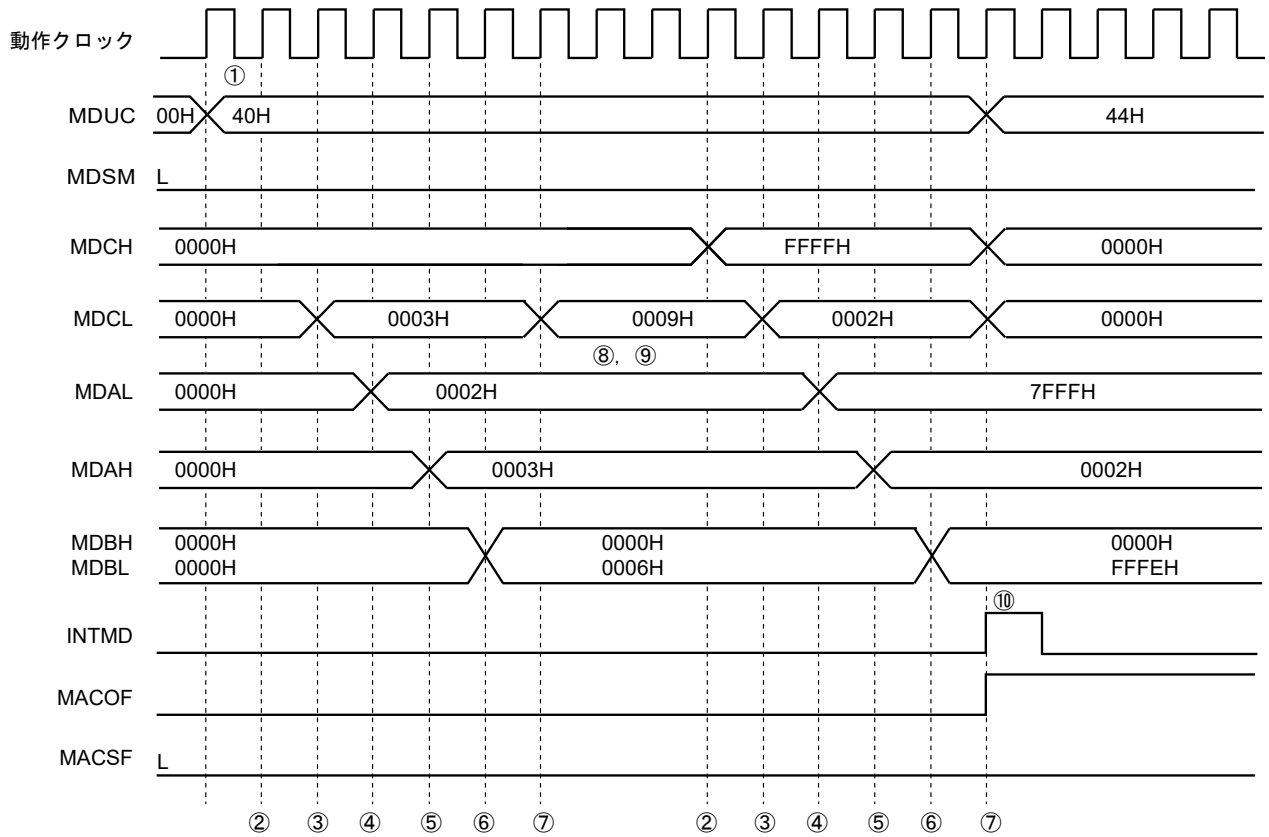


### 16.4.3 積和演算（符号なし）動作

- 初期設定
  - ① 乗除算コントロール・レジスタ（MDUC）を40Hにする。
  - ② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット
  - ③ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット
  - ④ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット
  - ⑤ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット
  - （②、③、④のセットの順はどれが先でも問題ありません。⑤のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）
- 演算処理中
  - ⑥ 乗算演算が1クロックで終了します。  
（乗除算データ・レジスタB（L）（MDBL）、乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）
  - ⑦ ⑥からさらに1クロックで、積和演算が終了します（初期設定完了（⑤）からは、2クロック以上ウェイト）。
- 演算終了
  - ⑧ 乗除算データ・レジスタC（L）（MDCL）から累計値（下位16ビット）を読み出します。
  - ⑨ 乗除算データ・レジスタC（H）（MDCH）から累計値（上位16ビット）を読み出します。  
（⑧、⑨の読み出しの順はどちらが先でも問題ありません。）
  - （⑩ 積和演算結果がオーバーフローしている場合は、MACOFビットが1にセットされ、INTMD信号が発生します。）
- 次回演算
  - ⑪ 演算モードを変更する場合は、各動作手順の初期設定から行ってください。  
続けて同じ演算モードを使用する場合は、①～④の設定は省略できます。

**備考** 手順の①～⑩は、図16-8の①～⑩に対応しています。

図16-8 積和演算（符号なし）動作のタイミング図  
 (2×3+3=9 → 32767×2+4294901762=0 (オーバーフロー発生))



#### 16.4.4 積和演算（符号付）動作

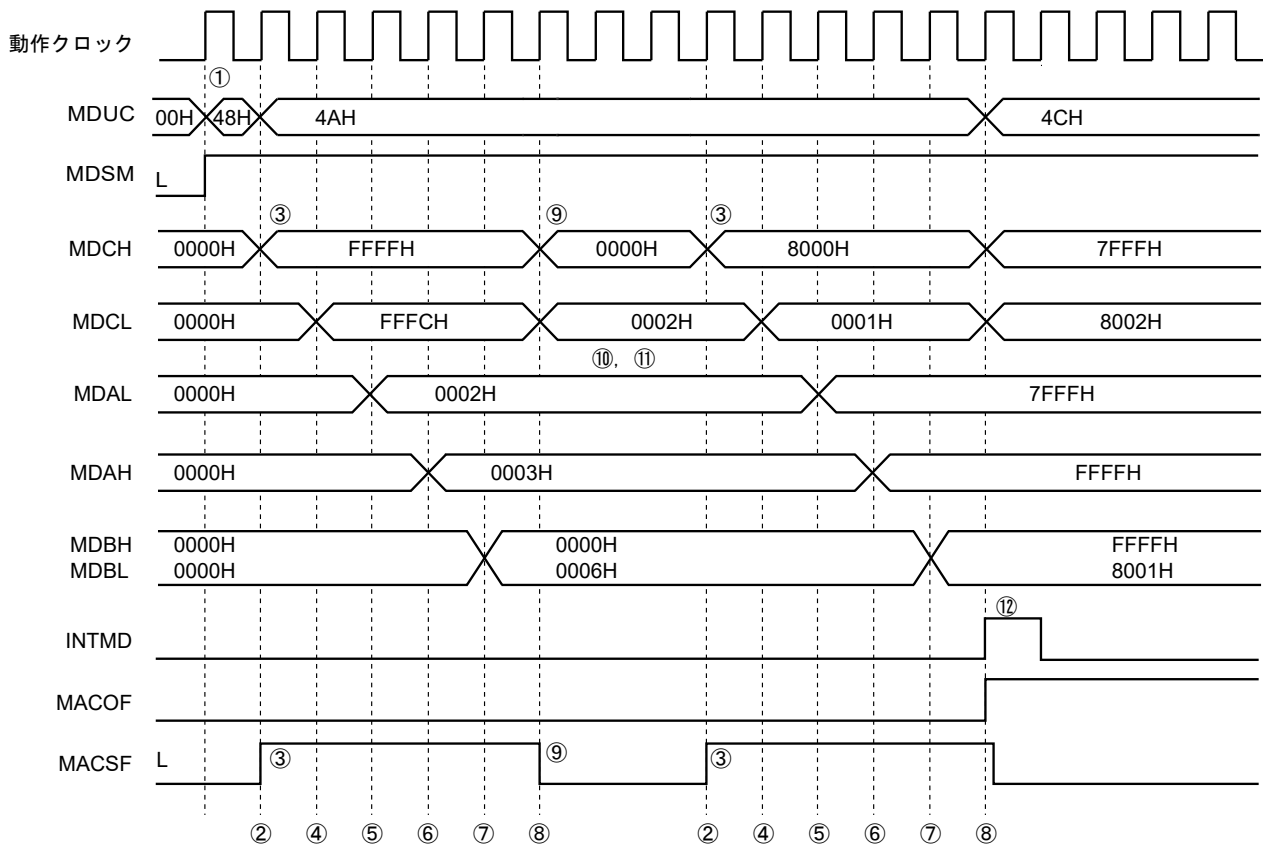
- 初期設定
  - ① 乗除算コントロール・レジスタ（MDUC）を48Hにする。
  - ② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット  
(③ MDCHレジスタの累計値が負の値の場合は、MACSFビットが1にセットされます。)
  - ④ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット
  - ⑤ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット
  - ⑥ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット  
(②, ④, ⑤のセットの順はどちらが先でも問題ありません。⑥のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。)
- 演算処理中
  - ⑦ 乗算演算が1クロックで終了します。  
(乗除算データ・レジスタB（L）（MDBL）, 乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。)
  - ⑧ ⑦からさらに1クロックで、積和演算が終了します（初期設定完了（⑥）からは、2クロック以上ウエイト）。
- 演算終了
  - ⑨ MDCL, MDCHレジスタに格納された累計値が正の値の場合は、MACSFビットが0にクリアされます。
  - ⑩ MDCLレジスタから累計値（下位16ビット）を読み出します。
  - ⑪ MDCHレジスタから累計値（上位16ビット）を読み出します。  
(⑩, ⑪の読み出しの順はどちらが先でも問題ありません。)
  - ⑫ 積和演算結果がオーバーフローしている場合は、MACOFビットが1にセットされ、INTMD信号が発生します。)
- 次回演算
  - ⑬ 演算モードを変更する場合は、各動作手順の初期設定から行ってください。  
続けて同じ演算モードを使用する場合は、①～⑤の設定は省略できます。

**注意** 積和演算モード（符号付）の場合、データは2の補数形式になります。

**備考** 手順の①～⑫は、図16-9の①～⑫に対応しています。

図16-9 積和演算（符号付）動作のタイミング図

$(2 \times 3 + (-4)) = 2 \rightarrow 32767 \times (-1) + (-2147483647) = 2147450882$  (オーバフロー発生)





### 16.4.5 除算動作

- 初期設定

- ① 乗除算コントロール・レジスタ (MDUC) に80Hをセットする。
- ② 乗除算データ・レジスタA (H) (MDAH) に被除数 (上位16ビット) をセット
- ③ 乗除算データ・レジスタA (L) (MDAL) に被除数 (下位16ビット) をセット
- ④ 乗除算データ・レジスタB (H) (MDBH) に除数 (上位16ビット) をセット
- ⑤ 乗除算データ・レジスタB (L) (MDBL) に除数 (下位16ビット) をセット
- ⑥ MDUCレジスタのビット0 (DIVST) に1をセット

(②～⑤の順はどれからセットしても問題ありません。)

- 演算処理中

- ⑦ 次のいずれかの処理が完了すれば演算が終了します。

- 16クロック以上ウエイト (16クロックで演算は終了します。)
- DIVSTビットがクリアされたことを確認

(演算処理中のMDBL, MDBH, MDCL, MDCHレジスタのリード値は保証しません。)

- 演算終了

- ⑧ DIVSTビットがクリア (0) され、演算が終了します。このとき、MACMODE = 0での演算なら、割り込み要求信号 (INTMD) が発生します。

- ⑨ MDALレジスタから商 (下位16ビット) を読み出します。
- ⑩ MDAHレジスタから商 (上位16ビット) を読み出します。
- ⑪ 乗除算データ・レジスタC (L) (MDCL) から剰余 (下位16ビット) を読み出します。
- ⑫ 乗除算データ・レジスタC (H) (MDCH) から剰余 (上位16ビット) を読み出します。

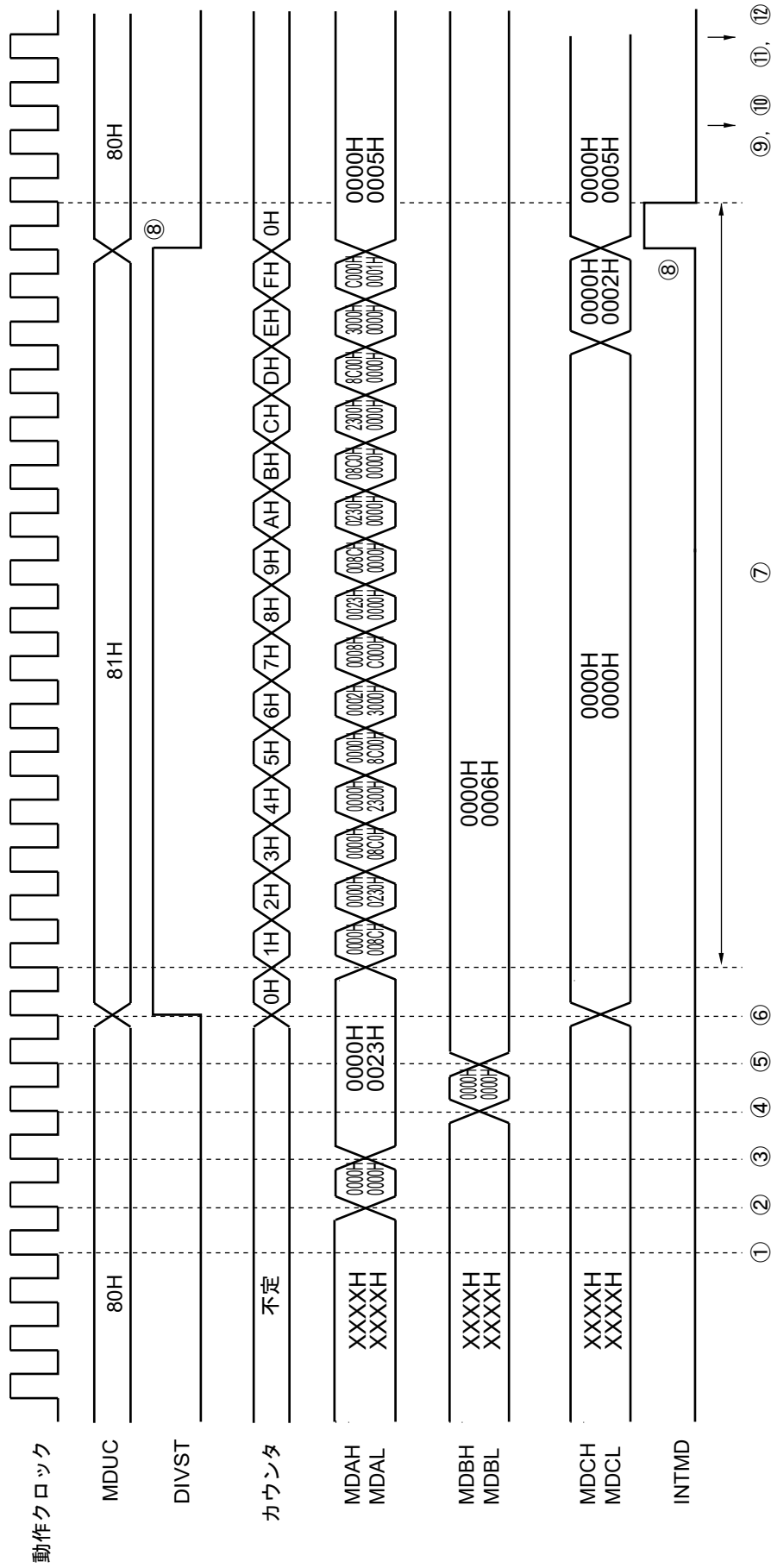
(⑨～⑫の順はどれから読み出しても問題ありません。)

- 次回演算

- ⑬ 演算モードを変更する場合は、各動作手順の初期設定から行ってください。⑬  
続けて同じ演算モードを使用する場合は、①～⑤の設定は省略できます。

**備考** 手順の①～⑫は、図16-10の①～⑫に対応しています。

図16-10 除算動作のタイミング図 (例: 35÷6 = 5 余5)



## 第17章 DMAコントローラ

RL78/G1Dは、DMA (Direct Memory Access) コントローラを内蔵しています。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。これにより、SFR⇄内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したリアルタイム制御も実現できます。

### 17.1 DMAコントローラの機能

- DMAチャンネル数：4チャンネル
- 転送単位：8ビット／16ビット
- 最大転送単位：1024回
- 転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）
- 転送モード：シングル転送モード
- 転送要求：以下の周辺ハードウェア割り込みから選択
  - ・ A/Dコンバータ
  - ・ シリアル・インタフェース  
(CSI00, CSI20, CSI21, UART0, UART1)
  - ・ タイマ（チャンネル0, 1, 2, 3）
- 転送対象：SFR⇄内蔵RAM

DMAを使った機能例は、次のようなものが考えられます。

- ・ シリアル・インタフェースの連続転送
- ・ AD変換結果の連続取り込み
- ・ 一定時間ごとにA/Dの変換結果を取り込む
- ・ 一定時間ごとにポートの値を取りこむ

## 17.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

表17-1 DMAコントローラの構成

項目	構成
アドレス・レジスタ	・ DMA SFRアドレス・レジスタ0-3 (DSA0-DSA3) ・ DMA RAMアドレス・レジスタ0-3 (DRA0-DRA3)
カウント・レジスタ	・ DMAバイト・カウント・レジスタ0-3 (DBC0-DBC3)
制御レジスタ	・ DMAモード・コントロール・レジスタ0-3 (DMC0-DMC3) ・ DMA動作コントロール・レジスタ0-3 (DRC0-DRC3)

### 17.2.1 DMA SFRアドレス・レジスタn (DSAn)

DMAチャンネルnの転送元／転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください。

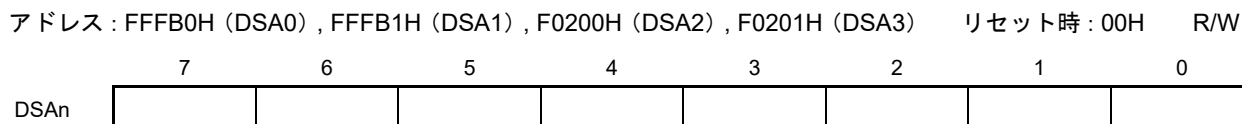
このレジスタは自動的にインクリメント動作せず、固定値となります。

16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DSAnレジスタは8ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、00Hになります。

図17-1 DMA SFRアドレス・レジスタn (DSAn) のフォーマット



**備考** n : DMAチャンネル番号 (n = 0-3)

## 17.2.2 DMA RAMアドレス・レジスタn (DRAn)

DMAチャンネルnの転送先／転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域（表17-2参照）のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると、自動的にインクリメントされます。8ビット転送モード時には+1され、16ビット転送モード時には+2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し、最終アドレスまで転送し終わると、DRAnレジスタは8ビット転送モード時には最終アドレス+1、16ビット転送モード時には最終アドレス+2になって停止します。

16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DRAnレジスタは8/16ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。リセット信号の発生により、0000Hになります。

図17-2 DMA RAMアドレス・レジスタn (DRAn) のフォーマット

アドレス : FFFB2H, FFFB3H (DRA0) , FFFB4H, FFFB5H (DRA1) ,      リセット時 : 0000H      R/W  
F0202H, F0203H (DRA2) , F0204H, F0205H (DRA3)

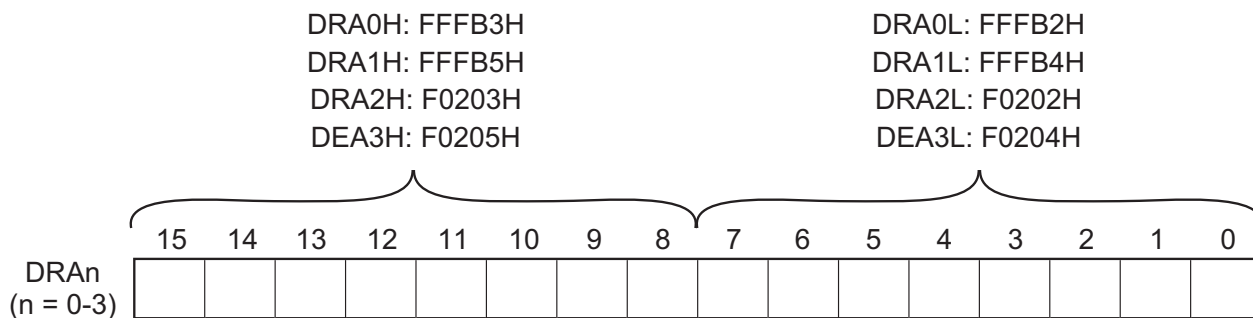


表17-2 汎用レジスタ以外の内蔵RAM領域

製 品	汎用レジスタ以外の内蔵RAM領域
R5F11AGG	FCF00H-FFEDFH
R5F11AGH	FBF00H-FFEDFH
R5F11AGJ	FAF00H-FFEDFH

備考 n : DMAチャンネル番号 (n = 0-3)

### 17.2.3 DMAバイト・カウント・レジスタn (DBCn)

DMAチャンネルnの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBCnレジスタに連続転送回数を設定してください（最大1024回）。

DMA転送が1回実行されるたびに、自動的にデクリメントされます。DMA転送中にこのDBCnレジスタを読み出すことで、残りの連続転送回数を知ることができます。

DBCnレジスタは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。リセット信号の発生により、0000Hになります。

図17-3 DMA バイト・カウント・レジスタn (DBCn) のフォーマット

アドレス : FFFB6H, FFFB7H (DBC0) , FFFB8H, FFFB9H (DBC1) ,      リセット時 : 0000H      R/W  
F0206H, F0207H (DBC2) , F0208H, F0209H (DBC3)

DBC0H: FFFB7H

DBC0L: FFFB6H

DBC1H: FFFB9H

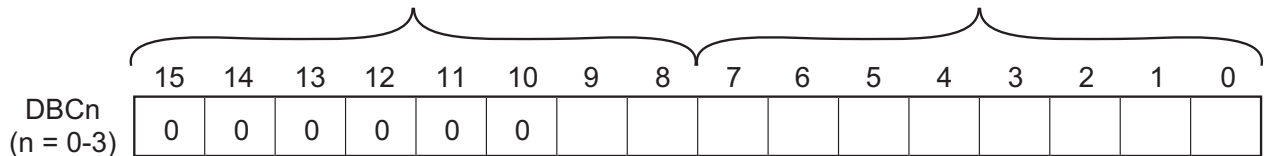
DBC1L: FFFB8H

DBC2H: F0207H

DBC2L: F0206H

DBC3H: F0209H

DBC3L: F0208H



DBCn[9:0]	転送回数設定 (DBCnライト時)	残りの転送回数 (DBCnリード時)
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
.	.	.
.	.	.
.	.	.
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

**注意 1.** ビット15-10は、必ず0を設定してください。

- 連続転送の結果、汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は、汎用レジスタやSFR空間へ書き込み/読み出しを行って、データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

**備考** n : DMAチャンネル番号 (n = 0-3)

## 17.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- DMAモード・コントロール・レジスタn (DMCn)
- DMA動作コントロール・レジスタn (DRCn)

**備考** n : DMAチャンネル番号 (n = 0-3)

### 17.3.1 DMAモード・コントロール・レジスタn (DMCn)

DMCnレジスタは、DMAチャンネルnの転送モード設定レジスタです。転送方向、データ・サイズ、保留設定、起動要因の選択を行います。ビット7 (STGn) はDMA起動のソフトウェア・トリガとなります。

DMCnレジスタのビット6, 5, 3-0は、動作中 (DSTn = 1のとき) の書き換えは禁止です。

DMCnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-4 DMAモード・コントロール・レジスタn (DMCn) のフォーマット (1/3)

アドレス : FFFBAH (DMC0) , FFFBBH (DMC1) , F020AH (DMC2) , F020BH (DMC3) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

STGn <sup>注1</sup>	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DENn = 1) 時に、DMA転送を開始する
DMA動作許可 (DENn = 1) 時に、STGnビットに1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRSn	DMA転送方向の選択
0	SFR → 内蔵RAM
1	内蔵RAM → SFR

DSn	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAITn <sup>注2</sup>	DMA転送の保留
0	DMA起動要求によりDMA転送を行う (保留しない)
1	DMA起動要求が来ても保留する
DWAITnビットの値を1→0にすることで、保留されているDMA転送を開始することができます。 また、DWAITnビットの値を0→1に設定してから、実際に転送が保留されるまでは2クロック必要となります。	

注1. ソフトウェア・トリガ (STGn) は、IFCn3-IFCn0ビットの値に関係なく使用できます。

- DMAを2チャンネル以上使用中でDMA転送を保留する場合は、必ず全てのチャンネルのDMAを保留にしてください (DWAIT0 = DWAIT1 = DWAIT2 = DWAIT3 = 1)。

備考 n : DMAチャンネル番号 (n = 0-3)



図17-4 DMAモード・コントロール・レジスタn (DMCn) のフォーマット (2/3)

アドレス : FFFBAH (DMC0) , FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

(n = 0, 1の場合)

IFCn 3	IFCn 2	IFCn 1	IFCn 0	DMA起動要因の選択 <sup>注</sup>	
				トリガ信号	トリガ内容
0	0	0	0	—	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	0	1	INTAD	A/D変換終了割り込み
0	0	1	0	INTTM00	タイマ・チャンネル00のカウント完了 またはキャプチャ割り込み
0	0	1	1	INTTM01	タイマ・チャンネル01のカウント完了 またはキャプチャ割り込み
0	1	0	0	INTTM02	タイマ・チャンネル02のカウント完了 またはキャプチャ割り込み
0	1	0	1	INTTM03	タイマ・チャンネル03のカウント完了 またはキャプチャ割り込み
0	1	1	0	INTST0/ INTCSI00	UART0送信の転送完了, バッファ空き割り込み/ CSI00の転送完了, バッファ空き割り込み
0	1	1	1	INTSR0	UART0受信の転送完了割り込み
1	0	0	0	INTST1	UART1送信の転送完了, バッファ空き割り込み
1	0	0	1	INTSR1	UART1受信の転送完了割り込み
1	0	1	0	—	CSI20の転送完了, バッファ空き割り込み
1	0	1	1	INTCSI21	CSI21の転送完了, バッファ空き割り込み
上記以外				設定禁止	

注 ソフトウェア・トリガ (STGn) は, IFCn3-IFCn0ビットの値に関係なく使用できます。

備考 n : DMAチャンネル番号 (n = 0, 1)

図17-4 DMAモード・コントロール・レジスタn (DMCn) のフォーマット (3/3)

アドレス : F020AH (DMC2) , F020BH (DMC3) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

(n = 2, 3の場合)

IFCn	IFCn	IFCn	IFCn	DMA起動要因の選択 <sup>注</sup>	
3	2	1	0	トリガ信号	トリガ内容
0	0	0	0	—	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	0	1	INTAD	A/D変換終了割り込み
1	0	0	0	INTST1	UART1送信の転送完了, バッファ空き割り込み
1	0	0	1	INTSR1	UART1受信の転送完了割り込み
1	0	1	0	INTCSI20	CSI20の転送完了, バッファ空き割り込み
1	0	1	1	INTCSI21	CSI21の転送完了, バッファ空き割り込み
上記以外				設定禁止	

注 ソフトウェア・トリガ (STGn) は, IFCn3-IFCn0ビットの値に関係なく使用できません。

備考 n : DMAチャネル番号 (n = 2, 3)

### 17.3.2 DMA動作コントロール・レジスタn (DRCn)

DRCnレジスタは、DMAチャンネルnの転送許可／禁止を設定するレジスタです。

DRCnレジスタのビット7 (DENn) は、動作中 (DSTn = 1のとき) の書き換えは禁止です。

DRCnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-5 DMA動作コントロール・レジスタn (DRCn) のフォーマット

アドレス : FFFBCH (DRC0) , FFFBDH (DRC1) , F020CH (DRC2) , F020DH (DRC3) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DRCn	DENn	0	0	0	0	0	0	DSTn

DENn	DMA動作許可フラグ
0	DMAチャンネルnの動作禁止 (DMAの動作クロック停止)
1	DMAチャンネルnの動作許可
DMA動作許可 (DENn = 1) にしてから、DSTn = 1にすることでDMAトリガ待ち状態になります。	

DSTn	DMA転送モード・フラグ
0	DMAチャンネルnのDMA転送終了
1	DMAチャンネルnのDMA転送未終了 (転送中)
DMA動作許可 (DENn = 1) にしてから、DSTn = 1にすることでDMAトリガ待ち状態になります。 そしてソフトウェア・トリガ (STGn) またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると、DMA転送を開始します。 その後、DMA転送が終了すると自動的に0にクリアされます。 DMA転送中に強制終了したい場合は、0を書き込みます。	

**注意** DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。

DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA<sub>n</sub>) 発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は17.5.5 ソフトウェアでの強制終了参照)。

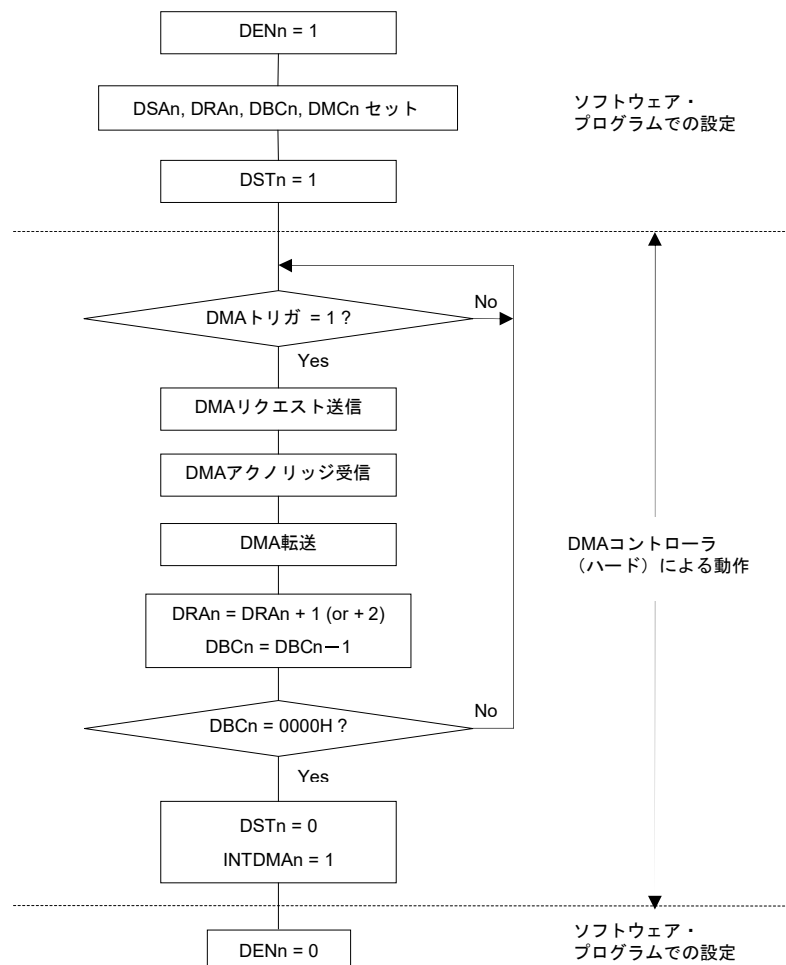
**備考** n : DMAチャンネル番号 (n = 0-3)

## 17.4 DMAコントローラの動作

### 17.4.1 動作手順

- ① DENn = 1により、DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は、80Hを書き込みます。
- ② DMA SFRアドレス・レジスタn (DSAn) , DMA RAMアドレス・レジスタn (DRAn) , DMAバイト・カウンタ・レジスタn (DBCn) , DMAモード・コントロール・レジスタn (DMCn) にDMA転送のSFRアドレス、RAMアドレス、転送回数、転送モードを設定します。
- ③ DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は、81Hを書き込みます。
- ④ ソフトウェア・トリガ (STGn) またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると、DMA転送を開始します。
- ⑤ DBCnレジスタで設定した転送回数が0になると転送が完了し、割り込み (INTDMA<sub>n</sub>) の発生により自動的に転送が終了します。
- ⑥ その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図17-6 動作手順



備考 n: DMAチャネル番号 (n = 0-3)

## 17.4.2 転送モード

DMA転送には、DMAモード・コントロール・レジスタ $n$  (DMC $n$ ) のビット6, 5 (DRS $n$ , DS $n$ ) の設定により、次の4つの転送モードを選択できます。

DRS $n$	DS $n$	DMA転送モード
0	0	1バイト・データのSFR (アドレス固定) からRAM (アドレスは+1のインクリメント) への転送
0	1	2バイト・データのSFR (アドレス固定) からRAM (アドレスは+2のインクリメント) への転送
1	0	1バイト・データのRAM (アドレスは+1のインクリメント) からSFR (アドレス固定) への転送
1	1	2バイト・データのRAM (アドレスは+2のインクリメント) からSFR (アドレス固定) への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

## 17.4.3 DMA転送の終了

DBC $n$  = 00HとなりDMA転送が完了すると、自動的にDST $n$ ビットがクリア (0) されます。そして割り込み要求 (INTDMA $n$ ) の発生により転送が終了します。

強制終了するためにDST $n$ ビットをクリア (0) すると、DMAバイト・カウント・レジスタ $n$  (DBC $n$ ) と DMA RAM アドレス・レジスタ $n$  (DRAn) は停止したときの値を保持します。

また、強制終了した場合は割り込み要求 (INTDMA $n$ ) は発生しません。

**備考**  $n$ : DMAチャネル番号 ( $n = 0-3$ )

## 17.5 DMAコントローラの設定例

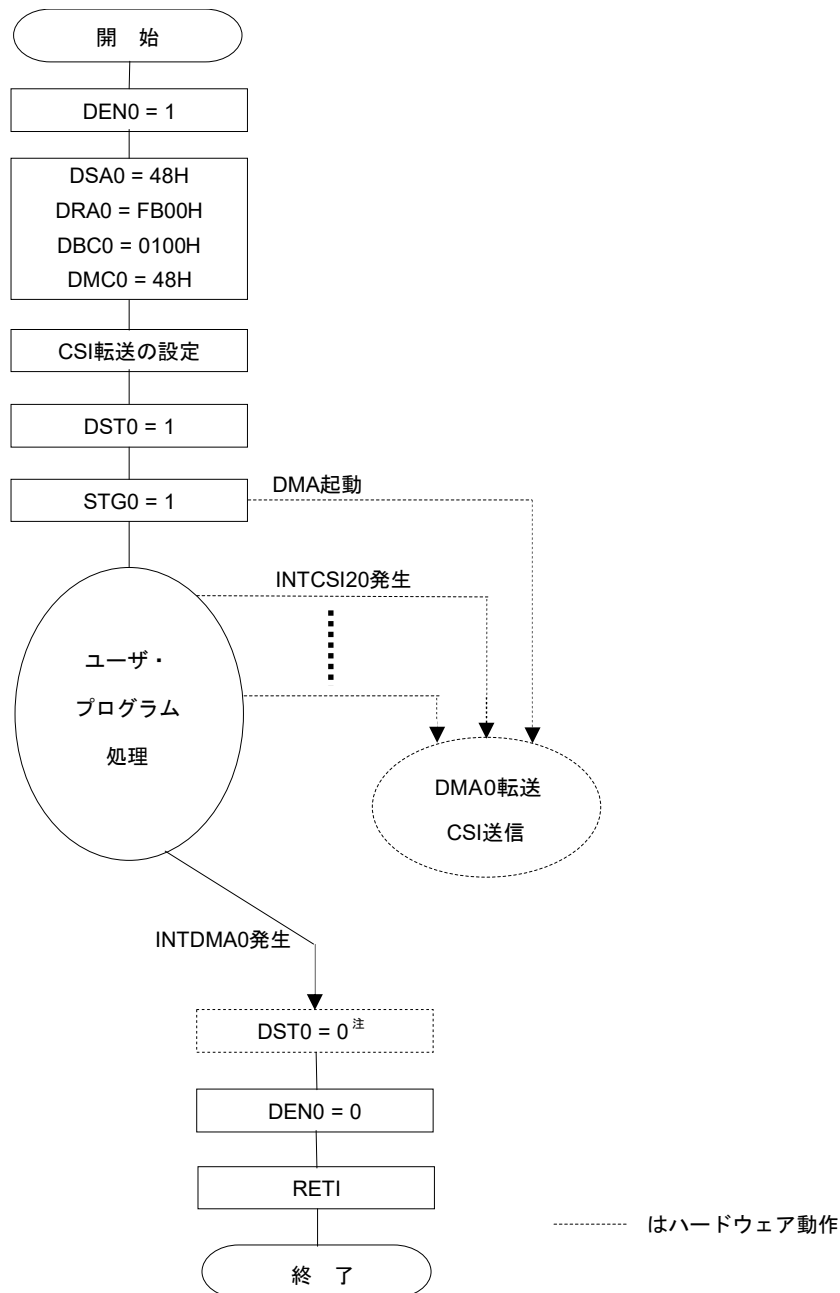
### 17.5.1 CSI連続送信

CSI連続送信の設定例のフロー・チャートを次に示します。

- CSI20の連続送信（256バイト）
- DMAのチャンネル0をDMA転送に使用
- DMA起動要因：INTCSI20（最初の起動要因のみソフトウェア・トリガ（STG0））
- CSI20の割り込みはIFC03-IFC00 = 1010Bに割り当て
- RAMのFFB00H-FFBFFH（256バイト）をCSIのデータ・レジスタ（SIO20）のFFF48Hに転送

**備考** IFC03-IFC00：DMAモード・コントロール・レジスタ0（DMC0）のビット3-0

図17-7 CSI連続送信の設定例



**注** DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください（詳細は17.5.5 ソフトウェアでの強制終了参照）。

連続送信の場合は1回目のトリガはCSIの割り込みでは起動されません。この例ではソフトウェア・トリガにて起動しています。

2回目以降のCSI送信は自動的に転送されます。

データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み（INTDMA0）が発生します。

## 17.5.2 A/D変換結果の連続取り込み

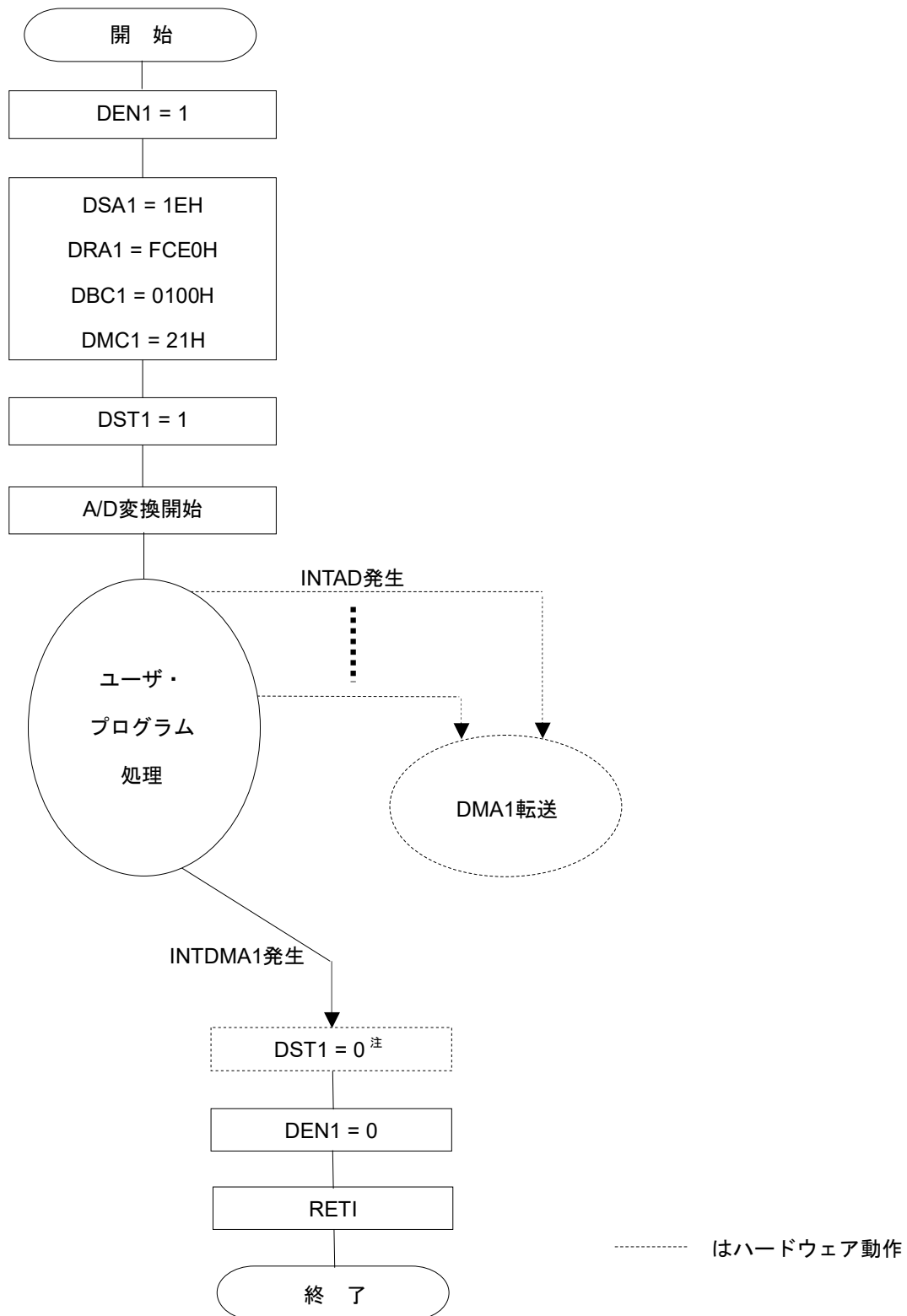
A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- A/D変換結果の連続取り込み
- DMAのチャンネル1をDMA転送に使用
- DMA起動要因 : INTAD
- A/Dの割り込みはIFC13-IFC10 = 0001Bに割り当て
- 10ビットA/D変換結果レジスタ (ADCR) のFFF1EHとFFF1FH (2バイト) をRAMのFFCE0H-FFEDFHの512バイトに転送

**備考** IFC13-IFC10 : DMAモード・コントロール・レジスタ1 (DMC1) のビット3-0



図 17-8 A/D 変換結果の連続取り込みの設定例



**注** DST1フラグはDMA転送が終了すると自動的に0にクリアされます。

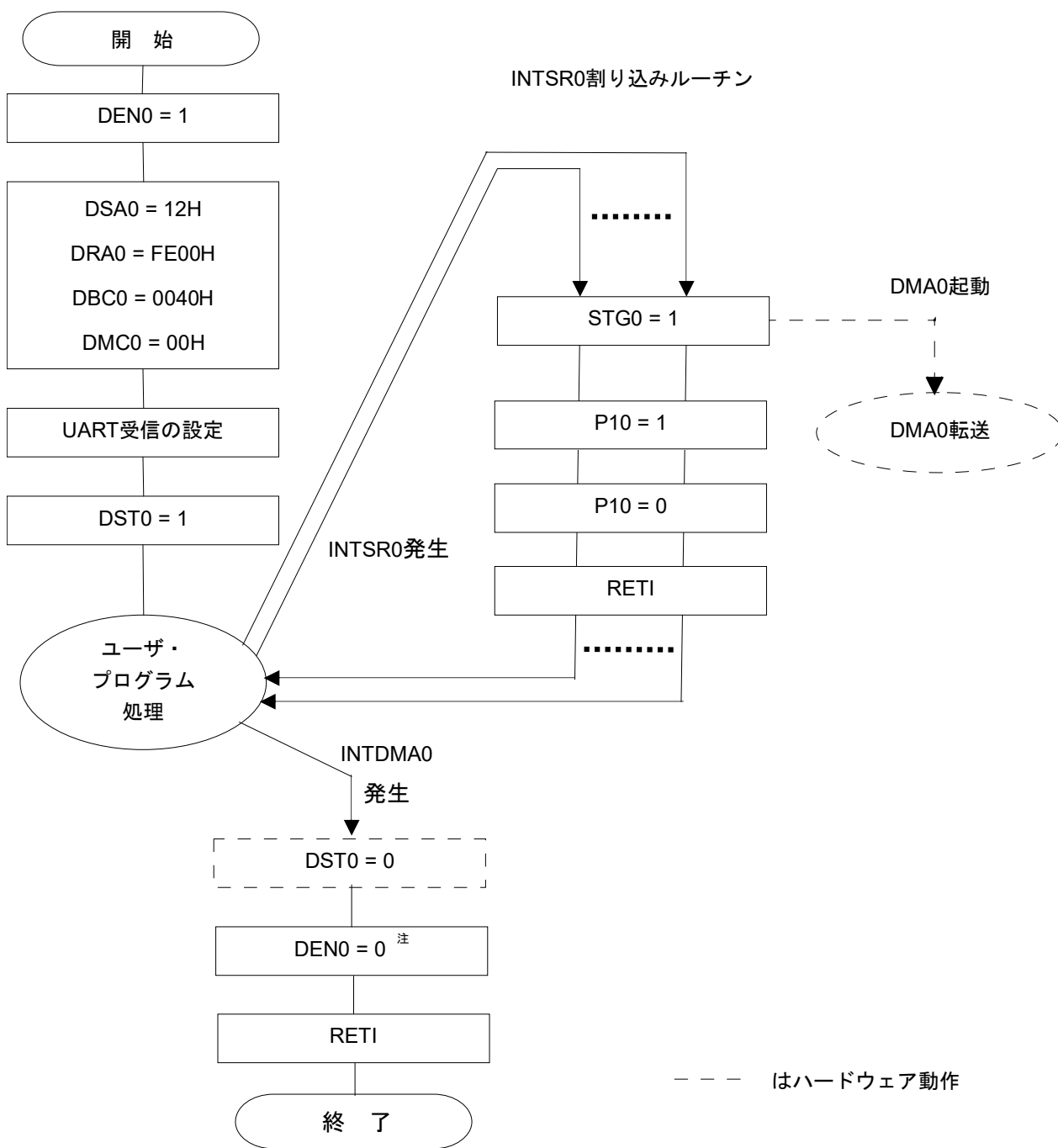
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み（INTDMA1）発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください（詳細は17.5.5 ソフトウェアでの強制終了参照）。

### 17.5.3 UART連続受信+ACK送信

UART連続受信+ACK送信の設定例のフロー・チャートを次に示します。

- UART0の連続受信を行い、P10に受信完了のACKを出力
- DMAのチャンネル0をDMA転送に使用
- DMA起動要因：ソフトウェア・トリガ（割り込みによるDMA転送禁止）
- UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図17-9 UART連続受信+ACK送信の設定例



**注** DST0フラグはDMA転送が終了すると自動的に0にクリアされます。  
 DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください（詳細は17.5.5 ソフトウェアでの強制終了参照）。

**備考** DMA起動要因にソフトウェア・トリガを使用した例です。  
 ACKを送信せずに、UART連続受信だけであれば、UART受信完了割り込み（INTSR0）をDMA起動要因に設定して、受信することもできます。

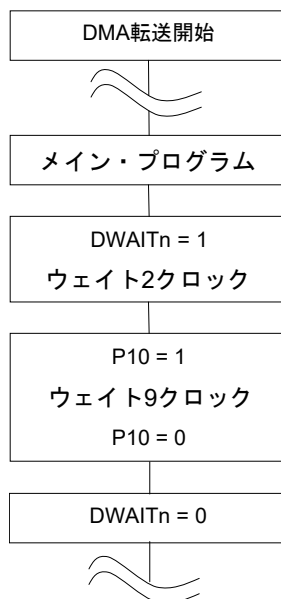
### 17.5.4 DWAITnビットによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は、保留を解除後に実行されます。ただし、保留できる転送トリガは各チャンネル1つなので、保留中に同一チャンネルの転送トリガが2回以上発生しても、保留解除後に実行されるDMA転送は1回です。

一例として、P10端子より動作周波数の10クロック幅のパルスを出力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後、DMA転送が保留されるまで2クロック必要となります。

図17-10 DWAITnビットによるDMA転送保留の設定例



**注意** DMAを2チャンネル以上使用中でDMA転送を保留したい場合は、必ずすべてのチャンネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = DWAIT2 = DWAIT3 = 1）。他チャンネルのDMAが保留中に一つのチャンネルのDMA転送が実行されると、その他のチャンネルも保留されない場合があります。

**備考1.** n : DMAチャンネル番号 (n = 0-3)

2. 1クロック :  $1/f_{CLK}$  ( $f_{CLK}$  : CPUクロック)

### 17.5.5 ソフトウェアでの強制終了

ソフトウェアでDSTn = 0に設定してから、実際にDMA転送が停止し、DSTn = 0となるまでには最大で2クロックが必要となります。そのため、DMAの割り込み (INTDMA<sub>n</sub>) 発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のいずれかの処理をしてください。

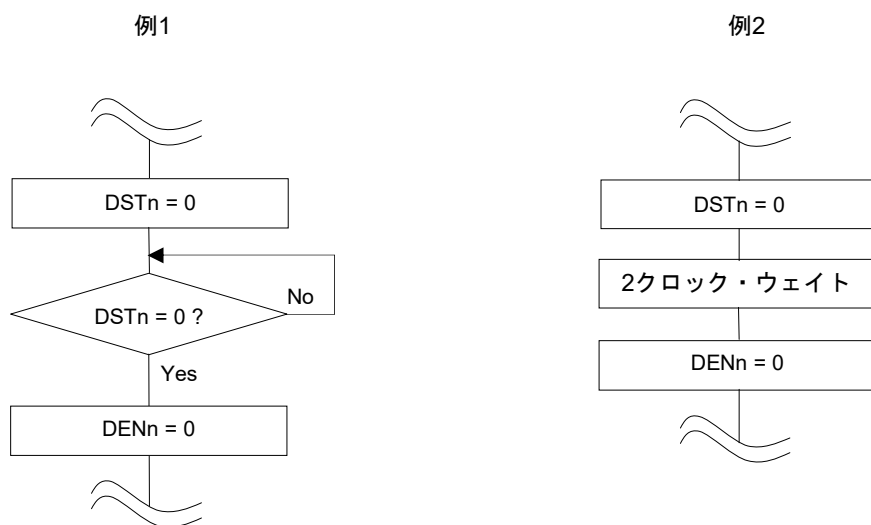
<DMAを1チャンネル使用しているとき>

- ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、実際にDSTn ビットが0になったことをポーリングで確認後、DENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする
- ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、2クロック経過後にDENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする

<DMAを2チャンネル以上使用しているとき>

- DMAを2チャンネル以上使用しているときにソフトウェアで強制終了 (DSTn = 0) する場合は、使用している全チャンネルのDWAITnビットをセット (1) してDMA転送を保留してから、DSTnビットをクリア (0) する。その後、使用している全チャンネルのDWAITnビットをクリア (0) し保留を解除してから、DENnビットをクリア (0) とする

図17-11 DMA転送の強制終了 (1/2)



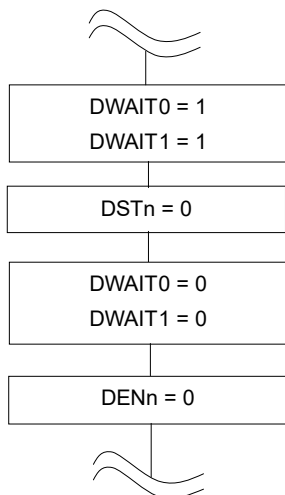
備考1. n : DMAチャンネル番号 (n = 0-3)

2. 1クロック :  $1/f_{CLK}$  ( $f_{CLK}$  : CPUクロック)

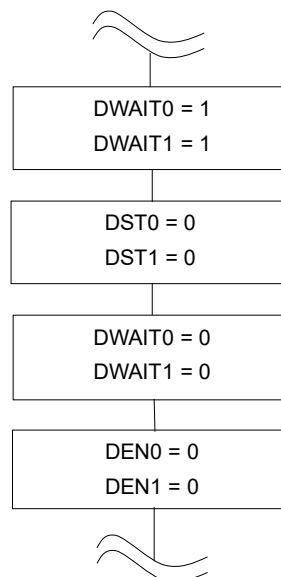
図17-11 DMA転送の強制終了 (2/2)

## 例3

・2チャンネルをともに使用時にどちらかのチャンネルを強制終了する手順



・2チャンネルをともに使用時に2チャンネルともに強制終了する手順



**注意** 例3では、DWAITnビットのセット (1) 後のウエイト2クロックは必要ありません。また、DSTnビットをクリア (0) してからDENnビットをクリア (0) するまで2クロック以上経過しているため、DSTnビットのクリア (0) 後にウエイト2クロックする必要はありません。

**備考1.** n : DMAチャンネル番号 (n = 0, 1)

**2.** 1クロック :  $1/f_{CLK}$  ( $f_{CLK}$  : CPUクロック)

## 17.6 DMAコントローラの注意事項

### (1) DMAの優先順位

DMA転送中は、他のDMAチャンネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は、DMAチャンネル0>DMAチャンネル1>DMAチャンネル2>DMAチャンネル3の優先順位になります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

### (2) 割り込み要求との競合動作

DMA転送中は、割り込み要求が発生しても保留されます。そしてDMA転送終了後に、保留していた割り込み要求を受け付けます。このときDMA転送処理と割り込み要求受け付けの間に命令は挿入されません。

また、割り込み要求の受け付け時にDMA起動要求が発生している場合は、DMA転送が優先されます。

### (3) DMA応答時間

DMA転送における応答時間は、次のようになります。

表17-3 DMA転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック <sup>注</sup>

注 内部RAMからの命令実行の場合は、最大時間が16クロックになります。

**注意1.** 上記の応答時間には、DMA転送の2クロック分は含まれていません。

- DMA保留命令(17.6(4)参照)実行の場合は、各条件の最大応答時間に、その条件で保留する命令の実行時間を足した時間となります。
- 最大応答時間+1クロック以内での同一チャンネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

**備考** 1クロック : 1/fCLK (fCLK : CPUクロック)

### (4) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表17-4 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作
STOPモード	動作停止 DMA転送とSTOP命令が競合した場合、DMA転送が壊れることがありますので、STOP命令実行前にDMAを停止してください。

## (5) DMA転送の保留命令

DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。

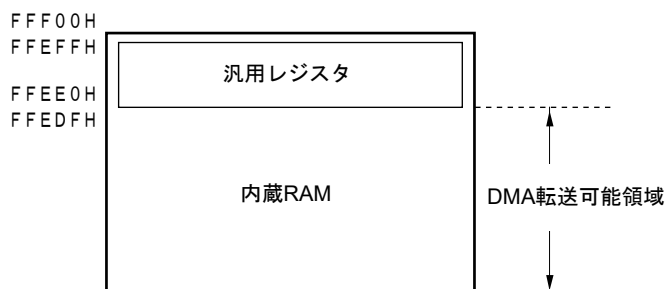
- CALL !addr16
- CALL \$!addr20
- CALL !!addr20
- CALL rp
- CALLT [addr5]
- BRK
- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタの各レジスタに対する書き込み命令
- データ・フラッシュにアクセスする命令

## (6) 汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDMA RAMアドレス・レジスタn (DRAn) で示すアドレスがインクリメントされていき、汎用レジスタ領域内に入ってしまったり、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。

- SFRからRAMへの転送モード時  
そのアドレスのデータを破壊してしまいます。
- RAMからSFRへの転送モード時  
不定のデータがSFRへ転送されます。

いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。





## (7) データ・フラッシュ空間にアクセスする場合の動作

DMA転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合、間の命令に3クロック分のウェイトが入ります。

命令1

DMA転送

命令2 ← 3クロック分のウェイト発生

MOV A, !DataFlash空間

## 第18章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、外部4要因、内部29要因です。

### 18.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

#### (1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表18-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

#### (2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

## 18.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（「表18-1」を参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表18-1 割り込み要因一覧 (1/3)

割り込みの 処理	デフォルト・ プライオリティ <sup>注1</sup>	割り込み要因		内部／外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ <sup>注2</sup>
		名称	トリガ			
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル <sup>注3</sup> (オーバフロー時間の75%+1/2f <sub>clk</sub> )	内部	0004H	(A)
	1	INTLVI	電圧検出 <sup>注4</sup>		0006H	
	2	INTP0	端子入力エッジ検出0	外部	0008H	(B)
	3	INTP3	端子入力エッジ検出3		000EH	
	4	INTP5	端子入力エッジ検出5		0012H	
	5	INTCSI20	CSI20の転送完了, バッファ空き割り込み /INTIIC20の転送完了	内部	0014H	(A)
	6	INTCSI21	CSI21の転送完了, バッファ空き割り込み		0016H	
	7	INTDMA0	DMA0の転送完了		001AH	
	8	INTDMA1	DMA1の転送完了		001CH	
	9	INTST0 /INTCSI00 /INTIIC00	UART0送信の転送完了, バッファ空き 割り込み/CSI00の転送完了, バッファ 空き割り込み/IIC00の転送完了		001EH	
	10	INTSR0	UART0受信の転送完了		0020H	
	11	INTSRE0	UART0受信の通信エラー発生		0022H	
		INTTM01H	タイマ・チャンネル01のカウント完了ま たはキャプチャ完了 (上位8ビット・タイマ動作時)			
	12	INTST1	UART1送信の転送完了, バッファ空き 割り込み		0024H	
13	INTSR1	UART1受信の転送完了	0026H			

**注1.** デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、32が最低順位です。

- 基本構成タイプの (A) - (D) は、それぞれ図18-1の (A) - (D) に対応しています。
- オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。
- 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 0選択時。

表18-1 割り込み要因一覧 (2/3)

割り込みの 処理	デフォルト・ プライオリティ <sup>※1</sup>	割り込み要因		内部/外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ <sup>※2</sup>		
		名称	トリガ					
マスクابل	14	INTSRE1	UART1受信の通信エラー発生	内部	0028H	(A)		
		INTTM03H	タイマ・チャンネル03のカウンタ完了またはキャプチャ完了 (上位8ビット・タイマ動作時)					
	15	INTIICA0	IICA0の転送完了		002AH			
	16	INTTM00	タイマ・チャンネル00のカウンタ完了またはキャプチャ完了		002CH			
	17	INTTM01	タイマ・チャンネル01のカウンタ完了またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		002EH			
	18	INTTM02	タイマ・チャンネル02のカウンタ完了またはキャプチャ完了		0030H			
	19	INTTM03	タイマ・チャンネル03のカウンタ完了またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		0032H			
	20	INTAD	A/D変換終了		0034H			
	21	INTRTC	リアルタイム・クロックの定周期信号/アラーム一致検出		0036H			
	22	INTIT	12ビット・インターバル・タイマのインターバル信号検出		0038H			
	23	INTTM04	タイマ・チャンネル04のカウンタ完了またはキャプチャ完了		0042H			
	24	INTTM05	タイマ・チャンネル05のカウンタ完了またはキャプチャ完了		0044H			
	25	INTTM06	タイマ・チャンネル06のカウンタ完了またはキャプチャ完了		0046H			
	26	INTTM07	タイマ・チャンネル07のカウンタ完了またはキャプチャ完了		0048H			
	27	INTP6	端子入力エッジ検出6		外部		004AH	(B)
	28	INTRF	RF部割り込み		内部		0054H	(A)
	29	INTMD	除算演算終了/積和演算結果のオーバーフロー発生				005EH	
	30	INTFL	予約 <sup>※3</sup>				0062H	
	31	INTDMA2	DMA2の転送完了				0064H	
	32	INTDMA3	DMA3の転送完了				0066H	

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。0が最高順位、32が最低順位です。

2. 基本構成タイプの (A) - (D) は、それぞれ図18-1の (A) - (D) に対応しています。

3. フラッシュ・セルフ・プログラミング・ライブラリ、フラッシュ・データ・ライブラリで使用します。

表18-1 割り込み要因一覧 (3/3)

割り込みの 処理	デフォルト・ プライオリティ <sup>注1</sup>	割り込み要因		内部/外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ <sup>注2</sup>
		名称	トリガ			
ソフト ウェア	—	BRK	BRK命令の実行	—	007EH	(C)
リセット	—	RESET	RESET端子入力	—	0000H	—
		POR	パワーオン・リセット			
		LVD	電圧検出 <sup>注3</sup>			
		WDT	ウォッチドッグ・タイマの オーバフロー			
		TRAP	不正命令の実行 <sup>注4</sup>			
		IAW	不正メモリ・アクセス			
		RPE	RAMパリティ・エラー			

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位，32が最低順位です。

2. 基本構成タイプの (A) - (D) は、それぞれ図18-1の (A) - (D) に対応しています。

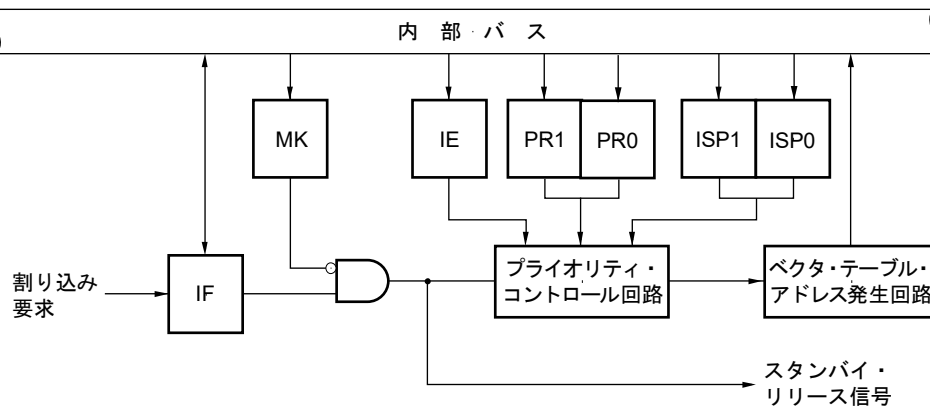
3. 電圧検出レベル・レジスタ (LVIS) のビット7 (LVIMD) = 1選択時。

4. FFHの命令コードを実行したときに発生します。

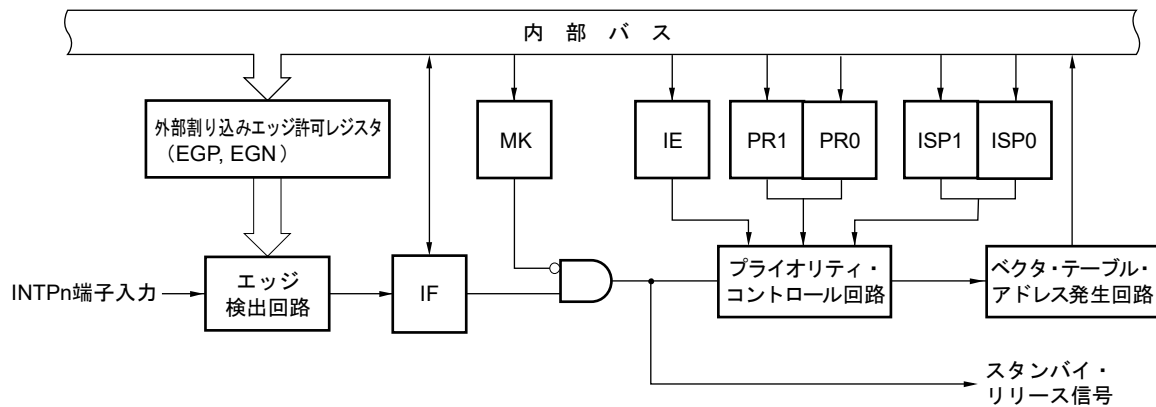
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図18-1 割り込み機能の基本構成 (1/2)

## (A) 内部マスカブル割り込み



## (B) 外部マスカブル割り込み (INTPn)

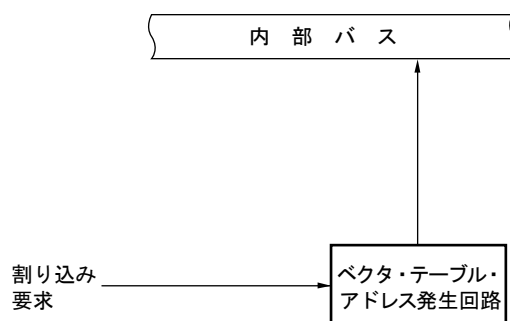


- IF : 割り込み要求フラグ  
 IE : 割り込み許可フラグ  
 ISP0 : インサースビス・プライオリティ・フラグ0  
 ISP1 : インサースビス・プライオリティ・フラグ1  
 MK : 割り込みマスク・フラグ  
 PR0 : 優先順位指定フラグ0  
 PR1 : 優先順位指定フラグ1

備考 n = 0, 3, 5, 6

図18-1 割り込み機能の基本構成 (2/2)

## (C) ソフトウェア割り込み



### 18.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表18-2に示します。

表18-2 割り込み要求ソースに対応する各種フラグ (1/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	
INTP0	PIF0		PMK0		PPR00, PPR10	
INTP3	PIF3		PMK3		PPR03, PPR13	
INTP5	PIF5		PMK5		PPR05, PPR15	
INTCSI20	CSIIIF20	IF0H	CSIMK20	MK0H	CSIPR020, CSIPR120	PPR00H, PPR10H
INTIIC20	IICIF20		IICMK20		IICPR020, IICPR120	
INTCSI21	CSIIIF21		CSIMK21		CSIPR021, CSIPR121	
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10	
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11	
INTST0 <sup>注</sup>	STIF0 <sup>注</sup>		STMK0 <sup>注</sup>		STPR00, STPR10 <sup>注</sup>	
INTCSI00 <sup>注</sup>	CSIIIF00 <sup>注</sup>		CSIMK00 <sup>注</sup>		CSIPR000, CSIPR100 <sup>注</sup>	
INTIIC00 <sup>注</sup>	IICIF00 <sup>注</sup>		IICMK00 <sup>注</sup>		IICPR000, IICPR100 <sup>注</sup>	
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10	
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10	
INTTM01H	TMIF01H		TMMK01H		TMPR001H, TMPR101H	

**注** 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。



表18-2 割り込み要求ソースに対応する各種フラグ (2/2)

割り込み 要因	割り込み要求 フラグ		割り込みマスク・ フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTST1	STIF1	IF1L	STMK1	STMK1	STPR01, STPR11	PR01L, PR11L
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11	
INTSRE1 <sup>注</sup>	SREIF1 <sup>注</sup>		SREMK1 <sup>注</sup>		SREPR01, SREPR11 <sup>注</sup>	
INTTM03H <sup>注</sup>	TMIF03H <sup>注</sup>		TMMK03H <sup>注</sup>		TMPR003H, TMPR103H <sup>注</sup>	
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10	
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100	
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101	
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102	
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	
INTAD	ADIF		IF1H		ADMK	
INTRTC	RTCIF	RTCMK		RTCPR0, RTCPR1		
INTIT	ITIF	ITMK		ITPR0, ITPR1		
INTTM04	TMIF04	TMMK04		TMPR004, TMPR104		
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106	
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
INTP6	PIF6		PMK6		PPR06, PPR16	
INTRF	PIF11	IF2H	PMK11	MK2H	PPR011, PPR111	PR02H, PR12H
INTMD	MDIF		MDMK		MDPR0, MDPR1	
INTFL	FLIF		FLMK		FLPR0, FLPR1	
INTDMA2	DMAIF2	IF3L	DMAMK2	MK3L	DMAPR02, DMAPR12	PR03L, PR13L
INTDMA3	DMAIF3		DMAMK3		DMAPR03, DMAPR13	

**注** UART1受信のエラー割り込み, TAU0のチャンネル3 (上位8ビット・タイマ動作時) の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない (EOC03 = 0) 場合は、UART1, TAU0のチャンネル3 (上位8ビット・タイマ動作時) を同時に使用できません。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生したら、IF1Lレジスタのビット2はセット (1) されます。また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。

### 18.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するとき、16ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

**備考** このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L) のフォーマット (1/2)

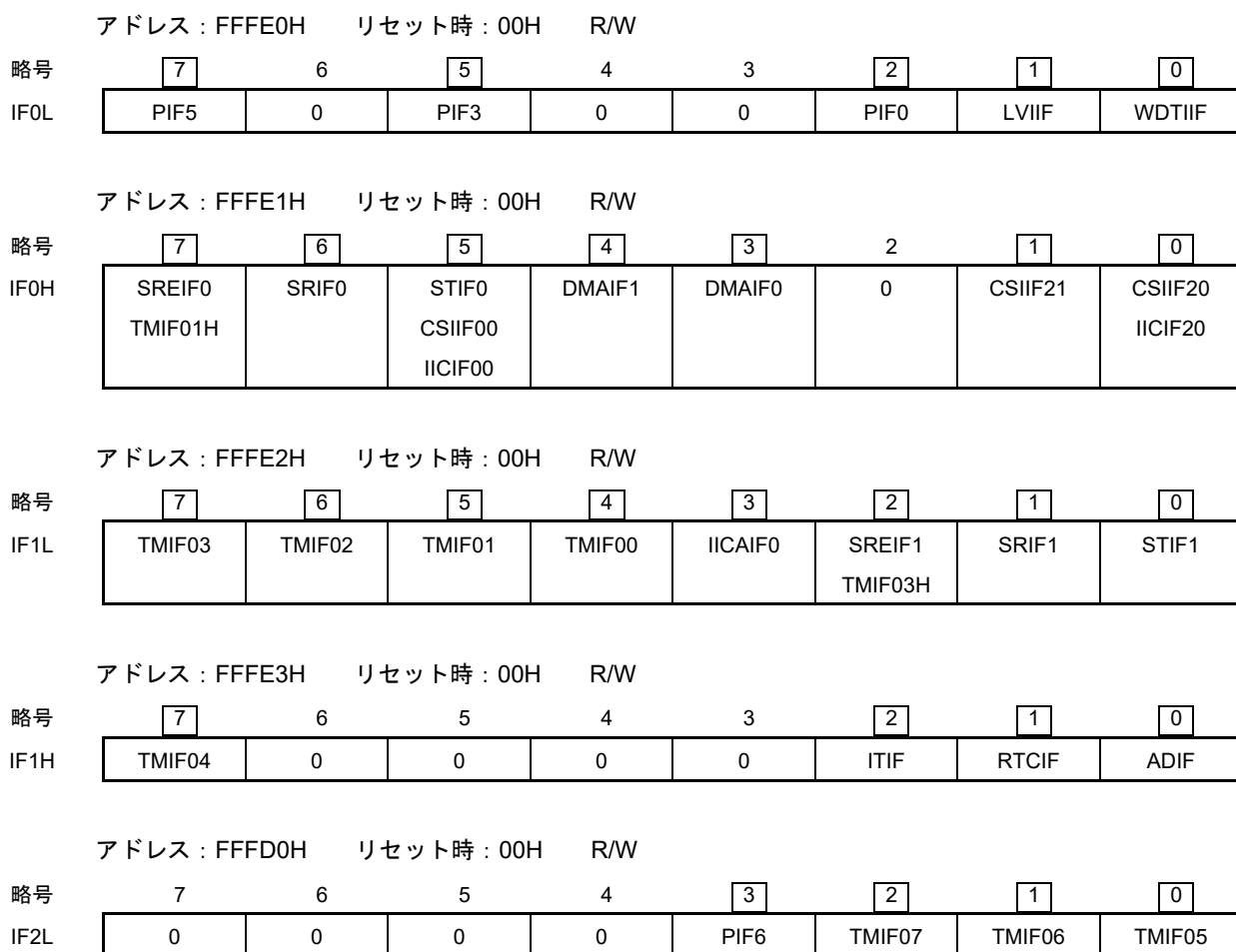


図18-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L) のフォーマット (2/2)

アドレス : FFFD1H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	0	MDIF	0	0	0	0	PIF11

アドレス : FFFD2H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
IF3L	0	0	0	0	0	0	DMAIF3	DMAIF2

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

- 注意 1. 搭載していないビットには、必ず初期値を設定してください。
2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「\_asm(“clr1 IF0L.0”);」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されません。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

★

### 18.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ, MK1LレジスタとMK1Hレジスタ, MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

**備考** このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)のフォーマット(1/2)

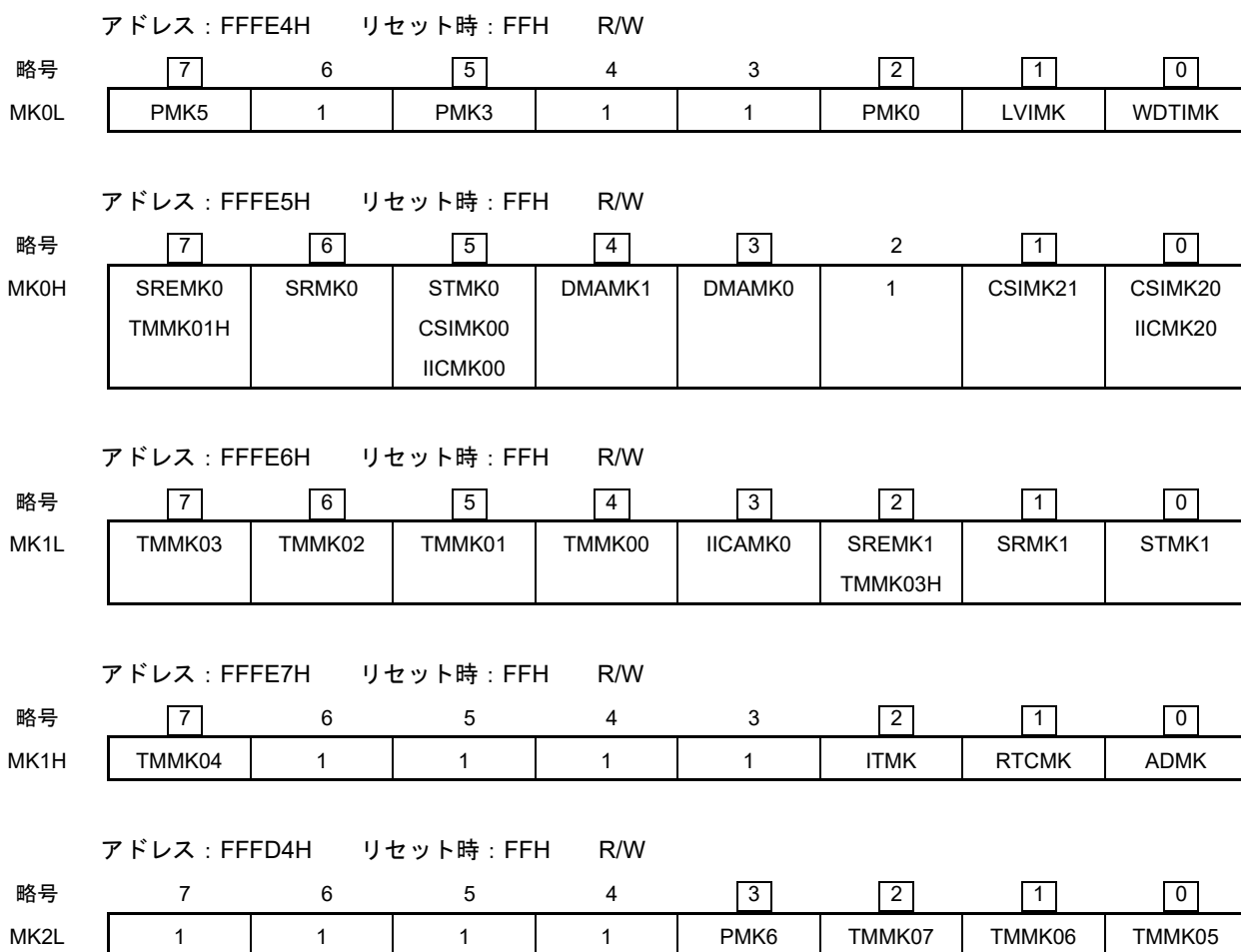


図18-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)のフォーマット(2/2)

アドレス : FFFD5H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	1	MDMK	1	1	1	1	PMK11

アドレス : FFFD6H    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
MK3L	1	1	1	1	1	1	DMAMK3	DMAMK2

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

**注意** 搭載していないビットには必ず初期値を設定してください。

### 18.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせて、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ, PR01LレジスタとPR01Hレジスタ, PR02LレジスタとPR02Hレジスタ, PR10LレジスタとPR10Hレジスタ, PR11LレジスタとPR11Hレジスタ, PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

**備考** このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L) のフォーマット (1/3)

アドレス : FFFE8H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR00L	PPR05	1	PPR03	1	1	PPR00	LVIPR0	WDTIPR0
アドレス : FFFECH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR10L	PPR15	1	PPR13	1	1	PPR10	LVIPR1	WDTIPR1
アドレス : FFFE9H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR00H	SREPR00 TMPR001H	SRPR00	STPR00 CSIPR000 IICPR000	DMAPR01	DMAPR00	1	CSIPR021	CSIPR020 IICPR020
アドレス : FFFEDH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR10H	SREPR10 TMPR101H	SRPR10	STPR10 CSIPR100 IICPR100	DMAPR11	DMAPR10	1	CSIPR121	CSIPR120 IICPR120
アドレス : FFFEAH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR00	SREPR01 TMPR003H	SRPR01	STPR01

図18-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L) のフォーマット (2/3)

アドレス : FFFEEH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR10	SREPR11 TMPR103H	SRPR11	STPR11

アドレス : FFFEBH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR01H	TMPR004	1	1	1	1	ITPR0	RTCPR0	ADPR0

アドレス : FFFEFH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR11H	TMPR104	1	1	1	1	ITPR1	RTCPR1	ADPR1

アドレス : FFFD8H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR02L	1	1	1	1	PPR06	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR12L	1	1	1	1	PPR16	TMPR107	TMPR106	TMPR105

アドレス : FFFD9H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	1	MDPR0	1	1	1	1	PPR011

アドレス : FFFDDH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	1	MDPR1	1	1	1	1	PPR111

図18-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L) のフォーマット (3/3)

アドレス : FFFDAH    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PR03L	1	1	1	1	1	1	DMAPR03	DMAPR02

アドレス : FFFDEH    リセット時 : FFH    R/W

略号	7	6	5	4	3	2	1	0
PR13L	1	1	1	1	1	1	DMAPR13	DMAPR12

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

**注意** 搭載していないビットには必ず初期値を設定してください。



### 18.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0, INTP3, INTP5, INTP6の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0) のフォーマット

アドレス : FFF38H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	EGP6	EGP5	0	EGP3	0	0	EGP0

アドレス : FFF39H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	EGN6	EGN5	0	EGN3	0	0	EGN0

EGP0	EGN0	INTPn端子の有効エッジの選択 (n = 0, 3, 5, 6)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表18-3に示します。

表18-3 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号
EGP0	EGN0	INTP0
EGP3	EGN3	INTP3
EGP5	EGN5	INTP5
EGP6	EGN6	INTP6

**注意** 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn = 0, 0) にしてからポート・モード・レジスタ(PMxx)を0に設定してください。

**備考1.** エッジ検出ポートに関しては、3.1 ポート機能を参照してください。

2. n = 0, 3, 5, 6

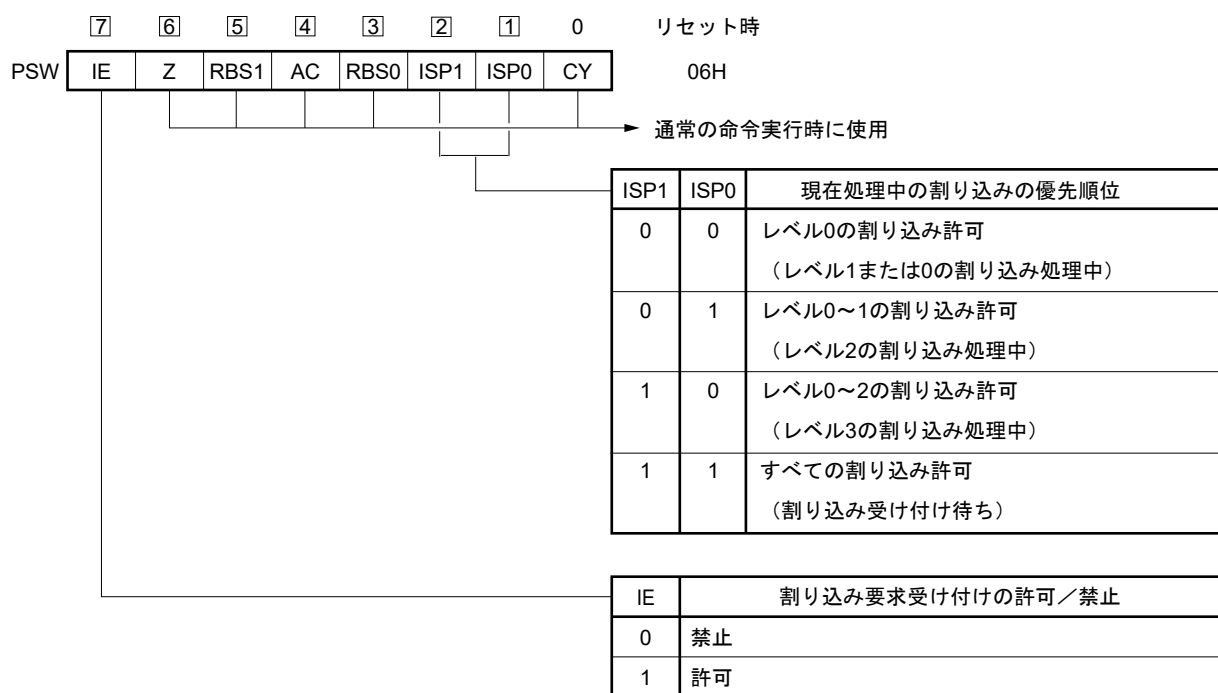
### 18.3.5 プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、”-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図18-6 プログラム・ステータス・ワードの構成



## 18.4 割り込み処理動作

### 18.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込み要求のマスク (MK) フラグがクリア (0) されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態 (IE フラグがセット (1) されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表18-4のようになります。

割り込み要求の受け付けタイミングについては、図18-8、図18-9を参照してください。

表18-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 <sup>注</sup>
処理時間	9クロック	16クロック

注 内部RAM領域からの命令実行時は除きます。

備考 1クロック :  $1/f_{CLK}$  ( $f_{CLK}$  : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

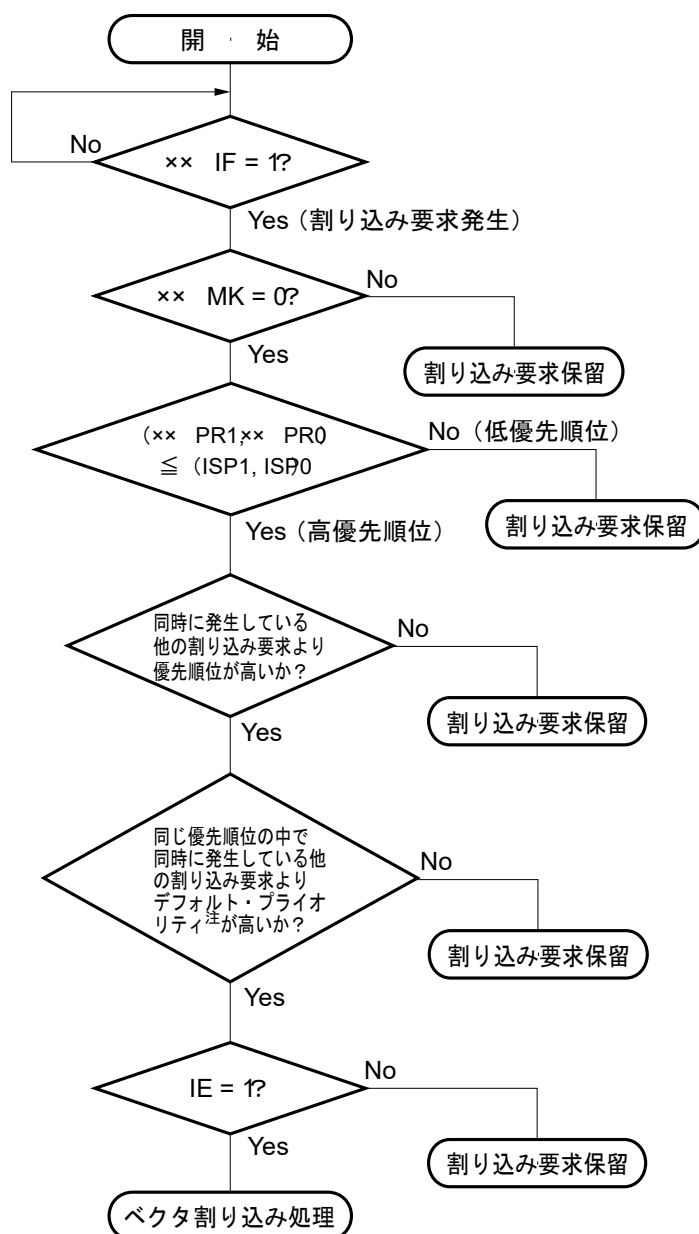
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図18-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図18-7 割り込み要求受け付け処理アルゴリズム



- × × IF : 割り込み要求フラグ
- × × MK : 割り込みマスク・フラグ
- × × PR0 : 優先順位指定フラグ0
- × × PR1 : 優先順位指定フラグ1
- IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)
- ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図18-6参照)

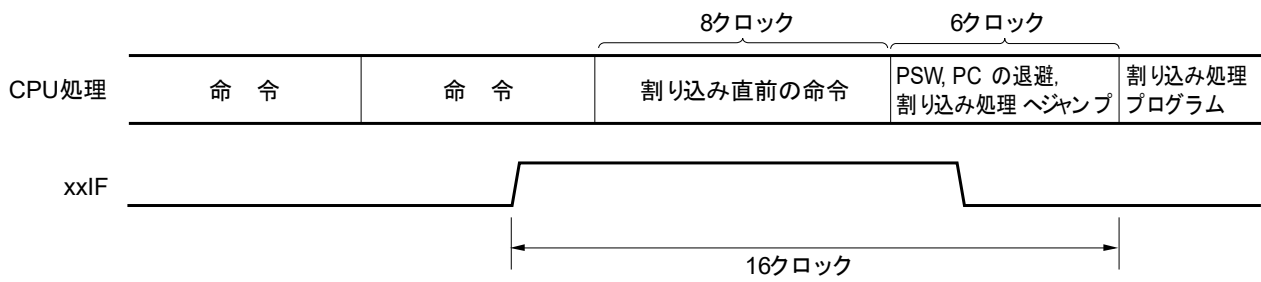
注 デフォルト・プライオリティは、表18-1 割り込み要因一覧を参照してください。

図18-8 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック :  $1/f_{CLK}$  ( $f_{CLK}$  : CPUクロック)

図18-9 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック :  $1/f_{CLK}$  ( $f_{CLK}$  : CPUクロック)

### 18.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

**注意** ソフトウェア割り込みからの復帰にRETI命令は使用できません。

### 18.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表18-5に多重割り込み可能な割り込み要求の関係を、図18-10に多重割り込みの例を示します。

表18-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

2. × : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWIに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち (すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRIはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタに含まれるフラグです。

PR = 00 : × × PR1 × = 0, × × PR0 × = 0でレベル0を指定 (高優先順位)

PR = 01 : × × PR1 × = 0, × × PR0 × = 1でレベル1を指定

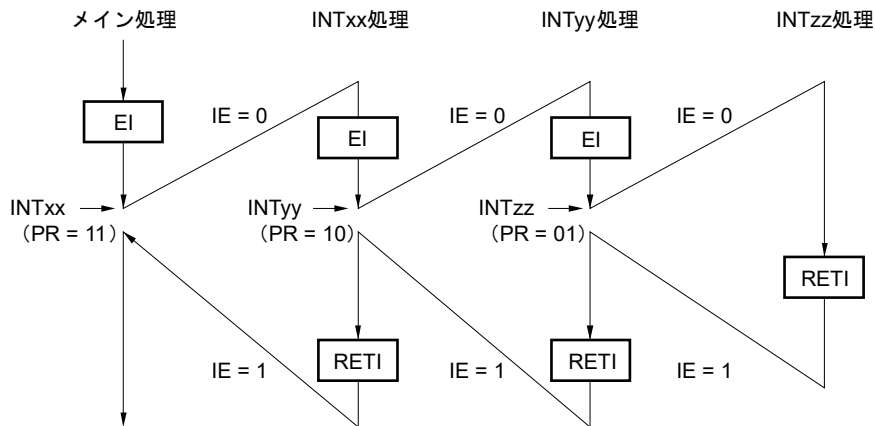
PR = 10 : × × PR1 × = 1, × × PR0 × = 0でレベル2を指定

PR = 11 : × × PR1 × = 1, × × PR0 × = 1でレベル3を指定 (低優先順位)



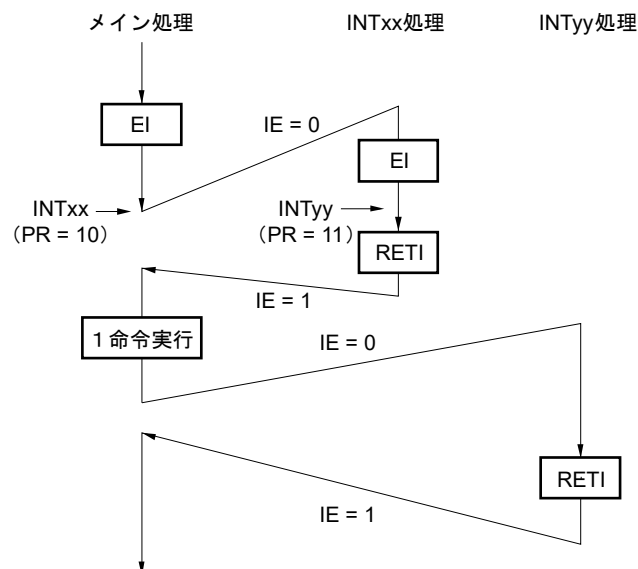
図18-10 多重割り込みの例 (1/2)

## 例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

## 例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 :  $\times \times PR1 \times = 0, \times \times PR0 \times = 0$ でレベル0を指定 (高優先順位)

PR = 01 :  $\times \times PR1 \times = 0, \times \times PR0 \times = 1$ でレベル1を指定

PR = 10 :  $\times \times PR1 \times = 1, \times \times PR0 \times = 0$ でレベル2を指定

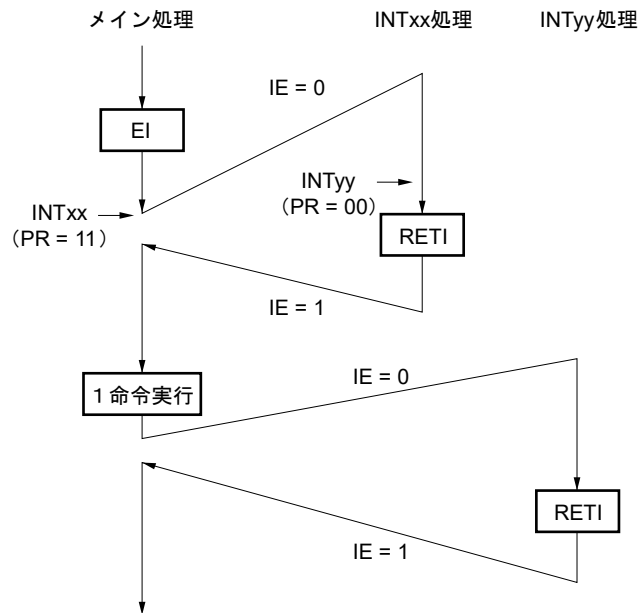
PR = 11 :  $\times \times PR1 \times = 1, \times \times PR0 \times = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図18-10 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 00 :  $\times \times PR1 \times = 0, \times \times PR0 \times = 0$ でレベル0を指定（高優先順位）
- PR = 01 :  $\times \times PR1 \times = 0, \times \times PR0 \times = 1$ でレベル1を指定
- PR = 10 :  $\times \times PR1 \times = 1, \times \times PR0 \times = 0$ でレベル2を指定
- PR = 11 :  $\times \times PR1 \times = 1, \times \times PR0 \times = 1$ でレベル3を指定（低優先順位）
- IE = 0 : 割り込み要求受け付け禁止
- IE = 1 : 割り込み要求受け付け許可

#### 18.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L  
レジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図18-11に示します。

図18-11 割り込み要求の保留



- 備考1.** 命令N：割り込み要求の保留命令
- 2.** 命令M：割り込み要求の保留命令以外の命令

## 第19章 スタンバイ機能

### 19.1 スタンバイ機能

MCU部のスタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

#### (1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

#### (2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

#### (3) SNOOZEモード

CSI00, UART0のデータ受信およびタイマ・トリガ信号（割り込み要求信号（INTRTC/INTIT））によるA/D変換要求により、STOPモードを解除し、CPUを動作させることなくCSI00, UART0のデータ受信、A/D変換を行います。CPU/周辺ハードウェア・クロック（fCLK）に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出カラッチ、出力バッファの状態も保持されます。

**注意1.** STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。

**2.** STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください（SNOOZEモード設定ユニットを除く）。

- 注意3. CSI00, UART0, A/DコンバータをSNOOZEモードで使用する場合は, シリアル・スタンバイ・コントロール・レジスタ0 (SSC0), A/Dコンバータ・モード・レジスタ2 (ADM2) をSTOPモードに移行前に設定してください。詳細は, 13.3 シリアル・アレイ・ユニットを制御するレジスタ, 12.3 A/Dコンバータを制御するレジスタを参照してください。
4. A/Dコンバータ部の消費電力を低減させるためには, A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし, A/D変換動作を停止させてから, STOP命令を実行してください。
  5. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは, オプション・バイトで選択できます。詳細は第25章 オプション・バイトを参照してください。

## 19.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)

備考 上記レジスタの詳細は, 第6章 クロック発生回路を参照してください。また, SNOOZEモード機能を制御するレジスタは, 第12章 A/Dコンバータ, 第13章 シリアル・アレイ・ユニットを参照してください。

## 19.3 スタンバイ機能の動作

### 19.3.1 HALTモード

#### (1) HALTモード

HALTモードは, HALT命令の実行により設定されます。設定前のCPUクロックは, 高速システム・クロック, 高速オンチップ・オシレータ・クロック, サブシステム・クロックのいずれの場合でも設定可能です。次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが"0" (割り込み処理許可) で且つ割り込み要求フラグが"1" (割り込み要求信号が発生) の場合, HALTモードの解除に割り込み要求信号が用いられるため, その状況下でHALT命令を実行しても, HALTモードに移行しません。

表19-1 HALTモード時の動作状態 (1/2)

項目	HALTモードの設定	メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速オンチップ・オシレータ (f <sub>IH</sub> ) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (f <sub>EX</sub> ) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f <sub>IH</sub>	動作継続 (停止不可)	動作禁止	
	f <sub>X</sub>	動作禁止	動作継続 (停止不可)	動作不可
	f <sub>EX</sub>		動作不可	動作継続 (停止不可)
サブシステム・クロック	f <sub>XT</sub>	HALTモード設定前の状態を継続		
	f <sub>EXS</sub>			
f <sub>IL</sub>		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止		
データ・フラッシュ・メモリ				
RAM		動作停止 (DMA実行時は動作可能)		
ポート (ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット		動作可能		
リアルタイム・クロック (RTC)				
12ビット・インターバル・タイマ				
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照		
クロック出力/ブザー出力		動作可能		
A/Dコンバータ				
シリアル・アレイ・ユニット (SAU)				
シリアル・インタフェース (IICA)				
乗除算・積和演算器				
DMAコントローラ				
パワーオン・リセット機能				
電圧検出機能				
外部割り込み				
CRC演算機能	高速CRC	RAM領域の演算で、DMA実行時は動作可能		
	汎用CRC			
RAMパリティ・エラー検出機能		DMA実行時は動作可能		
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

備考 動作停止 : HALTモード移行時に自動的に動作停止      fx : X1クロック  
 動作禁止 : HALTモード移行前に動作を停止させる      fEX : 外部メイン・システム・クロック  
 f<sub>IH</sub> : 高速オンチップ・オシレータ・クロック      fXT : XT1クロック  
 f<sub>IL</sub> : 低速オンチップ・オシレータ・クロック      fEXS : 外部サブシステム・クロック

表19-1 HALTモード時の動作状態 (2/2)

HALTモードの設定 項目		サブシステム・クロックでCPU動作中のHALT命令実行時	
		XT1クロック (f <sub>XT</sub> ) でCPU動作時	外部サブシステム・クロック (f <sub>EXS</sub> ) でCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f <sub>H</sub>	動作禁止	
	f <sub>X</sub>		
	f <sub>EX</sub>		
サブシステム・クロック	f <sub>XT</sub>	動作継続 (停止不可)	動作不可
	f <sub>EXS</sub>	動作不可	動作継続 (停止不可)
f <sub>L</sub>		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止	
CPU		動作停止	
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM		動作停止 (DMA実行時は動作可能)	
ポート (ラッチ)		HALTモード設定前の状態を保持	
タイマ・アレイ・ユニット		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)	
リアルタイム・クロック (RTC)		動作可能	
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照	
クロック出力/ブザー出力		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)	
A/Dコンバータ		動作禁止	
シリアル・アレイ・ユニット (SAU)		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)	
シリアル・インタフェース (IICA)		動作禁止	
乗除算・積和演算器		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)	
DMAコントローラ			
パワーオン・リセット機能		動作可能	
電圧検出機能			
外部割り込み			
CRC演算機能	高速CRC	動作禁止	
	汎用CRC	RAM領域の演算で, DMA実行時は動作可能	
RAMパリティ・エラー検出機能		DMA実行時は動作可能	
RAMガード機能			
SFRガード機能			
不正メモリ・アクセス検出機能			

**備考** 動作停止 : HALTモード移行時に自動的に動作停止  
 動作禁止 : HALTモード移行前に動作を停止させる  
 f<sub>H</sub> : 高速オンチップ・オシレータ・クロック  
 f<sub>L</sub> : 低速オンチップ・オシレータ・クロック

f<sub>X</sub> : XT1クロック  
 f<sub>EX</sub> : 外部メイン・システム・クロック  
 f<sub>XT</sub> : XT1クロック  
 f<sub>EXS</sub> : 外部サブシステム・クロック

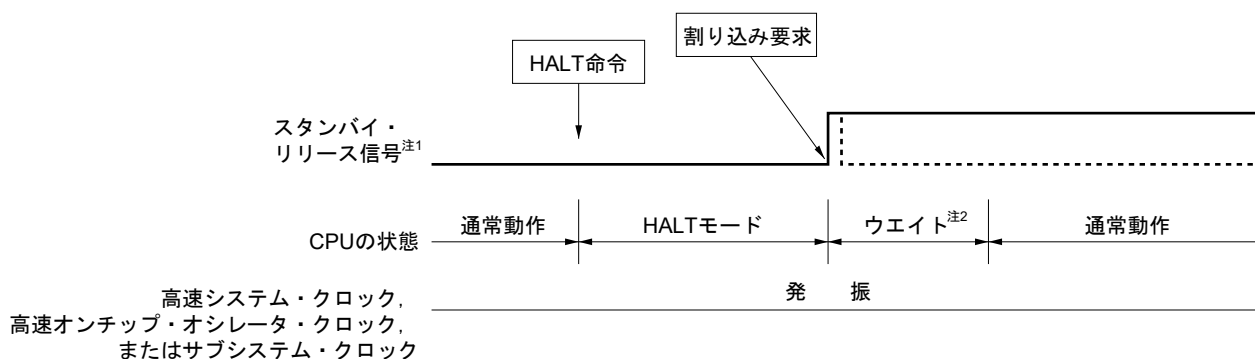
## (2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

## (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図19-1 HALTモードの割り込み要求発生による解除



**注1.** スタンバイ・リリース信号に関する詳細は、図18-1を参照してください。

**2. HALTモード解除のウェイト時間**

・ベクタ割り込み処理を行う場合

メイン・システム・クロック時 : 15~16クロック

サブシステム・クロック時 (RTCLPC = 0) : 10~11クロック

サブシステム・クロック時 (RTCLPC = 1) : 11~12クロック

・ベクタ割り込み処理を行わない場合

メイン・システム・クロック時 : 9~10クロック

サブシステム・クロック時 (RTCLPC = 0) : 4~5クロック

サブシステム・クロック時 (RTCLPC = 1) : 5~6クロック

**備考** 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

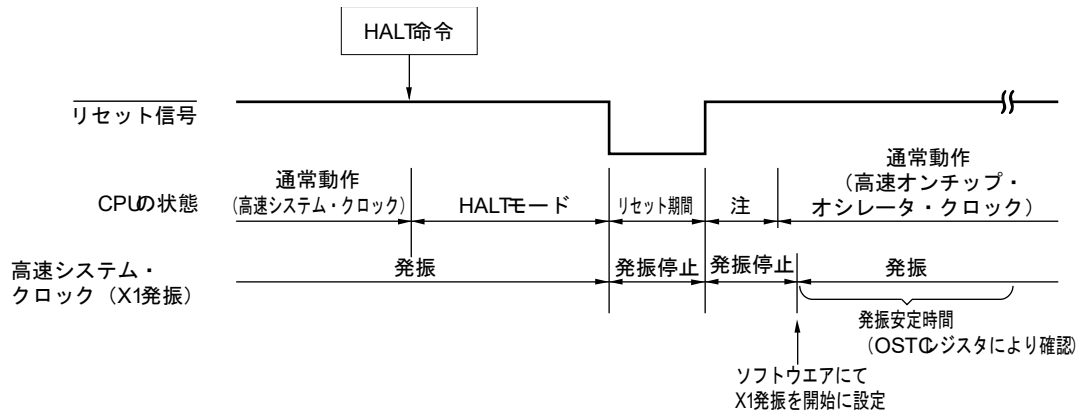


(b) リセット信号の発生による解除

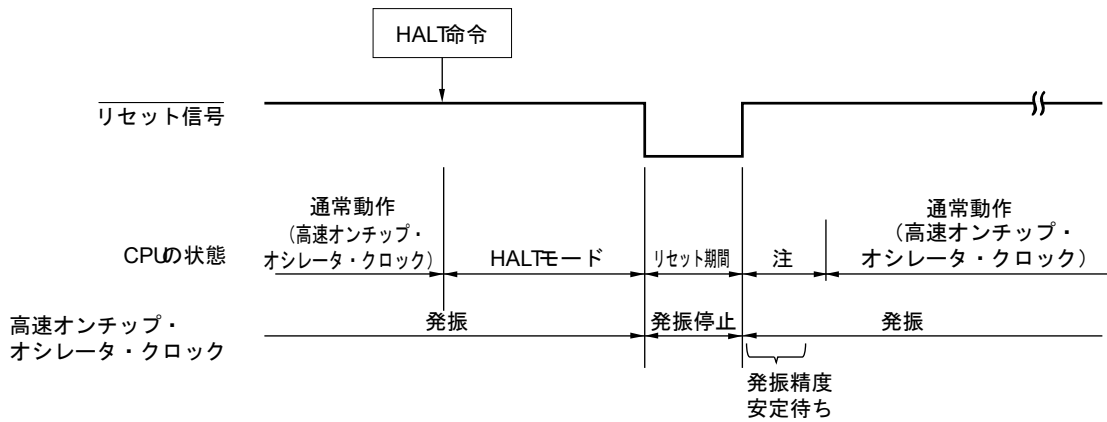
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図19-2 HALTモードのリセットによる解除 (1/2)

(a) CPUクロックが高速オンチップ・オシレータ・クロックの場合



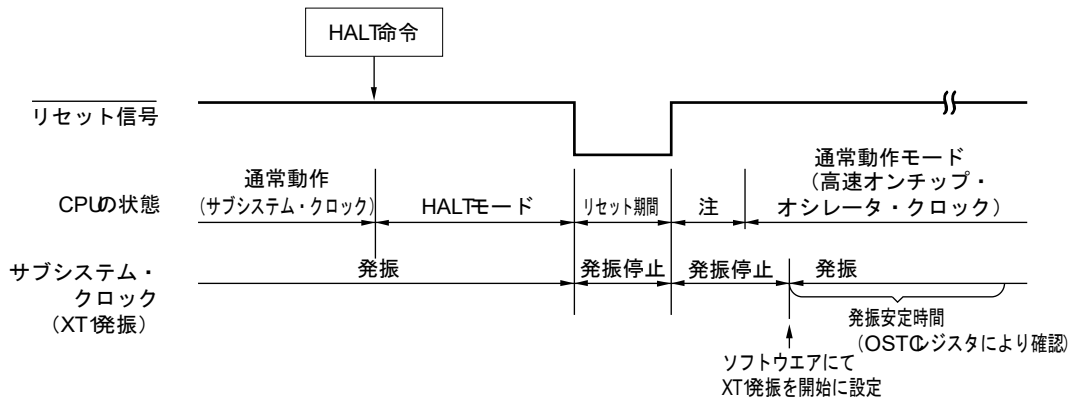
(b) CPUクロックが高速システム・クロックの場合



**注** リセット処理時間は、第20章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、第21章 パワーオン・リセット回路を参照してください。

図19-2 HALTモードのリセットによる解除 (2/2)

(c) CPUクロックがサブシステム・クロックの場合



**注** リセット処理時間は、第20章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、第21章 パワーオン・リセット回路を参照してください。

### 19.3.2 STOPモード

#### (1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

**注意** 割り込みマスク・フラグが"0" (割り込み処理許可) で且つ割り込み要求フラグが"1" (割り込み要求信号が発生) の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってただちに解除されます。したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表19-2 STOPモード時の動作状態

項目	STOPモードの設定		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
			高速オンチップ・オシレータ・クロック (f <sub>H</sub> ) でCPU動作時	X1クロック (f <sub>X</sub> ) でCPU動作時	外部メイン・システム・クロック (f <sub>EX</sub> ) でCPU動作時	
システム・クロック	CPUへのクロック供給は停止					
メイン・システム・クロック	f <sub>H</sub> f <sub>X</sub> f <sub>EX</sub>	停止				
		サブシステム・クロック	f <sub>XT</sub>	STOPモード設定前の状態を継続		
			f <sub>EXS</sub>			
f <sub>L</sub>	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止					
CPU	動作停止					
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ	動作停止					
RAM	動作停止					
ポート (ラッチ)	STOPモード設定前の状態を継続					
タイマ・アレイ・ユニット	動作禁止					
リアルタイム・クロック (RTC)	動作可能					
12ビット・インターバル・タイマ						
ウォッチドッグ・タイマ	第11章 ウォッチドッグ・タイマ参照					
クロック出力/ブザー出力	カウント・クロックにサブシステム・クロック選択時かつRTCLPC = 0のときは動作可能 (それ以外は、動作禁止)					
A/Dコンバータ	ウエイク・アップ動作可能 (SNOOZEモードへ移行)					
シリアル・アレイ・ユニット (SAU)	CSI00, UART0のみウエイク・アップ動作可能 (SNOOZEモードへ移行) CSI00, UART0以外は動作禁止					
シリアル・インタフェース (IICA)	アドレス一致によるウエイク・アップ動作可能					
乗除積和算器	動作禁止					
DMAコントローラ						
パワーオン・リセット機能	動作可能					
電圧検出機能						
外部割り込み						
CRC演算機能	高速CRC	動作停止				
	汎用CRC					
RAMパリティ・エラー検出機能						
RAMガード機能						
SFRガード機能						
不正メモリ・アクセス検出機能						

★

**備考** 動作停止 : STOPモード移行時に自動的に動作停止  
 動作禁止 : STOPモード移行前に動作を停止させる  
 f<sub>H</sub> : 高速オンチップ・オシレータ・クロック  
 f<sub>X</sub> : X1クロック  
 f<sub>XT</sub> : XT1クロック  
 f<sub>L</sub> : 低速オンチップ・オシレータ・クロック  
 f<sub>EX</sub> : 外部メイン・システム・クロック  
 f<sub>EXS</sub> : 外部サブシステム・クロック

## (2) STOPモードの解除

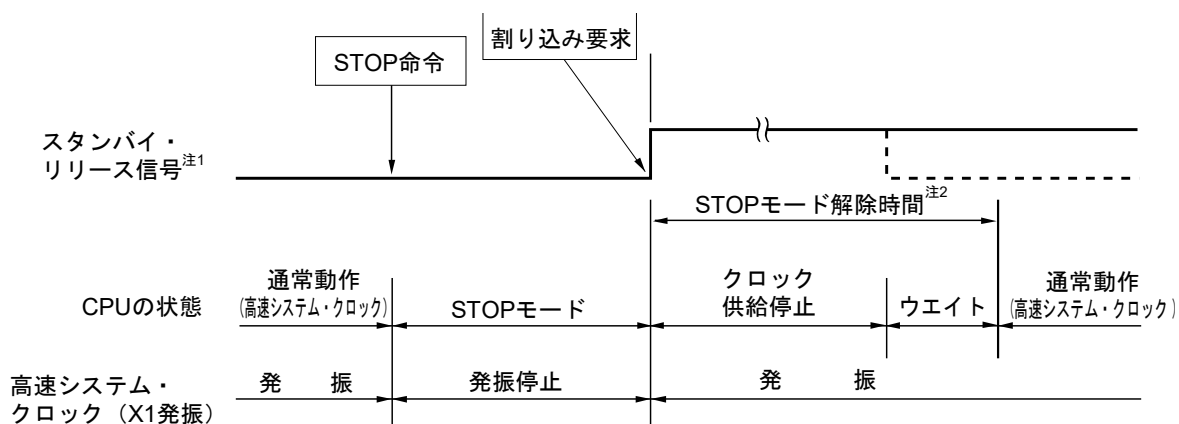
STOPモードは、次の2種類のソースによって解除することができます。

## (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図19-3 STOPモードの割り込み要求発生による解除 (1/2)

## (a) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関する詳細は、図18-1を参照してください。

## 2. STOPモード解除時間

クロック供給停止 : 18  $\mu$ s~65  $\mu$ s

ウエイト

・ベクタ割り込み処理を行う場合 : 7クロック

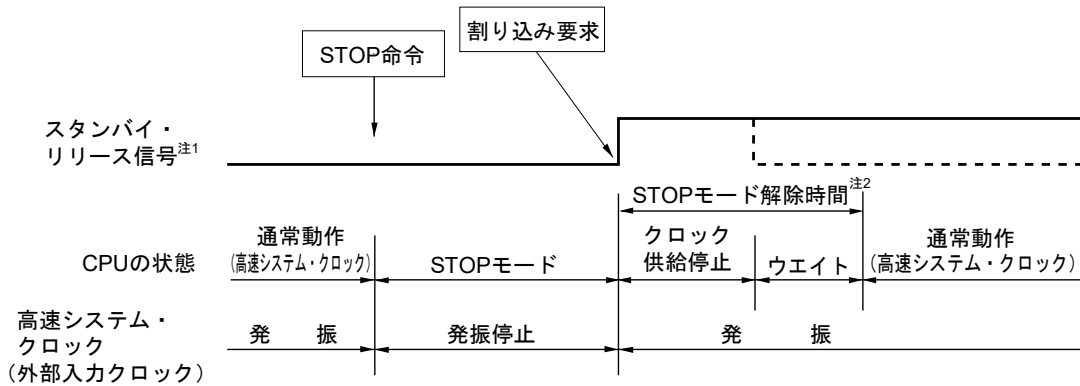
・ベクタ割り込み処理を行わない場合 : 1クロック

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図19-3 STOPモードの割り込み要求発生による解除 (2/2)

(b) CPUクロックが高速システム・クロック (X1発振) の場合



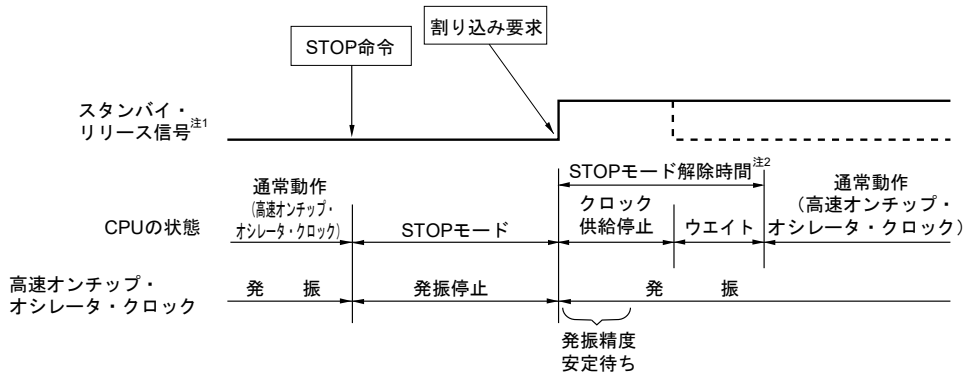
注1. スタンバイ・リリース信号に関する詳細は、図18-1を参照してください。

2. STOPモード解除時間

クロック供給停止 : 18  $\mu$ s~65  $\mu$ sと発振安定時間 (OSTSで設定) の長い方  
 ウェイト

- ・ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

(c) CPUクロックが高速システム・クロック (外部クロック入力) の場合



注1. スタンバイ・リリース信号に関する詳細は、図18-1を参照してください。

2. STOPモード解除時間

クロック供給停止 : 18  $\mu$ s~65  $\mu$ s

ウェイト

- ・ベクタ割り込み処理を行う場合 : 7クロック
- ・ベクタ割り込み処理を行わない場合 : 1クロック

注意 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

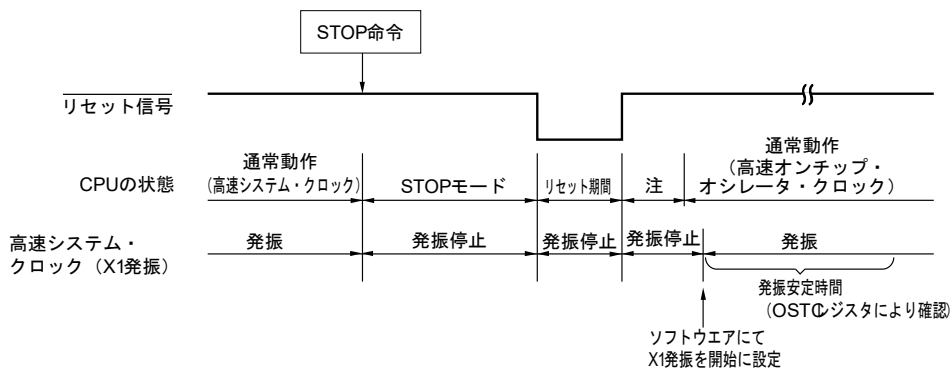
- 備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。  
 2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

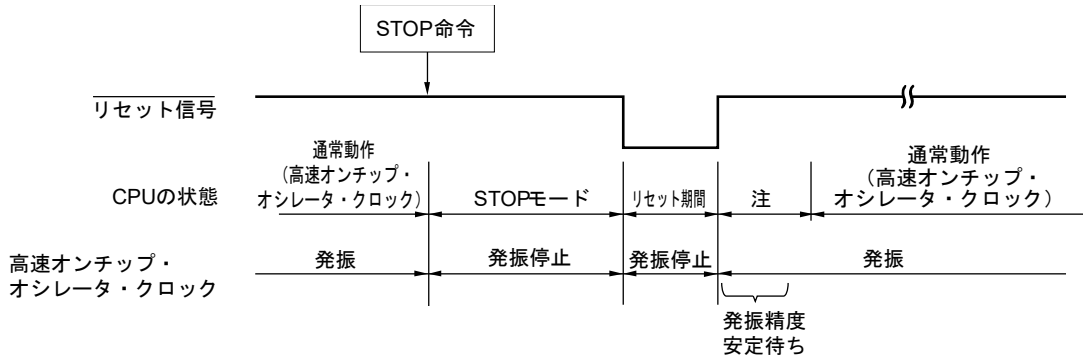
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図19-4 STOPモードのリセットによる解除

(a) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(b) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第20章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出 (LVD) 回路のリセット処理時間は、第21章 パワーオン・リセット回路を参照してください。

### 19.3.3 SNOOZEモード

#### (1) SNOOZEモードの設定および動作状態

CSI00, UART0または、A/Dコンバータのみ設定可能です。また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSI00, UART0をSNOOZEモードで使用する場合は、STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットを1に設定してください。詳細は、13.3 シリアル・アレィ・ユニットを制御するレジスタを参照してください。

A/DコンバータをSNOOZEモードで使用する場合は、STOPモードに移行する直前にA/Dコンバータ・モード・レジスタ2 (ADM2) のAWCビットを1に設定してください。詳細は、12.3 A/Dコンバータを制御するレジスタを参照してください。

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→ SNOOZEモードの遷移時間：18  $\mu$ s～65  $\mu$ s

**備考** STOPモード→ SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します

SNOOZEモード→通常動作の遷移時間：

#### ・ベクタ割り込み処理を行う場合

HS (高速メイン) モード：	“4.99～9.44 $\mu$ s” +7クロック
LS (低速メイン) モード：	“1.10～5.08 $\mu$ s” +7クロック
LV (低電圧メイン) モード：	“16.58～25.40 $\mu$ s” +7クロック

#### ・ベクタ割り込み処理を行わない場合

HS (高速メイン) モード：	“4.99～9.44 $\mu$ s” +1クロック
LS (低速メイン) モード：	“1.10～5.08 $\mu$ s” +1クロック
LV (低電圧メイン) モード：	“16.58～25.40 $\mu$ s” +1クロック

次にSNOOZEモード時の動作状態を示します。

表19-3 SNOOZEモード時の動作状態

STOPモードの設定		STOPモード中にCSI00, UART0のデータ受信信号およびA/Dコンバータのタイマ・トリガ信号入力時
項目		高速オンチップ・オシレータ・クロック (f <sub>IH</sub> ) でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f <sub>IH</sub>	動作開始
	f <sub>X</sub>	停止
	f <sub>EX</sub>	
サブシステム・クロック	f <sub>XT</sub>	STOPモード中の状態を継続
	f <sub>EXS</sub>	
f <sub>IL</sub>	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止	
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		動作停止 (DMA実行時は動作可能)
ポート (ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
リアルタイム・クロック (RTC)		動作可能
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時かつRTCLPC = 0のときは動作可能 (それ以外は、動作禁止)
A/Dコンバータ		動作可能
シリアル・アレイ・ユニット (SAU)		CSI00, UART0のみ動作可能。CSI00, UART0以外は動作禁止。
シリアル・インタフェース (IICA)		動作禁止
乗除積和算器		
DMAコントローラ		
パワーオン・リセット機能		動作可能
電圧検出機能		
外部割り込み		
CRC演算機能	高速CRC	動作停止
	汎用CRC	
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

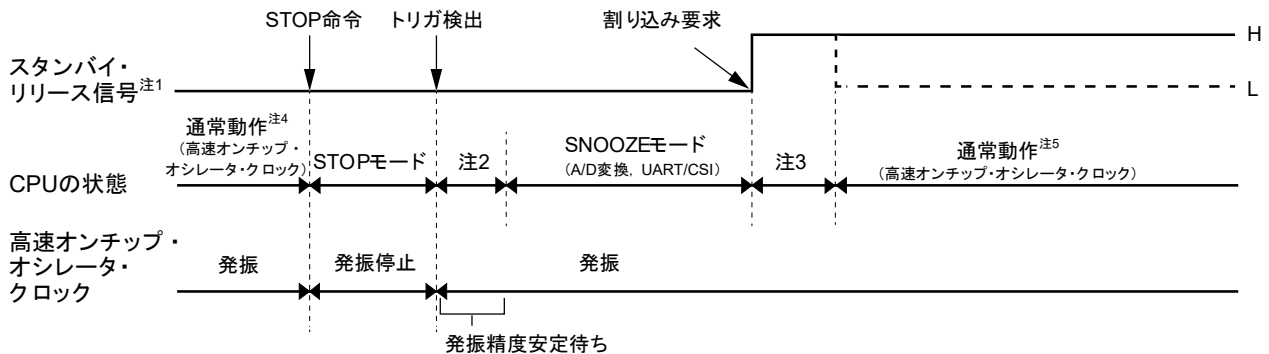
★

備考 動作停止 : STOPモード移行時に自動的に動作停止      f<sub>X</sub> : X1クロック  
 動作禁止 : STOPモード移行前に動作を停止させる      f<sub>EX</sub> : 外部メイン・システム・クロック  
 f<sub>IH</sub> : 高速オンチップ・オシレータ・クロック      f<sub>XT</sub> : XT1クロック  
 f<sub>IL</sub> : 低速オンチップ・オシレータ・クロック      f<sub>EXS</sub> : 外部サブシステム・クロック



## (2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図19-5 SNOOZEモードの割り込み要求が発生する場合

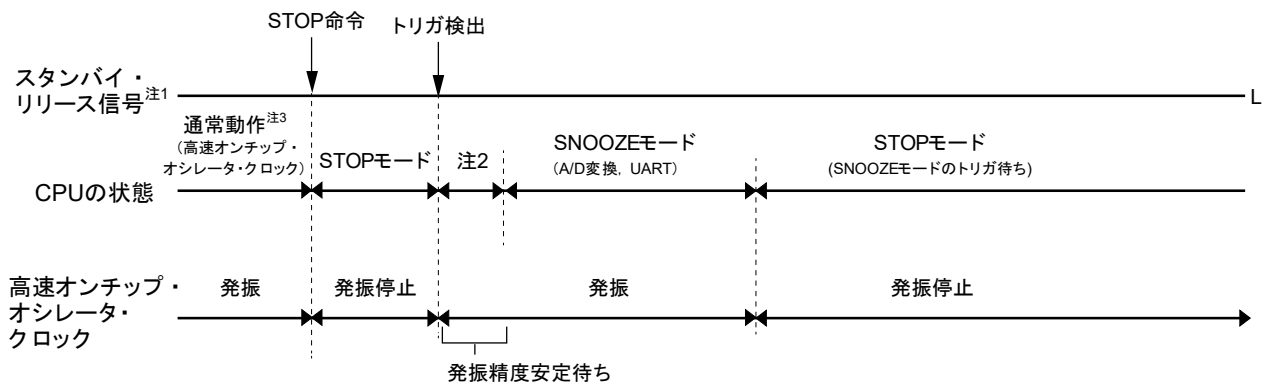


注1. スタンバイ・リリース信号に関する詳細は、図18-1を参照してください。

2. STOPモード→SNOOZEモードの遷移時間
3. SNOOZEモード→通常動作の遷移時間
4. STOPモードへ移行する直前に、SNOOZEモード許可 (AWC=1/SWC=1) に設定してください。
5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除 (AWC=0/SWC=0) に設定してください。

## (3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図19-6 SNOOZEモードの割り込み要求が発生しない場合



注1. スタンバイ・リリース信号に関する詳細は、図18-1を参照してください。

2. STOPモード→SNOOZEモードの遷移時間
3. STOPモードへ移行する直前に、SNOOZEモード許可 (AWC=1/SWC=1) に設定してください。

備考 SNOOZEモード機能の詳細は、第12章 A/Dコンバータ、第13章 シリアル・アレイ・ユニットを参照してください。

## 第20章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット (POR) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路 (LVD) の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット<sup>注</sup>
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H番地に書かれているアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行<sup>注</sup>、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表20-1に示すような状態になります。

**注** FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

**注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10  $\mu\text{s}$ 以上のロウ・レベルを入力してください。

電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、29.4または30.6 AC特性に示す動作電圧範囲内の期間で10  $\mu\text{s}$ 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

2. リセット信号発生中では、X1クロック、XT1クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。

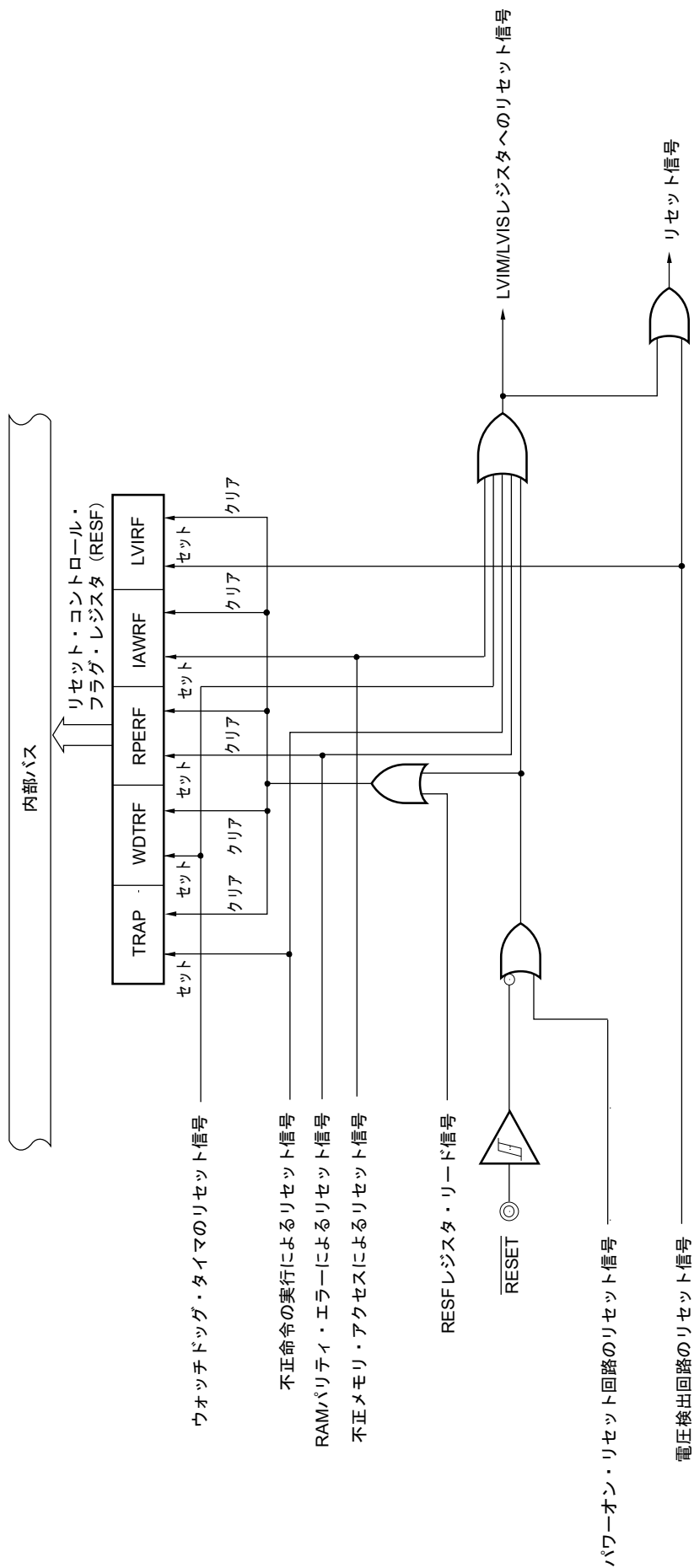
3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- ・ P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル (内部プルアップ抵抗接続)
- ・ P130 : リセット期間中およびリセット受け付け後はロウ・レベル出力
- ・ P40, P130以外のポート : リセット期間中およびリセット受け付け後はハイ・インピーダンス

**備考**  $V_{\text{POR}}$  : POR電源立ち上がり検出電圧

$V_{\text{LVD}}$  : LVD検出電圧

図20-1 リセット機能のブロック図



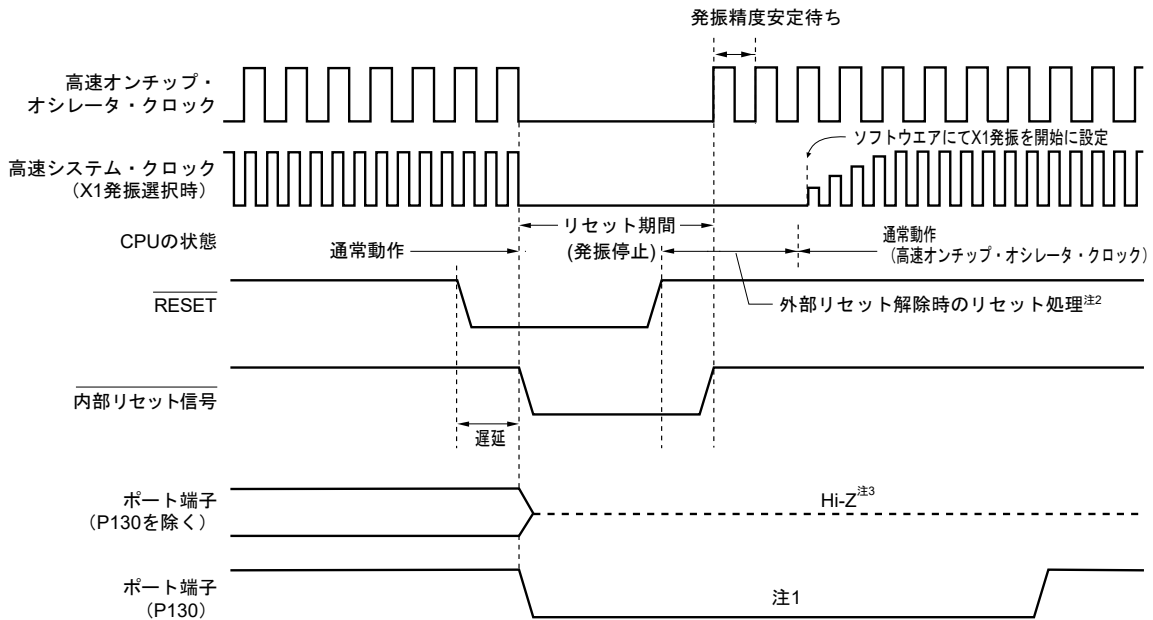
注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

- 備考1. LVIM : 電圧検出レジスタ  
 2. LVIS : 電圧検出レベル・レジスタ

## 20.1 リセット動作のタイミング

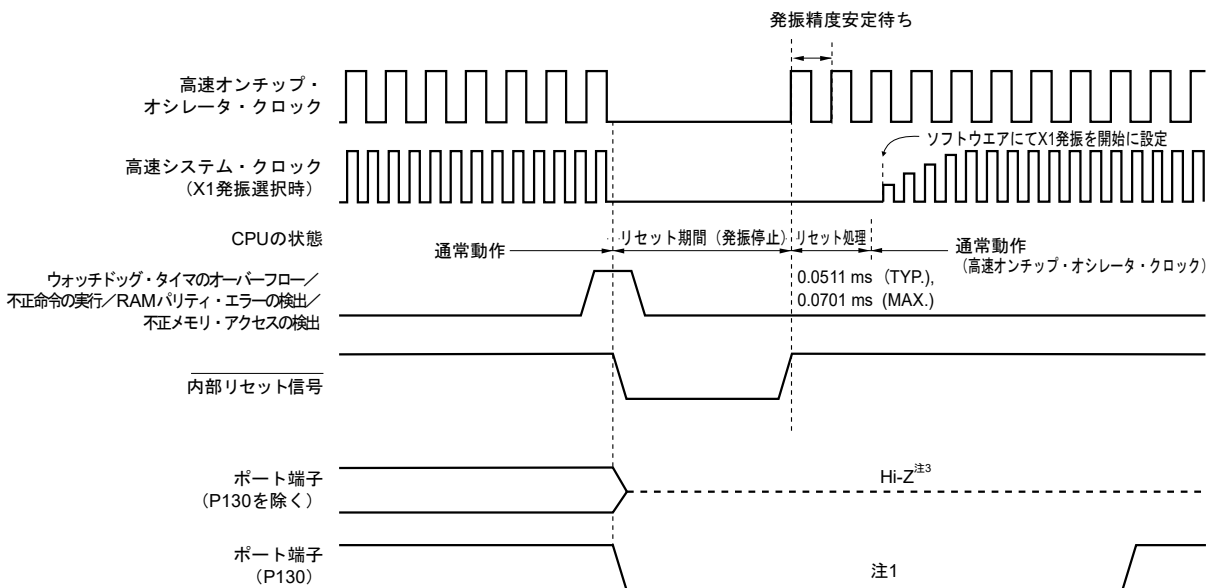
$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図20-2  $\overline{\text{RESET}}$ 入力によるリセット・タイミング



ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図20-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスの検出によるリセット・タイミング



(注は、次ページにあります。)

**注1.** リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

**2.** 外部リセット解除時のリセット時間：

POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)

0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)

0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.)がかかります。

**3.** ポート端子P40は次の状態になります。

- ・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

POR回路、LVD回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は、第21章 パワーオン・リセット回路または第22章 電圧検出回路を参照してください。

## 20.2 リセット期間中の動作状態

表20-1にリセット期間中の動作状態を、表20-2にリセット受け付け後の各ハードウェアの状態を示します。

表20-1 リセット期間中の動作状態

項目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	$f_{IH}$	動作停止
	$f_X$	動作停止 (X1, X2端子は入力ポート・モード)
	$f_{EX}$	クロックの入力無効 (端子は入力ポート・モード)
サブシステム・クロック	$f_{XT}$	動作停止 (XT1, XT2端子は入力ポート・モード)
	$f_{EXS}$	クロックの入力無効 (端子は入力ポート・モード)
$f_{IL}$	動作停止	
CPU	動作停止	
コード・フラッシュ・メモリ	動作停止	
データ・フラッシュ・メモリ	動作停止	
RAM	動作停止	
ポート (ラッチ)	ハイ・インピーダンス <sup>※</sup>	
タイマ・アレイ・ユニット	動作停止	
リアルタイム・クロック (RTC)		
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/Dコンバータ		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		
乗除算・積和演算器		
DMAコントローラ		
パワーオン・リセット機能		検出動作可能
電圧検出機能		LVDリセット時は動作可能。それ以外のリセット時は動作停止。
外部割り込み		動作停止
CRC演算機能	高速CRC	
	汎用CRC	
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

注 ポート端子P40, P130は次の状態になります。

- ・ P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル (内部プルアップ抵抗接続)
- ・ P130 : リセット期間中はロウ・レベル出力

(備考は、次ページにあります。)

**備考**

f <sub>H</sub>	: 高速オンチップ・オシレータ・クロック
f <sub>X</sub>	: X1発振クロック
f <sub>EX</sub>	: 外部メイン・システム・クロック
f <sub>XT</sub>	: XT1発振クロック
f <sub>EXS</sub>	: 外部サブシステム・クロック周波数
f <sub>L</sub>	: 低速オンチップ・オシレータ・クロック

表20-2 リセット受け付け後の各ハードウェアの状態

ハードウェア		リセット受け付け後の状態 <sup>注</sup>
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (00000H, 00001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

**注** リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

**備考** 特殊機能レジスタ (SFR : Special Function Register) のリセット受け付け後の状態は、4.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域、4.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域を参照してください。

## 20.3 リセット要因を確認するレジスタ

### 20.3.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・リセット (POR) 回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図20-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 不定<sup>注1</sup> R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求 <sup>注2</sup>
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出 (LVD) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。表20-3を参照してください。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

(注意は、次ページにあります。)



注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

- RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、23.3.3 RAMパリティ・エラー検出機能を参照してください。

リセット要求時のRESFレジスタの状態を表20-3に示します。

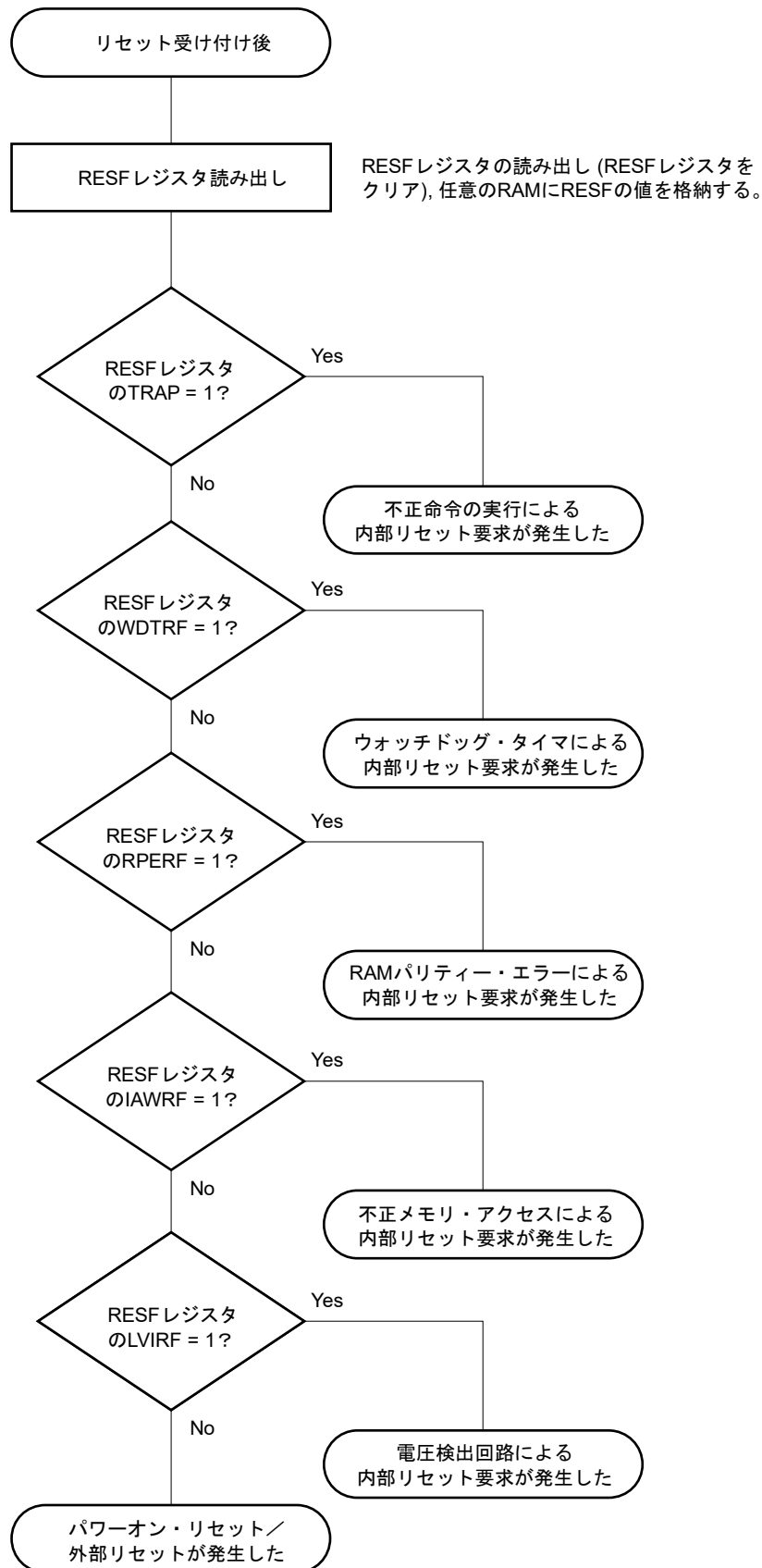
表20-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET $\bar$ 入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAMパリティ・エラーによる リセット	不正メモリ・アクセスによる リセット	LVDによる リセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持	保持
WDTRF			保持	セット (1)			
RPERF				保持	セット (1)		
IAWRF					保持	セット (1)	
LVIRF						保持	セット (1)

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。

リセット要因の手順を図20-5に示します

図20-5 リセット要因の確認手順例



※上記フローは確認手順の一例です。

## 第21章 パワーオン・リセット回路

### 21.1 パワーオン・リセット回路の機能

パワーオン・リセット (POR) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

電源電圧 ( $V_{DD}$ ) が検出電圧 ( $V_{POR}$ ) を越えた場合に、リセットを解除します。ただし、30.6 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{PDR}$ ) を比較し、 $V_{DD} < V_{PDR}$  になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、30.6 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

**注意** パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

**備考1.** RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 電圧検出 (LVD) 回路 / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT / LVD / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFレジスタの詳細については、**第20章 リセット機能**を参照してください。

2.  $V_{POR}$  : POR電源立ち上がり検出電圧

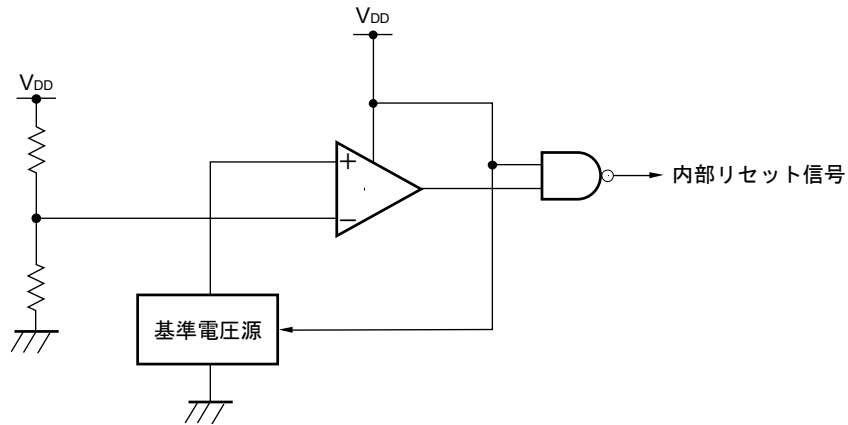
$V_{PDR}$  : POR電源立ち下がり検出電圧

詳細は、30.8.3 POR回路特性を参照してください。

## 21.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図21-1に示します。

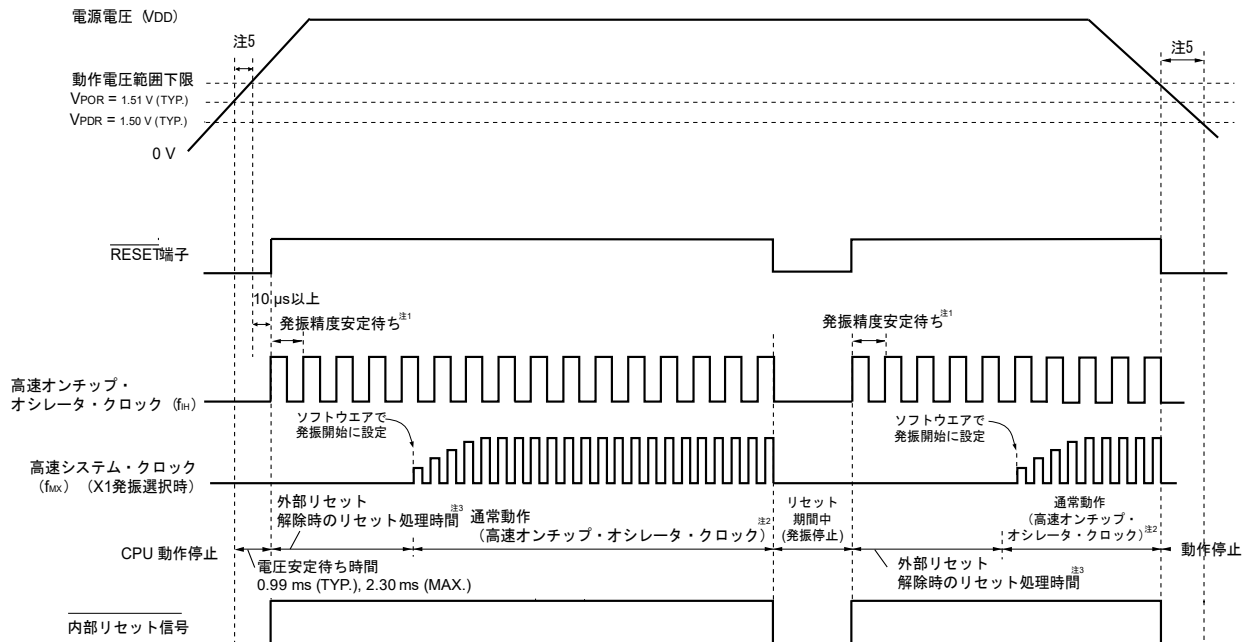
図21-1 パワーオン・リセット回路のブロック図



## 21.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図21-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (1/3)

(a)  $\overline{\text{RESET}}$ 端子による外部リセット使用時

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。

X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。

3. 通常動作が開始されるまでの時間は、 $V_{\text{POR}}$  (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、 $\overline{\text{RESET}}$ 信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間 (POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目 : 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)

0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降 : 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)

0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

5. 電源立ち上がり時は、30.6 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

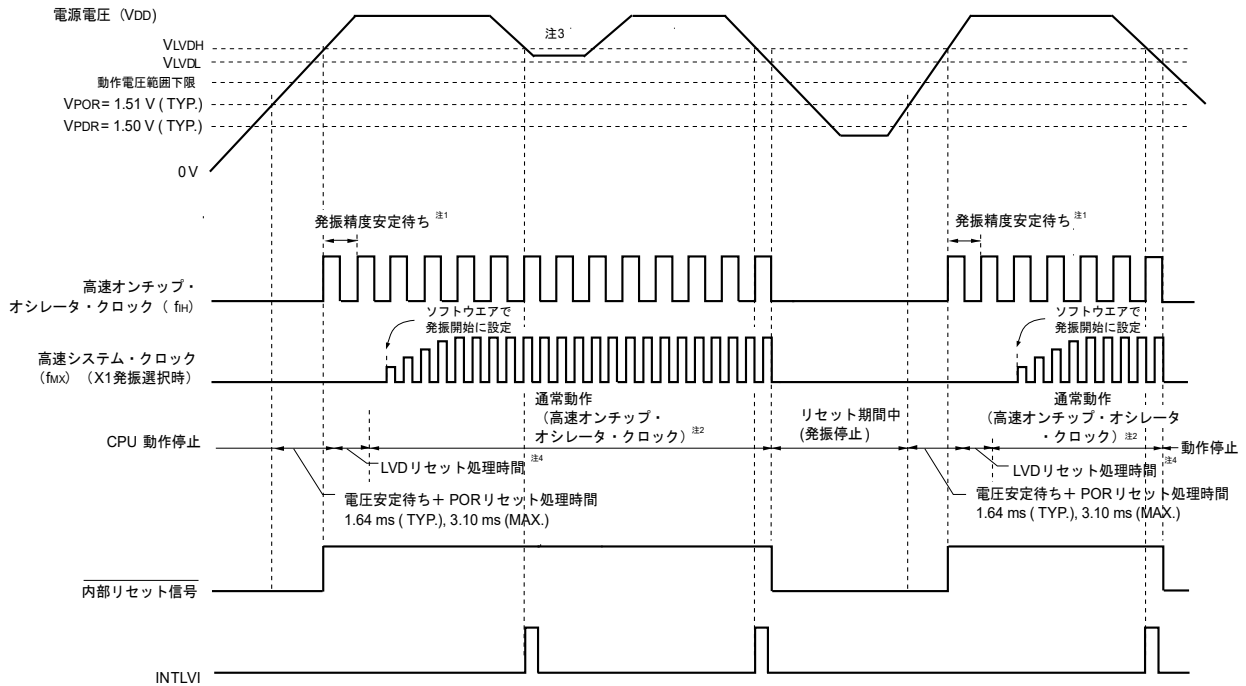
**注意** LVDオフ時は必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。詳細は、第22章 電圧検出回路を参照してください。

**備考**  $V_{\text{POR}}$  : POR電源立ち上がり検出電圧

$V_{\text{PDR}}$  : POR電源立ち下がり検出電圧

図21-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (2/3)

(b) LVD割り込み&リセット・モード時 (オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)



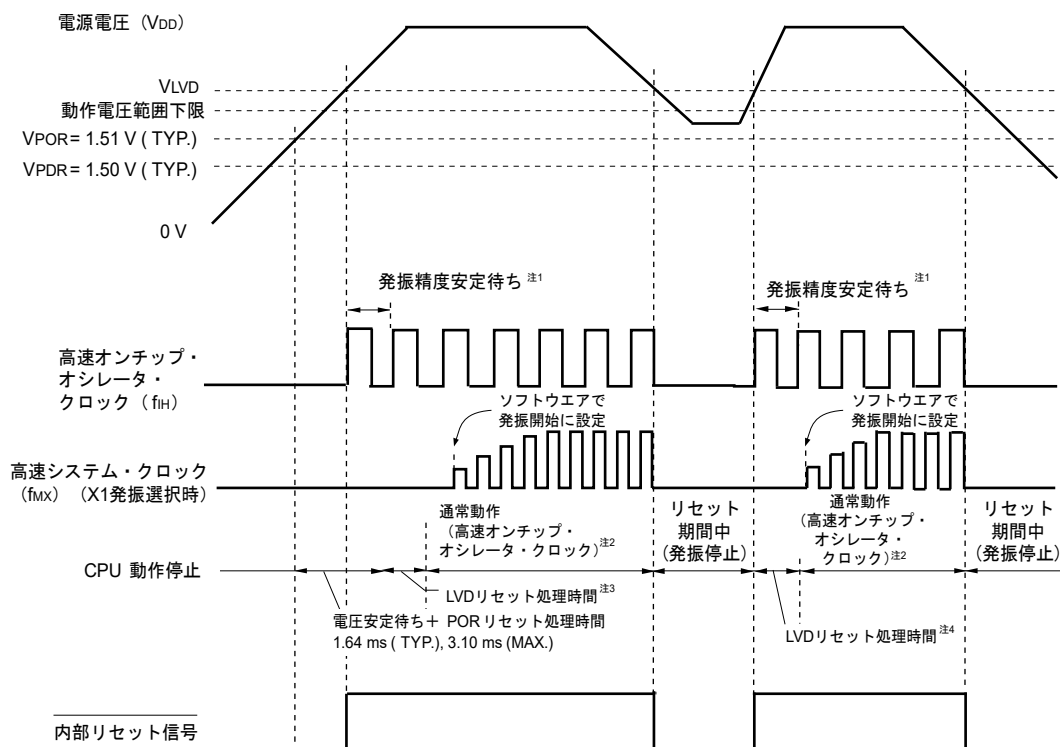
- 注1.** 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれません。
- 2.** CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 3.** 割り込み要求信号 (INTLVI) が発生したあと、電圧検出レベル・レジスタ (LVIS) のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧 (VLVDL) を下回らずに、高電圧検出電圧 (VLVDH) 以上に復帰する場合を考慮して、INTLVI発生後は、” 図22-8 動作電圧確認/リセットの設定手順” と、” 図22-9 割り込み&リセット・モードの初期設定の設定手順” に従って設定をしてください。
- 4.** 通常動作が開始されるまでの時間は、VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (VLVDH) に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間： 0 ms ~ 0.0701 ms (MAX.)

**備考** VLV<sub>DH</sub>, VLV<sub>DL</sub> : LVD検出電圧  
 V<sub>POR</sub> : POR電源立ち上がり検出電圧  
 V<sub>PDR</sub> : POR電源立ち下がり検出電圧

図21-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (3/3)

(c) LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)



- 注1.** 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれません。
- 2.** CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 3.** 通常動作が開始されるまでの時間は、V<sub>POR</sub> (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (V<sub>LVD</sub>) に達してから次の“LVDリセット処理時間”が掛かります。
- LVDリセット処理時間： 0 ms ~ 0.0701 ms (MAX.)
- 4.** 電源電圧降下時、電圧検出回路 (LVD) による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル (V<sub>LVD</sub>) に達してから次の“LVDリセット処理時間”が掛かります。
- LVDリセット処理時間： 0.0511 ms (TYP.), 0.0701ms (MAX.)

**備考1.** V<sub>LVDH</sub>, V<sub>LVDL</sub> : LVD検出電圧

V<sub>POR</sub> : POR電源立ち上がり検出電圧

V<sub>PDR</sub> : POR電源立ち下がり検出電圧

- 2.** LVD割り込みモード (オプション・バイト000C1HのLVIMD1, LVIMD0=0,1) を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図21-2 (3) LVDリセット・モード時の“注3”の時間と同じです。

## 第22章 電圧検出回路

### 22.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト（000C1H）で動作モードと検出電圧（VLVDH,VLVDL,VLVD）を設定します。電圧検出（LVD）回路は、次のような機能を持ちます。

- 電源電圧（V<sub>DD</sub>）と検出電圧（VLVDH, VLVDL, VLVD）を比較し、内部リセットまたは内部割り込み信号を発生します。
  - 電源電圧の検出電圧（VLVDH, VLVDL, VLVD）は、オプション・バイトにて検出レベルを12段階より選択できます（第25章 オプション・バイトを参照）。
  - STOPモード時においても動作可能です。
  - 電源立ち上がり時は、30.6 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
- 動作電圧範囲は、ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

(1) 割り込み&リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）

オプション・バイト000C1Hで2つの検出電圧（VLVDH, VLVDL）を選択します。高電圧検出レベル（VLVDH）はリセット解除用／割り込み発生用として使用します。低電圧検出レベル（VLVDL）はリセット発生用として使用します。

(2) リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（VLVD）を、リセット発生／解除用として使用します。

(3) 割り込みモード（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（VLVD）を、リセット解除用／割り込み発生として使用します。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
	V <sub>DD</sub> ≥ V <sub>LVD</sub> を検出して内部リセットを解除。V <sub>DD</sub> < V <sub>LVD</sub> を検出して内部リセットを発生。	リセット発生直後、LVDの内部リセットはV <sub>DD</sub> ≥ V <sub>LVD</sub> になるまでリセット状態を継続します。V <sub>DD</sub> ≥ V <sub>LVD</sub> を検出してLVDの内部リセットは解除されます。LVDの内部リセット解除後は、V <sub>DD</sub> < V <sub>LVD</sub> またはV <sub>DD</sub> ≥ V <sub>LVD</sub> を検出して割り込み要求信号（INTLVI）を発生しません。



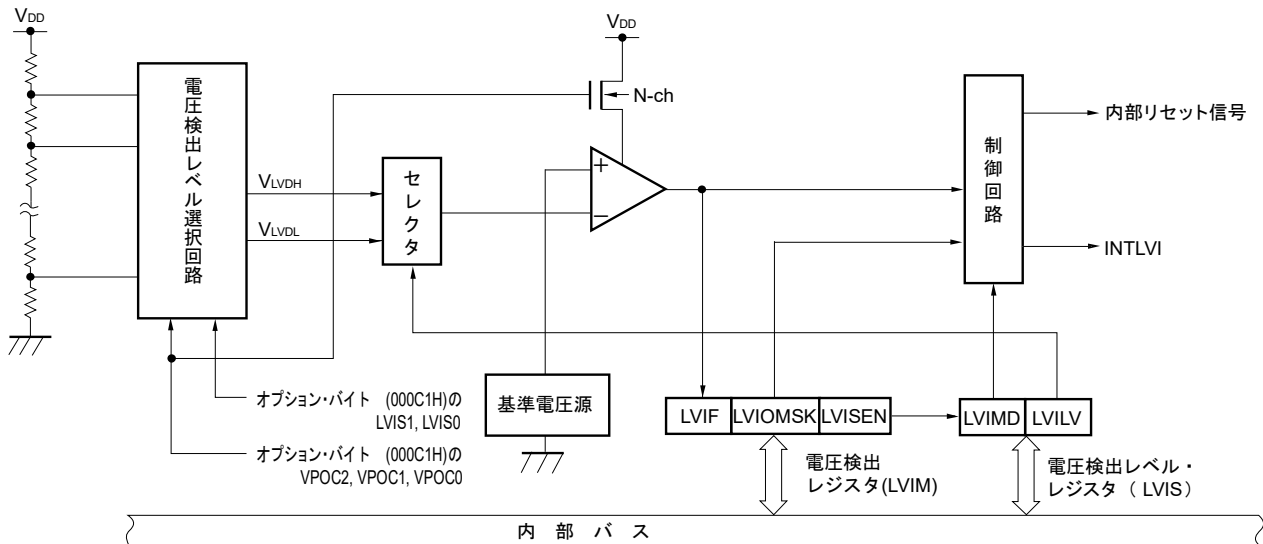
電圧検出回路動作時では、電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は、第20章 リセット機能を参照してください。

## 22.2 電圧検出回路の構成

電圧検出回路のブロック図を図22-1に示します。

図22-1 電圧検出回路のブロック図



## 22.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ (LVIM)
- 電圧検出レベルレジスタ (LVIS)

### 22.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H<sup>注1</sup> R/W<sup>注2</sup>

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN <sup>注3</sup>	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定
0	LVISレジスタの書き換え禁止 (LVIOMSK=0 (LVD出カマスク無効) になる)
1	LVISレジスタの書き換え許可 (LVIOMSK=1 (LVD出カマスク有効) になる)

LVIOMSK	LVD出カマスク状態フラグ
0	LVD出カマスク無効
1	LVD出カマスク有効 <sup>注4</sup>

LVIF	電圧検出フラグ
0	電源電圧 (V <sub>DD</sub> ) ≥ 検出電圧 (V <sub>LVD</sub> ) , またはLVDオフ時
1	電源電圧 (V <sub>DD</sub> ) < 検出電圧 (V <sub>LVD</sub> )

注1. リセット値は、リセット要因により変化します。

LVDによるリセットのときには、LVIMレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、LVISENは“0”にクリアされます。

- ビット0, 1は、Read Onlyです。
- 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0=1,0) 選択時のみ設定できます。その他モードでは初期値から変更しないでください。
- 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0=1,0) 選択時のみ、LVIOMSKビットは以下の期間に自動で“1”となり、LVDによるリセットまたは割り込み発生がマスクされます。
  - LVISEN = 1の期間
  - LVD割り込み発生から、LVD検出電圧が安定するまでの待ち時間
  - LVILVビットの値変更から、LVD検出電圧が安定するまでの待ち時間

### 22.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H<sup>注1</sup>になります。

図22-3 電圧検出レベル・レジスタ (LVIS) のフォーマット

アドレス : FFFAAH      リセット時 : 00H/01H/81H<sup>注1</sup>      R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD <sup>注2</sup>	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVILV <sup>注2</sup>	LVD検出レベル
0	高電圧検出レベル (VLVDH)
1	低電圧検出レベル (VLVDLまたはVLVD)

**注1.** リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア (00H) されません。

LVD以外のリセット時は、次のようになります。

- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- ・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- ・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

**2.** 割り込み&リセット・モード (オプション・バイトLVIMDS1, LVIMDS0=1,0) 選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。

**注意1.** LVISレジスタを書き換える場合は、図22-8、図22-9の手順で行ってください。

**2.** LVDの動作モードと各モードの検出電圧 (VLVDH, VLVDL, VLVD) は、オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト (000C1H/010C1H) のフォーマットを図22-4に示します。オプション・バイトの詳細は第25章 オプション・バイトを参照してください。

図22-4 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (1/2)

アドレス : 000C1H/010C1H<sup>※</sup>

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込み&amp;リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V	0	1	1	0	1	0	
2.09 V	2.04 V				0	1			
3.13 V	3.06 V				0	0			
2.61 V	2.55 V	2.45 V	1	0	1	0	1	0	
2.71 V	2.65 V				0	1			
2.92 V	2.86 V				1	0			
3.02 V	2.96 V	2.75 V	1	1	1	0	1	0	1
—			上記以外は設定禁止						

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—			上記以外は設定禁止					

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は、第22章 電圧検出回路を参照してください。

2. 検出電圧はTYP.値です。詳細は、30.7.4 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図22-4 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (2/2)

アドレス : 000C1H/010C1H<sup>注</sup>

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V <sub>LVD</sub>		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—	—		上記以外は設定禁止					

・LVDの設定 (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
V <sub>LVD</sub>		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—	—	上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1HIにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

- 電源立ち上がり時は、30.6 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。

備考1. × : don't care

- LVD回路の詳細は、第22章電圧検出回路を参照してください。
- 検出電圧はTYP.値です。詳細は、30.8.4 LVD回路特性を参照してください。

## 22.4 電圧検出回路の動作

### 22.4.1 リセット・モードとして使用する場合の設定

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1, 1））と検出電圧（VLVD）の設定は、オプション・バイト000C1Hで設定します。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は、“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、81Hに設定されます。  
ビット7（LVIMD）は“1”（リセット・モード）  
ビット0（LVILV）は“1”（電圧検出レベル：VLVD）

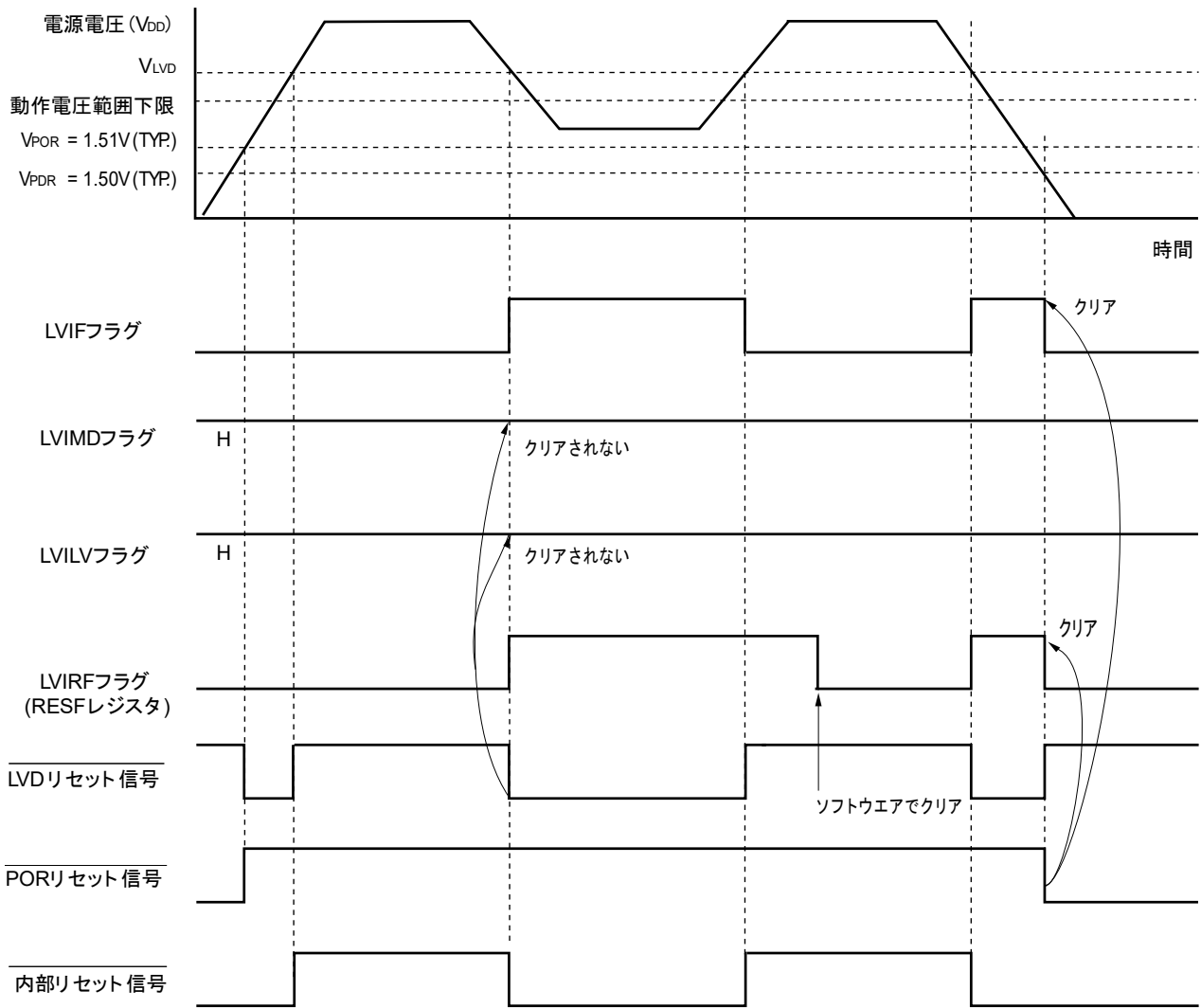
#### ・LVDリセット・モードの動作

リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）は、電源投入時、電源電圧（VDD）が電圧検出レベル（VLVD）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（VDD）が電圧検出レベル（VLVD）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（VDD）が電圧検出レベル（VLVD）を下回るとLVDによる内部リセットが発生します。

図22-5に、LVDリセット・モードの内部リセット信号発生タイミングを示します。

図22-5 内部リセット信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)



**備考** V<sub>POR</sub> : POR電源立ち上がり検出電圧

V<sub>PDR</sub> : POR電源立ち下がり検出電圧



## 22.4.2 割り込みモードとして使用する場合の設定

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（VLVD）の設定は、オプション・バイト000C1Hで設定します。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、01Hに設定されます。  
ビット7（LVIMD）は“0”（割り込みモード）  
ビット0（LVILV）は“1”（電圧検出レベル：VLVD）

### ・LVD割り込みモードの動作

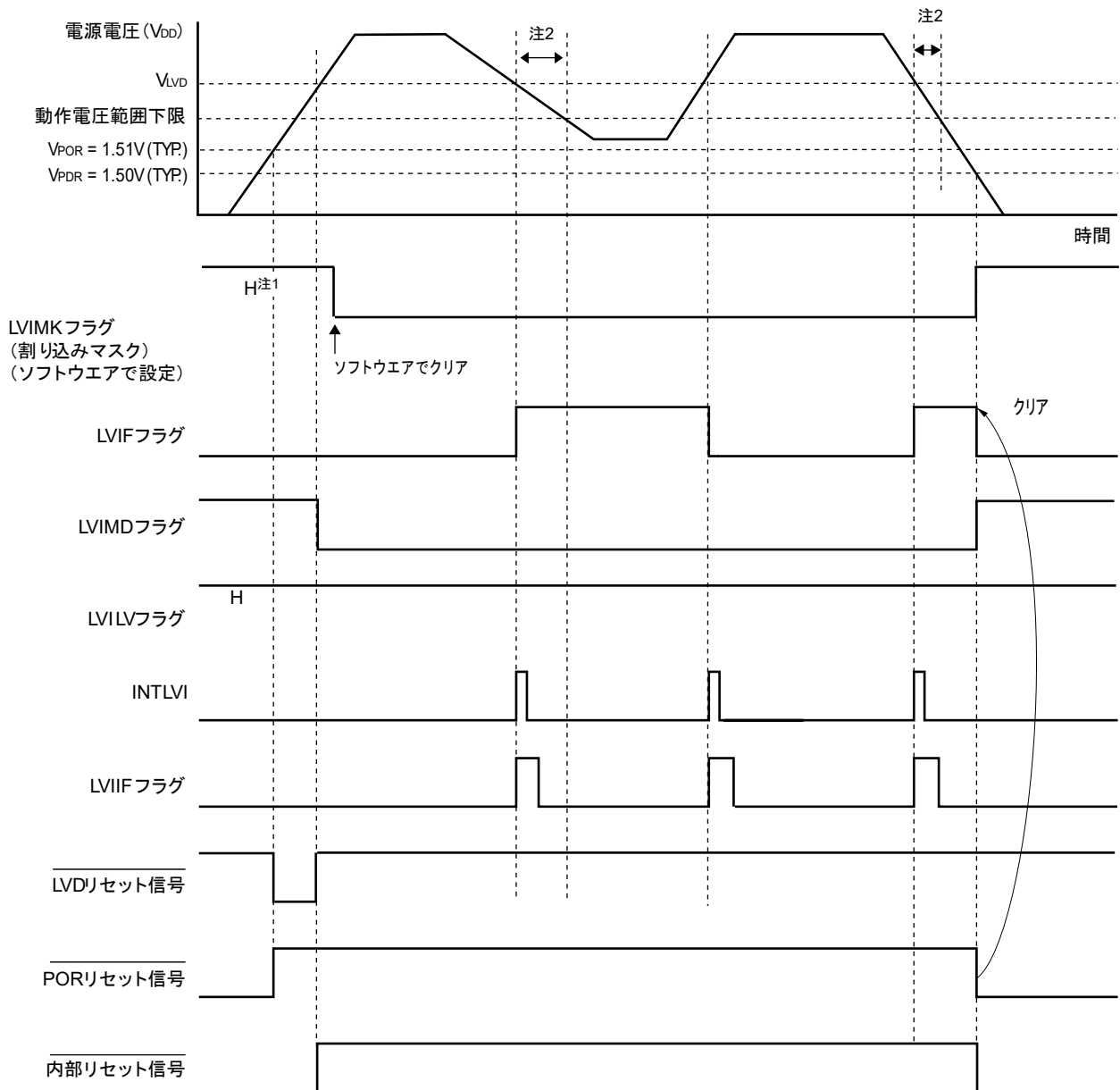
割り込みモード（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）では、リセット発生後、電源電圧（VDD）が電圧検出レベル（VLVD）を上回るまではLVDによる内部リセット状態を保ちます。動作電圧（VDD）が電圧検出レベル（VLVD）を上回るとLVDによる内部リセットを解除します。

LVDの内部リセット解除後は、電源電圧（VDD）が電圧検出レベル（VLVD）を越えるとLVDによる割り込み要求信号（INTLVI）が発生します。

動作電圧降下時は、30.6 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図22-6に、LVD割り込みモードの割り込み要求信号発生タイミングを示します。

図22-6 割り込み信号発生タイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. 動作電圧降下時は、30.6 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考  $V_{POR}$  : POR電源立ち上がり検出電圧

$V_{PDR}$  : POR電源立ち下がり検出電圧

### 22.4.3 割り込み&リセット・モードとして使用する場合の設定

動作モード（割り込み&リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（VLVDH, VLVDL）の設定は、オプション・バイト000C1Hで設定します。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- ・電圧検出レジスタ（LVIM）のビット7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。
- ・電圧検出レベル・レジスタ（LVIS）の初期値は、00HIに設定されます。ビット7（LVIMD）は“0”（割り込みモード）、ビット0（LVILV）は“0”（高電圧検出レベル：VLVDH）

#### ● LVD割り込み&リセット・モードの動作

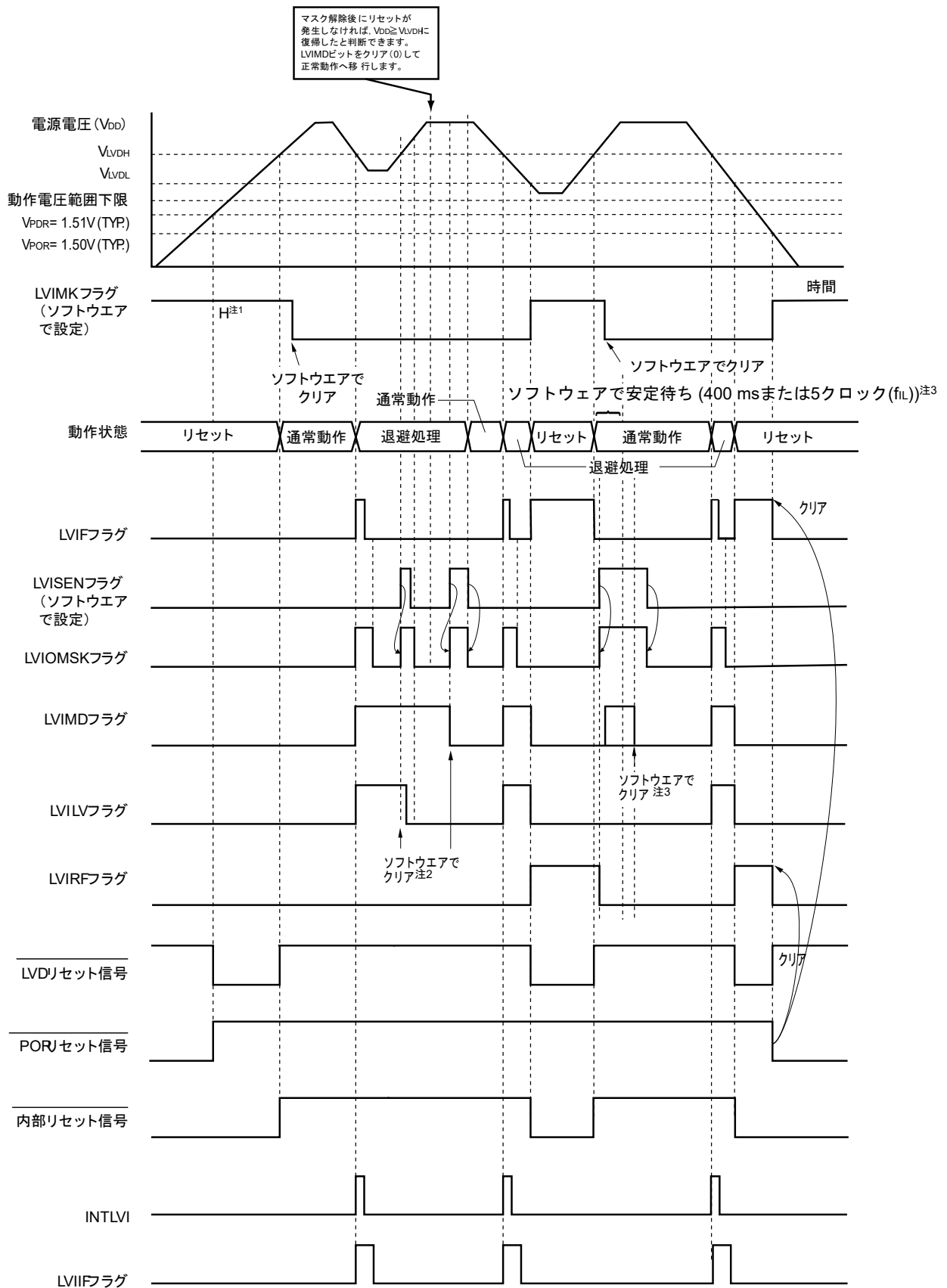
割り込み&リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）は、電源投入時、電源電圧（VDD）が高電圧検出レベル（VLVDH）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（VDD）が高電圧検出レベル（VLVDH）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（VDD）が高電圧検出レベル（VLVDH）を下回るとLVDによる割り込み要求信号（INTLVI）が発生し、任意の退避処理を行うことができます。その後、電源電圧（VDD）が低電圧検出レベル（VLVDL）を下回るとLVDによる内部リセットが発生します。ただし、INTLVD発生後、電源電圧（VDD）が低電圧検出電圧（VLVDL）を下回らずに高電圧検出電圧（VLVDH）以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み&リセット・モードの使用する場合は、”図22-8 動作電圧確認／リセットの設定手順”と、”図22-9 割り込み&リセット・モードの初期設定”に示すフローチャートの手順に従って設定をしてください。

図22-7に、LVD割り込み&リセット・モードの内部リセット信号と割り込み信号発生タイミングを示します。

図22-7 割り込み&リセット信号発生のタイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (1/2)



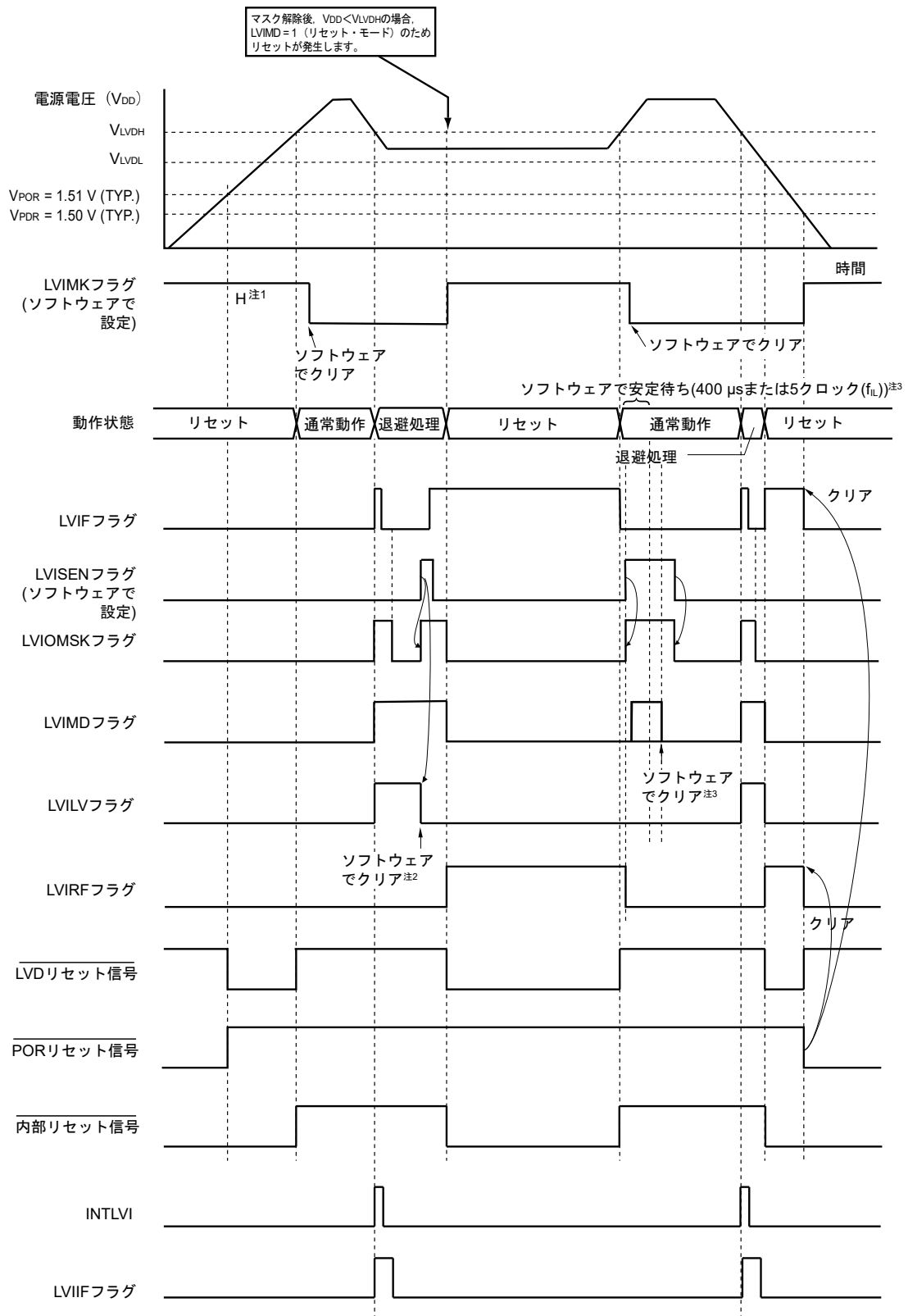
(注、備考は次ページにあります。)

- 注1.** LVIMKフラグはリセット信号の発生により，“1”になっています。
2. 割り込み&リセット・モード使用時，割り込み発生後は，図22-8 動作電圧確認／リセットの設定手順に従って設定をしてください。
  3. 割り込み&リセット・モード使用時，リセット解除後は，図22-9 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

**備考**  $V_{POR}$  : POR電源立ち上がり検出電圧

$V_{PDR}$  : POR電源立ち下がり検出電圧

図22-7 割り込み&リセット信号発生のタイミング (オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (2/2)



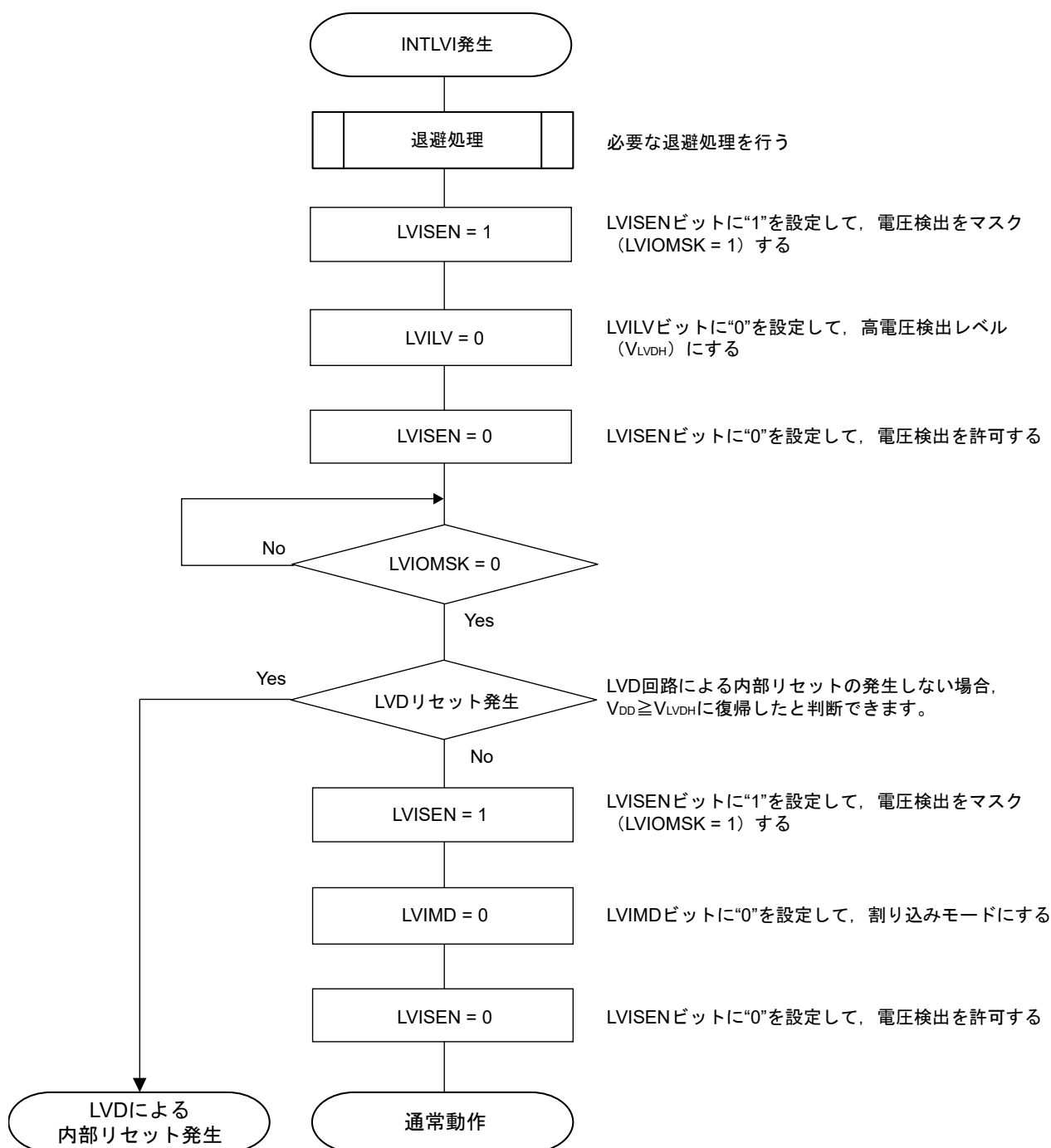
(注, 備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により，“1”になっています。
2. 割り込み&リセット・モード使用時，割り込み発生後は，図22-8 動作電圧確認／リセットの設定手順に従って設定をしてください。
  3. 割り込み&リセット・モード使用時，リセット解除後は，図22-9 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

備考  $V_{POR}$  : POR電源立ち上がり検出電圧

$V_{PDR}$  : POR電源立ち下がり検出電圧

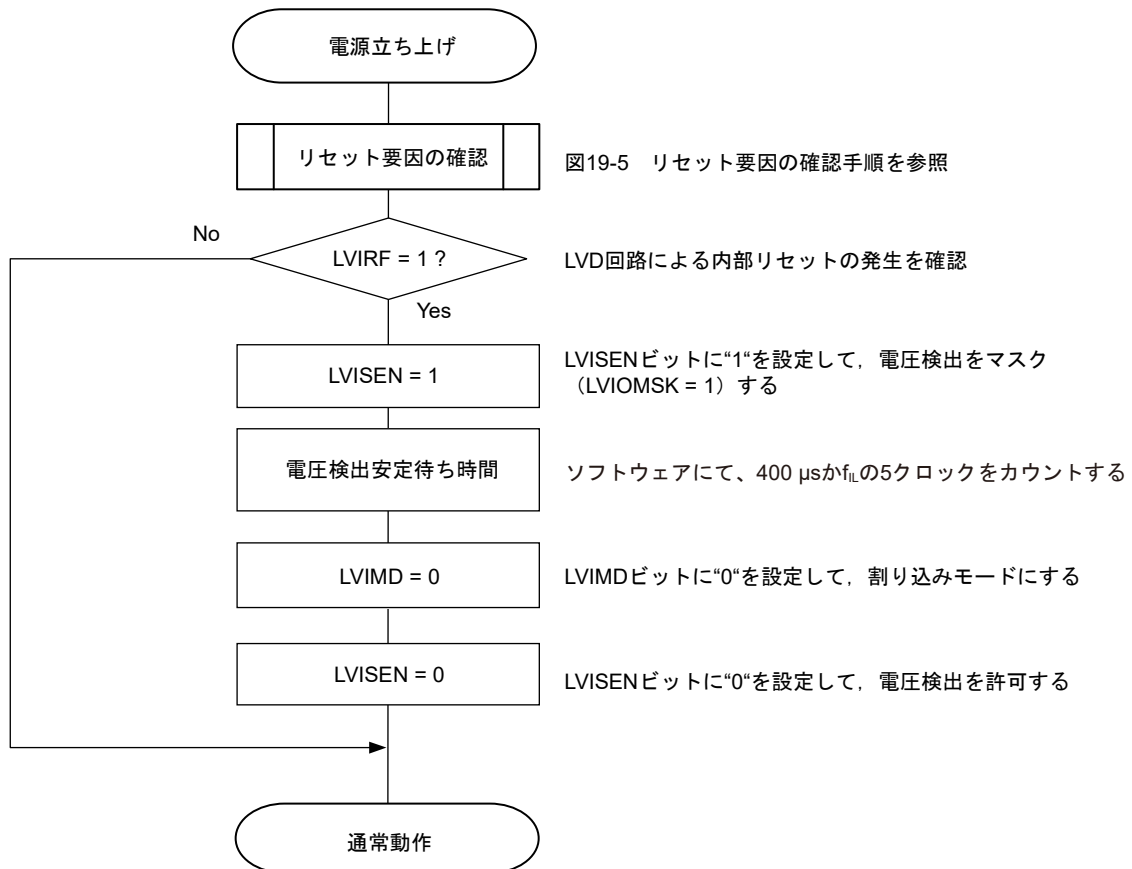
図22-8 動作電圧確認／リセットの設定手順



割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0) を設定した場合、LVDリセット解除後 (LVIRF = 1) から  $400 \mu\text{s}$  か  $f_{\text{IL}}$  の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後、LVIMDビットをクリア (0) して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は、LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図22-9に割り込み&リセット・モードの初期設定の手順を示します。

図22-9 割り込み&リセット・モードの初期設定の設定手順





## 22.5 電圧検出回路の注意事項

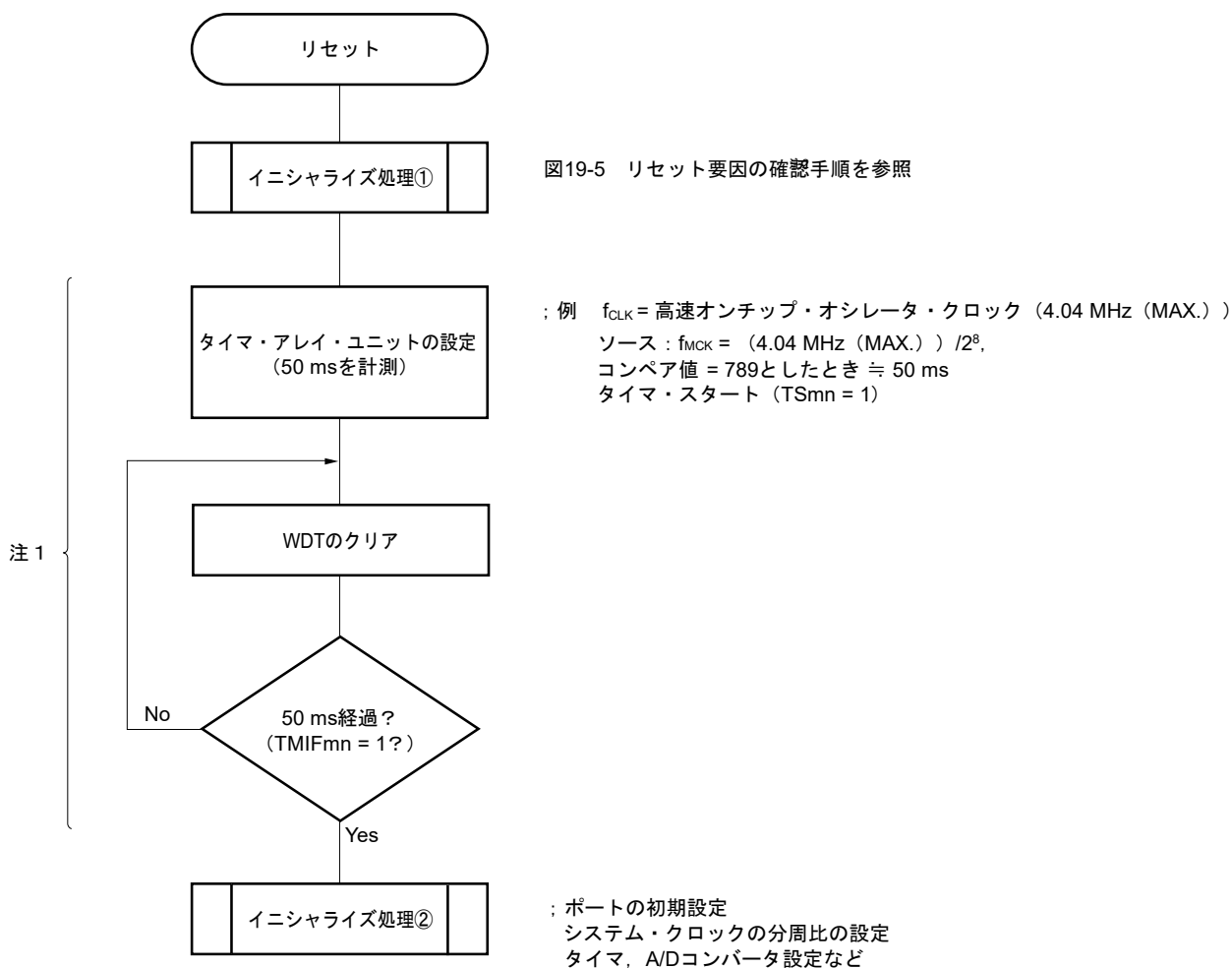
(1) 電源電圧 ( $V_{DD}$ ) がLVD検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

### <処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

リセットが発生した場合は、次の方法でリセット要因を確認してください。

図22-10 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



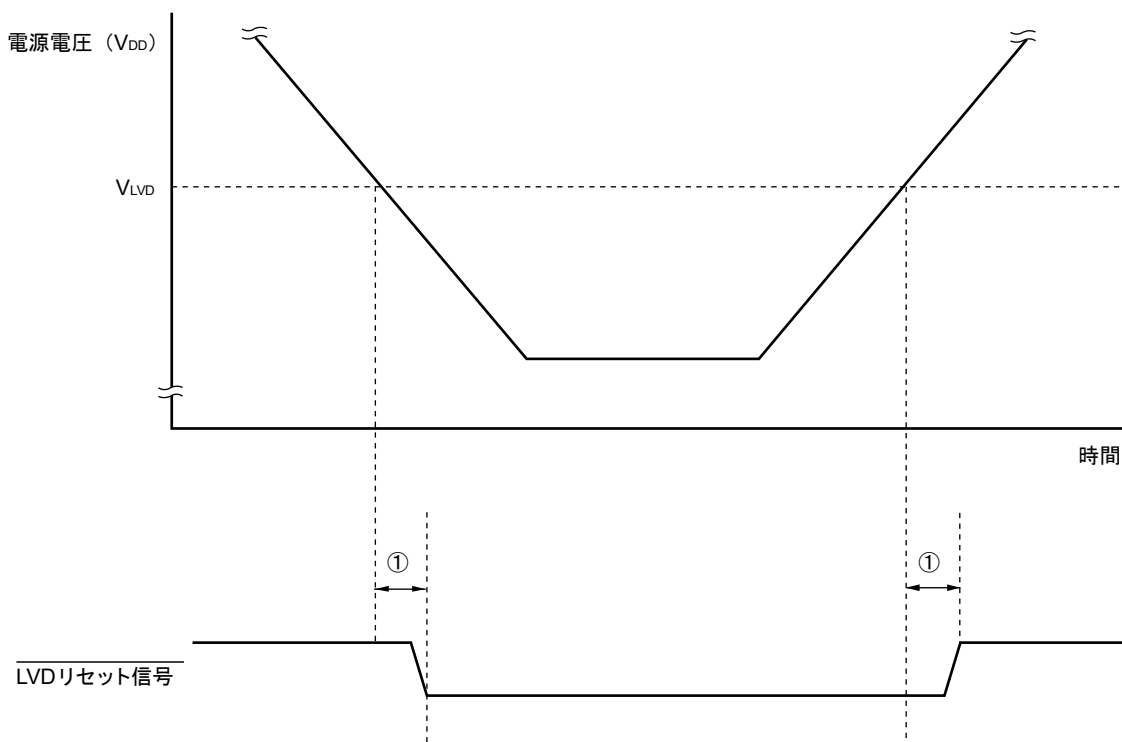
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考  $m = 0, 1$   $n = 0-7$

## (2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧 ( $V_{DD}$ ) < LVD検出電圧 ( $V_{LVD}$ ) になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧 ( $V_{LVD}$ )  $\leq$  電源電圧 ( $V_{DD}$ ) になってから、LVDリセットが解除されるまでにも遅延が生じます (図22-11参照)。

図22-11 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延 (300  $\mu$ s (MAX.))

## (3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10  $\mu$ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、30.6 AC特性に示す動作電圧範囲内の期間で10  $\mu$ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

## (4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、30.6 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

## 第23章 安全機能

### 23.1 安全機能の概要

安全規格IEC60730, IEC61508に対応するため, RL78/G1Dでは以下の安全機能を搭載しています。

この安全機能は, マイコンで自己診断することで, 故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能 (高速CRC, 汎用CRC)

CRC演算を行うことにより, フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて, 以下の2つのCRCを使い分けいただくことができます。

- 「高速CRC」… 初期設定ルーチンの中で, CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- 「汎用CRC」… CPU動作中に, コード・フラッシュ・メモリ領域に限らず, 多用途のチェックに使用できます。

(2) RAMパリティ・エラー検出機能

RAMデータを読み出すとき, パリティ・エラーを検出します。

(3) RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

(4) SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域 (メモリが存在しない, アクセスが制限されている領域) への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して, CPU/周辺ハードウェア・クロック周波数の自己チェックができません。

(7) A/Dテスト機能

A/Dコンバータの+側基準電圧, -側基準電圧, アナログ入力チャネル (ANI), 温度センサ出力電圧および内部基準電圧をA/D変換することにより, A/Dコンバータの自己チェックができます。

**備考** 安全規格IEC60730に対応する安全機能の使用例は, RL78 MCU シリーズのIEC60730/60335 セルフテスト・ライブラリ アプリケーションノート (R01AN1062, R01AN1296) を参照してください。

## 23.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ (CRC0CTL) ・フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	フラッシュ・メモリCRC演算機能 (高速CRC)
・CRC入力レジスタ (CRCIN) ・CRCデータ・レジスタ (CRCD)	CRC演算機能 (汎用CRC)
・RAMパリティ・エラー制御レジスタ (RPECTL)	RAMパリティ・エラー検出機能
・不正メモリ・アクセス検出制御レジスタ (IAWCTL)	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0 (TIS0)	周波数検出機能
・A/Dテスト・レジスタ (ADTES)	A/Dテスト機能

各レジスタの内容については、23.3 安全機能の動作の中で説明します。

## 23.3 安全機能の動作

### 23.3.1 フラッシュ・メモリCRC演算機能 (高速CRC)

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定 (イニシャライズ) ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です (例 フラッシュ・メモリ128 KB : 1024  $\mu$ s@32 MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

**注意** オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

**備考** 汎用CRCはLSBファーストのため、演算結果は異なります。

#### 23.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00HIになります。

図23-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL) のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	00000H-03FFBH (16 K-4バイト)
0	0	0	0	0	1	00000H-07FFBH (32 K-4バイト)
0	0	0	0	1	0	00000H-0BFFBH (48 K-4バイト)
0	0	0	0	1	1	00000H-0FFFBH (64 K-4バイト)
0	0	0	1	0	0	00000H-13FFBH (80 K-4バイト)
0	0	0	1	0	1	00000H-17FFBH (96 K-4バイト)
0	0	0	1	1	0	00000H-1BFFBH (112 K-4バイト)
0	0	0	1	1	1	00000H-1FFFBH (128 K-4バイト)
0	0	1	0	0	0	00000H-23FFBH (144 K-4バイト)
0	0	1	0	0	1	00000H-27FFBH (160 K-4バイト)
0	0	1	0	1	0	00000H-2BFFBH (176 K-4バイト)
0	0	1	0	1	1	00000H-2FFFBH (192 K-4バイト)
0	0	1	1	0	0	00000H-33FFBH (208 K-4バイト)
0	0	1	1	0	1	00000H-37FFBH (224 K-4バイト)
0	0	1	1	1	0	00000H-3BFFBH (240 K-4バイト)
0	0	1	1	1	1	00000H-3FFFBH (256 K-4バイト)
上記以外						設定禁止

**備考** フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

## 23.3.1.2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図23-2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

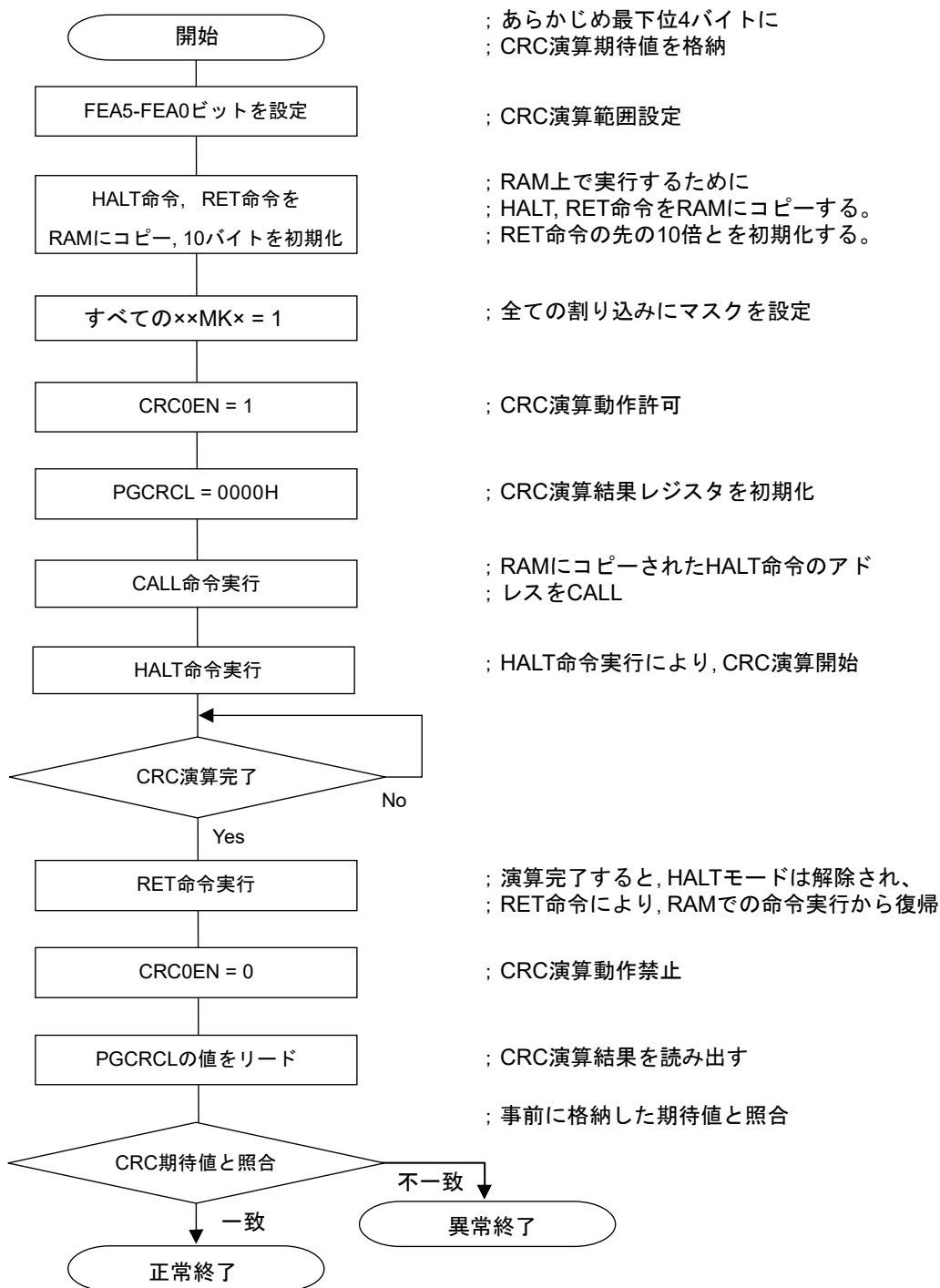
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-0		高速CRC演算結果					
	0000H-FFFFH		高速CRC演算結果を格納					

**注意** PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能 (高速CRC) のフロー・チャートを図23-3に示します。

## &lt;動作フロー&gt;

図23-3 フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



注意1. CRC演算の対象は、コード・フラッシュのみです。

2. CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。

3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

CRC期待値は、統合開発環境 CubeSuite+を使用して算出することができます。詳細は、CubeSuite+ 統合開発環境ユーザーズマニュアルを参照してください。

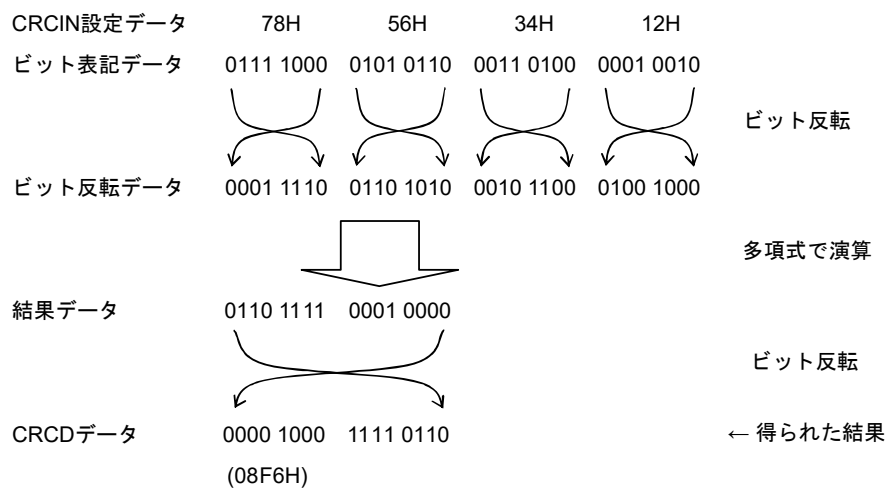
### 23.3.2 CRC演算機能（汎用CRC）

IEC61508では動作中の安全を保証しなければならないため、CPU動作中にもデータ確認する手段が必要です。

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は、DMA転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16}+X^{12}+X^5+1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



**注意** プログラム実行中、デバッガはソフトウェア・ブレイク設定行をブレイク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレイクを設定すると、CRC演算結果が異なります。

#### 23.3.2.1 CRC入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-4 CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0				機能			
	00H-FFH				データ入力			



23.3.2.2 CRCデータ・レジスタ (CRCD)

汎用CRCのCRC演算結果を格納するレジスタです。

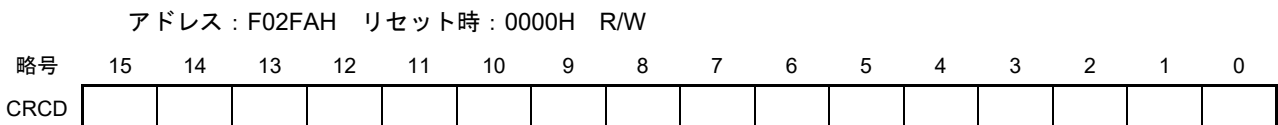
設定可能範囲は、0000H-FFFFHです。

CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (f<sub>CLK</sub>) の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

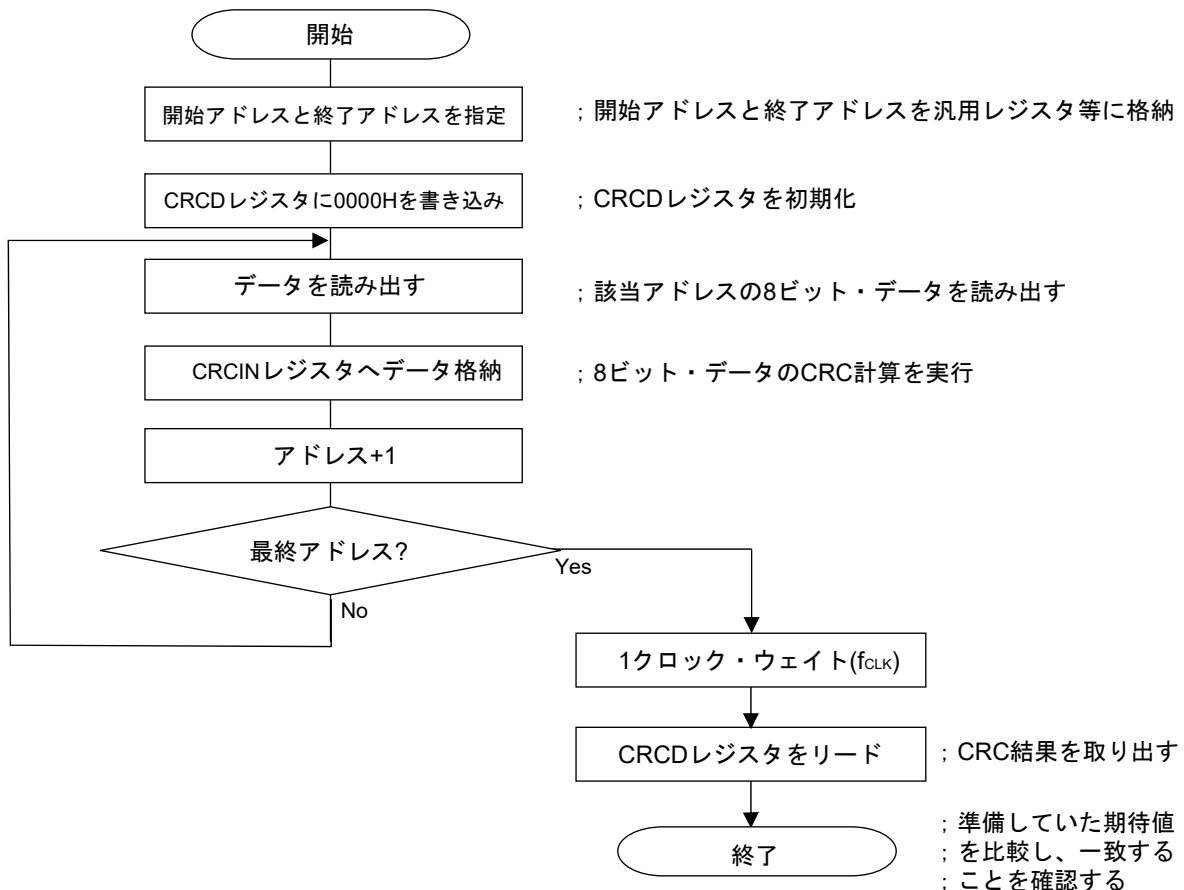
図23-5 CRCデータ・レジスタ (CRCD) のフォーマット



- 注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。
- 2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図23-6 CRC演算機能 (汎用CRC) のフロー・チャート



### 23.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/G1DのRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

#### 23.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図23-7 RAMパリティ・エラー制御レジスタ (RPECTL) のフォーマット

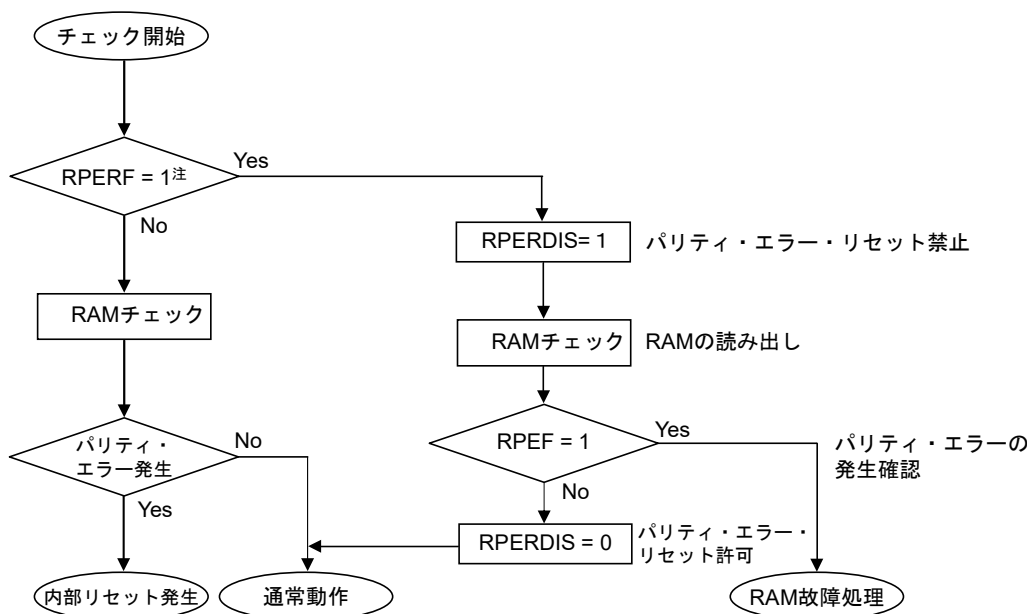
アドレス：F00F5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

**注意** データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。

- 備考1.** 初期状態では、パリティ・エラー・リセット発生許可 (RPERDIS = 0) になっています。
2. パリティ・エラー・リセット発生禁止 (RPERDIS = 1) を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット (1) されます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可 (RPERDIS = 0) に設定すると、RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。
  3. RPECTLレジスタのRPEFフラグは、RAMのパリティ・エラーによりセット (1) され、0の書き込み、またはすべてのリセット要因によりクリア (0) されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
  4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図23-8 RAMパリティ・チェックのフローチャート



注 RAMパリティ・エラーによる内部リセットの確認は、第20章 リセット機能を参照してください。

### 23.3.4 RAMガード機能

IEC61508では動作中の安全を保証しなければならないため、CPUが暴走してもRAMに格納されている重要なデータを保護する必要があります。

このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

#### 23.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間 <sup>注</sup>
0	0	無効。RAMへのライト可能
0	1	RAM先頭アドレスから128バイト
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

### 23.3.5 SFRガード機能

IEC61508では動作中の安全を保証しなければならないため、CPUが暴走しても重要なSFRが書き換わってしまわないように保護する必要があります。

SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

#### 23.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-10 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード/ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIOR <sup>注1</sup>

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード/ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx

GCSC	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, CKC, PERx, OSMC, LVIM, LVIS, RPECTL

注 Pxx (ポート・レジスタ) はガードされません。

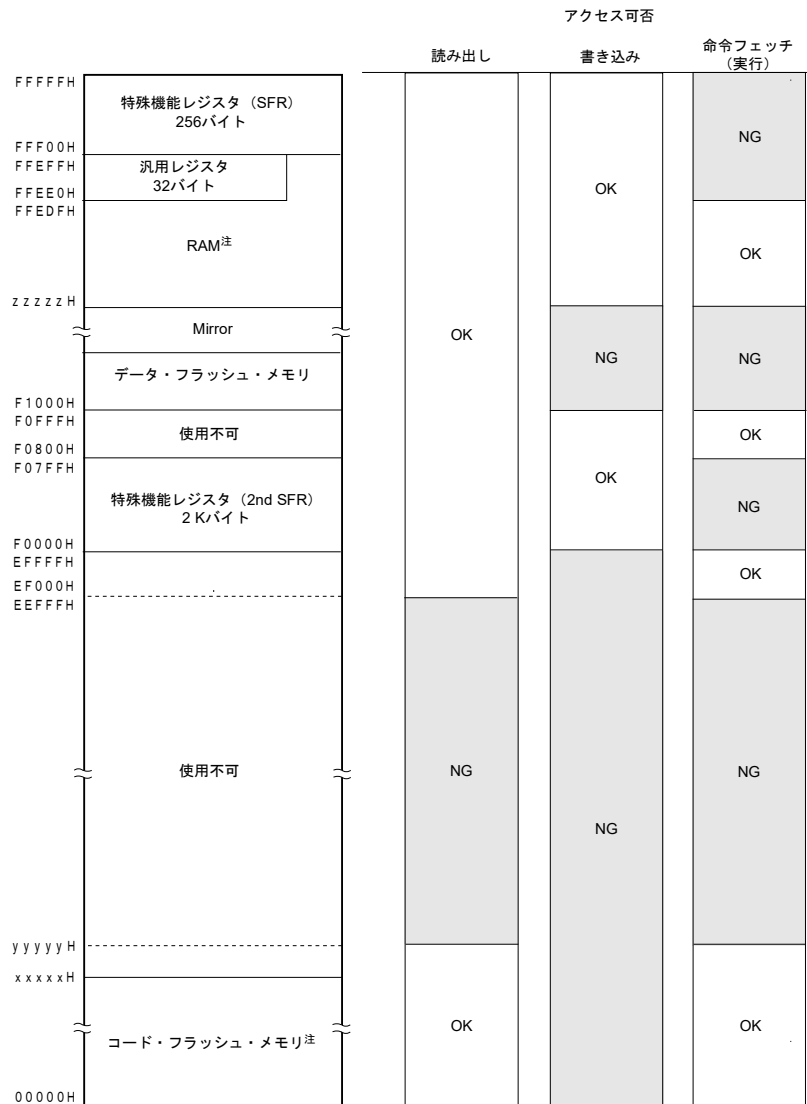
### 23.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図23-11で「NG」と記載した範囲になります。

図23-11 不正アクセス検出空間



注 各製品のコード・フラッシュ・メモリ、RAMのアドレスは次のようになります。

製 品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し/命令フェッチ (実行) 時の検出最下位アドレス (yyyyyH)
R5F11AGG	131072×8ビット (00000H-1FFFFH)	12288×8ビット (FCF00H-FFEFFH)	20000H
R5F11AGH	196608×8ビット (00000H-2FFFFH)	16384×8ビット (FBF00H-FFEFFH)	30000H
R5F11AGJ	262144×8ビット (00000H-3FFFFH)	20480×8ビット (FAF00H-FFEFFH)	40000H

## 23.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では、IAWENビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-12 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN <sup>注</sup>	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注 IAWENビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

**備考** オプション・バイト (000C0H) のWDTON = 1 (ウォッチドッグ・タイマ動作許可) のとき、IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

### 23.3.7 周波数検出機能

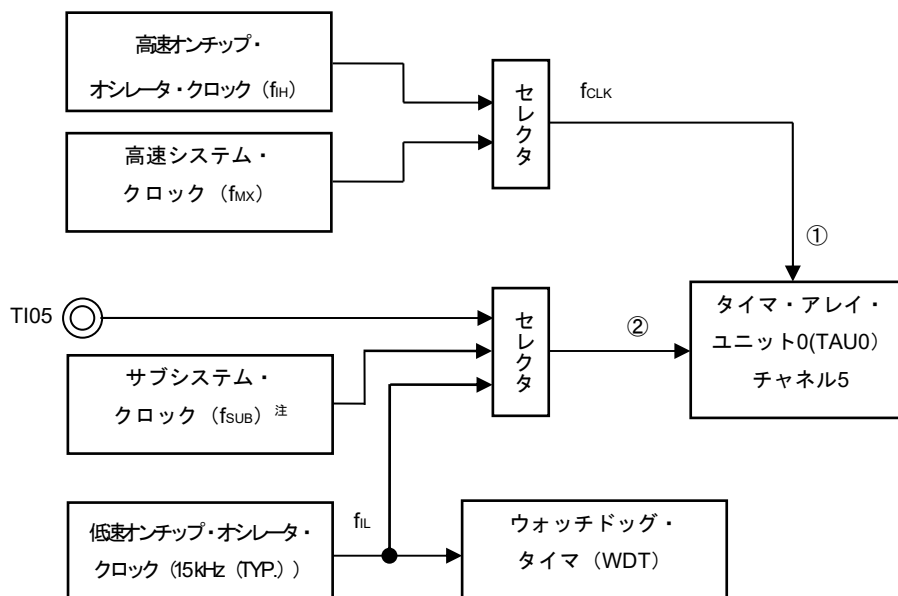
IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は、CPU/周辺ハードウェア・クロック周波数 ( $f_{CLK}$ ) を使用し、タイマ・アレイ・ユニット0(TAU0)のチャンネル5の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

- ①CPU/周辺ハードウェア・クロック周波数 ( $f_{CLK}$ ) :
- ・高速オンチップ・オシレータ・クロック ( $f_{IH}$ )
  - ・高速システム・クロック ( $f_{MX}$ )
- ②タイマ・アレイ・ユニットのチャンネル5入力 :
- ・チャンネル5のタイマ入力(TI05)
  - ・低速オンチップ・オシレータ・クロック ( $f_{IL}$  : 15 kHz (TYP.) )
  - ・サブシステム・クロック ( $f_{SUB}$ ) 注

図23-13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。入力パルス間隔測定の方法については、7.8.4 入力パルス間隔測定としての動作を参照してください。

注 サブシステム・クロックとして、外付けの水晶発振子(32.768kHz)をXT1, XT2端子に接続している場合に選択可能です。



## 23.3.7.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット0(TAU0)のチャンネル5のタイマ入力を選択するレジスタです。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-14 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック (f <sub>IL</sub> )
1	0	1	サブシステム・クロック (f <sub>SUB</sub> )
上記以外			設定禁止

### 23.3.8 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル（ANI）、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、安全機能（A/Dテスト）アプリケーションノート（R01AN0955）を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

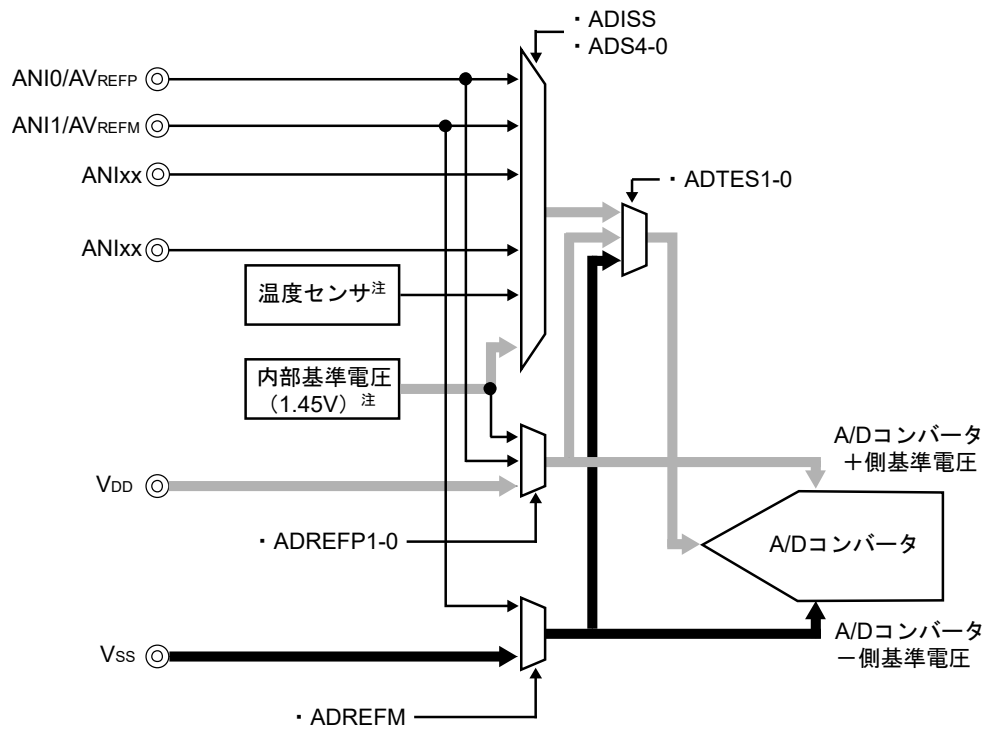
- ① ADTESレジスタでA/D変換対象にANIX端子を選択（ADTES1, ADTES0=0,0）
- ② ANIX端子のA/D変換を行う（変換結果1-1）。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択（ADTES1, ADTES0=1,0）
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う（変換結果2-1）
- ⑤ ADTESレジスタでA/D変換対象にANIX端子を選択（ADTES1, ADTES0=0,0）
- ⑥ ANIX端子のA/D変換を行う（変換結果1-2）
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択（ADTES1, ADTES0=1,1）
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う（変換結果2-2）
- ⑨ ADTESレジスタでA/D変換対象にANIX端子を選択（ADTES1, ADTES0=0,0）
- ⑩ ANIX端子のA/D変換を行う（変換結果1-3）
- ⑪ 「変換結果1-1」 = 「変換結果1-2」 = 「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0、「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

**備考1.** ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図23-15 A/Dテスト機能の構成



注 HS（高速メイン）モードでのみ選択可能です。

## 23.3.8.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル (ANlxx)、温度センサ出力電圧、内部基準電圧 (1.45V) を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ・ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- ・フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-16 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx/温度センサ出力電圧 <sup>注</sup> /内部基準電圧 (1.45 V) <sup>注</sup> (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	-側の基準電圧 (ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1, ADREFP0ビットで選択) <sup>注</sup>
上記以外		設定禁止

**注** 温度センサ出力電圧、内部基準電圧 (1.45 V) は、HS (高速メイン) モードでのみ選択可能です。

## 23.3.8.2 アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

A/Dテスト機能でANlxx/温度センサ出力電圧/内部基準電圧 (1.45 V) を測定するときは、A/Dテスト・レジスタ (ADTES) を00Hに設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-17 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV <sub>REFP</sub> 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV <sub>REFM</sub> 端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	1	0	0	0	0	ANI16	P03/ANI16端子
0	1	0	0	0	1	ANI17	P02/ANI17端子
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	—	温度センサ出力電圧 <sup>注</sup>
1	0	0	0	0	1	—	内部基準電圧 (1.45 V) <sup>注</sup>
上記以外						設定禁止	

**注** HS (高速メイン) モードでのみ選択可能です。

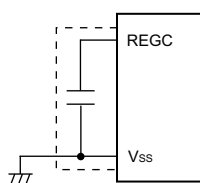
(注意は次ページにあります。)

- 注意1. ビット5, 6には必ず0を設定してください。
2. ADPC, PMCレジスタでアナログ入力に設定したポートは, ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14) で入力モードに選択してください。
  3. A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力として設定する端子を, ADSレジスタで設定しないでください。
  4. ポート・モード・コントロール・レジスタ0 (PMC0) でデジタル入出力として設定する端子を, ADSレジスタで設定しないでください。
  5. ADISSビットを書き換える場合は, 必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
  6. AV<sub>REFP</sub>をA/Dコンバータの+側の基準電圧源として使用している場合, ANI0をA/D変換チャンネルとして選択しないでください。
  7. AV<sub>REFM</sub>をA/Dコンバータの-側の基準電圧源として使用している場合, ANI1をA/D変換チャンネルとして選択しないでください。
  8. ADISS = 1を設定した場合, +側の基準電圧源に内部基準電圧 (1.45 V) は使用できません。また, ADISS = 1に設定後, 1回目の変換結果は使用できません。詳細設定フローは, 12. 7. 4 温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時) を参照してください。
  9. STOPモードへ移行, もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は, ADISS = 1に設定しないでください。ADISS = 1設定時は, 30. 5. 1 電源電流特性に示すA/Dコンバータ基準電圧電流 (I<sub>ADREF</sub>) の電流値が加算されます。

## 第24章 レギュレータ

### 24.1 レギュレータの概要

RL78/G1Dは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ（0.47~1  $\mu$ F）を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



**注意** 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、表24-1のようになります。

表24-1 レギュレータ出力電圧条件

モード	出力電圧	条 件
LV（低電圧メイン）モード	1.8 V	—
LS（低速メイン）モード		—
HS（高速メイン）モード	1.8 V	STOPモード時
		サブシステム・クロック（ $f_{SUB}$ ）でCPU動作中で、高速システム・クロック（ $f_{MX}$ ）と高速オンチップ・オシレータ・クロック（ $f_{IH}$ ）が共に停止
	サブシステム・クロック（ $f_{SUB}$ ）でCPU動作設定時のHALTモード中で、高速システム・クロック（ $f_{MX}$ ）と高速オンチップ・オシレータ・クロック（ $f_{IH}$ ）が共に停止	
	2.1 V	上記以外（オンチップ・デバッグ中を含む） <sup>※</sup>

**注** オンチップ・デバッグ中に、サブシステム・クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します（1.8 Vにはなりません）。

## 第25章 オプション・バイト

### 25.1 オプション・バイトの機能

RL78/G1Dのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

**注意** オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

#### 25.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)

##### (1) 000C0H/010C0H

- ウォッチドッグ・タイマの動作
  - カウンタの動作許可／禁止
  - HALT/STOPモード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
  - インターバル割り込みを使用する／使用しない

**注意** ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。



## (2) 000C1H/010C1H

- LVDの動作モード設定
  - 割り込み&リセット・モード
  - リセット・モード
  - 割り込みモード
  - LVDオフ (RESET端子による外部リセットを使用)
- LVD検出レベル (VLVDH, VLVDL, VLVD) の設定

**注意1.** 電源立ち上がり時は、30.6 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。

2. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

## (3) 000C2H/010C2H

- フラッシュの動作モード設定  
使用するメイン・システム・クロック周波数( $f_{MAIN}$ )、電源電圧( $V_{DD}$ )に応じて設定
  - LV (低電圧メイン) モード
  - LS (低速メイン) モード
  - HS (高速メイン) モード
- 高速オンチップ・オシレータの周波数設定
  - 32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz /3 MHz/2 MHz/1 MHz (TYP.) から選択

**注意** ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

## 25.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)

- オンチップ・デバッグ動作制御
  - オンチップ・デバッグ動作禁止/許可
- セキュリティID認証失敗時のフラッシュ・メモリ・データの処理
  - オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

**注意** ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

## 25.2 ユーザ・オプション・バイトのフォーマット

図25-1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット

アドレス : 000C0H/010C0H<sup>※1</sup>

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2f <sub>IL</sub> 到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 <sup>※2</sup>
0	0	設定禁止
0	1	50 %
1	0	75 % <sup>※3</sup>
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止)
1	カウンタ動作許可 (リセット解除後, カウント開始)

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f <sub>IL</sub> = 17.25 kHz (MAX.) の場合)
0	0	0	2 <sup>6</sup> /f <sub>IL</sub> (3.71 ms)
0	0	1	2 <sup>7</sup> /f <sub>IL</sub> (7.42 ms)
0	1	0	2 <sup>8</sup> /f <sub>IL</sub> (14.84 ms)
0	1	1	2 <sup>9</sup> /f <sub>IL</sub> (29.68 ms)
1	0	0	2 <sup>11</sup> /f <sub>IL</sub> (118.72 ms)
1	0	1	2 <sup>13</sup> /f <sub>IL</sub> (474.89 ms)
1	1	0	2 <sup>14</sup> /f <sub>IL</sub> (949.79 ms)
1	1	1	2 <sup>16</sup> /f <sub>IL</sub> (3799.18 ms)

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)
0	HALT/STOPモード時, カウンタ動作停止 <sup>※2</sup>
1	HALT/STOPモード時, カウンタ動作許可

注1. ブート・スワップ時は, 000C0Hと010C0Hが切り替わるので, 010C0Hにも000C0Hと同じ値を設定してください。

2. WDSTBYON = 0のときは, WINDOW1, WINDOW0ビットの値に関係なく, ウインドウ・オープン期間100%となります。

**注3.** ウィンドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア (WDTEへのACHの書き込み) を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ (WDTIIF) を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f <sub>IL</sub> = 17.25 kHz (MAX.)の場合)	ウィンドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	2 <sup>6</sup> /f <sub>IL</sub> (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	2 <sup>7</sup> /f <sub>IL</sub> (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	2 <sup>8</sup> /f <sub>IL</sub> (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	2 <sup>9</sup> /f <sub>IL</sub> (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	2 <sup>11</sup> /f <sub>IL</sub> (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	2 <sup>13</sup> /f <sub>IL</sub> (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	2 <sup>14</sup> /f <sub>IL</sub> (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	2 <sup>16</sup> /f <sub>IL</sub> (3799.18 ms)	1899.59 ms ~ 2570.04 ms

**備考** f<sub>IL</sub> : 低速内オンチップ・オシレータ・クロック周波数

図25-2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (1/2)

アドレス : 000C1H/010C1H<sup>※</sup>

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込み&amp;リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V			0	1				
3.13 V	3.06 V			0	0				
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V			0	1				
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V		0	1					
—			上記以外は設定禁止						

・LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—			上記以外は設定禁止					

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVDの設定に関しては第22章 電圧検出回路を参照してください。

2. 検出電圧はTYP.値です。詳細は、30.8.4 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図25-2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (2/2)

アドレス : 000C1H/010C1H<sup>注</sup>

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
V <sub>LVD</sub>		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—	—		上記以外は設定禁止					

・LVDの設定 (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
V <sub>LVD</sub>		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—	—	上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

- 電源立ち上がり時は、30.6 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定により変わります。

備考1. × : don't care

- LVD回路の詳細は、第22章 電圧検出回路を参照してください。
- 検出電圧はTYP.値です。詳細は、30.8.4 LVD回路特性を参照してください。

図25-3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス : 000C2H/010C2H<sup>※</sup>

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲( $f_{MAIN}$ )	動作電圧範囲( $V_{DD}$ )
0	0	LV (低電圧メイン) モード	1 MHz~4 MHz	1.6 V~3.6 V
1	0	LS (低速メイン) モード	1 MHz~8 MHz	1.8 V~3.6 V
1	1	HS (高速メイン) モード	1 MHz~16 MHz	2.4 V~3.6 V
			1 MHz~32 MHz	2.7 V~3.6 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

注意1. ビット5-4には、必ず10Bを書き込んでください。

- 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、30.6 AC特性を参照してください。

## 25.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図25-4 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) のフォーマット

アドレス : 000C3H/010C3H<sup>※</sup>

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

**注** ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

**注意** ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

**備考** ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるもので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

## 25.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$ , ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	16H	; VLVDLに1.63 Vを選択 ; VLVDHに立ち上がり1.88 V, 立ち下がり1.84 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB	AAH	; フラッシュの動作モードにLS (低速メイン) モード, 高速オンチップ・オシレータ・クロック周波数 8 MHzを選択
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$ , ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		16H	; VLVDLに1.63 Vを選択 ; VLVDHに立ち上がり1.88 V, 立ち下がり1.84 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB		AAH	; フラッシュの動作モードにLS (低速メイン) モード, 高速オンチップ・オシレータ・クロック周波数 8 MHzを選択
	DB		85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

**注意** オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT\_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H~010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。



## 第26章 フラッシュ・メモリ

RL78マイクロコントローラは、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス（UART通信）によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング（26.4参照）  
専用フラッシュ・メモリ・プログラマを使用して、オンボードまたはオフボードで書き込みができます。
- 外部デバイス（UART通信）によるシリアル・プログラミング（26.2参照）  
外部デバイス（マイコンやASIC）とのUART通信を使用して、オンボード上で書き込みができます。
- セルフ・プログラミング（26.6参照）  
フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

データ・フラッシュ・メモリは、データ・フラッシュ・ライブラリを利用して、ユーザ・プログラム実行中に書き換えることができます（バックグラウンド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては、26.8 データ・フラッシュを参照してください。

## ★ 26.1 フラッシュ・メモリ・プログラマにシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6, FL-PR6
- E1, E2, E2 Lite, E20オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

### (1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えま  
す。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを  
実装しておいてください。

### (2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前にフラッシュ・メモリに書き込みます。

**備考** FL-PR6は、（株）内藤電誠町田製作所の製品です。

★

表26-1 RL78/G1Dと専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・ プログラマ接続端子				端子名	ピン番号
信号名		入出力	端子機能	48ピン WQFN (6×6)	
PG-FP6, FL-PR6	E1, E2, E2 Lite, E20オンチップ デバッグ エミュレータ				
—	TOOL0	入出力	送受信信号	TOOL0	13
SI/RxD	—	入出力	送受信信号	/P40	
—	RESET	出力	リセット信号	RESET	14
/RESET	—	出力			
V <sub>DD</sub>		入出力	V <sub>DD</sub> 電圧生成／電源監視	V <sub>DD</sub>	22
GND		—	グランド	V <sub>SS</sub>	21
				REGC <sup>※</sup>	20
FLMD1	EMV <sub>DD</sub>	—	TOOL0端子 駆動電源	V <sub>DD</sub>	22

注 REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

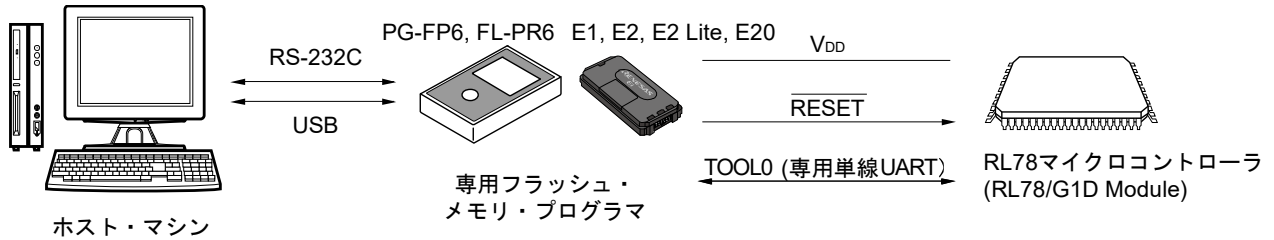
備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

### 26.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

★

図26-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインターフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。

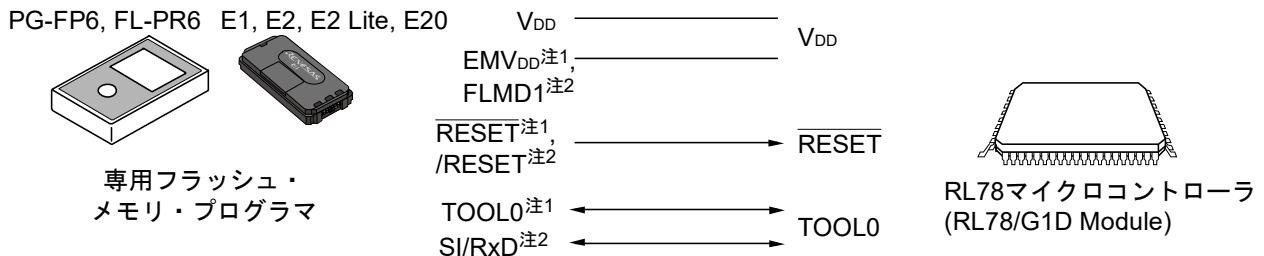
### 26.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

★

図26-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1, E2, E2 Lite, E20オンチップデバッグエミュレータ使用時。

2. PG-FP6, FL-PR6使用時。

3. REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

★ 専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP6, FL-PR6またはE1, E2, E2 Lite, E20オンチップデバッグエミュレータの各マニュアルを参照してください。

表26-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78マイクロコントローラ		
信号名		入出力	端子機能	端子名
PG-FP6, FL-PR6	E1, E2, E2 Lite, E20 オンチップデバ ギングエミュレータ			
V <sub>DD</sub>		入出力	V <sub>DD</sub> 電圧生成／電圧監視	V <sub>DD</sub>
GND		—	グラウンド	V <sub>SS</sub> , REGC <sup>注</sup>
FLMD1	EMV <sub>DD</sub>	—	TOOL0端子駆動電源	V <sub>DD</sub>
/RESET	—	出力	リセット信号	RESET
—	RESET	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RXD	—	入出力	送受信信号	

注 REGC端子はコンデンサ（0.47~1 μF）を介してグラウンドに接続してください。

## 26.2 外部デバイス（UART内蔵）によるシリアル・プログラミング

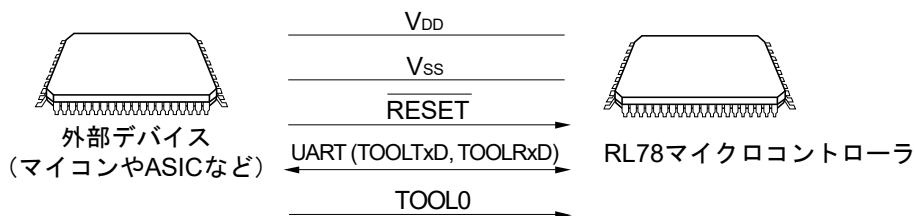
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス（マイコンやASIC）を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

### 26.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図26-3 フラッシュ・メモリにプログラムを書き込むための環境



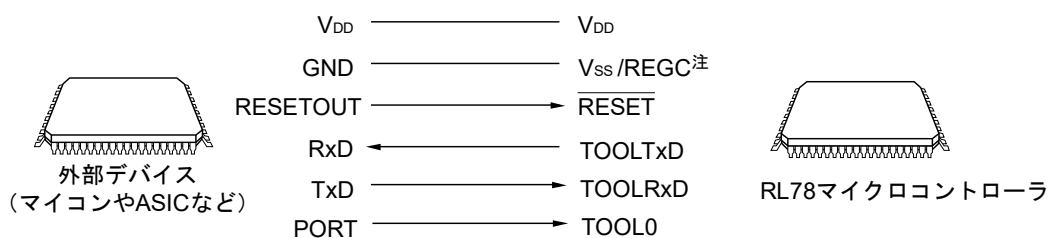
外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

## 26.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート： 1 M, 500 k, 250 k, 115.2 kbps

図26-4 外部デバイスとの通信



注 REGC端子はコンデンサ (0.47~1  $\mu\text{F}$ ) を介してグラウンドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表26-3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
V <sub>DD</sub>	入出力	V <sub>DD</sub> 電圧生成/電圧監視	V <sub>DD</sub>
GND	—	グラウンド	V <sub>SS</sub> , REGC <sup>注</sup>
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注 REGC端子はコンデンサ (0.47~1  $\mu\text{F}$ ) を介してグラウンドに接続してください。

## 26.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

**備考** フラッシュ・メモリ・プログラミング・モードに関しては、26.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

### 26.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 kΩの抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合は、以下の方法で使用してください。

入力時：外部リセット解除時から $t_{HD}$ の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

**備考1.**  $t_{HD}$ ：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。30.11 フラッシュ・メモリ・プログラミング・モード引き込み時のタイミング・スペックを参照してください。

2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子) を使用するので、SAUの端子は使用しません。

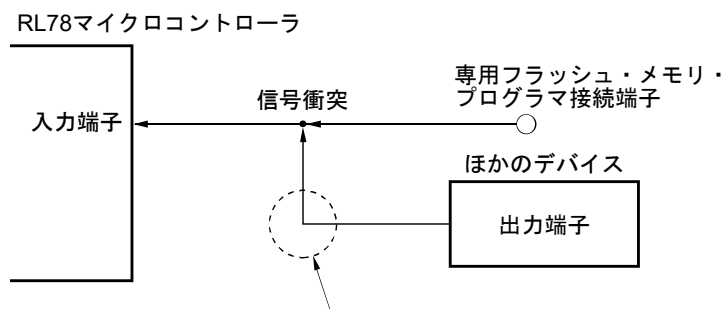
### 26.3.2 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。



図26-5 信号の衝突 (RESET端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

### 26.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV<sub>DD</sub>に接続するか、もしくは抵抗を介してV<sub>SS</sub>に接続するなどの端子処理が必要です。

### 26.3.4 REGC端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ (0.47~1 μF) を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性の良いコンデンサを使用してください。

### 26.3.5 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

**備考** フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック (f<sub>IH</sub>) を使用します。

### 26.3.6 電源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、V<sub>DD</sub>端子はフラッシュ・メモリ・プログラマのV<sub>DD</sub>に、V<sub>SS</sub>端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

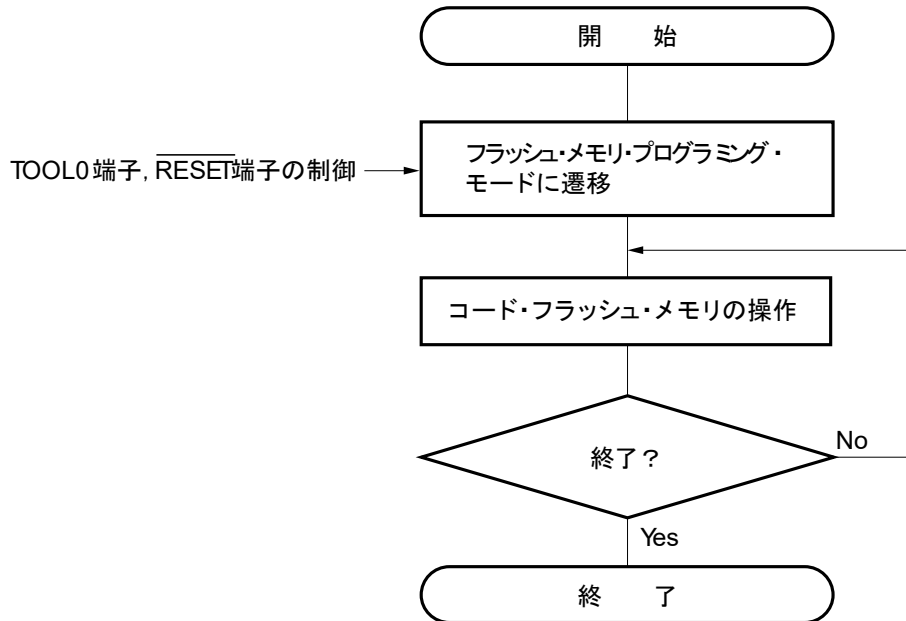
ただしフラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、V<sub>DD</sub>, V<sub>SS</sub>端子はフラッシュ・メモリ・プログラマのV<sub>DD</sub>, GNDと必ず接続してください。

## 26.4 シリアル・プログラミング方法

### 26.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図26-6 コード・フラッシュ・メモリの操作手順



### 26.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、RL78マイクロコントローラをフラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

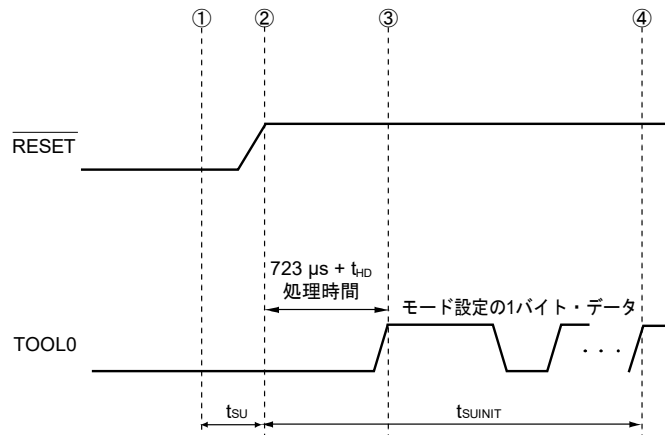
<外部デバイス（UART通信）を使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します（表26-4 参照）。その後、図26-7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表26-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V <sub>DD</sub>	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図26-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

**備考**  $t_{SUINIT}$  : この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。

$t_{SU}$  : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

$t_{HD}$  : 外部／内部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

詳細は、30.11 フラッシュ・メモリ・プログラミング・モード引き込み時のタイミング・スペックを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコンに供給されている電源電圧およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表26-5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

電源電圧 (V <sub>DD</sub> )	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数	
2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	ブランク状態		フルスピード・モード
	HS (高速メイン) モード	1 MHz~32 MHz	フルスピード・モード
	LS (低速メイン) モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン) モード	1 MHz~4 MHz	ワイド・ボルテージ・モード
2.4 V ≤ V <sub>DD</sub> < 2.7 V	ブランク状態		フルスピード・モード
	HS (高速メイン) モード	1 MHz~16 MHz	フルスピード・モード
	LS (低速メイン) モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン) モード	1 MHz~4 MHz	ワイド・ボルテージ・モード
1.8 V ≤ V <sub>DD</sub> < 2.4 V	ブランク状態		ワイド・ボルテージ・モード
	LS (低速メイン) モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン) モード	1 MHz~4 MHz	ワイド・ボルテージ・モード

**備考1.** ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

**2.** 通信コマンドの詳細は、**26.4.4 通信コマンド**を参照してください。

### 26.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表26-6 通信方式

通信方式	Standard設定 <sup>注1</sup>				使用端子
	Port	Speed <sup>注2</sup>	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・プログラマ使用時, または外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

- UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

### 26.4.4 通信コマンド

RL78マイクロコントローラは、表26-7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、RL78マイクロコントローラ (RL78プロトコルA) プログラマ編アプリケーション・ノート (R01AN0815) を参照してください。

表26-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。 <sup>注</sup>
情報取得	Silicon Signature	RL78マイクロコントローラ情報 (品名, フラッシュ・メモリ構成, プログラミング用ファームウェア・バージョンなど) を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報（品名、ファームウェア・バージョン）を取得することができます。

表26-8にシグネチャ・データ一覧、表26-9にシグネチャ・データ例を示します。

表26-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名 (ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-1FFFFH (128 KB) → FFH, FFH, 00H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F2FFFH (8 KB) → FFH, 1FH, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表26-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ (16進数)
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F11AGG	10バイト	52 = "R" 35 = "5" 46 = "F" 31 = "1" 31 = "1" 41 = "A" 47 = "G" 47 = "G" 20 = " 20 = "
★ ★ コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-1FFFFH (128 KB)	3バイト	FF FF 01
★ データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F2FFFH (8 KB)	3バイト	FF 2F 0F
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

## ★ 26.5 PG-FP6使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP6を使用した場合の各コマンド処理時間（参考値）を次に示します。

表26-10 PG-FP6使用時の各コマンド処理時間（参考値）

PG-FP6のコマンド	コード・フラッシュ		
	128 Kバイト	192 Kバイト	256 Kバイト
消去	2 s	2 s	2.5 s
書き込み	3.2 s	4.6 s	5.5 s
ベリファイ	3.5 s	4.5 s	5.5 s
消去後、書き込み	4.5 s	6.5 s	8 s

**備考** コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port : TOOL0（単線UART）

Speed : 1,000,000 bps

Mode : フルスピード・モード（フラッシュ動作モード：HS（高速メイン）モード）

## 26.6 セルフ・プログラミング

RL78マイクロコントローラは、ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

**注意1.** CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。
3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP = 0) させ、30  $\mu$ s経過後にセルフ・プログラミング・ライブラリを実行してください。

**備考1.** セルフ・プログラミング機能の詳細は、RL78マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (R01US0050) を参照してください。

2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS (高速メイン) モード設定時はフルスピード・モードに、LS (低速メイン) モードおよびLV (低電圧メイン) モード設定時はワイド・ボルテージ・モードに設定してください。

当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数"FSL\_Init"実行時に、引数である"fsl\_flash\_voltage\_u08"が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

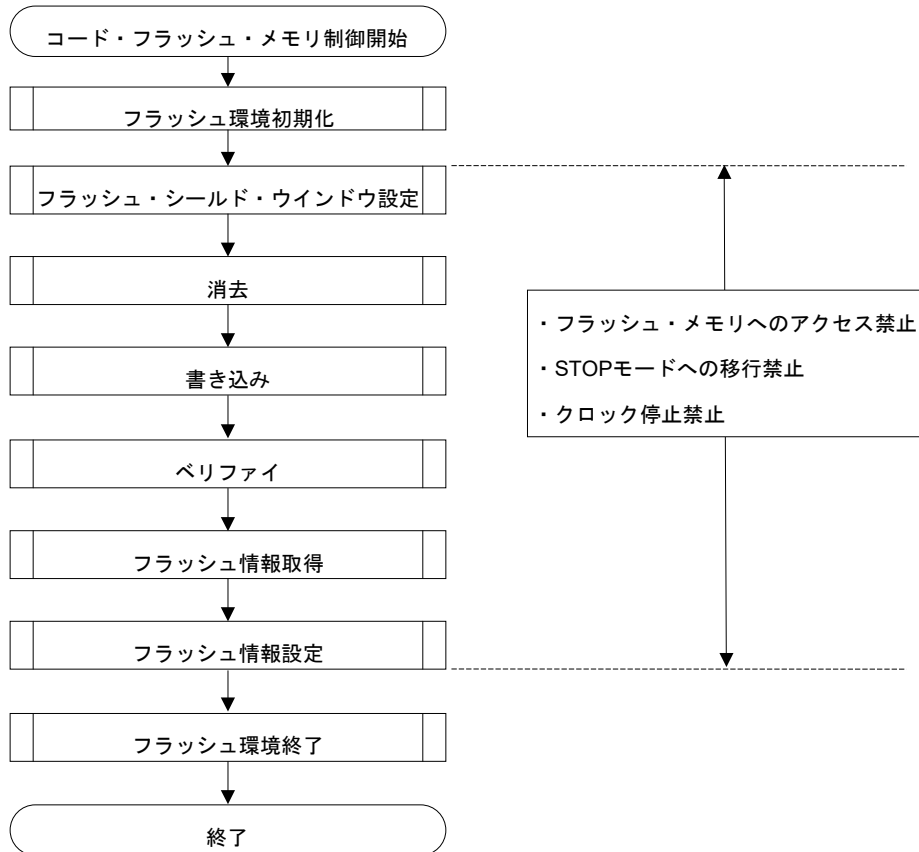
**備考** ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。



### 26.6.1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図26-8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



## 26.6.2 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

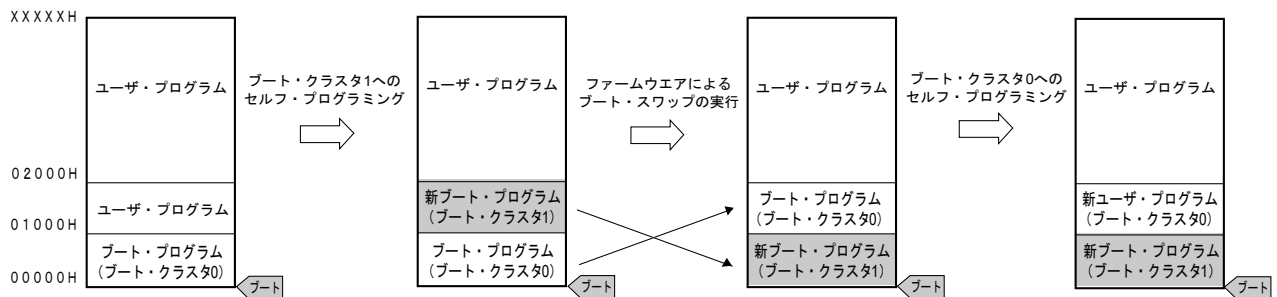
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート領域であるブート・クラスタ0<sup>※</sup>の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、RL78マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

**注** ブート・クラスタは4 Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図26-9 ブート・スワップ機能

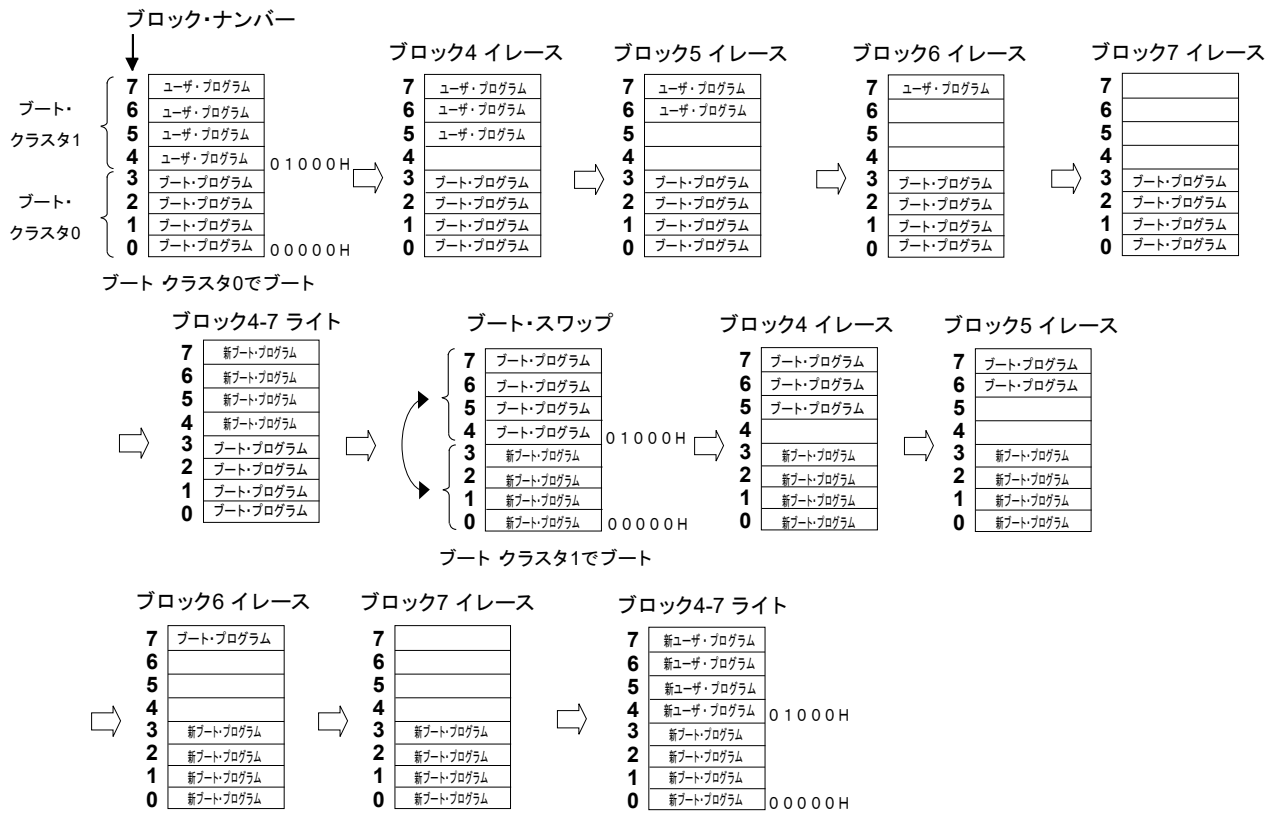


この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート領域です。

ブート・クラスタ1 : ブート・スワップ後のブート領域です。

図26-10 ブート・スワップの実行例



### 26.6.3 フラッシュ・シールド・ウィンドウ機能

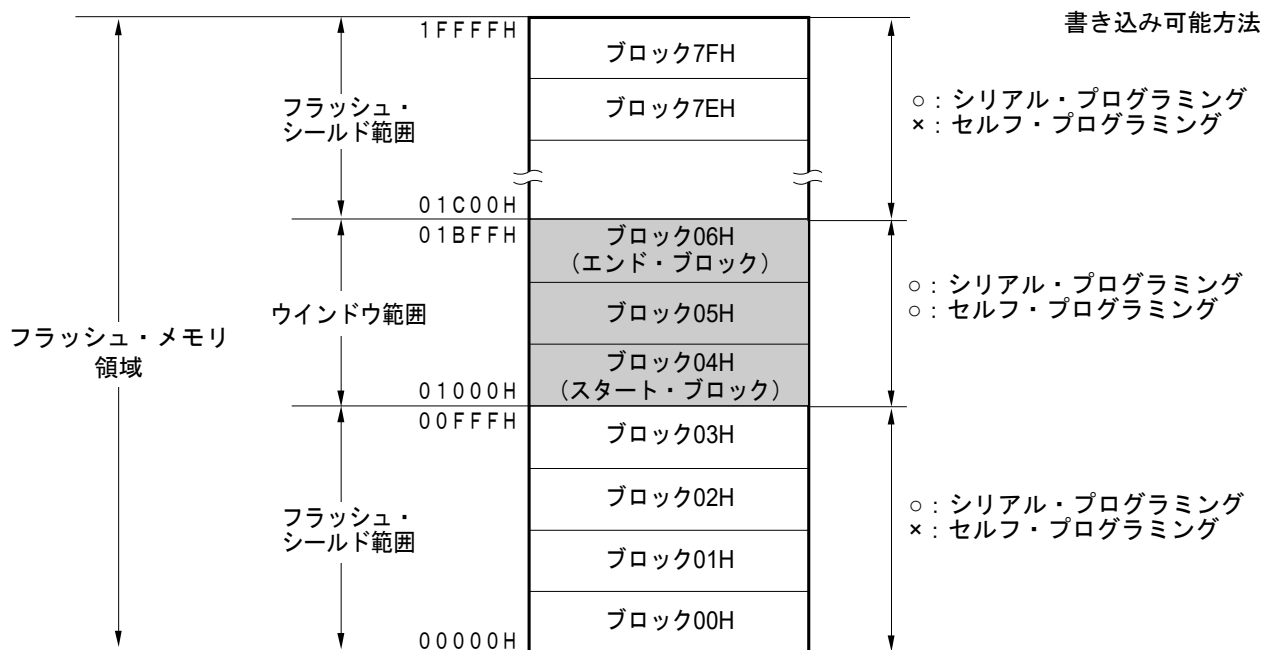
セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウィンドウ機能があります。フラッシュ・シールド・ウィンドウ機能は、指定したウィンドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウィンドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウィンドウ範囲の指定は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウィンドウ範囲以外の領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、シリアル・プログラミング時にはウィンドウとして指定した範囲外にも書き込み／消去可能です。

図26-11 フラッシュ・シールド・ウィンドウの設定例

(対象デバイス：R5F11AGG, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



**注意1.** フラッシュ・シールド・ウィンドウのウィンドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

**2.** フラッシュ・シールド・ウィンドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表26-11 フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウィンドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで、ウィンドウの先頭ブロック、最終ブロックを指定する	ウィンドウ範囲内のみ ブロック消去できる	ウィンドウ範囲内のみ 書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウィンドウの先頭ブロック、最終ブロックを指定する	ウィンドウ範囲外も ブロック消去可能	ウィンドウ範囲外も 書き込み可能

**備考** シリアル・プログラミング時の書き込み／消去を禁止したい場合には、26.7 セキュリティ設定を参照してください。

## 26.7 セキュリティ設定

RL78マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。

- ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

シリアル・プログラミング時に、コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止に設定後、Security Releaseコマンドによる解除はリセットで有効になります。

- ブート・クラスタ0の書き換え禁止

コード・フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表26-12に示します。

**注意** ただし、専用フラッシュ・ライタのセキュリティ機能は、セルフ・プログラミングに対応していません。

**備考** セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は26. 6. 3を参照）。

表26-12 セキュリティ機能有効時とコマンドの関係

## (1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる <sup>注</sup>
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

**注** 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

## (2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

**備考** セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は26.6.3を参照）。

表26-13 各プログラミング・モード時のセキュリティ設定方法

## (1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

**注意** “書き込み禁止”設定の解除は、“ブロック消去禁止”，“ブート・クラスタ0の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域，データ・フラッシュ領域がブランクの場合でのみ可能です。

## (2) セルフ・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラマのGUI上などで設定する）
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

## 26.8 データ・フラッシュ

### 26.8.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、RL78ファミリ データ・フラッシュ・ライブラリ ユーザーズ・マニュアルを参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは、8ビット単位でのみアクセス可能
- データ・フラッシュは、CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行は可能（バックグラウンド・オペレーション（BGO）対応）
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中（セルフ・プログラミング時）に、データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

**注意1.** リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

2. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ、30  $\mu$ s経過後にデータ・フラッシュ・ライブラリを実行してください。

**備考** ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては、26.6 セルフ・プログラミングを参照してください。

## 26.8.2 データ・フラッシュを制御するレジスタ

### (1) データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図26-12 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H    リセット時 : 00H    R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

**注意** データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

## 26.8.3 データ・フラッシュへのアクセス手順

リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには、以下の手順で初期設定を行う必要があります。

- ① データ・フラッシュ・コントロール・レジスタ (DFLCTL) のビット0 (DFLEN) に“1”を設定する。
- ② ソフトウェア・タイマなどでセットアップ時間をウエイトする。

セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。

<各フラッシュの動作モードでのセットアップ時間>

- ・HS (高速メイン) モード時        : 5  $\mu$ s
- ・LS (低速メイン) モード時        : 720 ns
- ・LV (低電圧メイン) モード時     : 10  $\mu$ s

- ③ セットアップ時間のウエイト完了後、データ・フラッシュへのアクセスが可能となります。

**注意1.** セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。

2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。
3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作 (HIOSTOP = 0) させ、30  $\mu$ s経過後にデータ・フラッシュ・ライブラリを実行してください。

初期設定後は、CPU命令による読み出し、またはデータ・フラッシュ・ライブラリによる読み出し／書き換えが可能です。

ただし、データ・フラッシュ・アクセス時にDMAコントローラが動作する場合は、次のいずれかの手順に従って実施してください。



## (A) DMAの転送保留/強制終了

データ・フラッシュを読み出す前に、使用している全てのチャンネルのDMA転送を保留してください。ただし、DWAITnビットに1を設定後、データ・フラッシュの読み出し前までに3クロック( $f_{CLK}$ )以上の間隔をあけてください。データ・フラッシュの読み出し後に、DWAITnビットを0に設定し転送保留を解除してください。

または、データ・フラッシュを読み出す前に、17.5.5 ソフトウェアでの強制終了の手順に従ってDMA転送を強制終了してください。DMA転送の再開はデータ・フラッシュ読み出し後に行ってください。

## (B) ライブラリを使用してデータ・フラッシュにアクセス

最新のデータ・フラッシュ・ライブラリを使用して、データ・フラッシュにアクセスしてください。

## (C) NOPの挿入

データ・フラッシュの読み出し命令の直前にNOP命令を挿入してください。

## &lt;例&gt;

```
MOVW    HL, !addr16      ; RAMの読み出し
NOP                                           ; データ・フラッシュのリード前にNOP命令を挿入
MOV     A,[DE]           ; データ・フラッシュの読み出し
```

ただし、C言語などの高級言語を使用している場合、1コードに対してコンパイラが2命令を生成する場合があります。この場合、データ・フラッシュの読み出し命令の直前にNOP命令が挿入されないため、(A)または(B)にて、読み出してください。

**備考1.** n : DMAチャンネル番号 (n = 0, 1)

**2.**  $f_{CLK}$  : CPU/周辺ハードウェア・クロック周波数

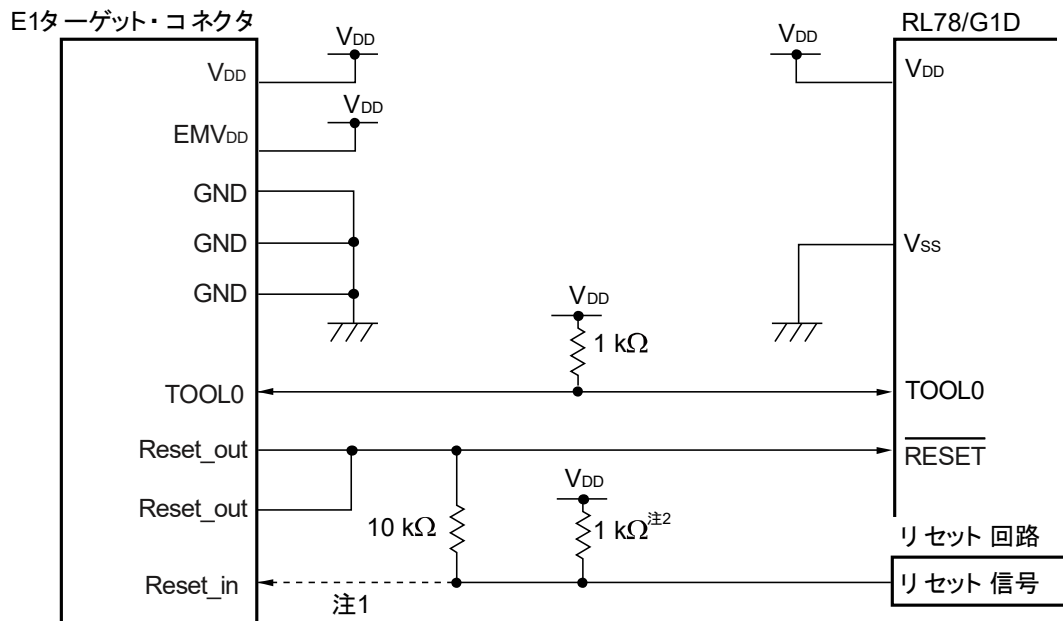
## 第27章 オンチップ・デバッグ機能

### 27.1 E1オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 $V_{DD}$ 、 $\overline{\text{RESET}}$ 、TOOL0、 $V_{SS}$ 端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

**注意** RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図27-1 E1オンチップデバッグエミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

**注意** リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

## 27.2 オンチップ・デバッグ・セキュリティID

RL78マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第25章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと010C3H、010C4H-010CDHが切り替わるので、あらかじめ010C3H、010C4H-010CDHにも同じ値を設定してください。

表27-1 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード <sup>※</sup>
010C4H-010CDH	

注 “FFFFFFFFFFFFFFFFFFFFH”は設定できません。

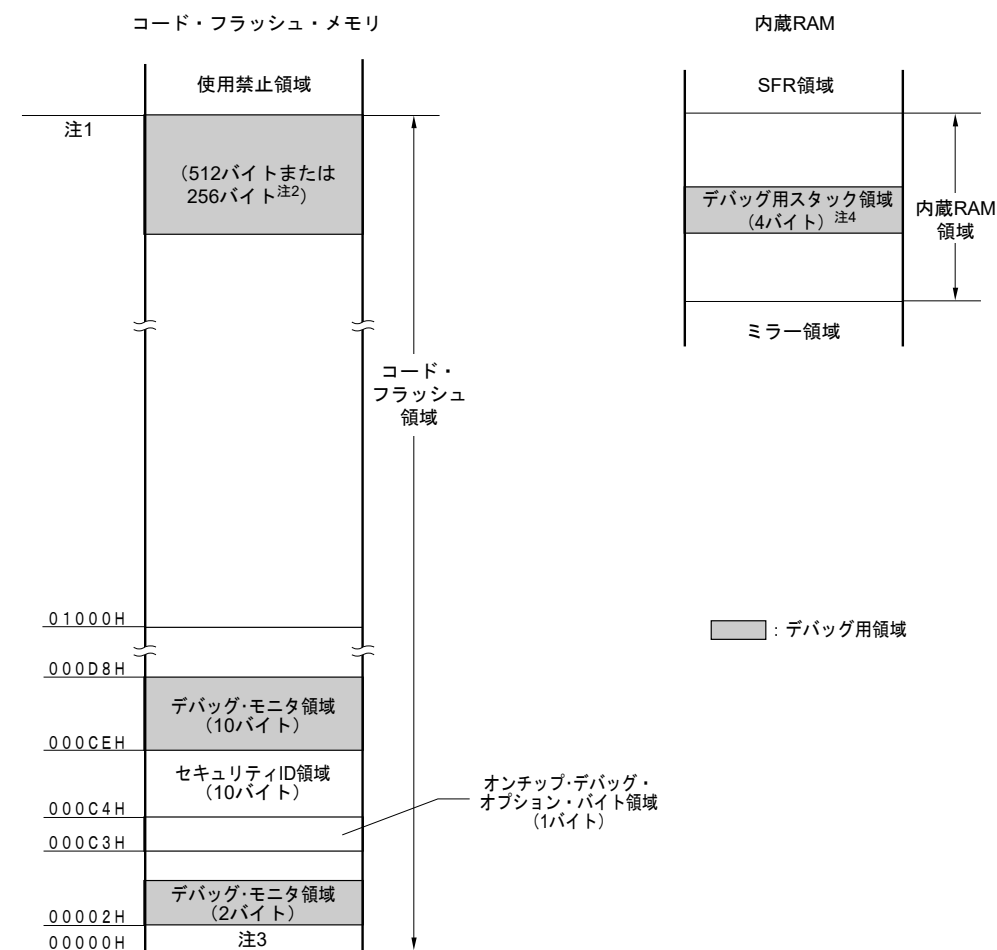
## 27.3 ユーザ資源の確保

RL78マイクロコントローラとE1オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

### (1) メモリ空間の確保

図27-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図27-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名	注1のアドレス
R5F11AGG	1FFFFH
R5F11AGH	2FFFFH
R5F11AGJ	3FFFFH

- リアルタイムRAMモニタ (RRM) 機能, Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。
- デバッグ時, リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
- この領域はスタック領域の直下に配置されるため, スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し, 4バイト余分に消費します。  
セルフ・プログラミングを行う場合は, 12バイト余分に消費します。

## 第28章 10進補正 (BCD) 回路

### 28.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を, BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと, さらにBCD補正結果レジスタ (BCDADJ) を加減算することで10進補正演算結果が求められます。

### 28.2 10進補正回路で使用するレジスタ

10進補正回路は, 次のレジスタを使用します。

- BCD補正結果レジスタ (BCDADJ)

#### 28.2.1 BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには, Aレジスタをオペランドにもつ加減算命令によって, BCDコードで加減算結果を求めるための補正値が格納されます。

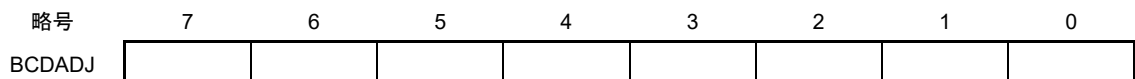
また, BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは, 8ビット・メモリ操作命令で読み出します。

リセット信号の発生により, 不定になります。

図28-1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



### 28.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

- (1) 加算 BCDコード値とBCDコード値の加算結果を, BCDコード値で求める

- ① 加算したいBCDコード値 (被加算値) をAレジスタに格納する。
- ② Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値, 加算値) を, そのまま2進数で加算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCD補正結果レジスタ

(BCDADJ) に格納される。

- ③ Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正值) を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

**注意** BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ、ACフラグ) は、RETI命令によって復帰されます。

例を次に示します。

**例1**  $99 + 89 = 188$

命 令	Aレジスタ	CYフラグ	ACフラグ	BCDADJ レジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

**例2**  $85 + 15 = 100$

命 令	Aレジスタ	CYフラグ	ACフラグ	BCDADJ レジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

**例3**  $80 + 80 = 160$

命 令	Aレジスタ	CYフラグ	ACフラグ	BCDADJ レジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ① 減算されるBCDコード値 (被減算値) をAレジスタに格納する。
- ② Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ (BCDADJ) に格納される。
- ③ Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正値) を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

**注意** BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ) は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命 令	Aレジスタ	CYフラグ	ACフラグ	BCDADJ レジスタ
MOV A, #91H ; ①	91H	—	—	—
SUB A, #52H ; ②	3FH	0	1	06H
SUB A, !BCDADJ ; ③	39H	0	0	—

## 第29章 命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、RL78マイクロコントローラ ユーザーズ・マニュアル ソフトウェア編（R01US0015）を参照してください。

### 29.1 凡 例

#### 29.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- # : イミーディエト・データ指定
- ! : 16ビット絶対アドレス指定
- !! : 20ビット絶対アドレス指定
- \$ : 8ビット相対アドレス指定
- \$! : 16ビット相対アドレス指定
- [] : 間接アドレス指定
- ES: : 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [], ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表29-1の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表29-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号 (SFR略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号 (16ビット操作可能なSFR略号。偶数アドレスのみ*) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル (偶数アドレスのみ*)
addr20	0000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFFH イミーディエト・データまたはラベル (16ビット・データ時は偶数アドレスのみ注)
addr5	0080H-00BFH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル



表現形式	記述方法
bit	3ビット・イミディエト・データまたはラベル
RBn	RB0-RB3

**注** 奇数アドレスを指定した場合はビット0が“0”になります。

**備考** 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表4-5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド !addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表4-6 拡張SFR (2nd SFR) 一覧を参照してください。

## 29.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表29-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X <sub>H</sub> , X <sub>L</sub>	16ビット・レジスタの場合はX <sub>H</sub> =上位8ビット, X <sub>L</sub> =下位8ビット
X <sub>S</sub> , X <sub>H</sub> , X <sub>L</sub>	20ビット・レジスタの場合はX <sub>S</sub> (ビット19-16), X <sub>H</sub> (ビット15-8), X <sub>L</sub> (ビット7-0)
∧	論理積 (AND)
∨	論理和 (OR)
∇	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

### 29.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表29-3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

### 29.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表29-4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

**注意** ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

## 29.2 オペレーション一覧

表29-5 オペレーション一覧 (1/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	r, #byte	2	1	—	r ← byte				
		PSW, #byte	3	3	—	PSW ← byte	x	x	x	
		CS, #byte	3	1	—	CS ← byte				
		ES, #byte	2	1	—	ES ← byte				
		!addr16, #byte	4	1	—	(addr16) ← byte				
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte				
		saddr, #byte	3	1	—	(saddr) ← byte				
		sfr, #byte	3	1	—	sfr ← byte				
		[DE+byte], #byte	3	1	—	(DE+byte) ← byte				
		ES:[DE+byte], #byte	4	2	—	((ES, DE)+byte) ← byte				
		[HL+byte], #byte	3	1	—	(HL+byte) ← byte				
		ES:[HL+byte], #byte	4	2	—	((ES, HL)+byte) ← byte				
		[SP+byte], #byte	3	1	—	(SP+byte) ← byte				
		word[B], #byte	4	1	—	(B+word) ← byte				
		ES:word[B], #byte	5	2	—	((ES, B)+word) ← byte				
		word[C], #byte	4	1	—	(C+word) ← byte				
		ES:word[C], #byte	5	2	—	((ES, C)+word) ← byte				
		word[BC], #byte	4	1	—	(BC+word) ← byte				
		ES:word[BC], #byte	5	2	—	((ES, BC)+word) ← byte				
		A, r	注3	1	1	—	A ← r			
		r, A	注3	1	1	—	r ← A			
		A, PSW		2	1	—	A ← PSW			
		PSW, A		2	3	—	PSW ← A	x	x	x
		A, CS		2	1	—	A ← CS			
		CS, A		2	1	—	CS ← A			
		A, ES		2	1	—	A ← ES			
		ES, A		2	1	—	ES ← A			
		A, !addr16		3	1	4	A ← (addr16)			
		A, ES:!addr16		4	2	5	A ← (ES, addr16)			
		!addr16, A		3	1	—	(addr16) ← A			
ES:!addr16, A		4	2	—	(ES, addr16) ← A					
A, saddr		2	1	—	A ← (saddr)					
saddr, A		2	1	—	(saddr) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表29-5 オペレーション一覧 (2/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	—	A ← sfr			
		sfr, A	2	1	—	sfr ← A			
		A, [DE]	1	1	4	A ← (DE)			
		[DE], A	1	1	—	(DE) ← A			
		A, ES:[DE]	2	2	5	A ← (ES, DE)			
		ES:[DE], A	2	2	—	(ES, DE) ← A			
		A, [HL]	1	1	4	A ← (HL)			
		[HL], A	1	1	—	(HL) ← A			
		A, ES:[HL]	2	2	5	A ← (ES, HL)			
		ES:[HL], A	2	2	—	(ES, HL) ← A			
		A, [DE+byte]	2	1	4	A ← (DE+byte)			
		[DE+byte], A	2	1	—	(DE+byte) ← A			
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE)+byte)			
		ES:[DE+byte], A	3	2	—	((ES, DE)+byte) ← A			
		A, [HL+byte]	2	1	4	A ← (HL+byte)			
		[HL+byte], A	2	1	—	(HL+byte) ← A			
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL)+byte)			
		ES:[HL+byte], A	3	2	—	((ES, HL)+byte) ← A			
		A, [SP+byte]	2	1	—	A ← (SP+byte)			
		[SP+byte], A	2	1	—	(SP+byte) ← A			
		A, word[B]	3	1	4	A ← (B+word)			
		word[B], A	3	1	—	(B+word) ← A			
		A, ES:word[B]	4	2	5	A ← ((ES, B)+word)			
		ES:word[B], A	4	2	—	((ES, B)+word) ← A			
		A, word[C]	3	1	4	A ← (C+word)			
		word[C], A	3	1	—	(C+word) ← A			
		A, ES:word[C]	4	2	5	A ← ((ES, C)+word)			
		ES:word[C], A	4	2	—	((ES, C)+word) ← A			
		A, word[BC]	3	1	4	A ← (BC+word)			
		word[BC], A	3	1	—	(BC+word) ← A			
A, ES:word[BC]	4	2	5	A ← ((ES, BC)+word)					
ES:word[BC], A	4	2	—	((ES, BC)+word) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (f<sub>CLK</sub>) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (f<sub>CLK</sub>) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表29-5 オペレーション一覧 (3/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL+B)$			
		[HL+B], A	2	1	—	$(HL+B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL)+B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL)+B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL+C)$			
		[HL+C], A	2	1	—	$(HL+C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL)+C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL)+C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, saddr	2	1	—	$C \leftarrow (saddr)$			
	ES, saddr	3	1	—	$ES \leftarrow (saddr)$				
	XCH	A, r <sup>注3</sup>	1 (r = X) 2 (r = X以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
		A, ES:!addr16	5	3	—	$A \leftrightarrow (ES, addr16)$			
A, saddr		3	2	—	$A \leftrightarrow (saddr)$				
A, sfr		3	2	—	$A \leftrightarrow sfr$				
A, [DE]		2	2	—	$A \leftrightarrow (DE)$				
A, ES:[DE]		3	3	—	$A \leftrightarrow (ES, DE)$				
A, [HL]		2	2	—	$A \leftrightarrow (HL)$				
A, ES:[HL]		3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]		3	2	—	$A \leftrightarrow (DE+byte)$				
A, ES:[DE+byte]		4	3	—	$A \leftrightarrow ((ES, DE)+byte)$				
A, [HL+byte]		3	2	—	$A \leftrightarrow (HL+byte)$				
A, ES:[HL+byte]	4	3	—	$A \leftrightarrow ((ES, HL)+byte)$					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (f<sub>CLK</sub>) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (f<sub>CLK</sub>) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表29-5 オペレーション一覧 (4/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	A ↔ (HL+B)			
		A, ES:[HL+B]	3	3	—	A ↔ ((ES, HL)+B)			
		A, [HL+C]	2	2	—	A ↔ (HL+C)			
		A, ES:[HL+C]	3	3	—	A ↔ ((ES, HL)+C)			
	ONEB	A	1	1	—	A ← 01H			
		X	1	1	—	X ← 01H			
		B	1	1	—	B ← 01H			
		C	1	1	—	C ← 01H			
		!addr16	3	1	—	(addr16) ← 01H			
		ES:!addr16	4	2	—	(ES, addr16) ← 01H			
		saddr	2	1	—	(saddr) ← 01H			
	CLRB	A	1	1	—	A ← 00H			
		B	1	1	—	B ← 00H			
		C	1	1	—	C ← 00H			
		!addr16	3	1	—	(addr16) ← 00H			
		ES:!addr16	4	2	—	(ES, addr16) ← 00H			
		saddr	2	1	—	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	—	(HL+byte) ← X	×		×
		ES:[HL+byte], X	4	2	—	(ES, HL+byte) ← X	×		×
	16ビット・データ転送	MOVW	rp, #word	3	1	—	rp ← word		
saddrp, #word			4	1	—	(saddrp) ← word			
sfrp, #word			4	1	—	sfrp ← word			
AX, rp 注3			1	1	—	AX ← rp			
rp, AX 注3			1	1	—	rp ← AX			
AX, !addr16			3	1	4	AX ← (addr16)			
!addr16, AX			3	1	—	(addr16) ← AX			
AX, ES:!addr16			4	2	5	AX ← (ES, addr16)			
ES:!addr16, AX			4	2	—	(ES, addr16) ← AX			
AX, saddrp			2	1	—	AX ← (saddrp)			
saddrp, AX			2	1	—	(saddrp) ← AX			
AX, sfrp			2	1	—	AX ← sfrp			
sfrp, AX			2	1	—	sfrp ← AX			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表29-5 オペレーション一覧 (5/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ デー タ 転 送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE+byte)			
		[DE+byte], AX	2	1	—	(DE+byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)+byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE)+byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL+byte)			
		[HL+byte], AX	2	1	—	(HL+byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)+byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL)+byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP+byte)			
		[SP+byte], AX	2	1	—	(SP+byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B+word)			
		word[B], AX	3	1	—	(B+word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)+word)			
		ES:word[B], AX	4	2	—	((ES, B)+word) ← AX			
		AX, word[C]	3	1	4	AX ← (C+word)			
		word[C], AX	3	1	—	(C+word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)+word)			
		ES:word[C], AX	4	2	—	((ES, C)+word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC+word)			
		word[BC], AX	3	1	—	(BC+word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)+word)			
		ES:word[BC], AX	4	2	—	((ES, BC)+word) ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。



表29-5 オペレーション一覧 (6/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, laddr16	3	1	4	BC ← (addr16)			
		BC, ES:laddr16	4	2	5	BC ← (ES, addr16)			
		DE, laddr16	3	1	4	DE ← (addr16)			
		DE, ES:laddr16	4	2	5	DE ← (ES, addr16)			
		HL, laddr16	3	1	4	HL ← (addr16)			
		HL, ES:laddr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp <sup>注3</sup>	1	1	—	AX ← rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
BC		1	1	—	BC ← 0000H				
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A+byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr)+byte	x	x	x
		A, r <sup>注4</sup>	2	1	—	A, CY ← A+r	x	x	x
		r, A	2	1	—	r, CY ← r+A	x	x	x
		A, laddr16	3	1	4	A, CY ← A+(addr16)	x	x	x
		A, ES:laddr16	4	2	5	A, CY ← A+(ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A+(saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A+(HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A+(ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A+(HL+byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A+((ES, HL)+byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A+(HL+B)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A+((ES, HL)+B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A+(HL+C)	x	x	x
A, ES:[HL+C]	3	2	5	A, CY ← A+((ES, HL)+C)	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. rp = AXを除く。
4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表29-5 オペレーション一覧 (7/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	×	×	×
		A, r <sup>注3</sup>	2	1	—	$A, CY \leftarrow A + r + CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	×	×	×
		A, laddr16	3	1	4	$A, CY \leftarrow A + (\text{laddr16}) + CY$	×	×	×
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{laddr16}) + CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	×	×	×
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	×	×	×
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	×	×	×
		A, r <sup>注3</sup>	2	1	—	$A, CY \leftarrow A - r$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A$	×	×	×
		A, laddr16	3	1	4	$A, CY \leftarrow A - (\text{laddr16})$	×	×	×
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{laddr16})$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	×	×	×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表29-5 オペレーション一覧 (8/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	SUBC	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte} - CY$	×	×	×
		A, r <sup>注3</sup>	2	1	—	$A, CY \leftarrow A - r - CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A - CY$	×	×	×
		A, laddr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16}) - CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr}) - CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL}) - CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL}) - CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte}) - CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte}) - CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B) - CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B) - CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C) - CY$	×	×	×
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C) - CY$	×	×	×
	AND	A, #byte	2	1	—	$A \leftarrow A \wedge \text{byte}$	×		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \wedge \text{byte}$	×		
		A, r <sup>注3</sup>	2	1	—	$A \leftarrow A \wedge r$	×		
		r, A	2	1	—	$r \leftarrow r \wedge A$	×		
		A, laddr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	×		
		A, ES:laddr16	4	2	5	$A \leftarrow A \wedge (\text{ES}, \text{addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \wedge (\text{saddr})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (\text{ES}, \text{HL})$	×		
		A, [HL+byte]	2	1	4	$A \leftarrow A \wedge (\text{HL} + \text{byte})$	×		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \wedge ((\text{ES}, \text{HL}) + \text{byte})$	×		
		A, [HL+B]	2	1	4	$A \leftarrow A \wedge (\text{HL} + B)$	×		
A, ES:[HL+B]	3	2	5	$A \leftarrow A \wedge ((\text{ES}, \text{HL}) + B)$	×				
A, [HL+C]	2	1	4	$A \leftarrow A \wedge (\text{HL} + C)$	×				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((\text{ES}, \text{HL}) + C)$	×				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表29-5 オペレーション一覧 (9/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		x	
		A, r <sup>注3</sup>	2	1	—	$A \leftarrow A \vee r$		x	
		r, A	2	1	—	$r \leftarrow r \vee A$		x	
		A, laddr16	3	1	4	$A \leftarrow A \vee (\text{laddr16})$		x	
		A, ES:laddr16	4	2	5	$A \leftarrow A \vee (\text{ES:laddr16})$		x	
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$		x	
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$		x	
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$		x	
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$		x	
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$		x	
		XOR	A, #byte	2	1	—	A		x
	saddr, #byte		3	2	—	(		x	
	A, r <sup>注3</sup>		2	1	—	A		x	
	r, A		2	1	—	r		x	
	A, laddr16		3	1	4	A		x	
	A, ES:laddr16		4	2	5	A		x	
	A, saddr		2	1	—	A		x	
	A, [HL]		1	1	4	A		x	
	A, ES:[HL]		2	2	5	A		x	
	A, [HL+byte]		2	1	4	A		x	
	A, ES:[HL+byte]		3	2	5	A		x	
	A, [HL+B]		2	1	4	A		x	
	A, ES:[HL+B]	3	2	5	A		x		
A, [HL+C]	2	1	4	A		x			
A, ES:[HL+C]	3	2	5	A		x			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (f<sub>CLK</sub>) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (f<sub>CLK</sub>) 数。

3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表29-5 オペレーション一覧 (10/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	CMP	A, #byte	2	1	—	A-byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)-byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)-byte	×	×	×
		saddr, #byte	3	1	—	(saddr)-byte	×	×	×
		A, r <sup>注3</sup>	2	1	—	A-r	×	×	×
		r, A	2	1	—	r-A	×	×	×
		A, !addr16	3	1	4	A-(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A-(ES:addr16)	×	×	×
		A, saddr	2	1	—	A-(saddr)	×	×	×
		A, [HL]	1	1	4	A-(HL)	×	×	×
		A, ES:[HL]	2	2	5	A-(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A-(HL+byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A-((ES:HL)+byte)	×	×	×
		A, [HL+B]	2	1	4	A-(HL+B)	×	×	×
		A, ES:[HL+B]	3	2	5	A-((ES:HL)+B)	×	×	×
		A, [HL+C]	2	1	4	A-(HL+C)	×	×	×
	A, ES:[HL+C]	3	2	5	A-((ES:HL)+C)	×	×	×	
	CMP0	A	1	1	—	A-00H	×	0	0
		X	1	1	—	X-00H	×	0	0
		B	1	1	—	B-00H	×	0	0
C		1	1	—	C-00H	×	0	0	
!addr16		3	1	4	(addr16)-00H	×	0	0	
ES:!addr16		4	2	5	(ES:addr16)-00H	×	0	0	
saddr		2	1	—	(saddr)-00H	×	0	0	
CMPS	X, [HL+byte]	3	1	4	X-(HL+byte)	×	×	×	
	X, ES:[HL+byte]	4	2	5	X-((ES:HL)+byte)	×	×	×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表29-5 オペレーション一覧 (11/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX+word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX+AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX+BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX+DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX+HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX+(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX+(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX+(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX+(HL+byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX+((ES:HL)+byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX-word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX-BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX-DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX-HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX-(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX-(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX-(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX-(HL+byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX-((ES:HL)+byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX-word	×	×	×
		AX, BC	1	1	—	AX-BC	×	×	×
		AX, DE	1	1	—	AX-DE	×	×	×
		AX, HL	1	1	—	AX-HL	×	×	×
		AX, !addr16	3	1	4	AX-(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX-(ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX-(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX-(HL+byte)	×	×	×
AX, ES: [HL+byte]		4	2	5	AX-((ES:HL)+byte)	×	×	×	
乗算	MULU	X	1	1	—	AX ← A×X			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表29-5 オペレーション一覧 (12/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r+1$		x	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$	x	x	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$	x	x	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)+1$	x	x	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$	x	x	
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$	x	x	
	DEC	r	1	1	—	$r \leftarrow r-1$		x	x
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$	x	x	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	x	x	
		saddr	2	2	—	$(saddr) \leftarrow (saddr)-1$	x	x	
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$	x	x	
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$	x	x	
	INCW	rp	1	1	—	$rp \leftarrow rp+1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)+1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)+1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)+1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte)+1$			
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte)+1$			
	DECW	rp	1	1	—	$rp \leftarrow rp-1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16)-1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16)-1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp)-1$			
		[HL+byte]	3	2	—	$(HL+byte) \leftarrow (HL+byte) - 1$			
		ES:[HL+byte]	4	3	—	$((ES:HL)+byte) \leftarrow ((ES:HL)+byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A0, Am-1 \leftarrow Am, A7 \leftarrow 0) \times cnt$			x
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX0, AXm-1 \leftarrow AXm, AX15 \leftarrow 0) \times cnt$			x
	SHL	A, cnt	2	1	—	$(CY \leftarrow A7, Am \leftarrow Am-1, A0 \leftarrow 0) \times cnt$			x
		B, cnt	2	1	—	$(CY \leftarrow B7, Bm \leftarrow Bm-1, B0 \leftarrow 0) \times cnt$			x
		C, cnt	2	1	—	$(CY \leftarrow C7, Cm \leftarrow Cm-1, C0 \leftarrow 0) \times cnt$			x
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX15, AXm \leftarrow AXm-1, AX0 \leftarrow 0) \times cnt$			x
		BC, cnt	2	1	—	$(CY \leftarrow BC15, BCm \leftarrow BCm-1, BC0 \leftarrow 0) \times cnt$			x
	SAR	A, cnt	2	1	—	$(CY \leftarrow A0, Am-1 \leftarrow Am, A7 \leftarrow A7) \times cnt$			x
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX0, AXm-1 \leftarrow AXm, AX15 \leftarrow AX15) \times cnt$			x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

2. cntはビット・シフト数です。

表29-5 オペレーション一覧 (13/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	(CY, A7 ← A0, Am-1 ← Am) × 1			×
	ROL	A, 1	2	1	—	(CY, A0 ← A7, Am+1 ← Am) × 1			×
	RORC	A, 1	2	1	—	(CY ← A0, A7 ← CY, Am-1 ← Am) × 1			×
	ROLC	A, 1	2	1	—	(CY ← A7, A0 ← CY, Am+1 ← Am) × 1			×
	ROLWC	AX, 1	2	1	—	(CY ← AX15, AX0 ← CY, AXm+1 ← AXm) × 1			×
BC, 1		2	1	—	(CY ← BC15, BC0 ← CY, BCm+1 ← BCm) × 1			×	
ビット操作	MOV1	CY, A.bit	2	1	—	CY ← A.bit			×
		A.bit, CY	2	1	—	A.bit ← CY			
		CY, PSW.bit	3	1	—	CY ← PSW.bit			×
		PSW.bit, CY	3	4	—	PSW.bit ← CY	×	×	
		CY, saddr.bit	3	1	—	CY ← (saddr).bit			×
		saddr.bit, CY	3	2	—	(saddr).bit ← CY			
		CY, sfr.bit	3	1	—	CY ← sfr.bit			×
		sfr.bit, CY	3	2	—	sfr.bit ← CY			
		CY, [HL].bit	2	1	4	CY ← (HL).bit			×
		[HL].bit, CY	2	2	—	(HL).bit ← CY			
	CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit			×	
	ES:[HL].bit, CY	3	3	—	(ES, HL).bit ← CY				
	AND1	CY, A.bit	2	1	—	CY ← CY ∧ A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY ∧ PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY ∧ (saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY ∧ sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY ∧ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ∧ (ES, HL).bit			×
	OR1	CY, A.bit	2	1	—	CY ← CY ∨ A.bit			×
CY, PSW.bit		3	1	—	CY ← CY ∨ PSW.bit			×	
CY, saddr.bit		3	1	—	CY ← CY ∨ (saddr).bit			×	
CY, sfr.bit		3	1	—	CY ← CY ∨ sfr.bit			×	
CY, [HL].bit		2	1	4	CY ← CY ∨ (HL).bit			×	
CY, ES:[HL].bit		3	2	5	CY ← CY ∨ (ES, HL).bit			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。



表29-5 オペレーション一覧 (14/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	C			×
		CY, saddr.bit	3	1	—	C			×
		CY, sfr.bit	3	1	—	C			×
		CY, [HL].bit	2	1	4	C			×
		CY, ES:[HL].bit	3	2	5	C			×
	SET1	A.bit	2	1	—	A.bit ← 1			
		PSW.bit	3	4	—	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 1			
		saddr.bit	3	2	—	(saddr).bit ← 1			
		sfr.bit	3	2	—	sfr.bit ← 1			
		[HL].bit	2	2	—	(HL).bit ← 1			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	—	A.bit ← 0			
		PSW.bit	3	4	—	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 0			
		saddr.bit	3	2	—	(saddr).bit ← 0			
		sfr.bit	3	2	—	sfr.bit ← 0			
		[HL].bit	2	2	—	(HL).bit ← 0			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 0			
	SET1	CY	2	1	—	CY ← 1			1
	CLR1	CY	2	1	—	CY ← 0			0
NOT1	CY	2	1	—	CY ← CY			×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (f<sub>CLK</sub>) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (f<sub>CLK</sub>) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表29-5 オペレーション一覧 (15/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP-2) ← (PC+2) <sub>s</sub> , (SP-3) ← (PC+2) <sub>H</sub> , (SP-4) ← (PC+2) <sub>L</sub> , PC ← CS, rp, SP ← SP-4			
	\$!addr20		3	3	—	(SP-2) ← (PC+3) <sub>s</sub> , (SP-3) ← (PC+3) <sub>H</sub> , (SP-4) ← (PC+3) <sub>L</sub> , PC ← PC+3+jdisp16, SP ← SP-4			
	!addr16		3	3	—	(SP-2) ← (PC+3) <sub>s</sub> , (SP-3) ← (PC+3) <sub>H</sub> , (SP-4) ← (PC+3) <sub>L</sub> , PC ← 0000, addr16, SP ← SP-4			
	!!addr20		4	3	—	(SP-2) ← (PC+4) <sub>s</sub> , (SP-3) ← (PC+4) <sub>H</sub> , (SP-4) ← (PC+4) <sub>L</sub> , PC ← addr20, SP ← SP-4			
CALLT	[addr5]		2	5	—	(SP-2) ← (PC+2) <sub>s</sub> , (SP-3) ← (PC+2) <sub>H</sub> , (SP-4) ← (PC+2) <sub>L</sub> , PC <sub>s</sub> ← 0000, PC <sub>H</sub> ← (0000, addr5+1), PC <sub>L</sub> ← (0000, addr5), SP ← SP-4			
	BRK	—	—	2	5	(SP-1) ← PSW, (SP-2) ← (PC+2) <sub>s</sub> , (SP-3) ← (PC+2) <sub>H</sub> , (SP-4) ← (PC+2) <sub>L</sub> , PC <sub>s</sub> ← 0000, PC <sub>H</sub> ← (0007FH), PC <sub>L</sub> ← (0007EH), SP ← SP-4, IE ← 0			
RET	—		1	6	—	PC <sub>L</sub> ← (SP), PC <sub>H</sub> ← (SP+1), PC <sub>s</sub> ← (SP+2), SP ← SP+4			
RETI	—		2	6	—	PC <sub>L</sub> ← (SP), PC <sub>H</sub> ← (SP+1), PC <sub>s</sub> ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R
RETB	—		2	6	—	PC <sub>L</sub> ← (SP), PC <sub>H</sub> ← (SP+1), PC <sub>s</sub> ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表29-5 オペレーション一覧 (16/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
スタック操作	PUSH	PSW	2	1	—	(SP-1) ← PSW, (SP-2) ← 00H,				
		rp	1	1	—	(SP-1) ← rpH, (SP-2) ← rpL, SP ← SP-2				
	POP	PSW	2	3	—	PSW ← (SP+1), SP ← SP+2	R	R	R	
		rp	1	1	—	rpL ← (SP), rpH ← (SP+1), SP ← SP+2				
	MOVW	SP, #word	4	1	—	SP ← word				
		SP, AX	2	1	—	SP ← AX				
		AX, SP	2	1	—	AX ← SP				
		HL, SP	3	1	—	HL ← SP				
		BC, SP	3	1	—	BC ← SP				
		DE, SP	3	1	—	DE ← SP				
ADDW	SP, #byte	2	1	—	SP ← SP+byte					
SUBW	SP, #byte	2	1	—	SP ← SP-byte					
無条件分岐	BR	AX	2	3	—	PC ← CS, AX				
		\$addr20	2	3	—	PC ← PC+2+jdisp8				
		!addr20	3	3	—	PC ← PC+3+jdisp16				
		!addr16	3	3	—	PC ← 0000, addr16				
		!!addr20	4	3	—	PC ← addr20				
条件付き分岐	BC	\$addr20	2	2/4 <sup>注3</sup>	—	PC ← PC+2+jdisp8 if CY = 1				
		BNC	\$addr20	2	2/4 <sup>注3</sup>	—	PC ← PC+2+jdisp8 if CY = 0			
		BZ	\$addr20	2	2/4 <sup>注3</sup>	—	PC ← PC+2+jdisp8 if Z = 1			
		BNZ	\$addr20	2	2/4 <sup>注3</sup>	—	PC ← PC+2+jdisp8 if Z = 0			
		BH	\$addr20	3	2/4 <sup>注3</sup>	—	PC ← PC+3+jdisp8 if (ZVCY)=0			
		BNH	\$addr20	3	2/4 <sup>注3</sup>	—	PC ← PC+3+jdisp8 if (ZVCY)=1			
		BT	saddr.bit, \$addr20	4	3/5 <sup>注3</sup>	—	PC ← PC+4+jdisp8 if (saddr).bit = 1			
			sfr.bit, \$addr20	4	3/5 <sup>注3</sup>	—	PC ← PC+4+jdisp8 if sfr.bit = 1			
A.bit, \$addr20	3		3/5 <sup>注3</sup>	—	PC ← PC+3+jdisp8 if A.bit = 1					
PSW.bit, \$addr20	4		3/5 <sup>注3</sup>	—	PC ← PC+4+jdisp8 if PSW.bit = 1					
[HL].bit, \$addr20	3		3/5 <sup>注3</sup>	6/7	PC ← PC+3+jdisp8 if (HL).bit = 1					
ES:[HL].bit, \$addr20	4		4/6 <sup>注3</sup>	7/8	PC ← PC+4+jdisp8					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表29-5 オペレーション一覧 (17/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 <sup>注3</sup>	—	PC ← PC+4+jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 <sup>注3</sup>	—	PC ← PC+4+jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 <sup>注3</sup>	—	PC ← PC+3+jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 <sup>注3</sup>	—	PC ← PC+4+jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 <sup>注3</sup>	6/7	PC ← PC+3+jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 <sup>注3</sup>	7/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 <sup>注3</sup>	—	PC ← PC+4+jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 <sup>注3</sup>	—	PC ← PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 <sup>注3</sup>	—	PC ← PC+3+jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 <sup>注3</sup>	—	PC ← PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5 <sup>注3</sup>	—	PC ← PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 <sup>注3</sup>	—	PC ← PC+4+jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (ZVCY)=0			
	SKNH	—	2	1	—	Next instruction skip if (ZVCY)=1			
制御	SEL <sup>注4</sup>	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1(Enable Interrupt)			
	DI	—	3	4	—	IE ← 0(Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
3. クロック数は“条件不成立時/条件成立時”を表しています。
4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

## 第30章 電気的特性

**注意** RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないで下さい。オンチップ・デバッグ機能を使用した製品については、クレーム受付対象外となります。

## 30.1 絶対最大定格

絶対最大定格( $T_A = 25^\circ\text{C}$ )

(1/2)

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>	V <sub>DD</sub>	-0.5~+6.5	V
	V <sub>DDRF1</sub>	V <sub>DD_RF</sub>	-0.5~+4.0	V
	V <sub>DDRF2</sub>	AV <sub>DD_RF</sub>	-0.5~+4.0	V
	V <sub>DDRF3</sub>	DCLIN	-0.5~+4.0	V
	V <sub>SSRF</sub>	V <sub>SS_RF</sub> , AV <sub>SS_RF</sub>	-0.5~+0.3	V
入力電圧	V <sub>I1</sub>	P00, P01, P02, P03, P10, P11, P12, P14, P15, P16, P20, P21, P22, P23, P30, P40, P120, P121, P122, P123, P124, P137, P140, P147, RESET	-0.3~V <sub>DD</sub> +0.3 <sup>注1</sup>	V
	V <sub>I2</sub>	P60, P61	-0.3~+6.5	V
	V <sub>IRF1</sub>	GPIO0, GPIO1, GPIO2, GPIO3	-0.3~V <sub>DD_RF</sub> +0.3 <sup>注2</sup>	V
	V <sub>IRF2</sub>	ANT	-0.5~+1.4	V
出力電圧	V <sub>O</sub>	P00, P01, P02, P03, P10, P11, P12, P14, P15, P16, P20, P21, P22, P23, P30, P40, P60, P61, P120, P130, P140, P147	-0.3~V <sub>DD</sub> +0.3 <sup>注1</sup>	V
	V <sub>ORF</sub>	GPIO0, GPIO1, GPIO2, GPIO3, DCLOUT	-0.3~V <sub>DD_RF</sub> +0.3 <sup>注2</sup>	V
アナログ 入力電圧	V <sub>AI</sub>	ANI0, ANI1, ANI2, ANI3, ANI16, ANI17, ANI18, ANI19	-0.3~V <sub>DD</sub> +0.3かつ -0.3~V <sub>REF(+)</sub> +0.3 <sup>注2,4</sup>	V
REGC端子 入力電圧	V <sub>IREGC</sub>	REGC	-0.3~+2.8かつ -0.3~V <sub>DD</sub> +0.3 <sup>注3</sup>	V
IC端子入力 電圧	V <sub>IIC</sub>	IC0, IC1	-0.5~+0.3	V

注1. 6.5 V以下であること。

2. 4.0 V以下であること。

3. REGC端子にはコンデンサ (0.47~1 μF) を介してV<sub>SS</sub>に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

4. A/D変換対象の端子は、AV<sub>REF(+)</sub>+0.3を越えないでください。

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

**備考1.** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. AV<sub>REF(+)</sub> : A/Dコンバータの+側基準電圧

3. V<sub>SS</sub>を基準電圧とする。

絶対最大定格( $T_A = 25^\circ\text{C}$ )

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル 出力電流	IOH1	1端子	(下記に示す端子が対象)	-40	mA
		端子合計	P00, P01, P02, P03, P40, P120, P130, P140	-70	mA
		-170mA	P10, P11, P12, P13, P14, P15, P16, P30, P147	-100	mA
	IOH2	1端子	(下記に示す端子が対象)	-0.5	mA
		端子合計	P20, P21, P22, P23	-2	mA
	IOHRF	1端子	GPIO0, GPIO1, GPIO2, GPIO3	-17	mA
ロウ・レベル 出力電流	IOL1	1端子	(下記に示す端子が対象)	40	mA
		端子合計	P00, P01, P02, P03, P40, P120, P130, P140	70	mA
		170mA	P10, P11, P12, P13, P14, P15, P16, P30, P60, P61, P147	100	mA
	IOL2	1端子	(下記に示す端子が対象)	1	mA
		端子合計	P20, P21, P22, P23	5	mA
	IOLRF	1端子	GPIO0, GPIO1, GPIO2, GPIO3	17	mA
動作温度	T <sub>A</sub>	通常動作時		-40~+85	°C
		フラッシュ・メモリ・プログラミング時		-40~+85	°C
保存温度	T <sub>stg</sub>			-65~+150	°C

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

**備考1.** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2.  $AV_{REF(+)}$  : A/Dコンバータの+側基準電圧
3.  $V_{SS}$ を基準電圧とする。

## 30.2 動作電圧

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $V_{DD} = V_{DD\_RF} = AV_{DD\_RF}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

クロック発生回路		フラッシュ動作モード	動作電圧範囲	CPU動作周波数 ( $f_{CLK}$ ) <sup>注1</sup>
メイン・システム・クロック ( $f_{MAIN}$ )	高速オンチップ・オシレータ・クロック ( $f_{IH}$ )	HS (高速メイン) モード	$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1 MHz~32 MHz
			$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	1 MHz~16 MHz
		LS (低速メイン) モード	$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1 MHz~8 MHz
			LV (低電圧メイン) モード <sup>注2</sup>	$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$
	X1クロック発振周波数 ( $f_X$ )	HS (高速メイン) モード	$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1 MHz~20 MHz
		LS (低速メイン) モード	$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1 MHz~8 MHz
		LV (低電圧メイン) モード <sup>注2</sup>	$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1 MHz~4 MHz
	外部メイン・システム・クロック ( $f_{EX}$ )	HS (高速メイン) モード	$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1 MHz~20 MHz
$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$			1 MHz~16 MHz	
LS (低速メイン) モード		$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1 MHz~8 MHz	
		LV (低電圧メイン) モード <sup>注2</sup>	$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1 MHz~4 MHz
サブシステム・クロック ( $f_{SUB}$ )	XT1クロック ( $f_{XT}$ )	—	$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	32.768 kHz
	外部サブシステム・クロック ( $f_{EXT}$ )	—	$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	32.768 kHz

**注1.** 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。

また、実装回路上で評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

**2.** DC-DCコンバータ使用時は使用不可。



### 30.3 発振回路特性

#### 30.3.1 X1, XT1, XRF発振回路特性

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6 \text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
X1クロック発振周波数 <sup>注1</sup>	セラミック発振子 水晶振動子	f <sub>X</sub>	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	1		20	MHz
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1		8	MHz
			$1.6 \text{ V} \leq V_{DD} \leq 1.8 \text{ V}$	1		4	MHz
XT1クロック発振周波数 <sup>注1</sup>	f <sub>XT</sub>		32	32.768	35	kHz	
RF基準クロック発振周波数 <sup>注2</sup>	f <sub>XRF</sub>			32		MHz	
RF基準クロック発振周波数精度 <sup>注2</sup>	f <sub>XRFP</sub>		-20		+20	ppm	

**注1.** 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

2. RFトランシーバ用基準クロックの発振周波数特性です。

**注意** リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

**備考** X1, XT1発振回路を使用する場合は、6.4 システム・クロック発振回路を参照してください。

#### 30.3.2 オンチップ・オシレータ特性

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6 \text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
高速オンチップ・オシレータ・クロック周波数 <sup>注1,2</sup>	f <sub>IH</sub>		1		32	MHz	
高速オンチップ・オシレータ・クロック周波数精度	f <sub>IHP</sub>	-20~+85°C	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	-1.5		+1.5	%
			$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$	-5.0		+5.0	%
		-40~-20°C	$1.8 \text{ V} \leq V_{DD} < 3.6 \text{ V}$	-2.5		+2.5	%
			$1.6 \text{ V} \leq V_{DD} \leq 1.8 \text{ V}$	-5.5		+5.5	%
低速オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>IL</sub>			15		kHz	
低速オンチップ・オシレータ・クロック周波数精度	f <sub>ILP</sub>		-15		+15	%	
RFスロー・クロック用オンチップ・オシレータ・クロック周波数 <sup>注3</sup>	f <sub>ILRF</sub>			32.768		kHz	
RFスロー・クロック用オンチップ・オシレータ・クロック周波数精度	f <sub>ILRFP</sub>		-0.025		0.025	%	

**注1.** 高速オンチップ・オシレータの周波数は、オプション・バイト（000C2H/010C2H）のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

3. 発振回路の特性だけを示すものです。

## 30.4 DC特性

## 30.4.1 出力電流

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6 \text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0 \text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル 出力電流 <sup>注1</sup>	I <sub>OH1</sub>	P00, P01, P02, P03, P10, P11, P12, P13, P14, P15, P16, P30, P40, P120, P130, P140, P147	1端子	$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			-10.0 <sup>注2</sup>	mA
			合計 <sup>注3</sup>	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			-10.0	mA
				$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			-5.0	mA
				$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$			-2.5	mA
	合計 <sup>注3</sup>	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			-19.0	mA		
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			-10.0	mA		
		$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$			-5.0	mA		
	全端子合計 <sup>注3</sup>			$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			-135.0 <sup>注4</sup>	mA
	I <sub>OH2</sub>	P20, P21, P22, P23	1端子	$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			-0.1 <sup>注2</sup>	mA
			合計 <sup>注3</sup>	$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			-1.5	mA
I <sub>OHRF</sub>	GPIO0, GPIO1, GPIO2, GPIO3	1端子	$1.6 \text{ V} \leq V_{DD\_RF} \leq 3.6 \text{ V}$			-2.0	mA	
ロウ・レベル 出力電流 <sup>注1</sup>	I <sub>OL1</sub>	P00, P01, P02, P03, P10, P11, P12, P13, P14, P15, P16, P30, P40, P120, P130, P140, P147	1端子	$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			20.0 <sup>注2</sup>	mA
			1端子	$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			15.0 <sup>注2</sup>	mA
			合計 <sup>注3</sup>	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			15.0	mA
				$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			9.0	mA
				$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$			4.5	mA
			合計 <sup>注3</sup>	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			35.0	mA
	$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$				20.0	mA		
	$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$				10.0	mA		
	全端子合計 <sup>注3</sup>			$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			150.0	mA
	I <sub>OL2</sub>	P20, P21, P22, P23	1端子	$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			0.4 <sup>注2</sup>	mA
合計 <sup>注3</sup>			$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			5.0	mA	
I <sub>OLRF</sub>	GPIO0, GPIO1, GPIO2, GPIO3	1端子	$1.6 \text{ V} \leq V_{DD\_RF} \leq 3.6 \text{ V}$			2.0	mA	

注1.  $V_{DD}$ 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

- ただし、合計の電流値を超えないでください。
- デューティ = 70 %の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn %に変更する場合）。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) \div (n \times 0.01)$$

$$\text{＜計算例＞ } I_{OH} = -10.0 \text{ mAの場合, } n = 50 \%$$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) \div (50 \times 0.01) = -14.0 \text{ mA}$$

ただし、1端子当たり流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

- 産業用途向け製品（R5F11AGGDNB, R5F11AGHDNB, R5F11AGJDNB）は、-100.0 mAです。

（注意、備考は次ページにあります。）

**注意** P00, P02, P03, P10-P15は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

### 30.4.2 入力電流

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6\text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル 入力電圧	$V_{IH1}$	P00, P01, P02, P03, P10, P11, P12, P13, P14, P15, P16, P30, P40, P120, P130, P140, P147	通常モード ( $I_{THL}=1$ )	$0.8V_{DD}$		$V_{DD}$	V
	$V_{IH2}$	P01, P03, P10, P11, P13, P14, P15, P16	TTLモード $3.3\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	2.0		$V_{DD}$	V
			TTLモード $1.6\text{ V} \leq V_{DD} < 3.3\text{ V}$	1.5		$V_{DD}$	V
	$V_{IH3}$	P20, P21, P22, P23		$0.7V_{DD}$		$V_{DD}$	V
	$V_{IH4}$	P60, P61		$0.7V_{DD}$		6.0	V
	$V_{IH5}$	P121, P122, P123, P124, P137, $\overline{\text{RESET}}$		$0.8V_{DD}$		$V_{DD}$	V
	$V_{IHRF}$	GPIO0, GPIO1, GPIO2, GPIO3		$0.85V_{DD\_RF}$		$V_{DD\_RF}$	V
ロウ・レベル 入力電圧	$V_{IL1}$	P00, P01, P02, P03, P10, P11, P12, P13, P14, P15, P16, P30, P40, P120, P140, P147	通常モード ( $I_{THL}=1$ )	0		$0.2V_{DD}$	V
	$V_{IL2}$	P01, P03, P10, P11, P13, P14, P15, P16	TTLモード $3.3\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	0		0.5	V
			TTLモード $1.6\text{ V} \leq V_{DD} < 3.3\text{ V}$	0		0.32	V
	$V_{IL3}$	P20, P21, P22, P23		0		$0.3V_{DD}$	V
	$V_{IL4}$	P60, P61		0		$0.3V_{DD}$	V
	$V_{IL5}$	P121, P122, P123, P124, P137, $\overline{\text{RESET}}$		0		$0.2V_{DD}$	V
	$V_{ILRF}$	GPIO0, GPIO1, GPIO2, GPIO3		0		$0.1V_{DD\_RF}$	V

**注意** P00, P02, P03, P10-P15は、N-chオープン・ドレイン・モード時でも $V_{IH}$ の最大値 (MAX.) は $V_{DD}$ です。

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 30.4.3 出力電圧

(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 出力電圧	V <sub>OH1</sub>	I <sub>OH</sub> = -2.0 mA	P00, P01, P02, P03,	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		V <sub>DD</sub> -0.6	V
		I <sub>OH</sub> = -1.5 mA	P10, P11, P12, P13,	1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V		V <sub>DD</sub> -0.5	V
		I <sub>OH</sub> = -1.0 mA	P14, P15, P16, P30, P40, P120, P140, P147	1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V		V <sub>DD</sub> -0.5	V
		I <sub>OH</sub> = -10 μA	P130			V <sub>DD</sub> -0.3	V
	V <sub>OH2</sub>	I <sub>OH</sub> = -100 μA	P20, P21, P22, P23			V <sub>DD</sub> -0.5	V
	V <sub>OHRF</sub>	I <sub>OH</sub> = -2.0 mA	GPIO0, GPIO1,	2.7 V ≤ V <sub>DD_RF</sub> ≤ 3.6 V		V <sub>DD_RF</sub> -0.3	V
		I <sub>OH</sub> = -1.5 mA	GPIO2, GPIO3	1.6 V ≤ V <sub>DD_RF</sub> ≤ 3.6 V		V <sub>DD_RF</sub> -0.3	V
ロウ・レベル 出力電圧	V <sub>OL1</sub>	I <sub>OL</sub> = 3.0 mA	P00, P01, P02, P03,	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		0.6	V
		I <sub>OL</sub> = 1.5 mA	P10, P11, P12, P13,			0.4	V
		I <sub>OL</sub> = 0.6 mA	P14, P15, P16, P30,	1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V		0.4	V
		I <sub>OL</sub> = 0.3 mA	P40, P120, P130, P140, P147	1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V		0.4	V
	V <sub>OL2</sub>	I <sub>OL</sub> = 400 μA	P20, P21, P22, P23			0.4	V
	V <sub>OLRF</sub>		GPIO0, GPIO1, GPIO2, GPIO3			0.3	V

**注意** P00, P02, P03, P10-P15は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 30.4.4 入力リーク電流

(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル 入力リーク電流	I <sub>LIH1</sub>	V <sub>I</sub> = V <sub>DD</sub>	P00, P01, P02, P03, P10, P11, P12, P13, P14, P15, P16, P30, P40, P60, P61, P120, P140, P147			1	μA	
	I <sub>LIH2</sub>	V <sub>I</sub> = V <sub>DD</sub>	P20, P21, P22, P23, P137, RESET			1	μA	
	I <sub>LIH3</sub>	V <sub>I</sub> = V <sub>DD</sub>	P121, P122, P123, P124 (EXCLK, EXCLKS) (XT1, XT2)	入力ポート時			1	μA
				外部クロック入力時			1	μA
				発振子接続時			10	μA
I <sub>LIHRF</sub>	V <sub>I</sub> = V <sub>DD_RF</sub>	GPIO0, GPIO1, GPIO2, GPIO3			10	μA		
ロウ・レベル 入力リーク電流	I <sub>LIL1</sub>	V <sub>I</sub> = V <sub>SS</sub>	P00, P01, P02, P03, P10, P11, P12, P13, P14, P15, P16, P30, P40, P60, P61, P120, P140, P147			-1	μA	
	I <sub>LIL2</sub>	V <sub>I</sub> = V <sub>SS</sub>	P20, P21, P22, P23, P137, RESET			-1	μA	
	I <sub>LIL3</sub>	V <sub>I</sub> = V <sub>SS</sub>	P121, P122, P123, P124 (EXCLK, EXCLKS) (XT1, XT2)	入力ポート時			-1	μA
				外部クロック入力時			-1	μA
				発振子接続時			-10	μA
I <sub>LILRF4</sub>	V <sub>I</sub> = V <sub>SS_RF</sub>	GPIO0, GPIO1, GPIO2, GPIO3			-10	μA		

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 30.4.5 抵抗

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6\text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
内蔵プルアップ抵抗	Ru	$V_I = V_{SS}$	P00, P01, P02, P03, P10, P11, P12, P13, P14, P15, P16, P30, P40, P120, P140, P147 入力モード時	10	20	100	k $\Omega$

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

## 30.5 消費電流

RL78/G1Dの消費電流は、MCU部( $V_{DD}$ 端子に流れる電流)とRF部( $V_{DD\_RF}$ ,  $AV_{DD\_RF}$ 端子に流れる電流)の合算値です。

30.5.1にMCU部( $V_{DD}$ 端子に流れる電流)を、30.5.2にRF部( $V_{DD\_RF}$ ,  $AV_{DD\_RF}$ 端子に流れる電流)を示します。

### 30.5.1 MCU部の消費電流

#### (1) 動作電流

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6 \text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0 \text{ V}$ )

項目	略号	条件				MIN.	TYP.	MAX.	単位
動作電流 <sup>注1</sup>	IDD1	HS (高速メイン)モード <sup>注5</sup>	基本動作	$f_{IH} = 32 \text{ MHz}$ <sup>注2</sup>	$V_{DD} = 3.0 \text{ V}$		2.3		mA
			通常動作	$f_{IH} = 32 \text{ MHz}$ <sup>注2</sup>	$V_{DD} = 3.0 \text{ V}$		5.2	8.5	mA
				$f_{IH} = 24 \text{ MHz}$ <sup>注2</sup>	$V_{DD} = 3.0 \text{ V}$		4.1	6.6	mA
				$f_{IH} = 16 \text{ MHz}$ <sup>注2</sup>	$V_{DD} = 3.0 \text{ V}$		3.0	4.7	mA
		LS (低速メイン)モード <sup>注5</sup>	通常動作	$f_{IH} = 8 \text{ MHz}$ <sup>注2</sup>	$V_{DD} = 3.0 \text{ V}$		1.3	2.1	mA
					$V_{DD} = 2.0 \text{ V}$		1.3	2.1	mA
		LV (低電圧メイン)モード <sup>注5</sup>	通常動作	$f_{IH} = 4 \text{ MHz}$ <sup>注2</sup>	$V_{DD} = 3.0 \text{ V}$		1.3	1.8	mA
					$V_{DD} = 2.0 \text{ V}$		1.3	1.8	mA
		HS (高速メイン)モード <sup>注5</sup>	通常動作	$f_{MX} = 20 \text{ MHz}$ <sup>注3</sup>	$V_{DD} = 3.0 \text{ V}$ <sup>注6</sup>		3.4	5.5	mA
							3.6	5.7	mA
				$f_{MX} = 10 \text{ MHz}$ <sup>注3</sup>	$V_{DD} = 3.0 \text{ V}$ <sup>注6</sup>		2.1	3.2	mA
							2.1	3.2	mA
		LS (低速メイン)モード <sup>注5</sup>	通常動作	$f_{MX} = 8 \text{ MHz}$ <sup>注3</sup>	$V_{DD} = 3.0 \text{ V}$ <sup>注6</sup>		1.2	2.0	mA
							1.2	2.0	mA
					$V_{DD} = 2.0 \text{ V}$ <sup>注6</sup>		1.2	2.0	mA
							1.2	2.0	mA
		サブシステム・クロック動作	通常動作	$f_{SUB} = 32.768 \text{ kHz}$ <sup>注4</sup>	$T_A = -40^\circ\text{C}$ <sup>注6</sup>		4.8	5.9	$\mu\text{A}$
							4.9	6.0	$\mu\text{A}$
					$T_A = +25^\circ\text{C}$ <sup>注6</sup>		4.9	5.9	$\mu\text{A}$
							5.0	6.0	$\mu\text{A}$
$T_A = +50^\circ\text{C}$ <sup>注6</sup>					5.0	7.6	$\mu\text{A}$		
					5.1	7.7	$\mu\text{A}$		
$T_A = +70^\circ\text{C}$ <sup>注6</sup>					5.2	9.3	$\mu\text{A}$		
					5.3	9.4	$\mu\text{A}$		
$T_A = +85^\circ\text{C}$ <sup>注6</sup>		5.7	13.3	$\mu\text{A}$					
		5.8	13.4	$\mu\text{A}$					

(注、備考は次ページにあります。)

- 注1.**  $V_{DD}$ に流れる電流です。入力端子を $V_{DD}$ または $V_{SS}$ に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. 高速システム・クロック、サブシステム・クロック停止時。
  3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
  4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。RTC、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
  5. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。

HS（高速メイン）モード	: $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 32\text{ MHz}$
	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$
LS（低速メイン）モード	: $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$
LV（低電圧メイン）モード	: $1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 4\text{ MHz}$
  6. 上段の値は方形波入力時、下段の値は発振子接続時。

- 備考1.**  $f_{MX}$  : 高速システム・クロック周波数（外部メイン・システム・クロック周波数）
2.  $f_{IH}$  : 高速オンチップ・オシレータ・クロック周波数
  3.  $f_{SUB}$  : サブシステム・クロック周波数
  4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、 $T_A = 25\text{ }^\circ\text{C}$ です。

## (2) スタンバイ電流

(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
HALT電流 <sup>注1,2</sup>	IDD2	HS (高速メイン)モード <sup>注7</sup>	f <sub>IH</sub> = 32 MHz <sup>注4</sup>	V <sub>DD</sub> = 3.0 V		0.62	1.86	mA
			f <sub>IH</sub> = 24 MHz <sup>注4</sup>	V <sub>DD</sub> = 3.0 V		0.50	1.45	mA
			f <sub>IH</sub> = 16 MHz <sup>注4</sup>	V <sub>DD</sub> = 3.0 V		0.44	1.11	mA
		LS (低速メイン)モード <sup>注7</sup>	f <sub>IH</sub> = 8 MHz <sup>注4</sup>	V <sub>DD</sub> = 3.0 V		290	620	μA
				V <sub>DD</sub> = 2.0 V		290	620	μA
		LV (低電圧メイン)モード <sup>注7</sup>	f <sub>IH</sub> = 4 MHz <sup>注4</sup>	V <sub>DD</sub> = 3.0 V		440	680	μA
				V <sub>DD</sub> = 2.0 V		440	680	μA
		HS (高速メイン)モード <sup>注7</sup>	f <sub>MX</sub> = 20 MHz <sup>注3</sup>	V <sub>DD</sub> = 3.0 V <sup>注9</sup>		0.31	1.08	mA
						0.48	1.28	mA
				V <sub>DD</sub> = 3.0 V <sup>注9</sup>		0.21	0.63	mA
		LS (低速メイン)モード <sup>注7</sup>	f <sub>MX</sub> = 10 MHz <sup>注3</sup>	V <sub>DD</sub> = 3.0 V <sup>注9</sup>		0.28	0.71	mA
						110	360	μA
				V <sub>DD</sub> = 2.0 V <sup>注9</sup>		160	420	μA
						110	360	μA
		サブシステム・クロック動作	f <sub>SUB</sub> = 32.768 kHz <sup>注5</sup>	T <sub>A</sub> = -40°C <sup>注9</sup>		0.28	0.61	μA
						0.47	0.80	μA
				T <sub>A</sub> = +25°C <sup>注9</sup>		0.34	0.61	μA
	0.53				0.80	μA		
T <sub>A</sub> = +50°C <sup>注9</sup>				0.41	2.30	μA		
				0.60	2.49	μA		
T <sub>A</sub> = +70°C <sup>注9</sup>		0.64	4.03	μA				
		0.83	4.22	μA				
T <sub>A</sub> = +85°C <sup>注9</sup>		1.09	8.04	μA				
		1.28	8.23	μA				
STOP電流 <sup>注6,8</sup>	IDD3	T <sub>A</sub> = -40°C			0.19	0.52	μA	
		T <sub>A</sub> = +25°C			0.25	0.52	μA	
		T <sub>A</sub> = +50°C			0.32	2.21	μA	
		T <sub>A</sub> = +70°C			0.55	3.94	μA	
		T <sub>A</sub> = +85°C			1.00	7.95	μA	

(注, 備考は次ページにあります。)



- 注1.**  $V_{DD}$ に流れる電流です。入力端子を $V_{DD}$ または $V_{SS}$ に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. フラッシュ・メモリでのHALT命令実行時。
  3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
  4. 高速システム・クロック、サブシステム・クロックは停止時。
  5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。RTCLPC = 1、かつ超低消費発振（AMPHS1 = 1）設定時。RTCに流れる電流は含みます。ただし、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
  6. リアルタイム・クロック、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
  7. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。
 

HS（高速メイン）モード	:	$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 32\text{ MHz}$
		$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$
LS（低速メイン）モード	:	$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$
LV（低電圧メイン）モード	:	$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 4\text{ MHz}$
  8. STOPモード時にサブシステム・クロックを動作させる場合は、サブシステム・クロック動作のHALTモード時と同じになります。
  9. 上段の値は方形波入力時、下段の値は発振子接続時。

**備考1.**  $f_{MX}$  : 高速システム・クロック周波数（外部メイン・システム・クロック周波数）

2.  $f_{IH}$  : 高速オンチップ・オシレータ・クロック周波数

3.  $f_{SUB}$  : サブシステム・クロック周波数

4. 「サブシステム・クロック動作」、 「STOPモード」以外のTYP.値の温度条件は、 $T_A = 25\text{ }^\circ\text{C}$ です。

## (3) 周辺電流

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6 \text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0 \text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	$I_{FIL}$ <sup>注1</sup>				0.20		$\mu\text{A}$
PCLBUZ0とEXSLK_RFを接続し、RFスロー・クロックをMCU部からRF部へ供給した場合の電流	$I_{PCEX}$ <sup>注1</sup>				1.0		$\mu\text{A}$
RTC動作電流	$I_{RTC}$ <sup>注1, 2, 3</sup>				0.02		$\mu\text{A}$
12ビット・インターバル・タイマ動作電流	$I_{IT}$ <sup>注1, 2, 4</sup>				0.02		$\mu\text{A}$
ウォッチドッグ・タイマ動作電流	$I_{WDT}$ <sup>注1, 2, 5</sup>	$f_{IL} = 15 \text{ kHz}$			0.22		$\mu\text{A}$
A/Dコンバータ動作電流	$I_{ADC}$ <sup>注1, 6</sup>	最高速変換時	$AV_{REFP} = V_{DD} = 3.0 \text{ V}$		0.5	0.7	$\text{mA}$
A/Dコンバータ基準電圧電流	$I_{ADREF}$ <sup>注1</sup>				75.0		$\mu\text{A}$
温度センサ動作電流	$I_{TMPS}$ <sup>注1</sup>				75.0		$\mu\text{A}$
LVD動作電流	$I_{LVI}$ <sup>注1, 7</sup>				0.08		$\mu\text{A}$
フラッシュ・セルフ・プログラミング動作電流	$I_{FSP}$ <sup>注1, 9</sup>				2.50	12.20	$\text{mA}$
BGO電流	$I_{BGO}$ <sup>注1, 8</sup>				2.50	12.20	$\text{mA}$
SNOOZE動作電流	$I_{SNOZ}$ <sup>注1</sup>	ADC動作	モード遷移中 <sup>注10</sup>		0.50	0.60	$\text{mA}$
			変換動作中, 低電圧モード, $AV_{REFP} = V_{DD} = 3.0 \text{ V}$		1.20	1.44	$\text{mA}$
		CSI/UART動作				0.70	0.84

注1.  $V_{DD}$ に流れる電流です。

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- リアルタイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は,  $I_{DD1}$ または $I_{DD2}$ に $I_{RTC}$ を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時は $I_{FIL}$ を加算してください。 $I_{DD2}$ のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
- 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は,  $I_{DD1}$ または $I_{DD2}$ に $I_{IT}$ を加算した値が, MCU部の電流値となります。また, 低速オンチップ・オシレータ選択時は $I_{FIL}$ を加算してください。
- ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は,  $I_{DD1}$ ,  $I_{DD2}$ または $I_{DD3}$ に $I_{WDT}$ を加算した値が, MCU部の電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時は $I_{DD1}$ または $I_{DD2}$ に $I_{ADC}$ を加算した値が, MCU部の電流値となります。
- LVD回路にのみ流れる電流です。LVD回路が動作時は,  $I_{DD1}$ ,  $I_{DD2}$ または $I_{DD3}$ に $I_{LVI}$ を加算した値が, MCU部の電流値となります。

(注, 備考は次ページにあります。)

注8. データ・フラッシュ書き換え動作に流れる電流です。

9. セルフ・プログラミング時に動作に流れる電流です。

10. SNOOZEモードへの遷移時間は、ユーザーズマニュアル ハードウェア編を参照してください。

備考1.  $f_{IL}$  : 低速オンチップ・オシレータ・クロック周波数

2.  $f_{SUB}$  : サブシステム・クロック周波数

3.  $f_{CLK}$  : CPU/周辺ハードウェア・クロック周波数

4. TYP.値の温度条件は、 $T_A = 25^\circ\text{C}$ です。

### 30.5.2 RF部の消費電流

( $T_A = -40\sim+85^\circ\text{C}$ ,  $1.6\text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 注1,2	I <sub>DDRF<sub>TX</sub></sub>	送信ピーク 電流	送信出力電力 0dBm時	RF normal mode	-	4.3	5.7	mA
					-	7.4	9.0	mA
				RF Low Power mode	-	2.6	4.1	mA
					-	4.4	6.0	mA
				RF High performance mode	-	4.3	5.7	mA
					-	7.4	9.0	mA
	I <sub>DDRF<sub>RX</sub></sub>	受信ピーク電流		RF normal mode	-	3.5	5.0	mA
					-	6.2	7.5	mA
				RF Low Power mode	-	3.3	4.8	mA
					-	5.8	7.1	mA
				RF High performance mode	-	3.7	5.2	mA
					-	6.6	7.9	mA
	I <sub>DDRF<sub>ST</sub></sub>	STANDBY_RF電流			-	0.40	0.9	mA
					-	0.28	0.8	mA
I <sub>DDRF<sub>SL</sub></sub>	SLEEP_RF電流			-	0.50	1.1	mA	
				-	0.36	0.8	mA	
I <sub>DDRF<sub>DS</sub></sub>	DEEP_SLEEP電流		RFスロー・クロック	-	0.14	3.6	μA	
			EXSLK_RF外部入力時	-	0.14	3.6	μA	
			RFスロー・クロック	-	1.8	6.8	μA	
			オンチップ・オシレータ時	-	1.8	6.8	μA	
I <sub>DDRF<sub>PD</sub></sub>	POWER_DOWN電流			-	0.10	3.0	μA	
				-	0.10	3.0	μA	
I <sub>DDRF<sub>RS</sub></sub>	RESET_RF電流			-	0.10	3.0	μA	
				-	0.10	3.0	μA	
I <sub>DDRF<sub>FIL</sub></sub>	IDLE_RF電流			-	0.50	1.1	mA	
				-	0.60	1.1	mA	
I <sub>DDRF<sub>SU</sub></sub>	SETUP_RF電流			-	2.5	4.7	mA	
				-	3.5	5.0	mA	

注1.  $V_{DD\_RF}$ ,  $AV_{DD\_RF}$ に流れるトータル電流です。

2. 各項目、上段がRF部内蔵のDC/DCコンバータ使用時、下段がDC/DCコンバータ未使用時です。

## 30.6 AC特性

(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
サイクル・タイム (最小命令実行時間)	T <sub>CY</sub>	メイン・システム クロック (f <sub>MAIN</sub> ) 動作	HS (高速メイン) モード	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0.03125		1	μs	
				2.4 V ≤ V <sub>DD</sub> < 2.7 V	0.0625		1	μs	
			LV (低電圧メイン) モード		0.25		1	μs	
			LS (低速メイン) モード		0.125		1	μs	
			サブシステム・クロック (f <sub>SUB</sub> ) 動作		28.5	30.5	31.3	μs	
			セルフ・プログラ ミング実 行時	HS (高速メイン) モード	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0.03125		1	μs
2.4 V ≤ V <sub>DD</sub> < 2.7 V	0.0625				1	μs			
LV (低電圧メイン) モード		0.25			1	μs			
LS (低速メイン) モード		0.125			1	μs			
外部クロック 入力周波数	f <sub>EX</sub>	EXCLK		2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		1	20	MHz	
				2.4 V ≤ V <sub>DD</sub> < 2.7 V		1	16	MHz	
				1.8 V ≤ V <sub>DD</sub> < 2.4 V		1	8	MHz	
	f <sub>EXS</sub>	EXCLKS		32		35	kHz		
f <sub>EXRF</sub>	EXSLK_RF	32.768kHz時	±500ppm						
		16.384kHz時	±500ppm						
外部クロック入力 ハイ・ロウ・ レベル幅	t <sub>EXH</sub> t <sub>EXL</sub>	EXCLK		2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		24		ns	
				2.4 V ≤ V <sub>DD</sub> < 2.7 V		30		ns	
				1.8 V ≤ V <sub>DD</sub> < 2.4 V		60		ns	
	t <sub>EXHS</sub> t <sub>EXLS</sub>	EXCLKS		13.7			μs		
	t <sub>EXHRF</sub> t <sub>EXLRF</sub>	EXSLK_RF	32.768kHz 入力時		0.08	15.258	32.69	μs	
			16.384kHz 入力時		0.08	8.192	16.304	μs	
タイマ入力 ハイ・ロウ・ レベル幅	t <sub>TIH</sub> , t <sub>TIL</sub>	TI00, TI01, TI02, TI03, TI04, TI05, TI06, TI07		1/f <sub>MCK</sub> +10				ns	
タイマ出力 周波数	t <sub>TO</sub>	TI00, TI01, TI02, TI03,	HS (高速メイン) モード	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V			8	MHz	
				2.4 V ≤ V <sub>DD</sub> < 2.7 V			4	MHz	
		TI04, TI05, TI06, TI07	LV (低電圧メイン) モード					4	MHz
			LS (低速メイン) モード					4	MHz
クロック/プザー 出力周波数	t <sub>PCL</sub>	PCLBUZ0	HS (高速メイン) モード	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V			8	MHz	
				2.4 V ≤ V <sub>DD</sub> < 2.7 V			4	MHz	
			LV (低電圧メイン) モード					4	MHz
			LS (低速メイン) モード					4	MHz
	t <sub>PCLRF</sub>	CLKOUT_RF					16	MHz	

備考 f<sub>MCK</sub> : タイマ・アレイ・ユニットの動作クロック周波数

(タイマ・モード・レジスタmn (TMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-7) )

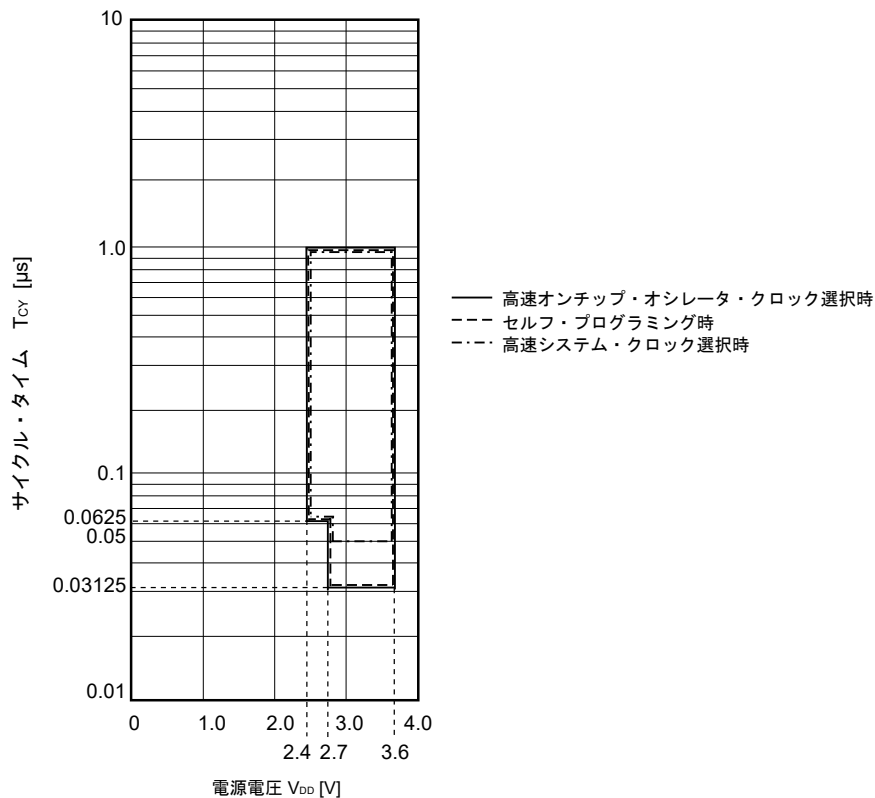
( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6 \text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0 \text{ V}$ )

(2/2)

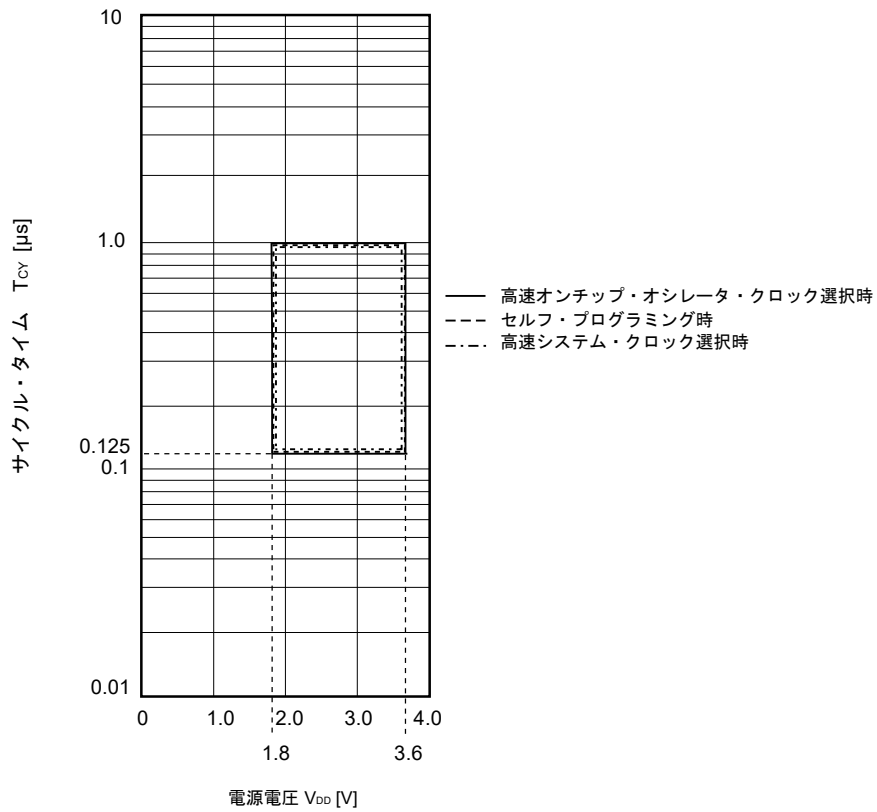
項目	略号	条件	MIN.	TYP.	MAX.	単位
割り込み入力 ハイ・ロウ・ レベル幅	$t_{INTH}$ $t_{INTL}$	INTP0, INTP3, INTP5, INTP6	1			$\mu\text{s}$
外部PA制御出力 ハイ・レベル幅	$t_{PAHRF}$	TXSELH_RF	283			$\mu\text{s}$
外部PA制御出力 ロウ・レベル幅	$t_{PALRF}$	TXSELL_RF	283			$\mu\text{s}$
RESETロウ・レベル 幅	$t_{RSL}$	RESET	10			$\mu\text{s}$
RESET_RF内部端 子ロウ・レベル幅	$t_{RSLRF}$	RESET_RF内部端子	31			$\mu\text{s}$

メイン・システム・クロック動作時の最小命令実行時間

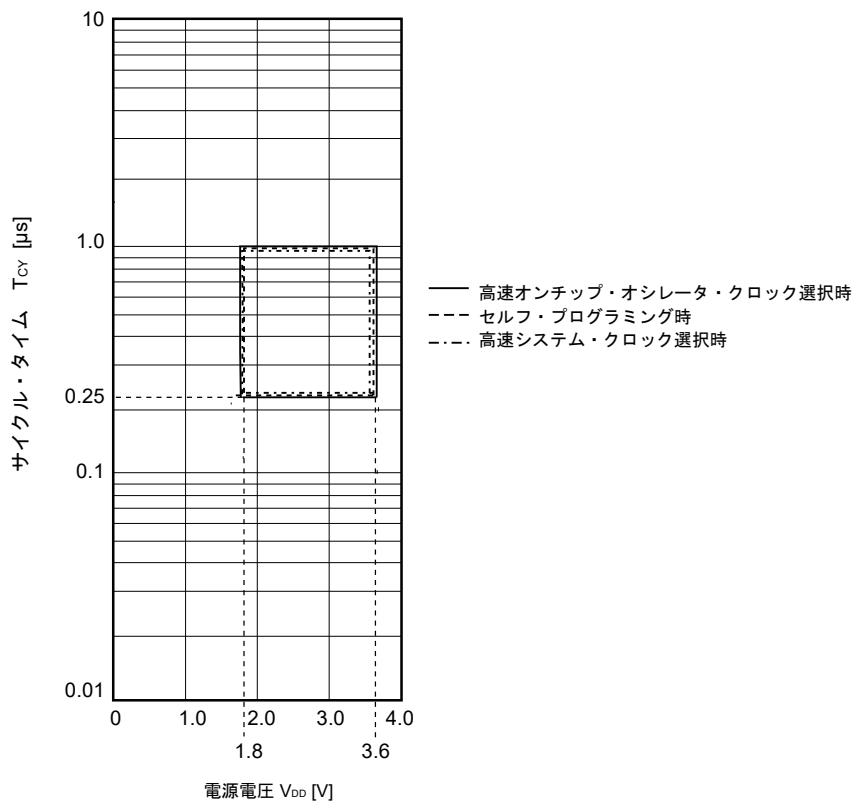
$T_{CY}$  vs  $V_{DD}$  (HS (高速メイン) モード)



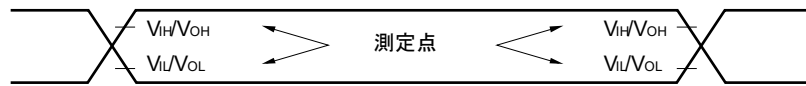
T<sub>CY</sub> vs V<sub>DD</sub> (LS (低速メイン) モード)



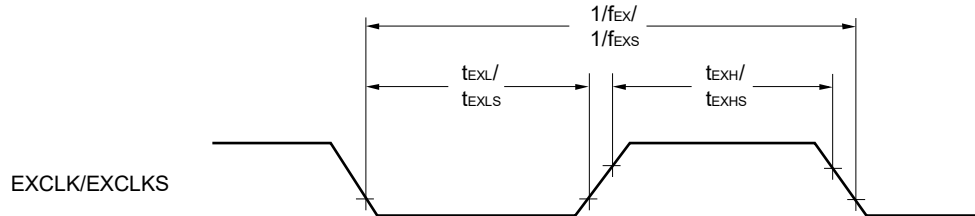
T<sub>CY</sub> vs V<sub>DD</sub> (LV (低電圧メイン) モード)



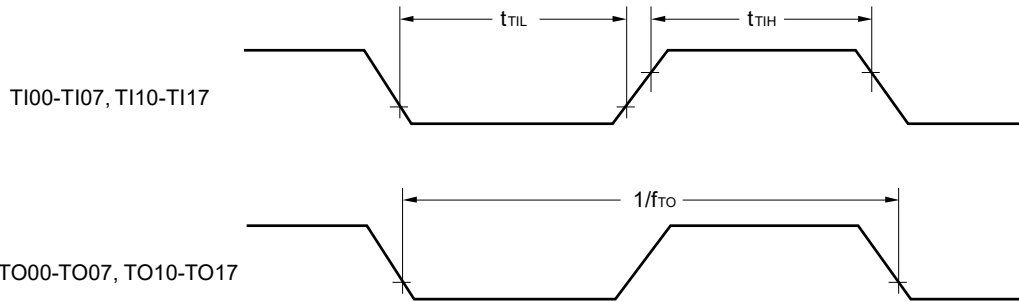
ACタイミング測定点



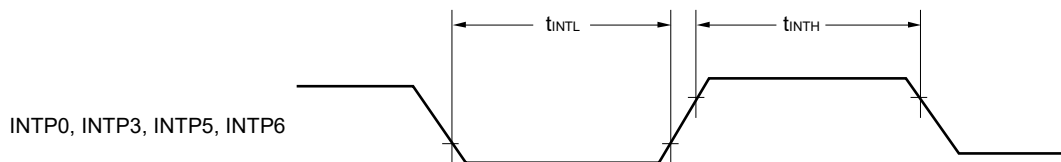
外部システム・クロック・タイミング



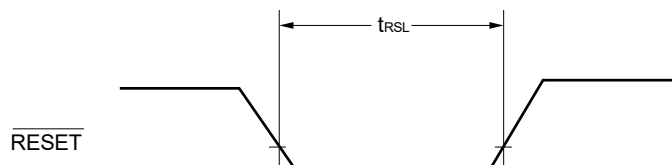
TI/TOタイミング



割り込み要求入力タイミング

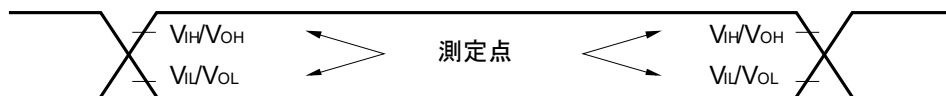


RESET入力タイミング



## 30.7 周辺機能特性

ACタイミング測定点



### 30.7.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード)

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6\text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

項目	略号	条件	HS (高速メイン)	LS (低速メイン)	LV (低電圧メイン)	単位
			モード	モード	モード	
			MAX.	MAX.	MAX.	
転送レート <sup>注1</sup>		2.4 V $\leq$ V <sub>DD</sub> $\leq$ 3.6 V	f <sub>mck</sub> /6	f <sub>mck</sub> /6	f <sub>mck</sub> /6	bps
		最大転送レート理論値 f <sub>mck</sub> = f <sub>clk</sub> <sup>注2</sup>	5.3	1.3	0.6	Mbps
		1.8 V $\leq$ V <sub>DD</sub> $\leq$ 3.6 V	—	f <sub>mck</sub> /6	f <sub>mck</sub> /6	bps
		最大転送レート理論値 f <sub>mck</sub> = f <sub>clk</sub> <sup>注2</sup>	—	1.3	0.6	Mbps
		1.6 V $\leq$ V <sub>DD</sub> $\leq$ 3.6 V	—	—	f <sub>mck</sub> /6	bps
		最大転送レート理論値 f <sub>mck</sub> = f <sub>clk</sub> <sup>注2</sup>	—	—	0.6	Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみです。

2. CPU/周辺ハードウェア・クロック (f<sub>clk</sub>) の最高動作周波数を次に示します。

HS(高速メイン)モード : 32 MHz (2.7 V  $\leq$  V<sub>DD</sub>  $\leq$  3.6 V)

16 MHz (2.4 V  $\leq$  V<sub>DD</sub>  $\leq$  3.6 V)

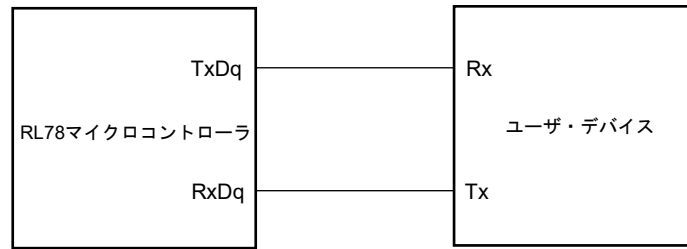
LS(低速メイン)モード : 8 MHz (1.8 V  $\leq$  V<sub>DD</sub>  $\leq$  3.6 V)

LV(低電圧メイン)モード : 4 MHz (1.6 V  $\leq$  V<sub>DD</sub>  $\leq$  3.6 V)

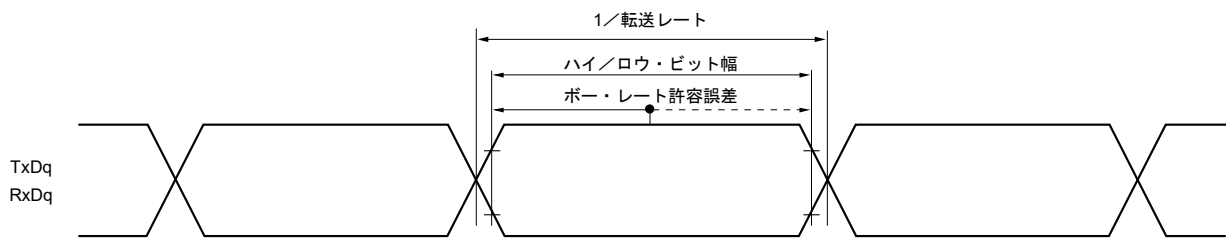
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファを選択、TxDq端子は通常出力モードを選択します。



UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



備考1. q : UART番号 (q = 0, 1) , g : PIM, POM番号 (g = 0, 1)

2.  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00, 01) )

(2) 同電位通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力, CSI00のみ対応)

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $2.7\text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	$t_{KCY1}$	$t_{KCY1} \geq 2/f_{CLK}$	83.3		250		500		ns
SCKpハイ、ロウ・レベル幅	$t_{KH1}$ , $t_{KL1}$		$t_{KCY1}/2-$ 10		$t_{KCY1}/2-$ 50		$t_{KCY1}/2-$ 50		ns
Slpセットアップ時間 (対SCKp↑) 注1	$t_{SIK1}$		33		110		110		ns
Slpホールド時間 (対SCKp↑) 注1	$t_{KSI1}$		10		10		10		ns
SCKp↓→SOp出力 遅延時間注2	$t_{KSO1}$	$C = 20\text{ pF}$ 注3		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは、SCKp, SOp出力ラインの負荷容量です。

**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

**備考1.** このスペックは、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

2. p: CSI番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0), g: PIM, POM番号 (g = 1)

3.  $f_{MCK}$ : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00) )

- (3) 同電位通信時 (CSIモード) (内部通信専用, マスタ・モード, SCKp…内部クロック出力, CSI21 のみ対応)

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6\text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	$t_{KCY1}$	$t_{KCY1} \geq 2/f_{CLK}$ 注	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	250		250		500	ns
			$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	–		250		500	ns
			$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	–		–		500	ns

注  $f_{CLK}$ は, 6.5 MHz以上, 24 MHz以下で使用してください。

備考 このスペックは, CSI21のみ対応します。

## (4) 同電位通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力, CSI00/CSI20 に対応)

(TA = -40~+85°C, 1.6 V ≤ VDD = VDD\_RF = AVDD\_RF ≤ 3.6 V, VSS = VSS\_RF = AVSS\_RF = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	t <sub>KCY1</sub>	t <sub>KCY1</sub> ≥ 4/f <sub>CLK</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	125		500		1000	ns
			2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	250		500		1000	ns
			1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		500		1000	ns
			1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		—		1000	ns
SCKpハイ、ロウ・レベル幅	t <sub>KH1</sub> , t <sub>KL1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	t <sub>KCY1</sub> /2-		t <sub>KCY1</sub> /2-		t <sub>KCY1</sub> /2-	ns	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	18		50		50	ns	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	t <sub>KCY1</sub> /2-		t <sub>KCY1</sub> /2-		t <sub>KCY1</sub> /2-	ns	
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	38		50		50	ns	
Slpセットアップ時間 (対SCKp↑) 注1	t <sub>SIK1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		t <sub>KCY1</sub> /2-		t <sub>KCY1</sub> /2-	ns	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		50		50	ns	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		—		—	ns	
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		—		220	ns	
Slpホールド時間 (対SCKp↑) 注1	t <sub>KSI1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	44		110		110	ns	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	75		110		110	ns	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		110		110	ns	
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		—		220	ns	
SCKp↓→SOp出力 遅延時間注2	t <sub>KSO1</sub>	C = 30 pF注3	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	19		19		19	ns
			2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	19		19		19	ns
			1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		19		19	ns
			1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		—		19	ns
SCKp↓→SOp出力 遅延時間注2	t <sub>KSO1</sub>	C = 30 pF注3	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	25		25		25	ns
			2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	25		25		25	ns
			1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		25		25	ns
			1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	—		—		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは、SCKp, SOp出カラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p: CSI番号 (p = 00, 10), m: ユニット番号 (m = 0, 1),  
n: チャネル番号 (n = 0, 1), g: PIM, POM番号 (g = 0, 1)

2. f<sub>MCK</sub>: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00, 02, 11) )

(5) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp…外部クロック入力, CSI00/CSI20 に対応)

(TA = -40~+85°C, 1.6 V ≤ VDD = VDD\_RF = AVDD\_RF ≤ 3.6 V, VSS = VSS\_RF = AVSS\_RF = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム <sup>注4</sup>	t <sub>KCY2</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	f <sub>MCK</sub> > 16 MHz	8/f <sub>MCK</sub>		–		–		ns
			f <sub>MCK</sub> ≤ 16 MHz	6/f <sub>MCK</sub>		6/f <sub>MCK</sub>		6/f <sub>MCK</sub>		ns
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V		6/f <sub>MCK</sub> かつ500		6/f <sub>MCK</sub> かつ500		6/f <sub>MCK</sub> かつ500		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V		–		6/f <sub>MCK</sub> かつ750		6/f <sub>MCK</sub> かつ750		ns
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V		–		–		6/f <sub>MCK</sub> かつ 1500		ns
SCKpハイ、ロウ・ レベル幅	t <sub>KH2</sub> , t <sub>KL2</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		t <sub>KCY2</sub> /2–8		t <sub>KCY2</sub> /2–8		t <sub>KCY2</sub> /2–8		ns
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V		t <sub>KCY2</sub> /2– 18		t <sub>KCY2</sub> /2– 18		t <sub>KCY2</sub> /2– 18		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V		–		t <sub>KCY2</sub> /2– 18		t <sub>KCY2</sub> /2– 18		ns
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V		–		–		t <sub>KCY2</sub> /2– 66		ns
Slpセットアップ 時間 (対SCKp ↑) <sup>注1</sup>	t <sub>SIK2</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		1/f <sub>MCK</sub> + 20		1/f <sub>MCK</sub> + 30		1/f <sub>MCK</sub> + 30		ns
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V		1/f <sub>MCK</sub> + 30		1/f <sub>MCK</sub> + 30		1/f <sub>MCK</sub> + 30		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V		–		1/f <sub>MCK</sub> + 30		1/f <sub>MCK</sub> + 30		ns
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V		–		–		1/f <sub>MCK</sub> + 40		ns
Slpホールド時間 (対SCKp ↑) <sup>注1</sup>	t <sub>SI2</sub>	2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V		1/f <sub>MCK</sub> + 31		1/f <sub>MCK</sub> + 31		1/f <sub>MCK</sub> + 31		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V		–		1/f <sub>MCK</sub> + 31		1/f <sub>MCK</sub> + 31		ns
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V		–		–		1/f <sub>MCK</sub> + 250		ns
SCKp ↓ → SOp出力 遅延時間 <sup>注2</sup>	t <sub>SO2</sub>	C = 30 pF <sup>注3</sup>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		2/f <sub>MCK</sub> + 44		2/f <sub>MCK</sub> + 110		2/f <sub>MCK</sub> + 110	ns
			2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V				2/f <sub>MCK</sub> + 75		2/f <sub>MCK</sub> + 110	ns
			1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V				–		2/f <sub>MCK</sub> + 110	ns
			1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V				–		–	2/f <sub>MCK</sub> + 220

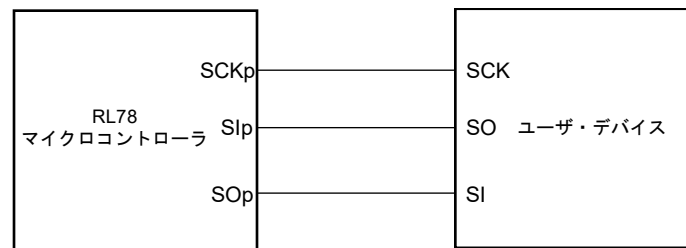
(注, 注意, 備考は次ページにあります。)

- 注1.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。
- 2.** DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。
- 3.** Cは、SO<sub>p</sub>出力ラインの負荷容量です。
- 4.** SNOOZEモードでの転送レートは、MAX. : 1 Mbps

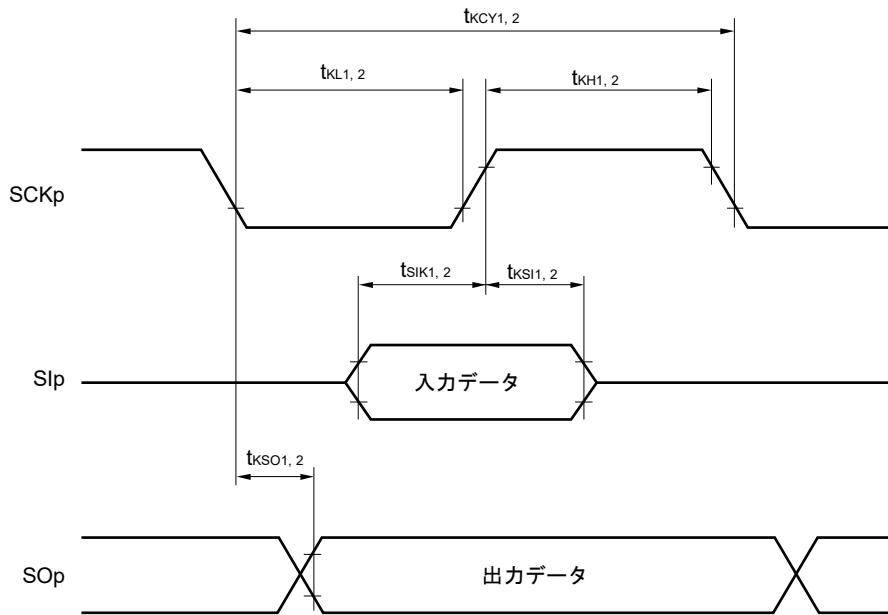
**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子は通常入力バッファを選択し、SO<sub>p</sub>端子は通常出力モードを選択します。

- 備考1.** p : CSI番号 (p = 00, 20) , m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0) ,  
g : PIM, POM番号 (g = 1)
- 2.** f<sub>MCK</sub> : シリアル・アレイ・ユニットの動作クロック周波数  
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00, 10) )

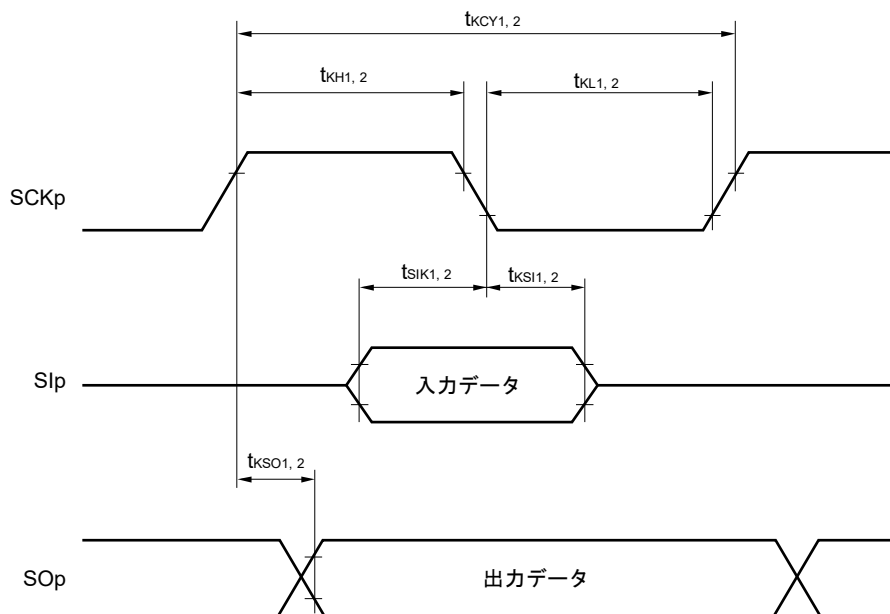
CSIモード接続図 (同電位通信時)



CSIモード・シリアル転送タイミング（同電位通信時）  
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング（同電位通信時）  
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号 (p = 00, 10, 21)

2. m : ユニット番号, n : チャネル番号 (mn = 00, 02, 11)

(6) 同電位通信時 (簡易I<sup>2</sup>Cモード)(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	f <sub>SCL</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 50 pF, R <sub>b</sub> = 2.7 kΩ		1000 <sup>注1</sup>		400 <sup>注1</sup>		400 <sup>注1</sup>	kHz
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 3 kΩ		400 <sup>注1</sup>		400 <sup>注1</sup>		400 <sup>注1</sup>	kHz
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 3 kΩ		–		400 <sup>注1</sup>		400 <sup>注1</sup>	kHz
		2.4 V ≤ V <sub>DD</sub> < 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ		300 <sup>注1</sup>		300 <sup>注1</sup>		300 <sup>注1</sup>	kHz
		1.8 V ≤ V <sub>DD</sub> < 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ		–		300 <sup>注1</sup>		300 <sup>注1</sup>	kHz
		1.6 V ≤ V <sub>DD</sub> < 1.8 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ		–		–		250 <sup>注1</sup>	kHz
SCLr = "L"のホールド・タイム	t <sub>LOW</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 50 pF, R <sub>b</sub> = 2.7 kΩ	475		1150		1150		ns
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 3 kΩ	–		1150		1150		ns
		2.4 V ≤ V <sub>DD</sub> < 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	1550		1550		1550		ns
		1.8 V ≤ V <sub>DD</sub> < 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	–		1550		1550		ns
		1.6 V ≤ V <sub>DD</sub> < 1.8 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	–		–		1850		ns
SCLr = "H"のホールド・タイム	t <sub>HIGH</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 50 pF, R <sub>b</sub> = 2.7 kΩ	475		1150		1150		ns
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 3 kΩ	–		1150		1150		ns
		2.4 V ≤ V <sub>DD</sub> < 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	1550		1550		1550		ns
		1.8 V ≤ V <sub>DD</sub> < 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	–		1550		1550		ns
		1.6 V ≤ V <sub>DD</sub> < 1.8 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	–		–		1850		ns

(注, 注意は次ページ以降にあります。)



(T<sub>A</sub> = -40~+85°C, 1.6 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

(2/2)

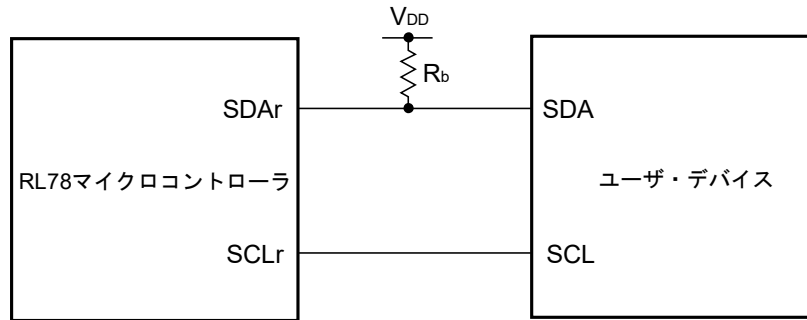
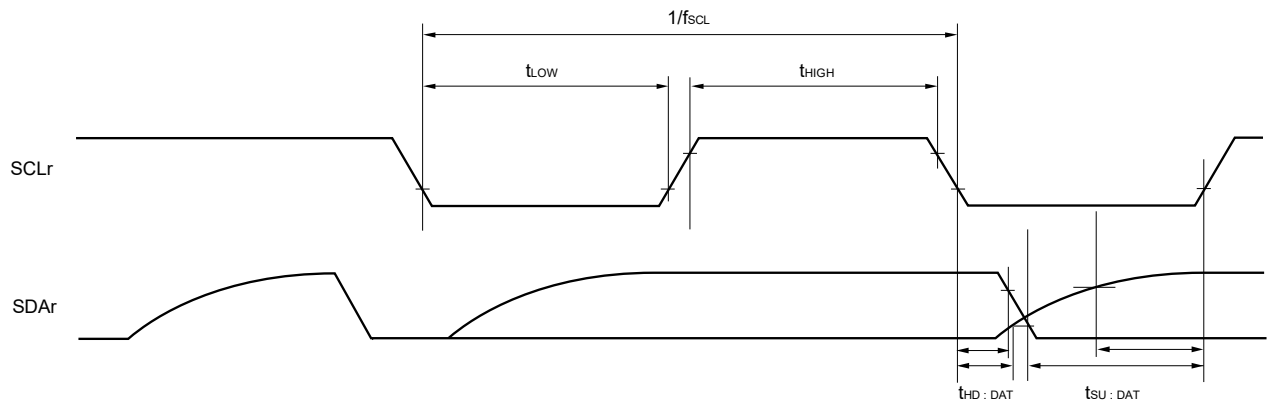
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			データ・セットアップ時間 (受信時)	t <sub>SU: DAT</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 50 pF, R <sub>b</sub> = 2.7 kΩ	1/f <sub>MCK</sub> + 85 <sup>注2</sup>		1/f <sub>MCK</sub> + 145 <sup>注2</sup>	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 3 kΩ	1/f <sub>MCK</sub> + 145 <sup>注2</sup>		1/f <sub>MCK</sub> + 145 <sup>注2</sup>		1/f <sub>MCK</sub> + 145 <sup>注2</sup>		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 3 kΩ	—		1/f <sub>MCK</sub> + 145 <sup>注2</sup>		1/f <sub>MCK</sub> + 145 <sup>注2</sup>		ns
		2.4 V ≤ V <sub>DD</sub> < 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	1/f <sub>MCK</sub> + 230 <sup>注2</sup>		1/f <sub>MCK</sub> + 230 <sup>注2</sup>		1/f <sub>MCK</sub> + 230 <sup>注2</sup>		ns
		1.8 V ≤ V <sub>DD</sub> < 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	—		1/f <sub>MCK</sub> + 230 <sup>注2</sup>		1/f <sub>MCK</sub> + 230 <sup>注2</sup>		ns
		1.6 V ≤ V <sub>DD</sub> < 1.8 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	—		—		1/f <sub>MCK</sub> + 290 <sup>注2</sup>		ns
データ・ホールド時間 (送信時)	t <sub>HD: DAT</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 50 pF, R <sub>b</sub> = 2.7 kΩ	0	305	0	305	0	305	ns
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 3 kΩ	—	—	0	355	0	355	ns
		2.4 V ≤ V <sub>DD</sub> < 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	0	405	0	405	0	405	ns
		1.8 V ≤ V <sub>DD</sub> < 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	—	—	0	405	0	405	ns
		1.6 V ≤ V <sub>DD</sub> < 1.8 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5 kΩ	—	—	—	—	0	405	ns

注1.  $\frac{1}{4f_{MCK}}$ 以下に設定してください。

2. f<sub>MCK</sub>値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (V<sub>DD</sub>耐圧) モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易I<sup>2</sup>Cモード接続図（同電位通信時）簡易I<sup>2</sup>Cモード・シリアル転送タイミング（同電位通信時）

**備考1.**  $R_b$  [ $\Omega$ ]: 通信ライン (SDAr) プルアップ抵抗値,  $C_b$  [F]: 通信ライン (SCLr, SDAr) 負荷容量値

2.  $r$ : IIC番号 ( $r = 00, 20$ ),  $g$ : PIM番号 ( $g = 1$ ),  $h$ : POM番号 ( $h = 1,$ )

3.  $f_{MCK}$ : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。 $m$ : ユニット番号 ( $m = 0, 1$ ),  $n$ : チャネル番号 ( $n = 0$ ),  $mn = 00, 02$ )

(7) 異電位 (1.8 V系, 2.5 V系) 通信時 (UARTモード)

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $2.4 \text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6 \text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0 \text{ V}$ )

項目	略号	条件	HS (高速メイン)	LS (低速メイン)	LV (低電圧メイン)	単位
			モード	モード	モード	
			MAX.	MAX.	MAX.	
転送レート	受信	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ , $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$	$f_{MCK}/6$ <sup>注1</sup>	$f_{MCK}/6$ <sup>注1</sup>	$f_{MCK}/6$ <sup>注1</sup>	bps
		最大転送レート理論値 $f_{MCK} = f_{CLK}$ <sup>注3</sup>	5.3	1.3	0.6	Mbps
		$2.4 \text{ V} \leq V_{DD} < 3.3 \text{ V}$ , $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$	$f_{MCK}/6$ <sup>注1</sup>	$f_{MCK}/6$ <sup>注1</sup>	$f_{MCK}/6$ <sup>注1</sup>	bps
		最大転送レート理論値 $f_{MCK} = f_{CLK}$ <sup>注3</sup>	2.6	1.3	0.6	Mbps
		$1.8 \text{ V} \leq V_{DD} < 3.3 \text{ V}$ , $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$	–	$f_{MCK}/6$ <sup>注1,2</sup>	$f_{MCK}/6$ <sup>注1,2</sup>	bps
		最大転送レート理論値 $f_{MCK} = f_{CLK}$ <sup>注3</sup>	–	1.3	1.3	Mbps
	送信	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ , $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$	注4	注4	注4	bps
		最大転送レート理論値 $C_b = 50 \text{ pF}$ , $R_b = 2.7 \text{ k}\Omega$ , $V_b = 2.3 \text{ V}$	1.2 <sup>注5</sup>	1.2 <sup>注5</sup>	1.2 <sup>注5</sup>	Mbps
		$2.4 \text{ V} \leq V_{DD} < 3.3 \text{ V}$ , $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$	注2,6	注2,6	注2,6	bps
		最大転送レート理論値 $C_b = 50 \text{ pF}$ , $R_b = 5.5 \text{ k}\Omega$ , $V_b = 1.6 \text{ V}$	0.43	0.43	0.43	Mbps
		$1.8 \text{ V} \leq V_{DD} < 3.3 \text{ V}$ , $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$	–	注2,6	注2,6	bps
		最大転送レート理論値 $C_b = 50 \text{ pF}$ , $R_b = 5.5 \text{ k}\Omega$ , $V_b = 1.6 \text{ V}$	–	0.43 <sup>注7</sup>	0.43 <sup>注7</sup>	Mbps

注1. SNOOZEモードでの転送レートは、4800bpsのみとなります。

2.  $V_{DD} \geq V_b$ で使用してください。

3. CPU/周辺ハードウェア・クロック ( $f_{CLK}$ ) の最高動作周波数を次に示します。

HS(高速メイン)モード : 32 MHz ( $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ )  
16 MHz ( $2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ )

LS(低速メイン)モード : 8 MHz ( $1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ )

LV(低電圧メイン)モード : 4 MHz ( $1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ )

4.  $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ ,  $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$ 時の転送レート計算式

最大転送レート =  $1 / \{-C_b \times R_b \times \ln(1 - 2.0/V_b)\} \times 3$  [bps]

ボー・レート許容誤差(理論値) =

$(1/\text{転送レート} \times 2 - \{-C_b \times R_b \times \ln(1 - 2.0/V_b)\}) / (1/\text{転送レート}) \times \text{転送ビット数} \times 100\%$

※この値は送信側と受信側の相対差の理論値となります。

5. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

6.  $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

$1.8 \text{ V} \leq V_{DD} < 3.3 \text{ V}$ ,  $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ 時の転送レート計算式

最大転送レート =  $1 / \{-C_b \times R_b \times \ln(1 - 1.5/V_b)\} \times 3$  [bps]

ボー・レート許容誤差(理論値) =  $(1/\text{転送レート} \times 2 - \{-C_b \times R_b \times \ln(1 - 1.5/V_b)\}) / (1/\text{転送レート}) \times \text{転送ビッ$

ト数) × 100%

**注7.** この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V<sub>DD</sub>耐圧) モードを選択します。なおV<sub>IH</sub>, V<sub>IL</sub>は、TTL入力バッファ選択時のDC特性を参照してください。

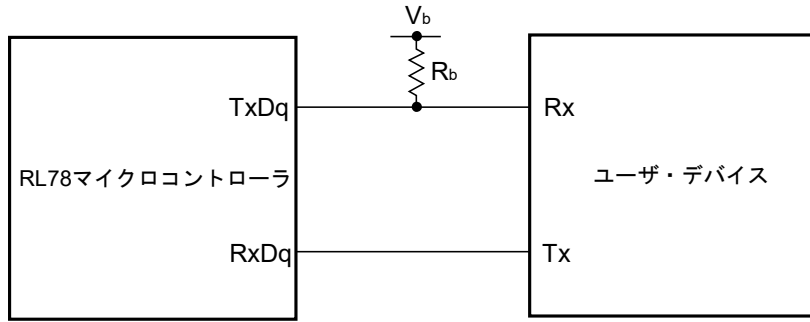
**備考1.** R<sub>b</sub> [Ω] : 通信ライン (TxDq) プルアップ抵抗値, C<sub>b</sub> [F] : 通信ライン (TxDq) 負荷容量値, V<sub>b</sub> [V] : 通信ライン電圧

2. q : UART番号 (q = 0, 1) , g : PIM, POM番号 (g = 0, 1)

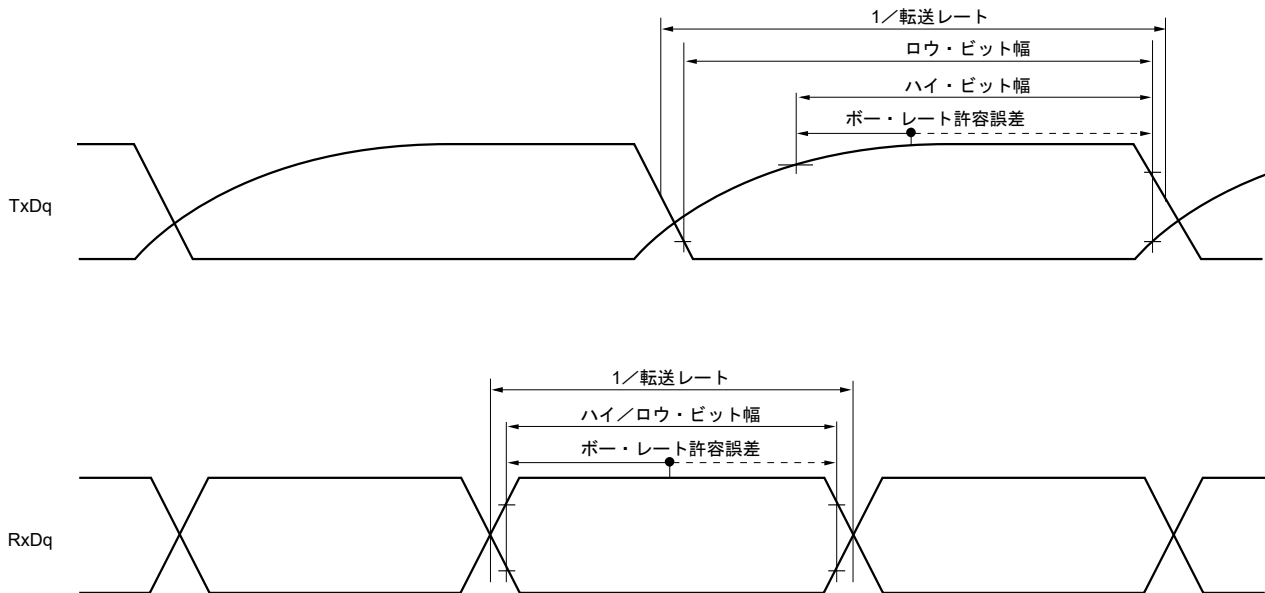
3. f<sub>MCK</sub> : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00-03) )

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



備考1.  $R_b$  [ $\Omega$ ]: 通信ライン (TxDq) プルアップ抵抗値,  $V_b$  [V]: 通信ライン電圧

2. q: UART番号 (q = 0, 1), g: PIM, POM番号 (g = 0, 1)

(8) 異電位 (2.5 V系) 通信時 (CSIモード) (マスタ・モード, SCKp…内部クロック出力, CSI00のみ対応)

(TA = -40~+85°C, 2.7 V ≤ VDD = VDD\_RF = AVDD\_RF ≤ 3.6 V, VSS = VSS\_RF = AVSS\_RF = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム	t <sub>KCY1</sub>	t <sub>KCY1</sub> ≥ 2/f <sub>CLK</sub> 2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	300		1150		1150		ns
SCKpハイ・レベル幅	t <sub>KH1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	t <sub>KCY1</sub> /2- 120		t <sub>KCY1</sub> /2- 120		t <sub>KCY1</sub> /2- 120		ns
SCKpロウ・レベル幅	t <sub>KL1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	t <sub>KCY1</sub> /2- 10		t <sub>KCY1</sub> /2- 50		t <sub>KCY1</sub> /2- 50		ns
Slpセットアップ時間 (対SCKp↑) 注1	t <sub>SIK1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	121		479		479		ns
Slpホールド時間 (対SCKp↑) 注1	t <sub>KSI1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	10		10		10		ns
SCKp↓→SOp出力 遅延時間注1	t <sub>KSO1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ		130		130		130	ns
Slpセットアップ時間 (対SCKp↓) 注2	t <sub>SIK1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	33		110		110		ns
Slpホールド時間 (対SCKp↓) 注2	t <sub>KSI1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ	10		10		10		ns
SCKp↑→SOp出力 遅延時間注2	t <sub>KSO1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 20 pF, R <sub>b</sub> = 2.7 kΩ		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V<sub>DD</sub>耐圧) モードを選択します。なおV<sub>IH</sub>, V<sub>IL</sub>は, TTL入力バッファ選択時のDC特性を参照してください。

**備考1.** R<sub>b</sub> [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, C<sub>b</sub> [F]: 通信ライン (SCKp, SOp) 負荷容量値,  
V<sub>b</sub> [V]: 通信ライン電圧

2. p: CSI番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0),  
g: PIM, POM番号 (g = 1)

**備考3.**  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャンネル番号 (mn = 00) )

## (9) 異電位 (1.8 V系, 2.5 V系) 通信時 (CSIモード: マスタ・モード, SCKp...内部クロック出力)

(TA = -40~+85°C, 1.8 V ≤ VDD = VDD\_RF = AVDD\_RF ≤ 3.6 V, VSS = VSS\_RF = AVSS\_RF = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム <sup>注1</sup>	tkCY1	tkCY1 ≥ 4/fCLK 2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500		1150		1150		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	1150		1150		1150		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V <sup>注3</sup> , Cb = 30 pF, Rb = 5.5 kΩ	–		1150		1150		ns
SCKpハイ・レベル幅 <sup>注1</sup>	tkH1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2– 170		tkCY1/2– 170		tkCY1/2– 170		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2– 458		tkCY1/2– 458		tkCY1/2– 458		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V <sup>注3</sup> , Cb = 30 pF, Rb = 5.5 kΩ	–		tkCY1/2– 458		tkCY1/2– 458		ns
SCKpロウ・レベル幅 <sup>注1</sup>	tkL1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2– 18		tkCY1/2– 50		tkCY1/2– 50		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2– 50		tkCY1/2– 50		tkCY1/2– 50		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V <sup>注3</sup> , Cb = 30 pF, Rb = 5.5 kΩ	–		tkCY1/2– 50		tkCY1/2– 50		ns
Slpセットアップ時間 (対SCKp↑) <sup>注1,2</sup>	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		479		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	479		479		479		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V <sup>注3</sup> , Cb = 30 pF, Rb = 5.5 kΩ	–		479		479		ns

注1. CSI00, CSI20に対応

2. DAPmn=0、CKPmn=0またはDAPmn=1、CKPmn=1のとき。

3. VDD0 ≥ Vbで使用してください。

(注意は次ページにあります。)



(T<sub>A</sub> = -40~+85°C, 1.8 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpホールド時間 (対SCKp↑) 注1, 2	t <sub>KS1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 2.7 kΩ	19		19		19		ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ	19		19		19		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V注4, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ	–		19		19		ns
SCKp↓→SOp出力 遅延時間注1, 2	t <sub>KSO1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 2.7 kΩ		195		195		195	ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ		483		483		483	ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V注4, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ		–		483		483	ns
Slpセットアップ時間 (対SCKp↓) 注1, 3	t <sub>SIK1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 2.7 kΩ	44		110		110		ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ	110		110		110		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V注4, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ	–		110		110		ns
Slpホールド時間 (対SCKp↓) 注1, 3	t <sub>KS1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 2.7 kΩ	19		19		19		ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ	19		19		19		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V注4, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ	–		19		19		ns
SCKp↑→SOp出力 遅延時間注2	t <sub>KSO1</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 2.7 kΩ		25		25		25	ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ		25		25		25	ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V注4, C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ		–		25		25	ns

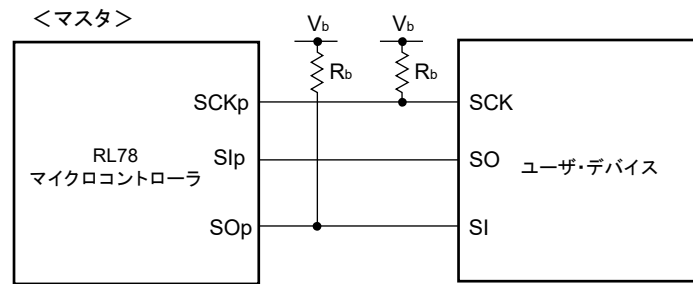
注1. CSI00のみ対応

- DAPmn = 0、CKPmn = 0またはDAPmn = 1、CKPmn = 1のとき。
- DAPmn = 0、CKPmn = 1またはDAPmn = 1、CKPmn = 0のとき。
- V<sub>DD</sub> ≥ V<sub>b</sub>で使用してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V<sub>DD</sub>耐圧) モードを選択します。なおV<sub>IH</sub>、V<sub>IL</sub>は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

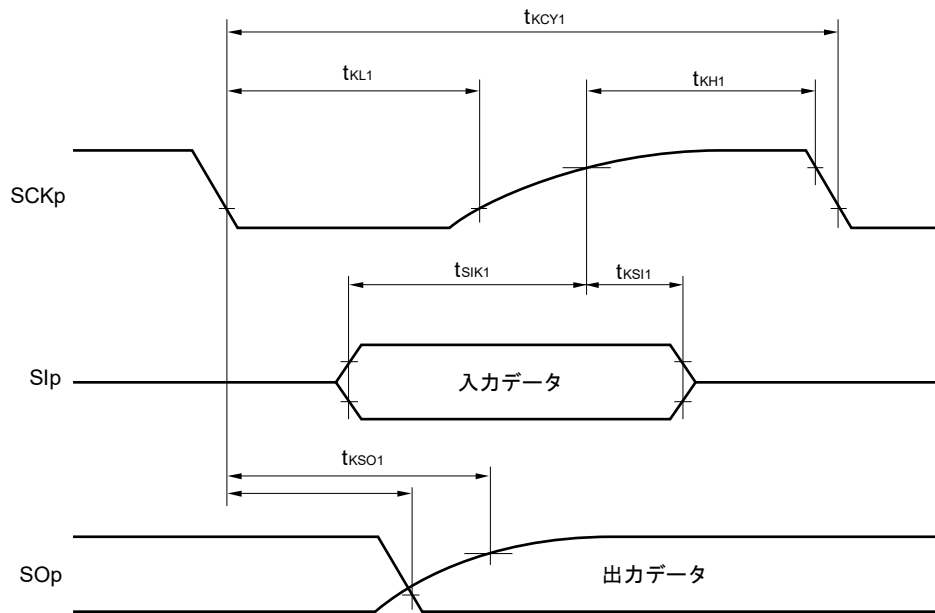
CSIモード接続図（異電位通信時）



- 備考1.**  $R_b[\Omega]$ : 通信ライン (SCKp、Sop) プルアップ抵抗値、 $C_b[F]$ : 通信ライン (SCKp、Sop) 負荷容量値、 $V_b[V]$ : 通信ライン電圧
2.  $p$ : CSI番号 ( $p=00$ )、 $m$ : ユニット番号 ( $m=0$ )、 $n$ : チャネル番号 ( $n=0$ )、 $g$ : PIM、POM番号 ( $g=1$ )
  3.  $f_{MCK}$ : シリアル・アレイ・ユニットの動作クロック周波数  
(シリアル・モード・レジスタ $mn(SMRmn)$ の $CKSmn$ ビットで設定する動作クロック。 $m$ : ユニット番号、 $n$ : チャネル番号 ( $mn=00$ ) )。

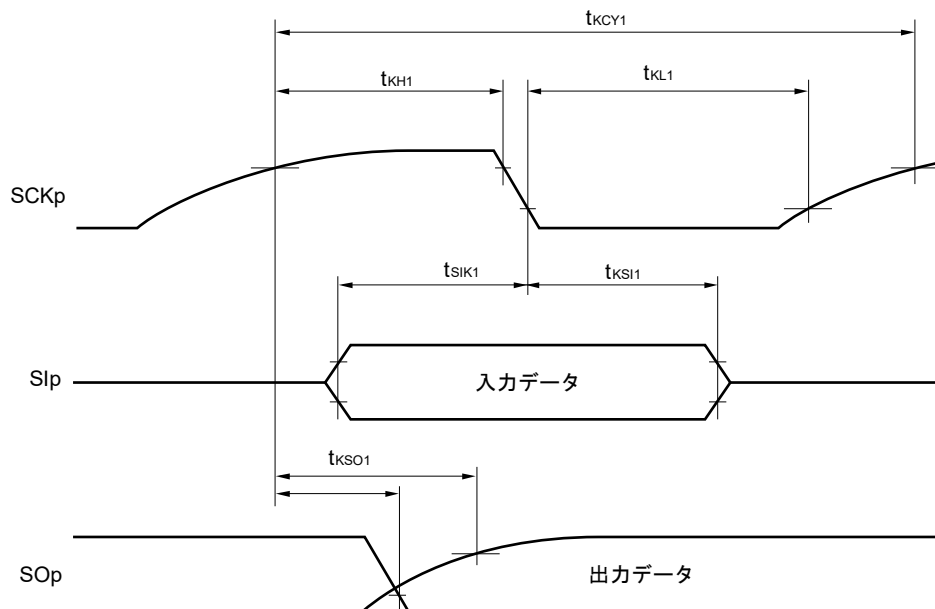
## CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



## CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力 ( $V_{DD}$ 耐圧) モードを選択します。

**備考** p : CSI番号 (p = 00) , m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0) , g : PIM, POM番号 (g = 1)

(10) 異電位 (1.8 V系, 2.5 V系) 通信時 (CSIモード : スレーブ・モード, SCKp…外部クロック入力)

(TA = -40~+85°C, 1.8 V ≤ VDD = VDD\_RF = AVDD\_RF ≤ 3.6 V, VSS = VSS\_RF = AVSS\_RF = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム <sup>注1</sup>	t <sub>KCY2</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V	24 MHz < f <sub>MCK</sub>	20/f <sub>MCK</sub>		-		-		ns
			20 MHz < f <sub>MCK</sub> ≤ 24 MHz	16/f <sub>MCK</sub>		-		-		ns
			16 MHz < f <sub>MCK</sub> ≤ 20 MHz	14/f <sub>MCK</sub>		-		-		ns
			8 MHz < f <sub>MCK</sub> ≤ 16 MHz	12/f <sub>MCK</sub>		-		-		ns
			4 MHz < f <sub>MCK</sub> ≤ 8 MHz	8/f <sub>MCK</sub>		16/f <sub>MCK</sub>		-		ns
			f <sub>MCK</sub> ≤ 4 MHz	6/f <sub>MCK</sub>		10/f <sub>MCK</sub>		10/f <sub>MCK</sub>		ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V	24 MHz < f <sub>MCK</sub>	48/f <sub>MCK</sub>		-		-		ns
			20 MHz < f <sub>MCK</sub> ≤ 24 MHz	36/f <sub>MCK</sub>		-		-		ns
			16 MHz < f <sub>MCK</sub> ≤ 20 MHz	32/f <sub>MCK</sub>		-		-		ns
			8 MHz < f <sub>MCK</sub> ≤ 16 MHz	26/f <sub>MCK</sub>		-		-		ns
			4 MHz < f <sub>MCK</sub> ≤ 8 MHz	16/f <sub>MCK</sub>		16/f <sub>MCK</sub>		-		ns
			f <sub>MCK</sub> ≤ 4 MHz	10/f <sub>MCK</sub>		10/f <sub>MCK</sub>		10/f <sub>MCK</sub>		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注2</sup>	24 MHz < f <sub>MCK</sub>	-		-		-		ns
			20 MHz < f <sub>MCK</sub> ≤ 24 MHz	-		-		-		ns
			16 MHz < f <sub>MCK</sub> ≤ 20 MHz	-		-		-		ns
			8 MHz < f <sub>MCK</sub> ≤ 16 MHz	-		-		-		ns
			4 MHz < f <sub>MCK</sub> ≤ 8 MHz	-		16/f <sub>MCK</sub>		-		ns
			f <sub>MCK</sub> ≤ 4 MHz	-		10/f <sub>MCK</sub>		10/f <sub>MCK</sub>		ns

(注, 注意は次ページにあります。)

(T<sub>A</sub> = -40~+85°C, 1.8 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン) モード		単位
			モード		モード		モード		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpハイ、ロウ・レベル幅	t <sub>KH2</sub> , t <sub>KL2</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V	t <sub>KCY2</sub> /2- 18		t <sub>KCY2</sub> /2- 50		t <sub>KCY2</sub> /2- 50		ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V	t <sub>KCY2</sub> /2- 50		t <sub>KCY2</sub> /2- 50		t <sub>KCY2</sub> /2- 50		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注2</sup>	—		t <sub>KCY2</sub> /2- 50		t <sub>KCY2</sub> /2- 50		ns
Slpセットアップ時間 (対SCKp↑) <sup>注3</sup>	t <sub>SIK2</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 4.0 V	1/f <sub>MCK</sub> + 20		1/f <sub>MCK</sub> + 30		1/f <sub>MCK</sub> + 30		ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V	1/f <sub>MCK</sub> + 30		1/f <sub>MCK</sub> + 30		1/f <sub>MCK</sub> + 30		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注2</sup>	—		1/f <sub>MCK</sub> + 30		1/f <sub>MCK</sub> + 30		ns
Slpホールド時間 (対SCKp↑) <sup>注3</sup>	t <sub>KSI2</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 4.0 V	1/f <sub>MCK</sub> + 31		1/f <sub>MCK</sub> + 31		1/f <sub>MCK</sub> + 31		ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V	1/f <sub>MCK</sub> + 31		1/f <sub>MCK</sub> + 31		1/f <sub>MCK</sub> + 31		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注2</sup>	—		1/f <sub>MCK</sub> + 31		1/f <sub>MCK</sub> + 31		ns
SCKp↓→SOp 出力遅延時間 <sup>注4</sup>	t <sub>KSO2</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V C <sub>b</sub> = 30 pF, R <sub>b</sub> = 2.7 kΩ		2/f <sub>MCK</sub> + 214		2/f <sub>MCK</sub> + 573		2/f <sub>MCK</sub> + 573	ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ		2/f <sub>MCK</sub> + 573		2/f <sub>MCK</sub> + 573		2/f <sub>MCK</sub> + 573	ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注2</sup> C <sub>b</sub> = 30 pF, R <sub>b</sub> = 5.5 kΩ		—		2/f <sub>MCK</sub> + 573		2/f <sub>MCK</sub> + 573	ns

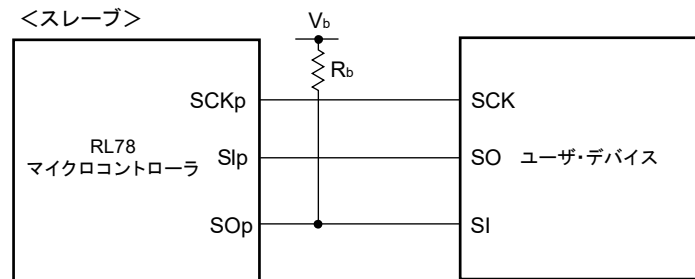
注1. SNOOZEモードでの転送レートは、MAX. : 1 Mbps

- V<sub>DD</sub> ≥ V<sub>b</sub>で使用してください。
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力 (V<sub>DD</sub>耐圧) モードを選択します。なおV<sub>IH</sub>, V<sub>IL</sub>は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

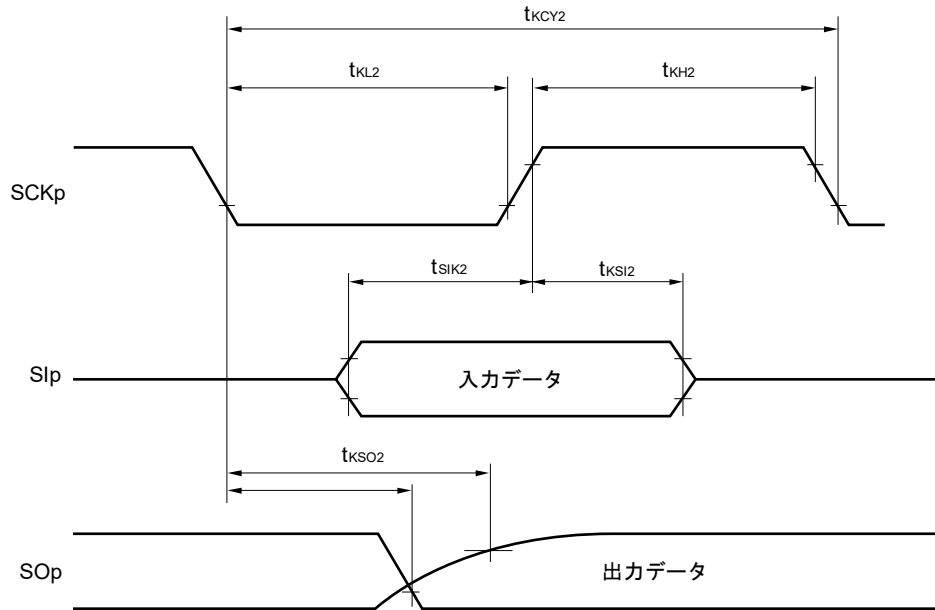
CSIモード接続図（異電位通信時）



- 備考1.**  $R_b[\Omega]$  : 通信ライン(Sop)プルアップ抵抗値、 $C_b[F]$  : 通信ライン(Sop)負荷容量値、 $V_b[V]$  : 通信ライン電圧
- 2.**  $p$  : CSI番号( $p=00, 20$ )、 $m$  : ユニット番号、 $n$  : チャネル番号( $mn=00, 10$ )、 $g$  : PIM、POM番号( $g=0, 1$ )
- 3.**  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数  
 ((シリアル・モード・レジスタ $mn$ (SMR $mn$ )のCKSm $n$ ビットで設定する動作クロック。 $m$  : ユニット番号、 $n$  : チャネル番号( $mn=00, 10$ ))

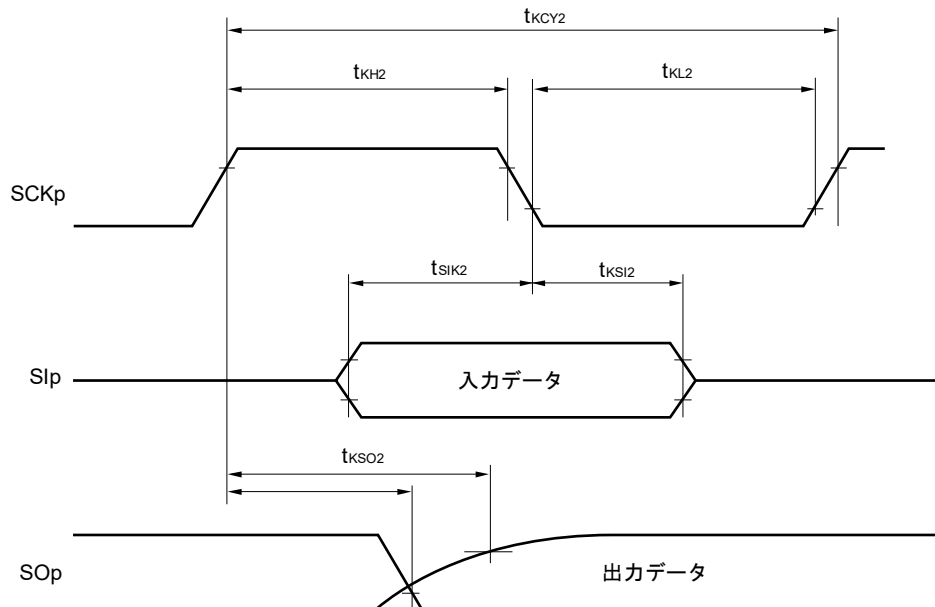
## CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



## CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力 ( $V_{DD}$ 耐圧) モードを選択します。

**備考** p: CSI番号 (p = 00) , m: ユニット番号 (m = 0) , n: チャネル番号 (n = 0) , g: PIM, POM番号 (g = 1)

(11) 異電位 (1.8 V系, 2.5 V系) 通信時 (簡易I<sup>2</sup>Cモード)(T<sub>A</sub> = -40~+85°C, 1.8 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン) モード		単位
			モード		モード				
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	f <sub>SCL</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 50 pF, R <sub>b</sub> = 2.7 kΩ		1000 <sup>注1</sup>		300 <sup>注5</sup>		300 <sup>注5</sup>	kHz
		2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 2.7 kΩ		400 <sup>注1</sup>		300 <sup>注5</sup>		300 <sup>注5</sup>	kHz
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5.5 kΩ		300 <sup>注1</sup>		300 <sup>注1</sup>		300 <sup>注1</sup>	kHz
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注2</sup> , C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5.5 kΩ		—		300 <sup>注1</sup>		300 <sup>注1</sup>	kHz
SCLr = "L"のホールド・タイム	t <sub>LOW</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 50 pF, R <sub>b</sub> = 2.7 kΩ	475		1550		1550		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 2.7 kΩ	1150		1550		1550		ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5.5 kΩ	1550		1550		1550		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注2</sup> , C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5.5 kΩ	—		1550		1550		ns
SCLr = "H"のホールド・タイム	t <sub>HIGH</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 50 pF, R <sub>b</sub> = 2.7 kΩ	200		610		610		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 2.7 kΩ	600		610		610		ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5.5 kΩ	610		610		610		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注2</sup> , C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5.5 kΩ	—		610		610		ns

(注, 注意は次ページにあります。)



(T<sub>A</sub> = -40~+85°C, 1.8 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

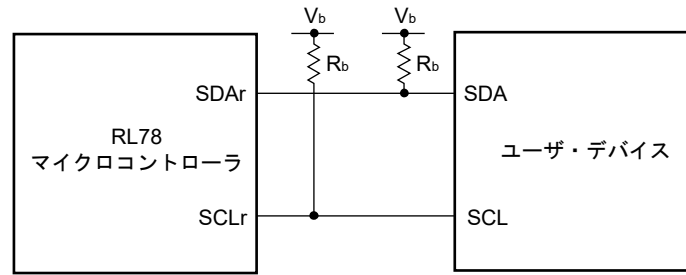
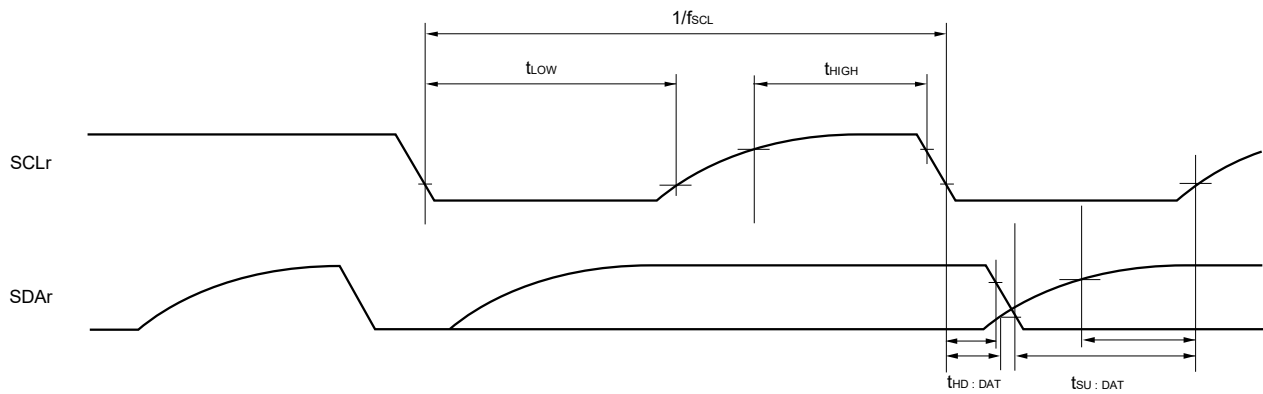
(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイ ン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間 (受信時)	t <sub>SU</sub> : DAT	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 50 pF, R <sub>b</sub> = 2.7 kΩ	1/f <sub>MCK</sub> + 135 注3		1/f <sub>MCK</sub> + 190 注3		1/f <sub>MCK</sub> + 190 注3		ns
		2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 2.7 kΩ	1/f <sub>MCK</sub> + 190 注3		1/f <sub>MCK</sub> + 190 注3		1/f <sub>MCK</sub> + 190 注3		ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5.5 kΩ	1/f <sub>MCK</sub> + 190 注3		1/f <sub>MCK</sub> + 190 注3		1/f <sub>MCK</sub> + 190 注3		ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注2</sup> , C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5.5 kΩ	—		1/f <sub>MCK</sub> + 190 注3		1/f <sub>MCK</sub> + 190 注3		ns
データ・ホールド時間 (送信時)	t <sub>HD</sub> : DAT	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 50 pF, R <sub>b</sub> = 2.7 kΩ	0 <sup>注4</sup>	305	0 <sup>注4</sup>	305	0 <sup>注4</sup>	305	ns
		2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, 2.3 V ≤ V <sub>b</sub> ≤ 2.7 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 2.7 kΩ	0 <sup>注4</sup>	355	0 <sup>注4</sup>	355	0 <sup>注4</sup>	355	ns
		2.4 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V, C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5.5 kΩ	0 <sup>注4</sup>	405	0 <sup>注4</sup>	405	0 <sup>注4</sup>	405	ns
		1.8 V ≤ V <sub>DD</sub> < 3.3 V, 1.6 V ≤ V <sub>b</sub> ≤ 2.0 V <sup>注2</sup> , C <sub>b</sub> = 100 pF, R <sub>b</sub> = 5.5 kΩ	—	—	0 <sup>注4</sup>	405	0 <sup>注4</sup>	405	ns

注1. かつf<sub>MCK</sub>/4以下に設定してください。2. V<sub>DD</sub> ≥ V<sub>b</sub>で使用してください。3. f<sub>MCK</sub>値は、SCLr = "L"とSCLr = "H"のホールド・タイムを超えない設定にしてください。

**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、SDArはTTL入力バッファを選択し、N-chオープン・ドレイン出力 (V<sub>DD</sub>耐圧モードを選択、SCLrはN-chオープン・ドレイン出力 (V<sub>DD</sub>耐圧モードを選択してください。なおV<sub>IH</sub>, V<sub>IL</sub>は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I<sup>2</sup>Cモード接続図（異電位通信時）簡易I<sup>2</sup>Cモード・シリアル転送タイミング（異電位通信時）

**備考1.**  $R_b$  [ $\Omega$ ] : 通信ライン (SDAr, SCLr) プルアップ抵抗値,  $C_b$  [F] : 通信ライン (SDAr, SCLr) 負荷容量値,  
 $V_b$  [V] : 通信ライン電圧

2.  $r$  : IIC番号 ( $r = 00, 10$ ) ,  $g$  : PIM, POM番号 ( $g = 0, 1$ )

3.  $f_{MCK}$  : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn(SMRmn)のCKSmnビットで設定する動作クロック。  $m$  : ユニット番号,  $n$  : チャネル番号 ( $mn = 00, 02$ ) )

## 30.7.2 シリアル・インタフェースIICA

(1) I<sup>2</sup>C 標準モード(T<sub>A</sub> = -40~+85 °C, 1.6 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCLA0クロック 周波数	f <sub>SCL</sub>	標準モード : f <sub>CLK</sub> ≥ 1 MHz	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0	100	0	100	0	100	kHz
			2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	0	100	0	100	0	100	kHz
			1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		0	100	0	100	kHz
			1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		-		0	100	kHz
リスタート・コンデ ィションのセットア ップ時間	t <sub>SU : STA</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.7		4.7		4.7		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.7		4.7		4.7		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		4.7		4.7		μs	
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		-		4.7		μs	
ホールド時間 <sup>※1</sup>	t <sub>HD : STA</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.0		4.0		4.0		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.0		4.0		4.0		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		4.0		4.0		μs	
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		-		4.0		μs	
SCLA0 = "L"のホー ルド・タイム	t <sub>LOW</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.7		4.7		4.7		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.7		4.7		4.7		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		4.7		4.7		μs	
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		-		4.7		μs	
SCLA0 = "H"のホー ルド・タイム	t <sub>HIGH</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.0		4.0		4.0		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.0		4.0		4.0		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		4.0		4.0		μs	
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		-		4.0		μs	

(注, 注意, 備考は次ページにあります。)

(T<sub>A</sub> = -40~+85 °C, 1.6 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V) (2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイ ン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ 時間 (受信時)	t <sub>SU: DAT</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	250		250		250		ns
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	250		250		250		ns
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		250		250		ns
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		-		250		ns
データ・ホールド時間 (送信時) 注2	t <sub>HD: DAT</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0	3.45	0	3.45	0	3.45	μs
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	0注3	3.45	0	3.45	0	3.45	μs
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		0	3.45	0	3.45	μs
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		-		0	3.45	μs
ストップ・コンディシ ョンのセットアップ時 間	t <sub>SU: STO</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.0		4.0		4.0		μs
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.0		4.0		4.0		μs
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		4.0		4.0		μs
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		-		4.0		μs
パス・フリー時間	t <sub>BUF</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.7		4.7		4.7		μs
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	4.7		4.7		4.7		μs
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		4.7		4.7		μs
		1.6 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		-		4.7		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

- ★ 2. t<sub>HD: DAT</sub>の最大値 (MAX.) は, 通常転送時の数値であり, ACK (アクノリッジ) タイミングでは, ウェイトがかかります。

注意 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (I<sub>OH1</sub>, I<sub>OL1</sub>, V<sub>OH1</sub>, V<sub>OL1</sub>) はリダイレクト先の値を満たしてください。

備考 各モードにおけるC<sub>b</sub> (通信ライン容量) のMAX.値と, そのときのR<sub>b</sub> (通信ライン・プルアップ抵抗値) の値は次のとおりです。

標準モード : C<sub>b</sub> = 400 pF, R<sub>b</sub> = 2.7 kΩ

(2) I<sup>2</sup>C ファースト・モード(T<sub>A</sub> = -40 ~ +85 °C, 1.6 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		ン) モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f <sub>SCL</sub>	ファースト・モード : f <sub>CLK</sub> ≥ 3.5 MHz	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0	400	0	400	0	400	kHz
			2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	0	400	0	400	0	400	kHz
			1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		0	400	0	400	kHz
リスタート・コンディションのセットアップ時間	t <sub>SU: STA</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0.6		0.6		0.6		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	0.6		0.6		0.6		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		0.6		0.6		μs	
ホールド時間 <sup>注1</sup>	t <sub>HD: STA</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0.6		0.6		0.6		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	0.6		0.6		0.6		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		0.6		0.6		μs	
SCLA0 = "L" のホールド・タイム	t <sub>LOW</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	1.3		1.3		1.3		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	1.3		1.3		1.3		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		1.3		1.3		μs	
SCLA0 = "H" のホールド・タイム	t <sub>HIGH</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0.6		0.6		0.6		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	0.6		0.6		0.6		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		0.6		0.6		μs	
データ・セットアップ時間 (受信時)	t <sub>SU: DAT</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	100		100		100		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	100		100		100		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		100		100		ns	
データ・ホールド時間 (送信時) <sup>注2</sup>	t <sub>HD: DAT</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0	0.9	0	0.9	0	0.9	μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	0	0.9	0	0.9	0	0.9	μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		0	0.9	0	0.9	μs	
ストップ・コンディションのセットアップ時間	t <sub>SU: STO</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0.6		0.6		0.6		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	0.6		0.6		0.6		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		0.6		0.6		μs	
パス・フリー時間	t <sub>BUF</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	1.3		1.3		1.3		μs	
		2.4 V ≤ V <sub>DD</sub> ≤ 3.6 V	1.3		1.3		1.3		μs	
		1.8 V ≤ V <sub>DD</sub> ≤ 3.6 V	-		1.3		1.3		μs	

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

★ 2. t<sub>HD: DAT</sub>の最大値 (MAX.) は, 通常転送時の数値であり, ACK (アクノリッジ) タイミングでは, ウェイトがかかります。

注意 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (I<sub>OH1</sub>, I<sub>OL1</sub>, V<sub>OH1</sub>, V<sub>OL1</sub>) はリダイレクト先の値を満たしてください。

備考 各モードにおけるC<sub>b</sub> (通信ライン容量) のMAX.値と, そのときのR<sub>b</sub> (通信ライン・プルアップ抵抗値) の値は次のとおりです。

ファースト・モード : C<sub>b</sub> = 320 pF, R<sub>b</sub> = 1.1 kΩ

(3) I<sup>2</sup>C ファースト・モード・プラス(T<sub>A</sub> = -40~+85 °C, 1.6 V ≤ V<sub>DD</sub> = V<sub>DD\_RF</sub> = AV<sub>DD\_RF</sub> ≤ 3.6 V, V<sub>SS</sub> = V<sub>SS\_RF</sub> = AV<sub>SS\_RF</sub> = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f <sub>SCL</sub>	ファースト・モード・プラス : f <sub>CLK</sub> ≥ 10 MHz	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V	0	1000	-	-	-	-	kHz
リスタート・コンディションのセットアップ時間	t <sub>SU: STA</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		0.26		-	-	-	-	μs
ホールド時間 <sup>注1</sup>	t <sub>HD: STA</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		0.26		-	-	-	-	μs
SCLA0 = "L"のホールド・タイム	t <sub>LOW</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		0.5		-	-	-	-	μs
SCLA0 = "H"のホールド・タイム	t <sub>HIGH</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		0.26		-	-	-	-	μs
データ・セットアップ時間 (受信時)	t <sub>SU: DAT</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		50		-	-	-	-	ns
データ・ホールド時間 (送信時) <sup>注2</sup>	t <sub>HD: DAT</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		0	0.45	-	-	-	-	μs
ストップ・コンディションのセットアップ時間	t <sub>SU: STO</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		0.26		-	-	-	-	μs
パス・フリー時間	t <sub>BUF</sub>	2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V		0.5		-	-	-	-	μs

**注1.** スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

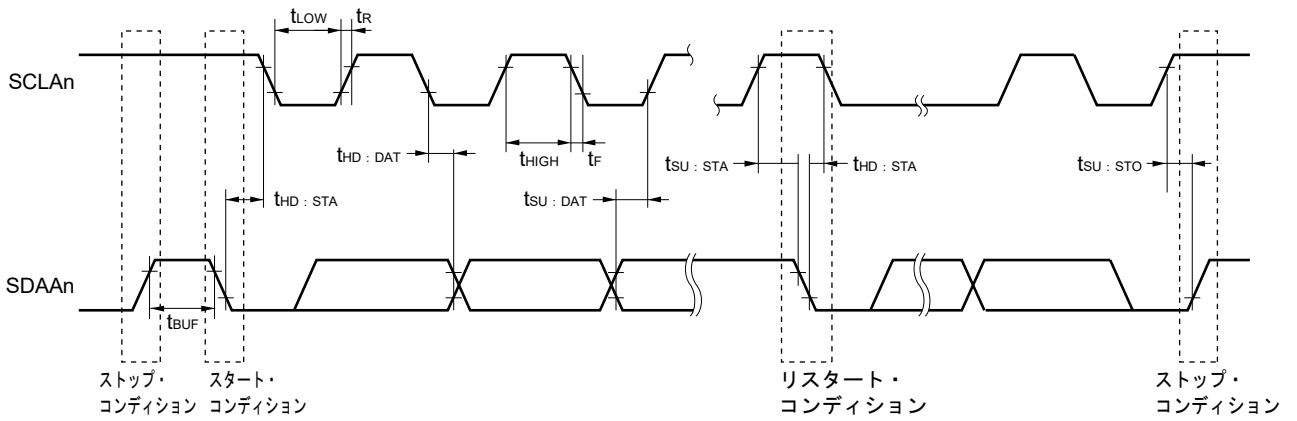
★ **2.** t<sub>HD: DAT</sub>の最大値 (MAX.) は, 通常転送時の数値であり, ACK (アクノリッジ) タイミングでは, ウェイトがかかります。

**注意** 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (I<sub>OH1</sub>, I<sub>OL1</sub>, V<sub>OH1</sub>, V<sub>OL1</sub>) はリダイレクト先の値を満たしてください。

**備考** 各モードにおけるC<sub>b</sub> (通信ライン容量) のMAX.値と, そのときのR<sub>b</sub> (通信ライン・プルアップ抵抗値) の値は次のとおりです。

ファースト・モード・プラス : C<sub>b</sub> = 120 pF, R<sub>b</sub> = 1.1 kΩ

IIC/Aシリアル転送タイミング



備考 n = 0

## 30.8 アナログ特性

### 30.8.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧 (+) = $AV_{REFP}$ 基準電圧 (-) = $AV_{REFM}$	基準電圧 (+) = $V_{DD}$ 基準電圧 (-) = $V_{SS}$	基準電圧 (+) = $V_{BGR}$ 基準電圧 (-) = $AV_{REFM}$
ANI0	-	30.8.1 (3) 参照	30.8.1 (4) 参照
ANI1			-
ANI2, ANI3			30.8.1 (4) 参照
ANI16-ANI19			30.8.1 (4) 参照
内部基準電圧, 温度センサ出力電圧			-

(1) 基準電圧(+) =  $AV_{REFP}/ANI0$ ( $ADREFP1 = 0, ADREFP0 = 1$ ), 基準電圧(-) =  $AV_{REFM}/ANI1$ ( $ADREFM = 1$ ) 選択時, 変換対象: ANI2, ANI3, 内部基準電圧, 温度センサ出力電圧

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6\text{ V} \leq AV_{REFP} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ , 基準電圧 (+) =  $AV_{REFP}$ , 基準電圧 (-) =  $AV_{REFM} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 <sup>注1</sup>	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$ <sup>注3</sup>	$1.8\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$		1.2	$\pm 3.5$	LSB
			$1.6\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$ <sup>注4</sup>		1.2	$\pm 7.0$	LSB
変換時間	$T_{conv}$	10ビット分解能	$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	3.1875		39	$\mu\text{s}$
			$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	17		39	$\mu\text{s}$
			$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	57		95	$\mu\text{s}$
ゼロスケール誤差 <sup>注1,2</sup>	E <sub>ZS</sub>	10ビット分解能 $AV_{REFP} = V_{DD}$ <sup>注3</sup>	$1.8\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$			$\pm 0.25$	%FSR
			$1.6\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$ <sup>注4</sup>			$\pm 0.50$	%FSR
フルスケール誤差 <sup>注1,2</sup>	E <sub>FS</sub>	10ビット分解能 $AV_{REFP} = V_{DD}$ <sup>注3</sup>	$1.8\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$			$\pm 0.25$	%FSR
			$1.6\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$ <sup>注4</sup>			$\pm 0.50$	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能 $AV_{REFP} = V_{DD}$ <sup>注3</sup>	$1.8\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$			$\pm 2.5$	LSB
			$1.6\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$ <sup>注4</sup>			$\pm 5.0$	LSB
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能 $AV_{REFP} = V_{DD}$ <sup>注3</sup>	$1.8\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$			$\pm 1.5$	LSB
			$1.6\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$ <sup>注4</sup>			$\pm 2.0$	LSB
アナログ入力電圧	$V_{AIN}$	ANI2, ANI3		0		$AV_{REFP}$	V
		内部基準電圧 ( $2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ , HS(高速メイン)モード)				$V_{BGR}$ <sup>注5</sup>	V
		温度センサ出力電圧 ( $2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ , HS(高速メイン)モード)				$VT_{MPS25}$ <sup>注5</sup>	V

(注は次ページにあります。)



注1. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。
3.  $AV_{REFP} < V_{DD}$  の場合, MAX. 値は次のようになります。

総合誤差 :  $AV_{REFP} = V_{DD}$  のMAX. 値に  $\pm 1$  LSB を加算してください

ゼロスケール誤差/フルスケール誤差 :  $AV_{REFP} = V_{DD}$  のMAX. 値に  $\pm 0.05\%$  FSR を加算してください

積分直線性誤差/微分直線性誤差 :  $AV_{REFP} = V_{DD}$  のMAX. 値に  $\pm 0.5$  LSB を加算してください

4. 変換時間をMIN. 57  $\mu$ s, MAX. 95  $\mu$ s に設定した場合の値です。
5. 30.8.2 温度センサ/内部基準電圧特性を参照してください。

- (2) 基準電圧(+) =  $AV_{REFP}/ANI0$ ( $ADREFP1 = 0, ADREFP0 = 1$ ), 基準電圧(-) =  $AV_{REFM}/ANI1$ ( $ADREFM = 1$ ) 選択時, 変換対象 : ANI16-ANI19

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6\text{ V} \leq AV_{REFP} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ , 基準電圧 (+) =  $AV_{REFP}$ , 基準電圧 (-) =  $AV_{REFM} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能 $1.8\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$		1.2	$\pm 5.0$	LSB
		$AV_{REFP} = V_{DD}$ <sup>注3</sup> $1.6\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$ <sup>注4</sup>		1.2	$\pm 8.5$	LSB
変換時間	$T_{conv}$	10ビット分解能 $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	3.1875		39	$\mu\text{s}$
		$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	17		39	$\mu\text{s}$
		$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	57		95	$\mu\text{s}$
ゼロスケール誤差 <sup>注1,2</sup>	EZS	10ビット分解能 $1.8\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$			$\pm 0.35$	%FSR
		$AV_{REFP} = V_{DD}$ <sup>注3</sup> $1.6\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$ <sup>注4</sup>			$\pm 0.60$	%FSR
フルスケール誤差 <sup>注1,2</sup>	EFS	10ビット分解能 $1.8\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$			$\pm 0.35$	%FSR
		$AV_{REFP} = V_{DD}$ <sup>注3</sup> $1.6\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$ <sup>注4</sup>			$\pm 0.60$	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能 $1.8\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$			$\pm 3.5$	LSB
		$AV_{REFP} = V_{DD}$ <sup>注3</sup> $1.6\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$ <sup>注4</sup>			$\pm 6.0$	LSB
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能 $1.8\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$			$\pm 2.0$	LSB
		$AV_{REFP} = V_{DD}$ <sup>注3</sup> $1.6\text{ V} \leq AV_{REFP} \leq 3.6\text{ V}$ <sup>注4</sup>			$\pm 2.5$	LSB
アナログ入力電圧	$V_{AIN}$		0		$AV_{REFP}$ かつ $V_{DD}$	V

注1. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3.  $AV_{REFP} < V_{DD}$  の場合は, MAX.値は次のようになります。

総合誤差 :  $AV_{REFP} = V_{DD}$  のMAX.値に $\pm 4$ LSBを加算してください

ゼロスケール誤差/フルスケール誤差 :  $AV_{REFP} = V_{DD}$  のMAX.値に $\pm 0.2\%$ FSRを加算してください

積分直線性誤差/微分直線性誤差 :  $AV_{REFP} = V_{DD}$  のMAX.値に $\pm 2$ LSBを加算してください

4. 変換時間をMIN. 57  $\mu\text{s}$ , MAX. 95  $\mu\text{s}$ に設定した場合の値です。

(3) 基準電圧(+)= $V_{DD}$  (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-)= $V_{SS}$  (ADREFM = 0) 選択時, 変換対象 : ANI0-ANI3, ANI16-ANI19, 内部基準電圧, 温度センサ出力電圧

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.6 \text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6 \text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0 \text{ V}$ , 基準電圧 (+) =  $V_{DD}$ , 基準電圧 (-) =  $V_{SS}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 <sup>注1</sup>	AINL	10ビット分解能	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	1.2	$\pm 7.0$	LSB
			$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ <sup>注3</sup>	1.2	$\pm 10.5$	LSB
変換時間	$T_{\text{conv}}$	10ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	3.1875	39	$\mu\text{s}$
		変換対象 : ANI0-ANI3,	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	17	39	$\mu\text{s}$
		ANI16-ANI19	$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	57	95	$\mu\text{s}$
		10ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	3.5625	39	$\mu\text{s}$
変換対象 : 内部基準電 圧, 温度センサ出力電 圧 (HS (高速メイン) モード)	$2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	17	39	$\mu\text{s}$		
ゼロスケール誤差 <sup>注1,2</sup>	E <sub>ZS</sub>	10ビット分解能	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$		$\pm 0.60$	%FSR
			$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ <sup>注3</sup>		$\pm 0.85$	%FSR
フルスケール誤差 <sup>注1,2</sup>	E <sub>FS</sub>	10ビット分解能	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$		$\pm 0.60$	%FSR
			$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ <sup>注3</sup>		$\pm 0.85$	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	10ビット分解能	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$		$\pm 4.0$	LSB
			$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ <sup>注3</sup>		$\pm 6.5$	LSB
微分直線性誤差 <sup>注1</sup>	DLE	10ビット分解能	$1.8 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$		$\pm 2.0$	LSB
			$1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ <sup>注3</sup>		$\pm 2.5$	LSB
アナログ入力電圧	$V_{\text{AIN}}$	ANI0-ANI3, ANI16-ANI19	0		$V_{DD}$	V
		内部基準電圧 ( $2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ , HS(高速メイン)モード)			$V_{\text{BGR}}$ <sup>注4</sup>	V
		温度センサ出力電圧 ( $2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ , HS(高速メイン)モード)			$V_{\text{TMP25}}$ <sup>注4</sup>	V

注1. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

- フルスケール値に対する比率 (%FSR) で表します。
- 変換時間をMIN. 57  $\mu\text{s}$ , MAX. 95  $\mu\text{s}$ に設定した場合の値です。
- 30.8.2 温度センサ/内部基準電圧特性を参照してください。

(4) 基準電圧(+)= 内部基準電圧 (ADREFP = 1, ADREFP0 = 0) , 基準電圧(-) =  $AV_{REFM}/ANI1$ (ADREFM = 1) 選択時, 変換対象 : ANI0-ANI3, ANI16-ANI19

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $2.4\text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ , 基準電圧 (+) =  $V_{BGR}$ <sup>注3</sup>, 基準電圧 (-)  $AV_{REFM}$ <sup>注4</sup> = 0 V, HS (高速メイン) モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	$T_{conv}$	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	17		39	$\mu\text{s}$
ゼロスケール誤差 <sup>注1,2</sup>	EZS	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$			$\pm 0.60$	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$			$\pm 2.0$	LSB
微分直線性誤差 <sup>注1</sup>	DLE	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$			$\pm 1.0$	LSB
アナログ入力電圧	$V_{AIN}$			0		$V_{BGR}$ <sup>注3</sup>	V

注1. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

- フルスケール値に対する比率 (%FSR) で表します。
- 30.8.2 温度センサ/内部基準電圧特性を参照してください。
- 基準電圧(-) =  $V_{SS}$  の場合は, MAX.値は次のようになります。

ゼロスケール誤差 : 基準電圧(-) =  $AV_{REFM}$  のMAX.値に  $\pm 0.35\%$ FSRを加算してください

積分直線性誤差 : 基準電圧(-) =  $AV_{REFM}$  のMAX.値に  $\pm 0.5$ LSBを加算してください

微分直線性誤差 : 基準電圧(-) =  $AV_{REFM}$  のMAX.値に  $\pm 0.2$ LSBを加算してください

## 30.8.2 温度センサ／内部基準電圧特性

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $2.4 \text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6 \text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0 \text{ V}$ , HS (高速メイン) モード)

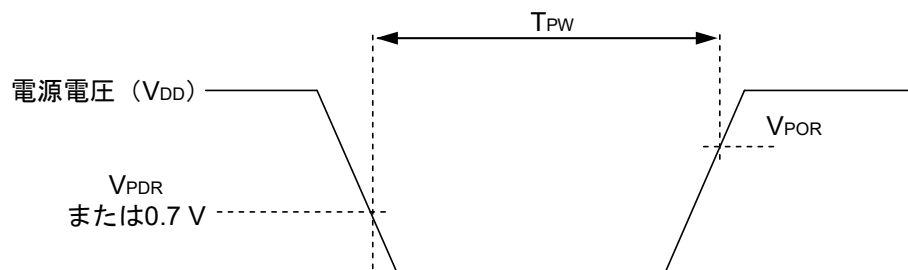
項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	$V_{TMPS25}$	ADSレジスタ = 80H設定 $T_A = +25^\circ\text{C}$		1.05		V
内部基準電圧	$V_{BGR}$	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	$F_{VTMPS}$	温度センサ出力電圧の温度依存		-3.6		mV/ $^\circ\text{C}$
動作安定待ち時間	$t_{AMP}$		5			$\mu\text{s}$

## 30.8.3 POR回路特性

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	$V_{POR}$	電源立ち上がり	1.47	1.51	1.55	V
	$V_{PDR}$	電源立ち下がり	1.46	1.50	1.54	V
最小パルス幅*	$T_{PW}$	STOP/SUB RUN/SUB HALT 以外	300			$\mu\text{s}$

注  $V_{DD}$ が $V_{PDR}$ を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック ( $f_{MAIN}$ ) を停止時は、 $V_{DD}$ が0.7 Vを下回ってから、 $V_{POR}$ を上回るまでのPORによるリセット動作に必要な時間です。



## 30.8.4 LVD回路特性

リセット・モード、割り込みモードのLVD検出電圧

(TA = -40~+85°C, VPDR ≤ VDD = VDD\_RF = AVDD\_RF ≤ 3.6 V, VSS = VSS\_RF = AVSS\_RF = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VLVI2	電源立ち上がり時	3.07	3.13	3.19	V
		電源立ち下がり時	3	3.06	3.12	V
	VLVI3	電源立ち上がり時	2.96	3.02	3.08	V
		電源立ち下がり時	2.9	2.96	3.02	V
	VLVI4	電源立ち上がり時	2.86	2.92	2.97	V
		電源立ち下がり時	2.8	2.86	2.91	V
	VLVI5	電源立ち上がり時	2.76	2.81	2.87	V
		電源立ち下がり時	2.7	2.75	2.81	V
	VLVI6	電源立ち上がり時	2.66	2.71	2.76	V
		電源立ち下がり時	2.6	2.65	2.7	V
	VLVI7	電源立ち上がり時	2.56	2.61	2.66	V
		電源立ち下がり時	2.5	2.55	2.6	V
	VLVI8	電源立ち上がり時	2.45	2.5	2.55	V
		電源立ち下がり時	2.4	2.45	2.5	V
	VLVI9	電源立ち上がり時	2.05	2.09	2.13	V
		電源立ち下がり時	2	2.04	2.08	V
	VLVI10	電源立ち上がり時	1.94	1.98	2.02	V
		電源立ち下がり時	1.9	1.94	1.98	V
	VLVI11	電源立ち上がり時	1.84	1.88	1.91	V
		電源立ち下がり時	1.8	1.84	1.87	V
	VLVI12	電源立ち上がり時	1.74	1.77	1.81	V
		電源立ち下がり時	1.7	1.73	1.77	V
	VLVI13	電源立ち上がり時	1.64	1.67	1.7	V
		電源立ち下がり時	1.6	1.63	1.66	V
最小パルス幅	T <sub>LW</sub>		300			μs
検出遅延					300	μs

## 割り込み&amp;リセット・モードのLVD検出電圧

(TA = -40~+85°C, 1.6 V ≤ VDD = VDD\_RF = AVDD\_RF ≤ 3.6 V, VSS = VSS\_RF = AVSS\_RF = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDA0	VPOC2, VPOC1, VPOC0 = 0, 0, 0 立ち下がリリセット電圧	1.60	1.63	1.66	V	
	VLVDA1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.74	1.77	1.81	V
			立ち下がリ割り込み電圧	1.70	1.73	1.77	V
	VLVDA2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	1.84	1.88	1.91	V
			立ち下がリ割り込み電圧	1.8	1.84	1.87	V
	VLVDA3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がリ割り込み電圧	2.80	2.86	2.91	V
	VLVDB0	VPOC2, VPOC1, VPOC0 = 0, 0, 1 立ち下がリリセット電圧	1.80	1.84	1.87	V	
	VLVDB1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がリ割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がリ割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がリ割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC2, VPOC1, VPOC0 = 0, 1, 0 立ち下がリリセット電圧	2.40	2.45	2.50	V	
	VLVDC1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がリ割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がリ割り込み電圧	2.60	2.65	2.70	V
	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1 立ち下がリリセット電圧	2.70	2.75	2.81	V	
VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V	
		立ち下がリ割り込み電圧	2.80	2.86	2.91	V	
VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V	
		立ち下がリ割り込み電圧	2.90	2.96	3.02	V	

## 30.8.5 電源電圧立ち上げ傾き

(TA = -40~+85°C, VSS = VSS\_RF = AVSS\_RF = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
VDDの立ち上がり傾き	SvDD				54	V/ms

注意 VDDが30.6 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

## 30.9 RFトランシーバ特性

### 30.9.1 RF送信特性

特に指定がない場合、弊社評価ボードで測定したものです。

( $T_A = +25^\circ\text{C}$ ,  $V_{DD} = V_{DD\_RF} = AV_{DD\_RF} = 3.0\text{ V}$ ,  $F = 2440\text{ MHz}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
RF周波数範囲	RF <sub>CF</sub>		2402		2480	MHz
データレート	RF <sub>DATA</sub>			1		Mbps
最大送信出力電力	RF <sub>POWER</sub>	RF出力端子				
		RFロー・パワーモード	-18	-15	-12	dBm
		RFノーマルモード	-3	0	3	dBm
		RFハイ・パフォーマンスモード	-3	0	3	dBm
送信出力設定	RF <sub>TXPOW</sub>	0, -1, -2, -7, -10, -15dBm	-15		0	dBm
スプリアス発射強度	RF <sub>TXSP</sub>	30~88 MHz		-76	-55	dBm
		88~216 MHz		-76	-52	dBm
		216~960 MHz		-74	-49	dBm
		960~1000 MHz		-74	-30	dBm
		1~12.75 GHz		-42	-41	dBm
		1.8~1.9 GHz		-73	-47	dBm
		5.15~5.3 GHz		-71	-47	dBm
高調波	RF <sub>TXHC1</sub>	2次高調波		-52	-41	dBm
	RF <sub>TXHC2</sub>	3次高調波		-51	-41	dBm
周波数許容誤差	RF <sub>TXFERR</sub>		-30		+30	ppm
インピーダンス	RF <sub>Z1</sub>			50+j0		$\Omega$

**注意** RF送信特性へのEMI影響を防ぐために、必要に応じてEMI対策を実施してください。



## 30.9.2 RF受信特性

特に指定がない場合、弊社評価ボードで測定したものです。

( $T_A = +25^\circ\text{C}$ ,  $V_{DD} = V_{DD\_RF} = AV_{DD\_RF} = 3.0\text{ V}$ ,  $F = 2440\text{ MHz}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

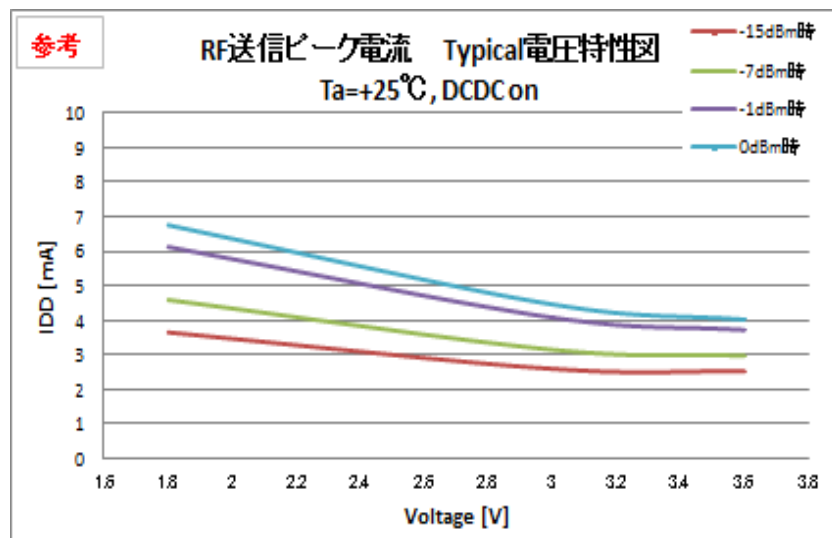
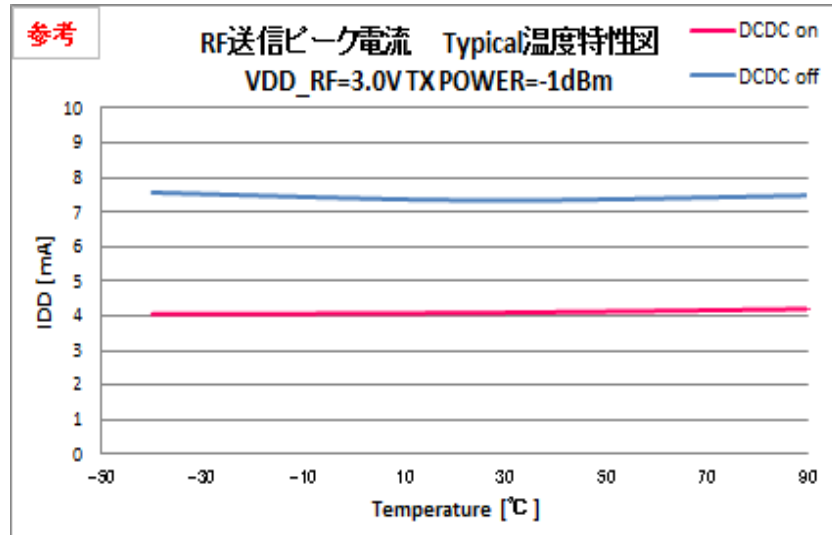
項目	略号	条件		MIN.	TYP.	MAX.	単位
RF入力周波数	RF <sub>RXFRIN</sub>			2402	-	2480	MHz
最大入力レベル	RF <sub>LEVL</sub>	PER ≤ 30.8% RF入力端子	RFロウ・パワーモード	-10	0	-	dBm
			RFノーマルモード	-10	1	-	dBm
			RFハイ・パフォーマンスモード	-10	1	-	dBm
受信感度	RF <sub>STY</sub>	PER ≤ 30.8%	RFロウ・パワーモード	-	-60	-50	dBm
			RFノーマルモード	-	-90	-70	dBm
			RFハイ・パフォーマンスモード	-	-92	-70	dBm
副次発射強度	RF <sub>RXSP</sub>		30 MHz ~ 1 GHz		-72	-57	dBm/100 kHz
			1 ~ 12 GHz		-57	-54	dBm/100 kHz
同一チャンネル 除去比	RF <sub>CCR</sub>	PER ≤ 30.8%, Prf = -67 dBm		-21	-12	-	dB
隣接チャンネル 除去比	RF <sub>ADCR</sub>	PER ≤ 30.8%, Prf = -67 dBm	±1 MHz	-15	-5	-	dB
			±2 MHz	17	29	-	dB
			±3 MHz	27	34	-	dB
Blocking	RF <sub>BLK</sub>	PER ≤ 30.8%, Prf = -67 dBm	30 MHz - 2000 MHz	-30	-13	-	dB
			2000 MHz ~ 2399 MHz	-35	-30	-	dBm
			2484 MHz ~ 3000 MHz	-35	-30	-	dBm
			> 3000 MHz	-30	-17	-	dBm
周波数許容誤差	RF <sub>RXFERR</sub>	PER ≤ 30.8%		-250		+250	kHz
RSSI精度	RF <sub>RSSIS</sub>	$T_A = +25^\circ\text{C}$ , $-70\text{ dBm} \leq \text{Prf} \leq -10\text{ dBm}$		-4	0	4	dB

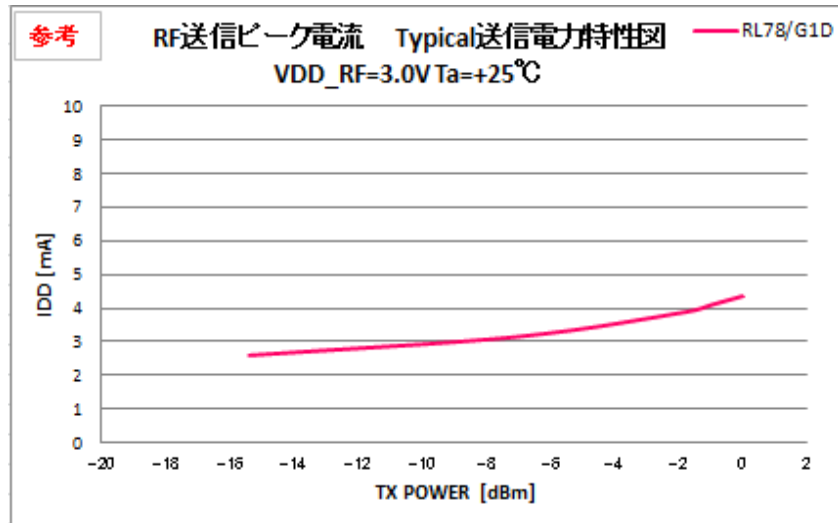
### 30.9.3 Typical特性図（参考）

#### (1) RF送信ピーク電流

当社の評価ボードで測定したものです。

電流値は、MCU部の電流は含みません。また、RFノーマルモード時になります。

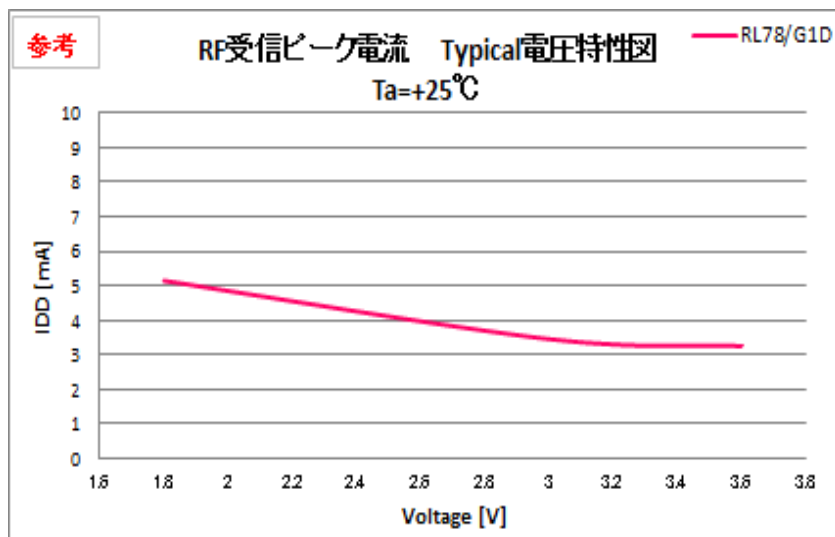
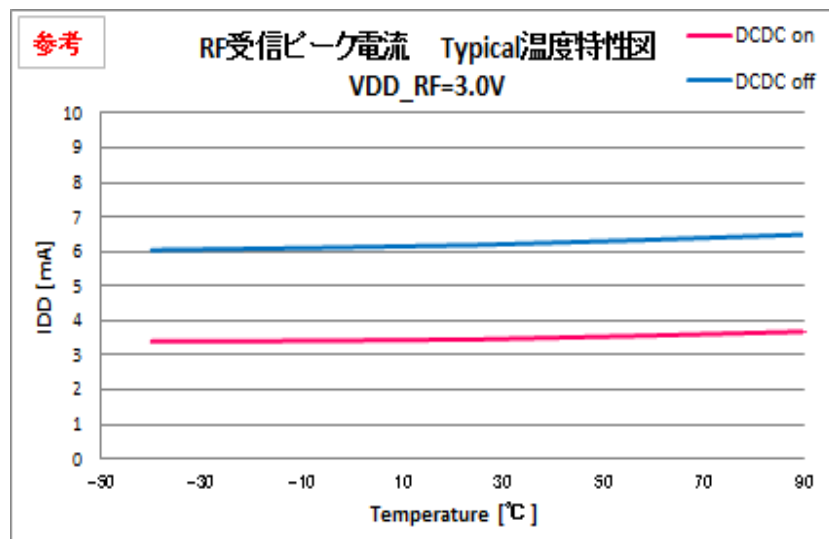




## (2) RF受信ピーク電流

当社の評価ボードで測定したものです。

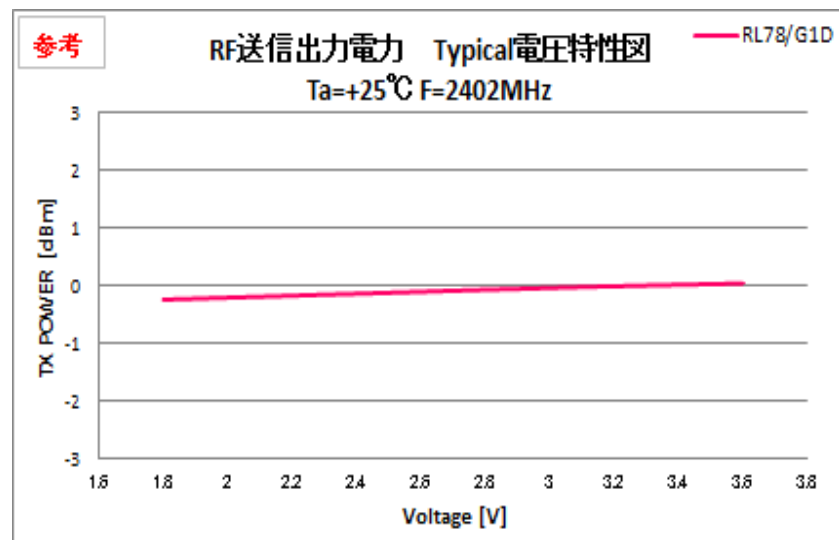
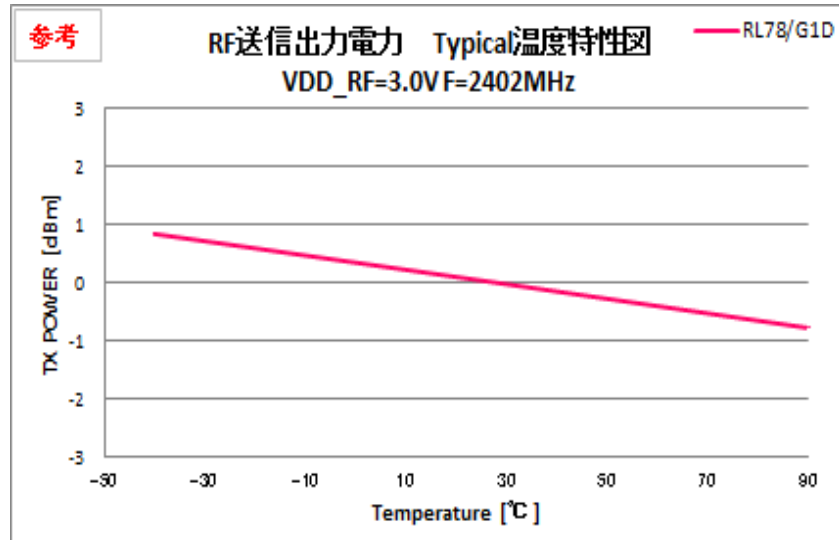
電流値は、MCU部の電流は含みません。また、RFノーマルモード時になります。

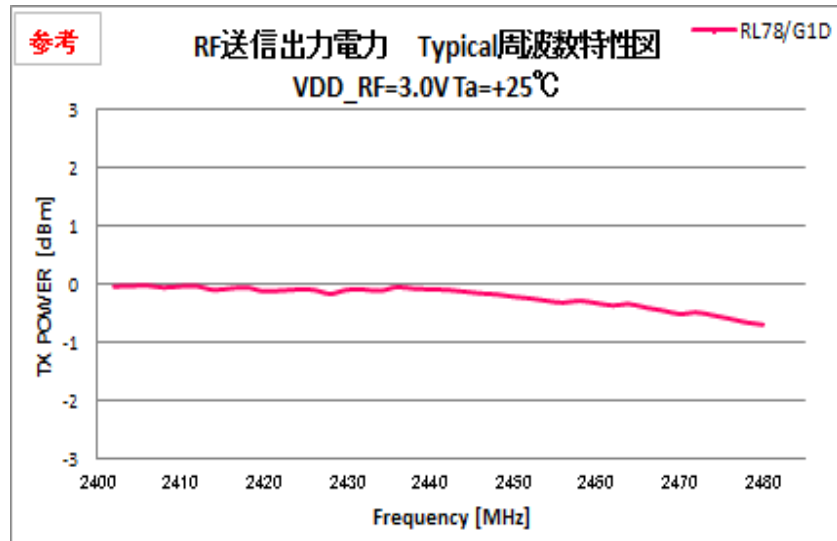


## (3) RF送信出力電力

当社の評価ボードで測定したものです。

電流値は、MCU部の電流は含みません。また、RFノーマルモード時になります。

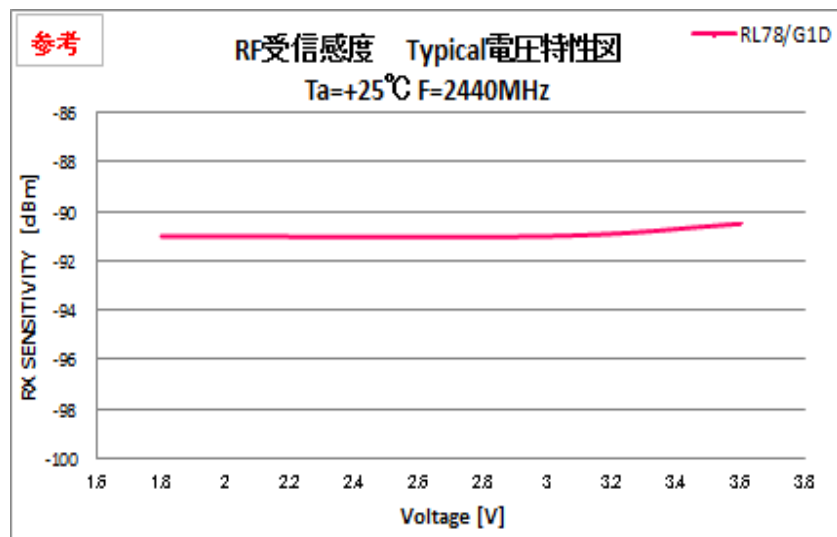
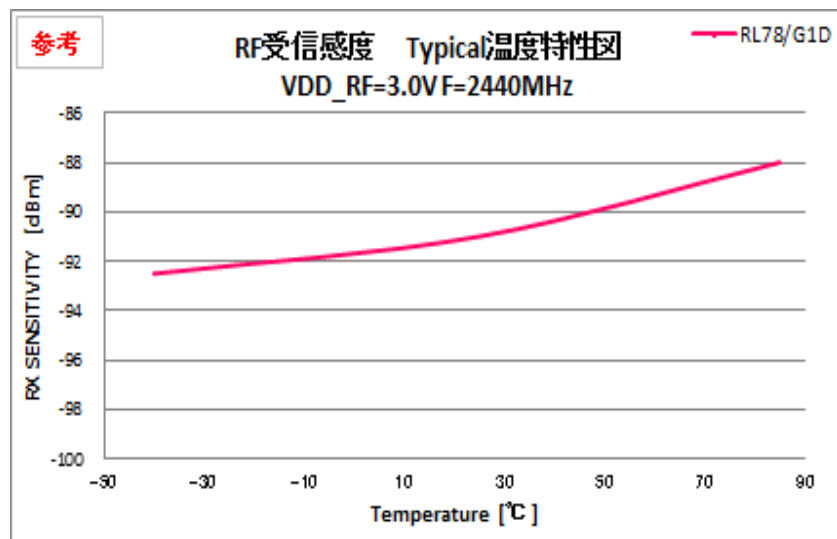




## (4) RF受信感度

当社の評価ボードで測定したものです。

電流値は、MCU部の電流は含みません。また、RFノーマルモード時になります。

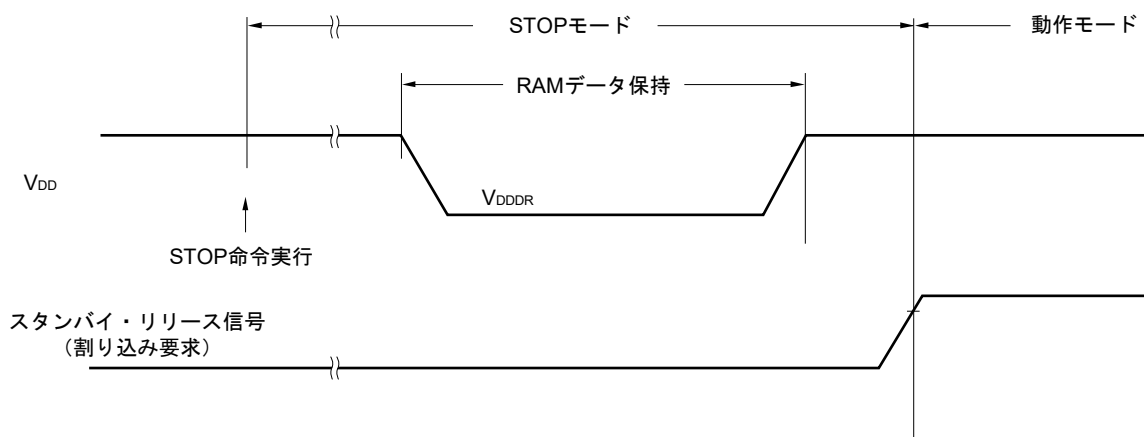


### 30.10 RAMデータ保持特性

( $T_A = -40 \sim +85^\circ\text{C}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.46 <sup>※</sup>		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



### 30.11 フラッシュ・メモリ・プログラミング特性

( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.8\text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f <sub>CLK</sub>	$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1		32	MHz
コード・フラッシュの書き換え回数 <sup>※1, 2, 3</sup>	Cerwr	保持年数: 20年, $T_A = 85^\circ\text{C}$	1,000			回
データ・フラッシュの書き換え回数 <sup>※1, 2, 3</sup>		保持年数: 1年, $T_A = 25^\circ\text{C}$		1,000,000		回
		保持年数: 5年, $T_A = 85^\circ\text{C}$	100,000			回
		保持年数: 20年, $T_A = 85^\circ\text{C}$	10,000			回

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。

保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とします。

- フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。
- この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

### 30.12 専用フラッシュ・メモリ・プログラミング通信 (UART)

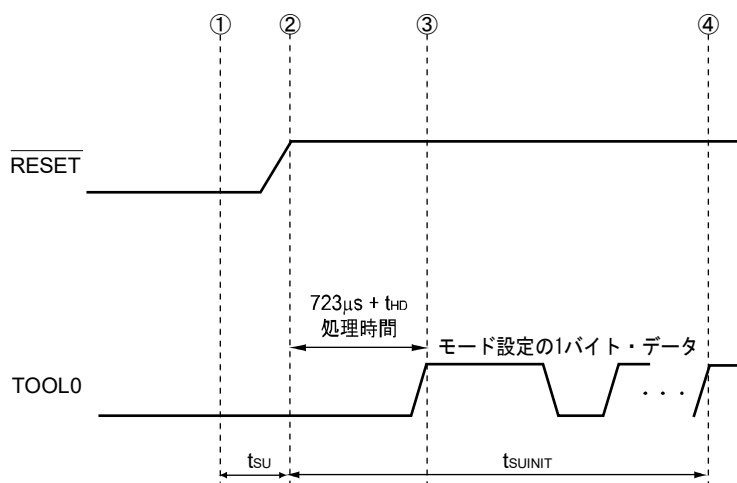
( $T_A = -40 \sim +85^\circ\text{C}$ ,  $1.8\text{ V} \leq V_{DD} = V_{DD\_RF} = AV_{DD\_RF} \leq 3.6\text{ V}$ ,  $V_{SS} = V_{SS\_RF} = AV_{SS\_RF} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

## 30.13 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

(TA = -40~+85°C, 1.8 V ≤ VDD = VDD\_RF = AVDD\_RF ≤ 3.6 V, VSS = VSS\_RF = AVSS\_RF = 0 V)

項目	略号	条件	MIN.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t <sub>SUINIT</sub>	外部リセット解除前にPOR, LVDリセットは解除		100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t <sub>SU</sub>	外部リセット解除前にPOR, LVDリセットは解除	10		μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t <sub>HD</sub>	外部リセット解除前にPOR, LVDリセットは解除	1		ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

**備考** t<sub>SUINIT</sub> : この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。

t<sub>SU</sub> : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

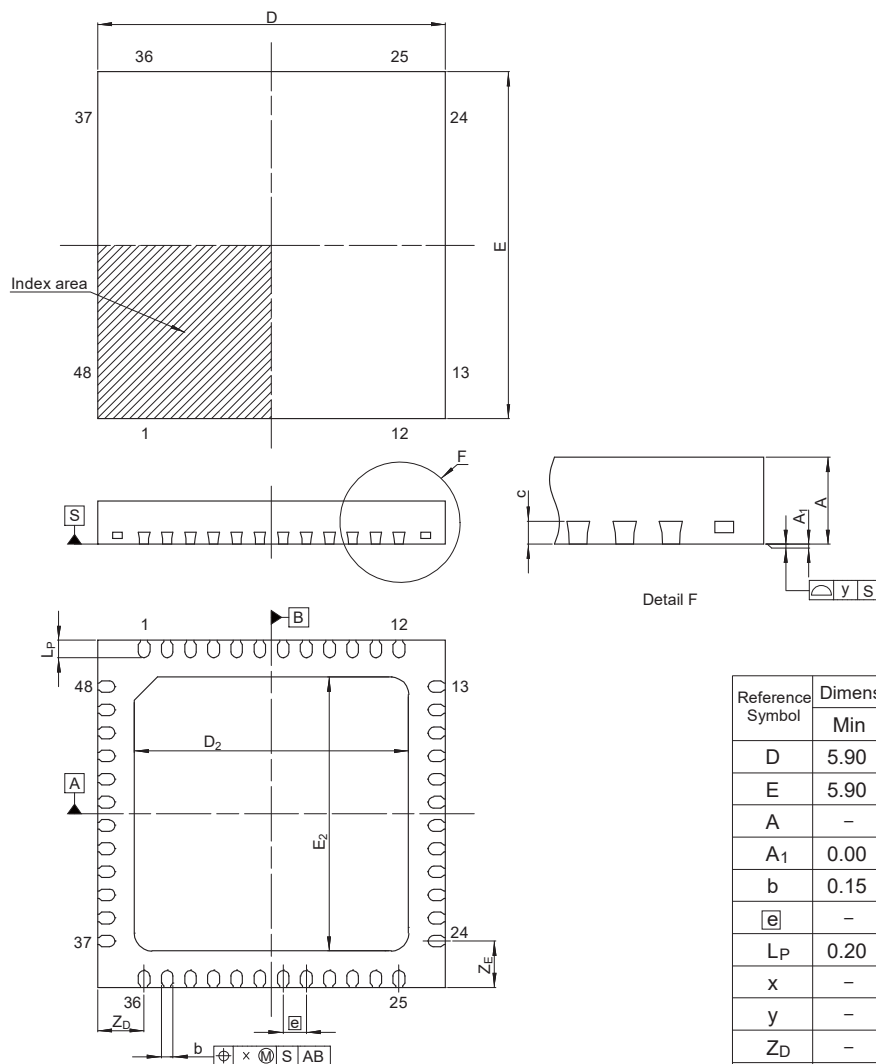
t<sub>HD</sub> : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

## 第31章 外形図

## 31.1 48ピン・プラスチックWQFN (6 × 6)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-HWQFN48-6x6-0.40	PWQN0048LB-A	-	0.07

Unit: mm



© 2015 Renesas Electronics Corporation. All rights reserved.



## 付録A 改版履歴

## A.1 本版で修正した箇所

(1/2)

箇所	内容	分類
第1章 概説		
p.1, 8	Bluetoothのバージョンを変更	(b)
p.1	CPUコアのサブコードを表記	(c)
p.7	1.5 ブロック図を変更	(a)
第2章 MCUとRFトランシーバの接続		
p.14	2.3 MCUの未使用内部端子の初期設定を変更	(a)
第3章 端子機能		
p.30, 32-36	図3 7 端子タイプ7-1-2、図3 10 端子タイプ8-1-1～図3 13 端子タイプ 12-1-1の端子ブロック図に注意を追加	(c)
第4章 CPUアーキテクチャ		
p.38	4.1 概要を追加	(c)
p.60	表4-5 SFR一覧 (1/4) に説明を追加	(c)
p.66	表4 - 6 拡張SFR ( 2nd SFR ) 一覧 ( 1/5 ) に説明を追加	(c)
第5章 ポート機能		
p.85	表5-1 ポートの構成を変更	(a)
p.91-93	表5-3 PMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットに説明を追加	(c)
p.94-95	図5-1 ポート・モード・レジスタのフォーマットの説明を変更、追加	(a) (c)
p.97	図5-2 ポート・レジスタのフォーマットに説明を追加	(c)
p.102	図5-7 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマットを変更	(a)
第6章 クロック発生回路		
p.154-155	表6-4 CPUクロックの移行についてを変更	(a)
p.159-162	6.7 発振子と発振回路定数に備考を追加	(c)
p.162	6.7 (3) RF基準クロック発振 (水晶振動子) に説明を追加	(c)
第7章 タイマ・アレイ・ユニット		
p.182	図7-11 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/4) に説明を追加	(c)
p.227	7.8.2 外部イベント・カウンタとしての動作を変更	(a)
第12章 A/Dコンバータ		
p.326	図12-4 A/D電圧コンパレータ使用時のタイミング・チャートを変更	(a)
第13章 シリアル・アレイ・ユニット		
p.448	図13-59 スレーブ受信の再開設定手順を変更	(a)
p.480	図13-83 UART (UART0, UART1) のUART受信時のレジスタ設定内容例 (1/2) の注2を変更	(a)
第14章 シリアル・インタフェースIICA		
p.525	図14-6 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (2/4) を変更	(c)
p.530	図14-7 IICAステータス・レジスタn (IICSn) のフォーマット (3/3) を変更	(c)
p.540	14.5 I <sup>2</sup> Cバスの定義および制御方法を変更	(c)
p.542	14.5.4 アクノリッジ (ACK) を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様 (スペック含む) の追加/変更、(c) : 説明、注意事項の追加/変更、  
 (d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

(2/2)

箇所	内容	分類
p.544, 545	図14-20 ウェイトを変更	(c)
p.568-588	14.5.17 I <sup>2</sup> C割り込み要求 (INTIICAn) の発生タイミングを変更	(c)
p.590, 592, 594, 596	図14-32 マスタ→スレーブ通信例を変更	(c)
p.598, 600, 602	図14-33 スレーブ→マスタ通信例を変更	(c)
第15章 RFトランシーバ		
p.605	Bluetoothのバージョンを変更	(b)
第18章 割り込み機能		
p.672	図18-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L) のフォーマットの注意2 を変更	(a)
第19章 スタンバイ機能		
p.696, 701	表19-2 STOPモード時の動作状態、表19-3 SNOOZEモード時の動作状態を変更	(a)
p.702	図19-6 SNOOZEモードの割り込み要求が発生しない場合を変更	(a)
第26章 フラッシュ・メモリ		
全般	フラッシュ・メモリ・プログラムを変更、デバッグエミュレータを追加	(c)
p.779	表26-9 シグネチャ・データ例を変更	(a)
第30章 電気的特性		
p.865-867	30.7.2 シリアル・インタフェースIICAの注2を変更	(c)

**備考** 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様 (スペック含む) の追加/変更、(c) : 説明、注意事項の追加/変更、  
(d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

## A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/7)

版数	内容	適用箇所
Rev.1.20	1.3 端子接続図 (Top View) の端子名を変更	第1章 概説
	図2-3 電源構成 を変更	第2章 MCUとRFトランシーバの接続
	2.5 電源構成 注意1を追加	
	表3-1 各端子の入出力バッファ電源 端子名を変更	第3章 端子機能
	3.1 ポート機能 表(2/2)の端子名を変更	
	表3-3 各端子の未使用端子処理 未使用時の推奨接続方法を変更	
	表3-3 各端子の未使用端子処理 端子名および未使用時の推奨接続方法を変更	
	図3-8 端子タイプ 7-3-1の端子ブロック図 を追加	第6章 クロック発生回路
	6.4.4 低速オンチップ・オシレータ 説明を変更	
	表11-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 注を追加	第11章 ウォッチドッグ・タイマ
	図23-3 フラッシュ・メモリCRC演算機能 (高速CRC) のフロー・チャート を変更	第23章 安全機能
	図25-1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマットの設定 注3を追加	第25章 オプション・バイト
	30.8.1 A/Dコンバータ特性 (1) 端子名を変更	第30章 電気的特性
30.8.1 A/Dコンバータ特性 (3) 端子名を変更		
Rev.1.10	1.1 特徴の説明を変更	第1章 概説
	1.6 機能概要の説明を変更	第2章 MCUとRFトランシーバの接続
	2.1 MCUとRFトランシーバの接続端子の説明を変更	
	表2-1 内部端子接続を変更	
	表2-2 ユーザ基板上で外部接続する端子を変更	
	2.4 Bluetooth Low Energy動作クロックの説明を変更	
	図2-3 (b) DC-DCコンバータ未使用時を変更	第3章 端子機能
	3.1 ポート機能の説明を変更	
	3.2 ポート以外の機能の説明を変更	
	表3-3 各端子の未使用端子処理の説明を変更	
	図3-3 RF高速基準クロック端子タイプ 2-1-2の端子ブロック図を変更	第5章 ポート機能
	表5-1 ポートの構成を変更	
	5.2.8 ポート12の説明を変更	
	5.2.10 ポート14の説明を変更	
	表5-3 PMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを変更	
	図5-2 ポート・レジスタのフォーマット, 注4を追加	
	図5-6 ポート・モード・コントロール・レジスタのフォーマットを変更	
	図5-7 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット, 注意を変更	
	図5-8 周辺I/Oリダイレクション・レジスタ (PIOR) のフォーマットを変更	
	5.4.5 (3) IIC00, IIC20機能の入出力ポートを異電位 (1.8 V系, 2.5 V系, 3 V系) で使用する場合の設定手順の説明を変更	
	図5-10 端子の出力回路の基本的な構成, 備考を変更	
表5-5 端子機能使用時のレジスタ, 出力ラッチの設定例を変更		

(2/7)

版 数	内 容	適用箇所
Rev.1.10	6.1 (1) ② 高速オンチップ・オシレータの説明を追加	第6章 クロック発生回路
	6.1 (4) RFトランシーバ基準クロックの備考を変更	
	図6-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット, 注意6の説明を追加	
	6.4.5 RF基準クロック発振回路の説明を変更	
	6.6.2 X1発振回路の設定例, 注意を追加	
	6.6.2 X1発振回路の設定例, 表を追加	
	6.6.3 XT1発振回路の設定例の説明を変更	
	表6-4 CPUクロックの移行についてを変更	
	6.6.7 クロック発振停止前の条件の説明を追加	
	6.7 発振子と発振回路定数の注意3を追加, 図6-17 (c) RF基準クロック発振を変更	
	6.7 (1) X1発振, 注4を追加	
	6.7 (1) X1発振の項目を変更, 注2を削除	
	6.7 (2) XT1発振 (水晶振動子) の項目を変更	
	6.7 (3) RF部発振 (水晶振動子) を追加	
	(7) デイレイ・カウンタ, 注を削除	第7章 タイマ・アレイ・ユニット
	表7-2 製品に搭載しているタイマ入出力端子, 注2を削除	
	図7-2 タイマ・アレイ・ユニット0のチャンネル0, 2, 4, 6内部ブロック図, 注を変更	
	図7-3 タイマ・アレイ・ユニット0のチャンネル1,3内部ブロック図, 備考を追加	
	図7-4 タイマ・アレイ・ユニット0のチャンネル5内部ブロック図, 図7-5 タイマ・アレイ・ユニット0のチャンネル7内部ブロック図を変更	
	図7-10 タイマ・クロック選択レジスタm (TPSm) のフォーマット (1/2), 備考を変更	
	図7-11 タイマ・モード・レジスタmn (TMRmn) のフォーマットを変更	
	図7-16 タイマ入力選択レジスタ0 (TIS0) のフォーマット, 注意を変更	
	図7-17 タイマ出力許可レジスタ0 (TOE0) のフォーマット, 注意, 備考を変更	
	7.3.10 タイマ出力レジスタ0 (TO0) の説明を変更	
	図7-19 タイマ出力レベル・レジスタ0 (TOL0) のフォーマットを変更	
	図7-20 タイマ出力モード・レジスタ0 (TOM0) のフォーマットを変更	
	7.3.13 ノイズ・フィルタ許可レジスタ1 (NFEN1) の説明を変更	
	図7-21 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマットを変更	
	7.3.14 タイマ入出力端子のポート機能を制御するレジスタの説明を変更	
	7.5.1 カウント・クロック (fCLK) の説明を変更	
	図7-31 トグル出力時 (TOM0n = 0) のTO0n端子出力状態, 備考2を変更	
	図7-32 PWM出力時 (TOM0p = 1) のTO0p端子出力状態, 備考2を変更	
	図7-36 TO0nビットの一括操作によるTO0nの端子状態, 注意を削除	
図7-56 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図を変更		
図7-60 デイレイ・カウンタとしての動作のブロック図を変更		
図8-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2) 注を追加	第8章 リアルタイム・クロック	
図9-2 周辺イネーブル・レジスタ0 (PER0) のフォーマットを変更	第9章 12ビット・インターバル・タイマ	

(3/7)

版 数	内 容	適用箇所
Rev.1.10	10.5 クロック出力／ブザー出力制御回路の注意事項の説明を変更	第10章 クロック出力／ブザー出力制御回路
	12.1 A/Dコンバータの機能の説明を追加, 変更	第12章 A/Dコンバータ
	図12-3 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマットを変更	
	表12-2 ADCSビットのセット／クリア条件を変更	
	図12-4 A/D電圧コンパレータ使用時のタイミング・チャートを変更	
	表12-3 A/D変換時間の選択, 注1を変更	
	図12-11 アナログ入力チャンネル指定レジスタ (ADS) のフォーマットを変更	
	12.6.1 ソフトウェア・トリガ・モード (セレクト・モード, 連続変換モード) の説明を変更	
	図12-17 ソフトウェア・トリガ・モード (セレクト・モード, 連続変換モード) 動作タイミング例を変更	
	12.6.2 ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード) の説明を変更	
	図12-18 ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例を変更	
	12.6.3 ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード) を追加	
	12.6.4 ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード) を追加	
	12.6.5 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード) の説明を変更	
	図12-21 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード) 動作タイミング例を変更	
	12.6.6 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード) の説明を変更	
	図12-22 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例を変更	
	12.6.7 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード) を追加	
	12.6.8 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード) を追加	
	12.6.9 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, 連続変換モード) の説明を変更	
図12-25 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, 連続変換モード) 動作タイミング例を変更		
12.6.10 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード) の説明を変更		
図12-26 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例を変更		
12.6.11 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, 連続変換モード) を追加		
12.6.12 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード) を追加		

(4/7)

版 数	内 容	適用箇所
Rev.1.10	図12-29 ソフトウェア・トリガ・モード設定を変更	第12章 A/Dコンバータ
	図12-30 ハードウェア・トリガ・ノーウェイト・モード設定を変更	
	図12-31 ハードウェア・トリガ・ウェイト・モード設定を変更	
	図12-32 温度センサ出力電圧/内部基準電圧を選択時の設定を変更	
	図12-33 テスト・トリガ・モード設定を変更	
	12.8 SNOOZEモード機能の説明を変更	
	12.10 (2) ANI0-ANI3, ANI16-ANI19端子入力範囲についての説明を変更	
	12.10 (5) アナログ入力 (ANIn) 端子の説明を変更	
	表12-4 等価回路の各抵抗と容量値 (参考値) を変更	
	13.1.1 3線シリアルI/O (CSI00, CSI20, CSI21), 注2を追加	第13章 シリアル・アレイ・ユニット
	図13-2 シリアル・アレイ・ユニット1のブロック図を追加	
	13.2.2 シリアル・データ・レジスタmn (SDRmn) の下位8/9ビット, 注2を変更	
	図13-8 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2), 注2を変更	
	図13-9 シリアル・データ・レジスタmn (SDRmn) のフォーマット, 注意2, 4を変更	
	図13-18 送信データのレベル反転例を変更	
	図13-22 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定, 注意2を変更	
	13.5 3線シリアルI/O (CSI00, CSI20, CSI21) 通信の動作を変更	
	13.5.1 マスタ送信の説明を変更	
	13.5.1 (1) (e) シリアル出力許可レジスタm (SOEm), 注を変更	
	13.5.2 (1) (e) シリアル出力許可レジスタm (SOEm), 注を変更	
	13.5.3 マスタ送受信の説明を変更	
	13.5.3 (1) (e) シリアル出力許可レジスタm (SOEm), 注を変更	
	13.5.4 (1) (e) シリアル出力許可レジスタm (SOEm), 注を変更	
	13.5.5 (1) (e) シリアル出力許可レジスタm (SOEm), 注を変更	
	13.5.6 (1) (e) シリアル出力許可レジスタm (SOEm), 注を変更	
	13.5.7 SNOOZEモード機能の説明を変更	
	図13-70 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0) を変更	
	図13-71 SNOOZEモード動作 (1回起動) 時のフロー・チャートを変更	
	図13-72 SNOOZEモード動作 (連続起動) 時のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0) を変更	
図13-73 SNOOZEモード動作 (連続起動) 時のフロー・チャートを変更		
表13-2 3線シリアルI/O動作クロックの選択を変更		
図13-75 UART (UART0, UART1) のUART送信時のレジスタ設定内容例 (2/2), 備考を変更		
図13-80 UART送信 (シングル送信モード時) のフロー・チャートを変更		
13.6.2 UART受信の説明を変更		
図13-86 UART受信の再開設定手順を変更		
13.6.3 SNOOZEモード機能の説明を変更, 注意5を追加		
図13-89 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャートを変更		

版 数	内 容	適用箇所
Rev.1.10	図13-90 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャートを変更	第13章 シリアル・アレイ・ユニット
	図13-91 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0) 時のフロー・チャートを変更	
	図13-92 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートを変更	
	図13-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートを変更	
	13.6.4 ポー・レートの算出, 注意, 備考1を変更	
	表13-4 UART動作クロックの選択を変更	
	図13-97 簡易I <sup>2</sup> C (IIC00, IIC20) のアドレス・フィールド送信時のレジスタ設定内容例を変更	
	図13-98 簡易I <sup>2</sup> Cアドレス・フィールド送信の初期設定手順, 備考を削除	
	図13-101 簡易I <sup>2</sup> C (IIC00, IIC20) のデータ送信時のレジスタ設定内容例を変更	
	図13-104 簡易I <sup>2</sup> C (IIC00, IIC20) のデータ受信時のレジスタ設定内容例を変更	
	表13-5 簡易I <sup>2</sup> C動作クロックの選択を変更	
	図14-1 シリアル・インタフェースIICA0のブロック図を変更	第14章 シリアル・インタフェースIICA
	図14-9 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマットを変更	
	14.3.6 IICAロウ・レベル幅設定レジスタn (IICWLn) の説明を追加	
	14.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法の説明を変更	
	図14-22 WUPn = 1を設定する場合のフローを変更	
	図14-23 アドレス一致によりWUPn = 0に設定する場合のフロー (拡張コード受信含む) を変更	
	14.5.13 ウエイク・アップ機能の説明を変更	
	図14-24 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合を変更	
	14.5.14 (1) 通信予約機能許可の場合を変更	
	図14-27 通信予約の手順, 注1, 備考1を変更	
	14.5.14 (2) 通信予約機能禁止の場合の説明を変更	
	14.5.15 (3) すでに他者との間でI <sup>2</sup> C通信が行われている場合の説明を変更	
	図14-28 シングルマスタ・システムでのマスタ動作を変更	第15章 RFトランシーバ
	図14-29 マルチマスタ・システムでのマスタ動作 (1/3) を変更	
	図14-29 マルチマスタ・システムでのマスタ動作 (2/3), 備考を変更	
	図14-30 スレーブ動作手順 (1) を変更	第17章 DMAコントローラ
	15.2.1 デジタル端子の説明を追加, (4) TXSELH_RF, TXSELL_RFの説明を変更	
表15-3 各動作モードの端子状態 (1/2) を変更	第18章 割り込み機能	
17.6 (2) 割り込み要求との競合動作を追加		
表18-1 割り込み要因一覧を変更		
表18-2 割り込み要求ソースに対応する各種フラグ (1/2) を変更	第19章 スタンバイ機能	
表18-5 割り込み処理中に多重割り込み可能な割り込み要求の関係を変更		
表19-1 HALTモード時の動作状態を変更		
表19-3 SNOOZEモード時の動作状態を変更	第20章 リセット機能	
20.1 リセット動作のタイミングの説明を変更		

版 数	内 容	適用箇所
Rev.1.10	図20-3 ウォッチドッグ・タイマのオーバフロー／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスの検出によるリセット・タイミングのタイトルを変更, 注意を削除	第20章 リセット機能
	図21-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを変更	第21章 パワーオン・リセット回路
	22.1 電圧検出回路の機能の説明を変更	第22章 電圧検出回路
	22.4.2 割り込みモードとして使用する場合の設定の説明を変更	
	22.4.3 割り込み&リセット・モードとして使用する場合の設定の説明を変更	
	図22-7 割り込み&リセット信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (1/2) を変更	
	23.3.1 フラッシュ・メモリCRC演算機能(高速CRC)の説明を変更	第23章 安全機能
	23.3.7 周波数検出機能, 注を変更	
	25.1.1 (3) 000C2H/010C2Hの説明を追加	第25章 オプション・バイト
	図25-3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマットを変更	
	表26-1 RL78/G1Dと専用フラッシュ・メモリ・プログラムの配線表を変更	第26章 フラッシュ・メモリ
	図26-2 専用フラッシュ・メモリ・プログラムとの通信を変更	
	表26-2 端子接続一覧を変更	
	26.3.5 X1, X2端子を追加	
	図26-7 フラッシュ・メモリ・プログラミング・モードへの引き込みを変更	
	26.6 セルフ・プログラミング, 備考1を変更	
	図26-10 ブート・スワップの実行例を変更	
	26.8.1 データ・フラッシュの概要の説明, 注意を変更	
	26.8.3 データ・フラッシュへのアクセス手順の説明を変更	
	表27-1 オンチップ・デバッグ・セキュリティIDを変更	
	表29-2オペレーション欄の記号を変更	第29章 命令セットの概要
	30.3.2 オンチップ・オシレータ特性の説明を変更	第30章 電气的特性
	30.5.1 (3) 周辺電流の説明を変更	
30.7.2 (1) I2C 標準モードの説明を変更		
30.9.1 RF送信特性の説明を変更		
30.9.2 RF受信特性の説明を変更		
30.9.2 RF受信特性の説明を変更		
Rev.1.00	1.1 特徴の説明を変更	第1章 概説
	1.1 特徴の説明を追加	
	図1-1 RL78/G1Dの型名とメモリ・サイズ, パッケージを変更	
	表1-1 発注型名一覧を変更	
	1.3 端子接続図(Top View)を変更	
	1.4 端子名称を変更	
	1.5 ブロック図を変更	
	1.6 機能概要の説明を変更	
	2.1 MCUとRFトランシーバの接続端子の説明を変更	第2章 MCUとRFトランシーバの接続
	表2-2 ユーザ基板上で外部接続する端子を変更	



(7/7)

版 数	内 容	適用箇所
Rev.1.00	2.3 MCUの未使用内部端子の初期設定の説明を変更	第2章 MCUとRFトランシーバの接続
	2.4 Bluetooth Low Energy動作クロックの説明を変更	
	表2-4 クロック発振子接続（RFスロー・クロックにオンチップ・オシレータを使用）を変更	
	図2-1 クロック構成（RFスロー・クロックにオンチップ・オシレータを使用）を変更	
	表2-5 クロック発振子接続（RFスロー・クロックに方形波入力を使用）を変更	
	図2-2 クロック構成（RFスロー・クロックに方形波入力を使用）を変更	
	2.5 電源構成の説明を変更	
	図2-3 電源構成を変更	
	3.1 ポート機能を変更	第3章 端子機能
	3.2 ポート以外の機能を変更	
	表3-3 各端子の未使用端子処理を変更	
	5.2.6 ポート6の説明を追加	第5章 ポート機能
	説明の追加と変更	第15章 RFトランシーバ
	表26-9 シグネチャ・データ例を変更	第26章 フラッシュ・メモリ
説明の追加と変更	第30章 電気的特性	
外形図を変更	第31章 外形図	
Rev.0.50	初版発行	全般

---

RL78/G1D ユーザーズマニュアル  
ハードウェア編

発行年月日 2014年4月15日 Rev.1.00  
2018年3月7日 Rev.1.30

発行 ルネサス エレクトロニクス株式会社  
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

---



ルネサスエレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<https://www.renesas.com/contact/>

RL78/G1D

**RENESAS**

ルネサス エレクトロニクス株式会社

R01UH0515JJ0130