

RL78/G1G

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング等、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

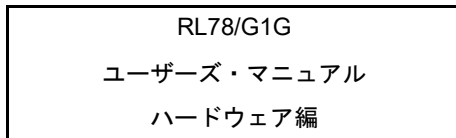
このマニュアルの使い方

対象者 このマニュアルは RL78/G1G の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

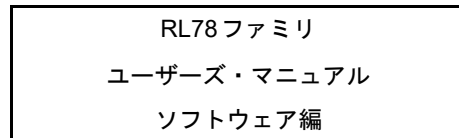
- 30ピン： R5F11EAx(x = 8, A)
- 32ピン： R5F11EBx(x = 8, A)
- 44ピン： R5F11EFx(x = 8, A)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/G1Gのマニュアルは、このマニュアルとソフトウェア編(RL78ファミリ共通)の2冊に分かれています。



- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性



- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”をPDF上でコピーして「検索する文字列」に指定することによって、改訂箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

□ RL78/G1Gマイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015J)を参照してください。

凡例	データ表記の重み：	左が上位桁，右が下位桁
	アクティブ・ロウの表記：	<u>xxx</u> (端子，信号名称に上線)
	注：	本文中につけた注の説明
	注意：	気をつけて読んでいただきたい内容
	備考：	本文の補足説明
	数の表記：	2進数...xxxxまたはxxxxB
		10進数...xxxx
		16進数...xxxxH

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G1G ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0499E
RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル	—	—
RL78, 78K, V850, RX100, RX200, RX600 (RX64x除く), R8C, SH編	R20UT2923J	R20UT2923E
共通編	R20UT2922J	R20UT2922E
セットアップマニュアル	R20UT0930J	R20UT0930E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78 ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash® を使用しています。

目次

1.	概説	1
1.1	特徴	1
1.2	型名一覧	3
1.3	端子接続図(Top View)	4
1.3.1	30ピン製品	4
1.3.2	32ピン製品	5
1.3.3	44ピン製品	6
1.4	端子名称	7
1.5	ブロック図	8
1.5.1	30ピン製品	8
1.5.2	32ピン製品	9
1.5.3	44ピン製品	10
1.6	機能概要	11
2.	端子機能	13
2.1	ポート機能	13
2.1.1	30ピン製品	14
2.1.2	32ピン製品	16
2.1.3	44ピン製品	18
2.2	ポート以外の機能	20
2.2.1	製品別の搭載機能	20
2.2.2	機能説明	21
2.3	未使用端子の処理	23
3.	CPUアーキテクチャ	25
3.1	概要	25
3.1.1	内部プログラム・メモリ空間	29
3.1.2	ミラー領域	32
3.1.3	内部データ・メモリ空間	34
3.1.4	特殊機能レジスタ(SFR : Special Function Register)領域	34
3.1.5	拡張特殊機能レジスタ(2nd SFR : 2nd Special Function Register)領域	34
3.1.6	データ・メモリ・アドレッシング	35
3.2	プロセッサ・レジスタ	38
3.2.1	制御レジスタ	38
3.2.2	汎用レジスタ	41
3.2.3	ES, CS レジスタ	43
3.2.4	特殊機能レジスタ(SFR : Special Function Register)	44
3.2.5	拡張特殊機能レジスタ(2nd SFR : 2nd Special Function Register)	48
3.3	命令アドレスのアドレッシング	55
3.3.1	レラティブ・アドレッシング	55
3.3.2	イミューディエト・アドレッシング	55
3.3.3	テーブル・インダイレクト・アドレッシング	56
3.3.4	レジスタ・ダイレクト・アドレッシング	56
3.4	処理データ・アドレスに対するアドレッシング	57
3.4.1	インプライド・アドレッシング	57

3.4.2	レジスタ・アドレッシング	57
3.4.3	ダイレクト・アドレッシング	58
3.4.4	ショート・ダイレクト・アドレッシング	59
3.4.5	SFRアドレッシング	60
3.4.6	レジスタ・インダイレクト・アドレッシング	61
3.4.7	ベースト・アドレッシング	62
3.4.8	ベースト・インデクスト・アドレッシング	65
3.4.9	スタック・アドレッシング	66
4.	ポート機能	69
4.1	ポートの機能	69
4.2	ポートの構成	69
4.2.1	ポート0	70
4.2.2	ポート1	73
4.2.3	ポート2	83
4.2.4	ポート3	85
4.2.5	ポート4	88
4.2.6	ポート5	91
4.2.7	ポート6	94
4.2.8	ポート7	96
4.2.9	ポート12	98
4.2.10	ポート13	102
4.2.11	ポート14	103
4.3	ポート機能を制御するレジスタ	106
4.3.1	ポート・モード・レジスタ (PMxx)	109
4.3.2	ポート・レジスタ (Pxx)	110
4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	111
4.3.4	ポート入力モード・レジスタ (PIMxx)	112
4.3.5	ポート出力モード・レジスタ (POMxx)	113
4.3.6	ポート・モード・コントロール・レジスタ0, 12, 14 (PMCxx)	114
4.3.7	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	115
4.3.8	周辺I/Oリダイレクション・レジスタ1 (PIOR1)	116
4.4	ポート機能の動作	117
4.4.1	入出力ポートへの書き込み	117
4.4.2	入出力ポートからの読み出し	117
4.4.3	入出力ポートでの演算	117
4.4.4	入出力バッファによる異電位(2.5 V系, 3 V系)対応	118
4.5	使用するポート機能および兼用機能のレジスタの設定	121
4.6	ポート機能使用時の注意事項	128
4.6.1	ポート・レジスタn (Pn)に対する1ビット・メモリ操作命令に関する注意事項	128
4.6.2	端子設定に関する注意事項	129
5.	クロック発生回路	131
5.1	クロック発生回路の機能	131
5.2	クロック発生回路の構成	133
5.3	クロック発生回路を制御するレジスタ	135
5.3.1	クロック動作モード制御レジスタ (CMC)	136
5.3.2	システム・クロック制御レジスタ (CKC)	137
5.3.3	クロック動作ステータス制御レジスタ (CSC)	138

5.3.4	発振安定時間カウンタ状態レジスタ (OSTC).....	139
5.3.5	発振安定時間選択レジスタ (OSTS).....	141
5.3.6	周辺イネーブル・レジスタ 0, 1 (PER0, PER1).....	143
5.3.7	動作スピード・モード制御レジスタ (OSMC).....	146
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV).....	147
5.3.9	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM).....	148
5.4	システム・クロック発振回路.....	149
5.4.1	X1 発振回路.....	149
5.4.2	高速オンチップ・オシレータ.....	152
5.4.3	低速オンチップ・オシレータ.....	152
5.5	クロック発生回路の動作.....	153
5.6	クロックの制御.....	155
5.6.1	高速オンチップ・オシレータの設定例.....	155
5.6.2	X1 発振回路の設定例.....	157
5.6.3	CPUクロック状態移行図.....	159
5.6.4	CPUクロックの移行前の条件と移行後の処理.....	163
5.6.5	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間.....	164
5.6.6	クロック発振停止前の条件.....	164
5.7	発振子と発振回路定数.....	165
6.	タイマ・アレイ・ユニット.....	167
6.1	タイマ・アレイ・ユニットの機能.....	169
6.1.1	単独チャンネル動作機能.....	169
6.1.2	複数チャンネル連動動作機能.....	170
6.1.3	8ビット・タイマ動作機能(チャンネル1, 3のみ).....	171
6.2	タイマ・アレイ・ユニットの構成.....	172
6.2.1	タイマ・カウンタ・レジスタ mn (TCRmn).....	176
6.2.2	タイマ・データ・レジスタ mn (TDRmn).....	178
6.3	タイマ・アレイ・ユニットを制御するレジスタ.....	179
6.3.1	周辺イネーブル・レジスタ 0 (PER0).....	180
6.3.2	タイマ・クロック選択レジスタ m (TPSm).....	181
6.3.3	タイマ・モード・レジスタ mn (TMRmn).....	184
6.3.4	タイマ・ステータス・レジスタ mn (TSRmn).....	189
6.3.5	タイマ・チャンネル許可ステータス・レジスタ m (TEm).....	190
6.3.6	タイマ・チャンネル開始レジスタ m (TSm).....	191
6.3.7	タイマ・チャンネル停止レジスタ m (TTm).....	193
6.3.8	タイマ入力選択レジスタ 0 (TIS0).....	194
6.3.9	タイマ出力許可レジスタ m (TOEm).....	195
6.3.10	タイマ出力レジスタ m (TOm).....	196
6.3.11	タイマ出力レベル・レジスタ m (TOLm).....	197
6.3.12	タイマ出力モード・レジスタ m (TOMm).....	198
6.3.13	ノイズ・フィルタ許可レジスタ 1 (NFEN1).....	199
6.3.14	ポート・モード・レジスタ 0, 1, 3 (PM0, PM1, PM3).....	200
6.4	タイマ・アレイ・ユニットの基本ルール.....	201
6.4.1	複数チャンネル連動動作機能の基本ルール.....	201
6.4.2	8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ).....	203
6.5	カウンタの動作.....	204
6.5.1	カウント・クロック (f _{CLK}).....	204
6.5.2	カウンタのスタート・タイミング.....	206

6.5.3	カウンタの動作	207
6.6	チャンネル出力(TOmn端子)の制御	212
6.6.1	TOmn端子の出力回路の構成.....	212
6.6.2	TOmn端子の出力設定.....	213
6.6.3	チャンネル出力操作時の注意事項	214
6.6.4	TOmnビットの一括操作.....	219
6.6.5	カウント動作開始時のタイマ割り込みとTOmn端子出力について	220
6.7	タイマ入力(TImn)の制御.....	221
6.7.1	TImnの入力回路構成	221
6.7.2	ノイズ・フィルタ	221
6.7.3	チャンネル入力操作時の注意事項	222
6.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	223
6.8.1	インターバル・タイマ/方形波出力としての動作	223
6.8.2	外部イベント・カウンタとしての動作	228
6.8.3	分周器としての動作(ユニット0のチャンネル0のみ).....	232
6.8.4	入力パルス間隔測定としての動作	236
6.8.5	入力信号のハイ/ロウ・レベル幅測定としての動作	240
6.8.6	ディレイ・カウンタとしての動作	244
6.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	248
6.9.1	ワンショット・パルス出力機能としての動作	248
6.9.2	PWM機能としての動作	255
6.9.3	多重PWM出力機能としての動作.....	262
6.10	タイマ・アレイ・ユニット使用時の注意事項.....	270
6.10.1	タイマ出力使用時の注意事項	270
7.	タイマRJ	271
7.1	タイマRJの機能.....	271
7.2	タイマRJの構成.....	272
7.3	レジスタの説明	273
7.3.1	周辺イネーブル・レジスタ1(PER1).....	274
7.3.2	動作スピード・モード制御レジスタ(OSMC).....	275
7.3.3	タイマRJカウンタレジスタ0(TRJ0).....	276
7.3.4	タイマRJ制御レジスタ0(TRJCR0)	277
7.3.5	タイマRJ I/O制御レジスタ0(TRJIOC0)	279
7.3.6	タイマRJモードレジスタ0(TRJMR0)	281
7.3.7	タイマRJイベント端子選択レジスタ0(TRJISR0)	282
7.3.8	ポート・モード・レジスタ0, 3, 4, 5 (PM0, PM3, PM4, PM5)	283
7.4	動作説明	284
7.4.1	リロードレジスタとカウンタの書き換え動作	284
7.4.2	タイマモード	285
7.4.3	パルス出力モード	286
7.4.4	イベントカウンタモード	287
7.4.5	パルス幅測定モード	288
7.4.6	パルス周期測定モード	289
7.4.7	イベント・リンク・コントローラ(ELC)との連携による動作	290
7.4.8	各モード出力設定	290
7.5	タイマRJ使用上の注意事項.....	291
7.5.1	カウント動作開始, 停止制御	291
7.5.2	フラグへのアクセス(TRJCR0レジスタのTEDGF, TUNDFビット).....	291

7.5.3	カウンタレジスタへのアクセス	291
7.5.4	モード変更時	291
7.5.5	TRJ00, TRJIO0端子の設定手順.....	292
7.5.6	タイマRJ未使用時	292
7.5.7	タイマRJ動作クロック停止時	292
7.5.8	STOPモード(イベントカウンタモード)の設定手順.....	293
7.5.9	STOPモード(イベントカウンタモードのみ)での機能制限	293
7.5.10	TSTOPビットによる強制カウント停止時.....	293
7.5.11	デジタルフィルタ	293
7.5.12	カウントソースにfILを選択する場合	293
8.	タイマRD	294
8.1	タイマRDの機能.....	294
8.2	タイマRDの構成.....	295
8.3	レジスタの説明	296
8.3.1	周辺イネーブル・レジスタ1 (PER1).....	297
8.3.2	タイマRD ELCレジスタ (TRDELIC).....	298
8.3.3	タイマRDスタートレジスタ (TRDSTR).....	299
8.3.4	タイマRDモードレジスタ (TRDMR).....	300
8.3.5	タイマRD PWM機能選択レジスタ (TRDPMR).....	301
8.3.6	タイマRD機能制御レジスタ (TRDFCR)	302
8.3.7	タイマRD出力マスタ許可レジスタ1 (TRDOER1).....	304
8.3.8	タイマRD出力マスタ許可レジスタ2 (TRDOER2).....	305
8.3.9	タイマRD出力制御レジスタ (TRDOCR).....	306
8.3.10	タイマRDデジタルフィルタ機能選択レジスタi (TRDDFi) (i = 0, 1).....	310
8.3.11	タイマRD制御レジスタi (TRDCRi) (i = 0, 1)	312
8.3.12	タイマRD I/O制御レジスタAi (TRDIORAi) (i = 0, 1).....	317
8.3.13	タイマRD I/O制御レジスタCi (TRDIORCi) (i = 0, 1)	319
8.3.14	タイマRDステータスレジスタ0 (TRDSR0)	321
8.3.15	タイマRDステータスレジスタ1 (TRDSR1)	325
8.3.16	タイマRD割り込み許可レジスタi (TRDIERi) (i = 0, 1)	329
8.3.17	タイマRD PWM機能出力レベル制御レジスタi (TRDPOCRi) (i = 0, 1).....	329
8.3.18	タイマRDカウンタi (TRDi) (i = 0, 1).....	330
8.3.19	タイマRDジェネラルレジスタAi, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0, 1)	331
8.3.20	ポート・モード・レジスタ1 (PM1).....	341
8.4	複数モードにかかわる共通事項	342
8.4.1	カウントソース	342
8.4.2	バッファ動作	343
8.4.3	同期動作	346
8.4.4	パルス出力強制遮断	347
8.4.5	イベント・リンク・コントローラ (ELC)からのイベント入力	350
8.4.6	イベント・リンク・コントローラ (ELC)へのイベント出力	350
8.5	タイマRDの動作.....	351
8.5.1	インプットキャプチャ機能	351
8.5.2	アウトプットコンペア機能	356
8.5.3	PWM機能	362
8.5.4	リセット同期PWMモード	367
8.5.5	相補PWMモード	371

8.5.6	PWM3モード	376
8.6	タイマRD割り込み	380
8.7	タイマRD使用上の注意	382
8.7.1	SFRリード/ライトアクセス	382
8.7.2	モードの切り替え	383
8.7.3	カウントソース	383
8.7.4	インプットキャプチャ機能	383
8.7.5	TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子の設定手順(i = 0, 1)	384
8.7.6	外部クロック TRDCLK	384
8.7.7	リセット同期PWMモード	384
8.7.8	相補PWMモード	385
9.	12ビット・インターバル・タイマ	389
9.1	12ビット・インターバル・タイマの機能	389
9.2	12ビット・インターバル・タイマの構成	389
9.3	12ビット・インターバル・タイマを制御するレジスタ	390
9.3.1	周辺イネーブル・レジスタ1 (PER1)	390
9.3.2	動作スピード・モード制御レジスタ (OSMC)	391
9.3.3	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)	392
9.4	12ビット・インターバル・タイマの動作	393
9.4.1	12ビット・インターバル・タイマの動作タイミング	393
9.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行	394
10.	クロック出力/ブザー出力制御回路	395
10.1	クロック出力/ブザー出力制御回路の機能	395
10.2	クロック出力/ブザー出力制御回路の構成	396
10.3	クロック出力/ブザー出力制御回路を制御するレジスタ	396
10.3.1	クロック出力選択レジスタ n (CKSn)	396
10.3.2	クロック出力/ブザー出力端子のポート機能を制御するレジスタ	398
10.4	クロック出力/ブザー出力制御回路の動作	399
10.4.1	出力端子の動作	399
10.5	クロック出力/ブザー出力制御回路の注意事項	399
11.	ウォッチドッグ・タイマ	400
11.1	ウォッチドッグ・タイマの機能	400
11.2	ウォッチドッグ・タイマの構成	401
11.3	ウォッチドッグ・タイマを制御するレジスタ	402
11.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	402
11.4	ウォッチドッグ・タイマの動作	403
11.4.1	ウォッチドッグ・タイマの動作制御	403
11.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	404
11.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	405
11.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	407
12.	A/Dコンバータ	408
12.1	A/Dコンバータの機能	408
12.2	A/Dコンバータの構成	411
12.3	A/Dコンバータを制御するレジスタ	413

12.3.1	周辺イネーブル・レジスタ 0 (PER0).....	414
12.3.2	A/D コンバータ・モード・レジスタ 0 (ADM0).....	415
12.3.3	A/D コンバータ・モード・レジスタ 1 (ADM1).....	424
12.3.4	A/D コンバータ・モード・レジスタ 2 (ADM2).....	425
12.3.5	10ビット A/D 変換結果レジスタ (ADCR).....	428
12.3.6	8ビット A/D 変換結果レジスタ (ADCRH).....	428
12.3.7	アナログ入力チャンネル指定レジスタ (ADS).....	429
12.3.8	変換結果比較上限値設定レジスタ (ADUL).....	431
12.3.9	変換結果比較下限値設定レジスタ (ADLL).....	431
12.3.10	A/D テスト・レジスタ (ADTES).....	432
12.3.11	アナログ入力端子のポート機能を制御するレジスタ.....	433
12.4	A/D コンバータの変換動作.....	434
12.5	入力電圧と変換結果.....	436
12.6	A/D コンバータの動作モード.....	437
12.6.1	ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード).....	437
12.6.2	ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード).....	438
12.6.3	ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード).....	439
12.6.4	ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード).....	440
12.6.5	ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード).....	441
12.6.6	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード).....	442
12.6.7	ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード).....	443
12.6.8	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード).....	444
12.6.9	ハードウェア・トリガ・ウエイト・モード(セレクト・モード, 連続変換モード).....	445
12.6.10	ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード).....	446
12.6.11	ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード).....	447
12.6.12	ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード).....	448
12.7	A/D コンバータの設定フロー・チャート.....	449
12.7.1	ソフトウェア・トリガ・モード設定.....	449
12.7.2	ハードウェア・トリガ・ノーウエイト・モード設定.....	450
12.7.3	ハードウェア・トリガ・ウエイト・モード設定.....	451
12.7.4	温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時).....	452
12.7.5	テスト・モード設定.....	453
12.8	SNOOZE モード機能.....	454
12.9	A/D コンバータ特性表の読み方.....	458
12.10	A/D コンバータの注意事項.....	461
13.	コンパレータ／プログラマブル・ゲイン・アンプ.....	465
13.1	概要.....	465
13.2	レジスタの説明.....	467
13.2.1	コンパレータモード設定レジスタ (COMPMDR).....	468
13.2.2	コンパレータフィルタ制御レジスタ (COMPFIR).....	469
13.2.3	コンパレータ出力制御レジスタ (COMPOCR).....	471
13.2.4	コンパレータ内蔵基準電圧制御レジスタ (CVRCTL).....	473
13.2.5	コンパレータ内蔵基準電圧選択レジスタ i (CiRVM).....	474

13.2.6	PGA制御レジスタ (PGACTL)	475
13.2.7	6相PWMオプション・モード・レジスタ (OPMR)	476
13.2.8	6相PWMオプション・ステータス・レジスタ (OPSR)	477
13.2.9	6相PWMオプション・Hi-Zスタート・トリガ・レジスタ (OPHS)	478
13.2.10	6相PWMオプション・Hi-Zストップ・トリガ・レジスタ (OPHT)	479
13.2.11	周辺イネーブル・レジスタ 1 (PER1)	480
13.2.12	アナログ入力端子のポート機能を制御するレジスタ	481
13.3	動作説明	482
13.3.1	コンパレータ <i>i</i> デジタルフィルタ (<i>i</i> = 0, 1)	484
13.3.2	コンパレータ <i>i</i> 割り込み	485
13.3.3	イベント・リンク・コントローラ (ELC)へのイベント信号出力	486
13.3.4	コンパレータクロック停止/供給	487
13.3.5	コンパレータ出力によるタイマRD出力の強制遮断	487
13.4	PWM・オプション・ユニット	488
13.4.1	2段階過電流検出機能	489
13.4.2	過電流/起電流検出機能	489
13.4.3	過電流検出機能動作例	489
13.4.4	設定手順	492
13.4.5	PWM・オプション・ユニット使用上の注意	493
14.	シリアル・アレイ・ユニット	494
14.1	シリアル・アレイ・ユニットの機能	495
14.1.1	簡易SPI (CSI00)	495
14.1.2	UART (UART0, UART1)	496
14.1.3	簡易I ² C (IIC00)	497
14.2	シリアル・アレイ・ユニットの構成	498
14.2.1	シフト・レジスタ	501
14.2.2	シリアル・データ・レジスタ <i>mn</i> (SDR <i>mn</i>)の下位8/9ビット	501
14.3	シリアル・アレイ・ユニットを制御するレジスタ	503
14.3.1	周辺イネーブル・レジスタ 0 (PER0)	504
14.3.2	シリアル・クロック選択レジスタ <i>m</i> (SPSm)	505
14.3.3	シリアル・モード・レジスタ <i>mn</i> (SMR <i>mn</i>)	506
14.3.4	シリアル通信動作設定レジスタ <i>mn</i> (SCR <i>mn</i>)	507
14.3.5	シリアル・データ・レジスタ <i>mn</i> (SDR <i>mn</i>)の上位7ビット	510
14.3.6	シリアル・フラグ・クリア・トリガ・レジスタ <i>mn</i> (SIR <i>mn</i>)	512
14.3.7	シリアル・ステータス・レジスタ <i>mn</i> (SSR <i>mn</i>)	513
14.3.8	シリアル・チャンネル開始レジスタ <i>m</i> (SS <i>m</i>)	515
14.3.9	シリアル・チャンネル停止レジスタ <i>m</i> (ST <i>m</i>)	516
14.3.10	シリアル・チャンネル許可ステータス・レジスタ <i>m</i> (SE <i>m</i>)	517
14.3.11	シリアル出力許可レジスタ <i>m</i> (SOE <i>m</i>)	518
14.3.12	シリアル出力レジスタ <i>m</i> (SO <i>m</i>)	519
14.3.13	シリアル出力レベル・レジスタ <i>m</i> (SOL <i>m</i>)	520
14.3.14	シリアル・スタンバイ・コントロール・レジスタ <i>m</i> (SSC <i>m</i>)	522
14.3.15	入力切り替え制御レジスタ (ISC)	523
14.3.16	ノイズ・フィルタ許可レジスタ 0 (NFEN0)	524
14.3.17	シリアル入出力端子のポート機能を制御するレジスタ	525
14.4	動作停止モード	526
14.4.1	ユニット単位で動作停止とする場合	526
14.4.2	チャンネルごとに動作停止とする場合	527

14.5	簡易SPI (CSI00)通信の動作.....	528
14.5.1	マスタ送信	530
14.5.2	マスタ受信	538
14.5.3	マスタ送受信	546
14.5.4	スレーブ送信	554
14.5.5	スレーブ受信	562
14.5.6	スレーブ送受信	568
14.5.7	SNOOZEモード機能	576
14.5.8	転送クロック周波数の算出	581
14.5.9	簡易SPI (CSI00)通信時におけるエラー発生時の処理手順.....	583
14.6	スレーブセレクト入力機能付クロック同期シリアル通信の動作.....	584
14.6.1	スレーブ送信	587
14.6.2	スレーブ受信	597
14.6.3	スレーブ送受信	604
14.6.4	転送クロック周波数の算出	614
14.6.5	スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の 処理手順	616
14.7	UART (UART0, UART1)通信の動作.....	617
14.7.1	UART送信	619
14.7.2	UART受信	628
14.7.3	SNOOZEモード機能	635
14.7.4	ボー・レートの算出	643
14.7.5	UART (UART0, UART1)通信時におけるエラー発生時の処理手順	647
14.8	簡易I ² C (IIC00)通信の動作.....	648
14.8.1	アドレス・フィールド送信	650
14.8.2	データ送信	655
14.8.3	データ受信	658
14.8.4	ストップ・コンディション発生	662
14.8.5	転送レートの算出	663
14.8.6	簡易I ² C (IIC00)通信時におけるエラー発生時の処理手順.....	666
15.	イベント・リンク・コントローラ(ELC).....	667
15.1	ELCの機能.....	667
15.2	ELCの構成.....	667
15.3	ELCを制御するレジスタ	668
15.3.1	イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 18).....	669
15.4	ELCの動作.....	672
16.	割り込み機能	674
16.1	割り込み機能の種類.....	674
16.2	割り込み要因と構成.....	674
16.3	割り込み機能を制御するレジスタ	679
16.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H).....	681
16.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H).....	683
16.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)	685
16.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ 許可レジスタ (EGN0)	687
16.3.5	プログラム・ステータス・ワード (PSW)	688

16.4	割り込み処理動作	689
16.4.1	マスカブル割り込み要求の受け付け動作	689
16.4.2	ソフトウェア割り込み要求の受け付け動作	692
16.4.3	多重割り込み処理	692
16.4.4	除算命令中の割り込み処理	696
16.4.5	割り込み要求の保留	698
17.	キー割り込み機能	699
17.1	キー割り込みの機能	699
17.2	キー割り込みの構成	699
17.3	キー割り込みを制御するレジスタ	700
17.3.1	キー・リターン・モード・レジスタ (KRM)	700
17.3.2	ポート・モード・レジスタ7 (PM7).....	701
18.	スタンバイ機能.....	702
18.1	スタンバイ機能と構成.....	702
18.1.1	スタンバイ機能	702
18.2	スタンバイ機能を制御するレジスタ	703
18.2.1	発振安定時間カウンタ状態レジスタ (OSTC).....	704
18.2.2	発振安定時間選択レジスタ (OSTS).....	705
18.3	スタンバイ機能の動作.....	706
18.3.1	HALTモード.....	706
18.3.2	STOPモード	710
18.3.3	SNOOZEモード	715
19.	リセット機能	718
19.1	リセット動作のタイミング	720
19.2	リセット要因を確認するレジスタ	727
20.	パワーオン・リセット回路.....	730
20.1	パワーオン・リセット回路の機能.....	730
20.2	パワーオン・リセット回路の構成.....	731
20.3	パワーオン・リセット回路の動作.....	731
21.	電圧検出回路	735
21.1	電圧検出回路の機能	735
21.2	電圧検出回路の構成	736
21.3	電圧検出回路を制御するレジスタ	736
21.3.1	電圧検出レジスタ (LVIM).....	737
21.3.2	電圧検出レベル・レジスタ (LVIS).....	738
21.4	電圧検出回路の動作.....	741
21.4.1	リセット・モードとして使用する場合の設定	741
21.4.2	割り込みモードとして使用する場合の設定	743
21.4.3	割り込み&リセット・モードとして使用する場合の設定	745
21.5	電圧検出回路の注意事項.....	751
22.	安全機能	753
22.1	安全機能の概要	753

22.2	安全機能で使用するレジスタ	754
22.3	フラッシュ・メモリCRC演算機能(高速CRC)の動作	754
22.3.1	フラッシュ・メモリCRC制御レジスタ(CRC0CTL)	755
22.3.2	フラッシュ・メモリCRC演算結果レジスタ(PGCRCCL)	755
22.3.3	動作フロー	756
22.4	CRC演算機能(汎用CRC)	757
22.4.1	CRC入力レジスタ(CRCIN)	757
22.4.2	CRCデータ・レジスタ(CRCD)	758
22.4.3	動作フロー	758
22.5	RAMパリティ・エラー検出機能	759
22.5.1	RAMパリティ・エラー制御レジスタ(RPECTL)	759
22.6	RAMガード機能	761
22.6.1	不正メモリ・アクセス検出制御レジスタ(IAWCTL)	761
22.7	SFRガード機能	762
22.7.1	不正メモリ・アクセス検出制御レジスタ(IAWCTL)	762
22.8	不正メモリ・アクセス検出機能	763
22.8.1	不正メモリ・アクセス検出制御レジスタ(IAWCTL)	764
22.9	周波数検出機能	765
22.9.1	タイマ入力選択レジスタ0(TIS0)	766
22.10	A/Dテスト機能	767
22.10.1	A/Dテスト・レジスタ(ADTES)	769
22.10.2	アナログ入力チャネル指定レジスタ(ADS)	770
22.11	入出力ポートのデジタル出力信号レベル検出機能	771
22.11.1	ポート・モード選択レジスタ(PMS)	771
23.	レギュレータ	772
23.1	レギュレータの概要	772
24.	オプション・バイト	773
24.1	オプション・バイトの機能	773
24.1.1	ユーザ・オプション・バイト(000C0H-000C2H)	773
24.1.2	オンチップ・デバッグ・オプション・バイト(000C3H)	774
24.2	ユーザ・オプション・バイトのフォーマット	775
24.3	オンチップ・デバッグ・オプション・バイトのフォーマット	779
24.4	オプション・バイトの設定	780
25.	フラッシュ・メモリ	781
25.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	782
25.1.1	プログラミング環境	783
25.1.2	通信方式	783
25.2	外部デバイス(UART内蔵)によるシリアル・プログラミング	784
25.2.1	プログラミング環境	784
25.2.2	通信方式	785
25.3	オンボード上の端子処理	786
25.3.1	P40/TOOL0端子	786
25.3.2	RESET端子	786
25.3.3	ポート端子	788
25.3.4	REGC端子	788
25.3.5	X1, X2端子	788

25.3.6	電源	788
25.4	プログラミング方法	789
25.4.1	フラッシュ・メモリ制御	789
25.4.2	フラッシュ・メモリ・プログラミング・モード	790
25.4.3	通信方式	791
25.4.4	通信コマンド	792
25.4.5	シグネチャ・データの説明	793
25.5	セキュリティ設定	794
25.6	セルフ書き込みによるフラッシュ・メモリ・プログラミング	796
25.6.1	フラッシュ・シールド・ウインドウ機能	798
25.7	PG-FP5使用時の各コマンド処理時間(参考値).....	798
26.	オンチップ・デバッグ機能.....	799
26.1	E1 オンチップデバッグエミュレータとの接続.....	799
26.2	オンチップ・デバッグ・セキュリティ ID.....	800
26.3	ユーザ資源の確保	800
27.	10進補正(BCD)回路.....	802
27.1	10進補正回路の機能.....	802
27.2	10進補正回路で使用するレジスタ.....	802
27.2.1	BCD補正結果レジスタ(BCDADJ).....	802
27.3	10進補正回路の動作.....	803
28.	命令セットの概要.....	805
28.1	凡例.....	806
28.1.1	オペランドの表現形式と記述方法	806
28.1.2	オペレーション欄の説明	807
28.1.3	フラグ動作欄の説明	808
28.1.4	PREFIX 命令	808
28.2	オペレーション一覧.....	809
29.	電気的特性.....	827
29.1	製品別搭載端子.....	827
29.1.1	ポート機能	827
29.1.2	ポート以外の端子	827
29.2	絶対最大定格	828
29.3	発振回路特性	830
29.3.1	X1 発振回路特性.....	830
29.3.2	オンチップ・オシレータ特性	830
29.4	DC 特性.....	831
29.4.1	端子特性	831
29.4.2	電源電流特性	836
29.5	AC 特性.....	839
29.5.1	基本動作	839
29.6	周辺機能特性.....	845
29.6.1	シリアル・アレイ・ユニット	845
29.7	アナログ特性.....	869
29.7.1	A/D コンバータ特性	869
29.7.2	温度センサ特性	873

29.7.3	コンパレータ	873
29.7.4	プログラマブル・ゲイン・アンプ	874
29.7.5	POR回路特性	874
29.7.6	LVD回路特性	875
29.7.7	電源電圧立ち上がり傾き特性	876
29.8	RAMデータ保持特性	877
29.9	フラッシュ・メモリ・プログラミング特性	877
29.10	専用フラッシュ・メモリ・プログラマ通信 (UART)	877
29.11	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	878
30.	外形図	879
30.1	30ピン製品	879
30.2	32ピン製品	880
30.3	44ピン製品	881
付録A	改版履歴	883
A.1	本版で改訂された主な箇所	883
A.2	前版までの改版履歴	884

第1章 概説

1.1 特徴

超低消費電力テクノロジー

- V_{DD} = 2.7~5.5 Vの単一電源
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速(0.04167 μs：高速オンチップ・オシレータ・クロック24 MHz動作時)から低速(1.0 μs：高速オンチップ・オシレータ・クロック1 MHz動作時)までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ×8×4バンク
- 内蔵RAM：1.5 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：8 KB~16 KB
- ブロック・サイズ：1 KB
- ブロック消去禁止，書き換え禁止(セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング；フラッシュ・シールド・ウインドウ機能あり

高速オンチップ・オシレータ

- 48 MHz/24 MHz/16 MHz/12 MHz/8 MHz/4 MHz/1 MHzから選択
- 高精度 ± 2.0%

動作周囲温度

- T_A = -40~+85 °C

電源管理とリセット機能

- パワーオン・リセット(POR)回路内蔵
- 電圧検出(LVD)回路内蔵(割り込み，リセットを6段階で選択)

イベント・リンク・コントローラ(ELC)

- 18~19種類のイベント信号を特定の周辺機能へリンク可能

シリアル・インタフェース

- 簡易SPI (CSI注1) : 1チャンネル
- UART : 2チャンネル
- 簡易I²C : 1チャンネル

タイマ

- 16ビット・タイマ : 7チャンネル
(タイマ・アレイ・ユニット(TAU) : 4チャンネル, タイマRJ : 1チャンネル, タイマRD : 2チャンネル)
- 12ビット・インターバル・タイマ : 1チャンネル
- ウォッチドッグ・タイマ : 1チャンネル(専用の低速オンチップ・オシレータ・クロックで動作可能)

A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ ($V_{DD} = 2.7 \sim 5.5 \text{ V}$)
- アナログ入力 : 8~12チャンネル
- 内部基準電圧(1.45 V)と温度センサを搭載注2

コンパレータ

- 2チャンネル
- 基準電圧として専用8bitDAC(内部生成基準電圧($V_{DD}/AVREFP$, $V_{SS}/AVREFM$ を基準とする256分解能))を選択可能

プログラマブル・ゲイン・アンプ

入出力ポート

- I/Oポート : 26~40本
- N-chオープン・ドレイン, TTL入力バッファ, 内蔵プルアップの切り替え可能
- 異電位(2.5/3 V系)動作デバイスと接続可能
- キー割り込み機能内蔵
- クロック出力/ブザー出力制御回路内蔵

その他

- 10進補正(BCD)回路内蔵

注1. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

注2. HS (高速メイン) モードのみ選択可能

備考 製品によって、搭載している機能が異なります。1.6 機能概要を参照してください。

OROM, RAM容量

フラッシュROM	RAM	30ピン	32ピン	44ピン
16 KB	1.5 KB注	R5F11EAAASP	R5F11EBAAFP	R5F11EFAAFP
8 KB		R5F11EA8ASP	R5F11EB8AFP	R5F11EF8AFP

注 セルフ・プログラミング機能使用時は、630バイト(詳細は、第3章 CPUアーキテクチャ参照)

1.2 型名一覧

図1-1 RL78/G1Gの型名とメモリサイズ・パッケージ

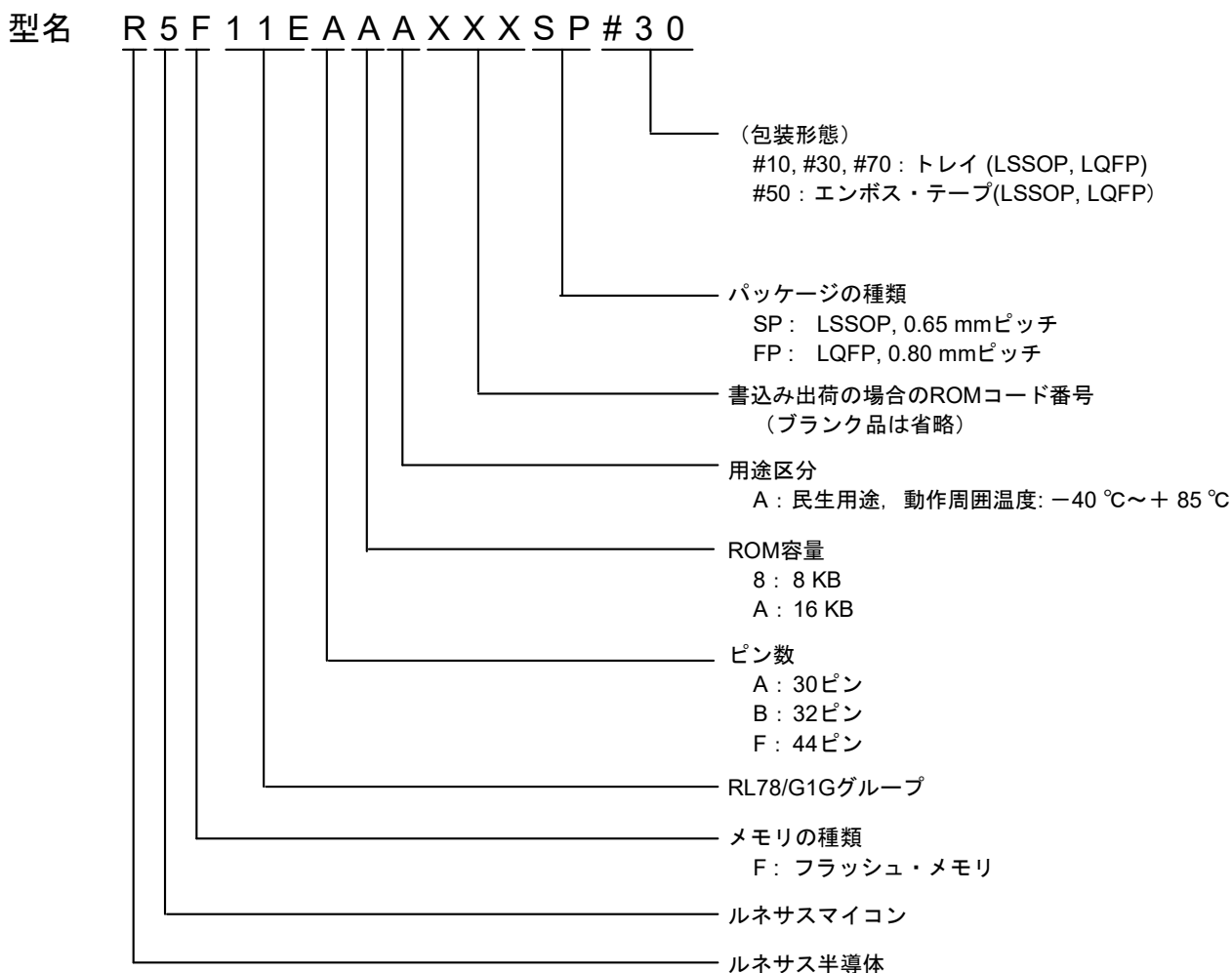


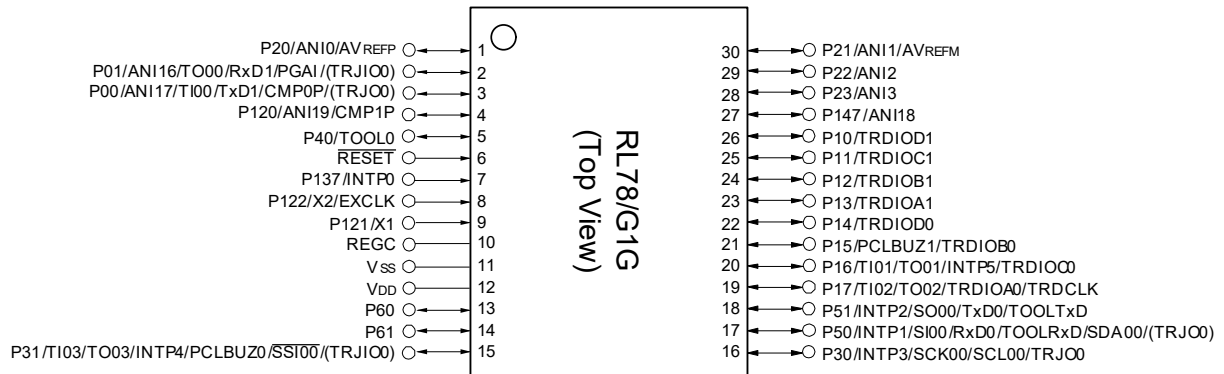
表1-1 発注型名一覧

ピン数	パッケージ	発注型名
44ピン	44ピン・プラスチックLQFP (10 × 10 mm)	R5F11EFAAFP#10, R5F11EFAAFP#30, R5F11EFAAFP#50, R5F11EFAAFP#70
		R5F11EF8AFP#10, R5F11EF8AFP#30, R5F11EF8AFP#50, R5F11EF8AFP#70
32ピン	32ピン・プラスチックLQFP (7 × 7 mm)	R5F11EBAAFP#10, R5F11EBAAFP#30, R5F11EBAAFP#50, R5F11EBAAFP#70
		R5F11EB8AFP#10, R5F11EB8AFP#30, R5F11EB8AFP#50, R5F11EB8AFP#70
30ピン	30ピン・プラスチックLSSOP (7.62 mm (300))	R5F11EAAAASP#10, R5F11EAAAASP#30, R5F11EAAAASP#50, R5F11EAAAASP#70
		R5F11EA8ASP#10, R5F11EA8ASP#30, R5F11EA8ASP#50, R5F11EA8ASP#70

1.3 端子接続図 (Top View)

1.3.1 30ピン製品

- 30ピン・プラスチックLSSOP (7.62 mm (300), 0.65 mmピッチ)



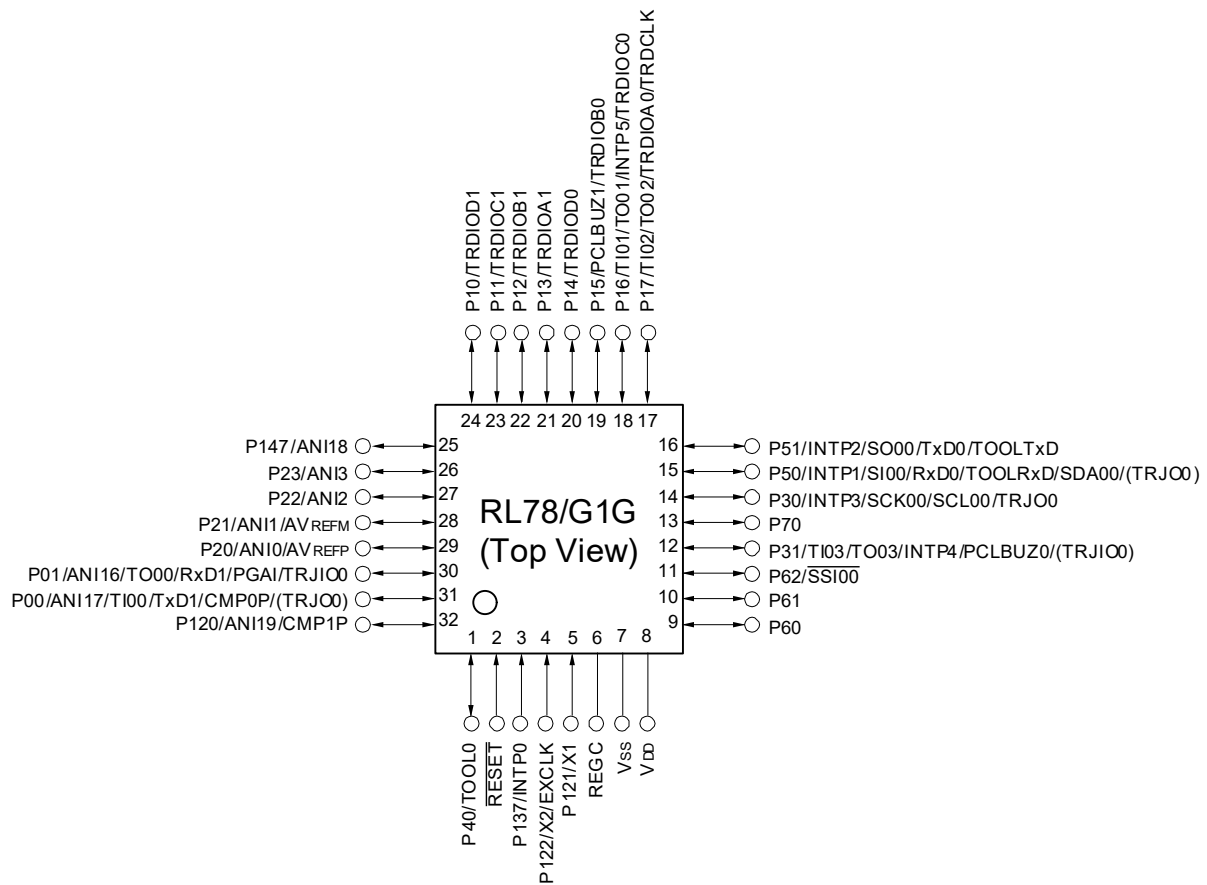
注意 REGC端子はコンデンサ(0.47~1 μF)を介し、V_{SS}端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

1.3.2 32ピン製品

・32ピン・プラスチックLQFP (7 x 7 mm, 0.8 mmピッチ)



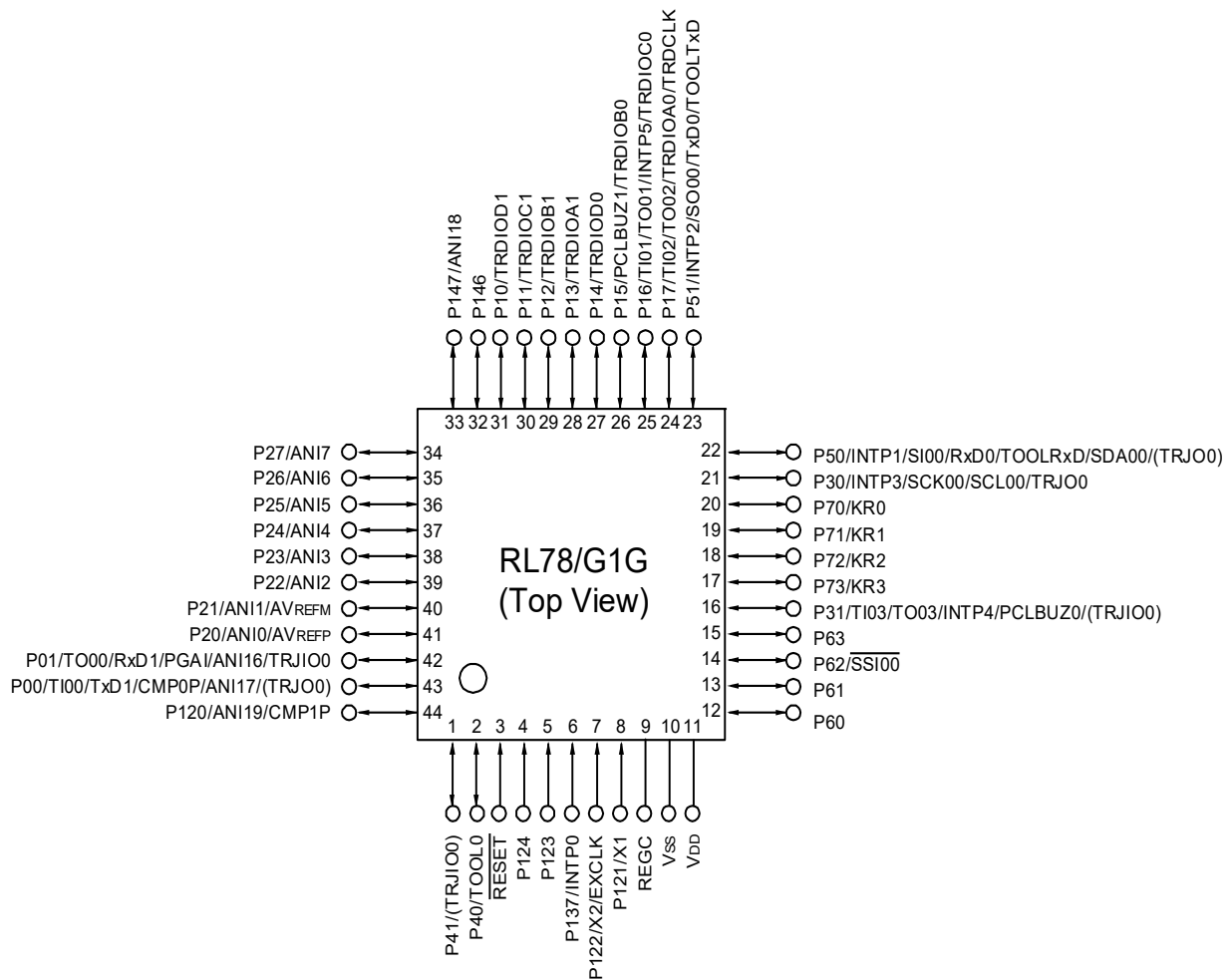
注意 REGC端子はコンデンサ(0.47~1 μ F)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

1.3.3 44ピン製品

・44ピン・プラスチックLQFP (10 x 10 mm, 0.8 mmピッチ)



注意 REGC端子はコンデンサ(0.47~1μF)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

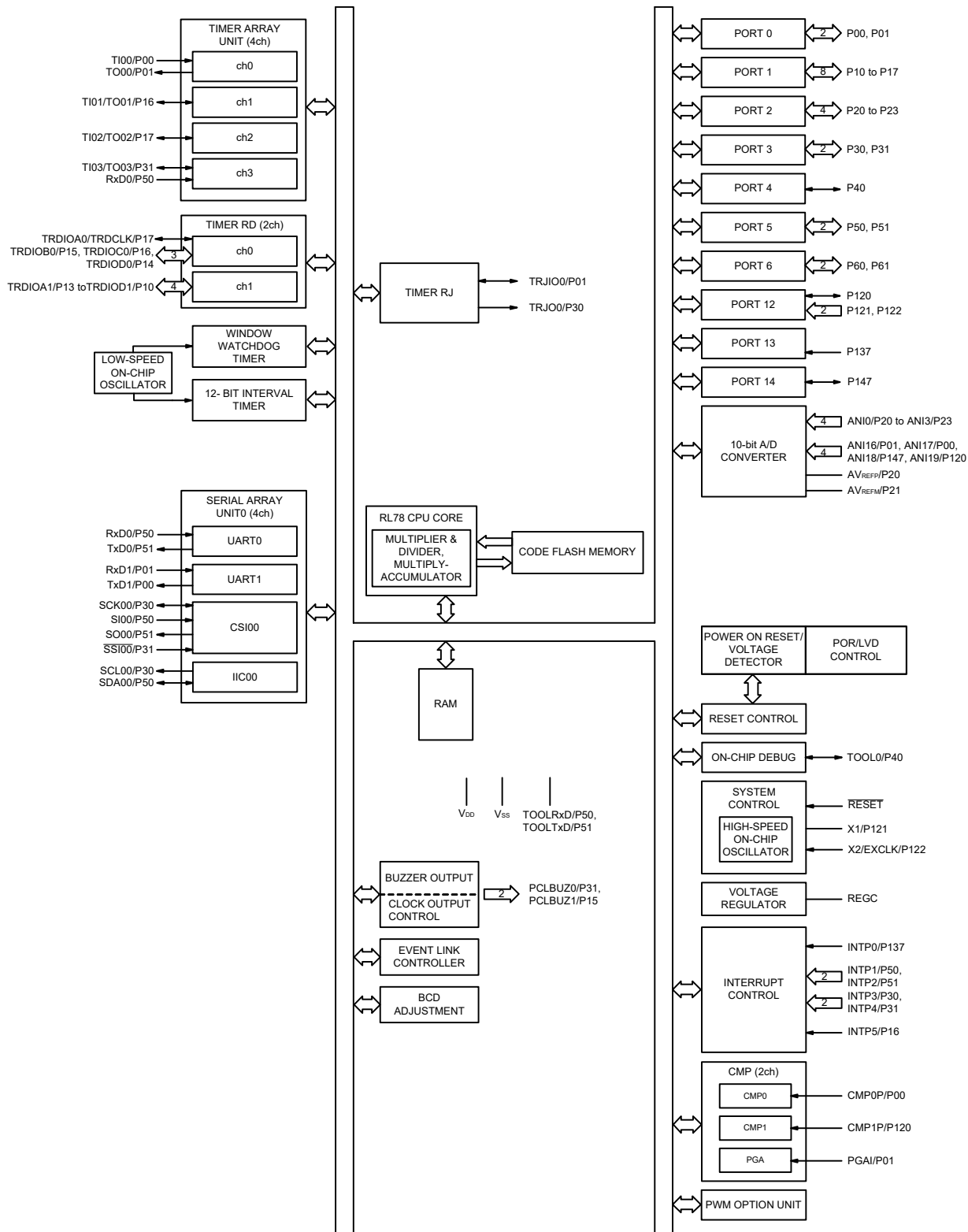
備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

1.4 端子名称

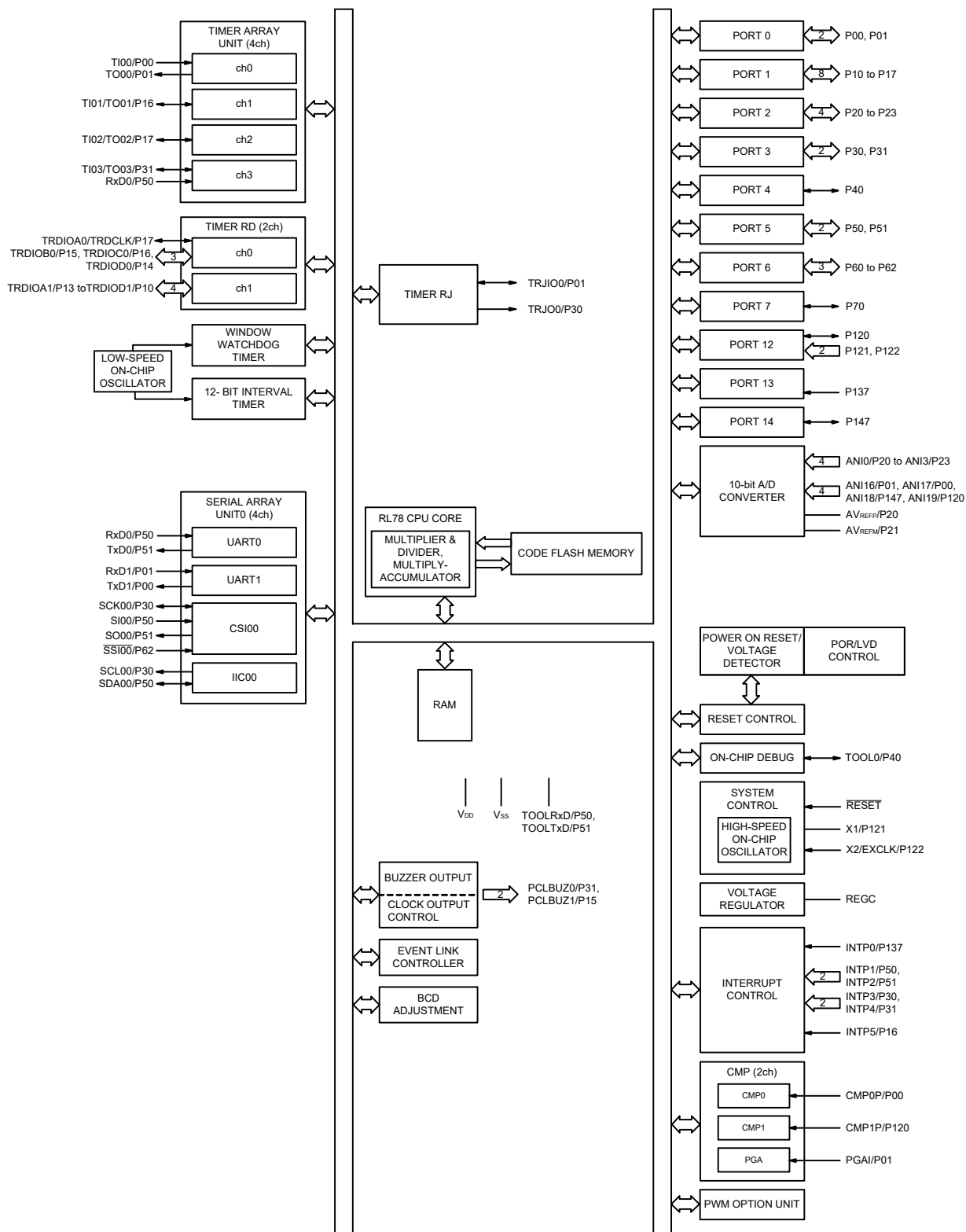
ANI0-ANI7, ANI16-ANI19:	Analog Input
AVREFM:	Analog Reference Voltage Minus
AVREFP:	Analog Reference Voltage Plus
EXCLK:	External Clock Input (Main System Clock)
INTP0-INTP5:	External Interrupt Input
KR0-KR3:	Key Return
P00, P01:	Port 0
P10-P17:	Port 1
P20-P27:	Port 2
P30, P31:	Port 3
P40, P41:	Port 4
P50, P51:	Port 5
P60-P63:	Port 6
P70-P73:	Port 7
P120-P124:	Port 12
P137:	Port 13
P146, P147:	Port 14
PCLBUZ0, PCLBUZ1:	Programmable Clock Output/Buzzer Output
REGC:	Regulator Capacitance
RESET:	Reset
RxD0, RxD1:	Receive Data
SCK00:	Serial Clock Input/Output
SCL00:	Serial Clock Output
SDA00:	Serial Data Input/Output
SI00:	Serial Data Input
SO00:	Serial Data Output
SSI00:	Serial Interface Chip Select Input
TI00-TI03:	Timer Input
TO00-TO03, TRJ00:	Timer Output
TOOL0:	Data Input/Output for Tool
TOOLRxD, TOOLTxD:	Data Input/Output for External Device
TRDCLK:	Timer External Input Clock
TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0, : TRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1, TRJIO0	Timer Input/Output
TxD0, TxD1:	Transmit Data
CMP0P, CMP1P:	Comparator Input
PGAI:	PGA Input
VDD:	Power Supply
VSS:	Ground
X1, X2:	Crystal Oscillator (Main System Clock)

1.5 ブロック図

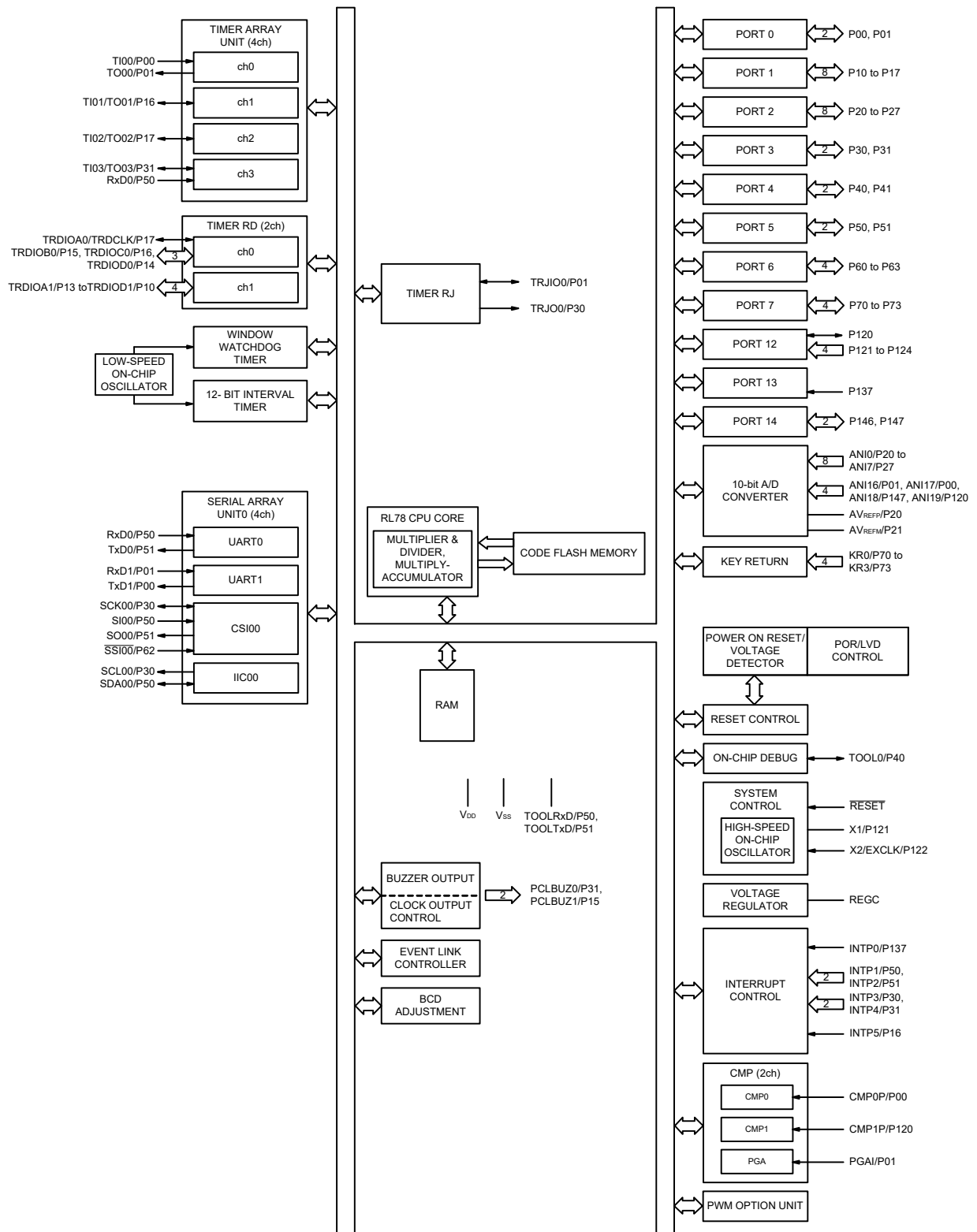
1.5.1 30ピン製品



1.5.2 32ピン製品



1.5.3 44ピン製品



1.6 機能概要

【30ピン, 32ピン, 44ピン製品(コード・フラッシュ・メモリ8KB~16KB)】

注意 周辺I/Oリダイレクション・レジスタ1(PIOR1)を00Hに設定時の機能概要です。

(1/2)

項目	30ピン		32ピン		44ピン		
	R5F11EA8ASP, R5F11EAAASP		R5F11EB8AFP, R5F11EBAAFP		R5F11EF8AFP, R5F11EFAAFP		
コード・フラッシュ・メモリ	8-16 KB						
RAM	1.5 KB						
アドレス空間	1 Mバイト						
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) LS (低速メイン) モード: 1~8 MHz (VDD = 2.7~5.5 V), HS (高速メイン) モード: 1~20 MHz (VDD = 2.7~5.5 V)					
	高速オンチップ・オシレータ・クロック (f _H)	LS (低速メイン) モード: 1~8 MHz (VDD = 2.7~5.5 V), HS (高速メイン) モード: 1~24 MHz (VDD = 2.7~5.5V)					
低速オンチップ・オシレータ・クロック	15 kHz (TYP.): VDD = 2.7~5.5 V						
汎用レジスタ	8ビット×32レジスタ(8ビット×8レジスタ×4バンク)						
最小命令実行時間	0.04167 μs (高速オンチップ・オシレータ・クロック: f _H = 24 MHz動作時)						
	0.05 μs (高速システム・クロック: f _{MX} = 20 MHz動作時)						
命令セット	<ul style="list-style-type: none"> データ転送(8/16ビット) 加減/論理演算(8/16ビット) 乗算(8×8ビット, 16×16ビット), 除算(16÷16ビット, 32÷32ビット) 積和演算(16×16+32ビット) ローテート, パレル・シフト, ビット操作(セット, リセット, テスト, ブール演算)など 						
I/Oポート	合計	26		28		40	
	CMOS入出力	23		25		35	
	CMOS入力	3		3		5	
	CMOS出力	—					
	N-ch O.D入出力(6V耐圧)	—					
タイマ	16ビット・タイマ	7チャンネル (TAU: 4チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル)					
	ウォッチドッグ・タイマ	1チャンネル					
	12ビット・インターバル・タイマ	1チャンネル					
	タイマ出力	タイマ出力: 14本 PWM出力: 9本					

注意 ユーザ・プログラムでフラッシュ・メモリの書き換えを行う場合は, 各ライブラリを利用するため, フラッシュROM, RAM領域を使用します。そのため, RL78ファミリフラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルを必ずご確認の上, ご使用ください。

(2/2)

項目	30ピン		32ピン		44ピン	
	R5F11EA8ASP, R5F11EAAASP		R5F11EB8AFP, R5F11EBAAFP		R5F11EF8AFP, R5F11EFAAFP	
クロック出力／ブザー出力	2本 ・2.44 kHz, 4.88 kHz, 9.77 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : f _{MAIN} = 20 MHz動作時)					
8/10ビット分解能 A/Dコンバータ	8チャンネル				12チャンネル	
コンパレータ	2チャンネル					
PGA	1チャンネル					
シリアル・インタフェース	・簡易SPI (CSI) : 1チャンネル／UART0 : 1チャンネル／簡易I ² C : 1チャンネル ・UART1 : 1チャンネル					
イベント・リンク・コントローラ (ELC)	イベント入力 : 18, イベントトリガ出力 : 6				イベント入力 : 19, イベントトリガ出力 : 6	
ベクタ割り込み要因	内部	20				
	外部	6			7	
キー割り込み	—				4	
リセット	<ul style="list-style-type: none"> ・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット注 ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット 					
パワーオン・リセット回路	<ul style="list-style-type: none"> ・パワーオン・リセット : 1.51 ± 0.03 V ・パワーダウン・リセット : 1.50 ± 0.03 V 					
電圧検出回路	2.75 V ~ 4.06 V (6段階)					
オンチップ・デバッグ機能	あり					
電源電圧	V _{DD} = 2.7 ~ 5.5 V					
動作周囲温度	T _A = -40 ~ +85 °C					

注 FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源は、すべての製品で単一の電源となります。

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

表2-1 各端子の入出力バッファ電源

30ピン, 32ピン, 44ピン製品

電源	対応する端子
VDD	すべての端子

2.1.1 30ピン製品

(1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P00, P01はアナログ入用に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI17/TI00/TxD1/ CMP0P/(TRJ00)
P01				ANI16/TO00/RxD1/ PGAI/(TRJIO0)
P10	入出力	ポート1。 8ビット入出力ポート。 P10, P15-P17の入力はTTL入力バッファに設定可能。 P10, P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TRDIOD1
P11				TRDIOC1
P12				TRDIOB1
P13				TRDIOA1
P14				TRDIOD0
P15				PCLBUZ1/TRDIOB0
P16				TI01/TO01/INTP5/ TRDIOC0
P17	TI02/TO02/ TRDIOA0/TRDCLK			
P20	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力ポート	ANI0/AVREFP
P21				ANI1/AVREFM
P22				ANI2
P23				ANI3
P30	入出力	ポート3。 2ビット入出力ポート。 P30, P31の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/SCK00/ SCL00/TRJ00
P31				TI03/TO03/INTP4/ PCLBUZ0/SSI00/ (TRJIO0)
P40	入出力	ポート4。 1ビット入出力ポート。 入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P50	入出力	ポート5。 2ビット入出力ポート。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1/SI00/RxD0/ TOOLRxD/ SDA00/(TRJ00)
P51				INTP2/SO00/TxD0/ TOOLTxD
P60	入出力	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力ポート	—
P61				
P120	入出力	ポート12。 1ビット入出力ポートと2ビット入力ポート。 P120はアナログ入力に設定可能。 P120のみ、入力/出力の指定が可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI19/CMP1P
P121			入力ポート	X1
P122				X2/EXCLK
P137	入力	ポート13。 1ビット入力専用ポート。	入力ポート	INTP0
P147	入出力	ポート14。 1ビット入出力ポート。 P147はアナログ入力に設定可能。 入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI18

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

2.1.2 32ピン製品

(1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P00, P01はアナログ入力に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI17/CMP0P/TI00/ TxD1/(TRJ00)
P01				ANI16/PGAI/TO00/ RxD1/TRJIO0
P10	入出力	ポート1。 8ビット入出力ポート。 P10, P15-P17の入力はTTL入力バッファに設定可能。 P10, P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TRDIOD1
P11				TRDIOC1
P12				TRDIOB1
P13				TRDIOA1
P14				TRDIOD0
P15				PCLBUZ1/ TRDIOB0
P16				TI01/TO01/INTP5/ TRDIOC0
P17				TI02/TO02/ TRDIOA0/TRDCLK
P20	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力ポート	ANI0/AVREFP
P21				ANI1/AVREFM
P22				ANI2
P23				ANI3
P30	入出力	ポート3。 2ビット入出力ポート。 P30, P31の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/SCK00/ SCL00/TRJ00
P31				TI03/TO03/INTP4/ PCLBUZ0/ (TRJIO0)
P40	入出力	ポート4。 1ビット入出力ポート。 入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P50	入出力	ポート5。 2ビット入出力ポート。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1/SI00/RxD0/ TOOLRxD/SDA00/ (TRJ00)
P51				INTP2/SO00/TxD0/ TOOLTxD
P60	入出力	ポート6。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力ポート	—
P61				
P62				SS100
P70	入出力	ポート7。 1ビット入出力ポート。 入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	—
P120	入出力	ポート12。 1ビット入出力ポートと2ビット入力ポート。	アナログ 入力ポート	ANI19/CMP1P
P121	入力	P120はアナログ入力に設定可能。 P120のみ、入力/出力の指定が可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	X1
P122				X2/EXCLK
P137	入力	ポート13。 1ビット入力専用ポート。	入力ポート	INTP0
P147	入出力	ポート14。 1ビット入出力ポート。 P147はアナログ入力に設定可能。 入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI18

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

2.1.3 44ピン製品

(1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P00, P01はアナログ入力に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI17/CMP0P/TI00/ TxD1/(TRJ00)
P01				ANI16/PGAI/TO00/ RxD1/TRJIO0
P10	入出力	ポート1。 8ビット入出力ポート。 P10, P15-P17の入力はTTL入力バッファに設定可能。 P10, P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TRDIOD1
P11				TRDIOC1
P12				TRDIOB1
P13				TRDIOA1
P14				TRDIOD0
P15				PCLBUZ1/ TRDIOB0
P16				TI01/TO01/INTP5/ TRDIOC0
P17				TI02/TO02/ TRDIOA0/TRDCLK
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ 入力ポート	ANI0/AVREFP
P21				ANI1/AVREFM
P22				ANI2
P23				ANI3
P24				ANI4
P25				ANI5
P26				ANI6
P27				ANI7
P30	入出力	ポート3。 2ビット入出力ポート。 P30, P31の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/SCK00/ SCL00/TRJ00
P31				TI03/TO03/INTP4/ PCLBUZ0/ (TRJIO0)
P40	入出力	ポート4。 2ビット入出力ポート。 入力/出力の指定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				(TRJIO0)

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P50	入出力	ポート5。 2ビット入出力ポート。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1/SI00/RxD0/ TOOLRxD/SDA00/ (TRJ00)
P51				INTP2/SO00/TxD0/ TOOLTxD
P60	入出力	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力ポート	—
P61				—
P62				SSI00
P63				—
P70	入出力	ポート7。 4ビット入出力ポート。 入力/出力の指定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0
P71				KR1
P72				KR2
P73				KR3
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力/出力の指定が可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ 入力ポート	ANI19/CMP1P
P121			入力ポート	X1
P122				X2/EXCLK
P123				—
P124				—
P137	入力	ポート13。 1ビット入力専用ポート。	入力ポート	INTP0
P146	入出力	ポート14。 2ビット入出力ポート。 P147はアナログ入力に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	アナログ	—
P147			入力ポート	ANI18

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

機能名称	44-pin	32-pin	30-pin
ANI0	○	○	○
ANI1	○	○	○
ANI2	○	○	○
ANI3	○	○	○
ANI4	○	—	—
ANI5	○	—	—
ANI6	○	—	—
ANI7	○	—	—
ANI16	○	○	○
ANI17	○	○	○
ANI18	○	○	○
ANI19	○	○	○
CMP0P	○	○	○
CMP1P	○	○	○
PGAI	○	○	○
INTP0	○	○	○
INTP1	○	○	○
INTP2	○	○	○
INTP3	○	○	○
INTP4	○	○	○
INTP5	○	○	○
KR0	○	—	—
KR1	○	—	—
KR2	○	—	—
KR3	○	—	—
PCLBUZ0	○	○	○
PCLBUZ1	○	○	○
REGC	○	○	○
RESET	○	○	○
RxD0	○	○	○
RxD1	○	○	○
SCK00	○	○	○
SCL00	○	○	○
SDA00	○	○	○
SI00	○	○	○
SO00	○	○	○
SSI00	○	○	○

機能名称	44-pin	32-pin	30-pin
TI00	○	○	○
TI01	○	○	○
TI02	○	○	○
TI03	○	○	○
TO00	○	○	○
TO01	○	○	○
TO02	○	○	○
TO03	○	○	○
TRJIO0	○	○	○
TRJO0	○	○	○
TRDCLK	○	○	○
TRDIOA0	○	○	○
TRDIOB0	○	○	○
TRDIOC0	○	○	○
TRDIOD0	○	○	○
TRDIOA1	○	○	○
TRDIOB1	○	○	○
TRDIOC1	○	○	○
TRDIOD1	○	○	○
TxD0	○	○	○
TxD1	○	○	○
X1	○	○	○
X2	○	○	○
EXCLK	○	○	○
VDD	○	○	○
AVREFP	○	○	○
AVREFM	○	○	○
VSS	○	○	○
TOOLRxD	○	○	○
TOOLTxD	○	○	○
TOOL0	○	○	○

2.2.2 機能説明

機能名称	入出力	機能
ANI0-ANI7, ANI16-ANI19	入力	A/Dコンバータのアナログ入力(図12-46 アナログ入力端子の処理参照)
CMP0P, CMP1P	入力	コンパレータ入力
PGAI	入力	PGA入力
INTP0-INTP5	入力	外部割り込み要求入力 有効エッジ指定: 立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ
KR0-KR3	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力/ブザー出力
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1μF)を介し、V _{SS} に接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
$\overline{\text{RESET}}$	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。
RxD0, RxD1	入力	シリアル・インタフェースUART0, UART1のシリアル・データ入力
TxD0, TxD1	出力	シリアル・インタフェースUART0, UART1のシリアル・データ出力
SCK00	入出力	シリアル・インタフェースCSI00のシリアル・クロック入力/出力
SCL00	出力	シリアル・インタフェースIIC00のシリアル・クロック出力
SDA00	入出力	シリアル・インタフェースIIC00のシリアル・データ入出力
SI00	入力	シリアル・インタフェースCSI00のシリアル・データ入力
$\overline{\text{SSI00}}$	入力	シリアル・インタフェースCSI00のチップ・セレクト入力
SO00	出力	CSI00のシリアル・データ出力
TI00-TI03	入力	16ビット・タイマ00-03への外部カウント・クロック/キャプチャ・トリガ入力
TO00-TO03	出力	16ビット・タイマ00-03のタイマ出力
TRJIO0	入出力	タイマRJ入出力
TRJO0	出力	タイマRJ出力
TRDCLK	入力	タイマRD外部クロック入力
TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1	入出力	タイマRD入出力
X1, X2	—	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
V _{DD}	—	すべての端子の正電源
AVREFP	入力	A/Dコンバータの+側基準電圧入力
AVREFM	入力	A/Dコンバータの-側基準電圧入力
V _{SS}	—	すべての端子のグラウンド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、25.4 プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、VDD-VSSライン間へのバイパスコンデンサ(0.1 μ F程度)を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 未使用端子の処理

未使用端子の処理を表2-3, 表2-4に示します。

表2-3 各端子の未使用端子処理(44ピン製品)(1/2)

端子名称	入出力	未使用時の推奨接続方法	
P00/ANI17/TI00/TxD1/CMP0P/ (TRJ00)	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	
P01/ANI16/TO00/RxD1/PGAI/TRJIO0			
P10/TRDIOD1			
P11/TRDIOC1			
P12/TRDIOB1			
P13/TRDIOA1			
P14/TRDIOD0			
P15/PCLBUZ1/TRDIOB0			
P16/TI01/TO01/INTP5/TRDIOC0			
P17/TI02/TO02/TRDIOA0/TRDCLK			
P20/ANI0/AV _{REFP}			
P21/ANI1/AV _{REFM}			
P22/ANI2			
P23/ANI3			
P24/ANI4			
P25/ANI5			
P26/ANI6			
P27/ANI7			
P30/INTP3/SCK00/SCL00/TRJ00			入力時：個別に抵抗を介して、V _{DD} に接続またはオープンにしてください。 出力時：オープンにしてください。
P31/TI03/TO03/INTP4/PCLBUZ0/ (TRJIO0)			
P40/TOOL0	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
P41/(TRJIO0)			
P50/INTP1/SI00/RxD0/TOOLRxD/SD A00/(TRJ00)	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
P51/INTP2/SO00/TxD0/TOOLTxD			
P60	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。		
P61			
P62/SSI00			
P63			

表2-4 各端子の未使用端子処理(44ピン製品)(2/2)

端子名称	入出力	未使用時の推奨接続方法
P70/KR0	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P71/KR1		
P72/KR2		
P73/KR3		
P120/ANI19		
P121/X1	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P122/X2/EXCLK		
P123		
P124		
P137/INTP0		
P146	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P147/ANI18		
RESET	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ(0.47~1 μF)を介し、V _{SS} に接続してください。

第3章 CPUアーキテクチャ

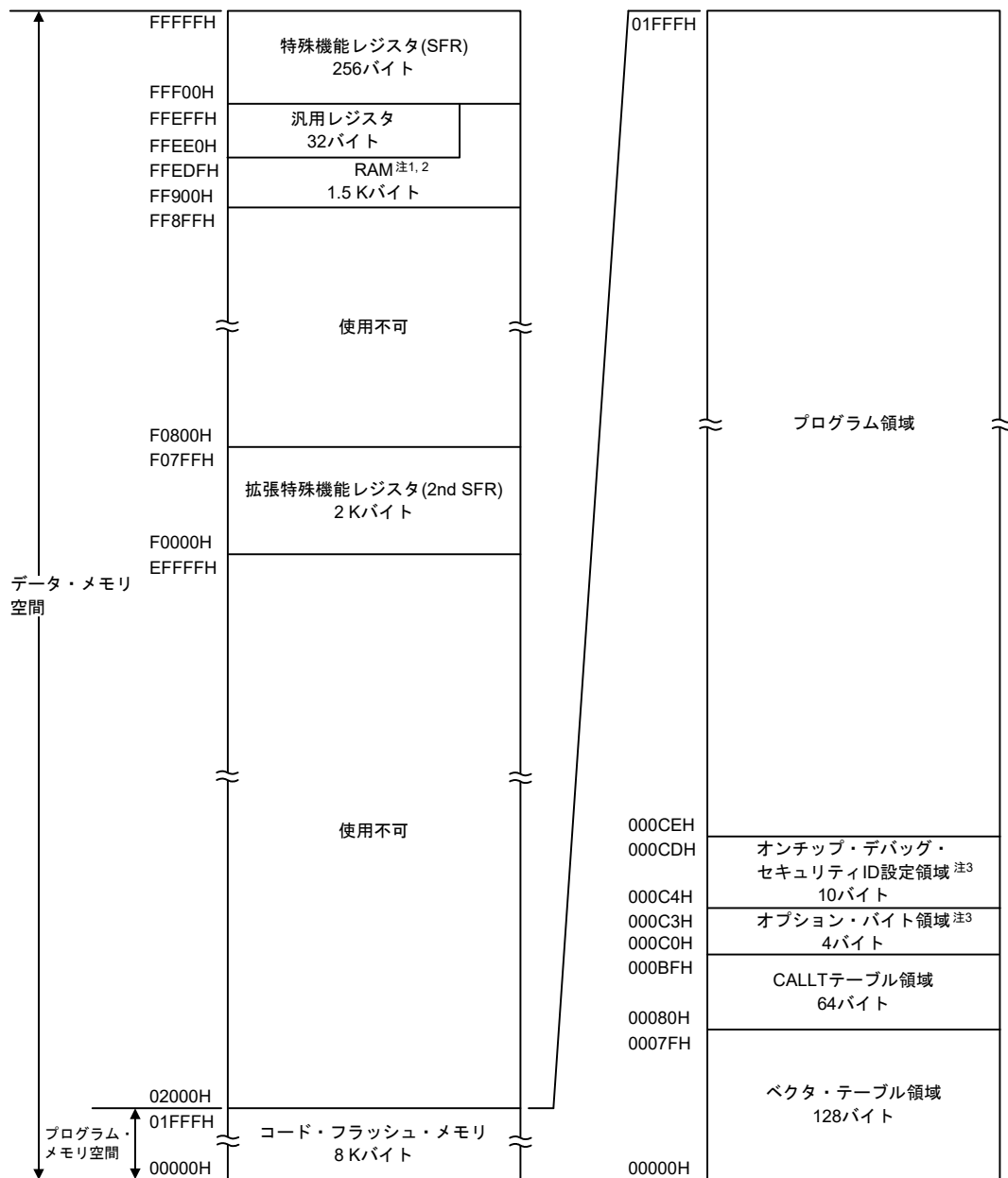
3.1 概要

RL78 マイクロコントローラのCPUコアは、命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに、フェッチ、デコード、メモリ・アクセスの3段パイプライン制御を採用することで、従来のCPUコアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とする様々なアプリケーションに対して、高性能かつ高速な命令処理で応えることができます。

RL78/G1Gは、RL78-S3コアであり、主に以下のような特徴を有します。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ x 8
- 命令の種類：81種類
- データ配置：リトル・エンディアン
- 乗除算積和演算命令：対応

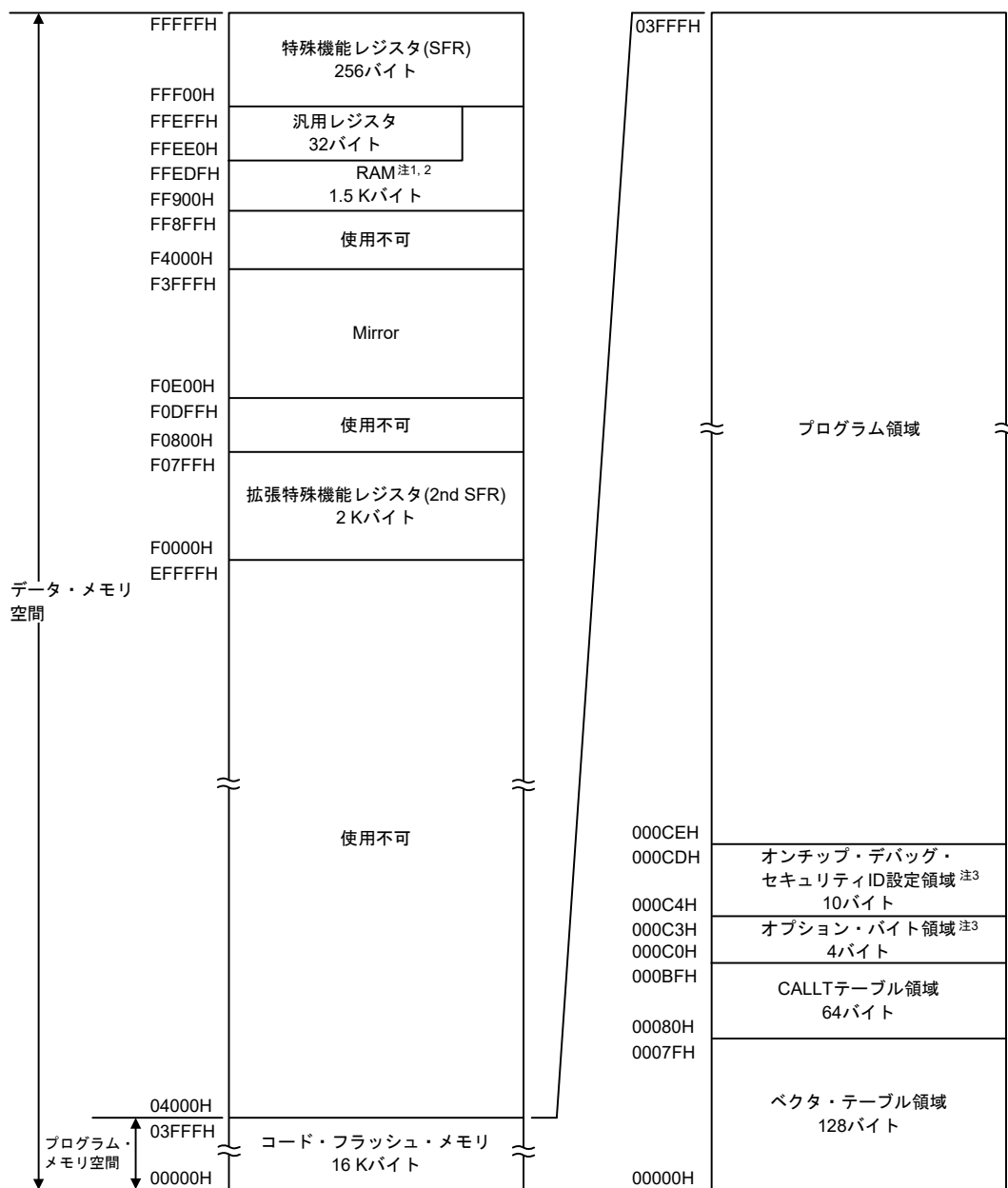
図3-1 メモリ・マップ(R5F11EA8, R5F11EB8, R5F11EF8)



- 注1. セルフ・プログラミング時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先を FFE20H-FFEFFH, FF900H-FFC80Hの領域に配置しないでください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、22.5 RAMパリティ・エラー検出機能を参照してください。

図3-2 メモリ・マップ(R5F11EAA, R5F11EBA, R5F11EFA)



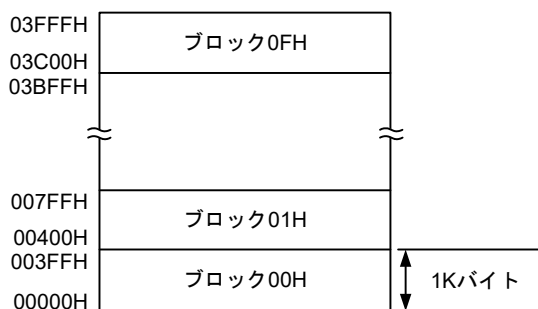
注1. セルフ・プログラミング時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先を FFE20H-FFEFFH, FF900H-FFC80Hの領域に配置しないでください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注3. 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティ IDを設定

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、22.5 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています(1ブロック=1Kバイト)。アドレス値とブロック番号については、表3-1にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



(R5F11ExA (x = A, B, F) の場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFFH	00H	02000H-023FFFH	08H
00400H-007FFFH	01H	02400H-027FFFH	09H
00800H-00BFFFH	02H	02800H-02BFFFH	0AH
00C00H-00FFFFH	03H	02C00H-02FFFFH	0BH
01000H-013FFFH	04H	03000H-033FFFH	0CH
01400H-017FFFH	05H	03400H-037FFFH	0DH
01800H-01BFFFH	06H	03800H-03BFFFH	0EH
01C00H-01FFFFH	07H	03C00H-03FFFFH	0FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G1Gは、次に示す内部ROM (フラッシュ・メモリ)を内蔵しています。

表3-2 内部ROM容量

製品	内部ROM	
	構造	容量
R5F11EA8, R5F11EB8, R5F11EF8	フラッシュ・メモリ	8192 × 8ビット (00000H-01FFFH)
R5F11EAA, R5F11EBA, R5F11EFA		16384 × 8ビット (00000H-03FFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-3にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。—はサポートしない割り込み要因であることを示します。

表3-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	44ピン	32ピン	30ピン
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○
00004H	INTWDTI	○	○	○
00006H	INTLVI	○	○	○
00008H	INTP0	○	○	○
0000AH	INTP1	○	○	○
0000CH	INTP2	○	○	○
0000EH	INTP3	○	○	○
00010H	INTP4	○	○	○
00012H	INTP5	○	○	○
0001EH	INTST0/INTCSI00/INTIIC00	○	○	○
00020H	INTSR0	○	○	○
00022H	INTSRE0	○	○	○
	INTTM01H	○	○	○
00024H	INTST1	○	○	○
00026H	INTSR1	○	○	○
00028H	INTSRE1	○	○	○
	INTTM03H	○	○	○
0002CH	INTTM00	○	○	○
0002EH	INTTM01	○	○	○
00030H	INTTM02	○	○	○
00032H	INTTM03	○	○	○
00034H	INTAD	○	○	○
00038H	INTIT	○	○	○
0003AH	INTKR	○	—	—
00040H	INTTRJ0	○	○	○
00052H	INTCMP0	○	○	○
00054H	INTCMP1	○	○	○
00056H	INTTRD0	○	○	○
00058H	INTTRD1	○	○	○
00062H	INTFL	○	○	○
0007EH	BRK	○	○	○

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令(CALLT)のサブルーチン・エン트리・アドレスを格納することができます。サブルーチン・エン트리・アドレスは00000H-0FFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。詳細は第24章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティ ID 設定領域

000C4H-000CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。000C4H-000CDHに10バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。詳細は第26章 オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

フラッシュ・メモリが16Kバイトの製品では、00000H-03FFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーさせています。

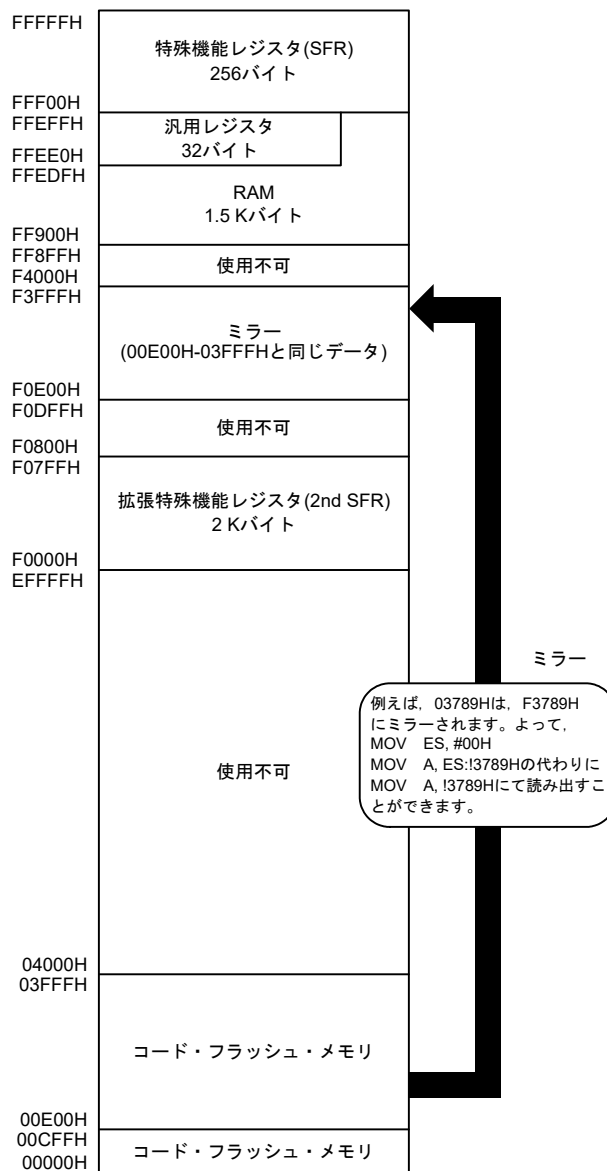
ミラー先のF0000H-FFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 概要を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F11ExA (x = A, B, F) (フラッシュ・メモリ 16 Kバイト, RAM 1.5 Kバイト)の場合



次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-3 プロセッサ・モード・コントロール・レジスタ (PMC)のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA
MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定							
0	00000H-03FFFHをF0000H-FFFFFFHへミラー							
1	設定禁止							

注意1. 必ずビット0 (MAA)を0 (初期値)でご使用ください。

注意2. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/G1Gは、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製品	内部RAM
R5F11EA8, R5F11EB8, R5F11EF8	1536 × 8ビット (FF900H-FFEFFH)
R5F11EAA, R5F11EBA, R5F11EFA	

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます(汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
- 注意2. セルフ・プログラミング時は、RAM領域のうちFFE20H-FFEFFHに各ライブラリが使用するスタックやデータ・バッファを配置しないでください。詳細は、RL78 ファミリフラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルをご確認ください。
- 注意3. 内部RAM領域のうちFF900H-FFC80Hの領域は、セルフ・プログラミング・ライブラリで使用するため使用禁止になります。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています(3.2.4 特殊機能レジスタ (SFR : Special Function Register)の表3-5～表3-7参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています(3.2.5 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register)の表3-8～表3-13参照)。

SFR領域(FFF00H-FFFFFH)以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

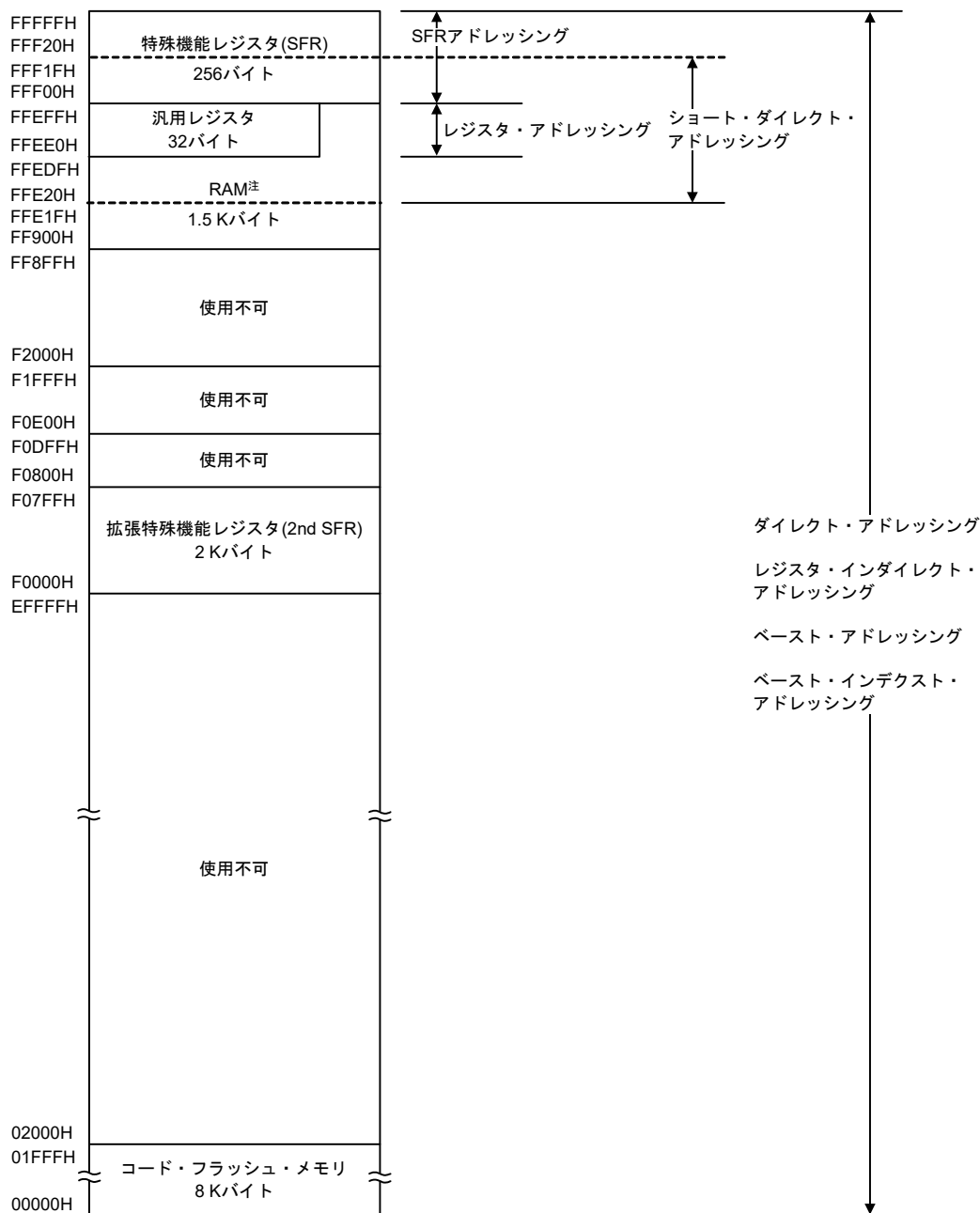
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/G1Gでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ(SFR)や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-4、図3-5にデータ・メモリとアドレッシングの対応を示します。

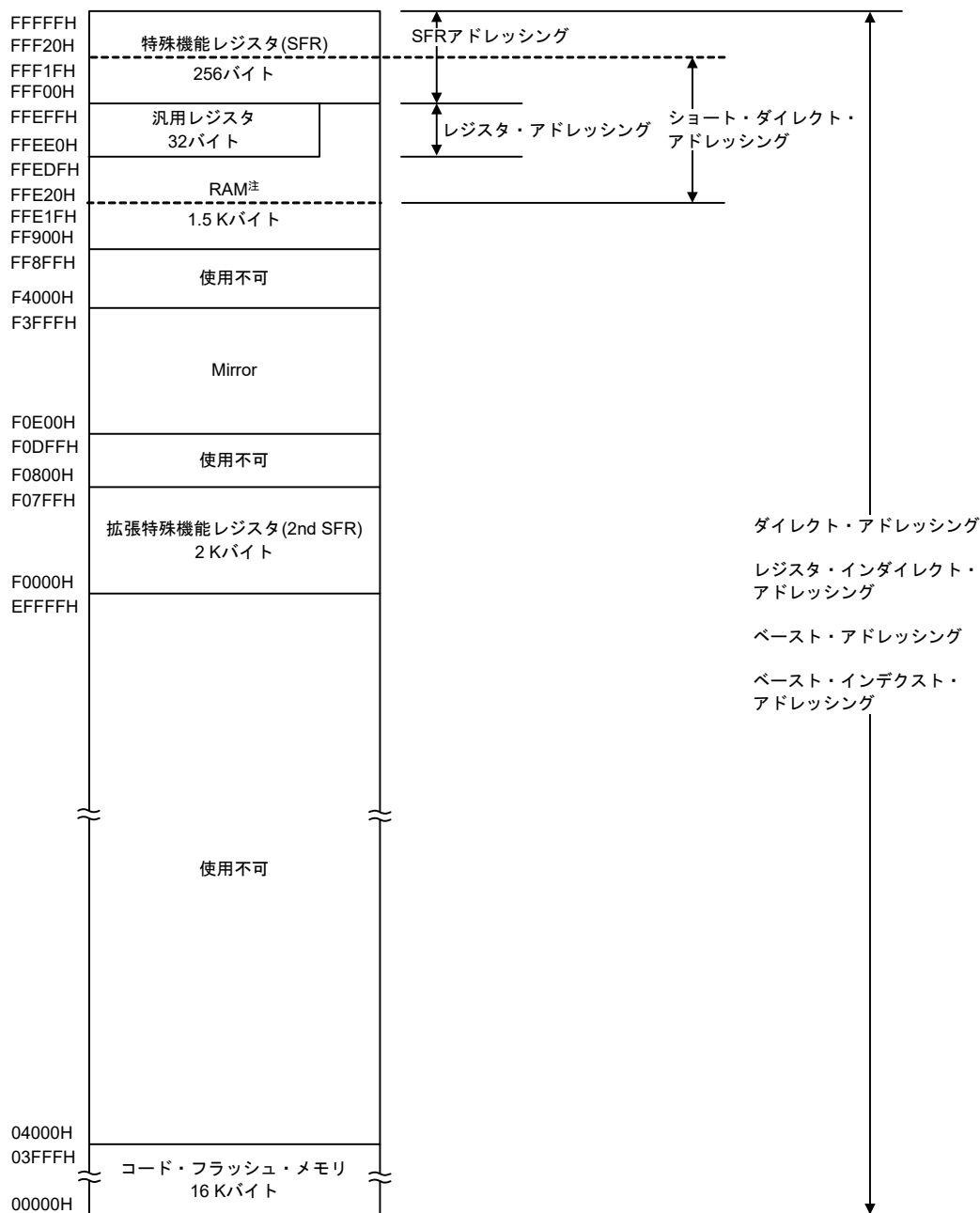
各アドレッシングの詳細については、「3.4 処理データ・アドレスに対するアドレッシング」を参照してください。

図3-4 データ・メモリとアドレッシングの対応(R5F11EA8, R5F11EB8, R5F11EF8)



注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するため FFE20H-FFEFFH, FF900H-FFC80Hの領域が使用禁止になります。

図3-5 データ・メモリとアドレッシングの対応(R5F11EAA, R5F11EBA, R5F11EFA)



注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するため FFE20H-FFEFFH, FF900H-FFC80Hの領域が使用禁止になります。

3.2 プロセッサ・レジスタ

RL78/G1Gは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)、スタック・ポインタ(SP)があります。

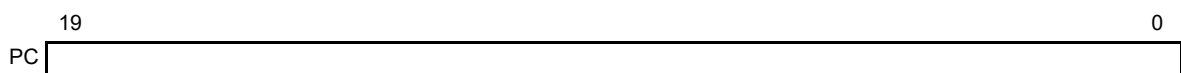
(1) プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、00000Hと00001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-6 プログラム・カウンタの構成



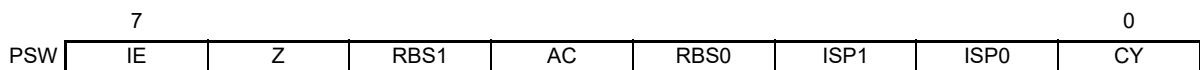
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-7 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止(DI)状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可(EI)状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ(ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット(0)され、EI命令の実行によりセット(1)されます。

(b) ゼロ・フラグ(Z)

演算結果がゼロのときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサービス・プライオリティ・フラグ(ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (16.3.3参照)でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されます。

備考n = 0, 1

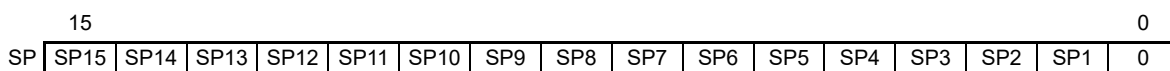
(f) キャリー・フラグ(CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

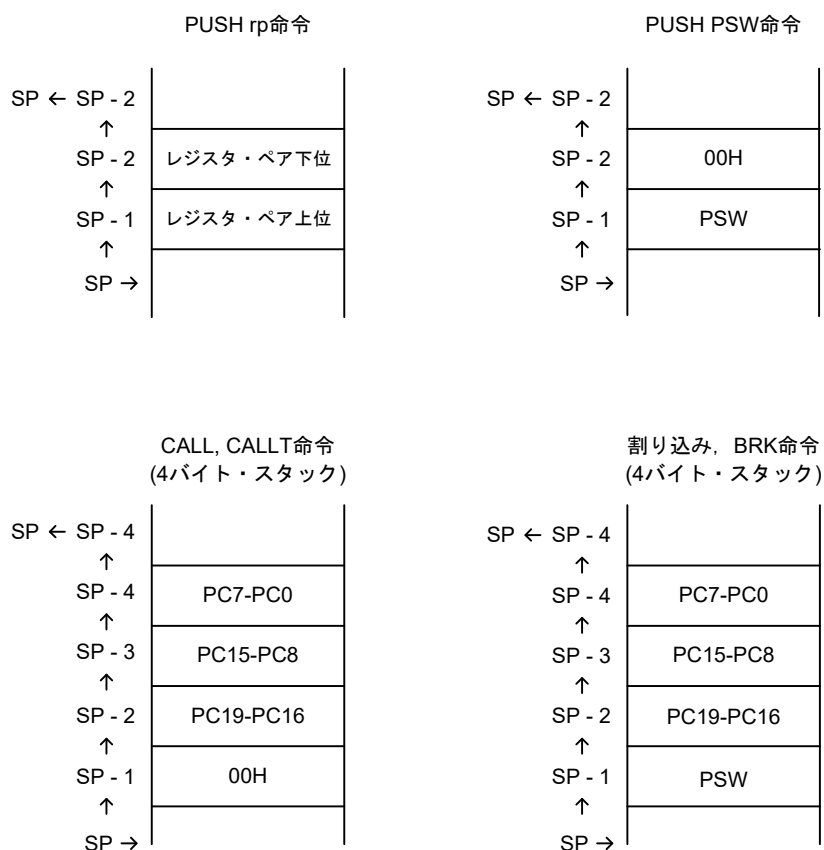
図3-8 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 注意2. 汎用レジスタ(FFEE0H-FFEFFH)の空間は、スタック領域としての使用を禁止します。
- 注意3. セルフ・プログラミング時は、RAM領域のうちFFE20H-FFEFFHに各ライブラリが使用するスタックやデータ・バッファを配置しないでください。
詳細は、RL78ファミリフラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルをご確認ください。
- 注意4. 内部RAM領域のうちFF900H-FFC80Hの領域は、セルフ・プログラミング・ライブラリで使用するため使用禁止になります。

図3-9 スタック・メモリへ退避されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

注意1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。

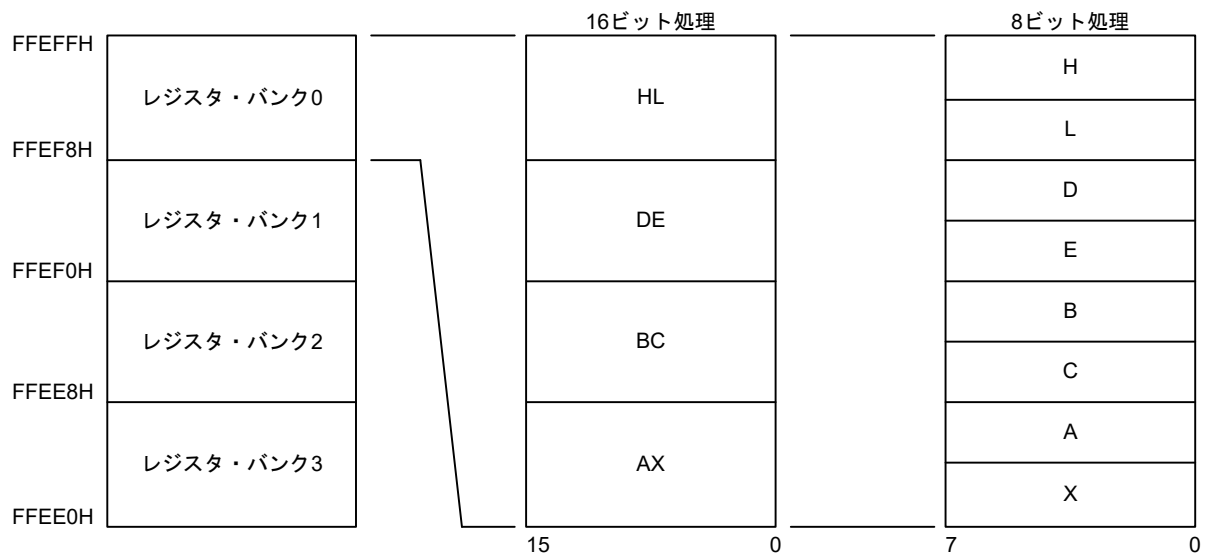
注意2. セルフ・プログラミング時は、RAM領域のうち FFE20H-FFEFFH に各ライブラリが使用するスタックやデータ・バッファを配置しないでください。

詳細は、RL78 ファミリフラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルをご確認ください。

注意3. 内部RAM領域のうち FF900H-FFC80H の領域は、セルフ・プログラミング・ライブラリで使用するため使用禁止になります。

図3 - 10 汎用レジスタの構成

(a)機能名称

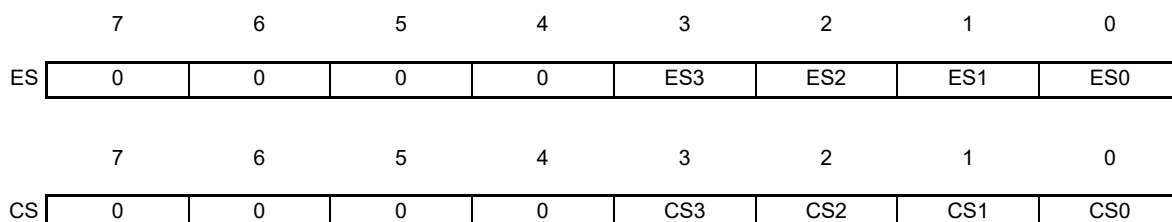


3.2.3 ES, CS レジスタ

ESレジスタでデータ・アクセス、CSレジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

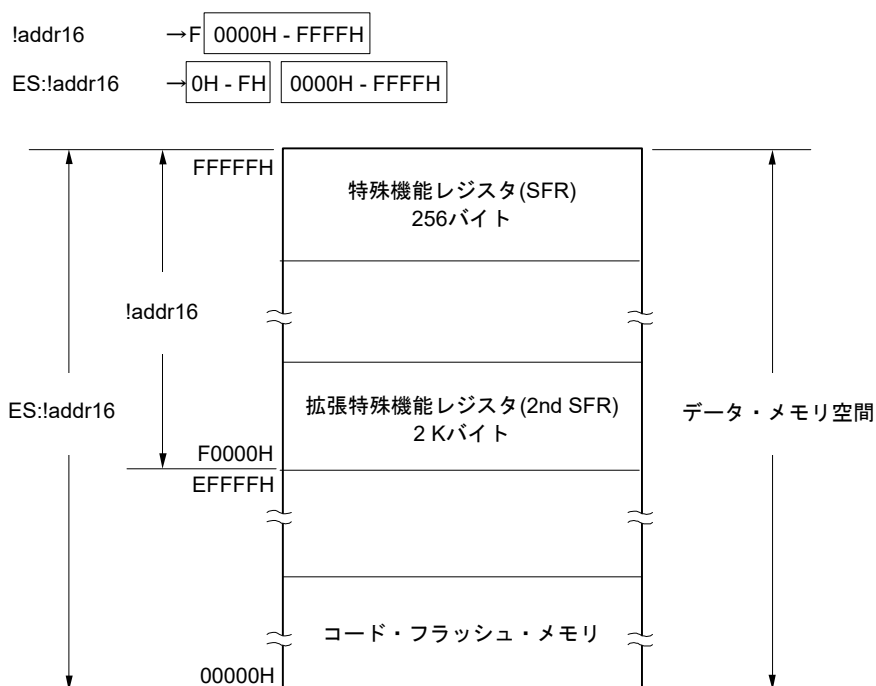
ESレジスタのリセット後の初期値は0FH、CSレジスタのリセット後の初期値は00Hです。

図3 - 11 ES/CSレジスタの構成



16ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFHの64 Kバイト空間ですが、ES: を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3 - 12 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-5~表3-7にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr 命令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR)については、3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)を参照してください。

表3-5 特殊機能レジスタ(SFR)一覧(1/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	—	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	—	不定
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	—	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ01	RXD0/ SIO01	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○	00H	
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	—	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	—	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	—	00H
FFF37H	キー・リターン・モード・レジスタ	KRM		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可 レジスタ0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可 レジスタ0	EGN0		R/W	○	○	—	00H

表3-6 特殊機能レジスタ(SFR)一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—	—		
FFF46H	シリアル・データ・レジスタ03	RXD1/ SIO11	SDR03	R/W	—	○	○	0000H
FFF47H		—			—	—		
FFF58H	タイマRDジェネラルレジスタC0	TRDGRC0		R/W	—	—	○	FFFFH注
FFF59H								
FFF5AH	タイマRDジェネラルレジスタD0	TRDGRD0		R/W	—	—	○	FFFFH注
FFF5BH								
FFF5CH	タイマRDジェネラルレジスタC1	TRDGRC1		R/W	—	—	○	FFFFH注
FFF5DH								
FFF5EH	タイマRDジェネラルレジスタD1	TRDGRD1		R/W	—	—	○	FFFFH注
FFF5FH								
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○	00H	
FFF90H	12ビット・インターバル・タイマ・ コントロール・レジスタ	ITMC		R/W	—	—	○	0FFFH
FFF91H								
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	—	00H

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表 3 - 7 特殊機能レジスタ (SFR) 一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	—	○	—	不定注1
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	—	00H注2
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	—	00H/01H/81H 注3
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	—	○	—	1AH/9AH注4
FFFACH	CRC入力レジスタ	CRCIN		R/W	—	○	—	00H
FFFD0H	割り込み要求フラグ・レジスタ 2L	IF2L	IF2	R/W	○	○	○	00H
FFFD1H	割り込み要求フラグ・レジスタ 2H	IF2H		R/W	○	○		00H
FFFD4H	割り込みマスク・フラグ・レジスタ 2L	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H	割り込みマスク・フラグ・レジスタ 2H	PR02L		R/W	○	○		FFH
FFFD8H	優先順位指定フラグ・レジスタ 02L	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H	優先順位指定フラグ・レジスタ 02H	PR02H		R/W	○	○		FFH
FFFDCH	優先順位指定フラグ・レジスタ 12L	PR12L	PR12	R/W	○	○	○	FFH
FFDDH	優先順位指定フラグ・レジスタ 12H	PR12H		R/W	○	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ 0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ 0H	IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ 1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ 1H	IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ 0L	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H	割り込みマスク・フラグ・レジスタ 0H	MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ 1L	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H	割り込みマスク・フラグ・レジスタ 1H	MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ 00L	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H	優先順位指定フラグ・レジスタ 00H	PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ 01L	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH	優先順位指定フラグ・レジスタ 01H	PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ 10L	PR10L	PR10	R/W	○	○	○	FFH
FFFDH	優先順位指定フラグ・レジスタ 10H	PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ 11L	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH	優先順位指定フラグ・レジスタ 11H	PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ (L)	MACRL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ (H)	MACRH		R/W	—	—	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

注1. RESFレジスタのリセット値は、リセット要因により変化します。

注2. LVIMレジスタのリセット値は、リセット要因により変化します。

注3. LVISレジスタのリセット値は、リセット要因およびオプション・バイトの設定により変化します。

注4. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

備考 拡張SFR (2nd SFR)については、表3-8～表3-13 拡張特殊機能レジスタ (2nd SFR)一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR)は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域(FFF00H-FFFFFH)以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(!addr16.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-8～表3-13に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する拡張SFRが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-8 拡張特殊機能レジスタ(2nd SFR)一覧(1/6)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	—	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	—	FFH
F006CH	ポート・モード・コントロール・レジスタ12	PMC12	R/W	○	○	—	FFH
F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	周辺I/Oリダイレクション・レジスタ1	PIOR1	R/W	—	○	—	00H
F007AH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	注
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定

注 リセット値は出荷時に調整した値です。

表3-9 拡張特殊機能レジスタ(2nd SFR)一覧(2/6)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	—	00H
F00F3H	動作スピード・モード制御レジスタ	OSMC		R/W	—	○	—	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	—	○	—	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—	—		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—	—		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	○	0000H
F0105H		—			—	—		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	○	0000H
F0107H		—			—	—		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—	—		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—	—		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	—	○	○	0000H
F010DH		—			—	—		
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—	—		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	—	—	○	0020H
F0111H					—	—	—	
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	—	—	○	0020H
F0113H					—	—	—	
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	—	—	○	0020H
F0115H					—	—	—	
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	—	—	○	0020H
F0117H					—	—	—	
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	—	○	0087H
F0119H					—	—	—	
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	—	○	0087H
F011BH					—	—	—	
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	—	—	○	0087H
F011DH					—	—	—	

表3 - 10 拡張特殊機能レジスタ (2nd SFR) 一覧 (3/6)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F011EH	シリアル通信動作設定レジスタ 03	SCR03		R/W	—	—	○	0087H
F011FH								
F0120H	シリアル・チャネル許可ステータ ス・レジスタ 0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—	—		
F0122H	シリアル・チャネル開始レジスタ 0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	シリアル・チャネル停止レジスタ 0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	シリアル・クロック選択レジスタ 0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	シリアル出力レジスタ 0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ 0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ 0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロー ル・レジスタ 0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		
F0180H	タイマ・カウンタ・レジスタ 00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ 01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ 02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ 03	TCR03		R	—	—	○	FFFFH
F0187H								
F0190H	タイマ・モード・レジスタ 00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ 01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ 02	TMR02		R/W	—	—	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ 03	TMR03		R/W	—	—	○	0000H
F0197H								
F01A0H	タイマ・ステータス・レジスタ 00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—	—		
F01A2H	タイマ・ステータス・レジスタ 01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		

表3 - 11 拡張特殊機能レジスタ (2nd SFR) 一覧 (4/6)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01A4H	タイマ・ステータス・レジスタ 02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	タイマ・ステータス・レジスタ 03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01B0H	タイマ・チャンネル許可ステータス・ レジスタ 0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—	—		
F01B2H	タイマ・チャンネル開始レジスタ 0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャンネル停止レジスタ 0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ 0	TPS0		R/W	—	—	○	0000H
F01B7H					—	—	—	
F01B8H	タイマ出力レジスタ 0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		
F01BAH	タイマ出力許可レジスタ 0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—	—		
F01BCH	タイマ出力レベル・レジスタ 0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—	—		
F01BEH	タイマ出力モード・レジスタ 0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—	—		
F0240H	タイマRJ制御レジスタ 0	TRJCR0		R/W	—	○	—	00H
F0241H	タイマRJ I/O制御レジスタ 0	TRJIOC0		R/W	○	○	—	00H
F0242H	タイマRJモードレジスタ 0	TRJMR0		R/W	○	○	—	00H
F0243H	タイマRJイベント端子選択レジスタ 0	TRJISR0		R/W	○	○	—	00H
F0260H	タイマRD ELCレジスタ	TRDEL		R/W	○	○	—	00H注
F0263H	タイマRDスタートレジスタ	TRDSTR		R/W	—	○	—	0CH注
F0264H	タイマRDモードレジスタ	TRDMR		R/W	○	○	—	00H注
F0265H	タイマRD PWM機能選択レジスタ	TRDPMR		R/W	○	○	—	00H注
F0266H	タイマRD機能制御レジスタ	TRDFCR		R/W	○	○	—	80H注
F0267H	タイマRD出力マスタ許可レジスタ 1	TRDOER1		R/W	○	○	—	FFH注
F0268H	タイマRD出力マスタ許可レジスタ 2	TRDOER2		R/W	○	○	—	00H注
F0269H	タイマRD出力制御レジスタ	TRDOCR		R/W	○	○	—	00H注
F026AH	タイマRD デジタルフィルタ機能選 択レジスタ 0	TRDDF0		R/W	○	○	—	00H注
F026BH	タイマRD デジタルフィルタ機能選 択レジスタ 1	TRDDF1		R/W	○	○	—	00H注

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表3 - 12 拡張特殊機能レジスタ (2nd SFR) 一覧 (5/6)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F026CH	6相PWMオプション・モード・レジスタ	OPMR	R/W	—	○	—	00H
F026DH	6相PWMオプション・ステータス・レジスタ	OPSR	R	—	○	—	00H
F026EH	6相PWMオプション・Hi-Zスタート・トリガ・レジスタ	OPHS	W	—	○	—	00H
F026FH	6相PWMオプション・Hi-Zストップ・トリガ・レジスタ	OPHT	W	—	○	—	00H
F0270H	タイマRD制御レジスタ0	TRDCR0	R/W	○	○	—	00H注
F0271H	タイマRD I/O制御レジスタA0	TRDIORA0	R/W	○	○	—	00H注
F0272H	タイマRD I/O制御レジスタC0	TRDIORC0	R/W	○	○	—	88H注
F0273H	タイマRDステータスレジスタ0	TRDSR0	R/W	○	○	—	00H注
F0274H	タイマRD割り込み許可レジスタ0	TRDIER0	R/W	○	○	—	00H注
F0275H	タイマRD PWM機能出力レベル制御レジスタ0	TRDPOCR0	R/W	○	○	—	00H注
F0276H	タイマRDカウンタ0	TRD0	R/W	—	—	○	0000H注
F0277H							
F0278H	タイマRDジェネラルレジスタA0	TRDGRA0	R/W	—	—	○	FFFFH注
F0279H							
F027AH	タイマRDジェネラルレジスタB0	TRDGRB0	R/W	—	—	○	FFFFH注
F027BH							
F0280H	タイマRD制御レジスタ1	TRDCR1	R/W	○	○	—	00H注
F0281H	タイマRD I/O制御レジスタA1	TRDIORA1	R/W	○	○	—	00H注
F0282H	タイマRD I/O制御レジスタC1	TRDIORC1	R/W	○	○	—	88H注
F0283H	タイマRDステータスレジスタ1	TRDSR1	R/W	○	○	—	00H注
F0284H	タイマRD割り込み許可レジスタ1	TRDIER1	R/W	○	○	—	00H注
F0285H	タイマRD PWM機能出力レベル制御レジスタ1	TRDPOCR1	R/W	○	○	—	00H注
F0286H	タイマRDカウンタ1	TRD1	R/W	—	—	○	0000H注
F0287H							
F0288H	タイマRDジェネラルレジスタA1	TRDGRA1	R/W	—	—	○	FFFFH注
F0289H							
F028AH	タイマRDジェネラルレジスタB1	TRDGRB1	R/W	—	—	○	FFFFH注
F028BH							
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	—	00H

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表3-13 拡張特殊機能レジスタ (2nd SFR) 一覧 (6/6)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	—	—	○	0000H
F0300H	イベント出力先選択レジスタ00	ELSELR00	R/W	—	○	—	00H
F0301H	イベント出力先選択レジスタ01	ELSELR01	R/W	—	○	—	00H
F0302H	イベント出力先選択レジスタ02	ELSELR02	R/W	—	○	—	00H
F0303H	イベント出力先選択レジスタ03	ELSELR03	R/W	—	○	—	00H
F0304H	イベント出力先選択レジスタ04	ELSELR04	R/W	—	○	—	00H
F0305H	イベント出力先選択レジスタ05	ELSELR05	R/W	—	○	—	00H
F0306H	イベント出力先選択レジスタ06	ELSELR06	R/W	—	○	—	00H
F0307H	イベント出力先選択レジスタ07	ELSELR07	R/W	—	○	—	00H
F0308H	イベント出力先選択レジスタ08	ELSELR08	R/W	—	○	—	00H
F0309H	イベント出力先選択レジスタ09	ELSELR09	R/W	—	○	—	00H
F030AH	イベント出力先選択レジスタ10	ELSELR10	R/W	—	○	—	00H
F030BH	イベント出力先選択レジスタ11	ELSELR11	R/W	—	○	—	00H
F030CH	イベント出力先選択レジスタ12	ELSELR12	R/W	—	○	—	00H
F030DH	イベント出力先選択レジスタ13	ELSELR13	R/W	—	○	—	00H
F0310H	イベント出力先選択レジスタ16	ELSELR16	R/W	—	○	—	00H
F0311H	イベント出力先選択レジスタ17	ELSELR17	R/W	—	○	—	00H
F0312H	イベント出力先選択レジスタ18	ELSELR18	R/W	—	○	—	00H
F0340H	コンパレータモード設定レジスタ	COMPMDR	R/W	○	○	—	00H
F0341H	コンパレータフィルタ制御レジスタ	COMPFIR	R/W	—	○	—	00H
F0342H	コンパレータ出力制御レジスタ	COMPOCR	R/W	○	○	—	00H
F0343H	コンパレータ内蔵基準電圧制御レジスタ	CVRCTL	R/W	○	○	—	00H
F0344H	コンパレータ内蔵基準電圧選択レジスタ0	C0RVM	R/W	—	○	—	00H
F0345H	コンパレータ内蔵基準電圧選択レジスタ1	C1RVM	R/W	—	○	—	00H
F0346H	PGA制御レジスタ	PGACTL	R/W	○	○	—	00H
F0500H	タイマRJカウンタレジスタ0	TRJ0	R/W	—	—	○	FFFFH
F0501H							

備考 SFR領域のSFRについては、表3-5～表3-7 特殊機能レジスタ (SFR) 一覧を参照してください。

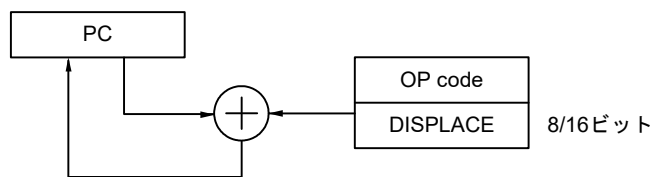
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレイメント値 (符号付きの補数データ: -128 ~ +127 または -32768 ~ +32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-13 レラティブ・アドレッシングの概略



3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-14 CALL !!addr20/BR !!addr20の例

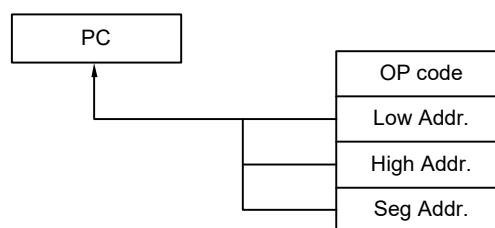
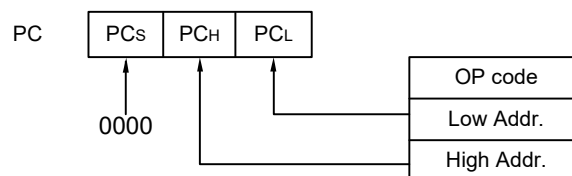


図3-15 CALL !addr16/BR !addr16の例



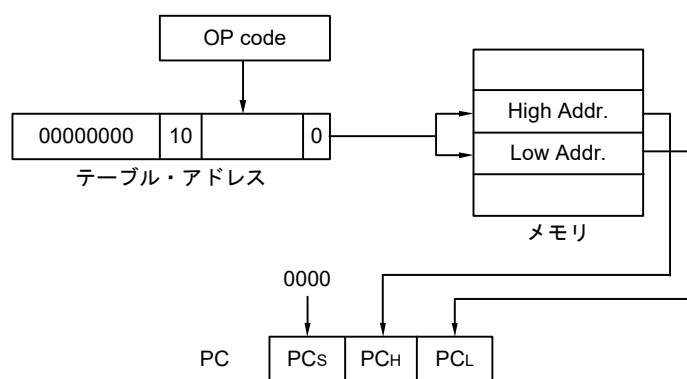
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミューディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 16 テーブル・インダイレクト・アドレッシングの概略

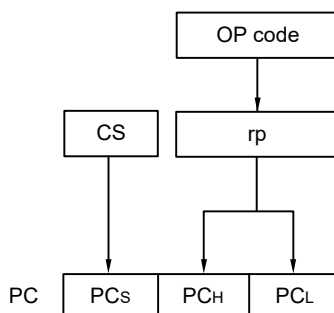


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア(Ax/BC/DE/HL)とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3 - 17 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

【機能】

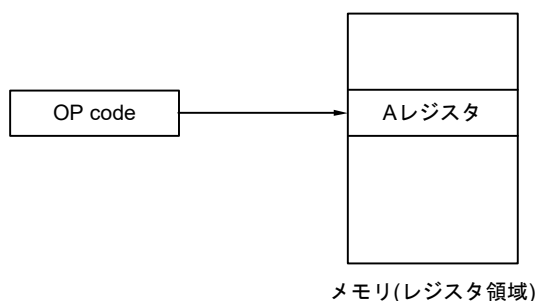
アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-18 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

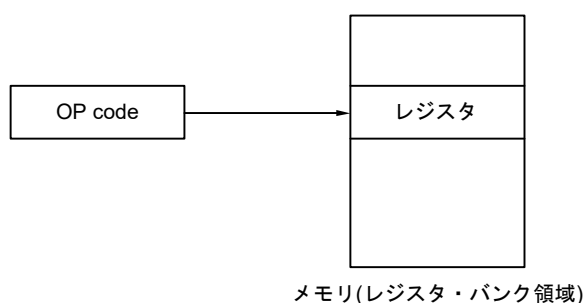
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-19 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 20 !addr16の例

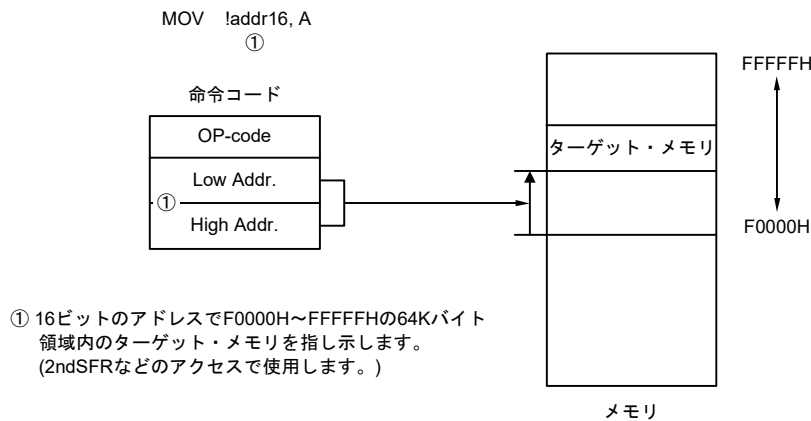
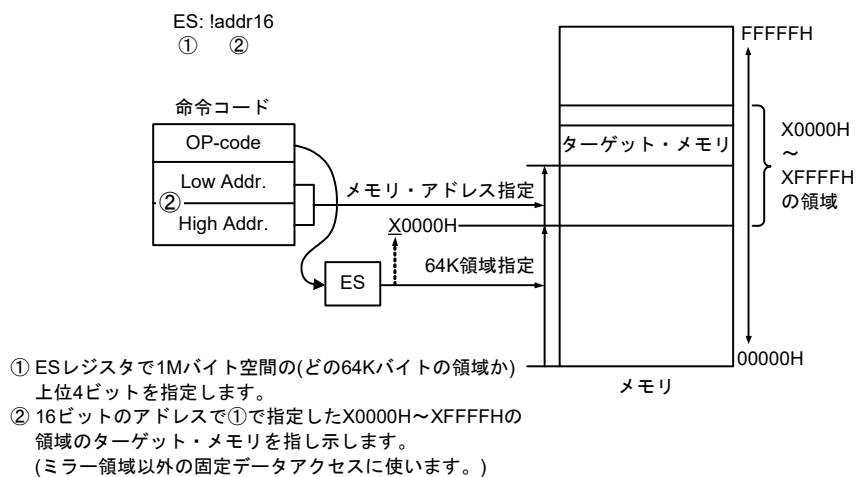


図3 - 21 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

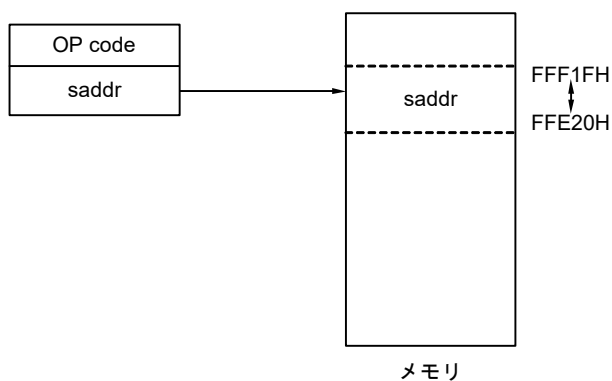
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ(偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-22 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した)16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

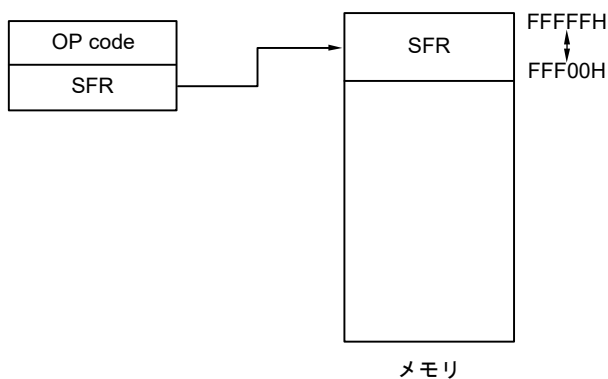
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名(偶数アドレスのみ)

図3 - 23 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 24 [DE], [HL]の例

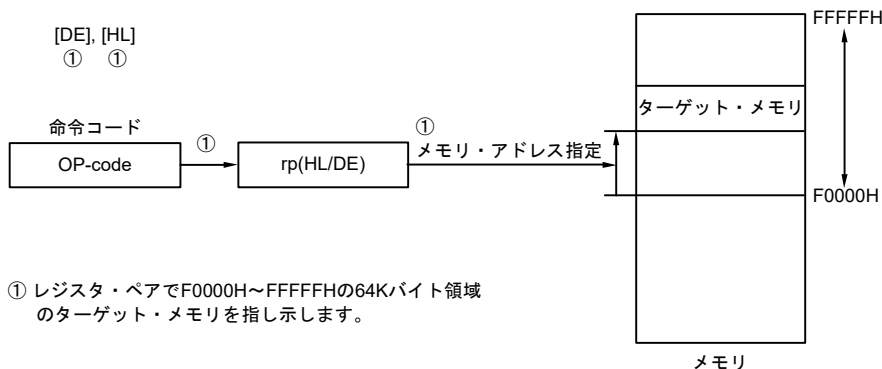
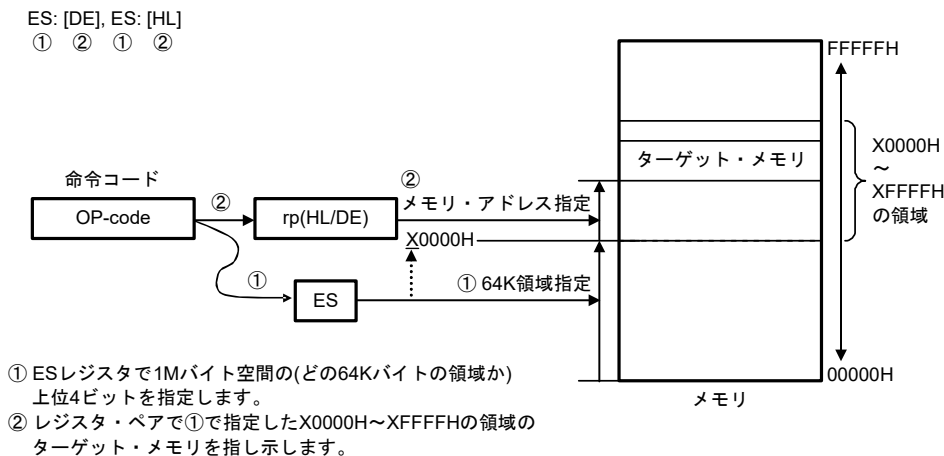


図3 - 25 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte](ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C](ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC](ESレジスタにて上位4ビット・アドレス指定)

図3 - 26 [SP + byte]の例

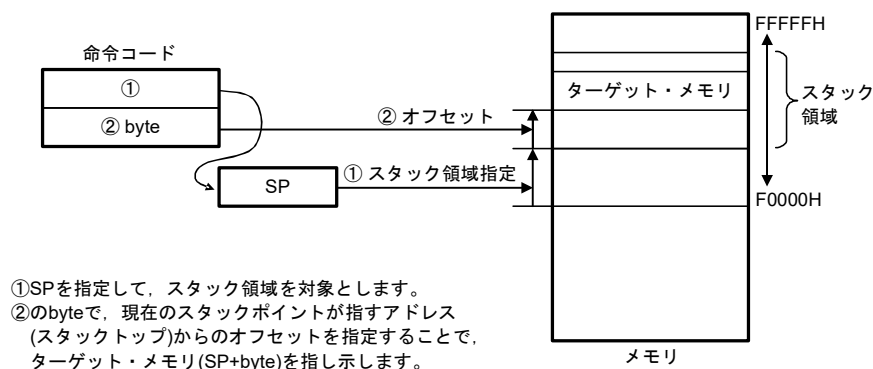


図3 - 27 [HL + byte], [DE + byte]の例

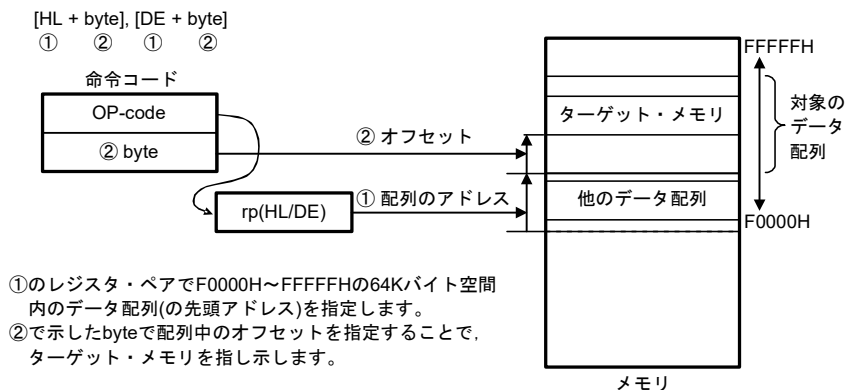


図3 - 28 word[B], word[C]の例

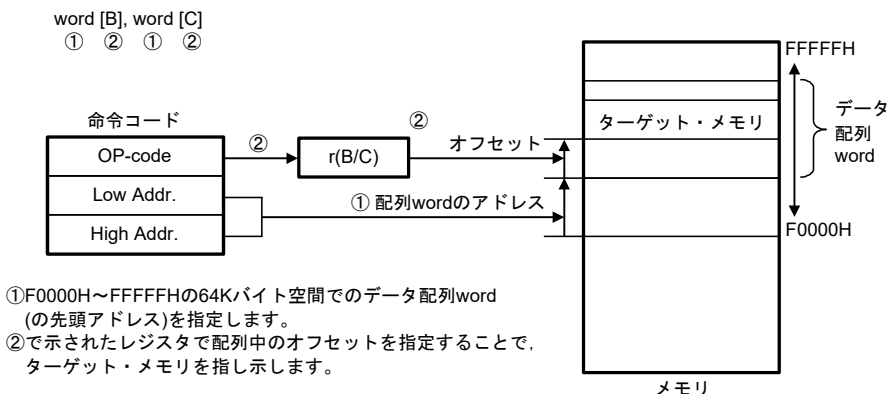


図3 - 29 word[BC]の例

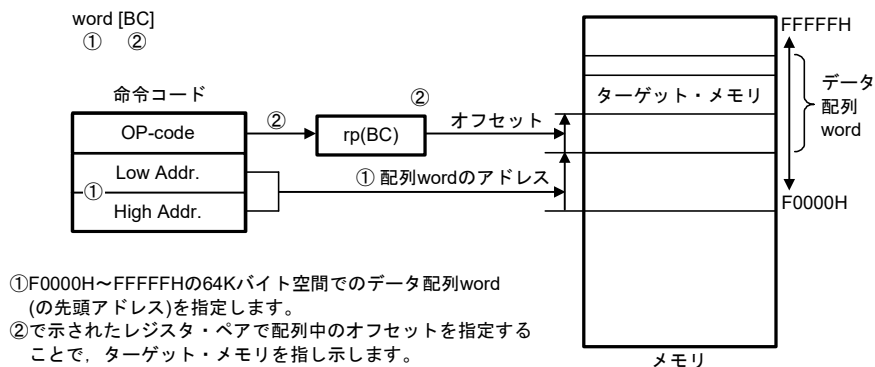


図3 - 30 ES:[HL + byte], ES:[DE + byte]の例

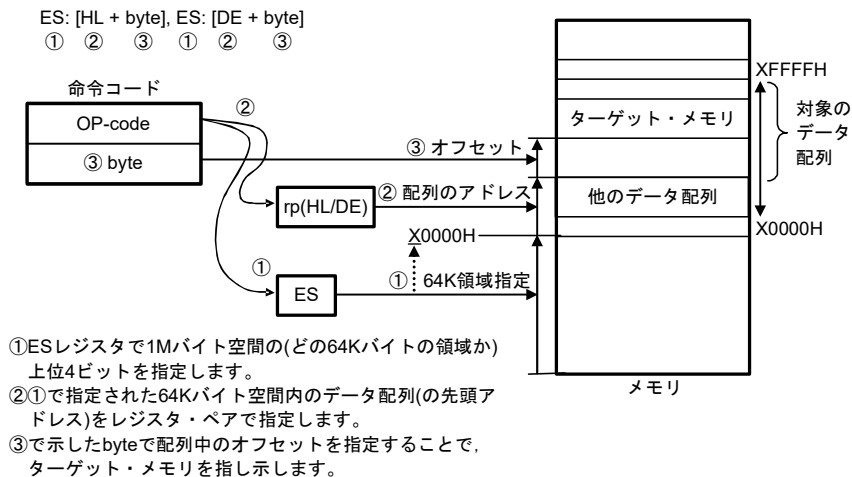


図3 - 31 ES:word[B], ES:word[C]の例

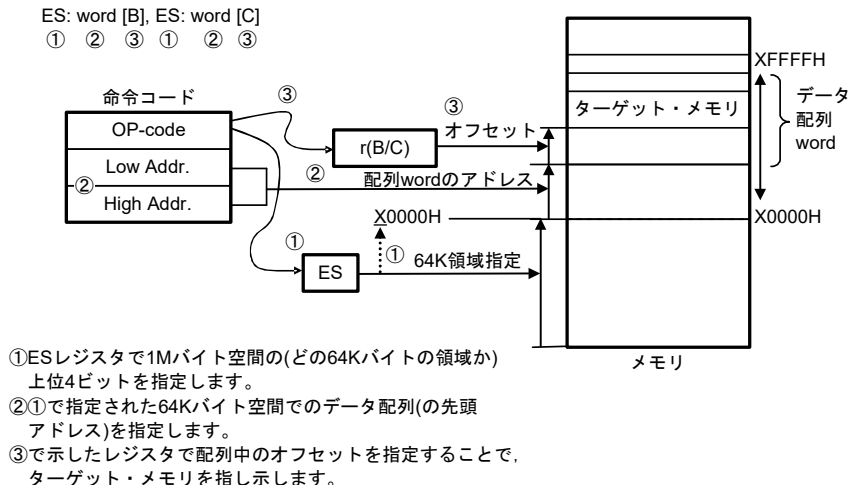
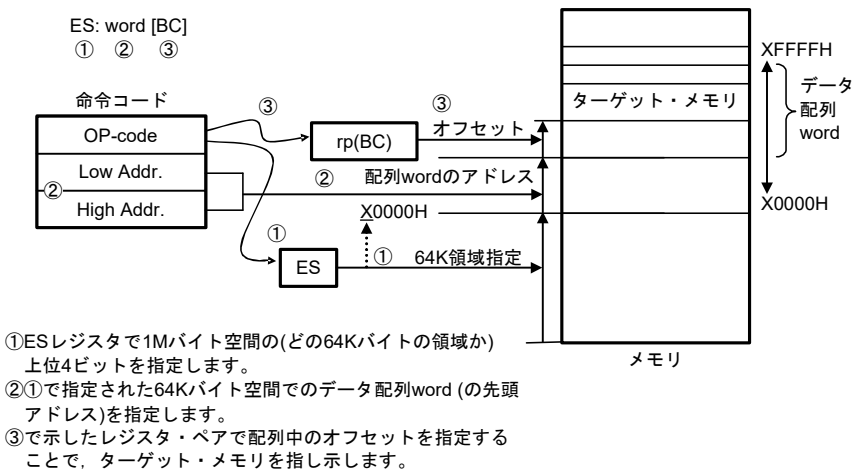


図3 - 32 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + B], [HL + C](F0000H~FFFFFH空間のみ指定可能)
—	ES:[HL + B], ES:[HL + C](ESレジスタにて上位4ビット・アドレス指定)

図3-33 [HL + B], [HL + C]の例

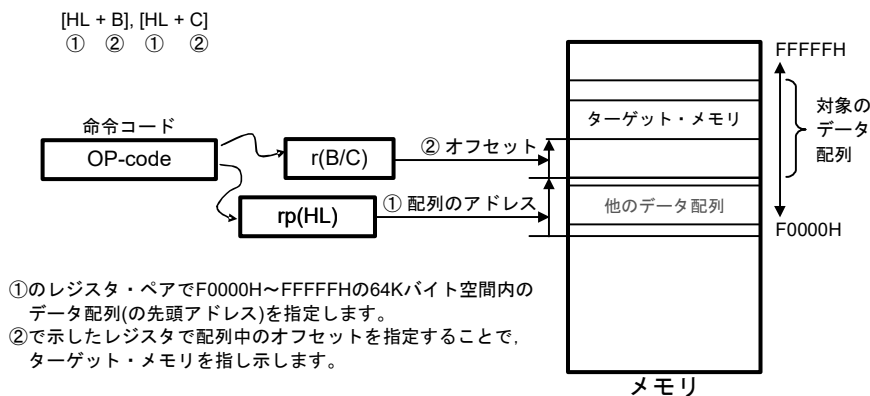
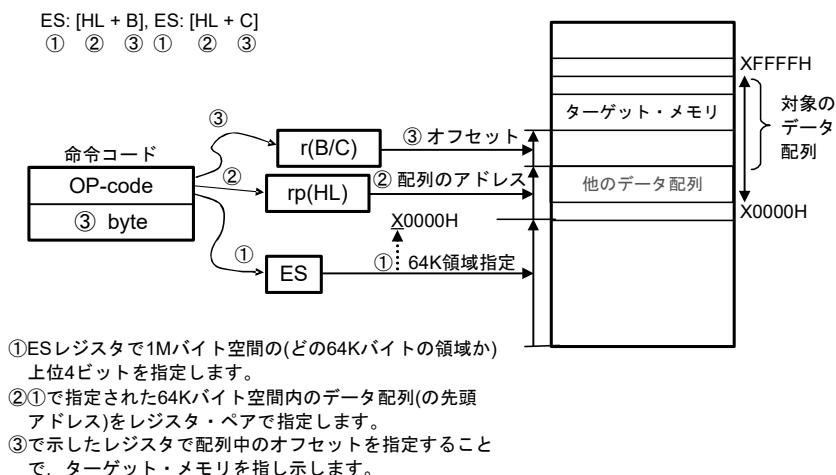


図3-34 ES:[HL + B], ES:[HL + C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アクセスは内部RAM上にだけ設定できます。

【オペランド形式】

表現形式	記述方法
—	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避/復帰されるデータは図3 - 35～図3 - 40のようになります。

図3 - 35 PUSH rpの例

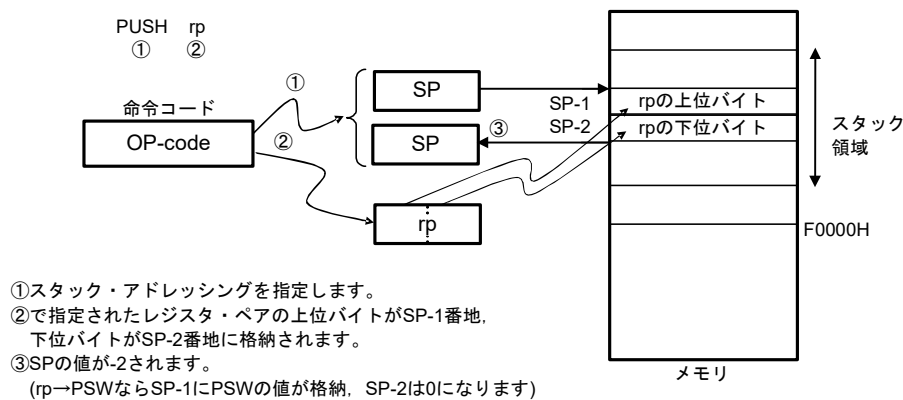


図3 - 36 POPの例

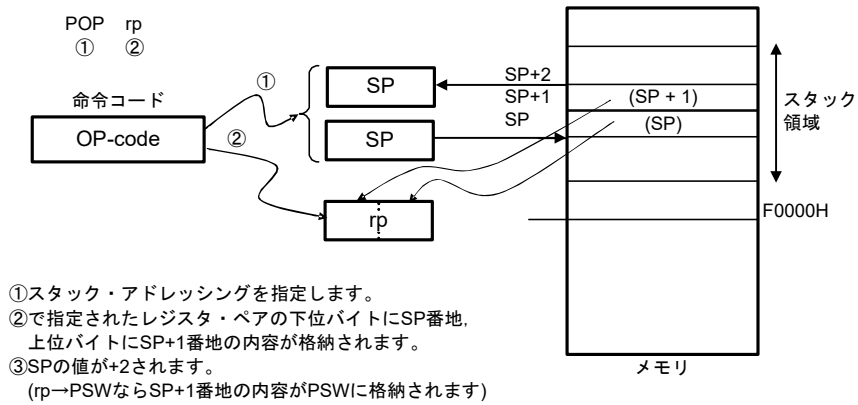


図3 - 37 CALL, CALLTの例

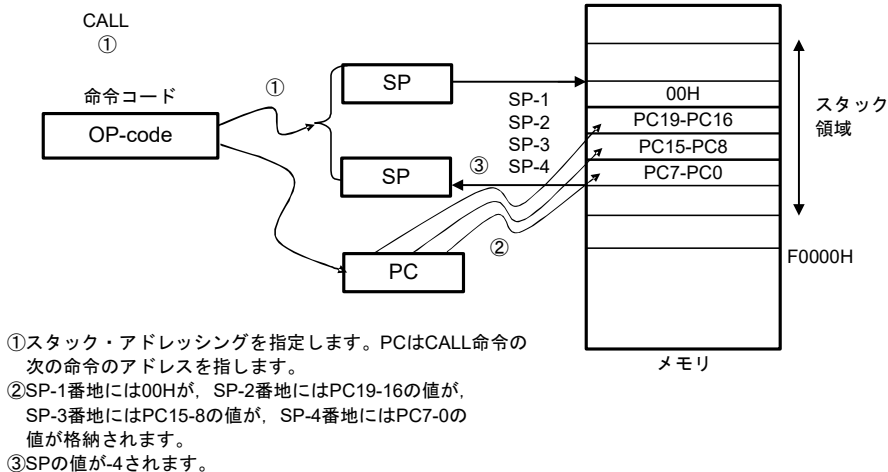


図3 - 38 RETの例

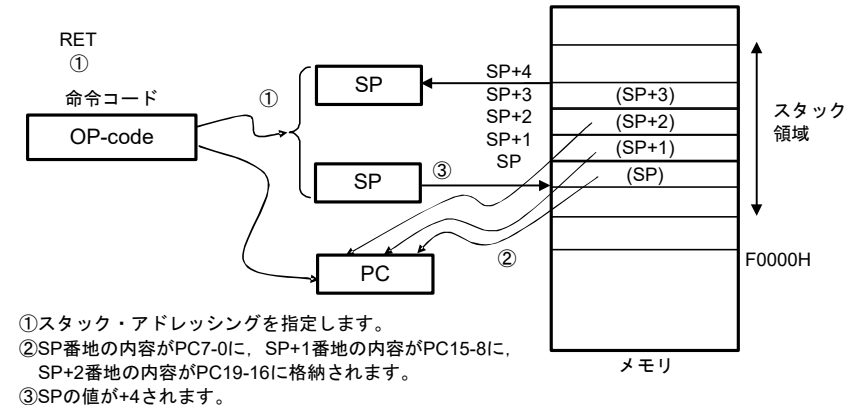


図3 - 39 割り込み, BRKの例

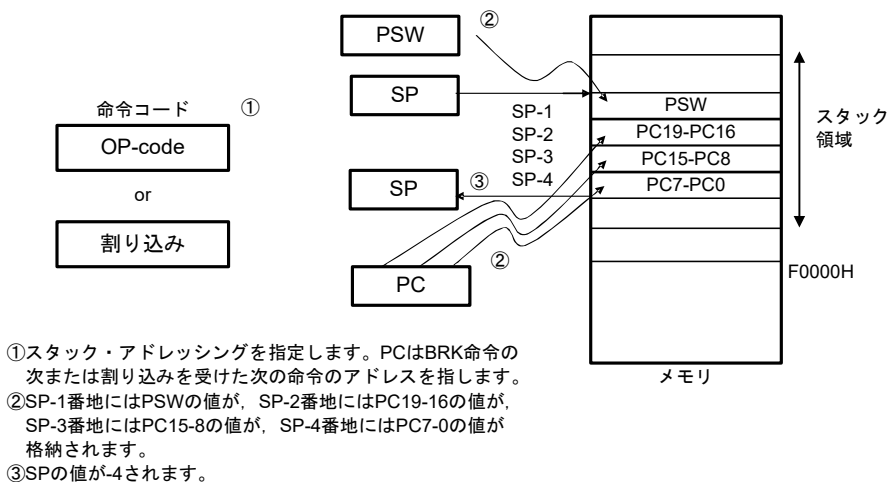
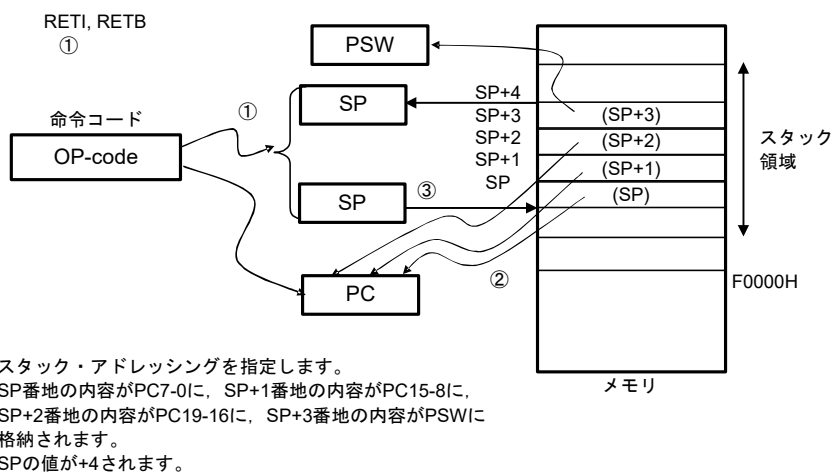


図3 - 40 RETI, RETBの例



第4章 ポート機能

4.1 ポートの機能

RL78/G1Gは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM7, PM12, PM14) ポート・レジスタ (P0-P7, P12-P14) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7, PU12, PU14) ポート入力モード・レジスタ (PIM0, PIM1, PIM3, PIM5) ポート出力モード・レジスタ (POM0, POM1, POM3, POM5) ポート・モード・コントロール・レジスタ (PMC0, PMC12, PMC14) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 周辺I/Oリダイレクション・レジスタ (PIOR1)
ポート	<ul style="list-style-type: none"> • 30ピン製品 : 合計 : 26本 (CMOS入出力 : 23本, CMOS入力 : 3本) • 32ピン製品 : 合計 : 28本 (CMOS入出力 : 25本, CMOS入力 : 3本) • 44ピン製品 : 合計 : 40本 (CMOS入出力 : 35本, CMOS入力 : 5本)
プルアップ抵抗	<ul style="list-style-type: none"> • 30ピン製品 : 合計 : 19本 • 32ピン製品 : 合計 : 21本 • 44ピン製品 : 合計 : 27本

注意 この章では、以降の主な説明を44ピン製品で、周辺I/Oリダイレクション・レジスタ1 (PIOR1)に00H設定時の場合で説明しています。

4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0)により1ビット単位で入力モード／出力モードの指定ができます。P00, P01 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P01 端子の入力は、ポート入力モード・レジスタ0 (PIM0)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P00 端子の出力は、ポート出力モード・レジスタ0 (POM0)により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧)に設定可能です。

P00, P01 端子を入力として使用する場合、ポート・モード・コントロール・レジスタ0 (PMC0)でデジタルかアナログかを設定してください (1ビット単位で設定可能)。

また、兼用機能としてタイマの入出力、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力、コンパレータ入力、PGA入力があります。

リセット信号の発生により、以下のようになります。

- ・アナログ入力

表4-2 ポート0使用時のレジスタ設定

端子名称		PM0x	PIM0x	POM0x	PMC0x	兼用機能設定注4	備考
名称	入出力						
P00	入力	1	—	x	0	x	
	出力	0		0	0	TxD1出力 = 1注1 (TRJ00 = 0)	CMOS出力
		0		1	0		N-ch O.D.出力
P01	入力	1	0	—	0	x	CMOS入力
		1	1		0	x	TTL入力
	出力	0	x		0	TO00出力 = 0注2 TRJIO0出力 = 0注3	

注1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニット・チャンネルに該当するシリアル出力レジスタm (SOm)のSOmnビット、シリアル出力許可レジスタm (SOEm)のSOEmnビット、シリアル・チャンネル許可ステータス・レジスタm (SEm)のSEmnビットを初期値と同じ設定で使用してください。(mn = 02)

注2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニット・チャンネルに該当するタイマ出力レジスタm (TOM)のTOMnビット、タイマ出力許可レジスタm (TOEm)のTOEmnビットを初期状態と同じ設定で使用してください。(m = 0, n = 0)

注3. タイマRJのタイマ入出力機能と兼用している端子を汎用ポートとして使用する場合、タイマRJモード・レジスタ0 (TRJMR0)のTMOD2-0ビットを初期値と同じ設定、または001B以外の設定で使用してください。

注4. ()内の機能は、周辺I/Oリダイレクション・レジスタ1 (PIOR1)の設定により、割り当て可能です。

備考 x : don't care

PM0x : ポート・モード・レジスタ0

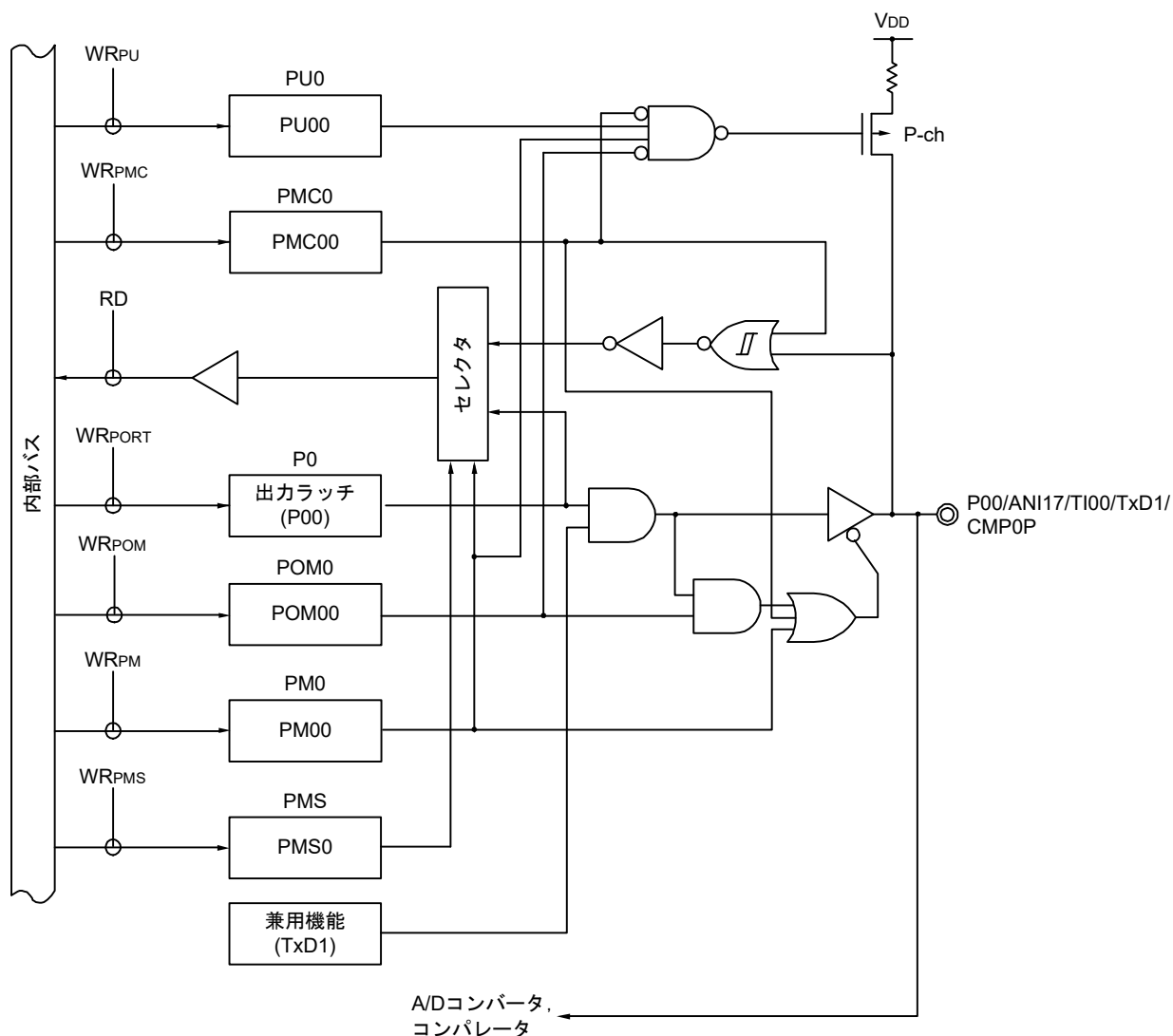
PIM0x : ポート入力モード・レジスタ0

POM0x : ポート出力モード・レジスタ0

PMC0x : ポート・モード・コントロール・レジスタ0

例として、図4-1、図4-2に、44ピン製品でPIOR1 = 00Hの場合のポート0のブロック図を示します。

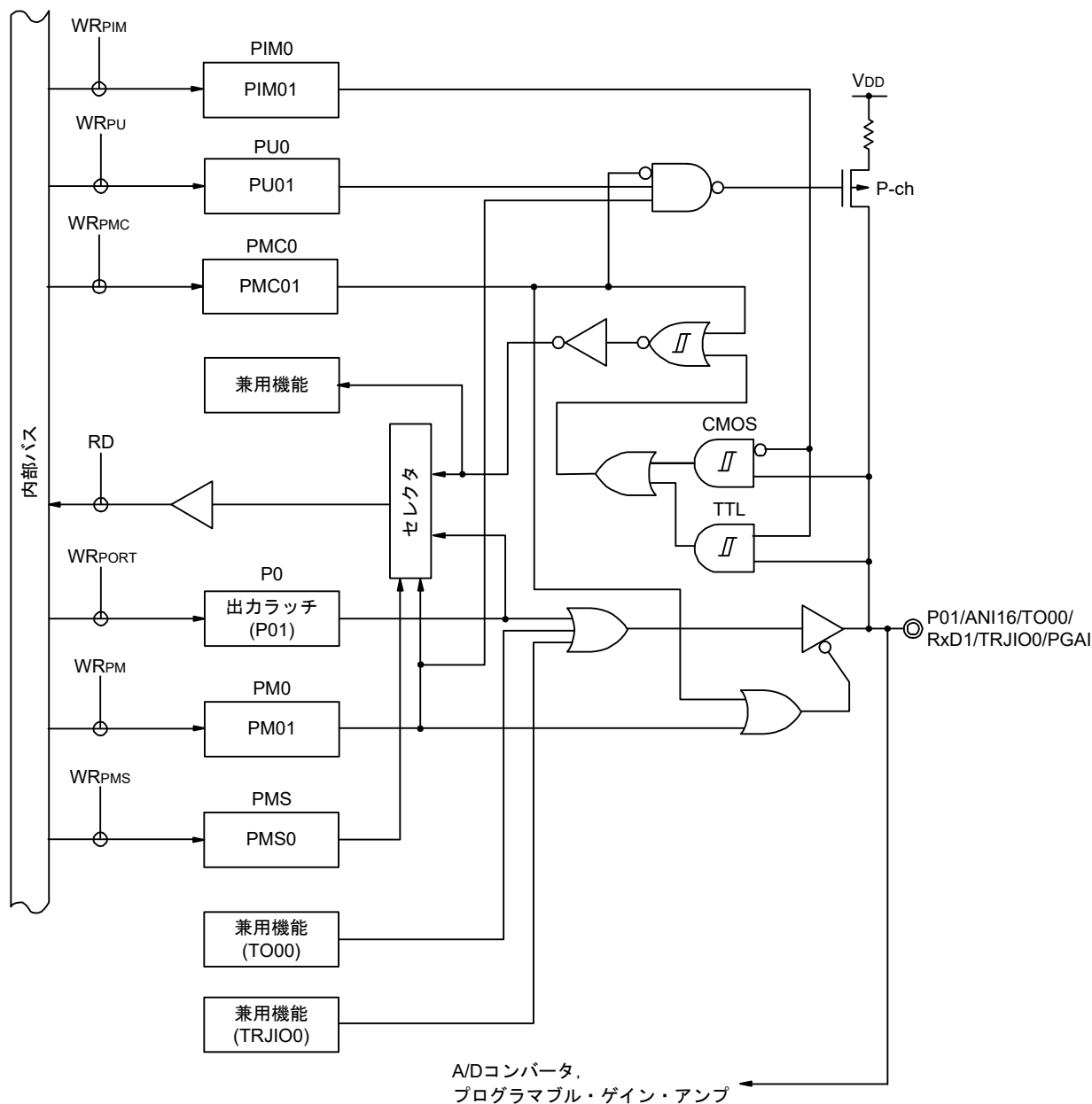
図4-1 P00のブロック図



注意 ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

- P0 : ポート・レジスタ0
- PU0 : ブルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- POM0 : ポート出力モード・レジスタ0
- PMC0 : ポート・モード・コントロール・レジスタ0
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

図4-2 P01のブロック図



注意 ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により入力バッファで電力を消費することがあります。電力増加を防ぎたい場合は、ロウ・レベルを入力してください。

- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- PIM0 : ポート入力モード・レジスタ0
- PMC0 : ポート・モード・コントロール・レジスタ0
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

4.2.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1)により1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P15-P17端子の入力は、ポート入力モード・レジスタ1 (PIM1)の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P10, P15, P17端子の出力は、ポート出力モード・レジスタ1 (POM1)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能としてクロック入出力、タイマの入出力、外部割り込み要求入力、クロック/ブザー出力があります。

リセット信号の発生により、入力モードになります。

表4-3 ポート1使用時のレジスタ設定(1/2)

端子名称		PM1x	PIM1x	POM1x	兼用機能設定	備考
名称	入出力					
P10	入力	1	0	×	×	CMOS入力
		1	1	×	×	TTL入力
	出力	0	×	0	TRDIOD1出力 = 0注1	CMOS出力
		0	×	1		N-ch O.D.出力
P11	入力	1	—	—	×	
	出力	0			TRDIOD1出力 = 0注1	CMOS出力
P12	入力	1	—	—	×	
	出力	0			TRDIOD1出力 = 0注1	
P13	入力	1	—	—	×	
	出力	0			TRDIOD1出力 = 0注1	CMOS出力
P14	入力	1	—	—	×	CMOS入力
	出力	0			TRDIOD0出力 = 0注1	CMOS出力
P15	入力	1	0	×	×	CMOS入力
		1	1	×	×	TTL入力
	出力	0	×	0	PCLBUZ1出力 = 0注2	CMOS出力
		0	×	1	TRDIOD0出力 = 0注1	N-ch O.D.出力
P16	入力	1	0	—	×	CMOS入力
		1	1		×	TTL入力
	出力	0	×		TO01出力 = 0注3 TRDIOD0出力 = 0注1	

表4-4 ポート1使用時のレジスタ設定(2/2)

端子名称		PM1x	PIM1x	POM1x	兼用機能設定	備考
名称	入出力					
P17	入力	1	0	×	×	CMOS入力
		1	1	×	×	TTL入力
	出力	0	×	0	TO02出力 = 0 ^{注3}	CMOS出力
		0	×	1	TRDIOA0出力 = 0 ^{注1}	N-ch O.D.出力

注1. タイマRD機能と兼用している端子を汎用ポートとして使用する場合、タイマRD出力マスタ許可レジスタ1 (TRDOER1)で対象となるTRDIOij端子の出力制御ビットを初期値と同じ設定で使用してください。(i = A, B, C, D j = 0, 1)

注2. クロック/ブザー出力機能と兼用している端子を汎用ポートとして使用する場合、クロック出力選択レジスタi (CKSi)のPCLOEiビットを初期状態と同じ設定で使用してください。(i = 1)

注3. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニット・チャンネルに該当するタイマ出力レジスタm (TOM)のTOMnビット、タイマ出力許可レジスタm (TOEm)のTOEmnビットを初期状態と同じ設定で使用してください。(m = 0, n = 1, 2)

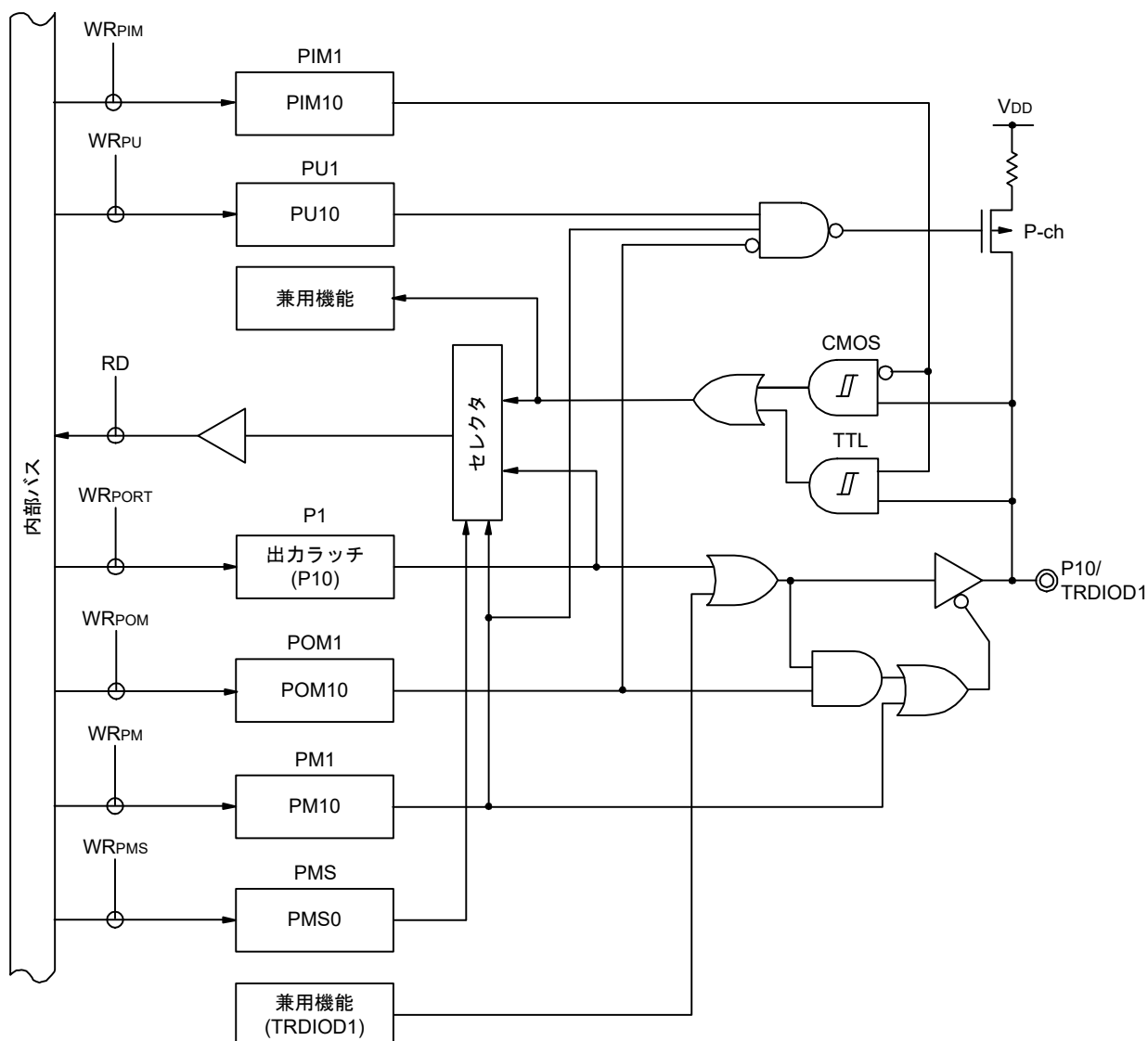
備考 × : don't care

PM1x : ポート・モード・レジスタ1

PIM1x : ポート入力モード・レジスタ1

POM1x : ポート出力モード・レジスタ1

図4 - 3 P10のブロック図

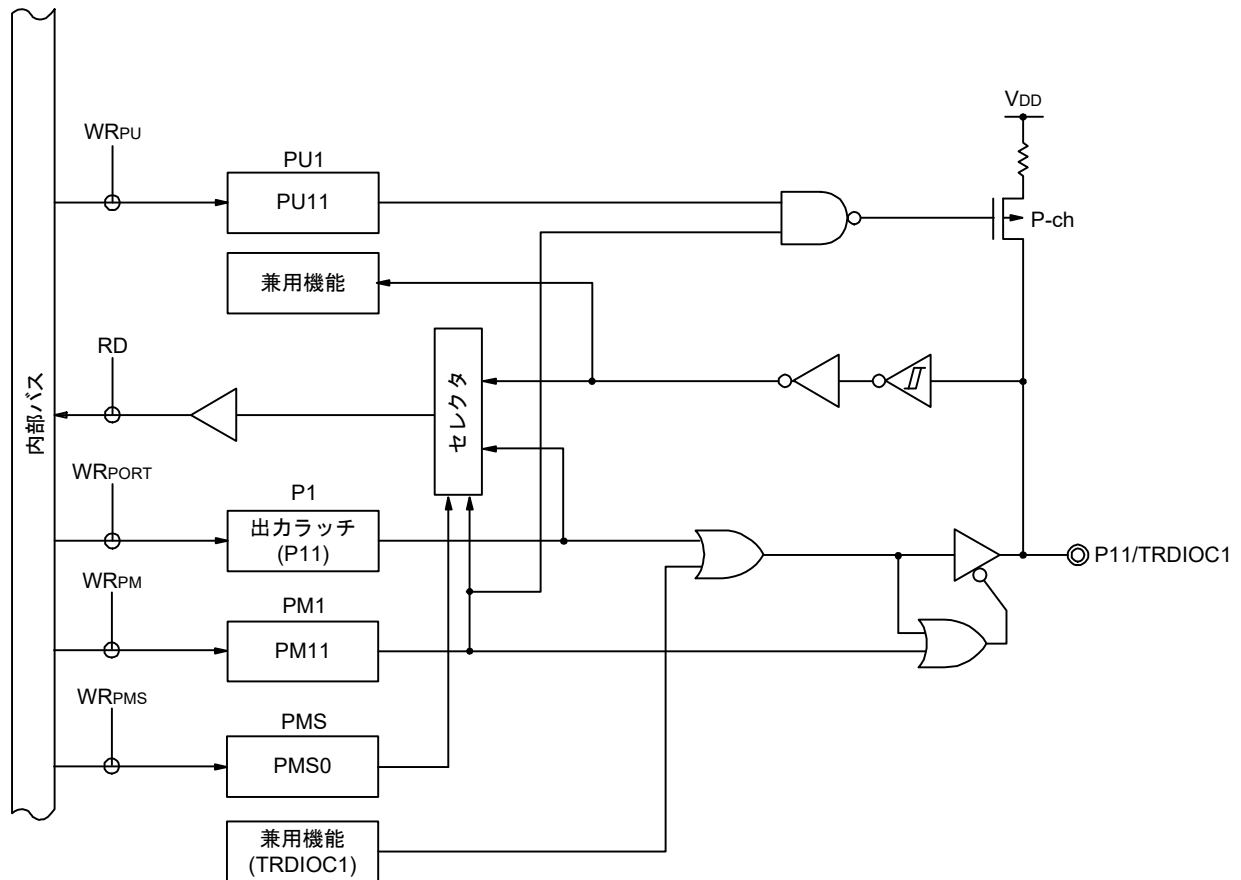


注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により入力バッファで電力を消費することがあります。電力増加を防ぎたい場合は、ロウ・レベルを入力してください。

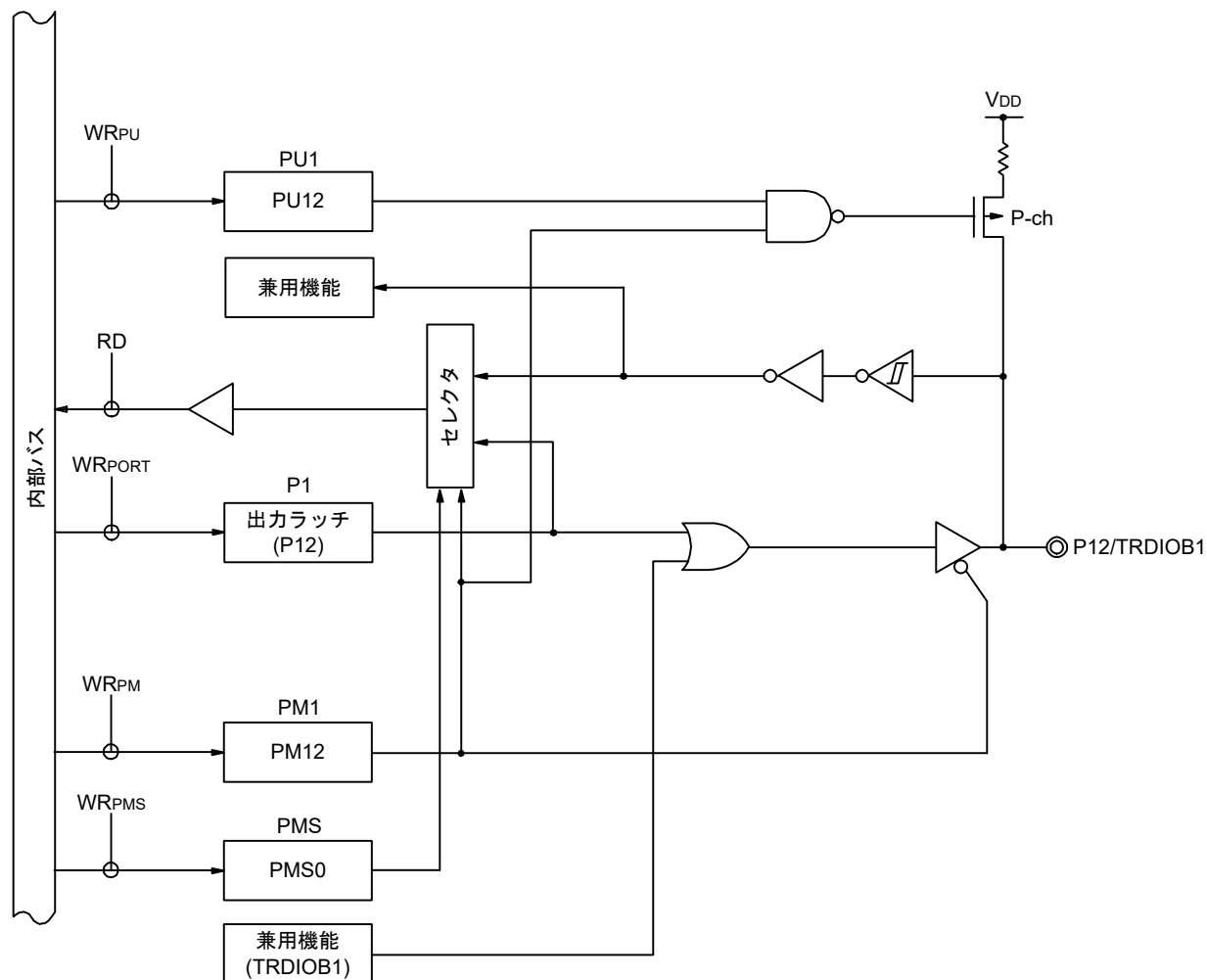
- P1: ポート・レジスタ1
- PU1: ブルアップ抵抗オプション・レジスタ1
- PM1: ポート・モード・レジスタ1
- PIM1: ポート入力モード・レジスタ1
- POM1: ポート出力モード・レジスタ1
- PMS: ポート・モード選択レジスタ
- RD: リード信号
- WRxx: ライト信号

図4-4 P11のブロック図



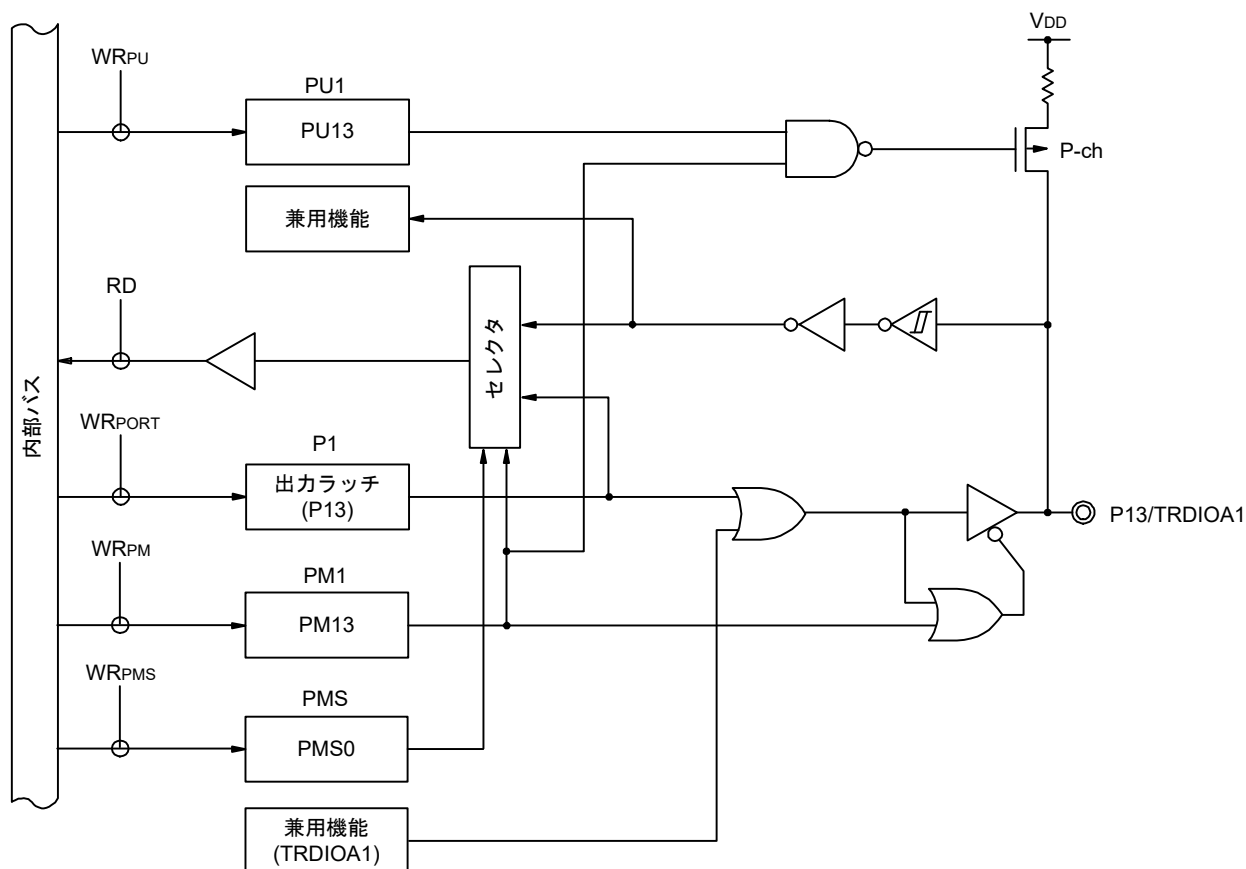
- P1 : ポート・レジスタ1
 PU1 : ブルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 PMS : ポート・モード選択レジスタ
 RD : リード信号
 WRxx : ライト信号

図4 - 5 P12のブロック図



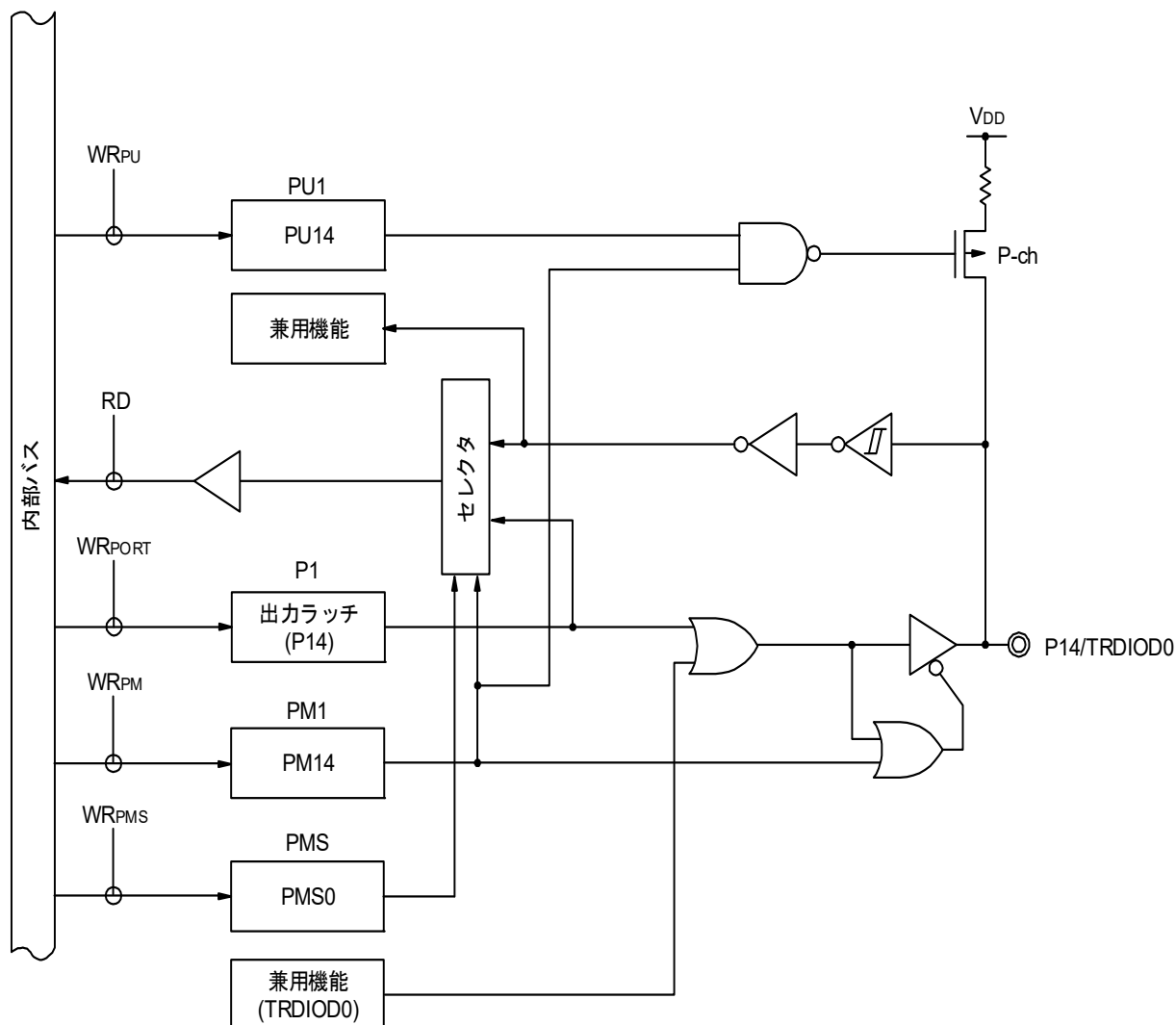
- P1 : ポート・レジスタ1
- PU1 : ブルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

図4 - 6 P13のブロック図



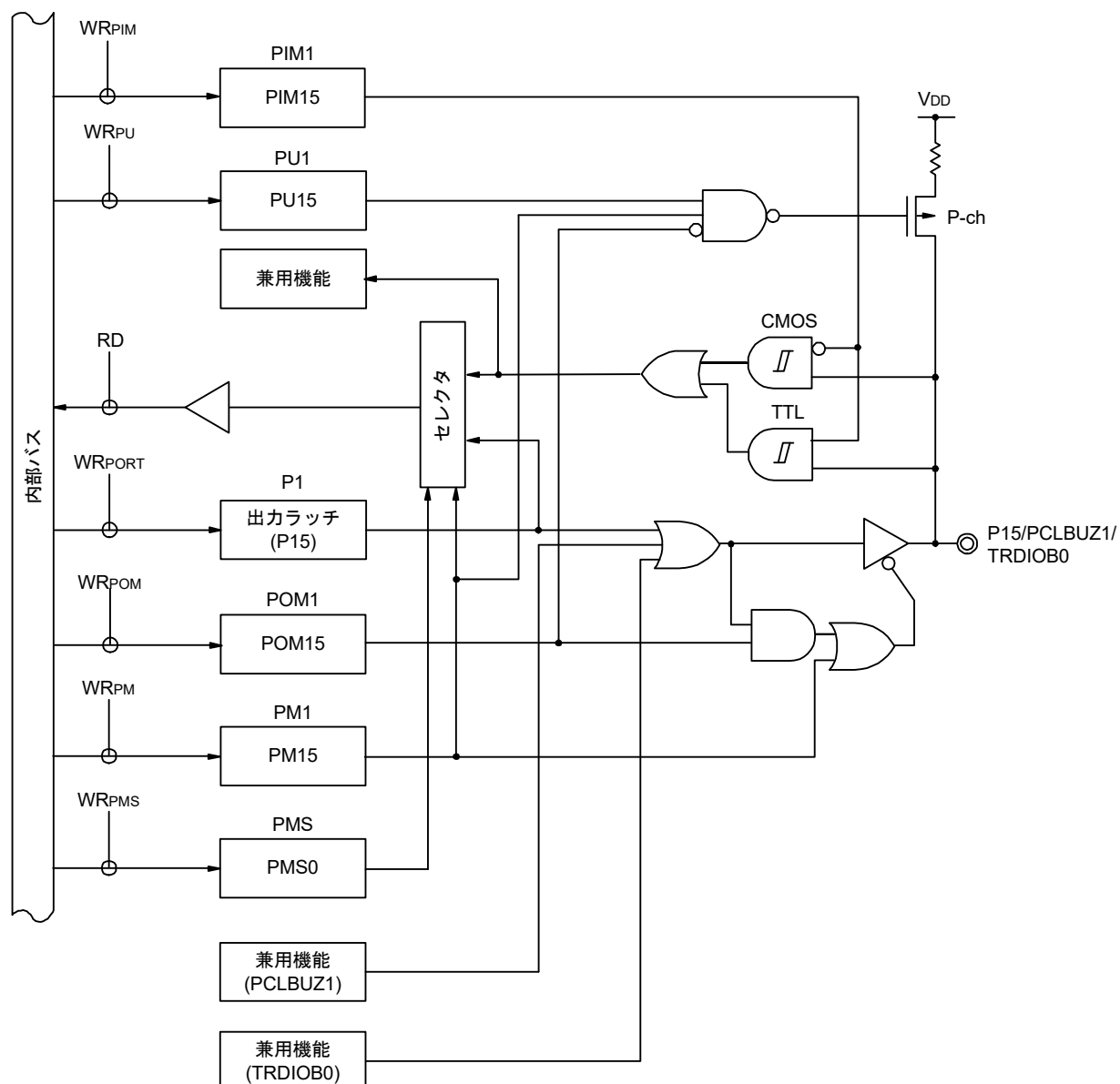
- P1 : ポート・レジスタ1
- PU1 : ブルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

図4-7 P14のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PIM1 : ポート入力モード・レジスタ1
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

図4 - 8 P15のブロック図

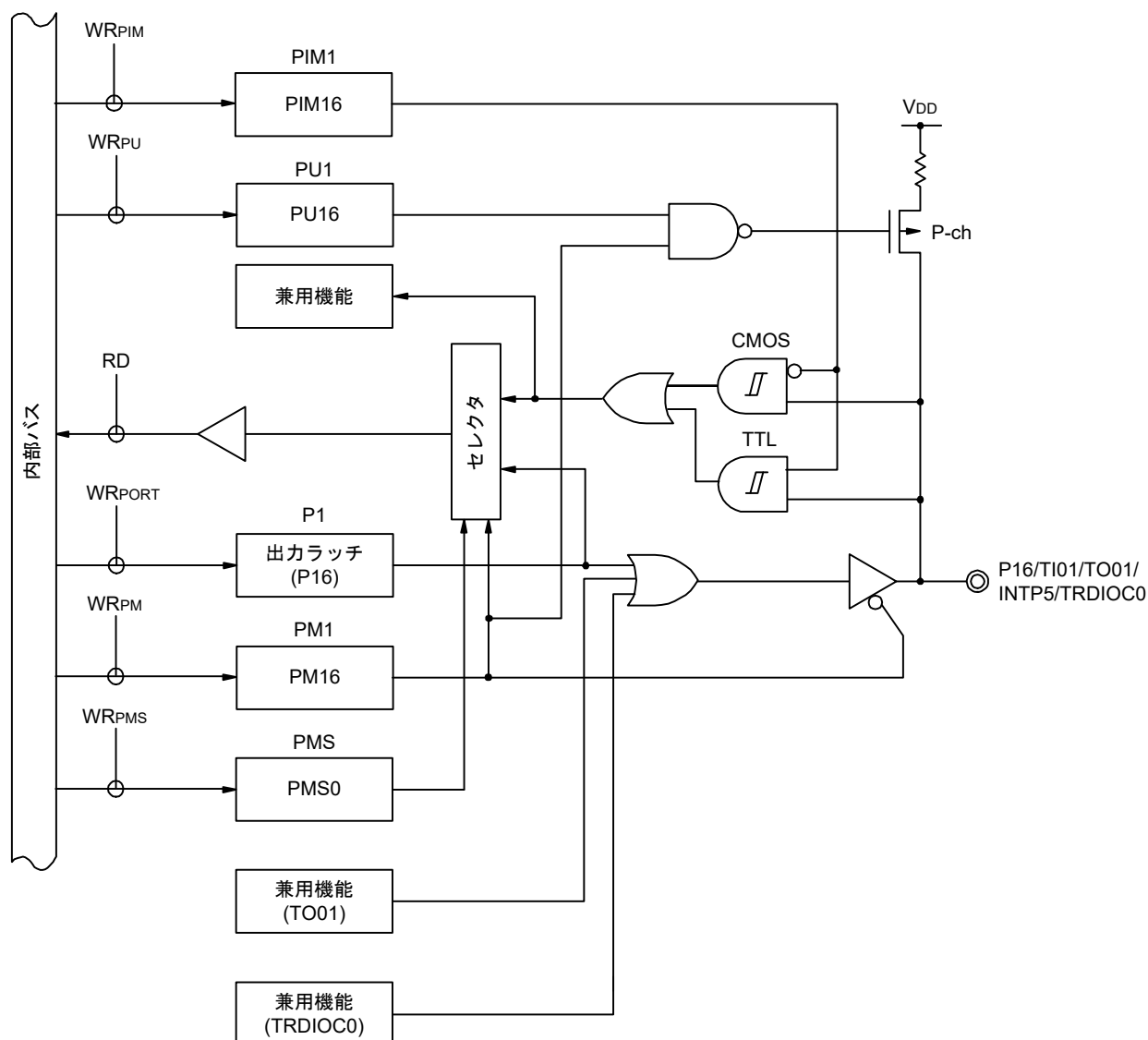


注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により入力バッファで電力を消費することがあります。電力増加を防ぎたい場合は、ロウ・レベルを入力してください。

- P1: ポート・レジスタ1
 PU1: プルアップ抵抗オプション・レジスタ1
 PM1: ポート・モード・レジスタ1
 PIM1: ポート入力モード・レジスタ1
 POM1: ポート出力モード・レジスタ1
 PMS: ポート・モード選択レジスタ
 RD: リード信号
 WRxx: ライト信号

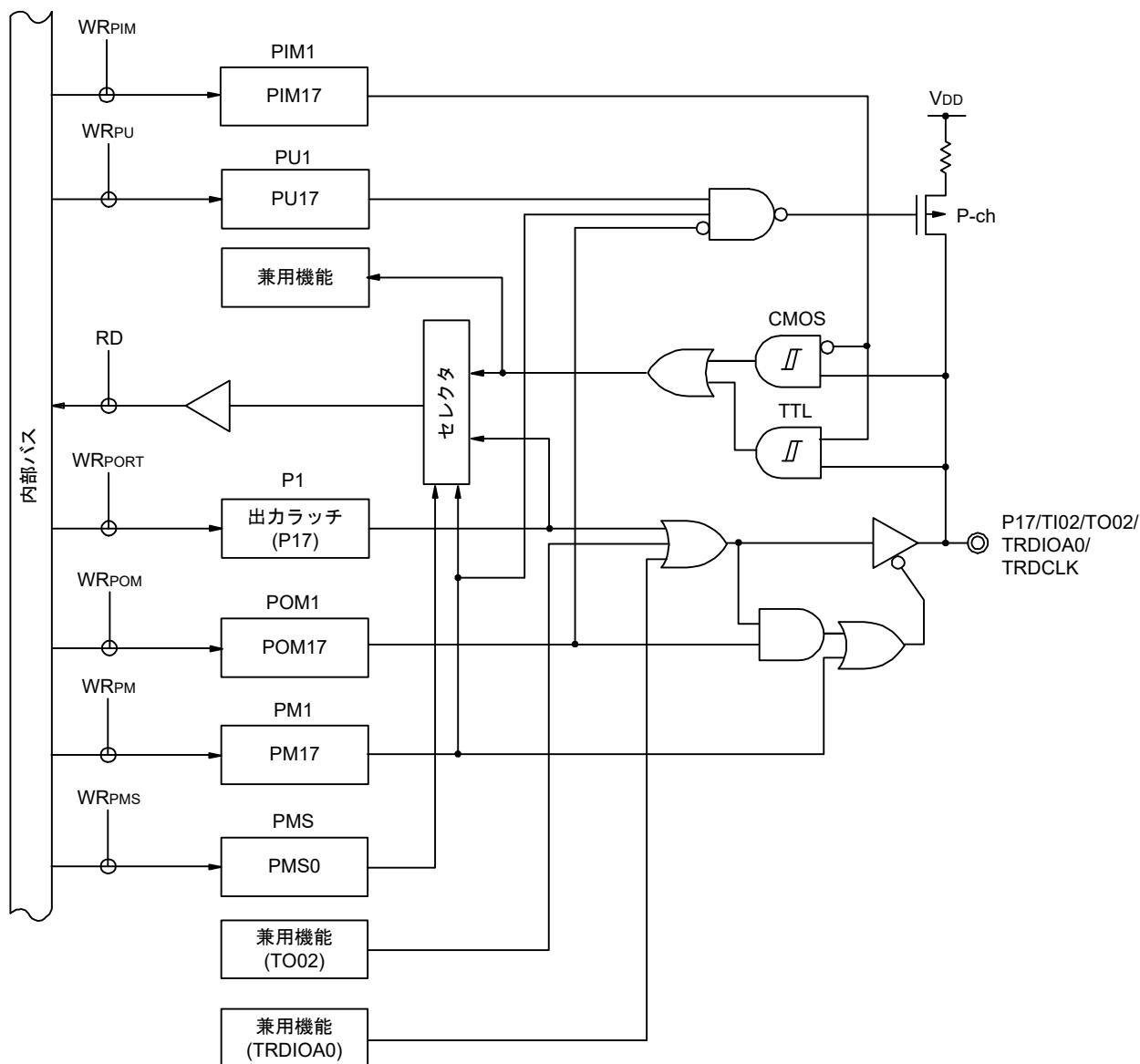
図4 - 9 P16のブロック図



注意 ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により入力バッファで電力を消費することがあります。電力増加を防ぎたい場合は、ロウ・レベルを入力してください。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PIM1 : ポート入力モード・レジスタ1
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

図4 - 10 P17のブロック図



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により入力バッファで電力を消費することがあります。電力増加を防ぎたい場合は、ロウ・レベルを入力してください。

- P1: ポート・レジスタ1
- PU1: プルアップ抵抗オプション・レジスタ1
- PM1: ポート・モード・レジスタ1
- PIM1: ポート入力モード・レジスタ1
- POM1: ポート出力モード・レジスタ1
- PMS: ポート・モード選択レジスタ
- RD: リード信号
- WRxx: ライト信号

4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2)により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータ、コンパレータの基準電位(+側)入力、A/Dコンバータ、コンパレータの基準電位(-側)入力があります。

P20/ANI0/AVREFP, P21/ANI1/AVREFM, P22/ANI2, P23/ANI3, P24/ANI4, P25/ANI5, P26/ANI6, P27/ANI7をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC)でデジタル入出力に、かつPM2レジスタで入力モードに設定して、上位ビットから使用してください。

P20/ANI0/AVREFP, P21/ANI1/AVREFM, P22/ANI2, P23/ANI3, P24/ANI4, P25/ANI5, P26/ANI6, P27/ANI7をデジタル出力として使用する場合は、ADPCレジスタでデジタル入出力に、かつPM2レジスタで出力モードに設定してください。

P20/ANI0/AVREFP, P21/ANI1/AVREFM, P22/ANI2, P23/ANI3, P24/ANI4, P25/ANI5, P26/ANI6, P27/ANI7をアナログ入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC)でアナログ入出力に、かつPM2レジスタで入力モードに設定して、下位ビットから使用してください。

表4-5 ポート2使用時のレジスタ設定

端子名称		PM2x	ADPC	兼用機能設定	備考
名称	入出力				
P2n	入力	1	01~n+1H	—	ポートとして使用する場合は上位ビットから使用
	出力	0	01~n+1H		

備考1. PM2x: ポート・モード・レジスタ2

ADPC: A/Dポート・コンフィギュレーション・レジスタ

備考2. n = 0-7

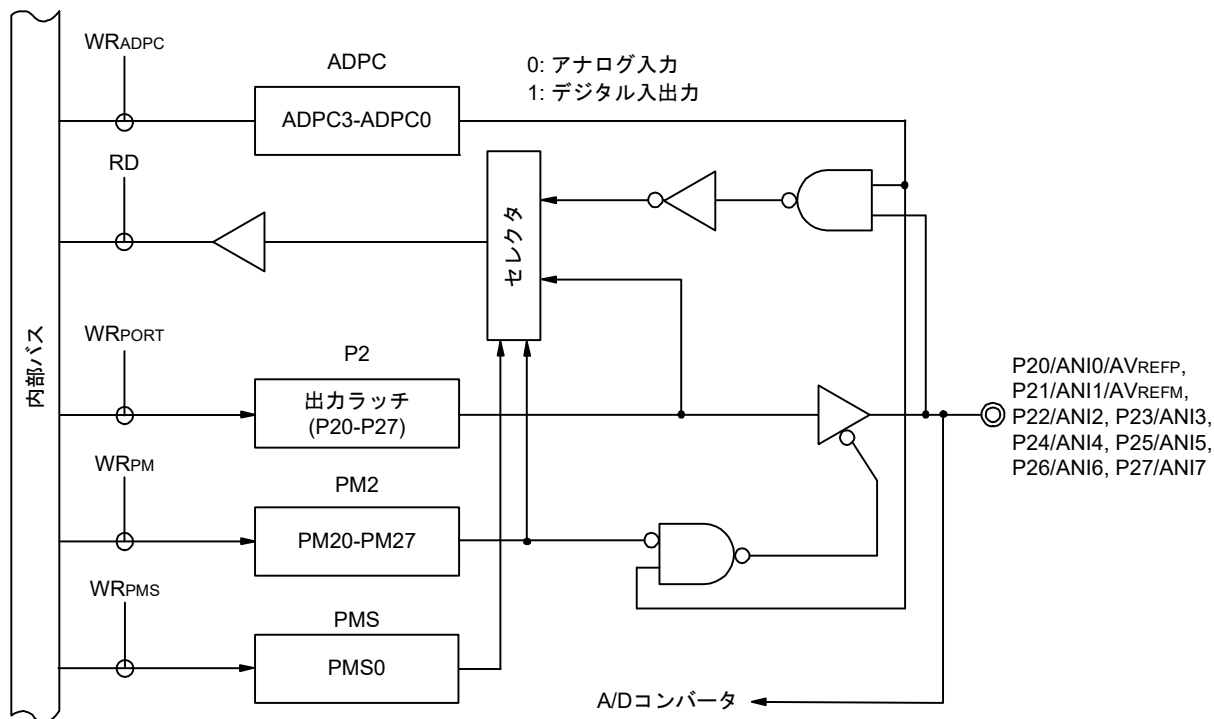
表4-6 P20/ANI0-P27/ANI7 端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P27/ANI7はすべてアナログ入力になります。

例として、図4 - 11に44ピン製品の場合のポート2のブロック図を示します。

図4 - 11 P20, P21, P22, P23, P24, P25, P26, P27のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3)により1ビット単位で入力モード/出力モードの指定ができます。P30, P31 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P30, P31 端子の入力は、ポート入力モード・レジスタ3 (PIM3)の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P30 端子の出力は、ポート出力モード・レジスタ3 (POM3)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧)に設定可能です。

また、兼用機能として外部割り込み要求入力、クロック/ブザー出力、シリアル・インタフェースのクロック入出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 12, 図4 - 13にポート3のブロック図を示します。

表4 - 7 ポート3使用時のレジスタ設定

端子名称		PM3x	PIM3x	POM3x	兼用機能設定注6	備考
名称	入出力					
P30	入力	1	0	×	×	CMOS入力
		1	1	×	×	TTL入力
	出力	0	×	0	SCK00/SCL00出力 = 1注1	CMOS出力
		0	×	1	TRJ00出力 = 0注2	N-ch O.D.出力
P31	入力	1	0	×	×	CMOS入力
		1	1	×	×	TTL入力
	出力	0	—	—	TO03出力 = 0注3 PCLBUZ0出力 = 0注4 (TRJIO0出力 = 0注5)	

注1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニット・チャンネルに該当するシリアル出力レジスタ m (SOm)のCKOmnビット、シリアル出力許可レジスタ m (SOEm)のSOEmnビット、シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmnビットを初期値と同じ設定で使用してください。(mn = 00)

注2. タイマRJのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、タイマRJ I/O制御レジスタ0 (TRJIOC0)のビット2 (TOENA)を初期値と同じ設定で使用してください。

注3. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニット・チャンネルに該当するタイマ出力レジスタ m (TOM)のTOMnビット、タイマ出力許可レジスタ m (TOEm)のTOEmnビットを初期値と同じ設定で使用してください。(m = 0, n = 3)

注4. クロック/ブザー出力機能と兼用している端子を汎用ポートとして使用する場合、クロック出力選択レジスタ i (CKSi)のPCLOEiビットを初期値と同じ設定で使用してください。(i = 0)

注5. 周辺I/Oリダイレクション・レジスタ1 (PIOR1)のPIOR11, PIOR10ビットが“01B”のとき、タイマRJのタイマ入出力機能と兼用している端子を汎用ポートとして使用する場合、タイマRJモード・レジスタ0 (TRJMR0)のTMOD2-0ビットを初期値と同じ設定かまたは001B以外の設定で使用してください。

注6. ()内の機能は、周辺I/Oリダイレクション・レジスタ1 (PIOR1)の設定により、割り当て可能です。

備考 × : don't care

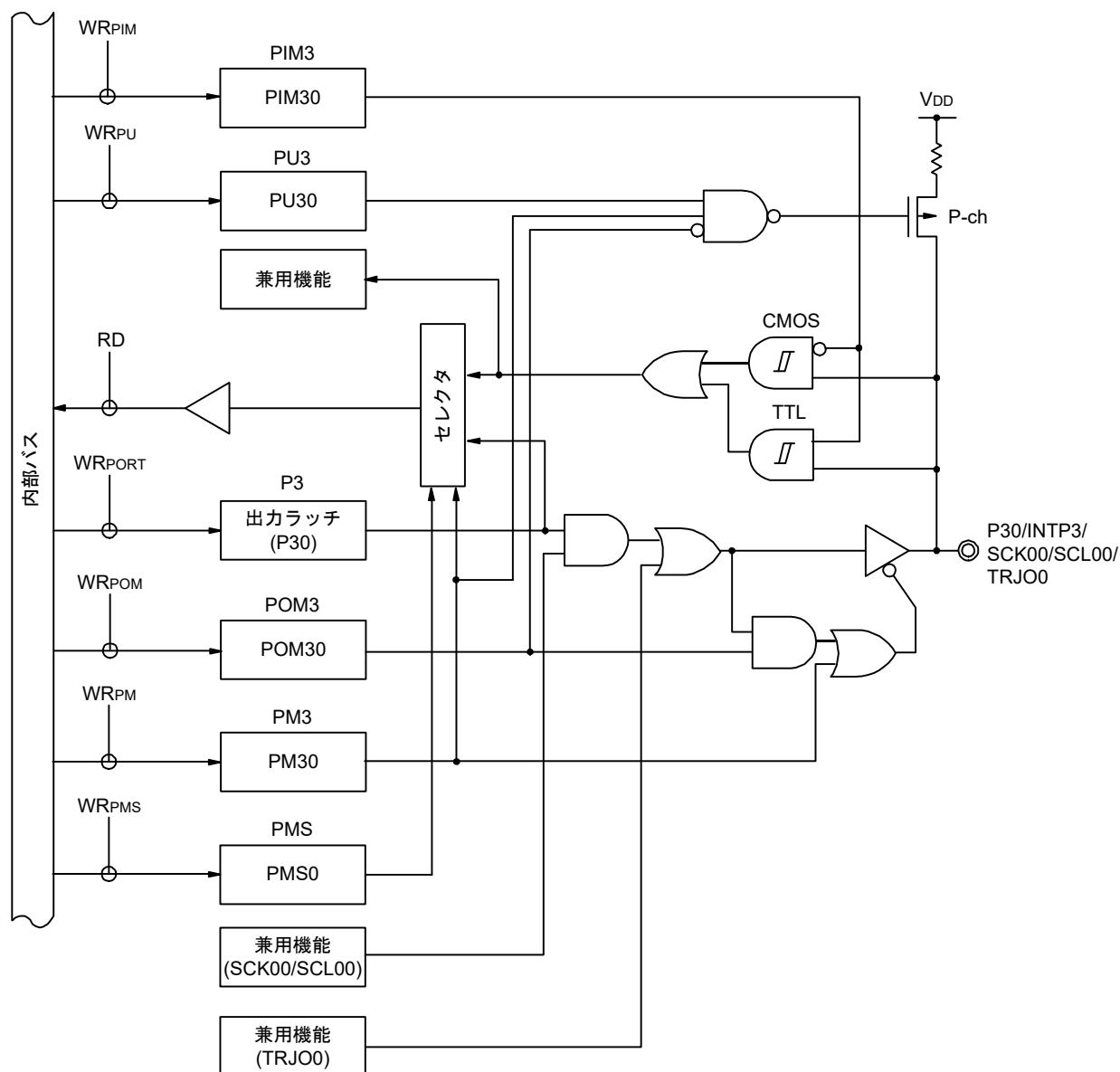
PM3x : ポート・モード・レジスタ3

PIM3x : ポート入力モード・レジスタ3

POM3x : ポート出力モード・レジスタ3

例として、図4-12、図4-13に、44ピン製品でPIOR1 = 00Hの場合のポート3のブロック図を示します。

図4-12 P30のブロック図

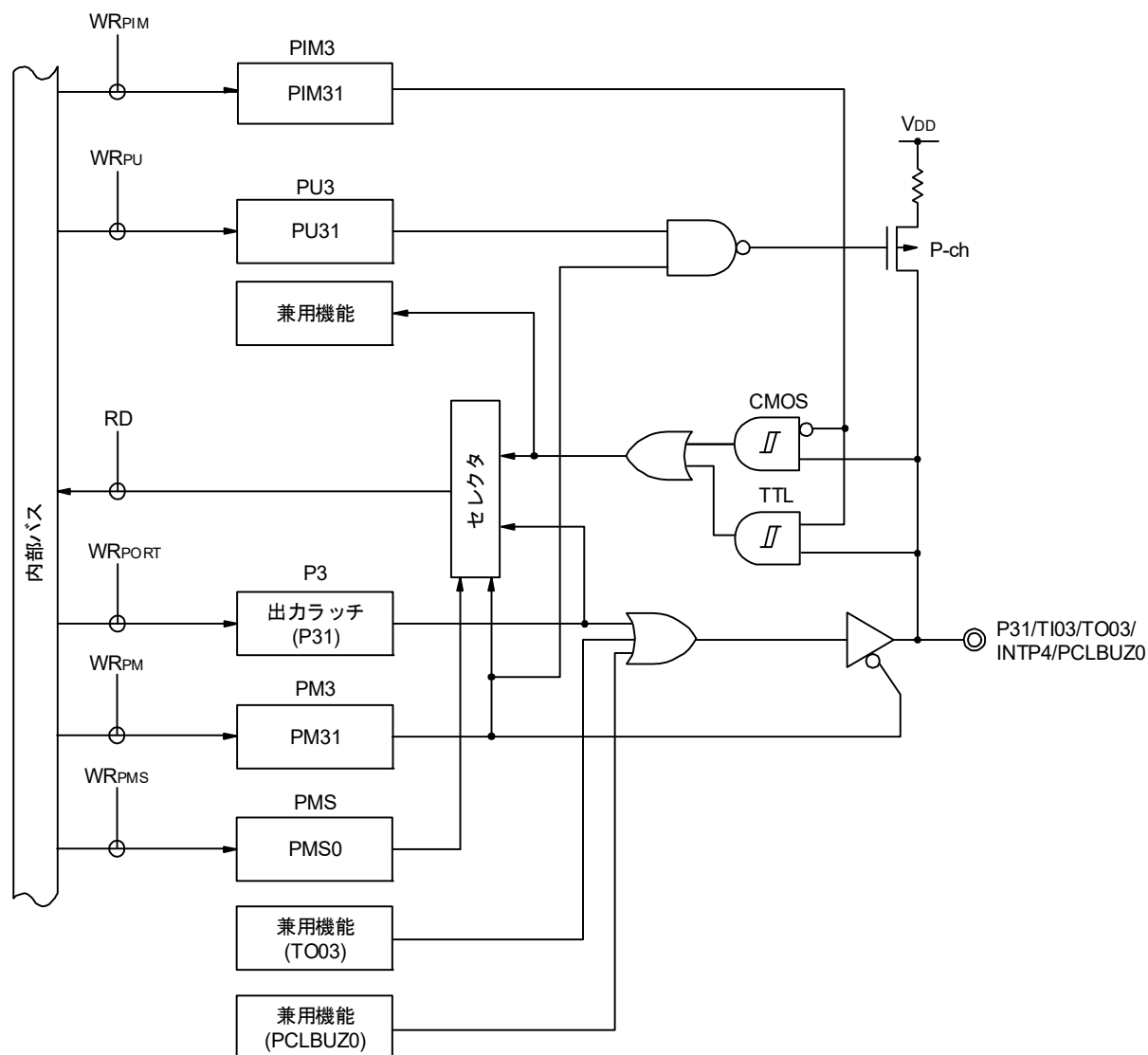


注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により入力バッファで電力を消費することがあります。電力増加を防ぎたい場合は、ロウ・レベルを入力してください。

- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 PIM3 : ポート入力モード・レジスタ3
 POM3 : ポート出力モード・レジスタ3
 PMS : ポート・モード選択レジスタ
 RD : リード信号
 WRxx : ライト信号

図4 - 13 P31のブロック図



注意 ポート入力モード・レジスタ (PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により入力バッファで電力を消費することがあります。電力増加を防ぎたい場合は、ロウ・レベルを入力してください。

- P3 : ポート・レジスタ3
- PU3 : ブルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- PIM3 : ポート入力モード・レジスタ3
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

4.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4)により1ビット単位で入力モード/出力モードの指定ができます。P40, P41 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてフラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力があります。リセット信号の発生により、入力モードになります。

表4-8 ポート4使用時のレジスタ設定

端子名称		PM4x	PIM4x	POM4x	兼用機能設定注	備考
名称	入出力					
P40	入力	1	—	—	×	
	出力	0			×	
P41	入力	1	—	—	×	
	出力	0			(TRJIO0出力 = 0)	

注 ()内の機能は、周辺I/Oリダイレクション・レジスタ1 (PIOR1)の設定により、割り当て可能です。

注意 P40端子は、ツール接続時はポート端子として使用できません。

備考 × : don't care

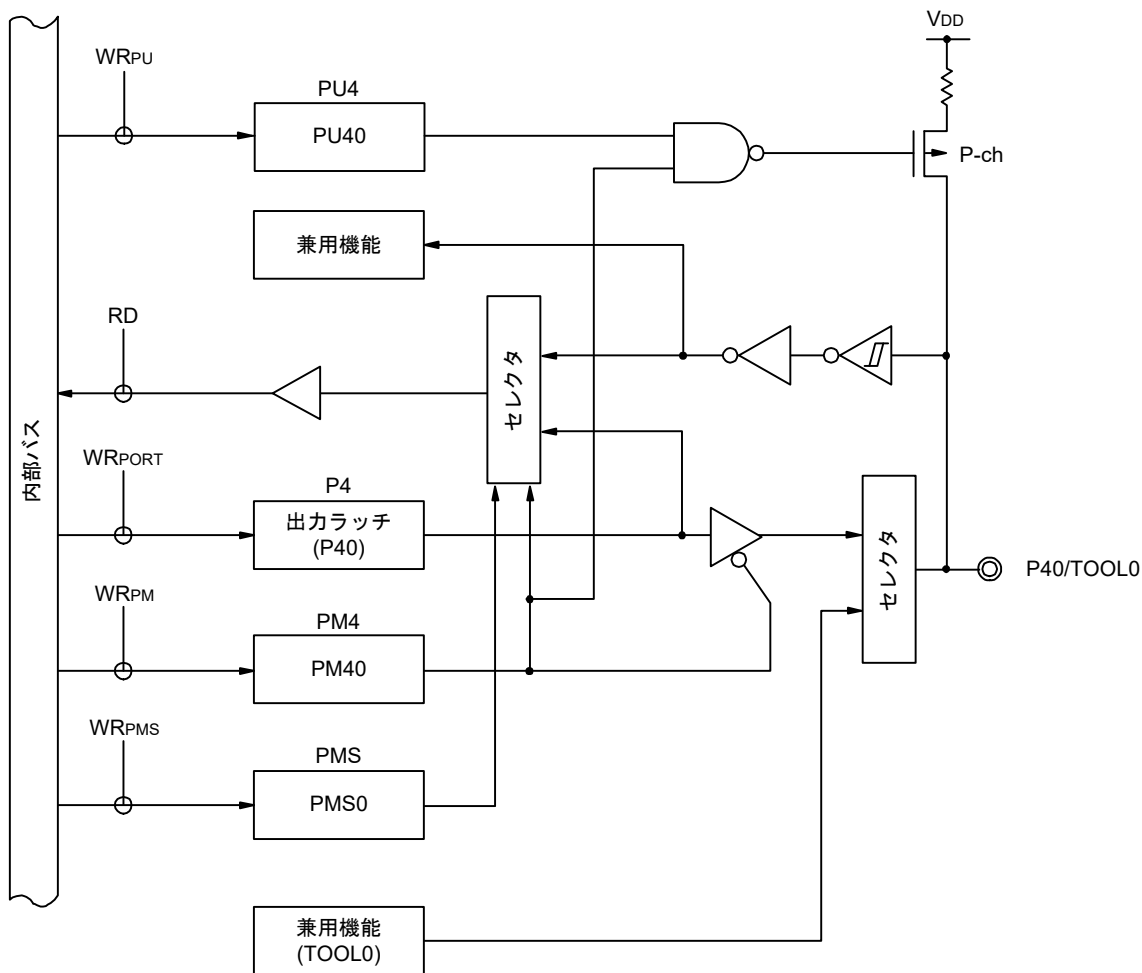
PM4x : ポート・モード・レジスタ4

PIM4x : ポート入力モード・レジスタ4

POM4x : ポート出力モード・レジスタ4

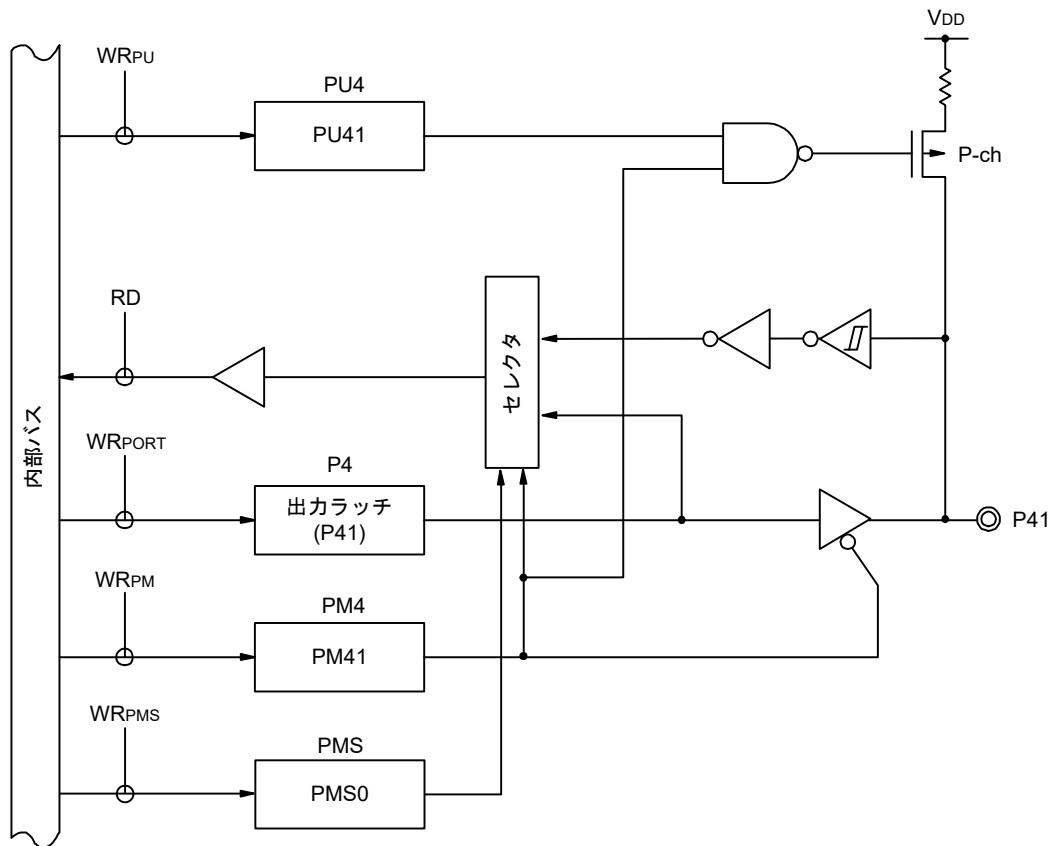
例として、図4-14、図4-15に、44ピン製品のポート4のブロック図を示します。

図4-14 P40のブロック図



- P4 : ポート・レジスタ4
- PU4 : ブルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

図4 - 15 P41のブロック図



- P4 : ポート・レジスタ4
 PU4 : ブルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 PMS : ポート・モード選択レジスタ
 RD : リード信号
 WRxx : ライト信号

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード/出力モードの指定ができます。P50, P51 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P50 端子の入力は、ポート入力モード・レジスタ5 (PIM5)の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P50, P51 端子の出力は、ポート出力モード・レジスタ5 (POM5)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧)に設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、プログラミングUARTの送受信があります。

リセット信号の発生により、入力モードになります。

表4-9 ポート5使用時のレジスタ設定

端子名称		PM5x	PIM5x	POM5x	兼用機能設定 ^{注3}	備考
名称	入出力					
P50	入力	1	0	x	x	CMOS入力
		1	1	x	x	TTL入力
	出力	0	x	0	SDA00出力 = 1 ^{注1} (TRJ00出力 = 0)	CMOS出力
		0	x	1		N-ch O.D.出力
P51	入力	1	—	x	x	
	出力	0		0	SO00/TxD0出力 = 1 ^{注2}	CMOS出力
		0		1		N-ch O.D.出力

注1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニット・チャンネルに該当するシリアル出力レジスタ m (SOm)のCKOmnビット、シリアル出力許可レジスタ m (SOEm)のSOEmnビット、シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmnビットを初期値と同じ設定で使用してください。(mn = 00)

注2. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニット・チャンネルに該当するシリアル出力レジスタ m (SOm)のSOmnビット、シリアル出力許可レジスタ m (SOEm)のSOEmnビット、シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmnビットを初期値と同じ設定で使用してください。(mn = 00)

注3. ()内の機能は、周辺I/Oリダイレクション・レジスタ1 (PIOR1)の設定により、割り当て可能です。

備考 x : don't care

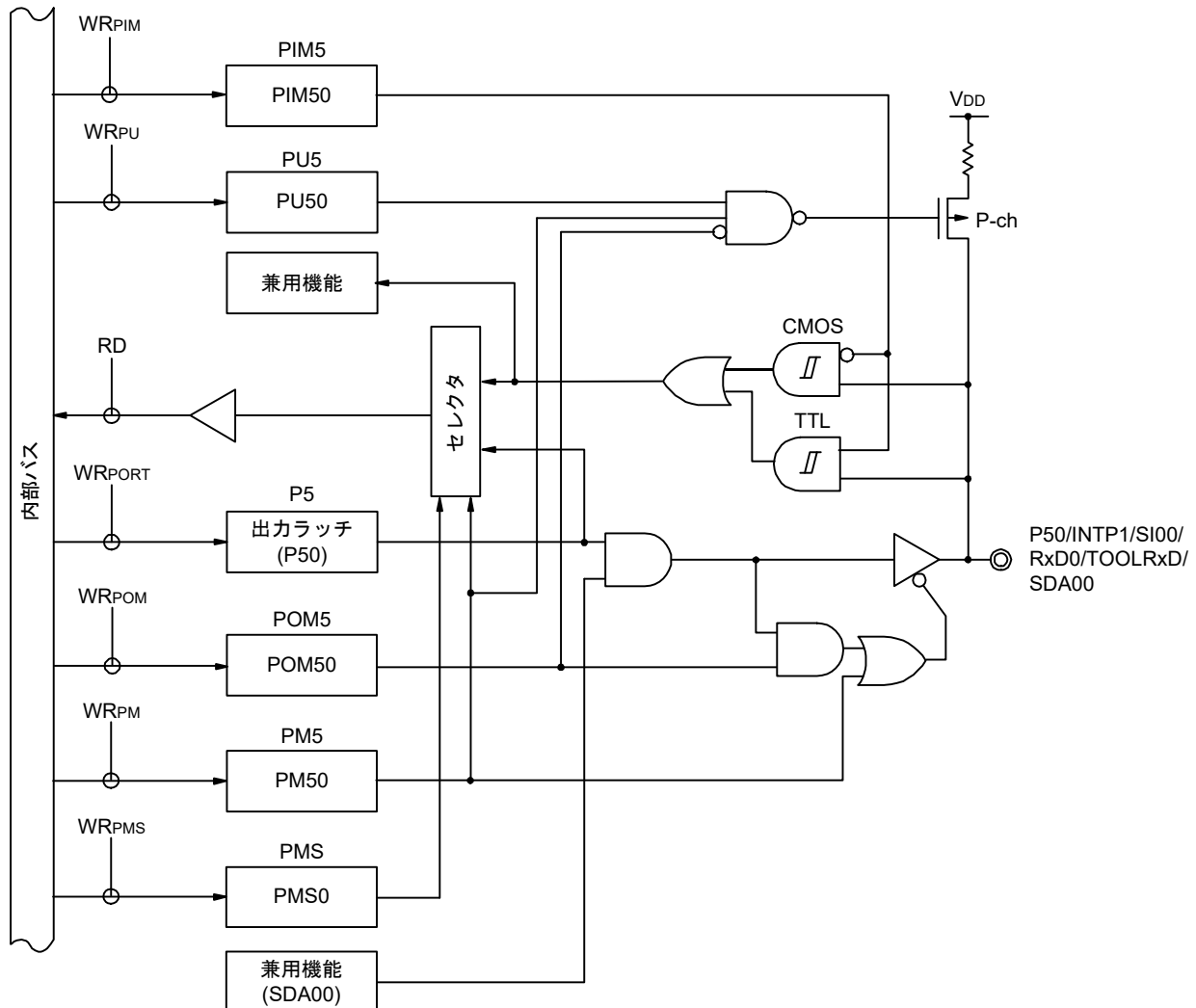
PM5x : ポート・モード・レジスタ5

PIM5x : ポート入力モード・レジスタ5

POM5x : ポート出力モード・レジスタ5

例として、図4-16、図4-17に、44ピン製品でPIOR1 = 00Hの場合のポート5のブロック図を示します。

図4-16 P5のブロック図

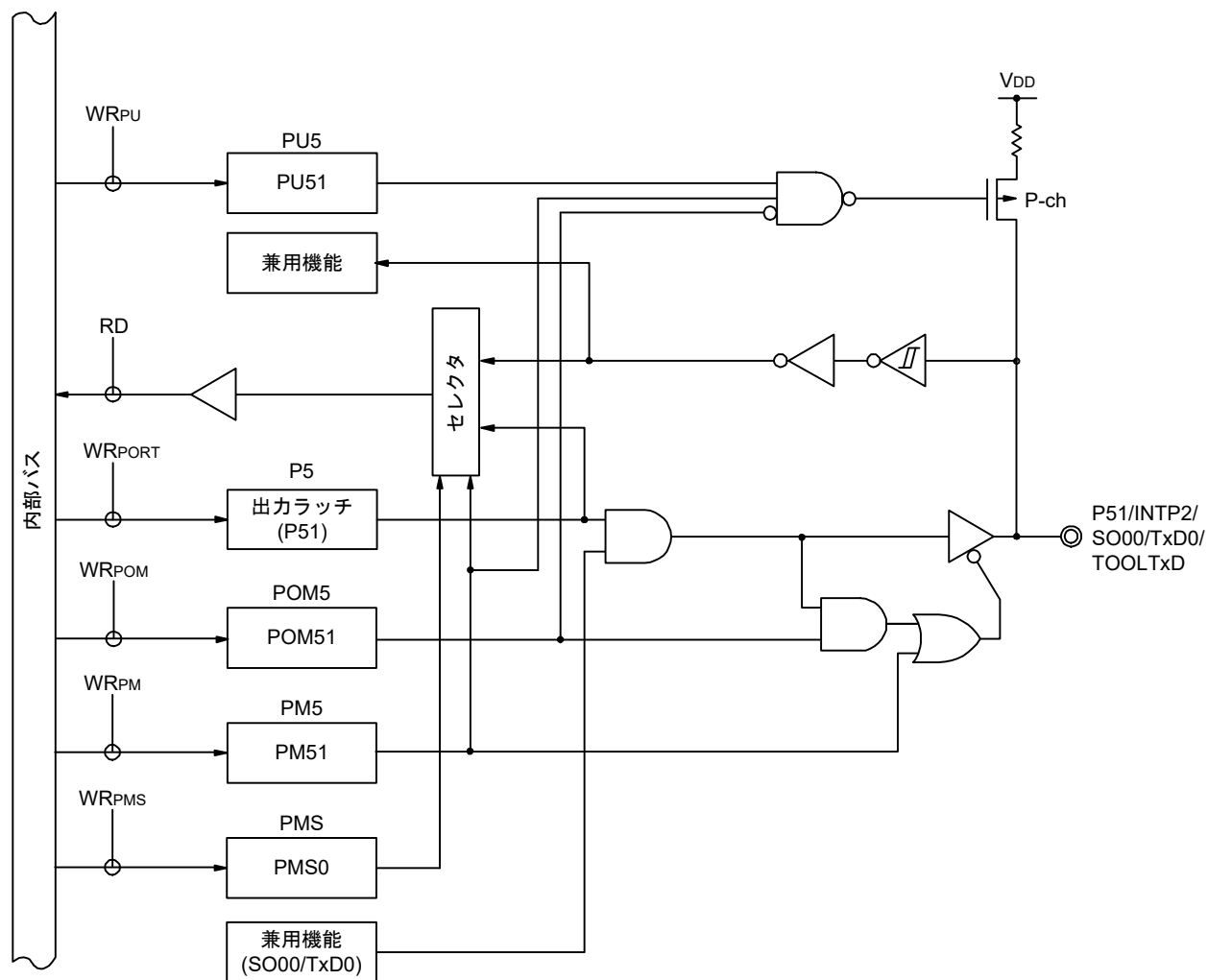


注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により入力バッファで電力を消費することがあります。電力増加を防ぎたい場合は、ロウ・レベルを入力してください。

- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- PIM5 : ポート入力モード・レジスタ5
- POM5 : ポート出力モード・レジスタ5
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

図4-17 P51のブロック図



注意 ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- POM5 : ポート出力モード・レジスタ5
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ6 (PU6)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてチップ・セレクト入力があります。

リセット信号の発生により、入力モードになります。

表4 - 10 ポート6使用時のレジスタ設定

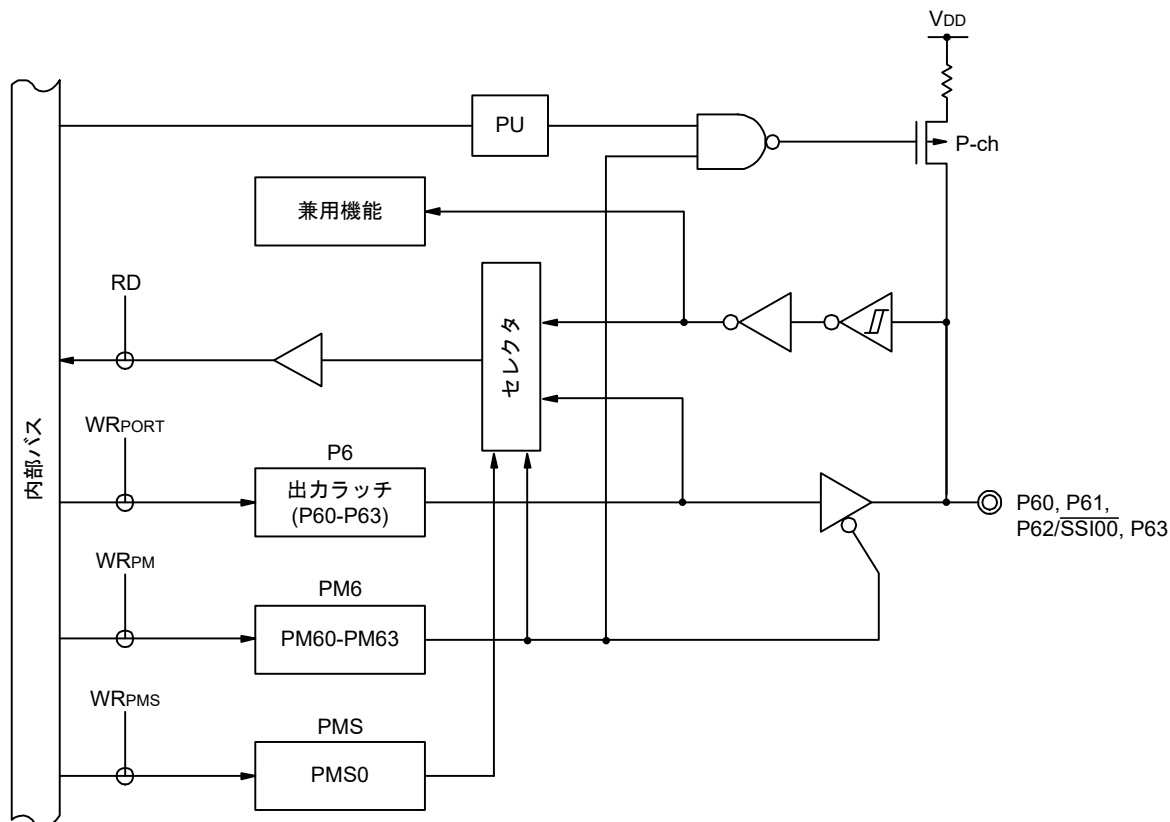
端子名称		PM6x	兼用機能設定	備考
名称	入出力			
P60	入力	1	×	
	出力	0	×	
P61	入力	1	×	
	出力	0	×	
P62	入力	1	×	
	出力	0	×	
P63	入力	1	×	
	出力	0	×	

備考 × : don't care

PM6x : ポート・モード・レジスタ6

例として、図4-18に、44ピン製品のポート6のブロック図を示します。

図4-18 P60-P63のブロック図



- P6 : ポート・レジスタ 6
- PM6 : ポート・モード・レジスタ 6
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WRxx : ライト信号

4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7)により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー割り込み入力があります。

リセット信号の発生により、入力モードになります。

表4 - 11 ポート7使用時のレジスタ設定

端子名称		PM7x	兼用機能設定	備考
名称	入出力			
P70	入力	1	×	
	出力	0	×	
P71	入力	1	×	
	出力	0	×	
P72	入力	1	×	
	出力	0	×	
P73	入力	1	×	
	出力	0	×	

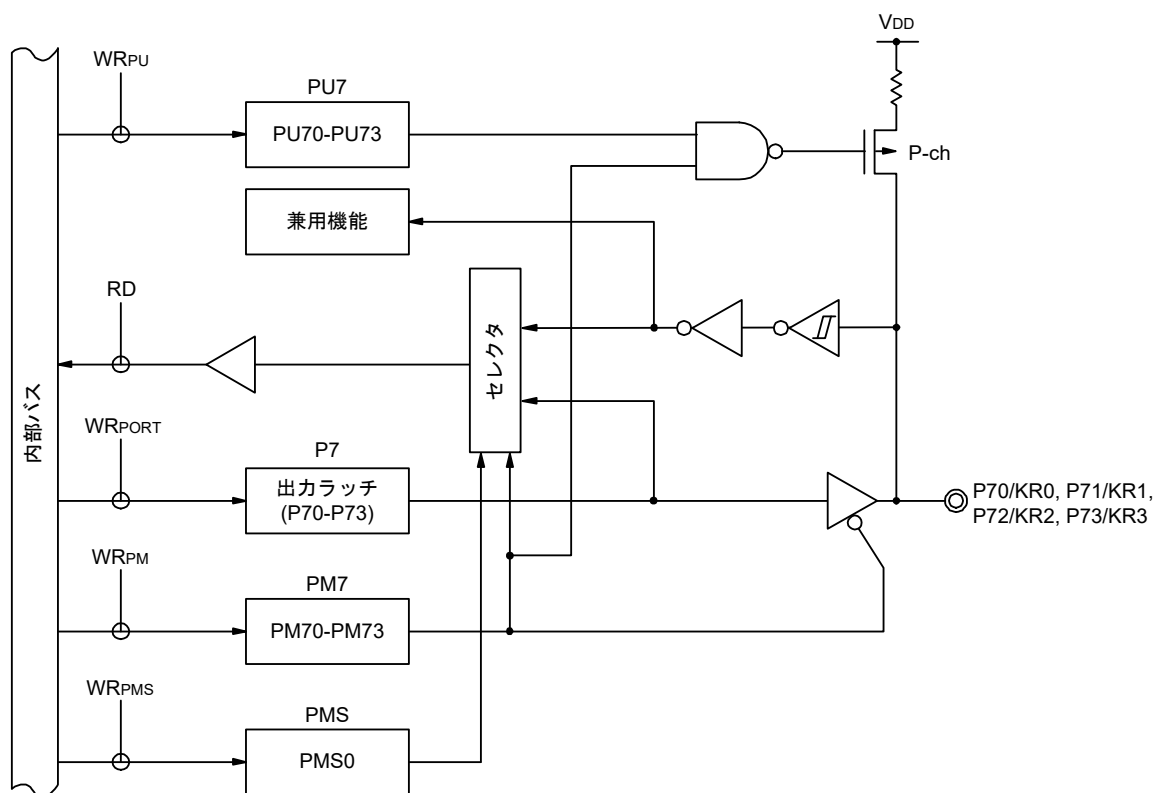
備考 × : don't care

PM7x : ポート・モード・レジスタ7

POM7x : ポート出力モード・レジスタ7

例として、図4 - 19に、44ピン製品のポート7のブロック図を示します。

図4 - 19 P70-P73のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WR_{xx} : ライト信号

4.2.9 ポート 12

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ 12 (PM12)により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ 12 (PU12)により内蔵プルアップ抵抗を使用できます。

P121～P124は4ビットの入力ポートです。

P120 端子を入力として使用する場合、ポート・モード・コントロール・レジスタ 12 (PMC12) でデジタルかアナログかを設定してください(1ビット単位で設定可能)。

また兼用機能として A/D コンバータのアナログ入力、コンパレータのアナログ入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力があります。

リセット信号の発生により、P120はアナログ入力になります。P121～P124は入力モードになります。

表4 - 12 ポート 12 使用時のレジスタ設定

端子名称		PM12x	PMC12x	兼用機能設定	備考
名称	入出力				
P120	入力	1	0	×	
	出力	0	0	×	
P121	入力	—	—	CMCレジスタのOSCSELビット=0 または、EXCLKビット=1	
P122	入力	—	—	CMCレジスタのOSCSELビット=0	
P123	入力	—	—	×	
P124	入力	—	—	×	

注意 P121, P122 の機能設定は、リセット解除後 1 回のみ可能です。一度、発振子/発振器接続用に設定したポートは、リセットしないかぎり入力ポートとして使用できません。

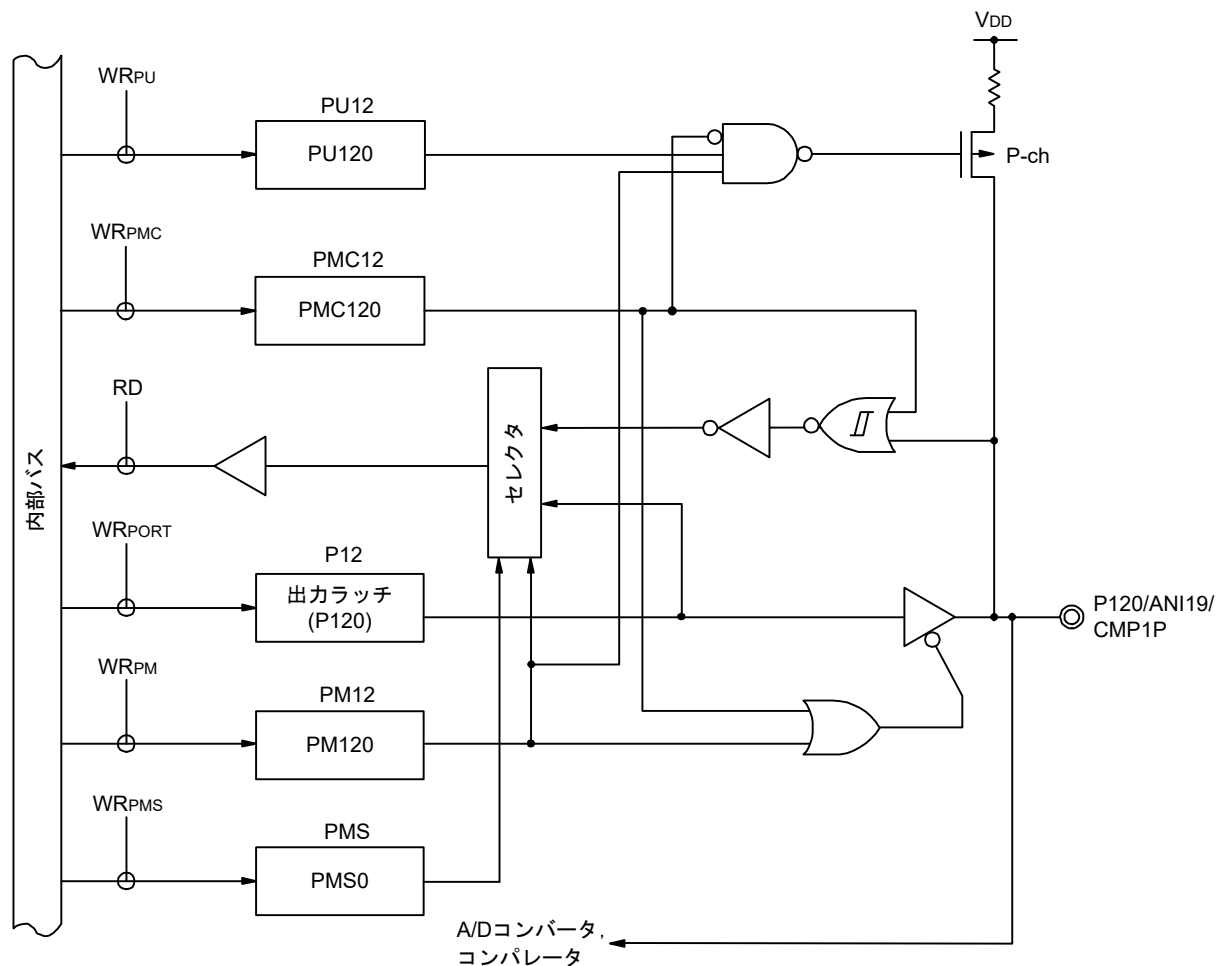
備考 × : don't care

PM12x : ポート・モード・レジスタ 12

PMC12x : ポート・モード・コントロール・レジスタ 12

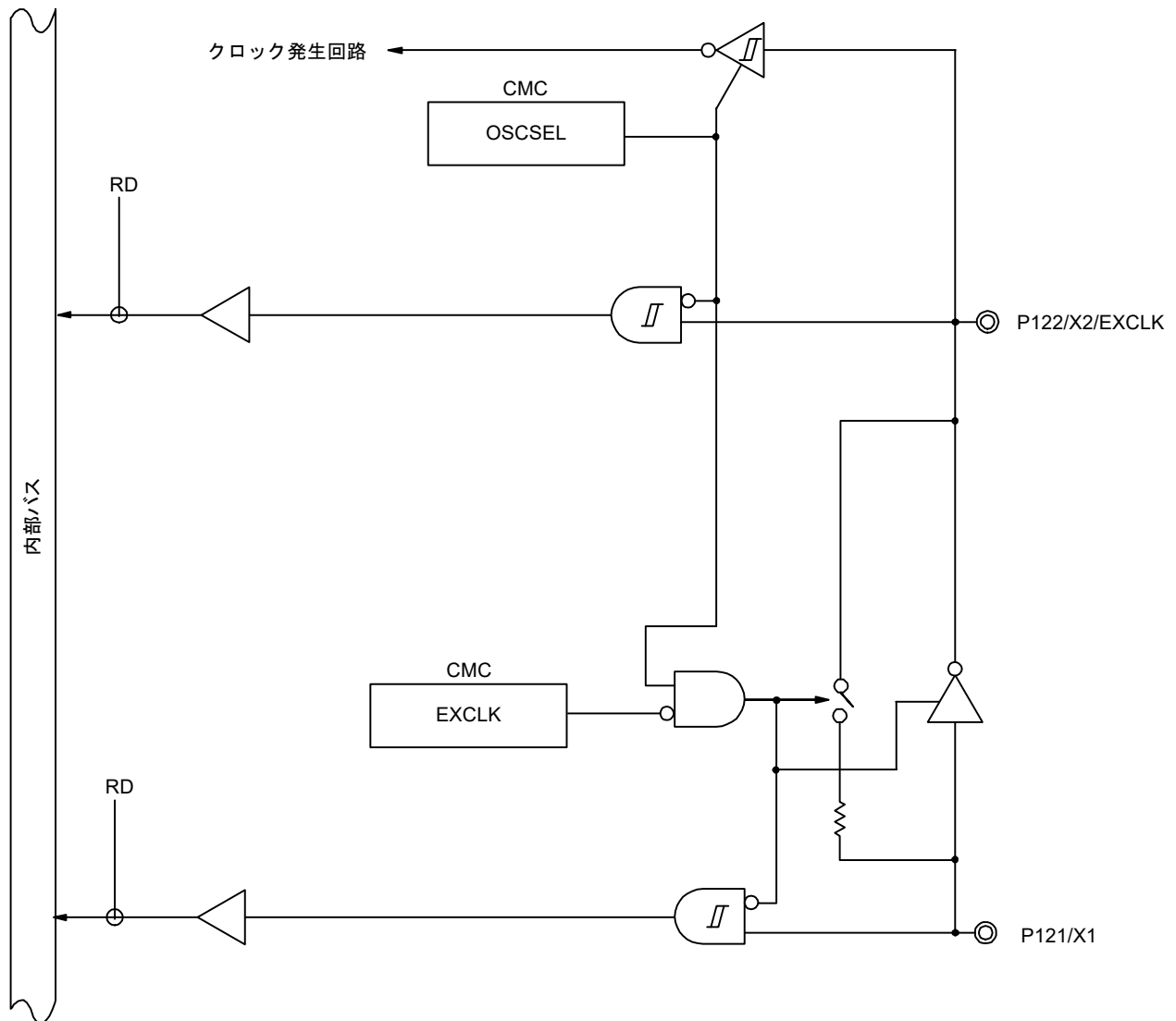
例として、図4-20、図4-21に、44ピン製品のポート12のブロック図を示します。

図4-20 P120のブロック図



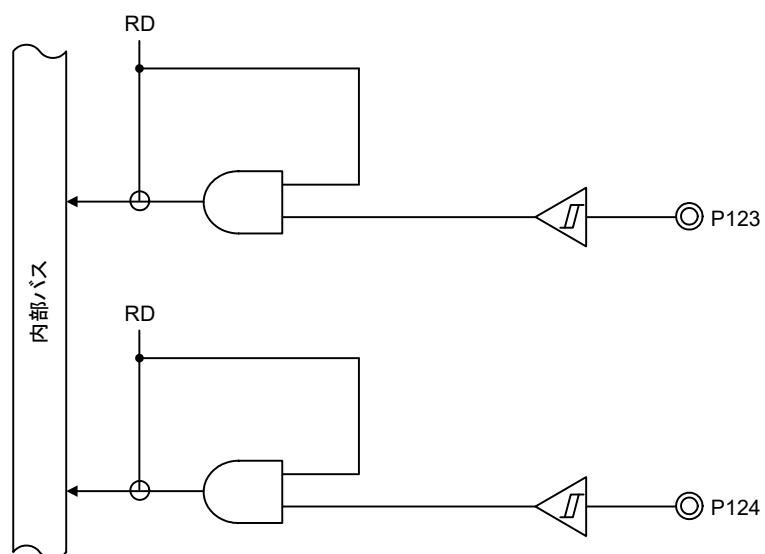
- P12 : ポート・レジスタ 12
 PU12 : ブルアップ抵抗オプション・レジスタ 12
 PM12 : ポート・モード・レジスタ 12
 PMC12 : ポート・モード・コントロール・レジスタ 12
 PMS : ポート・モード選択レジスタ
 RD : リード信号
 WRxx : ライト信号

図4 - 21 P121, P122のブロック図



CMC : クロック動作モード制御レジスタ
 RD : リード信号

図4 - 22 P123, P124のブロック図



RD : リード信号

4.2.10 ポート13

P137は1ビット入力専用ポートです。

P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

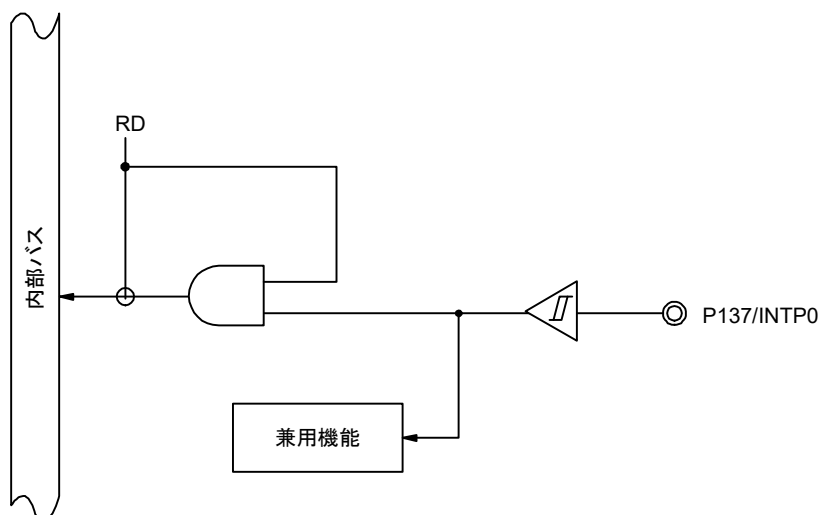
表4 - 13 ポート13使用時のレジスタ設定

端子名称		兼用機能設定	備考
名称	入出力		
P137	入力	×	

備考 × : don't care

例として、図4 - 23に、44ピン製品のポート13のブロック図を示します。

図4 - 23 P137のブロック図



RD : リード信号

4.2.11 ポート 14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 14 (PM14)により1ビット単位で入力モード／出力モードの指定ができます。P146, P147端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 14 (PU14)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P147 端子を入力として使用する場合、ポート・モード・コントロール・レジスタ 14 (PMC14)でデジタルかアナログかを設定してください(1ビット単位で設定可能)。

また、P147端子は兼用機能としてA/Dコンバータのアナログ入力があります。

リセット信号の発生により、P146は入力モードになります。P147はアナログ入力になります。

表4 - 14 ポート14使用時のレジスタ設定

端子名称		PM14x	PMC14x	兼用機能設定	備考
名称	入出力				
P146	入力	1	—	×	
	出力	0	—	×	
P147	入力	1	0	×	
	出力	0	0	×	

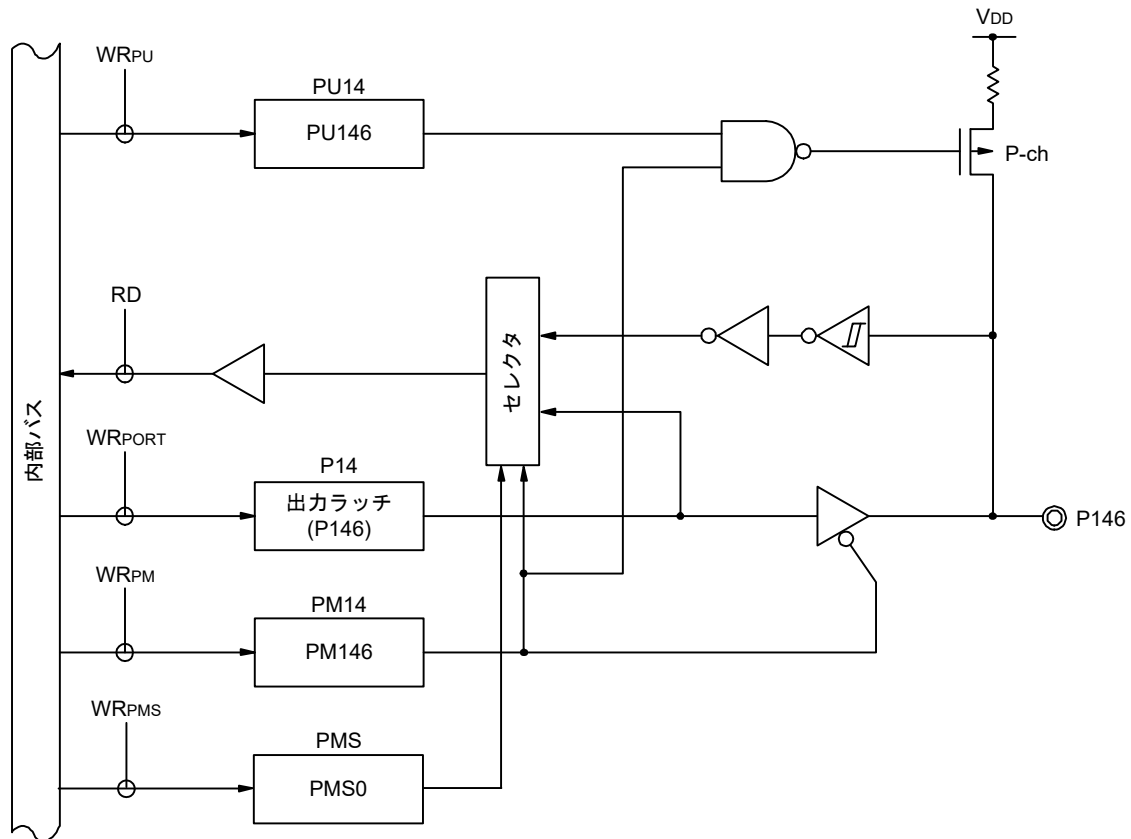
備考 × : don't care

PM14x : ポート・モード・レジスタ 14

PMC14x : ポート・モード・コントロール・レジスタ 14

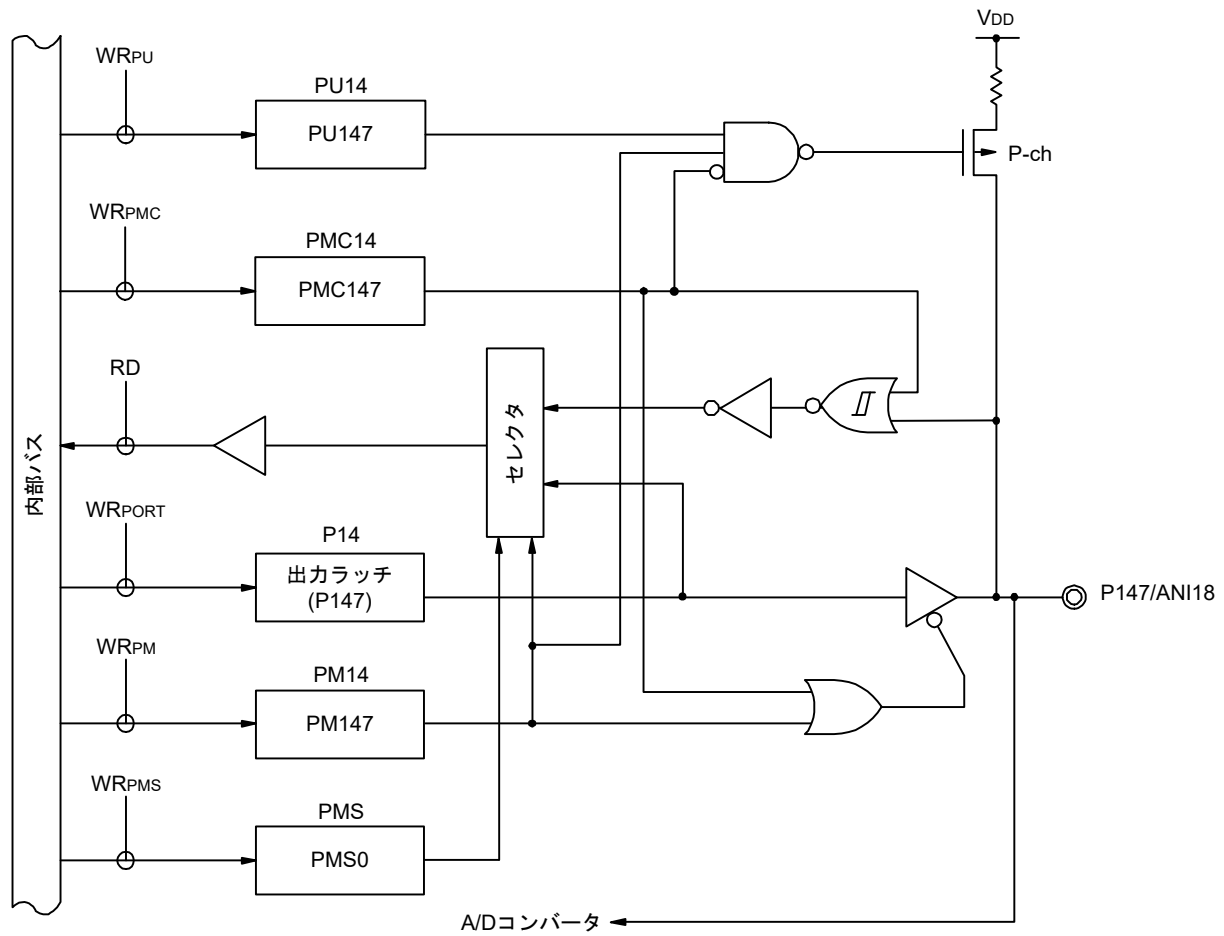
例として、図4-24、図4-25に、44ピン製品のポート14のブロック図を示します。

図4-24 P146のブロック図



- P14 : ポート・レジスタ 14
- PU14 : ブルアップ抵抗オプション・レジスタ 14
- PM14 : ポート・モード・レジスタ 14
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 25 P147のブロック図



- P14 : ポート・レジスタ 14
- PU14 : プルアップ抵抗オプション・レジスタ 14
- PM14 : ポート・モード・レジスタ 14
- PMC14 : ポート・モード・コントロール・レジスタ 14
- PMS : ポート・モード選択レジスタ
- RD : リード信号
- WR_{xx} : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMx)
- ポート出力モード・レジスタ (POMx)
- ポート・モード・コントロール・レジスタ (PMCxx)
- A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- 周辺I/Oリダイレクション・レジスタ1 (PIOR1)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-15～表4-17を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-15 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット
(30ピン製品, 32ピン製品, 44ピン製品) (1/3)

ポート		ビット名						44-pin	32-pin	30-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ			
ポート0	0	PM00	P00	PU00	—	POM00	PMC00	○	○	○
	1	PM01	P01	PU01	PIM01	—	PMC01	○	○	○
	2	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—
ポート1	0	PM10	P10	PU10	PIM10	POM10	—	○	○	○
	1	PM11	P11	PU11	—	—	—	○	○	○
	2	PM12	P12	PU12	—	—	—	○	○	○
	3	PM13	P13	PU13	—	—	—	○	○	○
	4	PM14	P14	PU14	—	—	—	○	○	○
	5	PM15	P15	PU15	PIM15	POM15	—	○	○	○
	6	PM16	P16	PU16	PIM16	—	—	○	○	○
	7	PM17	P17	PU17	PIM17	POM17	—	○	○	○
ポート2	0	PM20	P20	—	—	—	—	○	○	○
	1	PM21	P21	—	—	—	—	○	○	○
	2	PM22	P22	—	—	—	—	○	○	○
	3	PM23	P23	—	—	—	—	○	○	○
	4	PM24	P24	—	—	—	—	○	—	—
	5	PM25	P25	—	—	—	—	○	—	—
	6	PM26	P26	—	—	—	—	○	—	—
	7	PM27	P27	—	—	—	—	○	—	—

表4 - 16 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット
(30ピン製品, 32ピン製品, 44ピン製品) (2/3)

ポート		ビット名						44-pin	32-pin	30-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ			
ポート3	0	PM30	P30	PU30	PIM30	POM30	—	○	○	○
	1	PM31	P31	PU31	PIM31	—	—	○	○	○
	2	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—
ポート4	0	PM40	P40	PU40	—	—	—	○	○	○
	1	PM41	P41	PU41	—	—	—	○	—	—
	2	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—
ポート5	0	PM50	P50	PU50	PIM50	POM50	—	○	○	○
	1	PM51	P51	PU51	—	POM51	—	○	○	○
	2	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—
ポート6	0	PM60	P60	PU60	—	—	—	○	○	○
	1	PM61	P61	PU61	—	—	—	○	○	○
	2	PM62	P62	PU62	—	—	—	○	○	—
	3	PM63	P63	PU63	—	—	—	○	—	—
	4	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—
ポート7	0	PM70	P70	PU70	—	—	—	○	○	—
	1	PM71	P71	PU71	—	—	—	○	—	—
	2	PM72	P72	PU72	—	—	—	○	—	—
	3	PM73	P73	PU73	—	—	—	○	—	—
	4	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—

表4 - 17 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット
(30ピン製品, 32ピン製品, 44ピン製品) (3/3)

ポート		ビット名						44-pin	32-pin	30-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ			
ポート 12	0	PM120	P120	PU120	—	—	PMC120	○	○	○
	1	—	P121	—	—	—	—	○	○	○
	2	—	P122	—	—	—	—	○	○	○
	3	—	P123	—	—	—	—	○	—	—
	4	—	P124	—	—	—	—	○	—	—
	5	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—
ポート 13	0	—	—	—	—	—	—	—	—	—
	1	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○	○	○
ポート 14	0	—	—	—	—	—	—	—	—	—
	1	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—
	6	PM146	P146	PU146	—	—	—	○	—	—
	7	PM147	P147	PU147	—	—	PMC147	○	○	○

各レジスタのフォーマットの説明を次に示します。ここでは44ピン製品を例として説明しています。

44ピン製品以外のレジスタ搭載については、表4-15～表4-17を参照してください。

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 使用するポート機能および兼用機能のレジスタの設定を参照し、設定してください。

図4-26 ポート・モード・レジスタのフォーマット(44ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	1	1	1	1	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	1	1	1	1	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	1	1	1	1	1	1	FFF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 12, 14 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

注意 PM0 レジスタのビット2-7, PM3 レジスタのビット2-7, PM4 レジスタのビット2-7, PM5 レジスタのビット2-7, PM6 レジスタのビット4-7, PM7 レジスタのビット4-7, PM12 レジスタのビット1-7, PM14 レジスタのビット0-5には必ず1を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カラムの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラムの値が読み出されます注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P00, P01, P20-P27, P120, P147をA/Dコンバータのアナログ入力機能として設定した場合、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-27 ポート・レジスタのフォーマット(44ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FFF00H	00H (出カラム)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出カラム)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出カラム)	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H (出カラム)	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H (出カラム)	R/W
P5	0	0	0	0	0	0	P51	P50	FFF05H	00H (出カラム)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FFF06H	00H (出カラム)	R/W
P7	0	0	0	0	P73	P72	P71	P70	FFF07H	00H (出カラム)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W注
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R/W注
P14	P147	P146	0	0	0	0	0	0	FFF0EH	00H (出カラム)	R/W

Pmn	m = 0-7, 12-14 ; n = 0-7	
	出カラムデータの制御(出力モード時)	入力データの読み出し(入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124, P137はRead Onlyです。

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H)になります。

図4-28 プルアップ抵抗オプション・レジスタのフォーマット(44ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	01H	R/W
PU5	0	0	0	0	0	0	PU51	PU50	F0035H	00H	R/W
PU6	0	0	0	0	PU63	PU62	PU61	PU60	F0036H	00H	R/W
PU7	0	0	0	0	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	PU146	0	0	0	0	0	0	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択(m = 0, 1, 3-7, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-29 ポート入力モード・レジスタのフォーマット(44ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	0	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	0	0	0	0	PIM10	F0041H	00H	R/W
PIM3	0	0	0	0	0	0	PIM31	PIM30	F0043H	00H	R/W
PIM5	0	0	0	0	0	0	0	PIM50	F0045H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択(m = 0, 1, 3, 5 ; n = 0, 1, 5-7)
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 I²C 通信時の SDA00 端子に N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択できます。

また、POMxx レジスタは PUxx レジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注意 N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-30 ポート出力モード・レジスタのフォーマット(44ピン製品)

アドレス : F0050H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
POM0	0	0	0	0	0	0	0	POM00

アドレス : F0051H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
POM1	POM17	0	POM15	0	0	0	0	POM10

アドレス : F0053H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
POM3	0	0	0	0	0	0	0	POM30

アドレス : F0055H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
POM5	0	0	0	0	0	0	POM51	POM50

POMmn	Pmn 端子の出力モードの選択 (m = 0, 1, 3, 5 ; n = 0, 1, 5, 7)
0	通常出力モード
1	N-ch オープン・ドレイン出力 (V _{DD} 耐圧) モード

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ 0, 12, 14 (PMCxx)

P00, P01, P120, P147のデジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

PMC0, PMC12, PMC14レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-31 ポート・モード・コントロール・レジスタのフォーマット(32ピン製品)

アドレス : F0060H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC0	1	1	1	1	1	1	PMC01	PMC00

アドレス : F006CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC12	1	1	1	1	1	1	1	PMC120

アドレス : F006EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC14	PMC147	1	1	1	1	1	1	1

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択(m = 0, 12, 14 ; n = 0, 1, 7)
0	デジタル入出力(アナログ入力以外の兼用機能)
1	アナログ入力

注意 搭載していないビットには必ず初期値を設定してください。

4.3.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0, P21/ANI1, P22/ANI2, P23/ANI3, P24/ANI4, P25/ANI5, P26/ANI6, P27/ANI7 端子を、A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-32 A/Dポート・コンフィギュレーション・レジスタ (ADPC)のフォーマット

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力(A)/デジタル入力(D)の切り替え							
				ANI7/ P27	ANI6/ P26	ANI5/ P25	ANI4/ P24	ANI3/ P23	ANI2/ P22	ANI1/ P21	ANI0/ P20
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	D	D	D	D	D	D	D	D
0	0	1	0	D	D	D	D	D	D	D	A
0	0	1	1	D	D	D	D	D	D	A	A
0	1	0	0	D	D	D	D	D	A	A	A
0	1	0	1	D	D	D	D	A	A	A	A
0	1	1	0	D	D	D	A	A	A	A	A
0	1	1	1	D	D	A	A	A	A	A	A
1	0	0	0	D	A	A	A	A	A	A	A
上記以外				設定禁止							

注意1. ADPCレジスタでアナログ機能に設定したポートは、ポート・モード・レジスタ2 (PM2)で入力モードに選択してください。

注意2. ADPCレジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ (ADS)で設定しないでください。

注意3. AVREFFとAVREFMを使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

4.3.8 周辺I/Oリダイレクション・レジスタ1 (PIOR1)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

PIOR1レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 33 周辺I/Oリダイレクション・レジスタ1 (PIOR1)

アドレス : F0079H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR1	0	0	0	0	PIOR13	PIOR12	PIOR11	PIOR10
	PIOR13	PIOR12	タイマRJ TRJO0端子選択					
	0	0	P30/INTP3/SCK00/SCL00と兼用					
	0	1	P50/INTP1/SI00/RxD0/TOOLRxD/SDA00と兼用					
	1	0	P00/ANI17/TI00/TxD1/CMP0Pと兼用					
	1	1	設定禁止					
	PIOR11	PIOR10	タイマRJ TRJIO0端子選択					
	0	0	P01/ANI16/TO00/RxD1/PGAIと兼用					
	0	1	P31/TI03/TO03/INTP4/PCLBUZ0と兼用					
	1	0	P41と兼用注					
	1	1	設定禁止					

注 44ピン製品のみ設定可能です。30ピン製品および32ピン製品の場合は、設定禁止です。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 入出力バッファによる異電位(2.5 V系, 3 V系)対応

ポート入力モード・レジスタ (PIMxx), ポート出力モード・レジスタ (POMxx) で入出力バッファを切り換えることにより, 異電位 (2.5 V系, 3 V系) で動作している外部デバイスとの接続が可能になります。

ポート0, 1, 4, 5は, $V_{DD} = 4.0 V \sim 5.5 V$ で動作時に, 2.5 V系, 3 V系の電圧で動作している外部デバイスとのシリアルI/Fでの入出力接続が可能です。

外部デバイス	V_{DD}
3 V	$4.0 V \leq V_{DD} \leq 5.5 V$
2.5 V	$3.3 V \leq V_{DD} \leq 4.0 V$

異電位 (2.5 V系, 3 V系) の外部デバイスからの入力を受ける場合, ポート入力モード・レジスタ 0, 1, 3, 5 (PIM0, PIM1, PIM3, PIM5) をビットごとに設定して, 通常入力 (CMOS)/TTL入力バッファを切り換えます。

異電位 (2.5 V系, 3 V系) の外部デバイスへ出力する場合, ポート出力モード・レジスタ 0, 1, 3, 5 (POM0, POM1, POM3, POM5) をビットごとに設定して, 通常出力 (CMOS)/N-chオープン・ドレイン (V_{DD} 耐圧) を切り換えます。

(1) UART0, UART1, CSI00機能の入力ポートをTTL入力バッファで使用する場合の設定手順

- UART0の場合 : P50
- UART1の場合 : P01
- CSI00の場合 : P30, P50

- ①使用する入力端子を外部抵抗を介して, 対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
- ②PIM0, PIM1, PIM3, PIM5レジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。
なお, V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。
- ③シリアル・アレイ・ユニットを動作許可し, UART/簡易SPI (CSI注) モードに設定します。

注 一般的にはSPIと呼ばれる機能ですが, 本製品ではCSIとも呼称しているため, 本マニュアルでは併記します。

(2) UART0, UART1, CSI00機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合 : P51
UART1の場合 : P00
CSI00の場合 : P30, P51

- ①使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
- ③該当するポートの出カラッチに1を設定します。
- ④POM0, POM1, POM3, POM5レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定します。
- ⑤シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI(CSI)モードに設定します。
- ⑥PM0, PM1, PM3, PM5レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

(3) IIC00機能の入出力ポートを、異電位(2.5 V系, 3 V系)で使用する場合の設定手順

簡易IIC00の場合 : P30, P50

- ①使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
- ③該当するポートの出カラッチに1を設定します。
- ④POM3, POM5レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定します。
- ⑤PIM3, PIM5レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、V_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ⑥シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。
- ⑦PM3, PM5レジスタの該当ビットを出力モードに設定します(出力モードのままデータ入出力可能)。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

4.5 使用するポート機能および兼用機能のレジスタの設定

使用するポート機能および兼用機能のレジスタ設定を表4-18～表4-23に示します。

注意 使用する端子に、他の兼用出力機能が割り当てられている場合、使用しない兼用機能の出力を初期状態と同じにする必要があります。

表4 - 18 P00-P17 端子機能使用時のレジスタの設定例 (1/3)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	30 ピン	32 ピン	44 ピン
	機能名称	入出力									
P00	P00	入力	—	×	0	1	×	×	○	○	○
		出力	—	0	0	0	0/1	TXD1 = 1 (TRJ00=0)注2			
		Nch-OD 出力	—	1	0	0	0/1				
	ANI17注1	アナログ 入力	—	×	1	1	×	—	○	○	○
	CMP0P	入力	—	×	1	1	×	—	○	○	○
	TI00	入力	—	×	0	1	×	—	○	○	○
	TxD1	出力	—	0/1	0	0	1	(TRJ00=0)注2	○	○	○
	(TRJ00)	出力	PIOR13,PIOR12=10B	0	0	0	0	TXD1 = 1	○	○	○
P01	P01	入力	—	—	0	1	×	×	○	○	○
		出力	—	—	0	0	0/1	TO00 = 0 TRJIO0 = 0注3			
	ANI16注1	アナログ 入力	—	—	1	1	×	—	○	○	○
	PGAI	入力	—	—	1	1	×	—	○	○	○
	TO00	入力	—	—	0	0	0	TRJIO0 = 0注3	○	○	○
	RxD1	出力	—	—	0	1	×	—	○	○	○
	TRJIO0	入力	PIOR11,PIOR10=00B	—	0	1	×	—	○	○	○
		出力	PIOR11,PIOR10=00B	—	0	0	0	TO00 = 0	○	○	○

備考 — : 対象外

× : don't care

PIORx : 周辺I/Oリダイレクション・レジスタ

POMxx : ポート出力モード・レジスタ

PMCxx : ポート・モード・コントロール・レジスタ

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

()内の機能は、周辺I/Oリダイレクション・レジスタ1 (PIOR1)の設定により、割り当て可能です。

(注は表の末尾にあります)

表4 - 18 P00-P17端子機能使用時のレジスタの設定例(2/3)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	30 ピン	32 ピン	44 ピン
	機能名称	入出力									
P10	P10	入力	—	×	—	1	×	×	○	○	○
		出力	—	0	—	0	0/1	TRDIOD1=0			
		Nch-OD 出力	—	1	—	0	0/1				
	TRDIOD1	入力	—	×	—	1	×	—	○	○	○
		出力	—	0	—	0	0	—	○	○	○
P11	P11	入力	—	—	—	1	×	×	○	○	○
		出力	—	—	—	0	0/1	TRDIOC1=0			
	TRDIOC1	入力	—	—	—	1	×	—	○	○	○
		出力	—	—	—	0	0	—	○	○	○
P12	P12	入力	—	—	—	1	×	×	○	○	○
		出力	—	—	—	0	0/1	TRDIOD1=0			
	TRDIOD1	入力	—	—	—	1	×	—	○	○	○
		出力	—	—	—	0	0	—	○	○	○
P13	P13	入力	—	—	—	1	×	×	○	○	○
		出力	—	—	—	0	0/1	TRDIOA1=0			
	TRDIOA1	入力	—	—	—	1	×	—	○	○	○
		出力	—	—	—	0	0	—	○	○	○
P14	P14	入力	—	—	—	1	×	×	○	○	○
		出力	—	—	—	0	0/1	TRDIOD0=0			
	TRDIOD0	入力	—	—	—	1	×	—	○	○	○
		出力	—	—	—	0	0	—	○	○	○
P15	P15	入力	—	×	—	1	×	×	○	○	○
		出力	—	0	—	0	0/1	PCLBUZ1=0			
		Nch-OD 出力	—	1	—	0	0/1	TRDIOB0=0			
	PCLBUZ1	出力	—	×	—	0	0	TRDIOB0=0	○	○	○
	TRDIOB0	入力	—	×	—	1	×	—	○	○	○
		出力	—	0	—	0	0	—	○	○	○

備考 — : 対象外

× : don't care

PIORx : 周辺I/Oリダイレクション・レジスタ

POMxx : ポート出力モード・レジスタ

PMCxx : ポート・モード・コントロール・レジスタ

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

(注は表の末尾にあります)

表4 - 18 P00-P17端子機能使用時のレジスタの設定例(3/3)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	30 ピン	32 ピン	44 ピン
	機能名称	入出力									
P16	P16	入力	—	—	—	1	x	x	○	○	○
		出力	—	—	—	0	0/1	TO01=0 TRDIOC0=0	○	○	○
	TI01	入力	—	—	—	1	x	—	○	○	○
	TO01	出力	—	—	—	0	0	TRDIOC0=0	○	○	○
	INTP5	入力	—	—	—	1	x	—	○	○	○
	TRDIOC0	入力	—	—	—	1	x	—	○	○	○
出力		—	—	—	0	0	TO01=0	○	○	○	
P17	P17	入力	—	x	—	1	x	x	○	○	○
		出力	—	0	—	0	0/1	TO02=0	○	○	○
		Nch-OD 出力	—	1	—	0	0/1	TRDIOA0=0			
	TI02	入力	—	x	—	1	x	—	○	○	○
	TO02	出力	—	0	—	0	0	TRDIOA0=0	○	○	○
	TRDIOA0	入力	—	x	—	1	x	—	○	○	○
		出力	—	0	—	0	0	TO02=0	○	○	○
TRDCLK	入力	—	x	—	1	x	—	○	○	○	

備考 — : 対象外

× : don't care

PIORx : 周辺I/Oリダイレクション・レジスタ

POMxx : ポート出力モード・レジスタ

PMCxx : ポート・モード・コントロール・レジスタ

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

()内の機能は、周辺I/Oリダイレクション・レジスタ1(PIOR1)の設定により、割り当て可能です。

注1. ANI16/P01, ANI17/P00, ANI18/P147, ANI19/P120端子の機能は、ポート・モード・コントロール・レジスタ0, 12, 14 (PMC0, PMC12, PMC14), アナログ入力チャネル指定レジスタ(ADS), PM0, PM12, PM14レジスタの設定で決定します。

表4 - 19 ANI16/P01, ANI17/P00, ANI18/P147, ANI19/P120端子機能の設定

PMC0, PMC12, PMC14 レジスタ	PM0, PM12, PM14 レジスタ	ADS レジスタ	ANI16/P01, ANI17/P00, ANI18/P147, ANI19/P120 端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

注2. PIOR13,PIOR12 ≠ 10Bの場合は、Don't care。

注3. PIOR11,PIOR10 ≠ 00Bの場合は、Don't care。

表4-20 P20-P27端子機能使用時のレジスタの設定例

端子 名称	使用機能		ADPC	ADM2	PMxx	PMxx	Pxx	30 ピン	32 ピン	44 ピン
	機能名称	入出力								
P20	P20	入力	ADPC=01H	×	—	1	×	○	○	○
		出力	ADPC=01H	×	—	0	0/1			
	ANI0注	アナログ入力	ADPC=00H/02H~08H	00×0××0×	—	1	×			
				10×0××0×	—					
AVREFP	基準電圧入力	ADPC=00H/02H~08H	01×0××0×	—	1	×				
P21	P21	入力	ADPC=01H/02H	×	—	1	×	○	○	○
		出力	ADPC=01H/02H	×	—	0	0/1			
	ANI1注	アナログ入力	ADPC=00H/03H~08H	××00××0×	—	1	×			
	AVREFM	基準電圧入力	ADPC=00H/03H~08H	××10××0×	—	1	×			
P22	P22	入力	ADPC=01H~03H	×	—	1	×	○	○	○
		出力	ADPC=01H~03H	×	—	0	0/1			
	ANI2注	アナログ入力	ADPC=00H/04H~08H	×	—	1	×			
P23	P23	入力	ADPC=01H~04H	×	—	1	×	○	○	○
		出力	ADPC=01H~04H	×	—	0	0/1			
	ANI3注	アナログ入力	ADPC=00H/05H~08H	×	—	1	×			
P24	P24	入力	ADPC=01H~05H	×		1	×	×	×	○
		出力	ADPC=01H~05H	×		0	0/1			
	ANI4注	アナログ入力	ADPC=00H/06H~08H	×		1	×			
P25	P25	入力	ADPC=01H~06H	×		1	×	×	×	○
		出力	ADPC=01H~06H	×		0	0/1			
	ANI5注	アナログ入力	ADPC=00H/07H~08H	×		1	×			
P26	P26	入力	ADPC=01H~07H	×		1	×	×	×	○
		出力	ADPC=01H~07H	×		0	0/1			
	ANI6注	アナログ入力	ADPC=00H/08H	×		1	×			
P27	P27	入力	ADPC=01H~08H	×		1	×	×	×	○
		出力	ADPC=01H~08H	×		0	0/1			
	ANI7注	アナログ入力	ADPC=00H	×		1	×			

注 P20/ANI0, P21/ANI1, P22/ANI2, P23/ANI3, P24/ANI4, P25/ANI5, P26/ANI6, P27/ANI7 端子の機能は、A/Dポート・コンフィギュレーション・レジスタ (ADPC)、アナログ入力チャネル指定レジスタ (ADS)、ポート・モード・レジスタ2 (PM2) の設定で決定します。

表4-21 P20/ANI0, P21/ANI1, P22/ANI2, P23/ANI3, P24/ANI4, P25/ANI5, P26/ANI6, P27/ANI7 端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0,P21/ANI1,P22/ANI2,P23/ANI3, P24/ANI4, P25/ANI5,P26/ANI6,P27/ANI7 端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

表4 - 22 P30-P147 端子機能使用時のレジスタの設定例 (1/3)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	30 ピン	32 ピン	44 ピン
	機能名称	入出力									
P30	P30	入力	—	x	—	1	x	x	○	○	○
		出力	—	0	—	0	0/1	SCK00/SCL00 = 1			
		Nch-OD 出力	—	1	—	0	0/1	TRJ00=0 ^{注1}			
	INTP3	入力	—	x	—	1	x	—	○	○	○
	SCK00	入力	—	x	—	1	x	—	○	○	○
		出力	—	0/1	—	0	1	TRJ00=0 ^{注1}	○	○	○
	SCL00	出力	—	0/1	—	0	1	TRJ00=0 ^{注1}	○	○	○
TRJ00	出力	PIOR13,PIOR12=00B	0	—	0	0	SCK00/SCL00 = 1	○	○	○	
P31	P31	入力	—	x	—	1	x	x	○	○	○
		出力	—	—	—	0	0/1	TO03 = 0 PCLBUZ0=0 (TRJIO0=0) ^{注2}			
	TI03	入力	—	—	—	1	x	—	○	○	○
	TO03	出力	—	—	—	0	0	PCLBUZ0=0 (TRJIO0=0) ^{注2}	○	○	○
	INTP4	入力	—	—	—	1	x	TRJIO0=0	○	○	○
	PCLBUZ0	出力	—	—	—	0	0	TO03 = 0 (TRJIO0=0) ^{注2}	○	○	○
	(TRJIO0)	入力	PIOR11,PIOR10=01B	—	—	1	x	—	○	○	○
	出力	PIOR11,PIOR10=01B	—	—	0	0	TO03 = 0 PCLBUZ0=0	○	○	○	
P40	P40	入力	—	—	—	1	x	x	○	○	○
		出力	—	—	—	0	0/1	x	○	○	○
	TOOL0	入出力	—	—	—	x	x	—	○	○	○
P41	P41	入力	—	—	—	1	x	x	x	x	○
		出力	—	—	—	0	0/1	(TRJIO0=0) ^{注3}			
	(TRJIO0=0)	入力	PIOR11,PIOR10=10B	—	—	1	x	—	x	x	○
		出力	PIOR11,PIOR10=10B	—	—	0	0	—	x	x	○
P50	P50	入力	—	x	—	1	x	x	○	○	○
		出力	—	0	—	0	0/1	SDA00=1			
		Nch-OD 出力	—	1	—	0	0/1	(TRJ00=0) ^{注4}			
	INTP1	入力	—	x	—	1	x	—	○	○	○
	SI00	入力	—	x	—	1	x	—	○	○	○
	RxD0	入力	—	x	—	1	x	—	○	○	○
	TOOLRxD	入力	—	x	—	1	x	—	○	○	○
	SDA00	入出力	—	1	—	0	1	(TRJ00=0) ^{注4}	○	○	○
(TRJ00=0)	出力	PIOR13,PIOR12=01B	0	—	0	0	SDA00=1	○	○	○	

(注は表の末尾にあります)

表4 - 22 P30-P147 端子機能使用時のレジスタの設定例 (2/3)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	30 ピン	32 ピン	44 ピン
	機能名称	入出力									
P51	P51	入力	—	x	—	1	x	x	○	○	○
		出力	—	0	—	0	0/1	SO00/TxD0=1			
		Nch-OD出力	—	1	—	0	0/1				
	INTP2	入力	—	x	—	1	x	—	○	○	○
	SO00	出力	—	0/1	—	0	1	—	○	○	○
	TxD0	出力	—	0/1	—	0	1	—	○	○	○
	TOOLTxD	出力	—	0/1	—	0	1	—	○	○	○
P60	P60	入力	—	—	—	1	x	x	○	○	○
		出力	—	—	—	0	0/1	x			
P61	P61	入力	—	—	—	1	x	x	○	○	○
		出力	—	—	—	0	0/1	x			
P62	P62	入力	—	—	—	1	x	x	x	○	○
		出力	—	—	—	0	0/1	x			
	SSI00	入力	—	—	—	1	x	x	x	○	○
P63	P63	入力	—	—	—	1	x	x	x	x	○
		出力	—	—	—	0	0/1	x			
P70	P70	入力	—	—	—	1	x	x	x	○	○
		出力	—	—	—	0	0/1	x			
	KR0	入力	—	—	—	1	x	x	x	○	○
P71	P71	入力	—	—	—	1	x	x	x	x	○
		出力	—	—	—	0	0/1	x			
	KR1	入力	—	—	—	1	x	x	x	x	○
P72	P72	入力	—	—	—	1	x	x	x	x	○
		出力	—	—	—	0	0/1	x			
	KR2	入力	—	—	—	1	x	x	x	x	○
P73	P73	入力	—	—	—	1	x	x	x	x	○
		出力	—	—	—	0	0/1	x			
	KR3	入力	—	—	—	1	x	x	x	x	○
P120	P120	入力	—	—	0	1	x	x	○	○	○
		出力	—	—	0	0	0/1	x			
	CMP1P	入力	—	—	1	1	x	x	○	○	○
	ANI19注5	入力	—	—	1	1	x	x	○	○	○
P121	P121	入力	—	—	—	—	x	CMCの OSCSEL=0 EXCLK=1	○	○	○
P122	P122	入力	—	—	—	—	x	CMCの OSCSEL=0	○	○	○
P123	P123	入力	—	—	—	—	x	x	x	x	○
P124	P124	入力	—	—	—	—	x	x	x	x	○
P137	P137	入力	—	—	—	—	x	x	○	○	○
	INTP0	入力	—	—	—	—	x	x	○	○	○

(注は表の末尾にあります)

表4 - 22 P30-P147端子機能使用時のレジスタの設定例(3/3)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力	30 ピン	32 ピン	44 ピン
	機能名称	入出力									
P146	P146	入力	—	—	—	1	×	×	×	×	○
		出力	—	—	—	0	0/1	×			
P147	P147	入力	—	—	0	1	×	×	○	○	○
		出力	—	—	0	0	0/1	×			
	ANI18注5	アナログ入力	—	—	1	1	×	×	○	○	○

注1. PIOR13,PIOR12 ≠ 00Bの場合は、Don't care。

注2. PIOR11,PIOR10 ≠ 01Bの場合は、Don't care。

注3. PIOR11,PIOR10 ≠ 10Bの場合は、Don't care。

注4. PIOR13,PIOR12 ≠ 01Bの場合は、Don't care。

注5. ANI16/P01, ANI17/P00, ANI18/P147, ANI19/P120端子の機能は、ポート・モード・コントロール・レジスタ0, 12, 14 (PMC0, PMC12, PMC14), アナログ入力チャンネル指定レジスタ(ADS), PM0, PM12, PM14レジスタの設定で決定します。

表4 - 23 ANI16/P01, ANI17/P00, ANI18/P147, ANI19/P120端子機能の設定

PMC0, PMC12, PMC14 レジスタ	PM0, PM12, PM14 レジスタ	ADS レジスタ	ANI16/P01, ANI17/P00, ANI18/P147, ANI19/P120 端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタ n (Pn)に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出カラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出カラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/G1G内部で、次の順序で行われます。

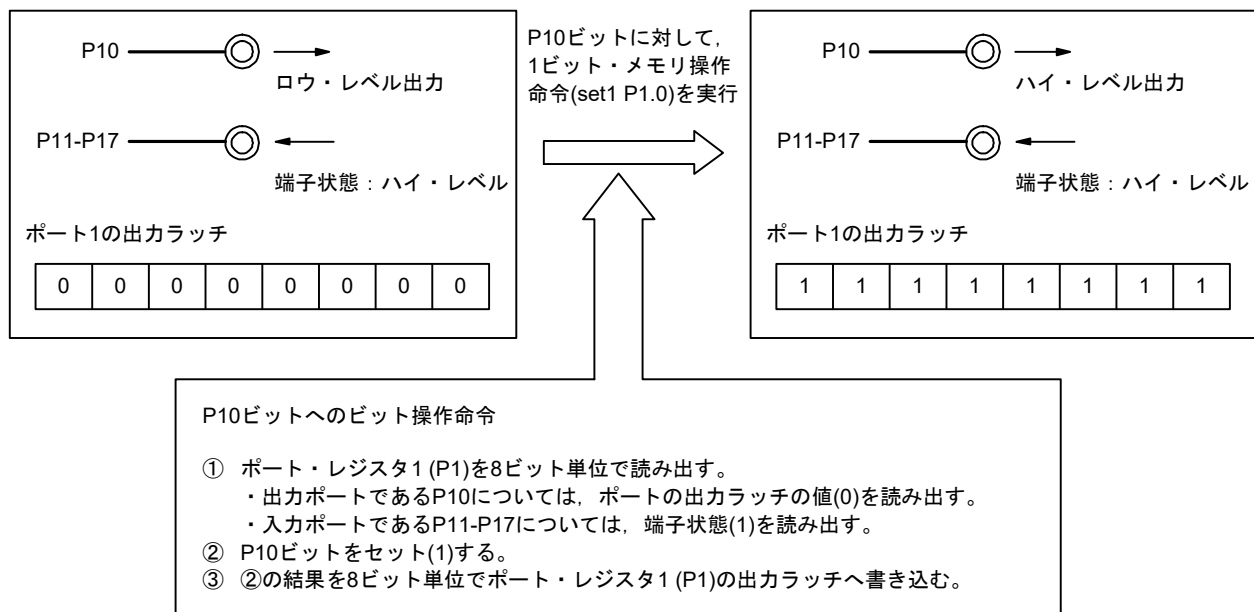
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-34 1ビット・メモリ操作命令(P10の場合)



4.6.2 端子設定に関する注意事項

使用する出力端子に、他の兼用出力機能が割り当てられている場合、使用しない兼用機能の出力を初期状態と同じにする必要があります(出力の衝突を回避)。周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当てられた機能も同様です。兼用出力については、4.5 使用するポート機能および兼用機能のレジスタの設定を参照してください。

なお、入力として使用する端子では、兼用の出力機能が無効(バッファ出力がHi-Z)となるので、処理不要です。具体的な対象と処理方法を次に示します。

表4 - 24 使用しない兼用機能の処理

対象ユニット	使用しない兼用の出力/入出力端子	使用しない機能に対する処理
タイマ・アレイ・ユニット	TO0n	タイマ出力レジスタ0 (TO0)のビット0 (TO0n)とタイマ出力許可レジスタ0 (TOE0)のビットn (TOE0n)を初期状態と同じ設定“0”にする。
タイマRJ	TRJIO0, TRJO0	周辺I/Oリダイレクション・レジスタ1 (PIOR1)の設定で割り当てられた機能です。 使用しない時は割り当てないでください。 TRJO: タイマRJ I/O制御レジスタ0 (TRJIOC0)のビット2を初期状態と同じ設定“0”にする。 TRJIO: タイマRJモードレジスタ0 (TRJMR0)のモード選択ビットはパルス出力モード以外を設定する。
タイマRD	TRDIOAn, TRDIOBn, TRDIOCn, TRDIODn	タイマRD出力マスタ許可レジスタ1 (TRDOER1)の該当する端子のビット(EDn, ECn, EBn, EAn)を初期状態と同じ設定“1”にする。
クロック／ブザー出力	PCLBUZn	クロック出力選択レジスタn (CKSn)のビット7 (PCLOEn)を初期状態と同じ設定“0”にする。
シリアル・アレイ・ユニット	SCK00, SO00, SCL00, SDA00	シリアル・チャンネル許可ステータス・レジスタ0 (SE0)のビットn (SE0n), シリアル出力レジスタ0 (SO0)のビットn (SO0n), シリアル出力許可レジスタ0 (SOE0)のビットn (SOE0n)を初期状態と同じ設定 (SO0nは“1”, 他は“0”)にする注。

注 SCK00, SO00, SCL00, SDA00はn = 0

(例) 44ピン製品のP16/TI01/TO01/INTP5/TRDIOC0端子の場合

(1) “TO01出力”として使用

P16 : ポート・モード・レジスタ1のPM16 = 0で“出力”に設定

TI01, INTP5 : 入力なので対象外

TRDIOC0 : 出力なので、出力マスタ許可レジスタEC0=1に設定。

(2) “TRDIOC0出力”として使用

P16 : ポート・モード・レジスタ1のPM16 = 0で“出力”に設定

TI01, INTP5 : 入力なので対象外

TO01 : 出力なので、タイマ・アレイ・ユニット0のTO01 = TOE01 = 0に設定。

P30/INTP3/SCK00/SCL00 端子を“SCK00 入出力”として使用する場合は“SCL00”のように、同じシリアル・チャンネル内の兼用機能は、モード切り替えで有効にならないので対象外です(簡易SPI(CSI)(MD002 = MD001=0)に設定すると、簡易I²Cとして動作しないので、“SCL00出力”は無効)。

なお、入力だけや入出力のないブロックを含めて、省電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子、X2端子に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)の設定により、発振を停止することができます。

② 高速オンチップ・オシレータ(高速OCO)

オプションバイト(000C2H)により、 $f_{HOCO} = 48$ MHz/24 MHz/16 MHz/12 MHz/8MHz/4 MHz /1 MHz (TYP.)から周波数を選択し、発振させることができます。 f_{HOCO} に48MHzを選択した場合、 f_{IH} は24MHzになります。 f_{HOCO} に24 MHz以下を選択した場合、 f_{IH} は分周されず、 f_{HOCO} と同じ周波数になります。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット(CSCレジスタのビット0)の設定により、発振を停止することができます。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック($f_{EX} = 1 \sim 20$ MHz)を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット(システム・クロック制御レジスタ(CKC)のビット4)の設定により、高速システム・クロック(X1クロックまたは外部メイン・システム・クロック)と高速オンチップ・オシレータ・クロックを切り替えられます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は、図5-10 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

電源電圧	発振周波数 (MHz)									
	1	2	3	4	6	8	12	16	24	48
$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	○	○	○	○	○	○	○	○

(2) 低速オンチップ・オシレータ・クロック (低速OCO)

$f_{IL} = 15 \text{ kHz}$ (TYP.)のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ・ウォッチドッグ・タイマ
- ・12ビット・インターバル・タイマ
- ・タイマRJ

オプション・バイト (000C0H) のビット4 (WDTON) または、動作スピード・モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) のどちらか、または両方が1のときに動作します。

ただし、WDTON = 1、WUTMMCK0 = 0かつオプション・バイト (000C0H) のビット0 (WDSTBYON) が0のときに、HALT 命令またはSTOP 命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

備考 f_X : X1クロック発振周波数

f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数 (最大48 MHz)

f_{IH} : 高速オンチップ・オシレータ・クロック周波数 (最大24 MHz) 注

f_{EX} : 外部メイン・システム・クロック周波数

f_{IL} : 低速オンチップ・オシレータ・クロック周波数

注 f_{HOCO} を48 MHzに設定した場合は f_{HOCO} の2分周、24 MHz以下に設定した場合は f_{HOCO} と同一のクロック周波数となるようにハードウェアで制御されます。タイマRDに48 MHzを供給する場合は、 f_{CLK} を f_{IH} に設定してください。

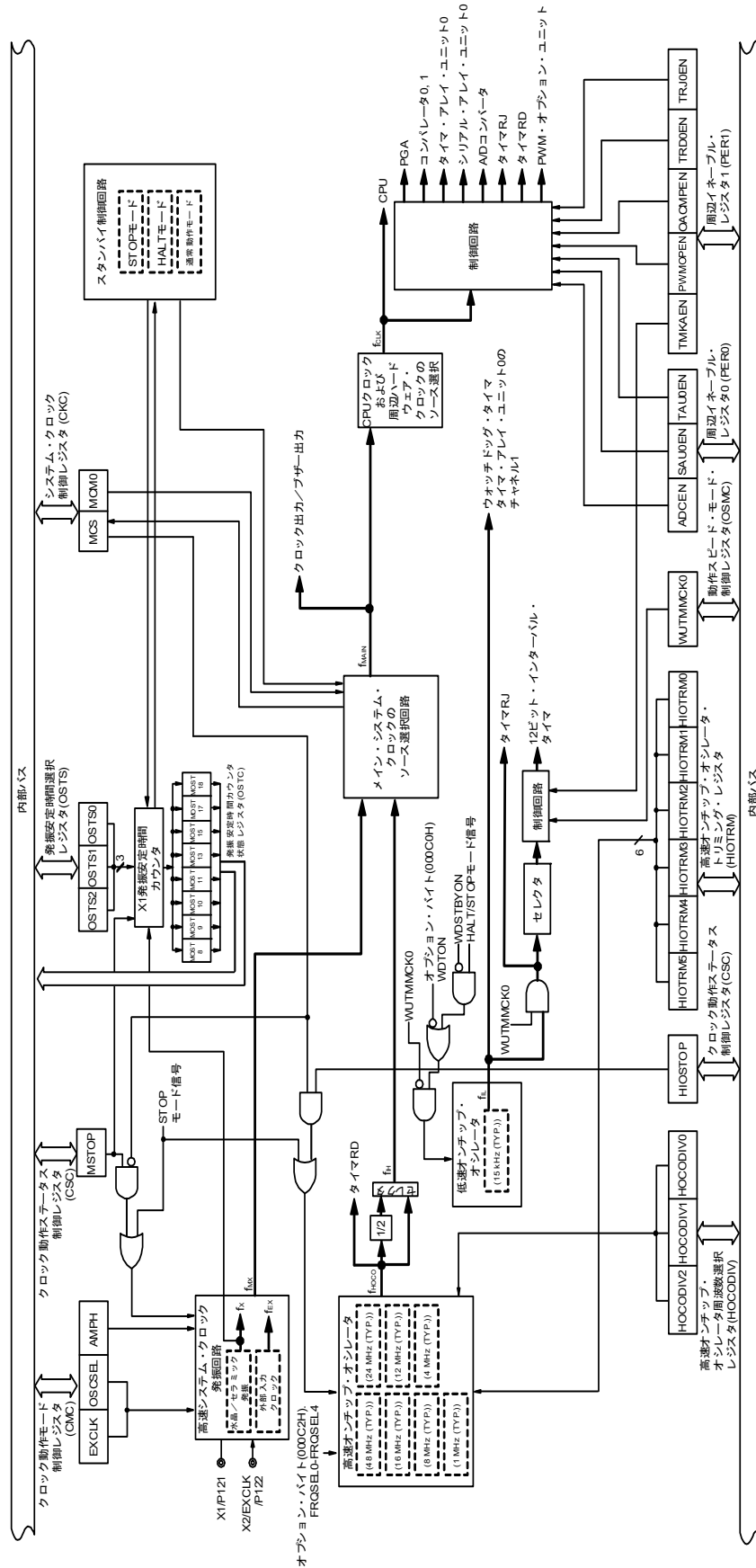
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ0, 1 (PER0, PER1) 動作スピード・モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 高速オンチップ・オシレータ・クロック 低速オンチップ・オシレータ・クロック

図5-1 クロック発生回路のブロック図



(備考は次ページにあります。)

備考	fx :	X1クロック発振周波数
	fHOCO :	高速オンチップ・オシレータ・クロック周波数(最大48 MHz)
	fIH :	高速オンチップ・オシレータ・クロック周波数(最大24 MHz)注
	fEX :	外部メイン・システム・クロック周波数
	fMX :	高速システム・クロック周波数
	fMAIN :	メイン・システム・クロック周波数
	fCLK :	CPU/周辺ハードウェア・クロック周波数
	fIL :	低速オンチップ・オシレータ・クロック周波数

注 fHOCO を 48 MHz に設定した場合は fHOCO の 2 分周、24 MHz 以下に設定した場合は fHOCO と同一のクロック周波数となるようにハードウェアで制御されます。タイマ RD に 48 MHz を供給する場合は、fCLK を fIH に設定してください。

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)
- 動作スピード・モード制御レジスタ (OSMC)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード制御レジスタ (CMC)のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH
EXCLK	OSCSEL	高速システム・クロック 端子の動作モード		X1/P121 端子		X2/EXCLK/P122 端子		
0	0	入力ポート・モード		入力ポート				
0	1	X1発振モード		水晶／セラミック発振子接続				
1	0	入力ポート・モード		入力ポート				
1	1	外部クロック入力モード		入力ポート		外部クロック入力		
AMPH	X1クロック発振周波数の制御							
0	1 MHz ≤ f _x ≤ 10 MHz							
1	10 MHz < f _x ≤ 20 MHz							

注意1. CMC レジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMC レジスタを初期値(00H)のまま使用する場合、暴走時の誤動作(00H以外の誤書き込みで復帰不可)を防止するために、リセット解除後は必ず00Hに設定してください。

注意2. リセット解除後、クロック動作ステータス制御レジスタ (CSC)の設定でX1発振を開始する前に、CMC レジスタを設定してください。

注意3. X1クロック発振周波数が10MHzを越える場合は、必ずAMPHビットに1を設定してください。

注意4. AMPHビットは、リセット解除後f_{CLK}にf_{IH}を選択した状態(f_{CLK}をf_{MX}に切り替える前の状態)で設定してください。

注意5. システム・クロックの周波数上限は24 MHzですが、X1発振回路の周波数上限は20MHzになります。

注意6. ビット1-5には、必ず0を設定してください。

備考 f_x : X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-3 システム・クロック制御レジスタ(CKC)のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
CKC	0	0	MCS	MCM0	0	0	0	0
MCS	メイン・システム・クロック (fMAIN) のステータス							
0	高速オンチップ・オシレータ・クロック (fIH)							
1	高速システム・クロック (fMX)							
MCM0	メイン・システム・クロック (fMAIN) の動作制御							
0	メイン・システム・クロック (fMAIN) に高速オンチップ・オシレータ・クロック (fIH) を選択							
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択							

注 ビット5は、Read Onlyです。

備考 fHOCO : 高速オンチップ・オシレータ・クロック周波数 (最大48 MHz)
 fIH : 高速オンチップ・オシレータ・クロック周波数 (最大24 MHz)^注
 fMX : 高速システム・クロック周波数
 fMAIN : メイン・システム・クロック周波数

注 fHOCOを48 MHzに設定した場合はfHOCOの2分周、24 MHz以下に設定した場合はfHOCOと同一のクロック周波数となるようにハードウェアで制御されます。タイマRDに48 MHzを供給する場合は、fCLKをfIHに設定してください。

注意1. ビット0-3, 6, 7には、必ず0を設定してください。

注意2. CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます(12ビット・インターバル・タイマ、クロック出力/ブザー出力、およびウォッチドッグ・タイマは除く)。よって、CPU/周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。

注意3. タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN) をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN) をクリアしたあとに変更してください。

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速オンチップ・オシレータ・クロックの動作を制御するレジスタです(低速オンチップ・オシレータ・クロックは除く)。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

図5-4 クロック動作ステータス制御レジスタ (CSC)のフォーマット

アドレス : FFFA1H リセット時 : C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	1	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

- 注意1. リセット解除後は、クロック動作モード制御レジスタ(CMC)を設定してからCSCレジスタを設定してください。
- 注意2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ(OSTS)を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。
- 注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。
- 注意4. CPU/周辺ハードウェア・クロック(fCLK)に選択しているクロックは、CSCレジスタで停止させないでください。
- 注意5. クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-2 クロック発振停止前の条件とフラグ設定

クロック	クロック停止(外部クロック入力無効)前条件	CSCレジスタのフラグ設定
X1クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作(MCS = 0)	MSTOP = 1
外部メイン・システム・クロック		
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作(MCS = 1)	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時(EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
------	-------	-------	--------	--------	--------	--------	--------	--------

MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁸ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

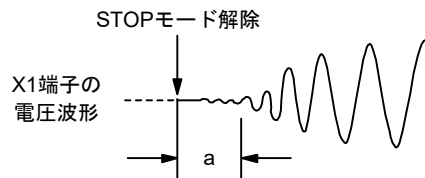
注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていく、そのまま“1”を保持します。

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを選択した場合、X1発振回路動作(MSTOP = 0)後、OSTSレジスタで設定した時間を自動でウェイトします。

CPUクロックを高速オンチップ・オシレータ・クロックからX1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5 - 6 発振安定時間選択レジスタ (OSTS)のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/fx$	25.6 μ s	12.8 μ s
0	0	1	$2^9/fx$	51.2 μ s	25.6 μ s
0	1	0	$2^{10}/fx$	102 μ s	51.2 μ s
0	1	1	$2^{11}/fx$	204 μ s	102 μ s
1	0	0	$2^{13}/fx$	819 μ s	409 μ s
1	0	1	$2^{15}/fx$	3.27 ms	1.63 ms
1	1	0	$2^{17}/fx$	13.1 ms	6.55 ms
1	1	1	$2^{18}/fx$	26.2 ms	13.1 ms

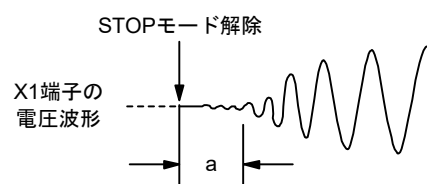
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC)のMSTOPビットを0に設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- 12ビット・インターバル・タイマ
- A/Dコンバータ
- シリアル・アレイ・ユニット0
- タイマ・アレイ・ユニット0
- タイマRD
- タイマRJ
- コンパレータ0
- コンパレータ1
- プログラマブル・ゲイン・アンプ(PGA)
- PWM・オプション・ユニット

PER0, PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-7 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN	0	0	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・ シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・ シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・ タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・ タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・ タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

注意 次のビットには必ず“0”を設定してください。

ビット1, 3, 4, 6, 7

図5-8 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PER1	TMKAEN ^{注1}	PWMOPEN	OACMPEN	TRD0EN ^{注2}	0	0	0	TRJ0EN
------	----------------------	---------	---------	----------------------	---	---	---	--------

TMKAEN ^{注1}	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可 ・12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

PWMOPEN	PWM・オプション・ユニットの入カクロック供給の制御
0	入カクロック供給停止 ・PWM・オプション・ユニットで使用するSFRへのライト不可 ・PWM・オプション・ユニットはリセット状態
1	入カクロック供給 ・PWM・オプション・ユニットで使用するSFRへのリード/ライト可

OACMPEN	コンパレータ0,1およびプログラマブル・ゲイン・アンプの入カクロック供給の制御
0	入カクロック供給停止 ・コンパレータ0,1およびプログラマブル・ゲイン・アンプで使用するSFRへのライト不可 ・コンパレータ0,1およびプログラマブル・ゲイン・アンプはリセット状態
1	入カクロック供給 ・コンパレータ0,1およびプログラマブル・ゲイン・アンプで使用するSFRへのリード/ライト可

TRD0EN ^{注2}	タイマRDの入カクロック供給の制御
0	入カクロック供給停止 ・タイマRDで使用するSFRへのライト不可 ・タイマRDはリセット状態
1	入カクロック供給 ・タイマRDで使用するSFRへのリード/ライト可

TRJ0EN	タイマRJ0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ・タイマRJ0はリセット状態
1	入カクロック供給 ・タイマRJ0で使用するSFRへのリード/ライト可

注1. 12ビット・インターバル・タイマを使用する場合、動作スピード・モード制御レジスタ (OSMC) のビット 4 (WUTMMCK0) を1に設定し、低速オンチップ・オシレータ・クロックを発振させてのち、低速オンチップ・オシレータ・クロックが安定してから、TMKAEN ビットを1に設定してください。

注2. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。

fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注意 次のビットには必ず“0”を設定してください。

ビット1-3

5.3.7 動作スピード・モード制御レジスタ (OSMC)

OSMC レジスタでは 12 ビット・インターバル・タイマの動作クロック、タイマRJのカウンタソースへの低速オンチップ・オシレータ選択可否制御を行います。

OSMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-9 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0 注1,2	0	0	0	0

WUTMMCK0 注1,2	12 ビット・インターバル・タイマの動作クロック、タイマRJのカウンタソースへの 低速オンチップ・オシレータ選択可否制御
0	<ul style="list-style-type: none"> 低速オンチップ・オシレータを 12 ビット・インターバル・タイマの動作クロックへ選択不可 低速オンチップ・オシレータを選択をタイマRJのカウンタソースへ選択不可
1	<ul style="list-style-type: none"> 低速オンチップ・オシレータを 12 ビット・インターバル・タイマの動作クロックへ選択可 低速オンチップ・オシレータを選択をタイマRJのカウンタソースへ選択可

注1. 12 ビット・インターバル・タイマを使用する場合、必ずWUTMMCK0ビットに1を設定してください。

注2. 12 ビット・インターバル・タイマが動作中にWUTMMCK0ビットに0を設定しないでください。

注意 ビット0-3 およびビット5-7には、必ず0を設定してください。

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト(000C2H)で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、オプション・バイト(000C2H)のFRQSEL4, FRQSEL3ビットの値によって、選択できる周波数が異なります。HOCODIVレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト(000C2H)のFRQSEL2-FRQSEL0で設定した値になります。

図5-10 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択		
			FRQSEL4 = 0		FRQSEL4 = 1
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0
0	0	0	f _{ih} = 24 MHz	設定禁止	f _{ih} = 24 MHz f _{HOCO} = 48 MHz
0	0	1	f _{ih} = 12 MHz	f _{ih} = 16 MHz	f _{ih} = 12 MHz f _{HOCO} = 24 MHz
0	1	0	f _{ih} = 6 MHz	f _{ih} = 8 MHz	f _{ih} = 6 MHz f _{HOCO} = 12 MHz
0	1	1	f _{ih} = 3 MHz	f _{ih} = 4 MHz	f _{ih} = 3 MHz f _{HOCO} = 6 MHz
1	0	0	設定禁止	f _{ih} = 2 MHz	設定禁止
1	0	1	設定禁止	f _{ih} = 1 MHz	設定禁止
上記以外			設定禁止		

注意1. HOCODIVレジスタの設定は周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS (低速メイン)モード	1 MHz~8 MHz	2.7 V~5.5 V
1	1	HS (高速メイン)モード	1 MHz~24 MHz	2.7 V~5.5 V
上記以外		設定禁止		

注意2. HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック (f_{ih})をCPU/周辺ハードウェア・クロック (f_{clk})に選択している状態で行ってください。

注意3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- 変更前の周波数で最大3クロック動作
- 変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウェイト

5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマを使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRMレジスタは、8ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、VDD端子電圧に変化があった場合、周波数は変動します。

温度、VDD電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5-11 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)のフォーマット

アドレス : F00A0H リセット時 : 注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0
	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ	
	0	0	0	0	0	0	最低速	
	0	0	0	0	0	1	↑	
	0	0	0	0	1	0		
	0	0	0	0	1	1		
	0	0	0	1	0	0		
	.							
	.							
	.							
	1	1	1	1	1	0	↓	
	1	1	1	1	1	1		
							最高速	

注 リセット値は出荷時に調整した値です。

備考1. HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRMレジスタの使用例は、RL78 MCU シリーズ高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1~20 MHz)によって発振します。また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。X1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット7, 6 (EXCLK, OSCSEL)を次のように設定してください。

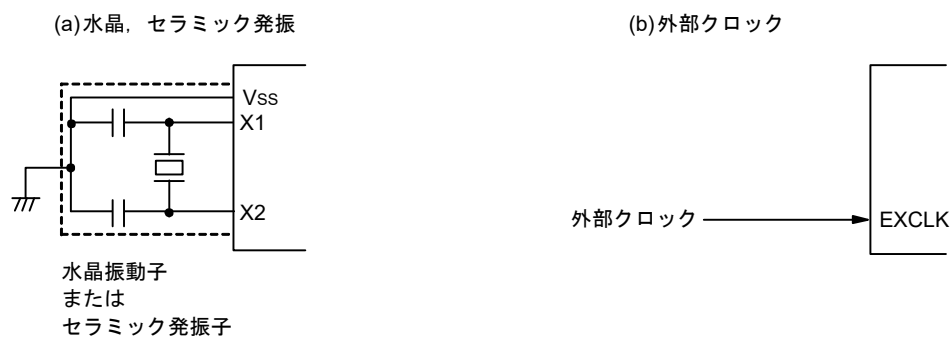
- 水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- 外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード(EXCLK, OSCSEL = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-12にX1発振回路の外付け回路例を示します。

図5-12 X1発振回路の外付け回路例

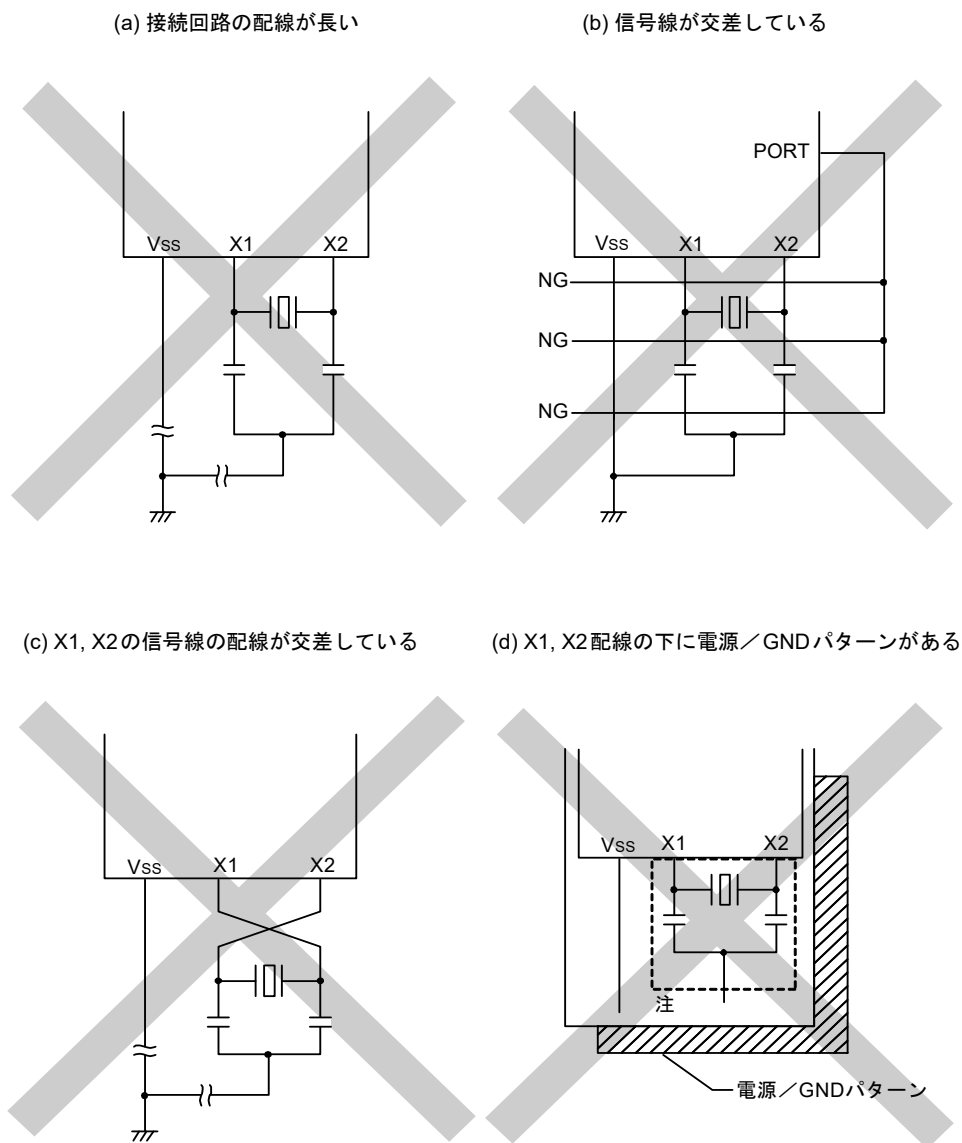


注意 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-12の破線の部分を次のように配線してください。

- 配線は極力短くしてください。
- 他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

図5 - 13に発振子の接続の悪い例を示します。

図5 - 13 発振子の接続の悪い例(1/2)

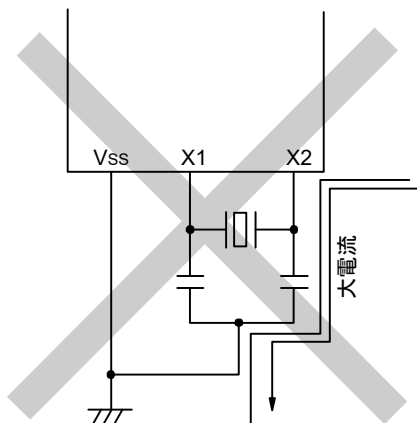


注 多層基板や両面基板において、X1, X2端子と発振子の配線部(図中の点線部分)の下には、電源/GNDパターンを配置しないでください。

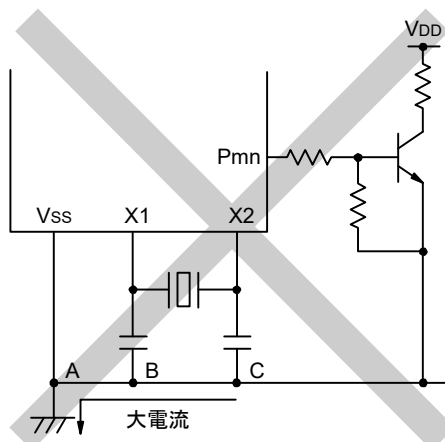
容量成分の原因となり、発振特性に影響を与える配置はしないでください。

図5-14 発振子の接続の悪い例(2/2)

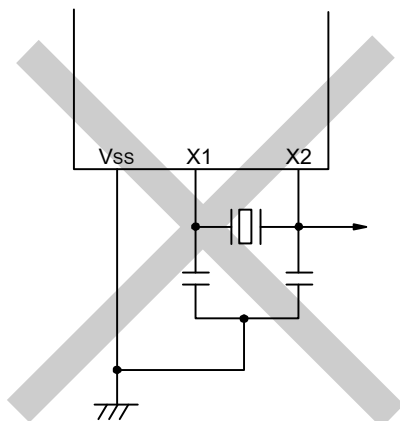
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点、B点、C点の電位が変動する)



(g) 信号を取り出している



5.4.2 高速オンチップ・オシレータ

RL78/G1Gは、高速オンチップ・オシレータを内蔵しています。オプションバイト(000C2H)により48 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 4 MHz, 1 MHzから周波数を選択することが可能です。48 MHzを選択した場合は、CPUクロックは2分周された周波数になります。クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.3 低速オンチップ・オシレータ

RL78/G1Gは、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ, 12ビット・インターバル・タイマ, タイマRJのクロックとして使用します。CPUクロックとして使用できません。

オプション・バイト(000C0H)のビット4(WDTON)または、動作スピード・モード制御レジスタ(OSMC)のビット4(WUTMMCK0)のどちらか、または両方が1のときに動作します。

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0以外では、低速オンチップ・オシレータの発振は継続します。ただし、ウォッチドッグ・タイマ動作時かつWUTMMCK0 = 0の場合のみ、WDSTBYON = 0かつHALTおよびSTOP, SNOOZE モードの状態で低速オンチップ・オシレータの発振が停止します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速オンチップ・オシレータ・クロックが停止することはありません。

5.5 クロック発生回路の動作

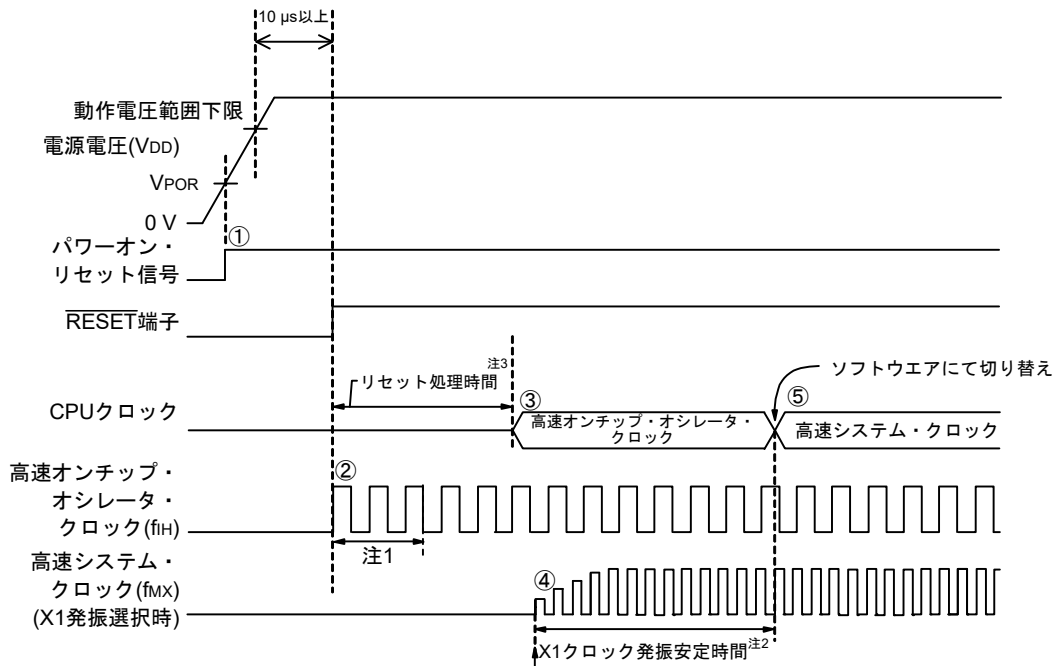
クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します(図5-1を参照)。

- メイン・システム・クロック fMAIN
- ・高速システム・クロック fMX
- X1クロック fx
- 外部メイン・システム・クロック fEX
- ・高速オンチップ・オシレータ・クロック fiH
- 低速オンチップ・オシレータ・クロック fiL
- CPU/周辺ハードウェア・クロック fCLK

RL78/G1Gでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。

図5-15に電源電圧投入時のクロック発生回路の動作を示します。

図5-15 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット(POR)回路による内部リセット信号が発生されます。
ただし、29.5 AC特性に示す動作電圧範囲に達するまで、電圧検出回路が外部リセットでリセット状態を保ちます(上図は、外部リセット使用時の例)。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPU が高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックは、ソフトウェアにて発振開始を設定してください(5.6.2 X1発振回路の設定例を参照)。
- ⑤ CPU をX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.2 X1発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注3. リセット処理時間は、第20章 パワーオン・リセット回路を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU / 周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) の FRQSEL0-FRQSEL4 により、48 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 4 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・	7	6	5	4	3	2	1	0
バイト (000C2H)	CMODE1 0/1	CMODE0 0/1	1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
1	0	LS (低速メイン)モード	V _{DD} = 2.7 V ~ 5.5 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン)モード	V _{DD} = 2.7 V ~ 5.5 V @ 1 MHz ~ 24 MHz
上記以外		設定禁止	

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速内蔵発振回路の周波数	
					f _{HOCO}	f _{IH}
1	0	0	0	0	48 MHz	24 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	1	0	1	1	4 MHz	4 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択		
			FRQSEL4 = 0		FRQSEL4 = 1
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0
0	0	0	f _{IH} = 24 MHz	設定禁止	f _{IH} = 24 MHz f _{HOCO} = 48 MHz
0	0	1	f _{IH} = 12 MHz	f _{IH} = 16 MHz	f _{IH} = 12 MHz f _{HOCO} = 24 MHz
0	1	0	f _{IH} = 6 MHz	f _{IH} = 8 MHz	f _{IH} = 6 MHz f _{HOCO} = 12 MHz
0	1	1	f _{IH} = 3 MHz	f _{IH} = 4 MHz	f _{IH} = 3 MHz f _{HOCO} = 6 MHz
1	0	0	設定禁止	f _{IH} = 2 MHz	設定禁止
1	0	1	設定禁止	f _{IH} = 1 MHz	設定禁止
上記以外			設定禁止		

5.6.2 X1発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをfCLKに設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット(1)、 $f_x > 10$ MHz以上の場合はAMPHビットをセット(1)してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL						AMPH
	0	1	0	0	0	0	0	1

AMPHビット：X1発振クロックが10 MHz以下の場合は0を設定してください。

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。

例)10 MHzの発振子で102 μ s以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア(0)してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP							HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。

例)10 MHzの発振子で102 μ s以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC			MCS	MCM0				
	0	0	0	1	0	0	0	0

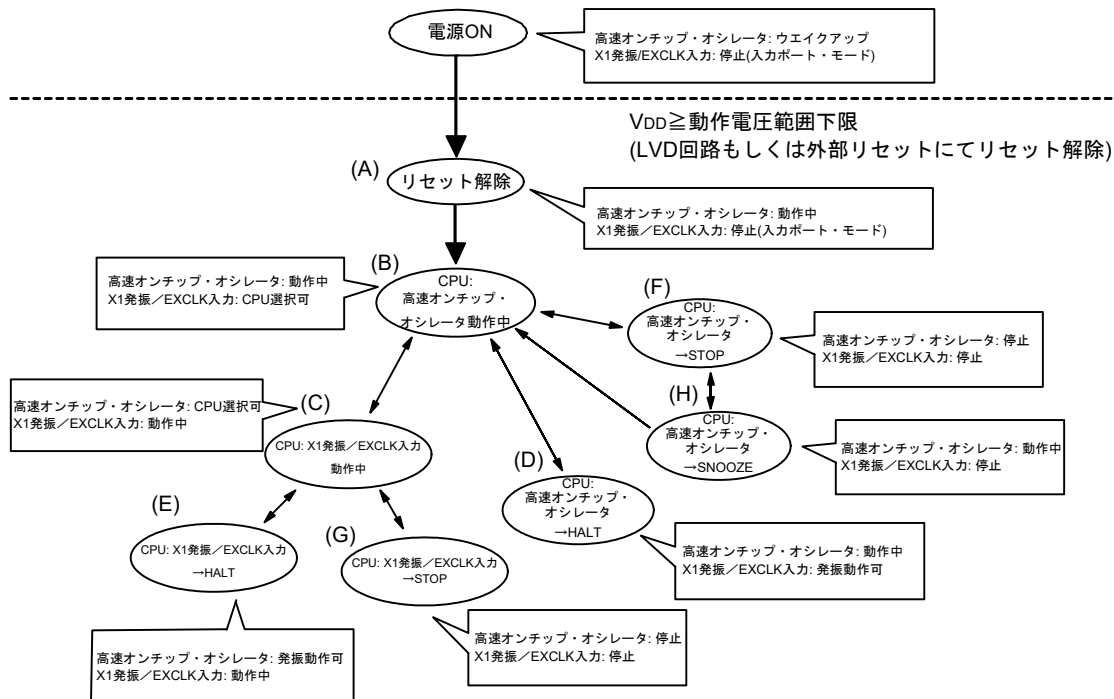
注意 HOCODIVレジスタの設定は周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS(低速メイン)モード	1 MHz～8 MHz	2.7 V～5.5 V
1	1	HS(高速メイン)モード	1 MHz～24 MHz	2.7 V～5.5 V
上記以外		設定禁止		

5.6.3 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 16に示します。

図5 - 16 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5-3～表5-5に示します。

表5-3 CPUクロックの移行とSFRレジスタの設定例(1/3)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要(リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) (X1クロック : 1 MHz ≤ f _x ≤ 10 MHz)	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) (X1クロック : 10 MHz < f _x ≤ 20 MHz)	0	1	1	注2	0	確認必要	1
(A) → (B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第29章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

備考1. × : don't care

備考2. 表5-3～表5-5の(A)～(H)は、図5-16の(A)～(H)と対応しています。

表5-4 CPUクロックの移行とSFRレジスタの設定例(2/3)

(3) CPUを高速オンチップ・オシレータ・クロック動作(B)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	0	1	0	注2	0	確認必要	1
(B) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	0	1	1	注2	0	確認必要	1
(B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第29章 電气的特性を参照)に電源電圧が達してから、クロックを設定してください。

備考1. × : don't care

備考2. 表5-3~表5-5の(A)-(H)は、図5-16の(A)-(H)と対応しています。

(4) CPUを高速システム・クロック動作(C)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) → (B)	0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0の場合 : 18 μs ~ 65 μs

FRQSEL4 = 1の場合 : 18 μs ~ 135 μs

備考1. 表5-3~表5-5の(A)-(H)は、図5-16の(A)-(H)と対応しています。

備考2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表5-5 CPUクロックの移行とSFRレジスタの設定例(3/3)

- (5) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にHALTモード(D)へ移行
 ・CPUが高速システム・クロック動作中 (C) にHALTモード(E)へ移行

状態遷移	設定内容
(B) → (D) (C) → (E)	HALT命令を実行する

備考 表5-3～表5-5の(A)～(H)は、図5-16の(A)～(H)と対応しています。

- (6) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード(F)へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード(G)へ移行

(設定順序) →

状態遷移		設定内容		
(B) → (F)		STOPモード中に動作禁止	—	STOP命令を実行する
(C) → (G)	X1発振	の周辺機能を停止する	OSTSレジスタを設定する	
	外部クロック		—	

- (7) STOPモード(F)からSNOOZEモード(H)へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、12.8 SNOOZEモード機能、14.5.7 SNOOZEモード機能、14.7.3 SNOOZEモード機能を参照してください。

備考 表5-3～表5-5の(A)～(H)は、図5-16の(A)～(H)と対応しています。

5.6.4 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-6 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止(HIOSTOP = 1)すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)
	外部メイン・システム・クロック	移行不可	—
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)
	X1クロック	・ 移行不可	—

5.6.5 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット4 (MCM0) の設定により、メイン・システム・クロックの切り替え (高速オンチップ・オシレータ・クロック→高速システム・クロック) をすることができます。

実際の切り替え動作は、CKCレジスタを書き換えた直後ではなく、CKCレジスタを変更したのち、数クロックは切り替え前のクロックで動作します (表5-7、表5-8参照)。

メイン・システム・クロックが高速システム・クロックで動作しているか、高速オンチップ・オシレータ・クロックで動作しているかは、CKCレジスタのビット5 (MCS) で判定できます。

CPUクロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表5-7 メイン・システム・クロックの切り替えに要する最大時間

クロック A	切り替え方向	クロック B	備考
f _{IH}	↔	f _{MX}	表5-8参照

表5-8 f_{IH}⇔f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} ≥ f _{IH}		2クロック
	f _{MX} < f _{IH}		2f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} ≥ f _{IH}	2f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	2クロック	

備考1. 表5-8のクロック数は、切り替え前のCPUクロックのクロック数です。

備考2. 表5-8のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速オンチップ・オシレータ・クロックに切り替える場合 (f_{IH} = 8 MHz, f_{MX} = 10 MHz 発振時)

$$2 \cdot f_{MX}/f_{IH} = 2 \cdot (10/8) = 2.5 \rightarrow 3 \text{クロック}$$

5.6.6 クロック発振停止前の条件

クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-9 クロック発振停止前の条件とフラグ設定

クロック	クロック停止 (外部クロック入力無効) 前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	

5.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数(参考)を示します。

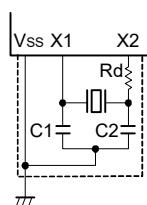
注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78 マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図5 - 17 外付け回路例

(a) X1発振



(1) X1発振

2024年4月現在

メーカー	発振子	SMD/ リード	品名	周波数 (MHz)	フラッシュ 動作モード注1	発振回路定数注2(参考)			電圧範囲(V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社 村田製作所注3	セラミック 発振子	SMD	CSTCC2M00G56-R0	2.0	LS	(47)	(47)	0	2.7	5.5
		SMD	CSTCR4M00G55-R0	4.0		(39)	(39)	0		
		リード	CSTLS4M00G53-B0			(15)	(15)	0		
		SMD	CSACN4M00G530000R0			15	15	0		
		SMD	CSTCE8M00G52-R0	8.0		(10)	(10)	0		
		リード	CSTLS8M00G53-B0			(15)	(15)	0		
		SMD	CSTCC2M00G56-R0	2.0	HS	(47)	(47)	0		
		SMD	CSTCR4M00G55-R0	4.0		(39)	(39)	0		
		リード	CSTLS4M00G53-B0			(15)	(15)	0		
		SMD	CSACN4M00G530000R0			15	15	0		
		SMD	CSTCE8M00G52-R0	8.0		(10)	(10)	0		
		リード	CSTLS8M00G53-B0			(15)	(15)	0		
		SMD	CSACM8M00G530005R0		10	10	0			
		SMD	CSTCE10M0G52-R0	10.0	(10)	(10)	0			
		リード	CSTLS10M0G53-B0		(15)	(15)	0			
		SMD	CSACM10M0G530005R0		10	10	0			
		SMD	CSTCE12M0G52-R0	12.0	(10)	(10)	0			
		SMD	CSACM12M0G530005R0		10	10	0			
		SMD	CSTCE16M0V53-R0	16.0	(15)	(15)	0			
		リード	CSTLS16M0X51-B0		(5)	(5)	0			
SMD	CSTCE20M0V51-R0	20.0	(5)	(5)	0					
リード	CSTLS20M0X51-B0		(5)	(5)	0					
京セラクリスタ ルデバイス 株式会社注4	水晶振動子	SMD	CX8045GB04000D0PPS01	4.0	LS	7	7	0	2.7	5.5
		SMD	CX8045GB08000D0PPS01	8.0		6	6	0		
		SMD	CX8045GB04000D0PPS01	4.0	HS	7	7	0		
		SMD	CX8045GB08000D0PPS01	8.0		6	6	0		
		SMD	CX3225SB12000D0PPSC1	12.0		6	6	0		
		SMD	CX3225SB16000D0PPSC1	16.0		6	6	0		
		SMD	CX3225SB20000D0PPSC1	20.0		6	6	0		
日本電波工業 株式会社注5	水晶振動子	SMD	NX3225GA-20.000M-CHP- CRG-12	20.0	HS	3	3	0	2.7	5.5

注1. フラッシュ動作モードは、オプション・バイト(000C2H)のCMODE1, CMODE0ビットで設定します。

注2. C1, C2の欄の()内は、内蔵容量値を示しています。

注3. この振動子を使用する場合、マッチングの詳細については、株式会社村田製作所 (<http://www.murata.co.jp>) にお問い合わせください。

注4. この振動子を使用する場合、マッチングの詳細については、京セラクリスタルデバイス株式会社 (<http://www.kyocera-crystal.jp>, <http://www.kyocera.co.jp>) にお問い合わせください。

注5. この振動子を使用する場合、マッチングの詳細については、日本電波工業株式会社 (<http://www.ndk.com>) にお問い合わせください。

備考 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 24\text{ MHz}$

LS (低速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$

第6章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットのユニット、チャンネル数は、製品によって異なります。

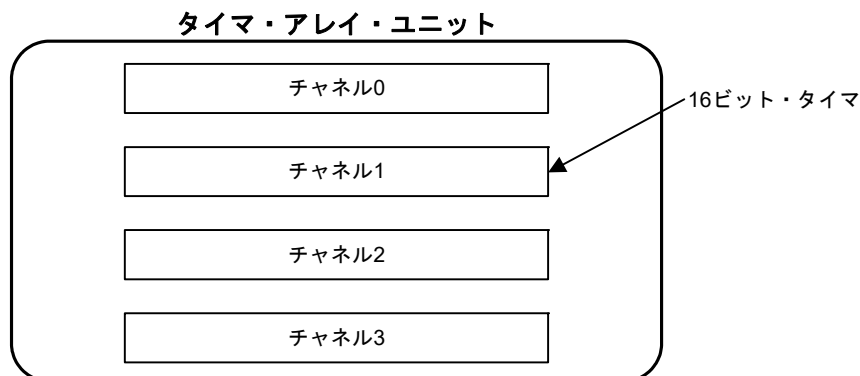
ユニット	チャンネル	30, 32, 44 ピン
ユニット0	チャンネル0	○
	チャンネル1	○
	チャンネル2	○
	チャンネル3	○

注意1. タイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

注意2. この章では、以降の主な説明を44ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは4個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせるとして高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照ください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> • インターバル・タイマ(→6.8.1参照) • 方形波出力(→6.8.1参照) • 外部イベント・カウンタ(→6.8.2参照) • 分周器機能注(→6.8.3参照) • 入力パルス間隔測定(→6.8.4参照) • 入力信号のハイ/ロウ・レベル幅測定(→6.8.5参照) • デイレイ・カウンタ(→6.8.6参照) 	<ul style="list-style-type: none"> • ワンショット・パルス出力(→6.9.1参照) • PWM出力(→6.9.2参照) • 多重PWM出力(→6.9.3参照)

注 タイマ・アレイ・ユニット0のチャンネル0のみ

ユニット0のチャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ(上位/下位)として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ機能(上位/下位8ビット・タイマ)/方形波出力(下位8ビット・タイマのみ)
- 外部イベント・カウンタ機能(下位8ビット・タイマのみ)
- デイレイ・カウント機能(下位8ビット・タイマのみ)

6.1 タイマ・アレイ・ユニットの機能

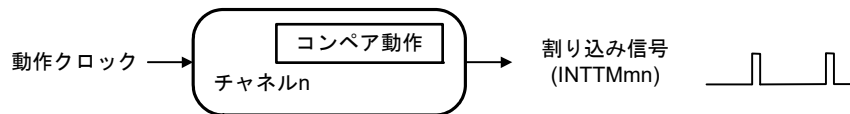
タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

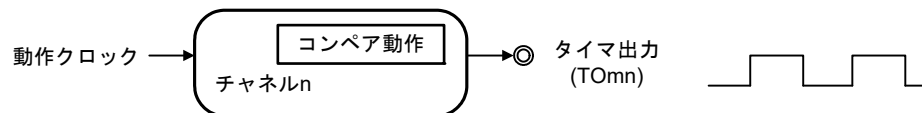
(1) インターバル・タイマ

一定間隔で割り込み(INTTMmn)を発生する基準タイマとして利用できます。



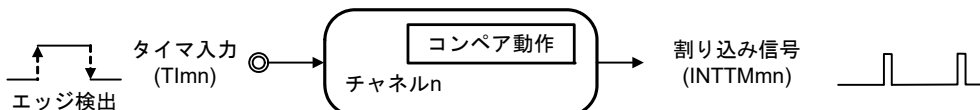
(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50% の方形波をタイマ出力端子 (TOmn) より出力します。



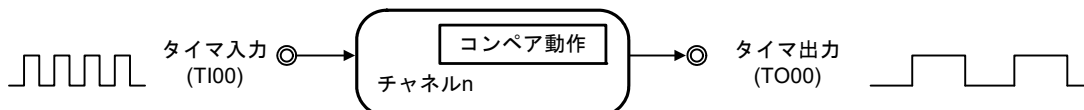
(3) 外部イベント・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



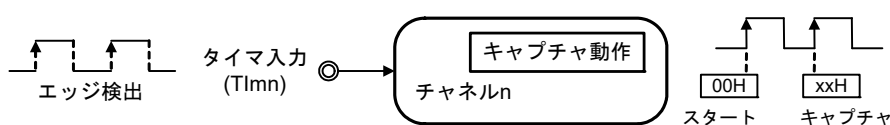
(4) 分周器機能(ユニット0のチャンネル0のみ)

タイマ入力端子(TI00)から入力されたクロックを分周して出力端子(TO00)より出力します。



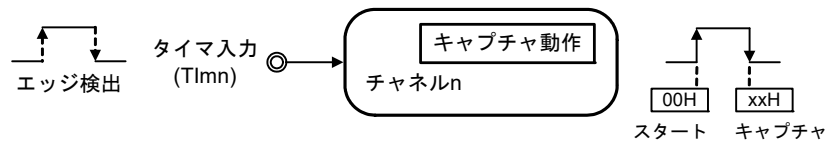
(5) 入力パルス間隔測定

タイマ入力端子(TImn)に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



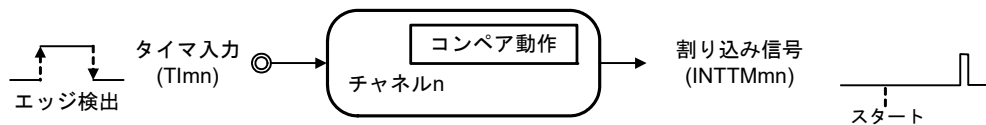
(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子(Tl_{mn})に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(7) デイレイ・カウンタ

タイマ入力端子(Tl_{mn})に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

備考2. チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

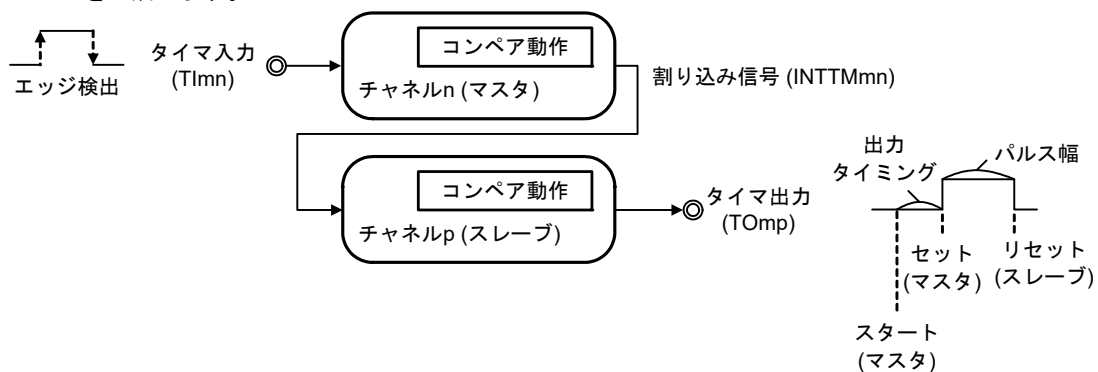
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期を制御する基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組み合わせることで実現する機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

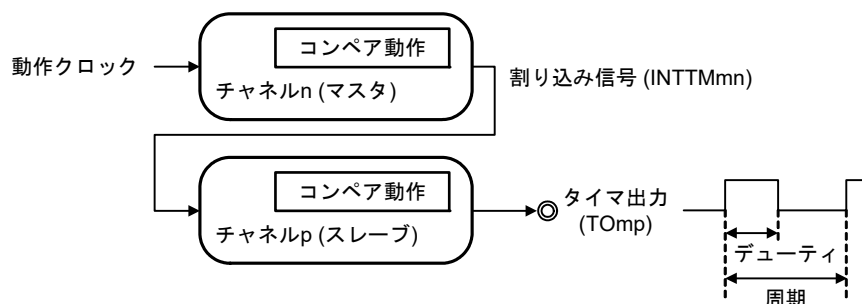
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



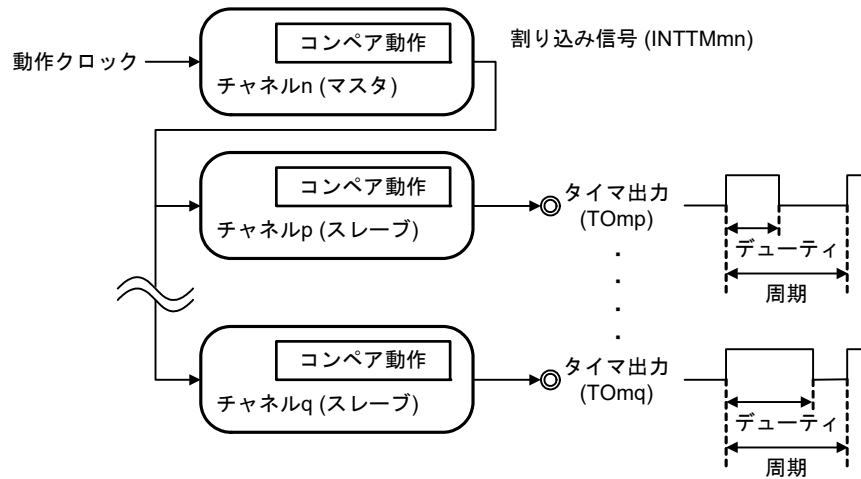
(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation)出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大3種類生成することができます。



注意 複数チャンネル連動動作機能の使用にあたっては、いくつかのルールがあります。

複数チャンネル連動動作機能のルールの詳細については、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m: ユニット番号 ($m = 0$), n: チャンネル番号 ($n = 0-3$),

p, q: スレーブ・チャンネル番号 ($n < p < q \leq 3$)

6.1.3 8ビット・タイマ動作機能(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI03注1
タイマ出力	TO00-TO03注1, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ 0 (PER0) ・タイマ・クロック選択レジスタ m (TPSm) ・タイマ・チャンネル許可ステータス・レジスタ m (TEm) ・タイマ・チャンネル開始レジスタ m (TSm) ・タイマ・チャンネル停止レジスタ m (TTm) ・タイマ入力選択レジスタ 0 (TIS0) ・タイマ出力許可レジスタ m (TOEm) ・タイマ出力レジスタ m (TOm) ・タイマ出力レベル・レジスタ m (TOLm) ・タイマ出力モード・レジスタ m (TOMm) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタ mn (TMRmn) ・タイマ・ステータス・レジスタ mn (TSRmn) ・ノイズ・フィルタ許可レジスタ 1 (NFEN1) ・ポート・モード・コントロール・レジスタ (PMCxx)注2 ・ポート・モード・レジスタ (PMxx)注2 ・ポート・レジスタ (Pxx)注2

注1. 詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

注2. 製品によって設定するポート・モード・コントロール・レジスタ (PMCxx), ポート・モード・レジスタ (PMxx)とポート・レジスタ (Pxx)が異なります。詳細は、4.5 使用するポート機能および兼用機能のレジスタの設定を参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

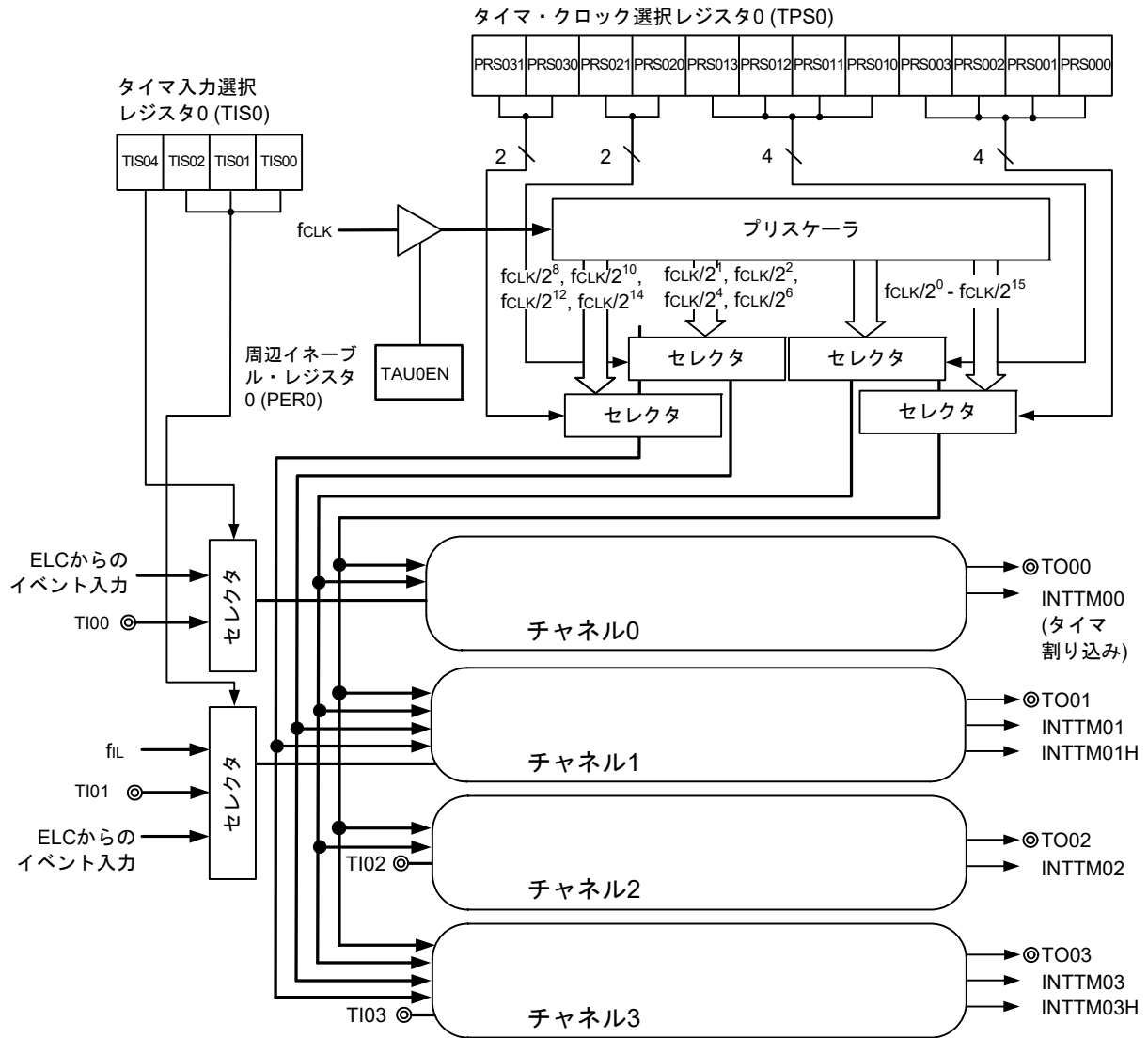
表6-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャンネル		各製品の入出力端子の有無
		30, 32, 44 ピン
ユニット0	チャンネル0	P00/TI00, P01/TO00
	チャンネル1	P16/TI01/TO01
	チャンネル2	P17/TI02/TO02
	チャンネル3	P31/TI03/TO03

備考 タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

図6-1～図6-5にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニット0の全体ブロック図



備考 f_L : 低速オンチップ・オシレータ・クロック周波数

図6-2 タイマ・アレイ・ユニット0のチャンネル0内部ブロック図

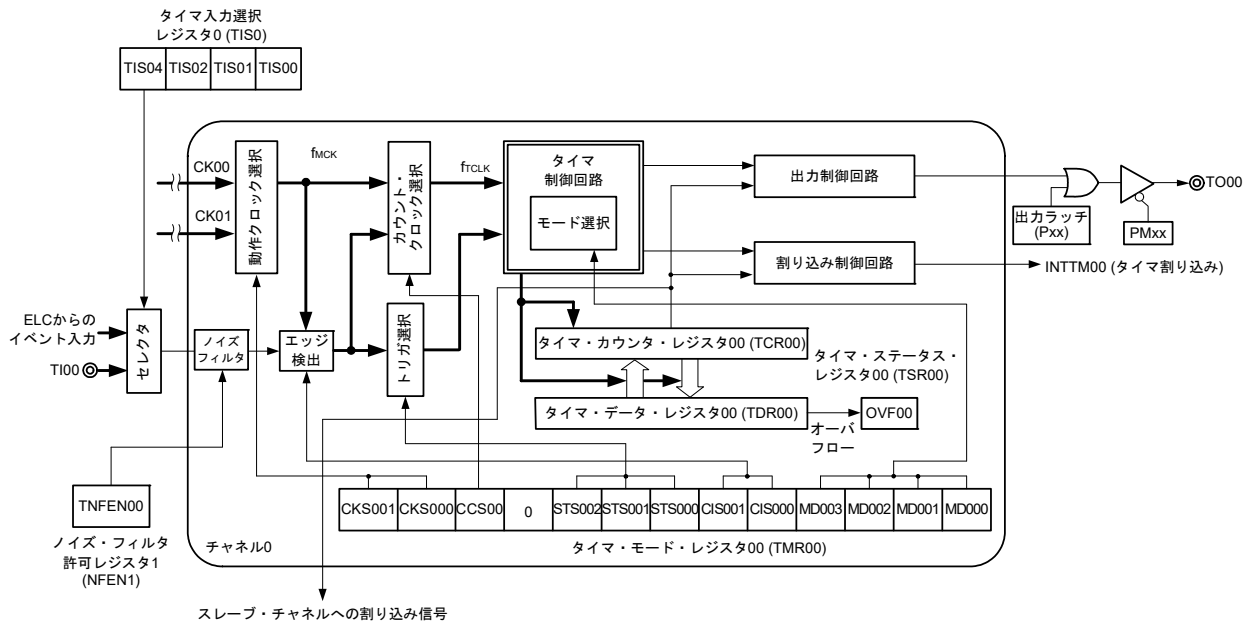


図6-3 タイマ・アレイ・ユニット0のチャンネル1内部ブロック図

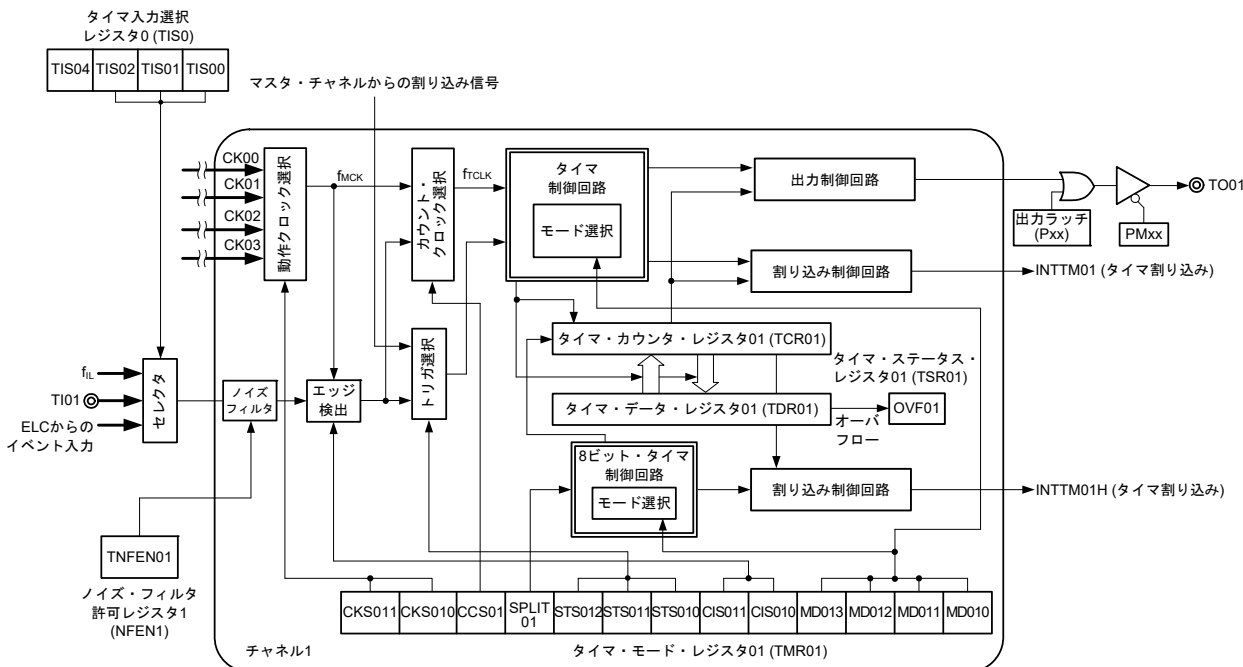


図6-4 タイマ・アレイ・ユニット0のチャンネル2内部ブロック図

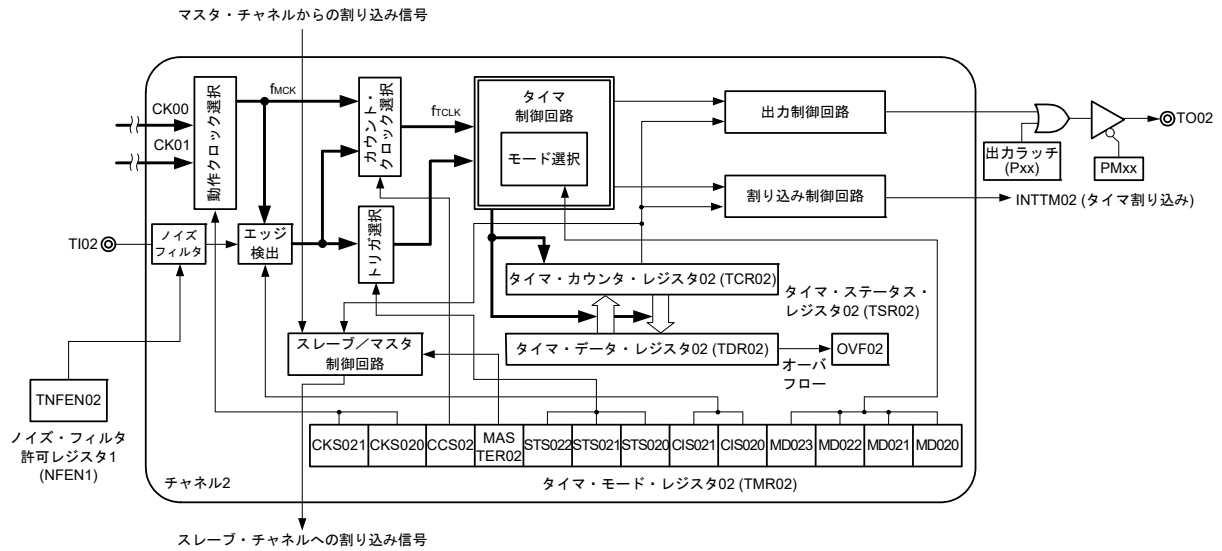
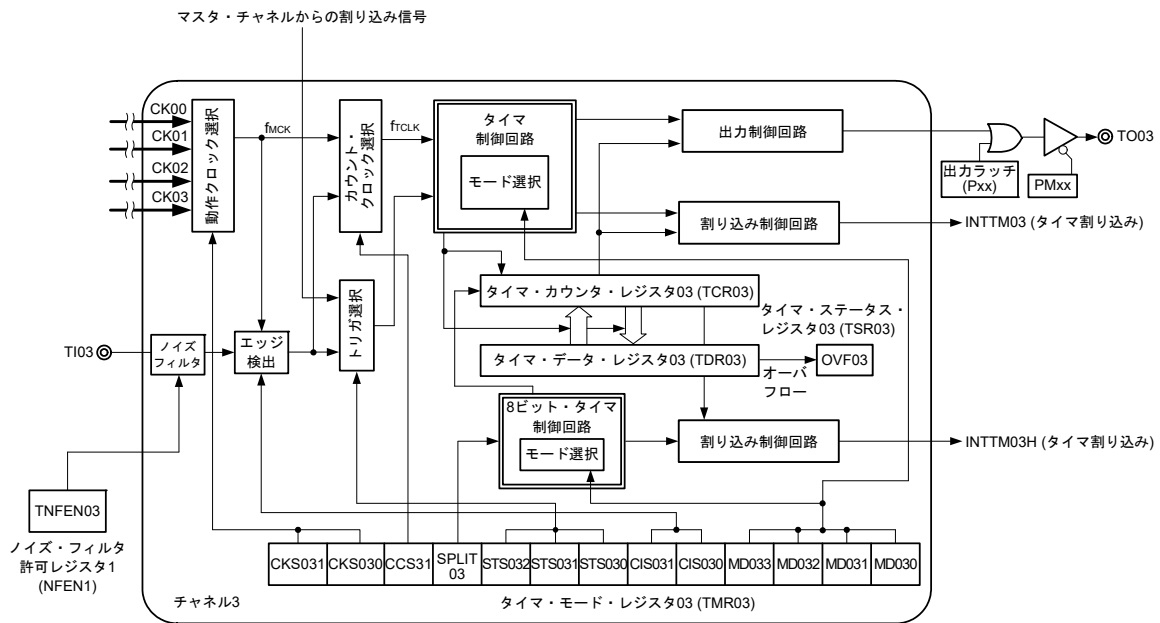


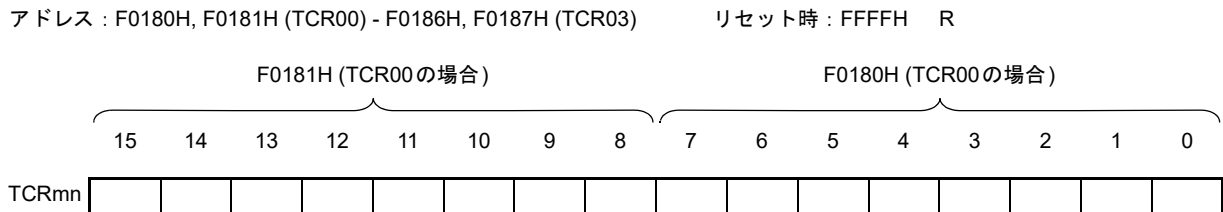
図6-5 タイマ・アレイ・ユニット0のチャンネル3内部ブロック図



6.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。
 インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビット
 で動作モードを選択することで切り替わります(6.3.3 タイマ・モード・レジスタ mn (TMRmn)参照)。

図6-6 タイマ・カウンタ・レジスタ mn (TCRmn)のフォーマット



備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

タイマ・カウンタ・レジスタ mn (TCRmn)をリードすることにより、カウント値をリードできます。
 次の場合、カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺イネーブル・レジスタ 0 (PER0)のTAUmENビットをクリアしたとき
- PWM出力モードで、スレーブ・チャネルのカウント完了時
- ディレイ・カウント・モードで、スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで、マスタ/スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで、スレーブ・チャネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- キャプチャ・モード時に、スタート・トリガが入力されたとき
- キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタをリードしても、タイマ・データ・レジスタ mn (TDRmn)にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-3 各動作モード時のタイマ・カウンタ・レジスタ mn (TCRmn)読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn)の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1)した場合の値	カウント動作を一時停止 (TTmn = 1)後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ & ワンカウント・モード	アップ・カウ	0000H	停止時の値	不定	TDRmnレジスタのキャプチャ値 + 1

注 チャンネルnがタイマ動作停止状態 (TEmn = 0)かつカウント動作許可状態 (TSmn = 1)にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0 ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3 レジスタは、8 ビット・タイマ・モード時 (タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3)のSPLITビットが1)に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図6-7 タイマ・データ・レジスタ mn (TDRmn) (n = 0, 2)のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02) リセット時 : 0000H R/W

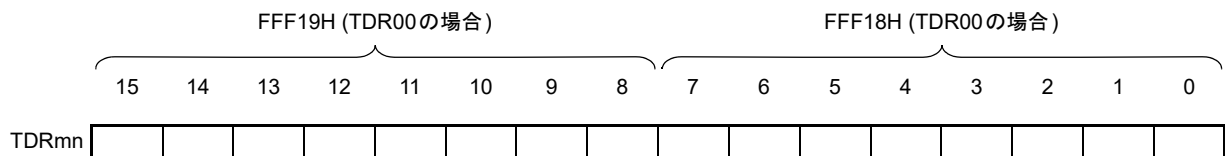
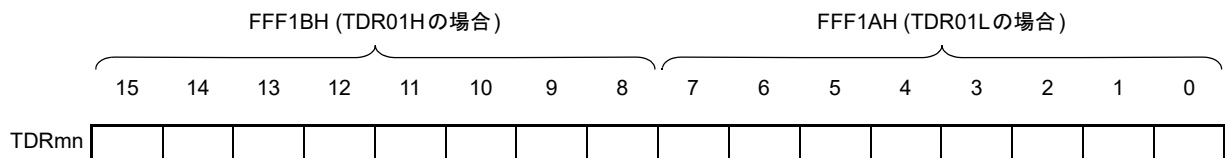


図6-8 タイマ・データ・レジスタ mn (TDRmn) (n = 1, 3)のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03) リセット時 : 0000H R/W



(1) タイマ・データ・レジスタ mn (TDRmn)をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号(INTTmn)を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(2) タイマ・データ・レジスタ mn (TDRmn)をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn)のカウンタ値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn)で設定します。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-3)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- タイマ・クロック選択レジスタ m (TPSm)
- タイマ・モード・レジスタ mn (TMRmn)
- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- タイマ・チャンネル開始レジスタ m (TSm)
- タイマ・チャンネル停止レジスタ m (TTm)
- タイマ入力選択レジスタ 0 (TIS0)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 1 (NFEN1)
- ポート・モード・コントロール・レジスタ (PMCxx)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は、必ずビット0 (TAU0EN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図6-9 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN	0	0	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初に TAUmEN = 1 の状態で、下記のレジスタの設定を行ってください。TAUmEN = 0 の場合は、タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (タイマ入力選択レジスタ 0 (TIS0)、ノイズ・フィルタ許可レジスタ 1 (NFEN1)、ポート・モード・コントロール・レジスタ 0, 12, 14 (PMC0, PMC12, PMC14)、ポート・モード・レジスタ 0, 1, 3 (PM0, PM1, PM3)、ポート・レジスタ 0, 1, 3 (P0, P1, P3)は除く)。

- ・タイマ・ステータス・レジスタ mn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- ・タイマ・チャンネル開始レジスタ m (TSm)
- ・タイマ・チャンネル停止レジスタ m (TTm)
- ・タイマ出力許可レジスタ m (TOEm)
- ・タイマ出力レジスタ m (TOM)
- ・タイマ出力レベル・レジスタ m (TOLm)
- ・タイマ出力モード・レジスタ m (TOMm)

注意2. 次のビットには必ず“0”を設定してください。

ビット 1, 3, 4, 6, 7

6.3.2 タイマ・クロック選択レジスタ m (TPSm)

TPSmレジスタは、外部プリスケラから各チャンネルに共通して供給される2種類または4種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する16ビット・レジスタです。TPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。さらにチャンネル1, 3では、TPSmレジスタのビット9, 8でCKm2を、ビット13, 12でCKm3を選択します。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm0を選択 (CKSmn1, CKSmn0 = 0, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm2を選択 (CKSmn1, CKSmn0 = 0, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm1を選択 (CKSmn1, CKSmn0 = 1, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択 (CKSmn1, CKSmn0 = 1, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図6-10 タイマ・クロック選択レジスタm (TPSm)のフォーマット(1/2)

アドレス : F01B6H, F01B7H (TPS0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk)の選択 ^注 (k = 0, 1)				
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz
0	1	1	0	fCLK/2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz
0	1	1	1	fCLK/2 ⁷	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz
1	0	1	1	fCLK/2 ¹¹	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。

動作クロック (fmck), TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意1. ビット 15, 14, 11, 10には、必ず0を設定してください。

注意2. 動作クロック (CKmk)にfCLK(分周なし)を選択し、TDR0m = 0000H (m = 0-3)を設定すると、タイマ・アレイ・ユニットからの割り込み要求を検出しません。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPS0レジスタで選択するクロックの波形は、立ち上がりからfCLKの1周期分だけハイ・レベルになります。詳しくは、6.5.1 カウント・クロック (fTCLK)を参照してください。

図6-11 タイマ・クロック選択レジスタm (TPSm)のフォーマット(2/2)

アドレス : F01B6H, F01B7H (TPS0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2)の選択注				
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	
0	0	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	1	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
1	0	fCLK/2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
1	1	fCLK/2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz

PRS m31	PRS m30	動作クロック (CKm3)の選択注				
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	
0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
0	1	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz
1	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。
動作クロック (fmck), TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット 15, 14, 11, 10には、必ず0を設定してください。

チャンネル 1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表6-4に示すインターバル時間を実現することが可能です。

表6-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間注(fCLK = 20 MHz)			
		16 μs	160 μs	1.6 ms	16 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2 ²	○	—	—	—
	fCLK/2 ⁴	○	○	—	—
	fCLK/2 ⁶	○	○	—	—
CKm3	fCLK/2 ⁸	—	○	○	—
	fCLK/2 ¹⁰	—	○	○	—
	fCLK/2 ¹²	—	—	○	○
	fCLK/2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2ⁿの詳細は、6.5.1 カウント・クロック (fCLK)を参照してください。

6.3.3 タイマ・モード・レジスタ mn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fMCK)の選択、カウント・クロックの選択、マスタ/スレーブの選択、16ビット/8ビット・タイマの選択(チャンネル1, 3のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード(インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント)設定を行います。

TMRmnレジスタは、動作中(TEmn = 1のとき)の書き換えは禁止です。ただし、ビット7, 6 (CISmn1, CISmn0)は、一部の機能で動作中(TEmn = 1のとき)の書き換えが可能です(詳細は6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000Hになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2: MASTERmnビット(n = 2)

TMRm1, TMRm3: SPLITmnビット(n = 1, 3)

TMRm0: 0固定

図6 - 12 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (fMCK)の選択													
0	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm0													
0	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm2													
1	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm1													
1	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm3													
動作クロック (fMCK)は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (fTCLK)を生成します。															
動作クロック CKm2, CKm3は、チャンネル1, 3のみ選択可能です。															

CCSmn	チャンネルnの動作クロック (fTCLK)の選択														
0	CKSmn0, CKSmn1ビットで指定した動作クロック (fMCK)														
1	TImn端子からの入力信号の有効エッジ チャンネル0では、TIS0で選択した入力信号の有効エッジ チャンネル1では、TIS0で選択した入力信号の有効エッジ チャンネル3では、ISCで選択した入力信号の有効エッジ														
カウント・クロック (fTCLK)は、カウンタ、出力制御回路、割り込み制御回路に使用されます。															

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウント・クロック (fTCLK)にCKSmn0, CKSmn1ビットで指定した動作クロック (fMCK), TImn端子からの入力信号の有効エッジのどれを選択していても、fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH)させてください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6 - 13 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(2/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2)のビット11)

MASTERmn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作(スレーブ／マスタ)の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2のみマスタ・チャンネル(MASTERmn = 1)に設定できます。	
チャンネル0は0固定となります(チャンネル0は最上位チャンネルのため, このビットの設定によらずマスタとして動作します)。	
また, 単独チャンネル動作機能として使用するチャンネルは, MASTERmn = 0にします。	

(TMRmn (n = 1, 3)のビット11)

SPLIT mn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効(他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用(複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

注1. ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

図6 - 14 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(3/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	Tlmn端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がリエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は、CISmn1-CISmn0ビット = 10Bに設定してください。		

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-3)

図6-15 タイマ・モード・レジスタ mn (TMRmn)のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/方形波出力/分周器機能/PWM出力(マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ワンショット・パルス出力/PWM出力(スレーブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ/ロウ・レベル幅測定	アップ・カウンタ
上記以外			設定禁止		

MDmn0ビットの動作は、各動作モードによって変わります(下表を参照)。

動作モード(MDmn3-MDmn1で設定(上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード(0, 0, 0) ・キャプチャ・モード(0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
・イベント・カウンタ・モード(0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ワンカウント・モード注2(1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
上記以外	設定禁止	

- 注1. ビット11はRead onlyの0固定で、書き込みは無視されます。
- 注2. ワンカウント・モードでは、カウント動作開始時の割り込み出力(INTTMmn), TOMn出力は制御しません。
- 注3. 動作中にスタート・トリガ(TSmn = 1)が掛かると、カウンタを初期化し、再カウント・スタートします(割り込み要求は発生せず)。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

6.3.4 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B)のみ有効です。各動作モードにおけるOVFビットの動作とセット/クリア条件は表6-5を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図6-16 タイマ・ステータス・レジスタ mn (TSRmn)のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01A6H, F01A7H (TSR03) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア(OVF = 0)されます。	

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

表6-5 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可/停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm)の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図6-17 タイマ・チャンネル許可ステータス・レジスタ m (TEm)のフォーマット

アドレス : F01B0H, F01B1H (TE0)

リセット時 : 0000H R

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	0	0	0	0	TEm3	TEm2	TEm1	TEm0
-----	---	---	---	---	-----------	---	-----------	---	---	---	---	---	------	------	------	------

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可/停止状態の表示														
0	動作停止状態														
1	動作許可状態														

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可/停止状態の表示														
0	動作停止状態														
1	動作許可状態														

TEm n	チャンネルnの動作許可/停止状態の表示														
0	動作停止状態														
1	動作許可状態														
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可/停止状態を表示します。															

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.3.6 タイマ・チャンネル開始レジスタ m (TSm)

TSmレジスタは、タイマ・カウンタ・レジスタ mn (TCRmn)を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが1にセットされます。Tsmn, TSHm1, TSHm3ビットはトリガ・ビットなので、動作許可状態(TEmn, TEHm1, TEHm3 = 1)になるとすぐTsmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは、16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmレジスタは0000Hになります。

図6-18 タイマ・チャンネル開始レジスタ m (TSm)のフォーマット

アドレス : F01B2H, F01B3H (TS0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSH m3	0	TSH m1	0	0	0	0	0	TSm3	TSm2	TSm1	TSm0

TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSm n	チャンネルnの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、Tsm1, Tsm3が下位側8ビット・タイマの動作許可(スタート)トリガになります。

(注意, 備考は次ページにあります。)

注意1. ビット15-12, 10, 8-4には必ず0を設定してください。

注意2. TImn 端子入力を使用しない機能から、TImn 端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ mn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn 端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn 端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

備考1. TSm レジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

6.3.7 タイマ・チャンネル停止レジスタ m (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態(TEmn, TTHm1, TTHm3 = 0)になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図6 - 19 タイマ・チャンネル停止レジスタ m (TTm)のフォーマット

アドレス : F01B4H, F01B5H (TT0)

リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTm	0	0	0	0	TTHm3	0	TTHm1	0	0	0	0	0	0	0	0	0
-----	---	---	---	---	-------	---	-------	---	---	---	---	---	---	---	---	---

TTHm3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ														
0	トリガ動作しない														
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。														

TTHm1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ														
0	トリガ動作しない														
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。														

TTm n	チャンネルnの動作停止トリガ														
0	トリガ動作しない														
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。														

注意 ビット15-12, 10, 8-4には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

6.3.8 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、チャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図6 - 20 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00

TIS04	チャンネル0で使用するタイマ入力の選択
0	タイマ入力端子((TI00)の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子(TI01)の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子(TI01)の入力信号
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック (fil)
上記以外			設定禁止

注意1. 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK} + 10$ ns以上を入力してください。

注意2. タイマ入力選択レジスタ0 (TIS0)で、ELCからのイベント入力信号を選択する場合、ノイズ・フィルタ許可レジスタ1 (NFEN1)で該当する端子のノイズフィルタをOFFに設定し、タイマ・クロック選択レジスタ0 (TPS0)はfCLKを選択してください。

6.3.9 タイマ出力許可レジスタ m (TOEm)

TOEmレジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えることができなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは、TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEm レジスタは 0000H になります。

図6-21 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0)

リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TOEm	0	0	0	0	0	0	0	0	0	0	0	0	TOE m3	TOE m2	TOE m1	TOE m0
------	---	---	---	---	---	---	---	---	---	---	---	---	-----------	-----------	-----------	-----------

TOEmn	チャンネル n のタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず、出力を固定します。 TOmn ビットへの書き込みが可能となり、TOmn ビットに設定したレベルが TOmn 端子から出力されます。
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し、出力波形を生成します。 TOmn ビットへの書き込みは無視される。

注意 ビット 15-4 には必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.3.10 タイマ出力レジスタ m (TOm)

TOmレジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子(TOmn)から出力されます。

このレジスタのTOmnビットのソフトウェアによる書き換えは、タイマ出力禁止時(TOEmn = 0)のみ可能です。タイマ出力許可時(TOEmn = 1)は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P00/TI00, P01/TO00, P16/TI01/TO01, P17/TI02/TO02, P31/TI03/TO03をポート機能として使用する場合は、該当するTOmnビットに“0”を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmレジスタは0000Hになります。

図6-22 タイマ出力レジスタ m (TOm)のフォーマット

アドレス : F01B8H, F01B9H (TO0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	0	0	0	0	TOm3	TOm2	TOm1	TOm0

TOm n	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 ビット15-4には必ず0を設定してください。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

6.3.11 タイマ出力レベル・レジスタ m (TOLm)

TOLmレジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図6-23 タイマ出力レベル・レジスタ m (TOLm)のフォーマット

アドレス : F01BCH, F01BDH (TOL0)

リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TOLm	0	0	0	0	0	0	0	0	0	0	0	0	TOLm	TOLm	TOLm	0
													3	2	1	

TOLmn	チャンネルnのタイマ出力レベルの制御														
0	正論理出力(アクティブ・ハイ)														
1	反転出力(アクティブ・ロウ)														

注意 ビット15-4, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

6.3.12 タイマ出力モード・レジスタ m (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能(PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可(TOEmn = 1)時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図6-24 タイマ出力モード・レジスタ m (TOMm)のフォーマット

アドレス : F01BEH, F01BFH (TOM0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	0	0	0	0	TOM m3	TOM m2	TOM m1	0

TOM mn	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード(タイマ割り込み要求信号(INTTMmn)によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号(INTTMmn)で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号(INTTMmp)で出力がリセットされる)

注意 ビット15-4, 0には必ず0を設定してください。

備考 m : ユニット番号(m = 0)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

n = 0 : p = 1, 2, 3

n = 2 : p = 3

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連動動作機能の基本ルール参照してください)

6.3.13 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU/周辺ハードウェア・クロック (fMCK) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、CPU/周辺ハードウェア・クロック (fMCK) で同期化だけを行います注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

注 詳細は、6.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、6.5.2 カウンタのスタート・タイミングを参照。

図6-25 ノイズ・フィルタ許可レジスタ1 (NFEN1)のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN03	TI03端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							

6.3.14 ポート・モード・レジスタ 0, 1, 3 (PM0, PM1, PM3)

ポート0, 1, 3の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート(P01/TO00, P17/TO02/TI02など)をタイマ出力として使用するとき、各ポートに対応するポート・モード・コントロール・レジスタ(PMCxx)のビット、各ポートに対応するポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

- (例) P17/TO02/TI02をタイマ出力として使用する場合
 ポート・モード・レジスタ1のPM17ビットを0に設定
 ポート・レジスタ1のP17ビットを0に設定

タイマ出力端子を兼用するポート(P00/TI00, P17/TO02/TI02など)をタイマ入力として使用するとき、各ポートに対応するポート・モード・コントロール・レジスタ(PMCxx)のビット、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

- (例) P17/TO02/TI02をタイマ入力として使用する場合
 ポート・モード・レジスタ1のPM17ビットを1に設定
 ポート・レジスタ1のP17ビットは0または1のどちらでもかまいません。

PM0, PM1, PM3レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、FFHになります。

図6-26 ポート・モード・レジスタ0, 1, 3 (PM0, PM1, PM3)のフォーマット(44ピン製品の場合)

アドレス : FFF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	1	1	PM01	PM00

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

PMmn	Pmn端子の入出力モードの選択(m = 0, 1, 3 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期をカウントする基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組み合わせることで実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

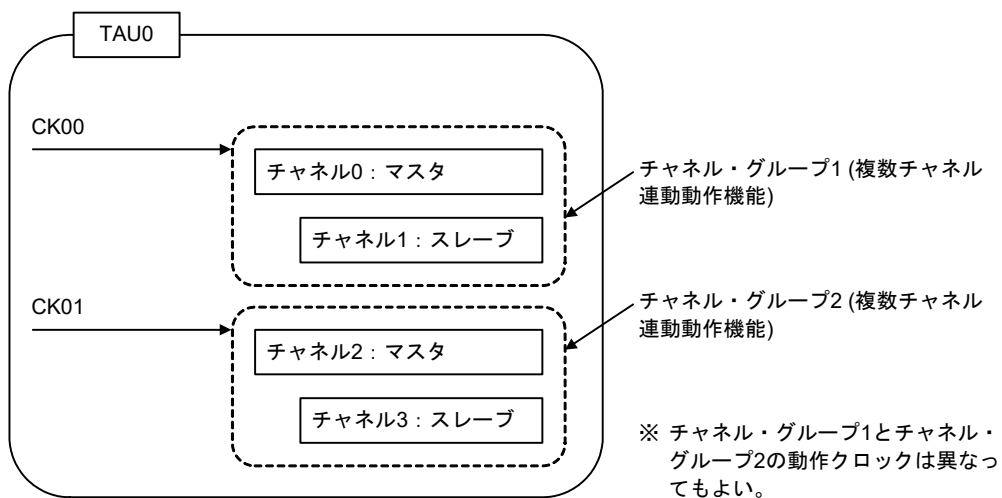
- (1) マスタ・チャンネルには、偶数チャンネル(チャンネル0, チャンネル2)のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル0をマスタ・チャンネルにした場合、チャンネル1以降(チャンネル1, チャンネル2, チャンネル3)をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0, チャンネル2をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1をスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル3をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット(タイマ・モード・レジスタmn (TMRmn)のビット15, 14)が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット(TSmn)を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット(TTmn)を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0)は、マスタ・ビットがなく、“0”に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ(1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

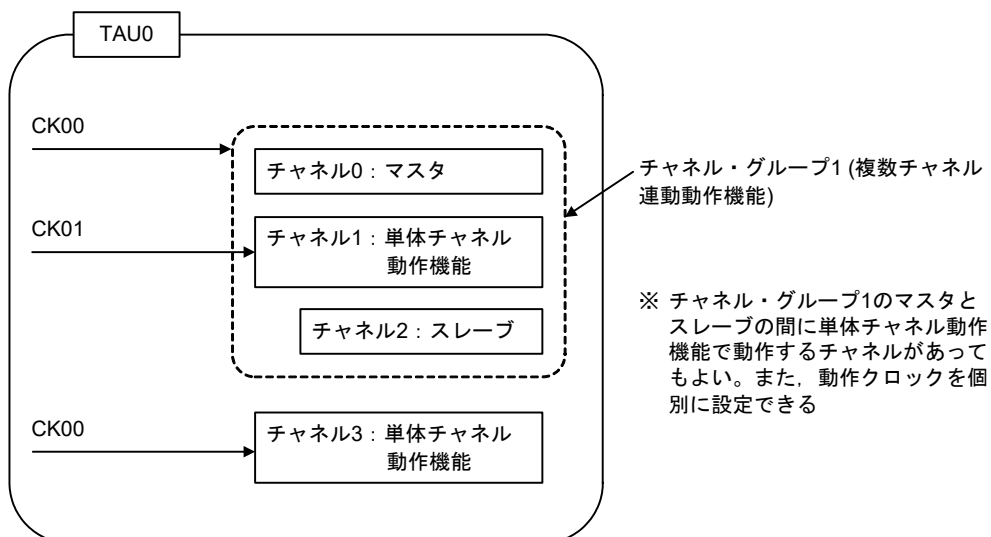
それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

例1



例2



6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ mn (TMRmn) の SPLITmn ビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時に INTTm1H/INTTm3H (割り込み) を出力します (MDmn0 = 1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットの TMRmn レジスタの CKSmn1, CKSmn0 ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3 ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3 ビットで確認できます。
- (7) 下位8ビットは、TMRmn レジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - インターバル・タイマ機能/方形波機能
 - 外部イベント・カウンタ機能
 - ディレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3 ビットを操作することでチャンネル動作を開始し、TTm1/TTm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3 ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3 ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3 ビットを操作することでチャンネル1, 3が動作します。TEHm3 ビットと TEHm1 ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能(ワンショット・パルス, PWM, 多重PWM)を使用することはできません。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 1, 3)

6.5 カウンタの動作

6.5.1 カウント・クロック (fTCLK)

タイマ・アレイ・ユニットのカウント・クロック (fTCLK) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)
- TImn 端子からの入力信号の有効エッジ

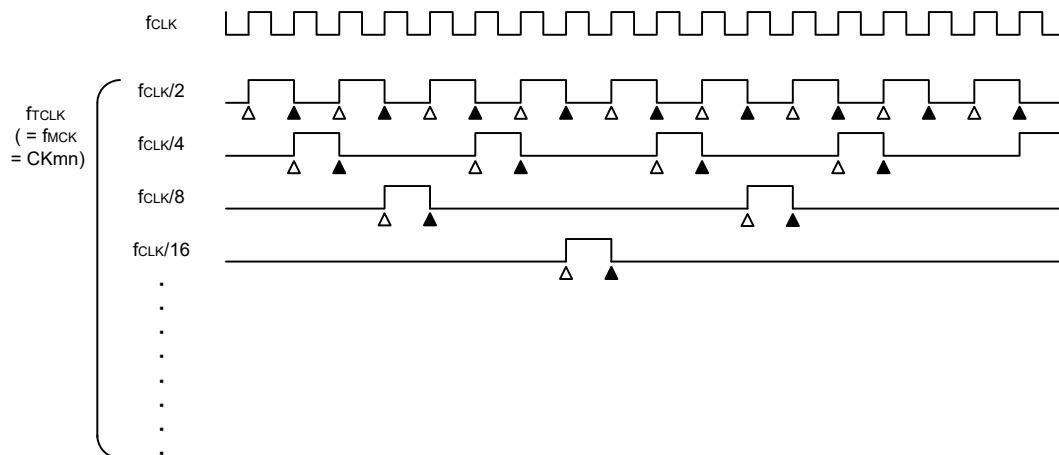
タイマ・アレイ・ユニットは、fCLK との同期をとって動作するよう設計されているため、カウント・クロック (fTCLK) のタイミングは次のようになります。

- (1) CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK) を選択した場合 (CCSmn = 0)

カウント・クロック (fTCLK) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、fCLK ~ fCLK/2¹⁵ となります。fCLK の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから fCLK の 1 周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるため、カウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6-27 fCLKとカウント・クロック (fTCLK) のタイミング (CCSmn = 0時)



備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

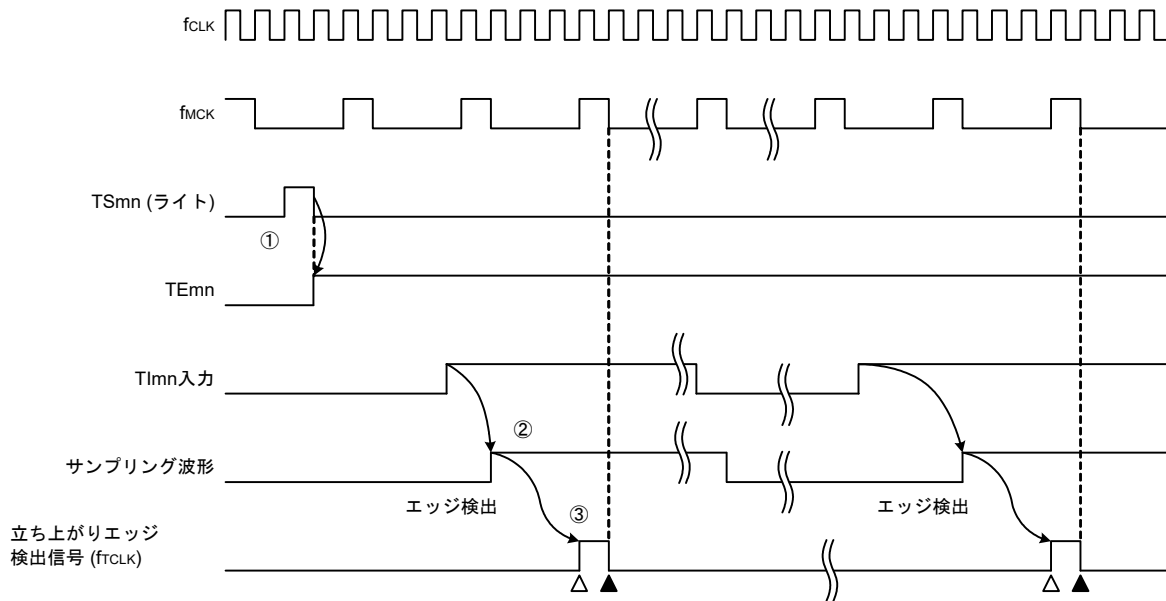
備考2. fCLK : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (fCLK) は、TImn 端子からの入力信号の有効エッジを検出し、次の fMCK の立ち上がり同期した信号になります。これは、実際の TImn 端子からの入力信号より fMCK の 1~2 クロック分遅れた信号になります (ノイズ・フィルタ使用時は、fMCK の 3~4 クロック分遅れます)。

また、タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるためにカウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上 “TImn 端子からの入力信号の有効エッジでカウントする” と表現します。

図6-28 カウント・クロック (fCLK) のタイミング (CCSmn = 1, ノイズ・フィルタ未使用時)



- ① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。
- ② TImn 入力の立ち上がりが fMCK でサンプリングされます。
- ③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

備考2. fCLK : CPU/周辺ハードウェア・クロック

fMCK : チャンネル n の動作クロック

備考3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デレイ・カウンタ, ワンショット・パルス出力機能の TImn 入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn (TCRmn)は、タイマ・チャンネル開始レジスタ m (TSMn)の TSmn ビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn)のカウント・スタートまでの動作を、表 6-6 に示します。

表 6-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn)のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出(TSmn = 1)後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSmn ビットに1を書き込むことにより、TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います(6.5.3 (3) キャプチャ・モードの動作(入力パルス間隔測定)参照)。
ワンカウント・モード	タイマ動作停止(TEmn = 0)の状態、TSmn ビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (4) ワンカウント・モードの動作参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止(TEmn = 0)の状態、TSmn ビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います(6.5.3 (5) キャプチャ&ワンカウント・モードの動作(ハイ・レベル幅測定)参照)。

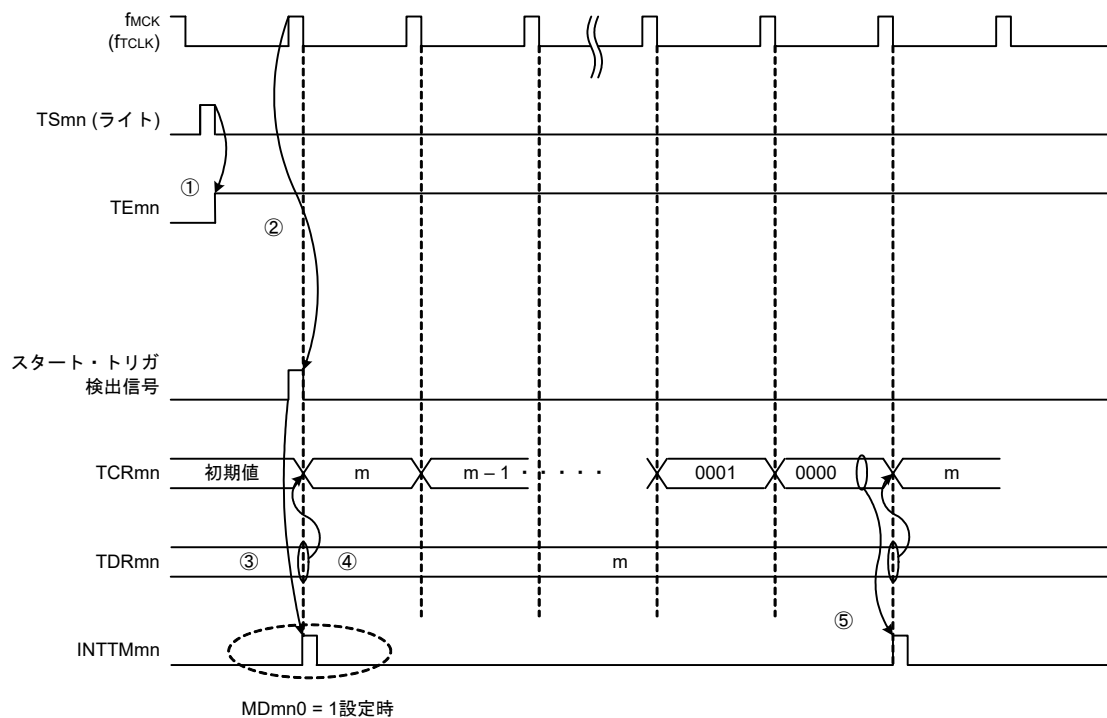
6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TS_{mn} ビットへ1を書き込むことにより、動作許可状態 (TE_{mn} = 1) となります。タイマ・カウンタ・レジスタ mn (TCR_{mn}) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック (f_{MCK}) で、スタート・トリガが発生します。
- ③ MD_{mn0} ビットが1に設定されている場合には、スタート・トリガにより、INTTM_{mn}が発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ mn (TDR_{mn}) の値を TCR_{mn} レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCR_{mn} レジスタがカウント・ダウンしてカウント値が 0000H になると、次のカウント・クロック (f_{MCK}) で INTTM_{mn} を発生し、タイマ・データ・レジスタ mn (TDR_{mn}) の値を TCR_{mn} レジスタにロードしてカウントを継続します。

図6-29 動作タイミング(インターバル・タイマ・モード)



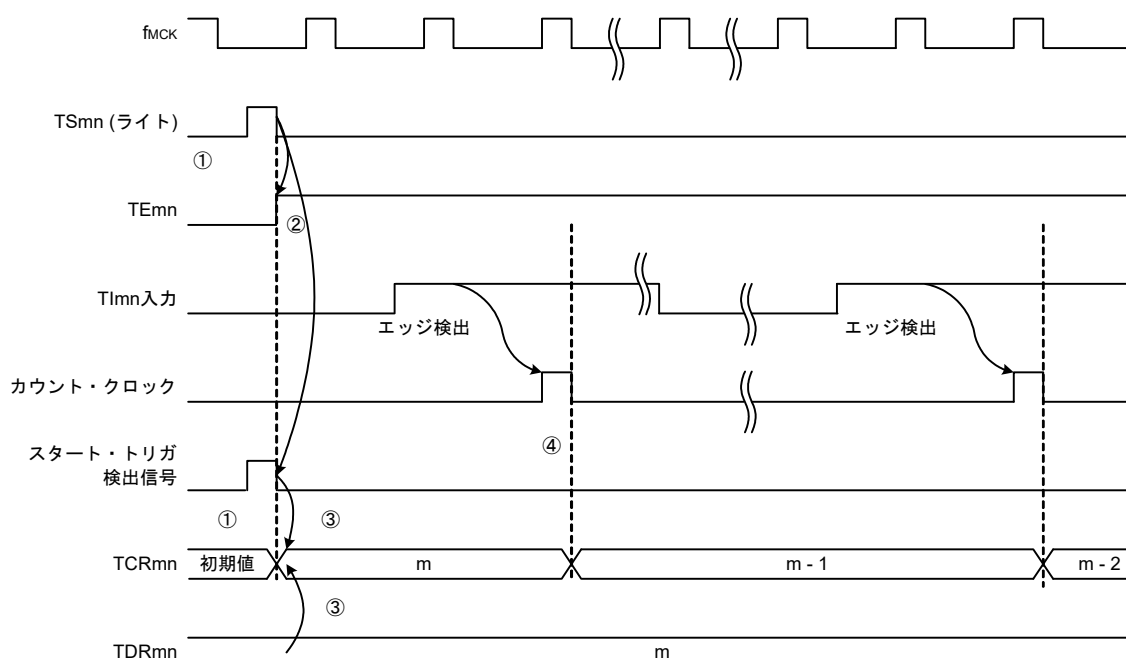
備考 f_{MCK}, スタート・トリガ検出信号, INTTM_{mn} は、f_{CLK}に同期して1クロック間アクティブとなります。

注意 カウント・クロックの1周期目の動作はTS_{mn}ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD_{mn0} = 1に設定することで、カウント開始時に割り込みを発生させることができます。

(2) イベント・カウンタ・モードの動作

- ①動作停止状態($TE_{mn} = 0$)の期間、タイマ・カウンタ・レジスタ mn (TCR_{mn})は、初期値を保持します。
- ② TS_{mn} ビットへ1を書き込むことにより、動作許可状態($TE_{mn} = 1$)となります。
- ③ $TS_{mn} = 1 \rightarrow TE_{mn} = 1$ と同時に、 TCR_{mn} レジスタにタイマ・データ・レジスタ mn (TDR_{mn})の値をロードし、カウントを開始します。
- ④以降は TI_{mn} 入力の有効エッジでのカウント・クロックに従い、 TCR_{mn} レジスタの値をダウン・カウントします。

図6-30 動作タイミング(イベント・カウンタ・モード)

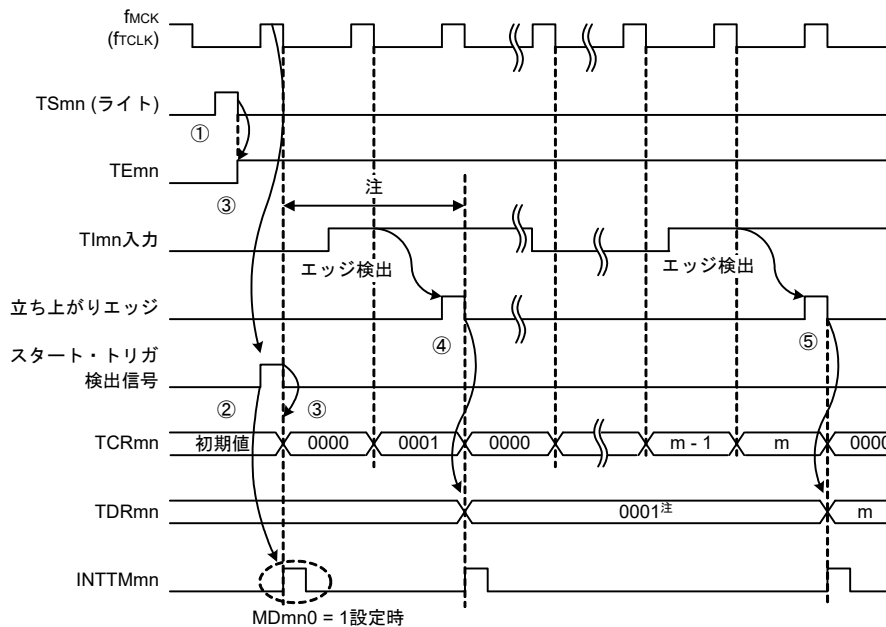


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は TI_{mn} 入力からさらに f_{MCK} の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TI_{mn} 入力とカウント・クロック(f_{MCK})が非同期なためです。

(3) キャプチャ・モードの動作(入力パルス間隔測定)

- ①TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ②タイマ・カウンタ・レジスタmn (TCRmn)は、カウント・クロック発生まで初期値を保持しています。
- ③動作許可後の最初のカウント・クロック(fMCK)で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④TImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。
- ⑤次のTImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図6-31 動作タイミング(キャプチャ・モード：入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている(トリガがある)場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ(④)でのキャプチャ値はパルス間隔とならない(この例では0001: 2クロック分の間隔)ので、無視してください。

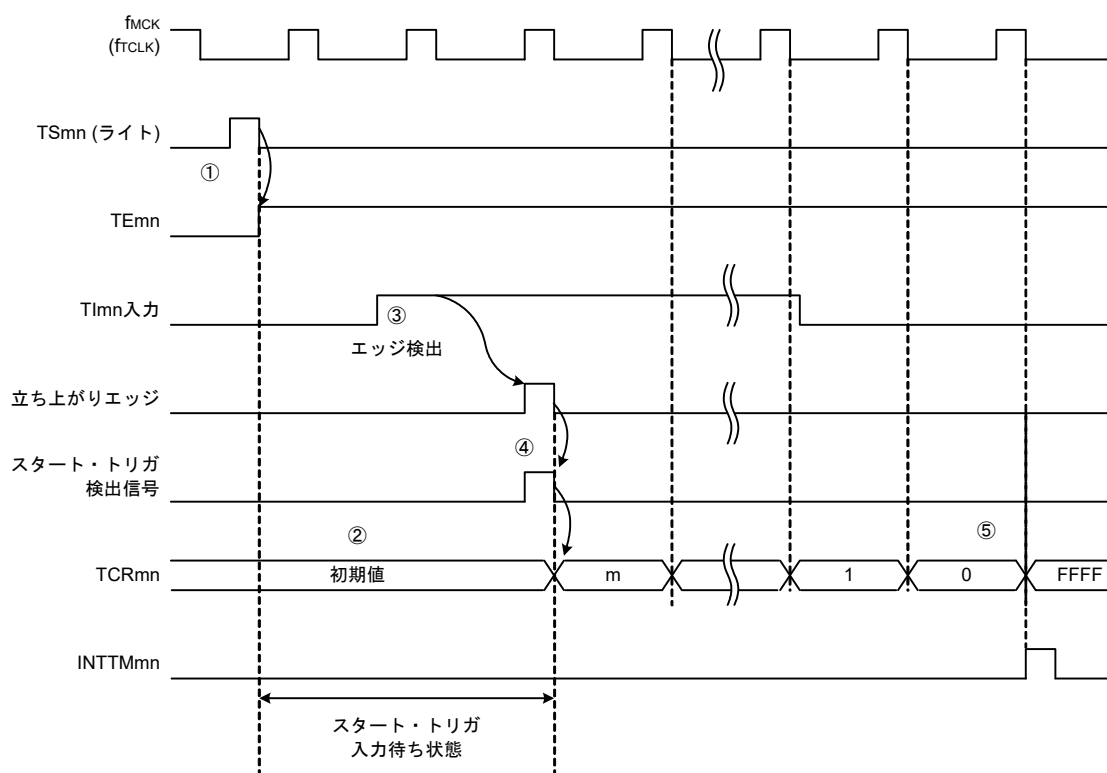
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(4) ワンカウント・モードの動作

- ①TSmnビットへ1を書き込むことにより、動作許可状態($TEmn = 1$)となります。
- ②タイマ・カウンタ・レジスタmn (TCRmn)は、スタート・トリガ発生まで初期値を保持しています。
- ③TImn入力の立ち上がりエッジを検出します。
- ④スタート・トリガが発生して、TDRmnレジスタの値(m)をTCRmnレジスタにロードし、カウントを開始します。
- ⑤TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図6 - 32 動作タイミング(ワンカウント・モード)

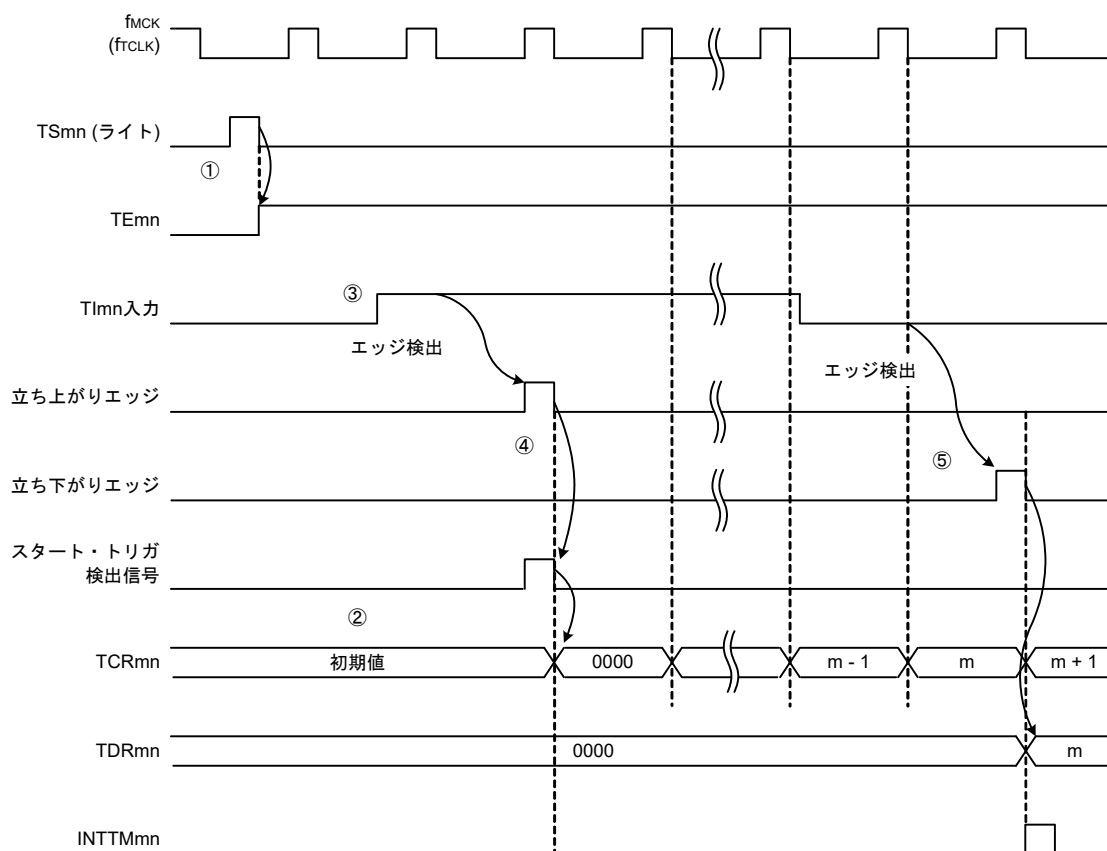


備考 このタイミングはノイズフィルタを使用しないときのタイミングです。ノイズフィルタをオンすると、エッジ検出は TImn 入力からさらに f_{MCK} の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック (f_{MCK}) が非同期なためです。

(5) キャプチャ & ワンカウント・モードの動作(ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (TS m)の TS m n ビットに 1 を書き込むことにより、動作許可状態 (TE m n = 1) となります。
- ② タイマ・カウンタ・レジスタ mn (TCR mn)は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000H を TCR mn レジスタにロードし、カウントを開始します。
- ⑤ TImn 入力の立ち下がりエッジを検出すると、TCR mn レジスタの値を TDR mn レジスタにキャプチャし、INTTM mn 割り込みが発生します。

図6-33 動作タイミング(キャプチャ & ワンカウント・モード: ハイ・レベル幅測定)

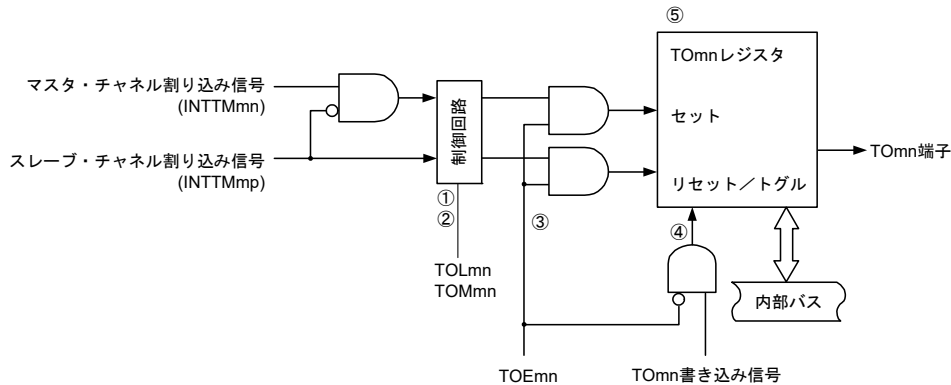


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は TImn 入力からさらに f_{MCK} の 2 周期分 (合計で 3~4 周期分) 遅くなります。1 周期分の誤差は TImn 入力とカウント・クロック (f_{MCK}) が非同期なためです。

6.6 チャネル出力(TOmn端子)の制御

6.6.1 TOmn端子の出力回路の構成

図6-34 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

- ①TOMmn = 0 (マスタ・チャンネル出力モード)のときは、タイマ出力レベル・レジスタm (TOLm)の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み)のみがタイマ出力レジスタm (TOM)に伝えられます。
- ②TOMmn = 1 (スレーブ・チャンネル出力モード)のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOMレジスタに伝えられます。
このとき、TOLmレジスタが有効となり、次のように信号を制御します。
TOLmn = 0の場合 : 正転動作 (INTTMmn → セット, INTTMmp → リセット)
TOLmn = 1の場合 : 反転動作 (INTTMmn → リセット, INTTMmp → セット)
また、INTTMmnとINTTMmpが同時に発生した場合(PWM出力の0%出力時)は、INTTMmp (リセット信号)が優先され、INTTMmn (セット信号)はマスクされます。
- ③タイマ出力許可状態 (TOEmn = 1)で、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOMレジスタに伝えられます。TOMレジスタへの書き込み (TOmnライト信号)は無効となります。
また、TOEmn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は、タイマ動作停止 (TOEmn = 0)に設定しTOMレジスタに値を書き込む必要があります。
- ④タイマ出力禁止状態 (TOEmn = 0)で、対象チャンネルのTOmnビットへの書き込み (TOmnライト信号)が有効となります。タイマ出力禁止状態 (TOEmn = 0)のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)はTOMレジスタに伝えられません。
- ⑤TOMレジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

備考 m : ユニット番号 (m = 0)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

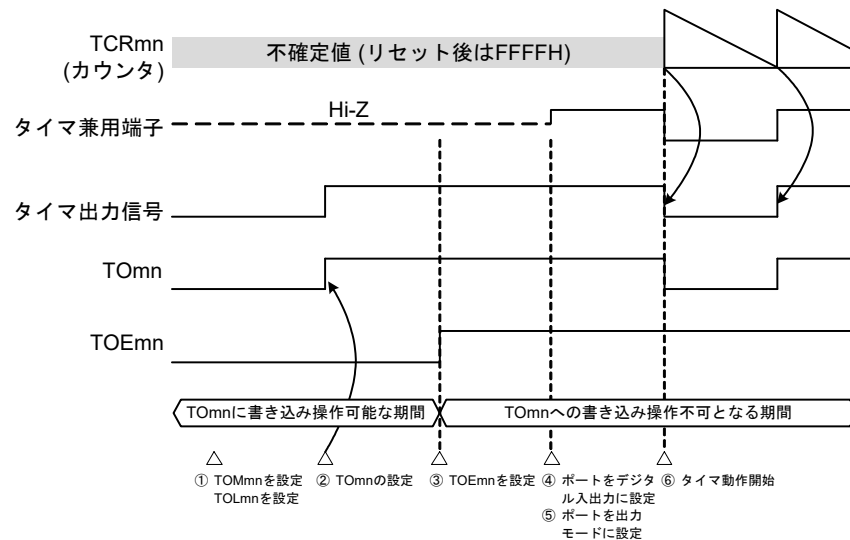
n = 0 : p = 1, 2, 3

n = 2 : p = 3

6.6.2 TOMn 端子の出力設定

TOMn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6 - 35 タイマ出力設定から動作開始までの状態変化



①タイマ出力の動作モードを設定します。

- ・TOMmnビット(0: マスタ・チャンネル出力モード, 1: スレーブ・チャンネル出力モード)
- ・TOLmnビット(0: 正論理出力, 1: 負論理出力)

②タイマ出力レジスタ m (TOM) を設定することにより, タイマ出力信号が初期状態に設定されます。

③TOEmn ビットに 1 を書き込み, タイマ出力動作を許可します (TOM レジスタへの書き込みは不可となります)。

④ ポート・モード・コントロール・レジスタ (PMCxx) でポートをデジタル入出力に設定します。(6.3.14 ポート・モード・レジスタ 0, 1, 3 (PM0, PM1, PM3) 参照)。

⑤ポートの入出力設定を出力に設定します(6.3.14 ポート・モード・レジスタ 0, 1, 3 (PM0, PM1, PM3) 参照)。

⑥タイマを動作許可にします (TSmn = 1)。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.6.3 チャネル出力操作時の注意事項

(1) タイマ動作中のTOM,TOEm,TOLm,TOMmレジスタの設定値変更について

タイマ動作(タイマ・カウンタ・レジスタ mn (TCRmn), タイマ・データ・レジスタ mn (TDRmn)の動作)は, TOMn 出力回路とは独立しています。よって, タイマ出力レジスタ m (TOM), タイマ出力許可レジスタ m (TOEm), タイマ出力レベル・レジスタ m (TOLm), タイマ出力モード・レジスタ m (TOMm) の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形を TOMn 端子から出力するためには, 6.8, 6.9 節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み (INTTMmn) 近辺で, TOM レジスタを除く TOEm レジスタ, TOLm レジスタ, TOMm レジスタの設定値変更を行うと, タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn 端子に出力される波形が異なる場合があります。

備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

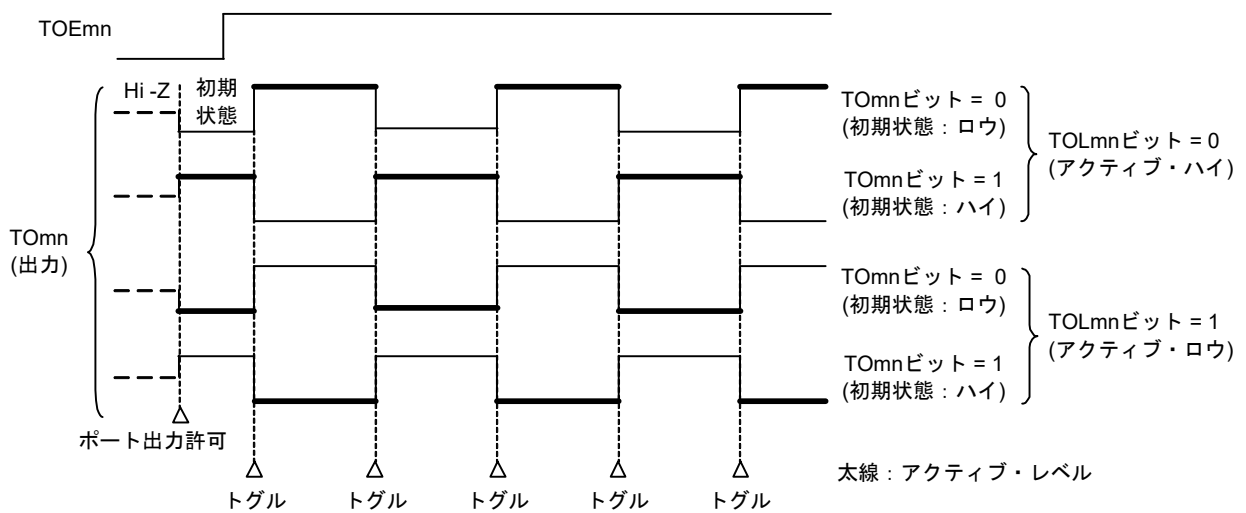
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止(TOEmn = 0)の状態ではタイマ出力レジスタ m (TOM)に書き込みを行い、初期レベル変更後、タイマ出力許可状態(TOEmn = 1)に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード(TOMmn = 0)設定で動作を開始した場合

マスタ・チャンネル出力モード(TOMmn = 0)のとき、タイマ出力レベル・レジスタ m (TOLm)の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6 - 36 トグル出力時(TOMmn = 0)のTOmn端子出力状態



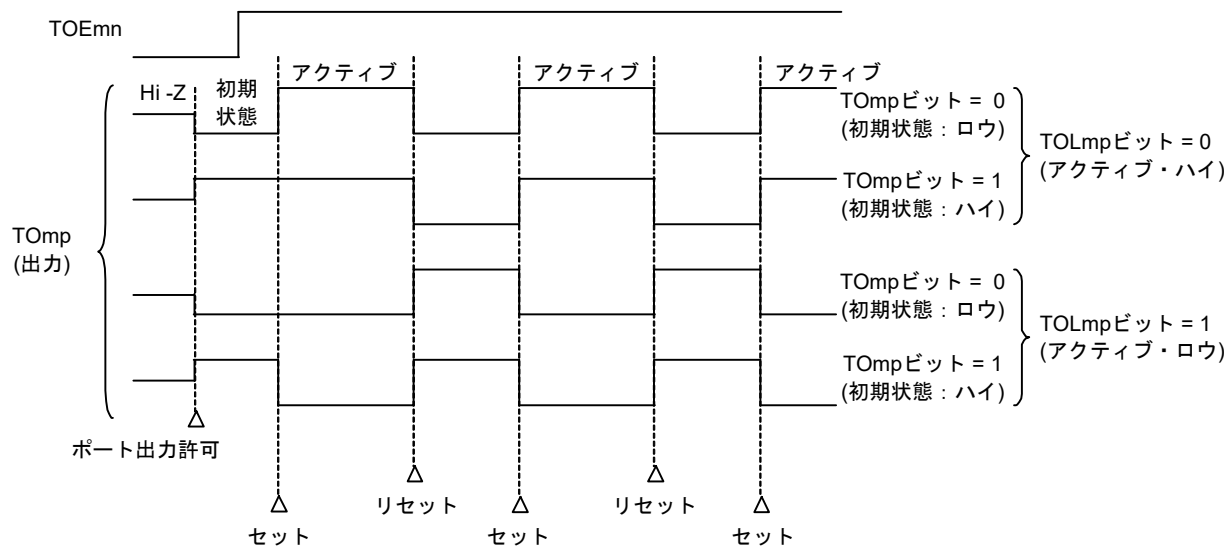
備考1. トグル：TOmn端子の出力状態を反転

備考2. m：ユニット番号(m = 0), n：チャンネル番号(n = 0-3)

(b) スレーブ・チャンネル出力モード (TOMmn = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOMmn = 1) のとき、タイマ出力レベル・レジスタ m (TOLmn) の設定によりアクティブ・レベルを決定します。

図6 - 37 PWM出力時 (TOMmn = 1) のTOMn端子出力状態



備考1. セット : TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

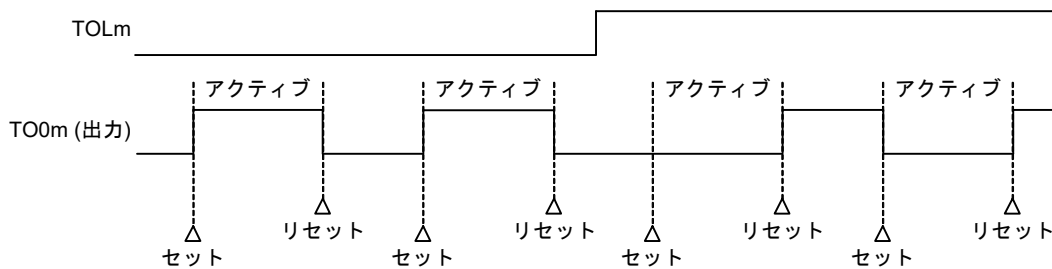
(3) TOMn端子のスレーブ・チャンネル出力モード(TOMmn = 1)での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタ m (TOLm)の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOMn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOMn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中(TEmn = 1)にTOLmレジスタの値を変更した場合の動作を次に示します。

図6 - 38 タイマ動作中にTOLmレジスタを変更した場合の動作



備考1. セット：TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号(m = 0), n：チャンネル番号(n = 0-3)

(b) セット／リセット・タイミング

PWM出力時に、0%/100%出力を実現するため、マスタ・チャンネル・タイマ割り込み(INTTMmn)発生時のTOMn端子／TOMnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

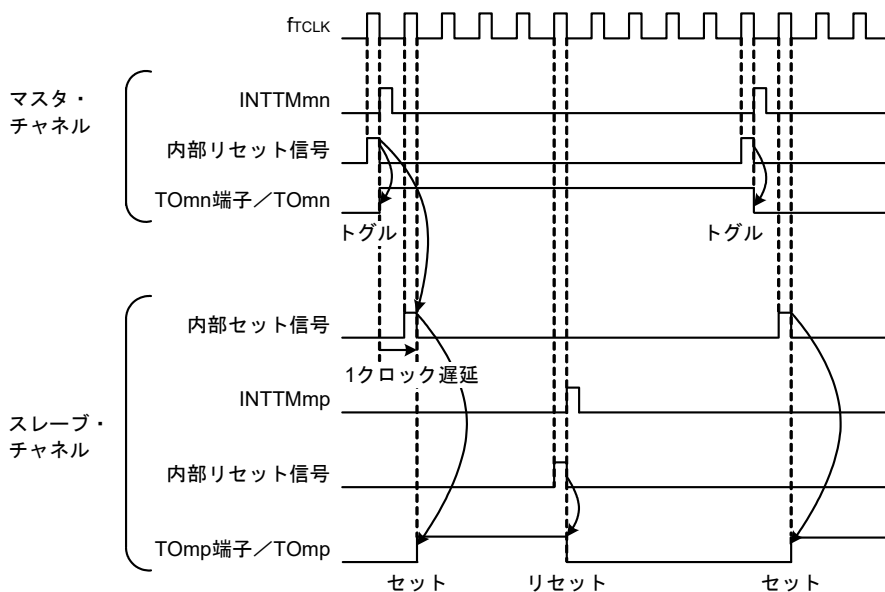
マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図6 - 39に示します。

マスタ・チャンネル：TOEmn = 1, TOMmn = 0, TOLmn = 0

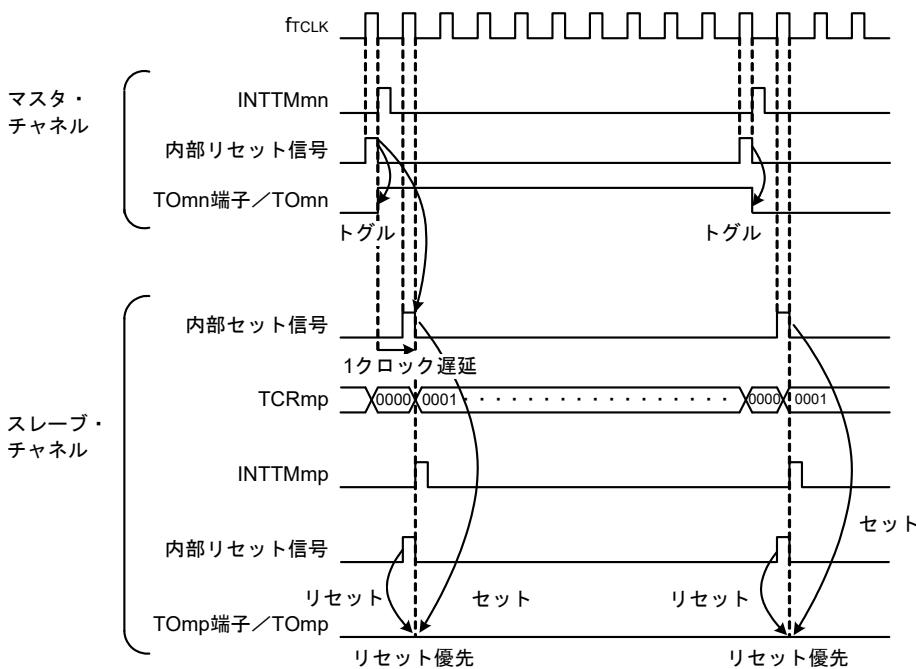
スレーブ・チャンネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6 - 39 セット/リセット・タイミング動作状態

(1)基本動作タイミング



(2) 0% デューティ時の動作タイミング



備考1. 内部リセット信号 : $TOmn$ 端子のリセット/トグル信号

内部セット信号 : $TOmn$ 端子のセット信号

備考2. m : ユニット番号 (m = 0)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

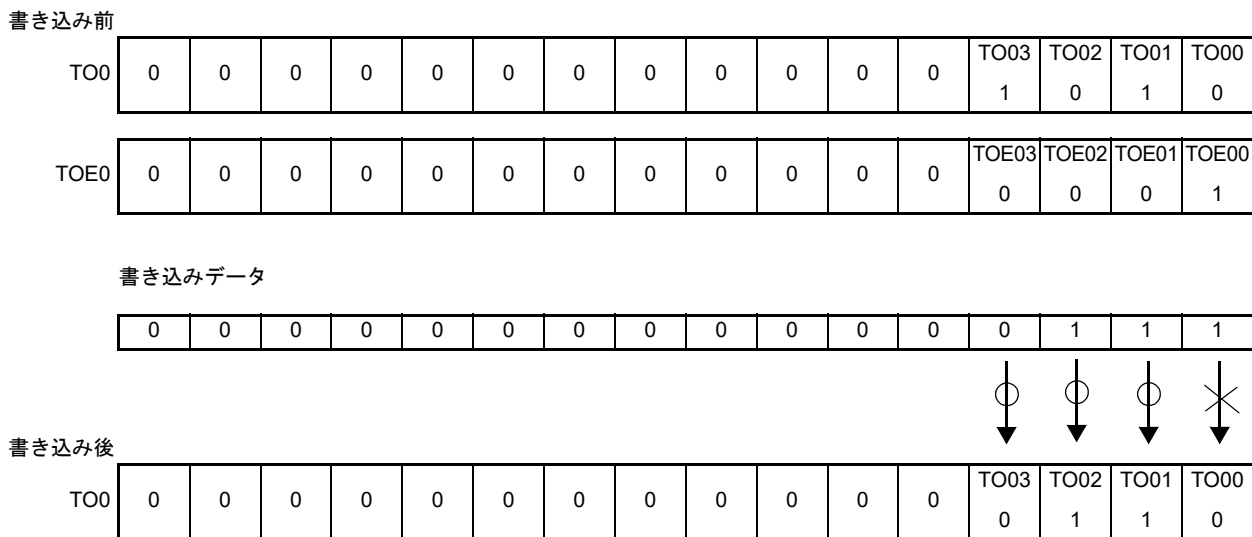
n = 0 : p = 1, 2, 3

n = 2 : p = 3

6.6.4 TOmnビットの一括操作

タイマ出力レジスタ m (TOm)には、タイマ・チャンネル開始レジスタ m (TSm)と同様に、1レジスタに全チャンネル分の設定ビット(TOmn)が配置されています。よって、全チャンネルのTOmnビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力(TOmn)のみTOmnビットへの書き込み可能(TOEmn = 0)とすることによって任意のビットのみ操作することが可能です。

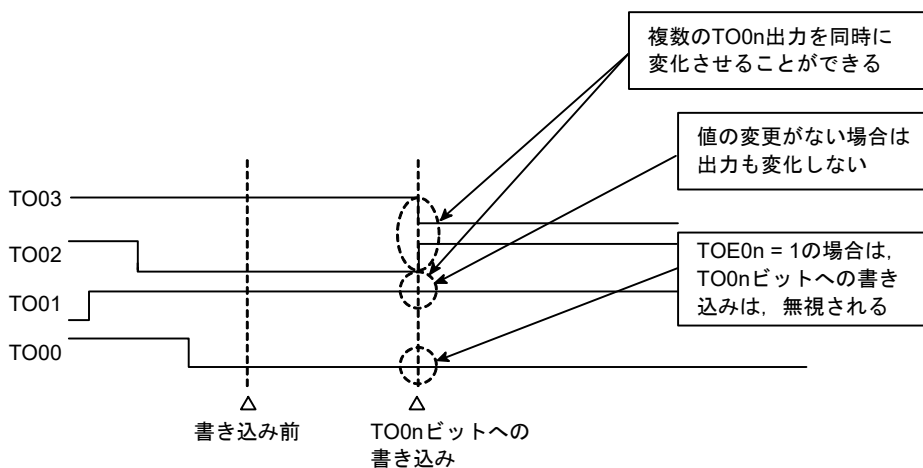
図6 - 40 TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn (チャンネル出力)は、書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6 - 41 TO0nビットの一括操作によるTO0nの端子状態



備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-3)

6.6.5 カウント動作開始時のタイマ割り込みと TOmn 端子出力について

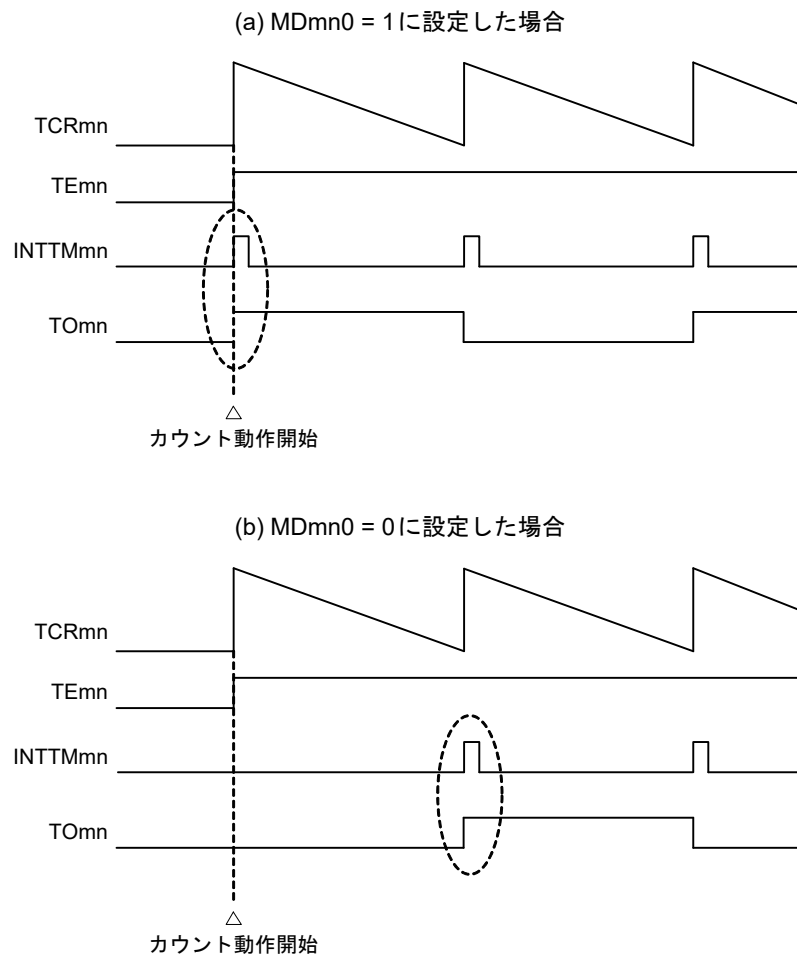
インターバル・タイマ・モード/キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図6-42 カウント動作開始時のタイマ割り込み、TOmn 出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOmn がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOmn も変化しません。1周期をカウント後、INTTMmn を出力し、TOmn がトグル動作します。

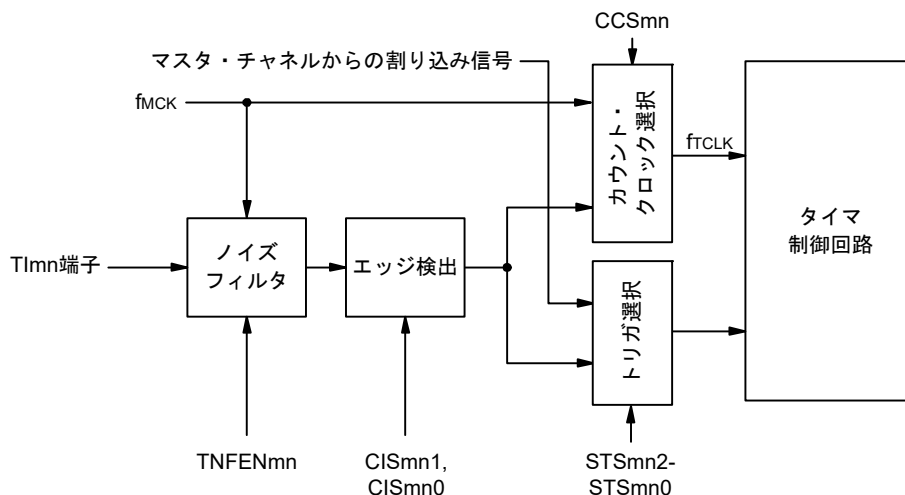
備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

6.7 タイマ入力(TImn)の制御

6.7.1 TImnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

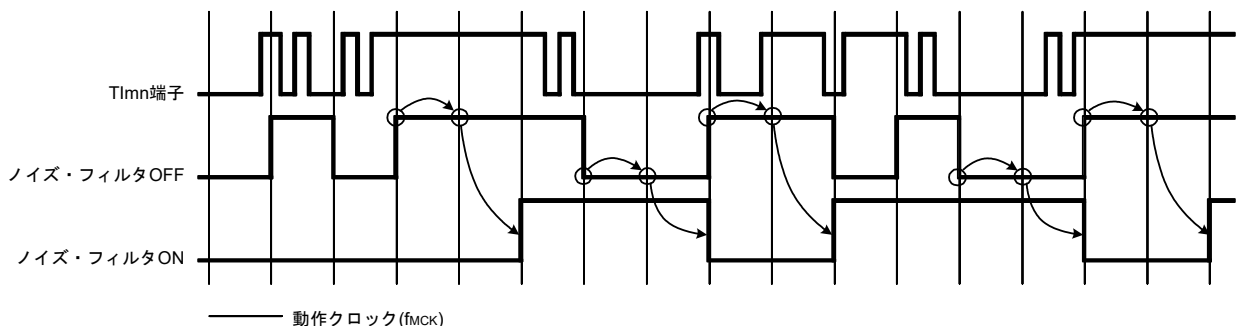
図6-43 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック (fMCK) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。以下に、TImn入力端子に対するノイズ・フィルタ ON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6-44 TImn入力端子に対するノイズ・フィルタ ON/OFFによるサンプリング波形



注意 TImn端子の入力波形は、ノイズ・フィルタ ON/OFFの動作を説明するためのものであり、実際は、29.5 AC特性に示すTImn入力ハイ・レベル幅、ロウ・レベル幅に従って入力してください。

6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFF の場合

タイマ・モードレジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSm) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ON の場合

タイマ・モードレジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSm) の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み)を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み)の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\bullet \text{ TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{(\text{TDRmnの設定値} + 1) \times 2\}$$

タイマ・カウンタ・レジスタ mn (TCRmn)はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSM)のチャネル・スタート・トリガ・ビット (TSMn, TSHm1, TSHm3)に1を設定後、最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタ mn (TDRmn)の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn)のMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

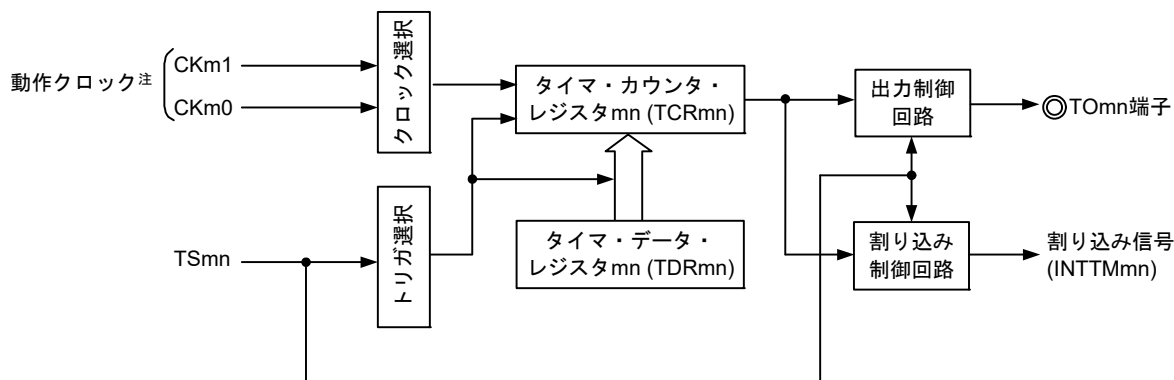
その後、TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000H になったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降、同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は、次の周期から有効となります。

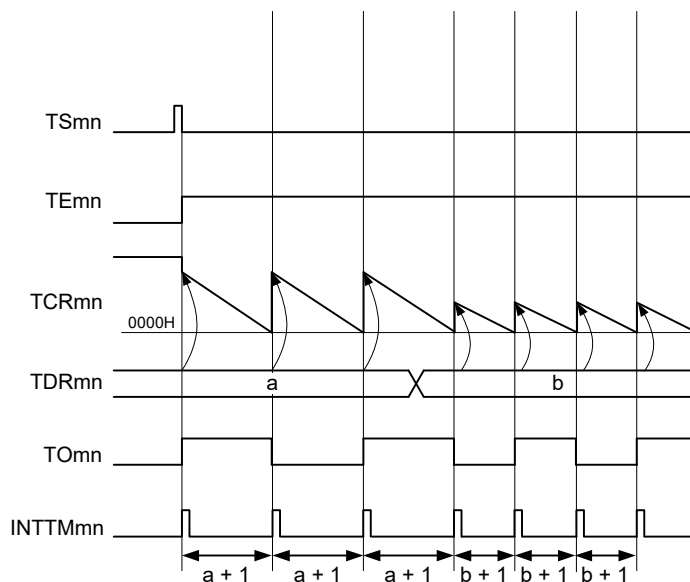
備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-3)

図6-45 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-46 インターバル・タイマ／方形波出力としての動作の基本タイミング例(MDmn0 = 1)



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSM) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n

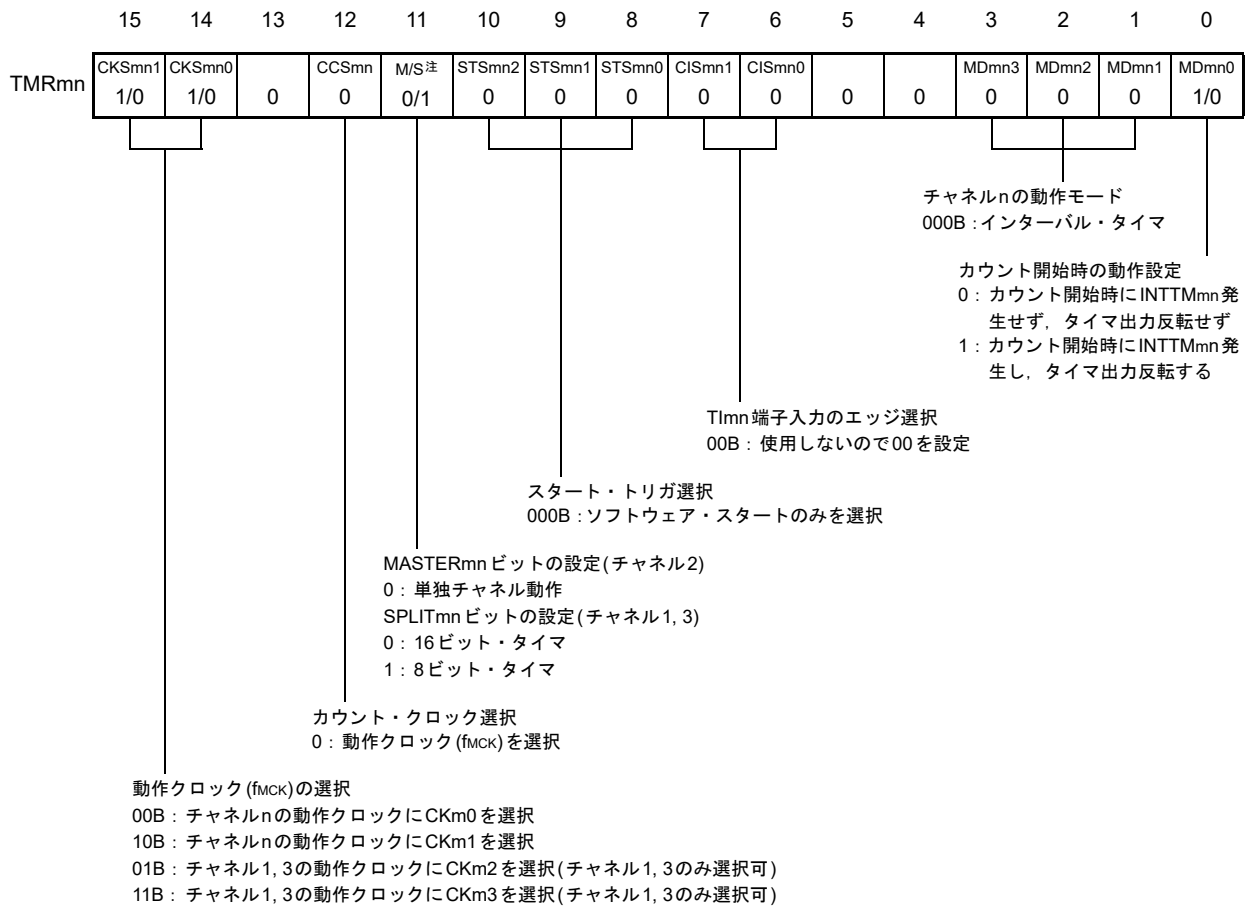
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

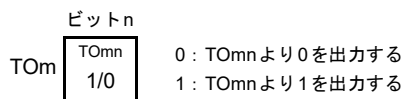
TOmn : TOmn端子出力信号

図6-47 インターバル・タイマ/方形波出力時のレジスタ設定内容例

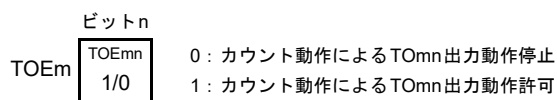
(a) タイマ・モード・レジスタ mn (TMRmn)



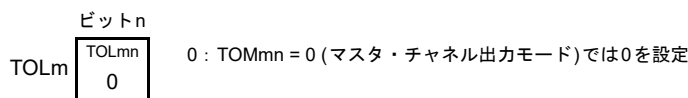
(b) タイマ出力レジスタ m (TOM)



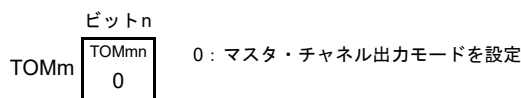
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



- 注 TMRm2の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0の場合 : 0固定
- 備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6-48 インターバル・タイマ／方形波出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カクロック供給状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル 初期 設定	タイマ・モード・レジスタmn (TMRmn)を設定する(チャネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm)のTOMmnビットに0 (マスタ・チャネル出力モード)を設定する TOLmnビットに0を設定する TOMnビットを設定し, TOmn出力の初期レベルを確定する TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。 チャネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作 再開	動作開始 (TOmn出力を使用する場合で, かつ動作再開時のみTOEmnビットに1を設定する) TSmn (TSHm1, TSHm3)ビットに1を設定する TSmn (TSHm1, TSHm3)ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 1になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
	動作中 TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止 TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOM, TOEm レジスタは, 設定値変更可能	カウンタ (TCRmn)はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1, TTHm3)ビットに1を設定する TTmn (TTHm1, TTHm3)ビットはトリガ・ビットなので, 自動的に0に戻る TOEmnビットに0を設定し, TOmnビットに値を設定する	TEmn (TEHm1, TEHmn) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持 TOmn端子はTOmnビットに設定したレベルを出力

(備考は次ページにあります。)

図6 - 49 インターバル・タイマ／方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmn ビットに0を設定する	TOmn 端子出力レベルはポート機能により保持される。
	TOmn 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタのTAUmEN ビットに0を設定する	タイマ・アレイ・ユニット0の入力クロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.8.2 外部イベント・カウンタとしての動作

TImn 端子入力の有効エッジ検出(外部イベント)をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmn の設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn)はイベント・カウンタ・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ m (TSM)の任意のチャンネル・スタート・トリガ・ビット(TSmn)に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタ mn (TDRmn)の値をロードします。

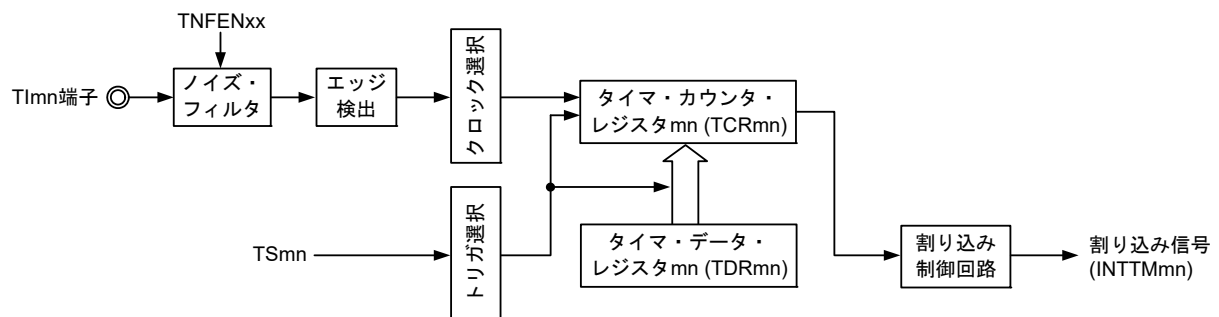
TCRmnレジスタはTImn端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000H になったら、再びTDRmnレジスタの値をロードして、INTTMmnを出力します。

以降、同様の動作を続けます。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm)のTOEmnビットに0を設定して出力動作を停止するようにしてください。

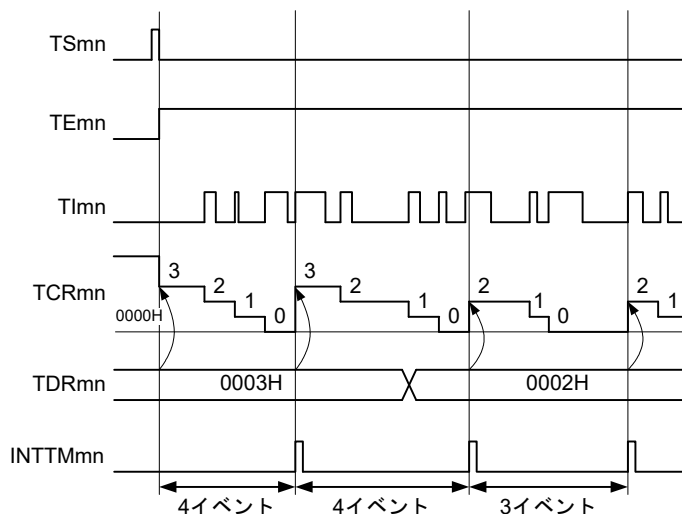
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図6 - 50 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6 - 51 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

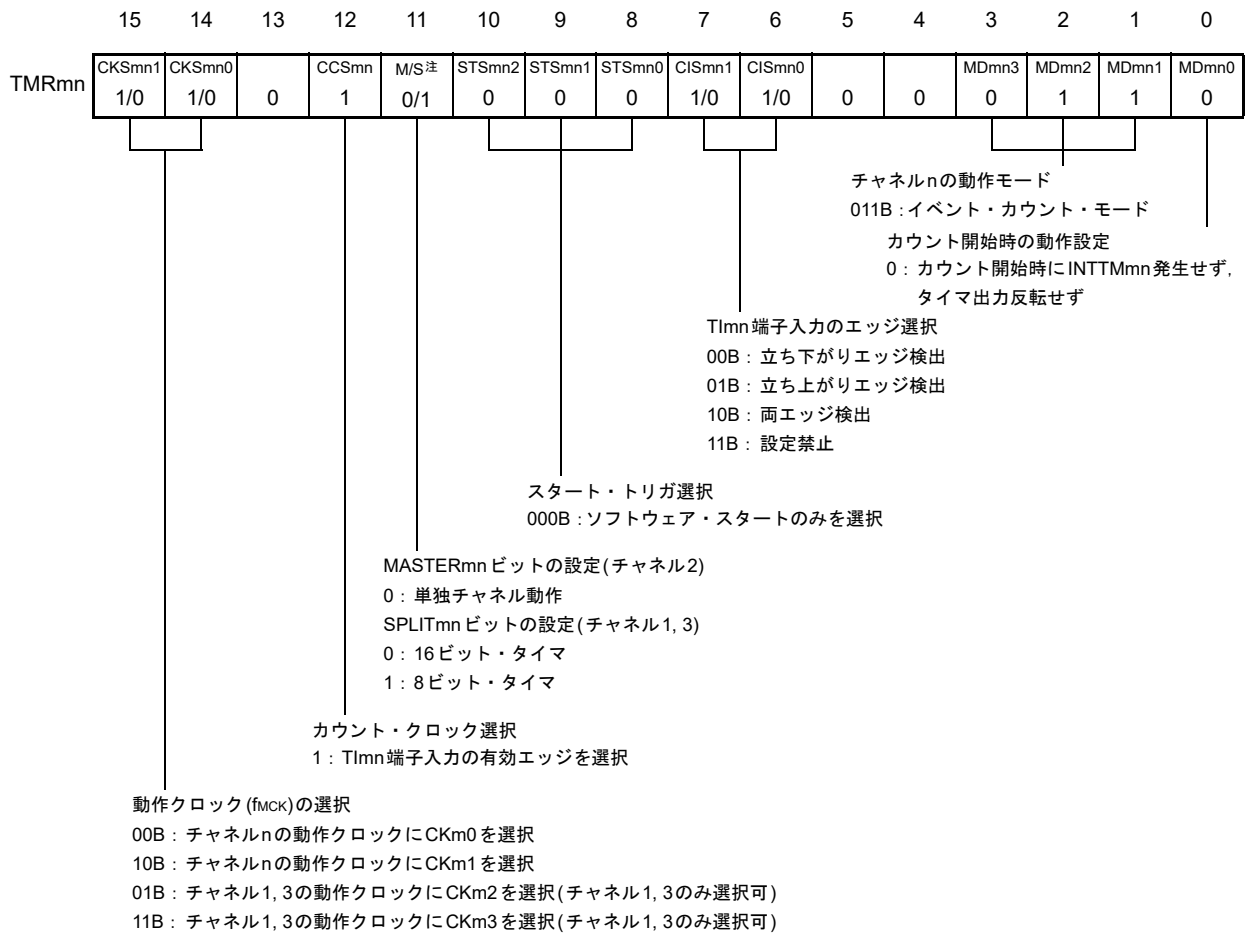
TImn : TImn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

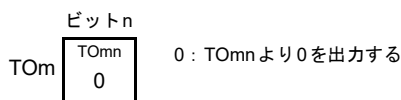
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6 - 52 外部イベント・カウンタ・モード時のレジスタ設定内容例

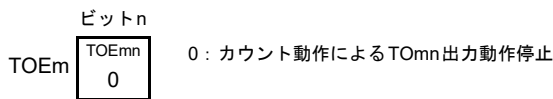
(a) タイマ・モード・レジスタ mn (TMRmn)



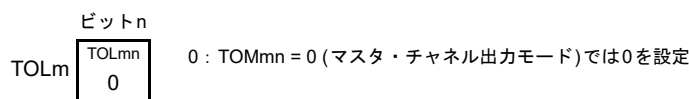
(b) タイマ出力レジスタ m (TOm)



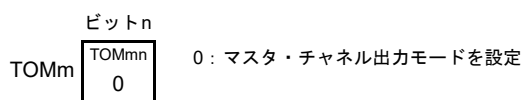
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



- 注 TMRm2の場合 : MASTERmn ビット
 TMRm1, TMRm3の場合 : SPLITmn ビット
 TMRm0の場合 : 0固定
- 備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6 - 53 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		タイマ・アレイ・ユニット0の入カクロック供給停止 状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応する ビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にカウント数 を設定する タイマ出力許可レジスタm (TOEm)のTOEmnビットに 0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に 戻る	TEmn = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmn レジスタの値をロードし, TImn端子入力のエッジ検 出待ち状態になる
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmn ビットは, 設定値変更禁止	TImn端子入力のエッジが検出されるごとに, カウンタ (TCRmn)はダウン・カウント動作を行う。0000Hまで カウントしたら, 再びTCRmnレジスタはTDRmnレジ スタの値をロードし, カウント動作を継続する。 TCRmn = 0000H検出でINTTMmn出力を発生する。 以降, この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に 戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止 状態 全回路が初期化され, 各チャンネルのSFRも初期化さ れる	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.8.3 分周器としての動作(ユニット0のチャンネル0のみ)

TI00端子に入力されたクロックを分周し、TO00端子から出力する分周器として利用することができます。TO00出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ／立ち下がりエッジ選択時：
分周クロック周波数 = 入力クロック周波数 / {(TDR00の設定値 + 1) × 2}
- 両エッジ選択時：
分周クロック周波数 = 入力クロック周波数 / (TDR00の設定値 + 1)

タイマ・カウンタ・レジスタ00 (TCR00)はインターバル・タイマ・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ0 (TS0)のチャンネル・スタート・トリガ・ビット(TS00)に1を設定後、TI00の有効エッジ検出でTCR00レジスタはタイマ・データ・レジスタ00 (TDR00)の値をロードします。このときタイマ・モード・レジスタ00 (TMR00)のMD000 = 0ならば、INTTM00を出力せず、TO00はトグルしません。TMR00レジスタのMD000 = 1ならば、INTTM00を出力して、TO00をトグルします。

その後、TI00端子入力の有効エッジに合わせてダウン・カウントを行い、TCR00 = 0000Hとなったら、TO00をトグルします。同時にTCR00レジスタはTDR00レジスタの値をロードして、カウントを継続します。

TI00端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出カクロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出カクロック周期} \pm \text{動作クロック周期(誤差)}$$

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

図6 - 54 分周器としての動作のブロック図

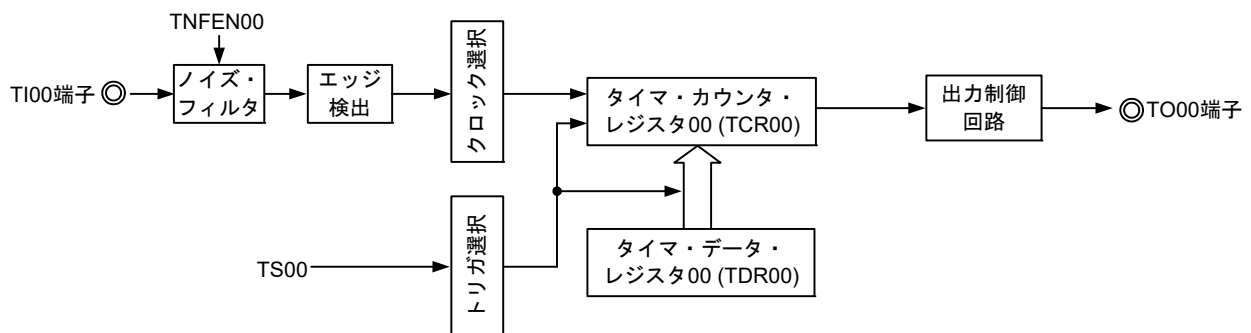
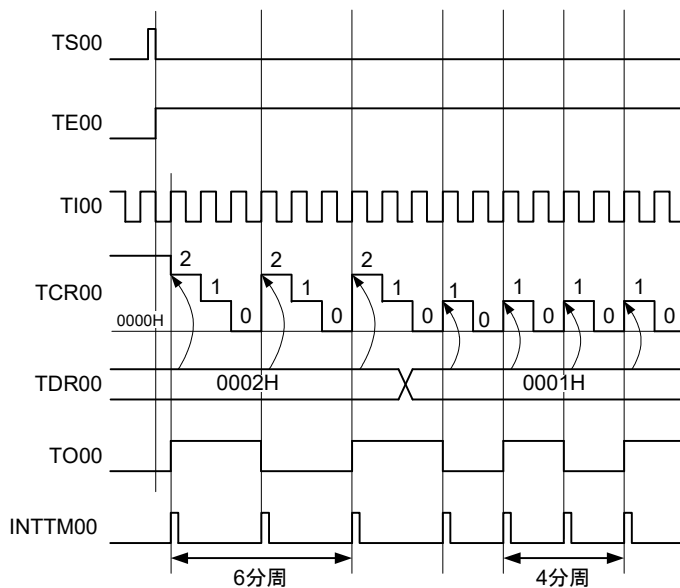


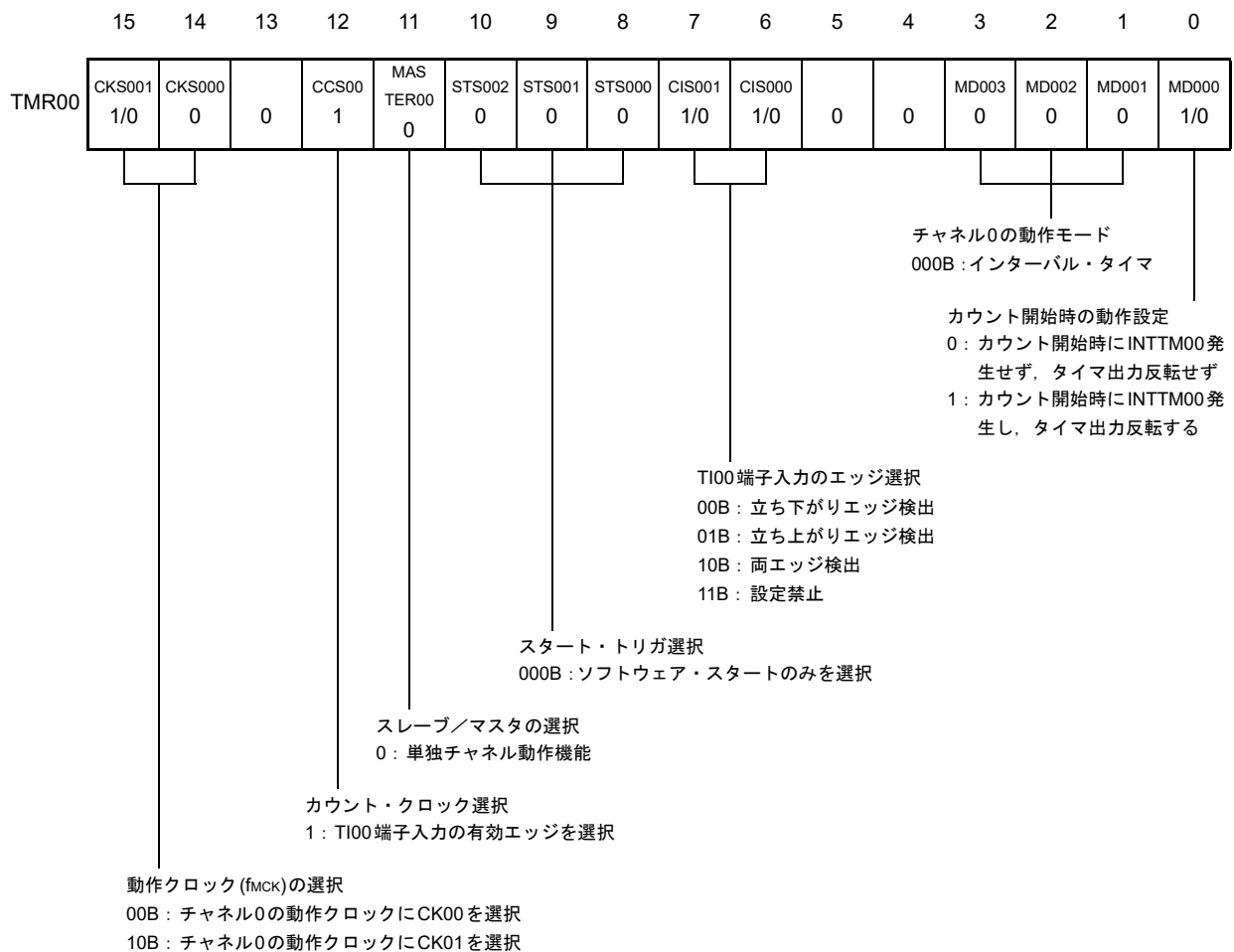
図6 - 55 分周器としての動作の基本タイミング例 (MD000 = 1)



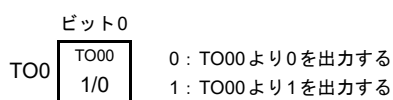
- 備考
- TS00 : タイマ・チャンネル開始レジスタ0 (TS0)のビット0
 - TE00 : タイマ・チャンネル許可ステータス・レジスタ0 (TE0)のビット0
 - TI00 : TI00端子入力信号
 - TCR00 : タイマ・カウンタ・レジスタ00 (TCR00)
 - TDR00 : タイマ・データ・レジスタ00 (TDR00)
 - TO00 : TO00端子出力信号

図6 - 56 分周器として動作時のレジスタ設定内容例

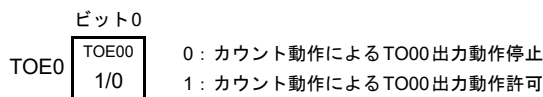
(a) タイマ・モード・レジスタ 00 (TMR00)



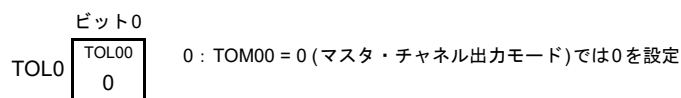
(b) タイマ出力レジスタ 0 (TO0)



(c) タイマ出力許可レジスタ 0 (TOE0)



(d) タイマ出力レベル・レジスタ 0 (TOL0)



(e) タイマ出力モード・レジスタ 0 (TOM0)

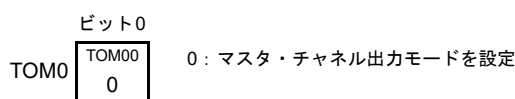


図6 - 57 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAU0ENビットに1を設定する	→ タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ0 (TPS0)を設定する CK00-CK03のクロック周波数を確定する	
チャンネル初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	タイマ・モード・レジスタ00 (TMR00)を設定する(チャンネルの動作モード確定, 検出エッジの選択)	
	タイマ・データ・レジスタ00 (TDR00)にインターバル(周期)値を設定する	
	タイマ出力モード・レジスタ0 (TOM0)のTOM00ビットに0 (マスタ・チャンネル出力モード)を設定する TOL00ビットに0を設定する	TO00端子はHi-Z出力状態
	TO00ビットを設定し, TO00出力の初期レベルを確定する	→ ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00初期設定レベルが出力される。
TOE00ビットに1を設定し, TO00の動作を許可	→ チャンネルは動作停止状態なので, TO00は変化しない	
ポート・レジスタとポート・モード・レジスタに0を設定する	→ TO00端子はTO00設定レベルを出力	
動作 開始	TOE00ビットに1を設定する(動作再開時のみ)	
	TS00ビットに1を設定する TS00ビットはトリガ・ビットなので, 自動的に0に戻る	→ TE00 = 1になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタ00 (TCR00)はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は, INTTM00を発生し, TO00もトグル動作する。
動作中	TDR00レジスタは, 任意に設定値変更が可能 TCR00レジスタは, 常に読み出し可能 TSR00レジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは, 設定値変更禁止	カウンタ (TCR00)はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR00レジスタはTDR00レジスタの値をロードし, カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し, TO00はトグル動作する。以降, この動作を繰り返す。
動作 停止	TT00ビットに1を設定する TT00ビットはトリガ・ビットなので, 自動的に0に戻る	→ TE00 = 0になり, カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず, 状態保持
	TOE00ビットに0を設定し, TO00ビットに値を設定する	→ TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00ビットに0を設定する	→ TO00端子出力レベルはポート機能により保持される。
	TO00端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAU0ENビットに0を設定する	→ タイマ・アレイ・ユニット0の入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00ビットが0になり, TO00端子はポート機能となる)

動作再開

6.8.4 入力パルス間隔測定としての動作

Tlmn 有効エッジでカウント値をキャプチャし、Tlmn 入力パルスの間隔を測定することができます。また、TEmn = 1の期間中に、ソフトウェア操作(TSmn = 1)をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn 入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn)はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM)のチャンネル・スタート・トリガ・ビット (Tsmn)に1を設定するとTCRmn レジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

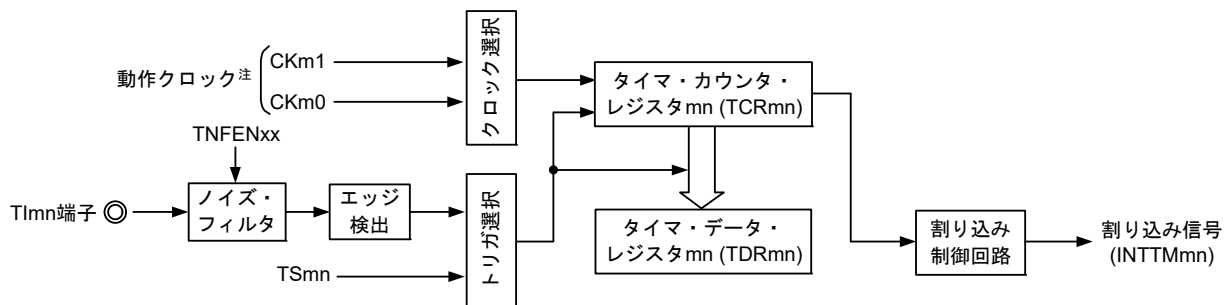
Tlmn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn (TDRmn)に転送(キャプチャ)すると同時に、TCRmn レジスタを0000Hにクリアして、INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn)のOVFビットが1にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を継続します。

カウント値がTDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

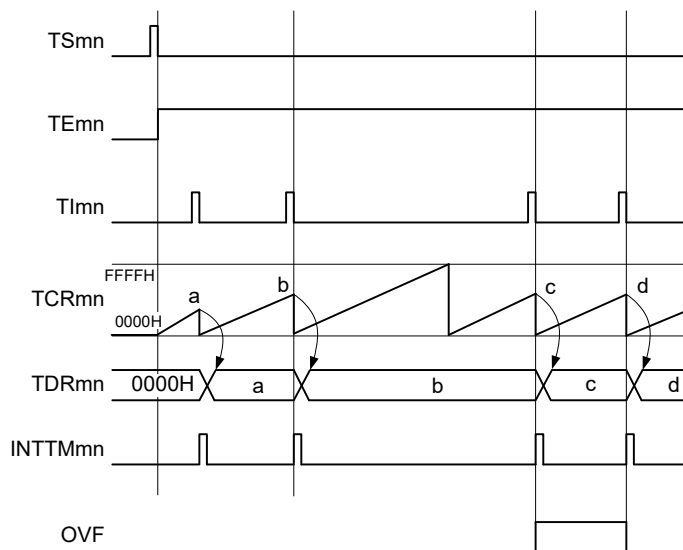
図6 - 58 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6 - 59 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm)のビットn

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm)のビットn

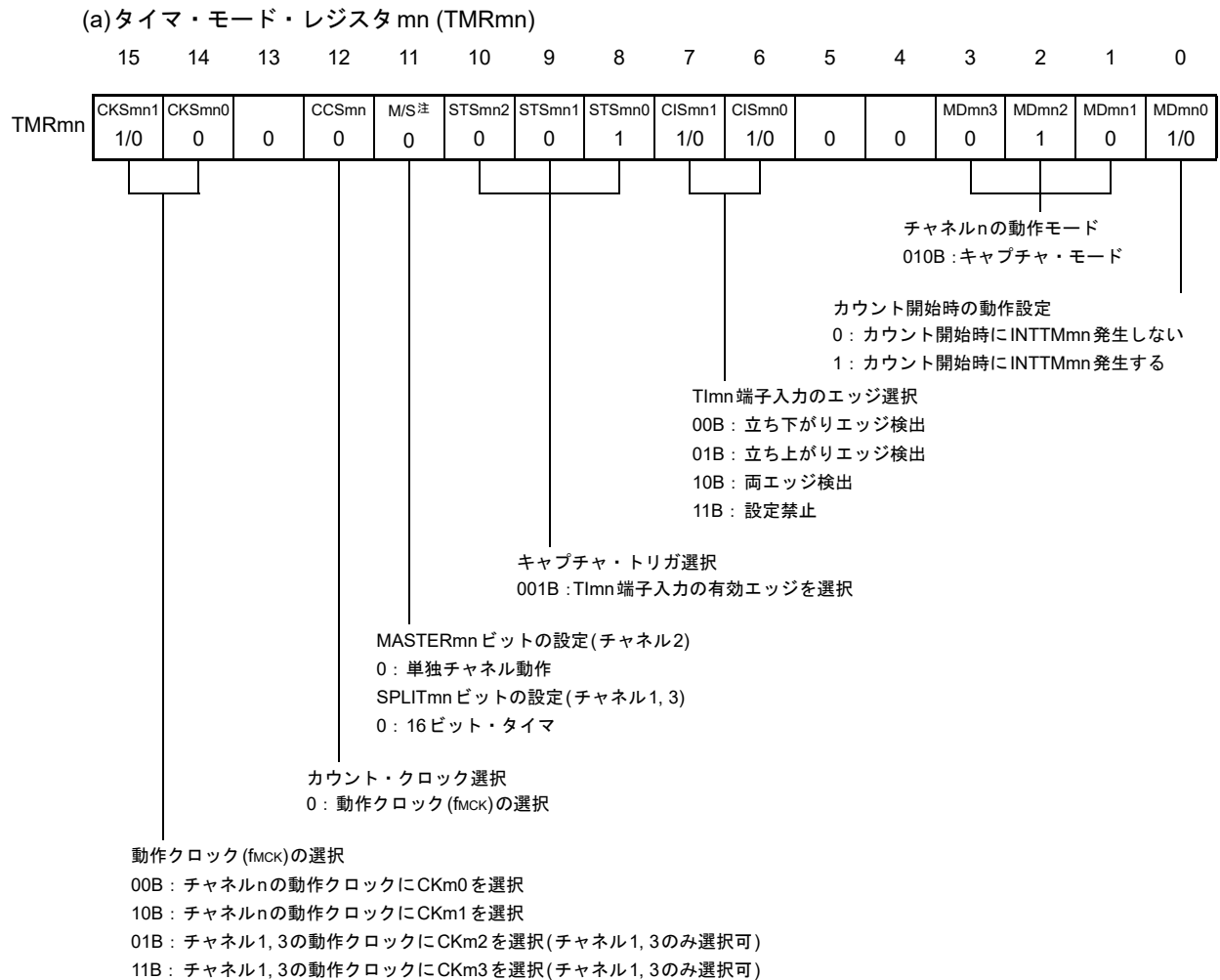
TI mn : TI mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

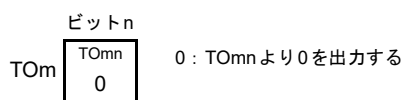
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

OVF : タイマ・ステータス・レジスタ mn (TSRmn)のビット0

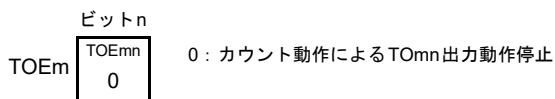
図6 - 60 入力パルス間隔測定時のレジスタ設定内容例



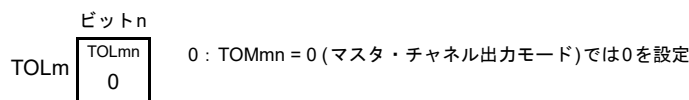
(b) タイマ出力レジスタ m (TOM)



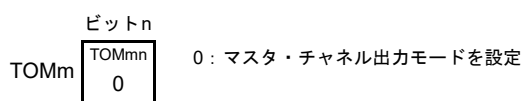
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット
TMRm1, TMRm3の場合 : SPLITmn ビット
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6-61 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ m の TAUmEN ビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネルの動作モード確定) ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ), 1 (オン) を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmn ビットに1を設定する TSmn ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1 になり, カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタ mn (TCRmn) を 0000H にクリアする。TMRmn レジスタの MDmn0 ビットが1の場合は, INTTMmn を発生する。
	動作 中	TMRmn レジスタは, CISmn1, CISmn0 ビットのみ設定値変更可能 TDRmn レジスタは, 常に読み出し可能 TCRmn レジスタは, 常に読み出し可能 TSRmn レジスタは, 常に読み出し可能 TOMmn, TOLmn, TOMn, TOEmn ビットは, 設定値変更禁止	カウンタ (TCRmn) は 0000H からアップ・カウント動作を行い, TImn 端子入力の有効エッジが検出されたら, カウント値をタイマ・データ・レジスタ mn (TDRmn) に転送(キャプチャ)する。同時に, TCRmn レジスタを 0000H にクリアし, INTTMmn を発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ, オーバフローが発生していなかったら OVF ビットがクリアされる。 以降, この動作を繰り返す。
	動作 停止	TTmn ビットに1を設定する TTmn ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0 になり, カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
TAU 停止	PER0 レジスタの TAUmEN ビットに0を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 全回路が初期化され, 各チャンネルの SFR も初期化される	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作

Tlmn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、Tlmn の信号幅(ハイ・レベル幅／ロウ・レベル幅)を測定することができます。Tlmn の信号幅は次の式で求めることができます。

$$\text{Tlmn 入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn のキャプチャ値} + 1))$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ & ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に 1 を設定すると、TEmn = 1 となり Tlmn 端子のスタート・エッジ検出待ち状態となります。

Tlmn 端子入力のスタート・エッジ(ハイ・レベル幅測定なら Tlmn 端子入力の立ち上がりエッジ)を検出すると、カウント・クロックに合わせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ(ハイ・レベル幅測定なら Tlmn 端子入力の立ち下がりエッジ)を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn) に転送すると同時に INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、Tlmn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

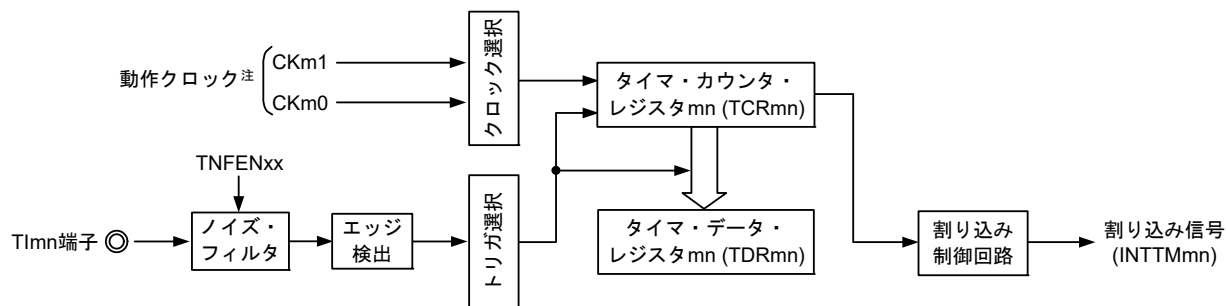
Tlmn 端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、Tlmn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSMn ビットのセット (1) は使用できません。

TMRmn レジスタの CISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

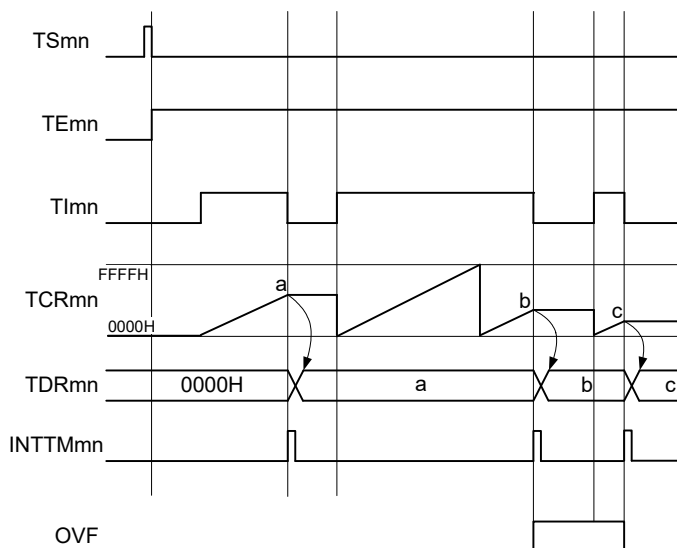
TMRmn レジスタの CISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図6-62 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-63 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

備考2. TS mn : タイマ・チャンネル開始レジスタ m (TSm)のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm)のビット n

TI mn : TI mn 端子入力信号

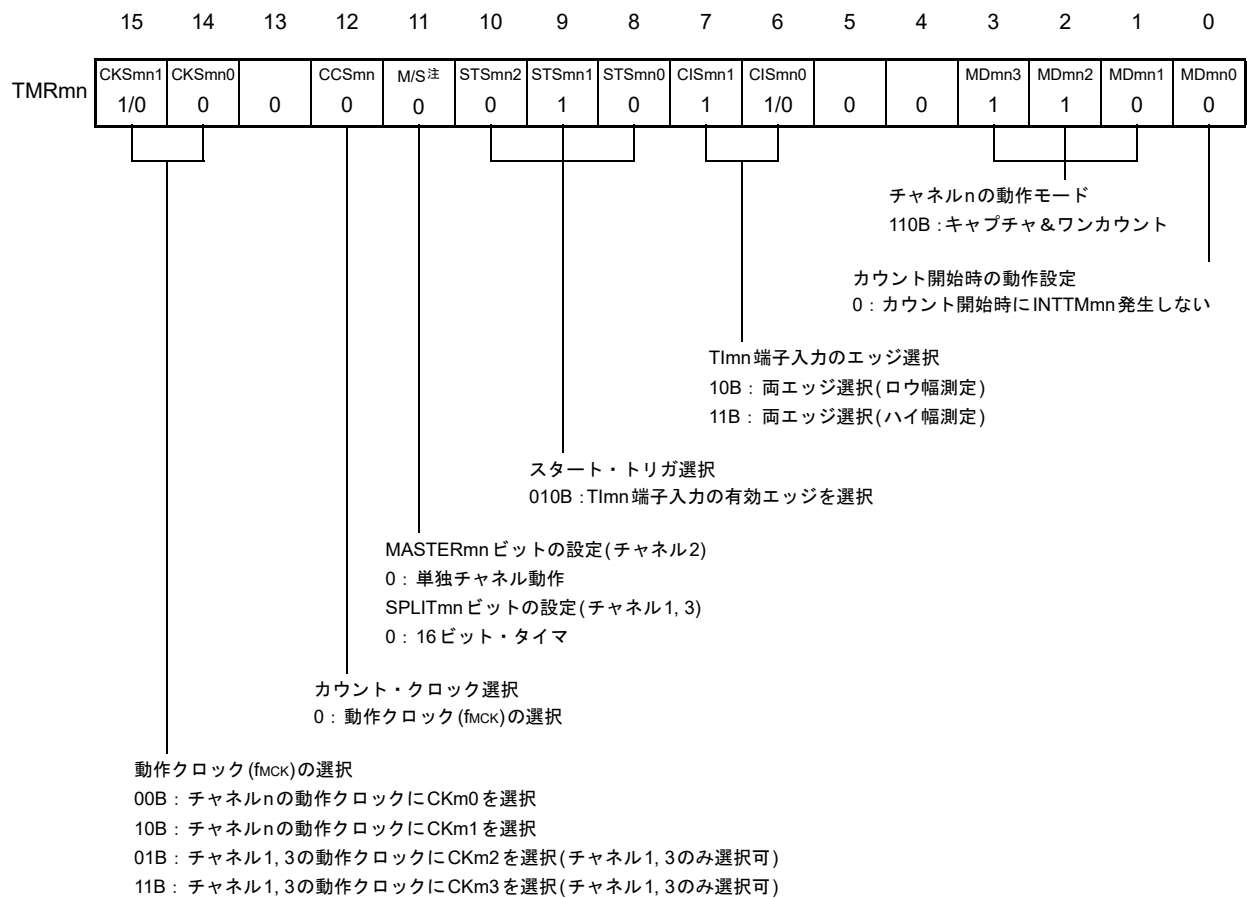
TCR mn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDR mn : タイマ・データ・レジスタ mn (TDRmn)

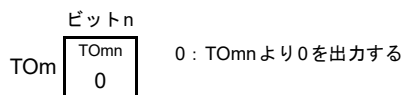
OVF : タイマ・ステータス・レジスタ mn (TSRmn)のビット 0

図6-64 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

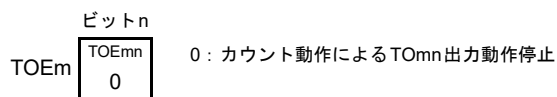
(a) タイマ・モード・レジスタ mn (TMRmn)



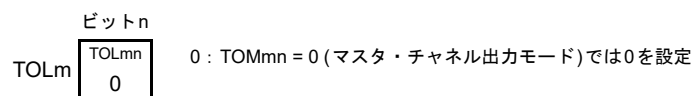
(b) タイマ出力レジスタ m (TOM)



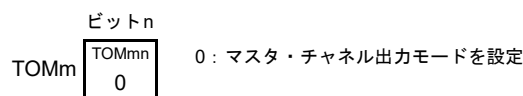
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット
 TMRm1, TMRm3の場合 : SPLITmn ビット
 TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6 - 65 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する(チャンネルの動作モード確定) TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn)を0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TMRmnレジスタ, TOMmn, TOLmn, TOmn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn)は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタmn (TDRmn)に転送し, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn)のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.8.6 デイレイ・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出 (外部イベント) でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することができます。

また、TE_{mn} = 1 の期間中に、ソフトウェアで TS_{mn} = 1 に設定してダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

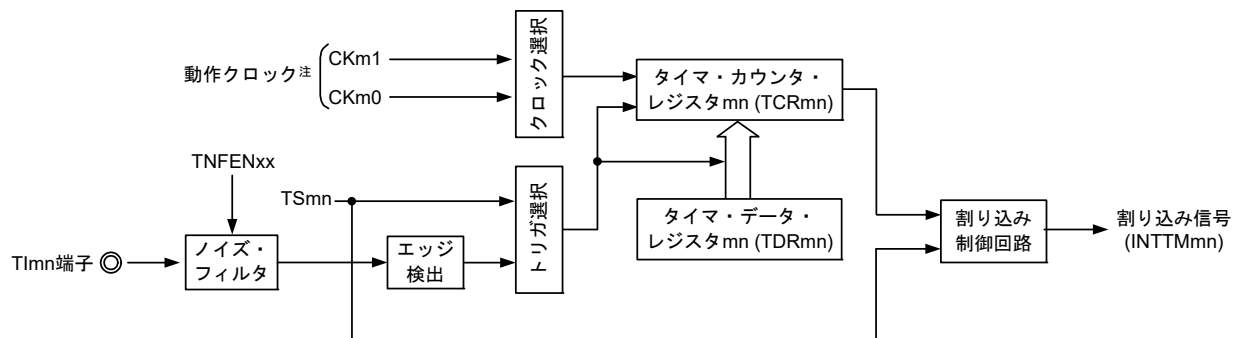
タイマ・カウンタ・レジスタ _{mn} (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ _m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に 1 を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1 となり Tl_{mn} 端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、Tl_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ _{mn} (TDR_{mn}) から値をロードします。TCR_{mn} レジスタはロードした TDR_{mn} レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000H になったら INTTM_{mn} を出力し、次の Tl_{mn} 端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えた TDR_{mn} レジスタの値は、次の周期から有効となります。

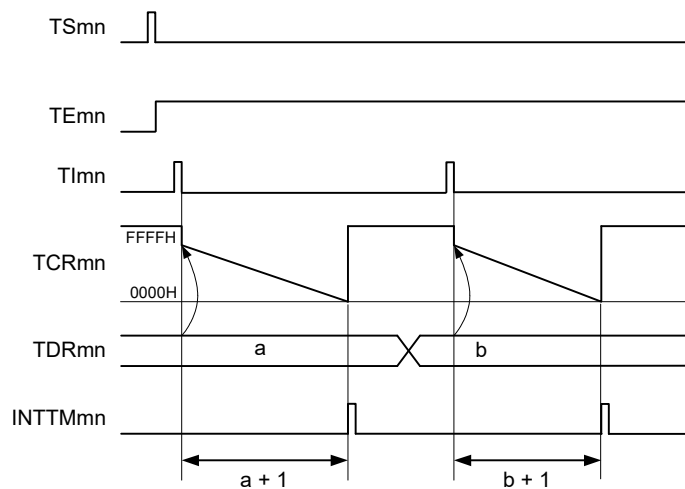
図6-66 デイレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6-67 デイレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSM) のビット n

TE mn : タイマ・チャネル許可ステータス・レジスタ m (TEM) のビット n

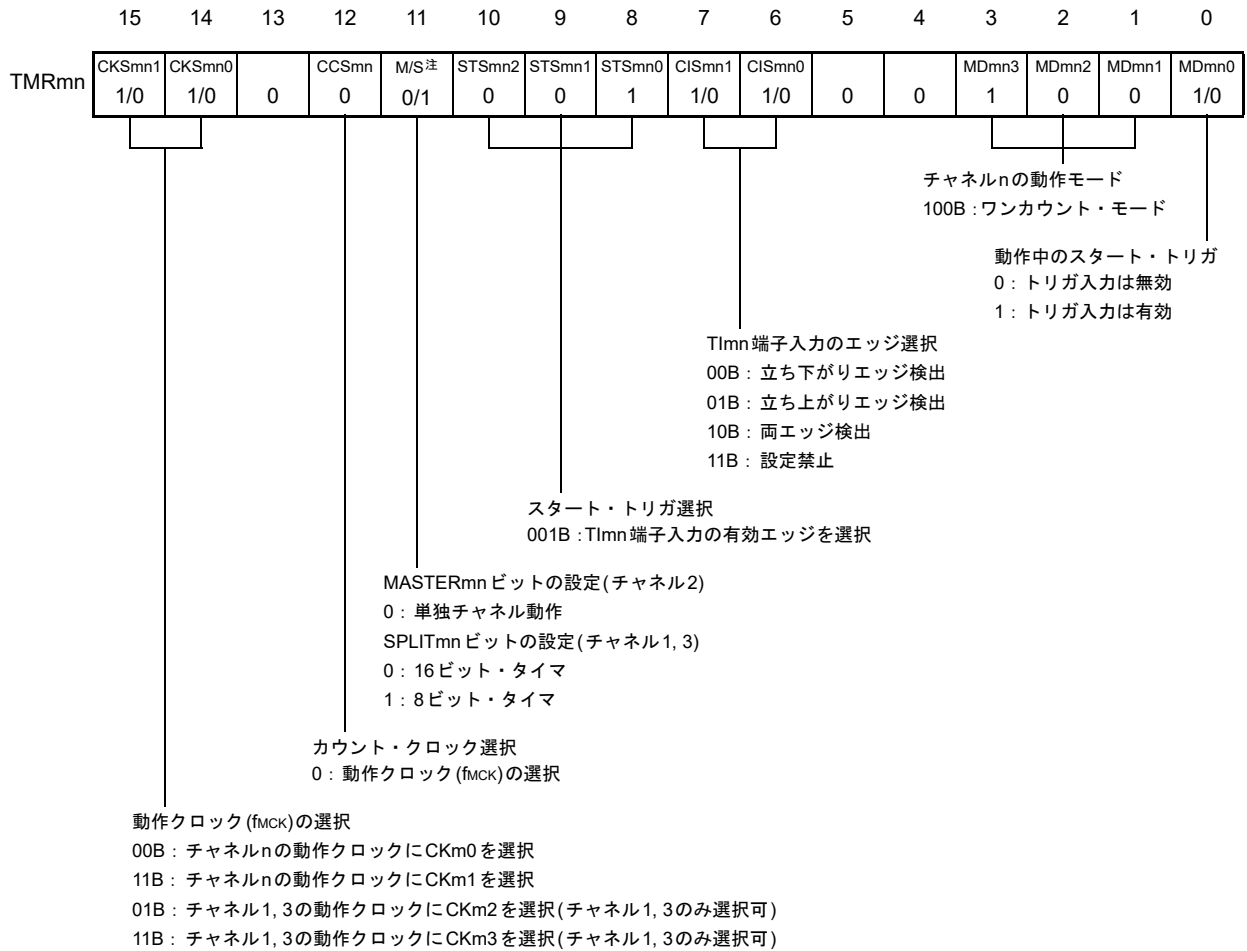
TI mn : TI mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

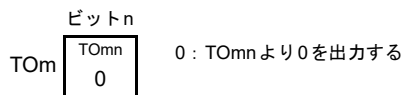
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6 - 68 ディレイ・カウンタ機能時のレジスタ設定内容例

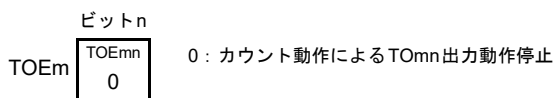
(a) タイマ・モード・レジスタ mn (TMRmn)



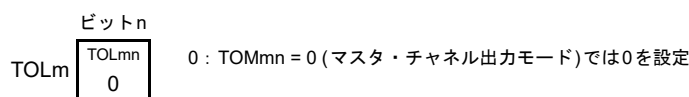
(b) タイマ出力レジスタ m (TOM)



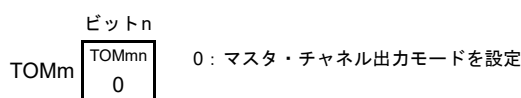
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット
 TMRm1, TMRm3の場合 : SPLITmn ビット
 TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

図6-69 デイレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		タイマ・アレイ・ユニット0の入カクロック供給停止 状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応する ビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャンネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn)に遅延時間を 設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に 戻る	TEmn = 1になり, スタート・トリガ検出(TImn端子入力 の有効エッジの検出, またはTSmnビットに1を設定)待 ち状態となる
	次のスタート・トリガ検出によって, ダウン・カウン トを開始します。 ・TImn端子入力の有効エッジ検出 ・ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレ ジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ(TCRmn)はダウン・カウント動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を 発生し, 次のスタート・トリガ検出(TImn端子入力の 有効エッジの検出, またはTSmnビットに1を設定)ま でTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に 戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止 状態 全回路が初期化され, 各チャンネルのSFRも初期化さ れる

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能

6.9.1 ワンショット・パルス出力機能としての動作

2チャンネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{\text{TDRmn (マスタ)の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ)の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャンネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000H になったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

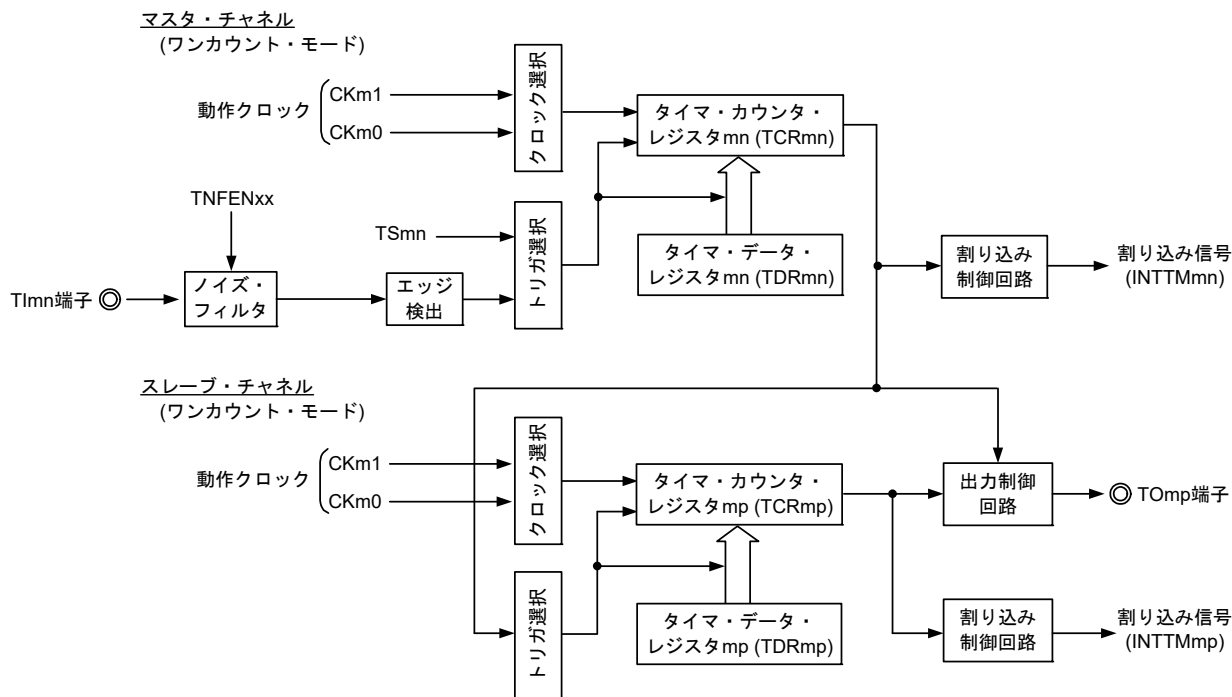
スレーブ・チャンネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャンネルの TCRmp レジスタは、マスタ・チャンネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000H になったら INTTMmp を出力して、次のスタート・トリガ(マスタ・チャンネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャンネルの INTTMmn 発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn 端子入力を使用せず、ソフトウェア操作(TSmn = 1)をスタート・トリガにすることもできます。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネルの TDRmp レジスタでは、ロード・タイミングが異なるため、動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると不正波形が出力される場合があります。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

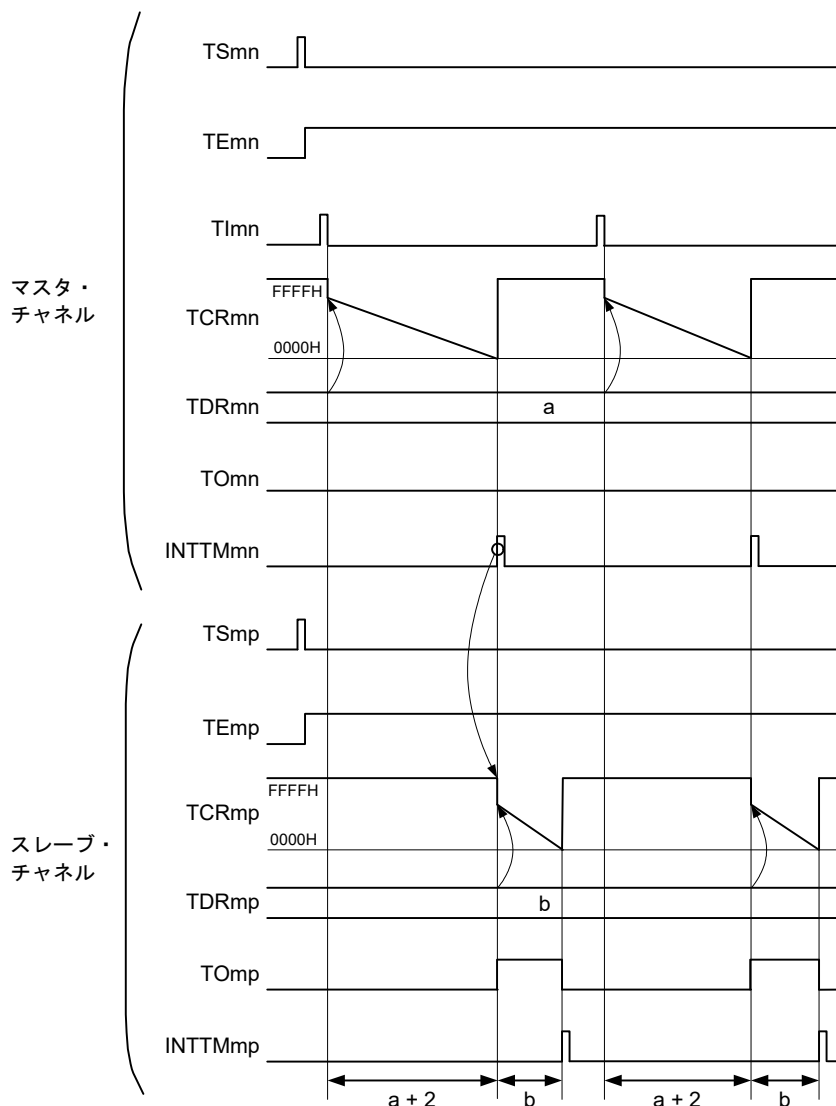
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

図6 - 70 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

図6-71 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

TImn, TImp : TImn, TImp 端子入力信号

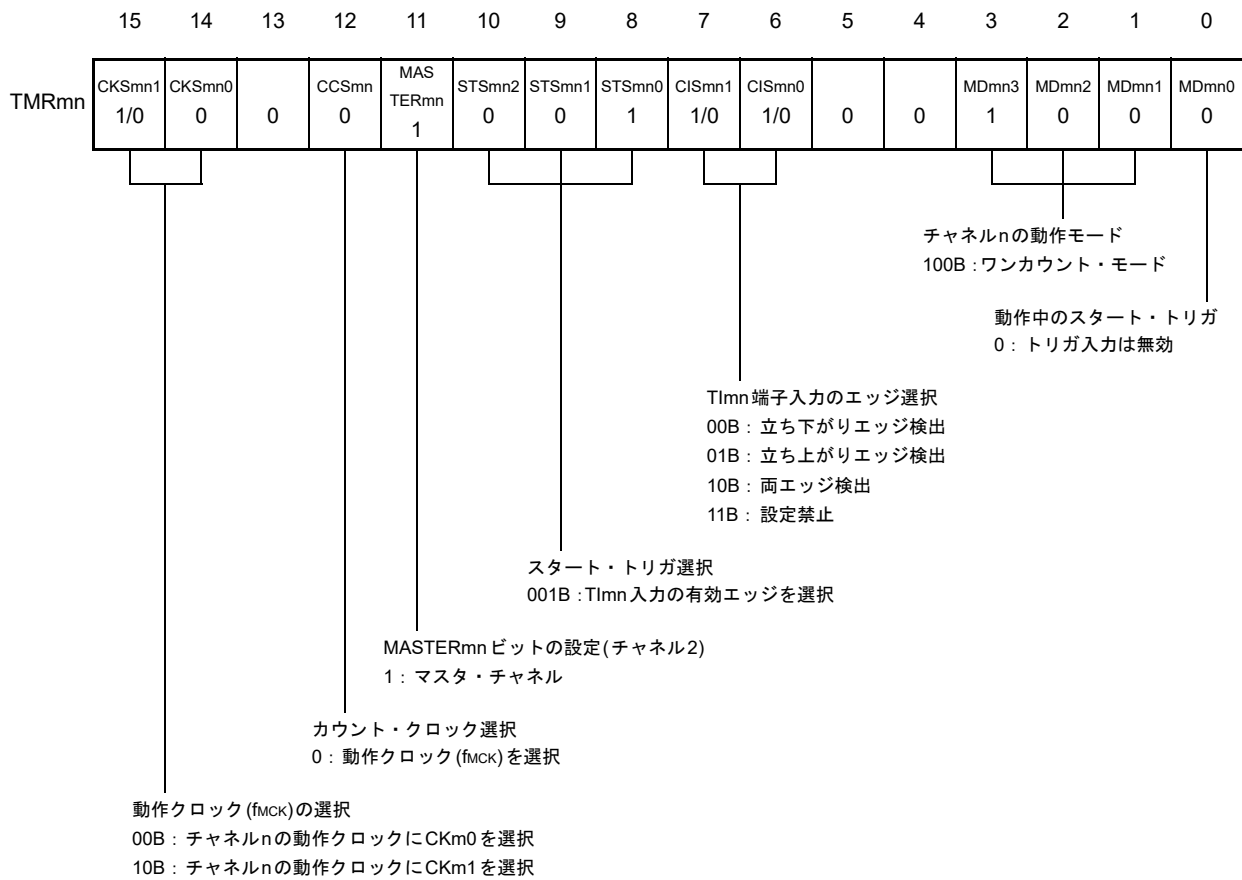
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

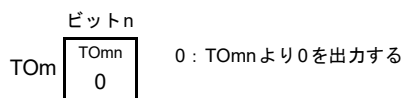
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6-72 ワンショット・パルス出力機能時(マスタ・チャンネル)のレジスタ設定内容例

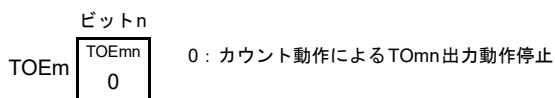
(a) タイマ・モード・レジスタ mn (TMRmn)



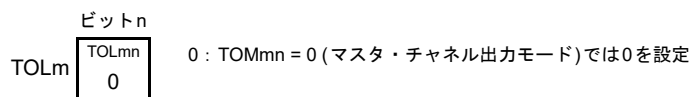
(b) タイマ出力レジスタ m (TOMm)



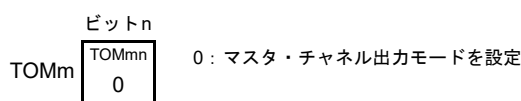
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



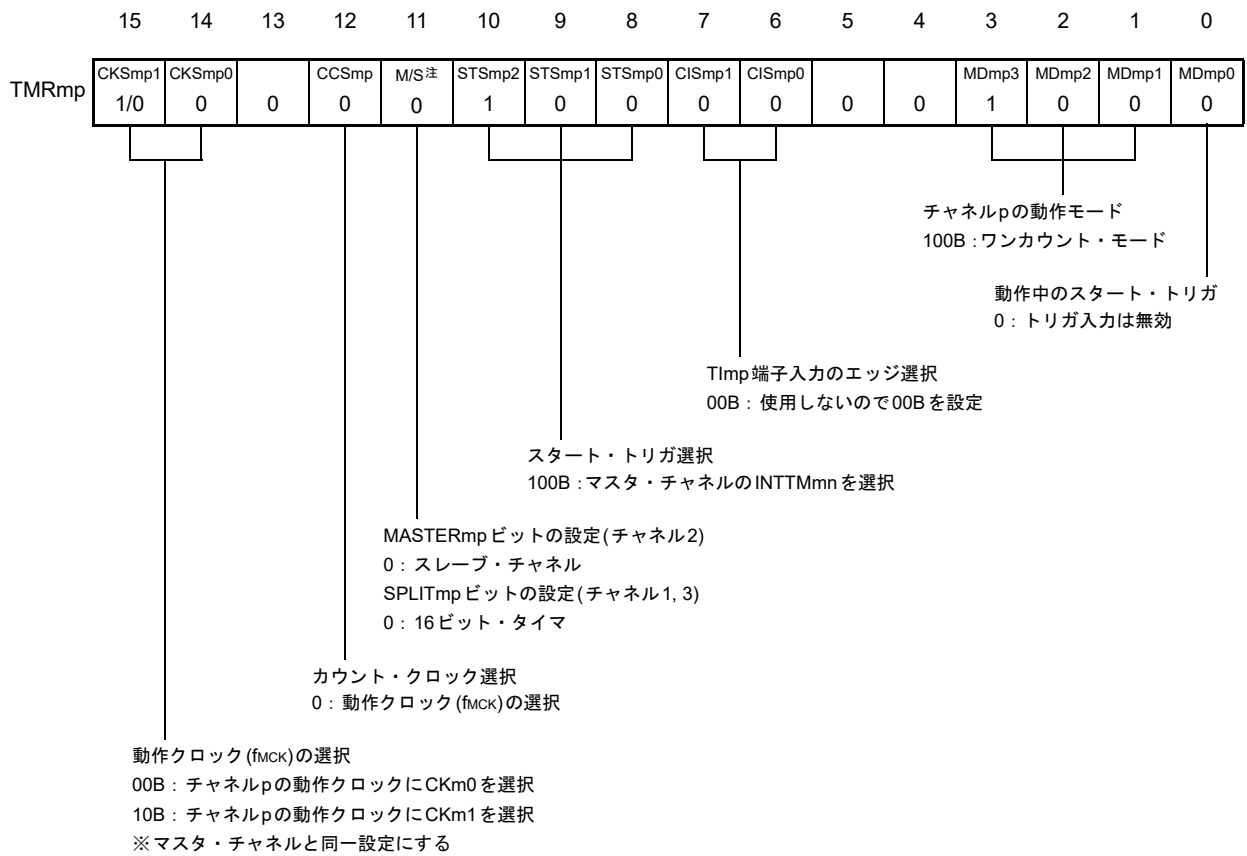
(e) タイマ出力モード・レジスタ m (TOMm)



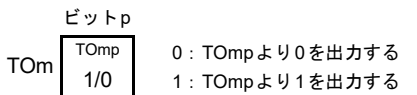
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

図6-73 ワンショット・パルス出力機能時(スレーブ・チャンネル)のレジスタ設定内容例

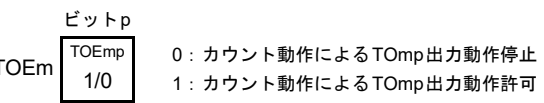
(a) タイマ・モード・レジスタ mp (TMRmp)



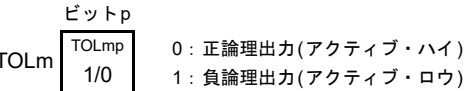
(b) タイマ出力レジスタ m (TOm)



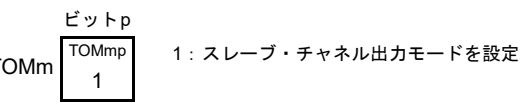
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmpビット
TMRm1, TMRm3の場合 : SPLITmpビット

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6-74 ワンショット・パルス出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する	タイマ・アレイ・ユニット0の入カロック供給停止 状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応する ビットに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モード 確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)に出力遅延時間, スレーブ・チャンネルの TDRmpレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp ビットに1(スレーブ・チャンネル出力モード)を設定 する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを 確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を 設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レ ジスタが0の場合は, TOmp初期設定レベルが出力され る。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります。)

図6-75 ワンショット・パルス出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となり、マスタ・チャンネルはスタート・トリガ検出 (TImn 端子入力の有効エッジの検出、または、マスタ・チャンネルの TSmn ビットに1を設定)待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。 ・ TImn 端子入力の有効エッジ検出 ・ ソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定注	マスタ・チャンネルがカウンタ動作開始
	動作中 TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない スレーブ・チャンネルの TOM, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、TImn 端子入力の有効エッジが検出されたら、タイマ・カウンタ・レジスタ mn (TCRmn)は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し、次の TImn 端子入力までカウンタ動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する	TEmn, TEmp = 0 になり、カウンタ動作停止 TCRmn, TCRmp レジスタはカウンタ値を保持して停止 TOmp 出力は初期化されず、状態保持 TOmp 端子は TOmp 設定レベルを出力
TAU 停止 TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する TOmp 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに0を設定する	TOmp 端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニット0の入カロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmp ビットが0になり、TOmp 端子はポート機能となる)	

注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

6.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

<p>パルス周期 = {TDRmn (マスタ)の設定値 + 1} × カウント・クロック周期</p> <p>デューティ [%] = {TDRmp (スレーブ)の設定値} / {TDRmn (マスタ)の設定値 + 1} × 100</p> <p>0%出力 : TDRmp (スレーブ)の設定値 = 0000H</p> <p>100%出力 : TDRmp (スレーブ)の設定値 ≥ {TDRmn (マスタ)の設定値 + 1}</p>
--

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ)の設定値 + 1} の場合は、デューティ値が100 %を越えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSm)のチャンネル・スタート・トリガ・ビット(TSmn)に1を設定すると、割り込み(INTTMmn)を出力して、タイマ・データ・レジスタ mn (TDRmn)に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn)にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm)のチャンネル・ストップ・トリガ・ビット(TTmn)に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ(マスタ・チャンネルからのINTTMmn)が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)のデューティとなります。

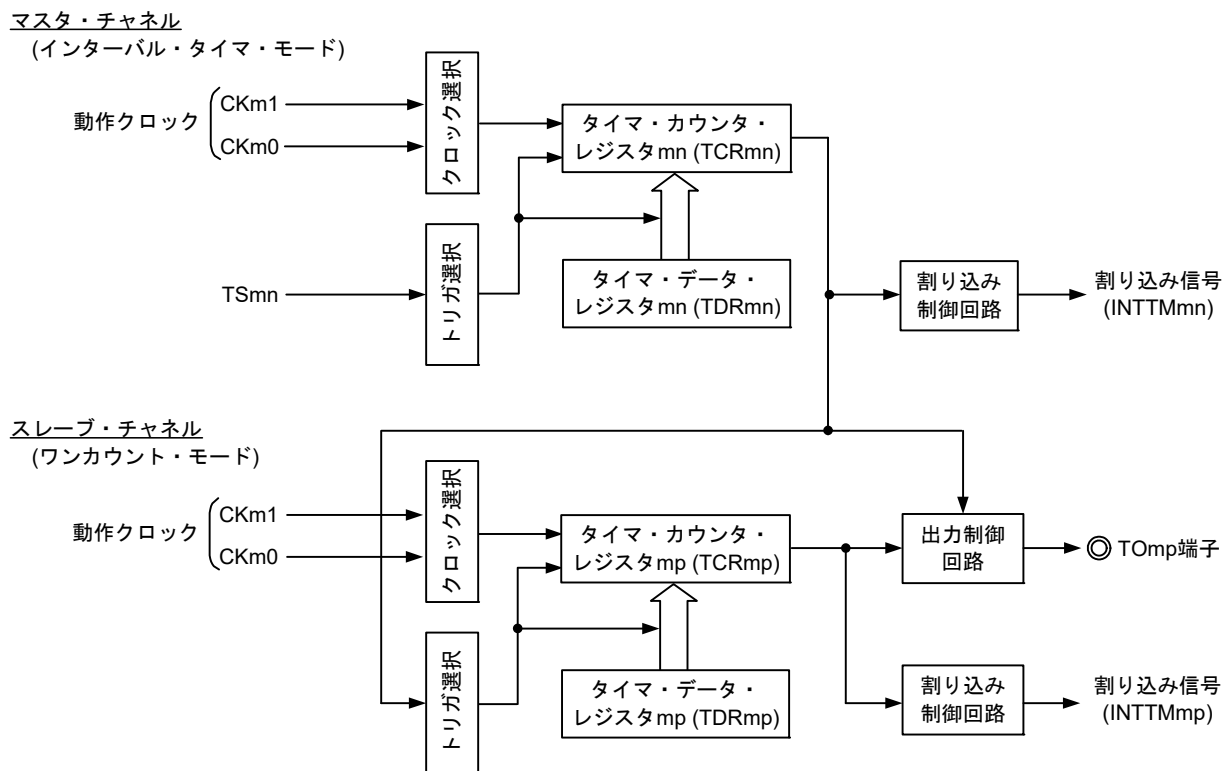
PWM出力(TOmp)は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

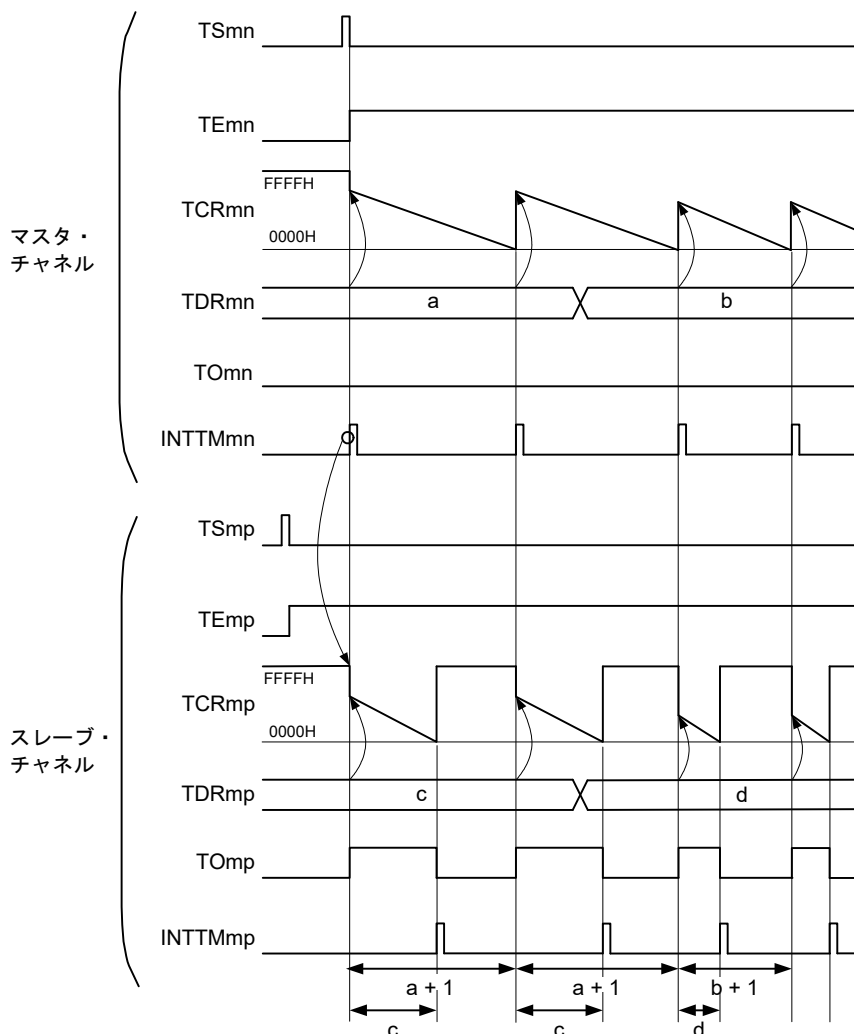
p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

図6 - 76 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

図6 - 77 PWM機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TE mp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

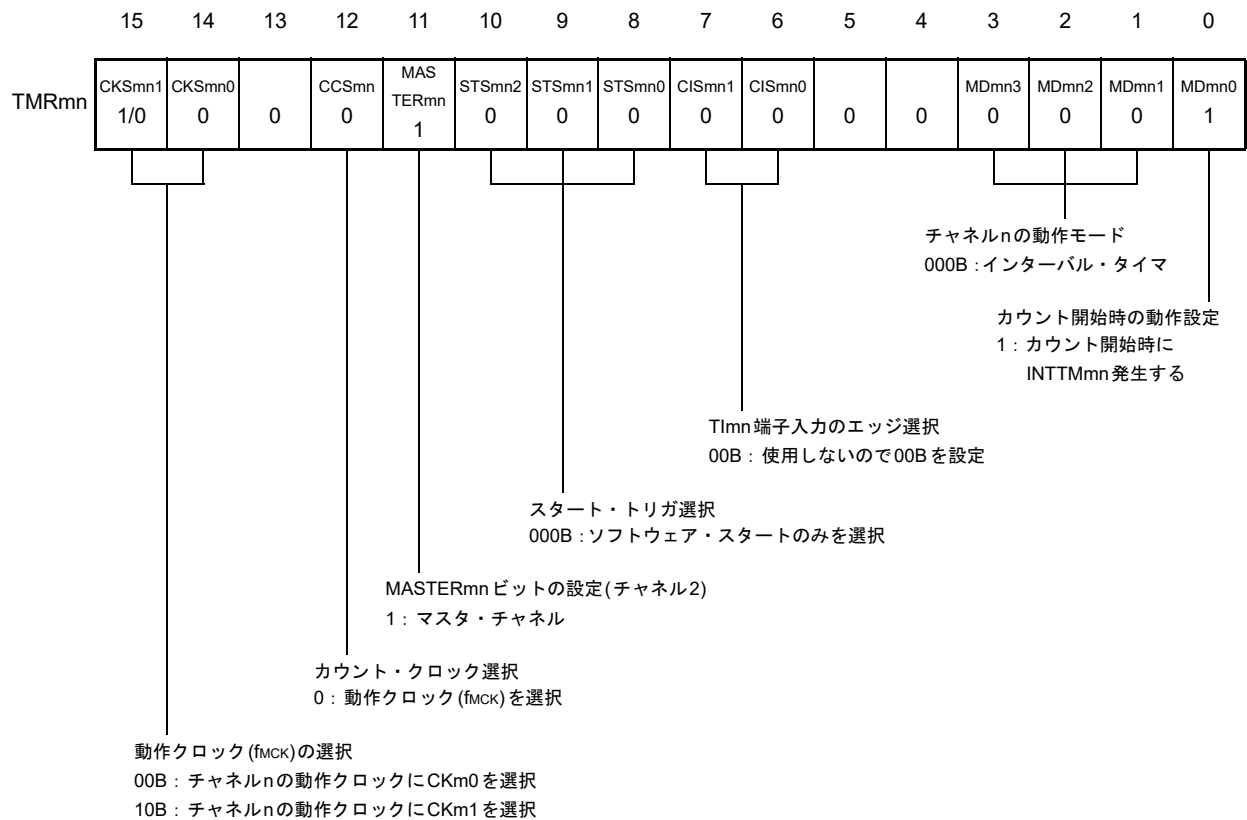
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

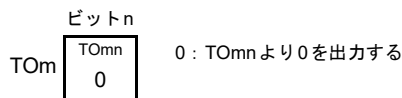
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6 - 78 PWM機能時(マスタ・チャンネル)のレジスタ設定内容例

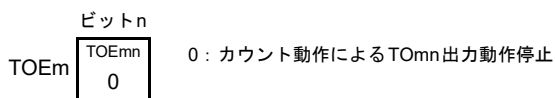
(a) タイマ・モード・レジスタ mn (TMRmn)



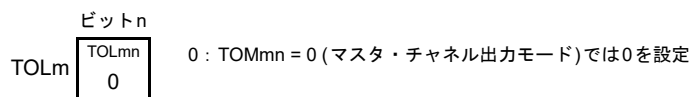
(b) タイマ出力レジスタ m (TOM)



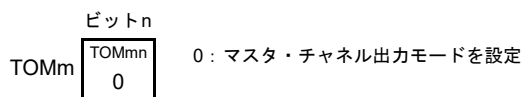
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



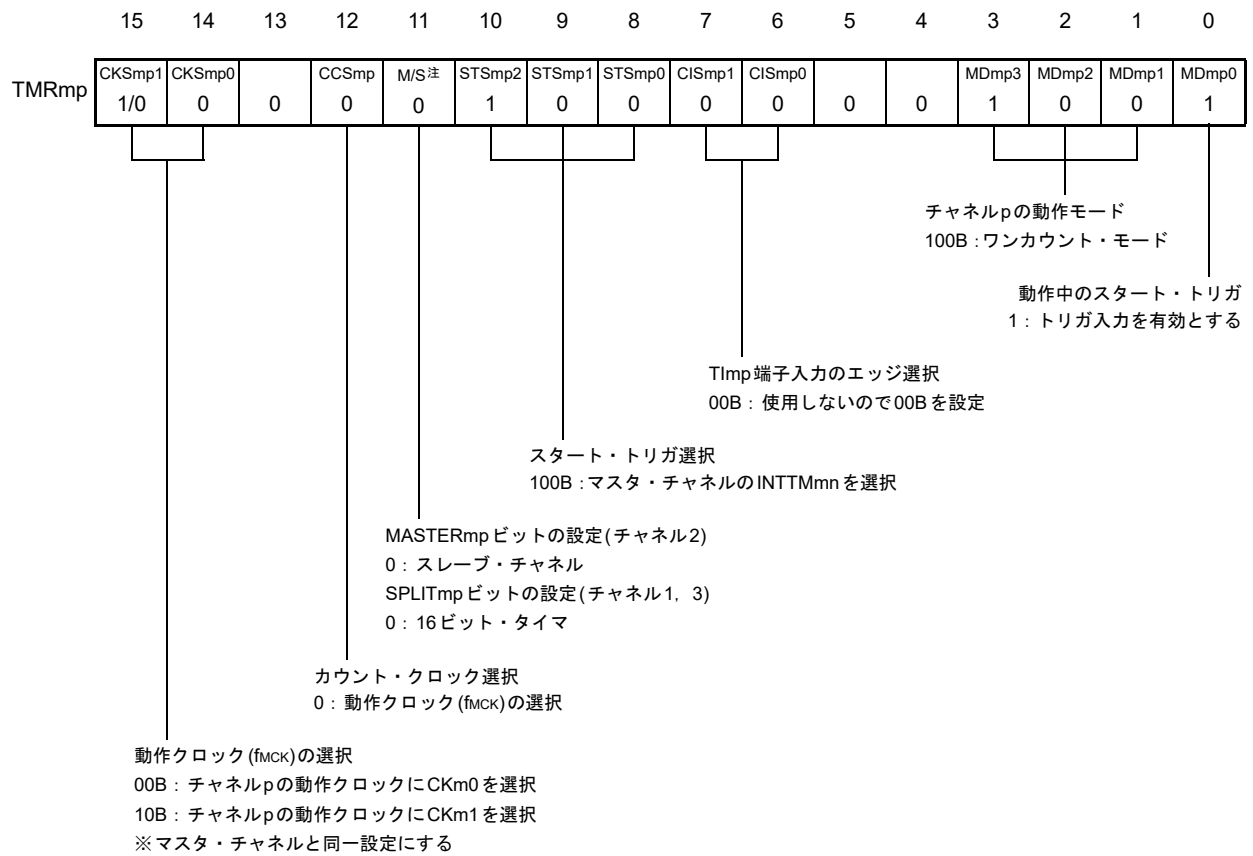
(e) タイマ出力モード・レジスタ m (TOMm)



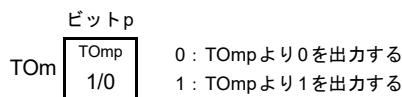
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

図6 - 79 PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例

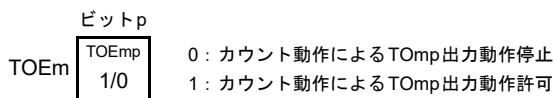
(a) タイマ・モード・レジスタ mp (TMRmp)



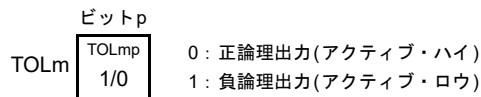
(b) タイマ出力レジスタ m (TOm)



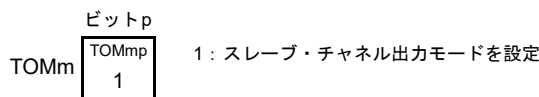
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmpビット
TMRm1, TMRm3の場合 : SPLITmpビット

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6 - 80 PWM機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	<p>周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する</p> <p>タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する</p>	<p>タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)</p> <p>タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)</p>
チャ ネル 初期 設定	<p>使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モード確定)</p> <p>マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する</p> <p>スレーブ・チャンネルの設定</p> <p>タイマ出力モード・レジスタm (TOMm)のTOMmpビットに1(スレーブ・チャンネル出力モード)を設定する</p> <p>TOLmpビットを設定する</p> <p>TOmpビットを設定し, TOmp出力の初期レベルを確定する</p> <p>TOEmpビットに1を設定し, TOmpの動作を許可</p> <p>ポート・レジスタとポート・モード・レジスタに0を設定する</p>	<p>チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)</p> <p>TOmp端子はHi-Z出力状態</p> <p>ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。</p> <p>チャンネルは動作停止状態なので, TOmpは変化しない</p> <p>TOmp端子はTOmp設定レベルを出力</p>

(備考は次ページにあります。)

図6 - 81 PWM機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSR0p レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmp レジスタはTDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmpビットに0を設定し、TOmpビットに値を設定する	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持 TOmp端子はTOmp設定レベルを出力
	TAU停止 TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニット0の入カクロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0: p = 1, 2, 3, n = 2: p = 3)

6.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

例えばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1 [\%]} &= \{\text{TDRmp (スレーブ1)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ \text{デューティ 2 [\%]} &= \{\text{TDRmq (スレーブ2)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合

または TDRmq (スレーブ2)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合は、

デューティ値が100%を越えますが、集約して100%出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn)は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp)の値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大3種のPWMを同時に出力できます。

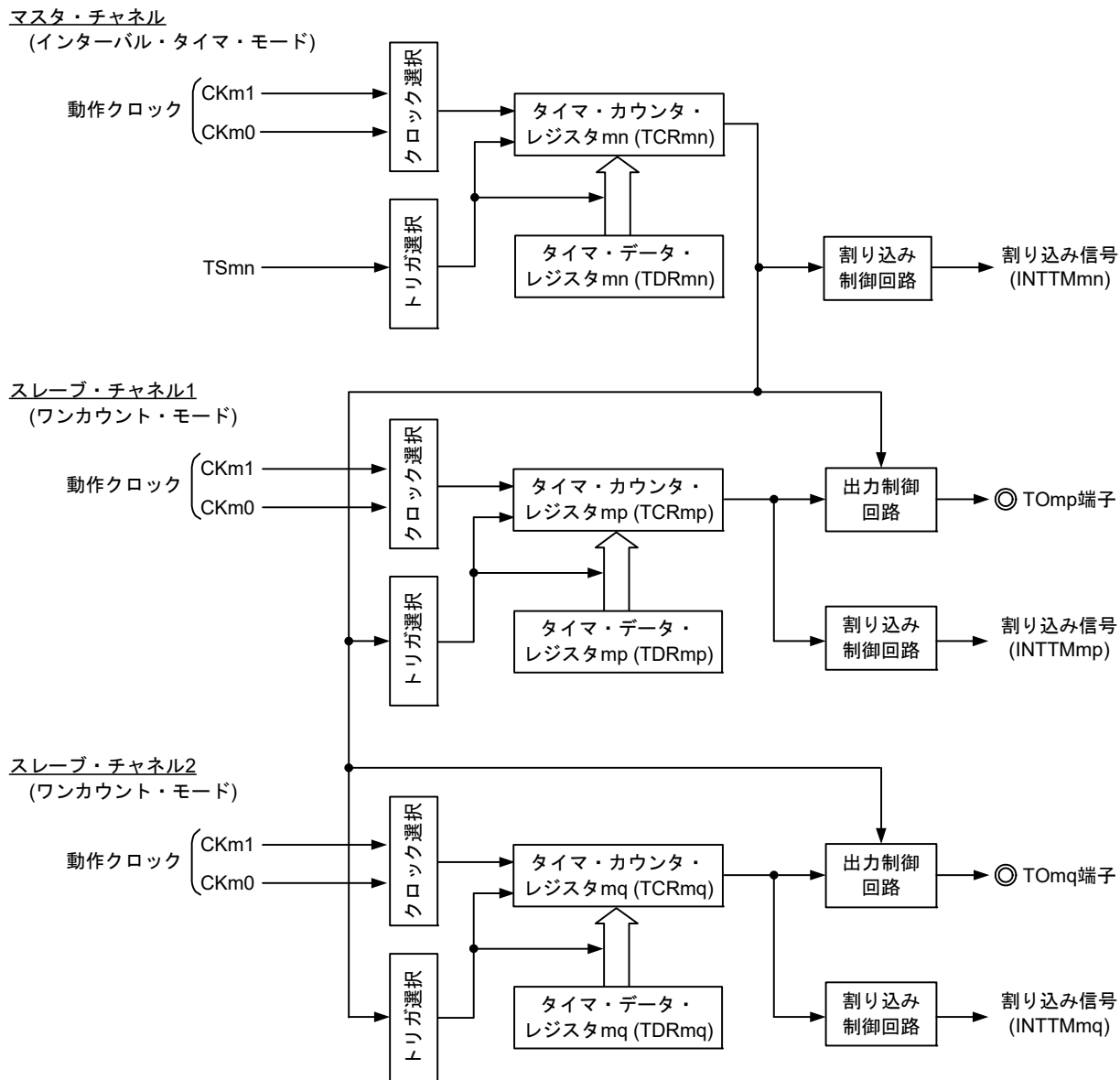
注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (ただし p, qは, n以降の整数)

図6 - 82 多重PWM出力機能としての動作のブロック図(2種類のPWMを出力する場合)

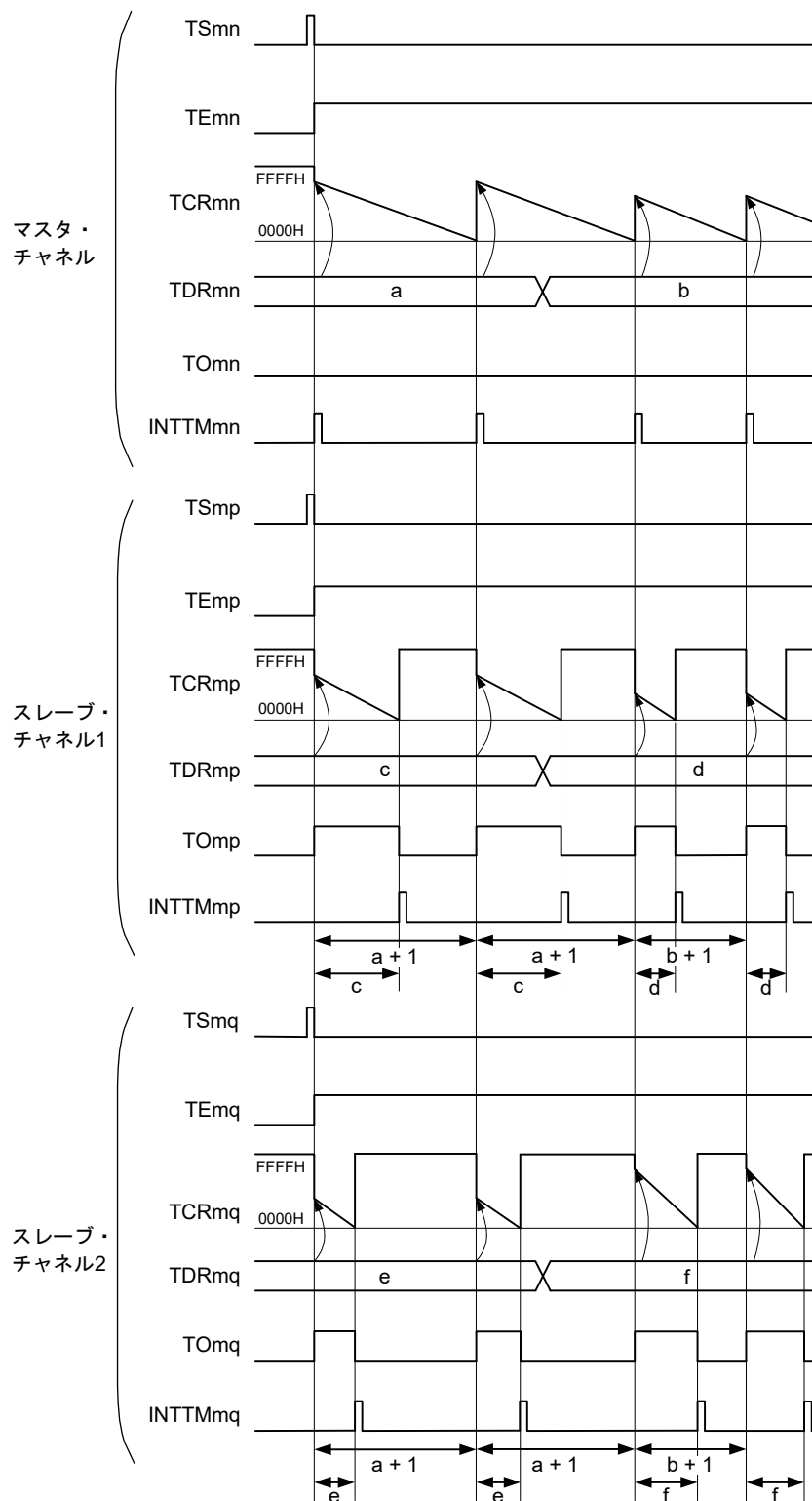


備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

n < p < q ≤ 3 (ただし p, q は, n 以降の整数)

図6 - 83 多重PWM出力機能としての動作の基本タイミング例(2種類のPWMを出力する場合)



(備考は次ページにあります。)

備考1. m : ユニット番号 ($m = 0$), n : マスタ・チャンネル番号 ($n = 0$)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (ただし p, q は, n 以降の整数)

備考2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m)のビット n, p, q

$TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m)のビット n, p, q

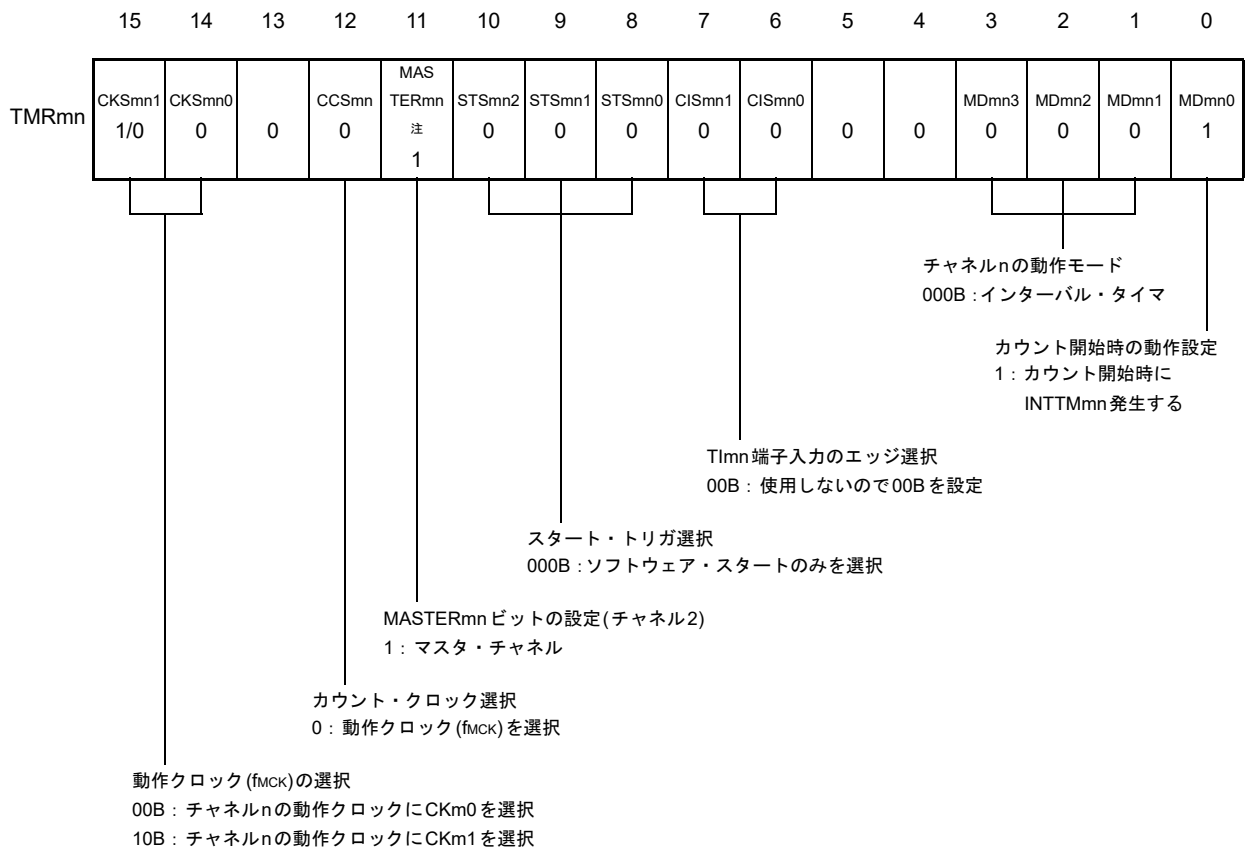
$TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)

$TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)

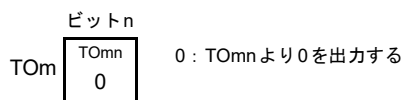
$TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図6 - 84 多重PWM出力機能時(マスタ・チャンネル)のレジスタ設定内容例

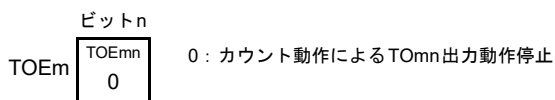
(a) タイマ・モード・レジスタ mn (TMRmn)



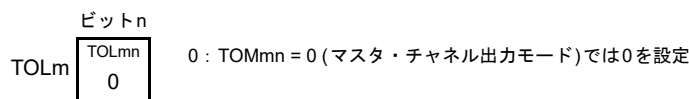
(b) タイマ出力レジスタ m (TOm)



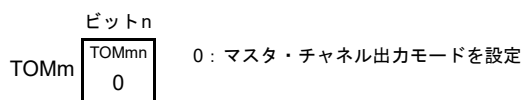
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

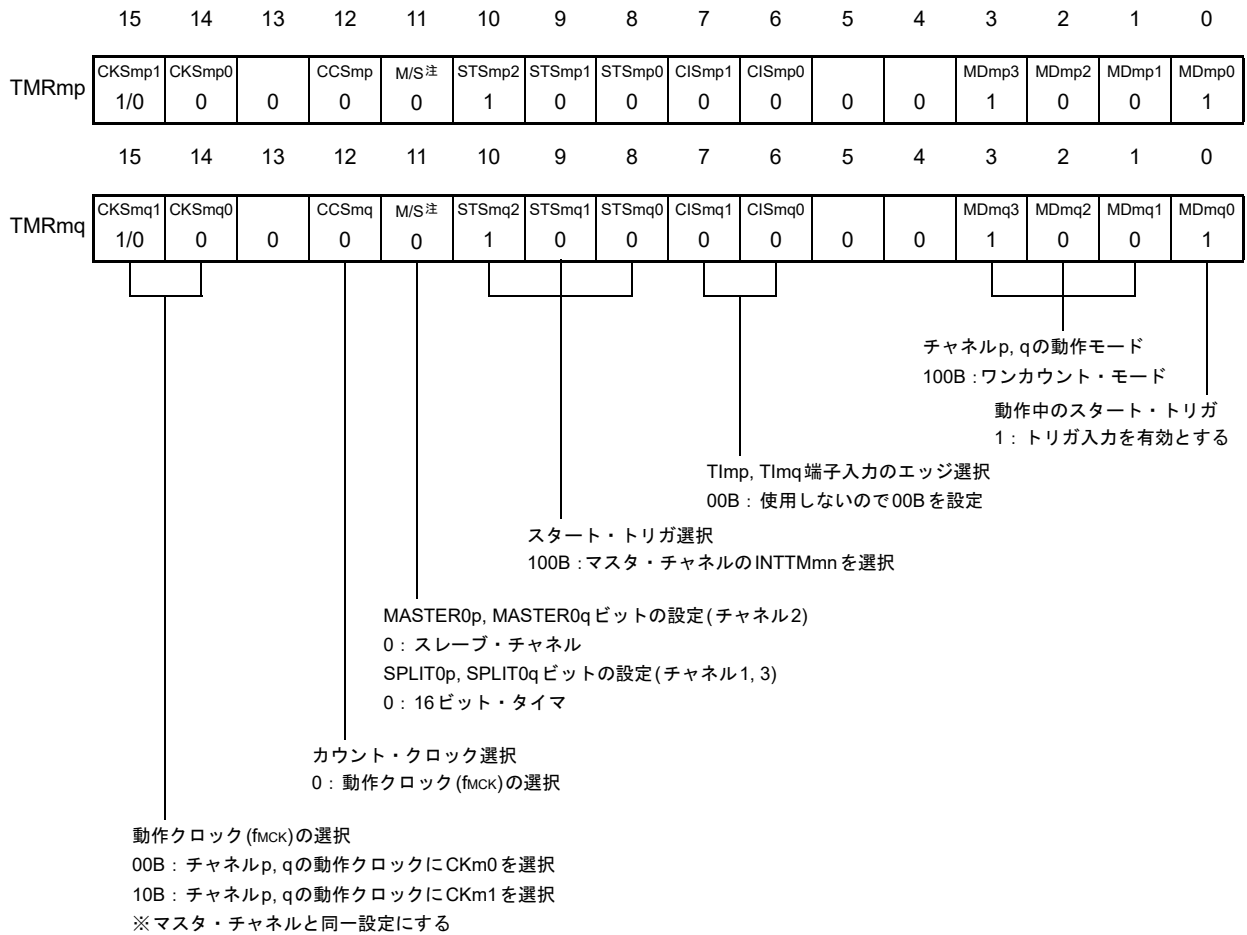


注 TMRm2の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

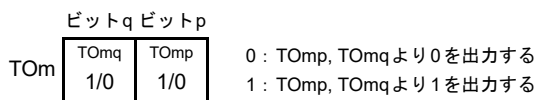
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)

図6 - 85 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)

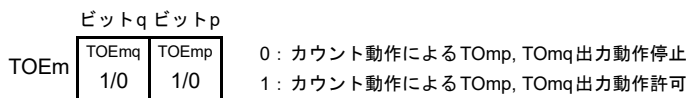
(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



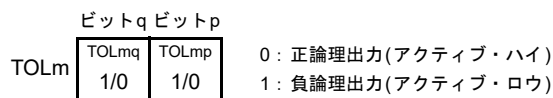
(b) タイマ出力レジスタ m (TOM)



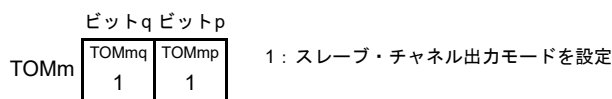
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmp, MASTERmq ビット
TMRm1, TMRm3の場合 : SPLITmp, SPLITmq ビット

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q ≤ 3 (ただしp, qは, n以降の整数)

図6 - 86 多重PWM機能時の操作手順(2種類のPWMを出力する場合) (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq)を設定する(チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp, TOMmqビットに1(スレーブ・チャンネル出力モード)を設定する TOLmp, TOLmqビットに0を設定する TOmp, TOmqビットを設定し, TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作 開始	(動作再開時のみTOEmp, TOEmq(スレーブ)ビットに1を設定する) タイマ・チャンネル開始レジスタm (TSm)のTSmn(マスタ), TSmp, TSmq(スレーブ)ビットに同時に1を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmq, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。

動作再開(次ページへ)

(備考は次ページにあります。)

図6 - 87 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開(前ページへ)	動作中	<p>TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止</p> <p>TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能</p> <p>TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能</p> <p>TSRmn, TSRmp, TSRmqレジスタは、使用しない</p>	<p>マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。</p> <p>スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。</p> <p>スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。</p>
	動作停止	<p>TTmn (マスタ), TTmp, TTmq (スレーブ)ビットに同時に1を設定する</p> <p>TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る</p> <p>スレーブ・チャンネルのTOEmp, TOEmqビットに0を設定し、TOmp, TOmqビットに値を設定する</p>	<p>TEmn, TEmp, TEmq = 0になり、カウント動作停止</p> <p>TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止</p> <p>TOmp, TOmq出力は初期化されず、状態保持</p> <p>TOmp, TOmq端子はTOmp, TOmq設定レベルを出力</p>
	TAU停止	<p>TOmp, TOmq端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOmp, TOmqビットに0を設定する</p> <p>TOmp, TOmq端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <p>PER0レジスタのTAUmENビットに0を設定する</p>	<p>TOmp, TOmq端子出力レベルはポート機能により保持される。</p> <p>タイマ・アレイ・ユニット0の入力クロック供給停止状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される</p> <p>(TOmp, TOmqビットが0になり、TOmp, TOmq端子はポート機能となる)</p>

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 3 (ただし p, q は, n以降の整数)

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

- (1) 32ピン～30ピン製品でP31に割り当てられたTO03出力を使用する場合

ポート・モード・レジスタ (PM31ビット) およびポート・レジスタ (P31ビット) に0を設定するだけでなく、兼用になっているPCLBUZ0出力を0にするために、クロック出力選択レジスタ0 (CKS0) のビット7を初期状態と同じ設定“0”にしてください。

第7章 タイマRJ

7.1 タイマRJの機能

タイマRJはパルス出力、外部入力のパルス幅/周期測定、外部イベントをカウントできる16ビットタイマです。

16ビットタイマはリロードレジスタとダウンカウンタから構成されます。リロードレジスタとダウンカウンタは同じ番地に配置されており、TRJ0レジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます。

表7-1にタイマRJの仕様を、図7-1にタイマRJのブロック図を示します。

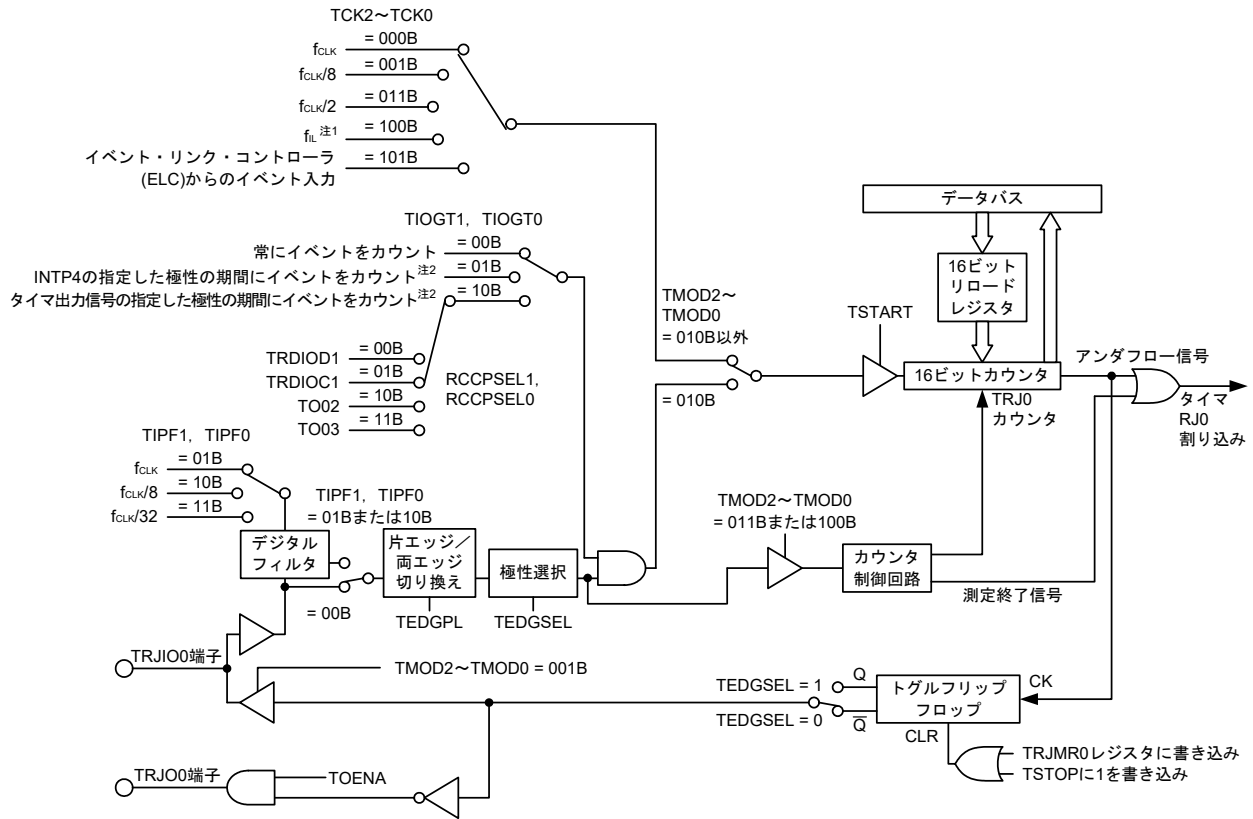
表7-1 タイマRJの仕様

項目		内容
動作モード	タイマモード	カウントソースをカウントする
	パルス出力モード	カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部イベントをカウントする STOPモード時も動作可能
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース(動作クロック)		fCLK, fCLK/2, fCLK/8, fil, イベント・リンク・コントローラ(ELC)からのイベント入力から選択可能
割り込み		<ul style="list-style-type: none"> カウンタがアンダフローしたとき パルス幅測定モードで、外部入力(TRJIO0)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO0)の設定エッジが入力されたとき
選択機能		<ul style="list-style-type: none"> イベント・リンク・コントローラ(ELC)との連携 カウントソースにELCからのイベント入力を選択可能

7.2 タイマRJの構成

図7-1にタイマRJのブロック図を、表7-2にタイマRJの端子構成を示します。

図7-1 タイマRJのブロック図



TSTART, TSTOP : TRJCR0レジスタのビット
 TEDGSEL, TOENA, TPF0, TPF1, TIOGT0, TIOGT1 : TRJIOC0レジスタのビット
 TMOD0~TMOD2, TEDGPL, TCK0~TCK2 : TRJMR0レジスタのビット
 RCCPSEL0, RCCPSEL1 : TRJISR0レジスタのビット

- 注1. カウントソースにf_{IL}を選択する場合は、動作スピード・モード制御レジスタ(OSMC)のWUTMMCK0ビットを“1”にしてください。
- 注2. TRJISR0レジスタのRCCPSEL2ビットで極性を選択できます。

表7-2 タイマRJの端子構成

端子名	入出力	機能
INTP4	入力	タイマRJの外部入力
TRJIO0注	入出力	タイマRJの外部イベント入力、パルス出力
TRJO0注	出力	タイマRJのパルス出力

注 TRJO0 端子の割り当てを、PIOR1 レジスタのPIOR12, PIOR13 ビットで選択できます。また、TRJIO0 端子の割り当てを、PIOR1 レジスタのPIOR10, PIOR11 ビットで選択できます。詳細は第4章 ポート機能を参照してください。

7.3 レジスタの説明

表7-3にタイマRJのレジスタ構成を示します。

表7-3 タイマRJのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
周辺I/Oリダイレクション・レジスタ1	PIOR1	00H	F0079H	8
周辺イネーブル・レジスタ1	PER1	00H	F007AH	8
動作スピード・モード制御レジスタ	OSMC	00H	F00F3H	8
タイマRJカウンタレジスタ0 ^注	TRJ0	FFFFH	F0500H	16
タイマRJ制御レジスタ0	TRJCR0	00H	F0240H	8
タイマRJ I/O制御レジスタ0	TRJIOC0	00H	F0241H	8
タイマRJモードレジスタ0	TRJMR0	00H	F0242H	8
タイマRJイベント端子選択レジスタ0	TRJISR0	00H	F0243H	8
ポート・レジスタ0	P0	00H	FFF00H	8
ポート・レジスタ3	P3	00H	FFF03H	8
ポート・レジスタ4	P4	00H	FFF04H	8
ポート・レジスタ5	P5	00H	FFF05H	8
ポート・モード・レジスタ0	PM0	FFH	FFF20H	8
ポート・モード・レジスタ3	PM3	FFH	FFF23H	8
ポート・モード・レジスタ4	PM4	FFH	FFF24H	8
ポート・モード・レジスタ5	PM5	FFH	FFF25H	8

注 TRJ0レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となります。
 このため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります。
 TRJ0レジスタアクセス時のウェイト・クロック数は、リード、ライトともに1クロックです。

7.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRJを使用する場合は、必ずビット0 (TRJ0EN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	PWMOPEN	OACMPEN	TRD0EN	0	0	0	TRJ0EN

TRJ0EN	タイマRJ0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ・タイマRJ0はリセット状態
1	入カクロック供給 ・タイマRJ0で使用するSFRへのリード／ライト可

注意1. タイマRJの設定をする際には、必ず最初にTRJ0EN = 1の設定を行ってください。TRJ0EN = 0の場合は、タイマRJの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ0, 3, 4, 5 (PM0, PM3, PM4, PM5)、ポート・レジスタ0, 3, 4, 5 (P0, P3, P4, P5)は除く)。

注意2. 次のビットには必ず“0”を設定してください。

ビット1-3

7.3.2 動作スピード・モード制御レジスタ (OSMC)

OSMC レジスタでは 12 ビット・インターバル・タイマの動作クロック、タイマRJのカウンタソースへの低速オンチップ・オシレータ選択可否制御を行います。

OSMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-3 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0 注1,2	0	0	0	0
WUTMMCK0 注1,2	12 ビット・インターバル・タイマの動作クロック、タイマRJのカウンタソースへの 低速オンチップ・オシレータ選択可否制御							
0	<ul style="list-style-type: none"> 低速オンチップ・オシレータを 12 ビット・インターバル・タイマの動作クロックへ選択不可 低速オンチップ・オシレータを選択をタイマRJのカウンタソースへ選択不可 							
1	<ul style="list-style-type: none"> 低速オンチップ・オシレータを 12 ビット・インターバル・タイマの動作クロックへ選択可 低速オンチップ・オシレータを選択をタイマRJのカウンタソースへ選択可 							

注1. 12 ビット・インターバル・タイマを使用する場合、必ずWUTMMCK0ビットに1を設定してください。

注2. 12 ビット・インターバル・タイマが動作中にWUTMMCK0ビットに0を設定しないでください。

注意 ビット0-3 およびビット5-7には、必ず0を設定してください。

7.3.3 タイマRJカウンタレジスタ0 (TRJ0)

16ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。

なお、TRJCR0レジスタのTSTARTビットの値により、リロードレジスタとカウンタの状態が変わります。詳細は7.4.1 リロードレジスタとカウンタの書き換え動作を参照してください。

TRJ0レジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJ0レジスタはFFFFHになります。

図7-4 タイマRJカウンタレジスタ0 (TRJ0)のフォーマット

アドレス : F0500H リセット時 : FFFFH R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TRJ0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

—	機能	設定範囲
ビット 15~0	16ビットのカウンタです。注1,2	0000H~FFFFH

注1. TRJCR0レジスタのTSTOPビットに1を書くと、16ビットカウンタは強制停止し、FFFFHになります。

注2. TRJMR0レジスタのTCK2~TCK0ビットの設定が001B (fclk/8)または011B (fclk/2)以外では、TRJ0レジスタが0000Hの場合、ELCへの要求信号はカウント開始直後の一回しか発生しません。ただし、TRJ00およびTRJIO0出力はトグル出力されます。

また、イベントカウンタモード時はTCK2~TCK0ビットの値に関わらず、TRJ0レジスタが0000Hの場合、ELCへの要求信号はカウント開始直後の1回しか発生しません。さらに、カウント指定期間外でもTRJ00がトグル出力されます。

TRJ0レジスタが0001H以上の場合はTRJがアンダフローするごとに要求信号が発生します。

注意 TRJ0レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。TRJ0レジスタアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

7.3.4 タイマRJ制御レジスタ0 (TRJCR0)

TRJCR0レジスタは、タイマRJのカウンタ動作・停止の制御と、タイマRJステータスを示すレジスタです。

TRJCR0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJCR0レジスタは00Hになります。

図7-5 タイマRJ制御レジスタ0 (TRJCR0)のフォーマット

アドレス : F0240H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJCR0	0	0	TUNDF	TEDGF	0	TSTOP	TCSTF	TSTART
TUNDF	タイマRJアンダフローフラグ							
0	アンダフローなし							
1	アンダフローあり							
[0になる条件]								
<ul style="list-style-type: none"> プログラムで0を書いたとき 								
[1になる条件]								
<ul style="list-style-type: none"> カウンタがアンダフローしたとき 								
TEDGF	有効エッジ判定フラグ							
0	有効エッジなし							
1	有効エッジあり							
[0になる条件]								
<ul style="list-style-type: none"> プログラムで0を書いたとき 								
[1になる条件]								
<ul style="list-style-type: none"> パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき 								
TSTOP	タイマRJカウント強制停止 ^{注1}							
1を書くと、カウント強制停止。読んだ場合、その値は0。								
TCSTF	タイマRJカウントステータスフラグ ^{注2}							
0	カウント停止							
1	カウント中							
[0になる条件]								
<ul style="list-style-type: none"> TSTARTビットに0を書いたとき(カウントソースに同期して0になる) TSTOPビットに1を書いたとき 								
[1になる条件]								
<ul style="list-style-type: none"> TSTARTビットに1を書いたとき(カウントソースに同期して1になる) 								
TSTART	タイマRJカウント開始 ^{注2}							
0	カウント停止							
1	カウント開始							
TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTビットを1(カウント開始)にすると、カウントソースに同期してTCSTFビットが1(カウント中)になります。また、TSTARTビットに0を書き込み後、カウントソースに同期してTCSTFビットが0(カウント停止)になります。詳細は7.5.1 カウント動作開始、停止制御を参照してください。								

注1. TSTOPビットに1(カウント強制停止)を書くと、同時にTSTART、TCSTFビットが初期化されます。また、パルス出力レベルも初期化されます。

注2. TSTART、TCSTFビットの使用上の注意は7.5.1 カウント動作開始、停止制御を参照してください。

7.3.5 タイマRJ I/O制御レジスタ0 (TRJIOC0)

TRJIOC0レジスタは、タイマRJの入出力を設定するレジスタです。

TRJIOC0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJIOC0レジスタは00Hになります。

図7-6 タイマRJ I/O制御レジスタ0 (TRJIOC0)のフォーマット

アドレス : F0241H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJIOC0	TIOGT1	TIOGT0	TIPF1	TIPF0	0	TOENA	0	TEDGSEL
	TIOGT1	TIOGT0	TRJIOカウント制御 ^{注1,2}					
	0	0	常にイベントをカウント					
	0	1	INTP4の指定した極性の期間イベントをカウント					
	1	0	タイマ出力信号の指定した極性の期間イベントをカウント					
	上記以外		設定禁止					
	TIPF1	TIPF0	TRJIO入力フィルタ選択					
	0	0	フィルタなし					
	0	1	フィルタあり, fCLKでサンプリング					
	1	0	フィルタあり, fCLK/8でサンプリング					
	1	1	フィルタあり, fCLK/32でサンプリング					
	TRJIO入力のフィルタのサンプリング周波数を指定します。TRJIO0端子からの入力をサンプリングして、その値が3回連続して一致したとき、入力が確定します。							
	TOENA	TRJO出力許可						
	0	TRJO出力禁止(ポート)						
	1	TRJO出力許可						
	TEDGSEL	入出力極性切り替え						
	動作モードによって機能が異なります(表7-4, 表7-5参照)。							

注1. INTP4またはタイマ出力信号使用時, TRJISR0レジスタのRCCPSEL2ビットでイベントをカウントする極性を選択できます。

注2. TIOGT0, TIOGT1ビットはイベントカウンタモードでのみ有効です。

表7-4 TRJIO入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない(入出力ポート)
パルス出力モード	0: Hから出力開始(初期化レベル: H) 1: Lから出力開始(初期化レベル: L)
イベントカウンタモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Lレベル幅を測定 1: Hレベル幅を測定
パルス周期測定モード	0: 測定パルスの立ち上がりから立ち上がり間測定 1: 測定パルスの立ち下がりから立ち下がり間測定

表7-5 TRJO出力極性切り替え

動作モード	機能
全モード	0: Lから出力開始(初期化レベル: L) 1: Hから出力開始(初期化レベル: H)

7.3.6 タイマRJモードレジスタ0 (TRJMR0)

TRJMR0レジスタは、タイマRJの動作モードを設定するレジスタです。

TRJMR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJMR0レジスタは00Hになります。

図7-7 タイマRJモードレジスタ0 (TRJMR0)のフォーマット

アドレス : F0242H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJMR0	0	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
	TCK2	TCK1	TCK0	タイマRJカウントソース選択注1,2				
	0	0	0	fCLK				
	0	0	1	fCLK/8				
	0	1	1	fCLK/2				
	1	0	0	fil注4				
	1	0	1	ELCからのイベント入力				
	上記以外			設定禁止				
	TEDGPL	TRJIOエッジ極性選択注5						
	0	片エッジ						
	1	両エッジ						
	TMOD2	TMOD1	TMOD0	タイマRJ動作モード選択注3				
	0	0	0	タイマモード				
	0	0	1	パルス出力モード				
	0	1	0	イベントカウンタモード				
	0	1	1	パルス幅測定モード				
	1	0	0	パルス周期測定モード				
	上記以外			設定禁止				

注1. イベントカウンタモードを選択すると、TCK0～TCK2ビットの設定にかかわらず、カウントソースは外部入力 (TRJIO)が選択されます。

注2. カウント中にカウントソースを切り替えないでください。カウントソースを切り替えるときはTRJCR0レジスタのTSTARTビットとTCSTFビットがいずれも0 (カウント停止)のときに、カウントソースを切り替えてください。

注3. 動作モードの変更は、カウント停止時 (TRJCRレジスタのTSTARTビットとTCSTFビットが共に0 (カウント停止))のみ可能です。カウント動作中には変更しないでください。

注4. カウントソースにfilを選択する場合は、動作スピード・モード制御レジスタ (OSMC)のWUTMMCK0ビットを"1"にしてください。

注5. TEDGPLビットはイベントカウンタモード時のみ有効です。

注意 TRJMR0レジスタへのライトアクセスにて、タイマRJのTRJ00端子およびTRJIO0端子の出力は初期化されます。初期化時の出力レベルは図7-6 タイマRJ I/O制御レジスタ0 (TRJIOC0)のフォーマットの説明を参照してください。

7.3.7 タイマRJイベント端子選択レジスタ0 (TRJISR0)

TRJISR0 レジスタは、イベントカウンタモード時に、イベントカウント期間を制御するタイマを選択、および極性の設定をするレジスタです。

TRJISR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJISR0 レジスタは00Hになります。

図7-8 タイマRJイベント端子選択レジスタ0 (TRJISR0)のフォーマット

アドレス : F0243H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJISR0	0	0	0	0	0	RCCPSEL2 ^注	RCCPSEL1 ^注	RCCPSEL0 ^注
RCCPSEL2 ^注	タイマ出力信号およびINTP4極性選択							
0	L期間にイベントをカウント							
1	H期間にイベントをカウント							
RCCPSEL1 ^注	RCCPSEL0 ^注	タイマ出力信号選択						
0	0	TRDIOD1						
0	1	TRDIOC1						
1	0	TO02						
1	1	TO03						

注 RCCPSEL0～RCCPSEL2ビットはイベントカウンタモードでのみ有効です。

7.3.8 ポート・モード・レジスタ 0, 3, 4, 5 (PM0, PM3, PM4, PM5)

ポート0, 3, 4, 5の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート (P01/TRJIO0, P30/TRJO0 など) をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P01/TRJIO0をタイマ出力として使用する場合

ポート・モード・レジスタ0のPM01ビットを0に設定

ポート・レジスタ0のP01ビットを0に設定

タイマ入力端子を兼用するポート (P01/TRJIO0 など) をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

(例) P01/TRJIO0をタイマ入力として使用する場合

ポート・モード・レジスタ0のPM01ビットを1に設定

ポート・レジスタ0のP01ビットを0または1に設定

PM0, PM3, PM4, PM5レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

図7-9 ポート・モード・レジスタ 0, 3, 4, 5 (PM0, PM3, PM4, PM5) のフォーマット

アドレス : FFF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	1	1	PM01	PM00

アドレス : FFF23H リセット時 : FFH R/W

PM3	1	1	1	1	1	1	PM31	PM30
-----	---	---	---	---	---	---	------	------

アドレス : FFF24H リセット時 : FFH R/W

PM4	1	1	1	1	1	1	PM41	PM40
-----	---	---	---	---	---	---	------	------

アドレス : FFF25H リセット時 : FFH R/W

PM5	1	1	1	1	1	1	PM51	PM50
-----	---	---	---	---	---	---	------	------

PMmn	Pmn端子の入出力モードの選択 (m = 0, 3 ; n = 0, 1)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

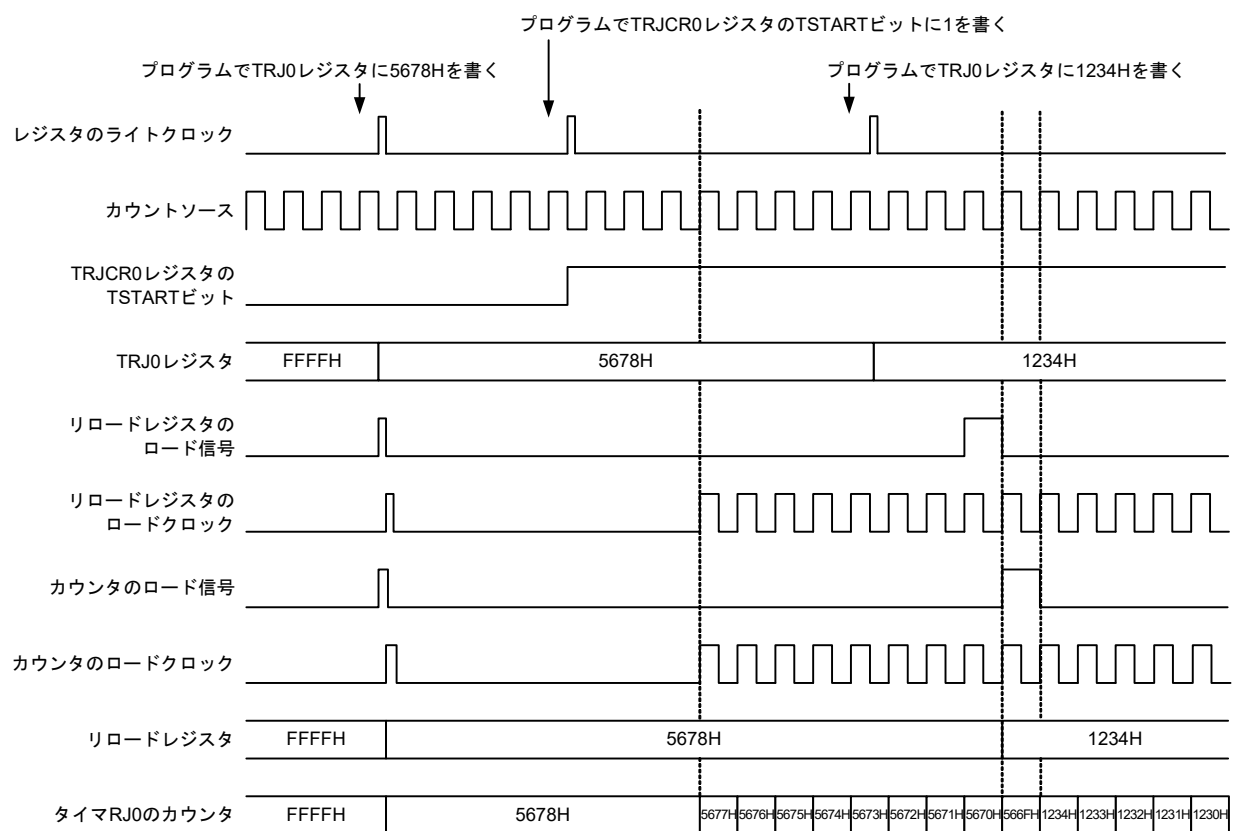
7.4 動作説明

7.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらずTRJCR0レジスタのTSTARTビットの値によりタイミングが変わります。TSTARTビットが0(カウント停止)のときは、直接リロードレジスタおよびカウンタに書き込まれます。TSTARTビットが1(カウント開始)のときは、カウントソースに同期してリロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。

図7-10にTSTARTビットの値による書き換え動作のタイミング図を示します。

図7-10 TSTARTビットの値による書き換え動作のタイミング図



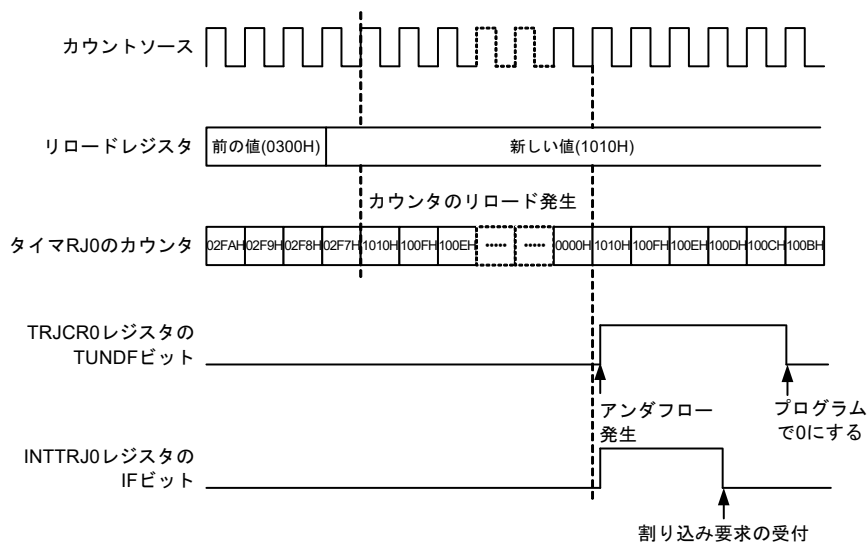
7.4.2 タイマモード

TRJMR0レジスタのTCK0～TCK2ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000Hになり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

図7-11にタイマモードの動作例を示します。

図7-11 タイマモードの動作例



7.4.3 パルス出力モード

TRJMR0 レジスタの TCK0 ~ TCK2 ビットにより選択されたカウントソースでダウンカウントし、アンダフローするごとに、TRJIO 端子および TRJO 端子の出力レベルを反転出力させるモードです。

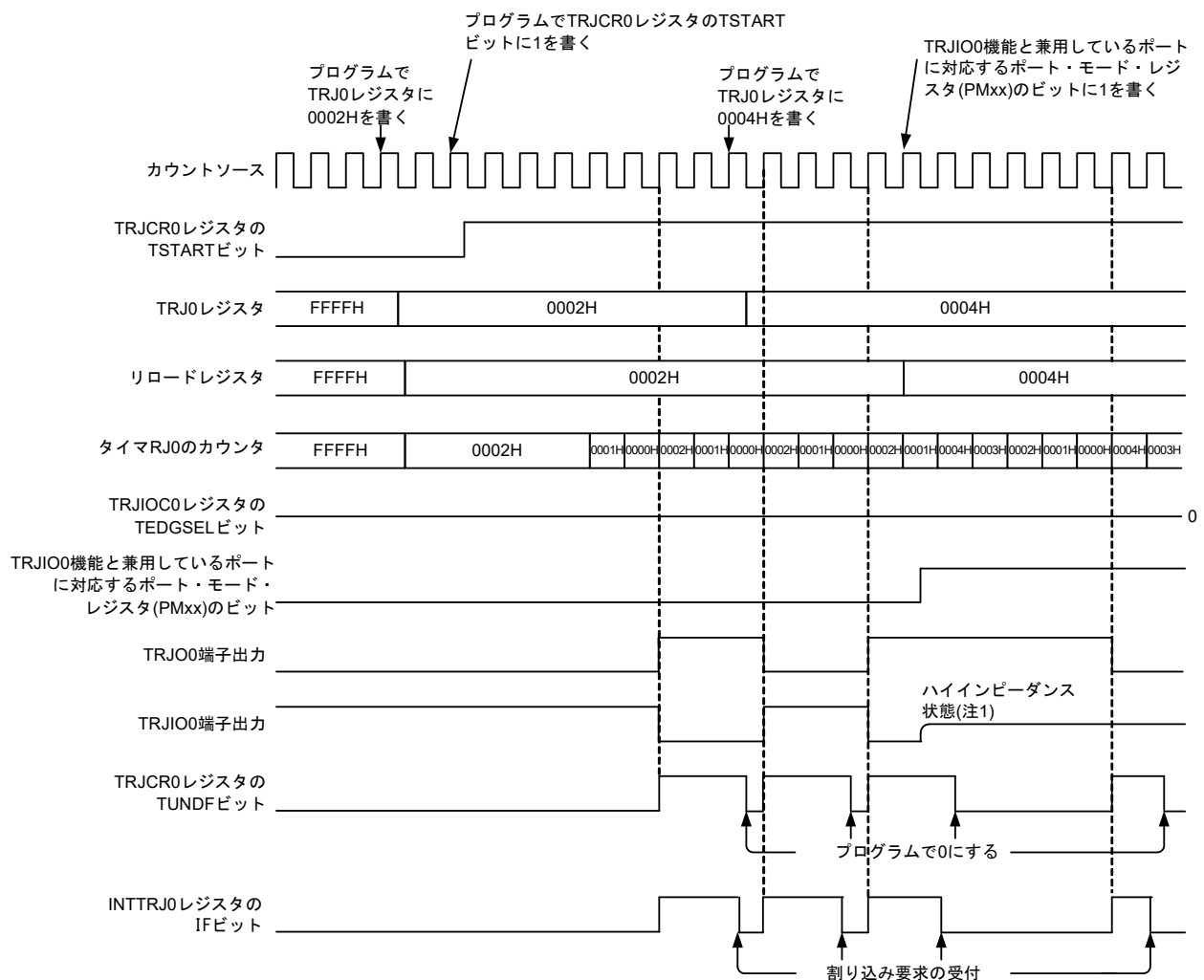
パルス出力モードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000H になり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

また、TRJIO0 端子と TRJO0 端子の2端子からパルス出力が可能で、アンダフローするごとに出力レベルを反転します。TRJO0 端子については、TRJIOC0 レジスタの TOENA ビットによりパルス出力を停止できます。

なお、出力レベルを TRJIOC0 レジスタの TEDGSEL ビットにより選択できます。

図7-12 にパルス出力モードの動作例を示します。

図7-12 パルス出力モードの動作例



注1. TRJIO0機能として選択したポートの出力許可制御によって、ハイインピーダンス状態となります。

7.4.4 イベントカウンタモード

TRJIO0端子から入力される外部イベント信号(カウントソース)でダウンカウントするモードです。

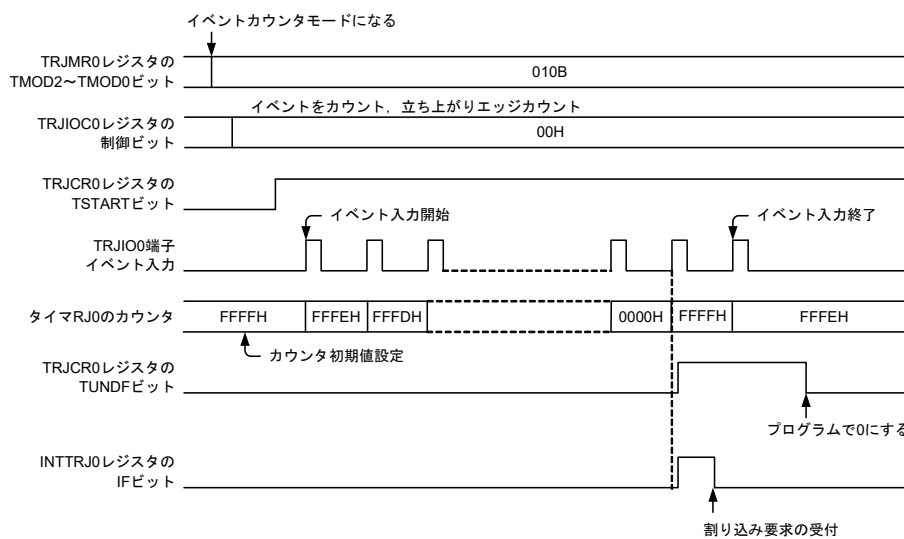
イベントカウントする期間を、TRJIOC0レジスタのTIOGT0～TIOGT1ビットおよびTRJISR0レジスタにより各種設定ができます。また、TRJIO0入力のフィルタ機能をTRJIOC0レジスタのTIPF0～TIPF1ビットで指定できます。

なお、イベントカウンタモードでもTRJO0端子からトグル出力ができます。

イベントカウンタモードを使用する場合は7.5.5 TRJO0, TRJIO0端子の設定手順を参照してください。

図7-13にイベントカウンタモードの動作例1を示します。

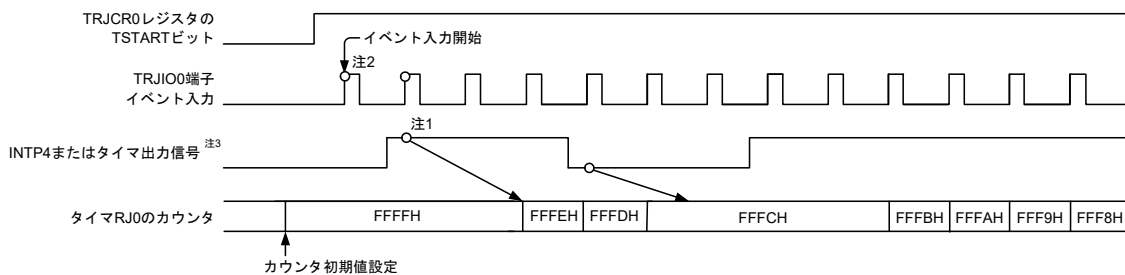
図7-13 イベントカウンタモードの動作例1



イベントカウンタモードで指定時間カウントする場合 (TRJIOC0 レジスタの TIOGT1,0 ビットが 01B または 10B) の動作例を図7-14に示します。

図7-14 イベントカウンタモードの動作例2

- 動作モード設定が下記の場合のタイミング例
 TRJMR0レジスタ: TMOD2,1,0 = 010B (イベントカウンタモード)
 TRJIOC0レジスタ: TIOGT1,0 = 01B (外部割り込み端子の指定した期間イベントカウント)
 TIPF1,0 = 00B (フィルタなし)
 TEDGSEL = 0 (立ち上がりエッジでカウント)
 TRJISR0レジスタ: RCCPSEL2 = 1 (H期間をカウント)



下記注意事項は、イベントカウンタモードの動作モード設定が、TRJIOC0レジスタのTIOGT1,0が01Bまたは10Bの場合に限ります。

注1. 同期化制御のため、カウント動作に反映されるまで、カウントソースで2クロック分の遅延があります。

注2. カウント開始直後のカウントソースで2クロック分は前回のカウント停止前の状態により、カウント動作する場合があります。

カウント開始直後の2クロック分のカウントを無効にするには、TRJCR0レジスタのTSTOPビットに“1”をライトし、内部回路を初期化し、動作設定後カウント動作開始してください。

注3. TRJISR0レジスタのRCCPSEL1, RCCPSEL0ビットで選択したタイマ出力信号について、そのタイマ出力機能を割り当てている端子はタイマ以外の兼用機能の出力としては使用できません。

7.4.5 パルス幅測定モード

TRJIO0端子から入力される外部信号のパルス幅を測定するモードです。

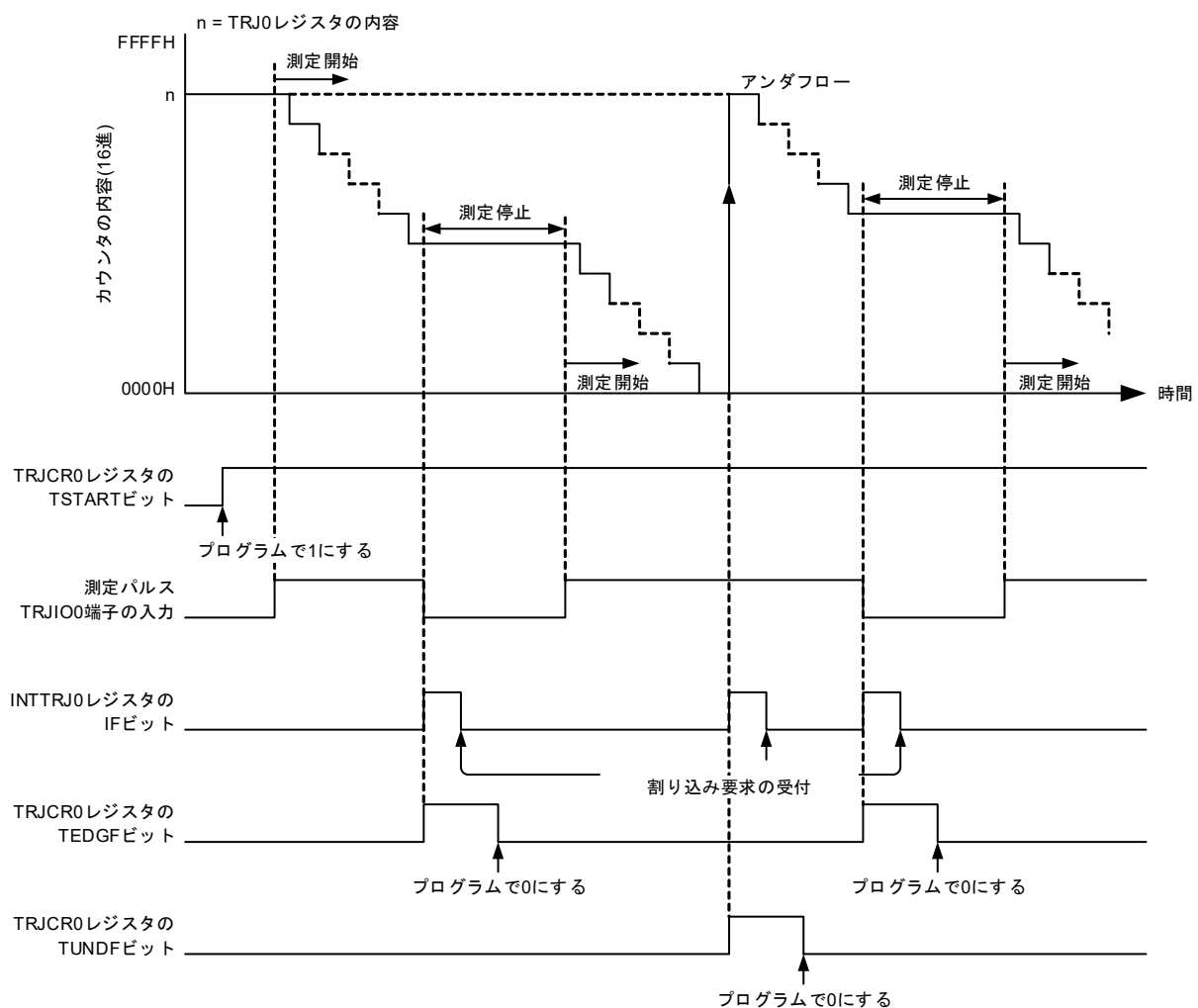
パルス幅測定モードでは、TRJIO0端子にTRJIOC0レジスタのTEDGSELビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO0端子の指定したレベルが終了するとカウンタは停止し、TRJCR0レジスタのTEDGFビットが1(有効エッジあり)になり、割り込み要求が発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCR0レジスタのTUNDFビットが1(アンダフローあり)になり、割り込み要求が発生します。

図7-15にパルス幅測定モードの動作例を示します。

TRJCR0レジスタのTEDGF, TUNDFビットをアクセスする場合は7.5.2 フラグへのアクセス(TRJCR0レジスタのTEDGF, TUNDFビット)を参照してください。

図7-15 パルス幅測定モードの動作例

測定パルスのHレベル幅を測定した場合(TRJIOC0レジスタのTEDGSELビット=1)



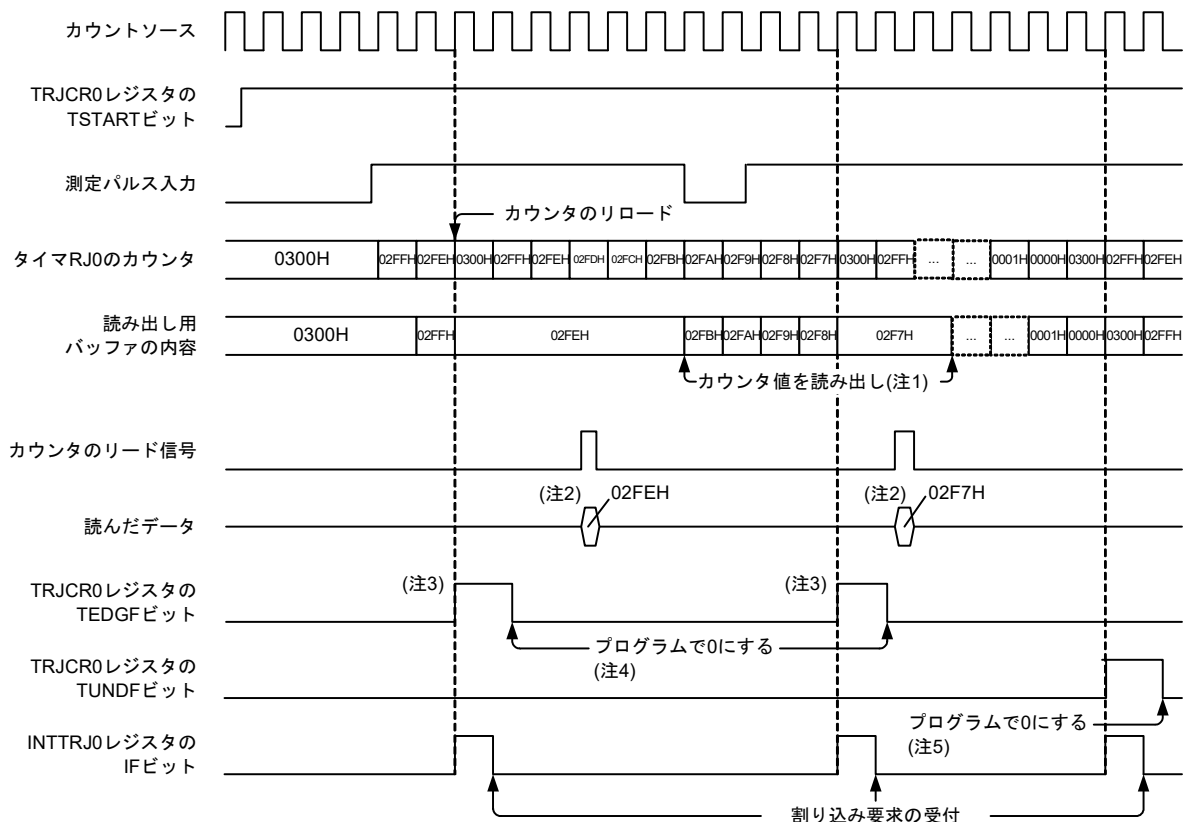
7.4.6 パルス周期測定モード

TRJIO0端子から入力する外部信号のパルス周期を測定するモードです。

TRJMR0レジスタのTCK0～TCK2ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO0端子にTRJIOC0レジスタのTEDGSELビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時にTRJCR0レジスタのTEDGFビットが1(有効エッジあり)になり、割り込み要求が発生します。このときに読み出し用バッファ(TRJ0レジスタ)を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCR0レジスタのTUNDFビットが1(アンダフローあり)になり、割り込み要求が発生します。図7-16にパルス周期測定モードの動作例を示します。

カウントソースより2倍長い周期のパルスを入力してください。また、L幅とH幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

図7-16 パルス周期測定モードの動作例



TRJ0レジスタの初期値を0300Hとし、TRJIOC0レジスタのTEDGSELビットを0にし、測定パルスの立ち上がりまで測定した場合です。

- 注1. TRJ0レジスタの読み出しは、TEDGFビットが1(有効エッジあり)になってから、次の有効エッジが入力されるまでの期間で行ってください。読み出し用のバッファの内容は、TRJ0レジスタを読み出すまで保持されます。したがって、有効エッジが入力されるまでに読み出さない場合は、前の周期の測定結果を保持します。
- 注2. パルス周期測定モードでTRJ0レジスタを読み出すと、読み出し用バッファの内容が読めます。
- 注3. 測定パルスの有効エッジ入力後に、外部パルス入力の設定エッジが入力されたとき、TRJCR0レジスタのTEDGFビットが1(有効エッジあり)になります。
- 注4. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR0レジスタのTEDGFビットに0を書いてください。
- 注5. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR0レジスタのTUNDFビットに0を書いてください。

7.4.7 イベント・リンク・コントローラ(ELC)との連携による動作

ELCとの連携により、カウントソースにELCからのイベント入力を設定することができます。

TRJMR0レジスタのTCK0～TCK2ビットにて、ELCからのイベント入力の立ち上がりでカウントします。ただし、イベントカウンタモードでは、ELC入力は機能しません。

ELC設定手順を以下に示します。

•動作開始手順

- (1) ELCのイベント出力先選択レジスタ(ELSELRn)を設定する。
- (2) イベント発生元の動作モードを設定する。
- (3) タイマRJのモードを設定する。
- (4) タイマRJのカウント動作を開始する。
- (5) イベント発生元の動作を開始する。

•動作停止手順

- (1) イベント発生元の動作を停止させる。
- (2) タイマRJのモードのカウンタ動作を停止させる。
- (3) ELCのイベント出力先選択レジスタ(ELSELRn)を0に設定する。

7.4.8 各モード出力設定

表7-6、表7-7に各モード時のTRJ00, TRJIO0端子状態を示します。

表7-6 TRJ00端子設定

動作モード	TRJIOC0レジスタ		TRJ00端子出力
	TOENAビット	TEDGSELビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

表7-7 TRJIO0端子設定

動作モード	TRJIOC0レジスタ		TRJIO0端子入出力
	PMXXビット注	TEDGSELビット	
タイマモード	0または1	0または1	入力(使用しない)
パルス出力モード	1	0または1	出力禁止(Hi-z出力)
		1	正転出力
	0	0	反転出力
イベントカウンタモード	1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

注 TRJIO0機能と兼用しているポートに対応するポート・モード・レジスタ(PMXX)のビット

7.5 タイマRJ使用上の注意事項

7.5.1 カウント動作開始、停止制御

- ・イベントカウントモードまたはカウントソースをELC以外に設定したとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1(カウント開始)を書いた後は、カウントソースの3サイクルの間、TRJCR0レジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

また、TSTARTビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第16章 割り込み機能を参照してください。

注 タイマRJ関連レジスタ：TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

- ・イベントカウントモードまたはカウントソースをELC設定したとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1(カウント開始)を書いた後は、CPUクロックの2サイクルの間、TRJCR0レジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、CPUクロックの2サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

また、TSTARTビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第16章 割り込み機能を参照してください。

注 タイマRJ関連レジスタ：TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

7.5.2 フラグへのアクセス(TRJCR0レジスタのTEDGF, TUNDFビット)

TRJCR0レジスタのTEDGF, TUNDFビットは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCR0レジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF, TUNDFビットを誤って0にする場合があります。TRJCR0レジスタへのアクセスは、8ビット・メモリ操作命令を使用してください。

7.5.3 カウンタレジスタへのアクセス

TRJCR0レジスタのTSTARTビットとTCSTFビットが共に1(カウント動作中)の場合、TRJ0レジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。

7.5.4 モード変更時

タイマRJの動作モード関連レジスタ(TRJIOC0, TRJMR0, TRJISR0)の変更は、カウント停止時(TRJCR0レジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止))のみ可能です。カウント動作中には変更しないでください。

タイマRJの動作モード関連レジスタを変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットに“0”(有効エッジなし)、TUNDFビットに“0”(アンダフローなし)を書いてから、カウントを開始してください。

7.5.5 TRJO0, TRJIO0端子の設定手順

リセット後、TRJO0, TRJIO0端子と共用しているI/Oポートは入力ポートとして機能します。
TRJO0, TRJIO0端子から出力する場合は、以下の手順で設定してください。

変更手順

- (1) モード設定をする
- (2) 初期値設定／出力許可設定をする。
- (3) TRJO0, TRJIO0端子に対応するポート・レジスタのビットを0にする。
- (4) TRJO0, TRJIO0端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
(TRJO0, TRJIO0端子端子から出力開始)
- (5) カウントを開始する(TRJCR0レジスタのTSTART = 1)。

TRJIO0端子から入力する場合は、以下の手順で設定してください。

- (1) モード設定をする
- (2) 初期値設定／エッジ選択設定をする。
- (3) TRJIO0端子に対応するポート・モード・レジスタのビットを入力モードに設定する。
(TRJIO0端子から入力開始)
- (4) カウントを開始する(TRJMR0レジスタのTSTART = 1)。
- (5) TRJCR0レジスタのTCSTFビットが1(カウント中)になるまで待つ。
(イベントカウンタモード時のみ)
- (6) TRJIO0端子から外部イベントを入力する。
- (7) 最初の測定完了による処理は無効としてください(2回目以降から測定値有効)。
(パルス幅測定モード, パルス周期測定モードのみ)

7.5.6 タイマRJ未使用時

タイマRJを使用しない場合、TRJMR0レジスタのTMOD2～TMOD0ビットを000B(タイマモード)、TRJIOC0レジスタのTOENAビットを0(TRJO出力禁止)にしてください。

7.5.7 タイマRJ動作クロック停止時

PER1レジスタのTRJ0ENビットでタイマRJのクロック供給/停止制御が可能です。ただし、タイマRJのクロック停止時は下記SFRへのアクセスができません。アクセスする場合にはタイマRJのクロックを供給した状態で行ってください。

TRJOレジスタ, TRJCR0レジスタ, TRJMR0レジスタ, TRJIOC0レジスタ, TRJISR0レジスタ

7.5.8 STOPモード(イベントカウンタモード)の設定手順

STOPモード中にイベントカウンタモードの動作をさせる場合、タイマRJのクロックを供給した後、以下の手順でSTOPモードへ移行してください。

設定手順

- (1) 動作モード設定
- (2) カウントを開始する(TSTART = 1, TCSTF = 1)
- (3) タイマRJのクロック供給停止

また、STOPモード中にイベントカウンタモードの動作を停止させる場合、以下の手順で動作停止処理を行ってください。

- (1) タイマRJのクロック供給
- (2) カウントを停止する(TSTART = 0, TCSTF = 0)

7.5.9 STOPモード(イベントカウンタモードのみ)での機能制限

STOPモード中にイベントカウンタモードの動作をさせる場合、デジタルフィルタ機能は使用できません。

7.5.10 TSTOPビットによる強制カウント停止時

TRJCR0レジスタのTSTOPビットによるカウンタ強制停止後、カウントソースで1サイクルの間、下記SFRへのアクセスはしないでください。

TRJ0レジスタ、TRJCR0レジスタ、TRJMR0レジスタ

7.5.11 デジタルフィルタ

デジタルフィルタを使用する場合はTRJIOCレジスタのTIPF1,0ビット設定後、デジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

また、デジタルフィルタを使用している状態で、TRJIOCレジスタのTEDGSELビットを変更した場合も同様にデジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

7.5.12 カウントソースにfilを選択する場合

カウントソースにfilを選択する場合は、動作スピード・モード制御レジスタ(OSMC)のWUTMMCK0ビットを“1”にしてください。

第8章 タイマRD

8.1 タイマRDの機能

タイマRDは4種類のモードを持ちます。

- タイマモード
 - インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
 - アウツプツコンペア機能 カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)
 - PWM機能 任意の幅のパルスを連続して出力する機能

次の3つのモードは、PWM機能を用います。

- リセット同期PWMモード 鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード 三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード 同一周期のPWM波形(2本)を出力するモード

タイマモードのインพุットキャプチャ機能、アウツプツコンペア機能、PWM機能は、タイマRD0とタイマRD1で同等の機能を持ち、1端子ごとに機能を選択できます。また、タイマRD0、タイマRD1の中でこれらの機能を組み合わせて使えます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、タイマRD0とタイマRD1のカウンタやレジスタを組み合わせて波形を出力します。端子の機能はモードによって決まります。

タイマRDは8本の入出力端子があります。

タイマRDの動作クロックはfCLKまたは、fHOCOです。

タイマRDは、強制遮断機能を持ちます。

INTP0の割り込み信号により、タイマRDの出力端子をHi-Z/H出力/L出力状態に強制遮断することが可能です。

コンパレータの出力信号により、PWM・オプションユニットに接続され、タイマRDの出力端子をHi-Z状態に強制遮断することが可能です。

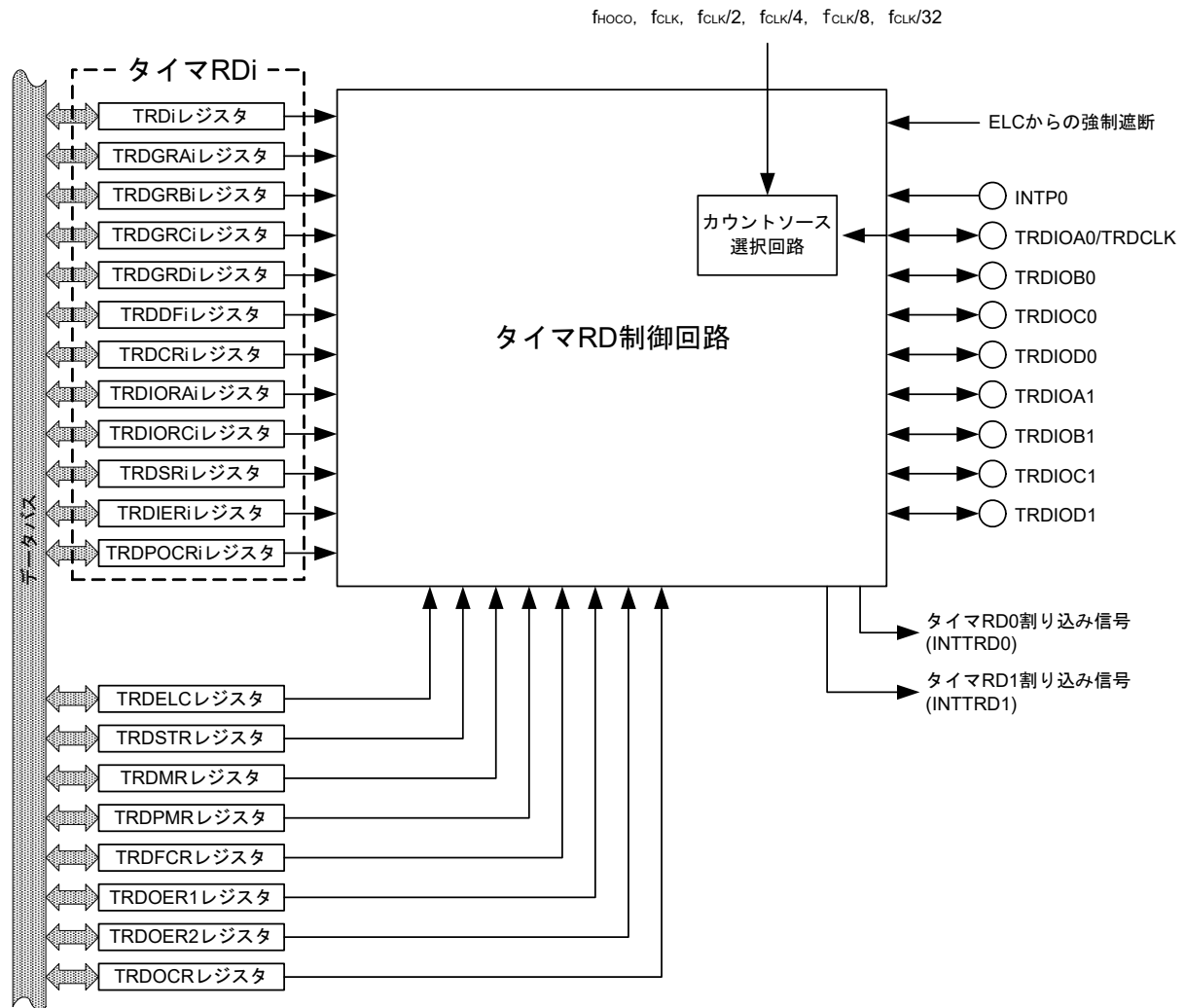
コンパレータの出力信号をELCへ接続することで、タイマRDの出力端子をHi-Z/H出力/L出力状態に強制遮断することが可能です。

なお、タイマRDの出力端子をポートとして使用している場合にも、PWM・オプションユニットへの接続に限り強制遮断することが可能です。詳しくは、8.4.4 パルス出力強制遮断を参照してください。

8.2 タイマRDの構成

図8-1にタイマRDのブロック図を、表8-1にタイマRDの端子構成を示します。

図8-1 タイマRDのブロック図



備考 i = 0, 1

表8-1 タイマRDの端子構成

端子名	割り当てる端子	入出力	機能
TRDIOA0/TRDCLK	P17	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRDIOB0	P15	入出力	
TRDIOC0	P16	入出力	
TRDIOD0	P14	入出力	
TRDIOA1	P13	入出力	
TRDIOB1	P12	入出力	
TRDIOC1	P11	入出力	
TRDIOD1	P10	入出力	

8.3 レジスタの説明

表8-2にタイマRDのレジスタ構成を示します。

表8-2 タイマRDのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
周辺イネーブル・レジスタ1	PER1	00H	F007AH	8
タイマRD ELCレジスタ	TRDEL	00H	F0260H	8
タイマRDスタートレジスタ	TRDSTR	0CH注	F0263H	8
タイマRDモードレジスタ	TRDMR	00H注	F0264H	8
タイマRD PWM機能選択レジスタ	TRDPMR	00H注	F0265H	8
タイマRD機能制御レジスタ	TRDFCR	80H注	F0266H	8
タイマRD出力カマスタ許可レジスタ1	TRDOER1	FFH注	F0267H	8
タイマRD出力カマスタ許可レジスタ2	TRDOER2	00H注	F0268H	8
タイマRD出力制御レジスタ	TRDOCR	00H注	F0269H	8
タイマRD デジタルフィルタ機能選択レジスタ0	TRDDF0	00H注	F026AH	8
タイマRD デジタルフィルタ機能選択レジスタ1	TRDDF1	00H注	F026BH	8
タイマRD制御レジスタ0	TRDCR0	00H注	F0270H	8
タイマRD I/O制御レジスタA0	TRDIORA0	00H注	F0271H	8
タイマRD I/O制御レジスタC0	TRDIORC0	88H注	F0272H	8
タイマRDステータスレジスタ0	TRDSR0	00H注	F0273H	8
タイマRD割り込み許可レジスタ0	TRDIER0	00H注	F0274H	8
タイマRD PWM機能出力レベル制御レジスタ0	TRDPOCR0	00H注	F0275H	8
タイマRDカウンタ0	TRD0	0000H注	F0276H	16
タイマRD ジェネラルレジスタA0	TRDGRA0	FFFFH注	F0278H	16
タイマRD ジェネラルレジスタB0	TRDGRB0	FFFFH注	F027AH	16
タイマRD ジェネラルレジスタC0	TRDGRC0	FFFFH注	FFF58H	16
タイマRD ジェネラルレジスタD0	TRDGRD0	FFFFH注	FFF5AH	16
タイマRD制御レジスタ1	TRDCR1	00H注	F0280H	8
タイマRD I/O制御レジスタA1	TRDIORA1	00H注	F0281H	8
タイマRD I/O制御レジスタC1	TRDIORC1	88H注	F0282H	8
タイマRDステータスレジスタ1	TRDSR1	00H注	F0283H	8
タイマRD割り込み許可レジスタ1	TRDIER1	00H注	F0284H	8
タイマRD PWM機能出力レベル制御レジスタ1	TRDPOCR1	00H注	F0285H	8
タイマRDカウンタ1	TRD1	0000H注	F0286H	16
タイマRD ジェネラルレジスタA1	TRDGRA1	FFFFH注	F0288H	16
タイマRD ジェネラルレジスタB1	TRDGRB1	FFFFH注	F028AH	16
タイマRD ジェネラルレジスタC1	TRDGRC1	FFFFH注	FFF5CH	16
タイマRD ジェネラルレジスタD1	TRDGRD1	FFFFH注	FFF5EH	16
ポート・レジスタ1	P1	00H	FFF01H	8
ポート・モード・レジスタ1	PM1	FFH	FFF21H	8

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRDを使用する場合は、必ずビット4 (TRD0EN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	PWMOPEN	OACMPEN	TRD0EN	0	0	0	TRJ0EN

TRD0EN	タイマRDの入カクロック供給の制御
0	入カクロック供給停止 ・タイマRDで使用するSFRへのライト不可 ・タイマRDはリセット状態
1	入カクロック供給 ・タイマRDで使用するSFRへのリード／ライト可

注意1. タイマRDの設定をする際には、必ず最初にTRD0EN = 1の設定を行ってください。TRD0EN = 0の場合は、タイマRDの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ1 (PM1)、ポート・レジスタ1 (P1)は除く)。

注意2. 次のビットには必ず“0”を設定してください。

ビット1-3

注意3. タイマRDのカウントソースにfHocoを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

8.3.2 タイマRD ELC レジスタ (TRDELIC)

図8-3 タイマRD ELCレジスタ (TRDELIC)のフォーマット

アドレス : F0260H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDELIC	0	0	ELCOBE1	ELCICE1	0	0	ELCOBE0	ELCICE0

ELCOBE1	タイマRDパルス出力強制遮断用ELCイベント入力1許可
0	強制遮断を禁止
1	強制遮断を許可

ELCICE1	タイマRDインプットキャプチャD1用ELCイベント入力1選択
0	TRDIOD1のインプットキャプチャを選択
1	イベント・リンク・コントローラ(ELC)からのイベント入力1を選択

ELCOBE0	タイマRDパルス出力強制遮断用ELCイベント入力0許可
0	強制遮断を禁止
1	強制遮断を許可

ELCICE0	タイマRDインプットキャプチャD0用ELCイベント入力0選択
0	TRDIOD0のインプットキャプチャを選択
1	イベント・リンク・コントローラ(ELC)からのイベント入力0を選択

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.3 タイマRDスタートレジスタ (TRDSTR)

TRDSTRレジスタは8ビット・メモリ操作命令で設定できます。タイマRD使用上の注意事項の8.7.1 (1) TRDSTRレジスタを参照してください。

図8-4 タイマRDスタートレジスタ (TRDSTR)のフォーマット

アドレス : F0263H リセット時 : 0CH^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDSTR	0	0	0	0	CSEL1	CSEL0	TSTART1	TSTART0
CSEL1	TRD1カウント動作選択 ^{注2}							
0	TRDGRA1レジスタとのコンペア一致でカウント停止							
1	TRDGRA1レジスタとのコンペア一致後もカウント継続 ^{注3}							
CSEL0	TRD0カウント動作選択							
0	TRDGRA0レジスタとのコンペア一致でカウント停止							
1	TRDGRA0レジスタとのコンペア一致後もカウント継続 ^{注3}							
TSTART1	TRD1カウント開始フラグ ^{注4,5}							
0	カウント停止							
1	カウント開始							
TSTART0	TRD0カウント開始フラグ ^{注6,7}							
0	カウント停止							
1	カウント開始							

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. PWM3モードでは使用しません。

注3. インพุットキャプチャ機能では1にしてください。

注4. CSEL1ビットが1に設定されているとき、TSTART1ビットへ0を書いてください。

注5. CSEL1ビットが0でコンペア一致信号(TRDIOA1)が発生したとき、0(カウント停止)になります。

注6. CSEL0ビットが1に設定されているとき、TSTART0ビットへ0を書いてください。

注7. CSEL0ビットが0でコンペア一致信号(TRDIOA0)が発生したとき、0(カウント停止)になります。

8.3.4 タイマRDモードレジスタ (TRDMR)

図8-5 タイマRDモードレジスタ (TRDMR)のフォーマット

アドレス : F0264H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDMR	TRDBFD1	TRDBFC1	TRDBFD0	TRDBFC0	0	0	0	TRDSYNC
TRDBFD1	TRDGRD1レジスタ機能選択 ^{注2}							
0	ジェネラルレジスタ							
1	TRDGRB1レジスタのバッファレジスタ							
TRDBFC1	TRDGRC1レジスタ機能選択 ^{注2}							
0	ジェネラルレジスタ							
1	TRDGRA1レジスタのバッファレジスタ							
TRDBFD0	TRDGRD0レジスタ機能選択 ^{注2}							
0	ジェネラルレジスタ							
1	TRDGRB0レジスタのバッファレジスタ							
TRDBFC0	TRDGRC0レジスタ機能選択 ^{注2,3}							
0	ジェネラルレジスタ							
1	TRDGRA0レジスタのバッファレジスタ							
TRDSYNC	タイマRD同期 ^{注4}							
0	TRD0とTRD1は独立動作							
1	TRD0とTRD1は同期動作							

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. アウトプットコンペア機能時、TRDIORCiレジスタ(i = 0, 1)のIOj3ビット(j = CまたはD)で0 (TRDGRjiレジスタ出力端子変更)を選択した場合、TRDMRレジスタのTRDBFjiビットを0にしてください。

注3. 相補PWMモードでは0 (ジェネラルレジスタ)にしてください。

注4. リセット同期PWMモード時、相補PWMモード時、およびPWM3モード時は、0 (TRD0とTRD1は独立動作)にしてください。

8.3.5 タイマRD PWM機能選択レジスタ (TRDPMR)

図8 - 6 タイマRD PWM機能選択レジスタ (TRDPMR)のフォーマット[タイマモード]

アドレス : F0265H リセット時 : 00H注 R/W

略号	7	6	5	4	3	2	1	0
TRDPMR	0	TRDPWMD1	TRDPWMC1	TRDPWMB1	0	TRDPWMD0	TRDPWMC0	TRDPWMB0
TRDPWMD1	TRDIOD1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMC1	TRDIOC1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMB1	TRDIOB1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMD0	TRDIOD0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMC0	TRDIOC0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMB0	TRDIOB0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.6 タイマRD機能制御レジスタ (TRDFCR)

図8-7 タイマRD機能制御レジスタ (TRDFCR)のフォーマット

アドレス : F0266H リセット時 : 80H^{注1} R/W

略号	7	6	5	4	3	2	1	0									
TRDFCR	PWM3	STCLK	0	0	OLS1	OLS0	CMD1	CMD0									
PWM3	PWM3モード選択 ^{注2}																
<ul style="list-style-type: none"> ・タイマモードの場合は, 1 (PWM3モード以外)にしてください。 ・PWM3モードの場合は0 (PWM3モード)にしてください。 ・リセット同期PWMモード, 相補PWMモードでは無効です。 																	
STCLK	外部クロック入力選択																
<ul style="list-style-type: none"> ・タイマモード, リセット同期PWMモード, 相補PWMモードの場合は, 0 : 外部クロック入力無効 1 : 外部クロック入力有効 <ul style="list-style-type: none"> ・PWM3モードの場合は, 0 (外部クロック入力無効)にしてください。 																	
OLS1	逆相出力レベル選択 (リセット同期PWMモードまたは相補PWMモード時)																
<ul style="list-style-type: none"> ・リセット同期PWMモード, 相補PWMモードの場合は, 0 : 初期出力H, アクティブレベルL 1 : 初期出力L, アクティブレベルH <ul style="list-style-type: none"> ・タイマモード, PWM3モードでは無効です。 																	
OLS0	正相出力レベル選択 (リセット同期PWMモードまたは相補PWMモード時)																
<ul style="list-style-type: none"> ・リセット同期PWMモード, 相補PWMモードの場合は, 0 : 初期出力H, アクティブレベルL 1 : 初期出力L, アクティブレベルH <ul style="list-style-type: none"> ・タイマモード, PWM3モードでは無効です。 																	
CMD1	CMD0	コンビネーションモード選択 ^{注3,4}															
<ul style="list-style-type: none"> ・タイマモード, PWM3モードの場合は, 00B (タイマモード, PWM3モード)にしてください。 <ul style="list-style-type: none"> ・リセット同期PWMモードの場合は, 01B (リセット同期PWMモード)にしてください。 ・相補PWMモードの場合は, <table border="1"> <thead> <tr> <th>CMD1</th> <th>CMD0</th> <th></th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>: 相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送)</td> </tr> <tr> <td>1</td> <td>1</td> <td>: 相補PWMモード (TRD0とTRDGRA0レジスタのコンパレー一致時にバッファレジスタからジェネラルレジスタへ転送)</td> </tr> </tbody> </table> 上記以外 : 設定しないでください									CMD1	CMD0		1	0	: 相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送)	1	1	: 相補PWMモード (TRD0とTRDGRA0レジスタのコンパレー一致時にバッファレジスタからジェネラルレジスタへ転送)
CMD1	CMD0																
1	0	: 相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送)															
1	1	: 相補PWMモード (TRD0とTRDGRA0レジスタのコンパレー一致時にバッファレジスタからジェネラルレジスタへ転送)															

(注は, 次ページにあります。)

- 注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. CMD1, CMD0ビットが00B (タイマモード, PWM3モード)のとき、PWM3ビットの設定が有効になります。
- 注3. CMD0, CMD1ビットはTRDSTRレジスタのTSTART0, TSTART1ビットがともに0 (カウント停止)のときに書いてください。
- 注4. CMD1, CMD0ビットを01B, 10B, 11Bに設定したとき、TRDPMRレジスタの設定にかかわらず、リセット同期PWMモードまたは相補PWMモードになります。

8.3.7 タイマRD出力マスタ許可レジスタ1 (TRDOER1)

図8-8 タイマRD出力マスタ許可レジスタ1 (TRDOER1)のフォーマット
 [アウトプットコンペア機能, PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード]

アドレス : F0267H リセット時 : FFH^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOER1	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
	ED1	TRDIOD1出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOD1端子はI/Oポート)						
	EC1	TRDIOC1出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOC1端子はI/Oポート)						
	EB1	TRDIOB1出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOB1端子はI/Oポート)						
	EA1	TRDIOA1出力禁止 ^{注2, 3}						
	0	出力許可						
	1	出力禁止 (TRDIOA1端子はI/Oポート)						
	ED0	TRDIOD0出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOD0端子はI/Oポート)						
	EC0	TRDIOC0出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOC0端子はI/Oポート)						
	EB0	TRDIOB0出力禁止						
	0	出力許可						
	1	出力禁止 (TRDIOB0端子はI/Oポート)						
	EA0	TRDIOA0出力禁止 ^{注3, 4}						
	0	出力許可						
	1	出力禁止 (TRDIOA0端子はI/Oポート)						

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. PWM3モードでは、1にしてください。

注3. PWM機能では、1にしてください。

注4. リセット同期PWMモード、相補PWMモードでは、1にしてください。

8.3.8 タイマRD出力マスタ許可レジスタ2 (TRDOER2)

図8-9 タイマRD出力マスタ許可レジスタ2 (TRDOER2)のフォーマット
 [PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード]

アドレス : F0268H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOER2	TRDPTO	0	0	0	0	0	0	TRDSHUTS

TRDPTO	パルス出力強制遮断信号入力INTP0有効 ^{注2}
0	パルス出力強制遮断入力無効
1	パルス出力強制遮断入力有効 (INTP0端子にLを入力すると, TRDSHUTSビットが1となる)

TRDSHUTS	強制遮断フラグ
0	強制遮断なし
1	強制遮断中

INTP0, ELC入カイベントによるパルス強制遮断時に1となります。このビットは自動クリアされません。したがって、パルス強制遮断を止める場合、カウント停止中 (TSTARTi = 0) に0を書いてください。有効なモードでTRDSHUTSビットに1を書いても強制遮断します。

注1. ユーザ・オプション・バイト (000C2H) のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 8.4.4 パルス出力強制遮断を参照してください。

8.3.9 タイマRD出力制御レジスタ (TRDOCR)

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに0(カウント停止)のときに書いてください。

図8 - 10 タイマRD出力制御レジスタ (TRDOCR)のフォーマット[アウトプットコンペア機能]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1	TRDIOD1初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOC1	TRDIOC1初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOB1	TRDIOB1初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOA1	TRDIOA1初期出力レベル選択							
0	初期出力L							
1	初期出力H							
TOD0	TRDIOD0初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOC0	TRDIOC0初期出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOB0	TRDIOB0出力レベル選択 ^{注2}							
0	初期出力L							
1	初期出力H							
TOA0	TRDIOA0出力レベル選択							
0	初期出力L							
1	初期出力H							

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図8 - 11 タイマRD出力制御レジスタ (TRDOCR)のフォーマット [PWM機能]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
	TOD1		TRDIOD1初期出力レベル選択 ^{注2}					
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOC1		TRDIOC1初期出力レベル選択 ^{注2}					
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOB1		TRDIOB1初期出力レベル選択 ^{注2}					
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOA1		TRDIOA1初期出力レベル選択					
	0にしてください。							
	TOD0		TRDIOD0初期出力レベル選択 ^{注2}					
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOC0		TRDIOC0初期出力レベル選択 ^{注2}					
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	リセット同期PWMモード時、相補PWMモード時は、有効となります。							
	TOB0		TRDIOB0出力レベル選択 ^{注2}					
	0	初期出力は非アクティブレベル						
	1	初期出力はアクティブレベル						
	TOA0		TRDIOA0出力レベル選択					
	0にしてください。							

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図8 - 12 タイマRD出力制御レジスタ (TRDOCR)のフォーマット
[リセット同期PWMモード, 相補PWMモード]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1, TOC1, TOB1, TOA1, TOD0, TOB0, TOA0		リセット同期PWMモード時, 相補PWMモードでは, 設定は無効です。必ず, 0を設定してください。リセット同期PWMモード, 相補PWMモードの場合, 本レジスタの設定には依存せず, TRDFCRのOLS1, OLS0ビットの設定に従います。						
TOC0		TRDIOC0初期出力レベル選択 ^{注2}						
0		初期出力L						
1		初期出力H						
リセット同期PWMモードでは, PWM周期ごとに出力反転します。 相補PWMモードでは, PWMの1/2周期ごとに出力反転します。								

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ, PER1レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合, TRDOCRレジスタを設定したとき, 初期出力レベルが出力されます。

図8-13 タイマRD出力制御レジスタ (TRDOCR)のフォーマット[PWM3モード]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
	TOD1		TRDIOD1初期出力レベル選択					
	PWM3モードは無効です。							
	TOC1		TRDIOC1初期出力レベル選択					
	PWM3モードは無効です。							
	TOB1		TRDIOB1初期出力レベル選択					
	PWM3モードは無効です。							
	TOA1		TRDIOA1初期出力レベル選択					
	PWM3モードは無効です。							
	TOD0		TRDIOD0初期出力レベル選択					
	PWM3モードは無効です。							
	TOC0		TRDIOC0初期出力レベル選択					
	PWM3モードは無効です。							
	TOB0		TRDIOB0出力レベル選択 ^{注2}					
	0	初期出力L, アクティブレベルH, TRDGRB1のコンペア一致でH出力, TRDGRB0のコンペア一致でL出力						
	1	初期出力H, アクティブレベルL, TRDGRB1のコンペア一致でL出力, TRDGRB0のコンペア一致でH出力						
	TOA0		TRDIOA0出力レベル選択ビット					
	0	初期出力L, アクティブレベルH, TRDGRA1のコンペア一致でH出力, TRDGRA0のコンペア一致でL出力						
	1	初期出力H, アクティブレベルL, TRDGRA1のコンペア一致でL出力, TRDGRA0のコンペア一致でH出力						

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

8.3.10 タイマRD デジタルフィルタ機能選択レジスタ i (TRDDFi) ($i = 0, 1$)図8 - 14 タイマRD デジタルフィルタ機能選択レジスタ i (TRDDFi) ($i = 0, 1$)のフォーマット
[インプットキャプチャ機能]

アドレス : F026AH (TRDDF0), F026BH (TRDDF1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA
DFCK1	DFCK0	デジタルフィルタ機能用クロック選択 ^{注2}						
0	0	fCLK/32 ^{注3}						
0	1	fCLK/8 ^{注3}						
1	0	fCLK ^{注3}						
1	1	カウントソース (TRDCRi レジスタのTCK0~TCK2ビットで選択したクロック)						
PENB1	PENB0	TRDIOB端子パルス強制遮断制御						
0	0	00Bにしてください。						
DFD	TRDIODi端子デジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
DFC	TRDIOCi端子デジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
DFB	TRDIOBi端子デジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
DFA	TRDIOAi端子デジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. DFCK0, DFCK1ビットを設定した後、カウント動作を開始してください。

注3. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1の場合はfCLK/32, fCLK/8, fCLKはそれぞれfHOCO/32, fHOCO/8, fHOCOになります。

図8 - 15 タイマRD デジタルフィルタ機能選択レジスタi (TRDDFi) (i = 0, 1)のフォーマット
 [PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード]

アドレス : F026AH (TRDDF0), F026BH (TRDDF1) リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

DFCK1	DFCK0	TRDIOA端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力

これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。

PENB1	PENB0	TRDIOB端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力

これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。

DFD	DFC	TRDIOC端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力

これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。

DFB	DFA	TRDIOD端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力

これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.11 タイマRD制御レジスタi (TRDCRi) (i = 0, 1)

リセット同期PWMモード、PWM3モードでは、TRDCR1レジスタは使用しません。

図8 - 16 タイマRD制御レジスタi (TRDCRi)(i = 0, 1)のフォーマット
[インプットキャプチャ機能, アウトプットコンペア機能]

アドレス : F0270H (TRDCR0), F0280H (TRDCR1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRDiカウンタクリア選択				
	0	0	0	クリア禁止(フリーランニング動作)				
	0	0	1	TRDGRAiのインプットキャプチャ/コンペア一致でクリア				
	0	1	0	TRDGRBiのインプットキャプチャ/コンペア一致でクリア				
	0	1	1	同期クリア(他のタイマRDiのカウンタと同時にクリア) ^{注2}				
	1	0	1	TRDGRciのインプットキャプチャ/コンペア一致でクリア				
	1	1	0	TRDGRDiのインプットキャプチャ/コンペア一致でクリア				
	上記以外			設定禁止				
	CKEG1	CKEG0	外部クロックエッジ選択 ^{注3}					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO ^{注4}				
	0	0	1	fCLK/2 ^{注5}				
	0	1	0	fCLK/4 ^{注5}				
	0	1	1	fCLK/8 ^{注5}				
	1	0	0	fCLK/32 ^{注5}				
	1	0	1	TRDCLK入力 ^{注6}				
	上記以外			設定禁止				

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDSYNCビットが1 (TRD0とTRD1は同期動作)のとき、有効です。

注3. TCK2~TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注4. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 0のときはfCLK、FRQSEL4 = 1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注5. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは設定しないでください。

注6. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8-17 タイマRD制御レジスタi (TRDCRi) (i = 0, 1)のフォーマット[PWM機能]

アドレス : F0270H (TRDCR0), F0280H (TRDCR1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRDi カウンタクリア選択				
001B (TRDGRAiレジスタとのコンペア一致でTRDiレジスタクリア)にしてください。								
	CKEG1	CKEG0	外部クロックエッジ選択 ^{注2}					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO ^{注3}				
	0	0	1	fCLK/2 ^{注4}				
	0	1	0	fCLK/4 ^{注4}				
	0	1	1	fCLK/8 ^{注4}				
	1	0	0	fCLK/32 ^{注4}				
	1	0	1	TRDCLK入力 ^{注5}				
	上記以外			設定禁止				

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TCK2~TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注3. ユーザ・オプション・バイト (000C2H)のFRQSEL4 = 0のときはfCLK、FRQSEL4 = 1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注4. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは設定しないでください。

注5. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8 - 18 タイマRD制御レジスタ0 (TRDCR0)のフォーマット[リセット同期PWMモード]

アドレス : F0270H (TRDCR0) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
CCLR2			CCLR1	CCLR0	TRD0カウンタクリア選択			
001B (TRDGRA0レジスタとのコンペア一致でTRD0レジスタクリア)にしてください。								
CKEG1		CKEG0		外部クロックエッジ選択 ^{注2}				
0		0		立ち上がりエッジでカウント				
0		1		立ち下がりエッジでカウント				
1		0		両エッジでカウント				
上記以外				設定禁止				
TCK2	TCK1	TCK0		カウントソース選択				
0	0	0		fCLK, fHOCO ^{注3}				
0	0	1		fCLK/2 ^{注4}				
0	1	0		fCLK/4 ^{注4}				
0	1	1		fCLK/8 ^{注4}				
1	0	0		fCLK/32 ^{注4}				
1	0	1		TRDCLK入力 ^{注5}				
上記以外				設定禁止				

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TCK2~TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注3. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 0のときはfCLK、FRQSEL4 = 1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注4. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは設定しないでください。

注5. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8 - 19 タイマRD制御レジスタ*i* (TRDCR*i*) (*i* = 0, 1)のフォーマット[相補PWMモード]

アドレス : F0270H (TRDCR0), F0280 (TRDCR1) リセット時 : 00H^{注1} R/W

略号 7 6 5 4 3 2 1 0

TRDCR <i>i</i>	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRD0カウンタクリア選択				
000B (クリア禁止(フリーランニング動作))にしてください。								
	CKEG1	CKEG0	外部クロックエッジ選択 ^{注2,3}					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO ^{注4}				
	0	0	1	fCLK/2 ^{注5}				
	0	1	0	fCLK/4 ^{注5}				
	0	1	1	fCLK/8 ^{注5}				
	1	0	0	fCLK/32 ^{注5}				
	1	0	1	TRDCLK入力 ^{注6}				
	上記以外			設定禁止				

- 注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. TCK2～TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。
- 注3. TRDCR0レジスタとTRDCR1レジスタのTCK0～TCK2ビット、CKEG0, CKEG1ビットの設定は、同じにしてください。
- 注4. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 0のときはfCLK, FRQSEL4 = 1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。
- 注5. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは設定しないでください。
- 注6. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8 - 20 タイマRD制御レジスタ0 (TRDCR0)のフォーマット[PWM3モード]

アドレス : F0270H (TRDCR0) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
CCLR2			CCLR1	CCLR0	TRD0カウンタクリア選択			
001B (TRDGRA0レジスタとのコンペア一致でTRD0レジスタクリア)にしてください。								
CKEG1		CKEG0		外部クロックエッジ選択				
PWM3モードでは無効です。								
TCK2	TCK1	TCK0	カウントソース選択					
0	0	0	fCLK, fHOCO ^{注2}					
0	0	1	fCLK/2 ^{注3}					
0	1	0	fCLK/4 ^{注3}					
0	1	1	fCLK/8 ^{注3}					
1	0	0	fCLK/32 ^{注3}					
上記以外			設定禁止					

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 0のときはfCLK、FRQSEL4 = 1のときはfHOCOが選択されます。カウントソースにfHOCOを選択する場合、タイマカウント開始する前にfCLKはfIHを選択してください。

注3. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは設定しないでください。

8.3.12 タイマRD I/O制御レジスタAi (TRDIORAi) (i = 0, 1)

図8 - 21 タイマRD I/O制御レジスタAi (TRDIORAi) (i = 0, 1)のフォーマット[インプットキャプチャ機能]

アドレス : F0271H (TRDIORA0), F0281H (TRDIORA1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0	
TRDIORAi	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0	
IOB2	TRDGRBモード選択 ^{注2}								
インプットキャプチャ機能では1 (インプットキャプチャ)にしてください。									
IOB1	IOB0	TRDGRB制御							
0	0	立ち上がりエッジでTRDGRBiヘインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRBiヘインプットキャプチャ							
1	0	両エッジでTRDGRBiヘインプットキャプチャ							
上記以外		設定禁止							
IOA2	TRDGRAモード選択 ^{注3}								
インプットキャプチャ機能では1 (インプットキャプチャ)にしてください。									
IOA1	IOA0	TRDGRA制御							
0	0	立ち上がりエッジでTRDGRAiヘインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRAiヘインプットキャプチャ							
1	0	両エッジでTRDGRAiヘインプットキャプチャ							
上記以外		設定禁止							

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

図8-22 タイマRD I/O制御レジスタAi (TRDIORAi) (i = 0, 1)のフォーマット[アウトプットコンペア機能]

アドレス : F0271H (TRDIOA0), F0281H (TRDIOA1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDIOA <i>i</i>	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0
IOB2		TRDGRBモード選択 ^{注2}						
アウトプットコンペア機能では0(アウトプットコンペア)にしてください。								
IOB1	IOB0	TRDGRB制御						
0	0	コンペア一致による端子出力禁止(TRDIOB <i>i</i> 端子はI/Oポート)						
0	1	TRDGRB <i>i</i> のコンペア一致でL出力						
1	0	TRDGRB <i>i</i> のコンペア一致でH出力						
1	1	TRDGRB <i>i</i> のコンペア一致でトグル出力						
IOA2		TRDGRAモード選択 ^{注3}						
アウトプットコンペア機能では0(アウトプットコンペア)にしてください。								
IOA1	IOA0	TRDGRA制御						
0	0	コンペア一致による端子出力禁止(TRDIOA <i>i</i> 端子はI/Oポート)						
0	1	TRDGRA <i>i</i> のコンペア一致でL出力						
1	0	TRDGRA <i>i</i> のコンペア一致でH出力						
1	1	TRDGRA <i>i</i> のコンペア一致でトグル出力						

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFD*i*ビットで1(TRDGRB*i*レジスタのバッファレジスタ)を選択した場合、TRDIOA*i*レジスタのIOB2ビットとTRDIORC*i*レジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFC*i*ビットで1(TRDGRA*i*レジスタのバッファレジスタ)を選択した場合、TRDIOA*i*レジスタのIOA2ビットとTRDIORC*i*レジスタのIOC2ビットの設定を同じにしてください。

8.3.13 タイマRD I/O制御レジスタCi (TRDIORCi) (i = 0, 1)

図8 - 23 タイマRD I/O制御レジスタCi (TRDIORCi) (i = 0, 1)のフォーマット[インプットキャプチャ機能]

アドレス : F0272H (TRDIORC0), F0282H (TRDIORC1) リセット時 : 88H^{注1} R/W

略号	7	6	5	4	3	2	1	0	
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
IOD3	TRDGRD レジスタ機能選択								
インプットキャプチャ機能では1(ジェネラルレジスタまたはバッファレジスタ)にしてください。									
IOD2	TRDGRDモード選択 ^{注2}								
インプットキャプチャ機能では1(インプットキャプチャ)にしてください。									
IOD1	IOD0	TRDGRD制御							
0	0	立ち上がりエッジでTRDGRDiヘインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRDiヘインプットキャプチャ							
1	0	両エッジでTRDGRDiヘインプットキャプチャ							
上記以外		設定禁止							
IOC3	TRDGRC レジスタ機能選択								
インプットキャプチャ機能では1(ジェネラルレジスタまたはバッファレジスタ)にしてください。									
IOC2	TRDGRCモード選択 ^{注3}								
インプットキャプチャ機能では1(インプットキャプチャ)にしてください。									
IOC1	IOC0	TRDGRC制御							
0	0	立ち上がりエッジでTRDGRCiヘインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRCiヘインプットキャプチャ							
1	0	両エッジでTRDGRCiヘインプットキャプチャ							
上記以外		設定禁止							

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFDiビットで1(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

図8 - 24 タイマRD I/O制御レジスタCi (TRDIORCi) (i = 0, 1)のフォーマット[アウトプットコンペア機能]

アドレス : F0272H (TRDIORC0), F0282H (TRDIORC1) リセット時 : 88H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
IOD3	TRDGRDレジスタ機能選択							
0	TRDIOB出力レジスタ (8.5.2 (2) TRDGRCi, TRDGRDiレジスタ (i = 0, 1)の出力端子変更参照)							
1	ジェネラルレジスタまたはバッファレジスタ							
IOD2	TRDGRDモード選択 ^{注2}							
アウトプットコンペア機能では0(アウトプットコンペア)にしてください。								
IOD1	IOD0	TRDGRD制御						
0	0	コンペア一致による端子出力禁止						
0	1	TRDGRDiのコンペア一致でL出力						
1	0	TRDGRDiのコンペア一致でH出力						
1	1	TRDGRDiのコンペア一致でトル出力						
IOC3	TRDGRCレジスタ機能選択							
0	TRDIOA出力レジスタ (8.5.2 (2) TRDGRCi, TRDGRDiレジスタ (i = 0, 1)の出力端子変更参照)							
1	ジェネラルレジスタまたはバッファレジスタ							
IOC2	TRDGRCモード選択 ^{注3}							
アウトプットコンペア機能では0(アウトプットコンペア)にしてください。								
IOC1	IOC0	TRDGRC制御						
0	0	コンペア一致による端子出力禁止						
0	1	TRDGRCiのコンペア一致でL出力						
1	0	TRDGRCiのコンペア一致でH出力						
1	1	TRDGRCiのコンペア一致でトル出力						

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

8.3.14 タイマRDステータスレジスタ0 (TRDSR0)

図8 - 25 タイマRDステータスレジスタ0 (TRDSR0) [インプットキャプチャ機能]

アドレス : F0273H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDSR0	0	0	0	OVF	IMFD	IMFC	IMFB	IMFA
OVF	オーバフローフラグ ^{注2}							
[0になる要因] 読んだ後, 0を書く ^{注3}								
[1になる要因] TRD0がオーバフローしたとき								
IMFD	インプットキャプチャ/コンペアー致フラグD							
[0になる要因] 読んだ後, 0を書く ^{注3}								
[1になる要因] TRDIOD0端子の入力エッジ ^{注4}								
IMFC	インプットキャプチャ/コンペアー致フラグC							
[0になる要因] 読んだ後, 0を書く ^{注3}								
[1になる要因] TRDIOC0端子の入力エッジ ^{注4}								
IMFB	インプットキャプチャ/コンペアー致フラグB							
[0になる要因] 読んだ後, 0を書く ^{注3}								
[1になる要因] TRDIOB0端子の入力エッジ ^{注5}								
IMFA	インプットキャプチャ/コンペアー致フラグA							
[0になる要因] 読んだ後, 0を書く ^{注3}								
[1になる要因] TRDIOA0端子の入力エッジ ^{注5}								

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. オーバフローフラグは、タイマRD0のカウンタ値がFFFFHから0000Hになった場合に1となります。また、TRDCR0レジスタのCCLR0～CCLR2ビットの設定によって、動作中のインプットキャプチャ/コンペアー致により、タイマRD0のカウンタ値がFFFFHから0000Hになった場合に1となります。

注3. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

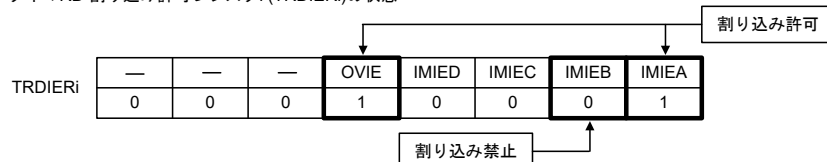
ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタi (TRDIERi)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

(b) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA、OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



(c) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



注4. TRDIORC0レジスタのIOk1, IOk0ビット(k = CまたはD)で選択したエッジ。

TRDMRレジスタのTRDBFk0ビットが1 (TRDGRk0はバッファレジスタ)の場合を含む。

注5. TRDIORA0レジスタのIOj1, IOj0ビット(j = AまたはB)で選択したエッジ。

図8 - 26 タイマRDステータスレジスタ0 (TRDSR0)のフォーマット[インプットキャプチャ機能以外]

アドレス : F0273H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDSR0	0	0	0	OVF	IMFD	IMFC	IMFB	IMFA
	OVF		オーバフローフラグ ^{注3}					
	[0になる要因] 読んだ後, 0 を書く ^{注2} [1になる要因] TRD0がオーバフローしたとき							
	IMFD		インプットキャプチャ/コンペアー致フラグD					
	[0になる要因] 読んだ後, 0 を書く ^{注2} [1になる要因] TRD0とTRDGRD0の値が一致したとき ^{注4}							
	IMFC		インプットキャプチャ/コンペアー致フラグC					
	[0になる要因] 読んだ後, 0 を書く ^{注2} [1になる要因] TRD0とTRDGRC0の値が一致したとき ^{注4}							
	IMFB		インプットキャプチャ/コンペアー致フラグB					
	[0になる要因] 読んだ後, 0 を書く ^{注2} [1になる要因] TRD0とTRDGRB0の値が一致したとき							
	IMFA		インプットキャプチャ/コンペアー致フラグA					
	[0になる要因] 読んだ後, 0 を書く ^{注2} [1になる要因] TRD0とTRDGRA0の値が一致したとき							

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出して下さい。

注2. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

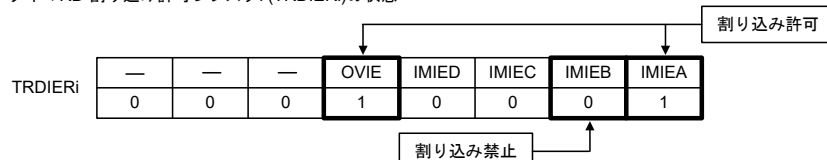
ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタi (TRDIERi)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

(b) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA、OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



(c) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



注3. オーバフローフラグは、タイマRD0のカウンタ値がFFFFHから0000Hになった場合に1となります。

また、TRDCR0レジスタのCCLR0~CCLR2ビットの設定によって、動作中のインプットキャプチャ/コンパレータにより、タイマRD0のカウンタ値がFFFFHから0000Hになった場合に1となります。

注4. TRDMRレジスタのTRDBFk0ビット(k = CまたはD)が1 (TRDGRk0はバッファレジスタ)の場合を含む。

8.3.15 タイマRDステータスレジスタ1 (TRDSR1)

図8 - 27 タイマRDステータスレジスタ1 (TRDSR1)のフォーマット[インプットキャプチャ機能]

アドレス : F0283H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDSR1	0	0	UDF	OVF	IMFD	IMFC	IMFB	IMFA
UDF	アンダフローフラグ							
インプットキャプチャ機能では無効です。								
OVF	オーバフローフラグ ^{注2}							
[0になる要因] 読んだ後, 0を書く ^{注3} [1になる要因] TRD1がオーバフローしたとき								
IMFD	インプットキャプチャ/コンペアー致フラグD							
[0になる要因] 読んだ後, 0を書く ^{注3} [1になる要因] TRDIOD1端子の入力エッジ ^{注4}								
IMFC	インプットキャプチャ/コンペアー致フラグC							
[0になる要因] 読んだ後, 0を書く ^{注3} [1になる要因] TRDIOC1端子の入力エッジ ^{注4}								
IMFB	インプットキャプチャ/コンペアー致フラグB							
[0になる要因] 読んだ後, 0を書く ^{注3} [1になる要因] TRDIOB1端子の入力エッジ ^{注5}								
IMFA	インプットキャプチャ/コンペアー致フラグA							
[0になる要因] 読んだ後, 0を書く ^{注3} [1になる要因] TRDIOA1端子の入力エッジ ^{注5}								

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. オーバフローフラグは、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。また、TRDCR1レジスタのCCLR0～CCLR2ビットの設定によって、動作中のインプットキャプチャ/コンペアー致により、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。

注3. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

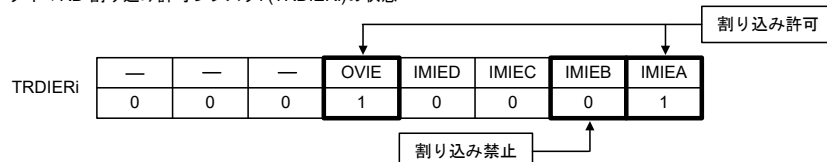
ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタi (TRDIERi)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

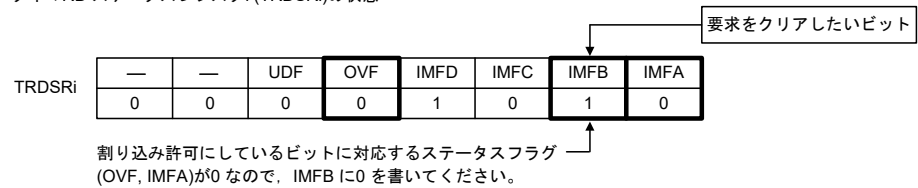
(b) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA、OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



(c) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



注4. TRDIORC1レジスタのIOk1、IOk0ビット(k=CまたはD)で選択したエッジ。

TRDMRレジスタのTRDBFk1ビットが1 (TRDGRk1はバッファレジスタ)の場合を含む。

注5. TRDIORA1レジスタのIOj1、IOj0ビット(j=AまたはB)で選択したエッジ。

図8-28 タイマRDステータスレジスタ1 (TRDSR1)のフォーマット[インプットキャプチャ機能以外]

アドレス : F0283H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDSR1	0	0	UDF	OVF	IMFD	IMFC	IMFB	IMFA
UDF	アンダフローフラグ							
相補PWMモードのとき [0になる要因] 読んだ後, 0を書く ^{注2} 読んだ後, 0を書く ^{注2} [1になる要因] TRD1がアンダフローしたとき 相補PWMモード以外では無効です。								
OVF	オーバフローフラグ ^{注3}							
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1がオーバフローしたとき								
IMFD	インプットキャプチャ/コンペアー致フラグD							
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRD1の値が一致したとき ^{注4}								
IMFC	インプットキャプチャ/コンペアー致フラグC							
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRC1の値が一致したとき ^{注4}								
IMFB	インプットキャプチャ/コンペアー致フラグB							
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRB1の値が一致したとき								
IMFA	インプットキャプチャ/コンペアー致フラグA							
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRA1の値が一致したとき								

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

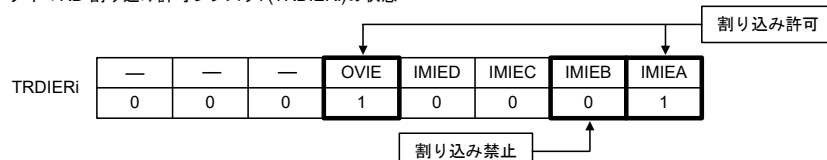
ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタi (TRDIERi)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

(b) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA、OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



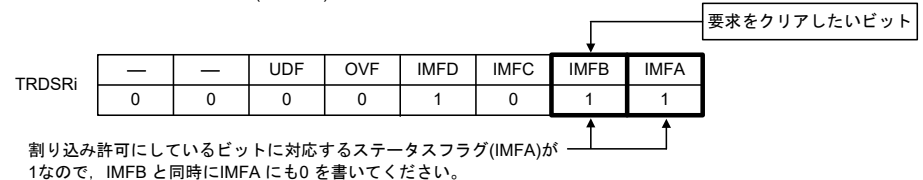
(c) タイマRD割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi)の状態



・タイマRDステータスレジスタi (TRDSRi)の状態



注3. オーバフローフラグは、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。

また、TRDCR1レジスタのCCLR0~CCLR2ビットの設定によって、動作中の入力キャプチャ/コンパレータにより、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。

注4. TRDMRレジスタのTRDBFk1ビット(k = CまたはD)が1 (TRDGRk1はバッファレジスタ)の場合を含む。

8.3.16 タイマRD割り込み許可レジスタ*i* (TRDIER*i*) (*i* = 0, 1)図8 - 29 タイマRD割り込み許可レジスタ*i* (TRDIER*i*) (*i* = 0, 1)のフォーマットアドレス : F0274H (TRDIER0), F0284H (TRDIER1) リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDIER <i>i</i>	0	0	0	OVIE	IMIED	IMIEC	IMIEB	IMIEA
OVIE	オーバフロー／アンダフロー割り込み許可							
0	OVF, UDFビットによる割り込み (OVI)禁止							
1	OVF, UDFビットによる割り込み (OVI)許可							
IMIED	インプットキャプチャ／コンペアー致割り込み許可D							
0	IMFDビットによる割り込み (IMID)禁止							
1	IMFDビットによる割り込み (IMID)許可							
IMIEC	インプットキャプチャ／コンペアー致割り込み許可C							
0	IMFCビットによる割り込み (IMIC)禁止							
1	IMFCビットによる割り込み (IMIC)許可							
IMIEB	インプットキャプチャ／コンペアー致割り込み許可B							
0	IMFBビットによる割り込み (IMIB)禁止							
1	IMFBビットによる割り込み (IMIB)許可							
IMIEA	インプットキャプチャ／コンペアー致割り込み許可A							
0	IMFAビットによる割り込み (IMIA)禁止							
1	IMFAビットによる割り込み (IMIA)許可							

注 ユーザ・オプション・バイト (000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.17 タイマRD PWM機能出力レベル制御レジスタ*i* (TRDPOCR*i*) (*i* = 0, 1)TRDPOCR*i*レジスタへの設定は、PWM機能のときのみ有効です。PWM機能以外は、無効です。図8 - 30 タイマRD PWM機能出力レベル制御レジスタ*i* (TRDPOCR*i*) (*i* = 0, 1)のフォーマット [PWM機能]アドレス : F0275H (TRDPOCR0), F0285H (TRDPOCR1) リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDPOCR <i>i</i>	0	0	0	0	0	POLD	POLC	POLB
POLD	PWM機能出力レベル制御D							
0	TRDIOD <i>i</i> の出力レベルはLアクティブ							
1	TRDIOD <i>i</i> の出力レベルはHアクティブ							
POLC	PWM機能出力レベル制御C							
0	TRDIOC <i>i</i> の出力レベルはLアクティブ							
1	TRDIOC <i>i</i> の出力レベルはHアクティブ							
POLB	PWM機能出力レベル制御B							
0	TRDIOB <i>i</i> の出力レベルはLアクティブ							
1	TRDIOB <i>i</i> の出力レベルはHアクティブ							

注 ユーザ・オプション・バイト (000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.18 タイマRDカウンタ*i* (TRD*i*) (*i* = 0, 1)

[タイマモード]

TRD*i*レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[リセット同期PWMモード, PWM3モード]

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードおよびPWM3モードでは、TRD1レジスタは使用しません。

[相補PWMモード(TRD0)]

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[相補PWMモード(TRD1)]

TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図8-31 タイマRDカウンタ*i* (TRD*i*) (*i* = 0, 1)のフォーマット[タイマモード]

アドレス : F0276H (TRD0), F0286H (TRD1) リセット時 : 0000H^注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD <i>i</i>																

—	機能	設定範囲
ビット15~0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSR <i>i</i> レジスタのOVFビットが1になる。	0000H ~ FFFFH

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図8-32 タイマRDカウンタ0 (TRD0)のフォーマット[リセット同期PWMモード, PWM3モード]

アドレス : F0276H (TRD0) リセット時 : 0000H^注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0																

—	機能	設定範囲
ビット15~0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSR0レジスタのOVFビットが1になる。	0000H ~ FFFFH

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図8-33 タイマRDカウンタ0 (TRD0)のフォーマット[相補PWMモード(TRD0)]

アドレス : F0276H (TRD0) リセット時 : 0000H^注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0																

—	機能	設定範囲
ビット15~0	短絡防止時間を設定してください。カウントソースをカウント。 カウント動作はアップカウントまたはダウンカウント。 オーバーフローすると、TRDSR0レジスタのOVFビットが1になる。	0001H ~ FFFFH

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図8 - 34 タイマRDカウンタ1 (TRD1)のフォーマット[相補PWMモード(TRD1)]

アドレス : F0286H (TRD1) リセット時 : 0000H^注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD1																

—	機能	設定範囲
ビット15~0	0000Hを設定してください。カウントソースをカウント。 カウント動作はアップカウントまたはダウンカウント。 アンダフローすると、TRDSR1レジスタのUDFビットが1になる。	0000H~FFFFH

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.19 タイマRDジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0, 1)

[インプットキャプチャ機能]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

インプットキャプチャ機能では、次のレジスタは無効です。

TRDOER1, TRDOER2, TRDOCR, TRDPOCR0, TRDPOCR1

TRDIOji 端子に入力するインプットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFi レジスタのDFjビットが0)の場合、タイマRDの動作クロック(fCLK)の3サイクル以上にしてください。

[アウトプットコンペア機能]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

アウトプットコンペア機能では、次のレジスタは無効です。

TRDDF0, TRDDF1, TRDPOCR0, TRDPOCR1

[PWM機能]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM機能では、次のレジスタは無効です。

TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDIORA1, TRDIORC1

[リセット同期PWMモード]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、次のレジスタは無効です。

TRDPMR, TRDOCR^注, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

注 TRDOCR レジスタのTOC0ビットのみ、リセット同期PWMモード、相補PWMモード時のTRDIORC0初期出力設定として有効となります。

[相補PWMモード]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0 レジスタは使用しません。

相補PWMモードでは、次のレジスタは無効です。

TRDPMR, TRDOCR^注, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

注 TRDOCR レジスタのTOC0ビットのみ、リセット同期PWMモード、相補PWMモード時のTRDIORC0初期出力設定として有効となります。

TRDGRB0, TRDGRA1, TRDGRB1 レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0, TRDGRC1, TRDGRD1をバッファレジスタとして使用してください。

ただし、TRDGRD0, TRDGRC1, TRDGRD1の書き込みに際しては、TRDBFD0, TRDBFC1, TRDBFD1ビットを0(ジェネラルレジスタ)にして書き込み、その後TRDBFD0, TRDBFC1, TRDBFD1ビットを1(バッファレジスタ)にできます。

[PWM3モード]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、次のレジスタは無効です。

TRDPMR, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

PWM3モードでは使用しませんが、TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1レジスタをバッファレジスタに使う際に、TRDBFC0, TRDBFC1, TRDBFD0, TRDBFD1ビットを0(ジェネラルレジスタ)にして、TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1レジスタに値を書き込み、その後TRDBFC0, TRDBFC1, TRDBFD0, TRDBFD1ビットを1(バッファレジスタ)にできます。

図8 - 35 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0, 1)のフォーマット[インプットキャプチャ機能]

アドレス : F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時 : FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi	機能															
	ビット15~0															

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8 - 3 インプットキャプチャ機能時のTRDGRji レジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ 入力端子
TRDGRAi	—	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます(8.4.2 バッファ動作参照)。	TRDIOAi
TRDGRDi	TRDBFDi = 1		TRDIOBi

備考 i = 0, 1, j = A, B, C, D

TRDBFCi, TRDBFDi : TRDMRレジスタのビット

図8 - 36 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0, 1)のフォーマット[アウトプットコンペア機能]

アドレス : F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時 : FFFFH注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi	機能															
	ビット15~0		表8 - 4 アウトプットコンペア機能時のTRDGRjiレジスタの機能参照													

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8 - 4 アウトプットコンペア機能時のTRDGRjiレジスタの機能

レジスタ	設定		レジスタの機能	アウトプットコンペア出力端子	
	TRDBFki	IOj3			
TRDGRAi	—	—	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOAi	
TRDGRBi				TRDIOBi	
TRDGRCi	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOCi	
TRDGRDi				TRDIODi	
TRDGRCi	1	1	バッファレジスタ。次回のコンペア値を書いてください (8.4.2 バッファ動作参照)。	TRDIOAi	
TRDGRDi				TRDIOBi	
TRDGRCi	0	0	TRDIOAi出力制御	(8.5.2 (2) TRDGRCi, TRDGRDi レジスタ (i = 0, 1)の出力端子変更参照)	TRDIOAi
TRDGRDi			TRDIOBi出力制御		TRDIOBi

注意 TRDCRiレジスタのTCK2~TCK0ビットの設定を000B (fCLK, fHOC), コンペア値を0000Hにした場合、ELCへの要求信号はカウント開始直後の1回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D, k = C, D

TRDBFji : TRDMRレジスタのビット, IOj3 : TRDIORCiレジスタのビット

図8 - 37 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0, 1)のフォーマット[PWM機能]

アドレス : F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時 : FFFFH注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi	機能															
	ビット15~0		表8 - 5 PWM機能時のTRDGRji レジスタの機能参照													

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8 - 5 PWM機能時のTRDGRji レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRDGRBi	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファレジスタ。次回のPWM周期を設定してください (8.4.2 バッファ動作参照)。	—
TRDGRDi	TRDBFDi = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOBi

注意 TRDCRi レジスタのTCK2~TCK0ビットの設定を000B (fCLK, fHoco), コンペア値を0000Hにした場合、ELCへの要求信号はカウント開始直後の1回しか発生しません。コンペア値が0001H以上の場合にはコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D

TRDBFCi, TRDBFDi : TRDMRレジスタのビット

図8 - 38 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) (i = 0, 1)のフォーマット[リセット同期PWMモード]

アドレス : F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時 : FFFFH注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
	ビット15~0 表8-6 リセット同期PWMモード時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8 - 6 リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0, PWM周期ごとに出力反転)
TRDGRB0	—	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	TRDBFC0 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD0	TRDBFD0 = 0		
TRDGRA1	—	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	TRDBFC1 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください (8.4.2 バッファ動作参照)。	(TRDIOC0, PWM周期ごとに出力反転)
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOB1 TRDIOD1

注意 TRDCR0レジスタのTCK2~TCK0ビットの設定を000B (fCLK, fHoco), コンペア値を0000Hにした場合、ELCへの要求信号はカウント開始直後の1回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D
 TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1 : TRDMRレジスタのビット

図8 - 39 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)
(i = 0, 1)のフォーマット[相補PWMモード]

アドレス : F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時 : FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	—															機能
	ビット15~0															表8-7 相補PWMモード時のTRDGRjiレジスタの機能参照

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

表8-7 相補PWMモード時のTRDGR*ji*レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値（カウント初期値）以上、 FFFFH - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1（カウント開始）のとき書き込まないでください。	(TRDIOC0 半周期ごとに 出力反転)
TRDGRB0	—	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値（カウント初期値）以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1（カウント開始）のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	—	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値（カウント初期値）以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1（カウント開始）のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値（カウント初期値）以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1（カウント開始）のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGR0	—	(相補PWMモードでは使用しません。)	—
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRD0レジスタ設定値（カウント初期値）以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRD0レジスタ設定値（カウント初期値）以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRD0レジスタ設定値（カウント初期値）以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

注意 TRDCR*i*レジスタのTCK2～TCK0ビットの設定を000B (fCLK, fHOC), コンペア値を0000Hにした場合、ELCへの要求信号はカウント開始直後の1回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 $i = 0, 1, j = A, B, C, D$

TRDBFD0, TRDBFC1, TRDBFD1 : TRDMRレジスタのビット

図8 - 40 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)
(i = 0, 1)のフォーマット[PWM3モード]

アドレス : F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時 : FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi	—		機能													
	ビット15~0		表8 - 8 PWM3モード時のTRDGRjiレジスタの機能参照													

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8 - 8 PWM3モード時のTRDGR_{ij}レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1	—	ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下	
TRDGRB0	—	ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上, TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下	
TRDGRC0	TRDBFC0 = 0	(PWM3モードでは使用しません)	—
TRDGRC1	TRDBFC1 = 0		
TRDGRD0	TRDBFD0 = 0		
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRC0レジスタ設定値以下	
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRD1レジスタ設定値以上, TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRD0レジスタ設定値以下	

注意 TRDCR0レジスタのTCK2～TCK0ビットの設定を000B (fCLK, fHOCO), コンペア値を0000Hにした場合、ELCへの要求信号はカウント開始直後の1回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D
TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1 : TRDMRレジスタのビット

8.3.20 ポート・モード・レジスタ 1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート(P10/TRDIOD1, P11/TRDIOC1など)をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

(例) P10/TRDIOD1をタイマ出力として使用する場合

ポート・モード・レジスタ1のPM10ビットを0に設定

ポート・レジスタ1のP10ビットを0に設定

タイマ入力端子を兼用するポート(P10/TRDIOD1, P11/TRDIOC1など)をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

(例) P10/TRDIOD1をタイマ入力として使用する場合

ポート・モード・レジスタ1のPM10ビットを1に設定

ポート・レジスタ1のP10ビットを0または1に設定

PM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図8-41 ポート・モード・レジスタ 1 (PM1)のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
PMmn	Pmn端子の入出力モードの選択(m = 1, n = 0-7)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

8.4 複数モードにかかわる共通事項

8.4.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWM3モードでは外部クロックを選択できません。

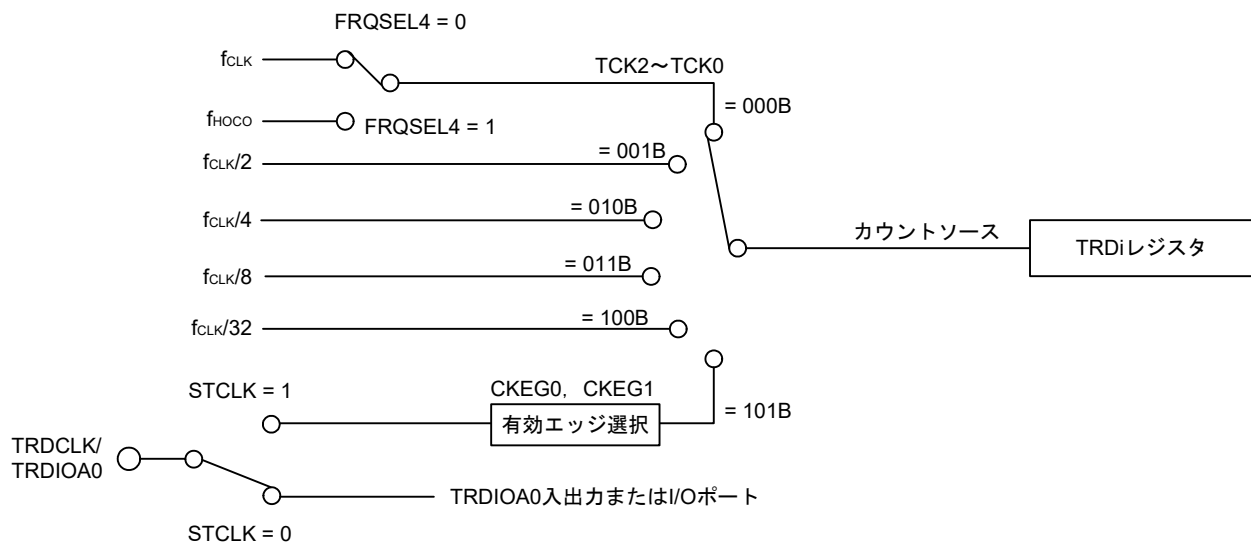
表 8 - 9 カウントソースの選択

カウントソース	選択方法
fCLK, fHOCO ^注 , fCLK/2, fCLK/4, fCLK/8, fCLK/32	TRDCRi レジスタの TCK2~TCK0 ビットでカウントソースを選択
TRDCLK 端子に入力された外部信号	TRDFCR レジスタの STCLK ビットが 1 (外部クロック入力有効) TRDCRi レジスタの TCK2~TCK0 ビットが 101B (カウントソースは外部クロック) TRDCRi レジスタの CKEG1~CKEG0 ビットで有効エッジを選択 TRDCLK 端子と共用している I/O ポートのポート・モード・レジスタのビットが 1 (入力モード)

注 ユーザ・オプション・バイト (000C2H) の FRQSEL4 = 0 のときは fCLK, FRQSEL4 = 1 のときは fHOCO が選択されます。タイマ RD のカウントソースに fHOCO を選択する場合、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をセットする前に、fCLK を fIH に設定してください。fCLK を fIH 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をクリアしたあとに変更してください。

備考 i = 0, 1

図 8 - 42 カウントソースのブロック図



備考
i = 0, 1

TCK0~TCK2, CKEG0~CKEG1: TRDCRi レジスタのビット
STCLK: TRDFCR レジスタのビット
FRQSEL4: ユーザ・オプションバイト (000C2H) のビット

TRDCLK 端子に入力する外部クロックのパルス幅は、タイマ RD の動作クロック (fCLK) の 3 サイクル以上にしてください。

8.4.2 バッファ動作

TRDMRレジスタのTRDBFCiビット($i = 0, 1$), TRDBFDiビットで, TRDGRCi, TRDGRDiレジスタをTRDGRAi, TRDGRBiレジスタのバッファレジスタにできます。

- TRDGRAiのバッファレジスタ : TRDGRCiレジスタ
- TRDGRBiのバッファレジスタ : TRDGRDiレジスタ

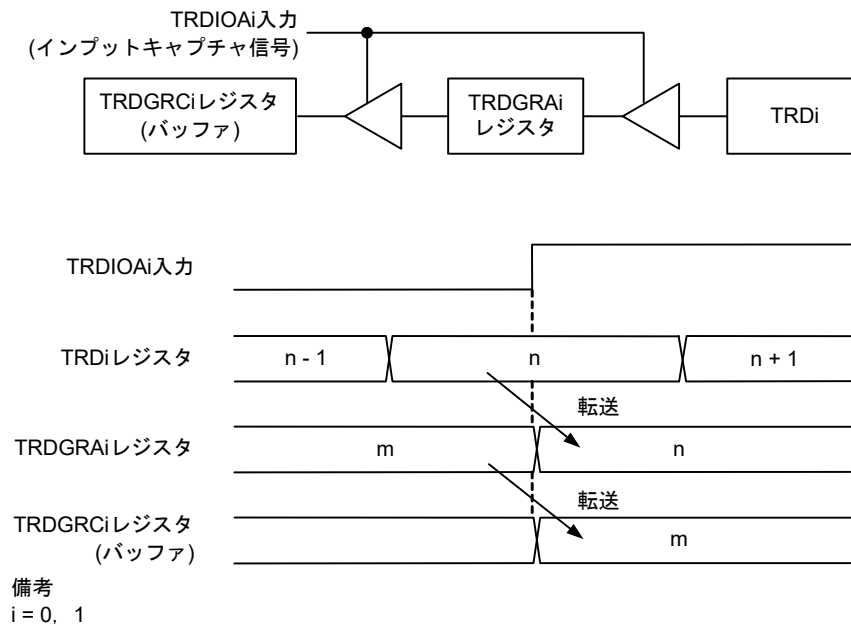
バッファ動作は, モードによって違います。表8 - 10に各モードのバッファ動作を示します。

表8 - 10 各モードのバッファ動作

機能, モード		転送タイミング	転送するレジスタ
タイマモード	インプットキャプチャ機能	TRDIOAi入力信号 (インプットキャプチャ信号入力)	TRDGRAiレジスタの内容をTRDGRCiレジスタ(バッファレジスタ)に転送
		TRDIOBi入力信号 (インプットキャプチャ信号入力)	TRDGRBiレジスタの内容をTRDGRDiレジスタ(バッファレジスタ)に転送
	アウトプットコンペア機能	TRDiレジスタとTRDGRAiレジスタのコンペア一致	TRDGRCiレジスタ(バッファレジスタ)の内容をTRDGRAiレジスタに転送
		TRDiレジスタとTRDGRBiレジスタのコンペア一致	TRDGRDiレジスタ(バッファレジスタ)の内容をTRDGRBiレジスタに転送
	PWM機能	TRDiレジスタとTRDGRAiレジスタのコンペア一致	TRDGRCiレジスタ(バッファレジスタ)の内容をTRDGRAiレジスタに転送
		TRDiレジスタとTRDGRBiレジスタのコンペア一致	TRDGRDiレジスタ(バッファレジスタ)の内容をTRDGRBiレジスタに転送
リセット同期PWMモード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	TRDGRCiレジスタ(バッファレジスタ)の内容をTRDGRAiレジスタに転送 TRDGRDiレジスタ(バッファレジスタ)の内容をTRDGRBiレジスタに転送	
相補PWMモード	<ul style="list-style-type: none"> • TRDFCRレジスタのCMD1, 0ビットが11Bの場合は, TRD1レジスタのアンダーフロー • TRDFCRレジスタのCMD1, 0ビットが10Bの場合はTRD0レジスタとTRDGRA0レジスタのコンペア一致 	TRDGRC1レジスタ(バッファレジスタ)の内容をTRDGRA1レジスタに転送 TRDGRDiレジスタ(バッファレジスタ)の内容をTRDGRBiレジスタに転送	
PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	TRDGRCiレジスタ(バッファレジスタ)の内容をTRDGRAiレジスタに転送 TRDGRDiレジスタ(バッファレジスタ)の内容をTRDGRBiレジスタに転送	

備考 $i = 0, 1$

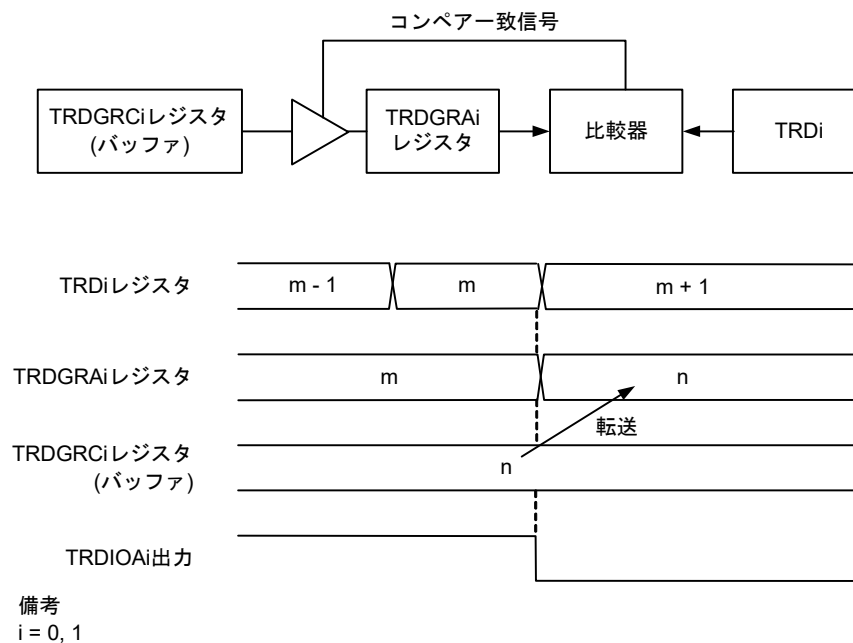
図8 - 43 インプットキャプチャ機能のバッファ動作



上図は次の条件の場合です。

- TRDMRレジスタのTRDBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
- TRDIORAiレジスタのIOA2~IOA0ビット100B (立ち上がりエッジでインプットキャプチャ)

図8 - 44 アウトプットコンペア機能のバッファ動作



上図は次の場合です。

- TRDMRレジスタのBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
- TRDIORAiレジスタのIOA2~IOA0ビット001B (コンペアー一致でL出力)

タイマモード(インプットキャプチャ機能, アウトプットコンペア機能)では次のようにしてください。

TRDGRCi レジスタ (i = 0, 1) を TRDGRAi レジスタのバッファレジスタに使用する場合

- TRDIORCi レジスタのIOC3ビットを1(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- TRDIORCi レジスタのIOC2ビットは, TRDIORAi レジスタのIOA2ビットと同じ設定にしてください。

TRDGRDi レジスタを TRDGRBi レジスタのバッファレジスタに使用する場合

- TRDIORCi レジスタのIOD3ビットを1(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- TRDIORCi レジスタのIOD2ビットは, TRDIORAi レジスタのIOB2ビットと同じ設定にしてください。

インプットキャプチャ機能では, TRDGRCi, TRDGRDi レジスタをバッファレジスタに使用している場合も, TRDIORCi 端子, TRDIODi 端子の入力エッジで TRDSRi レジスタのIMFC, IMFD ビットが1になります。

アウトプットコンペア機能, PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モードでは, TRDGRCi, TRDGRDi レジスタをバッファレジスタに使用している場合も, TRDi レジスタとのコンペア一致で TRDSRi レジスタのIMFC, IMFD ビットが1になります。

8.4.3 同期動作

TRD0レジスタとTRD1レジスタを同期させます。

- 同期プリセット

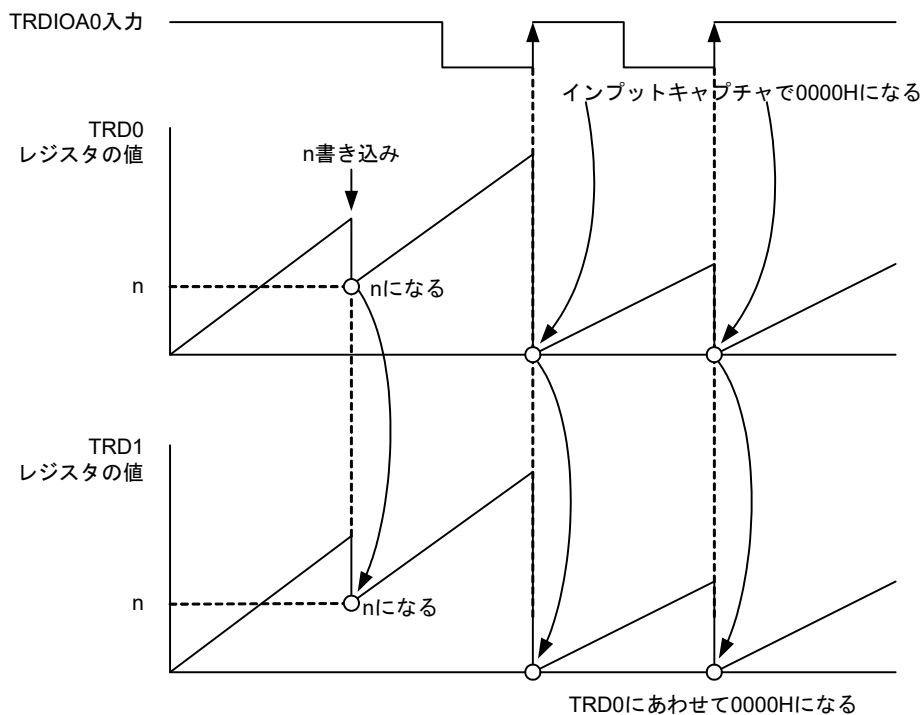
TRDMRレジスタのTRDSYNCビットが1(同期動作)の場合、TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれます。

- 同期クリア

TRDSYNCビットが1で、かつTRDCR0レジスタのCCLR2～CCLR0ビットが011B(同期クリア)の場合、TRD0レジスタはTRD1レジスタが0000Hになるとき、同時に0000Hになります。

同様に、TRDSYNCビットが1で、かつCCLR2～CCLR0ビットが011B(同期クリア)の場合、TRD1レジスタはTRD0レジスタが0000Hになるとき、同時に0000Hになります。

図8 - 45 同期動作



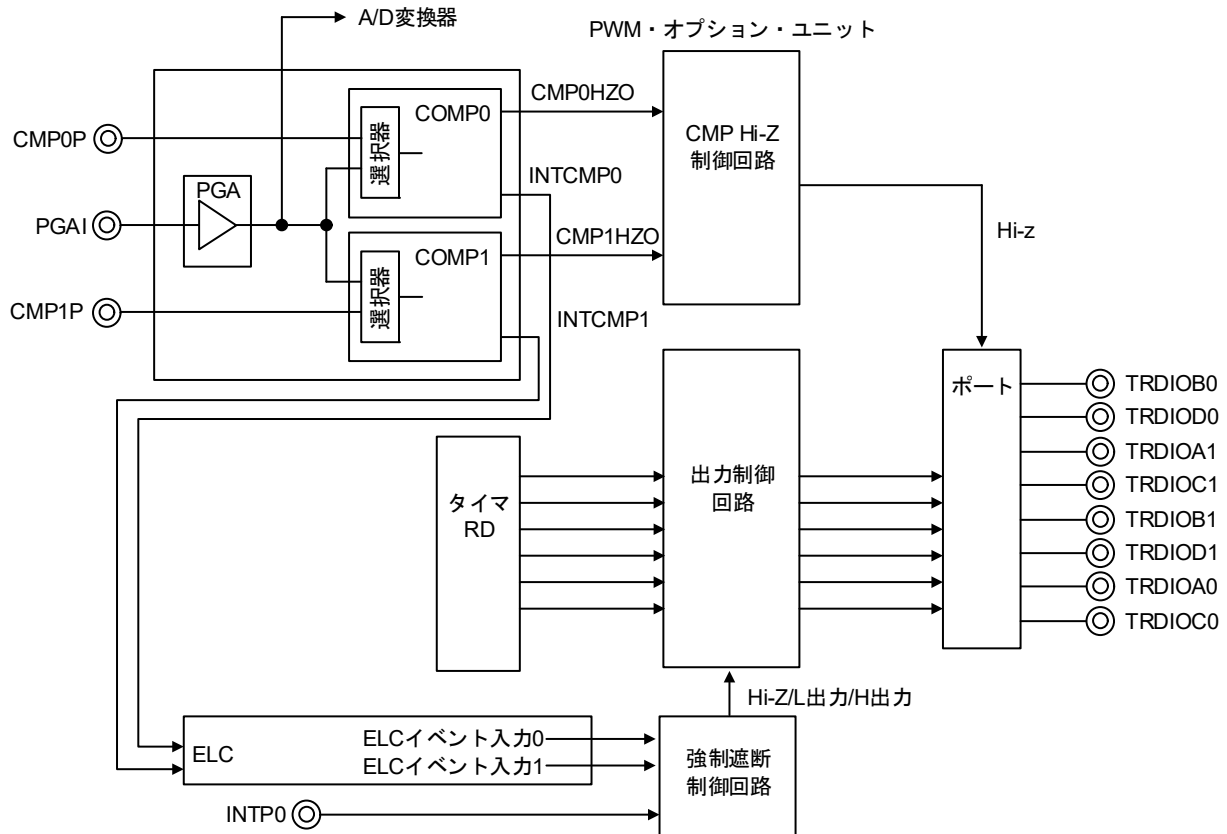
上図は次の条件の場合です。

- TRDMRレジスタのTRDSYNCビットが1(同期動作)
 - TRDCR0レジスタのCCLR2～CCLR0ビットが001B(インプットキャプチャでTRD0を0000Hにする)
 - TRDCR1レジスタのCCLR2～CCLR0ビットが011B(TRD0に同期して、TRD1を0000Hにする)
 - TRDIOA0レジスタのIOA2～IOA0ビットが100B
 - TRDFCRレジスタのCMD1, CMD0ビットが00B
 - TRDFCRレジスタのPWM3ビットが1
- } (TRDIOA0入力の立ち上がりエッジでインプットキャプチャ)

8.4.4 パルス出力強制遮断

PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、パルス出力を遮断できます。

図8-46 パルス出力強制遮断制御ブロック図



タイマRDのパルス出力強制遮断機能は、次の3種類があります。

(1)INTPOの割り込み信号によるタイマRD強制遮断

タイマRDの出力端子をHi-Z/H出力/L出力状態にすることが可能です。

なお、強制遮断後の再起動はソフトウェアにて設定してください。

これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを0(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのTRDPTOビットが1(パルス出力強制遮断信号入力INTPO有効)のとき、タイマRDの出力ポートとして使用している出力端子は、TRDDF0/TRDDF1レジスタのDFCK1, DFCK0, PENB1, PENB0, DFD, DFC, DFB, DFAビットで設定した出力値を出力します。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス, L出力, またはH出力)をTRDDFiで設定する。
- パルス出力強制遮断時, TRDOER2レジスタのTRDSHUTSビットが1となります。パルス出力強制遮断を中断させたい場合, カウント停止中(TSTARTi = 0)にTRDSHUTSビットを0にしてください。
- TRDOER2レジスタのTRDPTOビットを1(パルス出力強制遮断信号入力INTPO有効)にする。

(2)コンパレータの出力信号のPWM・オプションユニットへの接続によるタイマRD強制遮断

タイマRDの出力端子をHi-Z状態に強制遮断することが可能です。

なお、強制遮断後の再スタートはソフトウェアにて設定してください。

これらの機能／モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを0(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。

TRDFCRレジスタのCMD[1:0]ビットをリセットPWMモードまたは相補PWMモードに設定する場合、PWM・オプションユニットのOPMRレジスタのHDMビットがコンパレータの過電流検出モードを選択して、OPHSレジスタのOPHS0ビットが1(端子がHi-Z出力)にすると、タイマRDの出力ポートとして使用している出力端子はHi-Zとなります。

この機能を使用する場合は、次の設定をしてください。

- ・コンパレータの出力信号のPWM・オプションユニットへの接続によるタイマRD強制遮断は13.4.4 設定手順を参照してください。

(3)イベント・リンク・コントローラ(ELC)からのイベント入力による強制遮断

タイマRDの出力端子をHi-Z/H出力/L出力状態に強制遮断することが可能です。

これらの機能／モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを0(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。

この機能を使用する場合、パルス出力モード(PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード)を選択し、TRDELICレジスタのELCOBE0/ELCOBE1ビットが1(強制遮断を許可)にすると、TRDELICレジスタのELCICE0/ELCICE1ビットが1(イベント・リンク・コントローラからのイベント入力0/1を選択)のとき、タイマRDの出力ポートとして使用している出力端子は、TRDDF0/TRDDF1レジスタのDFCK1、DFCK0、PENB1、PENB0、DFD、DFC、DFB、DFAビットで設定した出力値を出力します。

この機能を使用する場合は、次の設定をしてください。

- ・パルス出力を強制遮断したときの端子の状態(ハイインピーダンス、L出力、またはH出力)をTRDDFiで設定する。
- ・ELCイベント入力によるパルス強制遮断は8.4.5 イベント・リンク・コントローラ(ELC)からのイベント入力を参照してください。
- ・パルス出力強制遮断時、TRDOER2レジスタのTRDSHUTSビットが1となります。パルス出力強制遮断を中断させたい場合、カウント停止中(TSTARTi = 0)にTRDSHUTSビットを0にしてください。

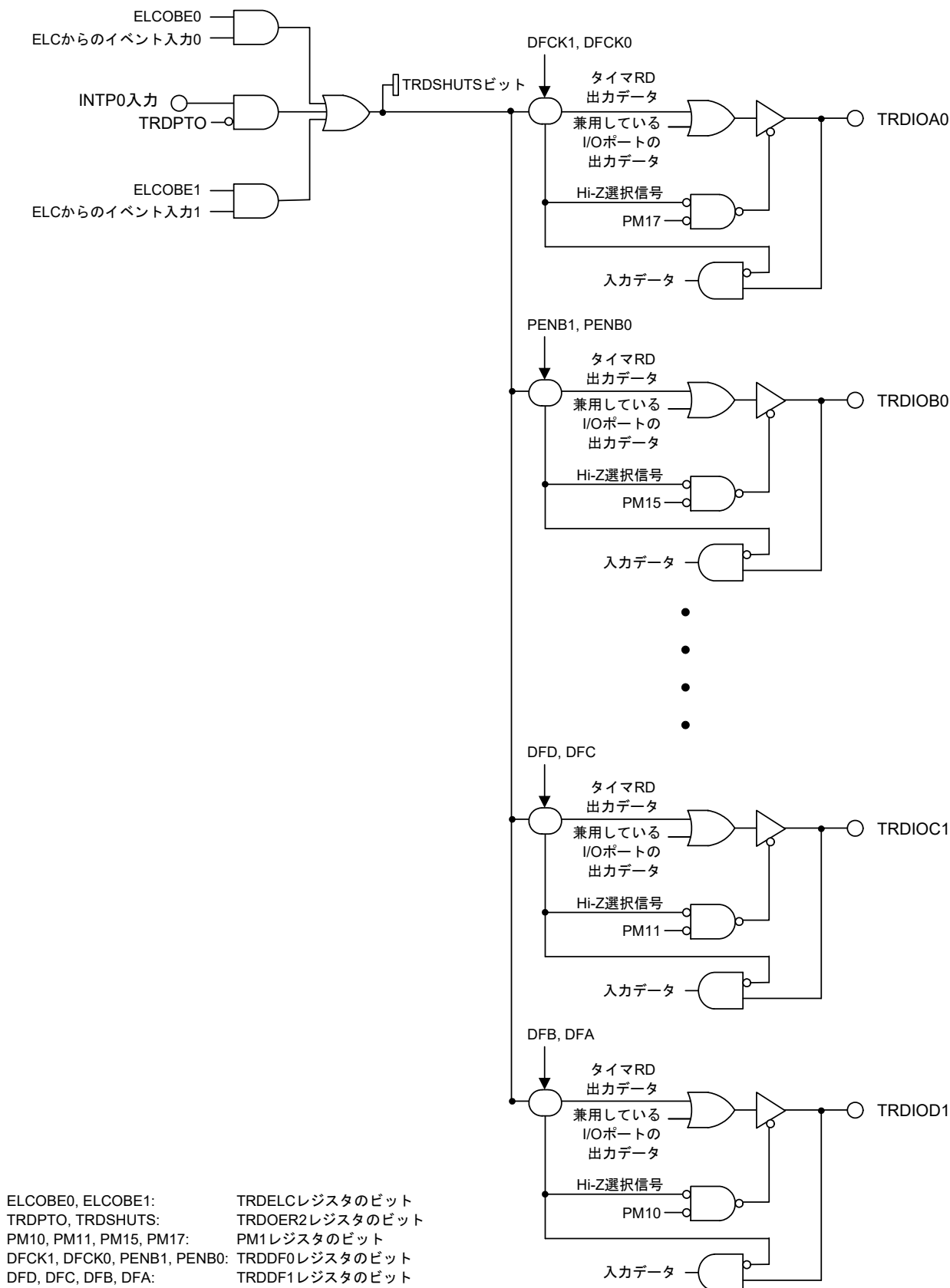
また、コンパレータの過電流検出機能には、次の2種類があります。

(1)2段階過電流検出機能

(2)過電流／起電流検出機能

なお、コンパレータ、強制遮断後の動作については13.4.1 2段階過電流検出機能、13.4.2 過電流／起電流検出機能、13.4.3 過電流検出機能動作例を参照してください。

図8 - 47 パルス出力強制遮断



8.4.5 イベント・リンク・コントローラ(ELC)からのイベント入力

ELCからのイベント入力によって、タイマRDは2つの動作をします。

(a) TRDIOD0/TRDIOD1のインプットキャプチャ

ELCからのイベント入力によって、タイマRDはTRDIOD0/TRDIOD1のインプットをキャプチャします。このとき、TRDSRiレジスタのIMFDビットが1になります。

この機能を使用する場合、タイマモードのインプットキャプチャ機能を選択し、TRDELICレジスタのELCICE0/ELCICE1ビットを1にしてください。その他のモード(タイマモードのアウトプットコンペア機能、PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード)では無効です。

(b) パルス出力強制遮断動作^注

ELCからのイベント入力によって、パルス出力を強制遮断します。この機能を使用する場合、パルス出力モード(PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード)を選択し、ELCOBE0/ELCOBE1ビットを1にしてください。タイマモードのインプットキャプチャ機能では無効です。

注 INTPO端子の強制遮断はL入力期間中パルス出力を遮断しますが、ELCイベントによるパルス強制遮断は、ELCからのイベント入力1回に対し、1回パルス出力を遮断します。

設定手順

(1) ELCのイベントリンク先をタイマRDに設定する。

(2) TRDELICレジスタのELCICEi (i = 0, 1), ELCOBEi (i = 0, 1)ビットを1にする。

8.4.6 イベント・リンク・コントローラ(ELC)へのイベント出力

表8-11にタイマRDのモードとELCへのイベント出力を示します。

表8-11 タイマRDのモードとELCへのイベント出力

使用モード	出力要因	ELC
インプットキャプチャ機能	TRDIORA0レジスタのIOA1, IOA0ビットで設定したTRDIOA0のエッジ検出	○
	TRDIORA0レジスタのIOB1, IOB0ビットで設定したTRDIOB0のエッジ検出	○
	TRDIORC0レジスタのIOC1, IOC0ビットで設定したTRDIOC0のエッジ検出	—
	TRDIORC0レジスタのIOD1, IOD0ビットで設定したTRDIOD0のエッジ検出	—
	TRDIORA1レジスタのIOA1, IOA0ビットで設定したTRDIOA1のエッジ検出	○
	TRDIORA1レジスタのIOB1, IOB0ビットで設定したTRDIOB1のエッジ検出	○
	TRDIORC1レジスタのIOC1, IOC0ビットで設定したTRDIOC1のエッジ検出	—
	TRDIORC1レジスタのIOD1, IOD0ビットで設定したTRDIOD1のエッジ検出	—
アウトプットコンペア機能、PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	○
	TRD0レジスタとTRDGRB0レジスタのコンペア一致	○
	TRD0レジスタとTRDGRC0レジスタのコンペア一致	—
	TRD0レジスタとTRDGRD0レジスタのコンペア一致	—
	TRD1レジスタとTRDGRA1レジスタのコンペア一致	○
	TRD1レジスタとTRDGRB1レジスタのコンペア一致	○
	TRD1レジスタとTRDGRC1レジスタのコンペア一致	—
	TRD1レジスタとTRDGRD1レジスタのコンペア一致	—
相補PWMモード	TRD1レジスタのアンダフロー	○

8.5 タイマRDの動作

8.5.1 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO j i 端子 ($i = 0, 1, j = A, B, C, D$) の外部信号をトリガにして TRDi レジスタ (カウンタ) の内容を TRDGR j i レジスタに転送します (インพุットキャプチャ)。TRDIO j i 端子と TRDGR j i レジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

図8 - 48にインพุットキャプチャ機能のブロック図を、表8 - 12にインพุットキャプチャ機能の仕様を、図8 - 49にインพุットキャプチャ機能の動作例を示します。

図8-48 インพุットキャプチャ機能のブロック図

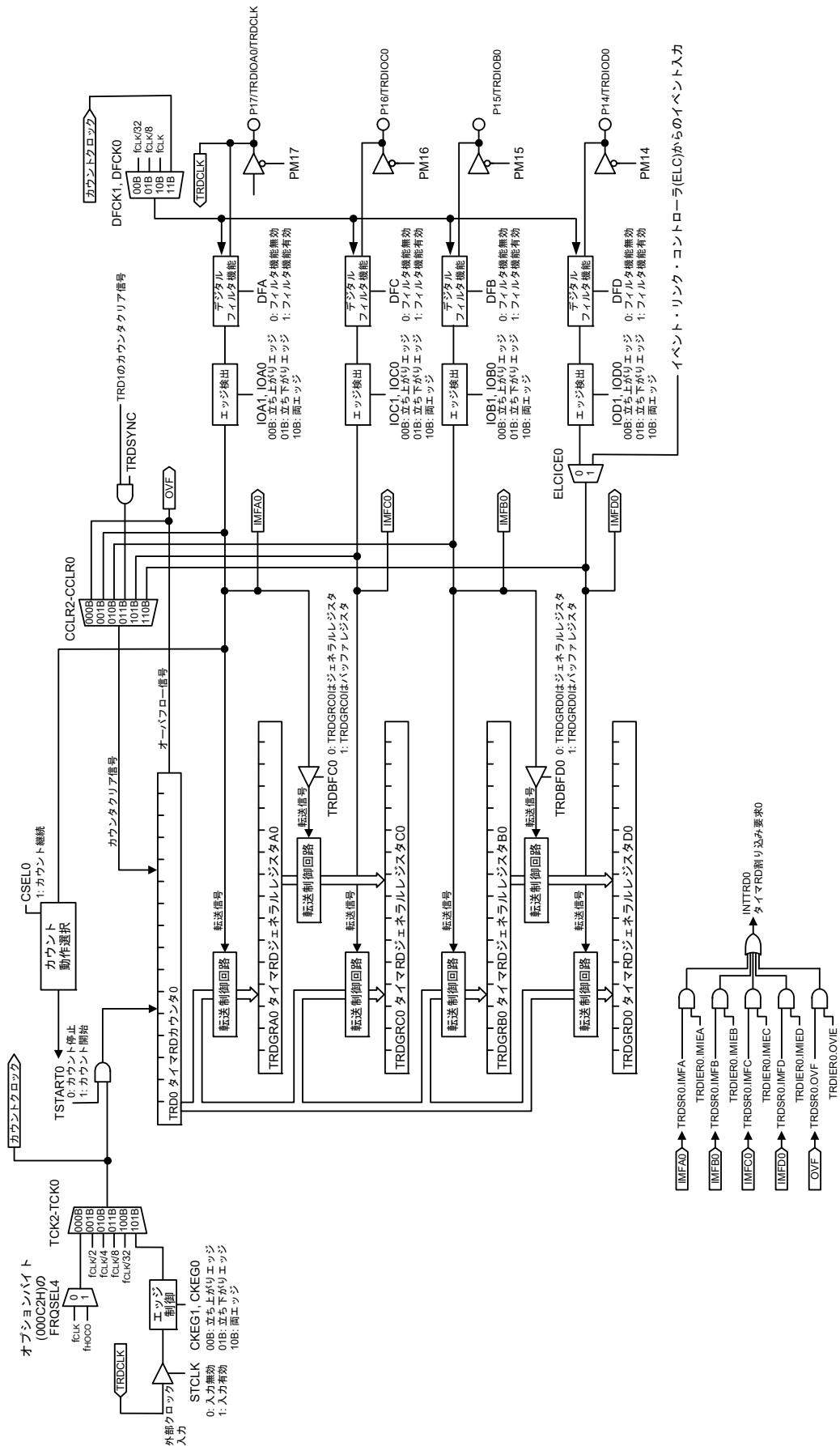


表8-12 インพุットキャプチャ機能の仕様

項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2~CCLR0ビットが000B(フリーランニング動作)の場合 1/fk × 65536 fk: カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが1に設定されているとき, TSTARTiビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インพุットキャプチャ(TRDIOji入力の有効エッジ) TRDiオーバフロー
TRDIOA0端子機能	I/Oポート, インพุットキャプチャ入力, またはTRDCLK(外部クロック)入力
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1~ TRDIOD1端子機能	I/Oポートまたはインพุットキャプチャ入力(1端子ごとに選択)
INTP0端子機能	使用しない(入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと, カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> TRDMRレジスタのTRDSYNCビットが0(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める TRDMRレジスタのTRDSYNCビットが1(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと, TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> インพุットキャプチャ入力端子選択 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 インพุットキャプチャ入力の有効エッジ選択 立ち上がりエッジ, 立ち下がりエッジ, または立ち上がりエッジと立ち下がりエッジの両方 TRDiを0000Hにするタイミング オーバフローまたはインพุットキャプチャ時 バッファ動作(8.4.2 バッファ動作参照) 同期動作(8.4.3 同期動作参照) デジタルフィルタ TRDIOji入力をサンプリングし, 3回一致したらレベルが確定したとみなす イベント・リンク・コントローラ(ELC)からのイベント入力によるインพุットキャプチャ動作

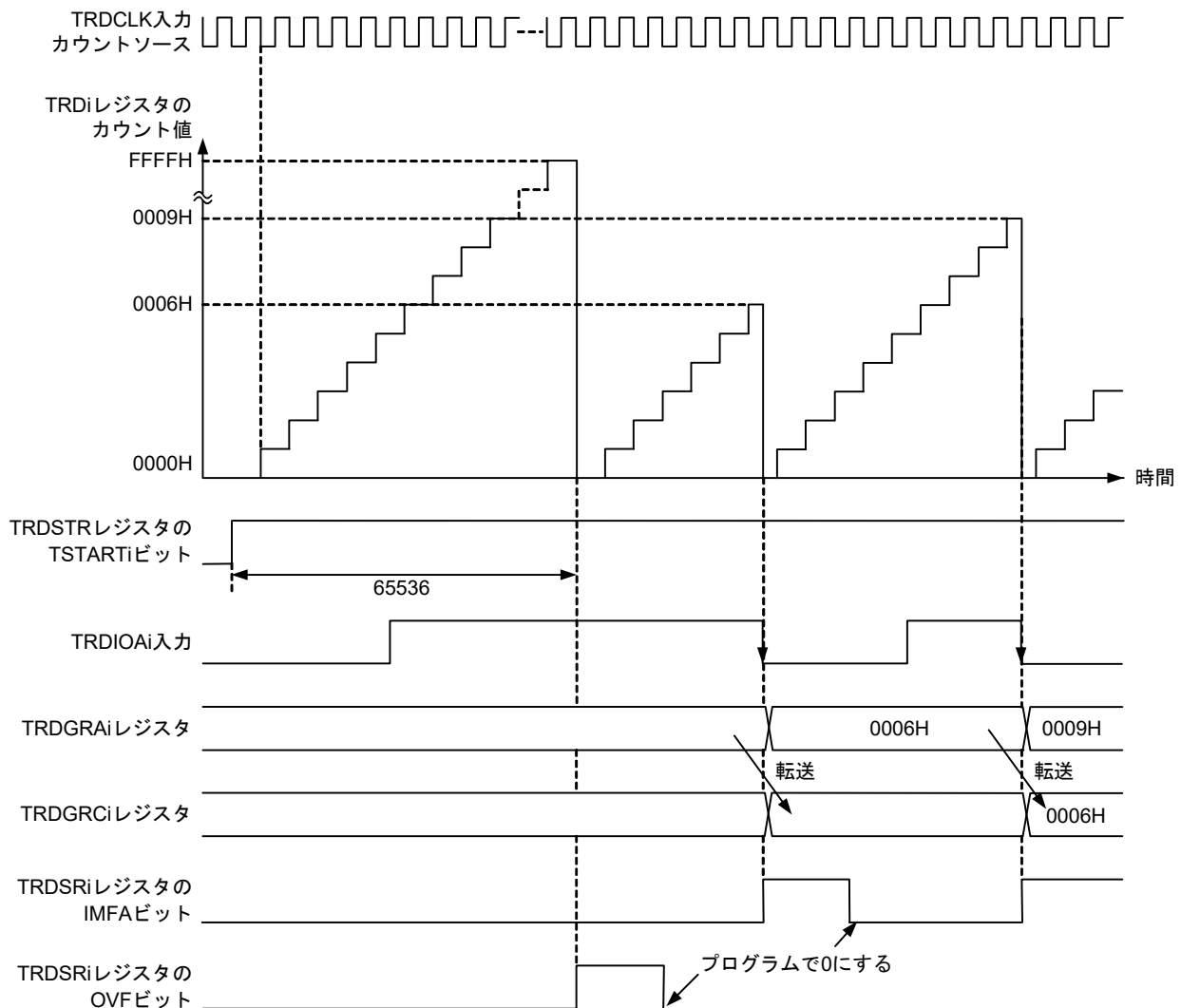
注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に, fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

備考 i = 0, 1, j = A, B, C, D

(1) 動作例

TRDCRi レジスタ (i = 0, 1) の CCLR0 ~ CCLR2 ビットの設定で、インプットキャプチャ/コンパレー
 致により、タイマRD_iのカウンタ値はリセットされます。図8-49は、CCLR2 ~ CCLR0 ビットを001B
 と設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウントをクリアする設定
 をして、タイマカウンタ値がFFFFHにおいてインプットキャプチャ動作をした場合、カウントソー
 スとインプットキャプチャ動作のタイミングによって割り込みフラグである TRDSRi レジスタの IMFA
 ~ IMFD ビットと OVF ビットが同時に1となる場合があります。

図8-49 インプットキャプチャ機能の動作例



備考

i = 0, 1

上図は次の条件の場合です。

TRDCRiレジスタのCCLR2~CCLR0ビットが001B (TRDGRAiのインプットキャプチャでTRDiを0000Hにする)

TRDCRiレジスタのTCK2~TCK0ビットが101B (カウントソースはTRDCLK入力)

TRDCRiレジスタのCKEG1, CKEG0ビットが01B (カウントソースは立ち下がりでカウント)

TRDIOAiレジスタのIOA2~IOA0ビットが101B (TRDIOAi入力の立ち下がりエッジでインプットキャプチャ)

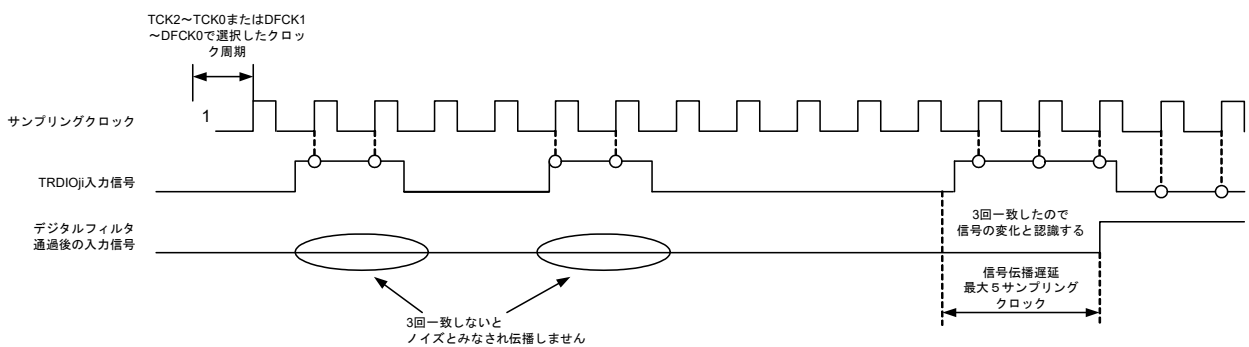
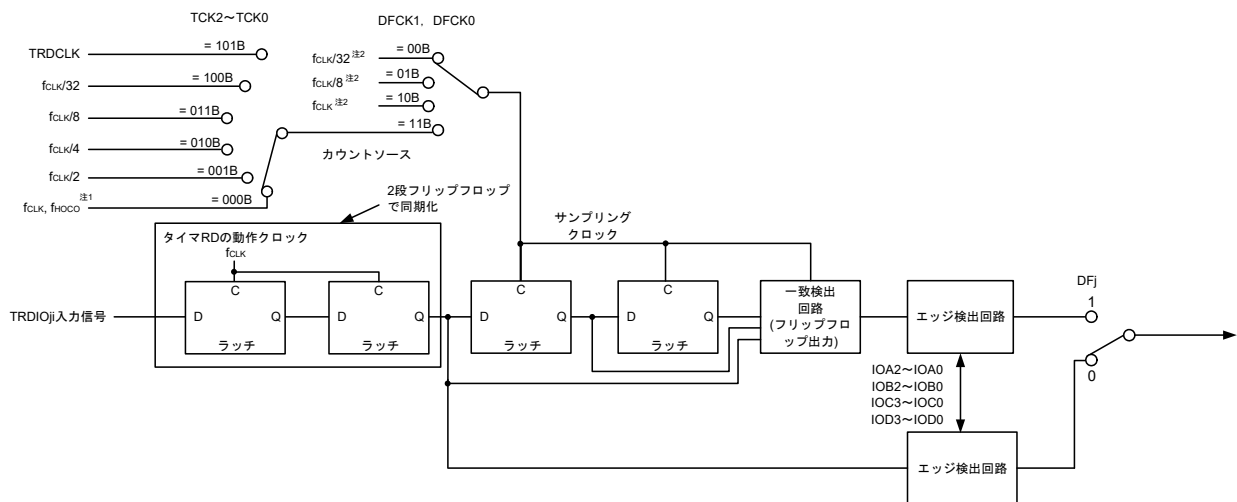
TRDMRレジスタのTRDBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)

(2) デジタルフィルタ

TRDIO_{ji}入力(i = 0, 1, j = A, B, C, D)をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

図8-50にデジタルフィルタのブロック図を示します。

図8-50 デジタルフィルタのブロック図



備考
i = 0, 1, j = A, B, C, D

TCK0~TCK2 : TRDCRiレジスタのビット
DFCK0, DFCK1, DFj : TRDDFiレジスタのビット
IOA0~IOA2, IOB0~IOB2 : TRDIORAIのレジスタのビット
IOC0~IOC3, IOD0~IOD3 : TRDIORCIのレジスタのビット

- 注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 0のときはfclk, FRQSEL4 = 1のときはfhocoが選択されます。
- 注2. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1の場合はfclk/32, fclk/8, fclkはそれぞれfhoco/32, fhoco/8, fhocoになります。

8.5.2 アウトプットコンペア機能

TRDiレジスタ(カウンタ)($i = 0, 1$)の内容と、TRDGRjレジスタ($j = A, B, C, D$)の内容の一致(コンペア一致)を検出するモードです。一致したときTRDIOj端子から任意のレベルを出力します。TRDIOj端子とTRDGRjレジスタの組み合わせで機能しますので、端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

図8 - 51にアウトプットコンペア機能のブロック図を、表8 - 13にアウトプットコンペア機能の仕様を、図8 - 52にアウトプットコンペア機能の動作例を示します。

図8-51 アウトプットコンペア機能のブロック図

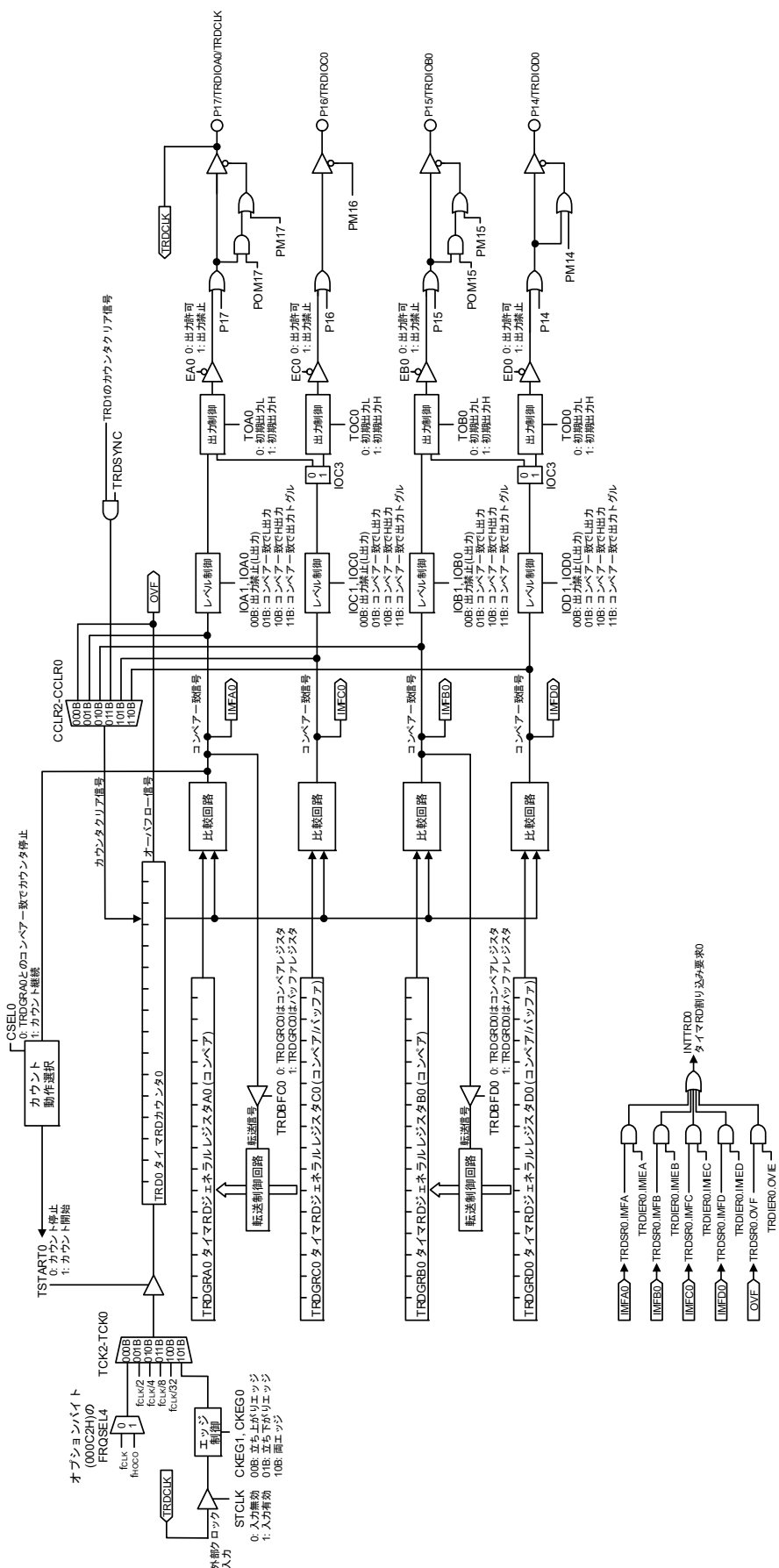


表8-13 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> TRDCRiレジスタのCCLR2~CCLR0ビットが000B(フリーランニング動作)の場合 1/fk × 65536 fk : カウントソースの周波数 TRDCRiレジスタのCCLR1~CCLR0ビットが01B, 10B (TRDGRjiのコンペアー一致でTRDiを0000Hにする)の場合 1/fk × (n + 1) n : TRDGRjiレジスタ設定値
波形出力タイミング	コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致)
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSELiビットが1に設定されているとき, TSTARTiビットへの0(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSELiビットが0の場合, TRDGRAiコンペアー一致でカウント停止 アウトプットコンペア出力端子はコンペアー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) TRDiオーバフロー
TRDIOA0端子機能	I/Oポート, アウトプットコンペア出力, またはTRDCLK(外部クロック)入力
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1~TRDIOD1端子機能	I/Oポートまたはアウトプットコンペア出力(1端子ごとに選択)
INTP0端子機能	使用しない(入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと, カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> TRDMRレジスタのTRDSYNCビットが0(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める TRDMRレジスタのTRDSYNCビットが1(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと, TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 コンペアー一致時の出力レベル選択 L出力, H出力, または出力レベル反転 初期出力レベル選択 カウント開始からコンペアー一致までの期間のレベルを設定 TRDiを0000Hにするタイミング オーバフローまたはTRDGRAiレジスタのコンペアー一致 バッファ動作(8.4.2 バッファ動作参照) 同期動作(8.4.3 同期動作参照) TRDGRCi, TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の, TRDGRDiをTRDIOBi端子の出力制御に使用できる タイマRDは出力しないことで内部タイマとして使用できる

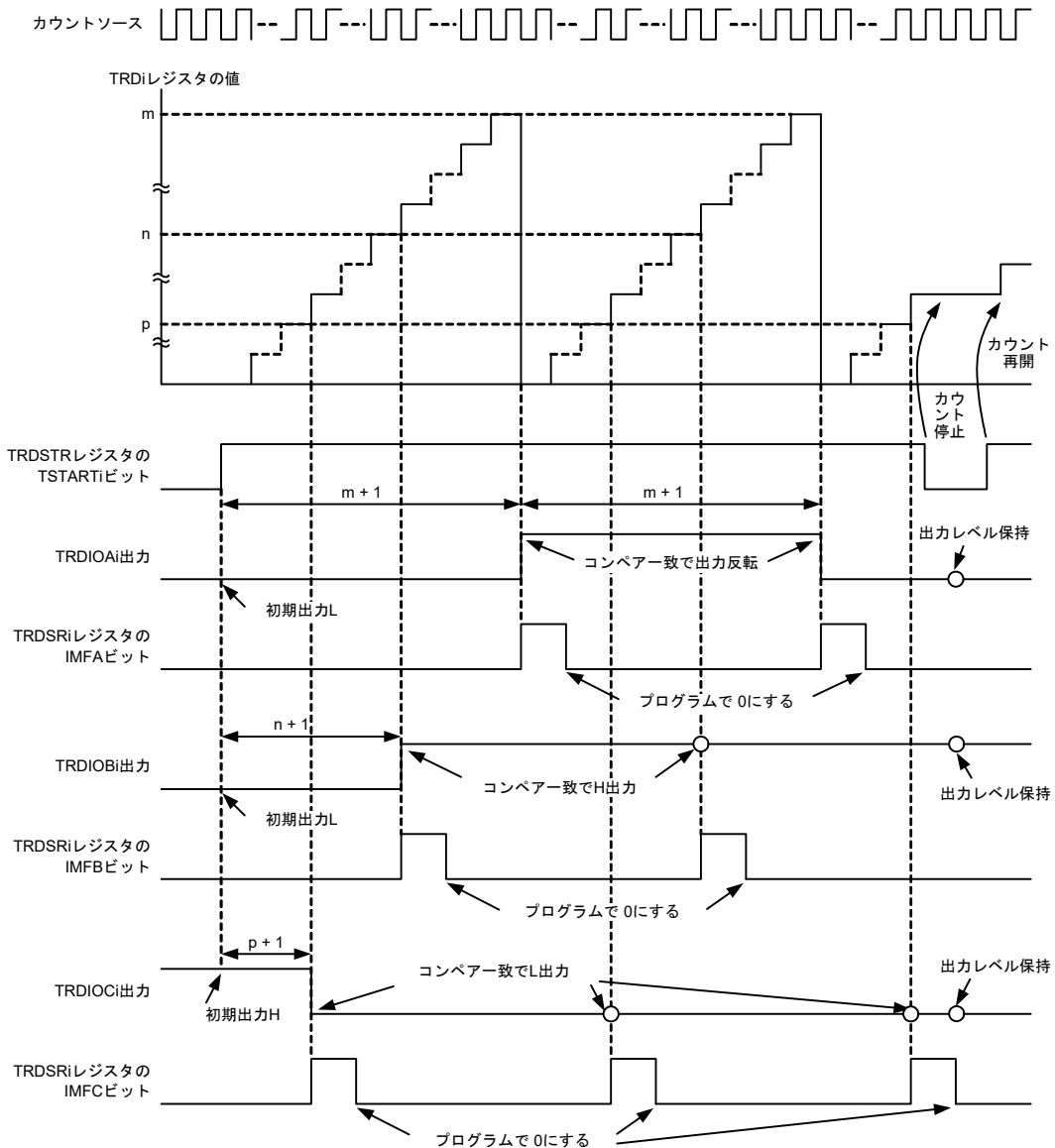
注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に, fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

備考 i = 0, 1, j = A, B, C, D

(1) 動作例

TRDCR_iレジスタ ($i = 0, 1$)のCCLR0~CCLR2ビットの設定によって、インプットキャプチャ/コンペア一致により、タイマRD_iのカウンタ値はリセットされます。このとき、コンペア期待値がFFFFHの場合、オーバーフロー動作と同様にFFFFHから0000Hとなり、オーバーフローフラグは1となります。

図8-52 アウトプットコンペア機能の動作例



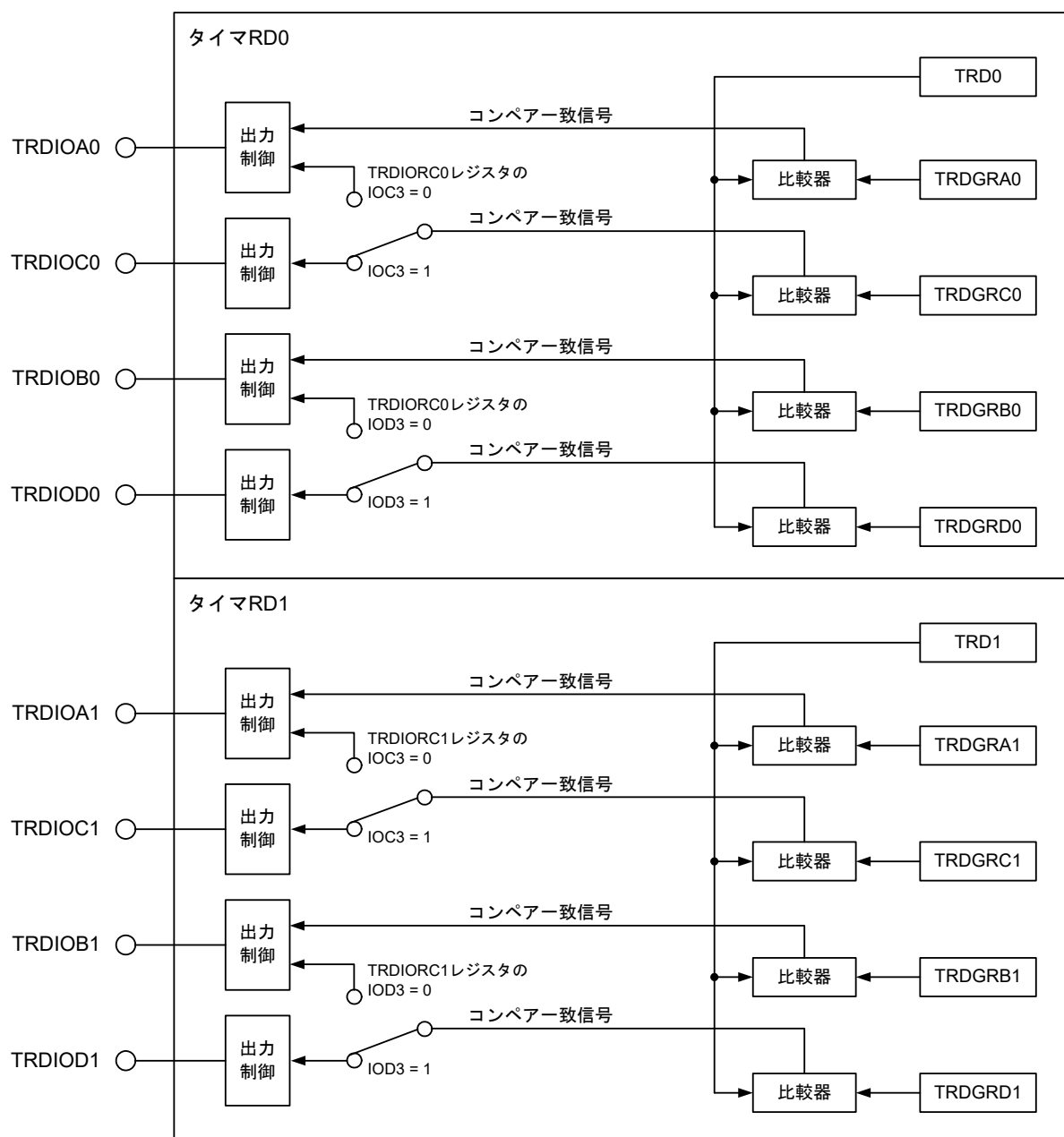
備考
 $i = 0, 1$
 m : TRDGRA_iレジスタ設定値
 n : TRDGRB_iレジスタ設定値
 p : TRDGRC_iレジスタ設定値

上図は次の条件の場合です。
 TRDSTRレジスタのCSELiビットが1 (TRDiはコンペア一致で停止しない)
 TRDMRレジスタのTRDBFCi, TRDBFDiビットが0 (TRDGRC_i, TRDGRDiパルファ動作しない)
 TRDOER1レジスタのEAI, EBi, ECIビットが0 (TRDIOAi, TRDIOBi, TRDIOCi出力許可)
 TRDCR_iレジスタのCCLR2~CCLR0ビットが001B (TRDGRA_iのコンペア一致でTRDiを0000Hにする)
 TRDCR_iレジスタのTOAi, TOBiビットが0 (コンペア一致までの初期出力L), TOCiビットが1 (コンペア一致までの初期出力H)
 TRDIOA_iレジスタのIOA2~IOA0ビットが011B (TRDGRA_iコンペア一致時, TRDIOAi出力反転)
 TRDIOB_iレジスタのIOB2~IOB0ビットが010B (TRDGRB_iコンペア一致時, TRDIOBi出力)
 TRDIORC_iレジスタのIOC3~IOC0ビットが1001B (TRDGRC_iコンペア一致時, TRDIOCi出力)
 TRDIORC_iレジスタのIOD3~IOD0ビットを1000B (TRDGRDiレジスタはTRDIOBi端子出力制御しない。コンペア一致による端子出力禁止)

(2) TRDGRC_i, TRDGRD_i レジスタ ($i = 0, 1$) の出力端子変更

TRDGRC_i レジスタを TRDIOA_i 端子の、TRDGRD_i レジスタを TRDIOB_i 端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOA_i 出力は、TRDGRA_i レジスタの値と TRDGRC_i レジスタの値の2点で制御
- TRDIOB_i 出力は、TRDGRB_i レジスタの値と TRDGRD_i レジスタの値の2点で制御

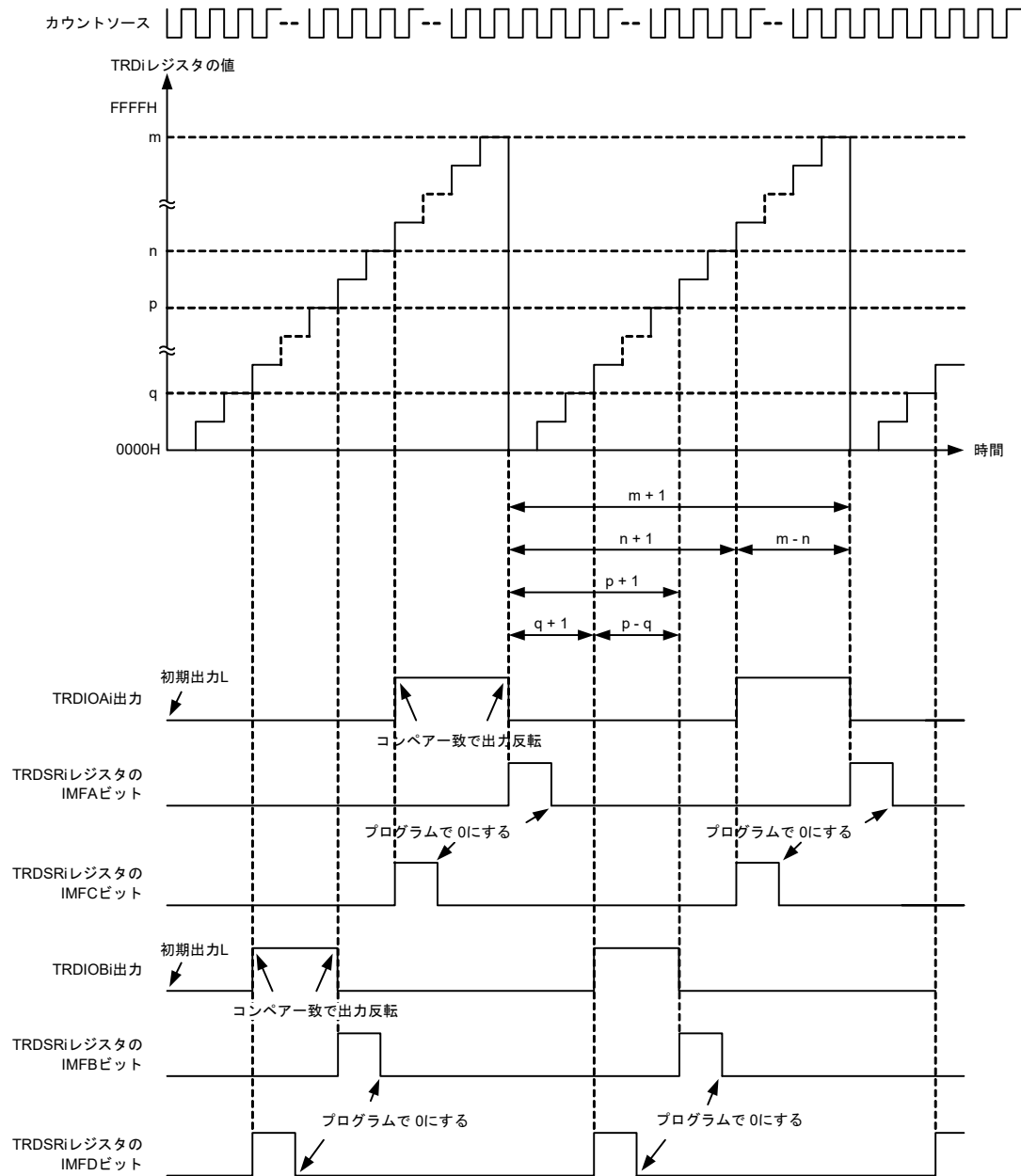
図8 - 53 TRDGRC_i, TRDGRD_i の出力端子変更

TRDGRC_i, TRDGRD_i レジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORC_i レジスタの IOj3 ビット ($j = C, D$) で 0 (TRDGR_j レジスタ出力端子変更) を選択。
- TRDMR レジスタの TRDBF_j ビットを 0 (ジェネラルレジスタ) にする。
- TRDGRA_i レジスタと TRDGRC_i レジスタは違う値を設定。また、TRDGRB_i レジスタと TRDGRD_i レジスタは違う値を設定。

図8 - 54に TRDGRCi を TRDIOAi 端子の、TRDGRDi を TRDIOBi 端子の出力制御に使用した場合の動作例を示します。

図8 - 54 TRDGRCi を TRDIOAi 端子の、TRDGRDi を TRDIOBi 端子の出力制御に使用した場合の動作例



備考

i = 0, 1

m : TRDGRAi レジスタの設定値

n : TRDGRCi レジスタの設定値

p : TRDGRBi レジスタの設定値

q : TRDGRDi レジスタの設定値

上図は次の条件の場合です。

- TRDSTR レジスタの CSELi ビットが 1 (TRDi はコンパレー一致で停止しない)
- TRDMR レジスタの TRDBFCi, TRDBFDi ビットが 0 (TRDGRCi, TRDGRDi バッファ動作しない)
- TRDOER1 レジスタの EAi, EBi ビットが 0 (TRDIOAi, TRDIOBi 出力許可)
- TRDCRi レジスタの CCLR2 ~ CCLR0 ビットが 001B (TRDGRAi のコンパレー一致で TRDi を 0000H にする)
- TRDOCR レジスタの TOAi, TOBi ビットが 0 (コンパレー一致までの初期出力 L)
- TRDIOAi レジスタの IOA2 ~ IOA0 ビットが 011B (TRDGRAi コンパレー一致時, TRDIOAi 出力反転)
- TRDIOAi レジスタの IOB2 ~ IOB0 ビットが 011B (TRDGRBi コンパレー一致時, TRDIOBi 出力反転)
- TRDIOAi レジスタの IOC3 ~ IOC0 ビットが 0011B (TRDGRCi コンパレー一致時, TRDIOAi 出力反転)
- TRDIOAi レジスタの IOD3 ~ IOD0 ビットが 0011B (TRDGRDi コンパレー一致時, TRDIOBi 出力反転)

8.5.3 PWM機能

PWM波形を出力する機能です。タイマRD i ($i = 0, 1$)で同周期のPWM波形を最大3本出力できます。

また、タイマRD0とタイマRD1を同期させることによって同周期のPWM波形を最大6本出力できます。TRDIO j 端子 ($j = B, C, D$)とTRDGR j レジスタの組み合わせで機能しますので、端子1本ごとにPWM機能にするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWM機能に使用する場合もTRDGRA i レジスタを使用しますので、TRDGRA i レジスタは他のモードに使用できません)。

図8-55にPWM機能のブロック図を、表8-14にPWM機能の仕様を、図8-56、図8-57にPWM機能の動作例を示します。

図8-55 PWM機能のブロック図

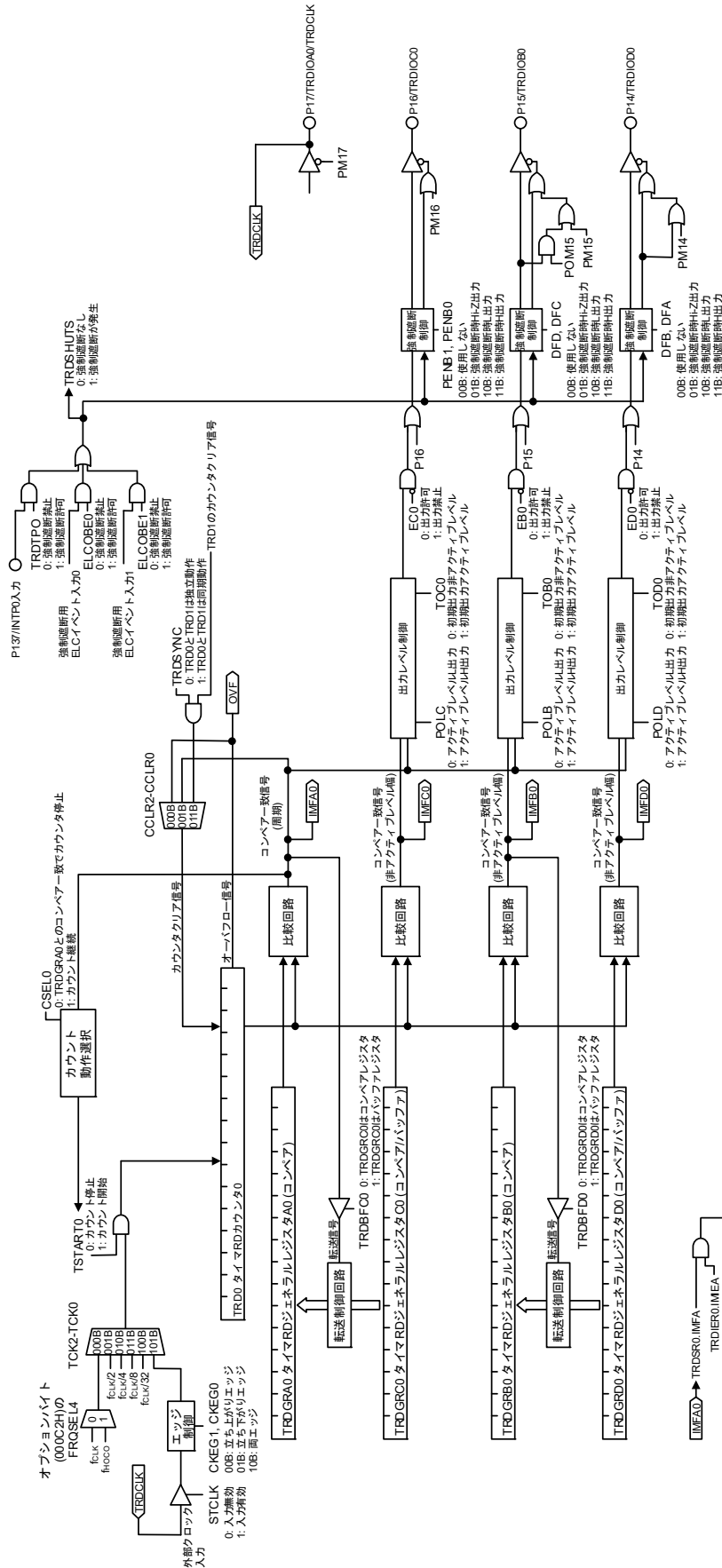
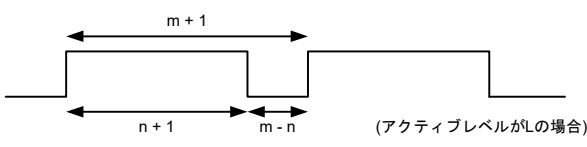


表8 - 14 PWM機能の仕様

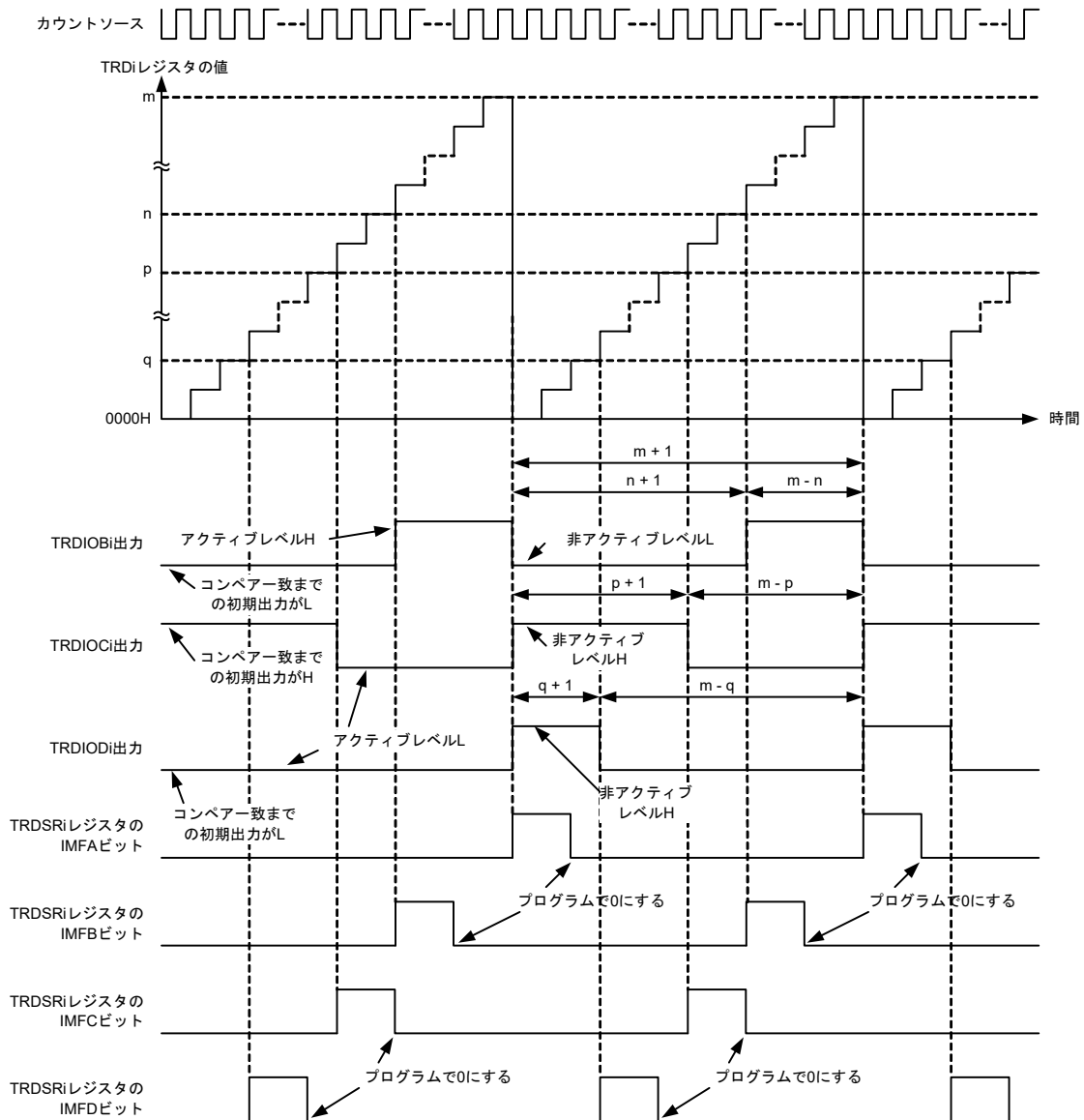
項目	仕様
カウントソース	fHOCO注, fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM波形	PWM周期: $1/fk \times (m + 1)$ アクティブレベル幅: $1/fk \times (m - n)$ アクティブでないレベルの幅: $1/fk \times (n + 1)$ fk: カウントソースの周波数 m: TRDGRAi レジスタ設定値 n: TRDGRji レジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSELiビットが1に設定されているとき, TSTARTiビットへの0(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSELiビットが0の場合, TRDGRAiコンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致(TRDiレジスタとTRDGRhiレジスタの内容が一致) TRDiオーバフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK(外部クロック)入力
TRDIOA1端子機能	I/Oポート
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOB1, TRDIOC1, TRDIOD1 端子機能	I/OポートまたはPWM出力(1端子ごとに選択)
INTP0端子機能	パルス出力強制遮断信号入力(I/OポートまたはINTP0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと, カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> PWM出力端子をタイマRDiで1~3本選択 TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 アクティブレベルを1端子ごとに選択 初期出力レベルを1端子ごとに選択 同期動作(8.4.3 同期動作参照) バッファ動作(8.4.2 バッファ動作参照) パルス出力強制遮断信号入力(8.4.4 パルス出力強制遮断参照)

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に, fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

備考 i = 0, 1, j = B, C, D, h = A, B, C, D

(1) 動作例

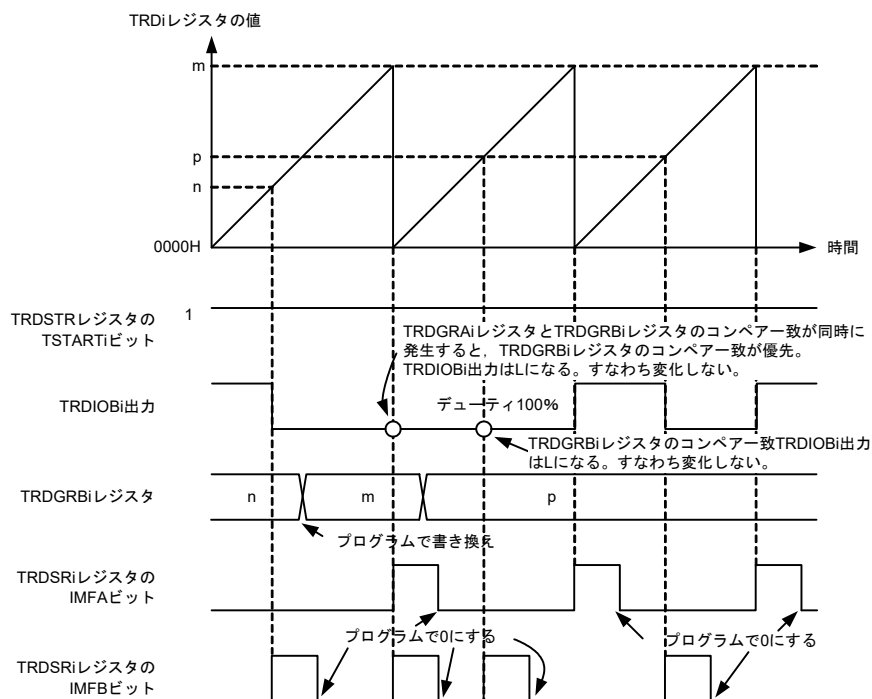
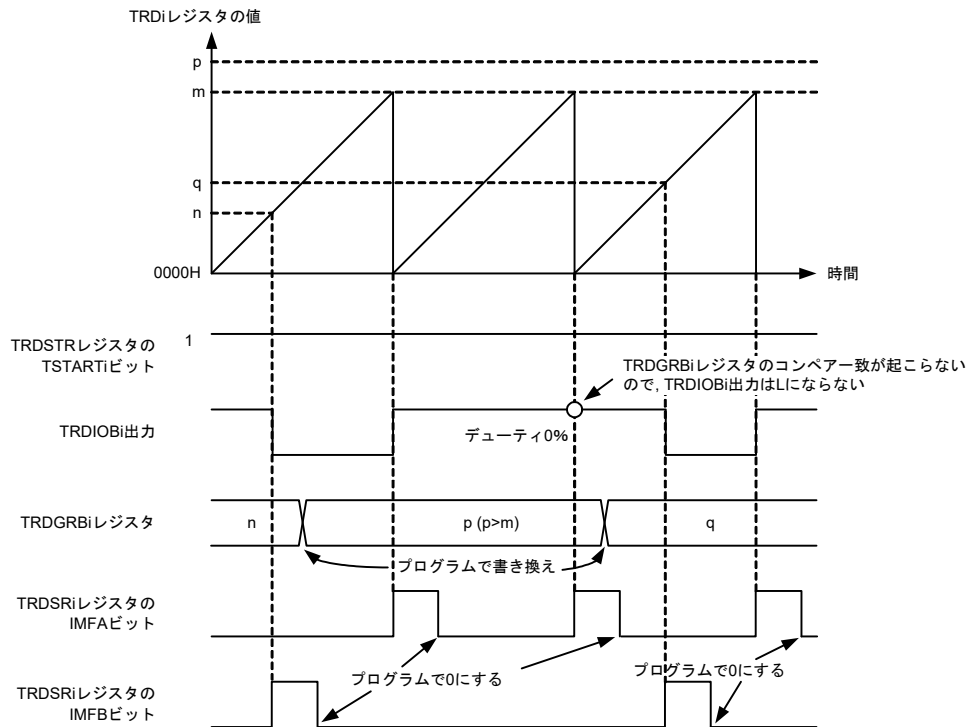
図8 - 56 PWM機能の動作例



備考
 i = 0, 1
 m : TRDGRAiレジスタの設定値
 n : TRDGRBiレジスタの設定値
 p : TRDGRCiレジスタの設定値
 q : TRDGRDiレジスタの設定値

上図は次の条件の場合です。
 TRDMRレジスタのTRDBFCi, TRBFDiビットが0 (TRDGRCi, TRDGRDiレジスタはバッファ動作しない)
 TRDOER1レジスタのEBi, ECi, EDiビットが0 (TRDIOBi, TRDIOCi, TRDIODi出力許可)
 TRDOCRレジスタのTOBi, TOCiビットが0 (非アクティブレベル), TODiビットが1 (アクティブレベル)
 TRDPOCRiレジスタのPOLBiビットが1 (アクティブレベルH), POLC, POLDビットが0 (アクティブレベルL)

図8 - 57 PWM機能の動作例(デューティ 0%, デューティ 100%)



備考

i = 0, 1

m : TRDGRAiレジスタの設定値

上図は次の条件の場合です。

TRDOER1レジスタのEBiビットが0 (TRDIOBi出力許可)

TRDPOCRiレジスタのPOLBビットが0 (アクティブレベルL)

8.5.4 リセット同期PWMモード

同周期のPWM波形を正相3本, 逆相3本, 計6本出力します(三相, 鋸波変調, 短絡防止時間なし)。

図8 - 58にリセット同期PWMモードのブロック図を, 表8 - 15にリセット同期PWMモードの仕様を, 図8 - 59にリセット同期PWMモードの動作例を示します。

デューティ 0%, 100%のPWM動作例は図8 - 57 PWM機能の動作例(デューティ 0%, デューティ 100%)を参照してください。

図8-58 リセット同期PWMモードのブロック図

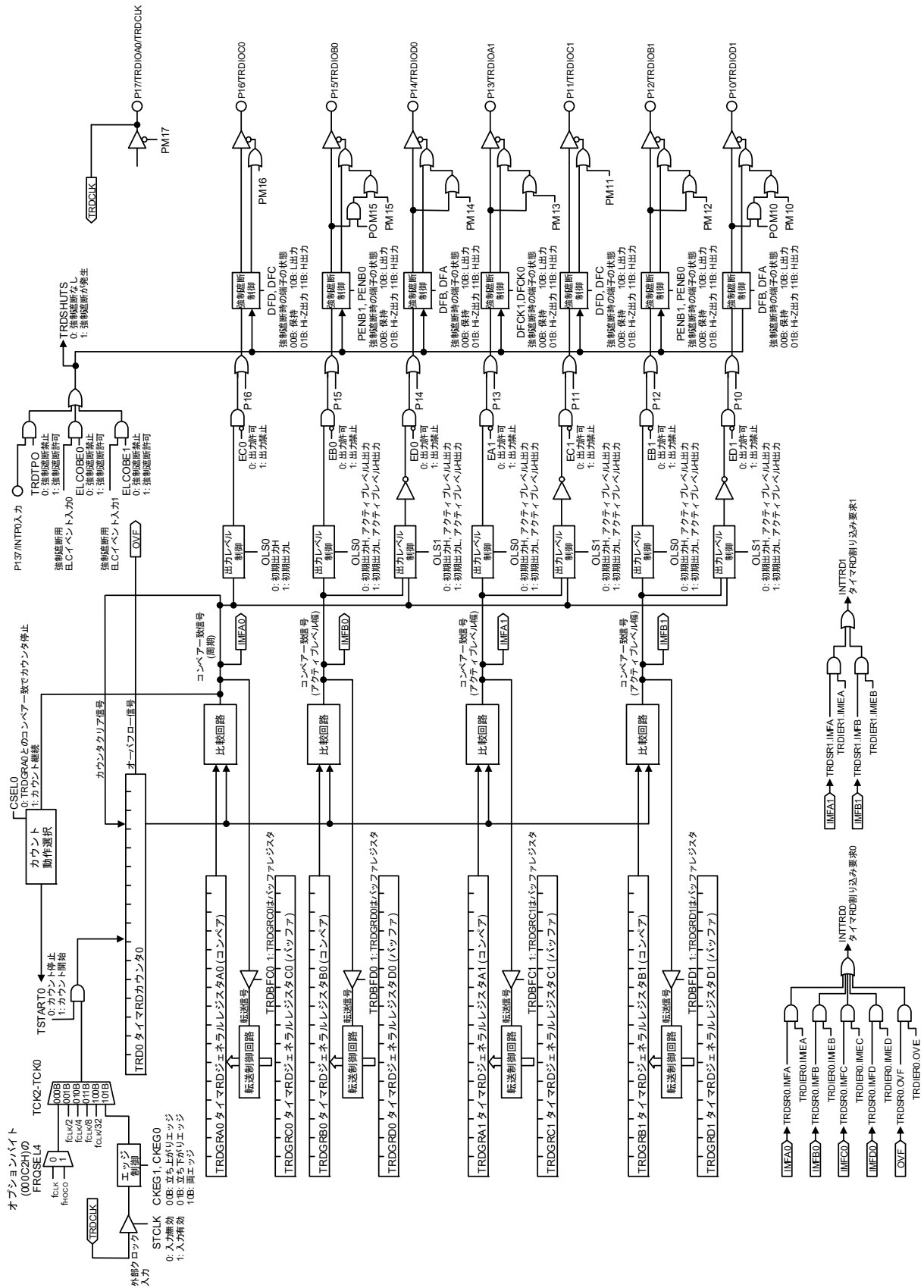


表8-15 リセット同期PWMモードの仕様

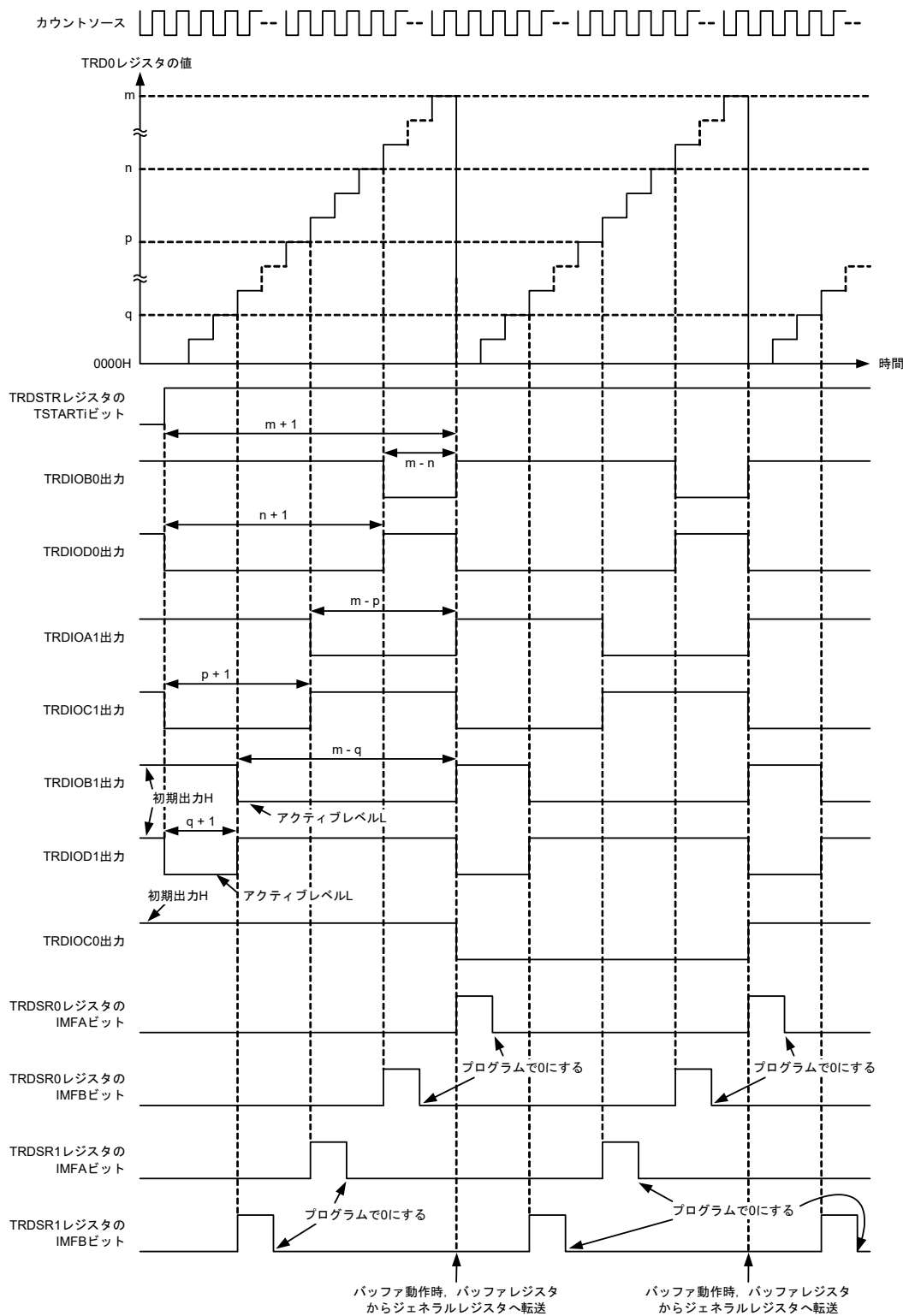
項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	PWM周期: $1/fk \times (m + 1)$ 正相のアクティブレベル幅: $1/fk \times (m - n)$ 逆相のアクティブレベル幅: $1/fk \times (n + 1)$ fk: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) (アクティブレベルがLの場合)
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSEL0ビットが1に設定されているとき、TSTART0ビットへの0(カウント停止)書き込み PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力 TRDSTRレジスタのCSEL0ビットが0の場合、TRDGRA0コンパレー一致でカウント停止 PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンパレー一致(TRD0レジスタとTRDGRj0, TRDGRA1, TRDGRB1レジスタの内容が一致) TRD0オーバフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INTP0端子機能	パルス出力強制遮断信号入力(I/OポートまたはINTP0割り込み入力)
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	<ul style="list-style-type: none"> 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 バッファ動作(8.4.2 バッファ動作参照) パルス出力強制遮断信号入力(8.4.4 パルス出力強制遮断参照)

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

備考 j = A, B, C, D

(1) 動作例

図8-59 リセット同期PWMモードの動作例



備考
 $i = 0 \sim 1$
 m: TRDGRA0レジスタの設定値
 n: TRDGRB0レジスタの設定値
 p: TRDGRA1レジスタの設定値
 q: TRDGRB1レジスタの設定値
 上図は次の条件の場合です。
 TRDFCRレジスタのOLS1, OLS0ビットが0 (初期出力レベルH, アクティブレベルL)

8.5.5 相補PWMモード

同周期のPWM波形を正相3本, 逆相3本, 計6本出力します(三相, 三角波変調, 短絡防止時間あり)。

図8 - 60に相補PWMモードのブロック図を, 表8 - 16に相補PWMモードの仕様を, 図8 - 61に相補PWMモードの出力モデルを, 図8 - 62に相補PWMモードの動作例を示します。

図8-60 相補PWMモードのブロック図

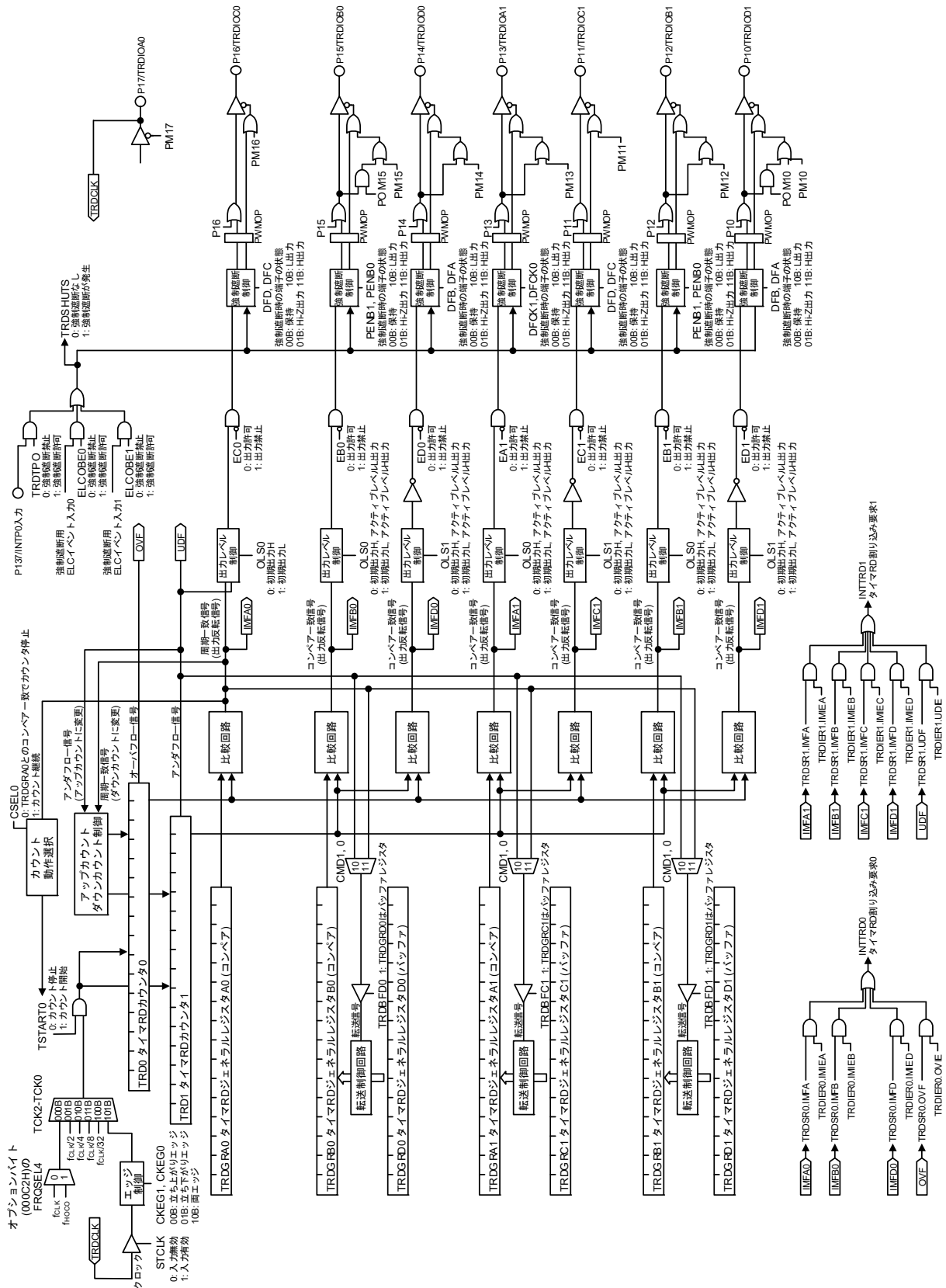
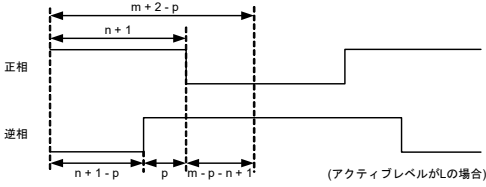


表 8 - 16 相補PWMモードの仕様

項目	仕様
カウントソース	fHOCO ^{注1} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK0~TCK2ビットと、TRDCR1レジスタのTCK0~TCK2ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペアー一致すると、TRD0, TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが0000HからFFFFHになるとTRD0, TRD1ともアップカウントになる。
PWM波形	PWM周期: $1/fk \times (m + 2 - p) \times 2$ ^{注2} 短絡防止時間: p 正相のアクティブレベル幅: $1/fk \times (m - n - p + 1) \times 2$ 逆相のアクティブレベル幅: $1/fk \times (n + 1 - p) \times 2$ fk: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p: TRD0レジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの1(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが1に設定されているときTSTART0ビットとTSTART1ビットへの0(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力)
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) TRD1アンダフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
INTP0端子機能	パルス出力強制遮断信号入力(I/OポートまたはINTP0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	<ul style="list-style-type: none"> パルス出力強制遮断信号入力(8.4.4 パルス出力強制遮断参照) 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 バッファレジスタからの転送タイミング選択

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

注2. カウント開始後、PWM周期は固定です。

備考 i = 0, 1 j = A, B, C, D

(1) 動作例

図8 - 61 相補PWMモードの出力モデル

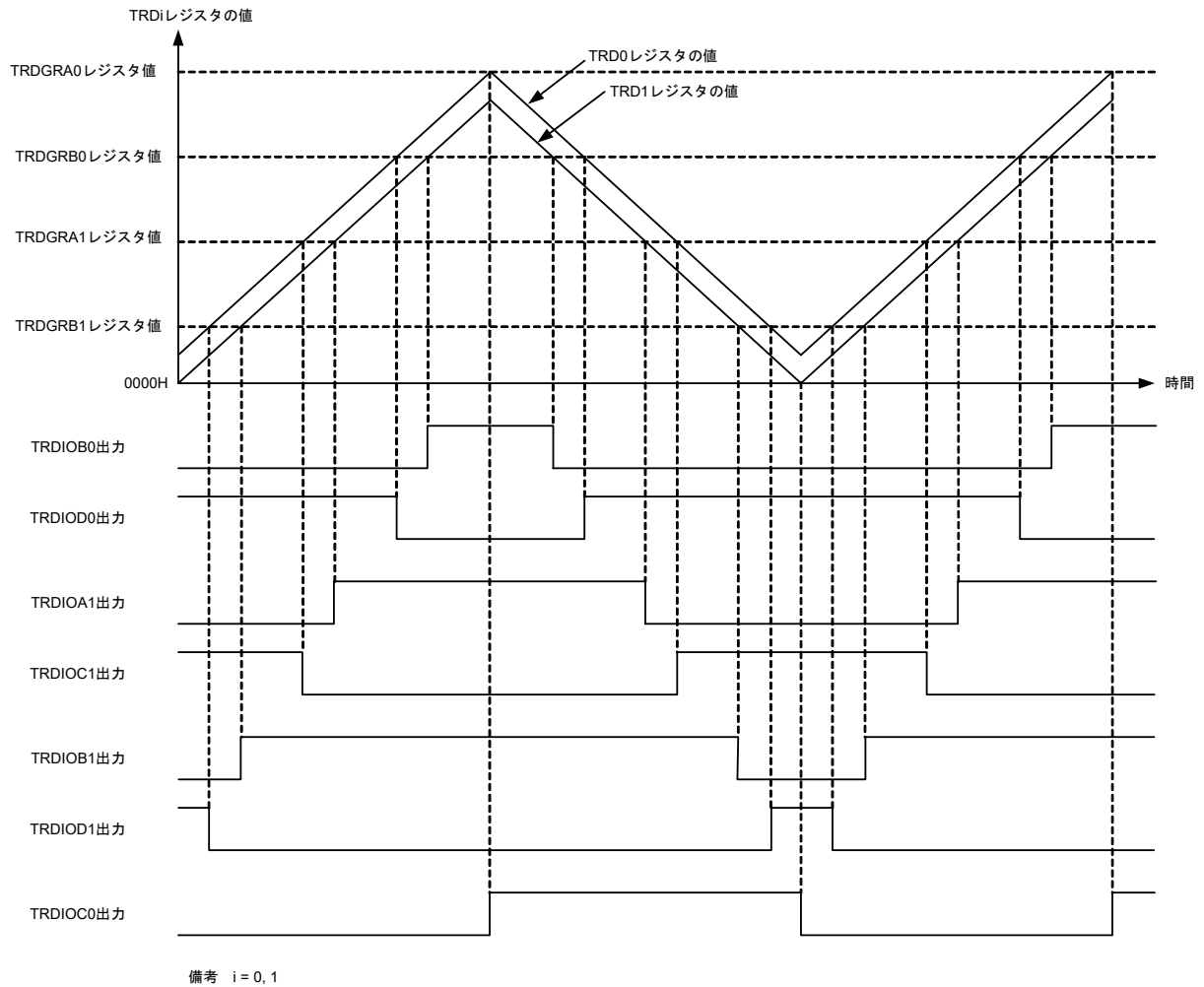
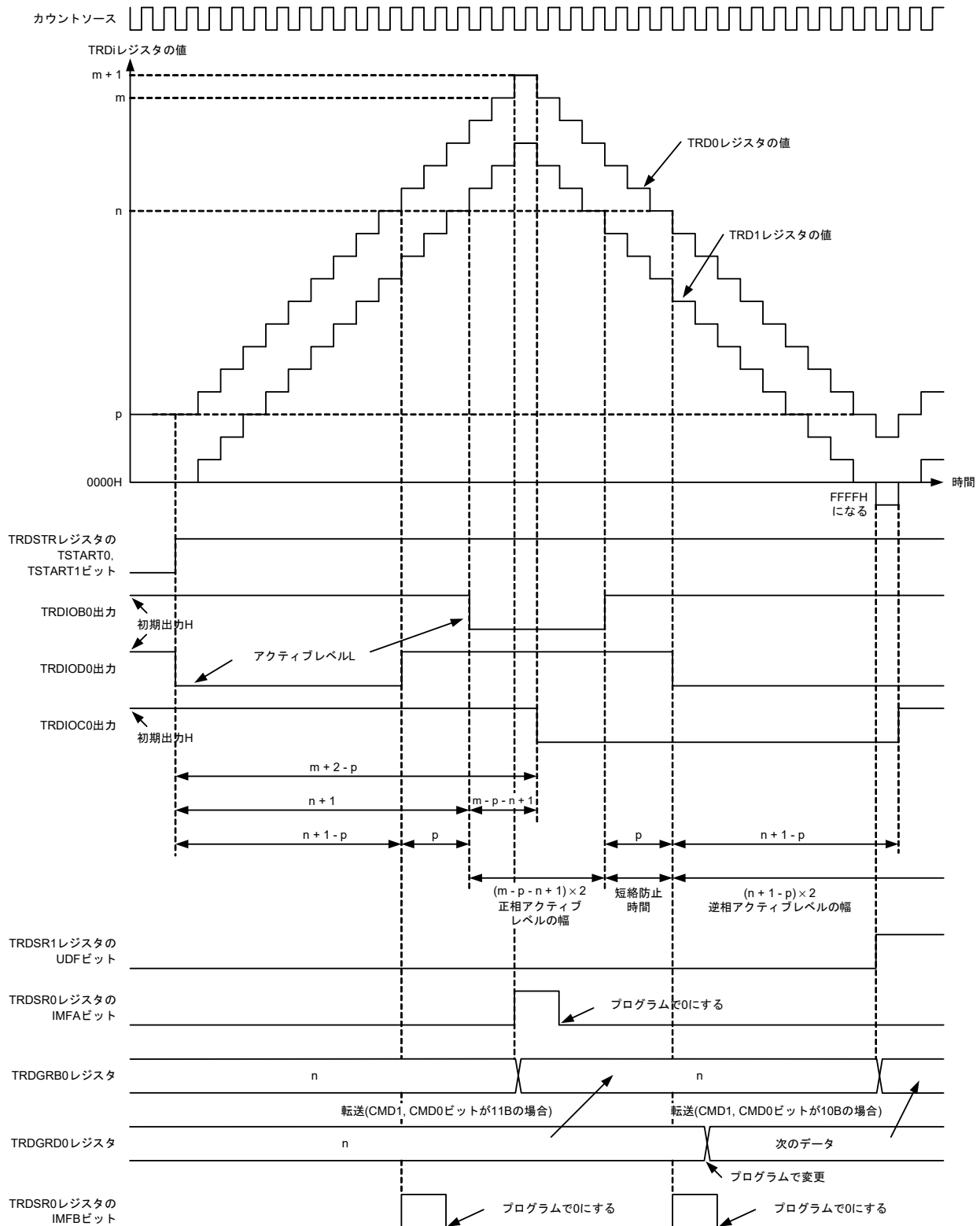


図8 - 62 相補PWMモードの動作例



備考
 CMD0, CMD1 : TRDFCRレジスタのビット
 i = 0, 1
 m : TRDGRA0レジスタの設定値
 n : TRDGRB0レジスタの設定値
 p : TRD0レジスタの設定値
 上図は次の条件の場合です。
 TRDFCRレジスタのOLS1, OLS0ビットが0 (正相, 逆相とも初期出力レベルH, アクティブレベルL)

(2) バッファレジスタからの転送タイミング

- TRDGRD0, TRDGRC1, TRDGRD1 レジスタから TRDGRB0, TRDGRA1, TRDGRB1 レジスタへの転送
TRDFCR レジスタの CMD1, CMD0 ビットが 10B の場合, TRD1 がアンダフローしたときに転送します。
CMD1, CMD0 ビットが 11B の場合, TRD0 と TRDGRA0 レジスタがコンペア一致したときに転送します。

8.5.6 PWM3 モード

同周期の PWM 波形を 2 本出力します。

図 8 - 63 に PWM3 モードのブロック図を, 表 8 - 17 に PWM3 モードの仕様を, 図 8 - 64 に PWM3 モードの動作例を示します。

図 8 - 63 PWM3モードのブロック図

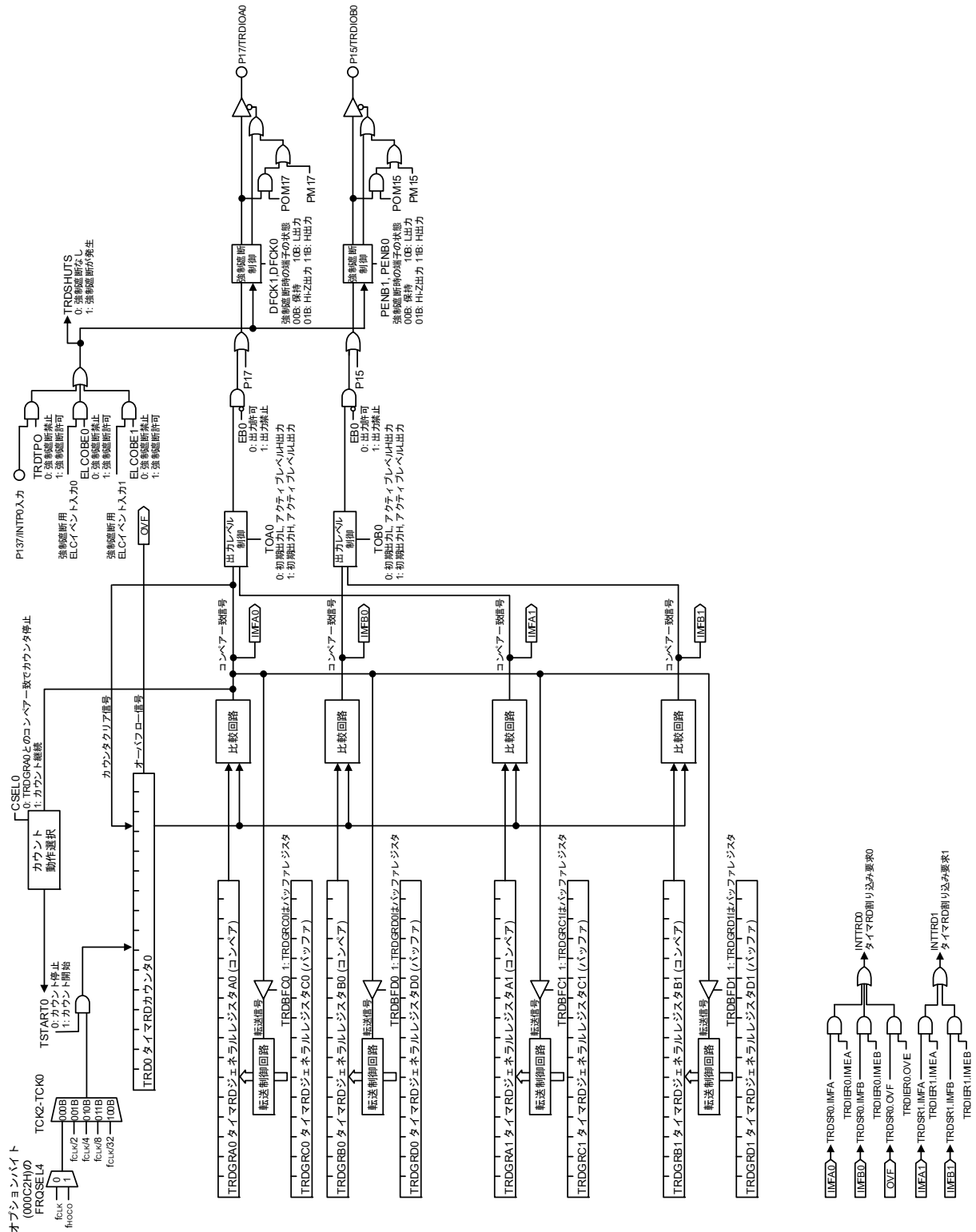


表8 - 17 PWM3モードの仕様

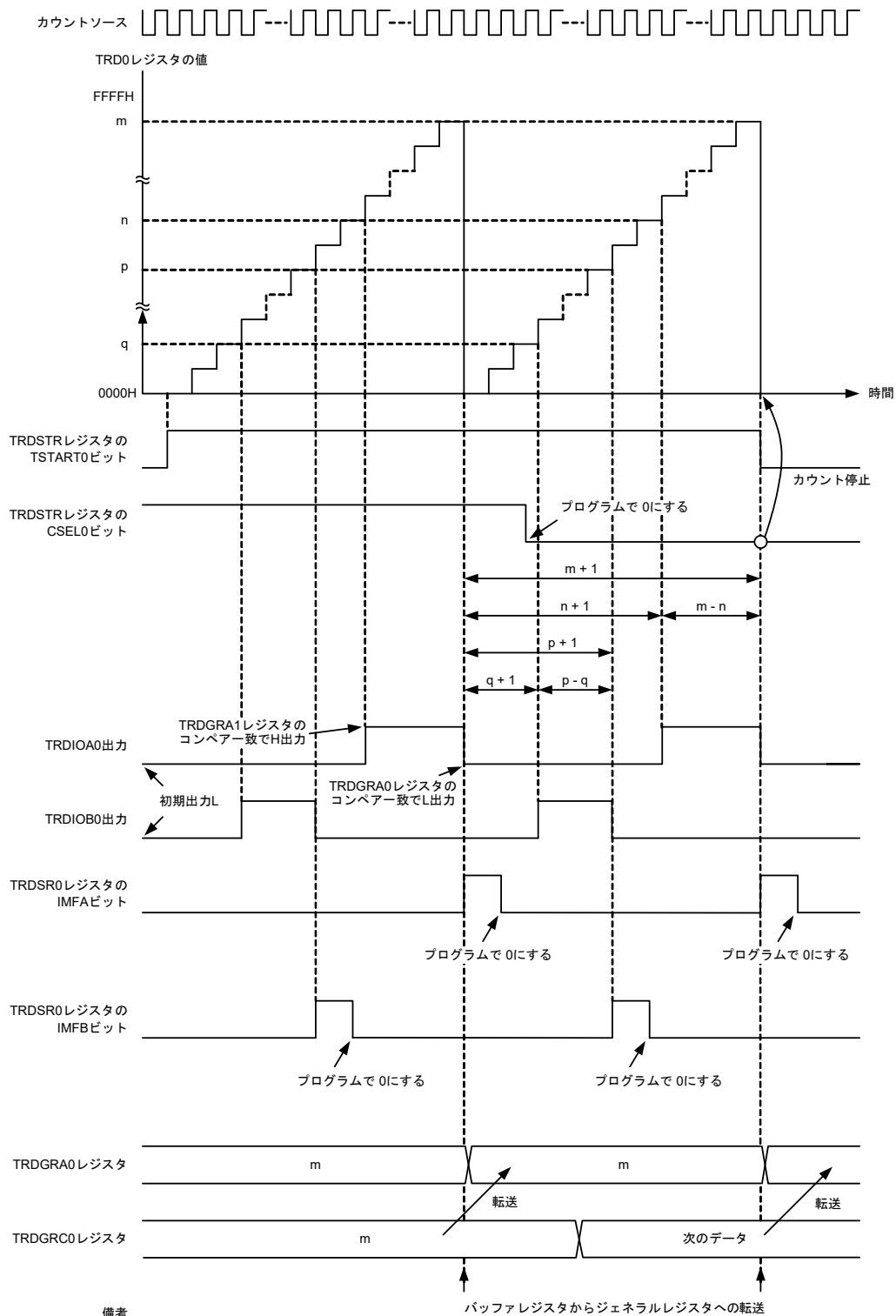
項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32
カウント動作	TRD0はアップカウント (TRD1は使用しない)
PWM波形	<p>PWM周期 : $1/fk \times (m + 1)$ TRDIOA0出力のアクティブレベル幅 : $1/fk \times (m - n)$ TRDIOB0出力のアクティブレベル幅 : $1/fk \times (p - q)$</p> <p>fk : カウントソースの周波数 m : TRDGRA0 レジスタ設定値 n : TRDGRA1 レジスタ設定値 p : TRDGRB0 レジスタ設定値 q : TRDGRB1 レジスタ設定値</p> <p>(アクティブレベルがHの場合)</p>
カウント開始条件	TRDSTR レジスタの TSTART0 ビットへの 1 (カウント開始) 書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTR レジスタの CSEL0 ビットが 1 に設定されているとき、TSTART0 ビットへの 0 (カウント停止) 書き込み PWM 出力端子はカウント停止前の出力レベルを保持 TRDSTR レジスタの CSEL0 ビットが 0 の場合、TRDGRA0 コンパレー一致でカウント停止 PWM 出力端子はコンパレー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンパレー一致 (TRDi レジスタと TRDGRji レジスタの内容が一致) TRD0 オーバフロー
TRDIOA0, TRDIOB0 端子機能	PWM 出力
TRDIOC0, TRDIOD0, TRDIOA1 ~ TRDIOD1 端子機能	I/O ポート
INTP0 端子機能	パルス出力強制遮断信号入力 (I/O ポートまたは INTP0 割り込み入力)
タイマの読み出し	TRD0 レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0 レジスタに書き込める
選択機能	<ul style="list-style-type: none"> パルス出力強制遮断信号入力 (8.4.4 パルス出力強制遮断参照) アクティブレベルを端子ごとに選択 バッファ動作 (8.4.2 バッファ動作参照)

注 ユーザ・オプション・バイト (000C2H) の FRQSEL4 = 1 のときのみ fHOCO が選択できます。タイマ RD のカウントソースに fHOCO を選択する場合、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をセットする前に、fCLK を fIH に設定してください。fCLK を fIH 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をクリアしたあとに変更してください。

備考 i = 0, 1, j = A, B, C, D

(1) 動作例

図8 - 64 PWM3モードの動作例



備考
 j = A, B
 m : TRDGRA0レジスタの設定値
 n : TRDGRA1レジスタの設定値
 p : TRDGRB0レジスタの設定値
 q : TRDGRB1レジスタの設定値

上図は次の条件の場合です。
 • TRDOCRレジスタのTOA0, TOB0ビットがともに0 (初期出力L, TRDGRj1レジスタのコンパレー一致でH出力, TRDGRj0レジスタのコンパレー一致でL出力)
 • TRDMRレジスタのTRDBFC0ビットが1 (TRDGR0レジスタはTRDGRA0レジスタのバッファレジスタ)

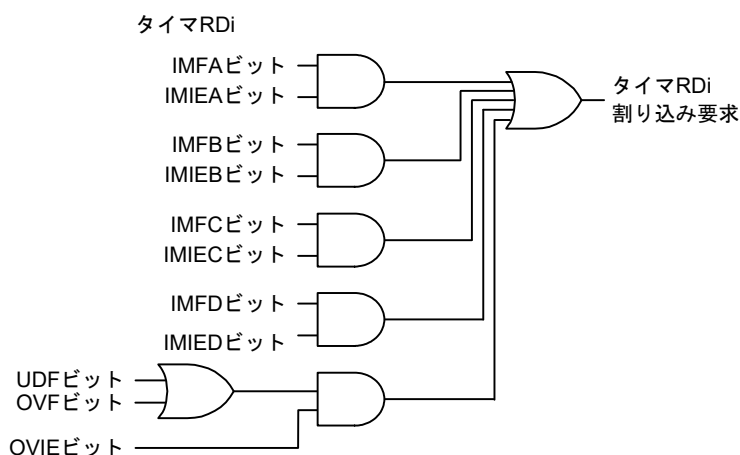
8.6 タイマRD割り込み

タイマRDは、タイマRD0とタイマRD1ごとに6つの要因からタイマRD i ($i = 0 \sim 1$)割り込み要求を発生します。表8-18にタイマRD割り込み関連レジスタを、図8-65にタイマRD割り込みのブロック図を示します。

表8-18 タイマRD割り込み関連レジスタ

	タイマRD ステータス レジスタ	タイマRD 割り込み許可 レジスタ	割り込み要求フラグ (レジスタ)	割り込みマスク・ フラグ (レジスタ)	優先順位指定フラグ (レジスタ)
タイマRD0	TRDSR0	TRDIER0	TRDIF0 (IF2H)	TRDMK0 (MK2H)	TRDPR00 (PR02H) TRDPR10 (PR12H)
タイマRD1	TRDSR1	TRDIER1	TRDIF1 (IF2H)	TRDMK1 (MK2H)	TRDPR01 (PR02H) TRDPR11 (PR12H)

図8-65 タイマRD割り込みのブロック図



$i = 0 \sim 1$

IMFA, IMFB, IMFC, IMFD, OVF, UDF : TRDSR i レジスタのビット

IMIEA, IMIEB, IMIEC, IMIED, OVIE : TRDIER i レジスタのビット

タイマRDは、複数の割り込み要求要因から1つの割り込み要因(タイマRD割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRDSR i レジスタのビットが1で、それに対するTRDIER i レジスタのビットが1(割り込み許可)の場合、IF2HレジスタのTRDIF i ビットが1(割り込み要求あり)になります。
- TRDIER i レジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRDSR i レジスタで判定してください。
- TRDSR i レジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。

- ・タイマRD の、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD 割り込み許可レジスタ i (TRDIER i)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD 割り込み許可レジスタ i (TRDIER i)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。

(b) タイマRD 割り込み許可レジスタ i (TRDIER i)の中に1 (許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA, OVIE が割り込み許可, IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマRD 割り込み許可レジスタ i (TRDIER i)の状態

TRDIER i	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRD ステータスレジスタ i (TRDSR i)の状態

TRDSR i	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	0

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ (OVF, IMFA)が0なので、IMFBに0を書いてください。

(c) タイマRD 割り込み許可レジスタ i (TRDIER i)の中に1 (許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEA が割り込み許可, IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマRD 割り込み許可レジスタ i (TRDIER i)の状態

TRDIER i	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRD ステータスレジスタ i (TRDSR i)の状態

TRDSR i	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	1

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ(IMFA)が1なので、IMFBと同時にIMFAにも0を書いてください。

8.7 タイマRD使用上の注意

8.7.1 SFR リード／ライトアクセス

タイマRDを設定するには、最初にPER1レジスタのTRD0ENビットを1にしてください。TRD0ENビットが0の場合は、タイマRDの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・レジスタ、ポート・モード・レジスタは除く)。

また、以下のレジスタはカウント動作中に書き換え禁止のレジスタです。

TRDELICレジスタ、TRDMRレジスタ、TRDPMRレジスタ、TRDFCRレジスタ、TRDOER1レジスタ、TRDOER2レジスタのTRDPTOビット、TRDOCRレジスタ、TRDDFiレジスタ、TRDCRiレジスタ、TRDIORAiレジスタ、TRDIORCiレジスタ、TRDPOCRiレジスタ

(1) TRDSTRレジスタ

- TRDSTRレジスタは8ビット・メモリ操作命令で設定できます。
- TRDSTRレジスタのCSELiビット($i = 0, 1$)が0 (TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止)の場合、TSTARTiビットに0 (カウント停止)を書いても、カウントは停止せず、TSTARTiビットも変化しません。
TRDGRAiレジスタとのコンペア一致時のみ、TSTARTiビットは0 (カウント停止)となります。
TRDSTRレジスタを書き換える際、CSELiビットが0の場合、カウント動作に影響なくCSELiビットを1へ変更したい場合は、TSTARTiビットに0を書いてください。
TSTARTiビットに1を書き込むと、カウンタが停止中の場合カウント開始する恐れがあります。
また、プログラムでカウントを停止させる場合は、CSELiビットを1にした後で、TSTARTiビットに0を書いてください。同時に(1命令で)CSELiビットに1、TSTARTiビットに0を書いてもカウントは停止できません。
- TRDIOj端子($j = A, B, C, D$)をタイマRD出力で使用している場合、カウント停止時の出力レベルを表8-19に示します。

表8-19 カウント停止時のTRDIOj ($j = A, B, C, D$)端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELiビットが1のときに、TSTARTiビットに0を書きカウント停止	直前の出力レベルを保持(タイマRDの相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
CSELiビットが0のときに、TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止	コンペア一致による出力変化後、そのレベルを保持(タイマRDの相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)

備考 $i = 0, 1, j = A, B, C, D$

(2) TRDDFi レジスタ ($i = 0, 1$)

TRDDFi レジスタのDFCK0, DFCK1 ビットを設定した後、カウント動作を開始してください。

(3) TRDi レジスタ ($i = 0, 1$)

• TRDi レジスタが0000Hになるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値はレジスタへの書き込みが優先されます。

8.7.2 モードの切り替え

- 動作中にモードを切り替える際は、カウント停止状態 (TSTART0 ビット, TSTART1 ビットを 0) にした後、行ってください。
- TSTART0 ビット, TSTART1 ビットを 0 から 1 へ変更する前に、TRDIF0 ビット, TRDIF1 ビットを 0 にしてください。詳細は第 16 章 割り込み機能を参照してください。

8.7.3 カウントソース

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

[変更手順]

- (1) TRDSTR レジスタのTSTARTi ビット ($i = 0, 1$) を 0 (カウント停止) にする
 - (2) TRDCRi レジスタのTCK0 ~ TCK2 ビットを変更する
- タイマRDのカウントソースにfHoco (48 MHz) を選択する場合、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をセットする前に、fCLK をfIH に設定してください。fCLK をfIH 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をクリアしたあとに変更してください。

8.7.4 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRDの動作クロックの3サイクル以上にしてください。
- TRDIOj端子 ($j = A, B, C, D$) にインพุットキャプチャ信号が入力されてから、タイマRDの動作クロック (fCLK) の 2 ~ 3 サイクル後にTRDi レジスタの値をTRDGRji レジスタに転送します (デジタルフィルタなしの場合)。
- インพุットキャプチャモードでは、TRDSTR レジスタのTSTARTi ビットが 0 (カウント停止) のときも、TRDIORki レジスタのIOj0, IOj1 ビットで選択したエッジがTRDIOj端子に入力されると、TRDIOj入力の有効エッジのインพุットキャプチャ割り込み要求が発生します ($i = 0, 1 \quad j = A, B, C, D \quad k = A, C$)。

8.7.5 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の設定手順(i = 0, 1)

リセット後,TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子と共用しているI/Oポートは入力ポートとして機能します。

• TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から出力する場合は、以下の手順で設定してください。

変更手順

- (1) モード設定, 初期値設定をする
- (2) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の出力許可にする(TRDOER1レジスタ)。
- (3) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・レジスタのビットを0にする。
- (4) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
(TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から出力開始)
- (5) カウントを開始する(TSTART0, TSTART1ビットを1にする)。

• TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを出力モードから入力モードに変更する場合は、以下の手順で設定してください。

変更手順

- (1) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを入力モードに設定する((TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から入力開始)。
- (2) インプットキャプチャ機能に設定する。
- (3) カウントを開始する(TSTART0, TSTART1ビットを1にする)。

• TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子を出力モードから入力モードに切り替える場合、端子の状態によりインプットキャプチャ動作することがあります。デジタルフィルタを使用しない場合、動作クロックの2サイクル以上経過した後で、エッジ検出を行います。デジタルフィルタを使用する場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。

8.7.6 外部クロック TRDCLK

TRDCLK端子に入力する外部クロックのパルス幅は、タイマRDの動作クロックの3サイクル以上にしてください。

8.7.7 リセット同期PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。

[変更手順]

- (1) TRDSTRレジスタのTSTART0ビットを0(カウント停止)にする
- (2) TRDFCRレジスタのCMD1, CMD0ビットを00B(タイマモード, PWMモード, PWM3モード)にする
- (3) CMD1, CMD0ビットを01B(リセット同期PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

8.7.8 相補PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- TRDFCRレジスタのCMD0, CMD1ビットを変更するときは、次の手順で変更してください。

[変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合]

- (1) TRDSTRレジスタのTSTART0ビット, TSTART1ビットを両方とも0(カウント停止)にする
- (2) TRDFCRレジスタのCMD1, CMD0ビットを00B(タイマモード, PWMモード, PWM3モード)にする
- (3) CMD1, CMD0ビットを10B, または11B(相補PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

[変更手順：相補PWMモードを止める場合]

- (1) TRDSTRレジスタのTSTART0ビット, TSTART1ビットを両方とも0(カウント停止)にする
- (2) CMD1, CMD0ビットを00B(タイマモード, PWMモード, PWM3モード)にする

- 動作中にTRDGRA0, TRDGRB0, TRDGRA1, TRDGRB1レジスタに書き込まないでください。

PWM波形を変更する場合は、TRDGRD0, TRDGRC1, TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0, TRDGRA1, TRDGRB1レジスタへ転送してください。

ただし、TRDGRD0, TRDGRC1, TRDGRD1の書き込みの際には、TRDBFD0, TRDBFC1, TRDBFD1ビットを0(ジェネラルレジスタ)にして書き込み、その後TRDBFD0, TRDBFC1, TRDBFD1ビットを1(バッファレジスタ)にできます。

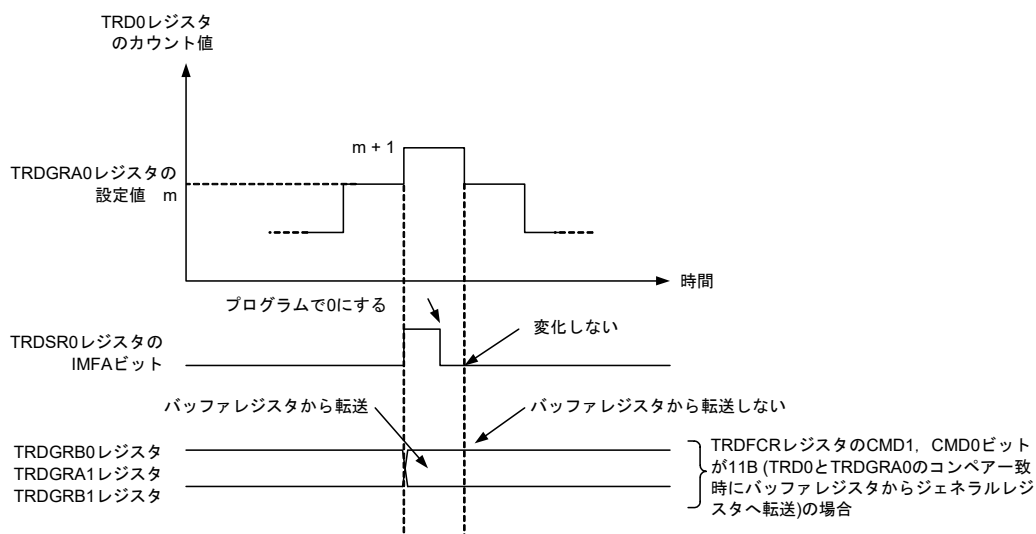
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1 \rightarrow m \rightarrow m+1 \rightarrow m \rightarrow m-1$ とカウントします。

$m \rightarrow m+1$ のとき、TRDSRiレジスタのIMFAビットが1になります。また、TRDFCRレジスタのCMD1, CMD0ビットが11B(相補PWMモード, TRD0とTRDGRA0レジスタのコンペアー一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0, TRDGRC1, TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0, TRDGRA1, TRDGRB1)に転送されます。

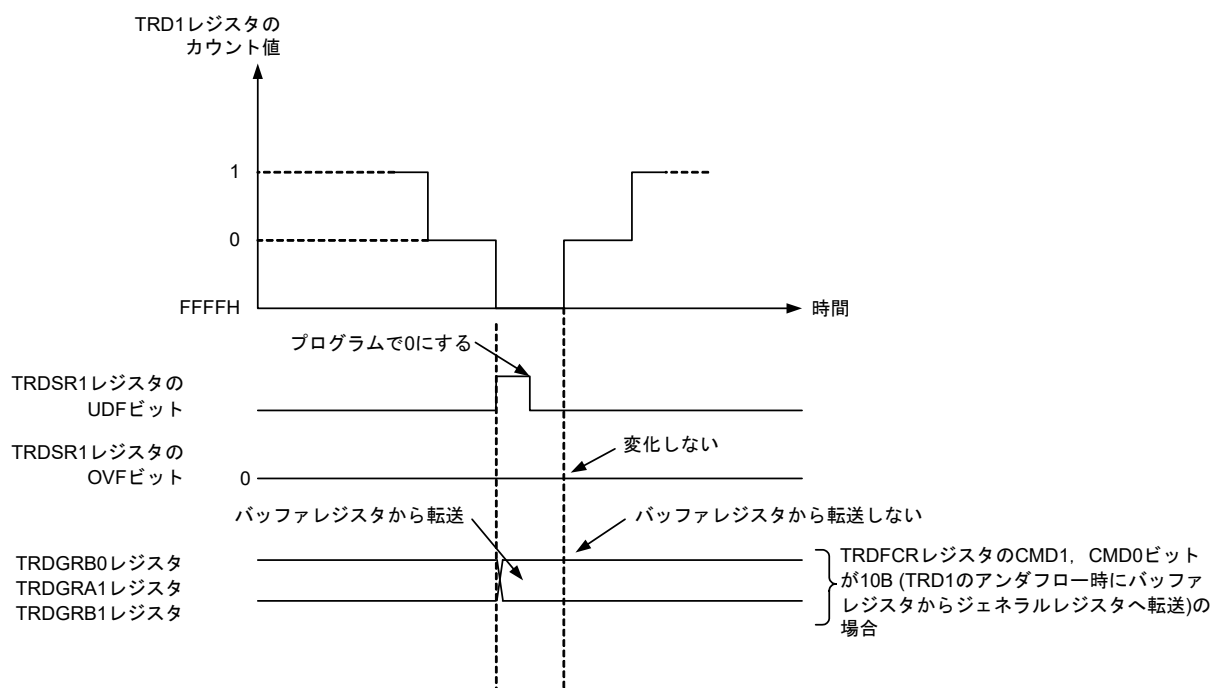
$m+1 \rightarrow m \rightarrow m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

図8-66 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペアー一致したときの動作



- TRD1はダウンカウントからアップカウントに変わるとき、1→0→FFFFH→0→1とカウントします。
1→0→FFFFHの動作によって、TRDSRiレジスタのUDFビットが1になります。また、TRDFCRレジスタのCMD1, CMD0ビットが10B (相補PWMモード, TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ (TRDGRD0, TRDGRC1, TRDGRD1)の内容がジェネラルレジスタ (TRDGRB0, TRDGRA1, TRDGRB1)に転送されます。
FFFFH → 0 → 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、TRDSRiレジスタのOVFビットは変化しません。

図8 - 67 相補PWMモード TRD1がアンダフローしたときの動作



- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタの CMD0, CMD1ビットで選択してください。ただし、デューティ 0%の場合およびデューティ 100%の場合、CMD0, CMD1ビットの値に関係なく、以下に示すタイミングで転送します。

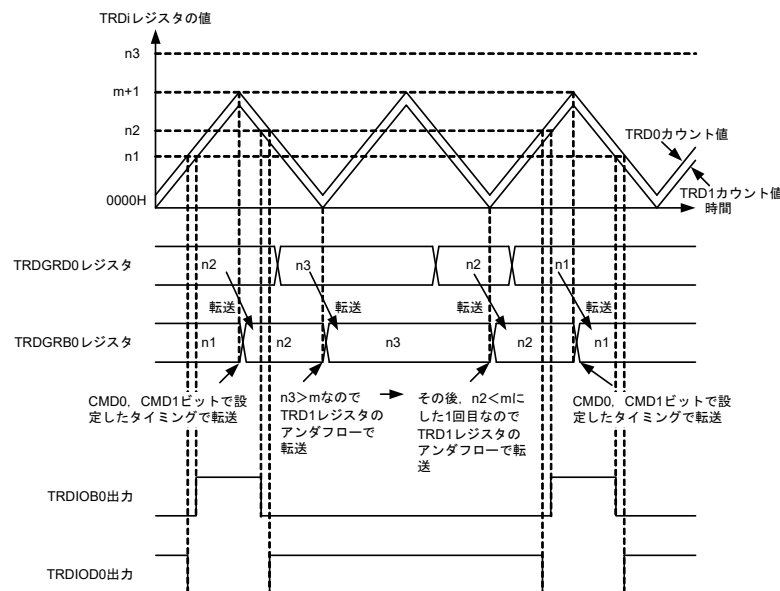
バッファレジスタの値 \geq TRDGRA0レジスタの値の場合(デューティ 0%)

TRD1レジスタのアンダフローで転送します。

その後、0001H以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD0, CMD1ビットで選択したタイミングで転送します。

ただし、バッファレジスタの初期値FFFFHのままデューティ 0%の波形を生成することはできません。デューティ 0%の波形を生成したい場合、バッファレジスタへの書き込みによりバッファレジスタの値 \geq TRDGRA0としてください。

図8 - 68 相補PWMモード時のバッファレジスタの値 \geq TRDGRA0レジスタ値の場合の動作例



備考
 m : TRDGRA0レジスタ設定値
 上図は次の条件の場合です。
 ・ TRDFCRレジスタのCMD1, CMD0ビットが11B
 (相補PWMモード, TRD0レジスタとTRDGRA0レジスタのコンペア一致時, バッファレジスタのデータを転送)
 ・ TRDFCRレジスタのOLS0, OLS1ビットがともに1 (正相, 逆相ともにアクティブH)

バッファレジスタにTRDGRA0レジスタ値以上の値を書き込むと、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送され、正相デューティ 100%出力、逆相デューティ 0%の出力レベルに固定されます。

出力レベル固定を解除する場合は、バッファレジスタにTRD0レジスタ設定値以上かつ (TRDGRA0設定値 - TRD0レジスタ設定値)以下をバッファレジスタに書き込んでください。バッファレジスタに書き込み後、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送されPWM波形が出力されます。PWM波形が出力された後は、CMD0ビットの設定したタイミングでバッファレジスタの値がジェネラルレジスタへ転送されます。

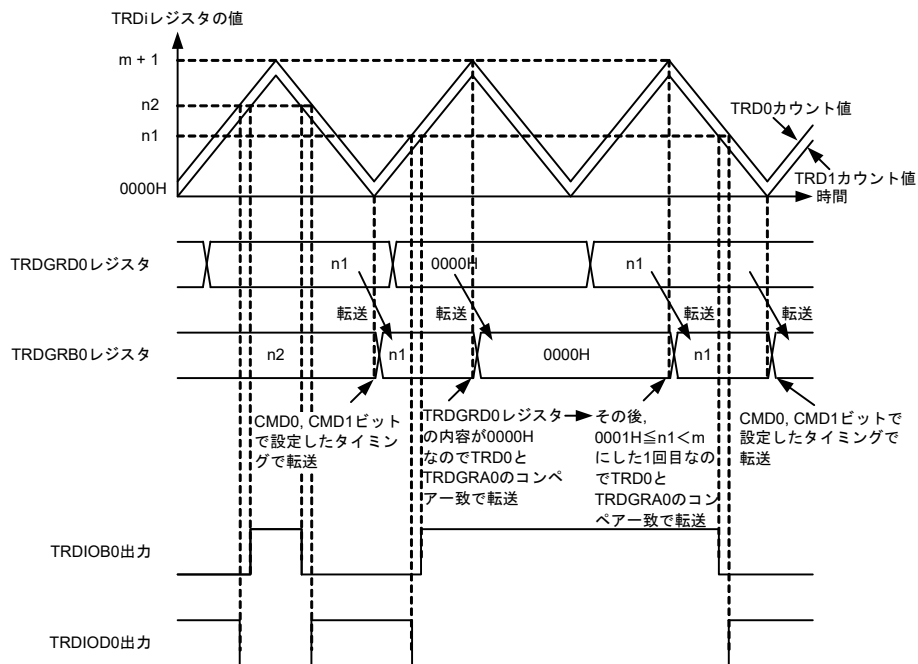
ただし、バッファレジスタの初期値“FFFFH”を用いて正相デューティ 100%出力、逆相デューティ 0%出力を設定することはできません。また、正相デューティ 100%出力、逆相デューティ 0%出力状態から正相デューティ 0%出力、逆相デューティ 100%出力への直接変更もできません。

バッファレジスタの値が0000Hの場合(デューティ 100%)

TRD0とTRDGRA0レジスタのコンペアー致で転送します。

その後、0001H以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペアー致したとき、ジェネラルレジスタへ転送します。それ以降はCMD0, CMD1ビットで選択したタイミングで転送します。

図8 - 69 相補PWMモード時のバッファレジスタの値が0000Hの場合の動作例



備考

m : TRDGRA0レジスタ設定値

上図は次の条件の場合です。

- TRDFCRレジスタのCMD1, CMD0ビットが10B (相補PWMモード, TRD1レジスタのアンダフローで、バッファレジスタのデータを転送)
- TRDFCRレジスタのOLS0, OLS1ビットがともに1 (正相, 逆相ともにアクティブH)

バッファレジスタに0000Hの値を書き込むと、CMD0ビットの設定にかかわらず、TRD0レジスタとTRDGRA0レジスタのコンペアー致でバッファレジスタの値がジェネラルレジスタへ転送され、正相デューティ 0% 出力、逆相デューティ 100%出力レベルに固定されます。

出力レベル固定を解除する場合は、バッファレジスタにTRD0レジスタ設定値以上かつ (TRDGRA0 設定値 - TRD0レジスタ設定値) 以下をバッファレジスタに書き込んでください。バッファレジスタに書き込み後、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送されPWM波形が出力されます。PWM波形が出力された後は、CMD0ビットの設定したタイミングでバッファレジスタの値がジェネラルレジスタへ転送されます。

正相デューティ 0% 出力、逆相デューティ 100% 出力設定から正相デューティ 100% 出力、逆相デューティ 0% 出力への直接変更はできません。

第9章 12ビット・インターバル・タイマ

9.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み (INTIT) を発生します。STOP モードからのウエイク・アップや、A/DコンバータのSNOOZEモードのトリガに役立ちます。

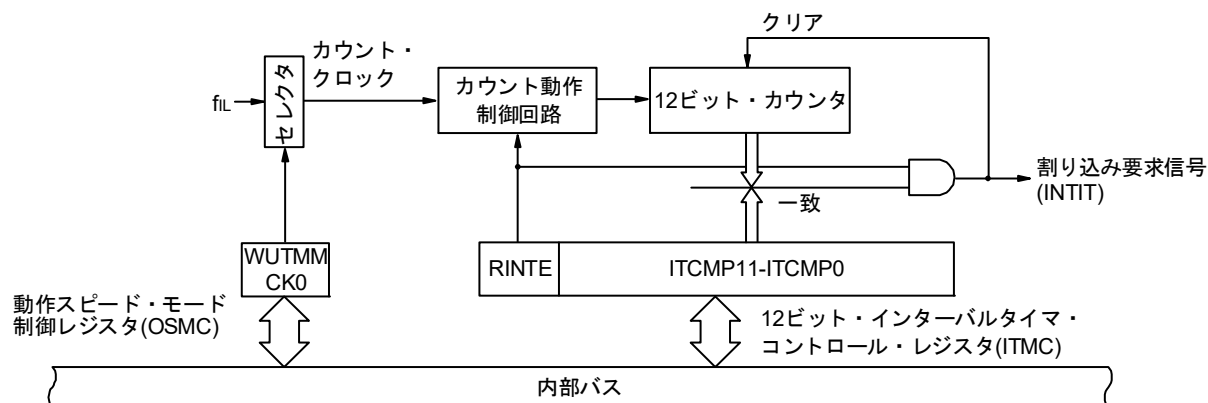
9.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表9-1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
	動作スピード・モード制御レジスタ (OSMC)
	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

図9-1 12ビット・インターバル・タイマのブロック図



9.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ 1 (PER1)
- 動作スピード・モード制御レジスタ (OSMC)
- 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

9.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは、必ずビット7 (TMKAEN) を1に設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ 1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN注	PWMOPEN	OACMPEN	TRD0EN	0	0	0	TRJ0EN

TMKAEN注	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • 12ビット・インターバル・タイマで使用するSFRへのライト不可 • 12ビット・インターバル・タイマはリセット状態
1	入カクロック供給許可 <ul style="list-style-type: none"> • 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注 12ビット・インターバル・タイマを使用する場合、動作スピード・モード制御レジスタ (OSMC) のビット 4 (WUTMMCK0) を1に設定し、低速オンチップ・オシレータ・クロックを発振させてのち、低速オンチップ・オシレータ・クロックが安定してから、TMKAEN ビットを1に設定してください。

注意1. 12ビット・インターバル・タイマを使用する場合は、最初にTMKAEN = 1の設定を行ってください。TMKAEN = 0の場合は、12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(動作スピード・モード制御レジスタ (OSMC)は除く)。

注意2. 次のビットには必ず"0"を設定してください。

ビット1-3

9.3.2 動作スピード・モード制御レジスタ (OSMC)

OSMC レジスタでは 12 ビット・インターバル・タイマの動作クロック、タイマRJのカウンツソースへの低速オンチップ・オシレータ選択可否制御を行います。

OSMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-3 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0 注1,2	0	0	0	0
WUTMMCK0 注1,2	12 ビット・インターバル・タイマの動作クロック、タイマRJのカウンツソースへの 低速オンチップ・オシレータ選択可否制御							
0	<ul style="list-style-type: none"> 低速オンチップ・オシレータを 12 ビット・インターバル・タイマの動作クロックへ選択不可 低速オンチップ・オシレータを選択をタイマRJのカウンツソースへ選択不可 							
1	<ul style="list-style-type: none"> 低速オンチップ・オシレータを 12 ビット・インターバル・タイマの動作クロックへ選択可 低速オンチップ・オシレータを選択をタイマRJのカウンツソースへ選択可 							

注1. 12 ビット・インターバル・タイマを使用する場合、必ずWUTMMCK0ビットに1を設定してください。

注2. 12 ビット・インターバル・タイマが動作中にWUTMMCK0ビットに0を設定しないでください。

注意 ビット0-3およびビット5-7には、必ず0を設定してください。

9.3.3 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図9-4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0
RINTE	12ビット・インターバル・タイマの動作制御				
0	カウンタ動作停止(カウント・クリア)				
1	カウンタ動作開始				
ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定				
001H	「カウント・クロック周期 × (ITCMP設定値 + 1)」の定周期割り込みを発生します。				
.					
.					
.					
FFFH					
000H	設定禁止				
ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例					
<ul style="list-style-type: none"> ITCMP11-ITCMP0 = 001H, カウント・クロック : $f_{IL} = 15 \text{ kHz}$ 時 $1/15 \text{ [kHz]} \times (1 + 1) = 0.133333... \text{ [ms]} \doteq 133.33 \text{ [}\mu\text{s]}$ ITCMP11-ITCMP0 = FFFH, カウント・クロック : $f_{IL} = 15 \text{ kHz}$ 時 $1/15 \text{ [kHz]} \times (4095 + 1) = 273.066... \text{ [ms]} \doteq 273.07 \text{ [ms]}$ 					

注意1. RINTEビットを1→0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0→1)する場合は、ITIFフラグをクリアしてから割り込み処理許可にしてください。

注意2. RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。そのため、HALTモードやSTOPモードに移行する際は、RINTEビットの書き込み値が反映されたことを確認してからHALTモードやSTOPモードに移行してください。

注意3. スタンバイ・モードから復帰後にRINTEビット設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分以上経過後に移行してください。

注意4. ITCMP11-ITCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。

ただし、RINTE = 0→1または1→0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

9.4 12ビット・インターバル・タイマの動作

9.4.1 12ビット・インターバル・タイマの動作タイミング

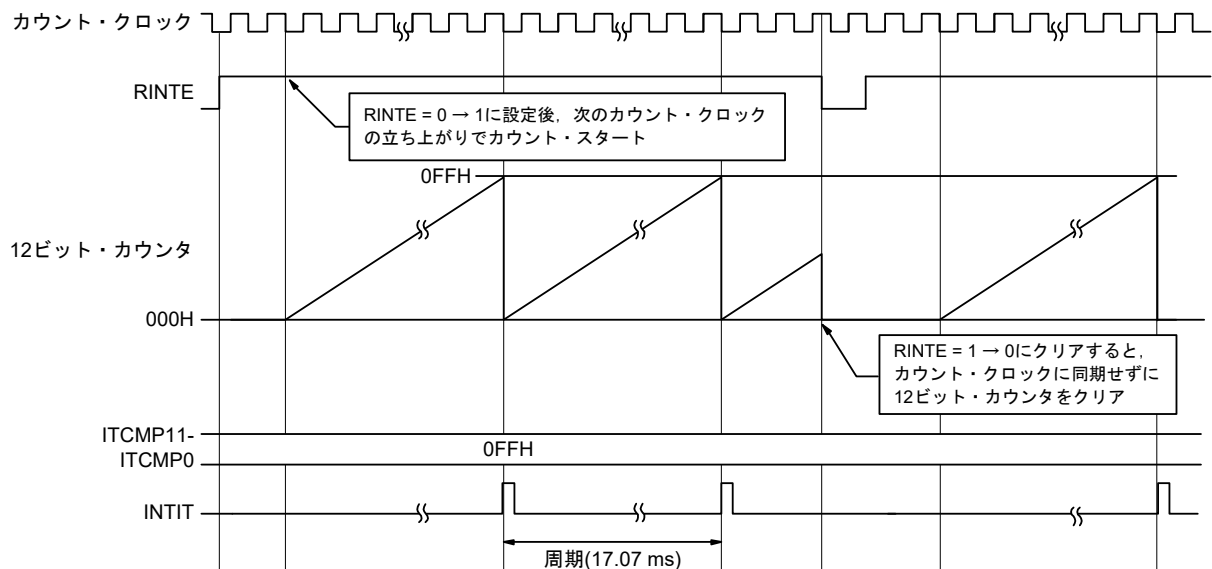
ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求(INTIT)を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号(INTIT)を発生します。

12ビット・インターバル・タイマの基本動作を図9-5に示します。

図9-5 12ビット・インターバル・タイマ動作のタイミング
(ITCMP11-ITCMP0 = 0FFH, カウント・クロック : f_{IL} = 15 kHz)

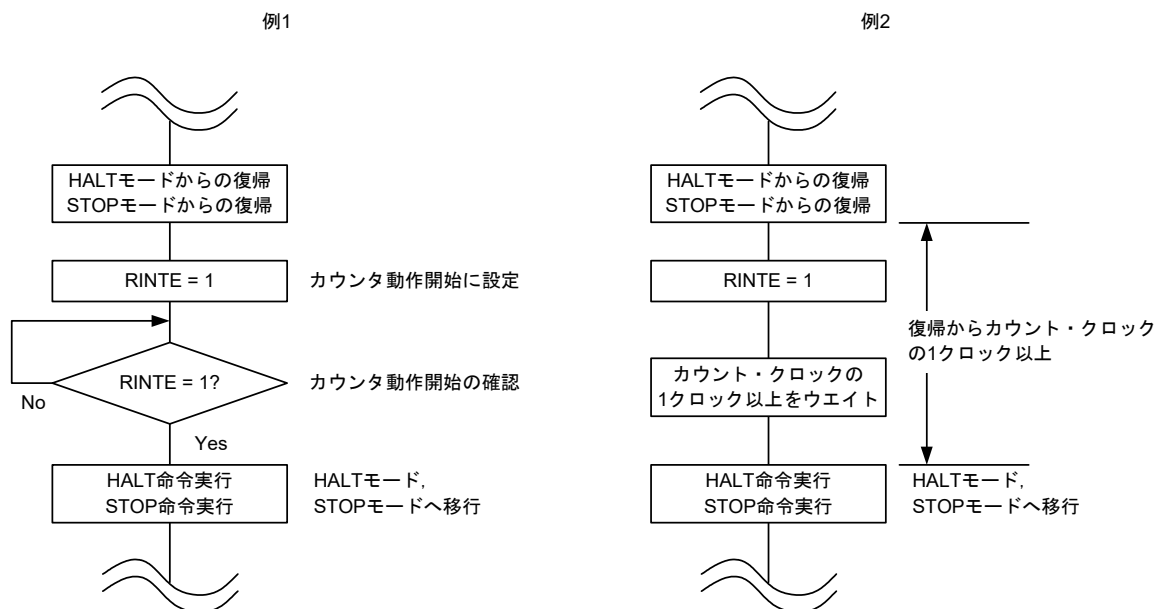


9.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウンタ・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する(図9-6 例1参照)。
- RINTE = 1に設定してから、カウンタ・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する(図9-6 例2参照)。

図9-6 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第10章 クロック出力／ブザー出力制御回路

10.1 クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

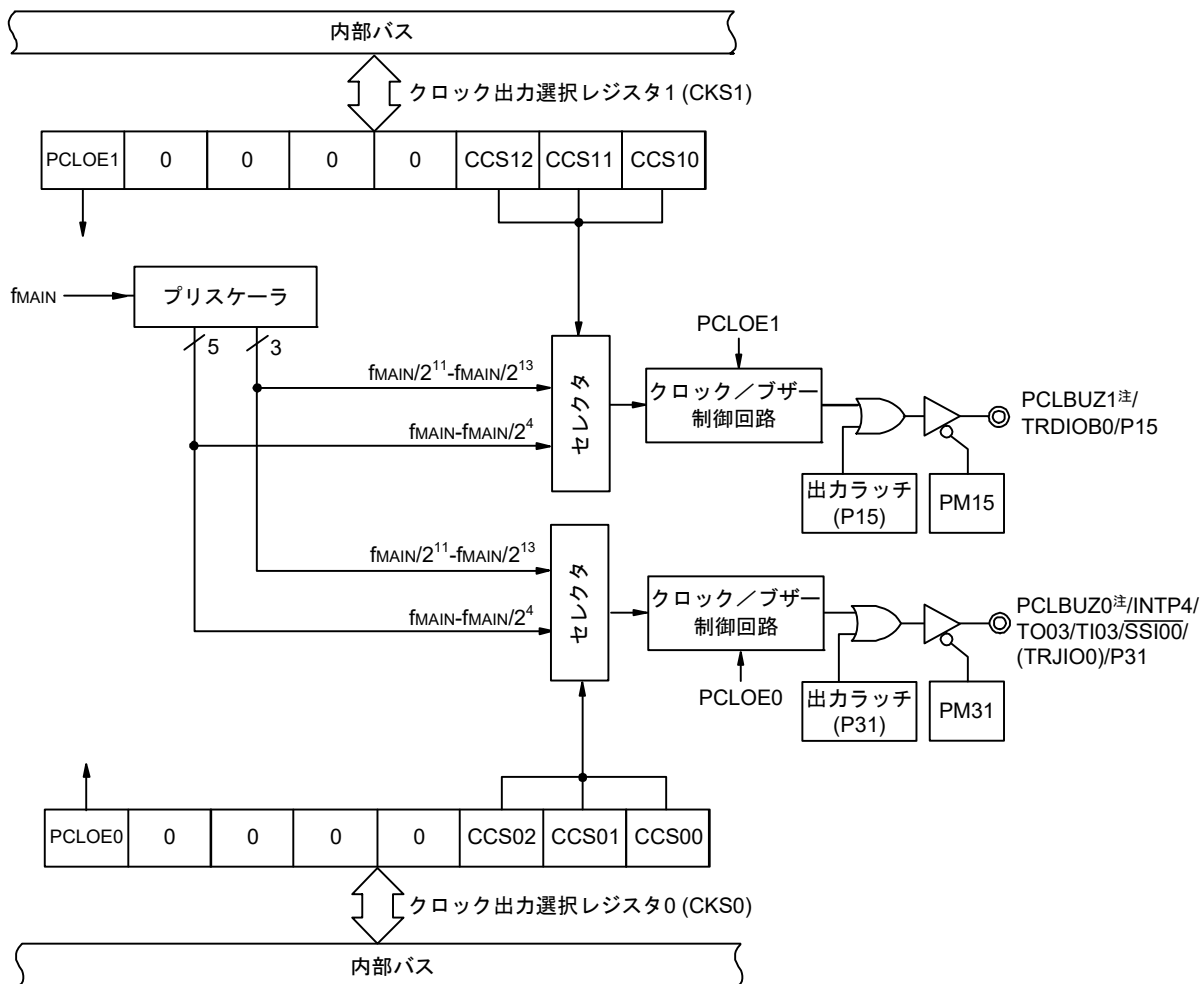
1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は、クロック出力選択レジスタ n (CKSn) で選択したクロックを出力します。

図10-1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考 n = 0, 1

図10-1 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1端子から出力可能な周波数は、29.5 AC特性を参照してください。

10.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表 10 - 1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ n (CKSn) クロック出力／ブザー出力端子のポート機能を制御するレジスタ ポート・レジスタ 1, 3 (P1, P3)

10.3 クロック出力／ブザー出力制御回路を制御するレジスタ

10.3.1 クロック出力選択レジスタ n (CKSn)

クロック出力またはブザー周波数出力の端子(PCLBUZn)の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSnレジスタで、PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 クロック出力選択レジスタn (CKSn)のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1) リセット時 : 00H R/W

略号	<input type="checkbox"/> 7	6	5	4	3	2	1	0	
CKSn	PCLOEn	0	0	0	0	CCSn2	CCSn1	CCSn0	
PCLOEn	PCLBUZn端子の出力許可／禁止の指定								
0	出力禁止(デフォルト)								
1	出力許可								
CCSn2	CCSn1	CCSn0	PCLBUZn端子の出カクロックの選択						
				f _{MAIN} = 5 MHz	f _{MAIN} = 10 MHz	f _{MAIN} = 20 MHz	f _{MAIN} = 24 MHz		
0	0	0	f _{MAIN}	5 MHz	10 MHz ^注	設定禁止 ^注	設定禁止 ^注		
0	0	1	f _{MAIN} /2	2.5 MHz	5 MHz	10 MHz ^注	12 MHz ^注		
0	1	0	f _{MAIN} /2 ²	1.25 MHz	2.5 MHz	5 MHz	6 MHz		
0	1	1	f _{MAIN} /2 ³	625 kHz	1.25 MHz	2.5 MHz	3 MHz		
1	0	0	f _{MAIN} /2 ⁴	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz		
1	0	1	f _{MAIN} /2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	11.72 kHz		
1	1	0	f _{MAIN} /2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz		
1	1	1	f _{MAIN} /2 ¹³	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz		
上記以外				設定禁止					

注 出力クロックは、16 MHz以内の範囲で使用してください。また、 $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ で使用する場合は、8 MHz以内のみ使用可能です。詳しくは、29.5 AC特性を参照してください。

注意1. 出カクロックの切り替えは、出力禁止(PCLOEn = 0)にしてから行ってください。

注意2. メイン・システム・クロック選択時にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。

備考1. n = 0, 1

備考2. f_{MAIN} : メイン・システム・クロック周波数

10.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ(PMxx)、ポート・レジスタ(Pxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ(PMxx)、4.3.2 ポート・レジスタ(Pxx)を参照してください。

クロック出力／ブザー出力端子を兼用するポート(P31/PCLBUZ0/INTP4/TO03/TI03/SSIO0/(TRJIO0), P15/PCLBUZ1/TRDIOB0 など)をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

(例) P31/PCLBUZ0/INTP4/TO03/TI03/SSIO0/(TRJIO0)をクロック出力／ブザー出力として使用する場合
ポート・モード・レジスタ3のPM31ビットを0に設定
ポート・レジスタ3のP31ビットを0に設定

10.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0)で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1)で選択したクロック／ブザーを出力します。

10.4.1 出力端子の動作

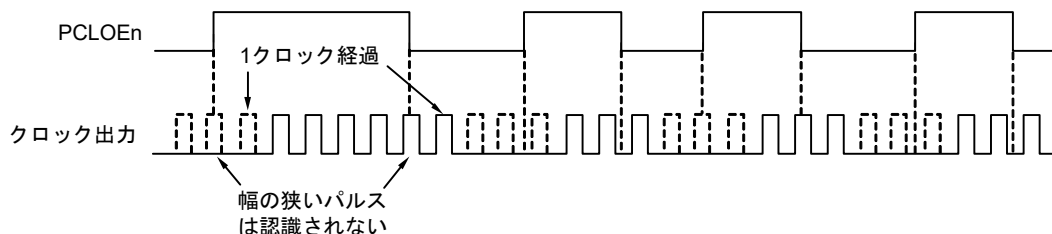
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ (PMxx)およびポート・レジスタ (Pxx)のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ(CKSn)のビット0-2 (CCSn0-CCSn2)で出力周波数を選択する(出力は禁止の状態)。
- ③ CKSnレジスタのビット7 (PCLOEn)に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止(PCLOEnビット)を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図10-3に示します。

備考2. n = 0, 1

図10-3 PCLBUZ端子からのクロック出力のタイミング



10.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択している場合は、出力停止設定 (PCLOEn = 0) にしてから PCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZnの出力幅が短くなりま

第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト(000C0H)でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバーフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に1ビット操作命令を使用した場合
- ・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)のビット4(WDTRF)がセット(1)されます。RESFレジスタの詳細については第19章 リセット機能を参照してください。

また、オーバーフロー時間の75% + 1/2 fil 到達時にインターバル割り込みを発生することもできます。

11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表 11-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ(17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

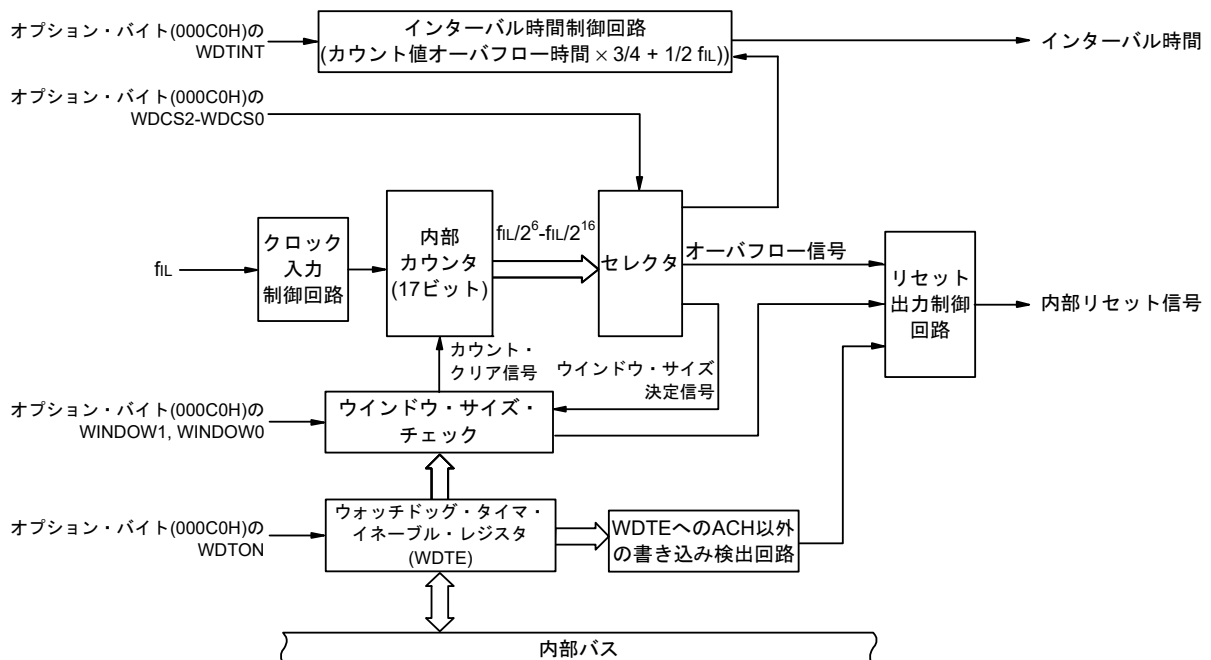
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表 11-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト(000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7(WDTINT)
ウインドウ・オープン期間設定	ビット6, 5(WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4(WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1(WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOP時)	ビット0(WDSTBYON)

備考 オプション・バイトについては、第24章 オプション・バイトを参照してください。

図 11-1 ウォッチドッグ・タイマのブロック図



11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)で制御します。

11.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

WDTE レジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTE レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH注になります。

図11-2 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット

アドレス : FFFABH	リセット時 : 1AH/9AH注	R/W						
略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTE レジスタのリセット値は、オプション・バイト(000C0H)のWDTON ビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1. WDTE レジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

注意2. WDTE レジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

注意3. WDTE レジスタのリード値は、“9AH/1AH”(書き込んだ値(“ACH”)とは異なる値)になります。

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト(000C0H)で次の内容を設定します。

- オプション・バイト(000C0H)のビット4 (WDTON)を1に設定し、ウォッチドッグ・タイマのカウント動作を許可(リセット解除後、カウンタは動作開始)にしてください(詳細は、第24章 を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止(リセット解除後、カウント停止)
1	カウント動作許可(リセット解除後、カウント開始)

- オプション・バイト(000C0H)のビット3-1 (WDOS2-WDOS0)で、オーバフロー時間を設定してください(詳細は、11.4.2および第24章 を参照)。
- オプション・バイト(000C0H)のビット6, 5 (WINDOW1, WINDOW0)で、ウインドウ・オープン期間を設定してください(詳細は、11.4.3および第24章 を参照)。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生しません。
5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合

- 注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
- 注意2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大11.2の2クロックの誤差が生じる場合があります。
- 注意3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

注意4. オプション・バイト(000C0H)のビット0 (WDSTBYON)の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

11.4.2 ウォッチドッグ・タイマのオーバーフロー時間の設定

ウォッチドッグ・タイマのオーバーフロー時間は、オプション・バイト(000C0H)のビット3-1 (WDCS2-WDCS0)で設定します。

オーバーフロー時は、内部リセット信号を発生します。オーバーフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバーフロー時間を次に示します。

表 11 - 3 ウォッチドッグ・タイマのオーバーフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバーフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)
0	0	0	2 ⁶ /f _{IL} (3.71 ms)
0	0	1	2 ⁷ /f _{IL} (7.42 ms)
0	1	0	2 ⁸ /f _{IL} (14.84 ms)
0	1	1	2 ⁹ /f _{IL} (29.68 ms)
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)
上記以外			設定禁止

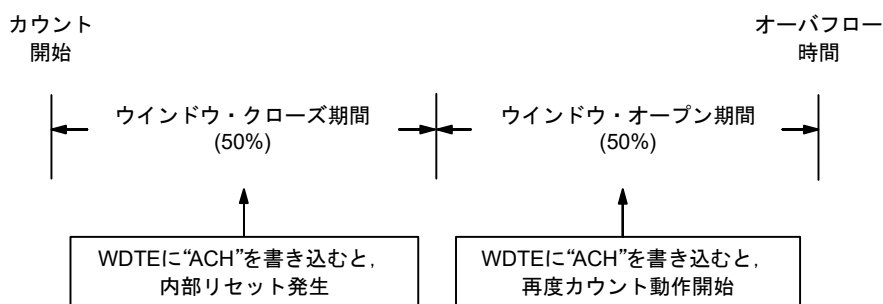
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト (000C0H) のビット 6, 5 (WINDOW1, WINDOW0) で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTE レジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表 11 - 4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75%注
1	1	100%

注 ウィンドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)	ウィンドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	2 ⁶ /f _{IL} (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	2 ⁷ /f _{IL} (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	2 ⁸ /f _{IL} (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	2 ⁹ /f _{IL} (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	2 ¹³ /f _{IL} (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)	1899.59 ms ~ 2570.04 ms

注意 オプション・バイト(000C0H)のビット0 (WDSTBYON) = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

備考 オーバフロー時間を2⁹/f_{IL}に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定		
	50%	75%	100%
ウィンドウ・クローズ時間	0 ~ 20.08 ms	0 ~ 10.04 ms	なし
ウィンドウ・オープン時間	20.08 ~ 29.68 ms	10.04 ~ 29.68 ms	0 ~ 29.68 ms

<ウィンドウ・オープン期間50%のとき>

- オーバフロー時間 :
 $2^9 / f_{IL} \text{ (MAX.)} = 2^9 / 17.25 \text{ kHz (MAX.)} = 29.68 \text{ ms}$
- ウィンドウ・クローズ時間 :
 $0 \sim 2^9 / f_{IL} \text{ (MIN.)} \times (1 - 0.5) = 0 \sim 2^9 / 12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$
- ウィンドウ・オープン時間 :
 $2^9 / f_{IL} \text{ (MIN.)} \times (1 - 0.5) \sim 2^9 / f_{IL} \text{ (MAX.)} = 2^9 / 12.75 \text{ kHz} \times 0.5 \sim 2^9 / 17.25 \text{ kHz} = 20.08 \sim 29.68 \text{ ms}$

11.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト(000C0H)のビット7(WDTINT)の設定により、オーバフロー時間の75% + 1/2 fIL 到達時にインターバル割り込み(INTWDTI)を発生することができます。

表 11 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2 fIL 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。
そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も(ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)にACHを書き込むまで)カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第12章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

	30, 32ピン	44ピン
アナログ入力チャンネル	8ch (ANI0-ANI3, ANI16-ANI19)	12ch (ANI0-ANI7, ANI16-ANI19)

12.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大12チャンネルのA/Dコンバータ・アナログ入力 (ANI0-ANI7, ANI16-ANI19) を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2 (ADM2)のADTYPビットにより、10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

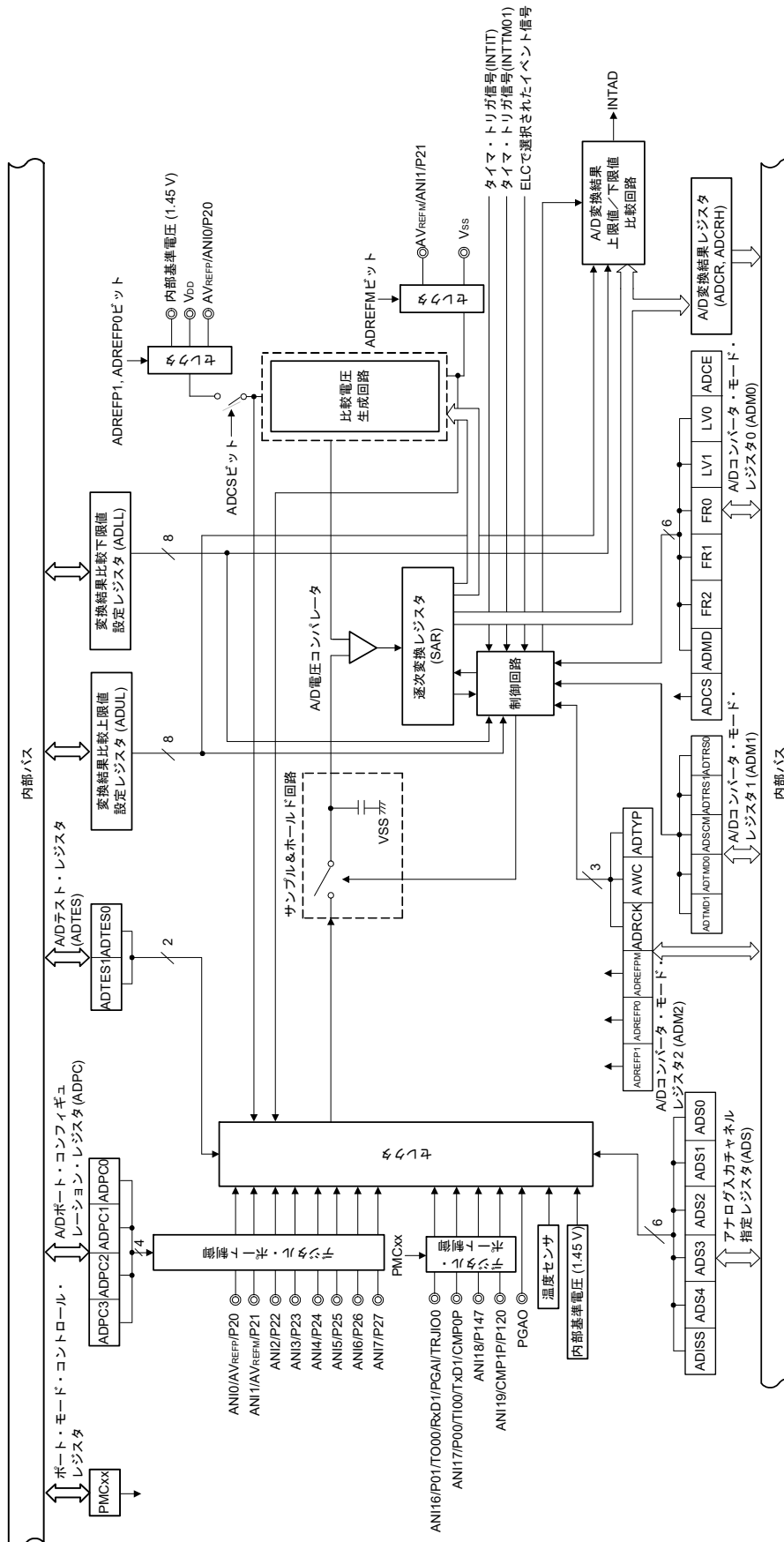
10ビット/8ビット分解能A/D変換

ANI0-ANI7, ANI16-ANI19からアナログ入力を1チャンネル選択し、10ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求(INTAD)が発生します(セレクト・モード時の場合)。

下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ ノーウエイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ ウエイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は、ハードウェア・トリガ・ウエイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	4チャンネルのアナログ入力を順番にA/D変換します。ANI0-ANI7のうち連続した4チャンネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。
動作電圧モード	標準1/標準2モード	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ の動作電圧範囲で変換動作する時に選択します。
サンプリング時間の選択	サンプリング・クロック数： 7 f _{AD}	標準1モードのサンプリング時間は、変換クロック (f _{AD})の7クロックです。アナログ入力源の出カインピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数： 5 f _{AD}	標準2モードのサンプリング時間は、変換クロック (f _{AD})の5クロックです。アナログ入力源の出カインピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図12-1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は、44ピン製品の場合です。

12.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI7, ANI16-ANI19端子

A/Dコンバータの12チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) PGO

プログラマブル・ゲイン・アンプの内部出力です。A/Dコンバータでは、プログラマブル・ゲイン・アンプの出力信号をアナログ入力として選択し、A/D変換することができます。

(3) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(4) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧(1/2 AVREF)より大きい場合には、逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットします。アナログ入力電圧がリファレンス電圧(1/2 AVREF)より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます

ビット9 = 0 : (1/4 AVREF)

ビット9 = 1 : (3/4 AVREF)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット8 = 1

アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

備考 AVREF : A/Dコンバータの+側基準電圧。AVREFP, 内部基準電圧(1.45 V), VDDから選択可能です。

(5) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(6) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット(MSB)から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット(LSB)まで設定すると(A/D変換終了)、そのSARレジスタの内容(変換結果)は、A/D変換結果レジスタ(ADCR)に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号(INTAD)が発生します。

(7) 10ビットA/D変換結果レジスタ(ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します(下位6ビットは0に固定)。

(8) 8ビットA/D変換結果レジスタ(ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(9) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADが発生します。

(10) AVREFP端子

外部から基準電圧(AVREFP)を入力する端子です。

AVREFPをA/Dコンバータの基準電圧の+側として使用する場合は、A/Dコンバータ・モード・レジスタ2(ADM2)のADREFP1ビットに0、ADREFP0ビットに1を設定してください。

AVREFPと一側基準電圧(AVREFM/VSS)間にかかる電圧に基づいて、ANI0-ANI7、ANI16-ANI19に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AVREFPのほかにVDDと内部基準電圧(1.45 V)を選択することが可能です。

(11) AVREFM端子

外部から基準電圧(AVREFM)を入力する端子です。AVREFMをA/Dコンバータの一側の基準電圧として使用する場合は、ADM2レジスタのADREFMビットを1にセットしてください。

A/Dコンバータの一側基準電圧には、AVREFMのほかにVSSを選択することが可能です。

12.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 10ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャンネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ポート・モード・コントロール・レジスタ0, 12, 14 (PMC0, PMC12, PMC14)
- ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14)

12.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN	0	0	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態です。下記のレジスタの設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます(ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14), ポート・モード・コントロール・レジスタ0, 12, 14 (PMC0, PMC12, PMC14), A/Dポート・コンフィギュレーション・レジスタ (ADPC)は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

注意2. 次のビットには必ず“0”を設定してください。

ビット1, 3, 4, 6, 7

12.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 A/Dコンバータ・モード・レジスタ0 (ADM0)のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE
ADCS	A/D変換動作の制御							
0	変換動作停止 [リード時] 変換動作停止/待機状態							
1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時：変換動作状態 ハードウェア・トリガ・ウェイト・モード時：A/D電源安定待ち状態 + 変換動作状態							
ADMD	A/D変換チャンネル選択モードを設定							
0	セレクト・モード							
1	スキャン・モード							
ADCE	A/D電圧コンパレータの動作制御 ^{注2}							
0	A/D電圧コンパレータの動作停止							
1	A/D電圧コンパレータの動作許可							

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表12-3～表12-6 A/D変換時間の選択を参照してください。

注2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1μsかかります。このため、ADCEビットに1を設定してから1μs以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。1μs以上ウェイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビット, ADCEの変更は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意2. ADCS = 1, ADCE = 0の設定は禁止です。

注意3. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず12.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

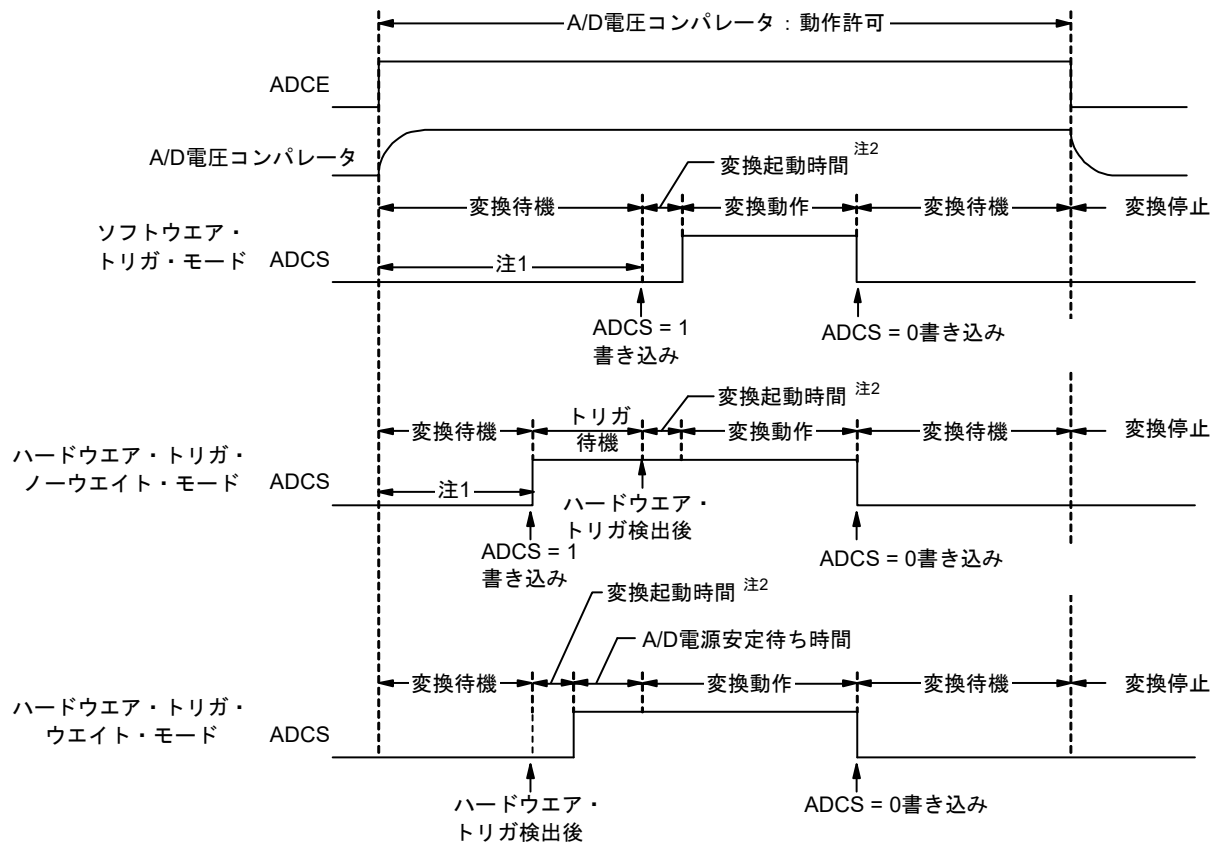
表 12 - 1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表 12 - 2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCS = 1 ライトした場合	ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ ノーウエイト・モード	セレクト・モード	連続変換モード	ハードウェア・ トリガが入力され た場合	ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合
ハードウェア・トリガ・ ウエイト・モード	セレクト・モード	連続変換モード	ハードウェア・ トリガが入力され た場合	ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア

図12-4 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、1 μs以上必要です。

注2. 変換起動には、最大で次の時間がかかります。

ADM0			変換クロック (fAD)	変換起動時間 (fCLKクロック数)	
FR2	FR1	FR0		ソフトウェア・トリガ・モード / ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガ・ウエイト・モード
0	0	0	fCLK/64	63	1
0	0	1	fCLK/32	31	
0	1	0	fCLK/16	15	
0	1	1	fCLK/8	7	
1	0	0	fCLK/6	5	
1	0	1	fCLK/5	4	
1	1	0	fCLK/4	3	
1	1	1	fCLK/2	1	

ただし、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

(注意、備考は次ページにあります。)

- 注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です(ハードウェア・トリガ信号検出時に、自動的に1に切り替わります)。ただし、AD変換待機状態にするために、ADCSビットに0を設定することは可能です。
- 注意2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、AD変換終了時にADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。
- 注意3. ADCEビットの書き換えは、ADCS = 0 (変換停止/変換待機状態)のときに行ってください。
- 注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。
- ハードウェア・トリガ・ノーウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D変換時間
- ハードウェア・トリガ・ウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表 12 - 3 A/D 変換時間の選択 (1/4)

(1) A/D 電源安定待ち時間なし 標準モード1, 2
(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数 注	変換時間	10ビット分解能時の変換時間											
FR2	FR1	FR0	LV1	LV0					2.7 V ≤ VDD ≤ 5.5 V											
									fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz						
0	0	0	0	0	標準1	fCLK/64	19 fAD (サンプル リング・ クロック数: 7 fAD)	1216/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止						
0	0	1				fCLK/32		608/fCLK										38 μs	25.33 μs	
0	1	0				fCLK/16		304/fCLK										38 μs	19 μs	12.67 μs
0	1	1				fCLK/8		152/fCLK									38 μs	19 μs	9.5 μs	6.33 μs
1	0	0				fCLK/6		114/fCLK									28.5 μs	14.25 μs	7.125 μs	4.75 μs
1	0	1				fCLK/5		95/fCLK									23.75 μs	11.875 μs	5.938 μs	3.96 μs
1	1	0				fCLK/4		76/fCLK								38 μs	19 μs	9.5 μs	4.75 μs	3.17 μs
1	1	1				fCLK/2		38/fCLK							38 μs	19 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	fCLK/64	17 fAD (サンプル リング・ クロック数: 5 fAD)	1088/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止						
0	0	1				fCLK/32		544/fCLK										34 μs	22.67 μs	
0	1	0				fCLK/16		272/fCLK										34 μs	17 μs	11.33 μs
0	1	1				fCLK/8		136/fCLK									34 μs	17 μs	8.5 μs	5.67 μs
1	0	0				fCLK/6		102/fCLK									25.5 μs	12.75 μs	6.375 μs	4.25 μs
1	0	1				fCLK/5		85/fCLK									21.25 μs	10.625 μs	5.3125 μs	3.54 μs
1	1	0				fCLK/4		68/fCLK								34 μs	17 μs	8.5 μs	4.25 μs	2.83 μs
1	1	1				fCLK/2		34/fCLK							34 μs	17 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (fAD) の2クロック分短くなります。

注意1. A/D変換時間は、29.7.1 A/Dコンバータ特性に示す変換時間 (tCONV) の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 12 - 4 A/D 変換時間の選択 (2/4)

(2) A/D 電源安定待ち時間なし 低電圧モード1, 2
(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数 注	変換時間	10ビット分解能時の変換時間					
FR2	FR1	FR0	LV1	LV0					2.7 V ≤ VDD ≤ 5.5 V					
									fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz
0	0	0	1	0	低電圧 1	fCLK/64	19 fAD	1216/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	fCLK/32	(サンプル リング・ クロック数： 7 fAD)		608/fCLK	設定禁止	設定禁止	設定禁止	38 μs	25.33 μs			
0	1	0	fCLK/16			304/fCLK	設定禁止	設定禁止	38 μs	19 μs	設定禁止			
0	1	1	fCLK/8			152/fCLK	38 μs	19 μs	設定禁止	設定禁止				
1	0	0	fCLK/6			114/fCLK	28.5 μs	設定禁止	設定禁止	設定禁止				
1	0	1	fCLK/5			95/fCLK	23.75 μs	設定禁止	設定禁止	設定禁止				
1	1	0	fCLK/4			76/fCLK	38 μs	19 μs	設定禁止	設定禁止				
1	1	1	fCLK/2			38/fCLK	38 μs	19 μs	設定禁止	設定禁止				
0	0	0	1	1	低電圧 2	fCLK/64	17 fAD	1088/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1	fCLK/32	(サンプル リング・ クロック数： 5 fAD)		544/fCLK	設定禁止	設定禁止	設定禁止	34 μs	22.67 μs			
0	1	0	fCLK/16			272/fCLK	設定禁止	設定禁止	34 μs	17 μs	設定禁止			
0	1	1	fCLK/8			136/fCLK	34 μs	17 μs	設定禁止	設定禁止				
1	0	0	fCLK/6			102/fCLK	25.5 μs	設定禁止	設定禁止	設定禁止				
1	0	1	fCLK/5			85/fCLK	21.25 μs	設定禁止	設定禁止	設定禁止				
1	1	0	fCLK/4			68/fCLK	34 μs	17 μs	設定禁止	設定禁止				
1	1	1	fCLK/2			34/fCLK	34 μs	17 μs	設定禁止	設定禁止				

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (fAD) の2クロック分短くなります。

注意1. A/D 変換時間は、29.7.1 A/Dコンバータ特性に示す変換時間 (tCONV) の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波

表 12 - 5 A/D 変換時間の選択 (3/4)

(3) A/D 電源安定待ち時間あり 標準モード1, 2
(ハードウェア・トリガ・ウエイト・モード注1)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	安定待ちクロック数	変換クロック数注4	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 10ビット分解能時の変換時間					
FR2	FR1	FR0	LV1	LV0						2.7 V ≤ VDD ≤ 5.5 V					
										fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz
0	0	0	0	0	標準1	fCLK/64	8 fAD	19 fAD (サンプリング・クロック数: 7 fAD)	1728/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	fCLK/32	864/fCLK		設定禁止			設定禁止	設定禁止	54 μs	36 μs			
0	1	0	fCLK/16	432/fCLK		設定禁止			設定禁止	54 μs	27 μs	18 μs			
0	1	1	fCLK/8	216/fCLK		54 μs			27 μs	13.5 μs	9 μs				
1	0	0	fCLK/6	162/fCLK		40.5 μs			20.25 μs	10.125 μs	6.75 μs				
1	0	1	fCLK/5	135/fCLK		33.75 μs			16.875 μs	8.4375 μs	5.63 μs				
1	1	0	fCLK/4	108/fCLK		54 μs			27 μs	13.5 μs	6.75 μs	4.5 μs注2			
1	1	1	fCLK/2	54/fCLK		54 μs			27 μs	13.5 μs	6.75 μs	3.375 μs注2, 3	設定禁止		
0	0	0	0	1	標準2	fCLK/64	8 fAD	17 fAD (サンプリング・クロック数: 5 fAD)	1600/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	fCLK/32	800/fCLK		設定禁止			設定禁止	設定禁止	50 μs	33.33 μs			
0	1	0	fCLK/16	400/fCLK		設定禁止			設定禁止	50 μs	25 μs	16.67 μs			
0	1	1	fCLK/8	200/fCLK		50 μs			25 μs	12.5 μs	8.33 μs				
1	0	0	fCLK/6	150/fCLK		37.5 μs			18.75 μs	9.375 μs	6.25 μs				
1	0	1	fCLK/5	125/fCLK		31.25 μs			15.625 μs	7.8125 μs	5.21 μs				
1	1	0	fCLK/4	100/fCLK		50 μs			25 μs	12.5 μs	6.25 μs	4.17 μs注2			
1	1	1	fCLK/2	50/fCLK		50 μs			25 μs	12.5 μs	6.25 μs	3.125 μs注2, 3	設定禁止		

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表 12 - 3参照)。

注2. VDD < 3.6 Vでは設定禁止。

注3. 温度センサ使用時は使用禁止。

注4. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(fAD)の2クロック分短くなります。

注意1. A/D変換時間は、29.7.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からの安定待ち時間を含みます。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 12 - 6 A/D 変換時間の選択 (4/4)

(4) A/D 電源安定待ち時間あり 低電圧モード1, 2注1
(ハードウェア・トリガ・ウエイト・モード注2)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数 注3	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 10ビット分解能時の変換時間						
FR2	FR1	FR0	LV1	LV0						2.7 V ≤ VDD ≤ 5.5 V						
										fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz	
0	0	0	1	0	低電圧 1	fCLK/64	2 fAD	19 fAD (サンプリング・クロック数 : 7 fAD)	1344/fCLK 672/fCLK 336/fCLK 168/fCLK 126/fCLK 105/fCLK 84/fCLK 42/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				fCLK/32								42 μs	28 μs	
0	1	0				fCLK/16								42 μs	21 μs	設定禁止
0	1	1				fCLK/8							42 μs	21 μs	設定禁止	
1	0	0				fCLK/6							31.5 μs	設定禁止		
1	0	1				fCLK/5							26.25 μs			
1	1	0				fCLK/4							42 μs	21 μs		
1	1	1				fCLK/2							42 μs	21 μs	設定禁止	
0	0	0	1	1	低電圧 2	fCLK/64	2 fAD	17 fAD (サンプリング・クロック数 : 5 fAD)	1216/fCLK 608/fCLK 304/fCLK 152/fCLK 114/fCLK 96/fCLK 76/fCLK 38/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	
0	0	1				fCLK/32								38 μs	25.33 μs	
0	1	0				fCLK/16								38 μs	19 μs	設定禁止
0	1	1				fCLK/8							38 μs	19 μs	設定禁止	
1	0	0				fCLK/6							28.5 μs	設定禁止		
1	0	1				fCLK/5							23.75 μs			
1	1	0				fCLK/4							38 μs	19 μs		
1	1	1				fCLK/2							38 μs	19 μs	設定禁止	

注1. 温度センサ使用時は使用禁止。

注2. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表12-4参照)。

注3. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(fAD)の2クロック分短くなります。

注意1. A/D変換時間は、29.7.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

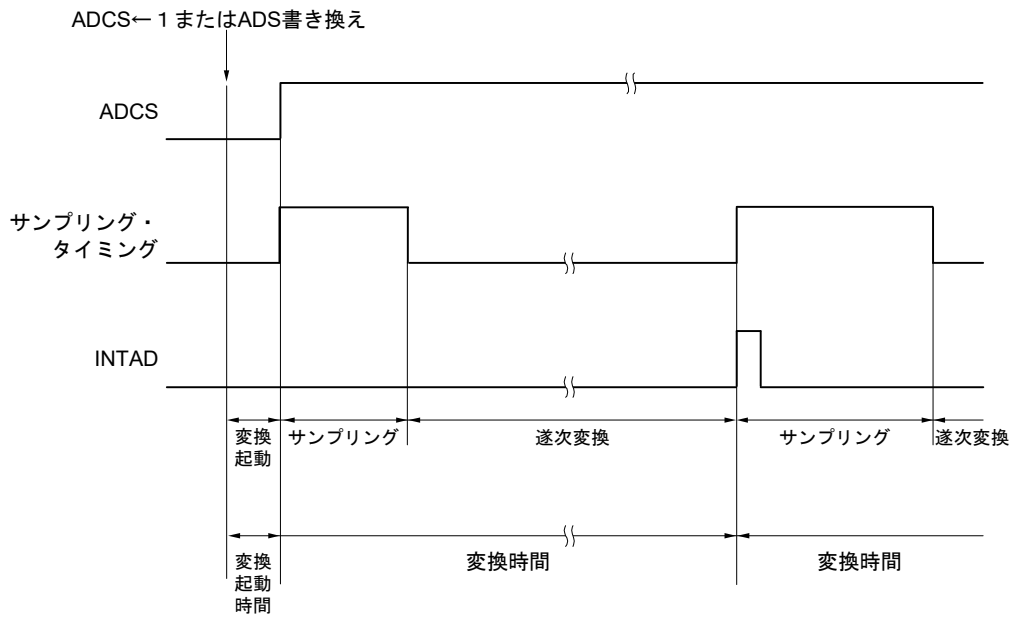
注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からの安定待ち時間を含みます。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

図12-5 A/DコンバータのサンプリングとA/D変換のタイミング(例 ソフトウェア・トリガ・モードの場合)



12.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-6 A/Dコンバータ・モード・レジスタ1 (ADM1)のフォーマット

アドレス : FFF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0
	ADTMD1	ADTMD0	A/D変換トリガ・モードの選択					
	0	0	ソフトウェア・トリガ・モード					
	0	1						
	1	0	ハードウェア・トリガ・ノーウエイト・モード					
	1	1	ハードウェア・トリガ・ウエイト・モード					
	ADSCM	A/D変換動作モードの設定						
	0	連続変換モード						
	1	ワンショット変換モード						
	ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択					
	0	0	タイマ・チャンネル1のカウント完了またはキャプチャ完了割り込み信号(INTTM01)					
	0	1	ELCで選択されたイベント信号					
	1	1	12ビット・インターバル・タイマ割り込み信号(INTIT)					
	上記以外		設定禁止					

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZE機能以外のモードにおいて、INTIT入力後最大fCLKの4クロック間は、次のINTIT入力がトリガとして有効になりません。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

12.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および-側基準電圧の選択, A/D変換結果の上限値/下限値のチェック, 分解能の選択, およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図12-7 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(1/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	V _{DD} から供給
0	1	P20/AVREFP/ANI0から供給
1	0	内部基準電圧(1.45 V)から供給注
1	1	設定禁止

• ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 基準電圧安定待ち時間ウエイト(A)
- ④ ADCE = 1に設定
- ⑤ 基準電圧安定待ち時間ウエイト(B)

ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 5 μs, B = 1 μs

ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : Aはウエイト不要, B = 1 μs

⑤のウエイトのあとに, A/D変換開始してください。

• ADREFP1, ADREFP0 = 1, 0に設定した場合, 温度センサ出力と内部基準電圧出力をA/D変換することはできません。必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの-側の基準電圧源の選択
0	V _{SS} から供給
1	P21/AVREFM/ANI1から供給

ADRCK	変換結果上限/下限値チェック
0	ADLLレジスタ ≤ ADCRレジスタ ≤ ADULレジスタ (AREA1)のとき割り込み信号(INTAD)が発生。
1	ADCRレジスタ < ADLLレジスタ (AREA2), ADULレジスタ < ADCRレジスタ (AREA3)のとき割り込み信号(INTAD)が発生。

AREA1~AREA3の割り込み信号(INTAD)発生範囲を図12-9に示します。

注 HS (高速メイン)モードでのみ動作可能です。

注意1. ADM2レジスタを書き換える場合は, 必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. STOPモードへ移行する場合は, ADREFP1 = 1に設定しないでください。内部基準電圧(ADREFP1, ADREFP0 = 1, 0)選択時は, 29.4.2 電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。

注意3. AVREFPとAVREFMを使用する場合は, ANI0とANI1をアナログ入力に設定し, ポート・モード・レジスタは入力モードに設定してください。

図12-8 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(2/2)

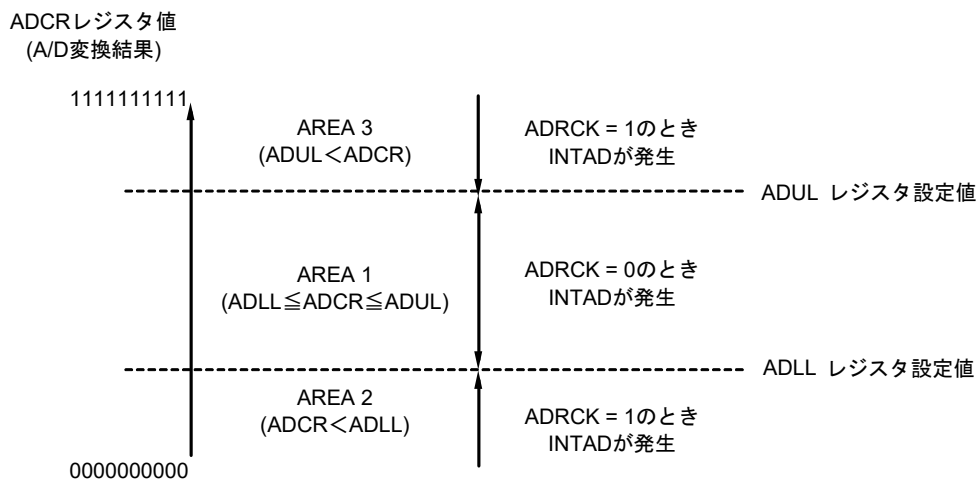
アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP
AWC	SNOOZEモードの設定							
0	SNOOZEモード機能を使用しない							
1	SNOOZEモード機能を使用する							
<p>STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います(SNOOZEモード)。</p> <ul style="list-style-type: none"> • SNOOZEモード機能は、CPU/周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウェイト・モードでのSNOOZEモード機能は使用禁止です。 • 連続変換モードでのSNOOZEモード機能は使用禁止です。 • SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間注 + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + fCLKの2クロック」以上の間隔を空けて設定してください。 • SNOOZE機能を使用する場合でも、通常動作モード時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。 <p>またSTOPモードから通常動作モードへ復帰後、必ずAWCを0に変更してください。</p> <p>AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。</p>								
ADTYP	A/D変換分解能の選択							
0	10ビット分解能							
1	8ビット分解能							

注 18.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

図12-9 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR, ADCRHレジスタに格納されません。

12.3.5 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます注。

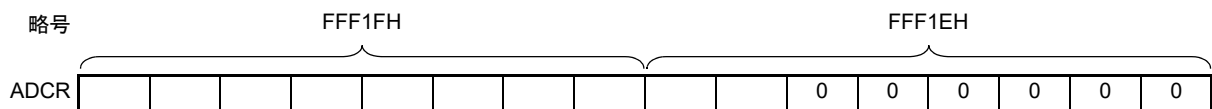
ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定(図12-9参照))で設定した値の範囲外の場合は格納されません。

図12-10 10ビットA/D変換結果レジスタ(ADCR)のフォーマット

アドレス : FFF1FH, FFF1EH リセット時 : 0000H R



注意1. 8ビット分解能A/D変換を選択時(A/Dコンバータ・モード・レジスタ2(ADM2)のADTYP = 1)にADCRレジスタをリードした場合、下位2ビット(ADCRレジスタのビット7, ビット6)は、0が読み出されます。

注意2. ADCRレジスタへ16ビット・アクセスした場合、変換結果上位10ビットがビット15から順に読み出せます。

12.3.6 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します注。

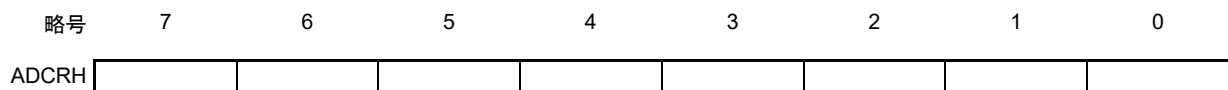
ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定(図12-9参照))で設定した値の範囲外の場合は格納されません。

図12-11 8ビットA/D変換結果レジスタ(ADCRH)のフォーマット

アドレス : FFF1FH リセット時 : 00H R



注意 A/Dコンバータ・モード・レジスタ0(ADM0), アナログ入力チャネル指定レジスタ(ADS), A/Dポート・コンフィギュレーション・レジスタ(ADPC)に対して書き込み動作を行ったとき, ADCRHレジスタの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されることがあります。

12.3.7 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-12 アナログ入力チャネル指定レジスタ (ADS)のフォーマット(1/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P22/ANI2 端子
0	0	0	0	1	1	ANI3	P23/ANI3 端子
0	0	0	1	0	0	ANI4	P24/ANI4 端子
0	0	0	1	0	1	ANI5	P25/ANI5 端子
0	0	0	1	1	0	ANI6	P26/ANI6 端子
0	0	0	1	1	1	ANI7	P27/ANI7 端子
0	1	0	0	0	0	ANI16	P01/ANI16 端子
0	1	0	0	0	1	ANI17	P00/ANI17 端子
0	1	0	0	1	0	ANI18	P147/ANI18 端子
0	1	0	0	1	1	ANI19	P120/ANI19 端子
0	1	0	1	0	0	—	PGAO (プログラマブルゲイン アンプ出力)
1	0	0	0	0	0	—	温度センサ出力電圧注
1	0	0	0	0	1	—	内部基準電圧出力(1.45 V)注
上記以外						設定禁止	

注 HS (高速メイン)モードでのみ動作可能です。

(注意は次ページにあります。)

図12-13 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット(2/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○スキャン・モード(ADMD = 1)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
0	1	0	0	0	0	ANI16	ANI17	ANI18	ANI19
0	1	0	0	0	1	ANI17	ANI18	ANI19	PGAO
上記以外						設定禁止			

注意1. ビット5, 6には必ず0を設定してください。

注意2. ADPC, PMCxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ0, 2, 12, 14 (PM0, PM2, PM12, PM14)で入力モードに選択してください。

注意3. A/Dポート・コンフィギュレーション・レジスタ(ADPC)でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ポート・モード・コントロール・レジスタ0, 12, 14 (PMC0, PMC12, PMC14)でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意5. ADISSビットを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意6. AVREFFをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャンネルとして選択しないでください。

注意7. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャンネルとして選択しないでください。

注意8. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧(1.45 V)は使用できません。

また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、12.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定(例 ソフトウェア・トリガ・モード、ワンショット変換モード時)を参照してください。

注意9. STOPモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、29.4.2 電源電流特性に示すA/Dコンバータ基準電圧電流(IADREF)の電流値が加算されます。

12.3.8 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果対し、上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図12-9参照)で割り込み信号(INTAD)の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

図12-14 変換結果比較上限値設定レジスタ (ADUL)のフォーマット

アドレス : F0011H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

12.3.9 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図12-9参照)で割り込み信号(INTAD)の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-15 変換結果比較下限値設定レジスタ (ADLL)のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

12.3.10 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANlxx)、温度センサ出力電圧、内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ・ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- ・フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、は8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx / 温度センサ出力電圧注 / 内部基準電圧(1.45 V)注 (アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	-側の基準電圧(ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 温度センサ出力電圧、内部基準電圧(1.45 V)は、HS (高速メイン)モードでのみ選択可能です。

12.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・モード・コントロール・レジスタ (PMCxx), A/Dポート・コンフィギュレーション・レジスタ (ADPC)) を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.6 ポート・モード・コントロール・レジスタ 0, 12, 14 (PMCxx), 4.3.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)を参照してください。

ANI0-ANI7 端子を A/D コンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに 1 を設定し、A/D ポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入りに設定してください。

ANI16-ANI19 端子を A/D コンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロール・レジスタ (PMCxx) のビットに 1 を設定してください。

12.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ(SAR)のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを(1/2)AVREFにします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力(1/2)AVREFよりも大きければ、SARレジスタのMSBビットをセットしたままで。また、(1/2)AVREFよりも小さければ、MSBビットはリセットします。
- ⑤ 次にSARレジスタのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
 - ビット9 = 1 : (3/4) AVREF
 - ビット9 = 0 : (1/4) AVREF
 この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。
 - サンプリングされた電圧 ≥ 電圧タップ : ビット8 = 1
 - サンプリングされた電圧 < 電圧タップ : ビット8 = 0
- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ(ADCR, ADCRH)に転送され、ラッチします注1。
同時に、A/D変換終了割り込み要求(INTAD)を発生させることができます。
- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します注2。
A/Dコンバータを停止する場合は、ADCS = 0にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定(図12-9参照))で設定した値の範囲外の場合、A/D変換終了割り込み要求信号(INTAD)は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。

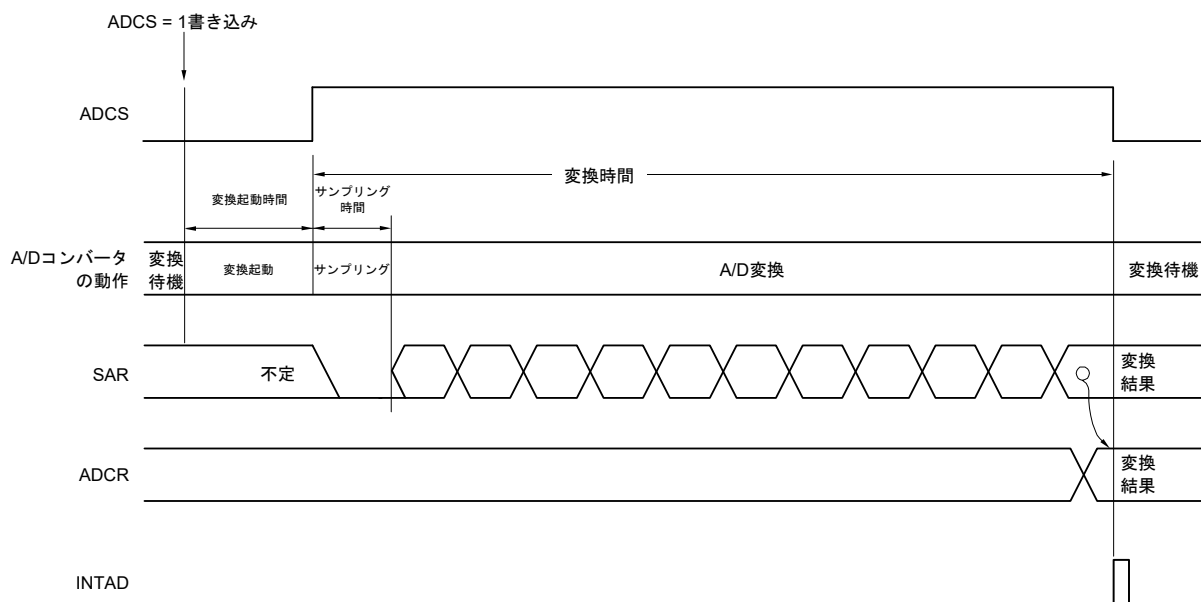
注2. 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ADCRレジスタ(16ビット): 10ビットのA/D変換値を格納します。
- ADCRHレジスタ(8ビット): 8ビットのA/D変換値を格納します。

備考2. AVREF: A/Dコンバータの+側基準電圧。AVREFP, 内部基準電圧(1.45V), VDDから選択可能です。

図12-17 A/Dコンバータの変換動作(ソフトウェア・トリガ・モードの場合)



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア(0)されます。

連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)をクリア(0)するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャンネル指定レジスタ(ADS)に対して書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ(ADCR, ADCRH)は、リセット信号の発生により0000Hまた00Hとなります。

12.5 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7, ANI16-ANI19) に入力されたアナログ入力電圧と理論上の A/D 変換結果 (10 ビット A/D 変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または,

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} \leq V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT (): () 内の値の整数部を返す関数

V_AIN : アナログ入力電圧

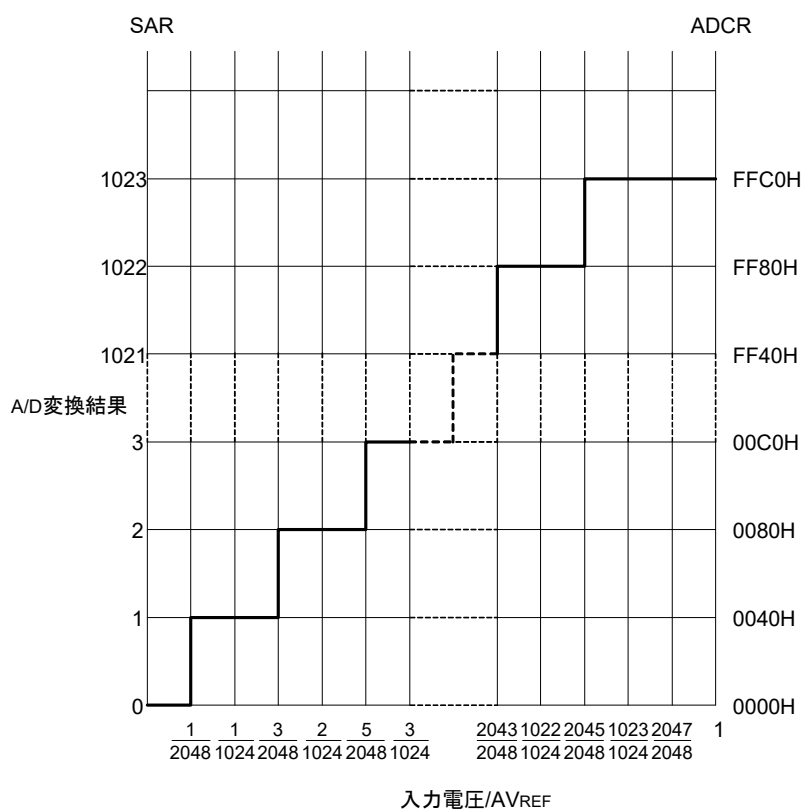
V_AREF : V_AREF 端子電圧

ADCR : A/D 変換結果レジスタ (ADCR) の値

SAR : 逐次変換レジスタ

図 12 - 18 にアナログ入力電圧と A/D 変換結果の関係を示します。

図 12 - 18 アナログ入力電圧と A/D 変換結果の関係



備考 V_AREF : A/D コンバータの + 側基準電圧。V_AREFP, 内部基準電圧 (1.45 V), V_{DD} から選択可能です。

12.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を12.7 A/Dコンバータの設定フロー・チャートに示します。

12.6.1 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

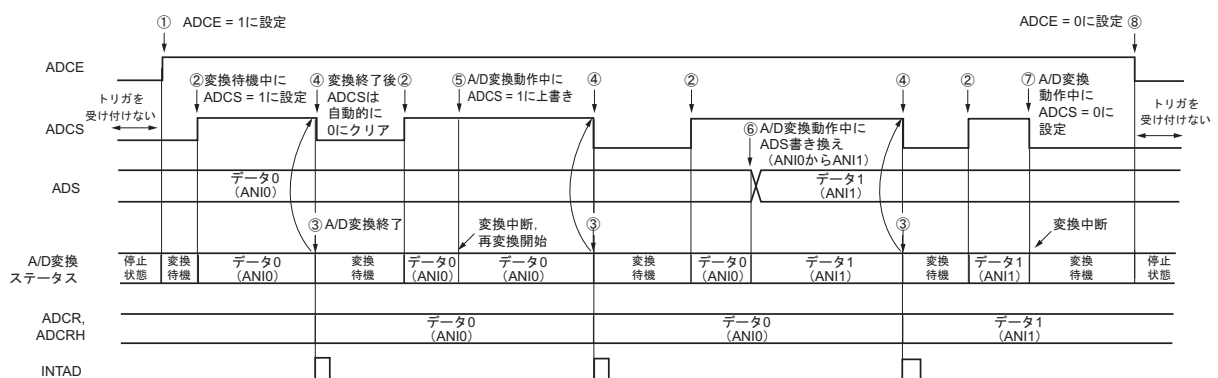
図12-19 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)動作タイミング例



12.6.2 ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

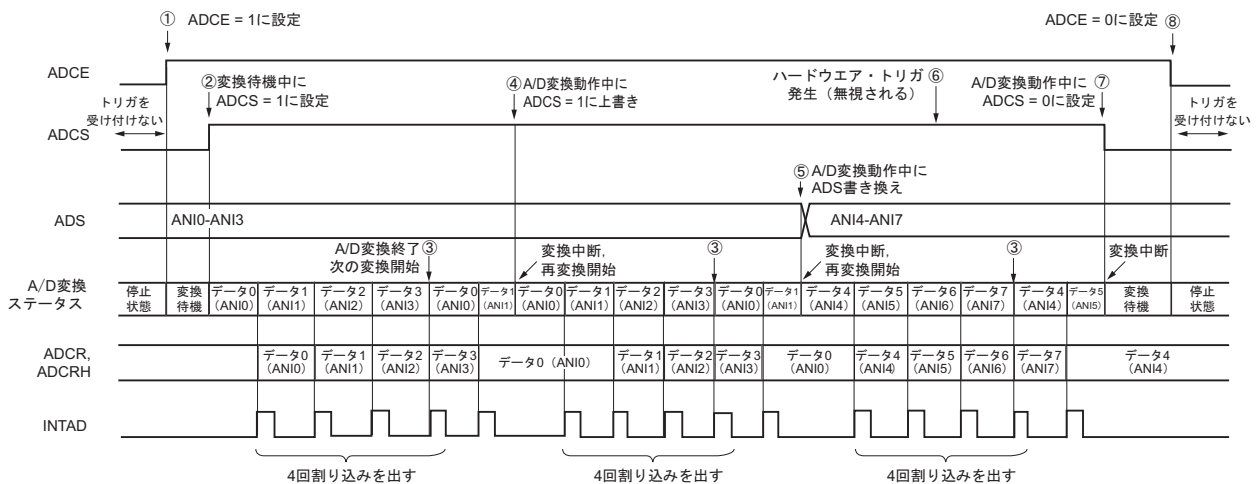
図12-20 ソフトウェア・セレクト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



12.6.3 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます(4チャンネル分)。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

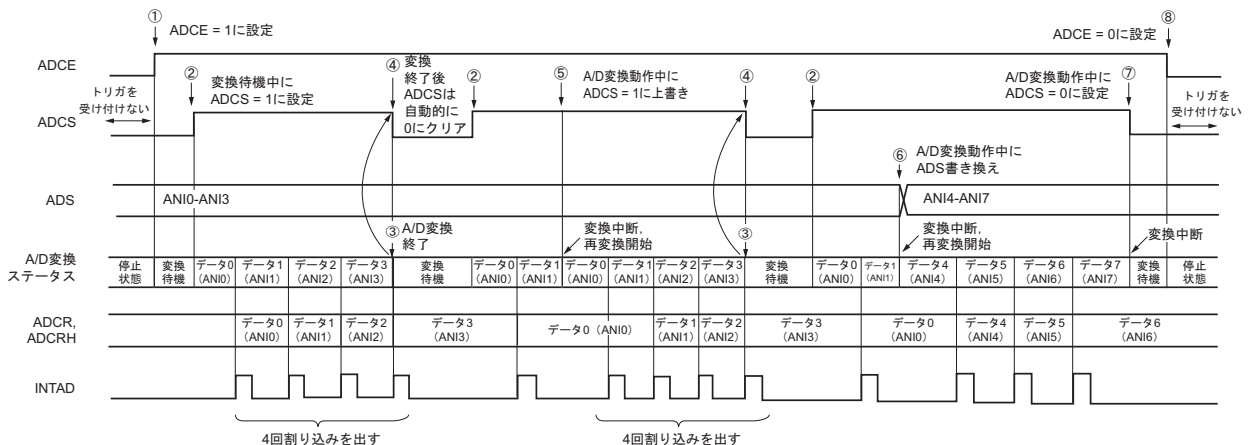
図12-21 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)動作タイミング例



12.6.4 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ 4チャンネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

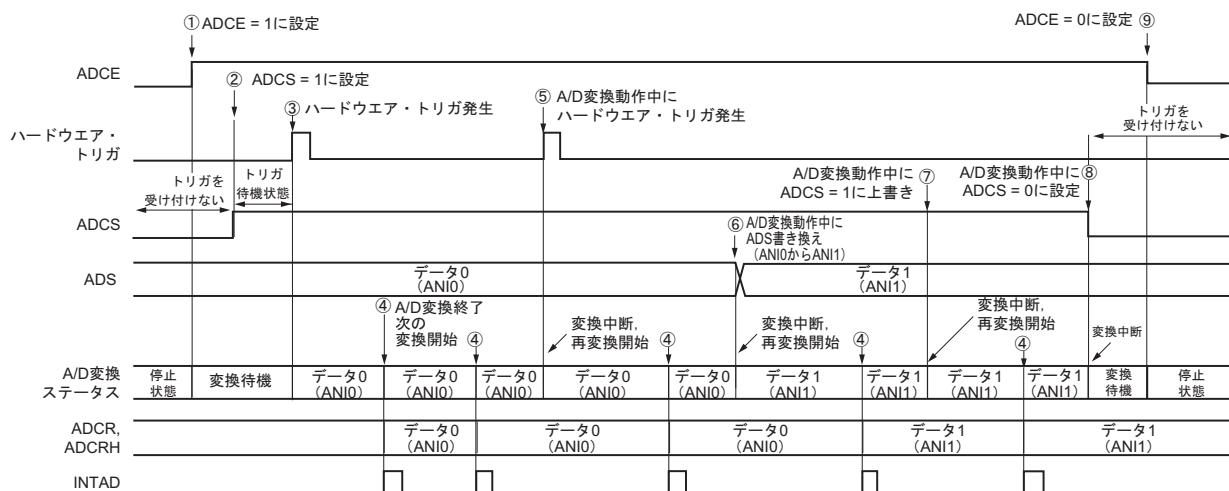
図12-22 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



12.6.5 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

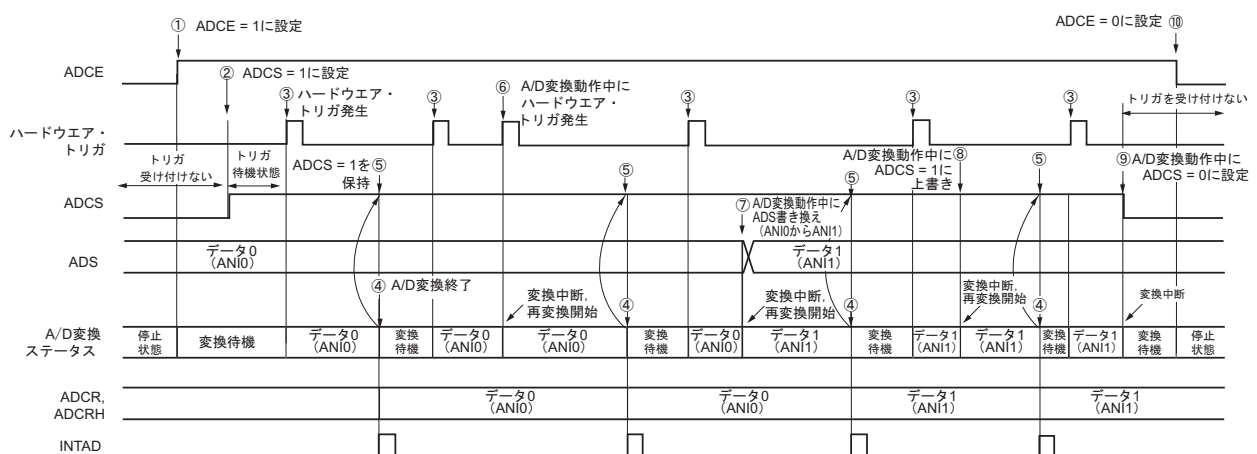
図12-23 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



12.6.6 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

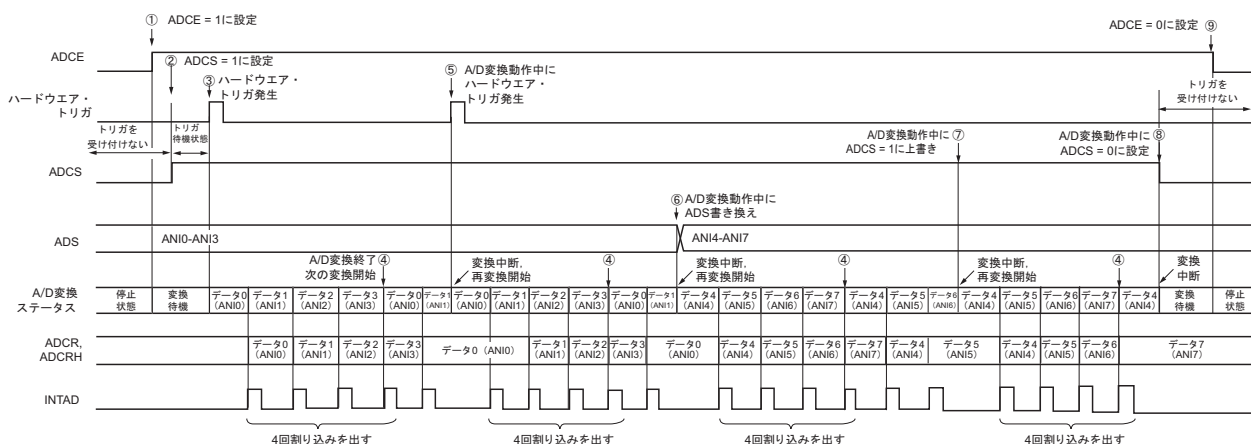
図12-24 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



12.6.7 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

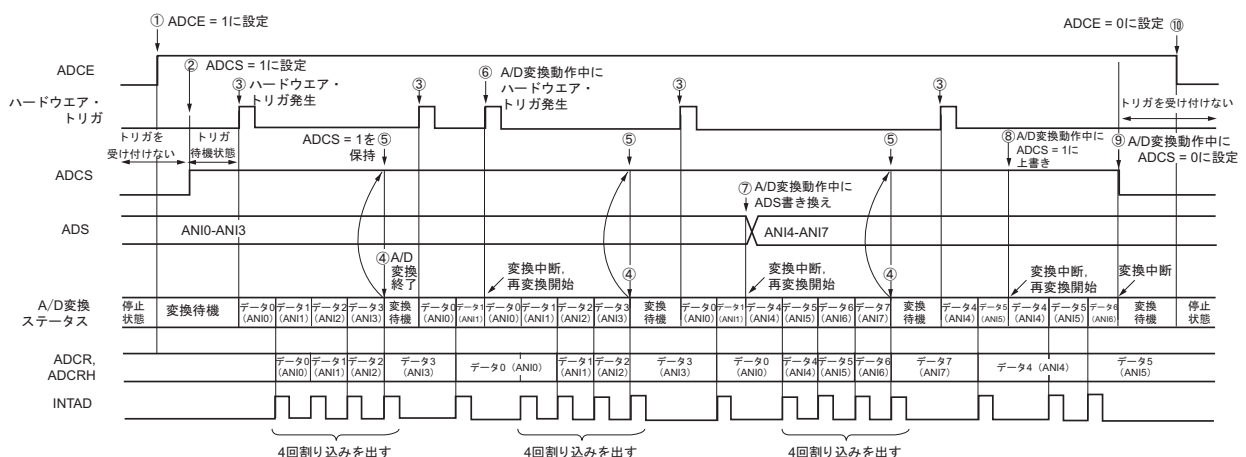
図12-25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例



12.6.8 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ④ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ 4チャネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

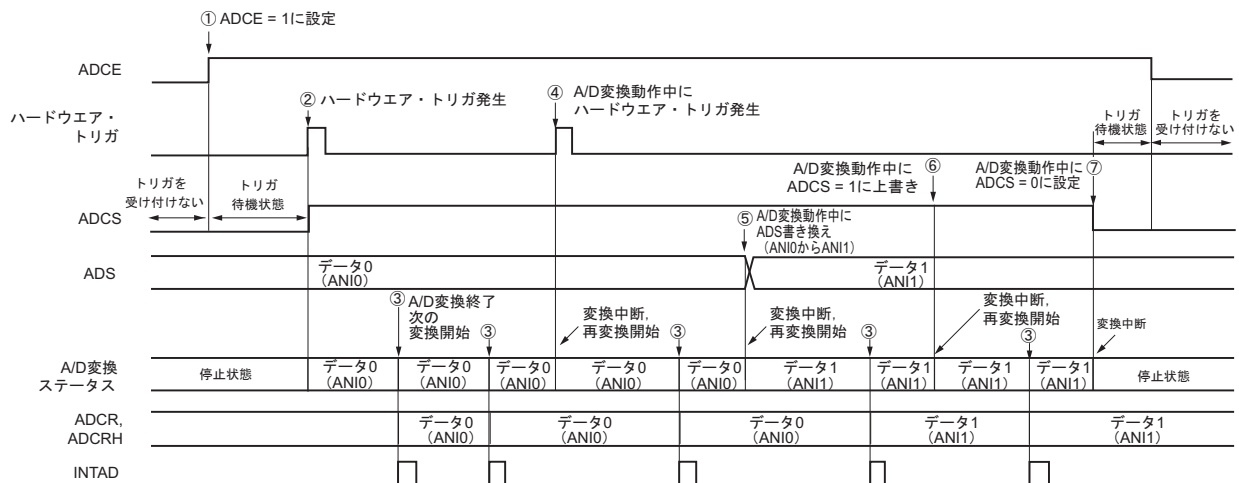
図12-26 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



12.6.9 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します(このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

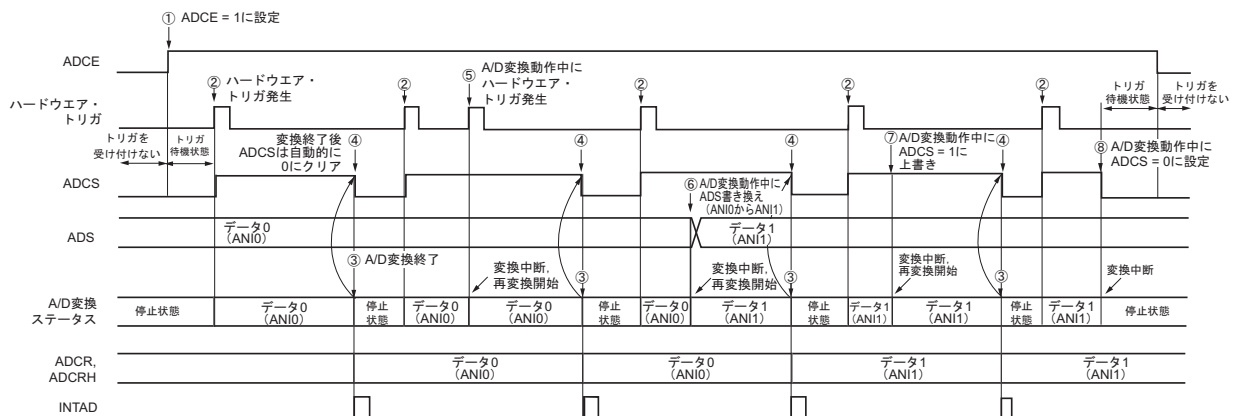
図12-27 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



12.6.10 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

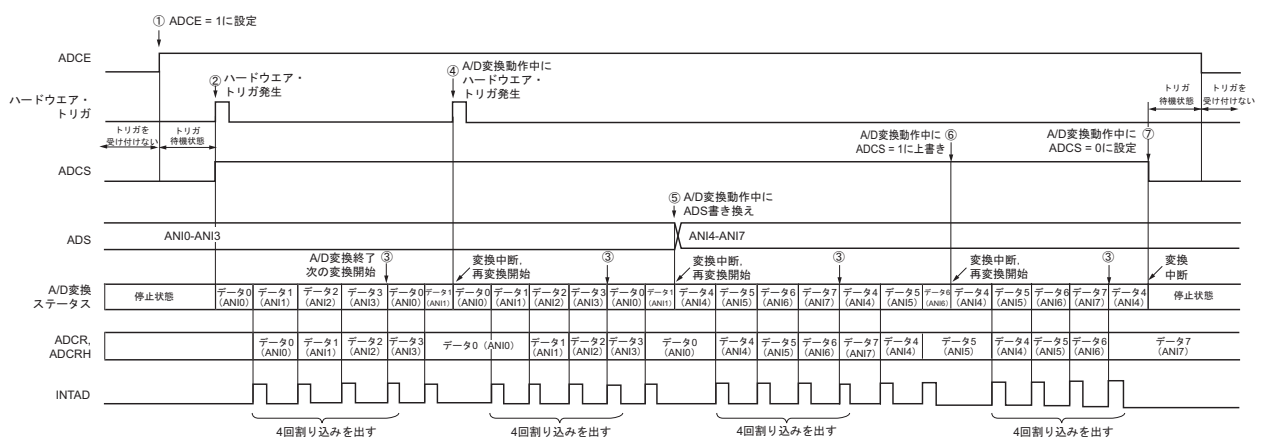
図12-28 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



12.6.11 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

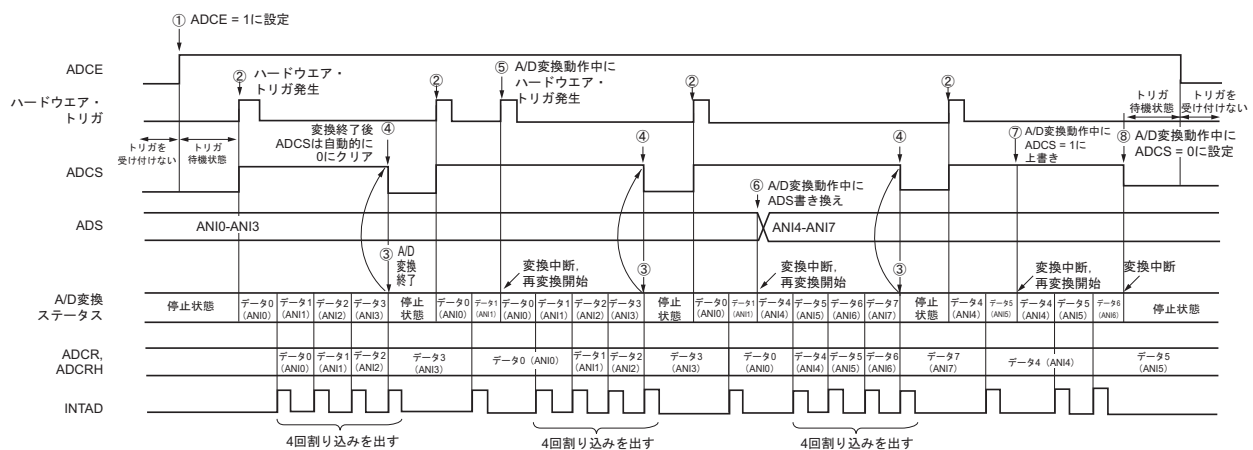
図12-29 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例



12.6.12 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-30 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



12.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

12.7.1 ソフトウェア・トリガ・モード設定

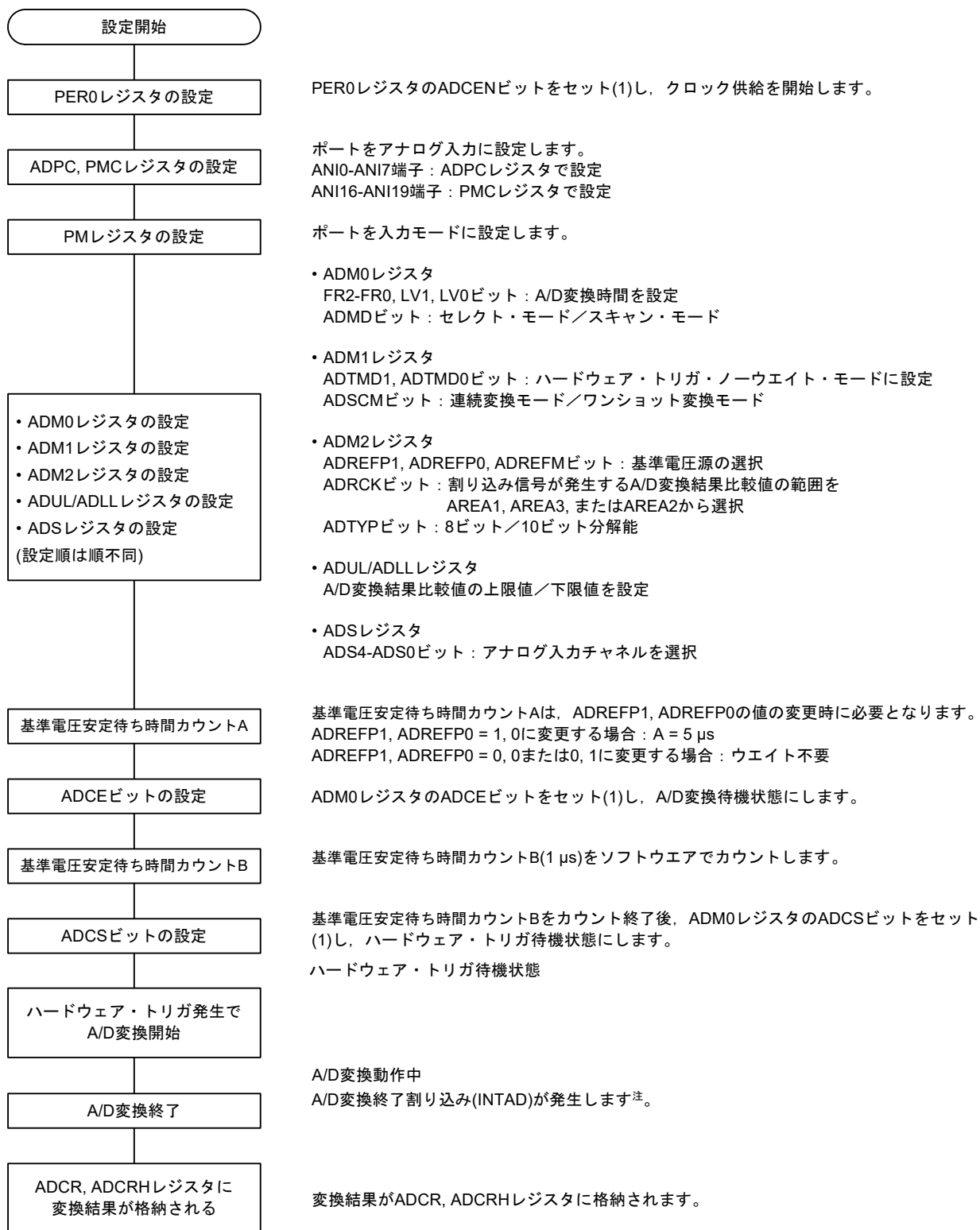
図12-31 ソフトウェア・トリガ・モード設定



注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

12.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

図12-32 ハードウェア・トリガ・ノーウエイト・モード設定



注 ADCR, ADCRHレジスタに結果は格納されません。

12.7.3 ハードウェア・トリガ・ウェイト・モード設定

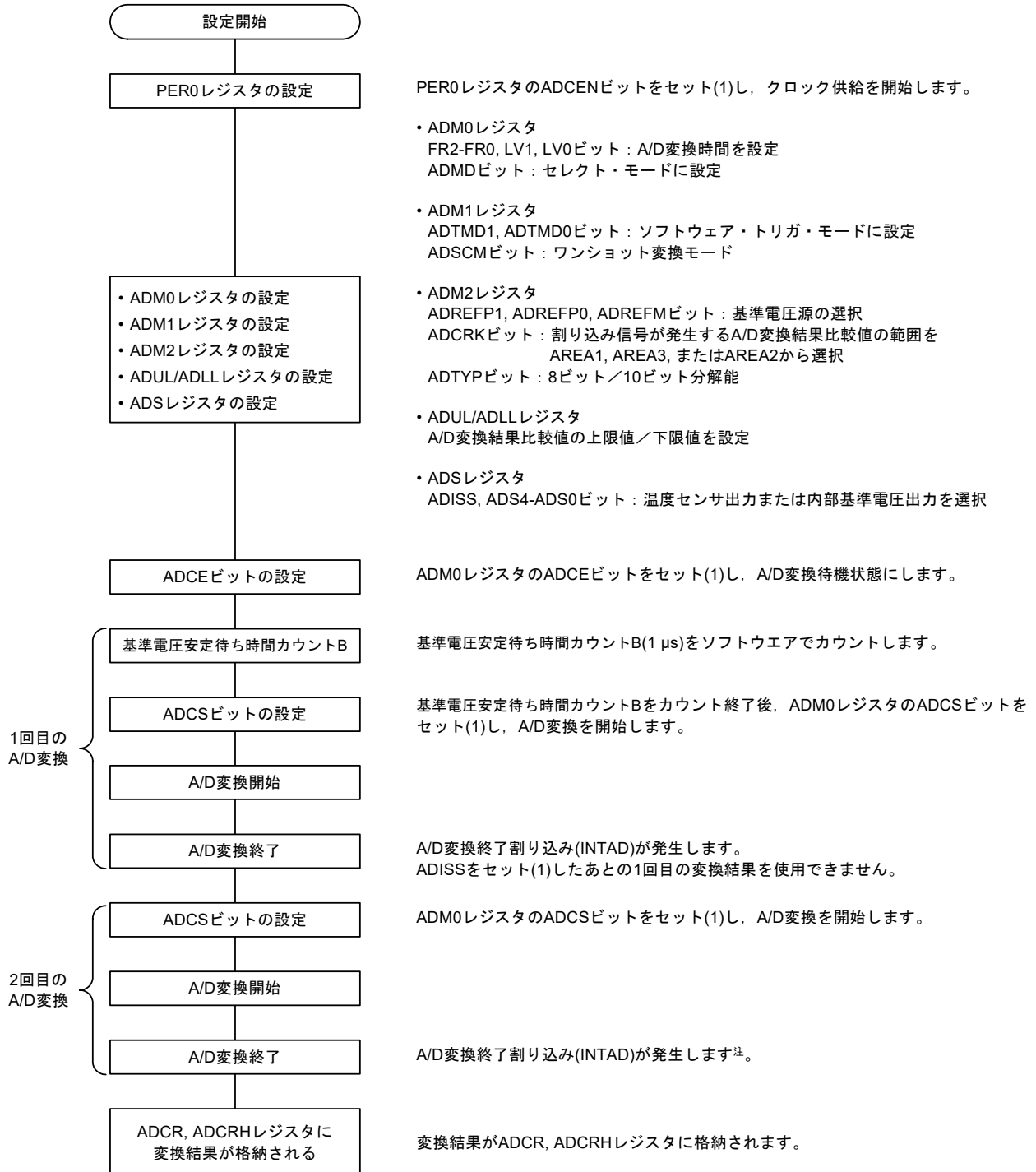
図12-33 ハードウェア・トリガ・ウェイト・モード設定



注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

12.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード，ワンショット変換モード時)

図12-34 温度センサ出力電圧／内部基準電圧を選択時の設定

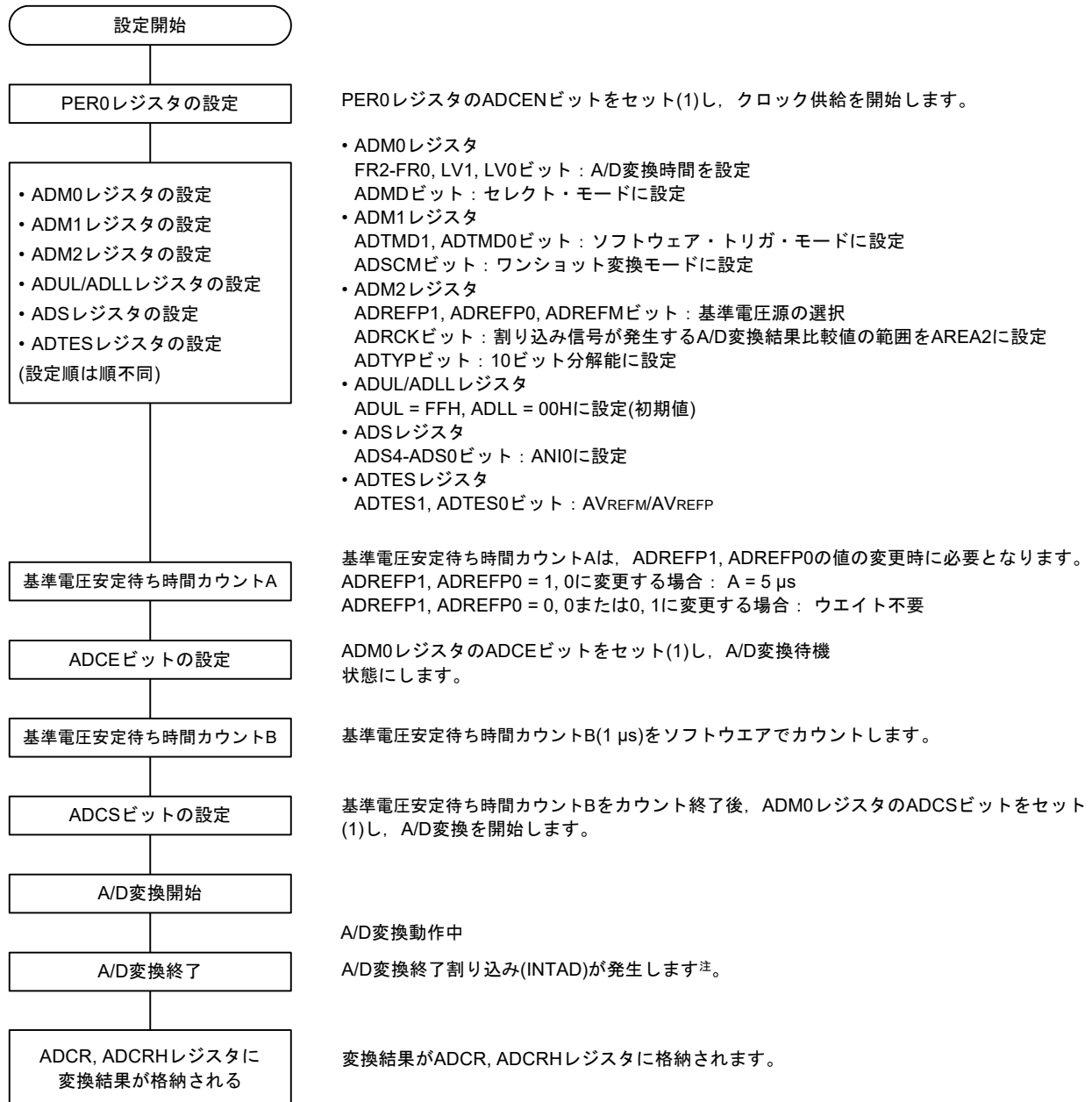


注 ADCRKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 HS (高速メイン)モードでのみ選択可能です。

12.7.5 テスト・モード設定

図 12 - 35 テスト・モード設定



注 ADRCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、22.10 A/Dテスト機能を参照してください。

12.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが、このモードを使うことで、ハードウェア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

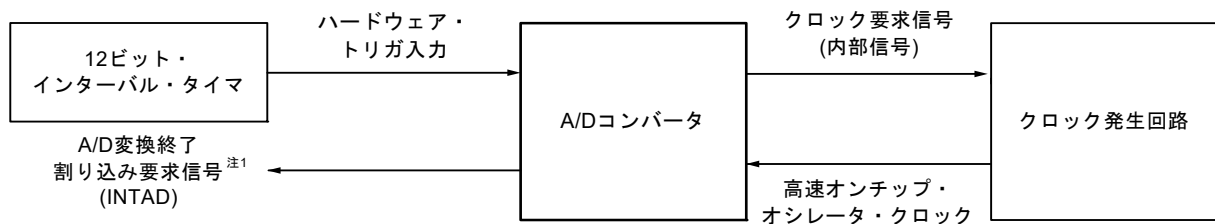
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ・ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)
- ・ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)

注意 SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図12-36 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います(12.7.3ハードウェア・トリガ・ウエイト・モード設定を参照注2)。このとき、A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2 (AWC)に1を設定しておきます。初期設定完了後、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット0 (ADCE)に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります注1。

注1. A/D変換結果比較機能の設定(ADRCKビット, ADUL/ADLLレジスタ)により、割り込み信号が発生しない場合があります。

注2. ADM1レジスタは必ずE1H, E2HまたはE3Hに設定してください。

備考 ハードウェア・トリガは、ELCで選択されたイベント, INTITです。

ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1 (ADM1)で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲内の場合, A/D変換終了割り込み要求信号(INTAD)は発生します。

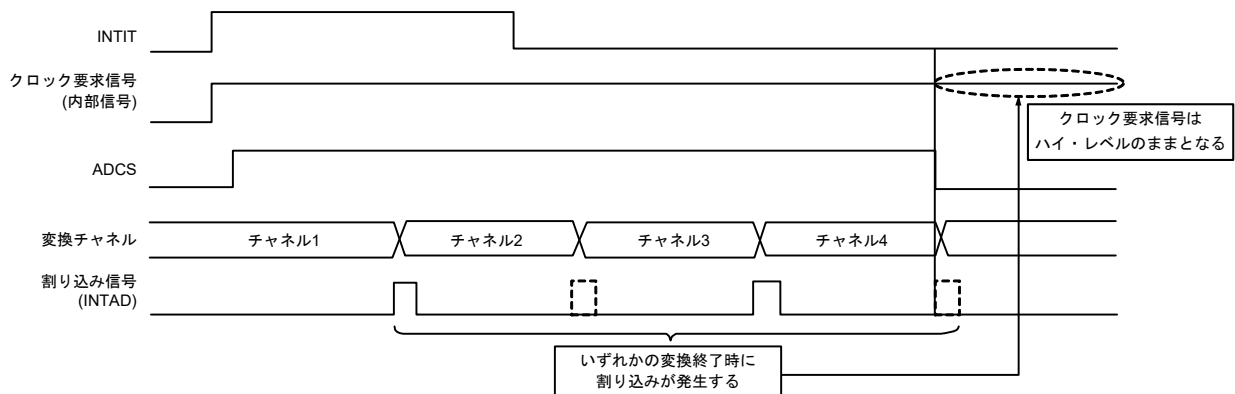
- セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号(INTAD)が発生すると, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

- スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号(INTAD)が発生した場合, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

図12 - 37 A/D変換終了後に割り込みが発生する場合の動作例(スキャン・モード時)



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲外の場合, A/D変換終了割り込み要求信号(INTAD)は発生しません。

- セレクト・モード時

A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, A/D変換終了後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, 4チャンネル分のA/D変換が終了した後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

図12 - 38 A/D変換終了後に割り込みが発生しない場合の動作例(スキャン・モード時)

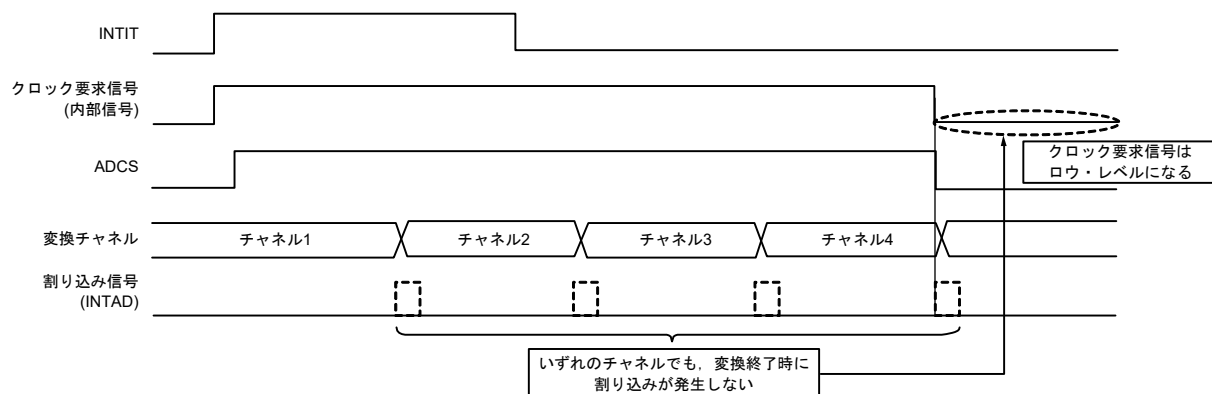
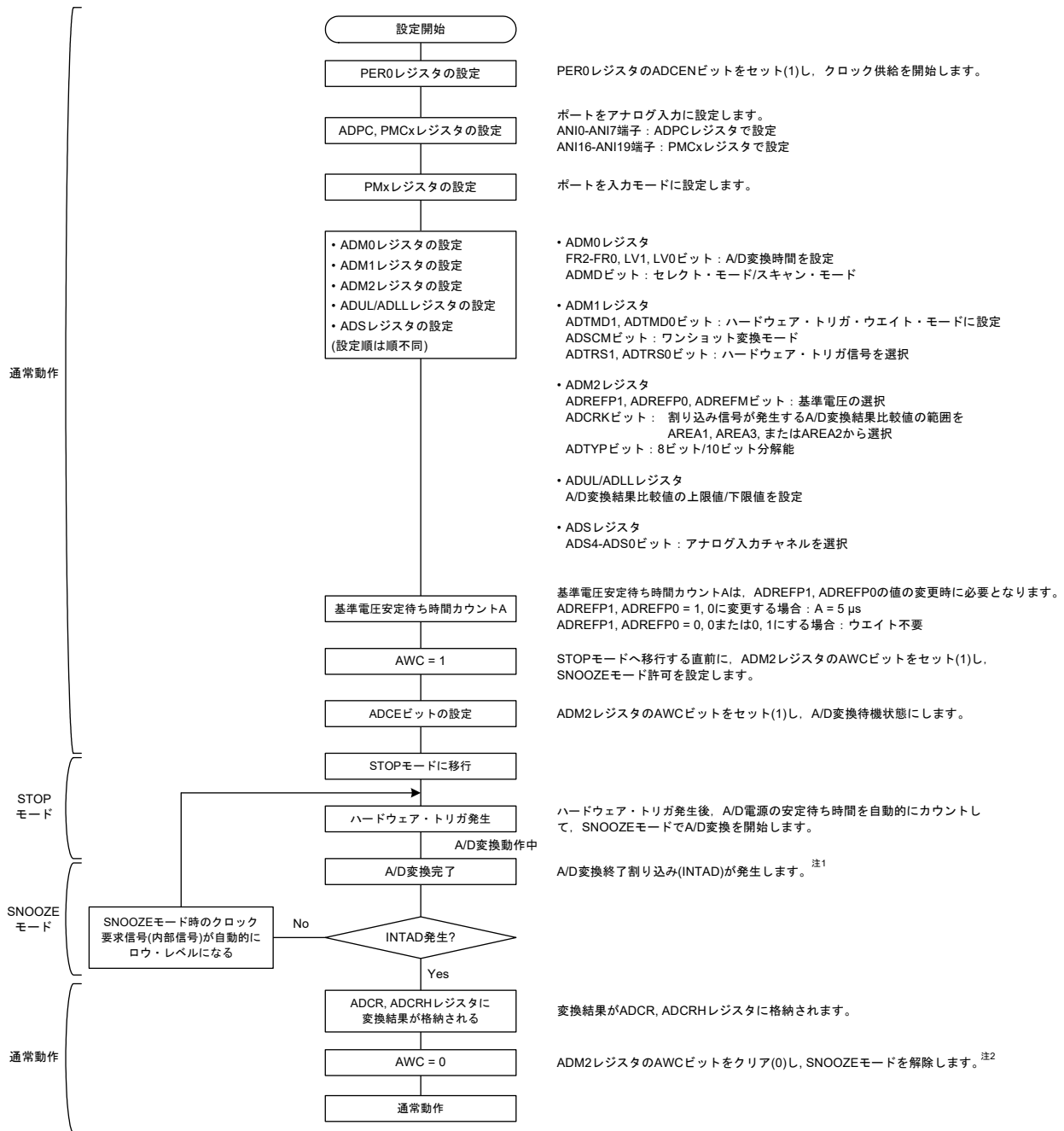


図 12 - 39 SNOOZEモード設定のフローチャート



注1. ADRCKビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合、ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

12.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit)といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range)で表します。

分解能10ビットのとき

$$1 \text{ LSB} = 1/2^{10} = 1/1024 \\ = 0.098 \% \text{FSR}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図12-40 総合誤差

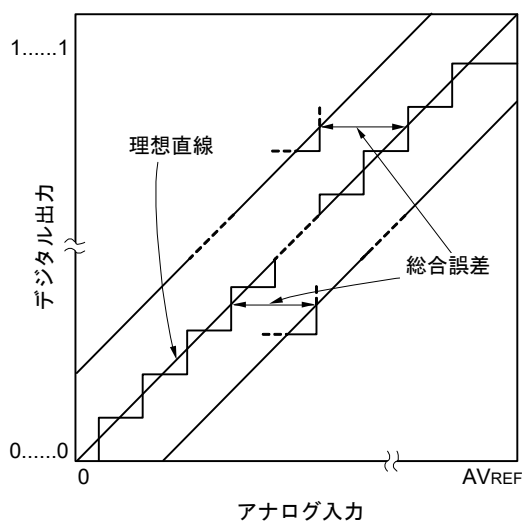
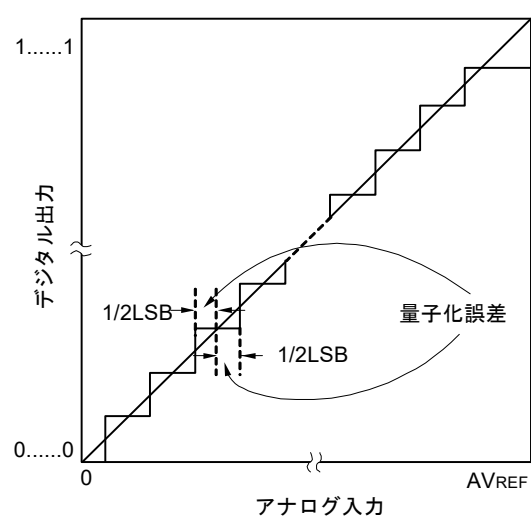


図12-41 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール-3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図 12 - 42 ゼロスケール誤差

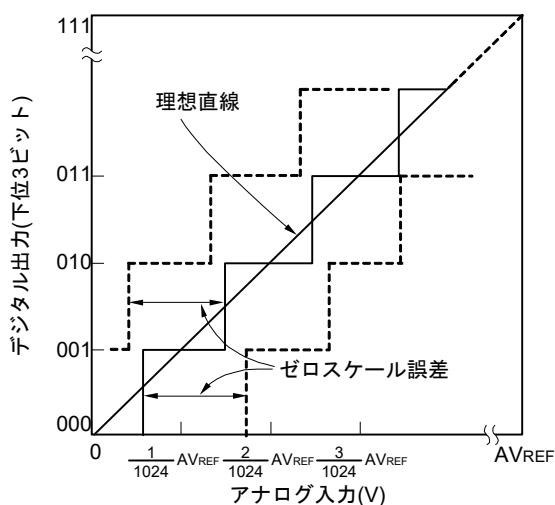


図 12 - 43 フルスケール誤差

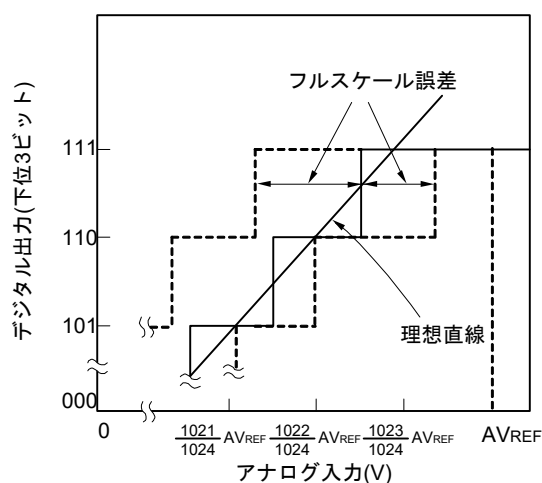


図12-44 積分直線性誤差

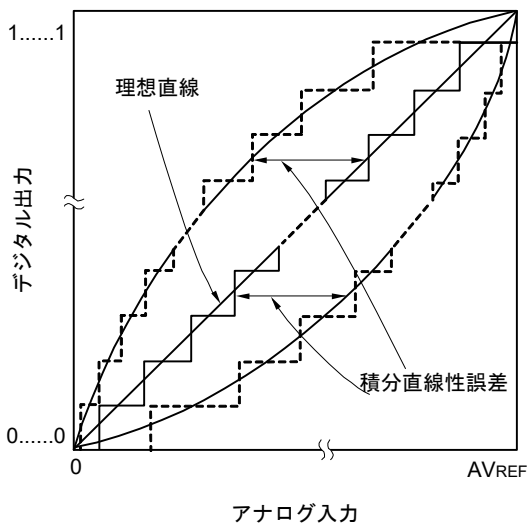
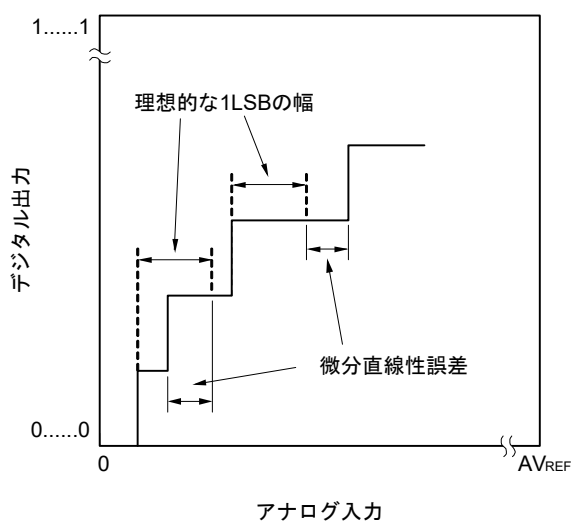


図12-45 微分直線性誤差



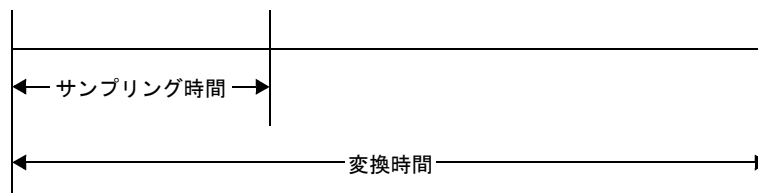
(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



12.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止(A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)を0)させてから移行してください。このときADM0レジスタのビット0 (ADCE)も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H (IF1H)のビット0 (ADIF)をクリア(0)してから、動作開始してください。

(2) ANI0-ANI7, ANI16-ANI19端子入力範囲について

ANI0-ANI7, ANI16-ANI19端子入力電圧は規格の範囲内でご使用ください。特にVDD, AVREFPを超える電圧, VSS, AVREFM未満(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

内蔵基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内蔵基準電圧(1.45 V)を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内蔵基準電圧(1.45 V)を超える電圧になっていても問題ありません。

注意 内蔵基準電圧(1.45 V)は、HS(高速メイン)モードでのみ選択可能です。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ(ADCR, ADCRH)へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0 (ADM0)へのライト、アナログ入力チャネル指定レジスタ(ADS)またはA/Dポート・コンフィギュレーション・レジスタ(ADPC)へのライトの競合

ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号(INTAD)も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、AVREFP, VDD, ANI0-ANI7, ANI16-ANI19端子へのノイズに注意する必要があります。

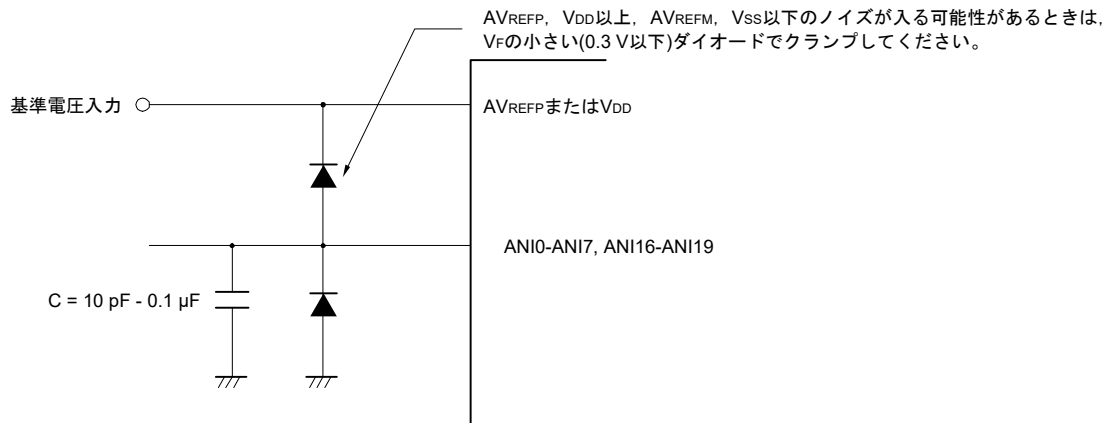
① 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-46のようにコンデンサを外付けすることを推奨します。

③ 変換中においては、他の端子とスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図12-46 アナログ入力端子の処理



(5) アナログ入力(ANIn)端子

- ① アナログ入力(ANI0-ANI7, ANI16-ANI19)端子は入力ポート(P20-P23, P00, P01, P147, P120)端子と兼用になっています。

ANI0-ANI7, ANI16-ANI19 端子のいずれかを選択して A/D 変換をする場合、変換中に P20-P23, P00, P01, P147, P120 に対して出力値を変更しないでください。変換精度が低下することがあります。

- ② A/D 変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによって A/D 変換値が期待値と異なることがあります。このようなパルスが入出力されないようにしてください。

(6) アナログ入力(ANIn)端子の入インピーダンスについて

この A/D コンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを 1 kΩ 以下にしてください。出力インピーダンスが 1 kΩ 以下にできないときはサンプリング時間を長く設定するか ANI0-ANI7, ANI16-ANI19 端子に 0.1 μF 程度のコンデンサを付けることを推奨します(図12-46参照)。また、変換動作中に ADCS = 0 に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0 を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

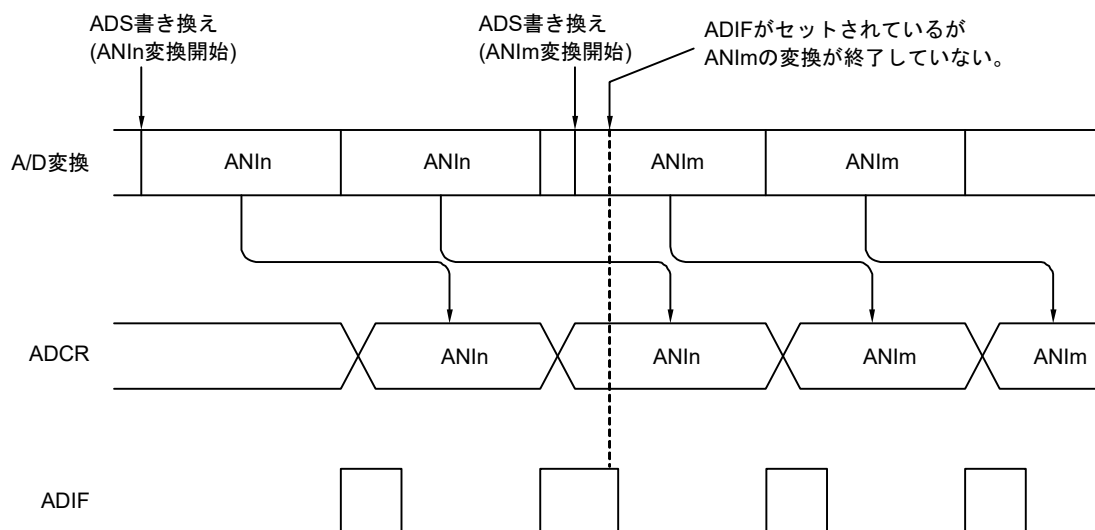
(7) 割り込み要求フラグ(ADIF)について

アナログ入力チャネル指定レジスタ(ADS)を変更しても割り込み要求フラグ(ADIF)はクリア(0)されません。

したがって、A/D 変換中にアナログ入力端子の変更を行った場合、ADS レジスタ書き換え直前に、変更前のアナログ入力に対する A/D 変換結果および ADIF フラグがセットされている場合があります。ADS レジスタ書き換え直後に ADIF フラグを読み出すと、変換後のアナログ入力に対する A/D 変換が終了していないにもかかわらず ADIF フラグがセットされていることとなりますので注意してください。

また、A/D 変換を一度停止させて再開する場合は、再開する前に ADIF フラグをクリア(0)してください。

図12-47 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウエイト・モードでADCEビット=1にしてから、1 μ s以内にADCSビット=1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ(ADCR, ADCRH)の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ(ADS)、A/Dポート・コンフィギュレーション・レジスタ(ADPC)、ポート・モード・コントロール・レジスタ(PMC)に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPC, PMCレジスタに対して書き込み動作を行う前に読み出して下さい。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 48 ANIn 端子内部等価回路

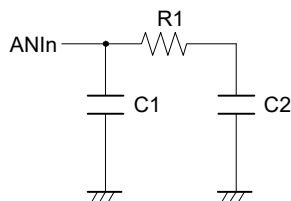


表12 - 7 等価回路の各抵抗と容量値(参考値)

AVREFP, VDD	ANIn 端子	R1 [kΩ]	C1 [pF]	C2 [pF]
$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	ANI0-ANI7	14	8	2.5
	ANI16-ANI19	18	8	7.0
$2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$	ANI0-ANI7	39	8	2.5
	ANI16-ANI19	53	8	7.0

備考 表12 - 7の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFP, VDDの電圧が安定してから開始してください。

第13章 コンパレータ/プログラマブル・ゲイン・アンプ

コンパレータ、プログラマブル・ゲイン・アンプには次の機能があります。

13.1 概要

○コンパレータ

- 2チャンネル搭載(CMP0, CMP1)
- + 側入力端子(CMP0P, CMP1P)が接続可能です。
- プログラマブル・ゲイン・アンプの出力信号を、コンパレータの+側入力信号とすることが可能です。
- 基準電圧として専用8bitDAC(内部生成基準電圧(V_{DD}/AV_{REFP}, V_{SS}/AV_{REFM}を基準とする256分解能))を選択可能です。
- ノイズ除去デジタルフィルタの除去幅が選択できます。
- コンパレータ出力の有効エッジを検出し、割り込み信号を発生できます。
- コンパレータ出力の有効エッジを検出し、イベント・リンク・コントローラ(ELC)へイベント信号を出力できます。
- コンパレータの出力信号は、PWM・オプションユニットに接続され、タイマ出力端子をHi-Z状態に強制遮断することが可能です。また、コンパレータの出力信号をELCへ接続することで、タイマ出力端子をHi-Z/H出力L出力状態に強制遮断することが可能です。詳しくは、8.4.4 パルス出力強制遮断を参照してください。
- リファレンス入力電圧とアナログ入力電圧の比較結果をソフトウェアで読めます。

○プログラマブル・ゲイン・アンプ

- 入力されたアナログ電圧を増幅します。増幅率を4通りから選択可能です。
- プログラマブル・ゲイン・アンプの出力信号をコンパレータの+側入力信号とすることが可能です。
- プログラマブル・ゲイン・アンプの出力信号をA/Dコンバータのアナログ入力として選択可能です。

図13-1にコンパレータとプログラマブル・ゲイン・アンプのブロック図を、表13-1に端子構成を示します。

図 13 - 1 コンパレータとプログラマブル・ゲイン・アンプのブロック図

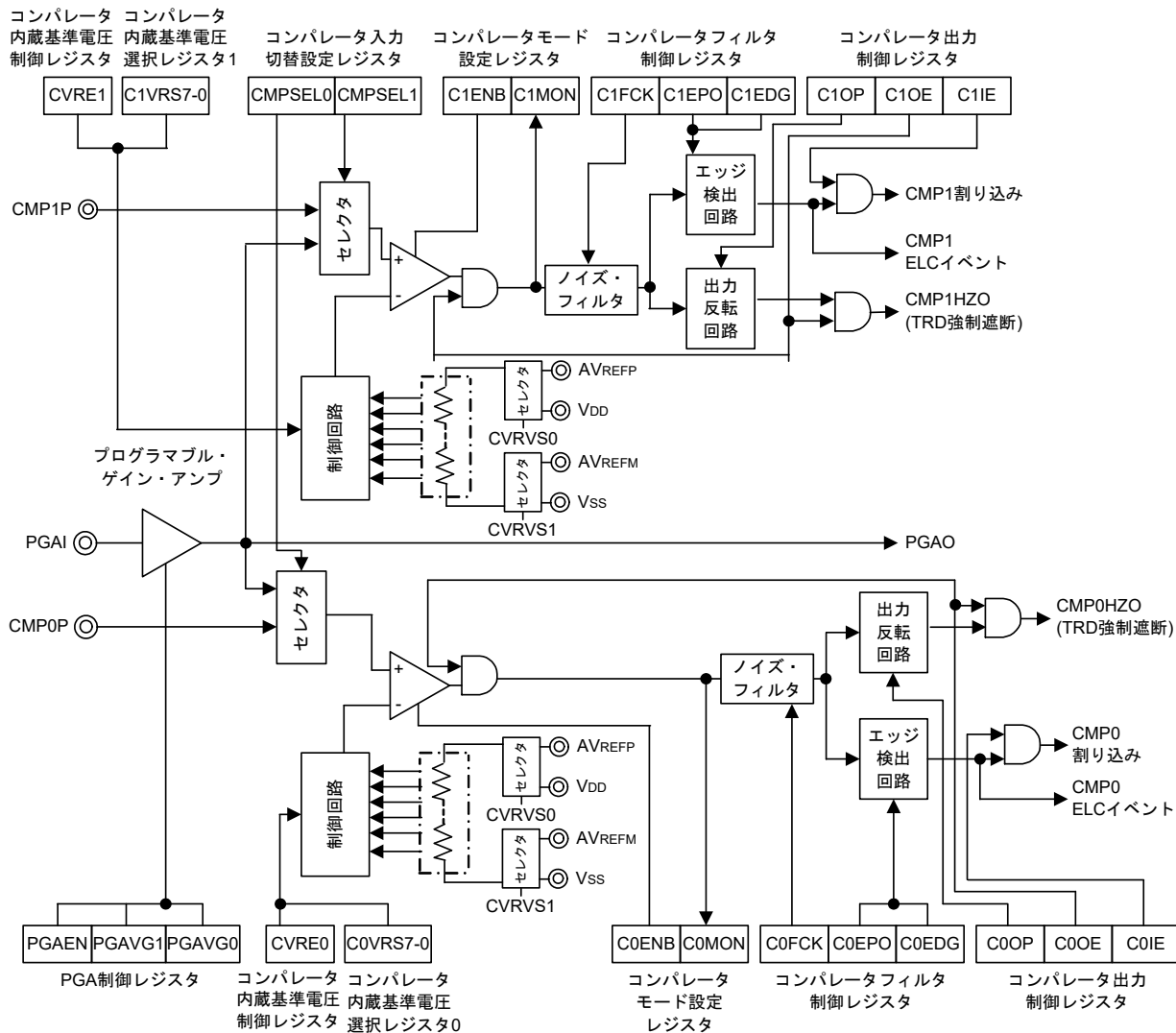


表 13 - 1 端子構成

端子名	入出力	機能
CMP0P	入力	コンパレータ0用アナログ端子
CMP1P	入力	コンパレータ1用アナログ端子
PGAI	入力	プログラマブル・ゲイン・アンプ入力端子

13.2 レジスタの説明

表13-2にコンパレータ/プログラマブル・ゲイン・アンプで使用するレジスタ一覧を示します。

表13-2 レジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
コンパレータモード設定レジスタ	COMPMDR	00H	F0340H	1または8
コンパレータフィルタ制御レジスタ	COMPFIR	00H	F0341H	1または8
コンパレータ出力制御レジスタ	COMPOCR	00H	F0342H	1または8
コンパレータ内蔵基準電圧制御レジスタ	CVRCTL	00H	F0343H	1または8
コンパレータ内蔵基準電圧選択レジスタ0	C0RVM	00H	F0344H	8
コンパレータ内蔵基準電圧選択レジスタ1	C1RVM	00H	F0345H	8
PGA制御レジスタ	PGACTL	00H	F0346H	1または8
6相PWMオプション・モード・レジスタ	OPMR	00H	F026CH	8
6相PWMオプション・ステータス・レジスタ	OPSR	00H	F026DH	8
6相PWMオプション・Hi-Zスタート・トリガ・レジスタ	OPHS	00H	F026EH	8
6相PWMオプション・Hi-Zストップ・トリガ・レジスタ	OPHT	00H	F026FH	8
周辺イネーブル・レジスタ1	PER1	00H	F007AH	8
ポート・モード・コントロール・レジスタ0	PMC0	FFH	F0060H	8
ポート・モード・コントロール・レジスタ12	PMC12	FFH	F006CH	8
ポート・モード・レジスタ0	PM0	FFH	FFF20H	8
ポート・モード・レジスタ12	PM12	FFH	FFF2CH	8

13.2.1 コンパレータモード設定レジスタ (COMPMDR)

コンパレータ動作許可/停止の設定とコンパレータ出力をモニタするレジスタです。

CiENBビットは、1ビットまたは8ビット単位でリード/ライト可能です。

CiMONビットはリードのみ可能です。

リセット信号の発生により、00Hになります。

図13-2 コンパレータモード設定レジスタ (COMPMDR)のフォーマット

アドレス : F0340H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPMDR	C1MON	0	0	C1ENB注	C0MON	0	0	C0ENB注
C1MON	コンパレータ1モニタフラグ							
0	CMP1P < コンパレータ1リファレンス電圧のとき							
1	CMP1P > コンパレータ1リファレンス電圧のとき							
C1ENB注	コンパレータ1動作許可							
0	コンパレータ1動作禁止							
1	コンパレータ1動作許可							
C0MON	コンパレータ0モニタフラグ							
0	CMP0P < コンパレータ0リファレンス電圧のとき							
1	CMP0P > コンパレータ0リファレンス電圧のとき							
C0ENB注	コンパレータ0動作許可							
0	コンパレータ0動作禁止							
1	コンパレータ0動作許可							

注 コンパレータ*i*の出力許可 (COMPOCRレジスタのCiOEビット=1)の時, CiENBビットを0にしないでください。

また、以下の場合は、1 (コンパレータ*i*動作許可)にすることは禁止です。

- 内蔵基準電圧*i*の動作停止 (CVRCTLレジスタのCVRE*i*ビット=0)のとき
- コンパレータ入力=PGA出力の選択でPGA動作禁止 (CVRCTLレジスタのCMPSELiビット=1でPGACTLレジスタのPGAENビット=0)のとき

備考 *i* = 0, 1

13.2.2 コンパレータフィルタ制御レジスタ (COMPFIR)

デジタルフィルタのサンプリングクロックとコンパレータ出力のエッジ検出を選択するレジスタです。
1ビットまたは8ビット単位でリード/ライト可能です。

リセット信号の発生により、00Hになります。

図13-3 コンパレータフィルタ制御レジスタ (COMPFIR)のフォーマット

アドレス : F0341H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0	
COMPFIR	C1EDG	C1EPO	C1FCK		C0EDG	C0EPO	C0FCK		
C1EDG	コンパレータ1エッジ検出選択 ^{注1}								
0	コンパレータ1片エッジ検出での割り込み要求								
1	コンパレータ1両エッジ検出での割り込み要求								
C1EPO	コンパレータ1エッジ極性切り替え ^{注1}								
0	コンパレータ1立ち上がりエッジで割り込み要求								
1	コンパレータ1立ち下がりエッジで割り込み要求								
C1FCK		コンパレータ1フィルタ選択 ^{注1}							
ビット5	ビット4								
0	0	コンパレータ1フィルタなし							
0	1	コンパレータ1フィルタあり, fCLKでサンプリング							
1	0	コンパレータ1フィルタあり, fCLK/8でサンプリング							
1	1	コンパレータ1フィルタあり, fCLK/32でサンプリング							
C0EDG	コンパレータ0エッジ検出選択 ^{注2}								
0	コンパレータ0片エッジ検出での割り込み要求								
1	コンパレータ0両エッジ検出での割り込み要求								
C0EPO	コンパレータ0エッジ検出選択 ^{注2}								
0	コンパレータ0立ち上がりエッジで割り込み要求								
1	コンパレータ0立ち下がりエッジで割り込み要求								
C0FCK		コンパレータ0フィルタ選択 ^{注2}							
ビット1	ビット0								
0	0	コンパレータ0フィルタなし							
0	1	コンパレータ0フィルタあり, fCLKでサンプリング							
1	0	コンパレータ0フィルタあり, fCLK/8でサンプリング							
1	1	コンパレータ0フィルタあり, fCLK/32でサンプリング							

(注は次ページにあります。)

- 注1. C1FCK1ビット, C1FCK0ビット, C1EPOビット, C1EDGビットを変更するとコンパレータ1割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR17レジスタを0(コンパレータ1出力をリンクさせない)にしてから変更してください。また、割り込み要求フラグ・レジスタ2H(IF2H)のビット0(CMPIF1)をクリア(0)してください。
- また、C1FCK1 - C1FCK0ビットを00B(コンパレータ1フィルタなし)から00B以外(コンパレータ1フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ1割り込み要求やELCへのイベント信号を使用してください。
- 注2. C0FCK1ビット, C0FCK0ビット, C0EPOビット, C0EDGビットを変更するとコンパレータ0割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR16レジスタを0(コンパレータ0出力をリンクさせない)にしてから変更してください。また、割り込み要求フラグ・レジスタ2L(IF2L)のビット7(CMPIF0)をクリア(0)してください。
- また、C0FCK1 - C0FCK0ビットを00B(コンパレータ0フィルタなし)から00B以外(コンパレータ0フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ0割り込み要求やELCへのイベント信号を使用してください。

13.2.3 コンパレータ出力制御レジスタ (COMPOCR)

コンパレータ出力の極性、出力許可/禁止、および割り込み出力の許可/禁止を制御するレジスタです。

1ビットまたは8ビット単位でリード/ライト可能です。

リセット信号の発生により、00Hになります。

図13-4 コンパレータ出力制御レジスタ (COMPOCR) のフォーマット

アドレス : F0342H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	0	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
C1OP	コンパレータ1出力極性選択 ^{注1}							
0	コンパレータ1出力は正転出力							
1	コンパレータ1出力は反転出力							
C1OE	コンパレータ1出力許可 ^{注1,2}							
0	コンパレータ1の出力停止(CMP1HZO出力L固定)							
1	コンパレータ1の出力許可(CMP1HZO出力許可)							
C1IE	コンパレータ1割り込み要求許可 ^{注3}							
0	コンパレータ1割り込み要求禁止							
1	コンパレータ1割り込み要求許可							
C0OP	コンパレータ0出力極性選択 ^{注1}							
0	コンパレータ0出力は正転出力							
1	コンパレータ0出力は反転出力							
C0OE	コンパレータ0出力許可 ^{注1,4}							
0	コンパレータ0の出力停止(CMP0HZO出力L固定)							
1	コンパレータ0の出力許可(CMP0HZO出力許可)							
C0IE	コンパレータ0割り込み要求許可 ^{注5}							
0	コンパレータ0割り込み要求禁止							
1	コンパレータ0割り込み要求許可							

(注、注意、備考は次ページにあります。)

- 注1. CiOE ビット, CiOP ビットは, コンパレータ*i*の結果をPWM・オプション・ユニットに入力して, PWM出力を強制遮断できるように制御します。ポートへの出力を制御するビットではありません。
- 注2. C1OE ビットを変更するとコンパレータ 1 割り込み要求および ELC へのイベント信号を発生することがあります。このビットは, ELCのELSELR17レジスタを0(コンパレータ1出力をリンクさせない)にしてから変更してください。
- また, 割り込み要求フラグ・レジスタ 2H (IF2H) のビット0 (CMPIF1)をクリア(0)してください
- 注3. C1IE を0(コンパレータ1割り込み要求禁止)から1(コンパレータ1割り込み要求許可)にした場合, 割り込み制御レジスタのフラグビットCMPIF1が1(割り込み要求あり)になることがありますので, 割り込み要求フラグ・レジスタ 2H (IF2H)のビット0 (CMPIF1)をクリア(0)してから割り込みを使用してください。
- 注4. C0OE ビットを変更するとコンパレータ 0 割り込み要求および ELC へのイベント信号を発生することがあります。このビットは, ELCのELSELR16レジスタを0(コンパレータ0出力をリンクさせない)にしてから変更してください。
- また, 割り込み要求フラグ・レジスタ 2L (IF2L)のビット7 (CMPIF0)をクリア(0)してください。
- 注5. C0IE を0(コンパレータ0割り込み要求禁止)から1(コンパレータ0割り込み要求許可)にした場合, 割り込み制御レジスタのフラグビットCMPIF0が1(割り込み要求あり)になることがありますので, 割り込み要求フラグ・レジスタ 2L (IF2L)のビット7 (CMPIF0)をクリア(0)してから割り込みを使用してください。
- 注意 CiOE ビットは, 以下の場合1(コンパレータ*i*の出力許可)にすることは禁止です。
- コンパレータ*i*動作禁止 (COMPMDRレジスタのCiENBビット=0)のとき
 - 内蔵基準電圧*i*の動作停止 (CVRCTLレジスタのCVRE*i*ビット=0)のとき
 - コンパレータ入力=PGA出力の選択でPGA動作禁止 (CVRCTLレジスタのCMPSEL*i*ビット=1でPGACTLレジスタのPGAENビット=0)のとき
- 備考 $i = 0, 1$

13.2.4 コンパレータ内蔵基準電圧制御レジスタ (CVRCTL)

コンパレータの入力信号および内蔵基準電圧の動作許可/停止を設定するレジスタです。

1ビットまたは8ビット単位でリード/ライト可能です。

リセット信号の発生により、00Hになります。

図 13 - 5 (CVRCTL)のフォーマット

アドレス : F0343H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CVRCTL	0	CMPSEL1注1	CVRE1	CVRVS1注2	0	CMPSEL0注1	CVRE0	CVRVS0注2
CMPSEL1注1	機能							
0	コンパレータ1の+側入力にCMP1P端子を選択							
1	コンパレータ1の+側入力にPGA出力を選択							
CVRE1	機能							
0	内蔵基準電圧1の動作停止							
1	内蔵基準電圧1の動作許可							
CVRVS1注2	機能							
0	内蔵基準電圧のGNDおよびPGAフィードバック抵抗のGND選択をV _{SS} とする							
1	内蔵基準電圧のGNDおよびPGAフィードバック抵抗のGND選択をAV _{REFM} とする							
CMPSEL0注1	機能							
0	コンパレータ0の+側入力にCMP0PI端子を選択							
1	コンパレータ0の+側入力にPGA出力を選択							
CVRE0	機能							
0	内蔵基準電圧0の動作停止							
1	内蔵基準電圧0の動作許可							
CVRVS0注2	機能							
0	内部基準電圧の電圧選択をV _{DD} とする							
1	内蔵基準電圧の電源選択をAV _{REFP} とする							

注1. CMPSEL_iビットは、コンパレータ_i動作禁止(CiENB = 0)中に書き換えてください。

注2. CVRVS_iビットは、内蔵基準電圧_iの動作停止(CVRE_i = 0)中に書き換えてください。

備考 i = 0, 1

13.2.5 コンパレータ内蔵基準電圧選択レジスタ i (CiRVM)

コンパレータの内蔵基準電圧を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセット信号の発生により、00Hになります。

図13-6 コンパレータ内蔵基準電圧選択レジスタ i (CiRVM)のフォーマット

アドレス : F0344H (C0RVM), F0345H (C1RVM) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CiRVM	CiVRS7	CiVRS6	CiVRS5	CiVRS4	CiVRS3	CiVRS2	CiVRS1	CiVRS0
CiVRS7 - CiVRS0注	コンパレータ i 内蔵基準電圧選択							
00000000	$\{(AVREFP \text{ または } VDD)/256\} \times 0$							
00000001	$\{(AVREFP \text{ または } VDD)/256\} \times 1$							
00000010	$\{(AVREFP \text{ または } VDD)/256\} \times 2$							
⋮	⋮							
11111101	$\{(AVREFP \text{ または } VDD)/256\} \times 253$							
11111110	$\{(AVREFP \text{ または } VDD)/256\} \times 254$							
11111111	$\{(AVREFP \text{ または } VDD)/256\} \times 255$							

注 CiRVM レジスタは、内蔵基準電圧 i の動作停止 (CVREi = 0) 中に書き換えてください。

備考 i = 0, 1

13.2.6 PGA制御レジスタ (PGACTL)

PGAの動作許可/停止と増幅率を設定するレジスタです。

1ビットまたは8ビット単位でリード/ライト可能です。

リセット信号の発生により、00Hになります。

本レジスタのPGAENを除くビットは、PGA動作停止(PGAEN = 0)中に書き換える必要があります。

図13-7 PGA制御レジスタ (PGACTL)のフォーマット

アドレス : F0346H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PGACTL	PGAEN	0	0	0	0	0	PGAVG1 ^注	PGAVG0 ^注
	PGAEN	機能						
	0	PGA動作停止						
	1	PGA動作許可						
	PGAVG1 ^注	PGAVG0 ^注	機能					
	0	0	GAIN選択4倍					
	0	1	GAIN選択8倍					
	1	0	GAIN選択16倍					
	1	1	GAIN選択32倍					

注 PGAVG1およびPGAVG0ビットは、PGA動作停止(PGAEN = 0)中に書き換えてください。

13.2.7 6相PWMオプション・モード・レジスタ(OPMR)

OPMRは、PWM・オプション・ユニットの動作モードを設定するレジスタです。

コンパレータを使用しHi-Z制御可能なタイマRDの6相PWM出力は、TRDIOB0, TRDIOD0, TRDIOA1, TRDIOC1, TRDIOB1, TRDIOD1です。同時にHi-Zになる条件と解除条件を制御する動作モードを設定します。

OPMRは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-8 6相PWMオプション・モード・レジスタ(OPMR)のフォーマット

アドレス : F026CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OPMR	0	0	0	0	0	0	HDM	0
HDM	PWMオプション・動作モード							
0	2段階過電流検出モード							
1	過電流/起電流検出モード							

13.2.8 6相PWMオプション・ステータス・レジスタ (OPSR)

OPSRは、PWM・オプション・ユニットの各種ステータスを表示するレジスタです。

OPSRは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図13-9 6相PWMオプション・ステータス・レジスタ (OPSR)のフォーマット

アドレス : F026DH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OPSR	0	0	0	0	0	HZOF	HZIF1	HZIF0

HZOF	Hi-Z制御信号の動作状態
0	通常タイマ出力
1	Hi-Z出力状態

HZIF1	内蔵コンパレータ1出力信号の状態
0	内蔵コンパレータ1出力信号がロウ・レベル
1	内蔵コンパレータ1出力信号がハイ・レベル

HZIF0	内蔵コンパレータ0出力信号の状態
0	内蔵コンパレータ0出力信号がロウ・レベル
1	内蔵コンパレータ0出力信号がハイ・レベル

13.2.9 6相PWMオプション・Hi-Zスタート・トリガ・レジスタ(OPHS)

OPHSは、Hi-Z制御回路のソフトウェア・トリガを設定するレジスタです。タイマRDの6相PWM出力端子をHi-Z出力開始する場合に1を設定します。OPHS0はトリガ・ビットのため、端子がHi-Z出力状態(HZOF = 1)になるとすぐにOPHS0はクリアされます。

OPHSは、8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により、00Hになります。

図13 - 10 6相PWMオプション・Hi-Zスタート・トリガ・レジスタ(OPHS)のフォーマット

アドレス : F026EH リセット時 : 00H W

略号	7	6	5	4	3	2	1	0
OPHS	0	0	0	0	0	0	0	OPHS0
OPHS0	内蔵コンパレータ出力のHi-Z制御信号							
0	無効							
1	Hi-Z制御信号がハイ・レベル(端子がHi-Z出力)							

備考 OPHSレジスタの読み出し値は常に00Hとなります。

13.2.10 6相PWMオプション・Hi-Zストップ・トリガ・レジスタ(OPHT)

OPHTは、Hi-Z制御回路のソフトウェア・トリガを設定するレジスタです。タイマRDの6相PWM出力端子をHi-Z解除する場合に1を設定します。OPHT0はトリガ・ビットのため、Hi-Z解除要求信号を出した時点でクリアされます。

OPHTは、8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により、00Hになります。

図13 - 11 6相PWMオプション・Hi-Zストップ・トリガ・レジスタ(OPHT)のフォーマット

アドレス : F026FH リセット時 : 00H W

略号	7	6	5	4	3	2	1	0
OPHT	0	0	0	0	0	0	0	OPHT0

OPHT0	HDM	HZIF1	HZIF0	内蔵コンパレータ出力のHi-Z解除制御
0	—	—	—	無効
1	0	0	0	6相PWM出力がPWM周期に同期してHi-Zを解除
	上記以外			6相PWM出力のHi-Zを解除できない

備考1. OPHTレジスタの読み出し値は常に00Hとなります。

備考2. HDM: 6相PWMオプション・モード・レジスタ(OPMR)のビット1

HZIF0, HZIF1: 6相PWMオプション・ステータス・レジスタ(OPSR)のビット0, 1

13.2.11 周辺イネーブル・レジスタ 1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。

使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PWM・オプション・ユニット、コンパレータおよびプログラマブル・ゲイン・アンプを使用する場合は、必ずビット6 (PWMOPEN)、ビット5 (OACMPEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 13 - 12 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	PWMOPEN	OACMPEN	TRD0EN	0	0	0	TRJ0EN

PWMOPEN	PWM・オプション・ユニットの入カクロック供給の制御
0	入カクロック供給停止 ・PWM・オプション・ユニットで使用するSFRへのライト不可 ・PWM・オプション・ユニットはリセット状態
1	入カクロック供給 ・PWM・オプション・ユニットで使用するSFRへのリード/ライト可

OACMPEN	コンパレータ0, 1およびプログラマブル・ゲイン・アンプの入カクロック供給の制御
0	入カクロック供給停止 ・コンパレータ0, 1およびプログラマブル・ゲイン・アンプで使用するSFRへのライト不可 ・コンパレータ0, 1およびプログラマブル・ゲイン・アンプはリセット状態
1	入カクロック供給 ・コンパレータ0, 1およびプログラマブル・ゲイン・アンプで使用するSFRへのリード/ライト可

注意1. PWM・オプション・ユニットの設定をする際には、必ず最初にPWMOPEN = 1の設定を行ってください。

PWMOPEN = 0の場合は、PWM・オプション・ユニットの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

注意2. コンパレータ0, 1およびプログラマブル・ゲイン・アンプの設定をする際には、必ず最初にOACMPEN = 1の設定を行ってください。

OACMPEN = 0の場合は、コンパレータ0, 1およびプログラマブル・ゲイン・アンプの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

注意3. ビット1-3には必ず0を設定してください。

13.2.12 アナログ入力端子のポート機能を制御するレジスタ

CMP0P 端子, CMP1P 端子, PGAI 端子をコンパレータ／プログラマブル・ゲイン・アンプの入力として使用するときは, 各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロール・レジスタ (PMCxx) のビットに1 を設定してください。

13.3 動作説明

コンパレータ0とコンパレータ1はそれぞれ独立して動作できます。設定方法と動作は同じです。表13-3にコンパレータ関連レジスタの設定手順を示します。

表13-3 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	PER1	COMPEN	1 (入力クロック供給)
2	PMC0, PMC12	PMC00, PMC01, PMC120	CMP0P, CMP1P, PGAI端子の機能選択 PMC00, PMC01, PMC120ビットに1 (アナログ入力)
	PM0, PM12	PM00, PM01, PM120	PM00, PM01, PM120ビットに1 (入力モード)
3	PGACTL	PGAVG0, PGCVG1	GAIN 選択注3
4	PGACTL	PGAEN	1 (PGA動作許可)注3
5	PGA安定時間(最小10 μs)待ち		
6	CVRCTL	CMPSELi	コンパレータi+側入力選択注3
7	CiRVM	CiVRSn	内蔵基準電圧の値を設定
8	CVRCTL	CVRVSi	内蔵基準電圧の電源とGND選択
9	CVRCTL	CVREi	1 (内蔵基準電圧iの動作許可)
10	基準電圧安定時間(最小20 μs)待ち		
11	CMPiP (入力), PGAI (入力)注3の機能選択。		
12	COMPMDR	CiENB	1 (コンパレータi動作許可)
13	コンパレータ安定時間(最小3 μs)待ち		
14	COMPFIR	CiFCK	デジタルフィルタ使用する/しない, サンプリングクロック選択
		CiEPO, CiEDG	割り込み要求のためのエッジ検出条件選択(立ち上がり/立ち下がり/両エッジ)
15	COMPOCR	CiOP, CiOE	コンパレータi出力の設定(極性選択, 出力許可)
		CiIE	割り込み要求出力の許可/禁止を設定
16	PRI2L, PRI2H注1	CMPPROi, CMPPR1i	割り込みを使用する場合: 割り込み優先レベル選択
17	MK2L, MK2H注1	CMPMKi	割り込みを使用する場合: 割り込みマスク選択
18	IF2L, IF2H注1	CMPIFi	割り込みを使用する場合: 0 (割り込み要求なし)注2

注1. PRI2L, MK2L, およびIF2Lはコンパレータ0, PRI2H, MK2H, およびIF2Hはコンパレータ1の割り込み制御レジスタです。

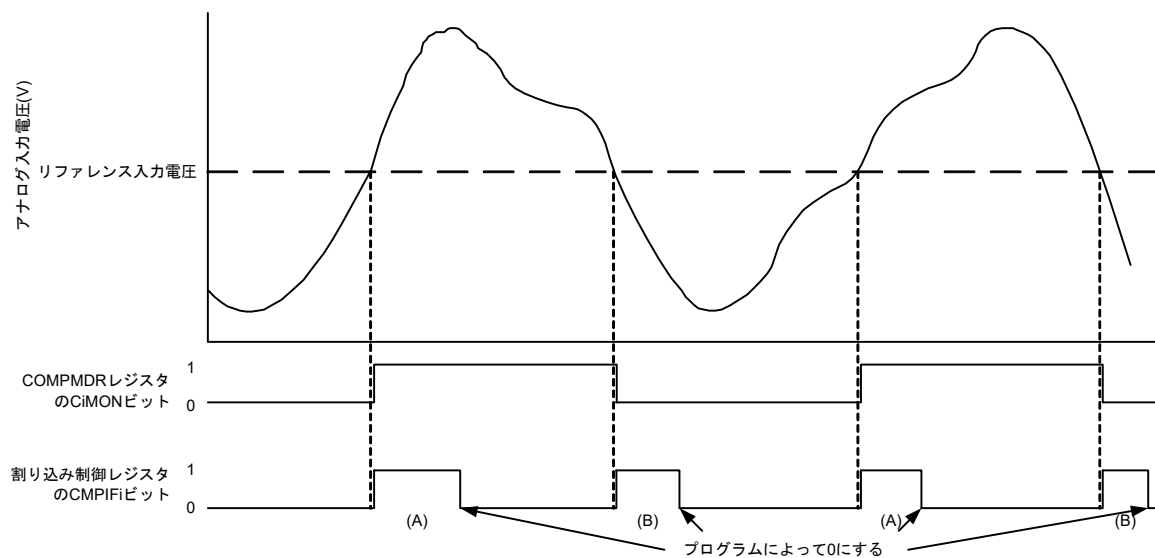
注2. コンパレータの設定後, 安定動作するまでに不要な割り込みが発生することがありますので, 割り込みフラグを初期化してください。

注3. PGAを使用する場合, 設定してください。

図13-13にコンパレータi (i = 0, 1)の動作例を示します。リファレンス入力よりアナログ入力の電圧が高い場合にCOMPMDRレジスタのCiMONビットが1になり, リファレンス入力よりアナログ入力の電圧が低い場合にCiMONビットが0になります。

コンパレータi割り込みを使用する場合は, COMPOCRレジスタのCiIEビットを1 (コンパレータi割り込み要求許可)にしてください。このとき, 比較結果が変化すればコンパレータi割り込み要求が発生します。割り込み要求の詳細については「13.3.2 コンパレータi割り込み(i = 0, 1)」を参照してください。

備考 i = 0, 1 n = 0 ~ 7

図13-13 コンパレータ*i* (*i* = 0, 1)の動作例

注意 上図は, COMPFIRレジスタのCiFCK = 00B (コンパレータ*i*フィルタなし), CiEDG = 1B (コンパレータ*i*両エッジ検出での割り込み要求)の場合です(CiEDG = 0 (コンパレータ*i*片エッジ検出での割り込み要求), CiEPO = 0 (コンパレータ*i*立ち上がりエッジで割り込み要求)のときのCMPIFIは(A)の変化のみ, CiEDG = 0 (コンパレータ*i*片エッジ検出での割り込み要求), CiEPO = 1 (コンパレータ*i*立ち下がりエッジで割り込み要求)のときのCMPIFIは(B)の変化のみとなります)。

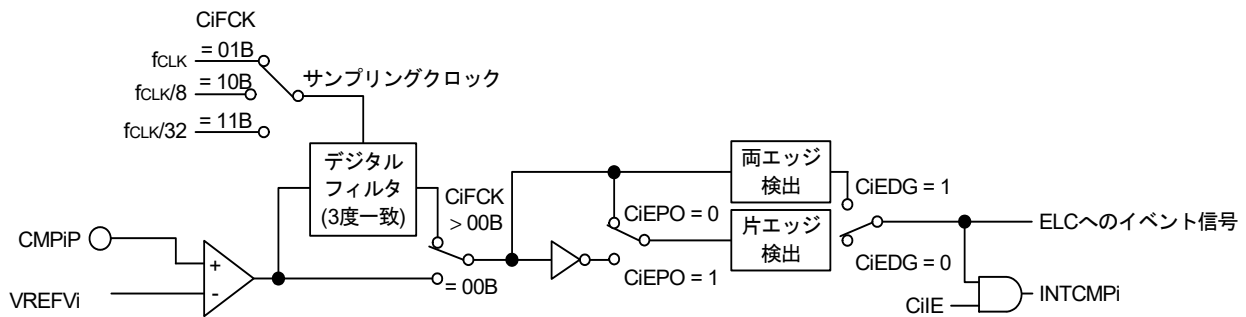
備考 *i* = 0, 1

13.3.1 コンパレータ*i*デジタルフィルタ (*i* = 0, 1)

コンパレータ*i*は、デジタルフィルタを内蔵しています。サンプリングクロックはCOMPFIRレジスタのCiFCKビットで選択できます。サンプリングクロックごとにコンパレータ*i*の出力信号をサンプリングし、レベルが3度一致した次のサンプリングクロックで、デジタルフィルタ出力がその値になります。

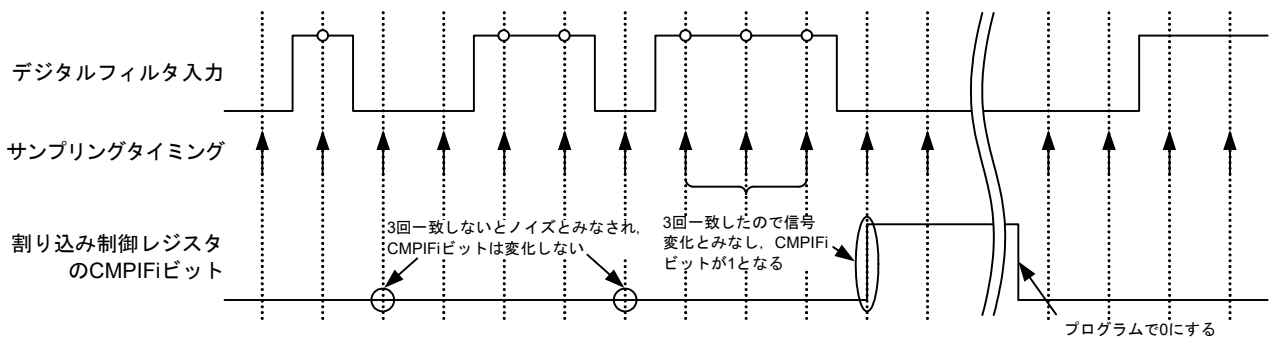
図13-14にコンパレータ*i*デジタルフィルタとエッジ検出の構成を、図13-15にコンパレータ*i*デジタルフィルタと割り込み動作例を示します。

図13-14 コンパレータ*i*デジタルフィルタとエッジ検出の構成



備考 CiFCK, CiEPO, CiEDG: COMPFIRレジスタのビット
CiE: COMPOCRレジスタのビット

図13-15 コンパレータ*i*デジタルフィルタと割り込み動作例



注意 上図は、COMPFIRレジスタのCiFCKビット(*i* = 0, 1)が、01B, 10B, 11Bのいずれか(デジタルフィルタあり)の場合の動作例です。

13.3.2 コンパレータ*i*割り込み

コンパレータはコンパレータ0、およびコンパレータ1の2つの割り込み要求を発生します。コンパレータ*i*割り込みは、それぞれ1つずつの優先順位指定フラグ、割り込みマスクフラグ、割り込み要求フラグ、割り込みベクタを持ちます。

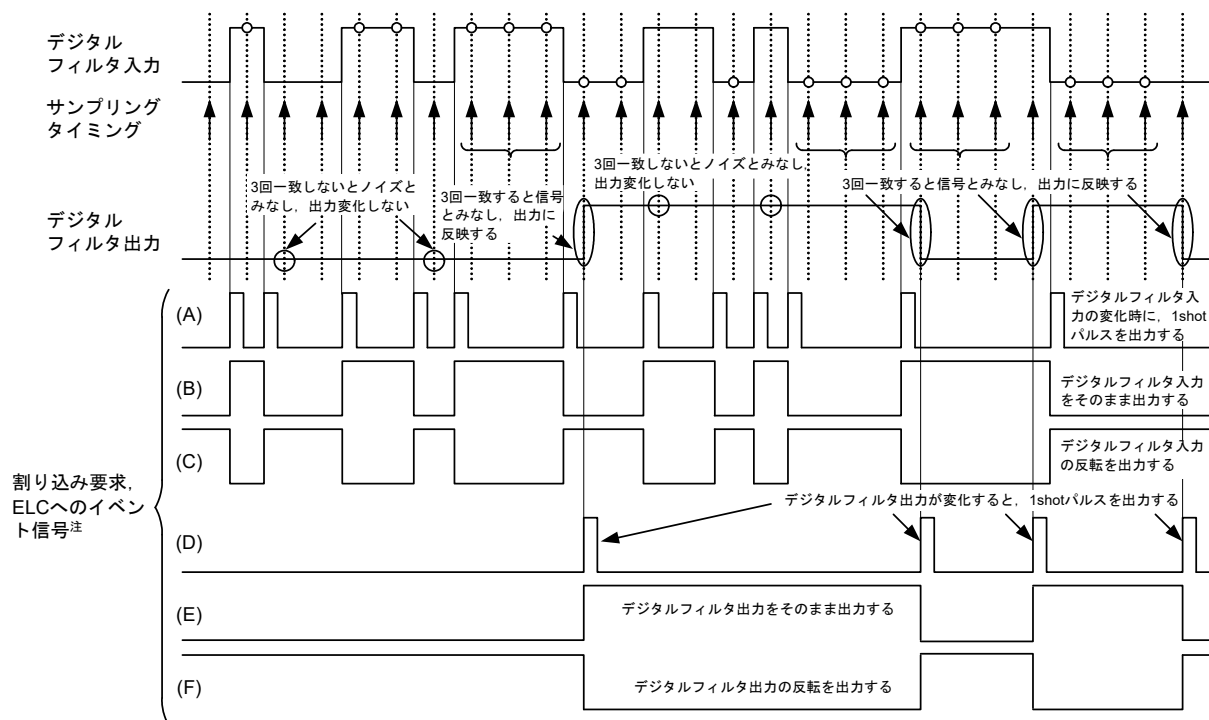
コンパレータ*i*割り込みを使用するときは、COMPOCRレジスタのCiIEビットを1(コンパレータ*i*割り込み要求許可)にしてください。割り込み要求を発生する条件は、COMPFIRレジスタにより設定します。また、コンパレータ出力にはデジタルフィルタを付けることが可能です。デジタルフィルタは、3種類のサンプリングクロックを選択可能です。

レジスタ設定と割り込み要求発生に対応については、「13.2.2 コンパレータフィルタ制御レジスタ (COMPFIR)」および「13.2.3 コンパレータ出力制御レジスタ (COMPOCR)」を参照してください。

13.3.3 イベント・リンク・コントローラ(ELC)へのイベント信号出力

ELCへのイベント信号は、割り込み要求の発生条件と同じくCOMPFIRレジスタで設定したデジタルフィルタ出力のエッジ検出により発生します。ただし、割り込み要求と異なり、COMPOCRレジスタのCiIEビットに関係なく常に出力されます。イベント出力先の選択やイベントリンクの停止は、ELCのELSELR17レジスタ、ELSELR18レジスタで設定してください。

図13-16 デジタルフィルタと割り込み要求・ELCへのイベント信号出力動作



注 CiIEビット($i = 0, 1$)が1の場合は、割り込み要求とELCへのイベント信号は同じ波形になります。

CiIEビット($i = 0, 1$)が0の場合は、割り込み要求のみ0固定になります。

(A), (B), (C)の波形はCOMPFIRレジスタのCiFCKビット($i = 0, 1$)が“00B”(デジタルフィルタなし)の場合、(D), (E), (F)の波形はCOMPFIRレジスタのCiFCKビット($i = 0, 1$)が“01B”, “10B”, “11B”のいずれか(デジタルフィルタあり)の場合の動作例です。(A), (D)はCiEDGビットを“1”(両エッジ)に設定した場合、(B), (E)はCiEDGビット = 0, CiEPOビット = 0(立ち上がりエッジ)の場合、(C), (F)はCiEDGビット = 0, CiEPOビット = 1(立ち下がりエッジ)の場合です。

13.3.4 コンパレータクロック停止/供給

周辺イネーブル・レジスタ1 (PER1)の設定により、コンパレータのクロックを停止する場合は、以下の手順に従ってください。

- ① COMPOCRレジスタのCiOEビットを0にする(コンパレータ*i*の出力停止)。
- ② IF2L, IF2HレジスタのCMPiFiビットを0にする(コンパレータ停止前の不要な割り込みをクリア)。
- ③ PER1レジスタのOACMPENビットを0にする。

PER1の設定によりクロック停止するとコンパレータ内部のレジスタはすべて初期化されますので、コンパレータを再度使用する場合は、表13-3の手順に従ってレジスタ設定してください。

備考 $i = 0, 1$

13.3.5 コンパレータ出力によるタイマRD出力の強制遮断

コンパレータ出力により、PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、パルス出力を遮断できます。8.4.4 パルス出力強制遮断を参照してください。

備考 $ij = B0, D0, A1, B1, C1, D1$

13.4 PWM・オプション・ユニット

過電流検出機能には、次の2種類があります。

(1) 2段階過電流検出機能

- コンパレータ0の基準電圧<入力信号電圧<コンパレータ1の基準電圧時
- コンパレータ1の基準電圧<入力信号電圧時

(2) 過電流/起電流検出機能

- 入力信号電圧(起電流)<コンパレータ0の基準電圧時
- コンパレータ1の基準電圧<入力信号電圧(過電流)時

13.4.1 2段階過電流検出機能

コンパレータ0の基準電圧<入力信号電圧となったときに6相PWM出力の端子をHi-Z状態にします。

タイマ出力の再開方法は以下の2通りです。

- ① コンパレータ0の基準電圧<入力信号電圧<コンパレータ1の基準電圧で6相PWM出力の端子がHi-Zになった後、入力信号電圧<コンパレータ0の基準電圧となったときは、タイマの周期に同期して自動的にタイマ出力を再開します。
- ② コンパレータ1の基準電圧<入力信号電圧になってから入力信号電圧がコンパレータ0の基準電圧より低くなったときは、レジスタを設定することにより次のタイマ周期に同期してタイマ出力を再開します。

13.4.2 過電流/起電流検出機能

入力信号電圧(起電流)<コンパレータ0の基準電圧またはコンパレータ1の基準電圧<入力信号電圧(過電流)となった時に6相PWM出力の端子をHi-Z状態にします。

入力信号電圧がコンパレータ0の基準電圧<入力信号電圧<コンパレータ1の基準電圧になると、タイマの周期に同期して自動的にタイマ出力を再開します。

13.4.3 過電流検出機能動作例

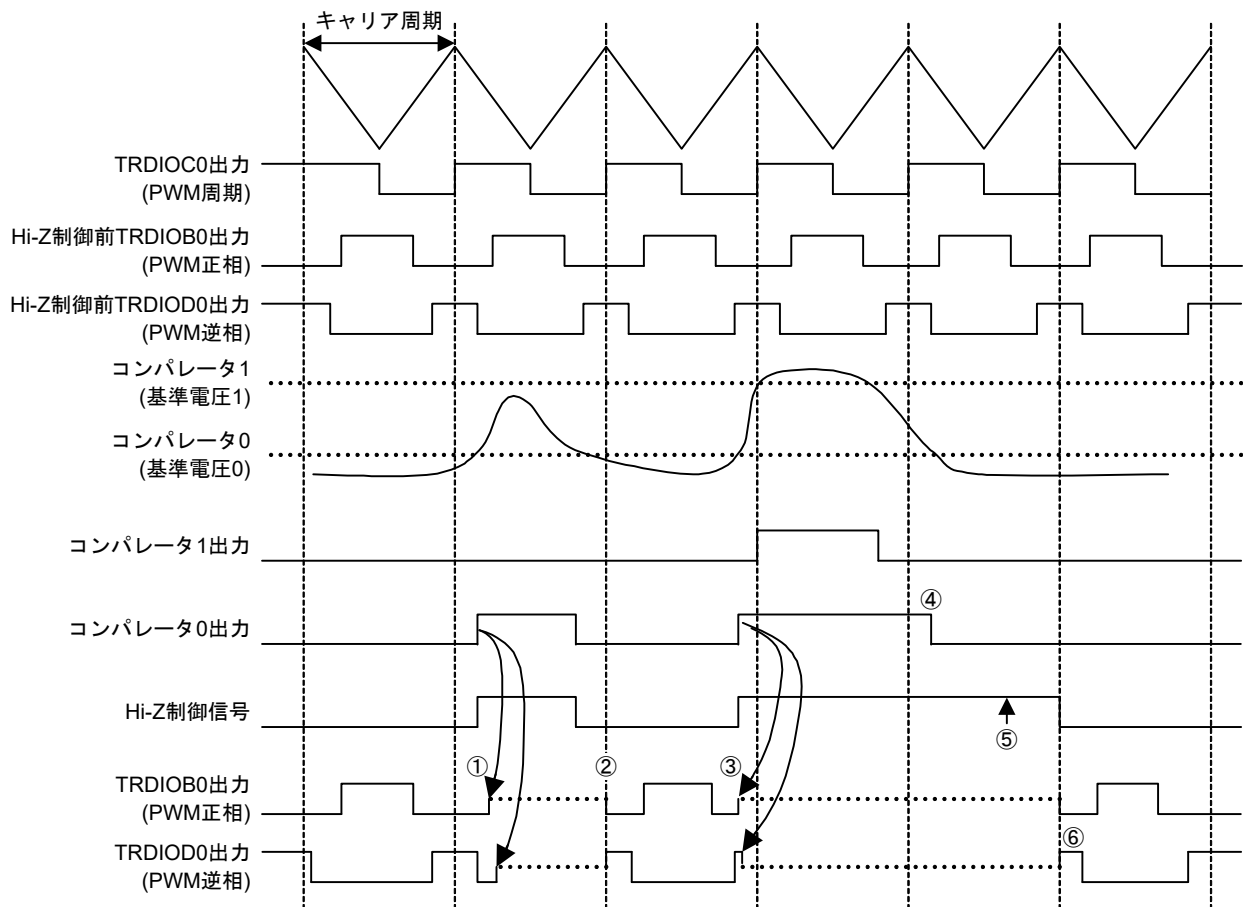
コンパレータ0の基準電圧<コンパレータ1の基準電圧に設定し、コンパレータ0,1の+側入力に、同一の信号を入力してポート端子のHi-Z制御を行います。

過電流検出機能は、OPMRレジスタで設定します。表13-4に各レジスタの設定と過電流検出機能動作の関係を示します。また、図13-17に2段階過電流検出機能の動作例(TRDIOB0, TRDIOD0の例)を、図13-18に過電流/起電流検出機能の動作例(TRDIOB0, TRDIOD0の例)を示します。

表13-4 各レジスタの設定と過電流検出機能動作の関係

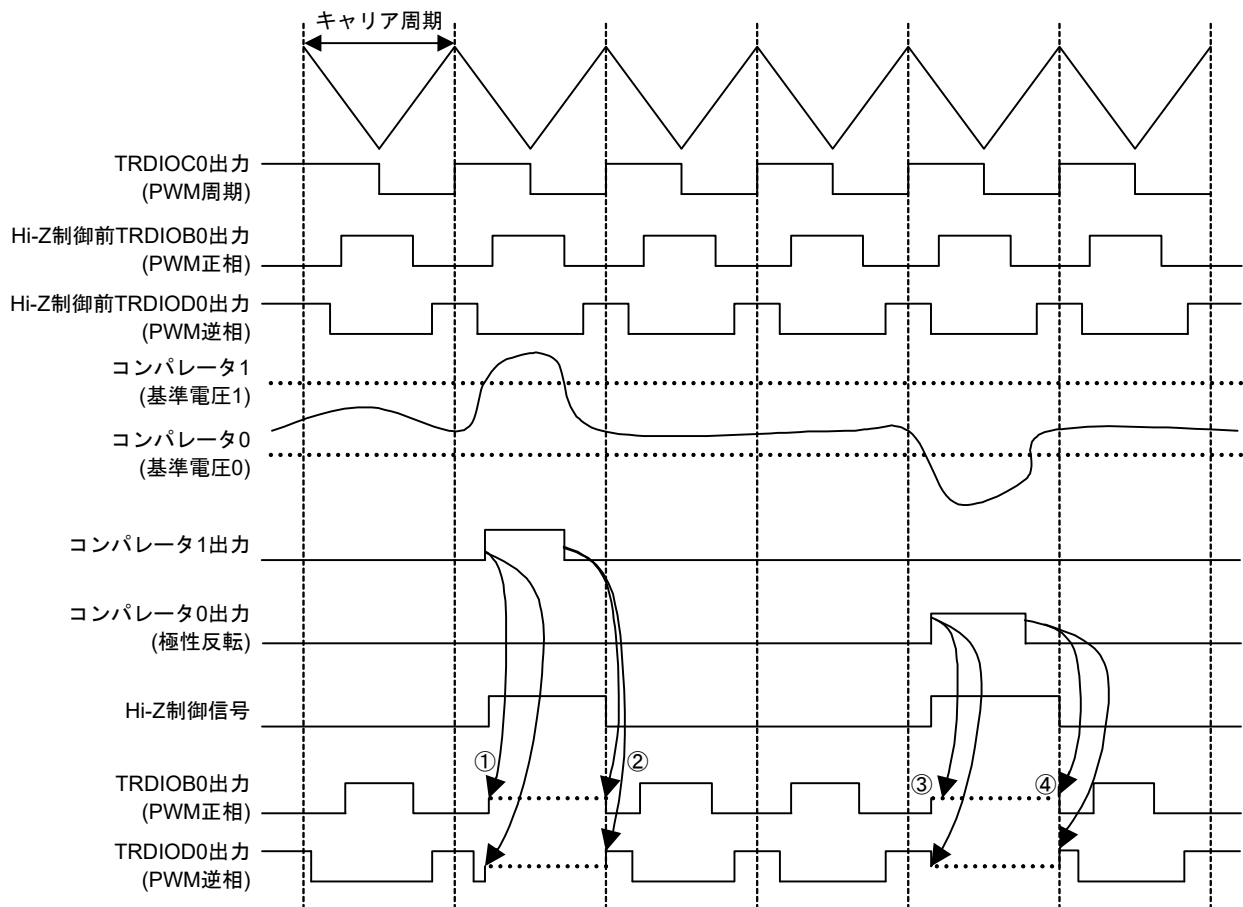
OPMRレジスタ	入力信号	ソフトウェア・	ソフトウェア・	Hi-Z出力端子	動作例
HDMビット		スタート・トリガ OPHS0	ストップ・トリガ OPHT0		
0	コンパレータ0出力信号,	有効	有効	6相PWM出力	図13-17
1	コンパレータ1出力信号		無効		図13-18

図13 - 17 2段階過電流検出機能の動作例 (TRDIOB0, TRDIOD0の例)



- ① コンパレータ0出力信号の立ち上がりエッジ検出でTRDIOB0, TRDIOD0端子出力がHi-Z状態になります。
- ② コンパレータ0出力信号の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTRDIOB0, TRDIOD0端子出力のHi-Z状態が解除されます。
- ③ コンパレータ1出力信号の立ち上がり、またはコンパレータ0出力信号の立ち上がりエッジ検出でTRDIOB0, TRDIOD0端子出力がHi-Z状態になります。
- ④ コンパレータ1出力信号の立ち下がり、またはコンパレータ0出力信号の立ち下がりエッジを検出してもTRDIOB0, TRDIOD0端子出力のHi-Z状態は解除されません。
- ⑤ コンパレータ0出力信号とコンパレータ1出力信号がともにインアクティブ・レベルになったあと、OPHT0ビットに1を書き込んでください。
- ⑥ キャリア周期に同期してTRDIOB0, TRDIOD0端子出力のHi-Z状態が解除されます。

図13 - 18 過電流/起電流検出機能の動作例(TRDIOB0, TRDIOD0の例)



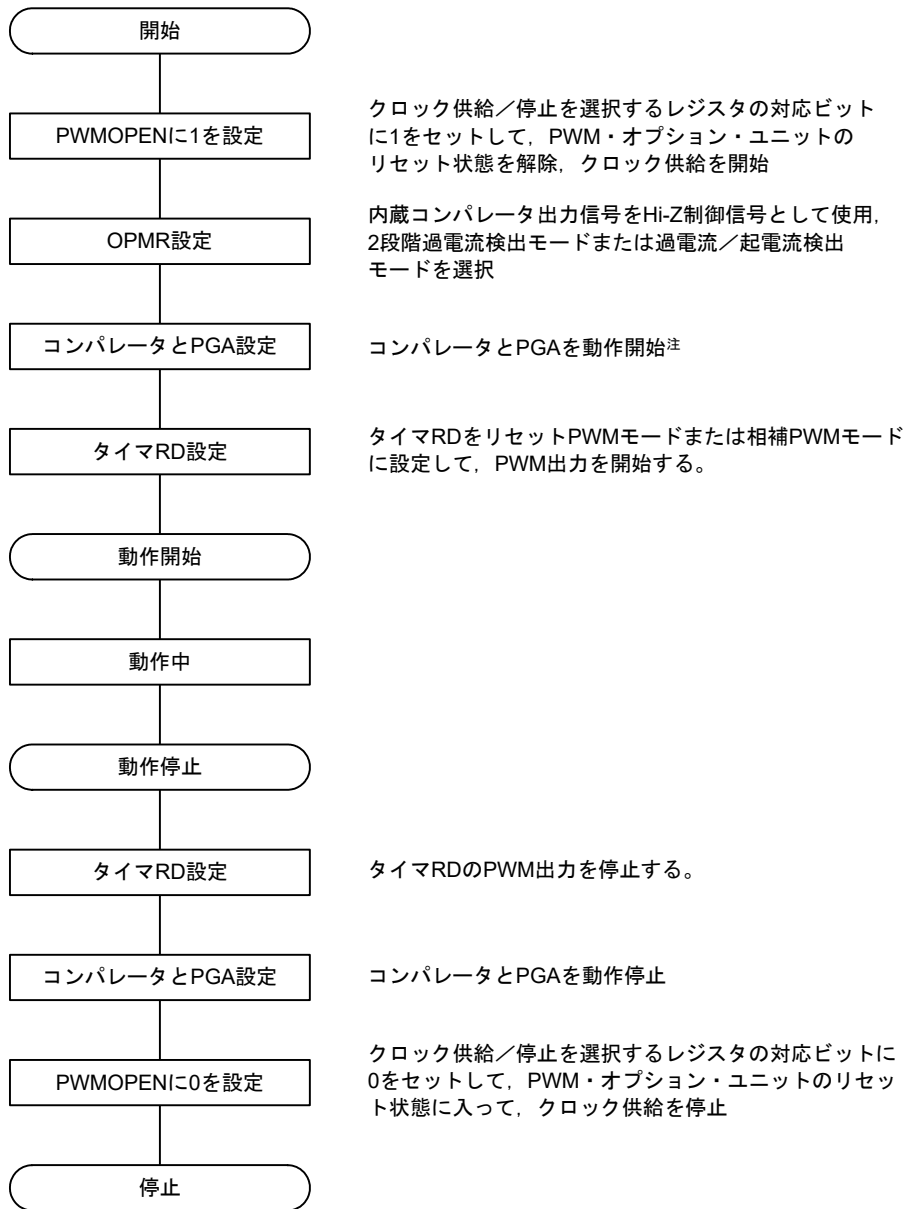
- ① コンパレータ1出力信号の立ち上がりエッジ検出でTRDIOB0, TRDIOD0端子出力がHi-Z状態になります。
- ② コンパレータ1出力信号の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTRDIOB0, TRDIOD0端子出力のHi-Z状態が解除されます。
- ③ コンパレータ0出力信号の立ち上がりエッジ検出でTRDIOB0, TRDIOD0端子出力がHi-Z状態になります。
- ④ コンパレータ0出力信号の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTRDIOB0, TRDIOD0端子出力のHi-Z状態が解除されます。

注意 コンパレータ0出力は基準電圧0を下回ったときにハイ・レベル出力、上回ったときにロウ・レベル出力となります。そのため、コンパレータ出力制御レジスタ(COMPOCR)のC0OPビットを1(コンパレータ0出力は反転出力)に設定してください。

13.4.4 設定手順

図13-19にコンパレータ出力によるタイマRD出力の強制遮断の設定手順を示します。

図13-19 コンパレータ出力によるタイマRD出力の強制遮断の設定手順



注 過電流/起電流検出モードの場合、コンパレータ出力制御レジスタ (COMPOCR) のC0OPビットを1 (コンパレータ0出力は反転出力) に設定してください。

備考 PWM・オプション・ユニットを再使用の場合は、もう一度最初から設定して行ってください。

13.4.5 PWM・オプション・ユニット使用上の注意

PWM・オプション・ユニットを使用する場合、INTP0でタイマRDの遮断機能を同時に使用しないでください。

第14章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに4つのシリアル・チャンネルを持ちます。各チャンネルはUARTに対応し、チャンネル0は簡易SPI（CSI注）、簡易I²Cの通信機能も実現できます。

RL78/G1Gで対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

○30, 32, 44ピン製品

ユニット	チャンネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00（スレーブセレクト 入力機能対応）	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	—		—

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やIIC00を使用することはできません。

注意 この章では、以降の主な説明を44ピン製品のユニット、チャンネル構成で説明しています。

14.1 シリアル・アレイ・ユニットの機能

RL78/G1Gで対応している各シリアル・インタフェースの特徴を示します。

14.1.1 簡易SPI (CSI00)

マスタから出力されるシリアル・クロック (SCK)に同期してデータの送信／受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、「14.5 簡易SPI (CSI00)通信の動作」を参照してください。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ／スレーブの選択
- 入出カクロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート^注 マスタ通信時 : Max. $f_{MCK}/2$

スレーブ通信時 : Max. $f_{MCK}/6$

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

以下のチャンネルの簡易SPI (CSI) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している、以下の簡易SPI (CSI) のみ設定可能です。

- CSI00

また、CSI00はスレーブ選択機能に対応しています。

注 SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は、第29章 電気的特性を参照してください。

14.1.2 UART (UART0, UART1)

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ボー・レートを使用して)データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- 7, 8, 9ビットのデータ長
- MSB/LSBファーストの選択
- 送受信データのレベル設定, 反転の選択
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、以下のチャンネルのUART受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは、オプション・バイト(000C2H)のFRQSEL4 = 0の時に、以下のUARTのみ設定可能です。

- UART0

14.1.3 簡易 I²C (IIC00)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「14.8 簡易 I²C (IIC00) 通信の動作」を参照してください。

[データ送受信]

- マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK 出力機能^注, ACK 検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- パリティ・エラー (ACKエラー), オーバーラン・エラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信, スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmnビット(シリアル出力許可レジスタ m (SOEm))ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、14.8.3 (2) 処理フローを参照してください。

備考 m : ユニット番号 (m = 0)

n : チャンネル番号 (n = 0)

14.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表 14 - 1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット注1
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn) の下位8ビットまたは9ビット注1, 2
シリアル・クロック 入出力	SCK00 端子 (簡易 SPI 用), SCL00 端子 (簡易 I ² C 用)
シリアル・データ 入力	SI00 端子 (簡易 SPI 用), RxD0, RxD1 端子
シリアル・データ 出力	SO00 端子 (簡易 SPI 用), TxD0, TxD1 端子出力制御回路
シリアル・データ 入出力	SDA00 端子 (簡易 I ² C 用)
スレーブ選択入力	SSI00 端子 (スレーブセレクト入力機能用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> • 周辺イネーブル・レジスタ 0 (PER0) • シリアル・クロック選択レジスタ m (SPSm) • シリアル・チャンネル許可ステータス・レジスタ m (SEm) • シリアル・チャンネル開始レジスタ m (SSm) • シリアル・チャンネル停止レジスタ m (STm) • シリアル出力許可レジスタ m (SOEm) • シリアル出力レジスタ m (SOm) • シリアル出力レベル・レジスタ m (SOLm) • シリアル・スタンバイ・コントロール・レジスタ m (SSCm) • 入力切り替え制御レジスタ (ISC) • ノイズ・フィルタ許可レジスタ 0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> • シリアル・データ・レジスタ mn (SDRmn) • シリアル・モード・レジスタ mn (SMRmn) • シリアル通信動作設定レジスタ mn (SCRmn) • シリアル・ステータス・レジスタ mn (SSRmn) • シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) <p>• シリアル入出力端子のポート機能を制御するレジスタ</p> <ul style="list-style-type: none"> • ポート出力モード・レジスタ 0, 3, 5 (POM0, POM3, POM5) • ポート・モード・レジスタ 0, 3, 5, 6 (PM0, PM3, PM5, PM6) • ポート・レジスタ 0, 3, 5, 6 (P0, P3, P5, P6)

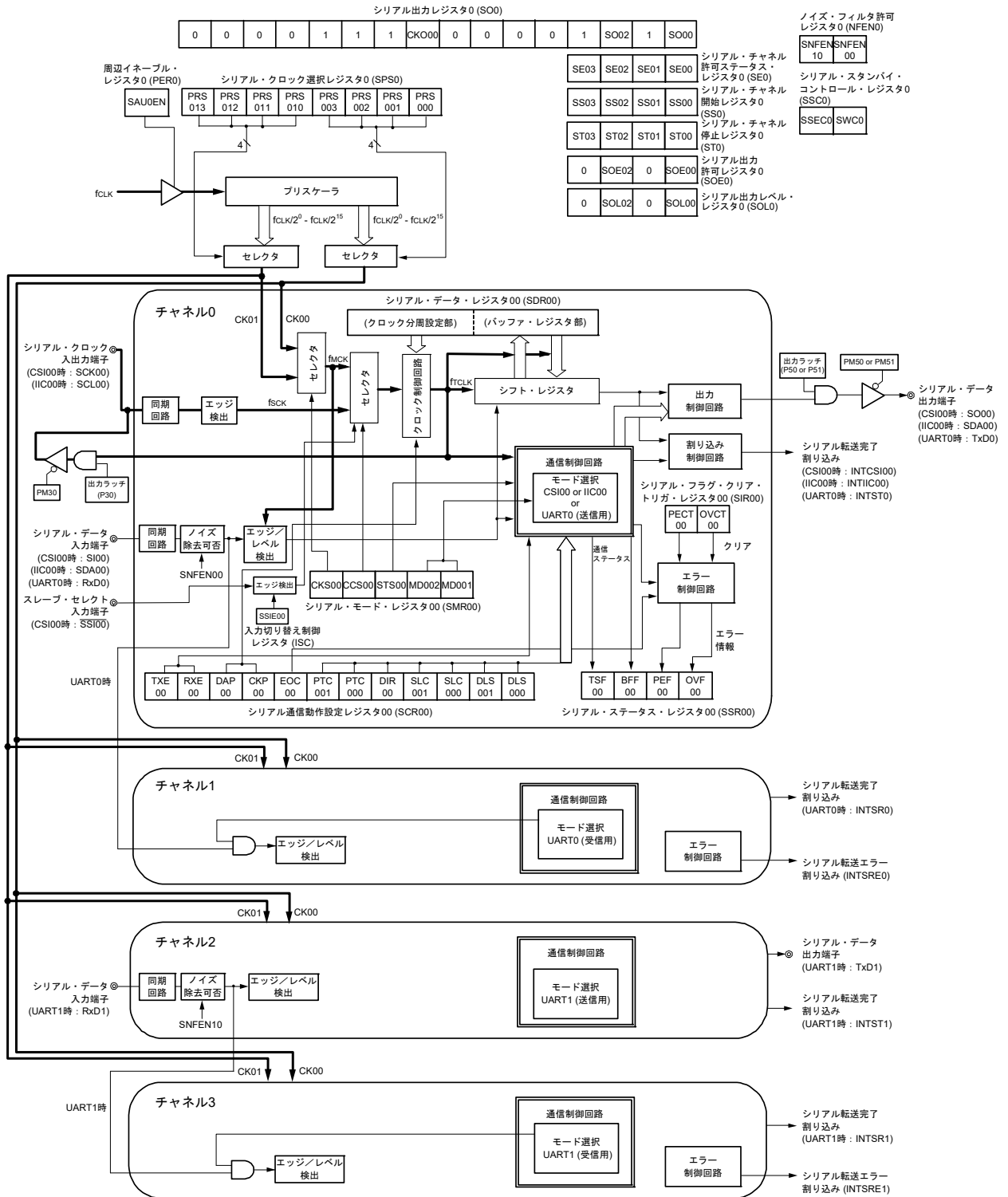
(注、備考は次ページにあります。)

- 注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。
- ・ 30-44ピン製品でmn = 00, 01の場合：下位9ビット
 - ・ 上記以外の場合：下位8ビット
- 注2. シリアル・データ・レジスタ mn (SDRmn)の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。
- ・ CSIp通信時 SIOp (CSIpデータ・レジスタ)
 - ・ UARTq受信時 RXDq (UARTq受信データ・レジスタ)
 - ・ UARTq送信時 TXDq (UARTq送信データ・レジスタ)
 - ・ IICr通信時 SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00)
q : UART番号 (q = 0, 1) r : IIC番号 (r = 00)

図14-1にシリアル・アレイ・ユニット0のブロック図を示します。

図14-1 シリアル・アレイ・ユニット0のブロック図



14.2.1 シフト・レジスタ

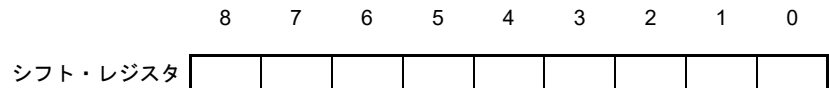
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット(ビット0~8)を使用します^{注1}。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します^{注1}。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビットを使用します。



14.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

ビット8-0(下位9ビット)^{注1}、またはビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック(fmck)の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタ mn (SCRmn) のビット0, 1 (DLSmn0, DLSmn1) の設定によって、次のようになります。

- 7ビット・データ長(SDRmnレジスタのビット0-6に格納)
- 8ビット・データ長(SDRmnレジスタのビット0-7に格納)
- 9ビット・データ長(SDRmnレジスタのビット0-8に格納)^{注1}

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^{注2}です。

- CSIp通信時SIOp (CSIpデータ・レジスタ)
- UARTq受信時RXDq (UARTq受信データ・レジスタ)
- UARTq送信時TXDq (UARTq送信データ・レジスタ)
- IICr通信時SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDRmnレジスタは0000Hになります。

注1. 9ビット・データ長は、以下のUARTのみ対応しています。

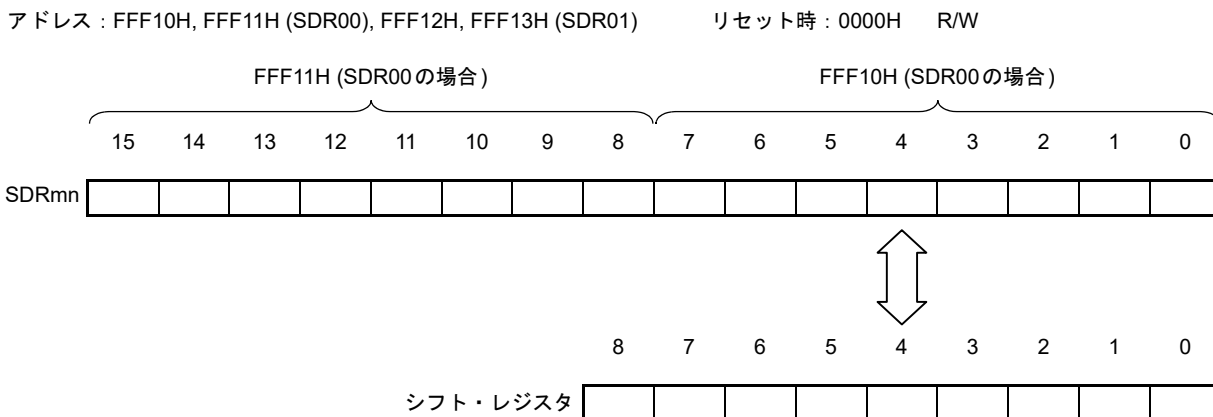
- 30-44ピン製品 : UART0

注2. 動作停止(SEmn = 0)時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です(SDRmn[15:9]がすべてクリア(0)されます)。

備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

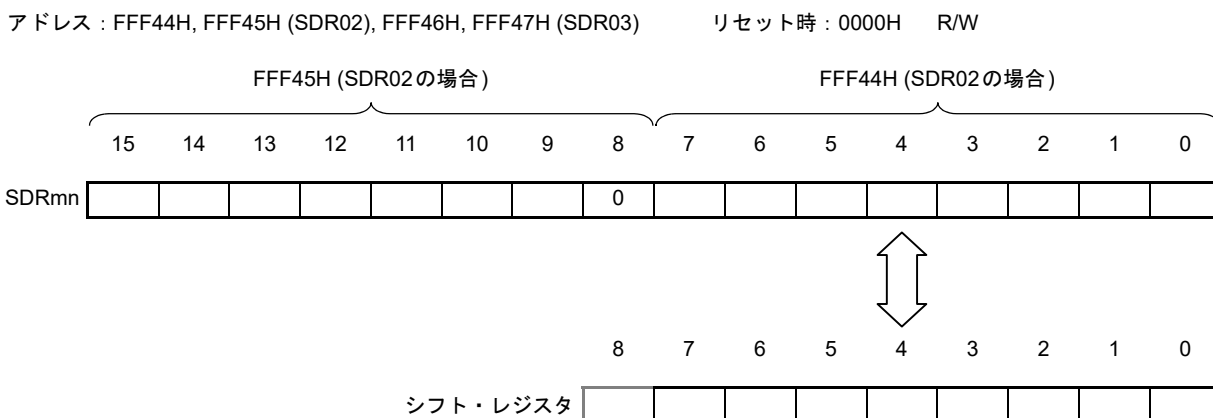
備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00)
 q : UART番号 (q = 0, 1) r : IIC番号 (r = 00)

図 14 - 2 シリアル・データ・レジスタ mn (SDRmn) (mn = 00, 01)のフォーマット



備考 SDRmnレジスタの上位7ビットの機能については、14.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図 14 - 3 シリアル・データ・レジスタ mn (SDRmn) (mn = 02, 03)のフォーマット



注意 ビット8は、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、14.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

14.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- シリアル・クロック選択レジスタ m (SPSm)
- シリアル・モード・レジスタ mn (SMRmn)
- シリアル通信動作設定レジスタ mn (SCRmn)
- シリアル・データ・レジスタ mn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- シリアル・ステータス・レジスタ mn (SSRmn)
- シリアル・チャンネル開始レジスタ m (SSm)
- シリアル・チャンネル停止レジスタ m (STm)
- シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- シリアル出力許可レジスタ m (SOEm)
- シリアル出力レベル・レジスタ m (SOLm)
- シリアル出力レジスタ m (SOm)
- シリアル・スタンバイ・コントロール・レジスタ m (SSCm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- シリアル入出力端子のポート機能を制御するレジスタ
- ポート出力モード・レジスタ 0, 3, 5 (POM0, POM3, POM5)
- ポート・モード・レジスタ 0, 3, 5, 6 (PM0, PM3, PM5, PM6)
- ポート・レジスタ 0, 3, 5, 6 (P0, P3, P5, P6)

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3)

14.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN)に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図 14 - 4 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	0	0	ADCEN	0	0	SAU0EN	0	TAU0EN

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給許可 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態です。下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります(入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ 0 (NFEN0)、ポート入力モード・レジスタ 0, 3, 5 (PIM0, PIM3, PIM5)、ポート出力モード・レジスタ 0, 3, 5 (POM0, POM3, POM5)、ポート・モード・レジスタ 0, 3, 5, 6 (PM0, PM3, PM5, PM6)、ポート・モード・コントロール・レジスタ 0 (PMC0)、ポート・レジスタ 0, 3, 5, 6 (P0, P3, P5, P6)は除く)。

- ・シリアル・クロック選択レジスタ m (SPSm)
- ・シリアル・モード・レジスタ mn (SMRmn)
- ・シリアル通信動作設定レジスタ mn (SCRmn)
- ・シリアル・データ・レジスタ mn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- ・シリアル・ステータス・レジスタ mn (SSRmn)
- ・シリアル・チャンネル開始レジスタ m (SSm)
- ・シリアル・チャンネル停止レジスタ m (STm)
- ・シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- ・シリアル出力許可レジスタ m (SOEm)
- ・シリアル出力レベル・レジスタ m (SOLm)
- ・シリアル出力レジスタ m (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

注意2. 次のビットには必ず“0”を設定してください。

ビット 1, 3, 4, 6, 7

14.3.2 シリアル・クロック選択レジスタ m (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図 14 - 5 シリアル・クロック選択レジスタ m (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRSmk3	PRSmk2	PRSmk1	PRSmk0	動作クロック (CKmk) の選択 ^注					
				fCLK	fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	0.75 kHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.75 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.88 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.44 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.72 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.47 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中に fCLK で選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

注意 ビット 15-8 には、必ず 0 を設定してください。

備考 1. fCLK : CPU / 周辺ハードウェア・クロック周波数

備考 2. m : ユニット番号 (m = 0)

備考 3. k = 0, 1

14.3.3 シリアル・モード・レジスタ mn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fmck)の選択、シリアル・クロック (fsck)入力の使用可否、スタート・トリガ設定、動作モード(簡易SPI (CSI) , UART, I²C)設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中(SEmn = 1 のとき)の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図14-6 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03) リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0
CKS mn	チャンネルnの動作クロック (fmck)の選択															
0	SPSmレジスタで設定した動作クロック CKm0															
1	SPSmレジスタで設定した動作クロック CKm1															
動作クロック (fmck)は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (ftclk)を生成します。																
CCS mn	チャンネルnの転送クロック (ftclk)の選択															
0	CKSmnビットで指定した動作クロック fmckの分周クロック															
1	SCKp端子からの入力クロック fsck (簡易SPI (CSI) モードのスレーブ転送)															
転送クロック ftclkは、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (fmck)の分周設定を行います。																
STS mn注	スタート・トリガ要因の選択															
0	ソフトウェア・トリガのみ有効(簡易SPI (CSI) , UART送信, 簡易I ² C時に選択)															
1	RxDq端子の有効エッジ(UART受信時に選択)															
SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。																

注 SMR01, SMR03レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。
ビット5には、必ず1を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00)
q : UART番号(q = 0, 1) r : IIC番号(r = 00)

図14-7 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03) リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0
SIS mn0 注	UARTモードでのチャンネルnの受信データのレベル反転の制御															
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。															
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。															
MD mn2	MD mn1	チャンネルnの動作モードの設定														
0	0	簡易SPI (CSI) モード														
0	1	UARTモード														
1	0	簡易I ² Cモード														
1	1	設定禁止														
MD mn0	チャンネルnの割り込み要因の選択															
0	転送完了割り込み															
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)															
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。																

注 SMR01, SMR03レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。
ビット5には、必ず1を設定してください。備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00)
q : UART番号(q = 0, 1) r : IIC番号(r = 00)

14.3.4 シリアル通信動作設定レジスタ mn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

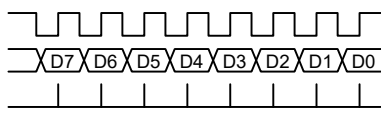
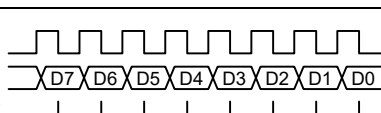
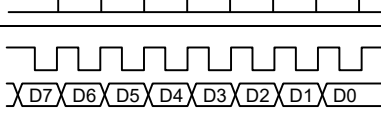
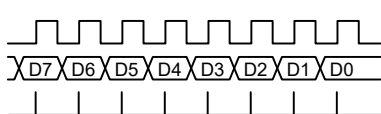
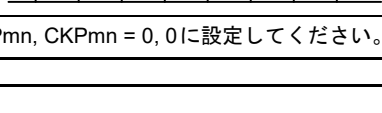
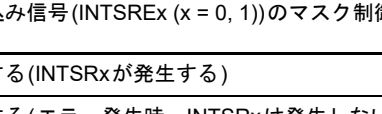
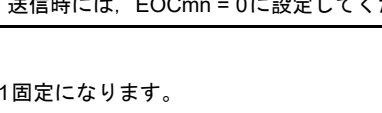
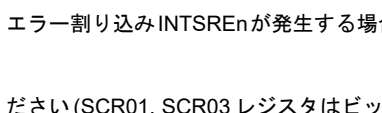
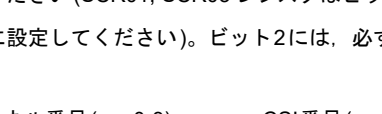



リセット信号の発生により、SCRmnレジスタは0087Hになります。

図14-8 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03) リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	簡易SPI (CSI) モードでのデータとクロックの位相選択	タイプ
0	0	SCKp  SOp  SIp入カタイミング 	1
0	1	SCKp  SOp  SIp入カタイミング 	2
1	0	SCKp  SOp  SIp入カタイミング 	3
1	1	SCKp  SOp  SIp入カタイミング 	4

UARTモード、簡易I²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0, 1))のマスク制御
0	エラー割り込みINTSRExの発生を禁止する (INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時、INTSRxは発生しない)

簡易SPI (CSI) モード、簡易I²Cモード、UART送信時には、EOCmn = 0に設定してください^{注3}。

注1. SCR00, SCR02レジスタのみ。

注2. SCR00, SCR01レジスタのみ。その他は1固定になります。

注3. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください (SCR01, SCR03レジスタはビット5も0に設定してください。SCR02, SCR03レジスタはビット1も0に設定してください)。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00)

図14-9 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03) リセット時 : 0087H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0
-------	-----------	-----------	-----------	-----------	---	-----------	------------	------------	-----------	---	--------------	------------	---	---	--------------	------------

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	パリティを出力注3	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI (CSI) モード、簡易I²Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	簡易SPI (CSI), UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易I²Cモード時には、必ずDIRmn = 0に設定してください。

SLCm n1注1	SLC mn0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02のみ)	
1	1	設定禁止	

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時、簡易I²Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1)に設定してください。
 簡易SPI (CSI) モード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0)に設定してください。
 UART送信時は、1ビット (SLCmn1, SLCmn0 = 0, 1)又は2ビット (SLCmn1, SLCmn0 = 1, 0)に設定してください。

DLSm n1注2	DLS mn0	簡易SPI (CSI), UARTモードでのデータ長の設定	
0	1	9ビット・データ長 (SDRmnレジスタのビット0-8に格納) (UARTモード時のみ選択可)	
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他		設定禁止	

簡易I²Cモード時には、必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

注1. SCR00, SCR02レジスタのみ。

注2. SCR00, SCR01レジスタのみ。その他は1固定になります。

注3. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には、必ず0を設定してください (SCR01レジスタはビット5も0に設定してください。SCR02, SCR03レジスタはビット1も0に設定してください)。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00)

14.3.5 シリアル・データ・レジスタ mn (SDRmn)の上位7ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

SDR00, SDR01のビット8-0(下位9ビット), またはSDR02, SDR03のビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック(fmck)の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn)でCCSmn ビットを0に設定した場合は、動作クロックをこのSDRmnレジスタの上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

また、CCSmn ビットを1に設定した場合は、SDR00, SDR01のビット15-9(上位7ビット)に“0000000B”を設定してください。SCKp端子からの入カクロック fsck(簡易SPI(CSI)モードのスレーブ転送)が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態(SEmn = 0)のときのみ有効です。動作中(SEmn = 1)にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行ったときは、常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

図 14 - 10 シリアル・データ・レジスタ mn (SDRmn)のフォーマット



(注意、備考は次ページにあります。)

- 注意1. SDR02, SDR03レジスタのビット8は、必ず0を設定してください。
- 注意2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。
- 注意3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
- 注意4. 動作停止状態(SEmn = 0)のときに、下位8ビットへ8ビット書き込みは行わないでください(上位7ビットが0にクリアされます)。
- 備考1. SDRmnレジスタの下位8/9ビットの機能については、14.2 シリアル・アレイ・ユニットの構成を参照してください。
- 備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0-3)

14.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット(FECTmn, PECTmn, OVCTmn)を1にセットすると、シリアル・ステータス・レジスタ mn (SSRmn)の対応ビット (FEFmn, PEFmn, OVFmn)が0にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐSIRmn レジスタもクリアされます。

SIRmn レジスタは、16ビット・メモリ操作命令で設定します。

またSIRmn レジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmn レジスタは0000Hになります。

図14-11 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn注	PEC Tmn	OVC Tmn
FEC Tmn 注	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ															
	0	クリアしない														
	1	SSRmn レジスタの FEFmn ビットを0にクリアする														
PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ															
	0	クリアしない														
	1	SSRmn レジスタの PEFmn ビットを0にクリアする														
OVC Tmn	チャンネルnのオーバーラン・エラー・フラグのクリア・トリガ															
	0	クリアしない														
	1	SSRmn レジスタの OVFmn ビットを0にクリアする														

注 SIR01, SIR03 レジスタのみ。

注意 ビット15-3 (SIR00, SIR02 レジスタの場合は、ビット15-2)には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3)

備考2. SIRmn レジスタの読み出し値は常に0000Hとなります。

14.3.7 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図 14 - 12 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット(1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03)

リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn 注3	BFF mn 注3	0	0	FEF mn 注1	PEF mn 注2	OVF mn 注2

TSF mn 注3	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件> ・ STmレジスタのSTmnビットに1を設定時(通信停止状態), もしくはSSmレジスタのSSmnビットに1を設定時(通信待機状態) ・ 通信動作が終了時 <セット条件> 通信動作を開始時	

BFF mn 注3	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件> ・ 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき ・ 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき ・ STmレジスタのSTmnビットに1を設定時(通信停止状態), SSmレジスタのSSmnビットに1を設定時(通信許可状態)。 <セット条件> ・ SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信, 送受信モード時)の状態でのSDRmnレジスタに送信データを書き込んだとき ・ SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態でのSDRmnレジスタに受信データが格納されたとき ・ 受信エラー時	

注1. SSR01, SSR03レジスタのみ。

注2. SSR00, SSR01, SSR03レジスタのみ。

注3. SSR00, SSR02レジスタのみ。

注意 BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー (OVEmn = 1)と検出されます。

備考 m : ユニット番号(m = 0)

n : チャネル番号(n = 0-3)

図14 - 13 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03)

リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SSRmn	0	0	0	0	0	0	0	0	0	0	TSF mn注3	BFF mn注3	0	0	FEF mn注1	PEF mn注2	OVF mn注2

FEF mn注1	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時)
<クリア条件> SIRmnレジスタのFECTmnビットに1を書き込んだとき	
<セット条件> UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn注2	チャンネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時), またはACK未検出発生(I ² C送信時)
<クリア条件> SIRmnレジスタのPECTmnビットに1を書き込んだとき	
<セット条件> <ul style="list-style-type: none"> UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき(パリティ・エラー) I²C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき(ACK未検出) 	

OVF mn注2	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> SIRmnレジスタのOVCTmnビットに1を書き込んだとき	
<セット条件> <ul style="list-style-type: none"> SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき 簡易SPI (CSI) モードのスレーブ送信/送受信で、送信データが準備できていないとき 	

注1. SSR01, SSR03レジスタのみ。

注2. SSR00, SSR01, SSR03レジスタのみ。

注3. SSR00, SSR02レジスタのみ。

注意 SNOOZEモード(SWCm = 1)で簡易SPI (CSI) 受信する場合、OVFmnフラグは動作しません。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0-3)

14.3.8 シリアル・チャンネル開始レジスタ m (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(SSmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が1にセット(動作許可状態)されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図 14 - 14 シリアル・チャンネル開始レジスタ m (SSm)のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0	SS0	SS0	SS0
													3	2	1	0

SSm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に遷移する ^注

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVfmnフラグは状態を保持します。

注意1. SS0レジスタのビット15-4には、必ず0を設定してください。

注意2. UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、fmckの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3)

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

14.3.9 シリアル・チャンネル停止レジスタ m (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(STmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が0にクリア(動作停止状態)されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図 14 - 15 シリアル・チャンネル停止レジスタ m (STm)のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0 3	ST0 2	ST0 1	ST0 0

STm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する注

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFmn フラグは状態を保持します。

注意 ST0レジスタのビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3)

備考2. STmレジスタの読み出し値は常に0000Hとなります。

14.3.10 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可/停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm)の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ m (STm)の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のCKOmnビット(チャンネルnのシリアル・クロック出力)の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000Hになります。

図14 - 16 シリアル・チャンネル許可ステータス・レジスタ m (SEm)のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3	SE0 2	SE0 1	SE0 0

SEm n	チャンネルnの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3)

14.3.11 シリアル出力許可レジスタ m (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図 14 - 17 シリアル出力許可レジスタ m (SOEm)のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE02	0	SOE00

SOEmn	チャンネルnのシリアル出力許可/停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 SOE0レジスタのビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 2)

14.3.12 シリアル出力レジスタ m (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止(SOEmn = 0)時のみ可能です。シリアル出力許可(SOEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止(SEmn = 0)時のみ可能です。チャンネル動作許可(SEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能等のシリアル・インタフェース機能以外として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOmレジスタは0F0FHになります。

図 14 - 18 シリアル出力レジスタ m (SOm)のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	1	1	CKO 00	0	0	0	0	1	SO 02	1	SO 00

CKO mn	チャンネルnのシリアル・クロック出力														
0	シリアル・クロック出力値が“0”														
1	シリアル・クロック出力値が“1”														

SO mn	チャンネルnのシリアル・データ出力														
0	シリアル・データ出力値が“0”														
1	シリアル・データ出力値が“1”														

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。

SO0レジスタのビット11-9, 3, 1には、必ず1を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 2)

14.3.13 シリアル出力レベル・レジスタ m (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI (CSI) モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可(SOEmn = 1)時のみ端子出力に反映されます。シリアル出力禁止(SOEmn = 0)時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000Hになります。

図14 - 19 シリアル出力レベル・レジスタ m (SOLm)のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 02	0	SOL 00

SOL mn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

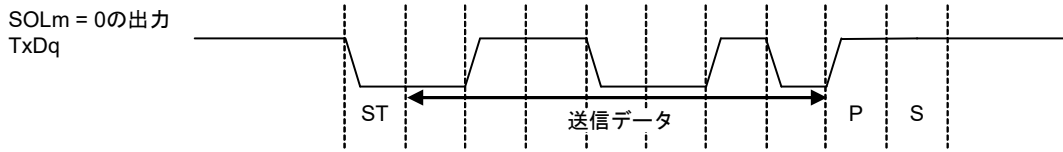
注意 SOL0レジスタのビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 2)

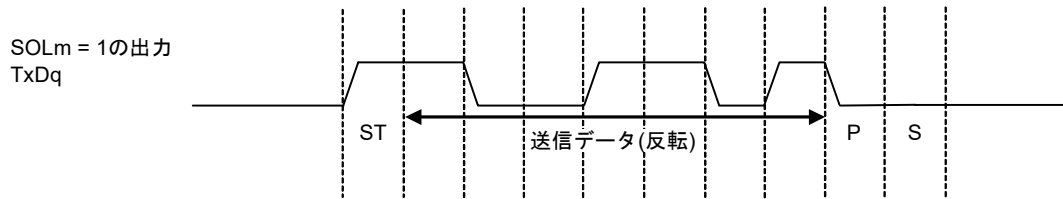
UART送信時、送信データのレベル反転例を図14 - 20に示します。

図 14 - 20 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2)

14.3.14 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

SSC0 レジスタは、CSI00、UART0のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZEモード)を制御するレジスタです。

SSCm レジスタは、16ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8ビットは、SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSCmレジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- CSI00の場合：～1 Mbps
 - UART0の場合：4800 bpsのみ
- (オプション・バイト(000C2H)のFRQSEL4を0に設定している場合に使用可能です)

図 14 - 21 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)のフォーマット

アドレス：F0138H, F0139H (SSC0)

リセット時：0000H RW

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み(INTSRE0)発生許可
1	エラー割り込み(INTSRE0)発生停止
<ul style="list-style-type: none"> • SNOOZEモード時のUART受信で、SWCm = 1かつEOCmn = 1の時のみ、SSECmビットを1/0に設定することができます。その他の場合は、SSECmビットを0に設定してください。 • SSECm, SWCm = 1, 0は設定禁止です。 	

SWCm	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
<ul style="list-style-type: none"> • STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI (CSI) /UARTの受信動作を行います(SNOOZEモード)。 • SNOOZEモード機能は、CPU／周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • SNOOZEモードを使用する場合でも、通常動作モード時はSWCを0に設定し、STOPモードへ移行する直前にSWCを1に変更してください。 <p>またSTOPモードから通常動作モードへ復帰後、必ずSWCを0に変更してください。</p>	

注意 SSECm, SWCm = 1, 0は設定禁止です。

図14 - 22 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

14.3.15 入力切り替え制御レジスタ (ISC)

SSIE00ビットは、CSI00通信かつスレーブ・モード時にチャンネル0のSSIO0端子入力を制御するビットです。SSIO0端子にハイ・レベルが入力されている期間は、シリアル・クロックが入力されても送受信動作を行いません。SSIO0端子にロウ・レベルが入力されている期間は、シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図14 - 23 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	0	0
SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0のSSIO0入力の設定							
0	SSIO0端子入力の無効							
1	SSIO0端子入力の有効							

注意 ビット6-0に必ず0を設定してください。

14.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI (CSI)、簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU/周辺ハードウェア・クロック (fCLK) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、CPU/周辺ハードウェア・クロック (fMCK) で同期化だけを行います注。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

注 詳細は、6.5.1 (2) TImn 端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、6.5.2 カウンタのスタート・タイミングを参照。

図14-24 ノイズ・フィルタ許可レジスタ0 (NFEN0)のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	SNFEN10	0	SNFEN00

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7-3, 1に必ず0を設定してください。

14.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ(ポート・モード・レジスタ(PMxx)、ポート・レジスタ(Pxx)、ポート入力モード・レジスタ(PIMxx)、ポート出力モード・レジスタ(POMxx)、ポート・モード・コントロール・レジスタ(PMCxx))を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ(PMxx)、4.3.2 ポート・レジスタ(Pxx)、4.3.4 ポート入力モード・レジスタ(PIMxx)、4.3.5 ポート出力モード・レジスタ(POMxx)、4.3.6 ポート・モード・コントロール・レジスタ0, 12, 14 (PMCxx)を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート(P00/TI00/TxD1/CMP0P/ANI17/(TRJ00))などをシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・コントロール・レジスタ(PMCxx)のビットおよびポート・モード・レジスタ(PMxx)のビットに0を、ポート・レジスタ(Pxx)のビットに1を設定してください。

なお、N-ch オープン・ドレイン出力(V_{DD} 耐圧)モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ(POMxx)のビットに1を設定してください。異電位(2.5V系、3V系)で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位(2.5V系、3V系)対応を参照してください。

(例) P00/TI00/TxD1/CMP0P/ANI17/(TRJ00)をシリアル・データ出力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC00ビットを0に設定

ポート・モード・レジスタ0のPM00ビットを0に設定

ポート・レジスタ0のP00ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート(P01/TO00/RxD1/PGAI/ANI16/TRJIO0)などをシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ(PMCxx)のビットに0を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ(PIMxx)のビットに1を設定してください。異電位(2.5V系、3V系)で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位(2.5V系、3V系)対応を参照してください。

(例) P01/TO00/RxD1/PGAI/ANI16/TRJIO0をシリアル・データ入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC01ビットを0に設定

ポート・モード・レジスタ0のPM01ビットを1に設定

ポート・レジスタ0のP01ビットを0または1に設定

14.4 動作停止モード

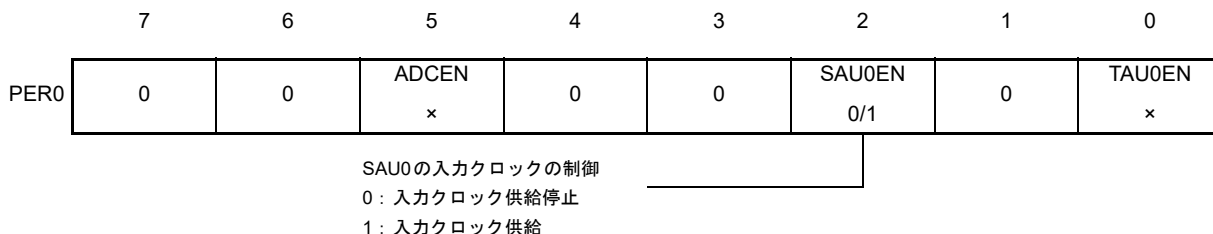
シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。
 動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。
 また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

14.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0)で行います。
 PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。
 シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN)に0を設定してください。

図14-25 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0)の設定

(a)周辺イネーブル・レジスタ0 (PER0) 停止するSAU0のビットのみ0に設定する



注意1. SAU0EN = 0の場合は、シリアル・アレイ・ユニット0の制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ0, 3, 5 (PIM0, PIM3, PIM5)
- ポート出力モード・レジスタ0, 3, 5 (POM0, POM3, POM5)
- ポート・モード・コントロール・レジスタ0 (PMC0)
- ポート・モード・レジスタ0, 3, 5, 6 (PM0, PM3, PM5, PM6)
- ポート・レジスタ0, 3, 5, 6 (P0, P3, P5, P6)

注意2. 次のビットには必ず“0”を設定してください。

ビット1, 3, 4, 6, 7

備考 × : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて0または1に設定

14.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図14 - 26 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタ m (STm)

..... 各チャンネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm3	STm2	STm1	STm0
													0/1	0/1	0/1	0/1

1 : SEmn ビットを0にクリアし、通信動作を停止

※ STmn ビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmn ビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタ m (SEm)

..... 各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm3	SEm2	SEm1	SEm0
													0/1	0/1	0/1	0/1

0 : 動作停止状態

※SEm レジスタは Read Only のステータス・レジスタであり、STm レジスタにて動作停止にします。
動作を停止したチャンネルは、S0m レジスタのCKOmn ビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ m (SOEm)

..... 各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2		SOEm0	
													0/1	0	0/1	

0 : シリアル通信動作による出力停止

※ シリアル出力を停止したチャンネルは、S0m レジスタのSOmn ビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ m (S0m) 各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
S0m	0	0	0	0	1	1	1	CKOmn	0	0	0	0	1	S0m2		S0m0
							0/1						0/1	1	0/1	

1 : シリアル・クロック出力値が"1" 1 : シリアル・データ出力値が"1"

※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, S0mn ビットに"1"を設定してください。

(e) 入力切り替え制御レジスタ (ISC)

..... CSI00 スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

ISC	SSI00															
	0/1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

0 : SSI00 端子の入力値を無効

- 備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3)
- 備考2. ■ : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

14.5 簡易SPI (CSI00)通信の動作

シリアル・クロック(SCK)とシリアル・データ(SI, SO)の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ/スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2

スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

以下のチャンネルの簡易SPI (CSI) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している、以下の簡易SPI (CSI) のみ設定可能です。

- CSI00

また、CSI00はスレーブ選択機能に対応しています。詳細は、14.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作を参照してください。

注 SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は、第29章 電気的特性を参照してください。

簡易SPI (CSI00)に対応しているチャンネルは、SAU0のチャンネル0です。

○30, 32, 44ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0	IIC00
	1	—		—
1	2	—	UART1	—
	3	—		—

簡易SPI (CSI00)の通信動作は、以下の7種類があります。

- マスタ送信 (14.5.1項を参照)
- マスタ受信 (14.5.2項を参照)
- マスタ送受信 (14.5.3項を参照)
- スレーブ送信 (14.5.4項を参照)
- スレーブ受信 (14.5.5項を参照)
- スレーブ送受信 (14.5.6項を参照)
- SNOOZEモード機能 (14.5.7項を参照)

14.5.1 マスタ送信

マスタ送信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラから他デバイスヘータを送信する動作です。

簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	なし
転送データ長	7ビットまたは8ビット
転送レート注	Max. $f_{mck}/2$ [Hz] (CSI00) Min. $f_{clk}/(2 \times 2^{15} \times 128)$ [Hz] f_{clk} : システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合: シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合: シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合: 非反転 • CKPmn = 1の場合: 反転
データ方向	MSB ファーストまたはLSB ファースト

注 この条件を満たし、かつ電気的特性の周辺機能特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

備考 m: ユニット番号(m = 0) n: チャンネル番号(n = 0), mn = 00

(1) レジスタ設定

図14-27 簡易SPI (CSI00)のマスタ送信時のレジスタ設定内容例

(a)シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fMCK) チャンネルnの割り込み要因
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0” 0 : 転送完了割り込み
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1” 1 : パツファ空き割り込み

(b)シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データ転送順序の選択 データ長の設定
 0 : MSBファーストで入出力を行う 0 : 7ビット・データ長
 1 : LSBファーストで入出力を行う 1 : 8ビット・データ長

データとクロックの位相選択 (設定内容詳細は「14.3 シリアル・アレイ・ユニットを制御するレジスタ」参照)

(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ポー・レート設定 (動作クロック (fMCK)の分周設定)								0	送信データ (送信データを設定)							

SIOp

(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm								CKOm0						SOm2		SOm0
	0	0	0	0	1	1	1	0/1	0	0	0	0	1	x	1	0/1

クロック位相が“非反転”(SCRmnレジスタのCKPmnビット=0)のときは“1”で通信開始し、クロック位相が“反転”(CKPmnビット=1)のときは“0”で通信開始する。

(e)シリアル出力許可レジスタ m (SOEm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0/1

(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0/1

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

備考2. : 簡易SPI (CSI) マスタ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 14 - 28 マスタ送信の初期設定手順

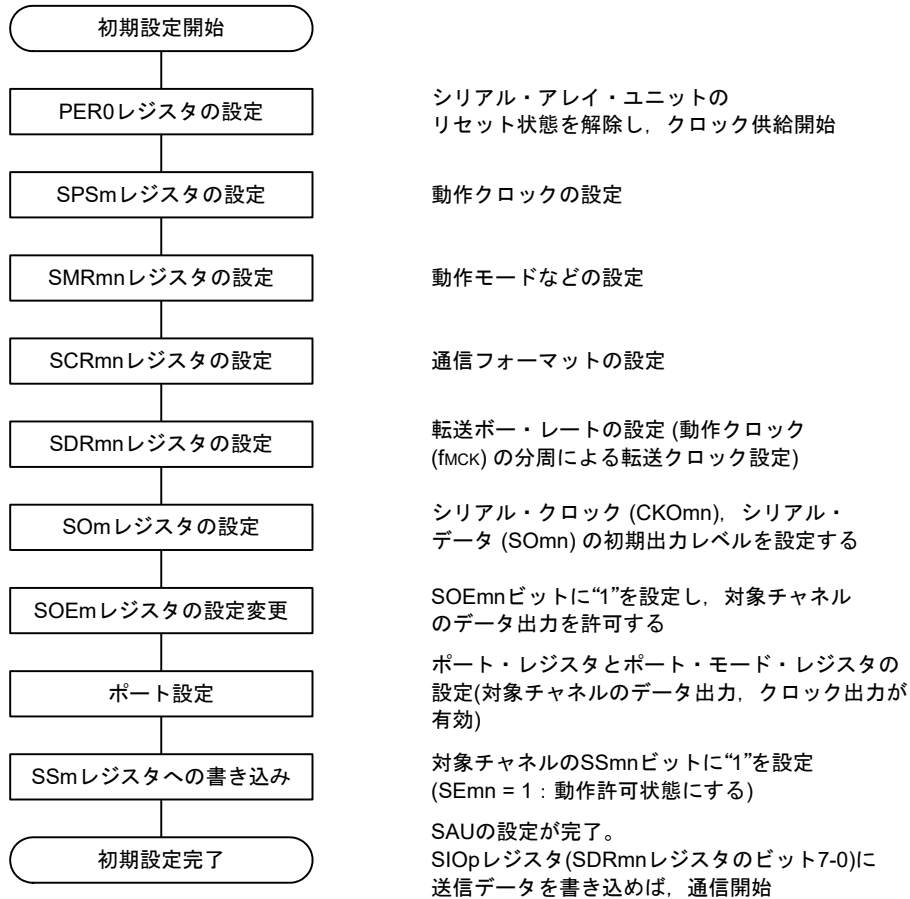


図 14 - 29 マスタ送信の中断手順

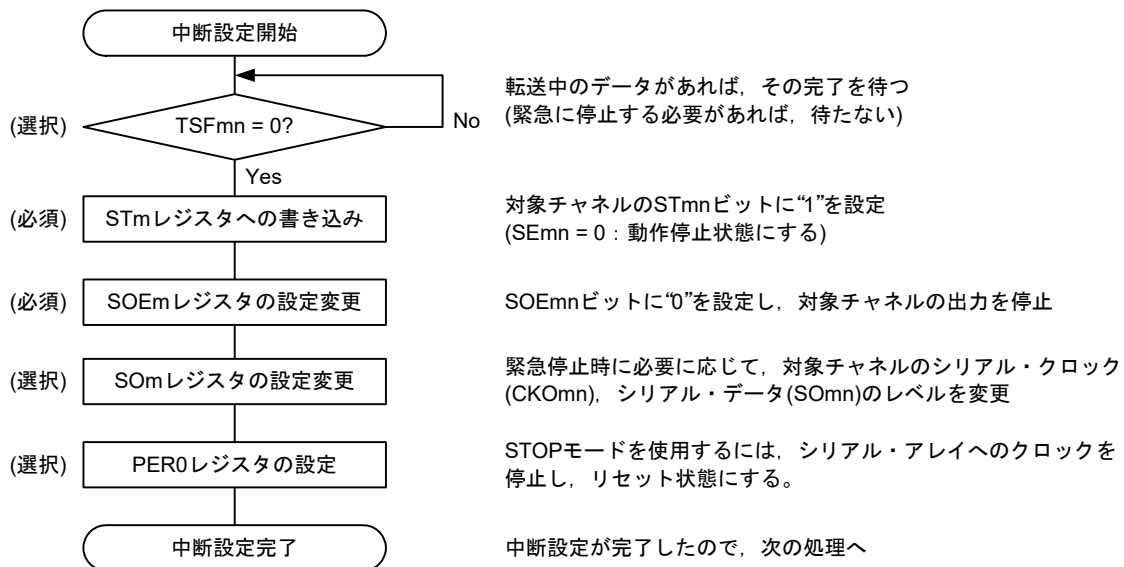
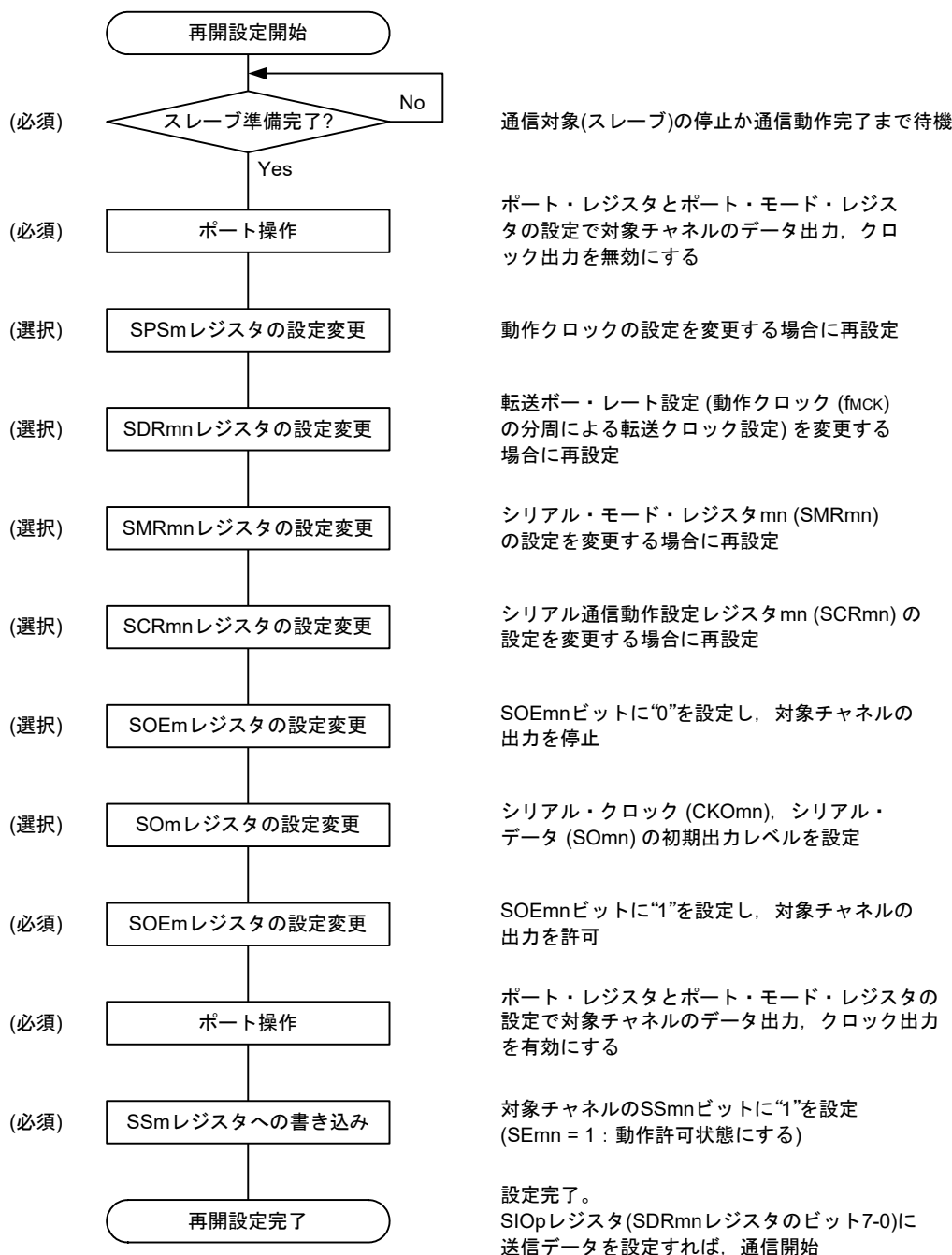


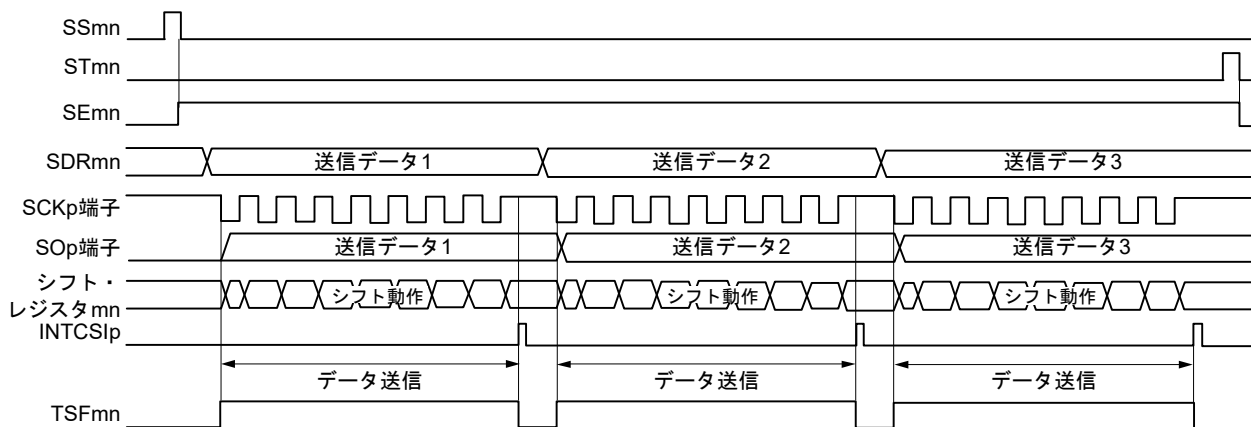
図 14 - 30 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

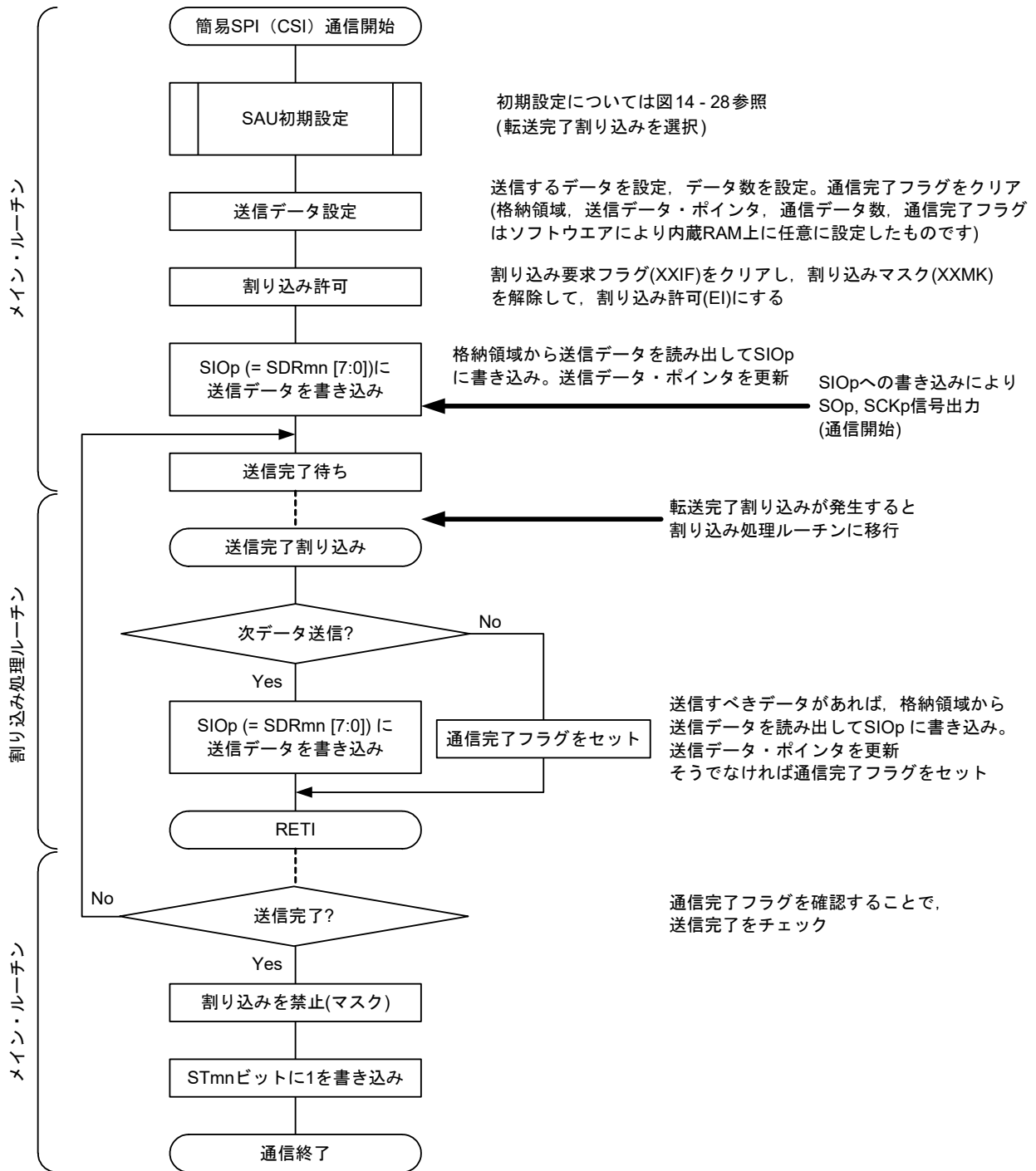
(3) 処理フロー (シングル送信モード時)

図14 - 31 マスタ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



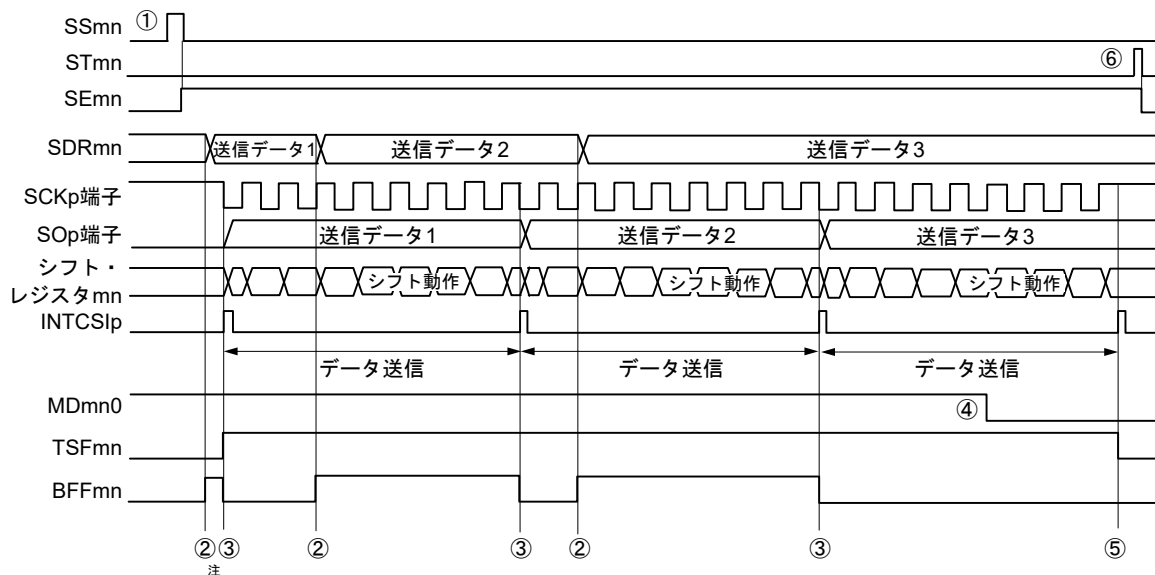
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)
 mn = 00

図14-32 マスタ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図14 - 33 マスタ送信 (連続送信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

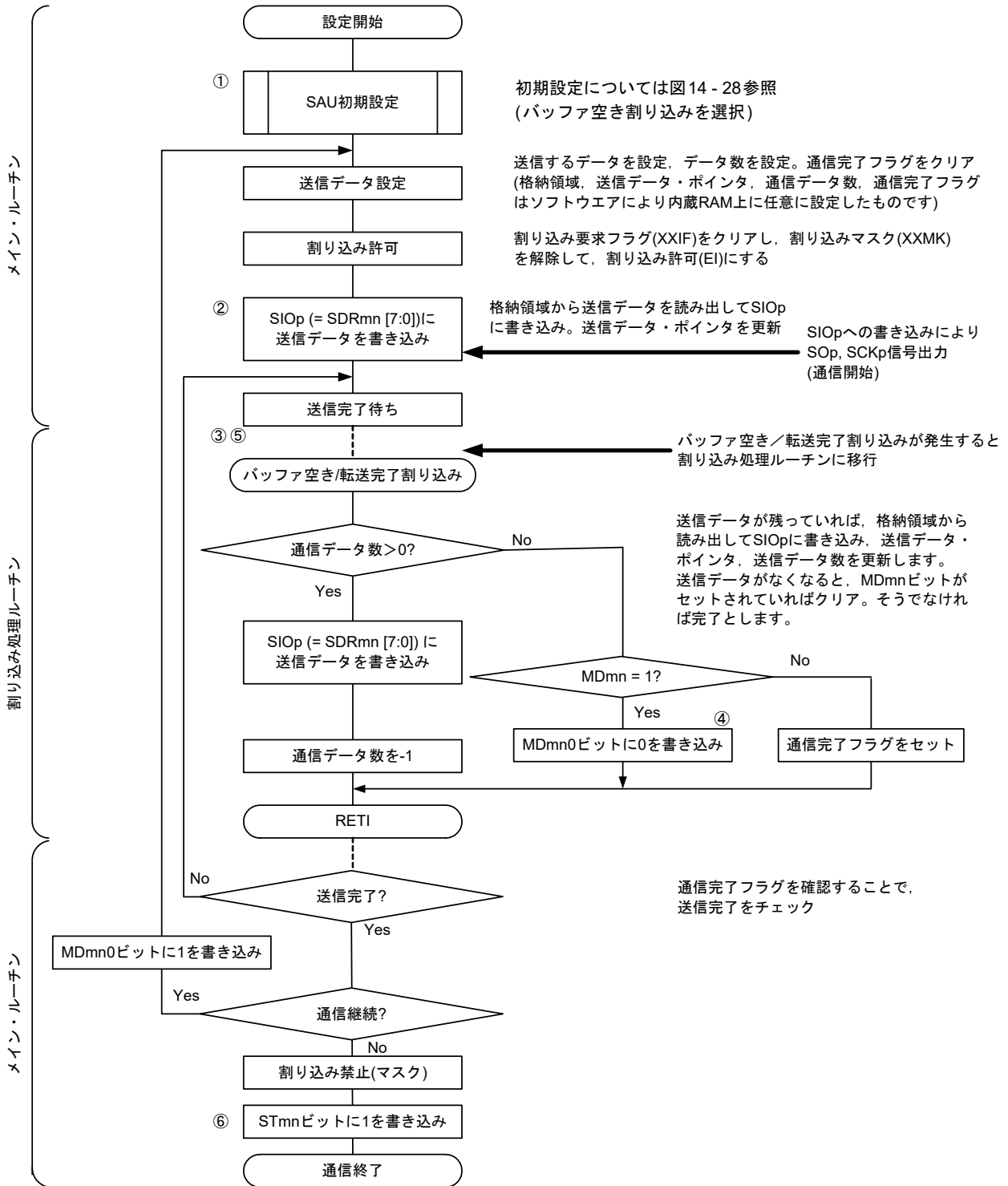


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)
mn = 00

図14-34 マスタ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は, 図14-33 マスタ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

14.5.2 マスタ受信

マスタ受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート注	Max. fmck/2 [Hz] (CSI00) Min. fclk/(2 × 2 ¹⁵ × 128)[Hz] fclk : システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性の周辺機能特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)
mn = 00

(1) レジスタ設定

図14 - 35 簡易SPI (CSI00)のマスタ受信時のレジスタ設定内容例

(a)シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fMCK) チャンネルnの割り込み要因
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0” 0 : 転送完了割り込み
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1” 1 : パツファ空き割り込み

(b)シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択 データ転送順序の選択 データ長の設定
 (設定内容詳細は「14.3 シリアル・アレイ・ユニットを制御するレジスタ」参照) 0 : MSBファーストで入出力を行う 0 : 7ビット・データ長
1 : LSBファーストで入出力を行う 1 : 8ビット・データ長

(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定 (動作クロック (fMCK)の分周設定)								0	受信データ (ダミー・データとしてFFHを書き込む)							

SIOp

(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm								CKOm0						SOm2		SOm0
	0	0	0	0	1	1	1	0/1	0	0	0	0	1	x	1	x

クロック位相が“非反転”(SCRmnレジスタのCKPmnビット=0)のときは“1”で通信開始し、クロック位相が“反転”(CKPmnビット=1)のときは“0”で通信開始する。

(e)シリアル出力許可レジスタ m (SOEm)..... このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	x

(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SSm														SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0/1

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

備考2. : 簡易SPI (CSI) マスタ受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 14 - 36 マスタ受信の初期設定手順

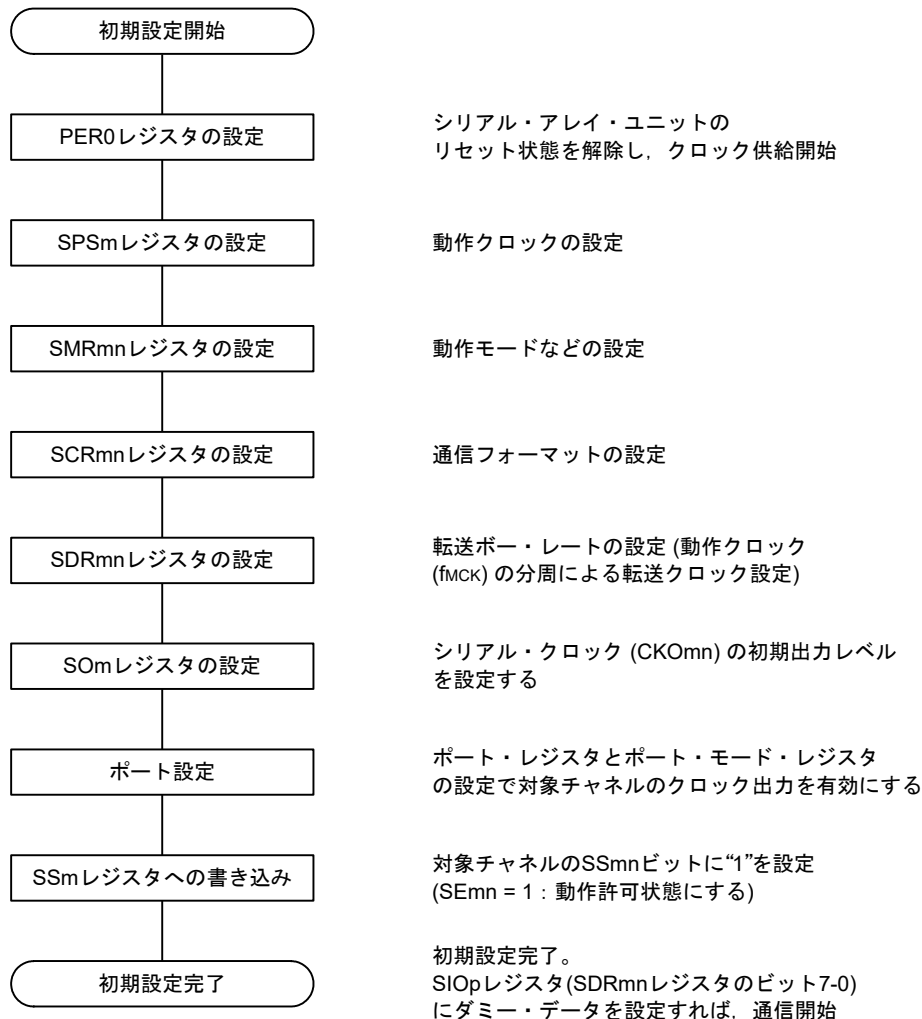


図 14 - 37 マスタ受信の中断手順

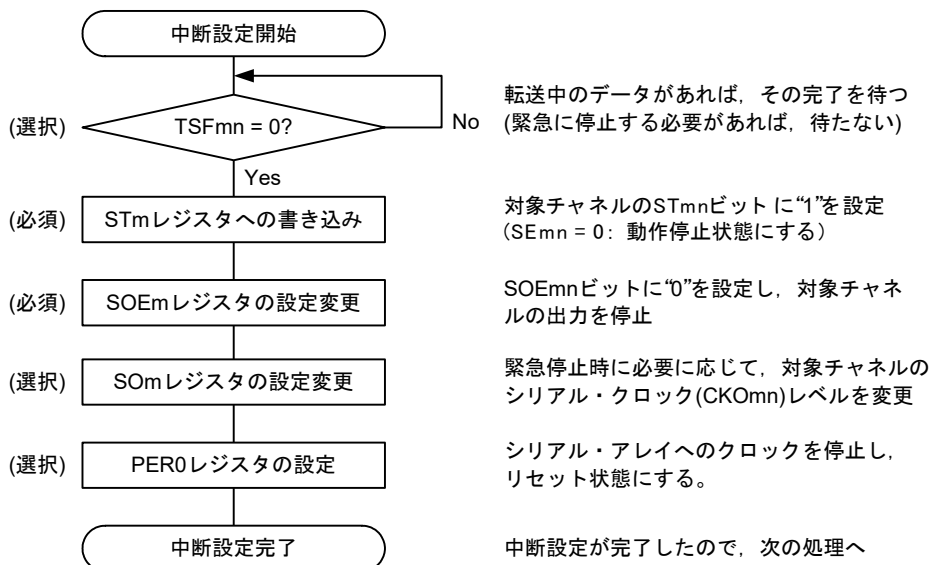
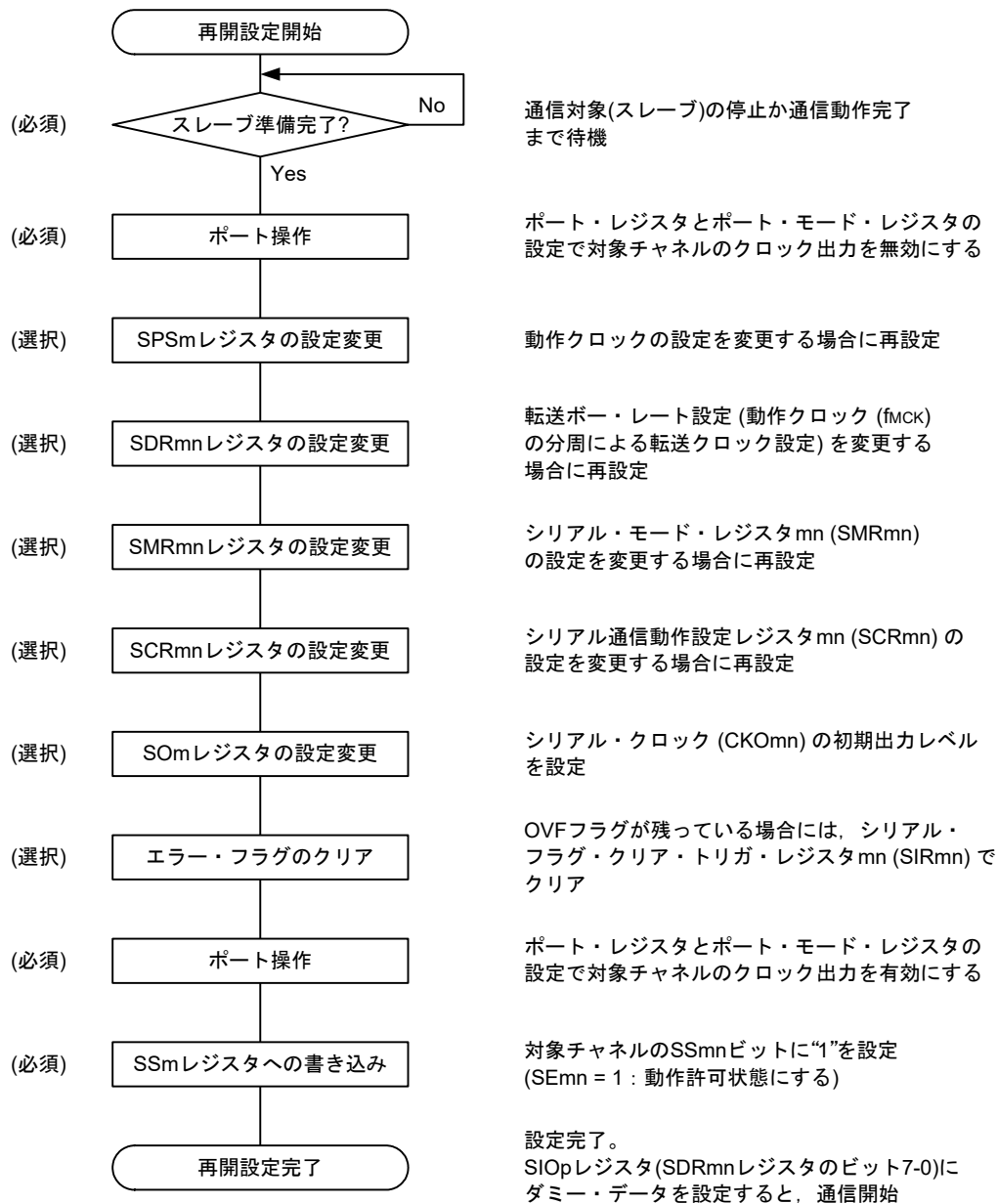


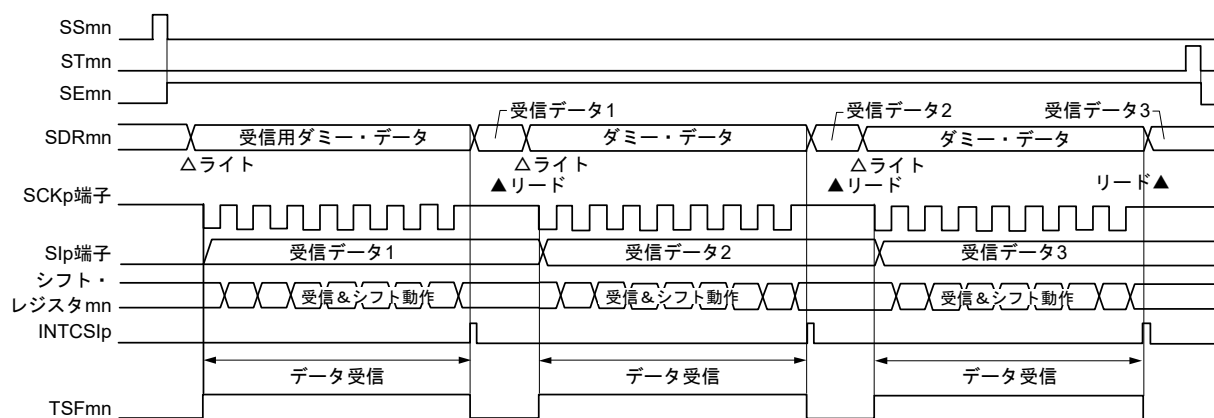
図 14 - 38 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

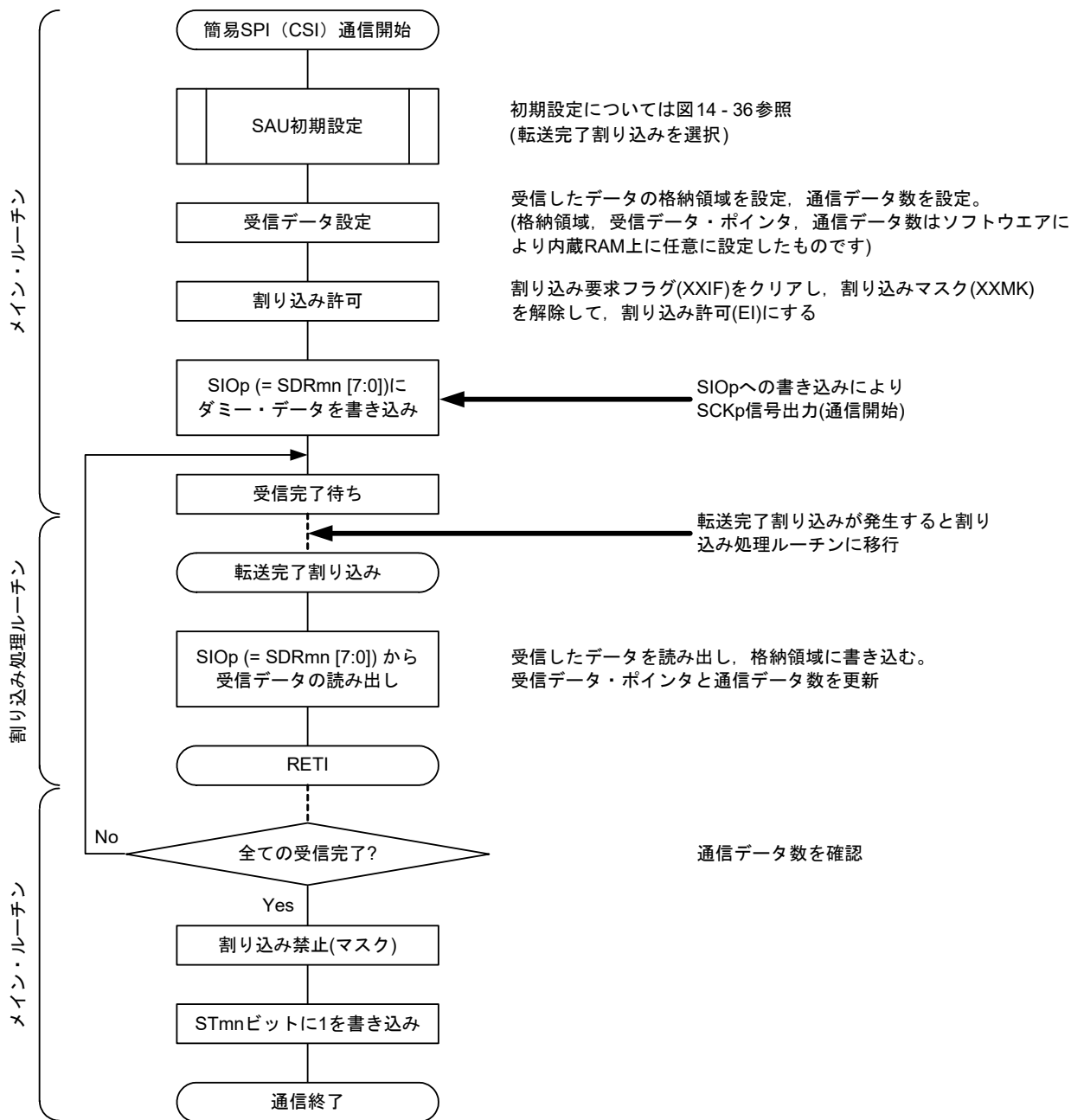
(3) 処理フロー (シングル受信モード時)

図14 - 39 マスタ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



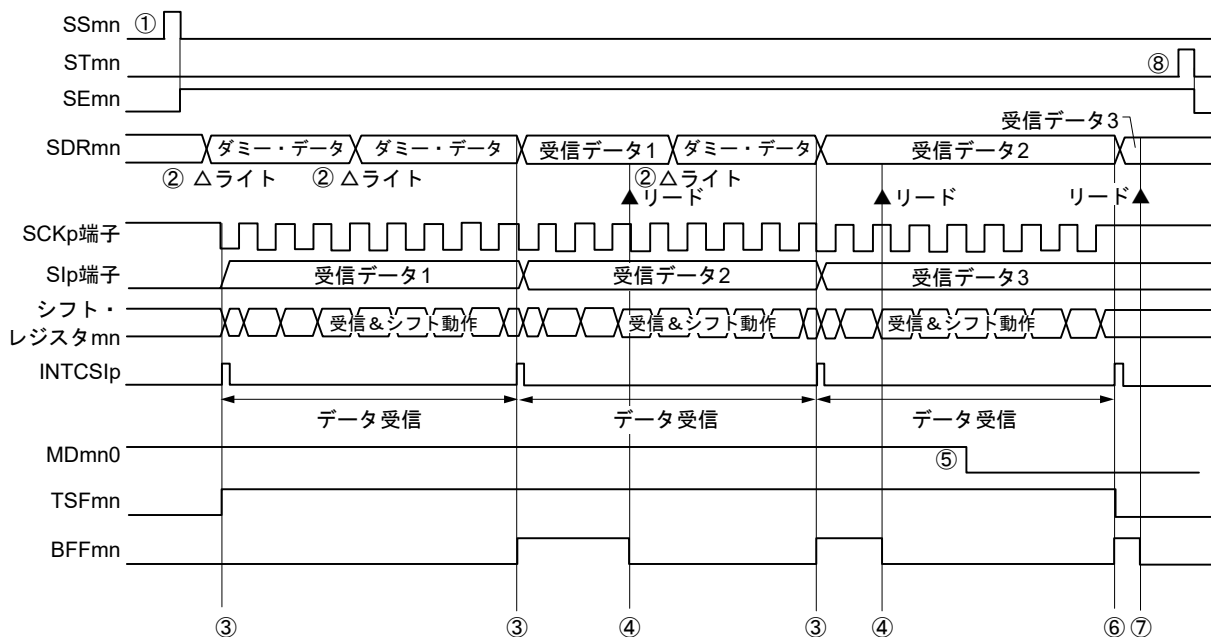
備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)
 mn = 00

図14 - 40 マスタ受信(シングル受信モード時)のフロー・チャート



(4) 処理フロー (連続受信モード時)

図14 - 41 マスタ受信 (連続受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

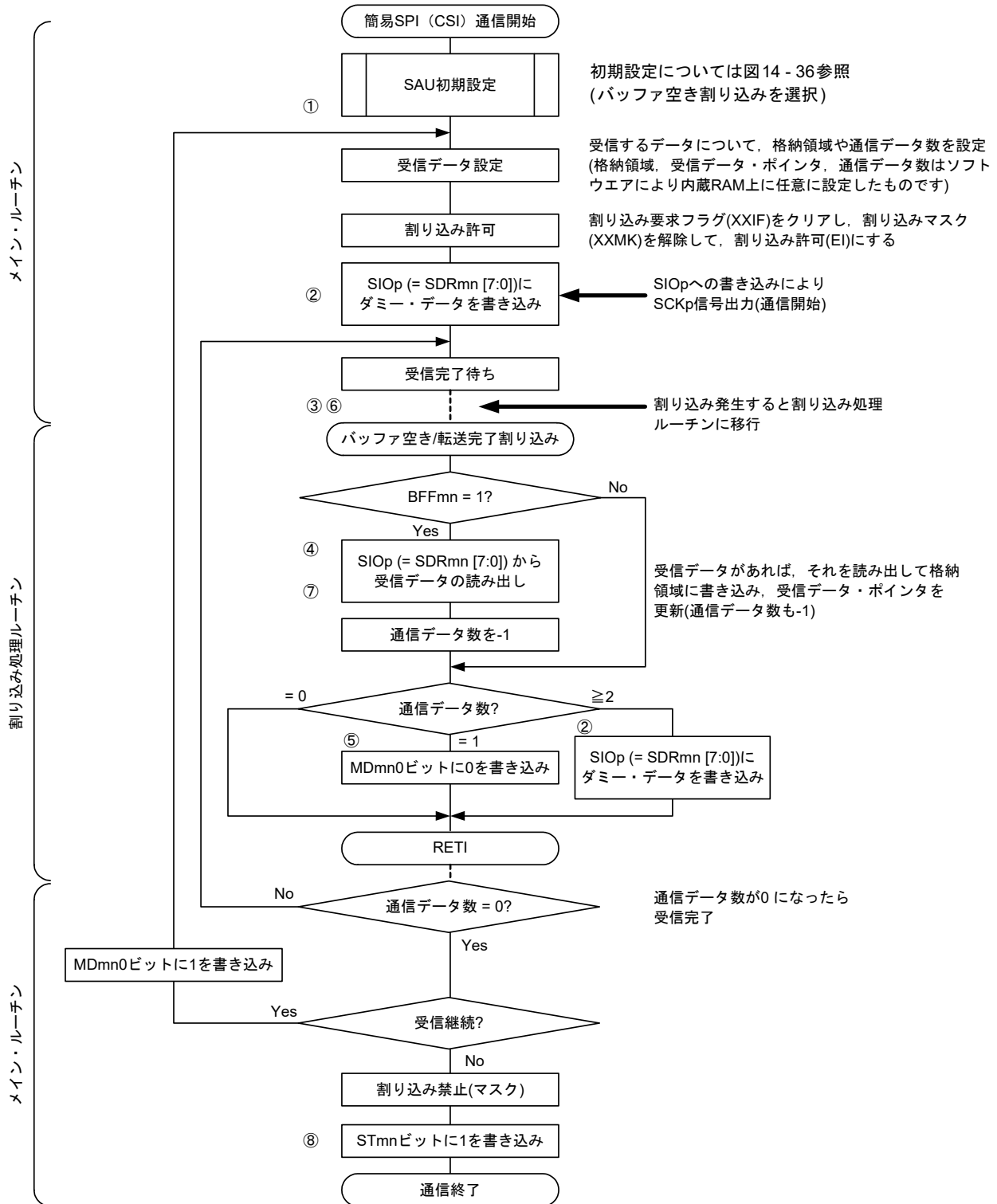


注意 MDmn0ビットは、動作中でも書き換えることができます。
 ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①~⑧は、図14 - 42 マスタ受信 (連続受信モード時)のフロー・チャートの①~⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)
 mn = 00

図14-42 マスタ受信(連続受信モード時)のフロー・チャート



備考 図中の①～⑧は、図14-41 マスタ受信(連続受信モード時)のタイミング・チャートの①～⑧に対応しています。

14.5.3 マスタ送受信

マスタ送受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート注	Max. $f_{mck}/2$ [Hz] (CSI00) Min. $f_{clk}/(2 \times 2^{15} \times 128)$ [Hz] f_{clk} : システム・クロック周波数
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合: シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合: シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合: 非反転 • CKPmn = 1の場合: 反転
データ方向	MSBファーストまたはLSBファースト

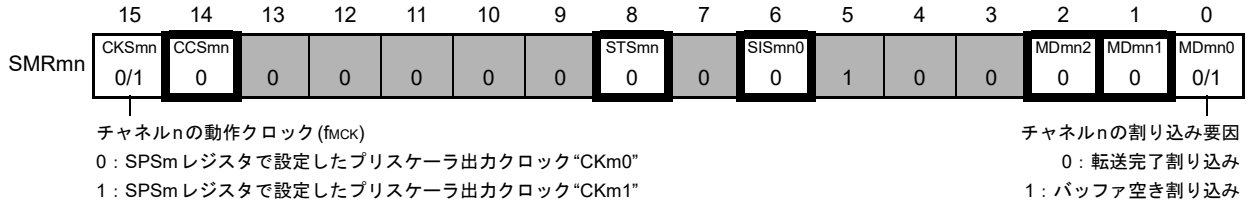
注 この条件を満たし、かつ電気的特性の周辺機能特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

備考 m: ユニット番号(m = 0) n: チャンネル番号(n = 0) p: CSI番号(p = 00)
mn = 00

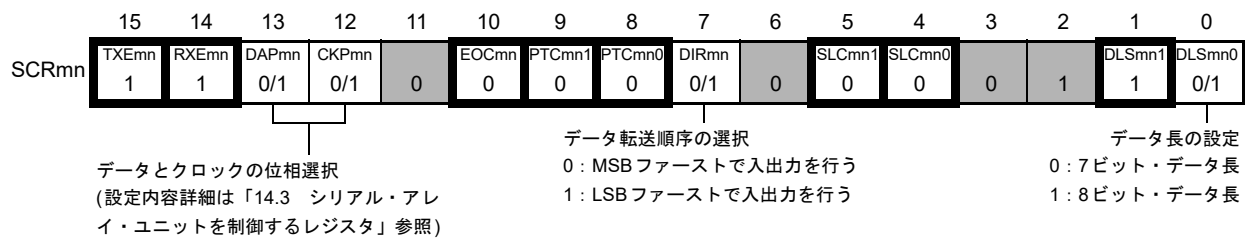
(1) レジスタ設定

図14-43 簡易SPI (CSI00)のマスタ送受信時のレジスタ設定内容例

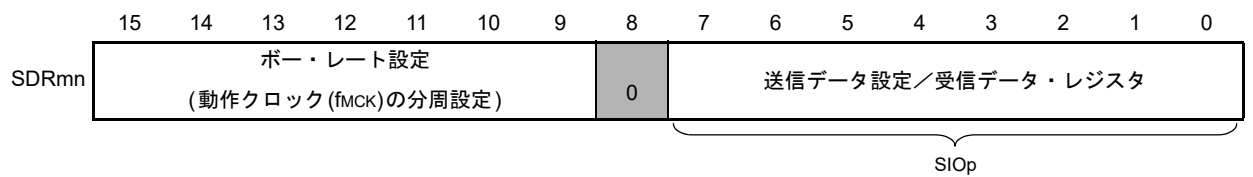
(a)シリアル・モード・レジスタ mn (SMRmn)



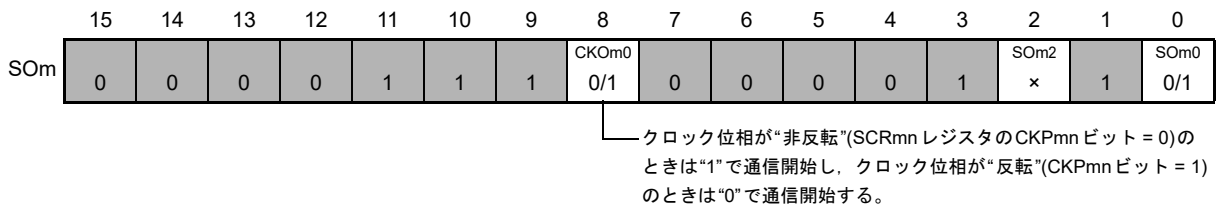
(b)シリアル通信動作設定レジスタ mn (SCRmn)



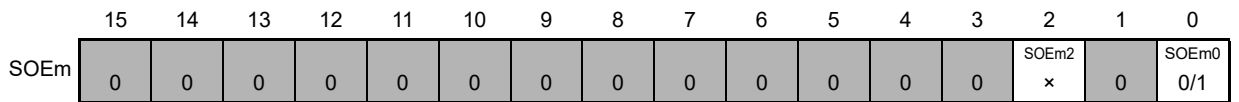
(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



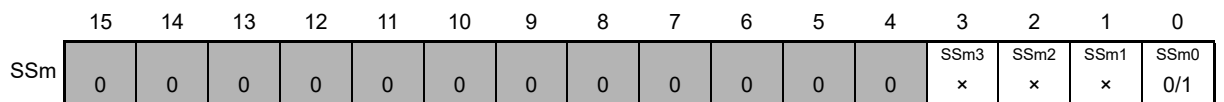
(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e)シリアル出力許可レジスタ m (SOEm)..... 対象チャンネルのビットのみ1に設定する



(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00) mn = 00

備考2. : 簡易SPI (CSI) マスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 14 - 44 マスタ送受信の初期設定手順

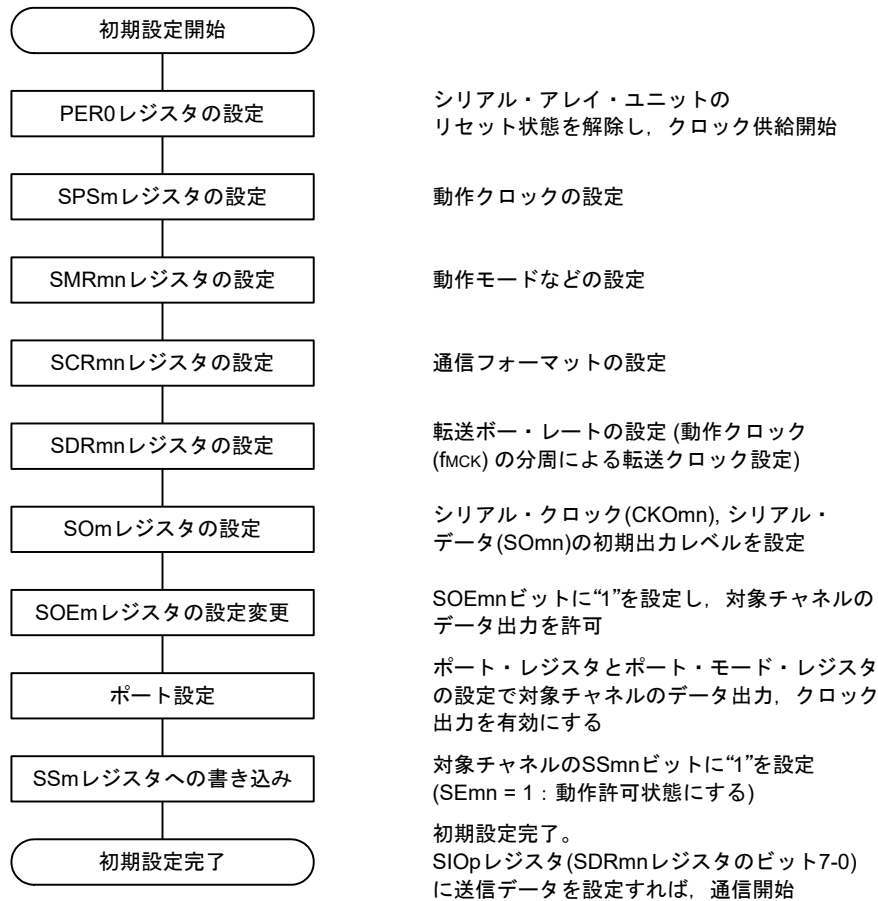


図 14 - 45 マスタ送受信の中断手順

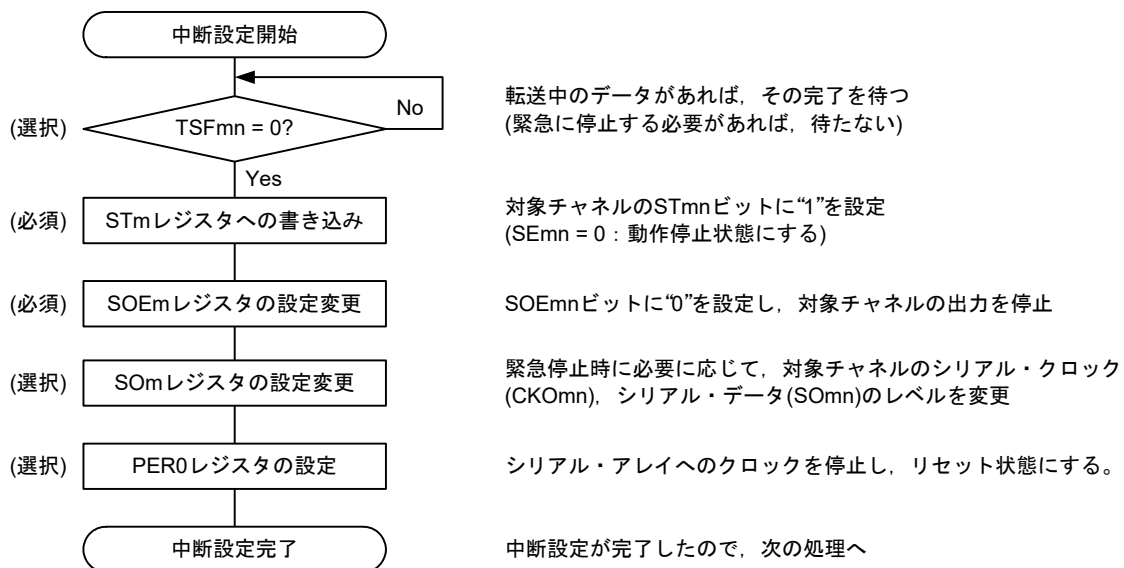
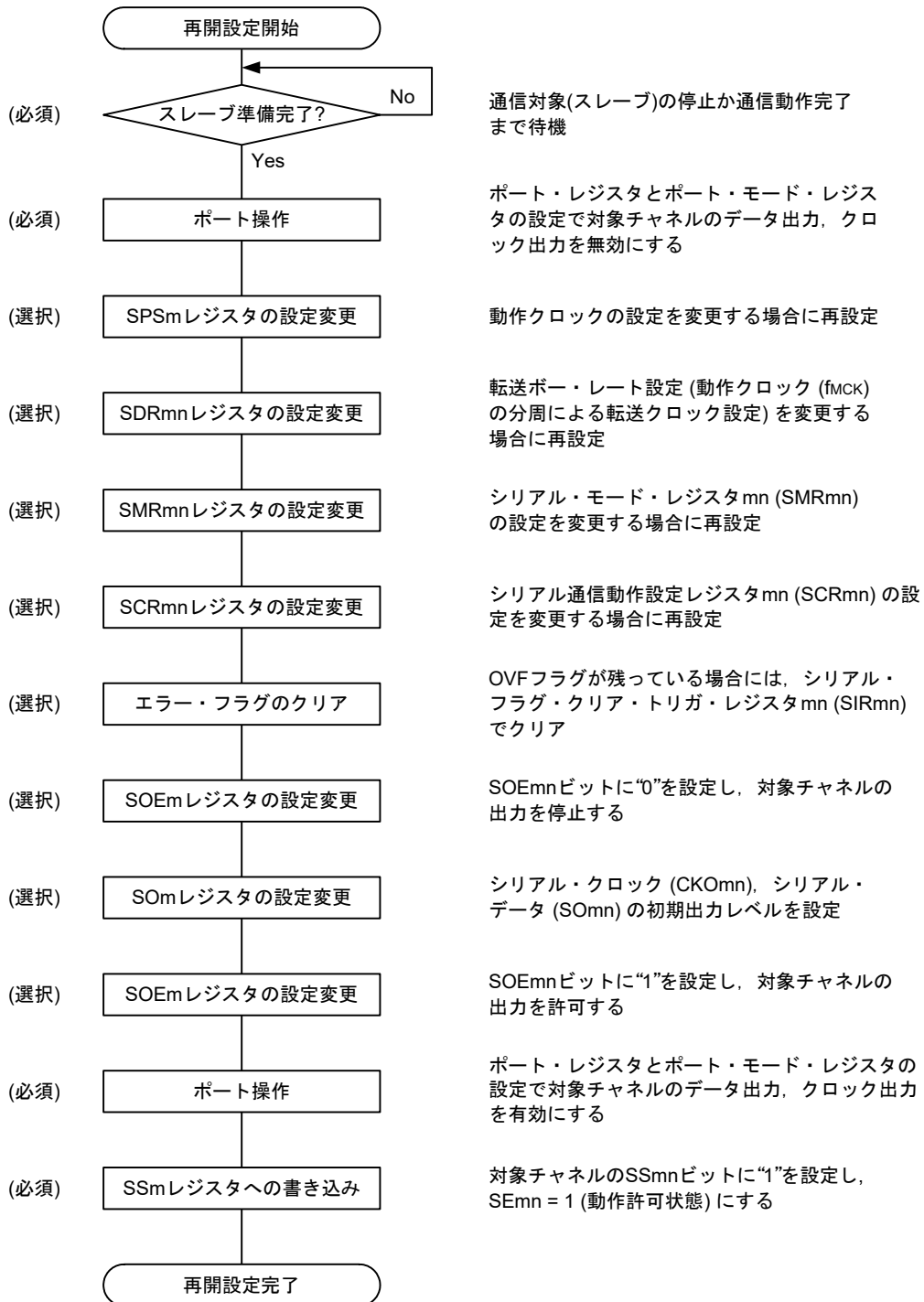
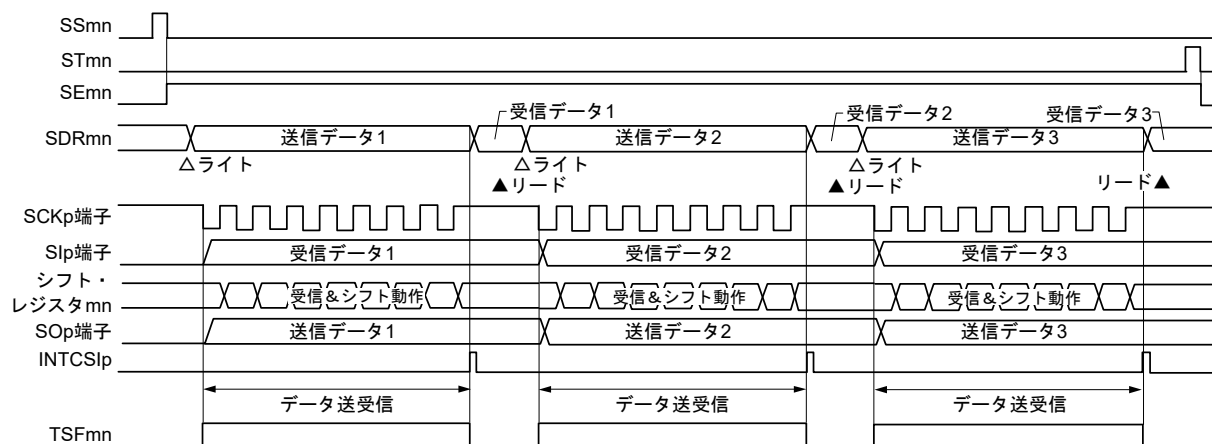


図 14 - 46 マスタ送受信の再開設定手順



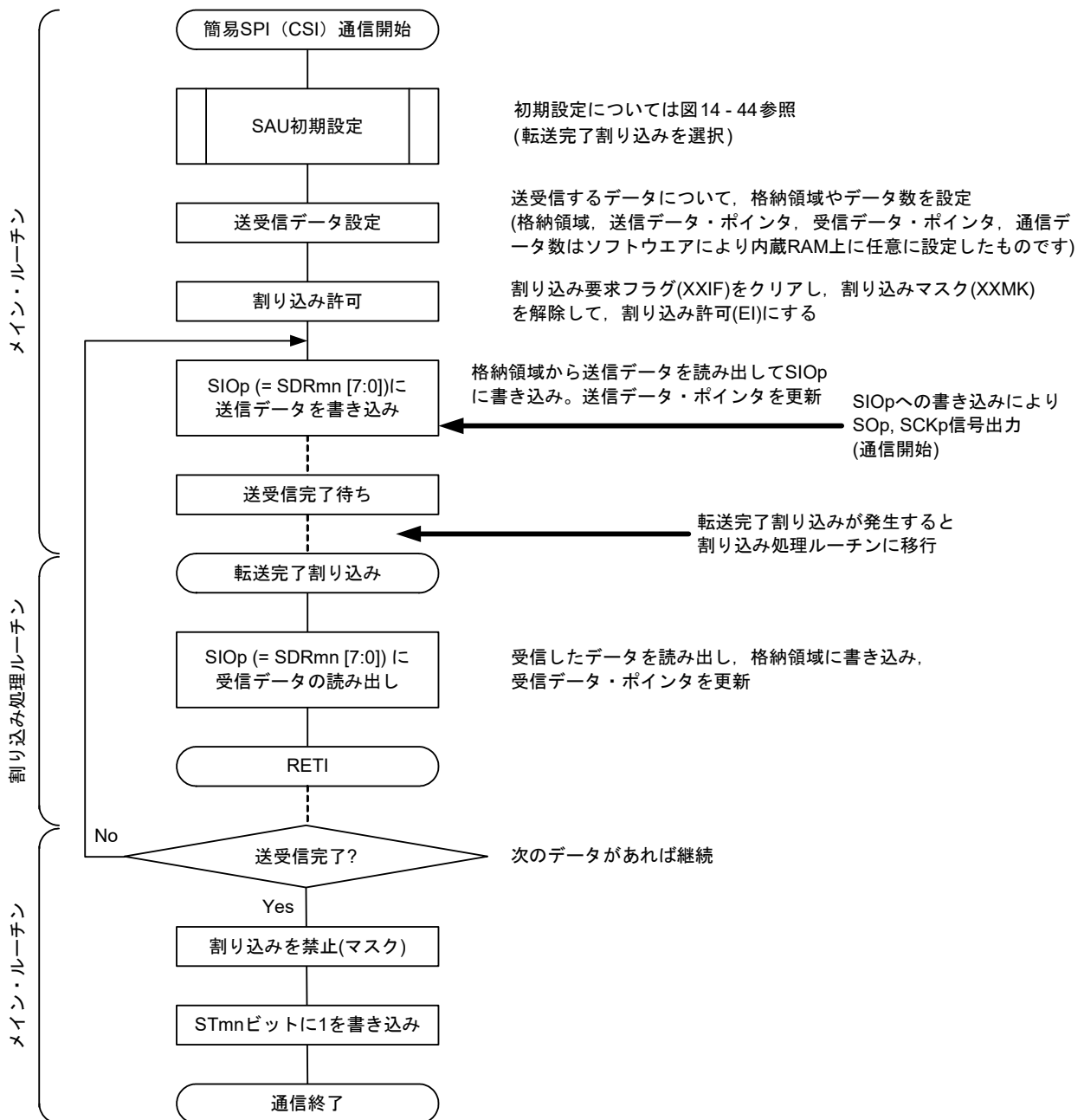
(3) 処理フロー (シングル送受信モード時)

図14 - 47 マスタ送受信 (シングル送受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



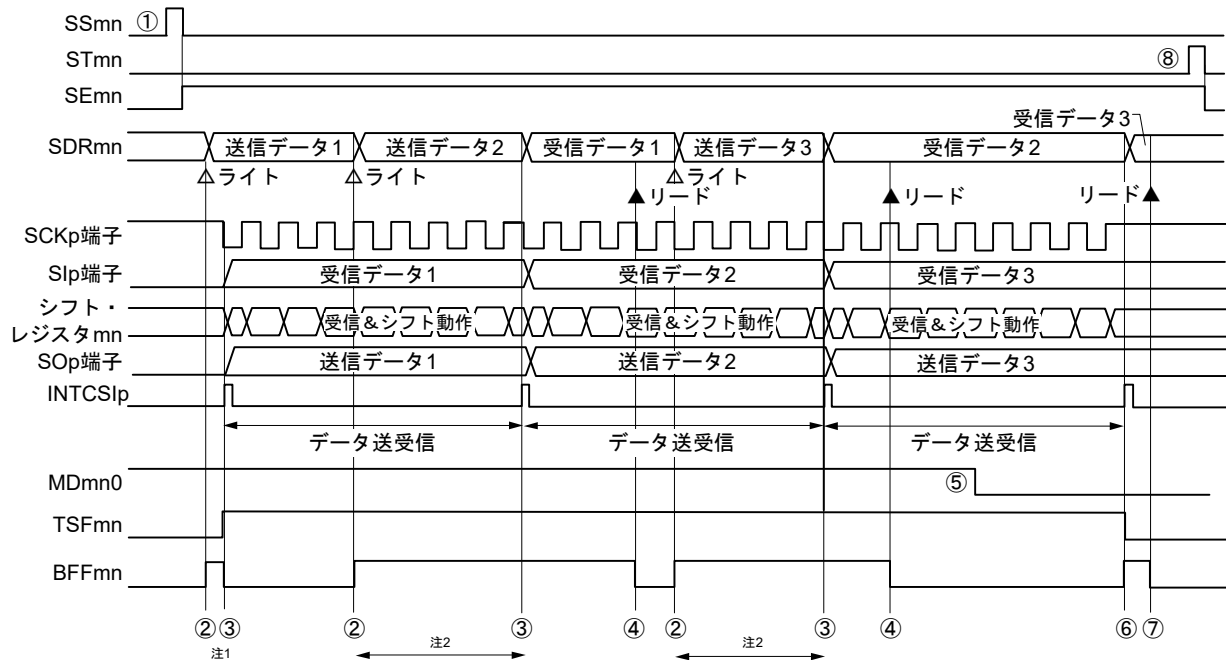
備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)
mn = 00

図14-48 マスタ送受信(シングル送受信モード時)のフロー・チャート



(4) 処理フロー (連続送受信モード時)

図14-49 マスタ送受信(連続送受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn)の BFFmn ビットが“1”の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されている時)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

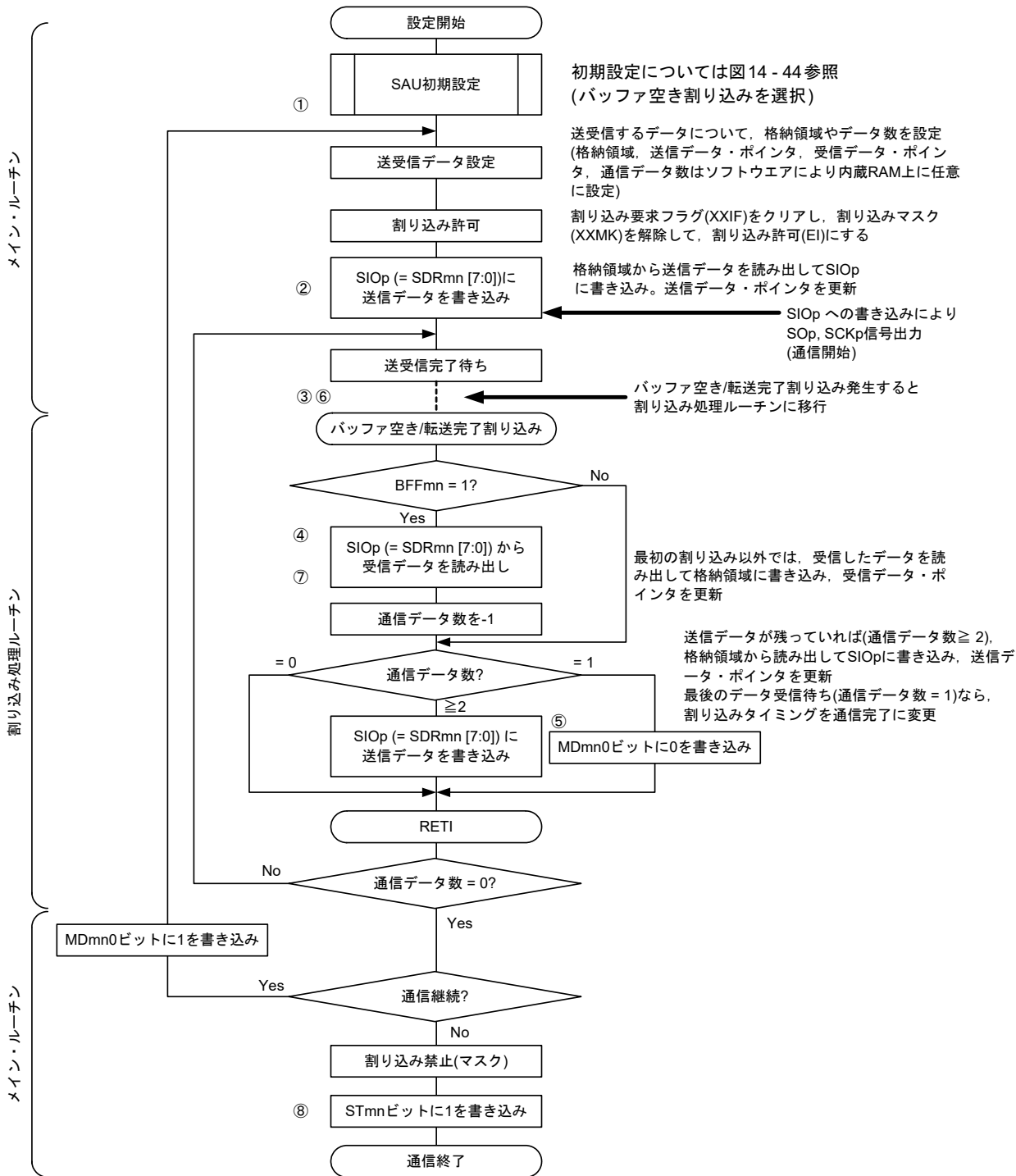
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn)の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図14-50 マスタ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)
mn = 00

図14 - 50 マスタ送受信(連続送受信モード時)のフロー・チャート



備考 図中の①～⑧は、図14 - 49 マスタ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

14.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSB ファーストまたはLSB ファースト

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0), mn = 00

(1) レジスタ設定

図14 - 51 簡易SPI (CSI00)のスレーブ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fmck) チャンネルnの割り込み要因
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0” 0 : 転送完了割り込み
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1” 1 : バッファ空き割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択 データ転送順序の選択 データ長の設定
 (設定内容詳細は「14.3 シリアル・アレイ・ユニットを制御するレジスタ」参照) 0 : MSBファーストで入出力を行う 0 : 7ビット・データ長
1 : LSBファーストで入出力を行う 1 : 8ビット・データ長

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000							0	送信データ設定							
	ボー・レート設定															

SIOp

(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm								CKOm0						SOm2		SOm0
	0	0	0	0	1	1	1	x	0	0	0	0	1	x	1	0/1

(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0/1

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)
 mn = 00

備考2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 14 - 52 スレーブ送信の初期設定手順

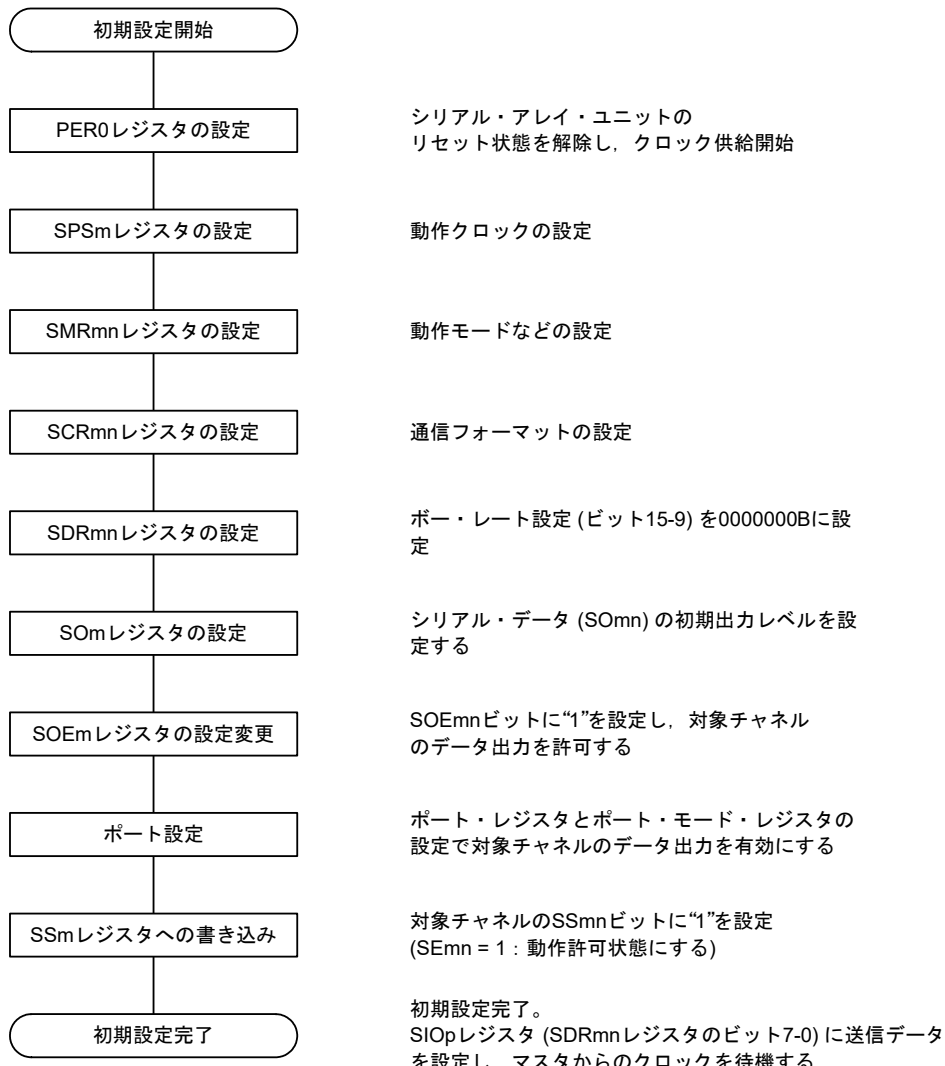


図 14 - 53 スレーブ送信の中断手順

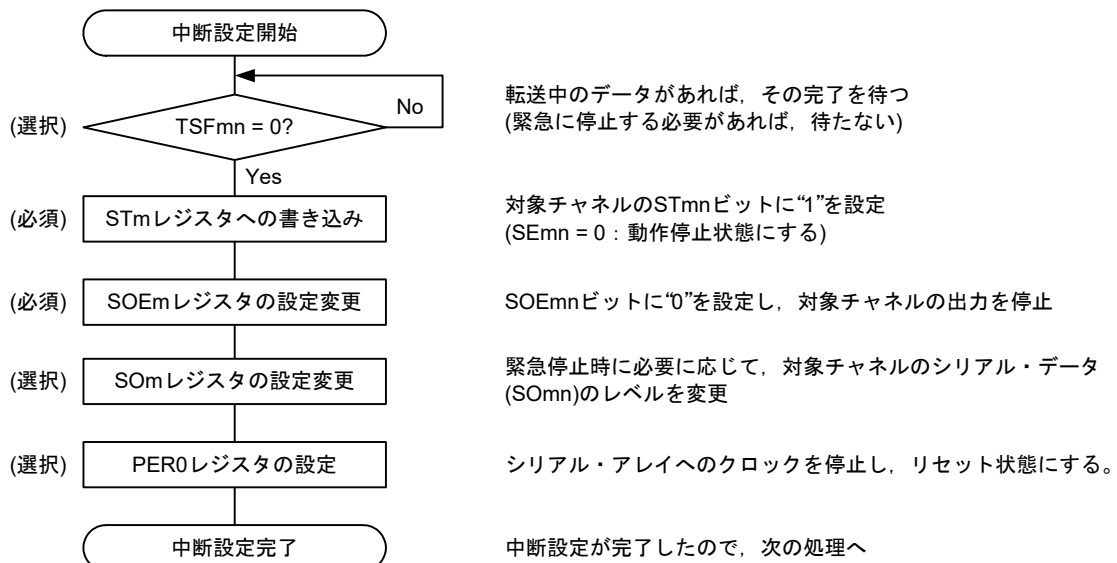
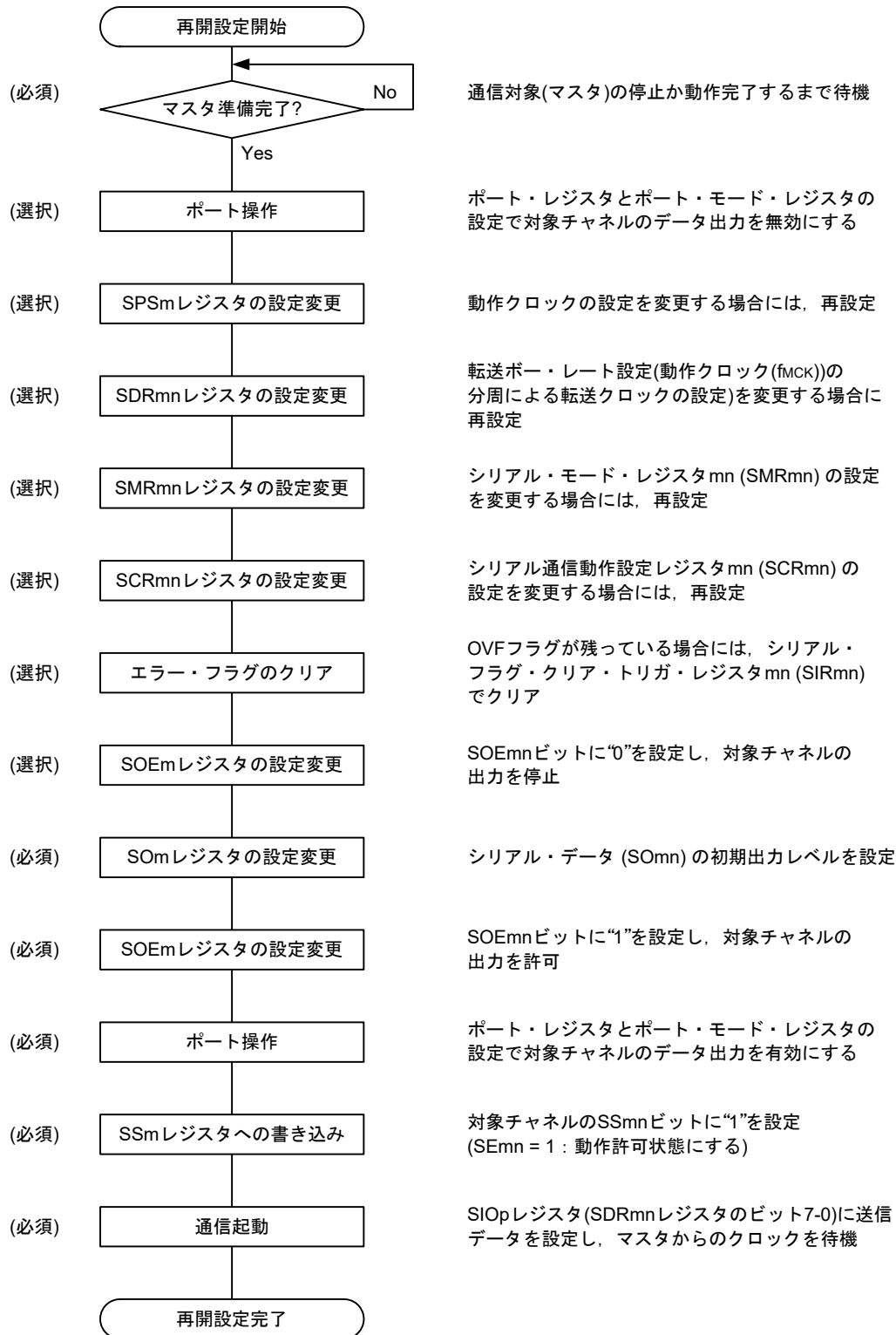


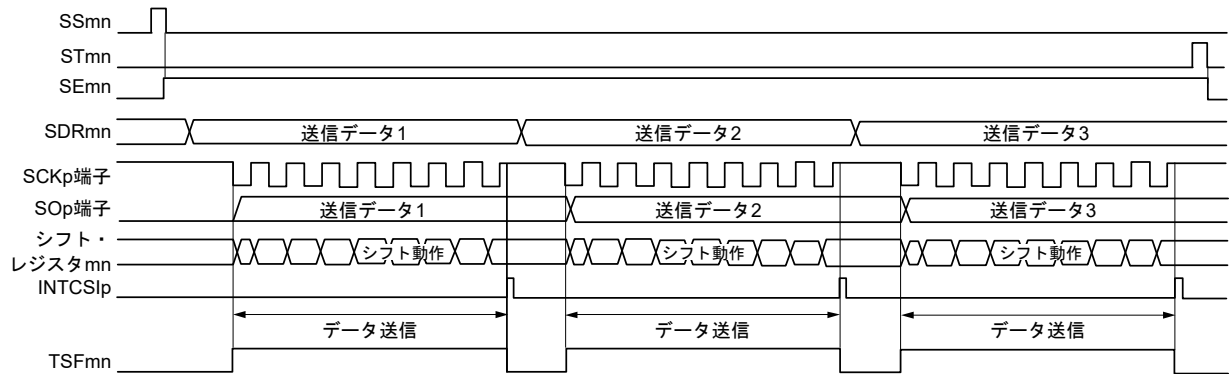
図 14 - 54 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

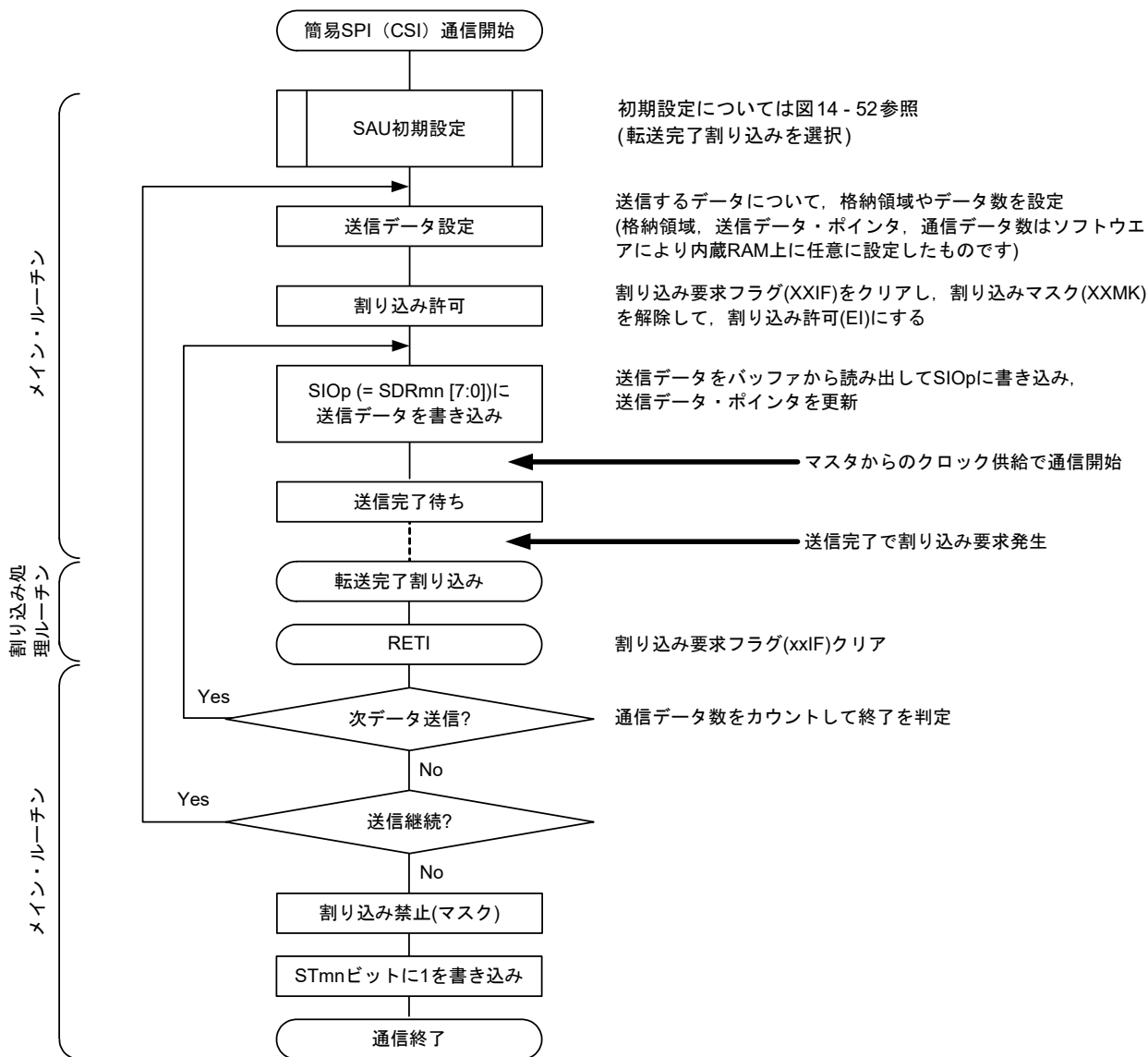
(3) 処理フロー (シングル送信モード時)

図 14 - 55 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



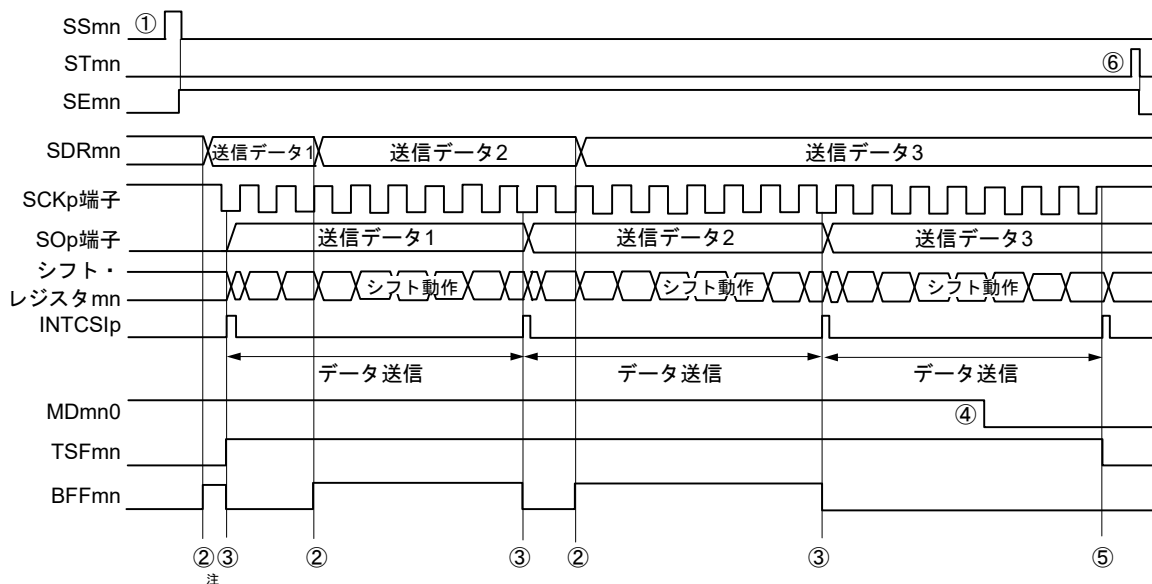
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)
 mn = 00

図 14 - 56 スレーブ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 14 - 57 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

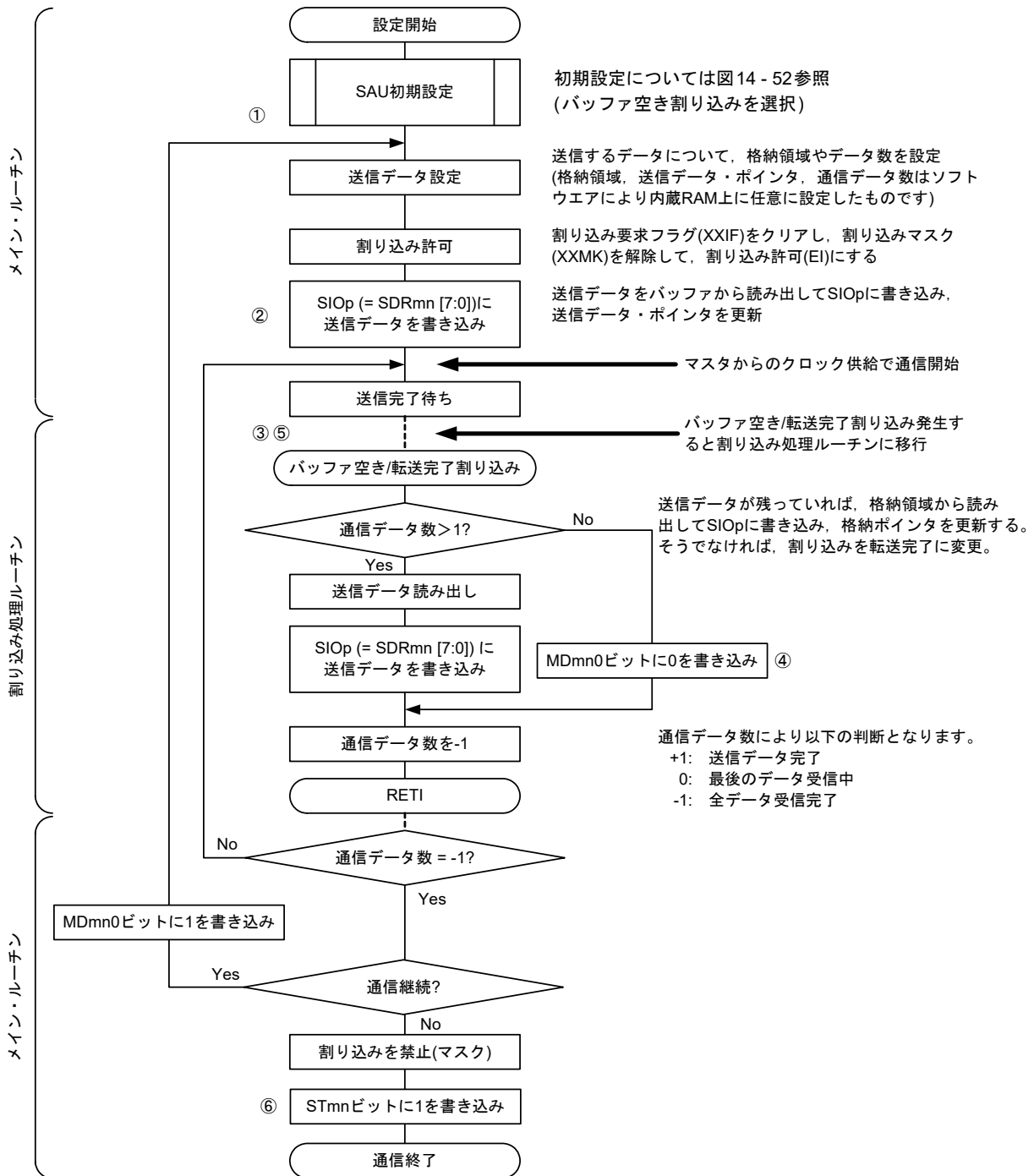


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されているとき)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)
mn = 00

図14-58 スレーブ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は、図14-57 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

14.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00
割り込み	INTCSI00 転送完了割り込みのみ(バッファ空き割り込みは設定禁止)
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSB ファーストまたはLSB ファースト

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

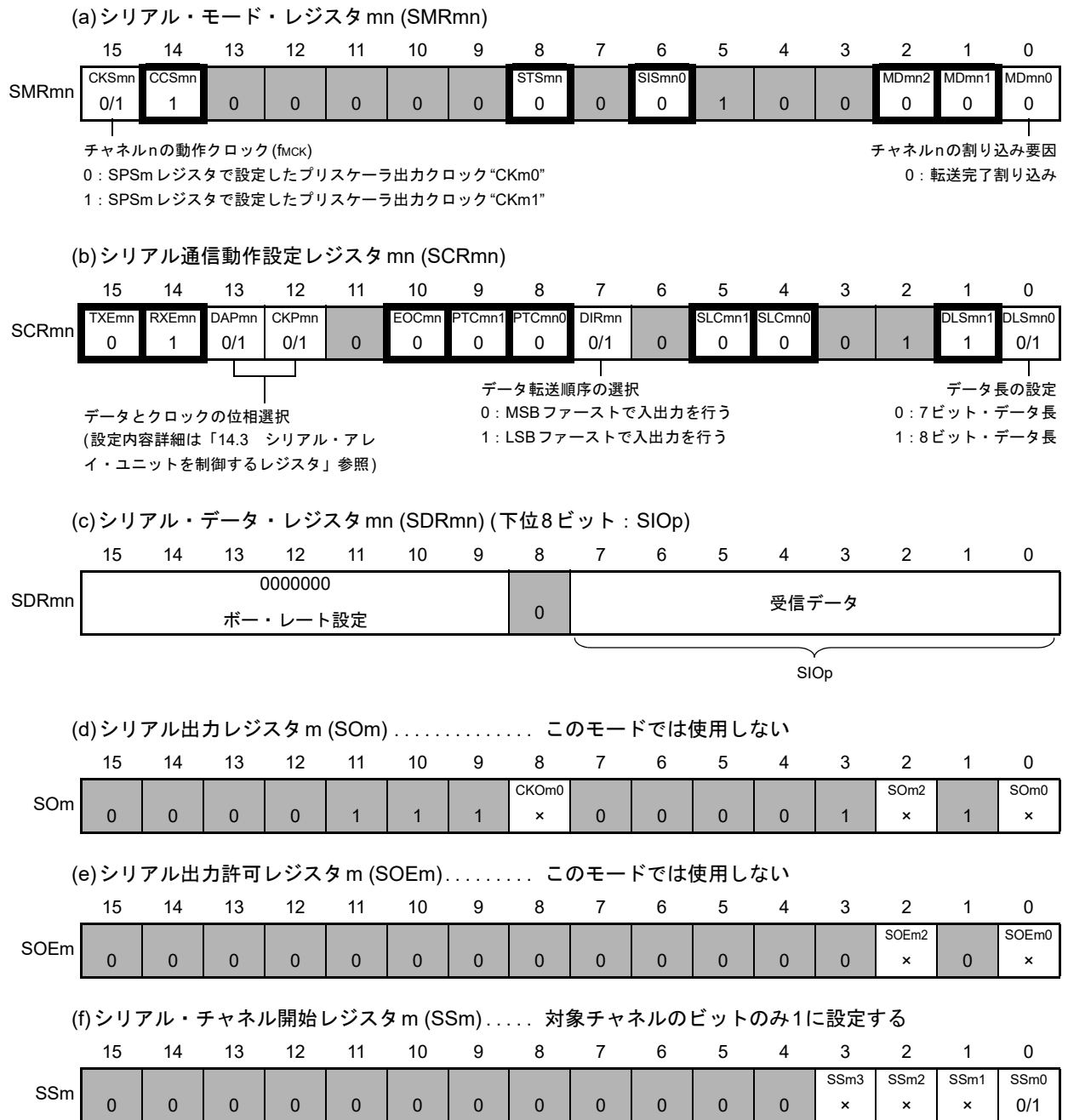
注2. この条件を満たし、かつ電気的特性の周辺機能特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0), mn = 00

(1) レジスタ設定

図14 - 59 簡易SPI (CSI00)のスレーブ受信時のレジスタ設定内容例



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

mn = 00

備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 14 - 60 スレーブ受信の初期設定手順

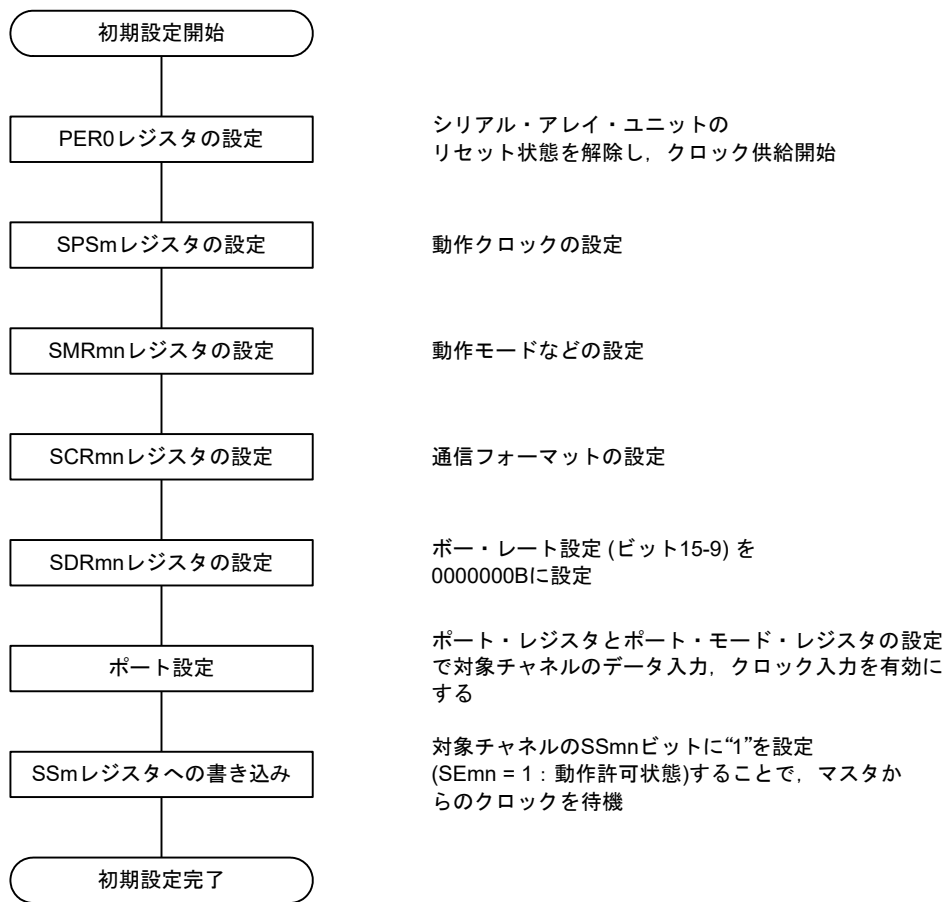


図 14 - 61 スレーブ受信の中断手順

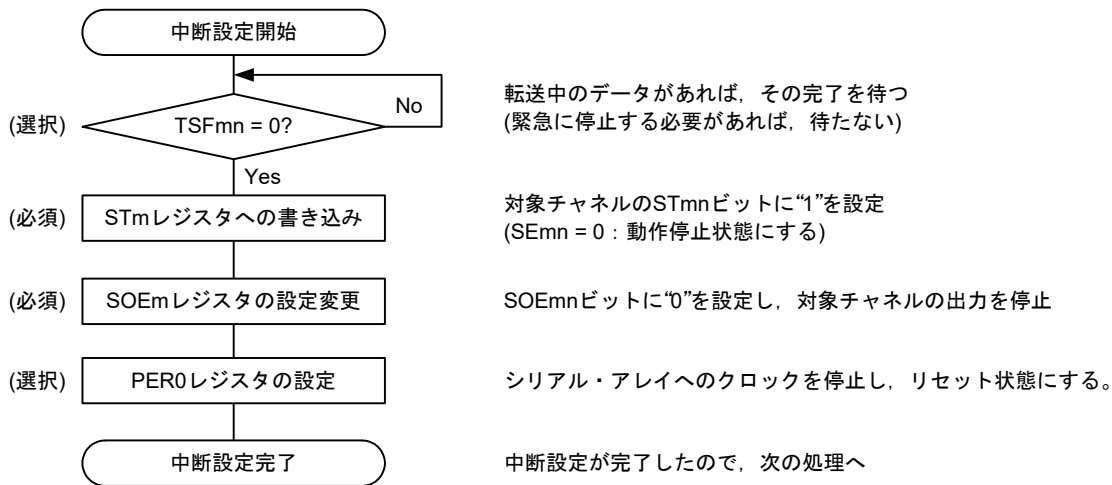
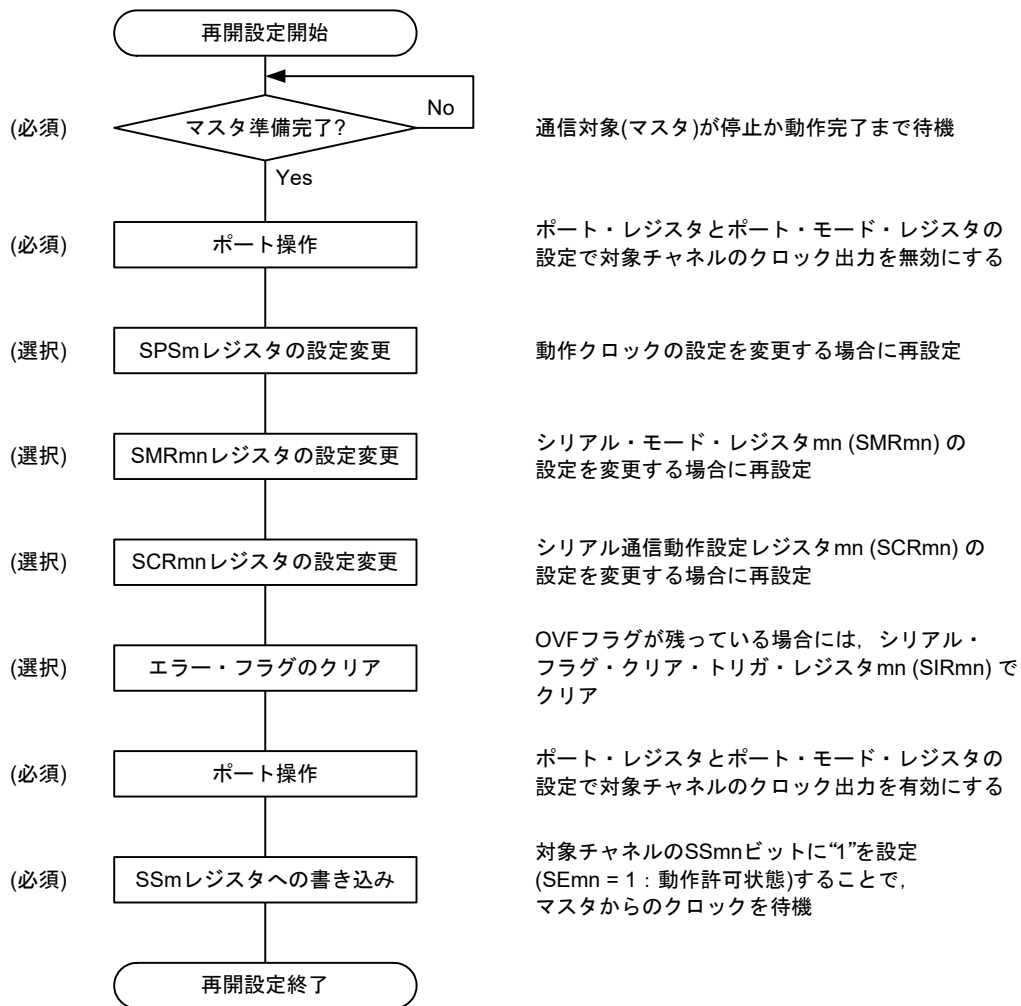


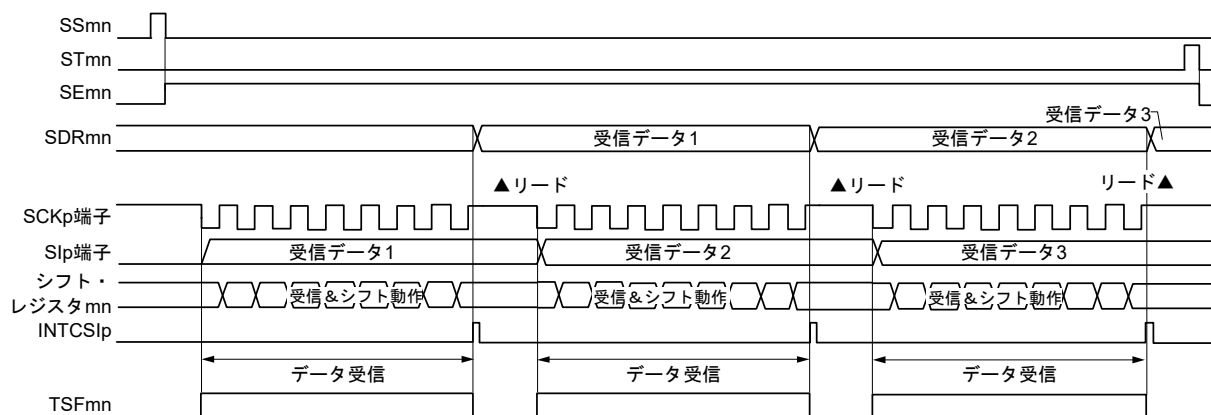
図14 - 62 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

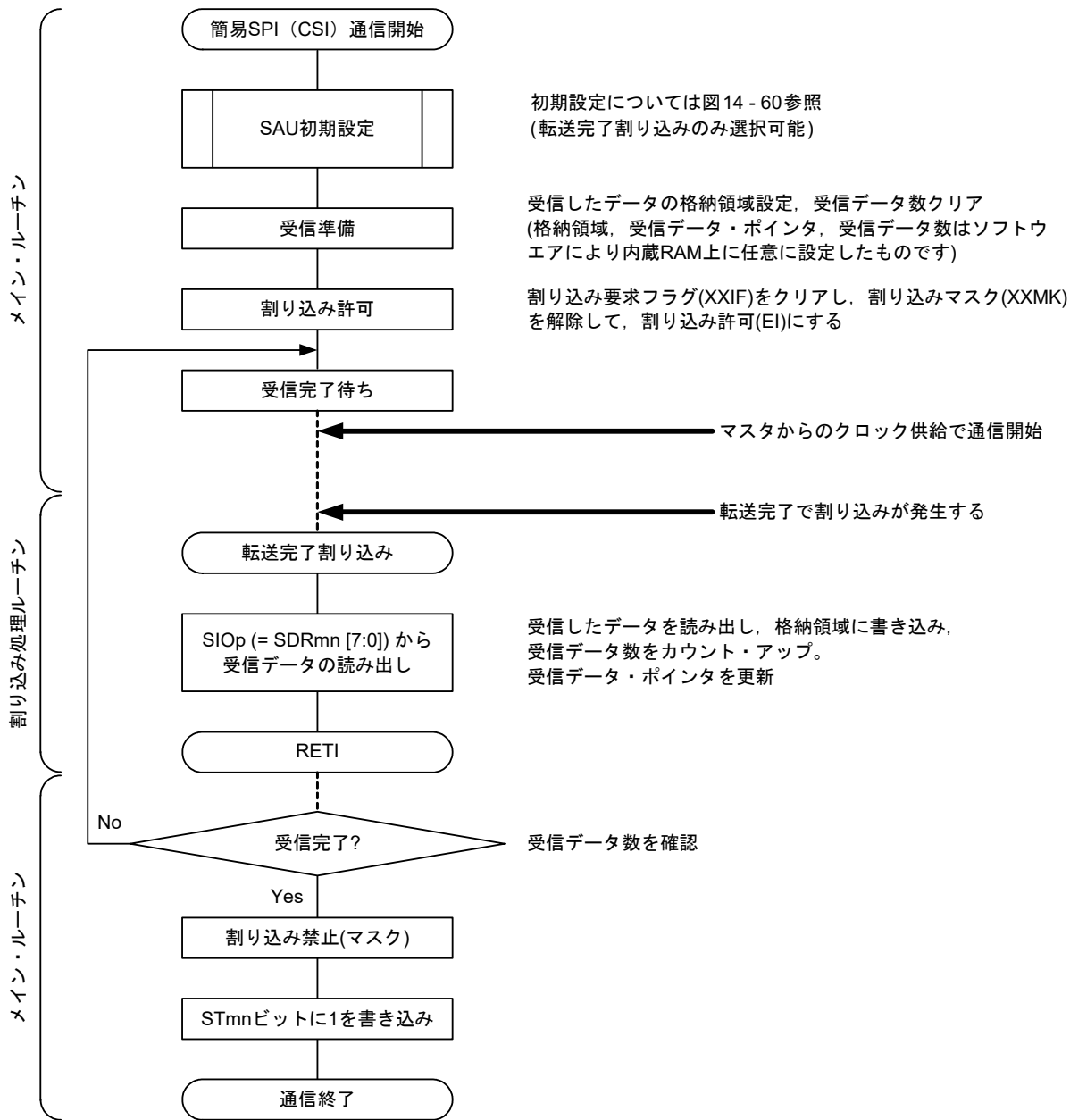
(3) 処理フロー (シングル受信モード時)

図 14 - 63 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)
 mn = 00

図14 - 64 スレープ受信(シングル受信モード時)のフロー・チャート



14.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

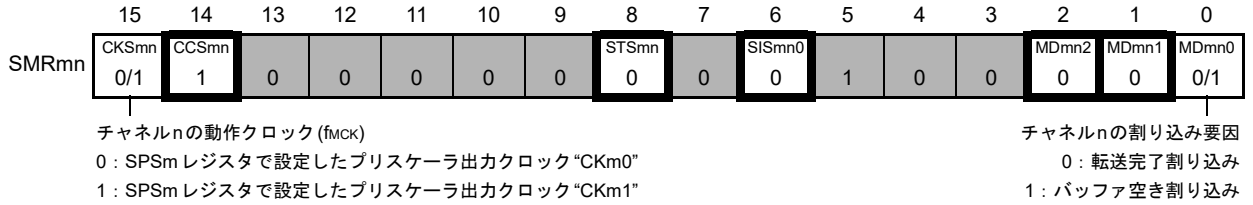
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0), mn = 00

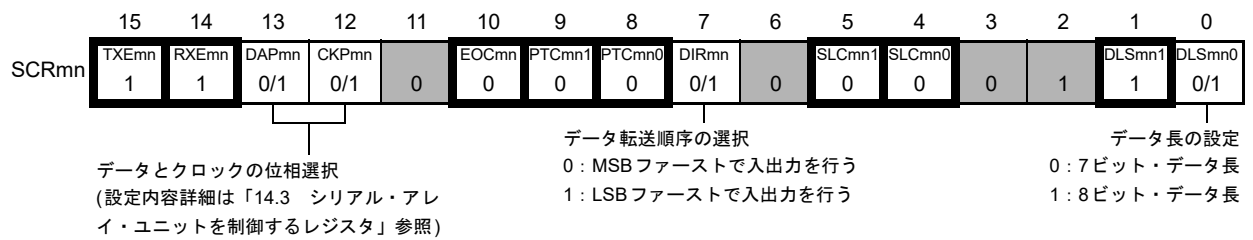
(1) レジスタ設定

図 14 - 65 簡易SPI (CSI00)のスレーブ送受信時のレジスタ設定内容例

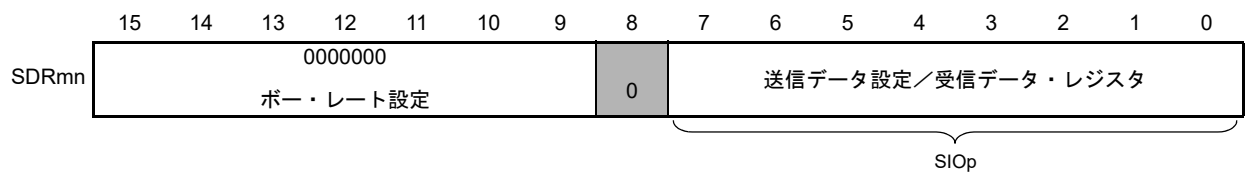
(a)シリアル・モード・レジスタ mn (SMRmn)



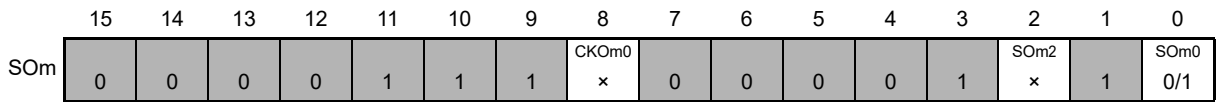
(b)シリアル通信動作設定レジスタ mn (SCRmn)



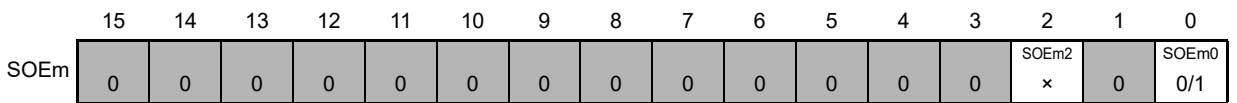
(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



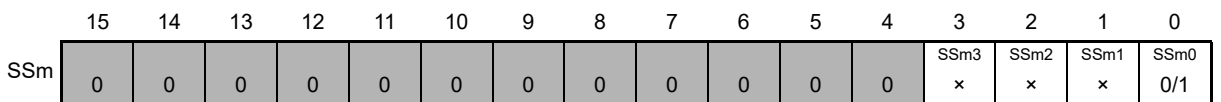
(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e)シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



(f)シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



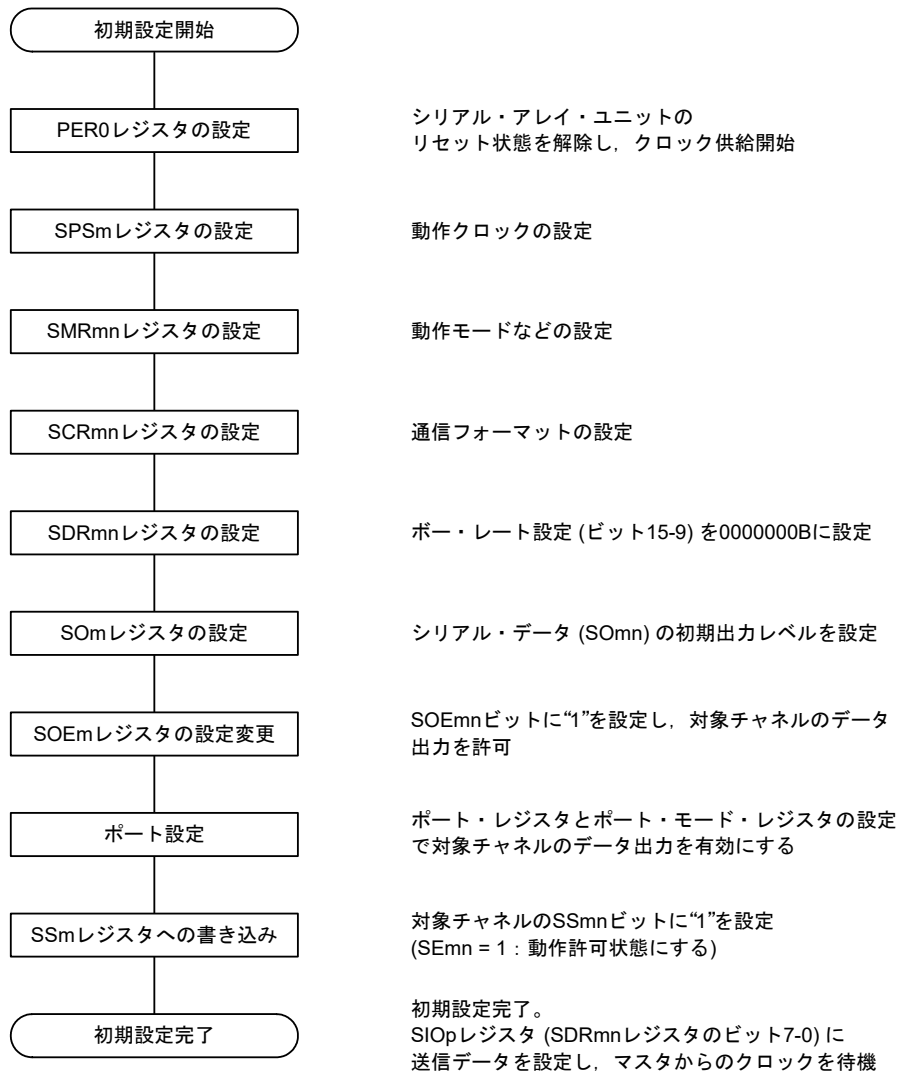
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)
 mn = 00

備考2. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 14 - 66 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図 14 - 67 スレーブ送受信の中断手順

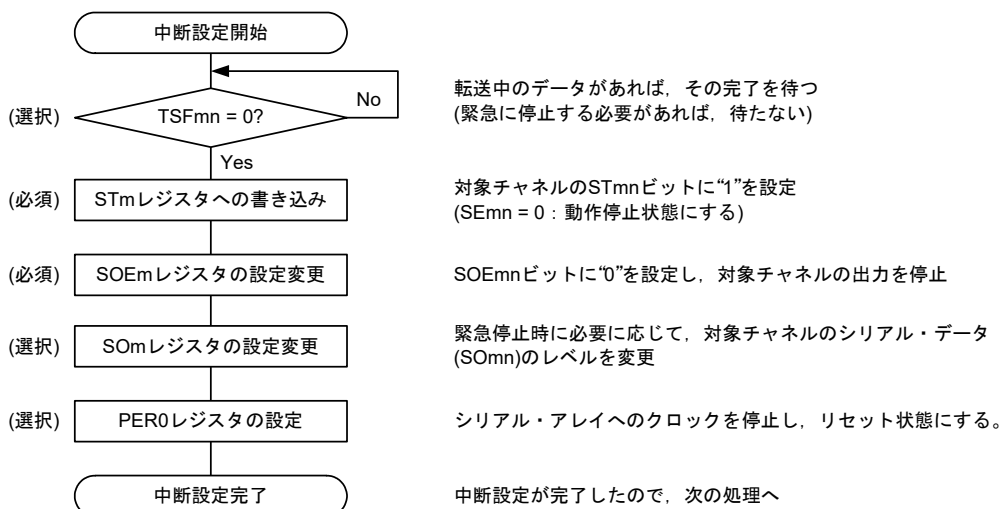
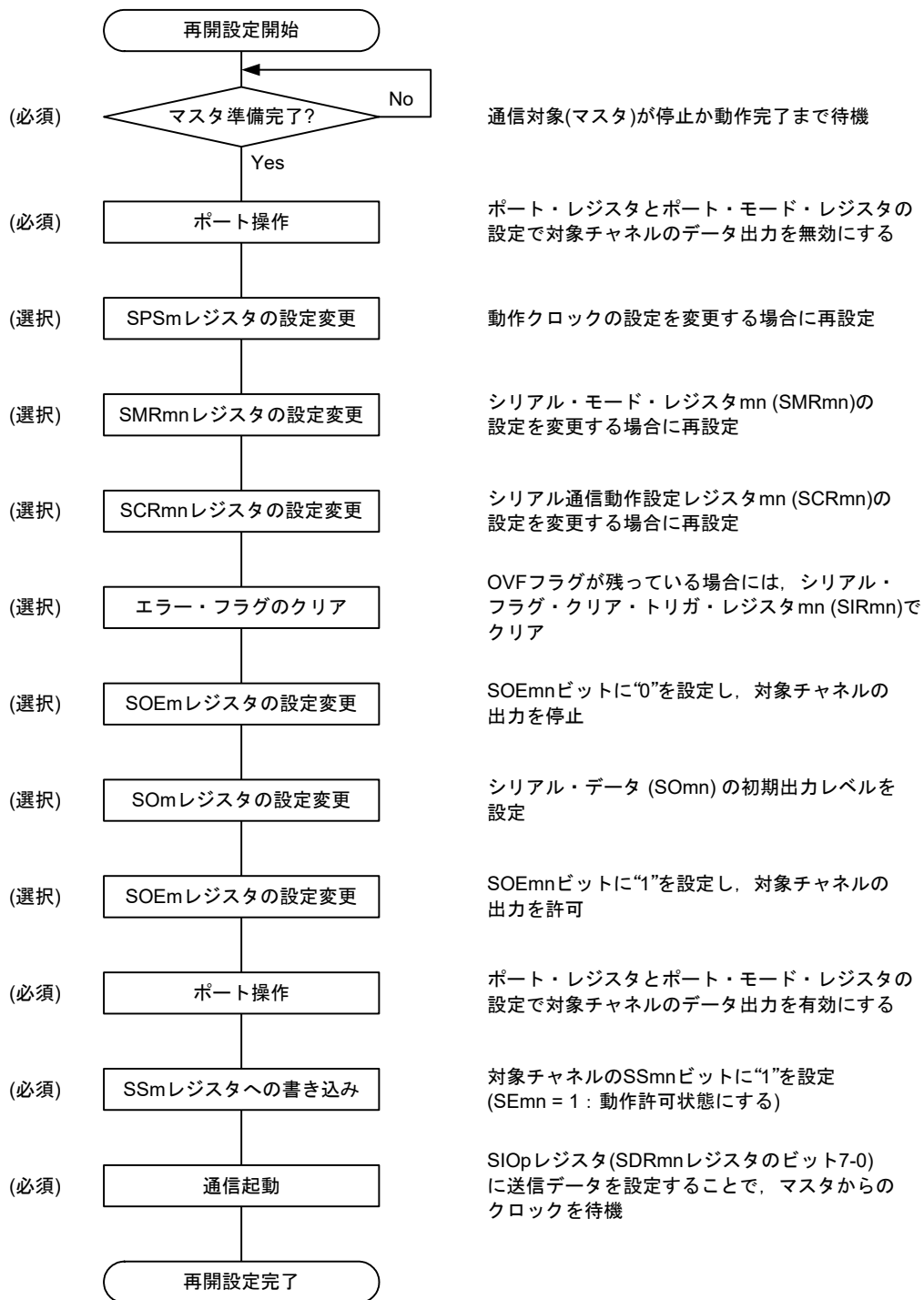


図 14 - 68 スレーブ送受信の再開設定手順

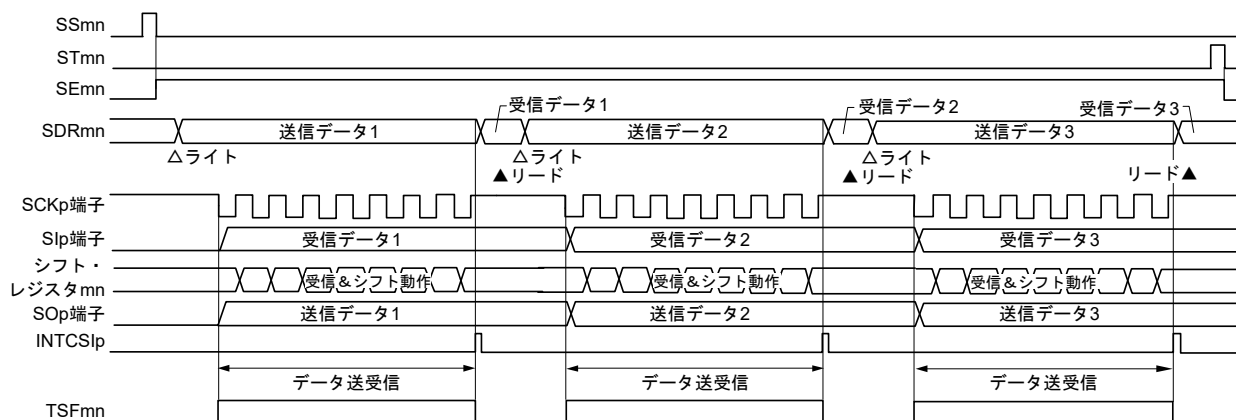


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

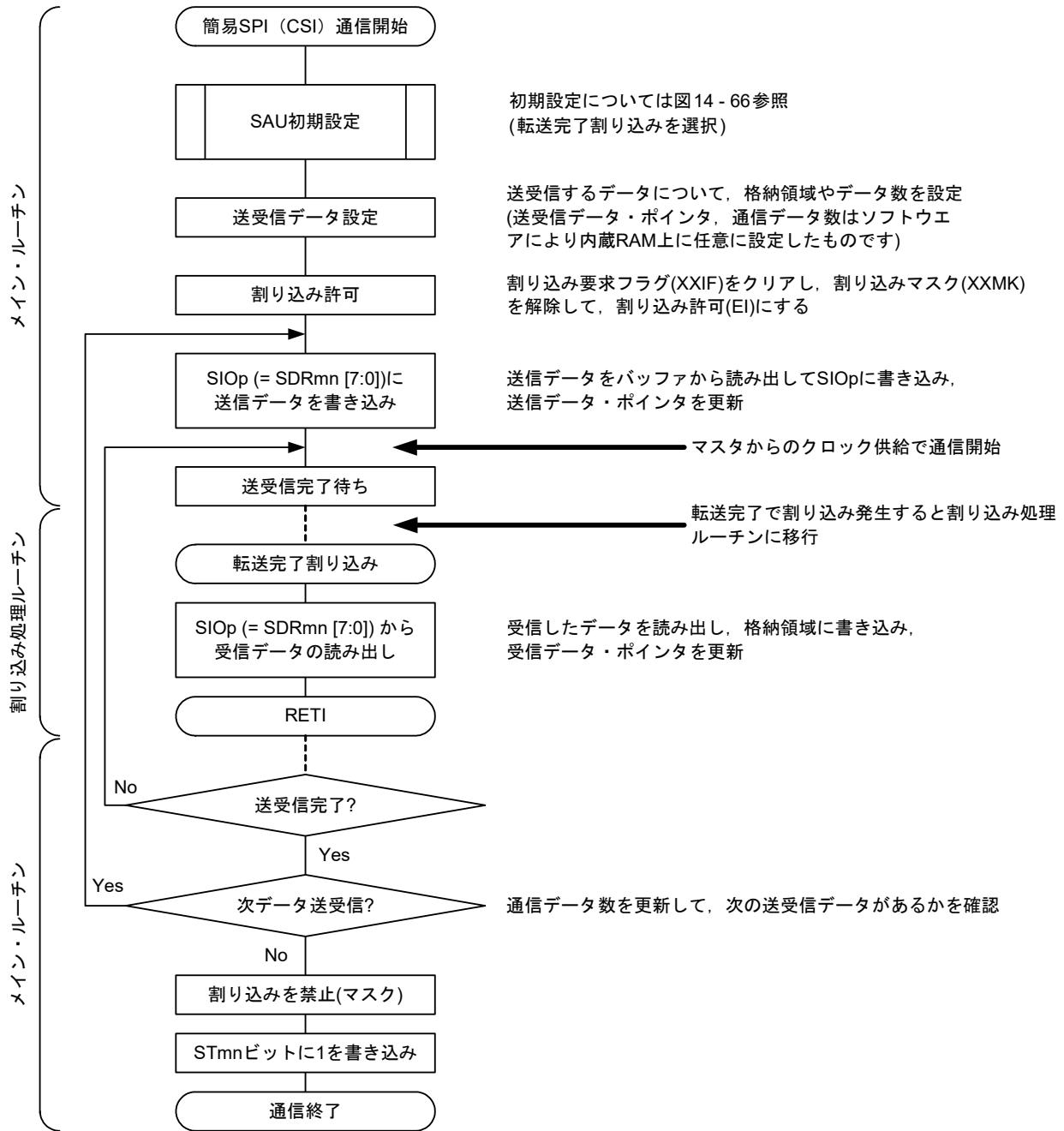
(3) 処理フロー (シングル送受信モード時)

図 14 - 69 スレーブ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00),
mn = 00

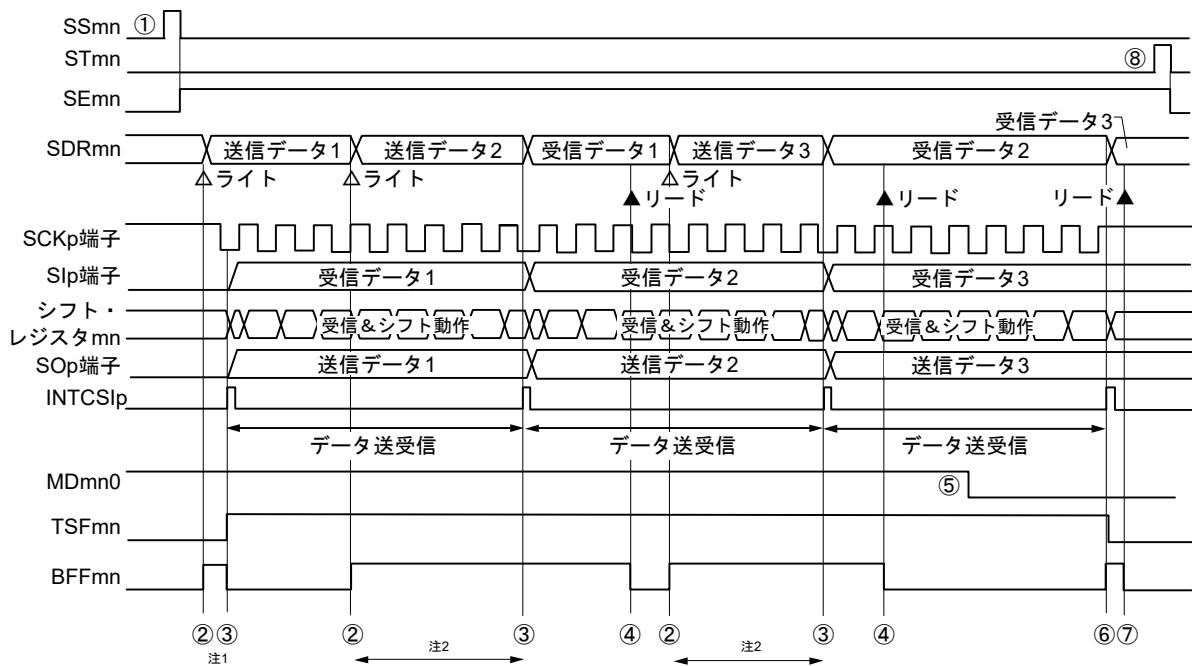
図14 - 70 スレーブ送受信(シングル送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図 14 - 71 スレーブ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

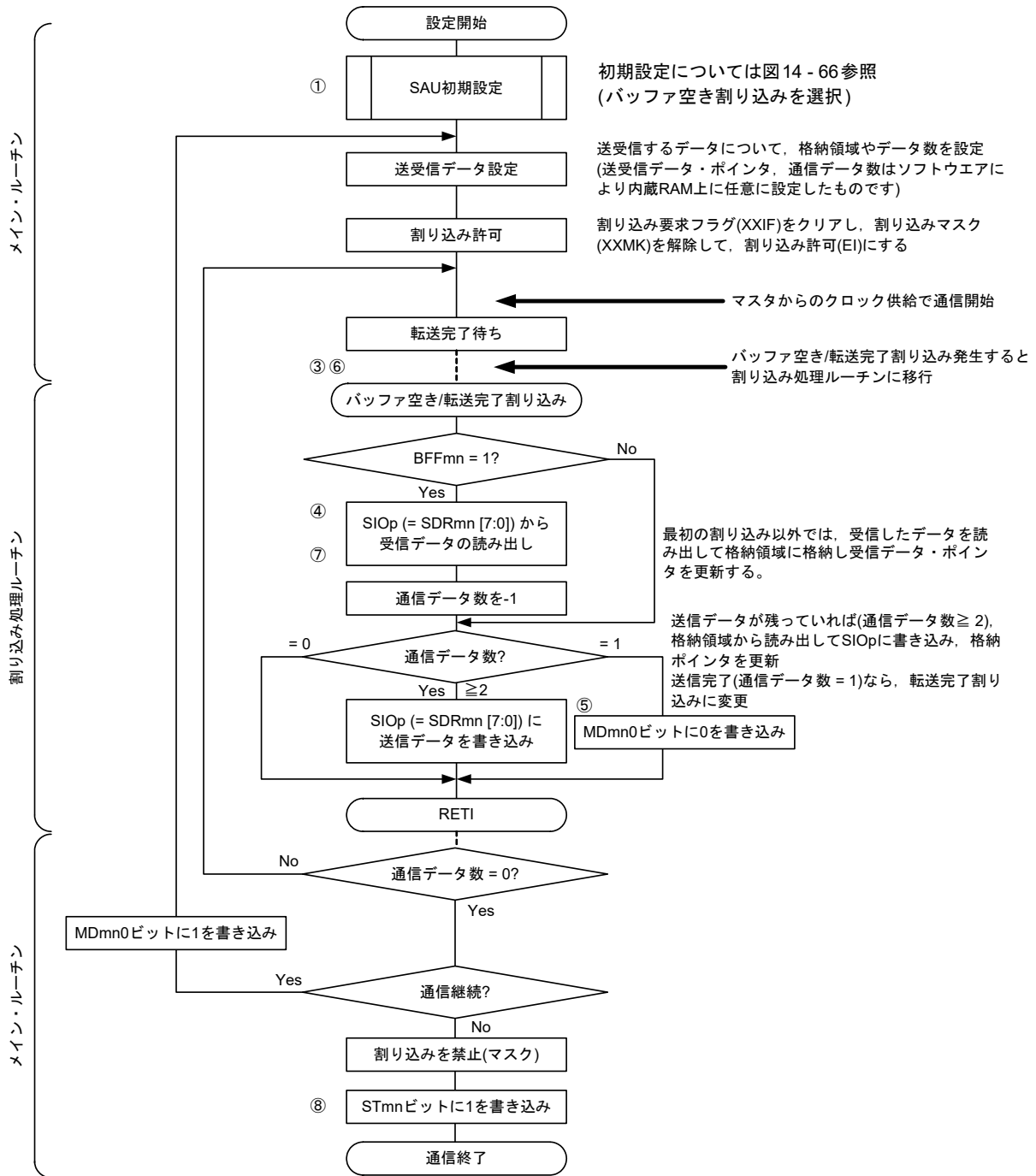
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図 14 - 72 スレーブ送受信 (連続送受信モード時) のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00),
mn = 00

図14-72 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①～⑧は、図14-71 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

14.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI(CSI)の受信動作をさせるモードです。通常STOP時に簡易SPI(CSI)は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI(CSI)の受信動作を行うことができます。SNOOZEモードは、以下のチャンネルのみ設定可能です。

- CSI00

簡易SPI(CSI)をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います(図14-74, 図14-76 SNOOZEモード動作時のフローチャートを参照)。

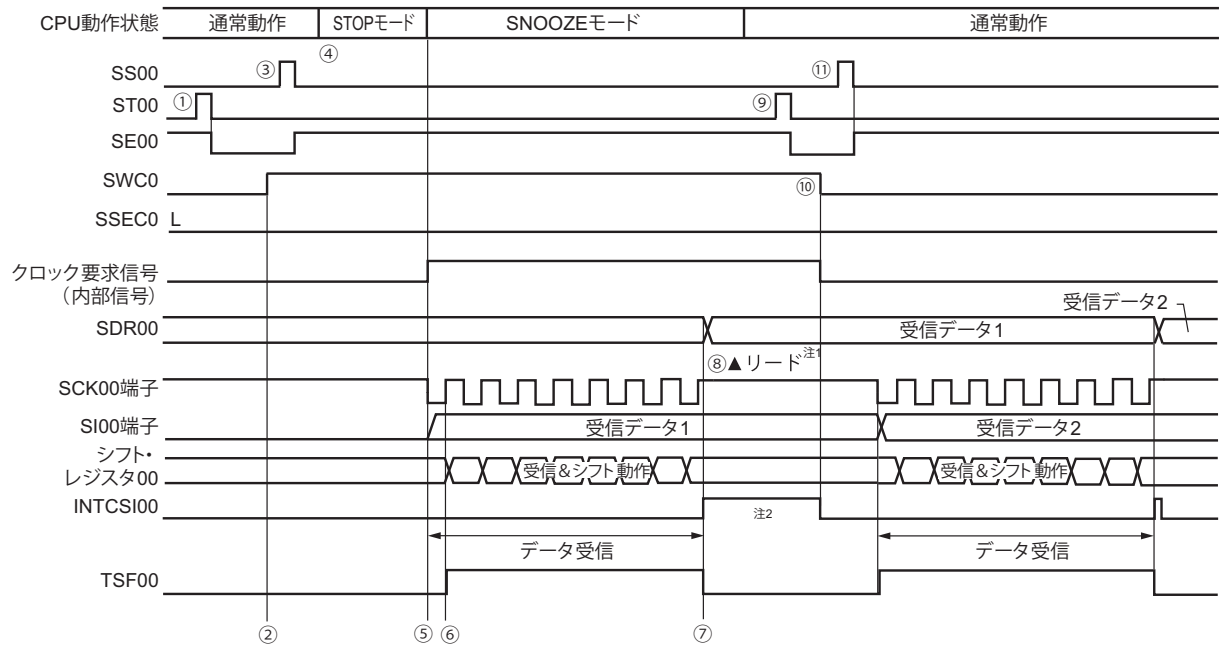
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm0ビットをセット(1)します。
- STOPモードに移行後、SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。
SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作(1回起動)

図14 - 73 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



注1. 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注2. 転送完了割り込み(INTCSIp)は、SWCm = 0に設定するか、次のSCKp端子のエッジ検出でクリアされます。

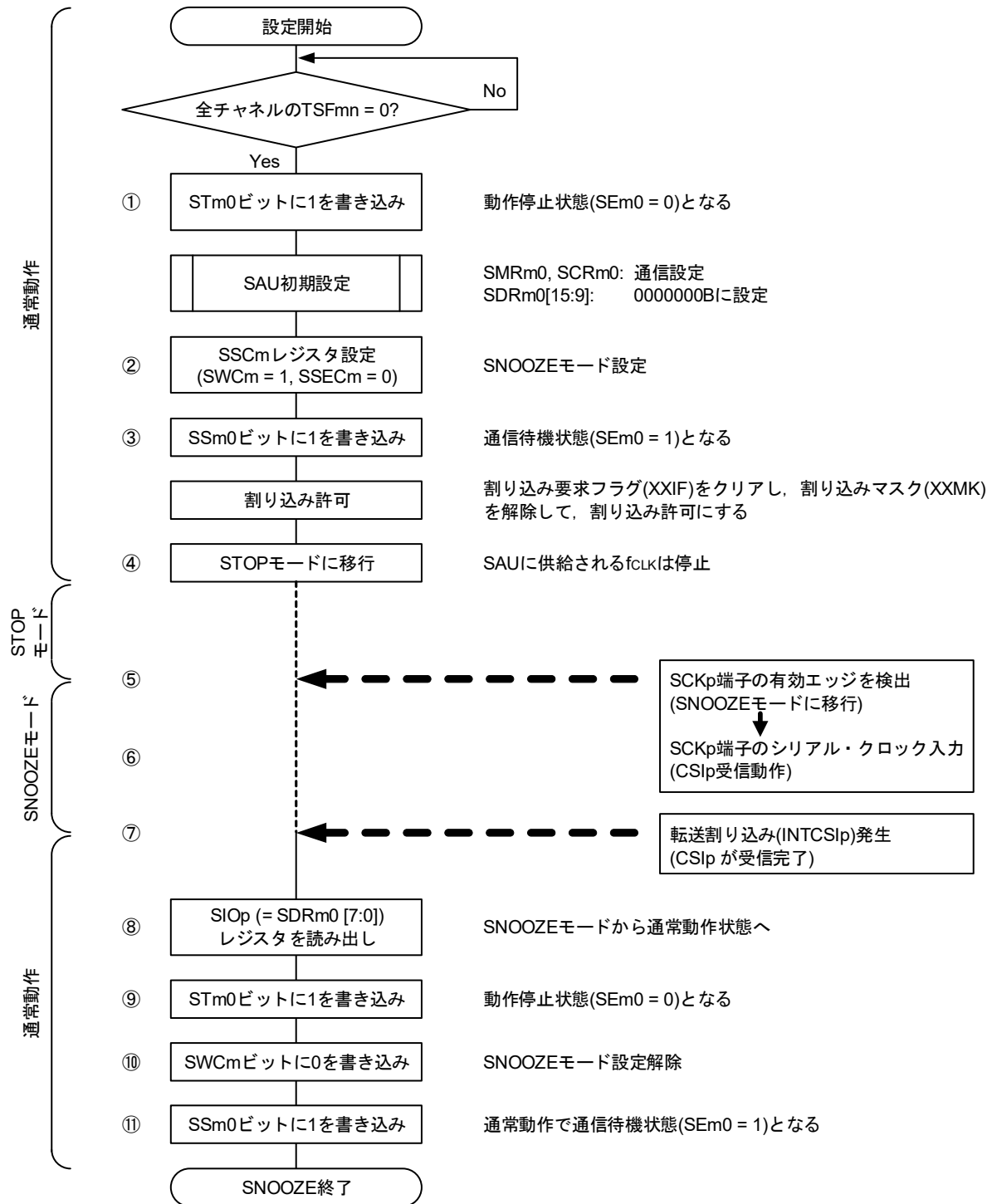
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

備考1. 図中の①~⑪は、図14 - 74 SNOOZEモード動作(1回起動)時のフロー・チャートの①~⑪に対応しています。

備考2. m = 0; p = 00

図14-74 SNOOZEモード動作(1回起動)時のフロー・チャート

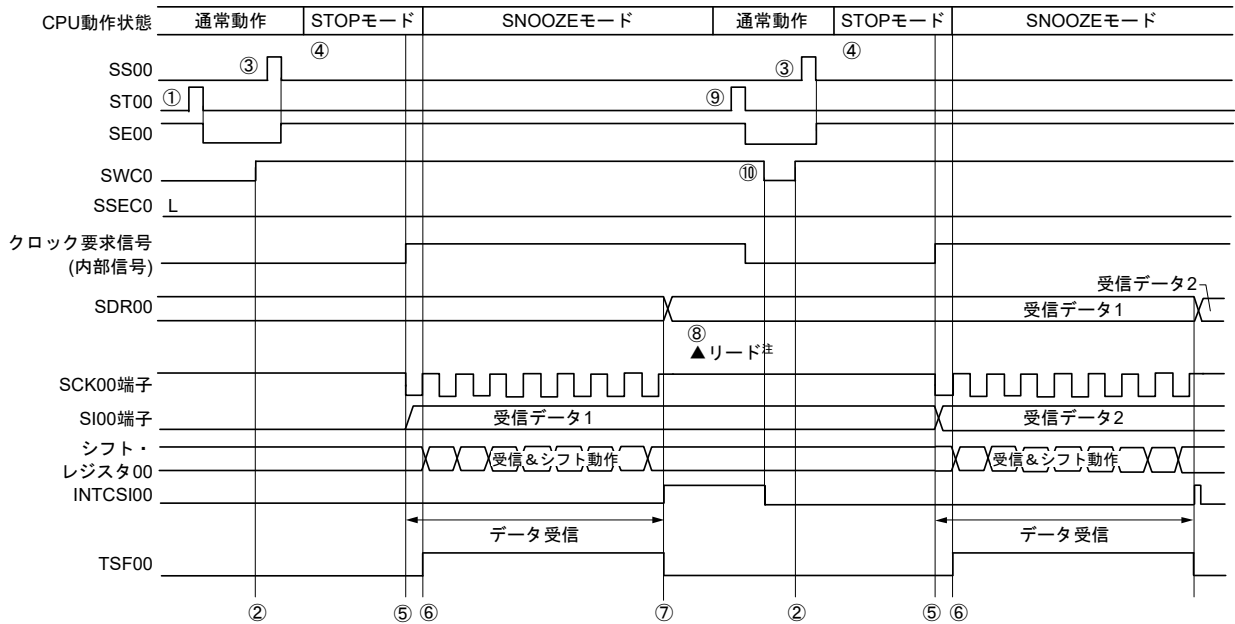


備考1. 図中の①～⑪は、図14-73 SNOOZEモード動作(1回起動)時のタイミング・チャートの①～⑪に対応しています。

備考2. m = 0; p = 00

(2) SNOOZEモード動作(連続起動)

図14 - 75 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

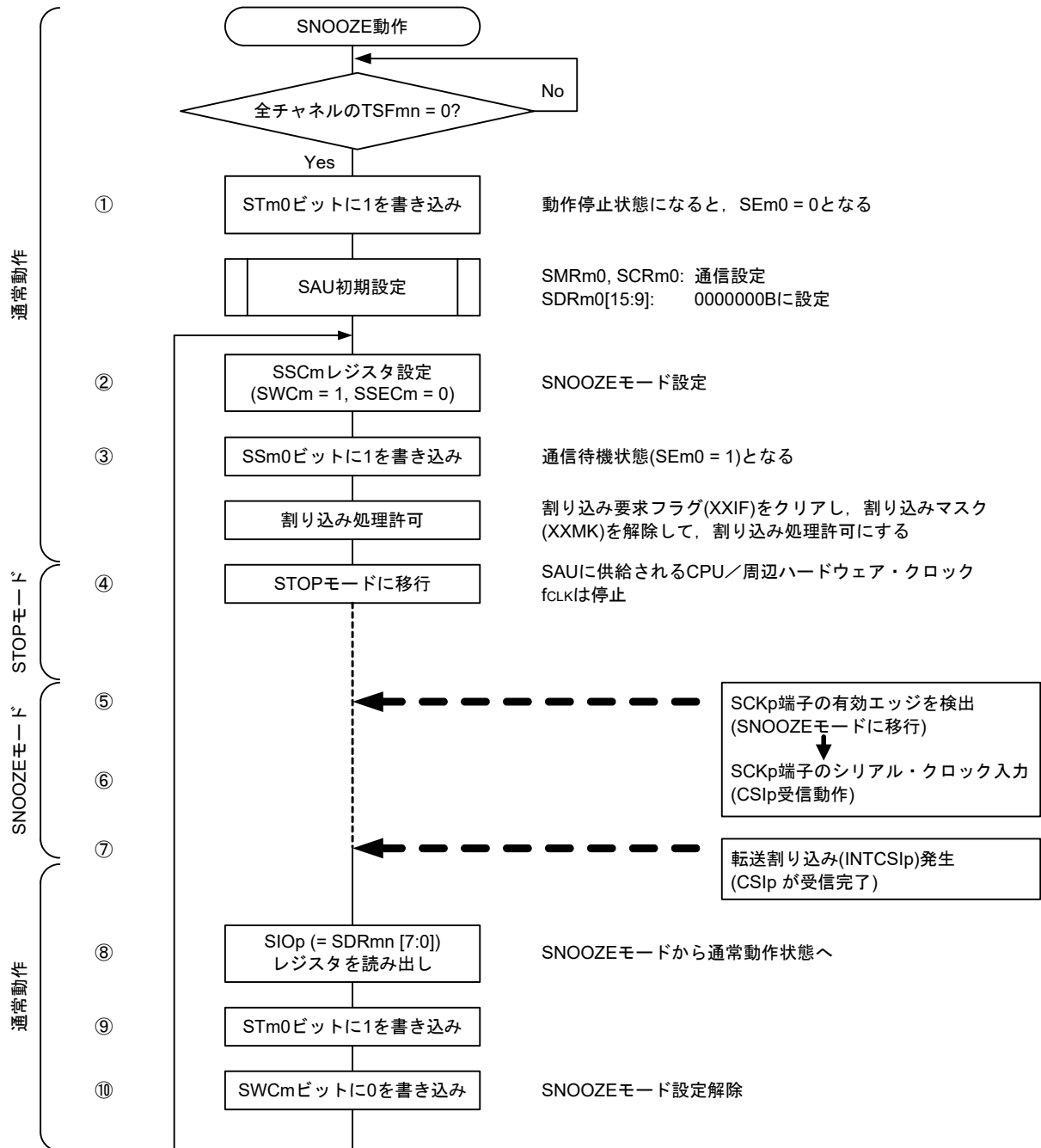
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1, OVFm1フラグは動作しません。

備考1. 図中の①～⑩は、図14 - 76 SNOOZEモード動作(連続起動)時のフロー・チャートの①～⑩に対応しています。

備考2. m = 0; p = 00

図14 - 76 SNOOZEモード動作(連続起動)時のフロー・チャート



備考1. 図中の①~⑩は, 図14 - 75 SNOOZEモード動作(連続起動)時のタイミング・チャートの①~⑩に対応しています。

備考2. m = 0; p = 00

14.5.8 転送クロック周波数の算出

簡易SPI (CSI00)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数はfMCK/6となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000000B-1111111B)なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmn)で決まります。

表 14 - 2 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.75 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.88 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.44 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.72 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.75 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.88 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.44 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.72 kHz
	1	1	0	0	X	X	X	X	fCLK/2 ¹²	5.86 kHz
	1	1	0	1	X	X	X	X	fCLK/2 ¹³	2.93 kHz
	1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.46 kHz
1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ (CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0), mn = 00

14.5.9 簡易SPI (CSI00)通信時におけるエラー発生時の処理手順

簡易SPI (CSI00)通信時にエラーが発生した場合の処理手順を図14-77に示します。

図14-77 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0), mn = 00

14.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作

スレーブセレクト入力機能付クロック同期シリアル通信に対応しているチャンネルは、SAU0のチャンネル0です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択
- 送受信データのレベル設定

[クロック制御]

- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 スレーブ通信時 : Max. $f_{MCK}/6$

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

[拡張機能]

- スレーブ選択機能

注 SCK サイクル・タイム (t_{CKCY}) の特性を満たす範囲内で使用してください。詳細は、第29章 電気的特性を参照してください。

○30, 32, 44ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0	IIC00
	1	—	UART1	—
	2	—		—
	3	—		—

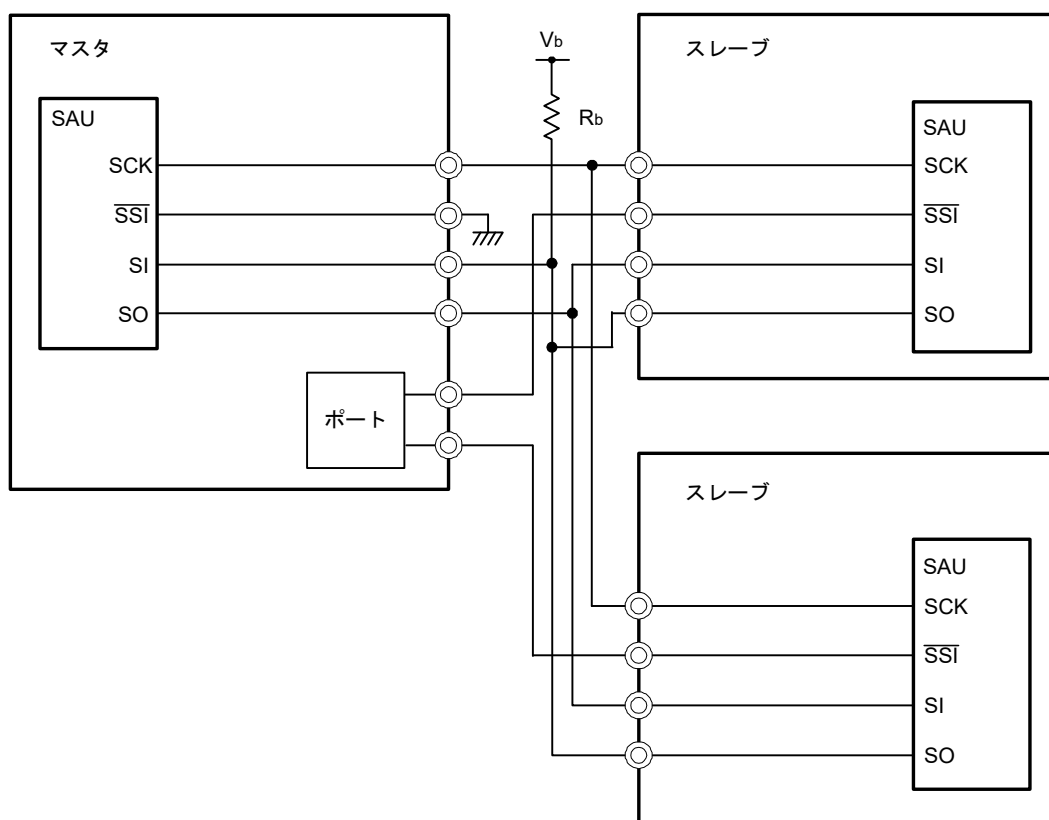
スレーブセレクト入力機能の通信動作は、以下の3種類があります。

- スレーブ送信 (14.6.1項を参照)
- スレーブ受信 (14.6.2項を参照)
- スレーブ送受信 (14.6.3項を参照)

スレーブセレクト入力機能を使うことで、マスタ1つに対し複数のスレーブを接続し、通信を行うことができます。マスタは通信相手となるスレーブ(1つ)に対しスレーブ選択信号を出力し、各スレーブは通信相手として自分が選択されたかを判断し、SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子はマスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には、SO端子はハイ・レベル出力となるため、複数のスレーブが接続される環境では、SO端子はNch-O.Dの設定にし、そのノードはプルアップする必要があります。また、スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意 スレーブ選択信号の出力はポート操作により行ってください。

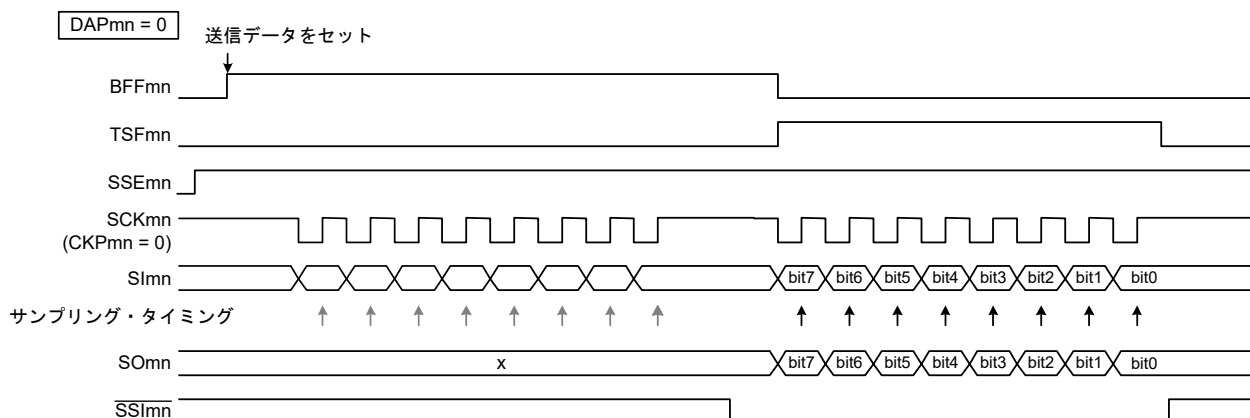
図14 - 78 スレーブセレクト入力機能の構成例



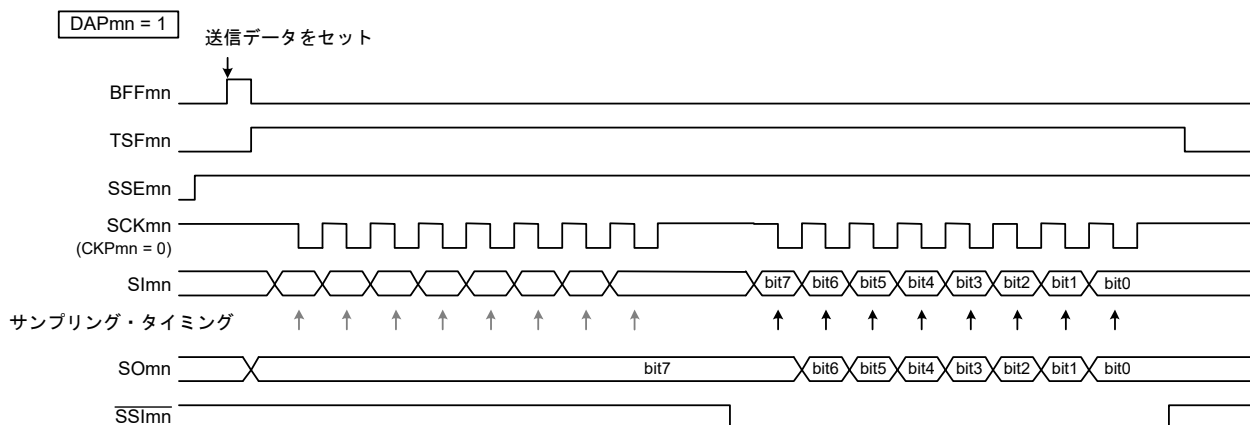
注意 $V_{DD} \geq V_b$ で使用してください。

SO00端子はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

図14-79 スレーブセレクト入力機能のタイミング図



SSI \overline{mn} がハイ期間ではSCK \overline{mn} (シリアル・クロック)の立ち下がりエッジが来ても送信を行いません。
 また、立ち上がりエッジに同期して受信データのサンプリングも行いません。
 SSI \overline{mn} がロウとなった際、シリアル・クロックの立ち下がりエッジに同期してデータを出力(シフト)し、
 立ち上がりエッジに同期して受信動作を行います。



DAP \overline{mn} = 1の場合、SSI \overline{mn} がハイ期間に送信データがセットされると、データ出力に最初のデータ (bit7) を出力します。しかし、SCK \overline{mn} (シリアル・クロック)の立ち上がりエッジが来てもシフト動作を行わず、立ち下がりエッジに同期して受信データのサンプリングも行いません。SSI \overline{mn} がロウになると、次の立ち上がりエッジに同期してデータを出力(シフト)し、立ち下がりエッジに同期して受信動作を行います。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

14.6.1 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスヘデータを送信する動作です。

スレーブセレクト入力機能	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブ・セレクト機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

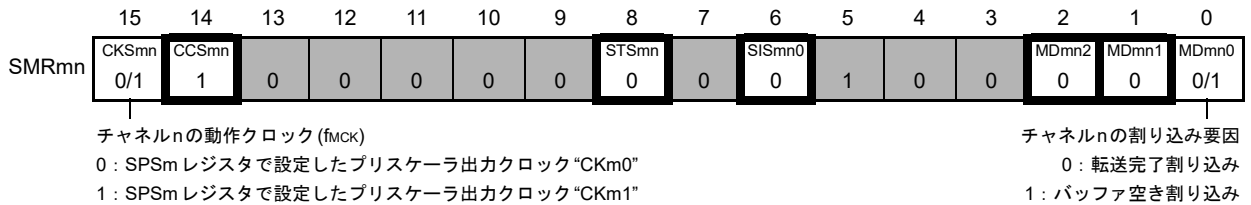
備考1. f_{MCK} : 対象チャネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0)

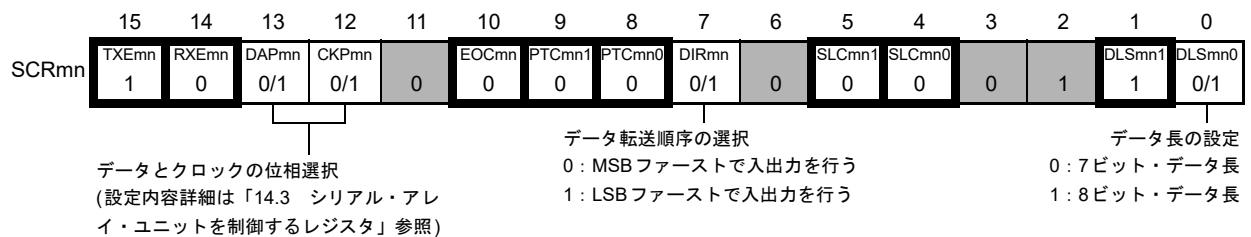
(1) レジスタ設定

図 14 - 80 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(1/2)

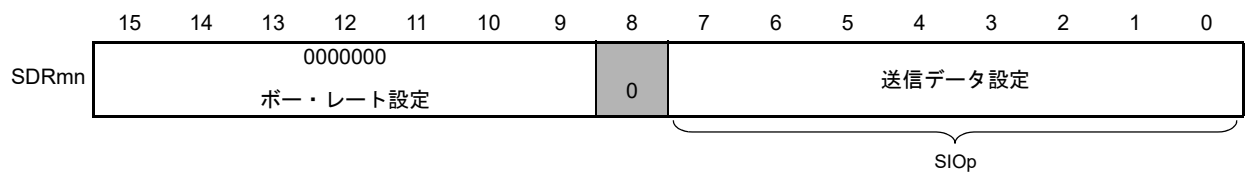
(a) シリアル・モード・レジスタ mn (SMRmn)



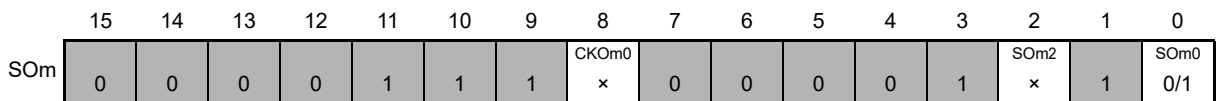
(b) シリアル通信動作設定レジスタ mn (SCRmn)



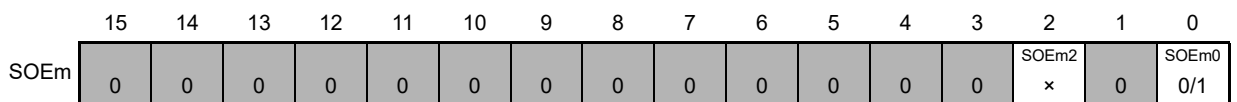
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図14 - 81 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSIO0端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	0	0

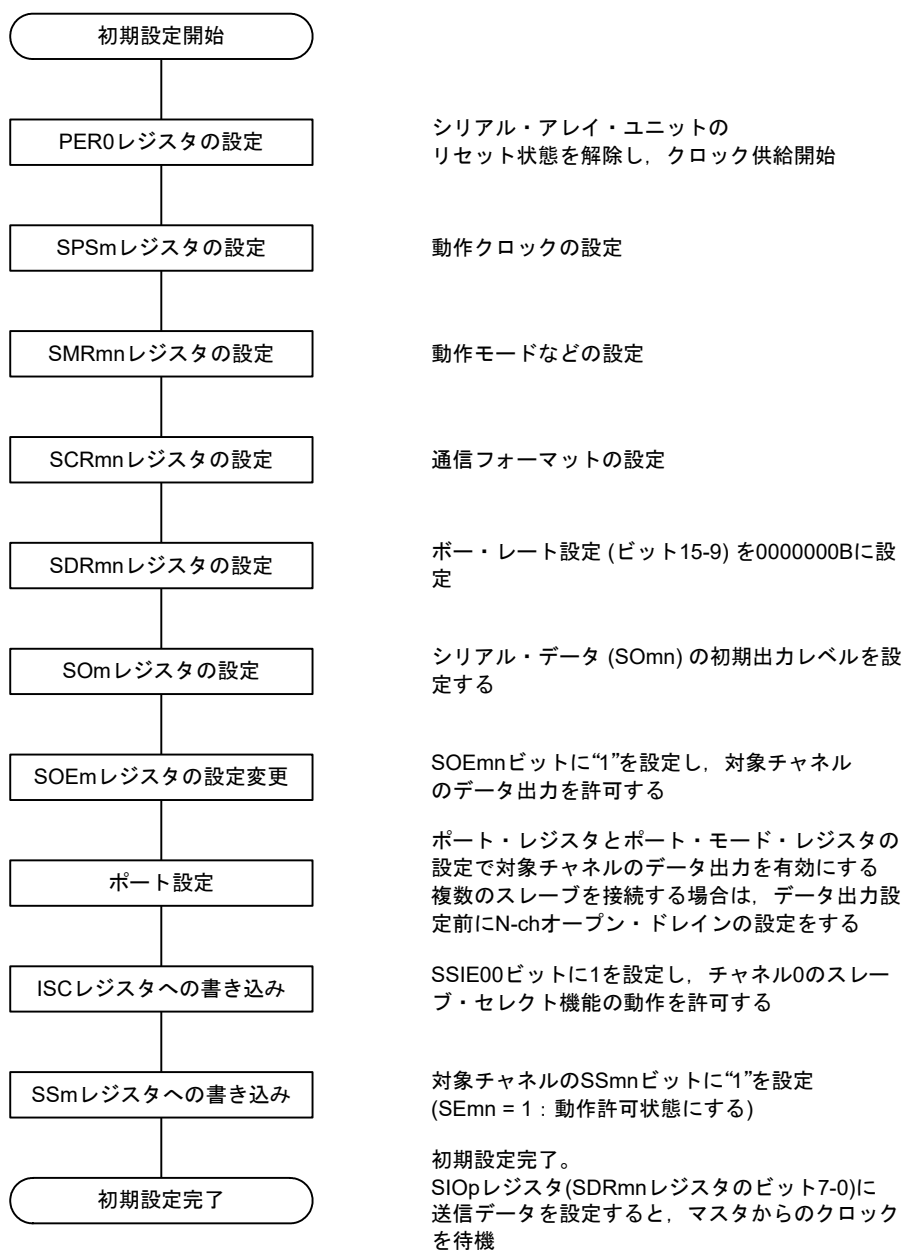
0 : SSIO0端子の入力値を無効
1 : SSIO0端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)
 × : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

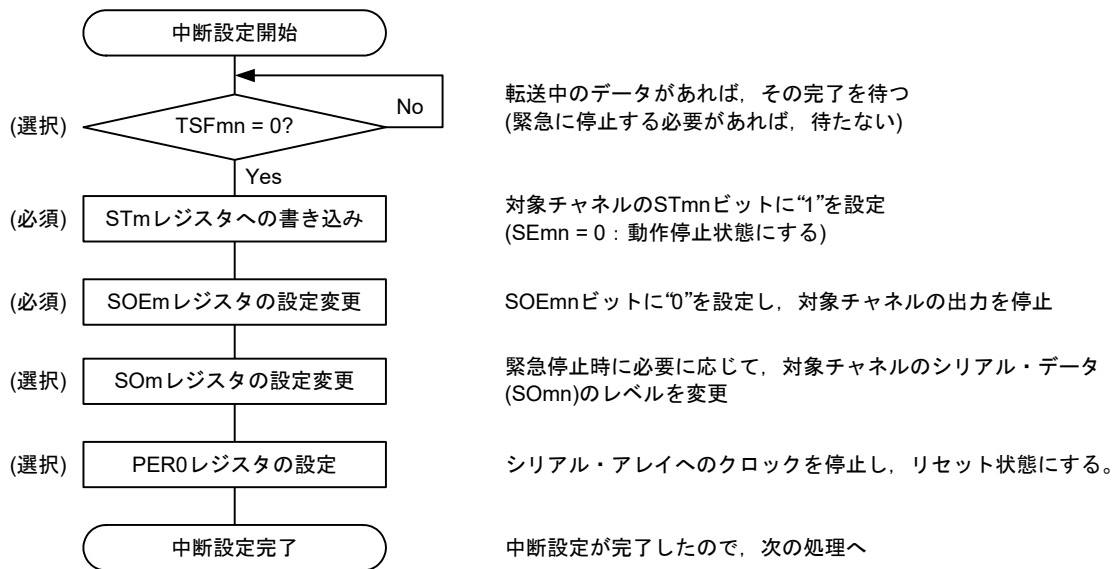
(2) 操作手順

図 14 - 82 スレーブ送信の初期設定手順



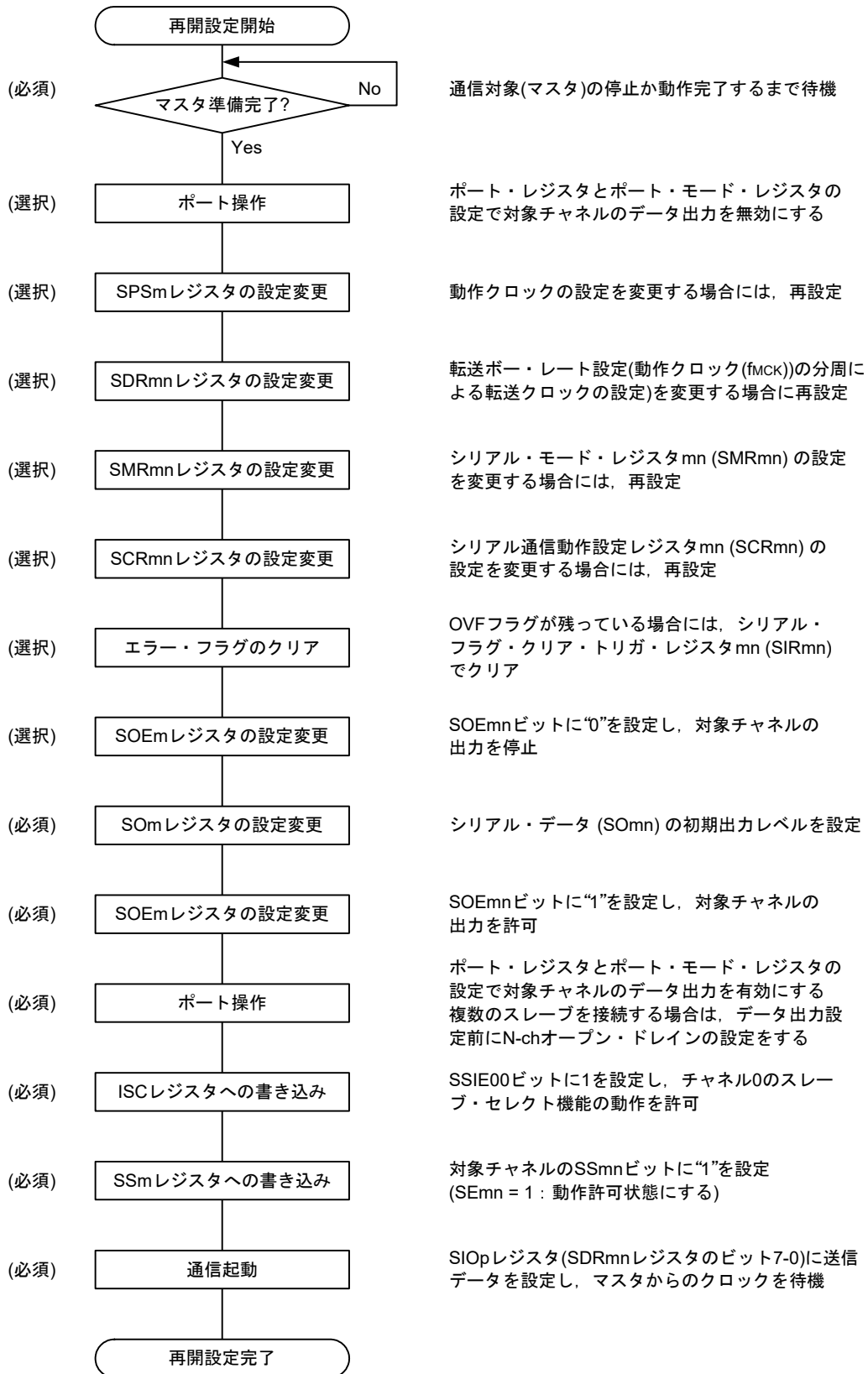
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図14 - 83 スレーブ送信の中断手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

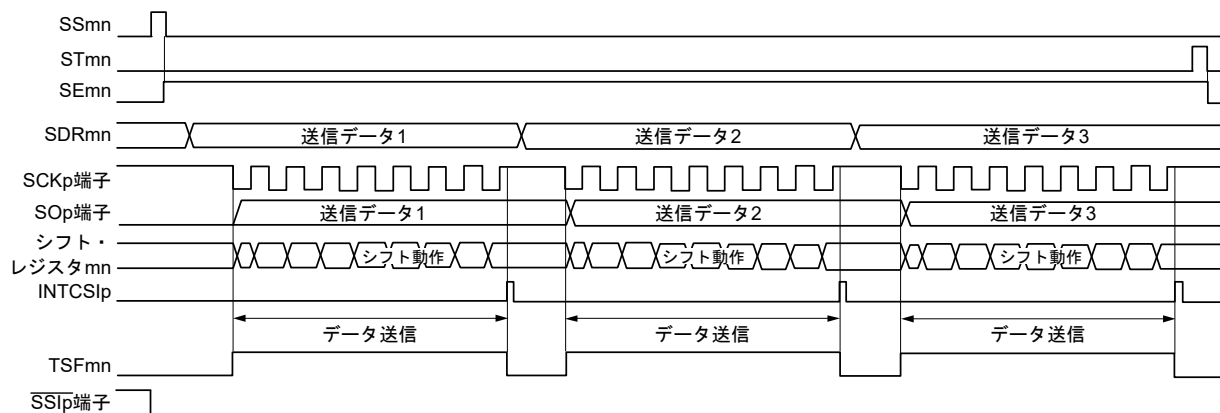
図14 - 84 スレーブ送信の再開設定手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

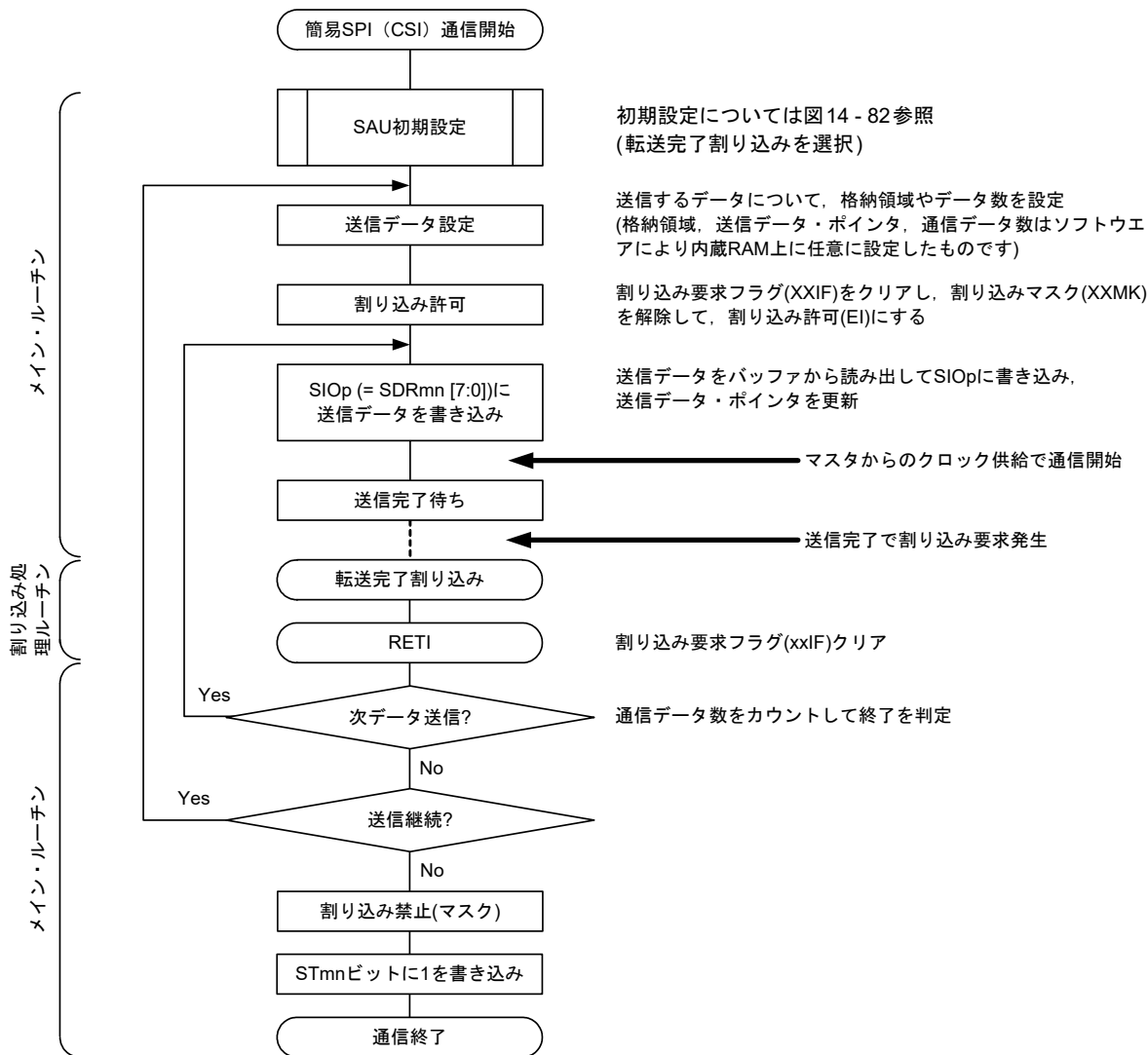
(3) 処理フロー (シングル送信モード時)

図 14 - 85 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

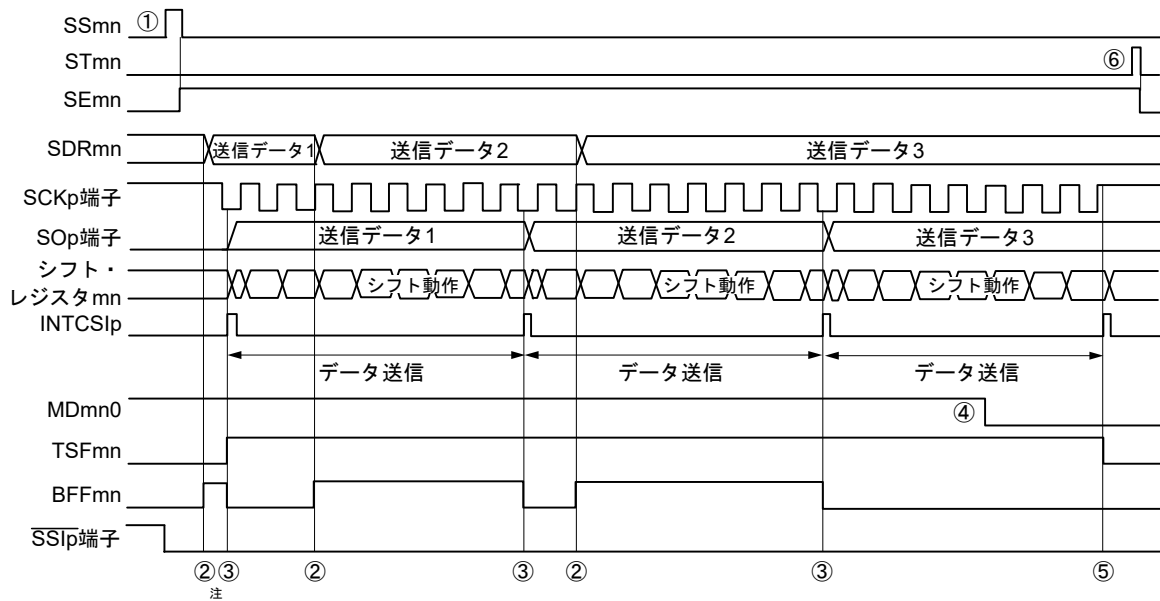
図14 - 86 スレーブ送信(シングル送信モード時)のフロー・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

(4) 処理フロー (連続送信モード時)

図 14 - 87 スレーブ送信 (連続送信モード時) のタイミング・チャート (タイプ 1 : DAPmn = 0, CKPmn = 0)

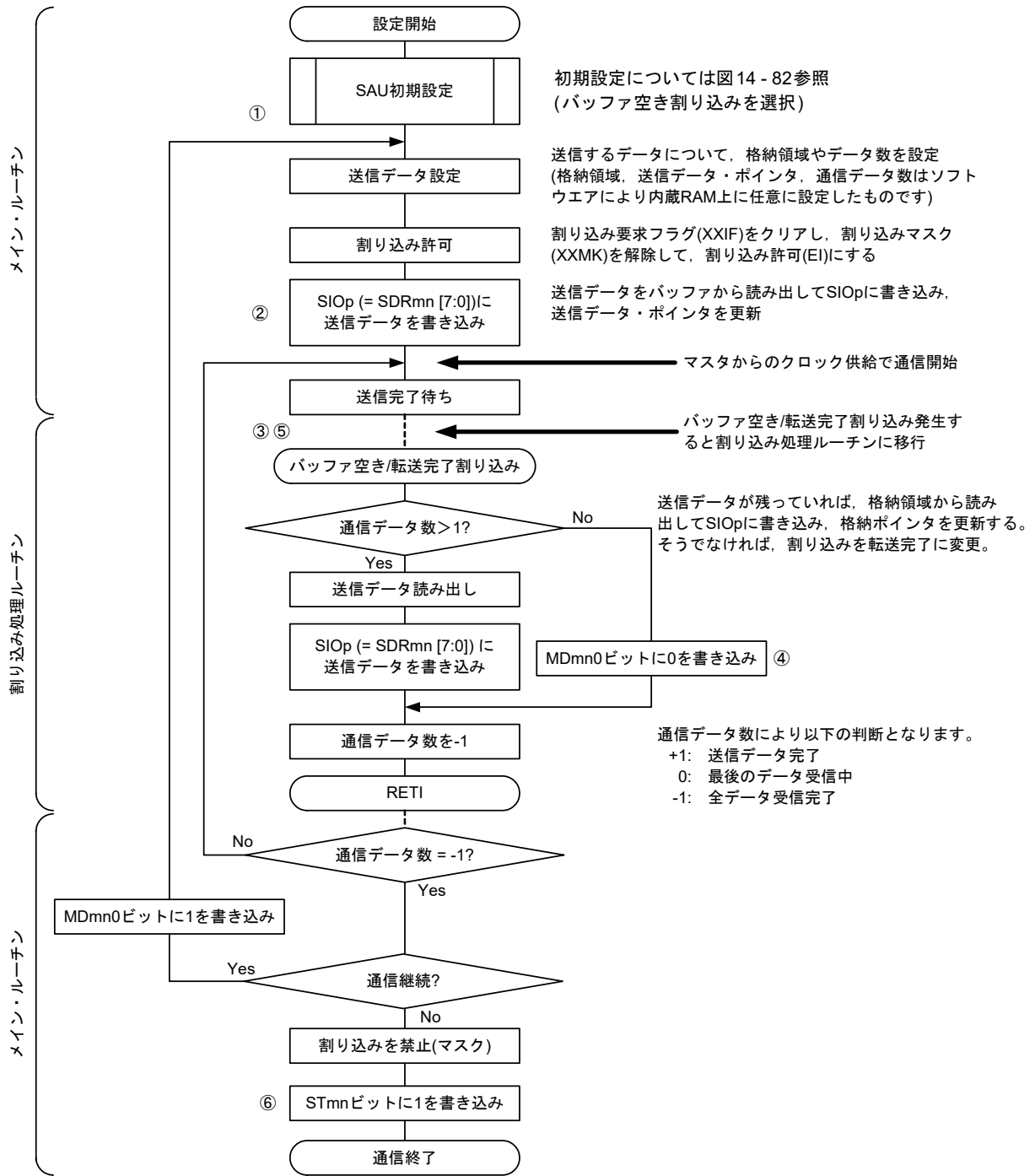


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

図14-88 スレーブ送信(連続送信モード時)のフロー・チャート



備考1. 図中の①～⑥は、図14-87 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

14.6.2 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, $\overline{\text{SSI00}}$
割り込み	INTCSI00
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{mck}/6$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{mck}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

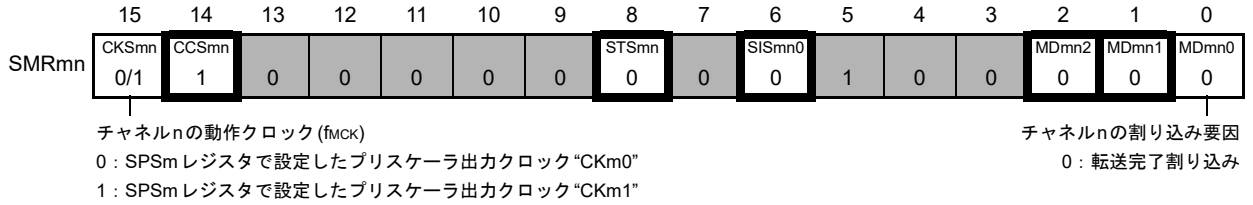
備考1. f_{mck} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

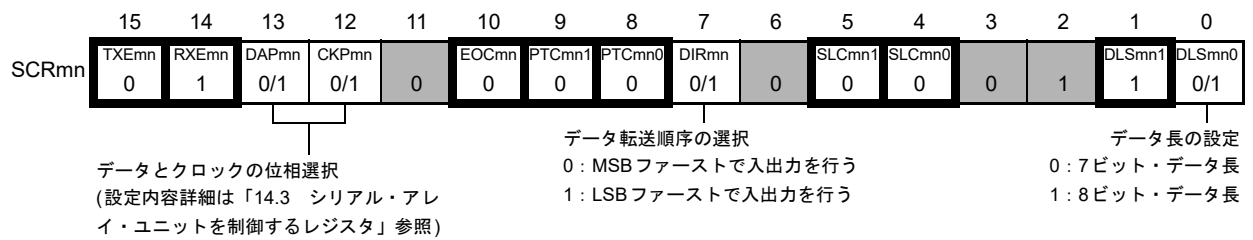
(1) レジスタ設定

図 14 - 89 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(1/2)

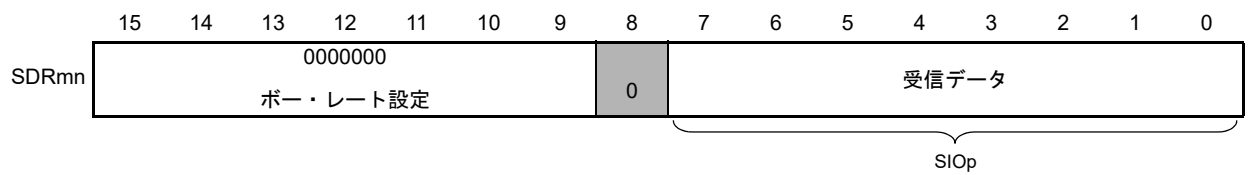
(a) シリアル・モード・レジスタ mn (SMRmn)



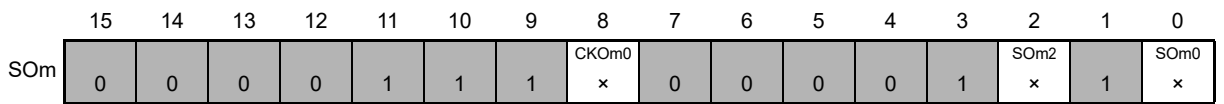
(b) シリアル通信動作設定レジスタ mn (SCRmn)



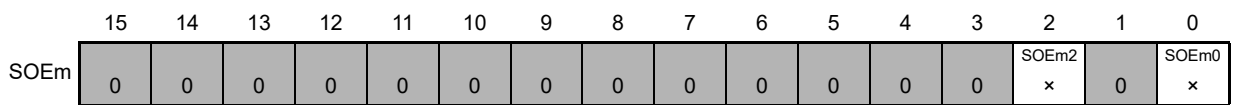
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



(d) シリアル出力レジスタ m (SOm) このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図 14 - 90 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	0	0

0 : SSI00端子の入力値を無効
 1 : SSI00端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)
 × : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 14 - 91 スレーブ受信の初期設定手順

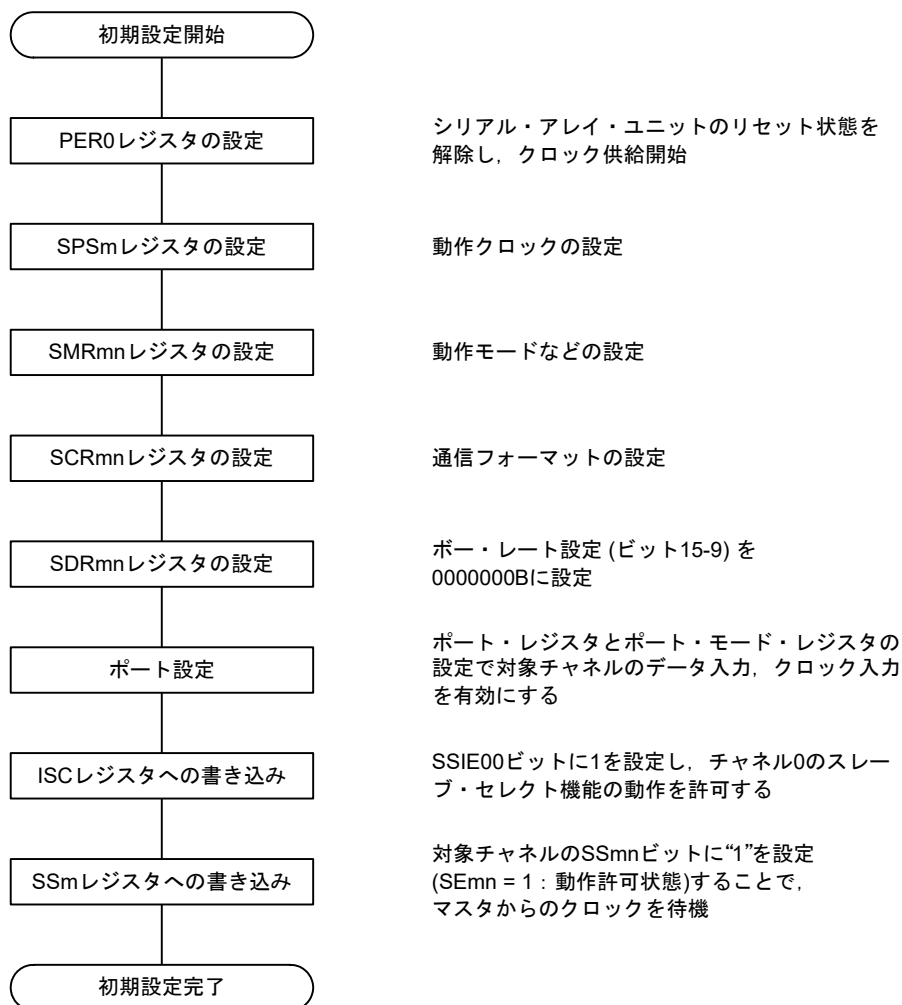
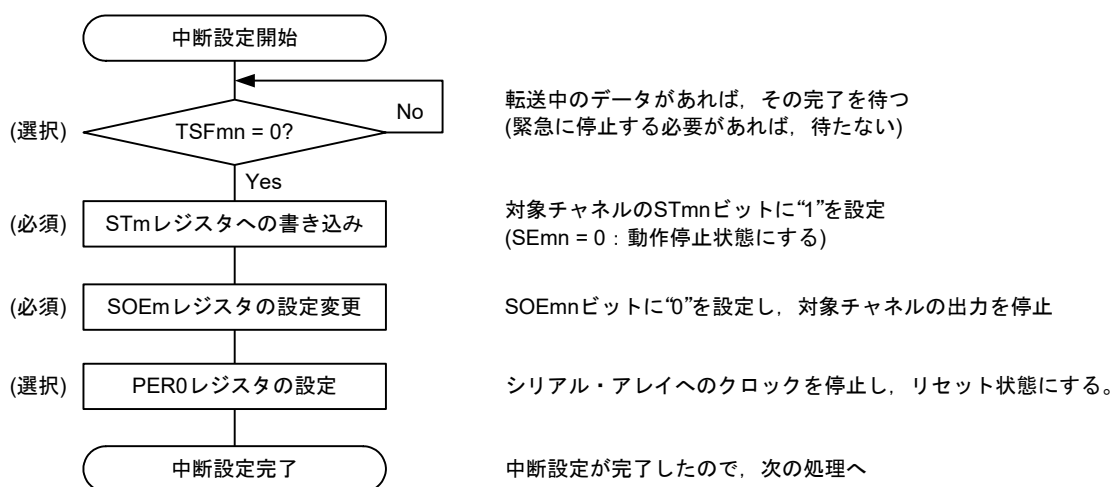
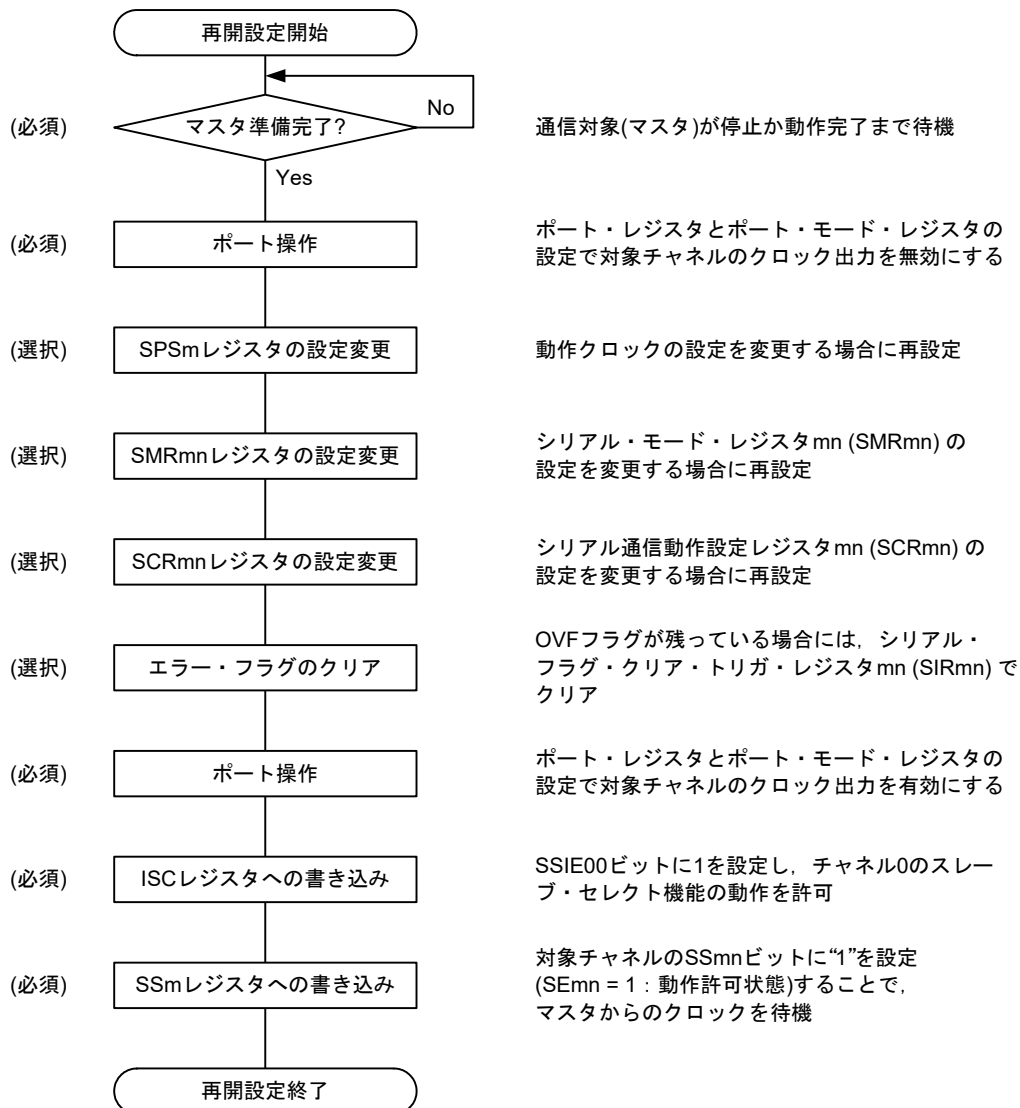


図 14 - 92 スレーブ受信の中断手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

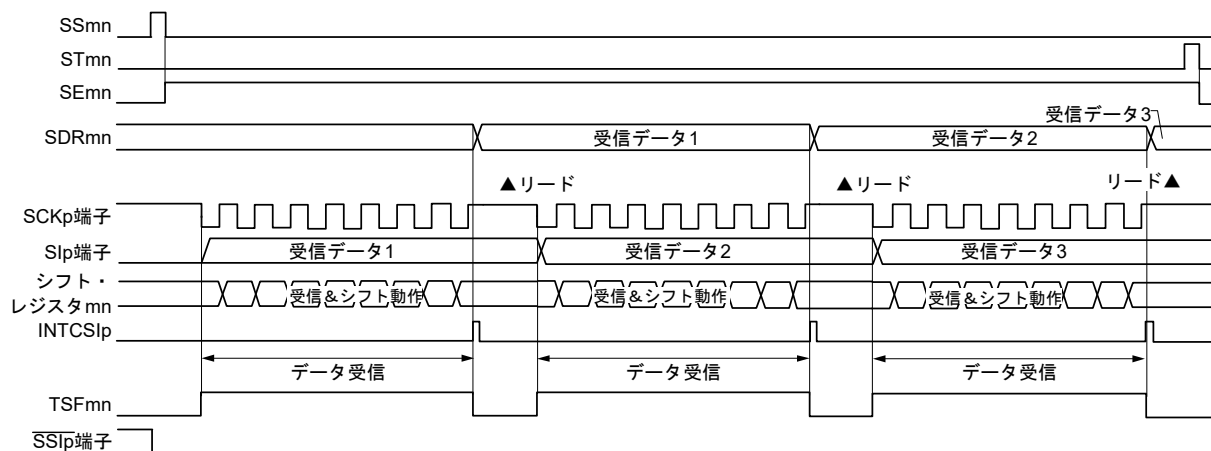
図 14 - 93 スレーブ受信の再開設定手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

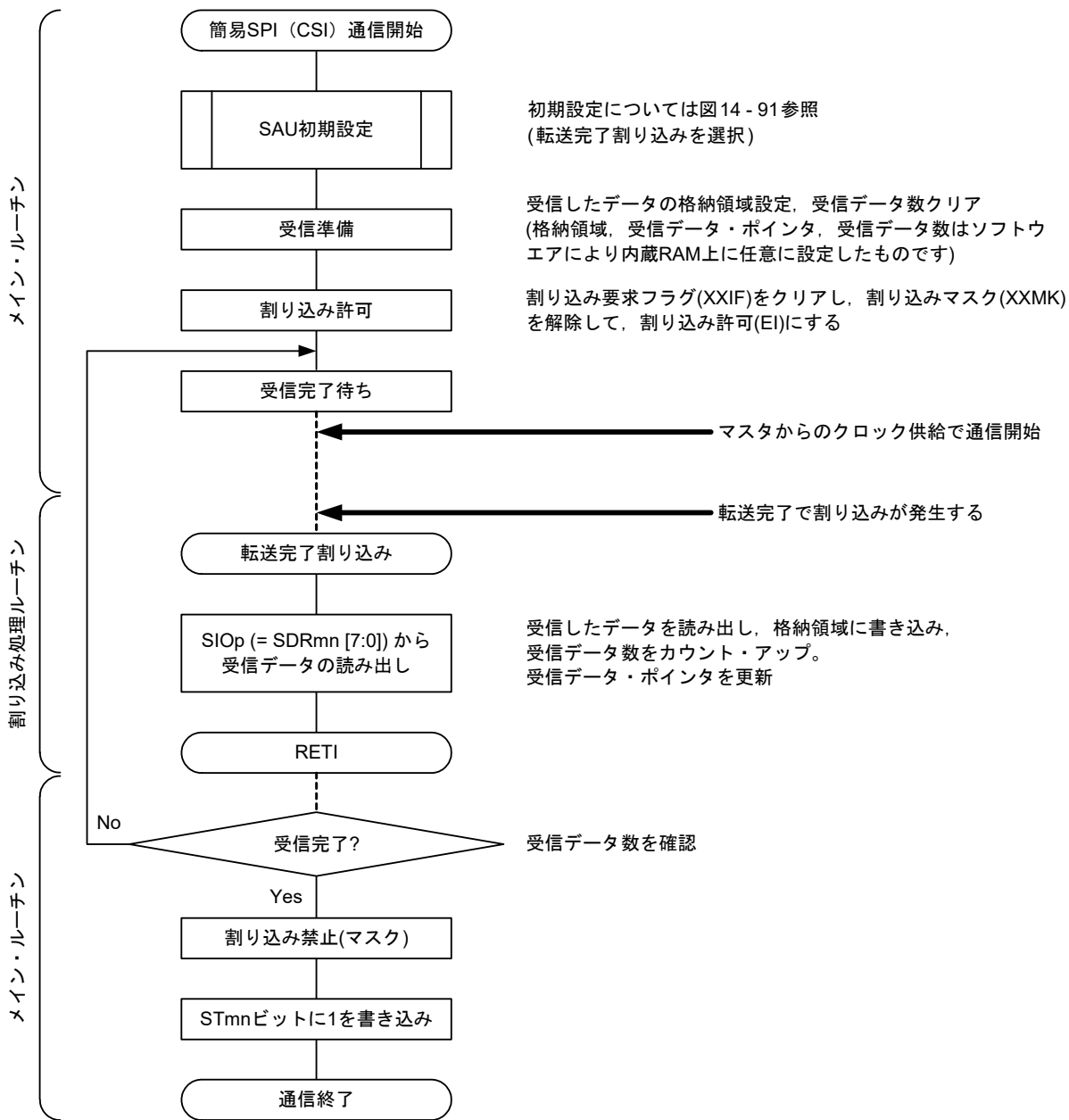
(3) 処理フロー (シングル受信モード時)

図 14 - 94 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ 1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図14 - 95 スレーブ受信(シングル受信モード時)のフロー・チャート



14.6.3 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャネル	SAU0のチャネル0
使用端子	SCK00, SI00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSB ファーストまたはLSB ファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

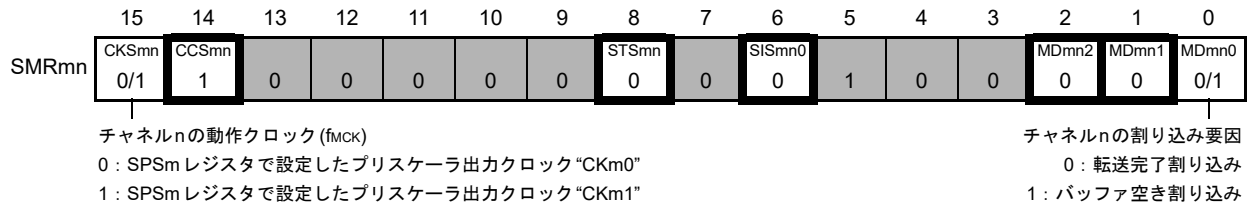
備考1. f_{MCK} : 対象チャネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0)

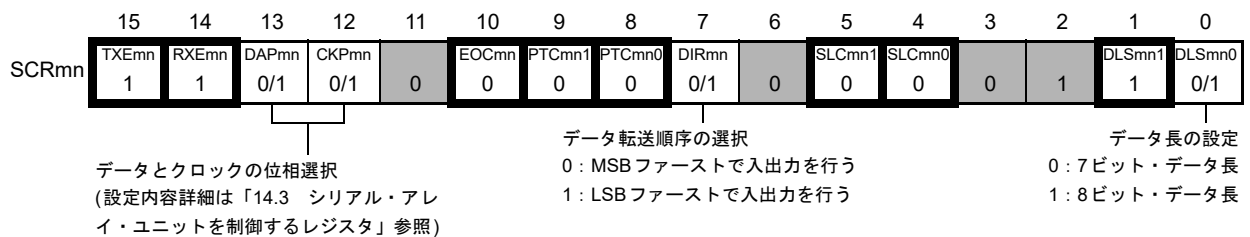
(1) レジスタ設定

図14-96 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(1/2)

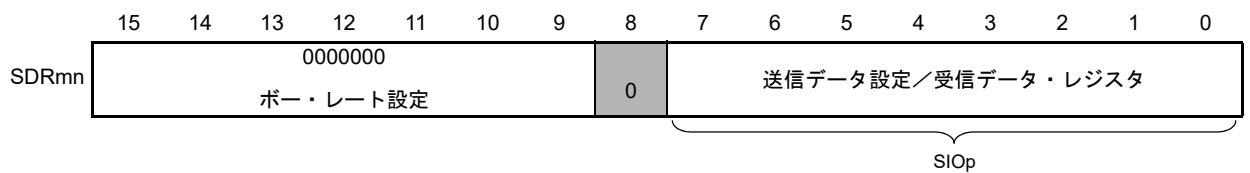
(a) シリアル・モード・レジスタ mn (SMRmn)



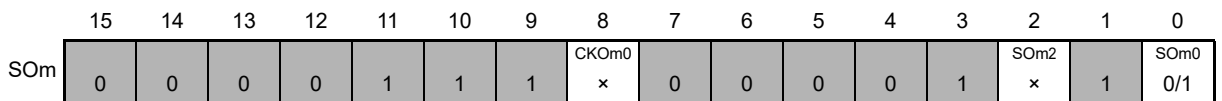
(b) シリアル通信動作設定レジスタ mn (SCRmn)



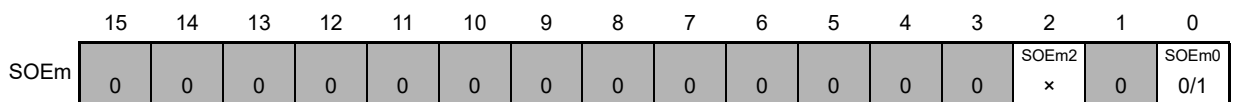
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m: ユニット番号(m=0) n: チャンネル番号(n=0) p: CSI番号(p=00)

備考2. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)

x: このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図14 - 97 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSIE00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	0	0

0 : SSIE00端子の入力値を無効
1 : SSIE00端子の入力値を有効

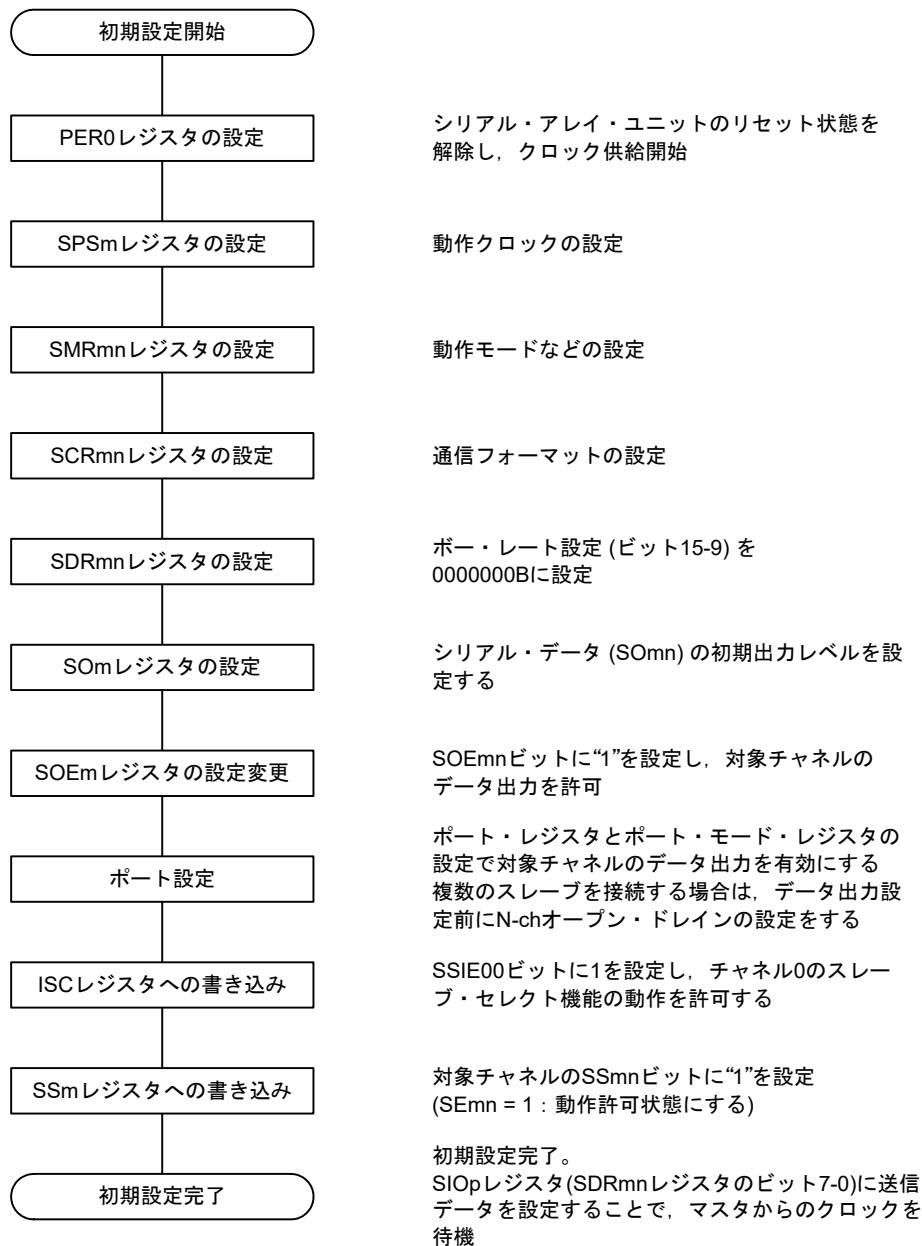
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)
× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

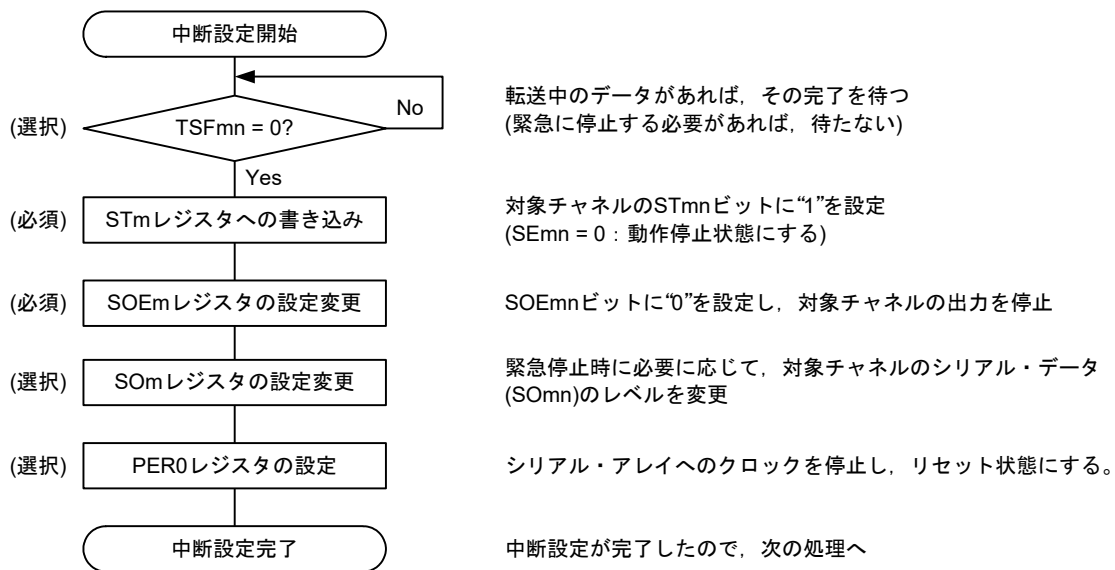
図 14 - 98 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

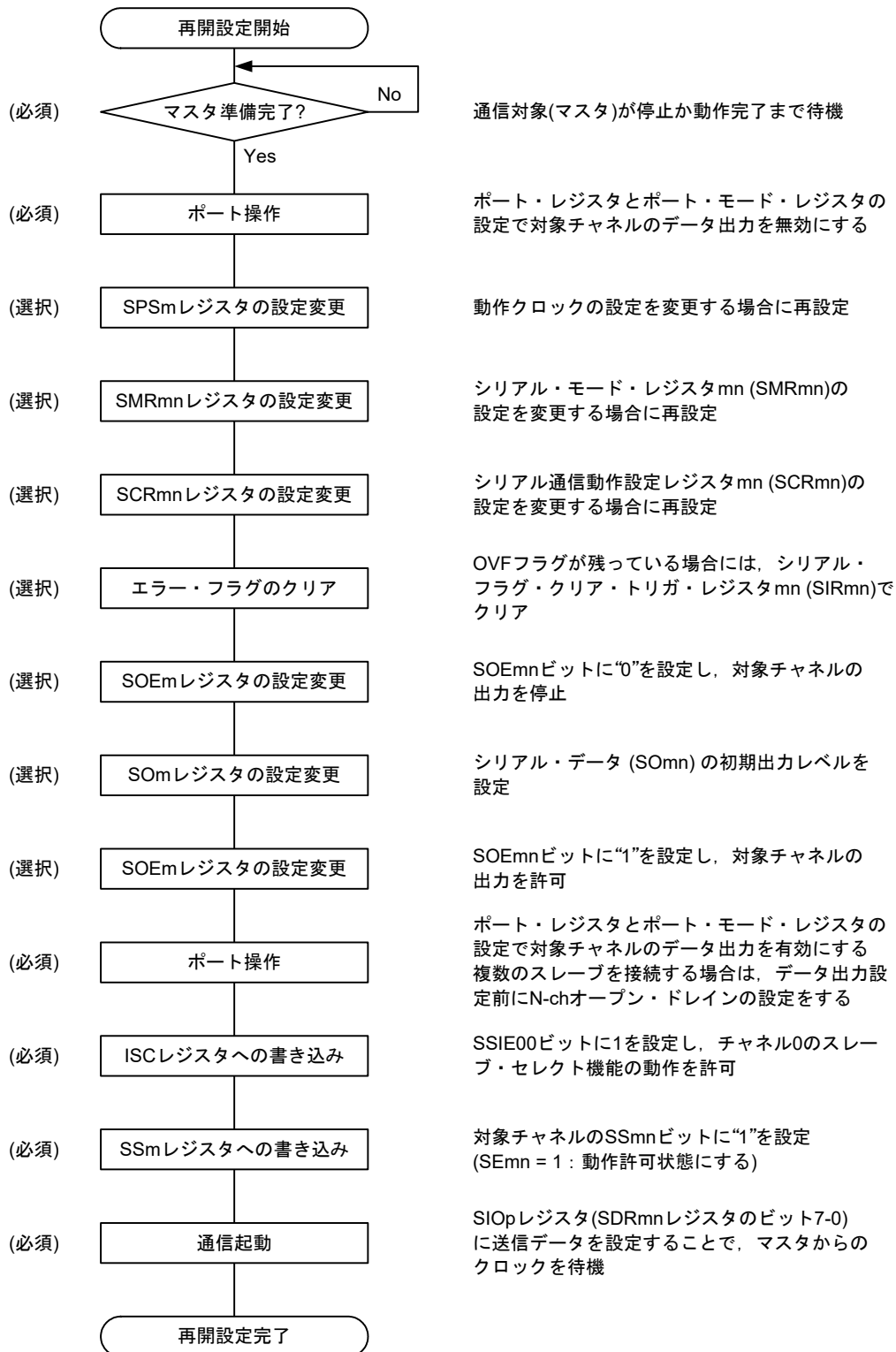
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図14 - 99 スレーブ送受信の中断手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図14 - 100 スレーブ送受信の再開設定手順

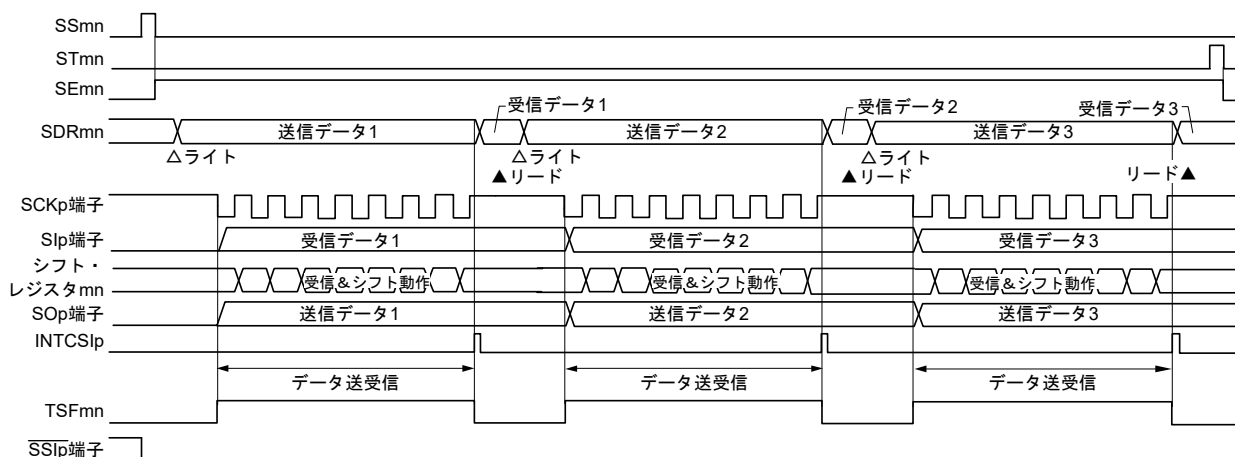


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

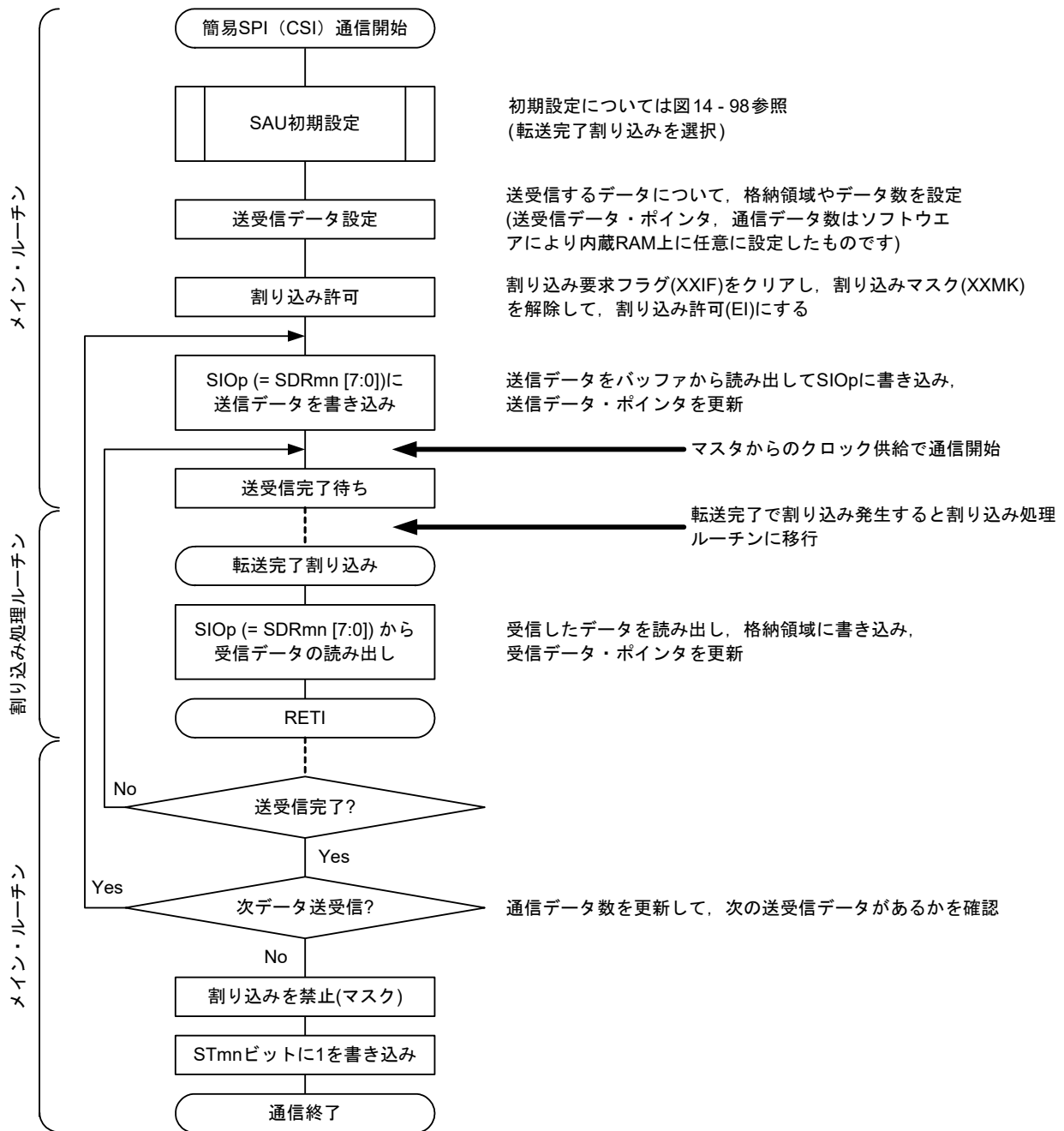
(3) 処理フロー (シングル送受信モード時)

図 14 - 101 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図14 - 102 スレーブ送受信(シングル送受信モード時)のフロー・チャート

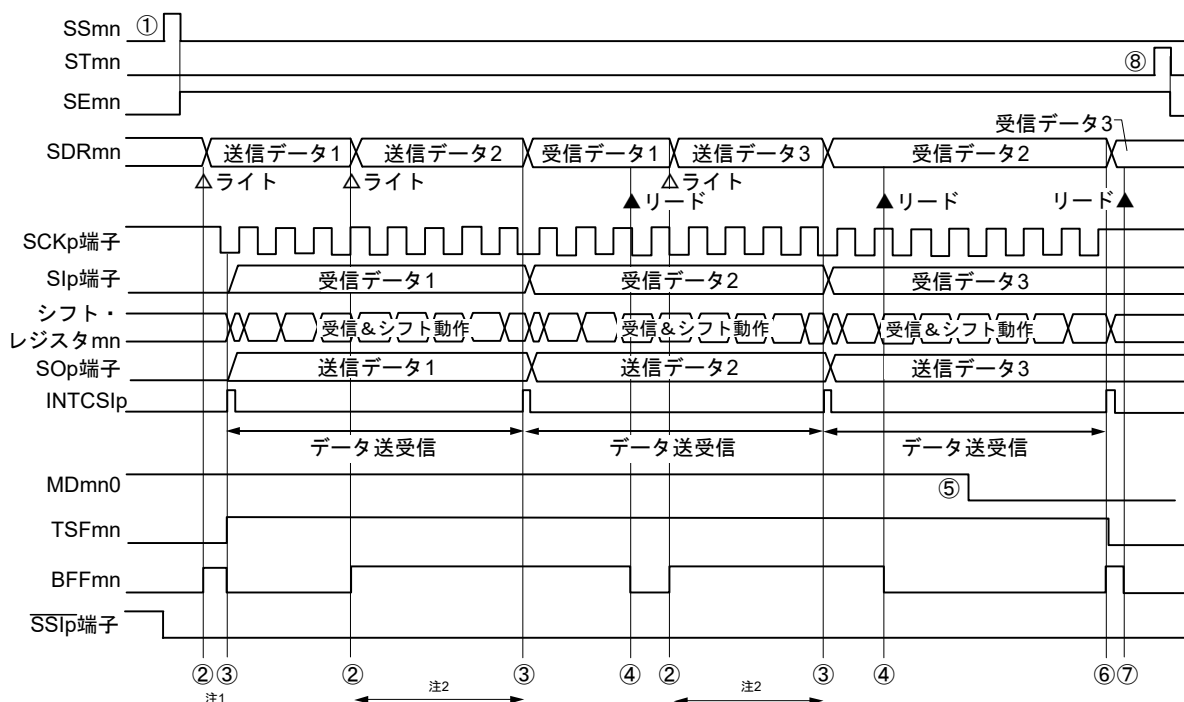


注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

(4) 処理フロー (連続送受信モード時)

図14 - 103 スレーブ送受信 (連続送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

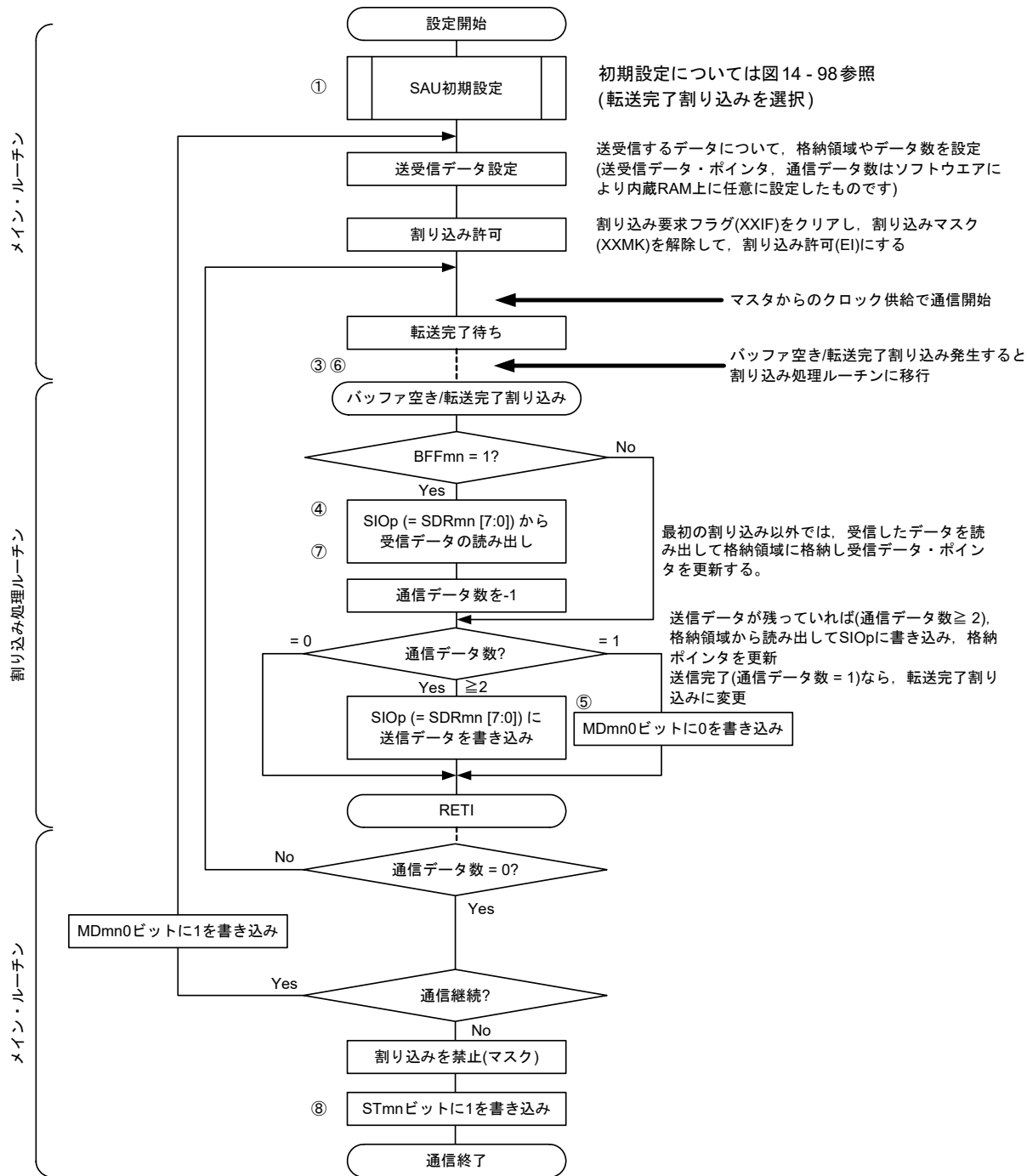
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図14 - 104 スレーブ送受信 (連続送受信モード時) のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

図 14 - 104 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. 図中の①～⑧は、図 14 - 103 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

14.6.4 転送クロック周波数の算出

スレーブセレクト入力機能(CSI00)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) スレーブの場合

$$\text{(転送クロック周波数)} = \text{[マスタが供給するシリアル・クロック (SCK)周波数]} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

表 14 - 3 スレーブセレクト入力機能動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.75 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.88 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.44 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.72 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ(m(STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0)

14.6.5 スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

スレーブセレクト入力機能付クロック同期シリアル通信時にエラーが発生した場合の処理手順を図 14 - 105 に示します。

図 14 - 105 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

14.7 UART (UART0, UART1)通信の動作

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ポー・レートを使用して)、データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。

[データ送受信]

- 7, 8, 9ビットのデータ長注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定, 反転の選択
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

以下のチャンネルのUART受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは、オプション・バイト(000C2H)のFRQSEL4が0の時に、以下のUARTのみ設定可能です。

- UART0

注 9ビット・データ長は、以下のUARTのみ対応しています。

- UART0

UART0では、SAU0のチャンネル0, 1を使用します。

UART1では、SAU0のチャンネル2, 3を使用します。

○30, 32, 44ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0	IIC00
	1	—	UART1	—
	2	—		—
	3	—		—

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やIIC00を使用することはできません。しかし、UART1と同時にチャンネルが異なるチャンネル0, 1をCSI00やUART0やIIC00で使用することはできます。

注意 UARTとして使用する場合は、送信側(偶数チャンネル)と受信側(奇数チャンネル)のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の2種類があります。

- UART送信(14.7.1項を参照)
- UART受信(14.7.2項を参照)

14.7.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期(調歩同期)でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2
使用端子	TxD0	TxD1
割り込み	INTST0	INTST1
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	なし	
転送データ長	7ビットまたは8ビットまたは9ビット注1	
転送レート	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] 注2	
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロー・レベル)	
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加 	
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • 1ビット付加 • 2ビット付加 	
データ方向	MSBファーストまたはLSBファースト	

注1. 9ビット・データ長は、以下のUARTのみ対応しています。

- UART0

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第29章 電氣的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

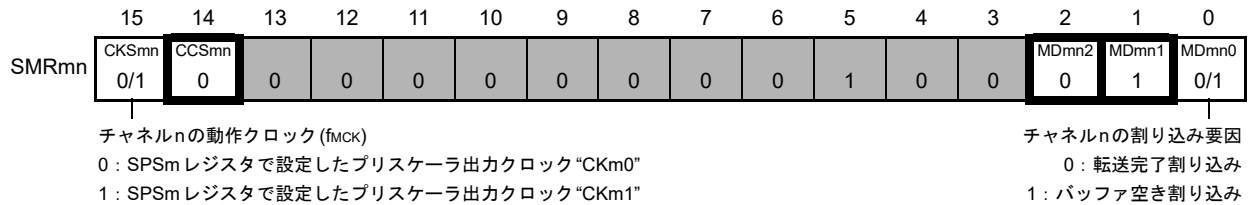
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0$) n : チャンネル番号($n = 0, 2$), $mn = 00, 02$

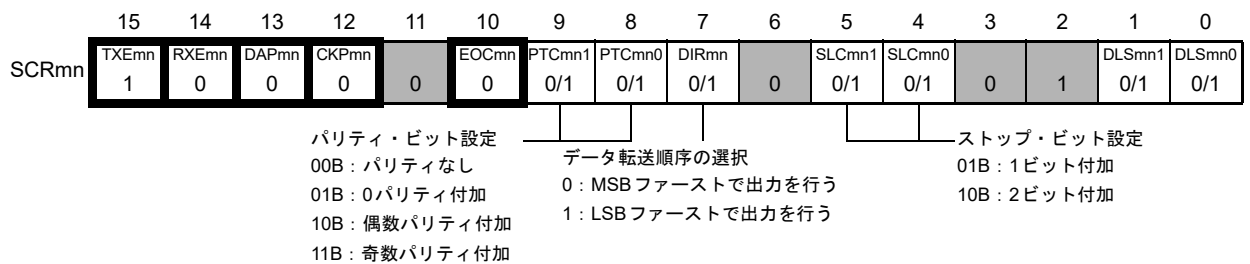
(1) レジスタ設定

図 14 - 106 UART (UART0, UART1)のUART送信時のレジスタ設定内容例(1/2)

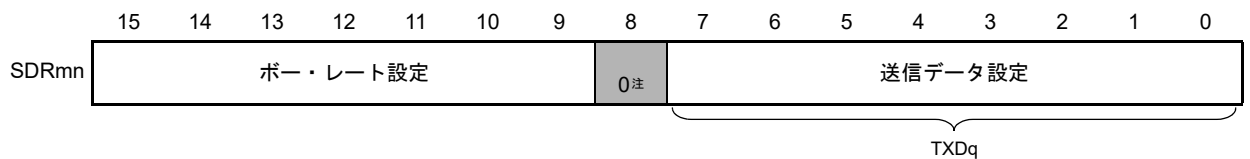
(a) シリアル・モード・レジスタ mn (SMRmn)



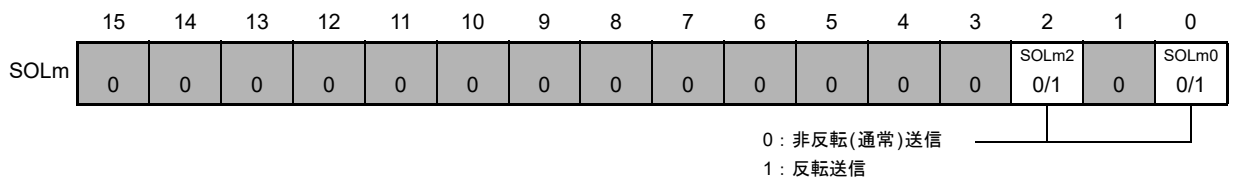
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : TXDq)



(d) シリアル出力レベル・レジスタ m (SOLm) 対象チャンネルのビットのみ設定する



注 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。
 9ビット・データ長での通信が行えるのは、UARTのみです。

• UART0

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 2) q : UART 番号 (q = 0, 1),
 mn = 00, 02

備考2. ■ : UART送信モードでは設定固定 ■ : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図 14 - 107 UART (UART0, UART1)のUART送信時のレジスタ設定内容例(2/2)

(e) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	1	1	CKOm0 ×	0	0	0	0	1	SOm2 0/1注	1	SOm0 0/1注

0 : シリアル・データ出力値が“0”
1 : シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	0	SOEm0 0/1

(g) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

注 該当するチャンネルの SOLmn ビットに0を設定している場合は“1”に、SOLmn ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 2) q : UART 番号 (q = 0, 1),
mn = 00, 02

備考2. : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 14 - 108 UART 送信の初期設定手順

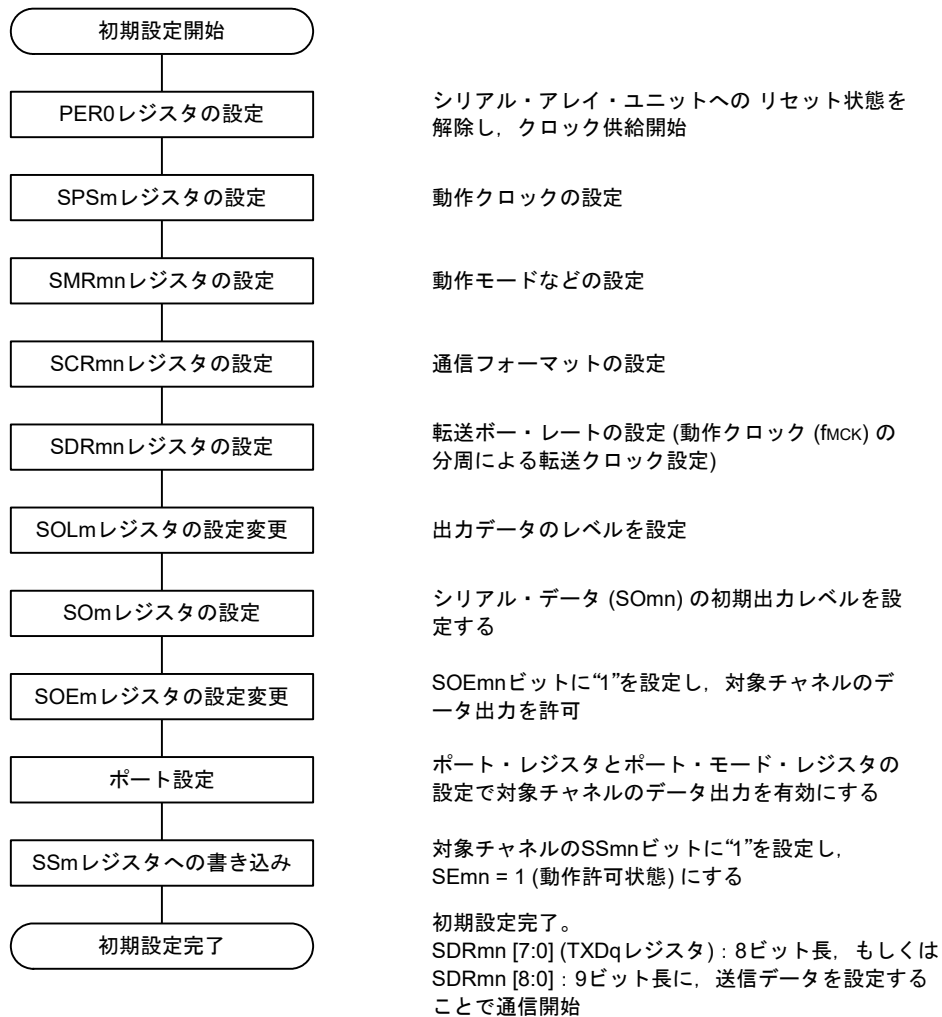


図 14 - 109 UART 送信の中断手順

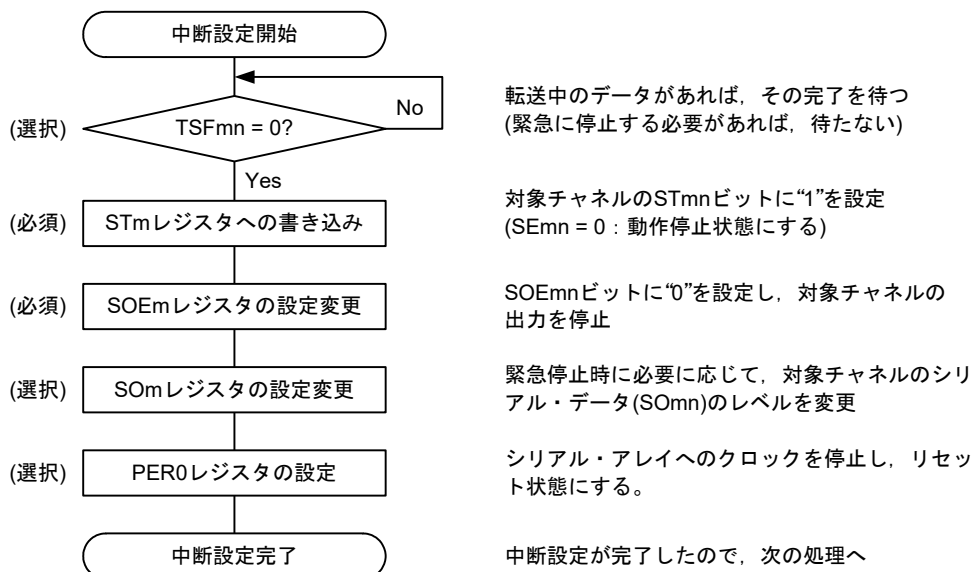
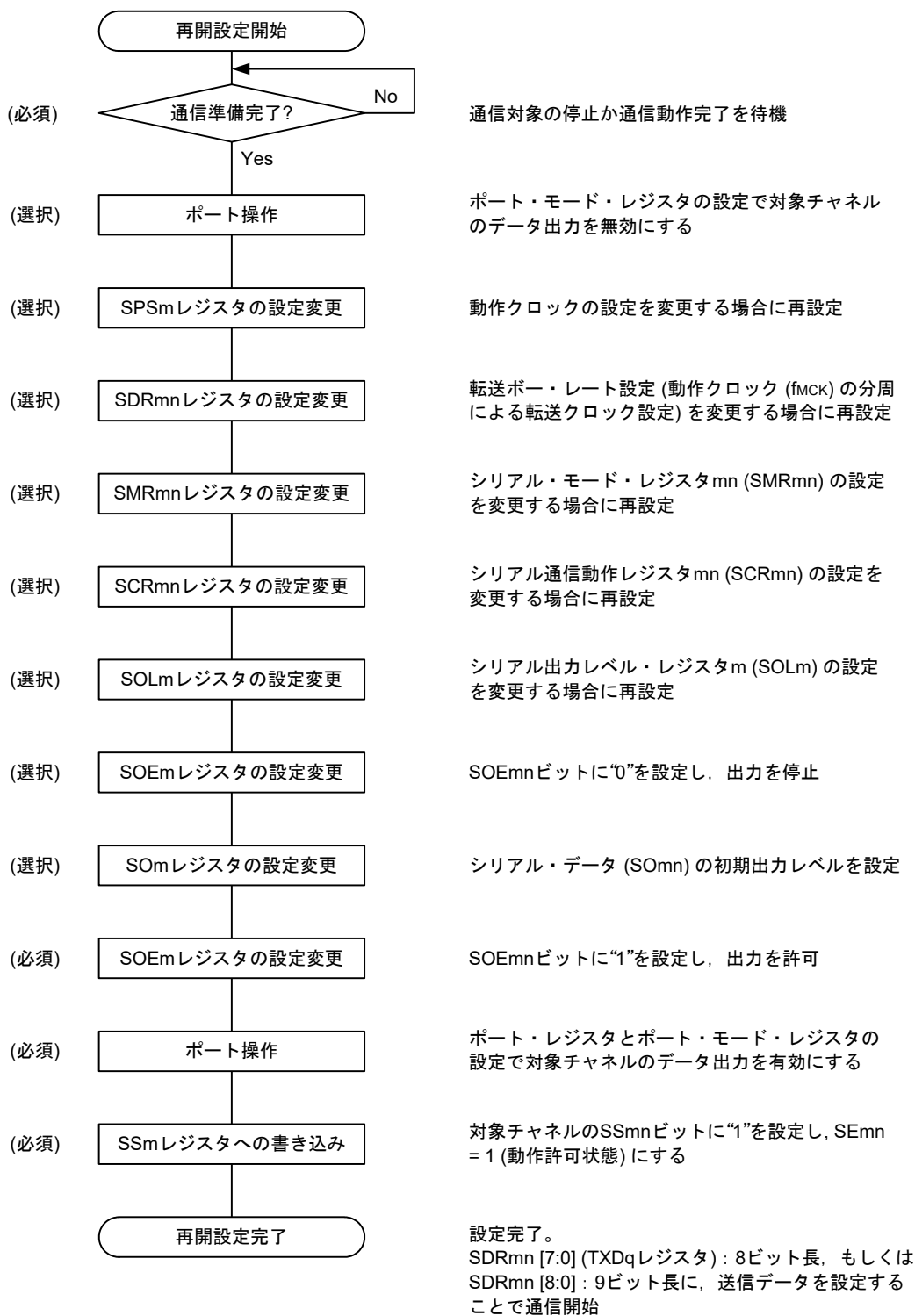


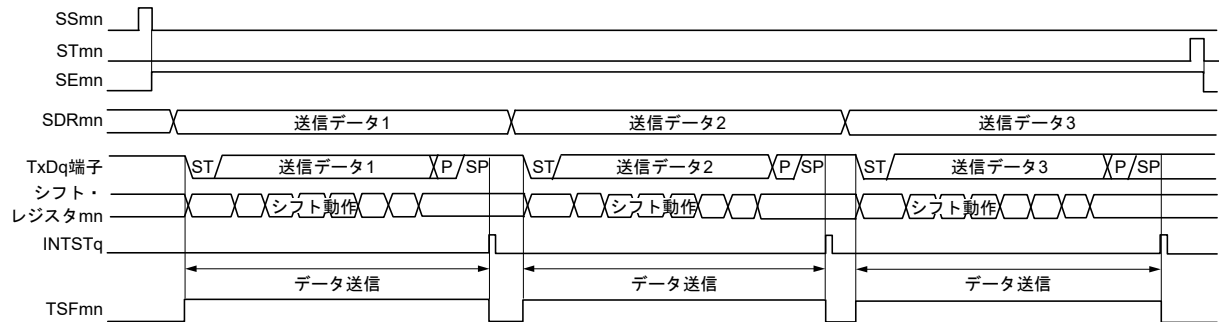
図14 - 110 UART送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

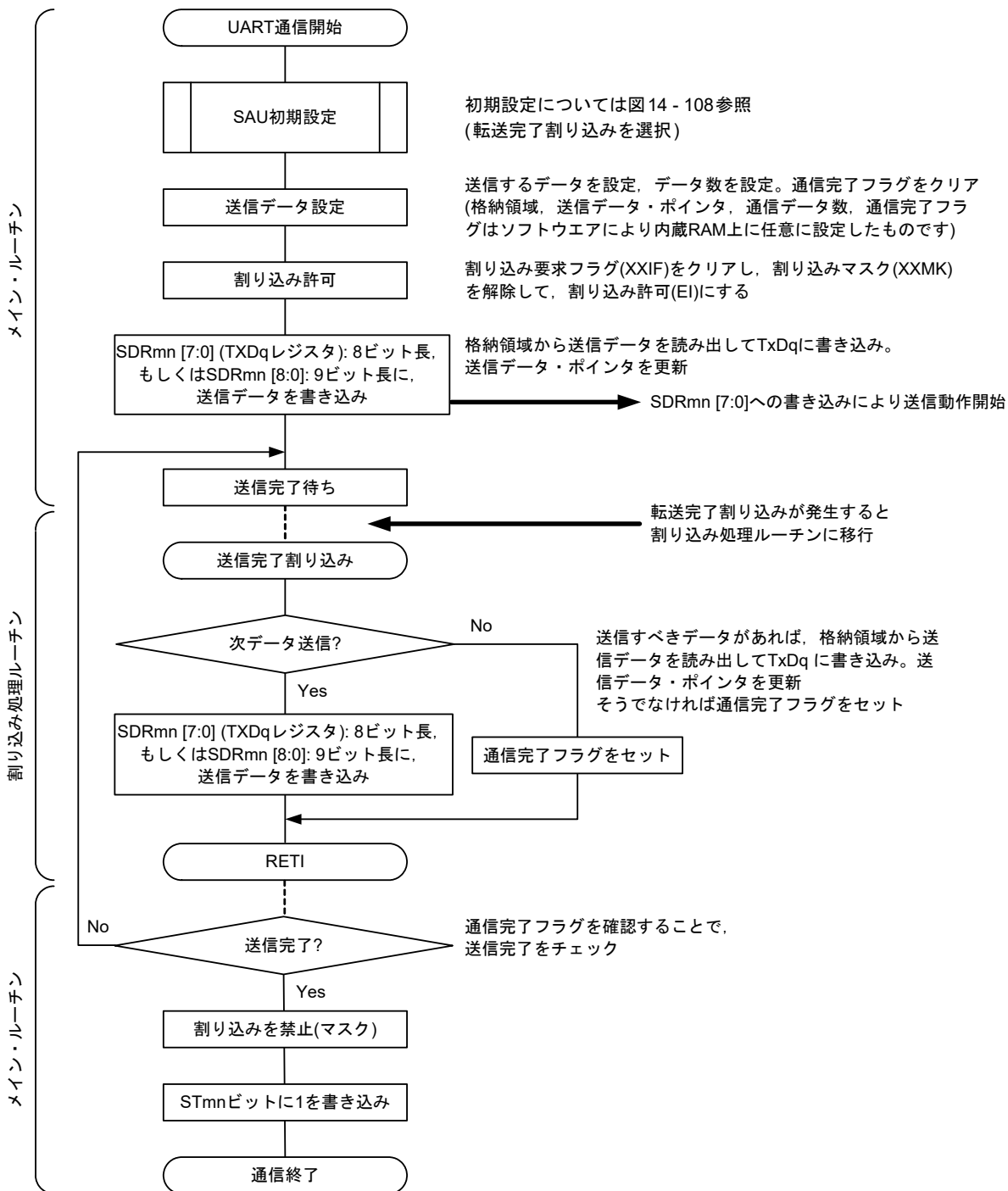
(3) 処理フロー (シングル送信モード時)

図 14 - 111 UART 送信 (シングル送信モード時) のタイミング・チャート



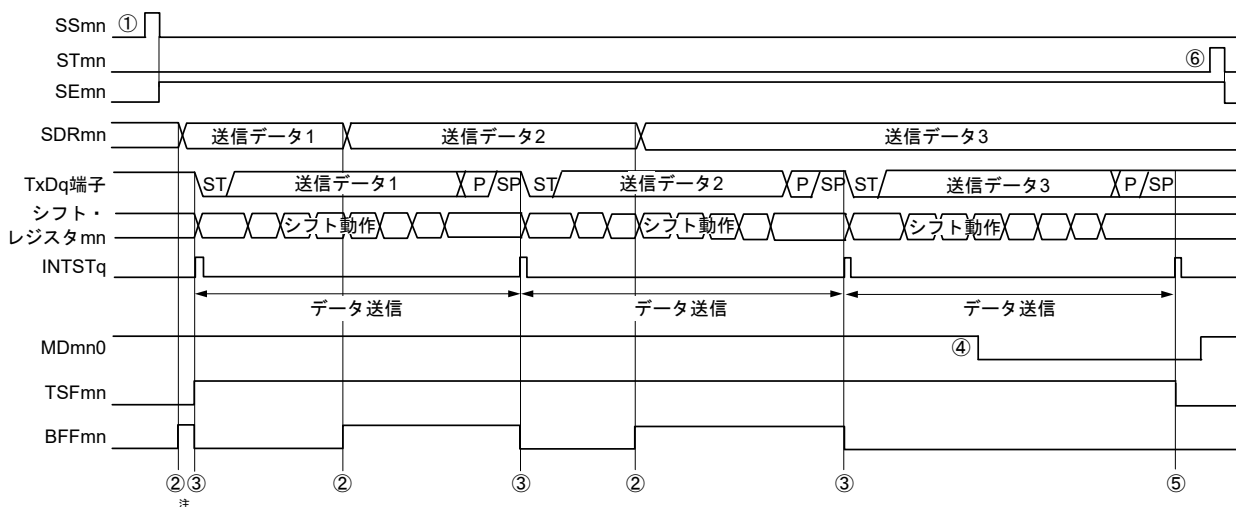
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0, 1)
 mn = 00, 02

図14 - 112 UART送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 14 - 113 UART 送信 (連続送信モード時) のタイミング・チャート

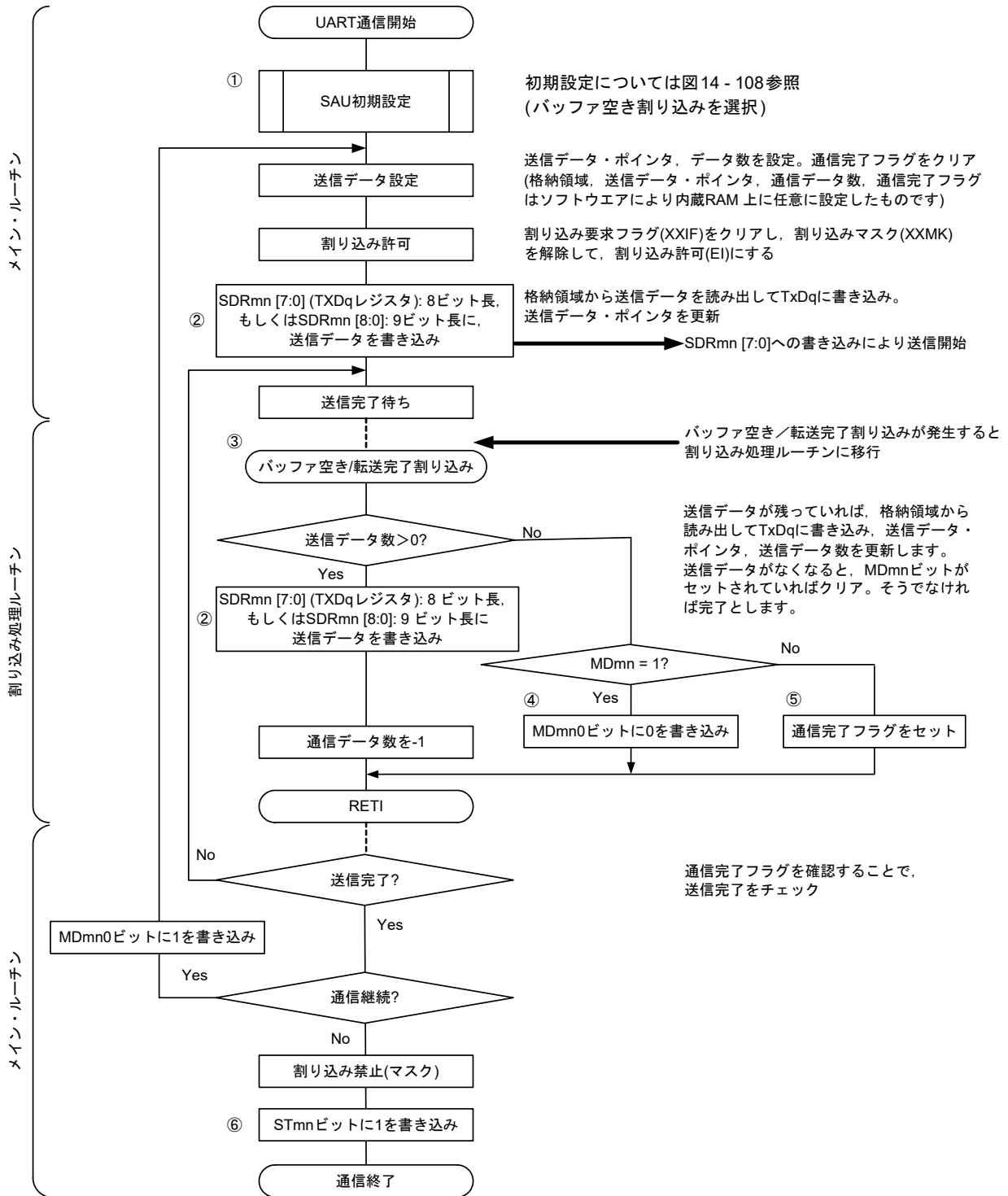


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0, 1)
mn = 00, 02

図14 - 114 UART送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は, 図14 - 113 UART送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

14.7.2 UART受信

UART受信は、他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3
使用端子	RxD0	RxD1
割り込み	INTSR0	INTSR1
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)	
エラー割り込み	INTSRE0	INTSRE1
エラー検出フラグ	<ul style="list-style-type: none"> • フレーミング・エラー検出フラグ(FEFmn) • パリティ・エラー検出フラグ(PEFmn) • オーバラン・エラー検出フラグ(OVFmn) 	
転送データ長	7ビットまたは8ビットまたは9ビット注1	
転送レート	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] 注2	
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)	
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし(パリティ・チェックなし) • 0パリティ・ビット付加(パリティ・チェックなし) • 偶数パリティ・チェック • 奇数パリティ・チェック 	
ストップ・ビット	1ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注1. 9ビット・データ長は、以下のUARTのみ対応しています。

- UART0

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

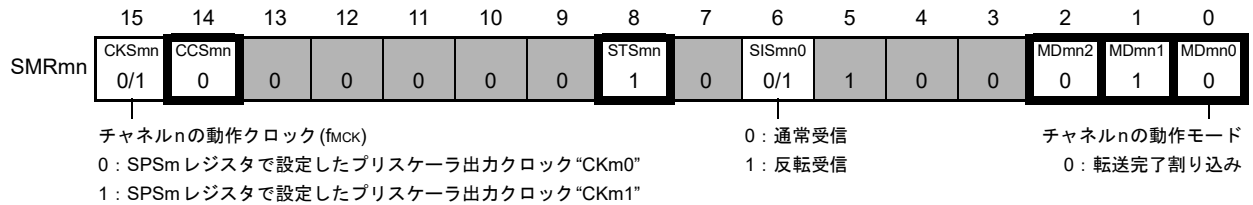
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0$) n : チャンネル番号($n = 1, 3$), $mn = 01, 03$

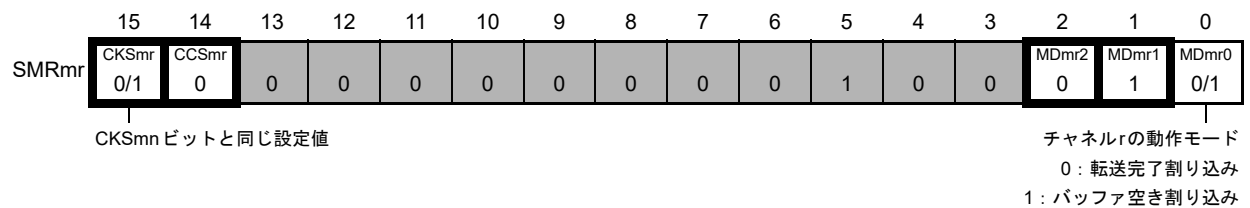
(1) レジスタ設定

図14 - 115 UART (UART0, UART1)のUART受信時のレジスタ設定内容例(1/2)

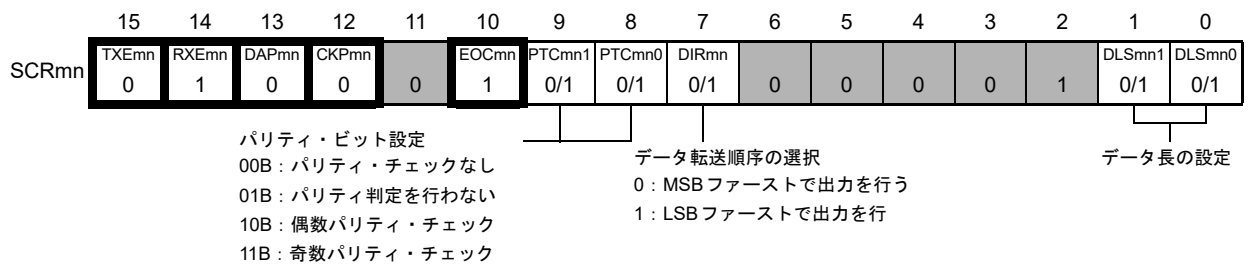
(a) シリアル・モード・レジスタ mn (SMRmn)



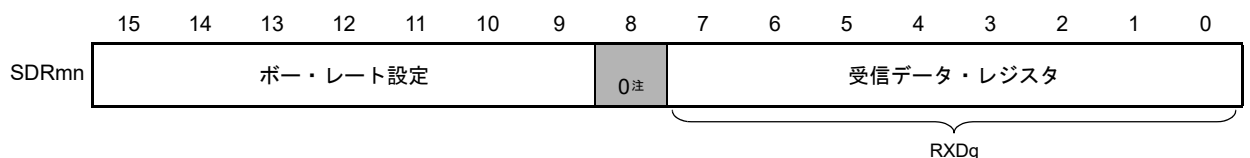
(b) シリアル・モード・レジスタ mr (SMRmr)



(c) シリアル通信動作設定レジスタ mn (SCRmn)



(d) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: RXDq)



注 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。
 9ビット・データ長での通信が行えるのは、以下のUARTのみです。

- UART0

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ず設定してください。

備考1. m: ユニット番号(m = 0) n: チャンネル番号(n = 1, 3), mn = 01, 03
 r: チャンネル番号(r = n - 1) q: UART番号(q = 0, 1)

備考2. : UART受信モードでは設定固定 : 設定不可(初期値を設定)
 ×: このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

図14 - 116 UART (UART0, UART1)のUART受信時のレジスタ設定内容例(2/2)

(e)シリアル出力レジスタ m (SOm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
SOm	0	0	0	0	1	1	1	CKOm0	x	0	0	0	0	1	SOm2	x	1	SOm0	x

(f)シリアル出力許可レジスタ m (SOEm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2	x	0	SOEm0	x

(g)シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

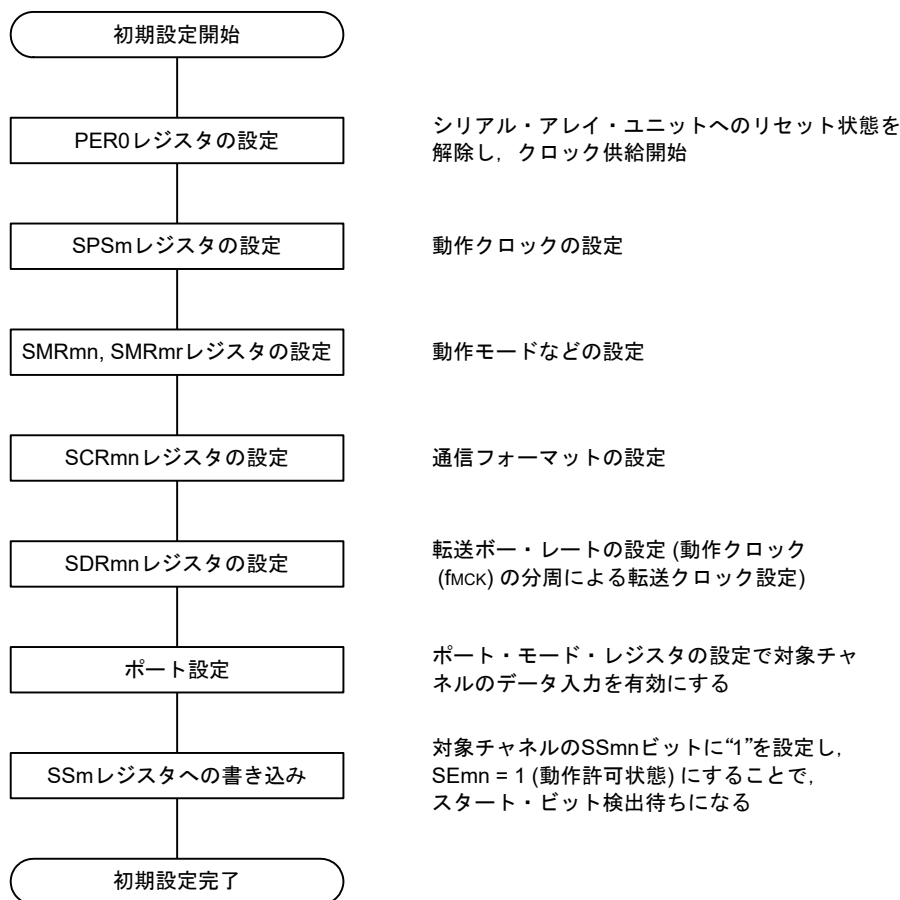
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	0/1	SSm2	x	SSm1	0/1	SSm0	x

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 1, 3), mn = 01, 03
 r : チャンネル番号 (r = n - 1) q : UART番号 (q = 0, 1)

備考2. : UART受信モードでは設定固定 : 設定不可(初期値を設定)
 × : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図14 - 117 UART受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図14 - 118 UART受信の中断手順

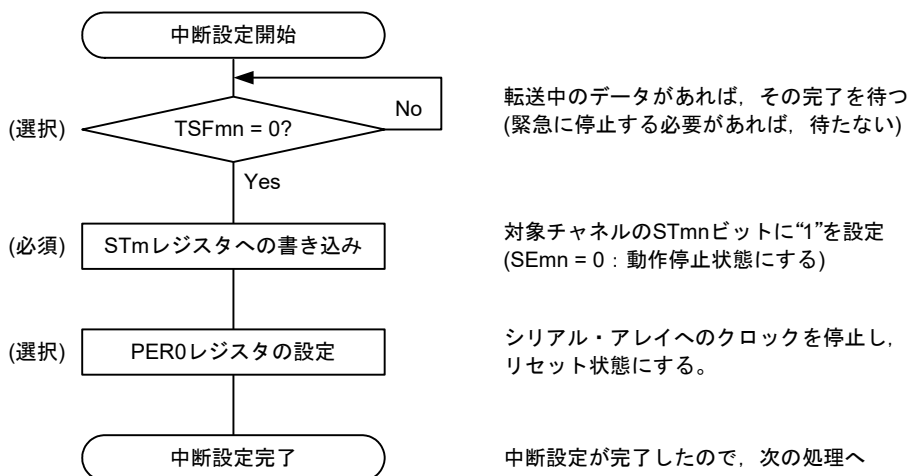
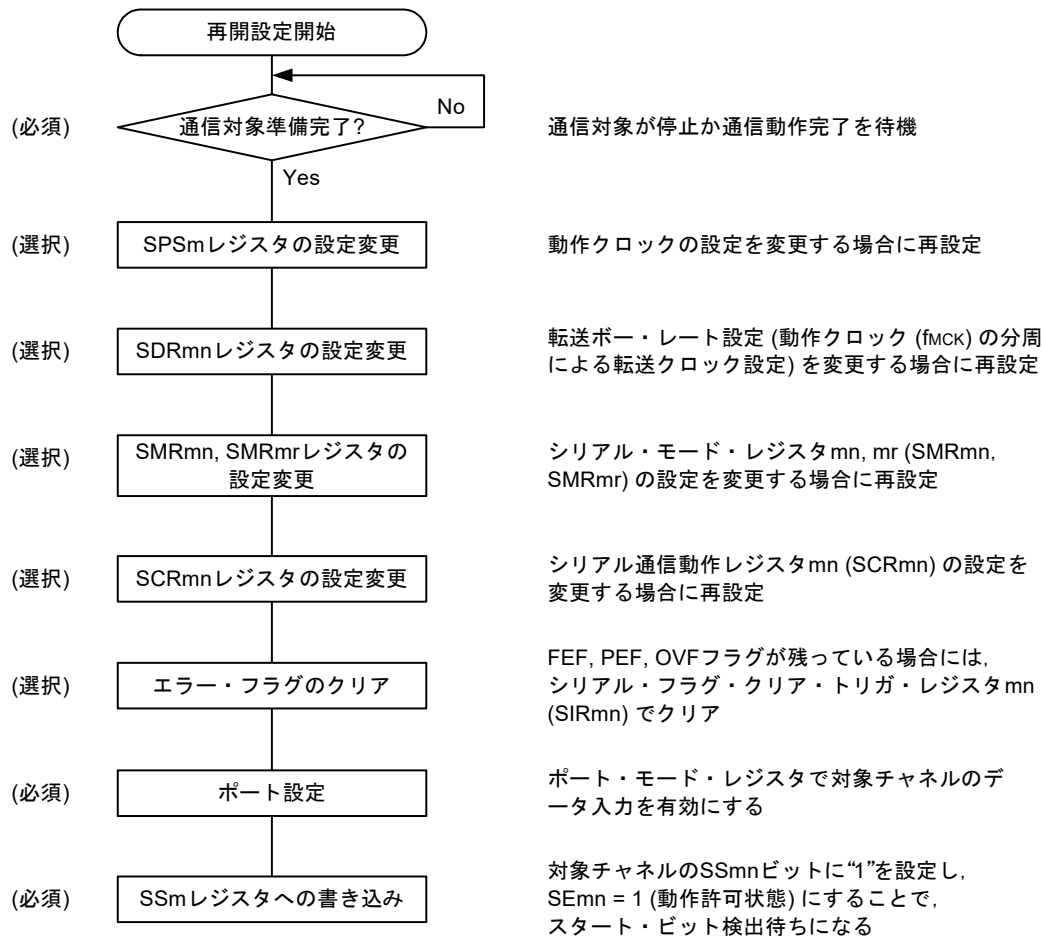


図14 - 119 UART受信の再開設定手順

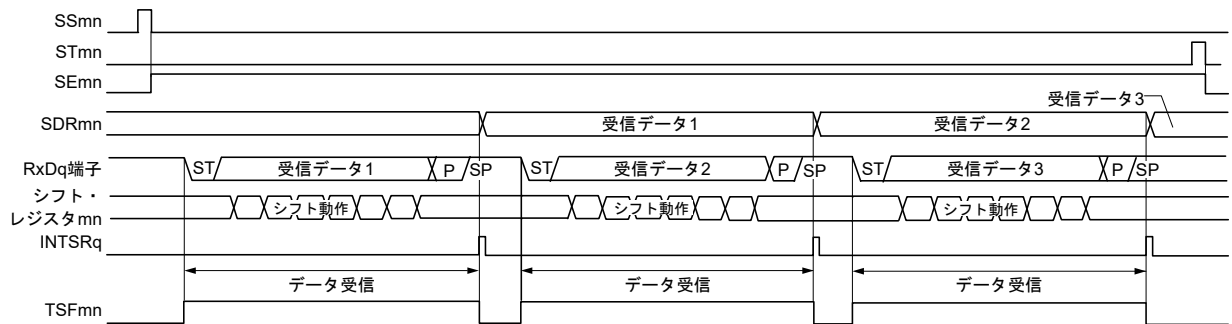


注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fmckの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

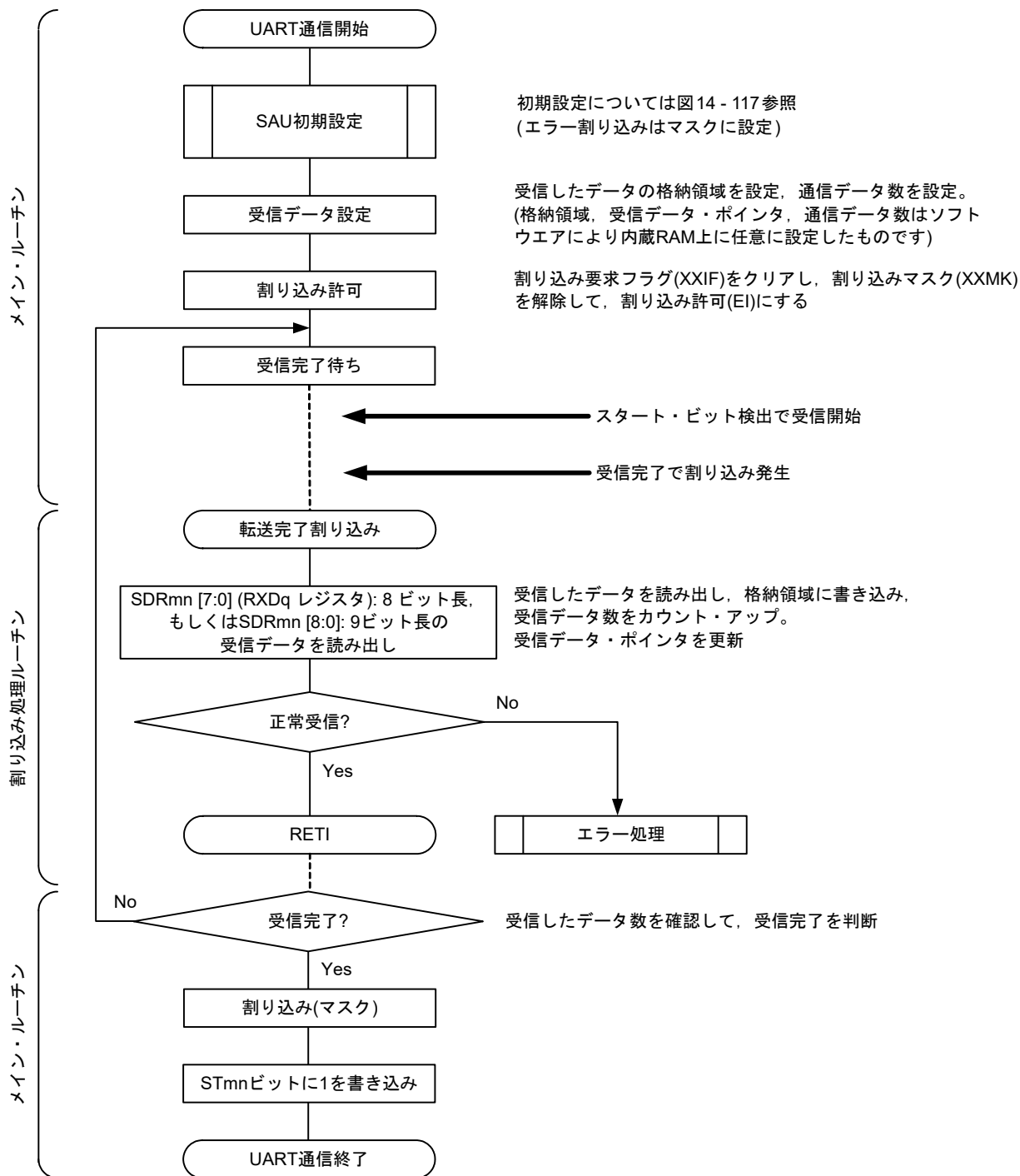
(3) 処理フロー

図14 - 120 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 1, 3), mn = 01, 03
 r : チャネル番号 (r = n - 1) q : UART 番号 (q = 0, 1)

図 14 - 121 UART 受信のフロー・チャート



14.7.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。SNOOZEモードは、オプション・バイト(000C2H)のFRQSEL4が0の時に、以下のUARTのみ設定可能です。

- UART0

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図14-124, 図14-126 SNOOZEモード動作時のフローチャートを参照)

- SNOOZEモード時は、UART受信ポーレートの設定を通常動作時とは異なる値に変更する必要があります。表14-4を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm1ビットをセット(1)します。
- STOPモードに移行後、RxDqのスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH)を選択している場合のみ使用できます。

注意2. SNOOZEモードでの転送レートは4800 bpsのみです。

注意3. SWCm = 1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- SWCm = 1に設定後、STOPモードに移行する前に受信開始した場合
- 他のSNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後、SWCm = 0に戻す前に受信開始した場合

注意4. SSECm = 1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVFmn フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときは、SWC0 = 1に設定する前にPEFmn, FEFmn, OVFmn フラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。

注意5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表 14 - 4 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・ オシレータ (fIH)	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート 4800 bps			
	動作クロック (fMCK)	SDRmn [15:9]	最大許容値	最小許容値
24 MHz ± 2.0%	fCLK/2 ⁵	79	0.60%	-1.18%
16 MHz ± 2.0%	fCLK/2 ⁴	105	1.27%	-0.53%
12 MHz ± 2.0%	fCLK/2 ⁴	79	0.60%	-1.19%
8 MHz ± 2.0%	fCLK/2 ³	105	1.27%	-0.53%
6 MHz ± 2.0%	fCLK/2 ³	79	0.60%	-1.19%
4 MHz ± 2.0%	fCLK/2 ²	105	1.27%	-0.53%
3 MHz ± 2.0%	fCLK/2 ²	79	0.60%	-1.19%
2 MHz ± 2.0%	fCLK/2	105	1.27%	-0.54%
1 MHz ± 2.0%	fCLK	105	1.27%	-0.57%

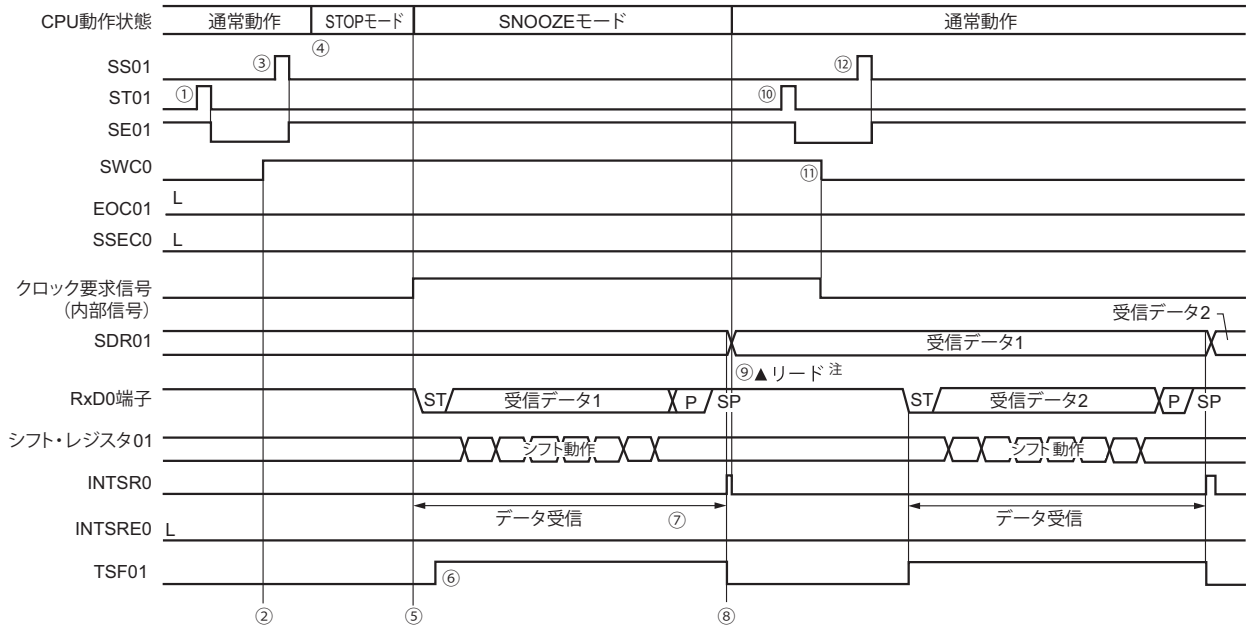
備考 最大許容値, 最小許容値は, UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0 のため SSECm ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み(INTSREq)は発生しません。転送完了割り込み(INTSRq)は発生します。

図 14 - 122 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート



注 SWCm = 1 の状態で、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

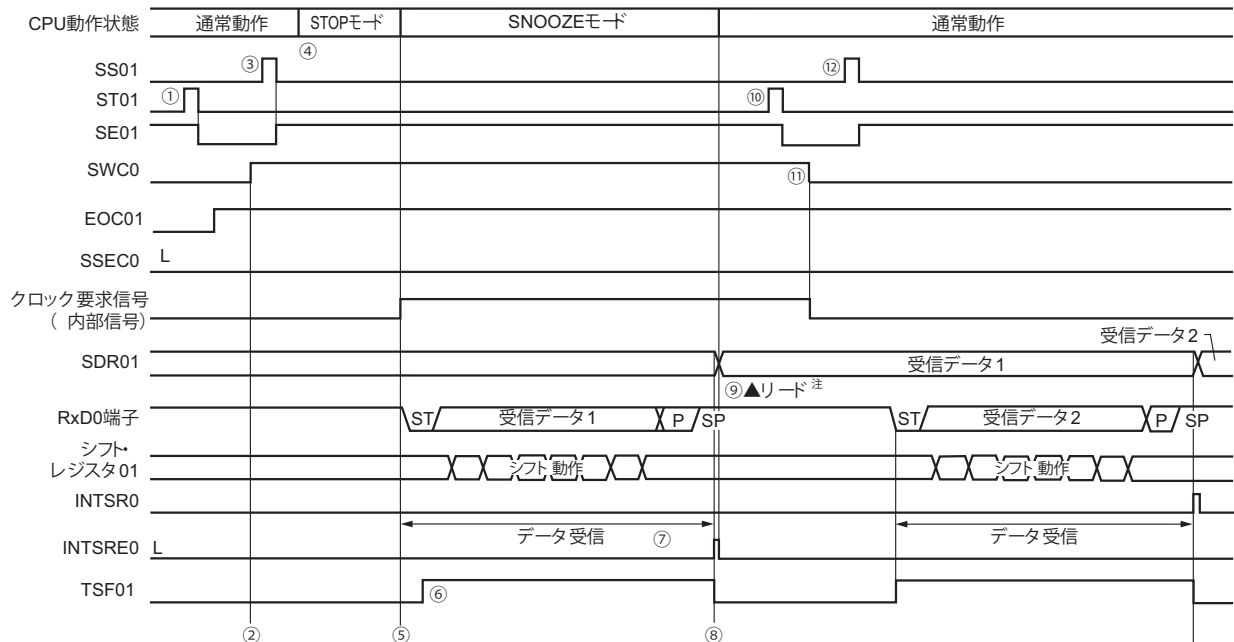
備考1. 図中の①～⑫は、図 14 - 124 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0)時のフロー・チャートの①～⑫に対応しています。

備考2. m = 0; q = 0

(2) SNOOZEモード動作(EOCm1 = 1, SSECm = 0 : エラー割り込み(INTSREq)発生許可)

EOCm1 = 1, SSECm = 0のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生します。

図 14 - 123 SNOOZEモード動作(EOCm1 = 1, SSECm = 0)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

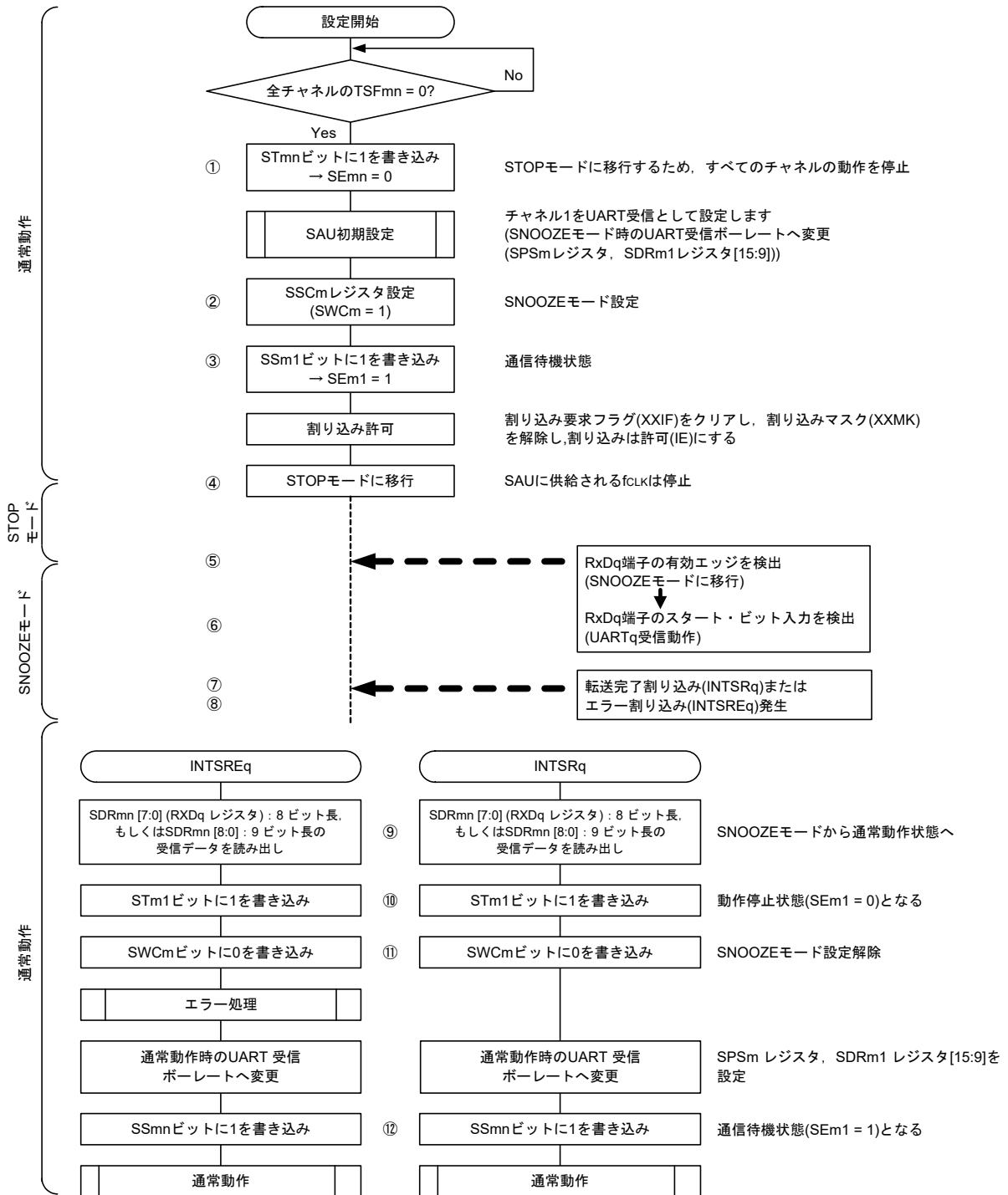
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

備考1. 図中の①~⑫は、図 14 - 124 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0)時のフロー・チャートの①~⑫に対応しています。

備考2. m = 0; q = 0

図14 - 124 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1 もしくはEOCm1 = 1, SSECm = 0)時のフロー・チャート



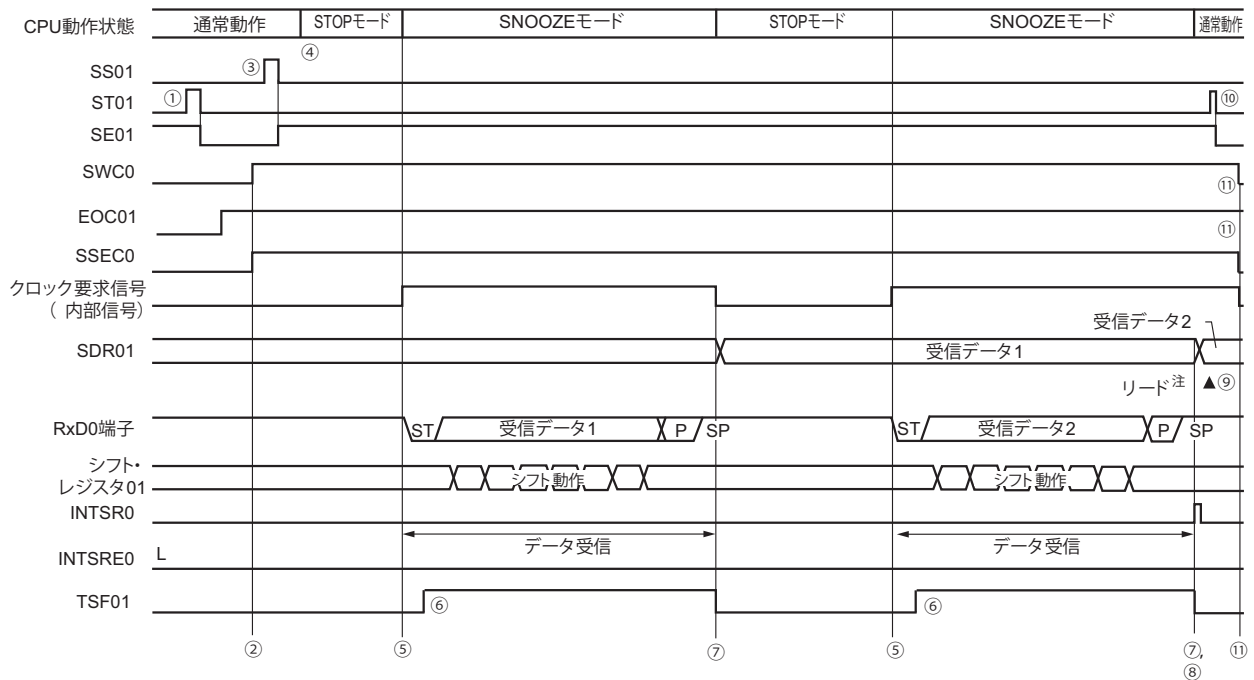
備考1. 図中の①~⑫は、図14 - 122 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート、図14 - 123 SNOOZEモード動作(EOCm1 = 1, SSECm = 0)時のタイミング・チャートの①~⑫に対応しています。

備考2. m = 0; q = 0; n = 0 - 3

(3) SNOOZEモード動作(EOCm1 = 1, SSECm = 1 : エラー割り込み(INTSREq)発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生しません。

図14 - 125 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

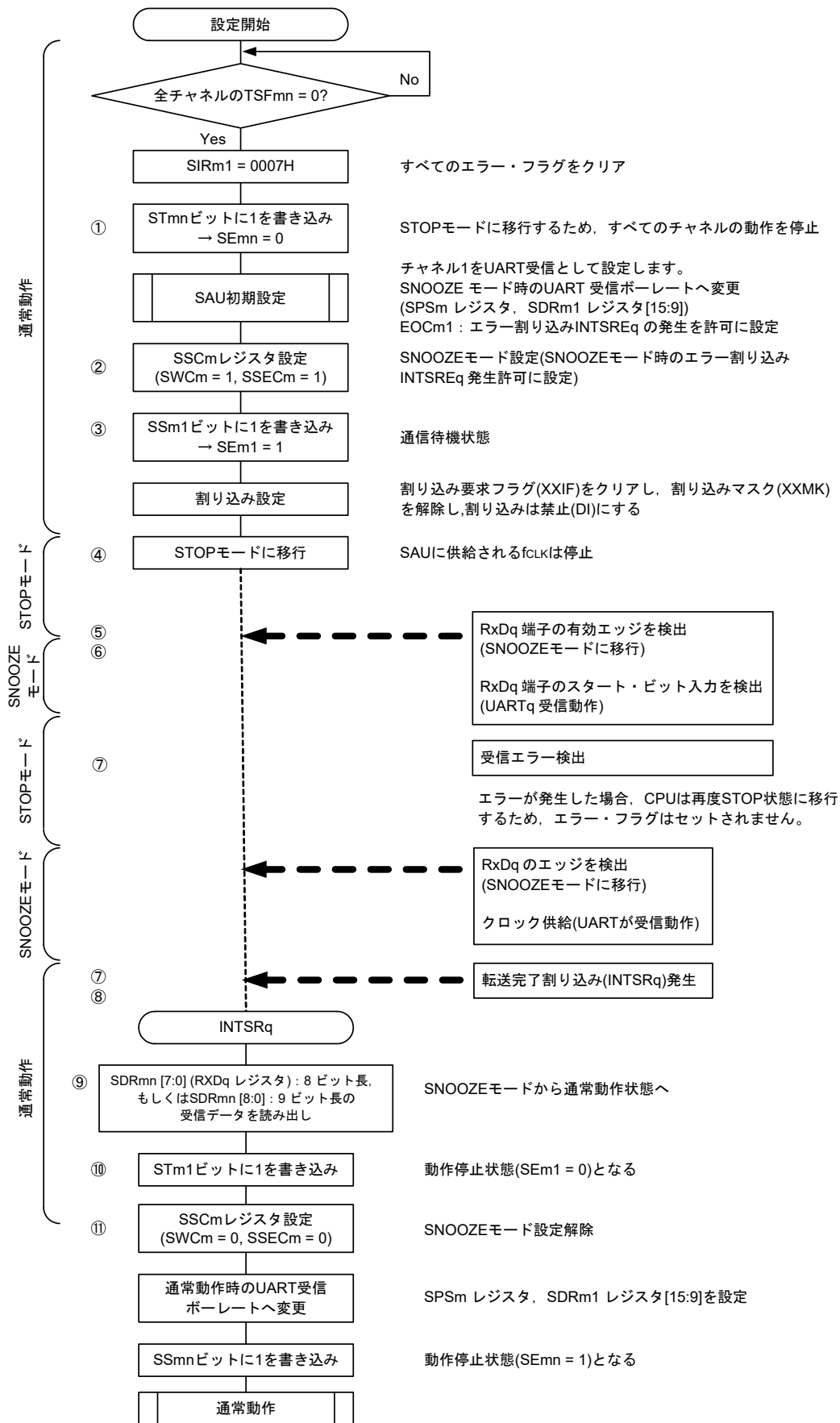
また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときには、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出ししてください。

備考1. 図中の①~⑪は、図14 - 126 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャートの①~⑪に対応しています。

備考2. m = 0; q = 0

図 14 - 126 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャート



(注意、備考は次ページにあります。)

注意 SSECm = 1 のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFm1, FEFm1, OVFM1 フラグはセットされず、エラー割り込み (INTSREQ) も発生しません。そのため、SSECm = 1 で使用するときは、SWC0 = 1 に設定する前に PEFm1, FEFm1, OVFM1 フラグをクリアし、また、SDRm1 [7:0] (RXDq レジスタ) : 8 ビット長、もしくは SDRm1 [8:0] : 9 ビット長を読み出してください。

備考1. 図中の①～⑩は、図 14 - 125 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①～⑩に対応しています。

備考2. m = 0; q = 0; n = 0 - 3

14.7.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0, UART1)通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタ mn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので、2-127になります。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0-3), mn = 00-03

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 14 - 5 UART 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.75 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.88 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.44 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.72 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.75 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.88 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.44 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.72 kHz
	1	1	0	0	X	X	X	X	fCLK/2 ¹²	5.86 kHz
	1	1	0	1	X	X	X	X	fCLK/2 ¹³	2.93 kHz
	1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.46 kHz
1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0-3), mn = 00-03

(2) 送信時のボー・レート誤差

UART (UART0, UART1) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。
送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

fCLK = 20 MHz の場合の UART ボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	fCLK = 20 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート差	目標ボー・レートとの誤差
300 bps	fCLK/2 ⁹	64	300.48 bps	+0.16 %
600 bps	fCLK/2 ⁸	64	600.96 bps	+0.16 %
1200 bps	fCLK/2 ⁷	64	1201.92 bps	+0.16 %
2400 bps	fCLK/2 ⁶	64	2403.85 bps	+0.16 %
4800 bps	fCLK/2 ⁵	64	4807.69 bps	+0.16 %
9600 bps	fCLK/2 ⁴	64	9615.38 bps	+0.16 %
19200 bps	fCLK/2 ³	64	19230.8 bps	+0.16 %
31250 bps	fCLK/2 ³	39	31250.0 bps	±0.0 %
38400 bps	fCLK/2 ²	64	38461.5 bps	+0.16 %
76800 bps	fCLK/2	64	76923.1 bps	+0.16 %
153600 bps	fCLK	64	153846 bps	+0.16 %
312500 bps	fCLK	31	312500 bps	±0.0 %

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2), mn = 00, 02

(3) 受信時のポー・レート許容範囲

UART (UART0, UART1) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$(\text{受信可能な最大ポー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ポー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値(14.7.4 (1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 1, 3), mn = 01, 03

図14-127 受信時の許容ポー・レート範囲(1データ・フレーム長 = 11ビットの場合)

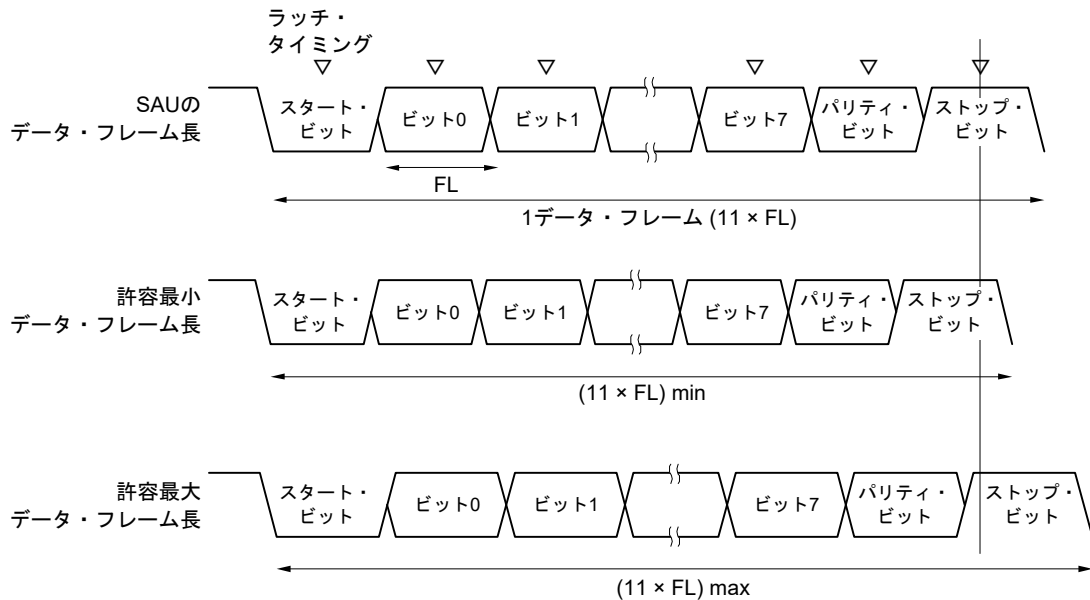


図14-127に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn)のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

14.7.5 UART (UART0, UART1)通信時におけるエラー発生時の処理手順

UART (UART0, UART1)通信時にエラーが発生した場合の処理手順を図14 - 128, 図14 - 129に示します。

図14 - 128 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図14 - 129 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“0”となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“1”となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3), mn = 00-03

14.8 簡易I²C (IIC00)通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- マスタ送信, マスタ受信(シングル・マスタでのマスタ機能のみ)
- ACK出力機能注, ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

※ [簡易I²Cでサポートしていない機能]

- スレーブ送信, スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn (SOEm レジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、14.8.3 (2) 処理フローを参照してください。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0), mn = 00

簡易I²C (IIC00)に対応しているチャンネルは、SAU0のチャンネル0です。

○30, 32, 44ピン製品

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0	IIC00
	1	—	UART1	—
	2	—		—
	3	—		—

簡易I²C (IIC00)の通信動作は、以下の4種類があります。

- アドレス・フィールド送信(14.8.1項を参照)
- データ送信(14.8.2項を参照)
- データ受信(14.8.3項を参照)
- ストップ・コンディション発生(14.8.4項を参照)

14.8.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易I ² C	IIC00
対象チャンネル	SAU0のチャンネル0
使用端子	SCL00, SDA00 ^{注1}
割り込み	INTIIC00 転送完了割り込みのみ(バッファ空き割り込みは選択不可)
エラー検出フラグ	ACKエラー検出フラグ(PEFmn)
転送データ長	8ビット(上位7ビットをアドレス, 下位1ビットをR/W制御として送信)
転送レート ^{注2}	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード)
データ・レベル	非反転出力(デフォルト: ハイ・レベル)
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加(ACK受信タイミング用)
データ方向	MSBファースト

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 使用するポート機能および兼用機能のレジスタの設定を参照してください。

IIC00を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

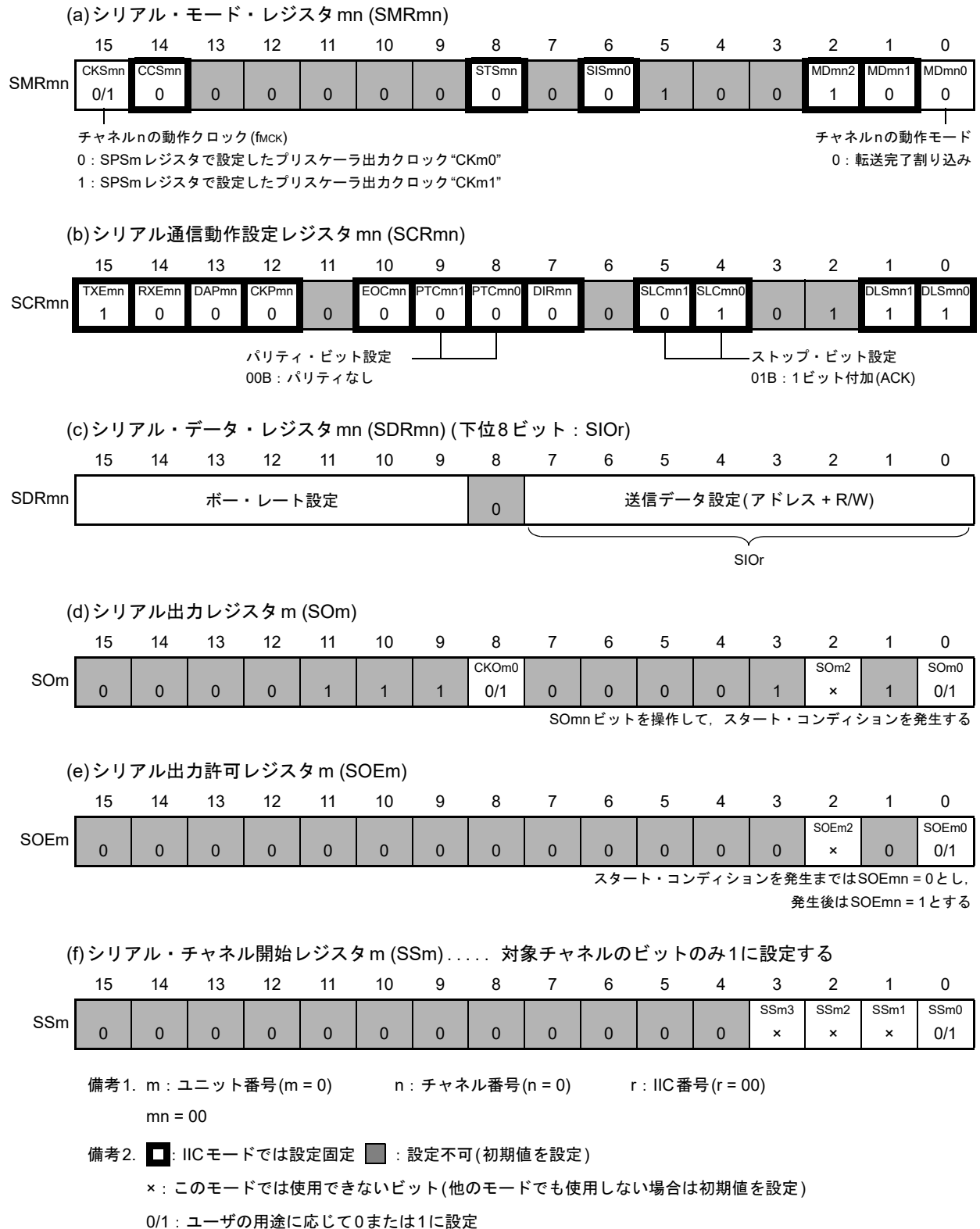
詳細は、4.4.4 入出力バッファによる異電位(2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第29章 電氣的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0), mn = 00

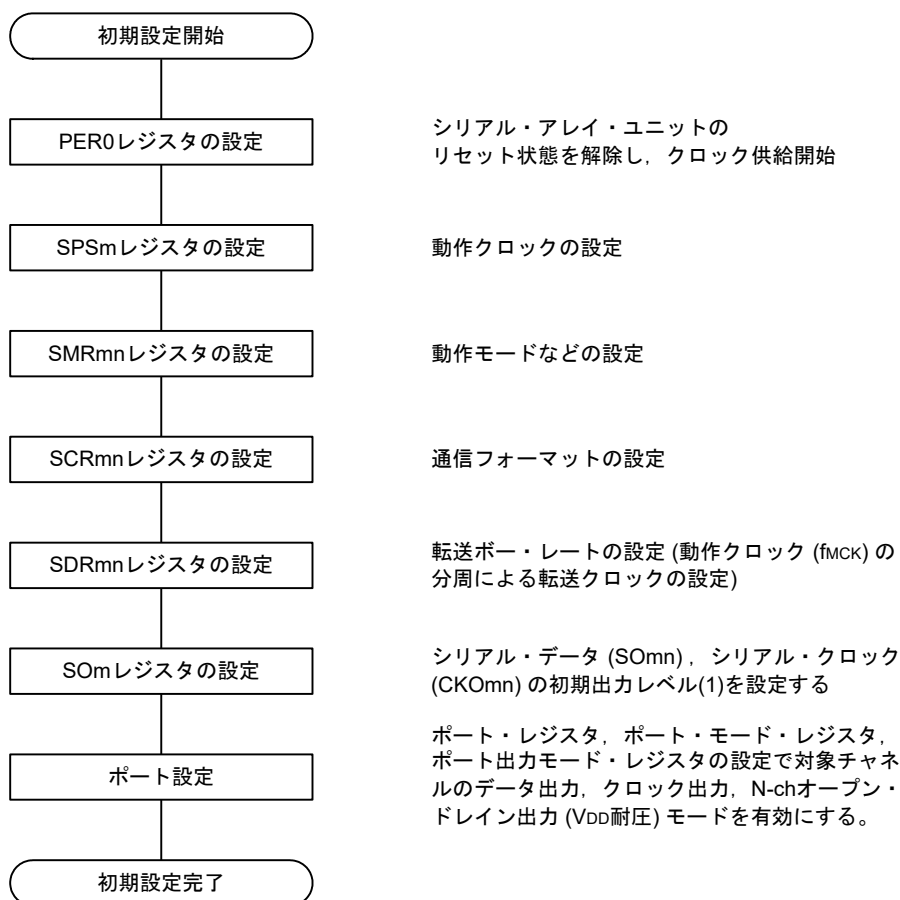
(1) レジスタ設定

図 14 - 130 簡易 I²C (IIC00) のアドレス・フィールド送信時のレジスタ設定内容例



(2) 操作手順

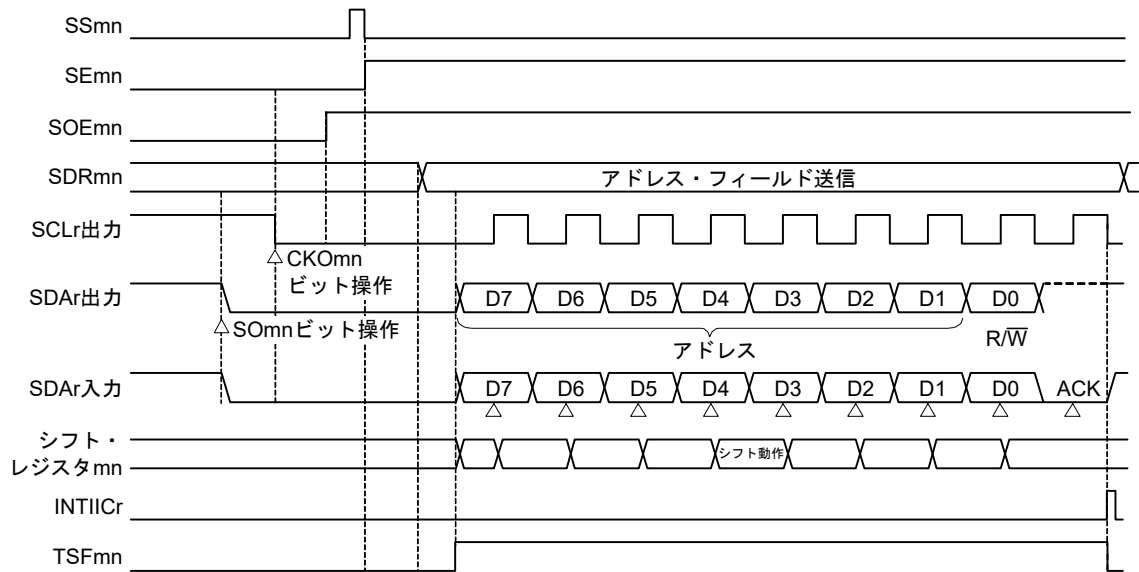
図 14 - 131 アドレス・フィールド送信の初期設定手順



備考 初期設定完了時点では、簡易I²C (IIC00)は出力禁止、動作停止状態としておきます。

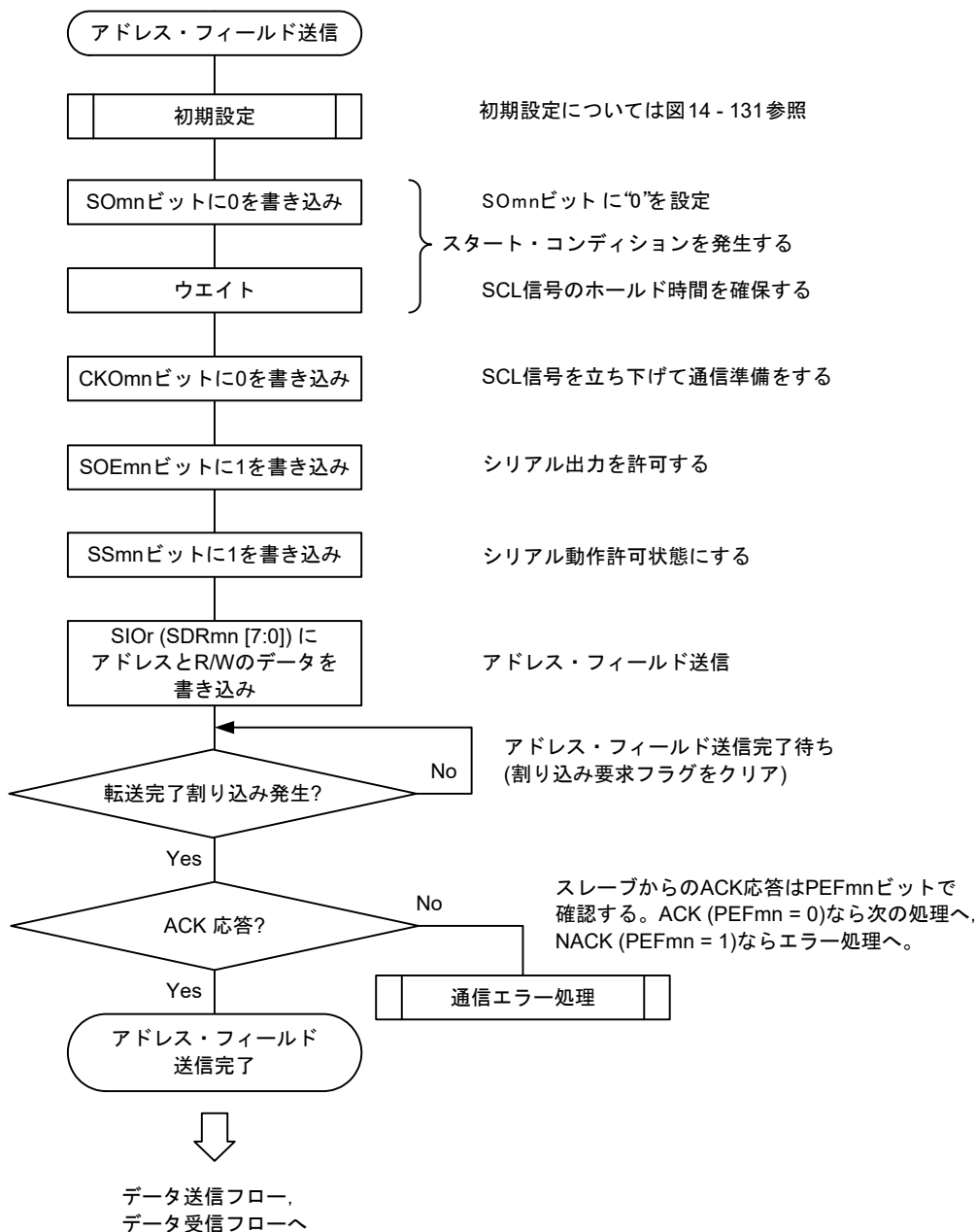
(3) 処理フロー

図 14 - 132 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) r : IIC番号 (r = 00)
 mn = 00

図14 - 133 アドレス・フィールド送信のフロー・チャート



14.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00
対象チャンネル	SAU0のチャンネル0
使用端子	SCL00, SDA00 ^{注1}
割り込み	INTIIC00
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)
エラー検出フラグ	ACKエラー・フラグ(PEFmn)
転送データ長	8ビット
転送レート ^{注2}	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード)
データ・レベル	非反転出力(デフォルト : ハイ・レベル)
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加(ACK受信タイミング用)
データ方向	MSBファースト

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 使用するポート機能および兼用機能のレジスタの設定を参照してください。

IIC00を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

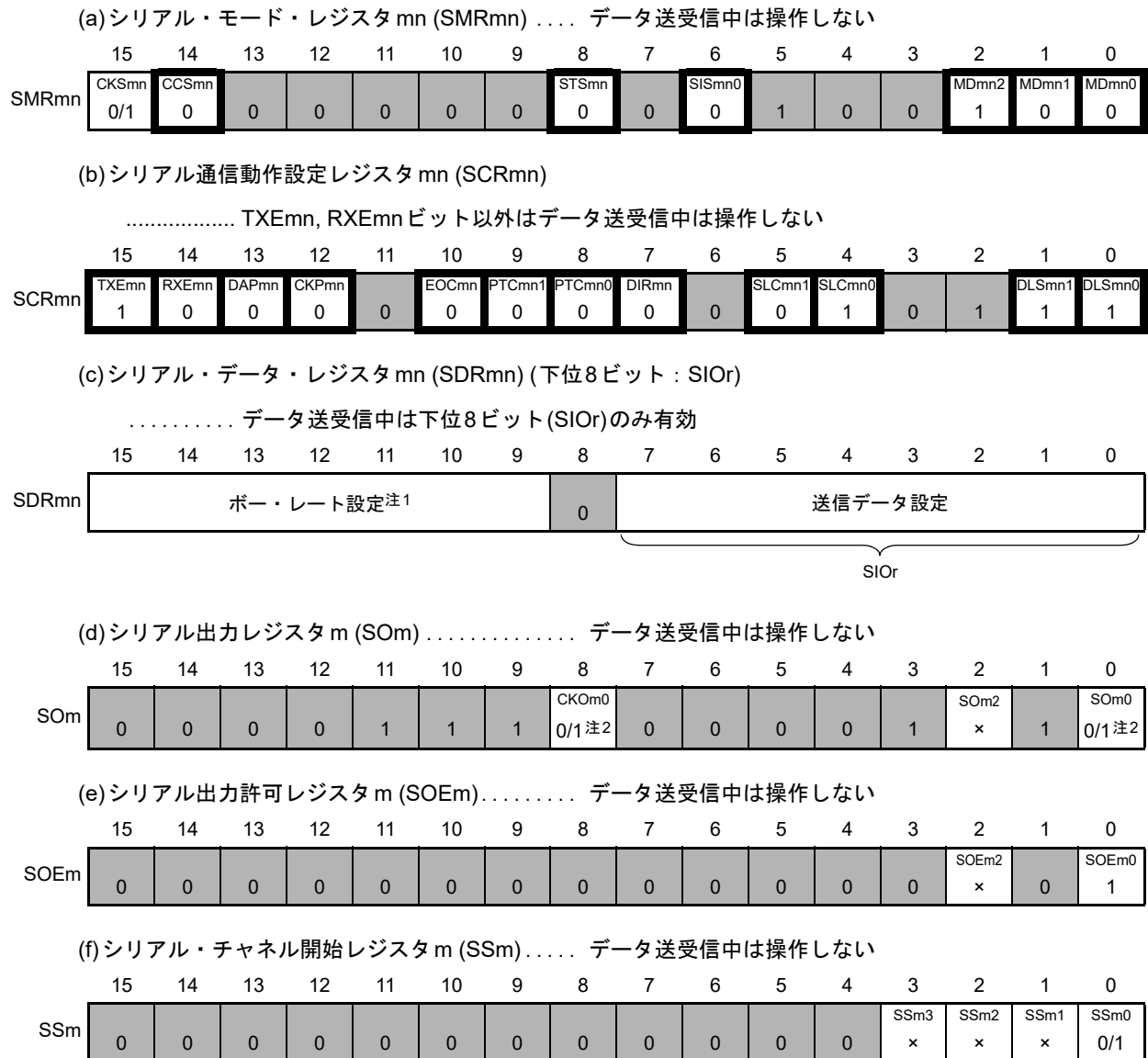
詳細は、4.4.4 入出力バッファによる異電位(2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第29章 電氣的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0), mn = 00

(1) レジスタ設定

図 14 - 134 簡易 I²C (IIC00) のデータ送信時のレジスタ設定内容例



注1. アドレス・フィールド送信で設定済みなので、設定不要です。

注2. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) r : IIC 番号 (r = 00)
mn = 00

備考2. ■ : IIC モードでは設定固定 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 処理フロー

図14 - 135 データ送信のタイミング・チャート

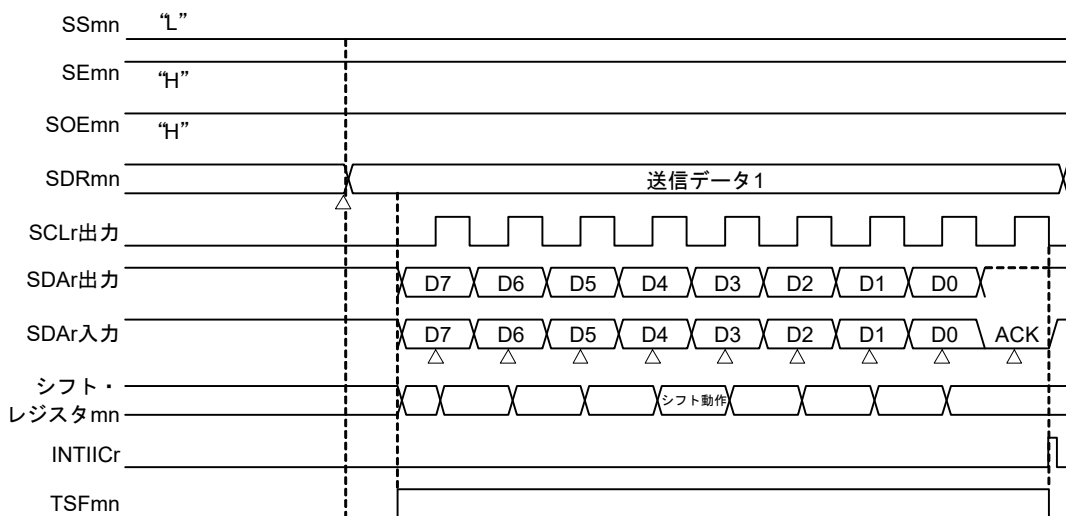
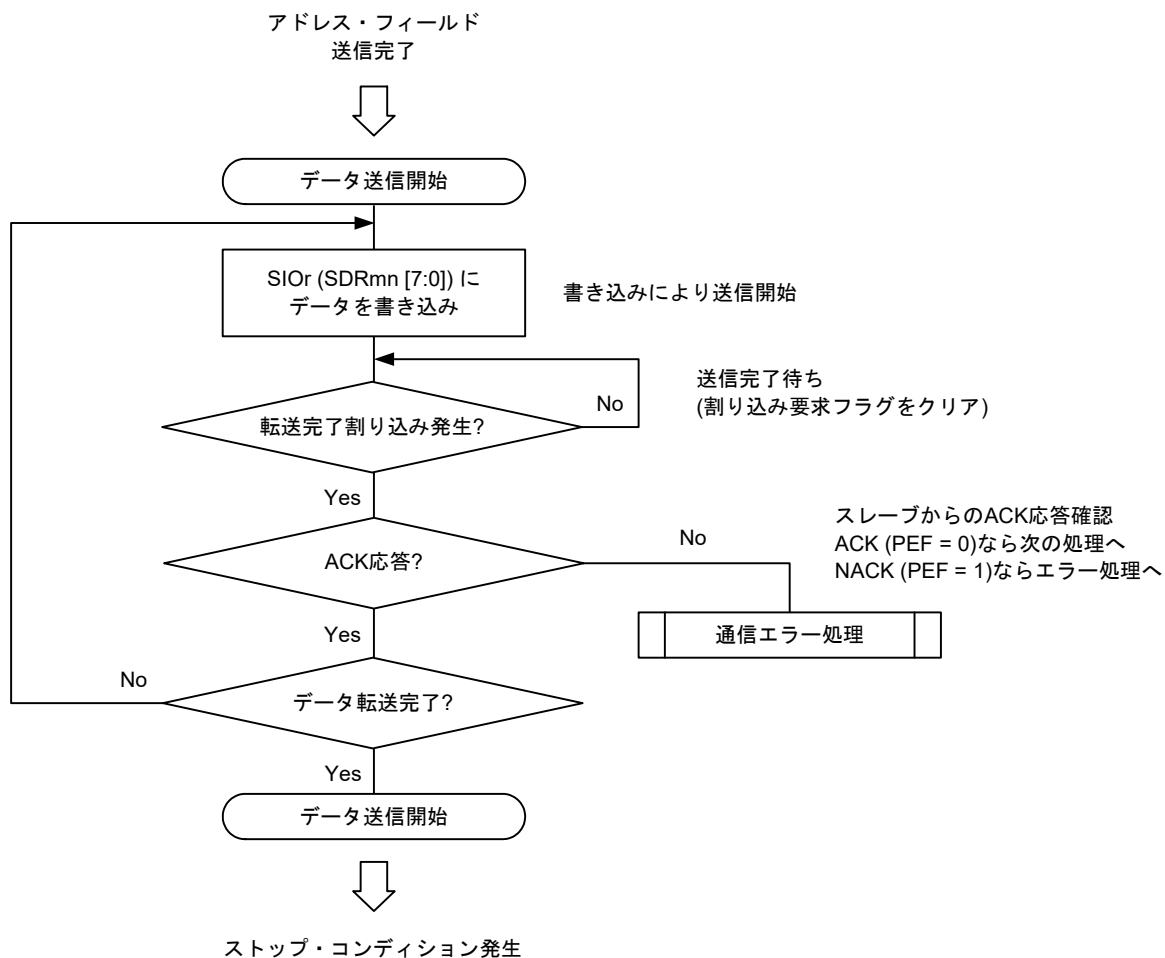


図14 - 136 データ送信のフロー・チャート



14.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00
対象チャンネル	SAU0のチャンネル0
使用端子	SCL00, SDA00 ^{注1}
割り込み	INTIIC00
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	8ビット
転送レート ^{注2}	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード)
データ・レベル	非反転出力(デフォルト : ハイ・レベル)
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加(ACK送信)
データ方向	MSBファースト

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 使用するポート機能および兼用機能のレジスタの設定を参照してください。

IIC00を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.4.4 入出力バッファによる異電位(2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第29章 電氣的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0), mn = 00

(1) レジスタ設定

図 14 - 137 簡易 I²C (IIC00) のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0	1	0	1	1注1	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注2							0	ダミー送信データ設定 (FFH)							
	SIO _r															

(d) シリアル出力レジスタ m (SOm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm								CKOm0						SOm2		SOm0
	0	0	0	0	1	1	1	0/1注3	0	0	0	0	1	0/1注3	1	0/1注3

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. SCR00, SCR01レジスタのみ。その他は1固定になります。

注2. アドレス・フィールド送信で設定済みなので、設定不要です。

注3. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) r : IIC番号 (r = 00)
mn = 00

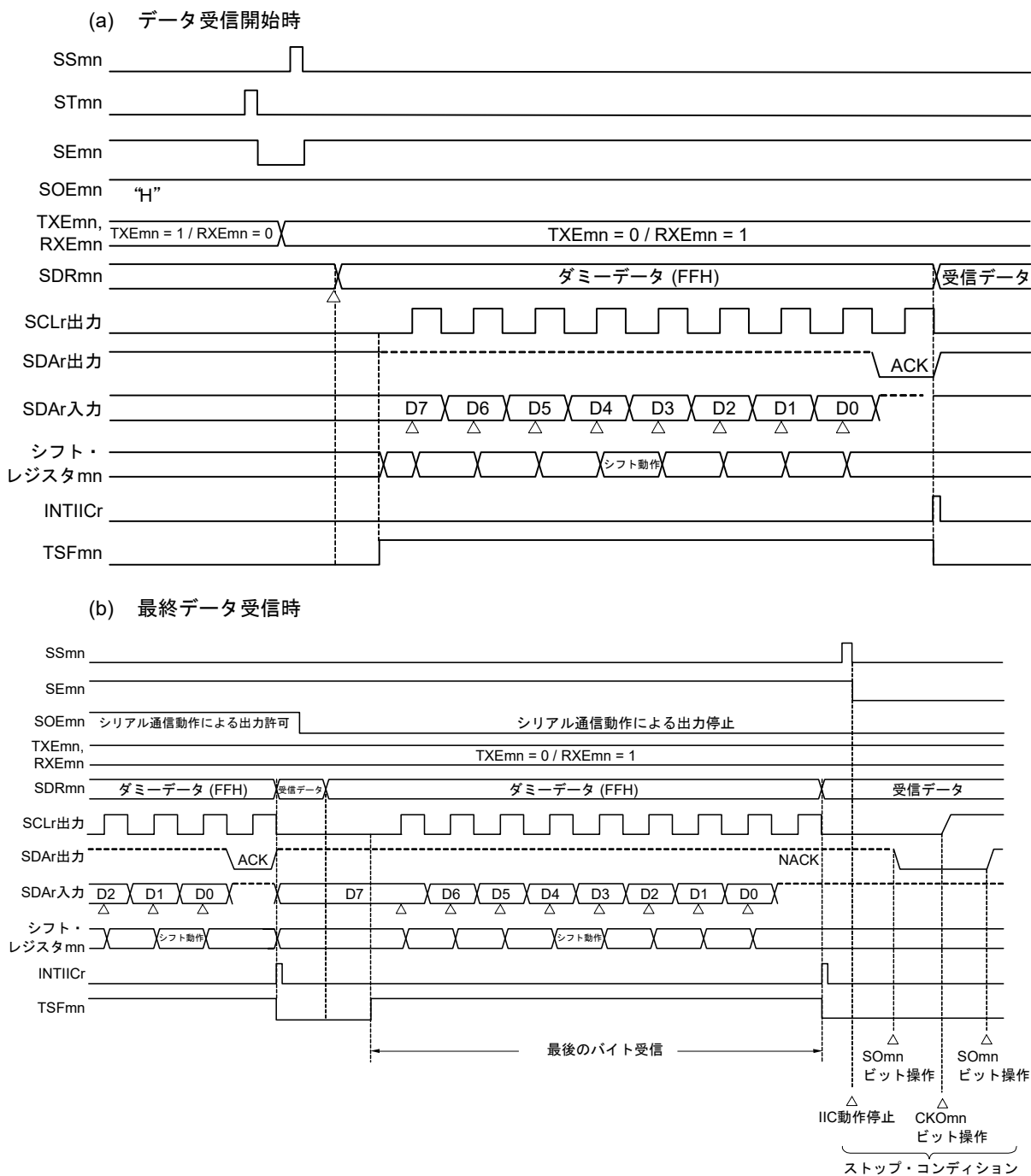
備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

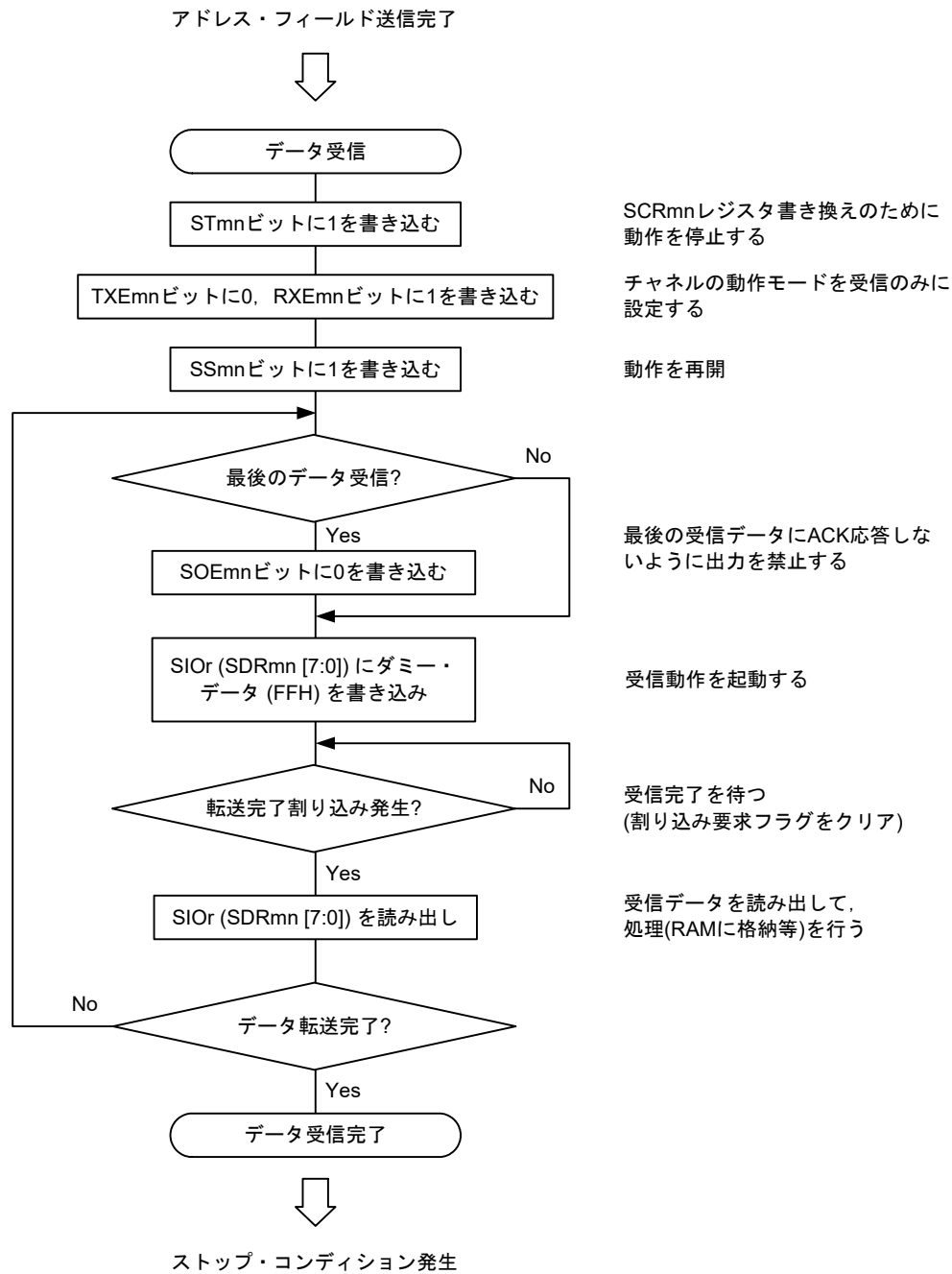
(2) 処理フロー

図14 - 138 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) r : IIC番号 (r = 00)
 mn = 00

図14-139 データ受信のフロー・チャート



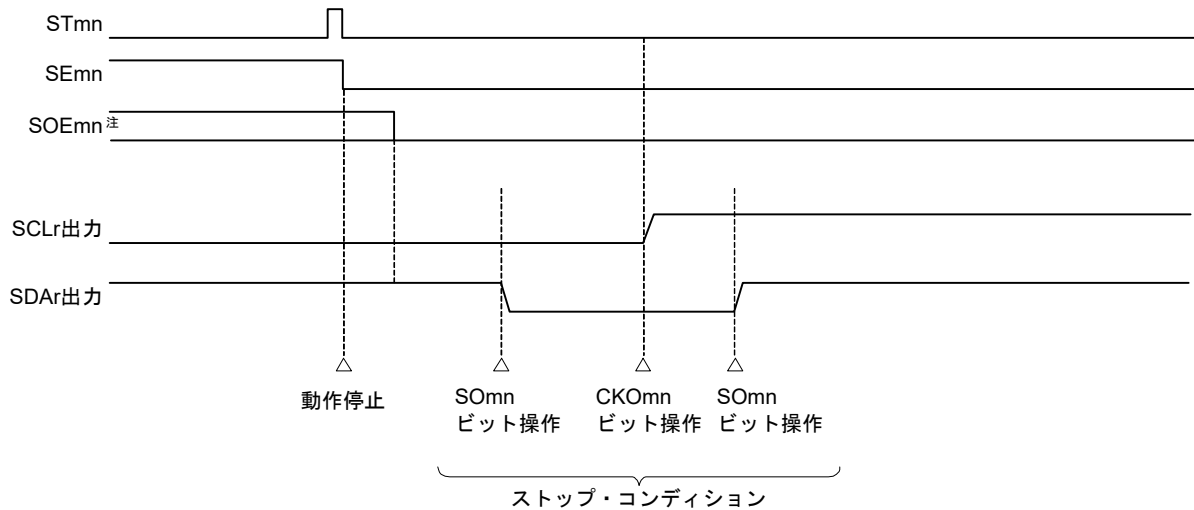
注意 最終データの受信時はACKを出しません(NACK)。その後、シリアル・チャンネル停止レジスタ m (STm)のSTmnビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

14.8.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

(1) 処理フロー

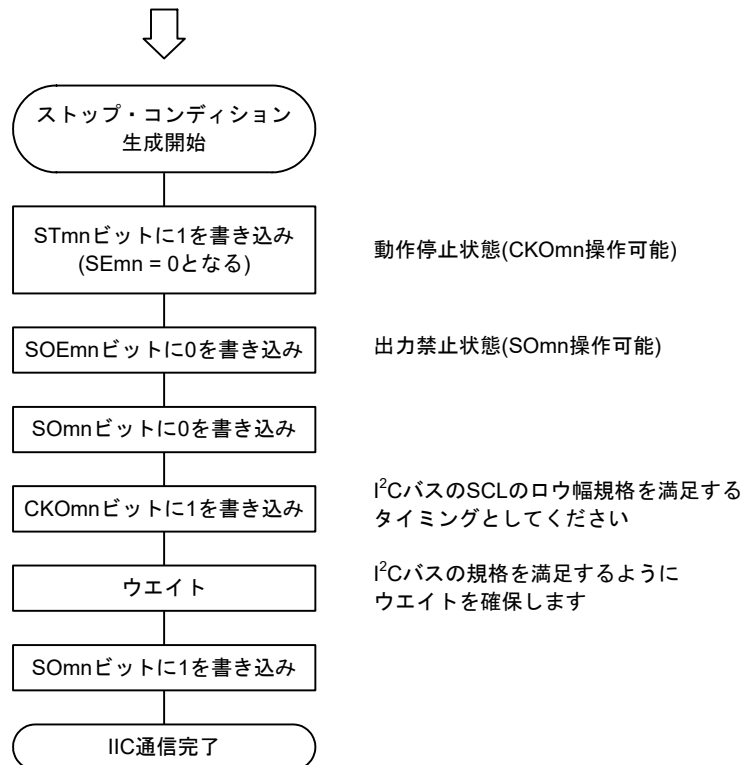
図14 - 140 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタ m (SOEm) の SOEmn ビットを“0”に設定しています。

図14 - 141 ストップ・コンディション発生のフロー・チャート

データ送信完了／データ受信完了



14.8.5 転送レートの算出

簡易I²C (IIC00)通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャンネルの動作クロック (fmck) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考1. (SDRmn[15:9])は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000001B-1111111B)なので、1-127になります。

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0), mn = 00

動作クロック (fmck) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 14 - 6 簡易 I²C 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.75 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.88 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.44 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.72 kHz
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.75 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.88 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.44 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.72 kHz
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0), mn = 00

fMCK = fCLK = 24 MHzの場合のI²C転送レート設定例を示します。

I ² C転送モード (希望転送レート)	fCLK = 24 MHz時			
	動作クロック (fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	59	100 kHz	0.0%
400 kHz	fCLK	31	375 kHz	6.25%注

注 SCL信号がデューティ比50%でないので、誤差を0%程度に設定することはできません。

14.8.6 簡易 I²C (IIC00)通信時におけるエラー発生時の処理手順

簡易 I²C (IIC00)通信時にエラーが発生した場合の処理手順を図 14 - 142, 図 14 - 143に示します。

図 14 - 142 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn)をリードする	→SSRmn レジスタのBFFmn ビットが“0”となり, チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)に“1”をライトする	→エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのまま SIRmn レジスタに書き込むことで, 読み出し時のエラーのみをクリアできる

図 14 - 143 簡易 I²C モード時のACKエラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)をライトする	→エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのまま SIRmn レジスタに書き込むことで, 読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm)のSTmnビットに“1”を設定する	→シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmnビットが“0”となり, チャンネルnは動作停止状態になる	ACKが返信されていないので, スレーブの受信準備ができていない。そのため, ストップ・コンディションを作成してバスを開放し, 再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し, アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm)のSSmnビットに“1”を設定する	→シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmnビットが“1”となり, チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) r : IIC番号 (r = 00)

mn = 00

第15章 イベント・リンク・コントローラ(ELC)

15.1 ELCの機能

イベント・リンク・コントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

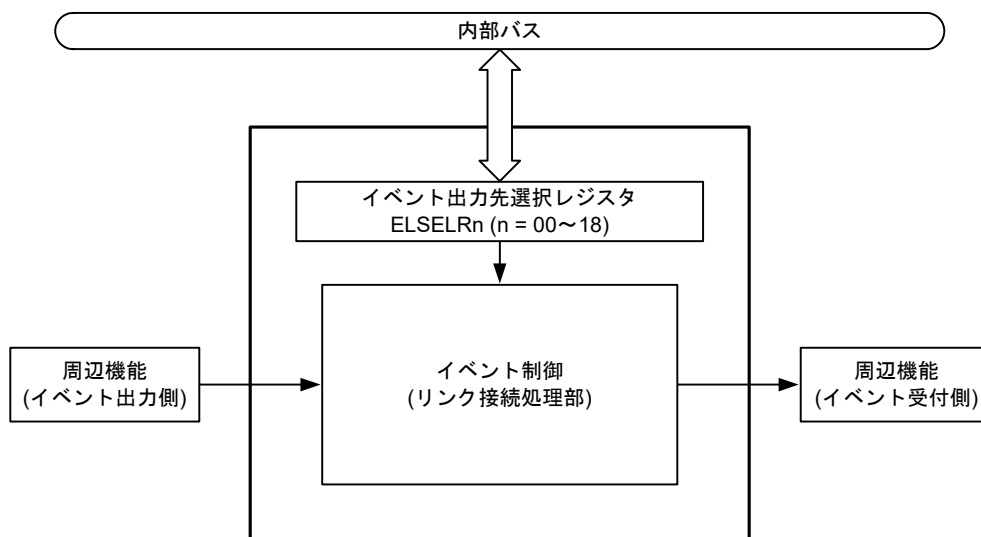
ELCには次の機能があります。

- 19種類(44ピン製品)、18種類(30, 32ピン製品)の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 6種類(30, 32, 44ピン製品)の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

15.2 ELCの構成

図15-1にELCのブロック図を示します。

図15-1 ELCのブロック図



15.3 ELCを制御するレジスタ

表15-1にELCを制御するレジスタを示します。

表15-1 ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ00	ELSELR00
イベント出力先選択レジスタ01	ELSELR01
イベント出力先選択レジスタ02	ELSELR02
イベント出力先選択レジスタ03	ELSELR03
イベント出力先選択レジスタ04	ELSELR04
イベント出力先選択レジスタ05	ELSELR05
イベント出力先選択レジスタ06	ELSELR06
イベント出力先選択レジスタ07	ELSELR07
イベント出力先選択レジスタ08	ELSELR08
イベント出力先選択レジスタ09	ELSELR09
イベント出力先選択レジスタ10	ELSELR10
イベント出力先選択レジスタ11	ELSELR11
イベント出力先選択レジスタ12	ELSELR12
イベント出力先選択レジスタ13	ELSELR13
イベント出力先選択レジスタ14	ELSELR14
イベント出力先選択レジスタ15	ELSELR15
イベント出力先選択レジスタ16	ELSELR16
イベント出力先選択レジスタ17	ELSELR17
イベント出力先選択レジスタ18	ELSELR18

15.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 18)

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRnレジスタを設定してください。

表 15 - 2 に ELSELRn レジスタ (n = 00 ~ 18) と周辺機能の対応を、表 15 - 3 に ELSELRn レジスタ (n = 00 ~ 18) に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図 15 - 2 イベント出力先選択レジスタ n (ELSELRn) のフォーマット

アドレス : F0300H (ELSELR00) ~ F0312H (ELSELR18) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	0	ELSELn2	ELSELn1	ELSELn0

ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択
0	0	0	イベントリンク禁止
0	0	1	リンクする周辺機能の動作を選択 ^注
0	1	0	リンクする周辺機能の動作を選択 ^注
0	1	1	リンクする周辺機能の動作を選択 ^注
1	0	0	リンクする周辺機能の動作を選択 ^注
1	0	1	リンクする周辺機能の動作を選択 ^注
1	1	0	リンクする周辺機能の動作を選択 ^注
上記以外			設定禁止

注 表 15 - 3 ELSELRn レジスタ (n = 00 ~ 18) に設定する値とリンク先周辺機能の受付時の動作の対応参照。

表 15 - 2 ELSELRn レジスタ (n = 00 ~ 18) と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06 ^注	キー・リターン信号検出	INTKR
ELSELR07	タイマRD0インプットキャプチャ A/コンペア一致A	INTTRD0
ELSELR08	タイマRD0インプットキャプチャ B/コンペア一致B	INTTRD0
ELSELR09	タイマRD1インプットキャプチャ A/コンペア一致A	INTTRD1
ELSELR10	タイマRD1インプットキャプチャ B/コンペア一致B	INTTRD1
ELSELR11	タイマRD1アンダフロー	TRD1アンダフロー信号
ELSELR12	タイマRJ0アンダフロー	INTTRJ0
ELSELR13	TAUチャンネル00カウント完了/キャプチャ完了	INTTM00
ELSELR14	TAUチャンネル01カウント完了/キャプチャ完了	INTTM01
ELSELR15	TAUチャンネル02カウント完了/キャプチャ完了	INTTM02
ELSELR16	TAUチャンネル03カウント完了/キャプチャ完了	INTTM03
ELSELR17	コンパレータ検出0	INTCMP0
ELSELR18	コンパレータ検出1	INTCMP1

注 44ピン製品のみ

表 15 - 3 ELSELRn レジスタ (n = 00 ~ 18) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRn レジスタの ELSEL2 ~ ELSEL0 ビット	リンク先周辺機能	イベント受付時の動作
001B	A/Dコンバータ	A/D変換開始
010B	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力注1	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
011B	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力注2	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
100B	タイマRJ0	カウントソース
101B	タイマRD0	TRDIOD0のインプットキャプチャ, パルス出力強制遮断
110B	タイマRD1	TRDIOD1のインプットキャプチャ, パルス出力強制遮断

注1. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル0 のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0)でチャンネル0の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1)でTI00端子のノイズフィルタをOFFに(TNFEN00 = 0)設定し、タイマ入力選択レジスタ0 (TIS0)でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注2. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル1 のタイマ入力を選択する場合、先にタイマ・クロック選択レジスタ0 (TPS0)でチャンネル1の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1)でTI01端子のノイズフィルタをOFF (TNFEN01 = 0)に設定し、タイマ入力選択レジスタ0 (TIS0)でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。

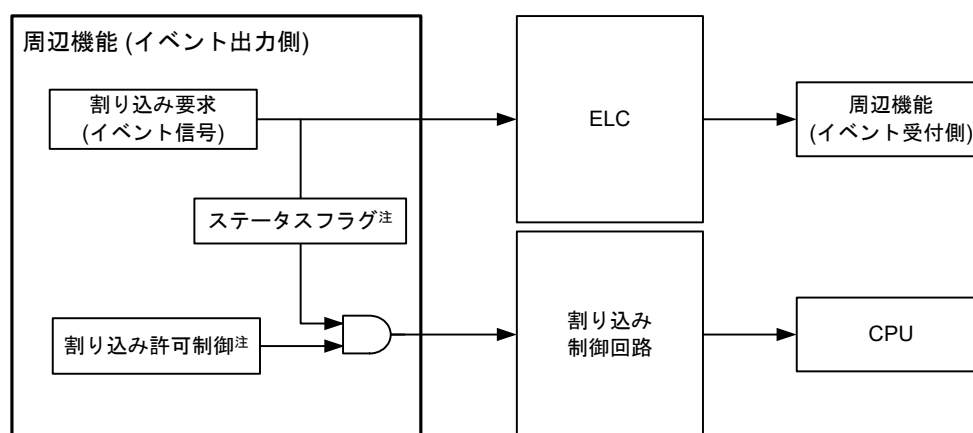
15.4 ELCの動作

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

図15-3に割り込み処理とELCの関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします(表15-3 ELSELRnレジスタ(n = 00~18)に設定する値とリンク先周辺機能の受付時の動作の対応参照)。

図15-3 割り込み処理とELCの関係



注 周辺機能によっては、搭載していません。

表15-4にイベントを受け付ける周辺機能の応答性を示します。

表15-4 イベントを受け付ける周辺機能の応答性

イベント 受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D変換動作	ELCからのイベントが直接、A/D変換のハードウェア・トリガになります。
2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からfCLKの3, 4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からfCLKの3, 4サイクル後にエッジの検出を行います。
4	タイマRJ	カウントソース	ELCからのイベントが直接、タイマRJのカウントソースになります。
5	タイマRD0	TRDIOD0のインプットキャプチャ	ELCのイベント発生からタイマRDの動作クロック2, 3サイクル後にカウント開始トリガが発生します。
		パルス出力強制遮断	ELCのイベント発生からタイマRDの動作クロック2, 3サイクル後に強制遮断状態になります。
6	タイマRD1	TRDIOD1のインプットキャプチャ	ELCのイベント発生からタイマRDの動作クロック2, 3サイクル後にカウント開始トリガが発生します。
		パルス出力強制遮断	ELCのイベント発生からタイマRDの動作クロック2, 3サイクル後に強制遮断状態になります。

第16章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		30, 32ピン	44ピン
マスカブル割り込み	外部	6	7
	内部	20	20

16.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表16-1、表16-2を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

16.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計5要因あります(表16-1、表16-2参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表 16 - 1 割り込み要因一覧 (1/2)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	44ピン	32ピン	30ピン	
		名称	トリガ							
マスクカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル注3 (オーバフロー時間の75% + 1/2 fil)	内部	00004H	(A)	○	○	○	
	1	INTLVI	電圧検出注4		00006H		○	○	○	
	2	INTP0	端子入力エッジ検出	外部	00008H	(B)	○	○	○	
	3	INTP1			0000AH		○	○	○	
	4	INTP2			0000CH		○	○	○	
	5	INTP3			0000EH		○	○	○	
	6	INTP4			00010H		○	○	○	
	7	INTP5			00012H		○	○	○	
	8	INTST0/ INTCSI00/ INTIIC00			UART0送信の転送完了, バッファ空き割り込み/ CSI00の転送完了, バッファ空き割り込み/ IIC00の転送完了		内部	0001EH	(A)	○
	9	INTSR0	UART0受信の転送完了	00020H	○	○		○		
	10	INTSRE0	UART0受信の通信エラー発生	00022H	○	○		○		
		INTTM01H	タイマ・チャンネル1のカウント完了またはキャプチャ完了(8ビット・タイマ動作時)		○	○		○		
	11	INTST1	UART1送信の転送完了, バッファ空き割り込み	00024H	○	○		○		
	12	INTSR1	UART1受信の転送完了	00026H	○	○		○		
	13	INTSRE1	UART1受信の通信エラー発生	00028H	○	○		○		
		INTTM03H	タイマ・チャンネル3のカウント完了またはキャプチャ完了(8ビット・タイマ動作時)		○	○		○		
	14	INTTM00	タイマ・チャンネル0のカウント完了またはキャプチャ完了	0002CH	○	○		○		
	15	INTTM01	タイマ・チャンネル1のカウント完了またはキャプチャ完了	0002EH	○	○		○		
	16	INTTM02	タイマ・チャンネル2のカウント完了またはキャプチャ完了	00030H	○	○		○		
	17	INTTM03	タイマ・チャンネル3のカウント完了またはキャプチャ完了	00032H	○	○		○		
18	INTAD	A/D変換終了	00034H	○	○	○				
19	INTIT	インターバル信号検出	00038H	○	○	○				
20	INTKR	キー・リターン信号検出	外部	0003AH	(C)	○		×		×

注1. デフォルト・プライオリティは、複数のマスクカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、26が最低順位です。

注2. 基本構成タイプの(A)-(D)は、それぞれ図16-1の(A)-(D)に対応しています。

注3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。

注4. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 0選択時。

表 16 - 2 割り込み要因一覧 (2/2)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	44ピン	32ピン	30ピン
		名称	トリガ						
マスカブル	21	INTTRJ0	タイマRJアンダフロー	内部	00040H	(A)	○	○	○
	22	INTCMP0	コンパレータ検出0		00052H		○	○	○
	23	INTCMP1	コンパレータ検出1		00054H		○	○	○
	24	INTTRD0	タイマRD0インプットキャプチャ、コンペアー一致、オーバーフロー、アンダフロー割り込み		00056H		○	○	○
	25	INTTRD1	タイマRD1インプットキャプチャ、コンペアー一致、オーバーフロー、アンダフロー割り込み		00058H		○	○	○
	26	INTFL	予約 ^{注5}		00062H		○	○	○
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH	(D)	○	○	○
リセット	—	RESET	RESET 端子入力	—	00000H	—	○	○	○
		POR	パワーオン・リセット				○	○	○
		LVD	電圧検出 ^{注3}				○	○	○
		WDT	ウォッチドッグ・タイマのオーバーフロー				○	○	○
		TRAP	不正命令の実行 ^{注4}				○	○	○
		IAW	不正メモリ・アクセス				○	○	○
		RPE	RAMパリティ・エラー				○	○	○

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、26が最低順位です。

注2. 基本構成タイプの(A)-(D)は、それぞれ図16-1の(A)-(D)に対応しています。

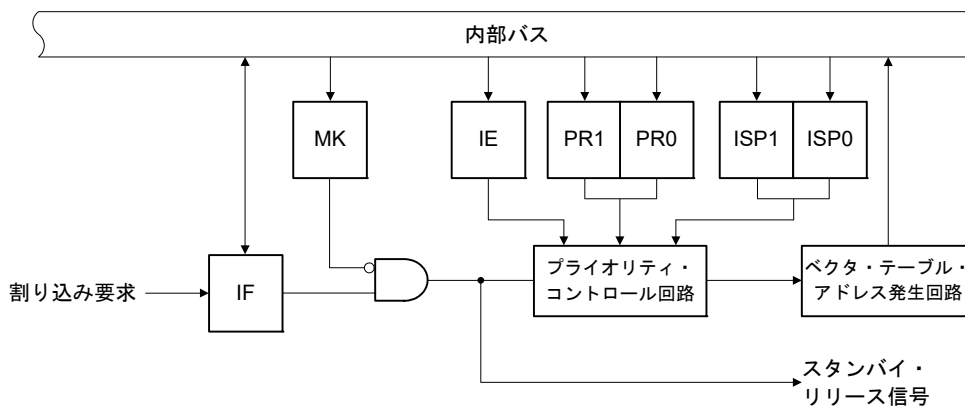
注3. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD)=1選択時。

注4. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

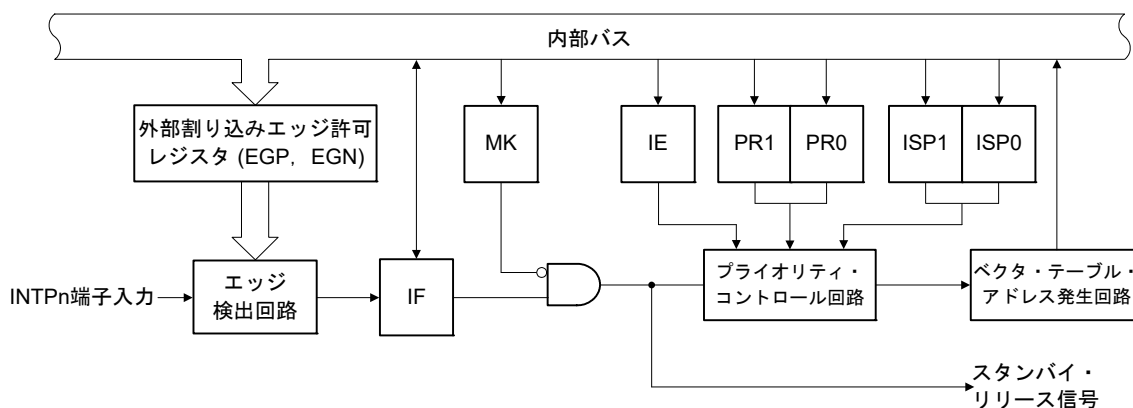
注5. フラッシュ・セルフ・プログラミング・ライブラリで使われます。

図16-1 割り込み機能の基本構成(1/2)

(A)内部マスカブル割り込み



(B)外部マスカブル割り込み(INTPn)

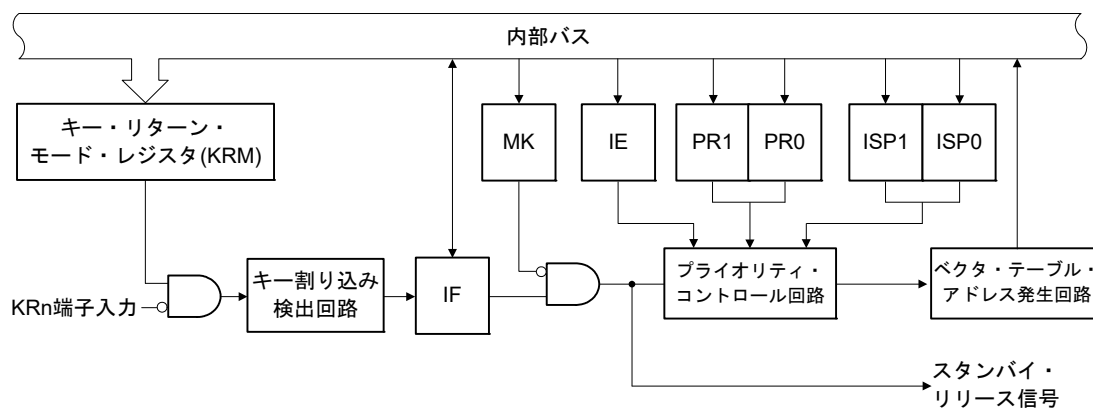


- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサース・プライオリティ・フラグ0
- ISP1 : インサース・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

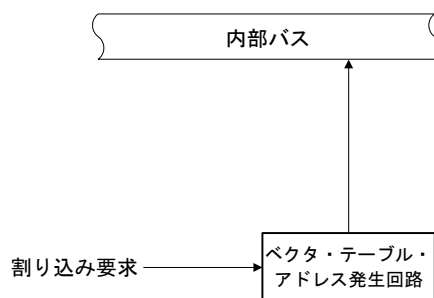
備考 n = 0-5

図16-2 割り込み機能の基本構成(2/2)

(C)外部マスカブル割り込み(INTKR)



(D)ソフトウェア割り込み



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

ISP0 : インサースビス・プライオリティ・フラグ0

ISP1 : インサースビス・プライオリティ・フラグ1

MK : 割り込みマスク・フラグ

PR0 : 優先順位指定フラグ0

PR1 : 優先順位指定フラグ1

備考 44ピン : n = 0-3

16.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表16-3に示します。

表 16 - 3 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		44 ピン	30, 32 ピン
		レジスタ		レジスタ		レジスタ		
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1		○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○
INTST0 ^{注1}	STIF0 ^{注1}	IF0H	STMK0 ^{注1}	MK0H	STPR00, STPR10 ^{注1}	PR00H, PR10H	○	○
INTCSI00 ^{注1}	CSIIIF00 ^{注1}		CSIMK00 ^{注1}		CSIPR000, CSIPR100 ^{注1}		○	○
INTIIC00 ^{注1}	IICIF00 ^{注1}		IICMK00 ^{注1}		IICPR000, IICPR100 ^{注1}		○	○
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10		○	○
INTSRE0 ^{注2}	SREIF0 ^{注2}		SREMK0 ^{注2}		SREPR00, SREPR10 ^{注2}		○	○
INTTM01H ^{注2}	TMIF01H ^{注2}		TMMK01H ^{注2}		TMPR001H, TMPR101H ^{注2}		○	○
INTST1	STIF1	IF1L	STMK1	MK1L	STPR01, STPR11	PR01L, PR11L	○	○
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11		○	○
INTSRE1 ^{注3}	SREIF1 ^{注3}		SREMK1 ^{注3}		SREPR01, SREPR11 ^{注3}		○	○
INTTM03H ^{注3}	TMIF03H ^{注3}		TMMK03H ^{注3}		TMPR003H, TMPR103H ^{注3}		○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○
INTIT	TMKAIF		TMKAMK		TMKAPR0, TMKAPR1		○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	×
INTTRJ0	TRJIF0		TRJMK0		TRJPR00, TRJPR10		○	○
INCMP0	CMPIF0	IF2L	CMPMK0	MK2L	CMPPR00, CMPPR10	PR02L, PR12L	○	○
INCMP1	CMPIF1		CMPMK1		CMPPR01, CMPPR11		○	○
INTTRD0	TRDIF0	IF2H	TRDMK0	MK2H	TRDPR00, TRDPR10	PR02H, PR12H	○	○
INTTRD1	TRDIF1		TRDMK1		TRDPR01, TRDPR11		○	○
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○

注1. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。

注2. UART0受信のエラー割り込み、TAU0のチャンネル1(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0受信のエラー割り込みを使用しない(EOC01=0)場合は、UART0, TAU0のチャンネル1(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生したら、IF0Hレジスタのビット7はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。

注3. UART1受信のエラー割り込み、TAU0のチャンネル3(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない(EOC03=0)場合は、UART1, TAU0のチャンネル3(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生したら、IF1Lレジスタのビット2はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。

16.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図16-3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット(1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0 TMIF01H	SRIF0	STIF0 CSIF00 IICIF00	0	0	0	0	0

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	0	SREIF1 TMIF03H	SRIF1	STIF1

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	TRJIF0	0	0	KRIF	TMKAIF	0	ADIF

図16-4 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット(2/2)

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	CMPIF0	0	0	0	0	0	0	0

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	0	0	0	0	TRDIF1	TRDIF0	CMPIF1

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表16-3を参照してください。また、搭載していないビットには必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令(CLR1)を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令(CLR1)になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ(IF0L)の他ビットの要求フラグがセット(1)されても、「mov IF0L, a」でクリア(0)されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

16.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは、対応するマスクブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ、MK1LレジスタとMK1Hレジスタ、MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図16-5 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット(1/2)

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SREMK0 TMMK01H	SRMK0	STMK0 CSIMK00 IICMK00	1	1	1	1	1

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	1	SREMK1 TMMK03H	SRMK1	STMK1

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	TRJMK0	1	1	KRMK	TMKAMK	1	ADMK

図16-6 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット(2/2)

アドレス : FFFD4H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

MK2L	CMPMK0	1	1	1	1	1	1	1
------	--------	---	---	---	---	---	---	---

アドレス : FFFD5H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

MK2H	FLMK	1	1	1	1	TRDMK1	TRDMK0	CMPMK1
------	------	---	---	---	---	--------	--------	--------

XXMKX	割り込み処理の制御							
0	割り込み処理許可							
1	割り込み処理禁止							

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表16-3を参照してください。また、搭載していないビットには必ず初期値を設定してください。

16.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせ、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ、PR01LレジスタとPR01Hレジスタ、PR02LレジスタとPR02Hレジスタ、PR10LレジスタとPR10Hレジスタ、PR11LレジスタとPR11Hレジスタ、PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図16-7 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット (1/2)

アドレス : FFFE8H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0
アドレス : FFECH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1
アドレス : FFFE9H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR00H	SREPR00 TMPR001H	SRPR00	STPR00 CSIPR000 IICPR000	1	1	1	1	1
アドレス : FFFEDH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR10H	SREPR10 TMPR101H	SRPR10	STPR10 CSIPR100 IICPR100	1	1	1	1	1
アドレス : FFFEAH		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	1	SREPR01 TMPR003H	SRPR01	STPR01

図16-8 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット(2/2)

アドレス : FFFEEH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	1	SREPR11 TMPR103H	SRPR11	STPR11

アドレス : FFFEBH リセット時 : FFH R/W

略号	7	<input type="checkbox"/> 6	5	4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	1	<input type="checkbox"/> 0
PR01H	1	TRJPR00	1	1	KRPR0	TMKAPR0	1	ADPR0

アドレス : FFFEFH リセット時 : FFH R/W

略号	7	<input type="checkbox"/> 6	5	4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	1	<input type="checkbox"/> 0
PR11H	1	TRJPR10	1	1	KRPR1	TMKAPR1	1	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	6	5	4	3	2	1	0
PR02L	CMPPR00	1	1	1	1	1	1	1

アドレス : FFFDCH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	6	5	4	3	2	1	0
PR12L	CMPPR10	1	1	1	1	1	1	1

アドレス : FFFD9H リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	6	5	4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR02H	FLPR0	1	1	1	1	TRDPR01	TRDPR00	CMPPR01

アドレス : FFFDDH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	6	5	4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR12H	FLPR1	1	1	1	1	TRDPR11	TRDPR10	CMPPR11

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定(高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定(低優先順位)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表16-3を参照してください。また、搭載していないビットには必ず初期値を設定してください。

16.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP5の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-9 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-5)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表16-4に示します。

表16-4 EGPnビットとEGNnビットに対応するポート

検出許可ビット		エッジ検出ポート	割り込み要求信号	30, 32, 44ピン
EGP0	EGN0	P137	INTP0	○
EGP1	EGN1	P50	INTP1	○
EGP2	EGN2	P51	INTP2	○
EGP3	EGN3	P30	INTP3	○
EGP4	EGN4	P31	INTP4	○
EGP5	EGN5	P16	INTP5	○

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn = 0, 0)にしてからポート・モード・レジスタ (PMxx)を0に設定してください。

備考1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

備考2. n = 0-5

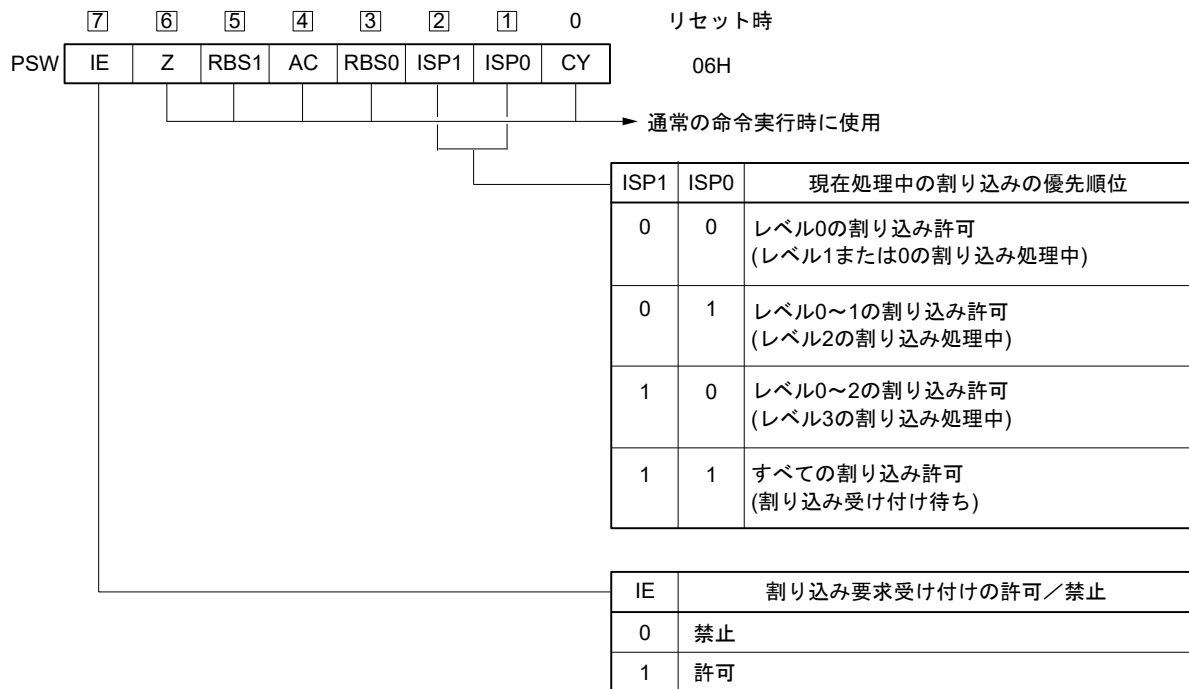
16.3.5 プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスクブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、“-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図16-10 プログラム・ステータス・ワードの構成



16.4 割り込み処理動作

16.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表 16 - 5 のようになります。

割り込み要求の受け付けタイミングについては、図 16 - 12、図 16 - 13を参照してください。

表 16 - 5 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間注
処理時間	9クロック	16クロック

注 内部RAM 領域からの命令実行時は除きます。

備考 1クロック : 1/fCLK (fCLK : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

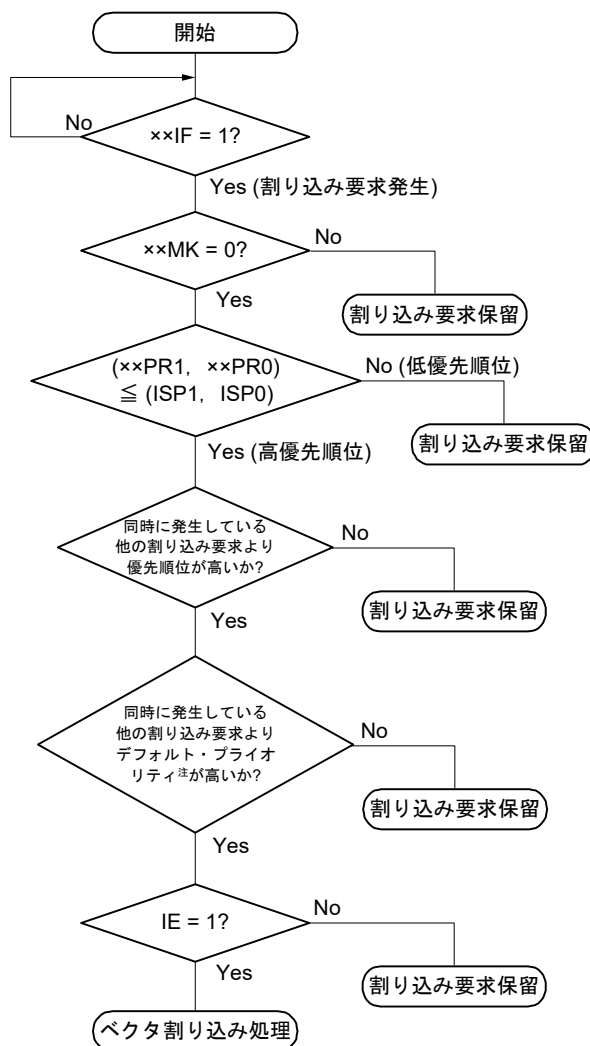
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図 16 - 11に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1、ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図16 - 11 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

××MK : 割り込みマスク・フラグ

××PR0 : 優先順位指定フラグ0

××PR1 : 優先順位指定フラグ1

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

ISP0, ISP1: 現在処理中の割り込みの優先順位を示すフラグ(図16 - 10参照)

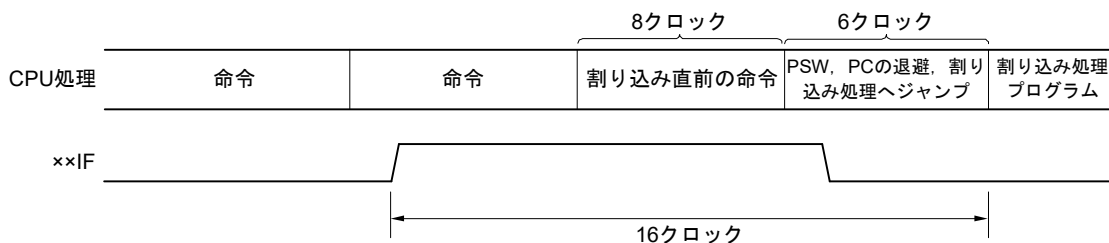
注 デフォルト・プライオリティは、表16 - 1, 表16 - 2 割り込み要因一覧を参照してください。

図16 - 12 割り込み要求の受け付けタイミング(最小時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

図16 - 13 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

16.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

16.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態(IE = 0)になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット(1)して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット(1)した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表16-6に割り込み処理中に多重割り込み可能な割り込み要求の関係を、図16-14、図16-15に多重割り込みの例を示します。

表 16 - 6 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

備考2. × : 多重割り込み不可能。

備考3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち(すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタに含まれるフラグです。

PR = 00 : **PR1× = 0, **PR0× = 0でレベル0を指定(高優先順位)

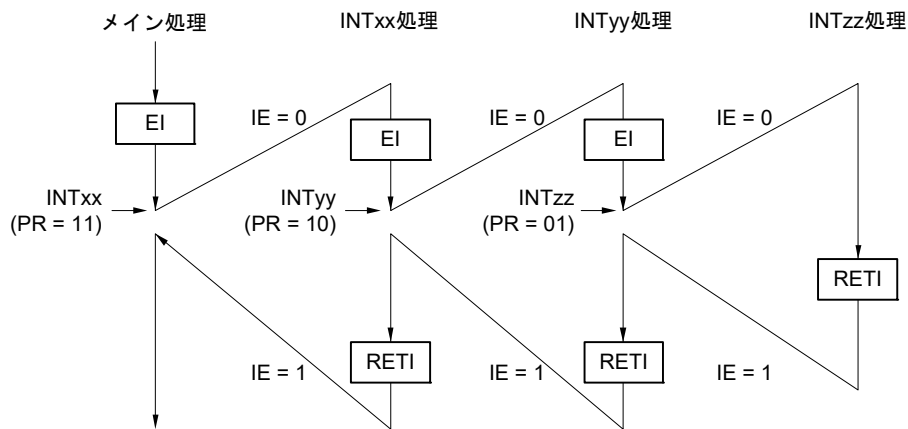
PR = 01 : **PR1× = 0, **PR0× = 1でレベル1を指定

PR = 10 : **PR1× = 1, **PR0× = 0でレベル2を指定

PR = 11 : **PR1× = 1, **PR0× = 1でレベル3を指定(低優先順位)

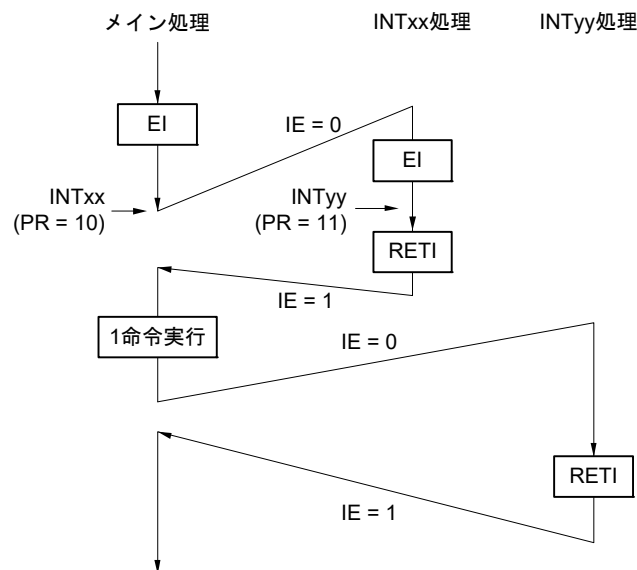
図16-14 多重割り込みの例(1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times\times PR1\times = 0$, $\times\times PR0\times = 0$ でレベル0を指定(高優先順位)

PR = 01 : $\times\times PR1\times = 0$, $\times\times PR0\times = 1$ でレベル1を指定

PR = 10 : $\times\times PR1\times = 1$, $\times\times PR0\times = 0$ でレベル2を指定

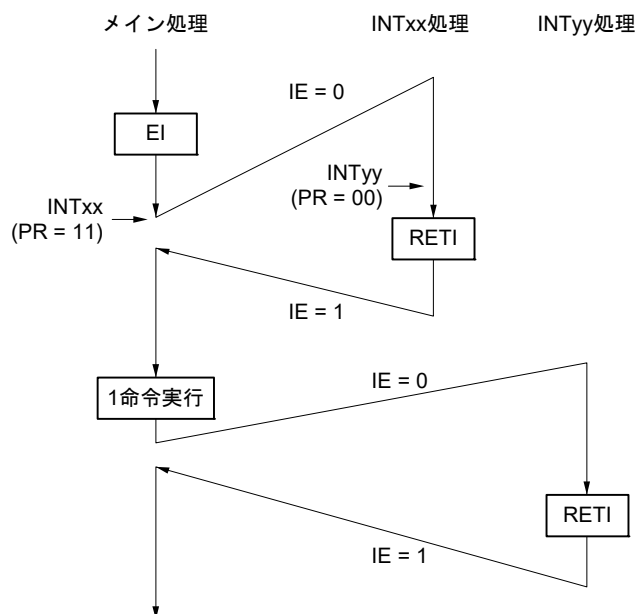
PR = 11 : $\times\times PR1\times = 1$, $\times\times PR0\times = 1$ でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図16 - 15 多重割り込みの例(2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times\times PR1\times = 0$, $\times\times PR0\times = 0$ でレベル0を指定(高優先順位)

PR = 01 : $\times\times PR1\times = 0$, $\times\times PR0\times = 1$ でレベル1を指定

PR = 10 : $\times\times PR1\times = 1$, $\times\times PR0\times = 0$ でレベル2を指定

PR = 11 : $\times\times PR1\times = 1$, $\times\times PR0\times = 1$ でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

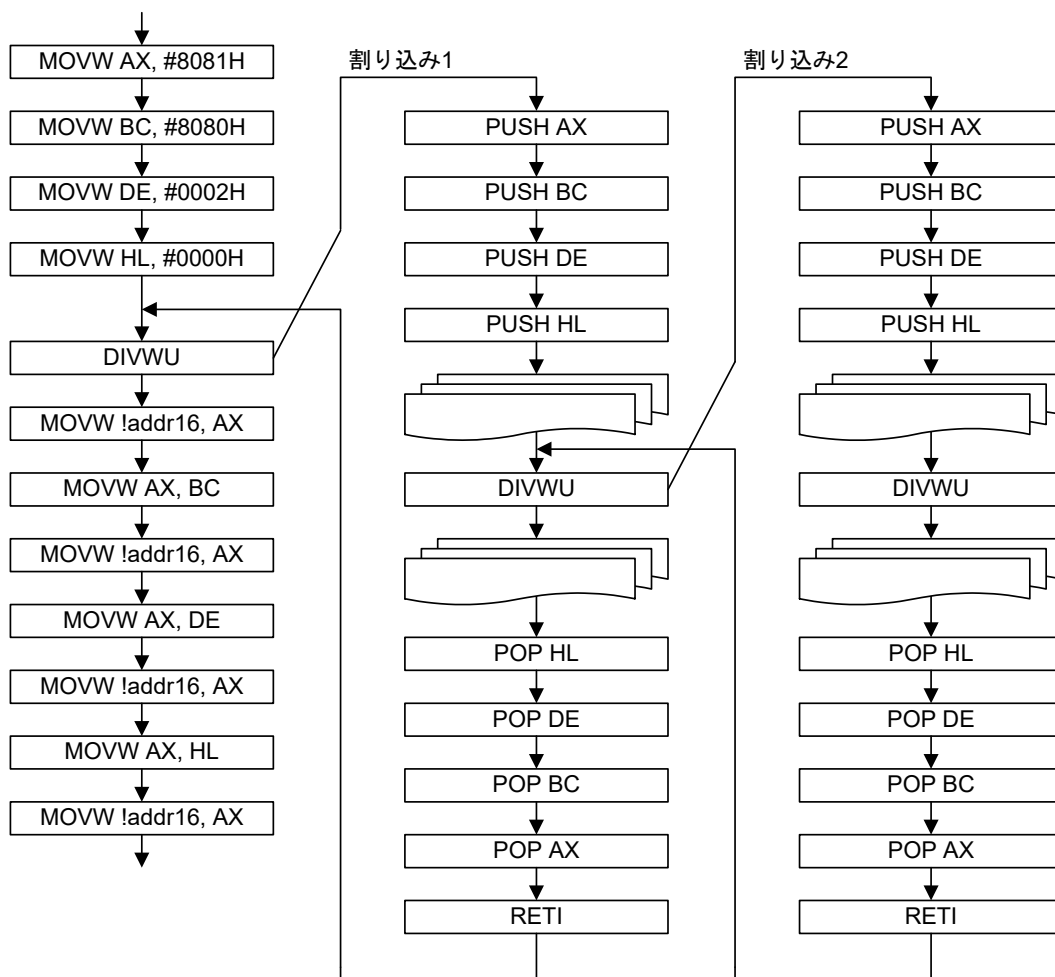
16.4.4 除算命令中の割り込み処理

RL78 マイクロコントローラは、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU 命令中の割り込みに対応します。

- DIVHU/DIVWU 命令実行中に割り込みが発生した場合は、DIVHU/DIVWU 命令を中断します。
- 中断する事により PC は DIVHU/DIVWU の次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU 命令を再実行するために、PC-3 をスタックします。

通常の割り込み	DIVHU/DIVWU 命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)s	(SP-2) ← (PC-3)s
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCs ← 0000	PCs ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWU では AX, BC, DE, HL レジスタを使用します。そのため割り込み処理では AX, BC, DE, HL レジスタをスタックして使用してください。



注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。

ただし、RAM領域での命令実行を除きアセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- GNURL78 (KPIT社 コンパイラ)のC言語ソース

16.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図16 - 16に示します。

図16 - 16 割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令

備考2. 命令M：割り込み要求の保留命令以外の命令

第17章 キー割り込み機能

キー割り込み入力チャネル数は、製品によって異なります。

	30, 32ピン	44ピン
キー割り込み入力チャネル	—	4ch

17.1 キー割り込みの機能

キー割り込み入力端子(KR0-KR3)に立ち下がリエッジを入力することによって、キー割り込み(INTKR)を発生させることができます。

表 17 - 1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ (KRM)
KR0	KRM0
KR1	KRM1
KR2	KRM2
KR3	KRM3

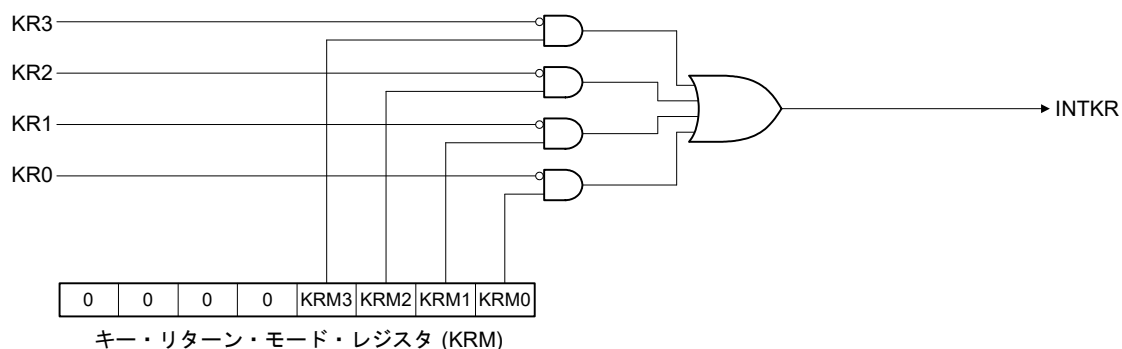
17.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表 17 - 2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM) ポート・モード・レジスタ 7 (PM7)

図 17 - 1 キー割り込みのブロック図



17.3 キー割り込みを制御するレジスタ

キー割り込み機能は、次のレジスタで制御します。

- ・キー・リターン・モード・レジスタ (KRM)
- ・ポート・モード・レジスタ7 (PM7)

17.3.1 キー・リターン・モード・レジスタ (KRM)

KRM0-KRM3ビットはKR0-KR3信号を制御するレジスタです。

KRMレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス : FFF37H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	0	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. KRM0-KRM3ビットのうち使用するビットに1を設定する場合、対応する入力端子を外部抵抗でV_{DD}にプルアップしてください。または、対応する入力端子のプルアップ抵抗レジスタ7 (PU7のビット0-3 (PU70-PU73))のうち、対象となるビットに1を設定して内部プルアップ抵抗を使用してください。

注意2. キー割り込み入力端子にロウ・レベルが入力されている状態で、KRMレジスタの対象ビットをセットすると、割り込みが発生します。

この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRMレジスタをセットしてください。その後、キー割り込み入力ロウ・レベル幅 (t_{KR}) (第29章 電気的特性参照) を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

注意3. キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

17.3.2 ポート・モード・レジスタ7 (PM7)

キー割り込み入力端子 (KR0-KR3) として使用するとき、PM7n ビットにそれぞれ1を設定してください。このときP7nの出カラッチは、0または1のどちらでもかまいません。PM7レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

また、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用することができます。

図17-3 ポート・モード・レジスタ7 (PM7)のフォーマット

アドレス : FFF27H リセット時 : FFH RW

略号	7	6	5	4	3	2	1	0
PM7	1	1	1	1	PM73	PM72	PM71	PM70
PM7n	P7n端子の入出力モードの選択 (n = 0-3)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

第18章 スタンバイ機能

18.1 スタンバイ機能と構成

18.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータが動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSIp, UARTqのデータ受信、タイマ・トリガ信号(割り込み要求信号(INTIT)またはELCイベント入力)によるA/D変換要求により、STOPモードを解除し、CPUを動作させることなくCSIp, UARTqのデータ受信、A/D変換を行います。CPU/周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。
- 注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください(SNOOZEモード設定ユニットを除く)。
- 注意3. CSIp, UARTq, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm), A/Dコンバータ・モード・レジスタ2 (ADM2)をSTOPモードに移行前に設定してください。詳細は、12.3 A/Dコンバータを制御するレジスタ, 14.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。
- 注意4. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)とビット0 (ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
- 注意5. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第24章 オプション・バイトを参照してください。

備考 p = 00; q = 0; m = 0

18.2 スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして、次の2種類があります。

- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)

備考 クロックの動作/停止, 切り替えを制御するレジスタについては、第5章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第12章 A/Dコンバータ, 第14章 シリアル・アレイ・ユニットを参照してください。

18.2.1 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。リセット信号の発生(RESET入力、POR、LVD、WDT、不正命令の実行によるリセット)、STOP命令、MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)=1により、00Hになります。

図18-1 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマット

アドレス：FFFA2H リセット時：00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁸ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

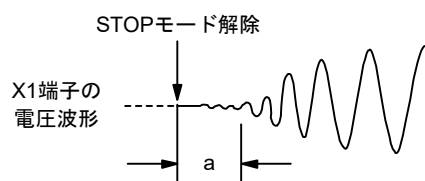
注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていく、そのまま“1”を保持します。

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。CPUクロックが高速オンチップ・オシレータ・クロック時に、STOPモードに入り、解除するときは、OSTSレジスタの発振安定時間を次のように設定してください。

- 期待するOSTCレジスタの発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないの注意してください。

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

18.2.2 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSレジスタで設定した時間をウェイトします。

CPUクロックに高速オンチップ・オシレータ・クロックを選択した場合、STOPモード解除後は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。リセット信号の発生により、07Hになります。

図 18 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
			fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^9/fx$	25.6 μ s
0	0	1	$2^9/fx$	51.2 μ s
0	1	0	$2^{10}/fx$	102 μ s
0	1	1	$2^{11}/fx$	204 μ s
1	0	0	$2^{13}/fx$	819 μ s
1	0	1	$2^{15}/fx$	3.27 ms
1	1	0	$2^{17}/fx$	13.1 ms
1	1	1	$2^{18}/fx$	26.2 ms

注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

注意2. OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウント動作が終了していることを確認してください。

注意3. X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。

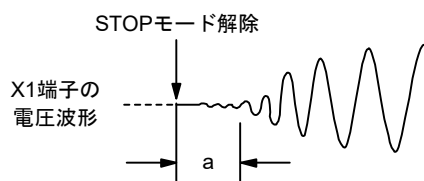
注意4. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

CPUクロックが高速オンチップ・オシレータ・クロック時に、STOPモードに入り、解除するときは、OSTSレジスタの発振安定時間を次のように設定してください。

・期待するOSTCレジスタの発振安定時間 \leq OSTSレジスタで設定する発振安定時間

したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないの注意してください。

注意5. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

18.3 スタンバイ機能の動作

18.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0” (割り込み処理許可) でかつ割り込み要求フラグが“1” (割り込み要求信号が発生) の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表 18 - 1 HALT モード時の動作状態

HALTモードの設定		メイン・システム・クロックでCPU動作中のHALT命令実行時			
項目			高速オンチップ・オシレータ・クロック (f _H)でCPU動作時	X1クロック (f _X)でCPU動作時	外部メイン・システム・クロック (f _{EX})でCPU動作時
	システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _H	動作継続(停止不可)	動作禁止		
	f _X	動作禁止	動作継続(停止不可)	動作不可	
	f _{EX}		動作不可	動作継続(停止不可)	
f _L	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)および動作スピード・モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止				
CPU		動作停止			
コード・フラッシュ・メモリ					
RAM		動作停止			
ポート(ラッチ)		HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット		動作可能			
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照			
タイマRJ		動作可能			
タイマRD					
クロック出力/ブザー出力		動作可能			
A/Dコンバータ					
コンパレータ					
プログラマブル・ゲイン・アンプ					
シリアル・アレイ・ユニット(SAU)					
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み					
CRC演算機能	高速CRC				
	汎用CRC	動作停止			
不正メモリ・アクセス検出機能		動作停止			
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					

備考 動作停止 : HALTモード移行時に自動的に動作停止
 動作禁止 : HALTモード移行前に動作を停止させる
 f_H : 高速オンチップ・オシレータ・クロック f_L : 低速オンチップ・オシレータ・クロック
 f_X : X1クロック f_{EX} : 外部メイン・システム・クロック

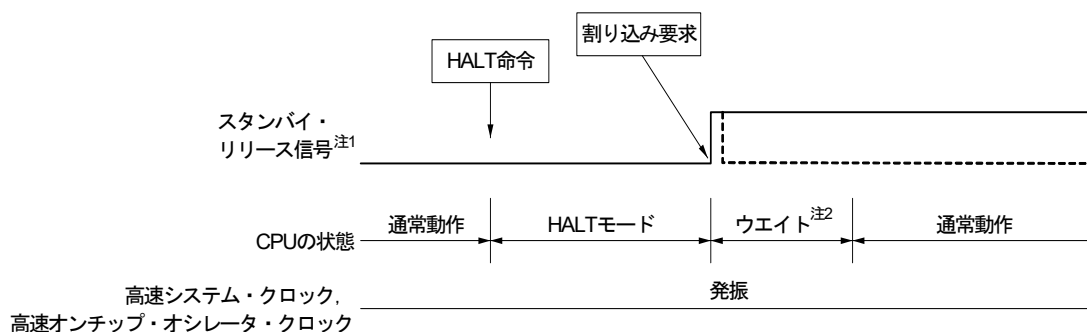
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図 18 - 3 HALTモードの割り込み要求発生による解除



注1. 図 16 - 1 割り込み機能の基本構成(1/2)を参照してください。

注2. HALTモード解除のウェイト時間

- ベクタ割り込み処理をする場合 : 15~16クロック
- ベクタ割り込み処理をしない場合 : 9~10クロック

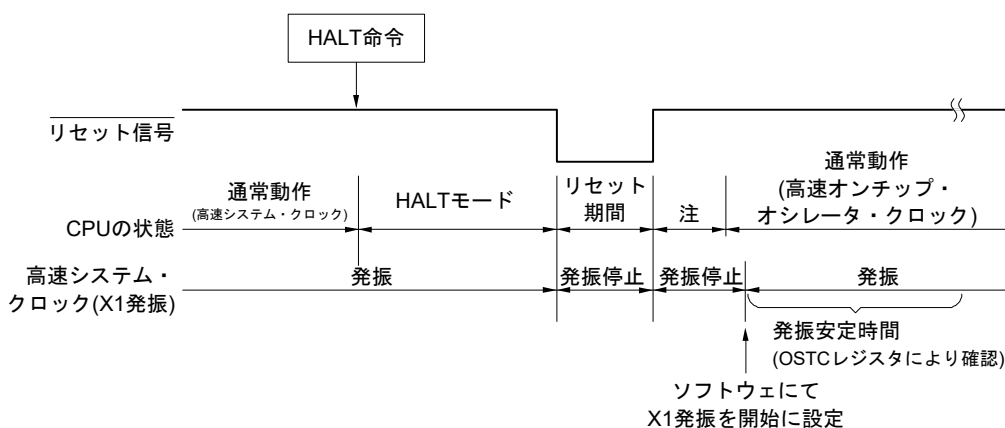
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

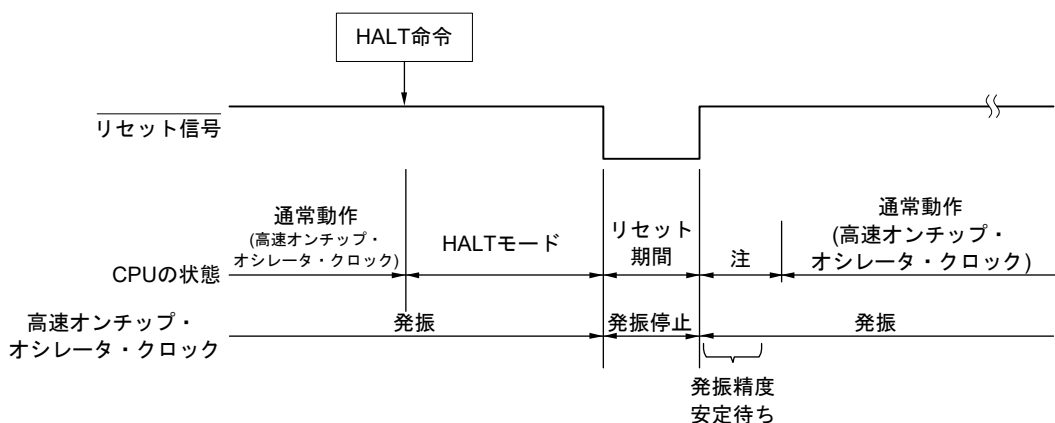
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図18-4 HALTモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注 リセット処理時間は、第19章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第20章 パワーオン・リセット回路を参照してください。

18.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意1. 割り込みマスク・フラグが“0” (割り込み処理許可)かつ割り込み要求フラグが“1” (割り込み要求信号が発生) の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入っただちに解除されます。

したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

注意2. CSIp, UARTq, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm), A/Dコンバータ・モード・レジスタ2 (ADM2)をSTOPモードに移行前に設定してください。詳細は、12.3 A/Dコンバータを制御するレジスタ, 14.3 シリアル・アレィ・ユニットを制御するレジスタを参照してください。

備考 p = 00; q = 0; m = 0

次にSTOPモード時の動作状態を示します。

表 18 - 2 STOPモード時の動作状態

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ・クロック (f _H)でCPU動作時	X1クロック (f _X)でCPU動作時	外部メイン・システム・クロック (f _{EX})でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _H	停止		
	f _X			
	f _{EX}			
f _{IL}		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)および動作スピード・モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止		
RAM		動作停止		
ポート(ラッチ)		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
12ビット・インターバル・タイマ		動作可能		
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照		
タイマRJ		<ul style="list-style-type: none"> ・TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 ・カウントソースに低速オンチップオシレータ選択時は動作可能 ・上記以外は動作禁止 		
タイマRD		動作禁止		
クロック出力/ブザー出力		動作禁止		
A/Dコンバータ		ウェイク・アップ動作可能(SNOOZEモードへ移行)		
コンパレータ		デジタルフィルタ未使用時は動作可能		
プログラマブル・ゲイン・アンプ		動作可能		
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみウェイク・アップ動作可能(SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止		
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
キー割り込み				
CRC演算機能				
		動作停止		
高速CRC				
汎用CRC				
不正メモリ・アクセス検出機能				
RAMパリティ・エラー検出機能				
RAMガード機能				
SFRガード機能				

(備考は次ページにあります。)

- 注意1. STOPモード中に動作停止する周辺ハードウェア, および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は, 周辺ハードウェアをリスタートしてください。
- 注意2. STOPモード中に低速オンチップ・オシレータ・クロックを停止したい場合は, あらかじめオプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定(000C0Hのビット0 (WDSTBYON) = 0)しておく必要があります。
- 注意3. 高速システム・クロック(X1発振)でCPU動作していて, STOPモード解除後の発振安定時間を短縮したい場合は, STOP命令実行前に, CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。STOPモード解除後,

CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロック(X1発振)に切り替える場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間を確認してから、行ってください。

- 備考1. 動作停止： STOPモード移行時に自動的に動作停止
 動作禁止： STOPモード移行前に動作を停止させる
 fiH： 高速オンチップ・オシレータ・クロック fiL： 低速オンチップ・オシレータ・クロック
 fx： X1クロック feX： 外部メイン・システム・クロック
- 備考2. p = 00; q = 0

(2) STOPモードの解除

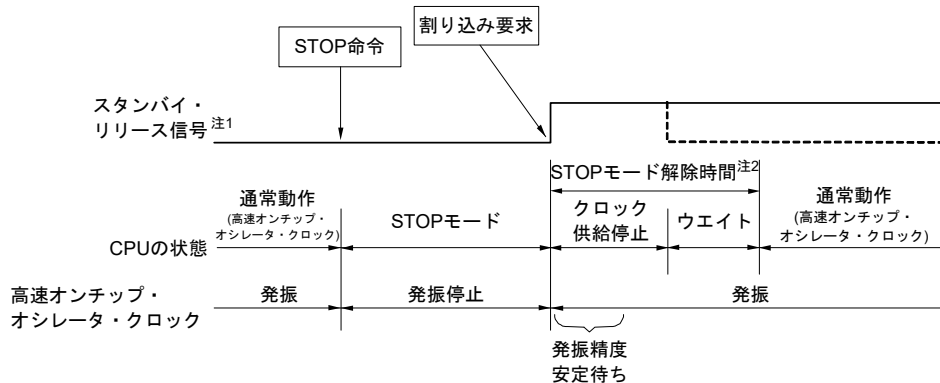
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図 18 - 5 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関する詳細は、図 16 - 1 割り込み機能の基本構成(1/2)～図 16 - 2 割り込み機能の基本構成(2/2)を参照してください。

注2. STOPモード解除時間

クロック供給停止：

- FRQSEL4 = 0の場合：18 μs ～ 65 μs
- FRQSEL4 = 1の場合：18 μs ～ 135 μs

ウェイト

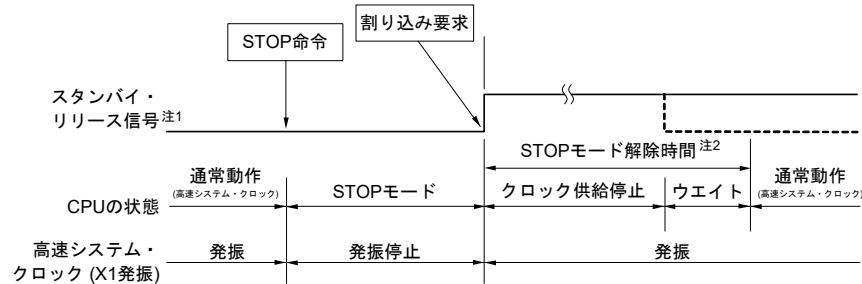
- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図 18 - 6 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(X1発振)の場合



注1. スタンバイ・リリース信号に関する詳細は、図 16 - 1 割り込み機能の基本構成(1/2)～図 16 - 2 割り込み機能の基本構成(2/2)を参照してください。

注2. STOPモード解除時間

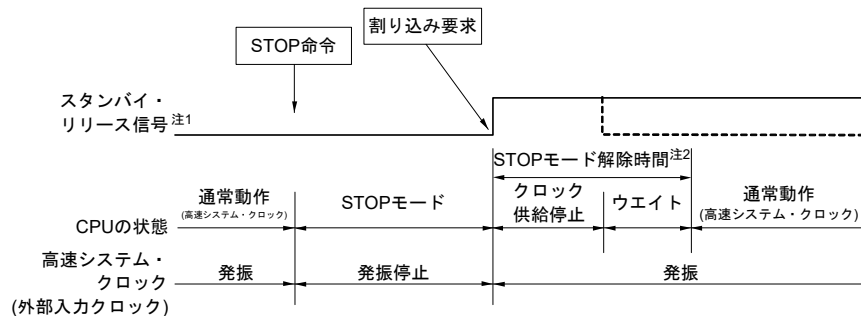
クロック供給停止：

- FRQSEL4 = 0 の場合：18 μ s ～ “65 μ s または発振安定時間(OSTSで設定)の長い方”
- FRQSEL4 = 1 の場合：18 μ s ～ “135 μ s または発振安定時間(OSTSで設定)の長い方”

ウェイト

- ベクタ割り込み処理をする場合：10～11クロック
- ベクタ割り込み処理をしない場合：4～5クロック

(3) CPUクロックが高速システム・クロック(外部クロック入力)の場合



注1. スタンバイ・リリース信号に関する詳細は、図 16 - 1 割り込み機能の基本構成(1/2)～図 16 - 2 割り込み機能の基本構成(2/2)を参照してください。

注2. STOPモード解除時間

クロック供給停止：

- FRQSEL4 = 0 の場合：18 μ s ～ 65 μ s
- FRQSEL4 = 1 の場合：18 μ s ～ 135 μ s

ウェイト

- ベクタ割り込み処理をする場合：7クロック
- ベクタ割り込み処理をしない場合：1クロック

注意 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

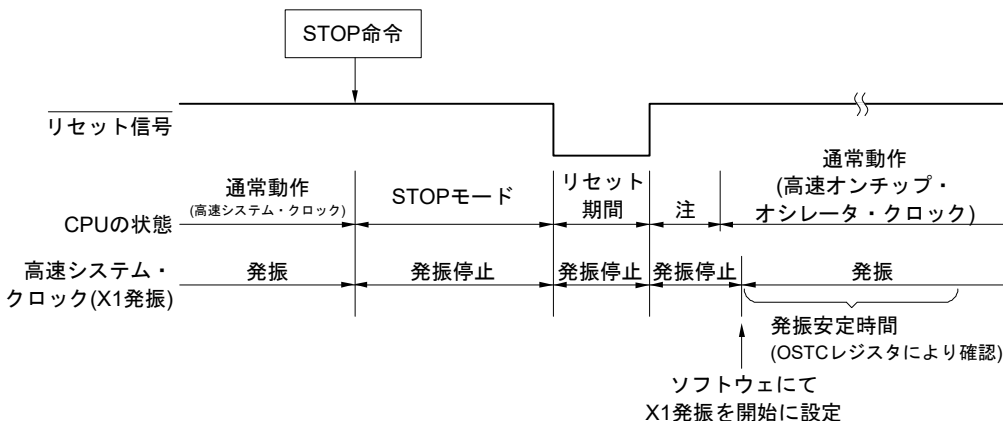
備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

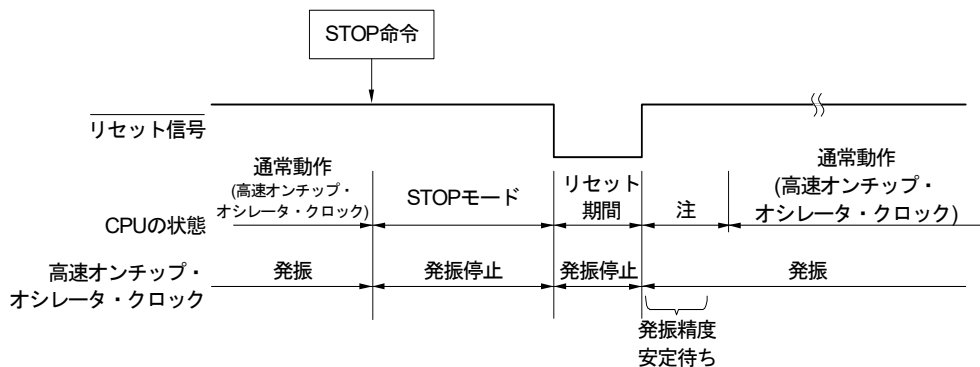
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図18-7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注 リセット処理時間は、第19章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第20章 パワーオン・リセット回路を参照してください。

18.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

CSIp, UARTqまたは、A/Dコンバータのみ設定可能です。また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSIp, UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm)のSWCmビットを1に設定してください。詳細は、14.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/DコンバータをSNOOZEモードで使用する場合は、STOPモードに移行する直前にA/Dコンバータ・モード・レジスタ2 (ADM2)のAWCビットを1に設定してください。詳細は、12.3 A/Dコンバータを制御するレジスタを参照してください。

備考 p = 00; q = 0; m = 0

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間：

FRQSEL4 = 0の場合：18 μ s～65 μ s

FRQSEL4 = 1の場合：18 μ s～135 μ s

備考 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します

SNOOZEモード→通常動作の遷移時間：

- ベクタ割り込み処理を行う場合

HS (高速メイン)モード：“4.99～9.44 μ s” + 7クロック

LS (低速メイン)モード：“1.10～5.08 μ s” + 7クロック

- ベクタ割り込み処理を行わない場合

HS (高速メイン)モード：“4.99～9.44 μ s” + 1クロック

LS (低速メイン)モード：“1.10～5.08 μ s” + 1クロック

次にSNOOZEモード時の動作状態を示します。

表 18 - 3 SNOOZEモード時の動作状態

STOPモードの設定		STOPモード中にCSIp, UARTqのデータ受信信号, A/Dコンバータのタイマ・トリガ信号入力発生時	
項目		高速オンチップ・オシレータ・クロック (f _H)でCPU動作時	
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _H	動作開始	
	f _X	停止	
	f _{EX}		
f _L	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)および動作スピード・モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止	
コード・フラッシュ・メモリ			
RAM		動作停止	
ポート(ラッチ)		STOPモード中の状態を継続	
タイマ・アレイ・ユニット		動作禁止	
12ビット・インターバル・タイマ		動作可能	
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照	
タイマRJ		動作禁止	
タイマRD			
クロック出力/ブザー出力		動作禁止	
A/Dコンバータ		動作可能	
コンパレータ		デジタルフィルタ未使用時は動作可能	
プログラマブル・ゲイン・アンプ		動作可能	
シリアル・アレイ・ユニット(SAU)		CSp, UARTqのみ動作可能 CSp, UARTq以外は動作禁止	
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能	
パワーオン・リセット機能		動作可能	
電圧検出機能			
外部割り込み			
キー割り込み			
CRC演算機能	高速CRC	動作停止	
	汎用CRC		
不正メモリ・アクセス検出機能			
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			

備考1. 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

f_H : 高速オンチップ・オシレータ・クロック

f_L : 低速オンチップ・オシレータ・クロック

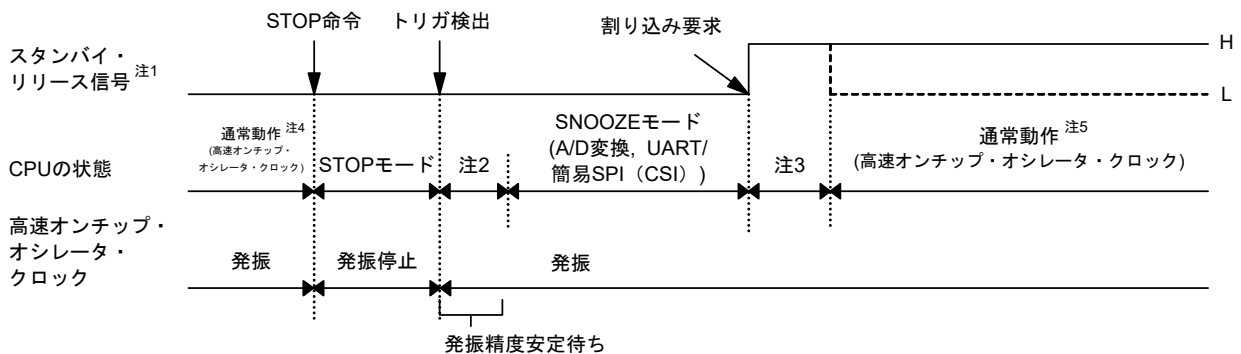
f_X : X1クロック

f_{EX} : 外部メイン・システム・クロック

備考2. p = 00; q = 0

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

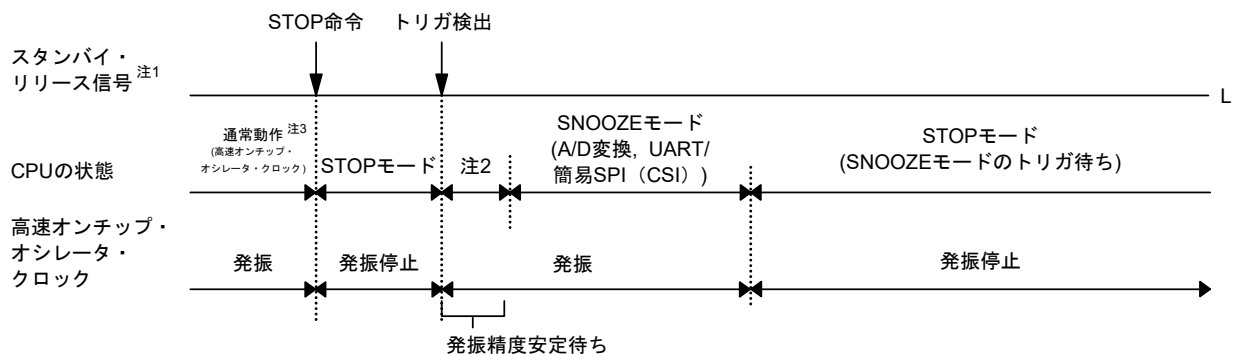
図 18 - 8 SNOOZEモードの割り込み要求が発生する場合



- 注1. スタンバイ・リリース信号に関する詳細は、図 16 - 1 割り込み機能の基本構成 (1/2)～図 16 - 2 割り込み機能の基本構成 (2/2)を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. SNOOZEモード→通常動作の遷移時間
- 注4. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。
- 注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除(AWC = 0/SWC = 0)に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図 18 - 9 SNOOZEモードの割り込み要求が発生しない場合



- 注1. スタンバイ・リリース信号に関する詳細は、図 16 - 1 割り込み機能の基本構成 (1/2)～図 16 - 2 割り込み機能の基本構成 (2/2)を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。

備考 SNOOZEモード機能の詳細は、第12章 A/Dコンバータ、第14章 シリアル・アレイ・ユニットを参照してください。

第19章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット(POR)回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路(LVD)の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表19-1に示すような状態になります。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します(図19-2～図19-4参照)。POR回路、LVD回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します(第20章 パワーオン・リセット回路と第21章 電圧検出回路参照)。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

電源立ち上げ時に外部リセットを行う場合は、動作電圧範囲内の期間に10 μs 以上ロウ・レベルを継続する必要があります。動作電圧範囲は、ユーザ・オプション・バイト(000C2H)の設定で決まります。動作電圧範囲は以下の通りです。

HS (高速メイン)モード : $V_{DD} = 2.7 \sim 5.5 \text{ V}@1 \text{ MHz} \sim 24 \text{ MHz}$

LS (低速メイン)モード : $V_{DD} = 2.7 \sim 5.5 \text{ V}@1 \text{ MHz} \sim 8 \text{ MHz}$

注意2. リセット信号発生中では、X1 クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。

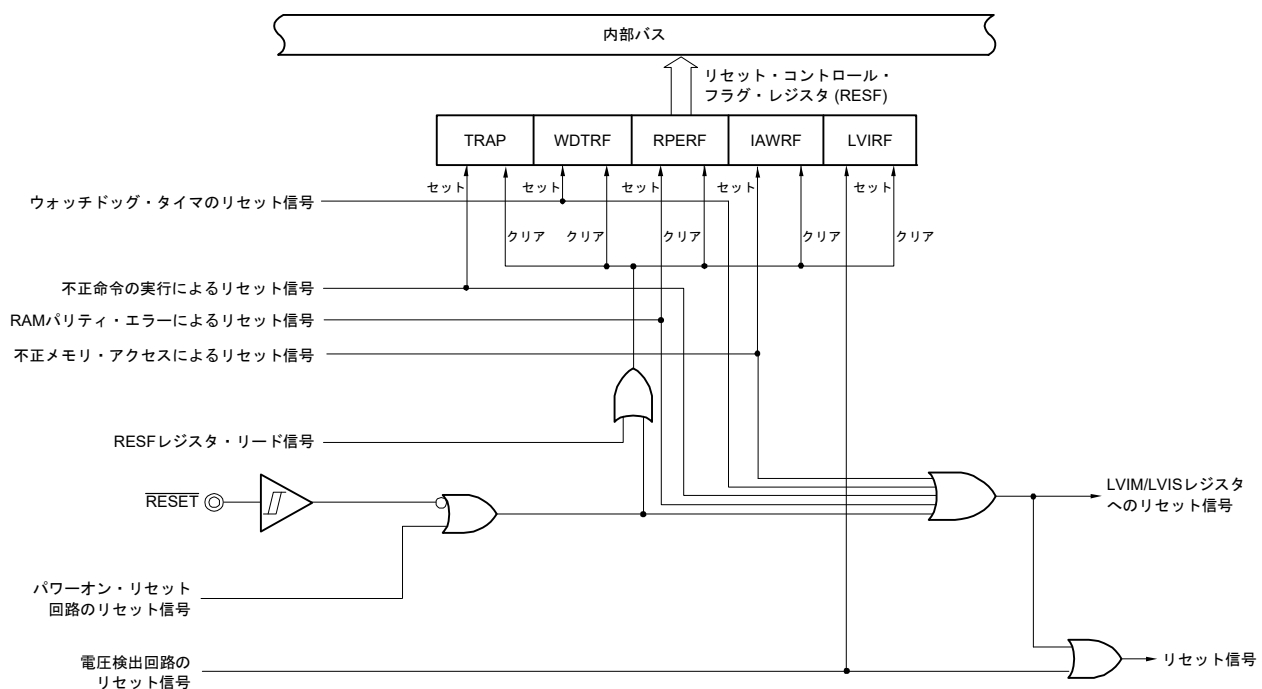
注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- P40 : 外部リセットかPOR によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)
- P40以外のポート : リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考 V_{POR} : POR 電源立ち上がり検出電圧

V_{LVD} : LVD 検出電圧

図19-1 リセット機能のブロック図



注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

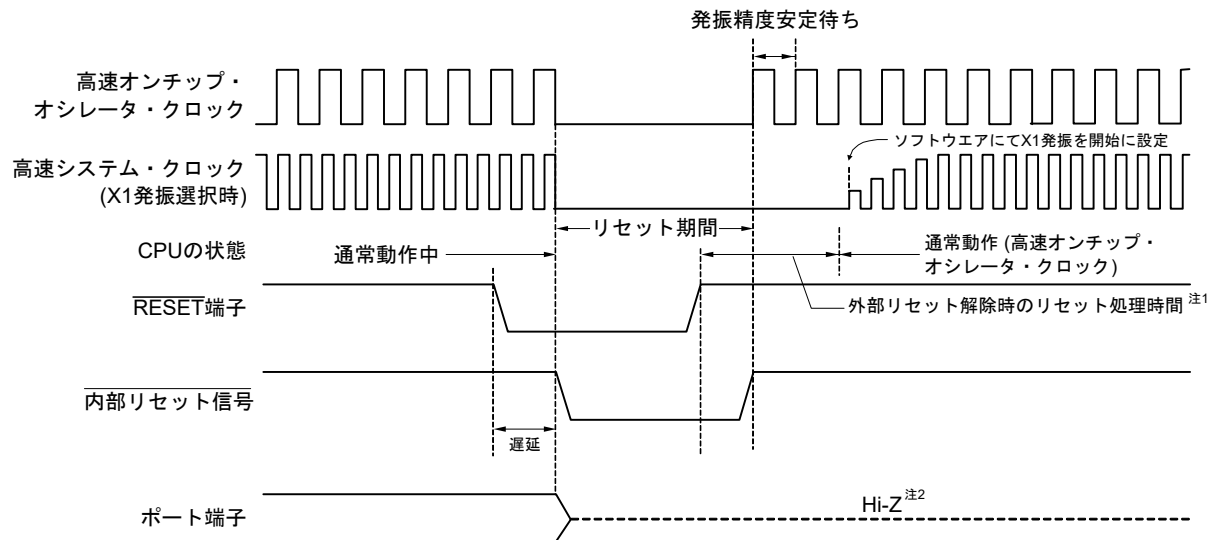
備考1. LVIM : 電圧検出レジスタ

備考2. LVIS : 電圧検出レベル・レジスタ

19.1 リセット動作のタイミング

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

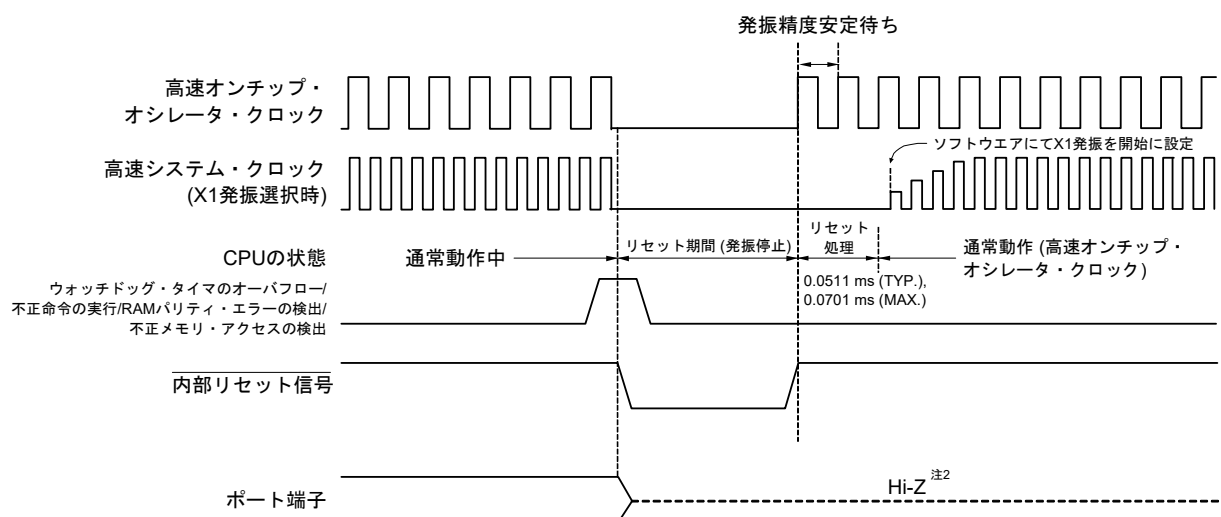
図 19-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング



(注、備考は次ページにあります。)

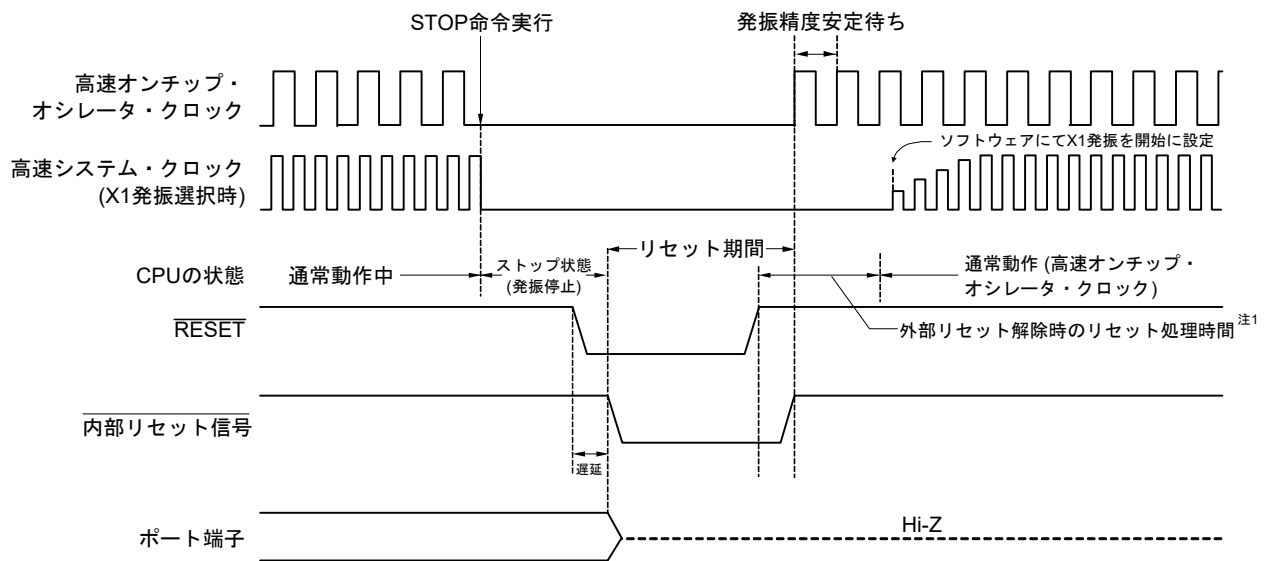
ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図 19-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注、備考は次ページにあります。)

図19-4 STOPモード中のRESET入力によるリセット・タイミング



注1. 外部リセット解除時のリセット処理時間：

POR解除後1回目： 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)

0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降： 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)

0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) が掛かります。

注2. ポート端子P40は次の状態になります。

- ・外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)になります。

備考 パワーオン・リセット回路と電圧検出回路のリセット・タイミングは、第20章 パワーオン・リセット回路と第21章 電圧検出回路を参照してください。

表 19 - 1 リセット期間中の動作状態

項目		リセット期間中
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _H	動作停止
	f _X	動作停止 (X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効 (端子は入力ポート・モード)
f _L		動作停止
CPU		
コード・フラッシュ・メモリ		動作停止
RAM		動作停止
ポート (ラッチ)	P40	端子リセットとPORでは、ハイ・インピーダンス 端子リセットとPOR以外のリセットでは、プルアップ
	P40以外	ハイ・インピーダンス
タイマ・アレイ・ユニット		動作停止
タイマRJ		
タイマRD		
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/Dコンバータ		
コンパレータ		
プログラマブル・ゲイン・アンプ		
シリアル・アレイ・ユニット (SAU)		
イベント・リンク・コントローラ (ELC)		
PWM・オプション・ユニット		
パワーオン・リセット機能		
電圧検出機能		LVDリセット時は動作可能。それ以外のリセット時は動作停止。
外部割り込み		動作停止
キー割り込み機能		
CRC演算機能	高速CRC	
	汎用CRC	
不正メモリ・アクセス検出機能		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		

備考 f_H : 高速オンチップ・オシレータ・クロック f_X : X1発振クロック
 f_{EX} : 外部メイン・システム・クロック
 f_L : 低速オンチップ・オシレータ・クロック

表 19 - 2 各ハードウェアのリセット受け付け後の状態(1/4)

ハードウェア		リセット受け付け後の状態注1
プログラム・カウンタ(PC)		リセット・ベクタ・テーブル(00000H, 00001H)の内容がセットされる。
スタック・ポインタ(SP)		不定
プログラム・ステータス・ワード(PSW)		06H
積和演算累計レジスタ(L)(MACRL)		0000H
積和演算累計レジスタ(H)(MACRH)		0000H
RAM	データ・メモリ	不定
	汎用レジスタ	不定
プロセッサ・モード・コントロール・レジスタ(PMC)		00H
ポート・レジスタ(P0-P7, P14)(出カラッチ)		00H
ポート・レジスタ(P12, P13)(出カラッチ)		不定
ポート・モード・レジスタ(PM0-PM7, PM12, PM14)		FFH
ポート・モード・コントロール・レジスタ0, 12, 14(PMC0, PMC12, PMC14)		FFH
ポート入力モード・レジスタ0, 1, 3, 5(PIM0, PIM1, PIM3, PIM5)		00H
ポート出力モード・レジスタ0, 1, 3, 5(POM0, POM1, POM3, POM5)		00H
ブルアップ抵抗オプション・レジスタ(PU0, PU1, PU3-PU7, PU12, PU14)		00H(PU4は01H)
周辺I/Oリダイレクション・レジスタ1(PIOR1)		00H
ポート・モード選択レジスタ(PMS)		00H
クロック動作モード制御レジスタ(CMC)		00H
クロック動作ステータス制御レジスタ(CSC)		C0H
システム・クロック制御レジスタ(CKC)		00H
発振安定時間カウンタ状態レジスタ(OSTC)		00H
発振安定時間選択レジスタ(OSTS)		07H
ノイズ・フィルタ許可レジスタ0, 1(NFEN0, NFEN1)		00H
周辺イネーブル・レジスタ0, 1(PER0, PER1)		00H
高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)		不定
高速オンチップ・オシレータ・トリミング・レジスタ(HIOTRM)		注2
動作スピード・モード制御レジスタ(OSMC)		00H
タイマ・アレイ・ ユニット	タイマ・データ・レジスタ00-03(TDR00-TDR03)	0000H
	タイマ・モード・レジスタ00-03(TMR00-TMR03)	0000H
	タイマ・ステータス・レジスタ00-03(TSR00-TSR03)	0000H
	タイマ入力選択レジスタ0(TIS0)	00H
	タイマ・カウンタ・レジスタ00-03(TCR00-TCR03)	FFFFH
	タイマ・チャンネル許可ステータス・レジスタ0(TE0)	0000H
	タイマ・チャンネル開始レジスタ0(TS0)	0000H
	タイマ・チャンネル停止レジスタ0(TT0)	0000H
	タイマ・クロック選択レジスタ0(TPS0)	0000H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

注2. リセット値は一つ一つのチップで異なります。

備考 製品により、搭載している特殊機能レジスタ(SFR: Special Function Register)が異なります。3.1.4 特殊機能レジスタ(SFR: Special Function Register)領域、3.1.5 拡張特殊機能レジスタ(2nd SFR: 2nd Special Function Register)領域を参照してください。

表 19 - 3 各ハードウェアのリセット受け付け後の状態(2/4)

	ハードウェア	リセット受け付け後の状態 ^{注1}
タイマ・アレイ・ユニット	タイマ出力レジスタ 0 (TO0)	0000H
	タイマ出力許可レジスタ 0 (TOE0)	0000H
	タイマ出力レベル・レジスタ 0 (TOL0)	0000H
	タイマ出力モード・レジスタ 0 (TOM0)	0000H
タイマRJ	タイマRJカウンタ・レジスタ 0 (TRJ0)	FFFFH
	タイマRJ制御レジスタ 0 (TRJCR0)	00H
	タイマRJ I/O 制御レジスタ 0 (TRJIOC0)	00H
	タイマRJモード・レジスタ 0 (TRJMR0)	00H
	タイマRJイベント端子選択レジスタ 0 (TRJISR0)	00H
タイマRD	タイマRD ELC レジスタ (TRDEL0)	00H ^{注2}
	タイマRD スタート・レジスタ (TRDSTR)	0CH ^{注2}
	タイマRD モード・レジスタ (TRDMR)	00H ^{注2}
	タイマRD PWM モード・レジスタ (TRDPMR)	00H ^{注2}
	タイマRD 機能制御レジスタ (TRDFCR)	80H ^{注2}
	タイマRD 出力マスタ許可レジスタ 1 (TRDOER1)	FFH ^{注2}
	タイマRD 出力マスタ許可レジスタ 2 (TRDOER2)	00H ^{注2}
	タイマRD 出力制御レジスタ (TRDOCR)	00H ^{注2}
	タイマRD デジタルフィルタ機能選択レジスタ 0, 1 (TRDDF0, TRDDF1)	00H ^{注2}
	タイマRD 制御レジスタ 0, 1 (TRDCR0, TRDCR1)	00H ^{注2}
	タイマRD I/O 制御レジスタ A0, A1 (TRDIORA0, TRDIORA1)	00H ^{注2}
	タイマRD I/O 制御レジスタ C0, C1 (TRDIORC0, TRDIORC1)	88H ^{注2}
	タイマRD ステータス・レジスタ 0, 1 (TRDSR0, TRDSR1)	00H ^{注2}
	タイマRD 割り込み許可レジスタ 0, 1 (TRDIER0, TRDIER1)	00H ^{注2}
	タイマRD PWM モード出力レベル制御レジスタ 0, 1 (TRDPOCR0, TRDPOCR1)	00H ^{注2}
	タイマRD カウンタ 0, 1 (TRD0, TRD1)	0000H ^{注2}
	タイマRD ジェネラルレジスタ A0, A1, B0, B1, C0, C1, D0, D1 (TRDGRA0, TRDGRA1, TRDGRB0, TRDGRB1, TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1)	FFFFH ^{注2}
12ビット・インターバル・タイマ	コントロール・レジスタ (ITMC)	0FFFH
クロック出力／ブザー出力制御回路	クロック出力選択レジスタ 0, 1 (CKS0, CKS1)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注3}

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

注2. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注3. WDTEのリセット値は、オプション・バイトの設定で決定します。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域、3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域を参照してください。

表 19 - 4 各ハードウェアのリセット受け付け後の状態(3/4)

ハードウェア		リセット受け付け後の状態注
A/Dコンバータ	10ビットA/D変換結果レジスタ(ADCR)	0000H
	8ビットA/D変換結果レジスタ(ADCRH)	00H
	モード・レジスタ0-2(ADM0-ADM2)	00H
	変換結果比較上限値設定レジスタ(ADUL)	FFH
	変換結果比較下限値設定レジスタ(ADLL)	00H
	A/Dテスト・レジスタ(ADTES)	00H
	アナログ入力チャンネル指定レジスタ(ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ(ADPC)	00H
コンパレータ/ プログラマブル・ ゲイン・アンプ	コンパレータモード設定レジスタ(COMPMDR)	00H
	コンパレータフィルタ制御レジスタ(COMPFIR)	00H
	コンパレータ出力制御レジスタ(COMPOCR)	00H
	コンパレータ内蔵基準電圧制御レジスタ(CVRCTL)	00H
	コンパレータ内蔵基準電圧選択レジスタ0(C0RVM)	00H
	コンパレータ内蔵基準電圧選択レジスタ1(C1RVM)	00H
	PGA制御レジスタ(PGACTL)	00H
PWM・オプション・ ユニット	6相PWMオプション・モード・レジスタ(OPMR)	00H
	6相PWMオプション・ステータス・レジスタ(OPSR)	00H
	6相PWMオプション・Hi-Zスタート・トリガ・レジスタ(OPHS)	00H
	6相PWMオプション・Hi-Zストップ・トリガ・レジスタ(OPHT)	00H
シリアル・アレイ・ ユニット(SAU)	シリアル・データ・レジスタ00-03(SDR00-SDR03)	0000H
	シリアル・ステータス・レジスタ00-03(SSR00-SSR03)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタ00-03(SIR00-SIR03)	0000H
	シリアル・モード・レジスタ00-03(SMR00-SMR03)	0020H
	シリアル通信動作設定レジスタ00-03(SCR00-SCR03)	0087H
	シリアル・チャンネル許可ステータス・レジスタ0(SE0)	0000H
	シリアル・チャンネル開始レジスタ0(SS0)	0000H
	シリアル・チャンネル停止レジスタ0(ST0)	0000H
	シリアル・クロック選択レジスタ0(SPS0)	0000H
	シリアル出力レジスタ0(SO0)	0F0FH
	シリアル出力許可レジスタ0(SOE0)	0000H
	シリアル出力レベル・レジスタ0(SOL0)	0000H
	シリアル・スタンバイ・コントロール・レジスタ0(SSC0)	0000H
	入力切り替え制御レジスタ(ISC)	00H
ELC	イベント出力選択レジスタ00-18(ELSELR00-18)	00H
キー割り込み	キー・リターン・モード・レジスタ(KRM)	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ(SFR: Special Function Register)が異なります。3.1.4 特殊機能レジスタ(SFR: Special Function Register)領域、3.1.5 拡張特殊機能レジスタ(2nd SFR: 2nd Special Function Register)領域を参照してください。

表 19 - 5 各ハードウェアのリセット受け付け後の状態(4/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	不定 ^{注2}
電圧検出回路	電圧検出レジスタ (LVIM)	00H ^{注2}
	電圧検出レベル・レジスタ (LVIS)	00H/01H/81H ^{注2, 3}
割り込み	要求フラグ・レジスタ 0L, 0H, 1L, 1H, 2L, 2H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	00H
	マスク・フラグ・レジスタ 0L, 0H, 1L, 1H, 2L, 2H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	FFH
	優先順位指定フラグ・レジスタ 00L, 00H, 01L, 01H, 02L, 02H, 10L, 10H, 11L, 11H, 12L, 12H (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H, PR02L, PR02H, PR12L, PR12H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ 0 (EGP0)	00H
	外部割り込み立ち下がりエッジ許可レジスタ 0 (EGN0)	00H
安全機能	フラッシュ・メモリ CRC 制御レジスタ (CRC0CTL)	00H
	フラッシュ・メモリ CRC 演算結果レジスタ (PGCRCL)	0000H
	CRC 入力レジスタ (CRCIN)	00H
	CRC データ・レジスタ (CRCD)	0000H
	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	00H
	RAM パリティ・エラー制御レジスタ (RPECTL)	00H
10進補正 (BCD) 回路	BCD 補正結果レジスタ (BCDADJ)	不定

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

注2. リセット要因により、次のように異なります。

リセット要因		RESET 入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAM パリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
レジスタ	RESF TRAP	クリア(0)		セット(1)	保持			
	WDTRF			保持	セット(1)	保持		
	RPERF			保持		セット(1)	保持	
	IAWRF			保持			セット(1)	保持
	LVIRF			保持				
LVIM	LVISEN	クリア(0)						保持
	LVIOMSK	クリア(0)						保持
	LVIF							
LVIS	クリア(00H/01H/81H)						保持	

注3. LVD以外のリセット時は、次のようになります。

- ・オプション・バイト LVIMDS1, LVIMDS0 = 1, 0 のとき : 00H
- ・オプション・バイト LVIMDS1, LVIMDS0 = 1, 1 のとき : 81H
- ・オプション・バイト LVIMDS1, LVIMDS0 = 0, 1 のとき : 01H

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域、3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域を参照してください。

19.2 リセット要因を確認するレジスタ

RL78/ マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF)は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・リセット(POR)回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図19-5 リセット・コントロール・フラグ・レジスタ (RESF)のフォーマット

アドレス : FFFA8H リセット時 : 不定注¹ R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP	不正命令の実行による内部リセット要求注 ²							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
WDTRF	ウォッチドッグ・タイマ(WDT)による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
RPERF	RAMパリティ・エラーによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
IAWRF	不正メモリ・アクセスによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
LVIRF	電圧検出(LVD)回路による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							

注1. リセット要因により異なります。表19-6を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0) となります。詳細は、22.5 RAMパリティ・エラー検出機能を参照してください。

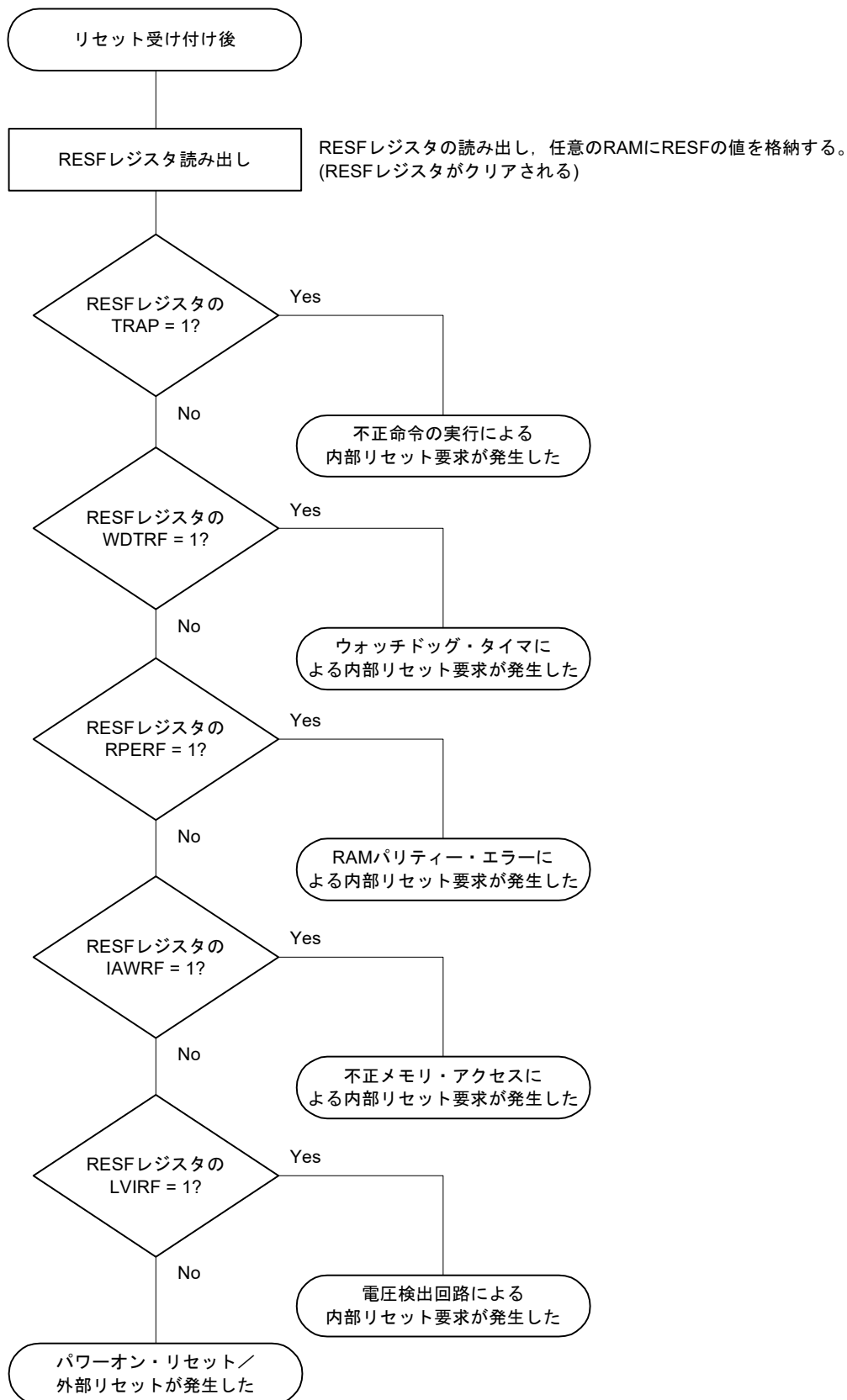
リセット要求時のRESFレジスタの状態を表19-6に示します。

表19-6 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAM パリティ・ エラーによる リセット	不正メモリ・ アクセスに よるリセット	LVDによる リセット
TRAP	クリア(0)		セット(1)	保持			
WDTRF			保持	セット(1)	保持		
RPERF			保持		セット(1)	保持	
IAWRF			保持			セット(1)	保持
LVIRF			保持				

リセット要因の手順を図19-6に示します。

図19-6 リセット要因の確認手順例



第20章 パワーオン・リセット回路

20.1 パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。

電源電圧(VDD)が検出電圧(VPOR)を越えた場合に、リセットを解除します。ただし、29.5 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- 電源電圧(VDD)と検出電圧(VPDR)を比較し、 $VDD < VPDR$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、29.5 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)がクリア(00H)されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。

ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については、第19章 リセット機能を参照してください。

備考2. VPOR : POR電源立ち上がり検出電圧

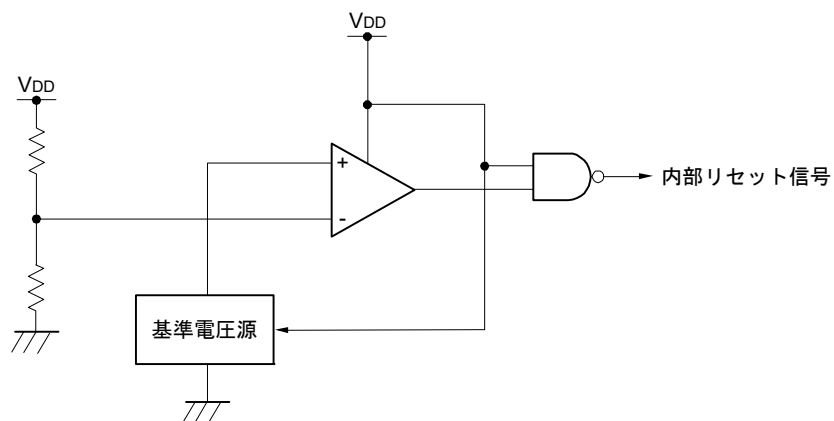
VPDR : POR電源立ち下がり検出電圧

詳細は、29.7.5 POR回路特性を参照してください。

20.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図20-1に示します。

図20-1 パワーオン・リセット回路のブロック図

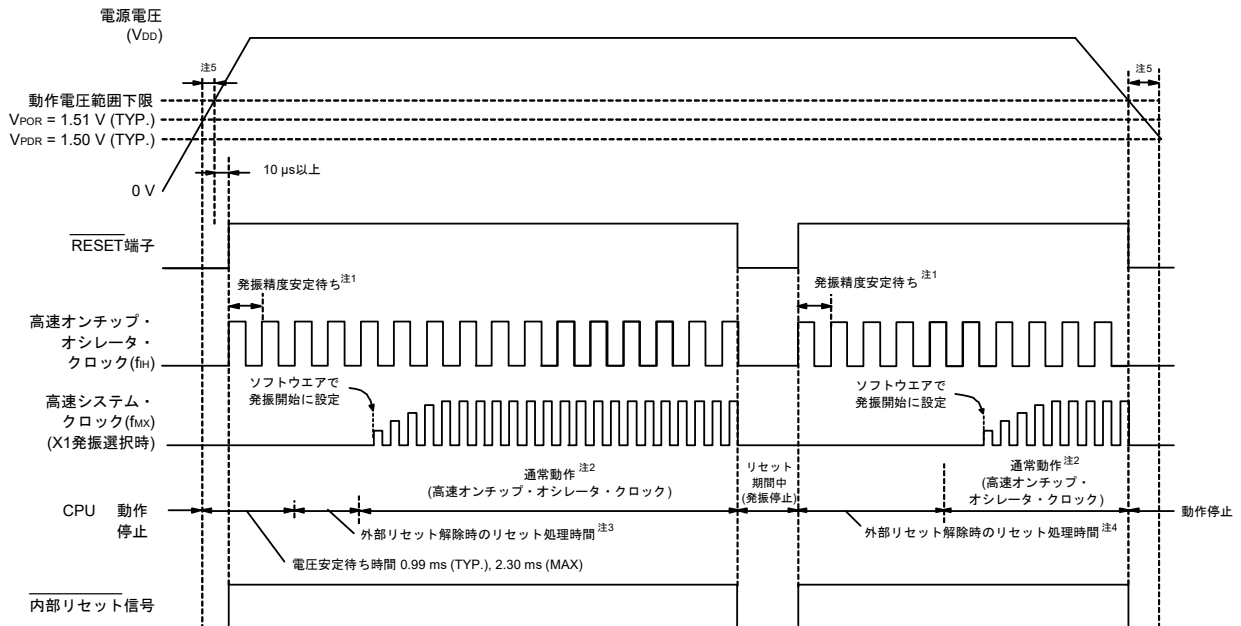


20.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図20-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(1/3)

(1) $\overline{\text{RESET}}$ 端子による外部リセット入力使用時



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。
X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、 V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、 $\overline{\text{RESET}}$ 信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間(POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目：	0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
	0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)
- 注4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

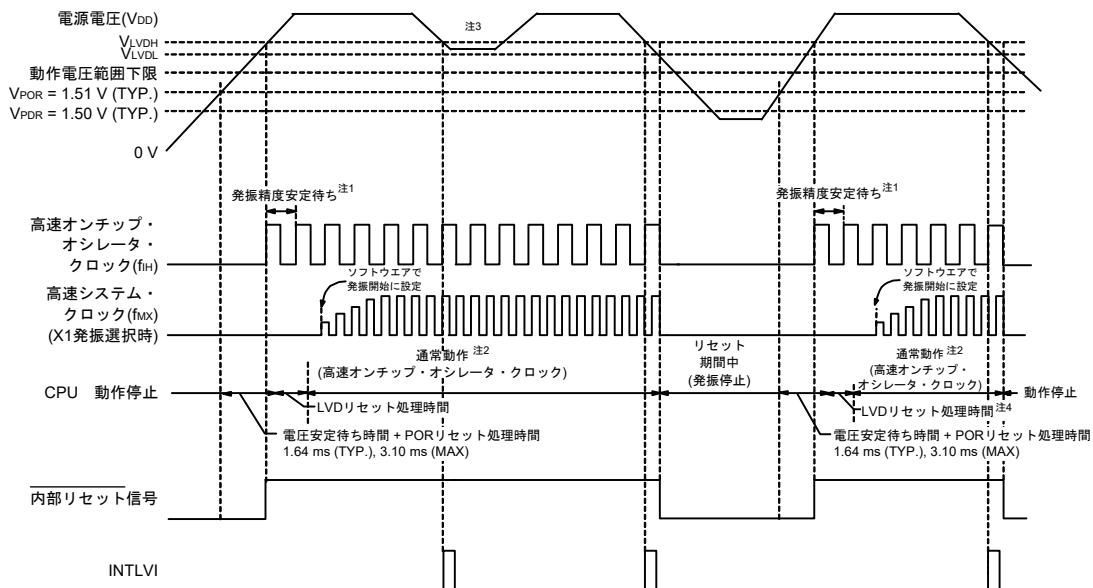
POR解除後2回目以降：	0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
	0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)
- 注5. 電源立ち上がり時は、29.5 AC 特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

注意 LVDオフ時は必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。詳細は、第21章 電圧検出回路を参照してください。

図20-3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生時のタイミング(2/3)

(2) LVD割り込み&リセットモード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)

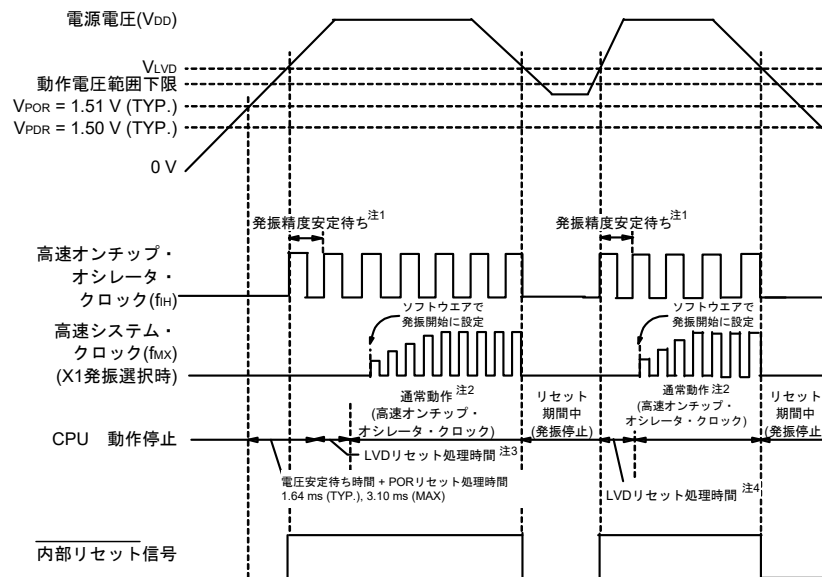


- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 割り込み要求信号 (INTLVI)が発生したあと、電圧検出レベル・レジスタ (LVIS)のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧 (VLVDL)を下回らずに、高電圧検出電圧 (VLVDH)以上に復帰する場合は考慮して、INTLVI発生後は、“図21-8 動作電圧確認/リセットの設定手順”と、“図21-9 割り込み&リセット・モードの初期設定の設定手順”に従って設定をしてください。
- 注4. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち + PORリセット処理時間”に加えて、LVD検出レベル (VLVDH)に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間 : 0 ms ~ 0.0701 ms (MAX.)

備考 VLVDH, VLVDL : LVD検出電圧
 VPOR : POR電源立ち上がり検出電圧
 VPDR : POR電源立ち下がり検出電圧

図20-4 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(3/3)

(3) LVD リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 1)



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち + PORリセット処理時間”に加えて、LVD検出レベル(V_{LVD})に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)
- 注4. 電源電圧降下時、電圧検出回路(LVD)による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル(V_{LVD})に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間：0.0511 ms (TYP.), 0.0701ms (MAX.)

備考1. V_{LVDH}, V_{LVDL} : LVD検出電圧V_{POR} : POR電源立ち上がり検出電圧V_{PDR} : POR電源立ち下がり検出電圧

備考2. LVD割り込みモード(オプション・バイト000C1HのLVIMD1, LVIMD0 = 0, 1)を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図20-4 (3) LVDリセット・モード時の“注3”の時間と同じです。

第21章 電圧検出回路

21.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト(000C1H)で動作モードと検出電圧(VLVDH, VLVDL, VLVD)を設定します。

電圧検出(LVD)回路は、次のような機能を持ちます。

- 電源電圧(VDD)と検出電圧(VLVDH, VLVDL, VLVD)を比較し、内部リセットまたは内部割り込み信号を発生します。
- 電源電圧の検出電圧(VLVDH, VLVDL)は、オプション・バイトにて検出レベルを6段階より選択できます(第24章 オプション・バイト参照)。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、29.5 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H)の設定により変わります。

(a) 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧(VLVDH, VLVDL)を選択します。高電圧検出レベル(VLVDH)はリセット解除用/割り込み発生用として使用します。低電圧検出レベル(VLVDL)はリセット発生用として使用します。

(b) リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット発生/解除用として使用します。

(c) 割り込みモード(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット解除用/割り込み発生用として使用します。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して割り込み要求信号を発生、 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して内部リセット発生。	リセット発生直後、LVDの内部リセットは $V_{DD} \geq V_{LVD}$ になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号(INTLVI)を発生します。

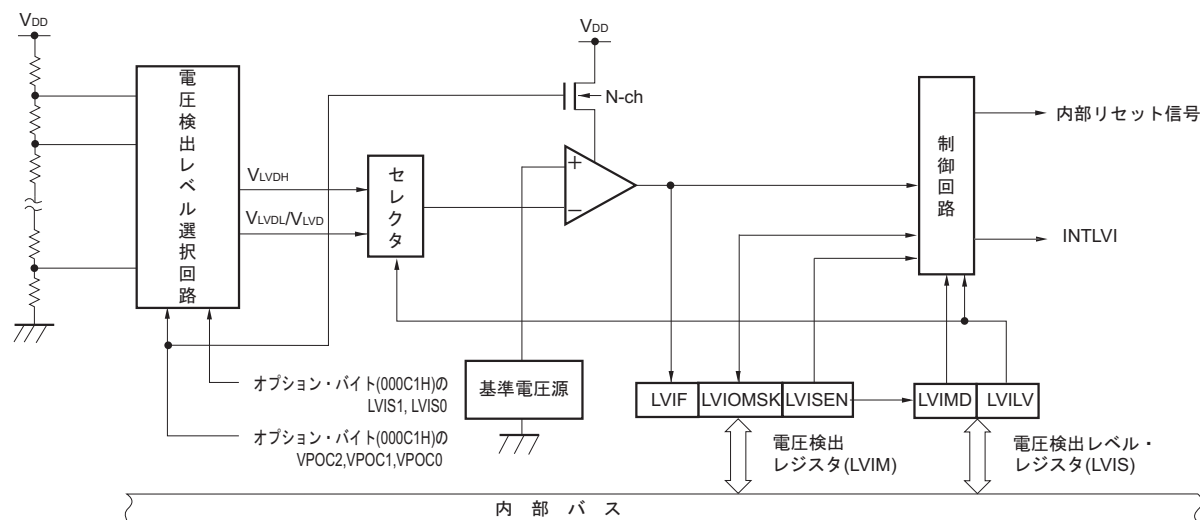
電圧検出回路動作時では、電圧検出フラグ(LVIF: 電圧検出レジスタ(LVIM)のビット0)を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ(RESF)のビット0(LVIRF)がセット(1)されません。RESFレジスタについての詳細は、第19章 リセット機能を参照してください。

21.2 電圧検出回路の構成

電圧検出回路のブロック図を図21-1に示します。

図21-1 電圧検出回路のブロック図



21.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ (LVIM)
- 電圧検出レベル・レジスタ (LVIS)

21.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD出力のマスキング状態を確認するレジスタです。

LVIMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFFA9H リセット時：00H^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN ^{注3}	0	0	0	0	0	LVIOMSK	LVIF
LVISEN ^{注3}	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定							
0	LVISレジスタの書き換え禁止 (LVIOMSK = 0 (LVD出力マスキング無効)になる)							
1	LVISレジスタの書き換え許可 (LVIOMSK = 1 (LVD出力マスキング有効)になる)							
LVIOMSK	LVD出力マスキング状態フラグ							
0	LVD出力マスキング無効							
1	LVD出力マスキング有効 ^{注4}							
LVIF	電圧検出フラグ							
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVD})、またはLVDオフ時							
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVD})							

注1. リセット値は、リセット要因により変化します。

LVDによるリセットのときには、LVIMレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、LVISENは“0”にクリアされます。

注2. ビット0, 1は、Read Onlyです。

注3. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時のみ設定できます。その他モードでは初期値から変更しないでください。

注4. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時のみ、LVIOMSKビットは以下の期間に自動で“1”となり、LVDによるリセットまたは割り込み発生がマスクされます。

- LVISEN = 1の期間
- LVD割り込み発生から、LVD検出電圧が安定するまでの待ち時間
- LVILVビットの値変更から、LVD検出電圧が安定するまでの待ち時間

21.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図21-3 電圧検出レベル・レジスタ (LVIS)のフォーマット

アドレス : FFFAAH リセット時 : 00H/01H/81H^{注1} R/W

略号	<input type="text" value="7"/>	6	5	4	3	2	1	<input type="text" value="0"/>
LVIS	LVIMD	0	0	0	0	0	0	LVILV
LVIMD ^{注2}	電圧検出の動作モード							
0	割り込みモード							
1	リセット・モード							
LVILV ^{注2}	LVD検出レベル							
0	高電圧検出レベル(VLVDH)							
1	低電圧検出レベル(VLVDLまたはVLVD)							

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア(00H)されません。

LVD以外のリセット時は、次のようになります。

- オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

注2. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、図21-8、図21-9の手順で行ってください。

注意2. LVDの動作モードと各モードの検出電圧(VLVDH, VLVDL, VLVD)は、オプション・バイト000C1Hで選択します。

ユーザ・オプション・バイト(000C1H)のフォーマットを図21-4に示します。オプション・バイトの詳細は第24章 オプション・バイトを参照してください。

図21-4 ユーザ・オプション・バイト(000C1H)のフォーマット(1/2)

アドレス : 000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
2.92 V	2.86 V	2.75 V	0	1	1	1	0	1	0
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
—			上記以外は設定禁止						

• LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.81 V	2.75 V	0	1	1	1	1	1	1
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

備考1. LVD回路の詳細は、第21章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、29.7.6 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図21-4 ユーザ・オプション・バイト(000C1H)のフォーマット(2/2)

アドレス : 000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.81 V	2.75 V	0	1	1	1	1	0	1
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

• LVDオフ (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、29.5 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H)の設定により変わります。

備考1. × : Don't care

備考2. LVD回路の詳細は、第21章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は、29.7.6 LVD回路特性を参照してください。

21.4 電圧検出回路の動作

21.4.1 リセット・モードとして使用する場合の設定

動作モード(リセット・モード(LVIMDS1, LVIMDS0 = 1, 1))と検出電圧(VLVD)の設定は、オプション・バイト000C1Hで設定します。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は、81Hに設定されます。
ビット7(LVIMD)は“1”(リセット・モード)
ビット0(LVILV)は“1”(電圧検出レベル: VLVD)

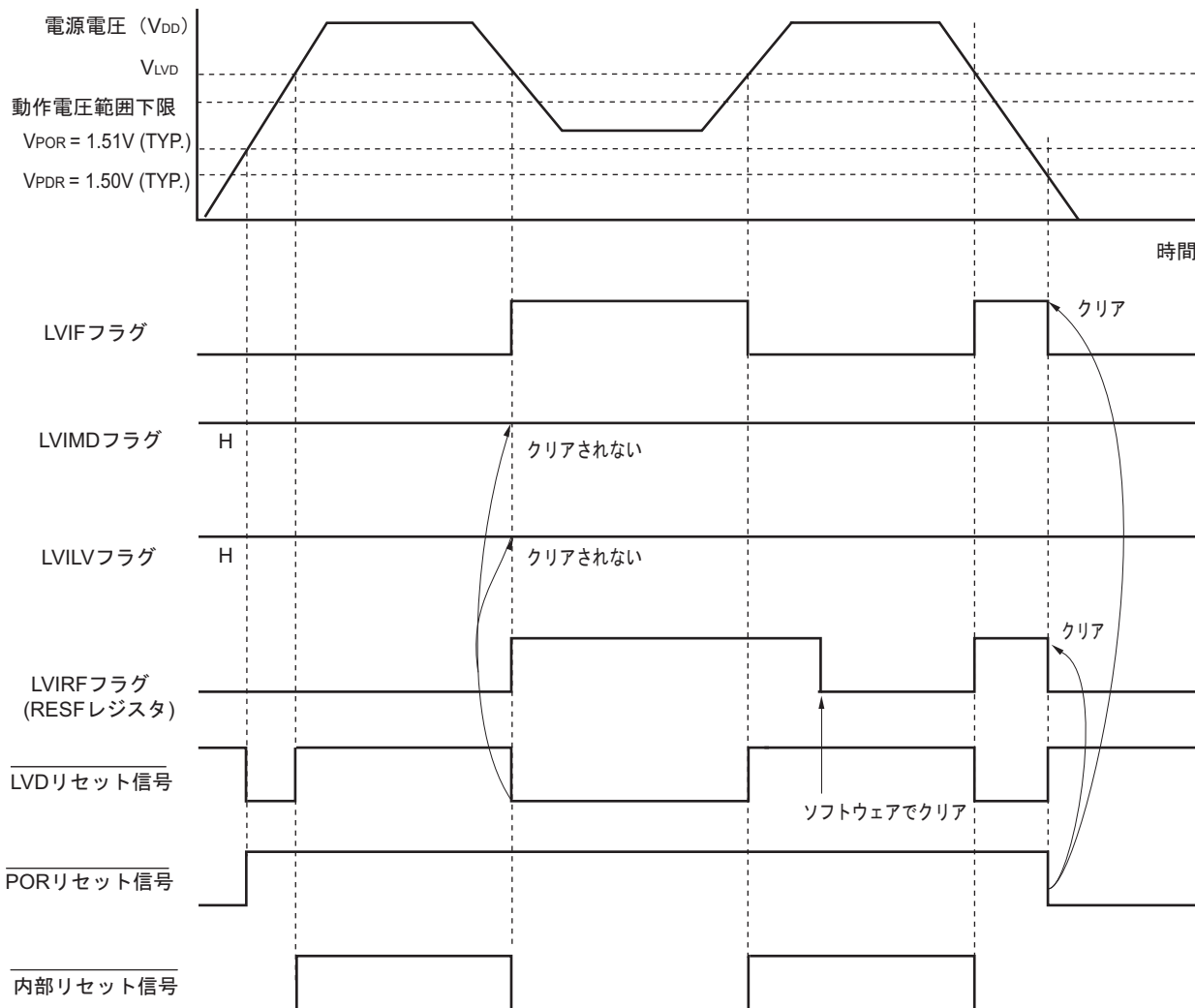
●LVDリセット・モードの動作

リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)は、電源投入時、電源電圧(VDD)が電圧検出レベル(VLVD)を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(VDD)が電圧検出レベル(VLVD)を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(VDD)が電圧検出レベル(VLVD)を下回るとLVDによる内部リセットが発生します。

図21-5に、LVDリセット・モードの内部リセット信号発生タイミングを示します。

図21 - 5 内部リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)



備考 V_{POR} : POR 電源立ち上がり検出電圧
 V_{PDR} : POR 電源立ち下がり検出電圧

21.4.2 割り込みモードとして使用する場合の設定

動作モード (割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)) と検出電圧 (VLVD) の設定は、オプション・バイト 000C1H で設定します。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット 7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、01H に設定されます。
ビット 7 (LVIMD) は“0” (割り込みモード)
ビット 0 (LVILV) は“1” (電圧検出レベル : VLVD)

● LVD 割り込みモードの動作

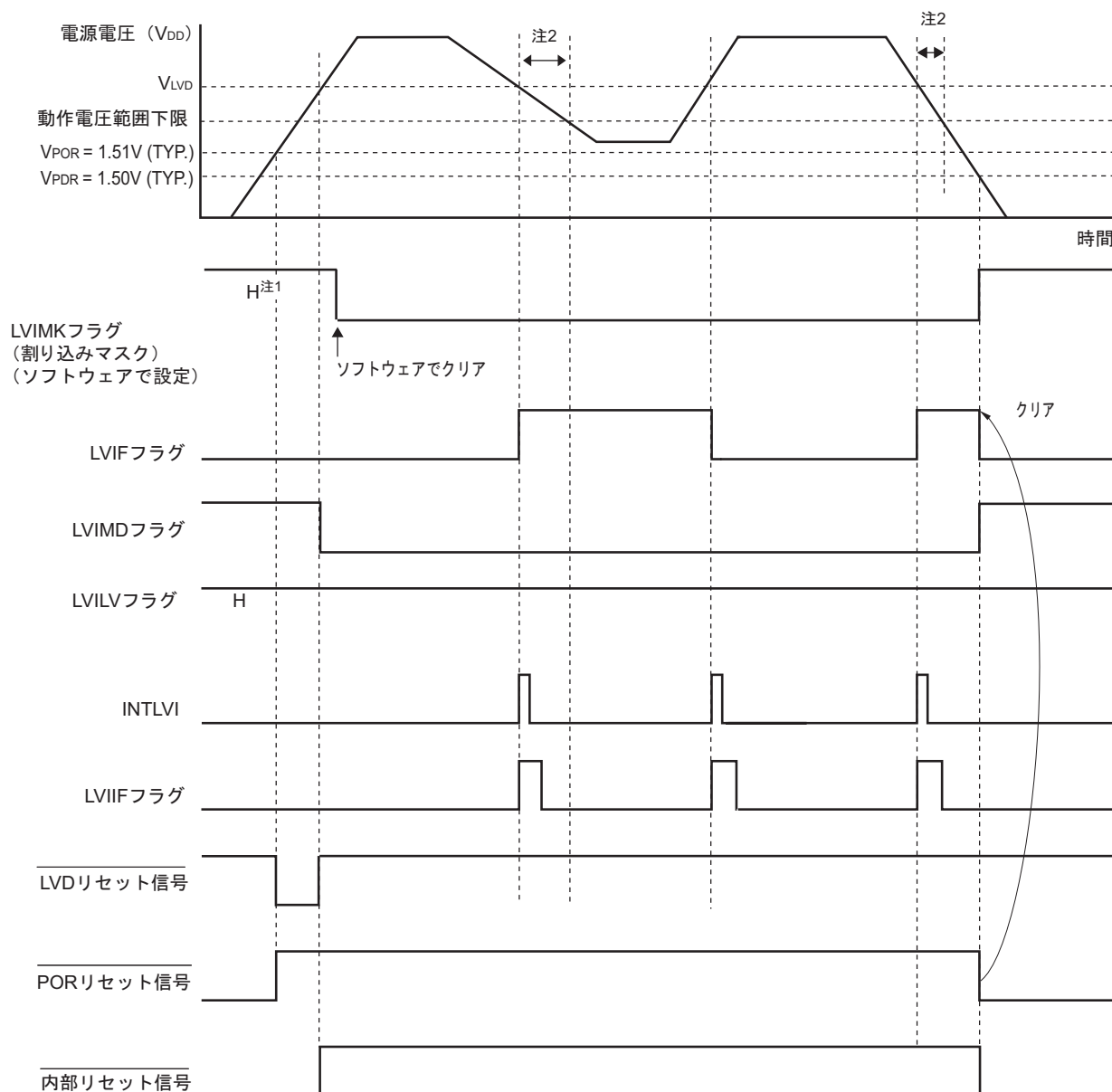
割り込みモード (オプション・バイトの LVIMDS1, LVIMDS0 = 0, 1) では、リセット発生直後、電源電圧 (VDD) が電圧検出レベル (VLVD) を上回るまでは LVD による内部リセット状態を保ちます。電源電圧 (VDD) が電圧検出レベル (VLVD) を上回ると LVD による内部リセットを解除します。

LVD の内部リセット解除後は、電源電圧 (VDD) が電圧検出レベル (VLVD) を超えると LVD による割り込み要求信号 (INTLVI) が発生します。

動作電圧降下時は、29.5 AC 特性に示す動作電圧範囲を下回る前に、STOP モードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図 21 - 6 に、LVD 割り込みモードの割り込み要求信号発生のタイミングを示します。

図21-6 割り込み信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

注2. 動作電圧降下時は、29.5 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

21.4.3 割り込み&リセット・モードとして使用する場合の設定

動作モード (割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)) と検出電圧 (VLVDH, VLVDL) の設定は、オプション・バイト000C1Hで設定します。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、00Hに設定されます。ビット7 (LVIMD) は“0” (割り込みモード), ビット0 (LVILV) は“0” (高電圧検出レベル : VLVDH)

●LVD 割り込み&リセット・モードの動作

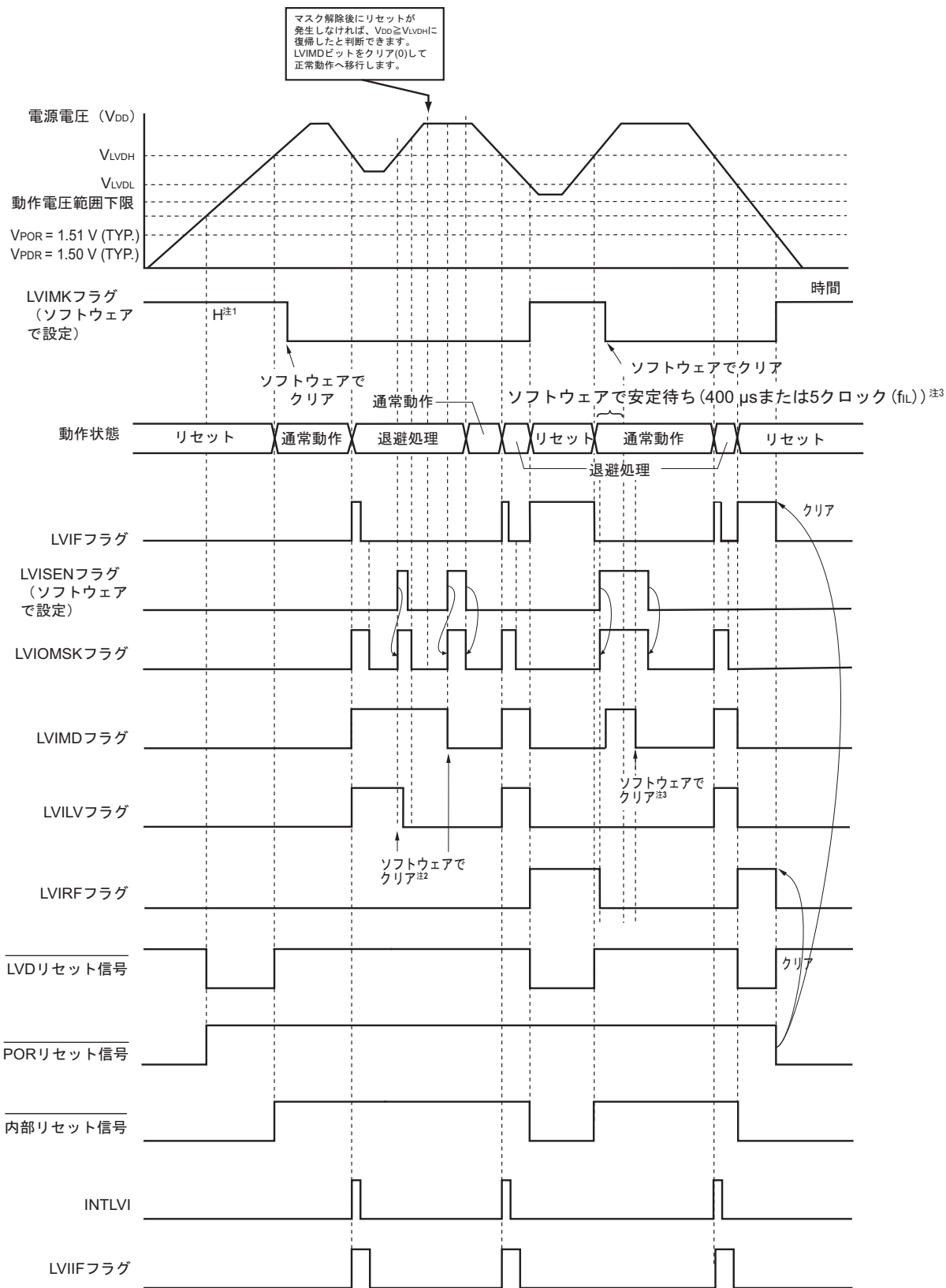
割り込み&リセット・モード (オプション・バイトの LVIMDS1, LVIMDS0 = 1, 0) は、電源投入時、電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えるまではLVDによる内部リセット状態を保ちます。電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えると内部リセットを解除します。

動作電圧降下時は電源電圧 (VDD) が高電圧検出レベル (VLVDH) を下回ると LVD による割り込み要求信号 (INTLVI) が発生し、任意の退避処理を行うことができます。その後、電源電圧 (VDD) が低電圧検出レベル (VLVDL) を下回ると LVD による内部リセットが発生します。ただし、INTLVI 発生後、電源電圧 (VDD) が低電圧検出電圧 (VLVDL) を下回らずに高電圧検出電圧 (VLVDH) 以上に復帰しても割り込み要求信号は発生しません。

LVD 割り込み&リセット・モードの使用する場合は、“図21-8 動作電圧確認/リセットの設定手順”と、“図21-9 割り込み&リセット・モードの初期設定の設定手順”に示すフローチャートの手順に従って設定をしてください。

図21-7に、LVD 割り込み&リセット・モードの内部リセット信号と割り込み信号発生のタイミングを示します。

図21-7 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (1/2)



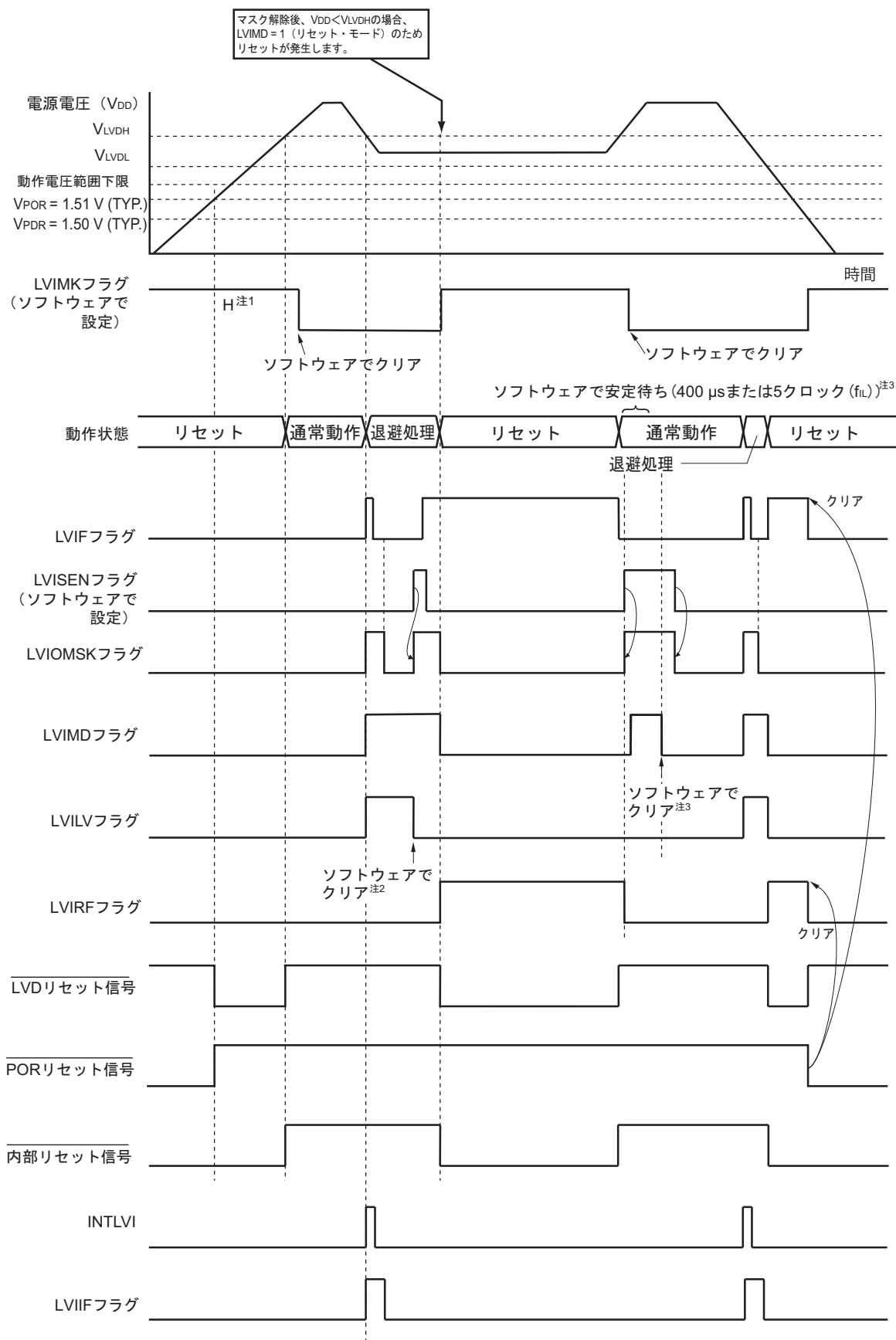
(注, 備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図21-8 動作電圧確認／リセットの設定手順に従って実施してください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図21-9 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

図21-7 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (2/2)

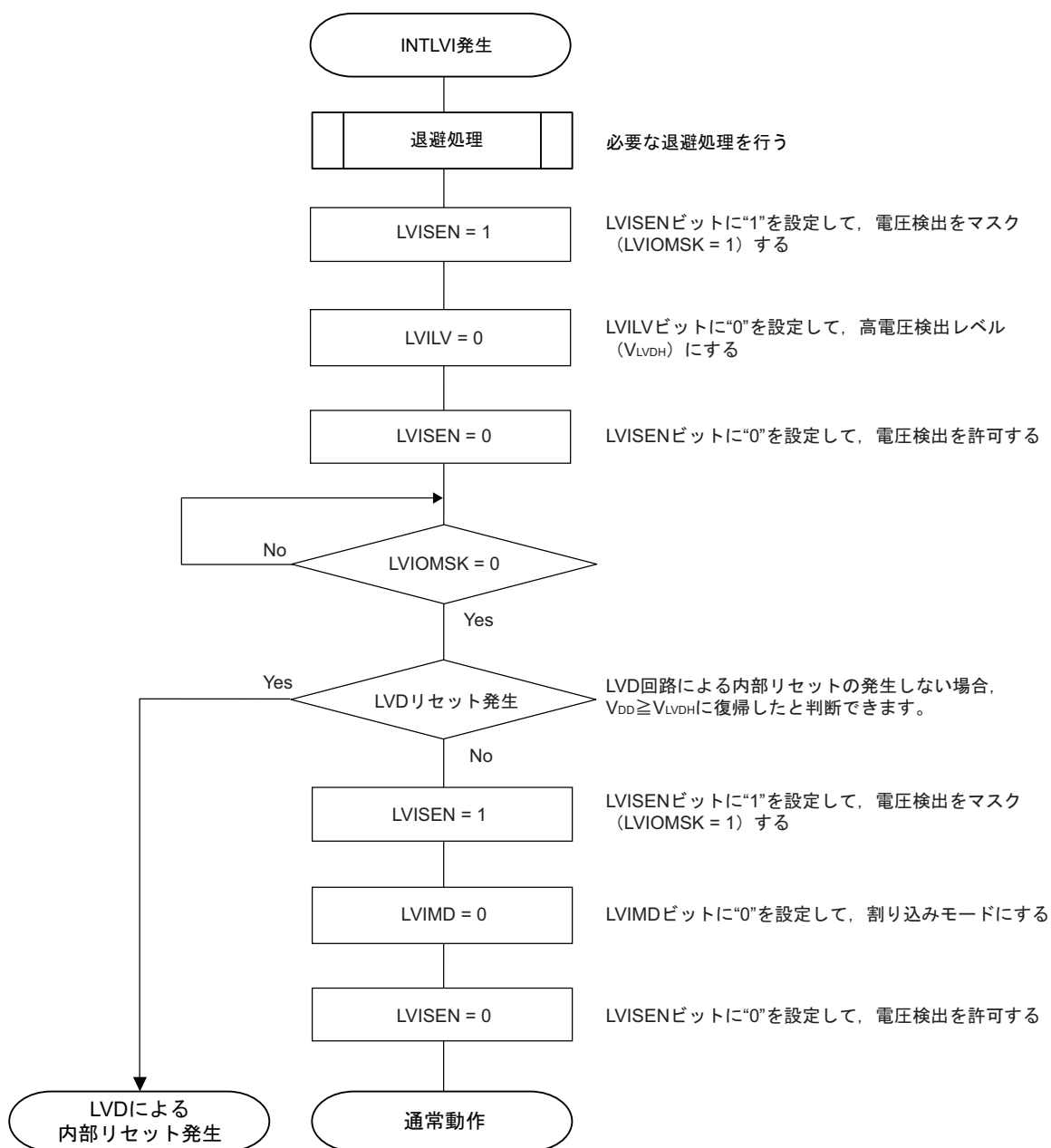


(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図21-8 動作電圧確認／リセットの設定手順に従って実施してください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図21-9 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 VPOR : POR電源立ち上がり検出電圧
VPDR : POR電源立ち下がり検出電圧

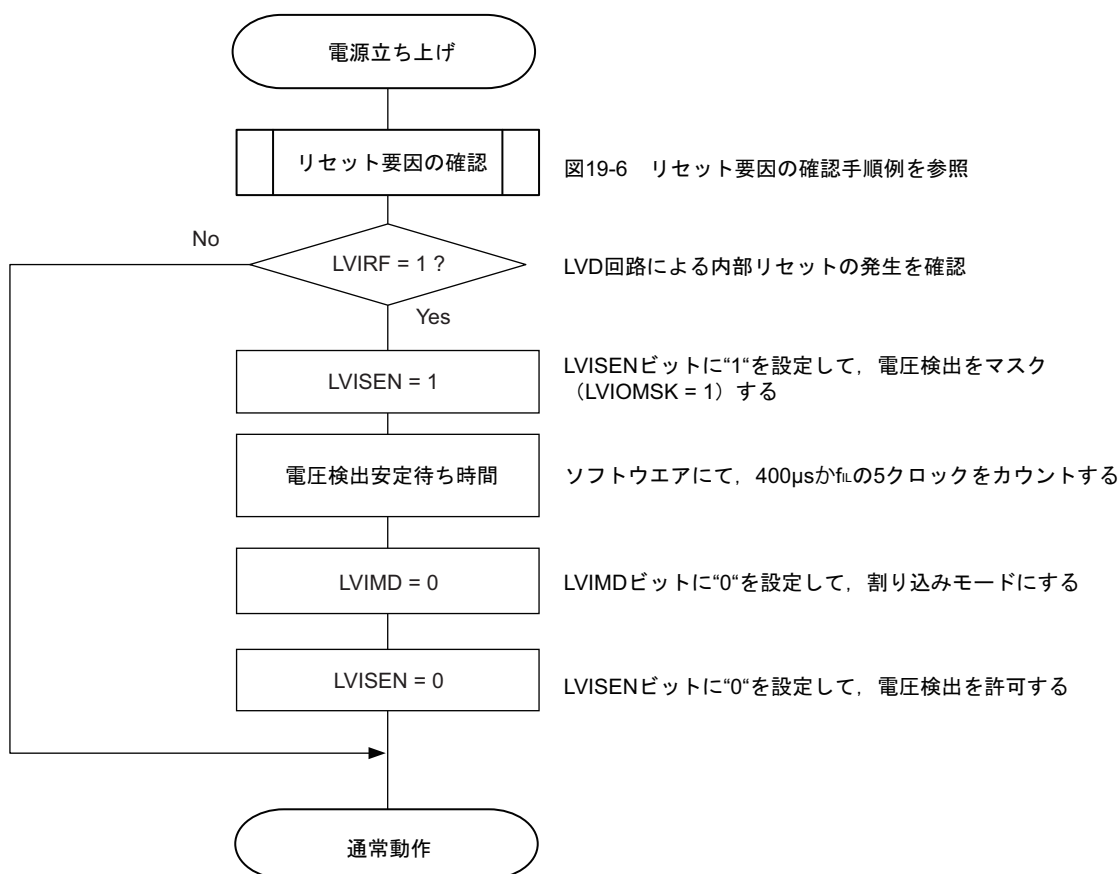
図21-8 動作電圧確認／リセットの設定手順



割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0)を設定した場合, LVDリセット解除後(LVIRF = 1)から400 μ sかf_{IL}の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後, LVIMDビットをクリア(0)して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は, LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図21-9に割り込み&リセット・モードの初期設定の設定手順をの手順を示します。

図21-9 割り込み&リセット・モードの初期設定の設定手順



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

21.5 電圧検出回路の注意事項

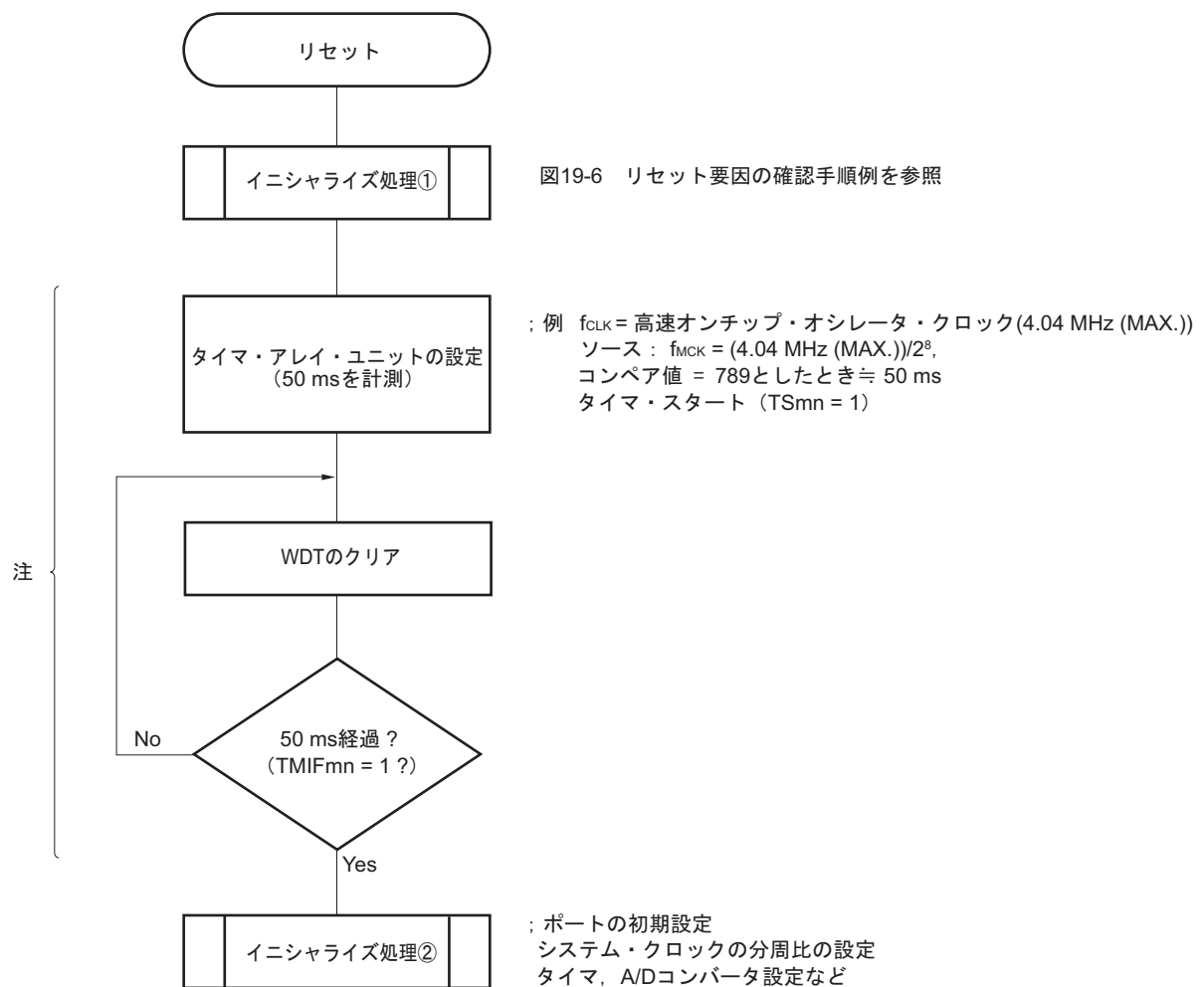
(1) 電源投入時の電圧変動について

電源電圧 (VDD) が LVD 検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図21 - 10 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



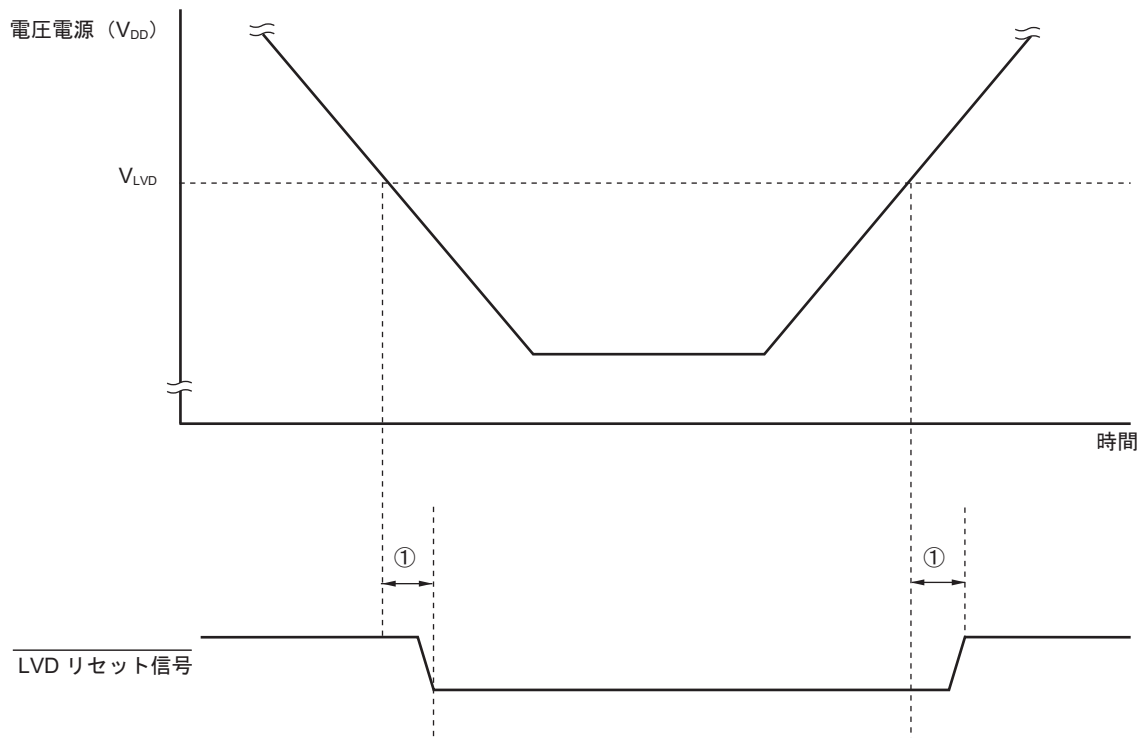
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 m = 0 n = 0-3

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧(V_{DD}) < LVD検出電圧(V_{LVD})になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧(V_{LVD}) \leq 電源電圧(V_{DD})になってから、LVDリセットが解除されるまでにも遅延が生じます(図21-11参照)。

図21-11 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延(300 μ s (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ずRESET端子による外部リセットを使用してください。

外部リセットを行う場合、RESET端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、RESET端子にロウ・レベルを入力してから電源を投入し、29.5 AC特性に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、29.5 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

第22章 安全機能

22.1 安全機能の概要

安全規格 IEC60730 に対応するため、RL78/G1G では以下の安全機能を搭載しています。

この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリ CRC 演算機能 (高速 CRC, 汎用 CRC)

CRC 演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて、以下の2つのCRCを使い分けていただくことができます。

- ・「高速 CRC」... 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- ・「汎用 CRC」... CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

(2) RAM パリティ・エラー検出機能

RAM をデータとして読み出すとき、パリティ・エラーを検出します。

(3) RAM ガード機能

CPU の暴走による RAM データの書き換えを保護します。

(4) SFR ガード機能

CPU の暴走による SFR の書き換えを保護します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域 (メモリが存在しない、アクセスが制限されている領域) への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。

(7) A/D テスト機能

A/D コンバータの + 側基準電圧, 一側基準電圧, アナログ入力チャネル (ANI), 温度センサ出力および内部基準電圧出力を A/D 変換することにより、A/D コンバータの自己チェックができます。

(8) 入出力ポートのデジタル出力信号レベル検出機能

入出力ポートが出力モード (ポート・モード・レジスタ (PMm) の PMmn ビットが 0) 時に、端子の出力レベルをリードすることができます。

備考 m = 0-7, 12, 14, n = 0-7

22.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
<ul style="list-style-type: none"> フラッシュ・メモリCRC制御レジスタ (CRC0CTL) フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) 	フラッシュ・メモリCRC演算機能 (高速CRC)
<ul style="list-style-type: none"> CRC入力レジスタ (CRCIN) CRCデータ・レジスタ (CRCD) 	CRC演算機能 (汎用CRC)
<ul style="list-style-type: none"> RAMパリティ・エラー制御レジスタ (RPECTL) 	RAMパリティ・エラー検出機能
<ul style="list-style-type: none"> 不正メモリ・アクセス検出制御レジスタ (IAWCTL) 	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
<ul style="list-style-type: none"> タイマ入力選択レジスタ0 (TIS0) 	周波数検出機能
<ul style="list-style-type: none"> A/Dテスト・レジスタ (ADTES) 	A/Dテスト機能
<ul style="list-style-type: none"> ポート・モード選択レジスタ (PMS) 	入出力ポートのデジタル出力信号レベル検出機能

各レジスタの内容については、後述の各安全機能の中で説明します。

22.3 フラッシュ・メモリCRC演算機能(高速CRC)の動作

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定(イニシャライズ)ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です(例 フラッシュ・メモリ 16 KB : 171 μ s@24 MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

22.3.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0
CRC0EN	高速CRC演算器の動作制御							
0	動作停止							
1	HALT命令実行により演算開始							
FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲		
0	0	0	0	0	0	00000H-3FFBH (16K-4バイト)		
上記以外						設定禁止		

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

22.3.2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図22-2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)のフォーマット

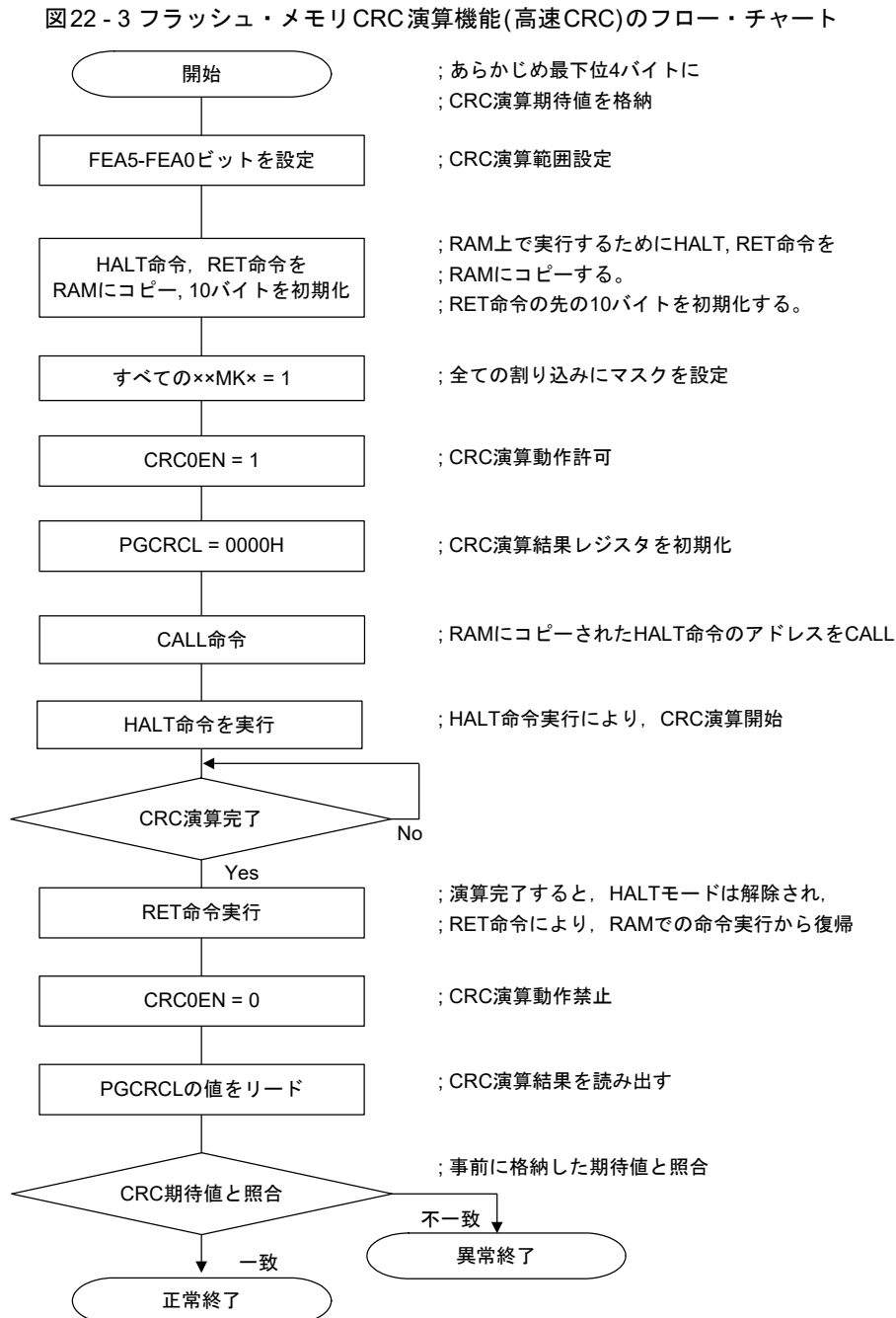
アドレス : F02F2H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
PGCRC15-0	高速CRC演算結果							
0000H-FFFFH	高速CRC演算結果を格納							

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

22.3.3 動作フロー

図22-3にフラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを示します。



注意1. CRC演算の対象は、コード・フラッシュのみです。

注意2. CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。

注意3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。

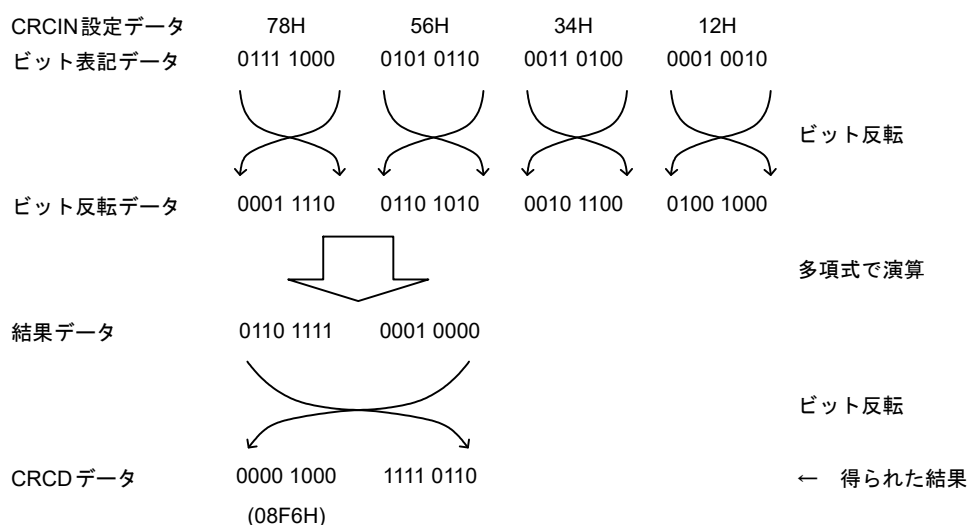
必ずRAM領域でHALT命令を実行してください。

CRC演算の期待値は、総合開発環境 CubeSuite+ を使用して算出することができます。詳細は、CubeSuite+ 統合開発環境ユーザーズマニュアルを参照してください。

22.4 CRC演算機能(汎用CRC)

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア(ユーザ・プログラム)で指定します。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。例えば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッガはソフトウェア・ブレイク設定行をブレイク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレイクを設定すると、CRC演算結果が異なります。

22.4.1 CRC入力レジスタ(CRCIN)

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-4 CRC入力レジスタ(CRCIN)のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0			機能				
	00H-FFH			データ入力				

22.4.2 CRC データ・レジスタ (CRCD)

汎用CRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

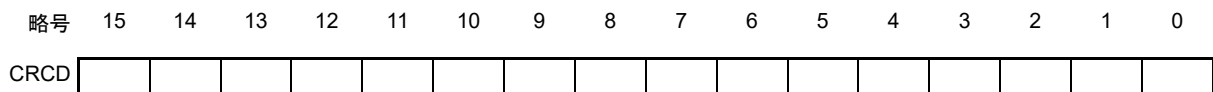
CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (fCLK)の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図22-5 CRCデータ・レジスタ (CRCD)のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W



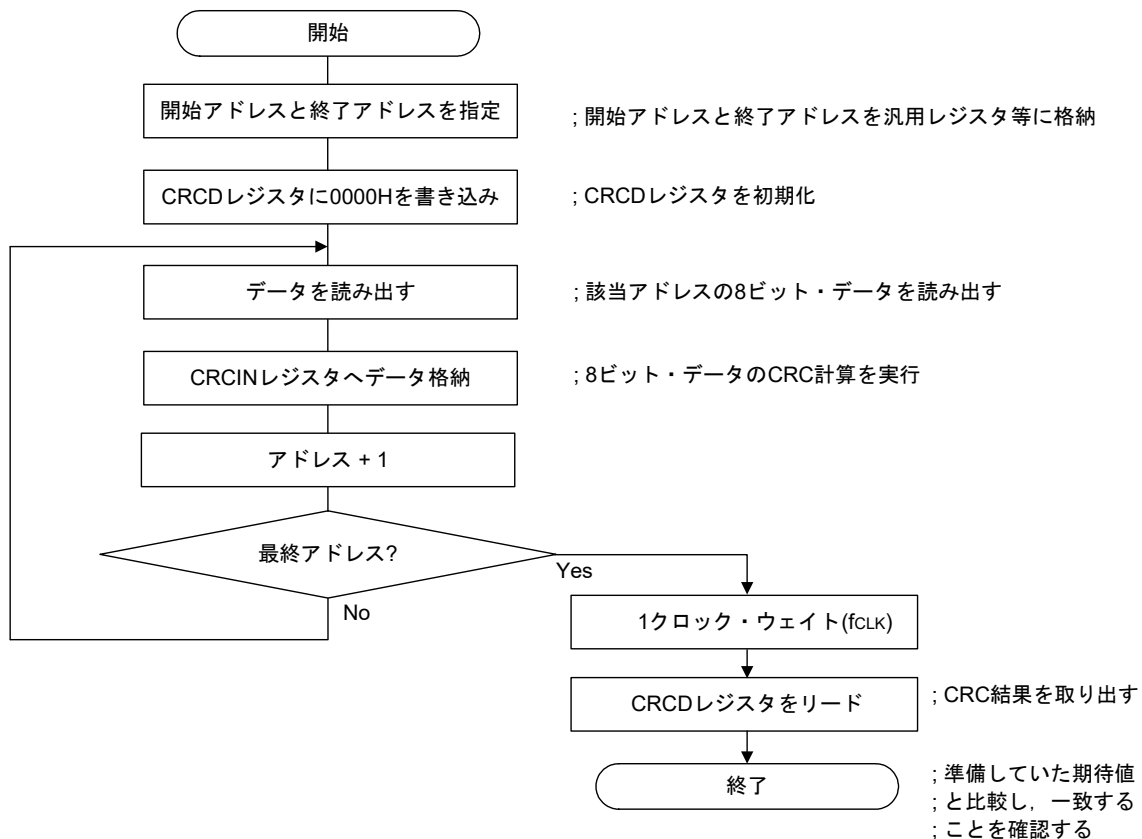
注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

22.4.3 動作フロー

図22-6にCRCIN演算機能(汎用CRC)のフロー・チャートを示します。

図22-6 CRCIN演算機能(汎用CRC)のフロー・チャート



22.5 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/G1GのRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

22.5.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-7 RAMパリティ・エラー制御レジスタ (RPECTL)のフォーマット

アドレス : F00F5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
	RPERDIS	パリティ・エラー・リセット・マスク・フラグ						
	0	パリティ・エラー・リセット発生を許可						
	1	パリティ・エラー・リセット発生を禁止						
	RPEF	パリティ・エラー・ステータス・フラグ						
	0	パリティ・エラーが発生していない						
	1	パリティ・エラーが発生した						

注意 本MCUはパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。また、RAMパリティ・エラー・リセット発生を許可し(RPERDIS = 0)、セルフ・プログラミング機能を使用する場合は、「書き換えるRAM領域 + 10バイト」の領域を、書き換える前に必ず初期化してください。また、RAMの命令フェッチによるRAMデータ読み出しは、パリティ・エラー検出を行います。

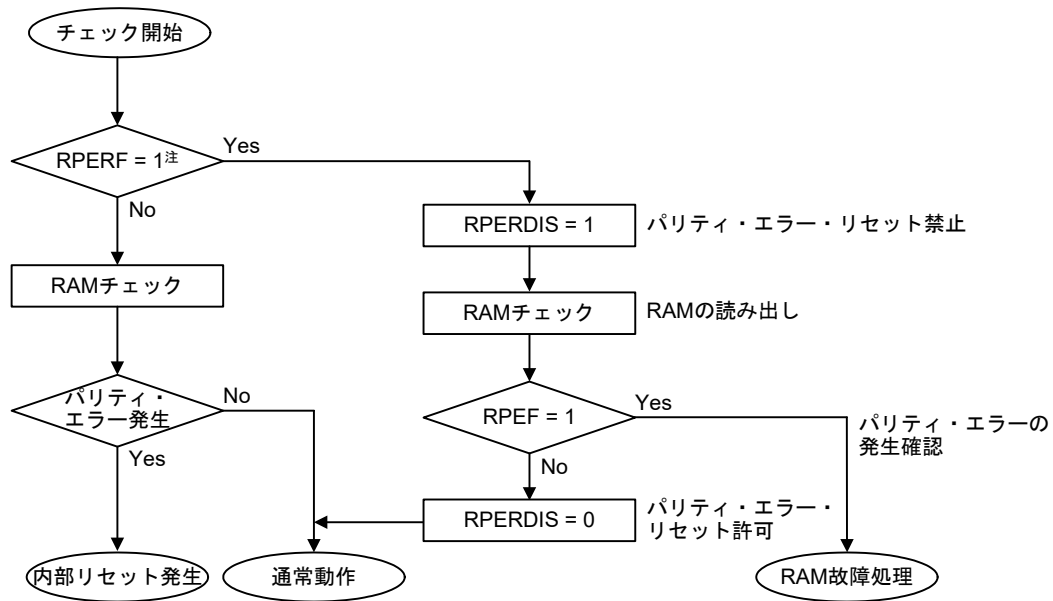
備考1. RAMパリティ・チェックは常時オンとなっており、その結果はRPEFフラグで確認できます。

備考2. 初期状態では、パリティ・エラー・リセットは発生許可になっています(RPERDIS = 0)。

パリティ・エラー・リセット発生禁止(RPERDIS = 1)に設定した場合でも、パリティ・エラーが発生したときには、RPEFフラグはセット(1)されます。

備考3. RPEFフラグはRAMのパリティ・エラーによりセット(1)され、0の書き込みまたはすべてのリセット要因によりクリア(0)されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

図22 - 8 RAMパリティチェックフロー



注 RAMパリティ・エラーによる内部リセットの確認は、第19章 リセット機能を参照してください。

22.6 RAMガード機能

このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

22.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1、GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間注
0	0	無効。RAMへのライト可能
0	1	RAM下位アドレスから128バイト
1	0	RAM下位アドレスから256バイト
1	1	RAM下位アドレスから512バイト

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります(図22-11参照)。

なお、汎用レジスタ領域(FFEE0H - FFEFFH)は保護されません。

22.7 SFRガード機能

SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

22.7.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 10 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
GPORT	ポート機能の制御レジスタのガード							
0	無効。ポート機能の制御レジスタのリード/ライト可能。							
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIOR 注							
GINT	割り込み機能のレジスタのガード							
0	無効。割り込み機能の制御レジスタのリード/ライト可能。							
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx							
GCSC	クロック制御機能、電圧検出回路、RAMパリティ・エラー機能の制御レジスタのガード							
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー機能の制御レジスタのリード/ライト可能。							
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL							

注 Pxx (ポート・レジスタ)はガードされません。

22.8 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図22 - 11で「NG」と記載した範囲になります。

図22 - 11 不正アクセス検出空間

アドレス	機能	アクセス可否		
		読み出し	書き込み	命令フェッチ (実行)
FFFFFH	特殊機能レジスタ (SFR) 256 バイト	OK	OK	NG
FFF00H FFFEFFH				OK
FFEE0H FFEDFH	汎用レジスタ 32バイト	OK	OK	OK
yyyyyH	RAM ^注			
F4000H	使用不可	OK	NG	NG
~ Mirror ~				
F1000H F0FFFH	使用不可	OK	OK	OK
F0800H F07FFH	特殊機能レジスタ (2nd SFR) 2 K バイト			
F0000H EFFFFH	使用不可	NG	NG	OK
EF000H EEFFFH				
~ 使用不可 ~				
10000H 0FFFFH	コード・フラッシュ・メモリ ^注	OK	OK	OK
xxxxxH				OK
00000H				

注 各製品のコード・フラッシュ・メモリ、RAMのアドレスは次のようになります。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (yyyyyH-FFEFFH)
R5F11Ex8 (x = A, B, F)	8192 × 8 ビット (00000H-01FFFH)	1536 × 8 ビット (FF900H-FFEFFH)
R5F11ExA (x = A, B, F)	16384 × 8 ビット (00000H-03FFFH)	

22.8.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では、IAWENビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 12 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
IAWEN ^注	不正メモリ・アクセスの検出制御							
0	不正メモリ・アクセスの検出無効							
1	不正メモリ・アクセスの検出有効							

注 IAWENビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイトWDTON = 1 (ウォッチドッグ・タイマ動作許可)のとき、IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

22.9 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は、CPU/周辺ハードウェア・クロック周波数(fCLK)を使用し、タイマ・アレイ・ユニット0 (TAU0)のチャンネル1の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。

ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

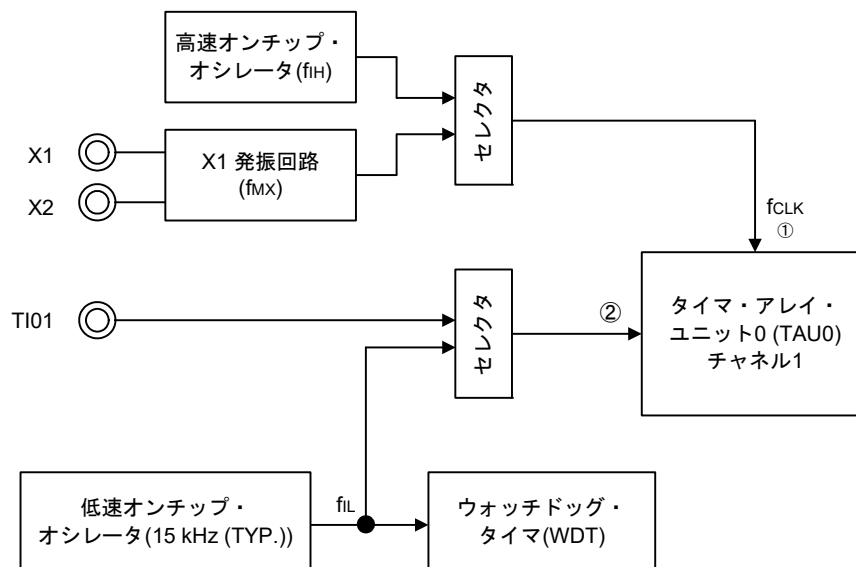
①CPU/周辺ハードウェア・クロック周波数(fCLK) :

- 高速オンチップ・オシレータ・クロック (fIH)
- 高速システム・クロック (fMX)

②タイマ・アレイ・ユニット0のチャンネル1入力 :

- チャンネル1のタイマ入力(TI01)
- 低速オンチップ・オシレータ・クロック (fIL : 15 kHz (TYP.))

図22 - 13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、6.8.4 入力パルス間隔測定としての動作を参照してください。

22.9.1 タイマ入力選択レジスタ0 (TIS0)

タイマ・アレイ・ユニット0 (TAU0)のチャンネル0, 1のタイマ入力を選択するレジスタです。

タイマ入力に低速オンチップ・オシレータ・クロックを選択することにより、そのパルス間隔を測定することで低速オンチップ・オシレータ・クロックとタイマ動作クロックとの比率関係が正しいか判定することができます。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 14 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00
TIS04	チャンネル0で使用するタイマ入力の選択							
0	タイマ入力端子(TI00)の入力信号							
1	ELCからのイベント入力信号							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子(TI01)の入力信号					
0	0	1	ELCからのイベント入力信号					
0	1	0	タイマ入力端子(TI01)の入力信号					
0	1	1	タイマ入力端子(TI01)の入力信号					
1	0	0	低速オンチップ・オシレータ・クロック (fil)					
上記以外			設定禁止					

22.10 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、一側基準電圧、アナログ入力チャネル(ANi)、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、安全機能(A/Dテスト)アプリケーションノート(R01AN0955)を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

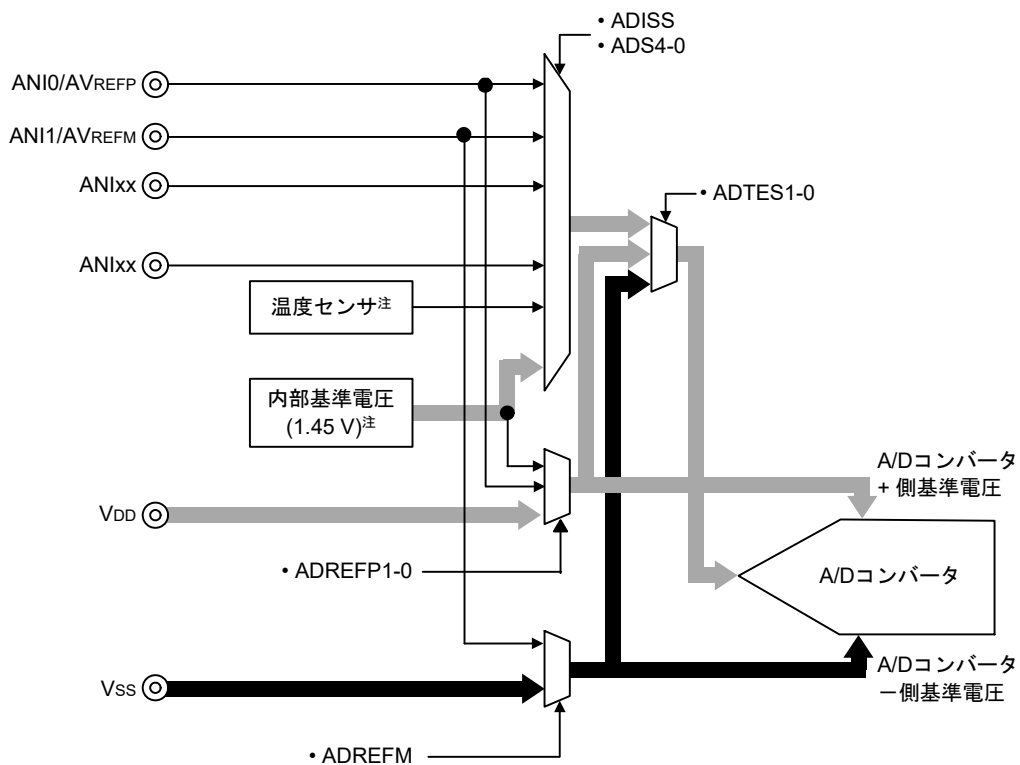
- ① ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ② ANix端子のA/D変換を行う(変換結果1-1)。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの一側基準電圧を選択(ADTES1, ADTES0 = 1, 0)
- ④ A/Dコンバータの一側基準電圧のA/D変換を行う(変換結果2-1)
- ⑤ ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑥ ANix端子のA/D変換を行う(変換結果1-2)
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択(ADTES1, ADTES0 = 1, 1)
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う(変換結果2-2)
- ⑨ ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑩ ANix端子のA/D変換を行う(変換結果1-3)
- ⑪ 「変換結果1-1」= 「変換結果1-2」= 「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0, 「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①~⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

備考2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図22 - 15 A/Dテスト機能の構成



注 HS (高速メイン)モードでのみ選択可能です。

22.10.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANlxx)、温度センサ出力電圧、内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- 内部の0 Vを測定するときは、A/D変換対象にAVREFMを選択。
- AVREFを測定するときは、A/D変換対象にAVREFPを選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図22 - 16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx/温度センサ出力注/内部基準電圧出力(1.45 V)注
1	0	AVREFM
1	1	AVREFP
上記以外		設定禁止

注 温度センサ出力、内部基準電圧出力(1.45 V)は、HS (高速メイン)モードでのみ選択可能です。

22.10.2 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能で ANI_{xx} / 温度センサ出力 / 内部基準電圧 (1.45 V) を測定するときは、A/Dテスト・レジスタ (ADTES) を 00H に設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-17 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P22/ANI2 端子
0	0	0	0	1	1	ANI3	P23/ANI3 端子
0	0	0	1	0	0	ANI4	P24/ANI4 端子
0	0	0	1	0	1	ANI5	P25/ANI5 端子
0	0	0	1	1	0	ANI6	P26/ANI6 端子
0	0	0	1	1	1	ANI7	P27/ANI7 端子
0	1	0	0	0	0	ANI16	P01/ANI16 端子
0	1	0	0	0	1	ANI17	P00/ANI17 端子
0	1	0	0	1	0	ANI18	P147/ANI18 端子
0	1	0	0	1	1	ANI19	P120/ANI19 端子
0	1	0	1	0	0	—	PGAO
1	0	0	0	0	0	—	温度センサ出力注
1	0	0	0	0	1	—	内部基準電圧出力 (1.45 V) 注
上記以外						設定禁止	

注 HS (高速メイン) モードでのみ選択可能です。

注意1. ビット5, 6には必ず0を設定してください。

注意2. ADISS ビットを書き換える場合は、必ず A/D 電圧コンパレータ動作停止状態 (A/D コンバータ・モード・レジスタ 0 (ADM0) の ADCS = 0, ADCE = 0) のときに行ってください。

注意3. AVREFP を A/D コンバータの + 側の基準電圧として使用している場合、ANI0 を A/D 変換チャネルとして選択しないでください。

注意4. AVREFM を A/D コンバータの - 側の基準電圧として使用している場合、ANI1 を A/D 変換チャネルとして選択しないでください。

注意5. ADISS = 1 を設定した場合、+ 側の基準電圧に内部基準電圧 (1.45 V) は使用できません。

22.11 入出力ポートのデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力ポートのデジタル出力信号レベル検出機能では、ポートが出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、端子のデジタル出力レベルをリードすることができます。

22.11.1 ポート・モード選択レジスタ(PMS)

ポートが出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 18 ポート・モード選択レジスタ(PMS)のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0
PMS0	ポートが出力モード時(PMmn = 0)にリードするデータの選択							
0	Pmnレジスタの値を読み出す							
1	端子のデジタル出力レベルを読み出す							

注意1. PMSレジスタのPMS0ビットを1に設定時は、リード・モディファイ命令でポート・レジスタ(Pm)を書き換えないでください。Pmレジスタを書き換える場合は、8ビットのMOV命令を使用してください。

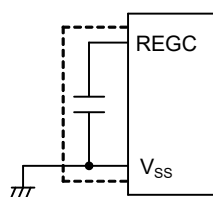
注意2. タイマRDのパルス出力強制遮断機能でハイインピーダンス状態となっている端子に対して端子のデジタル出力レベルを読み出すと、読み出した値は"0"になります。

備考 m = 0-7, 12, 14
 n = 0-7

第23章 レギュレータ

23.1 レギュレータの概要

RL78/G1Gは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μ F)を介し、V_{SS}に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、表23-1のようになります。

表23-1 レギュレータ出力電圧条件

モード	出力電圧	条件
LS (低速メイン)モード	1.8 V	—
HS (高速メイン)モード	1.8 V	STOPモード時
	2.1 V	上記以外(オンチップ・デバッグ中を含む) ^注

注 オンチップ・デバッグ中に、STOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します(1.8 Vにはなりません)。

第24章 オプション・バイト

24.1 オプション・バイトの機能

RL78/G1Gのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト(000C0H-000C2H)とオンチップ・デバッグ・オプション・バイト(000C3H)で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

24.1.1 ユーザ・オプション・バイト(000C0H-000C2H)

(1) 000C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可／禁止
 - ・HALT/STOPモード時の動作停止／可能
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - ・使用する／使用しない

(2) 000C1H

- LVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ(RESSET端子による外部リセット入力を使用)
- LVD検出レベル(VLVDH, VLVDL, VLVD)の設定

(3) 000C2H

○ フラッシュの動作モード設定

使用するメイン・システム・クロック周波数(fMAIN), 電源電圧(VDD)に応じて設定

- LS (低速メイン)モード
- HS (高速メイン)モード

○ 高速オンチップ・オシレータの周波数設定

- 1 MHz, 4 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 48 MHz から選択

24.1.2 オンチップ・デバッグ・オプション・バイト(000C3H)

○ オンチップ・デバッグ動作制御

- オンチップ・デバッグ動作禁止/許可

○ セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理

- オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

24.2 ユーザ・オプション・バイトのフォーマット

図24-1 ユーザ・オプション・バイト(000C0H)のフォーマット

アドレス : 000C0H

略号	7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON	
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用							
0	インターバル割り込みを使用しない							
1	オーバフロー時間の75% + 1/2 f _{IL} 到達時にインターバル割り込みを発生する							
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間注						
0	0	設定禁止						
0	1	50%						
1	0	75%						
1	1	100%						
WDTON	ウォッチドッグ・タイマのカウンタの動作制御							
0	カウンタ動作禁止(リセット解除後, カウント停止)							
1	カウンタ動作許可(リセット解除後, カウント開始)							
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)					
0	0	0	2 ⁶ /f _{IL} (3.71 ms)					
0	0	1	2 ⁷ /f _{IL} (7.42 ms)					
0	1	0	2 ⁸ /f _{IL} (14.84 ms)					
0	1	1	2 ⁹ /f _{IL} (29.68 ms)					
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)					
上記以外			設定禁止					
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOPモード時)							
0	HALT/STOPモード時, カウンタ動作停止注							
1	HALT/STOPモード時, カウンタ動作許可							

注 WDTBYON = 0のときは, WINDOW1, WINDOW0ビットの値に関係なく, ウインドウ・オープン期間100%となります。

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図24 - 2 ユーザ・オプション・バイト(000C1H)のフォーマット(1/2)

アドレス : 000C1H

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

• 割り込み&リセット・モード時の設定

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	立ち下がり							
2.92 V	2.86 V	2.75 V	1	0	0	1	1	1	0
3.02 V	2.96 V							0	1
4.06 V	3.98 V							0	0
上記以外			設定禁止						

• リセット・モード時の設定

検出電圧		オプション・バイト設定値						
VLVD		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり							
2.81 V	2.75 V	1	1	0	1	1	1	1
2.92 V	2.86 V			0	1	1	1	0
3.02 V	2.96 V			0	1	1	0	1
3.13 V	3.06 V			0	0	1	0	0
3.75 V	3.67V			0	1	0	0	0
4.06 V	3.98 V			0	1	1	0	0
上記以外		設定禁止						

• 割り込みモード時の設定

検出電圧		オプション・バイト設定値						
VLVD		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり							
2.81 V	2.75 V	0	1	0	1	1	1	1
2.92 V	2.86 V			0	1	1	1	0
3.02 V	2.96 V			0	1	1	0	1
3.13 V	3.06 V			0	0	1	0	0
3.75 V	3.67V			0	1	0	0	0
4.06 V	3.98 V			0	1	1	0	0
上記以外		設定禁止						

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第21章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、29.7.6 LVD回路特性を参照してください。

図24 - 3 ユーザ・オプション・バイト(000C1H)のフォーマット(2/2)

アドレス : 000C1H

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDオフ時の設定

検出電圧		オプション・バイト設定値						
VLVDH		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり							
—	—	0/1	1	1	×	×	×	×
上記以外		設定禁止						

注意1. ビット4には、必ず1を書き込んでください。

注意2. LVDオフの場合は外部リセットを行う必要があります。外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、動作電圧範囲内の期間に10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。また、電源立ち上げ後は、動作電圧範囲外で $\overline{\text{RESET}}$ 端子にハイ・レベルを入力しないでください。

備考 × : don't care

図24 - 4 ユーザ・オプション・バイト(000C2H)のフォーマット

アドレス : 000C2H

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
CMODE1	CMODE0	フラッシュの動作モード設定					
					動作周波数範囲 (f _{MAIN})	動作電圧範囲 (V _{DD})	
1	0	LS (低速メイン)モード			1 MHz~8 MHz	2.7 V~5.5 V	
1	1	HS (高速メイン)モード			1 MHz~24 MHz	2.7 V~5.5 V	
上記以外		設定禁止					
FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロックの周波数		
					f _{HOCO}	f _{IH}	
1	0	0	0	0	48 MHz	24 MHz	
0	0	0	0	0	24 MHz	24 MHz	
0	1	0	0	1	16 MHz	16 MHz	
0	0	0	0	1	12 MHz	12 MHz	
0	1	0	1	0	8 MHz	8 MHz	
0	1	0	1	1	4 MHz	4 MHz	
0	1	1	0	1	1 MHz	1 MHz	
上記以外					設定禁止		

注意 ビット5には、必ず1を書き込んでください。

24.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図24-5 オンチップ・デバッグ・オプション・バイト(000C3H)のフォーマット

アドレス : 000C3H

略号	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD
OCDENSET	OCDERSD	オンチップ・デバッグ動作制御						
0	0	オンチップ・デバッグ動作禁止						
0	1	設定禁止						
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する						
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去しない						

注意 ビット7, 0 (OCDENSET, OCDERSD)のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値(0, 1, 0)を設定してください。

24.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にアセンブラのリンカ・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間2 ⁹ /fIL, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	7AH	;VLVDLに2.75 Vを選択 ;VLVDHに2.92 V/2.86 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB	ADH	;フラッシュの動作モードにLS (低速メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB	85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。

第25章 フラッシュ・メモリ

RL78マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。



注 コード・フラッシュ・メモリが8Kバイトの製品は使用不可

フラッシュ・メモリのプログラミング方法は、次の3通りあります。

- フラッシュ・メモリ・プログラマによる書き込み(25.1参照)

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

- 外部デバイス(UART内蔵)による書き込み(25.2参照)

外部デバイス(マイコンやASIC)とのUART通信を使用してオンボード上で書き込みができます。

- セルフ・プログラミング(25.6参照)

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

25.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラ内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP5, FL-PR5
- E1オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラ実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラ実装する前に専用プログラム・アダプタ (FAシリーズ)などでフラッシュ・メモリに書き込みます。

備考 FL-PR5, FAシリーズは、(株)内藤電誠町田製作所の製品です。

表 25 - 1 RL78/G1Gと専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号		
					30ピン	32ピン	44ピン
信号名		入出力	端子機能	端子名	LSSOP	LQFP (7×7)	LQFP (10×10)
PG-FP5, FL-PR5	E1オンチップデバッグエミュレータ						
—	TOOL0	入出力	送受信信号	TOOL0/ P40	5	1	2
SI/RxD	—	入出力	送受信信号	—	—	—	—
SCK	—	出力	—	—	—	—	—
CLK	—	出力	—	—	—	—	—
—	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	6	2	3
/RESET	—	出力	—	—	—	—	—
FLMD0	—	出力	モード信号	—	—	—	—
VDD		入出力	VDD電圧生成/電源監視	VDD	12	8	11
GND		—	グラウンド	VSS	11	7	10
				REGC注	10	6	9
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD	12	8	11

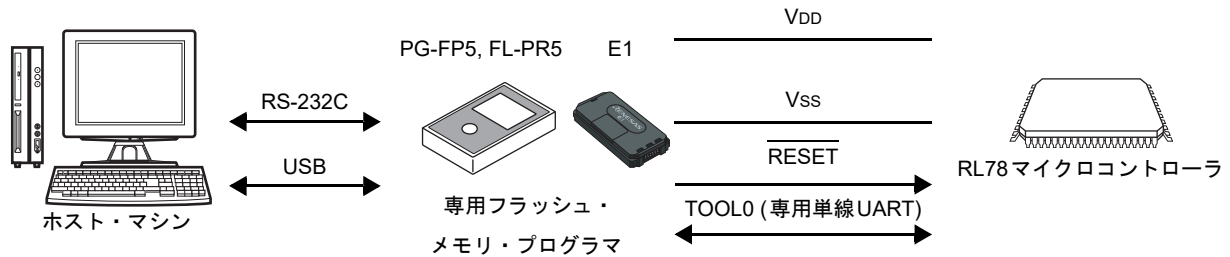
注 REGC端子はコンデンサ(0.47~1μF)を介してグラウンドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

25.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図25-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

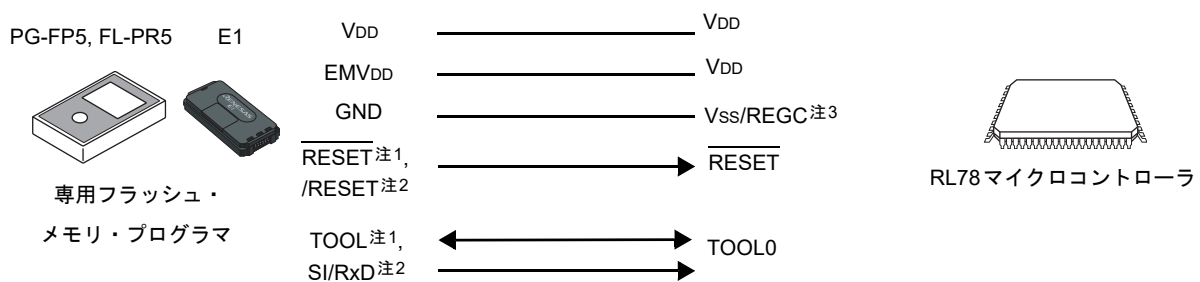
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ(FAシリーズ)が必要です。

25.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図25-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1オンチップデバッグエミュレータ使用時。

注2. PG-FP5, FL-PR5使用時。

注3. REGC端子はコンデンサ(0.47~1 μF)を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはE1オンチップデバッグエミュレータのマニュアルを参照してください。

表25-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78 マイクロコントローラ		
信号名		入出力	端子機能	端子名注2
PG-FP5, FL-PR5	E1オンチップデバッグエミュレータ			
VDD		入出力	VDD電圧生成／電圧監視	VDD
GND		—	グラウンド	VSS, REGC注1
EMVDD		—	TOOL0端子駆動電源	VDD
/RESET	—	出力	リセット信号	$\overline{\text{RESET}}$
—	$\overline{\text{RESET}}$	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	出力	送受信信号	

注1. REGC端子はコンデンサ(0.47~1 μF)を介してグラウンドに接続してください。

注2. 接続先端子は、製品によって異なります。詳細は、表25-1を参照してください。

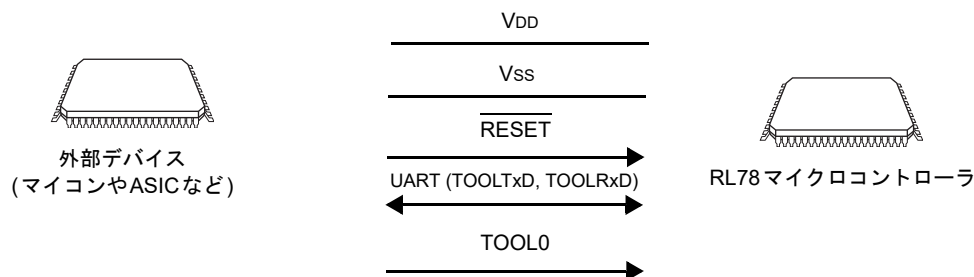
25.2 外部デバイス(UART内蔵)によるシリアル・プログラミング

オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス(マイコンやASIC)を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

25.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図25-3 フラッシュ・メモリにプログラムを書き込むための環境



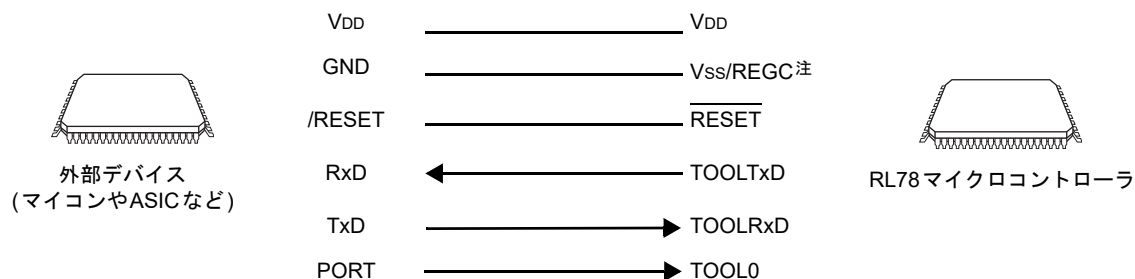
外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

25.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図25 - 4 外部デバイスとの通信



注 REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表25 - 3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD電圧生成／電圧監視	VDD
GND	—	グラウンド	Vss, REGC注
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注 REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

25.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、25.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

25.3.1 P40/TOOL0 端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 k Ω の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合は、以下の方法で使用してください。

入力時： 端子リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。また、プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

出力時： プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

備考1. t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0 端子をロウ・レベルに保持する時間。29.11 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

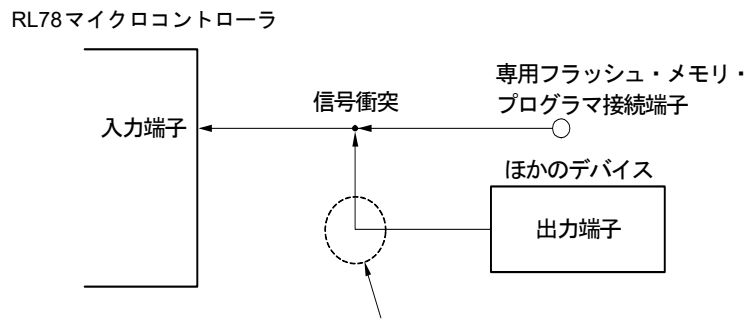
備考2. RL78 マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0 端子)を使用するので、SAUの端子は使用しません。

25.3.2 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図25 - 5 信号の衝突 (RESET 端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

25.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、もしくは抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

25.3.4 REGC 端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ(0.47~1 μF)を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

25.3.5 X1, X2 端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック (f_{IH}) を使用します。

25.3.6 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラムのV_{DD}に、V_{SS}端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

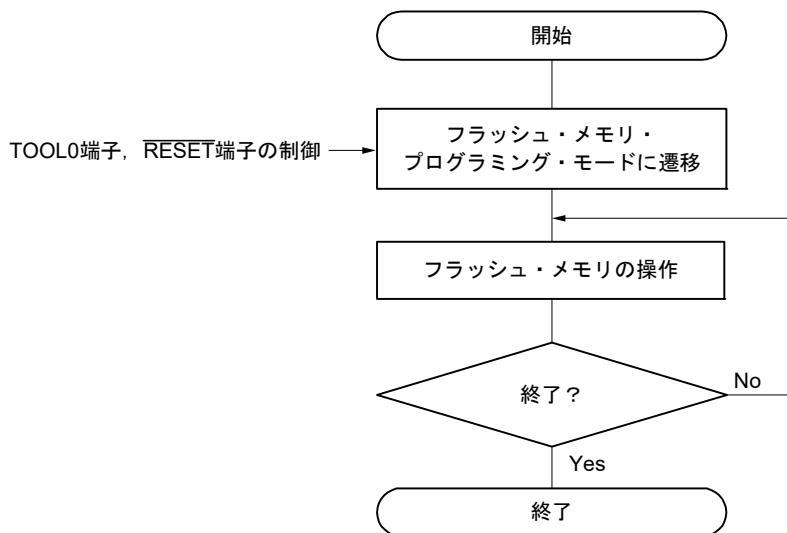
ただしフラッシュ・メモリ・プログラムによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムで電圧監視をするため、V_{DD}、V_{SS}端子はフラッシュ・メモリ・プログラムのV_{DD}、GNDと必ず接続してください。

25.4 プログラミング方法

25.4.1 フラッシュ・メモリ制御

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図25-6 フラッシュ・メモリの操作手順



25.4.2 フラッシュ・メモリ・プログラミング・モード

フラッシュ・メモリの内容を書き換えるときは、RL78/G1Gをフラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

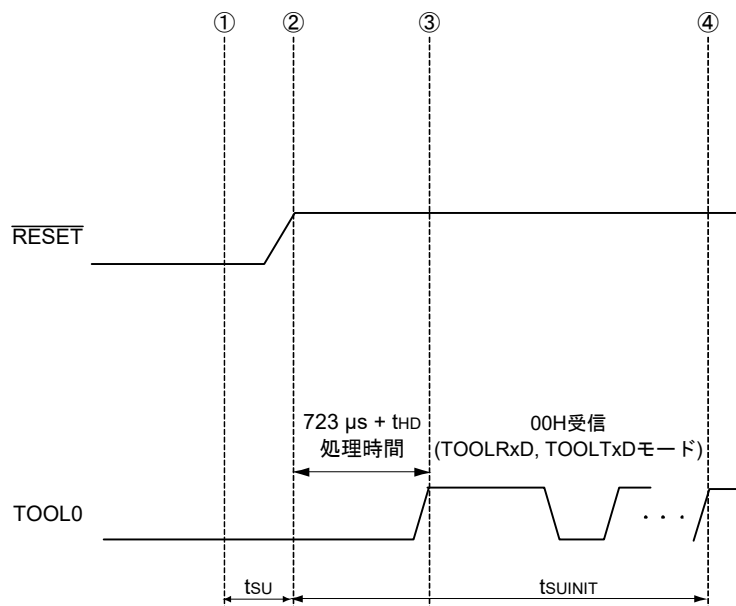
<専用フラッシュ・メモリ・プログラマを使用してプログラミングする場合>

専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

<外部デバイスを使用してプログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します。リセット解除から1 ms + ソフト処理が終わるまで、TOOL0端子をロウ・レベルに保持したのち、外部デバイスからUART通信でデータ“00H”を送信してください。UARTの初期設定通信は、リセット解除から100 ms以内に完了してください。

図25-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるポー・レート設定完了

備考 tsuINIT : この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tsu : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD : 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

詳細は、29.11 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

表 25 - 4 リセット解除時の TOOL0 端子の動作モードとの関係

TOOL0	動作モード
V _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表 25 - 5 プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

モード	書き込み／消去／ベリファイ実行可能電圧
ワイド・ボルテージ・モード	2.7 V ~ 5.5 V
フルスピード・モード注	

注 オプション・バイト 000C2H の CMODE1, CMODE0 = 1, 1 の場合のみ設定可能

書き込みを行う電圧範囲に合わせて、いずれかのモードを設定してください。専用フラッシュ・メモリ・プログラマではGUI上で電圧設定を行うことでモードが自動選択されます。

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み／消去／ベリファイを行ううえで制限事項はありません。

備考2. 通信コマンドの詳細は、25.4.4 通信コマンドを参照してください。

25.4.3 通信方式

RL78 マイクロコントローラの通信方式は、次のようになります。

表 25 - 6 通信方式

通信方式	Standard 設定注 ¹				使用端子
	Port	Speed注 ²	Frequency	Multiply Rate	
単線 UART (フラッシュ・メモリ・プログラマ使用時、または外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
UART0 (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

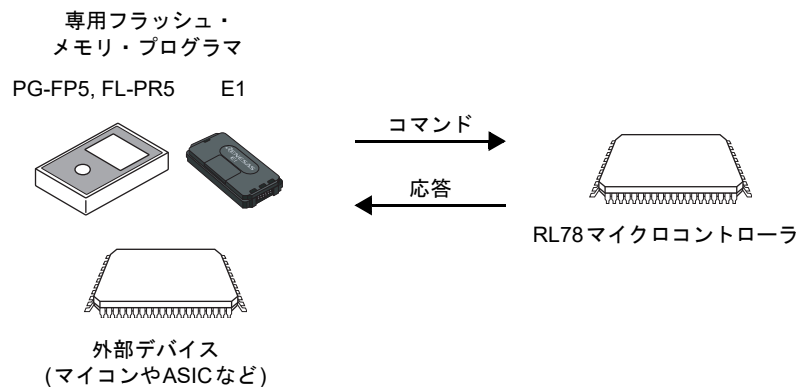
注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2. UART通信にはポー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

25.4.4 通信コマンド

RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマまたは外部デバイスは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、RL78マイクロコントローラから専用フラッシュ・メモリ・プログラマまたは外部デバイスへ送られる信号を「応答」と呼びます。

図25-8 通信コマンド



RL78マイクロコントローラのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマまたは外部デバイスから発行され、RL78マイクロコントローラがコマンドに対応した各処理を行います。

表25-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。注
情報取得	Silicon Signature	RL78マイクロコントローラ情報(品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど)を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

また、RL78マイクロコントローラは、専用フラッシュ・メモリ・プログラマまたは外部デバイスから発行されたコマンドに対して、応答を返します。RL78マイクロコントローラが送出する応答名称を次に示します。

表 25 - 8 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

25.4.5 シグネチャ・データの説明

“Silicon Signature” コマンドが実行されると、製品情報(品名、ファームウェア・バージョン)を取得することができます。

表 25 - 9 シグネチャ・データ一覧、表 25 - 10 シグネチャ・データ例を示します。

表 25 - 9 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名(ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-03FFFFH (16 KB) → FFH, 3FH, 00H)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表 25 - 10 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ(16進数)
デバイス・コード	シリアル番号	3バイト	10 00 06
デバイス名	R5F11EF8	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 31 = “1” 45 = “E” 46 = “F” 38 = “8” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-01FFFFH (8 KB)	3バイト	FF 1F 00
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

25.5 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Set コマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ブロック消去禁止

オンボード／オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

オンボード／オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。セキュリティ設定後、Security Release コマンドによる解除は、リセットで有効になります。

- ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード／オフボード・プログラミングのみで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 25-11 に示します。

注意 フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は25.6.1を参照)。

表25 - 11 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は25.6.1を参照)。

表25 - 12 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		セキュリティ・リリース・コマンドを実行する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 セキュリティ・リリース・コマンドは、「ブロック消去禁止」および「ブート・クラスタ0の書き換え禁止」に設定されておらず、コード・フラッシュ領域がブランクである場合に有効となります。

25.6 セルフ書き込みによるフラッシュ・メモリ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意1. セルフ・プログラミング中は、割り込みを禁止です。DI 命令により IE フラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。

割り込みを許可する場合は、EI 命令により IE フラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。

注意2. RAM パリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、「使用する RAM 領域 + 10 バイト」の領域を、書き換える前に必ず初期化してください。

注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。

高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP = 0) させ、ユーザ・オプション・バイト (000C2H) の FRQSEL4 が 0 の場合は 30 μ s、FRQSEL4 が 1 の場合は 80 μ s 経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考1. セルフ・プログラミング機能の詳細は、RL78 マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (R01US0050) を参照してください。

備考2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラマによる書き込み時同様、次の2つのモードがあります。

表 25 - 13 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

モード	書き込み/消去/ベリファイ実行可能電圧	書き込み周波数
ワイド・ボルテージ・モード	2.7 V ~ 5.5 V	8 MHz (MAX.)
フルスピード・モード注		24 MHz (MAX.)

注 オプション・バイト 000C2H の CMODE1, CMODE0 = 1, 1 の場合のみ設定可能

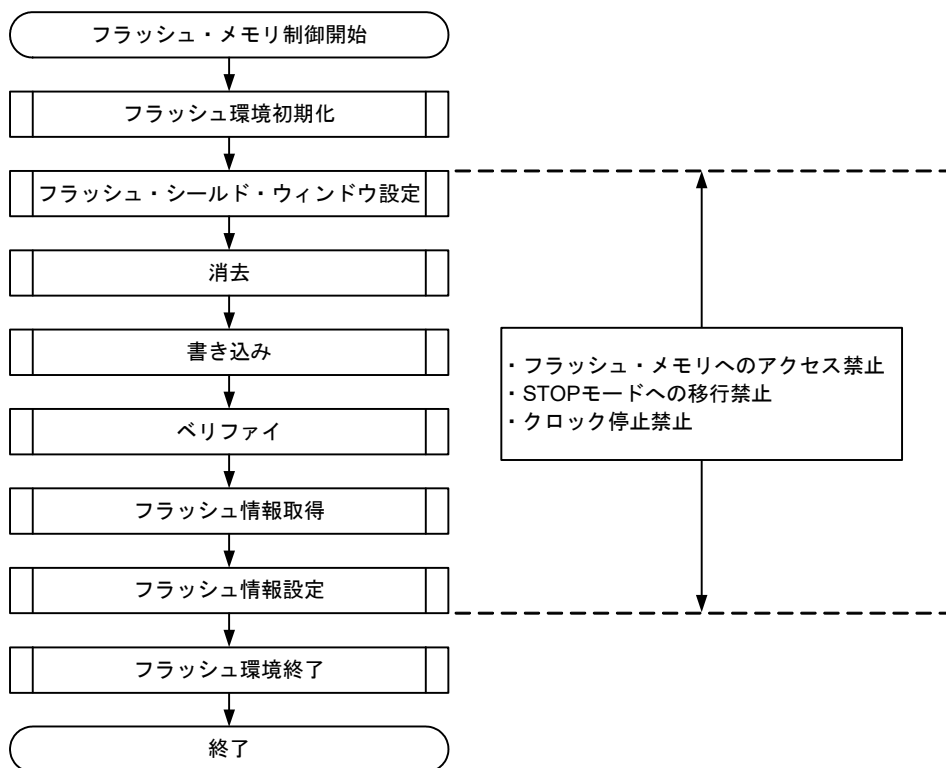
書き込みを行う電圧範囲に合わせて、いずれかのモードを設定してください。ワイド・ボルテージ・モード、フルスピード・モードを設定する場合は、当社提供のセルフ・プログラミング・ライブラリの関数 "FSL_Init" 実行時に、引数である "fsl_flash_voltage_u08" が 00H 以外であればワイド・ボルテージ・モードに、00H であればフルスピード・モードに設定されます。

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

備考2. セルフ・プログラミング機能の詳細は、RL78 マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (R01US0050) を参照してください。

次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図25-9 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れ



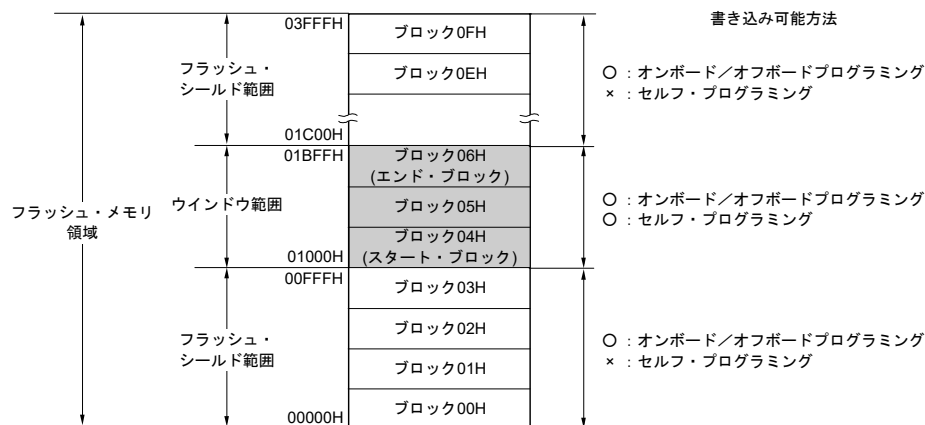
25.6.1 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード／オフボード・プログラミングのみで設定／変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、オンボード／オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図25-10 フラッシュ・シールド・ウインドウの設定例
(対象デバイス：R5F11EAA, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です。

表25-14 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
オンボード／オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード／オフボード・プログラミング時の書き込み／消去を禁止したい場合には、25.5 セキュリティ設定を参照してください。

25.7 PG-FP5使用時の各コマンド処理時間(参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合の各コマンド処理時間(参考値)を次に示します。

表25-15 PG-FP5使用時の各コマンド処理時間(参考値)

PG-FP5のコマンド	Port: TOOL0 (UART)	
	Speed: 1M bps	
	8 Kバイト	16 Kバイト
消去	1 s	1 s
書き込み	1 s	1.5 s
ベリファイ	1 s	1.5 s
消去後、書き込み	1 s	1.5 s

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port: TOOL0 (単線UART)

Speed: 1,000,000 bps

Mode: フルスピード・モード(フラッシュ動作モード: HS(高速メイン)モード)

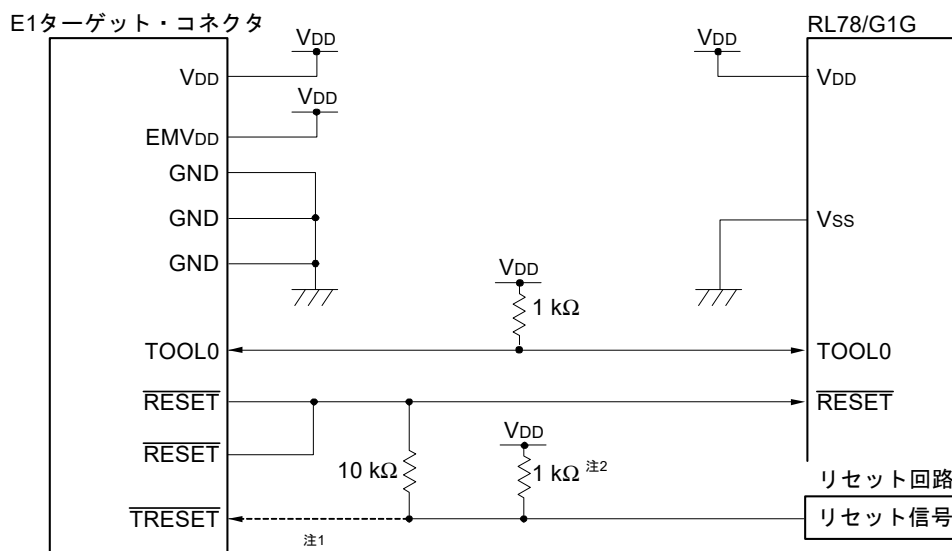
第26章 オンチップ・デバッグ機能

26.1 E1オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、 $\overline{\text{RESET}}$ 、TOOL0、 V_{SS} 端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超過してしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図26-1 E1オンチップデバッグエミュレータとの接続例



注1. フラッシュ・プログラミング時、点線部の接続は必要ありません。

注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

26.2 オンチップ・デバッグ・セキュリティ ID

RL78 マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第24章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。

表26 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード注

注 “FFFFFFFFFFFFFFFFFFFFH”は設定できません。

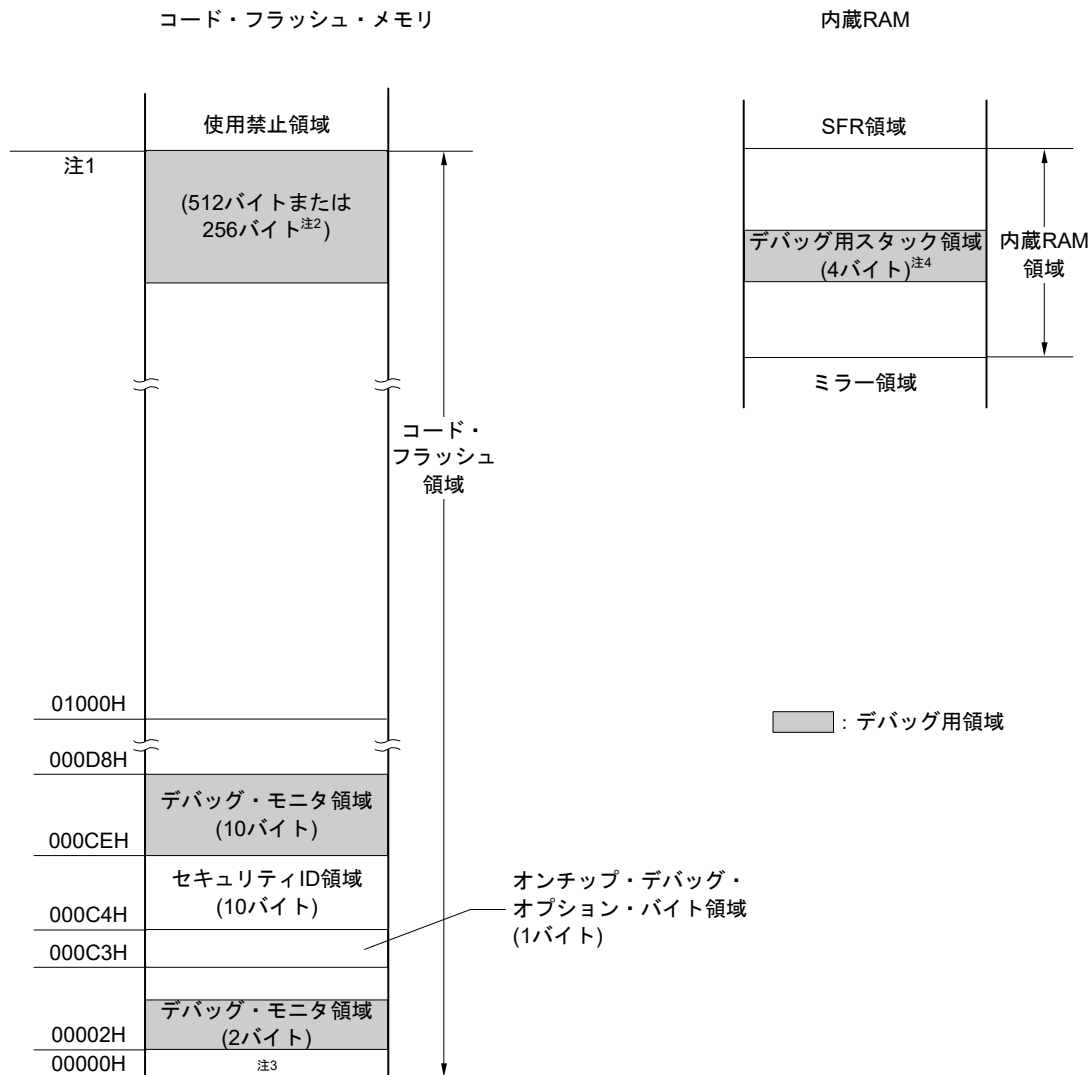
26.3 ユーザ資源の確保

RL78 マイクロコントローラとE1オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンカ・オプションで設定することもできます。

(1) メモリ空間の確保

図26 - 2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図26-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名(コード・フラッシュ・メモリ容量)	注1のアドレス
R5F11Ex8 (x = A, B, F)	01FFFH
R5F11ExA (x = A, B, F)	03FFFH

注2. リアルタイムRAMモニタ(RRM)機能, Dynamic Memory Modification (DMM)機能を使用しない場合は256バイトになります。

注3. デバッグ時, リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため, スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し, 4バイト余分に消費します。

セルフプログラミングを行う場合は, 12バイト余分に消費します。

第27章 10進補正(BCD)回路

27.1 10進補正回路の機能

BCDコード(2進化10進数)とBCDコード(2進化10進数)の加減算結果を、BCDコード(2進化10進数)で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ(BCDADJ)を加減算することで10進補正演算結果が求められます。

27.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- BCD補正結果レジスタ(BCDADJ)

27.2.1 BCD補正結果レジスタ(BCDADJ)

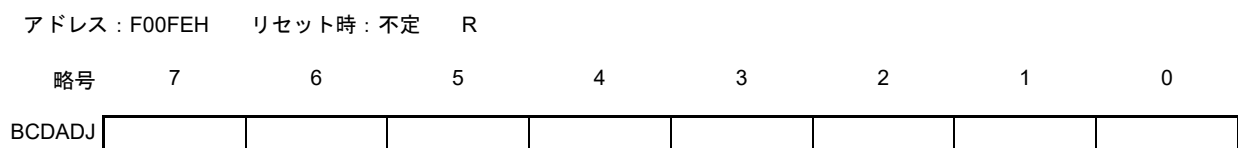
BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図27-1 BCD補正結果レジスタ(BCDADJ)のフォーマット



27.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

- ①加算したいBCDコード値(被加算値)をAレジスタに格納する。
- ②Aレジスタと第2オペランドの値(もう1つの加算したいBCDコード値, 加算値)を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での加算結果)とBCDADJレジスタの値(補正値)を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ;①	99H	—	—	—
ADD A, #89H ;②	22H	1	1	66H
ADD A, !BCDADJ ;③	88H	1	0	—

例2 $85 + 15 = 100$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ;①	85H	—	—	—
ADD A, #15H ;②	9AH	0	0	66H
ADD A, !BCDADJ ;③	00H	1	0	—

例3 $80 + 80 = 160$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ;①	80H	—	—	—
ADD A, #80H ;②	00H	1	0	60H
ADD A, !BCDADJ ;③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ①減算されるBCDコード値(被減算値)をAレジスタに格納する。
- ②Aレジスタから第2オペランドの値(減算するBCDコード値, 減算値)を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での減算結果)からBCDADJレジスタの値(補正值)を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令		Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #91H ;①	91H	—	—	—
SUB	A, #52H ;②	3FH	0	1	06H
SUB	A, !BCDADJ ;③	39H	0	0	—

第28章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、RL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015)を参照してください。

28.1 凡例

28.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様によります)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- #: イミーディエト・データ指定
- !: 16ビット絶対アドレス指定
- !!: 20ビット絶対アドレス指定
- \$: 8ビット相対アドレス指定
- \$!: 16ビット相対アドレス指定
- []: 間接アドレス指定
- ES: 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [], ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称(X, A, Cなど)、絶対名称(表28-1の中のカッコ内の名称, R0, R1, R2など)のいずれの形式でも記述可能です。

表28-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号(SFR略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号(16ビット操作可能なSFR略号。偶数アドレスのみ注) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル(偶数アドレスのみ注)
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル(16ビット・データ時は偶数アドレスのみ注)
addr5	0080H-00BFH イミーディエト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-5～表3-7 特殊機能レジスタ(SFR)一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-8～表3-13 拡張特殊機能レジスタ(2nd SFR)一覧を参照してください。

28.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表28-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	()内のアドレスまたはレジスタの内容で示されるメモリの内容
XH, XL	16ビット・レジスタの場合はXH=上位8ビット, XL=下位8ビット
Xs, XH, XL	20ビット・レジスタの場合はXs(ビット19-16), XH(ビット15-8), XL(ビット7-0)
∧	論理積(AND)
∨	論理和(OR)
⊖	排他的論理和(exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ(0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ(ディスプレイースメント値)
jdisp16	符号付き16ビット・データ(ディスプレイースメント値)

28.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表 28 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

28.1.4 PREFIX命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F000H-FFFFFH の 64 Kバイト空間から、ES レジスタの値を付加した 00000H-FFFFFH の 1 Mバイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みを受け付けることはありません。

表 28 - 4 PREFIX 命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A などで事前に設定しておいてください。

28.2 オペレーション一覧

表 28 - 5 オペレーション一覧(1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	r, #byte	2	1	—	r ← byte				
		PSW, #byte	3	3	—	PSW ← byte	x	x	x	
		CS, #byte	3	1	—	CS ← byte				
		ES, #byte	2	1	—	ES ← byte				
		!addr16, #byte	4	1	—	(addr16) ← byte				
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte				
		saddr, #byte	3	1	—	(saddr) ← byte				
		sfr, #byte	3	1	—	sfr ← byte				
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte				
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte				
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte				
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte				
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte				
		word[B], #byte	4	1	—	(B + word) ← byte				
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte				
		word[C], #byte	4	1	—	(C + word) ← byte				
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte				
		word[BC], #byte	4	1	—	(BC + word) ← byte				
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte				
		A, r	注3	1	1	—	A ← r			
		r, A	注3	1	1	—	r ← A			
		A, PSW		2	1	—	A ← PSW			
		PSW, A		2	3	—	PSW ← A	x	x	x
		A, CS		2	1	—	A ← CS			
		CS, A		2	1	—	CS ← A			
		A, ES		2	1	—	A ← ES			
		ES, A		2	1	—	ES ← A			
		A, !addr16		3	1	4	A ← (addr16)			
		A, ES:!addr16		4	2	5	A ← (ES, addr16)			
		!addr16, A		3	1	—	(addr16) ← A			
ES:!addr16, A		4	2	—	(ES, addr16) ← A					
A, saddr		2	1	—	A ← (saddr)					
saddr, A		2	1	—	(saddr) ← A					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表28-6 オペレーション一覧(2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デ ー タ 転 送	MOV	A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (\text{DE})$			
		[DE], A	1	1	—	$(\text{DE}) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (\text{ES}, \text{DE})$			
		ES:[DE], A	2	2	—	$(\text{ES}, \text{DE}) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (\text{HL})$			
		[HL], A	1	1	—	$(\text{HL}) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (\text{ES}, \text{HL})$			
		ES:[HL], A	2	2	—	$(\text{ES}, \text{HL}) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (\text{DE} + \text{byte})$			
		[DE+byte], A	2	1	—	$(\text{DE} + \text{byte}) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{DE}) + \text{byte})$			
		ES:[DE+byte], A	3	2	—	$((\text{ES}, \text{DE}) + \text{byte}) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (\text{HL} + \text{byte})$			
		[HL+byte], A	2	1	—	$(\text{HL} + \text{byte}) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{HL}) + \text{byte})$			
		ES:[HL+byte], A	3	2	—	$((\text{ES}, \text{HL}) + \text{byte}) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (\text{SP} + \text{byte})$			
		[SP+byte], A	2	1	—	$(\text{SP} + \text{byte}) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (\text{B} + \text{word})$			
		word[B], A	3	1	—	$(\text{B} + \text{word}) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((\text{ES}, \text{B}) + \text{word})$			
		ES:word[B], A	4	2	—	$((\text{ES}, \text{B}) + \text{word}) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (\text{C} + \text{word})$			
		word[C], A	3	1	—	$(\text{C} + \text{word}) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((\text{ES}, \text{C}) + \text{word})$			
		ES:word[C], A	4	2	—	$((\text{ES}, \text{C}) + \text{word}) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (\text{BC} + \text{word})$			
		word[BC], A	3	1	—	$(\text{BC} + \text{word}) \leftarrow A$			
		A, ES:word[BC]	4	2	5	$A \leftarrow ((\text{ES}, \text{BC}) + \text{word})$			
		ES:word[BC], A	4	2	—	$((\text{ES}, \text{BC}) + \text{word}) \leftarrow A$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表 28 - 7 オペレーション一覧 (3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$				
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$				
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$				
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$				
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$				
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$				
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$				
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$				
		X, !addr16	3	1	4	$X \leftarrow (addr16)$				
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$				
		X, saddr	2	1	—	$X \leftarrow (saddr)$				
		B, !addr16	3	1	4	$B \leftarrow (addr16)$				
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$				
		B, saddr	2	1	—	$B \leftarrow (saddr)$				
		C, !addr16	3	1	4	$C \leftarrow (addr16)$				
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$				
	C, saddr	2	1	—	$C \leftarrow (saddr)$					
	ES, saddr	3	1	—	$ES \leftarrow (saddr)$					
	XCH	A, r	注3	1 (r = X) 2 (r = X 以外)	1	—	$A \leftrightarrow r$			
		A, !addr16		4	2	—	$A \leftrightarrow (addr16)$			
A, ES:!addr16			5	3	—	$A \leftrightarrow (ES, addr16)$				
A, saddr			3	2	—	$A \leftrightarrow (saddr)$				
A, sfr			3	2	—	$A \leftrightarrow sfr$				
A, [DE]			2	2	—	$A \leftrightarrow (DE)$				
A, ES:[DE]			3	3	—	$A \leftrightarrow (ES, DE)$				
A, [HL]			2	2	—	$A \leftrightarrow (HL)$				
A, ES:[HL]			3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]			3	2	—	$A \leftrightarrow (DE + byte)$				
A, ES:[DE+byte]			4	3	—	$A \leftrightarrow ((ES, DE) + byte)$				
A, [HL+byte]			3	2	—	$A \leftrightarrow (HL + byte)$				
A, ES:[HL+byte]			4	3	—	$A \leftrightarrow ((ES, HL) + byte)$				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 28 - 8 オペレーション一覧(4/18)

命令群	ニモニック	オペラント	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8 ビット ・ デー タ 転 送	XCH	A, [HL+B]	2	2	—	$A \leftrightarrow (HL + B)$				
		A, ES:[HL+B]	3	3	—	$A \leftrightarrow ((ES, HL) + B)$				
		A, [HL+C]	2	2	—	$A \leftrightarrow (HL + C)$				
		A, ES:[HL+C]	3	3	—	$A \leftrightarrow ((ES, HL) + C)$				
	ONEB	A	1	1	—	$A \leftarrow 01H$				
		X	1	1	—	$X \leftarrow 01H$				
		B	1	1	—	$B \leftarrow 01H$				
		C	1	1	—	$C \leftarrow 01H$				
		!addr16	3	1	—	$(addr16) \leftarrow 01H$				
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 01H$				
		saddr	2	1	—	$(saddr) \leftarrow 01H$				
	CLR B	A	1	1	—	$A \leftarrow 00H$				
		X	1	1	—	$X \leftarrow 00H$				
		B	1	1	—	$B \leftarrow 00H$				
		C	1	1	—	$C \leftarrow 00H$				
		!addr16	3	1	—	$(addr16) \leftarrow 00H$				
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 00H$				
		saddr	2	1	—	$(saddr) \leftarrow 00H$				
	MOVS	[HL+byte], X	3	1	—	$(HL + byte) \leftarrow X$	×		×	
		ES:[HL+byte], X	4	2	—	$(ES, HL + byte) \leftarrow X$	×		×	
	16 ビット ・ デー タ 転 送	MOVW	rp, #word	3	1	—	$rp \leftarrow word$			
			saddrp, #word	4	1	—	$(saddrp) \leftarrow word$			
sfrp, #word			4	1	—	$sfrp \leftarrow word$				
AX, rp 注3			1	1	—	$AX \leftarrow rp$				
rp, AX 注3			1	1	—	$rp \leftarrow AX$				
AX, !addr16			3	1	4	$AX \leftarrow (addr16)$				
!addr16, AX			3	1	—	$(addr16) \leftarrow AX$				
AX, ES:!addr16			4	2	5	$AX \leftarrow (ES, addr16)$				
ES:!addr16, AX			4	2	—	$(ES, addr16) \leftarrow AX$				
AX, saddrp			2	1	—	$AX \leftarrow (saddrp)$				
saddrp, AX			2	1	—	$(saddrp) \leftarrow AX$				
AX, sfrp			2	1	—	$AX \leftarrow sfrp$				
sfrp, AX			2	1	—	$sfrp \leftarrow AX$				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。
CPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 28 - 9 オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ データ 転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)			
		ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表28 - 10 オペレーション一覧(6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット・ データ 転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
BC		1	1	—	BC ← 0000H				
8 ビット 演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	x	x	x
		A, r 注4	2	1	—	A, CY ← A + r	x	x	x
		r, A	2	1	—	r, CY ← r + A	x	x	x
		A, !addr16	3	1	4	A, CY ← A + (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A + (saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A + (HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	x	x	x
A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

注4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表28 - 11 オペレーション一覧(7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	x	x	x
		A, laddr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	x	x	x
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	x	x	x
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	x	x	x	
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A$	x	x	x
		A, laddr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	x	x	x
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	x	x	x
A, ES:[HL+byte]		3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	x	x	x	
A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	x	x	x		
A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	x	x	x		
A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	x	x	x		
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表28 - 12 オペレーション一覧(8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	A, CY ← A - byte - CY	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) - byte - CY	x	x	x
		A, r 注3	2	1	—	A, CY ← A - r - CY	x	x	x
		r, A	2	1	—	r, CY ← r - A - CY	x	x	x
		A, laddr16	3	1	4	A, CY ← A - (addr16) - CY	x	x	x
		A, ES:laddr16	4	2	5	A, CY ← A - (ES, addr16) - CY	x	x	x
		A, saddr	2	1	—	A, CY ← A - (saddr) - CY	x	x	x
		A, [HL]	1	1	4	A, CY ← A - (HL) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A - (ES, HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A - (HL + byte) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A - ((ES, HL) + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A - (HL + B) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A - ((ES, HL) + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A - (HL + C) - CY	x	x	x
		A, ES:[HL+C]	3	2	5	A, CY ← A - ((ES:HL) + C) - CY	x	x	x
	AND	A, #byte	2	1	—	A ← A ∧ byte	x		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∧ byte	x		
		A, r 注3	2	1	—	A ← A ∧ r	x		
		r, A	2	1	—	r ← r ∧ A	x		
		A, laddr16	3	1	4	A ← A ∧ (addr16)	x		
		A, ES:laddr16	4	2	5	A ← A ∧ (ES:addr16)	x		
		A, saddr	2	1	—	A ← A ∧ (saddr)	x		
		A, [HL]	1	1	4	A ← A ∧ (HL)	x		
		A, ES:[HL]	2	2	5	A ← A ∧ (ES:HL)	x		
		A, [HL+byte]	2	1	4	A ← A ∧ (HL + byte)	x		
A, ES:[HL+byte]		3	2	5	A ← A ∧ ((ES:HL) + byte)	x			
A, [HL+B]		2	1	4	A ← A ∧ (HL + B)	x			
A, ES:[HL+B]		3	2	5	A ← A ∧ ((ES:HL) + B)	x			
A, [HL+C]		2	1	4	A ← A ∧ (HL + C)	x			
A, ES:[HL+C]	3	2	5	A ← A ∧ ((ES:HL) + C)	x				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表28 - 13 オペレーション一覧(9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		x	
		A, r 注3	2	1	—	$A \leftarrow A \vee r$		x	
		r, A	2	1	—	$r \leftarrow r \vee A$		x	
		A, laddr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$		x	
		A, ES:laddr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$		x	
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$		x	
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$		x	
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$		x	
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$		x	
	A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$		x		
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$		x	
		A, r 注3	2	1	—	$A \leftarrow A \nabla r$		x	
		r, A	2	1	—	$r \leftarrow r \nabla A$		x	
		A, laddr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$		x	
		A, ES:laddr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$		x	
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$		x	
A, [HL+B]		2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$		x		
A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$		x			
A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$		x			
A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$		x			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表28 - 14 オペレーション一覧(10/18)

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	CMP	A, #byte	2	1	—	A - byte	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x
		saddr, #byte	3	1	—	(saddr) - byte	x	x	x
		A, r 注3	2	1	—	A - r	x	x	x
		r, A	2	1	—	r - A	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, saddr	2	1	—	A - (saddr)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x
	CMP0	A	1	1	—	A - 00H	x	0	0
		X	1	1	—	X - 00H	x	0	0
		B	1	1	—	B - 00H	x	0	0
		C	1	1	—	C - 00H	x	0	0
		!addr16	3	1	4	(addr16) - 00H	x	0	0
		ES:!addr16	4	2	5	(ES:addr16) - 00H	x	0	0
		saddr	2	1	—	(saddr) - 00H	x	0	0
	CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x
		X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 28 - 15 オペレーション一覧(11/18)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	x	x	x
		AX, AX	1	1	—	AX, CY ← AX + AX	x	x	x
		AX, BC	1	1	—	AX, CY ← AX + BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX + DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX + HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	—	AX, CY ← AX - word	x	x	x
		AX, BC	1	1	—	AX, CY ← AX - BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX - DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX - HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX - (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX - (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX - (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX - (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX - ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	—	AX - word	x	x	x
		AX, BC	1	1	—	AX - BC	x	x	x
		AX, DE	1	1	—	AX - DE	x	x	x
		AX, HL	1	1	—	AX - HL	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX - (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表28 - 16 オペレーション一覧(12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times X \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times X \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)		×	×
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)		×	×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック(fCLK)数。

注意 割り込み処理中にDIVHU、DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。

ただし、RAM領域での命令実行を除きアセンブリ言語ソースにてDIVHU、DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU、DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU、DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- GNURL78 (KPIT社 コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

備考2. MACR : 積和演算累計レジスタ (MACRH, MACRL)

表 28 - 17 オペレーション一覧(13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r + 1$	x	x	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	x	x	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	x	x	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	x	x	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$	x	x	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	x	x	
	DEC	r	1	1	—	$r \leftarrow r - 1$	x	x	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	x	x	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	x	x	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	x	x	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$	x	x	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	x	x	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	$rp \leftarrow rp - 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			x
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			x
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			x
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			x
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			x
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			x
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			x
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			x
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

備考2. cntはビット・シフト数です。

表28 - 18 オペレーション一覧(14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A7 \leftarrow A0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A0 \leftarrow A7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A0, A7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A7, A0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
		BC, 1	2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \vee (HL).bit$			×
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 28 - 19 オペレーション一覧(15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			x
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			x
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			x
	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
saddr.bit		3	2	—	$(saddr).bit \leftarrow 0$				
sfr.bit		3	2	—	$sfr.bit \leftarrow 0$				
[HL].bit		2	2	—	$(HL).bit \leftarrow 0$				
ES:[HL].bit		3	3	—	$(ES, HL).bit \leftarrow 0$				
SET1	CY	2	1	—	$CY \leftarrow 1$			1	
CLR1	CY	2	1	—	$CY \leftarrow 0$			0	
NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 28 - 20 オペレーション一覧(16/18)

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC ← CS, rp, SP ← SP - 4			
		\$!addr20	3	3	—	(SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← PC + 3 + jdisp16, SP ← SP - 4			
		!addr16	3	3	—	(SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← 0000, addr16, SP ← SP - 4			
		!!addr20	4	3	—	(SP - 2) ← (PC + 4) _s , (SP - 3) ← (PC + 4) _H , (SP - 4) ← (PC + 4) _L , PC ← addr20, SP ← SP - 4			
	CALLT	[addr5]	2	5	—	(SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PC _H ← (0000, addr5 + 1), PC _L ← (0000, addr5), SP ← SP - 4			
	BRK	—	2	5	—	(SP - 1) ← PSW, (SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP - 4, IE ← 0			
	RET	—	1	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), SP ← SP + 4			
	RETI	—	2	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R
	RETB	—	2	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 28 - 21 オペレーション一覧(17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP - 1) ← PSW, (SP - 2) ← 00H, SP ← SP - 2			
		rp	1	1	—	(SP - 1) ← rpH, (SP - 2) ← rpL, SP ← SP - 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP + byte				
SUBW	SP, #byte	2	1	—	SP ← SP - byte				
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		\$!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 0			
	BNH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 1			
	BT	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 28 - 22 オペレーション一覧(18/18)

命令群	ニモニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z V CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z V CY) = 1			
CPU制御	SEL注4	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK)数。
- 注2. プログラム・メモリ領域をアクセスしたときのCPUクロック (fCLK)数。
- 注3. クロック数は“条件不成立時/条件成立時”を表しています。
- 注4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

第29章 電気的特性

注意1. RL78 マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. 製品により、搭載している端子が次のようになります。

29.1 製品別搭載端子

29.1.1 ポート機能

2.1.1 30ピン製品, 2.1.2 32ピン製品, 2.1.3 44ピン製品を参照してください。

29.1.2 ポート以外の端子

2.2.1 製品別の搭載機能を参照してください。

29.2 絶対最大定格

絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ + 6.5	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ + 2.8 かつ -0.3 ~ VDD + 0.3注1	V
入力電圧	VI1	P00, P01, P10-P17, P20-P27, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P121-P124, P137, P146, P147, EXCLK, RESET	-0.3 ~ VDD + 0.3注2	V
出力電圧	VO1	P00, P01, P10-P17, P20-P27, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P146, P147	-0.3 ~ VDD + 0.3注2	V
アナログ入力電圧	VAI1	ANI0-ANI7, ANI16-ANI19	-0.3 ~ VDD + 0.3注2,3 かつ -0.3 ~ AVREF (+) + 0.3	V

注1. REGC端子にはコンデンサ(0.47 ~ 1 μ F)を介してVssに接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. A/D変換対象の端子は、AVREF (+) + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF (+) : A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とする。

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P146, P147	-40	mA
		端子合計	P00, P01, P40, P41, P120	-70	mA
		-170 mA	P10-P17, P30, P31, P50, P51, P60-P63, P70-P73, P146, P147	-100	mA
	IOH2	1端子	P20-P27	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	IOL1	1端子	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P146, P147	40	mA
		端子合計	P00, P01, P40, P41, P120	70	mA
		170 mA	P10-P17, P30, P31, P50, P51, P60-P63, P70-P73, P146, P147	100	mA
	IOL2	1端子	P20-P27	1	mA
		端子合計		5	mA
動作周囲温度	TA	通常動作時		-40 ~ + 85	°C
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg			-65 ~ + 150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

29.3 発振回路特性

29.3.1 X1発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数(f_x) ^注	セラミック発振子/水晶振動子	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		20.0	MHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上で評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 X1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

29.3.2 オンチップ・オシレータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ 発振周波数 ^{注1,2}	f _H		1		24	MHz
	f _{HOCO}		1		48	
高速オンチップ・オシレータ 発振周波数精度			-2		+2	%
低速オンチップ・オシレータ 発振周波数	f _L			15		kHz
低速オンチップ・オシレータ 発振周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H)のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

29.4 DC 特性

29.4.1 端子特性

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P146, P147 1端子	2.7 V ≤ VDD < 5.5 V			-10.0 ^{注2}	mA
		P00, P01, P40, P41, P120 合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			-55.0	mA
			2.7 V ≤ VDD < 4.0 V			-10.0	mA
		P10-P17, P30, P31, P50, P51, P60-P63, P70-P73, P146, P147 合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			-80.0	mA
			2.7 V ≤ VDD < 4.0 V			-19.0	mA
	全端子合計 (デューティ ≤ 70% 時 ^{注3})	2.7 V ≤ VDD ≤ 5.5 V			-135.0	mA	
	IOH2	P20-P27 1端子	2.7 V ≤ VDD ≤ 5.5 V			-0.1 ^{注2}	mA
	全端子合計 (デューティ ≤ 70% 時 ^{注3})	2.7 V ≤ VDD ≤ 5.5 V			-1.5	mA	

注1. VDD端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (\text{IOH} \times 0.7) / (n \times 0.01)$$

<計算例> IOH = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00, P10, P15, P17, P30, P50, P51は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	IOL1	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P146, P147 1端子			20.0 ^{注2}	mA
		P00, P01, P40, P41, P120 合計	4.0 V ≤ VDD ≤ 5.5 V		70.0	mA
		(デューティ ≤ 70% 時 ^{注3})	2.7 V ≤ VDD < 4.0 V		15.0	mA
		P10-P17, P30, P31, P50, P51, P60-P63, P70-P73, P146, P147 合計	4.0 V ≤ VDD ≤ 5.5 V		80.0	mA
		(デューティ ≤ 70% 時 ^{注3})	2.7 V ≤ VDD < 4.0 V		35.0	mA
	全端子合計				150.0	mA
	(デューティ ≤ 70% 時 ^{注3})					
IOL2	P20-P27 1端子				0.4 ^{注2}	mA
	全端子合計	2.7 V ≤ VDD ≤ 5.5 V			5.0	mA
(デューティ ≤ 70% 時 ^{注3})						

注1. 出力端子からVSS端子に流れ込んでも、デバイスの動作を保证する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

$$\langle \text{計算例} \rangle \quad I_{OL} = 10.0 \text{ mA の場合, } n = 80\%$$

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120-P124, P146, P147	通常入力バッファ	0.8 VDD		VDD	V
	VIH2	P01, P10, P15-P17, P30, P31, P50	TTL入力バッファ 4.0 V ≤ VDD ≤ 5.5 V	2.2		VDD	V
			TTL入力バッファ 3.3 V ≤ VDD < 4.0 V	2.0		VDD	V
			TTL入力バッファ 2.7 V ≤ VDD < 3.3 V	1.50		VDD	V
	VIH3	P20-P27		0.7 VDD		VDD	V
	VIH4	EXCLK, $\overline{\text{RESET}}$		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120-P124, P146, P147	通常入力バッファ	0		0.2 VDD	V
	VIL2	P01, P10, P15-P17, P30, P31, P50	TTL入力バッファ 4.0 V ≤ VDD ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ VDD < 4.0 V	0		0.5	V
			TTL入力バッファ 2.7 V ≤ VDD < 3.3 V	0		0.32	V
	VIL3	P20-P27		0		0.3 VDD	V
	VIL4	EXCLK, $\overline{\text{RESET}}$		0		0.2 VDD	V

注意 P00, P10, P15, P17, P30, P50, P51は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P146, P147	4.0 V ≤ VDD ≤ 5.5 V, IOH1 = -10.0 mA	VDD - 1.5			V
			4.0 V ≤ VDD ≤ 5.5 V, IOH1 = -3.0 mA	VDD - 0.7			V
			2.7 V ≤ VDD ≤ 5.5 V, IOH1 = -2.0 mA	VDD - 0.6			V
			2.7 V ≤ VDD ≤ 5.5 V, IOH1 = -1.0 mA	VDD - 0.5			V
	VOH2	P20-P27	2.7 V ≤ VDD ≤ 5.5 V, IOH2 = -100 μA	VDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P146, P147	4.0 V ≤ VDD ≤ 5.5 V, IOL1 = 20.0 mA			1.3	V
			4.0 V ≤ VDD ≤ 5.5 V, IOL1 = 8.5 mA			0.7	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL1 = 3.0 mA			0.6	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL1 = 1.5 mA			0.4	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL1 = 0.3 mA			0.4	V
	VOL2	P20-P27	2.7 V ≤ VDD ≤ 5.5 V, IOL2 = 400 μA			0.4	V

注意 P00, P10, P15, P17, P30, P50, P51は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 入力リーク電流	LIH1	P00, P01, P10-P17, P20-P27, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P123, P124, P137, P146, P147, RESET	Vi = VDD			1	μA	
	LIH2	P121, P122 (X1, X2, EXCLK)	Vi = VDD	入力ポート時, 外部クロック入力時		1	μA	
				発振子接続時		10	μA	
ロウ・レベル 入力リーク電流	LIH1	P00, P01, P10-P17, P20-P27, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P123, P124, P137, P146, P147, RESET	Vi = VSS			-1	μA	
	LIL2	P121, P122 (X1, X2, EXCLK)	Vi = VSS	入力ポート時, 外部クロック入力時		-1	μA	
				発振子接続時		-10	μA	
内蔵プルアップ抵抗	RU	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P73, P120, P146, P147	Vi = VSS, 入力ポート時		10	20	100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

29.4.2 電源電流特性

(1) 30～44ピン製品のフラッシュ ROM16 KBの製品

(TA = -40～+85°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注3,4}	fHOCO = 48 MHz, fIH = 24 MHz	基本動作	VDD = 5.0 V	1.8		mA
				VDD = 3.0 V			1.8		
		HS (高速メイン)モード ^{注3,4}	fHOCO = 48 MHz, fIH = 24 MHz	通常動作	VDD = 5.0 V	3.9	6.9	mA	
					VDD = 3.0 V	3.9	6.9		
			fHOCO = 24 MHz, fIH = 24 MHz	通常動作	VDD = 5.0 V	3.7	6.3		
					VDD = 3.0 V	3.7	6.3		
			fHOCO = 16 MHz, fIH = 16 MHz	通常動作	VDD = 5.0 V	2.8	4.6		
					VDD = 3.0 V	2.8	4.6		
		LS (低速メイン)モード ^{注3,4}	fIH = 8 MHz	通常動作	VDD = 3.0 V	1.2	2.0	mA	
		HS (高速メイン)モード ^{注2,4}	fMX = 20 MHz, VDD = 5.0 V	通常動作	方形波入力	3.1	5.3	mA	
					発振子接続	3.3	5.5		
			fMX = 20 MHz, VDD = 3.0 V	通常動作	方形波入力	3.1	5.3		
					発振子接続	3.3	5.5		
fMX = 10 MHz, VDD = 5.0 V	通常動作		方形波入力	2.0	3.1				
			発振子接続	2.0	3.2				
fMX = 10 MHz, VDD = 3.0 V	通常動作		方形波入力	2.0	3.1				
			発振子接続	2.0	3.2				
LS (低速メイン)モード ^{注2,4}	fMX = 8 MHz, VDD = 3.0 V	通常動作	方形波入力	1.2	1.9	mA			
			発振子接続	1.2	2.0				

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、コンパレータ、プログラマブル・ゲイン・アンプ、ウォッチドッグ・タイマ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

注2. 高速オンチップ・オシレータは停止時。

注3. 高速システム・クロックは停止時。

注4. 動作モード、動作電圧範囲、CPU動作周波数の関係を次に示します。

HS (高速メイン)モード : VDD = 2.7～5.5 V@1 MHz～24 MHz

LS (低速メイン)モード : VDD = 2.7～5.5 V@1 MHz～8 MHz

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大48 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

備考4. TYP.値の温度条件は、TA = 25 °Cです。

(1) 30～44ピン製品のフラッシュ ROM16 KBの製品

(TA = -40～+85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注4,6}	fHOCO = 48 MHz, fIH = 24 MHz	VDD = 5.0 V	0.60	2.40	mA	
					VDD = 3.0 V	0.60	2.40		
				fHOCO = 24 MHz, fIH = 24 MHz	VDD = 5.0 V	0.40	1.83		
					VDD = 3.0 V	0.40	1.83		
			fHOCO = 16 MHz, fIH = 16 MHz	VDD = 5.0 V	0.38	1.38			
				VDD = 3.0 V	0.38	1.38			
			LS (低速メイン)モード ^{注4,6}	fIH = 8 MHz	VDD = 3.0 V	260	710		μA
			HS (高速メイン)モード ^{注3,6}	fMX = 20 MHz, VDD = 5.0 V	方形波入力	0.28	1.55		mA
		発振子接続			0.42	1.74			
		fMX = 20 MHz, VDD = 3.0 V		方形波入力	0.28	1.55			
	発振子接続			0.42	1.74				
	fMX = 10 MHz, VDD = 5.0 V	方形波入力		0.19	0.86				
		発振子接続		0.27	0.93				
	fMX = 10 MHz, VDD = 3.0 V	方形波入力	0.19	0.86					
		発振子接続	0.27	0.93					
	IDD3	STOPモード ^{注5}	TA = -40 °C		0.18	0.51	μA		
TA = +25 °C					0.24	0.51			
TA = +50 °C					0.29	1.10			
TA = +70 °C					0.41	1.90			
TA = +85 °C					0.90	3.30			

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、コンパレータ、プログラマブル・ゲイン・アンプ、ウォッチドッグ・タイマ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速オンチップ・オシレータは停止時。

注4. 高速システム・クロックは停止時。

注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。また、MAX.値にはリーク電流を含みます。

注6. 動作モード、動作電圧範囲、CPU動作周波数の関係を次に示します。

HS (高速メイン)モード : VDD = 2.7～5.5 V @ 1 MHz～24 MHz

LS (低速メイン)モード : VDD = 2.7～5.5 V @ 1 MHz～8 MHz

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大48 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

備考4. TYP.値の温度条件は、TA = 25 °Cです。

(2) 周辺機能（全製品共通）

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
12ビット・ インターバル・ タイマ動作電流	IIT注1,8				0.20		μA
ウォッチドッグ・ タイマ動作電流	IWDT注1,2	fIL = 15 kHz			0.22		μA
A/Dコンバータ 動作電流	IADC注3	最高速変換時	標準モード, AVREFF = VDD = 5.0 V		1.3	1.7	mA
			低電圧モード, AVREFF = VDD = 3.0 V		0.5	0.7	mA
A/Dコンバータ 基準電圧電流	IADREF				75		μA
温度センサ 動作電流	ITMPS				75		μA
コンパレータ 動作電流	ICMP注4	コンパレータ1チャンネル 当たり	コンパレータ動作時		45.0	65.0	μA
			コンパレータ停止時		0.0	0.1	
プログラマブル・ ゲイン・アンプ 動作電流	IPGA注5	プログラマブル・ゲイン・アンプ動作時			240.0	340.0	μA
		プログラマブル・ゲイン・アンプ停止時			0.0	0.1	
LVD動作電流	ILVI注6				0.08		μA
SNOOZE 動作電流	ISNOZ	ADC動作	モード移行中注7		0.50	0.60	mA
			変換動作中	低電圧モード AVREFF = VDD = 3.0 V		1.20	1.44
		簡易SPI (CSI) /UART動作				0.70	0.84

注1. 高速オンチップ・オシレータ、高速システム・クロックは停止時。

注2. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。STOPモード時にウォッチドッグ・タイマが動作中の場合、IDD1またはIDD2またはIDD3にIWDTを加算した値が、RL78マイクロコントローラの電流値となります。

注3. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、IDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。

注4. コンパレータにのみ流れる電流です。動作モードまたはHALTモード時にコンパレータが動作中の場合、IDD1またはIDD2にICMPを加算した値が、RL78マイクロコントローラの電流値となります。

注5. プログラマブル・ゲイン・アンプにのみ流れる電流です。動作モードまたはHALTモード時にプログラマブル・ゲイン・アンプが動作中の場合、IDD1またはIDD2にIPGAを加算した値が、RL78マイクロコントローラの電流値となります。

注6. LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合、IDD1またはIDD2またはIDD3にILVIを加算した値が、RL78マイクロコントローラの電流値となります。

注7. SNOOZEモードへの移行時間は、18.3.3 SNOOZEモードを参照してください。

注8. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。

備考1. fIL：低速オンチップ・オシレータ・クロック周波数

備考2. fCLK：CPU/周辺ハードウェア・クロック周波数

備考3. TYP.値の温度条件は、TA = 25 °Cです。

29.5 AC特性

29.5.1 基本動作

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN)動作	HS (高速メイン)モード	2.7 V ≤ VDD ≤ 5.5 V	0.04167	1	μs
			LS (低速メイン)モード	2.7 V ≤ VDD ≤ 5.5 V	0.125	1	μs
		セルフ・プログラミング時	HS (高速メイン)モード	2.7 V ≤ VDD ≤ 5.5 V	0.04167	1	μs
			LS (低速メイン)モード	2.7 V ≤ VDD ≤ 5.5 V	0.125	1	μs
外部メイン・システム・クロック周波数	fEX	2.7 V ≤ VDD ≤ 5.5 V		1.0		20.0	MHz
外部メイン・システム・クロック入力ハイ、ロウ・レベル幅	tEXH, tEXL	2.7 V ≤ VDD ≤ 5.5 V		24			ns
TI00-TI03 入力ハイ・レベル幅、 ロウ・レベル幅	tTIH, tTIL			1/fMCK + 10			ns
タイマRJ入力サイクル	tc	TRJIO	2.7 V ≤ VDD ≤ 5.5 V	100			ns
タイマRJ入力 ハイ・レベル幅、 ロウ・レベル幅	tWH, tWL	TRJIO	2.7 V ≤ VDD ≤ 5.5 V	40			ns
TO00-TO03, TRJIO0,TRJO, TRDIOA0/1,TRDIOB0/1 TRDIOC0/1,TRDIOD0/1 出力周波数	fTO	HS (高速メイン)モード		4.0 V ≤ VDD ≤ 5.5 V		12	MHz
				2.7 V ≤ VDD < 4.0 V		8	MHz
		LS (低速メイン)モード		2.7 V ≤ VDD ≤ 5.5 V		4	MHz
PCLBUZ0, PCLBUZ1 出力周波数	fPCL	HS (高速メイン)モード		4.0 V ≤ VDD ≤ 5.5 V		16	MHz
				2.7 V ≤ VDD < 4.0 V		8	MHz
		LS (低速メイン)モード		2.7 V ≤ VDD ≤ 5.5 V		4	MHz
割り込み入力 ハイ・レベル幅、 ロウ・レベル幅	tINTH, tINTL	INTP0-INTP5		2.7 V ≤ VDD ≤ 5.5 V	1		μs
キー割り込み入力 ロウ・レベル幅	tKR	KR0-KR3		2.7 V ≤ VDD ≤ 5.5 V	250		ns
RESETロウ・レベル幅	tRSL				10		μs

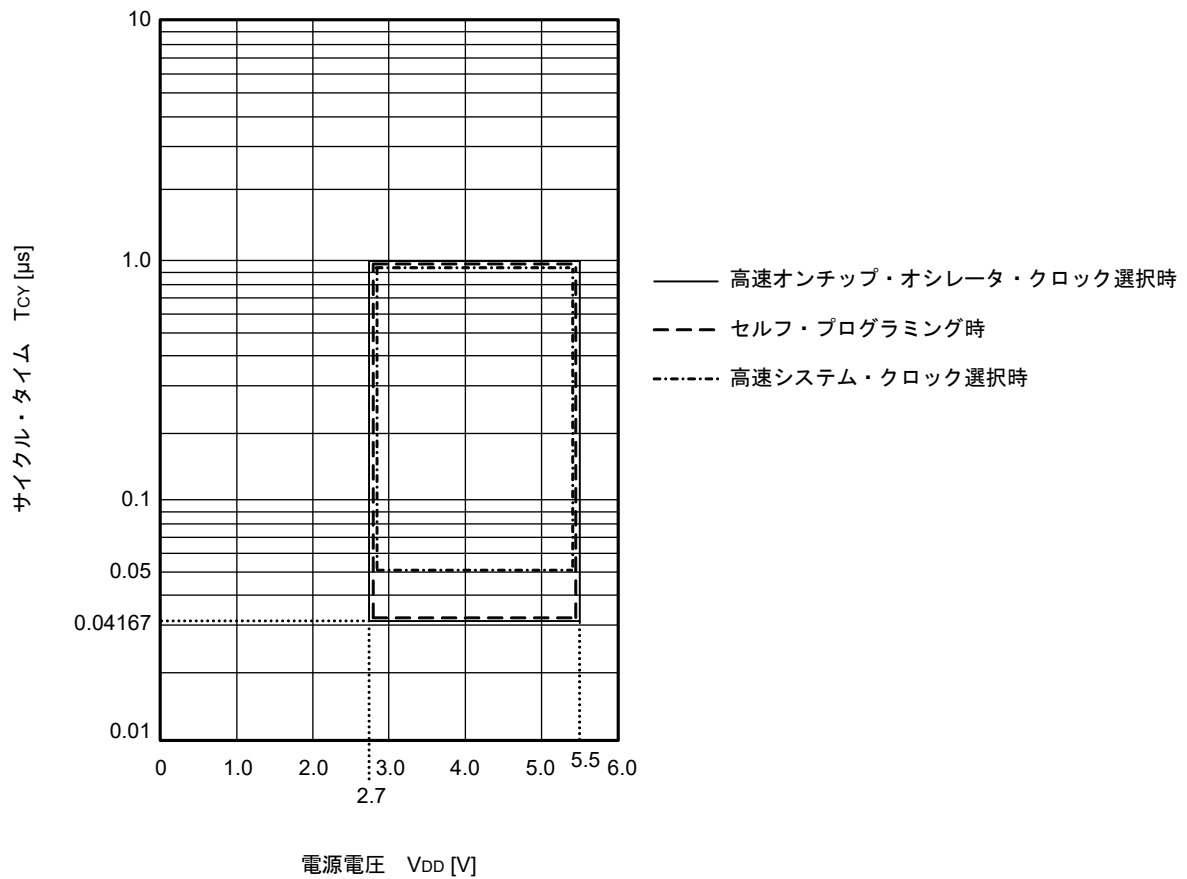
備考 fMCK: タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号(m = 0),

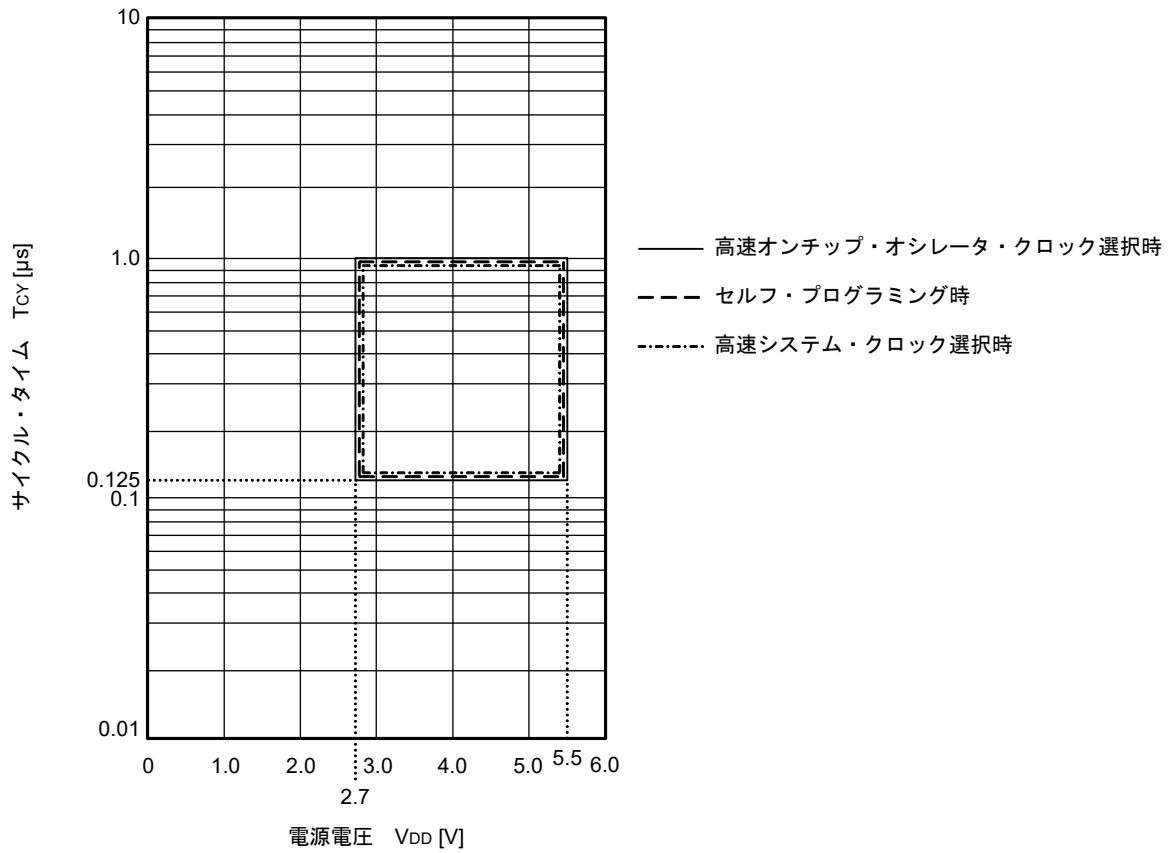
n: チャネル番号(n = 0-3))

メイン・システム・クロック動作時の最小命令実行時間

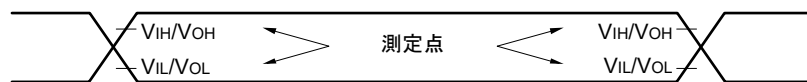
T_{cy} vs V_{DD} (HS (高速メイン)モード)



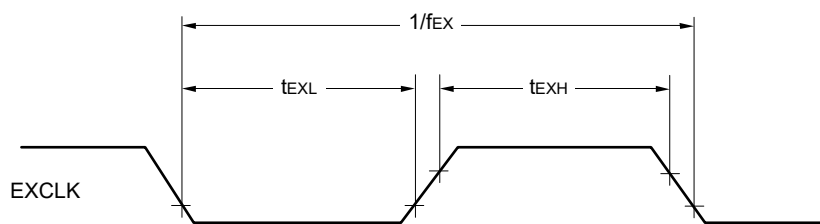
T_{CY} vs V_{DD} (LS (低速メイン)モード)



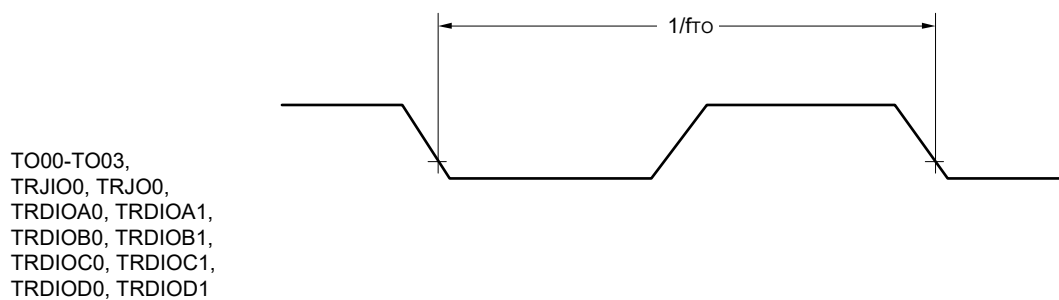
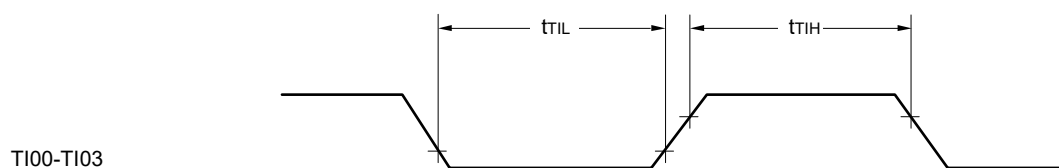
ACタイミング測定点

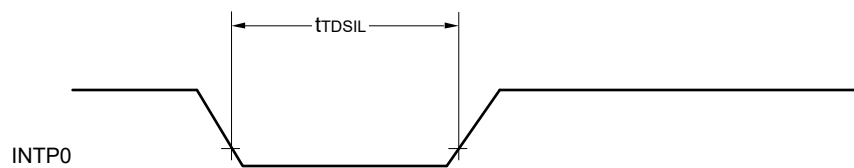
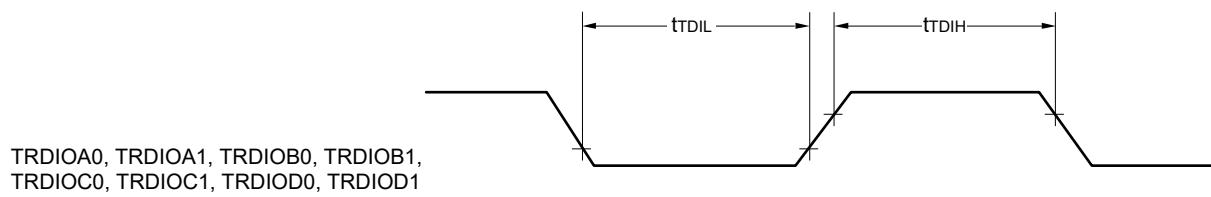
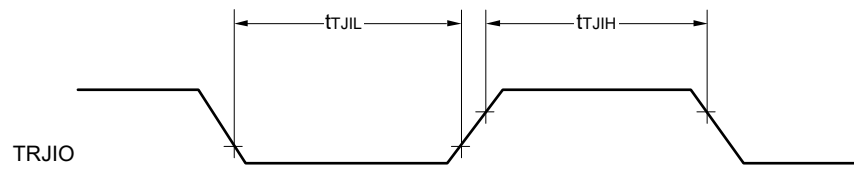


外部システム・クロック・タイミング

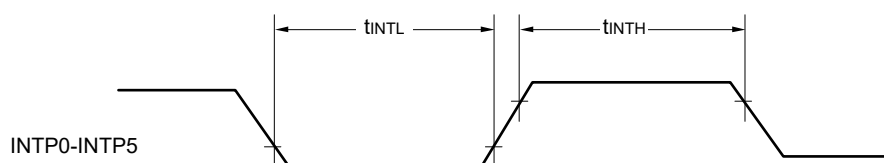


TI/TOタイミング

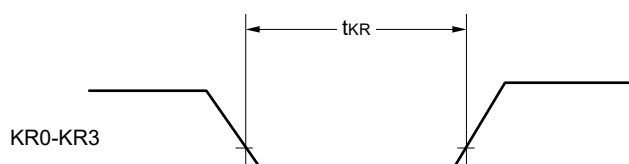
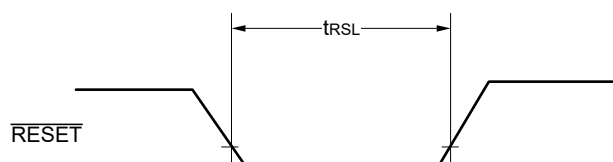




割り込み要求入カタイミング

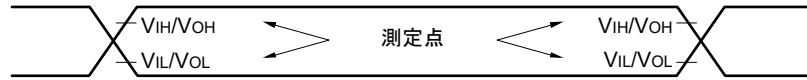


キー割り込み入カタイミング

 $\overline{\text{RESET}}$ 入カタイミング

29.6 周辺機能特性

ACタイミング測定点



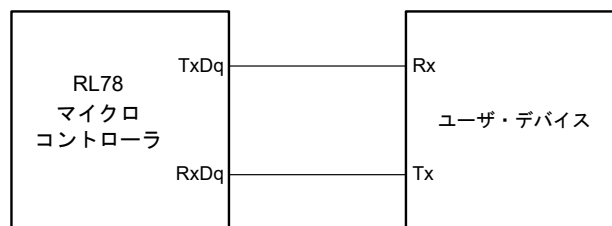
29.6.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

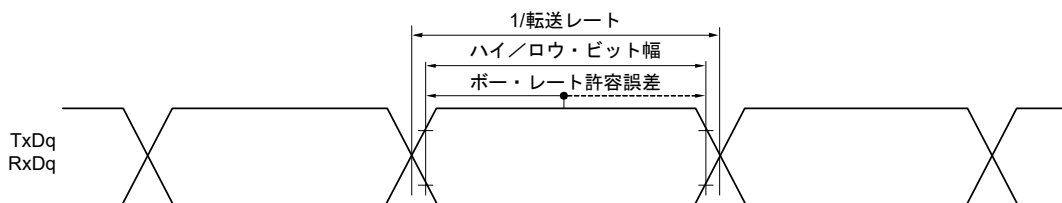
(TA = -40 ~ +85 °C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート注1		2.7 V ≤ V _{DD} ≤ 5.5 V		f _{MCK} /6		f _{MCK} /6	bps
		最大転送レート理論値 f _{MCK} = f _{CLK} 注2		4.0		1.3	Mbps

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。
ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. CPU/周辺ハードウェア・クロック(f_{CLK})の最高動作周波数を次に示します。

HS (高速メイン)モード : 24 MHz (2.7 V ≤ V_{DD} ≤ 5.5 V)

LS (低速メイン)モード : 8 MHz (2.7 V ≤ V_{DD} ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

備考1. q : UART番号(q = 0, 1), g : PIM, POM番号(g = 0, 5)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号(mn = 00-03))

(2) 同電位通信時(簡易SPI (CSI) モード)(マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ 2/fCLK	2.7 V ≤ VDD ≤ 5.5 V	83.3		250		ns
SCKpハイ, ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ VDD ≤ 5.5 V		tkCY1/2 - 7		tkCY1/2 - 50		ns
		2.7 V ≤ VDD ≤ 5.5 V		tkCY1/2 - 10		tkCY1/2 - 50		ns
Slpセットアップ時間(対SCKp ↑)注1	tSIK1	4.0 V ≤ VDD ≤ 5.5 V		23		110		ns
		2.7 V ≤ VDD ≤ 5.5 V		33		110		ns
Slpホールド時間(対SCKp ↑)注1	tkSI1	2.7 V ≤ VDD ≤ 5.5 V		10		10		ns
SCKp ↓ → SOP出力遅延時間注2	tkSO1	C = 20 pF注3			10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは, SCKp, SOP出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子は通常入力バッファを選択し, SOP端子とSCKp端子は通常出力モードを選択します。

備考1. この値は, CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

備考2. p: CSI番号(p = 00), m: ユニット番号(m = 0), n: チャネル番号(n = 0), g: PIM, POM番号(g = 1)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号(mn = 00))

(3) 同電位通信時(簡易SPI (CSI) モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		単位
				モード		モード		
				MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK	2.7 V ≤ VDD ≤ 5.5 V	167		500		ns
SCKp ハイ, ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ VDD ≤ 5.5 V		tkCY1/2 - 12		tkCY1/2 - 50		ns
		2.7 V ≤ VDD ≤ 5.5 V		tkCY1/2 - 18		tkCY1/2 - 50		ns
Slp セットアップ時間(対SCKp ↑)注1	tsIK1	4.0 V ≤ VDD ≤ 5.5 V		44		110		ns
		2.7 V ≤ VDD ≤ 5.5 V		44		110		ns
Slp ホールド時間(対SCKp ↑)注1	tkSI1	2.7 V ≤ VDD ≤ 5.5 V		19		19		ns
SCKp ↓ → SOP 出力遅延時間注2	tkSO1	2.7 V ≤ VDD ≤ 5.5 V			25		25	ns
		C = 30 pF注3						

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. C は, SCKp, SOP 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOP 端子と SCKp 端子は通常出力モードを選択します。

備考1. p : CSI 番号 (p = 00), m : ユニット番号 (m = 0), n : チャネル番号 (n = 0), g : PIM, POM 番号 (g = 3, 5)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKS_{mn} ビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00))

(4) 同電位通信時(簡易SPI (CSI) モード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		単位
				モード		モード		
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム ^{注4}	tkCY2	4.0 V ≤ VDD ≤ 5.5 V	20 MHz < fMCK	8/fMCK		—		ns
			fMCK ≤ 20 MHz	6/fMCK		6/fMCK		ns
		2.7 V ≤ VDD ≤ 5.5 V	16 MHz < fMCK	8/fMCK		—		ns
			fMCK ≤ 16 MHz	6/fMCK		6/fMCK		ns
SCKpハイ, ロウ・レベル幅	tkH2,	4.0 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 7		tkCY2/2 - 7		ns
	tkL2	2.7 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 8		tkCY2/2 - 8		ns
Slpセットアップ時間(対SCKp ↑) ^{注1}	tSIK2	2.7 V ≤ VDD ≤ 5.5 V		1/fMCK + 20		1/fMCK + 30		ns
Slpホールド時間(対SCKp ↑) ^{注1}	tKS2	2.7 V ≤ VDD ≤ 5.5 V		1/fMCK + 31		1/fMCK + 31		ns
SCKp ↓ → SOp出力遅延時間 ^{注2}	tKSO2	C = 30 pF ^{注3}	2.7 V ≤ VDD ≤ 5.5 V		2/fMCK + 44		2/fMCK + 110	ns
SSI00セットアップ時間	tSSIK	DAPmn = 0	2.7 V ≤ VDD ≤ 5.5 V	120		120		ns
		DAPmn = 1	2.7 V ≤ VDD ≤ 5.5 V	1/fMCK + 120		1/fMCK + 120		ns
SSI00ホールド時間	tkSSI	DAPmn = 0	2.7 V ≤ VDD ≤ 5.5 V	1/fMCK + 120		1/fMCK + 120		ns
		DAPmn = 1	2.7 V ≤ VDD ≤ 5.5 V	120		120		ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは、SOp出力ラインの負荷容量です。

注4. SNOOZEモードでの転送レートは、MAX. 1 Mbpsです。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子は通常入力パッファを選択し、SOp端子は通常出力モードを選択します。

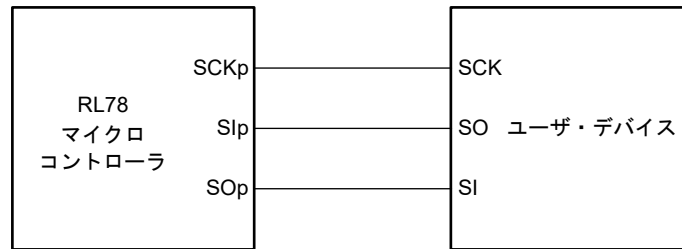
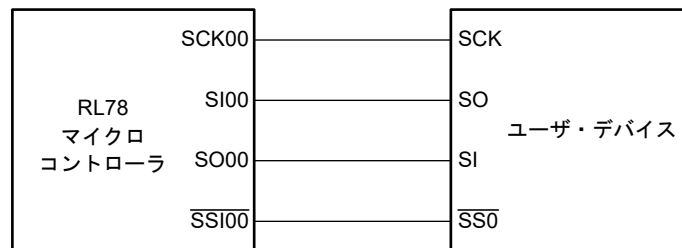
備考1. p: CSI番号(p = 00), m: ユニット番号(m = 0), n: チャネル番号(n = 0), g: PIM, POM番号(g = 3, 5)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00))

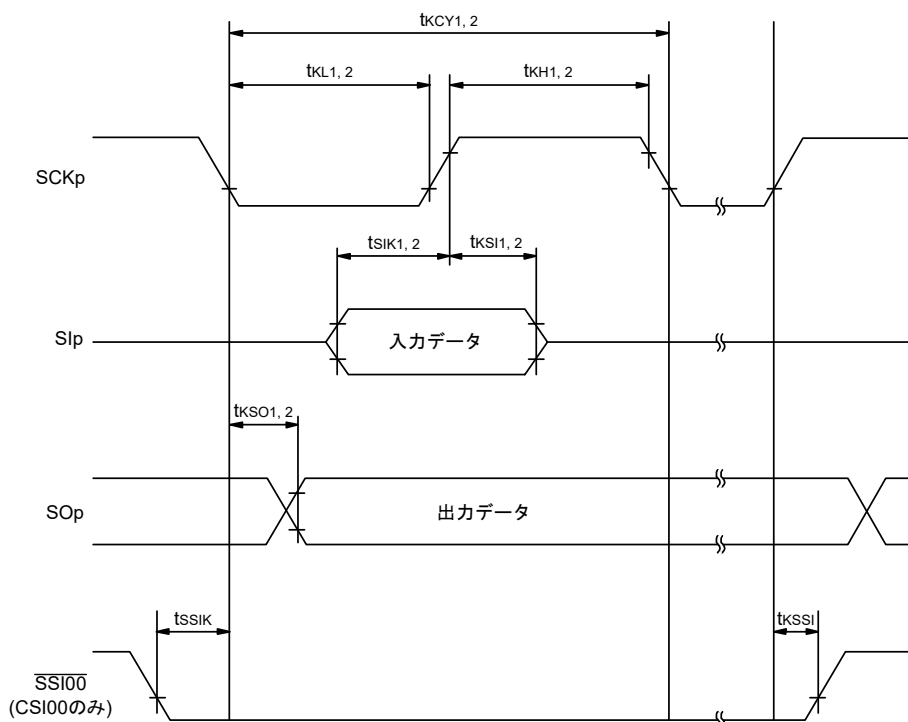
簡易SPI (CSI) モード接続図(同電位通信時)

簡易SPI (CSI) モード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)

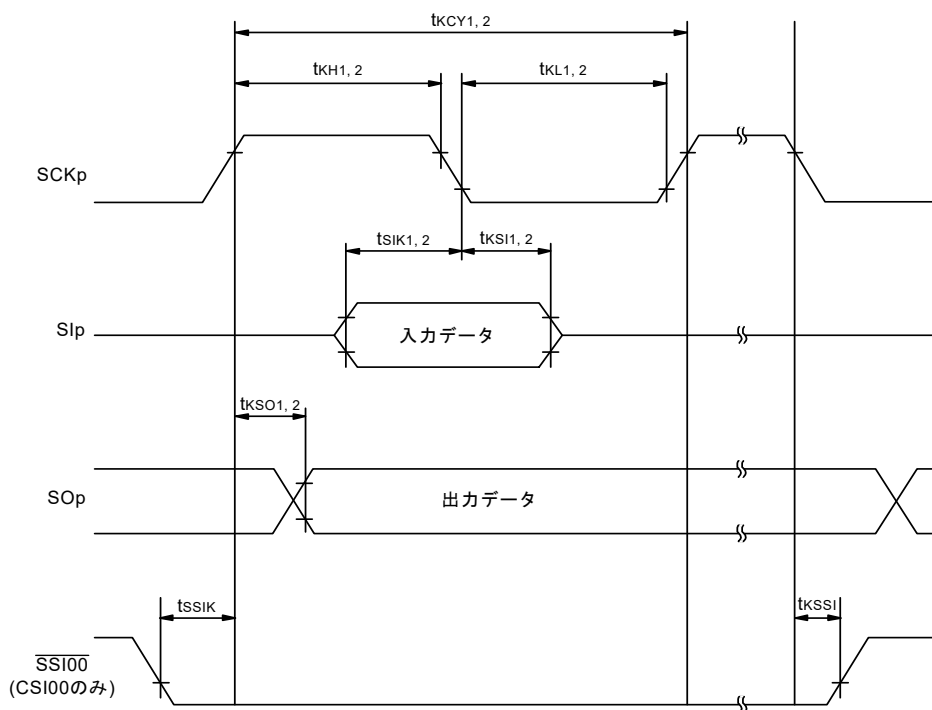
備考1. p : CSI番号(p = 00)

備考2. m : ユニット番号, n : チャネル番号(mn = 00)

簡易SPI (CSI) モード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号(p = 00)

備考2. m : ユニット番号, n : チャネル番号(mn = 00)

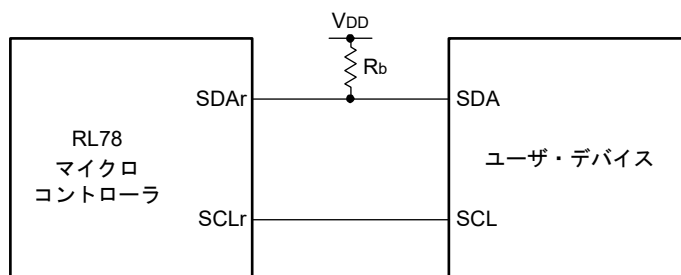
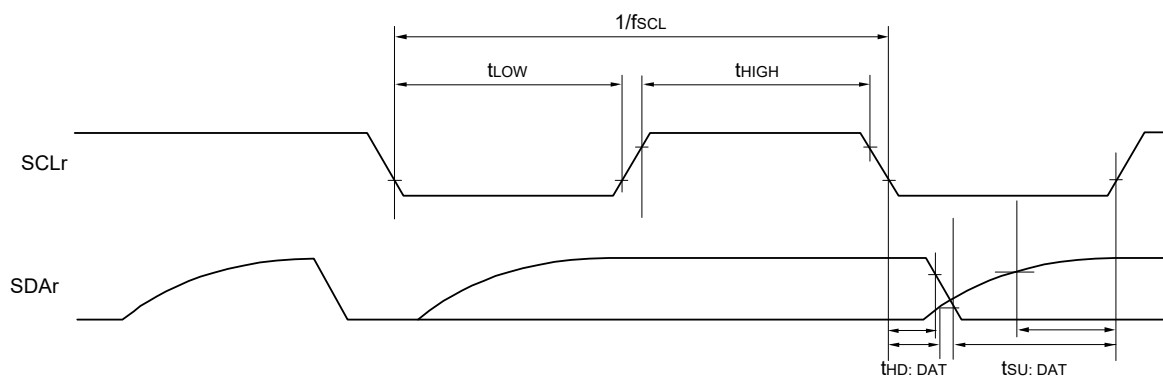
(5) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高電圧メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ		1000 ^{注1}		400 ^{注1}	kHz
		2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ		400 ^{注1}		400 ^{注1}	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1150		ns
		2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1150		1150		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1150		ns
		2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1150		1150		ns
データ・セットアップ時間(受信時)	t _{SU: DAT}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 85 ^{注2}		1/f _{MCK} + 145 ^{注2}		ns
		2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 145 ^{注2}		1/f _{MCK} + 145 ^{注2}		ns
データ・ホールド時間(送信時)	t _{HD: DAT}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	ns
		2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	0	355	0	355	ns

注1. かつf_{MCK}/4以下に設定してください。注2. f_{MCK}値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(同電位通信時)簡易I²Cモード・シリアル転送タイミング(同電位通信時)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択し、SCLrは通常出力モードを選択します。

備考1. R_b [Ω] : 通信ライン(SDAr)プルアップ抵抗値, C_b [F] : 通信ライン(SCLr, SDAr)負荷容量値

備考2. r : IIC番号(r = 00), g : PIM番号(g = 3, 5), h : POM番号(h = 3, 5)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR_{mn}レジスタのCKSmnビットで設定する動作クロック。m : ユニット番号(m = 0), n : チャネル番号(n = 0), mn = 00)

(6) 異電位(2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位	
			MIN.	MAX.	MIN.	MAX.		
転送レート		受信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		f _{mck} /6 ^{注1}		f _{mck} /6 ^{注1}	bps
			最大転送レート理論値 f _{mck} = f _{clk} ^{注3}		4.0		1.3	Mbps
			2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		f _{mck} /6 ^{注1}		f _{mck} /6 ^{注1}	bps
				最大転送レート理論値 f _{mck} = f _{clk} ^{注3}		4.0		1.3
			2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		f _{mck} /6 ^{注1,2}		f _{mck} /6 ^{注1,2}	bps
				最大転送レート理論値 f _{mck} = f _{clk} ^{注3}		4.0		1.3

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. VDD ≥ Vbで使用してください。

注3. CPU/周辺ハードウェア・クロック(f_{clk})の最高動作周波数を次に示します。

HS (高速メイン)モード: 24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

LS (低速メイン)モード: 8 MHz (2.7 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0, 1), g: PIM, POM番号(g = 0, 5)

備考3. f_{mck}: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00-03))

備考4. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記のVIHとVILを観測点としています。

4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 Vのとき: VIH = 2.2 V, VIL = 0.8 V

2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 Vのとき: VIH = 2.0 V, VIL = 0.5 V

2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 Vのとき: VIH = 1.50 V, VIL = 0.32 V

(6) 異電位(2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位	
			MIN.	MAX.	MIN.	MAX.		
転送レート		送信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1		注1	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8注2		2.8注2	Mbps
			2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3		注3	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4		1.2注4	Mbps
			2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5, 6		注5, 6	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注7		0.43注7	Mbps

注1. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. VDD ≥ Vbで使用してください。

注6. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
 $2.7\text{ V} \leq V_{DD} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択します。なお V_{IH} 、 V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考2. q: UART番号(q = 0, 1), g: PIM, POM番号(g = 0, 5)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,
n: チャンネル番号(mn = 00-03))

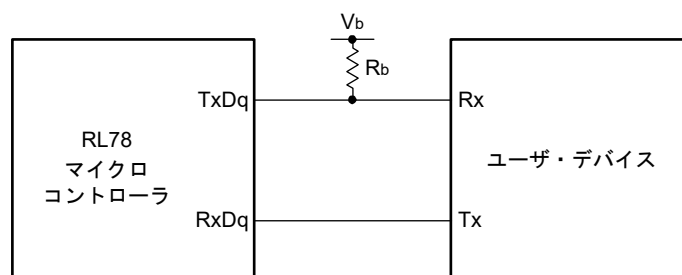
備考4. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$ のとき: $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

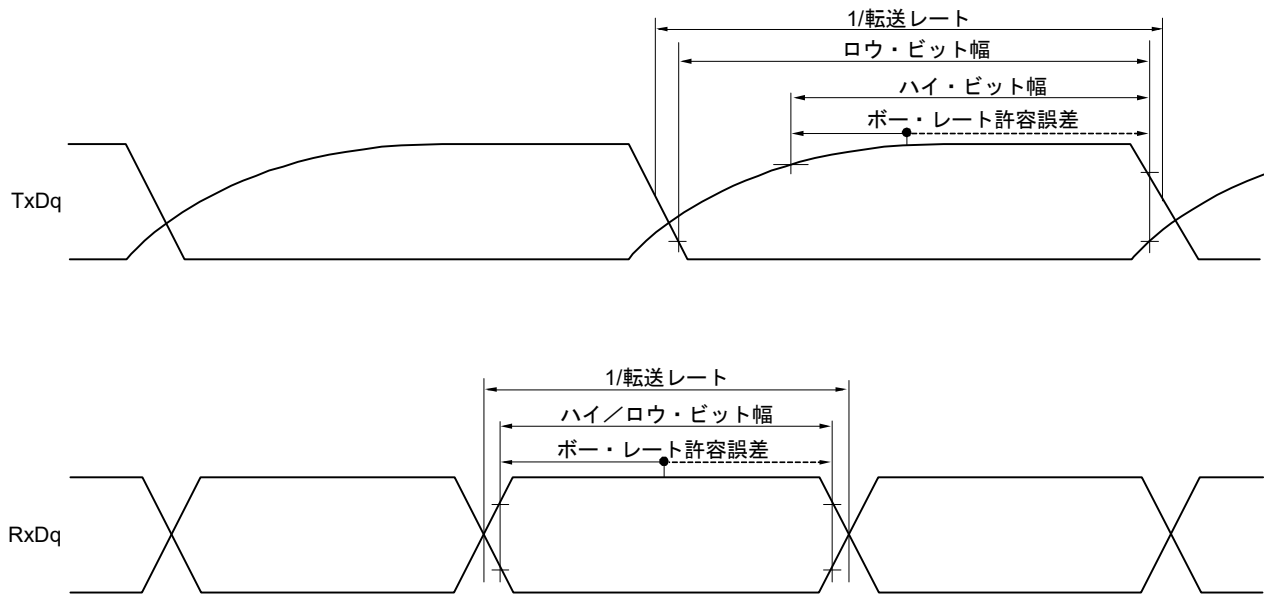
$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ のとき: $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

$2.7\text{ V} \leq V_{DD} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ のとき: $V_{IH} = 1.50\text{ V}$, $V_{IL} = 0.32\text{ V}$

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, V_b [V]: 通信ライン電圧

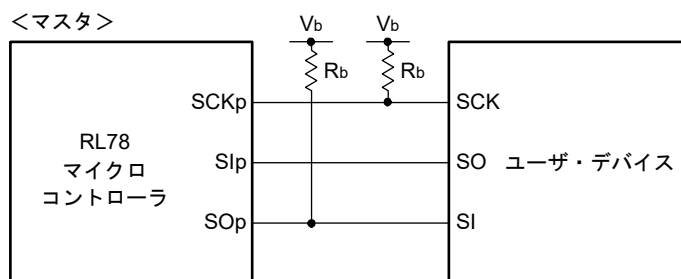
備考2. q : UART番号($q = 0, 1$), g : PIM, POM番号($g = 0, 5$)

(7) 異電位(2.5 V系, 3 V系)通信時(簡易SPI (CSI) モード)(マスタ・モード, SCKp...内部クロック出力, CSI00のみ)
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	200		1150		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	300		1150		ns
SCKpハイ・レベル幅	tkH1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	tkCY1/2 - 50		tkCY1/2 - 50		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	tkCY1/2 - 120		tkCY1/2 - 120		ns
SCKpロウ・レベル幅	tkL1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	tkCY1/2 - 7		tkCY1/2 - 50		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	tkCY1/2 - 10		tkCY1/2 - 50		ns
Slpセットアップ時間(対SCKp ↑)注1	tsIK1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	58		479		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	121		479		ns
Slpホールド時間(対SCKp ↑)注1	tkSI1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	10		10		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	10		10		ns
SCKp ↓ → SOP出力遅延時間注1	tkSO1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$		60		60	ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$		130		130	ns
Slpセットアップ時間(対SCKp ↓)注2	tsIK1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	23		110		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	33		110		ns
Slpホールド時間(対SCKp ↓)注2	tkSI1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	10		10		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	10		10		ns
SCKp ↑ → SOP出力遅延時間注2	tkSO1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$		10		10	ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 20 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$		10		10	ns

(注, 注意, 備考は次ページにあります。)

簡易SPI (CSI) モード接続図(異電位通信時)



注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg)で、Slp端子はTTL入力バッファを選択し、SO端子とSCKp端子はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択します。なお V_{IH} 、 V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω] : 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SCKp, SOp)負荷容量値, V_b [V] : 通信ライン電圧

備考2. p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM, POM番号(g = 3, 5)

備考3. シリアル・アレイ・ユニットの簡易SPI (CSI) モードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$ のとき : $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ のとき : $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

備考4. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

(8) 異電位(2.5 V系, 3 V系)通信時($f_{MCK}/4$) (簡易SPI (CSI) モード) (マスタ・モード, SCKp...内部クロック出力)
 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$) (1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK 4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	300		1150		ns
			500		1150		ns
			1150		1150		ns
SCKp ハイ・レベル幅	tkH1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 75		tkCY1/2 - 75		ns
			tkCY1/2 - 170		tkCY1/2 - 170		ns
			tkCY1/2 - 458		tkCY1/2 - 458		ns
SCKp ロウ・レベル幅	tkL1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 12		tkCY1/2 - 50		ns
			tkCY1/2 - 18		tkCY1/2 - 50		ns
			tkCY1/2 - 50		tkCY1/2 - 50		ns

注意1. ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子はTTL入力バッファを選択し、SOp 端子とSCKp 端子はN-chオープン・ドレイン出力(VDD 耐圧)モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

注意2. VDD ≥ Vb で使用してください。

備考1. Rb [Ω] : 通信ライン(SCKp, SOp)プルアップ抵抗値, Cb [F] : 通信ライン(SCKp, SOp)負荷容量値, Vb [V] : 通信ライン電圧

備考2. p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM, POM番号(g = 3, 5)

備考3. シリアル・アレイ・ユニットの簡易SPI (CSI) モードの異電位通信時のAC特性は下記のVIHとVILを観測点としています。

4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V のとき : VIH = 2.2 V, VIL = 0.8 V

2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V のとき : VIH = 2.0 V, VIL = 0.5 V

(8) 異電位(2.5 V系, 3 V系)通信時(fmCK/4) (簡易SPI (CSI) モード) (マスタ・モード, SCKp...内部クロック出力)

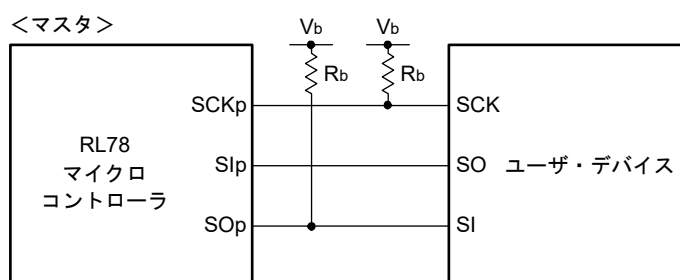
(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↑)注1	tsIK1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		479		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		ns
		2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	479		479		ns
Slpホールド時間 (対SCKp ↑)注1	tkSI1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		ns
		2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	19		19		ns
SCKp ↓ → SOp出力 遅延時間注1	tkSO1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195	ns
		2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		483		483	ns
Slpセットアップ時間 (対SCKp ↓)注2	tsIK1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		110		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		ns
		2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	110		110		ns
Slpホールド時間 (対SCKp ↓)注2	tkSI1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		ns
		2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	19		19		ns
SCKp ↑ → SOp出力遅延 時間注2	tkSO1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25	ns
		2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		25		25	ns

(注, 注意, 備考は次ページにあります。)

簡易SPI (CSI) モード接続図(異電位通信時)



注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意1. ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg)で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択します。なお V_{IH} 、 V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

注意2. $V_{DD} \geq V_b$ で使用してください。

備考1. R_b [Ω] : 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SCKp, SOp)負荷容量値, V_b [V] : 通信ライン電圧

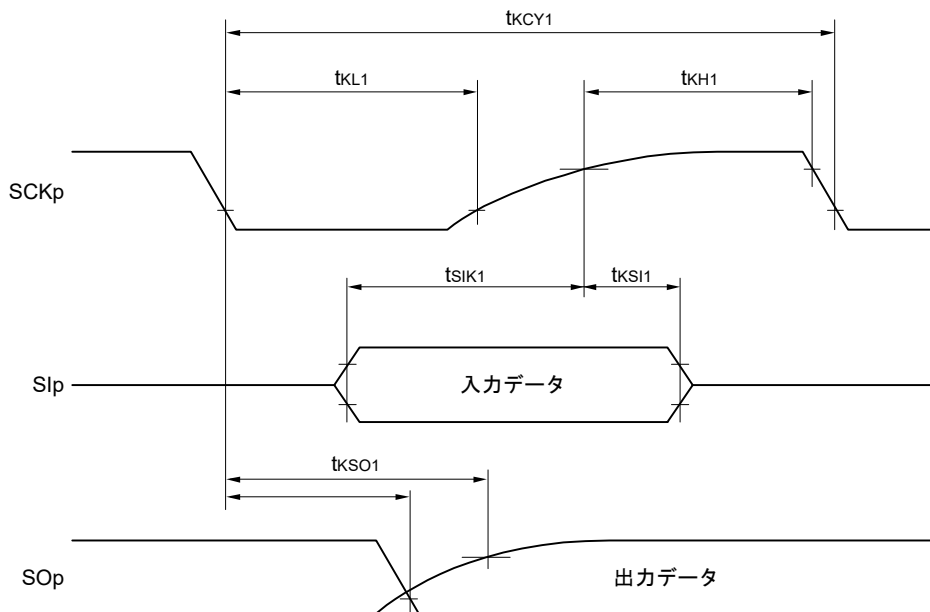
備考2. p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM, POM番号(g = 3, 5)

備考3. シリアル・アレイ・ユニットの簡易SPI (CSI) モードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

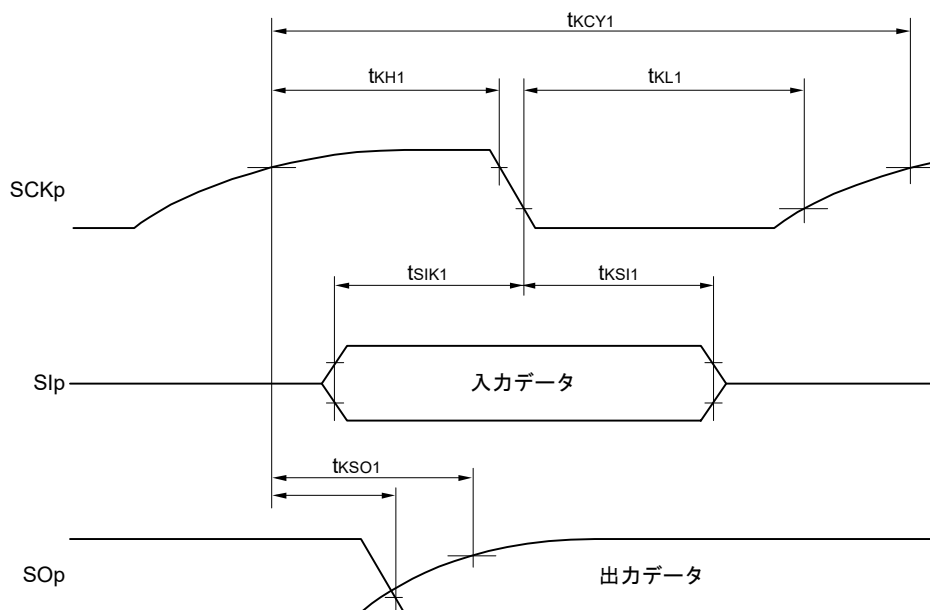
$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$ のとき : $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ のとき : $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM, POM番号(g = 3, 5)

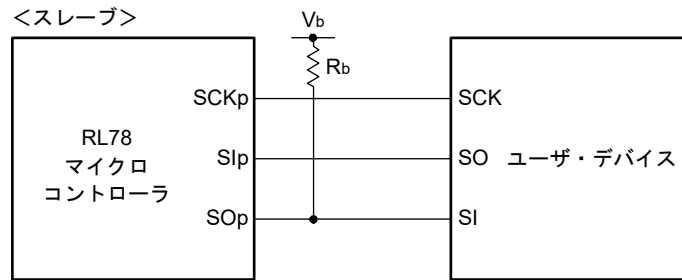
(9) 異電位(2.5 V系, 3 V系)通信時(簡易SPI (CSI) モード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム注1	tkCY2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	20 MHz < fMCK ≤ 24 MHz	12/fMCK		—		ns
			8 MHz < fMCK ≤ 20 MHz	10/fMCK		—		ns
		4 MHz < fMCK ≤ 8 MHz	8/fMCK		16/fMCK		ns	
		fMCK ≤ 4 MHz	6/fMCK		10/fMCK		ns	
	2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	20 MHz < fMCK ≤ 24 MHz	16/fMCK		—		ns	
		16 MHz < fMCK ≤ 20 MHz	14/fMCK		—		ns	
		8 MHz < fMCK ≤ 16 MHz	12/fMCK		—		ns	
		4 MHz < fMCK ≤ 8 MHz	8/fMCK		16/fMCK		ns	
	2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	20 MHz < fMCK ≤ 24 MHz	36/fMCK		—		ns	
		16 MHz < fMCK ≤ 20 MHz	32/fMCK		—		ns	
		8 MHz < fMCK ≤ 16 MHz	26/fMCK		—		ns	
		4 MHz < fMCK ≤ 8 MHz	16/fMCK		16/fMCK		ns	
SCKp ハイ、ロウ・ レベル幅	tkH2, tkL2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		tkCY2/2 - 12		tkCY2/2 - 50		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		tkCY2/2 - 18		tkCY2/2 - 50		ns
		2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2		tkCY2/2 - 50		tkCY2/2 - 50		ns
Slp セットアップ時間 (対 SCKp ↑)注3	tsIK2	2.7 V ≤ VDD ≤ 5.5 V		1/fMCK + 20		1/fMCK + 30		ns
Slp ホールド時間 (対 SCKp ↑)注3	tsIS2			1/fMCK + 31		1/fMCK + 31		ns
SCKp ↓ → SOp 出力 遅延時間注4	tkSO2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ			2/fMCK + 120		2/fMCK + 573	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			2/fMCK + 214		2/fMCK + 573	ns
		2.7 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rv = 5.5 kΩ			2/fMCK + 573		2/fMCK + 573	ns

(注, 注意, 備考は次ページにあります。)

簡易SPI (CSI) モード接続図(異電位通信時)



注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps

注2. $V_{DD} \geq V_b$ で使用してください。

注3. $DAP_{mn} = 0, CKP_{mn} = 0$ または $DAP_{mn} = 1, CKP_{mn} = 1$ のとき。 $DAP_{mn} = 0, CKP_{mn} = 1$ または $DAP_{mn} = 1, CKP_{mn} = 0$ のときは“対SCKp ↓”となります。

注4. $DAP_{mn} = 0, CKP_{mn} = 0$ または $DAP_{mn} = 1, CKP_{mn} = 1$ のとき。 $DAP_{mn} = 0, CKP_{mn} = 1$ または $DAP_{mn} = 1, CKP_{mn} = 0$ のときは“対SCKp ↑”となります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp 端子とSCKp 端子はTTL 入力バッファを選択し、SOp 端子はN-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH} , V_{IL} は、TTL 入力バッファ選択時のDC 特性を参照してください。

備考1. R_b [Ω]: 通信ライン(SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SOp)負荷容量値,

V_b [V]: 通信ライン電圧

備考2. p: CSI番号($p = 00$), m: ユニット番号($m = 0$), n: チャンネル番号($n = 0$), g: PIM, POM番号($g = 3, 5$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,
n: チャンネル番号($mn = 00$))

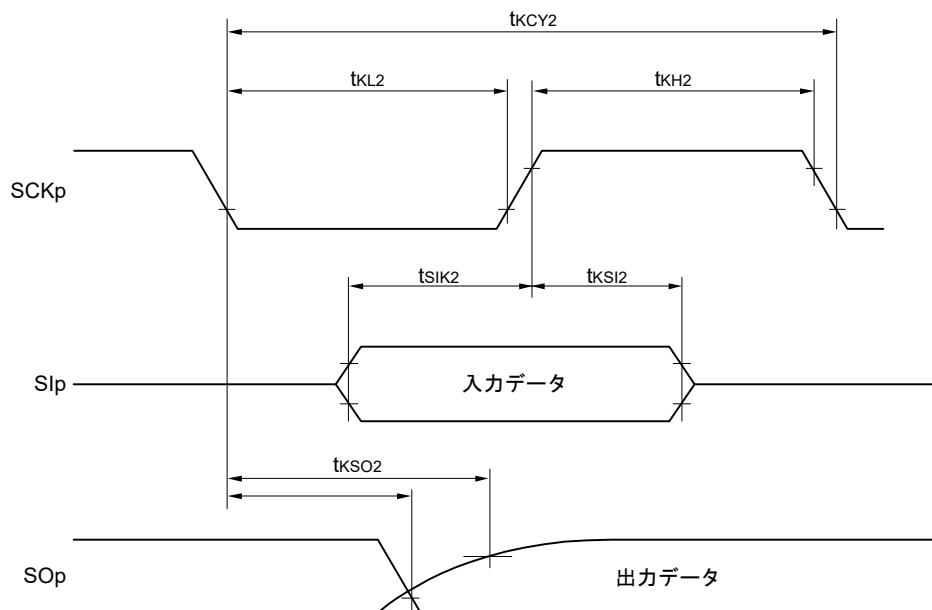
備考4. シリアル・アレイ・ユニットの簡易SPI (CSI) モードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}, 2.7\text{ V} \leq V_b \leq 4.0\text{ V}$ のとき: $V_{IH} = 2.2\text{ V}, V_{IL} = 0.8\text{ V}$

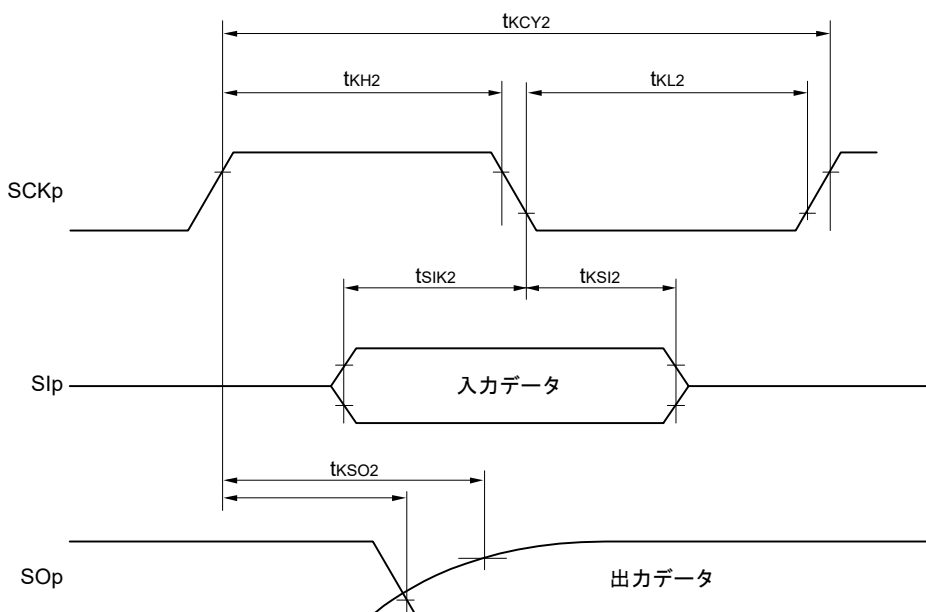
$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}, 2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ のとき: $V_{IH} = 2.0\text{ V}, V_{IL} = 0.5\text{ V}$

備考5. スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM, POM番号(g = 3, 5)

備考2. スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

(10) 異電位通信時(2.5 V系, 3 V系) 通信時(簡易I²Cモード)(TA = -40 ~ +85 °C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ		1000 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ		1000 ^{注1}		300 ^{注1}	kHz
		4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ		400 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		400 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b < 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1550		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1550		ns
		4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1150		1550		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1150		1550		ns
		2.7 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b < 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1550		1550		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	245		610		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	200		610		ns
		4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	675		610		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	600		610		ns
		2.7 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b < 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	610		610		ns

(注, 注意, 備考は次ページにあります。)

(10)異電位通信時(2.5 V系, 3 V系) 通信時(簡易I²Cモード)(TA = -40 ~ +85 °C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

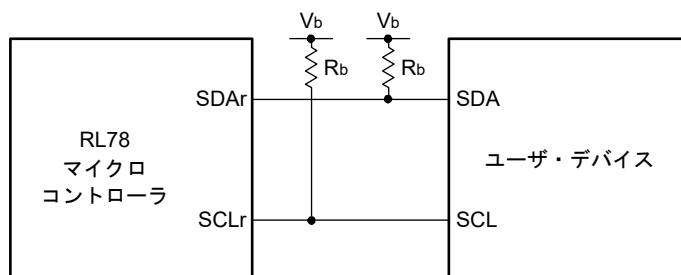
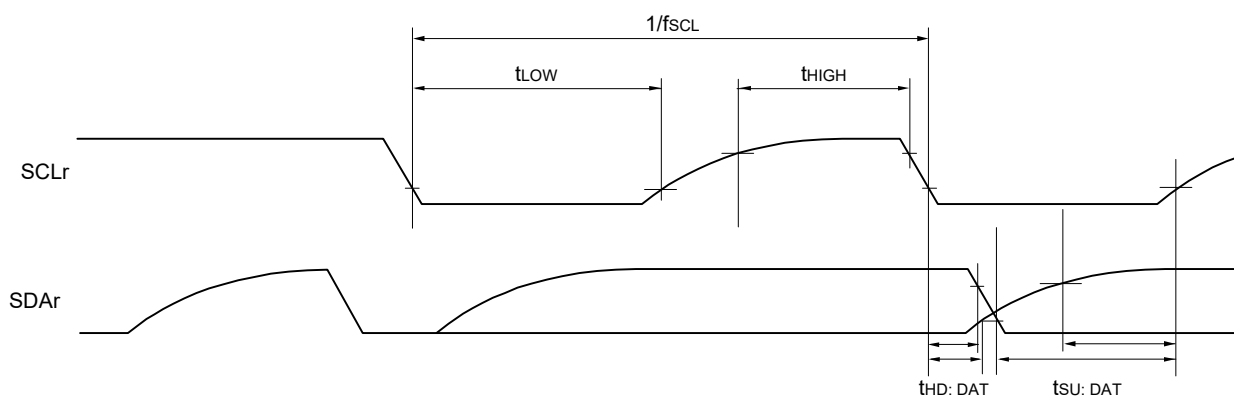
(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間 (受信時)	tsu: DAT	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 135 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 135 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
		4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 190 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 190 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
		2.7 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b < 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 190 ^{注3}		1/f _{MCK} + 190 ^{注3}		ns
データ・ホールド時間 (送信時)	t _{HD} : DAT	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	ns
		4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	355	0	355	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	355	0	355	ns
		2.7 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b < 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	0	405	0	405	ns

注1. かつ f_{MCK}/4 以下に設定してください。注2. V_{DD} ≥ V_b で使用してください。注3. f_{MCK}値は、SCLr = "L" と SCLr = "H" のホールド・タイムを越えない設定にしてください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、SDAr は TTL 入力バッファ、N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択し、SCLr は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH}、V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)簡易I²Cモード・シリアル転送タイミング(異電位通信時)

備考1. R_b [Q]: 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F]: 通信ライン(SDAr, SCLr)負荷容量値,

V_b [V]: 通信ライン電圧

備考2. r : IIC番号($r = 00$), g : PIM, POM番号($g = 3, 5$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号($m = 0$), n : チャネル番号($n = 0$), $mn = 00$)

備考4. シリアル・アレイ・ユニットの簡易I²Cモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$ のとき: $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ のとき: $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

29.7 アナログ特性

29.7.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャネル	基準電圧 基準電圧(+) = AVREFP 基準電圧(-) = AVREFM	基準電圧(+) = VDD 基準電圧(-) = VSS	基準電圧(+) = VBGR 基準電圧(-) = AVREFM
ANI0-ANI7	29.7.1 (1)参照	29.7.1 (3)参照	29.7.1 (4)参照
ANI16-ANI19	29.7.1 (2)参照		
内部基準電圧 温度センサ出力電圧	29.7.1 (1)参照		—

- (1) AVREF (+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), AVREF (-) = AVREFM/ANI1 (ADREFM = 1)
選択時, 対象ANI端子: ANI2-ANI7

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V, 基本電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差注1	AINL	10ビット分解能 AVREFP = VDD	2.7 V ≤ VDD ≤ 5.5 V		±3.5	LSB
変換時間	tCONV	10ビット分解能 AVREFP = VDD	3.6 V ≤ VDD ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875	39	μs
ゼロスケール誤差注1,2	EZS	10ビット分解能 AVREFP = VDD	2.7 V ≤ VDD ≤ 5.5 V		±0.25	%FSR
フルスケール誤差注1,2	EFS	10ビット分解能 AVREFP = VDD	2.7 V ≤ VDD ≤ 5.5 V		±0.25	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AVREFP = VDD	2.7 V ≤ VDD ≤ 5.5 V		±2.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 AVREFP = VDD	2.7 V ≤ VDD ≤ 5.5 V		±1.5	LSB
基準電圧(+)	AVREFP		2.7		VDD	V
アナログ入力電圧	VAIN		0		AVREFP	V
	VBGR	内部基準電圧出力を選択, 2.7 V ≤ VDD ≤ 5.5 V, HS (高速メイン)モード	1.38	1.45	1.5	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

(2) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$)

選択時, 対象ANI端子 : ANI16-ANI19

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, 基本電圧(+) = AV_{REFP} , 基準電圧(-) = $AV_{REFM} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差注1	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		1.2	± 5.0	LSB
変換時間	tCONV	10ビット分解能 $AV_{REFP} = V_{DD}$	$3.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	2.125		39	μs
			$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	3.1875		39	μs
ゼロスケール誤差注1,2	EZS	10ビット分解能 $AV_{REFP} = V_{DD}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.35	%FSR
フルスケール誤差注1,2	EFS	10ビット分解能 $AV_{REFP} = V_{DD}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.35	%FSR
積分直線性誤差注1	ILE	10ビット分解能 $AV_{REFP} = V_{DD}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 3.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 $AV_{REFP} = V_{DD}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.0	LSB
基準電圧(+)	AV_{REFP}		2.7		V_{DD}	V	
アナログ入力電圧	V_{AIN}		0		AV_{REFP}	V	
	V_{BGR}	内部基準電圧出力を選択, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, HS (高速メイン)モード	1.38	1.45	1.5	V	

注1. 量子化誤差($\pm 1/2$ LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

(3) $AV_{REF}(+) = V_{DD}$ ($ADREFP1 = 0, ADREFP0 = 0$), $AV_{REF}(-) = V_{SS}$ ($ADREFM = 0$)選択時,

対象ANI端子 : ANI0-ANI7, ANI16-ANI19

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, 基本電圧(+) = V_{DD} , 基準電圧(-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		1.2	± 7.0	LSB
変換時間	tCONV	10ビット分解能	$3.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	2.125		39	μs
			$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	3.1875		39	μs
ゼロスケール誤差注1,2	EZS	10ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.60	%FSR
フルスケール誤差注1,2	EFS	10ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.0	LSB
アナログ入力電圧	VAIN	ANI0-ANI7		0		V_{DD}	V
		ANI16-ANI19		0		V_{DD}	V
	VBGR	内部基準電圧出力を選択, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, HS (高速メイン)モード		1.38	1.45	1.5	V

注1. 量子化誤差($\pm 1/2$ LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

- (4) $AV_{REF}(+) =$ 内部基準電圧 ($ADREFP1 = 1, ADREFP0 = 0$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$)
 選択時, 対象ANI端子 : ANI0-ANI7, ANI16-ANI19

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, 基本電圧(+) $= V_{BGR}$,

基準電圧(-) $= AV_{REFM} = 0 \text{ V}$, HS (高速メイン)モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tCONV	8ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	17		39	μs
ゼロスケール誤差注1,2	EZS	8ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.60	%FSR
積分直線性誤差注1	ILE	8ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.0	LSB
微分直線性誤差注1	DLE	8ビット分解能	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 1.0	LSB
基準電圧(+)	V _{BGR}			1.38	1.45	1.5	V
アナログ入力電圧	V _{AIN}			0		V _{BGR}	V

注1. 量子化誤差($\pm 1/2$ LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

29.7.2 温度センサ特性

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V, HS (高速メイン)モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP25}	ADSレジスタ = 80H設定, TA = +25 °C		1.05		V
リファレンス出力電圧	V _{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMP5}	温度センサ電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	t _{AMP}		5			μs

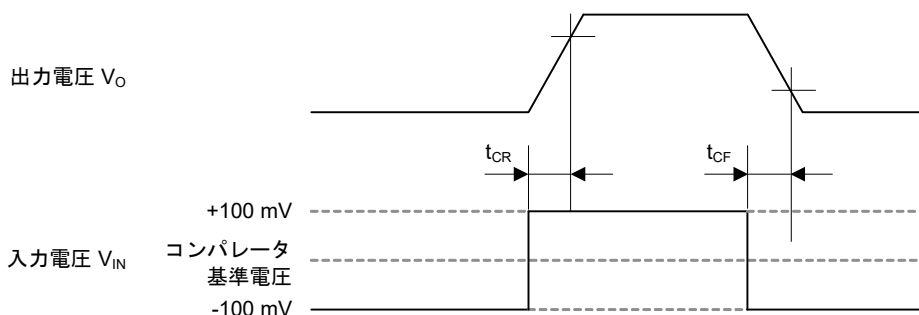
29.7.3 コンパレータ

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V _{IOCOMP}			±5	±40	mV
入力電圧範囲	V _{ICMP}		0		V _{DD}	V
内蔵基準電圧偏差	ΔV _{IREF}	CmRVMレジスタ値 : 7FH ~ 80H (m = 0, 1)			±2	LSB
		上記以外			±1	LSB
応答時間	t _{CR} , t _{CF}	入力振幅 ±100 mV		70	150	ns
動作安定時間注1	t _{CMP}	CMPnEN = 0 → 1	VDD = 3.3 ~ 5.5 V		1	μs
			VDD = 2.7 ~ 3.3 V		3	
基準電圧安定待ち時間	t _{VR}	CVRE : 0 → 1注2			20	μs

注1. コンパレータの動作許可信号切り替え(CMPnEN = 0 → 1) から、コンパレータがDC/AC特性を満足できる状態になるまでの時間。

注2. 内蔵基準電圧生成を動作許可(CVREm ビット = 1 : m = 0, 1) し、動作安定待ち時間をウエイトしてから、コンパレータ出力を許可(CnOE ビット = 1 : n = 0, 1) してください。



29.7.4 プログラマブル・ゲイン・アンプ

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	VIOPGA			±5	±10	mV
入力電圧範囲	VIPGA		0		0.9 × VDD/ 増幅率	V
出力電圧範囲	VOHPGA		0.9 × VDD			V
	VOLPGA				0.1 × VDD	
増幅率誤差	—	4倍, 8倍			±1	%
		16倍			±1.5	
		32倍			±2	
スルーレート	SRPGA	立ち上がり	4.0 V ≤ VDD ≤ 5.5 V	1.4		V/μs
			2.7 V ≤ VDD ≤ 4.0 V	0.5		
	SRFPGA	立ち下がり	4.0 V ≤ VDD ≤ 5.5 V	1.4		
			2.7 V ≤ VDD ≤ 4.0 V	0.5		
動作安定待ち時間注	tPGA	4倍, 8倍			5	μs
		16倍, 32倍			10	

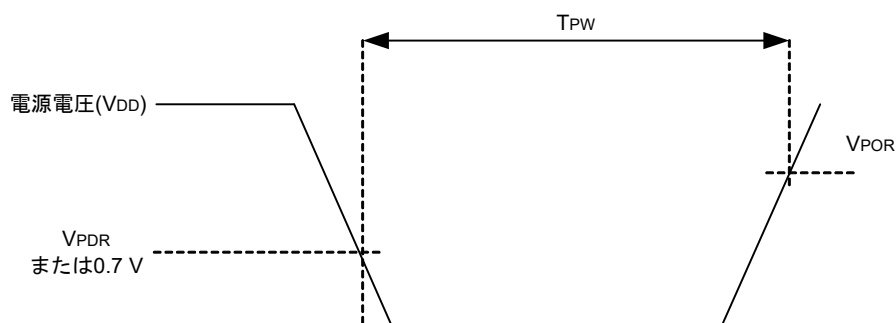
注 PGAの動作を許可(PGAEN = 1)してから、PGA動作のDC/AC特性を満足できる状態になるまでの時間。

29.7.5 POR回路特性

(TA = -40 ~ +85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.47	1.51	1.55	V
	VPDR	電源立ち下がり時	1.46	1.50	1.54	V
最小パルス幅注	tpw		300			μs

注 VDDがVPDRを下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)とビット7(MSTOP)の設定によりメイン・システム・クロック(fMAIN)を停止時は、VDDが0.7Vを下回ってから、VPORを上回るまでのPORによるリセット動作に必要な時間です。



29.7.6 LVD回路特性

(TA = -40 ~ +85 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位		
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.98	4.06	4.14	V		
			電源立ち下がり時	3.90	3.98	4.06	V		
		VLVD1	電源立ち上がり時	3.68	3.75	3.82	V		
			電源立ち下がり時	3.60	3.67	3.74	V		
		VLVD2	電源立ち上がり時	3.07	3.13	3.19	V		
			電源立ち下がり時	3.00	3.06	3.12	V		
		VLVD3	電源立ち上がり時	2.96	3.02	3.08	V		
			電源立ち下がり時	2.90	2.96	3.02	V		
		VLVD4	電源立ち上がり時	2.86	2.92	2.97	V		
			電源立ち下がり時	2.80	2.86	2.91	V		
		VLVD5	電源立ち上がり時	2.76	2.81	2.87	V		
			電源立ち下がり時	2.70	2.75	2.81	V		
		最小パルス幅		tLW		300			μs
		検出遅延		tLD				300	μs

備考 VLVD (n - 1) > VLVDn : n = 1-5

割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +85 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVD5	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧 : 2.7 V	2.70	2.75	2.81	V	
	VLVD4	LVIS1, LVIS0 = 1, 0 (+0.1 V)	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVD3	LVIS1, LVIS0 = 0, 1 (+0.2 V)	立ち上がりリセット解除電圧	2.96	3.02	3.08	V
			立ち下がり割り込み電圧	2.90	2.96	3.02	V
	VLVD0	LVIS1, LVIS0 = 0, 0 (+1.2 V)	立ち上がりリセット解除電圧	3.98	4.06	4.14	V
			立ち下がり割り込み電圧	3.90	3.98	4.06	V

29.7.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

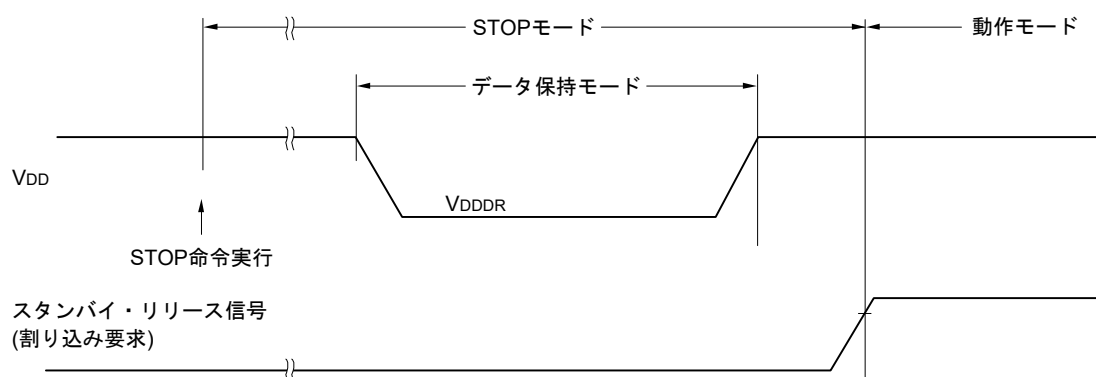
注意 VDDが29.5 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

29.8 RAM データ保持特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



29.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1		24	MHz
コード・フラッシュの書き換え回数注1, 2, 3	Cerwr	保持年数: 20年 $T_A = 85 \text{ }^\circ\text{C}$ 注3	1,000			回

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。

保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

注3. この特性は、フラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

備考 データを複数回更新する場合は、データ更新用途として使用してください。

29.10 専用フラッシュ・メモリ・プログラマ通信(UART)

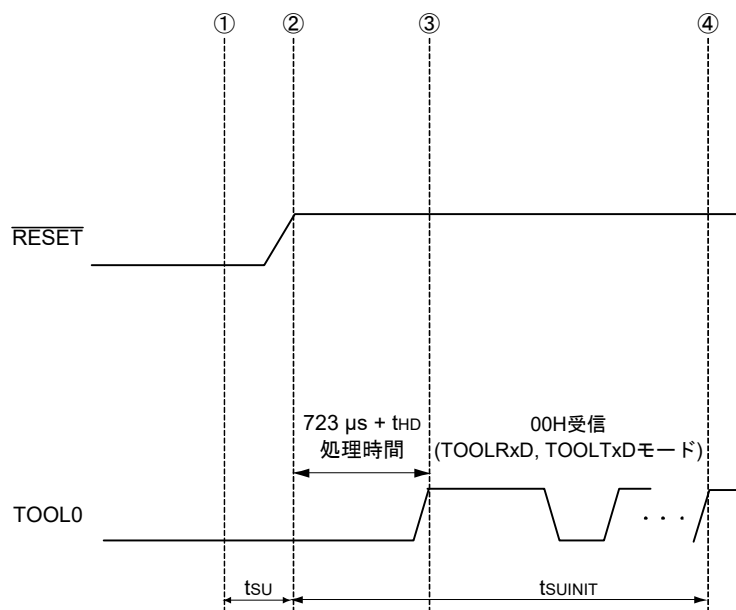
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115.2 k		1 M	bps

29.11 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40 ~ +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsuINIT	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

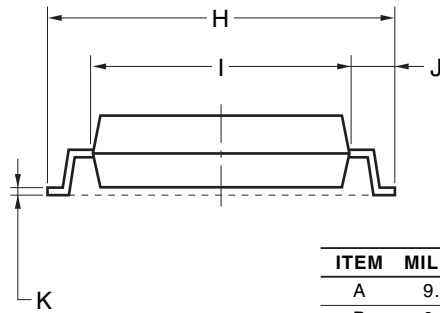
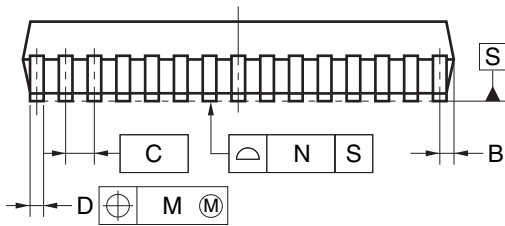
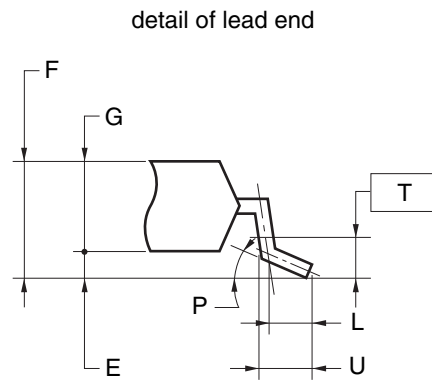
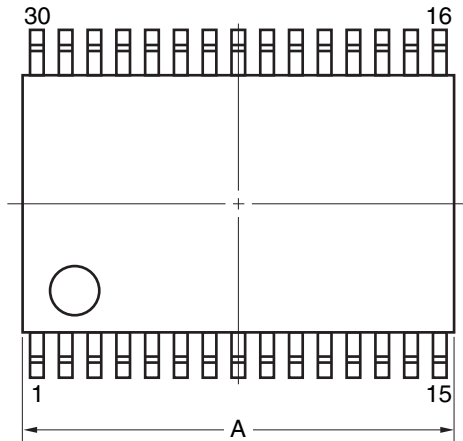
tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第30章 外形図

30.1 30ピン製品

R5F11EA8ASP, R5F11EAAASP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-0300-0.65	PLSP0030JB-B	S30MC-65-5A4-3	0.18



NOTE

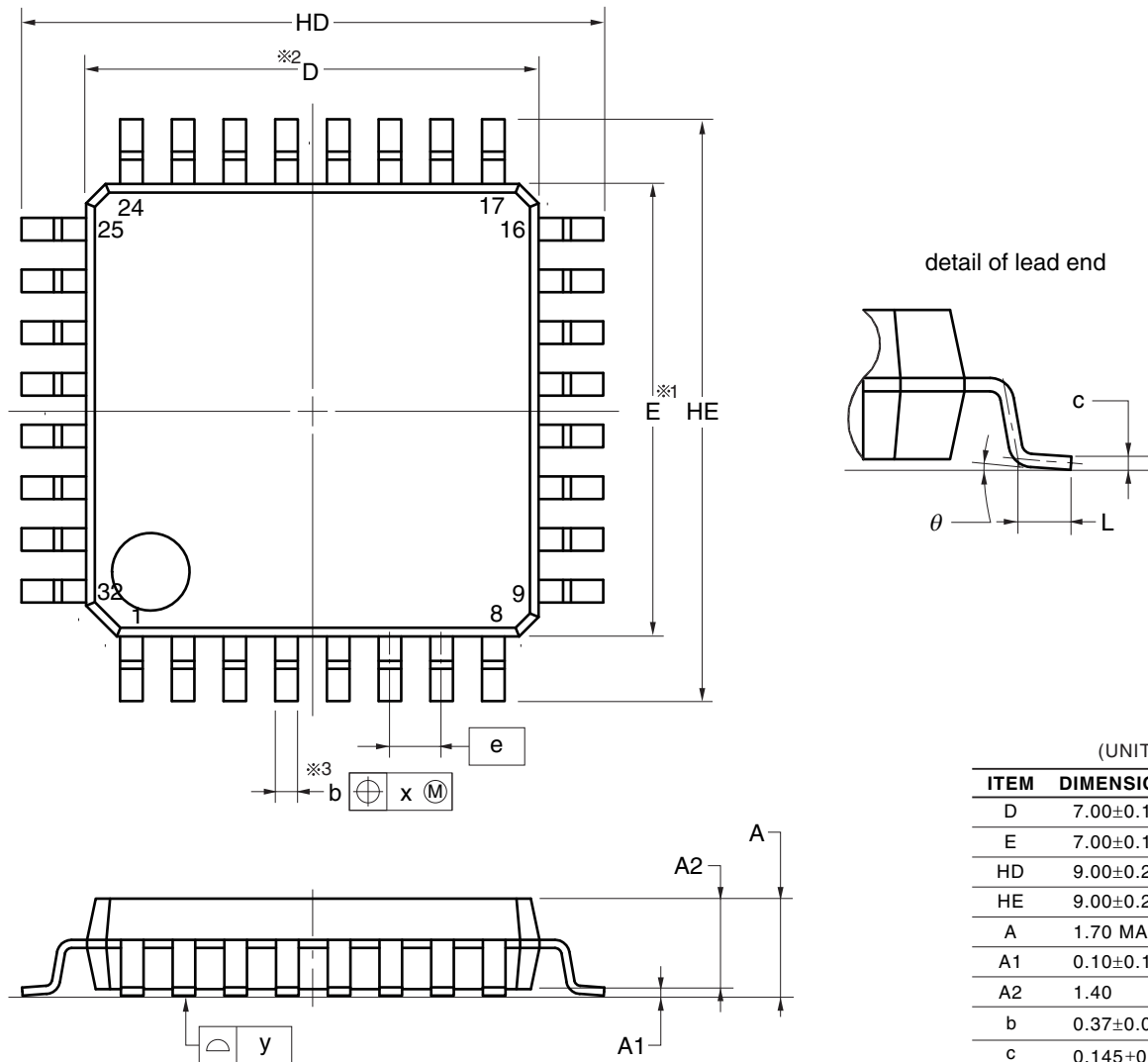
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15

30.2 32ピン製品

R5F11EB8AFP, R5F11EBAAFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2



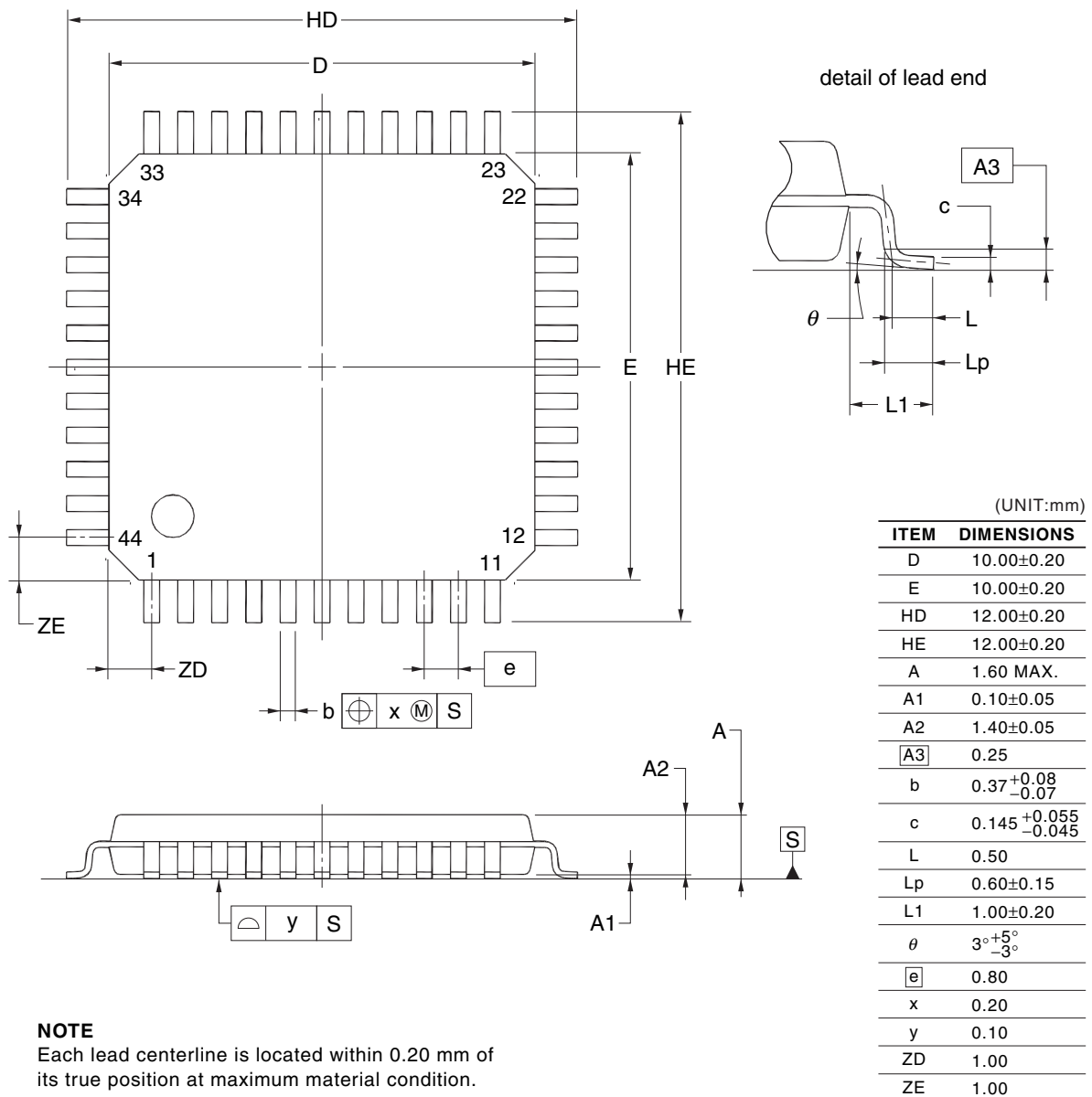
NOTE

1. Dimensions “ $\times 1$ ” and “ $\times 2$ ” do not include mold flash.
2. Dimension “ $\times 3$ ” does not include trim offset.

30.3 44ピン製品

R5F11EF8AFP, R5F11EFAAFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP44-10x10-0.80	PLQP0044GC-A	P44GB-80-UES-2	0.36

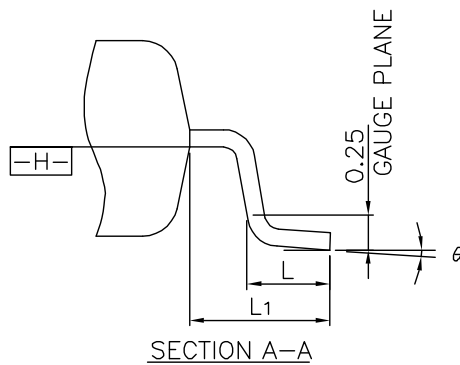
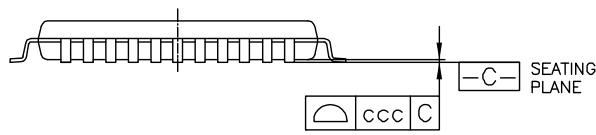
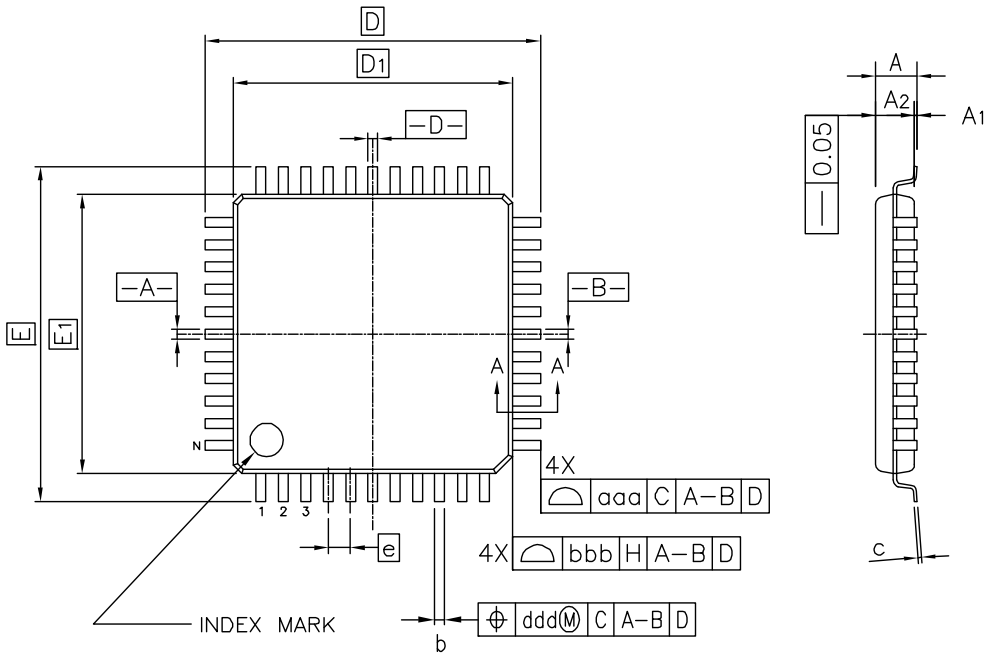


NOTE

Each lead centerline is located within 0.20 mm of its true position at maximum material condition.



JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP44-10x10-0.80	PLQP0044GF-A	0.3



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.70
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	12.00 BSC.		
D ₁	10.00 BSC.		
E	12.00 BSC.		
E ₁	10.00 BSC.		
N	—	44	—
e	0.80 BSC.		
b	0.30	0.37	0.45
c	0.09	—	0.20
θ	0°	3.5°	8°
L	0.45	0.60	0.75
L ₁	1.00 REF.		
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.10
ddd	—	—	0.20

付録A 改版履歴

A.1 本版で改訂された主な箇所

箇所	内容	分類
第30章 外形図		
p.882	30.3 44ピン製品に外形図PLQP0044GF-Aを追加	(d)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a): 誤記訂正, (b): 仕様(スペック含む)の追加/変更, (c): 説明, 注意事項の追加/変更,
(d): パッケージ, オーダ名称, 管理区分の追加/変更, (e): 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/6)

版数	内容	適用箇所
Rev. 1.40	図1-1 RL78/G1Gの型名とメモリサイズ・パッケージを変更	第1章 概説
	表1-1 発注型名一覧を変更	
	表11-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定に注を追加	第11章 ウォッチドッグ・タイマ
	22.1 安全機能の概要を変更	第22章 安全機能
	22.4 CRC 演算機能(汎用CRC)を変更	
	22.6 RAM ガード機能を変更	
	22.7 SFR ガード機能を変更	
Rev. 1.31	3線シリアルI/O、3線シリアルを簡易SPIに変更	全体
	CSIを簡易SPI(CSI)に変更	
	1.1 特徴 注1を追加	第1章 概説
	1.2 型名一覧 発注型名を追加	
	4.4.4 入出力バッファによる異電位(2.5V系, 3V系)対応 注を追加	第4章 ポート機能
	第14章 シリアル・アレイ・ユニット 注を追加	第14章 シリアル・アレイ・ユニット
	14.1.3 簡易I ² C (IIC00) ウェイトをクロック・ストレッチに変更	
	図14-59 簡易SPI (CSI00)のスレーブ受信時のレジスタ設定内容例 スレーブ受信モードを簡易SPI (CSI) スレーブ受信モードに変更	
	図14-89 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(1/2) スレーブ受信モードを簡易SPI (CSI) スレーブ受信モードに変更	
	図14-90 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(2/2) スレーブ受信モードを簡易SPI (CSI) スレーブ受信モードに変更	
	14.8 簡易I ² C (IIC00)通信の動作 ウェイトをクロック・ストレッチに変更	

(2/6)

版数	内容	適用箇所	
Rev.1.30	1.1 特徴に注1を追加	第1章 概説	
	1.3.1 30ピン製品の端子図を修正		
	1.3.2 32ピン製品の端子図を修正		
	1.3.3 44ピン製品の端子図を修正		
	表3-3 ベクタ・テーブルを修正	第3章 CPUアーキテクチャ	
	3.2.1 制御レジスタ(1) プログラム・カウンタ(PC)の説明を修正		
	図4-1 P00のブロック図に注意を追加	第4章 ポート機能	
	図4-2 P01のブロック図に注意を追加		
	図4-3 P10のブロック図に注意1, 2を追加		
	図4-7 P14のブロック図を修正		
	図4-8 P15のブロック図に注意1, 2を追加		
	図4-9 P16のブロック図に注意を追加		
	図4-10 P17のブロック図に注意1, 2を追加		
	図4-12 P30のブロック図に注意1, 2を追加		
	図4-13 P31のブロック図を修正, 注意を追加		
	図4-16 P50のブロック図に注意1, 2を追加		
	図4-17 P51のブロック図に注意を追加		
	図5-1 クロック発生回路のブロック図を修正		第5章 クロック発生回路
	図5-4 クロック動作ステータス制御レジスタ(CSC)のフォーマットの注意5に説明を追加		
	5.6.2 X1発振回路の設定例に注意を追加		
	表5-6 CPUクロックの移行についてを修正		
	5.6.6 クロック発振停止前の条件に説明を追加		
	図6-12 タイマ・モード・レジスタmn (TMRmn)のフォーマット(1/4)を修正	第6章 タイマ・アレイ・ユニット	
	図6-12 タイマ・モード・レジスタmn (TMRmn)のフォーマット(4/4)の注3を修正		
	6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ) (2) (7)の説明を修正		
	図6-35 タイマ出力設定から動作開始までの状態変化を修正		
	図6-41 TO0nビットの一括操作によるTO0nの端子状態の注意を削除		
	6.8.2 外部イベント・カウンタとしての動作の説明を修正		
	図6-65 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順を修正		
	6.9.1 ワンショット・パルス出力機能としての動作の注意を修正		
	図6-75 ワンショット・パルス出力機能時の操作手順(2/2)に注を追加		
	図7-11 タイマモードの動作例を修正		第7章 タイマRJ
	図7-12 パルス出力モードの動作例を修正		
図7-13 イベントカウンタモードの動作例1を修正			
図7-15 パルス幅測定モードの動作例を修正			

版数	内容	適用箇所
Rev.1.30	図7-16 パルス周期測定モードの動作例を修正	第7章 タイマRJ
	図8-12 タイマRD出力制御レジスタ (TRDOCR)のフォーマット[リセット同期PWMモード, 相補PWMモード]を追加	第8章 タイマRD
	図8-19 タイマRD制御レジスタ i (TRDCR i) ($i = 0, 1$)のフォーマット[相補PWMモード]を修正	
	図8-32 タイマRDカウンタ0 (TRD0)のフォーマット[リセット同期PWMモード, PWM3モード]を修正	
	図8-33 タイマRDカウンタ0 (TRD0)のフォーマット[相補PWMモード (TRD0)]を修正	
	図8-34 タイマRDカウンタ1 (TRD1)のフォーマット[相補PWMモード (TRD1)]を修正	
	表8-7 相補PWMモード時のTRDGR ji レジスタの機能を修正	
	図8-46 パルス出力強制遮断制御ブロック図を修正	
	8.5 タイマRDの動作を追加	
	図8-51 アウトプットコンペア機能のブロック図を修正	
	図8-55 PWM機能のブロック図を修正	
	図8-58 リセット同期PWMモードのブロック図を修正	
	図8-60 相補PWMモードのブロック図を修正	
	図8-63 PWM3モードのブロック図を修正	
	図9-1 12ビット・インターバル・タイマのブロック図を変更	
	図12-4 A/D電圧コンバータ使用時のタイミング・チャートを修正	第12章 A/Dコンバータ
	図12-31 ソフトウェア・トリガ・モード設定を修正	
	図12-32 ハードウェア・トリガ・ノーウェイト・モード設定を修正	
	図12-33 ハードウェア・トリガ・ウェイト・モード設定を修正	
	図12-34 温度センサ出力電圧/内部基準電圧を選択時の設定を修正	
	図12-35 テスト・モード設定を修正	
	図12-39 SNOOZEモード設定のフローチャートを修正	
	12.10 A/Dコンバータの注意事項 (2) ANI0-ANI7, ANI16-ANI19端子入力範囲についての説明を修正	
	14.2.2 シリアル・データ・レジスタ mn (SDR mn)の下位8/9ビットの注2を修正	第14章 シリアル・アレイ・ユニット
	図14-20 送信データのレベル反転例を修正	
	14.5.7 SNOOZEモード機能の説明を修正	
	図14-73 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1: DAP mn = 0, CKP mn = 0)を変更, 注1を修正	
	図14-74 SNOOZEモード動作(1回起動)時のフロー・チャートを修正	
	図14-75 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1: DAP mn = 0, CKP mn = 0)の注を修正	
	図14-76 SNOOZEモード動作(連続起動)時のフロー・チャートを修正	
	図14-112 UART送信(シングル送信モード時)のフロー・チャートを修正	
	14.7.2 UART受信の説明を修正	

(4/6)

版数	内容	適用箇所
Rev.1.30	図 14-115 UART (UART0, UART1)のUART 受信時のレジスタ設定内容例(1/2)の注を修正	第 14 章 シリアル・アレイ・ユニット
	図 14-119 UART 受信の再開設定手順を修正	
	14.7.3 SNOOZE モード機能の説明を修正, 注意 5 を追加	
	図 14-122 SNOOZE モード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャートを変更	
	図 14-123 SNOOZE モード動作(EOCm1 = 1, SSECm = 0)時のタイミング・チャートを変更	
	図 14-124 SNOOZE モード動作(EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0)時のフロー・チャートを修正	
	図 14-125 SNOOZE モード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャートを変更	
	図 14-126 SNOOZE モード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャートを修正	
	表 16-1 割り込み要因一覧を修正	
	表 19-2 各ハードウェアのリセット受け付け後の状態(1/4)を修正	第 19 章 リセット機能
	図 19-6 リセット要因の確認手順例のタイトルを修正	
	全面改訂	第 20 章 パワーオン・リセット回路
	全面改訂	第 21 章 電圧検出回路
	図 22-10 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマットの注 2 を削除	第 22 章 安全機能
	24.1.1 ユーザ・オプション・バイト(000C0H-000C2H) (3) 000C2Hの説明を追加	第 24 章 オプション・バイト
	図 24-4 ユーザ・オプション・バイト(000C2H)のフォーマットを修正	
	表 25-1 RL78/G1G と専用フラッシュ・メモリ・プログラムの配線表を修正	第 25 章 フラッシュ・メモリ
表 26-1 オンチップ・デバッグ・セキュリティ ID に注を追加	第 26 章 オンチップ・デバッグ機能	
29.8 RAM データ保持特性のタイトルを修正	第 29 章 電気的特性	
Rev.1.20	1.1 特徴の説明を変更	第 1 章 概説
	図 1 - 1 RL78/G1G の型名とメモリサイズ・パッケージを変更	
	表 1 - 1 発注型名一覧を変更	
	1.6 機能概要を変更	
	3.1 メモリ空間を変更	第 3 章 CPU アーキテクチャ
	4.5 兼用機能使用時のポート関連レジスタの設定の説明を変更	第 4 章 ポート機能
	8.1 タイマ RD の機能の説明を変更	第 8 章 タイマ RD
	8.4.4 パルス出力強制遮断の説明を変更	
	図 8 - 57 リセット同期 PWM モードのブロック図を変更	
	図 8 - 59 相補 PWM モードのブロック図を変更	

版数	内容	適用箇所
Rev.1.20	図 12 - 4 A/D 電圧コンパレータ使用時のタイミング・チャートを変更	第 12 章 A/D コンバータ
	図 12 - 12 アナログ入力チャネル指定レジスタ (ADS) のフォーマット (1/2) を変更	
	図 12 - 19 ソフトウェア・トリガ・モード (セレクト・モード, 連続変換モード) 動作タイミング例を変更	
	図 12 - 20 ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例を変更	
	図 12 - 21 ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード) 動作タイミング例を変更	
	図 12 - 22 ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード) 動作タイミング例を変更	
	図 12 - 23 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード) 動作タイミング例を変更	
	図 12 - 24 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例を変更	
	図 12 - 25 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, 連続変換モード) 動作タイミング例を変更	
	図 12 - 26 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード) 動作タイミング例を変更	
	図 12 - 27 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, 連続変換モード) 動作タイミング例を変更	
	図 12 - 28 ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例を変更	
	図 12 - 29 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, 連続変換モード) 動作タイミング例を変更	
	図 12 - 30 ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード) 動作タイミング例を変更	
	13.1 概要の説明を変更	
図 13 - 5 コンパレータ内蔵基準電圧制御レジスタ (CVRCTL) のフォーマットを変更		
図 13 - 6 コンパレータ内蔵基準電圧選択レジスタ i (CiRVM) のフォーマットを変更		
表 13 - 3 コンパレータ関連レジスタの設定手順を変更		
13.3.5 コンパレータ出力によるタイマ RD 出力の強制遮断の説明を変更		
図 13 - 17 コンパレータ出力によるタイマ RD の Hi-Z 制御回路図を削除		
16.4.4 除算命令中の割り込み処理に注意を追加	第 16 章 第 16 章 割り込み機能	
16.4.5 割り込み要求の保留の説明を変更		
表 18 - 2 STOP モード時の動作状態を変更	第 18 章 スタンバイ機能	
表 28 - 16 オペレーション一覧 (12/18) に注意を追加	第 28 章 命令セットの概要	
29.7.3 コンパレータを変更	第 29 章 電気的特性	

(6/6)

版数	内容	適用箇所
Rev.1.10	発振評価結果を追加	第5章 クロック発生回路
Rev.1.00	初版発行	全般

RL78/G1G ユーザーズマニュアル ハードウェア編

発行年月日 2024年10月31日 Rev. 1.50

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RL78/G1G

RENESAS

ルネサスエレクトロニクス株式会社

R01UH0499JJ0150