

RL78/G24

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング等、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

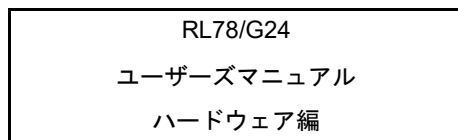
このマニュアルの使い方

対象者 このマニュアルはRL78/G24の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

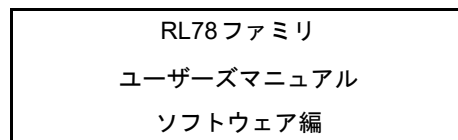
- 20ピン : R7F101G6x (x = E, G)
- 24ピン : R7F101G7x (x = E, G)
- 25ピン : R7F101G8x (x = E, G)
- 30ピン : R7F101GAx (x = E, G)
- 32ピン : R7F101GBx (x = E, G)
- 40ピン : R7F101GEx (x = E, G)
- 44ピン : R7F101GFx (x = E, G)
- 48ピン : R7F101GGx (x = E, G)
- 52ピン : R7F101GJx (x = E, G)
- 64ピン : R7F101GLx (x = E, G)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/G24のマニュアルは、このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。



- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性



- CPU機能
- 命令セット
- 命令の説明

- 読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。
- 一通りの機能を理解しようとするとき
 - 目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。
 - この★をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。
 - レジスタ・フォーマットの見方
 - ビット番号を<>で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr 指令で、sfr 変数として定義されているものです。
 - RL78/G24 マイクロコントローラの命令機能の詳細を知りたいとき
 - 別冊のRL78ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015J) を参照してください。

凡例	データ表記の重み :	左が上位桁、右が下位桁
	アクティブ・ロウの表記 :	<u>xxx</u> (端子、信号名称に上線)
	注 :	本文中につけた注の説明
	注意 :	気をつけて読んでいただきたい内容
	備考 :	本文の補足説明
	数の表記 :	2進数...xxxx または xxxxB
		10進数...xxxx
		16進数...xxxxH

関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G24 ユーザーズマニュアル ハードウェア編	このマニュアル	R01UH0961E
RL78 ファミリ ユーザーズマニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込みおよびオンチップ・デバッグ機能の関連資料

資料名	資料番号	
	和文	英文
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	注1	注1
E2エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2エミュレータ Lite ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	注2	注2

注1 PG-FP6の資料は以下のホーム・ページを参照してください。

和文：<https://www.renesas.com/jp/ja/software-tool/pg-fp6>

英文：<https://www.renesas.com/us/en/software-tool/pg-fp6>

注2 Renesas Flash Programmerの資料は以下のホーム・ページを参照してください。

和文：<https://www.renesas.com/jp/ja/software-tool/renesas-flash-programmer-programming-gui>

英文：<https://www.renesas.com/us/en/software-tool/renesas-flash-programmer-programming-gui>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

1.	概 説	1
1.1	特徴	1
1.2	型名一覧	5
1.3	端子接続図 (Top View)	7
1.3.1	20ピン製品	7
1.3.2	24ピン製品	9
1.3.3	25ピン製品	11
1.3.4	30ピン製品	13
1.3.5	32ピン製品	16
1.3.6	40ピン製品	19
1.3.7	44ピン製品	22
1.3.8	48ピン製品	25
1.3.9	52ピン製品	28
1.3.10	64ピン製品	31
1.4	端子名称	35
1.5	ブロック図	36
1.6	機能概要	37
2.	端子機能	45
2.1	ポートの端子機能	45
2.1.1	20ピン製品	46
2.1.2	24ピン製品	48
2.1.3	25ピン製品	50
2.1.4	30ピン製品	52
2.1.5	32ピン製品	54
2.1.6	40ピン製品	57
2.1.7	44ピン製品	60
2.1.8	48ピン製品	63
2.1.9	52ピン製品	66
2.1.10	64ピン製品	69
2.2	ポート以外の端子機能	72
2.2.1	製品別の搭載機能	72
2.2.2	機能説明	77
2.2.3	VBAT端子	79
2.3	未使用端子の処理	81
2.4	端子ブロック図	82
3.	CPUアーキテクチャ	107
3.1	メモリ空間	108
3.1.1	内部プログラム・メモリ空間	111
3.1.2	ミラー領域	115
3.1.3	内部データ・メモリ空間	117
3.1.4	特殊機能レジスタ (SFR : Special Function Register) 領域	118
3.1.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	118
3.1.6	データ・メモリ・アドレッシング	119

3.2	プロセッサ・レジスタ	120
3.2.1	制御レジスタ	120
3.2.2	汎用レジスタ	122
3.2.3	ES, CSレジスタ	123
3.2.4	特殊機能レジスタ (SFR : Special Function Register)	124
3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	128
3.3	命令アドレスのアドレッシング	148
3.3.1	レラティブ・アドレッシング	148
3.3.2	イミーディエト・アドレッシング	148
3.3.3	テーブル・インダイレクト・アドレッシング	149
3.3.4	レジスタ・インダイレクト・アドレッシング	150
3.4	処理データ・アドレスに対するアドレッシング	151
3.4.1	インプライド・アドレッシング	151
3.4.2	レジスタ・アドレッシング	152
3.4.3	ダイレクト・アドレッシング	153
3.4.4	ショート・ダイレクト・アドレッシング	154
3.4.5	SFRアドレッシング	155
3.4.6	レジスタ・インダイレクト・アドレッシング	156
3.4.7	ベースト・アドレッシング	157
3.4.8	ベースト・インデクスト・アドレッシング	160
3.4.9	スタック・アドレッシング	161
4.	フレキシブル・アプリケーション・アクセラレータ (FAA)	164
4.1	FAAの機能	164
4.2	FAAの構成	165
4.3	周辺イネーブル・レジスタ2 (PER2)	167
4.4	周辺リセット制御レジスタ2 (PRR2)	168
4.5	プロセッサ (GRNFAA)	169
4.5.1	プロセッサ (GRNFAA) のレジスタ構成	169
4.6	FAAのメモリ空間	170
4.7	FAAバス	171
4.8	ウィンドウ・レジスタ (WIND)	173
4.9	システム・コントローラ (GRNSYSC)	175
4.9.1	システム・コントローラのレジスタ一覧	175
4.9.1.1	システム制御レジスタ (SYSC (DSYSC))	177
4.9.1.2	演算パラメータ・レジスタ・セット	178
4.9.1.3	アドレス・ポインタ・セット	184
4.9.1.4	フラグ・ビット・レジスタ (FAAFLG)	186
4.9.1.5	プロセッサ制御レジスタ (FAACNT)	187
4.9.2	システムコントローラの動作	188
4.10	割り込みコントローラ (GRNINTC)	190
4.10.1	割り込みコントローラの概要	190
4.10.2	割り込みコントローラのレジスタ一覧と割り込み要因	190
4.10.2.1	割り込みベクタ・レジスタ 0-15, 0H-15H, 0L-15L (IV0-IV15, IV0H-IV15H, IV0L-IV15L)	194
4.10.3	割り込みコントローラの動作	196
4.11	入カイベント・コントローラ (GRNINPUTC)	199
4.11.1	入カイベント・コントローラの概要	199

4.11.2	入カイベント・コントローラのレジスター一覧	199
4.11.2.1	センス・コントロール・レジスタ0, 0H, 0L (IEVSC0, IEVSC0H, IEVSC0L)	201
4.11.2.2	センス・コントロール・レジスタ1 (IEVSC1)	203
4.11.3	入カイベント・コントローラの動作	204
4.12	基準タイミング・コントローラ (GRNTIMEC)	205
4.12.1	基準タイミング・コントローラの概要	205
4.12.2	基準タイミング・コントローラのレジスター一覧	205
4.12.2.1	タイミング・コンペア・レジスタ0-5, 0H-5H, 0L-5L (TMCMP0-5, TMCMP0H-5H, TMCMP0L-5L)	208
4.12.2.2	タイミング・コンペア・マスク・レジスタ0-5, 0H-5H, 0L-5L (TMMSK0-5, TMMSK0H-5H, TMMSK0L-5L)	209
4.12.2.3	フリーラン・カウンタ・レジスタ、H, L (FCNT, FCNTH, FCNTL)	210
4.12.2.4	フリーラン・カウンタ制御レジスタ (FCCNT)	211
4.12.3	基準タイミング・コントローラの動作	212
4.13	アドレス・バス選択機能	213
4.13.1	アドレス・バス選択機能の概要	213
4.13.2	アドレス・バス選択機能のレジスター一覧	213
4.13.2.1	アドレス・バス選択レジスタ (ADBSEL)	215
4.13.2.2	FAA・アドレス・ポインタ (FAAAP)	216
4.13.2.3	FAA・レジスタアクセストリガレジスタ (FAAAC)	217
4.13.3	アドレス・バス選択機能の動作	218
4.14	FAAの動作	233
4.14.1	CPUとFAAの組み合わせ動作	233
4.14.2	FAAのプログラム実行制御	235
4.14.3	CPUへの割り込み要求出力機能	236
4.15	命令セット	237
4.15.1	転送命令、算術演算命令、比較命令、分岐命令、I/O命令、制御命令	237
4.15.2	論理演算命令、スタック操作とサブルーチン関連命令、割り込み関連命令	238
4.15.3	拡張転送命令、非飽和算術演算命令	239
4.15.4	2命令同時実行	240
4.16	各命令の説明	242
4.16.1	転送命令	242
4.16.2	算術演算命令	246
4.16.3	比較命令	249
4.16.4	分岐命令	249
4.16.5	I/O命令	250
4.16.6	制御命令	250
4.16.7	論理演算命令	251
4.16.8	スタック操作とサブルーチン関連命令	254
4.16.9	割り込み関連命令	256
4.16.10	拡張転送命令	257
4.16.11	非飽和算術演算命令	260
4.16.12	演算ビット数	262
4.17	注意事項	263
4.17.1	FAAのプログラムとデータのコード・フラッシュ・メモリへの書き込みについて	263
4.17.2	コード・フラッシュ・メモリに格納されているFAAのプログラムとデータの インストラクション・コード・メモリ、データ・メモリへの転送について	264

5.	データ共有メモリ (SHDMEM)	265
5.1	データ共有メモリ (SHDMEM) の概要	265
5.2	周辺イネーブル・レジスタ2 (PER2)	265
5.3	周辺リセット制御レジスタ2 (PRR2)	266
5.4	データ共有メモリ (SHDMEM) のレジスタの一覧	266
5.5	CWDWレジスタ・ファイルn, nH, nL (CWDWn, CWDWnH, CWDWnL) (n = 0-7)	268
6.	除算器	269
6.1	除算器の機能	269
6.2	除算器の構成	269
6.2.1	除算データ・レジスタAH, AL (FAADAH, FAADAL)	271
6.2.2	除算データ・レジスタBH, BL (FAADBH, FAADBL)	272
6.2.3	除算データ・レジスタCH, CL (FAADCH, FAADCL)	273
6.3	除算器を制御するレジスタ	274
6.3.1	周辺イネーブル・レジスタ2 (PER2)	274
6.3.2	周辺リセット制御レジスタ2 (PRR2)	275
6.3.3	除算コントロール・レジスタ (FAADUC)	276
6.4	除算器の動作	277
7.	ポート機能	279
7.1	ポートの機能	279
7.2	ポートの構成	279
7.2.1	ポート0	281
7.2.2	ポート1	281
7.2.3	ポート2	282
7.2.4	ポート3	282
7.2.5	ポート4	282
7.2.6	ポート5	283
7.2.7	ポート6	283
7.2.8	ポート7	284
7.2.9	ポート12	284
7.2.10	ポート13	285
7.2.11	ポート14	285
7.3	ポート機能を制御するレジスタ	286
7.3.1	ポート・モード・レジスタ (PMxx)	290
7.3.2	ポート・レジスタ (Pxx)	291
7.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	292
7.3.4	ポート入力モード・レジスタ (PIMxx)	293
7.3.5	ポート出力モード・レジスタ (POMxx)	294
7.3.6	ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx)	295
7.3.7	ポート・モード・コントロールA・レジスタ (PMCAxx)	296
7.3.8	周辺I/Oリダイレクション・レジスタ (PIORx)	297
7.3.9	グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)	302
7.3.10	出力電流制御許可レジスタ (CCDE)	303
7.3.11	出力電流選択レジスタ (CCSx)	304
7.3.12	ポート・モード選択レジスタ (PMS)	304
7.4	ポート機能の動作	305
7.4.1	入出力ポートへの書き込み	305
7.4.2	入出力ポートからの読み出し	305

7.4.3	入出力ポートでの演算	305
7.4.4	EVDD ≤ VDDによる異電位 (1.8 V系、2.5 V系、3 V系) 対応	305
7.4.5	入出力バッファによる異電位 (1.8 V系、2.5 V系、3 V系) 対応	306
7.5	兼用機能使用時のレジスタ設定	309
7.5.1	兼用機能使用時の基本的な考え方	309
7.5.2	出力機能を使用しない兼用機能のレジスタ設定	311
7.5.3	ポートの各レジスタ設定と端子状態	312
7.5.4	使用するポート機能および兼用機能のレジスタ設定例	313
7.6	ポート機能使用時の注意事項	336
7.6.1	ポート・レジスタ (Pxx) に対する1ビット・メモリ操作命令に関する注意事項	336
7.6.2	端子設定に関する注意事項	337
8.	オペレーション・ステート・コントロール	338
8.1	オペレーション・ステート・コントロールの構成	338
8.2	オペレーション・ステート・コントロールを制御するレジスタ	340
8.2.1	フラッシュ動作モード選択レジスタ (FLMODE)	340
8.2.2	フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)	342
8.2.3	プリフェッチバッファイネーブルレジスタ (PFBER)	343
8.3	フラッシュ動作モードの初期設定	344
8.4	フラッシュ動作モードの遷移	345
8.4.1	フラッシュ・メモリからの命令プリフェッチ	346
8.5	フラッシュ動作モードの詳細	348
8.5.1	HS (高速メイン) モード (プリフェッチOFF) の詳細	348
8.5.2	HS (高速メイン) モード (プリフェッチON) の詳細	349
8.5.3	LS (低速メイン) モードの詳細	350
8.5.4	LP (低電力メイン) モードの詳細	351
8.5.5	SUBモードの詳細	352
9.	クロック発生回路	353
9.1	クロック発生回路の機能	353
9.2	クロック発生回路の構成	356
9.3	クロック発生回路を制御するレジスタ	359
9.3.1	クロック動作モード制御レジスタ (CMC)	360
9.3.2	システム・クロック制御レジスタ (CKC)	363
9.3.3	クロック動作ステータス制御レジスタ (CSC)	365
9.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	367
9.3.5	発振安定時間選択レジスタ (OSTS)	369
9.3.6	周辺イネーブル・レジスタ 0-2 (PER0-PER2)	371
9.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC)	376
9.3.8	サブシステム・クロック選択レジスタ (CKSEL)	378
9.3.9	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	379
9.3.10	中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)	381
9.3.11	高速システム・クロック分周レジスタ (MOSCDIV)	382
9.3.12	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	383
9.3.13	中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM)	384
9.3.14	低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM)	385
9.3.15	スタンバイ・モード解除設定レジスタ (WKUPMD)	386
9.3.16	高速クロック選択レジスタ (HSCLKSEL)	387
9.3.17	PLLコントロール・レジスタ (DSCCTL)	388

9.3.18	メイン・クロック制御レジスタ (MCKC)	389
9.3.19	ペリフェラル・クロックコントロールレジスタ (PCKC)	390
9.4	システム・クロック発振回路	391
9.4.1	X1発振回路	391
9.4.2	XT1発振回路	392
9.4.3	高速オンチップ・オシレータ	395
9.4.4	中速オンチップ・オシレータ	395
9.4.5	低速オンチップ・オシレータ	395
9.4.6	PLL (Phase Locked Loop)	395
9.5	クロック発生回路の動作	396
9.6	クロックの制御	398
9.6.1	高速オンチップ・オシレータの設定例	398
9.6.2	X1発振回路の設定例	400
9.6.3	XT1発振回路の設定例	401
9.6.4	PLL回路の設定例	402
9.6.5	CPUクロック状態移行図	404
9.6.6	CPUクロックの移行前の条件と移行後の処理	409
9.6.7	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	417
9.6.8	クロック発振停止前の条件	419
9.7	発振子と発振回路定数	420
10.	タイマ・アレイ・ユニット (TAU)	421
10.1	タイマ・アレイ・ユニットの機能	423
10.1.1	単独チャンネル動作機能	423
10.1.2	複数チャンネル連動動作機能	425
10.1.3	8ビット・タイマ動作機能 (チャンネル1, 3のみ)	426
10.1.4	LIN-bus対応機能 (チャンネル3のみ)	426
10.2	タイマ・アレイ・ユニットの構成	427
10.2.1	タイマ・カウンタ・レジスタ mn (TCRmn) (m = 0, n = 0-3)	432
10.2.2	タイマ・データ・レジスタ mn (TDRmn) (m = 0, n = 0-3)	434
10.3	タイマ・アレイ・ユニットを制御するレジスタ	435
10.3.1	周辺イネーブル・レジスタ 0 (PER0)	436
10.3.2	周辺リセット制御レジスタ 0 (PRR0)	437
10.3.3	タイマ・クロック選択レジスタ m (TPSm) (m = 0)	438
10.3.4	タイマ・モード・レジスタ mn (TMRmn) (m = 0, n = 0-3)	441
10.3.5	タイマ・ステータス・レジスタ mn (TSRmn) (m = 0, n = 0-3)	445
10.3.6	タイマ・チャンネル許可ステータス・レジスタ m (TEm) (m = 0)	446
10.3.7	タイマ・チャンネル開始レジスタ m (TSm) (m = 0)	447
10.3.8	タイマ・チャンネル停止レジスタ m (TTm) (m = 0)	449
10.3.9	タイマ入出力選択レジスタ 0 (TIOS0)	450
10.3.10	タイマ出力許可レジスタ m (TOEm) (m = 0)	452
10.3.11	タイマ出力レジスタ m (TOM) (m = 0)	453
10.3.12	タイマ出力レベル・レジスタ m (TOLm) (m = 0)	454
10.3.13	タイマ出力モード・レジスタ m (TOMm) (m = 0)	455
10.3.14	入力切り替え制御レジスタ (ISC)	456
10.3.15	ノイズ・フィルタ許可レジスタ 1 (NFEN1)	457
10.3.16	タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ	458
10.4	タイマ・アレイ・ユニットの基本ルール	459
10.4.1	複数チャンネル連動動作機能の基本ルール	459

10.4.2	8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）	461
10.5	カウンタの動作	462
10.5.1	カウント・クロック（fTCLK）	462
10.5.2	カウンタのスタート・タイミング	464
10.5.3	カウンタの動作	465
10.6	チャンネル出力（TOmn端子）の制御	470
10.6.1	TOmn端子の出力回路の構成	470
10.6.2	TOmn端子の出力設定	471
10.6.3	チャンネル出力操作時の注意事項	472
10.6.4	TOmnビットの一括操作	476
10.6.5	カウント動作開始時のタイマ割り込みとTOmn端子出力について	477
10.7	タイマ入力（TImn）の制御	478
10.7.1	TImnの入力回路構成	478
10.7.2	ノイズ・フィルタ	478
10.7.3	チャンネル入力操作時の注意事項	479
10.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	480
10.8.1	インターバル・タイマ／方形波出力としての動作	480
10.8.2	外部イベント・カウンタとしての動作	486
10.8.3	分周器としての動作（チャンネル0のみ）	491
10.8.4	入力パルス間隔測定としての動作	496
10.8.5	入力信号のハイ／ロウ・レベル幅測定としての動作	501
10.8.6	ディレイ・カウンタとしての動作	506
10.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	511
10.9.1	ワンショット・パルス出力機能としての動作	511
10.9.2	PWM機能としての動作	520
10.9.3	多重PWM出力機能としての動作	529
10.10	タイマ・アレイ・ユニット使用時の注意事項	538
10.10.1	タイマ出力使用時の注意事項	538
11.	タイマRJ	539
11.1	タイマRJの機能	539
11.2	タイマRJの構成	540
11.3	タイマRJを制御するレジスタ	541
11.3.1	周辺イネーブル・レジスタ2（PER2）	542
11.3.2	周辺リセット制御レジスタ2（PRR2）	543
11.3.3	サブシステム・クロック供給モード制御レジスタ（OSMC）	544
11.3.4	タイマRJカウンタレジスタ0（TRJ0）	545
11.3.5	タイマRJ制御レジスタ0（TRJCR0）	546
11.3.6	タイマRJ I/O制御レジスタ0（TRJIOC0）	548
11.3.7	タイマRJモードレジスタ0（TRJMR0）	550
11.3.8	タイマRJイベント端子選択レジスタ0（TRJISR0）	552
11.3.9	タイマRJの入出力と端子を兼用するポートのポート機能を制御するレジスタ	553
11.4	タイマRJの動作	554
11.4.1	リロードレジスタとカウンタの書き換え動作	554
11.4.2	タイマモード	555
11.4.3	パルス出力モード	556
11.4.4	イベントカウンタモード	557
11.4.5	パルス幅測定モード	559
11.4.6	パルス周期測定モード	560

11.4.7	イベント・リンク・コントローラ (ELC) との連携による動作	561
11.4.8	各モード出力設定	561
11.5	タイマRJ使用上の注意事項	562
11.5.1	カウント動作開始、停止制御	562
11.5.2	フラグへのアクセス (TRJCR0レジスタのTEDGF, TUNDFフラグ)	562
11.5.3	カウンタレジスタへのアクセス	562
11.5.4	モード変更時	563
11.5.5	TRJ00, TRJ100端子の設定手順	563
11.5.6	タイマRJ未使用時	563
11.5.7	タイマRJ動作クロック停止時	563
11.5.8	STOPモード (イベントカウンタモード) 時の動作に対する設定手順	564
11.5.9	STOPモード (イベントカウンタモードのみ) での機能制限	564
11.5.10	TSTOPビットによる強制カウント停止時	564
11.5.11	デジタルフィルタ	564
11.5.12	カウントソースにfilを選択する場合	564
12.	タイマRD2	565
12.1	タイマRD2の機能	565
12.2	タイマRD2の構成	566
12.3	タイマRD2を制御するレジスタ	567
12.3.1	周辺イネーブル・レジスタ2 (PER2)	569
12.3.2	周辺リセット制御レジスタ2 (PRR2)	570
12.3.3	タイマRD ELCレジスタ (TRDELIC)	571
12.3.4	タイマRDタイマKB PWM出力ゲートモード制御レジスタ (TRDBCR)	572
12.3.5	タイマRDタイマKB PWM出力モニタレジスタ (TRDBOF)	573
12.3.6	タイマRDスタートレジスタ (TRDSTR)	574
12.3.7	タイマRDモードレジスタ (TRDMR)	575
12.3.8	タイマRD PWM機能選択レジスタ (TRDPMR)	576
12.3.9	タイマRD機能制御レジスタ (TRDFCR)	579
12.3.10	タイマRD出力マスタ許可レジスタ1 (TRDOER1)	581
12.3.11	タイマRD出力マスタ許可レジスタ2 (TRDOER2)	583
12.3.12	タイマRD出力制御レジスタ (TRDOCR)	584
12.3.13	タイマRDデジタルフィルタ機能選択レジスタ0, 1 (TRDDF0, TRDDF1)	589
12.3.14	タイマRD制御レジスタ0, 1 (TRDCR0, TRDCR1)	592
12.3.15	タイマRD I/O制御レジスタA0, 1 (TRDIORA0, TRDIORA1)	598
12.3.16	タイマRD I/O制御レジスタC0, 1 (TRDIORC0, TRDIORC1)	600
12.3.17	タイマRDステータスレジスタ0 (TRDSR0)	602
12.3.18	タイマRDステータスレジスタ1 (TRDSR1)	607
12.3.19	タイマRD割り込み許可レジスタ0, 1 (TRDIER0, TRDIER1)	613
12.3.20	タイマRD PWM出力レベル制御レジスタ0 (TRDPOCR0)	614
12.3.21	タイマRD PWM出力レベル制御レジスタ1 (TRDPOCR1)	616
12.3.22	タイマRDカウンタ0, 1 (TRD0, TRD1)	618
12.3.23	タイマRDジェネラルレジスタA0, A1, B0, B1, C0, C1, D0, D1 (TRDGRA0, TRDGRA1, TRDGRB0, TRDGRB1, TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1)	621
12.3.24	タイマRD拡張コンペアレジスタB0, D0, A1, B1, C1, D1 (TRDCMPB0, TRDCMPD0, TRDCMPA1, TRDCMPB1, TRDCMPC1, TRDCMPD1)	635
12.3.25	タイマRD A/D変換トリガコンペアレジスタ0/ タイマKB PWM出力ゲートモードコンペアレジスタ (TRDADTC0/TRDCMPE1)	638

12.3.26	タイマRD A/D 変換トリガバッファレジスタ0/ タイマKB PWM出力ゲートモードバッファレジスタ (TRDADTB0/TRDCMPF1)	639
12.3.27	タイマRD A/D 変換トリガコンペアレジスタ1 (TRDADTC1)	641
12.3.28	タイマRD A/D 変換トリガバッファレジスタ1 (TRDADTB1)	642
12.3.29	タイマRD一斉書き換えトリガレジスタ0 (TRDRDT0)	643
12.3.30	タイマRD一斉書き換えトリガレジスタ1 (TRDRDT1)	643
12.3.31	タイマRD一斉書き換えフラグレジスタ0 (TRDRSF0)	644
12.3.32	タイマRD一斉書き換えフラグレジスタ1 (TRDRSF1)	645
12.3.33	タイマRD A/D 変換トリガ制御レジスタ (TRDADCR)	646
12.3.34	タイマRD間引き制御レジスタ (TRDTCTL)	647
12.3.35	タイマRD間引き回数設定レジスタ (TRDTCMP)	648
12.3.36	タイマRD出力ポートマスク許可レジスタ (TRDPOE)	649
12.3.37	タイマRD2と端子を兼用するポートのポート機能を制御するレジスタ	650
12.4	複数モードにかかわる共通事項	651
12.4.1	カウントソース	651
12.4.2	バッファ動作	652
12.4.3	同期動作	655
12.4.4	パルス出力強制遮断	656
12.4.5	イベント・リンク・コントローラ (ELC) からのイベント入力	658
12.4.6	イベント・リンク・コントローラ (ELC) / データ・トランスファ・コントローラ (DTC) へのイベント出力	659
12.4.7	コンペアレジスタの一斉書き換え	660
12.4.8	割り込み要求、A/D変換トリガの間引き制御	663
12.5	タイマRD2の動作	665
12.5.1	インプットキャプチャ機能	665
12.5.2	アウトプットコンペア機能	670
12.5.3	PWM機能	676
12.5.4	リセット同期PWMモード	681
12.5.5	相補PWMモード	686
12.5.6	PWM3モード	692
12.5.7	拡張PWMモード	696
12.5.8	拡張相補PWMモード	700
12.5.9	タイマKB PWM出力ゲートモード	707
12.6	タイマRD2割り込み	716
12.7	タイマRD2使用上の注意事項	718
12.7.1	SFRリード/ライトアクセス	718
12.7.2	モードの切り替え	719
12.7.3	カウントソース	719
12.7.4	インプットキャプチャ機能	719
12.7.5	TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の設定手順 (i = 0, 1)	720
12.7.6	外部クロック TRDCLK	720
12.7.7	タイマモードPWM機能	721
12.7.8	リセット同期PWMモード	721
12.7.9	相補PWMモード	722
12.7.10	拡張PWMモード	726
12.7.11	拡張相補PWMモード	727
12.8	PWMオプションユニットA (PWMOPA)	732
12.8.1	PWMオプションユニットの概要	733

12.8.2	PWMオプションユニットを制御するレジスタ	734
12.8.2.1	PWMOPA制御レジスタ0 (OPCTL0)	734
12.8.2.2	PWMOPA遮断制御レジスタ0 (OPDF0)	737
12.8.2.3	PWMOPA遮断制御レジスタ1 (OPDF1)	738
12.8.2.4	PWMOPAエッジ選択レジスタ (OPEDGE)	739
12.8.2.5	PWMOPAステータス・レジスタ (OPSR)	740
12.8.3	動作説明	741
12.8.4	注意事項	763
13.	タイマRG2	764
13.1	タイマRG2の機能	764
13.2	タイマRG2の構成	765
13.3	タイマRG2を制御するレジスタ	767
13.3.1	周辺イネーブル・レジスタ2 (PER2)	768
13.3.2	周辺リセット制御レジスタ2 (PRR2)	769
13.3.3	タイマRGモードレジスタ0 (TRGMR0)	770
13.3.4	タイマRGモードレジスタ1 (TRGMR1)	772
13.3.5	タイマRGカウント制御レジスタ (TRGCNTC)	773
13.3.6	タイマRG制御レジスタ (TRGCR)	775
13.3.7	タイマRGスタートレジスタ (TRGSTR)	776
13.3.8	タイマRG割り込み許可レジスタ0 (TRGIER0)	777
13.3.9	タイマRG割り込み許可レジスタ1 (TRGIER1)	778
13.3.10	タイマRGステータスレジスタ0 (TRGSR0)	779
13.3.11	タイマRGステータスレジスタ1 (TRGSR1)	782
13.3.12	タイマRG I/O制御レジスタ (TRGIOR)	784
13.3.13	タイマRG出力許可レジスタ (TRGOER)	786
13.3.14	タイマRG出力制御レジスタ (TRGOER)	787
13.3.15	タイマRG位相計数制御レジスタ0 (TRGCTL0)	788
13.3.16	タイマRG位相計数制御レジスタ1 (TRGCTL1)	789
13.3.17	タイマRGカウンタ (TRG)	790
13.3.18	タイマRGジェネラルレジスタA, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)	791
13.3.19	タイマRG位相変化時間計測カウンタ (TRGPMC)	795
13.3.20	タイマRG位相変化時間キャプチャレジスタ0, 1 (TRGCAP0, TRGCAP1)	796
13.3.21	タイマRG2と端子を兼用するポートのポート機能を制御するレジスタ	797
13.4	タイマRG2の動作	798
13.4.1	複数モード、機能にかかわる共通事項	798
13.4.2	タイマモード (インプットキャプチャ機能)	804
13.4.3	タイマモード (アウトプットコンペア機能)	807
13.4.4	PWMモード	812
13.4.5	PWM2モード	816
13.4.6	位相計数モード	823
13.5	割り込み要因	836
13.5.1	タイマRG2割り込み	836
13.5.2	タイマRG2クリア割り込み	838
13.5.3	タイマRG2位相変化検出割り込み	838
13.6	使用上の注意事項	839
13.6.1	位相計数モード時の位相差、オーバーラップ、およびパルス幅	839
13.6.2	モード切り替え	839

13.6.3	カウントソース切り替え	839
13.6.4	TRGIOA, TRGIOB, TRGTRG 端子の設定手順	840
13.6.5	外部クロック (TRGCLKA, TRGCLKB)	840
13.6.6	SFRリード/ライトアクセス	841
13.6.7	カウント停止時のインプットキャプチャ動作	842
13.6.8	カウント停止時のTRGTRG入力によるカウンタ・クリア動作	842
13.6.9	カウント停止時のZ相入力による位相計数モードカウンタ・クリア動作	843
14.	タイマRX	844
14.1	タイマRXの機能	844
14.2	タイマRXの構成	844
14.3	タイマRXを制御するレジスタ	845
14.3.1	周辺イネーブル・レジスタ2 (PER2)	846
14.3.2	周辺リセット制御レジスタ2 (PRR2)	847
14.3.3	タイマRXカウンタ (TRX)	848
14.3.4	タイマRXカウント・バッファ・カウンタ (TRXBUF)	848
14.3.5	タイマRX機能制御レジスタ1 (TRXCR1)	849
14.3.6	タイマRX機能制御レジスタ2 (TRXCR2)	851
14.3.7	タイマRXステータス・レジスタ (TRXSR)	852
14.4	タイマRXの動作	853
14.4.1	カウント・ソース	853
14.4.2	カウント・スタート動作	854
14.4.3	カウント・ストップ動作	856
14.4.4	インプット・キャプチャ動作	857
14.4.5	カウント・リセット動作	858
14.4.6	タイマRX割り込み	859
14.5	使用上の注意事項	860
14.5.1	SFRリード/ライト・アクセス	860
14.5.2	オーバフロー割り込み	860
14.5.3	インプット・キャプチャとタイマRXカウント・リセット動作	860
14.5.4	タイマRXとタイマRD2、コンパレータとの連携動作するときの設定手順	860
15.	16ビット・タイマKB30, KB31, KB32	861
15.1	16ビット・タイマKB30, KB31, KB32の機能	862
15.2	16ビット・タイマKB30, KB31, KB32の構成	864
15.3	16ビット・タイマKB30, KB31, KB32を制御するレジスタ	866
15.3.1	周辺イネーブル・レジスタ2 (PER2)	867
15.3.2	周辺リセット制御レジスタ2 (PRR2)	868
15.3.3	タイマ・クロック選択レジスタ2 (TPS2)	869
15.3.4	16ビット・タイマKBコンペア・レジスタnm (TKBCRnm) (n = 0-2, m = 0-3)	871
15.3.5	16ビット・タイマKBトリガ・コンペア・レジスタn (TKBTGCRn) (n = 0-2)	871
15.3.6	16ビット・タイマKB動作制御レジスタn0 (TKBCTLn0) (n = 0-2)	872
15.3.7	16ビット・タイマKB動作制御レジスタn1 (TKBCTLn1) (n = 0-2)	874
15.3.8	16ビット・タイマKB動作制御レジスタn2 (TKBCTLn2) (n = 0-2)	875
15.3.9	16ビット・タイマKB出力制御レジスタn0 (TKBIOcn0) (n = 0-2)	877
15.3.10	16ビット・タイマKB出力制御レジスタn1 (TKBIOcn1) (n = 0-2)	878
15.3.11	16ビット・タイマKBフラグ・レジスタn (TKBFLGn) (n = 0-2)	879
15.3.12	16ビット・タイマKBトリガ・レジスタn (TKBTRGn) (n = 0-2)	880

15.3.13	16ビット・タイマKBフラグ・クリア・トリガ・レジスタ n (TKBCLRn) (n = 0-2)	881
15.3.14	16ビット・タイマKBディザリング数レジスタ np (TKBDNRnp) (n = 0-2; p = 0, 1)	882
15.3.15	16ビット・タイマKBコンペア1L&ディザリング数レジスタ n0 (TKBCRLDn0) (n = 0-2)	884
15.3.16	16ビット・タイマKBコンペア3L&ディザリング数レジスタ n1 (TKBCRLDn1) (n = 0-2)	884
15.3.17	16ビット・タイマKBソフト・スタート初期デューティ・レジスタ np (TKBSIRnp) (n = 0-2; p = 0, 1)	885
15.3.18	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ np (TKBSSRnp) (n = 0-2; p = 0, 1)	885
15.3.19	16ビット・タイマKB最大周波数リミット設定レジスタ n (TKBMFRn) (n = 0-2)	886
15.3.20	16ビット・タイマKB間引き制御レジスタ n (TKBTCTLn) (n = 0-2)	887
15.3.21	16ビット・タイマKB間引き回数設定レジスタ n (TKBTCMPn) (n = 0-2)	888
15.3.22	外部割り込み制御レジスタ n (INTPCTLn) (n = 0-2)	889
15.3.23	16ビット・タイマKB30, KB31, KB32と端子を兼用するポートのポート機能を 制御するレジスタ	891
15.4	16ビット・タイマKB30, KB31, KB32の動作	892
15.4.1	カウンタ基本動作	895
15.4.2	デフォルト・レベルとアクティブ・レベル	895
15.4.3	動作停止と動作開始	900
15.4.4	一斉書き込み動作	903
15.4.5	割り込み要求、A/D変換トリガの間引き制御	904
15.4.6	単体動作モード (TKBCRn0レジスタによる周期制御)	908
15.4.7	単体動作モード (外部トリガ入力による周期制御)	915
15.4.8	同時スタート/ストップ・モード	923
15.4.9	同時スタート/クリア・モード	931
15.4.10	インターリーブPFC (Power Factor Correction) 出力モード	940
15.5	16ビット・タイマKB30, KB31, KB32のオプション機能	954
15.5.1	A/D変換スタート・タイミング信号出力機能	955
15.5.2	PWM出力ディザリング機能	957
15.5.3	PWM出力ソフト・スタート機能	961
15.5.4	PWM出力カゲート機能 (PWM出力ソフトスタート機能併用なし)	964
15.5.5	PWM出力カゲート機能 (PWM出力ソフトスタート機能併用あり)	965
15.5.6	最大周波数リミット機能	966
15.5.7	マルチフェーズ機能	971
15.6	強制出力停止機能	974
15.6.1	強制出力停止機能1と強制出力停止機能2	975
15.6.2	強制出力停止機能の構成	977
15.6.3	強制出力停止機能を制御するレジスタ	978
15.6.3.1	強制出力停止機能制御レジスタ np (TKBPACTLn) (n = 0-2; p = 0, 1)	979
15.6.3.2	強制出力停止機能制御レジスタ n2 (TKBPACTLn2) (n = 0-2)	988
15.6.3.3	強制出力停止機能制御レジスタ n3 (TKBPACTLn3) (n = 0-2)	989
15.6.3.4	強制出力停止機能制御レジスタ n4 (TKBPACTLn4) (n = 0-2)	991
15.6.3.5	パルス幅測定キャプチャレジスタ np (TKBPAPLSnp) (n = 0-2; p = 0, 1)	992
15.6.3.6	パルス幅測定キャプチャレジスタ npL (TKBPAPLSnpL) (n = 0-2; p = 0, 1)	992
15.6.3.7	強制出力停止機能フラグ・レジスタ n (TKBPAFLGn) (n = 0-2)	993
15.6.3.8	強制出力停止機能1開始トリガ・レジスタ n (TKBPAHFSn) (n = 0-2)	994

15.6.3.9	強制出力停止機能1解除トリガ・レジスタ n (TKBPAHFTn) (n = 0-2)	995
15.7	強制出力停止機能1の動作説明	996
15.7.1	強制出力停止機能1の概要	996
15.7.2	強制出力停止機能1のソフトウェア解除操作	997
15.7.3	強制出力停止機能1の基本動作	998
15.8	強制出力停止機能2の動作説明	1002
15.8.1	強制出力停止機能2の概要	1002
15.8.2	強制出力停止機能2の基本動作	1003
15.8.3	強制出力停止機能の割り込み出力	1006
15.9	パルス幅測定機能の動作説明	1007
15.9.1	パルス幅測定機能の概要	1007
15.9.2	パルス幅測定機能の基本動作	1007
15.9.3	パルス幅測定時のオーバフロー	1020
15.9.4	パルス幅測定条件の動作中切り替えについて	1021
15.10	外部割り込み (INTPx) の16ビット・タイマKB30, KB31, KB32連動機能使用時の構成	1023
16.	リアルタイム・クロック (RTC)	1025
16.1	リアルタイム・クロックの機能	1025
16.2	リアルタイム・クロックの構成	1026
16.3	リアルタイム・クロックを制御するレジスタ	1028
16.3.1	周辺イネーブル・レジスタ0 (PER0)	1029
16.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	1030
16.3.3	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)	1031
16.3.4	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)	1033
16.3.5	秒カウント・レジスタ (SEC)	1035
16.3.6	分カウント・レジスタ (MIN)	1035
16.3.7	時カウント・レジスタ (HOUR)	1036
16.3.8	日カウント・レジスタ (DAY)	1038
16.3.9	曜日カウント・レジスタ (WEEK)	1039
16.3.10	月カウント・レジスタ (MONTH)	1040
16.3.11	年カウント・レジスタ (YEAR)	1040
16.3.12	時計誤差補正レジスタ (SUBCUD)	1041
16.3.13	アラーム分レジスタ (ALARMWM)	1042
16.3.14	アラーム時レジスタ (ALARMWH)	1042
16.3.15	アラーム曜日レジスタ (ALARMWW)	1043
16.3.16	リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するレジスタ	1043
16.4	リアルタイム・クロックの動作	1044
16.4.1	リアルタイム・クロックの動作開始	1044
16.4.2	動作開始後のHALT/STOPモードへの移行	1046
16.4.3	リアルタイム・クロックのカウンタ読み出し/書き込み	1047
16.4.4	リアルタイム・クロックのアラーム設定	1051
16.4.5	リアルタイム・クロックの1 Hz出力	1052
16.4.6	リアルタイム・クロックの時計誤差補正例	1053
17.	32ビット・インターバル・タイマ (TML32)	1058
17.1	概要	1058

17.2	32ビット・インターバル・タイマを制御するレジスタ	1062
17.2.1	周辺イネーブル・レジスタ1 (PER1)	1063
17.2.2	周辺リセット制御レジスタ1 (PRR1)	1064
17.2.3	インターバル・タイマ・コンペア・レジスタ0mn (ITLCMP0mn) (mn = 00, 01, 12, 13)	1065
17.2.4	インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0n) (n = 0, 1)	1066
17.2.5	インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00)	1067
17.2.6	インターバル・タイマ制御レジスタ (ITLCTL0)	1068
17.2.7	インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)	1070
17.2.8	インターバル・タイマ分周レジスタ0 (ITLFDIV00)	1071
17.2.9	インターバル・タイマ分周レジスタ1 (ITLFDIV01)	1073
17.2.10	インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)	1075
17.2.11	インターバル・タイマ・ステータス・レジスタ (ITLS0)	1077
17.2.12	インターバル・タイマー致検出マスク・レジスタ (ITLMKF0)	1079
17.3	動作説明	1080
17.3.1	カウンタ・モードの設定	1080
17.3.2	キャプチャ・モードの設定	1083
17.3.3	タイマ動作	1084
17.3.4	キャプチャ動作	1085
17.3.5	割り込み動作	1087
17.3.6	インターバル・タイマの設定手順	1089
18.	クロック出力／ブザー出力制御回路 (PCLBUZ)	1092
18.1	クロック出力／ブザー出力制御回路の機能	1092
18.2	クロック出力／ブザー出力制御回路の構成	1094
18.3	クロック出力／ブザー出力制御回路を制御するレジスタ	1094
18.3.1	クロック出力選択レジスタn (CKSn) (n = 0, 1)	1095
18.3.2	クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御する レジスタ	1096
18.4	クロック出力／ブザー出力制御回路の動作	1097
18.4.1	出力端子の動作	1097
18.5	クロック出力／ブザー出力制御回路使用時の注意事項	1097
19.	ウォッチドッグ・タイマ (WDT)	1098
19.1	ウォッチドッグ・タイマの機能	1098
19.2	ウォッチドッグ・タイマの構成	1099
19.3	ウォッチドッグ・タイマを制御するレジスタ	1100
19.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	1100
19.4	ウォッチドッグ・タイマの動作	1101
19.4.1	ウォッチドッグ・タイマの動作制御	1101
19.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	1103
19.4.3	ウォッチドッグ・タイマのウィンドウ・オープン期間の設定	1104
19.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	1105
20.	A/Dコンバータ (ADC)	1106
20.1	A/Dコンバータの機能	1106
20.2	A/Dコンバータの構成	1112
20.3	A/Dコンバータを制御するレジスタ	1114
20.3.1	周辺イネーブル・レジスタ0 (PER0)	1115

20.3.2	周辺リセット制御レジスタ0 (PRR0)	1116
20.3.3	A/Dコンバータ・モード・レジスタ0 (ADM0)	1117
20.3.4	A/Dコンバータ・モード・レジスタ1 (ADM1)	1135
20.3.5	A/Dコンバータ・モード・レジスタ2 (ADM2)	1137
20.3.6	A/Dコンバータ・モード・レジスタ3 (ADM3)	1140
20.3.7	12ビット/10ビットA/D変換結果レジスタ (ADCR, ADCRn) (n = 0-3)	1141
20.3.8	8ビットA/D変換結果レジスタH, nH (ADCRH, ADCRnH) (n = 0-3)	1143
20.3.9	アナログ入力チャンネル指定レジスタ (ADS)	1144
20.3.10	アナログ入力チャンネル指定レジスタn (アドバンスド) (ADSn) (n = 0-3)	1146
20.3.11	変換設定レジスタ (ADSCTL)	1148
20.3.12	変換トリガ指定レジスタn (ADTRn) (n = 0-3)	1149
20.3.13	変換割り込み制御レジスタ (ADINTCTL)	1150
20.3.14	変換割り込みステータス・レジスタ (ADINTST)	1151
20.3.15	A/D変換サンプリング・モード指定レジスタ (ADSPMOD)	1152
20.3.16	変換結果比較上限値設定レジスタ (ADUL)	1153
20.3.17	変換結果比較下限値設定レジスタ (ADLL)	1153
20.3.18	A/Dテスト・レジスタ (ADTES)	1154
20.3.19	A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御する レジスタ	1155
20.4	A/Dコンバータの変換動作	1156
20.5	入力電圧と変換結果	1158
20.6	A/Dコンバータの動作モード	1159
20.6.1	ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード)	1159
20.6.2	ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)	1160
20.6.3	ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード)	1161
20.6.4	ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)	1162
20.6.5	ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード)	1163
20.6.6	ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)	1164
20.6.7	ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード)	1165
20.6.8	ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード)	1166
20.6.9	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード)	1167
20.6.10	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)	1168
20.6.11	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード)	1169
20.6.12	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)	1171
20.6.13	ハードウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード)	1173
20.6.14	ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)	1174
20.6.15	ハードウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード)	1175
20.6.16	ハードウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード)	1176
20.6.17	アドバンスド・モード (ハードウェア・トリガ、ソフトウェア・トリガ混載設定)	1177

20.6.18	アドバンスド・モード（同時サンプリング、ソフトウェア・トリガ混載設定）	1180
20.7	A/Dコンバータの設定フロー・チャート	1183
20.7.1	ソフトウェア・トリガ・ノーウエイト・モード時の設定	1183
20.7.2	ソフトウェア・トリガ・ウエイト・モード時の設定	1184
20.7.3	ハードウェア・トリガ・ノーウエイト・モード時の設定	1185
20.7.4	ハードウェア・トリガ・ウエイト・モード時の設定	1186
20.7.5	アドバンスド・モード時の設定	1187
20.7.6	温度センサ出力電圧／内部基準電圧を選択時の設定 （例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時）	1189
20.7.7	温度センサ出力電圧／内部基準電圧を選択時の設定 （例 アドバンスド・モード時）	1190
20.7.8	テスト・モード時の設定	1192
20.8	同時サンプリング機能	1193
20.8.1	同時サンプリング設定方法	1193
20.9	SNOOZEモード機能	1195
20.9.1	ハードウェア・トリガの入力によるA/D変換	1195
20.10	アドバンスド・モードにおけるトリガ競合時の動作	1200
20.10.1	競合によるA/D変換強制終了時の対処方法	1201
20.11	A/Dコンバータ特性表の読み方	1202
20.12	A/Dコンバータ使用時の注意事項	1206
21.	D/Aコンバータ（DAC）	1210
21.1	D/Aコンバータの機能	1210
21.2	D/Aコンバータの構成	1211
21.3	D/Aコンバータを制御するレジスタ	1212
21.3.1	周辺イネーブル・レジスタ1（PER1）	1213
21.3.2	周辺リセット制御レジスタ1（PRR1）	1214
21.3.3	D/Aコンバータ・モード・レジスタ0（DAM0）	1215
21.3.4	D/Aコンバータ・モード・レジスタ1（DAM1）	1216
21.3.5	D/Aコンバータ・モード・レジスタ2（DAM2）	1216
21.3.6	D/A変換値設定レジスタ0（DACS0）	1217
21.3.7	D/A変換値設定レジスタ1（DACS1）	1218
21.3.8	D/A変換値設定レジスタ2（DACS2）	1219
21.3.9	イベント・リンク・コントローラからのイベント出力を制御するレジスタ	1219
21.3.10	D/Aコンバータのアナログ出力と端子を兼用するポートのポート機能を制御する レジスタ	1219
21.4	D/Aコンバータの動作	1220
21.4.1	通常動作モード時の動作	1220
21.4.2	リアルタイム出力モード時の動作	1221
21.4.3	D/A変換値の出力タイミング	1222
21.5	D/Aコンバータ使用時の注意事項	1223
22.	コンパレータ（CMP）	1224
22.1	コンパレータの機能	1224
22.2	コンパレータの構成	1225
22.3	コンパレータを制御するレジスタ	1227
22.3.1	周辺イネーブル・レジスタ1（PER1）	1228
22.3.2	周辺リセット制御レジスタ1（PRR1）	1229
22.3.3	コンパレータモード設定レジスタ0（COMPMDR0）	1230

22.3.4	コンパレータモード設定レジスタ1 (COMPMDR1)	1232
22.3.5	コンパレータフィルタ制御レジスタ0 (COMPFIR0)	1234
22.3.6	コンパレータフィルタ制御レジスタ1 (COMPFIR1)	1236
22.3.7	コンパレータ出力制御レジスタ0 (COMPOCR0)	1238
22.3.8	コンパレータ出力制御レジスタ1 (COMPOCR1)	1240
22.3.9	コンパレータ0入力信号選択制御レジスタ (CMP0SEL)	1242
22.3.10	コンパレータ1入力信号選択制御レジスタ (CMP1SEL)	1243
22.3.11	コンパレータ2入力信号選択制御レジスタ (CMP2SEL)	1244
22.3.12	コンパレータ3入力信号選択制御レジスタ (CMP3SEL)	1245
22.3.13	コンパレータ出力制御レジスタ2 (COMPOCR2)	1246
22.3.14	コンパレータのアナログ入出力と端子を兼用するポートのポート機能を制御する レジスタ	1247
22.4	動作説明	1248
22.4.1	コンパレータiデジタル・フィルタ (i = 0-3)	1250
22.4.2	コンパレータi割り込み (i = 0-3)	1251
22.4.3	イベント・リンク・コントローラ (ELC) へのイベント信号出力	1252
22.4.4	コンパレータi出力 (i = 0-3)	1253
22.4.5	コンパレータのクロック停止/供給	1254
22.4.6	コンパレータの16ビット・タイマKB30, KB31, KB32連動機能使用時の注意事項	1255
23.	プログラマブル・ゲイン・アンプ (PGA)	1257
23.1	プログラマブル・ゲイン・アンプの性能	1257
23.2	プログラマブル・ゲイン・アンプの構成	1258
23.3	プログラマブル・ゲイン・アンプを制御するレジスタ	1258
23.3.1	周辺イネーブル・レジスタ1 (PER1)	1259
23.3.2	周辺リセット制御レジスタ1 (PRR1)	1260
23.3.3	PGA制御レジスタ (PGACTL)	1261
23.3.4	PGA入力チャネル選択レジスタ (PGAINS)	1262
23.3.5	プログラマブル・ゲイン・アンプの入出力と端子を兼用するポートのポート機能を 制御するレジスタ	1262
23.4	プログラマブル・ゲイン・アンプの動作	1263
23.4.1	プログラマブル・ゲイン・アンプの動作開始設定手順	1264
23.4.2	プログラマブル・ゲイン・アンプの動作停止設定手順	1265
24.	シリアル・アレイ・ユニット (SAU)	1266
24.1	シリアル・アレイ・ユニットの機能	1268
24.1.1	簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)	1268
24.1.2	UART (UART0-UART2)	1269
24.1.3	簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)	1270
24.2	シリアル・アレイ・ユニットの構成	1271
24.2.1	シフト・レジスタ	1275
24.2.2	シリアル・データ・レジスタmn (SDRmn) の下位8/9ビット	1275
24.3	シリアル・アレイ・ユニットを制御するレジスタ	1277
24.3.1	周辺イネーブル・レジスタ0 (PER0)	1278
24.3.2	周辺リセット制御レジスタ0 (PRR0)	1279
24.3.3	シリアル・クロック選択レジスタm (SPSm) (m = 0, 1)	1280
24.3.4	シリアル・モード・レジスタmn (SMRmn) (mn = 00-03, 10, 11)	1282
24.3.5	シリアル通信動作設定レジスタmn (SCRmn) (mn = 00-03, 10, 11)	1284
24.3.6	シリアル・データ・レジスタmn (SDRmn) (mn = 00-03, 10, 11)	1286

24.3.7	シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) (mn = 00-03, 10, 11)	1288
24.3.8	シリアル・ステータス・レジスタ mn (SSRmn) (mn = 00-03, 10, 11)	1289
24.3.9	シリアル・チャンネル開始レジスタ m (SSm) (m = 0, 1)	1291
24.3.10	シリアル・チャンネル停止レジスタ m (STm) (m = 0, 1)	1292
24.3.11	シリアル・チャンネル許可ステータス・レジスタ m (SEm) (m = 0, 1)	1293
24.3.12	シリアル出力許可レジスタ m (SOEm) (m = 0, 1)	1294
24.3.13	シリアル出力レジスタ m (SOM) (m = 0, 1)	1295
24.3.14	シリアル出力レベル・レジスタ m (SOLm) (m = 0, 1)	1297
24.3.15	シリアル・スタンバイ・コントロール・レジスタ m (SSCm) (m = 0)	1299
24.3.16	入力切り替え制御レジスタ (ISC)	1301
24.3.17	ノイズ・フィルタ許可レジスタ 0 (NFEN0)	1302
24.3.18	シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタ	1303
24.3.19	UARTループバック選択レジスタ (ULBS)	1304
24.4	動作停止モード	1305
24.4.1	ユニット単位で動作停止とする場合	1305
24.4.2	チャンネルごとに動作停止とする場合	1306
24.5	簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) 通信の動作	1307
24.5.1	マスタ送信	1310
24.5.2	マスタ受信	1319
24.5.3	マスタ送受信	1328
24.5.4	スレーブ送信	1337
24.5.5	スレーブ受信	1346
24.5.6	スレーブ送受信	1353
24.5.7	SNOOZEモード機能	1362
24.5.8	転送クロック周波数の算出	1367
24.5.9	簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) 通信時における エラー発生時の処理手順	1369
24.6	UART (UART0-UART2) 通信の動作	1370
24.6.1	UART送信	1373
24.6.2	UART受信	1382
24.6.3	SNOOZEモード機能	1389
24.6.4	ポー・レートの算出	1397
24.6.5	UART (UART0-UART2) 通信時におけるエラー発生時の処理手順	1402
24.7	LIN通信の動作	1403
24.7.1	LIN送信	1403
24.7.2	LIN受信	1406
24.8	簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信の動作	1411
24.8.1	アドレス・フィールド送信	1414
24.8.2	データ送信	1420
24.8.3	データ受信	1423
24.8.4	ストップ・コンディション発生	1427
24.8.5	転送レートの算出	1428
24.8.6	簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信時における エラー発生時の処理手順	1431
25.	シリアル・インタフェースIICA (IICA)	1432
25.1	シリアル・インタフェースIICAの機能	1432
25.2	シリアル・インタフェースIICAの構成	1435

25.3	シリアル・インタフェースIICAを制御するレジスタ	1438
25.3.1	周辺イネーブル・レジスタ0 (PER0)	1439
25.3.2	周辺リセット制御レジスタ0 (PRR0)	1440
25.3.3	IICAコントロール・レジスタn0 (IICCTLn0) (n = 0)	1441
25.3.4	IICAステータス・レジスタn (IICSn) (n = 0)	1445
25.3.5	IICAフラグ・レジスタn (IICFn) (n = 0)	1449
25.3.6	IICAコントロール・レジスタn1 (IICCTLn1) (n = 0)	1451
25.3.7	IICAロウ・レベル幅設定レジスタn (IICWLn) (n = 0)	1454
25.3.8	IICAハイ・レベル幅設定レジスタn (IICWHn) (n = 0)	1454
25.3.9	IICA入力モード選択レジスタ (IICM)	1455
25.3.10	シリアル・インタフェースIICA入出力と端子を兼用するポートのポート機能を制御するレジスタ	1456
25.4	I ² Cバス・モードの機能	1457
25.4.1	端子構成	1457
25.4.2	IICWLn, IICWHnレジスタによる転送クロック設定方法	1458
25.5	I ² Cバスの定義および制御方法	1460
25.5.1	スタート・コンディション	1460
25.5.2	アドレス	1461
25.5.3	転送方向指定	1461
25.5.4	アクノリッジ (ACK)	1462
25.5.5	ストップ・コンディション	1463
25.5.6	クロック・ストレッチ	1464
25.5.7	クロック・ストレッチ解除方法	1466
25.5.8	割り込み要求信号 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御	1467
25.5.9	アドレスの一致検出方法	1468
25.5.10	エラーの検出	1468
25.5.11	拡張コード	1469
25.5.12	アービトレーション	1470
25.5.13	ウェイク・アップ機能	1472
25.5.14	通信予約	1475
25.5.15	その他の注意事項	1479
25.5.16	通信動作	1480
25.5.17	I ² C割り込み要求信号 (INTIICAn) の発生タイミング	1488
25.6	タイミング・チャート	1509
25.7	SMBus使用手順	1524
26.	デジタル調光照明インタフェース (DALI)	1525
26.1	概要	1525
26.2	デジタル調光照明インタフェースを制御するレジスタ	1528
26.2.1	周辺イネーブル・レジスタ1 (PER1)	1529
26.2.2	周辺リセット制御レジスタ1 (PRR1)	1530
26.2.3	DALIコンフィグレーションレジスタ1 (CNFR1)	1531
26.2.4	DALIコンフィグレーションレジスタ2 (CNFR2)	1533
26.2.5	DALIコントロールレジスタ1 (CTR1)	1535
26.2.6	DALITxD0コントロールレジスタ1 (TXDCTR1)	1537
26.2.7	DALI送信コントロールレジスタ1 (TRSTR1)	1538
26.2.8	DALIビットタイミング違反しきい値レジスタ1 (BTVTHR1)	1540
26.2.9	DALIビットタイミング違反しきい値レジスタ2 (BTVTHR2)	1541
26.2.10	DALIビットタイミング違反しきい値レジスタ3 (BTVTHR3)	1542

26.2.11	DALIビットタイミング違反しきい値レジスタ4 (BTVTHR4)	1543
26.2.12	DALIコリジョンしきい値レジスタ1 (COLTHR1)	1544
26.2.13	DALIコリジョンしきい値レジスタ2 (COLTHR2)	1545
26.2.14	DALIコリジョンしきい値レジスタ3 (COLTHR3)	1546
26.2.15	DALIコリジョンしきい値レジスタ4 (COLTHR4)	1547
26.2.16	DALIコリジョンしきい値レジスタ5 (COLTHR5)	1548
26.2.17	DALI送信データレジスタ1H, 1L (TDR1H, TDR1L)	1549
26.2.18	DALI受信データレジスタ1H, 1L (RDR1H, RDR1L)	1551
26.2.19	DALIステータスレジスタ1 (STR1)	1552
26.2.20	DALIステータスレジスタ2 (STR2)	1556
26.2.21	DALIコリジョンレジスタ1 (COLR1)	1557
26.2.22	DALIフラグエラークリアレジスタ1 (FECR1)	1559
26.2.23	DALIソフトリセットレジスタ1 (SWRR1)	1561
26.2.24	DALITxD0 波形調整レジスタ1 (TXWR1)	1562
26.2.25	DALIRxD0 波形調整レジスタ1 (RXWR1)	1563
26.2.26	DALI受信タイミング調整レジスタ0 (FTDC0)	1564
26.2.27	DALI入出力と端子を兼用するポートのポート機能を制御するレジスタ	1565
26.3	DALI通信機能	1566
26.3.1	データフォーマット	1566
26.3.2	ストップコンディション検出とセトリングタイム	1567
26.3.3	DALIエラーの検出	1569
26.3.4	コリジョン	1579
26.3.5	DALIRxD0入力信号のサンプリングタイミングとビット長調整	1588
26.3.6	DALITxD0出力波形幅調整機能	1589
26.3.7	DALIRxD0入力波形幅調整機能	1590
26.3.8	拡張モード選択ビット (CNFR1.EXM) の制御	1592
26.4	動作説明	1595
26.4.1	初期設定	1595
26.4.2	ソフトリセット	1596
26.4.3	送信	1597
26.4.4	受信	1601
26.4.5	割り込み出力	1606
26.5	使用上の注意事項	1608
26.5.1	受信データ長の誤認	1608
26.5.2	想定を超えるデータ長のデータ受信	1608
26.5.3	発振誤差とサンプリングエラー	1608
26.5.4	DALIモジュールの外部タイマの使用	1609
26.5.5	外部デバイス接続例	1612
26.5.6	外部デバイス選定時の注意事項	1613
27.	データ・トランスファ・コントローラ (DTC)	1614
27.1	DTCの機能	1614
27.2	DTCの構成	1616
27.3	DTCを制御するレジスタ	1617
27.3.1	DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置	1618
27.3.2	コントロール・データの配置	1619
27.3.3	ベクタ・テーブル	1621
27.3.4	周辺イネーブル・レジスタ1 (PER1)	1624
27.3.5	DTC制御レジスタj (DTCCRj) (j = 0-23)	1625

27.3.6	DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0-23)	1626
27.3.7	DTC転送回数レジスタj (DTCCTj) (j = 0-23)	1627
27.3.8	DTC転送回数リロード・レジスタj (DTRLDj) (j = 0-23)	1627
27.3.9	DTCソース・アドレス・レジスタj (DTSARj) (j = 0-23)	1628
27.3.10	DTCデスティネーション・アドレス・レジスタj (DTDARj) (j = 0-23)	1629
27.3.11	DTC起動許可レジスタi (DTCENi) (i = 0-6)	1630
27.3.12	DTCベース・アドレス・レジスタ (DTCBAR)	1633
27.4	DTCの動作	1634
27.4.1	起動要因	1635
27.4.2	ノーマル・モード	1636
27.4.3	リピート・モード	1639
27.4.4	チェイン転送	1643
27.5	DTC使用時の注意事項	1645
27.5.1	DTCのコントロール・データおよびベクタ・テーブルの設定	1645
27.5.2	DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置	1645
27.5.3	DTC保留命令	1646
27.5.4	データ・フラッシュ・メモリ領域にアクセスする場合の動作	1646
27.5.5	DTC実行クロック数	1647
27.5.6	DTC応答時間	1648
27.5.7	DTC起動要因	1648
27.5.8	スタンバイ・モード時の動作	1649
28.	イベント・リンク・コントローラ (ELC)	1650
28.1	ELCの機能	1650
28.2	ELCの構成	1650
28.3	ELCを制御するレジスタ	1651
28.3.1	イベント出力先選択レジスタn (ELSELRn) (n = 00-33)	1651
28.4	ELCの動作	1655
29.	割り込み機能	1658
29.1	割り込み機能の種類	1658
29.2	割り込み要因と構成	1658
29.3	割り込み機能を制御するレジスタ	1665
29.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)	1670
29.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)	1673
29.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)	1675
29.3.4	外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1)、 外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1)	1679
29.3.5	プログラム・ステータス・ワード (PSW)	1681
29.3.6	割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ	1681
29.4	割り込み処理動作	1682
29.4.1	マスク可能割り込み要求の受付動作	1682
29.4.2	ソフトウェア割り込み要求の受付動作	1685
29.4.3	多重割り込み処理	1685
29.4.4	割り込み要求の保留	1689

30.	キー割り込み機能	1690
30.1	キー割り込みの機能	1690
30.2	キー割り込みの構成	1691
30.3	キー割り込みを制御するレジスタ	1692
30.3.1	キー・リターン・コントロール・レジスタ (KRCTL)	1692
30.3.2	キー・リターン・モード・レジスタ0 (KRM0)	1693
30.3.3	キー・リターン・フラグ・レジスタ (KRF)	1694
30.3.4	キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ	1695
31.	スタンバイ機能	1696
31.1	スタンバイ機能	1696
31.2	スタンバイ機能を制御するレジスタ	1697
31.2.1	スタンバイ・モード解除設定レジスタ (WKUPMD)	1698
31.3	スタンバイ機能の動作	1699
31.3.1	HALTモード	1699
31.3.2	STOPモード	1705
31.3.3	SNOOZEモード	1712
32.	リセット機能	1717
32.1	リセット動作のタイミング	1719
32.2	リセット要因を確認するレジスタ	1723
32.2.1	リセット・コントロール・フラグ・レジスタ (RESF)	1723
32.2.2	パワーオン・リセット・ステータス・レジスタ (PORSR)	1726
32.2.3	周辺リセット制御レジスタ0 (PRR0)	1727
32.2.4	周辺リセット制御レジスタ1 (PRR1)	1728
32.2.5	周辺リセット制御レジスタ2 (PRR2)	1729
33.	パワーオン・リセット回路 (POR)	1730
33.1	パワーオン・リセット回路の機能	1730
33.2	パワーオン・リセット回路の構成	1731
33.3	パワーオン・リセット回路の動作	1732
34.	電圧検出回路 (LVD)	1734
34.1	電圧検出回路の機能	1734
34.2	電圧検出回路の構成	1735
34.3	電圧検出回路を制御するレジスタ	1736
34.3.1	電圧検出レジスタ (LVIM)	1736
34.3.2	LVD検出フラグ・クリア・レジスタ (LVDFCLR)	1737
34.3.3	電圧検出レベル・レジスタ (LVIS)	1738
34.4	電圧検出回路の動作	1740
34.4.1	リセット・モードとして使用する場合の設定	1740
34.4.2	割り込みモードとして使用する場合の設定	1743
34.5	電圧検出回路使用時の注意事項	1746
35.	安全機能	1749
35.1	安全機能の概要	1749
35.2	安全機能で使用するレジスタ	1750

35.3	安全機能の動作	1750
35.3.1	フラッシュ・メモリCRC演算機能（高速CRC）	1750
35.3.1.1	フラッシュ・メモリCRC制御レジスタ（CRC0CTL）	1751
35.3.1.2	フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）	1752
35.3.2	CRC演算機能（汎用CRC）	1754
35.3.2.1	CRC入力レジスタ（CRCIN）	1755
35.3.2.2	CRCデータ・レジスタ（CRCD）	1756
35.3.3	フラッシュ・メモリ・ガード機能	1758
35.3.3.1	コード・フラッシュ・メモリ・ガードレジスタ（GFLASH0）	1758
35.3.3.2	データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1）	1759
35.3.3.3	フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2）	1760
35.3.4	RAMパリティ・エラー検出機能	1761
35.3.4.1	RAMパリティ・エラー制御レジスタ（RPECTL）	1761
35.3.4.2	RAMパリティ・エラー制御レジスタ2（RPECTL2）	1763
35.3.5	RAMガード機能	1764
35.3.5.1	不正メモリ・アクセス検出制御レジスタ（IAWCTL）	1764
35.3.6	SFRガード機能	1765
35.3.6.1	不正メモリ・アクセス検出制御レジスタ（IAWCTL）	1765
35.3.7	不正メモリ・アクセス検出機能	1766
35.3.7.1	不正メモリ・アクセス検出制御レジスタ（IAWCTL）	1767
35.3.8	不正メモリ・アクセス検出制御レジスタのガード機能	1768
35.3.8.1	IAWCTLレジスタ・ガードレジスタ（GIAWCTL）	1768
35.3.9	周波数検出機能	1769
35.3.9.1	タイマ入出力選択レジスタ0（TIOS0）	1770
35.3.10	A/Dテスト機能	1771
35.3.10.1	A/Dテスト・レジスタ（ADTES）	1773
35.3.10.2	アナログ入力チャンネル指定レジスタ（ADS）	1774
35.3.11	入出力端子のデジタル出力信号レベル検出機能	1776
35.3.11.1	ポート・モード選択レジスタ（PMS）	1776
35.3.12	UARTループバック機能	1777
35.3.12.1	UARTループバック選択レジスタ（ULBS）	1777
36.	セキュリティ機能	1778
36.1	真性乱数発生器（TRNG）	1778
36.1.1	真性乱数発生器の機能	1778
36.1.2	真性乱数発生器を制御するレジスタ	1778
36.1.2.1	乱数シード・コマンド・レジスタ0（TRNGSCR0）	1779
36.1.2.2	乱数シード・データ・レジスタ（TRNGSDR）	1780
36.1.3	真性乱数発生器の動作	1781
36.2	フラッシュ・リード・プロテクション	1782
36.2.1	フラッシュ・リード・プロテクションの機能	1782
36.2.2	フラッシュ・リード・プロテクションの設定	1782
36.2.3	動作説明	1784
36.3	ユニークID	1785
36.3.1	ユニークIDの機能	1785
36.3.2	製品名のアスキー・コード	1785
37.	レギュレータ	1786
37.1	レギュレータの概要	1786

38.	オプション・バイト	1787
38.1	オプション・バイトの機能	1787
38.1.1	ユーザ・オプション・バイト (000C0H-000C2H/040C0H-040C2H)	1787
38.1.2	オンチップ・デバッグ・オプション・バイト (000C3H/040C3H)	1788
38.2	ユーザ・オプション・バイトのフォーマット	1789
38.3	オンチップ・デバッグ・オプション・バイトのフォーマット	1793
38.4	オプション・バイトの設定	1794
39.	フラッシュ・メモリ	1795
39.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	1796
39.1.1	プログラミング環境	1798
39.1.2	通信方式	1798
39.2	外部デバイス (UART内蔵) によるシリアル・プログラミング	1800
39.2.1	プログラミング環境	1800
39.2.2	通信方式	1801
39.3	オンボード上の端子処理	1802
39.3.1	P40/TOOL0 端子	1802
39.3.2	RESET 端子	1803
39.3.3	ポート端子	1804
39.3.4	REGC 端子	1804
39.3.5	電源	1804
39.4	プログラミング方法	1805
39.4.1	シリアル・プログラミング手順	1805
39.4.2	フラッシュ・メモリ・プログラミング・モード	1806
39.4.3	通信方式	1807
39.4.4	通信コマンド	1808
39.5	専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)	1810
39.6	セルフ・プログラミング	1811
39.6.1	セルフ・プログラミング手順	1812
39.6.2	フラッシュ・メモリを制御するレジスタ	1813
39.6.2.1	フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL)	1814
39.6.2.2	フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL)	1815
39.6.2.3	フラッシュ・ライト・パルファ・レジスタ H, L (FLWH, FLWL)	1817
39.6.2.4	フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)	1818
39.6.2.5	フラッシュ・ステータス・レジスタ (PFS)	1819
39.6.2.6	フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	1820
39.6.2.7	フラッシュ領域選択レジスタ (FLARS)	1821
39.6.2.8	フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)	1822
39.6.2.9	フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)	1824
39.6.2.10	フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE)	1826
39.6.2.11	フラッシュ・レジスタ初期化レジスタ (FLRST)	1828
39.6.2.12	フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL)	1829
39.6.2.13	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC)	1831
39.6.2.14	フラッシュ FSW モニタ・レジスタ E (FLFSWE)	1832
39.6.2.15	フラッシュ FSW モニタ・レジスタ S (FLFSWS)	1833
39.6.2.16	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	1834
39.6.2.17	割り込みベクタ移動許可レジスタ (VECTCTRL)	1835

39.6.2.18	割り込みベクタ変更レジスタ0, 1 (FLSIVC0, FLSIVC1)	1836
39.6.3	フラッシュ・メモリ制御モードの設定	1837
39.6.4	フラッシュ・メモリ・シーケンサ用レジスタの初期化	1839
39.6.5	フラッシュ・メモリ・シーケンサの動作周波数設定	1839
39.6.6	フラッシュ・メモリの書き換え	1840
39.6.7	コード・フラッシュ・プログラミング・モード中の割り込み	1851
39.6.8	フラッシュ・メモリ領域書き換え時のコマンドの実行例	1853
39.6.9	セルフ・プログラミング時の注意事項	1856
39.7	ブート・スワップ機能	1857
39.8	フラッシュ・シールド・ウィンドウ機能	1859
39.9	セキュリティ設定	1860
39.10	データ・フラッシュ	1863
39.10.1	データ・フラッシュの概要	1863
39.10.2	データ・フラッシュへのアクセス手順	1864
40.	オンチップ・デバッグ機能	1865
40.1	E2, E2 Lite オンチップ・デバッグング・エミュレータとの接続	1865
40.2	外部デバイス (UART 内蔵) との接続	1866
40.3	オンチップ・デバッグのセキュリティ設定	1866
40.4	ユーザ資源の確保	1867
41.	10進補正 (BCD) 回路	1869
41.1	10進補正回路の機能	1869
41.2	10進補正回路で使用するレジスタ	1869
41.2.1	BCD補正結果レジスタ (BCDADJ)	1869
41.3	10進補正回路の動作	1870
42.	命令セットの概要	1872
42.1	凡例	1873
42.1.1	オペランドの表現形式と記述方法	1873
42.1.2	オペレーション欄の説明	1874
42.1.3	フラグ動作欄の説明	1875
42.1.4	PREFIX 命令	1875
42.2	オペレーション一覧	1876
43.	電気的特性 (TA = -40°C ~ +105°C)	1894
43.1	絶対最大定格	1895
43.2	発振回路特性	1897
43.2.1	X1 発振回路特性	1897
43.2.2	XT1 発振回路特性	1897
43.2.3	オンチップ・オシレータ特性	1898
43.2.4	PLL 発振回路特性	1899
43.3	DC 特性	1900
43.3.1	端子特性	1900
43.3.2	電源電流特性	1907
43.4	AC 特性	1916
43.5	周辺機能特性	1923
43.5.1	シリアル・アレイ・ユニット	1923
43.5.2	シリアル・インタフェース IICA	1952

43.6	アナログ特性	1958
43.6.1	A/Dコンバータ特性	1958
43.6.2	温度センサ/内部基準電圧特性	1967
43.6.3	D/Aコンバータ特性	1967
43.6.4	コンパレータ特性	1967
43.6.5	PGA特性	1968
43.6.6	POR回路特性	1969
43.6.7	LVD回路特性	1970
43.6.8	電源電圧立ち上がり特性	1972
43.7	RAMデータ保持特性	1973
43.8	フラッシュ・メモリ・プログラミング特性	1973
43.9	専用フラッシュ・メモリ・プログラマ通信 (UART)	1975
43.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	1975
44.	電気的特性 (TA = -40°C ~ +125°C)	1976
44.1	絶対最大定格	1977
44.2	発振回路特性	1979
44.2.1	X1発振回路特性	1979
44.2.2	XT1発振回路特性	1979
44.2.3	オンチップ・オシレータ特性	1980
44.2.4	PLL発振回路特性	1981
44.3	DC特性	1982
44.3.1	端子特性	1982
44.3.2	電源電流特性	1987
44.4	AC特性	1996
44.5	周辺機能特性	2003
44.5.1	シリアル・アレイ・ユニット	2003
44.5.2	シリアル・インタフェース IICA	2024
44.6	アナログ特性	2030
44.6.1	A/Dコンバータ特性	2030
44.6.2	温度センサ/内部基準電圧特性	2035
44.6.3	D/Aコンバータ特性	2035
44.6.4	コンパレータ特性	2035
44.6.5	PGA特性	2036
44.6.6	POR回路特性	2037
44.6.7	LVD回路特性	2038
44.6.8	電源電圧立ち上がり特性	2038
44.7	RAMデータ保持特性	2039
44.8	フラッシュ・メモリ・プログラミング特性	2039
44.9	専用フラッシュ・メモリ・プログラマ通信 (UART)	2041
44.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	2041
45.	外形図	2042
45.1	20ピン製品	2042
45.2	24ピン製品	2043
45.3	25ピン製品	2044
45.4	30ピン製品	2045
45.5	32ピン製品	2046
45.6	40ピン製品	2048

45.7	44ピン製品	2049
45.8	48ピン製品	2050
45.9	52ピン製品	2052
45.10	64ピン製品	2053
付録A	改版履歴	2055
A.1	本版で改訂された主な箇所	2055
A.2	前版までの改版履歴	2059

第1章 概 説

1.1 特徴

超低消費電力テクノロジー

- VDD = 1.6~5.5 Vの単一電源
- HALTモード
- STOPモード
STOPモードから高速ウェイクアップ可能
- SNOOZEモード

RL78 CPU コア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.02083 μ s：高速オンチップ・オシレータ・クロックまたはPLLクロックで48 MHz動作時）から超低速（30.5 μ s：サブシステム・クロック32.768 kHz動作時）までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ \times 8 \times 4バンク
- 内蔵RAM：12 KB

FAA コア

- 乗算：符号付き32ビット \times 符号付き32ビット \rightarrow 符号付き32ビット
- 乗算結果（64ビット）を任意のビット数分右シフト可能
- 加算：符号付き32ビット+符号付き32ビット \rightarrow 符号付き32ビット（内部的に33ビット精度で演算実行）
- 減算：符号付き32ビット-符号付き32ビット \rightarrow 符号付き32ビット（内部的に33ビット精度で演算実行）
- リミット演算：上限/下限の設定可能演算パラメータ・レジスタ33ビット \times 4レジスタ
- 演算パラメータ・レジスタ：32ビット \times 6レジスタ
- アドレス・ポインタ・レジスタ：12ビット \times 6レジスタ
- 内蔵コードRAM：4 KB
- 内蔵データRAM：2 KB
- 多重割り込み可能
- RL78 CPUコアとFAAコアの間でデータを共有するデータ共有メモリ（32バイト）を内蔵

除算器

- 32ビット \div 32ビット=32ビット（符号なし）

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ : 64/128 KB
- ブロック・サイズ : 2 KB
- ブロック消去禁止、書き換え禁止 (セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング : ブート・スワップ機能とフラッシュ・シールド・ウィンドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ : 4 KB
- バックグラウンド・オペレーション (BGO) : データ・フラッシュ書き換え中に、プログラム・メモリ内の命令実行が可能
- 書き換え回数 : 1,000,000回 (Typ.)

高速オンチップ・オシレータ

- 64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択
- 高精度 $\pm 1.0\%$ ($V_{DD} = 1.8 \sim 5.5 \text{ V}$ 、 $T_A = -20 \sim +85^\circ\text{C}$)

中速オンチップ・オシレータ

- 4 MHz, 2 MHz, 1 MHzから選択 (補正可能)

低速オンチップ・オシレータ

- 32.768 kHz (Typ.) (補正可能)

動作温度範囲

- $T_A = -40 \sim +85^\circ\text{C}$ (2D : 民生用途)
- $T_A = -40 \sim +105^\circ\text{C}$ (3C : 産業用途)
- $T_A = -40 \sim +125^\circ\text{C}$ (4C : 産業用途)

電源管理とリセット機能

- パワーオン・リセット回路 (POR)
- 電圧検出回路 (LVD0, LVD1)

データ・トランスファ・コントローラ (DTC)

- 転送モード : ノーマル転送モード、リピータ転送モード、ブロック転送モード
- 起動要因 : 割り込み要因により起動
- チェイン転送機能あり

イベント・リンク・コントローラ (ELC)

- 34種類のイベント信号を特定の周辺機能へリンク可能

シリアル・インタフェース

- 簡易SPI (CSI^{注1}) : 2～6チャンネル
- UART/UART (LIN-bus対応) : 2～3チャンネル
- I²C/簡易I²C : 2～6チャンネル
- デジタル調光照明インタフェース (DALI) : 1チャンネル
- I²C (SM/PMバス) : 1チャンネル

タイマ

- ★ • 16ビット・タイマ : タイマ・アレイ・ユニット (TAU) : 4チャンネル
タイマRJ : 1チャンネル
タイマRD2 : 2チャンネル (PWMOPA付き)
タイマRG2 : 1チャンネル
タイマRX : 1チャンネル
- 32ビット・インターバル・タイマ : 32ビット・カウント・モード時 : 1チャンネル
16ビット・カウント・モード時 : 2チャンネル
8ビット・カウント・モード時 : 4チャンネル
- リアルタイム・クロック : 1チャンネル (99年カレンダー、アラーム機能、時計補正機能)
- ウォッチドッグ・タイマ : 1チャンネル (低速オンチップ・オシレータ・クロックで動作)
- 16ビット・タイマKB30, KB31, KB32 : 3チャンネル×2 (最大6出力)
電源制御用相補出力タイマ
タイマリスタート機能、ソフト・スタート機能、
PWM出力ゲート機能、ディザリング機能、
強制出力停止 (コンパレータ/外部割り込み) 機能、
シングル/インタリーブ PFC 機能、最大周波数設定機能、
FixedOFF 機能、パルス幅測定機能、マルチフェーズ機能
平均分解能 651 ps の出力が可能 (96 MHz 動作、
ディザリング使用時)

A/D コンバータ

- 8/10/12ビット分解能A/Dコンバータ
- アナログ入力 : 12～23チャンネル (同時サンプリング機能用サンプル&ホールド回路を搭載 (2チャンネル))
- 内部基準電圧 (1.48 V) と温度センサを搭載

D/A コンバータ

- 8/10ビット分解能D/Aコンバータ (V_{DD} = 2.7～5.5 V)
- アナログ出力 : 2～3チャンネル
- 出力電圧 : 0 V～V_{DD}
- リアルタイム出力機能を搭載

コンパレータ

- 4チャンネル
- 基準電圧は外部基準電圧、D/Aコンバータ出力から選択が可能
- タイマ・アレイ・ユニットと連動するタイム・ウィンドウ出力機能を搭載

プログラマブル・ゲイン・アンプ

- 1チャンネル

入出力ポート

- I/Oポート：26～120本（N-chオープン・ドレイン出力／入力 [6 V 耐圧]：0～2本、
N-chオープン・ドレイン出力／入力 [VDD 耐圧^{注2} / EVDD 耐圧^{注3}]：7～19本、
出力電流制御ポート：2～8本）
- N-chオープン・ドレイン、TTL入力バッファ、内蔵プルアップの切り替え可能
- 異電位（1.8 V系、2.5 V系、3 V系）動作デバイスと接続可能

その他

- キー割り込み機能
- クロック出力／ブザー出力制御回路
- 10進補正（BCD）回路

注1. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

注2. 20～52ピン製品

注3. 64ピン製品

備考 製品によって、搭載している機能が異なります。**1.6 機能概要**を参照してください。

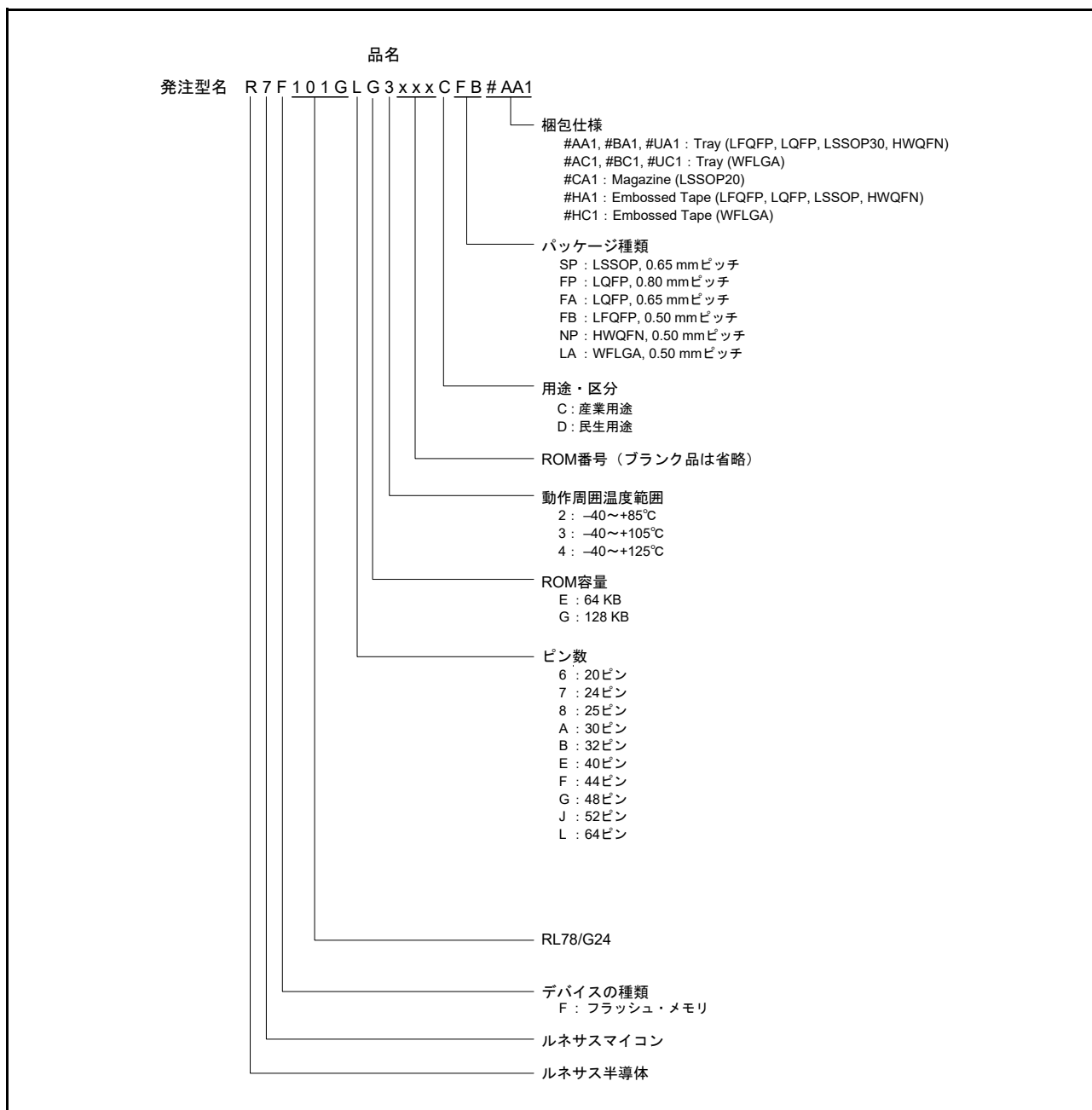
○ ROM, RAM 容量

コード・ フラッシュ・ メモリ	データ・ フラッシュ・ メモリ	RAM	RL78/G24					
			20ピン	24ピン	25ピン	30ピン	32ピン	40ピン
128 KB	4 KB	12 KB	R7F101G6G	R7F101G7G	R7F101G8G	R7F101GAG	R7F101GBG	R7F101GEG
64 KB			R7F101G6E	R7F101G7E	R7F101G8E	R7F101GAE	R7F101GBE	R7F101GEE

コード・ フラッシュ・ メモリ	データ・ フラッシュ・ メモリ	RAM	RL78/G24			
			44ピン	48ピン	52ピン	64ピン
128 KB	4 KB	12 KB	R7F101GFG	R7F101GGG	R7F101GJG	R7F101GLG
64 KB			R7F101GFE	R7F101GGE	R7F101GJE	R7F101GLE

1.2 型名一覧

★ 図1-1 RL78/G24の型名とメモリ・サイズ、パッケージ



★ 表1-1 発注型名一覧

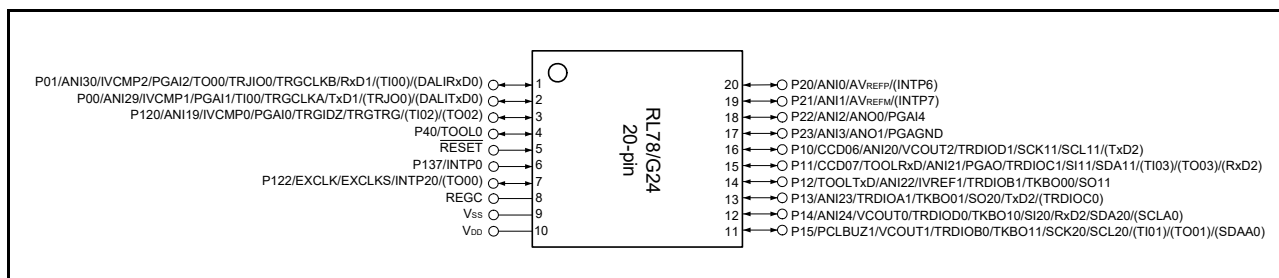
ピン数	パッケージ	用途・ 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
20ピン	20ピン・プラスチックLSSOP (4.4 × 6.5 mm、0.65 mmピッチ)	C	R7F101G6G4CSP, R7F101G6E4CSP, R7F101G6G3CSP, R7F101G6E3CSP	#CA1, #HA1	PLSP0020JB-A
		D	R7F101G6G2DSP, R7F101G6E2DSP		
24ピン	24ピン・プラスチックHWQFN (4 × 4 mm、0.50 mmピッチ)	C	R7F101G7G4CNP, R7F101G7E4CNP, R7F101G7G3CNP, R7F101G7E3CNP	#AA1, #BA1, #UA1, #HA1	PWQN0024KG-A
		D	R7F101G7G2DNP, R7F101G7E2DNP		
25ピン	25ピン・プラスチックWFLGA (3 × 3 mm、0.50 mmピッチ)	C	R7F101G8G3CLA, R7F101G8E3CLA	#AC1, #BC1, #UC1, #HC1	PWLG0025KB-A
		D	R7F101G8G2DLA, R7F101G8E2DLA		
30ピン	30ピン・プラスチックLSSOP (7.62 mm (300)、0.65 mmピッチ)	C	R7F101GAG4CSP, R7F101GAE4CSP, R7F101GAG3CSP, R7F101GAE3CSP	#AA1, #BA1, #UA1, #HA1	PLSP0030JB-B
		D	R7F101GAG2DSP, R7F101GAE2DSP		
32ピン	32ピン・プラスチックHWQFN (5 × 5 mm、0.50 mmピッチ)	C	R7F101GBG4CNP, R7F101GBE4CNP, R7F101GBG3CNP, R7F101GBE3CNP	#AA1, #BA1, #UA1, #HA1	PWQN0032KE-A
		D	R7F101GBG2DNP, R7F101GBE2DNP		
	32ピン・プラスチックLQFP (7 × 7 mm、0.80 mmピッチ)	C	R7F101GBG3CFP, R7F101GBE3CFP	#AA1, #BA1, #UA1, #HA1	PLQP0032GB-A
		D	R7F101GBG2DFP, R7F101GBE2DFP		
40ピン	40ピン・プラスチックHWQFN (6 × 6 mm、0.50 mmピッチ)	C	R7F101GEG4CNP, R7F101GEE4CNP, R7F101GEG3CNP, R7F101GEE3CNP	#AA1, #BA1, #UA1, #HA1	PWQN0040KD-A
		D	R7F101GEG2DNP, R7F101GEE2DNP		
44ピン	44ピン・プラスチックLQFP (10 × 10 mm、0.80 mmピッチ)	C	R7F101GFG3CFP, R7F101GFE3CFP	#AA1, #BA1, #UA1, #HA1	PLQP0044GC-A
		D	R7F101GFG2DFP, R7F101GFE2DFP		
48ピン	48ピン・プラスチックLFQFP (7 × 7 mm、0.50 mmピッチ)	C	R7F101GGG4CFB, R7F101GGE4CFB, R7F101GGG3CFB, R7F101GGE3CFB	#AA1, #BA1, #UA1, #HA1	PLQP0048KB-B
		D	R7F101GGG2DFB, R7F101GGE2DFB		
	48ピン・プラスチックHWQFN (7 × 7 mm、0.50 mmピッチ)	C	R7F101GGG3CNP, R7F101GGE3CNP	#AA1, #BA1, #UA1, #HA1	PWQN0048KC-A
		D	R7F101GGG2DNP, R7F101GGE2DNP		
52ピン	52ピン・プラスチックLQFP (10 × 10 mm、0.65 mmピッチ)	C	R7F101GJG4CFA, R7F101GJE4CFA, R7F101GJG3CFA, R7F101GJE3CFA	#AA1, #BA1, #UA1, #HA1	PLQP0052JA-A
		D	R7F101GJG2DFA, R7F101GJE2DFA		
64ピン	64ピン・プラスチックLQFP (12 × 12 mm、0.65 mmピッチ)	C	R7F101GLG3CFA, R7F101GLE3CFA	#AA1, #BA1, #UA1, #HA1	PLQP0064JA-A
		D	R7F101GLG2DFA, R7F101GLE2DFA		
	64ピン・プラスチックLFQFP (10 × 10 mm、0.50 mmピッチ)	C	R7F101GLG3CFB, R7F101GLE3CFB	#AA1, #BA1, #UA1, #HA1	PLQP0064KB-C
		D	R7F101GLG2DFB, R7F101GLE2DFB		

注 用途区分は、図1-1 RL78/G24の型名とメモリ・サイズ、パッケージを参照してください。

1.3 端子接続図 (Top View)

1.3.1 20ピン製品

- 20ピン・プラスチックLSSOP (4.4 × 6.5 mm、0.65 mmピッチ)



注意 REGC端子はコンデンサ (0.47 ~ 1 μ F) を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

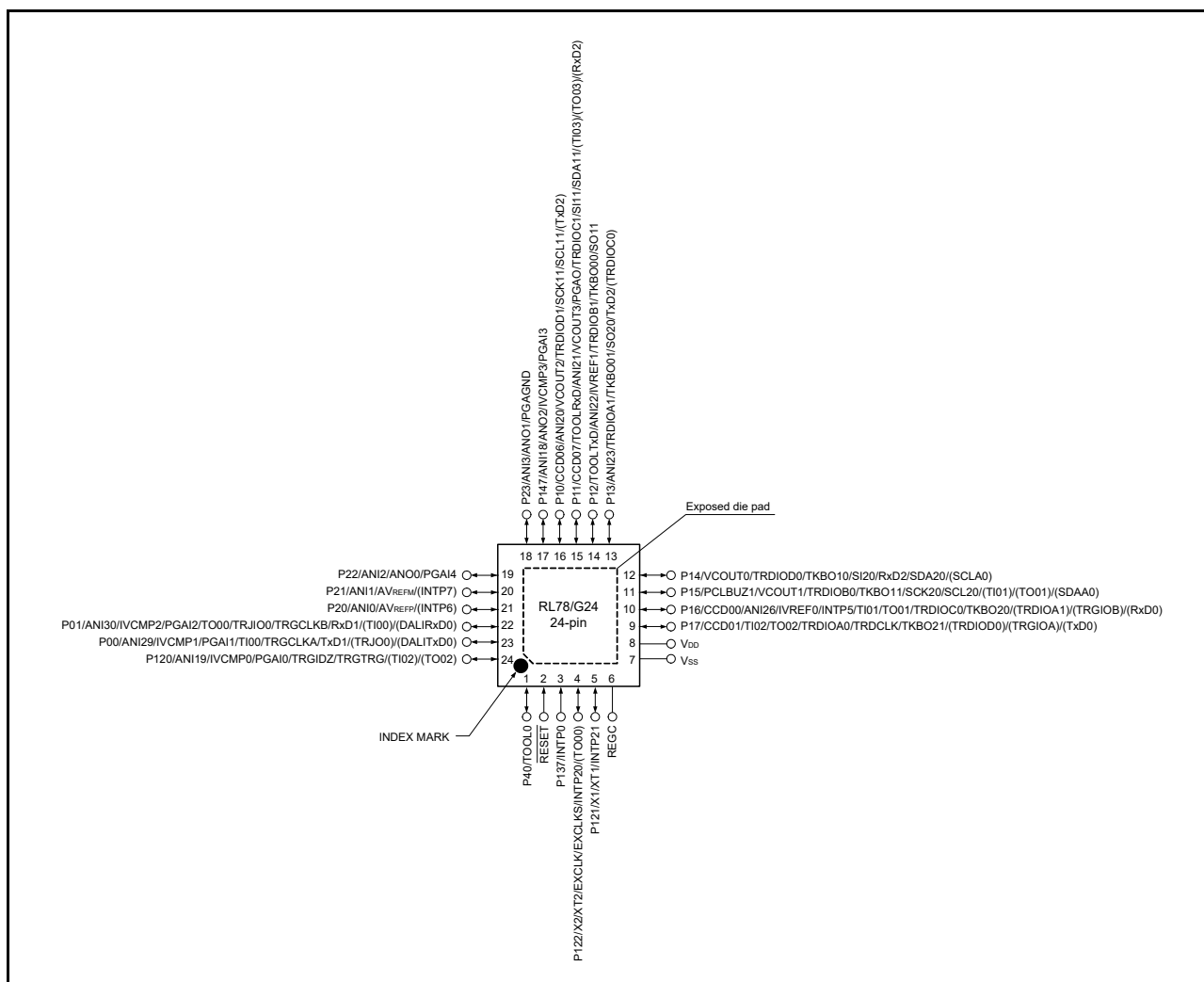
備考2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット~図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマットを参照してください。

表1 - 2 20ピン製品の兼用機能

ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ			HMI		タイマ					通信インタフェース				
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	デジタル調光照明インタフェース (DALI)	
1	P01	—	—	ANI30	—	IVCMP2	PGAI2	—	—	TO00/ (TI00)	TRJIO0	—	TRGCLKB	—	—	RxD1	—	(DALIRxD0)
2	P00	—	—	ANI29	—	IVCMP1	PGAI1	—	—	TI00	(TRJO0)	—	TRGCLKA	—	—	TxD1	—	(DALITxD0)
3	P120	—	—	ANI19	—	IVCMP0	PGAIO	—	—	(TI02)/ (TO02)	—	—	TRGIDZ/ TRGTRG	—	—	—	—	—
4	P40	—	TOOL0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
5	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
6	P137	—	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	—
7	P122	—	EXCLK/ EXCLKS	—	—	—	—	INTP20	—	(TO00)	—	—	—	—	—	—	—	—
8	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
9	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
10	—	—	Vdd	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
11	P15	—	PCLBUZ1	—	—	VCOU1	—	—	—	(TI01)/ (TO01)	TRDIOB0	—	TKBO11	—	SCK20/ SCL20	(SDAA0)	—	—
12	P14	—	—	ANI24	—	VCOU0	—	—	—	—	TRDIOD0	—	TKBO10	—	SI20/ RxD2/ SDA20	(SCLA0)	—	—
13	P13	—	—	ANI23	—	—	—	—	—	—	TRDIOA1/ (TRDIOC0)	—	TKBO01	—	SO20/ TxD2	—	—	—
14	P12	—	TOOLTxD	ANI22	—	IVREF1	—	—	—	—	TRDIOB1	—	TKBO00	—	SO11	—	—	—
15	P11	CCD07	TOOLRxD	ANI21	—	—	PGAO	—	—	(TI03)/ (TO03)	TRDIOC1	—	—	—	SI11/ SDA11/ (RxD2)	—	—	—
16	P10	CCD06	—	ANI20	—	VCOU2	—	—	—	—	TRDIOD1	—	—	—	SCK11/ SCL11/ (TxD2)	—	—	—
17	P23	—	—	ANI3	ANO1	—	PGAGND	—	—	—	—	—	—	—	—	—	—	—
18	P22	—	—	ANI2	ANO0	—	PGA14	—	—	—	—	—	—	—	—	—	—	—
19	P21	—	—	ANI1/ AVREFM	—	—	—	(INTP7)	—	—	—	—	—	—	—	—	—	—
20	P20	—	—	ANI0/ AVREFP	—	—	—	(INTP6)	—	—	—	—	—	—	—	—	—	—

1.3.2 24ピン製品

- 24ピン・プラスチックHWQFN (4 × 4 mm、0.50 mmピッチ)



注意 REGC端子はコンデンサ (0.47 ~ 1 μ F) を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット~図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマットを参照してください。

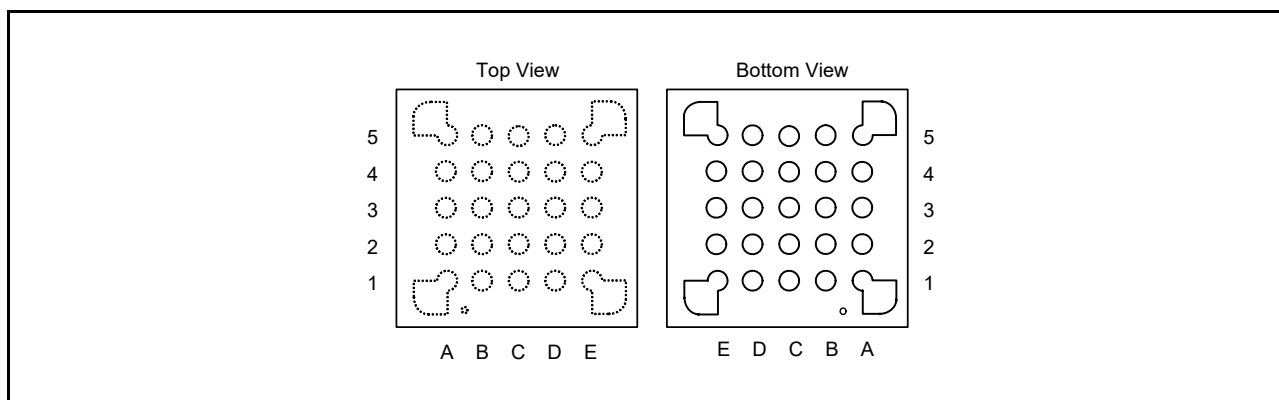
備考3. QFNパッケージ製品では、Exposed die padをプリント基板に半田実装してください。Exposed die padの実装先は電氣的にオープンにすることを推奨します。

表1 - 3 24ピン製品の兼用機能

ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	デジタル調光照明インタフェース (DALI)
1	P40	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
2	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
3	P137	-	-	-	-	-	-	INTP0	-	-	-	-	-	-	-	-	-	
4	P122	-	X2/XT2/ EXCLK/ EXCLKS	-	-	-	-	INTP20	(TO00)	-	-	-	-	-	-	-	-	
5	P121	-	X1/XT1	-	-	-	-	INTP21	-	-	-	-	-	-	-	-	-	
6	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
7	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
8	-	-	Vdd	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
9	P17	CCD01	-	-	-	-	-	-	TI02/ TO02	-	TRDIOA0/ (TRDIOA) TRDCLK	TKBO21	-	(TxD0)	-	-		
10	P16	CCD00	-	ANI26	-	IVREF0	-	INTP5	TI01/ TO01	-	TRDIOC0/ (TRDIOA1)	TKBO20	-	(RxD0)	-	-		
11	P15	-	PCLBUZ1	-	-	VCOUT1	-	-	(TI01)/ (TO01)	-	TRDIOB0	-	TKBO11	SCK20/ SCL20	(SDAA0)	-		
12	P14	-	-	-	-	VCOUT0	-	-	-	-	TRDIOD0	-	TKBO10	SI20/ RxD2/ SDA20	(SCLA0)	-		
13	P13	-	-	ANI23	-	-	-	-	-	-	TRDIOA1/ (TRDIOC0)	TKBO01	-	SO20/ TxD2	-	-		
14	P12	-	TOOLTxD	ANI22	-	IVREF1	-	-	-	-	TRDIOB1	-	TKBO00	SO11	-	-		
15	P11	CCD07	TOOLRxD	ANI21	-	VCOUT3	PGAO	-	(TI03)/ (TO03)	-	TRDIOC1	-	-	SI11/ SDA11/ (RxD2)	-	-		
16	P10	CCD06	-	ANI20	-	VCOUT2	-	-	-	-	TRDIOD1	-	-	SCK11/ SCL11/ (TxD2)	-	-		
17	P147	-	-	ANI18	ANO2	IVCMP3	PGAI3	-	-	-	-	-	-	-	-	-		
18	P23	-	-	ANI3	ANO1	-	PGAGND	-	-	-	-	-	-	-	-	-		
19	P22	-	-	ANI2	ANO0	-	PGAI4	-	-	-	-	-	-	-	-	-		
20	P21	-	-	ANI1/ AVREFM	-	-	-	(INTP7)	-	-	-	-	-	-	-	-		
21	P20	-	-	ANI0/ AVREFP	-	-	-	(INTP6)	-	-	-	-	-	-	-	-		
22	P01	-	-	ANI30	-	IVCMP2	PGAI2	-	TO00/ (T100)	TRJIO0	-	TRGCLKB	-	RxD1	-	(DALIRxD0)		
23	P00	-	-	ANI29	-	IVCMP1	PGAI1	-	TI00	(TRJ00)	-	TRGCLKA	-	TxD1	-	(DALITxD0)		
24	P120	-	-	ANI19	-	IVCMP0	PGAI0	-	(TI02)/ (TO02)	-	-	TRGID2/ TRGTRG	-	-	-	-		

1.3.3 25ピン製品

- 25ピン・プラスチックWFLGA (3 × 3 mm、0.50 mm ピッチ)



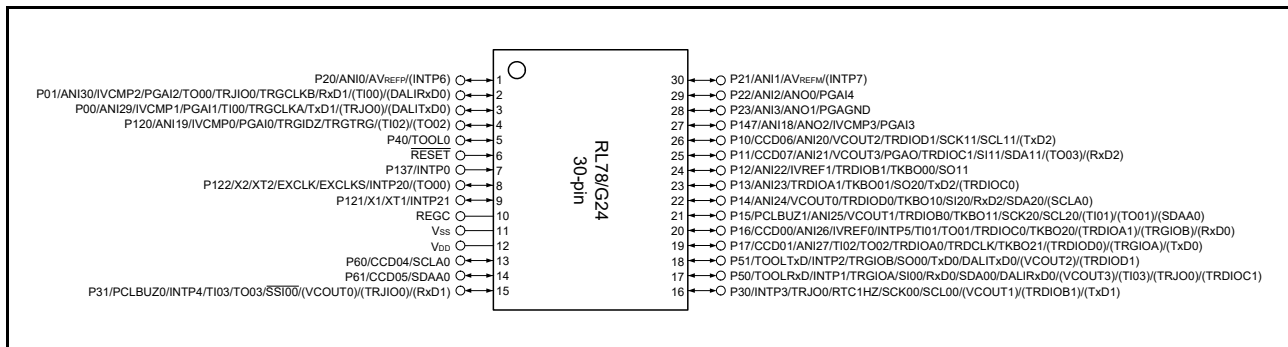
	A	B	C	D	E
5	P40/TOOL0	RESET	P01/ANI30/IVCMP2/PGAI2/ TO00/TRJIO0/TRGCLKB/ RxD1/(TI00)/(DALIRxD0)	P22/ANI2/ANO0/PGAI4	P147/ANI18/ANO2/ IVCMP3/PGAI3
4	P122/X2/XT2/EXCLK/ EXCLKS/INTP20/(TO00)	P137/INTP0	P00/ANI29/IVCMP1/PGAI1/ TI00/TRGCLKA/TxD1/ (TRJO0)/(DALITxD0)	P21/ANI1/AVREFM/(INTP7)	P10/CCD06/ANI20/ VCOUT2/TRDIOD1/SCK11/ SCL11/(TxD2)
3	P121/X1/XT1/INTP21	VDD	P20/ANI0/AVREFP/(INTP6)	P12/TOOLTxD/ANI22/ IVREF1/TRDIOB1/ TKBO00/SO11	P11/CCD07/TOOLRxD/ ANI21/VCOUT3/PGAO/ TRDIOC1/SI11/SDA11/ (TI03)/(TO03)/(RxD2)
2	REGC	VSS	P23/ANI3/ANO1/PGAGND	P14/ANI24/VCOUT0/ TRDIOD0/TKBO10/SI20/ RxD2/SDA20/(SCLA0)	P13/ANI23/TRDIOA1/ TKBO01/SO20/TxD2/ (TRDIOC0)
1	P17/CCD01/ANI27/TI02/ TO02/TRDIOA0/TRDCLK/ TKBO21/(TRDIOD0)/ (TRGIOA)/(TxD0)	P16/CCD00/ANI26/ IVREF0/INTP5/TI01/TO01/ TRDIOC0/TKBO20/ (TRDIOA1)/(TRGIOB)/ (RxD0)	P120/ANI19/IVCMP0/ PGAI0/TRGIDZ/TRGTRG/ (TI02)/(TO02)	P15/PCLBUZ1/ANI25/ VCOUT1/TRDIOB0/ TKBO11/SCK20/SCL20/ (TI01)/(TO01)/(SDAA0)	P130

表1 - 4 25ピン製品の兼用機能

ピン番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	デジタル調光照明インタフェース (DALI)
A1	P17	CCD01	—	ANI27	—	—	—	—	—	TI02/ TO02	—	TRDIOA0/ (TRDIOD0)/ TRDCLK	(TRGIOA)	TKBO21	—	(TxD0)	—	—
A2	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
A3	P121	—	X1/XT1	—	—	—	—	INTP21	—	—	—	—	—	—	—	—	—	
A4	P122	—	X2/XT2/ EXCLK/ EXCLKS	—	—	—	—	INTP20	—	(TO00)	—	—	—	—	—	—	—	
A5	P40	—	TOOL0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
B1	P16	CCD00	—	ANI26	—	IVREF0	—	INTP5	—	TI01/ TO01	—	TRDIOC0/ (TRDIOA1)	(TRGIOB)	TKBO20	—	(RxD0)	—	
B2	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
B3	—	—	Vdd	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
B4	P137	—	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	
B5	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
C1	P120	—	—	ANI19	—	IVCMP0	PGAI0	—	—	(TI02)/ (TO02)	—	—	TRGIDZ/ TRGTRG	—	—	—	—	
C2	P23	—	—	ANI3	ANO1	—	PGAGND	—	—	—	—	—	—	—	—	—	—	
C3	P20	—	—	ANI0/ AVREFP	—	—	—	(INTP6)	—	—	—	—	—	—	—	—	—	
C4	P00	—	—	ANI29	—	IVCMP1	PGAI1	—	—	TI00	(TRJ00)	—	TRGCLKA	—	—	TxD1	—	(DALITxD0)
C5	P01	—	—	ANI30	—	IVCMP2	PGAI2	—	—	TO00/ (TI00)	TRJIO0	—	TRGCLKB	—	—	RxD1	—	(DALIRxD0)
D1	P15	—	PCLBUZ1	ANI25	—	VCOUT1	—	—	—	(TI01)/ (TO01)	—	TRDIOB0	—	TKBO11	—	SCK20/ SCL20	(SDAA0)	—
D2	P14	—	—	ANI24	—	VCOUT0	—	—	—	—	—	TRDIOD0	—	TKBO10	—	SI20/ RxD2/ SDA20	(SCLA0)	—
D3	P12	—	TOOLTxD	ANI22	—	IVREF1	—	—	—	—	—	TRDIOB1	—	TKBO00	—	SO11	—	—
D4	P21	—	—	ANI1/ AVREFM	—	—	—	(INTP7)	—	—	—	—	—	—	—	—	—	
D5	P22	—	—	ANI2	ANO0	—	PGAI4	—	—	—	—	—	—	—	—	—	—	
E1	P130	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
E2	P13	—	—	ANI23	—	—	—	—	—	—	—	TRDIOA1/ (TRDIOC0)	—	TKBO01	—	SO20/ TxD2	—	—
E3	P11	CCD07	TOOLRxD	ANI21	—	VCOUT3	PGAO	—	—	(TI03)/ (TO03)	—	TRDIOC1	—	—	—	SI11/ SDA11/ (RxD2)	—	—
E4	P10	CCD06	—	ANI20	—	VCOUT2	—	—	—	—	—	TRDIOD1	—	—	—	SCK11/ SCL11/ (TxD2)	—	—
E5	P147	—	—	ANI18	ANO2	IVCMP3	PGAI3	—	—	—	—	—	—	—	—	—	—	

1.3.4 30ピン製品

- 30ピン・プラスチックLSSOP（7.62 mm（300）、0.65 mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。図7-8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット～図7-11 周辺I/Oリダイレクション・レジスタ（PIOR3）のフォーマットを参照してください。

表1 - 5 30ピン製品の兼用機能 (1/2)

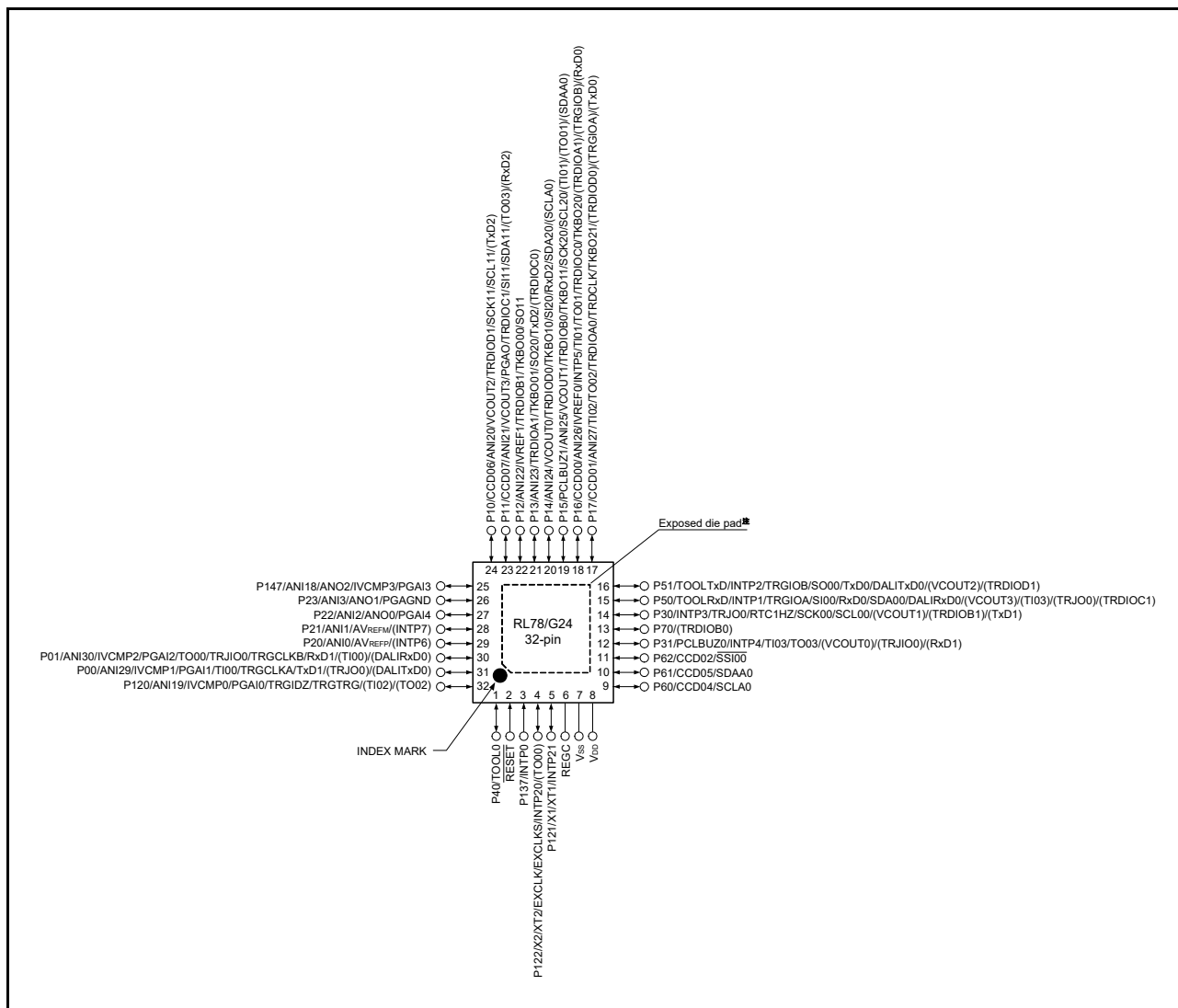
ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ			HMI		タイマ					通信インタフェース			
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)
1	P20	—	—	ANI0/ AVREFP	—	—	—	(INTP6)	—	—	—	—	—	—	—	—	—
2	P01	—	—	ANI30	—	IVCMP2	PGAI2	—	—	TO00/ (TI00)	TRJIO0	—	TRGCLKB	—	—	RxD1	— (DALIRxD0)
3	P00	—	—	ANI29	—	IVCMP1	PGAI1	—	—	TI00	(TRJIO0)	—	TRGCLKA	—	—	TxD1	— (DALITxD0)
4	P120	—	—	ANI19	—	IVCMP0	PGAI0	—	—	(TI02)/ (TO02)	—	—	TRGIDZ/ TRGTRG	—	—	—	—
5	P40	—	TOOL0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
6	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—
7	P137	—	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—
8	P122	—	X2/XT2/ EXCLK/ EXCLKS	—	—	—	—	INTP20	—	(TO00)	—	—	—	—	—	—	—
9	P121	—	X1/XT1	—	—	—	—	INTP21	—	—	—	—	—	—	—	—	—
10	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
11	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—
12	—	—	Vdd	—	—	—	—	—	—	—	—	—	—	—	—	—	—
13	P60	CCD04	—	—	—	—	—	—	—	—	—	—	—	—	—	SCLA0	—
14	P61	CCD05	—	—	—	—	—	—	—	—	—	—	—	—	—	SDAA0	—
15	P31	—	PCLBUZ0	—	—	(VCOUT0)	—	INTP4	—	TI03/ TO03	(TRJIO0)	—	—	—	—	SSI00/ (RxD1)	—
16	P30	—	—	—	—	(VCOUT1)	—	INTP3	—	—	TRJIO0	(TRDIOB1)	—	—	RTC1HZ	SCK00/ SCL00/ (TxD1)	—
17	P50	—	TOOLRxD	—	—	(VCOUT3)	—	INTP1	—	(TI03)	(TRJIO0)	(TRDIOC1)	TRGIOA	—	—	SI00/ RxD0/ SDA00	DALIRxD0
18	P51	—	TOOLTxD	—	—	(VCOUT2)	—	INTP2	—	—	—	(TRDIOB1)	TRGIOB	—	—	SO00/ TxD0	DALITxD0
19	P17	CCD01	—	ANI27	—	—	—	—	—	TI02/ TO02	—	TRDIOA0/ (TRDIOB0)/ TRDCLK	(TRGIOA)	TKBO21	—	(TxD0)	—
20	P16	CCD00	—	ANI26	—	IVREF0	—	INTP5	—	TI01/ TO01	—	TRDIOC0/ (TRDIOA1)	(TRGIOB)	TKBO20	—	(RxD0)	—
21	P15	—	PCLBUZ1	ANI25	—	VCOUT1	—	—	—	(TI01)/ (TO01)	—	TRDIOB0	—	TKBO11	—	SCK20/ SCL20	(SDAA0) —
22	P14	—	—	ANI24	—	VCOUT0	—	—	—	—	—	TRDIOD0	—	TKBO10	—	SI20/ RxD2/ SDA20	(SCLA0) —
23	P13	—	—	ANI23	—	—	—	—	—	—	—	TRDIOA1/ (TRDIOC0)	—	TKBO01	—	SO20/ TxD2	—
24	P12	—	—	ANI22	—	IVREF1	—	—	—	—	—	TRDIOB1	—	TKBO00	—	SO11	—

表1 - 5 30ピン製品の兼用機能 (2/2)

ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース			
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)	デジタル調光照明インタフェース (DALI)	
25	P11	CCD07	-	ANI21	-	VCOUT3	PGAO	-	-	(TO03)	-	TRDI0C1	-	-	-	-	SI11/ SDA11/ (Rx/D2)	-	-
26	P10	CCD06	-	ANI20	-	VCOUT2	-	-	-	-	-	TRDI0D1	-	-	-	-	SCK11/ SCL11/ (Tx/D2)	-	-
27	P147	-	-	ANI18	ANO2	VCMP3	PGA13	-	-	-	-	-	-	-	-	-	-	-	-
28	P23	-	-	ANI3	ANO1	-	PGAGND	-	-	-	-	-	-	-	-	-	-	-	-
29	P22	-	-	ANI2	ANO0	-	PGA14	-	-	-	-	-	-	-	-	-	-	-	-
30	P21	-	-	ANI1/ AVREFM	-	-	-	(INTP7)	-	-	-	-	-	-	-	-	-	-	-

1.3.5 32ピン製品

- 32ピン・プラスチックHWQFN (5 × 5 mm、0.50 mm ピッチ)
- 32ピン・プラスチックLQFP (7 × 7 mm、0.80 mm ピッチ)



★

注 32ピン・プラスチックLQFP (7 × 7 mm、0.80 mm ピッチ) 製品にはExposed die padはありません。

注意 REGC端子はコンデンサ (0.47 ~ 1 μF) を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット~図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマットを参照してください。

備考3. QFNパッケージ製品では、Exposed die padをプリント基板に半田実装してください。Exposed die padの実装先は電氣的にオープンにすることを推奨します。

表1 - 6 32ピン製品の兼用機能 (1/2)

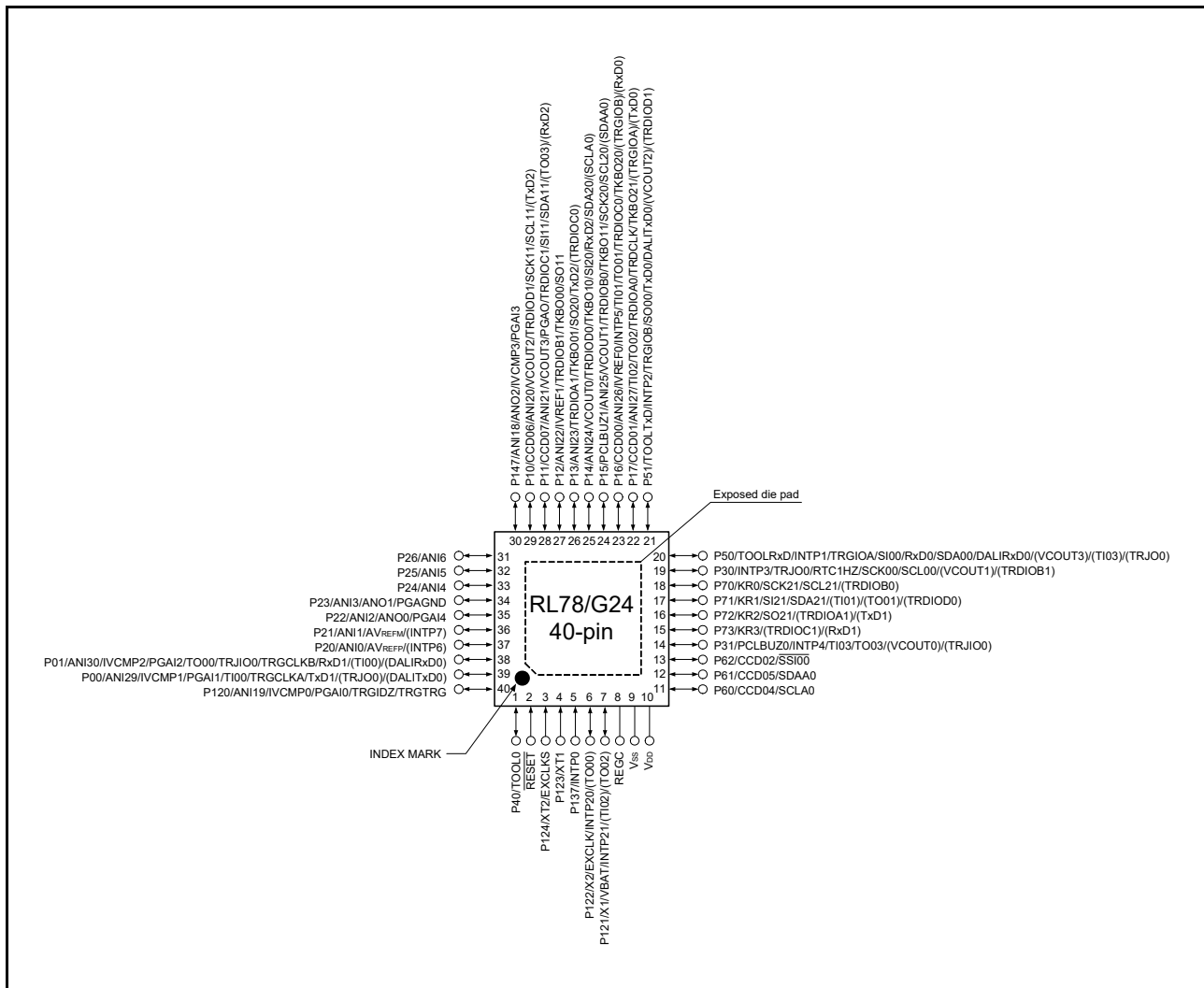
ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	デジタル調光照明インタフェース (DALI)
1	P40	—	TOOL0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
2	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
3	P137	—	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	
4	P122	—	X2/XT2/ EXCLK/ EXCLKS	—	—	—	—	INTP20	(TO00)	—	—	—	—	—	—	—	—	
5	P121	—	X1/XT1	—	—	—	—	INTP21	—	—	—	—	—	—	—	—	—	
6	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
7	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
8	—	—	Vdd	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
9	P60	CCD04	—	—	—	—	—	—	—	—	—	—	—	—	—	SCLA0	—	
10	P61	CCD05	—	—	—	—	—	—	—	—	—	—	—	—	—	SDAA0	—	
11	P62	CCD02	—	—	—	—	—	—	—	—	—	—	—	—	SS100	—	—	
12	P31	—	PCLBUZ0	—	—	(VCOUT0)	—	INTP4	TI03/ TO03	(TRJIO0)	—	—	—	—	(RxD1)	—	—	
13	P70	—	—	—	—	—	—	—	—	(TRDIOB0)	—	—	—	—	—	—	—	
14	P30	—	—	—	—	(VCOUT1)	—	INTP3	—	TRJO0	(TRDIOB1)	—	—	RTC1HZ	SCK00/ SCL00/ (TxD1)	—	—	
15	P50	—	TOOLRxD	—	—	(VCOUT3)	—	INTP1	(TI03)	(TRJO0)	(TRDIOC1)	TRGIOA	—	—	SI00/ RxDO/ SDA00	—	DALIRxD0	
16	P51	—	TOOLTxD	—	—	(VCOUT2)	—	INTP2	—	—	(TRDIOD1)	TRGIOB	—	—	SO00/ TxDO	—	DALITxD0	
17	P17	CCD01	—	ANI27	—	—	—	—	TI02/ TO02	—	TRDIOA0/ (TRDIOD0)/ TRDCLK	(TRGIOA)	TKBO21	—	(TxDO)	—	—	
18	P16	CCD00	—	ANI26	—	IVREF0	—	INTP5	TI01/ TO01	—	TRDIOC0/ (TRDIOA1)	(TRGIOB)	TKBO20	—	(RxDO)	—	—	
19	P15	—	PCLBUZ1	ANI25	—	VCOUT1	—	—	(TI01)/ (TO01)	—	TRDIOB0	—	TKBO11	—	SCK20/ SCL20	(SDAA0)	—	
20	P14	—	—	ANI24	—	VCOUT0	—	—	—	—	TRDIOD0	—	TKBO10	—	SI20/ RxD2/ SDA20	(SCLA0)	—	
21	P13	—	—	ANI23	—	—	—	—	—	—	TRDIOA1/ (TRDIOC0)	—	TKBO01	—	SO20/ TxD2	—	—	
22	P12	—	—	ANI22	—	IVREF1	—	—	—	—	TRDIOB1	—	TKBO00	—	SO11	—	—	
23	P11	CCD07	—	ANI21	—	VCOUT3	PGAO	—	(TO03)	—	TRDIOC1	—	—	—	SI11/ SDA11/ (RxD2)	—	—	
24	P10	CCD06	—	ANI20	—	VCOUT2	—	—	—	—	TRDIOD1	—	—	—	SCK11/ SCL11/ (TxD2)	—	—	
25	P147	—	—	ANI18	ANO2	IVCMP3	PGA13	—	—	—	—	—	—	—	—	—	—	

表1 - 6 32ピン製品の兼用機能 (2/2)

ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)	デジタル調光照明インタフェース (DALI)
32HWQFN, 32LQFP																		
26	P23	-	-	ANI3	ANO1	-	PGAGND	-	-	-	-	-	-	-	-	-	-	
27	P22	-	-	ANI2	ANO0	-	PGA4	-	-	-	-	-	-	-	-	-	-	
28	P21	-	-	ANI1/ AVREFM	-	-	-	(INTP7)	-	-	-	-	-	-	-	-	-	
29	P20	-	-	ANI0/ AVREFP	-	-	-	(INTP6)	-	-	-	-	-	-	-	-	-	
30	P01	-	-	ANI30	-	IVCMP2	PGA2	-	-	TO00/ (TI00)	TRJIO0	-	TRGCLKB	-	-	RxD1	-	(DALIRxD0)
31	P00	-	-	ANI29	-	IVCMP1	PGA1	-	-	TI00	(TRJO0)	-	TRGCLKA	-	-	TxD1	-	(DALITxD0)
32	P120	-	-	ANI19	-	IVCMP0	PGA10	-	-	(TI02)/ (TO02)	-	-	TRGIDZ/ TRGTRG	-	-	-	-	-

1.3.6 40ピン製品

- 40ピン・プラスチックHWQFN（6×6 mm、0.50 mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。図7-8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット～図7-11 周辺I/Oリダイレクション・レジスタ（PIOR3）のフォーマットを参照してください。

備考3. QFNパッケージ製品では、Exposed die padをプリント基板に半田実装してください。Exposed die padの実装先は電氣的にオープンにすることを推奨します。

表1-7 40ピン製品の兼用機能 (1/2)

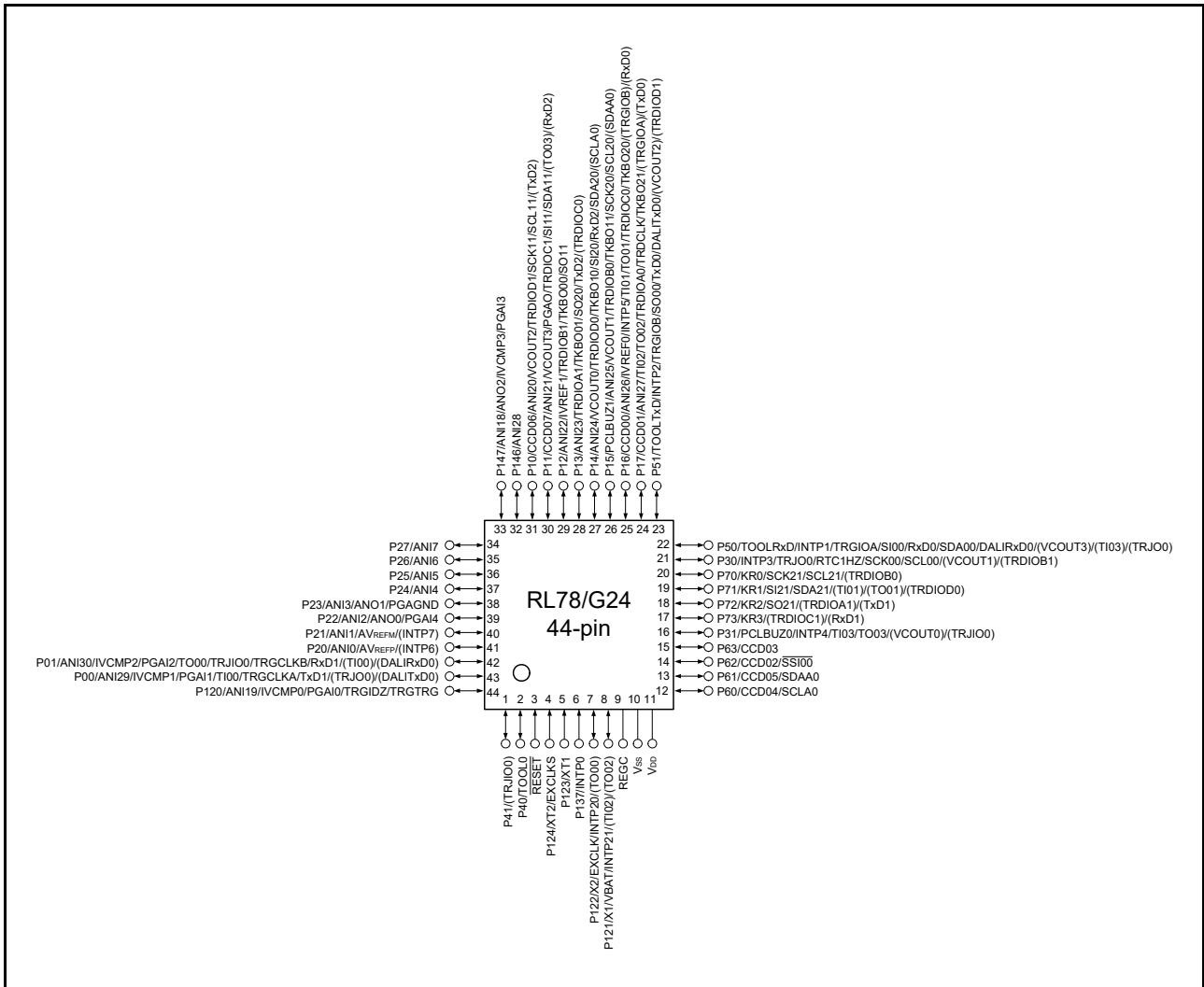
ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	デジタル調光照明インタフェース (DALI)
1	P40	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
2	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
3	P124	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
4	P123	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
5	P137	-	-	-	-	-	-	INTP0	-	-	-	-	-	-	-	-	-	
6	P122	-	X2/EXCLK	-	-	-	-	INTP20	(TO00)	-	-	-	-	-	-	-	-	
7	P121	-	X1/VBAT	-	-	-	-	INTP21	(TI02)/ (TO02)	-	-	-	-	-	-	-	-	
8	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
9	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
10	-	-	VDD	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
11	P60	CCD04	-	-	-	-	-	-	-	-	-	-	-	-	SCLA0	-	-	
12	P61	CCD05	-	-	-	-	-	-	-	-	-	-	-	-	SDAA0	-	-	
13	P62	CCD02	-	-	-	-	-	-	-	-	-	-	-	SSI00	-	-	-	
14	P31	-	PCLBUZ0	-	-	(VCOUT0)	-	INTP4	TI03/ TO03	(TRJIO0)	-	-	-	-	-	-	-	
15	P73	-	-	-	-	-	-	KR3	-	-	(TRDIOC1)	-	-	-	(RxD1)	-	-	
16	P72	-	-	-	-	-	-	KR2	-	-	(TRDIOA1)	-	-	-	SO21/ (TxD1)	-	-	
17	P71	-	-	-	-	-	-	KR1	(TI01)/ (TO01)	-	(TRDIOD0)	-	-	-	SI21/ SDA21	-	-	
18	P70	-	-	-	-	-	-	KR0	-	-	(TRDIOB0)	-	-	-	SCK21/ SCL21	-	-	
19	P30	-	-	-	(VCOUT1)	-	-	INTP3	-	TRJ00	(TRDIOB1)	-	-	RTC1HZ	SCK00/ SCL00	-	-	
20	P50	-	TOOLRxD	-	-	(VCOUT3)	-	INTP1	(TI03)	(TRJ00)	-	TRGIOA	-	-	SI00/ RxD0/ SDA00	-	DALIRxD0	
21	P51	-	TOOLTxD	-	-	(VCOUT2)	-	INTP2	-	-	(TRDIOD1)	TRGIOB	-	-	SO00/ TxD0	-	DALITxD0	
22	P17	CCD01	-	ANI27	-	-	-	-	TI02/ TO02	-	TRDIOA0/ TRDCLK	(TRGIOA)	TKBO21	-	(TxD0)	-	-	
23	P16	CCD00	-	ANI26	-	IVREF0	-	INTP5	TI01/ TO01	-	TRDIOC0	(TRGIOB)	TKBO20	-	(RxD0)	-	-	
24	P15	-	PCLBUZ1	ANI25	-	VCOUT1	-	-	-	-	TRDIOB0	-	TKBO11	-	SCK20/ SCL20	(SDAA0)	-	
25	P14	-	-	ANI24	-	VCOUT0	-	-	-	-	TRDIOD0	-	TKBO10	-	SI20/ RxD2/ SDA20	(SCLA0)	-	
26	P13	-	-	ANI23	-	-	-	-	-	-	TRDIOA1/ (TRDIOC0)	-	TKBO01	-	SO20/ TxD2	-	-	
27	P12	-	-	ANI22	-	IVREF1	-	-	-	-	TRDIOB1	-	TKBO00	-	SO11	-	-	

表1 - 7 40ピン製品の兼用機能 (2/2)

ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース			
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)	デジタル調光照明インタフェース (DALI)	
28	P11	CCD07	-	ANI21	-	VCOUT3	PGAO	-	-	(TO03)	-	TRDI0C1	-	-	-	-	SI11/ SDA11/ (RxD2)	-	-
29	P10	CCD06	-	ANI20	-	VCOUT2	-	-	-	-	-	TRDI0D1	-	-	-	-	SCK11/ SCL11/ (TxD2)	-	-
30	P147	-	-	ANI18	ANO2	IVCMP3	PGA13	-	-	-	-	-	-	-	-	-	-	-	-
31	P26	-	-	ANI6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
32	P25	-	-	ANI5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
33	P24	-	-	ANI4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
34	P23	-	-	ANI3	ANO1	-	PGAGND	-	-	-	-	-	-	-	-	-	-	-	-
35	P22	-	-	ANI2	ANO0	-	PGA14	-	-	-	-	-	-	-	-	-	-	-	-
36	P21	-	-	ANI1/ AVREFM	-	-	-	(INTP7)	-	-	-	-	-	-	-	-	-	-	-
37	P20	-	-	ANI0/ AVREFP	-	-	-	(INTP6)	-	-	-	-	-	-	-	-	-	-	-
38	P01	-	-	ANI30	-	IVCMP2	PGA12	-	-	TO00/ (TI00)	TRJIO0	-	TRGCLKB	-	-	RxD1	-	(DALIRxD0)	
39	P00	-	-	ANI29	-	IVCMP1	PGA11	-	-	TI00	(TRJO0)	-	TRGCLKA	-	-	TxD1	-	(DALITxD0)	
40	P120	-	-	ANI19	-	IVCMP0	PGA10	-	-	-	-	-	TRGIDZ/ TRGTRG	-	-	-	-	-	

1.3.7 44ピン製品

- 44ピン・プラスチックLQFP（10 × 10 mm、0.80 mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。図7-8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット～図7-11 周辺I/Oリダイレクション・レジスタ（PIOR3）のフォーマットを参照してください。

表1 - 8 44ピン製品の兼用機能 (1/2)

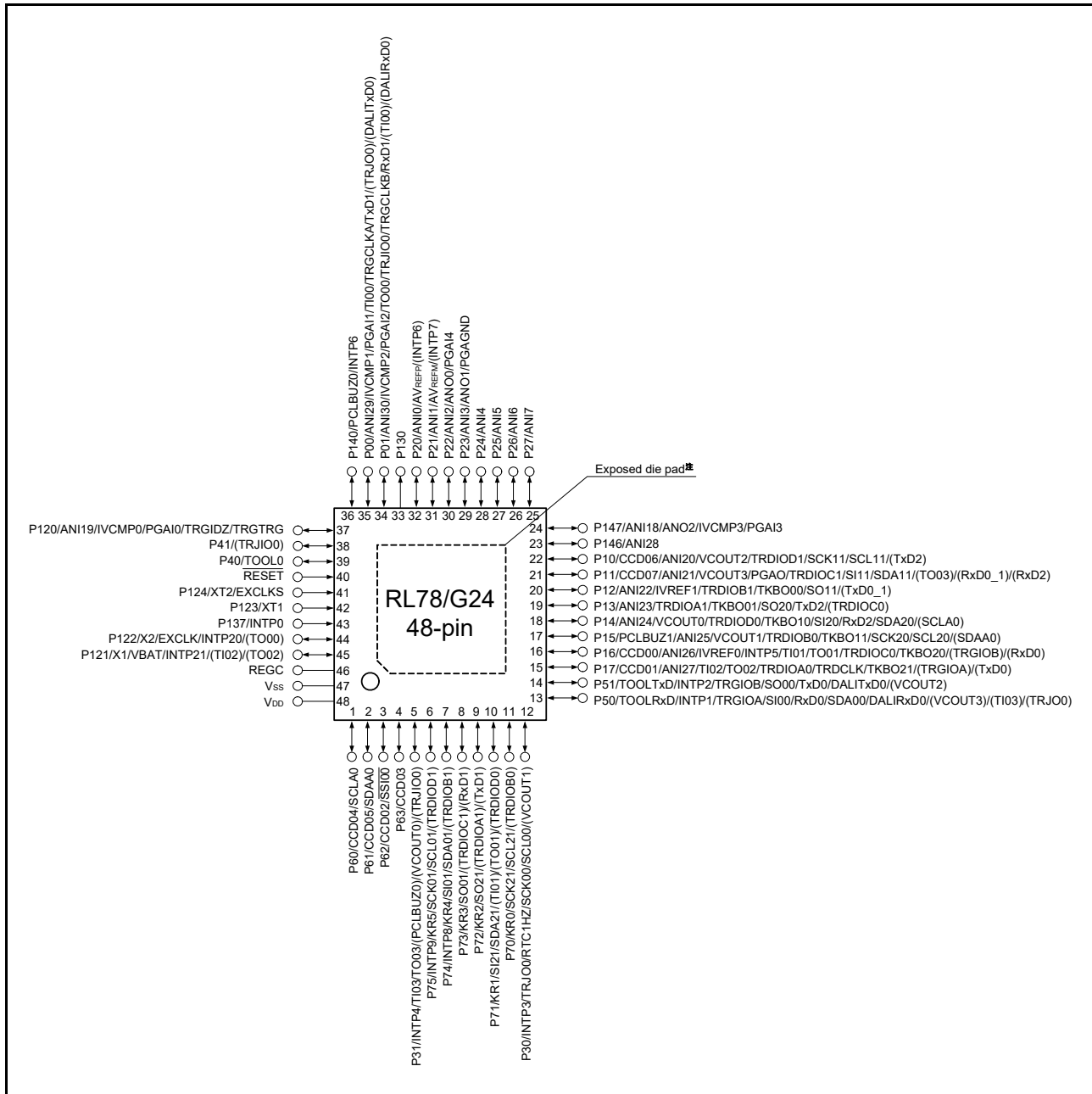
ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	デジタル調光照明インタフェース (DALI)
1	P41	-	-	-	-	-	-	-	-	-	(TRJIO0)	-	-	-	-	-	-	-
2	P40	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
3	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
4	P124	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
5	P123	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
6	P137	-	-	-	-	-	-	INTP0	-	-	-	-	-	-	-	-	-	-
7	P122	-	X2/EXCLK	-	-	-	-	INTP20	-	(TO00)	-	-	-	-	-	-	-	-
8	P121	-	X1/VBAT	-	-	-	-	INTP21	-	(TI02)/ (TO02)	-	-	-	-	-	-	-	-
9	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
10	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
11	-	-	Vdd	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
12	P60	CCD04	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SCLA0	-
13	P61	CCD05	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SDAA0	-
14	P62	CCD02	-	-	-	-	-	-	-	-	-	-	-	-	-	SSIO0	-	-
15	P63	CCD03	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
16	P31	-	PCLBUZ0	-	-	(VCOUT0)	-	INTP4	-	TI03/ TO03	(TRJIO0)	-	-	-	-	-	-	-
17	P73	-	-	-	-	-	-	KR3	-	-	(TRDIOC1)	-	-	-	-	(RxD1)	-	-
18	P72	-	-	-	-	-	-	KR2	-	-	(TRDIOA1)	-	-	-	-	SO21/ (TxD1)	-	-
19	P71	-	-	-	-	-	-	KR1	(TI01)/ (TO01)	-	(TRDIOD0)	-	-	-	-	SI21/S DA21	-	-
20	P70	-	-	-	-	-	-	KR0	-	-	(TRDIOB0)	-	-	-	-	SCK21/ SCL21	-	-
21	P30	-	-	-	(VCOUT1)	-	INTP3	-	-	TRJO0	(TRDIOB1)	-	-	RTC1HZ	SCK00/ SCL00	-	-	-
22	P50	-	TOOLRxD	-	-	(VCOUT3)	-	INTP1	-	(TI03)	(TRJO0)	-	TRGIOA	-	-	SI00/ RxD0/ SDA00	-	DALIRxD0
23	P51	-	TOOLTxD	-	-	(VCOUT2)	-	INTP2	-	-	(TRDIOD1)	TRGIOB	-	-	SO00/ TxD0	-	DALITxD0	-
24	P17	CCD01	-	ANI27	-	-	-	-	-	TI02/ TO02	-	TRDIOA0/ TRDCLK	(TRGIOA)	TKBO21	-	(TxD0)	-	-
25	P16	CCD00	-	ANI26	-	IVREF0	-	INTP5	-	TI01/ TO01	-	TRDIOC0	(TRGIOB)	TKBO20	-	(RxD0)	-	-
26	P15	-	PCLBUZ1	ANI25	-	VCOUT1	-	-	-	-	-	TRDIOB0	-	TKBO11	-	SCK20/ SCL20	-	(SDAA0)
27	P14	-	-	ANI24	-	VCOUT0	-	-	-	-	-	TRDIOD0	-	TKBO10	-	SI20/ RxD2/ SDA20	(SCLA0)	-

表1 - 8 44ピン製品の兼用機能 (2/2)

ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ					通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースII (IICA)
28	P13	-	-	ANI23	-	-	-	-	-	-	TRDIOA1/ (TRDIOC0)	-	TKBO01	-	SO20/ TxD2	-	-
29	P12	-	-	ANI22	-	IVREF1	-	-	-	-	TRDIOB1	-	TKBO00	-	SO11	-	-
30	P11	CCD07	-	ANI21	-	VCOUT3	PGAO	-	-	(TO03)	TRDIOC1	-	-	-	SI11/ SDA11/ (RxD2)	-	-
31	P10	CCD06	-	ANI20	-	VCOUT2	-	-	-	-	TRDIOD1	-	-	-	SCK11/ SCL11/ (TxD2)	-	-
32	P146	-	-	ANI28	-	-	-	-	-	-	-	-	-	-	-	-	-
33	P147	-	-	ANI18	ANO2	IVCMP3	PGA13	-	-	-	-	-	-	-	-	-	-
34	P27	-	-	ANI7	-	-	-	-	-	-	-	-	-	-	-	-	-
35	P26	-	-	ANI6	-	-	-	-	-	-	-	-	-	-	-	-	-
36	P25	-	-	ANI5	-	-	-	-	-	-	-	-	-	-	-	-	-
37	P24	-	-	ANI4	-	-	-	-	-	-	-	-	-	-	-	-	-
38	P23	-	-	ANI3	ANO1	-	PGAGND	-	-	-	-	-	-	-	-	-	-
39	P22	-	-	ANI2	ANO0	-	PGA14	-	-	-	-	-	-	-	-	-	-
40	P21	-	-	ANI1/ AVREFM	-	-	-	(INTP7)	-	-	-	-	-	-	-	-	-
41	P20	-	-	ANI0/ AVREFP	-	-	-	(INTP6)	-	-	-	-	-	-	-	-	-
42	P01	-	-	ANI30	-	IVCMP2	PGA12	-	-	TO00/ (TI00)	TRJIO0	-	TRGCLKB	-	RxD1	-	(DALIRxD0)
43	P00	-	-	ANI29	-	IVCMP1	PGA11	-	-	TI00	(TRJO0)	-	TRGCLKA	-	TxD1	-	(DALITxD0)
44	P120	-	-	ANI19	-	IVCMP0	PGA10	-	-	-	-	-	TRGIDZ/ TRGTRG	-	-	-	-

1.3.8 48ピン製品

- 48ピン・プラスチックLFQFP (7 × 7 mm、0.50 mmピッチ)
- 48ピン・プラスチックHWQFN (7 × 7 mm、0.50 mmピッチ)



注 48ピン・プラスチックLQFP (7 × 7 mm、0.50 mmピッチ) 製品にはExposed die padはありません。

注意 REGC端子はコンデンサ (0.47 ~ 1 μF) を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット~図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマットを参照してください。

備考3. QFNパッケージ製品では、Exposed die padをプリント基板に半田実装してください。Exposed die padの実装先は電氣的にオープンにすることを推奨します。

表1 - 9 48ピン製品の兼用機能 (1/2)

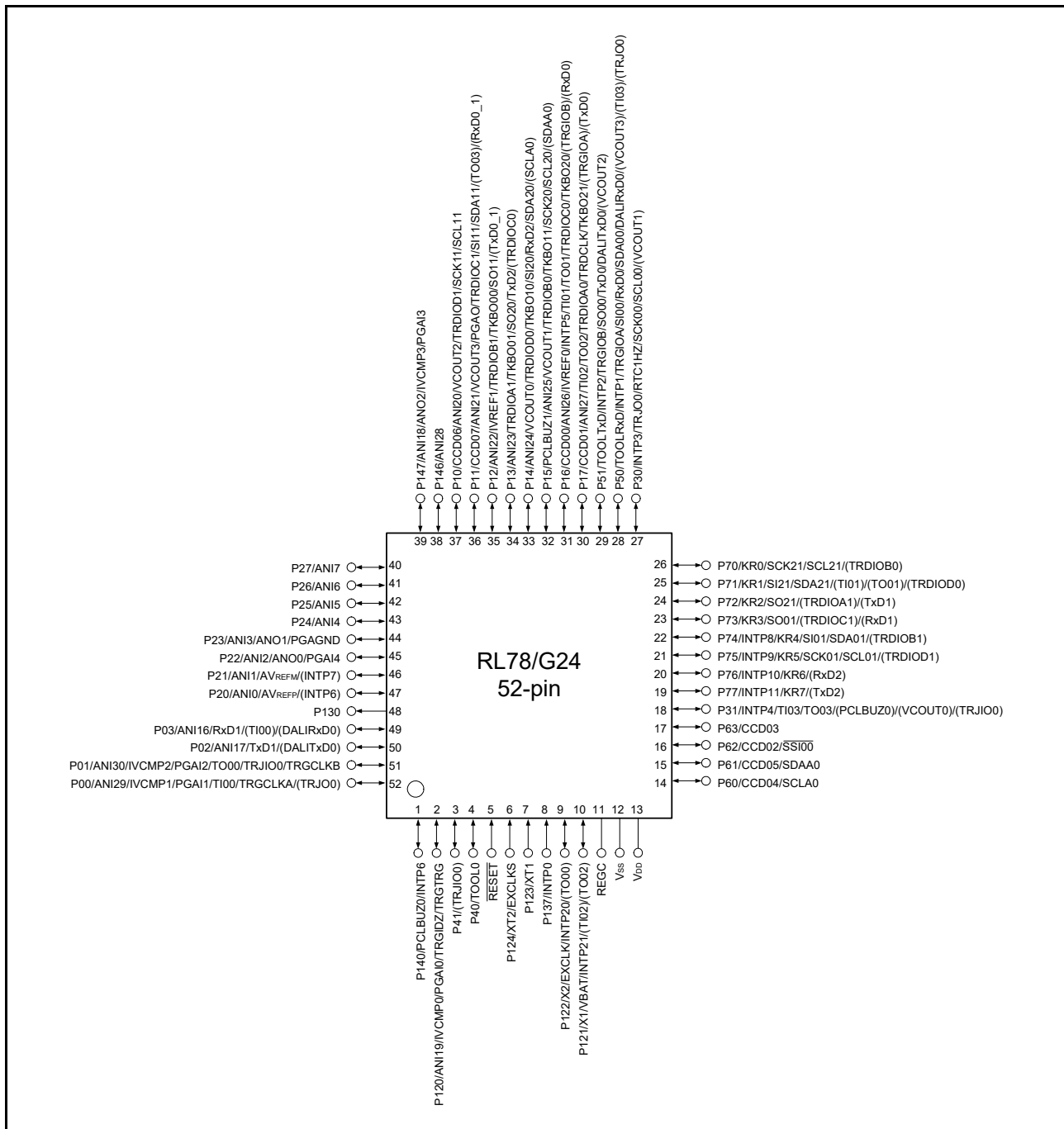
ピン番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	デジタル調光照明インタフェース (DALI)
1	P60	CCD04	-	-	-	-	-	-	-	-	-	-	-	-	-	SCLA0	-	
2	P61	CCD05	-	-	-	-	-	-	-	-	-	-	-	-	-	SDAA0	-	
3	P62	CCD02	-	-	-	-	-	-	-	-	-	-	-	-	SSI00	-	-	
4	P63	CCD03	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
5	P31	-	(PCLBUZ0)	-	-	(VCOUT0)	-	INTP4	-	TI03/ TO03	(TRJIO0)	-	-	-	-	-	-	
6	P75	-	-	-	-	-	-	INTP9	KR5	-	-	(TRDIOD1)	-	-	-	SCK01/ SCL01	-	
7	P74	-	-	-	-	-	-	INTP8	KR4	-	-	(TRDIOD1)	-	-	-	SI01/ SDA01	-	
8	P73	-	-	-	-	-	-	-	KR3	-	-	(TRDIOD1)	-	-	-	SO01/ (RxD1)	-	
9	P72	-	-	-	-	-	-	-	KR2	-	-	(TRDIOA1)	-	-	-	SO21/ (TxD1)	-	
10	P71	-	-	-	-	-	-	-	KR1	(TI01)/ (TO01)	-	(TRDIOD0)	-	-	-	SI21/ SDA21	-	
11	P70	-	-	-	-	-	-	-	KR0	-	-	(TRDIOD0)	-	-	-	SCK21/ SCL21	-	
12	P30	-	-	-	-	(VCOUT1)	-	INTP3	-	-	TRJ00	-	-	RTC1HZ	SCK00/ SCL00	-	-	
13	P50	-	TOOLRxD	-	-	(VCOUT3)	-	INTP1	-	(TI03)	(TRJ00)	-	TRGIOA	-	-	SI00/ RxD0/ SDA00	DALIRxD0	
14	P51	-	TOOLTxD	-	-	(VCOUT2)	-	INTP2	-	-	-	-	TRGIOB	-	-	SO00/ TxD0	DALITxD0	
15	P17	CCD01	-	ANI27	-	-	-	-	-	TI02/ TO02	-	TRDIOA0/ TRDCLK	(TRGIOA)	TKBO21	-	(TxD0)	-	
16	P16	CCD00	-	ANI26	-	IVREF0	-	INTP5	-	TI01/ TO01	-	TRDIOA0	(TRGIOB)	TKBO20	-	(RxD0)	-	
17	P15	-	PCLBUZ1	ANI25	-	VCOUT1	-	-	-	-	-	TRDIOB0	-	TKBO11	-	SCK20/ SCL20	(SDAA0)	
18	P14	-	-	ANI24	-	VCOUT0	-	-	-	-	-	TRDIOD0	-	TKBO10	-	SI20/ RxD2/ SDA20	(SCLA0)	
19	P13	-	-	ANI23	-	-	-	-	-	-	-	TRDIOA1/ (TRDIOD0)	-	TKBO01	-	SO20/ TxD2	-	
20	P12	-	-	ANI22	-	IVREF1	-	-	-	-	-	TRDIOB1	-	TKBO00	-	SO11/ (TxD0_1)	-	
21	P11	CCD07	-	ANI21	-	VCOUT3	PGAO	-	-	(TO03)	-	TRDIOD1	-	-	-	SI11/ SDA11/ (RxD0_1)/ (RxD2)	-	

表1 - 9 48ピン製品の兼用機能 (2/2)

ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	デジタル調光照明インタフェース (DALI)
48LQFP, 48HWQFN																		
22	P10	CCD06	-	ANI20	-	VCOUT2	-	-	-	-	-	-	-	-	-	SCK11/ SCL11/ (TxD2)	-	
23	P146	-	-	ANI28	-	-	-	-	-	-	-	-	-	-	-	-	-	
24	P147	-	-	ANI18	ANO2	IVCMP3	PGA13	-	-	-	-	-	-	-	-	-	-	
25	P27	-	-	ANI7	-	-	-	-	-	-	-	-	-	-	-	-	-	
26	P26	-	-	ANI6	-	-	-	-	-	-	-	-	-	-	-	-	-	
27	P25	-	-	ANI5	-	-	-	-	-	-	-	-	-	-	-	-	-	
28	P24	-	-	ANI4	-	-	-	-	-	-	-	-	-	-	-	-	-	
29	P23	-	-	ANI3	ANO1	-	PGAGND	-	-	-	-	-	-	-	-	-	-	
30	P22	-	-	ANI2	ANO0	-	PGA14	-	-	-	-	-	-	-	-	-	-	
31	P21	-	-	ANI1/ AVREFM	-	-	-	(INTP7)	-	-	-	-	-	-	-	-	-	
32	P20	-	-	ANI0/ AVREFP	-	-	-	(INTP6)	-	-	-	-	-	-	-	-	-	
33	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
34	P01	-	-	ANI30	-	IVCMP2	PGA12	-	-	TO00/ (TI00)	TRJIO0	-	TRGCLKB	-	-	RxD1	-	(DALIRxD0)
35	P00	-	-	ANI29	-	IVCMP1	PGA11	-	-	TI00	(TRJO0)	-	TRGCLKA	-	-	TxD1	-	(DALITxD0)
36	P140	-	PCLBUZ0	-	-	-	-	INTP6	-	-	-	-	-	-	-	-	-	
37	P120	-	-	ANI19	-	IVCMP0	PGA10	-	-	-	-	-	TRGIDZ/ TRGTRG	-	-	-	-	
38	P41	-	-	-	-	-	-	-	-	-	(TRJIO0)	-	-	-	-	-	-	
39	P40	-	TOOL0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
40	-	-	RESET	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
41	P124	-	XT2/ EXCLKS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
42	P123	-	XT1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
43	P137	-	-	-	-	-	-	INTP0	-	-	-	-	-	-	-	-	-	
44	P122	-	X2/EXCLK	-	-	-	-	INTP20	-	(TO00)	-	-	-	-	-	-	-	
45	P121	-	X1/VBAT	-	-	-	-	INTP21	-	(TI02)/ (TO02)	-	-	-	-	-	-	-	
46	-	-	REGC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
47	-	-	Vss	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
48	-	-	Vdd	-	-	-	-	-	-	-	-	-	-	-	-	-	-	

1.3.9 52ピン製品

- 52ピン・プラスチックLQFP（10×10 mm、0.65 mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。図7-8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット～図7-11 周辺I/Oリダイレクション・レジスタ（PIOR3）のフォーマットを参照してください。

表1 - 10 52ピン製品の兼用機能 (1/2)

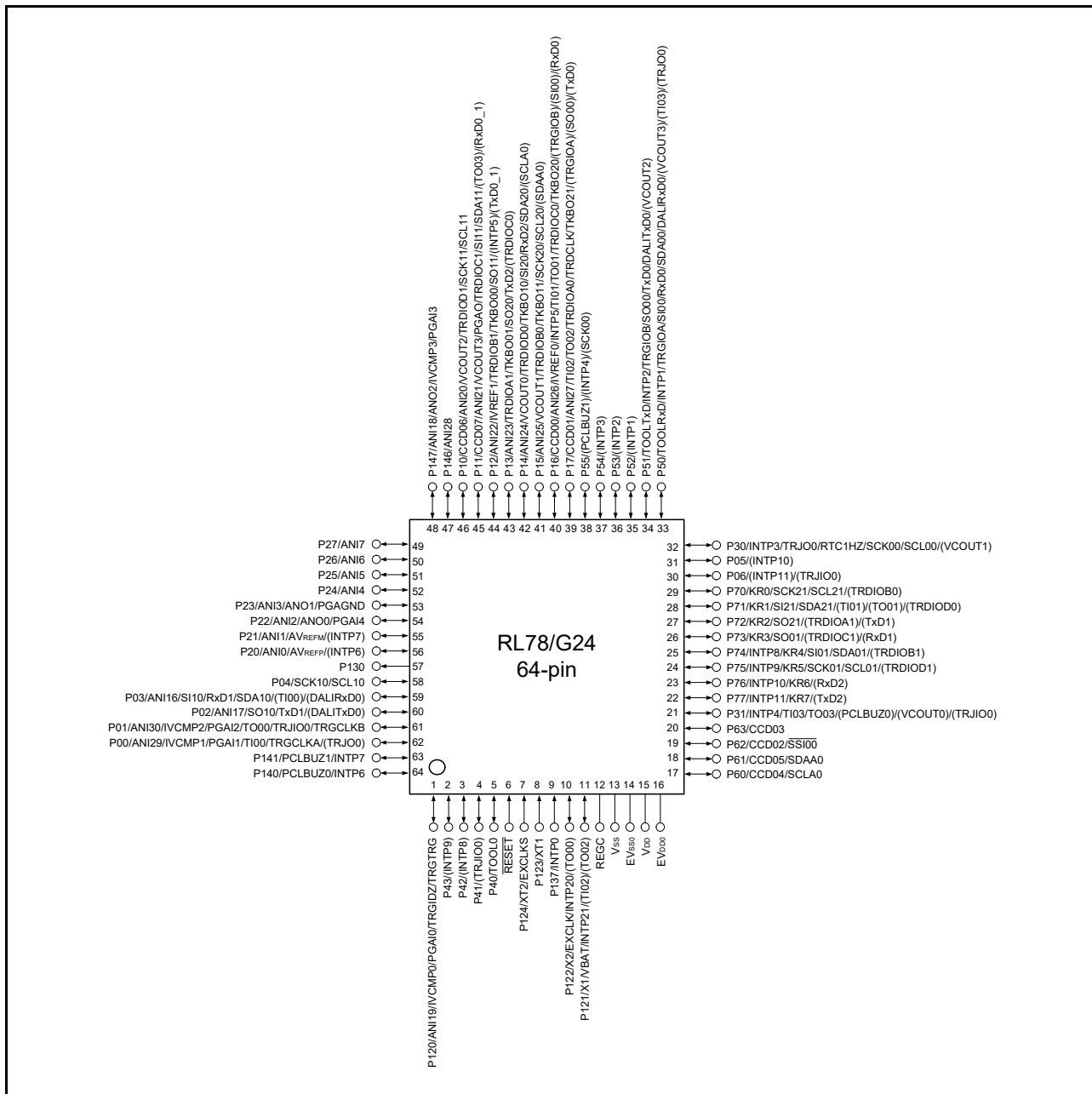
ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	デジタル調光照明インタフェース (DALI)
1	P140	—	PCLBUZ0	—	—	—	—	INTP6	—	—	—	—	—	—	—	—	—	
2	P120	—	—	ANI19	—	IVCMP0	PGA10	—	—	—	—	—	TRGIDZ/ TRGTRG	—	—	—	—	
3	P41	—	—	—	—	—	—	—	—	(TRJIO0)	—	—	—	—	—	—	—	
4	P40	—	TOOL0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
5	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
6	P124	—	XT2/ EXCLKS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
7	P123	—	XT1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
8	P137	—	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	
9	P122	—	X2/EXCLK	—	—	—	—	INTP20	—	(TO00)	—	—	—	—	—	—	—	
10	P121	—	X1/VBAT	—	—	—	—	INTP21	—	(TI02)/ (TO02)	—	—	—	—	—	—	—	
11	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
12	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
13	—	—	Vdd	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
14	P60	CCD04	—	—	—	—	—	—	—	—	—	—	—	—	—	SCLA0	—	
15	P61	CCD05	—	—	—	—	—	—	—	—	—	—	—	—	—	SDAA0	—	
16	P62	CCD02	—	—	—	—	—	—	—	—	—	—	—	—	—	SSI00	—	
17	P63	CCD03	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
18	P31	—	(PCLBUZ0)	—	—	(VCOUT0)	—	INTP4	—	TI03/ TO03	(TRJIO0)	—	—	—	—	—	—	
19	P77	—	—	—	—	—	—	INTP11	KR7	—	—	—	—	—	—	(TxD2)	—	
20	P76	—	—	—	—	—	—	INTP10	KR6	—	—	—	—	—	—	(RxD2)	—	
21	P75	—	—	—	—	—	—	INTP9	KR5	—	—	(TRDIOD1)	—	—	—	SCK01/ SCL01	—	
22	P74	—	—	—	—	—	—	INTP8	KR4	—	—	(TRDIOD1)	—	—	—	SI01/ SDA01	—	
23	P73	—	—	—	—	—	—	KR3	—	—	—	(TRDIOD1)	—	—	—	SO01/ (RxD1)	—	
24	P72	—	—	—	—	—	—	KR2	—	—	—	(TRDIOA1)	—	—	—	SO21/ (TxD1)	—	
25	P71	—	—	—	—	—	—	KR1	(TI01)/ (TO01)	—	—	(TRDIOD0)	—	—	—	SI21/ SDA21	—	
26	P70	—	—	—	—	—	—	KR0	—	—	—	(TRDIOD0)	—	—	—	SCK21/ SCL21	—	
27	P30	—	—	—	—	(VCOUT1)	—	INTP3	—	—	TRJO0	—	—	RTC1HZ	SCK00/ SCL00	—	—	
28	P50	—	TOOLRxD	—	—	(VCOUT3)	—	INTP1	—	(TI03)	(TRJO0)	—	TRGIOA	—	—	SI00/ Rx00/ SDA00	DALIRx00	

表1 - 10 52ピン製品の兼用機能 (2/2)

ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	デジタル調光照明インタフェース (DALI)
29	P51	-	TOOLTxD	-	-	(VCOUT2)	-	INTP2	-	-	-	-	TRGIOB	-	-	SO00/ TxD0	-	DALITxD0
30	P17	CCD01	-	ANI27	-	-	-	-	-	TI02/ TO02	-	TRDIOA0/ TRDCLK	(TRGIOA)	TKBO21	-	(TxD0)	-	-
31	P16	CCD00	-	ANI26	-	IVREF0	-	INTP5	-	TI01/ TO01	-	TRDIOC0	(TRGIOB)	TKBO20	-	(RxD0)	-	-
32	P15	-	PCLBUZ1	ANI25	-	VCOUT1	-	-	-	-	-	TRDIOB0	-	TKBO11	-	SCK20/ SCL20	(SDAA0)	-
33	P14	-	-	ANI24	-	VCOUT0	-	-	-	-	-	TRDIOD0	-	TKBO10	-	SI20/ RxD2/ SDA20	(SCLA0)	-
34	P13	-	-	ANI23	-	-	-	-	-	-	-	TRDIOA1/ (TRDIOC0)	-	TKBO01	-	SO20/ TxD2	-	-
35	P12	-	-	ANI22	-	IVREF1	-	-	-	-	-	TRDIOB1	-	TKBO00	-	SO11/ (TxD0_1)	-	-
36	P11	CCD07	-	ANI21	-	VCOUT3	PGAO	-	-	(TO03)	-	TRDIOC1	-	-	-	SI11/ SDA11/ (RxD0_1)	-	-
37	P10	CCD06	-	ANI20	-	VCOUT2	-	-	-	-	-	TRDIOD1	-	-	-	SCK11/ SCL11	-	-
38	P146	-	-	ANI28	-	-	-	-	-	-	-	-	-	-	-	-	-	-
39	P147	-	-	ANI18	ANO2	IVCMP3	PGA13	-	-	-	-	-	-	-	-	-	-	-
40	P27	-	-	ANI7	-	-	-	-	-	-	-	-	-	-	-	-	-	-
41	P26	-	-	ANI6	-	-	-	-	-	-	-	-	-	-	-	-	-	-
42	P25	-	-	ANI5	-	-	-	-	-	-	-	-	-	-	-	-	-	-
43	P24	-	-	ANI4	-	-	-	-	-	-	-	-	-	-	-	-	-	-
44	P23	-	-	ANI3	ANO1	-	PGAGND	-	-	-	-	-	-	-	-	-	-	-
45	P22	-	-	ANI2	ANO0	-	PGA14	-	-	-	-	-	-	-	-	-	-	-
46	P21	-	-	ANI1/ AVREFM	-	-	-	(INTP7)	-	-	-	-	-	-	-	-	-	-
47	P20	-	-	ANI0/ AVREFP	-	-	-	(INTP6)	-	-	-	-	-	-	-	-	-	-
48	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
49	P03	-	-	ANI16	-	-	-	-	-	(TI00)	-	-	-	-	-	RxD1	-	(DALIRxD0)
50	P02	-	-	ANI17	-	-	-	-	-	-	-	-	-	-	-	TxD1	-	(DALITxD0)
51	P01	-	-	ANI30	-	IVCMP2	PGA12	-	-	TO00	TRJIO0	-	TRGCLKB	-	-	-	-	-
52	P00	-	-	ANI29	-	IVCMP1	PGA11	-	-	TI00	(TRJIO0)	-	TRGCLKA	-	-	-	-	-

1.3.10 64ピン製品

- 64ピン・プラスチックLQFP（12 × 12 mm、0.65 mmピッチ）
- 64ピン・プラスチックLFQFP（10 × 10 mm、0.50 mmピッチ）



- 注意 1. EVsso端子は、Vss端子と同電位にしてください。
- 注意 2. VDD端子は、EVDD0端子以上の電圧にしてください。
- 注意 3. REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

- 備考 1. 端子名称は、1.4 端子名称を参照してください。
- 備考 2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDとEVDD0に個別の電源を供給し、VssとEVssoを別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。
- 備考 3. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。図7-8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット～図7-11 周辺I/Oリダイレクション・レジスタ（PIOR3）のフォーマットを参照してください。

表1 - 11 64ピン製品の兼用機能 (1/3)

ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	デジタル調光照明インタフェース (DALI)
1	P120	—	—	ANI19	—	IVCMP0	PGA10	—	—	—	—	—	TRGIDZ/ TRGTRG	—	—	—	—	—
2	P43	—	—	—	—	—	—	(INTP9)	—	—	—	—	—	—	—	—	—	—
3	P42	—	—	—	—	—	—	(INTP8)	—	—	—	—	—	—	—	—	—	—
4	P41	—	—	—	—	—	—	—	—	(TRJIO0)	—	—	—	—	—	—	—	—
5	P40	—	TOOL0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
6	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
7	P124	—	XT2/ EXCLKS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
8	P123	—	XT1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
9	P137	—	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	—
10	P122	—	X2/EXCLK	—	—	—	—	INTP20	—	(TO00)	—	—	—	—	—	—	—	—
11	P121	—	X1/VBAT	—	—	—	—	INTP21	—	(TI02)/ (TO02)	—	—	—	—	—	—	—	—
12	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
13	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
14	—	—	EVSS0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	—	—	VDD	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
16	—	—	EVDD0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
17	P60	CCD04	—	—	—	—	—	—	—	—	—	—	—	—	—	SCLA0	—	—
18	P61	CCD05	—	—	—	—	—	—	—	—	—	—	—	—	—	SDAA0	—	—
19	P62	CCD02	—	—	—	—	—	—	—	—	—	—	—	—	SSI00	—	—	—
20	P63	CCD03	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
21	P31	—	(PCLBUZ0)	—	—	(VCOU0)	—	INTP4	—	TI03/ TO03	(TRJIO0)	—	—	—	—	—	—	—
22	P77	—	—	—	—	—	—	INTP11	KR7	—	—	—	—	—	—	(TxD2)	—	—
23	P76	—	—	—	—	—	—	INTP10	KR6	—	—	—	—	—	—	(RxD2)	—	—
24	P75	—	—	—	—	—	—	INTP9	KR5	—	—	(TRDIOD1)	—	—	—	SCK01/ SCL01	—	—
25	P74	—	—	—	—	—	—	INTP8	KR4	—	—	(TRDIOD1)	—	—	—	SI01/ SDA01	—	—
26	P73	—	—	—	—	—	—	—	KR3	—	—	(TRDIOD1)	—	—	—	SO01/ (RxD1)	—	—
27	P72	—	—	—	—	—	—	—	KR2	—	—	(TRDIOD1)	—	—	—	SO21/ (TxD1)	—	—
28	P71	—	—	—	—	—	—	—	KR1	(TI01)/ (TO01)	—	(TRDIOD0)	—	—	—	SI21/ SDA21	—	—
29	P70	—	—	—	—	—	—	—	KR0	—	—	(TRDIOD0)	—	—	—	SCK21/ SCL21	—	—
30	P06	—	—	—	—	—	—	(INTP11)	—	(TRJIO0)	—	—	—	—	—	—	—	—
31	P05	—	—	—	—	—	—	(INTP10)	—	—	—	—	—	—	—	—	—	—

表1 - 11 64ピン製品の兼用機能 (2/3)

ピン番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	デジタル調光照明インタフェース (DALI)
32	P30	-	-	-	-	(VCOUT1)	-	INTP3	-	-	TRJ00	-	-	-	RTC1HZ	SCK00/ SCL00	-	-
33	P50	-	TOOLRxD	-	-	(VCOUT3)	-	INTP1	-	(TI03)	(TRJ00)	-	TRGIOA	-	-	SI00/ RxD0/ SDA00	-	DALIRxD0
34	P51	-	TOOLTxD	-	-	(VCOUT2)	-	INTP2	-	-	-	-	TRGIOB	-	-	SO00/ TxD0	-	DALITxD0
35	P52	-	-	-	-	-	-	(INTP1)	-	-	-	-	-	-	-	-	-	-
36	P53	-	-	-	-	-	-	(INTP2)	-	-	-	-	-	-	-	-	-	-
37	P54	-	-	-	-	-	-	(INTP3)	-	-	-	-	-	-	-	-	-	-
38	P55	-	(PCLBUZ1)	-	-	-	-	(INTP4)	-	-	-	-	-	-	-	(SCK00)	-	-
39	P17	CCD01	-	ANI27	-	-	-	-	-	TI02/ TO02	-	TRDIOA0/ TRDCLK	(TRGIOA)	TKBO21	-	(SO00)/ (TxD0)	-	-
40	P16	CCD00	-	ANI26	-	IVREF0	-	INTP5	-	TI01/ TO01	-	TRDIOC0	(TRGIOB)	TKBO20	-	(SI00)/ (RxD0)	-	-
41	P15	-	-	ANI25	-	VCOUT1	-	-	-	-	-	TRDIOB0	-	TKBO11	-	SCK20/ SCL20	(SDAA0)	-
42	P14	-	-	ANI24	-	VCOUT0	-	-	-	-	-	TRDIOD0	-	TKBO10	-	SI20/ RxD2/ SDA20	(SCLA0)	-
43	P13	-	-	ANI23	-	-	-	-	-	-	-	TRDIOA1/ (TRDIOC0)	-	TKBO01	-	SO20/ TxD2	-	-
44	P12	-	-	ANI22	-	IVREF1	-	(INTP5)	-	-	-	TRDIOB1	-	TKBO00	-	SO11/ (TxD0_1)	-	-
45	P11	CCD07	-	ANI21	-	VCOUT3	PGAO	-	-	(TO03)	-	TRDIOC1	-	-	-	SI11/ SDA11/ (RxD0_1)	-	-
46	P10	CCD06	-	ANI20	-	VCOUT2	-	-	-	-	-	TRDIOD1	-	-	-	SCK11/ SCL11	-	-
47	P146	-	-	ANI28	-	-	-	-	-	-	-	-	-	-	-	-	-	-
48	P147	-	-	ANI18	ANO2	IVCMP3	PGA3	-	-	-	-	-	-	-	-	-	-	-
49	P27	-	-	ANI7	-	-	-	-	-	-	-	-	-	-	-	-	-	-
50	P26	-	-	ANI6	-	-	-	-	-	-	-	-	-	-	-	-	-	-
51	P25	-	-	ANI5	-	-	-	-	-	-	-	-	-	-	-	-	-	-
52	P24	-	-	ANI4	-	-	-	-	-	-	-	-	-	-	-	-	-	-
53	P23	-	-	ANI3	ANO1	-	PGAGND	-	-	-	-	-	-	-	-	-	-	-
54	P22	-	-	ANI2	ANO0	-	PGA4	-	-	-	-	-	-	-	-	-	-	-
55	P21	-	-	ANI1/ AVREFM	-	-	-	(INTP7)	-	-	-	-	-	-	-	-	-	-
56	P20	-	-	ANI0/ AVREFP	-	-	-	(INTP6)	-	-	-	-	-	-	-	-	-	-
57	P130	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

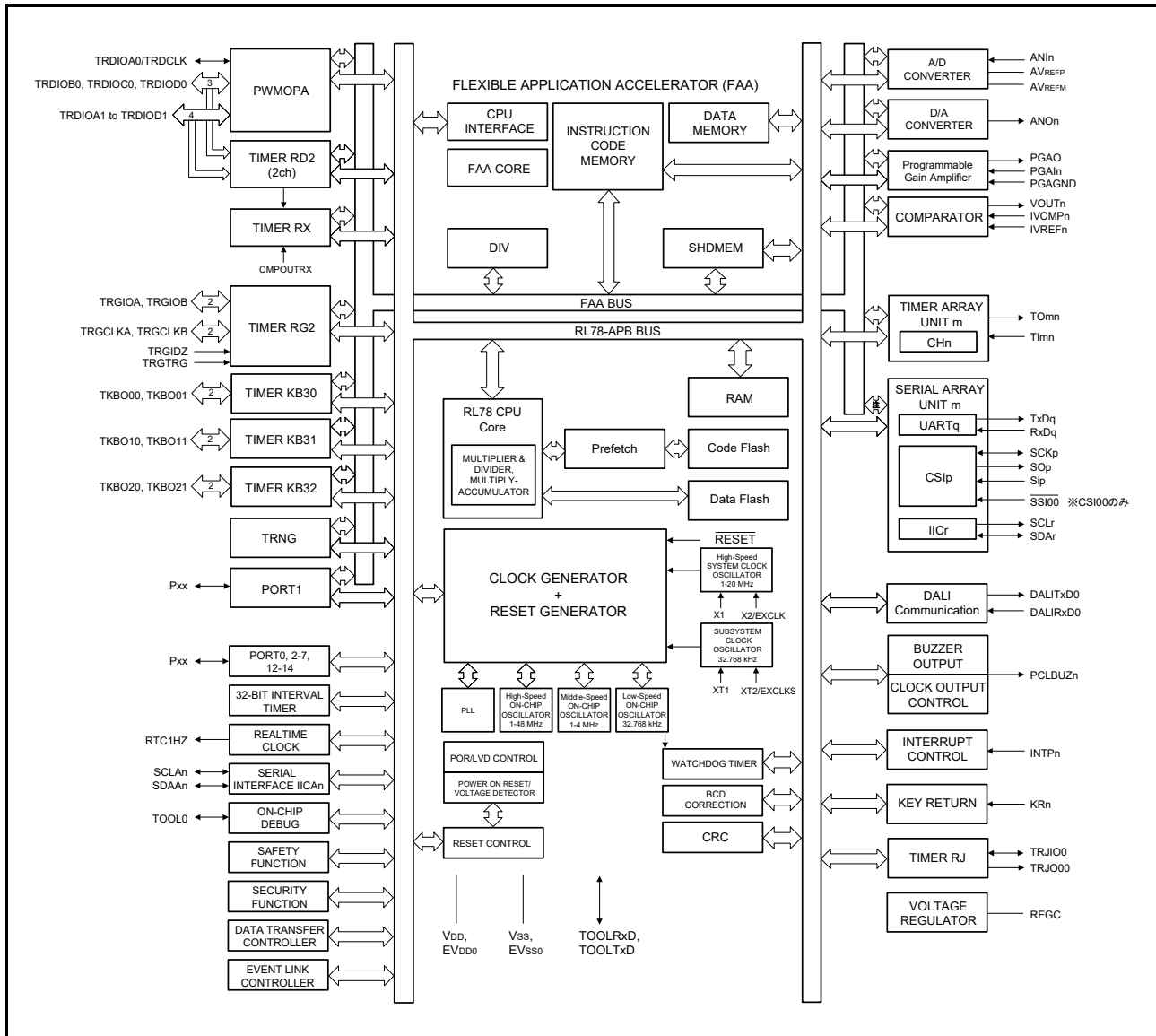
表1 - 11 64ピン製品の兼用機能 (3/3)

ピン 番号	I/O		電源、システムクロック、デバッグ	アナログ				HMI		タイマ						通信インタフェース		
	デジタル・ポート	出力電流制御ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	プログラマブル・ゲイン・アンプ (PGA)	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット (TAU)	タイマRJ	タイマRD2	タイマRG2	16ビット・タイマKB30, KB31, KB32	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	デジタル調光照明インタフェース (DALI)
64LQFP, 64LFQFP	デジタル・ポート	出力電流制御ポート																
58	P04	-	-	-	-	-	-	-	-	-	-	-	-	-	SCK10/ SCL10	-	-	
59	P03	-	-	ANI16	-	-	-	-	-	(TI00)	-	-	-	-	SI10/ RxD1/ SDA10	-	(DALIRxD0)	
60	P02	-	-	ANI17	-	-	-	-	-	-	-	-	-	-	SO10/ TxD1	-	(DALITxD0)	
61	P01	-	-	ANI30	-	IVCMP2	PGAI2	-	-	TO00	TRJIO0	-	TRGCLKB	-	-	-	-	
62	P00	-	-	ANI29	-	IVCMP1	PGAI1	-	-	TI00	(TRJO0)	-	TRGCLKA	-	-	-	-	
63	P141	-	PCLBUZ1	-	-	-	-	INTP7	-	-	-	-	-	-	-	-	-	
64	P140	-	PCLBUZ0	-	-	-	-	INTP6	-	-	-	-	-	-	-	-	-	

1.4 端子名称

ANI0-ANI7,	: Analog input	SCL00, SCL01, SCL10,	: Serial Clock Output
ANI16-ANI30		SCL11, SCL20, SCL21	
ANO0-ANO2	: Analog Output	SDAA0,	: Serial Data Input/Output
AVREFM	: Analog Reference Voltage Minus	SDA00, SDA01, SDA10,	
AVREFP	: Analog Reference Voltage Plus	SDA11, SDA20, SDA21	
CCD00-CCD07	: Controlled Current Drive Output	SI00, SI01, SI10, SI11,	: Serial Data Input
DALIRxD0	: DALI Receive Data	SI20, SI21, SI30, SI31	
DALITxD0	: DALI Transmit Data	SO00, SO01, SO10,	: Serial Data Output
EVDD0	: Power Supply for Port	SO11, SO20, SO21	
EVSS0	: Ground for Port	$\overline{\text{SSI00}}$: Serial Interface Chip Select Input
EXCLK	: External Clock Input (Main System Clock)	TI00-TI03	: Timer Input
EXCLKS	: External Clock Input (Subsystem Clock)	TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21	: Timer KB30, KB31, KB32 Output
INTP0-INTP11,	: Interrupt Request From Peripheral	TO00-TO03	: Timer Output
INTP20, INTP21		TOOL0	: Data Input/Output for Tool
IVCMP0-IVCMP3	: Comparator Input	TOOLRxD, TOOLTxD	: Data Input/Output for External Device
IVREF0, IVREF1	: Comparator Reference Input	TRDCLK	: Timer RD2 External Input Clock
KR0-KR7	: Key Return Input	TRDIOA0, TRDIOB0,	: Timer RD2 Input/Output
P00-P06	: Port 0	TRDIOC0, TRDIOD0,	
P10-P17	: Port 1	TRDIOA1, TRDIOB1,	
P20-P27	: Port 2	TRDIOC1, TRDIOD1	
P30, P31	: Port 3	TRGIOA, TRGIOB	: Timer RG2 Input/Output
P40-P43	: Port 4	TRGCLKA, TRGCLKB	: Timer RG2 External Input Clock
P50-P55	: Port 5	TRGIDZ, TRGTRG	: Timer RG2 External Trigger Input
P60-P63	: Port 6	TRJIO0	: Timer RJ Input/Output
P70-P77	: Port 7	TRJO0	: Timer RJ Output
P120-P124	: Port 12	TxD0-TxD2	: Transmit Data
P130, P137	: Port 13	VBAT	: Battery Backup Power Supply
P140, P141, P146, P147	: Port 14	VCOU00-VCOU03	: Comparator Output
PCLBUZ0, PCLBUZ1	: Programmable Clock Output/Buzzer Output	VDD	: Power Supply
PGAGND	: PGA Ground	VSS	: Ground
PGAI0-PGAI4	: PGA Input	X1, X2	: Crystal Oscillator (Main System Clock)
PGAO	: PGA Output	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
REGC	: Regulator Capacitance		
$\overline{\text{RESET}}$: Reset		
RTC1HZ	: Real-time Clock Correction Clock (1 Hz) Output		
RxD0-RxD2	: Receive Data		
SCLA0,	: Serial Clock Input/Output		
SCK00, SCK01, SCK10,			
SCK11, SCK20, SCK21			

1.5 ブロック図



注 UNIT 0 (m = 0) のみ

注意 KEY RETURNは、40～64ピン製品のみ

備考 m : ユニット番号、n : チャネル番号、p : CSI番号、q : UART番号、r : 簡易I²C番号、xx : ポート番号

1.6 機能概要

【20～32ピン】

注意 周辺I/Oリダイレクション・レジスタ (PIORx) を00Hに設定時の機能概要です。

(1/4)

項目		20ピン	24ピン	25ピン	30ピン	32ピン
		R7F101G6x	R7F101G7x	R7F101G8x	R7F101GAx	R7F101GBx
コード・フラッシュ・メモリ		64 / 128 KB				
データ・フラッシュ・メモリ		4 KB				
RAM		12 KB				
アドレス空間		1 Mバイト				
CPU / 周辺 ハードウェア・ クロック周波数 (fCLK)	メイン・システム・ クロック	HS (高速メイン) モード : 1~48 MHz (VDD = 2.4~5.5 V) HS (高速メイン) モード : 1~32 MHz (VDD = 1.8~5.5 V) HS (高速メイン) モード : 1~4 MHz ^{注1} (VDD = 1.6~5.5 V) LS (低速メイン) モード : 1~24 MHz (VDD = 1.8~5.5 V) LS (低速メイン) モード : 1~4 MHz ^{注1} (VDD = 1.6~5.5 V) LP (低電力メイン) モード : 1~2 MHz ^{注2} (VDD = 1.6~5.5 V)				
	サブシステム・クロック	SUBモード : 32.768 kHz (VDD = 1.6~5.5 V)				
メイン・ システム・ クロック	高速システム・クロック (fMX)	1~20 MHz				
	高速オンチップ・ オシレータ・クロック (fIH)	1 MHz, 2 MHz, 3 MHz, 4 MHz, 6 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 32 MHz, 48 MHz, 64 MHz				
	中速オンチップ・ オシレータ・クロック (fIM)	1 MHz, 2 MHz, 4 MHz				
	PLLクロック	16, 32 MHz ^{注3} (VDD = 1.8~5.5 V) 24, 48 MHz ^{注4} (VDD = 2.4~5.5 V)				
サブシステム・ クロック	サブシステム・クロック 発振回路クロック (fSX, fSXR)	32.768 kHz (VDD = 2.4~5.5 V)				
	低速オンチップ・ オシレータ・クロック (fIL)	32.768 kHz (Typ.)				
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間		0.03125 μs (高速オンチップ・オシレータ・クロック : fIH = 32 MHz動作時) 0.02083 μs (高速オンチップ・オシレータ・クロック : fIH = 48 MHz動作時) ^{注5} 0.03125 μs (PLLクロック : fPLL = 64 MHz fIH = 16, 32 MHz ^{注3} 動作時) 0.02083 μs (PLLクロック : fPLL = 96 MHz fIH = 24, 48 MHz ^{注4} 動作時) ^{注5}				
命令セット		<ul style="list-style-type: none"> データ転送 (8/16ビット) 加減/論理演算 (8/16ビット) 乗算 (8×8ビット、16×16ビット)、除算 (16÷16ビット、32÷32ビット) 積和演算 (16×16+32ビット) ローテート、パレル・シフト、ビット操作 (セット、リセット、テスト、ブール演算) など 				

(2/4)

項目		20ピン	24ピン	25ピン	30ピン	32ピン	
		R7F101G6x	R7F101G7x	R7F101G8x	R7F101GAx	R7F101GBx	
FAAコア		<ul style="list-style-type: none"> 乗算：符号付き32ビット×符号付き32ビット→符号付き32ビット 乗算結果（64ビット）を任意のビット数分右シフト可能 加算：符号付き32ビット+符号付き32ビット→符号付き32ビット（内部的に33ビット精度で演算実行） 減算：符号付き32ビット-符号付き32ビット→符号付き32ビット（内部的に33ビット精度で演算実行） リミット演算：上限/下限の設定可能演算パラメータ・レジスタ33ビット×4レジスタ 演算パラメータ・レジスタ：32ビット×6レジスタ アドレス・ポインタ・レジスタ：12ビット×6レジスタ 内蔵コードRAM：4KB 内蔵データRAM：2KB 多重割り込み可能 RL78 CPUコアとFAAコアの間でデータを共有するデータ共有メモリ（32バイト）を内蔵 					
I/Oポート	合計	16	20	21	26	28	
	CMOS入出力	15 (N-chオープン・ドレイン出力/入力[VDD耐圧]: 7)	19 (N-chオープン・ドレイン出力/入力[VDD耐圧]: 8)		23 (N-chオープン・ドレイン出力/入力[VDD耐圧]: 11)	25 (N-chオープン・ドレイン出力/入力[VDD耐圧]: 11)	
	CMOS入力	1					
	CMOS出力	-			1	-	
	N-chオープン・ドレイン出力/入力[6V耐圧]	-				2	
	出力電流制御ポート	2	4		6	7	
タイマ	16ビット・タイマ TAU、タイマRJ、 タイマRD2、タイマRX、 タイマRG2	9チャンネル (TAU：4チャンネル、タイマRJ：1チャンネル、タイマRD2：2チャンネル（PWMOPA付き）、 タイマRX：1チャンネル、タイマRG2：1チャンネル)					
	16ビット・タイマKB30、 KB31、KB32	2チャンネル (PWM出力： 4チャンネル)	3チャンネル (PWM出力：6チャンネル)				
	ウォッチドッグ・タイマ	1チャンネル					
	リアルタイム・クロック (RTC)	1チャンネル					
	32ビット・インターバル・タイマ（TML32）	32ビット・カウンタ・モード時：1チャンネル、 16ビット・カウンタ・モード時：2チャンネル、 8ビット・カウンタ・モード時：4チャンネル					
	タイマ出力	11本 (PWM出力： 10本注6)、 19本 (PWM出力： 11本注6)注7	17本（PWM出力：14本注6）、 22本（PWM出力：14本注6)注7				
	RTC出力	-				1本	

(3/4)

項目	20ピン	24ピン	25ピン	30ピン	32ピン
	R7F101G6x	R7F101G7x	R7F101G8x	R7F101GAx	R7F101GBx
クロック出力／ブザー出力	1本			2本	
	<ul style="list-style-type: none"> • 3.91 kHz, 7.81 kHz, 15.63 kHz, 2 MHz, 4 MHz, 8 MHz, 16 MHz (メイン・システム・クロック : fMAIN = 32 MHz動作時) • 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (低速周辺クロック : fSXP = 32.768 kHz動作時) 				
8／10／12ビット分解能A/Dコンバータ	12チャンネル	13チャンネル	16チャンネル		
3チャンネル同時 サンプリング機能	2チャンネル				
8／10ビットD/Aコンバータ	2～3チャンネル				
DAC出力 (AN0x)	2本	3本			
プログラマブル・ゲイン・アンプ (PGA)	1チャンネル				
コンパレータ	3チャンネル	4チャンネル			
シリアル・インタフェース	<p>【20ピン】</p> <ul style="list-style-type: none"> • 簡易SPI (CSI) : 1チャンネル／簡易I²C : 1チャンネル／UART : 1チャンネル • 簡易SPI (CSI) : 1チャンネル／簡易I²C : 1チャンネル／UART : 1チャンネル <p>【24, 25ピン製品】</p> <ul style="list-style-type: none"> • UART (LIN-bus対応) : 1チャンネル • 簡易SPI (CSI) : 1チャンネル／簡易I²C : 1チャンネル／UART : 1チャンネル • 簡易SPI (CSI) : 1チャンネル／簡易I²C : 1チャンネル／UART : 1チャンネル <p>【30, 32ピン製品】</p> <ul style="list-style-type: none"> • 簡易SPI (CSI) : 1チャンネル／簡易I²C : 1チャンネル／UART (LIN-bus対応) : 1チャンネル • 簡易SPI (CSI) : 1チャンネル／簡易I²C : 1チャンネル／UART : 1チャンネル • 簡易SPI (CSI) : 1チャンネル／簡易I²C : 1チャンネル／UART : 1チャンネル 				
I ² Cバス	—			1チャンネル	
I ² C (SM/PM) バス	—			1チャンネル	
DALI	—			1チャンネル	
データ・トランスファ・コントローラ (DTC)	42要因	47要因		52要因	
イベント・リンク・コントローラ (ELC)	イベント入力	26	28	32	
	イベントトリガ出力	19			
ベクタ割り込み要因	内部	46	55		
	外部	6	8	12	
キー割り込み	—				
リセット	<ul style="list-style-type: none"> • RESET端子によるリセット • ウォッチドッグ・タイマによる内部リセット • パワーオン・リセットによる内部リセット • 電圧検出回路 (LVDD0, LVDD1) による内部リセット • 不正命令の実行による内部リセット^{注8} • RAMパリティ・エラーによる内部リセット • 不正メモリ・アクセスによる内部リセット 				
パワーオン・リセット回路	検出電圧 <ul style="list-style-type: none"> • 1.50 V (Typ.) 				

(4/4)

項目		20ピン	24ピン	25ピン	30ピン	32ピン
		R7F101G6x	R7F101G7x	R7F101G8x	R7F101GAx	R7F101GBx
電圧検出回路	LVD0	検出電圧 ・立ち上がり：1.69～3.96 V（6段階） ・立ち下がり：1.65～3.88 V（6段階）				
	LVD1	検出電圧 ・立ち上がり：1.67～4.16 V（18段階） ・立ち下がり：1.63～4.08 V（18段階）				
オンチップ・デバッグ機能		あり（トレース機能対応）				
電源電圧		VDD = 1.6～5.5 V（2D：民生用途、3C：産業用途） VDD = 2.7～5.5 V（4C：産業用途）				
動作周囲温度		TA = -40～+85°C（2D：民生用途）、TA = -40～+105°C（3C：産業用途）、 TA = -40～+125°C（4C：産業用途）				

- 注1. フラッシュ・メモリを書き換える場合は、4 MHz以下で書き換えてください。
- 注2. フラッシュ・メモリを書き換える場合は、HS（高速メイン）モードまたはLS（低速メイン）モードに切り替えてください。
- 注3. PLLクロック64 MHz動作時。システム・クロックは $f_{PLL}/2$ （32 MHz）、または $f_{PLL}/4$ （16 MHz）から選択してください。
- 注4. PLLクロック96 MHz動作時。システム・クロックは $f_{PLL}/2$ （32 MHz）、または $f_{PLL}/4$ （16 MHz）から選択してください。
- 注5. プリフェッチバッファを有効にした場合に有効です。プリフェッチバッファ動作については、**第8章 オペレーション・ステート・コントロール**を参照してください。
- 注6. 使用チャンネルの設定（マスタとスレーブの数）によって、PWM出力数は変わります（**10.9.3 多重PWM出力機能としての動作参照**）。
- 注7. 周辺I/Oリダイレクション・レジスタ（PIORx）のビットに1を設定した場合です。
- 注8. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

【40～64ピン製品】

注意 周辺I/Oリダイレクション・レジスタ (PIORx) を00Hに設定時の機能概要です。

(1/4)

項目	40ピン	44ピン	48ピン	52ピン	64ピン
	R7F101GEx	R7F101GFx	R7F101GGx	R7F101GJx	R7F101GLx
コード・フラッシュ・メモリ	64/128 KB				
データ・フラッシュ・メモリ	4 KB				
RAM	12 KB				
アドレス空間	1 Mバイト				
CPU/周辺 ハードウェア・ クロック周波数 (fCLK)	メイン・システム・ クロック	HS (高速メイン) モード : 1~48 MHz (V _{DD} = 2.4~5.5 V) HS (高速メイン) モード : 1~32 MHz (V _{DD} = 1.8~5.5 V) HS (高速メイン) モード : 1~4 MHz ^{注1} (V _{DD} = 1.6~5.5 V) LS (低速メイン) モード : 1~24 MHz (V _{DD} = 1.8~5.5 V) LS (低速メイン) モード : 1~4 MHz ^{注1} (V _{DD} = 1.6~5.5 V) LP (低電力メイン) モード : 1~2 MHz ^{注2} (V _{DD} = 1.6~5.5 V)			
	サブシステム・クロック	SUBモード : 32.768 kHz (V _{DD} = 1.6~5.5 V)			
メイン・ システム・ クロック	高速システム・クロック (fMX)	1~20 MHz			
	高速オンチップ・ オシレータ・クロック (fIH)	1 MHz, 2 MHz, 3 MHz, 4 MHz, 6 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 32 MHz, 48 MHz, 64 MHz			
	中速オンチップ・ オシレータ・クロック (fIM)	1 MHz, 2 MHz, 4 MHz			
	PLLクロック	16, 32 MHz ^{注3} (V _{DD} = 1.8~5.5 V) 24, 48 MHz ^{注4} (V _{DD} = 2.4~5.5 V)			
サブシステム・ クロック	サブシステム・クロック 発振回路クロック (fSX, fSXR)	32.768 kHz (V _{DD} = 1.6~5.5 V)			
	低速オンチップ・ オシレータ・クロック (fIL)	32.768 kHz (Typ.)			
汎用レジスタ	8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間	0.03125 μs (高速オンチップ・オシレータ・クロック : fIH = 32 MHz動作時) 0.02083 μs (高速オンチップ・オシレータ・クロック : fIH = 48 MHz動作時) ^{注5} 0.03125 μs (PLLクロック : fPLL = 64 MHz fIH = 16, 32 MHz ^{注3} 動作時) 0.02083 μs (PLLクロック : fPLL = 96 MHz fIH = 24, 48 MHz ^{注4} 動作時) ^{注5}				
命令セット	<ul style="list-style-type: none"> データ転送 (8/16ビット) 加減/論理演算 (8/16ビット) 乗算 (8×8ビット、16×16ビット)、除算 (16÷16ビット、32÷32ビット) 積和演算 (16×16+32ビット) ローテート、パレル・シフト、ビット操作 (セット、リセット、テスト、ブール演算) など 				

(2/4)

項目		40ピン	44ピン	48ピン	52ピン	64ピン
		R7F101GEx	R7F101GFx	R7F101GGx	R7F101GJx	R7F101GLx
FAAコア		<ul style="list-style-type: none"> 乗算：符号付き32ビット×符号付き32ビット→符号付き32ビット 乗算結果（64ビット）を任意のビット数分右シフト可能 加算：符号付き32ビット+符号付き32ビット→符号付き32ビット（内部的に33ビット精度で演算実行） 減算：符号付き32ビット-符号付き32ビット→符号付き32ビット（内部的に33ビット精度で演算実行） リミット演算：上限/下限の設定可能演算パラメータ・レジスタ33ビット×4レジスタ 演算パラメータ・レジスタ：32ビット×6レジスタ アドレス・ポインタ・レジスタ：12ビット×6レジスタ 内蔵コードRAM：4 KB 内蔵データRAM：2 KB 多重割り込み可能 RL78 CPUコアとFAAコアの間でデータを共有するデータ共有メモリ（32バイト）を内蔵 				
I/Oポート	合計	36	40	44	48	58
	CMOS入出力	31 (N-chオープン・ドレイン出力/入力[V _{DD} 耐圧]：14)	35 (N-chオープン・ドレイン出力/入力[V _{DD} 耐圧]：14)	38 (N-chオープン・ドレイン出力/入力[V _{DD} 耐圧]：15)	42 (N-chオープン・ドレイン出力/入力[V _{DD} 耐圧]：17)	52 (N-chオープン・ドレイン出力/入力[V _{DD} 耐圧]：19)
	CMOS入力	3				
	CMOS出力	-			1	
	N-chオープン・ドレイン出力/入力[6 V耐圧]	2				
	出力電流制御ポート	7	8			
タイマ	16ビット・タイマ TAU、タイマRJ、タイマRD2、タイマRX、タイマRG2	9チャンネル (TAU：4チャンネル、タイマRJ：1チャンネル、タイマRD2：2チャンネル（PWMOPA付き）、タイマRX：1チャンネル、タイマRG2：1チャンネル)				
	16ビット・タイマKB30、KB31、KB32	3チャンネル (PWM出力：6チャンネル)				
	ウォッチドッグ・タイマ	1チャンネル				
	リアルタイム・クロック (RTC)	1チャンネル				
	32ビット・インターバル・タイマ (TML32)	32ビット・カウンタ・モード時：1チャンネル、 16ビット・カウンタ・モード時：2チャンネル、 8ビット・カウンタ・モード時：4チャンネル				
	タイマ出力	17本（PWM出力：14本 ^{注6} ）、 22本（PWM出力：14本 ^{注6} ） ^{注7}				
	RTC出力	1本				
クロック出力/ブザー出力		2本 <ul style="list-style-type: none"> 3.91 kHz, 7.81 kHz, 15.63 kHz, 2 MHz, 4 MHz, 8 MHz, 16 MHz (メイン・システム・クロック：f_{MAIN} = 32 MHz動作時) 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (低速周辺クロック：f_{SXP} = 32.768 kHz動作時) 				

(3/4)

項目	40ピン	44ピン	48ピン	52ピン	64ピン
	R7F101GEx	R7F101GFx	R7F101GGx	R7F101GJx	R7F101GLx
8/10/12ビット分解能A/Dコンバータ	19チャンネル	21チャンネル		23チャンネル	
3チャンネル同時 サンプリング機能	2チャンネル				
8/10ビットD/Aコンバータ	2~3チャンネル				
DAC出力 (ANOx)	3本				
プログラマブル・ゲイン・アンプ (PGA)	1チャンネル				
コンパレータ	4チャンネル				
シリアル・インタフェース	<p>【40, 44ピン製品】</p> <ul style="list-style-type: none"> 簡易SPI (CSI) : 1チャンネル/簡易I²C : 1チャンネル/UART (LIN-bus対応) : 1チャンネル 簡易SPI (CSI) : 1チャンネル/簡易I²C : 1チャンネル/UART : 1チャンネル 簡易SPI (CSI) : 2チャンネル/簡易I²C : 2チャンネル/UART : 1チャンネル <p>【48, 52ピン製品】</p> <ul style="list-style-type: none"> 簡易SPI (CSI) : 2チャンネル/簡易I²C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル 簡易SPI (CSI) : 1チャンネル/簡易I²C : 1チャンネル/UART : 1チャンネル 簡易SPI (CSI) : 2チャンネル/簡易I²C : 2チャンネル/UART : 1チャンネル <p>【64ピン製品】</p> <ul style="list-style-type: none"> 簡易SPI (CSI) : 2チャンネル/簡易I²C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル 簡易SPI (CSI) : 2チャンネル/簡易I²C : 2チャンネル/UART : 1チャンネル 簡易SPI (CSI) : 2チャンネル/簡易I²C : 2チャンネル/UART : 1チャンネル 				
I ² Cバス	1チャンネル				
I ² C (SM/PM) バス	1チャンネル				
DALI	1チャンネル				
データ・トランスファ・コントローラ (DTC)	53要因				
イベント・リンク・コントローラ (ELC)	イベント入力	34			
	イベントトリガ出力	19			
ベクタ 割り込み要因	内部	55			
	外部	13	15		
キー割り込み	4	6	8		
リセット	<ul style="list-style-type: none"> RESET端子によるリセット ウォッチドッグ・タイマによる内部リセット パワーオン・リセットによる内部リセット 電圧検出回路 (LVD0, LVD1) による内部リセット 不正命令の実行による内部リセット^{注8} RAMパリティ・エラーによる内部リセット 不正メモリ・アクセスによる内部リセット 				
パワーオン・リセット回路	検出電圧 • 1.50 V (Typ.)				

(4/4)

項目		40ピン	44ピン	48ピン	52ピン	64ピン
		R7F101GEx	R7F101GFx	R7F101GGx	R7F101GJx	R7F101GLx
電圧検出回路	LVD0	検出電圧 ・立ち上がり：1.69～3.96 V（6段階） ・立ち下がり：1.65～3.88 V（6段階）				
	LVD1	検出電圧 ・立ち上がり：1.67～4.16 V（18段階） ・立ち下がり：1.63～4.08 V（18段階）				
オンチップ・デバッグ機能		あり（トレース機能対応）				
電源電圧		VDD = 1.6～5.5 V（2D：民生用途、3C：産業用途） VDD = 2.7～5.5 V（4C：産業用途）				
動作周囲温度		TA = -40～+85°C（2D：民生用途）、TA = -40～+105°C（3C：産業用途）、 TA = -40～+125°C（4C：産業用途）				

- 注1. フラッシュ・メモリを書き換える場合は、2 MHz以下で書き換えてください。
- 注2. フラッシュ・メモリを書き換える場合は、HS（高速メイン）モードまたはLS（低速メイン）モードに切り替えてください。
- 注3. PLLクロック 64 MHz動作時。システム・クロックは $f_{PLL}/2$ （32 MHz）、または $f_{PLL}/4$ （16 MHz）から選択してください。
- 注4. PLLクロック 96 MHz動作時。システム・クロックは $f_{PLL}/2$ （32 MHz）、または $f_{PLL}/4$ （16 MHz）から選択してください。
- 注5. プリフェッチバッファを有効にした場合に有効です。プリフェッチバッファ動作については、**第8章 オペレーション・ステート・コントロール**を参照してください。
- 注6. 使用チャンネルの設定（マスタとスレーブの数）によって、PWM出力数は変わります（**10.9.3 多重PWM出力機能としての動作参照**）。
- 注7. 周辺I/Oリダイレクション・レジスタ（PIORx）のビットに1を設定した場合です。
- 注8. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポートの端子機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

(1) 20～52ピン製品

電源	対応する端子
VDD	すべての端子

(2) 64ピン製品

電源	対応する端子
EVDD0	• P20-P27, P121-P124, P137 以外のポート端子
VDD	• P20-P27, P121-P124, P137 • RESET, REGC

2.1.1 20ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-18-1	入出力	アナログ機能	P00/ANI29/IVCMP1/ PGAI1/TI00/TRGCLKA/ (TRJ00)/TxD1/ (DALITxD0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 アナログ機能に設定可能 ^注 。
P01	8-18-2			P01/ANI30/IVCMP2/ PGAI2/TO00/TRGCLKB/ TRJIO0/RxD1/ (DALIRxD0)/(TI00)	
P10	8-41-1	入出力	アナログ機能	P10/ANI20/CCD06/ SCK11/SCL11/TRDIOD1/ VCOUT2/(TxD2)	ポート1。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P15の入力はTTL入力バッファに設定可能。 P10-P15の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 P10, P11は出力電流制御ポートに設定可能。 P10-P14はアナログ機能に設定可能 ^注 。
P11	8-42-1			P11/ANI21/PGA0/CCD07/ SI11/SDA11/TRDI0C1/ (TO03)/(RxD2)/TOOLRxD/ (TI03)	
P12	7-8-2			P12/ANI22/SO11/ TRDIOB1/TKBO00/ IVREF1/TOOLTxD	
P13	7-8-1			P13/ANI23/TxD2/SO20/ TRDIOA1/TKBO01/ (TRDIO0)	
P14	8-3-8			P14/RxD2/SI20/SDA20/ TRDIOD0/TKBO10/ VCOUT0/(SCLA0)/ANI24	
P15	8-3-8			P15/SCK20/SCL20/ TRDIOB0/TKBO11/ VCOUT1/(SDAA0)/ PCLBUZ1/(TI01)/(TO01)	
P20	4-3-5	入出力	アナログ機能	P20/ANI0/AVREFP/(INTP6)	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 ^注 。
P21	4-3-5			P21/ANI1/AVREFM/(INTP7)	
P22	4-8-2			P22/ANI2/ANO0/PGAI4	
P23	4-8-2			P23/ANI3/ANO1/PGAGND	
P40	7-1-3	入出力	入力ポート	P40/TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P120	7-3-3	入出力	アナログ機能	P120/ANI19/IVCMP0/ PGAI0/TRGIDZ/TRGTRG/ (TI02)/(TO02)	ポート12。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能 ^注 。
P122	7-2-1			P122/EXCLK/INTP20/ (TO00)/EXCLKS	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P137	2-1-3	入力	入力ポート	P137/INTP0	ポート13。 1ビット入力専用ポート。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**図7-8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**～**図7-11 周辺I/Oリダイレクション・レジスタ（PIOR3）のフォーマット**を参照してください。

2.1.2 24ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-18-1	入出力	アナログ機能	P00/ANI29/IVCMP1/ PGA11/TI00/TRGCLKA/ (TRJ00)/TxD1/ (DALITxD0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 アナログ機能に設定可能 ^注 。
P01	8-18-2			P01/ANI30/IVCMP2/ PGA12/TO00/TRGCLKB/ TRJIO0/RxD1/ (DALIRxD0)/(TI00)	
P10	8-41-1	入出力	アナログ機能	P10/ANI20/CCD06/ SCK11/SCL11/TRDIOD1/ VCOUT2/(TxD2)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[EV _{DD} 耐圧]に設定可能。 P10, P11, P16, P17は出力電流制御ポートに設定可能。 P10-P13, P16はアナログ機能に設定可能 ^注 。
P11	8-42-1			P11/ANI21/PGA0/CCD07/ SI11/SDA11/TRDI0C1/ (TO03)/(RxD2)/TOOLRxD/ (TI03)/VCOUT3	
P12	7-8-2			P12/ANI22/SO11/ TRDIOB1/TKBO00/ IVREF1/TOOLTxD	
P13	7-8-1			P13/ANI23/TxD2/SO20/ TRDIOA1/TKBO01/ (TRDIOC0)	
P14	8-3-8			P14/RxD2/SI20/SDA20/ TRDIOD0/TKBO10/ VCOUT0/(SCLA0)	
P15	8-3-8			P15/SCK20/SCL20/ TRDIOB0/TKBO11/ VCOUT1/(SDAA0)/ PCLBUZ1/(TI01)/(TO01)	
P16	8-41-2			P16/ANI26/CCD00/TI01/ TO01/INTP5/TRDIOC0/ TKBO20/IVREF0/(RxD0)/ (TRGIOB)/(TRDIOA1)	
P17	8-41-1			P17/CCD01/TI02/TO02/ TRDIOA0/TRDCLK/ TKBO21/(TxD0)/ (TRGIOA)/(TRDIOD0)	
P20	4-3-5	入出力	アナログ機能	P20/ANI0/AVREFP/(INTP6)	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 ^注 。
P21	4-3-5			P21/ANI1/AVREFM/(INTP7)	
P22	4-8-2			P22/ANI2/ANO0/PGA14	
P23	4-8-2			P23/ANI3/ANO1/PAGAND	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	P40/TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P120	7-3-3	入出力	アナログ機能	P120/ANI19/IVCMP0/ PGAI0/TRGIDZ/TRGTRG/ (TI02)/(TO02)	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能 ^注 。
P121	7-2-1		入力ポート	P121/X1/INTP21/XT1	
P122	7-2-1			P122/X2/EXCLK/INTP20/ (TO00)/XT2/EXCLKS	
P137	2-1-3	入力	入力ポート	P137/INTP0	ポート13。 1ビット入力専用ポート。
P147	7-18-2	入出力	アナログ機能	P147/ANI18/ANO2/ IVCMP3/PGAI3	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 ^注 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ (PMCAxx) で設定します。
(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。
詳細は、**図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**～**図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマット**を参照してください。

2.1.3 25ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-18-1	入出力	アナログ機能	P00/ANI29/IVCMP1/ PGAI1/TI00/TRGCLKA/ (TRJ00)/TxD1/ (DALITxD0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 アナログ機能に設定可能 ^注 。
P01	8-18-2			P01/ANI30/IVCMP2/ PGAI2/TO00/TRGCLKB/ TRJIO0/RxD1/ (DALIRxD0)/(TI00)	
P10	8-41-1	入出力	アナログ機能	P10/ANI20/CCD06/ SCK11/SCL11/TRDIOD1/ VCOUT2/(TxD2)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[E _{VDD} 耐圧]に設定可能。 P10, P11, P16, P17は出力電流制御ポートに設定可能。 アナログ機能に設定可能 ^注 。
P11	8-42-1			P11/ANI21/PGAO/CCD07/ SI11/SDA11/TRDIOC1/ (TO03)/(RxD2)/TOOLRxD/ (TI03)/VCOUT3	
P12	7-8-2			P12/ANI22/SO11/ TRDIOB1/TKBO00/ IVREF1/TOOLTxD	
P13	7-8-1			P13/ANI23/TxD2/SO20/ TRDIOA1/TKBO01/ (TRDIOC0)	
P14	8-3-8			P14/RxD2/SI20/SDA20/ TRDIOD0/TKBO10/ VCOUT0/(SCLA0)/ANI24	
P15	8-3-8			P15/SCK20/SCL20/ TRDIOB0/TKBO11/ VCOUT1/(SDAA0)/ANI25/ PCLBUZ1/(TI01)/(TO01)	
P16	8-41-2			P16/ANI26/CCD00/TI01/ TO01/INTP5/TRDIOC0/ TKBO20/IVREF0/(RxD0)/ (TRGIOB)/(TRDIOA1)	
P17	8-41-1			P17/CCD01/TI02/TO02/ TRDIOA0/TRDCLK/ TKBO21/(TxD0)/ (TRGIOA)/ANI27/ (TRDIOD0)	
P20	4-3-5	入出力	アナログ機能	P20/ANI0/AVREFP/(INTP6)	ポート2。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ機能に設定可能 ^注 。
P21	4-3-5			P21/ANI1/AVREFM/(INTP7)	
P22	4-8-2			P22/ANI2/ANO0/PGAI4	
P23	4-8-2			P23/ANI3/ANO1/PGAGND	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	P40/TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P120	7-3-3	入出力	アナログ機能	P120/ANI19/IVCMP0/ PGAI0/TRGIDZ/TRGTRG/ (TI02)/(TO02)	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能 ^注 。
P121	7-2-1		入力ポート	P121/X1/INTP21/XT1	
P122	7-2-1			P122/X2/EXCLK/INTP20/ (TO00)/XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	P130	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-3	入力	入力ポート	P137/INTP0	
P147	7-18-2	入出力	アナログ機能	P147/ANI18/ANO2/ IVCMP3/PGAI3	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 ^注 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ (PMCAxx) で設定します。
(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。
詳細は、**図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**～**図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマット**を参照してください。

2.1.4 30ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-18-1	入出力	アナログ機能	P00/ANI29/IVCMP1/ PGAI1/TI00/TRGCLKA/ (TRJ00)/TxD1/ (DALITxD0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 アナログ機能に設定可能 ^注 。
P01	8-18-2			P01/ANI30/IVCMP2/ PGAI2/TO00/TRGCLKB/ TRJIO0/RxD1/ (DALIRxD0)/(TI00)	
P10	8-41-1	入出力	アナログ機能	P10/ANI20/CCD06/ SCK11/SCL11/TRDIOD1/ VCOUT2/(TxD2)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[E _{VDD} 耐圧]に設定可能。 P10, P11, P16, P17は出力電流制御ポートに設定可能。 アナログ機能に設定可能 ^注 。
P11	8-42-1			P11/ANI21/PGAO/CCD07/ SI11/SDA11/TRDIOC1/ (TO03)/(RxD2)/VCOUT3	
P12	7-8-2			P12/ANI22/SO11/ TRDIOB1/TKBO00/ IVREF1	
P13	7-8-1			P13/ANI23/TxD2/SO20/ TRDIOA1/TKBO01/ (TRDIOC0)	
P14	8-3-8			P14/RxD2/SI20/ SDA20/TRDIOD0/ TKBO10/VCOUT0/ (SCLA0)/ANI24	
P15	8-3-8			P15/SCK20/SCL20/ TRDIOB0/TKBO11/ VCOUT1/(SDAA0)/ANI25/ PCLBUZ1/(TI01)/(TO01)	
P16	8-41-2			P16/ANI26/CCD00/TI01/ TO01/INTP5/TRDIOC0/ TKBO20/IVREF0/(RxD0)/ (TRGIOB)/(TRDIOA1)	
P17	8-41-1			P17/CCD01/TI02/TO02/ TRDIOA0/TRDCLK/ TKBO21/(TxD0)/ (TRGIOA)/ANI27/ (TRDIOD0)	
P20	4-3-5	入出力	アナログ機能	P20/ANI0/AVREFF/(INTP6)	ポート2。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ機能に設定可能 ^注 。
P21	4-3-5			P21/ANI1/AVREFM/(INTP7)	
P22	4-8-2			P22/ANI2/ANO0/PGAI4	
P23	4-8-2			P23/ANI3/ANO1/PGAGND	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P30	8-1-13	入出力	入力ポート	P30/INTP3/RTC1HZ/ SCK00/SCL00/TRJ00/ (VCOUT1)/(TxD1)/ (TRDIOB1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力[E _{VDD} 耐圧]に設定可能。
P31	7-1-3			P31/TI03/TO03/INTP4/ (TRJIO0)/(VCOUT0)/ PCLBUZ0/SSI00/(RxD1)	
P40	7-1-3	入出力	入力ポート	P40/TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P50	8-1-13	入出力	入力ポート	P50/INTP1/SI00/RxD0/ TOOLRxD/DALIRxD0/ SDA00/TRGIOA/(TRJ00)/ (TI03)/(VCOUT3)/ (TRDIOC1)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P51	7-1-13			P51/INTP2/SO00/TxD0/ TOOLTxD/DALITxD0/ TRGIOB/(VCOUT2)/ (TRDIOD1)	
P60	12-38-2	入出力	入力ポート	P60/CCD04/SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力[6V耐圧]。 出力電流制御ポートに設定可能。
P61	12-38-2			P61/CCD05/SDAA0	
P120	7-3-3	入出力	アナログ機能	P120/ANI19/IVCMP0/ PGAI0/TRGIDZ/TRGTRG/ (TI02)/(TO02)	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能 ^注 。
P121	7-2-1		入力ポート	P121/X1/INTP21/XT1	
P122	7-2-1		P122/X2/EXCLK/INTP20/ (TO00)/XT2/EXCLKS		
P137	2-1-3	入力	入力ポート	P137/INTP0	ポート13。 1ビット入力専用ポート。
P147	7-18-2	入出力	アナログ機能	P147/ANI18/ANO2/ IVCMP3/PGAI3	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 ^注 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ (PMCAxx) で設定します。
(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。
詳細は、**図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**～**図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマット**を参照してください。

2.1.5 32ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-18-1	入出力	アナログ機能	P00/ANI29/IVCMP1/ PGAI1/TI00/TRGCLKA/ (TRJ00)/TxD1/ (DALITxD0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 アナログ機能に設定可能 ^注 。
P01	8-18-2			P01/ANI30/IVCMP2/ PGAI2/TO00/TRGCLKB/ TRJIO0/RxD1/ (DALIRxD0)/(TI00)	
P10	8-41-1	入出力	アナログ機能	P10/ANI20/CCD06/ SCK11/SCL11/TRDIOD1/ VCOUT2/(TxD2)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[E _{VDD} 耐圧]に設定可能。 P10, P11, P16, P17は出力電流制御ポートに設定可能。 アナログ機能に設定可能 ^注 。
P11	8-42-1			P11/ANI21/PGAO/CCD07/ SI11/SDA11/TRDIOC1/ (TO03)/(RxD2)/VCOUT3	
P12	7-8-2			P12/ANI22/SO11/ TRDIOB1/TKBO00/ IVREF1	
P13	7-8-1			P13/ANI23/TxD2/SO20/ TRDIOA1/TKBO01/ (TRDIOC0)	
P14	8-3-8			P14/RxD2/SI20/SDA20/ TRDIOD0/TKBO10/ VCOUT0/(SCLA0)/ANI24	
P15	8-3-8			P15/SCK20/SCL20/ TRDIOB0/TKBO11/ VCOUT1/(SDAA0)/ANI25/ PCLBUZ1/(TI01)/(TO01)	
P16	8-41-2			P16/ANI26/CCD00/TI01/ TO01/INTP5/TRDIOC0/ TKBO20/IVREF0/(RxD0)/ (TRGIOB)/(TRDIOA1)	
P17	8-41-1			P17/CCD01/TI02/TO02/ TRDIOA0/TRDCLK/ TKBO21/(TxD0)/ (TRGIOA)/ANI27/ (TRDIOD0)	
P20	4-3-5	入出力	アナログ機能	P20/ANI0/AVREFP/(INTP6)	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 ^注 。
P21	4-3-5			P21/ANI1/AVREFM/(INTP7)	
P22	4-8-2			P22/ANI2/ANO0/PGAI4	
P23	4-8-2			P23/ANI3/ANO1/PGAGND	

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P30	8-1-13	入出力	入力ポート	P30/INTP3/RTC1HZ/ SCK00/SCL00/TRJO0/ (VCOUT1)/(TxD1)/ (TRDIOB1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。
P31	7-1-3			P31/TI03/TO03/INTP4/ (TRJIO0)/(VCOUT0)/ PCLBUZ0/(RxD1)	
P40	7-1-3	入出力	入力ポート	P40/TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P50	8-1-13	入出力	入力ポート	P50/INTP1/SI00/RxD0/ TOOLRxD/DALIRxD0/ SDA00/TRGIOA/(TRJO0)/ (TI03)/(VCOUT3)/ (TRDIOC1)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P51	7-1-13			P51/INTP2/SO00/TxD0/ TOOLTxD/DALITxD0/ TRGIOB/(VCOUT2)/ (TRDIOD1)	
P60	12-38-2	入出力	入力ポート	P60/CCD04/SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61はN-chオープン・ドレイン出力[6 V耐圧]。 P62では、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。
P61	12-38-2			P61/CCD05/SDAA0	
P62	7-38-3			P62/CCD02/SSI00	
P70	7-1-7	入出力	入力ポート	P70/(TRDIOB0)	ポート7。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P120	7-3-3	入出力	アナログ機能	P120/ANI19/IVCMP0/ PGAIO/TRGIDZ/TRGTRG/ (TI02)/(TO02)	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能 ^注 。
P121	7-2-1		入力ポート	P121/X1/INTP21/XT1	
P122	7-2-1		P122/X2/EXCLK/INTP20/ (TO00)/XT2/EXCLKS		
P137	2-1-3	入力	入力ポート	P137/INTP0	ポート13。 1ビット入力専用ポート。

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P147	7-18-2	入出力	アナログ機能	P147/ANI18/ANO2/ IVCMP3/PGAI3	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 ^注 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**図7-8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**～**図7-11 周辺I/Oリダイレクション・レジスタ（PIOR3）のフォーマット**を参照してください。

2.1.6 40ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-18-1	入出力	アナログ機能	P00/ANI29/IVCMP1/ PGA11/TI00/TRGCLKA/ (TRJ00)/TxD1/ (DALITxD0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 アナログ機能に設定可能 ^注 。
P01	8-18-2			P01/ANI30/IVCMP2/ PGA12/TO00/TRGCLKB/ TRJIO0/RxD1/ (DALIRxD0)/(TI00)	
P10	8-41-1	入出力	アナログ機能	P10/ANI20/CCD06/ SCK11/SCL11/TRDIOD1/ VCOUT2/(TxD2)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[E _{VDD} 耐圧]に設定可能。 P10, P11, P16, P17は出力電流制御ポートに設定可能。 アナログ機能に設定可能 ^注 。
P11	8-42-1			P11/ANI21/PGA0/CCD07/ SI11/SDA11/TRDIOC1/ (TO03)/(RxD2)/VCOUT3	
P12	7-8-2			P12/ANI22/SO11/ TRDIOB1/TKBO00/ IVREF1	
P13	7-8-1			P13/ANI23/TxD2/SO20/ TRDIOA1/TKBO01/ (TRDIOC0)	
P14	8-3-8			P14/RxD2/SI20/SDA20/ TRDIOD0/TKBO10/ VCOUT0/(SCLA0)/ANI24	
P15	8-3-8			P15/SCK20/SCL20/ TRDIOB0/TKBO11/ VCOUT1/(SDAA0)/ANI25/ PCLBUZ1	
P16	8-41-2			P16/ANI26/CCD00/TI01/ TO01/INTP5/TRDIOC0/ TKBO20/IVREF0/(RxD0)/ (TRGIOB)	
P17	8-41-1			P17/CCD01/TI02/TO02/ TRDIOA0/TRDCLK/ TKBO21/(TxD0)/ (TRGIOA)/ANI27	
P20	4-3-5	入出力	アナログ機能	P20/ANI0/AVREFP/(INTP6)	ポート2。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 ^注 。
P21	4-3-5			P21/ANI1/AVREFM/(INTP7)	
P22	4-8-2			P22/ANI2/ANO0/PGA14	
P23	4-8-2			P23/ANI3/ANO1/PGAGND	
P24	4-3-5			P24/ANI4	
P25	4-3-5			P25/ANI5	
P26	4-3-5			P26/ANI6	

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P30	8-1-13	入出力	入力ポート	P30/INTP3/RTC1HZ/ SCK00/SCL00/TRJ00/ (VCOUT1)/(TRDIOB1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。	
P31	7-1-3			P31/TI03/TO03/INTP4/ (TRJIO0)/(VCOUT0)/ PCLBUZ0		
P40	7-1-3	入出力	入力ポート	P40/TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P50	8-1-13	入出力	入力ポート	P50/INTP1/SI00/RxD0/ TOOLRxD/DALIRxD0/ SDA00/TRGIOA/(TRJ00)/ (TI03)/(VCOUT3)	ポート5。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。	
P51	7-1-13			P51/INTP2/SO00/TxD0/ TOOLTxD/DALITxD0/ TRGIOB/(VCOUT2)/ (TRDIOD1)		
P60	12-38-2	入出力	入力ポート	P60/CCD04/SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60, P61はN-chオープン・ドレイン出力[6 V耐圧]。 P62では、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。	
P61	12-38-2			P61/CCD05/SDAA0		
P62	7-38-3			P62/CCD02/SSI00		
P70	7-1-7	入出力	入力ポート	P70/(TRDIOB0)/KR0/ SCK21/SCL21	ポート7。 4ビット入出力ポート。 P73の入力はTTL入力バッファに設定可能。 P71-P73の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P71	7-1-13			P71/KR1/SI21/SDA21/ (TI01)/(TO01)/(TRDIOD0)		
P72	7-1-13			P72/KR2/SO21/(TxD1)/ (TRDIOA1)		
P73	8-1-13			P73/KR3/(RxD1)/ (TRDIOC1)		
P120	7-3-3	入出力	アナログ機能	P120/ANI19/IVCMP0/ PGA10/TRGIDZ/TRGTRG	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力/出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能 ^注 。	
P121	7-2-1		入力ポート	P121/VBAT/X1/INTP21/ (TI02)/(TO02)		
P122	7-2-1			P122/X2/EXCLK/INTP20/ (TO00)		
P123	2-2-1		入力			P123/XT1
P124	2-2-1					P124/XT2/EXCLKS
P137	2-1-3	入力	入力ポート	P137/INTP0	ポート13。 1ビット入力専用ポート。	

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P147	7-18-2	入出力	アナログ機能	P147/ANI18/ANO2/ IVCMP3/PGAI3	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能 ^注 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**図7-8 周辺I/Oリダイレクション・レジスタ（PIOR0）のフォーマット**～**図7-11 周辺I/Oリダイレクション・レジスタ（PIOR3）のフォーマット**を参照してください。

2.1.7 44ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-18-1	入出力	アナログ機能	P00/ANI29/IVCMP1/ PGA11/TI00/TRGCLKA/ (TRJ00)/TxD1/ (DALITxD0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 アナログ機能に設定可能 ^注
P01	8-18-2			P01/ANI30/IVCMP2/ PGA12/TO00/TRGCLKB/ TRJIO0/RxD1/ (DALIRxD0)/(TI00)	
P10	8-41-1	入出力	アナログ機能	P10/ANI20/CCD06/ SCK11/SCL11/TRDIOD1/ VCOUT2/(TxD2)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[E _{VDD} 耐圧]に設定可能。 P10, P11, P16, P17は出力電流制御ポートに設定可能。 アナログ機能に設定可能 ^注 。
P11	8-42-1			P11/ANI21/PGA0/CCD07/ SI11/SDA11/TRDI0C1/ (TO03)/(RxD2)/VCOUT3	
P12	7-8-2			P12/ANI22/SO11/ TRDIOB1/TKBO00/ IVREF1	
P13	7-8-1			P13/ANI23/TxD2/SO20/ TRDIOA1/TKBO01/ (TRDIO0)	
P14	8-3-8			P14/RxD2/SI20/SDA20/ TRDIOD0/TKBO10/ VCOUT0/(SCLA0)/ANI24	
P15	8-3-8			P15/SCK20/SCL20/ TRDIOB0/TKBO11/ VCOUT1/(SDAA0)/ANI25/ PCLBUZ1	
P16	8-41-2			P16/ANI26/CCD00/TI01/ TO01/INTP5/TRDIO0C0/ TKBO20/IVREF0/(RxD0)/ (TRGIOB)	
P17	8-41-1			P17/CCD01/TI02/TO02/ TRDIOA0/TRDCLK/ TKBO21/(TxD0)/ (TRGIOA)/ANI27	
P20	4-3-5	入出力	アナログ機能	P20/ANI0/AVREFP/(INTP6)	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 ^注 。
P21	4-3-5			P21/ANI1/AVREFM/(INTP7)	
P22	4-8-2			P22/ANI2/ANO0/PGA14	
P23	4-8-2			P23/ANI3/ANO1/PAGAGND	
P24	4-3-5			P24/ANI4	
P25	4-3-5			P25/ANI5	
P26	4-3-5			P26/ANI6	
P27	4-3-5			P27/ANI7	

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P30	8-1-13	入出力	入力ポート	P30/INTP3/RTC1HZ/ SCK00/SCL00/TRJ00/ (VCOUT1)/(TRDIOB1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。
P31	7-1-3			P31/TI03/TO03/INTP4/ (TRJIO0)/(VCOUT0)/ PCLBUZ0	
P40	7-1-3	入出力	入力ポート	P40/TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41	7-1-3			P41/(TRJIO0)	
P50	8-1-13	入出力	入力ポート	P50/INTP1/SI00/RxD0/ TOOLRxD/DALIRxD0/ SDA00/TRGIOA/(TRJ00)/ (TI03)/(VCOUT3)	ポート5。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P51	7-1-13			P51/INTP2/SO00/TxD0/ TOOLTxD/DALITxD0/ TRGIOB/(VCOUT2)/ (TRDIOD1)	
P60	12-38-2	入出力	入力ポート	P60/CCD04/SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60, P61はN-chオープン・ドレイン出力[6V耐圧]。 P62, P63では、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。
P61	12-38-2			P61/CCD05/SDAA0	
P62	7-38-3			P62/CCD02/SSI00	
P63	7-38-3			P63/CCD03	
P70	7-1-7	入出力	入力ポート	P70/(TRDIOB0)/KR0/ SCK21/SCL21	ポート7。 4ビット入出力ポート。 P73の入力はTTL入力バッファに設定可能。 P71-P73の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	7-1-13			P71/KR1/SI21/SDA21/ (TI01)/(TO01)/(TRDIOD0)	
P72	7-1-13			P72/KR2/SO21/(TxD1)/ (TRDIOA1)	
P73	8-1-13			P73/KR3/(RxD1)/ (TRDIOC1)	
P120	7-3-3	入出力	アナログ機能	P120/ANI19/IVCMP0/ PGAIO/TRGIDZ/TRGTRG	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力/出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能 ^注 。
P121	7-2-1		入力ポート	P121/VBAT/X1/INTP21/ (TI02)/(TO02)	
P122	7-2-1		P122/X2/EXCLK/INTP20/ (TO00)		
P123	2-2-1		入力	P123/XT1	
P124	2-2-1			P124/XT2/EXCLKS	

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P137	2-1-3	入力	入力ポート	P137/INTP0	ポート13。 1ビット入力専用ポート。
P146	7-3-3	入出力	アナログ機能	P146/ANI28	ポート14。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P146, P147はアナログ機能に設定可能 ^注 。
P147	7-18-2			P147/ANI18/ANO2/ IVCMP3/PGAI3	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ (PMCAxx) で設定します。
(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。
詳細は、**図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**～**図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマット**を参照してください。

2.1.8 48ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-18-1	入出力	アナログ機能	P00/ANI29/IVCMP1/ PGAI1/TI00/TRGCLKA/ (TRJ00)/TxD1/ (DALITxD0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 アナログ機能に設定可能 ^注 。
P01	8-18-2			P01/ANI30/IVCMP2/ PGAI2/TO00/TRGCLKB/ TRJIO0/RxD1/ (DALIRxD0)/(TI00)	
P10	8-41-1	入出力	アナログ機能	P10/ANI20/CCD06/ SCK11/SCL11/ TRDIOD1/VCOOUT2/ (TxD2)	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[E _{VDD} 耐圧]に設定可能。 P10, P11, P16, P17は出力電流制御ポートに設定可能。 アナログ機能に設定可能 ^注 。
P11	8-42-1			P11/ANI21/PGA0/CCD07/ SI11/SDA11/TRDIOC1/ (TO03)/(RxD0_1)/(RxD2)/ VCOOUT3	
P12	7-8-2			P12/ANI22/SO11/ TRDIOB1/TKBO00/ IVREF1/(TxD0_1)	
P13	7-8-1			P13/ANI23/TxD2/SO20/ TRDIOA1/TKBO01/ (TRDIOC0)	
P14	8-3-8			P14/RxD2/SI20/SDA20/ TRDIOD0/TKBO10/ VCOOUT0/(SCLA0)/ANI24	
P15	8-3-8			P15/SCK20/SCL20/ TRDIOB0/TKBO11/ VCOOUT1/(SDAA0)/ANI25/ PCLBUZ1	
P16	8-41-2			P16/ANI26/CCD00/TI01/ TO01/INTP5/TRDIOC0/ TKBO20/IVREF0/(RxD0)/ (TRGIOB)	
P17	8-41-1			P17/CCD01/TI02/TO02/ TRDIOA0/TRDCLK/ TKBO21/(TxD0)/ (TRGIOA)/ANI27	

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P20	4-3-5	入出力	アナログ機能	P20/ANI0/AVREFP/(INTP6)	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 ^注 。
P21	4-3-5			P21/ANI1/AVREFM/(INTP7)	
P22	4-8-2			P22/ANI2/ANO0/PGA14	
P23	4-8-2			P23/ANI3/ANO1/PGAGND	
P24	4-3-5			P24/ANI4	
P25	4-3-5			P25/ANI5	
P26	4-3-5			P26/ANI6	
P27	4-3-5			P27/ANI7	
P30	8-1-13	入出力	入力ポート	P30/INTP3/RTC1HZ/ SCK00/SCL00/TRJ00/ (VCOUT1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。
P31	7-1-3			P31/TI03/TO03/INTP4/ (TRJIO0)/(VCOUT0)/ (PCLBUZ0)	
P40	7-1-3	入出力	入力ポート	P40/TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41	7-1-3			P41/(TRJIO0)	
P50	8-1-13	入出力	入力ポート	P50/INTP1/SI00/RxD0/ TOOLRxD/DALIRxD0/ SDA00/TRGIOA/(TRJIO0)/ (TI03)/(VCOUT3)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P51	7-1-13			P51/INTP2/SO00/TxD0/ TOOLTxD/DALITxD0/ TRGIOB/(VCOUT2)	
P60	12-38-2	入出力	入力ポート	P60/CCD04/SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61はN-chオープン・ドレイン出力[6V耐圧]。 P62, P63では、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。
P61	12-38-2			P61/CCD05/SDAA0	
P62	7-38-3			P62/CCD02/SSI00	
P63	7-38-3			P63/CCD03	

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P70	7-1-7	入出力	入力ポート	P70/(TRDI0B0)/KR0/ SCK21/SCL21	ポート7。 6ビット入出力ポート。 P73の入力はTTL入力バッファに設定可能。 P71-P74の出力はN-chオープン・ドレイン出力 [VDD耐圧]に設定可能。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。	
P71	7-1-13			P71/KR1/SI21/SDA21/ (TI01)/(TO01)/(TRDI0D0)		
P72	7-1-13			P72/KR2/SO21/(TxD1)/ (TRDIOA1)		
P73	8-1-13			P73/KR3/(RxD1)/ (TRDIOC1)/SO01		
P74	7-1-13			P74/KR4/INTP8/SI01/ SDA01/(TRDIOB1)		
P75	7-1-7			P75/KR5/INTP9/SCK01/ SCL01/(TRDI0D1)		
P120	7-3-3	入出力	アナログ機能	P120/ANI19/IVCMP0/ PGAI0/TRGIDZ/TRGTRG	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力/出力の指定可 能。 P120-P122は入力ポートではソフトウェアの設定に より、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能 ^注 。	
P121	7-2-1		入力ポート	P121/VBAT/X1/INTP21/ (TI02)/(TO02)		
P122	7-2-1			P122/X2/EXCLK/INTP20/ (TO00)		
P123	2-2-1		入力			P123/XT1
P124	2-2-1					P124/XT2/EXCLKS
P130	1-1-1	出力	出力ポート	P130	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。	
P137	2-1-3	入力	入力ポート	P137/INTP0		
P140	7-1-3	入出力	入力ポート	P140/PCLBUZ0/INTP6	ポート14。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P146, P147はアナログ機能に設定可能 ^注 。	
P146	7-3-3		アナログ機能	P146/ANI28		
P147	7-18-2			P147/ANI18/ANO2/ IVCMP3/PGAI3		
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗 を介してVDDに接続してください。	

注 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ (PMCAxx) で設定します。
(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。
詳細は、**図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**～**図7-11 周辺I/Oリダイレクション・
レジスタ (PIOR3) のフォーマット**を参照してください。

2.1.9 52ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-18-1	入出力	アナログ機能	P00/ANI29/IVCMP1/ PGA11/TI00/TRGCLKA/ (TRJ00)	ポート0。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P01	8-18-2			P01/ANI30/IVCMP2/ PGA12/TO00/TRGCLKB/ TRJIO0	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01, P03の入力はTTL入力バッファに設定可能。
P02	7-9-6			P02/ANI17/TxD1/ (DALITxD0)	P00, P02, P03の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P03	8-3-6			P03/ANI16/RxD1/ (DALIRxD0)/(TI00)	アナログ機能に設定可能 ^注 。
P10	8-41-1	入出力	アナログ機能	P10/ANI20/CCD06/ SCK11/SCL11/TRDIOD1/ VCOUT2	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P11	8-42-1			P11/ANI21/PGA0/CCD07/ SI11/SDA11/TRDIOC1/ (TO03)/(RxD0_1)/ VCOUT3	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P17の入力はTTL入力バッファに設定可能。
P12	7-8-2			P12/ANI22/SO11/ TRDIOB1/TKBO00/ IVREF1/(TxD0_1)	P10-P15, P17の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 P10, P11, P16, P17は出力電流制御ポートに設定可能。
P13	7-8-1			P13/ANI23/TxD2/SO20/ TRDIOA1/TKBO01/ (TRDIOC0)	アナログ機能に設定可能 ^注 。
P14	8-3-8			P14/RxD2/SI20/SDA20/ TRDIOD0/TKBO10/ VCOUT0/(SCLA0)/ANI24	
P15	8-3-8			P15/SCK20/SCL20/ TRDIOB0/TKBO11/ VCOUT1/(SDAA0)/ANI25/ PCLBUZ1	
P16	8-41-2			P16/ANI26/CCD00/TI01/ TO01/INTP5/TRDIOC0/ TKBO20/IVREF0/(RxD0)/ (TRGIOB)	
P17	8-41-1			P17/CCD01/TI02/TO02/ TRDIOA0/TRDCLK/ TKBO21/(TxD0)/ (TRGIOA)/ANI27	

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P20	4-3-5	入出力	アナログ機能	P20/ANI0/AVREFP/(INTP6)	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能 ^注 。
P21	4-3-5			P21/ANI1/AVREFM/(INTP7)	
P22	4-8-2			P22/ANI2/ANO0/PGA14	
P23	4-8-2			P23/ANI3/ANO1/PGAGND	
P24	4-3-5			P24/ANI4	
P25	4-3-5			P25/ANI5	
P26	4-3-5			P26/ANI6	
P27	4-3-5			P27/ANI7	
P30	8-1-13	入出力	入力ポート	P30/INTP3/RTC1HZ/ SCK00/SCL00/TRJO0/ (VCOUT1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。
P31	7-1-3			P31/TI03/TO03/INTP4/ (TRJIO0)/(VCOUT0)/ (PCLBUZ0)	
P40	7-1-3	入出力	入力ポート	P40/TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41	7-1-3			P41/(TRJIO0)	
P50	8-1-13	入出力	入力ポート	P50/INTP1/SI00/RxD0/ TOOLRxD/DALIRxD0/ SDA00/TRGIOA/(TRJO0)/ (TI03)/(VCOUT3)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P51	7-1-13			P51/INTP2/SO00/TxD0/ TOOLTxD/DALITxD0/ TRGIOB/(VCOUT2)	
P60	12-38-2	入出力	入力ポート	P60/CCD04/SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61はN-chオープン・ドレイン出力[6V耐圧]。 P62, P63では、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。
P61	12-38-2			P61/CCD05/SDAA0	
P62	7-38-3			P62/CCD02/SSI00	
P63	7-38-3			P63/CCD03	

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P70	7-1-7	入出力	入力ポート	P70/(TRDIOB0)/KR0/ SCK21/SCL21	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P73の入力はTTL入力バッファに設定可能。 P71-P74の出力はN-chオープン・ドレイン出力 [EVDD耐圧]に設定可能。
P71	7-1-13			P71/KR1/SI21/SDA21/ (TI01)/(TO01)/(TRDIOD0)	
P72	7-1-13			P72/KR2/SO21/(TxD1)/ (TRDIOA1)	
P73	8-1-13			P73/KR3/(RxD1)/ (TRDIOC1)/SO01	
P74	7-1-13			P74/KR4/INTP8/SI01/ SDA01/(TRDIOB1)	
P75	7-1-7			P75/KR5/INTP9/SCK01/ SCL01/(TRDIOD1)	
P76	7-1-3			P76/KR6/INTP10/(RxD2)	
P77	7-1-3			P77/KR7/INTP11/(TxD2)	
P120	7-3-3	入出力	アナログ機能	P120/ANI19/IVCMP0/ PGAI0/TRGIDZ/TRGTRG	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力／出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能 ^注 。
P121	7-2-1			入力ポート	
P122	7-2-1		P122/X2/EXCLK/INTP20/ (TO00)		
P123	2-2-1		入力		
P124	2-2-1			P124/XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	P130	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-3	入力	入力ポート	P137/INTP0	
P140	7-1-3	入出力	アナログ機能	P140/PCLBUZ0/INTP6	ポート14。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P146, P147はアナログ機能に設定可能 ^注 。
P146	7-3-3			P146/ANI28	
P147	7-18-2			P147/ANI18/ANO2/ IVCMP3/PGAI3	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ (PMCAxx) で設定します。
(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。
詳細は、**図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**～**図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマット**を参照してください。

2.1.10 64ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P00	7-18-1	入出力	アナログ機能	P00/ANI29/IVCMP1/ PGAI1/TI00/TRGCLKA/ (TRJ00)	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01, P03, P04の入力はTTL入力バッファに設定可能。 P00, P02-P04の出力はN-chオープン・ドレイン出力[EV _{DD} 耐圧]に設定可能。 P00-P03はアナログ機能に設定可能 ^注 。	
P01	8-18-2			P01/ANI30/IVCMP2/ PGAI2/TO00/TRGCLKB/ TRJIO0		
P02	7-9-6			P02/ANI17/TxD1/ (DALITxD0)/SO10		
P03	8-3-6			P03/ANI16/RxD1/ (DALIRxD0)/(TI00)/SI10/ SDA10		
P04	8-1-10			入力ポート		P04/SCK10/SCL10
P05	7-1-3			P05/(INTP10)		
P06	7-1-3			P06/(INTP11)/(TRJIO0)		
P10	8-41-1	入出力	アナログ機能	P10/ANI20/CCD06/ SCK11/SCL11/TRDIOD1/ VCOUT2	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[EV _{DD} 耐圧]に設定可能。 P10, P11, P16, P17は出力電流制御ポートに設定可能。 アナログ機能に設定可能 ^注 。	
P11	8-42-1			P11/ANI21/PGAO/CCD07/ SI11/SDA11/TRDIOC1/ (TO03)/(RxD0_1)/ VCOUT3		
P12	7-8-2			P12/ANI22/SO11/ TRDIOB1/TKBO00/ IVREF1/(INTP5)/(TxD0_1)		
P13	7-8-1			P13/ANI23/TxD2/SO20/ TRDIOA1/TKBO01/ (TRDIOC0)		
P14	8-3-8			P14/RxD2/SI20/SDA20/ TRDIOD0/TKBO10/ VCOUT0/(SCLA0)/ANI24		
P15	8-3-8			P15/SCK20/SCL20/ TRDIOB0/TKBO11/ VCOUT1/(SDAA0)/ANI25		
P16	8-41-2	入出力	アナログ機能	P16/ANI26/CCD00/TI01/ TO01/INTP5/TRDIOC0/ TKBO20/IVREF0/(RxD0)/ (TRGIOB)/(SI00)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P14-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[EV _{DD} 耐圧]に設定可能。 P10, P11, P16, P17は出力電流制御ポートに設定可能。 アナログ機能に設定可能 ^注 。	
P17	8-41-1			P17/CCD01/TI02/TO02/ TRDIOA0/TRDCLK/ TKBO21/(TxD0)/ (TRGIOA)/ANI27/(SO00)		

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P20	4-3-5	入出力	アナログ機能	P20/ANI0/AVREFP/(INTP6)	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ機能に設定可能 ^注 。
P21	4-3-5			P21/ANI1/AVREFM/(INTP7)	
P22	4-8-2			P22/ANI2/ANO0/PGA14	
P23	4-8-2			P23/ANI3/ANO1/PGAGND	
P24	4-3-5			P24/ANI4	
P25	4-3-5			P25/ANI5	
P26	4-3-5			P26/ANI6	
P27	4-3-5			P27/ANI7	
P30	8-1-13	入出力	入力ポート	P30/INTP3/RTC1HZ/ SCK00/SCL00/TRJ00/ (VCOUT1)	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。
P31	7-1-3			P31/TI03/TO03/INTP4/ (TRJIO0)/(VCOUT0)/ (PCLBUZ0)	
P40	7-1-3	入出力	入力ポート	P40/TOOL0	ポート4。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P41	7-1-3			P41/(TRJIO0)	
P42	7-1-3			P42/(INTP8)	
P43	7-1-3			P43/(INTP9)	
P50	8-1-13	入出力	入力ポート	P50/INTP1/SI00/RxD0/ TOOLRxD/DALIRxD0/ SDA00/TRGIOA/(TRJ00)/ (TI03)/(VCOUT3)	ポート5。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50, P55の入力はTTL入力バッファに設定可能。 P50, P51, P55の出力はN-chオープン・ドレイン出力[EVDD耐圧]に設定可能。
P51	7-1-13			P51/INTP2/SO00/TxD0/ TOOLTxD/DALITxD0/ TRGIOB/(VCOUT2)	
P52	7-1-3			P52/(INTP1)	
P53	7-1-3			P53/(INTP2)	
P54	7-1-3			P54/(INTP3)	
P55	8-1-10			P55/(PCLBUZ1)/(SCK00)/ (INTP4)	
P60	12-38-2	入出力	入力ポート	P60/CCD04/SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60, P61はN-chオープン・ドレイン出力[6 V耐圧]。 P62, P63では、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。
P61	12-38-2			P61/CCD05/SDAA0	
P62	7-38-3			P62/CCD02/SSI00	
P63	7-38-3			P63/CCD03	

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P70	7-1-7	入出力	入力ポート	P70/(TRDI0B0)/KR0/ SCK21/SCL21	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P73の入力はTTL入力バッファに設定可能。 P71-P74の出力はN-chオープン・ドレイン出力 [EVDD耐圧]に設定可能。
P71	7-1-13			P71/KR1/SI21/SDA21/ (TI01)/(TO01)/(TRDI0D0)	
P72	7-1-13			P72/KR2/SO21/(TxD1)/ (TRDIOA1)	
P73	8-1-13			P73/KR3/(RxD1)/ (TRDIOC1)/SO01	
P74	7-1-13			P74/KR4/INTP8/SI01/ SDA01/(TRDIOB1)	
P75	7-1-7			P75/KR5/INTP9/SCK01/ SCL01/(TRDI0D1)	
P76	7-1-3			P76/KR6/INTP10/(RxD2)	
P77	7-1-3			P77/KR7/INTP11/(TxD2)	
P120	7-3-3	入出力	アナログ機能	P120/ANI19/IVCMP0/ PGAI0/TRGIDZ/TRGTRG	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力／出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120はアナログ機能に設定可能 ^注 。
P121	7-2-1			入力ポート	
P122	7-2-1		P122/X2/EXCLK/INTP20/ (TO00)		
P123	2-2-1		入力		
P124	2-2-1			P124/XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	P130	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-3	入力	入力ポート	P137/INTP0	
P140	7-1-3	入出力	入力ポート	P140/PCLBUZ0/INTP6	ポート14。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P146, P147はアナログ機能に設定可能 ^注 。
P141	7-1-3			P141/PCLBUZ1/INTP7	
P146	7-3-3		アナログ機能	P146/ANI28	
P147	7-18-2			P147/ANI18/ANO2/ IVCMP3/PGAI3	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ (PMCAxx) で設定します。
(1ビット単位で設定可能)

備考 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。
詳細は、**図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット**～**図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマット**を参照してください。

2.2 ポート以外の端子機能

2.2.1 製品別の搭載機能

(1/5)

機能名称	64ピン	52ピン	48ピン	44ピン	40ピン	32ピン	30ピン	25ピン	24ピン	20ピン
ANI0	○	○	○	○	○	○	○	○	○	○
ANI1	○	○	○	○	○	○	○	○	○	○
ANI2	○	○	○	○	○	○	○	○	○	○
ANI3	○	○	○	○	○	○	○	○	○	○
ANI4	○	○	○	○	○	—	—	—	—	—
ANI5	○	○	○	○	○	—	—	—	—	—
ANI6	○	○	○	○	○	—	—	—	—	—
ANI7	○	○	○	○	—	—	—	—	—	—
ANI16	○	○	—	—	—	—	—	—	—	—
ANI17	○	○	—	—	—	—	—	—	—	—
ANI18	○	○	○	○	○	○	○	○	○	—
ANI19	○	○	○	○	○	○	○	○	○	○
ANI20	○	○	○	○	○	○	○	○	○	○
ANI21	○	○	○	○	○	○	○	○	○	○
ANI22	○	○	○	○	○	○	○	○	○	○
ANI23	○	○	○	○	○	○	○	○	○	○
ANI24	○	○	○	○	○	○	○	○	—	○
ANI25	○	○	○	○	○	○	○	○	—	—
ANI26	○	○	○	○	○	○	○	○	○	—
ANI27	○	○	○	○	○	○	○	○	—	—
ANI28	○	○	○	○	—	—	—	—	—	—
ANI29	○	○	○	○	○	○	○	○	○	○
ANI30	○	○	○	○	○	○	○	○	○	○
ANO0	○	○	○	○	○	○	○	○	○	○
ANO1	○	○	○	○	○	○	○	○	○	○
ANO2	○	○	○	○	○	○	○	○	○	—
IVCMP0	○	○	○	○	○	○	○	○	○	○
IVCMP1	○	○	○	○	○	○	○	○	○	○
IVCMP2	○	○	○	○	○	○	○	○	○	○
IVCMP3	○	○	○	○	○	○	○	○	○	—
IVREF0	○	○	○	○	○	○	○	○	○	—
IVREF1	○	○	○	○	○	○	○	○	○	○
VCOUT0	○	○	○	○	○	○	○	○	○	○
VCOUT1	○	○	○	○	○	○	○	○	○	○
VCOUT2	○	○	○	○	○	○	○	○	○	○
VCOUT3	○	○	○	○	○	○	○	○	○	—

(2/5)

機能名称	64ピン	52ピン	48ピン	44ピン	40ピン	32ピン	30ピン	25ピン	24ピン	20ピン
PGAI0	○	○	○	○	○	○	○	○	○	○
PGAI1	○	○	○	○	○	○	○	○	○	○
PGAI2	○	○	○	○	○	○	○	○	○	○
PGAI3	○	○	○	○	○	○	○	○	○	—
PGAI4	○	○	○	○	○	○	○	○	○	○
PGAGND	○	○	○	○	○	○	○	○	○	○
PGAO	○	○	○	○	○	○	○	○	○	○
CCD00	○	○	○	○	○	○	○	○	○	—
CCD01	○	○	○	○	○	○	○	○	○	—
CCD02	○	○	○	○	○	○	—	—	—	—
CCD03	○	○	○	○	—	—	—	—	—	—
CCD04	○	○	○	○	○	○	○	—	—	—
CCD05	○	○	○	○	○	○	○	—	—	—
CCD06	○	○	○	○	○	○	○	○	○	○
CCD07	○	○	○	○	○	○	○	○	○	○
INTP0	○	○	○	○	○	○	○	○	○	○
INTP1	○	○	○	○	○	○	○	—	—	—
INTP2	○	○	○	○	○	○	○	—	—	—
INTP3	○	○	○	○	○	○	○	—	—	—
INTP4	○	○	○	○	○	○	○	—	—	—
INTP5	○	○	○	○	○	○	○	○	○	—
INTP6	○	○	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)
INTP7	○	(○)	(○)	(○)	(○)	(○)	(○)	(○)	(○)	(○)
INTP8	○	○	○	—	—	—	—	—	—	—
INTP9	○	○	○	—	—	—	—	—	—	—
INTP10	○	○	—	—	—	—	—	—	—	—
INTP11	○	○	—	—	—	—	—	—	—	—
INTP20	○	○	○	○	○	○	○	○	○	○
INTP21	○	○	○	○	○	○	○	○	○	—
KR0	○	○	○	○	○	—	—	—	—	—
KR1	○	○	○	○	○	—	—	—	—	—
KR2	○	○	○	○	○	—	—	—	—	—
KR3	○	○	○	○	○	—	—	—	—	—
KR4	○	○	○	—	—	—	—	—	—	—
KR5	○	○	○	—	—	—	—	—	—	—
KR6	○	○	—	—	—	—	—	—	—	—
KR7	○	○	—	—	—	—	—	—	—	—
PCLBUZ0	○	○	○	○	○	○	○	—	—	—
PCLBUZ1	○	○	○	○	○	○	○	○	○	○
REGC	○	○	○	○	○	○	○	○	○	○

(3/5)

機能名称	64ピン	52ピン	48ピン	44ピン	40ピン	32ピン	30ピン	25ピン	24ピン	20ピン
RTC1HZ	○	○	○	○	○	○	○	—	—	—
RESET	○	○	○	○	○	○	○	○	○	○
RxD0	○	○	○	○	○	○	○	(○)	(○)	—
RxD0_1	○	○	○	—	—	—	—	—	—	—
RxD1	○	○	○	○	○	○	○	○	○	○
RxD2	○	○	○	○	○	○	○	○	○	○
TxD0	○	○	○	○	○	○	○	(○)	(○)	—
TxD0_1	○	○	○	—	—	—	—	—	—	—
TxD1	○	○	○	○	○	○	○	○	○	○
TxD2	○	○	○	○	○	○	○	○	○	○
SCK00	○	○	○	○	○	○	○	—	—	—
SCK01	○	○	○	—	—	—	—	—	—	—
SCK10	○	—	—	—	—	—	—	—	—	—
SCK11	○	○	○	○	○	○	○	○	○	○
SCK20	○	○	○	○	○	○	○	○	○	○
SCK21	○	○	○	○	○	—	—	—	—	—
SCL00	○	○	○	○	○	○	○	—	—	—
SCL01	○	○	○	—	—	—	—	—	—	—
SCL10	○	—	—	—	—	—	—	—	—	—
SCL11	○	○	○	○	○	○	○	○	○	○
SCL20	○	○	○	○	○	○	○	○	○	○
SCL21	○	○	○	○	○	—	—	—	—	—
SDA00	○	○	○	○	○	○	○	—	—	—
SDA01	○	○	○	—	—	—	—	—	—	—
SDA10	○	—	—	—	—	—	—	—	—	—
SDA11	○	○	○	○	○	○	○	○	○	○
SDA20	○	○	○	○	○	○	○	○	○	○
SDA21	○	○	○	○	○	—	—	—	—	—
SI00	○	○	○	○	○	○	○	—	—	—
SI01	○	○	○	—	—	—	—	—	—	—
SI10	○	—	—	—	—	—	—	—	—	—
SI11	○	○	○	○	○	○	○	○	○	○
SI20	○	○	○	○	○	○	○	○	○	○
SI21	○	○	○	○	○	—	—	—	—	—
SSI00	○	○	○	○	○	○	○	—	—	—
SO00	○	○	○	○	○	○	○	—	—	—
SO01	○	○	○	—	—	—	—	—	—	—
SO10	○	—	—	—	—	—	—	—	—	—
SO11	○	○	○	○	○	○	○	○	○	○
SO20	○	○	○	○	○	○	○	○	○	○

(4/5)

機能名称	64ピン	52ピン	48ピン	44ピン	40ピン	32ピン	30ピン	25ピン	24ピン	20ピン
SO21	○	○	○	○	○	—	—	—	—	—
SCLA0	○	○	○	○	○	○	○	(○)	(○)	(○)
SDAA0	○	○	○	○	○	○	○	(○)	(○)	(○)
DALIRxD0	○	○	○	○	○	○	○	(○)	(○)	(○)
DALITxD0	○	○	○	○	○	○	○	(○)	(○)	(○)
TI00	○	○	○	○	○	○	○	○	○	○
TI01	○	○	○	○	○	○	○	○	○	(○)
TI02	○	○	○	○	○	○	○	○	○	(○)
TI03	○	○	○	○	○	○	○	(○)	(○)	(○)
TO00	○	○	○	○	○	○	○	○	○	○
TO01	○	○	○	○	○	○	○	○	○	(○)
TO02	○	○	○	○	○	○	○	○	○	(○)
TO03	○	○	○	○	○	○	○	(○)	(○)	(○)
TRJIO0	○	○	○	○	○	○	○	○	○	○
TRJO0	○	○	○	○	○	○	○	○	○	○
TRDCLK	○	○	○	○	○	○	○	○	○	—
TRDIOA0	○	○	○	○	○	○	○	○	○	—
TRDIOA1	○	○	○	○	○	○	○	○	○	○
TRDIOB0	○	○	○	○	○	○	○	○	○	○
TRDIOB1	○	○	○	○	○	○	○	○	○	○
TRDIOC0	○	○	○	○	○	○	○	○	○	(○)
TRDIOC1	○	○	○	○	○	○	○	○	○	○
TRDIOD0	○	○	○	○	○	○	○	○	○	○
TRDIOD1	○	○	○	○	○	○	○	○	○	○
TRGIOA	○	○	○	○	○	○	○	(○)	(○)	—
TRGIOB	○	○	○	○	○	○	○	(○)	(○)	—
TRGCLKA	○	○	○	○	○	○	○	○	○	○
TRGCLKB	○	○	○	○	○	○	○	○	○	○
TRGIDZ	○	○	○	○	○	○	○	○	○	○
TRGTRG	○	○	○	○	○	○	○	○	○	○
TKBO00	○	○	○	○	○	○	○	○	○	○
TKBO01	○	○	○	○	○	○	○	○	○	○
TKBO10	○	○	○	○	○	○	○	○	○	○
TKBO11	○	○	○	○	○	○	○	○	○	○
TKBO20	○	○	○	○	○	○	○	○	○	—
TKBO21	○	○	○	○	○	○	○	○	○	—
X1	○	○	○	○	○	○	○	○	○	—
X2	○	○	○	○	○	○	○	○	○	—
EXCLK	○	○	○	○	○	○	○	○	○	○

(5/5)

機能名称	64ピン	52ピン	48ピン	44ピン	40ピン	32ピン	30ピン	25ピン	24ピン	20ピン
XT1	○	○	○	○	○	○	○	○	○	—
XT2	○	○	○	○	○	○	○	○	○	—
EXCLKS	○	○	○	○	○	○	○	○	○	○
VDD	○	○	○	○	○	○	○	○	○	○
EVDD0	○	—	—	—	—	—	—	—	—	—
VBAT	○	○	○	○	○	—	—	—	—	—
AVREFP	○	○	○	○	○	○	○	○	○	○
AVREFM	○	○	○	○	○	○	○	○	○	○
VSS	○	○	○	○	○	○	○	○	○	○
EVSS0	○	—	—	—	—	—	—	—	—	—
TOOLRxD	○	○	○	○	○	○	○	○	○	○
TOOLTxD	○	○	○	○	○	○	○	○	○	○
TOOL0	○	○	○	○	○	○	○	○	○	○

備考 上表の（○）は、周辺I/Oリダイレクション・レジスタ（PIORx）の対応ビットに1を設定した場合のみ使用可能になります。

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI7, ANI16-ANI30	入力	A/Dコンバータのアナログ入力 (図20 - 63 VDD, AVREFP、アナログ入力端子の処理を参照)
ANO0, ANO1	出力	D/Aコンバータ出力
IVCMP0-IVCMP3	入力	コンパレータのアナログ電圧入力
IVREF0, IVREF1	入力	コンパレータのリファレンス電圧入力
VCOUT0-VCOUT3	出力	コンパレータ出力
PGAI0-PGAI4	入力	PGA電圧入力
PGAGND	入力	PGAリファレンス電圧入力
PGAO	出力	PGA電圧出力
CCD00-CCD07	出力	出力電流制御ポート
INTP0-INTP11, INTP20, INTP21	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ
KR0-KR7	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力/ブザー出力
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ (0.47~1 μF) を介し、VSSに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RTC1HZ	出力	リアルタイム・クロック補正クロック (1 Hz) 出力
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。
RxD0-RxD2	入力	シリアル・インタフェースUART0, UART1, UART2のシリアル・データ入力
TxD0-TxD2	出力	シリアル・インタフェースUART0, UART1, UART2のシリアル・データ出力
SCK00, SCK01, SCK10, SCK11, SCK20, SCK21	入出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21のシリアル・クロック入出力
SCL00, SCL01, SCL10, SCL11, SCL20, SCL21	出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21のシリアル・クロック出力
SDA00, SDA01, SDA10, SDA11, SDA20, SDA21	入出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21のシリアル・データ入出力
SI00, SI01, SI10, SI11, SI20, SI21	入力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21のシリアル・データ入力
SSI00	入力	シリアル・インタフェースCSI00のチップ・セレクト入力
SO00, SO01, SO10, SO11, SO20, SO21	出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21のシリアル・データ出力
SCLA0	入出力	シリアル・インタフェースIICA0のクロック入出力
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力
DALIRxD0	入力	DALIのシリアル・データ入力
DALITxD0	出力	DALIシリアル・データ出力
TI00-TI03	入力	タイマ・アレイ・ユニットのチャンネル0~チャンネル3への外部カウント・クロック/キャプチャ・トリガ入力

(2/2)

機能名称	入出力	機能
TO00-TO03	出力	タイマ・アレイ・ユニットのチャンネル0～チャンネル3のタイマ出力
TRJIO0	入出力	タイマRJ入出力
TRJO0	出力	タイマRJ出力
TRDCLK	入力	タイマRD2外部クロック入力
TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1	入出力	タイマRD2入出力
TRGIOA, TRGIOB	入出力	タイマRG2入出力
TRGCLKA, TRGCLKB	入力	タイマRG2外部クロック入力
TRGIDZ, TRGTRG	入力	タイマRG2外部トリガ入力
TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21	出力	16ビット・タイマKB30, KB31, KB32出力
X1, X2	—	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	—	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力
VDD	—	< 20～52ピン製品の場合 > すべての端子の正電源 < 64ピン製品の場合 > P20-P27, P121-P124, P137およびポート以外の端子の正電源
EVDD0	—	ポート端子 (P20-P27, P121-P124, P137以外) の正電源
VBAT	—	バッテリーバックアップ用電源
AVREFP	入力	A/Dコンバータの基準電圧 (+側) 入力
AVREFM	入力	A/Dコンバータの基準電圧 (-側) 入力
VSS	—	< 20～52ピン製品の場合 > すべての端子のグラウンド電位 < 64ピン製品の場合 > P20-P27, P121-P124, P137およびポート以外の端子のグラウンド電位
EVSS0	—	ポート端子 (P20-P27, P121-P124, P137以外) のグラウンド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

P40/TOOL0	動作モード
EVDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、**39.4 プログラミング方法**を参照してください。

備考 ノイズ対策およびラッチアップ対策として、VDD - VSSライン間へのバイパスコンデンサ (0.1 μF程度) を最短距離でかつ、比較的太い配線を使って接続してください。

2.2.3 VBAT 端子

2.2.3.1 VBAT 端子の機能

VBAT 端子はバックアップ用バッテリーの接続端子です。VBAT 端子にバックアップ用バッテリーを接続することで、VDD 端子への電源供給が遮断されたときに VBAT 端子から電源供給することが可能です。

VBAT 端子は、主にリアルタイム・クロック（RTC）の動作継続を目的とした機能です。

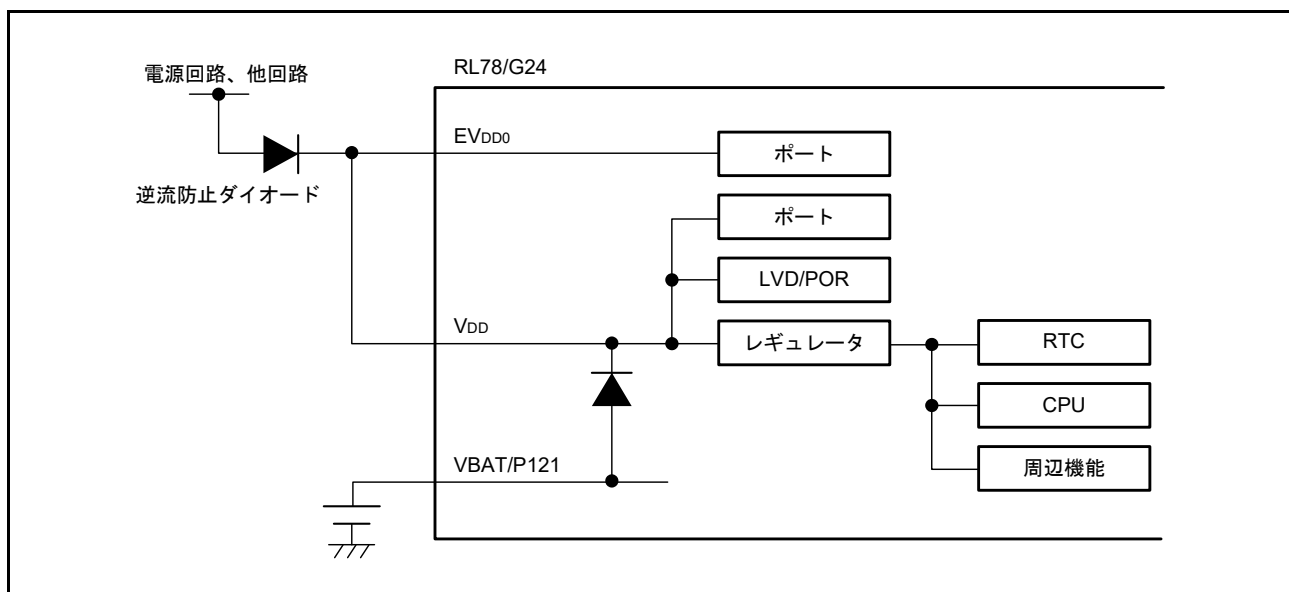
2.2.3.2 VBAT 端子とバックアップ用バッテリーの接続

図 2 - 1 に VBAT 端子の接続例を示します。

VBAT 端子は内部のダイオードを介して VDD に電源を供給します。VBAT 端子内部のダイオードは常に VDD に接続された状態です。VBAT 端子からダイオードを経由して VDD 端子に接続している電源回路や他回路への逆流を防ぐ必要がある場合は、VDD、EVDD0 端子の外部に逆流防止用のダイオードを接続してください。

VBAT 端子の入力電圧範囲は 2.7 ~ 5.5 V です。VBAT 端子から電源を供給している状態で VBAT 端子の入力電圧が 2.7 V 未満になるとダイオードの電圧降下により POR リセットが発生する場合があります。また、VBAT 端子から供給できる電流は 150 μ A (Max.) です。

図 2 - 1 VBAT 端子の接続例



2.2.3.3 VBAT 端子の使用方法

VBAT 端子の初期設定と電源供給を VBAT 端子へ切り替える手順例を示します。なお、VDD 端子の電圧が VBAT 端子の供給電圧を下回る前に処理を完了してください。

また、図 2-2 に VDD 端子と VBAT 端子の切り替え時の状態遷移を示します。

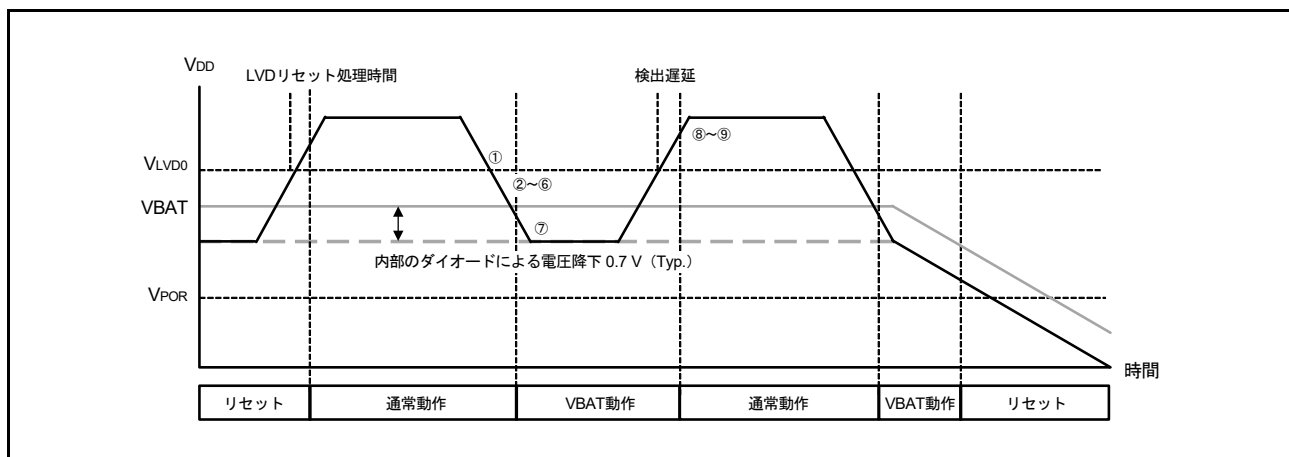
(1) VBAT 端子の初期設定

初期設定として P121 を X1 発振モード（CMC レジスタの EXCLK ビットを 0、OSCSEL ビットを 1、CSC レジスタの MSTOP ビットを 0）に設定してください。

(2) 電源供給を VBAT 端子に切り替える手順例

- ① LVD0 の割り込みモードを使用して、電源電圧（VDD）の低下時に割り込み要求が発生させます。この割り込み要求によって処理を開始します。
- ② LVD0 以外の割り込みを禁止に設定します。
- ③ リアルタイム・クロック（RTC）以外の周辺機能を停止します。
- ④ 各ポートの出力設定を変更し、ポートに電流が流れないようにします。
- ⑤ LVD0 の割り込み要求フラグをクリアします。
- ⑥ LVD0F = 1（VDD < 検出電圧）であることを確認後、CPU がメイン・システム・クロックで動作中の場合は STOP モードへ移行します。CPU がサブシステム・クロックで動作中の場合は HALT モードへ移行します。
- ⑦ LVD0 の割り込み要求が発生するまで状態を維持します。
- ⑧ 電源電圧（VDD）が再投入されると、LVD0 の割り込み要求が発生し、STOP モードおよび HALT モードが解除されます。
- ⑨ LVD0F = 0（VDD ≥ 検出電圧）であることを確認後、周辺機能を再設定し、電源電圧（VDD）供給時の動作に移行します。

図 2-2 VDD 端子と VBAT 端子の切り替え時の状態遷移



VDD 端子と VBAT 端子の切り替えが頻繁に発生する場合は、④と⑤の間で電圧の変動の収まる期間をウエイトすることで VDD 端子と VBAT 端子の切り替えの発生を抑えることができます。

注意 1. バッテリ電源を供給しているときは、メイン・システム・クロックでの動作は禁止です。

注意 2. バッテリ電源を供給しているときは、WDT がカウント動作停止するように設定してください。

また、リセット端子へのロウ・レベルの入力は禁止です。リセット解除時にメイン・システム・クロックで動作を開始し、150 μ A (Max.) を超えるためです。

注意 3. バッテリ電源を使用する場合は、P121 を X1 発振モードに設定してください。P121 を入力設定および出力設定にしないでください。

2.3 未使用端子の処理

表 2 - 2 に各端子の未使用端子処理を示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図 (Top View)、2.1 ポートの端子機能を参照してください。

表2 - 2 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法	
P00-P06	入出力	入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。 出力時：オープンにしてください。	
P10-P17			
P20-P27		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。	
P30, P31		入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。 出力時：オープンにしてください。	
P40/TOOL0		入力時：個別に抵抗を介して、EVDD0に接続またはオープンにしてください。 出力時：オープンにしてください。	
P41-P43		入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。 出力時：オープンにしてください。	
P50-P55		出力時：オープンにしてください。	
P60-P63		入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。 出力時：ポートの出カラッチに0を設定してオープンまたはポートの出カラッチに1を設定し、個別に抵抗を介してEVDD0またはEVSS0に接続してください。	
P70-P77		入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。 出力時：オープンにしてください。	
P120		出力時：オープンにしてください。	
P121-P122		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。	
P123-P124		入力	クロック動作モード制御レジスタ (CMC) のEXCLKSビットに0, OSCSELSビットに1, かつクロック動作ステータス制御レジスタ (CSC) のXTSTOPビットに1を設定し、オープンにしてください。 ^注 または、個別に抵抗を介して、VDDまたはVSSに接続してください。
P130		出力	オープンにしてください。
P137		入力	ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDIS13) のPDIDIS137ビットに1を設定し、オープンにしてください。または、個別に抵抗を介して、VDDまたはVSSに接続してください。
P140, P141, P146, P147	入出力	入力時：個別に抵抗を介して、EVDD0またはEVSS0に接続してください。 出力時：オープンにしてください。	
RESET	入力	VDDに直接接続または抵抗を介して接続してください。	
REGC	—	コンデンサ (0.47~1 μF) を介し、VSSに接続してください。	

注 CPU/周辺ハードウェア・クロック (fCLK) に低速オンチップ・オシレータ・クロック (fIL) を選択したときは、電流が1 μA程度増える場合があります。

備考 EVDD0, EVSS0端子がない製品は、EVDD0をVDDに、EVSS0をVSSに置き換えてください。

2.4 端子ブロック図

2.1.1 20ピン製品～2.1.10 64ピン製品に記載した端子タイプについて、図2-3～図2-28に端子ブロック図を示します。

図2-3 端子タイプ1-1-1の端子ブロック図

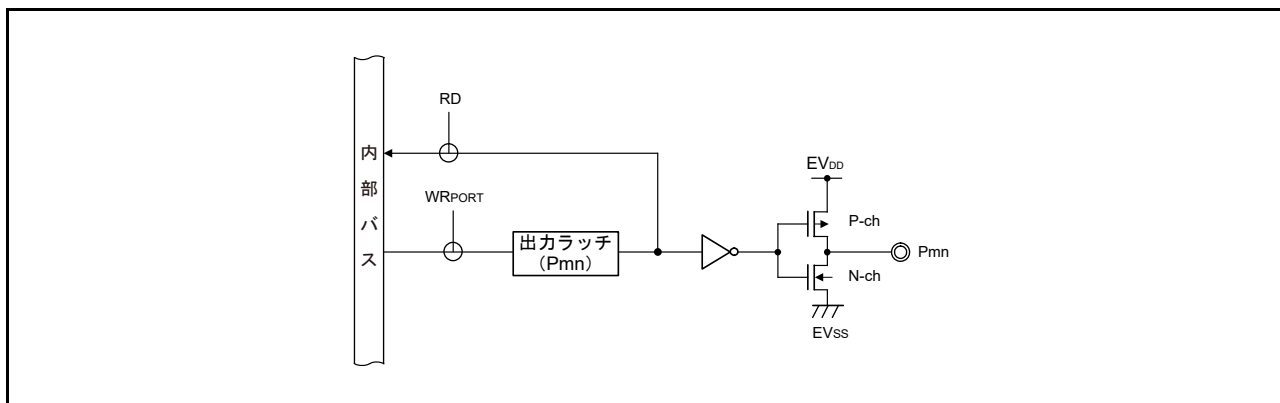


図2-4 端子タイプ2-1-1の端子ブロック図

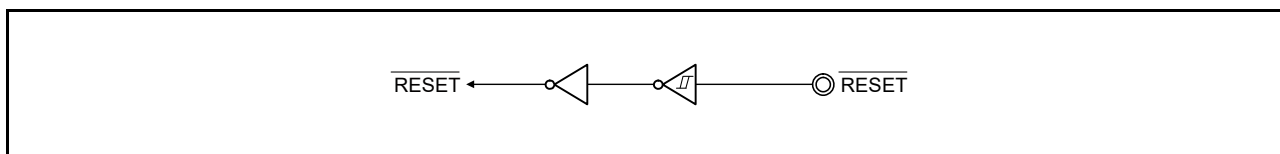
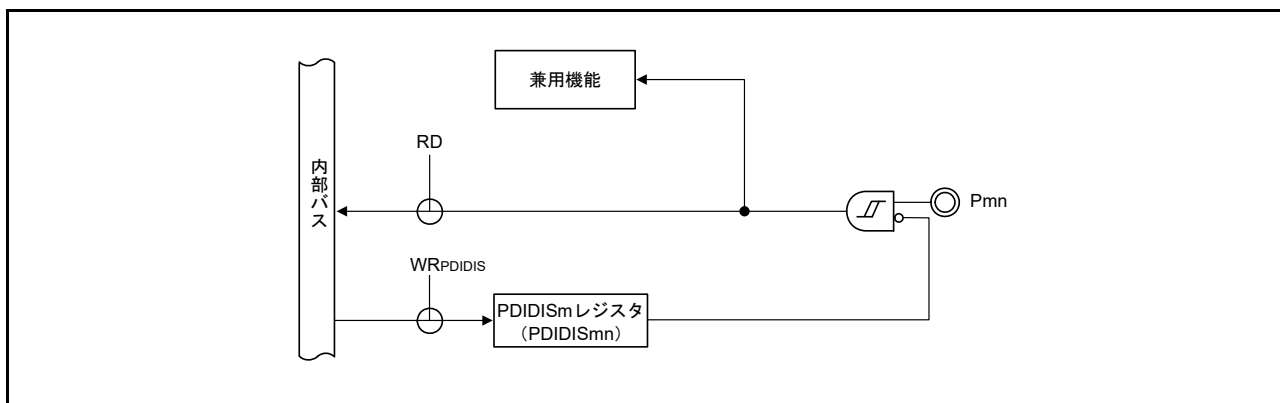
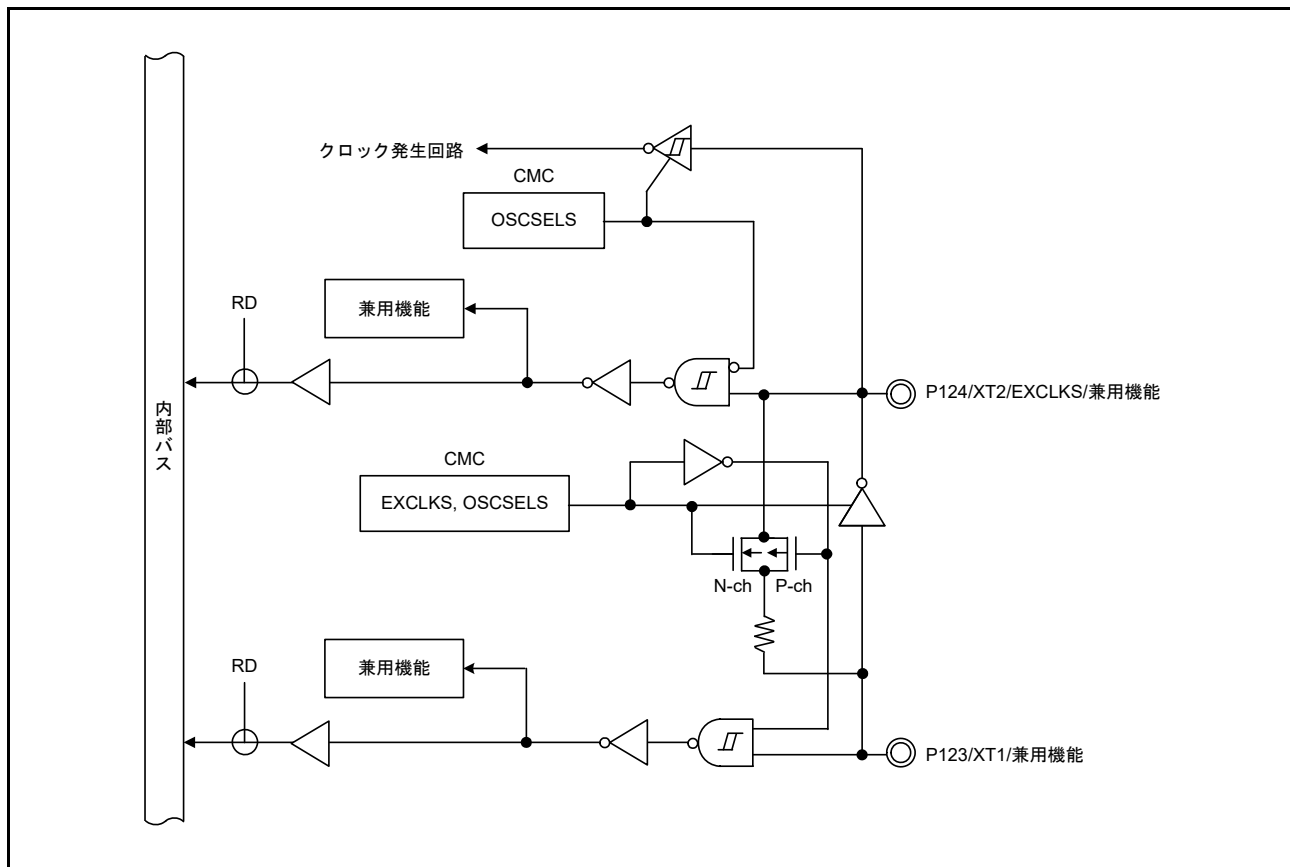


図2-5 端子タイプ2-1-3の端子ブロック図



備考 兼用機能は、2.1 ポートの端子機能を参照してください。

図2-6 端子タイプ2-2-1の端子ブロック図



備考 兼用機能は、2.1 ポートの端子機能を参照してください。

図2-7 端子タイプ4-3-5の端子ブロック図

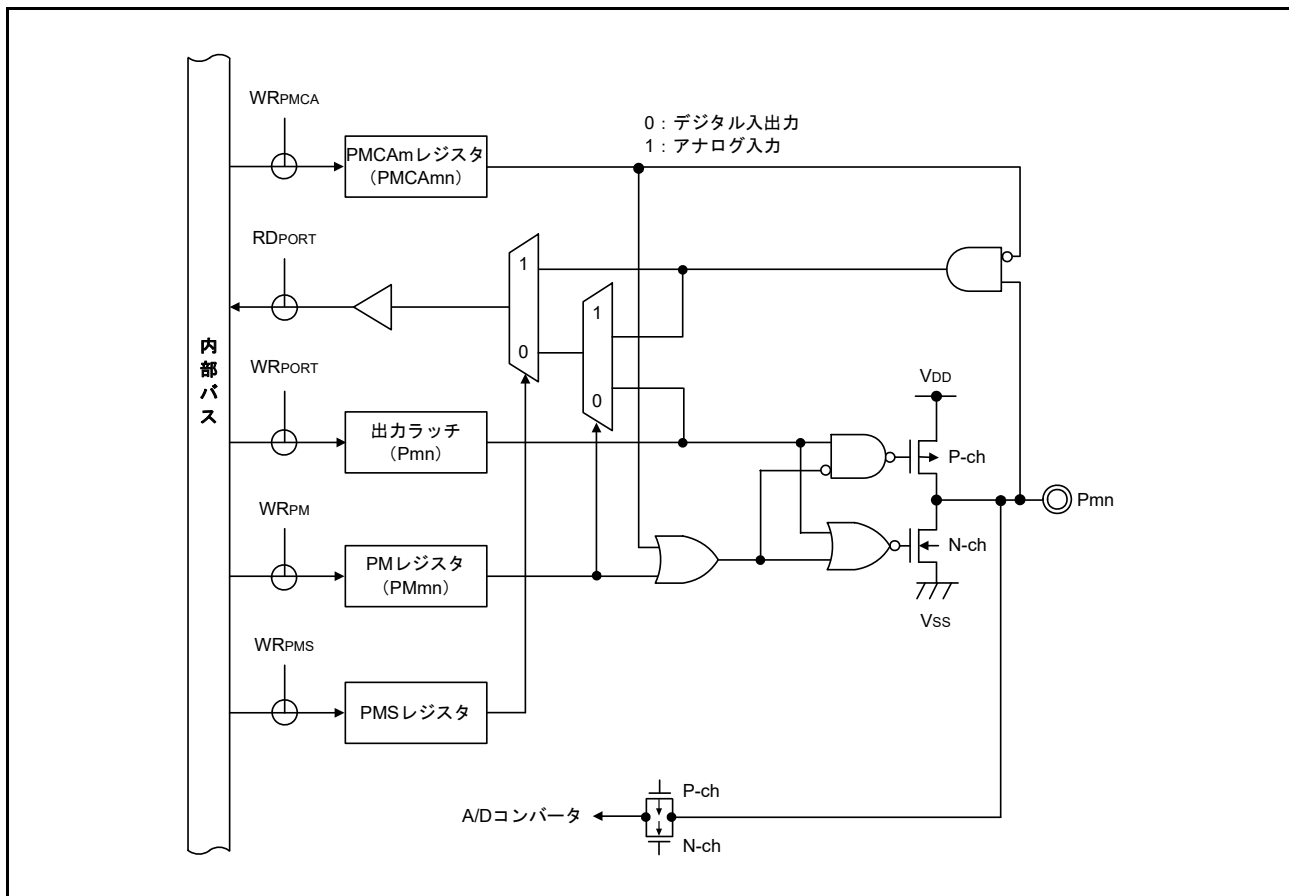


図2-8 端子タイプ4-8-2の端子ブロック図

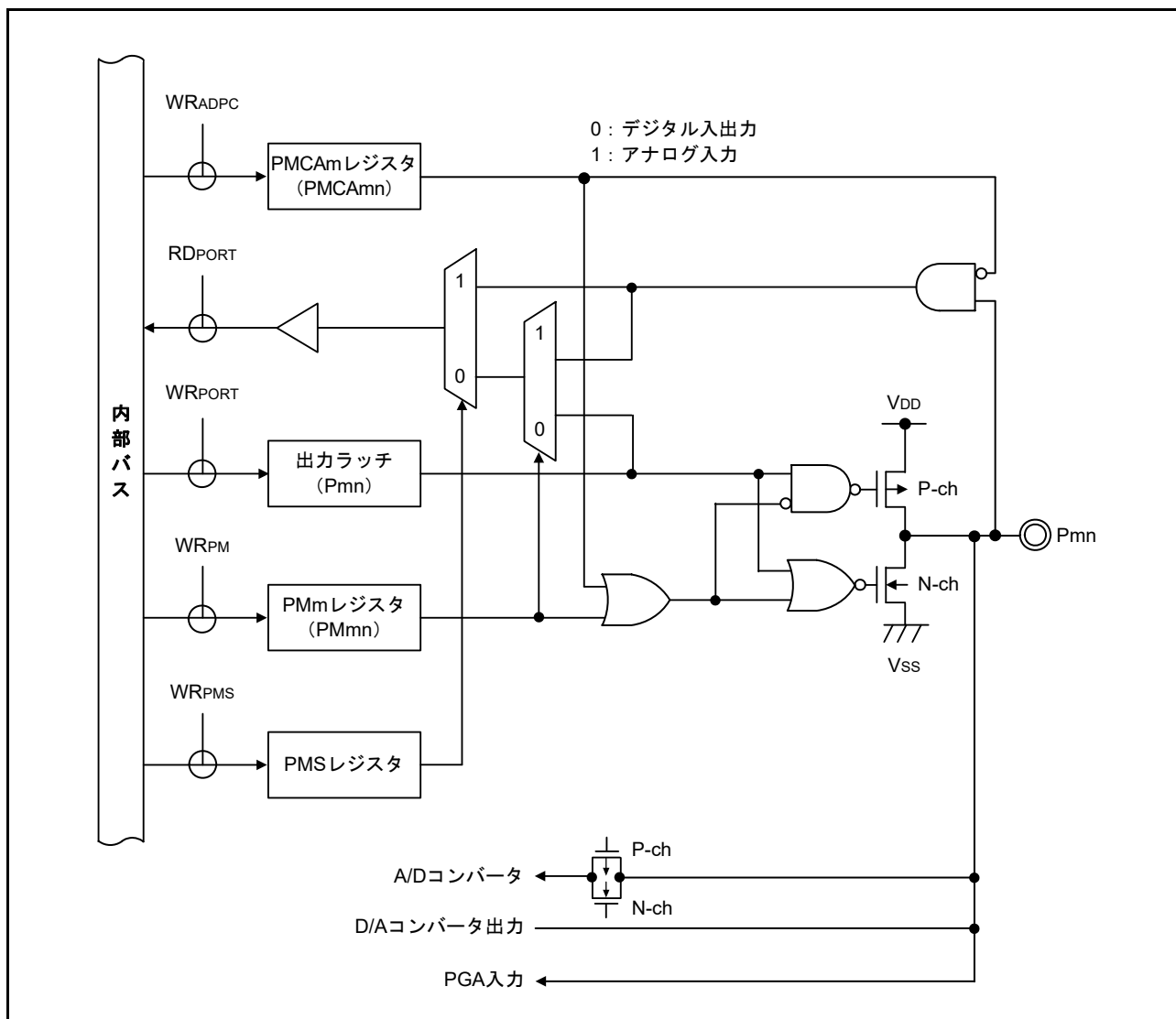
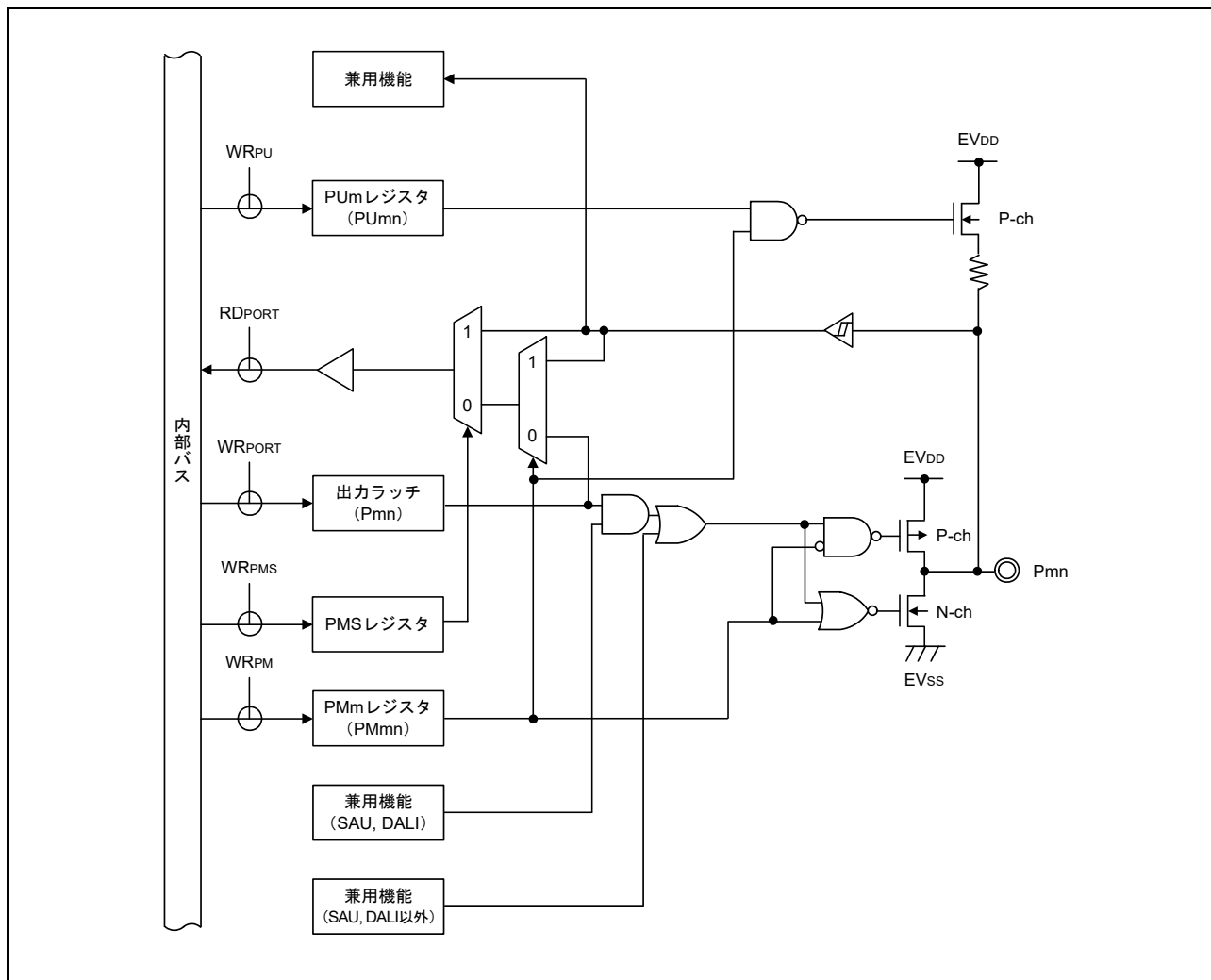


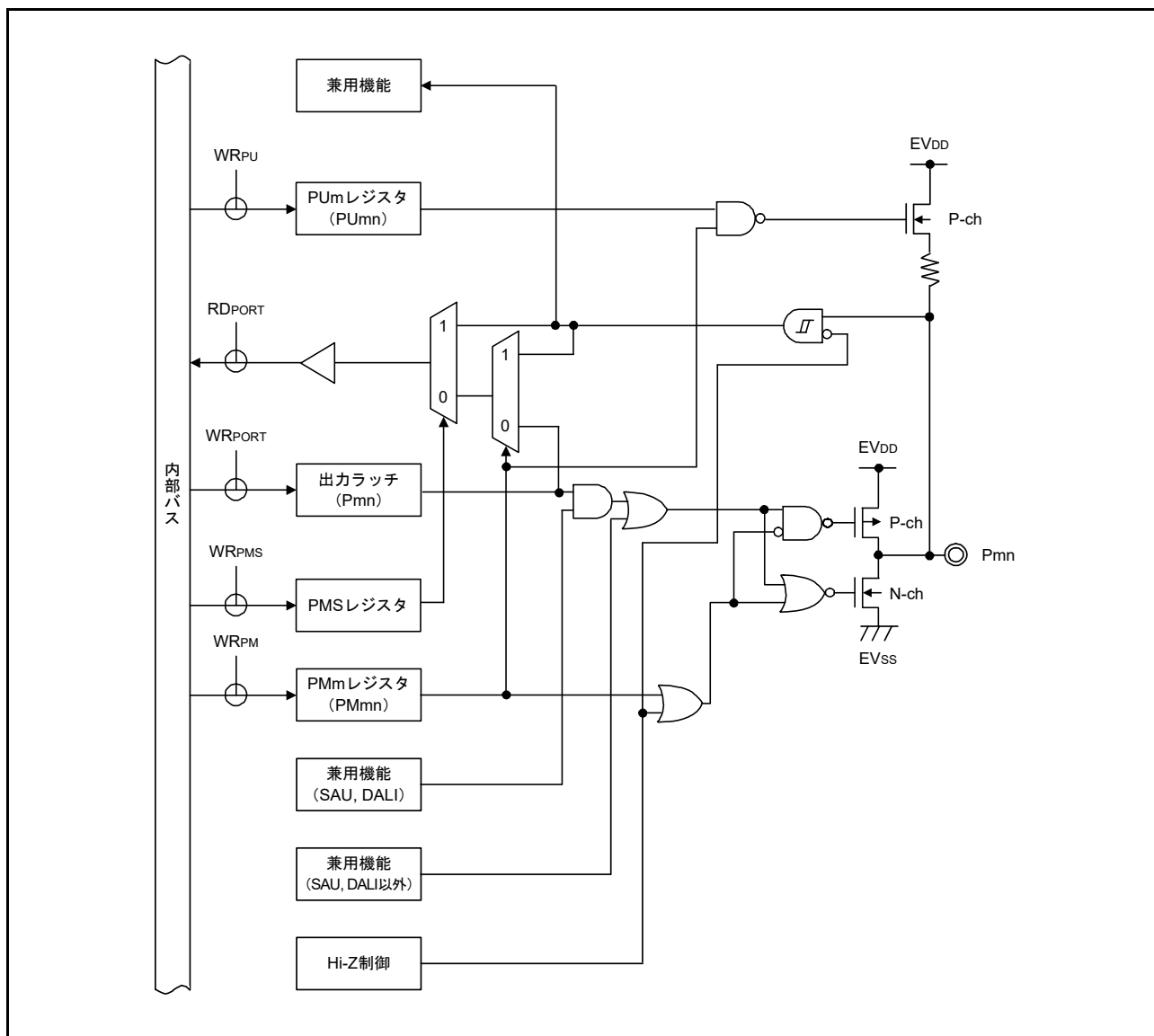
図2-9 端子タイプ7-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

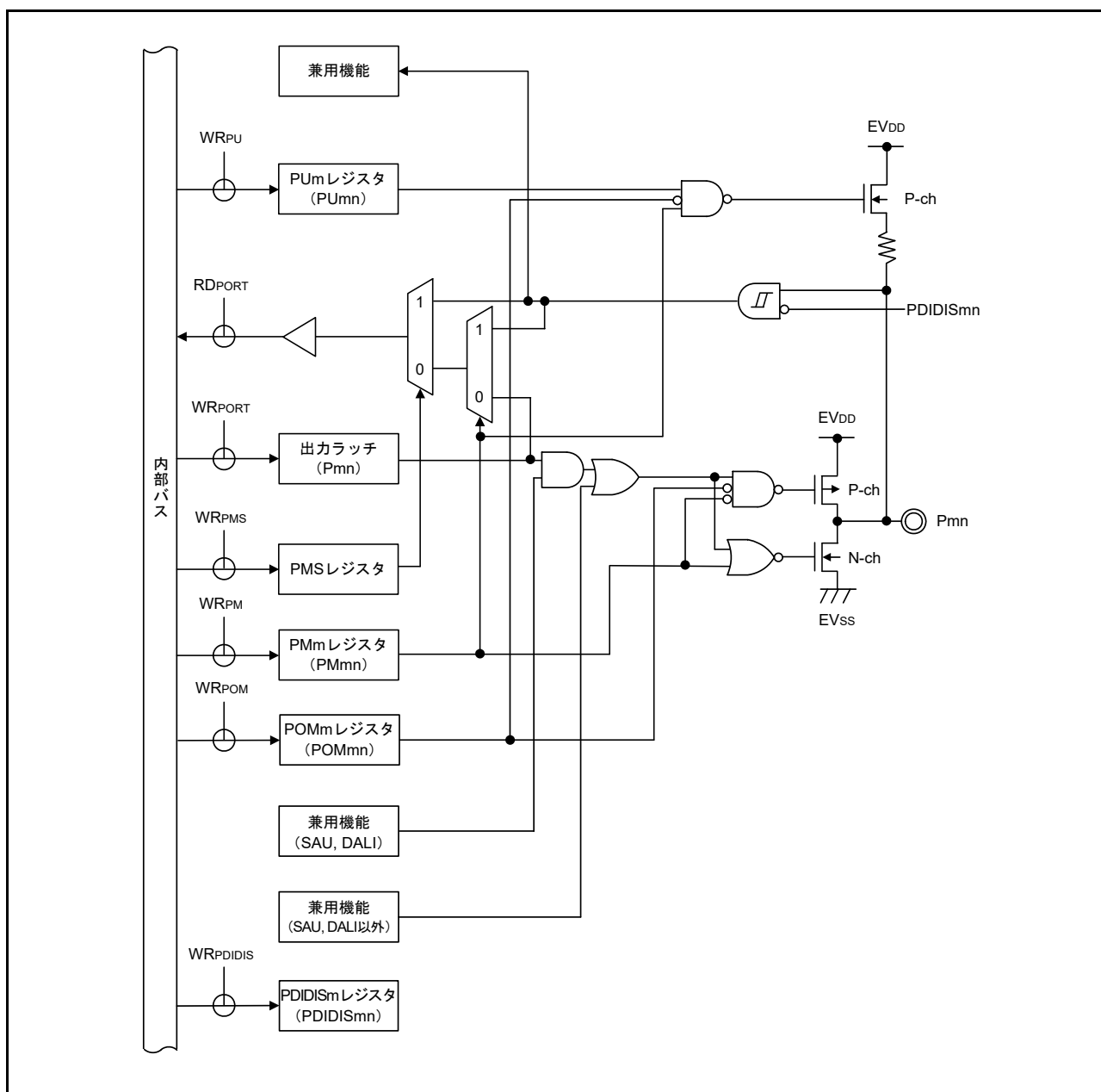
図2 - 10 端子タイプ7-1-7の端子ブロック図



備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インターフェース

図2-11 端子タイプ7-1-11の端子ブロック図

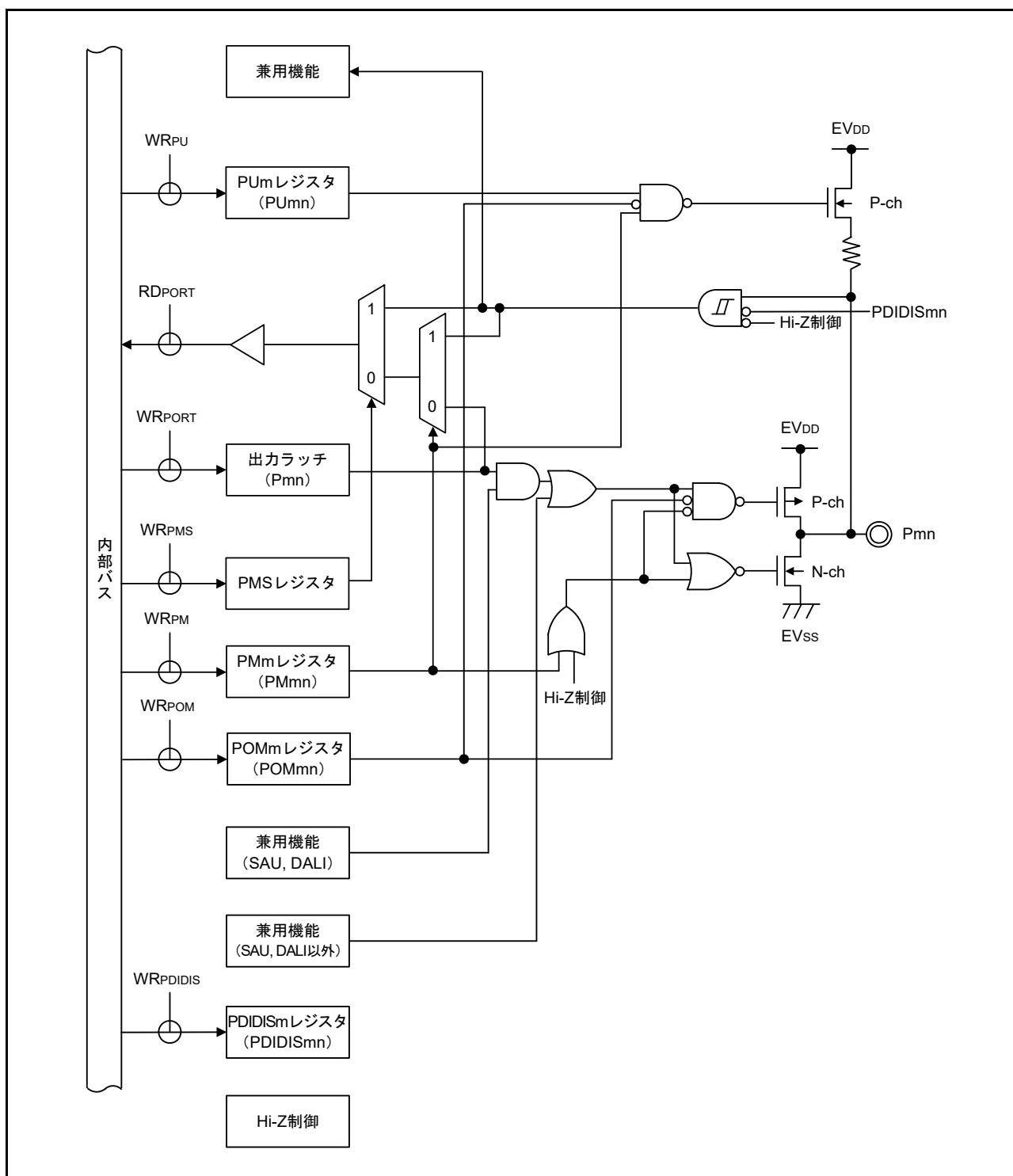


注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インターフェース

図2 - 12 端子タイプ7-1-13の端子ブロック図

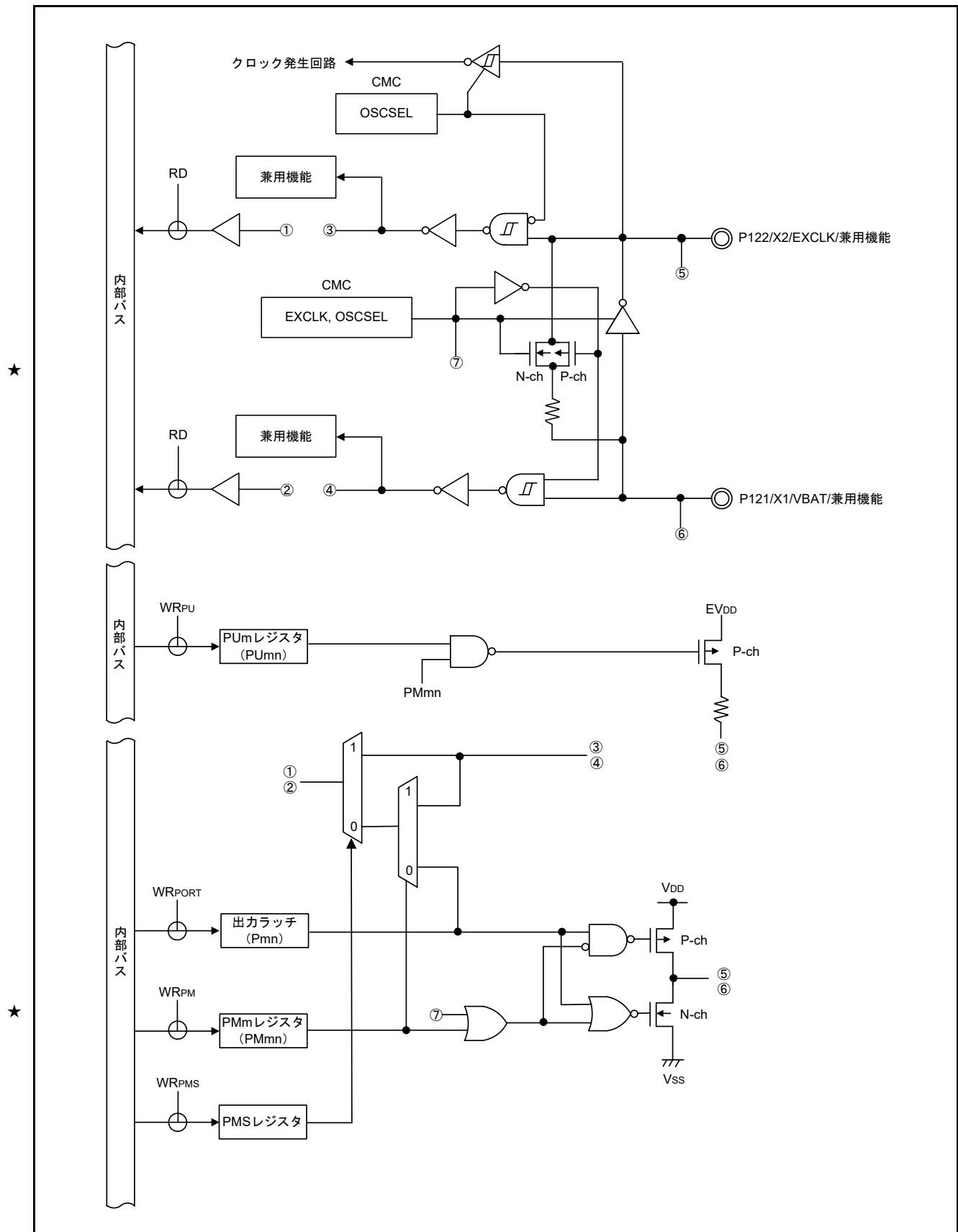


注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

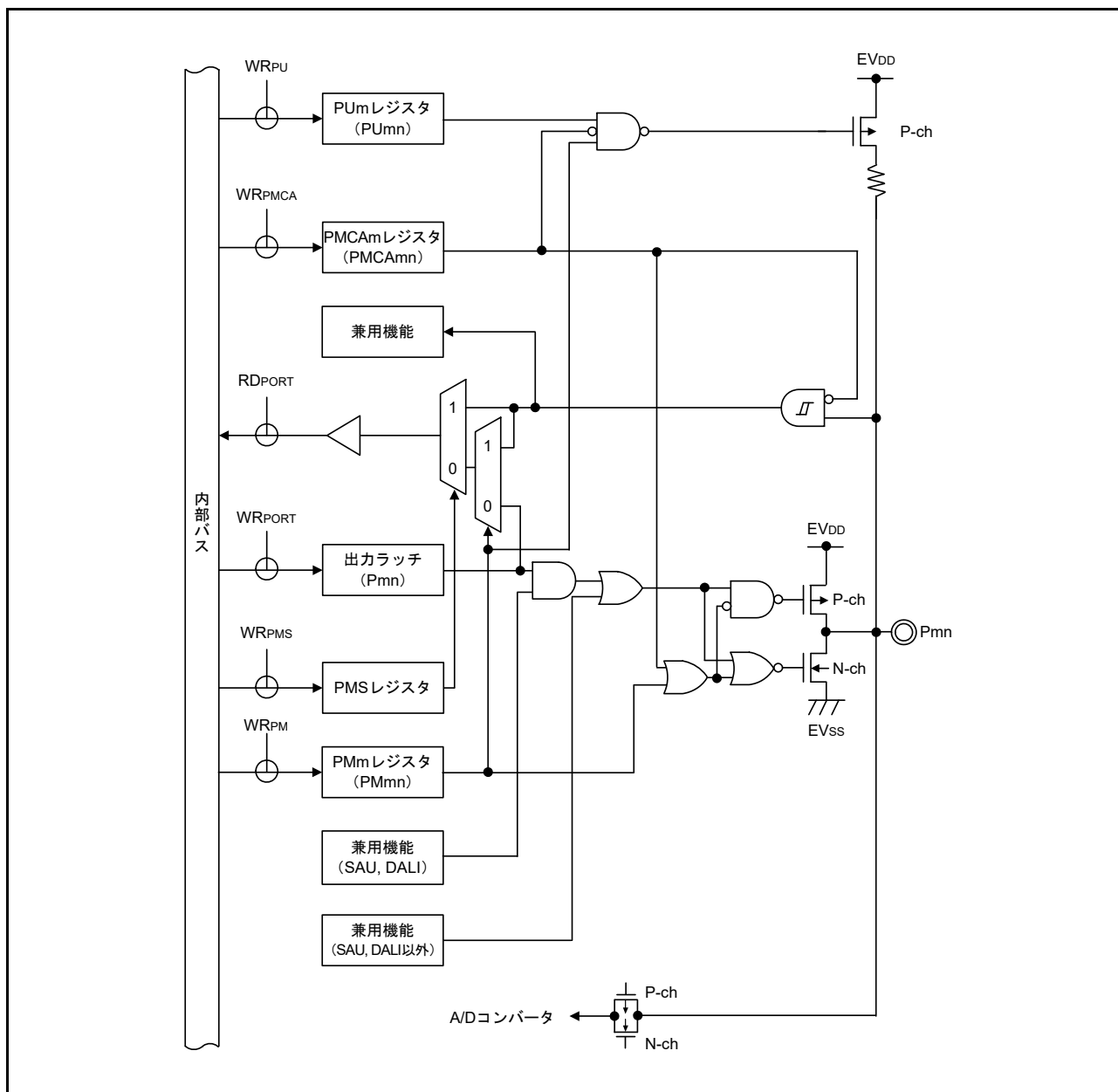
備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

図2-13 端子タイプ7-2-1の端子ブロック図



備考 兼用機能は、2.1 ポートの端子機能を参照してください。

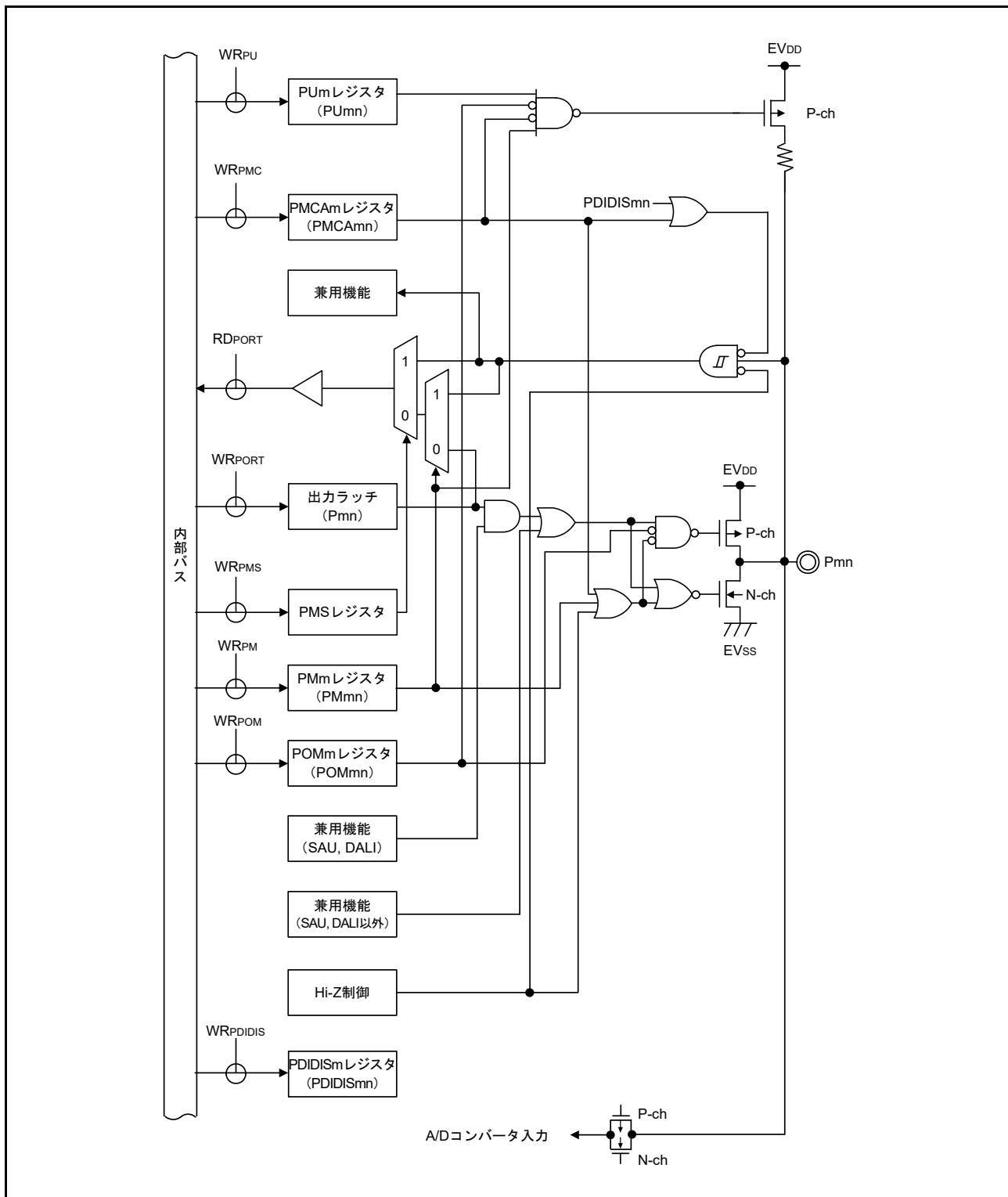
図2 - 14 端子タイプ7-3-3の端子ブロック図



備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インターフェース

図2-15 端子タイプ7-8-1の端子ブロック図

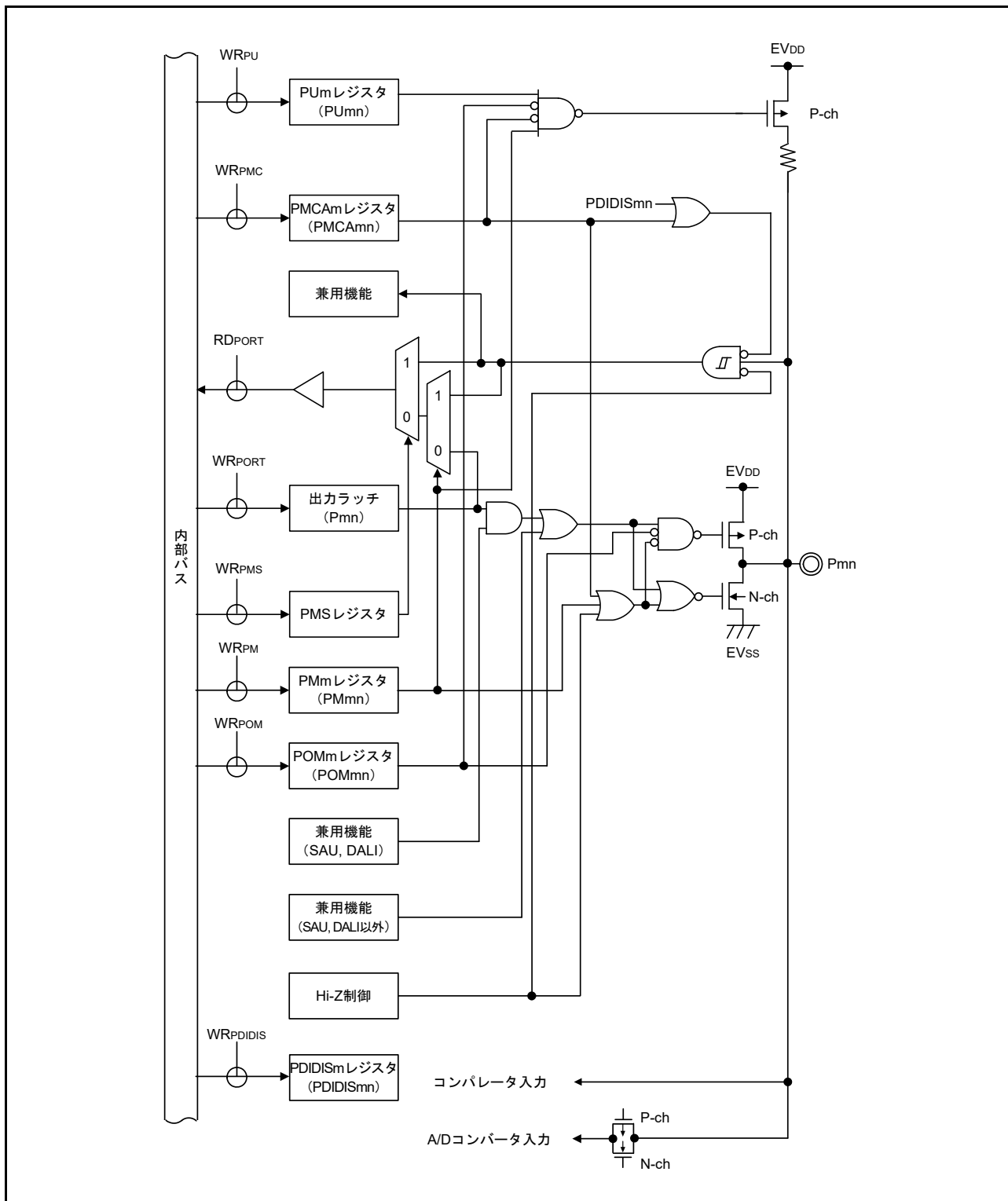


注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

図2 - 16 端子タイプ7-8-2の端子ブロック図

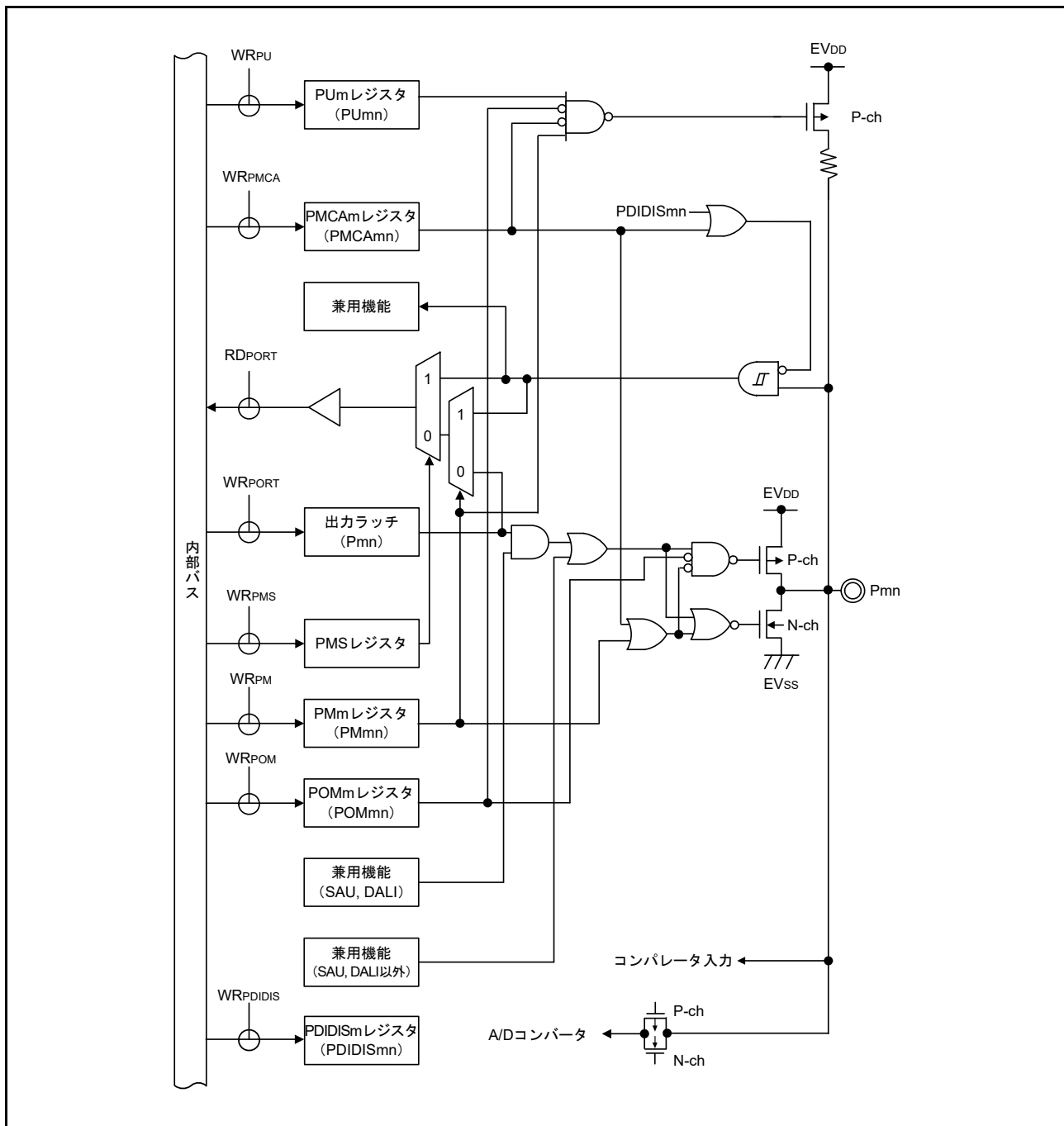


注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

図2 - 17 端子タイプ7-9-6の端子ブロック図

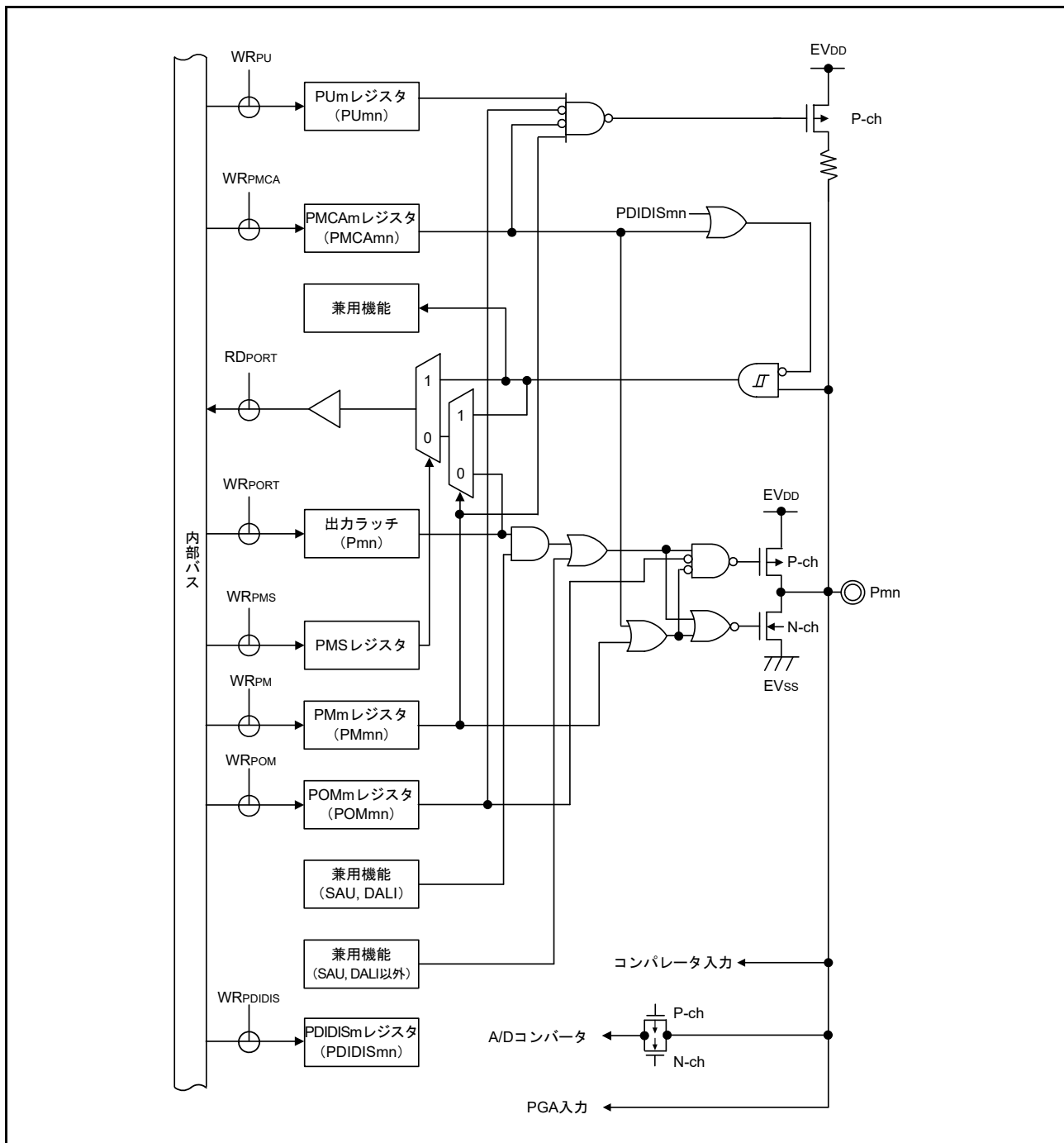


注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インターフェース

図2 - 18 端子タイプ7-18-1の端子ブロック図

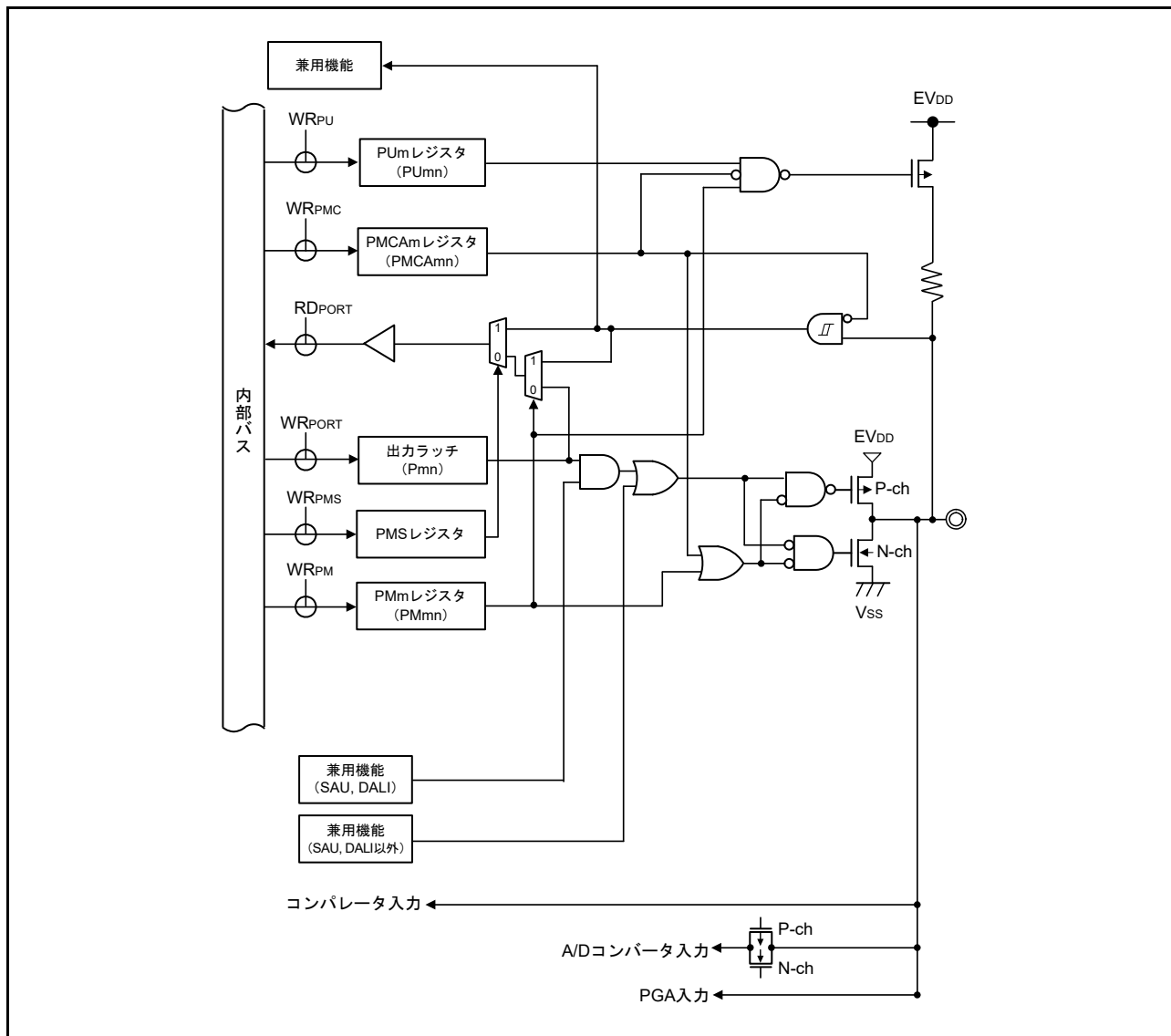


注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

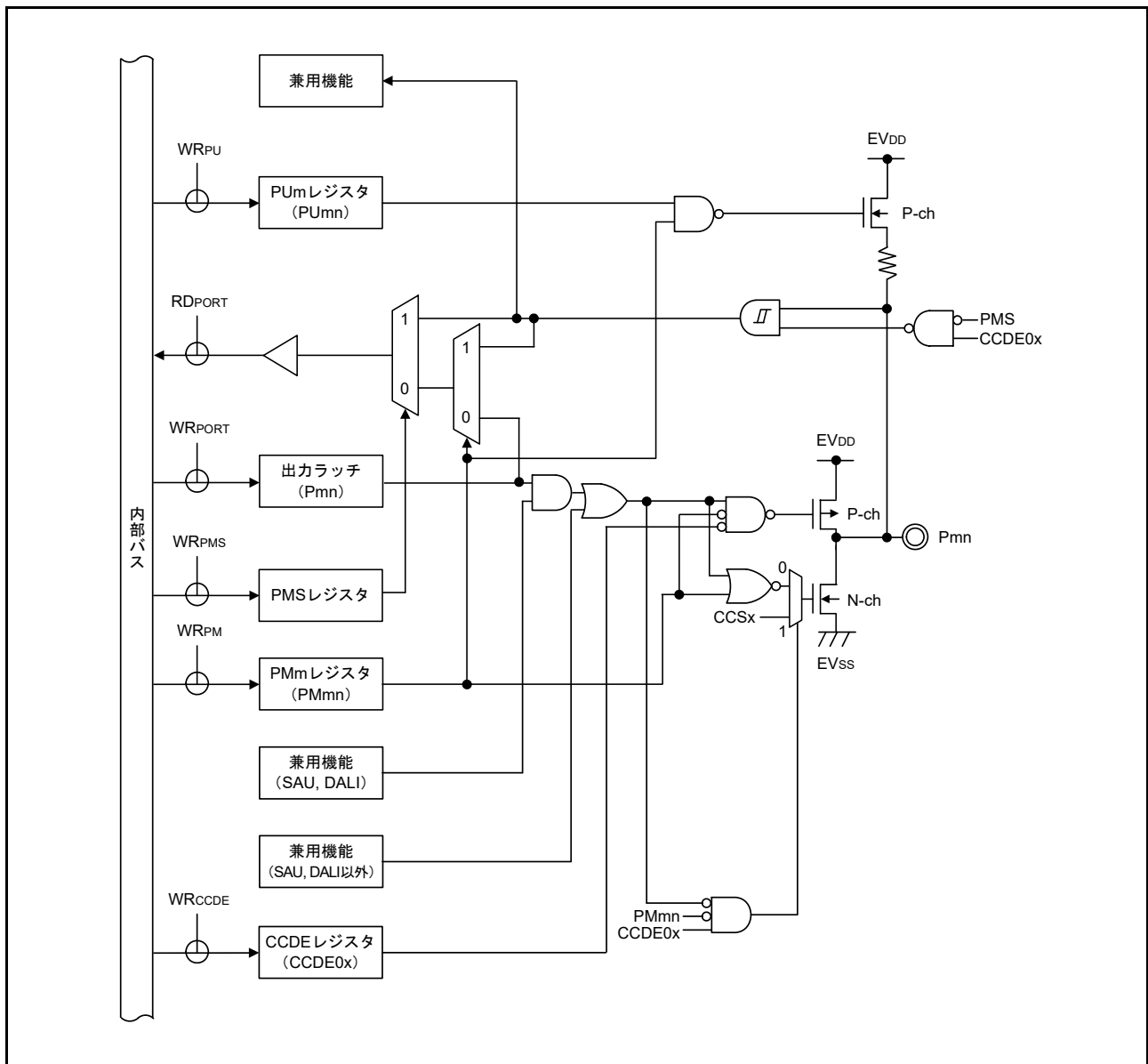
備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

図2 - 19 端子タイプ7-18-2の端子ブロック図



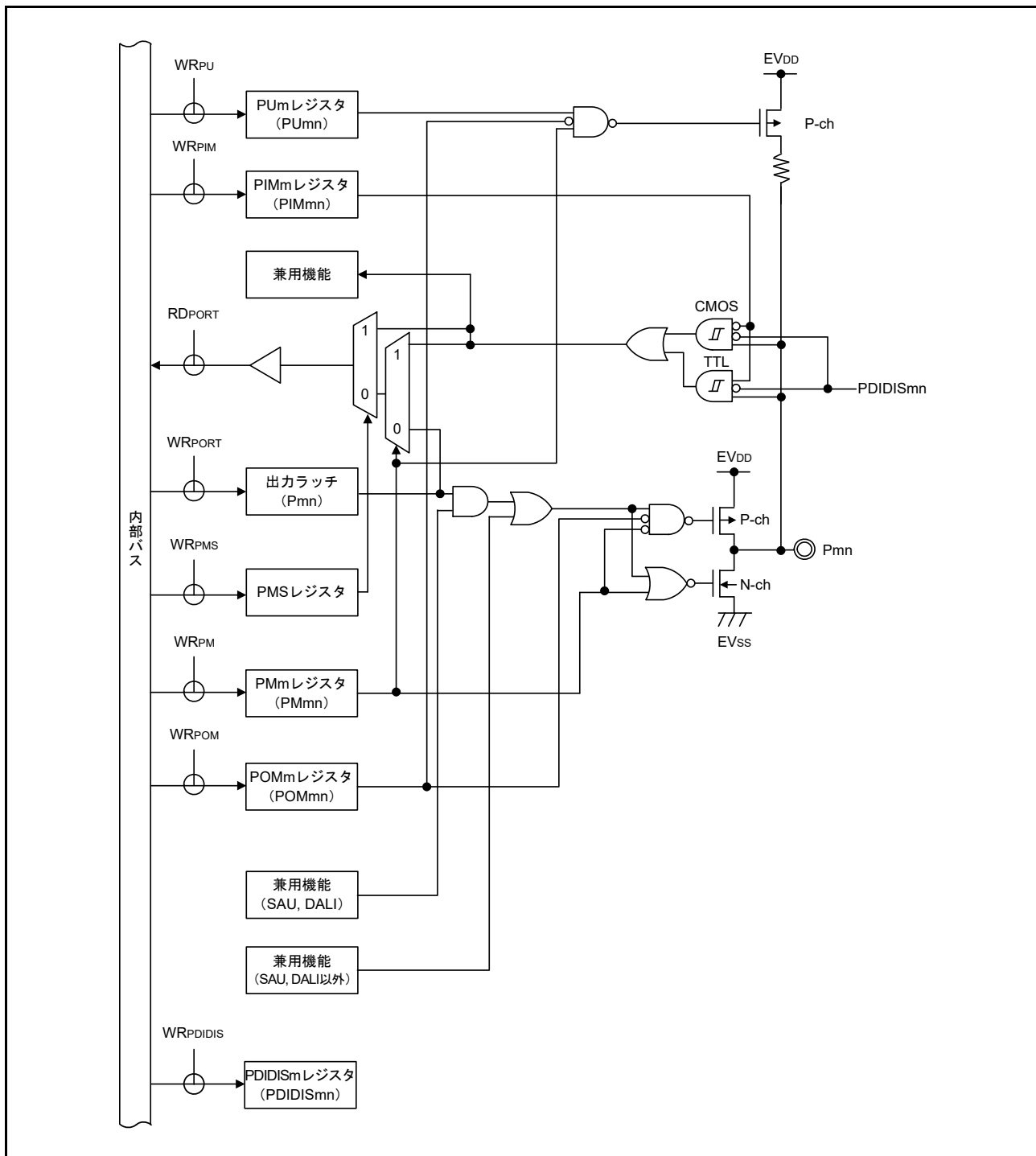
備考 SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

★ 図2 - 20 端子タイプ7-38-3の端子ブロック図



備考 SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

図2-21 端子タイプ8-1-10の端子ブロック図



注意1. ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

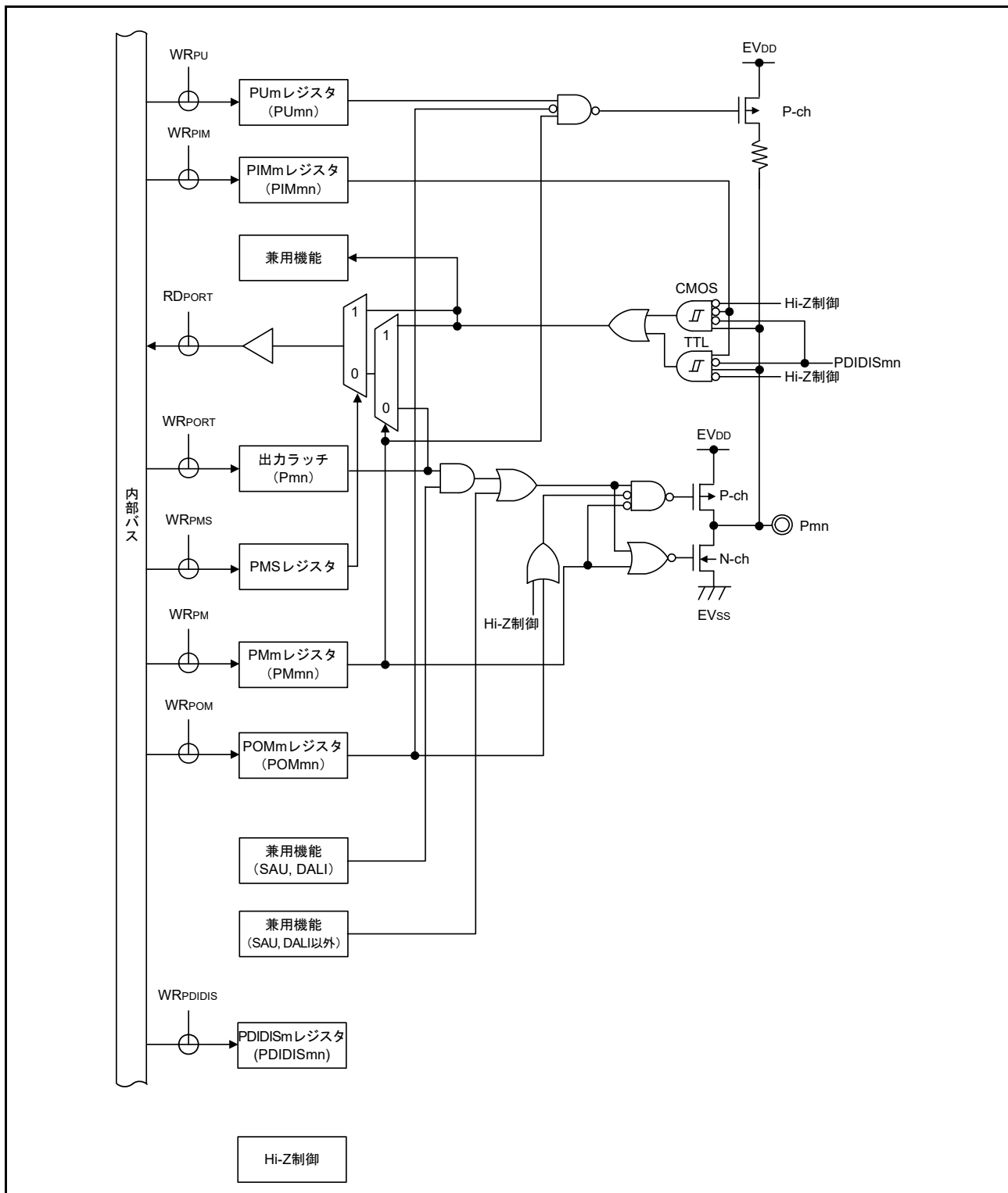
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です

注意2. ポート入力モード・レジスタ (PIMm) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

図2 - 22 端子タイプ8-1-13の端子ブロック図

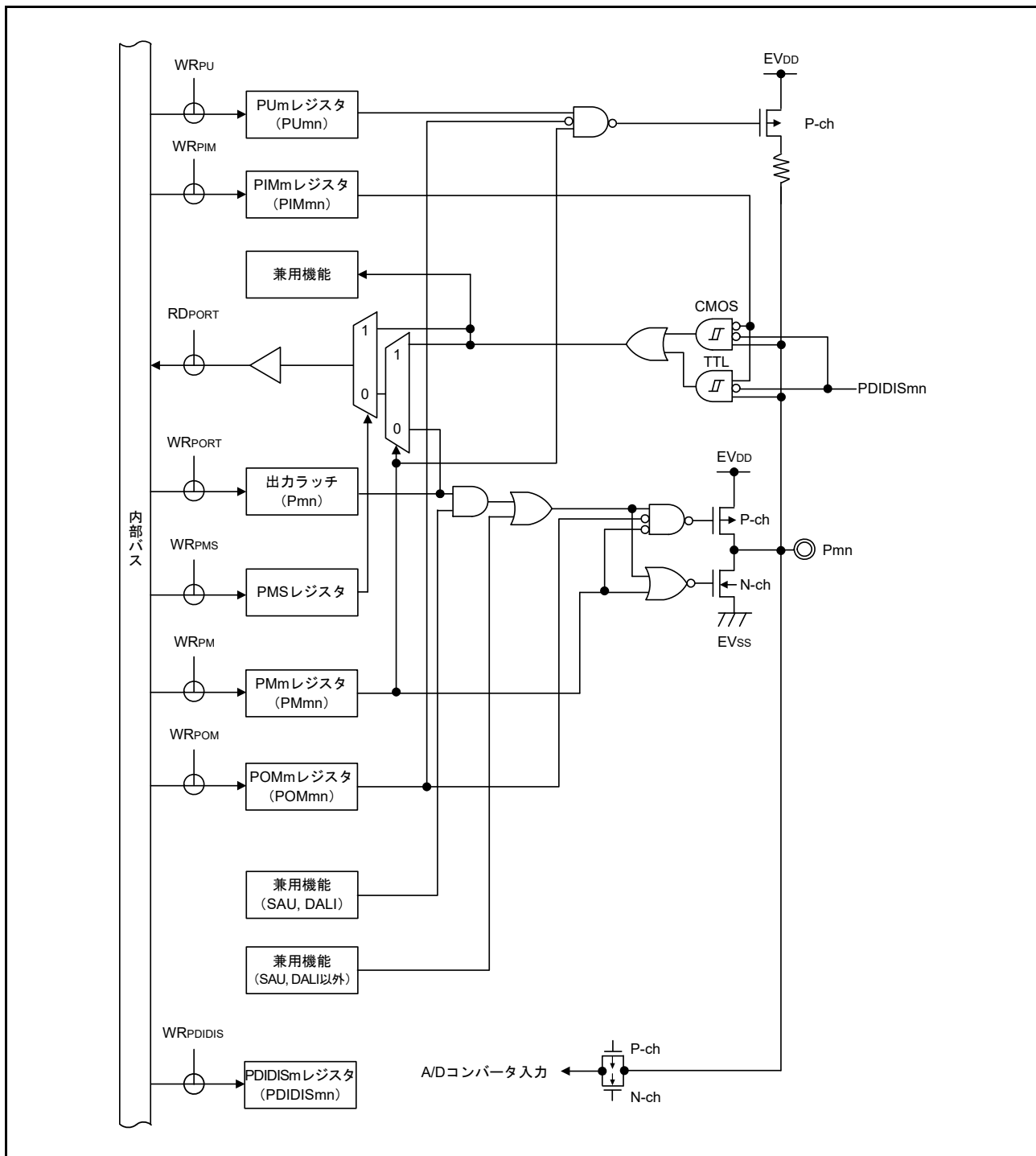


注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

図2-23 端子タイプ8-3-6の端子ブロック図



注意1. ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

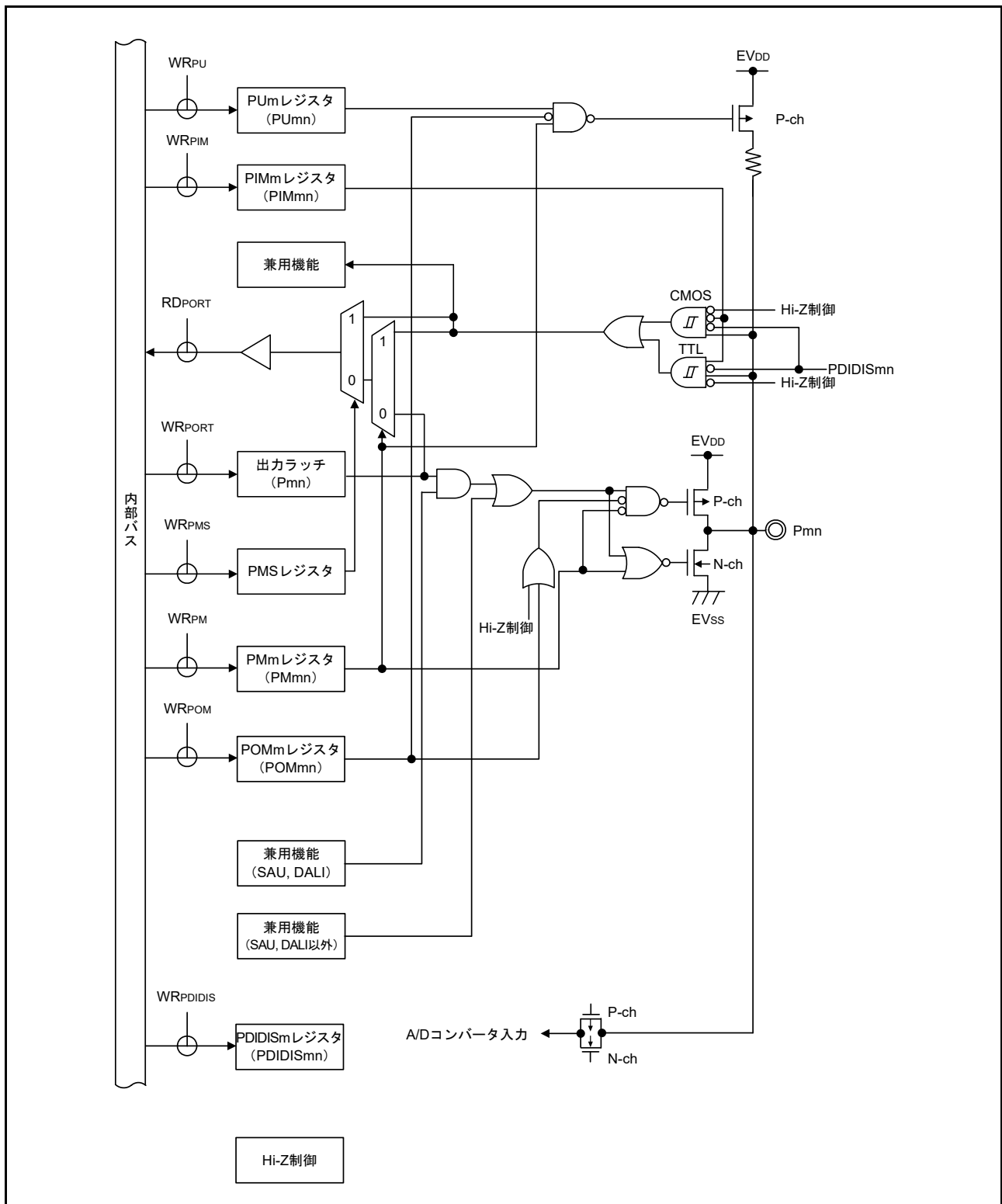
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です

注意2. ポート入力モード・レジスタ (PIMm) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

図2-24 端子タイプ8-3-8の端子ブロック図

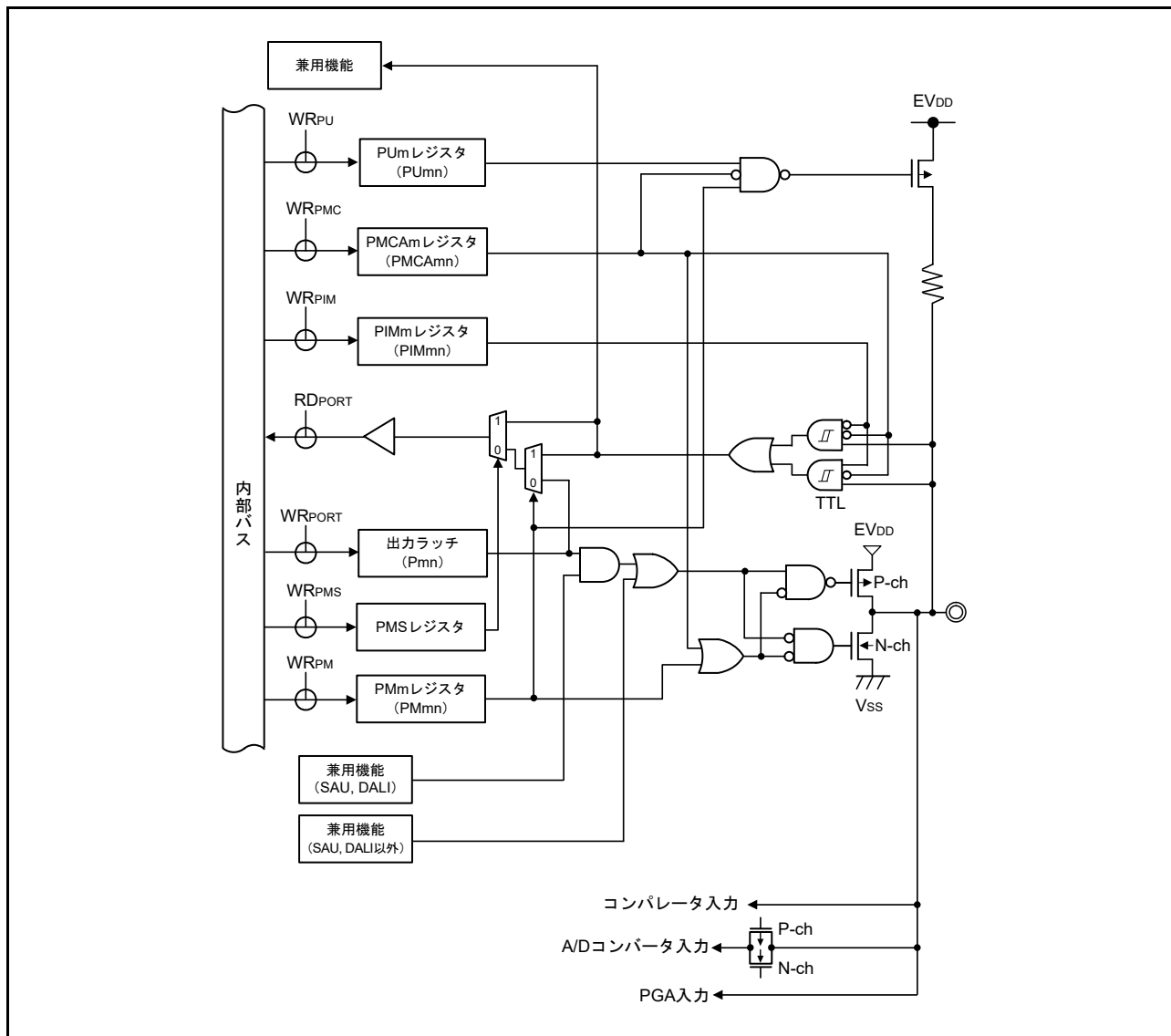


注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

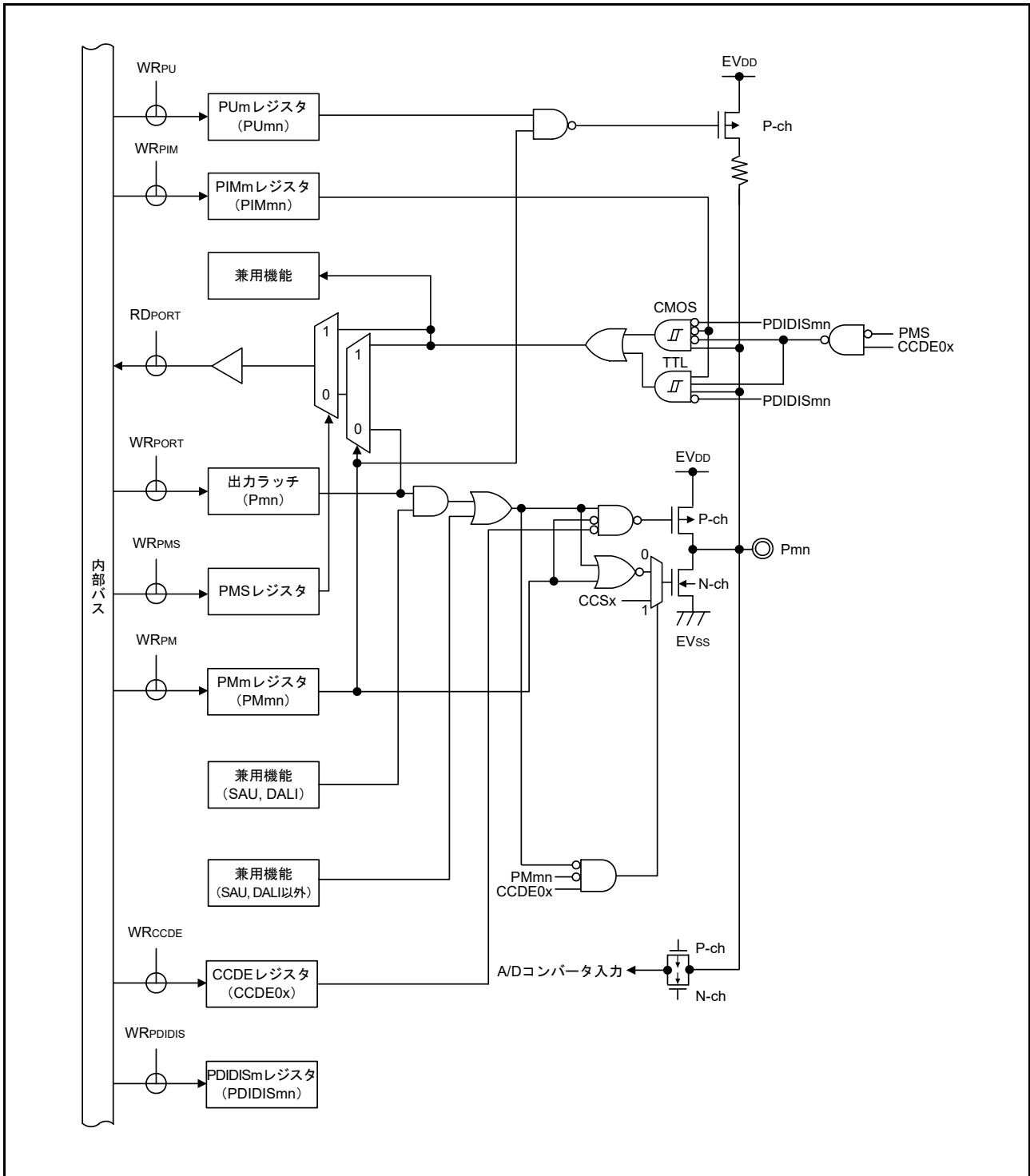
備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インターフェース

図2 - 25 端子タイプ8-18-2の端子ブロック図



備考 SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

★ 図2-26 端子タイプ8-41-1の端子ブロック図

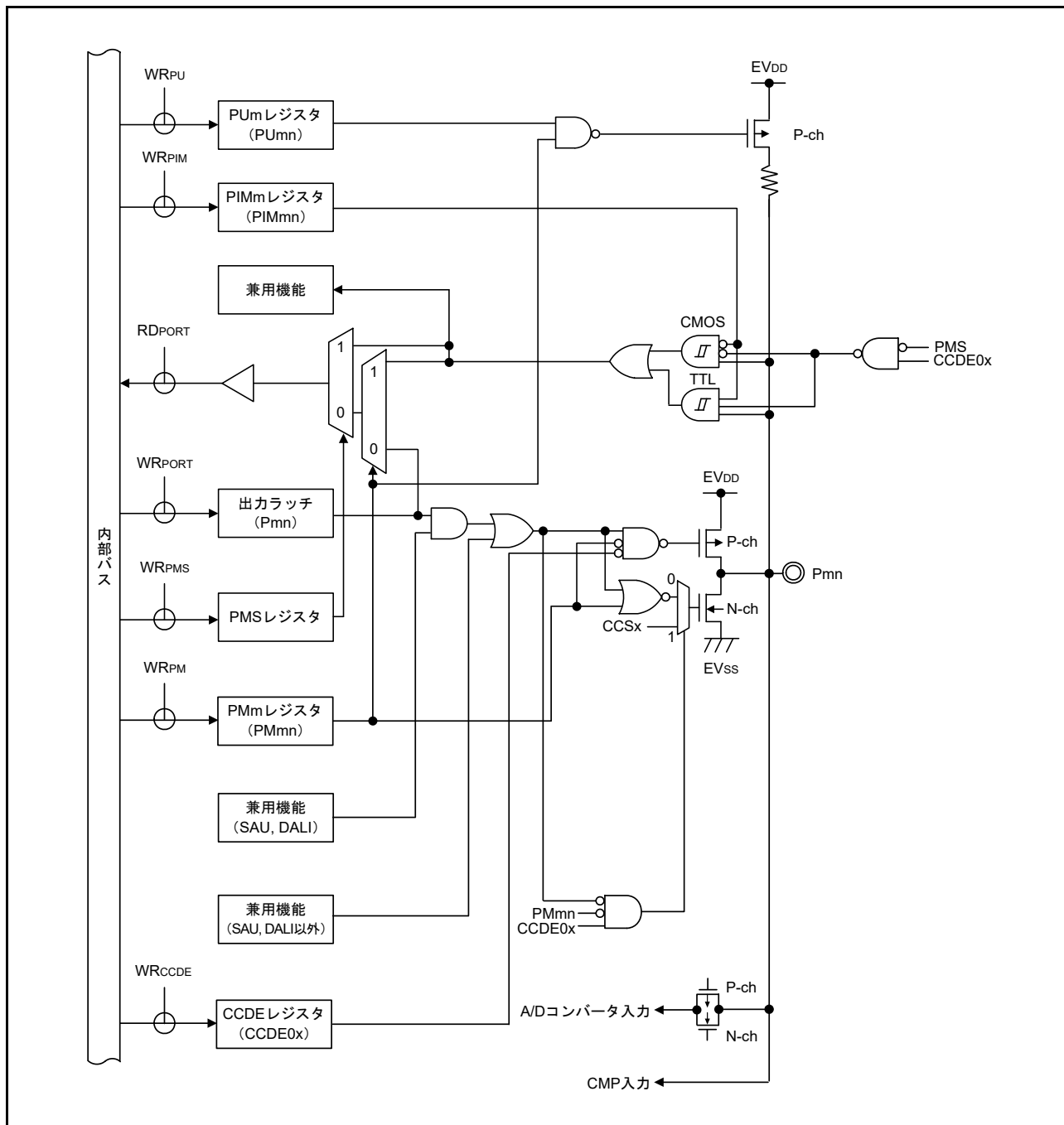


注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

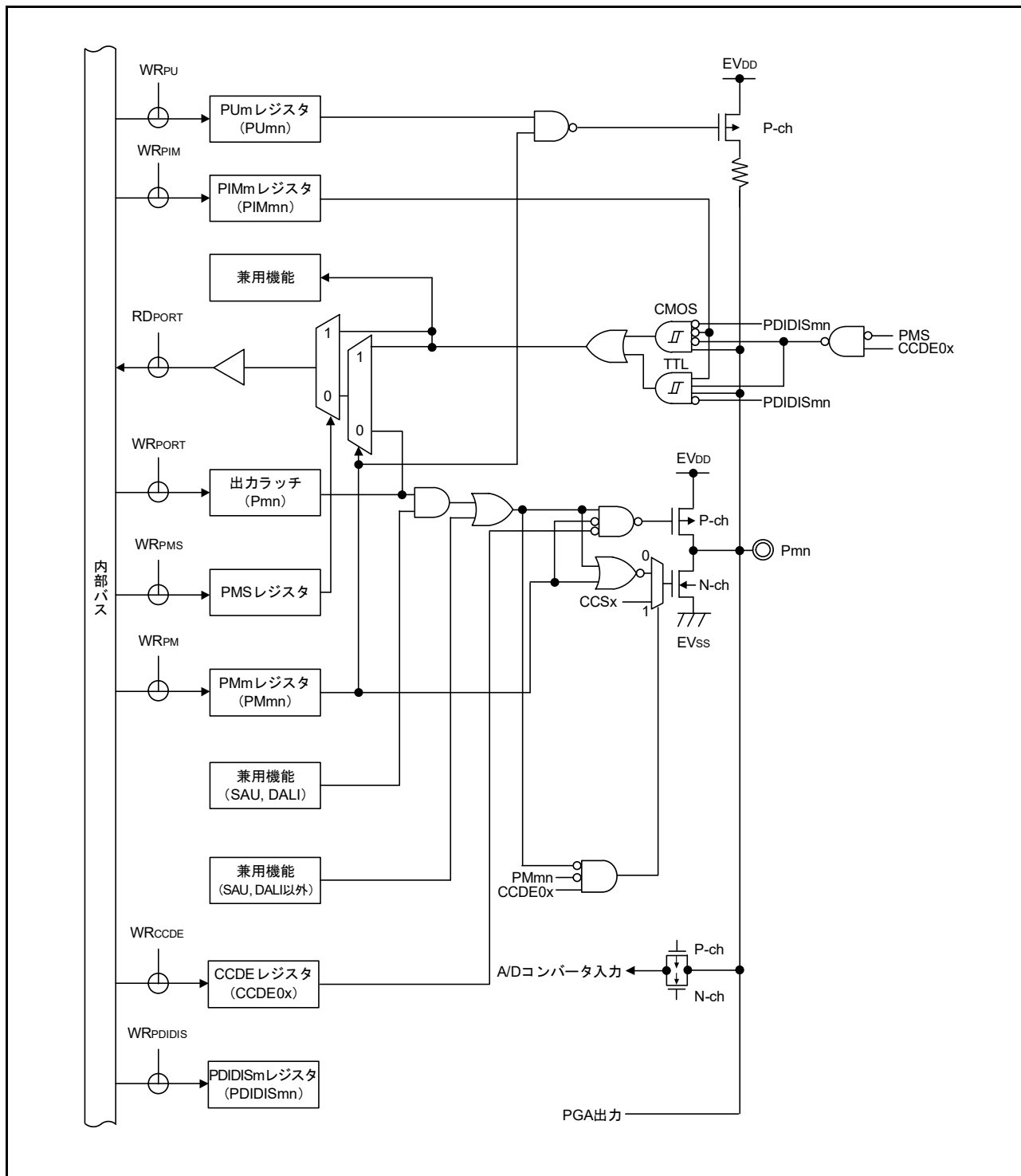
備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

★ 図2-27 端子タイプ8-41-2の端子ブロック図



備考 SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

★ 図2-28 端子タイプ8-42-1の端子ブロック図

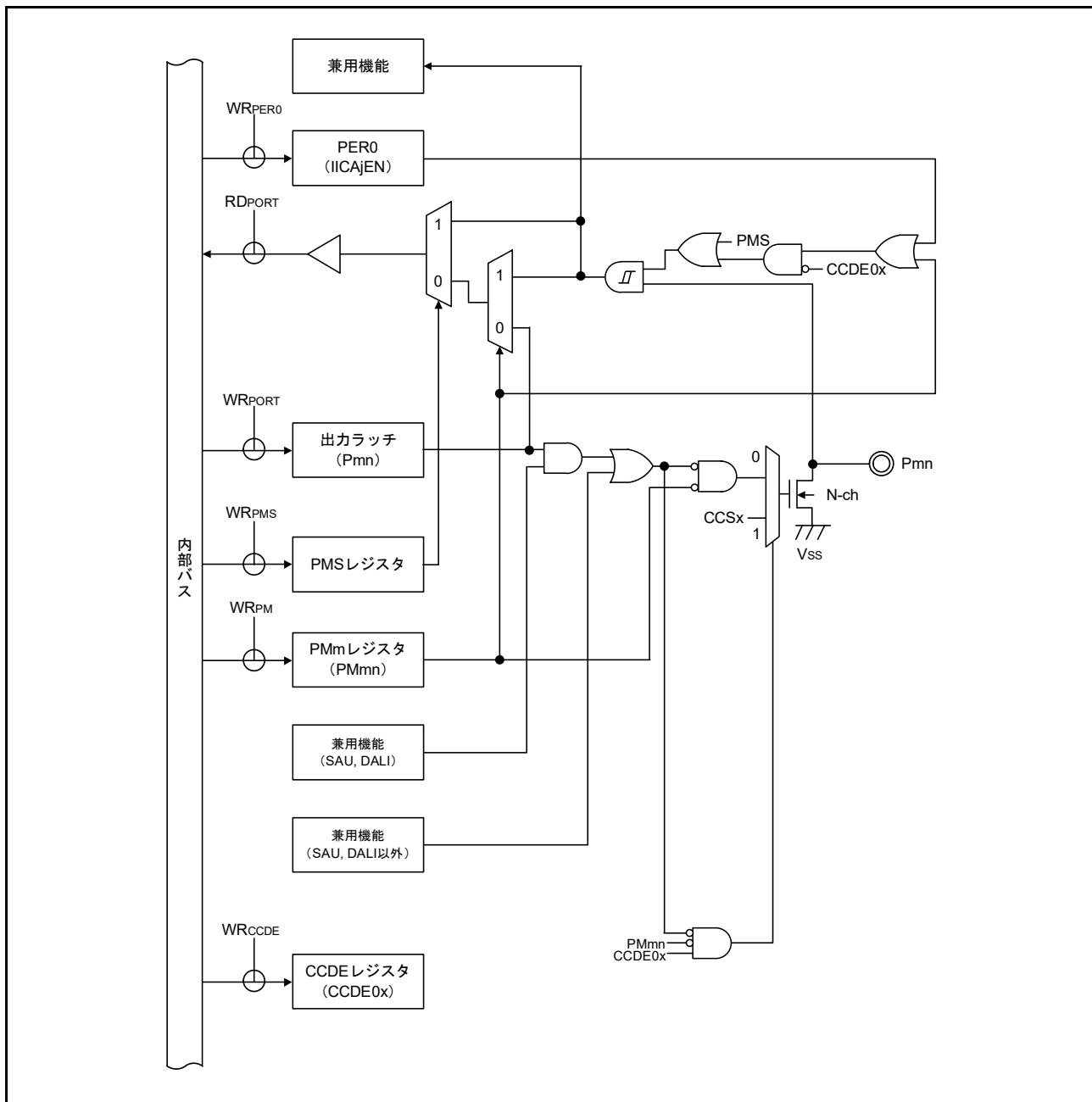


注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット、DALI : デジタル調光照明インタフェース

★ 図2-29 端子タイプ12-38-2の端子ブロック図



注意 PER0レジスタのIICAJENビットに1を設定してIICA機能を使用する場合は、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット、DALI：デジタル調光照明インターフェース

第3章 CPUアーキテクチャ

RL78/G24 は、RL78-S3 CPU コアを搭載するマイクロコントローラです。

RL78-S3 の CPU コアは、命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに、フェッチ、デコード、メモリ・アクセスの3段パイプライン制御を採用することで、従来の CPU コアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とするさまざまなアプリケーションに対して、高性能かつ高速な命令処理で応えることができます。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ × 8本
- 命令の種類：81種類

以下の乗除算命令は、RL78-S3 コアにのみあります。

MULHU（符号なし16ビット乗算）

MULH（符号付き16ビット乗算）

DIVHU（符号なし16ビット除算）

DIVWU（符号なし32ビット除算）

MACHU（符号なし積和算（16ビット × 16ビット） + 32ビット）

MACH（符号付き積和算（16ビット × 16ビット） + 32ビット）

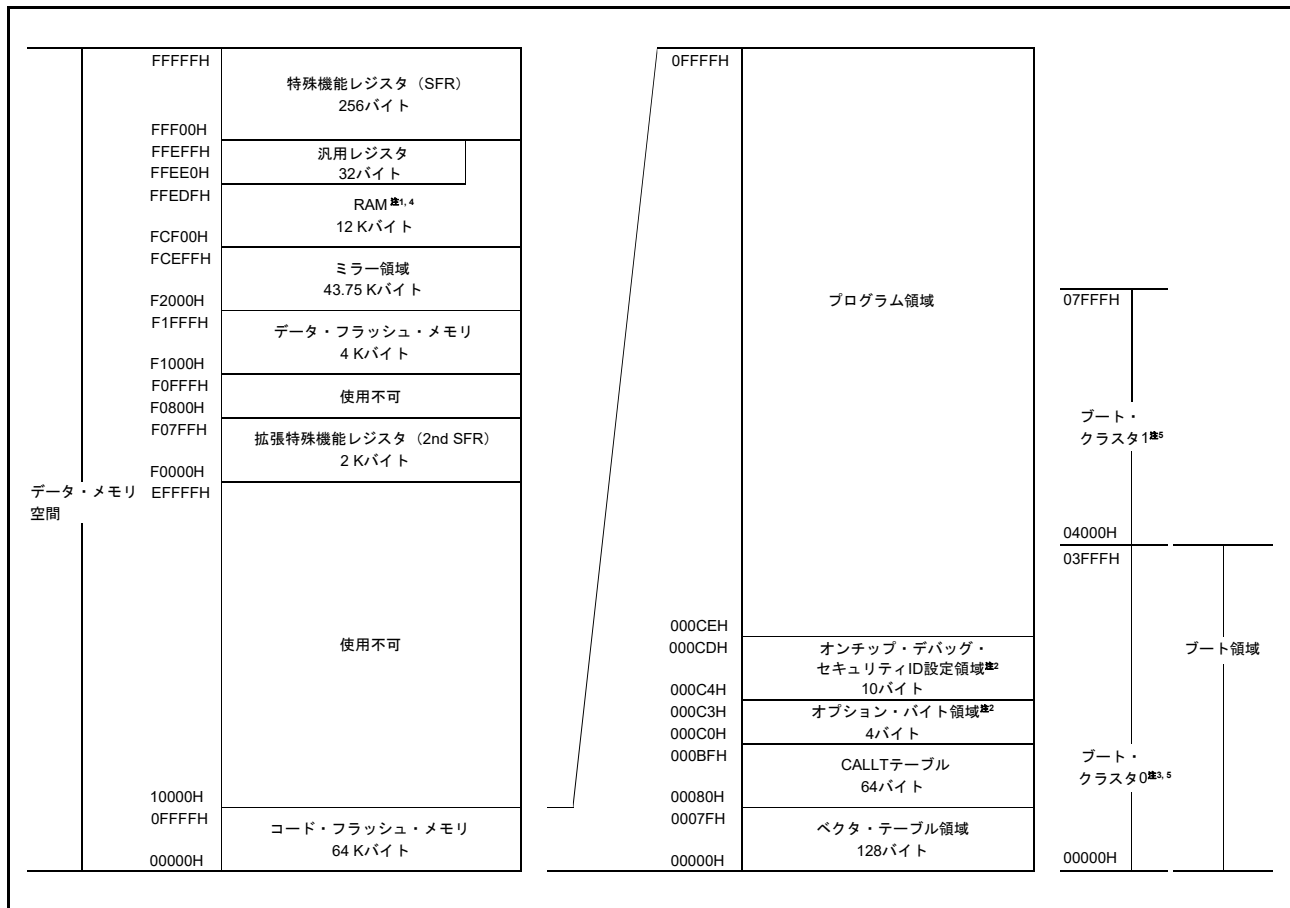
- データ配置：リトル・エンディアン

RL78/G24 は OCD トレース機能をサポートします。

3.1 メモリ空間

RL78/G24 は、1 M バイトのアドレス空間をアクセスできます。図 3-1 および図 3-2 にメモリ・マップを示します。

図 3-1 メモリ・マップ (R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L))



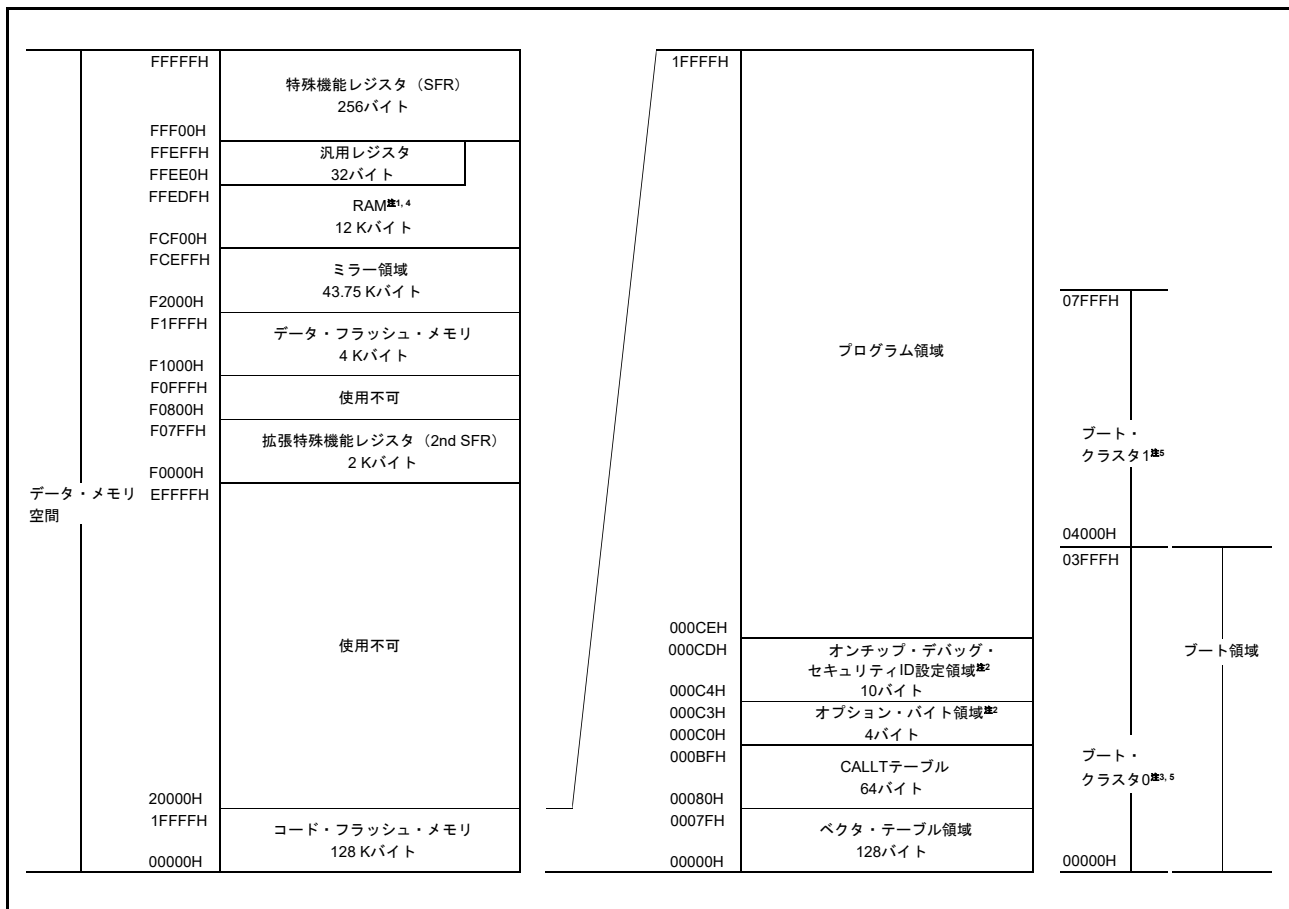
注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

- ★ 注2. ブート・スワップ未使用時 (FLSEC レジスタの BTFLG ビットが1の状態) : 000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定
ブート・スワップ使用時および FLSEC レジスタの BTFLG ビットが0の状態のとき : 000C0H-000C3H, 040C0H-040C3H にオプション・バイト、000C4H-000CDH, 040C4H-040CDH にオンチップ・デバッグ・セキュリティ ID を設定
- 注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます (39.9 セキュリティ設定を参照)。
- 注4. FAA 使用時 (FAAEN = 1) は、FD800H-FE7FFH (4 KB) をインストラクション・コード・メモリ、FE800H-FEFFFFH (2 KB) をデータ・メモリの領域として使用するため、CPUからはアクセスできません。
- 注5. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (39.7 ブート・スワップ機能を参照)。

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、35.3.4 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 2 K バイト)。アドレス値とブロック番号については、表 3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

図3-2 メモリ・マップ (R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

- ★ 注2. ブート・スワップ未使用時 (FLSECレジスタのBTFLGビットが1の状態) : 000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティ IDを設定
ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき : 000C0H-000C3H, 040C0H-040C3Hにオプション・バイト、000C4H-000CDH, 040C4H-040CDHにオンチップ・デバッグ・セキュリティ IDを設定
- 注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます (39.9 セキュリティ設定を参照)。
- 注4. FAA使用時 (FAAEN = 1) は、FD800H-FE7FFH (4 KB) をインストラクション・コード・メモリ、FE800H-FEFFFFH (2 KB) をデータ・メモリの領域として使用するため、CPUからはアクセスできません。
- 注5. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (39.7 ブート・スワップ機能を参照)。

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、35.3.4 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック=2Kバイト)。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号
0000H-007FFH	000H	1000H-107FFH	020H
00800H-00FFFH	001H	10800H-10FFFH	021H
01000H-017FFH	002H	11000H-117FFH	022H
01800H-01FFFH	003H	11800H-11FFFH	023H
02000H-027FFH	004H	12000H-127FFH	024H
02800H-02FFFH	005H	12800H-12FFFH	025H
03000H-037FFH	006H	13000H-137FFH	026H
03800H-03FFFH	007H	13800H-13FFFH	027H
04000H-047FFH	008H	14000H-147FFH	028H
04800H-04FFFH	009H	14800H-14FFFH	029H
05000H-057FFH	00AH	15000H-157FFH	02AH
05800H-05FFFH	00BH	15800H-15FFFH	02BH
06000H-067FFH	00CH	16000H-167FFH	02CH
06800H-06FFFH	00DH	16800H-16FFFH	02DH
07000H-077FFH	00EH	17000H-177FFH	02EH
07800H-07FFFH	00FH	17800H-17FFFH	02FH
08000H-087FFH	010H	18000H-187FFH	030H
08800H-08FFFH	011H	18800H-18FFFH	031H
09000H-097FFH	012H	19000H-197FFH	032H
09800H-09FFFH	013H	19800H-19FFFH	033H
0A000H-0A7FFH	014H	1A000H-1A7FFH	034H
0A800H-0AFFFH	015H	1A800H-1AFFFH	035H
0B000H-0B7FFH	016H	1B000H-1B7FFH	036H
0B800H-0BFFFH	017H	1B800H-1BFFFH	037H
0C000H-0C7FFH	018H	1C000H-1C7FFH	038H
0C800H-0CFFFH	019H	1C800H-1CFFFH	039H
0D000H-0D7FFH	01AH	1D000H-1D7FFH	03AH
0D800H-0DFFFH	01BH	1D800H-1DFFFH	03BH
0E000H-0E7FFH	01CH	1E000H-1E7FFH	03CH
0E800H-0EFFFH	01DH	1E800H-1EFFFH	03DH
0F000H-0F7FFH	01EH	1F000H-1F7FFH	03EH
0F800H-0FFFFH	01FH	1F800H-1FFFFH	03FH

備考 R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L) : ブロック番号000H-01FH

R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L) : ブロック番号000H-03FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G24 は、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3 - 2 内部ROM容量

製品	内部ROM	
	構造	容量
R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L)	フラッシュ・メモリ	65536 × 8ビット (00000H-0FFFFH)
R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L)		131072 × 8ビット (00000H-1FFFFH)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、04000H-0407FHにもベクタ・テーブルを設定してください。

表3 - 3にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。-はサポートしない割り込み要因であることを示します。

セルフ・プログラミングでは、ベクタ・テーブル・アドレスをRAMのアドレスに変更できます。詳細は、

39.6.2.18 割り込みベクタ変更レジスタ0, 1 (FLSIVC0, FLSIVC1)を参照してください。

表3-3 ベクタ・テーブル (1/2)

ベクタ・テーブル・アドレス	割り込み要因	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	32 ピン	30 ピン	25 ピン	24 ピン	20 ピン
00004H	INTWDTI	○	○	○	○	○	○	○	○	○	○
00006H	INTLVI	○	○	○	○	○	○	○	○	○	○
00008H	INTP0	○	○	○	○	○	○	○	○	○	○
0000AH	INTP1	○	○	○	○	○	○	○	—	—	—
	INTAD1	○	○	○	○	○	○	○	○	○	○
0000CH	INTP2	○	○	○	○	○	○	○	—	—	—
	INTAD2	○	○	○	○	○	○	○	○	○	○
0000EH	INTP3	○	○	○	○	○	○	○	—	—	—
00010H	INTP4	○	○	○	○	○	○	○	—	—	—
00012H	INTP5	○	○	○	○	○	○	○	○	○	—
00014H	INTST2/INTCSI20/INTIIC20	○	○	○	○	○	○	○	○	○	○
00016H	INTSR2/INTCSI21/INTIIC21	○	○	○	○	○	注1	注1	注1	注1	注1
00018H	INTSRE2	○	○	○	○	○	○	○	○	○	○
0001AH	INTFAAE	○	○	○	○	○	○	○	○	○	○
0001CH	INTTIMEC0	○	○	○	○	○	○	○	○	○	○
0001EH	INTST0/INTCSI00/INTIIC00	○	○	○	○	○	○	○	○	○	—
00020H	INTTM00	○	○	○	○	○	○	○	○	○	○
00022H	INTSRE0	○	○	○	○	○	○	○	○	○	—
	INTTM01H	○	○	○	○	○	○	○	○	○	○
00024H	INTST1/INTCSI10/INTIIC10	○	注2	注2	注2	注2	注2	注2	注2	注2	注2
00026H	INTSR1/INTCSI11/INTIIC11	○	○	○	○	○	○	○	○	○	○
00028H	INTSRE1	○	○	○	○	○	○	○	○	○	○
	INTTM03H	○	○	○	○	○	○	○	○	○	○
0002AH	INTIICA0	○	○	○	○	○	○	○	○	○	○
0002CH	INTSR0/INTCSI01/INTIIC01	○	○	○	注3	注3	注3	注3	注3	注3	—
0002EH	INTTM01	○	○	○	○	○	○	○	○	○	○
00030H	INTTM02	○	○	○	○	○	○	○	○	○	○
00032H	INTTM03	○	○	○	○	○	○	○	○	○	○
00034H	INTAD0	○	○	○	○	○	○	○	○	○	○
00036H	INTRTC	○	○	○	○	○	○	○	○	○	○
00038H	INTITL	○	○	○	○	○	○	○	○	○	○
0003AH	INTKR	○	○	○	○	○	—	—	—	—	—
0003CH	INTTD	○	○	○	○	○	○	○	○	○	○
	INTTRJ0	○	○	○	○	○	○	○	○	○	○
0003EH	INTTRD0	○	○	○	○	○	○	○	○	○	○
00040H	INTTRD1	○	○	○	○	○	○	○	○	○	○
00042H	INTRD	○	○	○	○	○	○	○	○	○	○
	INTTRG	○	○	○	○	○	○	○	○	○	○
00044H	INTED/INTCLD/INTBPD	○	○	○	○	○	○	○	○	○	○
	INTTRX	○	○	○	○	○	○	○	○	○	○

表3-3 ベクタ・テーブル (2/2)

ベクタ・テーブル・アドレス	割り込み要因	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	32 ピン	30 ピン	25 ピン	24 ピン	20 ピン
00046H	INTP20	○	○	○	○	○	○	○	○	○	○
00048H	INTP21	○	○	○	○	○	○	○	○	○	—
0004AH	INTP6	○	○	○	○	○	○	○	○	○	○
	INTTMKBSTR10	○	○	○	○	○	○	○	○	○	○
0004CH	INTP7	○	○	○	○	○	○	○	○	○	○
	INTTMKBSTP10	○	○	○	○	○	○	○	○	○	○
0004EH	INTP8	○	○	○	—	—	—	—	—	—	—
	INTTMKBSTR11	○	○	○	○	○	○	○	○	○	○
00050H	INTP9	○	○	○	—	—	—	—	—	—	—
	INTTMKBSTP11	○	○	○	○	○	○	○	○	○	○
00052H	INTFL	○	○	○	○	○	○	○	○	○	○
00054H	INTP10	○	○	—	—	—	—	—	—	—	—
	INTCMP0	○	○	○	○	○	○	○	○	○	○
00056H	INTP11	○	○	—	—	—	—	—	—	—	—
	INTCMP1	○	○	○	○	○	○	○	○	○	○
00058H	INTFAATRAP	○	○	○	○	○	○	○	○	○	○
0005AH	INTCMP2	○	○	○	○	○	○	○	○	○	○
0005CH	INTCMP3	○	○	○	○	○	○	○	○	○	—
0005EH	INTTMKB0	○	○	○	○	○	○	○	○	○	○
00060H	INTTMKB1	○	○	○	○	○	○	○	○	○	○
00062H	INTTMKB2	○	○	○	○	○	○	○	○	○	—
00064H	INTSDD	○	○	○	○	○	○	○	○	○	○
	INTGCR	○	○	○	○	○	○	○	○	○	○
00066H	INTFED	○	○	○	○	○	○	○	○	○	○
	INTPMC	○	○	○	○	○	○	○	○	○	○
00068H	INTTMKBSTR00	○	○	○	○	○	○	○	○	○	○
0006AH	INTTMKBSTP00	○	○	○	○	○	○	○	○	○	○
0006CH	INTTMKBSTR01	○	○	○	○	○	○	○	○	○	○
0006EH	INTTMKBSTP01	○	○	○	○	○	○	○	○	○	○
00070H	INTTMKBSTR20	○	○	○	○	○	○	○	○	○	—
00072H	INTTMKBSTP20	○	○	○	○	○	○	○	○	○	—
00074H	INTTMKBSTR21	○	○	○	○	○	○	○	○	○	—
00076H	INTTMKBSTP21	○	○	○	○	○	○	○	○	○	—
00078H	INTTIMEC1	○	○	○	○	○	○	○	○	○	○
0007AH	INTTIMEC2	○	○	○	○	○	○	○	○	○	○
0007CH	INTAD3	○	○	○	○	○	○	○	○	○	○
0007EH	BRK	○	○	○	○	○	○	○	○	○	○

注1. INTSR2のみ

注2. INTST1のみ

注3. INTSR0のみ

- (2) CALLT 命令テーブル領域
00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。
ブート・スワップを使用する際には、04080H-040BFHにもCALLT 命令テーブルを設定してください。
- (3) オプション・バイト領域
★ 000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき、040C0H-040C3Hにもオプション・バイトを設定してください。詳細は、**第38章 オプション・バイト**を参照してください。
- (4) オンチップ・デバッグ・セキュリティ ID 設定領域
★ 000C4H-000CDH、040C4H-040CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）には000C4H-000CDHに、ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。詳細は、**第40章 オンチップ・デバッグ機能**を参照してください。

3.1.2 ミラー領域

RL78/G24 では、00000H-0FFFFH または 10000H-1FFFFH のコード・フラッシュ・エリアを F0000H-FFFFFFH へミラーさせています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

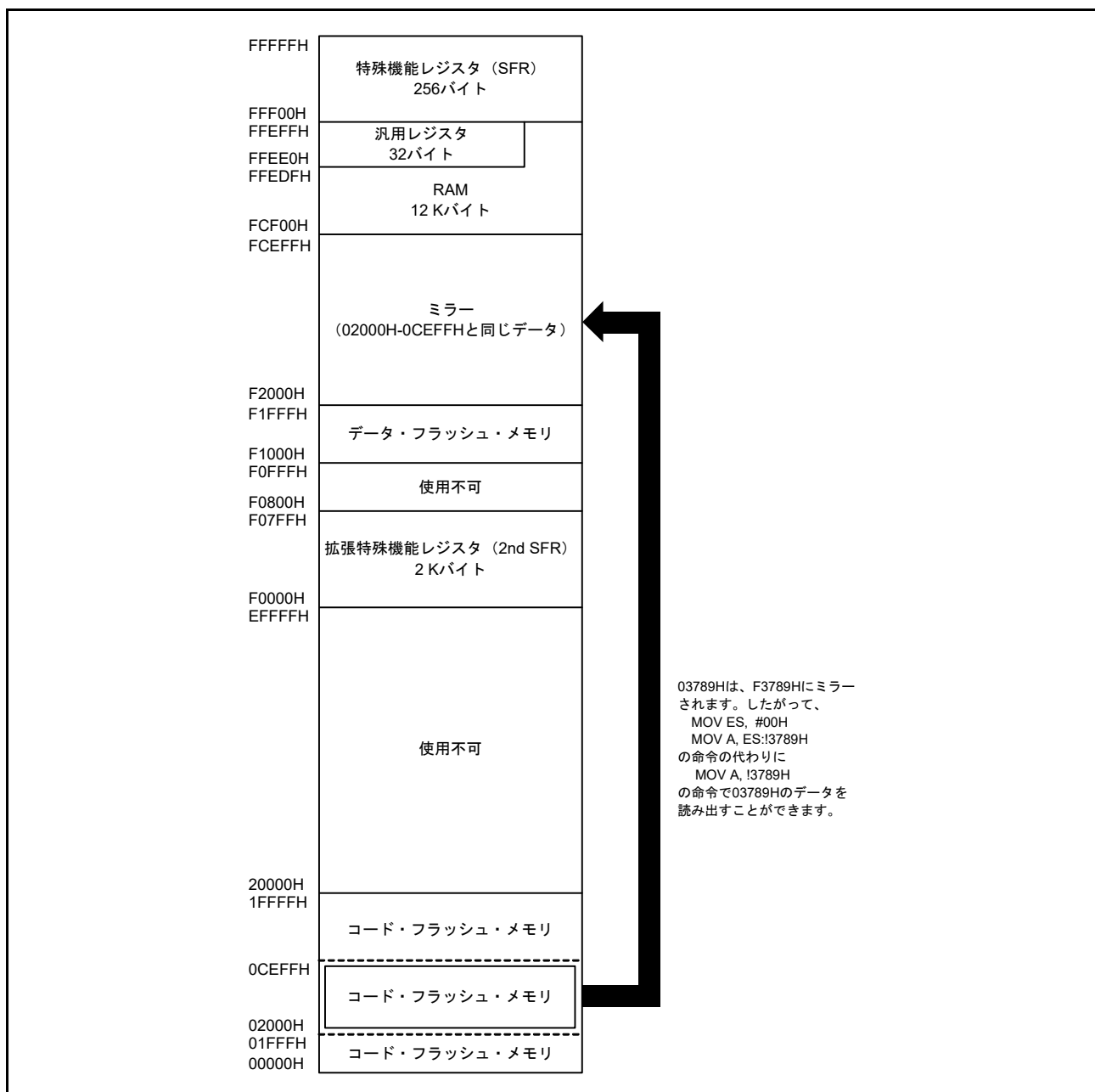
ミラー先の F0000H-FFFFFFH からデータを読み出すことにより、オペランドに ES レジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ・メモリの内容を読み出すことができます。ただし、特殊機能レジスタ（SFR）、拡張特殊機能レジスタ（2nd SFR）、RAM 領域、データ・フラッシュ・メモリ領域、使用不可領域にはミラーされません。

各製品のミラー領域は、**3.1 メモリ空間**を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R7F101GxG（x = 6, 7, 8, A, B, E, F, G, J, L）（フラッシュ・メモリ 128 Kバイト、RAM 12 Kバイト）の場合



次に、PMC レジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-3 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
PMC	0	0	0	0	0	0	0	MAA
MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定							
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー							
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー							

注意1. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

注意2. ビット0 (MAA) に0を設定した状態でブート・スワップすると、ブート・スワップ後の03000H-07FFFHをF3000H-F7FFFHへミラーします。

3.1.3 内部データ・メモリ空間

RL78/G24 は、次に示す RAM を内蔵しています。

表3 - 4 内部RAM容量

製品	内部RAM
R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L)	12288 × 8ビット (FCF00H-FFEFFFH)
R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L)	12288 × 8ビット (FCF00H-FFEFFFH)

内部 RAM は、データ領域として使用できるほか、プログラム領域として命令を実行することができます (汎用レジスタが割り当てられた領域では命令実行不可)。内部 RAM 領域のうち FFEE0H-FFEFFFH の 32 バイトの領域には、8 ビット・レジスタ 8 個を 1 バンクとする汎用レジスタが、4 バンク割り付けられます。

また、スタック・メモリは内部 RAM を使用します。

注意1. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFFH) は、命令フェッチやスタックの領域に使用できません。

★ **注意2.** オンチップ・デバッグのトレース機能使用時は、次に示す製品のRAM領域が使用禁止になります。

R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L) : FD300H-FD6FFFH

R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L) : FD300H-FD6FFFH

3.1.4 特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.4 特殊機能レジスタ（SFR：Special Function Register）の表 3 - 5 SFR 一覧参照）。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）の表 3 - 6 2nd SFR 一覧参照）。

注意1. 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

注意2. 2nd SFRの一部の領域（F0500Hに配置しているタイマRJカウンタレジスタ0（TRJ0）、F0540H、F0542Hに配置している真性乱数発生器（TRNG）のレジスタ、F0600H-F06A9Hに配置しているFLEXIBLE APPLICATION ACCELERATOR（FAA）のレジスタ）へのアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となります。このため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります。タイマRJカウンタレジスタ0（TRJ0）、真性乱数発生器（TRNG）のレジスタ、FLEXIBLE APPLICATION ACCELERATOR（FAA）のレジスタのアクセス時のウェイト・クロック数は、読み出し／書き込みともに1クロックです。

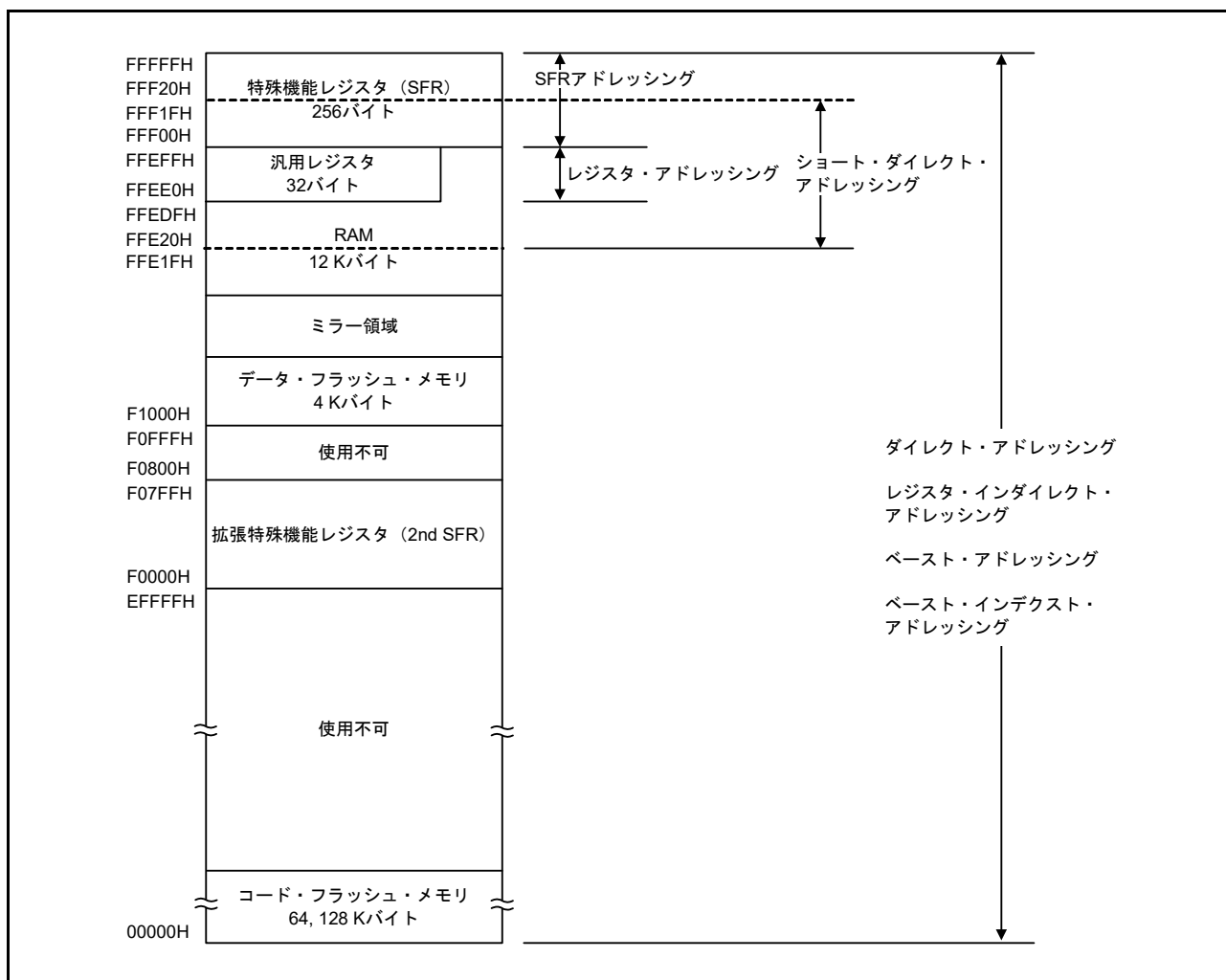
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/G24では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-4にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、3.4 処理データ・アドレスに対するアドレッシングを参照してください。

図3-4 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

RL78/G24 は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

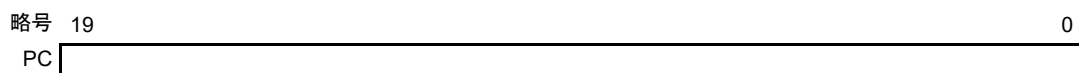
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、00000Hと00001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-5 プログラム・カウンタの構成



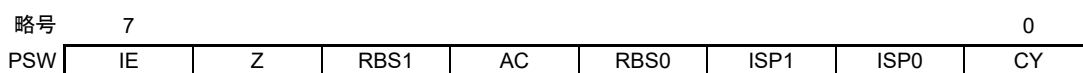
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受付発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受付動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受付は、インサースビス・プライオリティ・フラグ (ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受付でリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外るときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの一つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサービス・プライオリティ・フラグ (ISP1, ISP0)

受付可能なマスクブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L, PRn3H) (29.3.3 優先順位指定フラグ・レジスタ参照) でISP1, ISP0フラグの値より低位に指定されたベクタ割り込み要求は受付禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-7 スタック・ポインタの構成

略号	15	14	13	12	11	10	9	8
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8
	7	6	5	4	3	2	1	0
	SP7	SP6	SP5	SP4	SP3	SP2	SP1	0

スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

注意2. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

★ **注意3.** オンチップ・デバッグのトレース機能使用時は、次に示す製品のRAM領域が使用禁止になります。
 R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L) : FD300H-FD6FFH
 R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L) : FD300H-FD6FFH

3.2.2 汎用レジスタ

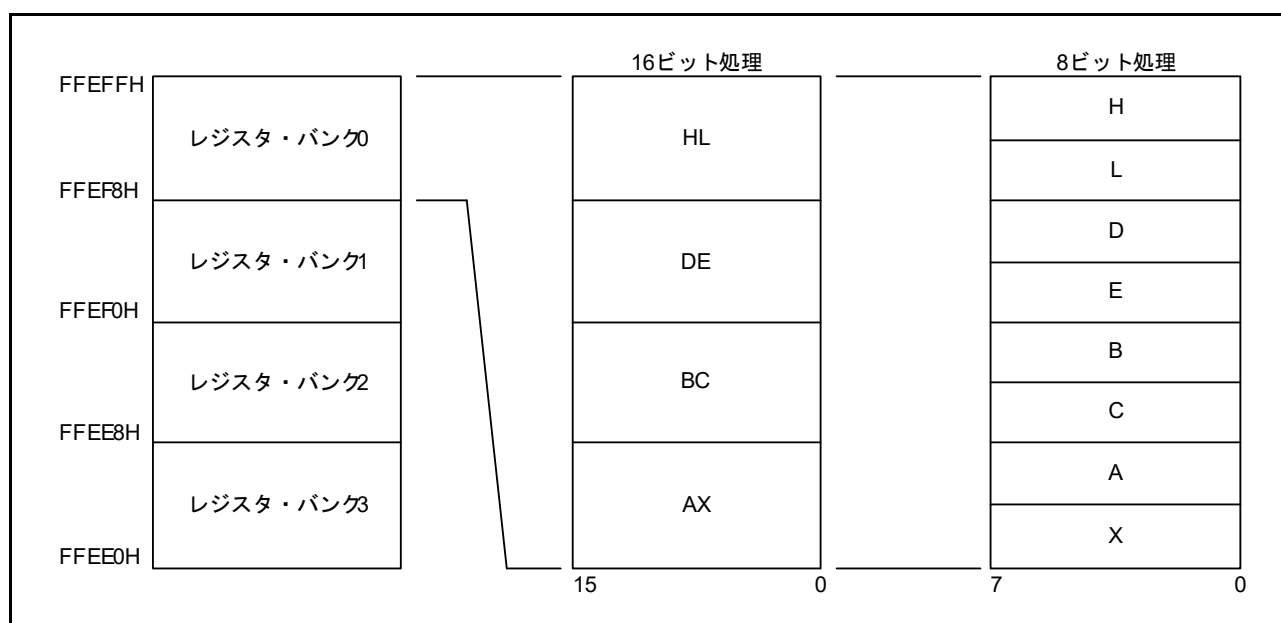
汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8 ビット・レジスタ 8 個 (X, A, C, B, E, D, L, H) を 1 バンクとして 4 バンクのレジスタで構成されています。

各レジスタは、それぞれ 8 ビット・レジスタとして使用できるほか、2 個の 8 ビット・レジスタをペアとして 16 ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

命令実行時に使用するレジスタ・バンクは、CPU 制御命令 (SEL R_{Bn}) によって設定します。4 レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

図3-8 汎用レジスタの構成 (機能名称)



3.2.3 ES, CS レジスタ

ES レジスタでデータ・アクセス、CS レジスタで（レジスタ・インダイレクト・アドレッシング）分岐命令実行時の、それぞれ上位アドレスを指定できます。

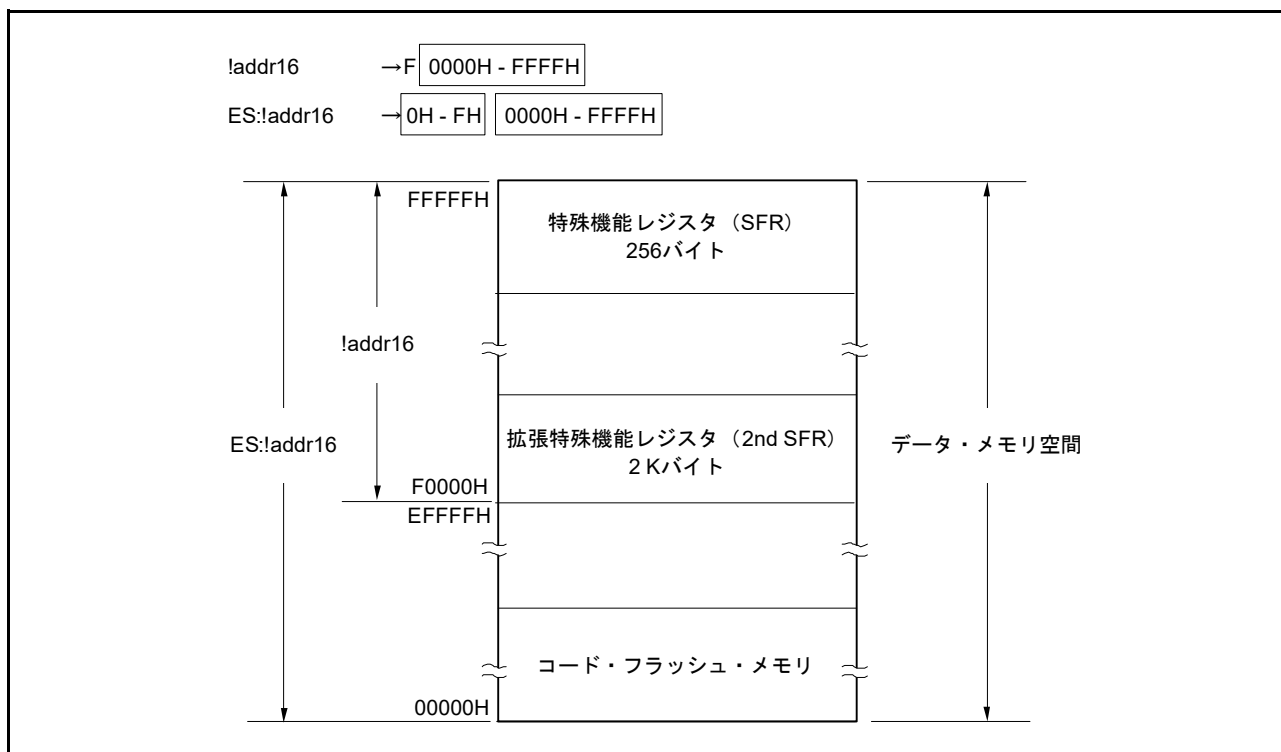
ES レジスタのリセット後の初期値は 0FH、CS レジスタのリセット後の初期値は 00H です。

図3-9 ES/CSレジスタの構成

略号	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
略号	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	ES1	ES0

16 ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFH の 64 K バイト空間ですが、ES: を付加すると 00000H-FFFFFH の 1 M バイト空間に拡張できます。

図3-10 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタ (SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR 空間は、FFF00H-FFFFFH の領域に割り付けられています。

SFR は、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各 SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作
1ビット操作命令のオペランド (sfr.bit) には、次のような記述をしてください。
ビット名称が定義されている場合 : <ビット名称>
ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>
- 8ビット操作
8ビット操作命令のオペランド (sfr) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。
- 16ビット操作
16ビット操作命令のオペランド (sfrp) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください

表 3 - 5 に SFR 一覧を示します。表中の項目の意味は次のとおりです。

- 略号
特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは #pragma sfr 指令で、sfr 変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W
該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。
R/W : 読み出し / 書き込みがともに可能
R : 読み出しのみ可能
W : 書き込みのみ可能
- 操作可能ビット単位
操作可能なビット単位 (1, 8, 16) を O で示します。- は操作できないビット単位であることを示します。
- リセット時
リセット信号発生時の各レジスタの状態を示します。

注意 SFR が割り付けられていないアドレスにアクセスしないでください。

備考 2nd SFR については、3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表3-5 SFR一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	—	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	—	不定
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	—	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ01	RXD0/ SIO01	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○		00H
FFF1EH	12ビット/10ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	—	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	—	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	—	00H
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL		R/W	○	○	—	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF		R/W	—	○	—	00H
FFF37H	キー・リターン・モード・レジスタ0	KRM0		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	—	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W	○	○	—	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W	○	○	—	00H
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—	—		

表3-5 SFR一覧 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF46H	シリアル・データ・レジスタ03	RXD1/ SIO11	SDR03	R/W	—	○	○	0000H
FFF47H		—			—	—		
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	—	○	○	0000H
FFF49H		—			—	—		
FFF4AH	シリアル・データ・レジスタ11	RXD2/ SIO21	SDR11	R/W	—	○	○	0000H
FFF4BH		—			—	—		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	—	00H
FFF60H	タイマRGジェネラルレジスタC	TRGGRC		R/W	—	—	○	FFFFH
FFF61H								
FFF62H	タイマRGジェネラルレジスタD	TRGGRD		R/W	—	—	○	FFFFH
FFF63H								
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○	00H	
FFF6CH	タイマRDジェネラルレジスタC0	TRDGRC0		R/W	—	—	○	FFFFH
FFF6DH								
FFF6EH	タイマRDジェネラルレジスタD0	TRDGRD0		R/W	—	—	○	FFFFH
FFF6FH								
FFF70H	タイマRDジェネラルレジスタC1	TRDGRC1		R/W	—	—	○	FFFFH
FFF71H								
FFF72H	タイマRDジェネラルレジスタD1	TRDGRD1		R/W	—	—	○	FFFFH
FFF73H								
FFF74H	タイマRD拡張コンペアレジスタD0	TRDCMPD0		R/W	—	—	○	FFFFH
FFF75H								
FFF76H	タイマRD拡張コンペアレジスタC1	TRDCMPC1		R/W	—	—	○	FFFFH
FFF77H								
FFF78H	タイマRD拡張コンペアレジスタD1	TRDCMPD1		R/W	—	—	○	FFFFH
FFF79H								
FFF7AH	タイマRD A/D変換トリガバッファレジスタ0/ タイマKB PWM出力ゲートモードバッファレジスタ	TRDADTB0/ TRDCMPF1		R/W	—	—	○	FFFFH
FFF7BH								
FFF7CH	タイマRD A/D変換トリガバッファレジスタ1	TRDADTB1		R/W	—	—	○	FFFFH
FFF7DH								
FFF7EH	タイマRD一斉書き換えトリガレジスタ0	TRDRDT0	TRDRDT	R/W	—	○	○	00H
FFF7FH		TRDRDT1			—	○	00H	
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	—	00H
FFFA7H	サブシステム・クロック選択レジスタ	CKSEL		R/W	○	○	—	00H

表3-5 SFR一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	—	○	—	不定注1
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	—	00H注2
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	—	19H
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	—	○	—	9AH/1AH注3
FFFACH	CRC入力レジスタ	CRCIN		R/W	—	○	—	00H
FFFD0H	割り込み要求フラグ・レジスタ2	IF2L	IF2	R/W	○	○	○	00H
FFFD1H		IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ3	IF3L	IF3	R/W	○	○	○	00H
FFFD3H		IF3H		R/W	○	○		00H
FFFD4H	割り込みマスク・フラグ・レジスタ2	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H		MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ3	MK3L	MK3	R/W	○	○	○	FFH
FFFD7H		MK3H		R/W	○	○		FFH
FFFD8H	優先順位指定フラグ・レジスタ02	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H		PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ03	PR03L	PR03	R/W	○	○	○	FFH
FFFDBH		PR03H		R/W	○	○		FFH
FFFDCH	優先順位指定フラグ・レジスタ12	PR12L	PR12	R/W	○	○	○	FFH
FFDDH		PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ13	PR13L	PR13	R/W	○	○	○	FFH
FFFDFH		PR13H		R/W	○	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ0	IF0L	IF0	R/W	○	○	○	00H
FFFE1H		IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1	IF1L	IF1	R/W	○	○	○	00H
FFFE3H		IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFH
FF FEDH		PR10H		R/W	○	○		FFH
FFFE EH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH		PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ (L)	MACRL		R/W	—	—	○	0000H
FFFF1H								0000H
FFFF2H	積和演算累計レジスタ (H)	MACRH		R/W	—	—	○	0000H
FFFF3H								0000H
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

注1. リセット要因は第32章 リセット機能を参照してください。

注2. リセット要因により、初期値が異なります。34.3.1 電圧検出レジスタ (LVIM) を参照してください。

注3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

備考 2nd SFRについては、表3-6 2nd SFR一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張特殊機能レジスタ (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

2nd SFR 空間は、F0000H-F07FFH の領域です。SFR 領域 (FFF00H-FFFFFH) 以外の SFR が割り付けられています。ただし、2nd SFR 領域のアクセス命令は SFR 領域より 1 バイト長くなります。

2nd SFR は、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各 2nd SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作
1ビット操作命令のオペランド (!addr16.bit) には、次のような記述をしてください。ビット名称が定義されている場合 : <ビット名称>
ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>
- 8ビット操作
8ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスでも指定できます。
- 16ビット操作
16ビット操作命令のオペランド (!addr16) にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3 - 6 に 2nd SFR の一覧を示します。表中の項目の意味は次のとおりです。

- 略号
2nd SFR のアドレスを示す略号です。アセンブラで予約語に、コンパイラでは #pragma sfr 指令で、sfr 変数として定義されているものです。アセンブラ、デバッグおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W
該当する 2nd SFR が読み出し (Read) / 書き込み (Write) 可能かどうかを示します。
R/W : 読み出し / 書き込みがともに可能
R : 読み出しのみ可能
W : 書き込みのみ可能
- 操作可能ビット単位
操作可能なビット単位 (1, 8, 16) を O で示します。- は操作できないビット単位であることを示します。
- リセット時
リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFR が割り付けられていないアドレスにアクセスしないでください。

備考 SFR 領域の SFR については、3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域を参照してください。

表3 - 6 2nd SFR一覧 (1/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2		R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL		R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL		R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES		R/W	—	○	—	00H
F0014H	A/Dコンバータ・モード・レジスタ3	ADM3		R/W	○	○	—	00H
F0015H	アナログ入力チャネル指定レジスタ0	ADS0		R/W	—	○	—	00H
F0016H	アナログ入力チャネル指定レジスタ1	ADS1		R/W	—	○	—	00H
F0017H	アナログ入力チャネル指定レジスタ2	ADS2		R/W	—	○	—	00H
F0018H	アナログ入力チャネル指定レジスタ3	ADS3		R/W	—	○	—	00H
F0019H	変換設定レジスタ	ADSCCTL		R/W	○	○	—	00H
F001AH	変換トリガ指定レジスタ0	ADTR0		R/W	—	○	—	00H
F001BH	変換トリガ指定レジスタ1	ADTR1		R/W	—	○	—	00H
F001CH	変換トリガ指定レジスタ2	ADTR2		R/W	—	○	—	00H
F001DH	変換トリガ指定レジスタ3	ADTR3		R/W	—	○	—	00H
F001FH	A/D変換サンプリング・モード指定レジスタ	ADSPMOD		R/W	—	○	—	00H
F0020H	12ビット/10ビットA/D変換結果レジスタ0	—	ADCR0	R	—	—	○	0000H
F0021H	8ビットA/D変換結果レジスタ0H	ADCR0H		R	—	○	—	00H
F0022H	12ビット/10ビットA/D変換結果レジスタ1	—	ADCR1	R	—	—	○	0000H
F0023H	8ビットA/D変換結果レジスタ1H	ADCR1H		R	—	○	—	00H
F0024H	12ビット/10ビットA/D変換結果レジスタ2	—	ADCR2	R	—	—	○	0000H
F0025H	8ビットA/D変換結果レジスタ2H	ADCR2H		R	—	○	—	00H
F0026H	12ビット/10ビットA/D変換結果レジスタ3	—	ADCR3	R	—	—	○	0000H
F0027H	8ビットA/D変換結果レジスタ3H	ADCR3H		R	—	○	—	00H
F0028H	変換割り込み制御レジスタ	ADINTCTL		R/W	○	○	—	00H
F0029H	変換割り込みステータス・レジスタ	ADINTST		R/W	○	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0		R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1		R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3		R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4		R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5		R/W	○	○	—	00H
F0036H	プルアップ抵抗オプション・レジスタ6	PU6		R/W	○	○	—	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7		R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12		R/W	○	○	—	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14		R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0		R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1		R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3		R/W	○	○	—	00H
F0045H	ポート入力モード・レジスタ5	PIM5		R/W	○	○	—	00H
F0047H	ポート入力モード・レジスタ7	PIM7		R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0		R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1		R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3		R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5		R/W	○	○	—	00H
F0057H	ポート出力モード・レジスタ7	POM7		R/W	○	○	—	00H

表3 - 6 2nd SFR一覧 (2/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0060H	ポート・モード・コントロールA・レジスタ0	PMCA0	R/W	○	○	—	FFH
F0061H	ポート・モード・コントロールA・レジスタ1	PMCA1	R/W	○	○	—	FFH
F0062H	ポート・モード・コントロールA・レジスタ2	PMCA2	R/W	○	○	—	FFH
F006CH	ポート・モード・コントロールA・レジスタ12	PMCA12	R/W	○	○	—	FFH
F006EH	ポート・モード・コントロールA・レジスタ14	PMCA14	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入出力選択レジスタ0	TIOS0	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	UARTループバック選択レジスタ	ULBS	R/W	○	○	—	00H
F007AH	IICA入力モード選択レジスタ	IICM	R/W	—	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H
F007CH	プリフェッチバッファイネーブルレジスタ	PFBER	R/W	○	○	—	00H
F007DH	グローバル・デジタル・インプット・ ディスエーブル・レジスタ	GDIDIS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F0098H	ペリフェラル・クロックコントロールレジスタ	PCKC	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・ レジスタ	HIOTRM	R/W	—	○	—	不定注1
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定注2
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE	R/W	○	○	—	00H/ 80H/ C0H注3
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP	R/W	○	○	—	00H
F00B0H	フラッシュ・セキュリティ・フラグ・モニタ・ レジスタ	FLSEC	R	—	—	○	不定
F00B2H	フラッシュ FSWモニタ・レジスタS	FLFSWS	R	—	—	○	不定
F00B4H	フラッシュ FSWモニタ・レジスタE	FLFSWE	R	—	—	○	不定
F00B6H	フラッシュ・メモリ・シーケンサ初期設定レジスタ	FSSET	R/W	—	○	—	00H
F00B7H	フラッシュ・エクストラ領域シーケンサ制御 レジスタ	FSSE	R/W	○	○	—	00H
F00C0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD	W	—	○	—	—
F00C1H	フラッシュ・ステータス・レジスタ	PFS	R	○	○	—	00H
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H
F00F1H	周辺リセット制御レジスタ0	PRR0	R/W	○	○	—	00H
F00F2H	中速オンチップ・オシレータ周波数選択レジスタ	MOCODIV	R/W	—	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	○	○	—	不定注7
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR	R/W	○	○	—	00H
F00FAH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H
F00FBH	周辺リセット制御レジスタ1	PRR1	R/W	○	○	—	00H
F00FCH	周辺イネーブル・レジスタ2	PER2	R/W	○	○	—	00H
F00FDH	周辺リセット制御レジスタ2	PRR2	R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定
F00FFH	割り込みベクタ移動許可レジスタ	VECTCTRL	R/W	—	○	—	00H

表3 - 6 2nd SFR一覧 (3/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—	—		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—	—		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	○	0000H
F0105H		—			—	—		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	○	0000H
F0107H		—			—	—		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—	—		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—	—		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	—	○	○	0000H
F010DH		—			—	—		
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—	—		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	—	—	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	—	—	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	—	—	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	—	—	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	—	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	—	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	—	—	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	—	—	○	0087H
F011FH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—	—		
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	シリアル出力レジスタ0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		

表3 - 6 2nd SFR一覧 (4/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0140H	シリアル・ステータス・レジスタ 10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—			—			
F0142H	シリアル・ステータス・レジスタ 11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—			—			
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ 10	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H		—			—			
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ 11	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH		—			—			
F0150H	シリアル・モード・レジスタ 10	SMR10		R/W	—	—	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ 11	SMR11		R/W	—	—	○	0020H
F0153H								
F0158H	シリアル通信動作設定レジスタ 10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ 11	SCR11		R/W	—	—	○	0087H
F015BH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ 1	SE1L	SE1	R	○	○	○	0000H
F0161H		—			—			
F0162H	シリアル・チャンネル開始レジスタ 1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—			
F0164H	シリアル・チャンネル停止レジスタ 1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—			
F0166H	シリアル・クロック選択レジスタ 1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—			
F0168H	シリアル出力レジスタ 1	SO1		R/W	—	—	○	0303H
F0169H								
F016AH	シリアル出力許可レジスタ 1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—			
F0174H	シリアル出力レベル・レジスタ 1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—			
F0180H	タイマ・カウンタ・レジスタ 00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ 01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ 02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ 03	TCR03		R	—	—	○	FFFFH
F0187H								
F0190H	タイマ・モード・レジスタ 00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ 01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ 02	TMR02		R/W	—	—	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ 03	TMR03		R/W	—	—	○	0000H
F0197H								
F01A0H	タイマ・ステータス・レジスタ 00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—			

表3 - 6 2nd SFR一覧 (5/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—	—		
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—	—		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—	—		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—	—		
F0212H	中速オンチップ・オシレータ・トリミング・レジスタ	MIOTRM		R/W	—	○	—	90H
F0213H	低速オンチップ・オシレータ・トリミング・レジスタ	LIOTRM		R/W	—	○	—	80H
F0214H	高速システム・クロック分周レジスタ	MOSCDIV		R/W	—	○	—	00H
F0215H	スタンバイ・モード解除設定レジスタ	WKUPMD		R/W	○	○	—	00H
F0218H	LVD検出フラグ・クリア・レジスタ	LVDFCLR		R/W	○	○	—	00H
F0219H	高速クロック選択レジスタ	HSCLKSEL		R/W	○	○	—	00H/02H 注6
F0220H	秒カウント・レジスタ	SEC		R/W	—	○	—	不定
F0221H	分カウント・レジスタ	MIN		R/W	—	○	—	不定
F0222H	時カウント・レジスタ	HOUR		R/W	—	○	—	不定
F0223H	曜日カウント・レジスタ	WEEK		R/W	—	○	—	不定
F0224H	日カウント・レジスタ	DAY		R/W	—	○	—	不定
F0225H	月カウント・レジスタ	MONTH		R/W	—	○	—	不定
F0226H	年カウント・レジスタ	YEAR		R/W	—	○	—	不定
F0227H	時計誤差補正レジスタ	SUBCUD		R/W	—	○	—	00H
F0228H	アラーム分レジスタ	ALARMWM		R/W	—	○	—	不定
F0229H	アラーム時レジスタ	ALARMWH		R/W	—	○	—	不定
F022AH	アラーム曜日レジスタ	ALARMWW		R/W	—	○	—	不定
F022BH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0		R/W	○	○	—	00H
F022CH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1		R/W	○	○	—	00H
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	—	00H

表3 - 6 2nd SFR一覧 (6/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0	R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0	R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0	R/W	—	○	—	00H
F0240H	タイマRJ制御レジスタ0	TRJCR0	R/W	—	○	—	00H
F0241H	タイマRJ I/O制御レジスタ0	TRJIOC0	R/W	○	○	—	00H
F0242H	タイマRJモードレジスタ0	TRJMR0	R/W	○	○	—	00H
F0243H	タイマRJイベント端子選択レジスタ0	TRJISR0	R/W	○	○	—	00H
F02A0H	出力電流選択レジスタ0	CCS0	R/W	—	○	—	00H
F02A4H	出力電流選択レジスタ4	CCS4	R/W	—	○	—	00H
F02A5H	出力電流選択レジスタ5	CCS5	R/W	—	○	—	00H
F02A6H	出力電流選択レジスタ6	CCS6	R/W	—	○	—	01H
F02A7H	出力電流選択レジスタ7	CCS7	R/W	—	○	—	00H
F02A8H	出力電流制御許可レジスタ	CCDE	R/W	○	○	—	00H
F02ACH	タイマRD出力ポートマスク許可レジスタ	TRDPOE	R/W	—	○	—	00H
F02ADH	周辺I/Oリダイレクション・レジスタ1	PIOR1	R/W	—	○	—	00H
F02AEH	周辺I/Oリダイレクション・レジスタ2	PIOR2	R/W	—	○	—	00H
F02AFH	周辺I/Oリダイレクション・レジスタ3	PIOR3	R/W	—	○	—	00H
F02B0H	ポート・デジタル・インプット・ディスエーブル・レジスタ0	PDIDIS0	R/W	○	○	—	00H
F02B1H	ポート・デジタル・インプット・ディスエーブル・レジスタ1	PDIDIS1	R/W	○	○	—	00H
F02B3H	ポート・デジタル・インプット・ディスエーブル・レジスタ3	PDIDIS3	R/W	○	○	—	00H
F02B5H	ポート・デジタル・インプット・ディスエーブル・レジスタ5	PDIDIS5	R/W	○	○	—	00H
F02B7H	ポート・デジタル・インプット・ディスエーブル・レジスタ7	PDIDIS7	R/W	○	○	—	00H
F02BDH	ポート・デジタル・インプット・ディスエーブル・レジスタ13	PDIDIS13	R/W	○	○	—	00H
F02C0H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W	—	○	—	08H
F02C1H	フラッシュ領域選択レジスタ	FLARS	R/W	○	○	—	00H
F02C2H	フラッシュ・アドレス・ポインタ・レジスタL	FLAPL	R/W	—	—	○	0000H
F02C4H	フラッシュ・アドレス・ポインタ・レジスタH	FLAPH	R/W	—	○	—	00H
F02C5H	フラッシュ・メモリ・シーケンサ制御レジスタ	FSSQ	R/W	○	○	—	00H
F02C6H	フラッシュ・エンド・アドレス・ポインタ・レジスタL	FLSEDL	R/W	—	—	○	0000H
F02C8H	フラッシュ・エンド・アドレス・ポインタ・レジスタH	FLSEDH	R/W	—	○	—	00H
F02C9H	フラッシュ・レジスタ初期化レジスタ	FLRST	R/W	○	○	—	00H
F02CAH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタL	FSASTL	R	○	○	—	00H
F02CBH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタH	FSASTH	R	○	○	—	00H/04H
F02CCH	フラッシュ・ライト・バッファ・レジスタL	FLWL	R/W	—	—	○	0000H
F02CEH	フラッシュ・ライト・バッファ・レジスタH	FLWH	R/W	—	—	○	0000H
F02E0H	DTCベース・アドレス・レジスタ	DTCBAR	R/W	—	○	—	FDH

表3 - 6 2nd SFR一覧 (7/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F02E5H	PLLコントロール・レジスタ	DSCCTL	R/W	○	○	—	56H
F02E6H	メイン・クロック制御レジスタ	MCKC	R/W	○	○	—	00H
F02E8H	DTC起動許可レジスタ0	DTCEN0	R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1	R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2	R/W	○	○	—	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3	R/W	○	○	—	00H
F02ECH	DTC起動許可レジスタ4	DTCEN4	R/W	○	○	—	00H
F02EDH	DTC起動許可レジスタ5	DTCEN5	R/W	○	○	—	00H
F02EEH	DTC起動許可レジスタ6	DTCEN6	R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	—	—	○	0000H
F0300H	イベント出力先選択レジスタ00	ELSELR00	R/W	—	○	—	00H
F0301H	イベント出力先選択レジスタ01	ELSELR01	R/W	—	○	—	00H
F0302H	イベント出力先選択レジスタ02	ELSELR02	R/W	—	○	—	00H
F0303H	イベント出力先選択レジスタ03	ELSELR03	R/W	—	○	—	00H
F0304H	イベント出力先選択レジスタ04	ELSELR04	R/W	—	○	—	00H
F0305H	イベント出力先選択レジスタ05	ELSELR05	R/W	—	○	—	00H
F0306H	イベント出力先選択レジスタ06	ELSELR06	R/W	—	○	—	00H
F0307H	イベント出力先選択レジスタ07	ELSELR07	R/W	—	○	—	00H
F0308H	イベント出力先選択レジスタ08	ELSELR08	R/W	—	○	—	00H
F0309H	イベント出力先選択レジスタ09	ELSELR09	R/W	—	○	—	00H
F030AH	イベント出力先選択レジスタ10	ELSELR10	R/W	—	○	—	00H
F030BH	イベント出力先選択レジスタ11	ELSELR11	R/W	—	○	—	00H
F030CH	イベント出力先選択レジスタ12	ELSELR12	R/W	—	○	—	00H
F030DH	イベント出力先選択レジスタ13	ELSELR13	R/W	—	○	—	00H
F030EH	イベント出力先選択レジスタ14	ELSELR14	R/W	—	○	—	00H
F030FH	イベント出力先選択レジスタ15	ELSELR15	R/W	—	○	—	00H
F0310H	イベント出力先選択レジスタ16	ELSELR16	R/W	—	○	—	00H
F0311H	イベント出力先選択レジスタ17	ELSELR17	R/W	—	○	—	00H
F0312H	イベント出力先選択レジスタ18	ELSELR18	R/W	—	○	—	00H
F0313H	イベント出力先選択レジスタ19	ELSELR19	R/W	—	○	—	00H
F0314H	イベント出力先選択レジスタ20	ELSELR20	R/W	—	○	—	00H
F0315H	イベント出力先選択レジスタ21	ELSELR21	R/W	—	○	—	00H
F0316H	イベント出力先選択レジスタ22	ELSELR22	R/W	—	○	—	00H
F0317H	イベント出力先選択レジスタ23	ELSELR23	R/W	—	○	—	00H
F0318H	イベント出力先選択レジスタ24	ELSELR24	R/W	—	○	—	00H
F0319H	イベント出力先選択レジスタ25	ELSELR25	R/W	—	○	—	00H
F031AH	イベント出力先選択レジスタ26	ELSELR26	R/W	—	○	—	00H
F031BH	イベント出力先選択レジスタ27	ELSELR27	R/W	—	○	—	00H
F031CH	イベント出力先選択レジスタ28	ELSELR28	R/W	—	○	—	00H
F031DH	イベント出力先選択レジスタ29	ELSELR29	R/W	—	○	—	00H
F031EH	イベント出力先選択レジスタ30	ELSELR30	R/W	—	○	—	00H
F031FH	イベント出力先選択レジスタ31	ELSELR31	R/W	—	○	—	00H
F0320H	イベント出力先選択レジスタ32	ELSELR32	R/W	—	○	—	00H

表3 - 6 2nd SFR一覧 (8/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0321H	イベント出力先選択レジスタ 33	ELSELR33		R/W	—	○	—	00H
F0330H	D/Aコンバータ・モード・レジスタ 0	DAM0		R/W	○	○	—	00H
F0331H	D/Aコンバータ・モード・レジスタ 1	DAM1		R/W	○	○	—	00H
F0332H	D/Aコンバータ・モード・レジスタ 2	DAM2		R/W	—	○	—	00H
F0333H	D/A変換値設定レジスタ 2	DACS2		R/W	—	○	—	00H
F0334H	D/A変換値設定レジスタ 0	DACS0		R/W	—	—	○	0000H
F0335H								
F0336H	D/A変換値設定レジスタ 1	DACS1L	DACS1	R/W	—	○	○	0000H
F0337H		—			—			
F0340H	コンパレータ・モード設定レジスタ 0	COMPMDR0		R/W	○	○	—	00H
F0341H	コンパレータ・フィルタ制御レジスタ 0	COMPFIR0		R/W	—	○	—	00H
F0342H	コンパレータ出力制御レジスタ 0	COMPOCR0		R/W	○	○	—	00H
F0344H	コンパレータモード設定レジスタ 1	COMPMDR1		R/W	○	○	—	00H
F0345H	コンパレータフィルタ制御レジスタ 1	COMPFIR1		R/W	—	○	—	00H
F0346H	コンパレータ出力制御レジスタ 1	COMPOCR1		R/W	○	○	—	00H
F0347H	PGA制御レジスタ	PGACTL		R/W	○	○	—	00H
F0348H	PGA入力チャネル選択レジスタ	PGAINS		R/W	○	○	—	00H
F034AH	コンパレータ 0 入力信号選択制御レジスタ	CMP0SEL		R/W	—	○	—	00H
F034BH	コンパレータ 1 入力信号選択制御レジスタ	CMP1SEL		R/W	—	○	—	00H
F034CH	コンパレータ 2 入力信号選択制御レジスタ	CMP2SEL		R/W	—	○	—	00H
F034DH	コンパレータ 3 入力信号選択制御レジスタ	CMP3SEL		R/W	—	○	—	00H
F034EH	コンパレータ出力制御レジスタ 2	COMPOCR2		R/W	—	○	—	00H
F0350H	タイマRXカウンタ	TRX		R/W	—	—	○	0000H
F0351H								
F0352H	タイマRXカウント・バッファ・カウンタ	TRXBUF		R	—	—	○	0000H
F0353H								
F0354H	タイマRX機能制御レジスタ 1	TRXCR1		R/W	—	○	—	00H
F0355H	タイマRX機能制御レジスタ 2	TRXCR2		R/W	○	○	—	00H
F0356H	タイマRXステータス・レジスタ	TRXSR		R/W	○	○	—	00H
F0358H	PWMOPA制御レジスタ 0	OPCTL0		R/W	—	○	—	00H
F0359H	PWMOPA遮断制御レジスタ 0	OPDF0		R/W	—	○	—	00H
F035AH	PWMOPA遮断制御レジスタ 1	OPDF1		R/W	—	○	—	00H
F035BH	PWMOPAエッジ選択レジスタ	OPEDGE		R/W	—	○	—	00H
F035CH	PWMOPAステータス・レジスタ	OPSR		R	—	○	—	00H
F0360H	インターバル・タイマ・コンペア・レジスタ 00	ITLCMP000	ITLCMP00	R/W	—	○	○	FFFFH
F0361H		ITLCMP001			注4	—		
F0362H	インターバル・タイマ・コンペア・レジスタ 01	ITLCMP012	ITLCMP01	R/W	—	○	○	FFFFH
F0363H		ITLCMP013			注4	—		
F0364H	インターバル・タイマ・キャプチャ・レジスタ 00	ITLCAP00		R	—	—	○	0000H
F0365H								
F0366H	インターバル・タイマ制御レジスタ	ITLCTL0		R/W	○	○	—	00H
F0367H	インターバル・タイマ・クロック選択レジスタ 0	ITLCSEL0		R/W	—	○	—	00H
F0368H	インターバル・タイマ分周レジスタ 0	ITLFDIV00		R/W	—	○	—	00H
F0369H	インターバル・タイマ分周レジスタ 1	ITLFDIV01		R/W	—	○	—	00H
F036AH	インターバル・タイマ・キャプチャ制御レジスタ 0	ITLCC0		R/W	○	○	—	00H

表3 - 6 2nd SFR一覧 (9/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F036BH	インターバル・タイマ・ステータス・レジスタ	ITLS0	R/W 注5	—	○	—	00H
F036CH	インターバル・タイマ・一致検出マスク・レジスタ	ITLMKF0	R/W	—	○	—	00H
F0370H	外部割り込み制御レジスタ0	INTPCTL0	R/W	—	○	—	00H
F0371H	外部割り込み制御レジスタ1	INTPCTL1	R/W	—	○	—	00H
F0372H	外部割り込み制御レジスタ2	INTPCTL2	R/W	—	○	—	00H
F0373H	タイマ・クロック選択レジスタ2	TPS2	R/W	—	○	—	00H
F0390H	タイマRD ELCレジスタ	TRDEL	R/W	—	○	—	00H
F0391H	タイマRDタイマKB3 PWM出力ゲートモード制御レジスタ	TRDBCR	R/W	—	○	—	00H
F0392H	タイマRDタイマKB3 PWM出力モニタレジスタ	TRDBOF	R	—	○	—	00H
F0393H	タイマRDスタートレジスタ	TRDSTR	R/W	—	○	—	0CH
F0394H	タイマRDモードレジスタ	TRDMR	R/W	—	○	—	00H
F0395H	タイマRD PWM機能選択レジスタ	TRDPMR	R/W	○	○	—	00H
F0396H	タイマRD機能制御レジスタ	TRDFCR	R/W	○	○	—	80H
F0397H	タイマRD出力カマスタ許可レジスタ1	TRDOER1	R/W	—	○	—	FFH
F0398H	タイマRD出力カマスタ許可レジスタ2	TRDOER2	R/W	—	○	—	00H
F0399H	タイマRD出力制御レジスタ	TRDOCR	R/W	○	○	—	00H
F039AH	タイマRD デジタルフィルタ機能選択レジスタ0	TRDDF0	R/W	—	○	—	00H
F039BH	タイマRD デジタルフィルタ機能選択レジスタ1	TRDDF1	R/W	—	○	—	00H
F03A0H	タイマRD制御レジスタ0	TRDCR0	R/W	—	○	—	00H
F03A1H	タイマRD I/O制御レジスタA0	TRDIORA0	R/W	—	○	—	00H
F03A2H	タイマRD I/O制御レジスタC0	TRDIORC0	R/W	—	○	—	88H
F03A3H	タイマRDステータスレジスタ0	TRDSR0	R/W	—	○	—	00H
F03A4H	タイマRD割り込み許可レジスタ0	TRDIER0	R/W	—	○	—	00H
F03A5H	タイマRD PWM出力レベル制御レジスタ0	TRDPOCR0	R/W	—	○	—	00H
F03A6H	タイマRDカウンタ0	TRD0	R/W	—	—	○	0000H
F03A7H							
F03A8H	タイマRD ジェネラルレジスタA0	TRDGRA0	R/W	—	—	○	FFFFH
F03A9H							
F03AAH	タイマRD ジェネラルレジスタB0	TRDGRB0	R/W	—	—	○	FFFFH
F03ABH							
F03B0H	タイマRD制御レジスタ1	TRDCR1	R/W	—	○	—	00H
F03B1H	タイマRD I/O制御レジスタA1	TRDIORA1	R/W	—	○	—	00H
F03B2H	タイマRD I/O制御レジスタC1	TRDIORC1	R/W	—	○	—	88H
F03B3H	タイマRDステータスレジスタ1	TRDSR1	R/W	—	○	—	40H
F03B4H	タイマRD割り込み許可レジスタ1	TRDIER1	R/W	—	○	—	00H
F03B5H	タイマRD PWM出力レベル制御レジスタ1	TRDPOCR1	R/W	—	○	—	00H
F03B6H	タイマRDカウンタ1	TRD1	R/W	—	—	○	0000H
F03B7H							
F03B8H	タイマRD ジェネラルレジスタA1	TRDGRA1	R/W	—	—	○	FFFFH
F03B9H							
F03BAH	タイマRD ジェネラルレジスタB1	TRDGRB1	R/W	—	—	○	FFFFH
F03BBH							
F03C0H	タイマRD拡張コンペアレジスタB0	TRDCMPB0	R/W	—	—	○	FFFFH
F03C1H							

表3 - 6 2nd SFR一覧 (10/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F03C4H F03C5H	タイマRD拡張コンペアレジスタA1	TRDCMPA1	R/W	—	—	○	FFFFH
F03C8H F03C9H	タイマRD拡張コンペアレジスタB1	TRDCMPB1	R/W	—	—	○	FFFFH
F03CCH F03CDH	タイマRD A/D変換トリガコンペアレジスタ0/ タイマKB3 PWM出力ゲートモードコンペアレジスタ	TRDADTC0/ TRDCMPE1	R/W	—	—	○	FFFFH
F03D0H F03D1H	タイマRD A/D変換トリガコンペアレジスタ1	TRDADTC1	R/W	—	—	○	FFFFH
F03D6H F03D7H	タイマRD一斉書き換えフラグレジスタ0 タイマRD一斉書き換えフラグレジスタ1	TRDRSF0 TRDRSF1	R R	— —	○ ○	○	0000H
F03D8H	タイマRD A/D変換トリガ制御レジスタ	TRDADCR	R/W	—	○	—	00H
F03E0H	タイマRGモードレジスタ0	TRGMRO	R/W	○	○	—	00H
F03E1H	タイマRGカウント制御レジスタ	TRGCNTC	R/W	—	○	—	00H
F03E2H	タイマRG制御レジスタ	TRGCR	R/W	○	○	—	00H
F03E3H	タイマRG割り込み許可レジスタ0	TRGIER0	R/W	○	○	—	00H
F03E4H	タイマRGステータスレジスタ0	TRGSR0	R/W	○	○	—	00H
F03E5H	タイマRG I/O制御レジスタ	TRGIOR	R/W	○	○	—	00H
F03E6H F03E7H	タイマRGカウンタ	TRG	R/W	—	—	○	0000H
F03E8H F03E9H	タイマRGジェネラルレジスタA	TRGGRA	R/W	—	—	○	FFFFH
F03EAH F03EBH	タイマRGジェネラルレジスタB	TRGGRB	R/W	—	—	○	FFFFH
F03F0H	タイマRGモードレジスタ1	TRGMR1	R/W	○	○	—	00H
F03F1H	タイマRG出力許可レジスタ	TRGOER	R/W	○	○	—	00H
F03F2H	タイマRG出力制御レジスタ	TRGOER	R/W	○	○	—	00H
F03F3H	タイマRG割り込み許可レジスタ1	TRGIER1	R/W	○	○	—	00H
F03F4H	タイマRGステータスレジスタ1	TRGSR1	R/W	○	○	—	00H
F03F5H	タイマRGスタートレジスタ	TRGSTR	R/W	○	○	—	02H
F03F6H	タイマRG位相計数制御レジスタ0	TRGCTL0	R/W	○	○	—	00H
F03F7H	タイマRG位相計数制御レジスタ1	TRGCTL1	R/W	○	○	—	00H
F03F8H F03F9H	タイマRG位相変化時間計測カウンタ	TRGPMC	R/W	—	—	○	0000H
F03FAH F03FBH	タイマRG位相変化時間キャプチャレジスタ0	TRGCAP0	R	—	—	○	FFFFH
F03FCH F03FDH	タイマRG位相変化時間キャプチャレジスタ1	TRGCAP1	R	—	—	○	FFFFH
F0400H F0401H	16ビット・タイマKBコンペアレジスタ20	TKBCR20	R/W	—	—	○	0000H
F0402H F0403H	16ビット・タイマKBコンペアレジスタ21	TKBCR21	R/W	—	—	○	0000H
F0404H F0405H	16ビット・タイマKBコンペアレジスタ22	TKBCR22	R/W	—	—	○	0000H
F0406H F0407H	16ビット・タイマKBコンペアレジスタ23	TKBCR23	R/W	—	—	○	0000H

表3 - 6 2nd SFR一覧 (11/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0408H	16ビット・タイマKBトリガ・コンペア・レジスタ2	TKBTGCR2	R/W	—	—	○	0000H
F0409H							
F040AH	16ビット・タイマKBソフト・スタート・初期デューティ・レジスタ20	TKBSIR20	R/W	—	—	○	0000H
F040BH							
F040CH	16ビット・タイマKBソフト・スタート・初期デューティ・レジスタ21	TKBSIR21	R/W	—	—	○	0000H
F040DH							
F040EH	16ビット・タイマKBディザリング数レジスタ20	TKBDNR20	R/W	—	○	—	00H
F040FH	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ20	TKBSSR20	R/W	—	○	—	00H
F0410H	16ビット・タイマKBディザリング数レジスタ21	TKBDNR21	R/W	—	○	—	00H
F0411H	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ21	TKBSSR21	R/W	—	○	—	00H
F0412H	16ビット・タイマKBトリガ・レジスタ2	TKBTRG2	W	○	○	—	00H
F0413H	16ビット・タイマKBフラグ・レジスタ2	TKBFLG2	R	○	○	—	00H
F0414H	16ビット・タイマKBコンペア1L&ディザリング数レジスタ20	TKBCRLD20	R/W	—	—	○	0000H
F0415H							
F0416H	16ビット・タイマKBコンペア3L&ディザリング数レジスタ21	TKBCRLD21	R/W	—	—	○	0000H
F0417H							
F0420H	16ビット・タイマ・カウンタKB2	TKBCNT2	R	—	—	○	FFFFH
F0421H							
F0422H	16ビット・タイマKB動作制御レジスタ20	TKBCTL20	R/W	—	—	○	0000H
F0423H							
F0424H	16ビット・タイマKB最大周波数リミット設定レジスタ2	TKBMFR2	R/W	—	—	○	0000H
F0425H							
F0426H	16ビット・タイマKB出力制御レジスタ20	TKBIOC20	R/W	○	○	—	00H
F0427H	16ビット・タイマKBフラグ・クリア・トリガ・レジスタ2	TKBCLR2	W	○	○	—	00H
F0428H	16ビット・タイマKB出力制御レジスタ21	TKBIOC21	R/W	○	○	—	00H
F0429H	16ビット・タイマKB動作制御レジスタ21	TKBCTL21	R/W	○	○	—	00H
F042AH	16ビット・タイマKB動作制御レジスタ22	TKBCTL22	R/W	—	—	○	0000H
F042BH							
F0430H	強制出力停止機能制御レジスタ20	TKBPACTL20	R/W	—	—	○	0000H
F0431H							
F0432H	強制出力停止機能制御レジスタ21	TKBPACTL21	R/W	—	—	○	0000H
F0433H							
F0434H	強制出力停止機能1開始トリガ・レジスタ2	TKBPAHFS2	R/W	○	○	—	00H
F0435H	強制出力停止機能1解除トリガ・レジスタ2	TKBPAHFT2	R/W	○	○	—	00H
F0436H	強制出力停止機能フラグ・レジスタ2	TKBPAFLG2	R	○	○	—	00H
F0437H	強制出力停止機能制御レジスタ22	TKBPACTL22	R/W	○	○	—	00H
F0438H	強制出力停止機能制御レジスタ23	TKBPACTL23	R/W	—	○	—	00H
F0439H	強制出力停止機能制御レジスタ24	TKBPACTL24	R/W	—	○	—	00H
F043AH	パルス幅測定キャプチャレジスタ20	TKBPAPLS20	R	—	—	○	0000H
F043BH							
F043CH	パルス幅測定キャプチャレジスタ21	TKBPAPLS21	R	—	—	○	0000H
F043DH							
F043EH	パルス幅測定キャプチャレジスタ20L	TKBPAPLS20L	R	—	○	—	00H
F043FH	パルス幅測定キャプチャレジスタ21L	TKBPAPLS21L	R	—	○	—	00H

表3 - 6 2nd SFR一覧 (12/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0440H	CWDWレジスタ・ファイル0 L	CWDW0L	R/W	—	—	○	0000H
F0441H							
F0442H	CWDWレジスタ・ファイル0 H	CWDW0H	R/W	—	—	○	0000H
F0443H							
F0444H	CWDWレジスタ・ファイル1 L	CWDW1L	R/W	—	—	○	0000H
F0445H							
F0446H	CWDWレジスタ・ファイル1 H	CWDW1H	R/W	—	—	○	0000H
F0447H							
F0448H	CWDWレジスタ・ファイル2 L	CWDW2L	R/W	—	—	○	0000H
F0449H							
F044AH	CWDWレジスタ・ファイル2 H	CWDW2H	R/W	—	—	○	0000H
F044BH							
F044CH	CWDWレジスタ・ファイル3 L	CWDW3L	R/W	—	—	○	0000H
F044DH							
F044EH	CWDWレジスタ・ファイル3 H	CWDW3H	R/W	—	—	○	0000H
F044FH							
F0450H	CWDWレジスタ・ファイル4 L	CWDW4L	R/W	—	—	○	0000H
F0451H							
F0452H	CWDWレジスタ・ファイル4 H	CWDW4H	R/W	—	—	○	0000H
F0453H							
F0454H	CWDWレジスタ・ファイル5 L	CWDW5L	R/W	—	—	○	0000H
F0455H							
F0456H	CWDWレジスタ・ファイル5 H	CWDW5H	R/W	—	—	○	0000H
F0457H							
F0458H	CWDWレジスタ・ファイル6 L	CWDW6L	R/W	—	—	○	0000H
F0459H							
F045AH	CWDWレジスタ・ファイル6 H	CWDW6H	R/W	—	—	○	0000H
F045BH							
F045CH	CWDWレジスタ・ファイル7 L	CWDW7L	R/W	—	—	○	0000H
F045DH							
F045EH	CWDWレジスタ・ファイル7 H	CWDW7H	R/W	—	—	○	0000H
F045FH							
F0480H	割り込みベクタ変更レジスタ0	FLSIVC0	R/W	—	—	○	0000H
F0481H							
F0482H	割り込みベクタ変更レジスタ1	FLSIVC1	R/W	—	—	○	000FH
F0483H							
F0488H	コード・フラッシュ・メモリ・ガードレジスタ	GFLASH0	R/W	—	—	○	0000H
F0489H							
F048AH	データ・フラッシュ・メモリ・ガードレジスタ	GFLASH1	R/W	—	—	○	0000H
F048BH							
F048CH	フラッシュ・セキュリティ領域ガードレジスタ	GFLASH2	R/W	—	—	○	0000H
F048DH							
F048EH	IAWCTLレジスタ・ガードレジスタ	GIAWCTL	R/W	—	—	○	0000H
F048FH							
F0490H	16ビット・タイマKB間引き制御レジスタ0	TKBTCTL0	R/W	—	○	—	00H
F0491H	16ビット・タイマKB間引き回数設定レジスタ0	TKBTCMP0	R/W	—	○	—	00H
F0492H	16ビット・タイマKB間引き制御レジスタ1	TKBTCTL1	R/W	—	○	—	00H
F0493H	16ビット・タイマKB間引き回数設定レジスタ1	TKBTCMP1	R/W	—	○	—	00H

表3 - 6 2nd SFR一覧 (13/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0494H	16ビット・タイマKB間引き制御レジスタ2	TKBTCTL2	R/W	—	○	—	00H
F0495H	16ビット・タイマKB間引き回数設定レジスタ2	TKBTCMP2	R/W	—	○	—	00H
F0498H	タイマRD間引き制御レジスタ	TRDTCTL	R/W	—	○	—	00H
F0499H	タイマRD間引き回数設定レジスタ	TRDTCMP	R/W	—	○	—	00H
F04A0H	ウィンドウ・レジスタ	WIND	R/W	—	—	○	0000H
F04A1H							
F04B0H	アドレス・バス選択レジスタ	ADBSEL	R/W	—	—	○	0000H
F04B1H							
F04B2H	RAMパリティ・エラー制御レジスタ2	RPECTL2	R/W	○	○	—	00H
F04B3H	除算コントロール・レジスタ	FAADUC	R	—	○	—	00H
F04B4H	除算データ・レジスタCL	FAADCL	R	—	—	○	0000H
F04B5H							
F04B6H	除算データ・レジスタCH	FAADCH	R	—	—	○	0000H
F04B7H							
F04B8H	除算データ・レジスタAL	FAADAL	R	—	—	○	0000H
F04B9H							
F04BAH	除算データ・レジスタAH	FAADAH	R	—	—	○	0000H
F04BBH							
F04BCH	除算データ・レジスタBL	FAADBL	R	—	—	○	0000H
F04BDH							
F04BEH	除算データ・レジスタBH	FAADBH	R	—	—	○	0000H
F04BFH							
F04C0H	DALIビットタイミング違反しきい値レジスタ1	BTVTHR1	R/W	—	—	○	4F00H
F04C1H							
F04C2H	DALIビットタイミング違反しきい値レジスタ2	BTVTHR2	R/W	—	—	○	654FH
F04C3H							
F04C4H	DALIビットタイミング違反しきい値レジスタ3	BTVTHR3	R/W	—	—	○	009DH
F04C5H							
F04C6H	DALIビットタイミング違反しきい値レジスタ4	BTVTHR4	R/W	—	—	○	00DBH
F04C7H							
F04C8H	DALI衝突しきい値レジスタ1	COLTHR1	R/W	—	—	○	380FH
F04C9H							
F04CAH	DALI衝突しきい値レジスタ2	COLTHR2	R/W	—	—	○	443CH
F04CBH							
F04CCH	DALI衝突しきい値レジスタ3	COLTHR3	R/W	—	—	○	7148H
F04CDH							
F04CEH	DALI衝突しきい値レジスタ4	COLTHR4	R/W	—	—	○	8879H
F04CFH							
F04D0H	DALI衝突しきい値レジスタ5	COLTHR5	R/W	—	—	○	008EH
F04D1H							
F04D2H	DALIコンフィグレーションレジスタ1	CNFR1	R/W	—	—	○	00FFH
F04D3H							
F04D4H	DALIコンフィグレーションレジスタ2	CNFR2	R/W	—	—	○	0000H
F04D5H							
F04D6H	DALITxD0 波形調整レジスタ1	TXWR1	R/W	—	—	○	003FH
F04D7H							
F04D8H	DALIRxD0 波形調整レジスタ1	RXWR1	R/W	—	—	○	3F00H
F04D9H							

表3 - 6 2nd SFR一覧 (14/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F04DEH	DALI送信データレジスタ 1H	TDR1H	R/W	—	—	○	0000H
F04DFH							
F04E0H	DALI送信データレジスタ 1L	TDR1L	R/W	—	—	○	0000H
F04E1H							
F04E2H	DALI送信コントロールレジスタ 1	TRSTR1	W	—	—	○	0000H
F04E3H							
F04E4H	DALI受信タイミング調整レジスタ 0	FTDC0	R/W	—	—	○	0000H
F04E5H							
F04E6H	DALIコントロールレジスタ 1	CTR1	R/W	—	—	○	0000H
F04E7H							
F04E8H	DALITxD0コントロールレジスタ 1	TXDCTR1	R/W	—	—	○	0000H
F04E9H							
F04EEH	DALI受信データレジスタ 1H	RDR1H	R	—	—	○	0000H
F04EFH							
F04F0H	DALI受信データレジスタ 1L	RDR1L	R	—	—	○	0000H
F04F1H							
F04F2H	DALIステータスレジスタ 1	STR1	R	—	—	○	0000H
F04F3H							
F04F4H	DALIステータスレジスタ 2	STR2	R	—	—	○	0000H
F04F5H							
F04F6H	DALI衝突レジスタ 1	COLR1	R	—	—	○	0800H
F04F7H							
F04FAH	DALIフラグエラークリアレジスタ 1	FECR1	W	—	—	○	0800H
F04FBH							
F04FCH	DALIソフトウェアリセットレジスタ 1	SWRR1	W	—	—	○	0800H
F04FDH							
F0500H	タイマRJカウンタレジスタ 0	TRJ0	R/W	—	—	○	FFFFH
F0501H							
F0540H	乱数シード・データ・レジスタ	TRNGSDR	R	○	○	—	00H
F0542H	乱数シード・コマンド・レジスタ 0	TRNGSCR0	R/W	○	○	—	00H
F0600H	アキュムレータ・レジスタ L	A0L	R/W	—	—	○	0000H
F0601H							
F0602H	アキュムレータ・レジスタ H	A0H	R/W	—	—	○	0000H
F0603H							
F0604H	乗数レジスタ L /	M0L/TMCMP0L	R/W	—	—	○	0000H
F0605H	タイミング・コンペア・レジスタ 0L						
F0606H	乗数レジスタ H /	M0H/TMCMP0H	R/W	—	—	○	0000H
F0607H	タイミング・コンペア・レジスタ 0H						
F0608H	シフト数レジスタ L /	M1L/TMCMP1L	R/W	—	—	○	0000H
F0609H	タイミング・コンペア・レジスタ 1L						
F060AH	シフト数レジスタ H /	M1H/TMCMP1H	R/W	—	—	○	0000H
F060BH	タイミング・コンペア・レジスタ 1H						
F060CH	リミット上限値レジスタ L /	L0L/TMCMP2L	R/W	—	—	○	0000H
F060DH	タイミング・コンペア・レジスタ 2L						
F060EH	リミット上限値レジスタ H /	L0H/TMCMP2H	R/W	—	—	○	0000H
F060FH	タイミング・コンペア・レジスタ 2H						
F0610H	リミット下限値レジスタ L /	L1L/TMCMP3L	R/W	—	—	○	0000H
F0611H	タイミング・コンペア・レジスタ 3L						

表3 - 6 2nd SFR一覧 (15/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0612H	リミット下限値レジスタH／	L1H/TMCMP3H	R/W	—	—	○	0000H
F0613H	タイミング・コンペア・レジスタ3H						
F0614H	加算値レジスタL／	R0L/TMCMP4L	R/W	—	—	○	0000H
F0615H	タイミング・コンペア・レジスタ4L						
F0616H	加算値レジスタH／	R0H/TMCMP4H	R/W	—	—	○	0000H
F0617H	タイミング・コンペア・レジスタ4H						
F0618H	タイミング・コンペア・レジスタ5L	TMCMP5L	R/W	—	—	○	0000H
F0619H							
F061AH	アキュムレータ用アドレス・ポインタ／	DP0/TMCMP5H	R/W	—	—	○	0000H
F061BH	タイミング・コンペア・レジスタ5H						
F061CH	タイミング・コンペア・マスク・レジスタ0L	TMMSK0L	R/W	—	—	○	0000H
F061DH							
F061EH	演算パラメータ用アドレス・ポインタ／	DP1/TMMSK0H	R/W	—	—	○	0000H
F061FH	タイミング・コンペア・マスク・レジスタ0H						
F0620H	タイミング・コンペア・マスク・レジスタ1L	TMMSK1L	R/W	—	—	○	0000H
F0621H							
F0622H	演算結果格納用アドレス・ポインタ／	DRP0/TMMSK1H	R/W	—	—	○	0000H
F0623H	タイミング・コンペア・マスク・レジスタ1H						
F0624H	タイミング・コンペア・マスク・レジスタ2L	TMMSK2L	R/W	—	—	○	0000H
F0625H							
F0626H	タイミング・コンペア・マスク・レジスタ2H	TMMSK2H	R/W	—	—	○	0000H
F0627H							
F0628H	タイミング・コンペア・マスク・レジスタ3L	TMMSK3L	R/W	—	—	○	0000H
F0629H							
F062AH	プロセッサ制御レジスタ／	FAACNT/TMMSK3H	R/W	—	—	○	0000H
F062BH	タイミング・コンペア・マスク・レジスタ3H						
F062CH	タイミング・コンペア・マスク・レジスタ4L	TMMSK4L	R/W	—	—	○	0000H
F062DH							
F062EH	プログラム・ポインタ／	PG0/TMMSK4H	R/W	—	—	○	0000H
F062FH	タイミング・コンペア・マスク・レジスタ4H						
F0630H	タイミング・コンペア・マスク・レジスタ5L	TMMSK5L	R/W	—	—	○	0000H
F0631H							
F0632H	タイミング・コンペア・マスク・レジスタ5H	TMMSK5H	R/W	—	—	○	0000H
F0633H							
F0634H	フリーラン・カウンタ・レジスタL	FCNTL	R/W	—	—	○	0000H
F0635H							
F0636H	フラグ・ビット・レジスタ／	FAAFLG/FCNTH	R/W	—	—	○	0000H
F0637H	フリーラン・カウンタ・レジスタH						
F0638H	フリーラン・カウンタ制御レジスタ	FCCNT	R/W	—	—	○	0000H
F0639H							
F0648H	割り込みベクタ・レジスタ0L	IV0L	R/W	—	—	○	0000H
F0649H							
F064AH	割り込みベクタ・レジスタ0H	IV0H	R/W	—	—	○	0000H
F064BH							
F064CH	割り込みベクタ・レジスタ1L	IV1L	R/W	—	—	○	0000H
F064DH							
F064EH	割り込みベクタ・レジスタ1H	IV1H	R/W	—	—	○	0000H
F064FH							

表3 - 6 2nd SFR一覧 (16/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0650H	割り込みベクタ・レジスタ 2L	IV2L	R/W	-	-	○	0000H
F0651H							
F0652H	割り込みベクタ・レジスタ 2H	IV2H	R/W	-	-	○	0000H
F0653H							
F0654H	割り込みベクタ・レジスタ 3L	IV3L	R/W	-	-	○	0000H
F0655H							
F0656H	割り込みベクタ・レジスタ 3H	IV3H	R/W	-	-	○	0000H
F0657H							
F0658H	割り込みベクタ・レジスタ 4L	IV4L	R/W	-	-	○	0000H
F0659H							
F065AH	割り込みベクタ・レジスタ 4H	IV4H	R/W	-	-	○	0000H
F065BH							
F065CH	割り込みベクタ・レジスタ 5L	IV5L	R/W	-	-	○	0000H
F065DH							
F065EH	割り込みベクタ・レジスタ 5H	IV5H	R/W	-	-	○	0000H
F065FH							
F0660H	割り込みベクタ・レジスタ 6L	IV6L	R/W	-	-	○	0000H
F0661H							
F0662H	割り込みベクタ・レジスタ 6H	IV6H	R/W	-	-	○	0000H
F0663H							
F0664H	割り込みベクタ・レジスタ 7L	IV7L	R/W	-	-	○	0000H
F0665H							
F0666H	割り込みベクタ・レジスタ 7H	IV7H	R/W	-	-	○	0000H
F0667H							
F0668H	割り込みベクタ・レジスタ 8L	IV8L	R/W	-	-	○	0000H
F0669H							
F066AH	割り込みベクタ・レジスタ 8H	IV8H	R/W	-	-	○	0000H
F066BH							
F066CH	割り込みベクタ・レジスタ 9L	IV9L	R/W	-	-	○	0000H
F066DH							
F066EH	システム制御レジスタノ	DSYSC/IV9H	R/W	-	-	○	0000H
F066FH	割り込みベクタ・レジスタ 9H						
F0670H	割り込みベクタ・レジスタ 10L	IV10L	R/W	-	-	○	0000H
F0671H							
F0672H	割り込みベクタ・レジスタ 10H	IV10H	R/W	-	-	○	0000H
F0673H							
F0674H	割り込みベクタ・レジスタ 11L	IV11L	R/W	-	-	○	0000H
F0675H							
F0676H	割り込みベクタ・レジスタ 11H	IV11H	R/W	-	-	○	0000H
F0677H							
F0678H	割り込みベクタ・レジスタ 12L	IV12L	R/W	-	-	○	0000H
F0679H							
F067AH	割り込みベクタ・レジスタ 12H	IV12H	R/W	-	-	○	0000H
F067BH							
F067CH	割り込みベクタ・レジスタ 13L	IV13L	R/W	-	-	○	0000H
F067DH							
F067EH	割り込みベクタ・レジスタ 13H	IV13H	R/W	-	-	○	0000H
F067FH							

表3 - 6 2nd SFR一覧 (17/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0680H	割り込みベクタ・レジスタ 14L	IV14L	R/W	-	-	○	0000H
F0681H							
F0682H	スタック・ポインタ/割り込みベクタ・レジスタ 14H	SP0/IV14H	R/W	-	-	○	0000H
F0683H							
F0684H	割り込みベクタ・レジスタ 15L	IV15L	R/W	-	-	○	0000H
F0685H							
F0686H	割り込みベクタ・レジスタ 15H	IV15H	R/W	-	-	○	0000H
F0687H							
F06A0H	センス・コントロール・レジスタ 0L	IEVSC0L	R/W	-	-	○	0000H
F06A1H							
F06A2H	センス・コントロール・レジスタ 0H	IEVSC0H	R/W	-	-	○	0000H
F06A3H							
F06A4H	センス・コントロール・レジスタ 1	IEVSC1	R/W	-	-	○	0000H
F06A5H							
F0740H	16ビット・タイマKBコンペアレジスタ 00	TKBCR00	R/W	-	-	○	0000H
F0741H							
F0742H	16ビット・タイマKBコンペアレジスタ 01	TKBCR01	R/W	-	-	○	0000H
F0743H							
F0744H	16ビット・タイマKBコンペアレジスタ 02	TKBCR02	R/W	-	-	○	0000H
F0745H							
F0746H	16ビット・タイマKBコンペアレジスタ 03	TKBCR03	R/W	-	-	○	0000H
F0747H							
F0748H	16ビット・タイマKBトリガ・コンペア・レジスタ 0	TKBTGCR0	R/W	-	-	○	0000H
F0749H							
F074AH	16ビット・タイマKBソフト・スタート・初期デューティ・レジスタ 00	TKBSIR00	R/W	-	-	○	0000H
F074BH							
F074CH	16ビット・タイマKBソフト・スタート・初期デューティ・レジスタ 01	TKBSIR01	R/W	-	-	○	0000H
F074DH							
F074EH	16ビット・タイマKBディザリング数レジスタ 00	TKBDNR00	R/W	-	○	-	00H
F074FH	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ 00	TKBSSR00	R/W	-	○	-	00H
F0750H	16ビット・タイマKBディザリング数レジスタ 01	TKBDNR01	R/W	-	○	-	00H
F0751H	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ 01	TKBSSR01	R/W	-	○	-	00H
F0752H	16ビット・タイマKBトリガ・レジスタ 0	TKBTRG0	W	○	○	-	00H
F0753H	16ビット・タイマKBフラグ・レジスタ 0	TKBFLG0	R	○	○	-	00H
F0754H	16ビット・タイマKBコンペア 1L & ディザリング数レジスタ 00	TKBCRLD00	R/W	-	-	○	0000H
F0755H							
F0756H	16ビット・タイマKBコンペア 3L & ディザリング数レジスタ 01	TKBCRLD01	R/W	-	-	○	0000H
F0757H							
F0760H	16ビット・タイマ・カウンタ KB0	TKBCNT0	R	-	-	○	FFFFH
F0761H							
F0762H	16ビット・タイマKB動作制御レジスタ 00	TKBCTL00	R/W	-	-	○	0000H
F0763H							
F0764H	16ビット・タイマKB最大周波数リミット設定レジスタ 0	TKBMFR0	R/W	-	-	○	0000H
F0765H							
F0766H	16ビット・タイマKB出力制御レジスタ 00	TKBIOC00	R/W	○	○	-	00H

表3 - 6 2nd SFR一覧 (18/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0767H	16ビット・タイマKBフラグ・クリア・トリガ・レジスタ0	TKBCLR0	W	○	○	—	00H
F0768H	16ビット・タイマKB出力制御レジスタ01	TKBIOC01	R/W	○	○	—	00H
F0769H	16ビット・タイマKB動作制御レジスタ01	TKBCTL01	R/W	○	○	—	00H
F076AH	16ビット・タイマKB動作制御レジスタ02	TKBCTL02	R/W	—	—	○	0000H
F076BH							
F0770H	強制出力停止機能制御レジスタ00	TKBPACTL00	R/W	—	—	○	0000H
F0771H							
F0772H	強制出力停止機能制御レジスタ01	TKBPACTL01	R/W	—	—	○	0000H
F0773H							
F0774H	強制出力停止機能1開始トリガ・レジスタ0	TKBPAHFS0	R/W	○	○	—	00H
F0775H	強制出力停止機能1解除トリガ・レジスタ0	TKBPAHFT0	R/W	○	○	—	00H
F0776H	強制出力停止機能フラグ・レジスタ0	TKBPAFLG0	R	○	○	—	00H
F0777H	強制出力停止機能制御レジスタ02	TKBPACTL02	R/W	○	○	—	00H
F0778H	強制出力停止機能制御レジスタ03	TKBPACTL03	R/W	—	○	—	00H
F0779H	強制出力停止機能制御レジスタ04	TKBPACTL04	R/W	—	○	—	00H
F077AH	パルス幅測定キャプチャレジスタ00	TKBPAPLS00	R	—	—	○	0000H
F077BH							
F077CH	パルス幅測定キャプチャレジスタ01	TKBPAPLS01	R	—	—	○	0000H
F077DH							
F077EH	パルス幅測定キャプチャレジスタ00L	TKBPAPLS00L	R	—	○	—	00H
F077FH	パルス幅測定キャプチャレジスタ01L	TKBPAPLS01L	R	—	○	—	00H
F0780H	16ビット・タイマKBコンペアレジスタ10	TKBCR10	R/W	—	—	○	0000H
F0781H							
F0782H	16ビット・タイマKBコンペアレジスタ11	TKBCR11	R/W	—	—	○	0000H
F0783H							
F0784H	16ビット・タイマKBコンペアレジスタ12	TKBCR12	R/W	—	—	○	0000H
F0785H							
F0786H	16ビット・タイマKBコンペアレジスタ13	TKBCR13	R/W	—	—	○	0000H
F0787H							
F0788H	16ビット・タイマKBトリガ・コンペア・レジスタ1	TKBTGCR1	R/W	—	—	○	0000H
F0789H							
F078AH	16ビット・タイマKBソフト・スタート・初期デューティ・レジスタ10	TKBSIR10	R/W	—	—	○	0000H
F078BH							
F078CH	16ビット・タイマKBソフト・スタート・初期デューティ・レジスタ11	TKBSIR11	R/W	—	—	○	0000H
F078DH							
F078EH	16ビット・タイマKBディザリング数レジスタ10	TKBDNR10	R/W	—	○	—	00H
F078FH	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ10	TKBSSR10	R/W	—	○	—	00H
F0790H	16ビット・タイマKBディザリング数レジスタ11	TKBDNR11	R/W	—	○	—	00H
F0791H	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ11	TKBSSR11	R/W	—	○	—	00H
F0792H	16ビット・タイマKBトリガ・レジスタ1	TKBTRG1	W	○	○	—	00H
F0793H	16ビット・タイマKBフラグ・レジスタ1	TKBFLG1	R	○	○	—	00H
F0794H	16ビット・タイマKBコンペア1L&ディザリング数レジスタ10	TKBCRLD10	R/W	—	—	○	0000H
F0795H							

表3-6 2nd SFR一覧 (19/19)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0796H F0797H	16ビット・タイマKBコンペア3L&ディザリング数レジスタ11	TKBCRLD11	R/W	—	—	○	0000H
F07A0H F07A1H	16ビット・タイマ・カウンタKB1	TKBCNT1	R	—	—	○	FFFFH
F07A2H F07A3H	16ビット・タイマKB動作制御レジスタ10	TKBCTL10	R/W	—	—	○	0000H
F07A4H F07A5H	16ビット・タイマKB最大周波数リミット設定レジスタ1	TKBMFR1	R/W	—	—	○	0000H
F07A6H	16ビット・タイマKB出力制御レジスタ10	TKBIOC10	R/W	○	○	—	00H
F07A7H	16ビット・タイマKBフラグ・クリア・トリガ・レジスタ1	TKBCLR1	W	○	○	—	00H
F07A8H	16ビット・タイマKB出力制御レジスタ11	TKBIOC11	R/W	○	○	—	00H
F07A9H	16ビット・タイマKB動作制御レジスタ11	TKBCTL11	R/W	○	○	—	00H
F07AAH F07ABH	16ビット・タイマKB動作制御レジスタ12	TKBCTL12	R/W	—	—	○	0000H
F07B0H F07B1H	強制出力停止機能制御レジスタ10	TKBPACTL10	R/W	—	—	○	0000H
F07B2H F07B3H	強制出力停止機能制御レジスタ11	TKBPACTL11	R/W	—	—	○	0000H
F07B4H	強制出力停止機能1開始トリガ・レジスタ1	TKBPAHFS1	R/W	○	○	—	00H
F07B5H	強制出力停止機能1解除トリガ・レジスタ1	TKBPAHFT1	R/W	○	○	—	00H
F07B6H	強制出力停止機能フラグ・レジスタ1	TKBPAFLG1	R	○	○	—	00H
F07B7H	強制出力停止機能制御レジスタ12	TKBPACTL12	R/W	○	○	—	00H
F07B8H	強制出力停止機能制御レジスタ13	TKBPACTL13	R/W	—	○	—	00H
F07B9H	強制出力停止機能制御レジスタ14	TKBPACTL14	R/W	—	○	—	00H
F07BAH F07BBH	パルス幅測定キャプチャレジスタ10	TKBPAPLS10	R	—	—	○	0000H
F07BCH F07BDH	パルス幅測定キャプチャレジスタ11	TKBPAPLS11	R	—	—	○	0000H
F07BEH	パルス幅測定キャプチャレジスタ10L	TKBPAPLS10L	R	—	○	—	00H
F07BFH	パルス幅測定キャプチャレジスタ11L	TKBPAPLS11L	R	—	○	—	00H

注1. リセット値は出荷時に調整した値です。

注2. ユーザ・オプション・バイト (000C2H) のFRQSEL2-FRQSEL0ビットで設定した値になります。

注3. FLMODEレジスタの初期値は、MODE1, MODE0ビットにオプション・バイトのCMODE1, CMODE0ビット (アドレス: 000C2H) の設定値が反映された値になります。

注4. インターバル・タイマ制御レジスタ (ITLCTL0) のITLMD00, ITLMD01ビットがそれぞれ1, 0の場合のみアクセスが可能になります。

注5. 1の書き込みは無効になります。ITF0C, ITF0iフラグをクリアする場合は、対象ビットに0を、ほかのビットに1を8ビット・メモリ操作命令で書き込んでください。

注6. ビット1はユーザ・オプション・バイト (000C2H) のFRQSEL4ビットで設定した値になります。

注7. リセット信号の発生により、RTCLPCビットおよびWUTMMCKビットは0、HIPRECビットは1になります。

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

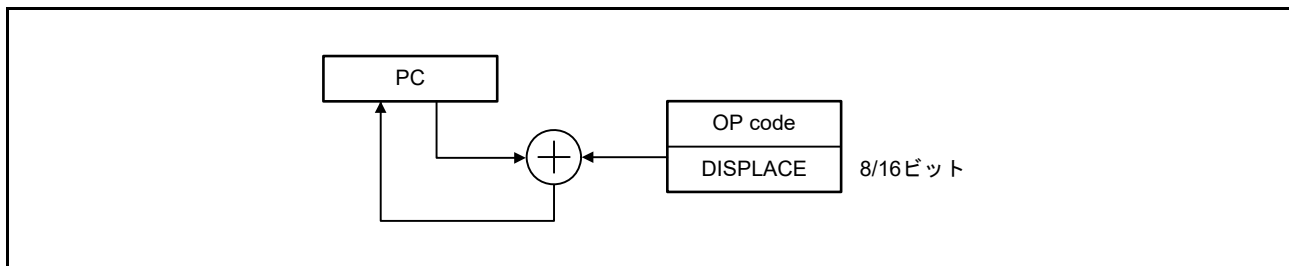
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレースメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-11 レラティブ・アドレッシングの概略



3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20/BR !!addr20と、16ビットのアドレスを指定するCALL !addr16/BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-12 CALL !!addr20 / BR !!addr20の例

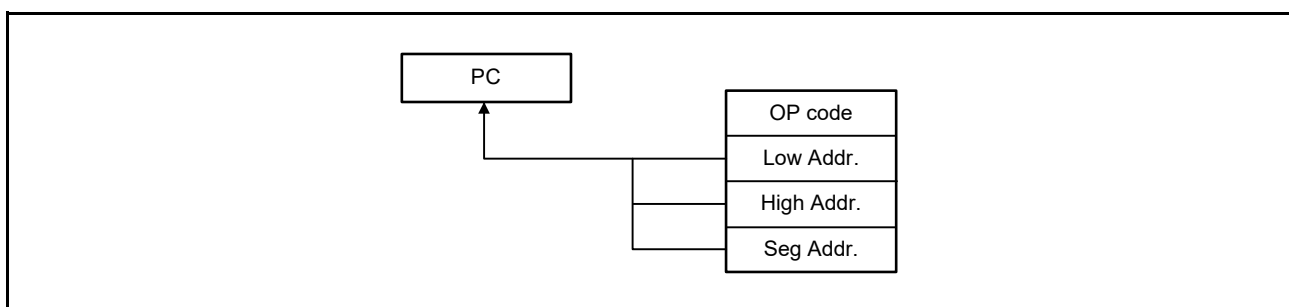
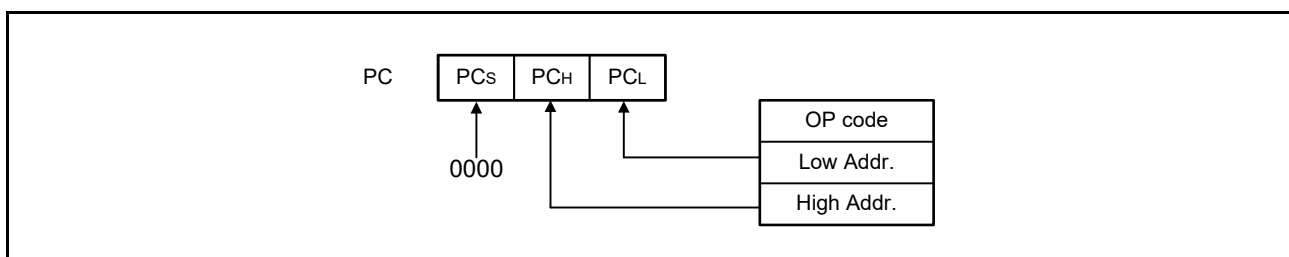


図3-13 CALL !addr16 / BR !addr16の例



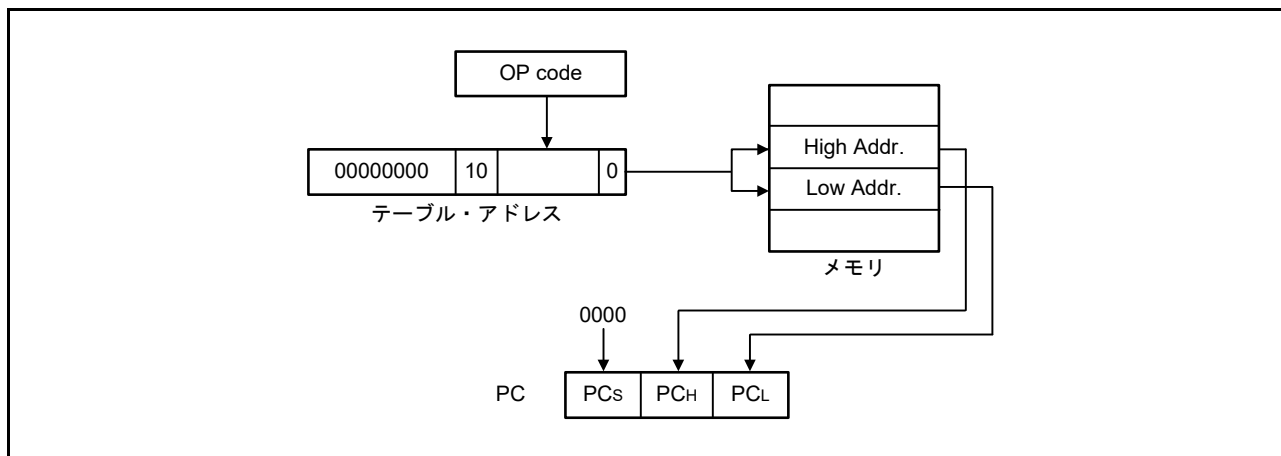
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 14 テーブル・インダイレクト・アドレッシングの概略

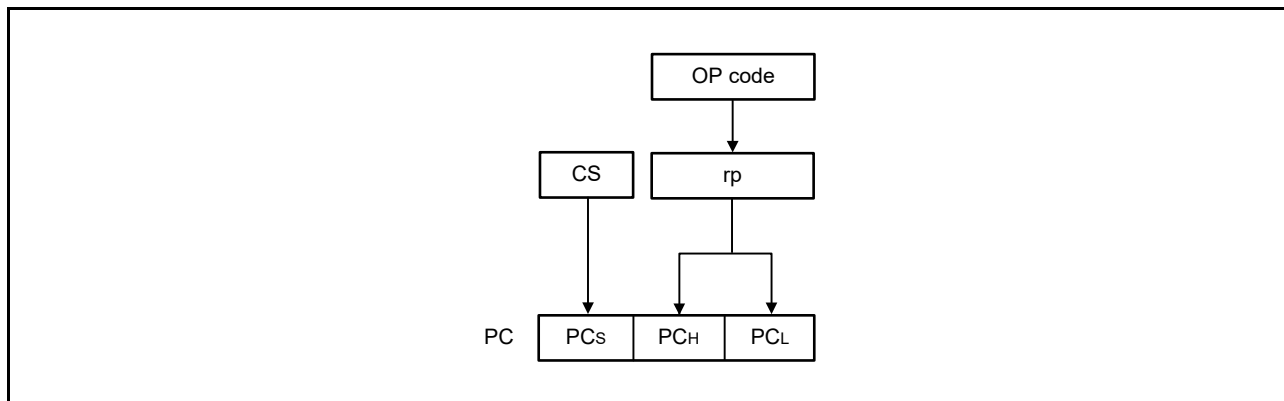


3.3.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX/BC/DE/HLとBR AX命令にのみ適用されます。

図3 - 15 レジスタ・インダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

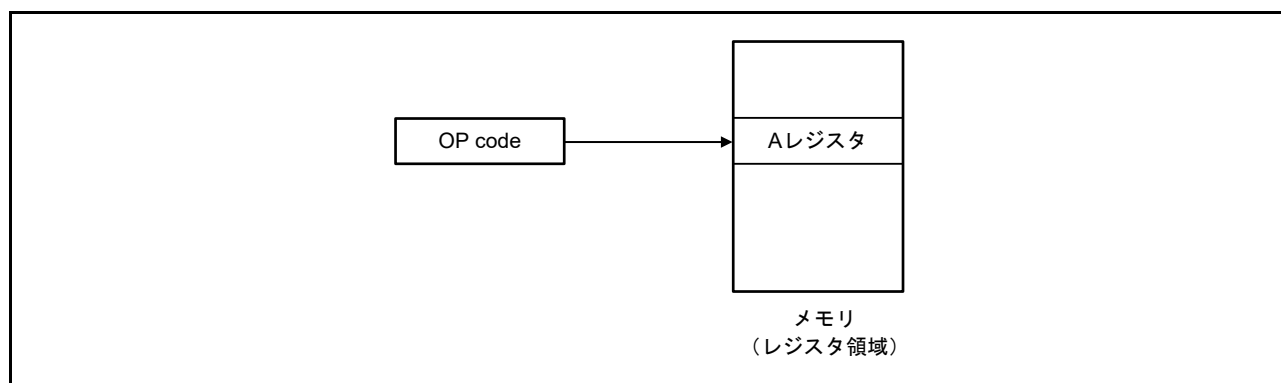
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-16 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

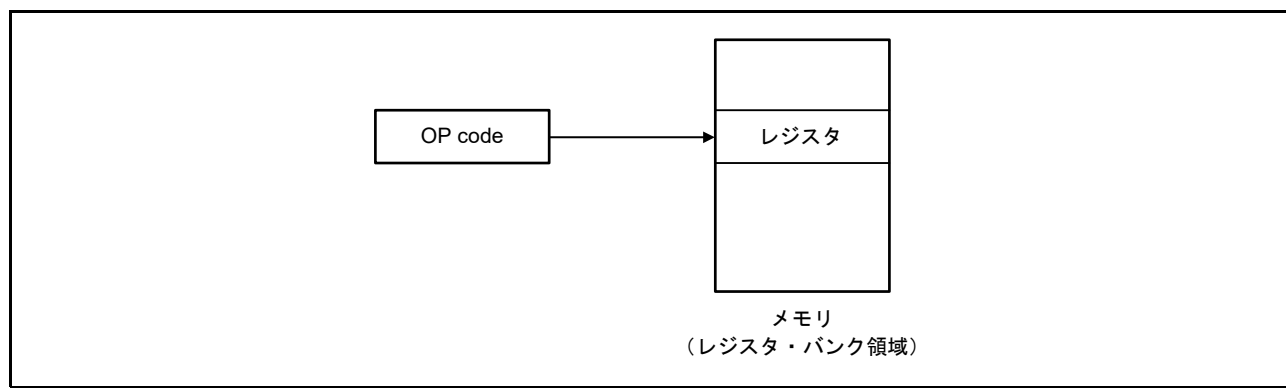
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 17 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 18 !addr16の例

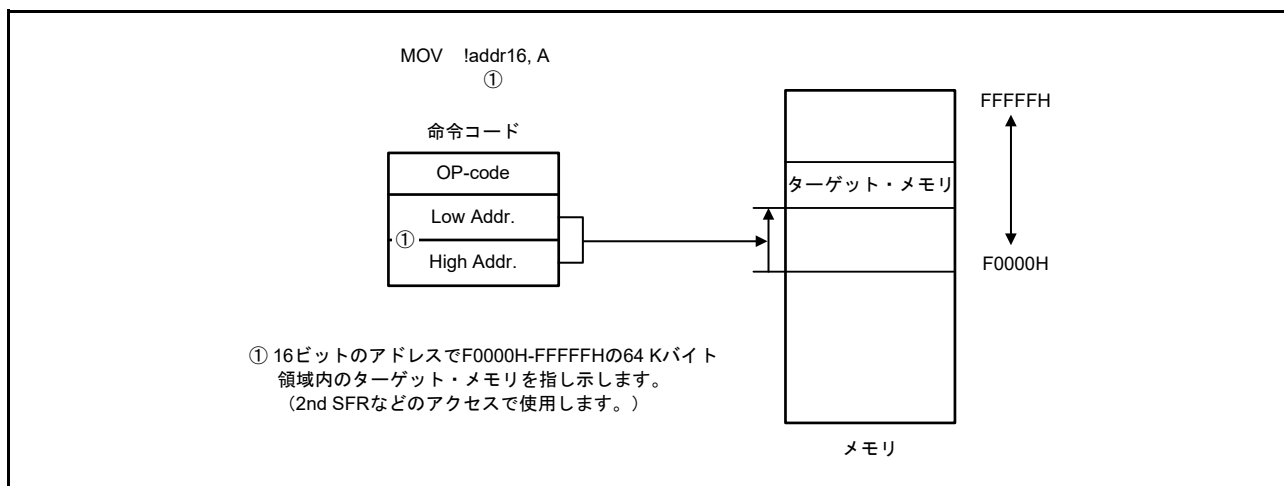
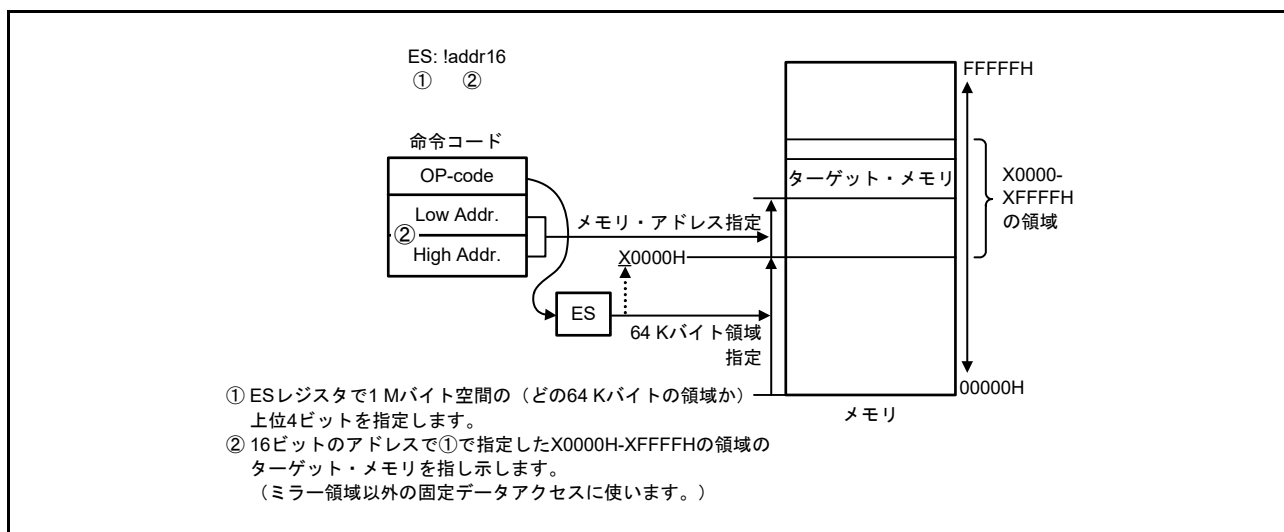


図3 - 19 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

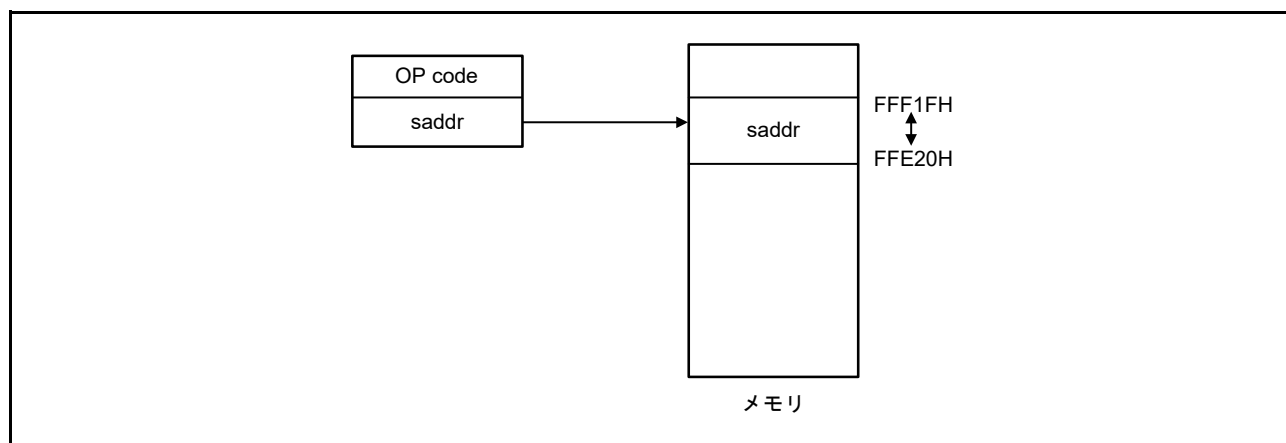
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-20 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

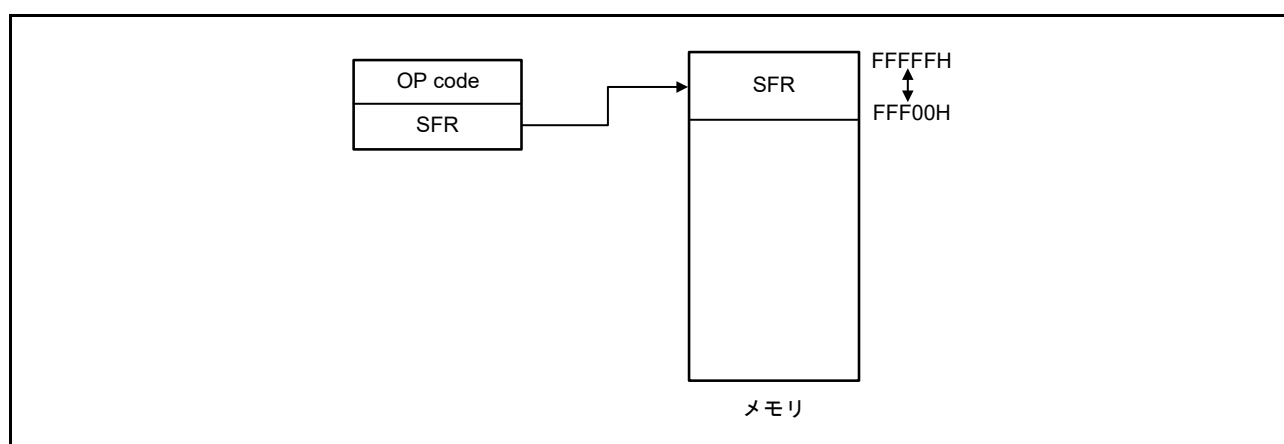
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3-21 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3-22 [DE], [HL]の例

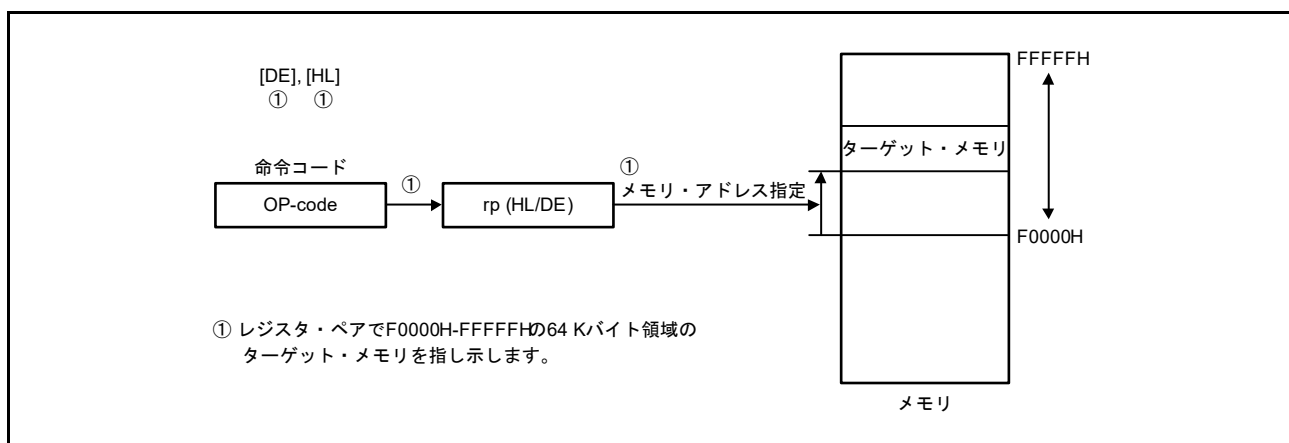
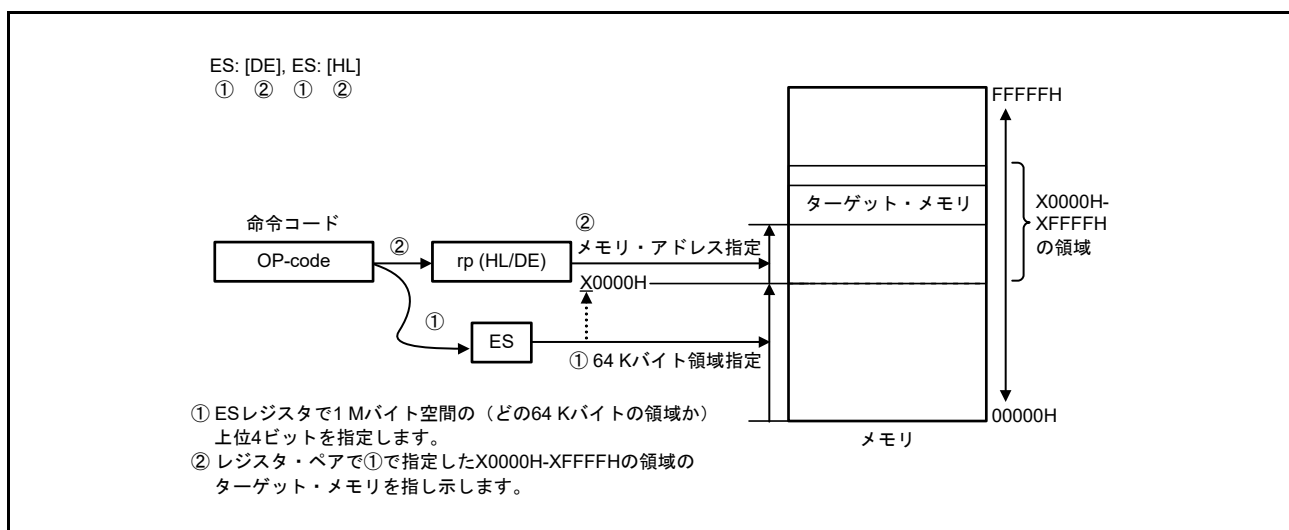


図3-23 ES:[DE], ES:[HL]の例



3.4.7 ベースト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3-24 [SP + byte]の例

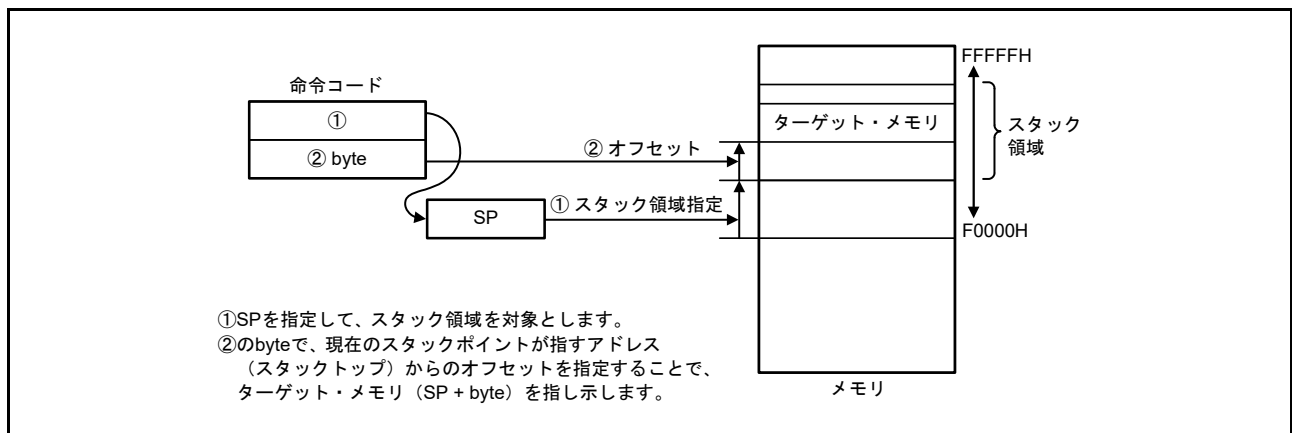


図3-25 [HL + byte], [DE + byte]の例

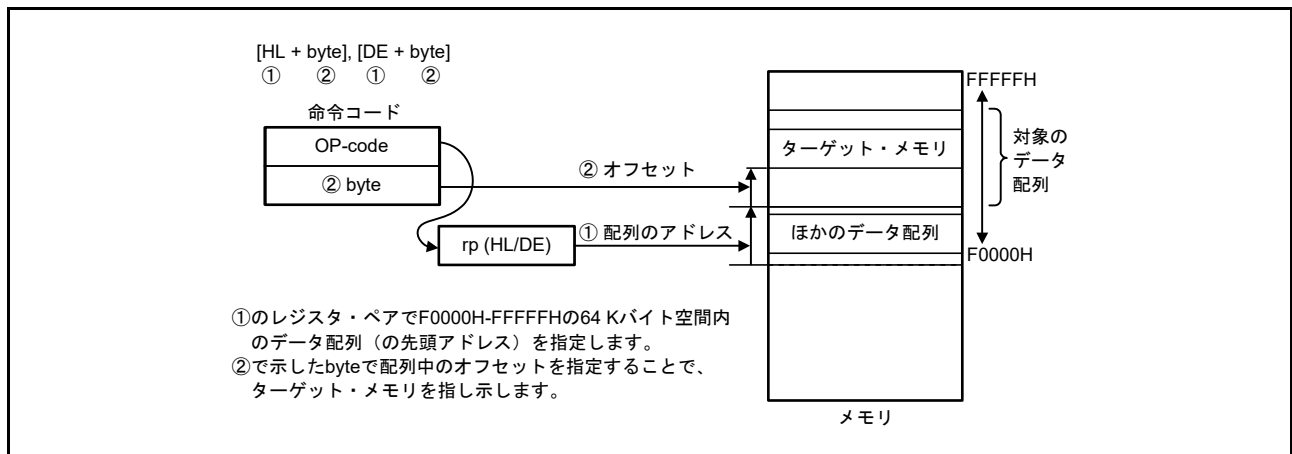


図3 - 26 word[B], word[C]の例

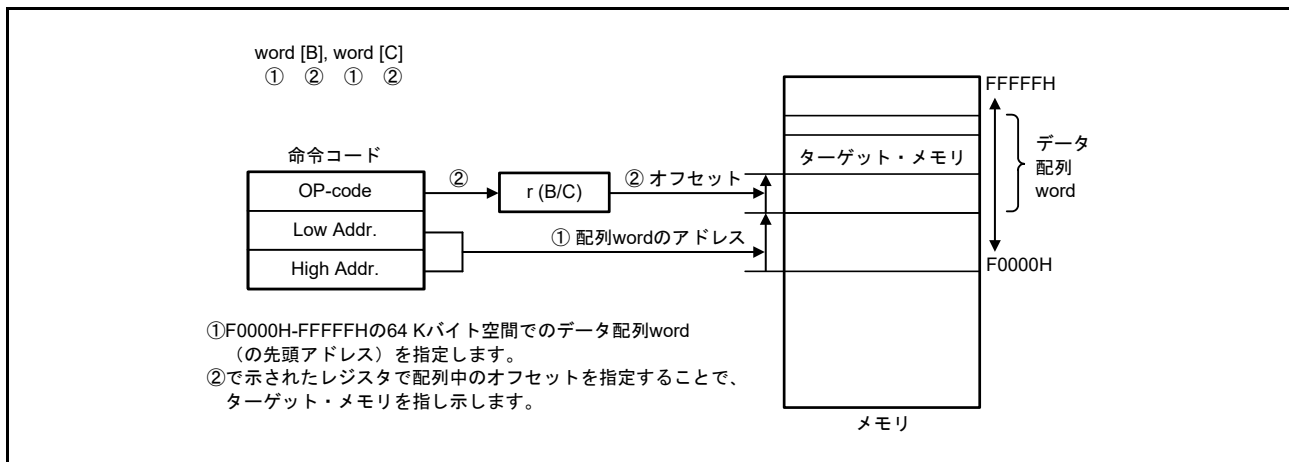


図3 - 27 word[BC]の例

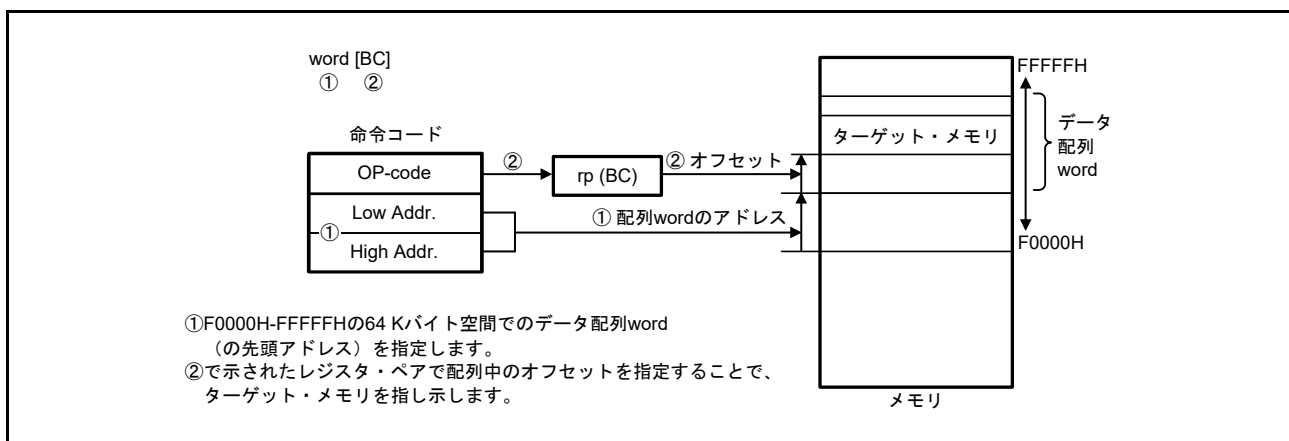


図3 - 28 ES:[HL + byte], ES:[DE + byte]の例

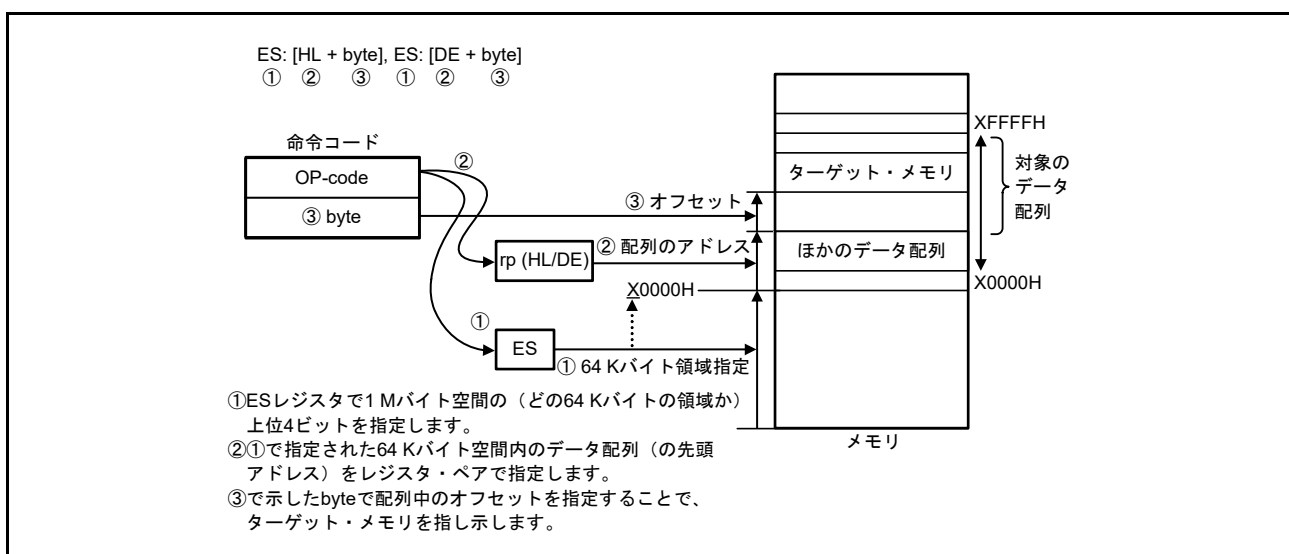


図3 - 29 ES:word[B], ES:word[C]の例

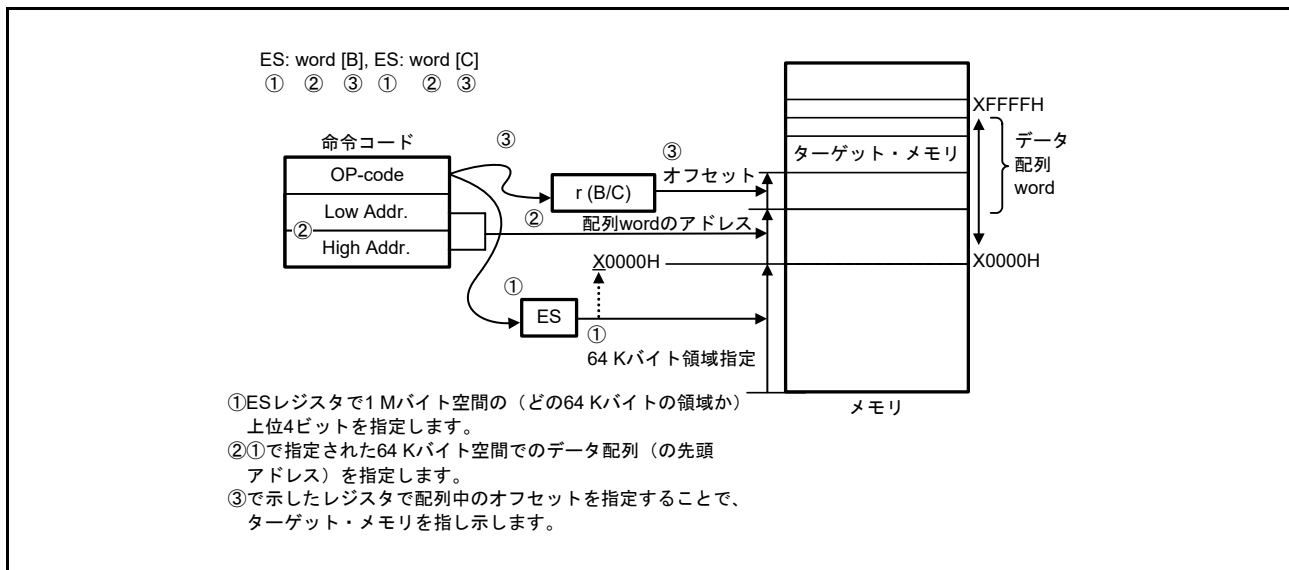
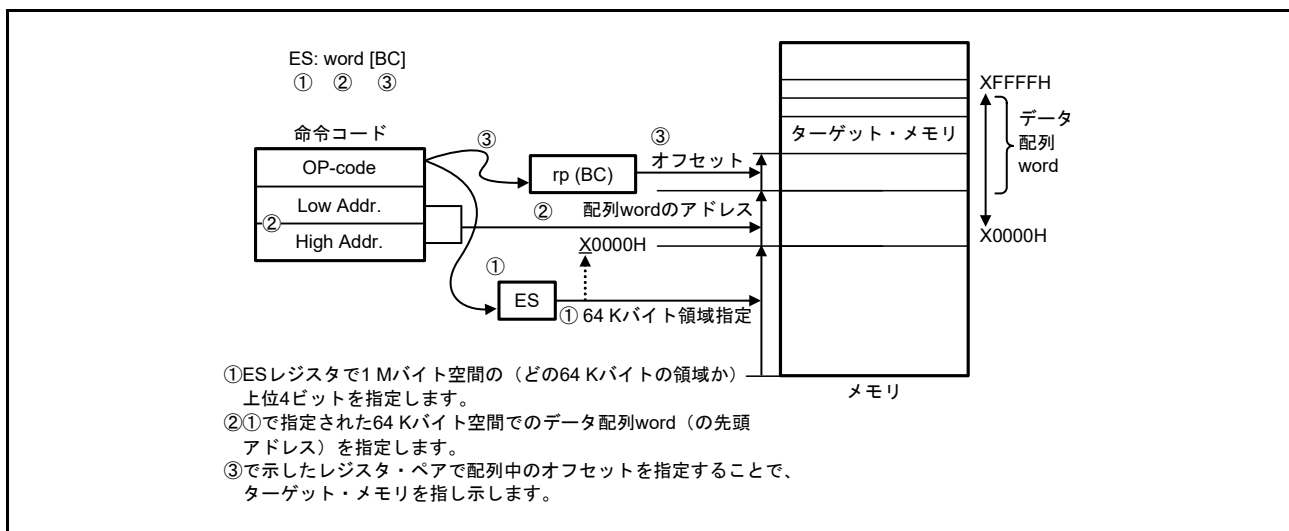


図3 - 30 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + B], [HL + C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + B], ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3-31 [HL + B], [HL + C]の例

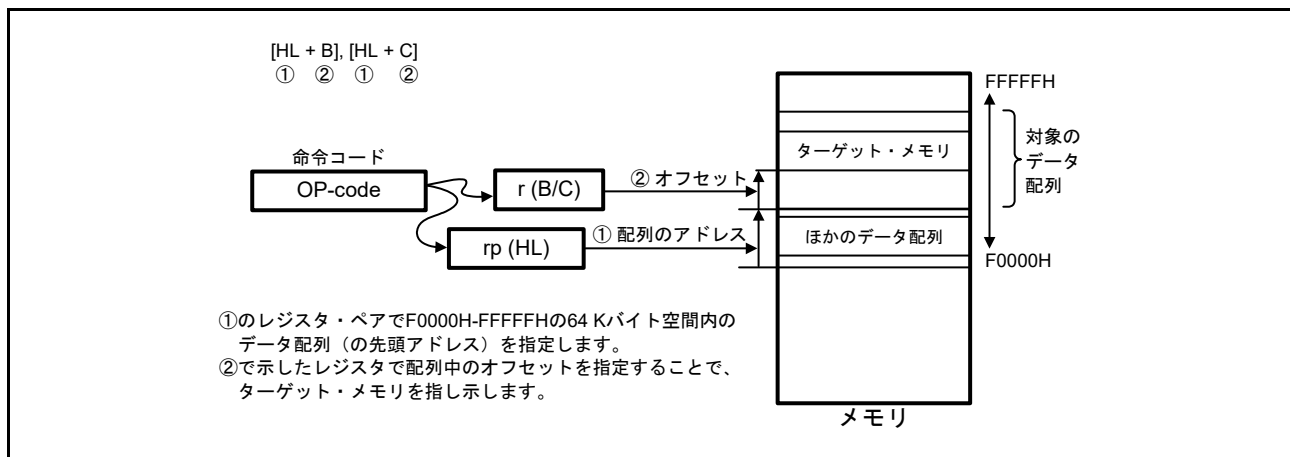
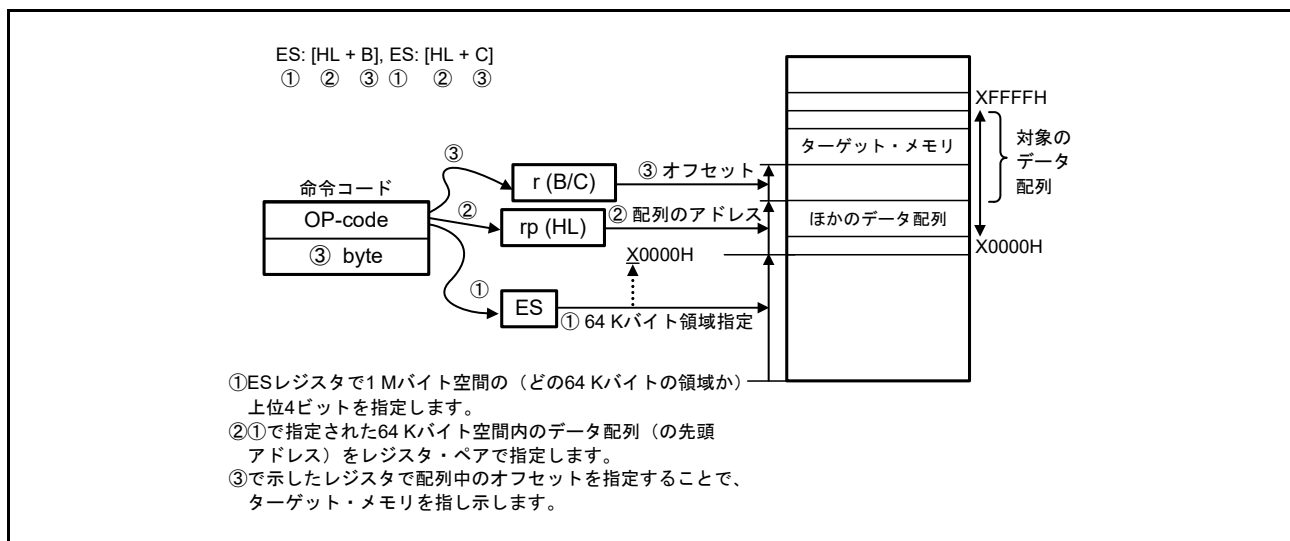


図3-32 ES:[HL + B], ES:[HL + C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH、POP、サブルーチン・コール、リターン命令の実行時、および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避／復帰されるデータは図3 - 33～図3 - 38のようになります。

図3 - 33 PUSH rpの例

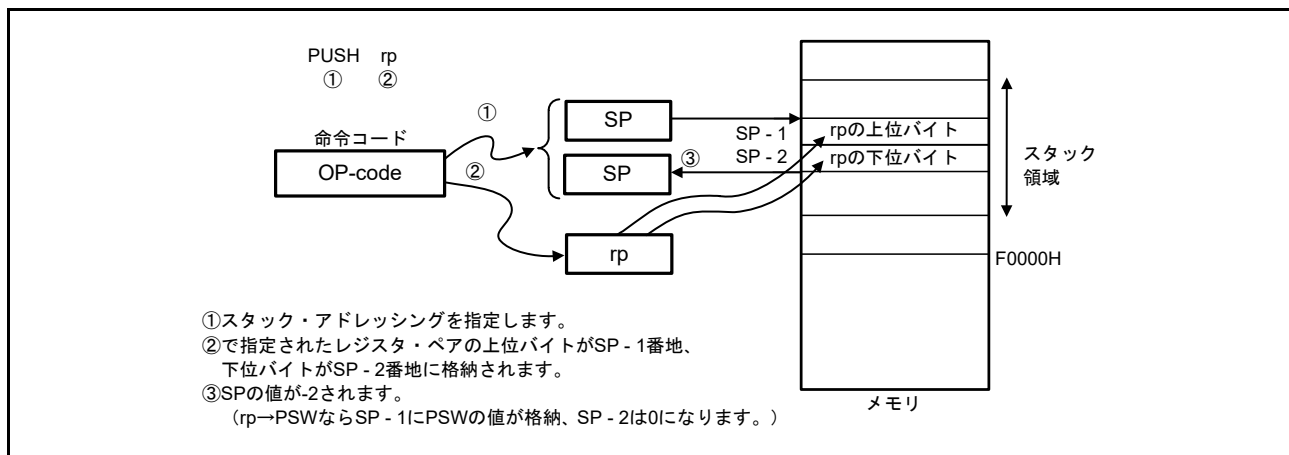


図3 - 34 POPの例

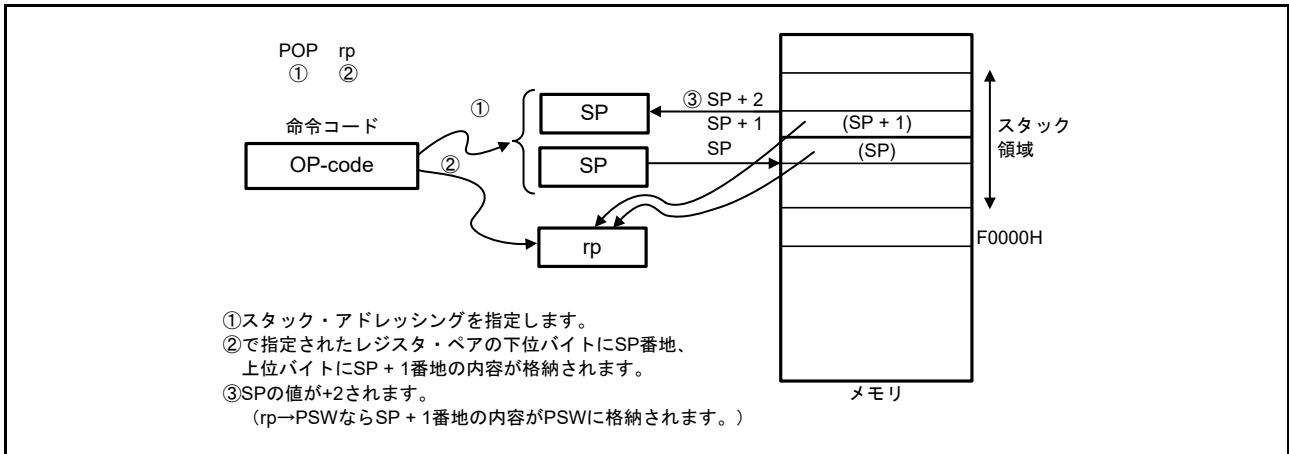


図3 - 35 CALL, CALLTの例

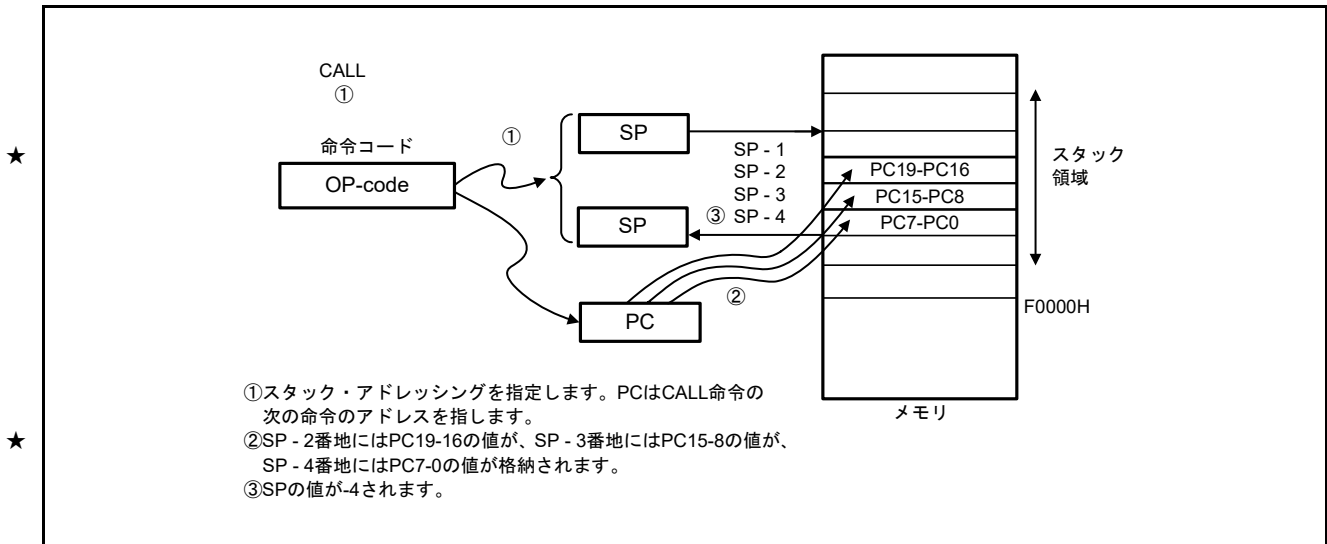


図3 - 36 RETの例

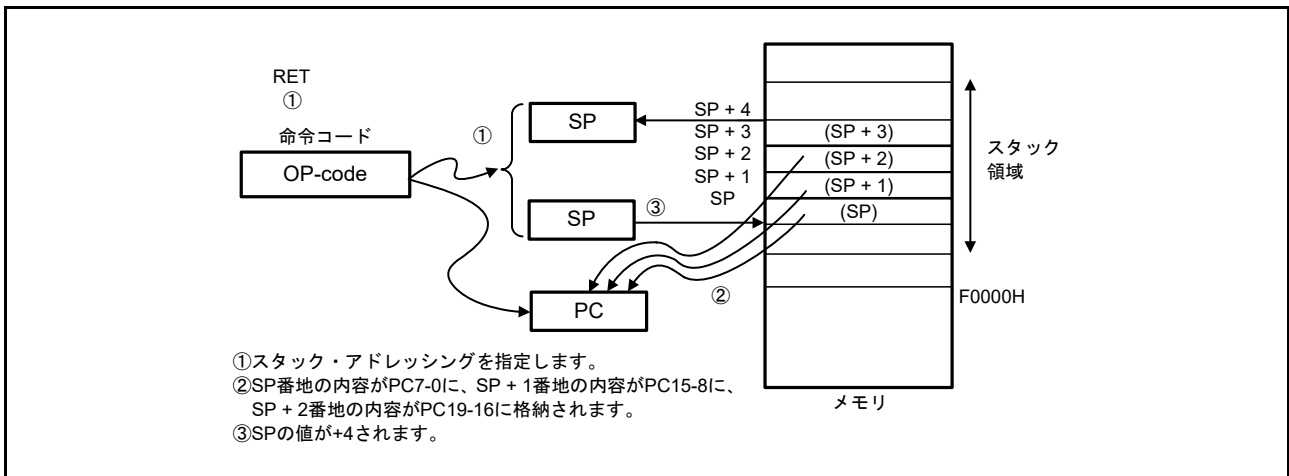


図3 - 37 割り込み、BRKの例

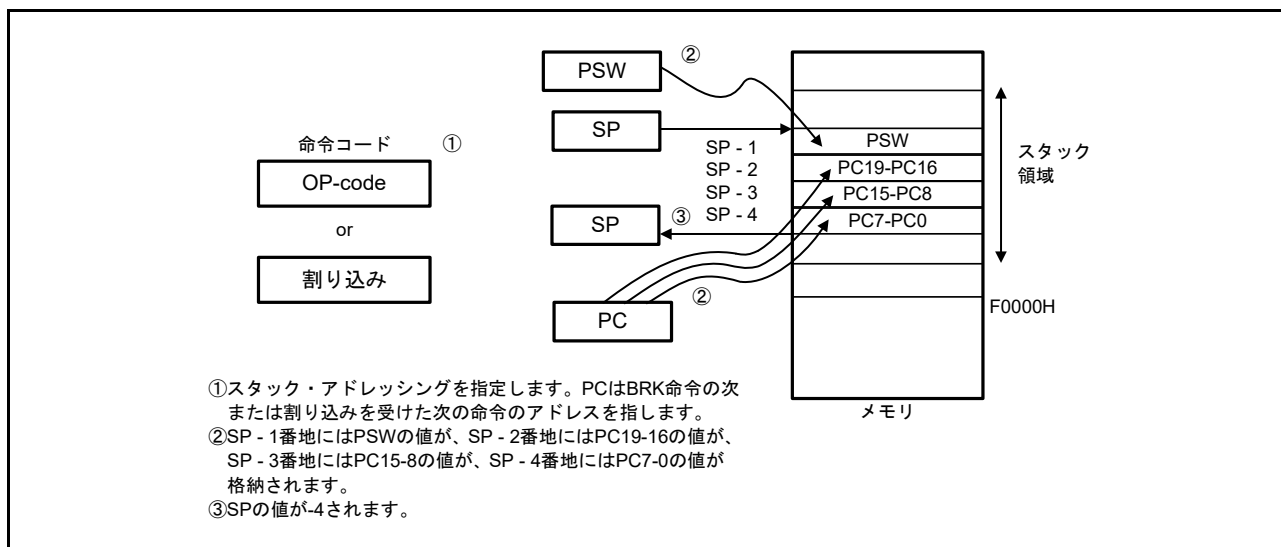
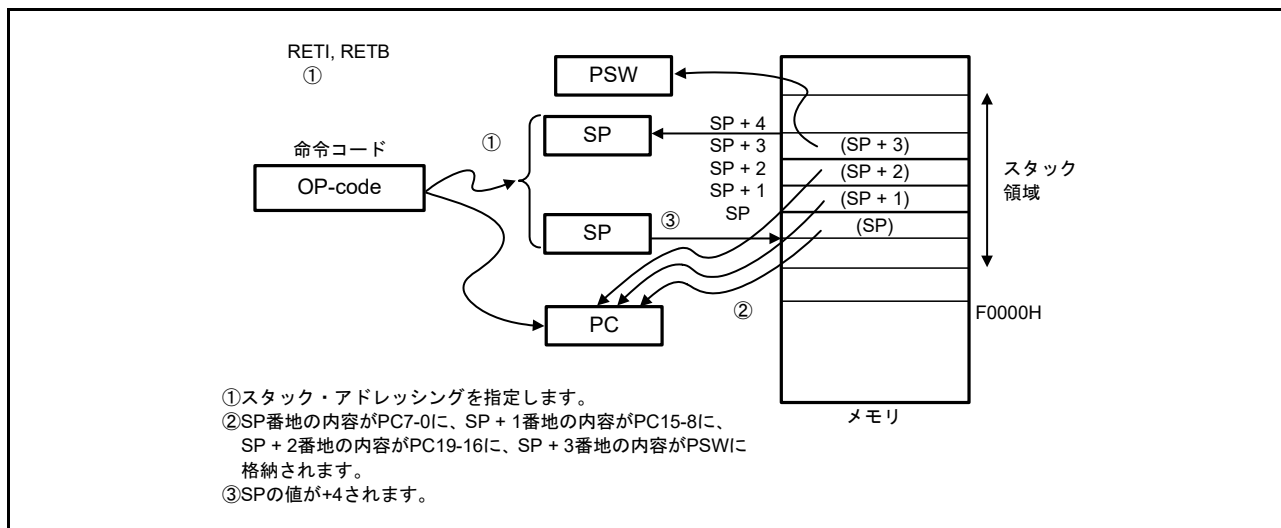


図3 - 38 RETI, RETBの例



第4章 フレキシブル・アプリケーション・アクセラレータ (FAA)

4.1 FAAの機能

フレキシブル・アプリケーション・アクセラレータ (FAA) は、ハード・アーキテクチャを採用したルネサス エレクトロニクス株式会社のオリジナルのアプリケーションアクセラレータです。32ビット乗算、加算、減算を1サイクルで実行します。FAAは、プロセッサ (GRNFAA)、インストラクション・コード・メモリ、データ・メモリ、FAAバス、ウィンドウ・レジスタ (WIND)、システム・コントローラ (GRNSYSC)、割り込みコントローラ (GRNINTC)、入カイベント・コントローラ (GRNINPUTC)、基準タイミング・コントローラ (GRNTIMEC) で構成されています。

表4-1に FAA の機能を示します。

表4-1 FAAの機能

項目	機能
プロセッサ	演算命令は、1命令/1サイクルで実行 (連続して演算命令を実行する場合、2つ目以降の命令は、2サイクルで実行) ・乗算：符号付き32ビット×符号付き32ビット→符号付き32ビット 乗算結果 (64ビット) を任意のビット数分右シフト可能 ・加算：符号付き32ビット+符号付き32ビット→符号付き32ビット 内部的に33ビット精度で演算実行 ・減算：符号付き32ビット-符号付き32ビット→符号付き32ビット 内部的に33ビット精度で演算実行 ・リミット演算：上限/下限の設定可能演算パラメータ・レジスタ (33ビット×4) プロセッサ内部レジスタ ・演算パラメータ・レジスタ (32ビット×6) ・アドレス・ポインタ・レジスタ (12ビット×6) ・フラグ・ビット・レジスタ (16ビット×1 (うち、有効フラグビットは4ビット))
メモリ	・インストラクション・コード・メモリ：4 KB ・データ・メモリ：2 KB ・データ共有メモリ (SHDMEM)：32バイト
割り込み	・多重割り込み可能 ・割り込み要因 入カイベント検出割り込み：10 タイミング・コンペア・マッチ割り込み：6
入カイベント処理	・入力チャンネル数：10 ・検出エッジ：立ち上がり、立ち下がり、両エッジ
タイミング処理	・基準タイミング・カウンタのビット数：24ビット ・コンペア・マッチのチャンネル数：6

なお、本章では次の用語を使用しています。

CPUアドレス：CPUがアクセスするMCUの周辺機能のレジスタと、データ共有メモリ (SHDMEM) のレジスタのアドレス

FAAアドレス：FAAがアクセスするMCUの周辺機能のレジスタと、データ共有メモリ (SHDMEM) のレジスタのアドレスと除算器のレジスタのアドレス

4.2 FAAの構成

FAAは、以下のハードウェアで構成されています。

(1) プロセッサ (GRNFAA)

符号付き32ビット・データの乗算、加算、減算、リミット演算、シフト命令を含む、各種の演算命令を1クロック (実行サイクル) で実行します。

(2) インストラクション・コード・メモリ

FAAの実行するプログラムを格納します。

(3) データ・メモリ

FAAのプログラム実行に必要なデータを格納します。

(4) FAAバス

入カイベント・コントローラ (GRNINPUTC)、割り込みコントローラ (GRNINTC)、基準タイミング・コントローラ (GRNTIMEC) の各レジスタと、FAAがアクセス可能なMCUの周辺機能のレジスタ、アドレス・バス選択機能、データ共有メモリ (SHDMEM)、除算器の各レジスタをアクセスする際に使用します。

(5) ウィンドウ・レジスタ (WIND)

CPUの2nd SFR領域にマッピングされるFAAの各ハードウェアをCPUからアクセスするときに設定するレジスタです。

(6) システム・コントローラ (GRNSYSC)

CPUとのインタフェース機能 (CPUインタフェース) を内蔵し、FAAの動作を制御します。また、低消費電力モードを設定できます。

(7) 割り込みコントローラ (GRNINTC)

FAA内の割り込みを制御します。

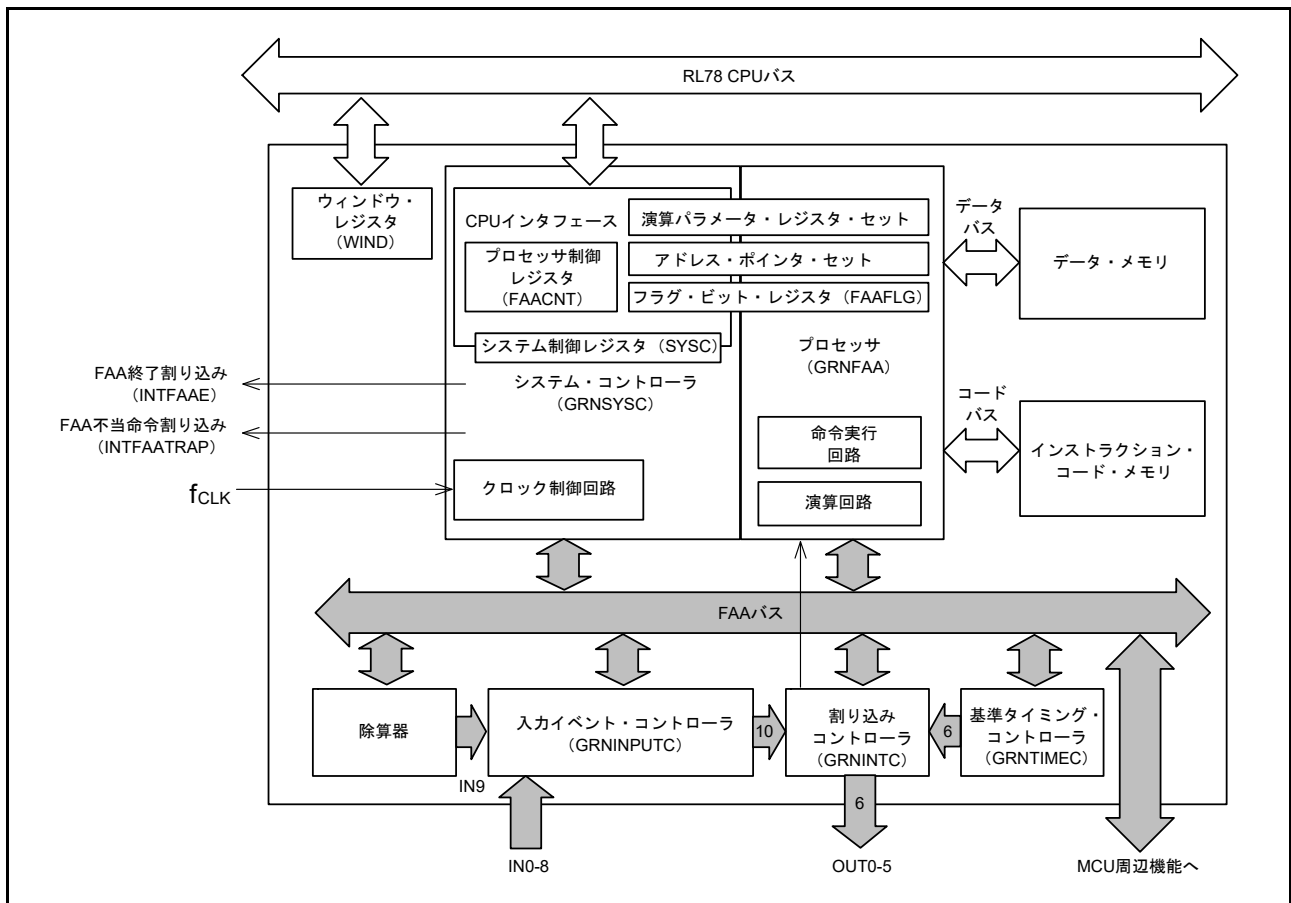
(8) 入カイベント・コントローラ (GRNINPUTC)

外部からのトリガ入力信号 (MCU内の周辺機能からの割り込み要求信号) に対して、エッジ検出を行います。

(9) 基準タイミング・コントローラ (GRNTIMEC)

1チャンネルの24ビット・フリーラン・カウンタと6つのタイミング・コンペア・レジスタがあります。周期的なFAAの動作タイミングを生成します。

図4-1 FAAのブロック図



備考 IN0 : 外部割り込みエッジ検出0 (INTP0)

IN1 : ELCトリガ信号0

IN2 : ELCトリガ信号1

IN3 : ELCトリガ信号2

IN4 : ELCトリガ信号3

IN5 : ELCトリガ信号4

IN6 : ELCトリガ信号5

IN7 : ELCトリガ信号6

IN8 : ELCトリガ信号7

IN9 : 除算演算終了

OUT0 : FAAタイミング・コンペア・マッチ割り込み0 (INTTIMEC0)

OUT1 : FAAタイミング・コンペア・マッチ割り込み1 (INTTIMEC1)

OUT2 : FAAタイミング・コンペア・マッチ割り込み2 (INTTIMEC2)

OUT3 : FAAタイミング・コンペア・マッチ割り込み3 (INTTIMEC3)

OUT4 : FAAタイミング・コンペア・マッチ割り込み4 (INTTIMEC4)

OUT5 : FAAタイミング・コンペア・マッチ割り込み5 (INTTIMEC5)

4.3 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

FAA を使用するときは、必ず FAAEN ビットに 1 を設定してください。

PER2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。PER2 レジスタは FAA からアクセスできません。

図4-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH

FAAアドレス: -

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	FAAEN	MEMEN	TKBEN	TRGEN	TRD0EN	PWMOPEN	TRXEN	TRJ0EN
FAAEN	FAAの入カクロックの制御							
0	入カクロック供給停止 ・ FAAで使用するSFRへのリード可/ライト不可 ただし、WINDレジスタ、SYSCレジスタENBビット、ADBSELレジスタのみライト可です。							
1	入カクロック供給 ・ FAAで使用するSFRへのリード/ライト可							

4.4 周辺リセット制御レジスタ2 (PRR2)

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット/リセット解除の制御を行います。

FAA をリセットする場合は、必ず FAARES ビットに 1 を設定してください。

PRR2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。PRR2 レジスタは FAA からアクセスできません。

図4-3 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH

FAAアドレス: -

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR2	FAARES	MEMRES	TKBRES	TRGRES	TRD0RES	PWMOP RES	TRXRES	TRJ0RES
	FAARES	FAAのリセット制御						
	0	FAAのリセット解除						
	1	FAAはリセット状態						

4.5 プロセッサ (GRNFAA)

4.5.1 プロセッサ (GRNFAA) のレジスタ構成

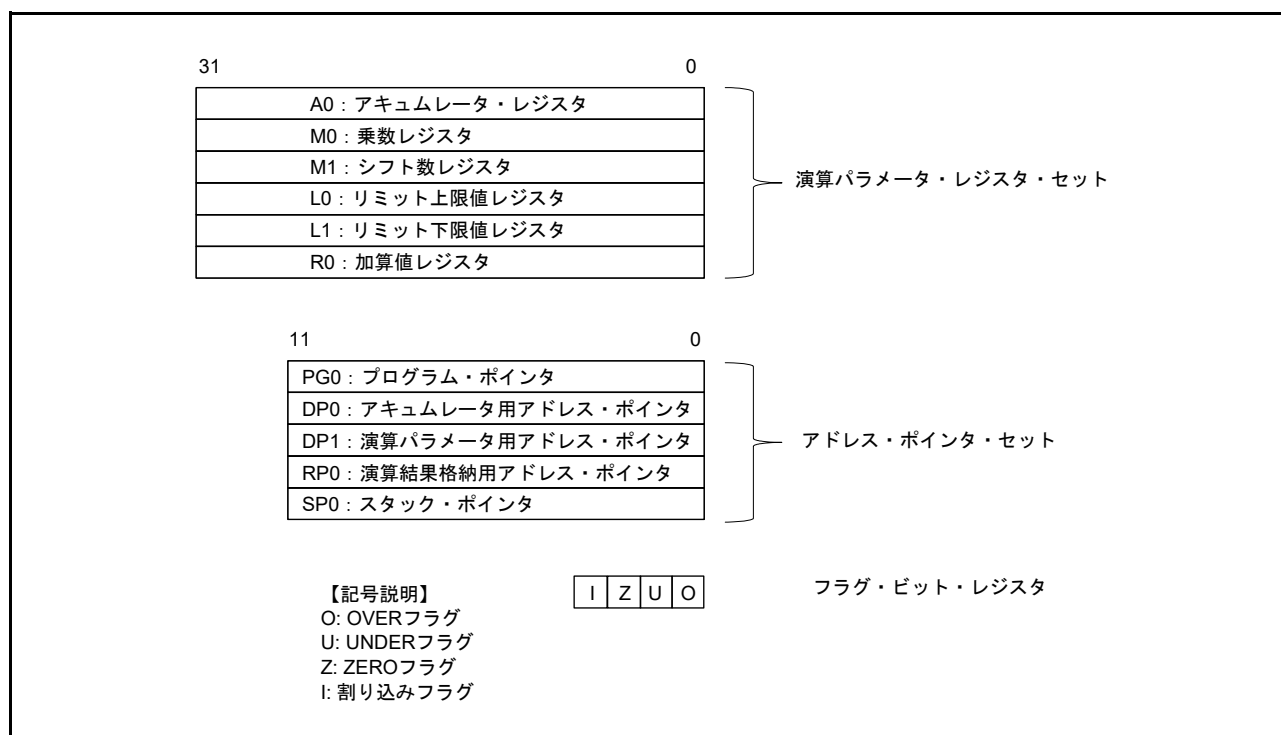
図4-4にプロセッサ (GRNFAA) のレジスタ構成を示します。

FAA のレジスタは、演算パラメータ・レジスタ・セットとアドレス・ポインタ・セット、フラグ・ビット・レジスタで構成されています。

演算パラメータ・レジスタ・セットは32ビット幅、アドレス・ポインタ・セットは12ビット幅のレジスタです。

各レジスタの詳細は、4.9 システム・コントローラ (GRNSYSC) を参照してください。

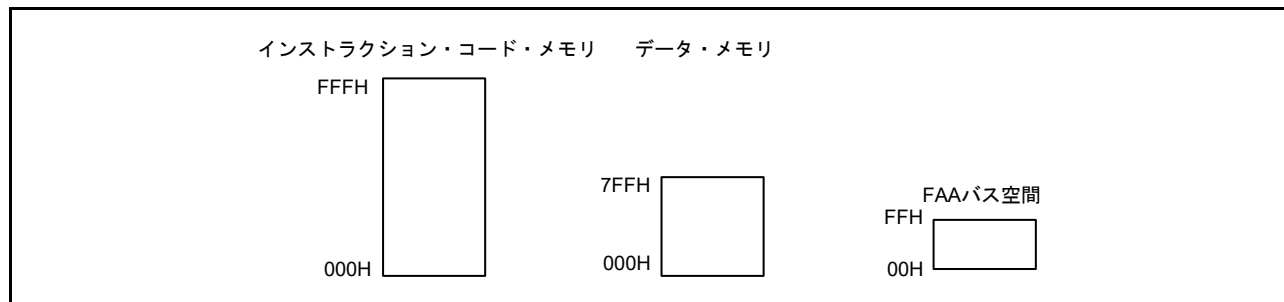
図4-4 プロセッサ (GRNFAA) のレジスタ構成



4.6 FAAのメモリ空間

図4-5に FAA のアドレス・マップを示します。FAA のメモリ空間は、インストラクション・コード・メモリとデータ・メモリ、FAA バスの空間に分かれています。インストラクション・コード・メモリは、8 ビット単位か 16 ビット単位でアクセスされ、命令解釈を行います。データ・メモリはアドレス・ポインタ・セットでアドレス指定ができ、32 ビット単位でアクセスできます。FAA バスは IN/OUT 命令でアクセスでき、アドレスはインストラクション・コード中で指定します。

図4-5 FAAのアドレス・マップ



4.7 FAAバス

表4-2に FAA が FAA バスを介してアクセス可能なレジスタのアドレス・マップを示します。

入力イベント・コントローラ (GRNINPUTC)、割り込みコントローラ (GRNINTC)、基準タイミング・コントローラ (GRNTIMEC) の各レジスタと、FAA がアクセス可能な MCU の周辺機能のレジスタ、アドレス・バス選択機能、データ共有メモリ (SHDMEM) のレジスタがマッピングされています。

表4-2 FAAがFAAバスを介してアクセス可能なレジスタのアドレス・マップ (1/2)

番地	レジスタ名
00H	システム制御レジスタ (SYSC)
01H	タイミング・コンペア・レジスタ0 (TMCMP0)
02H	タイミング・コンペア・レジスタ1 (TMCMP1)
03H	タイミング・コンペア・レジスタ2 (TMCMP2)
04H	タイミング・コンペア・レジスタ3 (TMCMP3)
05H	タイミング・コンペア・レジスタ4 (TMCMP4)
06H	タイミング・コンペア・レジスタ5 (TMCMP5)
07H	タイミング・コンペア・マスク・レジスタ0 (TMMSK0)
08H	タイミング・コンペア・マスク・レジスタ1 (TMMSK1)
09H	タイミング・コンペア・マスク・レジスタ2 (TMMSK2)
0AH	タイミング・コンペア・マスク・レジスタ3 (TMMSK3)
0BH	タイミング・コンペア・マスク・レジスタ4 (TMMSK4)
0CH	タイミング・コンペア・マスク・レジスタ5 (TMMSK5)
0DH	フリーラン・カウンタ・レジスタ (FCNT)
0EH	フリーラン・カウンタ制御レジスタ (FCCNT)
0FH-11H	システム予約アドレス (アクセス禁止)
12H	割り込みベクタ・レジスタ0 (IV0)
13H	割り込みベクタ・レジスタ1 (IV1)
14H	割り込みベクタ・レジスタ2 (IV2)
15H	割り込みベクタ・レジスタ3 (IV3)
16H	割り込みベクタ・レジスタ4 (IV4)
17H	割り込みベクタ・レジスタ5 (IV5)
18H	割り込みベクタ・レジスタ6 (IV6)
19H	割り込みベクタ・レジスタ7 (IV7)
1AH	割り込みベクタ・レジスタ8 (IV8)
1BH	割り込みベクタ・レジスタ9 (IV9)
1CH	割り込みベクタ・レジスタ10 (IV10)
1DH	割り込みベクタ・レジスタ11 (IV11)
1EH	割り込みベクタ・レジスタ12 (IV12)
1FH	割り込みベクタ・レジスタ13 (IV13)
20H	割り込みベクタ・レジスタ14 (IV14)
21H	割り込みベクタ・レジスタ15 (IV15)

表4 - 2 FAAがFAAバスを介してアクセス可能なレジスタのアドレス・マップ (2/2)

番地	レジスタ名
22H-27H	システム予約アドレス (アクセス禁止)
28H	センス・コントロール・レジスタ0 (IEVSC0)
29H	センス・コントロール・レジスタ1 (IEVSC1)
2AH-3FH	システム予約アドレス (アクセス禁止)
40H-BFH	表4 - 15 各周辺機能のレジスタのFAAアドレスとアクセス・サイズ一覧および表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧を参照してください。
C0H-DFH	システム予約アドレス (アクセス禁止)
E0H	CWDWレジスタ・ファイル0
E1H	CWDWレジスタ・ファイル1
E2H	CWDWレジスタ・ファイル2
E3H	CWDWレジスタ・ファイル3
E4H	CWDWレジスタ・ファイル4
E5H	CWDWレジスタ・ファイル5
E6H	CWDWレジスタ・ファイル6
E7H	CWDWレジスタ・ファイル7
E8H-FFH	システム予約アドレス (アクセス禁止)

4.8 ウィンドウ・レジスタ (WIND)

FAA に内蔵のメモリ領域は、CPU の2nd SFR 領域内の対象リソース割り当て領域にマッピングされています。対象リソース割り当て領域は、F0600H-F06FFH (256 バイト) です。対象リソース割り当て領域は、FAA に内蔵のメモリ領域より狭いため、ウィンドウ・レジスタ (WIND) の値をページ情報として拡張しています。対象リソース割り当て領域にアクセスするときは、FAA に入カロックを供給 (FAAEN = 1) してください。

FAA のインストラクション・コード・メモリ空間 (ウィンドウ・レジスタ (WIND) = 0020H-002FH)、データ・メモリ空間 (ウィンドウ・レジスタ (WIND) = 10H-17H) と FAA バス空間 (ウィンドウ・レジスタ (WIND) = 30H) を CPU か DTC からアクセスする場合は、次の手順で行います。

- ① ウィンドウ・レジスタ (WIND) を 0000H に書き換える。または 00H であることを確認する。
- ② SYSC.SLP ビット (スリープ・ビット) でプロセッサ (GRNFAA) を通常状態にする (SLP = 0)。
- ③ SYSC.ENB ビット (FAA 動作許可ビット) で FAA を動作禁止にする (ENB = 0)。
- ④ SYSC.EXE ビット (プロセッサ動作中ビット) が 0 にクリアされている (プロセッサ停止中) ことを確認する。

その後、対象となる FAA のリソースにアクセスするときは、ウィンドウ・レジスタ (WIND) をアクセス対象のリソースに対応する値に書き換えてから行ってください。

WIND レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図 4 - 6 にウィンドウ・レジスタ (WIND) と CPU の 2nd SFR 領域、FAA に内蔵のメモリ空間との関係を示します。

図4 - 6 ウィンドウ・レジスタ (WIND) と CPU の 2nd SFR 領域、FAA に内蔵のメモリ空間との関係

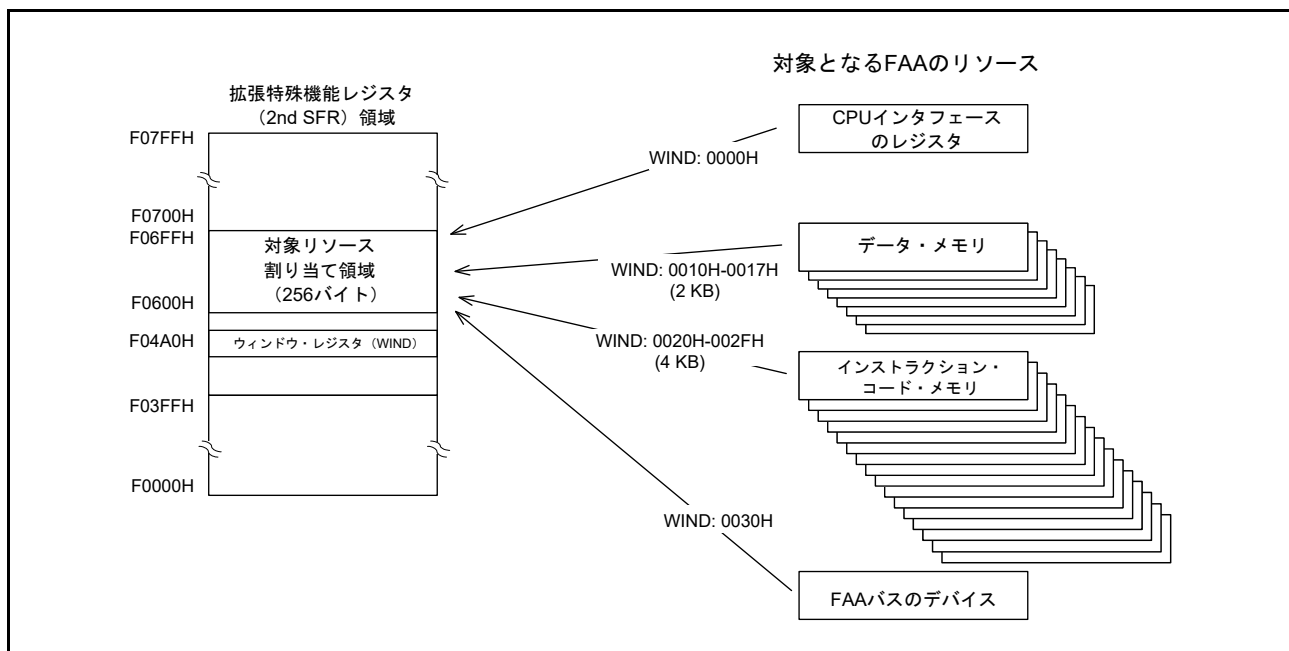


図4-7 ウィンドウ・レジスタ (WIND) のフォーマット

アドレス : F04A0H
 FAAアドレス: -
 リセット時: 0000H
 R/W属性 : R/W



4.9 システム・コントローラ (GRNSYSC)

システム・コントローラ (GRNSYSC) は、CPU とのインタフェース機能を持っており、FAA の動作を制御します。また、低消費電力モードを設定できます。

表 4 - 3 にシステム・コントローラの機能概要を示します。

表4 - 3 システム・コントローラの機能概要

項目	機能
低消費電力機能	システム制御レジスタ (SYSC (DSYSC注)) により、プロセッサ (GRNFAA) のクロックを停止して、低消費電力モードにできます。
CPUインタフェース	FAAの停止中に、CPUからのアクセスを可能にします。

注 DSYSCは、拡張特殊機能レジスタ (2nd SFR) での略号です。

4.9.1 システム・コントローラのレジスタ一覧

表 4 - 4 にシステム・コントローラのレジスタ一覧を示します。

FAA のインストラクション・コード・メモリとデータ・メモリ、FAA バスのデバイスは、CPU からアクセス可能です。ただし、CPU のアクセスとプロセッサ (GRNFAA) のアクセスが重なった場合、CPU のアクセスは無効になります。このとき、CPU の書き込みは無効となり、読み出しデータは不定です。

すべて 16 ビット・アクセスのみ可能です。

CPU インタフェースへのアクセスは、4.8 ウィンドウ・レジスタ (WIND) での手順に従ってください。

表4-4 システム・コントローラのレジスタ一覧

CPU アドレス		WIND レジスタ値	レジスタ名	略号	R/W (CPU)	ビット	FAA アドレス	レジスタ名	略号	R/W (FAA)	ビット
F0600H	F0602H	0000H	アキュムレータ・レジスタL	A0L	R/W	16	—	アキュムレータ・レジスタ・ セット	A0	R/W	32
F0604H	F0606H		アキュムレータ・レジスタH	A0H	R/W	16			M0	R/W	32
F0608H	F060AH		乗数レジスタL	M0L	R/W	16	—	乗数レジスタ	M1	R/W	32
F060CH	F060EH		乗数レジスタH	M0H	R/W	16			L0	R/W	32
F0610H	F0612H		シフト数レジスタL	M1L	R/W	16	—	シフト数レジスタ	L1	R/W	32
F0614H	F0616H		シフト数レジスタH	M1H	R/W	16			R0	R/W	32
F061AH	F061EH		リミット上限値レジスタL	L0L	R/W	16	—	リミット上限値レジスタ	DP0	R/W	16
F0622H	F0624H		リミット上限値レジスタH	L0H	R/W	16			DP1	R/W	16
F0628H	F062EH		リミット下限値レジスタL	L1L	R/W	16	—	リミット下限値レジスタ	RP0	R/W	16
F0636H	F063EH		リミット下限値レジスタH	L1H	R/W	16			FAACNT	R/W	16
F0642H	F0648H		加算値レジスタL	R0L	R/W	16	—	加算値レジスタ	PG0	R/W	16
F064CH	F064EH		加算値レジスタH	R0H	R/W	16			FAAFLG	R/W	16
F0650H	F0656H		アキュムレータ用アドレス・ ポインタ	DP0	R/W	16	—	アドレス・ポインタ・セット	SYSC	R/W	16
F0658H	F065EH		演算パラメータ用アドレス・ ポインタ	DP1	R/W	16			SP0	R/W	16
F0660H	F0666H		演算結果格納用アドレス・ ポインタ	DRP0	R/W	16	—	演算結果格納用アドレス・ ポインタ	SP0	R/W	16
F0668H	F066EH		プロセッサ制御レジスタ	FAACNT	R/W	16			—	—	—
F0670H	F0676H		プログラム・ポインタ	PG0	R/W	16	—	アドレス・ポインタ・セット	PG0	R/W	16
F0678H	F067EH		フラグ・ビット・レジスタ	FAAFLG	R/W	16			—	—	—
F0680H	F0686H		システム制御レジスタ	DSYSC	R/W	16	00H	システム制御レジスタ	SYSC	R/W	16
F0688H	F068EH		スタック・ポインタ	SP0	R/W	16			—	—	—

4.9.1.1 システム制御レジスタ (SYSC (DSYSC))

SYSC (DSYSC) レジスタ^注は、次のような設定を行います。

- プロセッサ (GRNFAA) の動作状態の読み出し
- FAAの動作許可の設定
- ソフトウェア・リセット
- 低消費電力モード

このレジスタは、CPU アドレスと FAA アドレスの両方に割り当てられています。CPU か DTC がアクセスする場合、ウィンドウ・レジスタ (WIND) の値は、00H に設定してください。FAA バス空間をアクセスするときの 30H に設定する必要はありません。

SYSC (DSYSC) レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

注 DSYSCは、拡張特殊機能レジスタ (2nd SFR) での略号です。

図4 - 8 システム制御レジスタ (SYSC (DSYSC)) のフォーマット (1/2)

アドレス : F066EH

FAAアドレス: 00H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SYSC (DSYSC)	0	0	0	0	0	0	EXE	ENB
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	SRST	SLP
EXE	プロセッサ (GRNFAA) 動作中ビット							
0	プロセッサ (GRNFAA) 停止中							
1	プロセッサ (GRNFAA) 動作中							
プロセッサ (GRNFAA) の動作状態を読み出せます。 このビットを読み出すことにより、プロセッサ (GRNFAA) が動作中か停止中かを判定できます。 FAAからのアクセスはできません。また、このビットへの書き込みはできません。								
ENB	FAA動作許可ビット							
0	動作禁止							
1	動作許可							
FAAの動作許可を設定します。 CPUかDTCによるFAAのメモリ領域 (インストラクション・コード/データ) およびFAAバス領域のアクセスは、SLPビットでプロセッサ (GRNFAA) を通常状態にしたあとに、ENBビットでFAAを動作禁止にして、EXEビットが0クリアされていること (プロセッサ (GRNFAA) 停止中) を確認後に行ってください。 FAAからのアクセスはできません。								

図4-8 システム制御レジスタ (SYSC (DSYSC)) のフォーマット (2/2)

SRST	ソフトウェア・リセット・ビット
0	無効
1	ソフトウェア・リセット
このビットに1をセットすると、ソフトウェア・リセットにより、FAAを初期化します。 ソフトウェア・リセット後にFAAにアクセス（レジスタアクセス、割り込み入力）する場合、最小4クロック分の時間経過後に行ってください。	

SLP	スリープ・ビット
0	通常状態
1	低消費電力モード
このビットに1をセットすると、低消費電力モードに移行し、プロセッサ (GRNFAA) が動作停止した場合に、プロセッサ (GRNFAA)、インストラクション・コード・メモリ、データ・メモリ、FAAバスのクロックを停止します。このビットの設定は、プロセッサ (GRNFAA) の停止中に行ってください。	

4.9.1.2 演算パラメータ・レジスタ・セット

プロセッサ (GRNFAA) の演算パラメータ・レジスタです。

CPU か DTC から、これらのレジスタにアクセス（リード/ライト）する場合、必ずプロセッサ (GRNFAA) が停止の状態で行ってください。

プロセッサ (GRNFAA) でのレジスタとしては、32 ビット幅です。CPU か DTC からアクセスする場合、上位 16 ビット幅および下位 16 ビット幅のレジスタをそれぞれアクセスします。

プロセッサ (GRNFAA) としての演算パラメータ・レジスタには、以下のレジスタがあります。

- アキュムレータ・レジスタ (A0)
- 乗数レジスタ (M0)
- シフト数レジスタ (M1)
- リミット上限値レジスタ (L0)
- リミット下限値レジスタ (L1)
- 加算値レジスタ (R0)

CPU か DTC からアクセスする演算パラメータ・レジスタには、以下のレジスタがあります。

- アキュムレータ・レジスタ H, L (A0H, A0L)
- 乗数レジスタ H, L (M0H, M0L)
- シフト数レジスタ H, L (M1H, M1L)
- リミット上限値レジスタ H, L (L0H, L0L)
- リミット下限値レジスタ H, L (L1H, L1L)
- 加算値レジスタ H, L (R0H, R0L)

図4-9 アキュムレータ・レジスタ, H, L (A0, A0H, A0L) のフォーマット

アドレス : F0602H (A0H), F0600H (A0L)

FAAアドレス: -

リセット時: 0000 0000H (A0), 0000H (A0H, A0L)

R/W属性 : R/W (WIND = 00H)

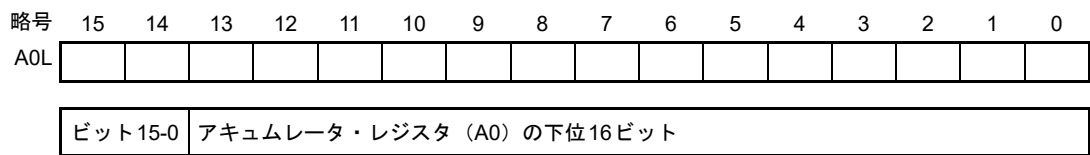
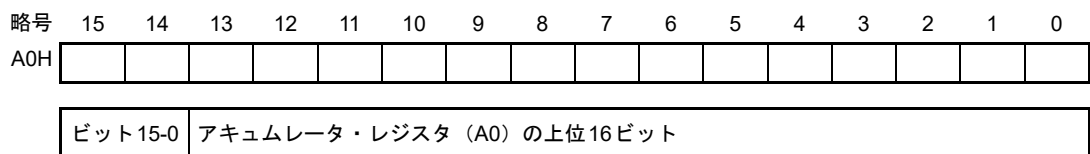
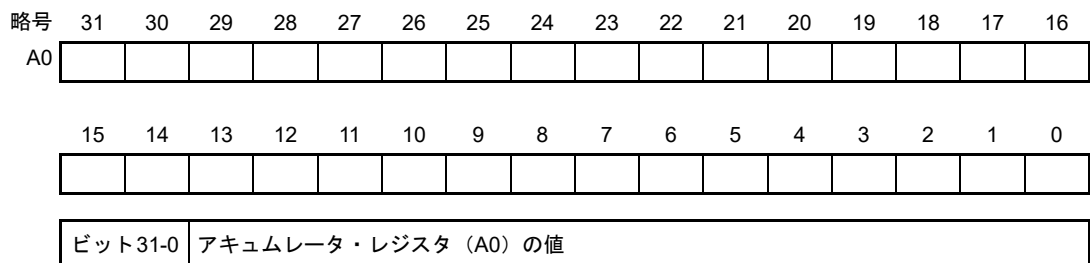


図4 - 10 乗数レジスタ, H, L (M0, M0H, MOL) のフォーマット

アドレス : F0606H (M0H), F0604H (MOL)

FAAアドレス: -

リセット時: 0000 0000H (M0), 0000H (M0H, MOL)

R/W属性 : R/W



図4 - 11 シフト数レジスタ, H, L (M1, M1H, M1L) のフォーマット

アドレス : F060AH (M1H), F0608H (M1L)
 FAAアドレス: -
 リセット時: 0000 0000H (M1), 0000H (M1H, M1L)
 R/W属性 : R/W

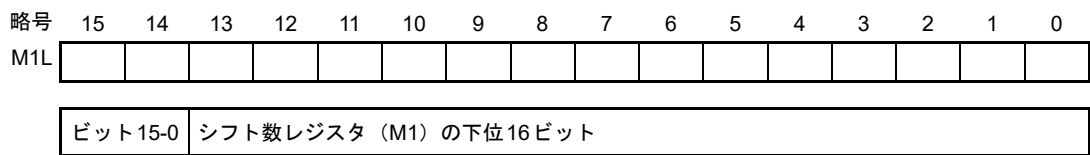
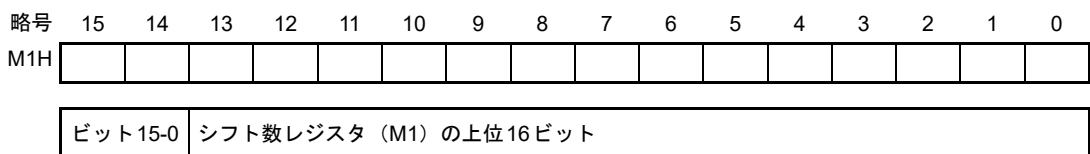
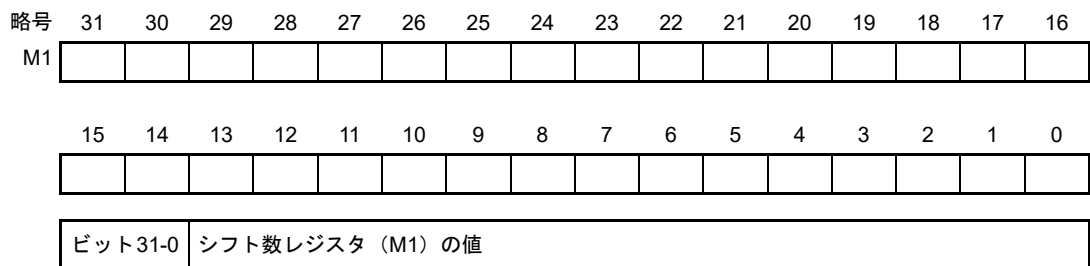


図4 - 12 リミット上限値レジスタ, H, L (L0, LOH, LOL) のフォーマット

アドレス : F060EH (LOH), F060CH (LOL)
 FAAアドレス: -
 リセット時: 0000 0000H (L0), 0000H (LOH, LOL)
 R/W属性 : R/W

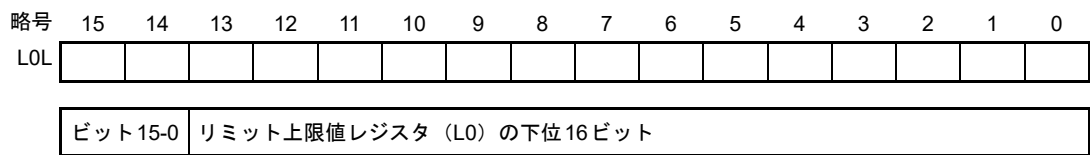
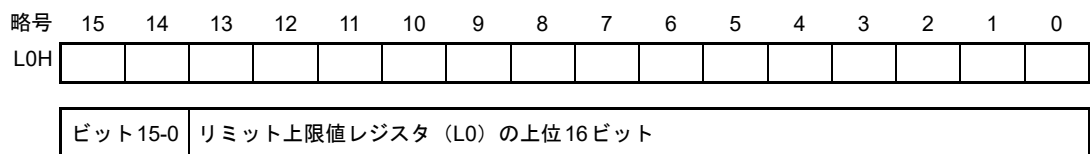
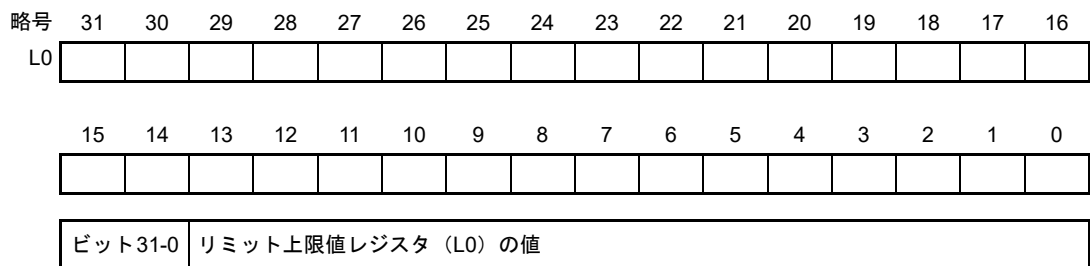


図4 - 13 リミット下限値レジスタ, H, L (L1, L1H, L1L) のフォーマット

アドレス : F0612H (L1H), F0610H (L1L)

FAAアドレス: -

リセット時: 0000 0000H (L1), 0000H (L1H, L1L)

R/W属性 : R/W

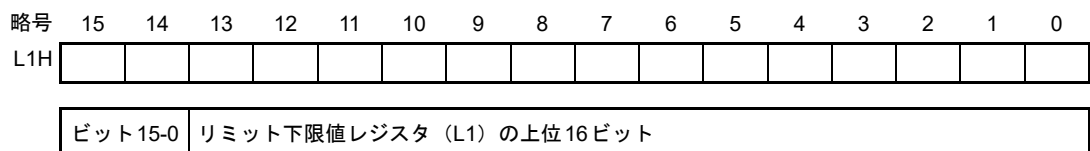
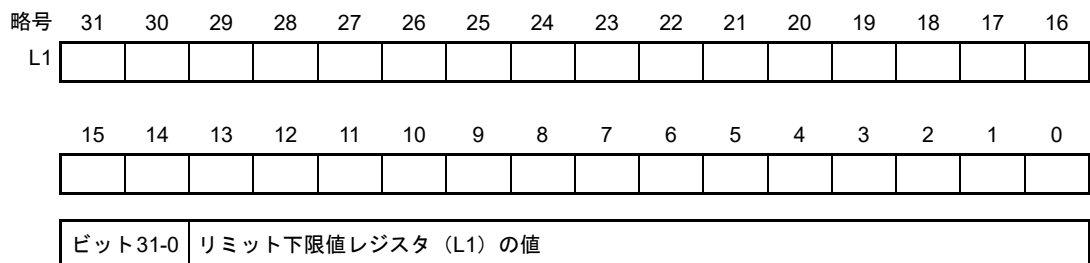


図4 - 14 加算値レジスタ, H, L (R0, R0H, R0L) のフォーマット

アドレス : F0616H (R0H), F0614H (R0L)

FAAアドレス: -

リセット時: 0000 0000H (R0), 0000H (R0H, R0L)

R/W属性 : R/W



4.9.1.3 アドレス・ポインタ・セット

プロセッサ (GRNFAA) の 12 ビットのアドレス・ポインタです。

CPU か DTC から、これらのレジスタにアクセス (リード/ライト) する場合、必ずプロセッサ (GRNFAA) が停止の状態で行ってください。

アドレス・ポインタ・セットには、以下のレジスタがあります。

- アキュムレータ用アドレス・ポインタ (DP0)
- 演算パラメータ用アドレス・ポインタ (DP1)
- 演算結果格納用アドレス・ポインタ (RP0 (DRP0注))
- プログラム・ポインタ (PG0)
- スタック・ポインタ (SP0)

注 DRP0は、拡張特殊機能レジスタ (2nd SFR) での略号です。

図4 - 15 アキュムレータ用アドレス・ポインタ (DP0) のフォーマット

アドレス : F061AH
 FAAアドレス: -
 リセット時: 0000H
 R/W属性 : R/W (WIND = 00H)

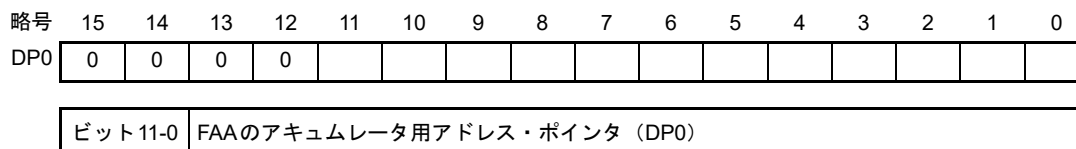


図4 - 16 演算パラメータ用アドレス・ポインタ (DP1) のフォーマット

アドレス : F061EH
 FAAアドレス: -
 リセット時: 0000H
 R/W属性 : R/W (WIND = 00H)

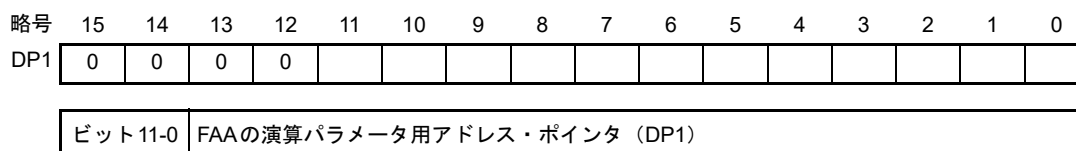
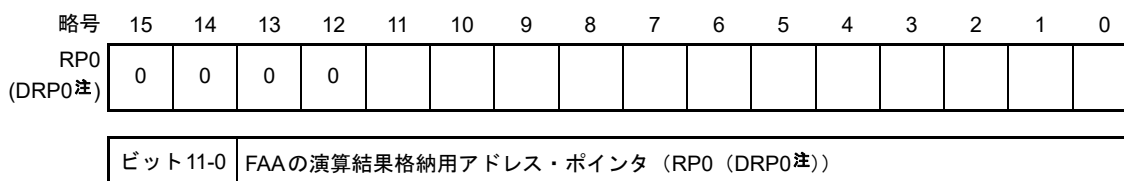


図4 - 17 演算結果格納用アドレス・ポインタ (RP0 (DRP0注)) のフォーマット

アドレス : F0622H
 FAAアドレス: -
 リセット時: 0000H
 R/W属性 : R/W (WIND = 00H)



注 DRP0は、拡張特殊機能レジスタ (2nd SFR) での略号です。

図4-18 プログラム・ポインタ (PG0) のフォーマット

アドレス : F062EH
 FAAアドレス: -
 リセット時: 0000H
 R/W属性 : R/W (WIND = 00H)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PG0	0	0	0	0												
ビット11-0	FAAのプログラム・ポインタ (PG0)															

図4-19 スタック・ポインタ (SP0) のフォーマット

アドレス : F0682H
 FAAアドレス: -
 リセット時: 0000H
 R/W属性 : R/W (WIND = 00H)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SP0	0	0	0	0												
ビット11-0	FAAのスタック・ポインタ (SP0)															

4.9.1.4 フラグ・ビット・レジスタ (FAAFLG)

FAAFLG レジスタは、プロセッサ (GRNFAA) の 16 ビットのフラグ・ビット・レジスタです。

CPU か DTC から、このレジスタにアクセス (リード/ライト) する場合、必ずプロセッサ (GRNFAA) が停止の状態で行ってください。

図4-20 フラグ・ビット・レジスタ (FAAFLG) のフォーマット

アドレス : F0636H
 FAAアドレス: -
 リセット時: 0000H
 R/W属性 : R/W (WIND = 00H)

略号	15	14	13	12	11	10	9	8
FAAFLG	0	0	0	1	0	0	0	ZERO
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	UNDER	OVER
I	プロセッサ (GRNFAA) のIフラグにアクセスします。							
ZERO	プロセッサ (GRNFAA) のZEROフラグにアクセスします。							
UNDER	プロセッサ (GRNFAA) のUNDERフラグにアクセスします。							
OVER	プロセッサ (GRNFAA) のOVERフラグにアクセスします。							

4.9.1.5 プロセッサ制御レジスタ (FAACNT)

FAACNT レジスタは、プロセッサ (GRNFAA) の動作を制御する 16 ビット・レジスタです。プロセッサ (GRNFAA) のプログラムの実行/停止を設定できます。

図4 - 21 プロセッサ制御レジスタ (FAACNT) のフォーマット

アドレス : F062AH
 FAAアドレス: -
 リセット時: 0000H
 R/W属性 : R/W (WIND = 00H)

略号	15	14	13	12	11	10	9	8
FAACNT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	START
START	プログラム実行ビット							
0	プログラム実行停止							
1	プログラム実行							
このビットに1をセットすると、その時点のPG0 (プログラム・ポインタ) のアドレスからプログラムを実行します。このビットに0を設定すると、その時点でプログラム実行を停止します。FAA動作許可ビットが0 (動作禁止) のとき、このビットの書き込みは無視されます。								

4.9.2 システムコントローラの動作

4.9.2.1 低消費電力モード

FAA は、動作停止時にプロセッサ (GRNFAA) のクロックを停止して、低消費電力モードにすることができます。クロックの停止は、クロック制御回路で行います。

FAA でクロックを停止させる場合、次の手順に従ってください。

- ① SYSC.SLP ビットに 1 をセットする。
- ② STOP 命令など注を実行して、FAA を停止状態にする。
- ③ プロセッサ (GRNFAA) の動作状態を示す EXE ビットが 0 になり、クロックが停止する。

注 FAAが停止する条件は、**4.14.2 FAAのプログラム実行制御**を参照してください。

また、クロックを再開する手順は、次のとおりです。

- ① 基準タイミング・コントローラ (GRNTIMEC) または入力イベント・コントローラ (GRNINPUTC) からの割り込み要求信号を割り込みコントローラ (GRNINTC) が受け、スリープ解除信号をクロック制御回路へ出力します。
- ② クロック制御回路はスリープ状態を解除してクロックを再開します。また、割り込みコントローラ (GRNINTC) は、プロセッサ (GRNFAA) に対して割り込みを要求します。
- ③ FAA が動作開始します。

図 4 - 22 に低消費電力モードの遷移タイミング・チャート、表 4 - 5 にブロック停止機能を示します。

図4 - 22 低消費電力モードの遷移タイミング・チャート

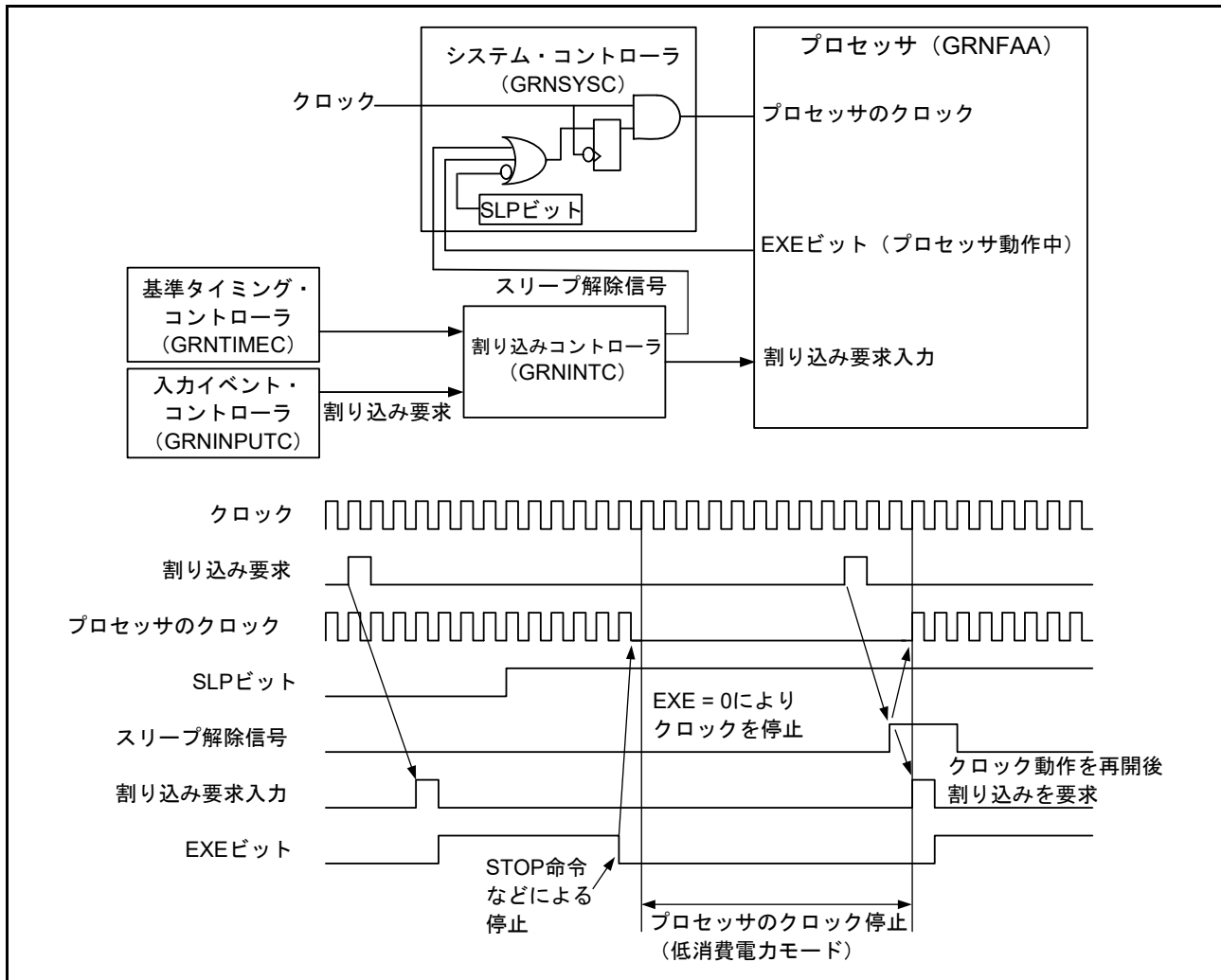


表4 - 5 ブロック停止機能

状態	動作ブロック	停止ブロック
通常動作	プロセッサ (GRNFAA) インストラクション・コード・メモリ データ・メモリ 入力イベント・コントローラ (GRNINPUTC) 基準タイミング・コントローラ (GRNTIMEC) 割り込みコントローラ (GRNINTC) クロック制御回路 FAAバス	なし
低消費電力モード	入力イベント・コントローラ (GRNINPUTC) 基準タイミング・コントローラ (GRNTIMEC) 割り込みコントローラ (GRNINTC) クロック制御回路	プロセッサ (GRNFAA) インストラクション・コード・メモリ データ・メモリ FAAバス

4.10 割り込みコントローラ (GRNINTC)

FAA は、周辺機能から入カイベント・コントローラに入力される入カイベント検出割り込み要求 (0-9) と、FAA 内部の基準タイミグ・コントローラ (GRNTIMEC) で発生するタイミグ・コンペア・マッチ割り込み要求 (0-5) を調停して、優先順位の高い割り込み処理へ分岐させる機能を持っています。割り込みコントローラ (GRNINTC) は、その制御を行います。優先順位の高い割り込み処理を終えると、中断されていた元のプログラム実行に戻ります。

4.10.1 割り込みコントローラの概要

表 4 - 6 に割り込みコントローラの機能概要を示します。

表4 - 6 割り込みコントローラの機能概要

項目	機能
マスクブル割り込み	入カイベント検出割り込み : 10 タイミグ・コンペア・マッチ割り込み : 6
割り込み方式	Iフラグ (割り込みフラグ) 制御 0 : 割り込み禁止 1 : 割り込み許可 フラグ・ビット・レジスタのIフラグを1にセットしたあと、割り込み要求が受け付けられて、割り込みが発生すると、自動的に0クリアされます。 割り込み処理ルーチン内で、再度Iフラグを1にセットすると、多重割り込みが可能です。

4.10.2 割り込みコントローラのレジスタ一覧と割り込み要因

表 4 - 7 に割り込みコントローラのレジスタ一覧を示します。また、表 4 - 8 に割り込み要因を示します。

割り込みコントローラのレジスタを CPU からアクセスする方法は、4.8 ウィンドウ・レジスタ (WIND) を参照してください。

表4-7 割り込みコントローラのレジスタ一覧 (1/2)

WIND レジスタ値		CPU アドレス	レジスタ名	略号	R/W (CPU)	ビット	FAA			
拡張特殊機能レジスタ (2nd SFR)							レジスタ名	略号	R/W (FAA)	ビット
30H		F0648H	割り込みベクタ・レジスタ0L	IV0L	R/W	16	割り込みベクタ・レジスタ0	IV0	R/W	32
30H		F064AH	割り込みベクタ・レジスタ0H	IV0H	R/W	16				
30H		F064CH	割り込みベクタ・レジスタ1L	IV1L	R/W	16	割り込みベクタ・レジスタ1	IV1	R/W	32
30H		F064EH	割り込みベクタ・レジスタ1H	IV1H	R/W	16				
30H		F0650H	割り込みベクタ・レジスタ2L	IV2L	R/W	16	割り込みベクタ・レジスタ2	IV2	R/W	32
30H		F0652H	割り込みベクタ・レジスタ2H	IV2H	R/W	16				
30H		F0654H	割り込みベクタ・レジスタ3L	IV3L	R/W	16	割り込みベクタ・レジスタ3	IV3	R/W	32
30H		F0656H	割り込みベクタ・レジスタ3H	IV3H	R/W	16				
30H		F0658H	割り込みベクタ・レジスタ4L	IV4L	R/W	16	割り込みベクタ・レジスタ4	IV4	R/W	32
30H		F065AH	割り込みベクタ・レジスタ4H	IV4H	R/W	16				
30H		F065CH	割り込みベクタ・レジスタ5L	IV5L	R/W	16	割り込みベクタ・レジスタ5	IV5	R/W	32
30H		F065EH	割り込みベクタ・レジスタ5H	IV5H	R/W	16				
30H		F0660H	割り込みベクタ・レジスタ6L	IV6L	R/W	16	割り込みベクタ・レジスタ6	IV6	R/W	32
30H		F0662H	割り込みベクタ・レジスタ6H	IV6H	R/W	16				
30H		F0664H	割り込みベクタ・レジスタ7L	IV7L	R/W	16	割り込みベクタ・レジスタ7	IV7	R/W	32
30H		F0666H	割り込みベクタ・レジスタ7H	IV7H	R/W	16				
30H		F0668H	割り込みベクタ・レジスタ8L	IV8L	R/W	16	割り込みベクタ・レジスタ8	IV8	R/W	32
30H		F066AH	割り込みベクタ・レジスタ8H	IV8H	R/W	16				
30H		F066CH	割り込みベクタ・レジスタ9L	IV9L	R/W	16	割り込みベクタ・レジスタ9	IV9	R/W	32
30H		F066EH	割り込みベクタ・レジスタ9H	IV9H	R/W	16				
30H		F0670H	割り込みベクタ・レジスタ10L	IV10L	R/W	16	割り込みベクタ・レジスタ10	IV10	R/W	32
30H		F0672H	割り込みベクタ・レジスタ10H	IV10H	R/W	16				

表4-7 割り込みコントローラのレジスタ一覧 (2/2)

WIND レジスタ値		CPU アドレス		レジスタ名		略号	R/W (CPU)	ビット	FAA			
				拡張特殊機能レジスタ (2nd SFR)					レジスタ名	略号	R/W (FAA)	ビット
30H		F0674H		割り込みベクタ・レジスタ 11L	IV11L	R/W	16	1DH	割り込みベクタ・レジスタ 11	IV11	R/W	32
30H		F0676H		割り込みベクタ・レジスタ 11H	IV11H	R/W	16					
30H		F0678H		割り込みベクタ・レジスタ 12L	IV12L	R/W	16	1EH	割り込みベクタ・レジスタ 12	IV12	R/W	32
30H		F067AH		割り込みベクタ・レジスタ 12H	IV12H	R/W	16					
30H		F067CH		割り込みベクタ・レジスタ 13L	IV13L	R/W	16	1FH	割り込みベクタ・レジスタ 13	IV13	R/W	32
30H		F067EH		割り込みベクタ・レジスタ 13H	IV13H	R/W	16					
30H		F0680H		割り込みベクタ・レジスタ 14L	IV14L	R/W	16	20H	割り込みベクタ・レジスタ 14	IV14	R/W	32
30H		F0682H		割り込みベクタ・レジスタ 14H	IV14H	R/W	16					
30H		F0684H		割り込みベクタ・レジスタ 15L	IV15L	R/W	16	21H	割り込みベクタ・レジスタ 15	IV15	R/W	32
30H		F0686H		割り込みベクタ・レジスタ 15H	IV15H	R/W	16					

表4 - 8 割り込み要因

要因番号 (優先順位)	レジスタ名 (略号)	FAA内部の割り込み要因	周辺機能からの割り込み要因
0 (最高)	割り込みベクタ・レジスタ0 (IV0)	タイミング・コンペア・マッチ割り込み0	—
1	割り込みベクタ・レジスタ1 (IV1)	タイミング・コンペア・マッチ割り込み1	—
2	割り込みベクタ・レジスタ2 (IV2)	タイミング・コンペア・マッチ割り込み2	—
3	割り込みベクタ・レジスタ3 (IV3)	入カイベント検出割り込み0	外部割り込みエッジ検出0 (INTP0)
4	割り込みベクタ・レジスタ4 (IV4)	入カイベント検出割り込み1	ELCトリガ信号0
5	割り込みベクタ・レジスタ5 (IV5)	入カイベント検出割り込み2	ELCトリガ信号1
6	割り込みベクタ・レジスタ6 (IV6)	入カイベント検出割り込み3	ELCトリガ信号2
7	割り込みベクタ・レジスタ7 (IV7)	入カイベント検出割り込み4	ELCトリガ信号3
8	割り込みベクタ・レジスタ8 (IV8)	タイミング・コンペア・マッチ割り込み3	—
9	割り込みベクタ・レジスタ9 (IV9)	タイミング・コンペア・マッチ割り込み4	—
10	割り込みベクタ・レジスタ10 (IV10)	タイミング・コンペア・マッチ割り込み5	—
11	割り込みベクタ・レジスタ11 (IV11)	入カイベント検出割り込み5	ELCトリガ信号4
12	割り込みベクタ・レジスタ12 (IV12)	入カイベント検出割り込み6	ELCトリガ信号5
13	割り込みベクタ・レジスタ13 (IV13)	入カイベント検出割り込み7	ELCトリガ信号6
14	割り込みベクタ・レジスタ14 (IV14)	入カイベント検出割り込み8	ELCトリガ信号7
15 (最低)	割り込みベクタ・レジスタ15 (IV15)	入カイベント検出割り込み9	除算演算終了

4.10.2.1 割り込みベクタ・レジスタ 0-15, 0H-15H, 0L-15L (IV0-IV15, IV0H-IV15H, IV0L-IV15L)

IVn, IVnH, IVnL レジスタ (n = 0-15) 注は、割り込み動作を制御するレジスタです。
次のような設定と確認を行います。

- 割り込み処理の許可／禁止の設定
- 割り込み要求の状態の確認
- 割り込みベクタ・アドレスの設定

注 IVnH, IVnLは、拡張特殊機能レジスタ (2nd SFR) での略号です。

図4 - 23 割り込みベクタ・レジスタ n, nH, nL (IVn, IVnH, IVnL) のフォーマット (1/2)

アドレス : (表4 - 7 割り込みコントローラのレジスタ一覧参照)

FAAアドレス: 12H (IV0) - 21H (IV15)

リセット時: 0000 0000H (IVn), 0000H (IVnH, IVnL)

R/W属性 : R/W

略号	31	30	29	28	27	26	25	24
IVn	IVnEN	0	IVnST	0	0	0	0	0
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
	0	0	0	0	IVnVEC[11:8]			
	7	6	5	4	3	2	1	0
	IVnVEC[7:0]							
略号	15	14	13	12	11	10	9	8
IVnH	IVnEN	0	IVnST	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0
略号	15	14	13	12	11	10	9	8
IVnL	0	0	0	0	IVnVEC[11:8]			
	7	6	5	4	3	2	1	0
	IVnVEC[7:0]							

図4 - 23 割り込みベクタ・レジスタ n, nH, nL (IVn, IVnH, IVnL) のフォーマット (2/2)

IVnEN	割り込み処理許可ビット
0	割り込み処理禁止
1	割り込み処理許可
割り込み処理の許可／禁止を設定します。	

IVnST	割り込みベクタ・ステータス・ビット
0	割り込み要求なし
1	割り込み要求あり
割り込み要求の有無を読み出します。 このビットへの書き込みはできません。	

IVnVEC [11:0]	割り込みベクタ・ビット
—	割り込み処理を開始するコード・メモリのアドレスを設定します。

4.10.3 割り込みコントローラの動作

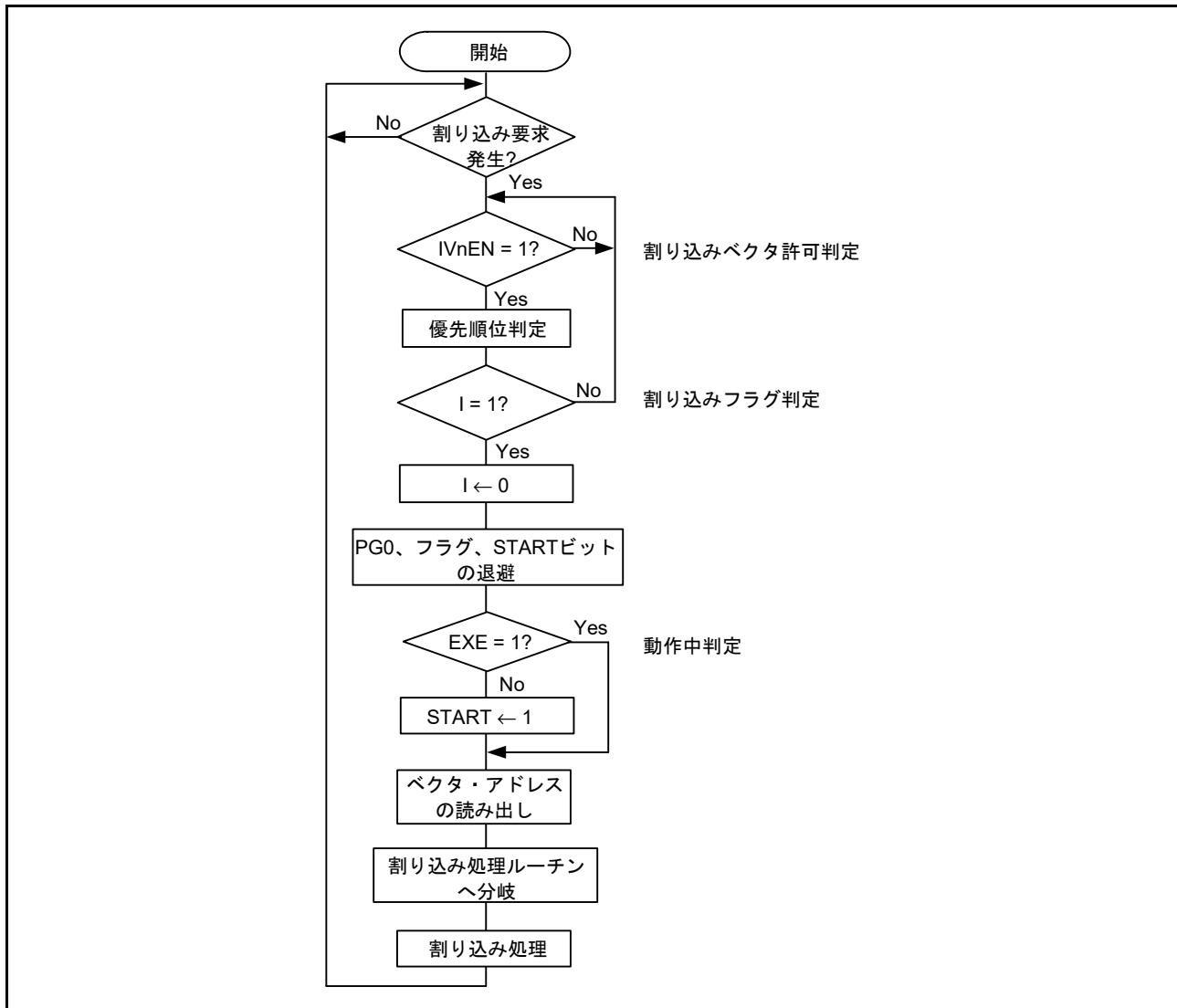
割り込みは、プロセッサ (GRNFAA) の外部からのトリガによって、プログラムを実行させる機能です。実行するプログラムの開始アドレスは、対応する割り込みベクタ・レジスタ n (IV n) ($n = 0-15$) に設定します。割り込み機能は、デバッグ使用時にプログラムがブレークしているときは停止します。そのときに発生した割り込み要求は破棄されます。同様に、FAA 動作許可ビットが0クリアされているときの割り込み要求は破棄されます。

次に、割り込み動作のシーケンスを示します。

- (1) 割り込み要求が発生すると、対応する割り込み許可ビット (IV n EN ($n = 0-15$)) が1にセットされているかどうかを判定します。
IV n EN = 0の場合、その割り込み要求は破棄されます。
- (2) 割り込みコントローラ (GRNINTC) は、高い優先順位の割り込み要求を選択し、ほかを保留します。
割り込みの優先順位は、ベクタ番号0が最高で、以下は順に下がります。
ベクタ番号0 > ベクタ番号1 > ベクタ番号2 > > ベクタ番号14 > ベクタ番号15
- (3) Iフラグが0にクリアされているとき、割り込みコントローラ (GRNINTC) は、すべての割り込み要求を保留します。
Iフラグが1にセットされているときは、割り込み要求を受け付けます。割り込み要求を受け付けると、Iフラグは自動的に0にクリアされます。多重割り込み制御を行うには、割り込み処理ルーチン内で、Iフラグを1にセットしてください。
- (4) 割り込みコントローラ (GRNINTC) は、プログラム・ポインタ (PG0) とフラグ、STARTビットをSP0 (スタック・ポインタ) で示すデータ・メモリのアドレスへ退避させます。
- (5) 割り込みコントローラ (GRNINTC) は、プロセッサ (GRNFAA) が動作中かどうか判定して、動作中でないときは、STARTビットに1をセットして、プロセッサ (GRNFAA) の動作を開始させます。
- (6) プロセッサ (GRNFAA) は、受け付けた割り込み要求に対応するベクタ・アドレスを読み出して、そのアドレスから割り込み処理ルーチンの実行を開始します。
- (7) 割り込み処理ルーチンの終了方法については、**4.14.2 FAAのプログラム実行制御**を参照してください。

図 4 - 24 に割り込み動作のフロー・チャートを示します。

図4 - 24 割り込み動作のフロー・チャート



★ 表 4 - 9 に割り込み要求が発生してから FAA での割り込み処理が開始されるまでの時間を示します。

表4 - 9 割り込み処理までの時間

	最小時間	最大時間
入力イベント・コントローラ (GRNINPUTC) での処理	3クロック	5クロック注1
割り込みコントローラ (GRNINTC) での処理	6クロック	7クロック注2
合計	9クロック	12クロック

注1. 入力信号に ELC トリガ信号 0-7 かつ立ち下がりエッジ検出を選択した場合

注2. 割り込み処理への分岐の直前に 2 サイクル命令が実行された場合

4.10.3.1 タイミング・コンペア・マッチ割り込み0-2 (INTTIMEC0-2) をCPUの割り込みとして使用する場合の設定

タイミング・コンペア・マッチ割り込み 0-2 (INTTIMEC0-2) を CPU の割り込みとして使用する場合には、割り込みベクタ・レジスタ n (IV n ($n=0-2$)) の IV n EN ($n=0-2$) ビット (割り込み処理許可ビット) をセットしてください。

INTTIMEC0-2 を CPU の割り込みとしてのみ使用する場合には (FAA タイミング・コンペア・マッチ割り込み n として使用しない場合)、プロセッサ (GRNFAA) の I フラグを 0 に設定してください。

4.10.3.2 タイミング・コンペア・マッチ割り込み3-5 (INTTIMEC3-5) をイベント信号としてイベント・リンク・コントローラへ出力する場合の設定

タイミング・コンペア・マッチ割り込み 3-5 (INTTIMEC3-5) をイベント信号としてイベント・リンク・コントローラへ出力する場合には、割り込みベクタ・レジスタ n (IV n ($n=8-10$)) の IV n EN ($n=8-10$) ビット (割り込み処理許可ビット) をセットしてください。

INTTIMEC3-5 をイベント信号としてのみイベント・リンク・コントローラへ出力する場合には (FAA タイミング・コンペア・マッチ割り込み n として使用しない場合)、プロセッサ (GRNFAA) の I フラグを 0 に設定してください。

4.10.3.3 タイミング・コンペア・マッチ割り込み0 (INTTIMEC0) をDTCの起動要因として使用する場合の設定

タイミング・コンペア・マッチ割り込み 0 (INTTIMEC0) を DTC の起動要因として使用する場合には、割り込みベクタ・レジスタ 0 の IV0EN ビット (割り込み処理許可ビット) をセットしてください。

INTTIMEC0 を DTC の起動要因としてのみ使用する場合 (FAA タイミング・コンペア・マッチ割り込み n として使用しない場合)、プロセッサ (GRNFAA) の I フラグを 0 に設定してください。

4.11 入力イベント・コントローラ (GRNINPUTC)

4.11.1 入力イベント・コントローラの概要

入力イベント・コントローラ (GRNINPUTC) は、FAA 外部からのイベント入力信号のエッジ検出をする回路です。

表 4 - 10 に入力イベント・コントローラの機能を示します。

表4 - 10 入力イベント・コントローラの機能

項目	機能
入力イベント信号の検出エッジ	立ち上がり、立ち下がり、両エッジ

入力イベント信号と FAA 内部割り込みの関係は、表 4 - 8 割り込み要因を参照してください。

4.11.2 入力イベント・コントローラのレジスタ一覧

表 4 - 11 に入力イベント・コントローラのレジスタ一覧を示します。

入力イベント・コントローラのレジスタを CPU からアクセスする方法は、4.8 ウィンドウ・レジスタ (WIND) を参照してください。

レジスタは、すべて 16 ビット・アクセスのみ可能です。

表4-11 入カイベント・コントローラのレジスタ一覧

拡張特殊機能レジスタ (2nd SFR)									
CPU					FAA				
WIND レジスタ値	CPU アドレス	レジスタ名	略号	R/W (CPU)	ビット	レジスタ名	略号	R/W (FAA)	ビット
30H	F06A0H	センス・コントロール・レジスタ0L	IEVSC0L	R/W	16	センス・コントロール・レジスタ0	IEVSC0	R/W	32
30H	F06A2H	センス・コントロール・レジスタ0H	IEVSC0H	R/W	16				
30H	F06A4H	センス・コントロール・レジスタ1	IEVSC1	R/W	16	センス・コントロール・レジスタ1	IEVSC1	R/W	32
—	—	—	—	—	—				

4.11.2.1 センス・コントロール・レジスタ 0, 0H, 0L (IEVSC0, IEVSC0H, IEVSC0L)

IEVSC0, IEVSC0H, IEVSC0L レジスタ^注は、FAA 外部からのイベント入力信号の検出エッジを設定するレジスタです。

注 IEVSC0H, IEVSC0Lは、拡張特殊機能レジスタ (2nd SFR) での略号です。

図4 - 25 センス・コントロール・レジスタ 0, 0H, 0L (IEVSC0, IEVSC0H, IEVSC0L) のフォーマット (1/2)

アドレス : F06A2H (IEVSC0H), F06A0H (IEVSC0L)

FAAアドレス: 28H (IEVSC0)

リセット時: 0000 0000H (IEVSC0), 0000H (IEVSC0H, IEVSC0L)

R/W属性 : R/W

略号	31	30	29	28	27	26	25	24
IEVSC0	0	0	IVSC7[1:0]		0	0	IVSC6[1:0]	
	23	22	21	20	19	18	17	16
	0	0	IVSC5[1:0]		0	0	IVSC4[1:0]	
	15	14	13	12	11	10	9	8
	0	0	IVSC3[1:0]		0	0	IVSC2[1:0]	
	7	6	5	4	3	2	1	0
	0	0	IVSC1[1:0]		0	0	IVSC0[1:0]	

略号	15	14	13	12	11	10	9	8
IEVSC0H	0	0	IVSC7[1:0]		0	0	IVSC6[1:0]	
	7	6	5	4	3	2	1	0
	0	0	IVSC5[1:0]		0	0	IVSC4[1:0]	

略号	15	14	13	12	11	10	9	8
IEVSC0L	0	0	IVSC3[1:0]		0	0	IVSC2[1:0]	
	7	6	5	4	3	2	1	0
	0	0	IVSC1[1:0]		0	0	IVSC0[1:0]	

IVSC7[1:0]		ELCトリガ信号6
0	0	立ち下がりエッジ検出
0	1	立ち上がりエッジ検出
1	0	両エッジ検出 (3サイクル未満の入力変化禁止)
1	1	設定禁止

図4 - 25 センス・コントロール・レジスタ 0, 0H, 0L (IEVSC0, IEVSC0H, IEVSC0L) のフォーマット (2/2)

IVSC6[1:0]		ELCトリガ信号5
0	0	立ち下がリエッジ検出
0	1	立ち上がりエッジ検出
1	0	両エッジ検出 (3サイクル未満の入力変化禁止)
1	1	設定禁止

IVSC5[1:0]		ELCトリガ信号4
0	0	立ち下がリエッジ検出
0	1	立ち上がりエッジ検出
1	0	両エッジ検出 (3サイクル未満の入力変化禁止)
1	1	設定禁止

IVSC4[1:0]		ELCトリガ信号3
0	0	立ち下がリエッジ検出
0	1	立ち上がりエッジ検出
1	0	両エッジ検出 (3サイクル未満の入力変化禁止)
1	1	設定禁止

IVSC3[1:0]		ELCトリガ信号2
0	0	立ち下がリエッジ検出
0	1	立ち上がりエッジ検出
1	0	両エッジ検出 (3サイクル未満の入力変化禁止)
1	1	設定禁止

IVSC2[1:0]		ELCトリガ信号1
0	0	立ち下がリエッジ検出
0	1	立ち上がりエッジ検出
1	0	両エッジ検出 (3サイクル未満の入力変化禁止)
1	1	設定禁止

IVSC1[1:0]		ELCトリガ信号0
0	0	立ち下がリエッジ検出
0	1	立ち上がりエッジ検出
1	0	両エッジ検出 (3サイクル未満の入力変化禁止)
1	1	設定禁止

IVSC0[1:0]		外部割り込みエッジ検出0 (INTP0)
0	0	立ち下がリエッジ検出
0	1	立ち上がりエッジ検出
1	0	両エッジ検出 (3サイクル未満の入力変化禁止)
1	1	設定禁止

4.11.2.2 センス・コントロール・レジスタ1 (IEVSC1)

IEVSC1 レジスタは、FAA 外部からのイベント入力信号の検出エッジを設定するレジスタです。

図4 - 26 センス・コントロール・レジスタ1 (IEVSC1) のフォーマット

アドレス : F06A4H

FAAアドレス: 29H

リセット時: 0000 0000H (FAA), 0000H (2nd SFR)

R/W属性 : R/W

略号	31	30	29	28	27	26	25	24
IEVSC1 (FAA)	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	IVSC9[1:0]		0	0	IVSC8[1:0]	
略号	15	14	13	12	11	10	9	8
IEVSC1 (2nd SFR)	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	IVSC9[1:0]		0	0	IVSC8[1:0]	
	IVSC9[1:0]注		除算演算終了					
	0	0	立ち下がリエッジ検出					
	0	1	立ち上がリエッジ検出					
	1	0	両エッジ検出 (3サイクル未満の入力変化禁止)					
	1	1	設定禁止					
	IVSC8[1:0]		ELCトリガ信号7					
	0	0	立ち下がリエッジ検出					
	0	1	立ち上がリエッジ検出					
	1	0	両エッジ検出 (3サイクル未満の入力変化禁止)					
	1	1	設定禁止					

注 IVSC9[1:0]をFAA割り込み要因とする場合、立ち上がリエッジ検出に設定してください。

4.11.3 入力イベント・コントローラの動作

入力イベント検出 0-9 の変化によってプログラムを起動する場合、各入力イベントに対応する割り込みベクタ・レジスタ n (IV n) ($n = 0-15$) を設定します。このとき、プロセッサ制御レジスタ (FAACNT) の START ビットなどは設定不要です。

意図しないタイミングで処理が起動するのを防ぐため、入力変化による処理要求をいったんクリアしてください。次に例として、入力イベント検出 0 の変化によって、プログラムを起動する手順を示します。

- ① I フラグを 0 にクリア (割り込み禁止)
- ② 割り込みベクタ・レジスタ n の割り込み処理許可ビット (IV3.IV3EN) を 0 にクリア (割り込み処理禁止)
- ③ 実行するプログラムの先頭アドレスを割り込みベクタ・レジスタ n の割り込みベクタ・ビット (IV3.IV3VEC[11:0]) に設定
- ④ センス・コントロール・ビット (IEVSC0.IVSC0[1:0]) を設定 (検出エッジの選択)
- ⑤ 割り込み処理許可ビット (IV3.IV3EN) に 1 をセット (割り込み処理許可)
- ⑥ I フラグを 1 にセット (割り込み許可)

入力イベント検出割り込み 0-9 に割り当てられている割り込みベクタ・レジスタ n (IV n) ($n = 0-15$) は、**表 4-7 割り込みコントローラのレジスタ一覧**および**表 4-8 割り込み要因**を参照してください。

設定した割り込みベクタ・レジスタに対応する入力イベント検出 0 の入力、センス・コントロール・ビット (IEVSC0.IVSC0[1:0]) の設定値どおりに変化すると、優先順位に従って割り込み要求が受け付けられます。すると、対応する割り込みベクタ・ビット (IV3.IV3VEC[11:0]) に設定したアドレスから、プログラムが実行されます。

I フラグは自動的に 0 にクリアされます。多重割り込みを許可する場合は、I フラグを再度セットしてください。

割り込み処理発生の間隔を測定し、その間隔を制御パラメータとして使う場合は、各入力変化による割り込み処理実行時に、フリーラン・カウンタ値を読み出すことで実現できます。

4.12 基準タイミング・コントローラ (GRNTIMEC)

4.12.1 基準タイミング・コントローラの概要

FAAのタイマ機能です。24ビットのフリーラン・カウンタと、6通りのコンペア・マッチ機能を内蔵しています。表4-12に基準タイミング・コントローラの機能を示します。

表4-12 基準タイミング・コントローラの機能

項目	機能
カウンタ・ビット数	24ビット
カウンタ・スタート/ストップ機能	あり
コンペア・マッチ機能	6通り
マスク機能	あり

4.12.2 基準タイミング・コントローラのレジスタ一覧

表4-13に基準タイミング・コントローラのレジスタ一覧を示します。

CPUから基準タイミング・コントローラのレジスタをアクセスする方法は、4.8 ウィンドウ・レジスタ (WIND) を参照してください。

レジスタは、すべて16ビット・アクセスのみ可能です。

表4-13 標準タイミング・コントローラのレジスタ一覧 (1/2)

WIND レジスタ値		CPU アドレス	レジスタ名	略号	R/W (CPU)	ビット	FAA アドレス	レジスタ名	略号	R/W (FAA)	ビット
30H	F0604H	タイミング・コンペア・レジスタ0L	TMCMP0L	R/W	16	01H	タイミング・コンペア・レジスタ0	TMCMP0	R/W	32	
30H	F0606H	タイミング・コンペア・レジスタ0H	TMCMP0H	R/W	16						
30H	F0608H	タイミング・コンペア・レジスタ1L	TMCMP1L	R/W	16	02H	タイミング・コンペア・レジスタ1	TMCMP1	R/W	32	
30H	F060AH	タイミング・コンペア・レジスタ1H	TMCMP1H	R/W	16						
30H	F060CH	タイミング・コンペア・レジスタ2L	TMCMP2L	R/W	16	03H	タイミング・コンペア・レジスタ2	TMCMP2	R/W	32	
30H	F060EH	タイミング・コンペア・レジスタ2H	TMCMP2H	R/W	16						
30H	F0610H	タイミング・コンペア・レジスタ3L	TMCMP3L	R/W	16	04H	タイミング・コンペア・レジスタ3	TMCMP3	R/W	32	
30H	F0612H	タイミング・コンペア・レジスタ3H	TMCMP3H	R/W	16						
30H	F0614H	タイミング・コンペア・レジスタ4L	TMCMP4L	R/W	16	05H	タイミング・コンペア・レジスタ4	TMCMP4	R/W	32	
30H	F0616H	タイミング・コンペア・レジスタ4H	TMCMP4H	R/W	16						
30H	F0618H	タイミング・コンペア・レジスタ5L	TMCMP5L	R/W	16	06H	タイミング・コンペア・レジスタ5	TMCMP5	R/W	32	
30H	F061AH	タイミング・コンペア・レジスタ5H	TMCMP5H	R/W	16						
30H	F061CH	タイミング・コンペア・マスク・レジスタ0L	TMMSK0L	R/W	16	07H	タイミング・コンペア・マスク・レジスタ0	TMMSK0	R/W	32	
30H	F061EH	タイミング・コンペア・マスク・レジスタ0H	TMMSK0H	R/W	16						
30H	F0620H	タイミング・コンペア・マスク・レジスタ1L	TMMSK1L	R/W	16	08H	タイミング・コンペア・マスク・レジスタ1	TMMSK1	R/W	32	
30H	F0622H	タイミング・コンペア・マスク・レジスタ1H	TMMSK1H	R/W	16						
30H	F0624H	タイミング・コンペア・マスク・レジスタ2L	TMMSK2L	R/W	16	09H	タイミング・コンペア・マスク・レジスタ2	TMMSK2	R/W	32	
30H	F0626H	タイミング・コンペア・マスク・レジスタ2H	TMMSK2H	R/W	16						
30H	F0628H	タイミング・コンペア・マスク・レジスタ3L	TMMSK3L	R/W	16	0AH	タイミング・コンペア・マスク・レジスタ3	TMMSK3	R/W	32	
30H	F062AH	タイミング・コンペア・マスク・レジスタ3H	TMMSK3H	R/W	16						
30H	F062CH	タイミング・コンペア・マスク・レジスタ4L	TMMSK4L	R/W	16	0BH	タイミング・コンペア・マスク・レジスタ4	TMMSK4	R/W	32	
30H	F062EH	タイミング・コンペア・マスク・レジスタ4H	TMMSK4H	R/W	16						

FAA

拡張特殊機能レジスタ (2nd SFR)

表4-13 標準タイミング・コントローラのレジスタ一覧 (2/2)

WIND レジスタ値		CPU アドレス	拡張特殊機能レジスタ (2nd SFR)				FAA				
レジスタ名	レジスタ値	レジスタ名	レジスタ値	略号	R/W (CPU)	ビット	レジスタ名	レジスタ値	略号	R/W (FAA)	ビット
30H	F0630H	タイミング・コンペア・マスク・レジスタ5L	TMM5L	TMM5L	R/W	16	タイミング・コンペア・マスク・レジスタ5	0CH	TMM5	R/W	32
30H	F0632H	タイミング・コンペア・マスク・レジスタ5H	TMM5H	TMM5H	R/W	16					
30H	F0634H	フリーラン・カウンタ・レジスタL	FCNTL	FCNTL	R/W	16	フリーラン・カウンタ・レジスタ	0DH	FCNT	R/W	32
30H	F0636H	フリーラン・カウンタ・レジスタH	FCNTH	FCNTH	R/W	16					
30H	F0638H	フリーラン・カウンタ制御レジスタ	FCCNT	FCCNT	R/W	16	フリーラン・カウンタ制御レジスタ	0EH	FCCNT	R/W	32
—	—	—	—	—	—	—					

4.12.2.1 タイミング・コンペア・レジスタ 0-5, 0H-5H, 0L-5L (TMCMP0-5, TMCMP0H-5H, TMCMP0L-5L)

TMCMPn, TMCMPnH, TMCMPnL レジスタ (n = 0-5) 注は、フリーラン・カウンタとのタイミングのコンペア値を設定するレジスタです。CPU からのコンペア値の設定は、フリーラン・カウンタの停止中に行ってください。

CPU からのアクセスは 16 ビット単位です。

注 TMCMPnH, TMCMPnLは、拡張特殊機能レジスタ (2nd SFR) での略号です。

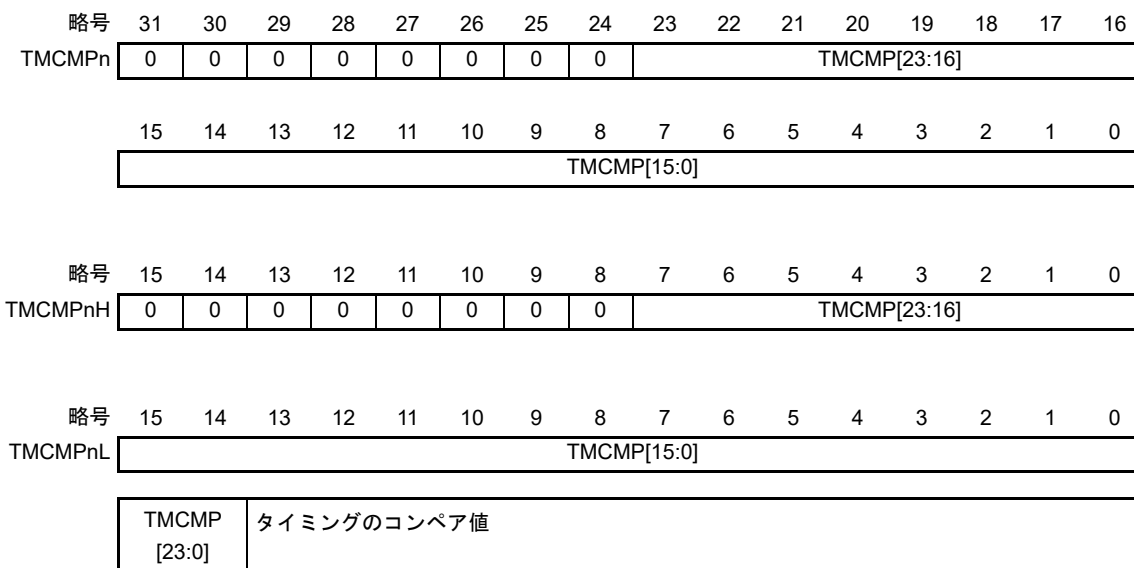
図4 - 27 タイミング・コンペア・レジスタ n, nH, nL (TMCMPn, TMCMPnH, TMCMPnL) のフォーマット

アドレス : F0604H-F061AH (表4 - 13 基準タイミング・コントローラのレジスタ一覧参照)

FAAアドレス: 01H-06H (表4 - 13 基準タイミング・コントローラのレジスタ一覧参照)

リセット時: 0000 0000H (TMCMPn), 0000H (TMCMPnH, TMCMPnL)

R/W属性 : R/W



4.12.2.2 タイミング・コンペア・マスク・レジスタ 0-5, 0H-5H, 0L-5L (TMMSK0-5, TMMSK0H-5H, TMMSK0L-5L)

TMMSKn, TMMSKnH, TMMSKnL レジスタ (n = 0-5) 注は、タイミングのコンペア・マスクを設定します。CPU から
のコンペア・マスクの設定は、フリーラン・カウンタの停止中に行ってください。

CPU からのアクセスは 16 ビット単位です。

注 TMMSKnH, TMMSKnLは、拡張特殊機能レジスタ (2nd SFR) での略号です。

図4-28 タイミング・コンペア・マスク・レジスタ n, nH, nL (TMMSKn, TMMSKnH, TMMSKnL) のフォーマット
(1/2)

アドレス : F061CH-F0632H (表4-13 基準タイミング・コントローラのレジスタ一覧参照)

FAAアドレス: 07H-0CH (表4-13 基準タイミング・コントローラのレジスタ一覧参照)

リセット時: 0000 0000H (TMMSKn), 0000H (TMMSKnH, TMMSKnL)

R/W属性 : R/W

略号	31	30	29	28	27	26	25	24
TMMSKn	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
	TMMSK23	TMMSK22	TMMSK21	TMMSK20	TMMSK19	TMMSK18	TMMSK17	TMMSK16
	15	14	13	12	11	10	9	8
	TMMSK15	TMMSK14	TMMSK13	TMMSK12	TMMSK11	TMMSK10	TMMSK9	TMMSK8
	7	6	5	4	3	2	1	0
	TMMSK7	TMMSK6	TMMSK5	TMMSK4	TMMSK3	TMMSK2	TMMSK1	TMMSK0
略号	15	14	13	12	11	10	9	8
TMMSKnH	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	TMMSK23	TMMSK22	TMMSK21	TMMSK20	TMMSK19	TMMSK18	TMMSK17	TMMSK16
略号	15	14	13	12	11	10	9	8
TMMSKnL	TMMSK15	TMMSK14	TMMSK13	TMMSK12	TMMSK11	TMMSK10	TMMSK9	TMMSK8
	7	6	5	4	3	2	1	0
	TMMSK7	TMMSK6	TMMSK5	TMMSK4	TMMSK3	TMMSK2	TMMSK1	TMMSK0

図4 - 28 タイミング・コンペア・マスク・レジスタ n, nH, nL (TMMSKn, TMMSKnH, TMMSKnL) のフォーマット (2/2)

TMMSKm 注	タイミングのコンペア・マスク
0	タイミング・コンペア・レジスタのビットmをマスクしない
1	タイミング・コンペア・レジスタのビットmをマスクして、フリーラン・カウンタとの比較をしない

注 m = 0-23

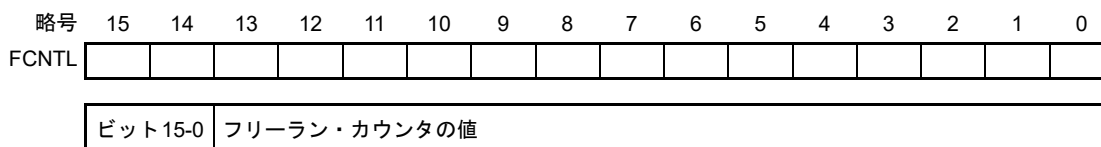
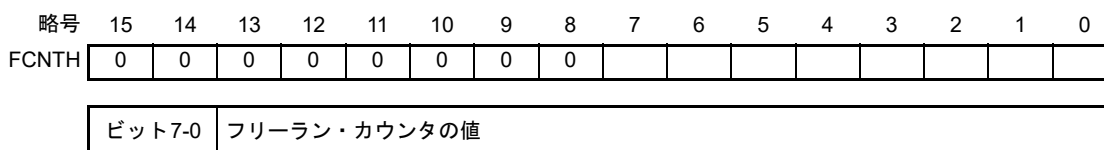
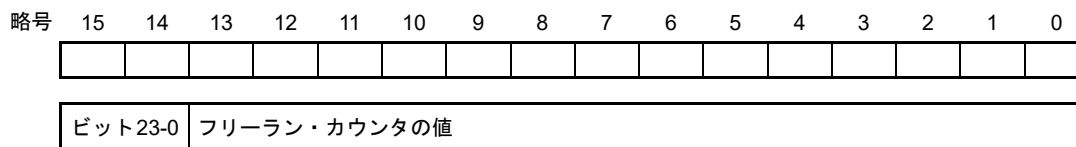
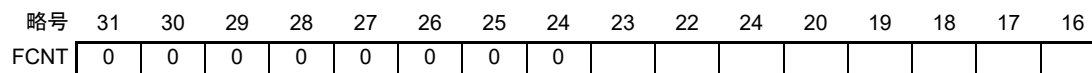
4.12.2.3 フリーラン・カウンタ・レジスタ、H, L (FCNT, FCNTH, FCNTL)

FCNT, FCNTH, FCNTL レジスタ注は、フリーラン・カウンタの値を設定するレジスタです。CPU からの読み出しは、必ず下位 16 ビット - 上位 16 ビットの順に行ってください。フリーラン・カウンタの値の変更は、フリーラン・カウンタの停止中に行ってください。

注 FCNTH, FCNTL は、拡張特殊機能レジスタ (2nd SFR) での略号です。

図4 - 29 フリーラン・カウンタ・レジスタ、H, L (FCNT, FCNTH, FCNTL) のフォーマット

アドレス : F0636H (FCNTH), F0634H (FCNTL)
 FAAアドレス: 0DH
 リセット時: 0000 0000H (FCNT), 0000H (FCNTH, FCNTL)
 R/W属性 : R/W



4.12.2.4 フリーラン・カウンタ制御レジスタ (FCCNT)

FCCNT レジスタは、フリーラン・カウンタの動作/停止を設定します。

図4 - 30 フリーラン・カウンタ制御レジスタ (FCCNT) のフォーマット

アドレス : F0638H
 FAAアドレス: 0EH
 リセット時: 0000 0000H (FAA), 0000H (2nd SFR)
 R/W属性 : R/W

略号	31	30	29	28	27	26	25	24
FCCNT (FAA)	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	FCEN

略号	15	14	13	12	11	10	9	8
FCCNT (2nd SFR)	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	FCEN

FCEN	フリーラン・カウンタ・イネーブル・ビット
0	フリーラン・カウンタ停止
1	フリーラン・カウンタ動作
フリーラン・カウンタの動作/停止を設定します。	

4.12.3 基準タイミング・コントローラの動作

基準タイミング・コントローラで発生する、タイミング・コンペア・マッチ割り込み (0-5) によってプログラムを起動する場合、各コンペア・マッチに対応する割り込みベクタ・レジスタ n (IVn) (n = 0-15) を設定します。

このとき、プロセッサ制御レジスタ (FAACNT) の START ビットなどは設定不要です。

意図しないタイミングで処理が起動するのを防ぐため、タイミング・コンペア・マッチ割り込みによる処理要求をいったんクリアしてください。

例として、タイミング・コンペア・マッチ割り込み 0 によって、プログラムを起動する手順を示します。

- ① Iフラグを 0 にクリア (割り込み禁止)
- ② 割り込み処理許可ビット (IV0.IV0EN) を 0 にクリア (割り込み処理禁止)
- ③ 実行するプログラムの先頭アドレスを割り込みベクタ・ビット (IV0.IV0VEC[11:0]) に設定
- ④ フリーラン・カウンタ・イネーブル・ビット (FCNT.FCEN) を 0 にクリア (フリーラン・カウンタ停止)
- ⑤ フリーラン・カウンタ・レジスタ (FCNT) に初期値を設定 (設定不要の場合、省略可)
- ⑥ タイミング・コンペア・レジスタ 0 (TMCMP0) にコンペア値を設定
- ⑦ タイミング・コンペア・マスク・レジスタ 0 (TMMSK0) にコンペア・マスク値を設定
- ⑧ 割り込み処理許可ビット (IV0.IV0EN) のセット (割り込み処理許可)
- ⑨ フリーラン・カウンタ・イネーブル・ビット (FCNT.FCEN) に 1 をセット (フリーラン・カウンタの動作開始)
- ⑩ Iフラグを 1 にセット (割り込み許可)

⑤～⑦の設定順序は任意です。

タイミング・コンペア・マッチ割り込み (0-5) に割り当てられている割り込みベクタ・レジスタ n (IVn) (n = 0-15) は、表 4-7 割り込みコントローラのレジスタ一覧および表 4-8 割り込み要因を参照してください。

定期的なタイミング・コンペア・マッチ割り込み 0 を発生させる場合、次の 2 通りの設定方法があります。

- (1) タイミング・コンペア・マスク・レジスタ 0 (TMMSK0) を使用する方法

たとえば、4096 サイクルごとにタイミング・コンペア・マッチ割り込み 0 を発生させるには、次のように設定します。

```
タイミング・コンペア・レジスタ 0 (TMCMP0)      : 0000 0FFFH
タイミング・コンペア・マスク・レジスタ 0 (TMMSK0) : 00FF F000H
```

この場合、フリーラン・カウンタのカウント開始後、フリーラン・カウンタの上位 12 ビットはマスクされ、下位 12 ビットがオール 1 (FFFH) に達したとき (4096 サイクルごと) に、タイミング・コンペア・マッチ割り込み 0 が発生します。

この方法は、タイミング・コンペア・レジスタ 0 (TMCMP0) のマスクされていないビットの設定値がオール 1 のときに使用可能です。

- (2) タイミング・コンペア・マスク・レジスタ 0 (TMMSK0) を使用しない方法

たとえば、500 サイクルごとにタイミング・コンペア・マッチ割り込み 0 を発生させるには、次のように設定します。

```
タイミング・コンペア・レジスタ 0 (TMCMP0)      : 0000 01F4H
タイミング・コンペア・マスク・レジスタ 0 (TMMSK0) : 0000 0000H (使用しない)
```

フリーラン・カウンタの値が、タイミング・コンペア・レジスタに設定した値と一致すると、タイミング・コンペア・マッチ割り込み 0 が発生します。この処理ルーチン内で、次の処理を実行するために、タイミング・コンペア・レジスタに「現在値 + 0000 01F4H」を設定してください。

この方法では、タイミング・コンペア・レジスタの再設定が必要です。

4.13 アドレス・バス選択機能

4.13.1 アドレス・バス選択機能の概要

アドレス・バス選択機能は、プロセッサが本製品の周辺機能を直接アクセスするための機能です。アドレス・バス選択レジスタ (ADBSEL) で、CPU からのアクセスか FAA からのアクセスかを選択できます。この機能によって、プロセッサは次の周辺機能のレジスタを直接アクセスできます。

- A/Dコンバータ
- D/Aコンバータ
- タイマRD2/PWMオプション・ユニットA (PWMOPA)
- タイマRG2
- タイマRX
- 16ビット・タイマKB30, KB31, KB32
- コンパレータ
- プログラマブル・ゲイン・アンプ
- シリアル・アレイ・ユニット
- タイマ・アレイ・ユニット
- ポート機能 (ポート1)
- セキュリティ機能

各周辺機能に対応するアドレス・バス選択レジスタ (ADBSEL) のバス選択ビット (xxSEL) に1をセットすると、プロセッサは各周辺機能の制御レジスタを直接アクセスできるようになります。

4.13.2 アドレス・バス選択機能のレジスタ一覧

表4-14にアドレス・バス選択機能のレジスタ一覧を示します。

表4-14 アドレス・バス選択機能のレジスタ一覧

		拡張特殊機能レジスタ (2nd SFR)				FAA			
CPU アドレス	レジスタ名	略号	R/W (CPU)	ビット	レジスタ名	略号	R/W (FAA)	ビット	
F04B0H	アドレス・バス選択レジスタ	ADBSEL	R/W	16	—	—	—	—	
—	—	—	—	—	FAA・レジスタアクセストリガレジスタ	FAAAC	R/W	16	
—	—	—	—	—	FAA・アドレス・ポインタ	FAAAP	R/W	16	

4.13.2.1 アドレス・バス選択レジスタ (ADBSEL)

ADBSEL レジスタは、周辺機能のアクセスを選択するレジスタです。

ADBSEL レジスタは、RL78 CPU からアクセス可能であり 16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。ADBSEL レジスタは FAA からはアクセスできません。

図4-31 アドレス・バス選択レジスタ (ADBSEL) のフォーマット

アドレス : F04B0H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
ADBSEL	FAADIVSEL	0	TRNGSEL	PORTSEL	TKB32SEL	TKB31SEL	TKB30SEL	TRGSEL
	7	6	5	4	3	2	1	0
	TRD0SEL	PWMOPSEL	TRXSEL	DACSEL	PGACMPSEL	ADCSEL	SAU0SEL	TAU0SEL
xxSEL	バス選択ビット							
0	CPUからのバスアクセスを許可							
1	FAAからのバスアクセスを許可							
周辺機能のレジスタへのアクセスバスを選択します。各ビットと周辺機能の対応は以下のとおりです。								
FAADIVSEL : 除算器 (FAA用)								
TRNGSEL : セキュリティ機能								
PORTSEL : ポート機能 (ポート1)								
TKB32SEL : 16ビット・タイマKB32								
TKB31SEL : 16ビット・タイマKB31								
TKB30SEL : 16ビット・タイマKB30								
TRGSEL : タイマRG2								
TRDSEL : タイマRD2								
PWMOPSEL : タイマRD2/PWMオプション・ユニットA								
TRXSEL : タイマRX								
DACSEL : D/Aコンバータ								
PGACMPSEL : プログラマブル・ゲイン・アンプ、コンパレータ								
ADCSEL : A/Dコンバータ								
SAU0SEL : シリアル・アレイ・ユニットのユニット0								
TAU0SEL : タイマ・アレイ・ユニット								

備考 ADCR/ADCRH, ADCR0/ADCR0H, ADCR1/ADCR1H, ADCR2/ADCR2H, ADCR3/ADCR3H レジスタは、ADCSEL ビットの設定にかかわらず、CPU/FAAから同時アクセスが可能です。

4.13.2.2 FAA・アドレス・ポインタ (FAAAP)

FAAAP レジスタは、周辺機能のレジスタアドレスを指定するレジスタです。

FAAP ビットに周辺機能のレジスタのアドレスを指定し、FAA・レジスタアクセストリガレジスタ (FAAAC) への I/O 命令でプロセッサから周辺機能のレジスタにアクセスすることができます。FAAAP レジスタは CPU からはアクセスできません。

FAA・アドレス・ポインタでアクセス可能な各周辺機能のレジスタについては表 4 - 16 各周辺機能のレジスタ (2nd SFR) の FAA アドレスとアクセスサイズ一覧を参照してください。

図4 - 32 FAA・アドレス・ポインタ (FAAAP) のフォーマット

アドレス : -
 FAAアドレス: BFH
 リセット時: 0000H
 R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FAAAP	FAAWD	0	0	FAA1ST	FAAP[11:8]			
	7	6	5	4	3	2	1	0
	FAAP[7:0]							
FAAWD	アクセスサイズ選択							
0	バイトアクセス							
1	ワードアクセス							
FAA1ST	レジスタタイプ選択							
0	拡張特殊機能レジスタ (2nd SFR)							
1	特殊機能レジスタ (SFR)							
FAAP[11:0]	アクセスアドレス指定							
表4 - 15、 表4 - 16 参照	アクセスする周辺機能のレジスタの下位12ビットのアドレスを指定する 例) 12ビット/10ビットA/D変換結果レジスタn (ADCRn) のレジスタアクセス時 : FAAP[11:0] = F1EH							

4.13.2.3 FAA・レジスタアクセストリガレジスタ (FAAAC)

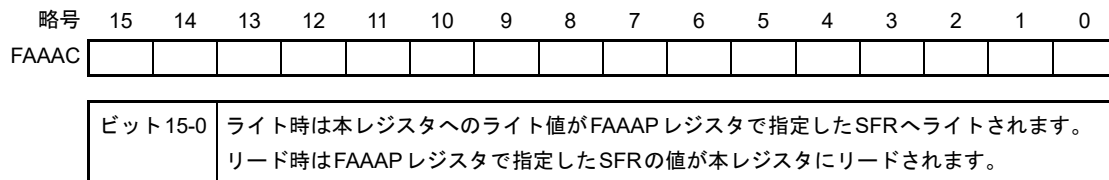
FAAAC レジスタは、FAA・アドレス・ポインタ (FAAAP) で指定した周辺機能のレジスタアドレスへのアクセスを実行するレジスタです。

プロセッサの OUT 命令で FAAAC レジスタに書き込んだ値が周辺機能のレジスタに書き込みされます。

またプロセッサの IN 命令で FAAAC レジスタを読み出すことで周辺機能のレジスタの値を読み出すことができます。FAAAC レジスタは CPU からはアクセスできません。

図4 - 33 FAA・レジスタアクセストリガレジスタ (FAAAC) のフォーマット

アドレス : -
 FAAアドレス: BEH
 リセット時: 0000H
 R/W属性 : R/W



4.13.3 アドレス・バス選択機能の動作

プロセッサが本製品の周辺機能を直接アクセスするには、各周辺機能に対応するアドレス・バス選択レジスタ (ADBSEL) のバス選択ビット (xxSEL) に1をセットする必要があります。

各周辺機能のレジスタ・アクセスは、次の2種類に分類され、アクセス方法が異なります。

- FAAアドレスにマッピングされた各周辺機能レジスタへのアクセス
- FAA・アドレス・ポインタ (FAAAP) を用いた各周辺機能レジスタへのアクセス

以下に各アクセス方法を示します。

- ① FAAアドレスにマッピングされた各周辺機能レジスタへのアクセス
 - (1) CPUアドレスのバイト・アクセス (リード)
 - 各周辺機能に対応するバス選択ビット (xxSEL) に1をセット
 - リードはIN命令で実行
プロセッサのアクキュムレータ・レジスタ (A0) の下位8ビット (7-0) に、レジスタのデータが読み出される (上位ビット (31-8) はオール0)。
 - (2) CPUアドレスのバイト・アクセス (ライト)
 - 各周辺機能に対応するバス選択ビット (xxSEL) に1をセット
 - ライトはOUT命令で実行
プロセッサのアクキュムレータ・レジスタ (A0) の下位8ビット (7-0) のデータがレジスタに書き込まれる (上位ビット (31-8) は無効データ)
 - (3) ワード・アクセス (CPUアドレスの偶数番地のみ)
 - 各周辺機能に対応するバス選択ビット (xxSEL) に1をセット
 - リードはIN命令で実行
プロセッサのアクキュムレータ・レジスタ (A0) の下位16ビット (15-0) に、レジスタのデータが読み出される (上位ビット (31-16) はオール0)。
 - ライトはOUT命令で実行
プロセッサのアクキュムレータ・レジスタ (A0) の下位16ビット (15-0) のデータがレジスタに書き込まれる (上位ビット (31-16) は無効データ)。

② FAA・アドレス・ポインタ (FAAAP) を用いた各周辺機能レジスタへのアクセス

(1) CPUアドレスのバイト・アクセス (リード)

- 各周辺機能に対応するバス選択ビット (xxSEL) に1をセット
- アクセスする周辺機能レジスタの下位12ビットのアドレスをFAAP[11:0]ビットに指定
- レジスタタイプ選択ビット (FAA1ST) を指定
- アクセスサイズ選択ビット (FAAWD) に0を設定
- FAA・レジスタアクセストリガレジスタ (FAAAC) に対してIN命令を実行
プロセッサのアクムレータ・レジスタ (A0) の下位8ビット (7-0) に、レジスタのデータが読み出される (上位ビット (31-8) はオール0)。

(2) CPUアドレスのバイト・アクセス (ライト)

- 各周辺機能に対応するバス選択ビット (xxSEL) に1をセット
- アクセスする周辺機能レジスタの下位12ビットのアドレスをFAAP[11:0]ビットに指定
- レジスタタイプ選択ビット (FAA1ST) を指定
- アクセスサイズ選択ビット (FAAWD) に0を設定
- FAA・レジスタアクセストリガレジスタ (FAAAC) に対してOUT命令を実行
FAAACレジスタの下位8ビット (7-0) のデータがレジスタに書き込まれる (上位ビット (15-8) は無効データ)

(3) ワード・アクセス (CPUアドレスの偶数番地のみ)

- 各周辺機能に対応するバス選択ビット (xxSEL) に1をセット
- アクセスする周辺機能レジスタの下位12ビットのアドレスをFAAP[11:0]ビットに指定
- レジスタタイプ選択ビット (FAA1ST) を指定
- アクセスサイズ選択ビット (FAAWD) に1を設定
- リードはFAA・レジスタアクセストリガレジスタ (FAAAC) に対してIN命令で実行
プロセッサのアクムレータ・レジスタ (A0) の下位16ビット (15-0) に、レジスタのデータが読み出される (上位ビット (31-16) はオール0)。
- ライトはFAA・レジスタアクセストリガレジスタ (FAAAC) に対してOUT命令で実行
FAAACレジスタの16ビット (15-0) のデータがレジスタに書き込まれる。

表4-15、表4-16に各周辺機能のレジスタのFAAアドレスとアクセス・サイズ一覧を示します。各周辺機能のレジスタの詳細については、各機能章を参照してください。

表4-15 各周辺機能のレジスタのFAAアドレスとアクセス・サイズ一覧 (1/2)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			特殊機能レジスタ (SFR) 名称	略号注		R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]						
—	0	1	F01H	ポート・レジスタ1	P1		R/W	○	—
—	0/1	1	F10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	○	○
—	0/1	1	F12H	シリアル・データ・レジスタ01	RXD0/ SIO01	SDR01	R/W	○	○
—	1	1	F18H	タイマ・データ・レジスタ00	TDR00		R/W	—	○
—	0/1	1	F1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	○	○
—	0	1	F1BH		TDR01H			○	
5EH	1	1	F1EH	12ビット/10ビットA/D変換結果 レジスタ	ADCR		R	—	○
—	0	1	F1FH	8ビットA/D変換結果レジスタH	ADCRH		R	○	—
—	0	1	F21H	ポート・モード・レジスタ1	PM1		R/W	○	—
5FH	0	1	F30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	—
60H	0	1	F31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	—
61H	0	1	F32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	—
—	0/1	1	F44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	○	○
—	0/1	1	F46H	シリアル・データ・レジスタ03	RXD1/ SIO11	SDR03	R/W	○	○
5CH	1	1	F60H	タイマRGジェネラルレジスタC	TRGGRC		R/W	—	○
5DH	1	1	F62H	タイマRGジェネラルレジスタD	TRGGRD		R/W	—	○
—	1	1	F64H	タイマ・データ・レジスタ02	TDR02		R/W	—	○
—	0/1	1	F66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	○	○
—	0	1	F67H		TDR03H			○	
40H	1	1	F6CH	タイマRDジェネラルレジスタC0	TRDGRC0		R/W	—	○
41H	1	1	F6EH	タイマRDジェネラルレジスタD0	TRDGRD0		R/W	—	○
42H	1	1	F70H	タイマRDジェネラルレジスタC1	TRDGRC1		R/W	—	○
43H	1	1	F72H	タイマRDジェネラルレジスタD1	TRDGRD1		R/W	—	○
44H	1	1	F74H	タイマRD拡張コンペアレジスタD0	TRDCMPD0		R/W	—	○
45H	1	1	F76H	タイマRD拡張コンペアレジスタC1	TRDCMPC1		R/W	—	○
46H	1	1	F78H	タイマRD拡張コンペアレジスタD1	TRDCMPD1		R/W	—	○
47H	1	1	F7AH	タイマRD A/D変換トリガバッファ レジスタ0/タイマKB3 PWM出力 ゲートモードバッファレジスタ	TRDADTB0/ TRDCMPF1		R/W	—	○
48H	1	1	F7CH	タイマRD A/D変換トリガバッファ レジスタ1	TRDADTB1		R/W	—	○

表4 - 15 各周辺機能のレジスタのFAAアドレスとアクセス・サイズ一覧 (2/2)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			特殊機能レジスタ (SFR) 名称	略号注	R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]					
—	1	1	F7EH	タイマRD一斉書き換えトリガレジスタ	TRDRDT	R/W	—	○
49H	0	1	F7EH	タイマRD一斉書き換えトリガレジスタ 0	TRDRDT0	R/W	○	—
4AH	0	1	F7FH	タイマRD一斉書き換えトリガレジスタ 1	TRDRDT1	R/W	○	—

注 FAA・アドレス・ポインタアクセス時は末尾に“_PTR”が付加されます。

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (1/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号注1		R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]						
62H	0	0	010H	A/Dコンバータ・モード・レジスタ2	ADM2		R/W	○	—
63H	0	0	011H	変換結果比較上限値設定レジスタ	ADUL		R/W	○	—
64H	0	0	012H	変換結果比較下限値設定レジスタ	ADLL		R/W	○	—
—	0	0	013H	A/Dテスト・レジスタ	ADTES		R/W	○	—
—	0	0	014H	A/Dコンバータ・モード・レジスタ3	ADM3		R/W	○	—
—	0	0	015H	アナログ入力チャンネル指定レジスタ0	ADS0		R/W	○	—
—	0	0	016H	アナログ入力チャンネル指定レジスタ1	ADS1		R/W	○	—
—	0	0	017H	アナログ入力チャンネル指定レジスタ2	ADS2		R/W	○	—
—	0	0	018H	アナログ入力チャンネル指定レジスタ3	ADS3		R/W	○	—
—	0	0	019H	変換設定レジスタ	ADSCCTL		R/W	○	—
—	0	0	01AH	変換トリガ指定レジスタ0	ADTR0		R/W	○	—
—	0	0	01BH	変換トリガ指定レジスタ1	ADTR1		R/W	○	—
—	0	0	01CH	変換トリガ指定レジスタ2	ADTR2		R/W	○	—
—	0	0	01DH	変換トリガ指定レジスタ3	ADTR3		R/W	○	—
—	0	0	01FH	A/D変換サンプリング・モード指定 レジスタ	ADSPMOD		R/W	○	—
65H	1	0	020H	12ビット/10ビットA/D変換結果 レジスタ0	—	ADCR0	R	—	○
—	0	0	021H	8ビットA/D変換結果レジスタ0H	ADCR0H		R	○	—
66H	1	0	022H	12ビット/10ビットA/D変換結果 レジスタ1	—	ADCR1	R	—	○
—	0	0	023H	8ビットA/D変換結果レジスタ1H	ADCR1H		R	○	—
67H	1	0	024H	12ビット/10ビットA/D変換結果 レジスタ2	—	ADCR2	R	—	○
—	0	0	025H	8ビットA/D変換結果レジスタ2H	ADCR2H		R	○	—
68H	1	0	026H	12ビット/10ビットA/D変換結果 レジスタ3	—	ADCR3	R	—	○
—	0	0	027H	8ビットA/D変換結果レジスタ3H	ADCR3H		R	○	—
—	0	0	028H	変換割り込み制御レジスタ	ADINTCTL		R/W	○	—
—	0	0	029H	変換割り込みステータス・レジスタ	ADINTST		R/W	○	—
—	0	0	031H	プルアップ抵抗オプション・レジスタ1	PU1		R/W	○	—
—	0	0	041H	ポート入力モード・レジスタ1	PIM1		R/W	○	—
—	0	0	051H	ポート出力モード・レジスタ1	POM1		R/W	○	—
—	0	0	061H	ポート・モード・コントロールA・ レジスタ1	PMCA1		R/W	○	—
—	0/1	0	100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	○	○
—	0/1	0	102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	○	○

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (2/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号注1		R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]						
—	0/1	0	104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	○	○
—	0/1	0	106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	○	○
—	0/1	0	108H	シリアル・フラグ・クリア・トリガ・ レジスタ00	SIR00L	SIR00	R/W	○	○
—	0/1	0	10AH	シリアル・フラグ・クリア・トリガ・ レジスタ01	SIR01L	SIR01	R/W	○	○
—	0/1	0	10CH	シリアル・フラグ・クリア・トリガ・ レジスタ02	SIR02L	SIR02	R/W	○	○
—	0/1	0	10EH	シリアル・フラグ・クリア・トリガ・ レジスタ03	SIR03L	SIR03	R/W	○	○
—	1	0	110H	シリアル・モード・レジスタ00	SMR00		R/W	—	○
—	1	0	112H	シリアル・モード・レジスタ01	SMR01		R/W	—	○
—	1	0	114H	シリアル・モード・レジスタ02	SMR02		R/W	—	○
—	1	0	116H	シリアル・モード・レジスタ03	SMR03		R/W	—	○
—	1	0	118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	○
—	1	0	11AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	○
—	1	0	11CH	シリアル通信動作設定レジスタ02	SCR02		R/W	—	○
—	1	0	11EH	シリアル通信動作設定レジスタ03	SCR03		R/W	—	○
—	0/1	0	120H	シリアル・チャンネル許可ステータス・ レジスタ0	SE0L	SE0	R	○	○
—	0/1	0	122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W	○	○
—	0/1	0	124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W	○	○
—	0/1	0	126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	○	○
—	1	0	128H	シリアル出力レジスタ0	SO0		R/W	—	○
—	0/1	0	12AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○
—	0/1	0	134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	○	○
—	0/1	0	138H	シリアル・スタンバイ・コントロール・ レジスタ0	SSC0L	SSC0	R/W	○	○
—	1	0	180H	タイマ・カウンタ・レジスタ00	TCR00		R	—	○
—	1	0	182H	タイマ・カウンタ・レジスタ01	TCR01		R	—	○
—	1	0	184H	タイマ・カウンタ・レジスタ02	TCR02		R	—	○
—	1	0	186H	タイマ・カウンタ・レジスタ03	TCR03		R	—	○
—	1	0	190H	タイマ・モード・レジスタ00	TMR00		R/W	—	○
—	1	0	192H	タイマ・モード・レジスタ01	TMR01		R/W	—	○
—	1	0	194H	タイマ・モード・レジスタ02	TMR02		R/W	—	○
—	1	0	196H	タイマ・モード・レジスタ03	TMR03		R/W	—	○
—	0/1	0	1A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	○	○

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (3/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号注1		R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]						
—	0/1	0	1A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	○	○
—	0/1	0	1A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	○	○
—	0/1	0	1A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	○	○
—	0/1	0	1B0H	タイマ・チャンネル許可ステータス・ レジスタ0	TE0L	TE0	R	○	○
—	0/1	0	1B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○
—	0/1	0	1B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○
—	1	0	1B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	○
—	0/1	0	1B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	○	○
—	0/1	0	1BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○
—	0/1	0	1BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	○	○
—	0/1	0	1BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	○	○
—	0	0	330H	D/Aコンバータ・モード・レジスタ0	DAM0		R/W	○	—
—	0	0	331H	D/Aコンバータ・モード・レジスタ1	DAM1		R/W	○	—
—	0	0	332H	D/Aコンバータ・モード・レジスタ2	DAM2		R/W	○	—
69H	0	0	333H	D/A変換値設定レジスタ2	DACS2		R/W	○	—
6AH	1	0	334H	D/A変換値設定レジスタ0	DACS0		R/W	—	○
6BH	0/1	0	336H	D/A変換値設定レジスタ1	DACS1L	DACS1	R/W	○	○
—	0	0	340H	コンパレータモード設定レジスタ0	COMPMDR0		R/W	○	—
—	0	0	341H	コンパレータフィルタ制御レジスタ0	COMPFIR0		R/W	○	—
—	0	0	342H	コンパレータ出力制御レジスタ0	COMPOCR0		R/W	○	—
—	0	0	344H	コンパレータモード設定レジスタ1	COMPMDR1		R/W	○	—
—	0	0	345H	コンパレータフィルタ制御レジスタ1	COMPFIR1		R/W	○	—
—	0	0	346H	コンパレータ出力制御レジスタ1	COMPOCR1		R/W	○	—
—	0	0	347H	PGA制御レジスタ	PGACTL		R/W	○	—
6CH	0	0	348H	PGA入力チャンネル選択レジスタ	PGAINS		R/W	○	—
—	0	0	34AH	コンパレータ0入力信号選択制御 レジスタ	CMP0SEL		R/W	○	—
—	0	0	34BH	コンパレータ1入力信号選択制御 レジスタ	CMP1SEL		R/W	○	—
—	0	0	34CH	コンパレータ2入力信号選択制御 レジスタ	CMP2SEL		R/W	○	—
—	0	0	34DH	コンパレータ3入力信号選択制御 レジスタ	CMP3SEL		R/W	○	—
—	0	0	34EH	コンパレータ出力制御レジスタ2	COMPOCR2		R/W	○	—
6DH	1	0	350H	タイマRXカウンタ	TRX		R/W	—	○

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (4/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号注1	R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]					
—	1	0	352H	タイマRXカウンタ・バッファ・ カウンタ	TRXBUF	R	—	○
—	0	0	354H	タイマRX機能制御レジスタ1	TRXCR1	R/W	○	—
—	0	0	355H	タイマRX機能制御レジスタ2	TRXCR2	R/W	○	—
—	0	0	356H	タイマRXステータス・レジスタ	TRXSR	R/W	○	—
—	0	0	358H	PWMOPA制御レジスタ0	OPCTL0	R/W	○	—
—	0	0	359H	PWMOPA遮断制御レジスタ0	OPDF0	R/W	○	—
—	0	0	35AH	PWMOPA遮断制御レジスタ1	OPDF1	R/W	○	—
—	0	0	35BH	PWMOPAエッジ選択レジスタ	OPEDGE	R/W	○	—
—	0	0	35CH	PWMOPAステータス・レジスタ	OPSR	R	○	—
—	0	0	390H	タイマRD ELCレジスタ	TRDELCL	R/W	○	—
—	0	0	391H	タイマRDタイマKB3 PWM出力ゲート モード制御レジスタ	TRDBCR	R/W	○	—
—	0	0	392H	タイマRDタイマKB3 PWM出力モニタ レジスタ	TRDBOF	R	○	—
—	0	0	393H	タイマRDスタートレジスタ	TRDSTR	R/W	○	—
—	0	0	394H	タイマRDモードレジスタ	TRDMR	R/W	○	—
—	0	0	395H	タイマRD PWM機能選択レジスタ	TRDPMR	R/W	○	—
—	0	0	396H	タイマRD機能制御レジスタ	TRDFCR	R/W	○	—
56H	0	0	397H	タイマRD出カマスタ許可レジスタ1	TRDOER1	R/W	○	—
—	0	0	398H	タイマRD出カマスタ許可レジスタ2	TRDOER2	R/W	○	—
—	0	0	399H	タイマRD出力制御レジスタ	TRDOCR	R/W	○	—
—	0	0	39AH	タイマRD デジタルフィルタ機能選択 レジスタ0	TRDDF0	R/W	○	—
—	0	0	39BH	タイマRD デジタルフィルタ機能選択 レジスタ1	TRDDF1	R/W	○	—
—	0	0	3A0H	タイマRD制御レジスタ0	TRDCR0	R/W	○	—
—	0	0	3A1H	タイマRD I/O制御レジスタA0	TRDIORA0	R/W	○	—
—	0	0	3A2H	タイマRD I/O制御レジスタC0	TRDIORC0	R/W	○	—
—	0	0	3A3H	タイマRDステータスレジスタ0	TRDSR0	R/W	○	—
—	0	0	3A4H	タイマRD割り込み許可レジスタ0	TRDIER0	R/W	○	—
—	0	0	3A5H	タイマRD PWM出力レベル制御 レジスタ0	TRDPOCR0	R/W	○	—
4BH	1	0	3A6H	タイマRDカウンタ0	TRD0	R/W	—	○
4CH	1	0	3A8H	タイマRD ジェネラルレジスタA0	TRDGRA0	R/W	—	○
4DH	1	0	3AAH	タイマRD ジェネラルレジスタB0	TRDGRB0	R/W	—	○
—	0	0	3B0H	タイマRD制御レジスタ1	TRDCR1	R/W	○	—

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (5/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号注1	R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]					
—	0	0	3B1H	タイマRD I/O制御レジスタ A1	TRDIORA1	R/W	○	—
—	0	0	3B2H	タイマRD I/O制御レジスタ C1	TRDIORC1	R/W	○	—
—	0	0	3B3H	タイマRDステータスレジスタ 1	TRDSR1	R/W	○	—
—	0	0	3B4H	タイマRD割り込み許可レジスタ 1	TRDIER1	R/W	○	—
—	0	0	3B5H	タイマRD PWM出力レベル制御 レジスタ 1	TRDPOCR1	R/W	○	—
4EH	1	0	3B6H	タイマRDカウンタ 1	TRD1	R/W	—	○
4FH	1	0	3B8H	タイマRD ジェネラルレジスタ A1	TRDGRA1	R/W	—	○
50H	1	0	3BAH	タイマRD ジェネラルレジスタ B1	TRDGRB1	R/W	—	○
51H	1	0	3C0H	タイマRD 拡張コンペアレジスタ B0	TRDCMPB0	R/W	—	○
52H	1	0	3C4H	タイマRD 拡張コンペアレジスタ A1	TRDCMPA1	R/W	—	○
53H	1	0	3C8H	タイマRD 拡張コンペアレジスタ B1	TRDCMPB1	R/W	—	○
54H	1	0	3CCH	タイマRD A/D変換トリガコンペア レジスタ 0 / タイマKB3 PWM出力 ゲートモードコンペアレジスタ	TRDADTC0/ TRDCMPE1	R/W	—	○
55H	1	0	3D0H	タイマRD A/D変換トリガコンペア レジスタ 1	TRDADTC1	R/W	—	○
—	1	0	3D6H	タイマRD一斉書き換えフラグレジスタ	TRDRSF	R	—	○
57H	0	0	3D6H	タイマRD一斉書き換えフラグ レジスタ 0	TRDRSF0	R	○	—
58H	0	0	3D7H	タイマRD一斉書き換えフラグ レジスタ 1	TRDRSF1	R	○	—
—	0	0	3D8H	タイマRD A/D変換トリガ制御レジスタ	TRDADCR	R/W	○	—
—	0	0	3E0H	タイマRGモードレジスタ 0	TRGMR0	R/W	○	—
—	0	0	3E1H	タイマRGカウント制御レジスタ	TRGCNTC	R/W	○	—
—	0	0	3E2H	タイマRG制御レジスタ	TRGCR	R/W	○	—
—	0	0	3E3H	タイマRG割り込み許可レジスタ 0	TRGIER0	R/W	○	—
—	0	0	3E4H	タイマRGステータスレジスタ 0	TRGSR0	R/W	○	—
—	0	0	3E5H	タイマRG I/O制御レジスタ	TRGIOR	R/W	○	—
59H	1	0	3E6H	タイマRGカウンタ	TRG	R/W	—	○
5AH	1	0	3E8H	タイマRG ジェネラルレジスタ A	TRGGRA	R/W	—	○
5BH	1	0	3EAH	タイマRG ジェネラルレジスタ B	TRGGRB	R/W	—	○
—	0	0	3F0H	タイマRGモードレジスタ 1	TRGMR1	R/W	○	—
—	0	0	3F1H	タイマRG出力許可レジスタ	TRGOER	R/W	○	—
—	0	0	3F2H	タイマRG出力制御レジスタ	TRGOER	R/W	○	—
—	0	0	3F3H	タイマRG割り込み許可レジスタ 1	TRGIER1	R/W	○	—
—	0	0	3F4H	タイマRGステータスレジスタ 1	TRGSR1	R/W	○	—

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (6/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号 ^{注1}	R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]					
—	0	0	3F5H	タイマRGスタートレジスタ	TRGSTR	R/W	○	—
—	0	0	3F6H	タイマRG位相計数モード制御 レジスタ0	TRGCTL0	R/W	○	—
—	0	0	3F7H	タイマRG位相計数モード制御 レジスタ1	TRGCTL1	R/W	○	—
—	1	0	3F8H	タイマRG位相変化時間計測カウンタ	TRGPMC	R/W	—	○
—	1	0	3FAH	タイマRG位相変化時間キャプチャ レジスタ0	TRGCAP0	R	—	○
—	1	0	3FCH	タイマRG位相変化時間キャプチャ レジスタ1	TRGCAP1	R	—	○
96H	1	0	400H	16ビット・タイマKBコンペアレジスタ 20	TKBCR20	R/W	—	○
97H	1	0	402H	16ビット・タイマKBコンペアレジスタ 21	TKBCR21	R/W	—	○
98H	1	0	404H	16ビット・タイマKBコンペアレジスタ 22	TKBCR22	R/W	—	○
99H	1	0	406H	16ビット・タイマKBコンペアレジスタ 23	TKBCR23	R/W	—	○
9AH	1	0	408H	16ビット・タイマKBトリガ・ コンペア・レジスタ2	TKBTGCR2	R/W	—	○
9BH	1	0	40AH	16ビット・タイマKBソフト・スター ト・初期デューティ・レジスタ20	TKBSIR20	R/W	—	○
9CH	1	0	40CH	16ビット・タイマKBソフト・スター ト・初期デューティ・レジスタ21	TKBSIR21	R/W	—	○
—	0	0	40EH	16ビット・タイマKBディザリング数 レジスタ20	TKBDNR20	R/W	○	—
—	0	0	40FH	16ビット・タイマKBソフト・ スタート・ステップ幅レジスタ20	TKBSSR20	R/W	○	—
—	0	0	410H	16ビット・タイマKBディザリング数 レジスタ21	TKBDNR21	R/W	○	—
—	0	0	411H	16ビット・タイマKBソフト・ スタート・ステップ幅レジスタ21	TKBSSR21	R/W	○	—
9DH	0	0	412H	16ビット・タイマKBトリガ・レジスタ 2	TKBTRG2	W	○	—
9EH	0	0	413H	16ビット・タイマKBフラグ・レジスタ 2	TKBFLG2	R	○	—
9FH	1	0	414H	16ビット・タイマKBコンペア1L & ディザリング数レジスタ20	TKBCRLD20	R/W	—	○
A0H	1	0	416H	16ビット・タイマKBコンペア3L & ディザリング数レジスタ21	TKBCRLD21	R/W	—	○

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (7/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号 ^{注1}	R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]					
—	1	0	420H	16ビット・タイマ・カウンタKB2	TKBCNT2	R	—	○
—	1	0	422H	16ビット・タイマKB動作制御レジスタ 20	TKBCTL20	R/W	—	○
—	1	0	424H	16ビット・タイマKB最大周波数 リミット設定レジスタ2	TKBMFR2	R/W	—	○
—	0	0	426H	16ビット・タイマKB出力制御レジスタ 20	TKBIOC20	R/W	○	—
—	0	0	427H	16ビット・タイマKBフラグ・クリア・ トリガ・レジスタ2	TKBCLR2	W	○	—
—	0	0	428H	16ビット・タイマKB出力制御レジスタ 21	TKBIOC21	R/W	○	—
—	0	0	429H	16ビット・タイマKB動作制御レジスタ 21	TKBCTL21	R/W	○	—
—	1	0	42AH	16ビット・タイマKB動作制御レジスタ 22	TKBCTL22	R/W	—	○
—	1	0	430H	強制出力停止機能制御レジスタ20	TKBPACTL20	R/W	—	○
—	1	0	432H	強制出力停止機能制御レジスタ21	TKBPACTL21	R/W	—	○
A5H	0	0	434H	強制出力停止機能1開始トリガ・ レジスタ2	TKBPAHFS2	W	○	—
A6H	0	0	435H	強制出力停止機能1解除トリガ・ レジスタ2	TKBPAHFT2	W	○	—
A7H	0	0	436H	強制出力停止機能フラグ・レジスタ2	TKBPAFLG2	R	○	—
—	0	0	437H	強制出力停止機能制御レジスタ22	TKBPACTL22	R/W	○	—
—	0	0	438H	強制出力停止機能制御レジスタ23	TKBPACTL23	R/W	○	—
—	0	0	439H	強制出力停止機能制御レジスタ24	TKBPACTL24	R/W	○	—
A8H	1	0	43AH	パルス幅測定キャプチャレジスタ20	TKBPAPLS20	R	—	○
A9H	1	0	43CH	パルス幅測定キャプチャレジスタ21	TKBPAPLS21	R	—	○
—	1	0	43EH	パルス幅測定キャプチャレジスタ20L	TKBPAPLS20L	R/W	○	—
—	1	0	43FH	パルス幅測定キャプチャレジスタ21L	TKBPAPLS21L	R/W	○	—
—	0	0	490H	16ビット・タイマKB間引き制御 レジスタ0	TKBTCTL0	R/W	○	—
—	0	0	491H	16ビット・タイマKB間引き回数設定 レジスタ0	TKBTCMP0	R/W	○	—
—	0	0	492H	16ビット・タイマKB間引き制御 レジスタ1	TKBTCTL1	R/W	○	—
—	0	0	493H	16ビット・タイマKB間引き回数設定 レジスタ1	TKBTCMP1	R/W	○	—
—	0	0	494H	16ビット・タイマKB間引き制御 レジスタ2	TKBTCTL2	R/W	○	—

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (8/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号 ^{注1}	R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]					
—	0	0	495H	16ビット・タイマKB間引き回数設定 レジスタ2	TKBTCMP2	R/W	○	—
—	0	0	540H	乱数シード・データ・レジスタ	TRNGSDR ^{注2}	R	○	—
—	0	0	542H	乱数シード・コマンド・レジスタ0	TRNGSCR0 ^{注3}	R/W	○	—
6EH	1	0	740H	16ビット・タイマKBコンペアレジスタ 00	TKBCR00	R/W	—	○
6FH	1	0	742H	16ビット・タイマKBコンペアレジスタ 01	TKBCR01	R/W	—	○
70H	1	0	744H	16ビット・タイマKBコンペアレジスタ 02	TKBCR02	R/W	—	○
71H	1	0	746H	16ビット・タイマKBコンペアレジスタ 03	TKBCR03	R/W	—	○
72H	1	0	748H	16ビット・タイマKBトリガ・ コンペア・レジスタ0	TKBTGCR0	R/W	—	○
73H	1	0	74AH	16ビット・タイマKBソフト・スター ト・初期デューティ・レジスタ00	TKBSIR00	R/W	—	○
74H	1	0	74CH	16ビット・タイマKBソフト・スター ト・初期デューティ・レジスタ01	TKBSIR01	R/W	—	○
—	0	0	74EH	16ビット・タイマKBディザリング数 レジスタ00	TKBDNR00	R/W	○	—
—	0	0	74FH	16ビット・タイマKBソフト・ スタート・ステップ幅レジスタ00	TKBSSR00	R/W	○	—
—	0	0	750H	16ビット・タイマKBディザリング数 レジスタ01	TKBDNR01	R/W	○	—
—	0	0	751H	16ビット・タイマKBソフト・ スタート・ステップ幅レジスタ01	TKBSSR01	R/W	○	—
75H	0	0	752H	16ビット・タイマKBトリガ・ レジスタ0	TKBTRG0	W	○	—
76H	0	0	753H	16ビット・タイマKBフラグ・レジスタ 0	TKBFLG0	R	○	—
77H	1	0	754H	16ビット・タイマKBコンペア1L & ディザリング数レジスタ00	TKBCRLD00	R/W	—	○
78H	1	0	756H	16ビット・タイマKBコンペア3L & ディザリング数レジスタ01	TKBCRLD01	R/W	—	○
—	1	0	760H	16ビット・タイマ・カウンタKB0	TKBCNT0	R	—	○
—	1	0	762H	16ビット・タイマKB動作制御レジスタ 00	TKBCTL00	R/W	—	○
—	1	0	764H	16ビット・タイマKB最大周波数 リミット設定レジスタ0	TKBMFR0	R/W	—	○

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (9/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号注1	R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]					
—	0	0	766H	16ビット・タイマKB出力制御レジスタ 00	TKBIOC00	R/W	○	—
—	0	0	767H	16ビット・タイマKBフラグ・クリア・ トリガ・レジスタ0	TKBCLR0	W	○	—
—	0	0	768H	16ビット・タイマKB出力制御レジスタ 01	TKBIOC01	R/W	○	—
—	0	0	769H	16ビット・タイマKB動作制御レジスタ 01	TKBCTL01	R/W	○	—
—	1	0	76AH	16ビット・タイマKBフラグ・動作制御 レジスタ02	TKBCTL02	R/W	—	○
—	1	0	770H	強制出力停止機能制御レジスタ00	TKBPACTL00	R/W	—	○
—	1	0	772H	強制出力停止機能制御レジスタ01	TKBPACTL01	R/W	—	○
7DH	0	0	774H	強制出力停止機能1開始トリガ・ レジスタ0	TKBPAHFS0	W	○	—
7EH	0	0	775H	強制出力停止機能1解除トリガ・ レジスタ0	TKBPAHFT0	W	○	—
7FH	0	0	776H	強制出力停止機能フラグ・レジスタ0	TKBPAFLG0	R	○	—
—	0	0	777H	強制出力停止機能制御レジスタ02	TKBPACTL02	R/W	○	—
—	0	0	778H	強制出力停止機能制御レジスタ03	TKBPACTL03	R/W	○	—
—	0	0	779H	強制出力停止機能制御レジスタ04	TKBPACTL04	R/W	○	—
80H	1	0	77AH	パルス幅測定キャプチャレジスタ00	TKBPAPLS00	R	—	○
81H	1	0	77CH	パルス幅測定キャプチャレジスタ01	TKBPAPLS01	R	—	○
—	0	0	77EH	パルス幅測定キャプチャレジスタ00L	TKBPAPLS00L	R/W	○	—
—	0	0	77FH	パルス幅測定キャプチャレジスタ01L	TKBPAPLS01L	R/W	○	—
82H	1	0	780H	16ビット・タイマKBコンペアレジスタ 10	TKBCR10	R/W	—	○
83H	1	0	782H	16ビット・タイマKBコンペアレジスタ 11	TKBCR11	R/W	—	○
84H	1	0	784H	16ビット・タイマKBコンペアレジスタ 12	TKBCR12	R/W	—	○
85H	1	0	786H	16ビット・タイマKBコンペアレジスタ 13	TKBCR13	R/W	—	○
86H	1	0	788H	16ビット・タイマKBトリガ・ コンペア・レジスタ1	TKBTGCR1	R/W	—	○
87H	1	0	78AH	16ビット・タイマKBソフト・スター ト・初期デューティ・レジスタ10	TKBSIR10	R/W	—	○
88H	1	0	78CH	16ビット・タイマKBソフト・スター ト・初期デューティ・レジスタ11	TKBSIR11	R/W	—	○
—	0	0	78EH	16ビット・タイマKBディザリング数 レジスタ10	TKBDNR10	R/W	○	—

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (10/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号注1	R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]					
—	0	0	78FH	16ビット・タイマKBソフト・ スタート・ステップ幅レジスタ 10	TKBSSR10	R/W	○	—
—	0	0	790H	16ビット・タイマKBディザリング数 レジスタ 11	TKBDNR11	R/W	○	—
—	0	0	791H	16ビット・タイマKBソフト・ スタート・ステップ幅レジスタ 11	TKBSSR11	R/W	○	—
89H	0	0	792H	16ビット・タイマKBトリガ・レジスタ 1	TKBTRG1	W	○	—
8AH	0	0	793H	16ビット・タイマKBフラグ・レジスタ 1	TKBFLG1	R	○	—
8BH	1	0	794H	16ビット・タイマKBコンペア 1L & ディザリング数レジスタ 10	TKBCRLD10	R/W	—	○
8CH	1	0	796H	16ビット・タイマKBコンペア 3L & ディザリング数レジスタ 11	TKBCRLD11	R/W	—	○
—	1	0	7A0H	16ビット・タイマ・カウンタKB1	TKBCNT1	R	—	○
—	1	0	7A2H	16ビット・タイマKB動作制御レジスタ 10	TKBCTL10	R/W	—	○
—	1	0	7A4H	16ビット・タイマKB最大周波数 リミット設定レジスタ 1	TKBMFR1	R/W	—	○
—	0	0	7A6H	16ビット・タイマKB出力制御レジスタ 10	TKBIOC10	R/W	○	—
—	0	0	7A7H	16ビット・タイマKBフラグ・クリア・ トリガ・レジスタ 1	TKBCLR1	W	○	—
—	0	0	7A8H	16ビット・タイマKB出力制御レジスタ 11	TKBIOC11	R/W	○	—
—	0	0	7A9H	16ビット・タイマKB動作制御レジスタ 11	TKBCTL11	R/W	○	—
—	1	0	7AAH	16ビット・タイマKB動作制御レジスタ 12	TKBCTL12	R/W	—	○
—	1	0	7B0H	強制出力停止機能制御レジスタ 10	TKBPACTL10	R/W	—	○
—	1	0	7B2H	強制出力停止機能制御レジスタ 11	TKBPACTL11	R/W	—	○
91H	0	0	7B4H	強制出力停止機能 1 開始トリガ・ レジスタ 1	TKBPAHFS1	W	○	—
92H	0	0	7B5H	強制出力停止機能 1 解除トリガ・ レジスタ 1	TKBPAHFT1	W	○	—
93H	0	0	7B6H	強制出力停止機能フラグ・レジスタ 1	TKBPAFLG1	R	○	—
—	0	0	7B7H	強制出力停止機能制御レジスタ 12	TKBPACTL12	R/W	○	—
—	0	0	7B8H	強制出力停止機能制御レジスタ 13	TKBPACTL13	R/W	○	—
—	0	0	7B9H	強制出力停止機能制御レジスタ 14	TKBPACTL14	R/W	○	—
94H	1	0	7BAH	パルス幅測定キャプチャレジスタ 10	TKBPAPLS10	R	—	○

表4 - 16 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 (11/11)

FAA アドレス	FAA・アドレス・ポインタ アクセス時			拡張特殊機能レジスタ (2nd SFR) 名称	略号 ^{注1}	R/W	バイト・ アクセス	ワード・ アクセス
	FAAWD	FAA1ST	FAAP [11:0]					
95H	1	0	7BCH	パルス幅測定キャプチャレジスタ 11	TKBPAPLS11	R	—	○
—	0	0	7BEH	パルス幅測定キャプチャレジスタ 10L	TKBPAPLS10L	R/W	○	—
—	0	0	7BFH	パルス幅測定キャプチャレジスタ 11L	TKBPAPLS11L	R/W	○	—

注1. FAA・アドレス・ポインタアクセス時は末尾に"_PTR"が付加されます。

注2. リードはFAA・レジスタアクセストリガレジスタ (FAAAC) に対してIN命令を2回続けて実行してください。プロセッサの
アキュムレータ・レジスタ (A0) の下位8ビット (7-0) にレジスタのデータが読み出されます。

注3. リードはFAA・レジスタアクセストリガレジスタ (FAAAC) に対してIN命令を2回続けて実行してください。プロセッサの
アキュムレータ・レジスタ (A0) の下位8ビット (7-0) にレジスタのデータが読み出されます。

ライトはFAA・レジスタアクセストリガレジスタ (FAAAC) に対してOUT命令を2回続けて実行してください。FAAACレ
ジスタの下位8ビット (7-0) のデータがレジスタに書き込まれます。

4.14 FAAの動作

4.14.1 CPUとFAAの組み合わせ動作

用途にあわせて、CPUとFAAを組み合わせ動作させることができます。表4-17に主な動作例を示します。

表4-17 CPUとFAAの組み合わせ動作例

動作例	FAAの動作	主な用途
サブプロセッサ動作1	演算のみ	暗号演算、パターン認識など
サブプロセッサ動作2	周辺機能からのデータ取得、演算	デジタル・フィルタ、信号解析など
サブプロセッサ動作3	演算、周辺機能制御	ADPCM, PWM出力制御など
FAA独立動作	周辺機能からのデータ取得、演算、周辺機能制御	インバータ制御用途、ノイズ・キャンセル応用など

これら4例以外にも、用途にあわせて、入力イベント・コントローラ (GRNINPUTC)、割り込みコントローラ (GRNINTC)、基準タイミング・コントローラ (GRNTIMEC) などを利用して、多彩な応用ができます。

4.14.1.1 サブプロセッサ動作1

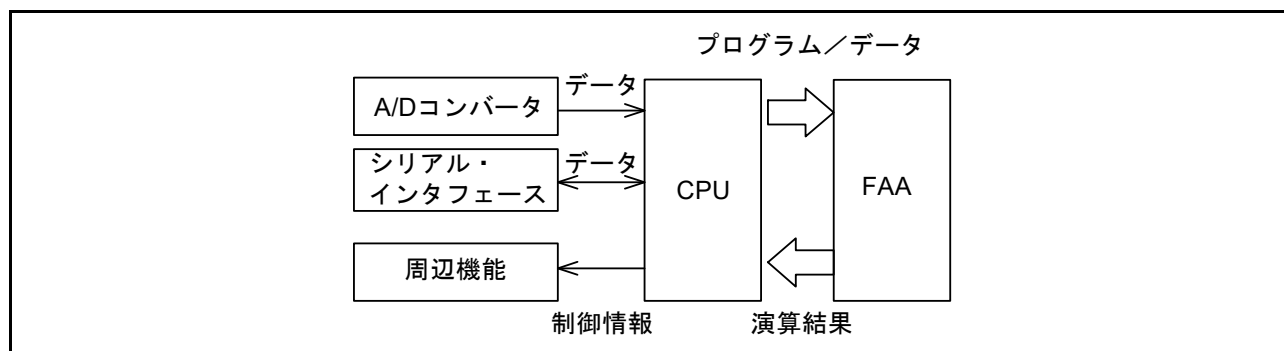
必要なときだけ、CPUがFAAに演算だけを行わせます。

FAA実行開始前に、演算プログラム、データ、FAAに対する制御情報をインストラクション・コード・メモリ、データ・メモリ、CPUインタフェースのレジスタへ転送します。CPUは、必要なときだけFAAに演算をさせます。

演算結果は、データ・メモリかデータ共有メモリ (SHDMEM) から読み出せます。

図4-34にサブプロセッサ動作1のイメージを示します。

図4-34 サブプロセッサ動作1のイメージ



4.14.1.2 サブプロセッサ動作2

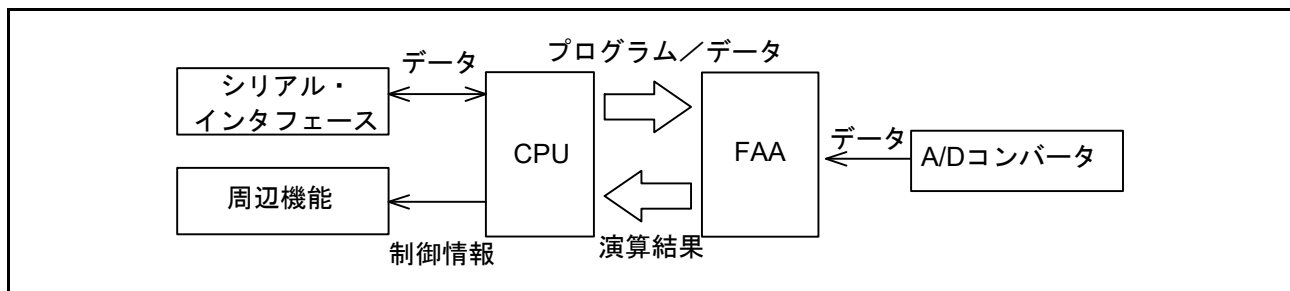
必要なときだけ、CPU が FAA に周辺機能からのデータ取得と演算を行わせます。

FAA 実行開始前に、演算プログラム、データ、FAA に対しての制御情報をインストラクション・コード・メモリ、データ・メモリ、CPU インタフェースのレジスタへ転送します。CPU は、必要なときだけ FAA に演算をさせます。演算に必要なデータは、FAA が周辺機能より直接取得します。

演算結果は、データ・メモリかデータ共有メモリ (SHDMEM) から読み出せます。

図 4 - 35 にサブプロセッサ動作 2 のイメージを示します。

図4 - 35 サブプロセッサ動作2のイメージ



4.14.1.3 サブプロセッサ動作3

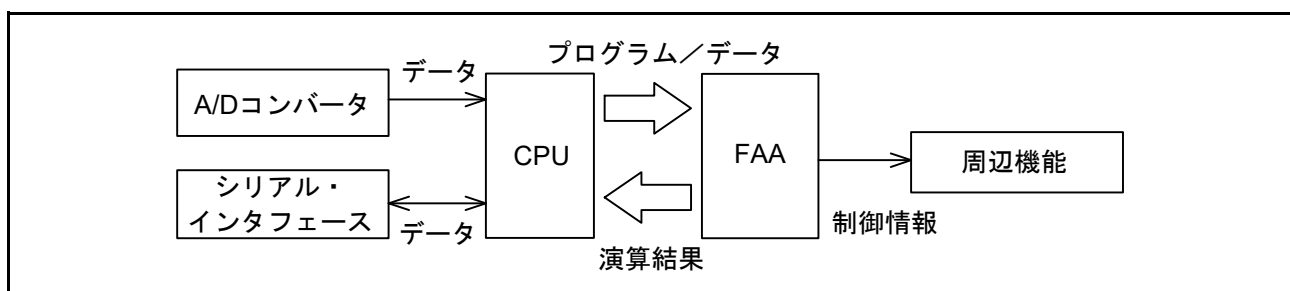
必要なときだけ、CPU が FAA に演算と周辺機能制御を行わせます。

FAA 実行開始前に、演算プログラム、データ、FAA に対しての制御情報をインストラクション・コード・メモリ、データ・メモリ、CPU インタフェースのレジスタへ転送します。CPU は、必要なときだけ FAA に演算をさせます。FAA は、演算結果を元に、周辺機能を直接制御します。

演算結果は、データ・メモリかデータ共有メモリ (SHDMEM) から読み出せます。

図 4 - 36 にサブプロセッサ動作 3 のイメージを示します。

図4 - 36 サブプロセッサ動作3のイメージ



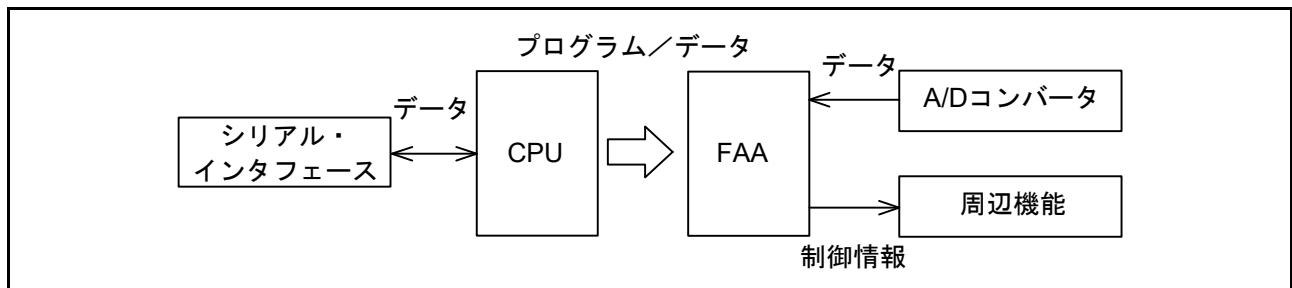
4.14.1.4 FAA独立動作

FAA は、周辺機能からのデータ取得と演算、周辺機能制御を行います。

FAA 実行開始前に、演算プログラム、データ、FAA に対しての制御情報をインストラクション・コード・メモリ、データ・メモリ、CPU インタフェースのレジスタへ転送します。CPU は、FAA へ実行を指示します。FAA は、演算に必要ないくつかのデータを周辺機能より直接取得して、演算を行います。そして FAA は、演算結果を元に、周辺機能を直接制御します。

図 4 - 37 に FAA 独立動作のイメージを示します。

図4 - 37 FAA独立動作のイメージ



4.14.2 FAAのプログラム実行制御

システム制御レジスタの FAA 動作許可ビットに 1 をセットすると、FAA は動作可能状態になります。その後、次のいずれかの条件で、FAA はプログラムを実行します。

- プロセッサ制御レジスタのプログラム実行ビット (START) に 1 をセット
- 割り込み要求を受付 (4.10 割り込みコントローラ (GRNINTC) 参照)

プログラム実行は、次のいずれかの条件で停止します。

- STOP 命令を実行
- START ビットを 0 にクリア
- 未定義命令を実行
- プログラム実行停止中に、割り込み要求が入ってプログラムを実行し、RETI 命令を実行

プログラム実行の停止後、FAA 動作許可ビットを 0 にクリアしてください。

プログラム実行が停止すると、START ビットは 0 にクリアされます。また、STOP 命令によってプログラム実行が停止したとき、または未定義命令を実行したとき、FAA は CPU に割り込み要求信号を出力します。CPU が START ビットを 0 にクリアしたときと、RETI 命令でプログラム実行が停止したときは、CPU への割り込み要求を出力しません。

未定義命令を実行したとき、レジスタとデータ・メモリの内容は保証されません。

4.14.3 CPUへの割り込み要求出力機能

FAA は、次のいずれかの条件で、CPU に割り込みを要求します。

- STOP 命令を実行 : FAA 終了割り込み (INTFAAE)
- 未定義命令を実行 : FAA 不当命令割り込み (INTFAATRAP)
- 基準タイミング・コントロール (GRNTIMEC) のフリーラン・カウンタによるコンペア・マッチ : FAA タイミング・コンペア・マッチ割り込み_n (INTTIMEC0, INTTIMEC1, INTTIMEC2)

各割り込みのデフォルト優先順位とベクタ・テーブル・アドレスは、**表 29 - 1 割り込み要因一覧**を参照してください。

4.15 命令セット

FAA は以下の命令セットをサポートします。

4.15.1 転送命令、算術演算命令、比較命令、分岐命令、I/O 命令、制御命令

表4 - 18 命令セット1

分類	命令	コードサイズ	実行サイクル数
転送命令	MOV A0, M0	1	1
	MOV A0, M1	1	1
	MOV A0, R0	1	1
	MOV A0, L0	1	1
	MOV A0, L1	1	1
	MOV #XX, DP0	2	1
	MOV #XX, DP1	2	1
	MOV #XX, RP0	2	1
	MOV #XX, SP0	2	1
	MOV (DP0+), A0	1	1
	MOV (DP0-), A0	1	1
	MOV (DP1+), M0	1	1
	MOV (DP1+), M1	1	1
	MOV (DP1+), R0	1	1
	MOV (DP1+), L0	1	1
	MOV (DP1+), L1	1	1
	MOV A0, (RP0+)	1	1
	MOV A0, (RP0-)	1	1
算術演算命令	MUL	1	1注
	ADD	1	1注
	SUB	1	1注
	MUL_ADD	1	1注
	MUL_SUB	1	1注
	LIMIT	1	1注
比較命令	CMP (DP0+)	1	1
分岐命令	JMP #XX	2	1
	JMP OVER, #XX	2	1
	JMP UNDER, #XX	2	1
	JMP ZERO, #XX	2	1
	JMP NOT_ZERO, #XX	2	1
I/O 命令	OUT A0, (XX)	2	1
	IN (XX), A0	2	1
制御命令	NOP	1	1
	STOP	1	1

注 連続して命令実行する場合は、2つ目以降の命令サイクル数は2です。

4.15.2 論理演算命令、スタック操作とサブルーチン関連命令、割り込み関連命令

表4 - 19 命令セット2

分類	命令	コードサイズ	実行サイクル数
論理演算命令	OR A0, R0	1	1
	AND A0, R0	1	1
	XOR A0, R0	1	1
	NOT A0	1	1
	ABS A0	1	1
	ABS_S A0	1	1
	SFT_RL	1	1
	SFT_RA	1	1
	SFT_LL	1	1
	SFT_LA	1	1
スタック操作と サブルーチン関連命令	PUSH A0	1	1
	PUSH M0	1	1
	PUSH M1	1	1
	PUSH R0	1	1
	PUSH L0	1	1
	PUSH L1	1	1
	PUSH DP0	1	1
	PUSH DP1	1	1
	PUSH RP0	1	1
	POP A0	1	1
	POP M0	1	1
	POP M1	1	1
	POP R0	1	1
	POP L0	1	1
	POP L1	1	1
	POP DP0	1	1
	POP DP1	1	1
	POP RP0	1	1
	JSR #XX	2	1
	RET	1	2
割り込み関連命令	CLI	1	1
	STI	1	1
	RETI	1	2

4.15.3 拡張転送命令、非飽和算術演算命令

表4 - 20 命令セット3

分類	命令	コードサイズ	実行サイクル数
拡張転送命令	MOV (XX, DP0), A0	2	1
	MOV (XX, DP1), M0	2	1
	MOV (XX, DP1), M1	2	1
	MOV (XX, DP1), R0	2	1
	MOV (XX, DP1), L0	2	1
	MOV (XX, DP1), L1	2	1
	MOV A0, (XX, RP0)	2	1
	MOV (#XX), A0	2	1
	MOV (#XX), M0	2	1
	MOV (#XX), M1	2	1
	MOV (#XX), R0	2	1
	MOV SP0, RP0	1	1
	MOV RP0, SP0	1	1
非飽和算術演算命令	MUL_R	1	1注
	ADD_R	1	1注
	SUB_R	1	1注
	MUL_ADD_R	1	1注
	MUL_SUB_R	1	1注

注 連続して命令実行する場合は、2つ目以降の命令サイクル数は2です。

4.15.4 2命令同時実行

FAA は 2 命令を同時実行することにより高速化をはかっています。

ただし、下記の条件に該当する場合は、命令同時実行をせず、1 命令ずつ処理します。

- (1) メモリ・アクセスがある命令
- (2) 演算命令
- (3) JMP 命令、スタック操作命令、サブルーチン関連命令、I/O 命令、STOP 命令

以下に同時実行できる場合とできない場合を示します。

		2nd instruction				
		MOV RG	MOV MR	MOV MW	CAL	JMP
1st instruction	MOV RG	○	○	○	×	×
	MOV MR	○	×	×	×	×
	MOV MW	○	×	×	×	×
	CAL	×	×	×	×	×
	JMP	×	×	×	×	×

○：同時実行可能 ×：同時実行不可能

MOV RG ：レジスタ間転送命令

MOV MR ：メモリ読み出し命令

MOV MW ：データ・メモリ書き込み命令

CAL ：演算命令

JMP ：JMP 命令、スタック操作命令、サブルーチン関連命令、I/O 命令、STOP 命令

以下に各命令の分類を示します。

MOV RG	MOV MR	MOV MW	CAL	JMP
MOV A0, M0	MOV (DP0+), A0	MOV A0, (RP0+)	MUL	JMP #XX
MOV A0, M1	MOV (DP1+), M0	MOV A0, (RP0-)	ADD	JMP OVER, #XX
MOV A0, R0	MOV (DP1+), M1	MOV A0, (XX, RP0)	SUB	JMP UNDER, #XX
MOV A0, L0	MOV (DP1+), R0		MUL_ADD	JMP ZERO, #XX
MOV A0, L1	MOV (DP1+), L0		MUL_SUB	JMP NOT_ZERO, #XX
MOV #XX, DP0	MOV (DP1+), L1		LIMIT	POP A0
MOV #XX, DP1	MOV (DP0-), A0		MUL_R	POP M0
MOV #XX, RP0	MOV (XX, DP0), A0		ADD_R	POP M1
MOV #XX, SP0	MOV (XX, DP1), M0		SUB_R	POP R0
CLI	MOV (XX, DP1), M1		MUL_ADD_R	POP L0
STI	MOV (XX, DP1), R0		MUL_SUB_R	POP L1
NOP	MOV (XX, DP1), L0		CMP (DP0+)	POP DP0
	MOV (XX, DP1), L1		OR A0, R0	POP DP1
	MOV (#XX), A0		AND A0, R0	POP RP0
	MOV (#XX), M0		XOR A0, R0	PUSH A0
	MOV (#XX), M1		NOT A0	PUSH M0
	MOV (#XX), R0		ABS A0	PUSH M1
			SFT_RL	PUSH R0
			SFT_RA	PUSH L0
			SFT_LL	PUSH L1
			SFT_LA	PUSH DP0
			ABS_S A0	PUSH DP1
				PUSH RP0
				JSR #XX
				RET
				RETI
				MOV SP0, RP0
				MOV RP0, SP0
				OUT A0, (XX)
				IN (XX), A0
				STOP

4.16 各命令の説明

4.16.1 転送命令

4.16.1.1 MOV A0, M0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV A0, M0	A0 → M0	01H	1

レジスタ A0 (アキュムレータ・レジスタ) の内容をレジスタ M0 (乗数レジスタ) へ転送します。

4.16.1.2 MOV A0, M1

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV A0, M1	A0 → M1	02H	1

レジスタ A0 (アキュムレータ・レジスタ) の内容をレジスタ M1 (シフト数レジスタ) へ転送します。

4.16.1.3 MOV A0, R0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV A0, R0	A0 → R0	03H	1

レジスタ A0 (アキュムレータ・レジスタ) の内容をレジスタ R0 (加算値レジスタ) へ転送します。

4.16.1.4 MOV A0, L0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV A0, L0	A0 → L0	05H	1

レジスタ A0 (アキュムレータ・レジスタ) の内容をレジスタ L0 (リミット上限値レジスタ) へ転送します。

4.16.1.5 MOV A0, L1

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV A0, L1	A0 → L1	06H	1

レジスタ A0 (アキュムレータ・レジスタ) の内容をレジスタ L1 (リミット下限値レジスタ) へ転送します。

4.16.1.6 MOV #XX, DP0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV #XX, DP0	#XX → DP0	80H, XXH (1バイト目のb1-b0は#XX のb11-b10, 2バイト目は b9-b2)	1

レジスタ DP0 (アキュムレータ用アドレス・ポインタ) にイミューディエト値 XX を設定します。

データ用メモリは 32 ビット単位のアクセスのため、DP0 (アキュムレータ用アドレス・ポインタ) の下位 2 ビットは 0 固定となります。

4.16.1.7 MOV #XX, DP1

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV #XX, DP1	#XX → DP1	84H, XXH (1バイト目のb1-b0は#XX のb11-b10, 2バイト目は b9-b2)	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) にイミューディエト値 XX を設定します。

データ用メモリは 32 ビット単位のアクセスのため、DP1 (演算パラメータ用アドレス・ポインタ) の下位 2 ビットは 0 固定となります。

4.16.1.8 MOV #XX, RP0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV #XX, RP0	#XX → RP0	88H, XXH (1バイト目のb1-b0は#XX のb11-b10, 2バイト目は b9-b2)	1

レジスタ RP0 (演算結果格納用アドレス・ポインタ) にイミューディエト値 XX を設定します。

データ用メモリは 32 ビット単位のアクセスのため、RP0 (演算結果格納用アドレス・ポインタ) の下位 2 ビットは 0 固定となります。

4.16.1.9 MOV #XX, SP0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV #XX, SP0	#XX → SP0	90H + mm, nn mm: イミーディエト値XXのb11-b10 nn: イミーディエト値XXのb9-b2	1

レジスタ SP0 (スタック・ポインタ) にイミーディエト値 XX を設定します。

データ用メモリは 32 ビット単位のアクセスのため、SP0 (スタック・ポインタ) の下位 2 ビットは 0 固定となります。

4.16.1.10 MOV (DP0+), A0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (DP0+), A0	Data Memory (DP0) → A0 DP0 + 4 → DP0	07H	1

レジスタ DP0 (アキュムレータ用アドレス・ポインタ) でアドレスを示すデータ用メモリの内容をレジスタ A0 (アキュムレータ・レジスタ) に転送します。その後、レジスタ DP0 (アキュムレータ用アドレス・ポインタ) をインクリメントします。

4.16.1.11 MOV (DP0-), A0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (DP0-), A0	Data Memory (DP0) → A0 DP0 - 4 → DP0	21H	1

レジスタ DP0 (アキュムレータ用アドレス・ポインタ) でアドレスを示すデータ用メモリの内容をレジスタ A0 (アキュムレータ・レジスタ) に転送します。その後、レジスタ DP0 (アキュムレータ用アドレス・ポインタ) をデクリメントします。

4.16.1.12 MOV (DP1+), M0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (DP1+), M0	Data Memory (DP1) → M0 DP1 + 4 → DP1	08H	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) でアドレスを示すデータ用メモリの内容をレジスタ M0 (乗数レジスタ) に転送します。その後、レジスタ DP1 (演算パラメータ用アドレス・ポインタ) をインクリメントします。

4.16.1.13 MOV (DP1+), M1

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (DP1+), M1	Data Memory (DP1) → M1 DP1 + 4 → DP1	09H	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) でアドレスを示すデータ用メモリの内容をレジスタ M1 (シフト数レジスタ) に転送します。その後、レジスタ DP1 (演算パラメータ用アドレス・ポインタ) をインクリメントします。

4.16.1.14 MOV (DP1+), R0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (DP1+), R0	Data Memory (DP1) → R0 DP1 + 4 → DP1	0AH	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) でアドレスを示すデータ用メモリの内容をレジスタ R0 (加算値レジスタ) に転送します。その後、レジスタ DP1 (演算パラメータ用アドレス・ポインタ) をインクリメントします。

4.16.1.15 MOV (DP1+), L0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (DP1+), L0	Data Memory (DP1) → L0 DP1 + 4 → DP1	0BH	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) でアドレスを示すデータ用メモリの内容をレジスタ L0 (リミット上限値レジスタ) に転送します。その後、レジスタ DP1 (演算パラメータ用アドレス・ポインタ) をインクリメントします。

4.16.1.16 MOV (DP1+), L1

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (DP1+), L1	Data Memory (DP1) → L1 DP1 + 4 → DP1	0CH	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) でアドレスを示すデータ用メモリの内容をレジスタ L1 (リミット下限値レジスタ) に転送します。その後、レジスタ DP1 (演算パラメータ用アドレス・ポインタ) をインクリメントします。

4.16.1.17 MOV A0, (RP0+)

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV A0, (RP0+)	A0 → Data Memory (RP0) RP0 + 4 → RP0	0DH	1

レジスタ A0 (アキュムレータ・レジスタ) の内容をレジスタ RP0 (演算結果格納用アドレス・ポインタ) でアドレスを示すデータ用メモリに転送します。その後、レジスタ RP0 (演算結果格納用アドレス・ポインタ) をインクリメントします。

4.16.1.18 MOV A0, (RP0-)

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV A0, (RP0-)	A0 → Data Memory (RP0) RP0 - 4 → RP0	22H	1

レジスタ A0 (アキュムレータ・レジスタ) の内容をレジスタ RP0 (演算結果格納用アドレス・ポインタ) でアドレスを示すデータ用メモリに転送します。その後、レジスタ RP0 (演算結果格納用アドレス・ポインタ) をデクリメントします。

4.16.2 算術演算命令

4.16.2.1 MUL

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MUL	A0 × M0 → Shift (M1) → A0	0EH	1

レジスタ A0 (アキュムレータ・レジスタ) と M0 (乗数レジスタ) の符号付き 32 ビット乗算を行い、結果の値をレジスタ M1 (シフト数レジスタ) で示すビット数の右シフトをし、レジスタ A0 (アキュムレータ・レジスタ) に格納します。レジスタ M1 (シフト数レジスタ) は 0 ~ 64 の範囲の値を設定ください。乗算およびシフトは内部的に絶対値に変換後に 64 ビットの精度で行い、シフト後に符号付き 32 ビットに戻します。その際に符号付き 32 ビットで表せる範囲を超えた場合は、符号付き 32 ビットの上限值または下限値になります。

演算結果が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.2.2 ADD

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
ADD	$A0 + R0 \rightarrow A0$	0FH	1

レジスタ A0 (アキュムレータ・レジスタ) と R0 (加算値レジスタ) の符号付き 32 ビット加算を行い、レジスタ A0 (アキュムレータ・レジスタ) に格納します。加算結果がオーバーフローした場合の結果は、符号付き 32 ビットの上限值または下限値になります。

演算結果が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.2.3 SUB

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
SUB	$A0 - R0 \rightarrow A0$	11H	1

レジスタ A0 (アキュムレータ・レジスタ) から R0 (加算値レジスタ) を符号付き 32 ビット減算し、レジスタ A0 (アキュムレータ・レジスタ) に格納します。減算結果がオーバーフローした場合の結果は、符号付き 32 ビットの上限值または下限値になります。

演算結果が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.2.4 MUL_ADD

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MUL_ADD	$A0 \times M0 \rightarrow \text{Shift}(M1)$ $\rightarrow A0 + R0 \rightarrow A0$	12H	1

レジスタ A0 (アキュムレータ・レジスタ) と M0 (乗数レジスタ) の符号付き 32 ビット乗算を行い、結果の値をレジスタ M1 (シフト数レジスタ) で示すビット数の右シフトをします。その結果と R0 (加算値レジスタ) の符号付き 32 ビット加算を行い、レジスタ A0 (アキュムレータ・レジスタ) に格納します。乗算およびシフトは内部的に絶対値に変換後に 64 ビットの精度で行い、シフト後に符号付き 32 ビットに戻します。その際に符号付き 32 ビット数で表せる範囲を超えた場合は、符号付き 32 ビットの上限值または下限値になります。

乗算後の加算結果がオーバーフローした場合の結果は、符号付き 32 ビットの上限值または下限値になります。レジスタ M1 (シフト数レジスタ) は 0 ~ 64 の範囲で設定してください。

演算結果が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.2.5 MUL_SUB

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MUL_SUB	$A0 \times M0 \rightarrow \text{Shift}(M1)$ $\rightarrow A0 - R0 \rightarrow A0$	14H	1

レジスタ A0 (アキュムレータ・レジスタ) と M0 (乗数レジスタ) の符号付き 32 ビット乗算を行い、結果の値をレジスタ M1 (シフト数レジスタ) で示すビット数の右シフトをします。その結果から R0 (加算値レジスタ) を符号付き 32 ビット減算し、レジスタ A0 (アキュムレータ・レジスタ) に格納します。乗算およびシフトは内部的に絶対値に変換後に 64 ビットの精度で行い、シフト後に符号付き 32 ビットに戻します。その際に符号付き 32 ビット数で表せる範囲を超えた場合は、符号付き 32 ビットの上限值または下限値になります。

乗算後の減算結果がオーバーフローした場合の結果は、符号付き 32 ビットの下限值または上限値になります。レジスタ M1 (シフト数レジスタ) は 0 ~ 64 の範囲で設定してください。

演算結果が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.2.6 LIMIT

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
LIMIT	LIMIT (L0, L1) \rightarrow A0	1CH	1

レジスタ A0 (アキュムレータ・レジスタ) の値とレジスタ L0 (リミット上限値レジスタ) および L1 (リミット下限値レジスタ) との比較を行い、レジスタ A0 (アキュムレータ・レジスタ) の値が L0 (リミット上限値レジスタ) より大きい場合は値を L0 (リミット上限値レジスタ) の値にし、レジスタ A0 (アキュムレータ・レジスタ) の値が L1 (リミット下限値レジスタ) より小さい場合は値を L1 (リミット下限値レジスタ) の値にし、レジスタ A0 (アキュムレータ・レジスタ) に格納します。

レジスタ A0 (アキュムレータ・レジスタ) の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。また、レジスタ A0 (アキュムレータ・レジスタ) の値が L0 (リミット上限値レジスタ) より大きい場合は OVER フラグをセットし、同じか小さい場合はクリアします。レジスタ A0 (アキュムレータ・レジスタ) の値が L1 (リミット下限値レジスタ) より小さい場合は UNDER フラグをセットし、同じか大きい場合はクリアします。

4.16.3 比較命令

4.16.3.1 CMP (DP0+)

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
CMP (DP0+)	Compare Data Memory (DP0) DP0 + 4 → DP0	1DH	1

レジスタ DP0 (アキュムレータ用アドレス・ポインタ) でアドレスを示すデータ用メモリの内容とレジスタ A0 (アキュムレータ・レジスタ) の値を比較して ZERO フラグのセット/クリアをします。その後、レジスタ DP0 (アキュムレータ用アドレス・ポインタ) をインクリメントします。

4.16.4 分岐命令

4.16.4.1 JMP #XX

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
JMP #XX	#XX → PG0	BXH, XXH	1

イミディエイト値 XX で示すアドレスにジャンプします。

4.16.4.2 JMP OVER, #XX

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
JMP OVER, #XX	If OVER = "1" #XX → PG0	CXH, XXH	1

OVER フラグが 1 の場合、イミディエイト値 XX で示すアドレスにジャンプします。

4.16.4.3 JMP UNDER, #XX

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
JMP UNDER, #XX	If UNDER = "1" #XX → PG0	DXH, XXH	1

UNDER フラグが 1 の場合、イミディエイト値 XX で示すアドレスにジャンプします。

4.16.4.4 JMP ZERO, #XX

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
JMP ZERO, #XX	If ZERO = "1" #XX → PG0	EXH, XXH	1

ZERO フラグが 1 の場合、イミディエイト値 XX で示すアドレスにジャンプします。

4.16.4.5 JMP NOT_ZERO, #XX

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
JMP NOT_ZERO, #XX	If ZERO = "0" #XX → PG0	FXH, XXH	1

ZERO フラグが 0 の場合、イミディエイト値 XX で示すアドレスにジャンプします。

4.16.5 I/O 命令

4.16.5.1 OUT A0, (XX)

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
OUT A0, (XX)	A0 → I/O Port (XX)	1EH, XXH	1

レジスタ A0 (アキュムレータ・レジスタ) の値をアドレス XX の外部ポートへ出力します。

4.16.5.2 IN (XX), A0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
IN (XX), A0	I/O Port (XX) → A0	1FH, XXH	1

アドレス XX の外部ポートからデータを入力し、レジスタ A0 (アキュムレータ・レジスタ) へ格納します。

4.16.6 制御命令

4.16.6.1 NOP

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
NOP	No operation	00H	1

プログラム・カウンタのインクリメントのみ行い、次の命令に実行を移します。

4.16.6.2 STOP

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
STOP	STOP	20H	1

FAA の動作を停止します。また、同時にメイン CPU に対して割り込みを出力します。

4.16.7 論理演算命令

4.16.7.1 OR A0, R0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
OR A0, R0	A0 or R0 → A0	23H	1

レジスタ A0 (アキュムレータ・レジスタ) の値とレジスタ R0 の値の論理和 (OR) をとり、結果をレジスタ A0 (アキュムレータ・レジスタ) に格納します。レジスタ A0 (アキュムレータ・レジスタ) の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.7.2 AND A0, R0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
AND A0, R0	A0 and R0 → A0	24H	1

レジスタ A0 (アキュムレータ・レジスタ) の値とレジスタ R0 の値の論理積 (AND) をとり、結果をレジスタ A0 (アキュムレータ・レジスタ) に格納します。レジスタ A0 (アキュムレータ・レジスタ) の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.7.3 XOR A0, R0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
XOR A0, R0	A0 xor R0 → A0	25H	1

レジスタ A0 (アキュムレータ・レジスタ) の値とレジスタ R0 の値の排他的論理和 (XOR) をとり、結果をレジスタ A0 (アキュムレータ・レジスタ) に格納します。レジスタ A0 (アキュムレータ・レジスタ) の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.7.4 NOT A0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
NOT A0	not A0 → A0	26H	1

レジスタ A0 (アキュムレータ・レジスタ) のすべてのビットを反転し、結果をレジスタ A0 (アキュムレータ・レジスタ) に格納します。レジスタ A0 (アキュムレータ・レジスタ) の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.7.5 ABS A0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
ABS A0	abs A0 → A0	27H	1

レジスタ A0 (アキュムレータ・レジスタ) の値の絶対値をとり、結果をレジスタ A0 (アキュムレータ・レジスタ) に格納します。レジスタ A0 (アキュムレータ・レジスタ) の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.7.6 ABS_S A0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
ABS_S A0	abs A0 → A0	4FH	1

レジスタ A0 (アキュムレータ・レジスタ) の値の絶対値をとり、結果をレジスタ A0 (アキュムレータ・レジスタ) に格納します。

レジスタ A0 (アキュムレータ・レジスタ) の値が、80000000H の場合には、結果を 7FFFFFFFH としてレジスタ A0 (アキュムレータ・レジスタ) に格納します。レジスタ A0 (アキュムレータ・レジスタ) の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.7.7 SFT_RL

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
SFT_RL	論理右シフト A0 → A0	28H	1

レジスタ A0 (アキュムレータ・レジスタ) の値を右シフトして、結果をレジスタ A0 (アキュムレータ・レジスタ) に格納します。シフト・アウトしたビットは UNDER フラグに格納します。演算結果の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.7.8 SFT_RA

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
SFT_RA	算術右シフト A0 → A0	29H	1

レジスタ A0 (アキュムレータ・レジスタ) の値を算術的に右シフトして、結果をレジスタ A0 (アキュムレータ・レジスタ) に格納します。シフト・アウトしたビットは UNDER フラグに格納します。演算結果の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.7.9 SFT_LL

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
SFT_LL	論理左シフト A0 → A0	2AH	1

レジスタ A0 (アキュムレータ・レジスタ) の値を左シフトして、結果をレジスタ A0 (アキュムレータ・レジスタ) に格納します。シフト・アウトしたビットは OVER フラグに格納します。演算結果の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.7.10 SFT_LA

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
SFT_LA	算術左シフト A0 → A0	2BH	1

レジスタ A0 (アキュムレータ・レジスタ) の値を算術的に左シフトして、結果をレジスタ A0 (アキュムレータ・レジスタ) に格納します。左シフトした結果、32 ビットの最大/最小を超える場合は、32 ビットの最大/最小値に制限し、OVER フラグをセットします。左シフトした結果が符号付き 32 ビット値の範囲内なら、OVER フラグはクリアされます。演算結果の値が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.8 スタック操作とサブルーチン関連命令

4.16.8.1 PUSH A0/M0/M1/R0/L0/L1/DP0/DP1/RP0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
PUSH A0	SP0 - 4 → SP0 A0 → Data Memory (SP0)	2CH	1
PUSH M0	SP0 - 4 → SP0 M0 → Data Memory (SP0)	2DH	1
PUSH M1	SP0 - 4 → SP0 M1 → Data Memory (SP0)	2EH	1
PUSH R0	SP0 - 4 → SP0 R0 → Data Memory (SP0)	2FH	1
PUSH L0	SP0 - 4 → SP0 L0 → Data Memory (SP0)	30H	1
PUSH L1	SP0 - 4 → SP0 L1 → Data Memory (SP0)	31H	1
PUSH DP0	SP0 - 4 → SP0 DP0 → Data Memory (SP0)	32H	1
PUSH DP1	SP0 - 4 → SP0 DP1 → Data Memory (SP0)	33H	1
PUSH RP0	SP0 - 4 → SP0 RP0 → Data Memory (SP0)	34H	1

レジスタ SP0 (スタック・ポインタ) を4だけデクリメントしたあと、レジスタの内容をレジスタ SP0 (スタック・ポインタ) でアドレスを示すデータ用メモリに転送します。

4.16.8.2 POP A0/M0/M1/R0/L0/L1/DP0/DP1/RP0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
POP A0	Data Memory (SP0) → A0 SP0 + 4 → SP0	35H	1
POP M0	Data Memory (SP0) → M0 SP0 + 4 → SP0	36H	1
POP M1	Data Memory (SP0) → M1 SP0 + 4 → SP0	37H	1
POP R0	Data Memory (SP0) → R0 SP0 + 4 → SP0	38H	1
POP L0	Data Memory (SP0) → L0 SP0 + 4 → SP0	39H	1
POP L1	Data Memory (SP0) → L1 SP0 + 4 → SP0	3AH	1
POP DP0	Data Memory (SP0) → DP0 SP0 + 4 → SP0	3BH	1
POP DP1	Data Memory (SP0) → DP1 SP0 + 4 → SP0	3CH	1
POP RP0	Data Memory (SP0) → RP0 SP0 + 4 → SP0	3DH	1

SP0 (スタック・ポインタ) でアドレスを示すデータ用メモリの内容をレジスタに転送します。その後、レジスタ SP0 (スタック・ポインタ) を4だけインクリメントします。

4.16.8.3 JSR, #XX

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
JSR, #XX	SP0 - 4 → SP0 PG0 + 2 → Data Memory (SP0) #XX → PG0	AXH, XXH	1

レジスタ SP0 (スタック・ポインタ) を4だけデクリメントしたあと、現在のプログラム・カウンタ +2 の値をレジスタ SP0 (スタック・ポインタ) でアドレスを示すデータ用メモリに保存します。その後、イミューディエト値 XX で示すアドレスにジャンプします。

4.16.8.4 RET

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
RET	Data Memory (SP0) → PG0 SP0 + 4 → SP0	3EH	2

SP0 (スタック・ポインタ) でアドレスを示すデータ用メモリの内容をプログラム・カウンタ (PG0) にセットして、レジスタ SP0 (スタック・ポインタ) を4だけインクリメントします。

4.16.9 割り込み関連命令

4.16.9.1 CLI

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
CLI	"0" → I flag	51H	1

Iフラグ (割り込みフラグ) を0にクリアします。

4.16.9.2 STI

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
STI	"1" → I flag	52H	1

Iフラグ (割り込みフラグ) に1をセットします。

4.16.9.3 RETI

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
RETI	Data Memory (SP0) → PG0, I/Z/U/O flag, START bit SP0 + 4 → SP0	54H	2

SP0 (スタック・ポインタ) でアドレスを示すデータ用メモリの内容をプログラム・カウンタ (PG0)、フラグおよびSTARTビットにセットして、レジスタ SP0 (スタック・ポインタ) を4だけインクリメントします。

4.16.10 拡張転送命令

4.16.10.1 MOV (XX, DP0), A0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (XX, DP0), A0	Data Memory ($XX \times 4 + DP0$) → A0	41H, XXH	1

レジスタ DP0 (アキュムレータ用アドレス・ポインタ) にディスプレイメント $XX \times 4$ を加算した値をアドレスとするデータ用メモリの内容をレジスタ A0 (アキュムレータ・レジスタ) に転送します。

ディスプレイメント XX の範囲は、-128 ~ +127 です。

4.16.10.2 MOV (XX, DP1), M0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (XX, DP1), M0	Data Memory ($XX \times 4 + DP1$) → M0	42H, XXH	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) にディスプレイメント $XX \times 4$ を加算した値をアドレスとするデータ用メモリの内容をレジスタ M0 (乗数レジスタ) に転送します。

ディスプレイメント XX の範囲は、-128 ~ +127 です。

4.16.10.3 MOV (XX, DP1), M1

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (XX, DP1), M1	Data Memory ($XX \times 4 + DP1$) → M1	43H, XXH	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) にディスプレイメント $XX \times 4$ を加算した値をアドレスとするデータ用メモリの内容をレジスタ M1 (シフト数レジスタ) に転送します。

ディスプレイメント XX の範囲は、-128 ~ +127 です。

4.16.10.4 MOV (XX, DP1), R0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (XX, DP1), R0	Data Memory (XX × 4 + DP1) → R0	44H, XXH	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) にディスプレースメント $XX \times 4$ を加算した値をアドレスとするデータ用メモリの内容をレジスタ R0 (加算値レジスタ) に転送します。

ディスプレースメント XX の範囲は、-128 ~ +127 です。

4.16.10.5 MOV (XX, DP1), L0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (XX, DP1), L0	Data Memory (XX × 4 + DP1) → L0	45H, XXH	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) にディスプレースメント $XX \times 4$ を加算した値をアドレスとするデータ用メモリの内容をレジスタ L0 (リミット上限値レジスタ) に転送します。

ディスプレースメント XX の範囲は、-128 ~ +127 です。

4.16.10.6 MOV (XX, DP1), L1

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (XX, DP1), L1	Data Memory (XX × 4 + DP1) → L1	46H, XXH	1

レジスタ DP1 (演算パラメータ用アドレス・ポインタ) にディスプレースメント $XX \times 4$ を加算した値をアドレスとするデータ用メモリの内容をレジスタ L1 (リミット下限値レジスタ) に転送します。

ディスプレースメント XX の範囲は、-128 ~ +127 です。

4.16.10.7 MOV A0, (XX, RP0)

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV A0, (XX, RP0)	A0 → Data Memory (XX × 4 + RP0)	47H, XXH	1

レジスタ A0 (アキュムレータ・レジスタ) の内容をレジスタ RP0 (演算結果格納用アドレス・ポインタ) にディスプレースメント $XX \times 4$ を加算した値をアドレスとするデータ用メモリに転送します。

ディスプレースメント XX の範囲は、-128 ~ +127 です。

4.16.10.8 MOV (#XX), A0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (#XX), A0	Data Memory (XX) → A0	8CH + mm, nn mm: イミーディエト値XXのb11-b10 nn: イミーディエト値XXのb9-b2	1

アドレス XX のデータ用メモリの内容をレジスタ A0 (アキュムレータ・レジスタ) に転送します。

4.16.10.9 MOV (#XX), M0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (#XX), M0	Data Memory (XX) → M0	94H + mm, nn mm: イミーディエト値XXのb11-b10 nn: イミーディエト値XXのb9-b2	1

アドレス XX のデータ用メモリの内容をレジスタ M0 (乗数レジスタ) に転送します。

4.16.10.10 MOV (#XX), M1

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (#XX), M1	Data Memory (XX) → M1	98H + mm, nn mm: イミーディエト値XXのb11-b10 nn: イミーディエト値XXのb9-b2	1

アドレス XX のデータ用メモリの内容をレジスタ M1 (シフト数レジスタ) に転送します。

4.16.10.11 MOV (#XX), R0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV (#XX), R0	Data Memory (XX) → R0	9CH + mm, nn mm: イミーディエト値XXのb11-b10 nn: イミーディエト値XXのb9-b2	1

アドレス XX のデータ用メモリの内容をレジスタ R0 (加算値レジスタ) に転送します。

4.16.10.12 MOV SP0, RP0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV SP0, RP0	SP0 → RP0	48H	1

レジスタ SP0 (スタック・ポインタ) の内容をレジスタ RP0 (演算結果格納用アドレス・ポインタ) に転送します。

4.16.10.13 MOV RP0, SP0

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MOV RP0, SP0	RP0 → SP0	49H	1

レジスタ RP0 (演算結果格納用アドレス・ポインタ) の内容をレジスタ SP0 (スタック・ポインタ) に転送します。

4.16.11 非飽和算術演算命令

非飽和演算命令では、演算した結果が符号付き 32 ビットの範囲を超える場合でも結果を丸めることはしません。

演算はすべて 32 ビット符号なしで行い、演算結果の符号なし 32 ビットの範囲外の値は切り捨て、符号なし 32 ビットの範囲内のビットのみを結果とします。

4.16.11.1 MUL_R

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MUL_R	$A0 \times M0 \rightarrow \text{Shift}(M1) \rightarrow A0$	4AH	1

レジスタ A0 (アキュムレータ・レジスタ) と M0 (乗数レジスタ) の符号なし 32 ビット乗算を行い、結果の値をレジスタ M1 (シフト数レジスタ) で示すビット数の右シフトをして、その下位 32 ビットをレジスタ A0 (アキュムレータ・レジスタ) に格納します。

レジスタ M1 (シフト数レジスタ) は 0-64 の範囲で設定してください。

演算結果により、OVER フラグか UNDER フラグの更新を行い、演算結果が符号なし 32 ビットの上限を超える場合には OVER フラグがセットされます。符号なしの演算のため、この命令の場合、UNDER フラグは必ずクリアされます。OVER フラグがセットされず、かつ演算結果が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.11.2 ADD_R

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
ADD_R	$A0 + R0 \rightarrow A0$	4BH	1

レジスタ A0 (アキュムレータ・レジスタ) と R0 (加算値レジスタ) の符号なし 32 ビット加算を行い、レジスタ A0 (アキュムレータ・レジスタ) に格納します。

演算結果により、OVER フラグか UNDER フラグの更新を行い、演算結果が符号なし 32 ビットの上限を超える場合には OVER フラグがセットされます。符号なしの演算のため、この命令の場合、UNDER フラグは必ずクリアされます。OVER フラグがセットされず、かつ演算結果が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.11.3 SUB_R

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
SUB_R	$A0 - R0 \rightarrow A0$	4CH	1

レジスタ A0 (アキュムレータ・レジスタ) から R0 (加算値レジスタ) を符号なし 32 ビット減算し、レジスタ A0 (アキュムレータ・レジスタ) に格納します。

演算結果により、OVER フラグか UNDER フラグの更新を行い、演算結果が符号なし 32 ビットの下限を超える場合には UNDER フラグがセットされます。符号なしの演算のため、この命令の場合、OVER フラグは必ずクリアされます。UNDER フラグがセットされず、かつ演算結果が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.11.4 MUL_ADD_R

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MUL_ADD_R	$A0 \times M0 \rightarrow \text{Shift}(M1)$ $\rightarrow A0 + R0 \rightarrow A0$	4DH	1

レジスタ A0 (アキュムレータ・レジスタ) と M0 (乗数レジスタ) の符号なし 32 ビット乗算を行い、結果の値をレジスタ M1 (シフト数レジスタ) で示すビット数の右シフトをします。その結果と R0 (加算値レジスタ) の符号なし 32 ビット加算を行い、レジスタ A0 (アキュムレータ・レジスタ) に格納します。

レジスタ M1 (シフト数レジスタ) は 0-64 の範囲で設定してください。

演算結果により、OVER フラグか UNDER フラグの更新を行い、演算結果が符号なし 32 ビットの上限を超える場合には OVER フラグがセットされます。この命令の場合、UNDER フラグは必ずクリアされます。OVER フラグと UNDER フラグがセットされず、かつ演算結果が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

4.16.11.5 MUL_SUB_R

アセンブラ・フォーマット	オペレーション	コード	実行サイクル数
MUL_SUB_R	A0 × M0 → Shift (M1) → A0 - R0 → A0	4EH	1

レジスタ A0 (アキュムレータ・レジスタ) と M0 (乗数レジスタ) の符号なし 32 ビット乗算を行い、結果の値をレジスタ M1 (シフト数レジスタ) で示すビット数の右シフトをします。その結果から R0 (加算値レジスタ) を符号なし 32 ビット減算し、レジスタ A0 (アキュムレータ・レジスタ) に格納します。

レジスタ M1 (シフト数レジスタ) は 0-64 の範囲で設定してください。

演算結果が符号なし 32 ビットの上限を超える場合には OVER フラグがセットされ、下限を超える場合には UNDER がセットされます。OVER フラグと UNDER フラグがセットされず、かつ演算結果が 0 の場合、ZERO フラグがセットされ、0 以外の場合はクリアされます。

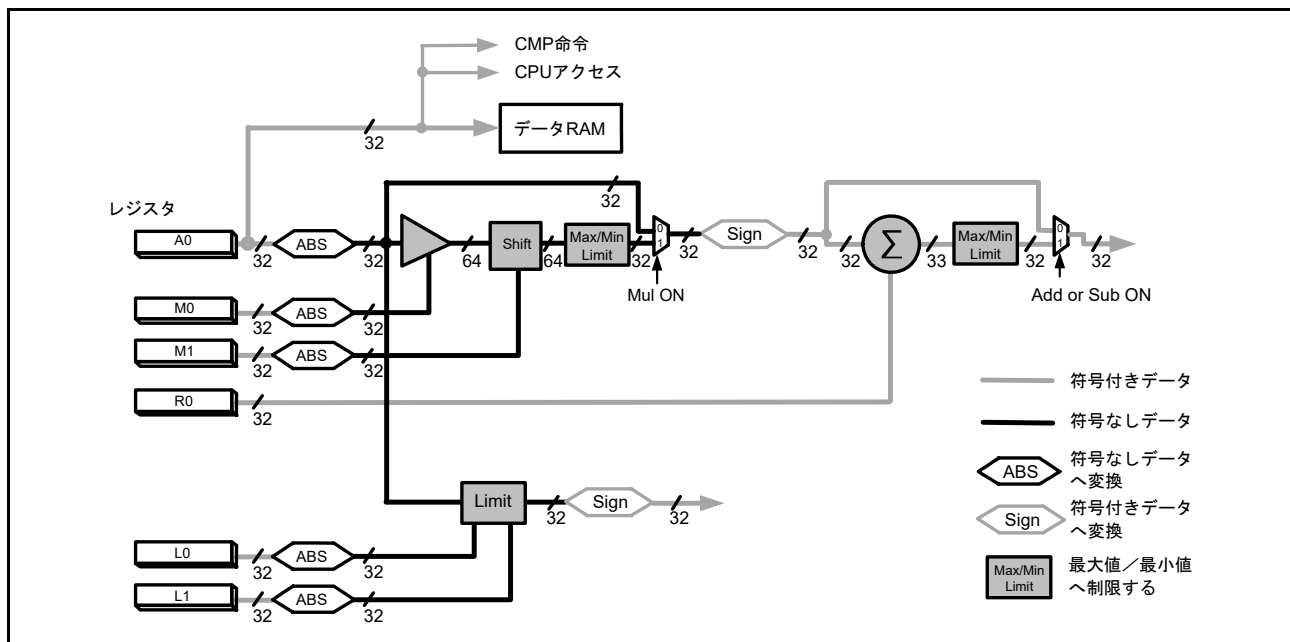
4.16.12 演算ビット数

図 4 - 38 に演算ビット数を示します。

FAA は、すべて符号付きの 32 ビット乗算、加算、減算を実現しますが、乗算の場合には符号なしに変換してから 32 ビット × 32 ビットの乗算を行い、結果の 64 ビットをシフトします。その結果が 32 ビットの最大/最小を超える場合は、32 ビットの最大値/最小値に制限します。

加算、減算の場合は、符号付きの 32 ビットで演算して、結果が 32 ビットの最大/最小を超える場合は、32 ビットの最大値/最小値に制限します。

図4 - 38 演算ビット数



4.17 注意事項

4.17.1 FAAのプログラムとデータのコード・フラッシュ・メモリへの書き込みについて

FAA のプログラムとデータは、RL78 ファミリー用 C コンパイラパッケージ (CC-RL) に含まれている最適化リンケージエディタで RL78 CPU のプログラムと一体化させ、コード・フラッシュ・メモリへ書き込んでください。

4.17.2 コード・フラッシュ・メモリに格納されているFAAのプログラムとデータのインストラクション・コード・メモリ、データ・メモリへの転送について

コード・フラッシュ・メモリに格納されている FAA のプログラムとデータは、インストラクション・コード・メモリ、データ・メモリへの転送が必要です。転送は、ウィンドウ・レジスタ (WIND) をアクセス対象のリソースに対応する値に書き換えて、対象リソース割り当て領域 (F0600H-F06FFH) にコード・フラッシュ・メモリに格納されている FAA のプログラムとデータを順次書き込むことで行われます。ウィンドウ・レジスタ (WIND) については、**4.8 ウィンドウ・レジスタ (WIND)** を参照してください。

FAA がクロック供給停止 (FAAEN = 0) に設定されているときは、CPU からインストラクション・コード・メモリ、データ・メモリがアクセス可能になります。ただし、FAA のプログラムを転送後、CPU からインストラクション・コード・メモリを CPU アドレスで読み出すと、コード・フラッシュ・メモリに格納されている転送元のデータ配置と異なるため、期待する値を読み出せません。また、インストラクション・コード・メモリへの書き込みは、FAA のプログラムを破壊する可能性があるため、行わないでください。

FAA のデータを転送後、CPU からデータ・メモリを CPU アドレスで読み出すと、コード・フラッシュ・メモリに格納されている転送元のデータ配置と同じため、期待する値が読み出せます。また、データ・メモリに対して CPU アドレスでの書き込みも可能です。

図 4 - 39 にインストラクション・コード・メモリ、データ・メモリのメモリマップを示します。

図4 - 39 インストラクション・コード・メモリ、データ・メモリのメモリマップ

FAA未使用時 (FAAEN = 0)		FAA使用時 (FAAEN = 1)		内訳			
データ・メモリ 空間	FFFFFH	特殊機能レジスタ (SFR) 256バイト	FFFFFH	特殊機能レジスタ (SFR) 256バイト			
	FFF00H	汎用レジスタ 32バイト	FFF00H	汎用レジスタ 32バイト	FFFEFH	ユーザ領域 3480バイト (RL78-CPU専用)	
	FFFEFH		FE000H		データ領域 2048バイト (FAA専用)		
	FFEE0H		FE7FFH		コード領域 4096バイト (FAA専用)		
	FFEDFH		FD800H		ユーザ領域 (OCD/ライブラリ兼用) 2304バイト (RL78-CPU専用)		
						FCF00H	
		RAM 12 Kバイト		RAM 12 Kバイト			
	FCF00H	Mirror 43.75 Kバイト	FCF00H	Mirror 43.75 Kバイト			
	FCEFFH		FCEFFH				
	F2000H	データ・フラッシュ・メモリ 4 Kバイト	F2000H	データ・フラッシュ・メモリ 4 Kバイト			
	F1FFFH		F1FFFH				
	F1000H	使用不可	F1000H	使用不可			
F0FFFH	F0FFFH						
F0800H	拡張特殊機能レジスタ (2nd SFR) 2 Kバイト	F0800H	拡張特殊機能レジスタ (2nd SFR) 2 Kバイト				
F07FFH		F07FFH					
F0000H	使用不可	F0000H	使用不可				
EFFFH		EFFFH					
20000H	コード・フラッシュ・メモリ 128 Kバイト	20000H	コード・フラッシュ・メモリ 128 Kバイト				
1FFFFH		1FFFFH					
00000H		00000H					

注意 FAAのパリティ・エラー・リセット発生を許可 (RPECTL2.FAARPEREN = 1) で使用する場合、データ領域、コード領域の全アドレス領域を必ず初期化したあとに、FAAのパリティ・エラーフラグをクリア (RPECTL2.FAARPEF = 0) し、その後FAAのパリティ・エラー・リセット発生を許可 (RPECTL2.FAARPEREN = 1) してください。リセット発生により、FAAパリティ・エラー・リセット発生禁止 (RPECTL2.FAARPEREN = 0) となります。詳細は、35.3.4 RAMパリティ・エラー検出機能を参照してください。

第5章 データ共有メモリ (SHDMEM)

5.1 データ共有メモリ (SHDMEM) の概要

SHDMEM は、CPU と FAA 共有のメモリです。FAA がプログラム実行中に、CPU とデータを共有するためのメモリです。

5.2 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかれます。

SHDMEM を使用するときは、必ず MEMEN ビットに 1 を設定してください。

PER2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。PER2 レジスタは FAA からアクセスできません。

図5-1 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	FAAEN	MEMEN	TKBEN	TRGEN	TRD0EN	PWMOPEN	TRXEN	TRJ0EN
	MEMEN	SHDMEMの入カクロックの制御						
	0	入カクロック供給停止 ・ SHDMEM で使用する SFR へのリード可／ライト不可						
	1	入カクロック供給 ・ SHDMEM で使用する SFR へのリード／ライト可						

5.3 周辺リセット制御レジスタ2 (PRR2)

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

SHDMEM をリセットする場合は、必ず MEMRES ビットに 1 を設定してください。

PRR2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。PRR2 レジスタは FAA からアクセスできません。

図5-2 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR2	FAARES	MEMRES	TKBRES	TRGRES	TRD0RES	PWMOP RES	TRXRES	TRJ0RES
	MEMRES	SHDMEMのリセット制御						
	0	SHDMEMのリセット解除						
	1	SHDMEMはリセット状態						

5.4 データ共有メモリ (SHDMEM) のレジスタの一覧

表5-1にデータ共有メモリ (SHDMEM) のレジスタ一覧を示します。

表5-1 データ共有メモリ (SHDMEM) のレジスタ一覧

CPU アドレス		拡張特殊機能レジスタ (2nd SFR)				FAA			
レジスタ名	レジスタ名	略号	R/W (CPU)	ビット	レジスタ名	略号	R/W (FAA)	ビット	
データ共有メモリ (SHDMEM)	CWDWレジスタ・ファイル0L	CWDW0L	R/W	16	データ共有メモリ (SHDMEM)	CWDWレジスタ・ファイル0	CWDW0	R/W	32
	CWDWレジスタ・ファイル0H	CWDW0H	R/W	16		CWDWレジスタ・ファイル1	CWDW1	R/W	32
	CWDWレジスタ・ファイル1L	CWDW1L	R/W	16		CWDWレジスタ・ファイル2	CWDW2	R/W	32
	CWDWレジスタ・ファイル1H	CWDW1H	R/W	16		CWDWレジスタ・ファイル3	CWDW3	R/W	32
	CWDWレジスタ・ファイル2L	CWDW2L	R/W	16		CWDWレジスタ・ファイル4	CWDW4	R/W	32
	CWDWレジスタ・ファイル2H	CWDW2H	R/W	16		CWDWレジスタ・ファイル5	CWDW5	R/W	32
	CWDWレジスタ・ファイル3L	CWDW3L	R/W	16		CWDWレジスタ・ファイル6	CWDW6	R/W	32
	CWDWレジスタ・ファイル3H	CWDW3H	R/W	16		CWDWレジスタ・ファイル7	CWDW7	R/W	32
	CWDWレジスタ・ファイル4L	CWDW4L	R/W	16					
	CWDWレジスタ・ファイル4H	CWDW4H	R/W	16					
	CWDWレジスタ・ファイル5L	CWDW5L	R/W	16					
	CWDWレジスタ・ファイル5H	CWDW5H	R/W	16					
	CWDWレジスタ・ファイル6L	CWDW6L	R/W	16					
	CWDWレジスタ・ファイル6H	CWDW6H	R/W	16					
	CWDWレジスタ・ファイル7L	CWDW7L	R/W	16					
	CWDWレジスタ・ファイル7H	CWDW7H	R/W	16					

5.5 CWDW レジスタ・ファイル n, nH, nL (CWDWn, CWDWnH, CWDWnL) (n = 0-7)

FAA は、CPU からの書き込みデータを CWDW レジスタ・ファイル n (CWDWn) を介して共有できます。また CPU は、FAA からの書き込みデータを CWDW レジスタ・ファイル nH, nL (CWDWnH, CWDWnL) を介して共有できます。ただし、CPU と FAA からの書き込みが競合した場合は、CPU からの書き込みが優先されます。

図5-3 CWDW レジスタ・ファイル n, nH, nL (CWDWn, CWDWnH, CWDWnL) (n = 0-7) のフォーマット

FAAアドレス: E0H (CWDW0) - E7H (CWDW7)

アドレス : F0442H (CWDW0H), F0446H (CWDW1H), F044AH (CWDW2H), F044EH (CWDW3H),
 F0452H (CWDW4H), F0456H (CWDW5H), F045AH (CWDW6H), F045EH (CWDW7H),
 F0440H (CWDW0L), F0444H (CWDW1L), F0448H (CWDW2L), F044CH (CWDW3L),
 F0450H (CWDW4L), F0454H (CWDW5L), F0458H (CWDW6L), F045CH (CWDW7L)

リセット時: 0000 0000H (CWDWn), 0000H (CWDWnH, CWDWnL)

R/W属性 : R/W



第6章 除算器

6.1 除算器の機能

除算器は、フレキシブル・アプリケーション・アクセラレータ（FAA）専用の演算器です。
除算器には、次のような機能があります。

- 32ビット÷32ビット=32ビット剰余32ビット（符号なし）

6.2 除算器の構成

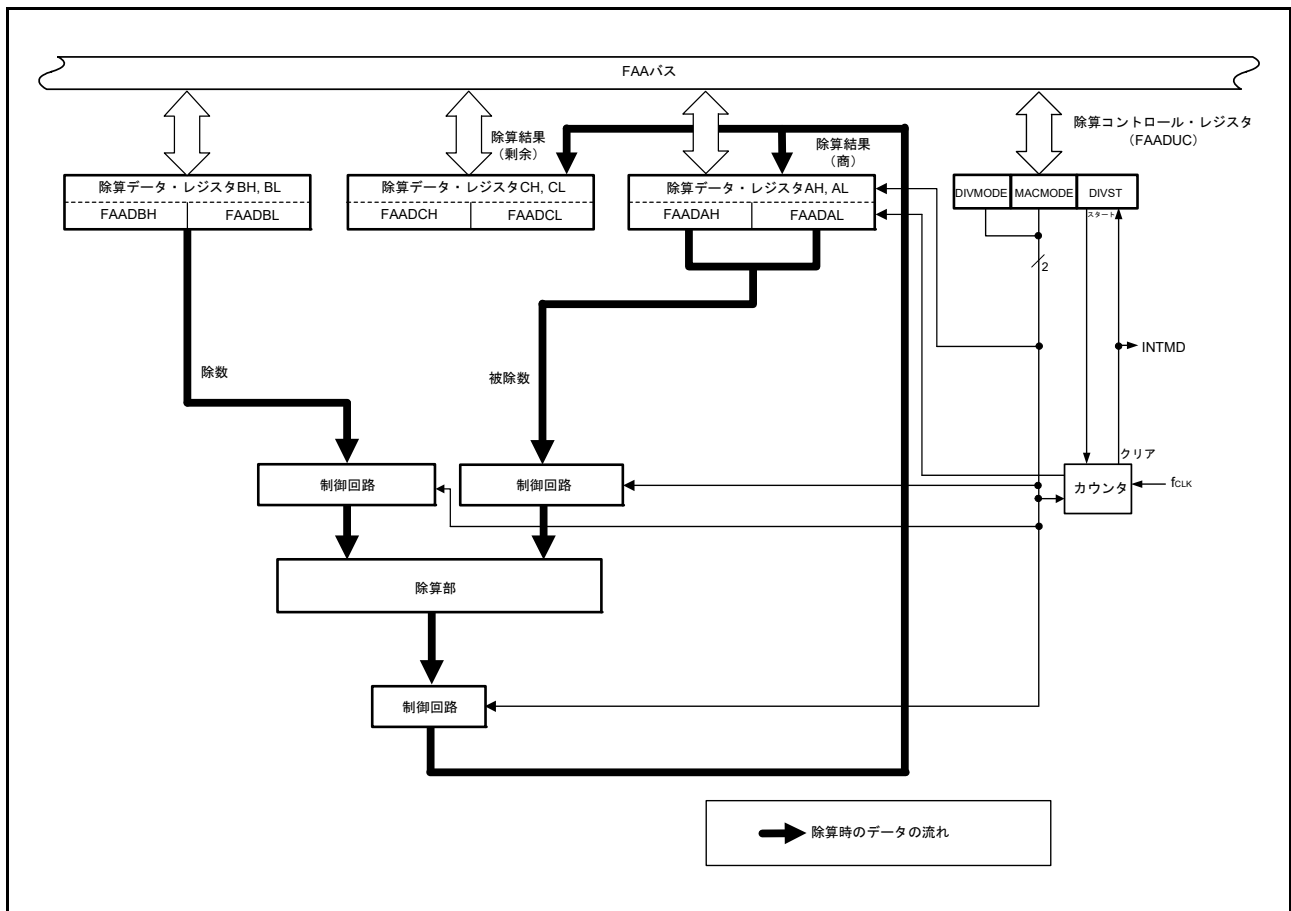
除算器は、次のハードウェアで構成されています。

表6 - 1 除算器の構成

項 目	構 成
レジスタ	<ul style="list-style-type: none">• 除算データ・レジスタ AH, AL (FAADAH, FAADAL)• 除算データ・レジスタ BH, BL (FAADBH, FAADBL)• 除算データ・レジスタ CH, CL (FAADCH, FAADCL)
制御レジスタ	<ul style="list-style-type: none">• 周辺イネーブル・レジスタ2 (PER2)• 周辺リセット制御レジスタ2 (PRR2)• 除算コントロール・レジスタ (FAADUC)

図6-1に除算器のブロック図、表6-2に除算器のレジスタ一覧を示します。

図6-1 除算器のブロック図



備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表6-2 除算器のレジスタ一覧

拡張特殊機能レジスタ (2nd SFR)					FAA				
CPU アドレス	レジスタ名	略号	R/W (CPU)	ビット	FAA アドレス	レジスタ名	略号	R/W (FAA)	ビット
F04B4H	除算データ・レジスタ CL	FAADCL	R	16	AEH	除算データ・レジスタ CL	FAADCL	R/W	16
F04B6H	除算データ・レジスタ CH	FAADCH	R	16	AFH	除算データ・レジスタ CH	FAADCH	R/W	16
F04B8H	除算データ・レジスタ AL	FAADAL	R	16	AAH	除算データ・レジスタ AL	FAADAL	R/W	16
F04BAH	除算データ・レジスタ AH	FAADAH	R	16	ABH	除算データ・レジスタ AH	FAADAH	R/W	16
F04BCH	除算データ・レジスタ BL	FAADBL	R	16	ACH	除算データ・レジスタ BL	FAADBL	R/W	16
F04BEH	除算データ・レジスタ BH	FAADBH	R	16	ADH	除算データ・レジスタ BH	FAADBH	R/W	16

6.2.1 除算データ・レジスタ AH, AL (FAADAH, FAADAL)

FAADAH, FAADAL レジスタは、除算の演算に利用する値を設定し、演算結果を格納するレジスタです。除算時に被除数データを設定します。また、除算後は演算結果（商）が FAADAH, FAADAL レジスタに格納されます。

FAA の OUT 命令により、アキュムレータ・レジスタ (A0) の下位 16 ビット (15-0) のデータが FAADAL レジスタに書き込まれ、上位 16 ビット (31-16) のデータが FAADAH レジスタに書き込まれます。また、FAA の IN 命令によりアキュムレータ・レジスタ (A0) の下位 16 ビット (15-0) に、FAADAL レジスタのデータが読み出され、上位 16 ビット (31-16) に、FAADAH レジスタのデータが読み出されます。ただし、FAADAH, FAADAL レジスタを同時にアクセスすることはできません。

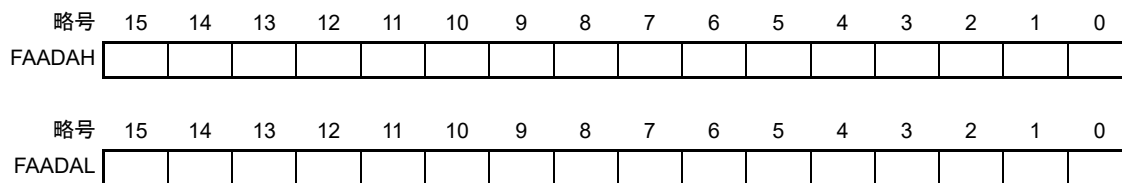
リセット信号の発生により、0000H になります。

図6-2 除算データ・レジスタ AH, AL (FAADAH, FAADAL) のフォーマット

FAAアドレス: ABH (FAADAH), AAH (FAADAL)

リセット時: 0000H (FAADAH, FAADAL)

R/W属性 : R/W



注意1. 除算演算処理中（除算コントロール・レジスタ (FAADUC) が81H, C1Hのとき）に、FAADAH, FAADAL レジスタの値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定値となります。

注意2. 除算演算処理中（FAADUC レジスタが81H, C1Hのとき）にFAADAH, FAADAL レジスタの値を読み出した場合、その値は保証しません。

表6-3に FAADAH, FAADAL レジスタの演算実行時の機能を示します。

表6-3 FAADAH, FAADALレジスタの演算実行時の機能

設定	演算結果
FAADAH : 被除数（符号なし）上位16ビット	FAADAH : 除算結果（商）（符号なし）上位16ビット
FAADAL : 被除数（符号なし）下位16ビット	FAADAL : 除算結果（商）（符号なし）下位16ビット

6.2.2 除算データ・レジスタ BH, BL (FAADBH, FAADBL)

FAADBH, FAADBL レジスタは、除算の演算に利用する値を設定し、演算結果を格納するレジスタです。除算時に除数データを設定します。

FAA の OUT 命令により、アキュムレータ・レジスタ (A0) の下位 16 ビット (15-0) のデータが FAADBL レジスタに書き込まれ、上位 16 ビット (31-16) のデータが FAADBH レジスタに書き込まれます。また、FAA の IN 命令によりアキュムレータ・レジスタ (A0) の下位 16 ビット (15-0) に、FAADBL レジスタのデータが読み出され、上位 16 ビット (31-16) に、FAADBH レジスタのデータが読み出されます。ただし、FAADBH, FAADBL レジスタを同時にアクセスすることはできません。

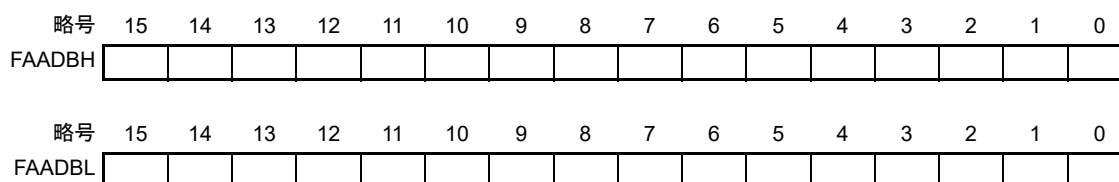
リセット信号の発生により、0000H になります。

図6-3 除算データ・レジスタ BH, BL (FAADBH, FAADBL) のフォーマット

FAAアドレス: ADH (FAADBH), ACH (FAADBL)

リセット時: 0000H (FAADBH, FAADBL)

R/W属性 : R/W



注意1. 除算演算処理中 (除算コントロール・レジスタ (FAADUC) が81H, C1Hのとき) に、FAADBH, FAADBL レジスタの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。

注意2. FAADBH, FAADBL レジスタに0000Hを設定しないでください。設定した場合、演算結果が不定値となります。

表6-4にFAADBH, FAADBL レジスタの演算実行時の機能を示します。

表6-4 FAADBH, FAADBLレジスタの演算実行時の機能

設定	演算結果
FAADBH: 除数 (符号なし) 上位16ビット FAADBL: 除数 (符号なし) 下位16ビット	—

6.2.3 除算データ・レジスタ CH, CL (FAADCH, FAADCL)

FAADCH, FAADCL レジスタは、演算結果の剰余の値が格納されるレジスタです。

FAA の OUT 命令により、アキュムレータ・レジスタ (A0) の下位 16 ビット (15-0) のデータが FAADCL レジスタに書き込まれ、上位 16 ビット (31-16) のデータが FAADCH レジスタに書き込まれます。また、FAA の IN 命令によりアキュムレータ・レジスタ (A0) の下位 16 ビット (15-0) に、FAADCL レジスタのデータが読み出され、上位 16 ビット (31-16) に、FAADCH レジスタのデータが読み出されます。ただし、FAADCH, FAADCL レジスタを同時にアクセスすることはできません。

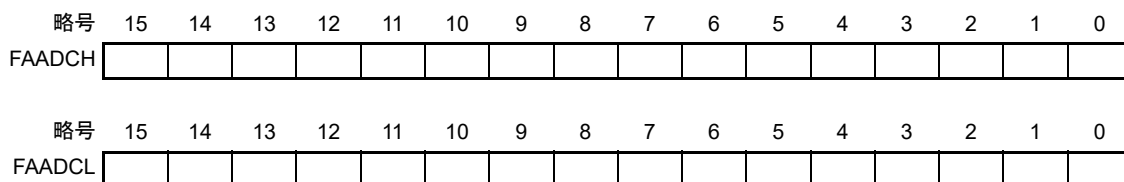
リセット信号の発生により、0000H になります。

図6-4 除算データ・レジスタ CH, CL (FAADCH, FAADCL) のフォーマット

FAAアドレス: AFH (FAADCH), AEH (FAADCL)

リセット時: 0000H (FAADCH, FAADCL)

R/W属性 : R/W



注意 除算演算処理中 (除算コントロール・レジスタ (FAADUC) が81H, C1Hのとき) に、FAADCH, FAADCL レジスタの値を読み出した場合、その値は保証されません。

表6-5に FAADCH, FAADCL レジスタの演算実行時の機能を示します。

表6-5 FAADCH, FAADCLレジスタの演算実行時の機能

設定	演算結果
—	FAADCH : 剰余 (符号なし) 上位 16 ビット FAADCL : 剰余 (符号なし) 下位 16 ビット

除算時のレジスタ構成を次に示します。

<被除数> <除数> <商> <剰余>

{FAADAH, FAADAL} ÷ {FAADBH, FAADBL} = {FAADAH, FAADAL} ... {FAADCH, FAADCL}

6.3 除算器を制御するレジスタ

除算器を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- 除算コントロール・レジスタ (FAADUC)

表6-6 除算器の制御レジスタ一覧

拡張特殊機能レジスタ (2nd SFR)					FAA				
CPU アドレス	レジスタ名	略号	R/W (CPU)	ビット	FAA アドレス	レジスタ名	略号	R/W (FAA)	ビット
F04B3H	除算コントロール・ レジスタ	FAADUC	R	8	B0H	除算コントロール・ レジスタ	FAADUC	R/W	8

6.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給を許可/禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかれます。

除算器を使用するときは、必ず FAAEN ビットに 1 を設定してください。

PER2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。PER2 レジスタは FAA からアクセスできません。

図6-5 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH
 リセット時: 00H
 R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	FAAEN	MEMEN	TKBEN	TRGEN	TRD0EN	PWMOPEN	TRXEN	TRJ0EN

FAAEN	除算器の入カクロックの制御
0	入カクロック供給停止 ・ 除算器で使用する SFR へのライト不可 ・ FAADUC.DIVMODE, FAADUC.MACMODE ビットは FAAEN = 0 でもライト可
1	入カクロック供給 ・ 除算器で使用する SFR へのリード/ライト可

6.3.2 周辺リセット制御レジスタ2 (PRR2)

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

除算器をリセットする場合は、必ず FAARES ビットに 1 を設定してください。

PRR2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。PRR2 レジスタは FAA からアクセスできません。

図6-6 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR2	FAARES	MEMRES	TKBRES	TRGRES	TRD0RES	PWMOP RES	TRXRES	TRJ0RES
	FAARES	除算器のリセット制御						
	0	除算器のリセット解除						
	1	除算器はリセット状態						

6.3.3 除算コントロール・レジスタ (FAADUC)

FAADUC レジスタは、除算器の動作を制御する 8 ビット・レジスタです。

FAA の OUT 命令により、アキュムレータ・レジスタ (A0) の下位 8 ビット (7-0) のデータが FAADUC レジスタに書き込まれます。また、FAA の IN 命令によりアキュムレータ・レジスタ (A0) の下位 8 ビット (7-0) に、FAADUC レジスタのデータが読み出されます。

リセット信号の発生により、00H になります。

図6-7 除算コントロール・レジスタ (FAADUC) のフォーマット

FAAアドレス: B0H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FAADUC	DIVMODE	MACMODE	0	0	0	0	0	DIVST
	DIVMODE	MACMODE	割り込み発生の選択					
	1	0	除算完了割り込み (INTMD) 発生					
	1	1	除算完了割り込み (INTMD) 発生しない					
	上記以外		設定禁止					
	DIVST注	除算演算動作の開始/停止						
	0	除算演算処理完了						
	1	除算演算開始/除算演算処理中						

注 DIVSTビットに1をセットすると除算演算動作を開始します。演算終了後は自動的にDIVSTビットが0にクリアされます。

注意1. ビット5-1には、必ず0を設定してください。

注意2. 除算演算処理中 (DIVSTビットが1のとき) に、DIVMODEビットを書き換えしないでください。書き換えた場合、演算結果が不定値となります。

注意3. 除算演算処理中 (DIVSTビットが1のとき) にDIVSTビットをソフトウェアで0にクリアすることはできません。

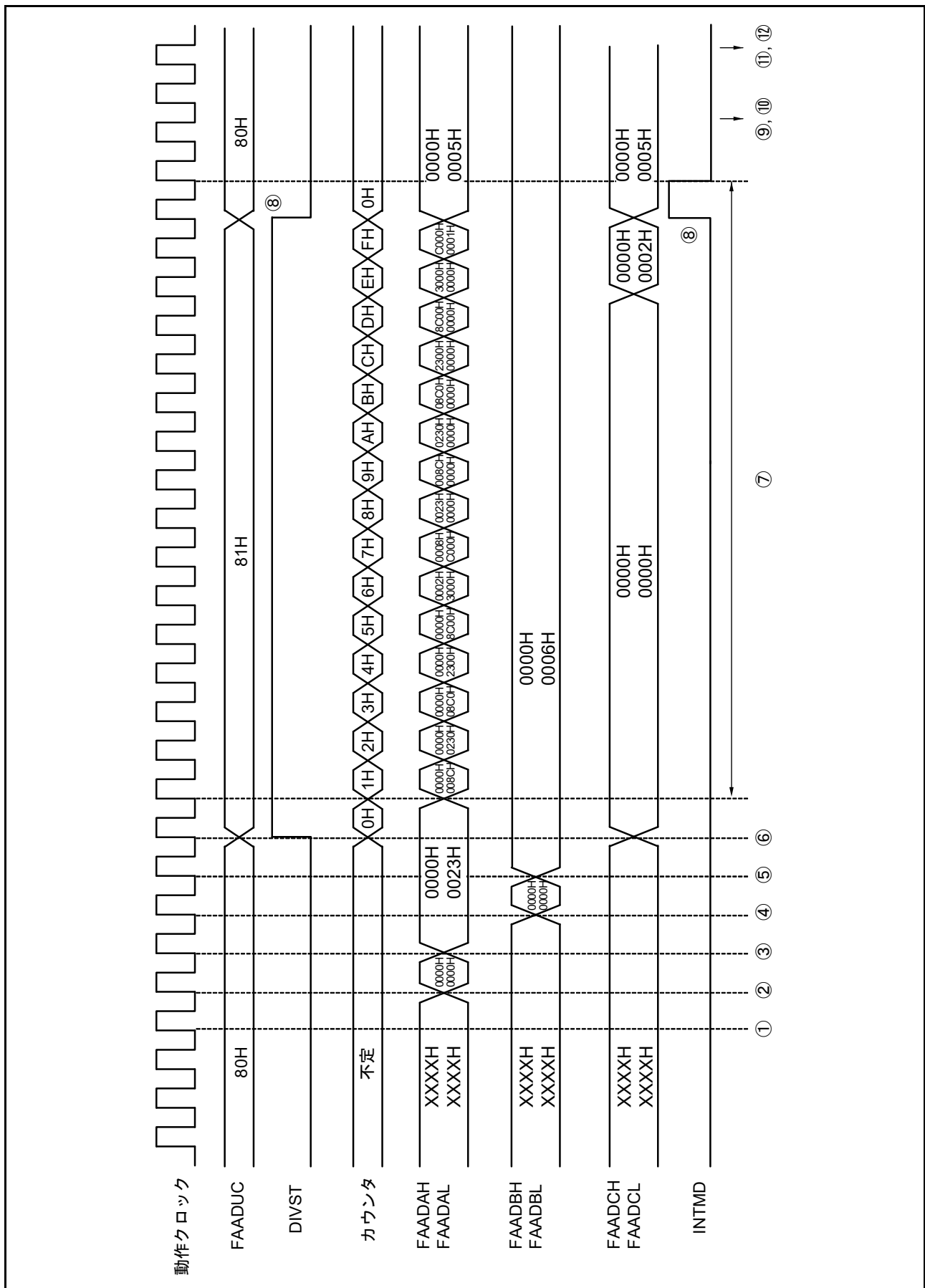
6.4 除算器の動作

除算器の動作を以下に示します。

- 初期設定
 - ① 除算コントロール・レジスタ (FAADUC) に80Hを設定してください。
 - ② 除算データ・レジスタAH (FAADAH) に被除数 (上位16ビット) を設定してください。
 - ③ 除算データ・レジスタAL (FAADAL) に被除数 (下位16ビット) を設定してください。
 - ④ 除算データ・レジスタBH (FAADBH) に除数 (上位16ビット) を設定してください。
 - ⑤ 除算データ・レジスタBL (FAADBL) に除数 (下位16ビット) を設定してください。
 - ⑥ FAADUCレジスタのビット0 (DIVST) に1を設定してください。
(②~⑤の順はどれから設定しても問題ありません。)
- 演算処理中
 - ⑦ 次のいずれかの処理が完了すれば演算が終了します。
 - 16クロック以上ウエイト (16クロックで演算は終了します。)
 - DIVSTビットがクリアされたことを確認
(演算処理中のFAADBL, FAADBH, FAADCL, FAADCHレジスタからの読み出し値は保証しません。)
- 演算終了
 - ⑧ DIVSTビットが0にクリアされ、演算が終了します。このとき、MACMODE = 0での演算なら、割り込み要求信号 (INTMD) が発生します。
 - ⑨ FAADALレジスタから商 (下位16ビット) を読み出します。
 - ⑩ FAADAHレジスタから商 (上位16ビット) を読み出します。
 - ⑪ 除算データ・レジスタCL (FAADCL) から剰余 (下位16ビット) を読み出します。
 - ⑫ 除算データ・レジスタCH (FAADCH) から剰余 (上位16ビット) を読み出します。
(⑨~⑫の順はどれから読み出しても問題ありません。)
- 次回演算
 - ⑬ 演算モードを変更する場合は、各動作手順の初期設定から行ってください。続けて同じ演算モードを使用する場合は、①~⑤の設定は省略できます。

備考 手順の①~⑫は、**図6-8 除算動作のタイミング図 (例: $35 \div 6 = 5$ 余5)**の①~⑫に対応しています。

図6-8 除算動作のタイミング図 (例: 35 ÷ 6 = 5余5)



第7章 ポート機能

7.1 ポートの機能

RL78/G24 は、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

7.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表7-1 ポートの構成 (1/2)

項目	構成
制御レジスタ	<ul style="list-style-type: none"> • ポート・モード・レジスタ (PMxx) (xx = 0-7, 12, 14) • ポート・レジスタ (Pxx) (xx = 0-7, 12-14) • プルアップ抵抗オプション・レジスタ (PUxx) (xx = 0, 1, 3-7, 12, 14) • ポート入力モード・レジスタ (PIMxx) (xx = 0, 1, 3, 5, 7) • ポート出力モード・レジスタ (POMxx) (xx = 0, 1, 3, 5, 7) • ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx) (xx = 0, 1, 3, 5, 7, 13) • ポート・モード・コントロールA・レジスタ (PMCAxx) (xx = 0-2, 12, 14) • 周辺I/Oリダイレクション・レジスタ (PIORx) (x = 0-3) • グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS) • 出力電流制御許可レジスタ (CCDE) • 出力電流選択レジスタ (CCSx) (x = 0, 4-7) • ポート・モード選択レジスタ (PMS)

表7-1 ポートの構成 (2/2)

項目	構成
ポート	<ul style="list-style-type: none"> • 20ピン製品： 合計：16本（CMOS入出力：15本（N-ch O.D.入出力[V_{DD}耐圧]：7本、出力電流制御ポート：2本）、CMOS入力：1本） • 24ピン製品： 合計：20本（CMOS入出力：19本（N-ch O.D.入出力[V_{DD}耐圧]：8本、出力電流制御ポート：4本）、CMOS入力：1本） • 25ピン製品： 合計：21本（CMOS入出力：19本（N-ch O.D.入出力[V_{DD}耐圧]：8本、出力電流制御ポート：4本）、CMOS入力：1本、CMOS出力：1本） • 30ピン製品： 合計：26本（CMOS入出力：23本（N-ch O.D.入出力[V_{DD}耐圧]：11本、出力電流制御ポート：6本）、CMOS入力：1本、N-chオープン・ドレイン入出力[6V耐圧]：2本） • 32ピン製品： 合計：28本（CMOS入出力：25本（N-ch O.D.入出力[V_{DD}耐圧]：11本、出力電流制御ポート：7本）、CMOS入力：1本、N-chオープン・ドレイン入出力[6V耐圧]：2本） • 40ピン製品： 合計：36本（CMOS入出力：31本（N-ch O.D.入出力[V_{DD}耐圧]：14本、定電流出力：7本）、CMOS入力：3本、N-chオープン・ドレイン入出力[6V耐圧]：2本） • 44ピン製品： 合計：40本（CMOS入出力：35本（N-ch O.D.入出力[V_{DD}耐圧]：14本、定電流出力：8本）、CMOS入力：3本、N-chオープン・ドレイン入出力[6V耐圧]：2本） • 48ピン製品： 合計：44本（CMOS入出力：38本（N-ch O.D.入出力[V_{DD}耐圧]：15本、定電流出力：8本）、CMOS入力：3本、CMOS出力：1本、N-chオープン・ドレイン入出力[6V耐圧]：2本） • 52ピン製品： 合計：48本（CMOS入出力：42本（N-ch O.D.入出力[V_{DD}耐圧]：17本、定電流出力：8本）、CMOS入力：3本、CMOS出力：1本、N-chオープン・ドレイン入出力[6V耐圧]：2本） • 64ピン製品： 合計：58本（CMOS入出力：52本（N-ch O.D.入出力[EV_{DD}耐圧]：19本、定電流出力：8本）、CMOS入力：3本、CMOS出力：1本、N-chオープン・ドレイン入出力[6V耐圧]：2本）
プルアップ抵抗	<ul style="list-style-type: none"> • 20ピン製品：合計：11本 • 24ピン製品：合計：15本 • 25ピン製品：合計：15本 • 30ピン製品：合計：19本 • 32ピン製品：合計：21本 • 40ピン製品：合計：24本 • 44ピン製品：合計：27本 • 48ピン製品：合計：30本 • 52ピン製品：合計：34本 • 64ピン製品：合計：44本

7.2.1 ポート0

出力ラッチ付き入力ポートです。ポート・モード・レジスタ (PM0) により 1 ビット単位で入力モード/出力モードの指定ができます。P00-P06 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU0) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P01, P03, P04 端子の入力は、ポート入力モード・レジスタ (PIM0) の設定により 1 ビット単位で通常入力バッファ/TTL 入力バッファの指定ができます。

P00, P02-P04 端子の出力は、ポート出力モード・レジスタ (POM0) により 1 ビット単位で N-ch オープン・ドレイン出力 [VDD 耐圧^{注1} / EVDD 耐圧^{注2}] モードに設定可能です。

また、兼用機能としてタイマの入出力、A/D コンバータのアナログ入力、シリアル・インタフェースのデータ入出力およびクロック入出力があります。端子の状態は **7.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 7-4 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、以下ようになります。

- 20～64 ピン製品の P00, P01 端子 : アナログ入力モード
- 36～64 ピン製品の P04-P06 端子 : 入力モード
- 52～64 ピン製品の P02, P03 端子 : アナログ入力モード

注1. 20～52 ピン製品の場合

注2. 64 ピン製品の場合

7.2.2 ポート1

出力ラッチ付き入力ポートです。ポート・モード・レジスタ (PM1) により 1 ビット単位で入力モード/出力モードの指定ができます。P10-P17 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU1) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P14-P17 端子の入力は、ポート入力モード・レジスタ (PIM1) の設定により 1 ビット単位で通常入力バッファ/TTL 入力バッファの指定ができます。

P10-P15, P17 端子の出力は、ポート出力モード・レジスタ (POM1) により 1 ビット単位で N-ch オープン・ドレイン出力 [VDD 耐圧^{注1} / EVDD 耐圧^{注2}] モードに設定可能です。

P10, P11, P16, P17 端子の出力は、出力電流制御許可レジスタ (CCDE) により 1 ビット単位で出力電流制御ポートに設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力およびクロック入出力、フラッシュ・メモリ・プログラミング時外部デバイス接続用 UART のデータ送受信、クロック/ブザー出力、タイマの入出力、外部割り込み要求入力、コンパレータの基準電圧入力、コンパレータの出力があります。端子の状態は **7.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 7-4 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P10-P17 はアナログ入力モードになります。

注1. 20～52 ピン製品の場合

注2. 64 ピン製品の場合

7.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ (PM2) により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの+側基準電圧入力、A/Dコンバータの-側基準電圧入力、D/Aコンバータ出力、コンパレータの基準電圧入力があります。端子の状態は**7.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は**表7-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P20-P27はアナログ入力モードになります。

7.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P30, P31端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P30端子の入力は、ポート入力モード・レジスタ (PIM3) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P30端子の出力は、ポート出力モード・レジスタ (POM3) により1ビット単位でN-chオープン・ドレイン出力 [VDD 耐圧^{注1} / EVDD 耐圧^{注2}] モードに設定可能です。

また、兼用機能として外部割り込み要求入力、リアルタイム・クロックの補正クロック出力、クロック/ブザー出力、タイマの入出力、シリアル・インタフェースのデータ入出力およびクロック入出力、コンパレータの出力があります。端子の状態は**7.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は**表7-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P30, P31は入力モードになります。

注1. 30~52ピン製品の場合

注2. 64ピン製品の場合

7.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ (PM4) により1ビット単位で入力モード/出力モードの指定ができます。P40-P43端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてフラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力、タイマの入出力、シリアル・インタフェースのデータ入出力およびクロック入出力、外部割り込み要求入力があります。端子の状態は**7.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は**表7-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P40-P43は入力モードになります。

7.2.6 ポート5

出力ラッチ付き入力ポートです。ポート・モード・レジスタ (PM5) により 1 ビット単位で入力モード/出力モードの指定ができます。P50-P55 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU5) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P50, P55 端子の入力は、ポート入力モード・レジスタ (PIM5) の設定により 1 ビット単位で通常入力バッファ/TTL 入力バッファの指定ができます。

P50, P51, P55 端子の出力は、ポート出力モード・レジスタ (POM5) により 1 ビット単位で N-ch オープン・ドレイン出力 [VDD 耐圧^{注1} / EVDD 耐圧^{注2}] モードに設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力およびクロック入出力があります。端子の状態は **7.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 7-4 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P50-P55 は入力モードになります。

注1. 30～52ピン製品の場合

注2. 64ピン製品の場合

7.2.7 ポート6

出力ラッチ付き入力ポートです。ポート・モード・レジスタ (PM6) により 1 ビット単位で入力モード/出力モードの指定ができます。P62, P63 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU6) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P60, P61 端子の出力は、N-ch オープン・ドレイン出力 [6 V 耐圧] です。また、P60-P63 端子の出力は、出力電流制御許可レジスタ (CCDE) により 1 ビット単位で出力電流制御ポートに設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力およびクロック入出力、タイマの入出力があります。端子の状態は **7.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 7-4 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P60-P63 は入力モードになります。

7.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ (PM7) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。P73端子の入力は、ポート入力モード・レジスタ (PIM7) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P71-P74端子の出力は、ポート出力モード・レジスタ (POM7) により1ビット単位でN-chオープン・ドレイン出力 [VDD 耐圧^{注1} / EVDD 耐圧^{注2}] モードに設定可能です。

また、兼用機能としてキー割り込み入力、シリアル・インタフェースのデータ入出力およびクロック入出力、外部割り込み要求入力があります。端子の状態は**7.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は**表7-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P70-P77は入力モードになります。

注1. 32~52ピン製品の場合

注2. 64ピン製品の場合

7.2.9 ポート12

P120-P122は出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU12) により内蔵プルアップ抵抗を使用できます。

P123, P124は2ビットの入力専用ポートです。

また、兼用機能としてA/Dコンバータのアナログ入力、コンパレータのアナログ入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、バッテリーバックアップ用電源があります。端子の状態は**7.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は**表7-4 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P120はアナログ入力モードになります。P121-P124は入力モードになります。

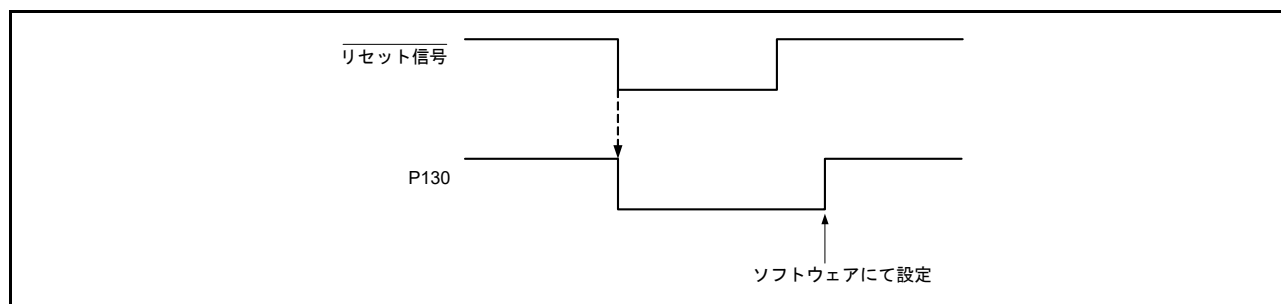
7.2.10 ポート13

P130 は出力ラッチ付き 1 ビット出力専用ポートです。P137 は 1 ビット入力専用ポートです。

P130 は出力モード、P137 は入力モードに固定されています。

また、兼用機能として外部割り込み要求入力があります。端子の状態は 7.3 ポート機能を制御するレジスタで示すレジスタで設定します。レジスタの設定値と端子状態の関係は表 7-4 ポートのレジスタの設定値と端子状態の関係を参照してください。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



7.2.11 ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ (PM14) により 1 ビット単位で入力モード/出力モードの指定ができます。P140, P141, P146, P147 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU14) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてクロック/ブザー出力、外部割り込み要求入力、A/D コンバータのアナログ入力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、コンパレータのアナログ入力があります。端子の状態は 7.3 ポート機能を制御するレジスタで示すレジスタで設定します。レジスタの設定値と端子状態の関係は表 7-4 ポートのレジスタの設定値と端子状態の関係を参照してください。

リセット信号の発生により、P140, P141 は入力モードになります。P146, P147 はアナログ入力モードになります。

7.3 ポート機能を制御するレジスタ

ポート機能を制御するレジスタを次に示します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- 周辺I/Oリダイレクション・レジスタ (PIORx)
- グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)
- 出力電流制御許可レジスタ (CCDE)
- 出力電流選択レジスタ (CCSx)
- ポート・モード選択レジスタ (PMS)

表7-2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxxレジスタとそのビット (1/3)

ポート		ビット名						64	52	48	44	40	32	30	25	24	20
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	ピン	ピン	ピン	ピン	ピン	ピン	ピン	ピン	ピン
ポート0	0	PM00	P00	PU00	—	POM00	PDIDIS00	PMCA00	○	○	○	○	○	○	○	○	○
	1	PM01	P01	PU01	PIM01	—	—	PMCA01	○	○	○	○	○	○	○	○	○
	2	PM02	P02	PU02	—	POM02	PDIDIS02	PMCA02	○	○	—	—	—	—	—	—	—
	3	PM03	P03	PU03	PIM03	POM03	PDIDIS03	PMCA03	○	○	—	—	—	—	—	—	—
	4	PM04	P04	PU04	PIM04	POM04	PDIDIS04	—	○	—	—	—	—	—	—	—	—
	5	PM05	P05	PU05	—	—	—	—	○	—	—	—	—	—	—	—	—
	6	PM06	P06	PU06	—	—	—	—	○	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート1	0	PM10	P10	PU10	PIM10	POM10	PDIDIS10	PMCA10	○	○	○	○	○	○	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	PDIDIS11	PMCA11	○	○	○	○	○	○	○	○	○
	2	PM12	P12	PU12	—	POM12	PDIDIS12	PMCA12	○	○	○	○	○	○	○	○	○
	3	PM13	P13	PU13	—	POM13	PDIDIS13	PMCA13	○	○	○	○	○	○	○	○	○
	4	PM14	P14	PU14	PIM14	POM14	PDIDIS14	PMCA14	○	○	○	○	○	○	○	○	○
	5	PM15	P15	PU15	PIM15	POM15	PDIDIS15	PMCA15	○	○	○	○	○	○	○	○	○
	6	PM16	P16	PU16	PIM16	—	—	PMCA16	○	○	○	○	○	○	○	○	○
	7	PM17	P17	PU17	PIM17	POM17	PDIDIS17	PMCA17	○	○	○	○	○	○	○	○	○
ポート2	0	PM20	P20	—	—	—	—	PMCA20	○	○	○	○	○	○	○	○	○
	1	PM21	P21	—	—	—	—	PMCA21	○	○	○	○	○	○	○	○	○
	2	PM22	P22	—	—	—	—	PMCA22	○	○	○	○	○	○	○	○	○
	3	PM23	P23	—	—	—	—	PMCA23	○	○	○	○	○	○	○	○	○
	4	PM24	P24	—	—	—	—	PMCA24	○	○	○	○	○	—	—	—	—
	5	PM25	P25	—	—	—	—	PMCA25	○	○	○	○	○	—	—	—	—
	6	PM26	P26	—	—	—	—	PMCA26	○	○	○	○	○	—	—	—	—
	7	PM27	P27	—	—	—	—	PMCA27	○	○	○	○	—	—	—	—	—
ポート3	0	PM30	P30	PU30	PIM30	POM30	PDIDIS30	—	○	○	○	○	○	○	—	—	—
	1	PM31	P31	PU31	—	—	—	—	○	○	○	○	○	○	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート4	0	PM40	P40	PU40	—	—	—	—	○	○	○	○	○	○	○	○	○
	1	PM41	P41	PU41	—	—	—	—	○	○	○	○	—	—	—	—	—
	2	PM42	P42	PU42	—	—	—	—	○	—	—	—	—	—	—	—	—
	3	PM43	P43	PU43	—	—	—	—	○	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表7 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxxレジスタとそのビット (2/3)

ポート		ビット名						64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	32 ピン	30 ピン	25 ピン	24 ピン	20 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ										
ポート5	0	PM50	P50	PU50	PIM50	POM50	PDIDIS50	-	○	○	○	○	○	○	-	-	-
	1	PM51	P51	PU51	-	POM51	PDIDIS51	-	○	○	○	○	○	○	-	-	-
	2	PM52	P52	PU52	-	-	-	-	○	-	-	-	-	-	-	-	-
	3	PM53	P53	PU53	-	-	-	-	○	-	-	-	-	-	-	-	-
	4	PM54	P54	PU54	-	-	-	-	○	-	-	-	-	-	-	-	-
	5	PM55	P55	PU55	PIM55	POM55	PDIDIS55	-	○	-	-	-	-	-	-	-	-
	6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ポート6	0	PM60	P60	-	-	-	-	-	○	○	○	○	○	○	-	-	-
	1	PM61	P61	-	-	-	-	-	○	○	○	○	○	○	-	-	-
	2	PM62	P62	PU62	-	-	-	-	○	○	○	○	○	○	-	-	-
	3	PM63	P63	PU63	-	-	-	-	○	○	○	○	-	-	-	-	-
	4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ポート7	0	PM70	P70	PU70	-	-	-	-	○	○	○	○	○	○	-	-	-
	1	PM71	P71	PU71	-	POM71	PDIDIS71	-	○	○	○	○	○	-	-	-	-
	2	PM72	P72	PU72	-	POM72	PDIDIS72	-	○	○	○	○	○	-	-	-	-
	3	PM73	P73	PU73	PIM73	POM73	PDIDIS73	-	○	○	○	○	○	-	-	-	-
	4	PM74	P74	PU74	-	POM74	PDIDIS74	-	○	○	○	-	-	-	-	-	-
	5	PM75	P75	PU75	-	-	-	-	○	○	○	-	-	-	-	-	-
	6	PM76	P76	PU76	-	-	-	-	○	○	-	-	-	-	-	-	-
	7	PM77	P77	PU77	-	-	-	-	○	○	-	-	-	-	-	-	-
ポート12	0	PM120	P120	PU120	-	-	-	PMCA120	○	○	○	○	○	○	○	○	○
	1	PM121	P121	PU121	-	-	-	-	○	○	○	○	○	○	○	○	○
	2	PM122	P122	PU122	-	-	-	-	○	○	○	○	○	○	○	○	○
	3	-	P123	-	-	-	-	-	○	○	○	○	○	-	-	-	-
	4	-	P124	-	-	-	-	-	○	○	○	○	○	-	-	-	-
	5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ポート13	0	-	P130	-	-	-	-	-	○	○	○	-	-	-	○	-	-
	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	7	-	P137	-	-	-	PDIDIS137	-	○	○	○	○	○	○	○	○	○

表7 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxxレジスタとそのビット (3/3)

ポート	ビット名							64	52	48	44	40	32	30	25	24	20	
	PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	ピン	ピン	ピン	ピン	ピン	ピン	ピン	ピン	ピン	ピン	
ポート 14	0	PM140	P140	PU140	—	—	—	—	○	○	○	—	—	—	—	—	—	—
	1	PM141	P141	PU141	—	—	—	—	○	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	PM146	P146	PU146	—	—	—	PMCA146	○	○	○	○	—	—	—	—	—	—
	7	PM147	P147	PU147	—	—	—	PMCA147	○	○	○	○	○	○	○	○	○	○

7.3.1 ポート・モード・レジスタ (PMxx)

PMxx レジスタは、ポートの入力/出力を 1 ビット単位で設定するレジスタです。

PMxx レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

ポート端子を兼用機能の端子として使用する場合、**7.5 兼用機能使用時のレジスタ設定**を参照し、設定してください。

図7-1 ポート・モード・レジスタ (PMxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM12	1	1	1	1	1	PM122	PM121	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	1	1	1	1	PM141	PM140	FFF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 12, 14; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 搭載していないビットには、必ず初期値を設定してください。

7.3.2 ポート・レジスタ (Pxx)

Pxx レジスタは、ポートの出カラムの値を設定するレジスタです。

読み出す場合、入力モード時は端子レベルが、出力モード時はポートの出カラムの値が読み出されます注。

Pxx レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注 P00-P03, P10-P17, P20-P27, P120, P146, P147 をアナログ機能として設定した場合に、ポートが入力モード時に読み出すと端子レベルではなく常に0が読み出されます。

図7-2 ポート・レジスタ (Pxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出カラム)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出カラム)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出カラム)	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H (出カラム)	R/W
P4	0	0	0	0	P43	P42	P41	P40	FFF04H	00H (出カラム)	R/W
P5	0	0	P55	P54	P53	P52	P51	P50	FFF05H	00H (出カラム)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FFF06H	00H (出カラム)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出カラム)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W注1
P13	P137	0	0	0	0	0	0	P130	FFF0DH	注2	R/W注1
P14	P147	P146	0	0	0	0	P141	P140	FFF0EH	00H (出カラム)	R/W

Pmn	出カデータの制御 (出力モード時)	入カデータの読み出し (入力モード時)
0	0 を出力	ロウ・レベルを入力
1	1 を出力	ハイ・レベルを入力

注1. P123, P124, P137 は Read Only です。

注2. P137 : 不定

P130 : 0 (出カラム)

注意 搭載していないビットには、必ず初期値を設定してください。

備考 m = 0-7, 12-14; n = 0-7

7.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

PUxx レジスタは、内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。

PUxx レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード (POMmn = 0) かつ入力モード (PMmn = 1) に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、PUxx レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用している場合も同様です。

PUxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4 のみ 01H) になります。

注意 PIMxxレジスタがあるポートで、異電位デバイスからTTLバッファに入力する場合は、PUmn = 0を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図7-3 プルアップ抵抗オプション・レジスタ (PUxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	0	0	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	0	0	0	0	PU63	PU62	0	0	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU12	0	0	0	0	0	PU122	PU121	PU120	F003CH	00H	R/W
PU14	PU147	PU146	0	0	0	0	PU141	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-7, 12, 14; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 搭載していないビットには、必ず初期値を設定してください。

7.3.4 ポート入力モード・レジスタ (PIMxx)

PIMxx レジスタは、入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などに TTL 入力バッファを選択できます。

PIMxx レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図7-4 ポート入力モード・レジスタ (PIMxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM04	PIM03	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	0	0	PIM11	PIM10	F0041H	00H	R/W
PIM3	0	0	0	0	0	0	0	PIM30	F0043H	00H	R/W
PIM5	0	0	PIM55	0	0	0	0	PIM50	F0045H	00H	R/W
PIM7	0	0	0	0	PIM73	0	0	0	F0047H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1, 3, 5, 7; n = 0-7)
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには、必ず初期値を設定してください。

7.3.5 ポート出力モード・レジスタ (POMxx)

POMxx レジスタは、出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 I²C 通信時の SDA00, SDA01, SDA10, SDA11, SDA20, SDA21 端子に N-ch オープン・ドレイン出力 [VDD 耐圧^{注1} / EVDD 耐圧^{注2}] モードを選択できます。

また、POMxx レジスタは PUxx レジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。POMxx レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注意 N-ch オープン・ドレイン出力 [VDD 耐圧^{注1} / EVDD 耐圧^{注2}] モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

注1. 20～52ピン製品の場合

注2. 64ピン製品の場合

図7-5 ポート出力モード・レジスタ (POMxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	POM04	POM03	POM02	0	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W
POM3	0	0	0	0	0	0	0	POM30	F0053H	00H	R/W
POM5	0	0	POM55	0	0	0	POM51	POM50	F0055H	00H	R/W
POM7	0	0	0	POM74	POM73	POM72	POM71	0	F0057H	00H	R/W

POMmn	Pmn 端子の出力モードの選択 (m = 0, 1, 3, 5, 7; n = 0-7)
0	通常出力モード
1	N-ch オープン・ドレイン出力 [VDD 耐圧 ^{注1} / EVDD 耐圧 ^{注2}] モード

注1. 20～52ピン製品の場合

注2. 64ピン製品の場合

注意 搭載していないビットには、必ず初期値を設定してください。

7.3.6 ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx)

PDIDISxx レジスタは、入力バッファの貫通電流を防止するレジスタです。

異電位の外部デバイスとのシリアル通信などで N-ch オープン・ドレイン出力した場合や入力ポートを使用しない場合、PDIDISxx レジスタの対象ビットに 1 を設定することにより、低消費電力にすることができます。

PDIDISxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 7-6 ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PDIDIS0	0	0	0	PDIDIS 04	PDIDIS 03	PDIDIS 02	0	PDIDIS 00	F02B0H	00H	R/W
PDIDIS1	PDIDIS 17	0	PDIDIS 15	PDIDIS 14	PDIDIS 13	PDIDIS 12	PDIDIS 11	PDIDIS 10	F02B1H	00H	R/W
PDIDIS3	0	0	0	0	0	0	0	PDIDIS 30	F02B3H	00H	R/W
PDIDIS5	0	0	PDIDIS 55	0	0	0	PDIDIS 51	PDIDIS 50	F02B5H	00H	R/W
PDIDIS7	0	0	0	PDIDIS 74	PDIDIS 73	PDIDIS 72	PDIDIS 71	0	F02B7H	00H	R/W
PDIDIS13	PDIDIS 137	0	0	0	0	0	0	0	F02BDH	00H	R/W

PDIDISmn	入力バッファ設定 (m = 0, 1, 3, 5, 7, 13; n = 0-7)
0	入力バッファの入力許可 (デフォルト)
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

注意 搭載していないビットには、必ず初期値を設定してください。

備考 P123, P124はクロック動作モード制御レジスタ (CMC) のEXCLKSビットに0、OSCSELSビットに1、かつクロック動作ステータス制御レジスタ (CSC) のXTSTOPビットに1を設定することにより、低消費電力にすることができます。

7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)

PMCAxx レジスタは、デジタル入出力／アナログ機能を1ビット単位で設定するレジスタです。
PMCAxx レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、FFHになります。

図7-7 ポート・モード・コントロールA・レジスタ (PMCAxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCA0	1	1	1	1	PMCA0 3	PMCA0 2	PMCA0 1	PMCA0 0	F0060H	FFH	R/W
PMCA1	PMCA1 7	PMCA1 6	PMCA1 5	PMCA1 4	PMCA1 3	PMCA1 2	PMCA1 1	PMCA1 0	F0061H	FFH	R/W
PMCA2	PMCA2 7	PMCA2 6	PMCA2 5	PMCA2 4	PMCA2 3	PMCA2 2	PMCA2 1	PMCA2 0	F0062H	FFH	R/W
PMCA12	1	1	1	1	1	1	1	PMCA1 20	F006CH	FFH	R/W
PMCA14	PMCA1 47	PMCA1 46	1	1	1	1	1	1	F006EH	FFH	R/W

PMCAmn	Pmn端子のデジタル入出力／アナログ機能の選択 (m = 0-2, 12, 14; n = 0-7)
0	デジタル入出力
1	アナログ機能

- 注意1.** PMCAxxレジスタでアナログ機能に設定したポートは、ポート・モード・レジスタ (PM0-PM2, PM12, PM14) で入力モードに選択してください。
- 注意2.** PMCAxxレジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ (ADS) のアナログ機能に設定しないでください。
- 注意3.** 搭載していないビットには、必ず初期値を設定してください。

7.3.8 周辺I/Oリダイレクション・レジスタ (PIORx)

PIORxレジスタは、周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。
 周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。
 リダイレクトさせる機能は、PIORxレジスタでポートを割り当ててから、動作許可にしてください。
 なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。
 PIORxレジスタは、8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット (1/2)

アドレス : F0077H
 リセット時: 00H
 R/W属性 : R/W

略号		7		6		5		4		3		2		1		0	
PIOR0		PIOR07		PIOR06		PIOR05		PIOR04		PIOR03		PIOR02		PIOR01		PIOR00	
ビット	兼用機能	64ピン		52ピン		48ピン		44/40ピン		32/30ピン		25/24ピン		20ピン			
		設定値		設定値		設定値		設定値		設定値		設定値		設定値			
		0	1	0	1	0	1	0	1	0	1	0	1	0	1		
PIOR07	TxD2	P13	P77	P13	P77	P13	P10	P13	P10	P13	P10	P13	P10	P13	P10		
	RxD2	P14	P76	P14	P76	P14	P11	P14	P11	P14	P11	P14	P11	P14	P11		
	SCL20	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—		
	SDA20	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—		
	SI20	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—		
	SO20	P13	—	P13	—	P13	—	P13	—	P13	—	P13	—	P13	—		
	SCK20	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—		
PIOR06注	INTP6	P140	P20	P140	P20	P140	P20	—	P20	—	P20	—	P20	—	P20		
	INTP7	P141	P21	—	P21	—	P21	—	P21	—	P21	—	P21	—	P21		
	TxD0_1注	—	P12	—	P12	—	P12	兼用機能として使用できません。0(初期値)を設定してください。									
	RxD0_1注	—	P11	—	P11	—	P11										
PIOR05	TxD1	P02	P72	P02	P72	P00	P72	P00	P72	P00	P30	兼用機能として使用できません。0(初期値)を設定してください。					
	RxD1	P03	P73	P03	P73	P01	P73	P01	P73	P01	P31						
PIOR04	PCLBUZ1	P141	P55	兼用機能として使用できません。0(初期値)を設定してください。													
	INTP5	P16	P12														
PIOR03	PCLBUZ0	P140	P31	P140	P31	P140	P31	兼用機能として使用できません。0(初期値)を設定してください。									
PIOR02	SCLA0	P60	P14	P60	P14	P60	P14										P60
	SDAA0	P61	P15	P61	P15	P61	P15	P61	P15	P61	P15	—	P15	—	P15		

図7-8 周辺I/Oリダイレクション・レジスタ (PIOR0) のフォーマット (2/2)

ビット	兼用機能	64ピン		52ピン		48ピン		44/40ピン		32/30ピン		25/24ピン		20ピン	
		設定値		設定値		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1	0	1	0	1
PIOR01	INTP10	P76	P05	P76	—	—	—	—	—	—	—	—	—	—	—
	INTP11	P77	P06	P77	—	—	—	—	—	—	—	—	—	—	—
	TxD0	P51	P17	P51	P17	P51	P17	P51	P17	P51	P17	—	P17	—	—
	RxD0	P50	P16	P50	P16	P50	P16	P50	P16	P50	P16	—	P16	—	—
	SCL00	P30	—	P30	—	P30	—	P30	—	P30	—	—	—	—	—
	SDA00	P50	—	P50	—	P50	—	P50	—	P50	—	—	—	—	—
	SI00	P50	P16	P50	—	P50	—	P50	—	P50	—	—	—	—	—
	SO00	P51	P17	P51	—	P51	—	P51	—	P51	—	—	—	—	—
	SCK00	P30	P55	P30	—	P30	—	P30	—	P30	—	—	—	—	—
PIOR00	INTP1	P50	P52	兼用機能として使用できません。0（初期値）を設定してください。											
	INTP2	P51	P53												
	INTP3	P30	P54												
	INTP4	P31	P55												
	INTP8	P74	P42												
	INTP9	P75	P43												

注 PIOR0レジスタのPIOR06ビットに1を設定した場合は、TxD0_1をP12に、RxD0_1をP11に切り替えることができます。このときPIOR01ビットで設定したTxD0、RxD0は無効となり、TxD0_1、RxD0_1が有効となります。

注意1. PIOR0レジスタのPIOR01ビットに1を設定した場合は、TxD2とRxD2はリダイレクトされませんが、SCL20、SDA20、SI20、SO20、SCK20はリダイレクトされないため、IIC20とCSI20は使用できません。ただし、1を設定してもUART2を使用しない場合は、CSI21/IIC21は使用可能です。

注意2. PIOR0レジスタのPIOR01ビットに1を設定した場合は、SO00、SI00は52ピン以下の製品でもリダイレクトされますが、SCK00はリダイレクトされないため、CSI00は使用できません。

備考 —：兼用機能として使用できません。

図7-9 周辺I/Oリダイレクション・レジスタ (PIOR1) のフォーマット

アドレス : F02ADH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PIOR1	0	0	0	0	PIOR13	PIOR12	PIOR11	PIOR10

PIOR13	PIOR12	タイマRJ TRJ00端子選択
0	0	P30と兼用注1
0	1	P50と兼用注1
1	0	P00と兼用
1	1	設定禁止

PIOR11	PIOR10	タイマRJ TRJIO0端子選択
0	0	P01と兼用
0	1	P31と兼用注1
1	0	P41と兼用注2
1	1	P06と兼用注3

注1. 64, 52, 48, 44, 40, 32, 30ピン製品のみ

注2. 64, 52, 48, 44ピン製品のみ

注3. 64ピン製品のみ

図7-10 周辺I/Oリダイレクション・レジスタ (PIOR2) のフォーマット

アドレス : F02AEH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PIOR2	PIOR27	PIOR26	PIOR25	PIOR24	PIOR23	PIOR22	PIOR21	PIOR20

ビット	兼用機能	64/52/48 ピン		44/40ピン		32ピン		30ピン		25/24 ピン		20ピン	
		設定値		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1	0	1
PIOR27	TRDIOC0	P16	P13	P16	P13	P16	P13	P16	P13	P16	P13	—	P13
PIOR26	TRDIOD0	P14	P71	P14	P71	P14	P17	P14	P17	P14	P17	兼用機能として使用できません。0（初期値）を設定してください。	
PIOR25	TRDIOD1	P10	P75	P10	P51	P10	P51	P10	P51				
PIOR24	TRDIOC1	P11	P73	P11	P73	P11	P50	P11	P50				
PIOR23	TRDIOD1	P12	P74	P12	P30	P12	P30	P12	P30				
PIOR22	TRDIOA1	P13	P72	P13	P72	P13	P16	P13	P16	P13	P16		
PIOR21	TRDIOB0	P15	P70	P15	P70	P15	P70						
PIOR20	TRGIOA	P50	P17	P50	P17	P50	P17	P50	P17	—	P17		
	TRGIOB	P51	P16	P51	P16	P51	P16	P51	P16	—	P16		

備考 — : 兼用機能として使用できません。

図7-11 周辺I/Oリダイレクション・レジスタ (PIOR3) のフォーマット

アドレス : F02AFH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PIOR3	PIOR37	PIOR36	PIOR35	PIOR34	PIOR33	PIOR32	PIOR31	PIOR30

ビット	兼用機能	64/52 ピン		48/44/40 ピン		32/30ピン		25/24 ピン		20ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR37	DALITxD0	P51	P02	P51	P00	P51	P00	—	P00	—	P00
	DALIRxD0	P50	P03	P50	P01	P50	P01	—	P01	—	P01
PIOR36	TI00	P00	P03	P00	P01	P00	P01	P00	P01	P00	P01
	TO00	P01	P122	P01	P122	P01	P122	P01	P122	P01	P122
	TI02/TO02	P17	P121	P17	P121	P17	P120	P17	P120	—	P120
PIOR35	TI01/TO01	P16	P71	P16	P71	P16	P15	P16	P15	—	P15
PIOR34	TI03	P31	P50	P31	P50	P31	P50	—	P11	—	P11
	TO03	P31	P11	P31	P11	P31	P11	—	P11	—	P11
PIOR33	VCOOUT3	P11	P50	P11	P50	P11	P50	兼用機能として使用 できません。0 (初期値) を 設定してください。			
PIOR32	VCOOUT2	P10	P51	P10	P51	P10	P51				
PIOR31	VCOOUT1	P15	P30	P15	P30	P15	P30				
PIOR30	VCOOUT0	P14	P31	P14	P31	P14	P31				

備考 — : 兼用機能として使用できません。

7.3.9 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

GDIDIS レジスタは、EVDD の電源をオフするときに、EVDD を電源とする入力ポートの入力バッファの貫通電流を防止するレジスタです。

EVDD を電源とする入出力ポートをすべて使用しない場合、GDIDIS0 ビットに 1 を設定して EVDD の電源をオフすることにより、低消費電力にすることができます。

GDIDIS0 ビットに 1 を設定することにより、EVDD を電源とするすべての入力バッファを入力禁止とし、EVDD の電源をオフしたときの貫通電流を防止します。

GDIDIS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

備考 GDIDIS レジスタは、64 ピン製品に搭載しています。

図7-12 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS) のフォーマット

アドレス : F007DH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	EVDD 電源の入力バッファ設定
0	入力バッファの入力許可 (デフォルト)
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

備考1. GDIDIS レジスタは、64 ピン製品に搭載しています。

備考2. 入力バッファの入力禁止 (GDIDIS0 = 1) を設定した場合でも、EVDD を電源とするポート機能を使用しない周辺機能は使用できます。

EVDD の電源をオフする場合は、次の手順で設定してください。

- ① 入力バッファの入力禁止 (GDIDIS0 = 1) を設定
- ② EVDD の電源オフ

EVDD の電源を再投入する場合は、次の手順で設定してください。

- ① EVDD の電源オン
- ② 入力バッファの入力許可 (GDIDIS0 = 0) を設定

注意1. EVDD を電源とする入力ポートに、EVDD 以上の入力電圧を入力しないでください。

注意2. 入力バッファの入力禁止 (GDIDIS0 = 1) を設定した場合、EVDD を電源とするポートのポート・レジスタ (Pxx) の読み出し値は1となります。また、ポート出力モード・レジスタ (POMxx) に1 (N-chオープン・ドレイン出力[EVDD耐圧]モード) 設定時は、ポート・レジスタ (Pxx) の読み出し値は0となります。

7.3.10 出力電流制御許可レジスタ (CCDE)

CCDE レジスタは、P10, P11, P16, P17, P60-P63 を 1 ビット単位で出力電流制御ポートに設定するレジスタです。

出力電流制御機能に選択した端子のロウ・レベル出力電流は、出力電流選択レジスタ (CCSx) で設定された電流または Hi-Z に制御されます。

CCDE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図7-13 出力電流制御許可レジスタ (CCDE) のフォーマット (1/2)

アドレス : F02A8H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CCDE	CCDE07	CCDE06	CCDE05	CCDE04	CCDE03	CCDE02	CCDE01	CCDE00
CCDE07	CCD07 (P11) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE06	CCD06 (P10) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE05	CCD05 (P61) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE04	CCD04 (P60) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE03	CCD03 (P63) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE02	CCD02 (P62) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							
CCDE01	CCD01 (P17) 端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力 (出力電流制御以外の兼用機能)							
1	出力電流制御							

図7-13 出力電流制御許可レジスタ (CCDE) のフォーマット (2/2)

CCDE00	CCD00 (P16) 端子のデジタル入出力/出力電流制御の選択
0	デジタル入出力 (出力電流制御以外の兼用機能)
1	出力電流制御

注意1. 出力電流制御ポートを使用する場合は、出力電流制御を設定してからPMxxレジスタを出力モードに設定してください。

注意2. CCDEレジスタに1を書き込み後、端子が安定するまでの時間は10 μsです。

7.3.11 出力電流選択レジスタ (CCSx)

CCSxレジスタは、出力電流制御ポートの電流制御を設定するレジスタです。

CCSxレジスタは、出力電流制御許可レジスタ (CCDE) で選択された出力電流制御ポートのロウ・レベル出力電流を2 mA, 5 mA, 10 mA, 15 mA または Hi-Z に保つように制御します。

CCSxレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-14 出力電流選択レジスタ (CCSx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CCS0	0	0	0	0	0	CCS02	CCS01	CCS00	F02A0H	00H	R/W
CCS4	0	0	0	0	0	CCS42	CCS41	CCS40	F02A4H	00H	R/W
CCS5	0	0	0	0	0	CCS52	CCS51	CCS50	F02A5H	00H	R/W
CCS6	0	0	0	0	0	CCS62	CCS61	CCS60	F02A6H	00H	R/W
CCS7	0	0	0	0	0	CCS72	CCS71	CCS70	F02A7H	00H	R/W

CCSn2	CCSn1	CCSn0	ロウ・レベル出力電流の設定				
			n = 0 CCD00-03	n = 4 CCD04	n = 5 CCD05	n = 6 CCD06	n = 7 CCD07
0	0	0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
0	0	1	2 mA	2 mA	2 mA	2 mA	2 mA
0	1	0	5 mA	5 mA	5 mA	5 mA	5 mA
0	1	1	10 mA	10 mA	10 mA	10 mA	10 mA
1	0	0	設定禁止	15 mA	15 mA	設定禁止	設定禁止
上記以外			設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

7.3.12 ポート・モード選択レジスタ (PMS)

PMSレジスタは、端子が出力モード (ポート・モード・レジスタ (PMxx) のPMmnビットが0) 時に、ポートの出力電流の値を読み出すか、端子の出力レベルを読み出すかを選択するレジスタです。

詳細は、35.3.11.1 ポート・モード選択レジスタ (PMS) を参照してください。

7.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

7.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

7.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

7.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルを読み出し、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

7.4.4 $EV_{DD} \leq V_{DD}$ による異電位（1.8 V系、2.5 V系、3 V系）対応

異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスとの接続時には、 EV_{DD} を接続先の電源に合わせることで汎用ポートでの入出力接続が可能です。

7.4.5 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応

ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）で入出力バッファを切り替えることにより、異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系、2.5 V系、3 V系）の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ（PIM0, PIM1, PIM3, PIM5, PIM7）をビットごとに設定して、通常入力（CMOS）／TTL 入力バッファを切り替えます。

異電位（1.8 V系、2.5 V系、3 V系）の外部デバイスへ出力する場合、ポート出力モード・レジスタ（POM0, POM1, POM3, POM5, POM7）をビットごとに設定して、通常出力（CMOS）／N-ch オープン・ドレイン [V_{DD} 耐圧^{注1} / EV_{DD} 耐圧^{注2}] モードを切り替えます。

ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDIS0, PDIDIS1, PDIDIS3, PDIDIS5, PDIDIS7, PDIDIS13）をビットごとに設定すると、入力バッファへの貫通電流を防止できます。

以下、シリアル・インタフェースでの接続について説明します。

注1. 20～52ピン製品の場合

注2. 64ピン製品の場合

(1) UART0-UART2, CSI00, CSI10, CSI20機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合 : P50 (P16)

UART1の場合 : P03 (P01, P73)

UART2の場合 : P14 (P11)

CSI00の場合 : P30, P50 (P55, P16)

CSI10の場合 : P03, P04

CSI20の場合 : P14, P15

備考 () 内の端子は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② PIM0, PIM1, PIM3, PIM5, PIM7レジスタの該当ビットに1を設定し、TTL入力バッファに切り替えます。
なお、V_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し、UART／簡易SPI（CSI^注）モードに設定します。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

- (2) UART0-UART2, CSI00, CSI10, CSI20機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合 : P51 (P17)

UART1の場合 : P02 (P72, P00)

UART2の場合 : P13 (P10)

CSI00の場合 : P30, P51 (P55, P17)

CSI10の場合 : P02, P04

CSI20の場合 : P13, P15

備考 () 内の端子は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。

- ① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
- ③ PDIDIS0, PDIDIS1, PDIDIS3, PDIDIS5, PDIDIS7レジスタの該当ビットに1を設定し、入力バッファを入力禁止に設定します。
- ④ 該当するポートの出力ラッチに1を設定します。
- ⑤ POM0, POM1, POM3, POM5, POM7レジスタの該当ビットに1を設定し、N-chオープン・ドレイン出力 [V_{DD}耐圧^{注1} / EV_{DD}耐圧^{注2}]モードに設定します。
- ⑥ シリアル・アレイ・ユニットを動作許可し、UART / 簡易SPI (CSI^{注3}) モードに設定します。
- ⑦ PM0, PM1, PM3, PM5, PM7レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

注1. 20～52ピン製品の場合

注2. 64ピン製品の場合

注3. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

(3) IIC00, IIC10, IIC11, IIC20機能の入出力ポートを、異電位（1.8 V系、2.5 V系、3 V系）で使用する場合の設定手順

IIC00の場合 : P30, P50

IIC10の場合 : P03, P04

IIC11の場合 : P10, P11

IIC20の場合 : P14, P15

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
- ③ 該当するポートの出力ラッチに1を設定します。
- ④ POM0, POM1, POM3, POM5レジスタの該当ビットに1を設定し、N-chオープン・ドレイン出力[V_{DD}耐圧^{注1}/EV_{DD}耐圧^{注2}]モードに設定します。
- ⑤ PIM0, PIM1, PIM3, PIM5レジスタの該当ビットに1を設定し、TTL入力バッファに切り替えます。なお、V_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。
- ⑦ PM0, PM1, PM3, PM5レジスタの該当ビットを出力モードに設定します（出力モードのままデータ入出力可能）。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

注1. 20～52ピン製品の場合

注2. 64ピン製品の場合

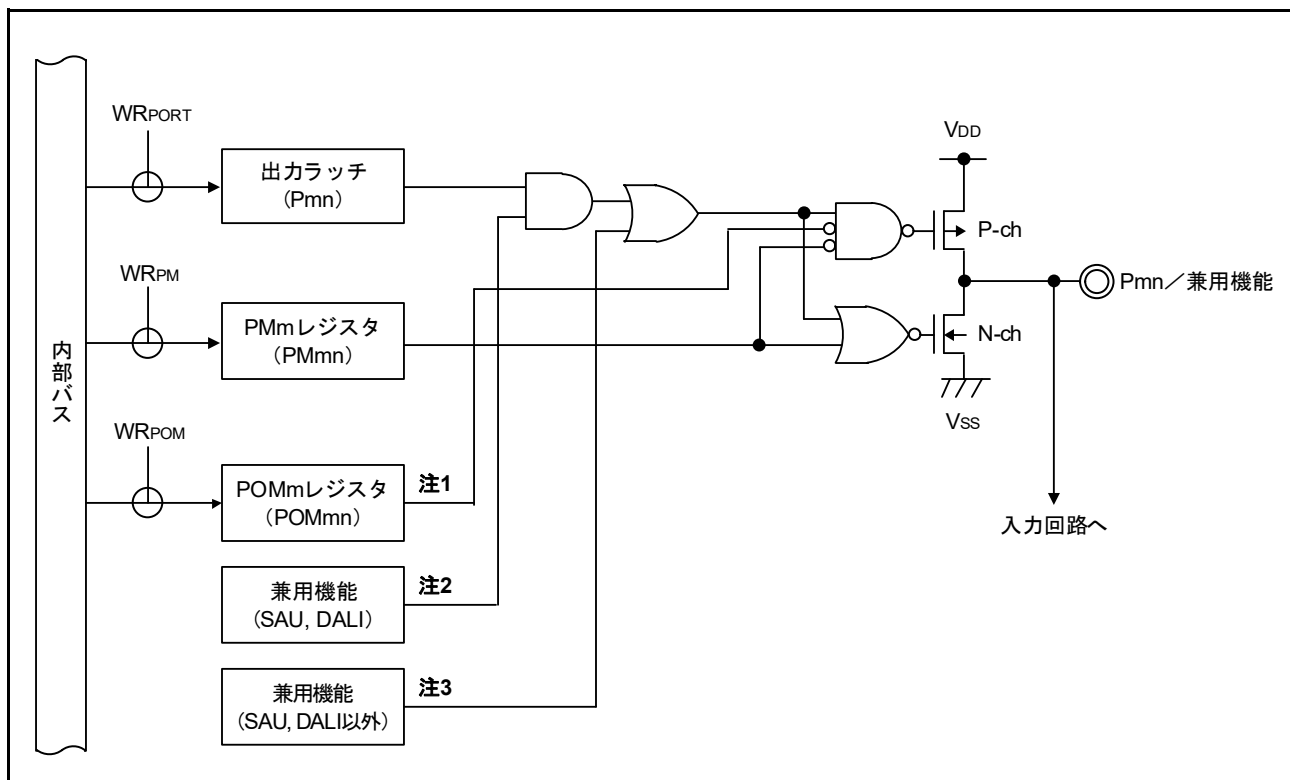
7.5 兼用機能使用時のレジスタ設定

7.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ機能と兼用している端子については、アナログ機能で使用するかデジタル入出力で使用するかをポート・モード・コントロールA・レジスタ（PMCAxx）で設定してください。

図7-15にデジタル入出力で使用する端子の出力回路の基本的な構成を示します。ポートの出カラッチの出力と兼用しているSAU, DALIの出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU, DALI以外の機能（TAU, RTC、クロック／ブザー出力、IICAなど）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表7-3に示します。

図7-15 端子の出力回路の基本的な構成



注1. POMmレジスタがない場合には、この信号は0と考えてください。

注2. 兼用機能がない場合には、この信号は1と考えてください。

注3. 兼用機能がない場合には、この信号は0と考えてください。

備考 m: ポート番号 (m = 0-7, 12-14)、n: ビット番号 (n = 0-7)

表7-3 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAU, DALIの出力機能	SAU, DALI以外の出力機能
ポート出力機能	—	出力はハイ・レベル	出力はロウ・レベル
SAU, DALIの出力機能	ハイ・レベル	出力はハイ・レベル	出力はロウ・レベル
SAU, DALI以外の出力機能	ロウ・レベル	Don't care	出力はロウ・レベル注

注 1つの端子にSAU, DALI以外の出力機能が複数兼用になっていることがあるため、使用しない兼用機能の出力はロウ・レベルにしておく必要があります。また、1つの端子にSAU, DALIの出力機能が複数兼用になっていることがあるため、使用しない兼用機能の出力はハイ・レベルにしておく必要があります。具体的な設定方法については、7.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

7.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺 I/O リダイレクト機能の対象になっている場合には、周辺 I/O リダイレクション・レジスタ (PIORx) を設定することで、出力をほかの端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能やほかの兼用機能を使用することが可能となります。

(1) $SO_p = 1 / TxDq = 1$ (SAUのシリアル出力 (SO_p/TxD_q) を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力 (SO_p/TxD_q) を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ m (SOEm) のビットに0 (出力禁止) を設定し、シリアル出力レジスタ m (SOm) のSOmnビットに1 (ハイ・レベル出力) を設定してください。さらにポートとして使用する場合はSO_p/TxD_q端子、SCKp端子に該当するPFOE1xビットに1を設定してください。(ポート以外の兼用機能についてはPFOE1xビットの0設定も可能) これは初期状態と同じ設定です。

(2) $SCKp = 1 / SDAr = 1 / SCLr = 1$ (SAUのチャネルnを使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャネル許可ステータス・レジスタ m (SEm) のビット n (SEmn) に0 (動作停止状態) を設定し、使用しない出力に対応したシリアル出力許可レジスタ m (SOEm) のビットに0 (出力禁止) を設定し、シリアル出力レジスタ m (SOm) のSOmnビットとCKOmnビットに1 (ハイ・レベル出力) を設定してください。さらにポートとして使用する場合はSO_p/TxD_q端子、SCKp端子に該当するPFOE1xビットに1を設定してください。(ポート以外の兼用機能についてはPFOE1xビットの0設定も可能) これは初期状態と同じ設定です。

(3) $TOmn = 0$ (TAUのチャネルnの出力を使用しない場合の設定)

TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ 0 (TOE0) のビットに0 (出力禁止)、タイマ出力レジスタ 0 (TO0) のビットに0 (ロウ・レベル出力) を設定してください。これは初期状態と同じ設定です。またタイマ出力の動作にかかわらずTOmn端子に該当するPFOE0xビットに0を設定することでも可能です。

(4) $SDAAn = 0 / SCLAn = 0$ (IICAを使用しない場合の設定)

IICAを使用しない場合は、IICAコントロール・レジスタ n0 (IICCTLn0) のIICEnビットを0 (動作停止) にしてください。これは初期状態と同じ設定です。

(5) $PCLBUZn = 0$ (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ n (CKSn) のPCLOEnビットを0 (出力禁止) にしてください。これは初期状態と同じ設定です。

備考 p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、q : UART番号 (q = 0-3)、
r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

7.5.3 ポートの各レジスタ設定と端子状態

表 7 - 4 にポートの各レジスタ設定と端子状態を示します。

表7 - 4 ポートのレジスタの設定値と端子状態の関係

PMCAxx	PMxx	Pxx	PUxx	CCDE0x	CCSx	端子状態
1	×	×	×	×	×	アナログ入力・出力
0	1	×	1	×	×	プルアップ
0	1	×	0	×	×	Hi-Z
0	0	1	×	×	×	ポート出力 (ハイ・レベル)
0	0	0	×	1	000	Hi-Z
0	0	0	×	1	001 010 011 100	出力電流制御ポート
0	0	0	×	0	×	ポート出力 (ロウ・レベル)

備考 × : Don't care

7.5.4 使用するポート機能および兼用機能のレジスタ設定例

表 7 - 5 に使用するポート機能および兼用機能のレジスタ設定例を示します。ポート機能を制御するレジスタを表 7 - 5 のように設定してください。なお、表 7 - 5 の表記については次の備考を参照してください。

注意 レジスタ設定例では、ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx) は入力バッファの入力許可の設定です。

備考 — : 対象外

× : Don't care

PIORx : 周辺 I/O リダイレクション・レジスタ

POMxx : ポート出力モード・レジスタ

PMCAxx : ポート・モード・コントロール A・レジスタ

CCDE : 出力電流制御許可レジスタ

CCSx : 出力電流選択レジスタ

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

() 内の機能は、周辺 I/O リダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (1/22)

端子名称	使用機能		PIORx	POMxx	PMCAXx	PMxx	Pxx	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	40ピン	44ピン	48ピン	52ピン	64ピン		
	機能名称	入出力						SAU, DALI	SAU, DALI以外												
P00	P00	入力	—	x	0	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	0	0	0	0/1	TxD1 = 1注1, (DALITxD0) = 1注1	(TRJ00) = 0												
		N-ch O.D.出力	—	1	0	0	0/1														
	ANI29	アナログ入力	—	x	1	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	IVCMP1	アナログ入力	—	x	1	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	PGAI1	アナログ入力	—	x	1	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	TI00	入力	PIOR36 = 0	x	0	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	TxD1	出力	PIOR05 = 0 注2	0/1	0	0	1	x	(TRJ00) = 0	○	○	○	○	○	○	○	○	○	○	—	—
	TRGCLKA	入力	—	x	0	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
(TRJ00)	出力	PIOR13, PIOR12 = 10B	0	0	0	0	TxD1 = 1注1, (DALITxD0) = 1注1	x	○	○	○	○	○	○	○	○	○	○	○	○	
(DALITxD0)	出力	PIOR37 = 1	0/1	0	0	1	x	x	○	○	○	○	○	○	○	○	○	○	—	—	
P01	P01	入力	—	—	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	—	0	0	0/1	—	TO00 = 0, TRJIO = 0												
	ANI30	アナログ入力	—	—	1	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	
	IVCMP2	アナログ入力	—	—	1	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	
	PGAI2	アナログ入力	—	—	1	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	
	TO00	出力	PIOR36 = 0	—	0	0	0	—	TRJIO = 0	○	○	○	○	○	○	○	○	○	○	○	
	RxD1	入力	PIOR05 = 0 注2	—	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	—	—
	TRGCLKB	入力	—	—	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	○	○
	TRJIO0	入力	PIOR11, PIOR10 = 00B	—	0	1	x	—	TO00 = 0	○	○	○	○	○	○	○	○	○	○	○	○
出力			—	0	0	0	—	TO00 = 0													
(DALIRxD0)	入力	PIOR37 = 1	—	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	—	—	
(TI00)	入力	PIOR36 = 1	—	0	1	x	—	x	○	○	○	○	○	○	○	○	○	○	—	—	
P02	P02	入力	—	x	0	1	x	x	—	—	—	—	—	—	—	—	—	—	○	○	
		出力	—	0	0	0	0/1	TxD1 = 1, SO10 = 1注3, (DALITxD0) = 1	—												
		N-ch O.D.出力	—	1	0	0	0/1														
	ANI17	アナログ入力	—	x	1	1	x	x	—	—	—	—	—	—	—	—	—	—	○	○	
	TxD1	出力	PIOR05 = 0	0/1	0	0	1	x	—	—	—	—	—	—	—	—	—	—	○	○	
	SO10	出力	—	0/1	0	0	1	x	—	—	—	—	—	—	—	—	—	—	○	○	
(DALITxD0)	出力	PIOR37 = 1	0/1	0	0	1	x	—	—	—	—	—	—	—	—	—	—	○	○		

注1. 20～48ピン製品のみ

注2. 30～48ピン製品のみ

注3. 64ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (2/22)

端子名称	使用機能		PIORx	POMxx	PMCAXx	PMxx	Pxx	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン		
	機能名称	入出力						SAU, DALI	SAU, DALI 以外												
P03	P03	入力	—	x	0	1	x	x	—	—	—	—	—	—	—	—	—	—	○	○	
		出力	—	0	0	0	0/1	SDA10 = 1 ^注	—	—	—	—	—	—	—	—	—	—	—	—	
		N-ch O.D. 出力	—	1	0	0	0/1														
	ANI16	アナログ入力	—	x	1	1	x	x	—	—	—	—	—	—	—	—	—	—	—	○	○
	SI10	入力	—	x	0	1	x	x	—	—	—	—	—	—	—	—	—	—	—	—	○
	RxD1	入力	PIOR05 = 0	x	0	1	x	x	—	—	—	—	—	—	—	—	—	—	—	○	○
	SDA10	入出力	—	1	0	0	1	x	—	—	—	—	—	—	—	—	—	—	—	—	○
	(DALIRxD0)	入力	PIOR37 = 1	x	0	1	x	x	—	—	—	—	—	—	—	—	—	—	—	○	○
(TI00)	入力	PIOR36 = 1	x	0	1	x	x	—	—	—	—	—	—	—	—	—	—	—	○	○	
P04	P04	入力	—	x	—	1	x	x	—	—	—	—	—	—	—	—	—	—	—	—	○
		出力	—	0	—	0	0/1	SCK10/SCL10 = 1	—	—	—	—	—	—	—	—	—	—	—	—	○
		N-ch O.D. 出力	—	1	—	0	0/1														
	SCK10	入力	—	x	—	1	x	x	—	—	—	—	—	—	—	—	—	—	—	—	○
		出力	—	0/1	—	0	1	x	—	—	—	—	—	—	—	—	—	—	—	—	○
SCL10	出力	—	0/1	—	0	1	x	—	—	—	—	—	—	—	—	—	—	—	—	○	
P05	P05	入力	—	—	—	1	x	—	—	—	—	—	—	—	—	—	—	—	—	—	○
		出力	—	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	(INTP10)	入力	PIOR01 = 1	—	—	1	x	—	—	—	—	—	—	—	—	—	—	—	—	○	
P06	P06	入力	—	—	—	1	x	—	x	—	—	—	—	—	—	—	—	—	—	—	○
		出力	—	—	—	0	0/1	—	(TRJIO) = 0	—	—	—	—	—	—	—	—	—	—	—	○
	(TRJIO0)	入力	PIOR11, PIOR10 = 11B	—	—	1	x	—	x	—	—	—	—	—	—	—	—	—	—	—	○
		出力		—	—	0	0	—	x	—	—	—	—	—	—	—	—	—	—	—	○
	(INTP11)	入力	PIOR01 = 1	—	—	1	x	—	x	—	—	—	—	—	—	—	—	—	—	○	

注 64ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (3/22)

端子名称	使用機能		PIORx	POMxx	PMCAxx	CODE	CCSx	PMxx	Pxx	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	40ピン	44ピン	48ピン	52ピン	64ピン	
	機能名称	入出力								SAU, DALI	SAU, DALI 以外											
P10	P10	入力	—	x	0	CCDE06 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	CCDE06 = 0	CCS0[2:0] = xxxB	0	0/1	SCK11/SCL11 = 1, (TxD2) = 1注1	TRDIOD1 = 0, VCOUT2 = 0	○	○	○	○	○	○	○	○	○	○	
		N-ch O.D. 出力	—	1	0	CCDE06 = 0	CCS0[2:0] = xxxB	0	0/1			○	○	○	○	○	○	○	○	○	○	○
	ANI20	アナログ入力	—	x	1	CCDE06 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
	CCD06	出力	—	0/1	0	CCDE06 = 1	CCS0[2:0] = 001B-011B	0	0	x	x	○	○	○	○	○	○	○	○	○	○	○
	SCK11	入力	—	x	0	CCDE06 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0/1	0	CCDE06 = 0	CCS0[2:0] = xxxB	0	1	x	TRDIOD1 = 0, VCOUT2 = 0	○	○	○	○	○	○	○	○	○	○	○
	SCL11	出力	—	0/1	0	CCDE06 = 0	CCS0[2:0] = xxxB	0	1	x	TRDIOD1 = 0, VCOUT2 = 0	○	○	○	○	○	○	○	○	○	○	○
	TRDIOD1	入力	PIOR25 = 0 注2	x	0	CCDE06 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
		出力		0	0	CCDE06 = 0	CCS0[2:0] = xxxB	0	0	SCK11/SCL11 = 1, (TxD2) = 1注1	VCOUT2 = 0	○	○	○	○	○	○	○	○	○	○	○
VCOUT2	出力	PIOR32 = 0 注2	0	0	CCDE06 = 0	CCS0[2:0] = xxxB	0	0	SCK11/SCL11 = 1, (TxD2) = 1注1	TRDIOD1 = 0	○	○	○	○	○	○	○	○	○	○	○	
(TxD2)	出力	PIOR07 = 1	0/1	0	CCDE06 = 0	CCS0[2:0] = xxxB	0	1	x	x	○	○	○	○	○	○	○	○	○	○	—	
P11	P11	入力	—	x	0	CCDE07 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	○	○	○	○	○	○	○	
		出力	—	0	0	CCDE07 = 0	CCS0[2:0] = xxxB	0	0/1	SDA11 = 1	TRDIOC1 = 0, VCOUT3 = 0, (TO03) = 0	○	○	○	○	○	○	○	○	○	○	
		N-ch O.D. 出力	—	1	0	CCDE07 = 0	CCS0[2:0] = xxxB	0	0/1			○	○	○	○	○	○	○	○	○	○	
	ANI21	アナログ入力	—	x	1	CCDE07 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	○	○	○	○	○	○	○	
	PGAO	アナログ出力	—	x	1	CCDE07 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	○	○	○	○	○	○	○	
	CCD07	出力	—	0/1	0	CCDE07 = 1	CCS0[2:0] = 001B-011B	0	0	x	x	○	○	○	○	○	○	○	○	○	○	
	SI11	入力	—	x	0	CCDE07 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	○	○	○	○	○	○	○	
	SDA11	入出力	—	1	0	CCDE07 = 0	CCS0[2:0] = xxxB	0	1	x	TRDIOC1 = 0, VCOUT3 = 0, (TO03) = 0	○	○	○	○	○	○	○	○	○	○	
	TRDIOC1	入力	PIOR24 = 0 注2	x	0	CCDE07 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	○	○	○	○	○	○	○	
		出力		0	0	CCDE07 = 0	CCS0[2:0] = xxxB	0	0	SDA11 = 1	VCOUT3 = 0, (TO03) = 0	○	○	○	○	○	○	○	○	○	○	
	VCOUT3	出力	PIOR33 = 0 注2	0	0	CCDE07 = 0	CCS0[2:0] = xxxB	0	0	SDA11 = 1	TRDIOC1 = 0, (TO03) = 0	○	○	○	○	○	○	○	○	○	○	
	(RxD0_1)	入力	PIOR06 = 1	—	0	CCDE07 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	—	—	—	—	—	—	—	—	○	
	(RxD2)	入力	PIOR07 = 1	x	0	CCDE07 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	○	○	○	○	○	○	—	
(TI03)	入力	PIOR34 = 1	x	0	CCDE07 = 0	CCS0[2:0] = xxxB	1	x	x	x	○	○	○	—	—	—	—	—	—	—		
(TO03)	出力	PIOR34 = 1	0	0	CCDE07 = 0	CCS0[2:0] = xxxB	0	0	SDA11 = 1	TRDIOC1 = 0, VCOUT3 = 0	○	○	○	○	○	○	○	○	○	○		

注1. 20～48ピン製品のみ

注2. 30～64ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (4/22)

端子 名称	使用機能		PIORx	POMxx	PMCAxx	CODE	CCSx	PMxx	Px	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力								SAU, DALI	SAU, DALI 以外											
P12	P12	入力	—	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	—	—	0	0/1	SO11 = 1	TRDIOB1 = 0, TKBO00 = 0											
		N-ch O.D. 出力	—	1	0	—	—	0	0/1	SO11 = 1	TRDIOB1 = 0, TKBO00 = 0											
	ANI22	アナログ 入力	—	x	1	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
	IVREF1	アナログ 入力	—	x	1	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
	SO11	出力	—	0/1	0	—	—	0	1	x	TRDIOB1 = 0, TKBO00 = 0	○	○	○	○	○	○	○	○	○	○	○
	TRDIOB1	入力	PIOR23 = 0 注2	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	—	—	0	0	SO11 = 1	TKBO00 = 0											
	TKBO00	出力	—	0	0	—	—	0	0	SO11 = 1	TRDIOB1 = 0	○	○	○	○	○	○	○	○	○	○	○
	(INTP5)	入力	PIOR04 = 1	x	0	—	—	1	x	x	x	—	—	—	—	—	—	—	—	—	—	—
(TxD0_1)	出力	PIOR06 = 1	0/1	0	—	—	0	1	—	—	—	—	—	—	—	—	—	—	—	—	○	○
P13	P13	入力	—	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	—	—	0	0/1	TxD2/SO20 = 1	TRDIOA1 = 0, TKBO01 = 0, (TRDIOC0) = 0											
		N-ch O.D. 出力	—	1	0	—	—	0	0/1													
	ANI23	アナログ 入力	—	x	1	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
	TxD2	出力	PIOR07 = 0	0/1	0	—	—	0	1	x	TRDIOA1 = 0, TKBO01 = 0, (TRDIOC0) = 0	○	○	○	○	○	○	○	○	○	○	○
	SO20	出力	PIOR07 = 0	0/1	0	—	—	0	1	x	TRDIOA1 = 0, TKBO01 = 0, (TRDIOC0) = 0	○	○	○	○	○	○	○	○	○	○	○
	TRDIOA1	入力	PIOR22 = 0 注1	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
		出力		0	0	—	—	0	0	TxD2/SO20 = 1	TKBO01 = 0, (TRDIOC0) = 0											
	TKBO01	出力	—	0	0	—	—	0	0	TxD2/SO20 = 1	TRDIOA1 = 0, (TRDIOC0) = 0	○	○	○	○	○	○	○	○	○	○	○
	(TRDIOC0)	入力	PIOR27 = 1	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
出力			0	0	—	—	0	0	TxD2/SO20 = 1	TRDIOA1 = 0, TKBO01 = 0												

注1. 24～64ピン製品のみ

注2. 30～64ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (5/22)

端子 名称	使用機能		PIORx	POMxx	PMCAxx	CCODE	CCSx	PMxx	Px	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン		
	機能名称	入出力								SAU, DALI	SAU, DALI 以外												
P14	P14	入力	—	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	0	0	—	—	0	0/1	SDA20 = 1	TRDIOD0 = 0, TKBO10 = 0, VCOUT0 = 0, (SCLA0) = 0												
		N-ch O.D. 出力	—	1	0	—	—	0	0/1														
	ANI24	アナログ 入力	—	x	1	—	—	1	x	x	x	○	—	○	○	○	○	○	○	○	○	○	○
	TRDIOD0	入力	PIOR26 = 0 注1	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
		出力		0	0	—	—	0	0	SDA20 = 1	TKBO10 = 0, VCOUT0 = 0, (SCLA0) = 0												
	TKBO10	出力	—	0	0	—	—	0	0	SDA20 = 1	TRDIOD0 = 0, VCOUT0 = 0, (SCLA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○
	VCOUT0	出力	PIOR30 = 0 注2	0	0	—	—	0	0	SDA20 = 1	TRDIOD0 = 0, TKBO10 = 0, (SCLA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○
	RxD2	入力	PIOR07 = 0	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
	SI20	入力	PIOR07 = 0	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
SDA20	入出力	PIOR07 = 0	1	0	—	—	0	1	x	TRDIOD0 = 0, TKBO10 = 0, VCOUT0 = 0, (SCLA0) = 0	○	○	○	○	○	○	○	○	○	○	○	○	
(SCLA0)	入出力	PIOR02 = 1	1	0	—	—	0	0	SDA20 = 1	TRDIOD0 = 0, TKBO10 = 0, VCOUT0 = 0	○	○	○	○	○	○	○	○	○	○	○	○	

注1. 24～64ピン製品のみ

注2. 30～64ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (6/22)

端子名称	使用機能		PIORx	POMxx	PMCAXx	CCODE	CCSx	PMxx	Pxx	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	40ピン	44ピン	48ピン	52ピン	64ピン	
	機能名称	入出力								SAU, DALI	SAU, DALI 以外											
P15	P15	入力	—	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	—	—	0	0/1	SCK20/SCL20 = 1	PCLBUZ1 = 0 ^{注2} , TRDIOB0 = 0, TKBO11 = 0, VCOUT1 = 0, (SDAA0) = 0, (TO01) = 0 ^{注1}	○	○	○	○	○	○	○	○	○	○	○
		N-ch O.D. 出力	—	1	0	—	—	0	0/1													
	ANI25	アナログ 入力	—	x	1	—	—	1	x	x		x	—	—	○	○	○	○	○	○	○	○
PCLBUZ1	出力	—	0	0	—	—	0	0	SCK20/SCL20 = 1	TRDIOB0 = 0, TKBO11 = 0, VCOUT1 = 0, (SDAA0) = 0, (TO01) = 0 ^{注1}	○	○	○	○	○	○	○	○	○	○	○	—
SCK20	入力	PIOR07 = 0	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○	○
			0/1	0	—	—	0	1	x	PCLBUZ1 = 0 ^{注2} , TRDIOB0 = 0, TKBO11 = 0, VCOUT1 = 0, (SDAA0) = 0, (TO01) = 0 ^{注1}	○	○	○	○	○	○	○	○	○	○	○	○
SCL20	出力	PIOR07 = 0	0/1	0	—	—	0	1	x	PCLBUZ1 = 0 ^{注2} , TRDIOB0 = 0, TKBO11 = 0, VCOUT1 = 0, (SDAA0) = 0, (TO01) = 0 ^{注1}	○	○	○	○	○	○	○	○	○	○	○	○

注1. 20～32ピン製品のみ

注2. 20～52ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (7/22)

端子 名称	使用機能		PIORx	POMxx	PMCAXx	CODE	CCSx	PMxx	Pxx	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力								SAU, DALI	SAU, DALI 以外											
P15	TRDIOB0	入力	PIOR21 = 0	x	0	—	—	1	x	x	x	○	○	○	○	○	○	○	○	○	○	○
		出力	注4	0	0	—	—	0	0	SCK20/SCL20 = 1	PCLBUZ1 = 0注2, TKBO11 = 0, VCOUT1 = 0, (SDAA0) = 0, (TO01) = 0注1	○	○	○	○	○	○	○	○	○	○	○
	TKBO11	出力	—	0	0	—	—	0	0	SCK20/SCL20 = 1	PCLBUZ1 = 0注2, TRDIOB0 = 0, VCOUT1 = 0, (SDAA0) = 0, (TO01) = 0注1	○	○	○	○	○	○	○	○	○	○	○
	VCOUT1	出力	PIOR31 = 0 注3	0	0	—	—	0	0	SCK20/SCL20 = 1	PCLBUZ1 = 0注2, TRDIOB0 = 0, TKBO11 = 0, (SDAA0) = 0, (TO01) = 0注1	○	○	○	○	○	○	○	○	○	○	○
	(SDAA0)	入出力	PIOR02 = 1	1	0	—	—	0	0	SCK20/SCL20 = 1	PCLBUZ1 = 0注2, TRDIOB0 = 0, TKBO11 = 0, VCOUT1 = 0, (TO01) = 0注1	○	○	○	○	○	○	○	○	○	○	○
	(TI01)	入力	PIOR35 = 1	x	0	—	—	1	x	x	x	○	○	○	○	○	—	—	—	—	—	—
(TO01)	出力	PIOR35 = 1	0	0	—	—	0	0	SCK20/SCL20 = 1	PCLBUZ1 = 0注2, TRDIOB0 = 0, TKBO11 = 0, VCOUT1 = 0, (SDAA0) = 0	○	○	○	○	○	—	—	—	—	—	—	

- 注1. 20～32ピン製品のみ
- 注2. 20～52ピン製品のみ
- 注3. 30～64ピン製品のみ
- 注4. 32～64ピン製品のみ

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (8/22)

端子名称	使用機能		PIORx	POMxx	PMCAxx	CCDE	CCSx	PMxx	Px	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	40ピン	44ピン	48ピン	52ピン	64ピン	
	機能名称	入出力								SAU, DALI	SAU, DALI 以外											
P16	P16	入力	—	—	0	CCDE00 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0	CCDE00 = 0	CCS0[2:0] = xxxB	0	0/1	x	TO01 = 0, TRDI0C0 = 0, TKBO20 = 0, (TRGIOB) = 0, (TRDIOA1) = 0	—	○	○	○	○	○	○	○	○	○	○
ANI26	アナログ 入力	—	—	1	CCDE00 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	○	○	○	○	○	○	○	○	○	○	
IVREF0	アナログ 入力	—	—	1	CCDE00 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	○	○	○	○	○	○	○	○	○	○	
CCD00	出力	—	—	0	CCDE00 = 1	CCS0[2:0] = 001B-011B	0	0	x	TO01 = 0, TRDI0C0 = 0, TKBO20 = 0, (TRGIOB) = 0, (TRDIOA1) = 0注1	—	○	○	○	○	○	○	○	○	○	○	
TI01	入力	PIOR35 = 0	—	0	CCDE00 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	○	○	○	○	○	○	○	○	○	○	
TO01	出力	PIOR35 = 0	—	0	CCDE00 = 0	CCS0[2:0] = xxxB	0	0	x	TRDI0C0 = 0, TKBO20 = 0, (TRGIOB) = 0, (TRDIOA1) = 0注1	—	○	○	○	○	○	○	○	○	○	○	
INTP5	入力	PIOR04 = 0 注2	—	0	CCDE00 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	○	○	○	○	○	○	○	○	○	○	
TRDI0C0	入力 出力	PIOR27 = 0	—	0	CCDE00 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	○	○	○	○	○	○	○	○	○	○	
			—	0	CCDE00 = 0	CCS0[2:0] = xxxB	0	0	x	TO01 = 0, TKBO20 = 0, (TRGIOB) = 0, (TRDIOA1) = 0	—	○	○	○	○	○	○	○	○	○	○	
TKBO20	出力	—	—	0	CCDE00 = 0	CCS0[2:0] = xxxB	0	0	x	TO01 = 0, TRDI0C0 = 0, (TRGIOB) = 0, (TRDIOA1) = 0注1	—	○	○	○	○	○	○	○	○	○	○	
(SI00)	入力	PIOR01 = 1	—	0	CCDE00 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	—	—	—	—	—	—	—	—	—	○	
(RxD0)	入力	PIOR01 = 1	—	0	CCDE00 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	○	○	○	○	○	○	○	○	○	○	
(TRGIOB)	入力 出力	PIOR20 = 1	x	0	CCDE00 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	○	○	○	○	○	○	○	○	○	○	
			—	0	CCDE00 = 0	CCS0[2:0] = xxxB	0	0	x	TO01 = 0, TRDI0C0 = 0, TKBO20 = 0, (TRDIOA1) = 0注1	—	○	○	○	○	○	○	○	○	○	○	
(TRDIOA1)	入力 出力	PIOR22 = 1	—	0	CCDE00 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	○	○	○	○	—	—	—	—	—	—	
			—	0	CCDE00 = 0	CCS0[2:0] = xxxB	0	0	x	TO01 = 0, TRDI0C0 = 0, TKBO20 = 0, (TRGIOB) = 0	—	○	○	○	○	—	—	—	—	—	—	

注1. 24～32ピン製品のみ

注2. 64ピン製品のみ

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (9/22)

端子名称	使用機能		PIORx	POMxx	PMCAxx	CCDE	CCSx	PMxx	Px	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	40ピン	44ピン	48ピン	52ピン	64ピン	
	機能名称	入出力								SAU, DALI	SAU, DALI以外											
P17	P17	入力	—	x	0	CCDE01 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	o	o	o	o	o	o	o	o	o	o
		出力	—	0	0	CCDE01 = 0	CCS0[2:0] = xxxB	0	0/1	(TxD0) = 1 (SO00) = 1注2	TO02 = 0, TRDIOA0 = 0, TKBO21 = 0, (TRGIOA) = 0, (TRDIOD0) = 0注1	—	o	o	o	o	o	o	o	o	o	o
		N-ch O.D. 出力	—	1	0	CCDE01 = 0	CCS0[2:0] = xxxB	0	0/1			—	o	o	o	o	o	o	o	o	o	o
	ANI27	アナログ 入力	—	x	1	CCDE01 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	—	o	o	o	o	o	o	o	o	o
	CCD01	出力	—	0/1	0	CCDE01 = 1	CCS0[2:0] = 001B-011B	0	0	x	TO02 = 0, TRDIOA0 = 0, TKBO21 = 0, (TRGIOA) = 0, (TRDIOD0) = 0注1	—	o	o	o	o	o	o	o	o	o	o
	TI02	入力	PIOR36 = 0	x	0	CCDE01 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	o	o	o	o	o	o	o	o	o	o
	TO02	出力	PIOR36 = 0	0	0	CCDE01 = 0	CCS0[2:0] = xxxB	0	0	(TxD0) = 1 (SO00) = 1注2	TRDIOA0 = 0, TKBO21 = 0, (TRGIOA) = 0, (TRDIOD0) = 0注1	—	o	o	o	o	o	o	o	o	o	o
	TRDIOA0	入力	—	x	0	CCDE01 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	o	o	o	o	o	o	o	o	o	o
		出力	—	0	0	CCDE01 = 0	CCS0[2:0] = xxxB	0	0	(TxD0) = 1 (SO00) = 1注2	TO02 = 0, TKBO21 = 0, (TRGIOA) = 0, (TRDIOD0) = 0注1	—	o	o	o	o	o	o	o	o	o	o
	TRDCLK	入力	—	0	0	CCDE01 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	o	o	o	o	o	o	o	o	o	o
	TKBO21	出力	—	0	0	CCDE01 = 0	CCS0[2:0] = xxxB	0	0	(TxD0) = 1 (SO00) = 1注2	TO02 = 0, TRDIOA0 = 0, (TRGIOA) = 0, (TRDIOD0) = 0注1	—	o	o	o	o	o	o	o	o	o	o
	(TxD0)	出力	PIOR01 = 1	0/1	0	CCDE01 = 0	CCS0[2:0] = xxxB	0	1	x	TO02 = 0, TRDIOA0 = 0, TKBO21 = 0, (TRGIOA) = 0, (TRDIOD0) = 0注1	—	o	o	o	o	o	o	o	o	o	o
	(SO00)	出力	PIOR01 = 1	0/1	0	CCDE01 = 0	CCS0[2:0] = xxxB	0	1	x	TO02 = 0, TRDIOA0 = 0, TKBO21 = 0, (TRGIOA) = 0, (TRDIOD0) = 0注1	—	—	—	—	—	—	—	—	—	—	o
	(TRGIOA)	入力	PIOR20 = 1	x	0	CCDE01 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	o	o	o	o	o	o	o	o	o	o
		出力		0	0	CCDE01 = 0	CCS0[2:0] = xxxB	0	0	(TxD0) = 1 (SO00) = 1注2	TO02 = 0, TRDIOA0 = 0, TKBO21 = 0, (TRDIOD0) = 0注1	—	o	o	o	o	o	o	o	o	o	o
(TRDIOD0)	入力	PIOR26 = 1	x	0	CCDE01 = 0	CCS0[2:0] = xxxB	1	x	x	x	—	o	o	o	o	—	—	—	—	—	—	
	出力		0	0	CCDE01 = 0	CCS0[2:0] = xxxB	0	0	(TxD0) = 1 (SO00) = 1注2	TO02 = 0, TRDIOA0 = 0, TKBO21 = 0, (TRGIOA) = 0	—	o	o	o	o	—	—	—	—	—	—	

注1. 24～32ピン製品のみ

注2. 64ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (10/22)

端子名称	使用機能		PIORx	PMCAxx	PMxx	Pxx	20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン		
	機能名称	入出力																
P20	P20	入力	—	0	1	×	○	○	○	○	○	○	○	○	○	○	○	
		出力	—	0	0	0/1												
	ANI0	アナログ入力	—	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○
	AVREFP	基準電圧	—	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○
	(INTP6)	入力	PIOR06 = 1	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○
P21	P21	入力	—	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0/1												
	ANI1	アナログ入力	—	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○
	AVREFM	基準電圧	—	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○
	(INTP7)	入力	PIOR06 = 1	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○
P22	P22	入力	—	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0/1												
	ANI2	アナログ入力	—	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○
	ANO0	アナログ出力	—	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○
	PGAI4	アナログ入力	—	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○
P23	P23	入力	—	0	1	×	○	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0/1												
	ANI3	アナログ入力	—	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○
	ANO1	アナログ出力	—	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○
	PGAGND	アナログ入力	—	1	1	×	○	○	○	○	○	○	○	○	○	○	○	○
P24	P24	入力	—	0	1	×	—	—	—	—	—	○	○	○	○	○	○	○
		出力	—	0	0	0/1												
	ANI4	アナログ入力	—	1	1	×	—	—	—	—	—	○	○	○	○	○	○	○
P25	P25	入力	—	0	1	×	—	—	—	—	—	○	○	○	○	○	○	○
		出力	—	0	0	0/1												
	ANI5	アナログ入力	—	1	1	×	—	—	—	—	—	○	○	○	○	○	○	○
P26	P26	入力	—	0	1	×	—	—	—	—	—	○	○	○	○	○	○	○
		出力	—	0	0	0/1												
	ANI6	アナログ入力	—	1	1	×	—	—	—	—	—	○	○	○	○	○	○	○
P27	P27	入力	—	0	1	×	—	—	—	—	—	—	○	○	○	○	○	○
		出力	—	0	0	0/1												
	ANI7	アナログ入力	—	1	1	×	—	—	—	—	—	—	○	○	○	○	○	○

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (11/22)

端子名称	使用機能		PIORx	POMxx	PMxx	Px	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力					SAU, DALI	SAU, DALI以外											
P30	P30	入力	—	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○	
		出力	—	0	0	0/1	SCK00/SCL00 = 1, (TxD1) = 1注1	RTC1HZ = 0, TRJ00 = 0, (TRDIOB1) = 0注2, (VCOUT1) = 0	—	—	—	○	○	○	○	○	○	○	
		Nch-OD出力	—	1	0	0/1													
	INTP3	入力	PIOR00 = 0 注3	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○	○
	RTC1HZ	出力	—	0	0	0	SCK00/SCL00 = 1, (TxD1) = 1注1	TRJ00 = 0, (TRDIOB1) = 0注2, (VCOUT1) = 0	—	—	—	○	○	○	○	○	○	○	○
	SCK00	入力	PIOR01 = 0	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○	○
		出力		0/1	0	1	x	RTC1HZ = 0, TRJ00 = 0, (TRDIOB1) = 0注2, (VCOUT1) = 0	—	—	—	○	○	○	○	○	○	○	○
	SCL00	出力	PIOR01 = 0	0/1	0	1	x	RTC1HZ = 0, TRJ00 = 0, (TRDIOB1) = 0注2, (VCOUT1) = 0	—	—	—	○	○	○	○	○	○	○	○
	TRJ00	出力	PIOR13, PIOR12 = 00B	0	0	0	SCK00/SCL00 = 1, (TxD1) = 1注1	RTC1HZ = 0, (TRDIOB1) = 0注2, (VCOUT1) = 0	—	—	—	○	○	○	○	○	○	○	○
	(TxD1)	出力	PIOR05 = 1	0/1	0	1	x	RTC1HZ = 0, TRJ00 = 0, (TRDIOB1) = 0注2, (VCOUT1) = 0	—	—	—	○	○	—	—	—	—	—	—
	(TRDIOB1)	入力	PIOR23 = 1	x	1	x	x	x	—	—	—	○	○	○	○	—	—	—	—
		出力		0	0	0	SCK00/SCL00 = 1, (TxD1) = 1注1	RTC1HZ = 0, TRJ00 = 0, (VCOUT1) = 0	—	—	—	○	○	○	○	—	—	—	—
(VCOUT1)	出力	PIOR31 = 1	0	0	0	SCK00/SCL00 = 1, (TxD1) = 1注1	RTC1HZ = 0, TRJ00 = 0, (TRDIOB1) = 0	—	—	—	○	○	○	○	○	○	○	○	

注1. 30～32ピン製品のみ

注2. 30～44ピン製品のみ

注3. 64ピン製品のみ

★ 表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (12/22)

端子 名称	使用機能		PIORx	POMxx	PMxx	Px	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力					SAU, DALI	SAU, DALI 以外											
P31	P31	入力	—	—	1	x	—	x	—	—	—	○	○	○	○	○	○	○	○
		出力	—	—	0	0/1	—	TO03 = 0, PCLBUZ0 = 0注1, (PCLBUZ0) = 0注2, (TRJIO0) = 0, (VCOU0) = 0	—	—	—	○	○	○	○	○	○	○	○
	TI03	入力	PIOR34 = 0	—	1	x	—	x	—	—	—	○	○	○	○	○	○	○	○
	TO03	出力	PIOR34 = 0	—	0	0	—	PCLBUZ0 = 0注1, (PCLBUZ0) = 0注2, (TRJIO0) = 0, (VCOU0) = 0	—	—	—	○	○	○	○	○	○	○	○
	INTP4	入力	PIOR00 = 0 注3	—	1	x	—	x	—	—	—	○	○	○	○	○	○	○	○
	(TRJIO0)	入力	PIOR11, PIOR10 = 01B	—	1	x	—	x	—	—	—	○	○	○	○	○	○	○	○
		出力	—	—	0	0	—	TO03 = 0, PCLBUZ0 = 0注1, (PCLBUZ0) = 0注2, (VCOU0) = 0	—	—	—	○	○	○	○	○	○	○	○
	PCLBUZ0	出力	—	—	0	0	—	TO03 = 0, (PCLBUZ0) = 0注2, (TRJIO0) = 0, (VCOU0) = 0	—	—	—	○	○	○	○	—	—	—	—
	(PCLBUZ0)	出力	PIOR03 = 1	—	0	0	—	TO03 = 0, PCLBUZ0 = 0注1, (TRJIO0) = 0, (VCOU0) = 0	—	—	—	—	—	—	—	○	○	○	○
	SSI00	入力	—	—	1	x	—	x	—	—	—	○	—	—	—	—	—	—	—
	(RxD1)	入力	PIOR05 = 1	—	1	x	—	x	—	—	—	○	○	—	—	—	—	—	—
(VCOU0)	出力	PIOR30 = 1	—	0	0	—	TO03 = 0, PCLBUZ0 = 0注1, (PCLBUZ0) = 0注2, (TRJIO0) = 0	—	—	—	○	○	○	○	○	○	○	○	

注1. 30～44ピン製品のみ

注2. 48～64ピン製品のみ

注3. 64ピン製品のみ

表7 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (13/22)

端子 名称	使用機能		PIORx	POMxx	PMxx	Px	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力					SAU, DALI	SAU, DALI 以外											
P40	P40	入力	—	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0/1	—	—											
P41	P41	入力	—	—	1	x	—	x	—	—	—	—	—	—	—	○	○	○	○
		出力	—	—	0	0/1	—	(TRJIO0) = 0											
	(TRJIO0)	入力	PIOR11, PIOR10 = 10B	—	1	x	—	x	—	—	—	—	—	—	—	○	○	○	○
		出力	—	—	0	0	—	x											
P42	P42	入力	—	—	1	x	—	—	—	—	—	—	—	—	—	—	—	—	○
		出力	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—	—	—	—
	(INTP8)	入力	PIOR00 = 1	—	1	x	—	—	—	—	—	—	—	—	—	—	—	—	○
P43	P43	入力	—	—	1	x	—	—	—	—	—	—	—	—	—	—	—	—	○
		出力	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—	—	—	—
	(INTP9)	入力	PIOR00 = 1	—	1	x	—	—	—	—	—	—	—	—	—	—	—	—	○

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (14/22)

端子 名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン			
	機能名称	入出力					SAU, DALI	SAU, DALI以外													
P50	P50	入力	—	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○	○		
		出力	—	0	0	0/1	SDA00 = 1	TRGIOA = 0, (TRJ00) = 0, (TRDI0C1) = 0 ^{注1} , (VCOUT3) = 0													
		N-ch O.D. 出力	—	1	0	0/1															
	INTP1	入力	PIOR00 = 0 注2	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○	○	○	
	SI00	入力	PIOR01 = 0	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○	○	○	
	RxD0	入力	PIOR01 = 0, PIOR06 = 0	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○	○	○	
	DALIRxD0	入力	PIOR37 = 0	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○	○	○	
	SDA00	入出力	PIOR01 = 0	1	0	1	x	TRGIOA = 0, (TRJ00) = 0, (TRDI0C1) = 0 ^{注1} , (VCOUT3) = 0	—	—	—	○	○	○	○	○	○	○	○	○	
	TRGIOA	入力	PIOR20 = 0	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○	○	○	
		出力					SDA00 = 1	(TRJ00) = 0, (TRDI0C1) = 0 ^{注1} , (VCOUT3) = 0													
	(TRJ00)	出力	PIOR13, PIOR12 = 01B	0	0	0	SDA00 = 1	TRGIOA = 0, (TRDI0C1) = 0 ^{注1} , (VCOUT3) = 0	—	—	—	○	○	○	○	○	○	○	○	○	○
	(TI03)	入力	PIOR34 = 1	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○	○	○	○
	(TRDI0C1)	入力	PIOR24 = 1	x	1	x	x	x	—	—	—	○	○	—	—	—	—	—	—	—	—
		出力					SDA00 = 1	TRGIOA = 0, (TRJ00) = 0, (VCOUT3) = 0													
(VCOUT3)	出力	PIOR33 = 1	0	0	0	SDA00 = 1	TRGIOA = 0, (TRJ00) = 0, (TRDI0C1) = 0 ^{注1}	—	—	—	○	○	○	○	○	○	○	○	○	○	

注1. 30～32ピン製品のみ

注2. 64ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (15/22)

端子名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力					SAU, DALI	SAU, DALI以外										
P51	P51	入力	—	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○
		出力	—	0	0	0/1	TxD0/SO00 = 1, DALITxD0 = 1	TRGIOB = 0, (TRDIOD1) = 0 ^{注1} , (VCOUT2) = 0	—	—	—	○	○	○	○	○	○	○
		N-ch O.D. 出力	—	1	0	0/1												
	INTP2	入力	PIOR00 = 0 ^{注2}	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○
	SO00	出力	PIOR01 = 0	0/1	0	1	x	TRGIOB = 0, (TRDIOD1) = 0 ^{注1} , (VCOUT2) = 0	—	—	—	○	○	○	○	○	○	○
	TxD0	出力	PIOR01 = 0, PIOR06 = 0	0/1	0	1	x	TRGIOB = 0, (TRDIOD1) = 0 ^{注1} , (VCOUT2) = 0	—	—	—	○	○	○	○	○	○	○
	DALITxD0	出力	PIOR37 = 0	0/1	0	1	x	TRGIOB = 0, (TRDIOD1) = 0 ^{注1} , (VCOUT2) = 0	—	—	—	○	○	○	○	○	○	○
	TRGIOB	入力	PIOR20 = 0	x	1	x	x	x	—	—	—	○	○	○	○	○	○	○
		出力		0	0	0	TxD0/SO00 = 1, DALITxD0 = 1	(TRDIOD1) = 0 ^{注1} , (VCOUT2) = 0	—	—	—	○	○	○	○	○	○	○
	(TRDIOD1)	入力	PIOR25 = 1	x	1	x	x	x	—	—	—	○	○	○	○	—	—	—
出力		0		0	0	TxD0/SO00 = 1, DALITxD0 = 1	TRGIOB = 0, (VCOUT2) = 0	—	—	—	○	○	○	○	○	○	○	
(VCOUT2)	出力	PIOR32 = 1	0	0	0	TxD0/SO00 = 1, DALITxD0 = 1	TRGIOB = 0, (TRDIOD1) = 0 ^{注1}	—	—	—	○	○	○	○	○	○	○	
P52	P52	入力	—	—	1	x	—	—	—	—	—	—	—	—	—	—	—	○
		出力	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—	—	○
	(INTP1)	入力	PIOR00 = 1	—	1	x	—	—	—	—	—	—	—	—	—	—	—	○
P53	P53	入力	—	—	1	x	—	—	—	—	—	—	—	—	—	—	—	○
		出力	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—	—	○
	(INTP2)	入力	PIOR00 = 1	—	1	x	—	—	—	—	—	—	—	—	—	—	—	○
P54	P54	入力	—	—	1	x	—	—	—	—	—	—	—	—	—	—	—	○
		出力	—	—	0	0/1	—	—	—	—	—	—	—	—	—	—	—	○
	(INTP3)	入力	PIOR00 = 1	—	1	x	—	—	—	—	—	—	—	—	—	—	—	○
P55	P55	入力	—	x	1	x	x	x	—	—	—	—	—	—	—	—	—	○
		出力	—	0	0	0/1	(SCK00) = 1	(PCLBUZ1) = 0	—	—	—	—	—	—	—	—	—	
		N-ch O.D. 出力	—	1	0	0/1												
	(INTP4)	入力	PIOR00 = 1	x	1	x	x	x	—	—	—	—	—	—	—	—	—	○
	(PCLBUZ1)	出力	PIOR04 = 1	0	0	0	x	x	—	—	—	—	—	—	—	—	—	○
	(SCK00)	入力	PIOR01 = 1	x	1	x	x	x	—	—	—	—	—	—	—	—	—	—
出力		0/1		0	1	x	(PCLBUZ1) = 0	—	—	—	—	—	—	—	—	—	○	

注1. 30～44ピン製品のみ

注2. 64ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (16/22)

端子名称	使用機能		PIORx	CCDE	CCSx	PMxx	Pxx	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力						SAU, DALI	SAU, DALI 以外											
P60	P60	入力	—	CCDE04 = 0	CCS4[2:0] = 000B	1	x	—	x	—	—	—	○	○	○	○	○	○	○	○
		N-ch O.D. 出力 [6 V 耐圧]	—	CCDE04 = 0	CCS4[2:0] = 000B	0	0/1	—	SCLA0 = 0	—	—	—	—	—	—	—	—	—	—	—
	CCD04	出力	—	CCDE04 = 1	CCS4[2:0] = 001B-100B	0	0	—	SCLA0 = 0	—	—	—	○	○	○	○	○	○	○	○
	SCLA0	入出力	PIOR02 = 0	CCDE04 = 0	CCS4[2:0] = 000B	0	0	—	x	—	—	—	○	○	○	○	○	○	○	○
P61	P61	入力	—	CCDE05 = 0	CCS5[2:0] = 000B	1	x	—	x	—	—	—	○	○	○	○	○	○	○	○
		N-ch O.D. 出力 [6 V 耐圧]	—	CCDE05 = 0	CCS5[2:0] = 000B	0	0/1	—	SDAA0 = 0	—	—	—	—	—	—	—	—	—	—	—
	CCD05	出力	—	CCDE05 = 1	CCS5[2:0] = 001B-100B	0	0	—	SDAA0 = 0	—	—	—	○	○	○	○	○	○	○	○
	SDAA0	入出力	PIOR02 = 0	CCDE05 = 0	CCS5[2:0] = 000B	0	0	—	x	—	—	—	○	○	○	○	○	○	○	○
P62	P62	入力	—	CCDE02 = 0	CCS0[2:0] = 000B	1	x	—	x	—	—	—	—	○	○	○	○	○	○	○
		出力	—	CCDE02 = 0	CCS0[2:0] = 000B	0	0/1	—	x	—	—	—	—	—	—	—	—	—	—	—
	CCD02	出力	—	CCDE02 = 1	CCS0[2:0] = 001B-011B	0	0	—	x	—	—	—	—	○	○	○	○	○	○	○
	SSI00	入力	—	CCDE02 = 0	CCS0[2:0] = 000B	1	x	—	x	—	—	—	—	○	○	○	○	○	○	○
P63	P63	入力	—	CCDE03 = 0	CCS0[2:0] = 000B	1	x	—	x	—	—	—	—	—	—	—	○	○	○	○
		出力	—	CCDE03 = 0	CCS0[2:0] = 000B	0	0/1	—	x	—	—	—	—	—	—	—	—	—	—	—
	CCD03	出力	—	CCDE03 = 1	CCS0[2:0] = 001B-011B	0	0	—	x	—	—	—	—	—	—	○	○	○	○	○

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (17/22)

端子名称	使用機能		PIORx	POMxx	PMxx	Px	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	40ピン	44ピン	48ピン	52ピン	64ピン		
	機能名称	入出力					SAU, DALI	SAU, DALI以外												
P70	P70	入力	—	—	1	x	x	x	—	—	—	—	○	○	○	○	○	○	○	
		出力	—	—	0	0/1	SCK21/SCL21 = 1注1	(TRDIOB0) = 0	—	—	—	—	—	○	○	○	○	○	○	
	KR0	入力	—	—	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	○
		出力	—	—	0	1	x	(TRDIOB0) = 0	—	—	—	—	—	○	○	○	○	○	○	○
	SCL21	出力	—	—	0	1	x	(TRDIOB0) = 0	—	—	—	—	—	○	○	○	○	○	○	○
		(TRDIOB0)	入力	PIOR21 = 1	—	1	x	x	x	—	—	—	—	○	○	○	○	○	○	○
	出力	—	0		0	SCK21/SCL21 = 1注1	x	—	—	—	—	—	—	○	○	○	○	○	○	
	P71	P71	入力	—	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○
出力			—	0	0	0/1	SDA21 = 1	(TO01) = 0, (TRDIOD0) = 0	—	—	—	—	—	○	○	○	○	○	○	
N-ch O.D. 出力			—	1	0	0/1			—	—	—	—	—	○	○	○	○	○	○	
KR1		入力	—	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	
SI21		入力	—	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	
SDA21		入出力	—	1	0	1	x	(TO01) = 0, (TRDIOD0) = 0	—	—	—	—	—	○	○	○	○	○	○	
(TI01)		入力	PIOR35 = 1	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	
(TO01)		出力	PIOR35 = 1	0	0	0	SDA21 = 1	(TRDIOD0) = 0	—	—	—	—	—	○	○	○	○	○	○	
(TRDIOD0)	入力	PIOR26 = 1	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	○	
	出力		0	0	0	SDA21 = 1	(TO01) = 0	—	—	—	—	—	—	○	○	○	○	○	○	
P72	P72	入力	—	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	
		出力	—	0	0	0/1	SO21 = 1	(TRDIOA1) = 0	—	—	—	—	—	○	○	○	○	○	○	
		N-ch O.D. 出力	—	1	0	0/1			—	—	—	—	—	○	○	○	○	○	○	
	KR2	入力	—	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	
	SO21	出力	—	0/1	0	1	x	(TRDIOA1) = 0	—	—	—	—	—	○	○	○	○	○	○	
	(TxD1)	出力	PIOR05 = 1	0/1	0	1	SO21 = 1	x	—	—	—	—	—	○	○	○	○	○	○	
	(TRDIOA1)	入力	PIOR22 = 1	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	○
出力		0		0	0	x	x	—	—	—	—	—	—	○	○	○	○	○	○	
P73	P73	入力	—	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	
		出力	—	0	0	0/1	SO01 = 1注2	(TRDIOC1) = 0	—	—	—	—	—	○	○	○	○	○	○	
		N-ch O.D. 出力	—	1	0	0/1			—	—	—	—	—	○	○	○	○	○	○	
	KR3	入力	—	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	
	SO01	出力	—	0/1	0	1	x	(TRDIOC1) = 0	—	—	—	—	—	○	○	○	○	○	○	
	(RxD1)	入力	PIOR05 = 1	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	
(TRDIOC1)	入力	PIOR24 = 1	x	1	x	x	x	—	—	—	—	—	○	○	○	○	○	○	○	
	出力		0	0	0	SO01 = 1注2	x	—	—	—	—	—	—	○	○	○	○	○	○	

注1. 40～64ピン製品のみ

注2. 48～64ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (18/22)

端子名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		20ピン	24ピン	25ピン	30ピン	32ピン	40ピン	44ピン	48ピン	52ピン	64ピン		
	機能名称	入出力					SAU, DALI	SAU, DALI以外												
P74	P74	入力	—	x	1	x	x	x	—	—	—	—	—	—	—	—	○	○	○	
		出力	—	0	0	0/1	SDA01 = 1	(TRDIOB1) = 0												
		N-ch O.D. 出力	—	1	0	0/1														
	KR4	入力	—	x	1	x	x	x	—	—	—	—	—	—	—	—	○	○	○	
	INTP8	入力	PIOR00 = 0注	x	1	x	x	x	—	—	—	—	—	—	—	—	○	○	○	
	SI01	入力	—	x	1	x	x	x	—	—	—	—	—	—	—	—	○	○	○	
	SDA01	入出力	—	1	0	1	x	(TRDIOB1) = 0	—	—	—	—	—	—	—	—	○	○	○	
	(TRDIOB1)	入力	PIOR23 = 1	x	1	x	x	x	—	—	—	—	—	—	—	—	○	○	○	
	出力		0	0	0	SDA01 = 1	x													
P75	P75	入力	—	—	1	x	x	x	—	—	—	—	—	—	—	—	○	○	○	
		出力	—	—	0	0/1	SCK01/SCL01 = 1	(TRDIOD1) = 0												
	KR5	入力	—	—	1	x	x	x	—	—	—	—	—	—	—	—	○	○	○	
	INTP9	入力	PIOR00 = 0注	—	1	x	x	x	—	—	—	—	—	—	—	—	○	○	○	
	SCK01	入力	—	—	1	x	x	x	—	—	—	—	—	—	—	—	○	○	○	
		出力	—	—	0	1	x	(TRDIOD1) = 0	—	—	—	—	—	—	—	—	○	○	○	
	SCL01	出力	—	—	0	1	x	(TRDIOD1) = 0	—	—	—	—	—	—	—	—	○	○	○	
	(TRDIOD1)	入力	PIOR25 = 1	—	1	x	x	x	—	—	—	—	—	—	—	—	○	○	○	
出力			—	0	0	SCK01/SCL01 = 1	x													
P76	P76	入力	—	—	1	x	—	—	—	—	—	—	—	—	—	—	○	○		
		出力	—	—	0	0/1	—	—												
	KR6	入力	—	—	1	x	—	—	—	—	—	—	—	—	—	—	○	○		
	INTP10	入力	PIOR01 = 0	—	1	x	—	—	—	—	—	—	—	—	—	—	○	○		
	(RxD2)	入力	PIOR07 = 1	—	1	x	—	—	—	—	—	—	—	—	—	—	○	○		
P77	P77	入力	—	—	1	x	x	—	—	—	—	—	—	—	—	—	○	○		
		出力	—	—	0	0/1	(TxD2) = 1	—												
	KR7	入力	—	—	1	x	x	—	—	—	—	—	—	—	—	—	○	○		
	INTP11	入力	PIOR01 = 0	—	1	x	x	—	—	—	—	—	—	—	—	—	○	○		
	(TxD2)	出力	PIOR07 = 1	—	0	1	x	—	—	—	—	—	—	—	—	—	○	○		

注 64ピン製品のみ

備考 N-ch O.D. : N-chオープン・ドレイン

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (19/22)

端子 名称	使用機能		PIORx	POMxx	PMCAxx	PMxx	Pxx	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン			
	機能名称	入出力						SAU, DALI	SAU, DALI以外													
P120	P120	入力	—	—	0	1	*	—	*	○	○	○	○	○	○	○	○	○	○	○		
		出力	—	—	0	0	0/1	—	TO02 = 0注													
	ANI19	アナログ入力	—	—	1	1	*	—	*	○	○	○	○	○	○	○	○	○	○	○	○	
	IVCMP0	アナログ入力	—	—	1	1	*	—	*	○	○	○	○	○	○	○	○	○	○	○	○	
	PGA10	アナログ入力	—	—	1	1	*	—	*	○	○	○	○	○	○	○	○	○	○	○	○	
	(TI02)	入力	PIOR36 = 1注	—	0	1	*	—	*	○	○	○	○	○	—	—	—	—	—	—	—	
	(TO02)	出力	PIOR36 = 1注	—	0	0	0	—	*	○	○	○	○	○	—	—	—	—	—	—	—	
	TRGIDZ	入力	—	—	0	1	*	—	*	○	○	○	○	○	○	○	○	○	○	○	○	○
	TRGTRG	入力	—	—	0	1	*	—	*	○	○	○	○	○	○	○	○	○	○	○	○	○

注 20～32ピン製品のみ

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (20/22)

端子名称	使用機能		PIORx	CMC		PMxx	Pxx	20ピン	24ピン	25ピン	30ピン	32ピン	40ピン	44ピン	48ピン	52ピン	64ピン	
	機能名称	入出力		EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL													
P121	P121	入力	-	00xxB/10xxB/11xxB	0	1	x	-	○	○	○	○	○	○	○	○	○	
				xx00B/xx10B/xx11B	1注													
		出力	-	-	00xxB/10xxB/11xxB	0	0	0/1										
					xx00B/xx10B/xx11B	1注												
	VBAT	入力	-	-	00xxB/10xxB/11xxB	0	0	1	-	-	-	-	○	○	○	○	○	○
	X1	-	-	-	01xxB	0	1	x	-	○	○	○	○	○	○	○	○	○
	XT1	-	-	-	xx01B	1	1	x	-	○	○	○	○	-	-	-	-	-
	INTP21	入力	-	-	00xxB/10xxB/11xxB	0	1	x	-	○	○	○	○	○	○	○	○	○
					xx00B/xx10B/xx11B	1注												
	(TI02)	入力	-	PIOR36 = 1	00xxB/10xxB/11xxB	0	1	x	-	-	-	-	-	○	○	○	○	○
xx00B/xx10B/xx11B					1注													
(TO02)	出力	-	PIOR36 = 1	00xxB/10xxB/11xxB	0	0	0	-	-	-	-	-	○	○	○	○	○	
				xx00B/xx10B/xx11B	1注													
P122	P122	入力	-	00xxB/10xxB	0	1	x	○	○	○	○	○	○	○	○	○	○	
				xx00B/xx10B	1注													
		出力	-	-	00xxB/10xxB	0	0	0/1										
					xx00B/xx10B	1注												
	X2	-	-	-	01xxB	0	1	x	-	○	○	○	○	○	○	○	○	○
	XT2	-	-	-	xx01B	1	1	x	-	○	○	○	○	-	-	-	-	-
	EXCLK	入力	-	-	11xxB	0	1	x	○	○	○	○	○	○	○	○	○	○
	EXCLKS	入力	-	-	xx11B	1	1	x	○	○	○	○	○	-	-	-	-	-
	INTP20	入力	-	-	00xxB/10xxB	0	1	x	○	○	○	○	○	○	○	○	○	○
					xx00B/xx10B	1注												
(TO00)	出力	-	PIOR36 = 1	00xxB/10xxB	0	0	0	○	○	○	○	○	○	○	○	○	○	
				xx00B/xx10B	1注													
P123	P123	入力	-	xx00B/xx10B/xx11B	0	-	x	-	-	-	-	-	○	○	○	○	○	
	XT1	-	-	xx01B	0	-	x	-	-	-	-	-	○	○	○	○	○	
P124	P124	入力	-	xx00B/xx10B	0	-	x	-	-	-	-	-	○	○	○	○	○	
	XT2	-	-	xx01B	0	-	x	-	-	-	-	-	○	○	○	○	○	
	EXCLKS	入力	-	xx11B	0	-	x	-	-	-	-	-	○	○	○	○	○	

注 24～32ピン製品のみ

表7 - 5 端子機能使用時のレジスタ、出力ラッチの設定例 (21/22)

端子名称	使用機能		PMxx	Pxx	20ピン	24ピン	25ピン	30ピン	32ピン	40ピン	44ピン	48ピン	52ピン	64ピン
	機能名称	入出力												
P130	P130	出力	—	0/1	—	—	○	—	—	—	—	○	○	○
P137	P137	入力	—	×	○	○	○	○	○	○	○	○	○	○
	INTP0	入力	—	×	○	○	○	○	○	○	○	○	○	○

表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (22/22)

端子名称	使用機能		PIORx	POMxx	PMCAxx	PMxx	Pxx	兼用機能出力		20 ピン	24 ピン	25 ピン	30 ピン	32 ピン	40 ピン	44 ピン	48 ピン	52 ピン	64 ピン	
	機能名称	入出力						SAU, DALI	SAU, DALI以外											
P140	P140	入力	—	—	—	1	x	—	x	—	—	—	—	—	—	—	—	—	—	—
		出力	—	—	—	0	0/1	—	PCLBUZ0 = 0	—	—	—	—	—	—	—	—	—	—	—
	PCLBUZ0	出力	PIOR03 = 0	—	—	0	0	—	x	—	—	—	—	—	—	—	—	—	—	—
	INTP6	入力	PIOR06 = 0	—	—	1	x	—	x	—	—	—	—	—	—	—	—	—	—	—
P141	P141	入力	—	—	—	1	x	—	x	—	—	—	—	—	—	—	—	—	—	—
		出力	—	—	—	0	0/1	—	PCLBUZ1 = 0	—	—	—	—	—	—	—	—	—	—	—
	PCLBUZ1	出力	PIOR04 = 0	—	—	0	0	—	x	—	—	—	—	—	—	—	—	—	—	—
	INTP7	入力	PIOR06 = 0	—	—	1	x	—	x	—	—	—	—	—	—	—	—	—	—	—
P146	P146	入力	—	—	0	1	x	—	—	—	—	—	—	—	—	—	—	—	—	—
		出力	—	—	0	0	0/1	—	—	—	—	—	—	—	—	—	—	—	—	—
	ANI28	アナログ入力	—	—	1	1	x	—	—	—	—	—	—	—	—	—	—	—	—	—
P147	P147	入力	—	—	0	1	x	—	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—	—	—	—	—	—	—	—	—	—	—	—
	ANI18	アナログ入力	—	—	1	1	x	—	—	—	○	○	○	○	○	○	○	○	○	○
	ANO2	アナログ出力	—	—	1	1	x	—	—	—	—	○	○	○	○	○	○	○	○	○
	IVCMP3	アナログ入力	—	—	1	1	x	—	—	—	—	○	○	○	○	○	○	○	○	○
	PGA13	アナログ入力	—	—	1	1	x	—	—	—	—	○	○	○	○	○	○	○	○	○

7.6 ポート機能使用時の注意事項

7.6.1 ポート・レジスタ (Pxx) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

(例) P10 は出力ポート、P11-P17 は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出力ラッチの値が00Hのとき、出力ポート P10 の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出力ラッチの値は、FFHになります。

説明：PMmn = 1 であるポートの Pxx レジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。1ビット・メモリ操作命令はRL78/G24 内部で、次の順序で行われます。

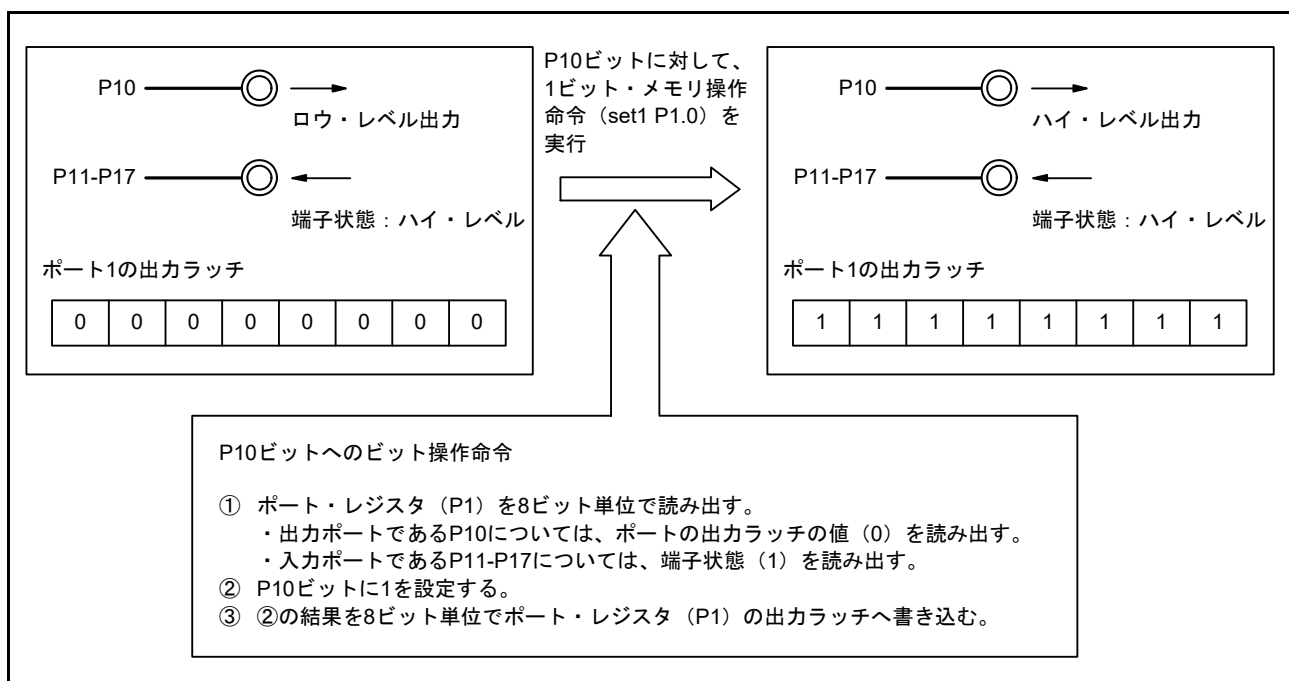
- ① Pxx レジスタを8ビット単位で読み出し
- ② 対象の1ビットを操作
- ③ Pxx レジスタへ8ビット単位で書き込み

①のとき、出力ポートである P10 は出力ラッチの値 (0) を読み出し、入力ポートである P11-P17 は端子状態を読み出します。このとき P11-P17 の端子状態が“ハイ・レベル”とすると、読み出し値は FEH となります。

②の操作で、値は FFH となります。

③の操作で、出力ラッチに FFH が書き込まれます。

図7-16 1ビット・メモリ操作命令 (P10の場合)



7.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺 I/O リダイレクション・レジスタ（PIORx）の設定により、割り当てられた機能も同様です。兼用出力については、**7.5 兼用機能使用時のレジスタ設定**を参照してください。

入力として使用する端子では、兼用機能の出力が無効（バッファ出力が Hi-Z）となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第8章 オペレーション・ステート・コントロール

内部回路の動作電圧、動作タイミング、動作電流は、フラッシュ動作モードによって最適化されます。マイコンの動作電圧範囲やクロック周波数にあわせて、適切なフラッシュ動作モードを選択してください。

リセット解除直後はオプション・バイトで設定されたフラッシュ動作モードで動作します。その後、レジスタの設定によりフラッシュ動作モードを変更できます。

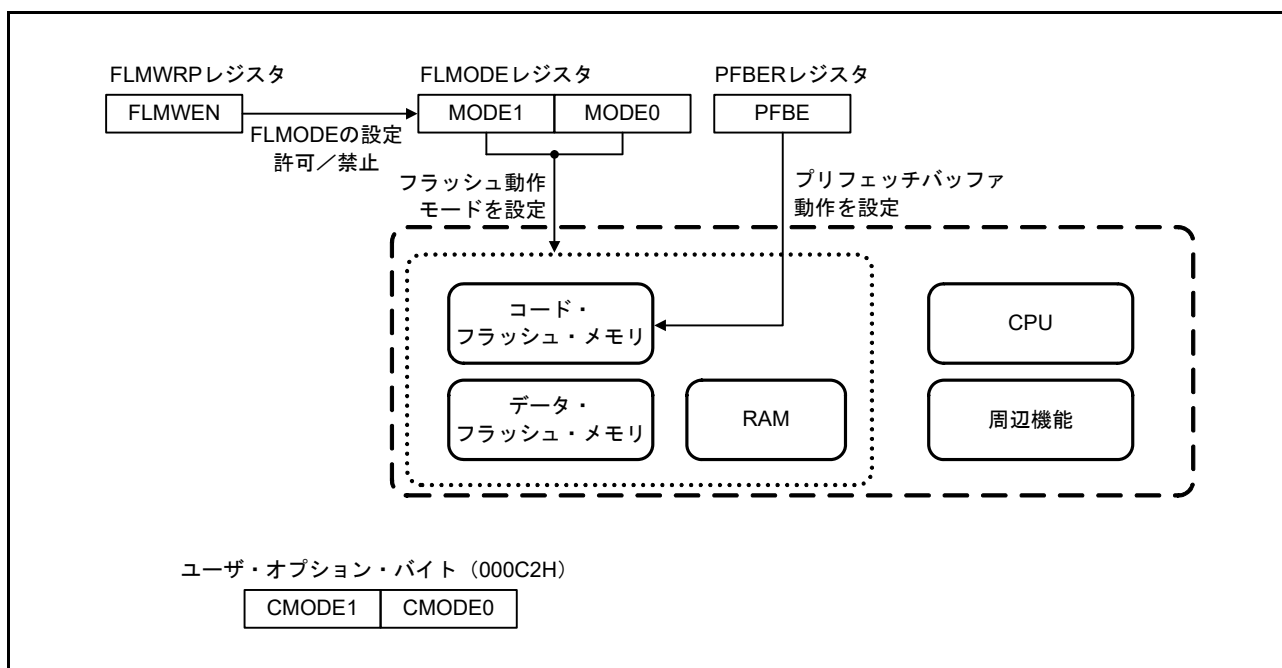
8.1 オペレーション・ステート・コントロールの構成

オペレーション・ステート・コントロールは、次のハードウェアで構成されています。

表8-1 オペレーション・ステート・コントロールの構成

項目	構成
オプション・バイト	・ ユーザ・オプション・バイト アドレス : 000C2H
制御レジスタ	・ フラッシュ動作モード選択レジスタ (FLMODE) ・ フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) ・ プリフェッチバッファファイネブルレジスタ (PFBER)

図8-1 オペレーション・ステート・コントロールの概略図



フラッシュ動作モードは、以下の5つのモードがあります。

- HS（高速メイン）モード（プリフェッチOFF）
- HS（高速メイン）モード（プリフェッチON）
- LS（低速メイン）モード
- LP（低電力メイン）モード
- SUBモード

マイコンの動作環境にあわせてこれらのフラッシュ動作モードを設定することにより、効率よくマイコンを動作させることができます。表8-2に各フラッシュ動作モードの特長を示します。

表8-2 各フラッシュ動作モードの特長

フラッシュ動作モード	推奨動作範囲		説明
HS（高速メイン）モード （プリフェッチOFF）	1.6～1.8 V	1～4 MHz （フラッシュ書き換え不可）	CPUの高速動作（32 MHz (Max.)）が可能なモードです。 CPUの処理能力が必要な場合に最適です。
	1.8～5.5 V	1～32 MHz	
HS（高速メイン）モード （プリフェッチON）	2.4～5.5 V	1～48 MHz	CPUの高速動作（48 MHz (Max.)）が可能なモードです。 プリフェッチバッファを有効にする必要があります。
LS（低速メイン）モード	1.6～1.8 V	1～4 MHz （フラッシュ書き換え不可）	動作電流とCPUの演算処理（24 MHz (Max.)）のバランスのとれたモードです。
	1.8～5.5 V	1～24 MHz	
LP（低電力メイン）モード	1.6～5.5 V	1～2 MHz （フラッシュ書き換え不可）	1～2 MHzで動作するモードです。 1～2 MHzで低動作電流を実現します。
SUBモード	1.6～5.5 V	32.768 kHz （フラッシュ書き換え不可）	サブシステム・クロック ^注 で動作するモードです。 サブシステム・クロックで動作することにより、低動作電流を実現します。

注 サブシステム・クロックX（fsx）または低速オンチップ・オシレータ・クロック（fil）で動作可能

8.2 オペレーション・ステート・コントロールを制御するレジスタ

オペレーション・ステート・コントロールを制御するレジスタを次に示します。

- フラッシュ動作モード選択レジスタ (FLMODE)
- フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)
- プリフェッチバッファイネーブルレジスタ (PFBER)

8.2.1 フラッシュ動作モード選択レジスタ (FLMODE)

FLMODE レジスタは、フラッシュ動作モードを制御する 8 ビットのレジスタです。

FLMODE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) の FLMWEN ビットが 0 のとき、値を変更することはできません。

リセット発生により、MODE1, MODE0 ビットはユーザ・オプション・バイトの CMODE1, CMODE0 ビット (アドレス: 000C2H) に設定した値が反映されます。

図8-2 フラッシュ動作モード選択レジスタ (FLMODE) のフォーマット

アドレス : F00AAH
リセット時: 40H/80H/C0H^注
R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
FLMODE	MODE1	MODE0	0	0	0	0	0	0

MODE1	MODE0	フラッシュ動作モードの選択
0	0	設定禁止
0	1	LP (低電力メイン) モード (LSモードで $1\text{ MHz} \leq f_{\text{CLK}} \leq 2\text{ MHz}$ のときに選択可能です。)
1	0	LS (低速メイン) モード (HSモードで $1\text{ MHz} \leq f_{\text{CLK}} \leq 24\text{ MHz}$ または LPモードのときに選択可能です。)
1	1	HS (高速メイン) モード (LSモードのときに選択可能です。)

注 FLMODE レジスタの初期値は、MODE1, MODE0 ビットにユーザ・オプション・バイトの CMODE1, CMODE0 ビット (アドレス: 000C2H) の設定値が反映された値になります。

注意1. FLMODE レジスタは、フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) の FLMWEN ビットが 1 のとき、値を変更できます。また、FLMODE レジスタの値を変更したあとは FLMWEN ビットに 0 を設定してください。

注意2. システム・クロック制御レジスタ (CKC) の CSS ビットが 1 (CPU/周辺機能がサブシステム・クロック動作) のとき、フラッシュ動作モードは MODE1, MODE0 ビットの設定値によらず、SUB モードになります。

注意3. MODE1, MODE0 ビットの値を DTC で変更しないでください。

注意4. フラッシュ動作モードを変更する場合、変更後のフラッシュ動作モードで動作可能な電圧範囲および動作周波数範囲であることを確認したあと、フラッシュ動作モードを変更してください。

(注意は次ページに続きます)

注意5. MODE1, MODE0ビットでフラッシュ動作モードを変更した場合、フラッシュ動作モードが遷移するまで下記の時間CPUはウェイト状態になります。このウェイト期間中の割り込み要求は保留されます。

フラッシュ動作モード変更時間

フラッシュ動作モードの変更	変更時間
LS (低速メイン) モード⇒HS (高速メイン) モード	225クロック注
LP (低電力メイン) モード⇒LS (低速メイン) モード	10クロック注
LS (低速メイン) モード⇒LP (低電力メイン) モード	10クロック注
HS (高速メイン) モード⇒LS (低速メイン) モード	30クロック注

注 CPU/周辺ハードウェア・クロック (fCLK) のクロック数

注意6. FLMODEレジスタの書き換えはFLMODEレジスタの書き換え後、CPU/周辺ハードウェア・クロック (fCLK) で1クロック以上間を空けてから行ってください。FLMODEレジスタへの連続書き込みはしないでください。

注意7. フラッシュ・メモリの書き換え中にFLMODEレジスタは変更しないでください。

注意8. フラッシュ動作モードを変更する場合、データ・フラッシュ・コントロール・レジスタ (DFLCTL) のDFLENビットを1にセットし、データ・フラッシュのアクセス許可の状態で行ってください。

注意9. セルフ・プログラミングでコード・フラッシュ・メモリ領域を書き換える場合とデータ・フラッシュ・メモリ領域を書き換える場合は、必ずHS (高速メイン) モードまたはLS (低速メイン) モードに切り替えたあとに行ってください。

8.2.2 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)

FLMWRP レジスタは、フラッシュ動作モード選択レジスタへのアクセスを制御する 8 ビットのレジスタです。
FLMWRP レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット発生により、00H になります。

図8-3 フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) のフォーマット

アドレス : F00ABH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
FLMWRP	0	0	0	0	0	0	0	FLMWEN
FLMWEN	フラッシュ動作モード選択レジスタ (FLMODE) の制御							
0	FLMODE レジスタの書き換え禁止							
1	FLMODE レジスタの書き換え許可							

8.2.3 プリフェッチバッファイネーブルレジスタ (PFBER)

PFBER レジスタは、プリフェッチバッファ動作の有効/無効を制御する 8 ビットのレジスタです。

PFBER レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット発生により、00H になります。

図8-4 プリフェッチバッファイネーブルレジスタ (PFBER) のフォーマット

アドレス : F007CH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
PFBER	0	0	0	0	0	0	0	PFBE

PFBE	プリフェッチバッファイネーブルレジスタ (PFBER) の制御
0	プリフェッチバッファ無効
1	プリフェッチバッファ有効

注意1. プリフェッチバッファはHS (高速メイン) モード時のみ有効にしてください。

注意2. プリフェッチバッファを有効にしたあと、変更後のフラッシュ動作モードで動作可能な電圧範囲および動作周波数範囲に変更してください。

注意3. STOPモードに遷移する前はプリフェッチバッファを無効にしてください。

注意4. プリフェッチバッファの有効/無効を切り替えると、CPUは2クロックの間ウエイト状態になります。

注意5. 周辺機能のクロック供給を停止したあとにプリフェッチバッファの有効/無効の切り替えをしてください。

注意6. フラッシュ・リード・プロテクション設定の固定が有効である場合、PFBERレジスタへの書き込みは無効となり、PFBE = 0 (プリフェッチバッファ無効) に固定されます。

8.3 フラッシュ動作モードの初期設定

ユーザ・オプション・バイト (000C2H) は、フラッシュ動作モードと高速オンチップ・オシレータのリセット解除後の初期状態を設定します。

リセット解除時の VDD の電圧と高速オンチップ・オシレータの周波数にあわせて、適切なフラッシュ動作モードを設定してください。

リセット解除時に CMODE1, CMODE0 ビットの値はフラッシュ動作モード選択レジスタ (FLMODE) の MODE1, MODE0 ビットに、FRQSEL4-FRQSEL0 ビットの値は高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) に反映されます。

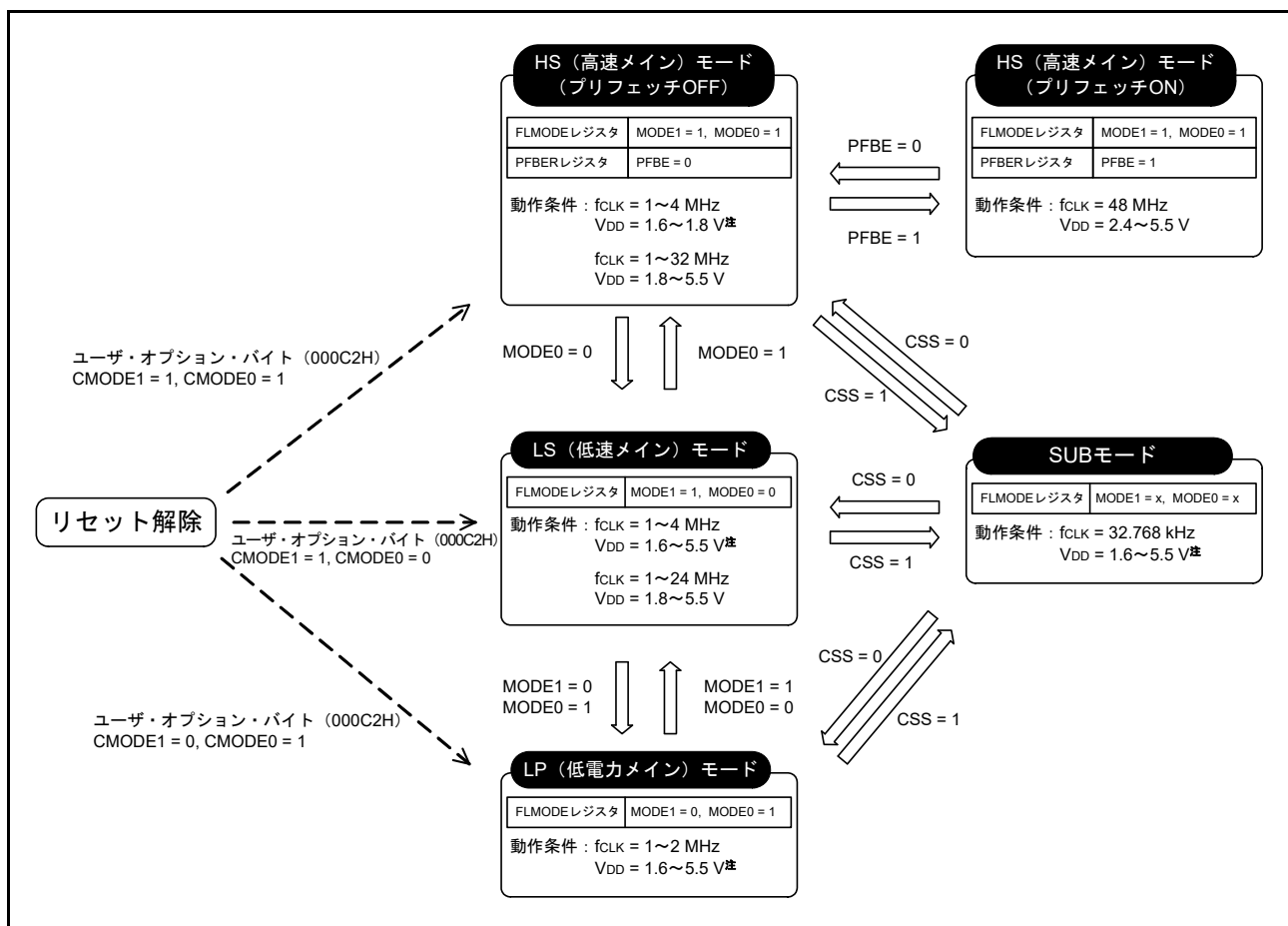
ユーザ・オプション・バイト (000C2H) の詳細は、**第 38 章 オプション・バイト**を参照してください。

8.4 フラッシュ動作モードの遷移

リセット解除直後のフラッシュ動作モードは、ユーザ・オプション・バイト (000C2H) の CMODE1, CMODE0 ビットで設定によって、HS (高速メイン) モード (プリフェッチ OFF)、LS (低速メイン) モード、LP (低電力メイン) モードを選択することができます。また、CMODE1, CMODE0 ビットの値はフラッシュ動作モード選択レジスタ (FLMODE) の MODE1, MODE0 ビットに反映されます。その後は、CPU 動作中に FLMODE レジスタ、および PFBER レジスタの値を変更することによって、フラッシュ動作モードを遷移させることができます。

また CKC レジスタの CSS ビットに 1 を設定することによって、SUB モードに自動的に切り替わります。

図8-5 フラッシュ動作モードの状態遷移



注 フラッシュ書き換え不可

注意 マイコンの動作中にリセットが入った場合、リセット解除後は必ずオプション・バイトで設定したフラッシュ動作モードで動作を開始します。したがって、リセット解除時は、LVDの検出電圧をオプション・バイトに設定したフラッシュ動作モードの動作電圧範囲外で動作を開始しないでください。

8.4.1 フラッシュ・メモリからの命令プリフェッチ

フラッシュ・メモリは、コードの実行を高速化するための命令プリフェッチ機能を提供します。プリフェッチ機能は、プリフェッチバッファを有効にします。プリフェッチバッファを有効にするには、PFBER レジスタの PFBE ビットに 1 を設定します。プリフェッチバッファの切り替え手順は、**図 8-6 プリフェッチバッファ OFF → ON 設定のフロー・チャート (fMAIN に fiH を選択する場合)** ~ **図 8-9 プリフェッチバッファ ON → OFF 設定のフロー・チャート (fMAIN に fPLL を選択している場合)** のフロー・チャートに従って実施してください。

図 8-6 プリフェッチバッファ OFF → ON 設定のフロー・チャート (fMAIN に fiH を選択する場合)

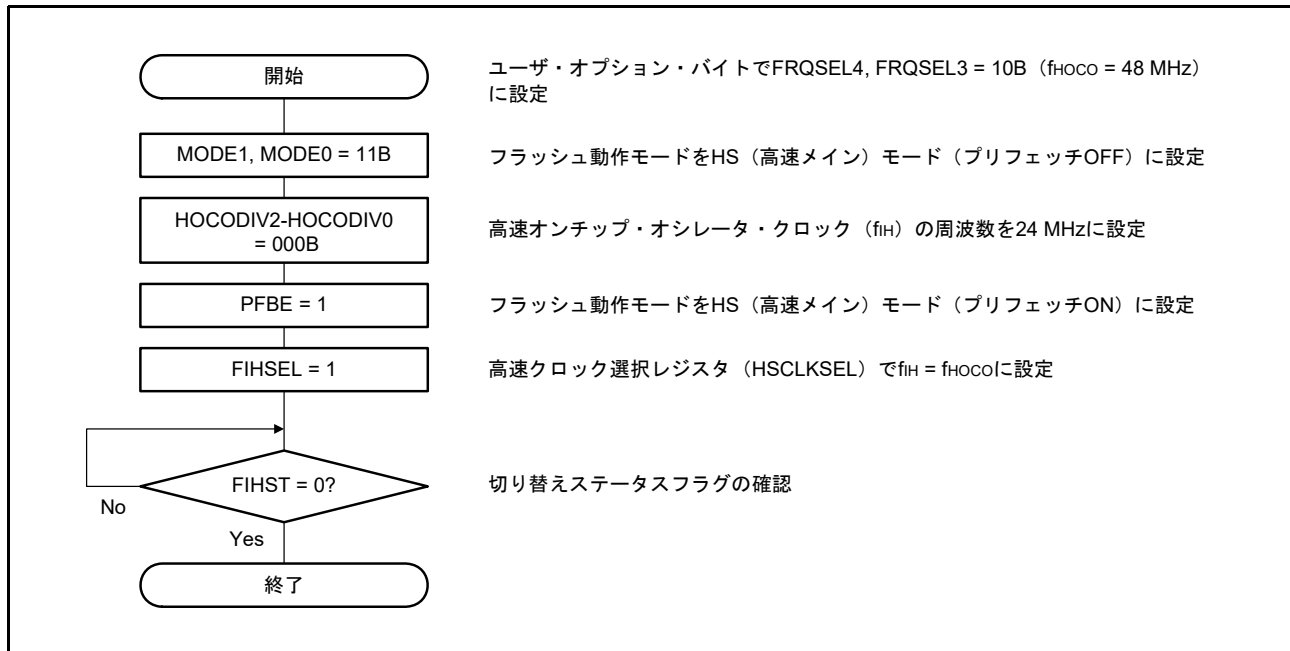


図 8-7 プリフェッチバッファ ON → OFF 設定のフロー・チャート (fMAIN に fiH を選択している場合)

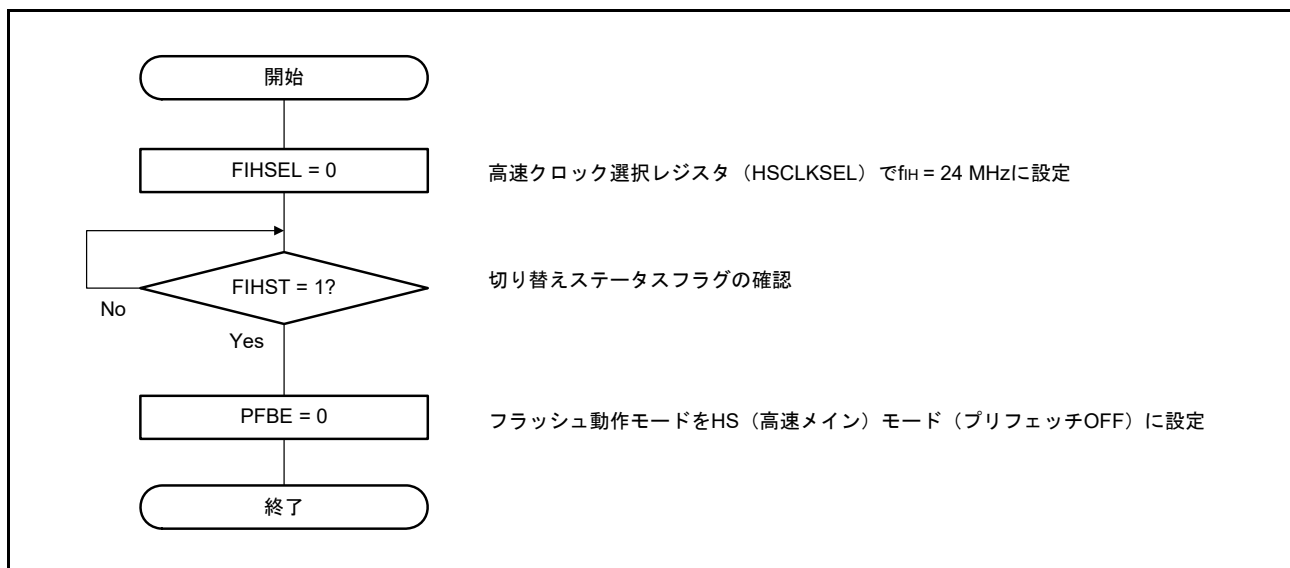


図8 - 8 プリフェッチバッファ OFF→ON設定のフロー・チャート (fMAINにfPLLを選択する場合)

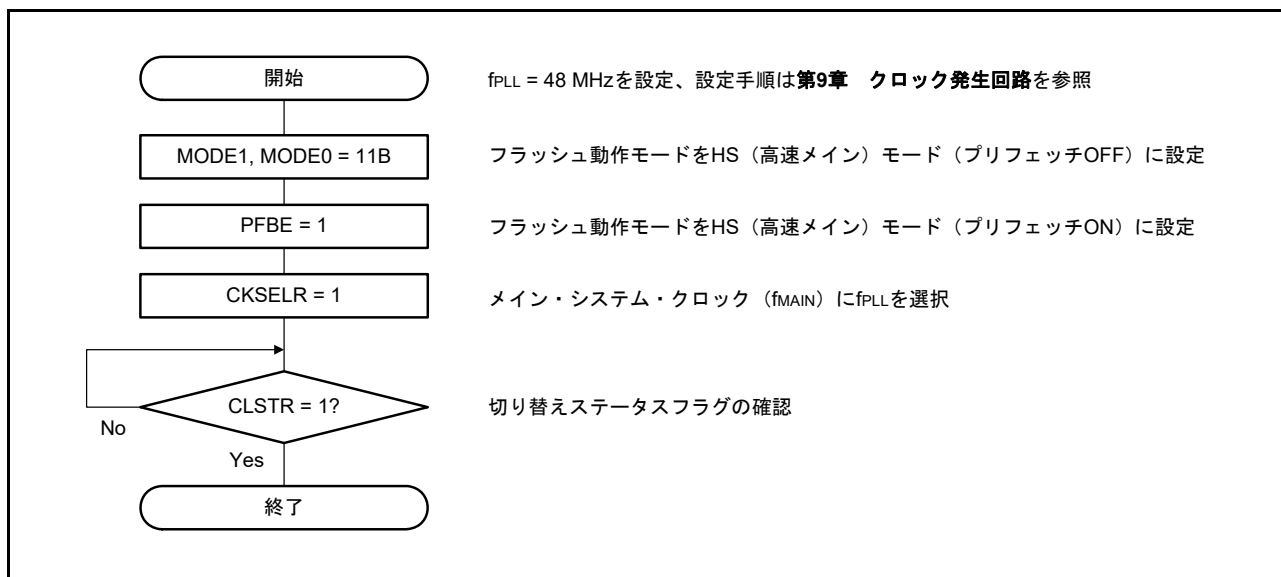
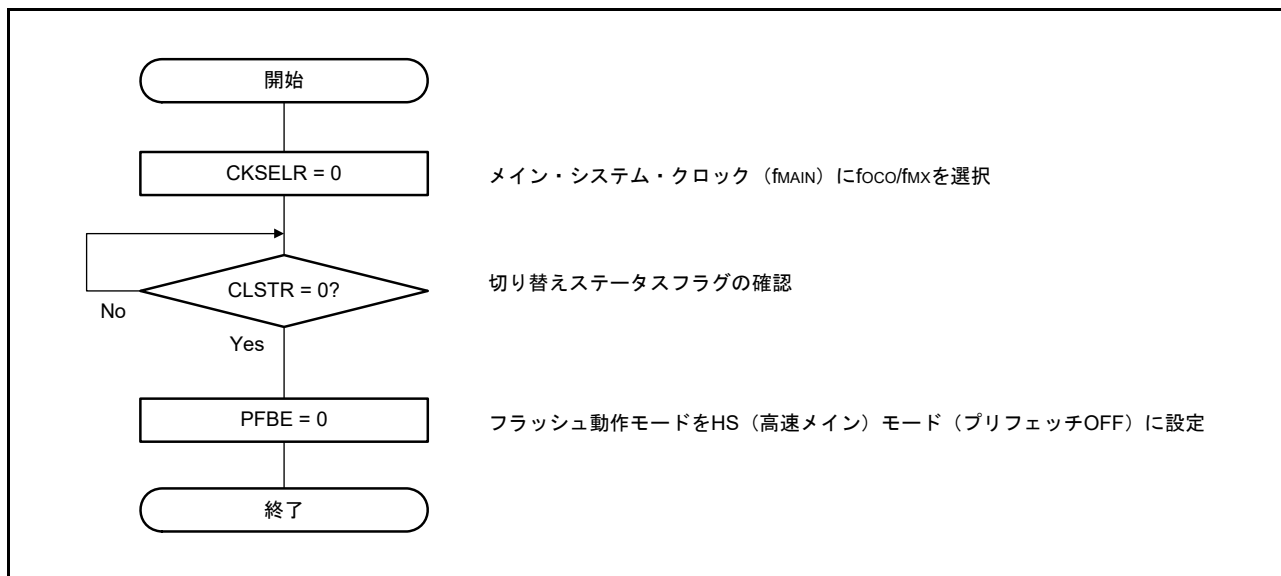


図8 - 9 プリフェッチバッファ ON→OFF設定のフロー・チャート (fMAINにfPLLを選択している場合)



8.5 フラッシュ動作モードの詳細

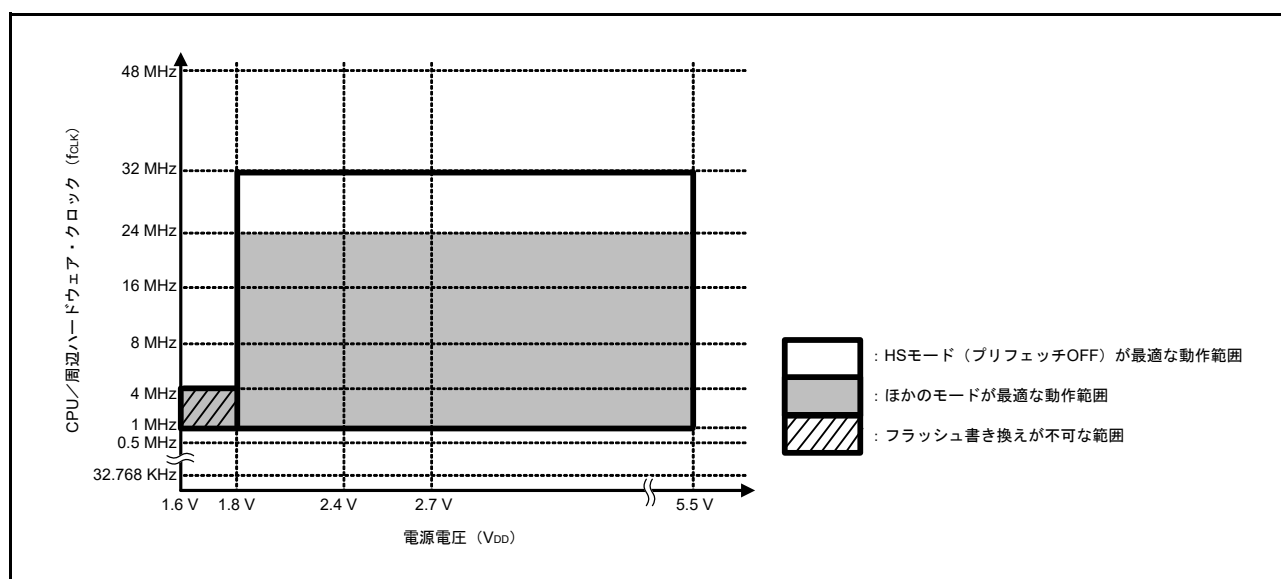
8.5.1 HS（高速メイン）モード（プリフェッチOFF）の詳細

HS（高速メイン）モード（プリフェッチ OFF）は、CPU の高速処理が必要なアプリケーションに最適なモードです。

HS モード（プリフェッチ OFF）は、リセット解除直後から動作可能です。また、LS（低速メイン）モードから遷移することが可能です。

HS モード（プリフェッチ OFF）の最適動作範囲は、電源電圧が $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、動作周波数が $24\text{ MHz} < f_{CLK} \leq 32\text{ MHz}$ のときです。24 MHz 以下で動作させる場合は、その他のモードが最適なフラッシュ動作モードになります。

図8 - 10 HSモード（プリフェッチOFF）の動作範囲



注意 STOP 解除後 20 μ s は FAA 動作と周辺機能の書き換えは禁止です。

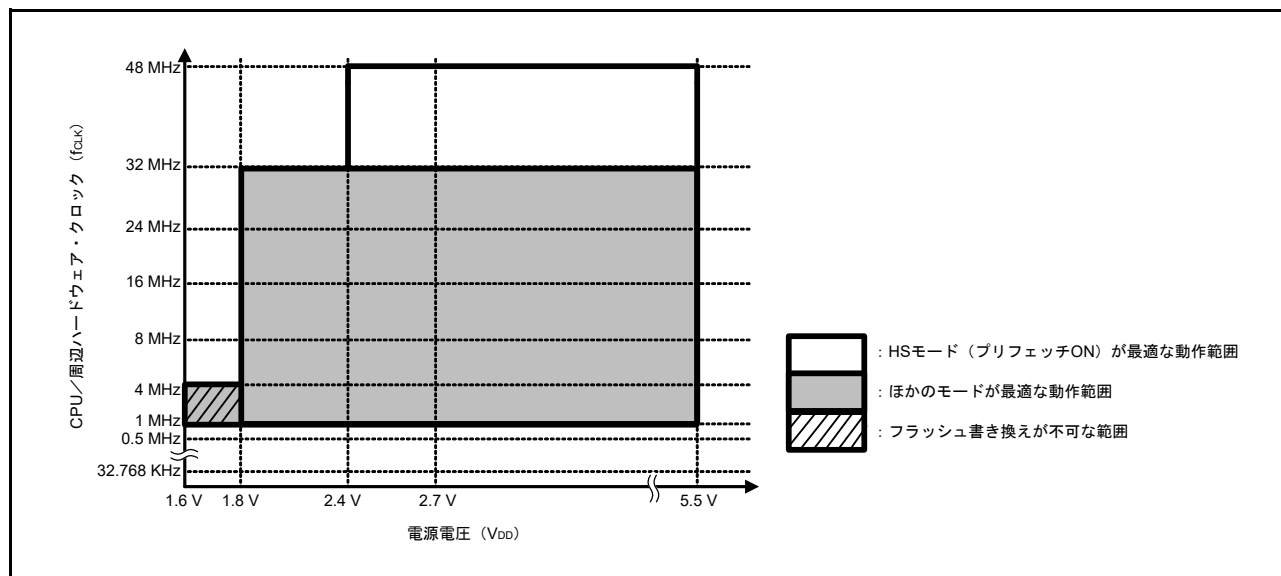
8.5.2 HS（高速メイン）モード（プリフェッチON）の詳細

HS（高速メイン）モード（プリフェッチON）は、CPUを48 MHzで動作させるためのモードです。

HSモード（プリフェッチON）は、HS（高速メイン）モード（プリフェッチOFF）モードから遷移することが可能です。

動作周波数を48 MHzにする場合は、電源電圧が $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の範囲でプリフェッチを有効にしてから周波数を変更してください。

図8-11 HSモード（プリフェッチON）の動作範囲



注意 STOP解除後20 μsはFAA動作と周辺機能の書き換えは禁止です。

8.5.3 LS（低速メイン）モードの詳細

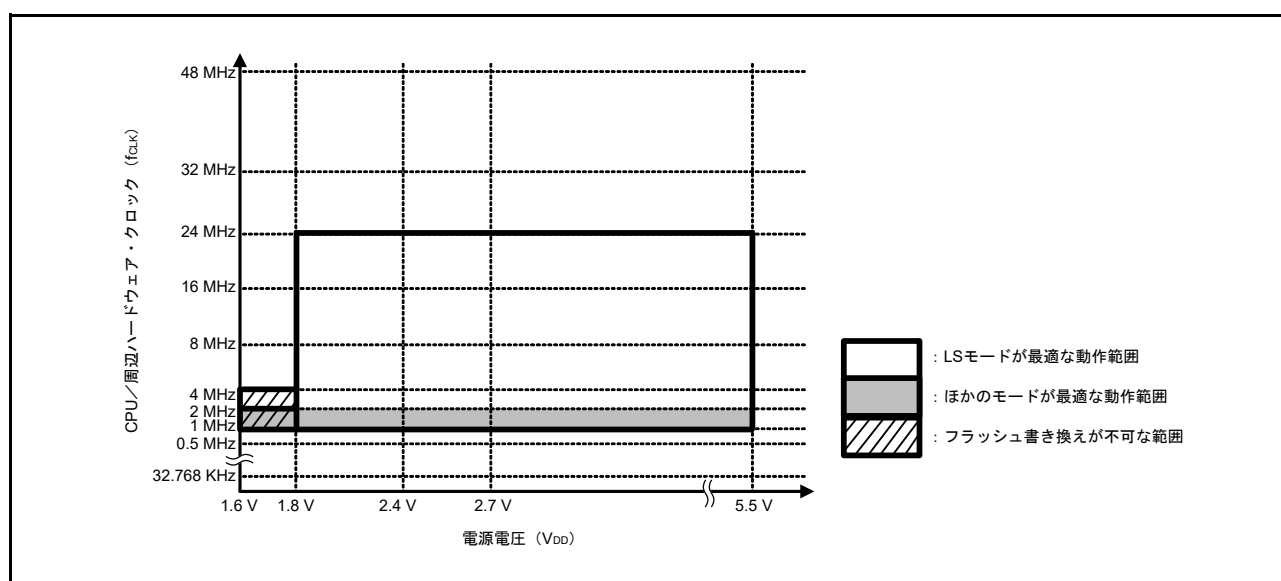
LS（低速メイン）モードは、CPUの処理能力と動作電力性能を両立しており、2～24 MHzで低消費電力が必要なアプリケーションに最適なモードです。

LSモードはリセット解除直後から動作可能です。また、HS（高速メイン）モード、LP（低電力メイン）モードから遷移することが可能です。HSモードからLSモードに遷移する場合、動作周波数が $1 \text{ MHz} \leq f_{\text{CLK}} \leq 24 \text{ MHz}$ の状態で遷移してください。

LSモードの最適動作範囲は、電源電圧が $1.8 \text{ V} \leq V_{\text{DD}} \leq 5.5 \text{ V}$ 、動作周波数が $2 \text{ MHz} < f_{\text{CLK}} \leq 24 \text{ MHz}$ 、または電源電圧が $1.6 \text{ V} \leq V_{\text{DD}} < 1.8 \text{ V}$ 、動作周波数が $2 \text{ MHz} < f_{\text{CLK}} \leq 4 \text{ MHz}$ 注のときです。

注 フラッシュ・メモリの書き換えはできません。

図8-12 LSモードの動作範囲



注意 STOP解除後20 μsはFAA動作と周辺機能の書き換えは禁止です。

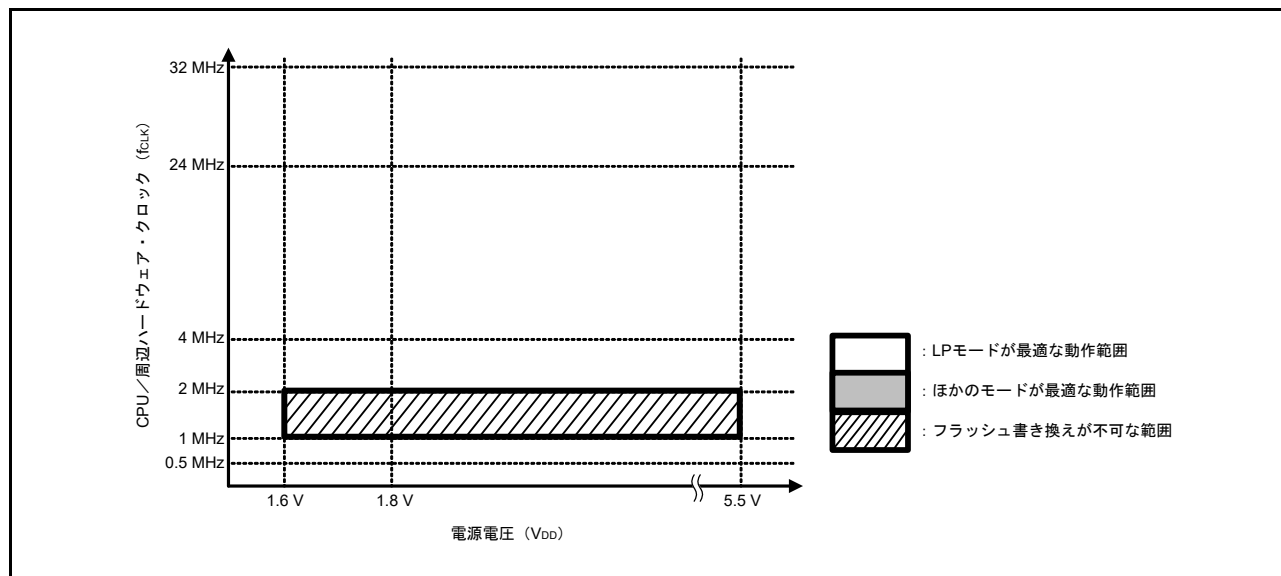
8.5.4 LP（低電力メイン）モードの詳細

LP（低電力メイン）モードは、1～2 MHzの動作周波数によって低電力でCPUを動作させるモードです。

LPモードはリセット解除直後から動作可能です。また、LPモードはLS（低速メイン）モードから遷移することが可能です。LSモードからLPモードに遷移する場合、動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 2\text{ MHz}$ の状態での遷移してください。

LPモードの最適動作範囲は、電源電圧が $1.6\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 、動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 2\text{ MHz}$ のときです。フラッシュ・メモリの書き換えを行うときはLSモードに遷移してください。

図8-13 LPモードの動作範囲

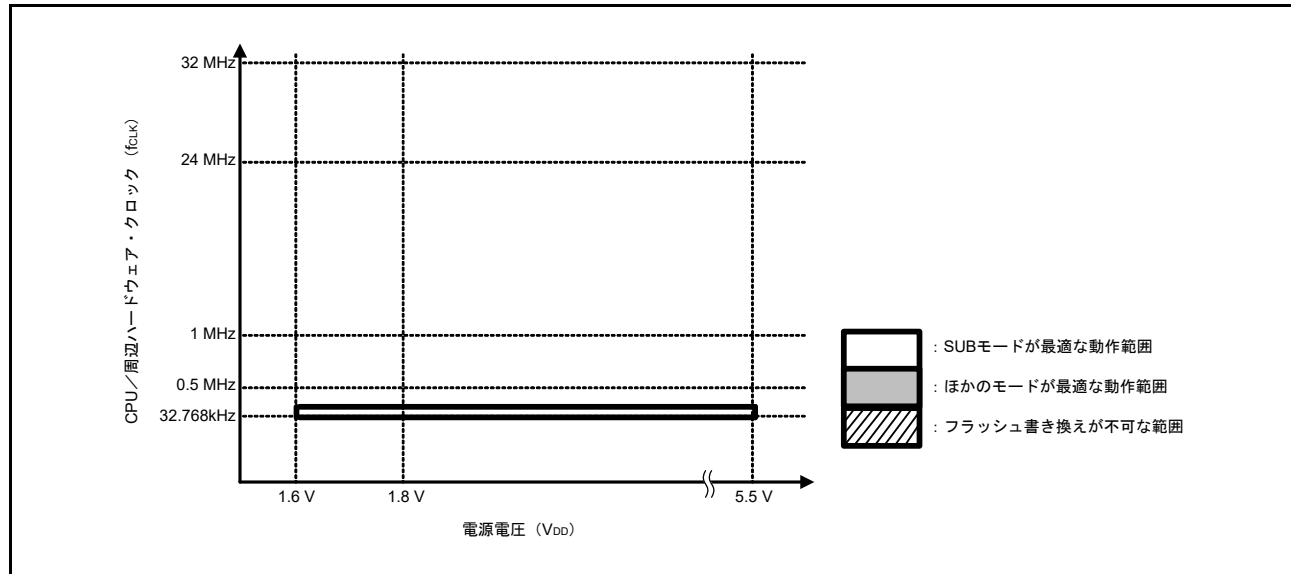


8.5.5 SUBモードの詳細

SUBモードは、32.768 kHzの動作周波数によってCPUを動作させるモードです。

SUBモードは、HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モードから遷移可能です。システム・クロック制御レジスタ（CKC）のCSSビットに1を設定することで自動的にSUBモードに切り替わります。SUBモードはフラッシュ書き換えができません。フラッシュ・メモリの書き換えを行うときはHSモードまたはLSモードに遷移してください。

図8-14 SUBモードの動作範囲



第9章 クロック発生回路

メイン・システム・クロック用発振子接続端子 (X1, X2) / 外部クロック入力端子 (EXCLK)、サブシステム・クロック用発振子接続端子 (XT1, XT2) / 外部クロック入力端子 (EXCLKS) の有無は、製品によって異なります。

	20ピン製品	24～32ピン製品	40～64ピン製品
X1端子	—	—	○
X2/EXCLK兼用端子	—	—	○
XT1端子	—	—	○
XT2/EXCLKS兼用端子	—	—	○
X1/XT1兼用端子	—	○	—
X2/XT2/EXCLK/EXCLKS兼用端子	—	○	—
EXCLK/EXCLKS兼用端子	○	—	—

9.1 クロック発生回路の機能

クロック発生回路は、CPU および周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子、X2端子に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

② 高速オンチップ・オシレータ

ユーザ・オプション・バイト（000C2H）により、 f_{HOCO} に対して64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz（Typ.）から周波数を選択し、発振させることができます。 f_{HOCO} に64 MHz, 48 MHzを選択した場合、 f_{IH} はそれぞれ32 MHz, 24 MHzになります。 f_{HOCO} に32 MHz以下を選択した場合、 f_{IH} は分周されず、 f_{HOCO} と同じ周波数になります。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、**図9-12 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット**を参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数 (MHz)											
	1	2	3	4	6	8	12	16	24	32	48	64
$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	○	○	○	○	○	○	○	○	○	○
$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	○	○	○	○	○	○	○	○	—	—
$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	○	○	—	—	—	—	—	—	—	—	—	—

③ 中速オンチップ・オシレータ

MOCODIV1, MOCODIV0ビット (MOCODIVレジスタのビット1, 0) の設定により、f_{IM}に対して4 MHz, 2 MHz, 1 MHz (Typ.) から周波数を選択し、発振させることができます。STOP命令の実行またはMIOENビット (CSCレジスタのビット1) の設定により、発振を停止することができます。

④ PLL発振回路

メイン・クロック制御レジスタ (MCKC) からPLLクロックを選択し、PLLコントロール・レジスタ (DSCCTL) を設定することにより、f_{PLL} = 96 MHzまたは64 MHzを発振することが可能です。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック (f_{EX} = 1~20 MHz) を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット (システム・クロック制御レジスタ (CKC) のビット4) およびMCM1ビット (システム・クロック制御レジスタ (CKC) のビット0) の設定により、高速システム・クロック (X1クロックまたは外部メイン・システム・クロック) とメイン・オンチップ・オシレータ・クロック (高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロック) を切り替えられます。

なお、CPU/周辺ハードウェア・クロックは、フラッシュ動作モードおよび電源電圧V_{DD}によって使用可能な周波数がことなります。

メイン・システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合は、ユーザ・オプション・バイト (000C2H) のCMODE1, CMODE0ビットによるフラッシュ動作モードの設定 (第38章 オプション・バイト) またはフラッシュ動作モード選択レジスタ (FLMODE) で設定したフラッシュ動作モードに従って、メイン・システム・クロック周波数を選択してください。

(2) サブシステム・クロック

① XT1発振回路

XT1端子、XT2端子に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768 \text{ kHz}$ のクロックを発振させることができます。XTSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット6）の設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック（ $f_{EXS} = 32.768 \text{ kHz}$ ）を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

② 低速オンチップ・オシレータ・クロック

$f_{IL} = 32.768 \text{ kHz}$ (Typ.) のクロックを発振させることができます。

低速オンチップ・オシレータは、以下のいずれかの条件で動作します。

- ユーザ・オプション・バイト（000C0H）のビット4（WDTON）、サブシステム・クロック供給モード制御レジスタ（OSMC）のビット4（WUTMMCK0）、またはサブシステム・クロック選択レジスタ（CKSEL）のビット0（SELLOSC）のいずれか、または複数のビットが1

備考 f_X : X1 クロック発振周波数

f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数（最大 64 MHz）

f_{IH} : 高速オンチップ・オシレータ・クロック周波数（最大 48 MHz）注

f_{IM} : 中速オンチップ・オシレータ・クロック周波数（最大 4 MHz）

f_{EX} : 外部メイン・システム・クロック周波数

f_{XT} : XT1 クロック発振周波数

f_{EXS} : 外部サブシステム・クロック周波数

f_{IL} : 低速オンチップ・オシレータ・クロック周波数

f_{PLL} : PLL クロック周波数（最大 96 MHz）

注 f_{HOCO} を 64 MHz または 48 MHz に設定した場合は f_{HOCO} の 2 分周、32 MHz 以下に設定した場合は f_{HOCO} と同一のクロック周波数となるようにハードウェアで制御されます。

f_{HOCO} を 48 MHz に設定し、 f_{IH} に 48 MHz を供給する場合は、PFBE ビット（プリフェッチバッファイネーブルレジスタ（PFBER）のビット0）の設定により、プリフェッチバッファを起動してからクロックの切り替え設定をしてください。

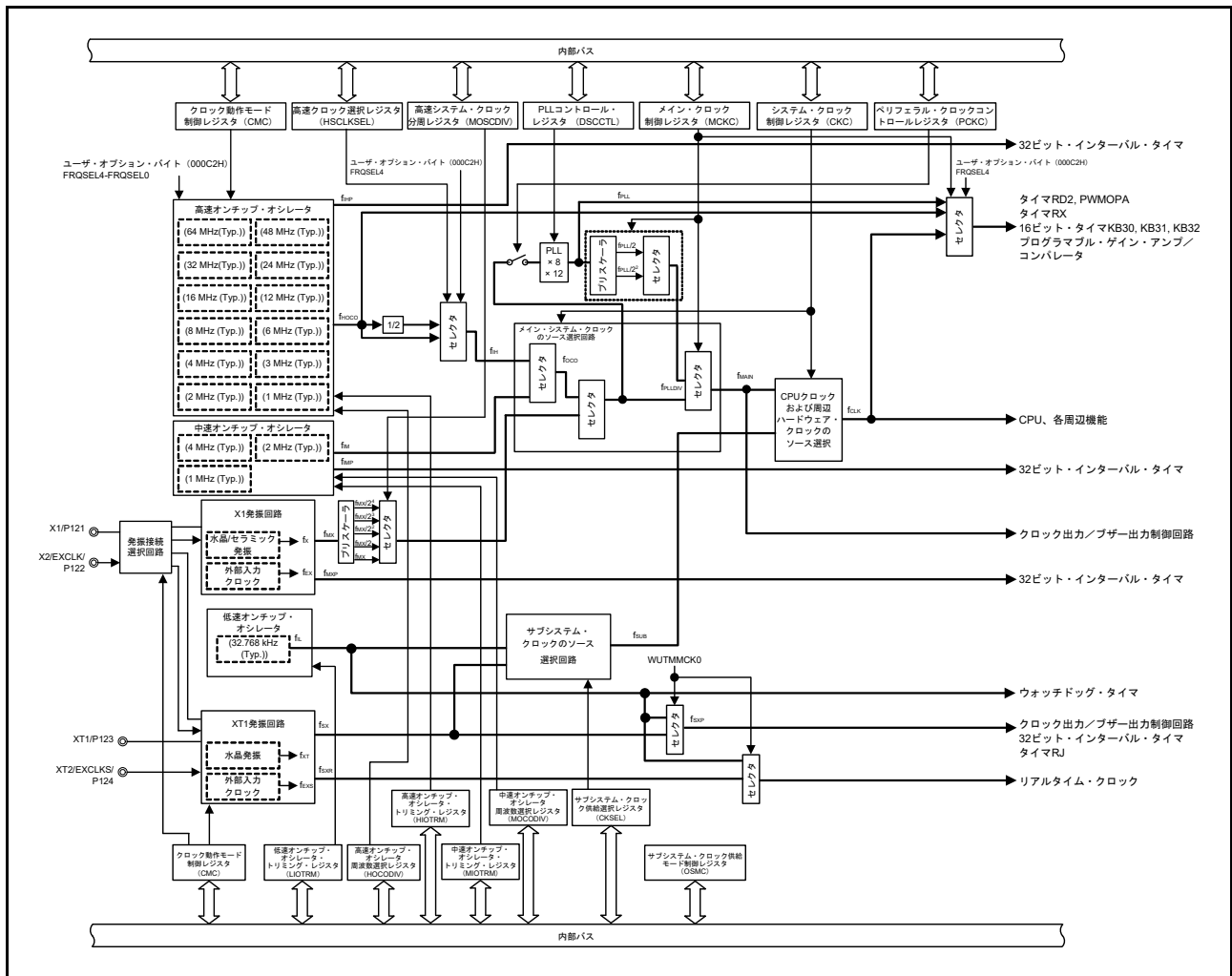
9.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表9-1 クロック発生回路の構成

項目	構成
制御レジスタ	<ul style="list-style-type: none"> • クロック動作モード制御レジスタ (CMC) • システム・クロック制御レジスタ (CKC) • クロック動作ステータス制御レジスタ (CSC) • 発振安定時間カウンタ状態レジスタ (OSTC) • 発振安定時間選択レジスタ (OSTS) • 周辺イネーブル・レジスタ 0-2 (PER0-PER2) • サブシステム・クロック供給モード制御レジスタ (OSMC) • サブシステム・クロック選択レジスタ (CKSEL) • 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) • 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV) • 高速システム・クロック分周レジスタ (MOSCDIV) • 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) • 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) • 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) • スタンバイ・モード解除設定レジスタ (WKUPMD) • 高速クロック選択レジスタ (HSCLKSEL) • PLLコントロール・レジスタ (DSCCTL) • メイン・クロック制御レジスタ (MCKC) • ペリフェラル・クロックコントロールレジスタ (PCKC)
発振回路	<ul style="list-style-type: none"> • X1 発振回路 • XT1 発振回路 • 高速オンチップ・オシレータ • 中速オンチップ・オシレータ • 低速オンチップ・オシレータ • PLL 発振回路

★ 図9-1 クロック発生回路のブロック図



(備考は次ページに続きます)

備考1.

fX	: X1クロック発振周波数
fEX	: 外部メイン・システム・クロック周波数
fHOCO	: 高速オンチップ・オシレータ・クロック周波数 (最大64 MHz)
fIH	: 高速オンチップ・オシレータ・クロック周波数 (最大48 MHz) 注
fIHP	: 高速オンチップ・オシレータ周辺クロック周波数 (FRQSEL4 = 1かつFRQSEL3 = 0のとき48 MHz、FRQSEL3 = 1のとき32 MHz、 FRQSEL4 = 0かつFRQSEL3 = 0のとき24 MHz)
fIM	: 中速オンチップ・オシレータ・クロック周波数 (最大4 MHz)
fIMP	: 中速オンチップ・オシレータ周辺クロック周波数 (4 MHz)
fMX	: 高速システム・クロック周波数
fMP	: 高速周辺クロック周波数
fMAIN	: メイン・システム・クロック周波数
fXT	: XT1クロック発振周波数
fEXS	: 外部サブシステム・クロック周波数
fSX	: サブシステム・クロックX周波数
fSXR	: サブシステム・クロックXR周波数
fSXP	: 低速周辺クロック周波数
fSUB	: サブシステム・クロック周波数
fCLK	: CPU/周辺ハードウェア・クロック周波数
fIL	: 低速オンチップ・オシレータ・クロック周波数
fOCO	: メイン・オンチップ・オシレータ・クロック周波数 (fIHまたはfIM)
fPLL	: PLLクロック周波数 (最大96 MHz)
fPLLDIV	: PLL分周クロック周波数 (最大48 MHz)

注 fHOCOを64 MHzまたは48 MHzに設定した場合はfHOCOの2分周、32 MHz以下に設定した場合はfHOCOと同一のクロック周波数となるようにハードウェアで制御されます。

fHOCOを48 MHzに設定し、fIHに48 MHzを供給する場合は、PFBEビット (プリフェッチバッファイネーブルレジスタ (PFBER) のビット0) の設定により、プリフェッチバッファを起動してからクロックの切り替え設定をしてください。

備考2. タイマRD2、PWMOPA、タイマRX、16ビット・タイマKB30、KB31、KB32、16ビット・タイマKB30、KB31、KB32のオプション、コンパレータ、プログラマブル・ゲイン・アンプへのクロック供給

ユーザ・オプション・バイト (000C2H) の値	MCKCレジスタ	タイマRD2、PWMOPA、タイマRX、 16ビット・タイマKB30、KB31、KB32、 16ビット・タイマKB30、KB31、KB32のオプション、 コンパレータ、プログラマブル・ゲイン・アンプへの クロック供給
FRQSEL4	CLSTR (CKSELRビット で設定)	
0	0	CPU/周辺ハードウェア・クロック (fCLK)
1	0	高速オンチップ・オシレータ・クロック (fHOCO)
0	1	PLLクロック (fPLL)
1	1	設定禁止

9.3 クロック発生回路を制御するレジスタ

クロック発生回路を制御するレジスタを次に示します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0-2 (PER0-PER2)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- サブシステム・クロック選択レジスタ (CKSEL)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)
- 高速システム・クロック分周レジスタ (MOSCDIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
- 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM)
- 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM)
- スタンバイ・モード解除設定レジスタ (WKUPMD)
- 高速クロック選択レジスタ (HSCLKSEL)
- PLLコントロール・レジスタ (DSCCTL)
- メイン・クロック制御レジスタ (MCKC)
- ペリフェラル・クロックコントロールレジスタ (PCKC)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

9.3.1 クロック動作モード制御レジスタ (CMC)

CMC レジスタは、X1/P121, X2/EXCLK/P122 端子および XT1/P123, XT2/EXCLKS/P124 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。読み出す場合は、8 ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00H になります。

図9-2 クロック動作モード制御レジスタ (CMC) のフォーマット (1/2)

アドレス : FFFA0H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS 注1	OSCSELS 注1	XTSEL 注1,2	AMPHS1 注1	AMPHS0	AMPH

20ピン製品

XTSEL 注1,2	EXCLK	OSCSEL	EXCLKS 注1	OSCSELS 注1	システム・ クロック端子の 動作モード	EXCLK/P122/ EXCLKS端子
0	0	0	0	0	ポート・モード	ポート
0	1	0	0	0	ポート・モード	ポート
0	1	1	0	0	外部クロック入力モード	外部クロック EXCLK入力
1	0	0	0	0	ポート・モード	ポート
1	0	0	1	0	ポート・モード	ポート
1	0	0	1	1	外部クロック入力モード	外部クロック EXCLKS入力
上記以外					設定禁止	

24～32ピン製品

XTSEL 注1,2	EXCLK	OSCSEL	EXCLKS 注1	OSCSELS 注1	システム・ クロック端子の 動作モード	X1/P121/ XT1端子	X2/EXCLK/ P122/XT2/ EXCLKS端子
0	0	0	0	0	ポート・モード	ポート	ポート
0	0	1	0	0	X1発振モード	水晶/セラミック発振子接続	
0	1	0	0	0	ポート・モード	ポート	ポート
0	1	1	0	0	外部クロック入力 モード	ポート	外部クロック EXCLK入力
1	0	0	0	0	ポート・モード	ポート	ポート
1	0	0	0	1	XT1発振モード	水晶発振子接続	
1	0	0	1	0	ポート・モード	ポート	ポート
1	0	0	1	1	外部クロック入力 モード	ポート	外部クロック EXCLKS入力
上記以外					設定禁止		

図9-2 クロック動作モード制御レジスタ (CMC) のフォーマット (2/2)

40～64ピン製品

EXCLK	OSCSSEL	高速システム・クロック 端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	ポート・モード	ポート	ポート
0	1	X1発振モード	水晶/セラミック発振子接続	
1	0	ポート・モード	ポート	ポート
1	1	外部クロック入力モード	ポート	外部クロック入力

EXCLKS ^{注1}	OSCSELS ^{注1}	サブシステム・クロック 端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート	入力ポート
0	1	XT1発振モード	水晶発振子接続	
1	0	入力ポート・モード	入力ポート	入力ポート
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1 ^{注1}	AMPHS0 ^{注1}	XT1発振回路の発振モード選択
0	0	低消費発振1 (デフォルト) ^{注3}
0	1	通常発振
1	0	低消費発振2 ^{注3}
1	1	低消費発振3 ^{注3}

AMPH	X1クロック発振周波数の制御
0	$1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$
1	$10 \text{ MHz} < f_x \leq 20 \text{ MHz}$

注1. EXCLKS, OSCSELS, XTSEL, AMPHS1, AMPHS0ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注2. XTSELビットは20～32ピン製品のみ書き込み可能です。40～64ピン製品では必ず0を設定してください。

注3. XT1クロック発振回路のゲインおよび動作電流は、低消費発振1 > 低消費発振2 > 低消費発振3の順で小さくなります。

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作 (00H以外の誤書き込みで復帰不可) を防止するために、リセット解除後は必ず00Hに設定してください。

注意2. リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。

注意3. X1クロック発振周波数が10 MHzを超える場合は、必ずAMPHビットに1を設定してください。

注意4. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後fCLKにfIHを選択した状態 (fCLKをfMXやfSUBに切り替える前の状態) で設定してください。

注意5. fXTの発振安定時間は、ソフトウェアでカウントしてください。

(注意、備考は次ページに続きます)

注意6. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを低消費発振2（AMPHS1, AMPHS0 = 10B）または低消費発振3（AMPHS1, AMPHS0 = 11B）で使用する場合は、9.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に低消費発振2（AMPHS1, AMPHS0 = 10B）または低消費発振3（AMPHS1, AMPHS0 = 11B）を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVSSと同電位のグランド・パターンを配置してください。
- XT1端子、XT2端子と発振子の信号線はほかの信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

注意7. 20～32ピン製品でXTSEL = 1に設定しP121/X1/XT1端子とP122/X2/EXCLK/XT2/EXCLKS端子をXT1発振モードに設定する場合は必ずV_{DD} = 2.4 V以上でご使用ください。

備考 fx : X1クロック発振周波数

9.3.2 システム・クロック制御レジスタ (CKC)

CKC レジスタは、CPU / 周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H

リセット時: 00H

R/W属性 : R/W^{注1}

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
CKC	CLS	CSS	MCS	MCM0	0	0	MCS1	MCM1
CLS	CPU / 周辺ハードウェア・クロック (fCLK) のステータス							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
CSS ^{注2}	CPU / 周辺ハードウェア・クロック (fCLK) の選択							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
MCS	メイン・システム・クロック (fMAIN) のステータス							
0	メイン・オンチップ・オシレータ・クロック (foco)							
1	高速システム・クロック (fMX)							
MCM0 ^{注2}	メイン・システム・クロック (fMAIN) の動作制御							
0	メイン・システム・クロック (fMAIN) にメイン・オンチップ・オシレータ・クロック (foco) を選択							
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択							
MCS1	メイン・オンチップ・オシレータ・クロック (foco) のステータス							
0	高速オンチップ・オシレータ・クロック							
1	中速オンチップ・オシレータ・クロック							
MCM1 ^{注2}	メイン・オンチップ・オシレータ・クロック (foco) の動作制御							
0	高速オンチップ・オシレータ・クロック							
1	中速オンチップ・オシレータ・クロック							

注1. ビット7, 5, 1は、Read Onlyです。

注2. CSS = 1を設定した状態で、MCM1, MCM0ビットの値を変更することは禁止です。

注意1. ビット3, 2には、必ず0を設定してください。

(注意、備考は次ページに続きます)

- 注意2.** CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます（リアルタイム・クロック、クロック出力／ブザー出力、32ビット・インターバル・タイマ、およびウォッチドッグ・タイマは除く）。よって、CPU／周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
- 注意3.** 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータおよびシリアル・インタフェースIICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第43章 電気的特性（ $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ ）または第44章 電気的特性（ $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ）を参照してください。

- 備考**
- f_H : 高速オンチップ・オシレータ・クロック周波数（最大48 MHz）
 - f_{MX} : 高速システム・クロック周波数
 - f_{MAIN} : メイン・システム・クロック周波数
 - f_{SUB} : サブシステム・クロック周波数
 - f_{OCO} : メイン・オンチップ・オシレータ・クロック周波数（f_Hまたはf_{IM}）

9.3.3 クロック動作ステータス制御レジスタ (CSC)

CSC レジスタは、高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0H になります。

図9-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス : FFFA1H

リセット時: C0H

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	<1>	<0>
CSC	MSTOP	XTSTOP	0	0	0	0	MIOEN	HIOSTOP
MSTOP	高速システム・クロックの動作制御							
		X1発振モード時	外部クロック入力モード時		ポート・モード時			
	0	X1発振回路動作	EXCLK端子からの外部クロック有効		入出力ポート			
1	X1発振回路停止	EXCLK端子からの外部クロック無効						
XTSTOP注	サブシステム・クロックの動作制御							
		XT1発振モード時	外部クロック入力モード時		ポート・モード時			
	0	XT1発振回路動作	EXCLKS端子からの外部クロック有効		入力ポート			
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効						
MIOEN	中速オンチップ・オシレータ・クロックの動作制御							
	0	中速オンチップ・オシレータ停止						
	1	中速オンチップ・オシレータ動作						
HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御							
	0	高速オンチップ・オシレータ動作						
	1	高速オンチップ・オシレータ停止						

注 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注意1. リセット解除後は、クロック動作モード制御レジスタ (CMC) を設定してから CSC レジスタを設定してください。

注意2. リセット解除後MSTOPビットに0を設定する前に発振安定時間選択レジスタ (OSTS) を設定してください。ただし、OSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。

注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

(注意は次ページに続きます)

- 注意4. XTSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
- 注意5. CPU／周辺ハードウェア・クロック（fCLK）に選択しているクロックは、CSCレジスタで停止させないでください。
- 注意6. クロックを停止する場合は、クロック停止前条件を確認したあとに停止してください。クロックの停止方法については表9-8 クロック発振停止前の条件とフラグ設定を参照してください。

9.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

OSTC レジスタは、X1 クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1 クロックの発振安定時間を確認することができます。

- CPUクロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- CPUクロックがメイン・オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTC レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP 命令、MSTOP ビット (クロック動作ステータス制御レジスタ (CSC) のビット7) = 1 により、00H になります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時 (CMCレジスタのEXCLK = 0, OSCSEL = 1 → MSTOP = 0)
- STOPモードを解除したとき

図9-5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18

MOS T8	MOS T9	MOS T10	MOS T11	MOS T13	MOS T15	MOS T17	MOS T18	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁸ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

注意1. 上記時間経過後、MOST8ビットから順番に1となっていく、そのまま1を保持します。

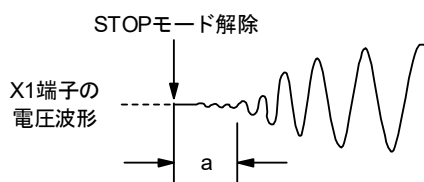
(注意、備考は次ページに続きます)

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックがメイン・オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
（したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考 fx : X1クロック発振周波数

9.3.5 発振安定時間選択レジスタ (OSTS)

OSTS レジスタは、X1 クロックの発振安定時間を選択するレジスタです。

X1 クロックを発振させる場合は、X1 発振回路動作 (MSTOP = 0) 後、OSTS レジスタで設定した時間を自動でウェイトします。

CPU クロックをメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1 クロックに切り替える場合や、CPU クロックがメイン・オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後 STOP モードを解除した場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間が経過したかを確認してください。OSTC レジスタでは、あらかじめ OSTS レジスタで設定した時間までの確認ができます。

OSTS レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、07H になります。

図9-6 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H

リセット時: 07H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/fx$	25.6 μ s	12.8 μ s
0	0	1	$2^9/fx$	51.2 μ s	25.6 μ s
0	1	0	$2^{10}/fx$	102 μ s	51.2 μ s
0	1	1	$2^{11}/fx$	204 μ s	102 μ s
1	0	0	$2^{13}/fx$	819 μ s	409 μ s
1	0	1	$2^{15}/fx$	3.27 ms	1.63 ms
1	1	0	$2^{17}/fx$	13.1 ms	6.55 ms
1	1	1	$2^{18}/fx$	26.2 ms	13.1 ms

注意1. OSTS レジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) の MSTOP ビットに 0 を設定する前に行ってください。

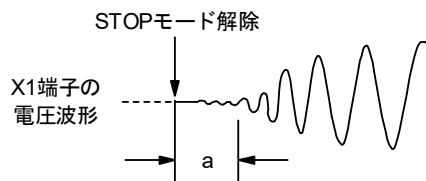
注意2. 発振安定時間カウンタは OSTS レジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTS レジスタの発振安定時間を、発振開始後に OSTC レジスタで確認したいカウント値より大きい値に設定してください。

- CPU クロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1 クロックの発振を開始したい場合
- CPU クロックがメイン・オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後、STOP モードを解除したい場合
(したがって、STOP モード解除後の OSTC レジスタは、OSTS レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

(注意、備考は次ページに続きます)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考 f_x : X1クロック発振周波数

9.3.6 周辺イネーブル・レジスタ 0-2 (PER0-PER2)

PER0-PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1) してください。

- リアルタイム・クロック
- シリアル・インタフェース IICA
- A/Dコンバータ
- シリアル・アレイ・ユニット n
- タイマ・アレイ・ユニット
- D/Aコンバータ
- プログラマブル・ゲイン・アンプ／コンパレータ
- 32ビット・インターバル・タイマ
- DTC
- デジタル調光照明インタフェース
- FAA
- データ共有メモリ
- 16ビット・タイマ KB30, KB31, KB32の強制出力停止機能
- タイマ RG2
- タイマ RD2
- PWMオブションユニット
- タイマ RX
- タイマ RJ

備考 n = 0, 1

PER0-PER2 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00H になります。

図9-7 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
RTCWEN	リアルタイム・クロックへのアクセス制御							
0	リアルタイム・クロックで使用するSFRへのライト不可							
1	リアルタイム・クロックで使用するSFRへのリード/ライト可							
ADCEN	A/Dコンバータの入カクロック供給の制御							
0	入カクロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可注							
1	入カクロック供給 ・A/Dコンバータで使用するSFRへのリード/ライト可							
IICA0EN	シリアル・インタフェースIICAの入カクロック供給の制御							
0	入カクロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可注							
1	入カクロック供給 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可							
SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御							
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可注							
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可							
SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御							
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可注							
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可							
TAU0EN	タイマ・アレイ・ユニットの入カクロック供給の制御							
0	入カクロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可注							
1	入カクロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可							

注 リードした場合は設定値にかかわらず00Hまたは0000Hを読み出します。

注意1. ビット6, 1には、必ず0を設定してください。

注意2. 各周辺機能が動作許可の状態、PER0レジスタの対象ビットを切り替えないでください。PER0レジスタによる設定は、PER0レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

図9-8 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	2	1	<0>
PER1	DACEN	0	PGACMPEN	TML32EN	DTCEN	0	0	DALIEN
DACEN	D/Aコンバータの入カクロック供給の制御							
0	入カクロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可注							
1	入カクロック供給 ・D/Aコンバータで使用するSFRへのリード/ライト可							
PGACMPEN注	プログラマブル・ゲイン・アンプ/コンパレータの入カクロック供給の制御							
0	入カクロック供給停止 ・プログラマブル・ゲイン・アンプ/コンパレータで使用するSFRへのライト不可注							
1	入カクロック供給 ・プログラマブル・ゲイン・アンプ/コンパレータで使用するSFRへのリード/ライト可							
TML32EN	32ビット・インターバル・タイマの入カクロック供給の制御							
0	入カクロック供給停止 ・32ビット・インターバル・タイマで使用するSFRへのライト不可注							
1	入カクロック供給 ・32ビット・インターバル・タイマで使用するSFRへのリード/ライト可							
DTCEN	DTCの入カクロック供給の制御							
0	入カクロック供給停止 ・DTCは動作不可							
1	入カクロック供給 ・DTCは動作可							
DALIEN	デジタル調光照明インタフェースの入カクロック供給の制御							
0	入カクロック供給停止 ・デジタル調光照明インタフェースで使用するSFRへのライト不可注							
1	入カクロック供給 ・デジタル調光照明インタフェースで使用するSFRへのリード/ライト可							

注 リードした場合は設定値にかかわらず00Hまたは0000Hを読み出します。

注意1. ビット6, 2, 1には、必ず0を設定してください。

注意2. 各周辺機能が動作許可の状態、PER1レジスタの対象ビットを切り替えしないでください。PER1レジスタによる設定は、PER1レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

注意3. ユーザ・オプション・バイト (000C2H) のFRQSEL4 = 1のときは、周辺イネーブル・レジスタ1 (PER1) のビット5 (PGACMPEN) をセットする前に、fCLKをfIHに設定してください。

fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1) のビット5 (PGACMPEN) をクリアしたあとに変更してください。

図9-9 周辺イネーブル・レジスタ2 (PER2) のフォーマット (1/2)

アドレス : F00FCH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	FAAEN	MEMEN	TKBEN	TRGEN	TRD0EN	PWMOPEN	TRXEN	TRJ0EN
FAAEN	FAAの入カクロック供給の制御							
0	入カクロック供給停止 ・ FAAで使用するSFRへのリード可/ライト不可 ただし、WINDレジスタ、SYSCレジスタENBビット、ADBSSELレジスタのみライト可です。							
1	入カクロック供給 ・ FAAで使用するSFRへのリード/ライト可							
MEMEN	データ共有メモリの入カクロック供給の制御							
0	入カクロック供給停止 ・ データ共有メモリで使用するSFRへのリード可/ライト不可							
1	入カクロック供給 ・ データ共有メモリで使用するSFRへのリード/ライト可							
TKBEN ^注	16ビット・タイマKB30, KB31, KB32への入カクロック供給の制御							
0	入カクロック供給停止 ・ 16ビット・タイマKB30, KB31, KB32で使用するSFRへのライト不可 ^注							
1	入カクロック供給 ・ 16ビット・タイマKB30, KB31, KB32で使用するSFRへのリード/ライト可							
TRGEN	タイマRG2の入カクロック供給の制御							
0	入カクロック供給停止 ・ タイマRG2で使用するSFRへのライト不可 ^注							
1	入カクロック供給 ・ タイマRG2で使用するSFRへのリード/ライト可							
TRD0EN ^注	タイマRD2の入カクロック供給の制御							
0	入カクロック供給停止 ・ タイマRD2で使用するSFRへのライト不可 ^注							
1	入カクロック供給 ・ タイマRD2で使用するSFRへのリード/ライト可							

図9-9 周辺イネーブル・レジスタ2 (PER2) のフォーマット (2/2)

PWMOPE N	PWMOPAへの入力クロック供給の制御
0	入力クロック供給停止 ・PWMOPAで使用するSFRへのライト不可 ^注
1	入力クロック供給 ・PWMOPAで使用するSFRへのリード/ライト可

TRXEN ^注	タイマRXの入力クロック供給の制御
0	入力クロック供給停止 ・タイマRXで使用するSFRへのライト不可 ^注
1	入力クロック供給 ・タイマRXで使用するSFRへのリード/ライト可

TRJ0EN	タイマRJへの入力クロック供給の制御
0	入力クロック供給停止 ・タイマRJで使用するSFRへのライト不可 ^注
1	入力クロック供給 ・タイマRJで使用するSFRへのリード/ライト可

注 リードした場合は設定値にかかわらず00Hまたは0000Hを読み出します。

注意1. 各周辺機能が動作許可の状態、PER2レジスタの対象ビットを切り替えないでください。PER2レジスタによる設定は、PER2レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

注意2. ユーザ・オプション・バイト (000C2H) のFRQSEL4 = 1のときは、周辺イネーブル・レジスタ2 (PER2) のビット5 (TKBEN)、ビット3 (TRD0EN)、ビット1 (TRXEN) をセットする前に、fCLKをfiHに設定してください。

fCLKをfiH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のビット5 (TKBEN)、ビット3 (TRD0EN)、ビット1 (TRXEN) をクリアしたあとに変更してください。

9.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1 に設定すると、STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時に、リアルタイム・クロック以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMC レジスタではリアルタイム・クロック、クロック出力／ブザー出力制御回路、32 ビット・インターバル・タイマの動作クロックを選択できます。

OSMC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定^{注1}になります。

注 リセット信号の発生により、RTCLPC ビットおよび WUTMMCK ビットは 0、HIPREC ビットは 1 になります。

図9-10 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H

リセット時: 不定^{注1}

R/W属性 : R/W^{注2}

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK 0	x	x	0	HIPREC
RTCLPC ^{注5}	STOP モード時およびサブシステム・クロック X で CPU 動作中の HALT モード時の設定							
0	周辺機能へのサブシステム・クロック X 供給許可 (動作許可となる周辺機能については、表 31-1 HALT モード時の動作状態～表 31-4 SNOOZE モード時の動作状態参照)							
1	リアルタイム・クロック以外の周辺機能へのサブシステム・クロック供給停止							
WUTMMC K0	リアルタイム・クロック、32 ビット・インターバル・タイマ、タイマ RJ、 クロック出力／ブザー出力制御回路の動作クロックの選択							
0	サブシステム・クロック X							
1	低速オンチップ・オシレータ・クロック ^{注3,4}							
HIPREC	高速オンチップ・オシレータ・クロックのステータス ^{注6,7}							
0	高速オンチップ・オシレータ・クロックは高速起動かつ発振精度安定待ち中 ^{注8}							
1	高速オンチップ・オシレータ・クロックは高精度動作							

注1. リセット信号の発生により、RTCLPC ビットおよび WUTMMCK ビットは 0、HIPREC ビットは 1 になります。

注2. ビット 6, 5, 1 には、必ず 0 を設定してください。ビット 3, 2, 0 は Read Only です。書き込みは無視されます。

注3. サブシステム・クロック X 発振中に WUTMMCK0 ビットに 1 を設定することは禁止です。

注4. WUTMMCK0 ビットによるサブシステム・クロック X と低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック、32 ビット・インターバル・タイマ、クロック出力／ブザー出力機能のすべての機能が停止中のみ可能です。

注5. CKSEL レジスタのビット 0 (SELLOSC) によりサブシステム・クロック X を選択 (SELLOSC = 0) して RTCLPC = 1 とした場合、サブシステム・クロック (f_{SUB}) は停止しますが、低速オンチップ・オシレータ・クロックを選択 (SELLOSC = 1) して RTCLPC = 1 とした場合、サブシステム・クロック (f_{SUB}) は停止しません。

(注、注意は次ページに続きます)

- 注6.** 高速オンチップ・オシレータ停止時は不定です。
- 注7.** 高速オンチップ・オシレータ・クロックの周波数精度は、**第43章 電気的特性** (TA = -40°C ~ +105°C) または **第44章 電気的特性** (TA = -40°C ~ +125°C) を参照してください。
- 注8.** 高速オンチップ・オシレータ高速起動 (WKUPMD.FWKUP = 1) に設定した状態でSTOPモードから復帰すると、高速オンチップ・オシレータ・クロックは低精度で起動し、発振精度安定待ち後に自動的にHIPRECは1になります。

FRQSEL3 = 0かつHIPREC = 0のときの高速オンチップ・オシレータの周波数は、下表のとおりになります。

FRQSEL2 または HOCODIV2	FRQSEL1 または HOCODIV1	FRQSEL0 または HOCODIV0	高速オンチップ・ オシレータの周波数
0	0	0	16 MHz
0	0	1	8 MHz
0	1	0	4 MHz
0	1	1	2 MHz
1	×	×	設定禁止

注意 HIPREC = 0のときはSTOP命令を実行しないでください。

備考 × : Don't care

9.3.8 サブシステム・クロック選択レジスタ (CKSEL)

CKSEL レジスタは、サブシステム・クロックとしてサブシステム・クロック X / 低速オンチップ・オシレータ・クロックを選択するレジスタです。

CKSEL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9-11 サブシステム・クロック選択レジスタ (CKSEL) のフォーマット

アドレス : FFFA7H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
CKSEL	0	0	0	0	0	0	0	SELLOSC

SELLOSC	サブシステム・クロック X / 低速オンチップ・オシレータ・クロック選択
0	サブシステム・クロック X
1	低速オンチップ・オシレータ・クロック注

注 サブシステム・クロック X、XR (fsX, fsXR) 動作時は SELLOSC = 1 の設定は禁止です。

注意 SELLOSC ビットを変更する場合は、必ず CSS = 0 (fMAIN 選択) に設定し、CLS = 0 の状態で切り替えてください。

9.3.9 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

HOCODIV レジスタは、ユーザ・オプション・バイト (000C2H) で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、ユーザ・オプション・バイト (000C2H) の FRQSEL4, FRQSEL3 ビット、および高速クロック選択レジスタ (HCLKSEL) のビット 0 (FIHSEL ビット) の値によって、選択できる周波数が異なります。

HOCODIV レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、ユーザ・オプション・バイト (000C2H) の FRQSEL2-FRQSEL0 ビットで設定した値になります。

図9 - 12 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット

アドレス : F00A8H

リセット時: ユーザ・オプション・バイト (000C2H) FRQSEL2-FRQSEL0 ビットの設定値

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

			高速オンチップ・オシレータ・クロック周波数の選択					
HOCODIV2	HOCODIV1	HOCODIV0	FIHSEL = 0			FIHSEL = 1		
			FRQSEL4 = 0		FRQSEL4 = 1		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
			0	0	0	f _{IH} = 24 MHz	f _{IH} = 32 MHz	f _{IH} = 24 MHz f _{HOCO} = 48 MHz
0	0	1	f _{IH} = 12 MHz	f _{IH} = 16 MHz	f _{IH} = 12 MHz f _{HOCO} = 24 MHz	f _{IH} = 16 MHz f _{HOCO} = 32 MHz	設定禁止	設定禁止
0	1	0	f _{IH} = 6 MHz	f _{IH} = 8 MHz	f _{IH} = 6 MHz f _{HOCO} = 12 MHz	f _{IH} = 8 MHz f _{HOCO} = 16 MHz	設定禁止	設定禁止
0	1	1	f _{IH} = 3 MHz	f _{IH} = 4 MHz	f _{IH} = 3 MHz f _{HOCO} = 6 MHz	f _{IH} = 4 MHz f _{HOCO} = 8 MHz	設定禁止	設定禁止
1	0	0	設定禁止	f _{IH} = 2 MHz	設定禁止	f _{IH} = 2 MHz f _{HOCO} = 4 MHz	設定禁止	設定禁止
1	0	1	設定禁止	f _{IH} = 1 MHz	設定禁止	f _{IH} = 1 MHz f _{HOCO} = 2 MHz	設定禁止	設定禁止
上記以外			設定禁止					

注意1. HOCODIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ (FLMODE) で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。FLMODE レジスタについては、8.2.1 フラッシュ動作モード選択レジスタ (FLMODE) を参照してください。

注意2. HOCODIV レジスタの設定は、高速オンチップ・オシレータ・クロック (f_{IH}) をCPU/周辺ハードウェア・クロック (f_{CLK}) に選択している状態で行ってください。

(注意は次ページに続きます)

★

- 注意3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。なお、HOCODIVレジスタに同じ値を設定した場合でも、最大3クロックのCPU/周辺ハードウェア・クロックウエイトが発生します。
- ・ 変更前の周波数で最大3クロック動作
 - ・ 変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウエイト
- 注意4. HOCODIVレジスタで $f_{HOCO} = 64/48$ MHz (FRQSEL4 = 1, HOCODIV2-HOCODIV0 = 000B) に切り替える場合は、周辺イネーブル・レジスタ1 (PER1) のビット5 (PGACMPEN)、周辺イネーブル・レジスタ2 (PER2) のビット5 (TKBEN)、ビット3 (TRDOEN)、ビット2 (PWMOPEN)、ビット1 (TRXEN) をクリアしたあとに変更してください。

9.3.10 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)

MOCODIV レジスタは、中速オンチップ・オシレータの周波数を選択するレジスタです。

MOCODIV レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9 - 13 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV) のフォーマット

アドレス : F00F2H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MOCODIV	0	0	0	0	0	0	MOCODIV1	MOCODIV0

MOCODIV 1	MOCODIV 0	中速オンチップ・オシレータ・クロック選択
0	0	4 MHz
0	1	2 MHz
1	0	1 MHz
上記以外		設定禁止

注意 MOCODIVレジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ (FLMODE) で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

9.3.11 高速システム・クロック分周レジスタ (MOSCDIV)

MOSCDIV レジスタは、高速システム・クロックの分周比選択を設定するレジスタです。

MOSCDIV レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9-14 高速システム・クロック分周レジスタ (MOSCDIV) のフォーマット

アドレス : F0214H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MOSCDIV	0	0	0	0	0	MOSCDIV2	MOSCDIV1	MOSCDIV0

MOSCDIV2	MOSCDIV1	MOSCDIV0	高速システム・クロック分周 選択	$f_{MX} = 20 \text{ MHz}$ のとき
0	0	0	f_{MX}	20 MHz
0	0	1	$f_{MX}/2$	10 MHz
0	1	0	$f_{MX}/4$	5 MHz
0	1	1	$f_{MX}/8$	2.5 MHz
1	0	0	$f_{MX}/16$	1.25 MHz
上記以外			設定禁止	

注意 MOSCDIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ (FLMODE) で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

9.3.12 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

HIOTRM レジスタは、高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ）を使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、V_{DD}端子電圧に変化があった場合、周波数は変動します。

温度、V_{DD}電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図9-15 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) のフォーマット

アドレス : F00A0H

リセット時: 注

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑ ↓
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
⋮						
1	1	1	1	1	0	↓
1	1	1	1	1	1	

注 リセット値は出荷時に調整した値です。

備考1. HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRMレジスタの使用例は、**RL78 MCUシリーズ高速オンチップ・オシレータ・クロック周波数補正アプリケーションノート (R01AN2833)** を参照してください。

9.3.13 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM)

MIOTRM レジスタは、中速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ）を使用するなどして中速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

MIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、90H になります。

注意 精度補正後に温度、V_{DD} 端子電圧に変化があった場合、周波数は変動します。

温度、V_{DD} 電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図9-16 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) のフォーマット

アドレス : F0212H

リセット時: 90H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0	
MIOTRM	MIOTRM7	MIOTRM6	MIOTRM5	MIOTRM4	MIOTRM3	MIOTRM2	MIOTRM1	MIOTRM0	
MIOTRM	MIOTRM	MIOTRM	MIOTRM	MIOTRM	MIOTRM	MIOTRM	MIOTRM	MIOTRM	中速オンチップ・オシレータ
	7	6	5	4	3	2	1	0	
	0	0	0	0	0	0	0	0	最低速
	0	0	0	0	0	0	0	1	↑
	1	0	0	0	1	1	1	1	
	1	0	0	1	0	0	0	0	初期値
	1	0	0	1	0	0	0	1	↓
	1	1	1	1	1	1	1	0	
	1	1	1	1	1	1	1	1	最高速

備考 中速オンチップ・オシレータ・クロック補正分解能は、第43章 電気的特性 (TA = -40°C ~ +105°C) または第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

9.3.14 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM)

LIOTRM レジスタは、低速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ (タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ) を使用するなどして低速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

LIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H になります。

注意 精度補正後に温度、V_{DD} 端子電圧に変化があった場合、周波数は変動します。

温度、V_{DD} 電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図9-17 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) のフォーマット

アドレス : F0213H

リセット時: 80H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0	
LIOTRM	LIOTRM7	LIOTRM6	LIOTRM5	LIOTRM4	LIOTRM3	LIOTRM2	LIOTRM1	LIOTRM0	
LIOTRM7	LIOTRM6	LIOTRM5	LIOTRM4	LIOTRM3	LIOTRM2	LIOTRM1	LIOTRM0	低速オンチップ・オシレータ	
0	0	0	0	0	0	0	0	最低速	
0	0	0	0	0	0	0	1	↑	
0	1	1	1	1	1	1	1		
1	0	0	0	0	0	0	0	初期値	
1	0	0	0	0	0	0	1	↓	
1	1	1	1	1	1	1	0		
1	1	1	1	1	1	1	1	最高速	

備考 低速オンチップ・オシレータ・クロック補正分解能は、第43章 電気的特性 (TA = -40°C ~ +105°C) または第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

9.3.15 スタンバイ・モード解除設定レジスタ（WKUPMD）

WKUPMD レジスタは、スタンバイ・モード解除時の動作を設定するレジスタです。

WKUPMD レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-18 スタンバイ・モード解除設定レジスタ（WKUPMD）のフォーマット

アドレス : F0215H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
WKUPMD	0	0	0	0	0	0	0	FWKUP

FWKUP	STOPモード解除およびSNOOZEモード遷移時の 高速オンチップ・オシレータ起動設定 ^{注1,2}
0	通常起動 ^{注3}
1	高速起動 ^{注3,4}

注1. CPUクロックに高速オンチップ・オシレータを選択しているときのみ設定可能です。

注2. リセット信号の発生によるSTOPモード解除時には本レジスタは初期化され、高速オンチップ・オシレータは通常起動します。

注3. 各起動時間については、**第31章 スタンバイ機能**を参照してください。

なお、通常起動と高速起動により高速オンチップ・オシレータの周波数精度が異なります。**第43章 電気的特性** (TA = -40°C ~ +105°C) または**第44章 電気的特性** (TA = -40°C ~ +125°C) を参照してください。

注4. ユーザ・オプション・バイト (000C2H) のFRQSEL4ビットに0を設定している場合に使用可能です。

9.3.16 高速クロック選択レジスタ (HSCLKSEL)

HSCLKSEL レジスタは、高速オンチップ・オシレータ・クロックに 48 MHz のクロック供給を許可するレジスタです。

高速オンチップ・オシレータ・クロックを 48 MHz に設定し、高速オンチップ・オシレータ・クロックに 48 MHz を供給する場合は、PFBE ビット (プリフェッチバッファファイネーブルレジスタ (PFBER) のビット 0) の設定により、プリフェッチバッファを起動してからクロックの切り替え設定をしてください。

HSCLKSEL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H または 02H^{注1} になります。

注 リセット値は、オプション・バイトの設定により変化します。解除後、ユーザ・オプション・バイトの FRQSEL4 ビットの値が FIHST に反映されます。

図9-19 高速クロック選択レジスタ (HSCLKSEL) のフォーマット

アドレス : F0219H

リセット時: 00H または 02H^{注1}

R/W属性 : R/W^{注2}

略号	7	6	5	4	3	2	<1>	<0>
HSCLKSEL	0	0	0	0	0	0	FIHST	FIHSEL

ユーザ・オプション・バイト (000C2H) の値		FIHSEL	fih の選択
FRQSEL4	FRQSEL3		
0	0/1	0	fih = fHOCO
1	0/1	0	fih = fHOCO/2
1	0	1	fih = fHOCO ^{注3}
上記以外			設定禁止

FIHST	fih のステータス
0	fih = fHOCO
1	fih = fHOCO/2

注1. リセット値は、オプション・バイトの設定により変化します。解除後、ユーザ・オプション・バイトの FRQSEL4 ビットの値が FIHST に反映されます。

注2. ビット 1 は、Read Only です。

注3. プリフェッチバッファ無効 (PFBER レジスタの PFBE ビットに 0 を設定) 時は、FIHSEL ビットに 1 を設定しないでください。

備考 メイン・システム・クロック (fMAIN) を 48 MHz で動作させるには、プリフェッチ機能を有効にする必要があります。

設定のフロー・チャートは、第8章 オペレーション・ステート・コントロールを参照してください。

9.3.17 PLLコントロール・レジスタ (DSCCTL)

DSCCTL レジスタは、PLL 発振回路の動作を制御するレジスタです。

PLL 機能を使用する場合は、高速オンチップ・オシレータ・クロックまたは高速システム・クロックに 8 MHz を設定してください。

DSCCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、56H になります。

図9-20 PLLコントロール・レジスタ (DSCCTL) のフォーマット

アドレス : F02E5H

リセット時: 56H

R/W属性 : R/W

略号	7	<6>	5	4	3	2	1	<0>
DSCCTL	0	PLLDIV0	0	DSCM4	DSCM3	DSCM2	DSCM1	DSCON
PLLDIV0	PLL分周選択ビット ^{注1}							
1	2分周							
上記以外	設定禁止							
DSCM4	DSCM3	DSCM2	DSCM1	PLL通倍率選択ビット ^{注1,2}				
0	1	1	1	16通倍/2 (8倍) : f _{PLL} = 64 MHz				
1	0	1	1	24通倍/2 (12倍) : f _{PLL} = 96 MHz				
上記以外				設定禁止				
DSCON	PLL発振、出力制御 ^{注3}							
0	PLL停止							
1	PLL発振、出力 ^{注4}							

注1. PLL動作中は、設定を変更しないでください。変更する場合はPLLを停止させてください。

注2. PLL発振回路の最終段にて2分周されるため、()内の倍数となります。

注3. STOPモードに移行する際は、高速オンチップ・オシレータ・クロック (f_{IH} = 8 MHz) に切り替え、PLLを停止させてください。

注4. PLL動作開始後、周波数安定のためにロックアップ待ち時間 (50 μs) が必要となります。

注意1. ビット7, 5には、必ず0を設定してください。

注意2. ユーザ・オプション・バイト (000C2H) のFRQSEL4 = 1のときは、PLL動作開始 (DSCON = 1) にしないでください。

注意3. CPUがサブシステム・クロック動作中は、PLL動作開始 (DSCON = 1) にしないでください。

9.3.18 メイン・クロック制御レジスタ (MCKC)

MCKC レジスタは、メイン・クロックの動作を制御するレジスタです。

MCKC レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-21 メイン・クロック制御レジスタ (MCKC) のフォーマット

アドレス : F02E6H

リセット時: 00H

R/W属性 : R/W^{注1}

略号	<7>	6	5	4	3	<2>	<1>	<0>	
MCKC	CLSTR	0	0	0	0	RDIV1	RDIV0	CKSELR	
CLSTR	メイン・システム・クロック (fMAIN) 切り替えのステータス								
0	オンチップ・オシレータ・クロック (fOCO) / 高速システム・クロック (fMX) ^{注2}								
1	PLL分周クロック (fPLLDIV)								
RDIV1	RDIV0	PLL分周クロック (fPLLDIV) 分周比 ^{注3}							
0	0	2分周 (fPLLDIV = 48/32 MHz, fPLL = 96/64 MHz)							
0	1	4分周 (fPLLDIV = 24/16 MHz, fPLL = 96/64 MHz)							
上記以外		設定禁止							
CKSELR	メイン・システム・クロック (fMAIN) の選択								
0	オンチップ・オシレータ・クロック (fOCO) / 高速システム・クロック (fMX) ^{注2}								
1	PLL分周クロック (fPLLDIV) ^{注4, 5}								

注1. ビット7はRead onlyです。

注2. システム・クロック制御レジスタ (CKC) のビット4 (MCM0) で選択してください。

注3. CKSELRビットに1を設定しているときは、RDIVビットを変更しないでください。

注4. PLL選択時は、オンチップ・オシレータ・クロック (fOCO) または高速システム・クロックは停止させないでください。

注5. プリフェッチバッファ無効 (PFBERレジスタのPFBEビットに0を設定) 時は、メイン・システム・クロック (fMAIN) を48 MHzで動作 (RDIV1, RDIV0ビットの設定が00BかつDSCCTLレジスタのDSCM4-DSCM1ビットの設定が1011B) させることができないため、メイン・システム・クロック (fMAIN) にfPLLを選択 (CKSELRビットに1を設定) しないでください。

備考1. MCM0ビットのクロック選択に対して、CKSELRビットのクロック選択が優先して、メイン・システム・クロック (fMAIN) になります。

備考2. メイン・システム・クロック (fMAIN) を48 MHzで動作させるには、プリフェッチ機能を有効にする必要があります。

設定のフロー・チャートは、**第8章 オペレーション・ステート・コントロール**を参照してください。

9.3.19 ペリフェラル・クロックコントロールレジスタ (PCKC)

PCKC レジスタは、PLL クロックを選択するレジスタです。

PCKC レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります

図9-22 ペリフェラル・クロックコントロールレジスタ (PCKC) のフォーマット

アドレス : F0098H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	0
PCKC	0	0	0	0	0	0	PLLCK	0

PLLCK	PLLの動作クロック供給制御
0	オンチップ・オシレータ・クロック (foco) / 高速システム・クロック (fmx) 供給停止
1	オンチップ・オシレータ・クロック (foco) / 高速システム・クロック (fmx) 供給 ^注

注 システム・クロック制御レジスタ (CKC) のビット4 (MCM0) で選択してください。
PLLCKビットに1を設定後、PLL入カクロックの安定待ち時間 (1 μs) が必要となります。

9.4 システム・クロック発振回路

9.4.1 X1 発振回路

X1 発振回路は X1, X2 端子に接続された水晶振動子またはセラミック発振子（1 ~ 20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合は EXCLK 端子にクロック信号を入力してください。

X1 発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット 7, 6（EXCLK, OSCSEL）を次のように設定してください。

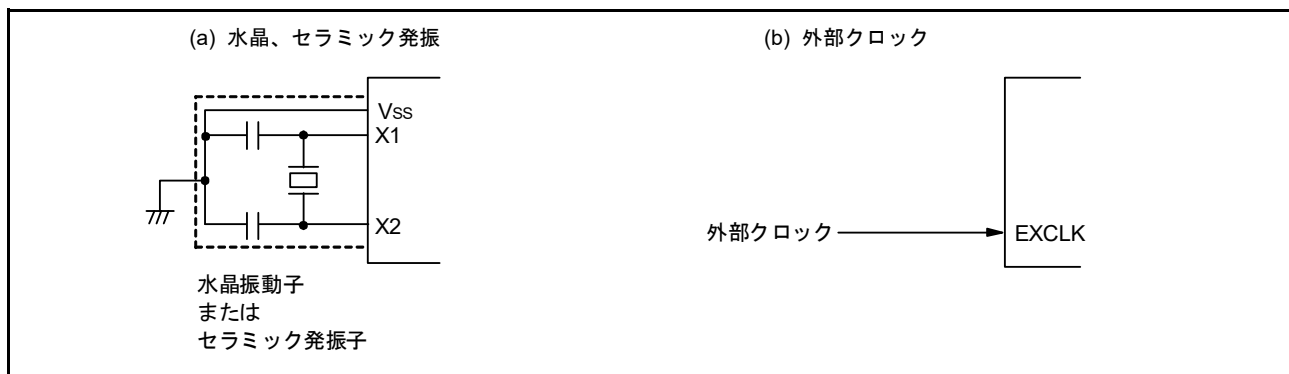
- 水晶、セラミック発振 : EXCLK, OSCSEL = 0, 1
- 外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1 発振回路を使用しない場合は、ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに、ポートとしても使用しない場合は、表 2-2 各端子の未使用端子処理を参照してください。

図 9-23 に X1 発振回路の外付け回路例を示します。

図 9-23 X1 発振回路の外付け回路例



注意 配線容量などの影響を避けるために、図 9-23 X1 発振回路の外付け回路例の破線の部分を次のように配線してください。

- 配線は極力短くしてください。
- ほかの信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常に Vss と同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

9.4.2 XT1 発振回路

XT1 発振回路は XT1, XT2 端子に接続された水晶振動子 (32.768 kHz (Typ.)) によって発振します。

XT1 発振回路を使用する場合、クロック動作モード制御レジスタ (CMC) のビット 4 (OSCSELS) に 1 を設定してください。

また、外部クロックを入力することができます。その場合は EXCLKS 端子にクロック信号を入力してください。XT1 発振回路を使用する場合、クロック動作モード制御レジスタ (CMC) のビット 5, 4 (EXCLKS, OSCSELS) を次のように設定してください。

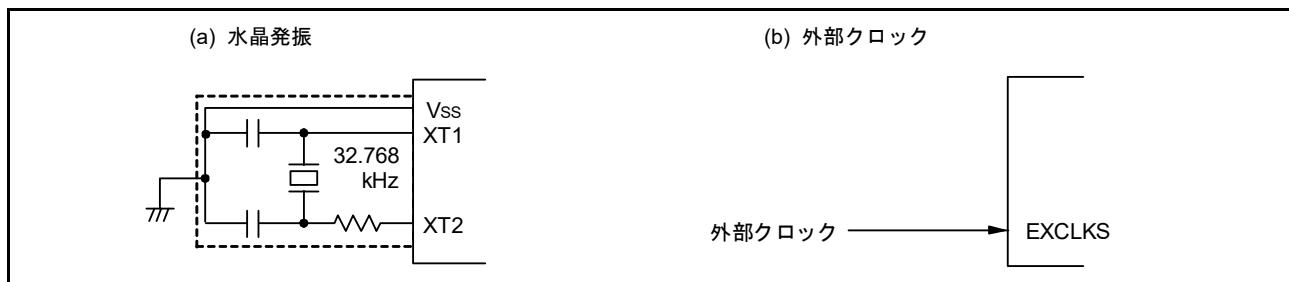
- 水晶発振 : EXCLKS, OSCSELS = 0, 1
- 外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1 発振回路を使用しない場合は、入力ポート・モード (EXCLKS, OSCSELS = 0, 0) に設定してください。

XT1 発振回路を使用せず、入力ポートとしても使用しない場合は、表 2-2 各端子の未使用端子処理を参照してください。

図 9-24 に XT1 発振回路の外付け回路例を示します。

図9-24 XT1 発振回路の外付け回路例



注意1. 配線容量などの影響を避けるために、図9-24 XT1発振回路の外付け回路例の破線の部分を次のように配線してください。

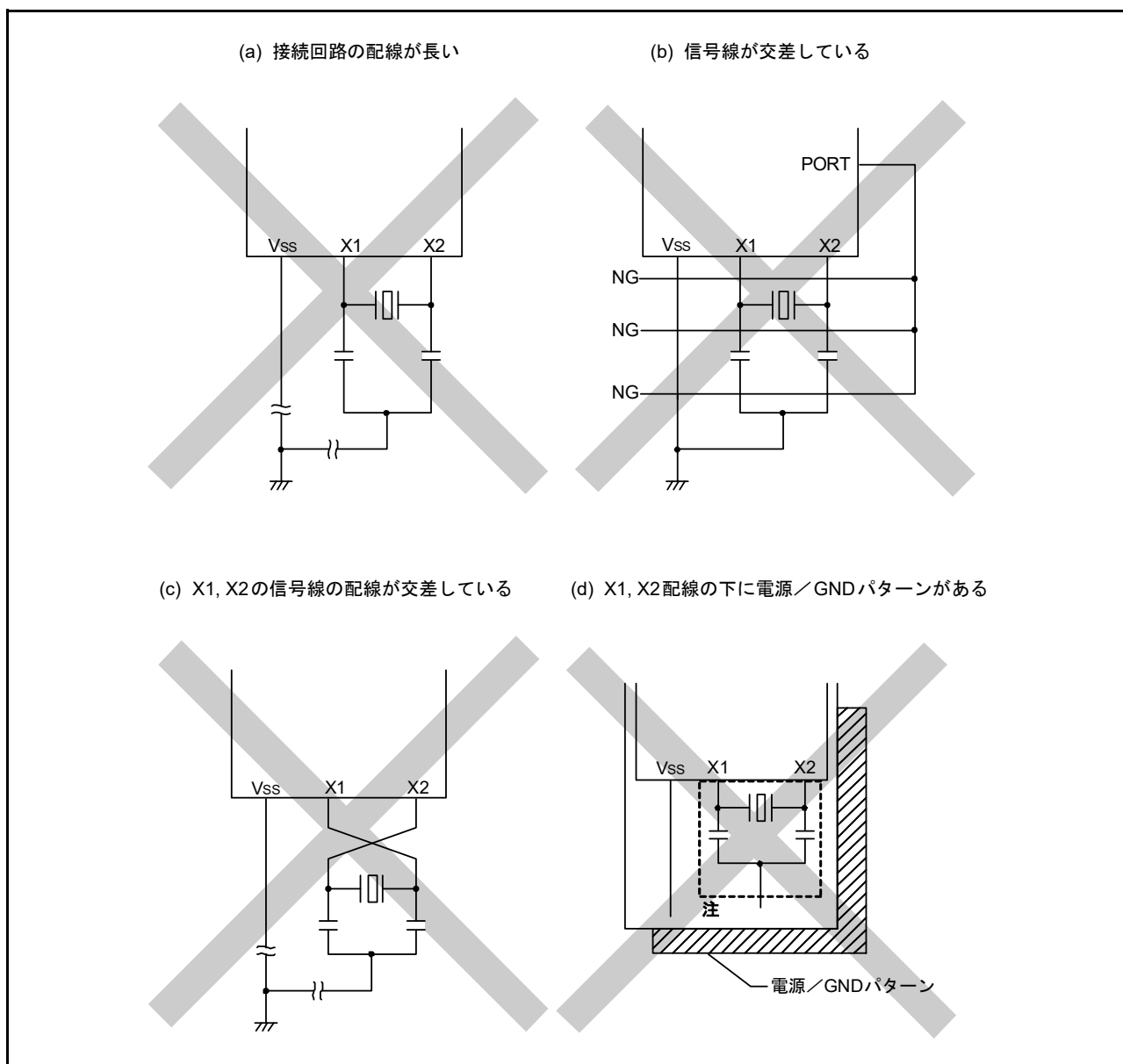
- 配線は極力短くしてください。
- ほかの信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグラウンド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

注意2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを低消費発振2 (AMPHS1, AMPHS0 = 10B) または低消費発振3 (AMPHS1, AMPHS0 = 11B) で使用する場合は9.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に低消費発振2 (AMPHS1, AMPHS0 = 10B) または低消費発振3 (AMPHS1, AMPHS0 = 11B) を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVssと同電位のグラウンド・パターンを配置してください。
- XT1端子、XT2端子と発振子の信号線はほかの信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高温環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

図9-25に発振子の接続の悪い例を示します。

図9-25 発振子の接続の悪い例 (1/2)

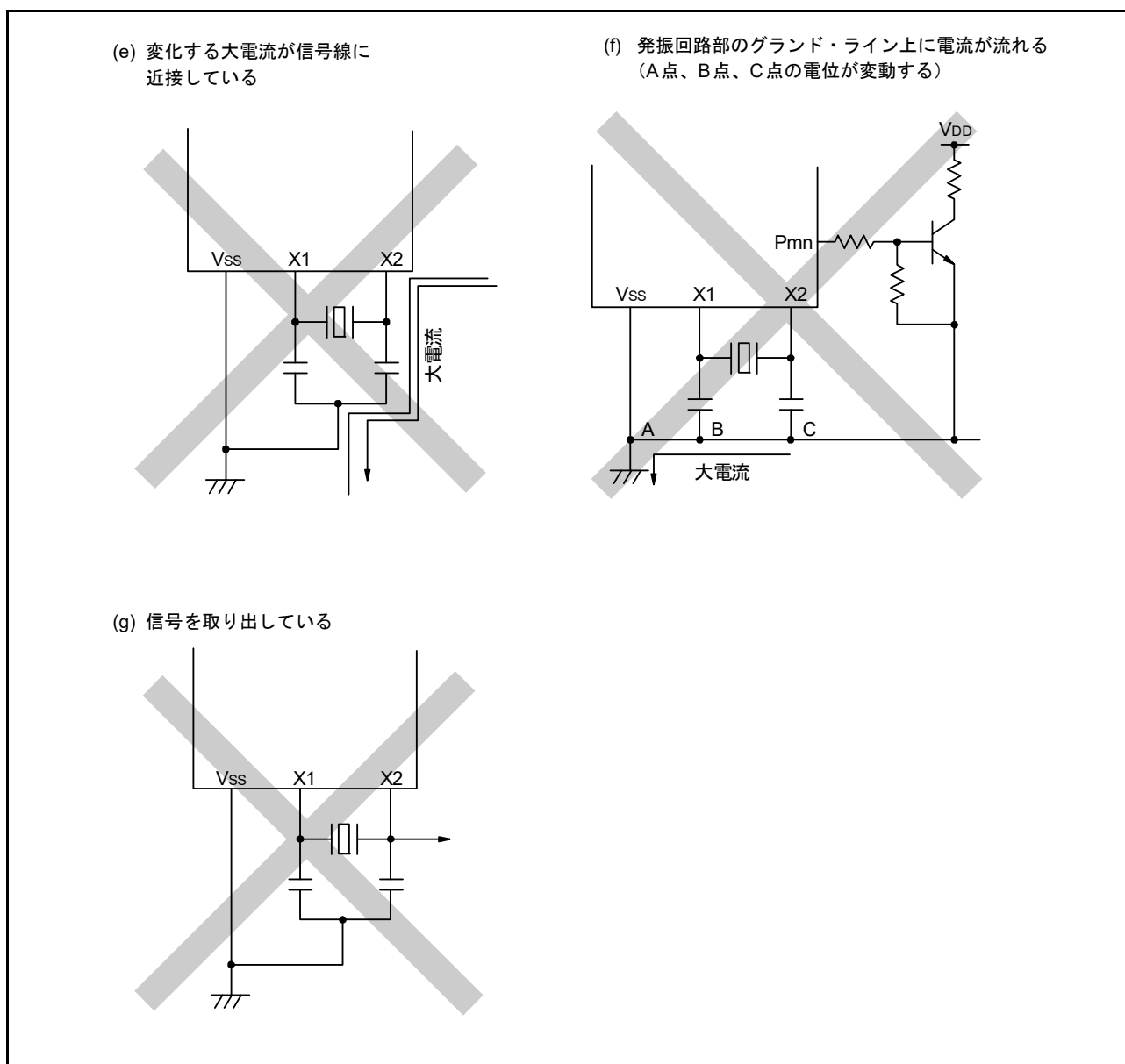


注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図9-25 発振子の接続の悪い例 (2/2)



注意 X2とX1が平行に配線されている場合、X2のクロストーク・ノイズがX1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

9.4.3 高速オンチップ・オシレータ

RL78/G24 は、高速オンチップ・オシレータを内蔵しています。ユーザ・オプション・バイト (000C2H) により 64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から周波数を選択することが可能です。クロック動作ステータス制御レジスタ (CSC) のビット 0 (HIOSTOP) にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

9.4.4 中速オンチップ・オシレータ

RL78/G24 は、中速オンチップ・オシレータを内蔵しています。クロック動作ステータス制御レジスタ (CSC) のビット 1 (MIOEN) にて発振を制御できます。

9.4.5 低速オンチップ・オシレータ

RL78/G24 は、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータは、以下のいずれかの条件で動作します。

- ウォッチドッグ・タイマが動作
- サブシステム・クロック供給モード制御レジスタ (OSMC) のビット 4 (WUTMMCK0)、またはサブシステム・クロック選択レジスタ (CKSEL) のビット 0 (SELLOSC) のいずれか、または両ビットが 1

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0 かつ、SELLOSC = 0 のとき、低速オンチップ・オシレータは停止します。

9.4.6 PLL (Phase Locked Loop)

RL78/G24 は、PLL 回路を内蔵しています。

高速オンチップ・オシレータ・クロックまたは高速システム・クロック 8 MHz を PLL リファレンス・クロックとし、PLL によって 24 通倍 / 2 (12 倍) した 96 MHz または 16 通倍 / 2 (8 倍) した 64 MHz の PLL クロック (f_{PLL}) を生成することができます。

PLL コントロール・レジスタ (DSCCTL) のビット 4-1 (DSCM4-DSCM1) にて通倍率を制御できます。

PLL コントロール・レジスタ (DSCCTL) のビット 0 (DSCON) にて動作を制御できます。

注意 CPUがサブシステム・クロック動作中は、PLL動作開始 (DSCON = 1) にしないでください。

ユーザ・オプション・バイト (000C2H) の FRQSEL4 = 1 のときは、PLL動作開始 (DSCON = 1) にしないでください。

9.5 クロック発生回路の動作

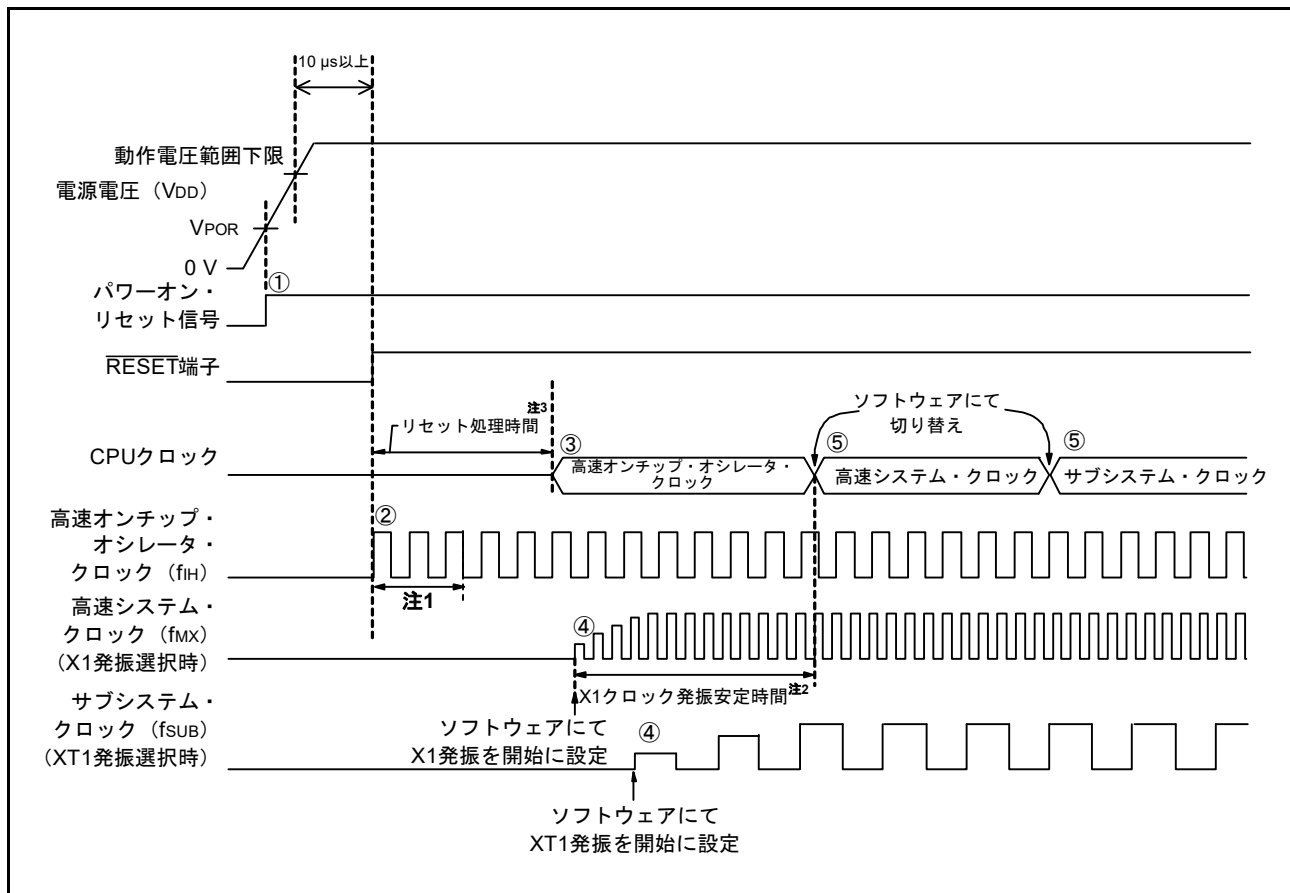
クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（**図9-1 クロック発生回路のブロック図**を参照）。

- メイン・システム・クロック (fMAIN)
 - 高速システム・クロック (fMX)
 - X1クロック (fx)
 - 外部メイン・システム・クロック (fEX)
 - 高速オンチップ・オシレータ・クロック (fiH)
 - 中速オンチップ・オシレータ・クロック (fiM)
 - PLLクロック周波数 (fPLL)
- サブシステム・クロック (fSUB)
 - XT1クロック (fXT)
 - 外部サブシステム・クロック (fEXS)
 - 低速オンチップ・オシレータ・クロック (fiL)
- CPU / 周辺ハードウェア・クロック (fCLK)
- サブシステム・クロック X (fSX)
- 周辺用クロック
 - 高速オンチップ・オシレータ周辺クロック (fiHP)
 - 中速オンチップ・オシレータ周辺クロック (fiMP)
 - 高速周辺クロック (fMXP)
 - 低速周辺クロック (fSXP)
 - サブシステム・クロック XR (fSXR)

RL78/G24 では、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。

図9-26に電源電圧投入時のクロック発生回路の動作を示します。

図9-26 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット (POR) 回路による内部リセット信号が発生します。
ただし、43.4 AC特性または44.4 AC特性に示す動作電圧範囲に達するまで、電圧検出回路が外部リセットでリセット状態を保ちます (上図は、外部リセット使用時の例)。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (9.6.2 X1発振回路の設定例または9.6.3 XT1発振回路の設定例を参照)。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (9.6.2 X1発振回路の設定例または9.6.3 XT1発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

注3. リセット処理時間は、第33章 パワーオン・リセット回路 (POR) を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

9.6 クロックの制御

9.6.1 高速オンチップ・オシレータの設定例

CPU／周辺ハードウェア・クロック（fCLK）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、ユーザ・オプション・バイト（000C2H）のFRQSEL4-FRQSEL0ビットにより、64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により、周波数を変更することもできます。

【ユーザ・オプション・バイト設定】

アドレス：000C2H

	7	6	5	4	3	2	1	0
ユーザ・オプション・バイト (000C2H)	CMODE1 0/1	CMODE0 0/1	1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					fHOCO	fIH
1	1	0	0	0	64 MHz	32 MHz
1	0	0	0	0	48 MHz	24 MHz
0	1	0	0	0	32 MHz	32 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）と高速クロック選択レジスタ（HSCLKSEL）設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

アドレス : F0219H

略号	7	6	5	4	3	2	<1>	<0>
HSCLKSEL	0	0	0	0	0	0	FIHST	FIHSEL

			高速オンチップ・オシレータ・クロック周波数の選択					
HOCODIV2	HOCODIV1	HOCODIV0	FIHSEL = 0				FIHSEL = 1	
			FRQSEL4 = 0		FRQSEL4 = 1		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _{ih} = 24 MHz	f _{ih} = 32 MHz	f _{ih} = 24 MHz f _{hoco} = 48 MHz	f _{ih} = 32 MHz f _{hoco} = 64 MHz	f _{ih} = 48 MHz f _{hoco} = 48 MHz	設定禁止
0	0	1	f _{ih} = 12 MHz	f _{ih} = 16 MHz	f _{ih} = 12 MHz f _{hoco} = 24 MHz	f _{ih} = 16 MHz f _{hoco} = 32 MHz	設定禁止	設定禁止
0	1	0	f _{ih} = 6 MHz	f _{ih} = 8 MHz	f _{ih} = 6 MHz f _{hoco} = 12 MHz	f _{ih} = 8 MHz f _{hoco} = 16 MHz	設定禁止	設定禁止
0	1	1	f _{ih} = 3 MHz	f _{ih} = 4 MHz	f _{ih} = 3 MHz f _{hoco} = 6 MHz	f _{ih} = 4 MHz f _{hoco} = 8 MHz	設定禁止	設定禁止
1	0	0	設定禁止	f _{ih} = 2 MHz	設定禁止	f _{ih} = 2 MHz f _{hoco} = 4 MHz	設定禁止	設定禁止
1	0	1	設定禁止	f _{ih} = 1 MHz	設定禁止	f _{ih} = 1 MHz f _{hoco} = 2 MHz	設定禁止	設定禁止
上記以外			設定禁止					

9.6.2 X1 発振回路の設定例

CPU / 周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1 発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) で X1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMC レジスタの OSCSEL ビットをセット (1)、fx > 10 MHz の場合は AMPH ビットをセット (1) して X1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 1	EXCLKS 0	OSCSELS 0	XTSEL 0	AMPHS1 0	AMPHS0 0	AMPH 0/1

- ② OSTS レジスタで STOP モード解除時の X1 発振回路の発振安定時間を選択しておきます。
例) 10 MHz の発振子で 102 μs 以上までウエイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2 0	OSTS1 1	OSTS0 0

- ③ CSC レジスタの MSTOP ビットをクリア (0) して X1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	XTSTOP 1	0	0	0	0	MIOEN 0	HIOSTOP 0

- ④ OSTC レジスタで X1 発振回路の発振安定待ちを行います。
例) 10 MHz の発振子で 102 μs 以上までウエイトする場合は、以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

- ⑤ CKC レジスタの MCM0 ビットで X1 発振クロックを CPU / 周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	0	0	MCS1 0	MCM1 0

注意 システム・クロック制御レジスタ (CKC) でメイン・システム・クロック (fMAIN) を変更する場合は、クロックの変更前、変更後ともにオプション・バイト (000C2H) およびフラッシュ動作モード選択レジスタ (FLMODE) で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。FLMODE レジスタについては、8.2.1 フラッシュ動作モード選択レジスタ (FLMODE) を参照してください。

9.6.3 XT1 発振回路の設定例

CPU / 周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1 発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) で XT1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時にリアルタイム・クロックのみサブシステム・クロックで動作 (超低消費電流) させる場合は RTCLPC ビットに 1 を設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	×	×	0	HIPREC 0

- ② CMC レジスタの OSCSELS ビットをセット (1) して XT1 発振回路を動作させます。20 ~ 32 ピン製品では XTSEL もセット (1) してください。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	XTSEL 0/1	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS1, AMPHS0 ビット : XT1 発振回路の発振モードを設定します。

- ③ CSC レジスタの XTSTOP ビットをクリア (0) して XT1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	MIOEN 0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウエイトしてください。

- ⑤ CKC レジスタの CSS ビットで XT1 発振クロックを CPU / 周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	MCS1 0	MCM1 0

備考 × : 不定

9.6.4 PLL回路の設定例

高速オンチップ・オシレータ・クロックまたは高速システム・クロックを設定後、PLL コントロール・レジスタ (DSCCTL) で PLL 回路の制御を行います。

PLL 機能を使用する場合は、高速オンチップ・オシレータ・クロックまたは高速システム・クロックに 8 MHz を設定してください。

【レジスタ設定】①～⑥の順に設定してください。

- ① DSCCTL レジスタの PLLDIV0 ビット、DSCM4-DSCM1 ビットを設定して、PLL の通倍、分周を設定します。

	7	6	5	4	3	2	1	0
DSCCTL	0	PLLDIV0 1	0	DSCM4 0/1	DSCM3 0/1	DSCM2 0/1	DSCM1 0/1	DSCON 0

- ② PCKC レジスタの PLLCK ビットを設定して、PLL にオンチップ・オシレータ・クロック (foco) / 高速システム・クロック (fmx) を供給します。

	7	6	5	4	3	2	1	0
PCKC	0	0	0	0	0	0	PLLCK 1	0

- ③ MCKC レジスタの RDIV1, RDIV0 ビットを設定して、メイン・システム・クロックの分周を設定します。

	7	6	5	4	3	2	1	0
MCKC	CLSTR 0	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 0

- ④ 1 μ s 以上のウェイトのあと、DSCCTL レジスタの DSCON ビットをセット (1) して、PLL 回路を動作させます。
注。

	7	6	5	4	3	2	1	0
DSCCTL	0	PLLDIV0 1	0	DSCM4 0/1	DSCM3 0/1	DSCM2 0/1	DSCM1 0/1	DSCON 1

- ⑤ PLL 動作開始後、周波数安定のためにロックアップ待ち時間 (50 μ s) が必要となります。

周波数安定後、MCKC レジスタの CKSELR ビットをセット (1) して、メイン・システム・クロックに PLL 出力を選択します。

	7	6	5	4	3	2	1	0
MCKC	CLSTR 0	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 1

- ⑥ MCKC レジスタの CLSTR ビットでステータス確認 (1) し、CPU クロックが切り替わっていることを確認してください。

	7	6	5	4	3	2	1	0
MCKC	CLSTR 1	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 1

- 注** 高速オンチップ・オシレータ・クロックまたは高速システム・クロックが発振安定してから1 μ s以降にPLLを動作させてください。
またPLL停止後、再び動作させる場合は4 μ s以上待ってから動作させてください。

9.6.5 CPUクロック状態移行図

図9-27にCPUクロック状態移行図を示します。

図9-27 CPUクロック状態移行図

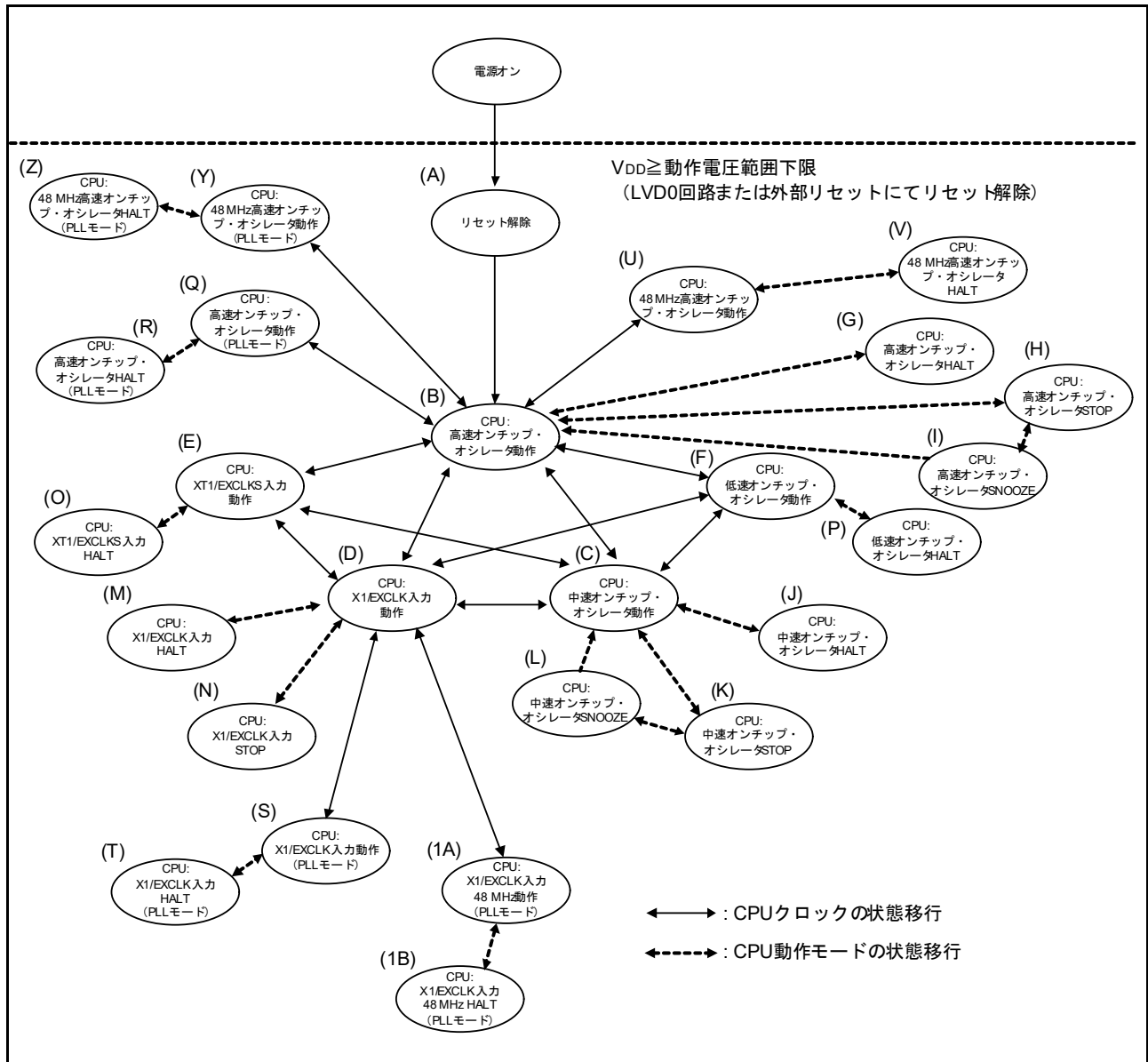


表9-2にCPUクロックの状態移行とレジスタの設定例などを示します。

表9-2 CPUクロックの移行とSFRレジスタの設定例 (1/4)

- (1) リセット解除後(A)に、CPUを高速オンチップ・オシレータ・クロック動作(B)へ移行
 対象状態遷移：(A) → (B)

移行先のクロック	SFRレジスタの設定
高速オンチップ・オシレータ	SFRレジスタ設定不要（リセット解除後の初期状態）

- (2) 高速オンチップ・オシレータ・クロック動作(B)へ移行
 対象状態遷移：(C) → (B), (D) → (B), (E) → (B), (F) → (B)

(SFRレジスタの設定順序) →

移行先のクロック	SFRレジスタの設定		CKCレジスタ		
	CSCレジスタ HIOSTOP	発振安定待ち	CSS	MCM0	MCM1
高速オンチップ・オシレータ	0	5 μs	0	0	0

高速オンチップ・オシレータ・
クロック動作中の場合は不要

- 対象状態遷移：(Q) → (B), (Y) → (B)

(SFRレジスタの設定順序) →

移行先のクロック	SFRレジスタの設定		クロック切り替え 確認	DSCCTLレジスタ	PCKCレジスタ
	MCKCレジスタ CKSELR			DSCON	PLLCK
高速オンチップ・オシレータ	0		MCKCレジスタの CLSTR = 0を確認	0	0

- (3) 中速オンチップ・オシレータ・クロック動作(C)へ移行
 対象状態遷移：(B) → (C), (D) → (C), (E) → (C), (F) → (C)

(SFRレジスタの設定順序) →

移行先のクロック	SFRレジスタの設定		CKCレジスタ		
	CSCレジスタ MIOEN	発振安定待ち	CSS	MCM0	MCM1
中速オンチップ・オシレータ	1	1 μs	0	0	1

中速オンチップ・オシレータ・
クロック動作中の場合は不要

備考 表9-2 CPUクロックの移行とSFRレジスタの設定例の(A) - (1B)は、図9-27 CPUクロック状態移行図の(A) - (1B)と対応しています。

表9-2 CPUクロックの移行とSFRレジスタの設定例 (2/4)

(4) PLLクロック動作(Q), (Y), (S), (1A)へ移行
 対象状態遷移 : (B) → (Q), (B) → (Y), (D) → (S), (D) → (1A)

(SFRレジスタの設定順序) →

SFRレジスタの設定 移行先のクロック	DSCCTLレジスタ		PCKC レジスタ	PLLクロック 安定待ち時間	DSCCTL レジスタ	ロック アップ 待ち時間	MCKC レジスタ	クロック 切り替え確認
	PLLDIV0	DSCM4- DSCM1	PLLCK		DSCON		CKSELR	
PLLクロック	1	0111B または 1011B	1	1 μs	1	50 μs	1	MCKC レジスタの CLSTR = 1を 確認

注意 高速オンチップ・オシレータ・クロックまたは高速システム・クロックの周波数は8 MHzに設定してください。

(5) CPUを高速システム・クロック動作(D)へ移行
 対象状態遷移 : (B) → (D), (C) → (D), (E) → (D)^{注1}, (F) → (D)

(SFRレジスタの設定順序) →

SFRレジスタの設定 移行先のクロック	CMCレジスタ ^{注2}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ	
	EXCLK	OSCSEL	AMPH		MSTOP		CSS	MCM0
X1クロックに移行 : 1 MHz ≤ f _x ≤ 10 MHz	0	1	0	注3	0	確認必要	0	1
X1クロックに移行 : 10 MHz < f _x ≤ 20 MHz	0	1	1	注3	0	確認必要	0	1
外部メイン・クロックに移行	1	1	×	注3	0	確認不要	0	1

設定済みの場合は不要

高速システム・クロック
動作中の場合は不要

対象状態遷移 : (S) → (D), (1A) → (D)

(SFRレジスタの設定順序) →

SFRレジスタの設定 移行先のクロック	MCKCレジスタ	クロック切り替え 確認	DSCCTLレジスタ	PCKCレジスタ
	CKSELR		DSCON	PLLCK
X1クロックまたは外部メイン・クロック に移行	0	MCKCレジスタの CLSTR = 0を確認	0	0

注1. 20～32ピン製品は非対応です。

注2. クロック動作モード制御レジスタ (CMC) は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。
20～32ピン製品ではXTSEL = 0に設定してください。

注3. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。
 ・ 期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第43章 電気的特性 (T_A = -40°C ~ +105°C) または第44章 電気的特性 (T_A = -40°C ~ +125°C) を参照) に電源電圧が達してから、クロックを設定してください。

備考 表9-2 CPUクロックの移行とSFRレジスタの設定例の(A) - (1B)は、図9-27 CPUクロック状態移行図の(A) - (1B)と対応しています。

表9 - 2 CPUクロックの移行とSFRレジスタの設定例 (3/4)

(6) CPUをサブシステム・クロック動作(E)へ移行
 対象状態遷移 : (B) → (E), (C) → (E), (D) → (E)注1

(SFRレジスタの設定順序) →

SFRレジスタの設定 移行先のクロック	CMCレジスタ注2				CSCレジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
XT1クロックに移行	0	1	0/1	0/1	0	必要	1
★ 外部サブシステム・クロックに移行	1	1	×	×	0	必要	1

設定済みの場合は不要
 サブシステム・クロック動作中
 の場合は不要

注1. 20～32ピン製品は非対応です。

注2. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
 20～32ピン製品ではXTSEL = 1に設定してください。

(7) 低速オンチップ・オシレータ・クロック動作(F)へ移行
 対象状態遷移 : (B) → (F), (C) → (F), (D) → (F)

(SFRレジスタの設定順序) →

SFRレジスタの設定 移行先のクロック	CKSEL	発振精度安定待ち	CKCレジスタ
	SELLOSC		CSS
低速オンチップ・オシレータに移行	1	80 μs	1

低速オンチップ・
 オシレータ・クロック
 動作中の場合は不要

備考1. × : Don't care

備考2. 表9 - 2 CPUクロックの移行とSFRレジスタの設定例の(A) - (1B)は、図9 - 27 CPUクロック状態移行図の(A) - (1B)と対応しています。

表9 - 2 CPUクロックの移行とSFRレジスタの設定例 (4/4)

- (8) CPU動作モード(B), (C), (D), (E), (F), (Q), (S), (U), (Y), (1A)からHALTモード(G), (J), (M), (O), (P), (R), (T), (V), (Z), (1B)へ移行
 対象状態遷移:(B) → (G), (C) → (J), (D) → (M), (E) → (O), (F) → (P), (Q) → (R), (S) → (T), (U) → (V), (Y) → (Z), (1A) → (1B)

移行先のモード	設定内容
HALTモード	HALT命令を実行する

- (9) CPU動作モード(B), (C), (D)からSTOPモード(H), (K), (N)へ移行
 対象状態遷移:(B) → (H), (C) → (K), (D) → (N)

(設定順序) →

移行先のモード	設定内容			
STOPモード	STOPモード中に動作できない周辺機能を停止する	OSTSレジスタを設定する	HIPREC = 1であることを確認	STOP命令を実行する

STOPまたはSNOOZEモード解除時

- 高速オンチップ・オシレータを通常起動する場合はFWKUP = 0
- 高速オンチップ・オシレータを高速起動する場合はFWKUP = 1

CPUが高速システム・クロック動作中からSTOPモードに移行する場合のみ、設定が必要

高速オンチップ・オシレータを高速起動する場合以外は設定不要

CPUが高速オンチップ・オシレータ動作中からSTOPモードに移行する場合のみ、設定が必要

- (10) STOPモード(H), (K)とSNOOZEモード(I), (L)の移行
 STOPモードからSNOOZEモードへ移行するための設定の詳細については、**第31章 スタンバイ機能**および各周辺のSNOOZEモード機能を参照してください。

備考 表9 - 2 CPUクロックの移行とSFRレジスタの設定例の(A) - (1B)は、**図9 - 27 CPUクロック状態移行図**の(A) - (1B)と対応しています。

9.6.6 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表9-3 CPUクロックの移行について (1/8)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1	CPUクロックが移行後のクロックに切り替わったことを確認したあと、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能。
	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0 ^{注1} ・ 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0, XTSEL = 0 ^{注1}	
	PLLクロック	高速オンチップ・オシレータがf _{ih} = 8 MHzで発振され、かつPLLの動作クロックとして供給されていること ・ FRQSEL4-FRQSEL0 = 01010B ・ HIOSTOP = 0 ・ PLLCK = 1 PLL発振が安定していること ・ PLLDIV0 = 1, DSCM4-DSCM1 = 0111Bまたは1011B, DSCON = 1 ・ ロックアップ待ち時間 (50 μs) 経過後	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0, XTSEL = 1 ^{注1} ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能。
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0, XTSEL = 1 ^{注1}	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1	

表9-3 CPUクロックの移行について (2/8)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
中速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること ・ HIOSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、中速オンチップ・オシレータを停止 (MIOEN = 0) すると、動作電流を低減可能
	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0 ^{注1} ・ 発振安定時間経過後	
	PLLクロック	移行不可	—
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0, XTSEL = 0 ^{注1}	CPUクロックが移行後のクロックに切り替わったことを確認したあと、中速オンチップ・オシレータを停止 (MIOEN = 0) すると、動作電流を低減可能
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0, XTSEL = 1 ^{注1} ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0, XTSEL = 1 ^{注1}	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1	

表9-3 CPUクロックの移行について (3/8)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
PLLクロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、PLL動作クロックに高速オンチップ・オシレータが選択されていること ・ HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、PLLを停止 (DSCON = 0) すると動作電流を低減可能 DSCON = 0 PLLCK = 0
	中速オンチップ・オシレータ・クロック	移行不可	—
	X1クロック	X1発振が発振され、PLL動作クロックにX1発振が選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0 ^{注1} , MCS = 1	CPUクロックが移行後のクロックに切り替わったことを確認したあと、PLLを停止 (DSCON = 0) すると動作電流を低減可能 DSCON = 0 PLLCK = 0
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にし、PLLソースクロックに外部メイン・システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0, XTSEL = 0 ^{注1} , MCS = 1	CPUクロックが移行後のクロックに切り替わったことを確認したあと、PLLを停止 (DSCON = 0) すると動作電流を低減可能 DSCON = 0 PLLCK = 0
	XT1クロック	移行不可	—
	外部サブシステム・クロック		
低速オンチップ・オシレータ・クロック			

表9-3 CPUクロックの移行について (4/8)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、X1発振停止可能 (MSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1	
	外部メイン・システム・クロック	移行不可	—
	PLLクロック	X1クロック = 8 MHzで発振され、かつPLLの動作クロックとして供給されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0 ^{注1} , MCS = 1 PLL発振が安定していること ・ PLLDIV0 = 1, DSCM4-DSCM1 = 0111Bまたは1011B, DSCON = 1 ・ ロックアップ待ち時間 (50 μs) 経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、X1発振停止可能 (MSTOP = 1)
	XT1クロック ^{注2}	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック ^{注2}	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1	

表9-3 CPUクロックの移行について (5/8)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1	
	PLLクロック	・ EXCLK端子からの外部クロック = 8 MHzで発振され、かつPLLの動作クロックとして供給されていること - OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0 ^{注1} , MCS = 1 ・ PLL発振が安定していること - PLLDIV0 = 1, DSCM4-DSCM1 = 0111Bまたは1011B, DSCON = 1 - ロックアップ待ち時間 (50 μs) 経過後	—
	X1クロック	移行不可	
	XT1クロック ^{注2}	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	外部サブシステム・クロック ^{注2}	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 SELLOSC = 1	

表9-3 CPUクロックの移行について (6/8)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、XT1発振停止に設定可能 (XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること ・MIOEN = 1, MCS = 0, MCS1 = 1	
	PLLクロック	設定禁止 (一度高速オンチップ・オシレータ・クロックまたはX1クロックを経由してからPLLクロックに切り替えること)	—
	X1クロック注2	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	CPUクロックが移行後のクロックに切り替わったことを確認したあと、XT1発振停止に設定可能 (XTSTOP = 1)
	外部メイン・システム・クロック注2	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	外部サブシステム・クロック	移行不可	
		低速オンチップ・オシレータ・クロック	

表9-3 CPUクロックの移行について (7/8)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること ・ MIOEN = 1, MCS = 0, MCS1 = 1	
	PLLクロック	設定禁止 (一度高速オンチップ・オシレータ・クロックまたはX1クロックを経由してからPLLクロックに切り替えること)	—
	X1クロック注2	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	外部メイン・システム・クロック注2	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	XT1クロック	移行不可	—
	低速オンチップ・オシレータ・クロック		

表9-3 CPUクロックの移行について (8/8)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0, MCS1 = 0	—
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること ・ MIOEN = 1, MCS = 0, MCS1 = 1	
	PLLクロック	設定禁止（一度高速オンチップ・オシレータ・クロックまたはX1クロックを経由してからPLLクロックに切り替えること）	
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0 ^{注1} ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0, XTSEL = 0 ^{注1} ・ MCS = 1	
	XT1クロック	移行不可	
外部サブシステム・クロック			

注1. 20～32ピン製品のみ

注2. 40～64ピン製品のみ移行可能

9.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット6, 4, 0（CSS, MCM0, MCM1）の設定により、CPUクロックの切り替え（メイン・システム・クロック⇄サブシステム・クロック）、メイン・システム・クロックの切り替え（オンチップ・オシレータ・クロック⇄高速システム・クロック）、オンチップ・オシレータ・クロックの切り替え（高速オンチップ・オシレータ・クロック⇄中速オンチップ・オシレータ・クロック）をすることができます。

実際の切り替え動作は、CKCレジスタを書き換えた直後ではなく、CKCレジスタを変更したのち、数クロックは切り替え前のクロックで動作します（表9-4 メイン・システム・クロックの切り替えに要する最大時間～表9-7 fMAIN ⇄ fSUB で要する最大クロック数参照）。

CPUクロックがメイン・システム・クロックで動作しているか、サブシステム・クロックで動作しているかは、CKCレジスタのビット7（CLS）で判定できます。メイン・システム・クロックが高速システム・クロックで動作しているか、メイン・オンチップ・オシレータ・クロックまたはPLLクロックで動作しているかは、CKCレジスタのビット5（MCS）およびMCKCレジスタのビット7（CLSTR）で判定できます。メイン・オンチップ・オシレータ・クロックが高速オンチップ・オシレータ・クロックで動作しているか、中速オンチップ・オシレータで動作しているかは、CKCレジスタのビット1（MCS1）で判定できます。

CPUクロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表9-4 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
foco	←→	fmx	表9-5 foco⇄fmxで要する最大クロック数参照
fiH	←→	fim	表9-6 fiH⇄fimで要する最大クロック数参照
fMAIN	←→	fSUB	表9-7 fMAIN⇄fSUBで要する最大クロック数参照

表9-5 foco⇄fmxで要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (fMAIN = foco)	1 (fMAIN = fmx)
0 (fMAIN = foco)	fmx ≥ foco		2クロック
	fmx < foco		2 foco/fmxクロック
1 (fMAIN = fmx)	fmx ≥ foco	2 fmx/focoクロック	
	fmx < foco	2クロック	

表9 - 6 $f_{IH} \leftrightarrow f_{IM}$ で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM1		MCM1	
		0 (foco = f _{IH})	1 (foco = f _{IM})
0 (foco = f _{IH})	f _{IM} ≥ f _{IH}		2クロック
	f _{IM} < f _{IH}		2 f _{IH} /f _{IM} クロック
1 (foco = f _{IM})	f _{IM} ≥ f _{IH}	2 f _{IM} /f _{IH} クロック	
	f _{IM} < f _{IH}	2クロック	

表9 - 7 $f_{MAIN} \leftrightarrow f_{SUB}$ で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 (fCLK = f _{MAIN})	1 (fCLK = f _{SUB})
0 (fCLK = f _{MAIN})			1 + 2 f _{MAIN} /f _{SUB} クロック
1 (fCLK = f _{SUB})		3クロック	

備考1. 表9 - 5 $f_{OCO} \leftrightarrow f_{MX}$ で要する最大クロック数、表9 - 6 $f_{IH} \leftrightarrow f_{IM}$ で要する最大クロック数、表9 - 7 $f_{MAIN} \leftrightarrow f_{SUB}$ で要する最大クロック数のクロック数は、切り替え前のCPUクロックのクロック数です。

備考2. 表9 - 5 $f_{OCO} \leftrightarrow f_{MX}$ で要する最大クロック数、表9 - 6 $f_{IH} \leftrightarrow f_{IM}$ で要する最大クロック数、表9 - 7 $f_{MAIN} \leftrightarrow f_{SUB}$ で要する最大クロック数のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速オンチップ・オシレータ・クロック（8 MHz選択時）から高速システム・クロックに切り替える場合（f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時）

$$1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 \rightarrow 2 \text{クロック}$$

9.6.8 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。
クロックを停止する場合は、クロック停止前条件を確認したあとに停止してください。

表9-8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS1 = 1 または MCS = 1 または CLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
中速オンチップ・オシレータ・クロック	MCS1 = 0 または MCS = 1 または CLS = 1 (CPUクロックが中速オンチップ・オシレータ・クロック以外で動作)	MIOEN = 0
X1クロック 外部メイン・システム・クロック	MCS = 0 または CLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1
低速オンチップ・オシレータ・クロック注	CLS = 0 (CPUクロックが低速オンチップ・オシレータ・クロック以外で動作)	SELLOSC = 0 WUTMMCK0 = 0
PLLクロック	CLSTR = 0 (CPUクロックがPLLクロック以外で動作)	DSCON = 0

注 WDTが動作している場合は停止しません。

9.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数（参考）は、当社ホームページの対象製品ページを参照してください。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については、DC, AC 特性の規格内で使用してください。

図9 - 28 外付け回路例



第10章 タイマ・アレイ・ユニット (TAU)

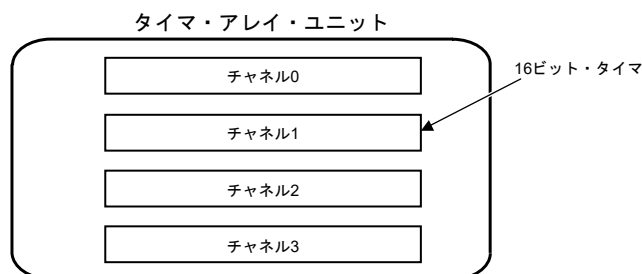
タイマ・アレイ・ユニットは1ユニット、4チャンネル搭載しています。

注意1. タイマ入出力端子の有無は製品によって異なります。詳細は、表10-2 各製品に搭載しているタイマ入出力端子を参照してください。

注意2. この章では、以降の主な説明を64ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは4個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせるとして高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャネル動作機能	複数チャネル連動動作機能
<ul style="list-style-type: none"> • インターバル・タイマ (→10.8.1 インターバル・タイマ／方形波出力としての動作参照) • 方形波出力 (→10.8.1 インターバル・タイマ／方形波出力としての動作参照) • 外部イベント・カウンタ (→10.8.2 外部イベント・カウンタとしての動作参照) • 分周器注 (→10.8.3 分周器としての動作 (チャネル0のみ) 参照) • 入力パルス間隔測定 (→10.8.4 入力パルス間隔測定としての動作参照) • 入力信号のハイ／ロウ・レベル幅測定 (→10.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作参照) • デイレイ・カウンタ (→10.8.6 デイレイ・カウンタとしての動作参照) 	<ul style="list-style-type: none"> • ワンショット・パルス出力 (→10.9.1 ワンショット・パルス出力機能としての動作参照) • PWM出力 (→10.9.2 PWM機能としての動作参照) • 多重PWM出力 (→10.9.3 多重PWM出力機能としての動作参照)

注 チャンネル0のみ

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ (上位／下位) として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ (上位／下位8ビット・タイマ)／方形波出力 (下位8ビット・タイマのみ)
- 外部イベント・カウンタ (下位8ビット・タイマのみ)
- デイレイ・カウンタ (下位8ビット・タイマのみ)

また、チャンネル3は、シリアル・アレイ・ユニットのUART0と連携し、LIN-bus通信動作を実現することができます。

10.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

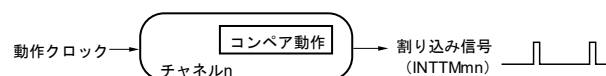
10.1.1 単独チャネル動作機能

単独チャネル動作機能は、ほかのチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

単独チャネル動作機能は、次に示す7種類のモードがあります。

(1) インターバル・タイマ

一定間隔で割り込み (INTTMmn) を発生する基準タイマとして利用できます。



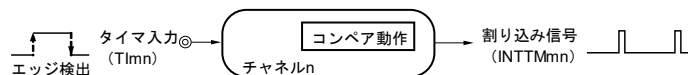
(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50% の方形波をタイマ出力端子 (TOnn) より出力します。



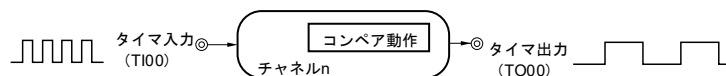
(3) 外部イベント・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジをカウントし、規定回数に達すると割り込みを発生するイベント・カウンタとして利用できます。



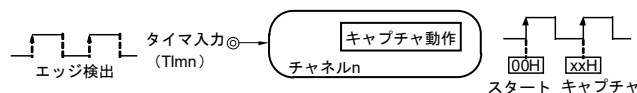
(4) 分周器機能 (チャンネル0のみ)

タイマ入力端子 (TI00) から入力されたクロックを分周して出力端子 (TO00) より出力します。



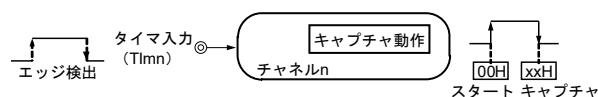
(5) 入力パルス間隔測定

タイマ入力端子 (TImn) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



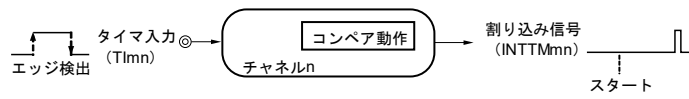
(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TImn) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(7) デイレイ・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考1. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

備考2. チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、**表10-2 各製品に搭載しているタイマ入出力端子**を参照してください。

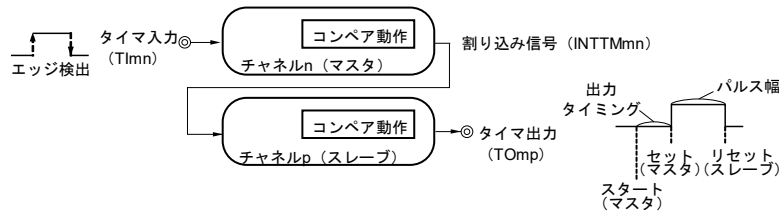
10.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせることで実現する機能です。

複数チャンネル連動動作機能は、次に示す3種類のモードがあります。

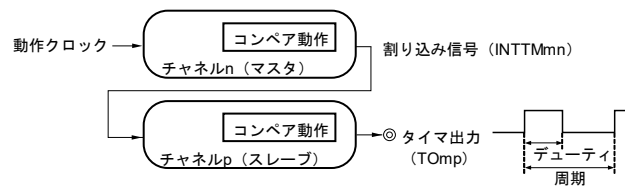
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



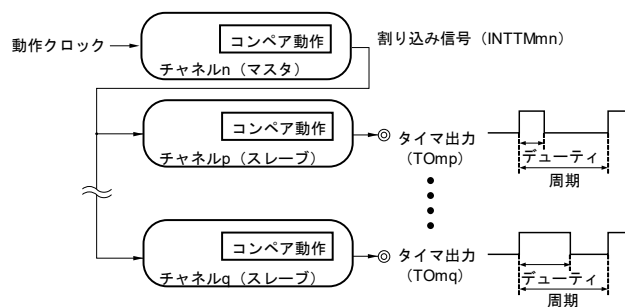
(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大3種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、10.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)、
p, q : スレーブ・チャンネル番号 (n < p < q ≤ 3)

10.1.3 8ビット・タイマ動作機能 (チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、10.4.2 8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ) を参照してください。

10.1.4 LIN-bus対応機能 (チャンネル3のみ)

LIN-bus 通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART0のシリアル・データ入力端子 (RxD0) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART0のシリアル・データ入力端子 (RxD0) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART0のシリアル・データ入力端子 (RxD0) に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus対応機能の動作設定については、10.3.14 入力切り替え制御レジスタ (ISC) および10.8.5 入力信号のハイ/ロウ・レベル幅測定としての動作を参照してください。

10.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表10-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI03 ^注 、RxD0 端子 (LIN-bus 用)
タイマ出力	TO00-TO03 ^注
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> • 周辺イネーブル・レジスタ 0 (PER0) • 周辺リセット制御レジスタ 0 (PRR0) • タイマ・クロック選択レジスタ m (TPSm) (m = 0) • タイマ・チャンネル許可ステータス・レジスタ m (TEm) (m = 0) • タイマ・チャンネル開始レジスタ m (TSm) (m = 0) • タイマ・チャンネル停止レジスタ m (TTm) (m = 0) • タイマ入出力選択レジスタ 0 (TIOS0) • タイマ出力許可レジスタ m (TOEm) (m = 0) • タイマ出力レジスタ m (TOM) (m = 0) • タイマ出力レベル・レジスタ m (TOLm) (m = 0) • タイマ出力モード・レジスタ m (TOMm) (m = 0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> • タイマ・モード・レジスタ mn (TMRmn) (m = 0, n = 0-3) • タイマ・ステータス・レジスタ mn (TSRmn) (m = 0, n = 0-3) • 入力切り替え制御レジスタ (ISC) • ノイズ・フィルタ許可レジスタ 1 (NFEN1) • ポート・モード・レジスタ (PMxx) • ポート・レジスタ (Pxx) • ポート出力モード・レジスタ (POMxx) • ポート・モード・コントロール A・レジスタ (PMCAxx)

注 チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、**表10-2 各製品に搭載しているタイマ入出力端子**を参照してください。

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

表10-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ ユニット・チャンネル	各製品の入出力端子の有無		
	20ピン	24, 25ピン	30～64ピン
チャンネル0	TI00/TO00 (TI00/TO00)		
チャンネル1	(TI01/TO01)	TI01/TO01 (TI01/TO01)	
チャンネル2	(TI02/TO02)	TI02/TO02 (TI02/TO02)	
チャンネル3	(TI03/TO03)		TI03/TO03 (TI03/TO03)

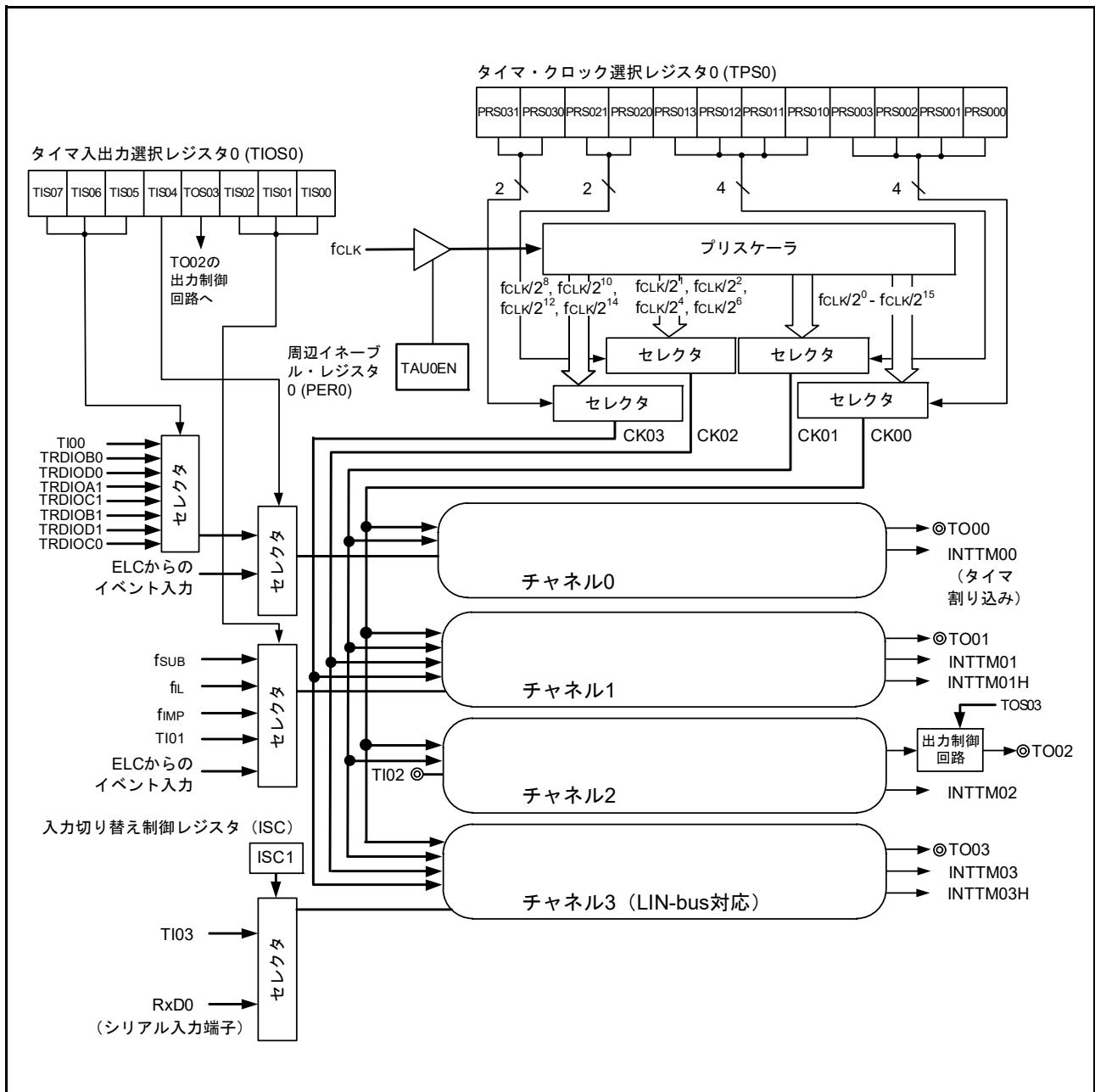
備考1. タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

備考2. () は周辺I/Oリダイレクション・レジスタ (PIOR3) を設定したときの兼用ポートです。

詳細は、7.3.8 周辺I/Oリダイレクション・レジスタ (PIORx) を参照してください。

図 10 - 1 にタイマ・アレイ・ユニットの全体ブロック図 (例 : 64 ピン製品) を示します。

図 10 - 1 タイマ・アレイ・ユニットの全体ブロック図 (例 : 64 ピン製品)



- 備考**
- fSUB : サブシステム・クロック周波数
 - fiL : 低速オンチップ・オシレータ・クロック周波数
 - fiMP : 中速オンチップ・オシレータ・周辺クロック周波数

図 10-2 タイマ・アレイ・ユニットのチャンネル0内部ブロック図

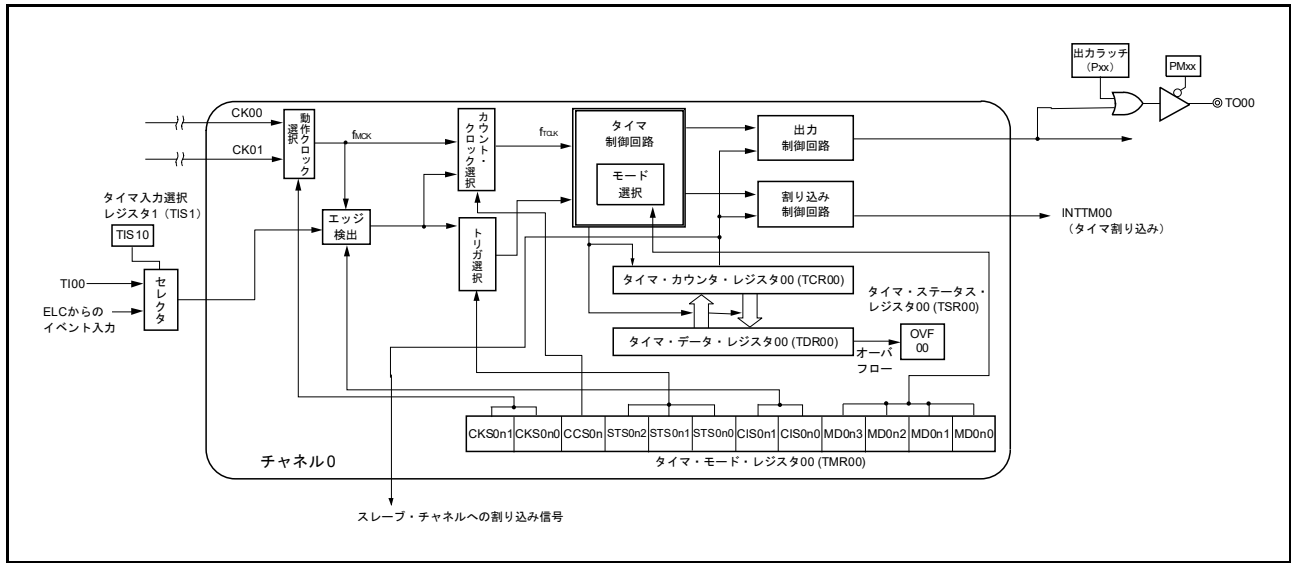


図 10-3 タイマ・アレイ・ユニットのチャンネル1内部ブロック図

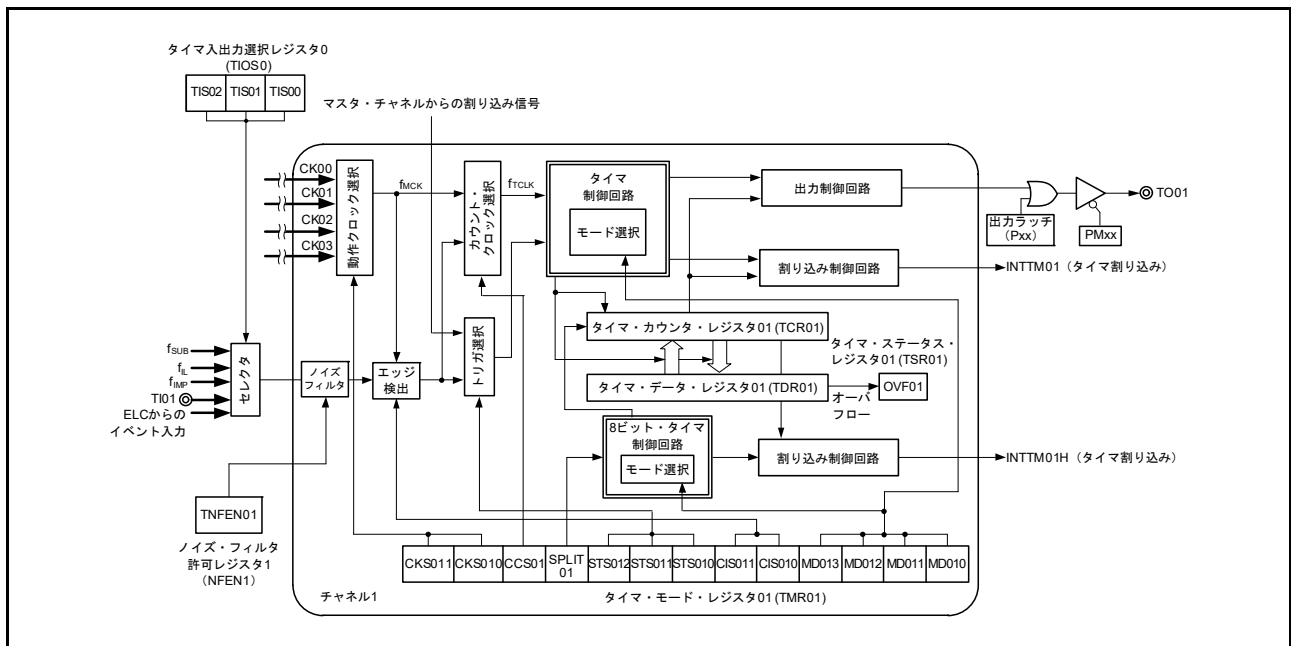


図 10 - 4 タイマ・アレイ・ユニットのチャンネル2内部ブロック図

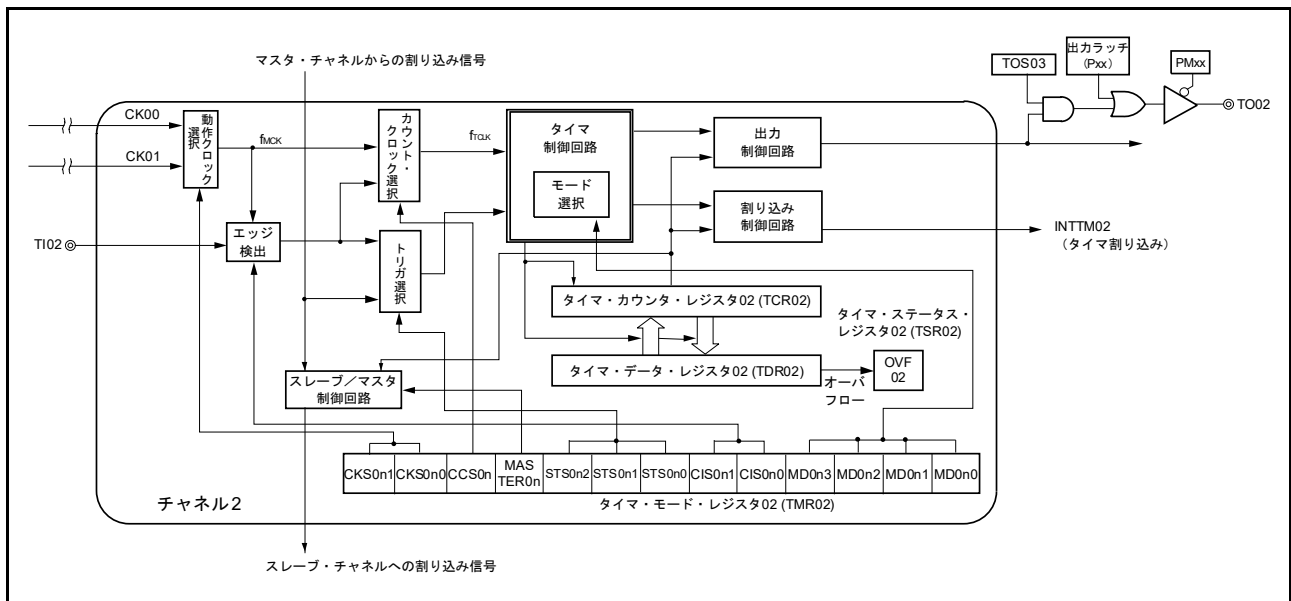
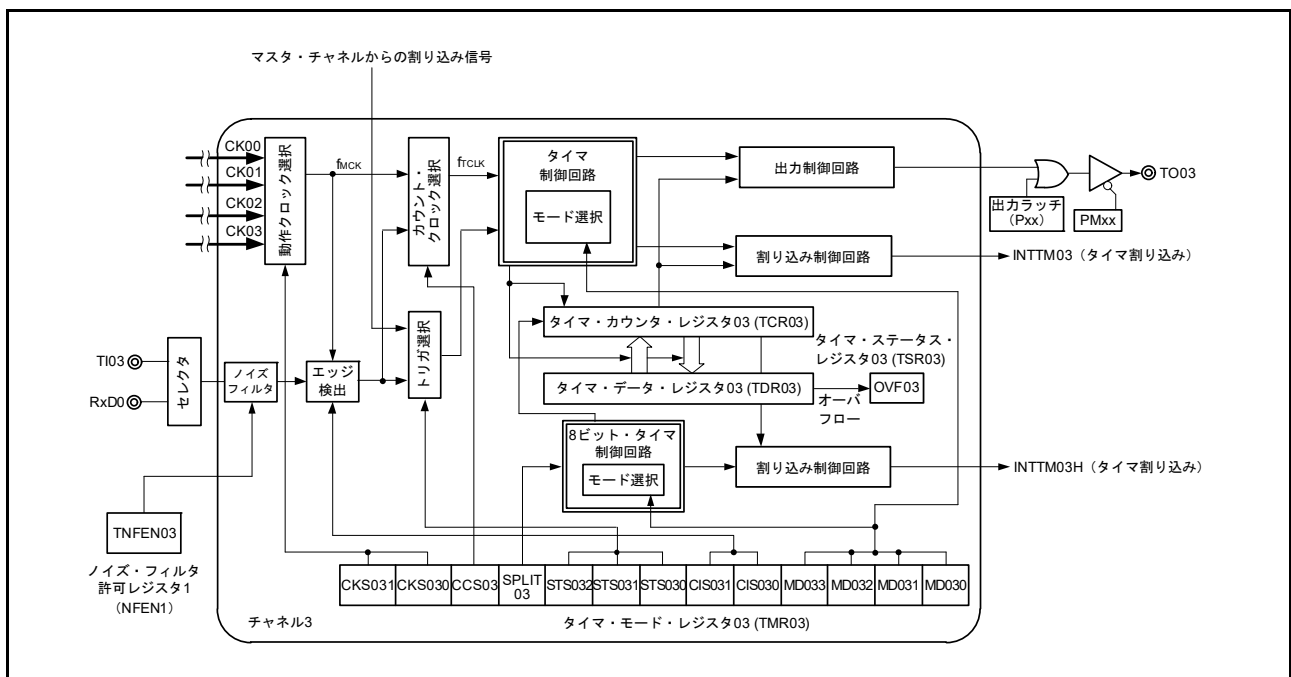


図 10 - 5 タイマ・アレイ・ユニットのチャンネル3内部ブロック図



10.2.1 タイマ・カウンタ・レジスタ mn (TCRmn) (m = 0, n = 0-3)

TCRmn レジスタは、カウント・クロックをカウントする 16 ビットの読み出し専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。

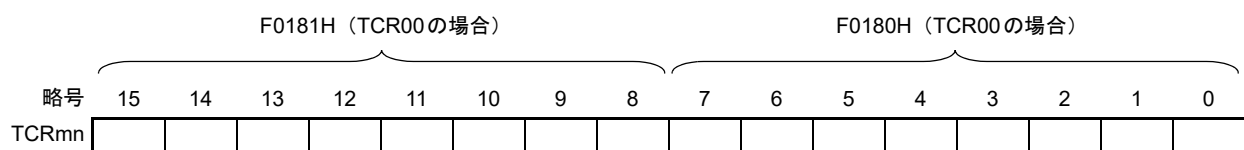
インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn) の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります (10.3.4 タイマ・モード・レジスタ mn (TMRmn) (m = 0, n = 0-3) 参照)。

図 10-6 タイマ・カウンタ・レジスタ mn (TCRmn) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F0186H, F0187H (TCR03)

リセット時: FFFFH

R/W属性 : R



タイマ・カウンタ・レジスタ mn (TCRmn) を読み出すことにより、カウント値を読み出せます。

次の場合、カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺リセット制御レジスタ0 (PRR0) の TAUmRES ビットをクリアしたとき
- PWM出力モードで、スレーブ・チャンネルのカウント完了時
- デイレイ・カウンタ・モードで、スレーブ・チャンネルのカウント完了時
- ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- 多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- キャプチャ・モード時に、スタート・トリガが入力されたとき
- キャプチャ・モード時で、キャプチャ完了時

注意 TCRmn レジスタを読み出しても、タイマ・データ・レジスタ mn (TDRmn) にはキャプチャしません。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

TCRmn レジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表10-3 各動作モード時のタイマ・カウンタ・レジスタmn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値 ^注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmnレジスタのキャプチャ値+1

注 チャンネルnがタイマ動作停止状態 (TEmn = 0) かカウンタ動作許可状態 (TSmn = 1) にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.2.2 タイマ・データ・レジスタ mn (TDRmn) (m = 0, n = 0-3)

TDRmn レジスタは、キャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn) の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります。

TDRmn レジスタは任意のタイミングで書き換えることができます。

16 ビット単位で読み出し／書き込み可能です。

また、TDRm1, TDRm3 レジスタは、8 ビット・タイマ・モード時 (タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3) の SPLITm1, SPLITm3 ビットが 1) に、上位 8 ビットを TDRm1H, TDRm3H、下位 8 ビットを TDRm1L, TDRm3L として、8 ビット単位で読み出し／書き込みが可能です。

リセット信号の発生により、0000H になります。

図 10-7 タイマ・データ・レジスタ mn (TDRmn) (n = 0, 2) のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02)

リセット時: 0000H

R/W属性 : R/W

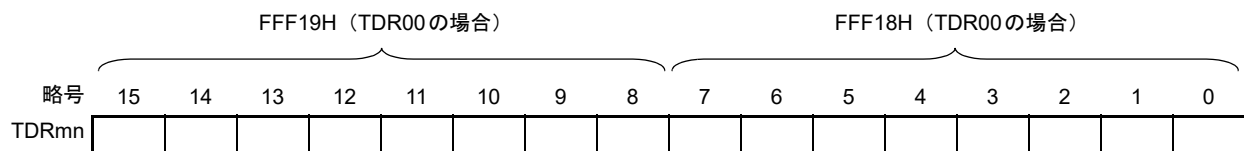
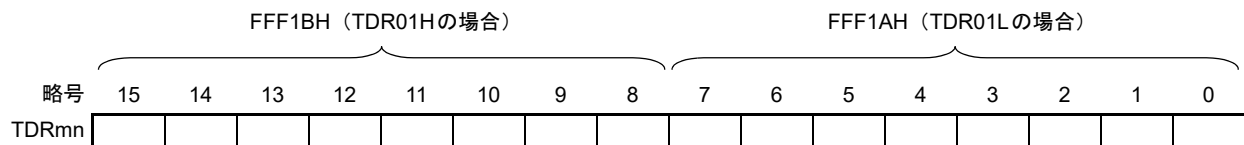


図 10-8 タイマ・データ・レジスタ mn (TDRmn) (n = 1, 3) のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03)

リセット時: 0000H

R/W属性 : R/W



(i) タイマ・データ・レジスタ mn (TDRmn) をコンペア・レジスタとして使用するとき

TDRmn レジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTMmn) を発生します。TDRmn レジスタは書き換えられるまで値を保持します。

(ii) タイマ・データ・レジスタ mn (TDRmn) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn) のカウント値を TDRmn レジスタにキャプチャします。

キャプチャ・トリガとして、Timn 端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn) で設定します。

注意 コンペア機能に設定した TDRmn レジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- タイマ・クロック選択レジスタm (TPSm) (m = 0)
- タイマ・モード・レジスタmn (TMRmn) (m = 0, n = 0-3)
- タイマ・ステータス・レジスタmn (TSRmn) (m = 0, n = 0-3)
- タイマ・チャンネル許可ステータス・レジスタm (TEm) (m = 0)
- タイマ・チャンネル開始レジスタm (TSm) (m = 0)
- タイマ・チャンネル停止レジスタm (TTm) (m = 0)
- タイマ入出力選択レジスタ0 (TIOS0)
- タイマ出力許可レジスタm (TOEm) (m = 0)
- タイマ出力レジスタm (TOM) (m = 0)
- タイマ出力レベル・レジスタm (TOLm) (m = 0)
- タイマ出力モード・レジスタm (TOMm) (m = 0)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには、必ず初期値を設定してください。

10.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は、必ず TAU0EN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図10-9 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニットで使用する SFR へのライト不可 ・タイマ・アレイ・ユニットで使用する SFR をリードした場合は 00H または 0000H が読めません。
1	入カクロック供給 ・タイマ・アレイ・ユニットで使用する SFR へのリード／ライト可

注意 タイマ・アレイ・ユニットの設定をする際には、必ず最初に TAUmEN = 1 の状態で、下記のレジスタの設定を行ってください。TAUmEN = 0 の場合は、タイマ・アレイ・ユニットの制御レジスタは 00H となり、書き込みは無視されます (タイマ入出力選択レジスタ 0 (TIOS0)、入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ 1 (NFEN1)、ポート・モード・コントロール A レジスタ (PMCA0, PMCA1, PMCA12)、ポート・モード・レジスタ (PM0, PM1, PM3, PM5, PM7, PM12)、ポート・レジスタ (P0, P1, P3, P5, P7, P12) は除く)。

- ・タイマ・クロック選択レジスタ m (TPSm)
- ・タイマ・モード・レジスタ mn (TMRmn)
- ・タイマ・ステータス・レジスタ mn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- ・タイマ・チャンネル開始レジスタ m (TSM)
- ・タイマ・チャンネル停止レジスタ m (TTm)
- ・タイマ出力許可レジスタ m (TOEm)
- ・タイマ出力レジスタ m (TOM)
- ・タイマ出力レベル・レジスタ m (TOLm)
- ・タイマ出力モード・レジスタ m (TOMm)

10.3.2 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ・アレイ・ユニットをリセットする場合は、TAU0RES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図10-10 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H

リセット時: 00H

R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES
TAU0RES	タイマ・アレイ・ユニットのリセット制御							
0	タイマ・アレイ・ユニットのリセット解除							
1	タイマ・アレイ・ユニットはリセット状態 ・タイマ・アレイ・ユニットで使用するSFRが初期化されます。							

注意 ビット7, 6, 1には、必ず0を設定してください。

10.3.3 タイマ・クロック選択レジスタ m (TPSm) (m = 0)

TPSm レジスタは、各チャンネルに共通して供給される 2 種類または 4 種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する 16 ビット・レジスタです。CKm0 は TPSm レジスタのビット 3-0 で、CKm1 は TPSm レジスタのビット 7-4 で選択します。さらにチャンネル 1, 3 のみ、CKm2, CKm3 も選択できます。CKm2 は TPSm レジスタのビット 9-8 で、CKm3 は TPSm レジスタのビット 13, 12 で選択できます。

タイマ動作中の TPSm レジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03 ビットが書き換え可能な場合 (n = 0-3) :

動作クロックに CKm0 を選択 (CKSmn1, CKSmn0 = 00B) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm10-PRSm13 ビットが書き換え可能な場合 (n = 0-3) :

動作クロックに CKm1 を選択 (CKSmn1, CKSmn0 = 01B) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm20, PRSm21 ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックに CKm2 を選択 (CKSmn1, CKSmn0 = 10B) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm30-PRSm31 ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックに CKm3 を選択 (CKSmn1, CKSmn0 = 11B) しているチャンネルがすべて停止状態 (TEmn = 0)

TPSm レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図10-11 タイマ・クロック選択レジスタm (TPSm) のフォーマット (1/2)

アドレス : F01B6H, F01B7H (TPS0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8		
TPSm	0	0	PRSm31	PRSm30	0	0	PRSm21	PRSm20		
	7	6	5	4	3	2	1	0		
	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00		
	動作クロック (CKmk) の選択 ^注 (k = 0, 1)									
PRSmk3	PRSmk2	PRSmk1	PRSmk0		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz	48 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz	24 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz	12 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz	6 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz	3 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz	1.5 MHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz	750 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz	375 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz	187.5 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz	93.8 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz	46.9 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz	23.4 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	11.7 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz	5.86 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz	2.93 kHz
1	1	1	1	fCLK/2 ¹⁵	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz	1.46 Hz

注 fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

注意2. 動作クロック (CKmk) にfCLK (分周なし) を選択し、TDRmn = 0000H (m = 0, n = 0-3) を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. fCLK : CPU / 周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するクロックの波形は、立ち上がりからfCLKの1周期分だけハイ・レベルになります (m = 0)。詳細は、10.5.1 カウント・クロック (fCLK) を参照してください。

図10-11 タイマ・クロック選択レジスタm (TPSm) のフォーマット (2/2)

PRSm21	PRSm20		動作クロック (CKm2) の選択 ^注					
			fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz	24 MHz
0	1	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz	12 MHz
1	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz	3 MHz
1	1	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz	750 kHz

PRSm31	PRSm30		動作クロック (CKm3) の選択 ^注					
			fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz	188 kHz
0	1	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz	46.9 kHz
1	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	11.7 kHz
1	1	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz	2.93 kHz

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ (CKC) の値を変更）する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。
動作クロック (fMCK)、TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表10-4に示すインターバル時間を実現することが可能です。

表10-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間 ^注 (fCLK = 32 MHz)			
		10 μs	100 μs	1 ms	10 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2 ²	○	—	—	—
	fCLK/2 ⁴	○	○	—	—
	fCLK/2 ⁶	○	○	—	—
CKm3	fCLK/2 ⁸	—	○	○	—
	fCLK/2 ¹⁰	—	○	○	—
	fCLK/2 ¹²	—	—	○	○
	fCLK/2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2ⁱの波形の詳細は、10.5.1 カウント・クロック (fCCLK) を参照してください。

10.3.4 タイマ・モード・レジスタ mn (TMRmn) (m = 0, n = 0-3)

TMRmn レジスタは、チャンネル n の動作モード設定レジスタです。動作クロック (fMCK) の選択、カウント・クロックの選択、マスタ/スレーブの選択、16 ビット/8 ビット・タイマの選択 (チャンネル 1, 3 のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード (インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント) 設定を行います。

TMRmn レジスタは、動作中 (TEmn = 1 のとき) の書き換えは禁止です。ただし、ビット 7, 6 (CISmn1, CISmn0) は、一部の機能で動作中 (TEmn = 1 のとき) の書き換えが可能です (詳細は、**10.8 タイマ・アレイ・ユニットの単独チャンネル動作機能**および **10.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能**を参照)。

TMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

注意 TMRmn レジスタのビット 11 は、チャンネルによって搭載するビットが異なります。

TMRm2 : MASTERmn ビット (n = 2)

TMRm3, TMRm1 : SPLITmn ビット (n = 3, 1)

TMRm0 : 0 固定

図10-12 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (1/3)

アドレス : F0190H, F0191H (TMR0) - F0196H, F0197H (TMR3)
 リセット時: 0000H
 R/W属性 : R/W

	略号	15	14	13	12	11	10	9	8
TMRmn (n = 2)		CKSmn1	CKSmn0	0	CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0
		7	6	5	4	3	2	1	0
		CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0
	略号	15	14	13	12	11	10	9	8
TMRmn (n = 1, 3)		CKSmn1	CKSmn0	0	CCSmn	SPLITmn	STSmn2	STSmn1	STSmn0
		7	6	5	4	3	2	1	0
		CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0
	略号	15	14	13	12	11	10	9	8
TMRmn (n = 0)		CKSmn1	CKSmn0	0	CCSmn	0 ^{注1}	STSmn2	STSmn1	STSmn0
		7	6	5	4	3	2	1	0
		CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

CKSmn1	CKSmn0	チャンネルnの動作クロック (fmCK) の選択
0	0	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm0
0	1	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm2
1	0	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm1
1	1	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm3
動作クロック (fmCK) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (ftCLK) を生成します。		
動作クロック CKm2, CKm3は、チャンネル1, 3のみ選択可能です。		

CCSmn	チャンネルnのカウント・クロック (ftCLK) の選択
0	CKSmn1, CKSmn0ビットで指定した動作クロック (fmCK)
1	TImn端子からの入力信号の有効エッジ チャンネル0では、TIOS0で選択した入力信号の有効エッジ チャンネル1では、TIOS0で選択した入力信号の有効エッジ チャンネル3では、ISCで選択した入力信号の有効エッジ
カウント・クロック (ftCLK) は、カウンタ、出力制御回路、割り込み制御回路に使用されます。	

図10-12 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (2/3)

TMRmn (n = 2) のビット11

MAS TER mn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作（スレーブ／マスタ）の選択
0	単独チャンネル動作機能または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
<p>チャンネル2のみマスタ・チャンネル（MASTERmn = 1）に設定できます。 チャンネル0は0固定となります（チャンネル0は最上位チャンネルのため、このビットの設定によらずマスタとして動作します）。 また、単独チャンネル動作機能として使用するチャンネルは、MASTERmn = 0にします。</p>	

TMRmn (n = 1, 3) のビット11

SPLI Tmn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 （単独チャンネル動作機能または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作）
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ、キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効（ほかのトリガ要因を非選択にする）
0	0	1	Tlmn端子入力の有効エッジを、スタート・トリガ、キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを、スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用（複数チャンネル連動動作機能のスレーブ・チャンネル時）
上記以外			設定禁止

CIS mn1	CIS mn0	Tlmn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ、キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ、キャプチャ・トリガ：立ち下がりエッジ
STSmn2-STSmn0 = 010B時以外で両エッジ指定を使用する場合は、CISmn1, CISmn0 = 10Bに設定してください。		

図10-12 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (3/3)

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/ 方形波出力/分周器機能 /PWM出力 (マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ ワンショット・パルス出 力/PWM出力 (スレー ブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ/ロウ・ レベル幅測定	アップ・カウンタ
上記以外			設定禁止		
各モードの動作は、MDmn0ビットによって変わります (下表を参照)。					

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウンタ・スタートと割り込みの設定
<ul style="list-style-type: none"> ・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード (0, 1, 0) 	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウンタ開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
<ul style="list-style-type: none"> ・イベント・カウンタ・モード (0, 1, 1) 	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
<ul style="list-style-type: none"> ・ワンカウント・モード注2 (1, 0, 0) 	0	カウンタ動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
	1	カウンタ動作中のスタート・トリガを有効とする 注3。 その際に割り込みは発生しない。
<ul style="list-style-type: none"> ・キャプチャ&ワンカウント・モード (1, 1, 0) 	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウンタ動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

注2. ワンカウント・モードでは、カウンタ動作開始時の割り込み出力 (INTTmn)、TOMn出力は制御しません。

注3. 動作中にスタート・トリガ (TSmn = 1) が掛かると、カウンタを初期化し、再カウンタ・スタートします (割り込み要求は発生せず)。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウンタ・クロック (fCLK) にCKSmn1, CKSmn0ビットで指定した動作クロック (fmck)、TImn端子からの入力信号の有効エッジのどれを選択していても、fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

備考 m: ユニット番号 (m = 0)、n: チャンネル番号 (n = 0-3)

10.3.5 タイマ・ステータス・レジスタ mn (TSRmn) (m = 0, n = 0-3)

TSRmn レジスタは、チャンネル n のカウンタのオーバーフロー状況を表示するレジスタです。

TSRmn レジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B) のみ有効です。各動作モードでの OVF ビットの動作とセット/クリア条件は表 10-5 各動作モードにおける OVF ビットの動作とセット/クリア条件を参照してください。

TSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。また TSRmn レジスタの下位 8 ビットは、TSRmnL レジスタで 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図 10-13 タイマ・ステータス・レジスタ mn (TSRmn) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01A6H, F01A7H (TSR03)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
TSRmn	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	OVF
OVF	チャンネルnのカウンタのオーバーフロー状況							
0	オーバーフローなし							
1	オーバーフロー発生							
OVF = 1 のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。								

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

表 10-5 各動作モードにおける OVF ビットの動作とセット/クリア条件

タイマの動作モード	OVF ビット	セット/クリア条件
<ul style="list-style-type: none"> • キャプチャ・モード • キャプチャ&ワンカウント・モード 	クリア	キャプチャ時にオーバーフローが発生していない場合
	セット	キャプチャ時にオーバーフローが発生していた場合
<ul style="list-style-type: none"> • インターバル・タイマ・モード • イベント・カウンタ・モード • ワンカウント・モード 	クリア	- (使用不可)
	セット	

備考 OVF ビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

10.3.6 タイマ・チャンネル許可ステータス・レジスタ m (TE_m) (m = 0)

TE_m レジスタは、各チャンネルのタイマ動作許可/停止状態を表示するレジスタです。

TE_m レジスタの各ビットは、タイマ・チャンネル開始レジスタ m (T_{Sm}) とタイマ・チャンネル停止レジスタ m (T_{Tm}) の各ビットに対応しています。T_{Sm} レジスタの各ビットが1にセットされると、TE_m レジスタの対応ビットが1にセットされます。T_{Tm} レジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE_m レジスタは、16ビット・メモリ操作命令で読み出します。またTE_m レジスタの下位8ビットは、TE_{mL} レジスタで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図10-14 タイマ・チャンネル許可ステータス・レジスタ m (TE_m) のフォーマット

アドレス : F01B0H, F01B1H (TE₀)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
TE _m	0	0	0	0	TEH _{m3}	0	TEH _{m1}	0
	7	6	5	4	3	2	1	0
	0	0	0	0	TE _{m3}	TE _{m2}	TE _{m1}	TE _{m0}
TEH _{m3}	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可/停止状態の表示							
0	動作停止状態							
1	動作許可状態							
TEH _{m1}	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可/停止状態の表示							
0	動作停止状態							
1	動作許可状態							
TE _{mn}	チャンネルnの動作許可/停止状態の表示							
0	動作停止状態							
1	動作許可状態							
チャンネル1, 3が8ビット・タイマ・モード時は、TE _{m1} , TE _{m3} で下位側8ビット・タイマの動作許可/停止状態を表示します。								

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.3.7 タイマ・チャンネル開始レジスタ m (TSm) (m = 0)

TSm レジスタは、タイマ・カウンタ・レジスタ mn (TCRmn) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm) の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3 ビットはトリガ・ビットなので、動作許可状態 (TEmn, TEHm1, TEHm3 = 1) になるとすぐ TSmn, TSHm1, TSHm3 ビットはクリアされます。

TSm レジスタは、16 ビット・メモリ操作命令で設定します。また TSm レジスタの下位 8 ビットは、TSmL レジスタで 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 10 - 15 タイマ・チャンネル開始レジスタ m (TSm) のフォーマット

アドレス : F01B2H, F01B3H (TS0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TSm	0	0	0	0	TSHm3	0	TSHm1	0
	7	6	5	4	3	2	1	0
	0	0	0	0	TSm3	TSm2	TSm1	TSm0
TSHm3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ							
0	トリガ動作しない							
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります (表10-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作参照)。							
TSHm1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ							
0	トリガ動作しない							
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります (表10-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作参照)。							
TSmn	チャンネルnの動作許可 (スタート) トリガ							
0	トリガ動作しない							
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります (表10-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可 (スタート) トリガになります。							

(注意、備考は次ページに続きます)

注意1. ビット15-12, 10, 8-4には、必ず0を設定してください。

注意2. TImn端子入力を使用しない機能から、TImn端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタmn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットに1を設定するまでに、次の期間ウェイトが必要になります。

TImn端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

備考1. TSmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-3)

10.3.8 タイマ・チャンネル停止レジスタ m (TTm) (m = 0)

TTm レジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm) の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3 ビットはトリガ・ビットなので、動作停止状態 (TEmn, TEHm1, TEHm3 = 0) になるとすぐ TTmn, TTHm1, TTHm3 ビットはクリアされます。

TTm レジスタは、16 ビット・メモリ操作命令で設定します。また TTm レジスタの下位 8 ビットは、TTmL レジスタで 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図10-16 タイマ・チャンネル停止レジスタ m (TTm) のフォーマット

アドレス : F01B4H, F01B5H (TT0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TTm	0	0	0	0	TTHm3	0	TTHm1	0
	7	6	5	4	3	2	1	0
	0	0	0	0	TTm3	TTm2	TTm1	TTm0
TTHm3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ							
0	トリガ動作しない							
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。							
TTHm1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ							
0	トリガ動作しない							
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。							
TTmn	チャンネルnの動作停止トリガ							
0	トリガ動作しない							
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。							

注意 ビット15-12, 10, 8-4には、必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.3.9 タイマ入出力選択レジスタ0 (TIOS0)

TIOS0 レジスタは、チャンネル0, 1のタイマ入力およびチャンネル2のタイマ出力を選択するレジスタです。

TIOS0 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-17 タイマ入出力選択レジスタ0 (TIOS0) のフォーマット

アドレス : F0074H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TIOS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00
TIS07	TIS06	TIS05	チャンネル0で使用するタイマ入力の信号切り替え					
0	0	0	タイマ入力端子 (TI00) の入力信号					
0	0	1	PWMOPAを経由しないタイマRD2出力信号 (TRDIOB0)					
0	1	0	PWMOPAを経由しないタイマRD2出力信号 (TRDIOD0)					
0	1	1	PWMOPAを経由しないタイマRD2出力信号 (TRDIOA1)					
1	0	0	PWMOPAを経由しないタイマRD2出力信号 (TRDIOC1)					
1	0	1	PWMOPAを経由しないタイマRD2出力信号 (TRDIOB1)					
1	1	0	PWMOPAを経由しないタイマRD2出力信号 (TRDIOD1)					
1	1	1	PWMOPAを経由しないタイマRD2出力信号 (TRDIOC0)					
TIS04	チャンネル0で使用するタイマ入力の選択							
0	TIS07-TIS05ビットで指定の入力信号							
1	ELCからのイベント入力信号							
TIS03	P17端子へのTAUチャンネル2出力許可/禁止 ^注							
0	出力許可							
1	出力禁止 (Lに固定)							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子 (TI01) の入力信号					
0	0	1	ELCからのイベント入力信号					
0	1	0	タイマ入力端子 (TI01) の入力信号					
0	1	1	中速オンチップ・オシレータ・クロック (fIMP)					
1	0	0	低速オンチップ・オシレータ・クロック (fIL)					
1	0	1	サブシステム・クロック (fSUB)					
上記以外			設定禁止					

注 PIOR3.PIOR36 = 1の場合、40～64ピン製品はP121端子、20～32ピン製品はP120端子になります。

(注意は次ページに続きます)

- 注意1. 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK} + 10$ ns以上必要となります。
そのため、fCLKにfSUBを選択時（CKCレジスタのCSS = 1）は、TIS02ビットに1を設定できません。
- 注意2. タイマ入出力選択レジスタ0（TIOS0）で、ELCからのイベント入力信号を選択する場合、タイマ・クロック
選択レジスタ0（TPS0）はfCLKを選択してください。

10.3.10 タイマ出力許可レジスタ m (TOEm) (m = 0)

TOEm レジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEm レジスタは、16 ビット・メモリ操作命令で設定します。また TOEm レジスタの下位 8 ビットは、TOEmL レジスタで 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 10-18 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOEm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	TOEm3	TOEm2	TOEm1	TOEm0
TOEmn	チャンネルnのタイマ出力許可／禁止							
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず、出力を固定します。 TOmn ビットへの書き込みが可能となり、TOmn ビットに設定したレベルが TOmn 端子から出力されます。							
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し、出力波形を生成します。 TOmn ビットへの書き込みは無視されます。							

注意 ビット15-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.3.11 タイマ出力レジスタ m (TOm) (m = 0)

TOm レジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TOmn) から出力されます。

このレジスタの TOmn ビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEmn = 0) のみ可能です。

タイマ出力許可時 (TOEmn = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、TI00, TO00, TI01/TO01, TI02/TO02, TI03/TO03 をポート機能として使用する場合は、該当する TOmn ビットに 0 を設定してください。

TOm レジスタは、16 ビット・メモリ操作命令で設定します。また TOm レジスタの下位 8 ビットは、TOmL レジスタで 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 10 - 19 タイマ出力レジスタ m (TOm) のフォーマット

アドレス : F01B8H, F01B9H (TO0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	TOm3	TOm2	TOm1	TOm0
TOmn	チャンネルnのタイマ出力							
0	タイマ出力値が0							
1	タイマ出力値が1							

注意 ビット15-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.3.12 タイマ出力レベル・レジスタ m (TOLm) (m = 0)

TOLm レジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネル n の反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLm レジスタは、16 ビット・メモリ操作命令で設定します。また TOLm レジスタの下位 8 ビットは、TOLmL レジスタで 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図10-20 タイマ出力レベル・レジスタ m (TOLm) のフォーマット

アドレス : F01BCH, F01BDH (TOL0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOLm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	TOLm3	TOLm2	TOLm1	0
TOLmn	チャンネルnのタイマ出力レベルの制御							
0	正論理出力 (アクティブ・ハイ)							
1	負論理出力 (アクティブ・ロウ)							

注意 ビット15-4, 0には、必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.3.13 タイマ出力モード・レジスタ m (TOMm) (m = 0)

TOMm レジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットに 0 を設定します。

複数チャンネル連動動作機能 (PWM 出力、ワンショット・パルス出力、多重 PWM 出力) として使用する場合、マスタ・チャンネルの対応ビットに 0 を設定し、スレーブ・チャンネルの対応ビットに 1 を設定します。

このレジスタによる各チャンネル n の設定は、タイマ出力許可 (TOEmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMm レジスタは、16 ビット・メモリ操作命令で設定します。また TOMm レジスタの下位 8 ビットは、TOMmL レジスタで 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 10-21 タイマ出力モード・レジスタ m (TOMm) のフォーマット

アドレス : F01BEH, F01BFH (TOM0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOMm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	TOMm3	TOMm2	TOMm1	0
TOMmn	チャンネル n のタイマ出力モードの制御							
0	マスタ・チャンネル出力モード (タイマ割り込み要求信号 (INTTMmn) によりトグル出力を行う)							
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTMmn) で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTMmp) で出力がリセットされる)							

注意 ビット 15-4, 0 には、必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

n < p ≤ 3

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、10.4.1 複数チャンネル連動動作機能の基本ルールを参照してください)

10.3.14 入力切り替え制御レジスタ (ISC)

ISC レジスタの ISC1, ISC0 ビットは、チャンネル3 をシリアル・アレイ・ユニットと連携して LIN-bus 通信動作を実現するときに使用します。ISC1 ビットに 1 を設定すると、シリアル・データ入力端子 (RxD0) の入力信号がタイマ入力として選択されます。

ISC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図10-22 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0
SSIE00	CSI00 通信かつスレーブ・モード時のチャンネル0の $\overline{\text{SSI00}}$ 入力の設定							
0	$\overline{\text{SSI00}}$ 端子入力の無効							
1	$\overline{\text{SSI00}}$ 端子入力の有効							
ISC1	タイマ・アレイ・ユニットのチャンネル3の入力切り替え							
0	TI03 端子の入力信号をタイマ入力とする (通常動作)							
1	RxD0 端子の入力信号をタイマ入力とする (ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅測定)							
ISC0	外部割り込み (INTP0) の入力切り替え							
0	INTP0 端子の入力信号を外部割り込み入力とする (通常動作)							
1	RxD0 端子の入力信号を外部割り込み入力とする (ウェイクアップ信号検出)							

備考 LIN-bus 通信を使用する場合は、ISC1 = 1 に設定して RxD0 端子の入力信号を選択しておいてください。

10.3.15 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1 レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけを行います注。

NFEN1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 詳細は、以下を参照してください。

- 10.5.1 カウント・クロック (frCLK) (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)
- 10.5.2 カウンタのスタート・タイミング
- 10.7 タイマ入力 (TImn) の制御

図10-23 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0071H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN03	TI03端子のノイズ・フィルタ使用可否注							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN02	TI02端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN01	TI01端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN00	TI00端子のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							

注 入力切り替え制御レジスタ (ISC) のISC1ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0に設定 : TI03端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定 : RxD0端子のノイズ・フィルタ使用可否選択が可能

備考 チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表10-2 各製品に搭載しているタイマ入出力端子を参照してください。

10.3.16 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ

タイマ・アレイ・ユニットの入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx)、7.3.2 ポート・レジスタ (Pxx)、7.3.5 ポート出力モード・レジスタ (POMxx) および 7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

10.4 タイマ・アレイ・ユニットの基本ルール

10.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

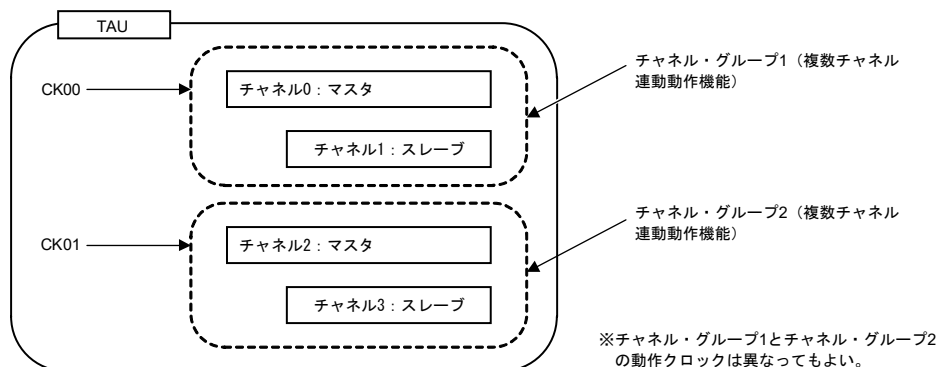
- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0、チャンネル2）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル0をマスタ・チャンネルにした場合、チャンネル1以降（チャンネル1、チャンネル2、チャンネル3）をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0、チャンネル2をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1をスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル3をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn1, CKSmn0ビット（タイマ・モード・レジスタmn (TMRmn) のビット15, 14）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、ほかの上位のマスタ・チャンネルからのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット (TSmn) を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット (TTmn) を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0) は、マスタ・ビットがなく、0に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ（1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

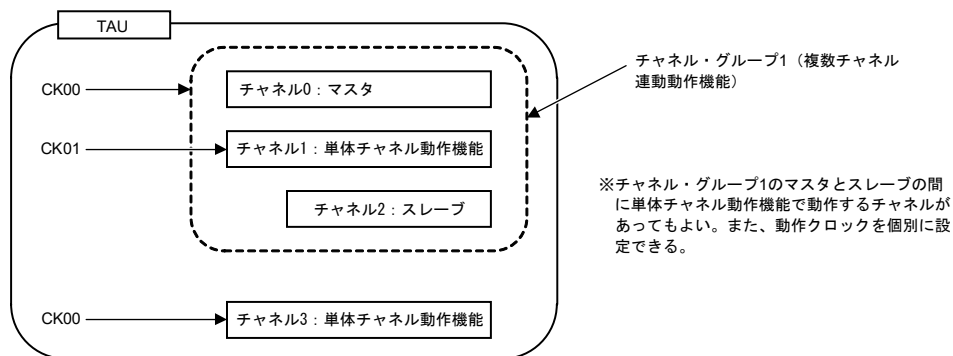
それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m: ユニット番号 (m = 0)、n: チャンネル番号 (n = 0-3)

例1



例2



10.4.2 8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタmn (TMRmn) のSPLITmnビットに1を設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時にINTTm1H, INTTm3H (割り込み) を出力します (MDmn0 = 1設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットに従って動作します。
- (6) 上位8ビットは、TSHm1, TSHm3ビットを操作することでチャンネル動作を開始し、TTHm1, TTHm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1, TEHm3ビットで確認できます。
- (7) 下位8ビットは、TMRmnレジスタの設定に従って動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。

- インターバル・タイマ機能／方形波出力機能
- 外部イベント・カウンタ機能
- デイレイ・カウント機能

- (8) 下位8ビットは、TSm1, TSm3ビットを操作することでチャンネル動作を開始し、TTm1, TTm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1, TEm3ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1, TSHm3, TTHm1, TTHm3ビットの操作は無効となります。TSm1, TSm3, TTm1, TTm3ビットを操作することでチャンネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能 (ワンショット・パルス、PWM、多重PWM) を使用することはできません。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 1, 3)

10.5 カウンタの動作

10.5.1 カウント・クロック (fTCLK)

タイマ・アレイ・ユニットのカウント・クロック (fTCLK) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn1, CKSmn0 ビットで指定した動作クロック (fMCK)
- TImn 端子からの入力信号の有効エッジ

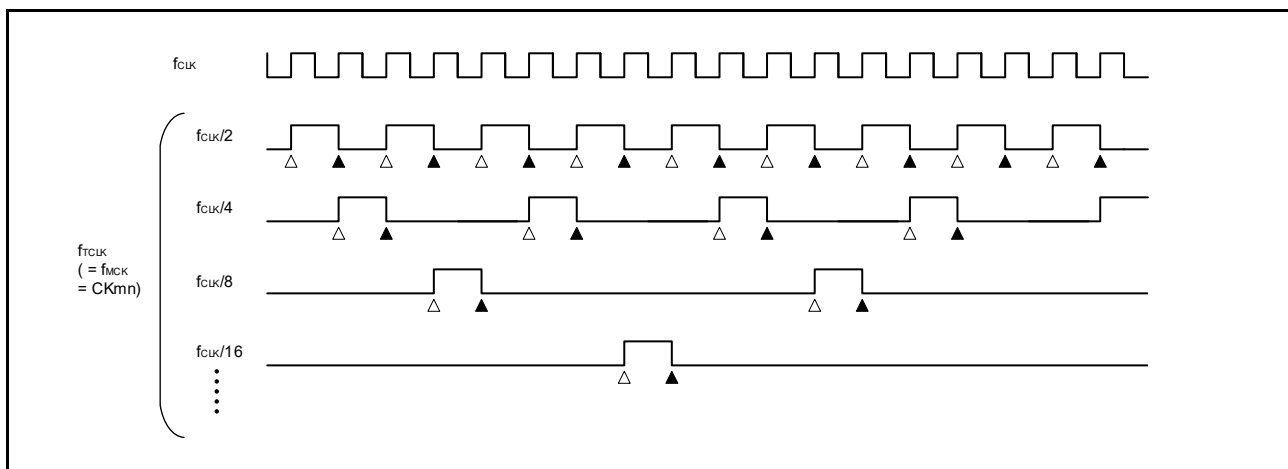
タイマ・アレイ・ユニットは、fCLK との同期をとって動作するように設計されているため、カウント・クロック (fTCLK) のタイミングは次のようになります。

- (1) CKSmn1, CKSmn0 ビットで指定した動作クロック (fMCK) を選択した場合 (CCSmn = 0)

カウント・クロック (fTCLK) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、fCLK ~ fCLK/2¹⁵ となります。ただし、fCLK の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから fCLK の 1 周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるため、カウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図 10-24 fCLK とカウント・クロック (fTCLK) のタイミング (CCSmn = 0 時)



備考1. Δ : カウント・クロックの立ち上がり

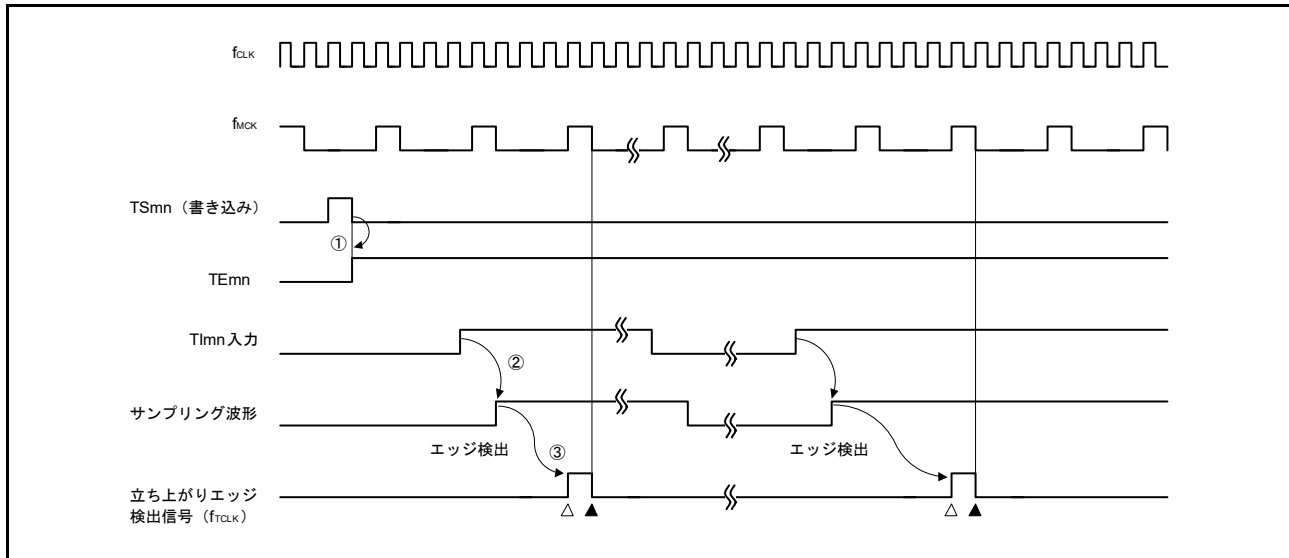
▲ : 同期化、カウンタのインクリメント/デクリメント

備考2. fCLK : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (f_{TCLK}) は、TImn端子からの入力信号の有効エッジを検出し、次のf_{MCK}の立ち上がり同期した信号になります。これは、実際のTImn端子からの入力信号よりf_{MCK}の1~2クロック分遅れた信号になります (ノイズ・フィルタ使用時は、f_{MCK}の3~4クロック分遅れます)。

また、タイマ・カウンタ・レジスタmn (TCRmn) は、f_{TCLK}との同期をとるためにカウント・クロックの立ち上がりからf_{TCLK}の1クロック分遅れてカウントしますが、このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図10-25 カウント・クロック (f_{TCLK}) のタイミング (CCSmn = 1、ノイズ・フィルタ未使用時)

- ① TSmnビットをセットすることでタイマが動作を開始し、TImn入力の有効エッジ待ちになります。
- ② TImn入力の立ち上がりがf_{MCK}でサンプリングされます。
- ③ サンプリングした信号の立ち上がりでエッジ検出が行われ、検出信号 (カウント・クロック) が出力されます。

備考1. Δ : カウント・クロックの立ち上がり
▲ : 同期化、カウンタのインクリメント/デクリメント

備考2. f_{CLK} : CPU/周辺ハードウェア・クロック
f_{MCK} : チャネルnの動作クロック

備考3. 入力パルス間隔測定、入力信号のハイ/ロウ・レベル幅測定、ディレイ・カウンタ、ワンショット・パルス出力機能のTImn入力も同様の波形になります。

10.5.2 カウンタのスタート・タイミング

タイマ・カウンタ・レジスタ mn (TCRmn) は、タイマ・チャンネル開始レジスタ m (TSMn) の TSMn ビットをセットすることにより、動作許可状態になります。

表 10-6 にカウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作を示します。

表10-6 カウント動作許可状態からタイマ・カウンタ・レジスタmn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSMn = 1にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (10.5.3 カウンタの動作 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSMn ビットに1を書き込むことにより、TDRmn レジスタの値を TCRmn レジスタにロードします。 TImn 入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (10.5.3 カウンタの動作 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (10.5.3 カウンタの動作 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMn ビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (10.5.3 カウンタの動作 (4) ワンカウント・モードの動作参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMn ビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (10.5.3 カウンタの動作 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

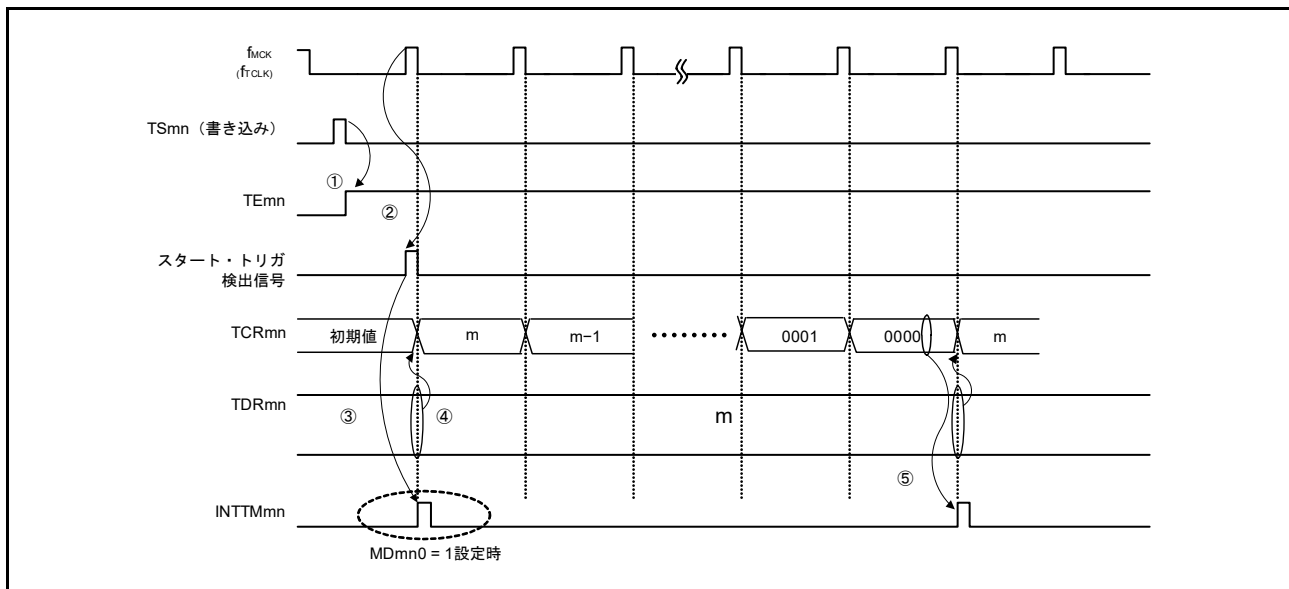
10.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。タイマ・カウンタ・レジスタmn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウンタ・クロック (fMCK) で、スタート・トリガが発生します。
- ③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
- ④ 動作許可後の最初のカウンタ・クロックにより、タイマ・データ・レジスタmn (TDRmn) の値をTCRmnレジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウンタ・クロック (fMCK) でINTTMmnを発生し、タイマ・データ・レジスタmn (TDRmn) の値をTCRmnレジスタにロードしてカウントを継続します。

図10-26 動作タイミング (インターバル・タイマ・モード)



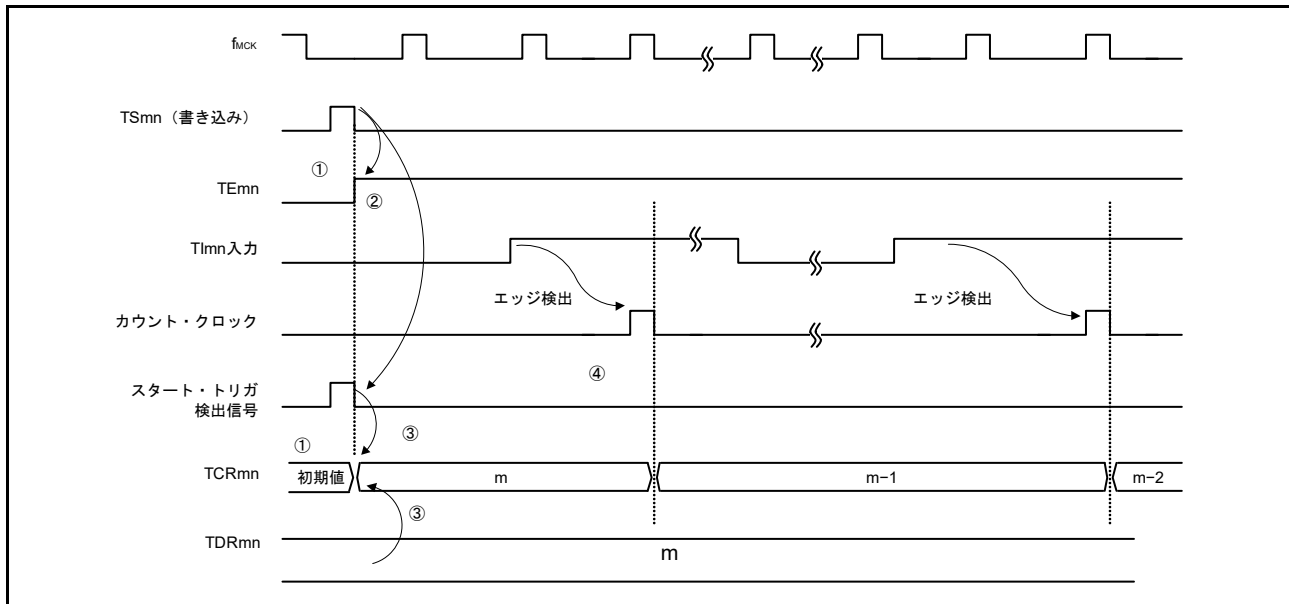
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウンタ・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウンタ・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 f_{MCK}、スタート・トリガ検出信号、INTTMmnは、f_{CLK}に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ① 動作停止状態 ($TE_{mn} = 0$) の期間、タイマ・カウンタ・レジスタ mn (TCR_{mn}) は、初期値を保持します。
- ② TS_{mn} ビットへ1を書き込むことにより、動作許可状態 ($TE_{mn} = 1$) となります。
- ③ $TS_{mn} = 1 \rightarrow TE_{mn} = 1$ と同時に、 TCR_{mn} レジスタにタイマ・データ・レジスタ mn (TDR_{mn}) の値をロードし、カウントを開始します。
- ④ 以降は TI_{mn} 入力の有効エッジでのカウント・クロックに従い、 TCR_{mn} レジスタの値をダウン・カウントします。

図10-27 動作タイミング (イベント・カウンタ・モード)

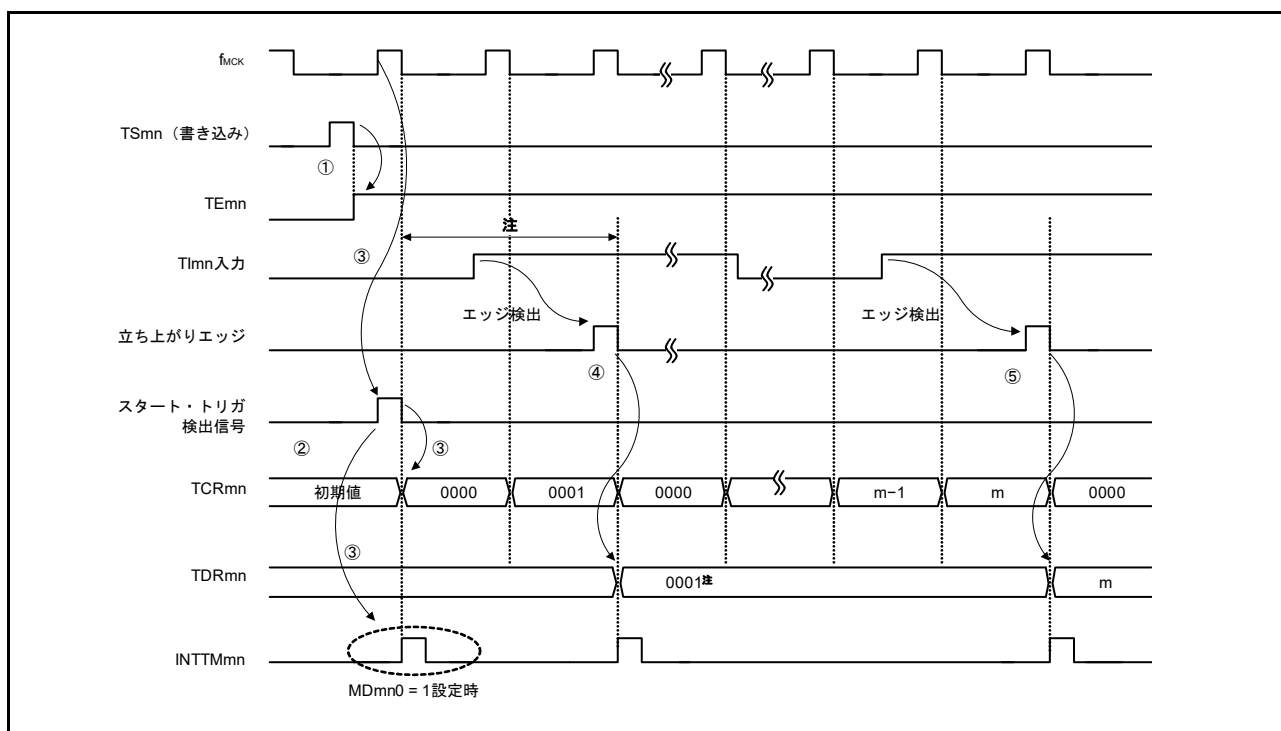


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は TI_{mn} 入力からさらに f_{mck} の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差は TI_{mn} 入力とカウント・クロック (f_{mck}) が非同期なためです。

(3) キャプチャ・モードの動作 (入力パルス間隔測定)

- ① TSmnビットへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウンタ・クロック (fMCK) で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。
- ⑤ 次のTImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図10-28 動作タイミング (キャプチャ・モード: 入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている (トリガがある) 場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ (④) でのキャプチャ値はパルス間隔とならない (この例では0001: 2クロック分の間隔) ので、無視してください。

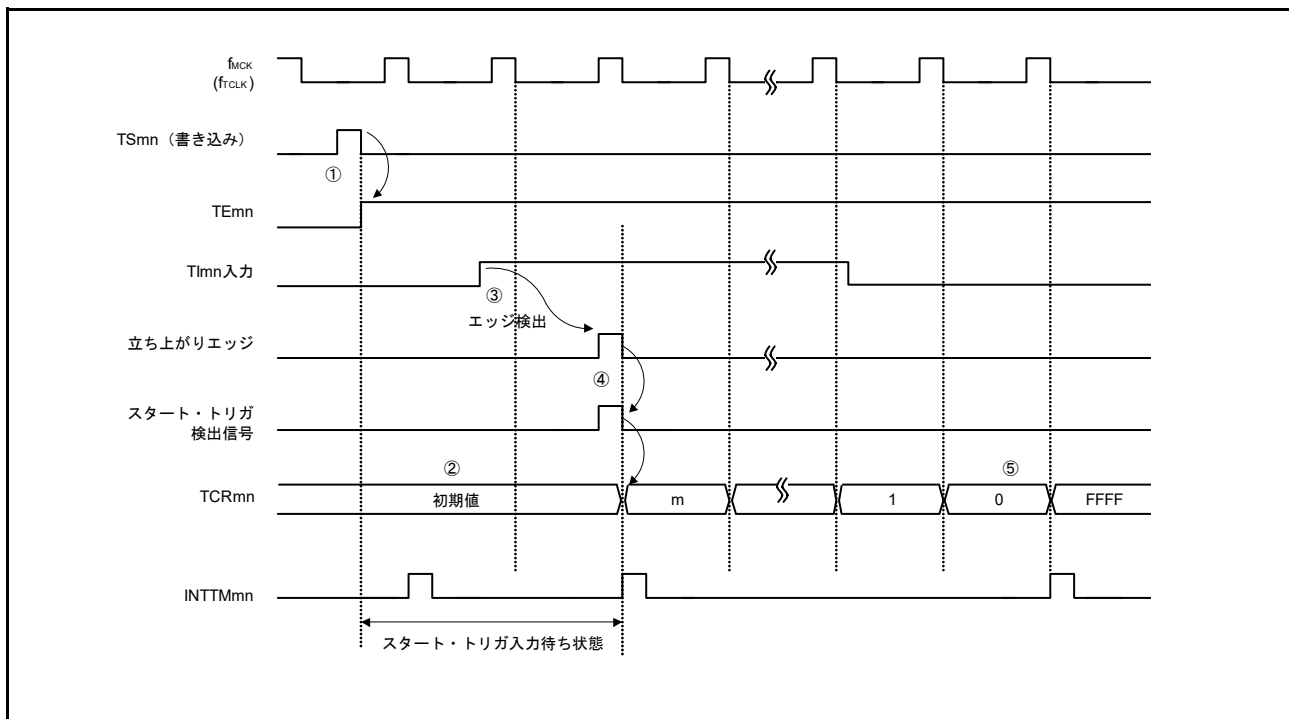
注意 カウンタ・クロックの1周期目の動作はTSmnビット書き込み後、カウンタ・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウンタ・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTImn入力とカウンタ・クロック (fMCK) が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 (TEmn = 1) となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値 (m) をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図10-29 動作タイミング (ワンカウント・モード)

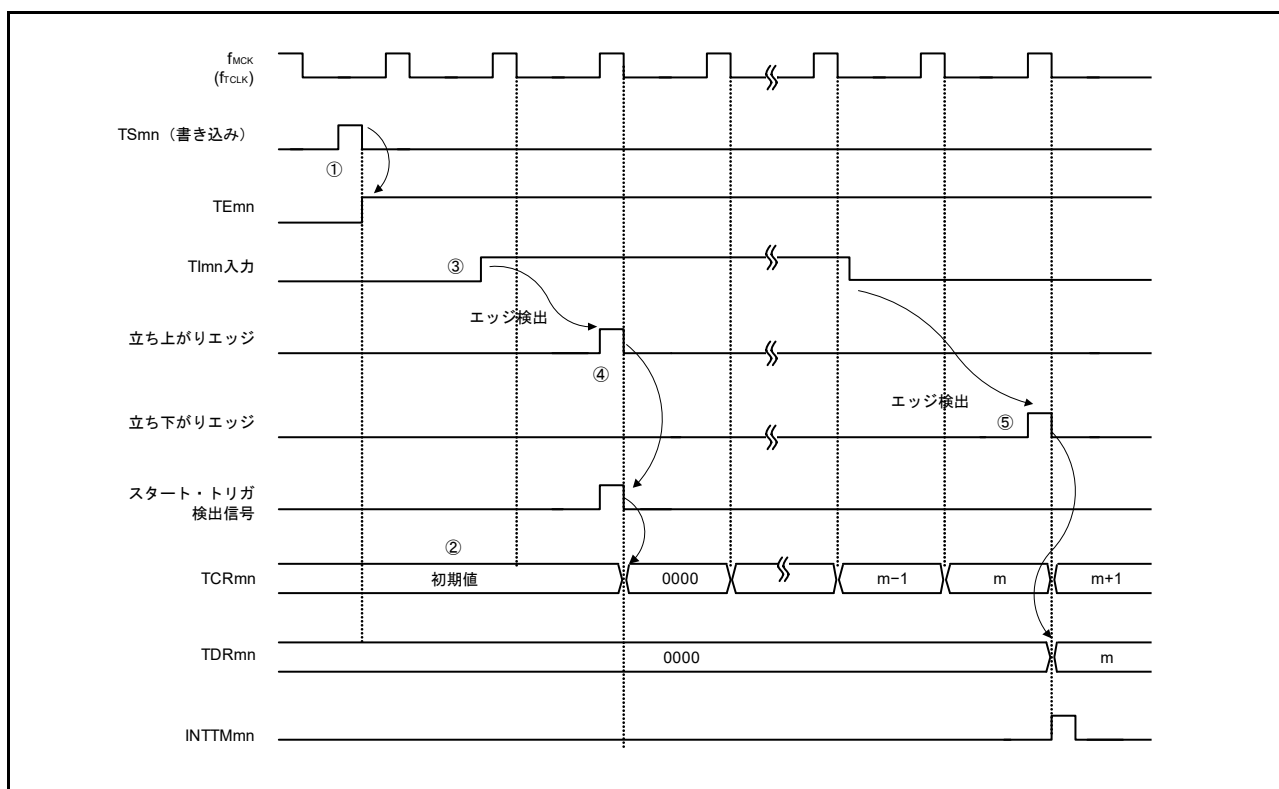


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTImn入力からさらにfMCKの2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTImn入力とカウント・クロック (fMCK) が非同期なためです。

(5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (T S m) のT S m n ビットに1を書き込むことにより、動作許可状態 (TE m n = 1) となります。
- ② タイマ・カウンタ・レジスタ m (TCR m n) は、スタート・トリガ発生まで初期値を保持します。
- ③ T I m n 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCR m n レジスタにロードし、カウントを開始します。
- ⑤ T I m n 入力の立ち下がりエッジを検出すると、TCR m n レジスタの値をTDR m n レジスタにキャプチャし、INTT m n 割り込みが発生します。

図 10 - 30 動作タイミング (キャプチャ&ワンカウント・モード: ハイ・レベル幅測定)

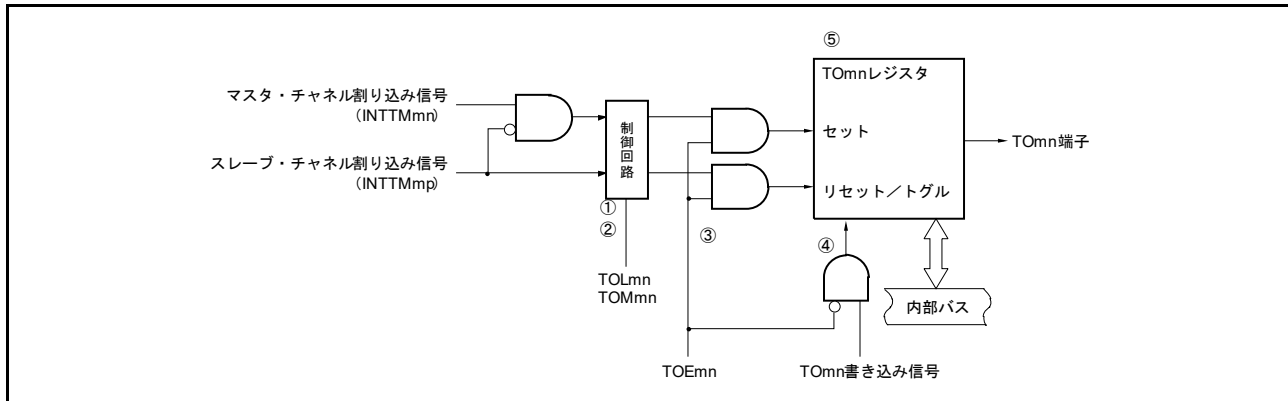


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はT_Im_n入力からさらにf_{MCK}の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はT_Im_n入力とカウント・クロック (f_{MCK}) が非同期なためです。

10.6 チャンネル出力 (TOmn 端子) の制御

10.6.1 TOmn 端子の出力回路の構成

図10-31 出力回路構成図



TOmn 端子の出力回路の説明を次に示します。

- ① TOMmn = 0 (マスタ・チャンネル出力モード) のときは、タイマ出力レベル・レジスタ m (TOLm) の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み) のみがタイマ出力レジスタ m (TOm) に伝えられます。
- ② TOMmn = 1 (スレーブ・チャンネル出力モード) のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み) と INTTMmp (スレーブ・チャンネル・タイマ割り込み) が TOm レジスタに伝えられます。このとき、TOLm レジスタが有効となり、次のように信号を制御します。

- TOLmn = 0 の場合：正論理出力 (INTTMmn → セット、INTTMmp → リセット)
- TOLmn = 1 の場合：負論理出力 (INTTMmn → リセット、INTTMmp → セット)

また、INTTMmn と INTTMmp が同時に発生した場合 (PWM 出力の 0% 出力時) は、INTTMmp (リセット信号) が優先され、INTTMmn (セット信号) はマスクされます。

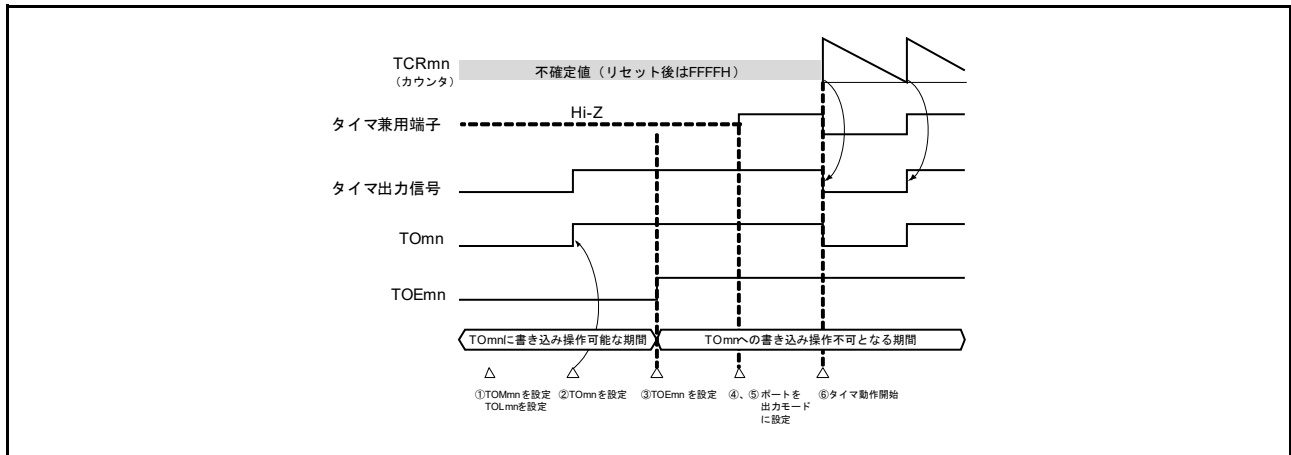
- ③ タイマ出力許可状態 (TOEmn = 1) で、INTTMmn (マスタ・チャンネル・タイマ割り込み) と INTTMmp (スレーブ・チャンネル・タイマ割り込み) が TOm レジスタに伝えられます。TOm レジスタへの書き込み (TOmn ライト信号) は無効となります。また、TOEmn = 1 のとき、割り込み信号以外で TOmn 端子の出力が変化することはありません。TOmn 端子の出力レベルを初期化する場合は、タイマ動作停止 (TOEmn = 0) に設定し TOm レジスタに値を書き込む必要があります。
- ④ タイマ出力禁止状態 (TOEmn = 0) で、対象チャンネルの TOmn ビットへの書き込み (TOmn ライト信号) が有効となります。タイマ出力禁止状態 (TOEmn = 0) のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み) と INTTMmp (スレーブ・チャンネル・タイマ割り込み) は TOm レジスタに伝えられません。
- ⑤ TOm レジスタは常に読み出し可能であり、TOmn 端子の出力レベルを確認することができます。

備考 m: ユニット番号 (m = 0)
 n: チャンネル番号
 n = 0-3 (マスタ・チャンネル時: n = 0, 2)
 p: スレーブ・チャンネル番号
 n < p ≤ 3

10.6.2 TOmn 端子の出力設定

TOmn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図 10 - 32 タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- TOMmnビット (0 : マスタ・チャンネル出力モード、1 : スレーブ・チャンネル出力モード)
- TOLmnビット (0 : 正論理出力、1 : 負論理出力)

② タイマ出力レジスタ m (TOM) を設定することにより、タイマ出力信号が初期状態に設定されます。

③ TOEmn ビットに 1 を書き込み、タイマ出力動作を許可します (TOM レジスタへの書き込みは不可となります)。

④ ポート・モード・コントロール A・レジスタ (PMCAxx) でポートをデジタル入出力に設定します (10.3.16 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ参照)。

⑤ ポートの入出力設定を出力に設定します (10.3.16 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ参照)。

⑥ タイマを動作許可にします (TSmn = 1)。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM, TOEm, TOLmレジスタの設定値変更について

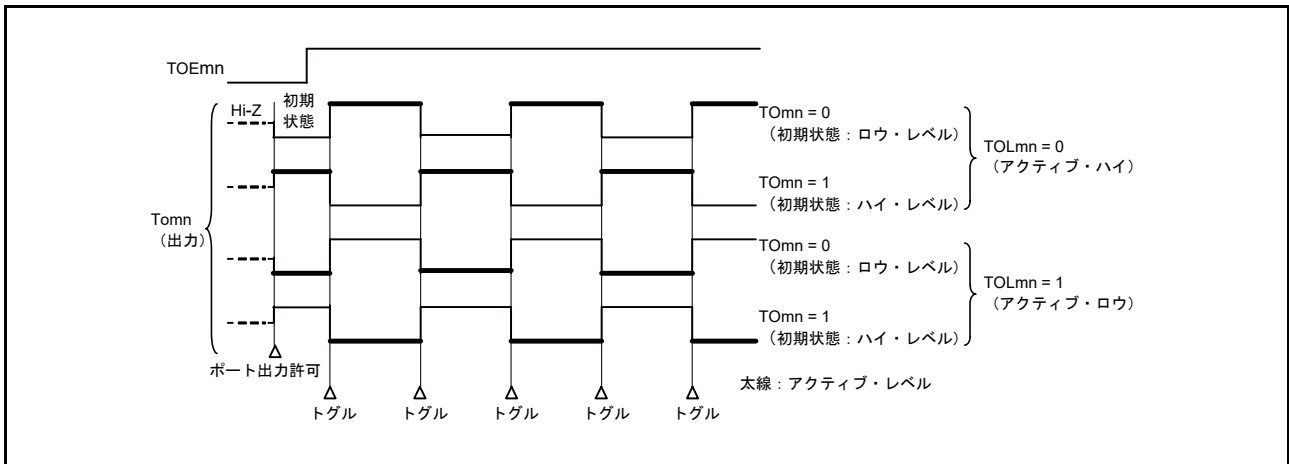
タイマ動作 (タイマ・カウンタ・レジスタmn (TCRmn)、タイマ・データ・レジスタmn (TDRmn) の動作) は、TOMn出力回路とは独立しています。よって、タイマ出力レジスタm (TOM)、タイマ出力許可レジスタm (TOEm)、タイマ出力レベル・レジスタm (TOLm) の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTOMn端子から出力するためには、**10.7 タイマ入力 (TImn) の制御**および**10.8 タイマ・アレイ・ユニットの単独チャンネル動作機能**で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で、TOMレジスタを除くTOEmレジスタ、TOLmレジスタの設定値変更を行うと、タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは、TOMn端子に出力される波形が異なる場合があります。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

- (2) TOMn端子の初期レベルとタイマ動作開始後の出力レベルについて
 ポート出力許可前に、タイマ出力禁止 (TOEmn = 0) の状態でタイマ出力レジスタ m (TOM) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOEmn = 1) に設定した場合のTOMn端子出力レベルの変化を示します。
- (a) マスタ・チャンネル出力モード (TOMmn = 0) 設定で動作を開始した場合
 マスタ・チャンネル出力モード (TOMmn = 0) のとき、タイマ出力レベル・レジスタ m (TOLm) の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOMn端子の出力レベルを反転します。

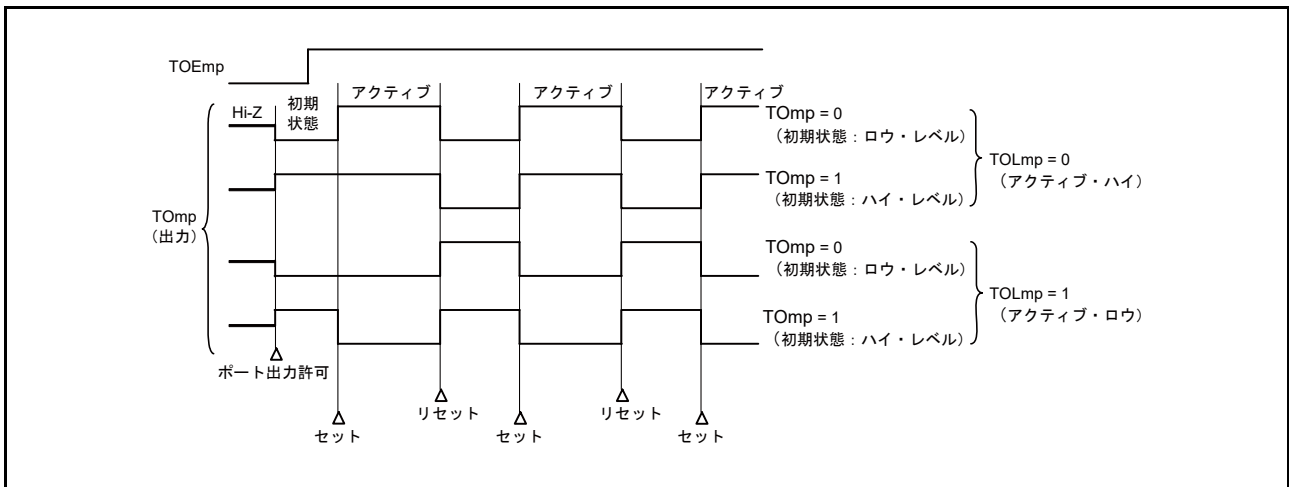
図 10 - 33 トグル出力時 (TOMmn = 0) のTOMn端子出力状態



- 備考1. トグル : TOMn端子の出力状態を反転
 備考2. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

- (b) スレーブ・チャンネル出力モード (TOMmp = 1) 設定で動作を開始した場合 (PWM出力)
 スレーブ・チャンネル出力モード (TOMmp = 1) のとき、タイマ出力レベル・レジスタ m (TOLm) の設定によりアクティブ・レベルを決定します。

図 10 - 34 PWM出力時 (TOMmp = 1) のTOMP端子出力状態



- 備考1. セット : TOMP端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TOMP端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
 備考2. m : ユニット番号 (m = 0)、p : チャンネル番号 (p = 1-3)

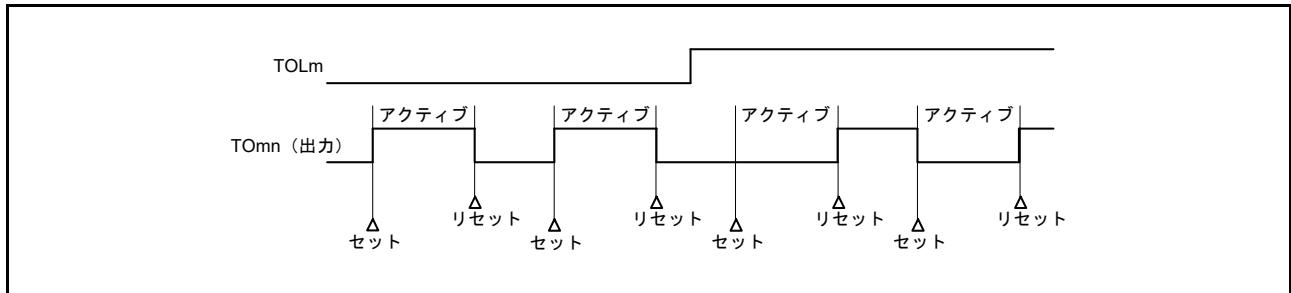
(3) TOMn端子のスレーブ・チャンネル出力モード (TOMmn = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタ m (TOLm) の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOMn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOMn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中 (TEmn = 1) にTOLmレジスタの値を変更した場合の動作を次に示します。

図10 - 35 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット : TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3)

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMmn) 発生時のTOMn端子／TOMnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

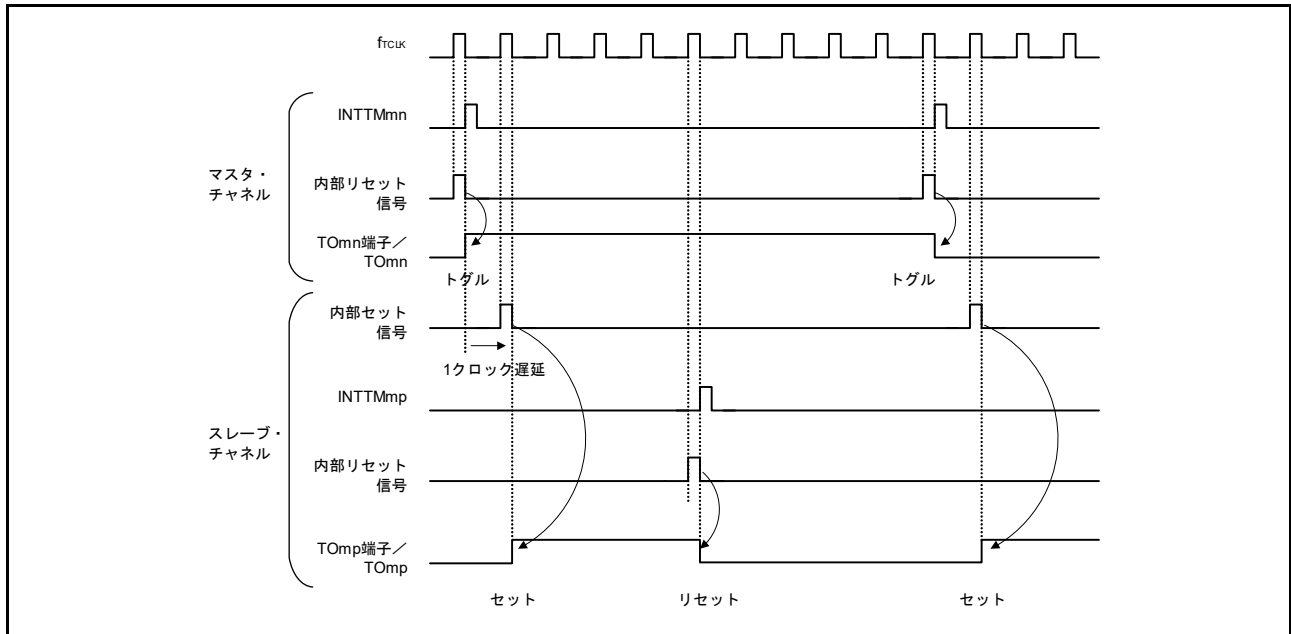
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図10 - 36に示します。

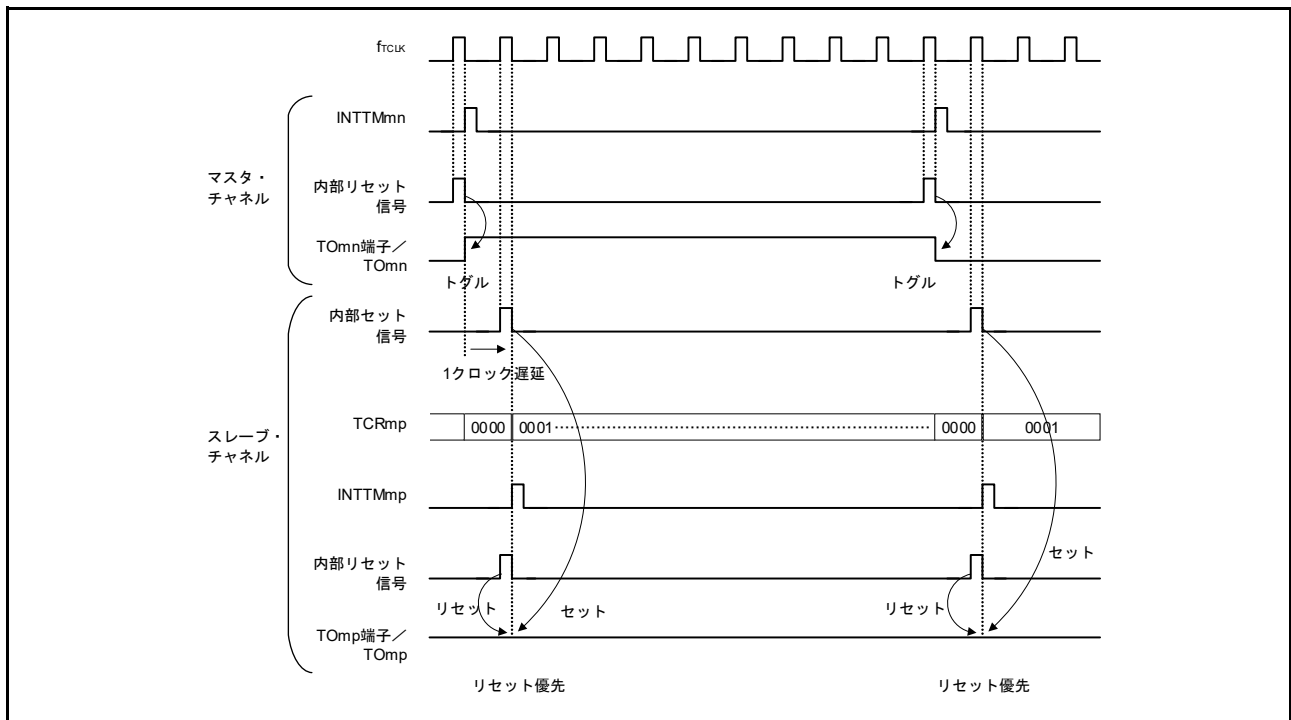
- マスタ・チャンネル : TOEmn = 1, TOMmn = 0, TOLmn = 0
- スレーブ・チャンネル : TOEmp = 1, TOMmp = 1, TOLmp = 0

図10-36 セット/リセット・タイミング動作状態

(1) 基本動作タイミング



(2) 0%デューティ時の動作タイミング



備考1. 内部リセット信号 : TOmn端子のリセット/トグル信号

内部セット信号 : TOmn端子のセット信号

備考2. m : ユニット番号 (m = 0)

n : チャンネル番号

n = 0-3 (マスター・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

n < p ≤ 3

10.6.4 TOmn ビットの一括操作

タイマ出力レジスタ m (TOm) には、タイマ・チャンネル開始レジスタ m (TSm) と同様に、1 レジスタに全チャンネル分の設定ビット (TOmn) が配置されています。よって、全チャンネルの TOmn ビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TOmn) のみ TOmn ビットへの書き込み可能 (TOEmn = 0) とすることによって任意のビットのみ操作することが可能です。

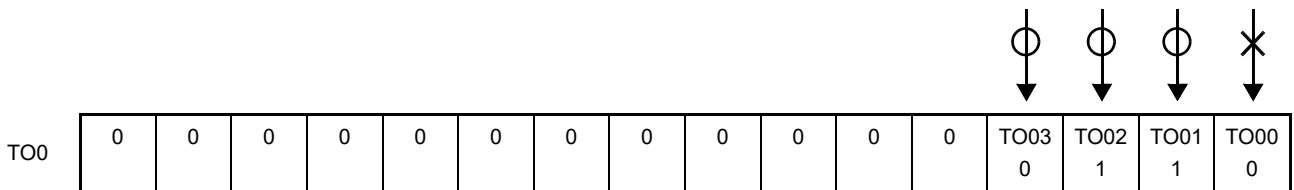
図10-37 TO0nビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	0	0	0	0	TO03	1	TO02	0	TO01	1	TO00	0
TOE0	0	0	0	0	0	0	0	0	0	0	0	TOE03	0	TOE02	0	TOE01	0	TOE00	1

書き込みデータ

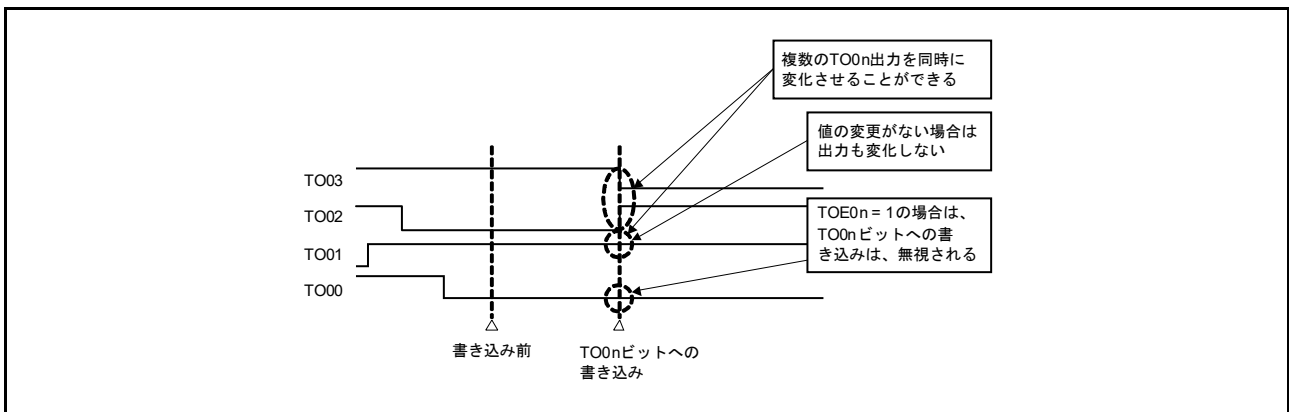
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---



TOEmn = 0 の TOmn ビットのみ書き込みが行われます。TOEmn = 1 の TOmn ビットへの書き込みは無視されます。

TOEmn = 1 に設定されている TOmn (チャンネル出力) は、書き込み操作による影響は受けません。TOmn ビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図10-38 TO0nビットの一括操作によるTO0nの端子状態



備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.6.5 カウント動作開始時のタイマ割り込みと TOmn 端子出力について

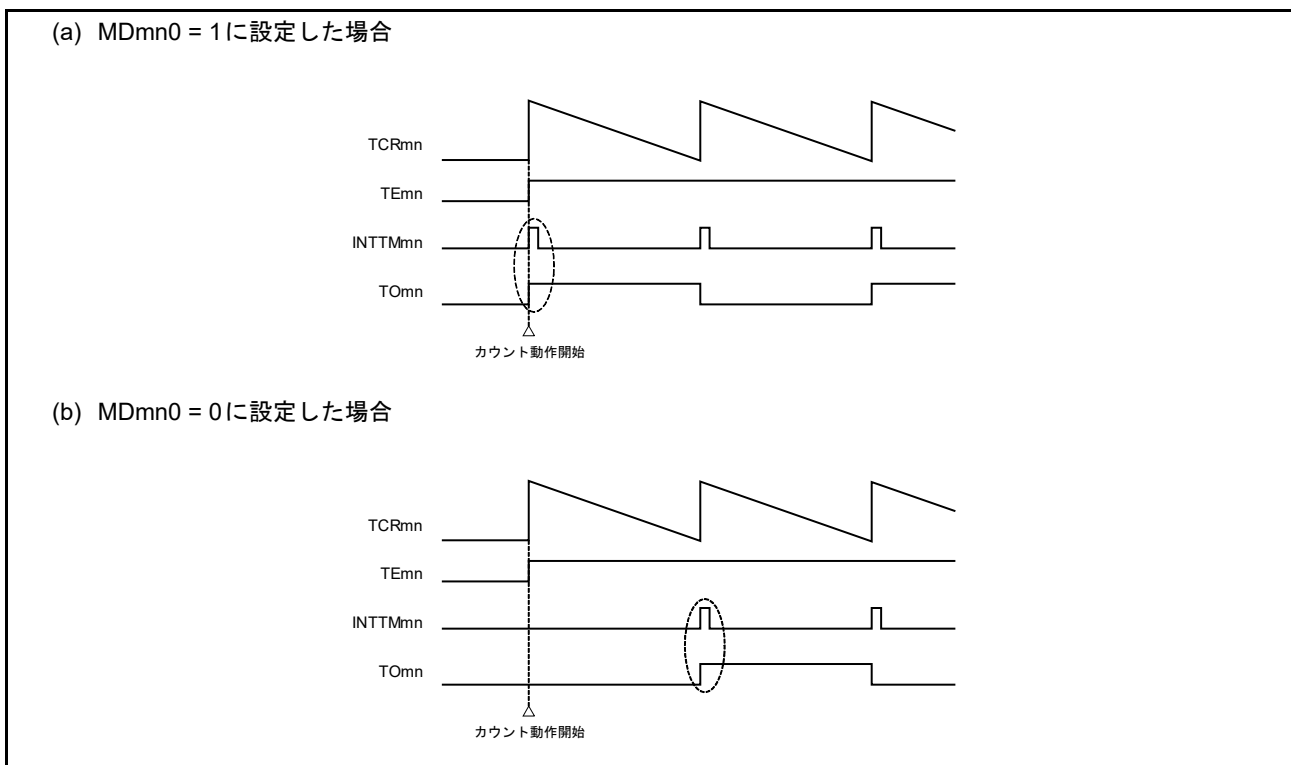
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図10-39 カウント動作開始時のタイマ割り込み、TOmn出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOmn がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOmn も変化しません。1 周期をカウント後、INTTMmn を出力し、TOmn がトグル動作します。

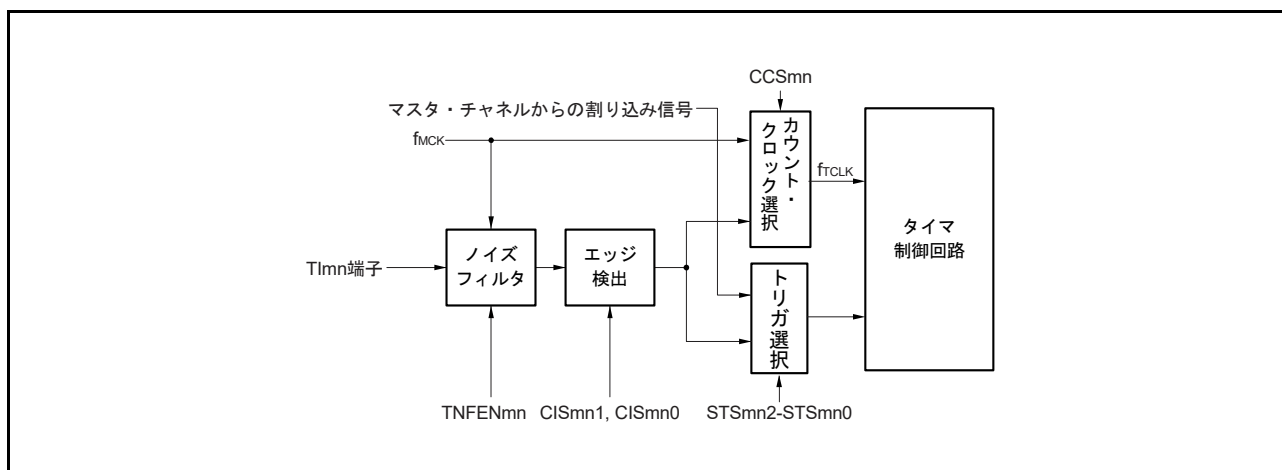
備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-3)

10.7 タイマ入力 (TImn) の制御

10.7.1 TImnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

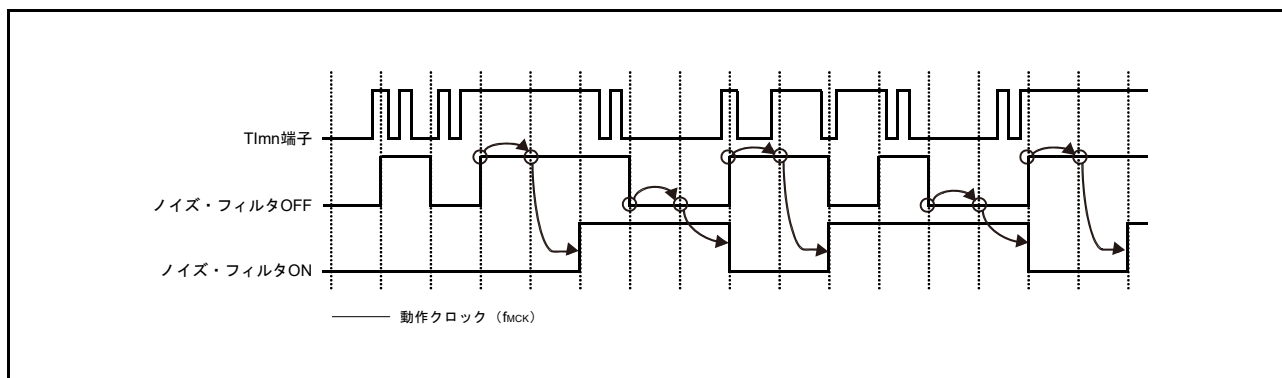
図10-40 入力回路構成図



10.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネル n の動作クロック (fMCK) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネル n の動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。以下に、TImn 入力端子に対するノイズ・フィルタ ON / OFF によるノイズ・フィルタ回路を通過後の波形を示します。

図10-41 TImn入力端子に対するノイズ・フィルタ ON / OFF によるサンプリング波形



10.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFFの場合

タイマ・モード・レジスタ mn (TMRmn) のビット12 (CCSmn)、ビット9 (STSmn1)、ビット8 (STSmn0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の2サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSm) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ONの場合

タイマ・モード・レジスタ mn (TMRmn) のビット12 (CCSmn)、ビット9 (STSmn1)、ビット8 (STSmn0) がすべて0の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の4サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSm) の動作許可トリガをセットしてください。

10.8 タイマ・アレイ・ユニットの単独チャネル動作機能

10.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み) を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\bullet \text{ TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{ (\text{TDRmnの設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタ mn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSM) のチャネル・スタート・トリガ・ビット (TSmn, TSHm1, TSHm3) に 1 を設定後、最初のカウント・クロックで TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn) の MDmn0 = 0 ならば、INTTMmn を出力せず、TOmn はトグルしません。TMRmn レジスタの MDmn0 = 1 ならば、INTTMmn を出力して、TOmn をトグルします。

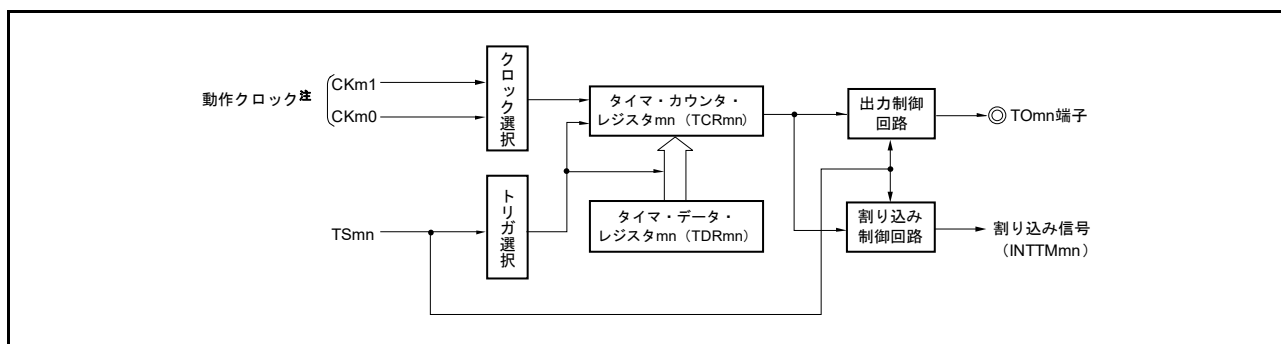
その後、TCRmn レジスタはカウント・クロックにあわせてダウン・カウントを行います。

TCRmn = 0000H となったら、次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また、同タイミングで再び TCRmn レジスタは TDRmn レジスタの値をロードします。以降、同様の動作を続けます。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

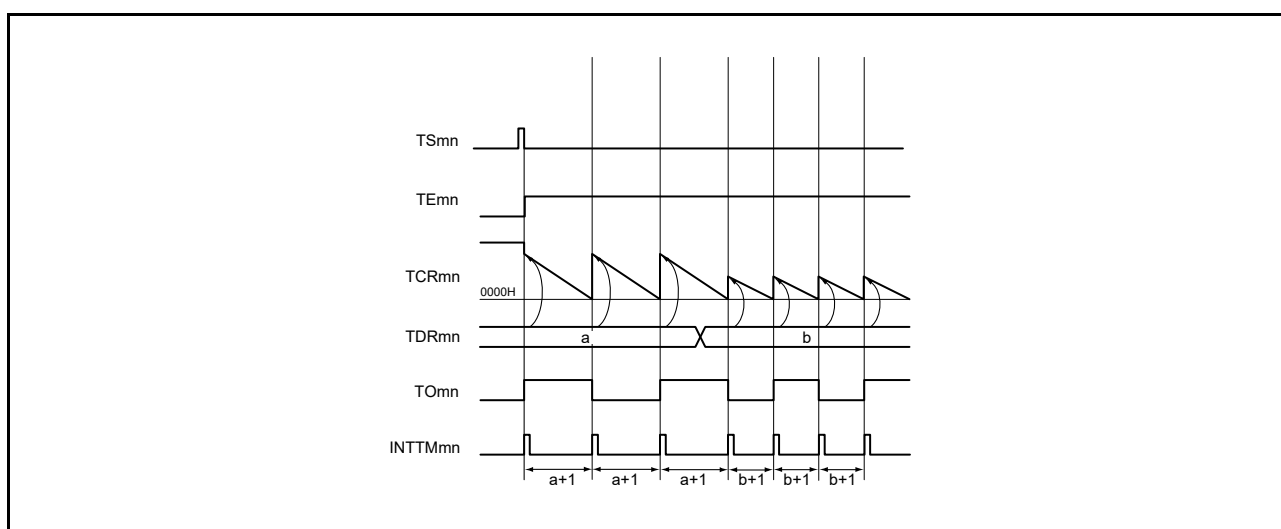
備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-3)

図10-42 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図10-43 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MDmn0 = 1)



備考1. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSM) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n

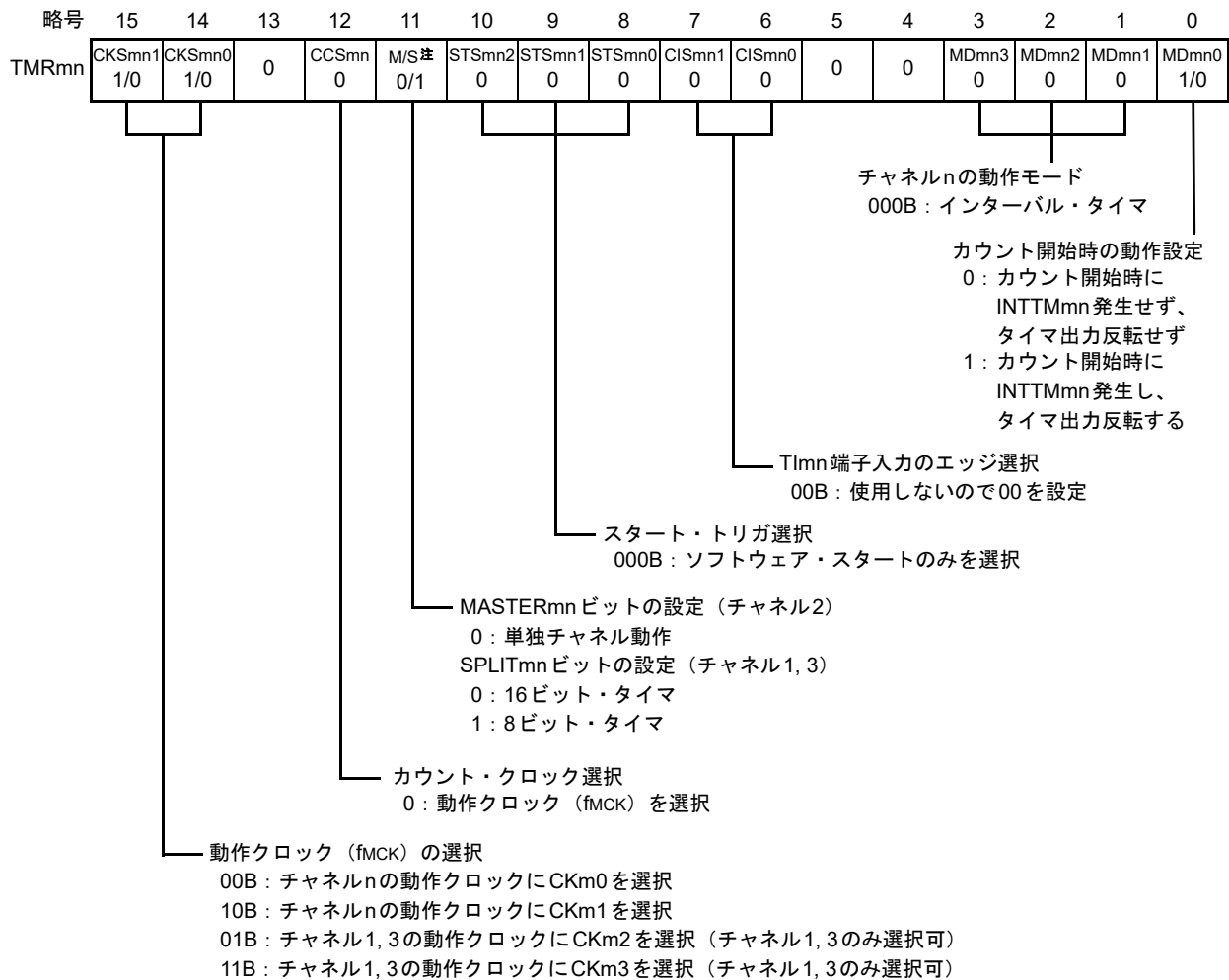
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

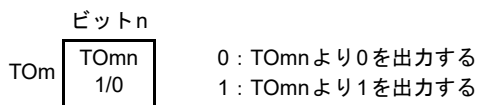
TOmn : TOmn 端子出力信号

図10-44 インターバル・タイマ／方形波出力時のレジスタ設定内容例

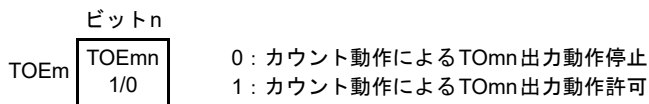
(a) タイマ・モード・レジスタ mn (TMRmn)



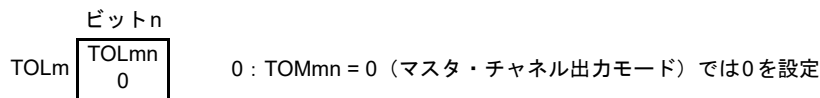
(b) タイマ出力レジスタ m (TOm)



(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(注、備考は次ページに続きます)

(e) タイマ出力モード・レジスタ m (TOMm)

TOMm

ビットn TOMmn 0

 0 : マスタ・チャンネル出力モードを設定

注 TMRm2の場合 : MASTERmn ビット
TMRm1, TMRm3の場合 : SPLITmn ビット
TMRm0の場合 : 0 固定

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

図10-45 インターバル・タイマ/方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)	
	TOmn出力を使用する場合、 タイマ出力モード・レジスタm (TOMm) のTOMmn ビットに0 (マスタ・チャンネル出力モード) を設定する TOLmnビットに0を設定する TOmnビットを設定し、TOmn出力の初期レベルを確定 する TOEmnビットに1を設定し、TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設 定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジ スタが0の場合は、TOmn初期設定レベルが出力される。 チャンネルは動作停止状態なので、TOmnは変化しない TOmn端子はTOmn設定レベルを出力	
動作 再開	動作 開始	(TOmn出力を使用する場合で、かつ動作再開時のみ TOEmnビットに1を設定する) TSmn (TSHm1, TSHm3) ビットに1を設定する TSmn (TSHm1, TSHm3) ビットはトリガ・ビットなの で、自動的に0に戻る	TEmn (TEHm1, TEHm3) = 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmn レジスタの値をロードする。TMRmnレジスタのMDmn0 ビットが1の場合は、INTTMmnを発生し、TOmnもトグ ル動作する。
	動作 中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない TOm, TOEmレジスタは、設定値変更可能 TMRmnレジスタ、TOMmn, TOLmnビットは、設定値変 更禁止	カウンタ (TCRmn) はダウン・カウント動作を行い、 0000Hまでカウントすると、再びTCRmnレジスタは TDRmnレジスタの値をロードし、カウント動作を継続す る。TCRmn = 0000H検出でINTTMmnを発生し、TOmnは トグル動作する。 以降、この動作を繰り返す。
	動作 停止	TTmn (TTHm1, TTHm3) ビットに1を設定する TTmn (TTHm1, TTHm3) ビットはトリガ・ビットなの で、自動的に0に戻る	TEmn (TEHm1, TEHmn) = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず、状態保持
		TOEmnビットに0を設定し、TOmnビットに値を設定 する	TOmn端子はTOmnビットに設定したレベルを出力 する

図10-45 インターバル・タイマ／方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する →	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタの TAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.8.2 外部イベント・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達すると割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmn の設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn) はイベント・カウンタ・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ m (T_{Sm}) の任意のチャンネル・スタート・トリガ・ビット (T_{Smn}) に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。

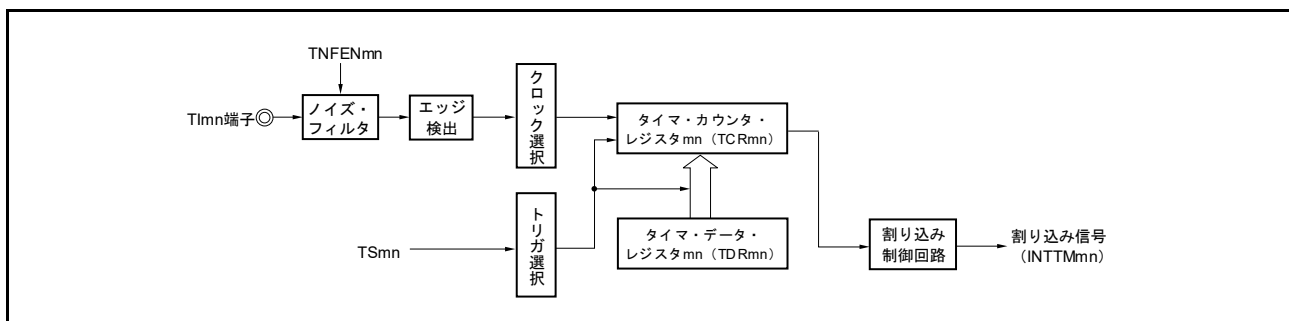
TCRmn レジスタは Tl_{mn} 端子入力の有効エッジ検出にあわせてダウン・カウントを行い、TCRmn = 0000H となったら、再び TDRmn レジスタの値をロードして、INTT_{Mmn} を出力します。

以降、同様の動作を継続します。

TO_{mn} 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

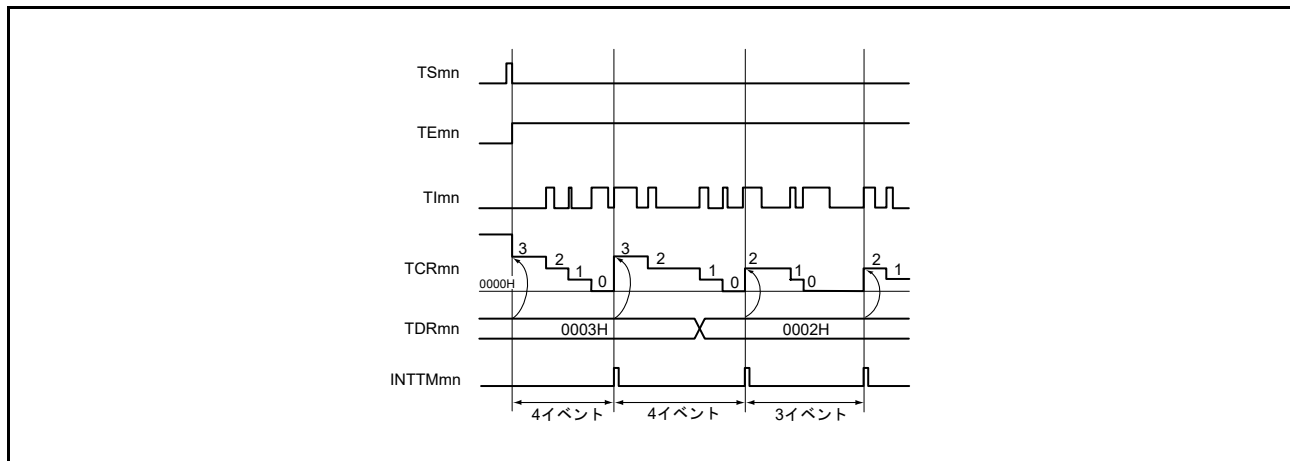
TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

図 10 - 46 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

図10-47 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

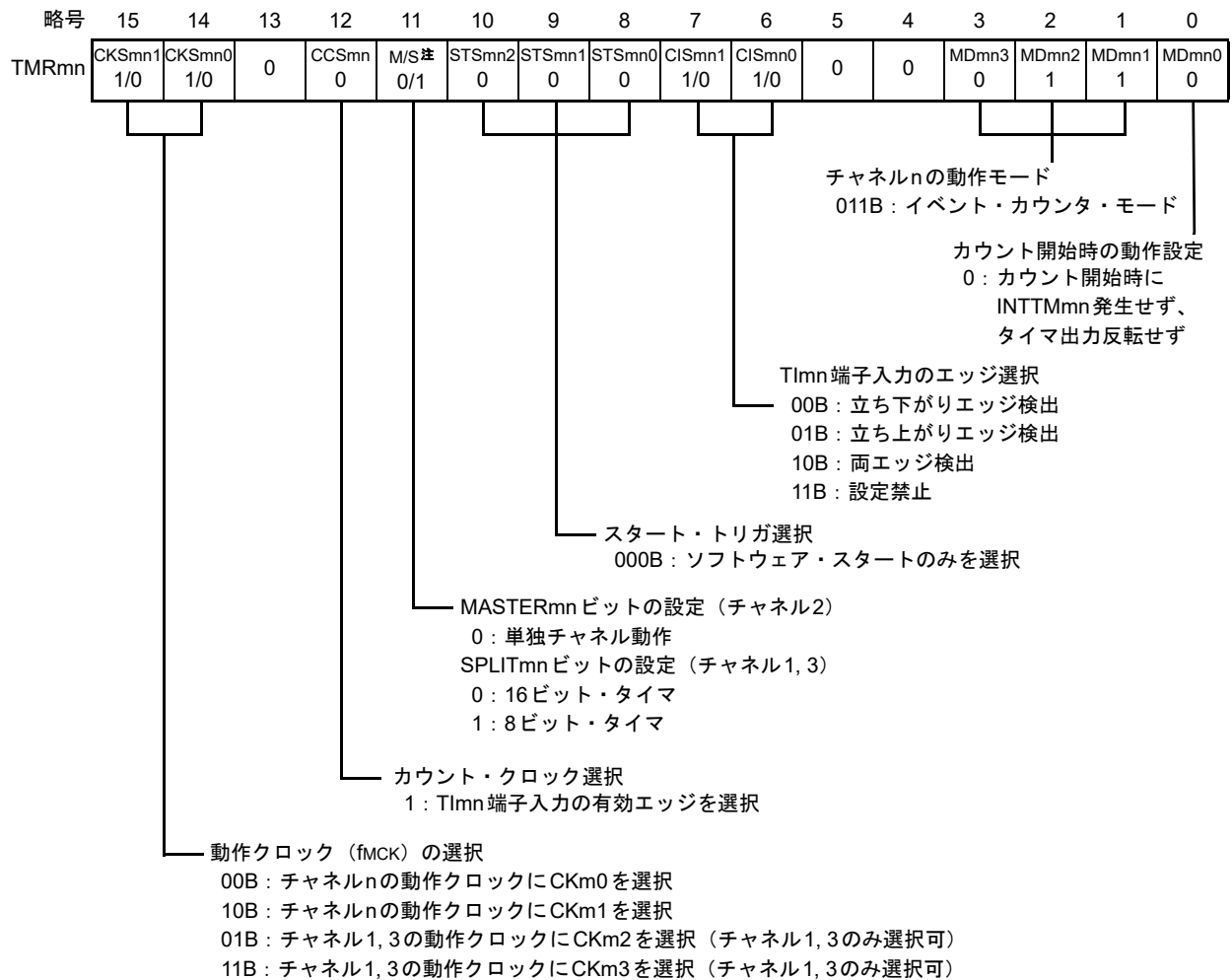
TI mn : TI mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

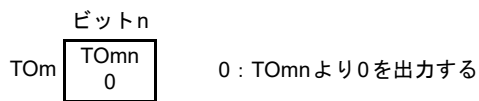
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図10-48 外部イベント・カウンタ・モード時のレジスタ設定内容例

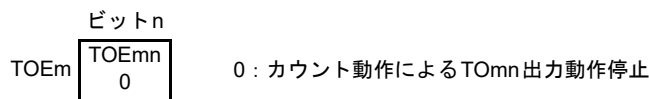
(a) タイマ・モード・レジスタ mn (TMRmn)



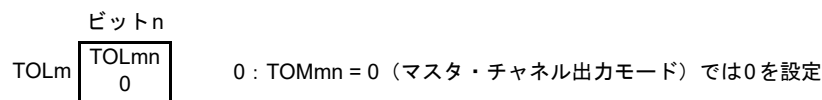
(b) タイマ出力レジスタ m (TOm)



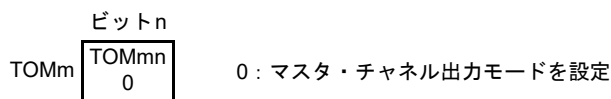
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

注 TMRm2の場合 : MASTERmnビット
TMRm1, TMRm3の場合 : SPLITmnビット
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

図10-49 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にカウント数を設定する タイマ出力許可レジスタm (TOEm) のTOEmnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードし、TImn端子入力のエッジ検出待ち状態になる
	動作 中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない TMRmnレジスタ、TOMmn, TOLmn, TOmn, TOEmnビットは、設定値変更禁止	TImn端子入力のエッジが検出されるごとに、カウンタ (TCRmn) はダウン・カウント動作を行う。0000Hまでカウントすると、再びTCRmnレジスタはTDRmnレジスタの値をロードし、カウント動作を継続する。 TCRmn = 0000H検出でINTTMmn出力を発生する。 以降、この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止
	TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合 PRR0レジスタのTAUmRES ビットに1を設定する	タイマ・アレイ・ユニットmの入クロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.8.3 分周器としての動作 (チャンネル0のみ)

TI00 端子に入力されたクロックを分周し、TO00 端子から出力する分周器として利用することができます。
TO00 出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ/立ち下がりエッジ選択時：
分周クロック周波数 = 入力クロック周波数 / { (TDR00の設定値 + 1) × 2}
- 両エッジ選択時：
分周クロック周波数 = 入力クロック周波数 / (TDR00の設定値 + 1)

タイマ・カウンタ・レジスタ 00 (TCR00) はインターバル・タイマ・モードでダウン・カウンタとして動作します。
タイマ・チャンネル開始レジスタ 0 (TS0) のチャンネル・スタート・トリガ・ビット (TS00) に 1 を設定後、TI00 の有効エッジ検出で TCR00 レジスタはタイマ・データ・レジスタ 00 (TDR00) の値をロードします。このときタイマ・モード・レジスタ 00 (TMR00) の MD000 = 0 ならば、INTTM00 を出力せず、TO00 はトグルしません。TMR00 レジスタの MD000 = 1 ならば、INTTM00 を出力して、TO00 をトグルします。

その後、TI00 端子入力の有効エッジにあわせてダウン・カウントを行い、TCR00 = 0000H となったら、TO00 をトグルします。同時に TCR00 レジスタは TDR00 レジスタの値をロードして、カウントを継続します。

TI00 端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差が TO00 出力の分周クロック周期に影響します。

TO00 の出力クロックの周期には、動作クロック 1 周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出力クロック周期} \pm \text{動作クロック周期 (誤差)}$$

TDR00 レジスタは任意のタイミングで書き換えることができます。書き換えた TDR00 レジスタの値は次のカウント期間で有効となります。

図 10 - 50 分周器としての動作のブロック図

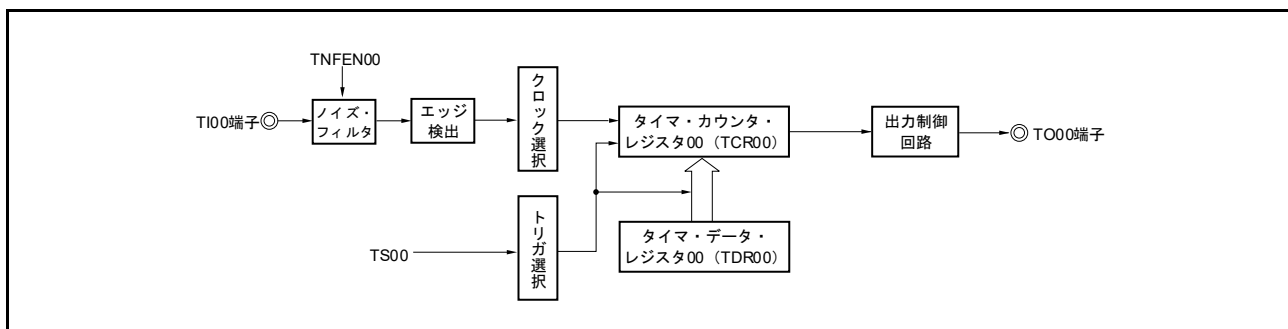
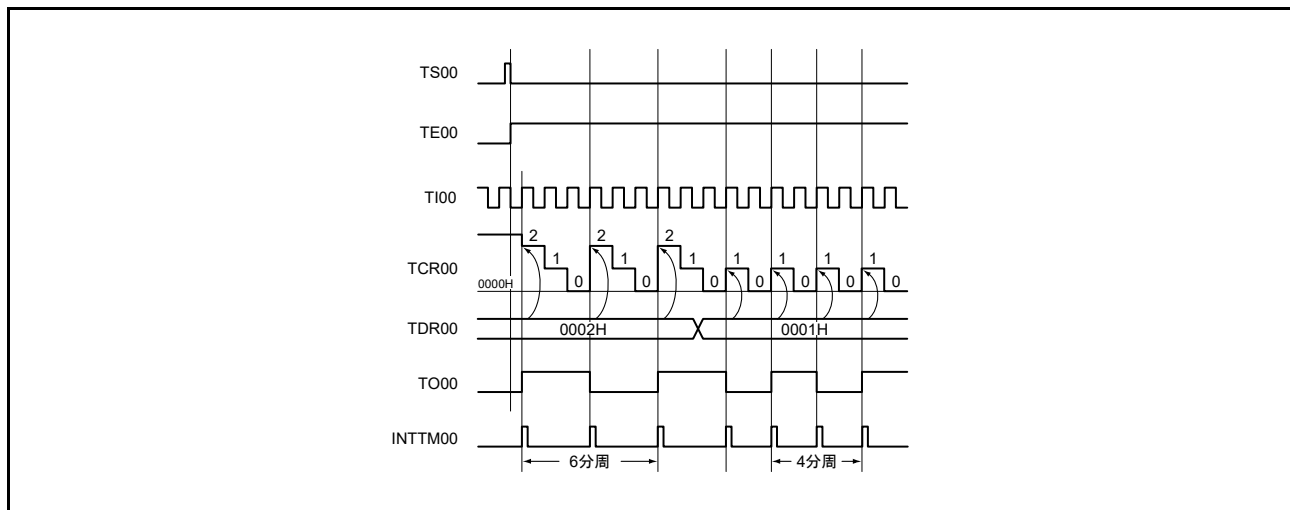


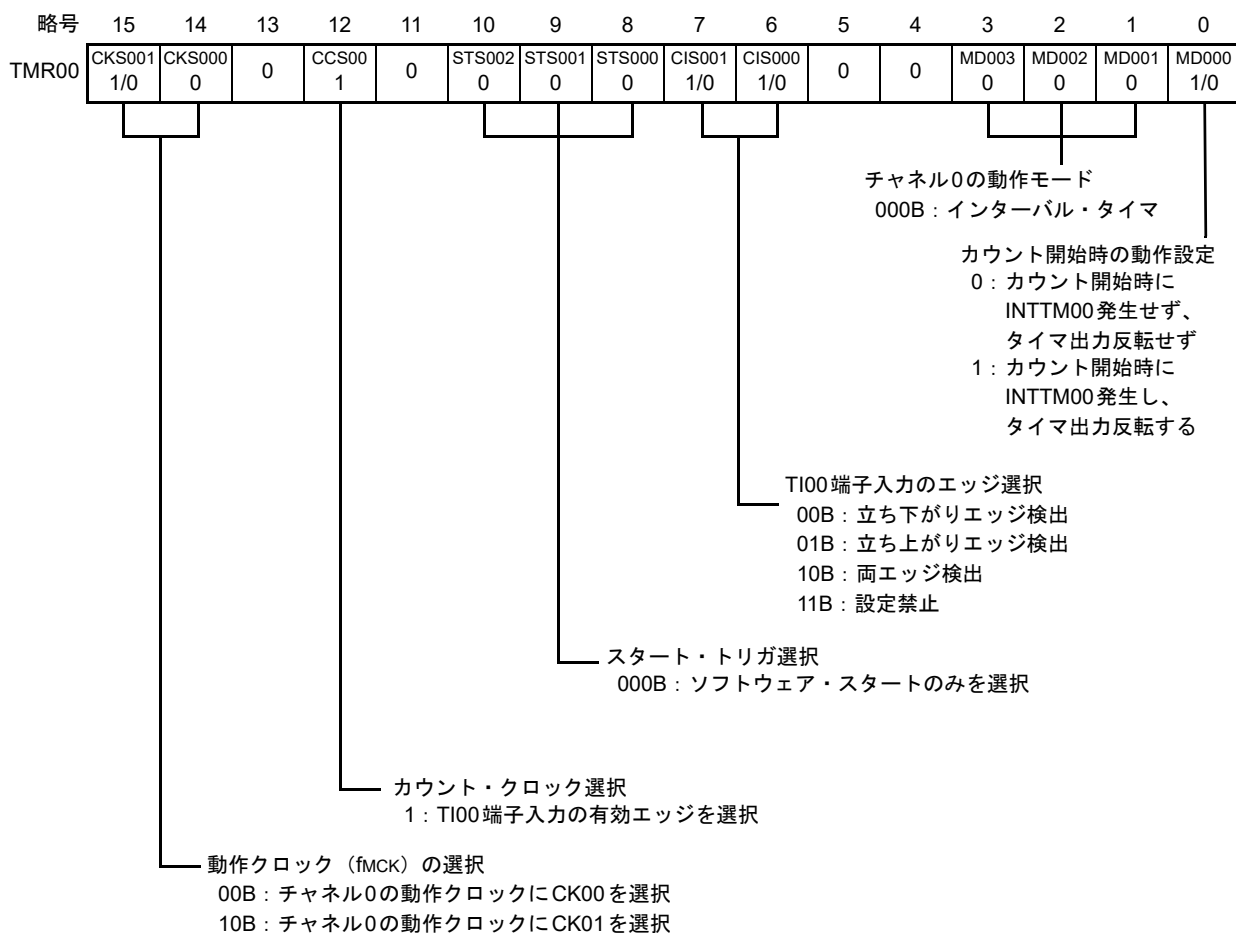
図10-51 分周器としての動作の基本タイミング例 (MD000 = 1)



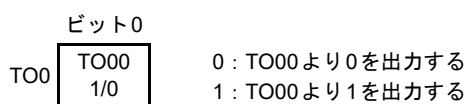
- 備考**
- TS00 : タイマ・チャンネル開始レジスタ0 (TS0) のビット0
 - TE00 : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビット0
 - TI00 : TI00端子入力信号
 - TCR00 : タイマ・カウンタ・レジスタ00 (TCR00)
 - TDR00 : タイマ・データ・レジスタ00 (TDR00)
 - TO00 : TO00端子出力信号

図 10 - 52 分周器として動作時のレジスタ設定内容例

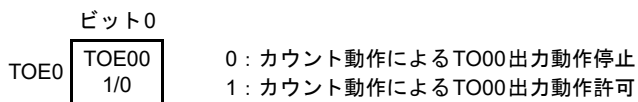
(a) タイマ・モード・レジスタ 00 (TMR00)



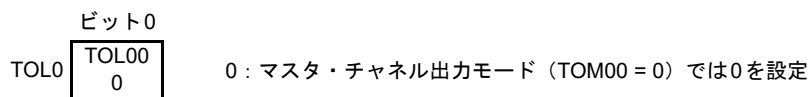
(b) タイマ出力レジスタ 0 (TO0)



(c) タイマ出力許可レジスタ 0 (TOE0)



(d) タイマ出力レベル・レジスタ 0 (TOL0)



(e) タイマ出力モード・レジスタ 0 (TOM0)

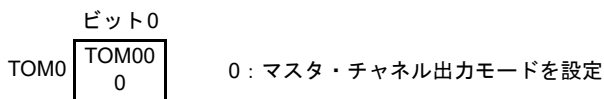


図 10 - 53 分周器機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00-CK03のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ00 (TMR00) を設定する (チャネルの動作モード確定、検出エッジの選択) タイマ・データ・レジスタ00 (TDR00) にインターバル (周期) 値を設定する	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	タイマ出力モード・レジスタ0 (TOM0) のTOM00ビットに0 (マスタ・チャネル出力モード) を設定する TOL00ビットに0を設定する TO00ビットを設定し、TO00出力の初期レベルを確定する	TO00端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TO00初期設定レベルが出力される。
	TOE00ビットに1を設定し、TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャネルは動作停止状態なので、TO00は変化しない TO00端子はTO00設定レベルを出力

図 10 - 53 分周器機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOE00ビットに1を設定する (動作再開時のみ) TS00ビットに1を設定する → TS00ビットはトリガ・ビットなので、自動的に0に戻る	TE00 = 1になり、カウント動作開始 タイマ・カウンタ・レジスタ00 (TCR00) はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は、INTTM00を発生し、TO00もトグル動作する。
	動作中 TDR00レジスタは、任意に設定値変更が可能 TCR00レジスタは、常に読み出し可能 TSR00レジスタは、使用しない TO0, TOE0レジスタは、設定値変更可能 TMR00レジスタ、TOM00, TOL00ビットは、設定値変更禁止	カウンタ (TCR00) はダウン・カウント動作を行い、0000Hまでカウントすると、再びTCR00レジスタはTDR00レジスタの値をロードし、カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し、TO00はトグル動作する。 以降、この動作を繰り返す。
	動作停止 TT00ビットに1を設定する → TT00ビットはトリガ・ビットなので、自動的に0に戻る	TE00 = 0になり、カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず、状態保持
	TOE00ビットに0を設定し、TO00ビットに値を設定する →	TO00端子はTO00設定レベルを出力
	TAU停止 TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO00ビットに0を設定する → TO00端子の出力レベルを保持不要の場合 設定不要	TO00端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入カロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

10.8.4 入力パルス間隔測定としての動作

Tl_{mn} 有効エッジでカウント値をキャプチャし、Tl_{mn} 入力パルスの間隔を測定することができます。また、TE_{mn} = 1 の期間中に、ソフトウェア操作 (TS_{mn} = 1) をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tl}_{mn}\text{入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSR}_{mn}.\text{OVF}) + (\text{TDR}_{mn}\text{のキャプチャ値} + 1))$$

注意 Tl_{mn}端子入力は、タイマ・モード・レジスタ mn (TMR_{mn}) のCKS_{mn}ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCR_{mn}) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}) に 1 を設定すると TCR_{mn} レジスタはカウント・クロックにあわせて 0000H からアップ・カウントを開始します。

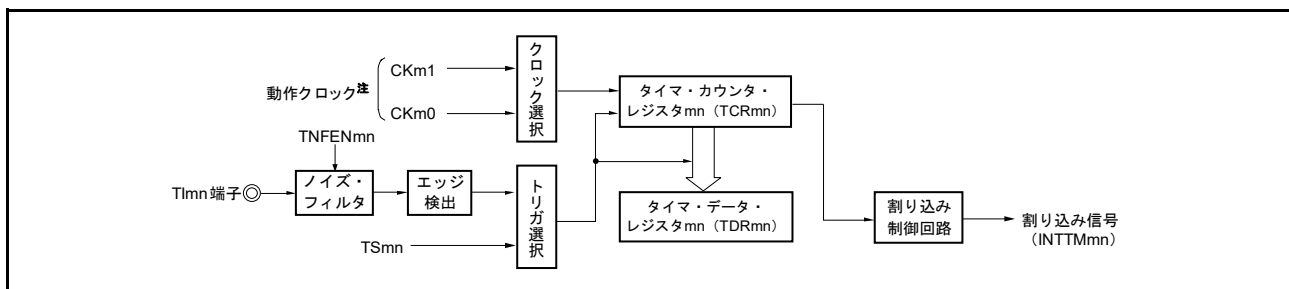
Tl_{mn} 端子入力の有効エッジを検出すると、TCR_{mn} レジスタのカウント値をタイマ・データ・レジスタ mn (TDR_{mn}) に転送 (キャプチャ) すると同時に、TCR_{mn} レジスタを 0000H にクリアして、INTTM_{mn} を出力します。このとき、カウンタのオーバーフローが発生していたら、タイマ・ステータス・レジスタ mn (TSR_{mn}) の OVF ビットが 1 にセットされ、オーバーフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を続けます。

カウント値が TDR_{mn} レジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSR_{mn} レジスタの OVF ビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSR_{mn} レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2 回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMR_{mn} レジスタの STS_{mn}2-STS_{mn}0 = 001B に設定して、Tl_{mn} 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

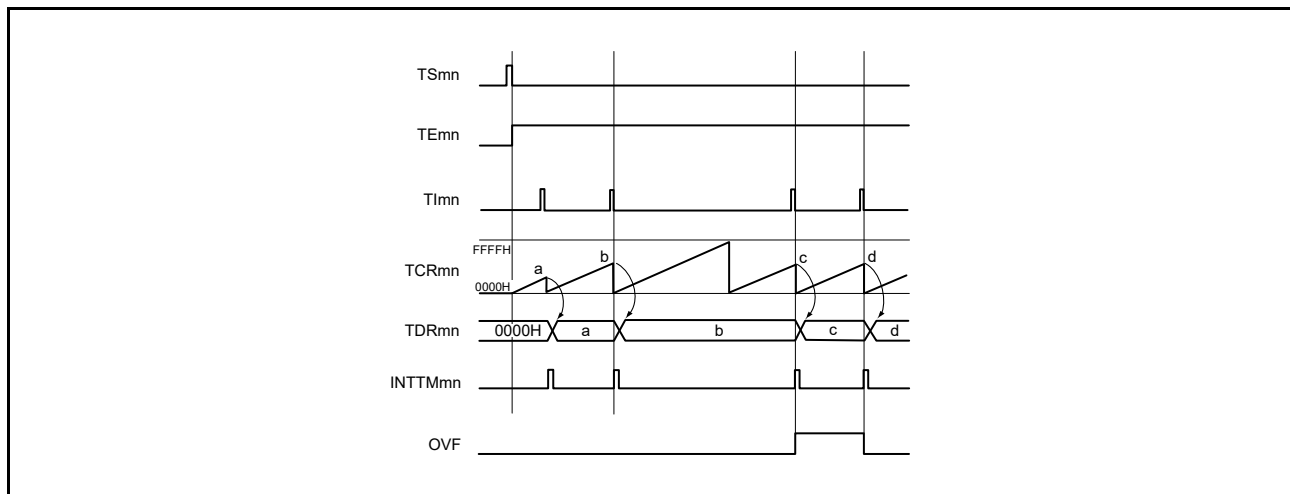
図 10 - 54 入力パルス間隔測定としての動作のブロック図



注 チャンネル 1, 3 の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3} からクロックを選択できます。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

図10-55 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



備考1. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TI mn : TI mn 端子入力信号

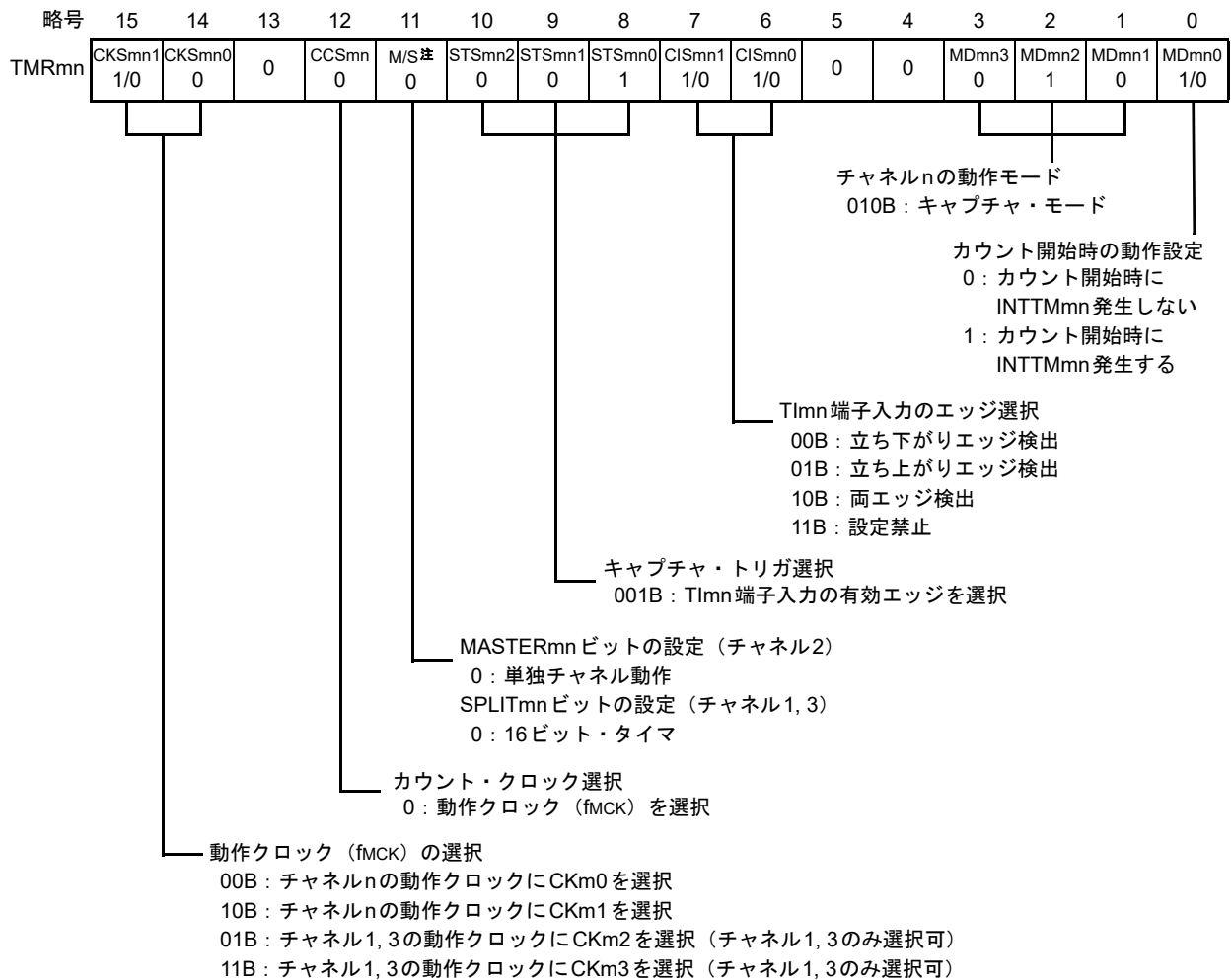
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

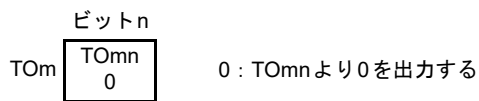
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図 10 - 56 入力パルス間隔測定時のレジスタ設定内容例

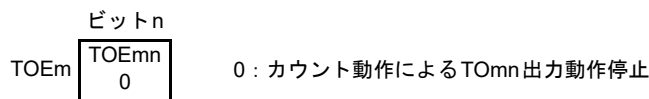
(a) タイマ・モード・レジスタ mn (TMRmn)



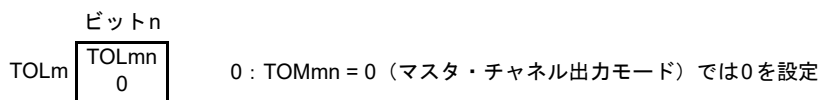
(b) タイマ出力レジスタ m (TOm)



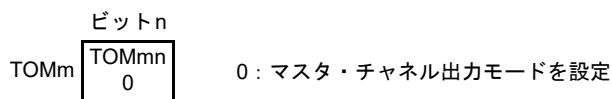
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

注 TMRm2の場合 : MASTERmnビット
TMRm1, TMRm3の場合 : SPLITmnビット
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

図 10 - 57 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ m の TAUmEN ビットに 1 を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) の対応する ビットに 0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャネルの動作モード確定)	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)	
動作 再開	動作 開始	TSmn ビットに 1 を設定する TSmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn = 1 になり、カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) を 0000H に クリアする。TMRmn レジスタの MDmn0 ビットが 1 の場 合は、INTTMmn を発生する。
	動作 中	TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値 変更可能 TDRmn レジスタは、常に読み出し可能 TCRmn レジスタは、常に読み出し可能 TSRmn レジスタは、常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmn ビットは、設定値変更禁 止	カウンタ (TCRmn) は 0000H からアップ・カウント動作 を行い、TImn 端子入力の有効エッジの検出または TSmn ビットに 1 を設定すると、カウント値をタイマ・デー タ・レジスタ mn (TDRmn) に転送 (キャプチャ) する。同時 に、TCRmn レジスタを 0000H にクリアし、INTTMmn を 発生する。 このときオーバフローが発生していたら、タイマ・ステー タス・レジスタ mn (TSRmn) の OVF ビットがセットさ れ、オーバフローが発生していなかったら OVF ビットが クリアされる。 以降、この動作を繰り返す。
	動作 停止	TTmn ビットに 1 を設定する TTmn ビットはトリガ・ビットなので、自動的に 0 に戻る	TEmn = 0 になり、カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
	TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する 全回路を初期化する場合は PRR0 レジスタの TAUmRES ビットに 1 を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャネルの SFR も初期化される

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-3)

10.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット1 (ISC1) に1を設定してください。また、以降の説明では「TImn」を「RxD0」と読み替えてください。

TImn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImn の信号幅 (ハイ・レベル幅／ロウ・レベル幅) を測定することができます。TImn の信号幅は次の式で求めることができます。

$$\text{TImn 入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn.OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 TImn端子入力は、タイマ・モード・レジスタ mn (TMRmn) のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に1を設定すると、TEmn = 1 となり TImn 端子のスタート・エッジ検出待ち状態となります。

TImn 端子入力のスタート・エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち上がりエッジ) を検出すると、カウント・クロックにあわせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn) に転送すると同時に INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、TImn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

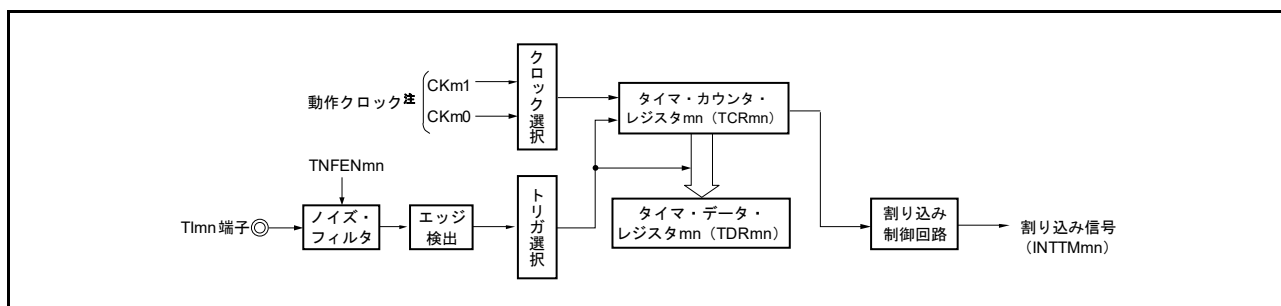
カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TImn 端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、TImn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSMn ビットのセット (1) は使用できません。

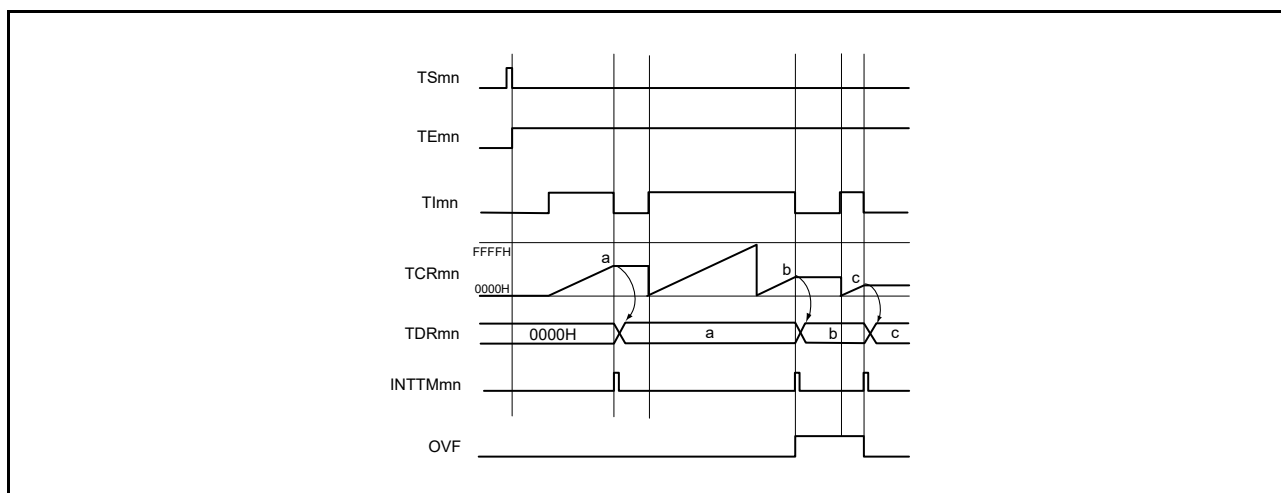
- TMRmn レジスタの CISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する
- TMRmn レジスタの CISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図 10 - 58 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図 10 - 59 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSM) のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n

TIln : TIln端子入力信号

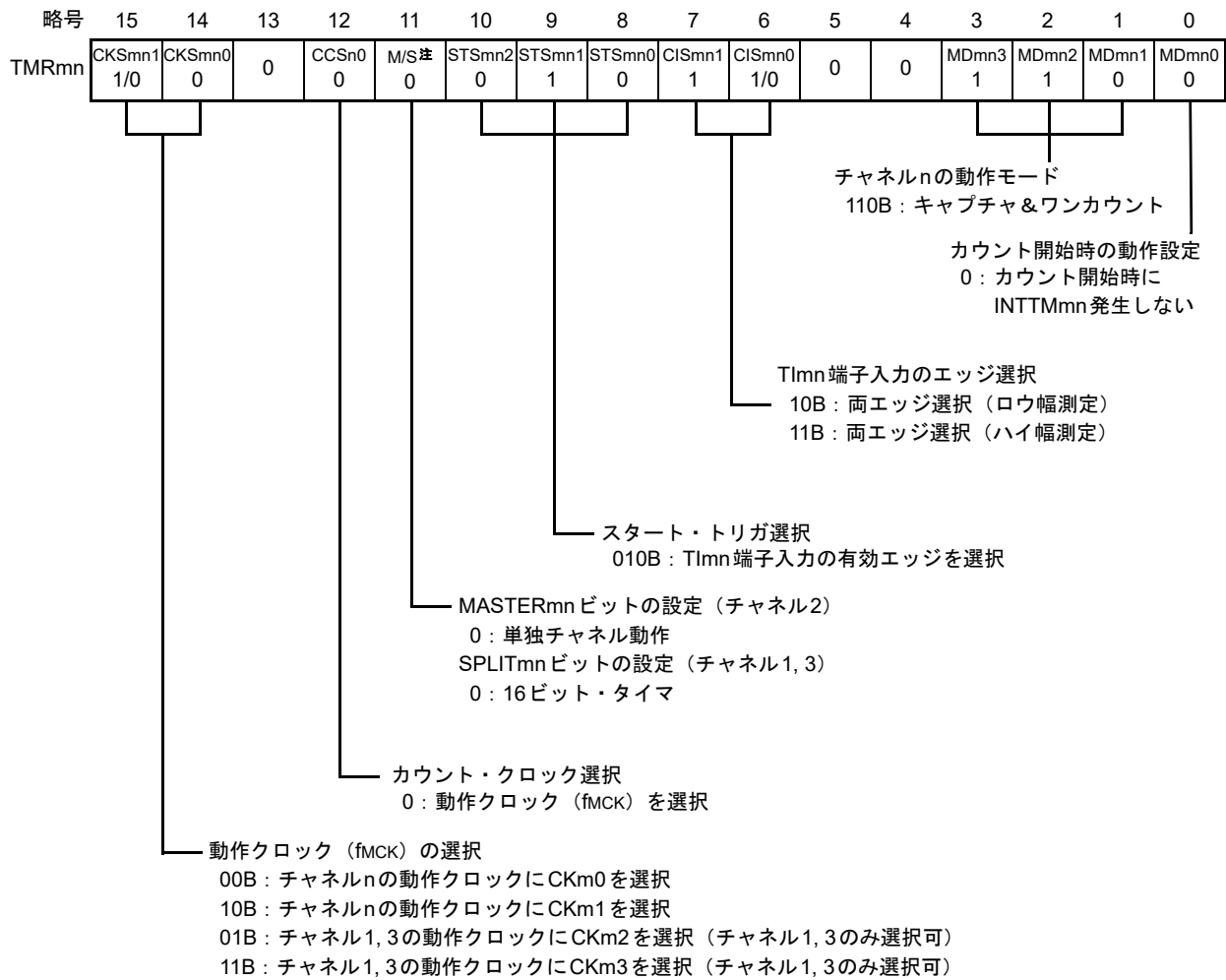
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

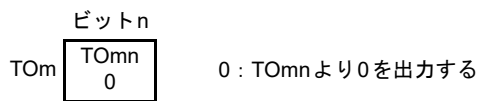
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図10-60 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

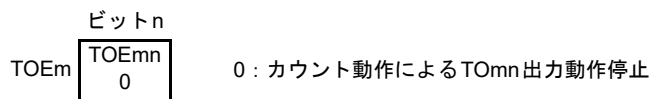
(a) タイマ・モード・レジスタ mn (TMRmn)



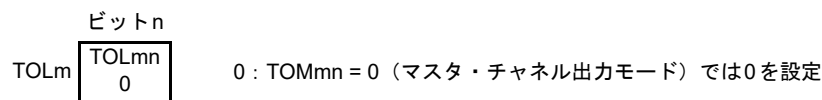
(b) タイマ出力レジスタ m (TOM)



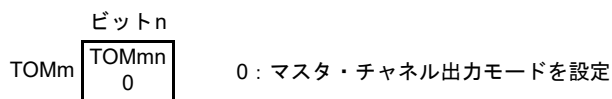
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

注 TMRm2の場合 : MASTERmnビット
TMRm1, TMRm3の場合 : SPLITmnビット
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

図10-61 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルの動作モード確定) TOEmnビットに0を設定し、TOMnの動作を停止	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn) を0000Hにクリアし、カウント・アップ動作を開始する
動作 中	TDRmnレジスタは、常に読み出し可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、常に読み出し可能 TMRmnレジスタ、TOMmn, TOLmn, TOMn, TOEmnビットは、設定値変更禁止	TImn端子のスタート・エッジ検出後、カウンタ (TCRmn) は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら、カウント値をタイマ・データ・レジスタmn (TDRmn) に転送し、INTTMmnを発生する。 このときオーバフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは、次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降、この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-3)

10.8.6 デイレイ・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn}（タイマ割り込み）を発生することができます。

また、TE_{mn} = 1 の期間中に、ソフトウェア操作で TS_{mn} = 1 に設定することで、ダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn}（タイマ割り込み）を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

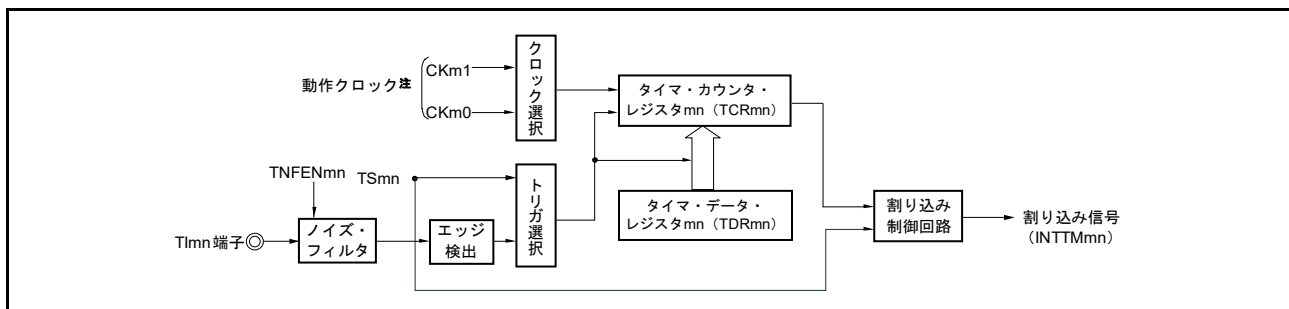
タイマ・カウンタ・レジスタ mn (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に 1 を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1 となり Tl_{mn} 端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、Tl_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ mn (TDR_{mn}) から値をロードします。TCR_{mn} レジスタはロードした TDR_{mn} レジスタの値からカウント・クロックにあわせてダウン・カウントを行い、TCR_{mn} = 0000H となったら INTTM_{mn} を出力し、次の Tl_{mn} 端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えた TDR_{mn} レジスタの値は、次の周期から有効となります。

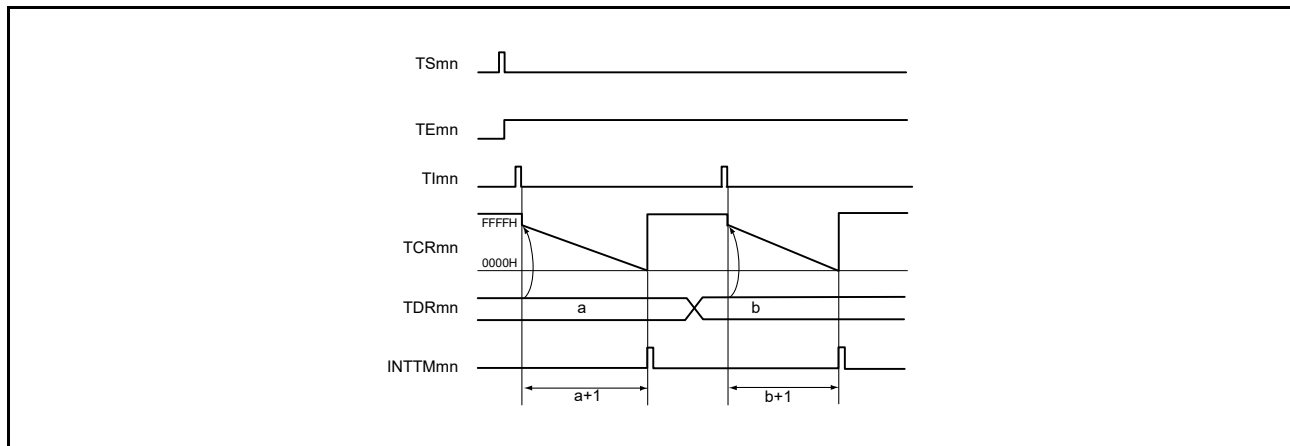
図 10 - 62 デイレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

図10-63 デイレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

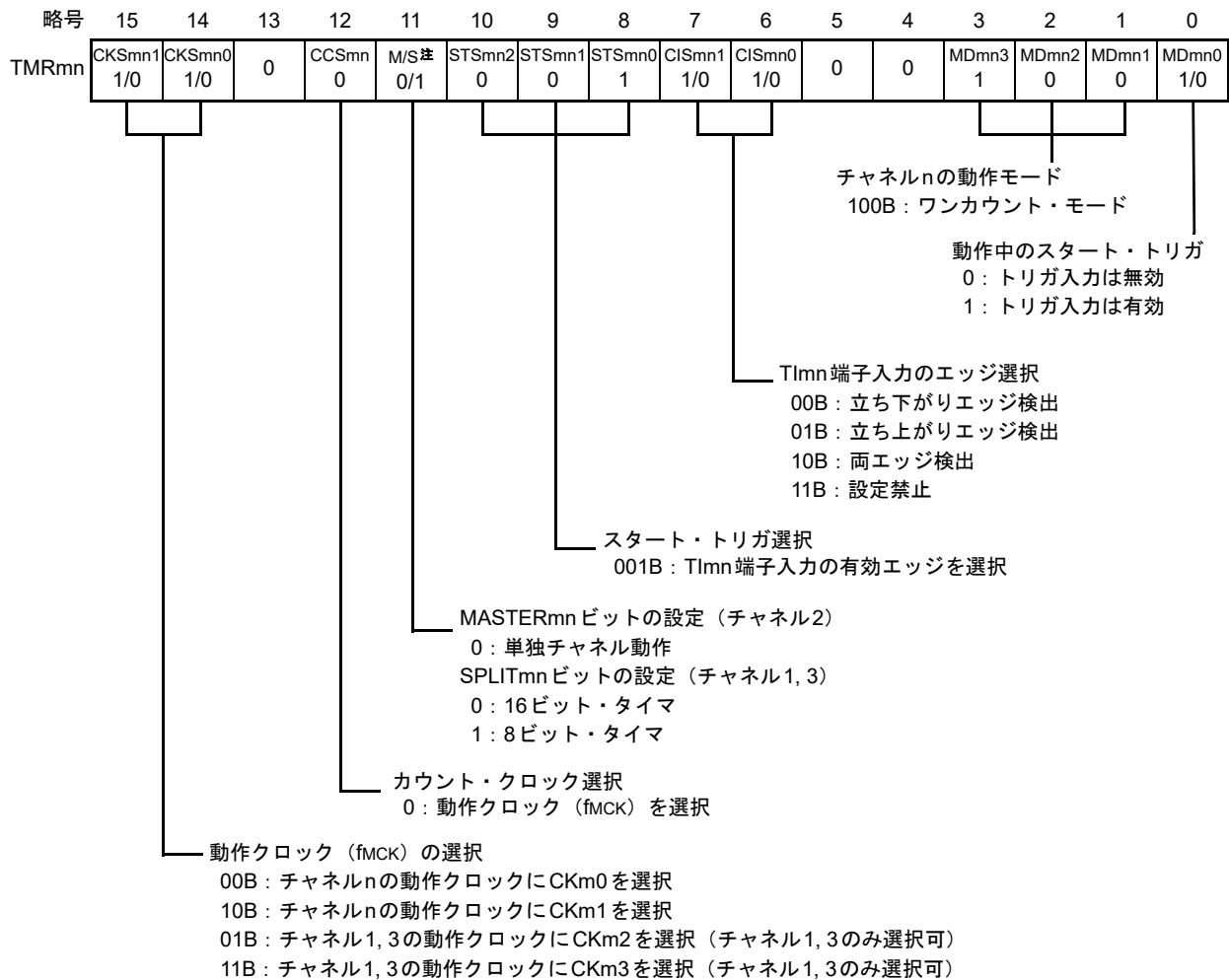
Tl mn : Tl mn 端子入力信号

TCR mn : タイマ・カウンタ・レジスタ mn (TCRmn)

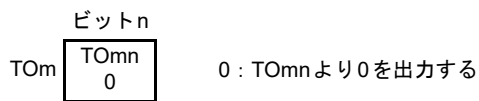
TDR mn : タイマ・データ・レジスタ mn (TDRmn)

図10-64 ディレイ・カウンタ機能時のレジスタ設定内容例

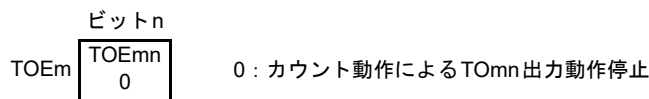
(a) タイマ・モード・レジスタ mn (TMRmn)



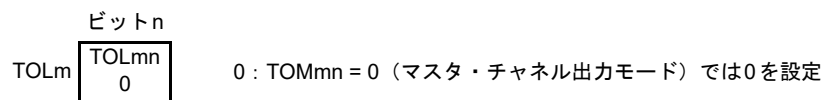
(b) タイマ出力レジスタ m (TOm)



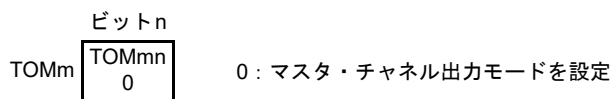
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

注 TMRm2の場合 : MASTERmnビット
TMRm1, TMRm3の場合 : SPLITmnビット
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

図10-65 デイレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn) に遅延時間を設定する TOEmnビットに0を設定し、TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、スタート・トリガ検出 (TIIn端子入力の有効エッジの検出、またはTSmnビットに1を設定) 待ち状態となる
	次のスタート・トリガ検出によって、ダウン・カウントを開始します。 ・TIIn端子入力の有効エッジ検出 ・ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない	カウンタ (TCRmn) はダウン・カウント動作を行う。 TCRmn = 0000HまでカウントするとINTTMmn出力を発生し、次のスタート・トリガ検出 (TIIn端子入力の有効エッジの検出、またはTSmnビットに1を設定) までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入クロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3)

10.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能

10.9.1 ワンショット・パルス出力機能としての動作

2チャンネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生じることができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャンネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックにあわせてダウン・カウントを行い、TCRmn = 0000H になったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

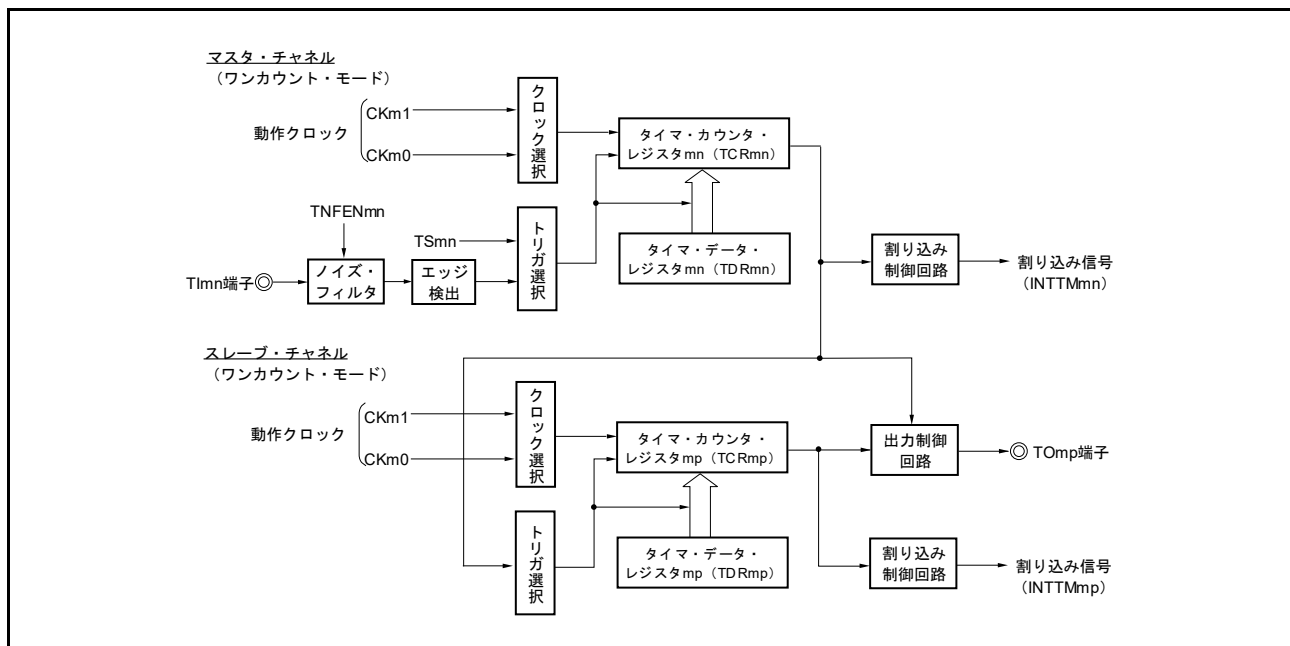
スレーブ・チャンネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャンネルの TCRmp レジスタは、マスタ・チャンネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックにあわせてダウン・カウントを行います。そしてカウンタ値 = 0000H になったら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャンネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャンネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn 端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネルの TDRmp レジスタでは、ロード・タイミングが異なるため、動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると不正波形が出力されます。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

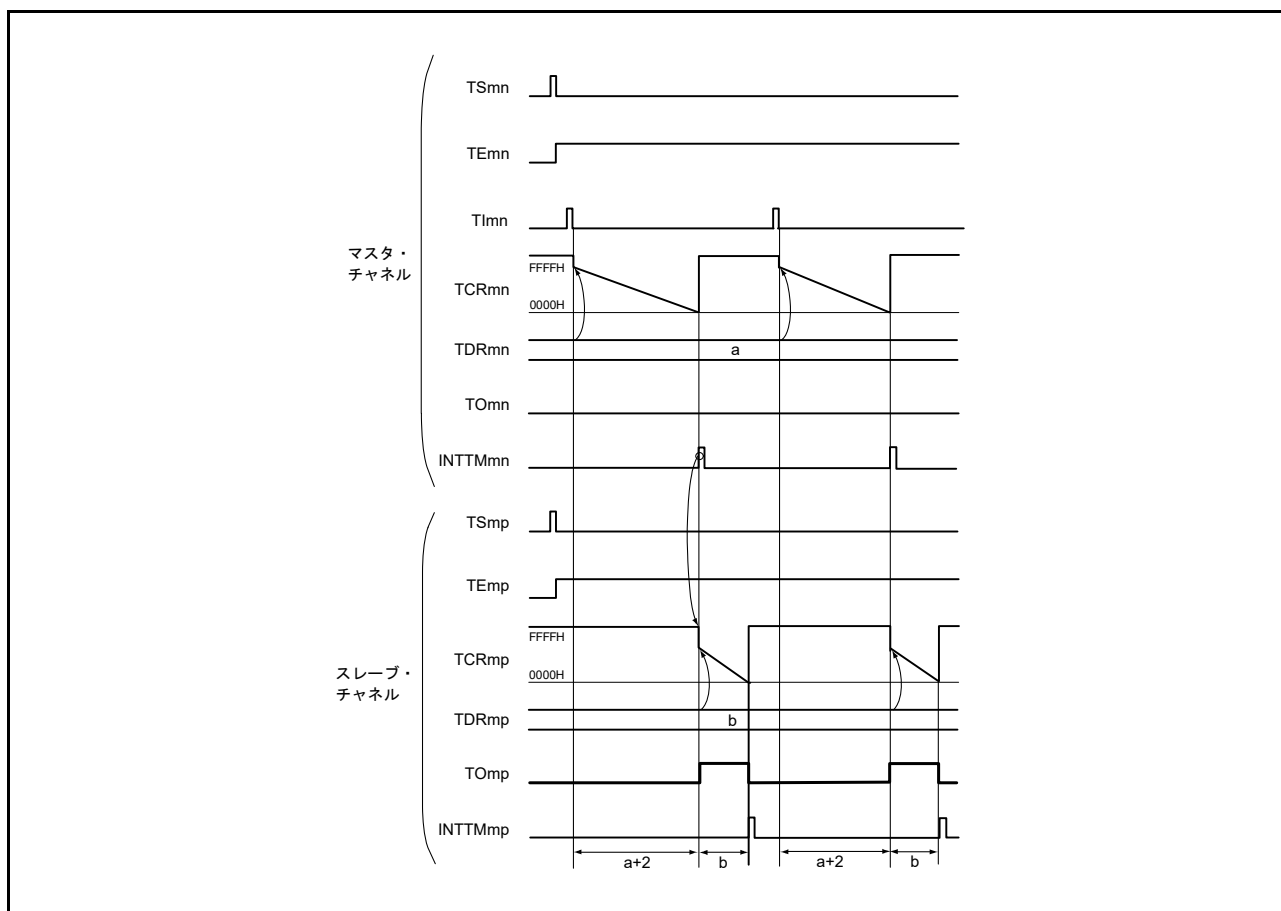
備考 m: ユニット番号 (m = 0)、n: マスタ・チャンネル番号 (n = 0, 2)
p: スレーブ・チャンネル番号 (n < p ≤ 3)

図 10 - 66 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n < p ≤ 3)

図10-67 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n < p ≤ 3)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSM) のビット n, p

TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n, p

TImn, TImp : TImn, TImp 端子入力信号

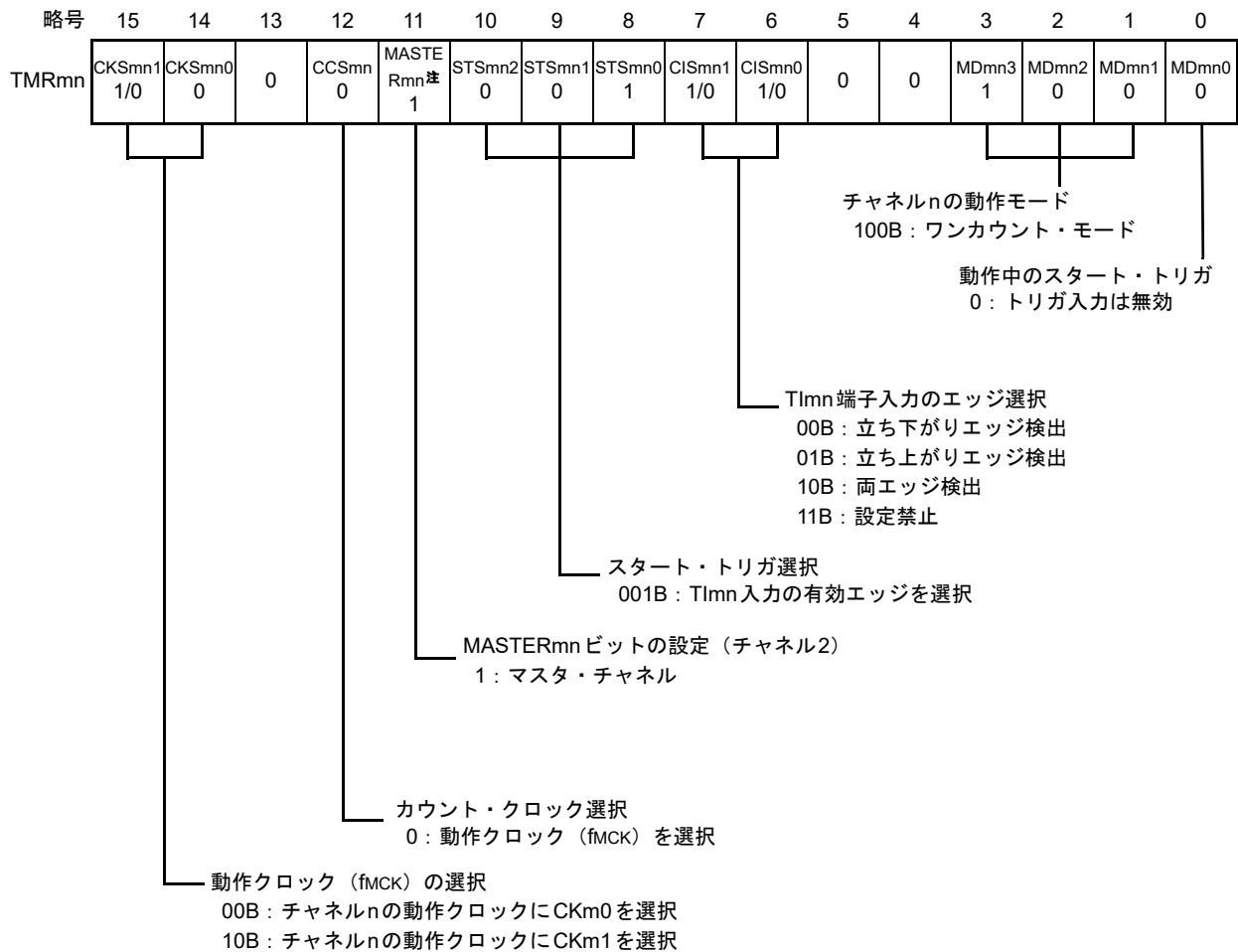
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

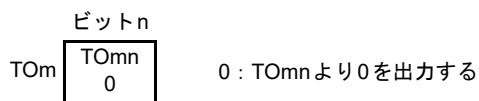
TOmn, TOmp : TOmn, TOmp 端子出力信号

図10-68 ワンショット・パルス出力機能時 (マスタ・チャンネル) のレジスタ設定内容例

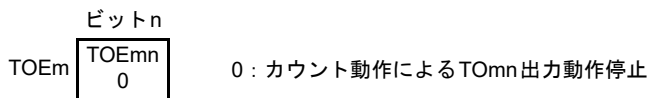
(a) タイマ・モード・レジスタ mn (TMRmn)



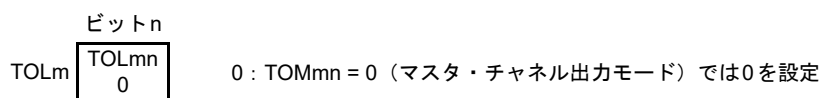
(b) タイマ出力レジスタ m (TOM)



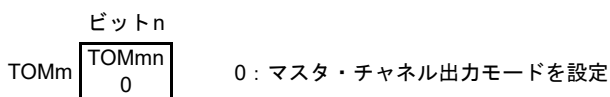
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



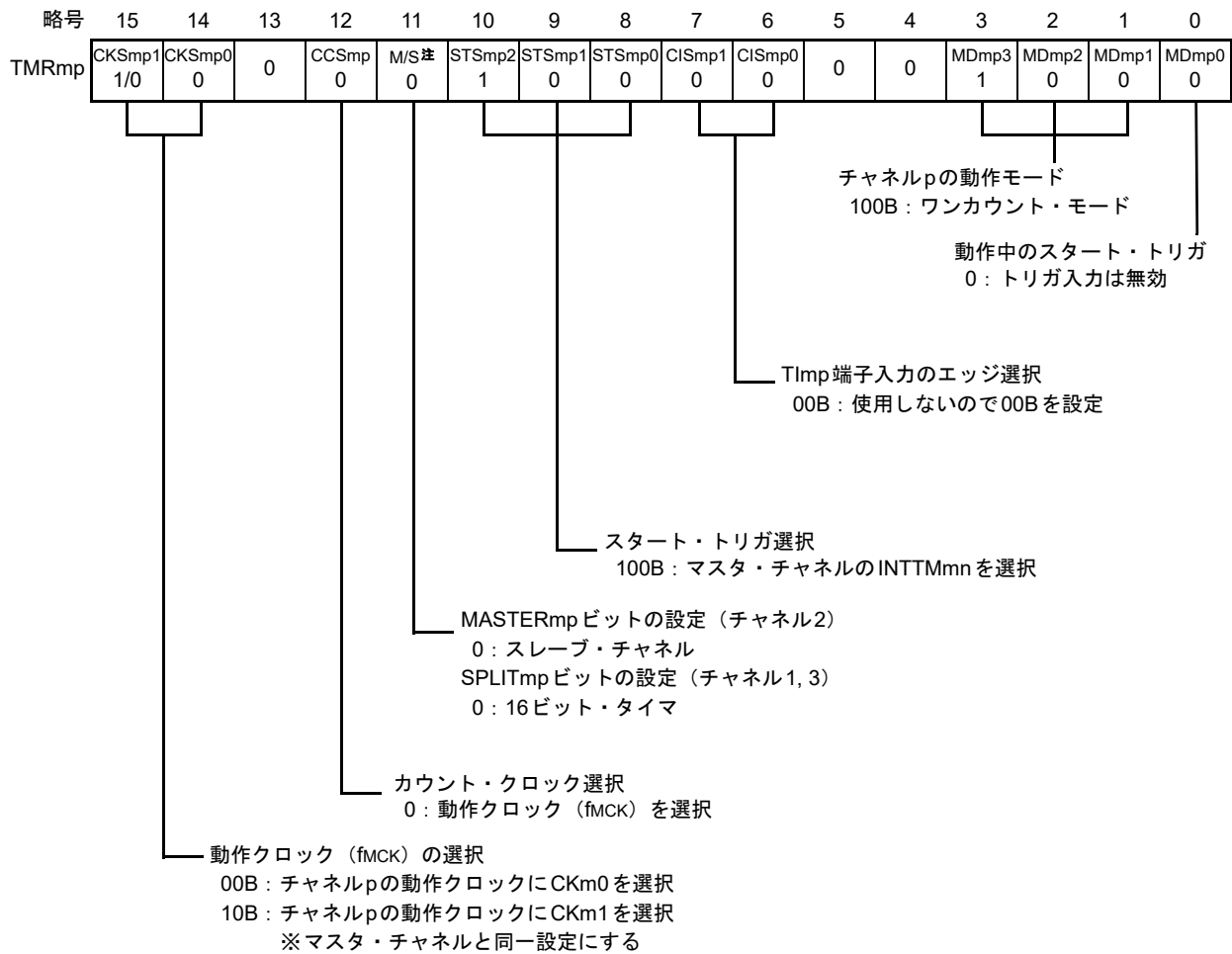
(注、備考は次ページに続きます)

注 TMRm2の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

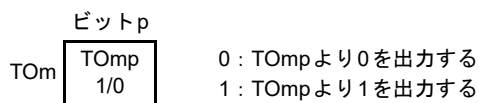
備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)

図10-69 ワンショット・パルス出力機能時 (スレーブ・チャンネル) のレジスタ設定内容例

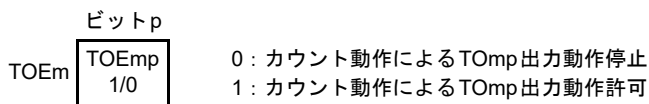
(a) タイマ・モード・レジスタ mp (TMRmp)



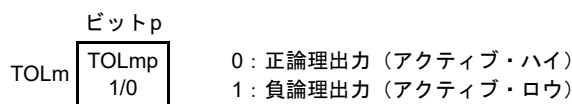
(b) タイマ出力レジスタ m (TOm)



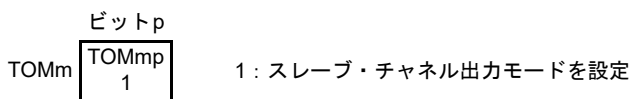
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

注 TMRm2の場合 : MASTERmnビット
TMRm1, TMRm3の場合 : SPLITmnビット

備考 m : ユニット番号 ($m = 0$)、n : マスタ・チャンネル番号 ($n = 0, 2$)
p : スレーブ・チャンネル番号 ($n < p \leq 3$)

図10-70 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) に出力遅延時間、スレーブ・チャンネルのTDRmpレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し、TOmp出力の初期レベルを確定する TOEmpビットに1を設定し、TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので、TOmpは変化しない TOmp端子はTOmp設定レベルを出力

図10-70 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作開始	TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ)、TSmp (スレーブ) ビットに同時に1を設定する → TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEm = 1 となり、マスタ・チャンネルはスタート・トリガ検出 (TImn 端子入力の有効エッジの検出またはマスタ・チャンネルの TSmn ビットに1を設定) 待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。 ・ TImn 端子入力の有効エッジ検出 ・ ソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定注	マスタ・チャンネルがカウンタ動作開始
動作中	TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ、TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない スレーブ・チャンネルの TOM, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、スタート・トリガ検出 (TImn 端子入力の有効エッジの検出またはマスタ・チャンネルの TSmn ビットに1を設定) により、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。TCRmn = 0000H までカウントすると INTTMmn 出力を発生し、次のスタート・トリガ検出までカウンタ動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントすると TOmp 出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。 以降、この動作を繰り返す。
動作停止	TTmn (マスタ)、TTmp (スレーブ) ビットに同時に1を設定する → TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEm = 0 になり、カウンタ動作停止 TCRmn, TCRmp レジスタはカウンタ値を保持して停止 TOmp 出力は初期化されず、状態保持
	スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する →	TOmp 端子は TOmp 設定レベルを出力
TAU 停止	TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する → TOmp 端子の出力レベルを保持不要の場合 設定不要	TOmp 端子出力レベルはポート機能により保持される。
	PER0 レジスタの TAUmEN ビットに0を設定する → 全回路を初期化する場合 PRR0 レジスタの TAUmRES ビットに1を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)

注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
p : スレーブ・チャンネル番号 (n < p ≤ 3)

10.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。
出力パルスの周期、デューティは次の式で求めることができます。

パルス周期 = {TDRmn (マスタ) の設定値 + 1} × カウント・クロック周期
デューティ [%] = {TDRmp (スレーブ) の設定値} / {TDRmn (マスタ) の設定値 + 1} × 100
0%出力 : TDRmp (スレーブ) の設定値 = 0000H
100%出力 : TDRmp (スレーブ) の設定値 ≥ {TDRmn (マスタ) の設定値 + 1}

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ) の設定値 + 1} の場合は、デューティ値が100%を超えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に1を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタ mn (TDRmn) に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn) にロードし、カウント・クロックにあわせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmn を出力して、再び TDRmn レジスタから TCRmn レジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm) のチャンネル・ストップ・トリガ・ビット (TTmn) に1を設定するまでこの動作を繰り返します。

PWM 機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからの INTTMmn をスタート・トリガとして、TDRmp レジスタから TCRmp レジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000Hになったところで INTTMmp を出力して、次のスタート・トリガ (マスタ・チャンネルからの INTTMmn) が来るまで待機します。

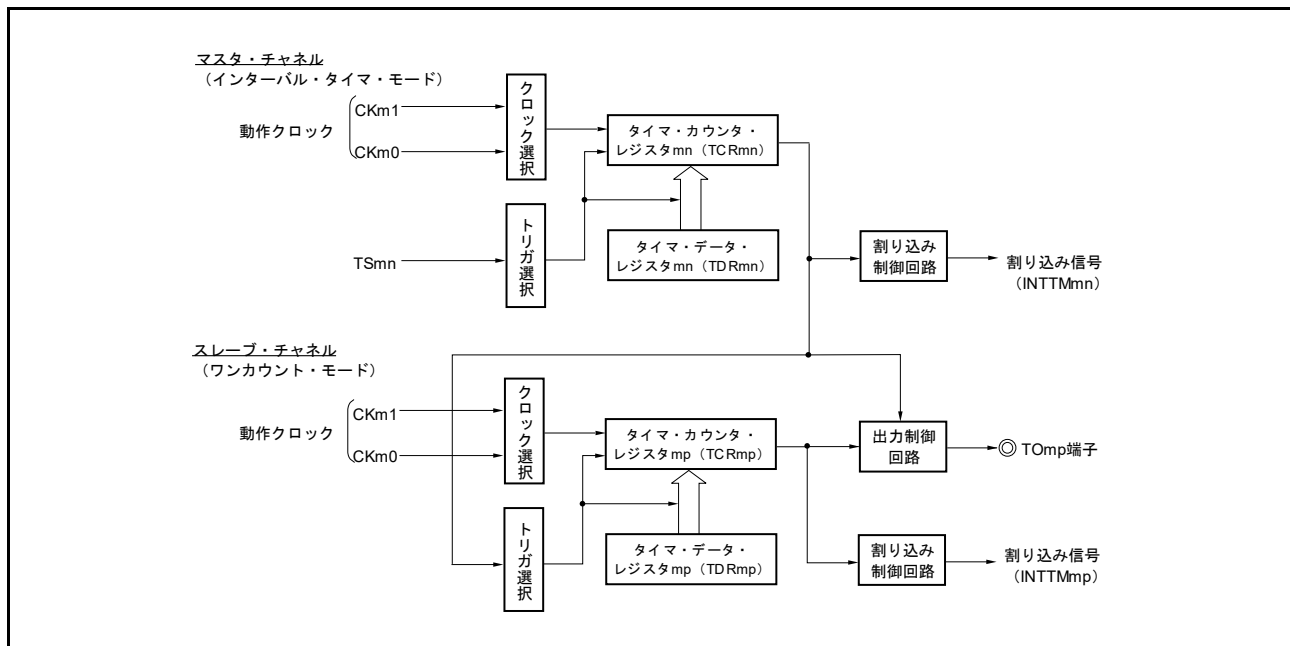
PWM 機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) のデューティとなります。

PWM出力 (TOmp) は、マスタ・チャンネルの INTTMmn 発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルの TCRmp レジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネルの TDRmp レジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmp レジスタに TDRmn, TDRmp レジスタの値がロードされるのは、マスタ・チャンネルの INTTMmn 発生時となります。そのため、書き換えがマスタ・チャンネルの INTTMmn 発生前と発生後に分かれて行われると、TOmp 端子は期待通りの波形を出力できません。したがって、マスタの TDRmn レジスタとスレーブの TDRmp レジスタを双方とも書き換える場合は、必ずマスタ・チャンネルの INTTMmn 発生直後に両方のレジスタを書き換えてください。

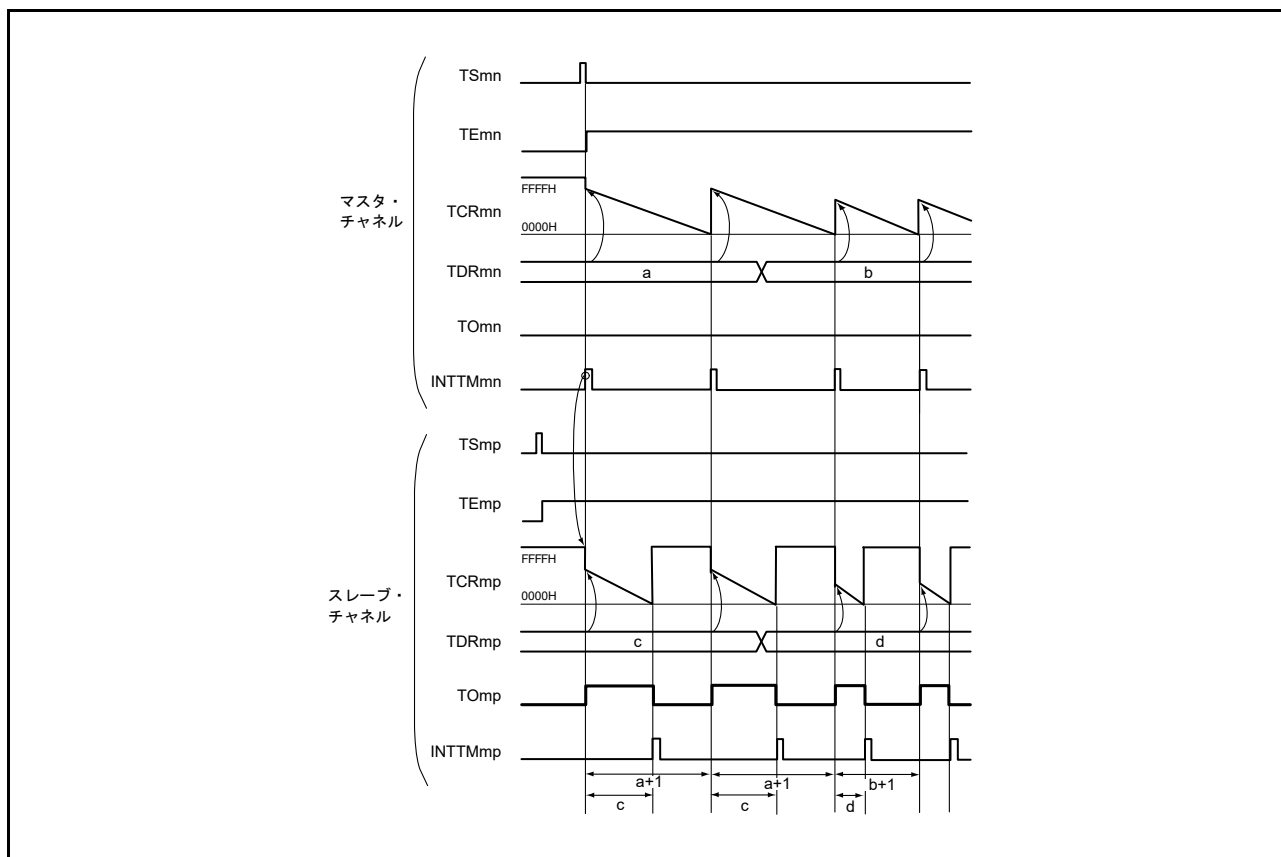
備考 m: ユニット番号 (m = 0)、n: マスタ・チャンネル番号 (n = 0, 2)
p: スレーブ・チャンネル番号 (n < p ≤ 3)

図 10 - 71 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号 (n < p ≤ 3)

図10-72 PWM機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n < p ≤ 3)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TE mn, TE mp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

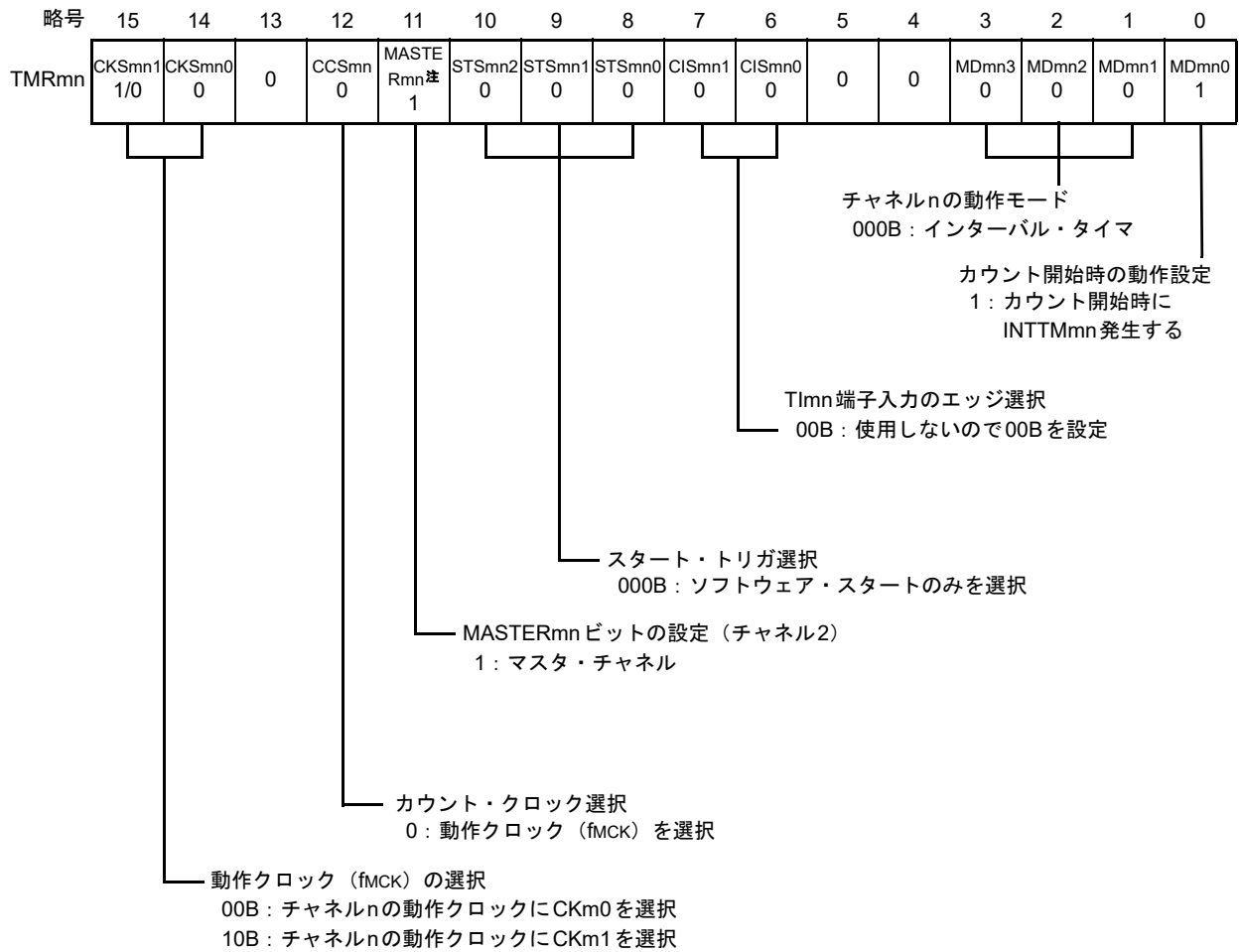
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

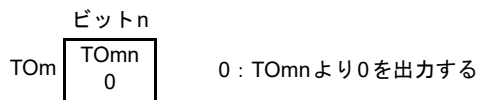
TOmn, TOmp : TOmn, TOmp 端子出力信号

図10-73 PWM機能時 (マスタ・チャンネル) のレジスタ設定内容例

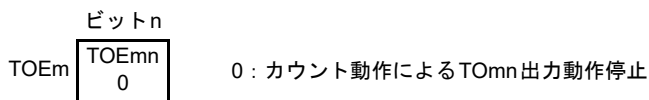
(a) タイマ・モード・レジスタ mn (TMRmn)



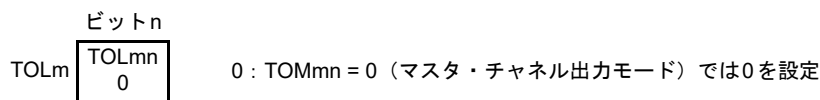
(b) タイマ出力レジスタ m (TOM)



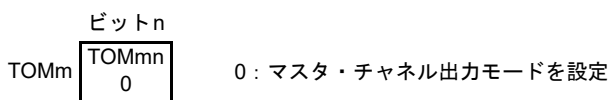
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



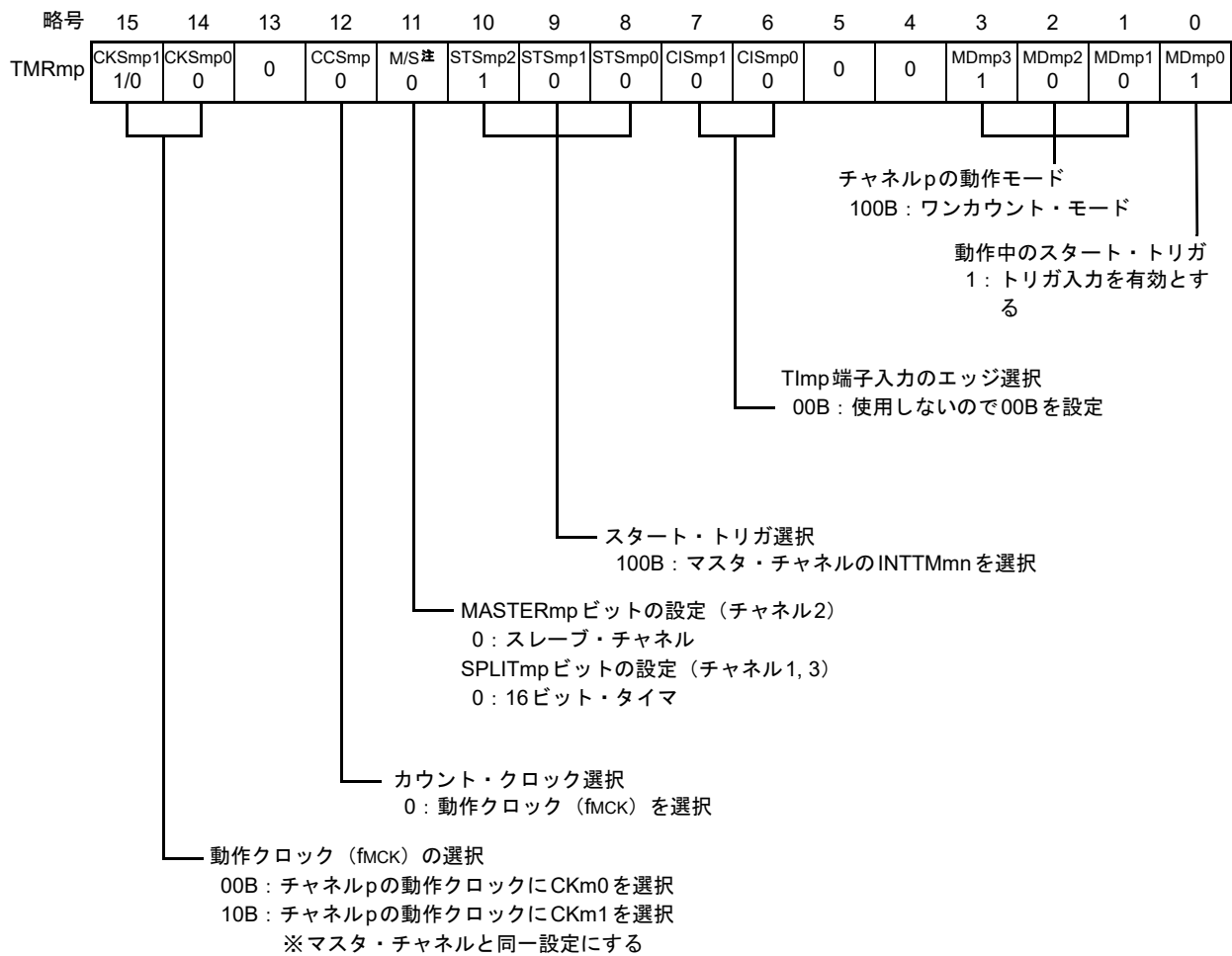
(注、備考は次ページに続きます)

注 TMRm2の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)

図10-74 PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例

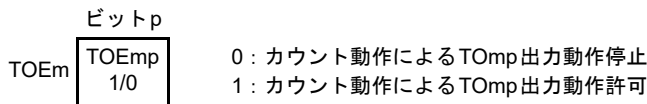
(a) タイマ・モード・レジスタ mp (TMRmp)



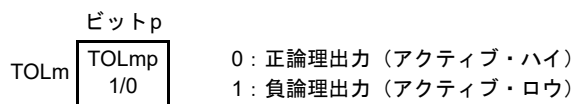
(b) タイマ出力レジスタ m (TOm)



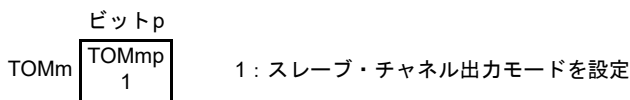
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

注 TMRm2の場合 : MASTERmnビット
TMRm1, TMRm3の場合 : SPLITmpビット

備考 m : ユニット番号 ($m = 0$)、n : マスタ・チャンネル番号 ($n = 0, 2$)
p : スレーブ・チャンネル番号 ($n < p \leq 3$)

図 10 - 75 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値、スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し、TOmp出力の初期レベルを確定する TOEmpビットに1を設定し、TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので、TOmpは変化しない TOmp端子はTOmp設定レベルを出力

図 10 - 75 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ)、TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ、TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルの INTTMmn 発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000H までカウントすると INTTMmn を発生する。同時に、TCRmn レジスタは TDRmn レジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。 そして TCRmp = 0000H までカウントすると TOmp 出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ)、TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmp = 0 になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp 出力は初期化されず、状態保持
	スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する	TOmp 端子は TOmp 設定レベルを出力
	TAU 停止 TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する TOmp 端子の出力レベルを保持不要の場合 設定不要	TOmp 端子出力レベルはポート機能により保持される。
	PER0 レジスタの TAUmEN ビットに0を設定する 全回路を初期化する場合は PRR0 レジスタの TAUmRES ビットに1を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2)
p : スレーブ・チャンネル番号 (n < p ≤ 3)

10.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1[\%]} &= \{\text{TDRmp (スレーブ1) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ 2[\%]} &= \{\text{TDRmq (スレーブ2) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \end{aligned}$
--

備考 TDRmp (スレーブ1) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合
または TDRmq (スレーブ2) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合は、
デューティ値が100%を超えますが、集約して100%出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000H となったら、INTTMmpを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H となったらインアクティブ・レベルとなります。

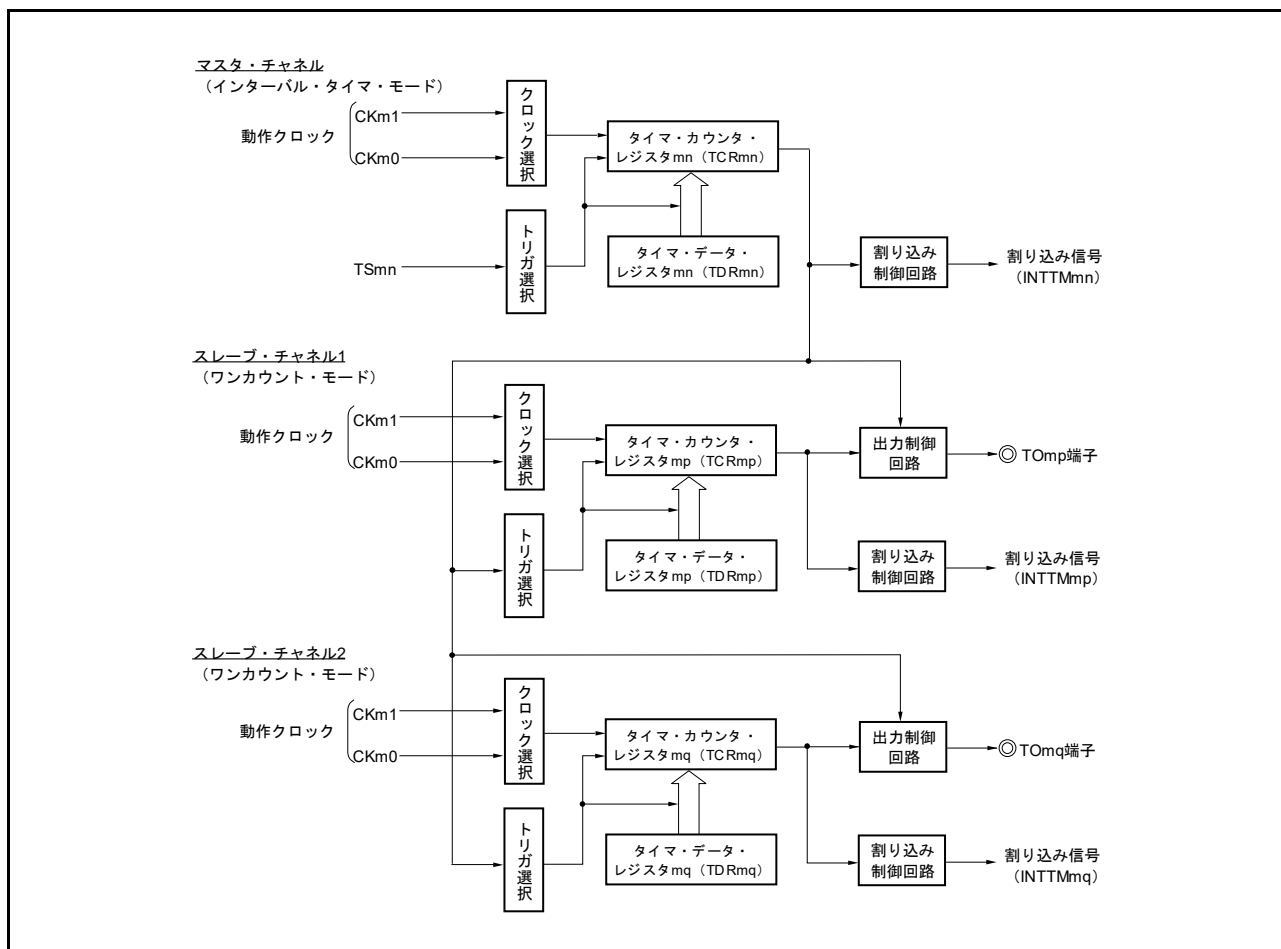
スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000H となったら、INTTMmqを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000H となったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大3種のPWMを同時に出力できます。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)
p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
 $n < p < q \leq 3$ (p, q は整数)

図 10 - 76 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)

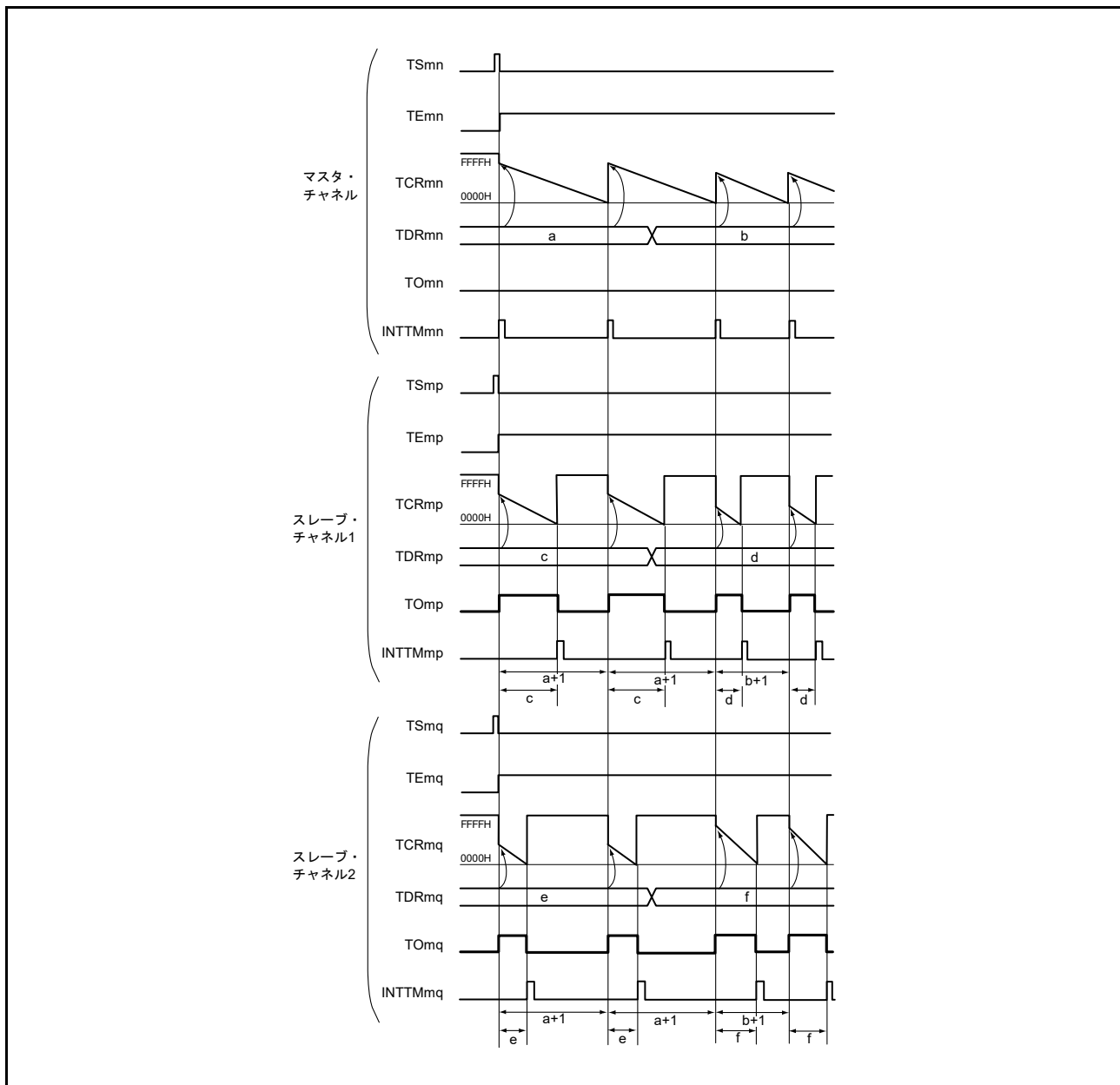


備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (p, qは整数)

図10-77 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合)



備考1. m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)

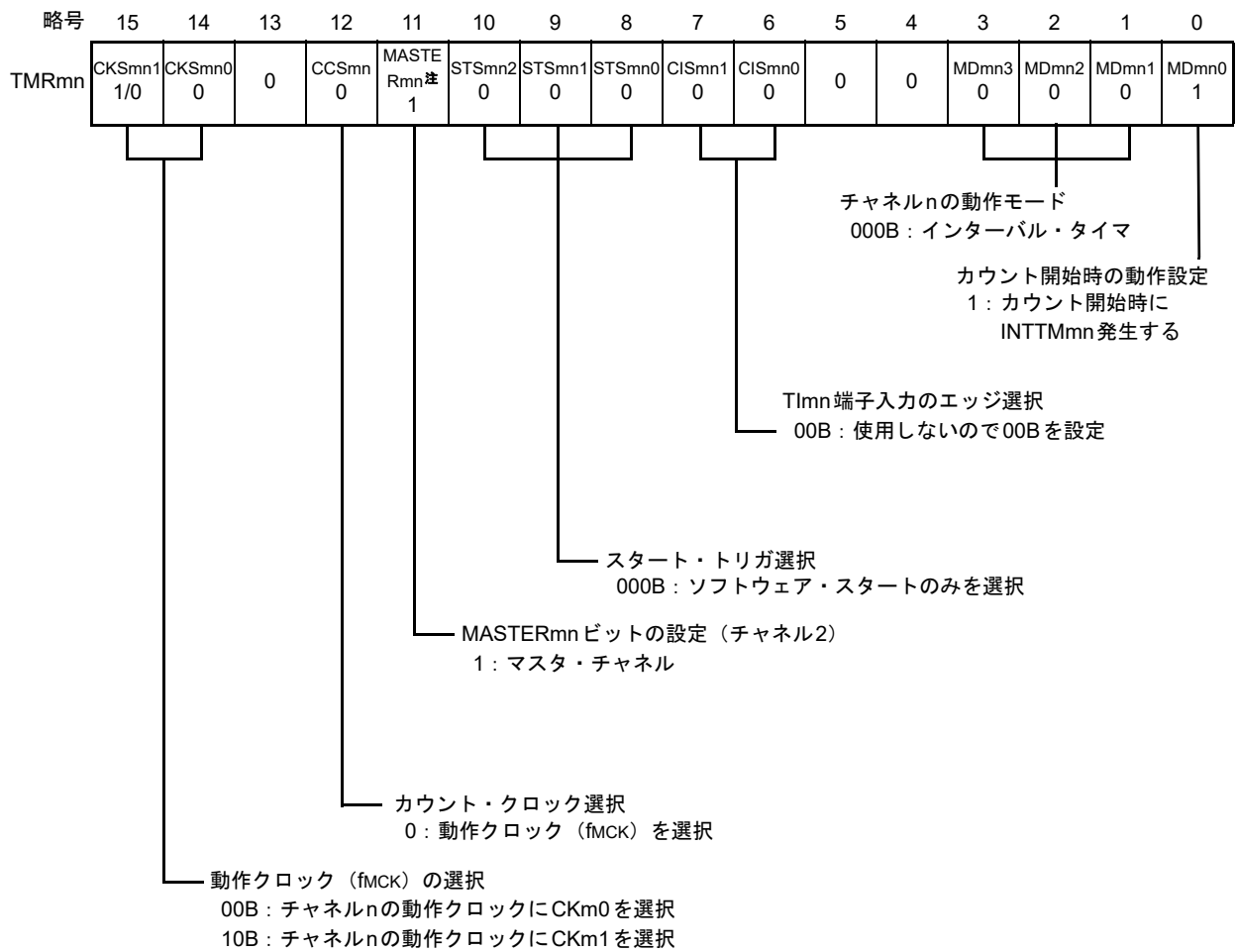
p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (p, qは整数)

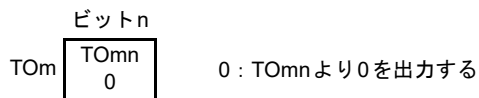
- 備考2. TSmn, TSmp, TSmq : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p, q
 TEmn, TEmp, TEmq : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p, q
 TCRmn, TCRmp, TCRmq : タイマ・カウンタ・レジスタ mn, mp, mq (TCRmn, TCRmp, TCRmq)
 TDRmn, TDRmp, TDRmq : タイマ・データ・レジスタ mn, mp, mq (TDRmn, TDRmp, TDRmq)
 TOmn, TOmp, TOmq : TOmn, TOmp, TOmq端子出力信号

図10-78 多重PWM出力機能時 (マスタ・チャンネル) のレジスタ設定内容例

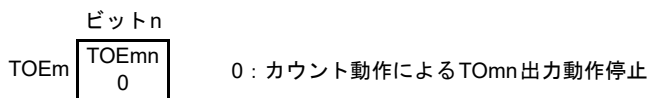
(a) タイマ・モード・レジスタ mn (TMRmn)



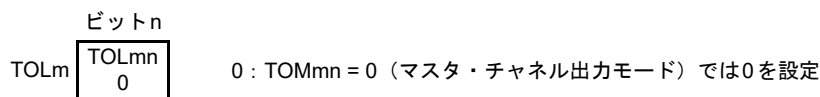
(b) タイマ出力レジスタ m (TOM)



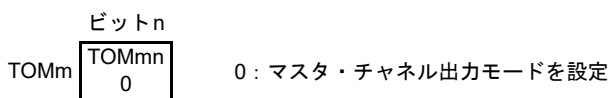
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



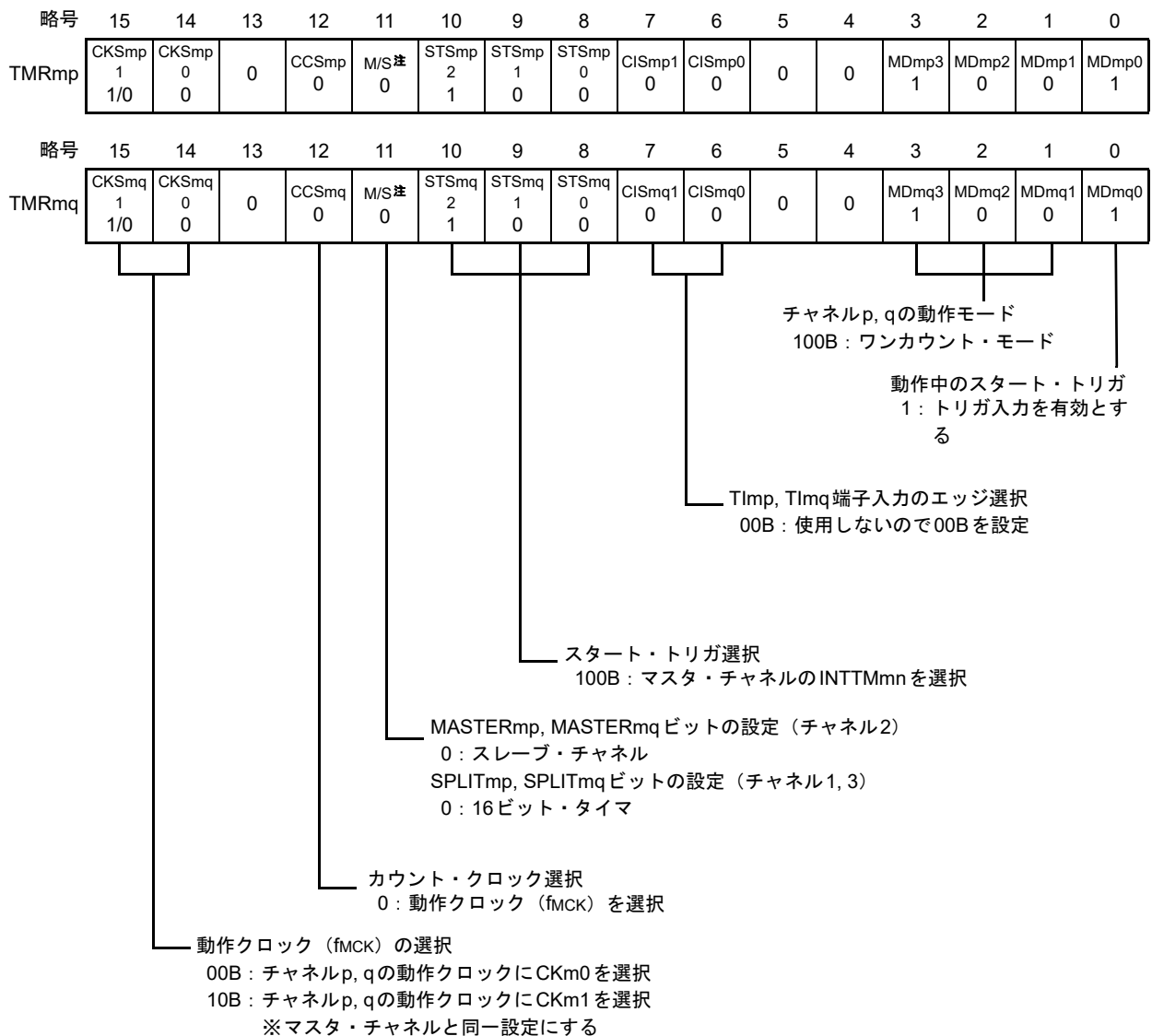
(注、備考は次ページに続きます)

注 TMRm2の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)

図10-79 多重PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例 (2種類のPWMを出力する場合)

(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



(b) タイマ出力レジスタ m (TOM)

	ビットq	ビットp	
TOM	TOmq 1/0	TOmp 1/0	0 : TOmp, TOmqより0を出力する 1 : TOmp, TOmqより1を出力する

(c) タイマ出力許可レジスタ m (TOEm)

	ビットq	ビットp	
TOEm	TOEmq 1/0	TOEmp 1/0	0 : カウント動作によるTOmp, TOmq出力動作停止 1 : カウント動作によるTOmp, TOmq出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

	ビットq	ビットp	
TOLm	TOLmq 1/0	TOLmp 1/0	0 : 正論理出力 (アクティブ・ハイ) 1 : 負論理出力 (アクティブ・ロウ)

(注、備考は次ページに続きます)

(e) タイマ出力モード・レジスタ m (TOMm)

	ビットq	ビットp	
TOMm	TOMmq 1	TOMmp 1	1 : スレーブ・チャンネル出力モードを設定

注 TMRm2の場合 : MASTERmp, MASTERmq ビット
 TMRm1, TMRm3の場合 : SPLITmp, SPLITmq ビット

備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2)
 p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
 n < p < q ≤ 3 (p, qは整数)

図 10 - 80 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq) を設定する (チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値、スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmp, TOMmqビットに1 (スレーブ・チャンネル出力モード) を設定する TOLmp, TOLmqビットを設定する TOmp, TOmqビットを設定し、TOmp, TOmq出力の初期レベルを確定する	TOmp, TOmq端子はHi-Z出力状態
	TOEmp, TOEmqビットに1を設定し、TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので、TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力

図 10 - 80 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 (動作再開時のみ TOEmp, TOEmq (スレーブ) ビットに1を設定する) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ)、TSmp, TSmq (スレーブ) ビットに同時に1を設定する TSmn, TSmp, TSmq ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp, TEmq = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp, TMRmq レジスタ、TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmq ビットは、設定値変更禁止 TDRmn, TDRmp, TDRmq レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmq レジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmq レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000H までカウントすると INTTMmn を発生する。同時に、TCRmn レジスタは TDRmn レジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmp レジスタ値を TCRmp レジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして0000Hまでカウントすると TOmp 出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmq レジスタ値を TCRmq レジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後に TOMq 出力レベルをアクティブ・レベルとする。そして0000Hまでカウントすると TOMq 出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
	動作停止 TTmn (マスタ)、TTmp, TTmq (スレーブ) ビットに同時に1を設定する TTmn, TTmp, TTmq ビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmp, TEmq = 0になり、カウント動作停止 TCRmn, TCRmp, TCRmq レジスタはカウント値を保持して停止 TOmp, TOMq 出力は初期化されず、状態保持
	スレーブ・チャンネルの TOEmp, TOEmq ビットに0を設定し、TOmp, TOMq ビットに値を設定する	TOmp, TOMq 端子は TOmp, TOMq 設定レベルを出力
	TAU 停止 TOmp, TOMq 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp, TOMq ビットに0を設定する TOmp, TOMq 端子の出力レベルを保持不要の場合 設定不要	TOmp, TOMq 端子出力レベルはポート機能により保持される。
	PER0 レジスタの TAUmEN ビットに0を設定する 全回路を初期化する場合は PRR0 レジスタの TAUmRES ビットに1を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOMn ビットが0になり、TOMn 端子はポート機能となる)

備考 m: ユニット番号 (m = 0)、n: マスタ・チャンネル番号 (n = 0, 2)
p: スレーブ・チャンネル番号、q: スレーブ・チャンネル番号
n < p < q ≤ 3 (p, qは整数)

10.10 タイマ・アレイ・ユニット使用時の注意事項

10.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子にほかの兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、ほかの兼用機能の出力を初期状態にする必要があります。

詳細は、**7.5 兼用機能使用時のレジスタ設定**を参照してください。

第11章 タイマRJ

11.1 タイマRJの機能

タイマRJはパルス出力、外部入力のパルス幅／周期測定、外部イベントをカウントできる16ビットタイマです。

16ビットタイマはリロードレジスタとダウンカウンタから構成されます。リロードレジスタとダウンカウンタは同じ番地に配置されており、TRJ0レジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます。

表11-1にタイマRJの仕様、図11-1にタイマRJのブロック図を示します。

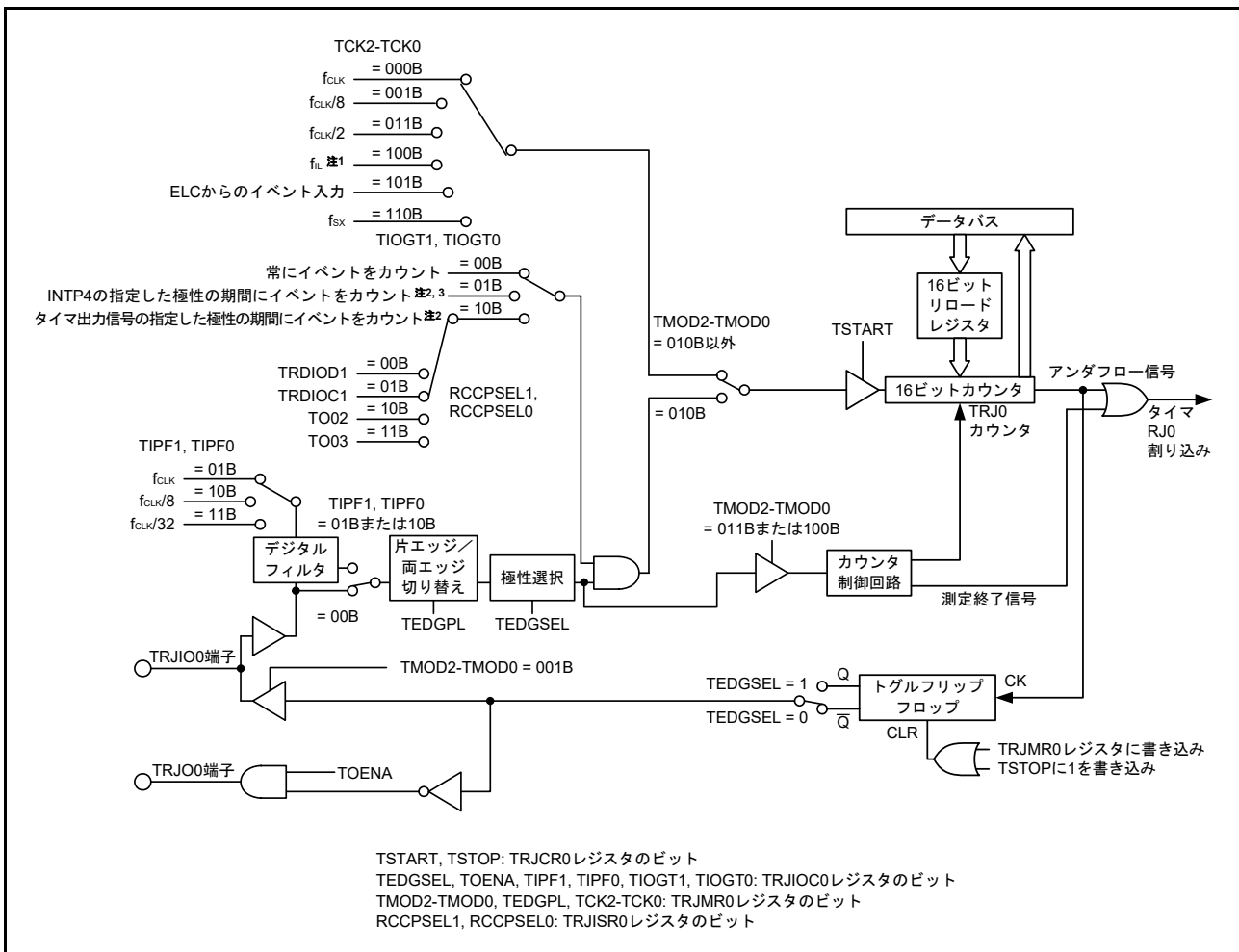
表11-1 タイマRJの仕様

項目	内容	
動作モード	タイマモード	カウントソースをカウントする
	パルス出力モード	カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部イベントをカウントする STOPモード時も動作可能
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース（動作クロック）	fCLK, fCLK/2, fCLK/8, fIL, fsx、イベント・リンク・コントローラ（ELC）からのイベント入力から選択可能	
割り込み	<ul style="list-style-type: none"> カウンタがアンダフローしたとき パルス幅測定モードで、外部入力（TRJIO0）の有効幅の測定を完了したとき パルス周期測定モードで、外部入力（TRJIO0）の設定エッジが入力されたとき 	
選択機能	<ul style="list-style-type: none"> イベント・リンク・コントローラ（ELC）との連携 カウントソースにELCからのイベント入力を選択可能 	

11.2 タイマRJの構成

図 11 - 1 にタイマ RJ のブロック図、表 11 - 2 にタイマ RJ の端子構成を示します。

図 11 - 1 タイマRJのブロック図



- 注1. カウントソースに fil を選択する場合は、サブシステム・クロック供給モード制御レジスタ (OSMC) の WUTMMCK0 ビットに 1 を設定してください。ただし、リアルタイム・クロックまたは 32 ビット・インターバル・タイマのカウントソースに fsx を選択している場合は、タイマ RJ のカウントソースに fil を選択することができません。
- 注2. TRJISR0 レジスタの RCCPSEL2 ビットで極性を選択できます。
- 注3. INTP4 は 30 ~ 64 ピン製品のみ使用可能です。

表 11 - 2 タイマRJの端子構成

端子名	入出力	機能
INTP4	入力	タイマRJのイベントカウンタモード制御
TRJIO0注	入出力	タイマRJの外部イベント入力、パルス出力
TRJO0注	出力	タイマRJのパルス出力

注 TRJO0 端子の割り当てを、PIOR1 レジスタの PIOR12, PIOR13 ビットで選択できます。また、TRJIO0 端子の割り当てを、PIOR1 レジスタの PIOR10, PIOR11 ビットで選択できます。詳細は、第7章 ポート機能を参照してください。

11.3 タイマRJを制御するレジスタ

タイマRJを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- タイマRJカウンタレジスタ0 (TRJ0) 注
- タイマRJ制御レジスタ0 (TRJCR0)
- タイマRJ I/O制御レジスタ0 (TRJIOC0)
- タイマRJモードレジスタ0 (TRJMR0)
- タイマRJイベント端子選択レジスタ0 (TRJISR0)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

注 TRJ0レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。TRJ0レジスタアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

11.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

タイマRJを使用する場合は、必ず TRJ0EN ビットに 1 を設定してください。

PER2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図11-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	FAAEN	MEMEN	TKBEN	TRGEN	TRD0EN	PWMOPEN	TRXEN	TRJ0EN
TRJ0EN	タイマRJの入カクロック供給の制御							
0	入カクロック供給停止 ・タイマRJで使用するSFRへのライト不可 ^注							
1	入カクロック供給 ・タイマRJで使用するSFRへのリード／ライト可							

注 リードした場合は設定値にかかわらず00Hまたは0000Hを読み出します。

注意 タイマRJの設定をする際には、必ず最初にTRJ0EN = 1の設定を行ってください。TRJ0EN = 0の場合は、タイマRJの制御レジスタへの書き込みは無視され、読み出し値は00Hまたは0000Hとなります（ポート・モードレジスタ (PM0, PM3-PM5)、ポート・レジスタ (P0, P3-P5) は除く)。

11.3.2 周辺リセット制御レジスタ2 (PRR2)

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマRJ をリセットする場合は、TRJ0RES ビットに 1 を設定してください。

PRR2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図11-3 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>						
PRR2	FAARES	MEMRES	TKBRES	TRGRES	TRD0RES	PWMOP RES	TRXRES	TRJ0RES						
	<table border="1"> <thead> <tr> <th>TRJ0RES</th> <th>タイマRJのリセット制御</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>タイマRJのリセット解除</td> </tr> <tr> <td>1</td> <td>タイマRJはリセット状態 ・タイマRJで使用するSFRが初期化されます。</td> </tr> </tbody> </table>								TRJ0RES	タイマRJのリセット制御	0	タイマRJのリセット解除	1	タイマRJはリセット状態 ・タイマRJで使用するSFRが初期化されます。
TRJ0RES	タイマRJのリセット制御													
0	タイマRJのリセット解除													
1	タイマRJはリセット状態 ・タイマRJで使用するSFRが初期化されます。													

11.3.3 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、WUTMMCK0 ビットでタイマRJの動作クロックを選択できます。また、RTCLPC ビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPC ビットの設定については、**第9章 クロック発生回路**を参照してください。

OSMC レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、不定になります。

図11-4 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H
リセット時: 不定^{注1}
R/W属性 : R/W

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK 0	x	x	0	HIPREC
WUTMMCK0	タイマRJの動作クロックの選択							
0	サブシステム・クロックX (fsx)							
1	低速オンチップ・オシレータ・クロック (fil) ^{注2, 3, 4}							

- 注1.** リセット信号の発生により、RTCLPCビットおよびWUTMMCKビットは0、HIPRECビットは1になります。
- 注2.** サブシステム・クロックX発振中にWUTMMCK0ビットに1を設定することは禁止です。
- 注3.** WUTMMCK0ビットによるサブシステム・クロックXと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック、32ビット・インターバル・タイマ、クロック出力/ブザー出力機能、タイマRJのすべての機能が停止中のみ可能です。
- 注4.** リアルタイム・クロックまたは32ビット・インターバル・タイマのカウントソースにfsxを選択している場合は、タイマRJのカウントソースにfilを選択することができません。

11.3.4 タイマRJカウンタレジスタ0 (TRJ0)

TRJ0 レジスタは、16 ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。なお、TRJCR0 レジスタの TSTART ビットの値により、リロードレジスタとカウンタの状態が変わります。詳細は、11.4.1 リロードレジスタとカウンタの書き換え動作を参照してください。

TRJ0 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFH になります。

図11-5 タイマRJカウンタレジスタ0 (TRJ0) のフォーマット

アドレス : F0500H

リセット時: FFFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRJ0																
—	機能															
ビット15-0	16ビットのカウンタです。注1,2															

注1. TRJCR0 レジスタの TSTOP ビットに1を書くと、16ビットカウンタは強制停止し、FFFFHになります。

注2. TRJMR0 レジスタの TCK2-TCK0 ビットの設定が001B (fCLK/8)または011B (fCLK/2)以外では、TRJ0 レジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。ただし、TRJ00 およびTRJIO0出力はトグル出力されます。

また、イベントカウンタモード時はTCK2-TCK0ビットの値にかかわらず、TRJ0レジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。さらに、カウント指定期間外でもTRJ00がトグル出力されます。

TRJ0レジスタが0001H以上の場合はTRJがアンダフローするごとに要求信号が発生します。

注意 TRJ0レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となります。このため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります。TRJ0レジスタアクセス時のウェイト・クロック数は、リード、ライトともに1クロックです。

11.3.5 タイマRJ制御レジスタ0 (TRJCR0)

TRJCR0 レジスタは、タイマRJのカウント動作・停止の制御と、タイマRJステータスを示すレジスタです。
TRJCR0 レジスタは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図11-6 タイマRJ制御レジスタ0 (TRJCR0) のフォーマット (1/2)

アドレス : F0240H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRJCR0	0	0	TUNDF	TEDGF	0	TSTOP	TCSTF	TSTART
TUNDF	タイマRJアンダフローフラグ							
0	アンダフローなし							
1	アンダフローあり							
[0になる条件]								
・プログラムで0を書いたとき								
[1になる条件]								
・カウンタがアンダフローしたとき								
TEDGF	有効エッジ判定フラグ							
0	有効エッジなし							
1	有効エッジあり							
[0になる条件]								
・プログラムで0を書いたとき								
[1になる条件]								
・パルス幅測定モードで、外部入力 (TRJIO) の有効幅の測定を完了したとき								
・パルス周期測定モードで、外部入力 (TRJIO) の設定エッジが入力されたとき								
TSTOP	タイマRJカウント強制停止 ^{注1}							
1を書く、カウント強制停止。読んだ場合、その値は0。								
TCSTF	タイマRJカウントステータスフラグ ^{注2}							
0	カウント停止							
1	カウント中							
[0になる条件]								
・TSTARTビットに0を書いたとき (カウントソースに同期して0になる)								
・TSTOPビットに1を書いたとき								
[1になる条件]								
・TSTARTビットに1を書いたとき (カウントソースに同期して1になる)								

図 11 - 6 タイマRJ制御レジスタ0 (TRJCR0) のフォーマット (2/2)

TSTART	タイマRJカウント開始 ^{注2}
0	カウント停止
1	カウント開始

TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。
TSTARTビットを1（カウント開始）にすると、カウントソースに同期してTCSTFフラグが1（カウント中）になります。また、TSTARTビットに0を書き込み後、カウントソースに同期してTCSTFフラグが0（カウント停止）になります。詳細は、**11.5.1 カウント動作開始、停止制御**を参照してください。

注1. TSTOPビットに1（カウント強制停止）を書くと、同時にTSTARTビットとTCSTFフラグが初期化されます。また、パルス出力レベルも初期化されます。

注2. TSTARTビットとTCSTFフラグの使用上の注意は、**11.5.1 カウント動作開始、停止制御**を参照してください。

11.3.6 タイマRJ I/O制御レジスタ0 (TRJIOC0)

TRJIOC0 レジスタは、タイマRJの入出力を設定するレジスタです。

TRJIOC0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-7 タイマRJ I/O制御レジスタ0 (TRJIOC0) のフォーマット

アドレス : F0241H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRJIOC0	TIOGT1	TIOGT0	TIPF1	TIPF0	0	TOENA	0	TEDGSEL

TIOGT1	TIOGT0	TRJIOカウント制御 ^{注1, 2, 3}
0	0	常にイベントをカウント
0	1	INTP4の指定した極性の期間イベントをカウント
1	0	タイマ出力信号の指定した極性の期間イベントをカウント
上記以外		設定禁止

TIPF1	TIPF0	TRJIO入力フィルタ選択
0	0	フィルタなし
0	1	フィルタあり、fCLKでサンプリング
1	0	フィルタあり、fCLK/8でサンプリング
1	1	フィルタあり、fCLK/32でサンプリング

TRJIO入力のフィルタのサンプリング周波数を指定します。TRJIO0端子からの入力をサンプリングして、その値が3回連続して一致したとき、入力が確定します。

TOENA	TRJIO0出力許可
0	TRJIO0出力禁止
1	TRJIO0出力許可

TEDGSEL	入出力極性切り替え
動作モードによって機能が異なります (表11-3および表11-4参照)。	

注1. INTP4またはタイマ出力信号使用時、TRJISR0レジスタのRCCPSEL2ビットでイベントをカウントする極性を選択できます。

注2. TIOGT1, TIOGT0ビットはイベントカウンタモードでのみ有効です。

注3. INTP4は30～64ピン製品のみ使用可能です。

表11-3 TRJIO入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない（入出力ポート）
パルス出力モード	0：ハイ・レベルから出力開始（初期出力レベル：ハイ） 1：ロウ・レベルから出力開始（初期出力レベル：ロウ）
イベントカウンタモード	0：立ち上がりエッジでカウント 1：立ち下がりエッジでカウント
パルス幅測定モード	0：ロウ・レベル幅を測定 1：ハイ・レベル幅を測定
パルス周期測定モード	0：測定パルスの立ち上がりから立ち上がりまでの時間を測定 1：測定パルスの立ち下がりから立ち下がりまでの時間を測定

表11-4 TRJIO出力極性切り替え

動作モード	機能
全モード	0：ロウ・レベルから出力開始（初期出力レベル：ロウ） 1：ハイ・レベルから出力開始（初期出力レベル：ハイ）

11.3.7 タイマRJモードレジスタ0 (TRJMR0)

TRJMR0 レジスタは、タイマRJの動作モードを設定するレジスタです。

TRJMR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-8 タイマRJモードレジスタ0 (TRJMR0) のフォーマット

アドレス : F0242H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRJMR0	0	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
TCK2			TCK1		TCK0		タイマRJカウントソース選択 ^{注1,2}	
0			0		0		fCLK	
0			0		1		fCLK/8	
0			1		1		fCLK/2	
1			0		0		fIL ^{注3}	
1			0		1		ELCからのイベント入力	
1			1		0		fsx	
上記以外							設定禁止	
TEDGPL		TRJIOエッジ極性選択 ^{注4}						
0		片エッジ						
1		両エッジ						
TMOD2		TMOD1		TMOD0		タイマRJ動作モード選択 ^{注5}		
0		0		0		タイマモード		
0		0		1		パルス出力モード		
0		1		0		イベントカウンタモード		
0		1		1		パルス幅測定モード		
1		0		0		パルス周期測定モード		
上記以外						設定禁止		

注1. イベントカウンタモードを選択すると、TCK2-TCK0ビットの設定にかかわらず、カウントソースは外部入力 (TRJIO) が選択されます。

注2. カウント中にカウントソースを切り替えないでください。カウントソースを切り替えるときはTRJCR0レジスタのTSTARTビットとTCSTFフラグがいずれも0 (カウント停止) のときに、カウントソースを切り替えてください。

注3. カウントソースにfILを選択する場合は、サブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットに1を設定してください。

ただし、リアルタイム・クロックまたは32ビット・インターバル・タイマのカウントソースにfsxを選択している場合は、タイマRJのカウントソースにfILを選択することができません。

注4. TEDGPLビットはイベントカウンタモード時のみ有効です。

(注、注意は次ページに続きます)

注5. 動作モードの変更は、カウント停止時（TRJCRレジスタのTSTARTビットとTCSTFフラグがともに0（カウント停止））のみ可能です。カウント動作中には変更しないでください。

注意 TRJMR0レジスタへの書き込みにより、タイマRJのTRJO0端子およびTRJIO0端子の出力は初期化されます。初期化時の出力レベルは、表11-3および表11-4を参照してください。

11.3.8 タイマRJイベント端子選択レジスタ0 (TRJISR0)

TRJISR0 レジスタは、イベントカウンタモード時に、イベントカウント期間を制御するタイマを選択、および極性の設定をするレジスタです。

TRJISR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-9 タイマRJイベント端子選択レジスタ0 (TRJISR0) のフォーマット

アドレス : F0243H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRJISR0	0	0	0	0	0	RCCPSEL2	RCCPSEL1	RCCPSEL0

RCCPSEL 2注	タイマ出力信号およびINTP4極性選択
0	ロウ・レベル期間にイベントをカウント
1	ハイ・レベル期間にイベントをカウント

RCCPSEL 1注	RCCPSEL 0注	タイマ出力信号選択
0	0	TRDIOD1
0	1	TRDIOC1
1	0	TO02
1	1	TO03

注 RCCPSEL2-RCCPSEL0ビットはイベントカウンタモードでのみ有効です。

11.3.9 タイマRJの入出力と端子を兼用するポートのポート機能を制御するレジスタ

タイマRJの入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx) および 7.3.2 ポート・レジスタ (Pxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

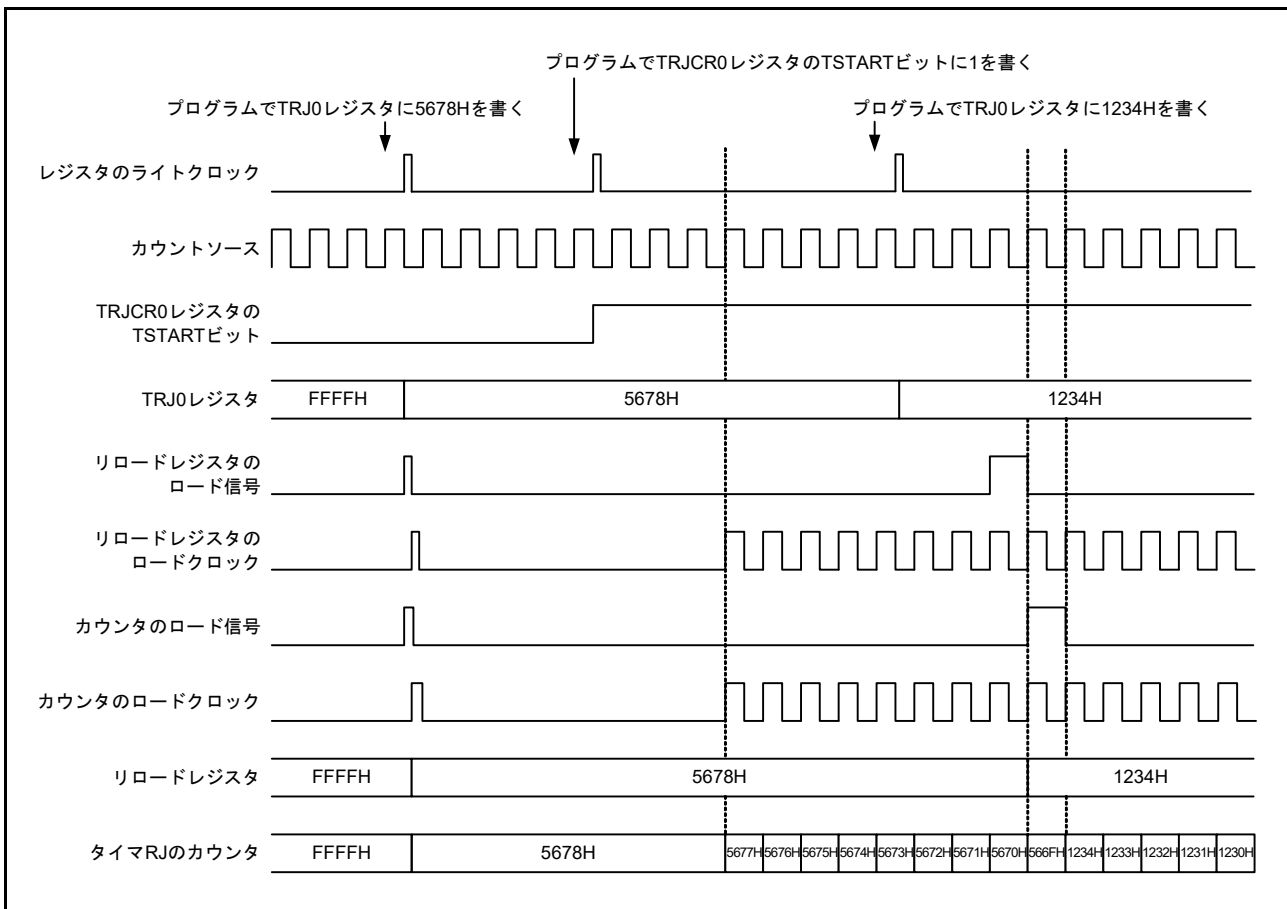
11.4 タイマRJの動作

11.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらず TRJCR0 レジスタの TSTART ビットの値によりタイミングが変わります。TSTART ビットが 0 (カウント停止) のときは、直接リロードレジスタおよびカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) のときは、カウントソースに同期してリロードレジスタに書き込まれたあと、次のカウントソースに同期してカウンタに書き込まれます。

図 11-10 に TSTART ビットの値による書き換え動作のタイミング図を示します。

図 11-10 TSTART ビットの値による書き換え動作のタイミング図



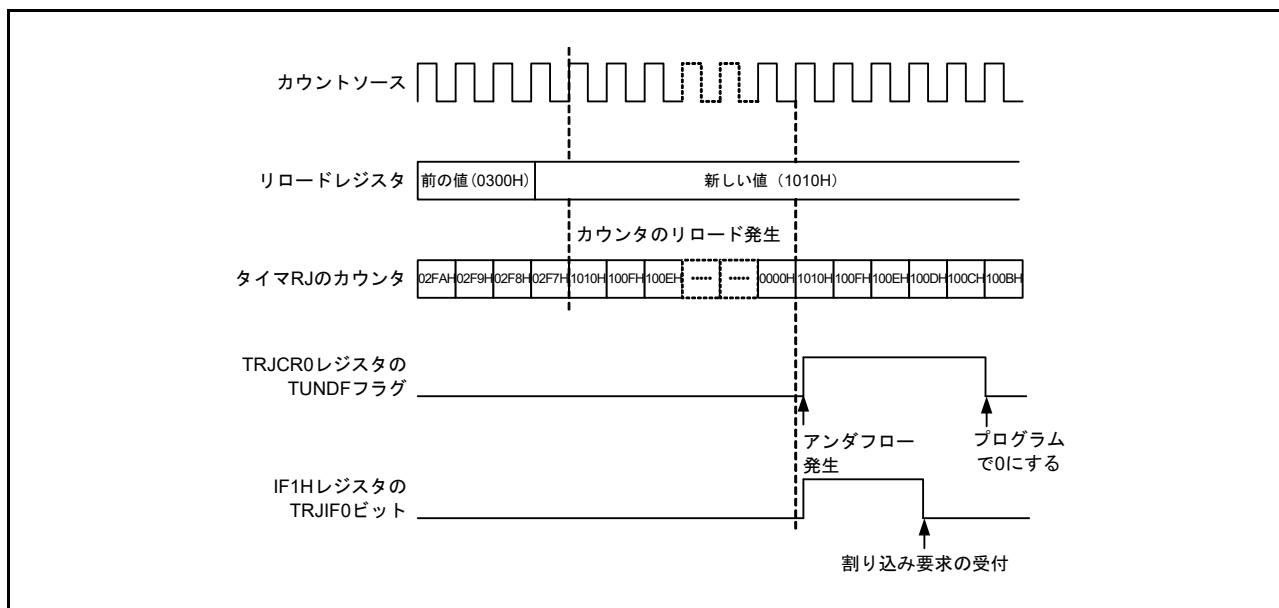
11.4.2 タイマモード

TRJMR0 レジスタの TCK2-TCK0 ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000Hになり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

図11-11にタイマモードの動作例を示します。

図11-11 タイマモードの動作例



11.4.3 パルス出力モード

TRJMR0 レジスタの TCK2-TCK0 ビットにより選択されたカウントソースでダウンカウントし、アンダフローするごとに、TRJIO 端子および TRJO 端子の出力レベルを反転出力させるモードです。

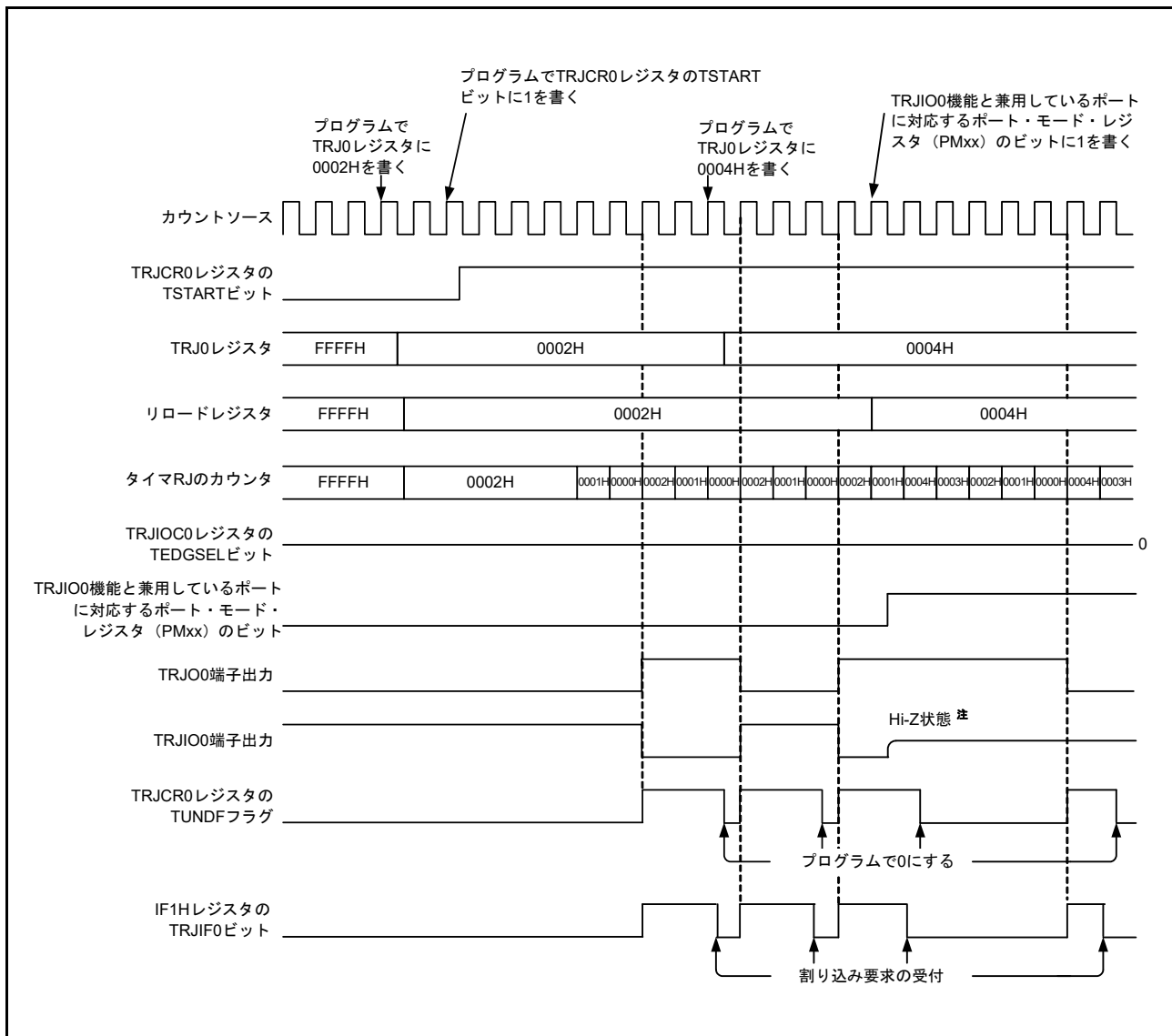
パルス出力モードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が 0000H になり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

また、TRJIO0 端子と TRJO0 端子の2端子からパルス出力が可能で、アンダフローするごとに出力レベルを反転します。TRJO0 端子については、TRJIOC0 レジスタの TOENA ビットによりパルス出力を停止できます。

なお、初期出力レベルを TRJIOC0 レジスタの TEDGSEL ビットにより選択できます。

図 11 - 12 にパルス出力モードの動作例を示します。

図 11 - 12 パルス出力モードの動作例



注 TRJIO0 機能として選択したポートの出力許可制御によって、Hi-Z 状態となります。

11.4.4 イベントカウンタモード

TRJIO0 端子から入力される外部イベント信号（カウントソース）でダウンカウントするモードです。

イベントカウントする期間を、TRJIOC0 レジスタの TIOGT1, TIOGT0 ビットおよび TRJISR0 レジスタにより各種設定ができます。また、TRJIO0 入力のフィルタ機能を TRJIOC0 レジスタの TIPF1, TIPF0 ビットで指定できます。

なお、イベントカウンタモードでも TRJIO0 端子からトグル出力ができます。

イベントカウンタモードを使用する場合は **11.5.5 TRJ00, TRJIO0 端子の設定手順**を参照してください。

図 11 - 13 にイベントカウンタモードの動作例 1 を示します。

図 11 - 13 イベントカウンタモードの動作例 1

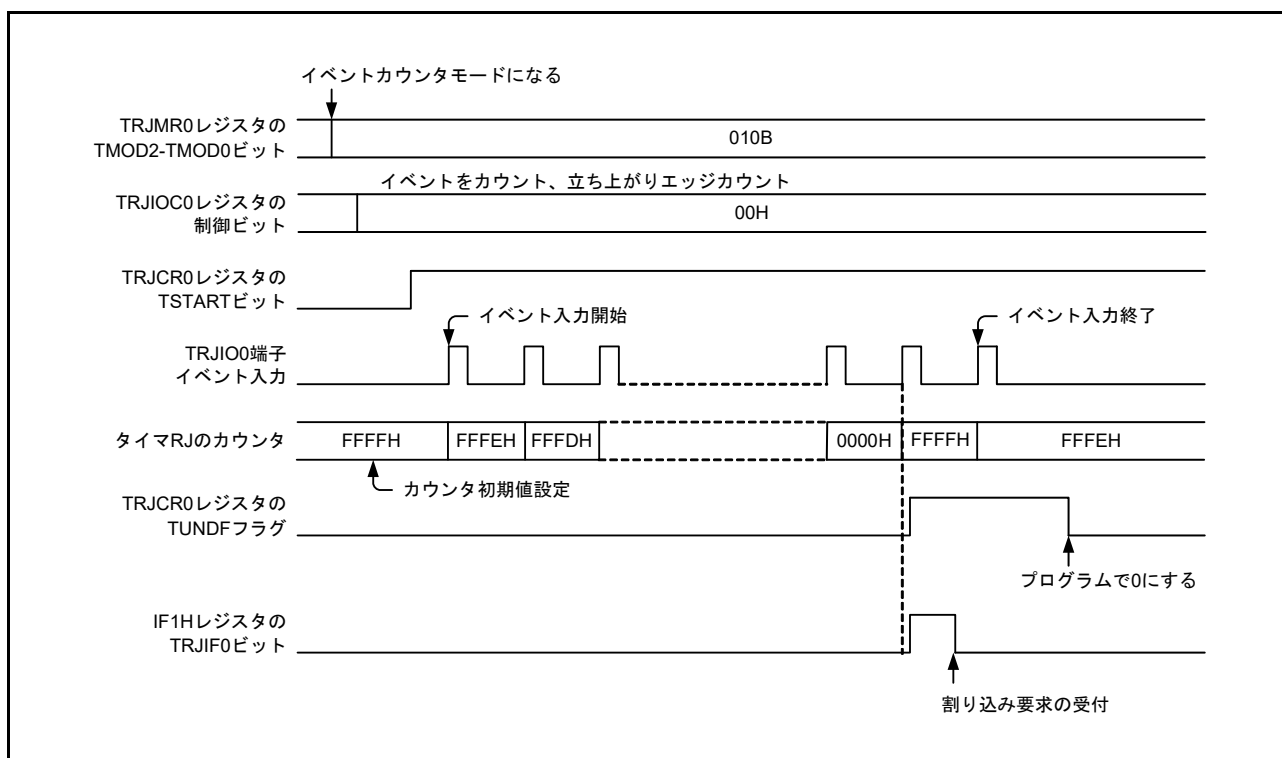
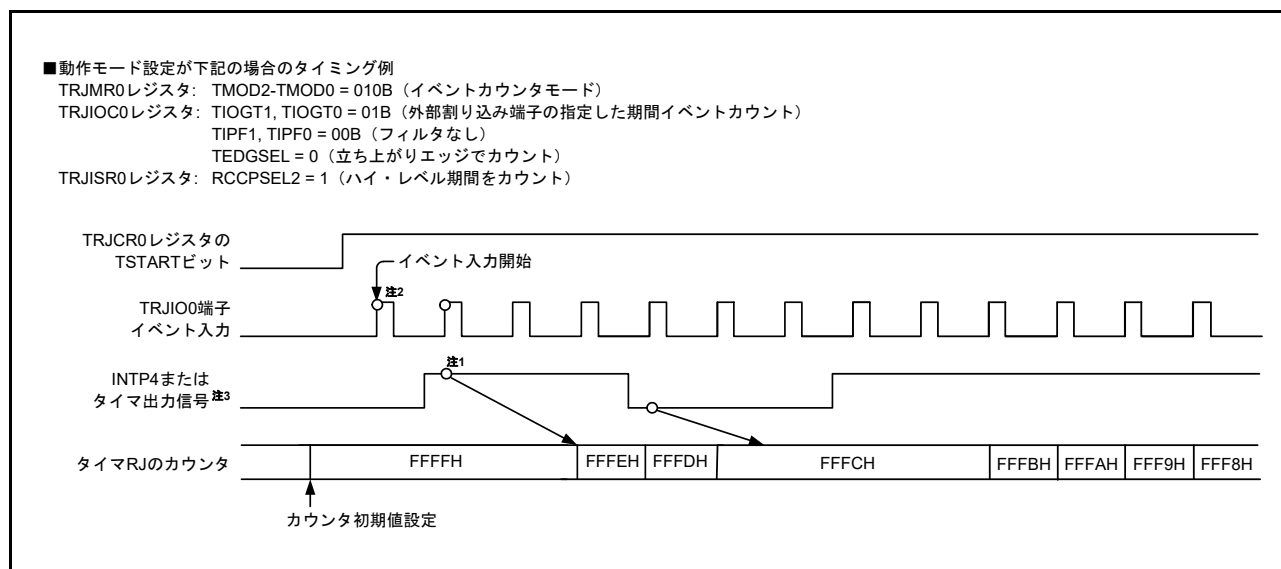


図11-14にイベントカウンタモードで指定時間カウントする場合（TRJIOC0レジスタのTIOGT1, TIOGT0ビットが01Bまたは10B）の動作例を示します。

図11-14 イベントカウンタモードの動作例2



下記の注記は、イベントカウンタモードの動作モード設定が、TRJIOC0レジスタのTIOGT1, TIOGT0ビットが01Bまたは10Bの場合にかぎります。

- 注1.** 同期化制御のため、カウント動作に反映されるまで、カウントソースで2クロック分の遅延があります。
- 注2.** カウント開始直後のカウントソースで2クロック分は前回のカウント停止前の状態により、カウント動作する場合があります。
 カウント開始直後の2クロック分のカウントを無効にするには、TRJCR0レジスタのTSTOPビットに1をライトし、内部回路を初期化し、動作設定後カウント動作開始してください。
- 注3.** TRJISR0レジスタのRCCPSEL1, RCCPSEL0ビットで選択したタイマ出力信号について、そのタイマ出力機能を割り当てている端子はタイマ以外の兼用機能の出力としては使用できません。

11.4.5 パルス幅測定モード

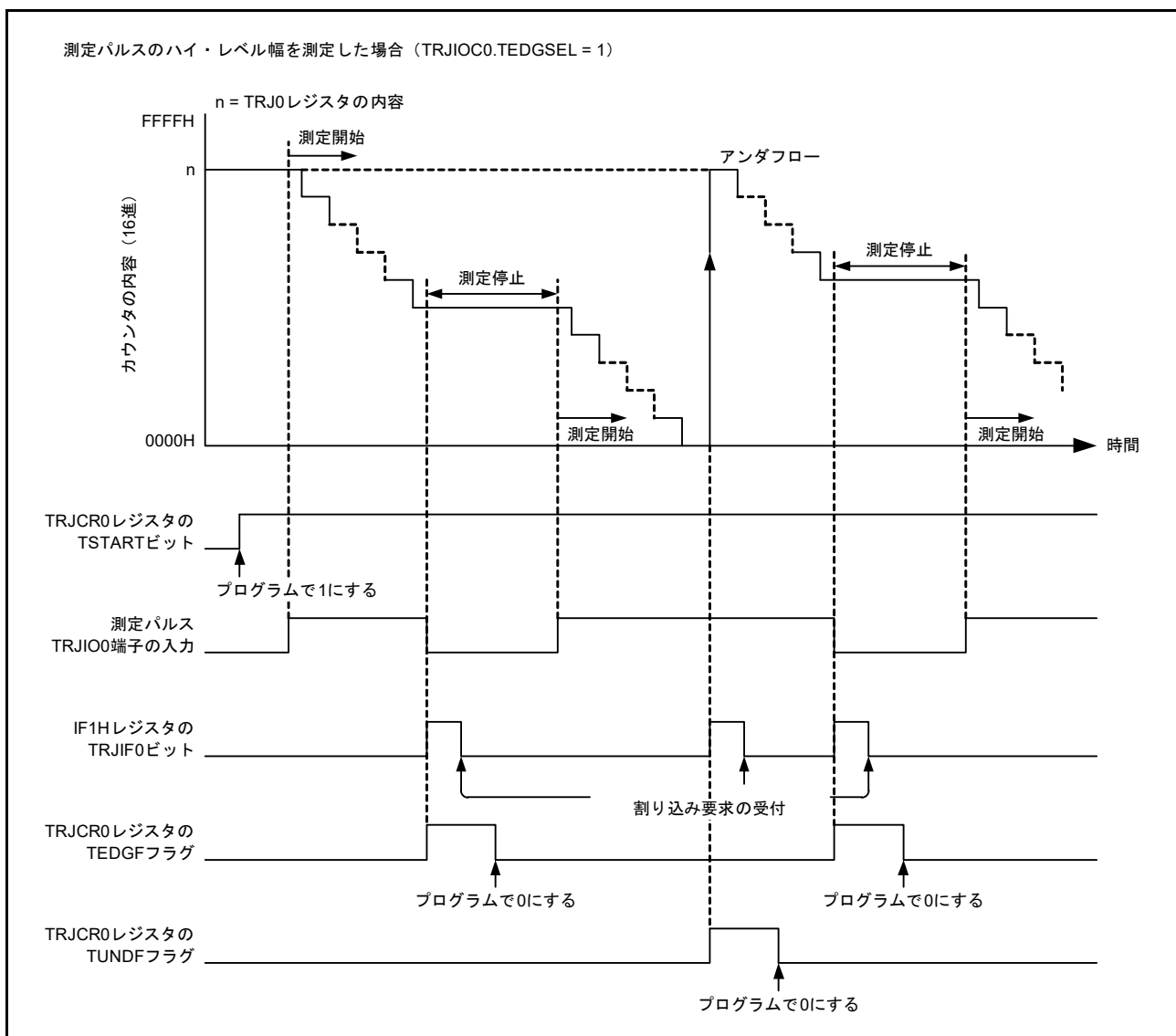
TRJIO0 端子から入力される外部信号のパルス幅を測定するモードです。

パルス幅測定モードでは、TRJIO0 端子に TRJIOC0 レジスタの TEDGSEL ビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO0 端子の指定したレベルが終了するとカウンタは停止し、TRJCR0 レジスタの TEDGF フラグが1（有効エッジあり）になり、割り込み要求が発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCR0 レジスタの TUNDF フラグが1（アンダフローあり）になり、割り込み要求が発生します。

図 11 - 15 にパルス幅測定モードの動作例を示します。

TRJCR0 レジスタの TEDGF, TUNDF フラグをアクセスする場合は **11.5.2 フラグへのアクセス（TRJCR0 レジスタの TEDGF, TUNDF フラグ）** を参照してください。

図 11 - 15 パルス幅測定モードの動作例



11.4.6 パルス周期測定モード

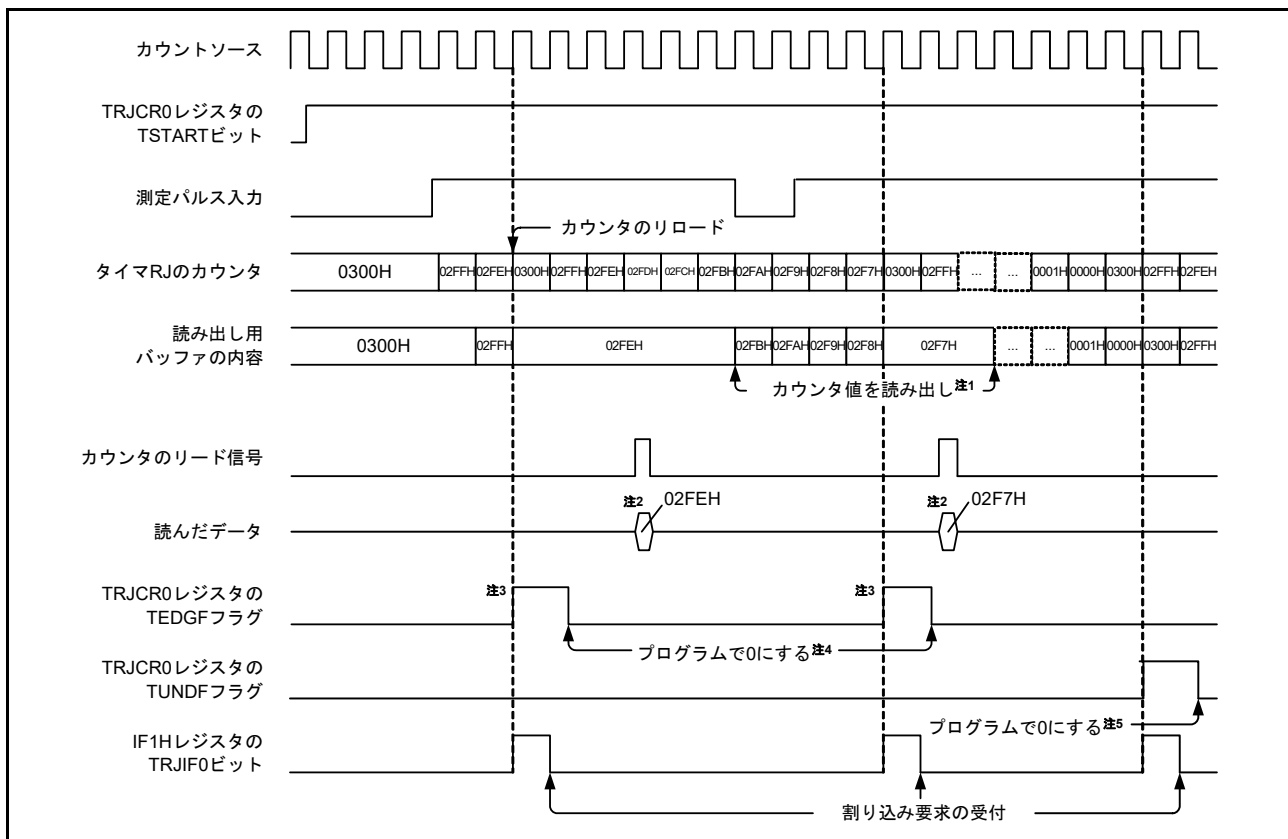
TRJIO0 端子から入力する外部信号のパルス周期を測定するモードです。

TRJMR0 レジスタの TCK2-TCK0 ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO0 端子に TRJIOC0 レジスタの TEDGSEL ビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時に TRJCR0 レジスタの TEDGF フラグが1（有効エッジあり）になり、割り込み要求が発生します。このときに読み出し用バッファ（TRJ0 レジスタ）を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCR0 レジスタの TUNDF フラグが1（アンダフローあり）になり、割り込み要求が発生します。

図 11 - 16 にパルス周期測定モードの動作例を示します。

カウントソースより 2 倍長い周期のパルスを入力してください。また、ロウ・レベル幅とハイ・レベル幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

図 11 - 16 パルス周期測定モードの動作例



TRJ0 レジスタの初期値を 0300H とし、TRJIOC0 レジスタの TEDGSEL ビットに 0 を設定し、測定パルスの立ち上がりまで測定した場合です。

- 注1. TRJ0 レジスタの読み出しは、TEDGF フラグが1（有効エッジあり）になってから、次の有効エッジが入力されるまでの期間で行ってください。読み出し用バッファの内容は、TRJ0 レジスタを読み出すまで保持されます。したがって、有効エッジが入力されるまでに読み出さない場合は、前の周期の測定結果を保持します。
- 注2. パルス周期測定モードでTRJ0 レジスタを読み出すと、読み出し用バッファの内容が読めます。
- 注3. 測定パルスの有効エッジ入力後に、外部パルス入力の設定エッジが入力されたとき、TRJCR0 レジスタの TEDGF フラグが1（有効エッジあり）になります。
- 注4. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR0 レジスタの TEDGF フラグに0を書いてください。
- 注5. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR0 レジスタの TUNDF フラグに0を書いてください。

11.4.7 イベント・リンク・コントローラ（ELC）との連携による動作

ELC との連携により、カウントソースに ELC からのイベント入力を設定することができます。

TRJMR0 レジスタの TCK2-TCK0 ビットにて、ELC からのイベント入力の立ち上がりでカウントします。ただし、イベントカウンタモードでは、ELC 入力は機能しません。

ELC 設定手順を以下に示します。

- 動作開始手順
 - ① ELC のイベント出力先選択レジスタ n (ELSELRn) を設定する。
 - ② イベント発生元の動作モードを設定する。
 - ③ タイマRJ のモードを設定する。
 - ④ タイマRJ のカウント動作を開始する。
 - ⑤ イベント発生元の動作を開始する。
- 動作停止手順
 - ① イベント発生元の動作を停止させる。
 - ② タイマRJ のモードのカウンタ動作を停止させる。
 - ③ ELC のイベント出力先選択レジスタ n (ELSELRn) に 0 を設定する。

11.4.8 各モード出力設定

表 11 - 5、表 11 - 6 に各モード時の TRJO0, TRJIO0 端子状態を示します。

表11-5 TRJO0端子設定

動作モード	TRJIOC0レジスタ		TRJO0端子出力
	TOENAビット	TEDGSELビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

表11-6 TRJIO0端子設定

動作モード	TRJIOC0レジスタ		TRJIO0端子入出力
	PMxxビット注	TEDGSELビット	
タイマモード	0または1	0または1	入力（使用しない）
パルス出力モード	1	0または1	出力禁止（Hi-Z出力）
		1	正転出力
	0	0	反転出力
イベントカウンタモード	1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

注 TRJIO0機能と兼用しているポートに対応するポート・モード・レジスタ（PMxx）のビット

11.5 タイマRJ使用上の注意事項

11.5.1 カウント動作開始、停止制御

- イベントカウンタモードまたはカウントソースをELCに設定したとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1（カウント開始）を書いたあとは、CPUクロックの2サイクルの間、TRJCR0レジスタのTCSTFフラグは0（カウント停止）になっています。TCSTFフラグが1（カウント中）になるまで、TCSTFフラグを除くタイマRJ関連レジスタ^注をアクセスしないでください。

カウント中にTSTARTビットに0（カウント停止）を書いたあとは、CPUクロックの2サイクルの間、TCSTFフラグは1になっています。TCSTFフラグが0になったとき、カウントを停止します。TCSTFフラグが0になるまで、TCSTFフラグを除くタイマRJ関連レジスタ^注をアクセスしないでください。

また、TSTARTビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は、**第29章 割り込み機能**を参照してください。

注 タイマRJ関連レジスタ：TRJ0, TRJCR0, TRJI0C0, TRJMR0, TRJISR0

- 上記以外の設定をしたとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1（カウント開始）を書いたあとは、カウントソースの3サイクルの間、TRJCR0レジスタのTCSTFフラグは0（カウント停止）になっています。TCSTFフラグが1（カウント中）になるまで、TCSTFフラグを除くタイマRJ関連レジスタ^注をアクセスしないでください。

カウント中にTSTARTビットに0（カウント停止）を書いたあとは、カウントソースの3サイクルの間、TCSTFフラグは1になっています。TCSTFフラグが0になったとき、カウントを停止します。TCSTFフラグが0になるまで、TCSTFフラグを除くタイマRJ関連レジスタ^注をアクセスしないでください。

また、TSTARTビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は、**第29章 割り込み機能**を参照してください。

注 タイマRJ関連レジスタ：TRJ0, TRJCR0, TRJI0C0, TRJMR0, TRJISR0

11.5.2 フラグへのアクセス（TRJCR0レジスタのTEDGF, TUNDFフラグ）

TRJCR0レジスタのTEDGF, TUNDFフラグは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCR0レジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFフラグが1（有効エッジあり）、TUNDFフラグが1（アンダフローあり）になって、タイミングによってTEDGF, TUNDFフラグを誤って0にする場合があります。TRJCR0レジスタへのアクセスは、8ビット・メモリ操作命令を使用してください。

11.5.3 カウンタレジスタへのアクセス

TRJCR0レジスタのTSTARTビットとTCSTFビットがともに1（カウント動作中）の場合、TRJ0レジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。

11.5.4 モード変更時

タイマRJの動作モード関連レジスタ（TRJIOC0, TRJMR0, TRJISR0）の変更は、カウント停止時（TRJCR0 レジスタの TSTART ビットと TCSTF フラグがともに 0（カウント停止））のみ可能です。カウント動作中には変更しないでください。

タイマRJの動作モード関連レジスタを変更したとき、TEDGF フラグと TUNDF フラグは不定です。TEDGF フラグに 0（有効エッジなし）、TUNDF フラグに 0（アンダフローなし）を書いてから、カウントを開始してください。

11.5.5 TRJO0, TRJIO0 端子の設定手順

リセット後、TRJO0, TRJIO0 端子と共用している I/O ポートは入力ポートとして機能します。

TRJO0, TRJIO0 端子から出力する場合は、以下の手順で設定してください。

- ① モード設定をする
- ② 初期値設定／出力許可設定をする。
- ③ TRJO0, TRJIO0 端子に対応するポート・レジスタのビットに 0 を設定する。
- ④ TRJO0, TRJIO0 端子に対応するポート・モード・レジスタのビットを出力モードに設定する（TRJO0, TRJIO0 端子から出力開始）。
- ⑤ カウントを開始する（TRJCR0 レジスタの TSTART = 1）。

TRJIO0 端子から入力する場合は、以下の手順で設定してください。

- ① モード設定をする
- ② 初期値設定／エッジ選択設定をする。
- ③ TRJIO0 端子に対応するポート・モード・レジスタのビットを入力モードに設定する（TRJIO0 端子から入力開始）。
- ④ カウントを開始する（TRJMR0 レジスタの TSTART = 1）。
- ⑤ TRJCR0 レジスタの TCSTF フラグが 1（カウント中）になるまで待つ（イベントカウンタモード時のみ）。
- ⑥ TRJIO0 端子から外部イベントを入力する。
- ⑦ 最初の測定完了による処理は無効としてください（2 回目以降から測定値有効）（パルス幅測定モード、パルス周期測定モードのみ）。

11.5.6 タイマRJ未使用時

タイマRJを使用しない場合、TRJMR0 レジスタの TMOD2-TMOD0 ビットを 000B（タイマモード）、TRJIOC0 レジスタの TOENA ビットを 0（TRJO 出力禁止）にしてください。

11.5.7 タイマRJ動作クロック停止時

PER2 レジスタの TRJ0EN ビットでタイマRJのクロック供給／停止制御が可能です。ただし、タイマRJのクロック停止時は下記 SFR へのアクセスができません。アクセスする場合にはタイマRJのクロックを供給した状態で行ってください。

TRJO, TRJCR0, TRJMR0, TRJIOC0, TRJISR0 レジスタ

11.5.8 STOPモード（イベントカウンタモード）時の動作に対する設定手順

STOPモード（イベントカウンタモード）の動作をさせる場合は、以下の手順でSTOPモードへ移行してください。

- ① タイマRJのクロック供給
- ② 動作モード設定
- ③ カウントを開始する（TSTART = 1, TCSTF = 1）
- ④ タイマRJのクロック供給を停止し、STOPモードへ移行

また、STOPモード（イベントカウンタモード）の動作を停止させる場合は、以下の手順で動作停止処理を行ってください。

- ① タイマRJのクロック供給
- ② カウントを停止する（TSTART = 0, TCSTF = 0）
- ③ タイマRJのクロック供給停止

11.5.9 STOPモード（イベントカウンタモードのみ）での機能制限

STOPモード中にイベントカウンタモードの動作をさせる場合、デジタルフィルタ機能は使用できません。

11.5.10 TSTOPビットによる強制カウント停止時

TRJCR0レジスタのTSTOPビットによるカウンタ強制停止後、カウントソースで1サイクルの間、下記SFRへのアクセスはしないでください。

TRJ0, TRJCR0, TRJMR0レジスタ

11.5.11 デジタルフィルタ

デジタルフィルタを使用する場合はTRJIOCレジスタのTIPF1, TIPF0ビット設定後、デジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

また、デジタルフィルタを使用している状態で、TRJIOCレジスタのTEDGSELビットを変更した場合も同様にデジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

11.5.12 カウントソースにfilを選択する場合

カウントソースにfilを選択する場合は、サブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットに1を設定してください。ただし、リアルタイム・クロックまたは32ビット・インターバル・タイマのカウントソースにfsxを選択している場合は、タイマRJのカウントソースにfilを選択することができません。

第12章 タイマRD2

12.1 タイマRD2の機能

タイマ RD2 はタイマ RD2 カウンタ 0（以下、タイマ RD20）とタイマ RD2 カウンタ 1（以下、タイマ RD21）の 2 つのカウンタで構成し 7 種類のモードを持ちます。

- タイマモード
 - インพุットキャプチャ機能：外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
 - アウトプットコンペア機能：カウンタとレジスタの値の一致を検出する機能（検出時に端子出力変更可能）
 - PWM 機能：任意の幅のパルスを連続して出力する機能

次の 6 つのモードは、PWM 機能を用います。

- リセット同期 PWM モード：のこぎり波変調、短絡防止時間なしの三相波形（6 本）を出力するモード
- 相補 PWM モード：三角波変調、短絡防止時間ありの三相波形（6 本）を出力するモード
- PWM3 モード：同一周期の PWM 波形（2 本）を出力するモード
- 拡張 PWM モード：コンペアレジスタの一斉書き換えに対応し同一周期の PWM 波形を最大 4 本（カウンタあたり 2 本）出力するモード
- 拡張相補 PWM モード：三角波変調、短絡防止時間ありの対称／非対称三相波形（6 本）を出力するモード
- タイマ KB PWM 出力ゲートモード：16 ビット・タイマ KB30, KB31, KB32 の出力をゲート制御できる PWM 波形を出力するモード

タイマモードのインพุットキャプチャ機能、アウトプットコンペア機能、PWM 機能、拡張 PWM 機能は、タイマ RD20 とタイマ RD21 で同等の機能を持ち、1 端子ごとに機能を選択できます。また、タイマ RD20、タイマ RD21 の中でこれらの機能を組み合わせて使えます。

リセット同期 PWM モード、相補 PWM モード、PWM3 モード、拡張相補 PWM モード、タイマ KB PWM 出力ゲートモードは、タイマ RD20 とタイマ RD21 のカウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

タイマ RD2 は 4 本の入出力端子を持ちます。

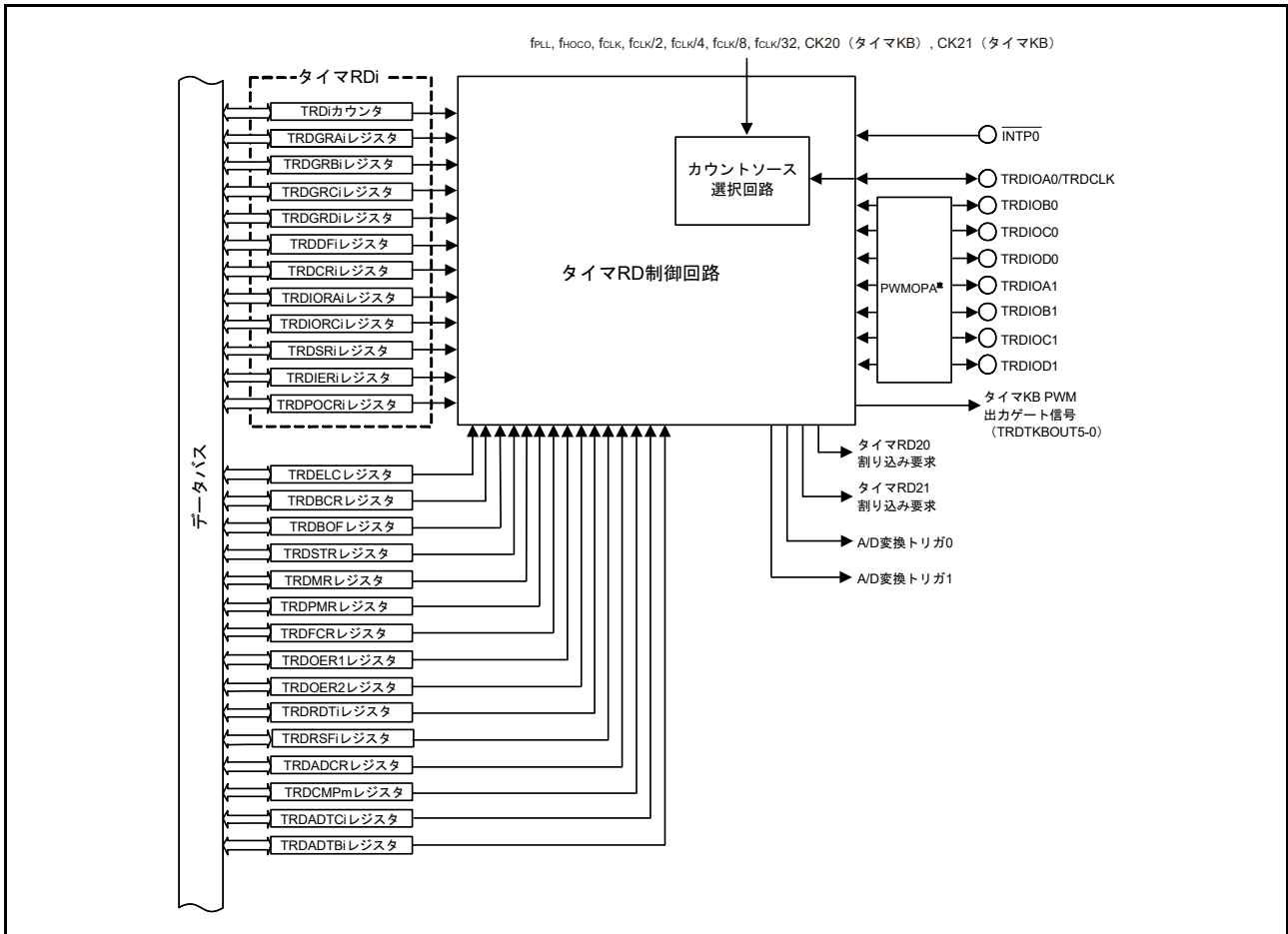
タイマ RD2 の動作クロックは fCLK または fHOCO または fPLL です。

タイマ RD2 は、タイマ RX、16 ビット・タイマ KB30, KB31, KB32 と連携動作します。

12.2 タイマRD2の構成

図12-1にタイマRD2のブロック図、表12-1にタイマRD2の端子構成を示します。PWMOPA機能に関しては12.8 PWMオプションユニットA (PWMOPA) を参照してください。

図12-1 タイマRD2のブロック図



注 出力信号は遮断できますが、入力信号は遮断できません。

備考 i = 0, 1
m = B0, D0, A1, B1, C1, D1

表12-1 タイマRD2の端子構成

端子名	兼用しているポート名	入出力	機能
TRDIOA0/TRDCLK	P17	入出力	モードによって機能が異なります。詳細は、各モードを参照してください。
TRDIOB0	P15	入出力	
TRDIOC0	P16	入出力	
TRDIOD0	P14	入出力	
TRDIOA1	P13	入出力	
TRDIOB1	P12	入出力	
TRDIOC1	P11	入出力	
TRDIOD1	P10	入出力	

12.3 タイマRD2を制御するレジスタ

タイマRD2を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- タイマRD ELCレジスタ (TRDELIC)
- タイマRD タイマKB PWM出力ゲートモード制御レジスタ (TRDBCR)
- タイマRD タイマKB PWM出力モニタレジスタ (TRDBOF)
- タイマRD スタートレジスタ (TRDSTR)
- タイマRD モードレジスタ (TRDMR)
- タイマRD PWM機能選択レジスタ (TRDPMR)
- タイマRD 機能制御レジスタ (TRDFCR)
- タイマRD 出力マスタ許可レジスタ1 (TRDOER1)
- タイマRD 出力マスタ許可レジスタ2 (TRDOER2)
- タイマRD 出力制御レジスタ (TRDOCR)
- タイマRD デジタルフィルタ機能選択レジスタ0, 1 (TRDDF0, TRDDF1)
- タイマRD 制御レジスタ0, 1 (TRDCR0, TRDCR1)
- タイマRD I/O制御レジスタA0, 1 (TRDIORA0, TRDIORA1)
- タイマRD I/O制御レジスタC0, 1 (TRDIORC0, TRDIORC1)
- タイマRD ステータスレジスタ0 (TRDSR0)
- タイマRD ステータスレジスタ1 (TRDSR1)
- タイマRD 割り込み許可レジスタ0, 1 (TRDIER0, TRDIER1)
- タイマRD PWM出力レベル制御レジスタ0 (TRDPOCR0)
- タイマRD PWM出力レベル制御レジスタ1 (TRDPOCR1)
- タイマRD カウンタ0, 1 (TRD0, TRD1)
- タイマRD ジェネラルレジスタA0, A1, B0, B1, C0, C1, D0, D1 (TRDGRA0, TRDGRA1, TRDGRB0, TRDGRB1, TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1)
- タイマRD 拡張コンペアレジスタB0, D0, A1, B1, C1, D1 (TRDCMPB0, TRDCMPD0, TRDCMPA1, TRDCMPB1, TRDCMPC1, TRDCMPD1)
- タイマRD A/D変換トリガコンペアレジスタ0/タイマKB PWM出力ゲートモードコンペアレジスタ (TRDADTC0/TRDCMPE1)
- タイマRD A/D変換トリガバッファレジスタ0/タイマKB PWM出力ゲートモードバッファレジスタ (TRDADTB0/TRDCMPF1)
- タイマRD A/D変換トリガコンペアレジスタ1 (TRDADTC1)
- タイマRD A/D変換トリガバッファレジスタ1 (TRDADTB1)
- タイマRD 一斉書き換えトリガレジスタ0 (TRDRDT0)
- タイマRD 一斉書き換えトリガレジスタ1 (TRDRDT1)
- タイマRD 一斉書き換えフラグレジスタ0 (TRDRSF0)
- タイマRD 一斉書き換えフラグレジスタ1 (TRDRSF1)
- タイマRD A/D変換トリガ制御レジスタ (TRDADCR)
- タイマRD 間引き制御レジスタ (TRDTCTL)

- タイマRD間引き回数設定レジスタ (TRDTCMP)
- タイマRD出力ポートマスク許可レジスタ (TRDPOE)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

12.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

タイマ RD2 を使用する場合は、必ず TRD0EN ビットに 1 を設定してください。

PER2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	FAAEN	MEMEN	TKBEN	TRGEN	TRD0EN	PWMOPEN	TRXEN	TRJ0EN
TRD0EN	タイマRD2の入カクロック供給の制御							
0	入カクロック供給停止 ・タイマRD2で使用するSFRへのライト不可							
1	入カクロック供給 ・タイマRD2で使用するSFRへのリード／ライト可							
PWMOPEN	PWMOPAの入カクロック供給の制御							
0	入カクロック供給停止 ・PWMOPAで使用するSFRへのライト不可							
1	入カクロック供給 ・PWMOPAで使用するSFRへのリード／ライト可							

注意1. タイマRD2の設定をする際には、必ず最初にTRD0EN = 1の設定を行ってください。TRD0EN = 0の場合は、タイマRD2の制御レジスタへの書き込みは無視され、読み出し値も00Hまたは0000Hとなります（ポート・モード・レジスタ (PM1)、ポート・レジスタ (P1) は除く）。

注意2. タイマRD2のカウントソースにfHocoを選択する場合、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをクリアしたあとに変更してください。

注意3. PWMOPAの設定をする際には、必ず最初にPWMOPEN = 1の設定を行ってください。PWMOPEN = 0の場合は、PWMOPAの制御レジスタへの書き込みは無視され、読み出し値も00Hまたは0000Hとなります。PWMOPAについては、12.8 PWMオプションユニットA (PWMOPA) を参照してください。

12.3.2 周辺リセット制御レジスタ2 (PRR2)

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ RD2 をリセットする場合は、TRD0RES ビットに 1 を設定してください。

PRR2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12-3 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR2	FAARES	MEMRES	TKBRES	TRGRES	TRD0RES	PWMOP RES	TRXRES	TRJ0RES
TRD0RES	タイマRD2のリセット制御							
0	タイマRD2のリセット解除							
1	タイマRD2はリセット状態 ・タイマRD2で使用するSFRが初期化されます。							
PWMOP RES	PWMOPAのリセット制御							
0	PWMOPAのリセット解除							
1	PWMOPAはリセット状態 ・PWMOPAで使用するSFRが初期化されます。							

12.3.3 タイマRD ELC レジスタ (TRDELCL)

図12-4 タイマRD ELC レジスタ (TRDELCL) のフォーマット

アドレス : F0390H

リセット時: 00H^注

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDELCL	0	0	ELCOBE1	ELCICE1	0	0	ELCOBE0	ELCICE0

ELCOBE1	タイマRD2パルス出力強制遮断用ELCイベント入力1許可
0	強制遮断を禁止
1	強制遮断を許可

ELCICE1	タイマRD2インプットキャプチャD1用ELCイベント入力1選択
0	TRDIOD1のインプットキャプチャを選択
1	イベント・リンク・コントローラ (ELC) からのイベント入力1を選択

ELCOBE0	タイマRD2パルス出力強制遮断用ELCイベント入力0許可
0	強制遮断を禁止
1	強制遮断を許可

ELCICE0	タイマRD2インプットキャプチャD0用ELCイベント入力0選択
0	TRDIOD0のインプットキャプチャを選択
1	イベント・リンク・コントローラ (ELC) からのイベント入力0を選択

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出して下さい。

12.3.4 タイマRDタイマKB PWM出力ゲートモード制御レジスタ (TRDBCR)

図12-5 タイマRDタイマKB PWM出力ゲートモード制御レジスタ (TRDBCR) のフォーマット

アドレス : F0391H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDBCR	GCE	0	0	GCKS	0	0	0	GMD
GCE	タイマKB PWM出力ゲートモード有効							
0	タイマKB PWM出力ゲートモード無効							
1	タイマKB PWM出力ゲートモード有効							
GCKS	タイマKB PWM出力ゲートモードカウントソース選択							
0	16ビット・タイマKB30, KB31, KB32の動作クロックCK20を選択							
1	16ビット・タイマKB30, KB31, KB32の動作クロックCK21を選択							
GMD	タイマKB PWM出力ゲートモード動作選択							
0	単体動作モード							
1	タイマKB3連動動作モード							

12.3.5 タイマRDタイマKB PWM出力モニタレジスタ (TRDBOF)

図12-6 タイマRDタイマKB PWM出力モニタレジスタ (TRDBOF) のフォーマット

アドレス : F0392H

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
TRDBOF	0	0	BOF5	BOF4	BOF3	BOF2	BOF1	BOF0
BOF5	タイマKB PWM出力モニタフラグ5							
0	TRDTKBOUT5はロウ・レベル							
1	TRDTKBOUT5はハイ・レベル							
BOF4	タイマKB PWM出力モニタフラグ4							
0	TRDTKBOUT4はロウ・レベル							
1	TRDTKBOUT4はハイ・レベル							
BOF3	タイマKB PWM出力モニタフラグ3							
0	TRDTKBOUT3はロウ・レベル							
1	TRDTKBOUT3はハイ・レベル							
BOF2	タイマKB PWM出力モニタフラグ2							
0	TRDTKBOUT2はロウ・レベル							
1	TRDTKBOUT2はハイ・レベル							
BOF1	タイマKB PWM出力モニタフラグ1							
0	TRDTKBOUT1はロウ・レベル							
1	TRDTKBOUT1はハイ・レベル							
BOF0	タイマKB PWM出力モニタフラグ0							
0	TRDTKBOUT0はロウ・レベル							
1	TRDTKBOUT0はハイ・レベル							

12.3.6 タイマRDスタートレジスタ (TRDSTR)

TRDSTR レジスタは、8 ビット・メモリ操作命令で設定できます。タイマ RD2 使用上の注意事項の 12.7.1 SFR リード/ライトアクセス (1) TRDSTR レジスタを参照してください。

図 12-7 タイマRDスタートレジスタ (TRDSTR) のフォーマット

アドレス : F0393H

リセット時: 0CH^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDSTR	0	0	0	0	CSEL1	CSEL0	TSTART1	TSTART0
CSEL1	TRD1カウンタ動作選択 ^{注2}							
0	TRDGRA1レジスタとのコンペアー一致でカウンタ停止							
1	TRDGRA1レジスタとのコンペアー一致後もカウンタ継続 ^{注3}							
CSEL0	TRD0カウンタ動作選択							
0	TRDGRA0レジスタとのコンペアー一致でカウンタ停止							
1	TRDGRA0レジスタとのコンペアー一致後もカウンタ継続 ^{注3}							
TSTART1	TRD1カウンタ開始フラグ ^{注4, 5}							
0	カウンタ停止							
1	カウンタ開始							
TSTART0	TRD0カウンタ開始フラグ ^{注6, 7}							
0	カウンタ停止							
1	カウンタ開始							

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出して下さい。

注2. PWM3モードでは使用しません。

注3. インพุットキャプチャ機能では1にしてください。

注4. CSEL1ビットが1に設定されているとき、TSTART1ビットへ0を書いてください。

注5. CSEL1ビットが0でコンペアー一致信号 (TRDIOA1) が発生したとき、0 (カウンタ停止) になります。

注6. CSEL0ビットが1に設定されているとき、TSTART0ビットへ0を書いてください。

注7. CSEL0ビットが0でコンペアー一致信号 (TRDIOA0) が発生したとき、0 (カウンタ停止) になります。

12.3.7 タイマRDモードレジスタ (TRDMR)

図12-8 タイマRDモードレジスタ (TRDMR) のフォーマット

アドレス : F0394H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	1	<0>
TRDMR	TRDBFD1	TRDBFC1	TRDBFD0	TRDBFC0	0	0	0	TRDSYNC
TRDBFD1	TRDGRD1レジスタ機能選択 ^{注2,3}							
0	ジェネラルレジスタ							
1	TRDGRB1レジスタのバッファレジスタ							
TRDBFC1	TRDGRC1レジスタ機能選択 ^{注2,3}							
0	ジェネラルレジスタ							
1	TRDGRA1レジスタのバッファレジスタ							
TRDBFD0	TRDGRD0レジスタ機能選択 ^{注2,3}							
0	ジェネラルレジスタ							
1	TRDGRB0レジスタのバッファレジスタ							
TRDBFC0	TRDGRC0レジスタ機能選択 ^{注2,3,4}							
0	ジェネラルレジスタ							
1	TRDGRA0レジスタのバッファレジスタ							
TRDSYNC	タイマRD2同期 ^{注5}							
0	TRD0とTRD1は独立動作							
1	TRD0とTRD1は同期動作							

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. アウトプットコンペア機能時、TRDIORCiレジスタ (i = 0, 1) のIOj3ビット (j = CまたはD) で0 (TRDGRjiレジスタ出力端子変更) を選択した場合、TRDMRレジスタのTRDBFjiビットを0にしてください。

注3. 拡張PWMモード、拡張相補PWMモード、タイマKB PWM出力ゲートモードでは使用しません。

注4. 相補PWMモードでは0 (ジェネラルレジスタ) にしてください。

注5. リセット同期PWMモード時、相補PWMモード時、PWM3モード時、および拡張相補PWMモード時は、0 (TRD0とTRD1は独立動作) にしてください。

12.3.8 タイマRD PWM機能選択レジスタ (TRDPMR)

図12-9 タイマRD PWM機能選択レジスタ (TRDPMR) のフォーマット [タイマモード]

アドレス : F0395H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	<2>	<1>	<0>
TRDPMR	TRDPWMA1	TRDPWMD 1	TRDPWMC 1	TRDPWMB1	0	TRDPWMD 0	TRDPWMC 0	TRDPWMB0
TRDPWMA 1 ^{注2}	タイマモードでは使用しません。0を設定してください。							
TRDPWMD 1	TRDIOD1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMC 1	TRDIOC1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMB 1	TRDIOB1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMD 0	TRDIOD0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMC 0	TRDIOC0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMB 0	TRDIOB0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. タイマモードでは0に設定してください。

図12-10 タイマRD PWM機能選択レジスタ (TRDPMR) のフォーマット [拡張PWMモード]

アドレス : F0395H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	<2>	<1>	<0>
TRDPMR	TRDPWMA1	TRDPWMD 1	TRDPWMC 1	TRDPWMB1	0	TRDPWMD 0	TRDPWMC 0	TRDPWMB0
TRDPWMA 1 ^{注2}	拡張PWMモードでは使用しません。0を設定してください。							
TRDPWMD 1	TRDIOD1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	拡張PWMモード							
TRDPWMC 1	拡張PWMモードでは使用しません。0を設定してください。							
TRDPWMB 1	TRDIOB1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	拡張PWMモード							
TRDPWMD 0	TRDIOD0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	拡張PWMモード							
TRDPWMC 0	拡張PWMモードでは使用しません。0を設定してください。							
TRDPWMB 0	TRDIOB0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	拡張PWMモード							

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 拡張PWMモードでは0に設定してください。

図12-11 タイマRD PWM機能選択レジスタ (TRDPMR) のフォーマット [タイマKB PWM出力ゲートモード]

アドレス : F0395H

リセット時: 00H^注

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	<2>	<1>	<0>
TRDPMR	TRDPWMA1	TRDPWMD 1	TRDPWMC 1	TRDPWMB1	0	TRDPWMD 0	TRDPWMC 0	TRDPWMB0
	TRDPWMA 1	TRDTKBOUT3出力許可						
	0	TRDTKBOUT3出力禁止						
	1	TRDTKBOUT3出力許可						
	TRDPWMD 1	TRDTKBOUT2出力許可						
	0	TRDTKBOUT2出力禁止						
	1	TRDTKBOUT2出力許可						
	TRDPWMC 1	TRDTKBOUT1出力許可						
	0	TRDTKBOUT1出力禁止						
	1	TRDTKBOUT1出力許可						
	TRDPWMB 1	TRDTKBOUT0出力許可						
	0	TRDTKBOUT0出力禁止						
	1	TRDTKBOUT0出力許可						
	TRDPWMD 0	TRDTKBOUT5出力許可						
	0	TRDTKBOUT5出力禁止						
	1	TRDTKBOUT5出力許可						
	TRDPWMC 0	タイマKB PWM出力ゲートモードでは使用しません。0を設定してください。						
	TRDPWMB 0	TRDTKBOUT4出力許可						
	0	TRDTKBOUT4出力禁止						
	1	TRDTKBOUT4出力許可						

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注意 タイマKB PWM出力ゲートモード時に本ビットでTRDTKBOUTからゲート信号を出力禁止に設定した場合は、TRDOCRで設定した初期出力レベルを出力します。

12.3.9 タイマRD機能制御レジスタ (TRDFCR)

図12-12 タイマRD機能制御レジスタ (TRDFCR) のフォーマット (1/2)

アドレス : F0396H

リセット時: 80H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDFCR	PWM3	STCLK	EPWM	CPSS	OLS1	OLS0	CMD1	CMD0
PWM3	PWM3モード選択 ^{注2}							
<ul style="list-style-type: none"> ・タイマモード、拡張PWMモードの場合は、1 (PWM3モード以外) にしてください。 ・PWM3モードの場合は0 (PWM3モード) にしてください。 ・リセット同期PWMモード、相補PWMモード、拡張相補PWMモード、タイマKB PWM出力ゲートモードでは無効です。 								
STCLK	外部クロック入力選択							
<ul style="list-style-type: none"> ・タイマモード、リセット同期PWMモード、相補PWMモード、拡張PWMモード、拡張相補PWMモードの場合 0 : 外部クロック入力無効 1 : 外部クロック入力有効 ・PWM3モード、タイマKB PWM出力ゲートモードの場合は、0 (外部クロック入力無効) にしてください。 								
EPWM	拡張モード選択							
<ul style="list-style-type: none"> ・拡張PWMモード、拡張相補PWMモードの場合は、1に設定してください。 ・拡張PWMモード、拡張相補PWMモード以外の場合は、0に設定してください。 								
CPSS	拡張相補PWMモード動作選択							
<ul style="list-style-type: none"> ・非対称三角波PWMを出力する場合は1にしてください。 ・対称三角波PWMを出力する場合は0にしてください。 								
OLS1	逆相出力レベル選択 (リセット同期PWMモード、相補PWMモードまたは拡張相補PWMモード時) ^{注3}							
<ul style="list-style-type: none"> ・リセット同期PWMモード、相補PWMモードの場合 0 : 初期出力 : H (ハイ・レベル)、アクティブ・レベル : L (ロウ・レベル) 1 : 初期出力 : L (ロウ・レベル)、アクティブ・レベル : H (ハイ・レベル) ・拡張相補PWMモードの場合 0 : アクティブ・レベル : L (ロウ・レベル) 1 : アクティブ・レベル : H (ハイ・レベル) ・タイマモード、PWM3モード、拡張PWMモード、タイマKB PWM出力ゲートモードでは無効です。 								

図12-12 タイマRD機能制御レジスタ (TRDFCR) のフォーマット (2/2)

OLS0	正相出力レベル選択 (リセット同期PWMモードまたは相補PWMモードまたは拡張相補PWMモード時) 注3	
<ul style="list-style-type: none"> リセット同期PWMモード、相補PWMモードの場合 0: 初期出力: H (ハイ・レベル)、アクティブ・レベル: L (ロウ・レベル) 1: 初期出力: L (ロウ・レベル)、アクティブ・レベル: H (ハイ・レベル) 拡張相補PWMモードの場合 0: アクティブ・レベル: L (ロウ・レベル) 1: アクティブ・レベル: H (ハイ・レベル) タイマモード、PWM3モード、拡張PWMモード、タイマKB PWM出力ゲートモードでは無効です。 		
CMD1	CMD0	コンビネーションモード選択注4,5
<ul style="list-style-type: none"> タイマモード、PWM3モード、拡張PWMモード、タイマKB PWM出力ゲートモードの場合は、00B (タイマモード、PWM3モード、拡張PWMモード、タイマKB PWM出力ゲートモード) にしてください。 拡張相補PWMモードの場合は、10B (拡張相補PWMモード) にしてください。 リセット同期PWMモードの場合は、01B (リセット同期PWMモード) にしてください。 相補PWMモードの場合 CMD1 CMD0 1 0 : 相補PWMモード (TRD1カウンタのアンダフロー時にバッファレジスタからジェネラルレジスタへ転送) 1 1 : 相補PWMモード (TRD0カウンタとTRDGRA0レジスタのコンペアー一致時にバッファレジスタからジェネラルレジスタへ転送) 上記以外 : 設定禁止 		

- 注1. ユーザ・オプション・バイト (00C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. CMD1, CMD0ビットが00B (タイマモード、PWM3モード、拡張PWMモード、タイマKB PWM出力ゲートモード) のとき、PWM3ビットの設定が有効になります。
- 注3. 拡張相補PWMモード時の初期出力はTRDOCRレジスタで設定してください。
- 注4. CMD1, CMD0ビットはTRDSTRレジスタのTSTART1, TSTART0ビットが00B (カウント停止) のときに書いてください。
- 注5. CMD1, CMD0ビットに01B, 10B, 11Bを設定したとき、TRDPMRレジスタの設定にかかわらず、リセット同期PWMモードまたは相補PWMまたは拡張相補PWMモードになります。

12.3.10 タイマRD出カマスタ許可レジスタ1 (TRDOER1)

図12-13 タイマRD出カマスタ許可レジスタ1 (TRDOER1) のフォーマット
 [アウトプットコンペア機能、PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード、
 拡張PWMモード、拡張相補PWMモード、タイマKB PWM出力ゲートモード]

アドレス : F0397H

リセット時: FFH^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDOER1	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
	ED1	TRDIOD1出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOD1端子はI/Oポート)						
	EC1	TRDIOC1出力禁止 ^{注2,3}						
	0	出力許可						
	1	出力禁止 (TRDIOC1端子はI/Oポート)						
	EB1	TRDIOB1出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOB1端子はI/Oポート)						
	EA1	TRDIOA1出力禁止 ^{注2,3,4}						
	0	出力許可						
	1	出力禁止 (TRDIOA1端子はI/Oポート)						
	ED0	TRDIOD0出力禁止 ^{注2}						
	0	出力許可						
	1	出力禁止 (TRDIOD0端子はI/Oポート)						
	EC0	TRDIOC0出力禁止 ^{注2,3,5}						
	0	出力許可						
	1	出力禁止 (TRDIOC0端子はI/Oポート)						
	EB0	TRDIOB0出力禁止						
	0	出力許可						
	1	出力禁止 (TRDIOB0端子はI/Oポート)						
	EA0	TRDIOA0出力禁止 ^{注3,4,5,6,7}						
	0	出力許可						
	1	出力禁止 (TRDIOA0端子はI/Oポート)						

(注、注意は次ページに続きます)

- 注1.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2.** PWM3モードでは、1にしてください。
- 注3.** 拡張PWMモードでは、1にしてください。
- 注4.** PWM機能では、1にしてください。
- 注5.** タイマKB PWM出力ゲートモードでは、1にしてください。
- 注6.** リセット同期PWMモード、相補PWMモードでは、1にしてください。
- 注7.** 拡張相補PWMモードでは、1にしてください。
- 注意** OPCTL0レジスタのHAZAD_SETビットが1 (ハザード対策有効) のとき、タイマRD2カウント動作中にTRDOER1レジスタを変更できます。(タイマRD2動作中に、TRDIO端子とPORTを切り替える)

12.3.11 タイマRD出カマスタ許可レジスタ2 (TRDOER2)

図12-14 タイマRD出カマスタ許可レジスタ2 (TRDOER2) のフォーマット
 [PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード、拡張PWMモード、
 拡張相補PWMモード、タイマKB PWM出力ゲートモード]

アドレス : F0398H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
TRDOER2	TRDPTO	0	0	0	0	0	0	TRDSHUTS

TRDPTO	パルス出力強制遮断信号INTP0端子入力有効 ^{注2}
0	パルス出力強制遮断入力無効
1	パルス出力強制遮断入力有効 (INTP0端子にLを入力すると、TRDSHUTSフラグが1となる)

TRDSHUTS	強制遮断フラグ
0	強制遮断なし
1	強制遮断中

INTP0端子、ELC入カイベントによるパルス強制遮断時に1となります。このビットは自動クリアされません。したがって、パルス強制遮断を止める場合、カウント停止中 (TSTARTi = 0) に0を書いてください。有効なモードでTRDSHUTSフラグに1を書いても強制遮断します。

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 12.4.4 パルス出力強制遮断を参照してください。

12.3.12 タイマRD出力制御レジスタ (TRDOCR)

TRDOCR レジスタは、TRDSTR レジスタの TSTART1, TSTART0 ビットが 00B (カウント停止) のときに書いてください。

図12-15 タイマRD出力制御レジスタ (TRDOCR) のフォーマット [アウトプットコンペア機能]

アドレス : F0399H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1	TRDIOD1初期出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)							
1	初期出力 : H (ハイ・レベル)							
TOC1	TRDIOC1初期出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)							
1	初期出力 : H (ハイ・レベル)							
TOB1	TRDIOB1初期出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)							
1	初期出力 : H (ハイ・レベル)							
TOA1	TRDIOA1初期出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)							
1	初期出力 : H (ハイ・レベル)							
TOD0	TRDIOD0初期出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)							
1	初期出力 : H (ハイ・レベル)							
TOC0	TRDIOC0初期出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)							
1	初期出力 : H (ハイ・レベル)							
TOB0	TRDIOB0出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)							
1	初期出力 : H (ハイ・レベル)							
TOA0	TRDIOA0出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)							
1	初期出力 : H (ハイ・レベル)							

- 注1.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2.** TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されません。

図12-16 タイマRD出力制御レジスタ (TRDOCR) のフォーマット [PWM機能]

アドレス : F0399H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1	TRDIOD1初期出力レベル選択 ^{注2}							
0	初期出力はインアクティブ・レベル							
1	初期出力はアクティブ・レベル							
TOC1	TRDIOC1初期出力レベル選択 ^{注2}							
0	初期出力はインアクティブ・レベル							
1	初期出力はアクティブ・レベル							
TOB1	TRDIOB1初期出力レベル選択 ^{注2}							
0	初期出力はインアクティブ・レベル							
1	初期出力はアクティブ・レベル							
TOA1	TRDIOA1初期出力レベル選択 ^{注2}							
0にしてください。								
TOD0	TRDIOD0初期出力レベル選択 ^{注2}							
0	初期出力はインアクティブ・レベル							
1	初期出力はアクティブ・レベル							
TOC0	TRDIOC0初期出力レベル選択 ^{注2}							
0	初期出力はインアクティブ・レベル							
1	初期出力はアクティブ・レベル							
TOB0	TRDIOB0出力レベル選択 ^{注2}							
0	初期出力はインアクティブ・レベル							
1	初期出力はアクティブ・レベル							
TOA0	TRDIOA0初期出力レベル選択 ^{注2}							
0にしてください。								

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図12-17 タイマRD出力制御レジスタ (TRDOCR) のフォーマット [リセット同期PWMモード、相補PWMモード]

アドレス : F0399H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1, TOC1, TOB1, TOA1, TOD0, TOB0, TOA0		リセット同期PWMモード時、相補PWMモードでは、設定は無効です。必ず、0を設定してください。 リセット同期PWMモード、相補PWMモードの場合、本レジスタの設定には依存せず、TRDFCRのOLS1, OLS0ビットの設定に従います。						
TOC0	TRDIOC0初期出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)	リセット同期PWMモードでは、PWM周期ごとに出力反転します。 相補PWMモードでは、PWMの1/2周期ごとに出力反転します。						
1	初期出力 : H (ハイ・レベル)							

注1. ユーザ・オプション・バイト (000C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図12-18 タイマRD出力制御レジスタ (TRDOCR) のフォーマット [PWM3モード]

アドレス : F0399H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1	TRDIOD1初期出力レベル選択							
PWM3モードは無効です。								
TOC1	TRDIOC1初期出力レベル選択							
PWM3モードは無効です。								
TOB1	TRDIOB1初期出力レベル選択							
PWM3モードは無効です。								
TOA1	TRDIOA1初期出力レベル選択							
PWM3モードは無効です。								
TOD0	TRDIOD0初期出力レベル選択							
PWM3モードは無効です。								
TOC0	TRDIOC0初期出力レベル選択							
PWM3モードは無効です。								
TOB0	TRDIOB0出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)、アクティブ・レベル : H (ハイ・レベル) TRDGRB1のコンペアー致でH (ハイ・レベル) 出力 TRDGRB0のコンペアー致でL (ロウ・レベル) 出力							
1	初期出力 : H (ハイ・レベル)、アクティブ・レベル : L (ロウ・レベル) TRDGRB1のコンペアー致でL (ロウ・レベル) 出力 TRDGRB0のコンペアー致でH (ハイ・レベル) 出力							
TOA0	TRDIOA0出力レベル選択 ^{注2}							
0	初期出力 : L (ロウ・レベル)、アクティブ・レベル : H (ハイ・レベル) TRDGRA1のコンペアー致でH (ハイ・レベル) 出力 TRDGRA0のコンペアー致でL (ロウ・レベル) 出力							
1	初期出力 : H (ハイ・レベル)、アクティブ・レベル : L (ロウ・レベル) TRDGRA1のコンペアー致でL (ロウ・レベル) 出力 TRDGRA0のコンペアー致でH (ハイ・レベル) 出力							

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

12.3.13 タイマRDデジタルフィルタ機能選択レジスタ0, 1 (TRDDF0, TRDDF1)

図12-19 タイマRDデジタルフィルタ機能選択レジスタi (TRDDFi) のフォーマット
[インプットキャプチャ機能]

アドレス : F039AH (TRDDF0), F039BH (TRDDF1)

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA
	DFCK1	DFCK0	デジタルフィルタ機能用クロック選択 ^{注2}					
	0	0	fCLK/32 ^{注3}					
	0	1	fCLK/8 ^{注3}					
	1	0	fCLK ^{注3}					
	1	1	カウントソース (TRDCRiレジスタのTCK2-TCK0ビットで選択したクロック)					
	PENB1	PENB0	TRDIOB端子パルス強制遮断制御					
	0	0	00Bにしてください。					
	DFD	TRDIODi端子デジタルフィルタ機能選択						
	0	デジタルフィルタ機能なし						
	1	デジタルフィルタ機能あり						
	デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。							
	DFC	TRDIOCi端子デジタルフィルタ機能選択						
	0	デジタルフィルタ機能なし						
	1	デジタルフィルタ機能あり						
	デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。							
	DFB	TRDIOBi端子デジタルフィルタ機能選択						
	0	デジタルフィルタ機能なし						
	1	デジタルフィルタ機能あり						
	デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。							
	DFA	TRDIOAi端子デジタルフィルタ機能選択						
	0	デジタルフィルタ機能なし						
	1	デジタルフィルタ機能あり						
	デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。							

- 注1.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2.** DFCK1, DFCK0ビットを設定したあと、カウント動作を開始してください。
- 注3.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1の場合、fCLK/32, fCLK/8, fCLKはそれぞれfHOCO/32, fHOCO/8, fHOCOになります。メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1の場合、fCLK/32, fCLK/8, fCLKはそれぞれfPLL/32, fPLL/8, fPLLになります。

図12-20 タイマRDデジタルフィルタ機能選択レジスタi (TRDDFi) のフォーマット
 [PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード、拡張PWMモード、拡張相補PWMモード、タイマKB PWM出力ゲートモード]

アドレス : F039AH (TRDDF0), F039BH (TRDDF1)

リセット時: 00H^注

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

DFCK1	DFCK0	TRDIOA 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	Hi-Z出力
1	0	L (ロウ・レベル) 出力
1	1	H (ハイ・レベル) 出力
これらのモードで対応する端子をタイマRD2の出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。		

PENB1	PENB0	TRDIOB 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	Hi-Z出力
1	0	L (ロウ・レベル) 出力
1	1	H (ハイ・レベル) 出力
これらのモードで対応する端子をタイマRD2の出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。		

DFD	DFC	TRDIOC 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	Hi-Z出力
1	0	L (ロウ・レベル) 出力
1	1	H (ハイ・レベル) 出力
これらのモードで対応する端子をタイマRD2の出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。		

DFB	DFA	TRDIOD 端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	Hi-Z出力
1	0	L (ロウ・レベル) 出力
1	1	H (ハイ・レベル) 出力
これらのモードで対応する端子をタイマRD2の出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。		

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

12.3.14 タイマRD制御レジスタ0, 1 (TRDCR0, TRDCR1)

リセット同期 PWM モード、PWM3 モードでは、TRDCR1 レジスタは使用しません。

タイマ KB PWM 出力ゲートモード時は、TRDCR0, TRDCR1 レジスタに 00H を設定してください。

図 12 - 21 タイマRD制御レジスタi (TRDCRi) のフォーマット
[入力キャプチャ機能、アウトプットコンペア機能]

アドレス : F03A0H (TRDCR0), F03B0H (TRDCR1)

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRDiカウンタ・クリア選択				
	0	0	0	クリア禁止 (フリーランニング動作)				
	0	0	1	TRDGRAiの入力キャプチャ/コンペア一致でクリア				
	0	1	0	TRDGRBiの入力キャプチャ/コンペア一致でクリア				
	0	1	1	同期クリア (ほかのタイマRD2iのカウンタと同時にクリア) ^{注2}				
	1	0	1	TRDGRCiの入力キャプチャ/コンペア一致でクリア				
	1	1	0	TRDGRDiの入力キャプチャ/コンペア一致でクリア				
	上記以外			設定禁止				
	CKEG1	CKEG0	外部クロックエッジ選択 ^{注3}					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO ^{注4} , fPLL ^{注7}				
	0	0	1	fCLK/2 ^{注5}				
	0	1	0	fCLK/4 ^{注5}				
	0	1	1	fCLK/8 ^{注5}				
	1	0	0	fCLK/32 ^{注5}				
	1	0	1	TRDCLK入力 ^{注6}				
	上記以外			設定禁止				

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出して下さい。

注2. TRDMRレジスタのTRDSYNCビットが1 (TRD0とTRD1は同期動作) のとき、有効です。

注3. TCK2-TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効) のとき、有効です。

- 注4.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが0のときはfCLK、FRQSEL4ビットが1のときはfHOCOが選択されます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをクリアしたあとに変更してください。
- 注5.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1またはメイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは設定しないでください。
- 注6.** TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効) のとき、有効です。
- 注7.** メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは、fPLLが供給されます。

図12-22 タイマRD制御レジスタi (TRDCRi) のフォーマット [PWM機能]

アドレス : F03A0H (TRDCR0), F03B0H (TRDCR1)

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRDiカウンタ・クリア選択				
001B (TRDGRAiレジスタとのコンペアー致でTRDiカウンタ・クリア) にしてください。								
	CKEG1	CKEG0	外部クロックエッジ選択 ^{注2}					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO ^{注3} , fPLL ^{注6}				
	0	0	1	fCLK/2 ^{注4}				
	0	1	0	fCLK/4 ^{注4}				
	0	1	1	fCLK/8 ^{注4}				
	1	0	0	fCLK/32 ^{注4}				
	1	0	1	TRDCLK入力 ^{注5}				
	上記以外			設定禁止				

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TCK2-TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効) のとき、有効です。

注3. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが0のときはfCLK、FRQSEL4ビットが1のときはfHOCOが選択されます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをクリアしたあとに変更してください。

注4. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1またはメイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは設定しないでください。

注5. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効) のとき、有効です。

注6. メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは、fPLLが供給されます。

図12-23 タイマRD制御レジスタ0 (TRDCR0) のフォーマット [リセット同期PWMモード]

アドレス : F03A0H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRD0カウンタ・クリア選択				
001B (TRDGRA0レジスタとのコンペア一致でTRD0カウンタ・クリア) にしてください。								
	CKEG1	CKEG0	外部クロックエッジ選択 ^{注2}					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO ^{注3} , fPLL ^{注6}				
	0	0	1	fCLK/2 ^{注4}				
	0	1	0	fCLK/4 ^{注4}				
	0	1	1	fCLK/8 ^{注4}				
	1	0	0	fCLK/32 ^{注4}				
	1	0	1	TRDCLK入力 ^{注5}				
	上記以外			設定禁止				

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TCK2-TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効) のとき、有効です。

注3. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが0のときはfCLK、FRQSEL4ビットが1のときはfHOCOが選択されます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをクリアしたあとに変更してください。

注4. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1またはメイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは設定しないでください。

注5. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効) のとき、有効です。

注6. メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは、fPLLが供給されます。

図12-24 タイマRD制御レジスタi (TRDCRi) のフォーマット [相補PWMモード、拡張相補PWMモード]

アドレス : F03A0H (TRDCR0), F03B0H (TRDCR1)

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRD0カウンタ・クリア選択				
000B (クリア禁止 (フリーランニング動作)) にしてください。								
	CKEG1	CKEG0	外部クロックエッジ選択 ^{注2,3}					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO ^{注4} , fPLL ^{注7}				
	0	0	1	fCLK/2 ^{注5}				
	0	1	0	fCLK/4 ^{注5}				
	0	1	1	fCLK/8 ^{注5}				
	1	0	0	fCLK/32 ^{注5}				
	1	0	1	TRDCLK入力 ^{注6}				
	上記以外			設定禁止				

- 注1.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2.** TCK2-TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効) のとき、有効です。
- 注3.** TRDCR0レジスタとTRDCR1レジスタのTCK2-TCK0, CKEG1, CKEG0ビットの設定は、同じにしてください。
- 注4.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが0のときはfCLK、FRQSEL4ビットが1のときはfHOCOが選択されます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをクリアしたあとに変更してください。
- 注5.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1またはメイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは設定しないでください。
- 注6.** TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効) のとき、有効です。
- 注7.** メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは、fPLLが供給されます。

図12-25 タイマRD制御レジスタ0 (TRDCR0) のフォーマット [PWM3モード]

アドレス : F03A0H (TRDCR0)

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
CCLR2			CCLR1	CCLR0	TRD0カウンタ・クリア選択			
001B (TRDGRA0レジスタとのコンパレー一致でTRD0カウンタ・クリア) にしてください。								
CKEG1		CKEG0		外部クロックエッジ選択				
PWM3モードでは無効です。								
TCK2			TCK1	TCK0	カウントソース選択			
0			0	0	fCLK, fHOCO ^{注2} , fPLL ^{注4}			
0			0	1	fCLK/2 ^{注3}			
0			1	0	fCLK/4 ^{注3}			
0			1	1	fCLK/8 ^{注3}			
1			0	0	fCLK/32 ^{注3}			
上記以外				設定禁止				

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが0のときはfCLK、FRQSEL4ビットが1のときはfHOCOが選択されます。カウントソースにfHOCOを選択する場合、タイマカウント開始する前にfCLKはfIHを選択してください。

注3. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1またはメイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは設定しないでください。

注4. メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは、fPLLが供給されます。

12.3.15 タイマRD I/O制御レジスタ A0, 1 (TRDIORA0, TRDIORA1)

図12-26 タイマRD I/O制御レジスタ Ai (TRDIORAi) のフォーマット [インプットキャプチャ機能]

アドレス : F03A1H (TRDIORA0), F03B1H (TRDIORA1)

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0	
TRDIORAi	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0	
IOB2	TRDGRBモード選択 ^{注2}								
インプットキャプチャ機能では1 (インプットキャプチャ) にしてください。									
IOB1	IOB0	TRDGRB制御							
0	0	立ち上がりエッジでTRDGRBiへインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRBiへインプットキャプチャ							
1	0	両エッジでTRDGRBiへインプットキャプチャ							
上記以外		設定禁止							
IOA2	TRDGRAモード選択 ^{注3}								
インプットキャプチャ機能では1 (インプットキャプチャ) にしてください。									
IOA1	IOA0	TRDGRA制御							
0	0	立ち上がりエッジでTRDGRAiへインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRAiへインプットキャプチャ							
1	0	両エッジでTRDGRAiへインプットキャプチャ							
上記以外		設定禁止							

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出して下さい。

注2. TRDMRレジスタのTRDBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ) を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ) を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

図12-27 タイマRD I/O制御レジスタAi (TRDIORAi) のフォーマット [アウトプットコンペア機能]

アドレス : F03A1H (TRDIOA0), F03B1H (TRDIOA1)

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDIOA _i	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0
IOB2		TRDGRBモード選択 ^{注2}						
アウトプットコンペア機能では0 (アウトプットコンペア) にしてください。								
IOB1	IOB0	TRDGRB制御						
0	0	コンペア一致による端子出力禁止 (TRDIOB _i 端子はI/Oポート)						
0	1	TRDGRB _i のコンペア一致でL (ロウ・レベル) 出力						
1	0	TRDGRB _i のコンペア一致でH (ハイ・レベル) 出力						
1	1	TRDGRB _i のコンペア一致でトグル出力						
IOA2		TRDGRAモード選択 ^{注3}						
アウトプットコンペア機能では0 (アウトプットコンペア) にしてください。								
IOA1	IOA0	TRDGRA制御						
0	0	コンペア一致による端子出力禁止 (TRDIOA _i 端子はI/Oポート)						
0	1	TRDGRA _i のコンペア一致でL (ロウ・レベル) 出力						
1	0	TRDGRA _i のコンペア一致でH (ハイ・レベル) 出力						
1	1	TRDGRA _i のコンペア一致でトグル出力						

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFD_iビットで1 (TRDGRB_iレジスタのバッファレジスタ) を選択した場合、TRDIOA_iレジスタのIOB2ビットとTRDIORC_iレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFC_iビットで1 (TRDGRA_iレジスタのバッファレジスタ) を選択した場合、TRDIOA_iレジスタのIOA2ビットとTRDIORC_iレジスタのIOC2ビットの設定を同じにしてください。

12.3.16 タイマRD I/O制御レジスタC0, 1 (TRDIORC0, TRDIORC1)

図12-28 タイマRD I/O制御レジスタCi (TRDIORCi) のフォーマット [インプットキャプチャ機能]

アドレス : F03A2H (TRDIORC0), F03B2H (TRDIORC1)

リセット時: 88H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0	
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
IOD3	TRDGRDレジスタ機能選択								
インプットキャプチャ機能では1 (ジェネラルレジスタまたはバッファレジスタ) にしてください。									
IOD2	TRDGRDモード選択 ^{注2}								
インプットキャプチャ機能では1 (インプットキャプチャ) にしてください。									
IOD1	IOD0	TRDGRD制御							
0	0	立ち上がりエッジでTRDGRDiへインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRDiへインプットキャプチャ							
1	0	両エッジでTRDGRDiへインプットキャプチャ							
上記以外		設定禁止							
IOC3	TRDGRCレジスタ機能選択								
インプットキャプチャ機能では1 (ジェネラルレジスタまたはバッファレジスタ) にしてください。									
IOC2	TRDGRCモード選択 ^{注3}								
インプットキャプチャ機能では1 (インプットキャプチャ) にしてください。									
IOC1	IOC0	TRDGRC制御							
0	0	立ち上がりエッジでTRDGRCiへインプットキャプチャ							
0	1	立ち下がりエッジでTRDGRCiへインプットキャプチャ							
1	0	両エッジでTRDGRCiへインプットキャプチャ							
上記以外		設定禁止							

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出して下さい。

注2. TRDMRレジスタのTRDBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ) を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ) を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

図12-29 タイマRD I/O制御レジスタCi (TRDIORCi) のフォーマット [アウトプットコンペア機能]

アドレス : F03A2H (TRDIORC0), F03B2H (TRDIORC1)

リセット時: 88H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
IOD3	TRDGRD レジスタ機能選択							
0	TRDIOB出力レジスタ (12.5.2 (2) TRDGRCi, TRDGRDi レジスタ (i = 0, 1) の出力端子変更参照)							
1	ジェネラルレジスタまたはバッファレジスタ							
IOD2	TRDGRDモード選択 ^{注2}							
アウトプットコンペア機能では0 (アウトプットコンペア) にしてください。								
IOD1	IOD0	TRDGRD制御						
0	0	コンペア一致による端子出力禁止						
0	1	TRDGRDiのコンペア一致でL (ロウ・レベル) 出力						
1	0	TRDGRDiのコンペア一致でH (ハイ・レベル) 出力						
1	1	TRDGRDiのコンペア一致でトグル出力						
IOC3	TRDGRC レジスタ機能選択							
0	TRDIOA出力レジスタ (12.5.2 (2) TRDGRCi, TRDGRDi レジスタ (i = 0, 1) の出力端子変更参照)							
1	ジェネラルレジスタまたはバッファレジスタ							
IOC2	TRDGRCモード選択 ^{注3}							
アウトプットコンペア機能では0 (アウトプットコンペア) にしてください。								
IOC1	IOC0	TRDGRC制御						
0	0	コンペア一致による端子出力禁止						
0	1	TRDGRCiのコンペア一致でL (ロウ・レベル) 出力						
1	0	TRDGRCiのコンペア一致でH (ハイ・レベル) 出力						
1	1	TRDGRCiのコンペア一致でトグル出力						

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ) を選択した場合、TRDIORAIレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ) を選択した場合、TRDIORAIレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

12.3.17 タイマRDステータスレジスタ0 (TRDSR0)

図12-30 タイマRDステータスレジスタ0 (TRDSR0) のフォーマット [インプットキャプチャ機能]

アドレス : F03A3H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDSR0	0	0	0	OVF	IMFD	IMFC	IMFB	IMFA
OVF	オーバフローフラグ ^{注2}							
[0になる要因] 読んだあと、0を書く ^{注3}								
[1になる要因] TRD0がオーバフローしたとき								
IMFD	インプットキャプチャ/コンペアー致フラグD ^{注4}							
[0になる要因] 読んだあと、0を書く ^{注3}								
[1になる要因] TRDIOD0端子の入力エッジ ^{注5}								
IMFC	インプットキャプチャ/コンペアー致フラグC ^{注4}							
[0になる要因] 読んだあと、0を書く ^{注3}								
[1になる要因] TRDIOC0端子の入力エッジ ^{注5}								
IMFB	インプットキャプチャ/コンペアー致フラグB ^{注4}							
[0になる要因] 読んだあと、0を書く ^{注3}								
[1になる要因] TRDIOB0端子の入力エッジ ^{注6}								
IMFA	インプットキャプチャ/コンペアー致フラグA ^{注4}							
[0になる要因] 読んだあと、0を書く ^{注3}								
[1になる要因] TRDIOA0端子の入力エッジ ^{注6}								

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. オーバフローフラグは、タイマRD20のカウンタ値がFFFFHから0000Hになった場合に1となります。また、TRDCR0レジスタのCCLR2-CCLR0ビットの設定によって、動作中のインプットキャプチャ/コンペアー致により、タイマRD20のカウンタ値がFFFFHから0000Hになった場合に1となります。

(注、備考は次ページに続きます)

注3. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだあとで、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くと0になります。

ただし、タイマRD2の、ある割り込み要因のステータスフラグ（以下「当該ステータスフラグ」とする）を0にすると、その割り込みがタイマRD割り込み許可レジスタ i (TRDIER i) で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタ i (TRDIER i) を00H (すべての割り込みを禁止) にしたあと、当該ステータスフラグに0を書いてください。

(b) タイマRD割り込み許可レジスタ i (TRDIER i) の中に1 (許可) にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA, OVIE が割り込み許可、IMIEB が割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタ i (TRDIER i) の状態

TRDIER i	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み禁止

・タイマRDステータスレジスタ i (TRDSR i) の状態

TRDSR i	—	—	—	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	0

割り込み許可にしているビットに対応するステータスフラグ (OVF, IMFA) が0なので、IMFBに0を書いてください。

(c) タイマRD割り込み許可レジスタ i (TRDIER i) の中に1 (許可) にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くと同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタ i (TRDIER i) の状態

TRDIER i	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み禁止

・タイマRDステータスレジスタ i (TRDSR i) の状態

TRDSR i	—	—	—	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	1

割り込み許可にしているビットに対応するステータスフラグ (IMFA) が1なので、IMFBと同時にIMFAにも0を書いてください。

注4. DTCを使用する場合、IMFA, IMFB, IMFC, IMFDフラグは、DTCの転送終了後に1になります。

注5. TRDIORC0レジスタのIOk1, IOk0ビット (k = CまたはD) で選択したエッジ。

TRDMRレジスタのTRDBFk0ビットが1 (TRDGRk0はバッファレジスタ) の場合を含む。

注6. TRDIORA0レジスタのIOj1, IOj0ビット (j = AまたはB) で選択したエッジ。

備考 i = 0

図12-31 タイマRDステータスレジスタ0 (TRDSR0) のフォーマット [インプットキャプチャ機能以外] (1/2)

アドレス : F03A3H

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDSR0	0	0	0	OVF	IMFD	IMFC	IMFB	IMFA

OVF	オーバフローフラグ ^{注2}
[0になる要因] 読んだあと、0を書く ^{注3} [1になる要因] TRD0がオーバフローしたとき 拡張相補PWMモードとタイマKB PWM出力ゲートモードでは使用しないでください。	

IMFD	インプットキャプチャ/コンペアー致フラグD ^{注4}
拡張PWMモードのとき [0になる要因] 読んだあと、0を書く ^{注3} [1になる要因] TRD0とTRDCMPB0の値が一致したとき 拡張PWMモード以外のとき [0になる要因] 読んだあと、0を書く ^{注3} [1になる要因] TRD0とTRDGRD0の値が一致したとき ^{注5} 拡張相補PWMモードとタイマKB PWM出力ゲートモードでは使用しないでください。	

IMFC	インプットキャプチャ/コンペアー致フラグC ^{注4}
[0になる要因] 読んだあと、0を書く ^{注3} [1になる要因] TRD0とTRDGRC0の値が一致したとき ^{注5} 拡張相補PWMモードとタイマKB PWM出力ゲートモードでは使用しないでください。	

IMFB	インプットキャプチャ/コンペアー致フラグB ^{注4}
[0になる要因] 読んだあと、0を書く ^{注3} [1になる要因] TRD0とTRDGRB0の値が一致したとき 拡張相補PWMモードとタイマKB PWM出力ゲートモードでは使用しないでください。	

図12-31 タイマRDステータスレジスタ0 (TRDSR0) のフォーマット [インプットキャプチャ機能以外] (2/2)

IMFA	インプットキャプチャ/コンペアー致フラグA ^{注4}
[0になる要因] 読んだあと、0を書く ^{注3}	
[1になる要因] TRD0とTRDGRA0の値が一致したとき	
拡張相補PWMモードでは使用しないでください。	

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. オーバフローフラグは、タイマRD20のカウンタ値がFFFFHから0000Hになった場合に1となります。また、TRDCR0レジスタのCCLR2-CCLR0ビットの設定によって、動作中のインプットキャプチャ/コンペアー致により、タイマRD20のカウンタ値がFFFFHから0000Hになった場合に1となります。

注3. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません (読んだあとで、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くと0になります。

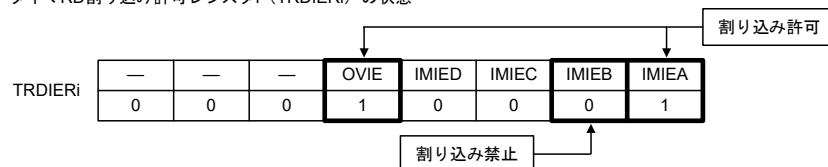
ただし、タイマRD2の、ある割り込み要因のステータスフラグ (以下「当該ステータスフラグ」とする) を0にすると、その割り込みがタイマRD割り込み許可レジスタi (TRDIERi) で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタi (TRDIERi) を00H (すべての割り込みを禁止) にしたあと、当該ステータスフラグに0を書いてください。

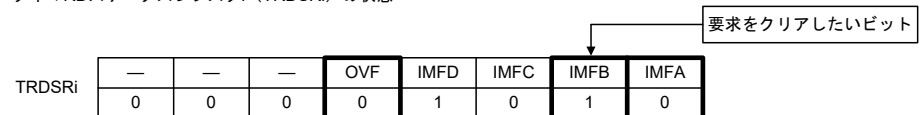
(b) タイマRD割り込み許可レジスタi (TRDIERi) の中に1 (許可) にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA, OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi) の状態



・タイマRDステータスレジスタi (TRDSRi) の状態



割り込み許可にしているビットに対応するステータスフラグ (OVF, IMFA) が0なので、IMFBに0を書いてください。

(注、備考は次ページに続きます)

- (c) タイマRD割り込み許可レジスタ i (TRDIER i) の中に1 (許可) にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタ i (TRDIER i) の状態



・タイマRDステータスレジスタ i (TRDSR i) の状態



注4. DTCを使用する場合、IMFA, IMFB, IMFC, IMFDフラグは、DTCの転送終了後に1になります。

注5. TRDMRレジスタのTRDBFk0ビット (k = CまたはD) が1 (TRDGRk0はバッファレジスタ) の場合を含む。

備考 i = 0

12.3.18 タイマRDステータスレジスタ1 (TRDSR1)

図12-32 タイマRDステータスレジスタ1 (TRDSR1) のフォーマット [インプットキャプチャ機能]

アドレス : F03B3H

リセット時: 40H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDSR1	0	UDS	UDF	OVF	IMFD	IMFC	IMFB	IMFA
UDS	カウンタ動作ステータスフラグ							
インプットキャプチャ機能では無効です。								
UDF	アンダフローフラグ							
インプットキャプチャ機能では無効です。								
OVF	オーバフローフラグ ^{注2}							
[0になる要因] 読んだあと、0を書く ^{注3}								
[1になる要因] TRD1がオーバフローしたとき								
IMFD	インプットキャプチャ/コンペアー致フラグD ^{注4}							
[0になる要因] 読んだあと、0を書く ^{注3}								
[1になる要因] TRDIOD1端子の入力エッジ ^{注5}								
IMFC	インプットキャプチャ/コンペアー致フラグC ^{注4}							
[0になる要因] 読んだあと、0を書く ^{注3}								
[1になる要因] TRDIOC1端子の入力エッジ ^{注5}								
IMFB	インプットキャプチャ/コンペアー致フラグB ^{注4}							
[0になる要因] 読んだあと、0を書く ^{注3}								
[1になる要因] TRDIOB1端子の入力エッジ ^{注6}								
IMFA	インプットキャプチャ/コンペアー致フラグA ^{注4}							
[0になる要因] 読んだあと、0を書く ^{注3}								
[1になる要因] TRDIOA1端子の入力エッジ ^{注6}								

(注、備考は次ページに続きます)

- 注1.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2.** オーバフローフラグは、タイマRD21のカウンタ値がFFFFHから0000Hになった場合に1となります。また、TRDCR1レジスタのCCLR2-CCLR0ビットの設定によって、動作中のインプットキャプチャ/コンパレータにより、タイマRD21のカウンタ値がFFFFHから0000Hになった場合に1となります。
- 注3.** 書き込み結果は次のようになります。
- 1を書いた場合は変化しません。
 - 読んだ結果が0の場合、同じビットに0を書いても変化しません (読んだあとで、0から1に変化した場合、0を書いても1のままです)。
 - 読んだ結果が1の場合、同じビットに0を書くと0になります。
- ただし、タイマRD2の、ある割り込み要因のステータスフラグ (以下「当該ステータスフラグ」とする) を0にすると、その割り込みがタイマRD割り込み許可レジスタi (TRDIERi) で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

- (a) タイマRD割り込み許可レジスタi (TRDIERi) を00H (すべての割り込みを禁止) にしたあと、当該ステータスフラグに0を書いてください。
- (b) タイマRD割り込み許可レジスタi (TRDIERi) の中に1 (許可) にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA, OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi) の状態

TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み禁止

・タイマRDステータスレジスタi (TRDSRi) の状態

TRDSRi	—	UDS	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	1	0	0	1	0	1	0

割り込み許可にしているビットに対応するステータスフラグ (OVF, IMFA) が0なので、IMFBに0を書いてください。

- (c) タイマRD割り込み許可レジスタi (TRDIERi) の中に1 (許可) にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くと同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi (TRDIERi) の状態

TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み禁止

・タイマRDステータスレジスタi (TRDSRi) の状態

TRDSRi	—	UDS	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	1	0	0	1	0	1	1

割り込み許可にしているビットに対応するステータスフラグ (IMFA) が1なので、IMFBと同時にIMFAにも0を書いてください。

- 注4.** DTCを使用する場合、IMFA, IMFB, IMFC, IMFDフラグは、DTCの転送終了後に1になります。

(注、備考は次ページに続きます)

- 注5.** TRDIORC1レジスタのIOk1, IOk0ビット (k = CまたはD) で選択したエッジ。
TRDMRレジスタのTRDBFk1ビットが1 (TRDGRk1はバッファレジスタ) の場合を含む。
- 注6.** TRDIORA1レジスタのIOj1, IOj0ビット (j = AまたはB) で選択したエッジ。

備考 i = 1

図12-33 タイマRDステータスレジスタ1 (TRDSR1) のフォーマット [インプットキャプチャ機能以外] (1/2)

アドレス : F03B3H

リセット時: 40H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDSR1	0	UDS	UDF	OVF	IMFD	IMFC	IMFB	IMFA
UDS	カウンタ動作ステータスフラグ							
拡張相補PWMモードのとき [0になる要因] TRD1がダウンカウント動作中 [1になる要因] TRD1がアップカウント動作中 拡張相補PWMモード以外では無効です。								
UDF	アンダフローフラグ							
相補PWMモード、拡張相補PWMモードのとき [0になる要因] 読んだあと、0を書く ^{注2} [1になる要因] TRD1がアンダフローしたとき 相補PWMモード、拡張相補PWMモード以外では無効です。								
OVF	オーバフローフラグ ^{注3}							
拡張相補PWMモードのとき [0になる要因] 読んだあと、0を書く ^{注2} [1になる要因] TRD0とTRDGRA0の値が一致したとき 拡張相補PWMモード以外のとき [0になる要因] 読んだあと、0を書く ^{注2} [1になる要因] TRD1がオーバフローしたとき タイマKB PWM出力ゲートモードでは使用しないでください。								

図12-33 タイマRDステータスレジスタ1 (TRDSR1) のフォーマット [インプットキャプチャ機能以外] (2/2)

IMFD	インプットキャプチャ/コンペアー致フラグD ^{注4}
拡張PWMモードのとき [0になる要因] 読んだあと、0を書く ^{注2} [1になる要因] TRD1とTRDCMPB1の値が一致したとき 拡張PWMモード以外のとき [0になる要因] 読んだあと、0を書く ^{注2} [1になる要因] TRD1とTRDGRD1の値が一致したとき ^{注5} 拡張相補PWMモードとタイマKB PWM出力ゲートモードでは使用しないでください。	
IMFC	インプットキャプチャ/コンペアー致フラグC ^{注4}
[0になる要因] 読んだあと、0を書く ^{注2} [1になる要因] TRD1とTRDGRC1の値が一致したとき ^{注5} 拡張相補PWMモードとタイマKB PWM出力ゲートモードでは使用しないでください。	
IMFB	インプットキャプチャ/コンペアー致フラグB ^{注4}
[0になる要因] 読んだあと、0を書く ^{注2} [1になる要因] TRD1とTRDGRB1の値が一致したとき 拡張相補PWMモードとタイマKB PWM出力ゲートモードでは使用しないでください。	
IMFA	インプットキャプチャ/コンペアー致フラグA ^{注4}
[0になる要因] 読んだあと、0を書く ^{注2} [1になる要因] TRD1とTRDGRA1の値が一致したとき 拡張相補PWMモードでは使用しないでください。	

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

(注、備考は次ページに続きます)

注2. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだあとで、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くと0になります。

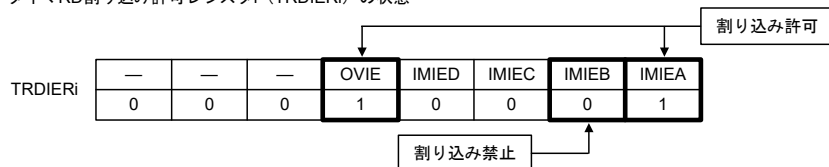
ただし、タイマRD2の、ある割り込み要因のステータスフラグ（以下「当該ステータスフラグ」とする）を0にするとき、その割り込みがタイマRD割り込み許可レジスタi（TRDIERi）で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタi（TRDIERi）を00H（すべての割り込みを禁止）にしたあと、当該ステータスフラグに0を書いてください。

(b) タイマRD割り込み許可レジスタi（TRDIERi）の中に1（許可）にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) IMIEA, OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi（TRDIERi）の状態



・タイマRDステータスレジスタi（TRDSRi）の状態



(c) タイマRD割り込み許可レジスタi（TRDIERi）の中に1（許可）にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くと同時に0を書いてください。

(例) IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタi（TRDIERi）の状態



・タイマRDステータスレジスタi（TRDSRi）の状態



注3. オーバフローフラグは、タイマRD21のカウンタ値がFFFFHから0000Hになった場合に1となります。また、TRDCR1レジスタのCCLR2-CCLR0ビットの設定によって、動作中のインプットキャプチャ/コンパレータにより、タイマRD21のカウンタ値がFFFFHから0000Hになった場合に1となります。

注4. DTCを使用する場合、IMFA, IMFB, IMFC, IMFDフラグは、DTCの転送終了後に1になります。

注5. TRDMRレジスタのTRDBFk1ビット（k=CまたはD）が1（TRDGRk1はバッファレジスタ）の場合を含む。

備考 i = 1

12.3.19 タイマRD割り込み許可レジスタ0, 1 (TRDIER0, TRDIER1)

図12-34 タイマRD割り込み許可レジスタ*i* (TRDIER*i*) のフォーマット

アドレス : F03A4H (TRDIER0), F03B4H (TRDIER1)

リセット時: 00H^{注1}

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDIER <i>i</i>	0	0	0	OVIE	IMIED	IMIEC	IMIEB	IMIEA
OVIE	オーバフロー／アンダフロー割り込み許可							
0	OVF, UDF フラグによる割り込み (OVI) 禁止							
1	OVF, UDF フラグによる割り込み (OVI) 許可							
IMIED	インプットキャプチャ／コンペアー一致割り込み許可D							
0	IMFD フラグによる割り込み禁止							
1	IMFD フラグによる割り込み許可							
IMIEC ^{注2}	インプットキャプチャ／コンペアー一致割り込み許可C							
0	IMFC フラグによる割り込み禁止							
1	IMFC フラグによる割り込み許可							
IMIEB	インプットキャプチャ／コンペアー一致割り込み許可B							
0	IMFB フラグによる割り込み禁止							
1	IMFB フラグによる割り込み許可							
IMIEA	インプットキャプチャ／コンペアー一致割り込み許可A							
0	IMFA フラグによる割り込み禁止							
1	IMFA フラグによる割り込み許可							

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 拡張PWMモード時は、0を設定してください。

12.3.20 タイマRD PWM出力レベル制御レジスタ0 (TRDPOCR0)

TRDPOCR0 レジスタへの設定は、タイマモード (PWM 機能)、拡張 PWM モード、タイマ KB PWM 出力ゲートモードのときのみ有効です。

図12-35 タイマRD PWM出力レベル制御レジスタ0 (TRDPOCR0) のフォーマット
[PWM機能、拡張PWMモード]

アドレス : F03A5H (TRDPOCR0), F03B5H (TRDPOCR1)

リセット時: 00H^注

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDPOCR0	0	0	0	0	0	POLD	POLC	POLB
POLD	PWM機能、拡張PWMモード時の出力レベル制御D							
0	TRDIODiの出力レベルはLアクティブ							
1	TRDIODiの出力レベルはHアクティブ							
POLC	PWM機能、拡張PWMモード時の出力レベル制御C							
0	TRDIOCiの出力レベルはLアクティブ							
1	TRDIOCiの出力レベルはHアクティブ							
拡張PWMモードでは0にしてください。								
POLB	PWM機能、拡張PWMモード時の出力レベル制御B							
0	TRDIOBiの出力レベルはLアクティブ							
1	TRDIOBiの出力レベルはHアクティブ							

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図12-36 タイマRD PWM出力レベル制御レジスタ0 (TRDPOCR0) のフォーマット
[タイマKB PWM出力ゲートモード]

アドレス : F03A5H (TRDPOCR0), F03B5H (TRDPOCR1)

リセット時: 00H^注

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDPOCR0	0	0	0	0	0	POLD	POLC	POLB
POLD	タイマKB PWM出力ゲートモード時の出力レベル制御D							
0	TRDTKBOUT5・TRDIOD0の出力レベルはLアクティブ							
1	TRDTKBOUT5・TRDIOD0の出力レベルはHアクティブ							
POLC	タイマKB PWM出力ゲートモード時の出力レベル制御C							
タイマKB PWM出力ゲートモードでは0にしてください。								
POLB	タイマKB PWM出力ゲートモード時の出力レベル制御B							
0	TRDTKBOUT4・TRDIOB0の出力レベルはLアクティブ							
1	TRDTKBOUT4・TRDIOB0の出力レベルはHアクティブ							

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

12.3.21 タイマRD PWM出力レベル制御レジスタ1 (TRDPOCR1)

TRDPOCR1 レジスタへの設定は、タイマモード (PWM 機能)、拡張 PWM モード、タイマ KB PWM 出力ゲートモードのときのみ有効です。

図12-37 タイマRD PWM出力レベル制御レジスタ1 (TRDPOCR1) のフォーマット
[PWM機能、拡張PWMモード]

アドレス : F03A5H (TRDPOCR0), F03B5H (TRDPOCR1)

リセット時: 00H^注

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDPOCR1	0	0	0	0	POLA	POLD	POLC	POLB
POLA	PWM機能、拡張PWMモード時の出力レベル制御A							
PWM機能、拡張PWMモードでは0にしてください。								
POLD	PWM機能、拡張PWMモード時の出力レベル制御D							
0	TRDIODiの出力レベルはLアクティブ							
1	TRDIODiの出力レベルはHアクティブ							
POLC	PWM機能、拡張PWMモード時の出力レベル制御C							
0	TRDIODiの出力レベルはLアクティブ							
1	TRDIODiの出力レベルはHアクティブ							
拡張PWMモードでは0にしてください。								
POLB	PWM機能、拡張PWMモード時の出力レベル制御B							
0	TRDIOBiの出力レベルはLアクティブ							
1	TRDIOBiの出力レベルはHアクティブ							

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図12-38 タイマRD PWM出力レベル制御レジスタ1 (TRDPOCR1) のフォーマット
[タイマKB PWM出力ゲートモード]

アドレス : F03A5H (TRDPOCR0), F03B5H (TRDPOCR1)

リセット時: 00H^注

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDPOCR1	0	0	0	0	POLA	POLD	POLC	POLB
POLA	タイマKB PWM出力ゲートモード時の出力レベル制御A							
0	TRDTKBOUT3・TRDIOA1の出力レベルはLアクティブ							
1	TRDTKBOUT3・TRDIOA1の出力レベルはHアクティブ							
POLD	タイマKB PWM出力ゲートモード時の出力レベル制御D							
0	TRDTKBOUT2・TRDIOD1の出力レベルはLアクティブ							
1	TRDTKBOUT2・TRDIOD1の出力レベルはHアクティブ							
POLC	タイマKB PWM出力ゲートモード時の出力レベル制御C							
0	TRDTKBOUT1・TRDIOC1の出力レベルはLアクティブ							
1	TRDTKBOUT1・TRDIOC1の出力レベルはHアクティブ							
POLB	タイマKB PWM出力ゲートモード時の出力レベル制御B							
0	TRDTKBOUT0・TRDIOB1の出力レベルはLアクティブ							
1	TRDTKBOUT0・TRDIOB1の出力レベルはHアクティブ							

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

12.3.22 タイマRDカウンタ0, 1 (TRD0, TRD1)

[タイマモード]

TRDiカウンタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[リセット同期 PWM モード、PWM3 モード]

TRD0カウンタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。リセット同期PWMモードおよびPWM3モードでは、TRD1カウンタは使用しません。

[相補 PWM モード、拡張相補 PWM モード (TRD0)]

TRD0カウンタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[相補 PWM モード、拡張相補 PWM モード (TRD1)]

TRD1カウンタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[拡張 PWM モード、タイマ KB PWM 出力ゲートモード]

TRDiカウンタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図12-39 タイマRDカウンタi (TRDi) のフォーマット [タイマモード]

アドレス : F03A6H (TRD0), F03B6H (TRD1)

リセット時: 0000H^注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi																
	機能															
ビット15-0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSRiレジスタのOVFフラグが1になる。															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図12-40 タイマRDカウンタ0 (TRD0) のフォーマット [リセット同期PWMモード、PWM3モード]

アドレス : F03A6H (TRD0)

リセット時: 0000H^注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0																

—	機能
ビット15-0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0レジスタのOVFフラグが1になる。

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図12-41 タイマRDカウンタ0 (TRD0) のフォーマット [相補PWMモード、拡張相補PWMモード (TRD0)]

アドレス : F03A6H (TRD0)

リセット時: 0000H^{注1}

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0																

—	機能
ビット15-0	短絡防止時間を設定してください。設定範囲はモードによって異なります。 相補PWMモード時 : 0001H ~ 7FFFH 拡張相補PWMモード時 : 0002H ~ 7FFFH ^{注2} カウントソースをカウント。 カウント動作はアップカウントまたはダウンカウント。

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 拡張相補PWMモード時の短絡防止時間は、相補PWM周期の1/4未満になるように設定してください。

図12-42 タイマRDカウンタ1 (TRD1) のフォーマット [相補PWMモード、拡張相補PWMモード (TRD1)]

アドレス : F03B6H (TRD1)

リセット時: 0000H^注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD1																
—	機能															
ビット15-0	0000Hを設定してください。 カウントソースをカウント。 カウント動作はアップカウントまたはダウンカウント。 アンダフローすると、TRDSR1レジスタのUDFフラグが1になる。															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図12-43 タイマRDカウンタ1 (TRD1) のフォーマット [拡張PWMモード、タイマKB PWM出力ゲートモード]

アドレス : F03B6H (TRD1)

リセット時: 0000H^注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD1																
—	機能															
ビット15-0	0000Hを設定してください。 カウントソースをカウント。 カウント動作はアップカウント。 周期一致すると、TRDSRiレジスタのIMFAビットが1になる。															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

12.3.23 タイマRD ジェネラルレジスタ A0, A1, B0, B1, C0, C1, D0, D1 (TRDGRA0, TRDGRA1, TRDGRB0, TRDGRB1, TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1)

[インプットキャプチャ機能]

TRDGRAi~TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

TRDIOji端子に入力するインプットキャプチャ信号のパルス幅は、デジタルフィルタなし（TRDDFiレジスタのDFjビットが0）の場合、タイマRD2の動作クロック（fCLK）の3サイクル以上にしてください。

[アウトプットコンペア機能]

TRDGRAi~TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[PWM 機能]

TRDGRAi~TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[リセット同期 PWM モード]

TRDGRAi~TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[相補 PWM モード]

TRDGRAi~TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0レジスタは使用しません。

TRDGRB0, TRDGRA1, TRDGRB1レジスタには、カウント開始後、直接値を書き込むことができない（禁止事項）ため、TRDGRD0, TRDGRC1, TRDGRD1をバッファレジスタとして使用してください。

ただし、TRDGRD0, TRDGRC1, TRDGRD1の書き込みに際しては、TRDBFD0, TRDBFC1, TRDBFD1ビットを0（ジェネラルレジスタ）にして書き込み、その後TRDBFD0, TRDBFC1, TRDBFD1ビットを1（バッファレジスタ）にできません。

[PWM3 モード]

TRDGRAi~TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは使用ませんが、TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1レジスタをバッファレジスタに使う際に、TRDBFC0, TRDBFC1, TRDBFD0, TRDBFD1ビットを0（ジェネラルレジスタ）にして、TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1レジスタに値を書き込み、その後TRDBFC0, TRDBFC1, TRDBFD0, TRDBFD1ビットを1（バッファレジスタ）にできます。

[拡張 PWM モード]

TRDGRAi~TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[拡張相補 PWM モード]

TRDGRAi~TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

拡張相補PWMモードでは、動作中のTRDGRA0, TRDGRC0レジスタ（PWM周期）の書き換えはできません。

[タイマ KB PWM 出力ゲートモード]

TRDGRAi~TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図12-44 タイマRDジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) のフォーマット [インプットキャプチャ機能]

アドレス : F03A8H (TRDGRA0), F03AAH (TRDGRB0), FFF6CH (TRDGRC0), FFF6EH (TRDGRD0),
F03B8H (TRDGRA1), F03BAH (TRDGRB1), FFF70H (TRDGRC1), FFF72H (TRDGRD1)

リセット時: FFFFH^注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
ビット15-0	表12-2 インプットキャプチャ機能時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表12-2 インプットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRDGRAi	—	ジェネラルレジスタ。インプットキャプチャ時のTRDiカウンタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラルレジスタ。インプットキャプチャ時のTRDiカウンタの値が読めます。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファレジスタ。インプットキャプチャ時のTRDiカウンタの値が読めます (12.4.2 バッファ動作参照)。	TRDIOAi
TRDGRDi	TRDBFDi = 1		TRDIOBi

備考 i = 0, 1; j = A-D

TRDBFCi, TRDBFDi : TRDMRレジスタのビット

図12-45 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) のフォーマット [アウトプットコンペア機能]

アドレス : F03A8H (TRDGRA0), F03AAH (TRDGRB0), FFF6CH (TRDGRC0), FFF6EH (TRDGRD0), F03B8H (TRDGRA1), F03BAH (TRDGRB1), FFF70H (TRDGRC1), FFF72H (TRDGRD1)

リセット時: FFFFH注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
	ビット15-0 表12-3 アウトプットコンペア機能時のTRDGRji レジスタの機能参照															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表12-3 アウトプットコンペア機能時のTRDGRji レジスタの機能

レジスタ	設定		レジスタの機能	アウトプットコンペア出力端子	
	TRDBFji	IOj3			
TRDGRAi	—	—	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOAi	
TRDGRBi				TRDIOBi	
TRDGRCi	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOCi	
TRDGRDi				TRDIODi	
TRDGRCi	1	1	バッファレジスタ。次回のコンペア値を書いてください (12.4.2 バッファ動作参照)。	TRDIOAi	
TRDGRDi				TRDIOBi	
TRDGRCi	0	0	TRDIOAi出力制御	(12.5.2 (2) TRDGRCi, TRDGRDi レジスタ (i = 0, 1) の出力端子変更参照)	TRDIOAi
TRDGRDi			TRDIOBi出力制御		TRDIOBi

注意 TRDCRi レジスタのTCK2-TCK0ビットの設定を000B (fCLK, fH0C0, fPLL)、コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致することに要求信号が発生します。

備考 i = 0, 1; j = A-D

TRDBFji : TRDMRレジスタのビット、IOj3 : TRDIORCiレジスタのビット

図12-46 タイマRDジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) のフォーマット [PWM機能]

アドレス : F03A8H (TRDGRA0), F03AAH (TRDGRB0), FFF6CH (TRDGRC0), FFF6EH (TRDGRD0),
F03B8H (TRDGRA1), F03BAH (TRDGRB1), FFF70H (TRDGRC1), FFF72H (TRDGRD1)

リセット時: FFFFH注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi	機能															
TRDGRDi	機能															
	ビット15-0 表12-4 PWM機能時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表12-4 PWM機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRDGRBi	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファレジスタ。次回のPWM周期を設定してください (12.4.2 バッファ動作参照)。	—
TRDGRDi	TRDBFDi = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (12.4.2 バッファ動作参照)。	TRDIOBi

注意 TRDCRiレジスタのTCK2-TCK0ビットの設定を000B (fCLK, fHOCO, fPLL)、コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致することに要求信号が発生します。

備考 i = 0, 1; j = A-D

TRDBFCi, TRDBFDi : TRDMRレジスタのビット

図12-47 タイマRDジェネラルレジスタAi, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) のフォーマット [リセット同期PWMモード]

アドレス : F03A8H (TRDGRA0), F03AAH (TRDGRB0), FFF6CH (TRDGRC0), FFF6EH (TRDGRD0), F03B8H (TRDGRA1), F03BAH (TRDGRB1), FFF70H (TRDGRC1), FFF72H (TRDGRD1)

リセット時: FFFFH注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi	機能															
TRDGRDi	機能															
ビット15-0	表12-5 リセット同期PWMモード時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表12-5 リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。	TRDIOC0 (PWM周期ごとに出力反転)
TRDGRB0	—	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	TRDBFC0 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD0	TRDBFD0 = 0		
TRDGRA1	—	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	TRDBFC1 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください (12.4.2 バッファ動作参照)。	TRDIOC0 (PWM周期ごとに出力反転)
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (12.4.2 バッファ動作参照)。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (12.4.2 バッファ動作参照)。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (12.4.2 バッファ動作参照)。	TRDIOB1 TRDIOD1

注意 TRDCR0レジスタのTCK2-TCK0ビットの設定を000B (fCLK, fHOCO, fPLL)、コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合にはコンペア一致することに要求信号が発生します。

備考 i = 0, 1; j = A-D

TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1 : TRDMRレジスタのビット

図12-48 タイマRDジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) のフォーマット [相補PWMモード]

アドレス : F03A8H (TRDGRA0), F03AAH (TRDGRB0), FFF6CH (TRDGRC0), FFF6EH (TRDGRD0),
F03B8H (TRDGRA1), F03BAH (TRDGRB1), FFF70H (TRDGRC1), FFF72H (TRDGRD1)

リセット時: FFFFH^注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
ビット15-0	表12-6 相補PWMモード時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表12-6 相補PWMモード時のTRDGRjiレジスタの機能 (1/2)

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0カウンタ設定値（カウント初期値）以上、 FFFFH – TRD0カウンタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットがともに1（カウント開始）のとき書き込まないでください。	TRDIOC0（半周期ごとに出力反転）
TRDGRB0	—	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0カウンタ設定値（カウント初期値）以上、 TRDGRA0レジスタ設定値 – TRD0カウンタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットがともに1（カウント開始）のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	—	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0カウンタ設定値（カウント初期値）以上、 TRDGRA0レジスタ設定値 – TRD0カウンタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットがともに1（カウント開始）のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0カウンタ設定値（カウント初期値）以上、 TRDGRA0レジスタ設定値 – TRD0カウンタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットがともに1（カウント開始）のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	—	使用しません。	—
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (12.4.2 バッファ動作参照)。 設定範囲：TRD0カウンタ設定値（カウント初期値）以上、 TRDGRA0レジスタ設定値 – TRD0カウンタ設定値以下 ^注 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0

★

表12-6 相補PWMモード時のTRDGRjiレジスタの機能 (2/2)

レジスタ	設定	レジスタの機能	PWM出力端子
★ TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (12.4.2 バッファ動作参照)。 設定範囲：TRD0カウンタ設定値（カウント初期値）以上、 TRDGRA0レジスタ設定値 - TRD0カウンタ設定値以下注 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
★ TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (12.4.2 バッファ動作参照)。 設定範囲：TRD0カウンタ設定値（カウント初期値）以上、 TRDGRA0レジスタ設定値 - TRD0カウンタ設定値以下注 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

★ 注 デューティ 0%、デューティ 100%出力時の設定範囲は、12.7.9 相補PWMモードを参照してください。

注意 TRDCRIレジスタのTCK2-TCK0ビットの設定を000B (fCLK, fHOCO, fPLL)、コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合にはコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1; j = A-D
TRDBFD0, TRDBFC1, TRDBFD1 : TRDMRレジスタのビット

図12-49 タイマRDジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) のフォーマット [PWM3モード]

アドレス : F03A8H (TRDGRA0), F03AAH (TRDGRB0), FFF6CH (TRDGRC0), FFF6EH (TRDGRD0),
F03B8H (TRDGRA1), F03BAH (TRDGRB1), FFF70H (TRDGRC1), FFF72H (TRDGRD1)

リセット時: FFFFH注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi	機能															
TRDGRDi	機能															
ビット15-0	表12-7 PWM3モード時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表12-7 PWM3モード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1	—	ジェネラルレジスタ。PWM出力の変化点（アクティブ・レベルになるタイミング）を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下	TRDIOA0
TRDGRB0	—	ジェネラルレジスタ。PWM出力の変化点（初期出力レベルに戻るタイミング）を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上、TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1	—	ジェネラルレジスタ。PWM出力の変化点（アクティブ・レベルになるタイミング）を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下	TRDIOB0
TRDGRC0	TRDBFC0 = 0	(PWM3モードでは使用しません)	—
TRDGRC1	TRDBFC1 = 0		
TRDGRD0	TRDBFD0 = 0		
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください (12.4.2 バッファ動作参照)。 設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (12.4.2 バッファ動作参照)。 設定範囲：TRDGRC0レジスタ設定値以下	TRDIOA0
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (12.4.2 バッファ動作参照)。 設定範囲：TRDGRD1レジスタ設定値以上、TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (12.4.2 バッファ動作参照)。 設定範囲：TRDGRD0レジスタ設定値以下	TRDIOB0

(注意、備考は次ページに続きます)

注意 TRDCR0レジスタのTCK2-TCK0ビットの設定を000B (fCLK, fHOCO, fPLL)、コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1; j = A-D
TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1 : TRDMRレジスタのビット

図12-50 タイマRDジェネラルレジスタAi, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) のフォーマット
[拡張PWMモード]

アドレス : F03A8H (TRDGRA0), F03AAH (TRDGRB0), FFF6CH (TRDGRC0), FFF6EH (TRDGRD0),
F03B8H (TRDGRA1), F03BAH (TRDGRB1), FFF70H (TRDGRC1), FFF72H (TRDGRD1)

リセット時: FFFFH^注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi	機能															
TRDGRDi	機能															
ビット15-0	表12-8 拡張PWMモード時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表12-8 拡張PWMモード時のTRDGRjiレジスタの機能

レジスタ	レジスタの機能	PWM出力端子
TRDGRAi	ジェネラルレジスタ。PWM周期を設定してください。	—
TRDGRBi	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	バッファレジスタ。次回のPWM周期を設定してください。	—
TRDGRDi	バッファレジスタ。次回のPWM出力の変化点を設定してください。	TRDIOBi

注意 バッファレジスタからコンペアレジスタへの書き換えは、一斉書き換え機能を使用します。バッファレジスタの設定後、TRDRDTi.RDTビットに1を設定してください。TRDRSFi.RSFフラグが1のときに一斉書き換えタイミングが発生すると、バッファレジスタからコンペアレジスタに次周期の設定値を転送します。TRDRSFi.RSFフラグが0のときは、バッファレジスタからコンペアレジスタへの転送は行われません。

備考 i = 0, 1; j = A-D

図12-51 タイマRDジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) のフォーマット [拡張相補PWMモード]

アドレス : F03A8H (TRDGRA0), F03AAH (TRDGRB0), FFF6CH (TRDGRC0), FFF6EH (TRDGRD0), F03B8H (TRDGRA1), F03BAH (TRDGRB1), FFF70H (TRDGRC1), FFF72H (TRDGRD1)

リセット時: FFFFH注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
ビット15-0	表12-9 拡張相補PWMモード時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表12-9 拡張相補PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。	TRDIOC0 (半周期ごとに出力反転)
TRDGRB0	CPSS = 0	ジェネラルレジスタ。PWM1出力の変化点が格納されます。	TRDIOB0 TRDIOD0
	CPSS = 1	ジェネラルレジスタ。 アップカウント中のPWM1出力の変化点が格納されます。	
TRDGRA1	CPSS = 0	ジェネラルレジスタ。PWM2出力の変化点が格納されます。	TRDIOA1 TRDIOC1
	CPSS = 1	ジェネラルレジスタ。 アップカウント中のPWM2出力の変化点が格納されます。	
TRDGRB1	CPSS = 0	ジェネラルレジスタ。PWM3出力の変化点が格納されます。	TRDIOB1 TRDIOD1
	CPSS = 1	ジェネラルレジスタ。 アップカウント中のPWM3出力の変化点が格納されます。	
TRDGRC0	—	バッファレジスタ。初期設定時PWM周期を設定してください。 設定範囲 : TRD0レジスタ設定値 × 2より大きく、 FFFFH – TRD0レジスタ設定値以下	TRDIOC0 (半周期ごとに出力反転)
TRDGRD0	CPSS = 0	バッファレジスタ。PWM1出力の変化点を設定してください (12.4.2 バッファ動作参照)。	TRDIOB0 TRDIOD0
	CPSS = 1	バッファレジスタ。 アップカウント中のPWM1出力の変化点を設定してください (12.4.2 バッファ動作参照)。	
TRDGRC1	CPSS = 0	バッファレジスタ。PWM2出力の変化点を設定してください (12.4.2 バッファ動作参照)。	TRDIOA1 TRDIOC1
	CPSS = 1	バッファレジスタ。 アップカウント中のPWM2出力の変化点を設定してください。	
TRDGRD1	CPSS = 0	バッファレジスタ。PWM3出力の変化点を設定してください (12.4.2 バッファ動作参照)。	TRDIOB1 TRDIOD1
	CPSS = 1	バッファレジスタ。 アップカウント中のPWM3出力の変化点を設定してください (12.4.2 バッファ動作参照)。	

(注意、備考は次ページに続きます)

注意 非対称波形を生成する場合は、12.3.24 タイマRD拡張コンペアレジスタ B0, D0, A1, B1, C1, D1 (TRDCMPB0, TRDCMPD0, TRDCMPA1, TRDCMPB1, TRDCMPC1, TRDCMPD1) も設定してください。
PWM出力の変化点を更新する場合には、TRDGRD0, TRDGRC1, TRDGRD1レジスタを使用してください。PWM周期の書き換えはできません。
バッファレジスタからコンペアレジスタへの書き換えは、一斉書き換え機能を使用します。バッファレジスタの設定後、TRDRDT1.RDTビットに1を設定してください。TRDRSF1.RSFフラグが1のときに一斉書き換えタイミングが発生すると、バッファレジスタからコンペアレジスタに次周期の設定値を転送します。TRDRSF1.RSFフラグが0のときは、バッファレジスタからコンペアレジスタへの転送は行われません。
デューティ 0%、デューティ 100%出力設定時を除き、コンペアレジスタの設定は短絡防止時間より大きく、TRDGRA0 (PWM周期) -短絡防止時間より小さい値になるように設定してください。

備考 $i = 0, 1; j = A-D$

図12-52 タイマRDジェネラルレジスタAi, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi) のフォーマット [タイマKB PWM出力ゲートモード]

アドレス : F03A8H (TRDGRA0), F03AAH (TRDGRB0), FFF6CH (TRDGRC0), FFF6EH (TRDGRD0), F03B8H (TRDGRA1), F03BAH (TRDGRB1), FFF70H (TRDGRC1), FFF72H (TRDGRD1)

リセット時: FFFFH注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
	ビット15-0 表12-10 タイマKB PWM出力ゲートモード時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1かつPER2レジスタのTRD0ENビットが0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表12-10 タイマKB PWM出力ゲートモード時のTRDGRjiレジスタの機能

レジスタ	レジスタの機能	PWM出力端子
TRDGRA0	ジェネラルレジスタ。TRD0のPWM周期が格納されます。	—
TRDGRB0	ジェネラルレジスタ。PWM出力の変化点が格納されます。	TRDIOB0 TRDTKBOUT4
TRDGRA1	ジェネラルレジスタ。TRD1のPWM周期が格納されます。	—
TRDGRB1	ジェネラルレジスタ。PWM出力の変化点が格納されます。	TRDIOB1 TRDTKBOUT0
TRDGRC0	バッファレジスタ。TRD0のPWM周期を設定してください。	—
TRDGRD0	バッファレジスタ。PWM出力の変化点を設定してください。	TRDIOB0 TRDTKBOUT4
TRDGRC1	バッファレジスタ。TRD1のPWM周期を設定してください。	—
TRDGRD1	バッファレジスタ。PWM出力の変化点を設定してください。	TRDIOB1 TRDTKBOUT0

注意 PWM出力の変化点を更新する場合には、TRDGRD0, TRDGRC1, TRDGRD1レジスタを使用してください。PWM周期の書き換えはできません。

バッファレジスタからコンペアレジスタへの書き換えは、一斉書き換え機能を使用します。バッファレジスタの設定後、TRDRDTi.RDTビットに1を設定してください。TRDRSFi.RSFフラグが1のときに一斉書き換えタイミングが発生すると、バッファレジスタからコンペアレジスタに次周期の設定値を転送します。TRDRSFi.RSFフラグが0のときは、バッファレジスタからコンペアレジスタへの転送は行われません。

上記以外のTRDTKBOUTの設定については、12.3.24 タイマRD拡張コンペアレジスタB0, D0, A1, B1, C1, D1 (TRDCMPB0, TRDCMPD0, TRDCMPA1, TRDCMPB1, TRDCMPC1, TRDCMPD1)を参照してください。

備考 i = 0, 1; j = A-D

12.3.24 タイマRD拡張コンペアレジスタ B0, D0, A1, B1, C1, D1 (TRDCMPB0, TRDCMPD0, TRDCMPA1, TRDCMPB1, TRDCMPC1, TRDCMPD1)

[拡張 PWM モード]

TRDCMPmレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[拡張相補 PWM モード]

TRDCMPmレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[タイマ KB PWM 出力ゲートモード]

TRDCMPmレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図12-53 タイマRD拡張コンペアレジスタ (TRDCMPm) のフォーマット [拡張PWMモード]

アドレス : F03C0H (TRDCMPB0), FFF74H(TRDCMPD0)
 F03C4H (TRDCMPA1), FFF76H(TRDCMPC1)
 F03C8H (TRDCMPB1), FFF78H(TRDCMPD1)

リセット時: FFFFH

R/W属性 : R/W

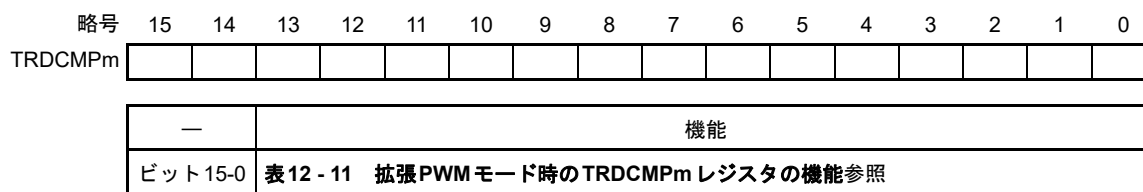


表12-11 拡張PWMモード時のTRDCMPmレジスタの機能

レジスタ	レジスタの機能	PWM出力端子
TRDCMPB0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOD0
TRDCMPD0	バッファレジスタ。次のPWM出力の変化点を設定してください。	
TRDCMPA1	拡張PWMモードでは使用しません。	—
TRDCMPC1		
TRDCMPB1	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOD1
TRDCMPD1	バッファレジスタ。次のPWM出力の変化点を設定してください。	

注意1. PWM出力の変化点を更新する場合には、TRDCMPD0, TRDCMPD1レジスタを使用してください。

注意2. バッファレジスタからコンペアレジスタへの書き換えは、一斉書き換え機能を使用します。バッファレジスタの設定後、TRDRDTi.RDTビットに1を設定してください。TRDRSFi.RSFフラグが1のときに一斉書き換えタイミングが発生すると、バッファレジスタからコンペアレジスタに次周期の設定値を転送します。TRDRSFi.RSFフラグが0のときは、バッファレジスタからコンペアレジスタへの転送は行われません。

備考 m = B0, D0, A1, B1, C1, D1

図12-54 タイマRD拡張コンペアレジスタ (TRDCMPm) のフォーマット [拡張相補PWMモード]

アドレス : F03C0H (TRDCMPB0), FFF74H(TRDCMPD0)
 F03C4H (TRDCMPA1), FFF76H(TRDCMPC1)
 F03C8H (TRDCMPB1), FFF78H(TRDCMPD1)
 リセット時: FFFFH
 R/W属性 : R/W

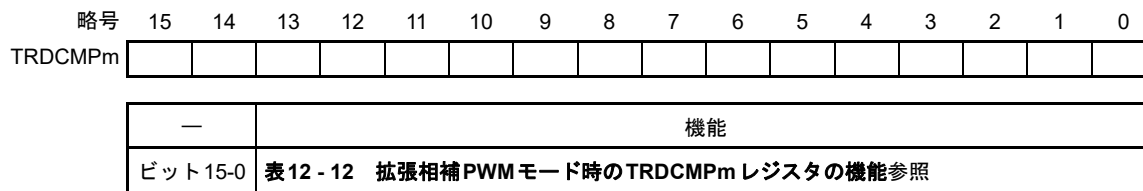


表12-12 拡張相補PWMモード時のTRDCMPmレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDCMPB0	CPSS = 1	ジェネラルレジスタ。 ダウンカウント中のPWM1出力の変化点が格納されます。	TRDIOB0 TRDIOD0
TRDCMPD0		バッファレジスタ。 ダウンカウント中のPWM1出力の変化点を設定してください。	
TRDCMPA1		ジェネラルレジスタ。 ダウンカウント中のPWM2出力の変化点が格納されます。	TRDIOA1 TRDIOC1
TRDCMPC1		バッファレジスタ。 ダウンカウント中のPWM2出力の変化点を設定してください。	
TRDCMPB1		ジェネラルレジスタ。 ダウンカウント中のPWM3出力の変化点が格納されます。	TRDIOB1 TRDIOD1
TRDCMPD1		バッファレジスタ。 ダウンカウント中のPWM3出力の変化点を設定してください。	

- 注意1. PWM出力の変化点を更新する場合には、TRDCMPD0, TRDCMPC1, TRDCMPD1 レジスタを使用してください。
- 注意2. CPSS = 0のときはTRDCMPmレジスタへの書き込みは無効です。
- 注意3. CPSS = 1で対称波形を出力したい場合は、TRDGRji レジスタと同じ値を設定してください。
- 注意4. バッファレジスタからコンペアレジスタへの書き換えは、一斉書き換え機能を使用します。バッファレジスタの設定後、TRDRDT1.RDTビットに1を設定してください。TRDRSF1.RSFフラグが1のときに一斉書き換えタイミングが発生すると、バッファレジスタからコンペアレジスタに次周期の設定値を転送します。TRDRSF1.RSFフラグが0のときは、バッファレジスタからコンペアレジスタへの転送は行われません。
- 注意5. デューティ 0%、デューティ 100%出力設定時を除き、コンペアレジスタの設定は短絡防止時間より大きく、TRDGRA0 (PWM周期) -短絡防止時間より小さい値になるように設定してください。

備考 m = B0, D0, A1, B1, C1, D1
 CPSS : TRDFCRレジスタのビット

図12-55 タイマRD拡張コンペアレジスタ (TRDCMPm) のフォーマット [タイマKB PWM出力ゲートモード]

アドレス : F03C0H (TRDCMPB0), FFF74H(TRDCMPD0)
 F03C4H (TRDCMPA1), FFF76H(TRDCMPC1)
 F03C8H (TRDCMPB1), FFF78H(TRDCMPD1)

リセット時: FFFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDCMPm																
	機能															
ビット15-0	表12-13 タイマKB PWM出力ゲートモード時のTRDCMPmレジスタの機能参照															

表12-13 タイマKB PWM出力ゲートモード時のTRDCMPmレジスタの機能

レジスタ	レジスタの機能	PWM出力端子
TRDCMPB0	ジェネラルレジスタ。PWM出力の変化点が格納されます。	TRDIOD0
TRDCMPD0	バッファレジスタ。PWM出力の変化点を設定してください。	TRDTKBOUT5
TRDCMPA1	ジェネラルレジスタ。PWM出力の変化点が格納されます。	TRDIOA1
TRDCMPC1	バッファレジスタ。PWM出力の変化点を設定してください。	TRDTKBOUT3
TRDCMPB1	ジェネラルレジスタ。PWM出力の変化点が格納されます。	TRDIOD1
TRDCMPD1	バッファレジスタ。PWM出力の変化点を設定してください。	TRDTKBOUT2

注意1. PWM出力の変化点を更新する場合には、TRDCMPD0, TRDCMPC1, TRDCMPD1レジスタを使用してください。

注意2. バッファレジスタからコンペアレジスタへの書き換えは、一斉書き換え機能を使用します。バッファレジスタの設定後、TRDRDTi.RDTビットに1を設定してください。TRDRSFi.RSFフラグが1のときに一斉書き換えタイミングが発生すると、バッファレジスタからコンペアレジスタに次周期の設定値を転送します。TRDRSFi.RSFフラグが0のときは、バッファレジスタからコンペアレジスタへの転送は行われません。

備考 m = B0, D0, A1, B1, C1, D1

12.3.25 タイマRD A/D変換トリガコンペアレジスタ0/タイマKB PWM出力ゲートモードコンペアレジスタ (TRDADTC0/TRDCMPE1)

[拡張相補 PWM モード]

TRDADTC0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[タイマKB PWM 出力ゲートモード]

TRDCMPE1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図12-56 タイマRD A/D変換トリガコンペアレジスタ0 (TRDADTC0) のフォーマット [拡張相補PWMモード]

アドレス : F03CCH (TRDADTC0)

リセット時: FFFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDADTC0																
—	機能															
ビット15-0	<ul style="list-style-type: none"> • A/D変換トリガ0を生成するタイミングが格納されます。 • 設定範囲 (TRDADCR.AMD0ビットが1のとき) : 0000H ≤ (TRDGRA0レジスタ設定値 - TRD0カウンタ設定値 + 1) • 設定範囲 (TRDADCR.AMD0ビットが0のとき) : 0000H ≤ (TRDGRA0レジスタ設定値 - TRD0カウンタ設定値) 															

注意1. TRDADTC0レジスタはTRDADCR.ADE0ビットが1のときに有効です。

注意2. カウント開始後にTRDADTC0レジスタを設定する場合には、TRDADTB0レジスタを使用してください。

図12-57 タイマKB PWM出力ゲートモードコンペアレジスタ (TRDCMPE1) のフォーマット [タイマKB PWM出力ゲートモード]

アドレス : F03CCH (TRDCMPE1)

リセット時: FFFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDCMPE1																
—	機能														PWM出力端子	
ビット15-0	ジェネラルレジスタ。PWM出力の変化点が格納されます。														TRDIOC1 TRDTKBOUT1	

注意 PWM出力の変化点を更新する場合には、TRDCMPF1レジスタを使用してください。

12.3.26 タイマRD A/D変換トリガバッファレジスタ0／タイマKB PWM出力ゲートモードバッファレジスタ (TRDADTB0/TRDCMPF1)

[拡張相補 PWM モード]

TRDADTB0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[タイマKB PWM 出力ゲートモード]

TRDCMPF1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図12-58 タイマRD A/D変換トリガバッファレジスタ0 (TRDADTB0) のフォーマット [拡張相補PWMモード]

アドレス : FFF7AH (TRDADTB0)

リセット時: FFFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDADTB0																
—	機能															
ビット15-0	<ul style="list-style-type: none"> • A/D変換トリガバッファレジスタ0 • 設定範囲 (TRDADCR.ADMD0ビットが1のとき) : 0000H ≤ (TRDGRA0レジスタ設定値 - TRD0カウンタ設定値 + 1) • 設定範囲 (TRDADCR.ADMD0ビットが0のとき) : 0000H ≤ (TRDGRA0レジスタ設定値 - TRD0カウンタ設定値) 															

注意1. バッファレジスタからコンペアレジスタへの書き換えは、一斉書き換え機能を使用します。バッファレジスタの設定後、TRDRDT1.RDTビットに1を設定してください。TRDRSF1.RSFフラグが1のときに一斉書き換えタイミングが発生すると、バッファレジスタからコンペアレジスタに次周期の設定値を転送します。TRDRSF1.RSFフラグが0のときは、バッファレジスタからコンペアレジスタへの転送は行われません。

注意2. 割り込み要求0と同じタイミングで出力する場合は、ADMD0ビットを0にして本レジスタをTRDGRA0設定値 - TRD0レジスタ設定値に設定してください。
 割り込み要求1と同じタイミングで出力する場合は、ADMD0ビットを1にして本レジスタを0000Hに設定してください。

図12-59 タイマKB PWM出力ゲートモードバッファレジスタ (TRDCMPF1) のフォーマット [タイマKB PWM出力ゲートモード]

アドレス : FFF7AH (TRDCMPF1)

リセット時: FFFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDCMPF1																
—	機能													PWM出力端子		
ビット15-0	バッファレジスタ。PWM出力の変化点を設定してください。													TRDIOC1 TRDTKBOUT3		

注意1. TRDCMPF1レジスタでPWM出力の変化点を更新する場合には、TRDCMPF1レジスタを使用してください。

注意2. バッファレジスタからコンペアレジスタへの書き換えは、一斉書き換え機能を使用します。バッファレジスタの設定後、TRDRDTi.RDTビットに1を設定してください。TRDRSFi.RSFフラグが1のときに一斉書き換えタイミングが発生すると、バッファレジスタからコンペアレジスタに次周期の設定値を転送します。TRDRSFi.RSFフラグが0のときは、バッファレジスタからコンペアレジスタへの転送は行われません。

12.3.27 タイマRD A/D変換トリガコンペアレジスタ1 (TRDADTC1)

[拡張相補 PWM モード]

TRDADTC1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図12-60 タイマRD A/D変換トリガコンペアレジスタ1 (TRDADTC1) のフォーマット [拡張相補PWMモード]

アドレス : F03D0H

リセット時: FFFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDADTC1																
—	機能															
ビット15-0	<ul style="list-style-type: none"> • A/D変換トリガ1を生成するタイミングが格納されます。 • 設定範囲 (TRDADCR.ADMD1ビットが1のとき) : 0000H ≤ (TRDGRA0レジスタ設定値 - TRD0カウンタ設定値 + 1) • 設定範囲 (TRDADCR.ADMD1ビットが0のとき) : 0000H ≤ (TRDGRA0レジスタ設定値 - TRD0カウンタ設定値) 															

注意1. TRDADTC1レジスタはTRDADCR.ADE1ビットが1のときに有効です。

注意2. カウント開始後にTRDADTC1レジスタを設定する場合には、TRDADTB1レジスタを使用してください。

12.3.28 タイマRD A/D変換トリガバッファレジスタ1 (TRDADTB1)

[拡張相補 PWM モード]

TRDADTB1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図12-61 タイマRD A/D変換トリガバッファレジスタ1 (TRDADTB1) のフォーマット [拡張相補PWMモード]

アドレス : FFF7CH

リセット時: FFFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDADTB1																
—	機能															
ビット15-0	<ul style="list-style-type: none"> • A/D変換トリガバッファレジスタ1 • 設定範囲 (TRDADCR.ADM1ビットが1のとき) : 0000H ≤ (TRDGRA0レジスタ設定値 - TRD0カウンタ設定値 + 1) • 設定範囲 (TRDADCR.ADM1ビットが0のとき) : 0000H ≤ (TRDGRA0レジスタ設定値 - TRD0カウンタ設定値) 															

注意1. バッファレジスタからコンペアレジスタへの書き換えは、一斉書き換え機能を使用します。バッファレジスタの設定後、TRDRDT1.RDTビットに1を設定してください。TRDRSF1.RSFフラグが1のときに一斉書き換えタイミングが発生すると、バッファレジスタからコンペアレジスタに次周期の設定値を転送します。TRDRSF1.RSFフラグが0のときは、バッファレジスタからコンペアレジスタへの転送は行われません。

注意2. 割り込み要求0と同じタイミングで出力する場合は、ADM1ビットを0にして本レジスタをTRDGRA0設定値 - TRD0レジスタ設定値に設定してください。
割り込み要求1と同じタイミングで出力する場合は、ADM1ビットを1にして本レジスタを0000Hに設定してください。

12.3.29 タイマRD一斉書き換えトリガレジスタ0 (TRDRDT0)

TRDRDT0 レジスタは、8ビット・メモリ操作命令で設定します。

TRDRDT1 レジスタとともに TRDRDT レジスタとして 16ビット・メモリ操作命令でアクセスすることも可能です。

図12-62 タイマRD一斉書き換えトリガレジスタ0 (TRDRDT0) のフォーマット
[拡張PWMモード/タイマKB PWM出力ゲートモード]

アドレス : FFF7EH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDRDT0	0	0	0	0	0	0	0	RDT

RDT	一斉書き換えトリガ
0	書き込みは無効 ^{注1}
1	一斉書き換え有効 ^{注2}

注1. リード時は常に0が読み出されます。

注2. 拡張PWMモードでは TRDGRA0, TRDGRB0, TRDCMPB0 を一斉書き換えします。
タイマKB PWM出力ゲートモードでは TRD0カウンタとのコンペアレジスタ (TRDGRA0, TRDGRB0, TRDCMPB0) を一斉書き換えします。

12.3.30 タイマRD一斉書き換えトリガレジスタ1 (TRDRDT1)

TRDRDT1 レジスタは、8ビット・メモリ操作命令で設定します。

TRDRDT0 レジスタとともに TRDRDT レジスタとして 16ビット・メモリ操作命令でアクセスすることも可能です。

図12-63 タイマRD一斉書き換えトリガレジスタ1 (TRDRDT1) のフォーマット
[拡張PWMモード/拡張相補PWMモード/タイマKB PWM出力ゲートモード]

アドレス : FFF7FH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDRDT1	0	0	0	0	0	0	0	RDT

RDT	一斉書き換えトリガ
0	書き込みは無効 ^{注1}
1	一斉書き換え有効 ^{注2}

注1. リード時は常に0が読み出されます。

注2. 拡張相補PWMモードではすべてのコンペアレジスタを一斉書き換えします。
拡張PWMモードでは TRDGRA1, TRDGRB1, TRDCMPB1 を一斉書き換えします。
タイマKB PWM出力ゲートモードでは TRD1カウンタとのコンペアレジスタ (TRDGRA1, TRDGRB1, TRDCMPB1, TRDCMPA1, TRDCMPE1) を一斉書き換えします。

12.3.31 タイマRD一斉書き換えフラグレジスタ0 (TRDRSF0)

TRDRSF0 レジスタは、8ビット・メモリ操作命令で設定します。

TRDRSF1 レジスタとともに TRDRSF レジスタとして 16ビット・メモリ操作命令でアクセスすることも可能です。

図12-64 タイマRD一斉書き換えフラグレジスタ0 (TRDRSF0) のフォーマット
[拡張PWMモード/タイマKB PWM出力ゲートモード]

アドレス : F03D6H

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
TRDRSF0	0	0	0	0	0	0	0	RSF

RSF	一斉書き換え保留フラグ
0	一斉書き換え許可状態 [0になる要因] 一斉書き換えタイミング発生、またはカウント動作開始タイミング
1	一斉書き換え完了待ち状態 ^注 [1になる要因] TRDRDT0.RDT = 1に設定したとき

注 拡張PWMモードではTRDGRA0, TRDGRB0, TRDCMPB0を一斉書き換えます。
タイマKB PWM出力ゲートモードではTRD0カウンタとのコンペアレジスタ (TRDGRA0, TRDGRB0, TRDCMPB0) を一斉書き換えます。

12.3.32 タイマRD一斉書き換えフラグレジスタ1 (TRDRSF1)

TRDRSF1 レジスタは、8ビット・メモリ操作命令で設定します。

TRDRSF0 レジスタとともに TRDRSF レジスタとして 16ビット・メモリ操作命令でアクセスすることも可能です。

図 12 - 65 タイマRD一斉書き換えフラグレジスタ1 (TRDRSF1) のフォーマット
[拡張PWMモード/拡張相補PWMモード/タイマKB PWM出力ゲートモード]

アドレス : F03D7H

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
TRDRSF1	0	0	0	0	0	0	0	RSF

RSF	一斉書き換え保留フラグ
0	一斉書き換え許可状態 [0になる要因] 一斉書き換えタイミング発生、またはカウント動作開始タイミング
1	一斉書き換え完了待ち状態 ^注 [1になる要因] TRDRDT1.RDT = 1に設定したとき

注 拡張PWMモードではTRDGRA1, TRDGRB1, TRDCMPB1を一斉書き換えます。
 拡張相補PWMモードではすべてのコンペアレジスタを一斉書き換えます。
 タイマKB PWM出力ゲートモードではTRD1カウンタとのコンペアレジスタ (TRDGRA1, TRDGRB1, TRDCMPB1, TRDCMPA1, TRDCMPE1)を一斉書き換えます。

12.3.33 タイマRD A/D変換トリガ制御レジスタ (TRDADCR)

図12-66 タイマRD A/D変換トリガ制御レジスタ (TRDADCR) のフォーマット [拡張相補PWMモード]

アドレス : F03D8H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDADCR	0	0	ADMD1	ADE1	0	0	ADMD0	ADE0

ADMD1	A/D変換トリガ出力モード選択ビット1
0	アップカウント中に比較
1	ダウンカウント中に比較

ADE1	A/D変換トリガ出力許可ビット1
0	A/D変換トリガ出力禁止
1	A/D変換トリガ出力許可

ADMD0	A/D変換トリガ出力モード選択ビット0
0	アップカウント中に比較
1	ダウンカウント中に比較

ADE0	A/D変換トリガ出力許可ビット0
0	A/D変換トリガ出力禁止
1	A/D変換トリガ出力許可

12.3.34 タイマRD間引き制御レジスタ (TRDTCTL)

TRDTCTL レジスタは、タイマ RD2 の割り込み／A/D トリガ信号の間引きを制御するレジスタです。

TRDTCTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12-67 タイマRD間引き制御レジスタ (TRDTCTL) のフォーマット

アドレス : F0498H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDTCTL	0	0	0	TRDTMD	ADTEN1	ADTEN0	INTEN1	INTEN0

TRDTMD	タイマRD動作開始1周期目の間引き出力許可注
0	無効
1	有効

ADTEN1	A/D変換トリガ1の間引き許可注
0	無効
1	有効

ADTEN0	A/D変換トリガ0の間引き許可注
0	無効
1	有効

INTEN1	タイマRD21割り込み要求の間引き許可注
0	無効
1	有効

INTEN0	タイマRD20割り込み要求の間引き許可注
0	無効
1	有効

注 拡張相補PWMモードのみ使用可能です。
拡張相補PWMモード以外では0（無効）に設定してください。

注意1. タイマRD2動作中に、TRDTCTLレジスタを書き換えないでください。

注意2. ビット7-5には、必ず0を設定してください。

12.3.35 タイマRD間引き回数設定レジスタ (TRDTCMP)

TRDTCMP レジスタは、タイマ RD2 の割り込み／A/D トリガ信号の間引きを制御するレジスタです。

TRDTCMP レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12-68 タイマRD間引き回数設定レジスタ (TRDTCMP) のフォーマット

アドレス : F0499H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0	
TRDTCMP	0	0	0	TRDTCMP[4:0]					
TRDTCMP[4:0]					間引き回数				
0	0	0	0	0	間引きなし				
0	0	0	0	1	1間引き (割り込み／A/D トリガ出力後、次の1周期の間、割り込み／A/D トリガを出力しない)				
⋮					⋮				
1	1	1	1	0	30間引き (割り込み／A/D トリガ出力後、次の30周期の間、割り込み／A/D トリガを出力しない)				
1	1	1	1	1	31間引き (割り込み／A/D トリガ出力後、次の31周期の間、割り込み／A/D トリガを出力しない)				

注意1. タイマRD2動作中に、TRDTCMPレジスタを書き換えしないでください。

注意2. ビット7-5には、必ず0を設定してください。

12.3.36 タイマRD出力ポートマスク許可レジスタ (TRDPOE)

TRDPOE レジスタは、タイマ RD2 の TRDIOC0 端子への出力を制御するレジスタです。相補 PWM モード、拡張相補 PWM モード時に TRDIOC0 端子への出力を行わず、TRDIOC0 端子と機能を兼用している端子を利用する場合は、TRDPOE レジスタの EC0 ビットに 1 を書き込んでください。

TRDPOE レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図 12 - 69 タイマRD出力ポートマスク許可レジスタ (TRDPOE) のフォーマット

アドレス : F02ACH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDPOE	0	0	0	0	0	0	0	EC0

EC0	TRDIOC0端子出力禁止
0	出力許可
1	出力禁止 (TRDIOC0端子はI/Oポート)

備考 TRDIOC0端子と機能を兼用する端子は、**2.1 ポートの端子機能**を参照してください。

12.3.37 タイマRD2と端子を兼用するポートのポート機能を制御するレジスタ

タイマRD2の入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx)、7.3.2 ポート・レジスタ (Pxx) および 7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

12.4 複数モードにかかわる共通事項

12.4.1 カウントソース

カウントソースの選択方法は、タイマ KB PWM 出力ゲートモード以外のモードに共通です。ただし、PWM3 モードでは外部クロックを選択できません。

表12-14 カウントソースの選択

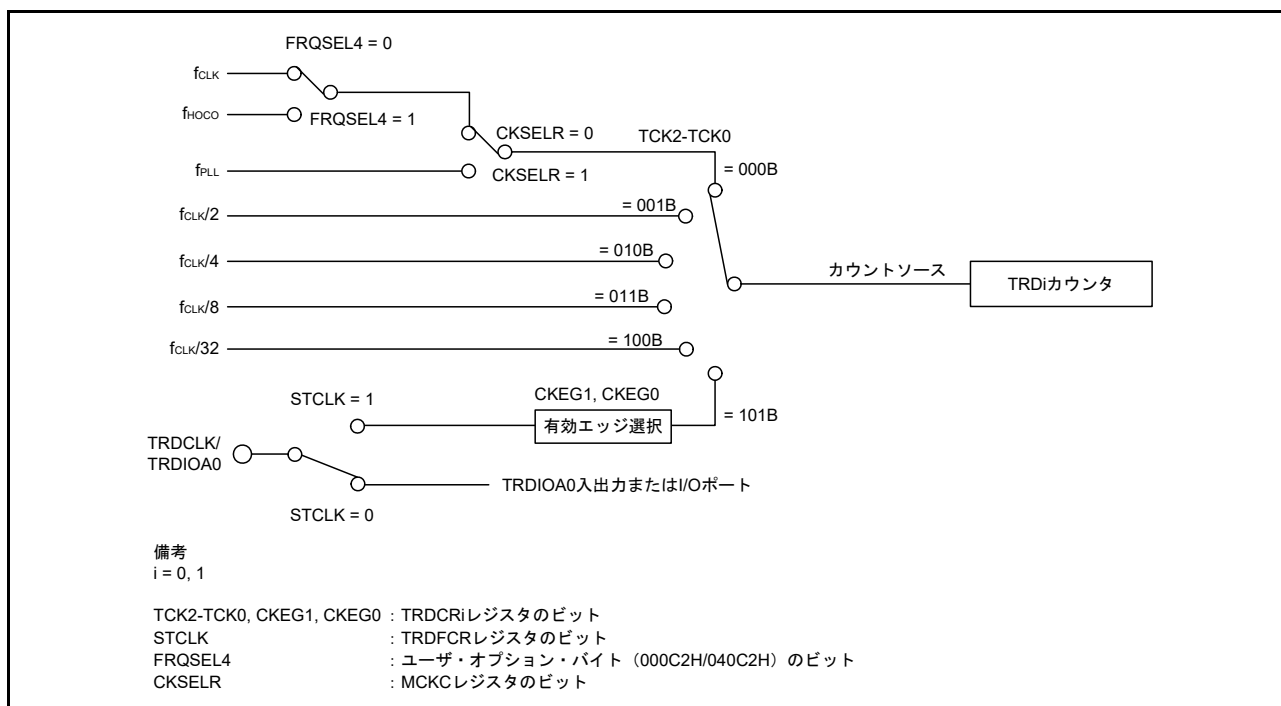
カウントソース	選択方法
fCLK, fHOCO ^{注1} , fPLL ^{注2} , fCLK/2, fCLK/4, fCLK/8, fCLK/32	TRDCRiレジスタのTCK2-TCK0ビットでカウントソースを選択
TRDCLK端子に入力された外部信号	TRDFCRレジスタのSTCLKビットが1（外部クロック入力有効） TRDCRiレジスタのTCK2-TCK0ビットが101B（カウントソースは外部クロック） TRDCRiレジスタのCKEG1, CKEG0ビットで有効エッジを選択 TRDCLK端子と共用しているI/Oポートのポート・モード・レジスタのビットが1（入力モード）

注1. ユーザ・オプション・バイト（000C2H/040C2H）のFRQSEL4ビットが0のときはfCLK、FRQSEL4ビットが1のときはfHOCOが選択されます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをクリアしたあとに変更してください。

注2. メイン・クロック制御レジスタ（MCKC）のCKSELRビットが1のときは、fPLLが供給されます。

備考 i = 0, 1

図12-70 カウントソースのブロック図



TRDCLK 端子に入力する外部クロックのパルス幅は、タイマ RD2 の動作クロック（fCLK）の 3 サイクル以上にしてください。

12.4.2 バッファ動作

TRDMR レジスタの TRDBFCi ビット (i = 0, 1)、TRDBFDi ビットで、TRDGRCi, TRDGRDi レジスタを TRDGRAi, TRDGRBi レジスタのバッファレジスタにできます。

- TRDGRAiのバッファレジスタ : TRDGRCiレジスタ
- TRDGRBiのバッファレジスタ : TRDGRDiレジスタ

バッファ動作は、モードによって違います。表 12 - 15 に各モードのバッファ動作を示します。

表12 - 15 各モードのバッファ動作 (1/2)

機能、モード		転送タイミング	転送するレジスタ
タイマモード	インプットキャプチャ機能	TRDIOAi 入力信号 (インプットキャプチャ信号入力)	TRDGRAi レジスタの内容を TRDGRCi レジスタ (バッファレジスタ) に転送
		TRDIOBi 入力信号 (インプットキャプチャ信号入力)	TRDGRBi レジスタの内容を TRDGRDi レジスタ (バッファレジスタ) に転送
	アウトプットコンペア機能	TRDi カウンタと TRDGRAi レジスタのコンペア一致	TRDGRCi レジスタ (バッファレジスタ) の内容を TRDGRAi レジスタに転送
		TRDi カウンタと TRDGRBi レジスタのコンペア一致	TRDGRDi レジスタ (バッファレジスタ) の内容を TRDGRBi レジスタに転送
	PWM 機能	TRDi カウンタと TRDGRAi レジスタのコンペア一致	TRDGRCi レジスタ (バッファレジスタ) の内容を TRDGRAi レジスタに転送
		TRDi カウンタと TRDGRBi レジスタのコンペア一致	TRDGRDi レジスタ (バッファレジスタ) の内容を TRDGRBi レジスタに転送
リセット同期 PWM モード		TRD0 カウンタと TRDGRA0 レジスタのコンペア一致	TRDGRCi レジスタ (バッファレジスタ) の内容を TRDGRAi レジスタに転送 TRDGRDi レジスタ (バッファレジスタ) の内容を TRDGRBi レジスタに転送
相補 PWM モード		<ul style="list-style-type: none"> • TRDFCR レジスタの CMD1, CMD0 ビットが 11B の場合は、TRD1 カウンタのアンダフロー • TRDFCR レジスタの CMD1, CMD0 ビットが 10B の場合は TRD0 カウンタと TRDGRA0 レジスタのコンペア一致 	TRDGRC1 レジスタ (バッファレジスタ) の内容を TRDGRA1 レジスタに転送 TRDGRDi レジスタ (バッファレジスタ) の内容を TRDGRBi レジスタに転送
PWM3 モード		TRD0 カウンタと TRDGRA0 レジスタのコンペア一致	TRDGRCi レジスタ (バッファレジスタ) の内容を TRDGRAi レジスタに転送 TRDGRDi レジスタ (バッファレジスタ) の内容を TRDGRBi レジスタに転送
拡張 PWM モード		TRDRDTi レジスタの RDT ビットに 1 設定後の TRDi カウンタと TRDGRAi レジスタのコンペア一致	バッファレジスタの内容を TRDGRAi, TRDGRBi, TRDCMPBi レジスタに転送
拡張相補 PWM モード		TRDRDTi レジスタの RDT ビットに 1 設定後の TRD1 カウンタアンダフロー (短絡防止時間分前倒し)	バッファレジスタの内容を TRDGRB0, TRDGRA1, TRDGRB1 レジスタに転送
		TRDRDTi レジスタの RDT ビットに 1 設定後の TRD1 カウンタアンダフロー	バッファレジスタの内容を TRDCMPB0, TRDCMPA1, TRDCMPB1 レジスタに転送 ^注
		TRDRDTi レジスタの RDT ビットに 1 設定後の TRD1 カウンタアンダフロー	バッファレジスタの内容を TRDADTC0, TRDADTC1 レジスタに転送

表12-15 各モードのバッファ動作 (2/2)

機能、モード	転送タイミング	転送するレジスタ
タイマKB PWM出力ゲートモード	TRDRDTiレジスタのRDTビットに1設定後のTRDiカウンタとTRDGRAiレジスタのコンペア一致	バッファレジスタの内容をTRDGRAj, TRDGRBj, TRDCMPB0, TRDCMPA1, TRDCMPB1, TRDCMPE1レジスタに転送

注 TRDFCR.CPSS = 1の場合のみ有効です。

備考 i = 0, 1

図12-71 インพุットキャプチャ機能のバッファ動作

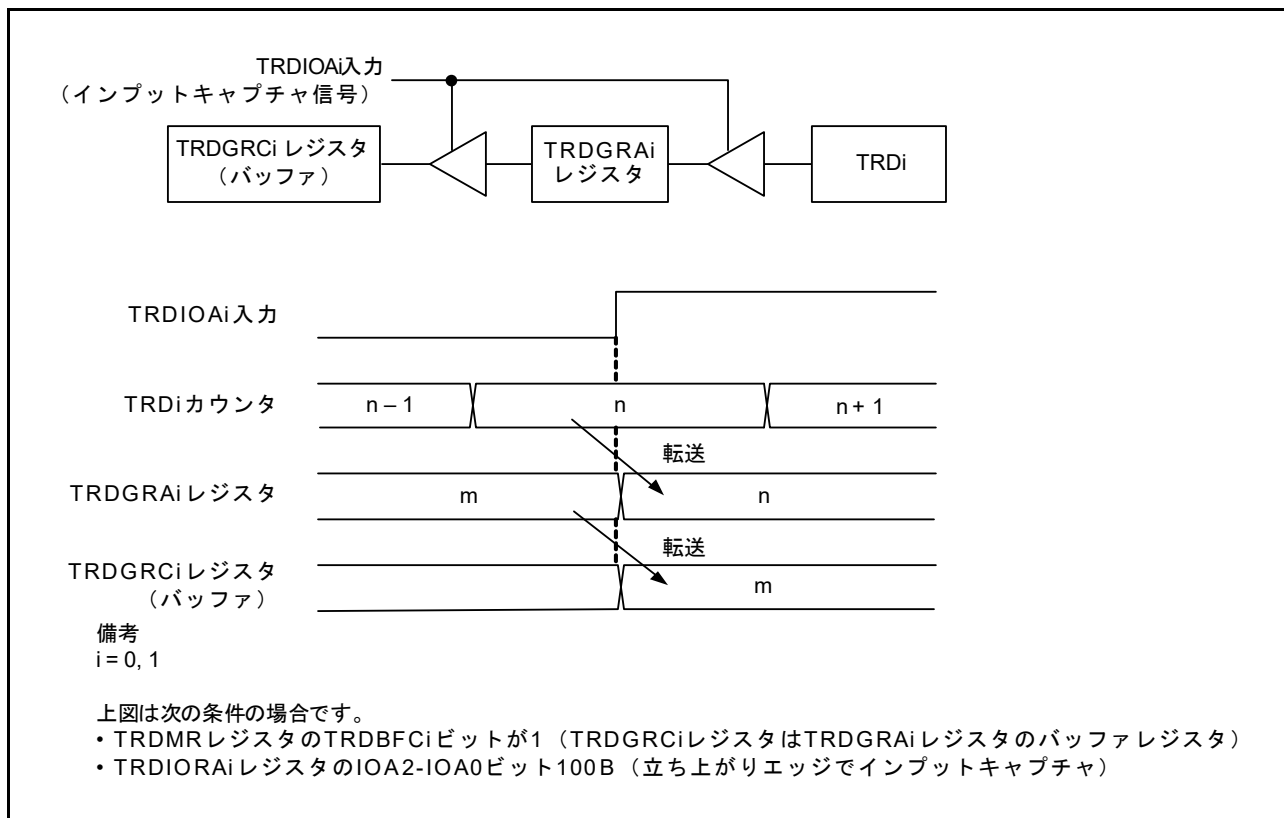
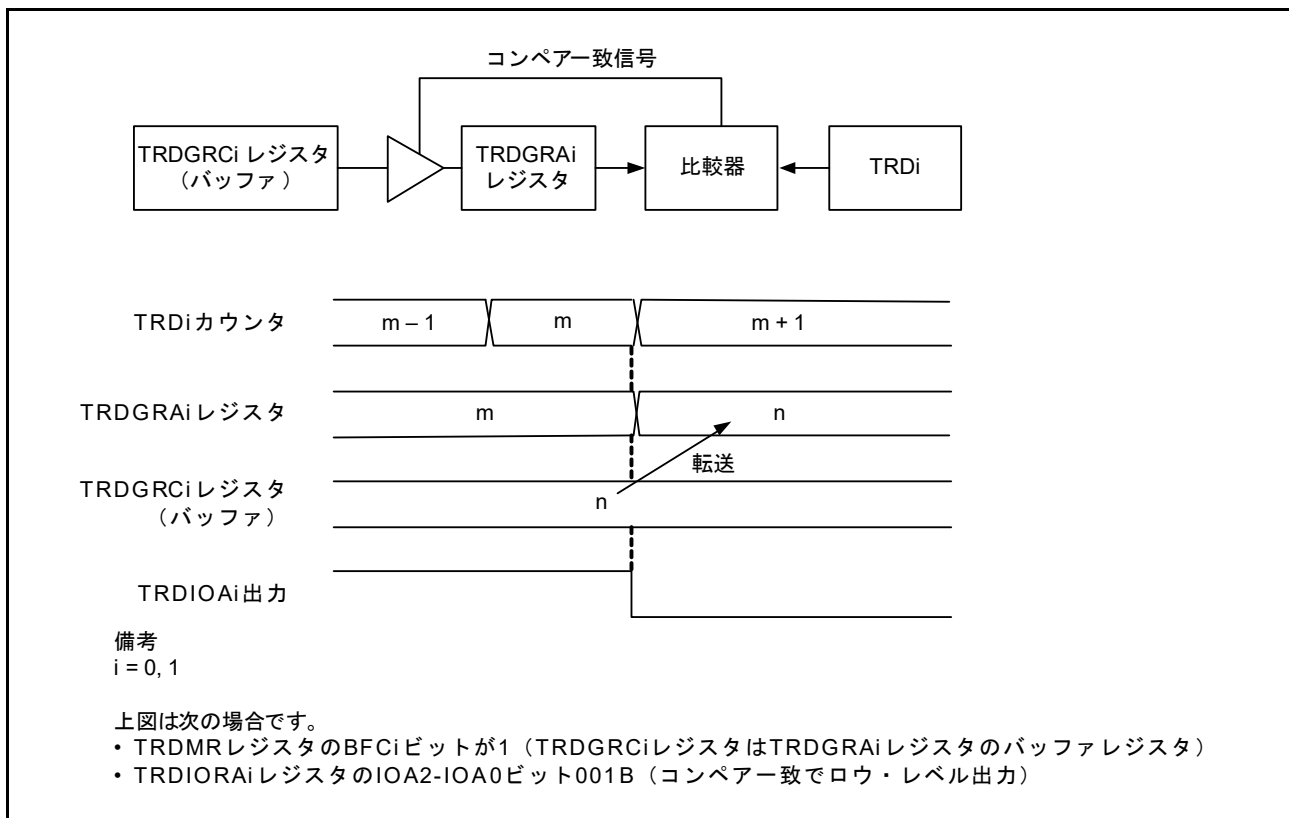


図12-72 アウトプットコンペア機能のバッファ動作



タイマモード（インプットキャプチャ機能、アウトプットコンペア機能）では次のようにしてください。

[TRDGRCi レジスタ (i=0, 1) を TRDGRAi レジスタのバッファレジスタに使用する場合]

- TRDIORCi レジスタの IOC3 ビットを 1 (ジェネラルレジスタまたはバッファレジスタ) にしてください。
- TRDIORCi レジスタの IOC2 ビットは、TRDIORAi レジスタの IOA2 ビットと同じ設定にしてください。

[TRDGRDi レジスタを TRDGRBi レジスタのバッファレジスタに使用する場合]

- TRDIORCi レジスタの IOD3 ビットを 1 (ジェネラルレジスタまたはバッファレジスタ) にしてください。
- TRDIORCi レジスタの IOD2 ビットは、TRDIORAi レジスタの IOB2 ビットと同じ設定にしてください。

インプットキャプチャ機能では、TRDGRCi, TRDGRDi レジスタをバッファレジスタに使用している場合も、TRDIOCi 端子、TRDIODi 端子の入力エッジで TRDSRi レジスタの IMFC, IMFD フラグが 1 になります。

アウトプットコンペア機能、PWM 機能、リセット同期 PWM モード、相補 PWM モード、PWM3 モードでは、TRDGRCi, TRDGRDi レジスタをバッファレジスタに使用している場合も、TRDi カウンタとのコンペアー致で TRDSRi レジスタの IMFC, IMFD フラグが 1 になります。

拡張 PWM モード、拡張相補 PWM モード、タイマ KB PWM 出力ゲートモードでは、一斉書き換えによるバッファ動作をします。一斉書き換え動作については、**12.4.7 コンペアレジスタの一斉書き換え**を参照してください。

12.4.3 同期動作

TRD0カウンタとTRD1カウンタを同期させます。

- 同期プリセット

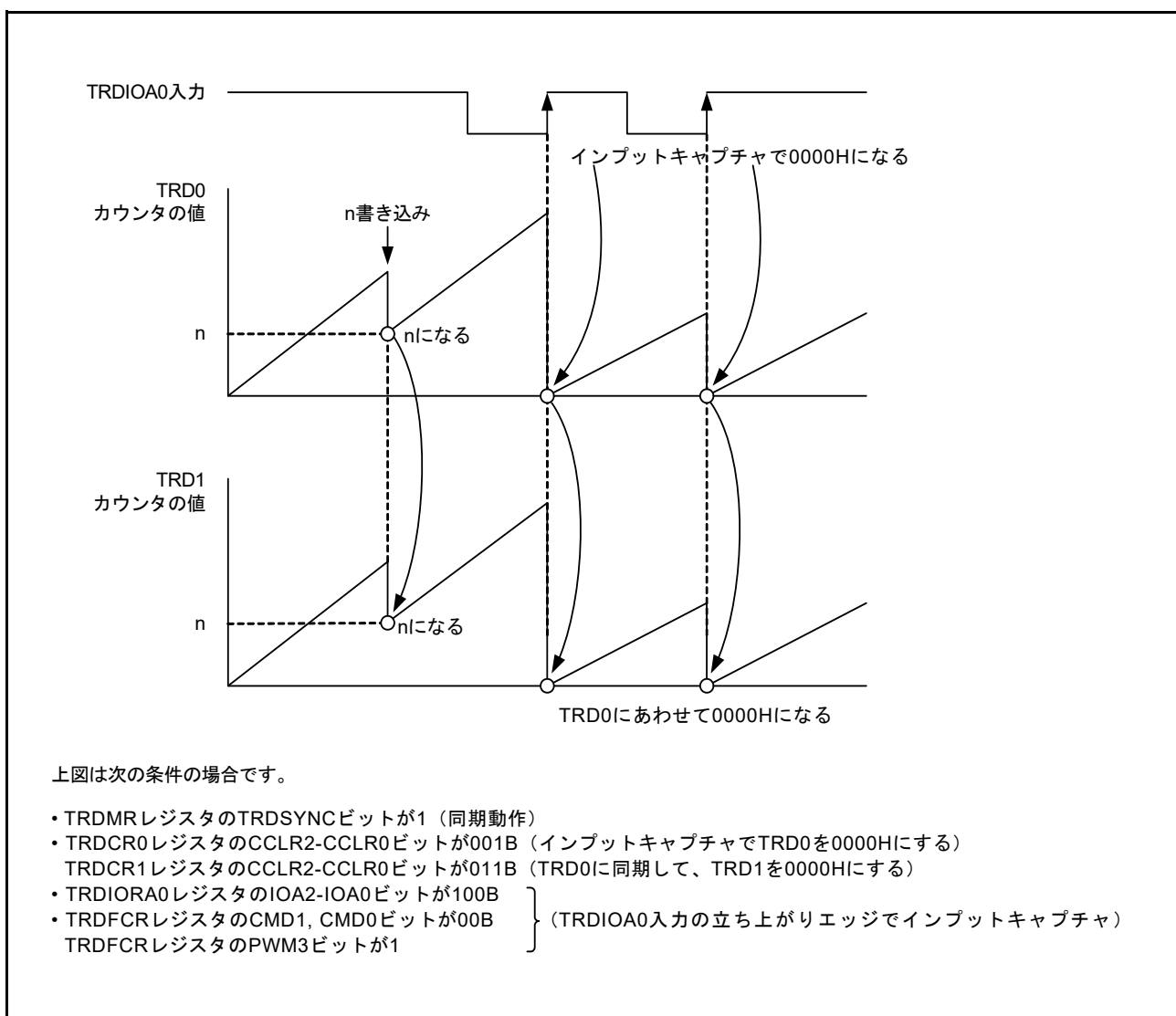
TRDMRレジスタのTRDSYNCビットが1（同期動作）の場合、TRDiカウンタに書き込むと、TRD0カウンタとTRD1カウンタの両方に書き込まれます。

- 同期クリア

TRDSYNCビットが1で、かつTRDCR0レジスタのCCLR2-CCLR0ビットが011B（同期クリア）の場合、TRD0カウンタはTRD1カウンタが0000Hのときは、同時に0000Hになります。

同様に、TRDSYNCビットが1で、かつTRDCR1レジスタのCCLR2-CCLR0ビットが011B（同期クリア）の場合、TRD1カウンタはTRD0カウンタが0000Hのときは、同時に0000Hになります。

図12-73 同期動作



12.4.4 パルス出力強制遮断

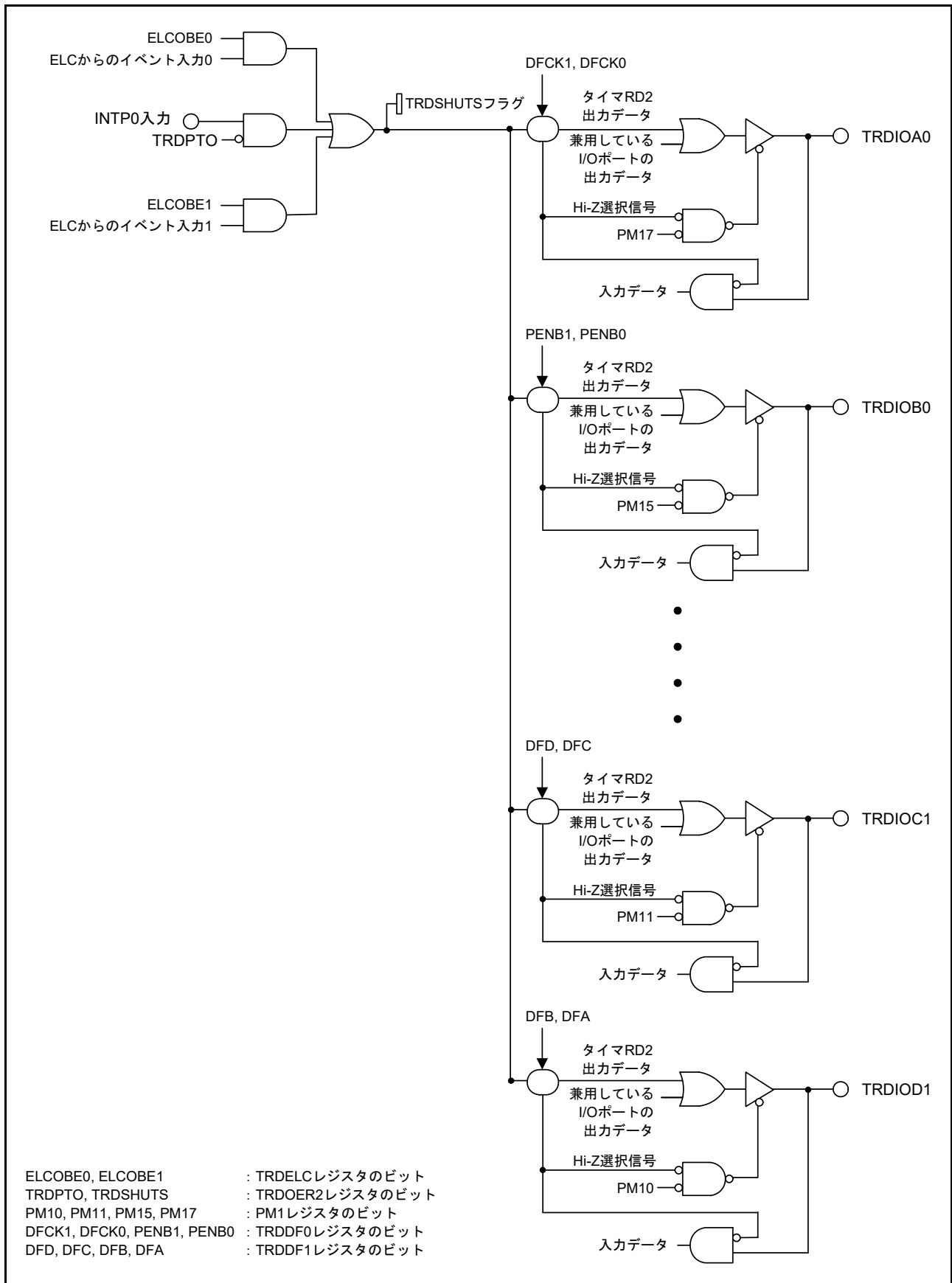
PWM 機能、リセット同期 PWM モード、相補 PWM モード、PWM3 モード、拡張 PWM モード、拡張相補 PWM モード、タイマ KB PWM 出力ゲートモードのとき、INTP0 端子の入力によって TRDIO_{ji} 出力端子 (i = 0, 1; j = A-D) のパルス出力を遮断できます。

これらの機能／モードで出力に使用する端子は、TRDOER1 レジスタの該当するビットを 0 (タイマ RD2 出力許可) にすると、タイマ RD2 の出力端子として機能します。TRDOER2 レジスタの TRDPTO ビットが 1 (パルス出力強制遮断信号 INTP0 端子入力有効) のとき、タイマ RD2 の出力ポートとして使用している出力端子は、TRDDF0, TRDDF1 レジスタの DFCK1, DFCK0, PENB1, PENB0, DFD, DFC, DFB, DFA ビットで設定した出力値を出力します。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態 (Hi-Z、ロウ・レベル出力、またはハイ・レベル出力) を TRDDFi レジスタで設定する。
- ELC イベント入力によるパルス強制遮断は **12.4.5 イベント・リンク・コントローラ (ELC) からのイベント入力** を参照してください。
- パルス出力強制遮断時、TRDOER2 レジスタの TRDSHUTS フラグが 1 となります。パルス出力強制遮断を中断させたい場合、カウント停止中 (TSTART_i = 0) に TRDSHUTS フラグを 0 にしてください。
- TRDOER2 レジスタの TRDPTO ビットを 1 (パルス出力強制遮断信号 INTP0 端子入力有効) にする。

図12-74 パルス出力強制遮断



12.4.5 イベント・リンク・コントローラ（ELC）からのイベント入力

ELCからのイベント入力によって、タイマRD2は2つの動作をします。

(a) TRDIOD0/TRDIOD1のインプットキャプチャ

ELCからのイベント入力によって、タイマRD2はTRDIOD0/TRDIOD1のインプットをキャプチャします。このとき、TRDSRiレジスタのIMFDフラグが1になります。

この機能を使用する場合、タイマモードのインプットキャプチャ機能を選択し、TRDELRCレジスタのELCICE0/ELCICE1ビットを1にしてください。その他のモード（タイマモードのアウトプットコンペア機能、PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード、拡張PWMモード、拡張相補PWMモード、タイマKB PWM出力ゲートモード）では無効です。

(b) パルス出力強制遮断動作^注

ELCからのイベント入力によって、パルス出力を強制遮断します。この機能を使用する場合、パルス出力モード（PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード、拡張PWMモード、拡張相補PWMモード、タイマKB PWM出力ゲートモード）を選択し、ELCOBE0/ELCOBE1ビットを1にしてください。タイマモードのインプットキャプチャ機能では無効です。

注 INTP0端子の強制遮断はL入力期間中パルス出力を遮断しますが、ELCイベントによるパルス強制遮断は、ELCからのイベント入力1回に対し、1回パルス出力を遮断します。

設定手順

- (1) ELCのイベントリンク先をタイマRD2に設定する。
- (2) TRDELRCレジスタのELCICEi, ELCOBEiビット（i = 0, 1）を1にする。

12.4.6 イベント・リンク・コントローラ（ELC）／データ・トランスファ・コントローラ（DTC）へのイベント出力

表 12 - 16 にタイマ RD2 のモードと ELC / DTC へのイベント出力を示します。

拡張相補 PWM モードとタイマ KB PWM 出力ゲートモードでは ELC/DTC へのイベント出力は行いません。

表12 - 16 タイマRD2のモードとELC/DTCへのイベント出力

使用モード	出力要因	ELC	DTC
インプットキャプチャ機能	TRDIORA0レジスタのIOA1, IOA0ビットで設定したTRDIOA0のエッジ検出	○	○
	TRDIORA0レジスタのIOB1, IOB0ビットで設定したTRDIOB0のエッジ検出	○	○
	TRDIORC0レジスタのIOC1, IOC0ビットで設定したTRDIOC0のエッジ検出	—	○
	TRDIORC0レジスタのIOD1, IOD0ビットで設定したTRDIOD0のエッジ検出	—	○
	TRDIORA1レジスタのIOA1, IOA0ビットで設定したTRDIOA1のエッジ検出	○	○
	TRDIORA1レジスタのIOB1, IOB0ビットで設定したTRDIOB1のエッジ検出	○	○
	TRDIORC1レジスタのIOC1, IOC0ビットで設定したTRDIOC1のエッジ検出	—	○
	TRDIORC1レジスタのIOD1, IOD0ビットで設定したTRDIOD1のエッジ検出	—	○
アウトプットコンペア機能、 PWM機能、リセット同期 PWMモード、相補PWMモード、 PWM3モード	TRD0カウンタとTRDGRA0レジスタのコンペア一致	○	○
	TRD0カウンタとTRDGRB0レジスタのコンペア一致	○	○
	TRD0カウンタとTRDGRC0レジスタのコンペア一致	—	○
	TRD0カウンタとTRDGRD0レジスタのコンペア一致	—	○
	TRD1カウンタとTRDGRA1レジスタのコンペア一致	○	○
	TRD1カウンタとTRDGRB1レジスタのコンペア一致	○	○
	TRD1カウンタとTRDGRC1レジスタのコンペア一致	—	○
	TRD1カウンタとTRDGRD1レジスタのコンペア一致	—	○
拡張PWMモード	TRD0カウンタとTRDGRA0レジスタのコンペア一致	○	○
	TRD0カウンタとTRDGRB0レジスタのコンペア一致	○	○
	TRD0カウンタとTRDCMPB0レジスタのコンペア一致	—	○
	TRD1カウンタとTRDGRA1レジスタのコンペア一致	○	○
	TRD1カウンタとTRDGRB1レジスタのコンペア一致	○	○
	TRD1カウンタとTRDCMPB1レジスタのコンペア一致	—	○
相補PWMモード	TRD1カウンタのアンダフロー	○	—

12.4.7 コンペアレジスタの一斉書き換え

拡張 PWM モード、拡張相補 PWM モード、タイマ KB PWM 出力ゲートモードではコンペアレジスタの一斉書き換えをします。

拡張相補 PWM モードでは TRD1 カウンタのアンダフロー時（または短絡防止時間分前倒し）、拡張 PWM モード／タイマ KB PWM 出力ゲートモードでは周期一致時に一斉書き換えをします。バッファレジスタを変更する場合には、TRDRSFi.RSF フラグが 0 であることを確認したうえで変更してください。変更が必要なバッファレジスタ設定後、最後に TRDRDTi.RDT ビットに 1 を設定してください。TRDRDTi.RDT ビットに 1 を設定することで TRDRSFi.RSF フラグが 1 となります。

TRDRSFi.RSF フラグが 1 のときに一斉書き換えタイミングが発生すると、バッファレジスタからコンペアレジスタに次周期の設定値を転送します。TRDRSFi.RSF フラグが 0 の場合は、バッファレジスタからコンペアレジスタへの転送は行われません。バッファ動作のタイミングについては **12.4.2 バッファ動作**を参照してください。

なお、拡張相補 PWM モード、タイマ KB PWM 出力ゲートモードの動作開始時は TRDRSFi.RSF フラグの値によらず、バッファレジスタからコンペアレジスタに設定値を転送します。

一斉書き換え動作によってコンペアレジスタを書き換えるには以下の手順で書き換えてください。

- (1) TRDRSFi.RSF フラグが 0 であることを確認する
- (2) 一斉書き換え対象のバッファレジスタに値を設定する
- (3) TRDRDTi.RDT ビットに 1 を書き込む
- (4) TRDRSFi.RSF フラグが 1 にセットされ、一斉書き換え完了後、TRDRSFi.RSF フラグは自動クリアされる

表 12 - 17 に一斉書き換え対象レジスタを示します。

また図 12 - 75 に拡張 PWM モードにおける一斉書き換えの動作例、図 12 - 76 に拡張相補 PWM モードにおける一斉書き換えの動作例、図 12 - 77 にタイマ KB PWM 出力ゲートモードにおける一斉書き換えの動作例を示します。

備考 i = 0, 1

表12-17 一斉書き換え対象レジスタ

使用モード	TRDRDT0.RDT	TRDRDT1.RDT
拡張PWMモード	TRDGRA0 TRDGRB0 TRDCMPB0	TRDGRA1 TRDGRB1 TRDCMPB1
拡張相補PWMモード	—	TRDGRB0 TRDCMPB0 TRDGRA1 TRDCMPA1 TRDGRB1 TRDCMPB1 TRDADTC0 TRDADTC1
タイマKB PWM出力ゲートモード	TRDGRA0 TRDGRB0 TRDCMPB0	TRDGRA1 TRDGRB1 TRDCMPA1 TRDCMPB1 TRDCMPE1

図12-75 拡張PWMモードにおける一斉書き換えの動作例

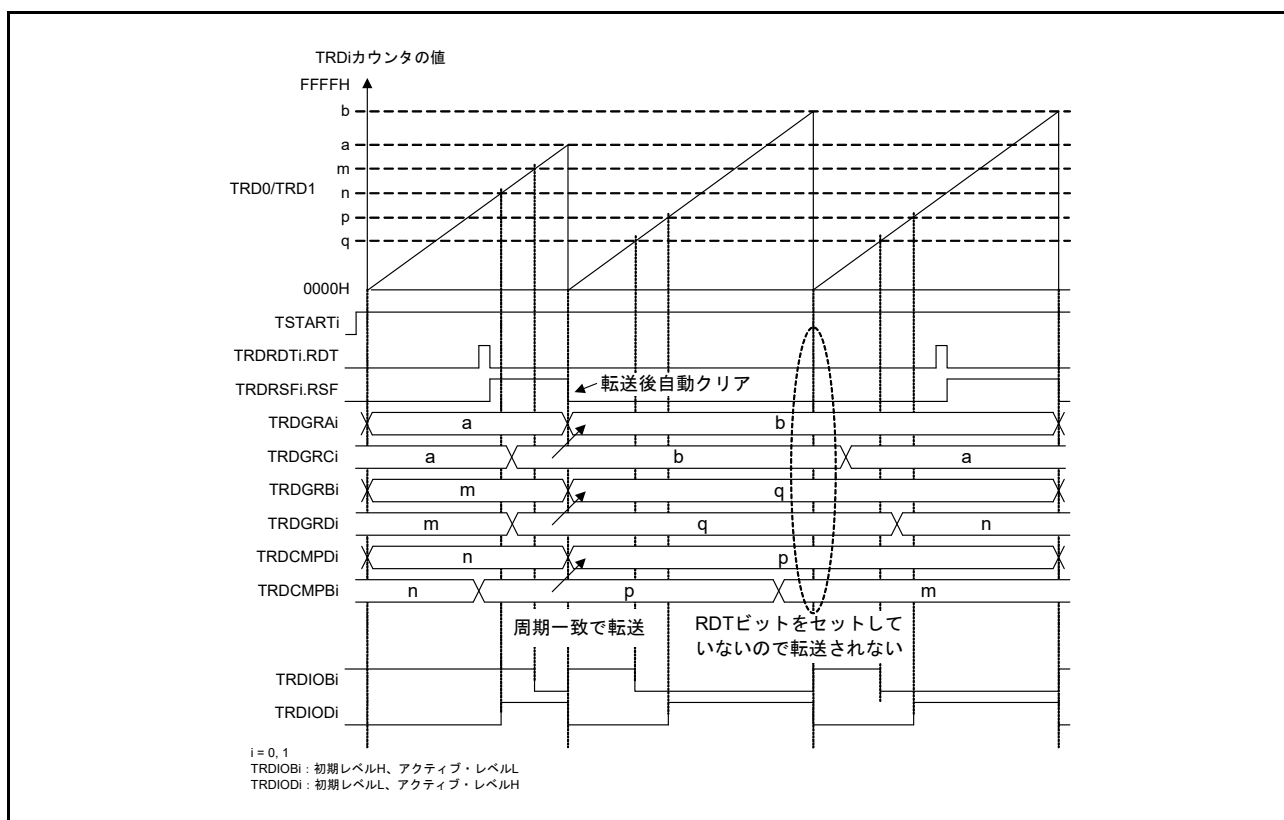


図12-76 拡張相補PWMモードにおける一斉書き換えの動作例

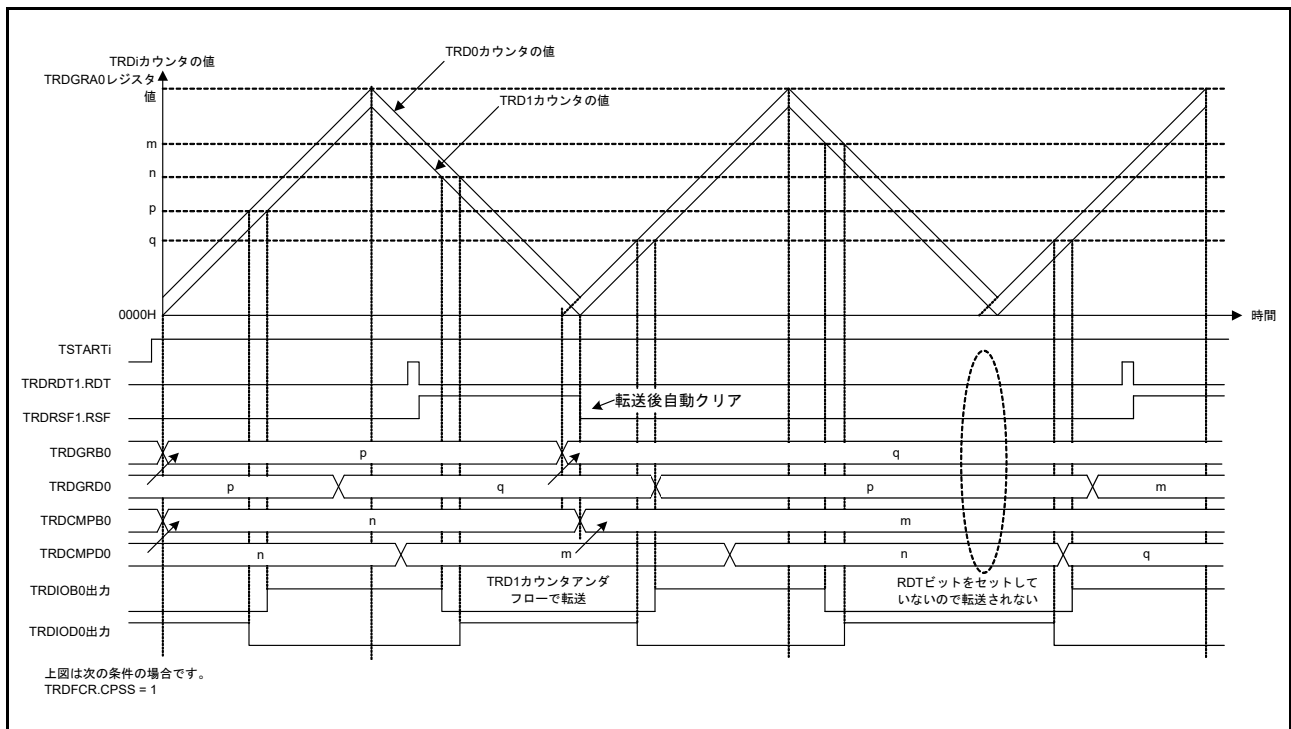
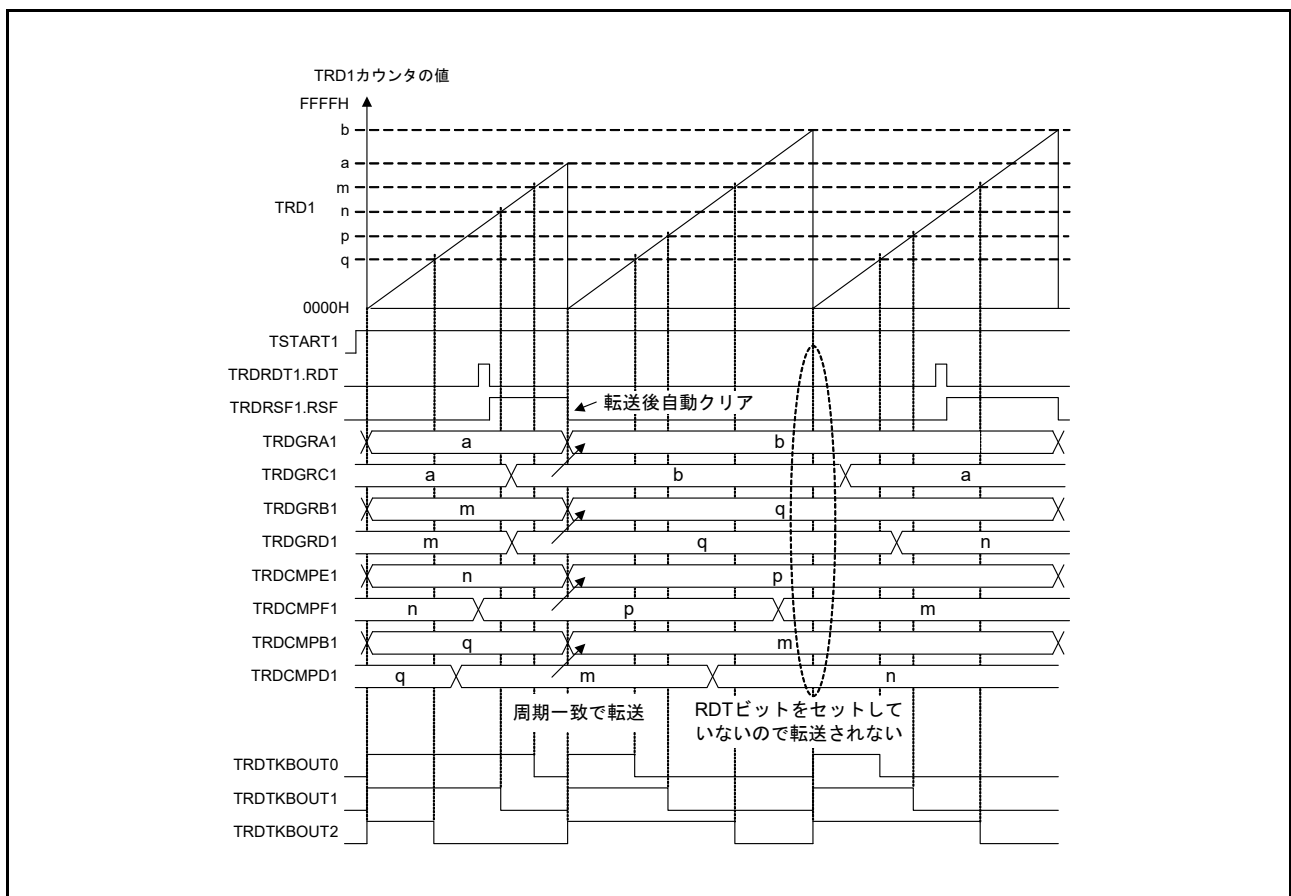


図12-77 タイマKB PWM出力ゲートモードにおける一斉書き換えの動作例



12.4.8 割り込み要求、A/D変換トリガの間引き制御

拡張相補PWMモードでは割り込み要求やA/D変換トリガの間引き制御が可能です。

TRDTCTLレジスタのTRDTMDビットにて、タイマRD2動作開始時の最初の1周期目の間引き出力を有効とするか無効とするかの設定が可能です。TRDTCTLレジスタのTRDTMDビットに1を設定すると、最初の1周期目の割り込み信号、A/Dトリガ信号を出力します。

図12-78に拡張相補PWMモードにおけるタイマRD動作開始1周期目の間引き出力無効時 (TRDTCTL.TRDTMD = 0) の動作例、図12-79に拡張相補PWMモードにおけるタイマRD動作開始1周期目の間引き出力有効時 (TRDTCTL.TRDTMD = 1) の動作例を示します。

図12-78 拡張相補PWMモードにおけるタイマRD動作開始1周期目の間引き出力無効時 (TRDTCTL.TRDTMD = 0) の動作例

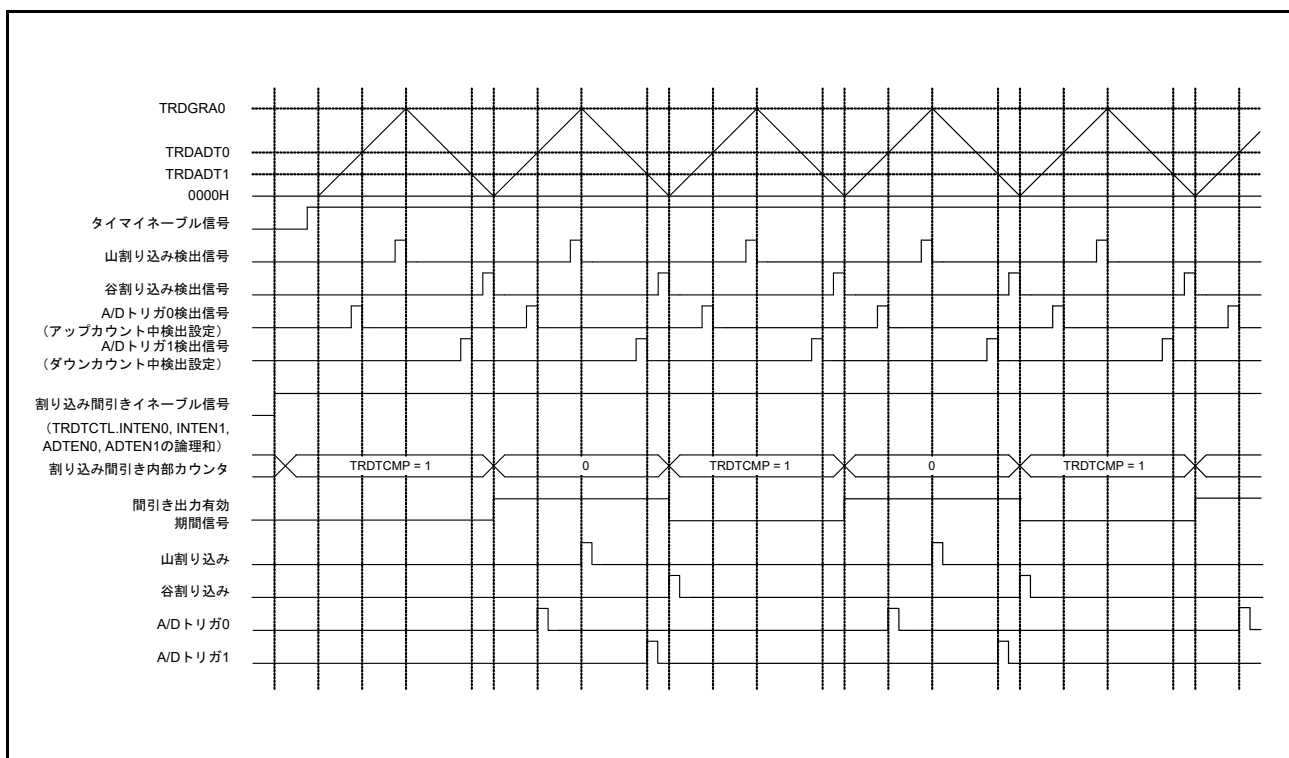
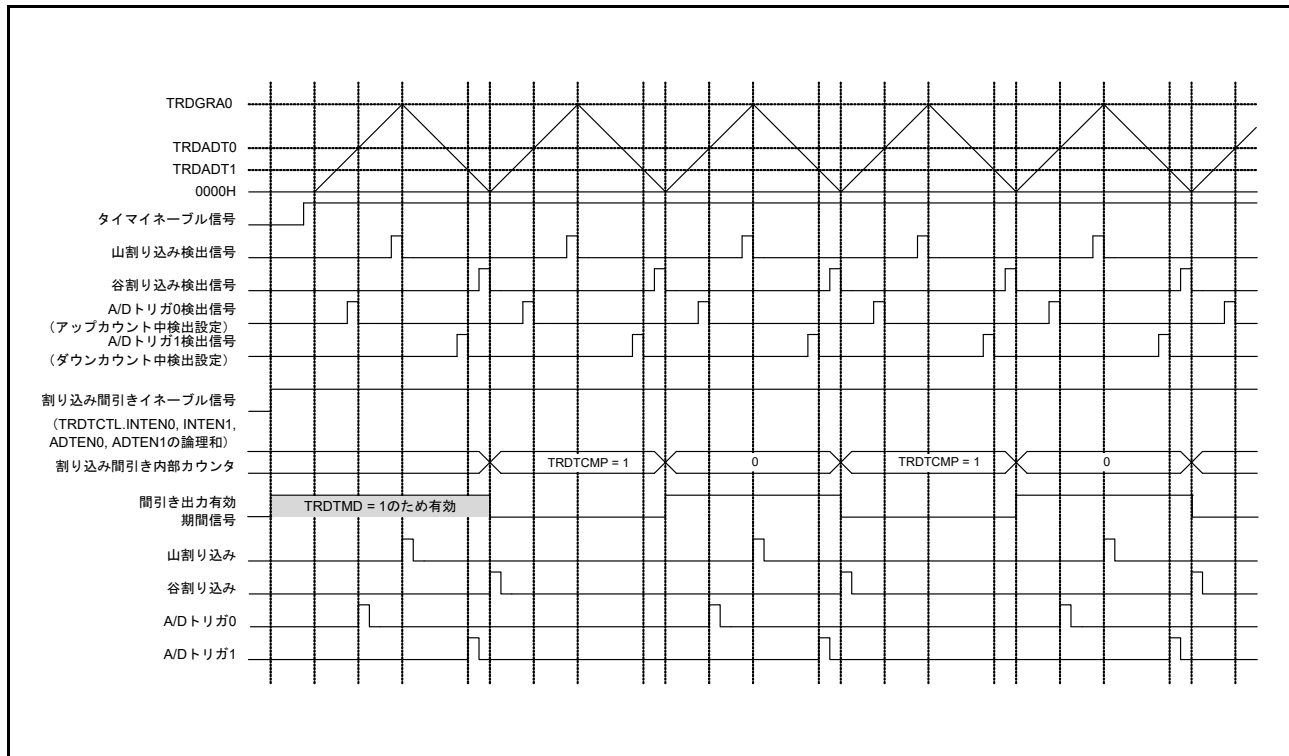


図12-79 拡張相補PWMモードにおけるタイマRD動作開始1周期目の間引き出力有効時
(TRDTCTL.TRDTMD = 1) の動作例



12.5 タイマRD2の動作

タイマRXと連携動作、タイマRD2強制遮断制御（PWMOPA）と連携動作については、**第14章 タイマRX**、**12.8 PWM オプションユニットA（PWMOPA）**を参照してください。

16ビット・タイマKB30, KB31, KB32との連携動作については、**12.5.9 タイマKB PWM 出力ゲートモード**、および**第15章 16ビット・タイマKB30, KB31, KB32**を参照してください。

12.5.1 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO_{ji}端子（ $i = 0, 1; j = A-D$ ）の外部信号をトリガにしてTRDiカウンタの内容をTRDGR_{ji}レジスタに転送します（インพุットキャプチャ）。TRDIO_{ji}端子とTRDGR_{ji}レジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、ほかのモード、機能にするかを選択できます。

図12-80にインพุットキャプチャ機能のブロック図（タイマRD20の場合）、**表12-18**にインพุットキャプチャ機能の仕様、**図12-81**にインพุットキャプチャ機能の動作例を示します。

図 12-80 インputキャプチャ機能のブロック図 (タイマRD20の場合)

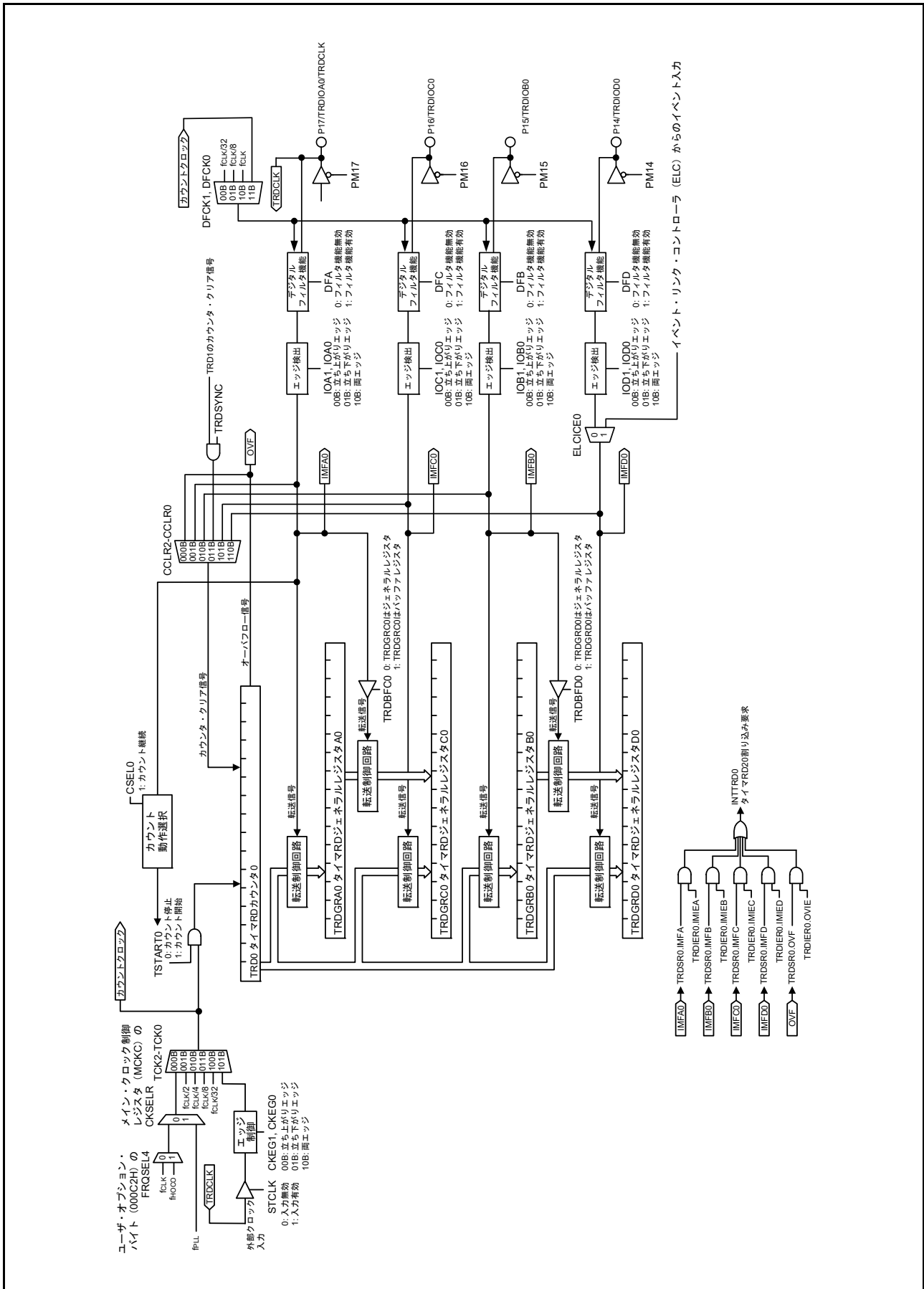


表12-18 インพุットキャプチャ機能の仕様

項目	仕様
カウントソース	fHOCO ^{注1} , fPLL ^{注2} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号（プログラムで有効エッジを選択）
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2-CCLR0ビットが000B（フリーランニング動作）の場合 $1/f_k \times 65536$ f_k : カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1（カウント開始）書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが1に設定されているとき、TSTARTiビットへの0（カウント停止）書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インพุットキャプチャ（TRDIOji入力の有効エッジ） TRDiカウンタオーバフロー
TRDIOA0端子機能	I/Oポート、インพุットキャプチャ入力、またはTRDCLK（外部クロック）入力
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1-TRDIOD1端子機能	I/Oポートまたはインพุットキャプチャ入力（1端子ごとに選択）
INTP0端子機能	使用しない（入力専用ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiカウンタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> TRDMRレジスタのTRDSYNCビットが0（タイマRD20とタイマRD21は独立動作）の場合 TRDiカウンタに書き込める TRDMRレジスタのTRDSYNCビットが1（タイマRD20とタイマRD21が同期動作）の場合 TRDiカウンタに書き込むと、TRD0カウンタとTRD1カウンタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> インพุットキャプチャ入力端子選択 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 インพุットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRDiカウンタを0000Hにするタイミング オーバフローまたはインพุットキャプチャ時 バッファ動作（12.4.2 バッファ動作参照） 同期動作（12.4.3 同期動作参照） デジタルフィルタ TRDIOji入力をサンプリングし、3回一致するとレベルが確定したとみなす ELCからのイベント入力によるインพุットキャプチャ動作

注1. ユーザ・オプション・バイト（000C2H/040C2H）のFRQSEL4ビットが1のときのみfHOCOが選択できます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをクリアしたあとに変更してください。

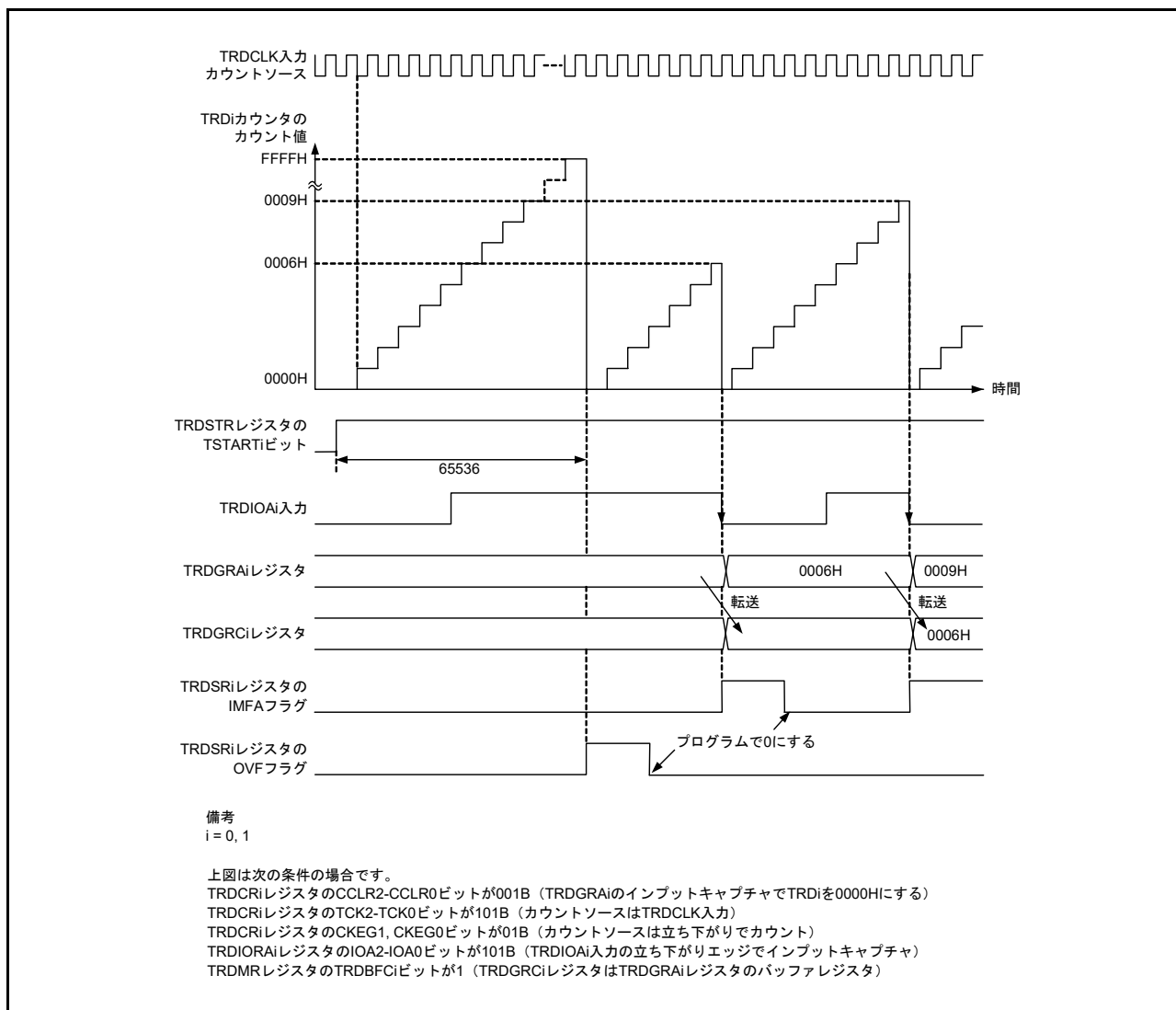
注2. メイン・クロック制御レジスタ（MCKC）のCKSELRビットが1のときは、fPLLが供給されます。

備考 i = 0, 1; j = A-D

(1) 動作例

TRDCRiレジスタ (i = 0, 1) のCCLR2-CCLR0ビットの設定で、インプットキャプチャ/コンペアー一致により、タイマRD2iのカウント値はリセットされます。図12-81 インプットキャプチャ機能の動作例は、CCLR2-CCLR0ビットに001Bを設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウントをクリアする設定をしていて、タイマカウント値がFFFFHにおいてインプットキャプチャ動作をした場合、カウントソースとインプットキャプチャ動作のタイミングによって割り込みフラグであるTRDSRiレジスタのIMFA～IMFDフラグとOVFフラグが同時に1となる場合があります。

図12-81 インプットキャプチャ機能の動作例

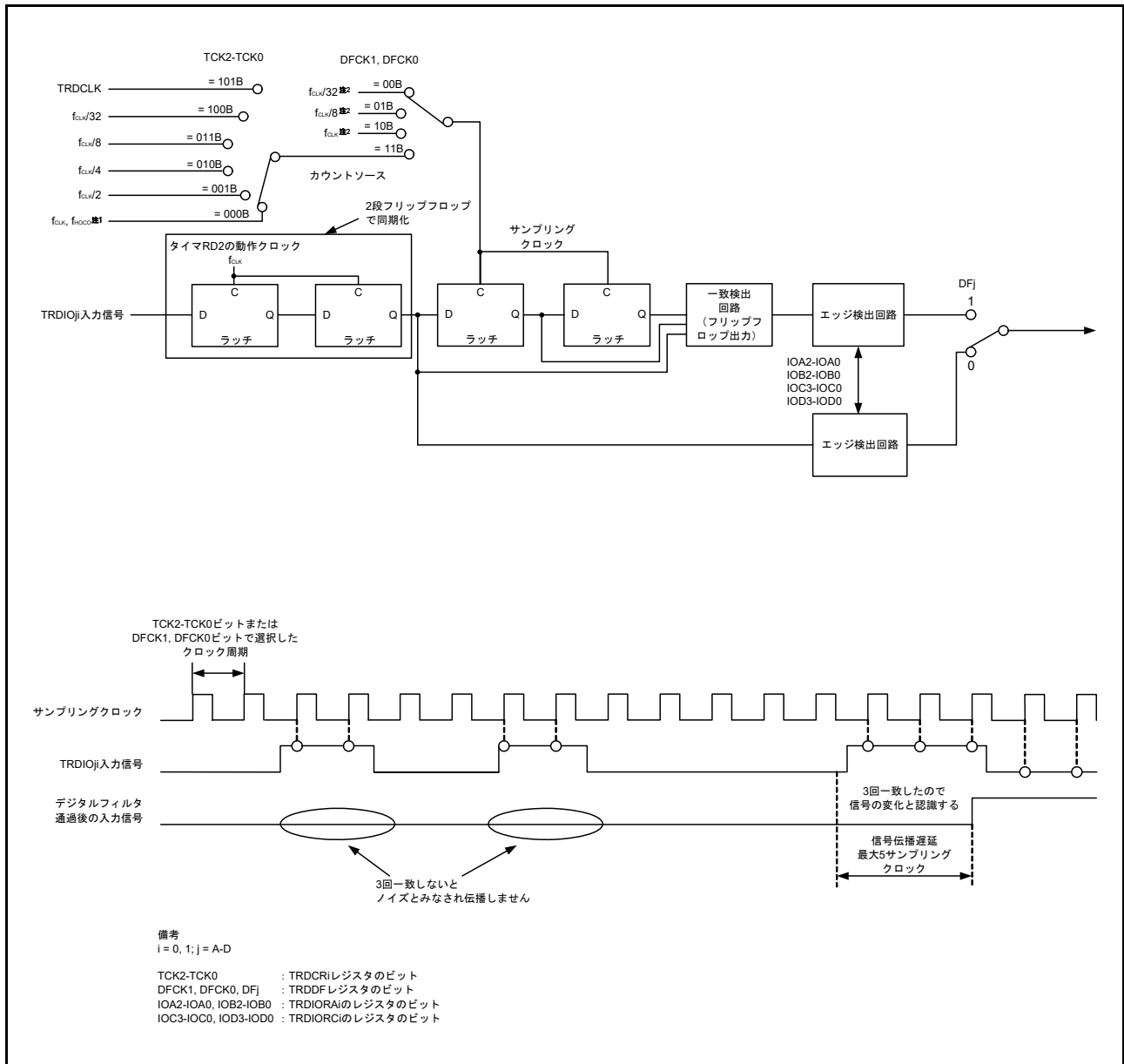


(2) デジタルフィルタ

TRDIO_{ji}入力 (i = 0, 1; j = A-D) をサンプリングし、3回一致するとレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

図12-82にデジタルフィルタのブロック図を示します。

図12-82 デジタルフィルタのブロック図



- 注1.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが0のときはf_{clk}、FRQSEL4ビットが1のときはf_{hoco}が選択されます。
- 注2.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1のとき、f_{clk}/32, f_{clk}/8, f_{clk}はそれぞれf_{hoco}/32, f_{hoco}/8, f_{hoco}になります。
メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のとき、f_{clk}/32, f_{clk}/8, f_{clk}はそれぞれf_{pll}/32, f_{pll}/8, f_{pll}になります。

12.5.2 アウトプットコンペア機能

TRDi カウンタ ($i = 0, 1$) の内容と、TRDGRj レジスタ ($j = A-D$) の内容の一致 (コンペア一致) を検出するモードです。一致したとき TRDIOj 端子から任意のレベルを出力します。TRDIOj 端子と TRDGRj レジスタの組み合わせで機能しますので、端子 1 本ごとにアウトプットコンペア機能にするか、ほかのモード、機能にするかを選択できます。

図 12 - 83 にアウトプットコンペア機能のブロック図 (タイマ RD20 の場合)、表 12 - 19 にアウトプットコンペア機能の仕様、図 12 - 84 にアウトプットコンペア機能の動作例を示します。

図12-83 アウトプットコンペア機能のブロック図 (タイマRD20の場合)

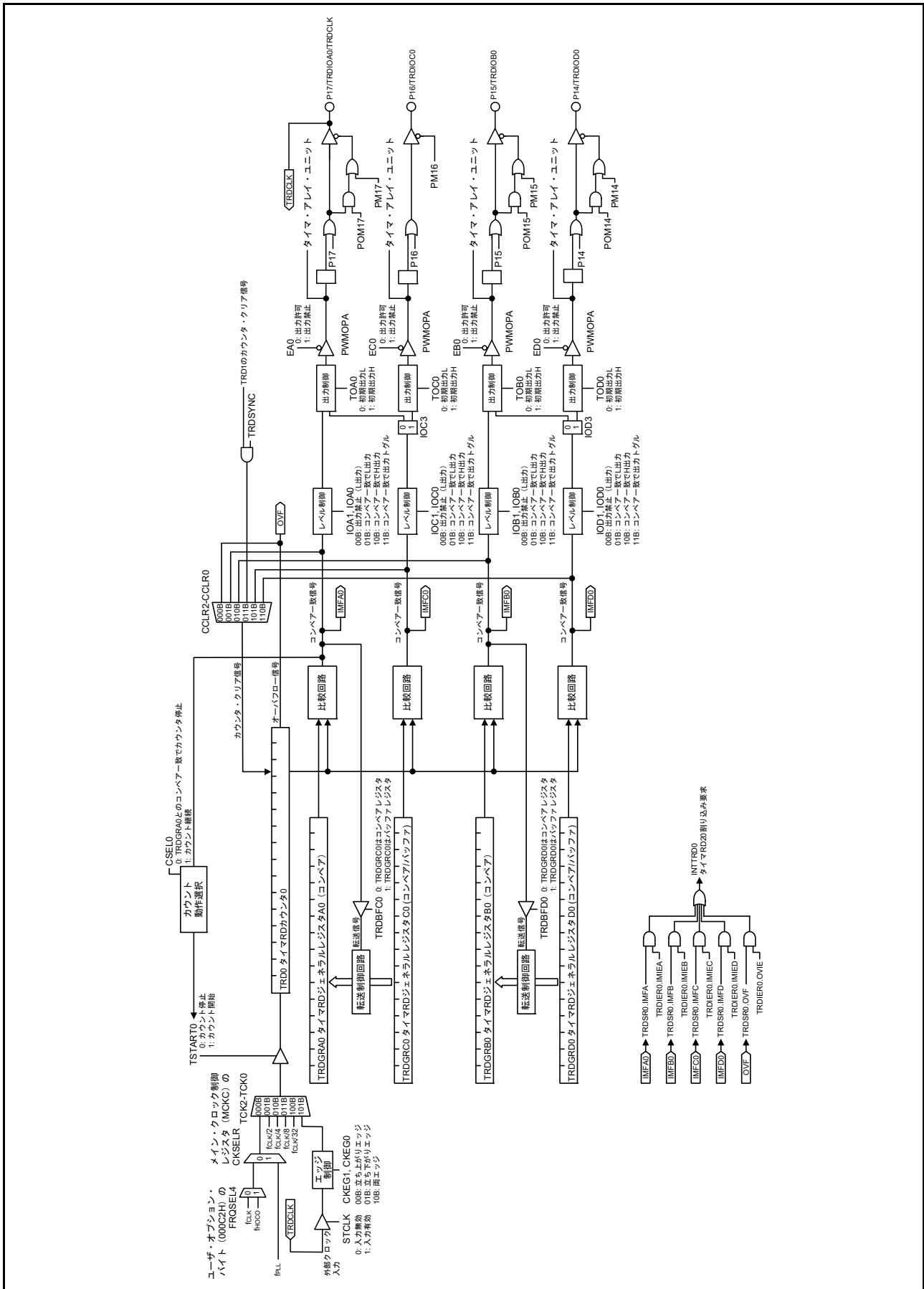


表12-19 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	fHOCO ^{注1} , fPLL ^{注2} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号（プログラムで有効エッジを選択）
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> TRDCRiレジスタのCCLR2-CCLR0ビットが000B（フリーランニング動作）の場合 $1/f_k \times 65536$ f_k: カウントソースの周波数 TRDCRiレジスタのCCLR1, CCLR0ビットが01B, 10B（TRDGRjiのコンペア一致でTRDiを0000Hにする）の場合 $1/f_k \times (n + 1)$ n: TRDGRjiレジスタ設定値
波形出カタイミング	コンペア一致（TRDiカウンタとTRDGRjiレジスタの内容が一致）
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1（カウント開始）書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSELiビットが1に設定されているとき、TSTARTiビットへの0（カウント停止）書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSELiビットが0の場合、TRDGRAiコンペア一致でカウント停止 アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致（TRDiカウンタとTRDGRjiレジスタの内容が一致） TRDiカウンタオーバフロー
TRDIOA0端子機能	I/Oポート、アウトプットコンペア出力、またはTRDCLK（外部クロック）入力
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1-TRDIOD1端子機能	I/Oポートまたはアウトプットコンペア出力（1端子ごとに選択）
INTP0端子機能	使用しない（入力専用ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiカウンタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> TRDMRレジスタのTRDSYNCビットが0（タイマRD20とタイマRD21は独立動作）の場合 TRDiカウンタに書き込める TRDMRレジスタのTRDSYNCビットが1（タイマRD20とタイマRD21が同期動作）の場合 TRDiカウンタに書き込むと、TRD0カウンタとTRD1カウンタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 コンペア一致時の出力レベル選択 ロウ・レベル出力、ハイ・レベル出力、または出力レベル反転 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 TRDiカウンタを0000Hにするタイミング オーバフローまたはTRDGRAiレジスタのコンペア一致 バッファ動作（12.4.2 バッファ動作参照） 同期動作（12.4.3 同期動作参照） TRDGRCi, TRDGRDiレジスタの出力端子変更 TRDGRCiレジスタをTRDIOAi端子の、TRDGRDiレジスタをTRDIOBi端子の出力制御に使用できる タイマRD2は出力しないことで内部タイマとして使用できる

注1. ユーザ・オプション・バイト（000C2H/040C2H）のFRQSEL4ビットが1のときのみfHOCOが選択できます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをクリアしたあとに変更してください。

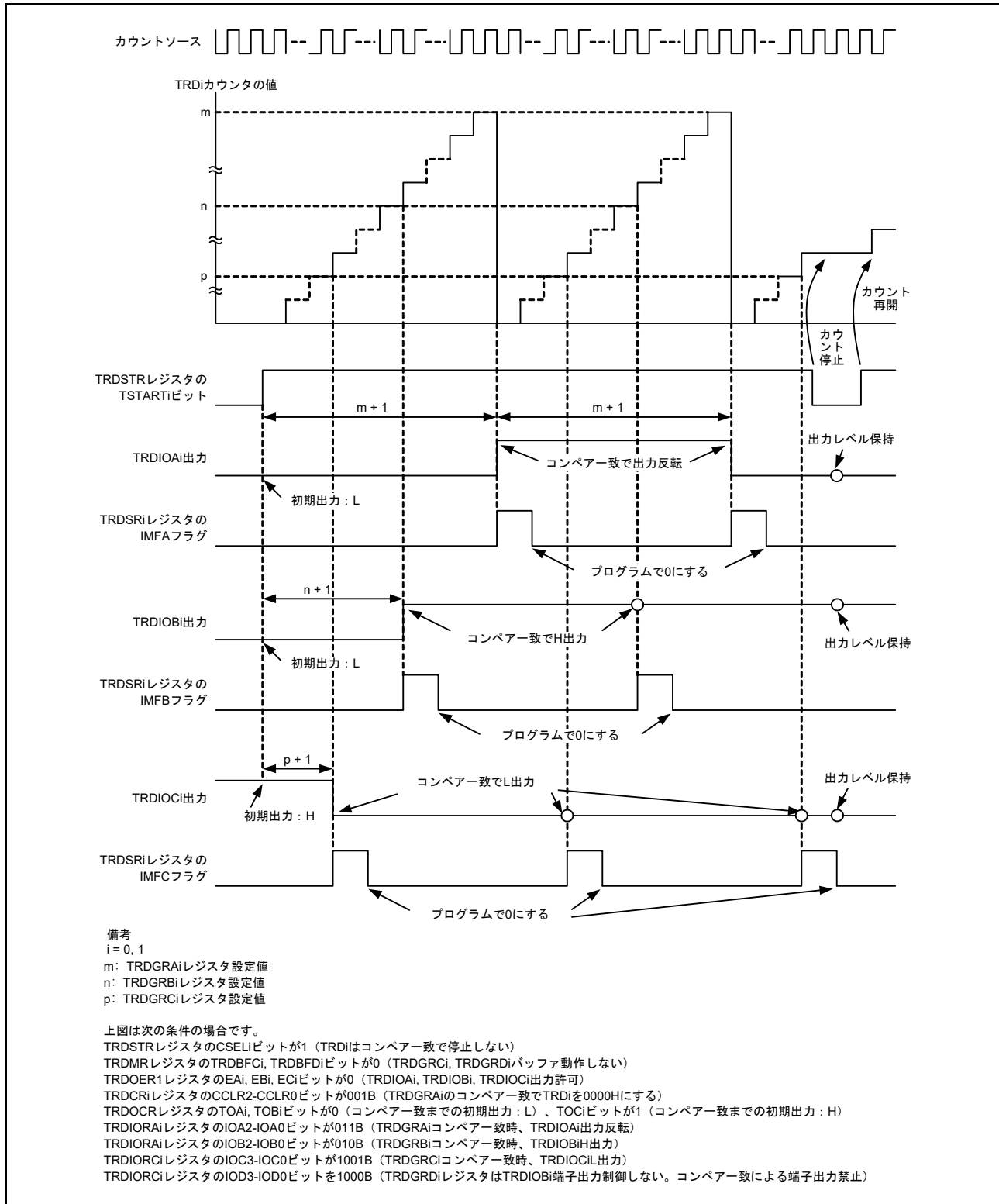
注2. メイン・クロック制御レジスタ（MCKC）のCKSELRビットが1のときは、fPLLが供給されます。

備考 i = 0, 1; j = A-D

(1) 動作例

TRDCR_iレジスタ (i = 0, 1) のCCLR2-CCLR0ビットの設定によって、インプットキャプチャ/コンペアー一致により、タイマRD2_iのカウンタ値はリセットされます。このとき、コンペアー期待値がFFFFHの場合、オーバーフロー動作と同様にFFFFHから0000Hとなり、オーバーフローフラグは1となります。

図12-84 アウトプットコンペアー機能の動作例

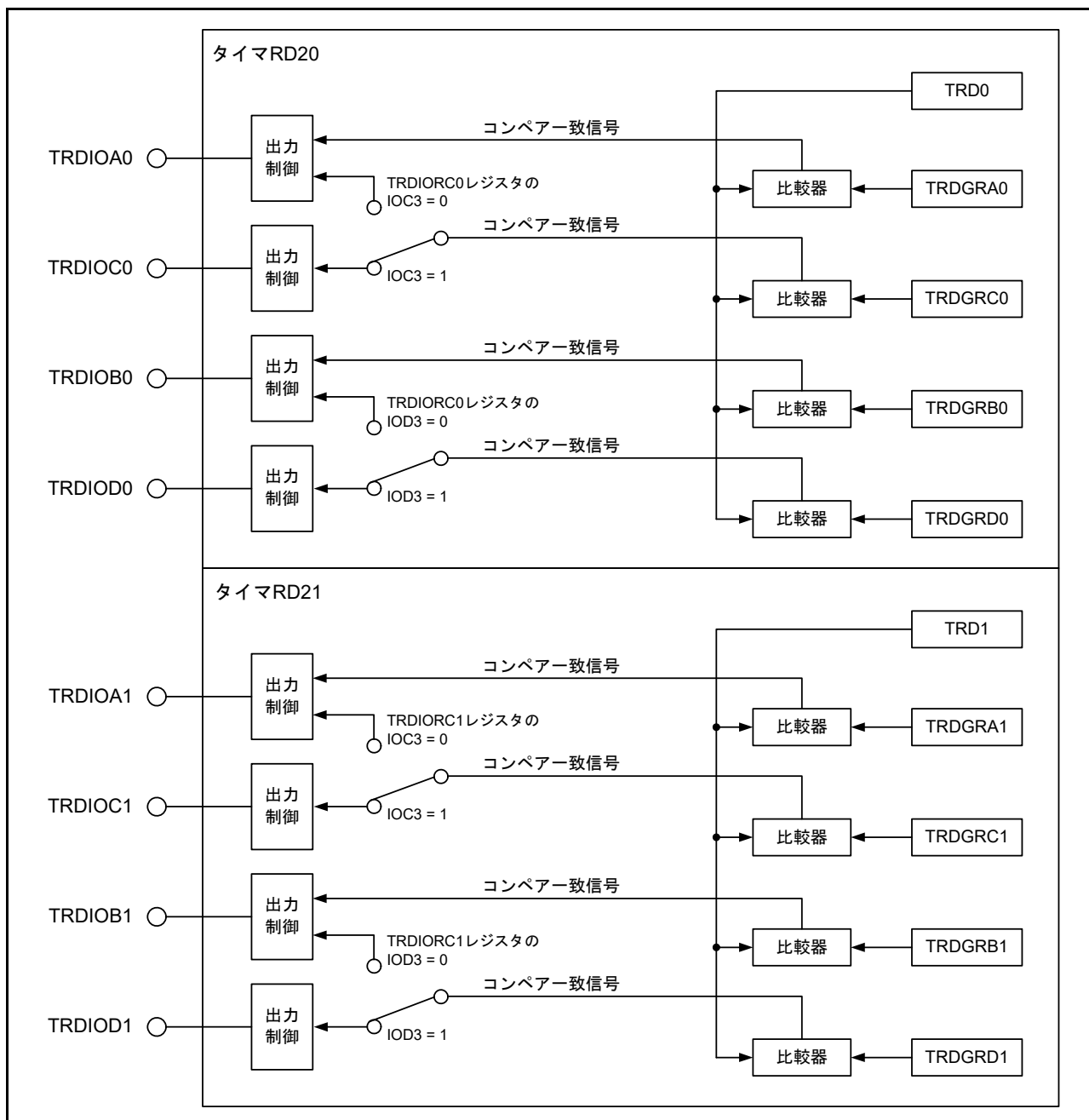


(2) TRDGRCi, TRDGRDi レジスタ (i = 0, 1) の出力端子変更

TRDGRCi レジスタを TRDIOAi 端子の、TRDGRDi レジスタを TRDIOBi 端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOAi 出力は、TRDGRAi レジスタの値と TRDGRCi レジスタの値の2点で制御
- TRDIOBi 出力は、TRDGRBi レジスタの値と TRDGRDi レジスタの値の2点で制御

図 12 - 85 TRDGRCi, TRDGRDi の出力端子変更

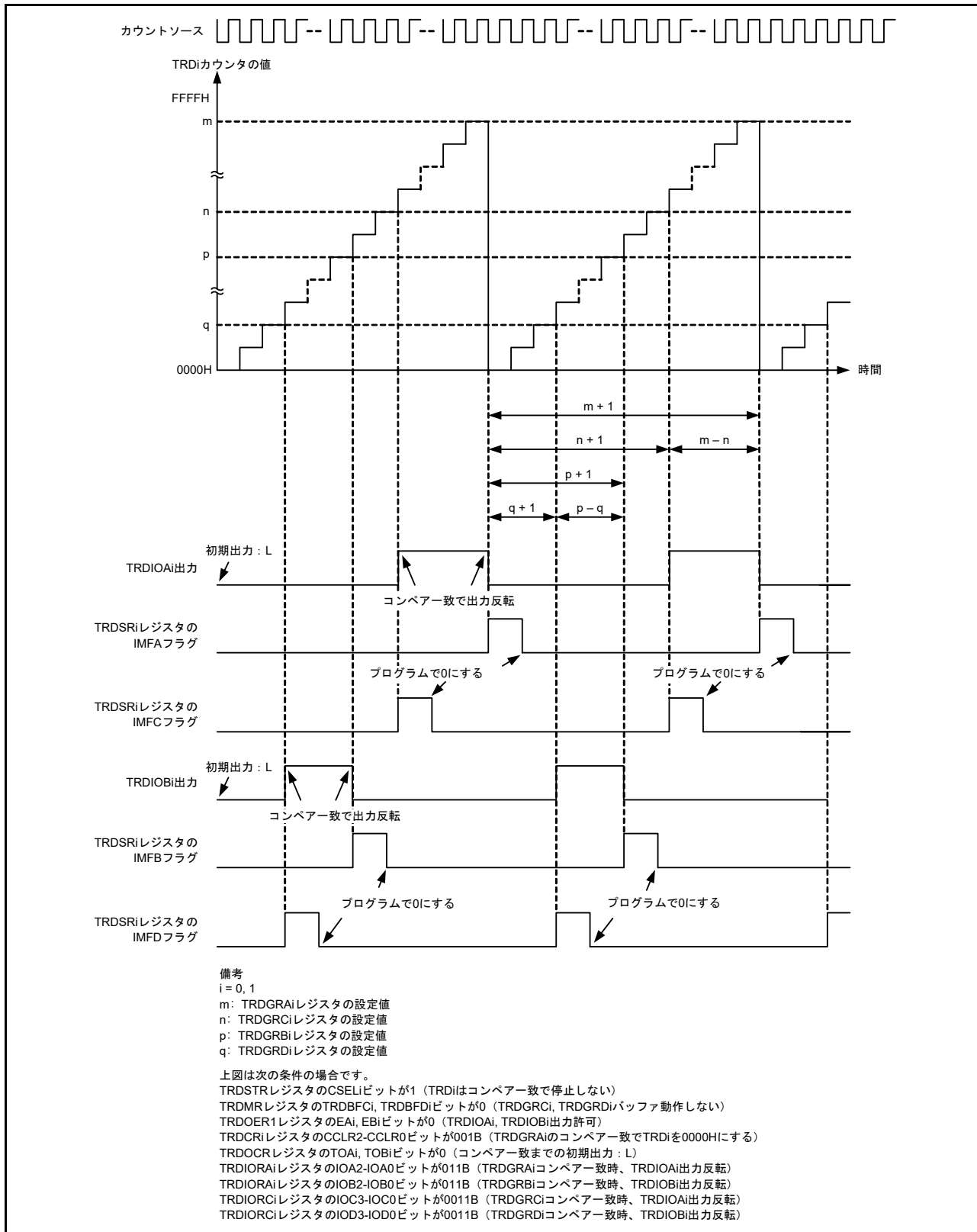


TRDGRCi, TRDGRDi レジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORCi レジスタの IOj3 ビット (j = C, D) で 0 (TRDGRji レジスタ出力端子変更) を選択。
- TRDMR レジスタの TRDBFji ビットを 0 (ジェネラルレジスタ) にする。
- TRDGRAi レジスタと TRDGRCi レジスタは違う値を設定。また、TRDGRBi レジスタと TRDGRDi レジスタは違う値を設定。

図12-86にTRDGRCiレジスタをTRDIOAi端子の出力制御、TRDGRDiレジスタをTRDIOBi端子の出力制御に使用した場合の動作例を示します。

図12-86 TRDGRCiレジスタをTRDIOAi端子の出力制御、TRDGRDiレジスタをTRDIOBi端子の出力制御に使用した場合の動作例



12.5.3 PWM機能

PWM 波形を出力する機能です。タイマ RD2i (i = 0, 1) で同周期の PWM 波形を最大 3 本出力できます。

また、タイマ RD20 とタイマ RD21 を同期させることによって同周期の PWM 波形を最大 6 本出力できます。

TRDIOj (i = 0-1, j = B-D) 端子と TRDGRj レジスタの組み合わせで機能しますので、端子 1 本ごとに PWM 機能にするか、ほかのモード、機能にするかを選択できます (ただし、いずれの端子を PWM 機能に使用する場合も TRDGRAi レジスタを使用しますので、TRDGRAi レジスタはほかのモードに使用できません)。

図 12 - 87 に PWM 機能のブロック図 (タイマ RD20 の場合)、表 12 - 20 に PWM 機能の仕様、図 12 - 88 に PWM 機能の動作例、図 12 - 89 に PWM 機能の動作例 (デューティ 0%、デューティ 100%) を示します。

図 12-87 PWM機能のブロック図 (タイマRD20の場合)

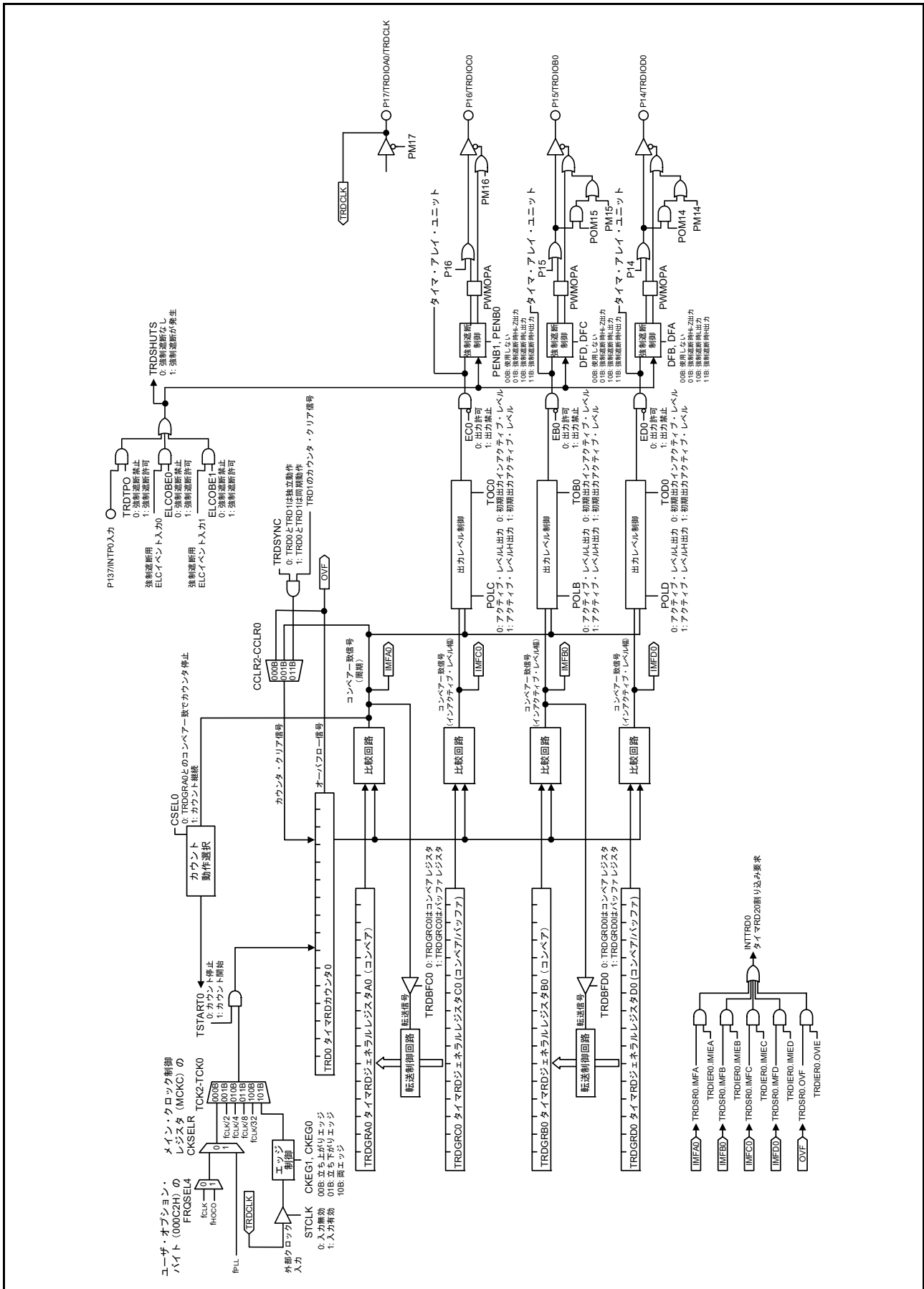
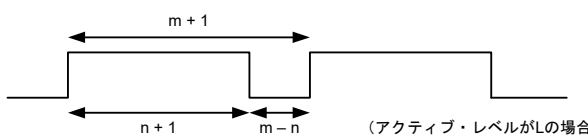


表12-20 PWM機能の仕様

項目	仕様
カウントソース	fHOCO ^{注1} , fPLL ^{注2} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号（プログラムで有効エッジを選択可能）
カウント動作	アップカウント
PWM波形	PWM周期: $1/f_k \times (m + 1)$ アクティブ・レベル幅: $1/f_k \times (m - n)$ アクティブでないレベルの幅: $1/f_k \times (n + 1)$ f_k : カウントソースの周波数 m : TRDGRAiレジスタ設定値 n : TRDGRjiレジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1（カウント開始）書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSELiビットが1に設定されているとき、TSTARTiビットへの0（カウント停止）書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSELiビットが0の場合、TRDGRAiコンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致（TRDiカウンタとTRDGRhiレジスタの内容が一致） TRDiカウンタオーバーフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK（外部クロック）入力
TRDIOA1端子機能	I/Oポート
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOB1, TRDIOC1, TRDIOD1端子機能	I/OポートまたはPWM出力（1端子ごとに選択）
INTP0端子機能	パルス出力強制遮断信号入力（入力専用ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiカウンタを読むと、カウント値が読める
タイマの書き込み	TRDiカウンタに書き込める
選択機能	<ul style="list-style-type: none"> PWM出力端子をタイマRD2iで1~3本選択 TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 アクティブ・レベルを1端子ごとに選択 初期出力レベルを1端子ごとに選択 同期動作（12.4.3 同期動作参照） バッファ動作（12.4.2 バッファ動作参照） パルス出力強制遮断信号入力（12.4.4 パルス出力強制遮断参照）

注1. ユーザ・オプション・バイト（000C2H/040C2H）のFRQSEL4ビットが1のときのみfHOCOが選択できます。タイマRD2の
カウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをセットする前に、fCLK
をfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2（PER2）のTRD0EN
ビットをクリアしたあとに変更してください。

注2. メイン・クロック制御レジスタ（MCKC）のCKSELRビットが1のときは、fPLLが供給されます。

備考 i = 0, 1; j = B-D; h = A-D

(1) 動作例

図12-88 PWM機能の動作例

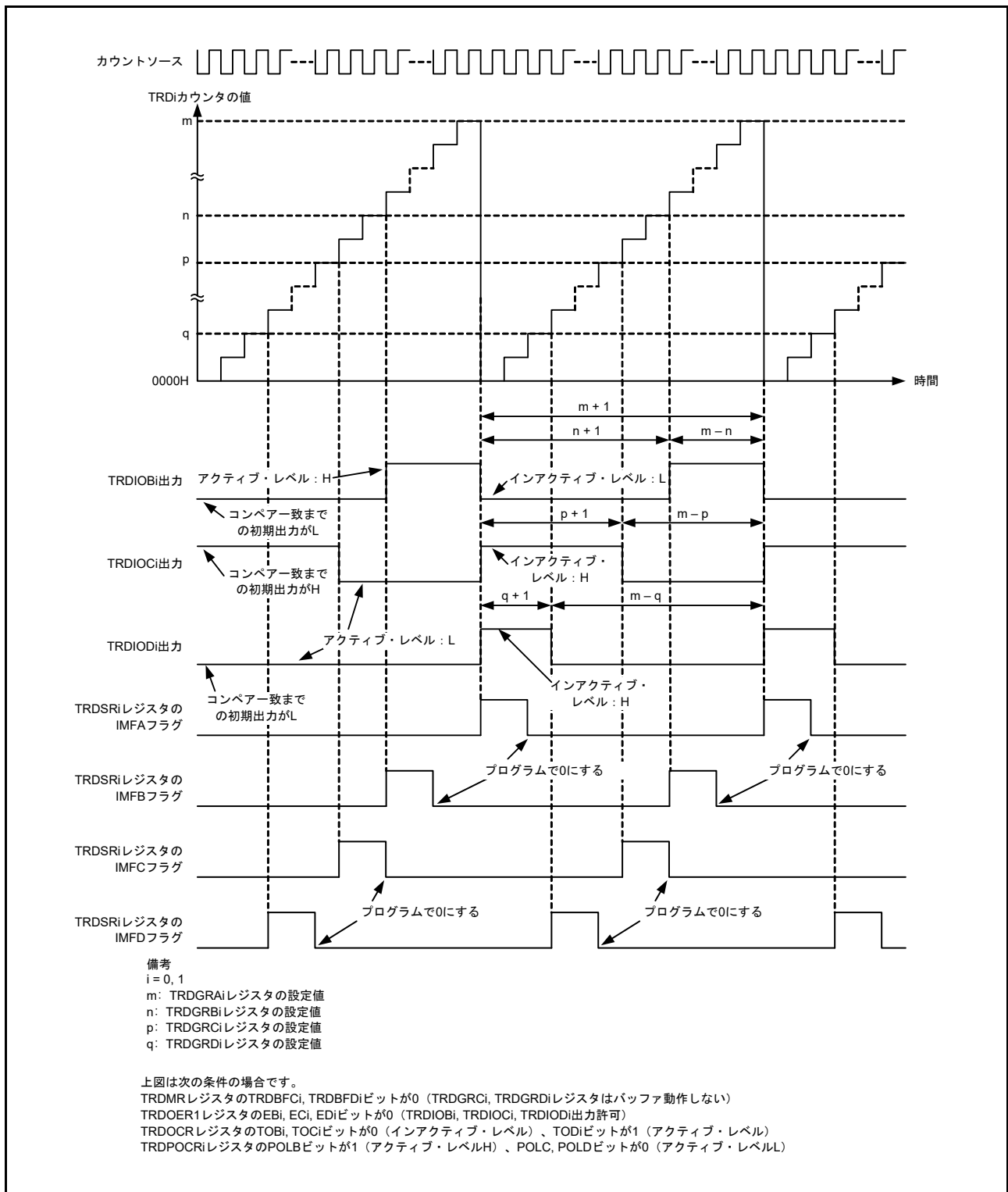
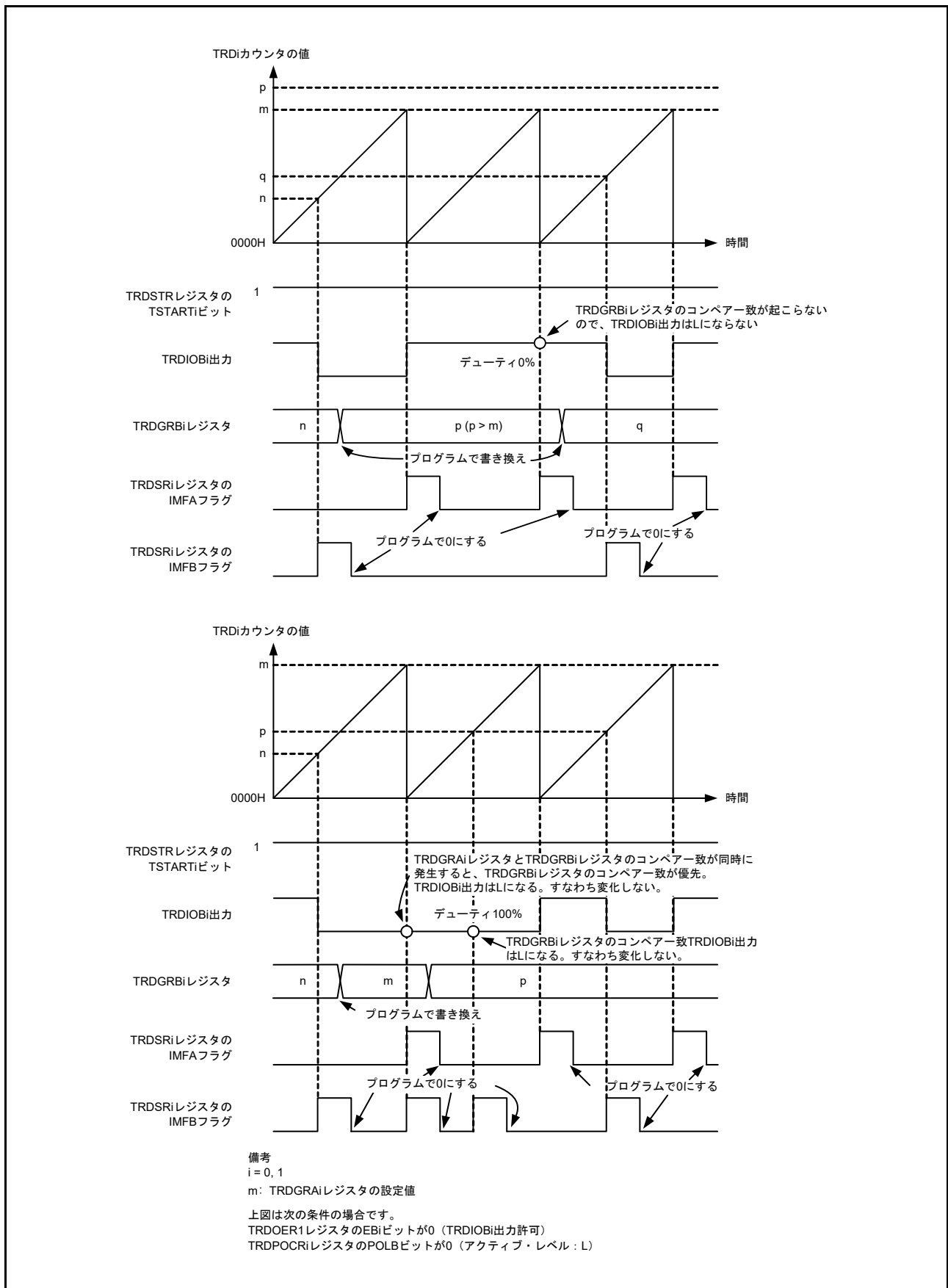


図 12-89 PWM機能の動作例（デューティ 0%、デューティ 100%）



12.5.4 リセット同期PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します（三相、のこぎり波変調、短絡防止時間なし）。

図 12 - 90 にリセット同期 PWM モードのブロック図（タイマ RD20 の場合）、表 12 - 21 にリセット同期 PWM モードの仕様、図 12 - 91 にリセット同期 PWM モードの動作例を示します。

デューティ 0%、100% の PWM 動作例は図 12 - 89 PWM 機能の動作例（デューティ 0%、デューティ 100%）を参照してください。

図 12 - 90 リセット同期PWMモードのブロック図 (タイマRD20の場合)

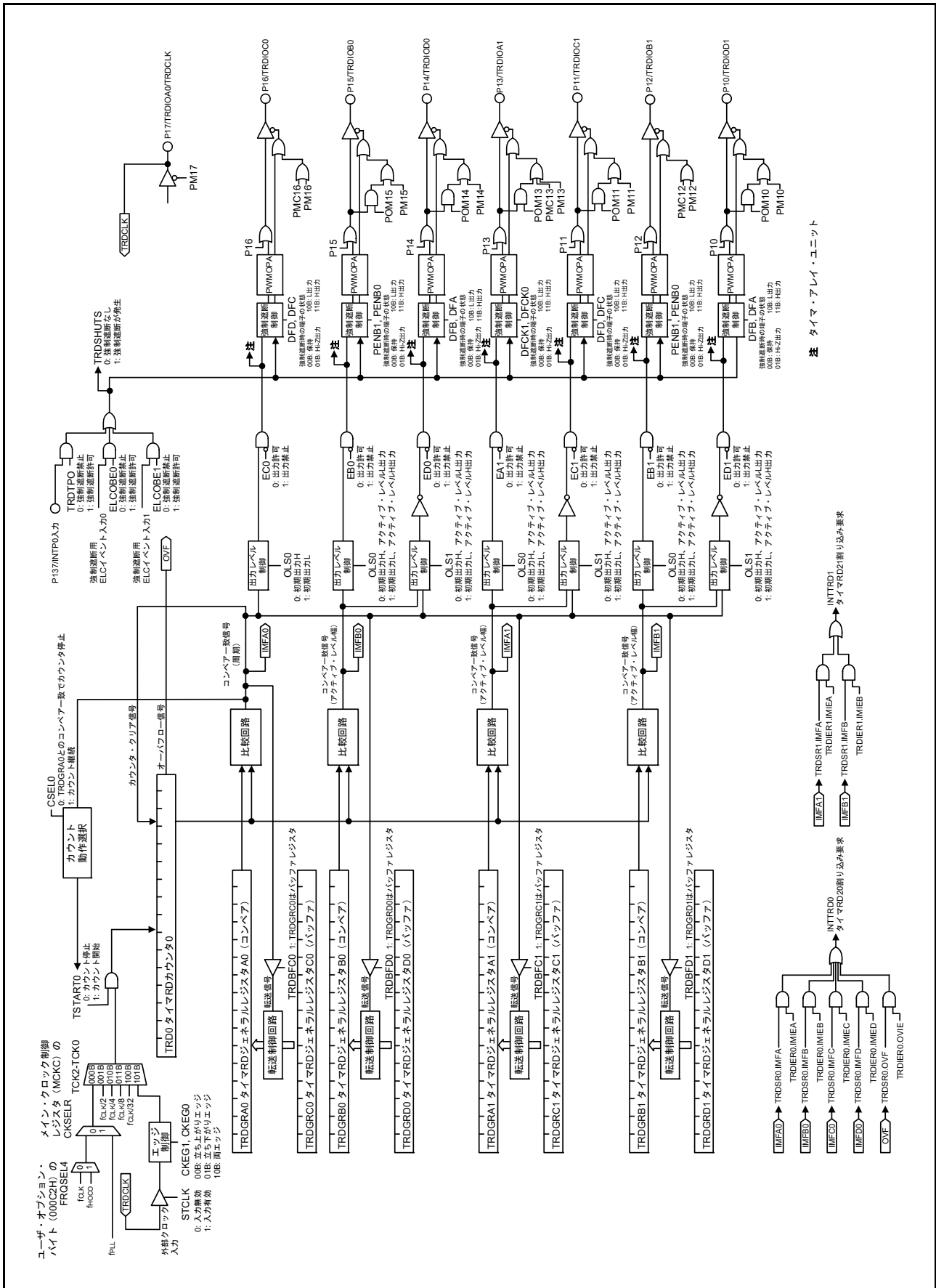


表12-21 リセット同期PWMモードの仕様

項目	仕様
カウントソース	fHOCO ^{注1} , fPLL ^{注2} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号（プログラムで有効エッジを選択可能）
カウント動作	TRD0はアップカウント（TRD1は使用しない）
PWM波形	<p>PWM周期：$1/f_k \times (m + 1)$ 正相のアクティブ・レベル幅：$1/f_k \times (m - n)$ 逆相のアクティブ・レベル幅：$1/f_k \times (n + 1)$ f_k：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値（PWM出力1） TRDGRA1レジスタ設定値（PWM出力2） TRDGRB1レジスタ設定値（PWM出力3）</p> <p style="text-align: right;">（アクティブ・レベルがLの場合）</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1（カウント開始）書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSEL0ビットが1に設定されているとき、TSTART0ビットへの0（カウント停止）書き込み PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力 TRDSTRレジスタのCSEL0ビットが0の場合、TRDGRA0コンパレー一致でカウント停止 PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンパレー一致（TRD0カウンタとTRDGRj0, TRDGRA1, TRDGRB1レジスタの内容が一致） TRD0カウンタオーバフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK（外部クロック）入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INTP0端子機能	パルス出力強制遮断信号入力（入力専用ポートまたはINTP0割り込み入力）
タイマの読み出し	TRD0カウンタを読むと、カウント値が読める
タイマの書き込み	TRD0カウンタに書き込める
選択機能	<ul style="list-style-type: none"> 正相、逆相のアクティブ・レベルと初期出力レベルを個々に選択 バッファ動作（12.4.2 バッファ動作参照） パルス出力強制遮断信号入力（12.4.4 パルス出力強制遮断参照）

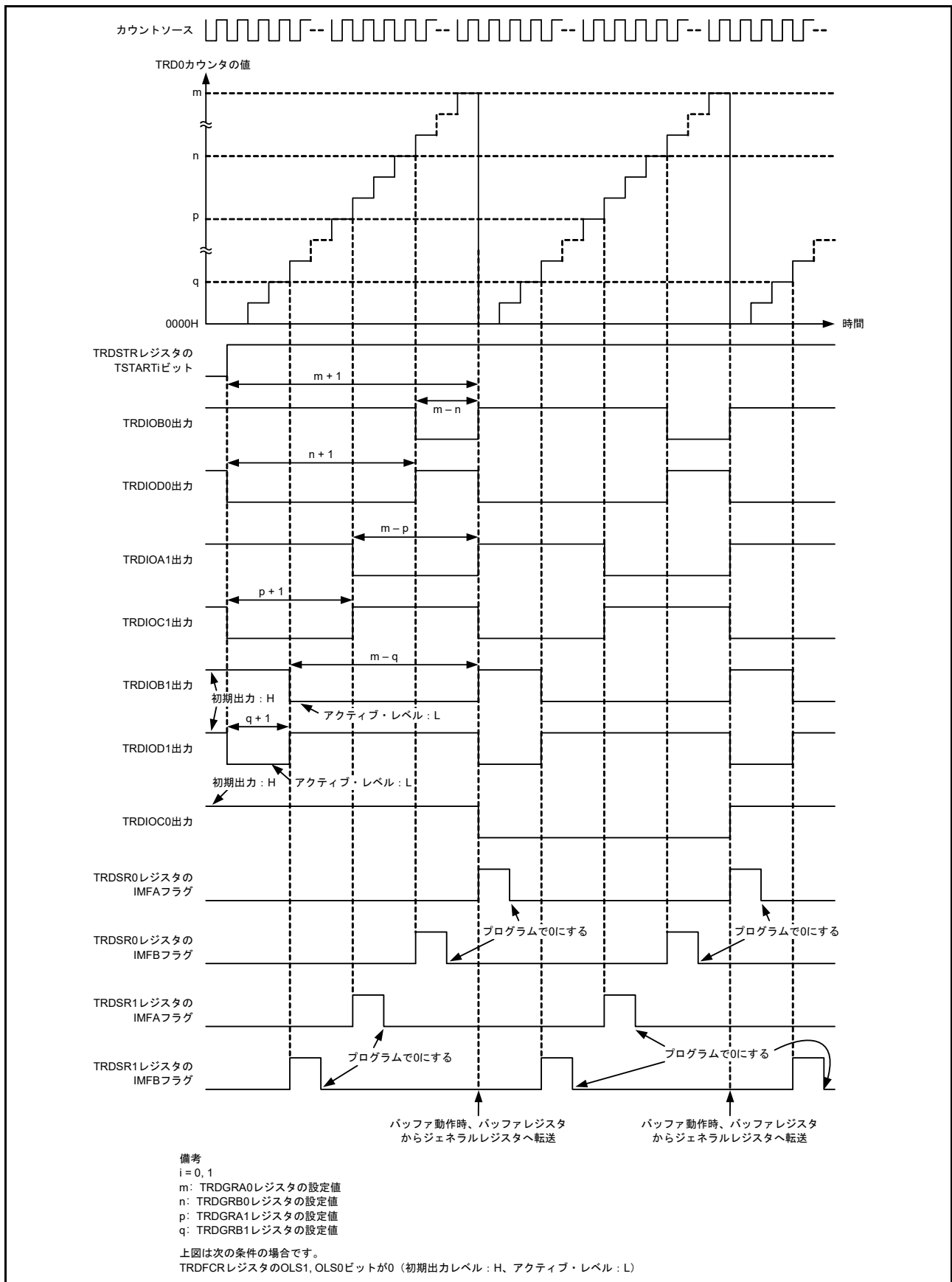
（注、備考は次ページに続きます）

- 注1.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1のときのみfHOCOが選択できます。タイマRD2のカウンタソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをクリアしたあとに変更してください。
- 注2.** メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは、fPLLが供給されます。

備考 j = A-D

(1) 動作例

図12-91 リセット同期PWMモードの動作例



12.5.5 相補PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します（三相、三角波変調、短絡防止時間あり）。

図 12 - 92 に相補 PWM モードのブロック図（タイマ RD20 の場合）、表 12 - 22 に相補 PWM モードの仕様、図 12 - 93 に相補 PWM モードの出力モデル、図 12 - 94 に相補 PWM モードの動作例を示します。

図 12 - 92 相補PWMモードのブロック図 (タイマRD20の場合)

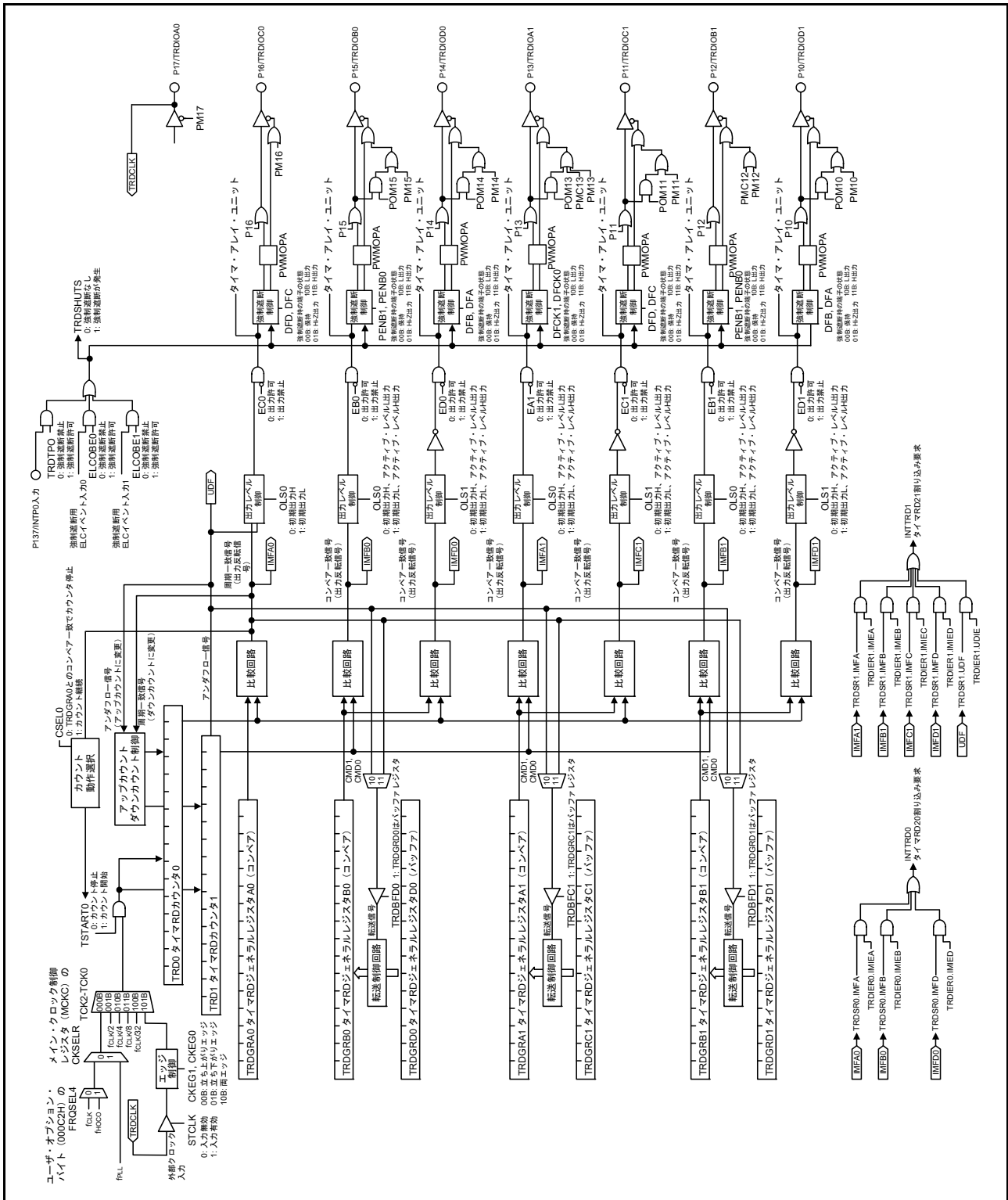


表12-22 相補PWMモードの仕様 (1/2)

項目	仕様
カウントソース	fHOCO ^{注1} , fPLL ^{注2} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号（プログラムで有効エッジを選択可能） TRDCR0レジスタのTCK2-TCK0ビットと、TRDCR1レジスタのTCK2-TCK0ビットは同じ値（同じカウントソース）にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0カウンタとTRDGRA0レジスタがコンペアー一致すると、TRD0, TRD1カウンタともダウンカウントになる。ダウンカウント中にTRD1カウンタが0000HからFFFFHになるとTRD0, TRD1カウンタともアップカウントになる。
PWM波形	<p>PWM周期：$1/f_k \times (m + 2 - p) \times 2$^{注3}</p> <p>短絡防止時間：p</p> <p>正相のアクティブ・レベル幅：$1/f_k \times (m - n - p + 1) \times 2$</p> <p>逆相のアクティブ・レベル幅：$1/f_k \times (n + 1 - p) \times 2$</p> <p>f_k：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値（PWM出力1） TRDGRA1レジスタ設定値（PWM出力2） TRDGRB1レジスタ設定値（PWM出力3） p：TRD0カウンタ設定値</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの1（カウント開始）書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが1に設定されているときTSTART0ビットとTSTART1ビットへの0（カウント停止）書き込み（PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力）
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致（TRDiカウンタとTRDGRjiレジスタの内容が一致） TRD1カウンタアンダフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK（外部クロック）入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
INTP0端子機能	パルス出力強制遮断信号入力（入力専用ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiカウンタを読むと、カウント値が読める
タイマの書き込み	TRDiカウンタに書き込める

表12 - 22 相補PWMモードの仕様 (2/2)

項目	仕様
選択機能	<ul style="list-style-type: none"> • パルス出力強制遮断信号入力 (12.4.4 パルス出力強制遮断参照) • 正相、逆相のアクティブ・レベルと初期出力レベルを個々に選択 • バッファレジスタからの転送タイミング選択

注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1のときのみfHOCOが選択できます。タイマRD2のカウンタソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをクリアしたあとに変更してください。

注2. メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは、fPLLが供給されます。

注3. カウント開始後、PWM周期は固定です。

備考 $i = 0, 1; j = A-D$

(1) 動作例

図12-93 相補PWMモードの出力モデル

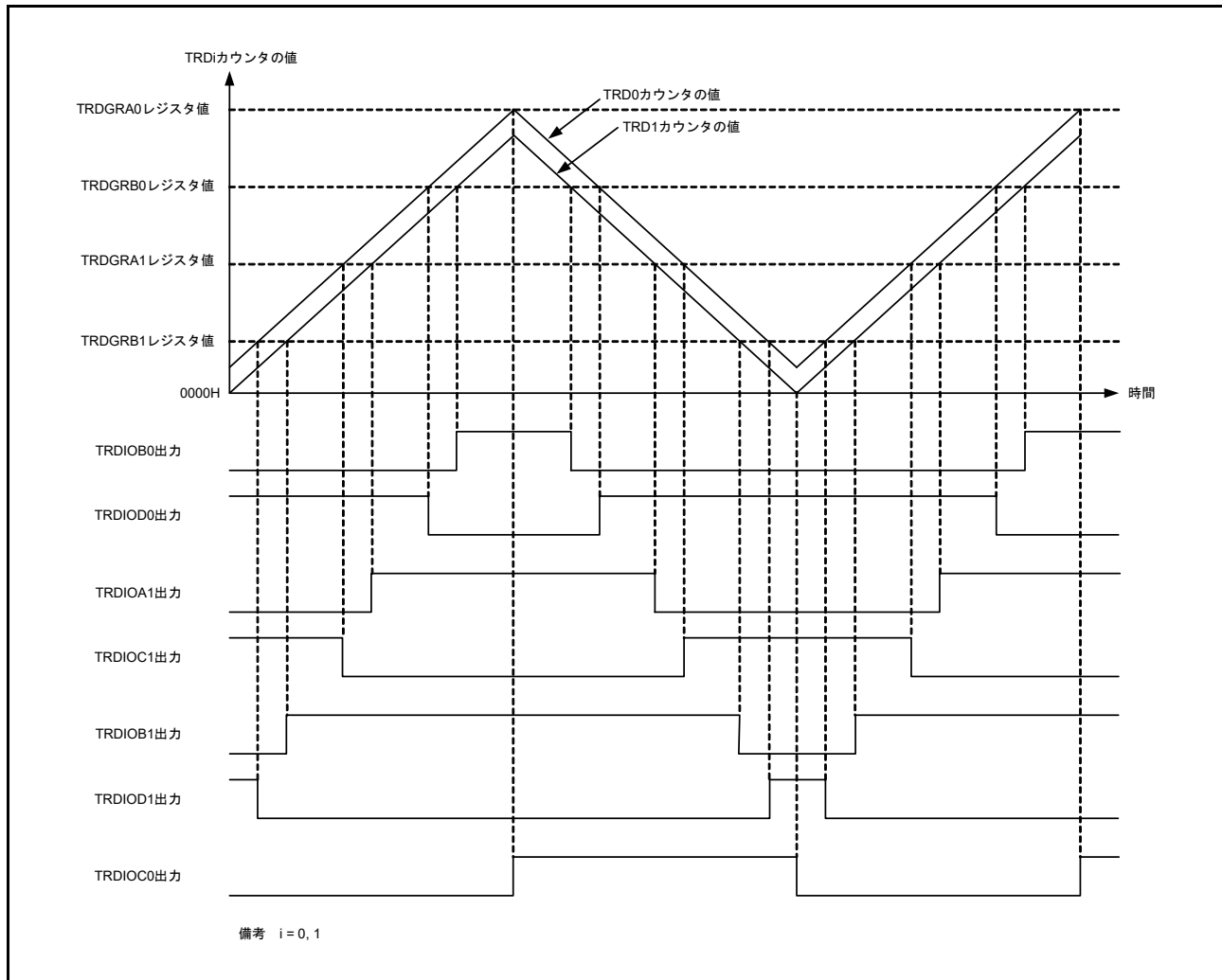
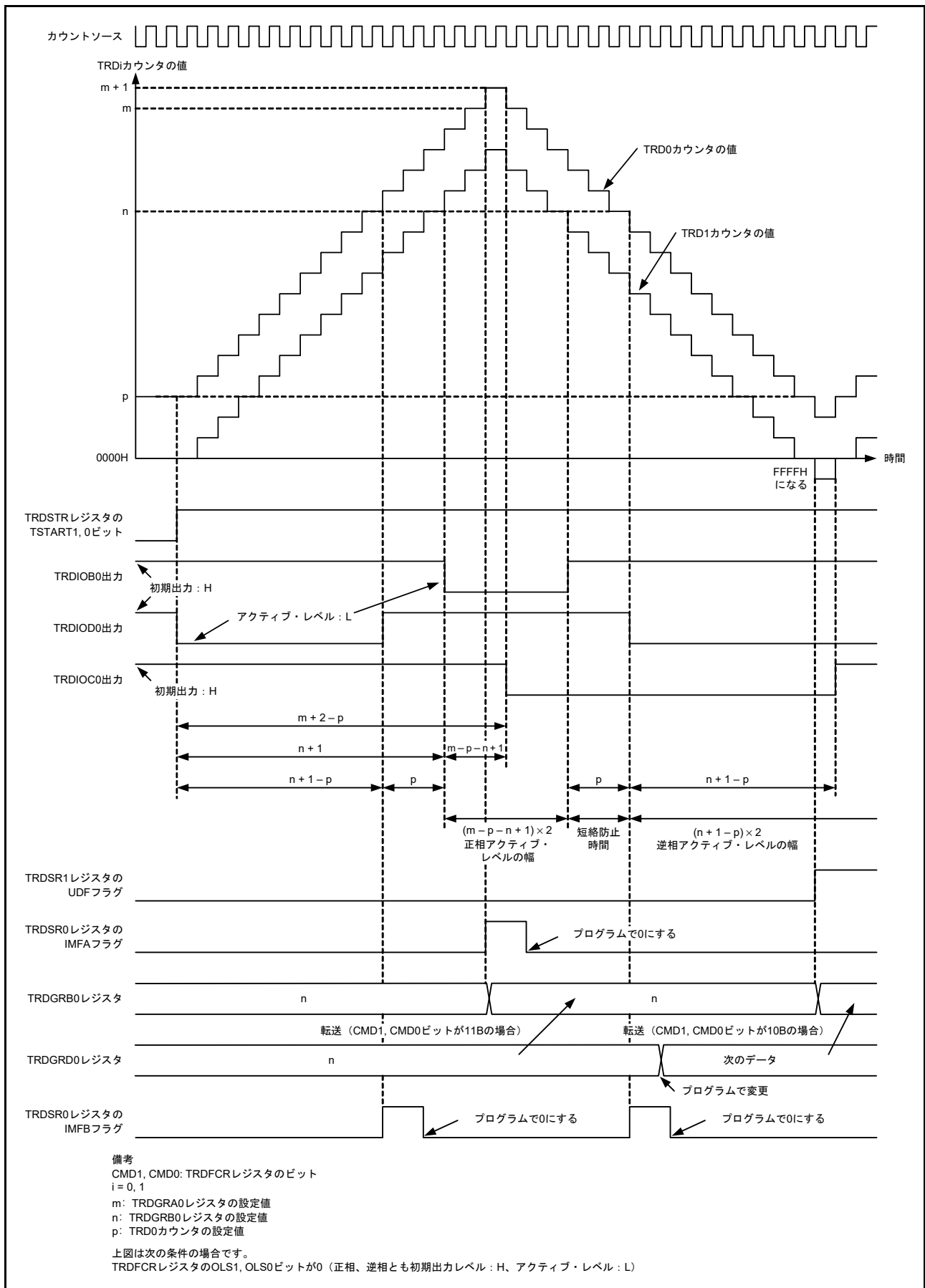


図12-94 相補PWMモードの動作例



(2) バッファレジスタからの転送タイミング

- TRDGRD0, TRDGRC1, TRDGRD1 レジスタから TRDGRB0, TRDGRA1, TRDGRB1 レジスタへの転送
TRDFCR レジスタの CMD1, CMD0 ビットが 10B の場合、TRD1 カウンタがアンダフローしたときに転送します。CMD1, CMD0 ビットが 11B の場合、TRD0 カウンタと TRDGRA0 レジスタがコンペアー一致したときに転送します。

12.5.6 PWM3モード

同周期の PWM 波形を 2 本出力します。

図 12 - 95 に PWM3 モードのブロック図 (タイマ RD20 の場合)、表 12 - 23 に PWM3 モードの仕様、図 12 - 96 に PWM3 モードの動作例を示します。

図 12 - 95 PWM3モードのブロック図 (タイマRD20の場合)

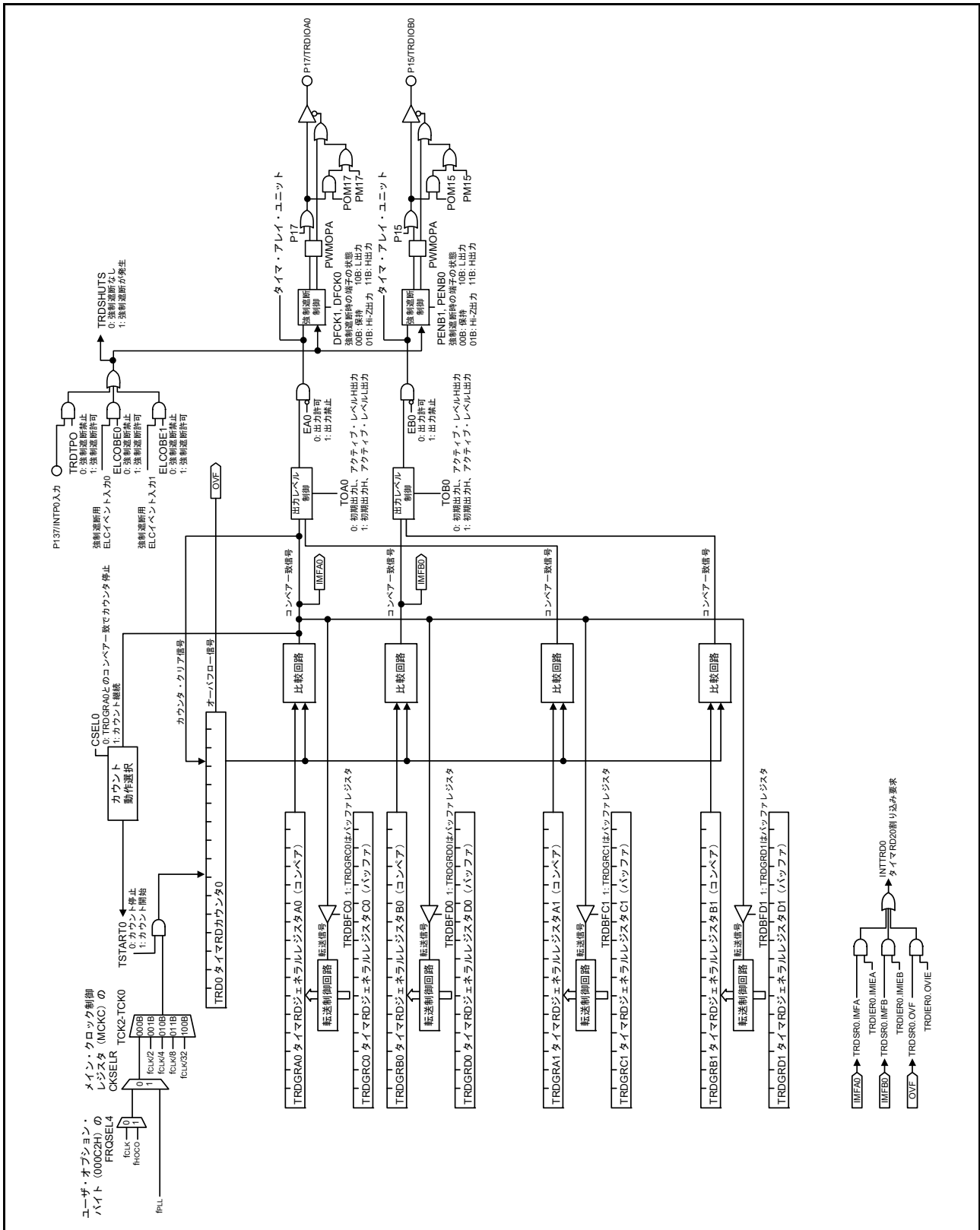


表12-23 PWM3モードの仕様

項目	仕様
カウントソース	fHOCO ^{注1} , fPLL ^{注2} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32
カウント動作	TRD0はアップカウント (TRD1は使用しない)
PWM波形	<p>PWM周期: $1/f_k \times (m + 1)$ TRDIOA0出力のアクティブ・レベル幅: $1/f_k \times (m - n)$ TRDIOB0出力のアクティブ・レベル幅: $1/f_k \times (p - q)$ f_k: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRA1レジスタ設定値 p: TRDGRB0レジスタ設定値 q: TRDGRB1レジスタ設定値</p> <p>(アクティブ・レベルがHの場合)</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1 (カウント開始) 書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSEL0ビットが1に設定されているとき、TSTART0ビットへの0 (カウント停止) 書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSEL0ビットが0の場合、TRDGRA0コンペアー一致でカウント停止 PWM出力端子はコンペアー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致 (TRD0カウンタとTRDGRjiレジスタの内容が一致) TRD0カウンタオーバフロー
TRDIOA0, TRDIOB0端子機能	PWM出力
TRDIOC0, TRDIOD0, TRDIOA1-TRDIOD1端子機能	I/Oポート
INTP0端子機能	パルス出力強制遮断信号入力 (入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRD0カウンタを読むと、カウント値が読める
タイマの書き込み	TRD0カウンタに書き込める
選択機能	<ul style="list-style-type: none"> パルス出力強制遮断信号入力 (12.4.4 パルス出力強制遮断参照) アクティブ・レベルを端子ごとに選択 バッファ動作 (12.4.2 バッファ動作参照)

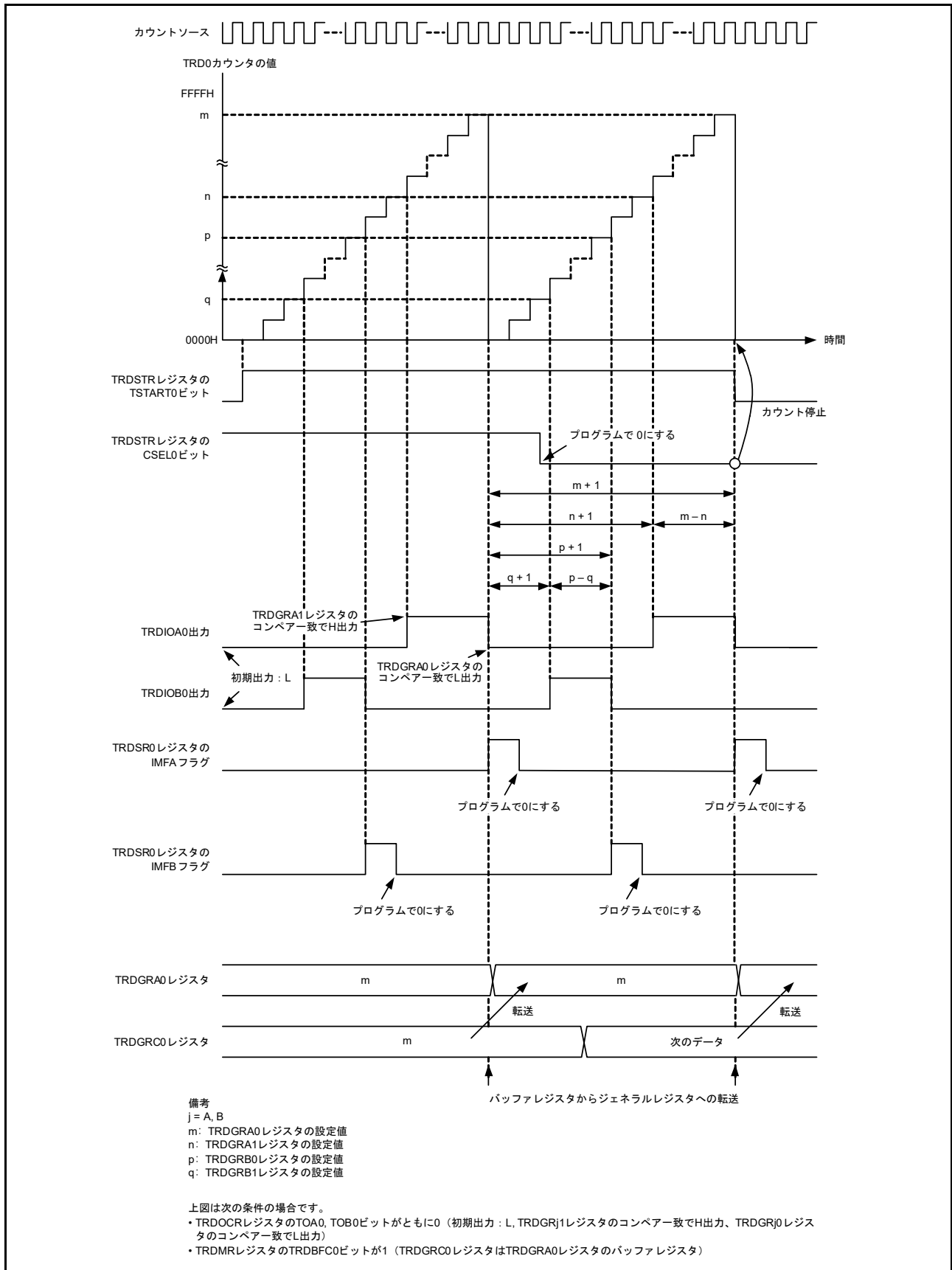
注1. ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4ビットが1のときのみfHOCOが選択できます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のTRD0ENビットをクリアしたあとに変更してください。

注2. メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは、fPLLが供給されます。

備考 i = 0, 1; j = A-D

(1) 動作例

図12-96 PWM3モードの動作例



12.5.7 拡張PWMモード

PWM 波形を出力する機能です。TRD0 側から TRDIOB0 と TRDIOD0 の 2 本出力、TRD1 側から TRDIOB1 と TRDIOD1 の 2 本出力が可能です。また TRD0 と TRD1 を同期させることで同周期の PWM 波形を最大 4 本出力可能です。周期とデューティは一斉書き換え機能に対応し、TRDIOBi と TRDIODi から PWM 出力可能です。一斉書き換え機能については **12.4.7 コンペアレジスタの一斉書き換え** を参照してください。

図 12-97 に拡張 PWM モードのブロック図、表 12-24 に拡張 PWM モードの仕様、図 12-98 に拡張 PWM 機能の動作例、図 12-99 に拡張 PWM 機能の動作例（デューティ 0%、デューティ 100%）を示します。

図 12-97 拡張PWMモードのブロック図

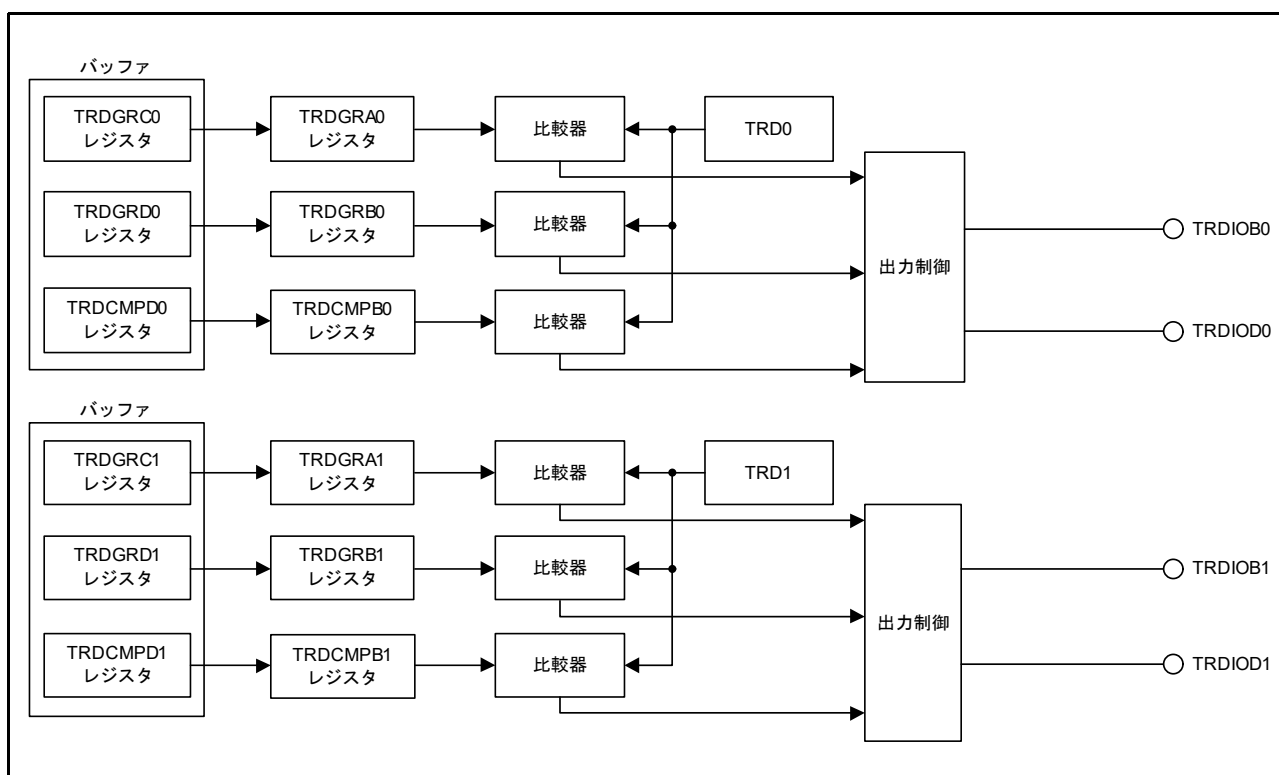
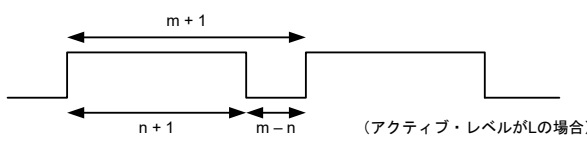


表12-24 拡張PWMモードの仕様

項目	仕様
カウントソース	fHOCO ^{注1} , fPLL ^{注2} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号（プログラムで有効エッジを選択可能）
カウント動作	アップカウント
PWM波形	PWM周期: $1/f_k \times (m + 1)$ アクティブ・レベル幅: $1/f_k \times (m - n)$ アクティブでないレベルの幅: $1/f_k \times (n + 1)$ f_k : カウントソースの周波数 m : TRDGRAiレジスタ設定値 n : TRDGRjiレジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1（カウント開始）書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSELiビットが1に設定されているとき、TSTARTiビットへの0（カウント停止）書き込み PWM出力端子はカウント停止前の出力レベルを保持 TRDSTRレジスタのCSELiビットが0の場合、TRDGRAiコンパレー一致でカウント停止 PWM出力端子はコンパレー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンパレー一致（TRDiカウンタとTRDGRhiレジスタの内容が一致） TRDiカウンタオーバーフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK（外部クロック）入力
TRDIOA1, TRDIOC0, TRDIOC1端子機能	I/Oポート
TRDIOB0, TRDIOD0, TRDIOB1, TRDIOD1端子機能	I/OポートまたはPWM出力（1端子ごとに選択）
INTP0端子機能	パルス出力強制遮断信号入力（入力専用ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiカウンタを読むと、カウント値が読める
タイマの書き込み	TRDiカウンタに書き込める
選択機能	<ul style="list-style-type: none"> PWM出力端子をタイマRD2iで1~2本選択 TRDIOBi, TRDIODi端子のいずれか1本または複数本 アクティブ・レベルを1端子ごとに選択 初期出力レベルを1端子ごとに選択 同期動作（12.4.3 同期動作参照） パルス出力強制遮断信号入力（12.4.4 パルス出力強制遮断参照）

注1. ユーザ・オプション・バイト（000C2H/040C2H）のFRQSEL4ビットが1のときのみfHOCOが選択できます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをクリアしたあとに変更してください。

注2. メイン・クロック制御レジスタ（MCKC）のCKSELRビットが1のときは、fPLLが供給されます。

備考 i = 0, 1; j = B-D; h = A-D

(1) 動作例

図12-98 拡張PWM機能の動作例

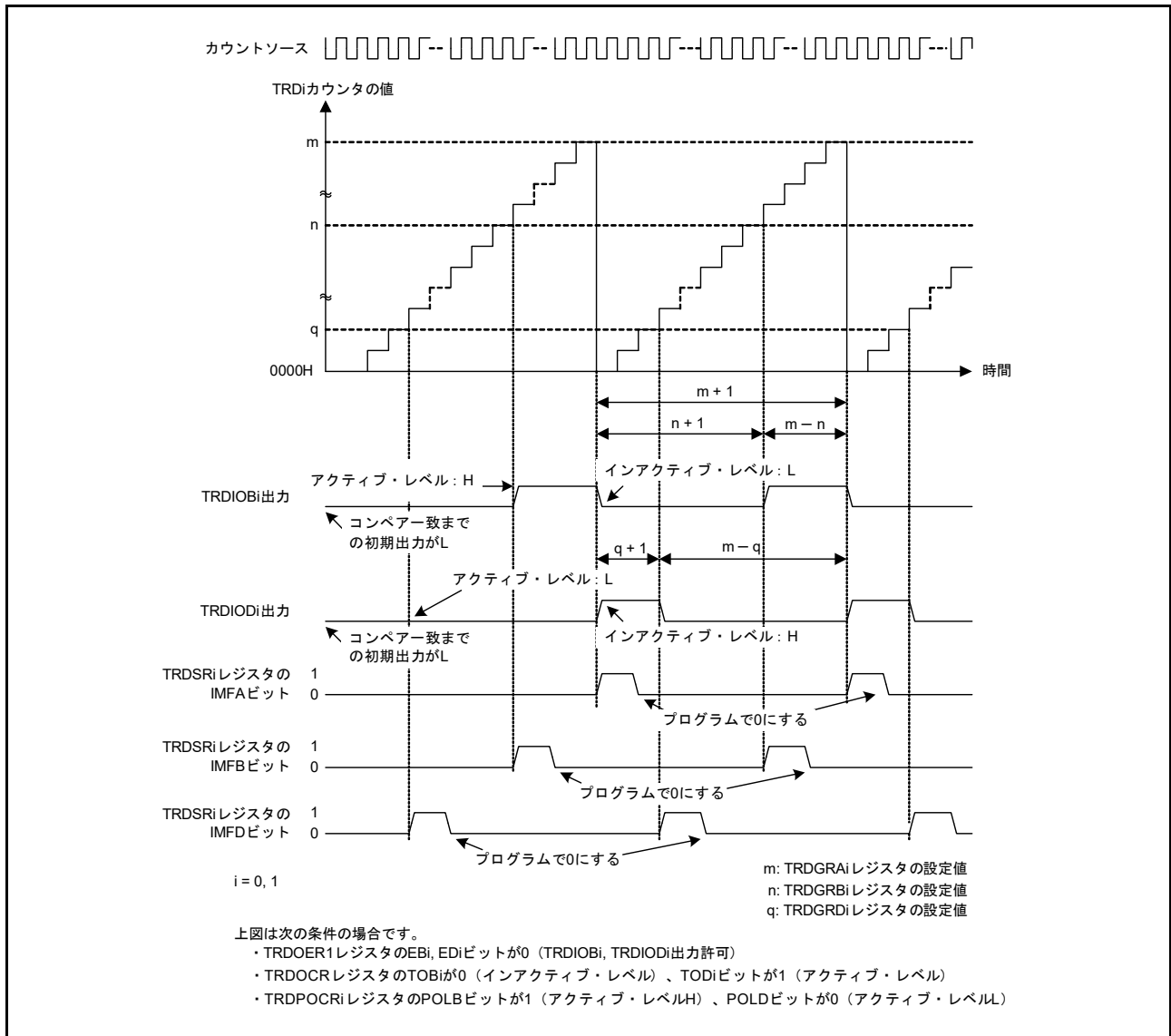
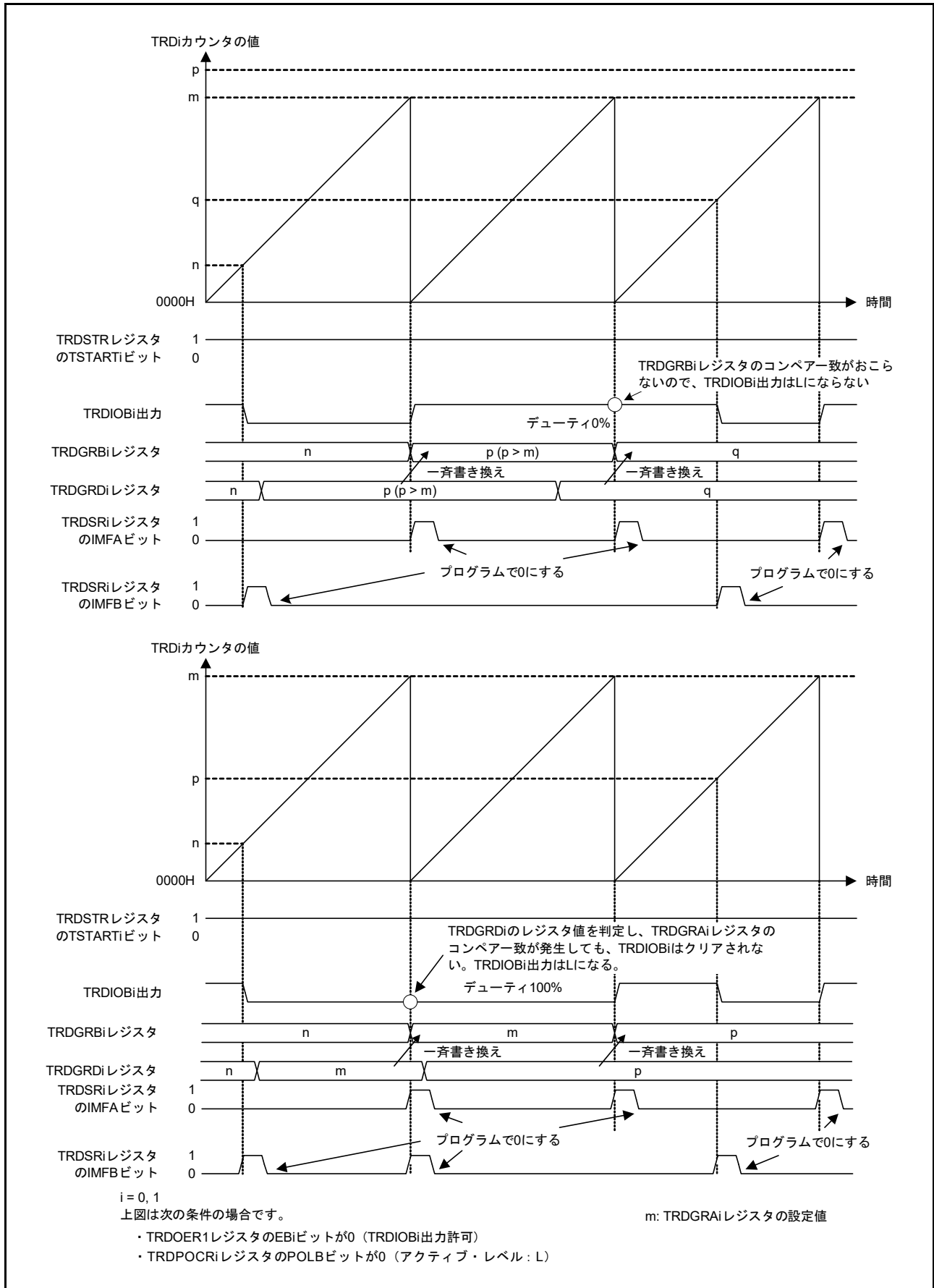


図12-99 拡張PWM機能の動作例（デューティ0%、デューティ100%）



12.5.8 拡張相補PWMモード

周期固定の対称／非対称PWM波形を正相3本、逆相3本、計6本出力します。(三相、三角波変調、短絡防止時間あり)

図12-100に拡張相補PWMモードのブロック図、表12-25に拡張相補PWMモードの仕様、図12-101に拡張相補PWMモードの非対称波形出力例、図12-102に拡張相補PWMモードの対称波形出力例、図12-103に拡張相補PWMモードの動作例を示します。

図12-100 拡張相補PWMモードのブロック図

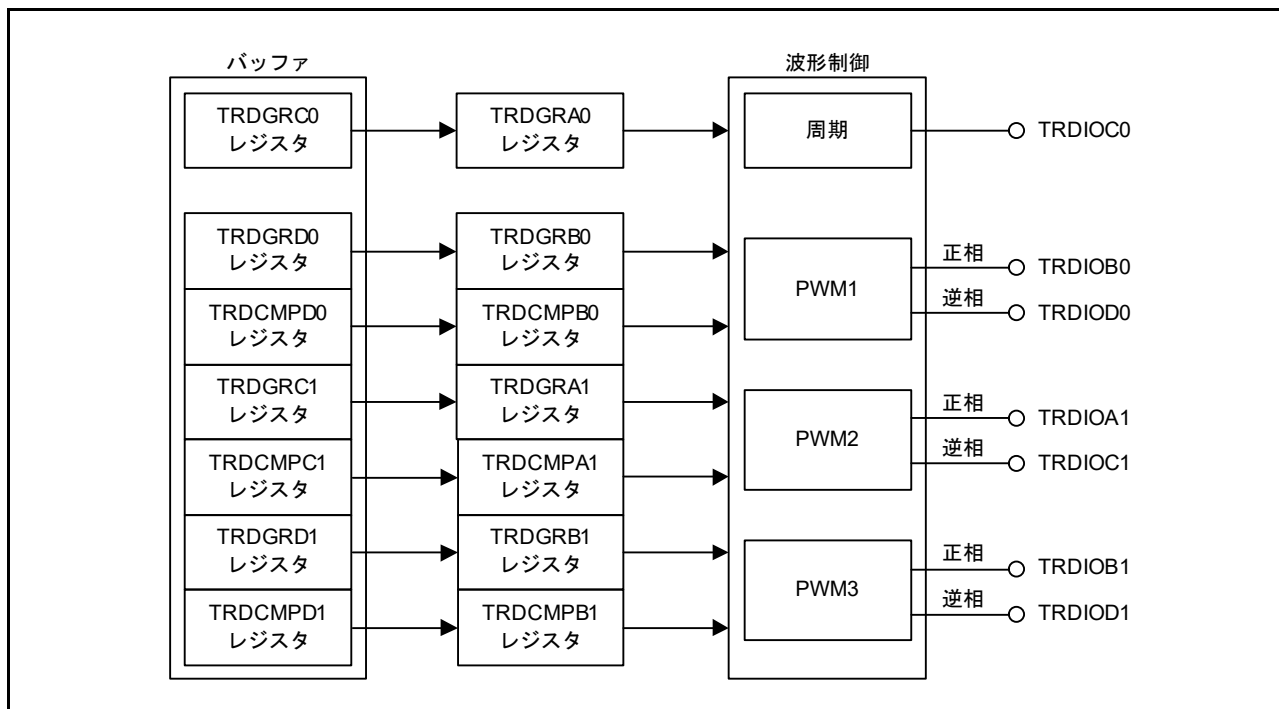


表12-25 拡張相補PWMモードの仕様 (1/2)

項目	仕様
カウントソース	fHOCO ^{注1} , fPLL ^{注2} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号（プログラムで有効エッジを選択可能） TRDCR0レジスタのTCK2-TCK0ビットと、TRDCR1レジスタのTCK2-TCK0ビットは同じ値（同じカウントソース）にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0カウンタとTRDGRA0レジスタがコンペア一致すると、TRD0, TRD1カウンタともダウンカウントになる。ダウンカウント中にTRD1カウンタが0000HからFFFFHになるとTRD0, TRD1カウンタともアップカウントになる。
PWM波形	<p>PWM周期: $1/f_k \times (m + 2 - p) \times 2$^{注3}</p> <p>短絡防止時間: p</p> <p>正相のアクティブ・レベル幅: $1/f_k \times \{(m - n - p + 1) + (m - p - q + 1)\}$</p> <p>逆相のアクティブ・レベル幅: $1/f_k \times \{(n + 1 - p) + (q + 1 - p)\}$</p> <p>デューティ 100%出力: コンペアレジスタ = 0000H設定</p> <p>デューティ 0%出力: コンペアレジスタ \geq TRDGRA0の設定値</p> <p>f_k: カウントソースの周波数</p> <p>m: TRDGRA0レジスタ設定値</p> <p>n: TRDGRB0レジスタ設定値 (PWM出力1) TRDGRA1レジスタ設定値 (PWM出力2) TRDGRB1レジスタ設定値 (PWM出力3)</p> <p>q: TRDCMPB0レジスタ設定値 (PWM出力1) TRDCMPA1レジスタ設定値 (PWM出力2) TRDCMPB1レジスタ設定値 (PWM出力3)</p> <p>p: TRD0カウンタ設定値</p>
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの1（カウント開始）書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが1に設定されているときTSTART0ビットとTSTART1ビットへの0（カウント停止）書き込み（PWM出力端子はTRDOCRレジスタで選択した初期出力レベルを出力）
割り込み要求発生タイミング	<ul style="list-style-type: none"> TRD0とTRDGRA0のコンペア一致（割り込み要求0） TRD1カウンタアンダフロー（割り込み要求1）
バッファ更新タイミング ^{注4}	TRDRSF1レジスタのRSFフラグが1のとき、TRD1カウンタアンダフロー（または短絡防止時間分前倒し）時に一斉書き換え
TRDIOA0端子機能	I/OポートまたはTRDCLK（外部クロック）入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMOPA向け周期出力（PWMの1/2周期ごとに出力反転、または短絡防止時間分前倒しタイミングで出力反転）

表12-25 拡張相補PWMモードの仕様 (2/2)

項目	仕様
INTP0端子機能	パルス出力強制遮断信号入力（入力専用ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiカウンタを読むと、カウント値が読める
タイマの書き込み	TRDiカウンタに書き込める
選択機能	<ul style="list-style-type: none"> • パルス出力強制遮断信号入力（12.4.4 パルス出力強制遮断参照） • 正相、逆相のアクティブ・レベルと初期出力レベル^{注5}を個々に選択 • 出力波形（対称／非対称）選択 • A/D変換トリガ出力

注1. ユーザ・オプション・バイト（000C2H/040C2H）のFRQSEL4ビットが1のときのみfHOCOが選択できます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをクリアしたあとに変更してください。

注2. メイン・クロック制御レジスタ（MCKC）のCKSELRビットが1のときは、fPLLが供給されます。

注3. カウント開始後、PWM周期は固定です。

注4. バッファレジスタからの転送タイミング

TRDGRD0, TRDGRC1, TRDGRD1, TRDCMPD0, TRDCMPC1, TRDCMPD1レジスタからTRDGRB0, TRDGRA1, TRDGRB1, TRDCMPB0, TRDCMPA1, TRDCMPB1レジスタへの転送は、TRD1カウンタがアンダフロー（短絡防止時間前倒し）したときに転送します。本モードではコンペアレジスタの一斉書き換え機能でコンペアレジスタを更新します。バッファレジスタ設定後はTRDRDT1.RDTビットに1を設定してください。一斉書き換え機能の詳細は、12.4.7 コンペアレジスタの一斉書き換えを参照してください。

注5. 拡張相補PWMモードの端子の初期出力はTRDOCRで設定をしてください。カウント開始後にTRDFCRレジスタのOLS1, OLS0ビットで設定したアクティブ・レベルが有効になります。TRDOCRは正相をインアクティブ・レベル、逆相をアクティブ・レベルに設定してください。ただし、1周期目をデューティ100%にする場合は、逆相をインアクティブ・レベルに設定してください。

備考 i = 0, 1; j = A-D

(1) 動作例

図12 - 101 拡張相補PWMモードの非対称波形出力例

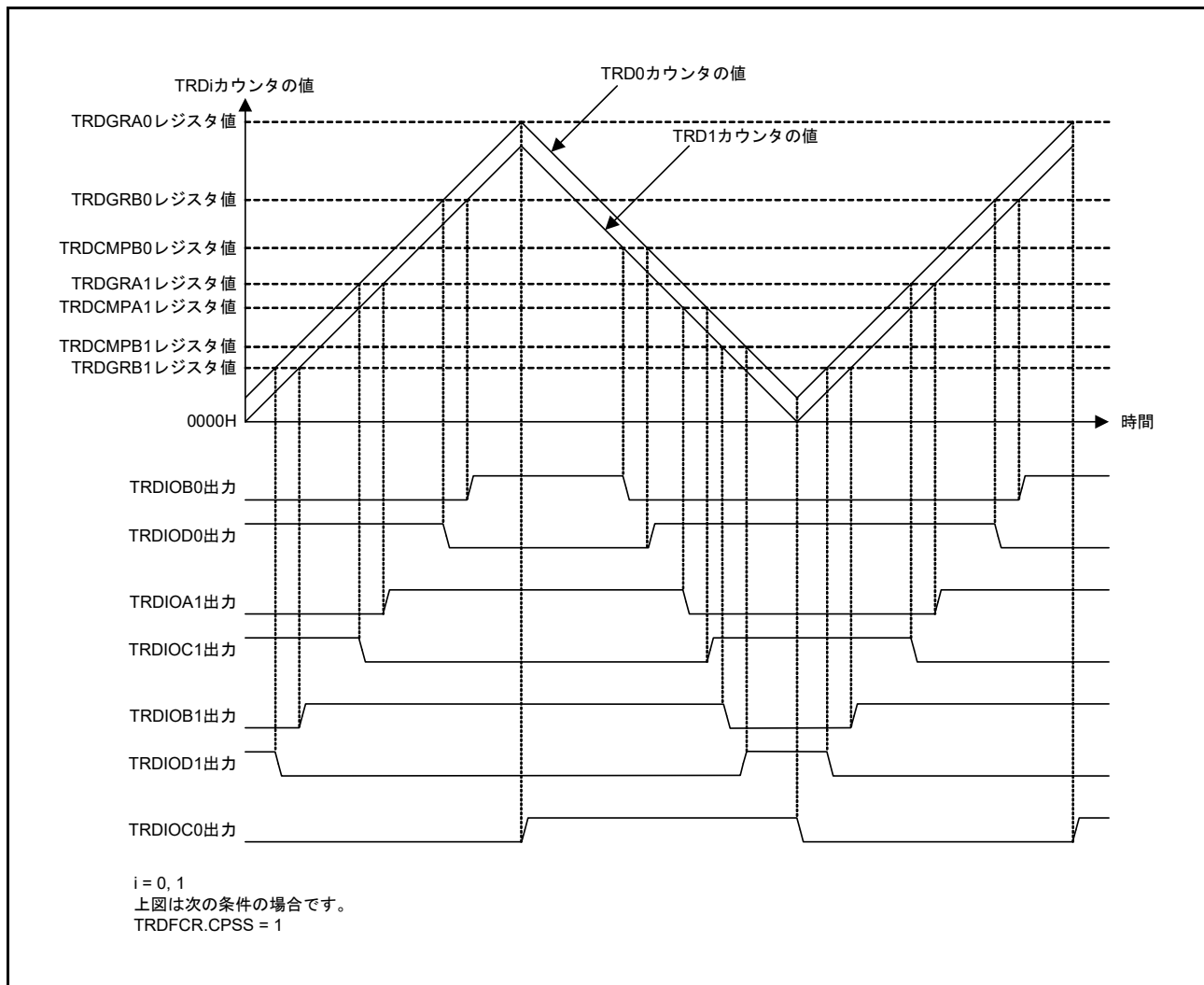


図12 - 102 拡張相補PWMモードの対称波形出力例

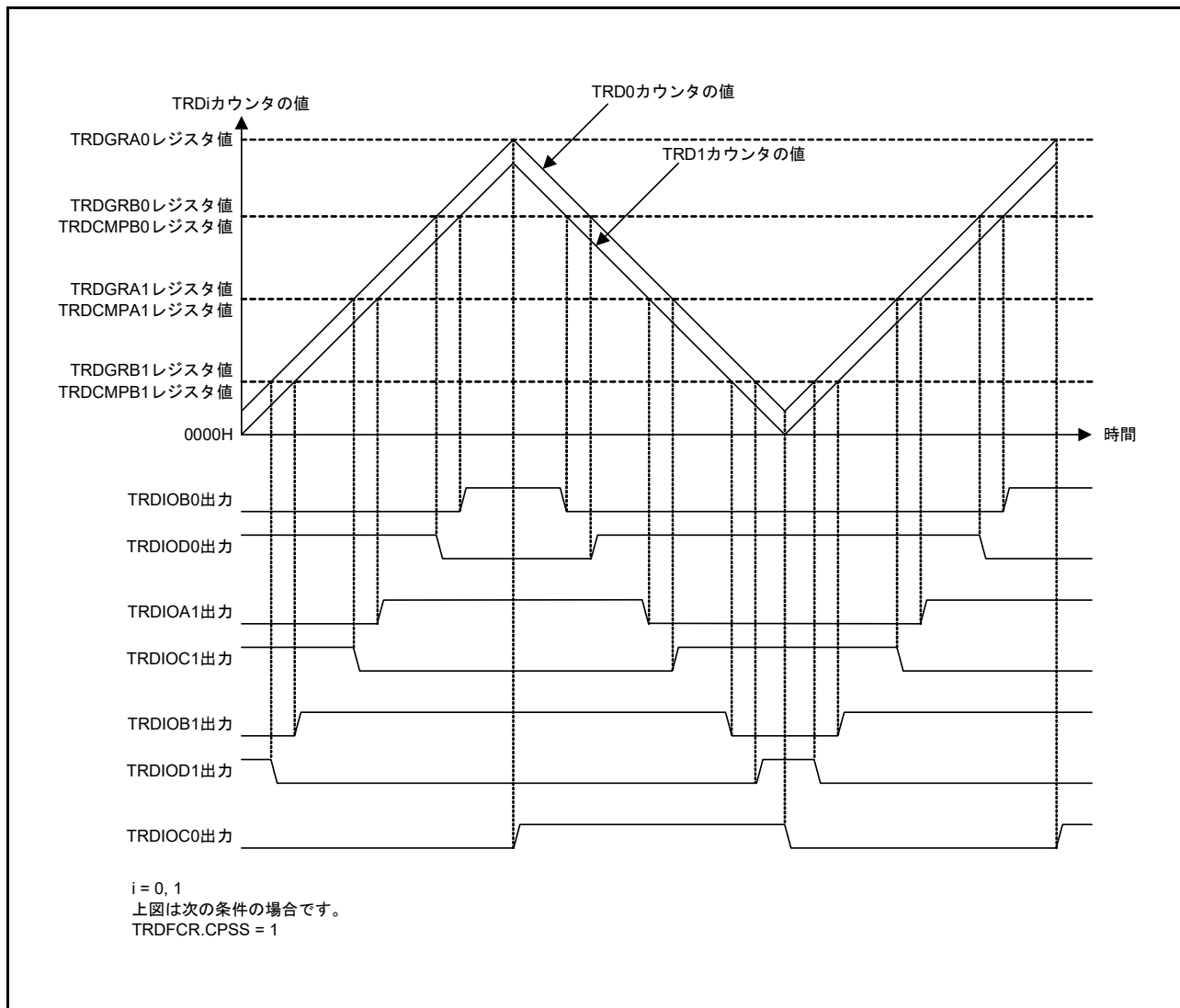
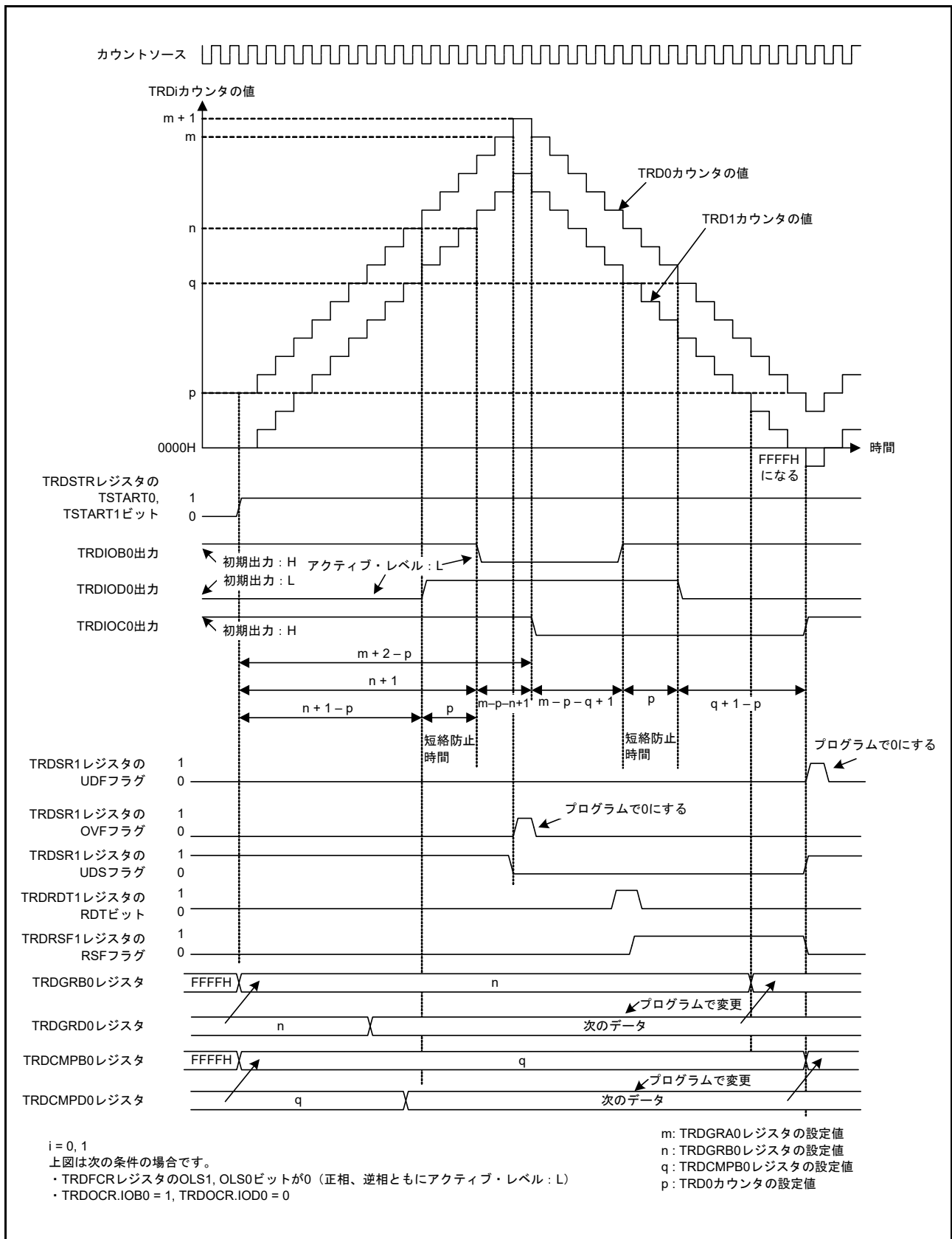


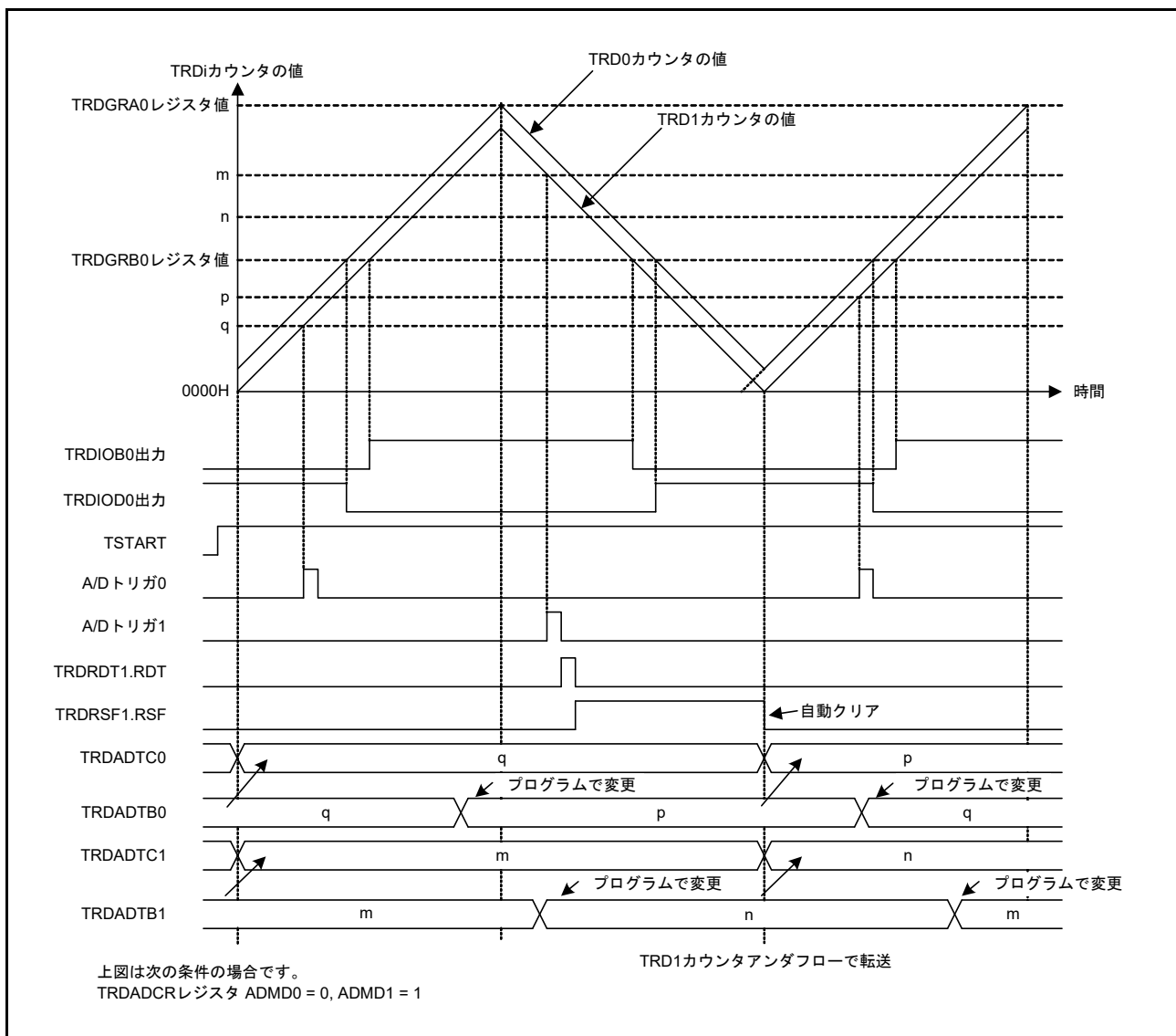
図12-103 拡張相補PWMモードの動作例



(2) A/D変換トリガ生成

任意のタイミングで2箇所のA/D変換開始トリガを生成できます。それぞれにバッファレジスタとコンペアレジスタを持ちます。本機能を使用する場合はTRDADCR.ADEi (i = 0, 1) を1にしてください。A/D変換トリガの出カタイミングはTRDADCR.ADMDi (i = 0, 1) でアップカウント中・ダウンカウント中のいずれかを選択することができます。A/D変換トリガはTRD1とのコンペア一致発生時に出力されます。本機能ではコンペアレジスタの一斉書き換え機能でTRDADTBiレジスタ (i = 0, 1) からTRDADTCiレジスタ (i = 0, 1) に転送します。バッファレジスタ設定後はTRDRDT1.RDTに1を設定してください。一斉書き換えの機能は12.4.7 コンペアレジスタの一斉書き換えを参照してください。図12-104にA/D変換トリガ出カタイミングを示します。

図12-104 A/D変換トリガ出カタイミング



12.5.9 タイマKB PWM出力ゲートモード

16ビット・タイマKB30, KB31, KB32と連動したPWM出力ゲート機能を実現するための動作モードです。16ビット・タイマKB30, KB31, KB32出力に対応する最大6本のPWM波形を出力可能です。タイマRD2が保有するTRD0とTRD1のカウンタを使用した以下に示す2つの動作モードで制御が可能です。

- 単体動作モード : タイマRD2単体で動作/停止が可能。16ビット・タイマKB30, KB31, KB32の動作/停止と連動しない。
- タイマKB3連動動作モード : 16ビット・タイマKB30, KB31, KB32と連動して動作。16ビット・タイマKB30, KB31, KB32の動作または停止 (TKBCE0 = 1 or 0) と連動してタイマRD2のカウンタの動作/停止が行われる。

タイマKB PWM出力ゲートモードは16ビット・タイマKB30, KB31, KB32に接続することを目的としたTRDTKBOUT5-0とTRDIO_{ji}を出力します。

TRDTKBOUT4/TRDIOB0, TRDTKBOUT5/TRDIOD0は、TRD0をカウンタ、TRDGRA0を周期設定として動作します。

TRDTKBOUT0/TRDIOB1, TRDTKBOUT1/TRDIOC1, TRDTKBOUT2/TRDIOD1, TRDTKBOUT3/TRDIOA1は、TRD1をカウンタ、TRDGRA1を周期設定として動作します。

TRD0とTRD1を同期動作させることで同周期のPWM波形とすることが可能です。

TRDTKBOUT5-0出力はTRDIO_{ji}出力の1クロック前の状態信号となります。TRDTKBOUT5-0出力はTRDPMRレジスタにより出力許可禁止を制御し、TRDIO_{ji}出力はTRDOER1レジスタにより出力許可禁止を制御します。

カウント動作停止時 (TRDSTR.TSTART_i = 0) または出力禁止時にはTRDOCRレジスタで設定した初期出力レベルを出力します。

カウント動作開始時 (TRDSTR.TSTART_i = 1) に出力許可状態の出力端子はTRDPOCR_iレジスタの設定に従ったPWM波形を出力します。初期出力レベルとアクティブ・レベルの設定を同じにした場合でもカウント動作1周期目よりPWM波形を出力することができます。

(1) 単体動作モード

図12-105にタイマKB PWM出力ゲートモードのブロック図（単体動作モード）、表12-26にタイマKB PWM出力ゲートモードの仕様（単体動作モード）、図12-106にタイマKB PWM出力ゲートモードの動作例（単体動作モード）、図12-107にタイマKB PWM出力ゲートモードの動作例（単体動作モード動作停止時）を示します。

図12-105 タイマKB PWM出力ゲートモードのブロック図（単体動作モード）

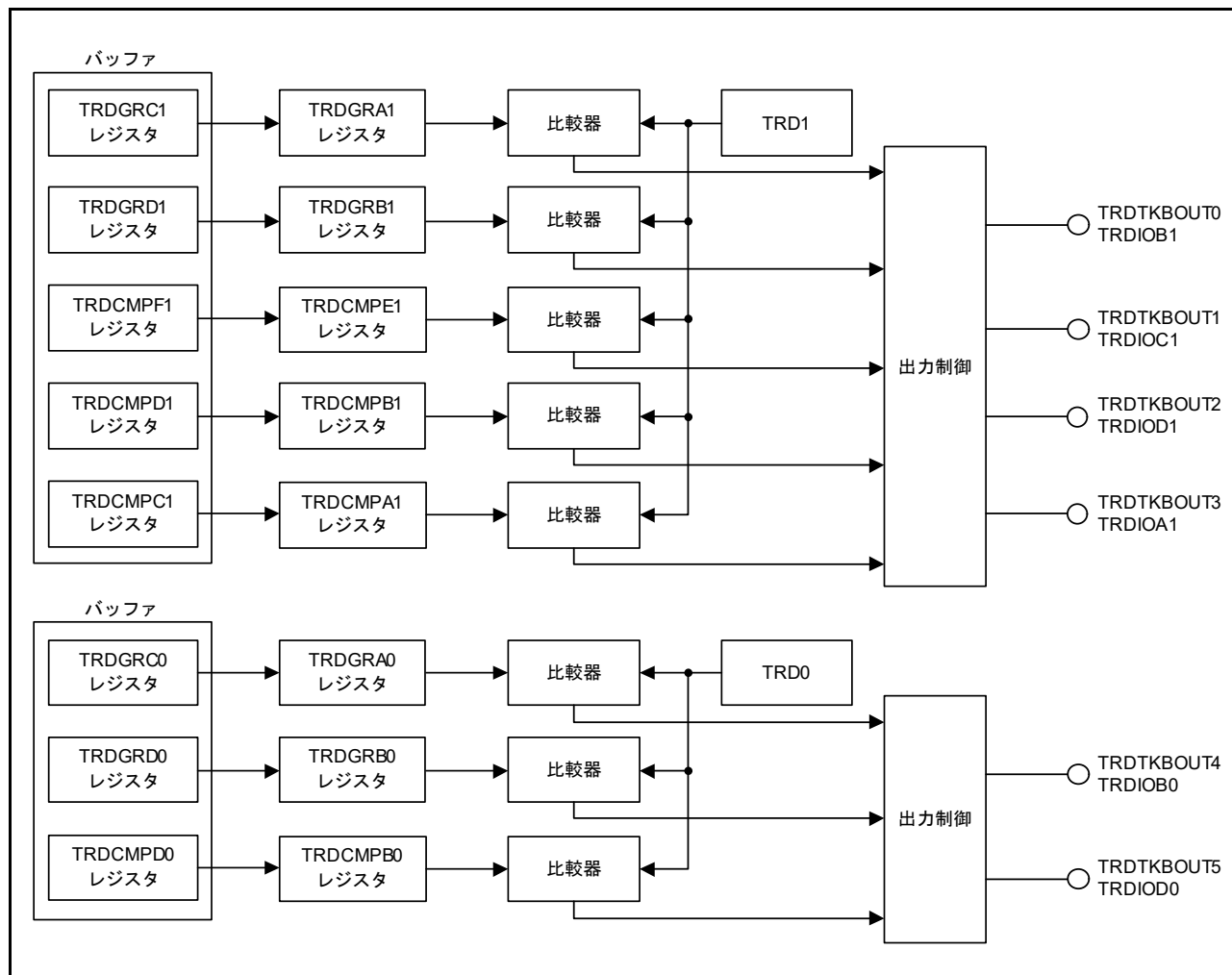


表12-26 タイマKB PWM出力ゲートモードの仕様（単体動作モード）(1/2)

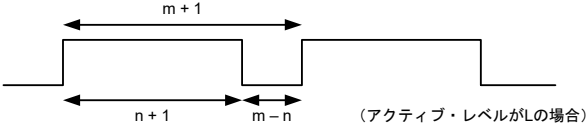
項目	仕様
カウントソース	TKBTCK0, TKBTCK1
カウント動作	アップカウント
PWM波形	<p>PWM周期：$1/f_k \times (m + 1)$ アクティブ・レベル幅：$1/f_k \times (m - n)$ アクティブでないレベルの幅：$1/f_k \times (n + 1)$ f_k：カウントソースの周波数 m：TRDGRAi レジスタ設定値 n：TRDGRji レジスタ設定値、TRDCMPm レジスタ設定値</p>  <p>(アクティブ・レベルがLの場合)</p>
カウント開始条件	TRD0：TRDSTRレジスタのTSTART0ビットへの1（カウント開始）書き込み TRD1：TRDSTRレジスタのTSTART1ビットへの1（カウント開始）書き込み
カウント停止条件	<ul style="list-style-type: none"> TRDSTRレジスタのCSELiビットが1に設定されているとき TRD0：TSTART0ビットへの0（カウント停止）書き込み TRD1：TSTART1ビットへの0（カウント停止）書き込み （PWM出力端子はTRDOCRで設定した初期出力レベルを出力）
割り込み要求発生タイミング	<ul style="list-style-type: none"> 周期一致（TRDiカウンタとTRDGRAiレジスタの内容が一致） カウント動作開始時
バッファ更新タイミング	<ul style="list-style-type: none"> TRDRSF1レジスタのRSFフラグが1のとき、周期一致（TRDiカウンタとTRDGRAiレジスタの内容が一致）時に一斉書き換え
TRDIOA0端子機能	I/Oポート
TRDIOC0端子機能	I/Oポート
TRDIOB0端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT4）
TRDIOD0端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT5）
TRDIOA1端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT3）
TRDIOB1端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT0）
TRDIOC1端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT1）
TRDIOD1端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT2）
INTP0端子機能 ^注	パルス出力強制遮断信号入力（入力専用ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiカウンタを読むと、カウント値が読める
タイマの書き込み	TRDiカウンタに書き込める

表12 - 26 タイマKB PWM出力ゲートモードの仕様（単体動作モード）(2/2)

項目	仕様
選択機能	<ul style="list-style-type: none"> • タイマKB PWM出力ゲート信号出力本数選択（TRDPMR） TRDTKBOUT5-0出力のいずれか1本または複数本 • 同期動作（12.4.3 同期動作参照） • PWM出力制御周期選択 同周期PWM波形6出力制御、2周期PWM波形2出力／4出力制御より選択。 同周期PWM6出力の場合はTRDGRA0とTRDGRA1に同じ周期を設定し、TRDSTRレジスタのTSTART0ビットとTSTART1ビットに1を設定し動作開始してください。動作停止時には、TRDSTRレジスタのTSTART0ビットとTSTART1ビットに0を設定してください。コンペアレジスタの一斉書き換えをするときは16ビットアクセスでTRDRDT0.RDT, TRDRDT1.RDTビットを同時にセットしてください。

注 INTPO端子入力によるパルス出力強制遮断制御はTRDIOjのみ有効です。TRDTKBOUTは遮断されません。

備考 i = 0, 1; j = B-D

図12-106 タイマKB PWM出力ゲートモードの動作例 (単体動作モード)

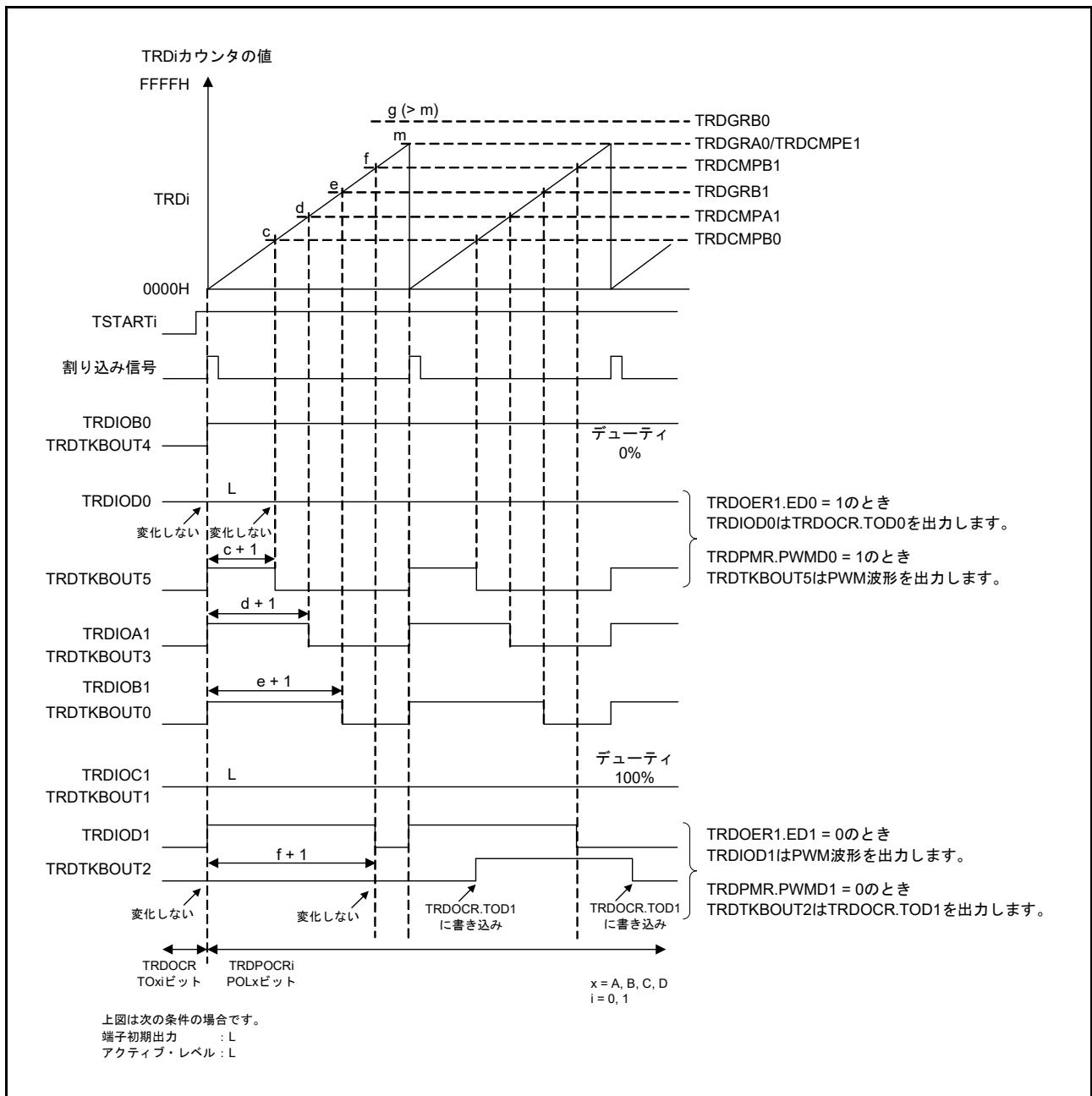
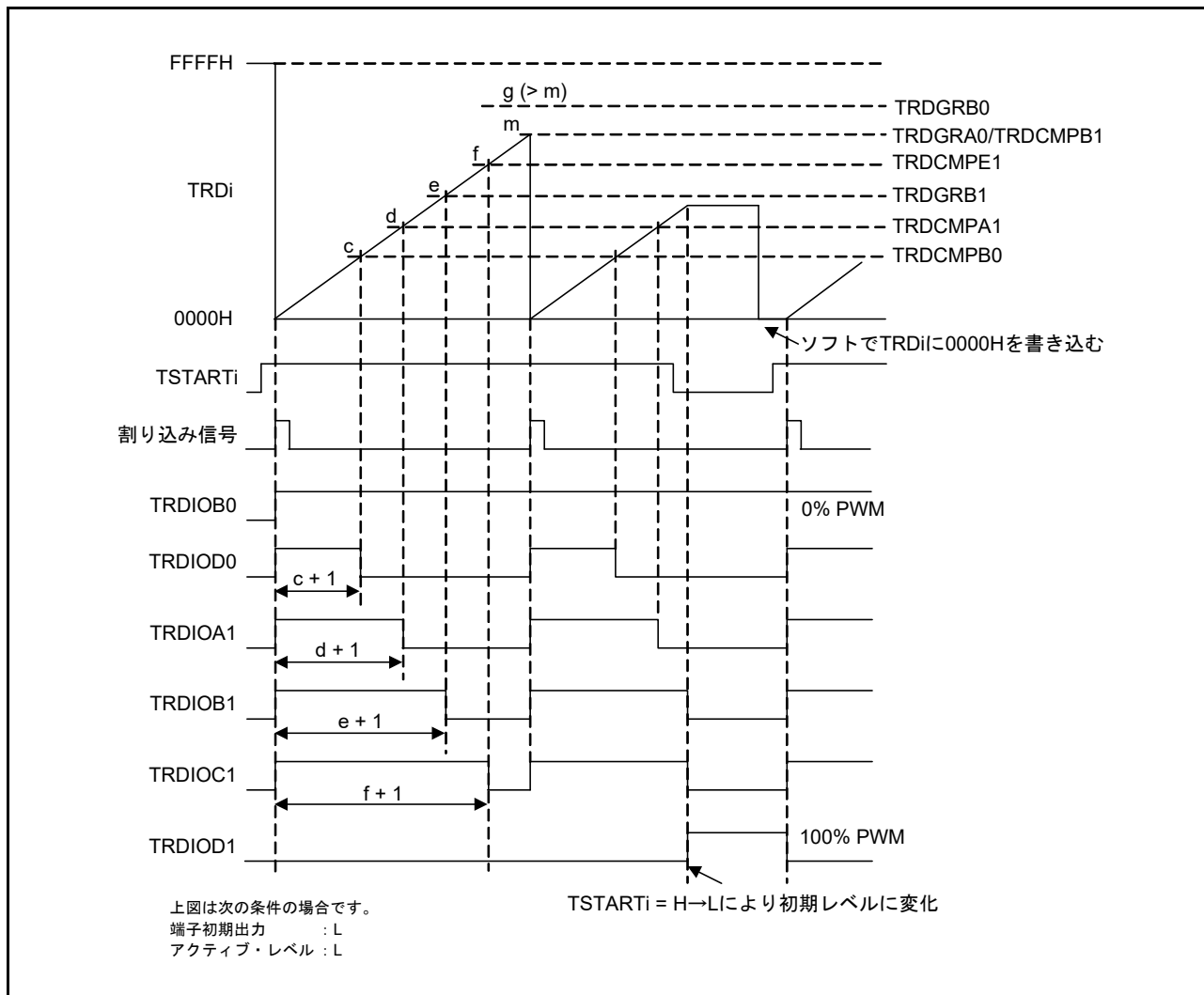


図12-107 タイマKB PWM出力ゲートモードの動作例（単体動作モード動作停止時）



(2) タイマKB3連動動作モード

表12-27にタイマKB PWM出力ゲートモードの仕様（連動動作モード）、図12-108にタイマKB PWM出力ゲートモードの動作例（連動動作モード）を示します。タイマKB PWM出力ゲートモードのブロック図は図12-105を参照してください。

表12-27 タイマKB PWM出力ゲートモードの仕様（連動動作モード）(1/2)

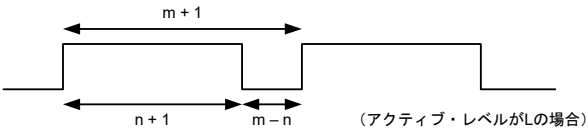
項目	仕様
カウントソース	TKBTCK0, TKBTCK1
カウント動作	アップカウント
PWM波形	PWM周期： $1/f_k \times (m + 1)$ アクティブ・レベル幅： $1/f_k \times (m - n)$ アクティブでないレベルの幅： $1/f_k \times (n + 1)$ f_k ：カウントソースの周波数 m ：TRDGRAiレジスタ設定値 n ：TRDGRjiレジスタ設定値、TRDCMPmレジスタ設定値 
カウント開始条件	16ビット・タイマKB30, KB31, KB32のTKBCTL01レジスタのTKBCE0ビットへの1書き込み
カウント停止条件	16ビット・タイマKB30, KB31, KB32のTKBCTL01レジスタのTKBCE0ビットへの0書き込み (PWM出力端子はTRDOCRレジスタで設定した初期出力レベルを出力)
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・周期一致（TRDiカウンタとTRDGRAiレジスタの内容が一致） ・カウント動作開始時
バッファ更新タイミング	・TRDRSF1レジスタのRSFフラグが1のとき、周期一致（TRDiカウンタとTRDGRAiレジスタの内容が一致）時に一斉書き換え
TRDIOA0端子機能	I/Oポート
TRDIOC0端子機能	I/Oポート
TRDIOB0端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT4）
TRDIOD0端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT5）
TRDIOA1端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT3）
TRDIOB1端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT0）
TRDIOC1端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT1）
TRDIOD1端子機能	PWM出力・タイマKB PWM出力ゲート信号（TRDTKBOUT2）
INTP0端子機能 ^注	パルス出力強制遮断信号入力（入力専用ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiカウンタを読むと、カウント値が読める
タイマの書き込み	TRDiカウンタに書き込める

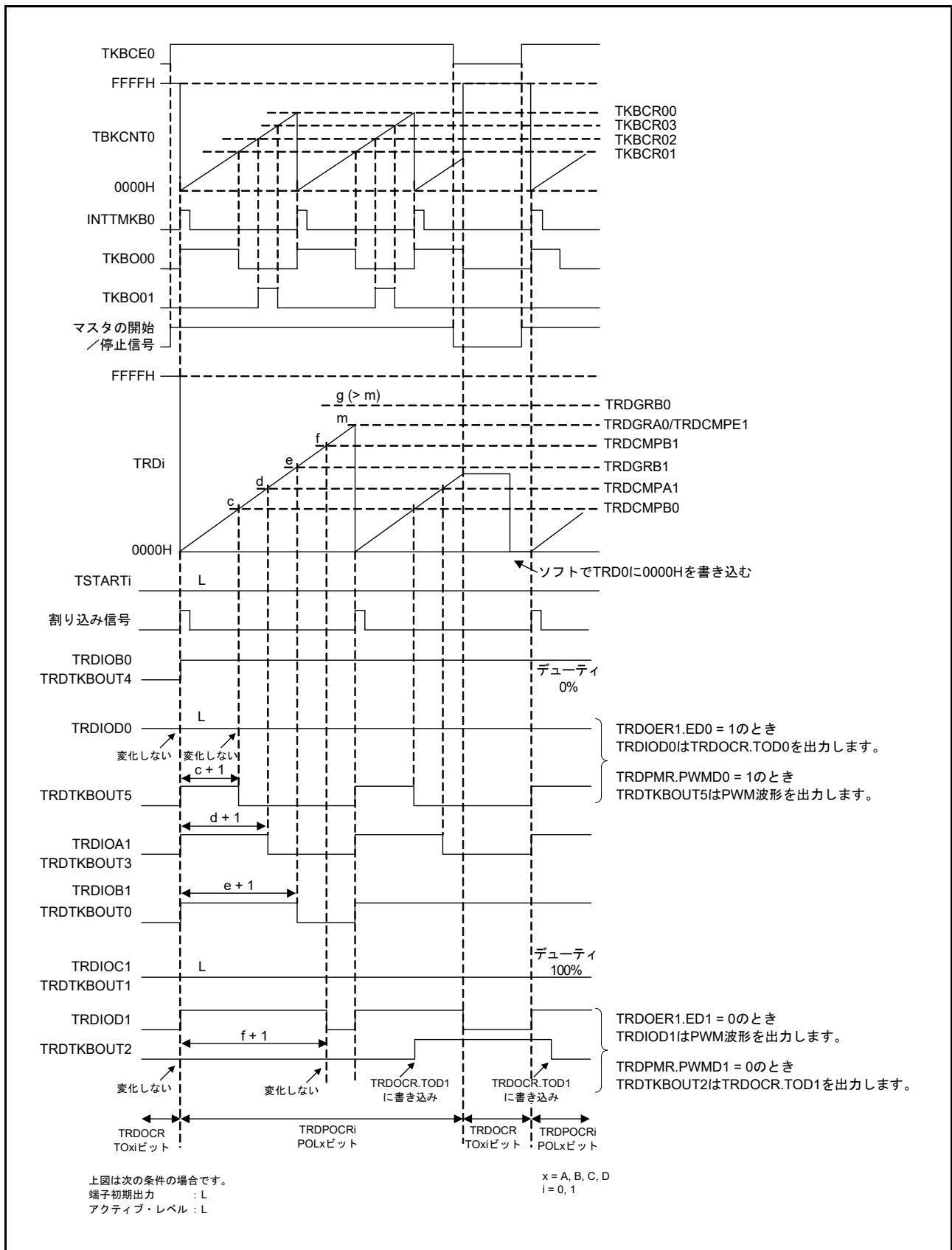
表12-27 タイマKB PWM出力ゲートモードの仕様（連動動作モード）(2/2)

項目	仕様
選択機能	<ul style="list-style-type: none"> • タイマKB PWM出力ゲート信号出力本数選択（TRDPMR） TRDTKBOUT5-0出力のいずれか1本または複数本 • 同期動作（12.4.3 同期動作参照） • PWM出力制御周期選択 同周期PWM波形6出力制御、2周期PWM波形2出力／4出力制御より選択。 同周期PWM6出力の場合はTRDGRA0とTRDGRA1に同じ周期を設定し、TKBCTL01レジスタのTKBCE0ビットに1を設定し動作開始してください。動作停止時には、TKBCTL01レジスタのTKBCE0ビットに0を設定してください。コンペアレジスタの一斉書き換えをするときは16ビットアクセスでTRDRDT0.RDT, TRDRDT1.RDTビットを同時にセットしてください。

注 INTPO端子入力によるパルス出力強制遮断制御はTRDIOjのみ有効です。TRDTKBOUTは遮断されません。

備考 i = 0, 1; j = B-D

図12-108 タイマKB PWM出力ゲートモードの動作例（連動動作モード）



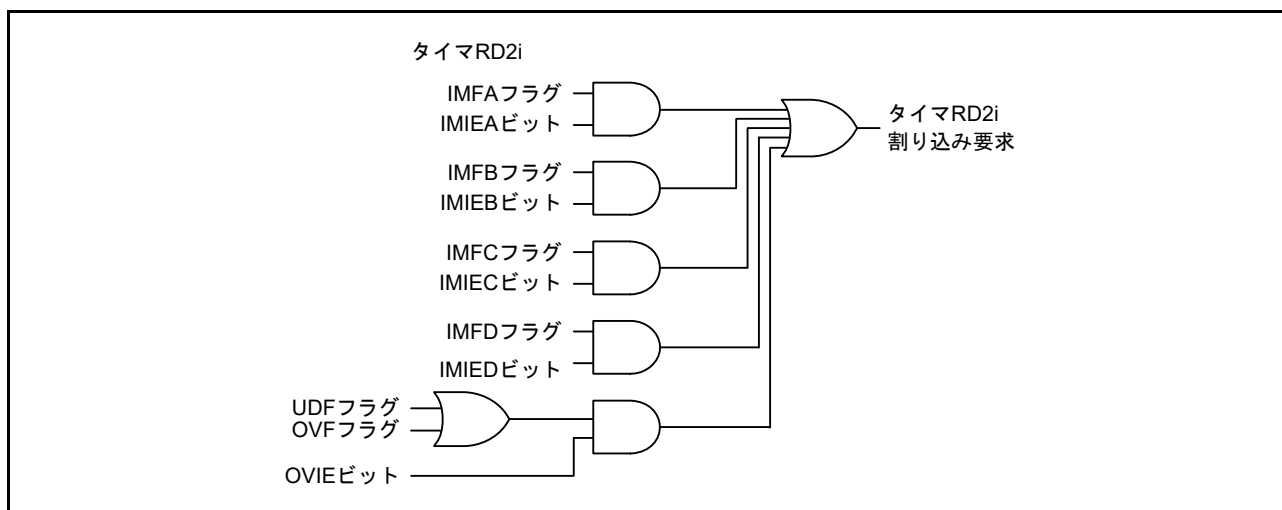
12.6 タイマRD2割り込み

タイマRD2の拡張相補PWMモード、タイマKB PWM出力ゲートモード以外の動作モードを設定した場合は、タイマRD20とタイマRD21ごとに6つの要因からタイマRD2i割り込み要求 ($i = 0, 1$) を発生します。表12-28にタイマRD2割り込み関連レジスタ、図12-109にタイマRD2割り込みのブロック図を示します。

表12-28 タイマRD2割り込み関連レジスタ

	タイマRDステータスレジスタ	タイマRD割り込み許可レジスタ	割り込み要求フラグ (レジスタ)	割り込みマスク・フラグ (レジスタ)	優先順位指定フラグ (レジスタ)
タイマRD20	TRDSR0	TRDIER0	TRDIF0 (IF1H)	TRDMK0 (MK1H)	TRDPR00 (PR01H) TRDPR10 (PR11H)
タイマRD21	TRDSR1	TRDIER1	TRDIF1 (IF1H)	TRDMK1 (MK1H)	TRDPR01 (PR01H) TRDPR11 (PR11H)

図12-109 タイマRD2割り込みのブロック図



備考 $i = 0, 1$

IMFA, IMFB, IMFC, IMFD, OVF, UDF : TRDSRiレジスタのフラグ

IMIEA, IMIEB, IMIEC, IMIED, OVIE : TRDIERiレジスタのビット

タイマRD2は、複数の割り込み要求要因から1つの割り込み要求 (タイマRD2i割り込み) を発生するため、タイマRG割り込みを除くほかのマスク可能割り込みとは次のような違いがあります。

- TRDSRiレジスタのビットが1で、それに対するTRDIERiレジスタのビットが1 (割り込み許可) の場合、IF2HレジスタのTRDIFiビットが1 (割り込み要求あり) になります。
- TRDIERiレジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRDSRiレジスタで判定してください。
- TRDSRiレジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。

- タイマRD2の、ある割り込み要因のステータスフラグ（以下「当該ステータスフラグ」とする）を0にするとき、その割り込みがタイマRD割り込み許可レジスタ i （TRDIER i ）で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

(a) タイマRD割り込み許可レジスタ i （TRDIER i ）を00H（すべての割り込みを禁止）にしたあと、当該ステータスフラグに0を書いてください。

(b) タイマRD割り込み許可レジスタ i （TRDIER i ）の中に1（許可）にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

（例）IMIEA、OVIEが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタ i （TRDIER i ）の状態

TRDIER i	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRDステータスレジスタ i （TRDSR i ）の状態

TRDSR i	—	—	—	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	0

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ（OVF、IMFA）が0なので、IMFBに0を書いてください。

(c) タイマRD割り込み許可レジスタ i （TRDIER i ）の中に1（許可）にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

（例）IMIEAが割り込み許可、IMIEBが割り込み禁止の状態、IMFBをクリアする場合

・タイマRD割り込み許可レジスタ i （TRDIER i ）の状態

TRDIER i	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRDステータスレジスタ i （TRDSR i ）の状態

TRDSR i	—	—	—	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	1

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ（IMFA）が1なので、IMFBと同時にIMFAにも0を書いてください。

タイマRD2の拡張相補PWMモード、タイマKB PWM出力ゲートモードを設定した場合は、タイマRD割り込み許可レジスタ i （TRDIER i ）の設定値に関係なく、動作モードの割り込み要求発生タイミングでタイマRD i 割り込み要求が発生します。

拡張相補PWMモードの場合、割り込み要求に対する間引き制御を適用することが可能です。間引き制御の詳細は、**12.4.8 割り込み要求、A/D変換トリガの間引き制御**を参照してください。

12.7 タイマRD2使用上の注意事項

12.7.1 SFRリード/ライトアクセス

タイマRD2を設定する際には、最初にPER2レジスタのTRD0ENビットを1にしてください。TRD0ENビットが0の場合は、タイマRD2の制御レジスタへの書き込みは無視され、読み出し値も00Hまたは0000Hとなります（ポート・レジスタ、ポート・モード・レジスタは除く）。

また、以下のレジスタおよびビットはカウント動作中に書き換え禁止のレジスタです。

TRDEL_C, TRDBCR, TRDMR, TRDPMR, TRDFCR, TRDOER1 レジスタ、TRDOER2 レジスタのTRDPTO ビット、TRDOCR, TRDDFi, TRDCR_i, TRDIORAI, TRDIORCI, TRDPOCR_i, TRDADCR, TRDTCTL レジスタ

備考 $i = 0, 1$

(1) TRDSTRレジスタ

- TRDSTRレジスタは、8ビット・メモリ操作命令で設定できます。
- TRDSTRレジスタのCSELiビットが0（TRDiカウンタとTRDGRAiレジスタのコンペア一致でカウント停止）の場合、TSTARTiビットに0（カウント停止）を書いても、カウントは停止せず、TSTARTiビットも変化しません。
TRDGRAiレジスタとのコンペア一致時のみ、TSTARTiビットは0（カウント停止）となります。
TRDSTRレジスタを書き換える際に、CSELiビットが0の場合、カウント動作に影響なくCSELiビットを1へ変更したい場合は、TSTARTiビットに0を書いてください。
TSTARTiビットに1を書き込むと、カウンタが停止中の場合カウント開始するおそれがあります。
また、プログラムでカウントを停止させる場合は、CSELiビットを1にしたあとで、TSTARTiビットに0を書いてください。同時に（1命令で）CSELiビットに1、TSTARTiビットに0を書いてもカウントは停止できません。
- 表12-29にTRDIOj端子をタイマRD2出力で使用している場合の、カウント停止時の出力レベルを示します。

表12-29 カウント停止時のTRDIOj端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELiビットが1のときに、TSTARTiビットに0を書きカウント停止	直前の出力レベルを保持（タイマRD2の相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力、拡張相補PWMモードではTRDOCRで設定した初期出力レベルを出力）
CSELiビットが0のときに、TRDiカウンタとTRDGRAiレジスタのコンペア一致でカウント停止	コンペア一致による出力変化後、そのレベルを保持（タイマRD2の相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力、拡張相補PWMモードではTRDOCRで設定した初期出力レベルを出力）

(2) TRDDFiレジスタ

TRDDFiレジスタのDFCK1, DFCK0ビットを設定したあと、カウント動作を開始してください。

(3) TRDiカウンタ

TRDiカウンタが0000Hになるタイミングと、TRDiカウンタへの書き込むタイミングが重なると、値はレジスタへの書き込みが優先されます。

備考 $i = 0, 1; j = A-D$

12.7.2 モードの切り替え

- 動作中にモードを切り替える際は、カウント停止状態（TSTART0, TSTART1ビットを0）にしたあと、行ってください。
- TSTART0, TSTART1ビットを0から1へ変更する前に、TRDIF0, TRDIF1ビットを0にしてください。詳細は、**第29章 割り込み機能**を参照してください。

12.7.3 カウントソース

- カウントソースを切り替える際は、カウントを停止したあと、切り替えてください。

[変更手順]

- (1) TRDSTRレジスタのTSTART i ビット ($i = 0, 1$) を0（カウント停止）にする。
- (2) TRDCR i レジスタのTCK2-TCK0ビットを変更する。

タイマRD2のカウントソースにfHOCO（64 MHz, 48 MHz）を選択する場合、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2（PER2）のTRD0ENビットをクリアしたあとに変更してください。

12.7.4 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRD2の動作クロックの3サイクル以上にしてください。
- TRDIO j 端子 ($j = A-D$) にインพุットキャプチャ信号が入力されてから、タイマRD2の動作クロック（fCLK）の2～3サイクル後にTRD i カウンタの値をTRDGR j レジスタに転送します（デジタルフィルタなしの場合）。
- インพุットキャプチャモードでは、TRDSTRレジスタのTSTART i ビットが0（カウント停止）のときも、TRDIOR j レジスタのTRDIO j 0, TRDIO j 1ビットで選択したエッジがTRDIO j 端子に入力されると、TRDIO j 入力の有効エッジのインพุットキャプチャ割り込み要求が発生します（ $i = 0, 1; j = A-D$ ）。

12.7.5 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の設定手順 (i = 0, 1)

リセット後、TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子と共用している I/O ポートは入力ポートとして機能します。

- TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子から出力する場合は、以下の手順で設定してください。

[変更手順]

- (1) モード設定、初期値設定をする。
 - (2) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子の出力許可にする (TRDOER1 レジスタ)。
 - (3) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子に対応するポート・レジスタ m のビットを 0 にする。
 - (4) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子に対応するポート・モード・レジスタ m のビットを出力モードに設定する (TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子から出力開始)。
 - (5) カウントを開始する (TSTART0 または TSTART1 ビットを 1 にする)。
- TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子に対応するポート・モード・レジスタ m のビットを出力モードから入力モードに変更する場合、以下の手順で設定してください。

[変更手順]

- (1) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子に対応するポート・モード・レジスタ m のビットを入力モードに設定する (TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子から入力開始)。
 - (2) インพุットキャプチャ機能に設定する。
 - (3) カウントを開始する (TSTART0 または TSTART1 ビットを 1 にする)。
- TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子を出力モードから入力モードに切り替える場合、端子の状態によりインพุットキャプチャ動作することがあります。デジタルフィルタを使用しない場合、動作クロックの 2 サイクル以上経過したあとで、エッジ検出を行います。デジタルフィルタを使用する場合、最大でデジタルフィルタのサンプリングクロックの 5 サイクルでエッジ検出を行います。

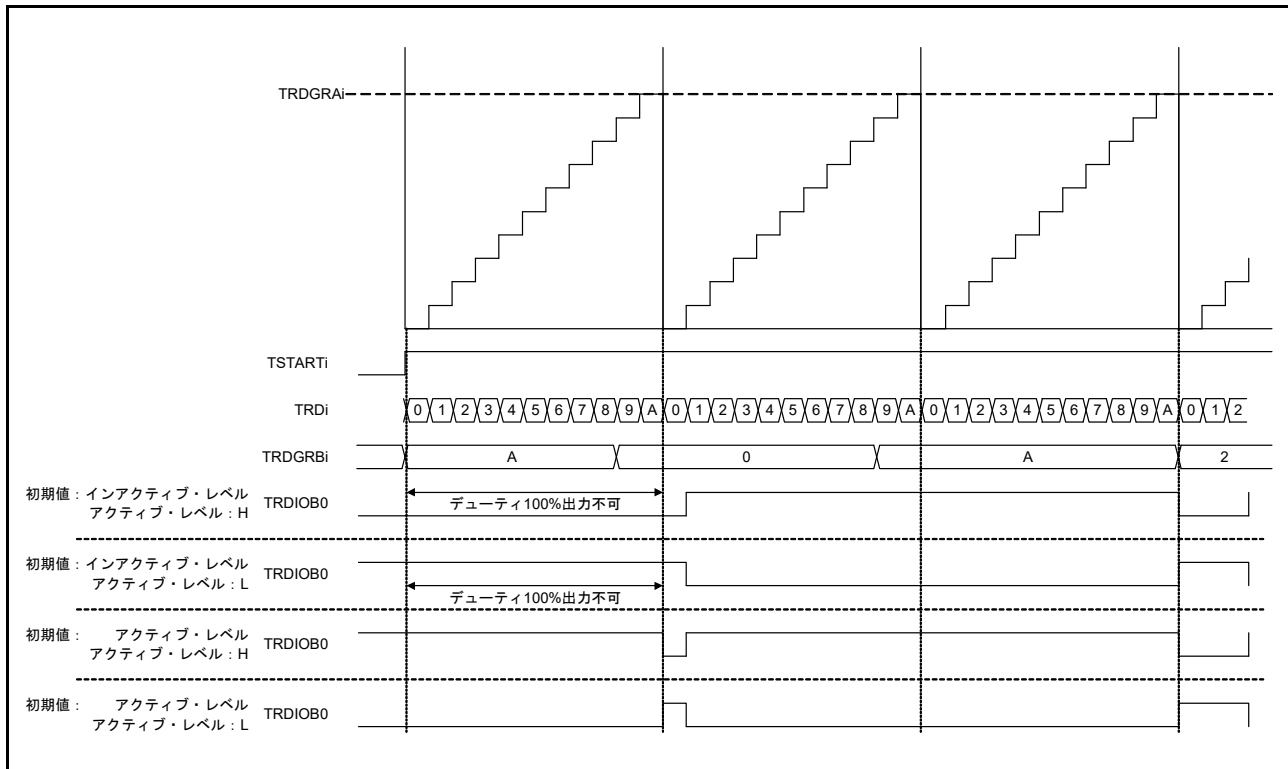
12.7.6 外部クロック TRDCLK

TRDCLK 端子に入力する外部クロックのパルス幅は、タイマ RD2 の動作クロックの 3 サイクル以上にしてください。

12.7.7 タイマモードPWM機能

PWM出力を設定するジェネラルレジスタの初期設定時はPWM周期と同じ値に設定しないでください。端子の初期出力レベルをインアクティブ・レベル設定にした場合、カウント動作開始直後の周期ではデューティ100%は出力できません。

図12-110 タイマモードPWM機能（カウント動作開始後のデューティ100%出力制限）



12.7.8 リセット同期PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。

[変更手順]

- (1) TRDSTRレジスタのTSTART0ビットを0（カウント停止）にする。
- (2) TRDFCRレジスタのCMD1, CMD0ビットを00B（タイマモード、PWMモード、PWM3モード）にする。
- (3) CMD1, CMD0ビットを01B（リセット同期PWMモード）にする。
- (4) その他のタイマRD2関連レジスタを再設定する。

12.7.9 相補PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。

- TRDFCRレジスタのCMD1, CMD0ビットを変更するときは、次の手順で変更してください。

[変更手順：相補PWMモードにする場合（再設定含む）、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合]

- TRDSTRレジスタのTSTART0, TSTART1ビットを両方とも0（カウント停止）にする。
- TRDFCRレジスタのCMD1, CMD0ビットを00B（タイマモード、PWMモード、PWM3モード）にする。
- CMD1, CMD0ビットを10B、または11B（相補PWMモード）にする。
- その他のタイマRD2関連レジスタを再設定する。

[変更手順：相補PWMモードを止める場合]

- TRDSTRレジスタのTSTART0, TSTART1ビットを両方とも0（カウント停止）にする。
- CMD1, CMD0ビットを00B（タイマモード、PWMモード、PWM3モード）にする。

- 動作中にTRDGRA0, TRDGRB0, TRDGRA1, TRDGRB1レジスタに書き込まないでください。

PWM波形を変更する場合は、TRDGRD0, TRDGRC1, TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0, TRDGRA1, TRDGRB1レジスタへ転送してください。

ただし、TRDGRD0, TRDGRC1, TRDGRD1の書き込みの際には、TRDBFD0, TRDBFC1, TRDBFD1ビットを0（ジェネラルレジスタ）にして書き込み、その後TRDBFD0, TRDBFC1, TRDBFD1ビットを1（バッファレジスタ）にできます。

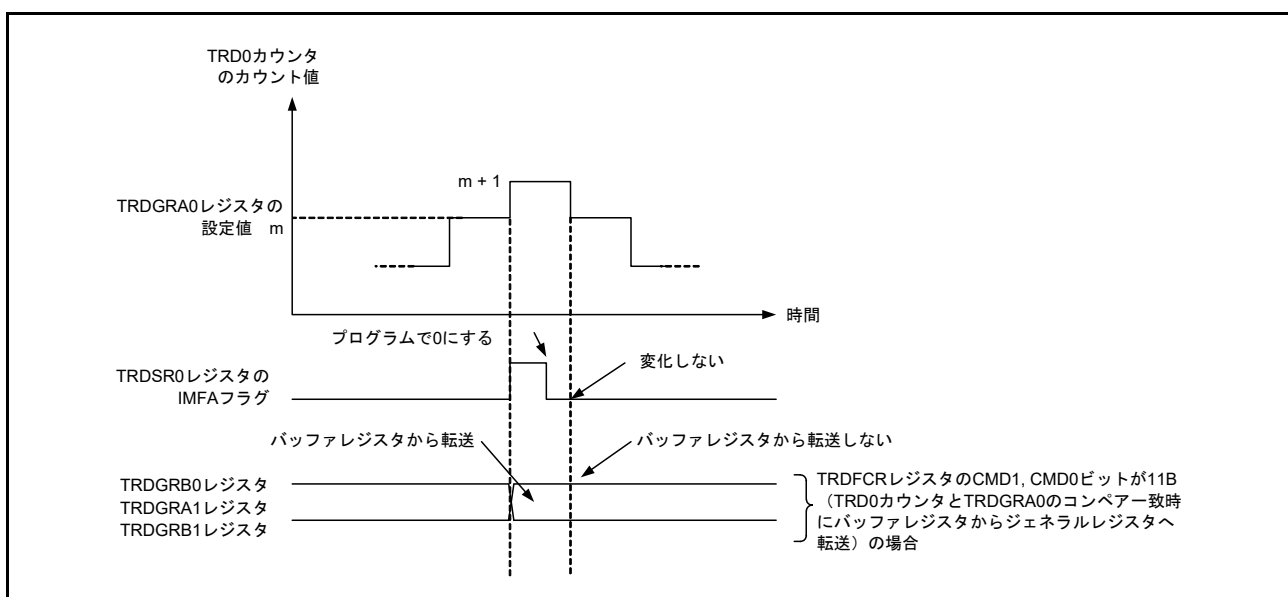
PWM周期は変更できません。

- TRDGRA0レジスタに設定した値を m とすると、TRD0カウンタはアップカウントからダウンカウントに変わるとき、 $m-1 \rightarrow m \rightarrow m+1 \rightarrow m \rightarrow m-1$ とカウントします。

$m \rightarrow m+1$ のとき、TRDSRiレジスタのIMFAフラグが1になります。また、TRDFCRレジスタのCMD1, CMD0ビットが11B（相補PWMモード、TRD0カウンタとTRDGRA0レジスタのコンペアー一致でバッファデータ転送）の場合、バッファレジスタ（TRDGRD0, TRDGRC1, TRDGRD1）の内容がジェネラルレジスタ（TRDGRB0, TRDGRA1, TRDGRB1）に転送されます。

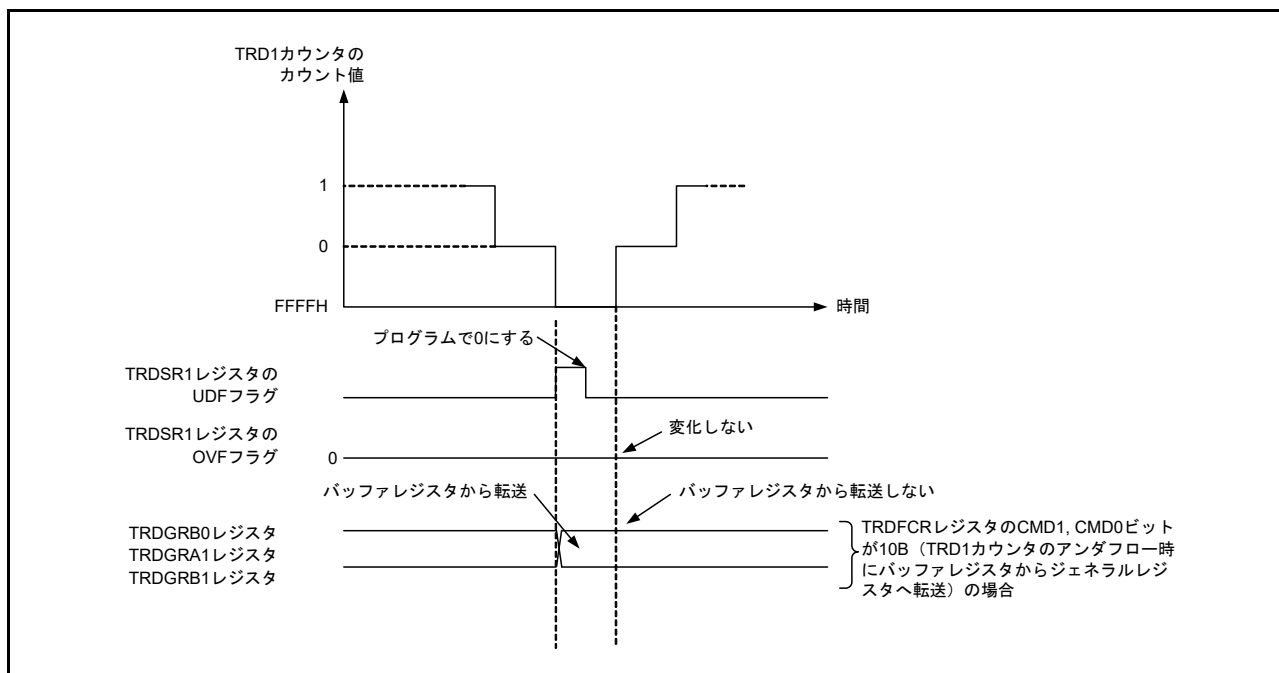
$m+1 \rightarrow m \rightarrow m-1$ の動作ではIMFAフラグは変化せず、TRDGRA0レジスタなどへのデータ転送もありません。

図12-111 相補PWMモード時のTRD0カウンタとTRDGRA0レジスタがコンペアー一致したときの動作



- TRD1はダウンカウントからアップカウントに変わるとき、1→0→FFFFH→0→1とカウントします。1→0→FFFFHの動作によって、TRDSRiレジスタのUDFフラグが1になります。また、TRDFCRレジスタのCMD1, CMD0ビットが10B（相補PWMモード、TRD1カウンタのアンダフローでバッファデータ転送）の場合、バッファレジスタ（TRDGRD0, TRDGRC1, TRDGRD1）の内容がジェネラルレジスタ（TRDGRB0, TRDGRA1, TRDGRB1）に転送されます。FFFFH→0→1の動作ではTRDGRB0レジスタなどへのデータ転送はありません。また、このとき、TRDSRiレジスタのOVFフラグは変化しません。

図12 - 112 相補PWMモードTRD1カウンタがアンダフローしたときの動作



- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCRレジスタのCMD1, CMD0ビットで選択してください。ただし、デューティ0%の場合およびデューティ100%の場合、CMD1, CMD0ビットの値に関係なく、以下に示すタイミングで転送します。

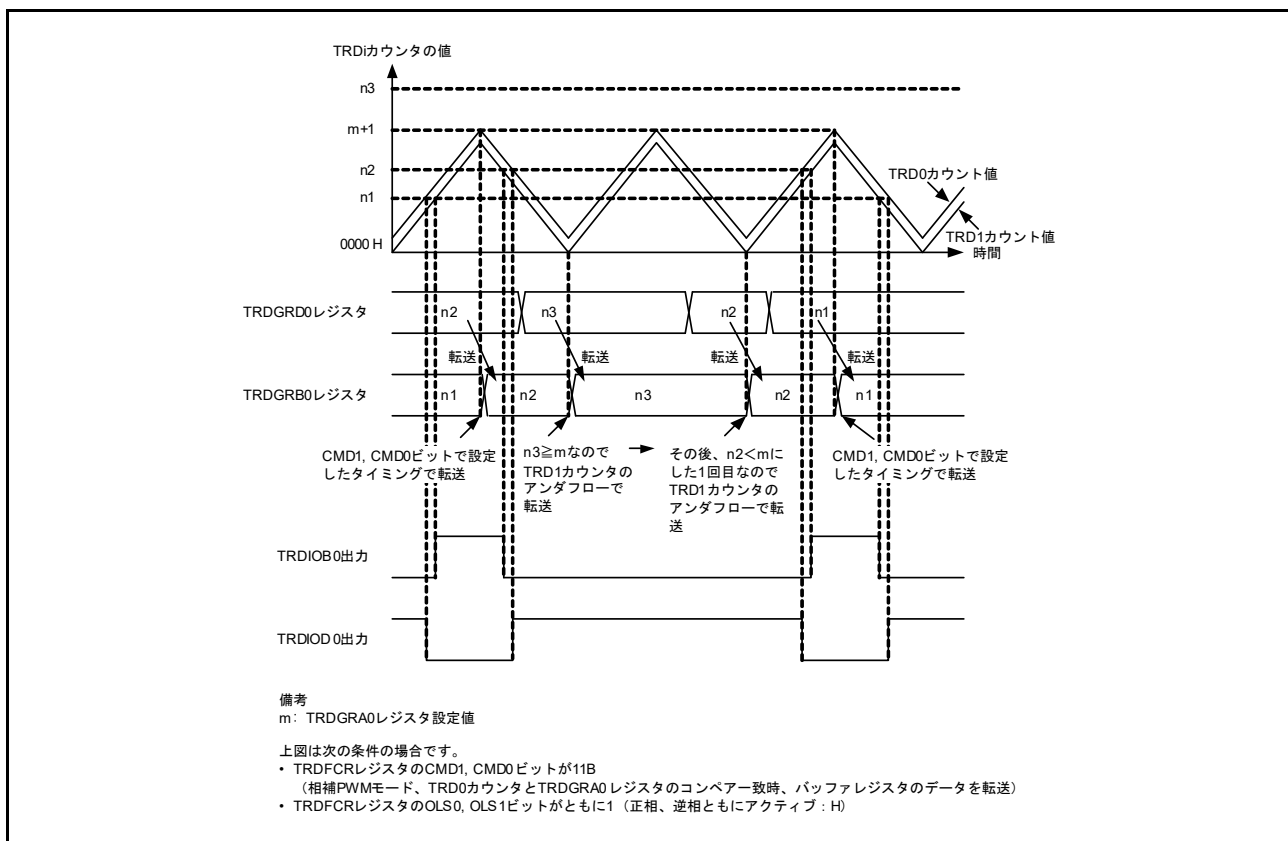
バッファレジスタの値 \geq TRDGRA0レジスタの値の場合（デューティ0%）

TRD1カウンタのアンダフローで転送します。

その後、0001H以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1カウンタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1, CMD0ビットで選択したタイミングで転送します。

ただし、バッファレジスタの初期値FFFFHのままデューティ0%の波形を生成することはできません。デューティ0%の波形を生成したい場合、バッファレジスタへの書き込みによりバッファレジスタの値 \geq TRDGRA0としてください。

図12-113 相補PWMモード時のバッファレジスタの値 \geq TRDGRA0レジスタ値の場合の動作例



バッファレジスタにTRDGRA0レジスタ値以上の値を書き込むと、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送され、正相デューティ100%出力、逆相デューティ0%の出力レベルに固定されます。

出力レベル固定を解除する場合は、バッファレジスタにTRD0カウンタ設定値以上かつ（TRDGRA0レジスタ設定値-TRD0カウンタ設定値）以下をバッファレジスタに書き込んでください。バッファレジスタに書き込み後、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送されPWM波形が出力されます。PWM波形が出力されたあとは、CMD0ビットの設定したタイミングでバッファレジスタの値がジェネラルレジスタへ転送されます。

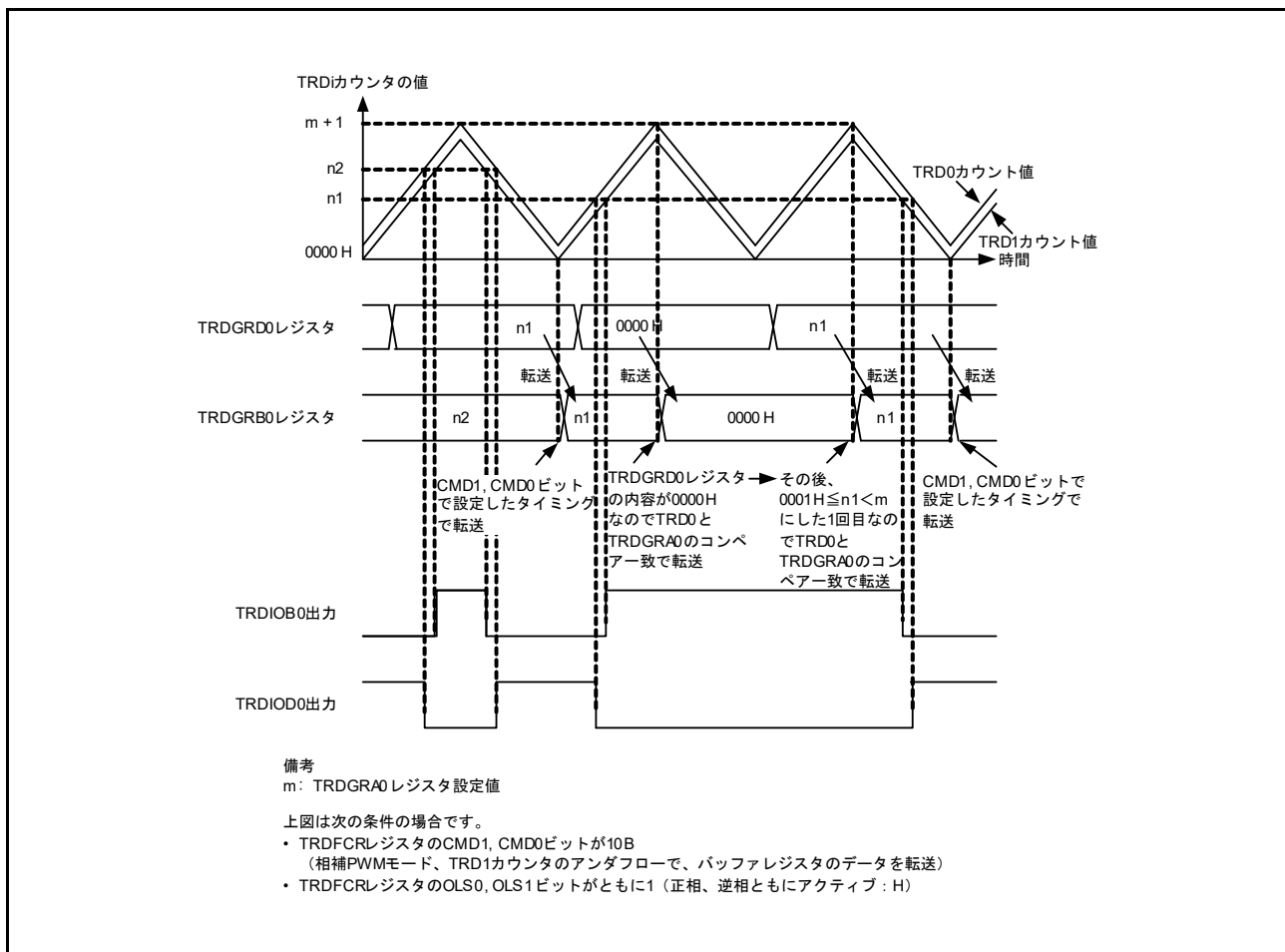
ただし、バッファレジスタの初期値“FFFFH”を用いて正相デューティ 100%出力、逆相デューティ 0%出力を設定することはできません。また、正相デューティ 100%出力、逆相デューティ 0%出力状態から正相デューティ 0%出力、逆相デューティ 100%出力への直接変更もできません。

バッファレジスタの値が0000Hの場合（デューティ 100%）

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、0001H以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1, CMD0ビットで選択したタイミングで転送します。

図12 - 114 相補PWMモード時のバッファレジスタの値が0000Hの場合の動作例



バッファレジスタに0000Hの値を書き込むと、CMD0ビットの設定にかかわらず、TRD0カウンタとTRDGRA0レジスタのコンペア一致でバッファレジスタの値がジェネラルレジスタへ転送され、正相デューティ 0%出力、逆相デューティ 100%出力レベルに固定されます。

出力レベル固定を解除する場合は、バッファレジスタにTRD0カウンタ設定値以上かつ（TRDGRA0レジスタ設定値 - TRD0カウンタ設定値）以下をバッファレジスタに書き込んでください。バッファレジスタに書き込み後、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送されPWM波形が出力されます。PWM波形が出力されたあとは、CMD0ビットの設定したタイミングでバッファレジスタの値がジェネラルレジスタへ転送されます。正相デューティ 0%出力、逆相デューティ 100%出力設定から正相デューティ 100%出力、逆相デューティ 0%出力への直接変更はできません。

12.7.10 拡張PWMモード

- カウント動作を停止、再開する場合は、次の手順で設定してください。
 - (1) TRDSTRレジスタのTSTARTiビットに0（カウント停止）を設定する。
 - (2) TRDOCRレジスタで端子の初期出力レベルを再設定する。
 - (3) TRDiカウンタに0000Hを設定する。
 - (4) TRDSTRレジスタのTSTARTiビットに1（カウント開始）を設定する。

- 同期動作をさせる場合は以下の設定をしてください。
 - (1) TRDMRレジスタSYNCビットに1を設定する。
 - (2) TRDCR0, TRDCR1レジスタに同じ値を設定する。
TRDiカウンタに0000Hを設定する。
TRDGRA0, TRDGRA1に同じ値を設定する。
 - (3) TRDSTRレジスタのTSTARTiビットに1（カウント開始）を設定する。

- コンペアレジスタの一斉書き換えをする際は16ビットアクセスでTRDRDT0.RDTビットとTRDRDT1.RDTビットを同時にセットしてください。

- PWM出力を設定するジェネラルレジスタの初期設定時はPWM周期と同じ値に設定しないでください。端子の初期出力レベルをインアクティブ・レベル設定にした場合、カウント動作開始直後の周期ではデューティ 100%は出力できません。1周期目からデューティ 100%を出力する場合は端子の初期出力レベルをアクティブ・レベルに設定してください。詳細は、**12.7.7 タイマモードPWM機能**を参照してください。

12.7.11 拡張相補PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- カウント動作を停止し、拡張相補PWMモードで再開する場合は、次の手順で変更してください。

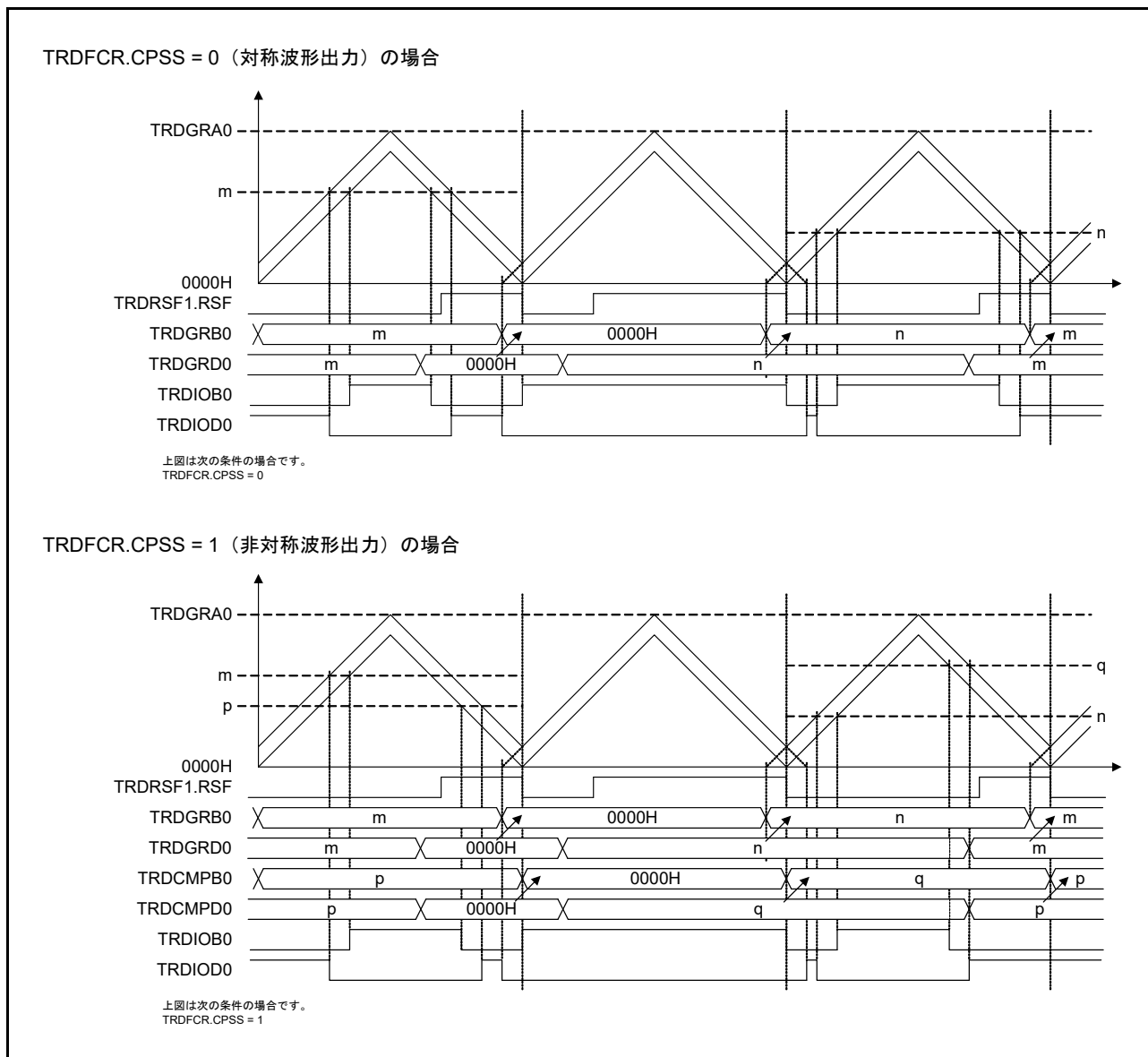
[変更手順]

- (1) TRDSTRレジスタのTSTART0, TSTART1ビットを両方とも0（カウント停止）にする。
- (2) TRDFCRレジスタのCMD1, CMD0ビットを00B（タイマモード、PWM3モード）にする。
- (3) CMD1, CMD0を10B、EPWMを1B（拡張相補PWMモード）にする。
- (4) TRD0に短絡防止時間、TRD1に0000Hを設定する。
- (5) TRDGRC0, TRDGRD0, TRDGRC1, TRDGRD1レジスタを設定する。
非対称波形出力設定時は、TRDGRm・TRDCMPmレジスタ（m = B0, D0, A1, B1, C1, D1）を設定する。
 - TRDGRB0/D0, TRDGRA1/C1, TRDGRB1/D1, TRDCMPB0/D0, TRDCMPA1/C1, TRDCMPB1/D1にはそれぞれ同じ値を設定してください。
- (6) A/Dトリガ機能を使用する場合は、TRDADTB0, TRDADTB1レジスタ、端子の初期レベルを変更する場合は、TRDOCRレジスタを設定する。
 - 動作中はTRDGRA0, TRDGRB0, TRDGRA1, TRDGRB1, TRDCMPB0, TRDCMPA1, TRDCMPB1レジスタに書き込みをしないでください。
 - 動作中にPWM波形を変更する場合は、TRDGRD0, TRDGRC1, TRDGRD1, TRDCMPD0, TRDCMPC1, TRDCMPD1レジスタへ書き込み後、TRDRDT1.RDTをセットしてください。その後、一斉書き換えによるバッファ動作を用いてTRDGRB0, TRDGRA1, TRDGRB1, TRDCMPB0, TRDCMPA1, TRDCMPB1レジスタへ転送してください。
PWM周期は変更できません。

[デューティ 100% 出力の設定]

デューティ 100% を出力する場合は、コンペアレジスタに 0000H を設定してください。CPSS = 0 の場合は TRDGRji レジスタのみ、CPSS = 1 の場合は TRDGRji レジスタと TRDCMPm レジスタの設定が必要です。一斉書き換えタイミングまでにバッファレジスタを設定し、TRDRDT1.RDT ビットに 1 を設定すると次周期からデューティ 100% を出力することができます。

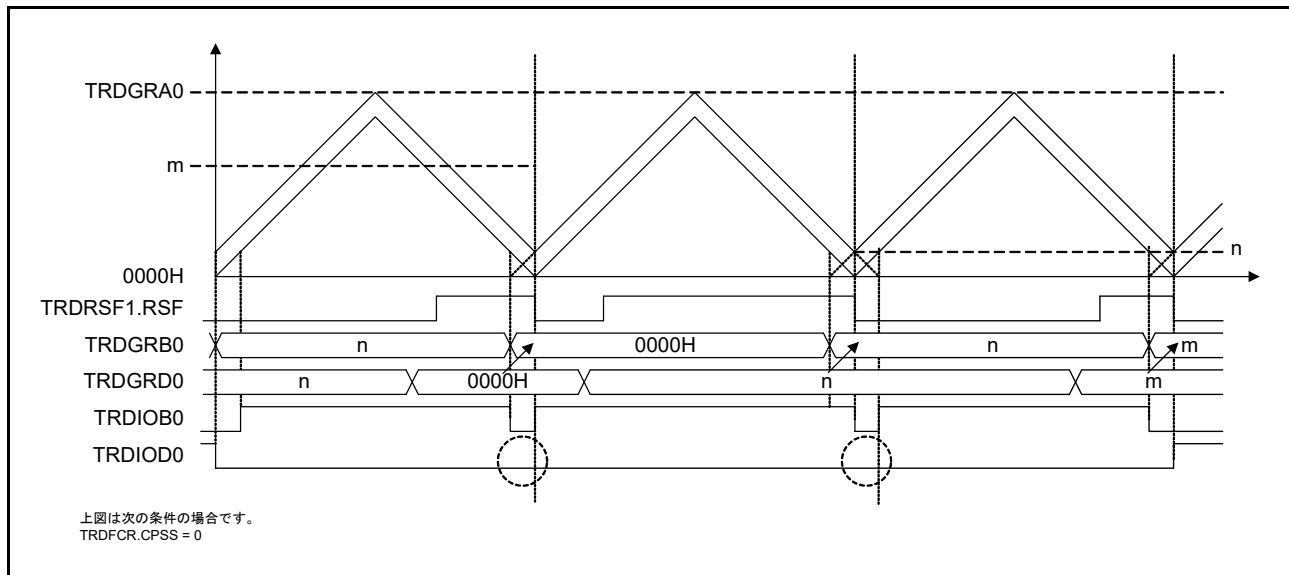
図 12 - 115 デューティ 100% 出力の設定例



[デューティ 100% 出力時の制限事項]

PWM デューティ比の設定や短絡防止時間の設定によって、逆相はPWM デューティ 100% 設定時と同じインアクティブ・レベル出力となる場合があります。

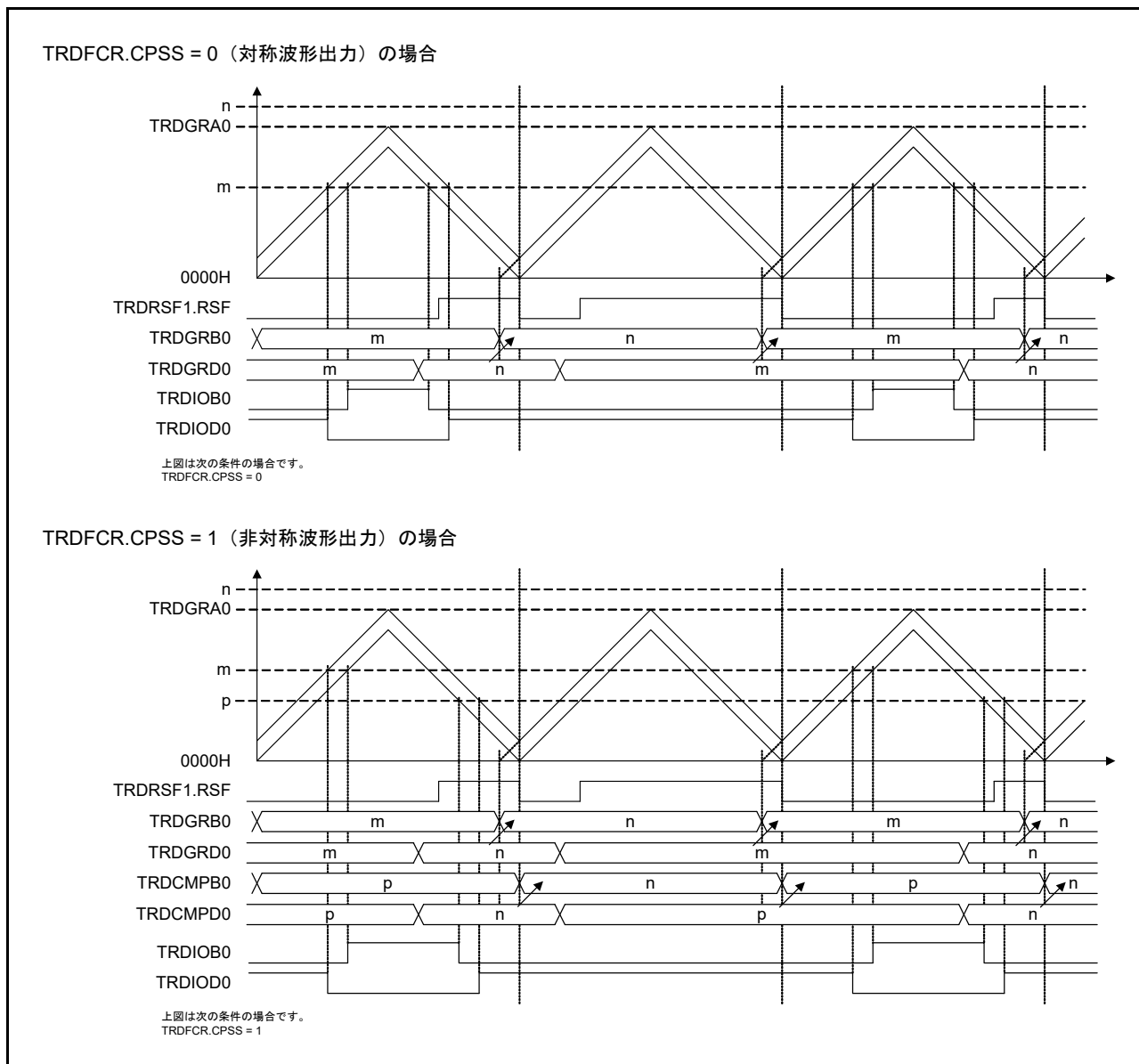
図12-116 デューティ 100%出力時の制限事項



[デューティ 0% 出力の設定]

デューティ 0% を出力する場合は、コンペアレジスタに TRDGRA0 以上の値を設定してください。CPSS = 0 の場合は TRDGRji レジスタのみ、CPSS = 1 の場合は TRDGRji レジスタと TRDCMPm レジスタの設定が必要です。一斉書き換えタイミングまでにバッファレジスタを設定し、TRDRDT1.RDT ビットに 1 を設定すると次周期からデューティ 0% を出力することができます。

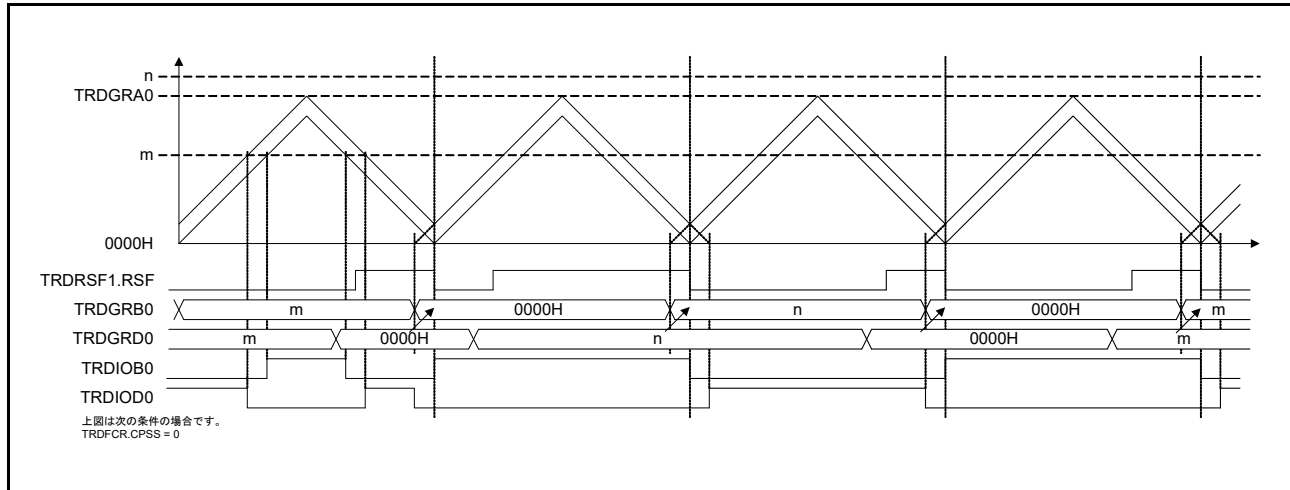
図 12-117 デューティ 0% 出力の設定例



[デューティ 100%、0% 出力の動作例]

拡張相補PWMモードではデューティ 100%と0%を交互に出力できます。

図12-118 デューティ 100%、0%出力の動作例



12.8 PWMオプションユニットA (PWMOPA)

PWM オプションユニットは、タイマ RD2 とポートの出力を、コンパレータ 3 出力、外部割り込み 0 (INTP0)、イベント・リンク・コントローラ (ELC) を起因とし、出力を遮断／遮断解除できる機能です。PWM オプションユニットはタイマ RD2 に内蔵されているパルス強制遮断とは異なる遮断機能です。

表12-30 パルス強制遮断と出力強制遮断の機能差分

	タイマRD2のパルス強制遮断	PWMオプションユニットの出力強制遮断
強制遮断に対応しているモード	<ul style="list-style-type: none"> • PWM機能 • リセット同期PWMモード • 相補PWMモード • PWM3モード • 拡張PWMモード • 拡張相補PWMモード 	<ul style="list-style-type: none"> • タイマRD2のすべての出力モードに対応 • ポート出力も遮断可能
遮断要因	<ul style="list-style-type: none"> • ELC入力 • INTP0のL入力 	<ul style="list-style-type: none"> • ELC入力 • INTP0 • コンパレータ3出力
遮断解除	タイマRD2のカウントを停止し、ソフトウェアで解除	<ul style="list-style-type: none"> • ハードウェアで解除 • ソフトウェアで解除（カウントの停止は不要）
遮断可能な端子	P17/TRDIOA0, P15/TRDIOB0, P16/TRDIOC0, P14/TRDIOD0, P13/TRDIOA1, P12/TRDIOB1, P11/TRDIOC1, P10/TRDIOD1のうち、タイマRD2の出力に設定している端子から選択。	P17/TRDIOA0, P15/TRDIOB0, P16/TRDIOC0, P14/TRDIOD0, P13/TRDIOA1, P12/TRDIOB1, P11/TRDIOC1, P10/TRDIOD1から選択。ポート出力も遮断可能。
★ 遮断時のポート状態選択	<ul style="list-style-type: none"> • Hi-Z出力 • ロウ・レベル出力 • ハイ・レベル出力 	タイマRD2出力 (TRDIOx) を遮断するとき : <ul style="list-style-type: none"> • Hi-Z出力 • ロウ・レベル出力 • ハイ・レベル出力 ポート出力 (Pxx) を遮断するとき : <ul style="list-style-type: none"> • Hi-Z出力

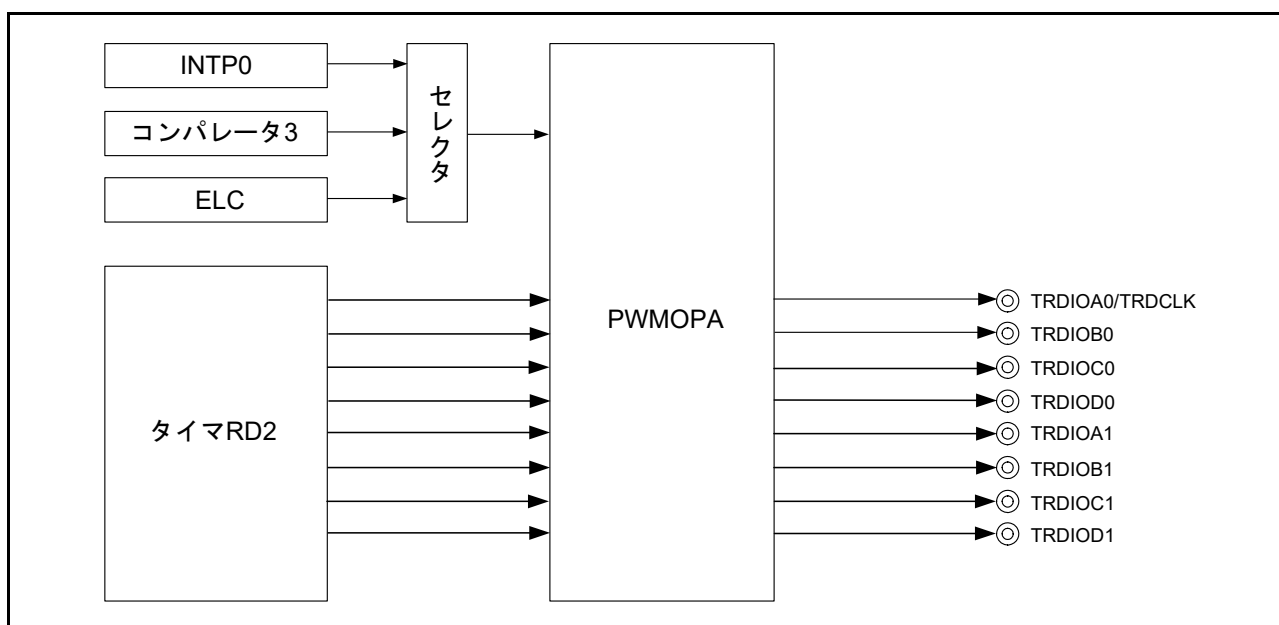
注意 パルス強制遮断と出力強制遮断は同時に使用する場合、同一の遮断要因を選択しないでください。

12.8.1 PWMオプションユニットの概要

PWM オプションユニットには、次のような機能があります。

- 出力遮断要因はコンパレータ3、外部割り込み0、イベント・リンク・コントローラから選択可能。
- コンパレータ3、外部割り込み0が出力強制遮断要因の場合、遮断要因となるエッジを選択可能。
- 出力強制遮断解除はソフトウェア解除とハードウェア解除を選択可能
- 遮断時の出力レベルをハイ・レベル、ロウ・レベル、Hi-Zから選択可能

図 12 - 119 PWMOPA制御論理図



12.8.2 PWMオプションユニットを制御するレジスタ

PWM オプションユニットを制御するレジスタを次に示します。

- PWMOPA制御レジスタ0 (OPCTL0)
- PWMOPA遮断制御レジスタ0 (OPDF0)
- PWMOPA遮断制御レジスタ1 (OPDF1)
- PWMOPAエッジ選択レジスタ (OPEDGE)
- PWMOPAステータス・レジスタ (OPSR)

12.8.2.1 PWMOPA制御レジスタ0 (OPCTL0)

OPCTL0 レジスタは、PWMOPA を制御するレジスタです。

OPCTL0 レジスタは8ビット操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-120 PWMOPA制御レジスタ0 (OPCTL0) のフォーマット (1/2)

アドレス : F0358H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
OPCTL0	0	HAZAD_SET	IN_EG	IN_SEL1	IN_SELO	ACT	HZ_REL	HS_SEL
HAZAD_SET	出力遮断ハザード制御選択 ^{注1}							
0	ハザード対策無効							
1	ハザード対策有効							
IN_EG	出力強制遮断要因エッジ／出力強制遮断解除エッジ選択 ^{注2,3}							
0	立ち上がりエッジ：出力強制遮断 立ち下がりエッジ：出力強制遮断解除							
1	立ち上がりエッジ：出力強制遮断解除 立ち下がりエッジ：出力強制遮断							
IN_SEL1	IN_SELO	遮断要因選択 ^{注2,4,5}						
0	0	出力遮断要因選択なし						
0	1	コンパレータ3出力						
1	0	INTP0端子入力						
1	1	ELCからのイベント入力						

図12-120 PWMOPA制御レジスタ0 (OPCTL0) のフォーマット (2/2)

ACT	ソフトウェア解除選択時のソフトウェア解除タイミング選択
0	ソフトウェアでHZ_RELに1を設定すると、強制遮断を解除してパルス出力を再開
1	<p>HZ_RELに1を設定するとタイマRD2の動作モードにより次のタイミングで出力遮断を解除し、パルス出力を再開します。</p> <ul style="list-style-type: none"> ・タイマRD2相補PWMモード、拡張相補PWMモード：OPEDGEレジスタで選択したTRDIOC0のエッジタイミングから出力強制遮断を解除してパルス出力を再開 ・タイマRD2リセット同期PWMモード：TRD0のカウント0000Hのタイミングから、出力強制遮断を解除する ・上記モード以外： <ul style="list-style-type: none"> – TRD0のカウント0000Hのタイミングから、TRDIOj0 (j = A-D) 強制遮断を解除する。 – TRD1のカウント0000Hのタイミングから、TRDIOj1 (j = A-D) 強制遮断を解除する。 <p>注6</p>

HZ_REL	ソフトウェア解除選択時：出力遮断解除制御
0	出力強制遮断を継続（強制遮断を解除すると、HZ_RELビットが0になる）注7
1	出力強制遮断を解除してパルス出力を再開注8

HZ_RELビットは状態によって読み出し、書き込みできる値が異なります。

- ・通常状態時：0/1を書き込み可能、読み出しは0のみ
- ・出力強制遮断時：1のみ書き込み可能、読み出しは1のみ

HS_SEL	出力強制遮断の解除モード選択
0	<p>ハードウェアで解除：</p> <p>ハードウェアで出力強制遮断を解除する場合、タイマRD2の動作モードにより遮断解除タイミングが異なります。</p> <ul style="list-style-type: none"> ・タイマRD2相補PWMモード、拡張相補PWMモード：遮断解除要因を検出後OPEDGEで選択したTRDIOC0エッジタイミングから出力強制遮断を解除する。 ・タイマRD2リセット同期PWMモード：遮断解除要因を検出後TRD0のカウント0000Hのタイミングから、出力強制遮断を解除する。注6 ・タイマRD2上記モード以外：遮断解除要因を検出後 <ul style="list-style-type: none"> – TRD0のカウント0000Hのタイミングから、TRDIOi0 (i = A-D) 出力強制遮断を解除する。 – TRD1のカウント0000Hのタイミングから、TRDIOi1 (i = A-D) 出力強制遮断を解除する。注9
1	ソフトウェアで解除

- 注1. タイマRD2が動作中は変更しないでください。
- 注2. IN_EGビットを設定してから3クロック以上経過後にIN_SEL1, IN_SEL0ビットを設定してください。
- 注3. 出力遮断要因に、コンパレータ3出力またはINTP0端子入力を選択時に有効になります。
- 注4. ELC要因で出力強制遮断の解除時は必ずソフトウェア解除を選択してください（HS_SELビットを1にする）。外部割り込み0（INTP0）とコンパレータ3による出力遮断解除には制限がありません。
- 注5. コンパレータ3出力とINTP0の入力有効レベル期間は1クロックより長くしてください。
- 注6. タイマRD20とタイマRD21のカウント値=0000Hのタイミングは、タイマRD20とタイマRD21が動作中で、カウンタのビット15～ビット0がすべて0になったときです。

- 注7.** タイマRD2はアウトプットコンペア機能、PWM機能、PWM3モード、拡張PWMモードで動作する場合、2チャンネルを使用する場合と、1チャンネルを使用する場合で出力遮断解除時の動作が異なります。
- タイマRD2を2チャンネルで使用する場合：
ソフトウェアでHZ_RELビットに1を設定すると、出力遮断状態ビット（HZOF0, HZOF1）はすべて0（遮断解除）になり、HZ_RELビットが0になります。
 - タイマRD2を1チャンネルで使用する場合：
ソフトウェアでHZ_RELビットに1を設定すると、使用しているタイマRD2のチャンネルに対応した出力遮断状態ビット（HZOF0またはHZOF1）が0になり、HZ_RELビットが0になります。
- 注8.** 強制遮断が発生していない場合は1に設定できません。
- 注9.** タイマRD2をアウトプットコンペア機能、PWM機能、PWM3モード、拡張PWMモードで動作する場合、出力遮断状態から出力遮断解除するとき、動作していないチャンネルに対しては遮断解除できません（遮断状態ビットHZOF0, HZOF1）は0になりません）。

12.8.2.2 PWMOPA遮断制御レジスタ0 (OPDF0)

OPDF0 レジスタは、PWMOPA の PWM 出力 TRDIOj0 (j = A-D) パルス遮断制御レジスタです。

OPDF0 レジスタは 8 ビット操作命令で設定します。

リセット信号の発生により、00H になります。

図12-121 PWMOPA遮断制御レジスタ0 (OPDF0) のフォーマット

アドレス : F0359H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
OPDF0	DFD01	DFD00	DFC01	DFC00	DFB01	DFB00	DFA01	DFA00
	DFD01	DFD00	TRDIOD0 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	Hi-Z出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFC01	DFC00	TRDIOC0 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	Hi-Z出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFB01	DFB00	TRDIOB0 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	Hi-Z出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFA01	DFA00	TRDIOA0 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	Hi-Z出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					

注意1. TRDIOj0 (j = A-D) 端子をポート出力として使用し、強制遮断を有効にする場合、Hi-Z出力を選択してください。

注意2. 強制遮断状態時にレジスタ値を変更しないでください。

注意3. PIORレジスタの設定により複数TRDIOji (j = A-D; i = 1, 0) を保有している端子から使用する機能を選択する場合、使用するTRDIOjiの機能のみ設定してください。

例: PIOR2でP17をTRDIOD0に選択し、TRDOER1レジスタの設定によりTRDIOD0を出力選択したとき、DFA0n, DFD0n (n = 0, 1) もTRDIOD0のみ設定を行い、TRDIOA0は強制遮断禁止を選択してください。

12.8.2.3 PWMOPA遮断制御レジスタ1 (OPDF1)

OPDF1 レジスタは、PWMOPA の PWM 出力 TRDIOj1 (j = A-D) パルス遮断制御レジスタです。

OPDF1 レジスタは 8 ビット操作命令で設定します。

リセット信号の発生により、00H になります。

図12-122 PWMOPA遮断制御レジスタ1 (OPDF1) のフォーマット

アドレス : F035AH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
OPDF1	DFD11	DFD10	DFC11	DFC10	DFB11	DFB10	DFA11	DFA10
	DFD11	DFD10	TRDIOD1 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	Hi-Z出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFC11	DFC10	TRDIOC1 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	Hi-Z出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFB11	DFB10	TRDIOB1 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	Hi-Z出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					
	DFA11	DFA10	TRDIOA1 端子出力強制遮断制御					
	0	0	強制遮断禁止					
	0	1	Hi-Z出力					
	1	0	ロウ・レベル出力					
	1	1	ハイ・レベル出力					

注意1. TRDIOj1 (j = A-D) 端子をポート出力として使用し、強制遮断を有効にする場合、Hi-Z出力を選択してください。

注意2. 強制遮断状態時にレジスタ値を変更しないでください。

注意3. PIORレジスタの設定により複数TRDIOji (j = A-D; i = 1, 0) を保有している端子から使用する機能を選択する場合、使用するTRDIOjiの機能のみ設定してください。

例: PIOR2でP16をTRDIOA1に選択し、TRDOER1レジスタの設定によりTRDIOA1を出力選択したとき、DFA1n, DFC1n (n = 0, 1) もTRDIOA1のみ設定を行い、TRDIOC1は強制遮断禁止を選択してください。

12.8.2.4 PWMOPAエッジ選択レジスタ (OPEDGE)

OPEDGE レジスタは、タイマ RD2 を相補 PWM モード、拡張相補 PWM モードに設定し、ハードウェアで出力強制遮断解除を行う場合に、遮断解除のタイミングを選択するレジスタです。

OPEDGE レジスタは 8 ビット操作命令で設定します。

リセット信号の発生により、00H になります。

図 12 - 123 PWMOPAエッジ選択レジスタ (OPEDGE) のフォーマット

アドレス : F035BH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
OPEDGE	—	—	—	—	—	—	EG1	EG0

EG1	EG0	出力強制遮断解除のエッジ選択
0	0	TRDIOC0立ち上がりで遮断解除
0	1	TRDIOC0立ち下がりで遮断解除
1	0	TRDIOC0の両エッジで遮断解除
1	1	TRDIOC0の入力エッジ無効、遮断保持

12.8.2.5 PWMOPAステータス・レジスタ (OPSR)

OPSR レジスタは、出力強制遮断、遮断要因のステータスを表示するレジスタです。

OPSR レジスタは 8 ビット操作命令で読み出します。

リセット信号の発生により、00H になります。

図12-124 PWMOPAステータス・レジスタ (OPSR) のフォーマット

アドレス : F035CH

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
OPSR	0	0	0	0	0	HZOF1	HZOF0	HZIF0
HZOF1		遮断状態 ^{注1}						
0		通常タイマ出力 (TRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1)						
1		遮断状態 (TRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1)						
HZOF0		遮断状態 ^{注1}						
0		通常タイマ出力 (TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0)						
1		遮断状態 (TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0)						
HZIF0		出力遮断要因の状態 ^{注1, 2}						
0		出力遮断要因がしきい値を超えていない状態						
1		出力遮断要因がしきい値を超えている状態						

注1. OPCTL0レジスタのIN_SEL1, IN_SEL0ビットでINTP0、コンパレータ3を遮断要因として選択する前に、出力遮断要因がしきい値を超えている状態になった場合、IN_SEL1, IN_SEL0ビットを設定後、HZIF0ビットは1にセットされますが、HZOF0, HZOF1ビットはセットされません。

注2. INTP0、コンパレータ3を遮断要因として選択時に有効

12.8.3 動作説明

INTP0 入力、ELC からのイベント入力、コンパレータ 3 出力をトリガとして、タイマ RD2 出力端子 TRDIO_{ji} ($j = A-D; i = 0, 1$) の出力強制遮断と出力強制遮断の解除を制御できます。INTP0 入力、コンパレータ 3 出力を遮断要因として使用する場合は、出力強制遮断／出力強制遮断解除の要因となるエッジを選択できます。

12.8.3.1 強制遮断

INTP0 入力、ELC からのイベント入力、コンパレータ 3 出力をトリガとして、タイマ RD2 出力端子 TRDIO_{ji} ($j = A-D; i = 0, 1$) のパルス出力を遮断できます。

出力強制遮断要因を検出したとき、タイマ RD2 の出力を強制遮断し、OPDF0/OPDF1 レジスタで設定した出力値を出力します。動作の詳細は、**図 12 - 126 遮断詳細タイミング図**を参照してください。

OPCTL0 レジスタの HS_SEL ビットの設定値よりハードウェアまたはソフトウェアで強制遮断解除を選択できます。

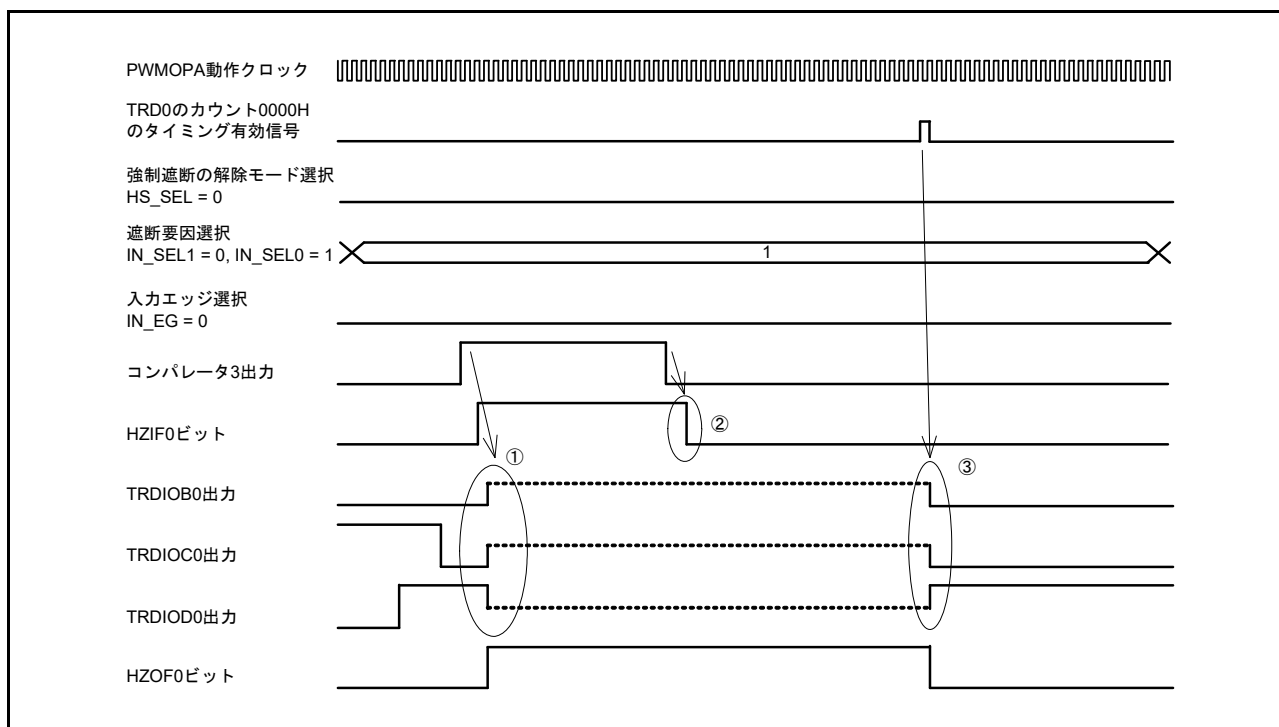
12.8.3.2 ハードウェア解除 (HS_SEL = 0 の場合)

タイマ RD2 機能より、強制遮断解除のタイミングは異なります。

(1) タイマ RD2 相補 PWM モード、拡張相補 PWM モード以外の出力の場合

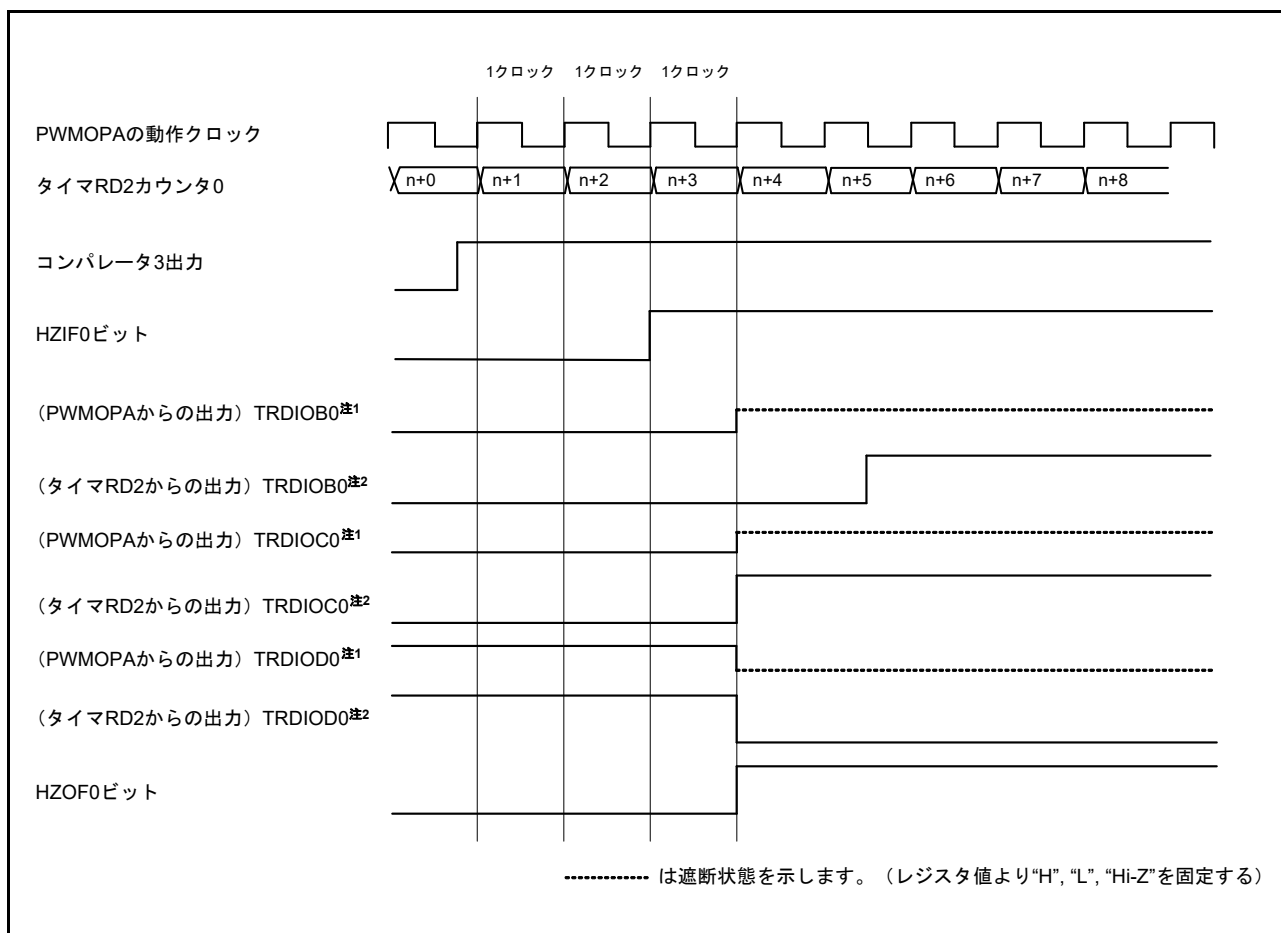
- タイマ RD2 がアウトプットコンペア機能、PWM 機能、PWM3 モード、拡張 PWM モードの場合：
出力強制遮断解除要因を検出後 TRD0 のカウント値が 0000H になるタイミングで、TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0 の出力強制遮断を解除します。また、TRD1 のカウント値が 0000H になるタイミングで、TRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1 の出力強制遮断を解除します。
- タイマ RD2 がリセット同期 PWM モードの場合：
出力強制遮断解除要因を検出後 TRD0 のカウント値が 0000H になるタイミングで、すべての TRDIO 端子の強制遮断を解除します。

図12 - 125 出力強制遮断／ハードウェアで出力強制遮断解除の動作例
(TRDIOB0, TRDIOC0, TRDIOD0端子を遮断する場合)



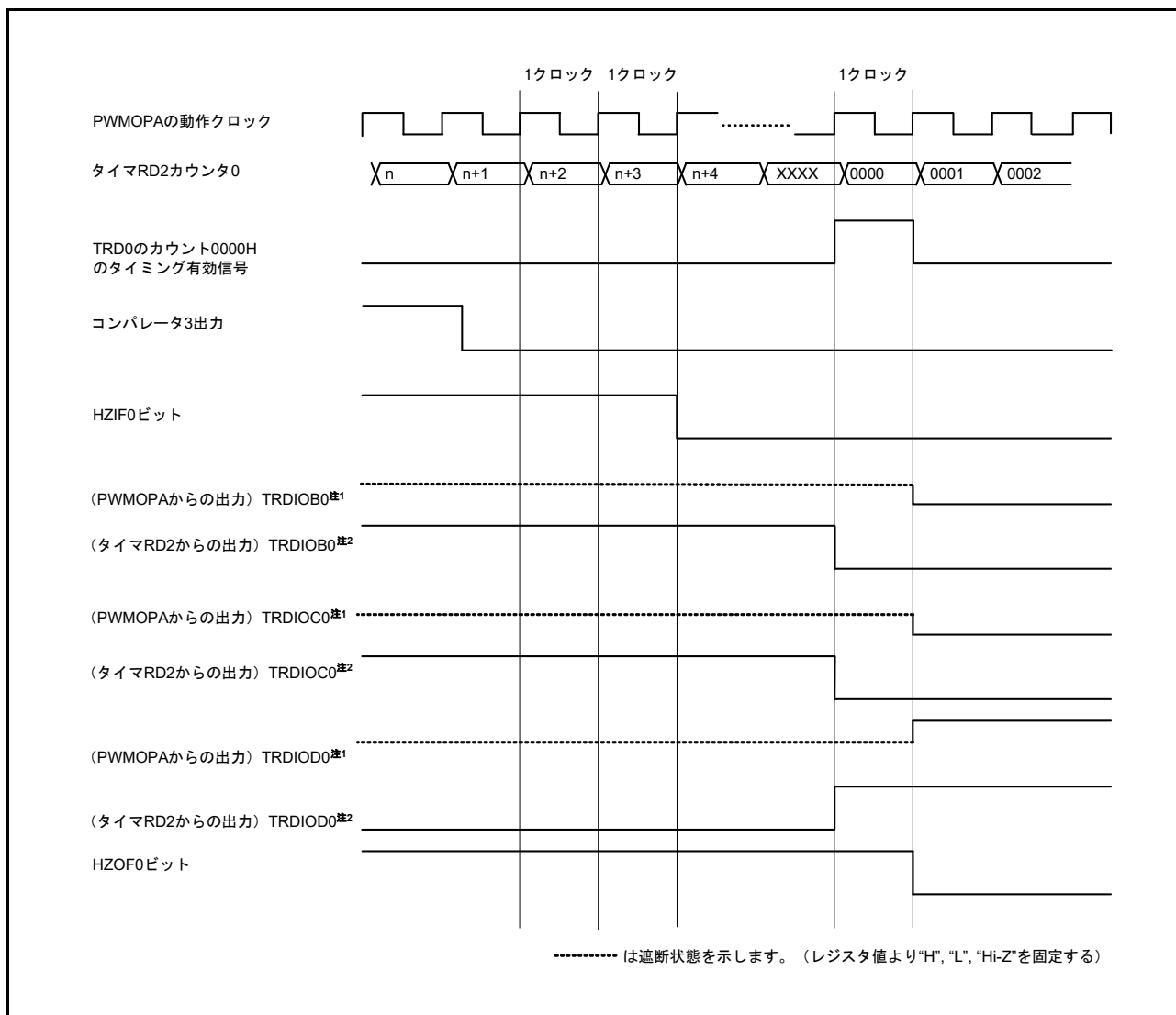
- ① コンパレータ3出力信号の立ち上がりエッジ検出で、TRDIOB0, TRDIOC0, TRDIOD0端子出力が出力強制遮断状態になる。
- ② コンパレータ3出力信号の立ち下がりエッジ検出後、HZIF0ビットがクリアされる。
- ③ TRDiのカウンタ値が0000Hになるタイミングで、強制遮断状態が解除される。

図12-126 遮断詳細タイミング図



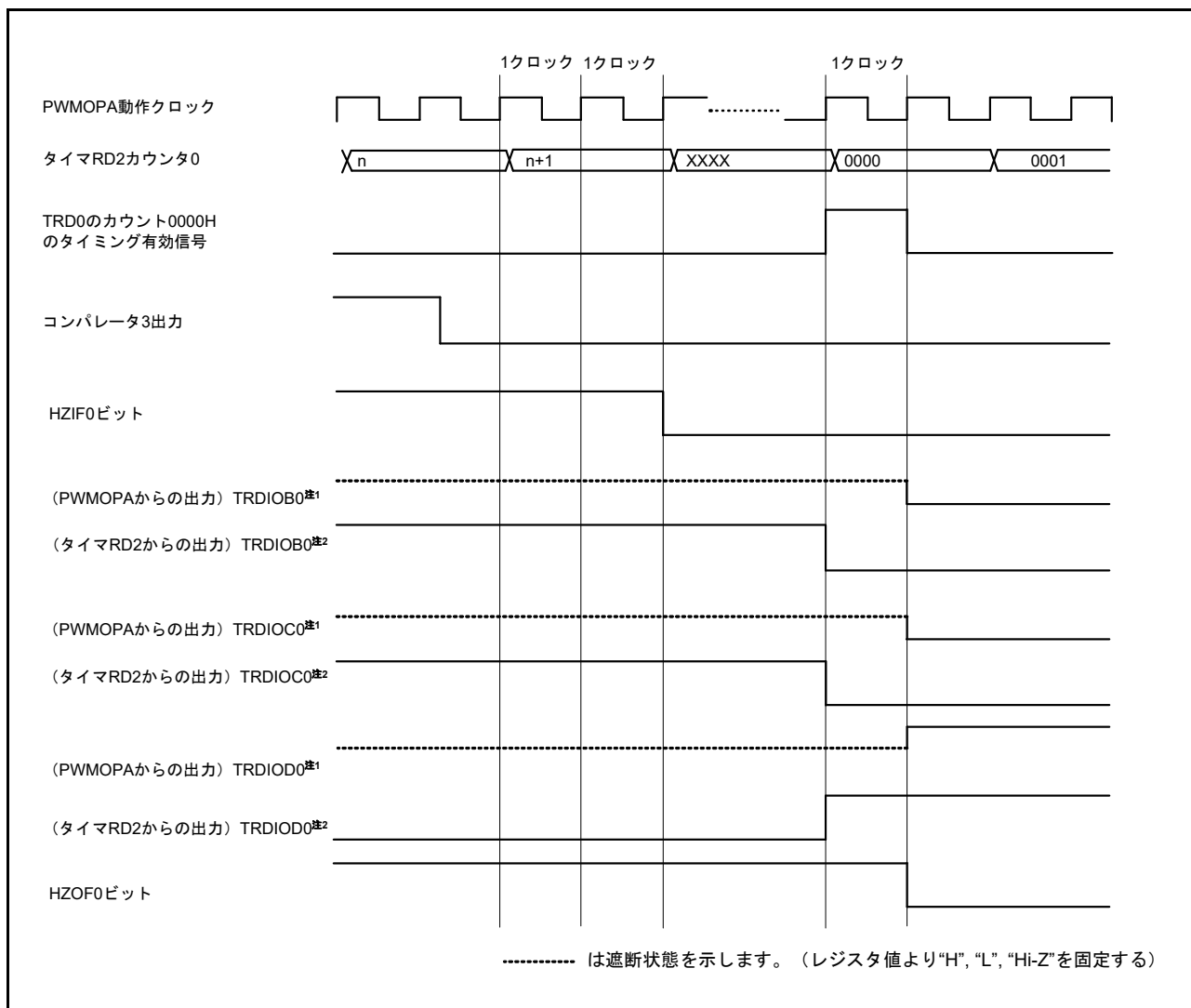
- 注1. (PWMOPAからの出力) TRDIO* (* = B-D) は兼用タイマRD2機能端子の状態を示します。
- 注2. (タイマRD2からの出力) TRDIO* (* = B-D) はPWMOPAへのタイマRD2からの入力を示します。

図12-127 遮断解除詳細タイミング図 (タイマRD2カウントソース = fCLK)



- 注1. (PWMOPAからの出力) TRDIO* (* = B-D) は兼用タイマRD2機能端子の状態を示します。
- 注2. (タイマRD2からの出力) TRDIO* (* = B-D) はPWMOPAへのタイマRD2からの入力を示します。

図12-128 遮断解除詳細タイミング図 (タイマRD2カウントソース = fCLK/2)

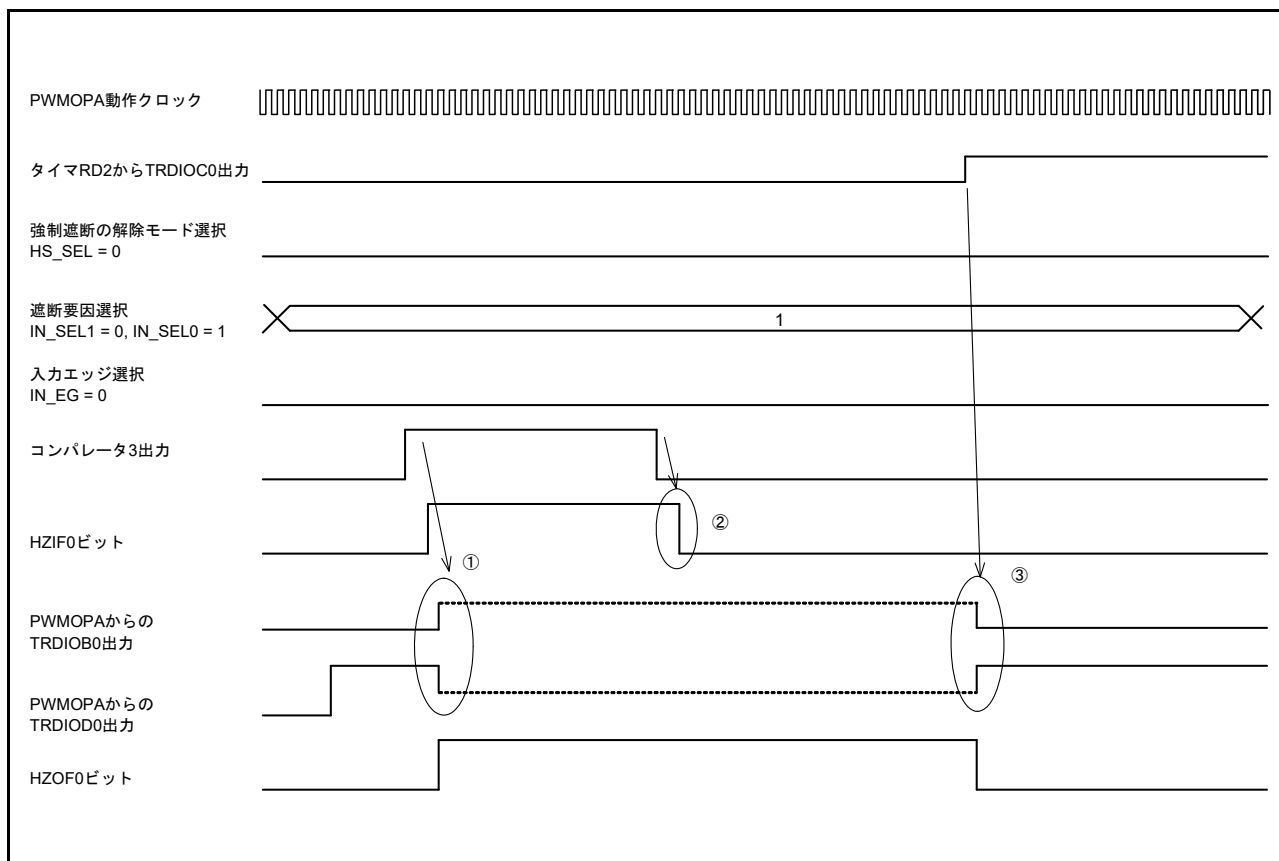


- 注1. (PWMOPAからの出力) TRDIO* (* = B-D) は兼用タイマRD2機能端子の状態を示します。
- 注2. (タイマRD2からの出力) TRDIO* (* = B-D) はPWMOPAへのタイマRD2からの入力を示します。

(2) タイマRD2相補PWMモード、拡張相補PWMモードの出力の場合

出力遮断要因検出後OPEDGEレジスタの設定によって、選択したTRDIOC0の立ち上がり／立ち下がり／両エッジ・タイミングからタイマRD2の出力強制遮断状態を解除します。

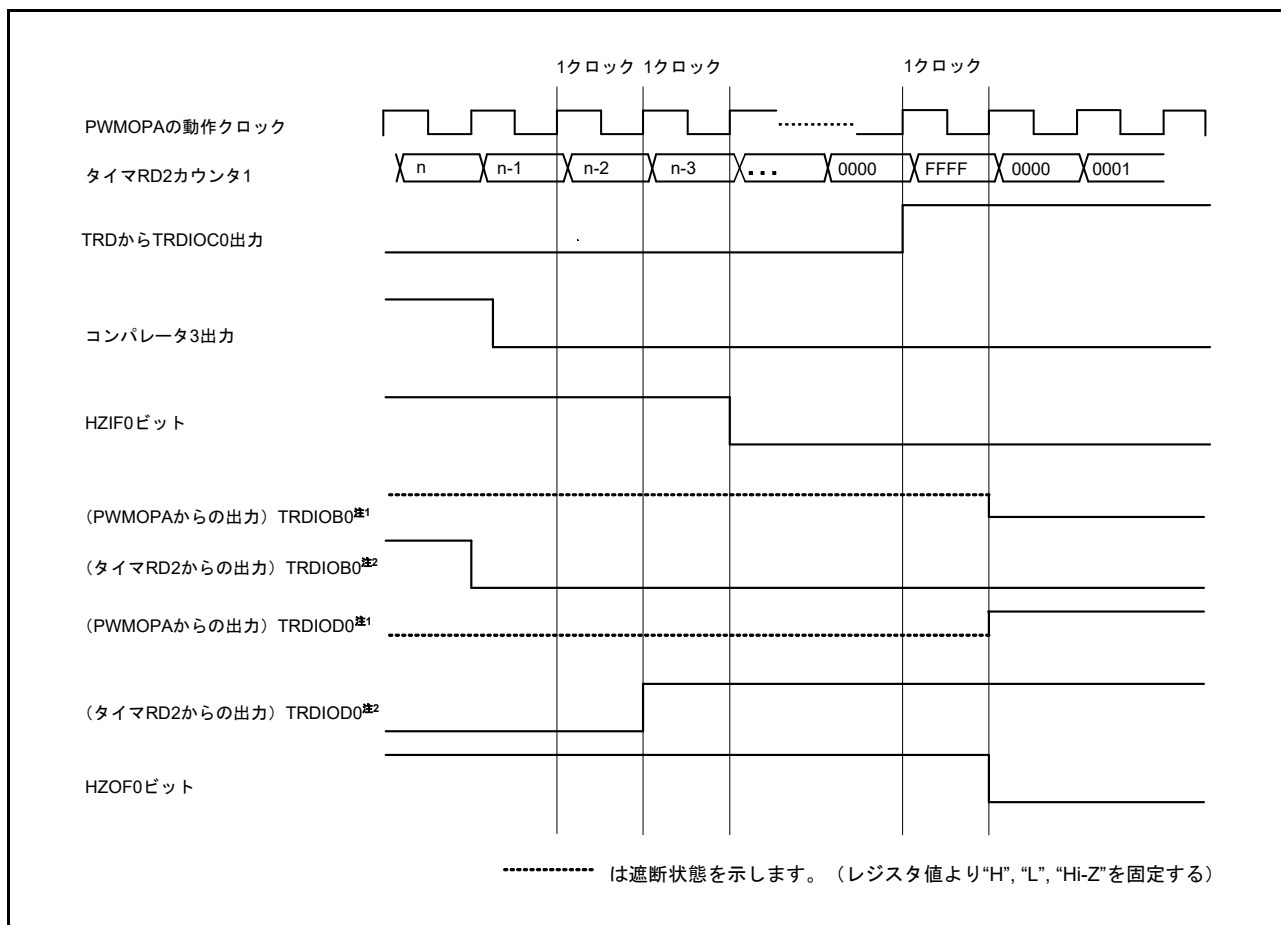
図12-129 ハードウェアで遮断解除機能動作例 (TRDIOB0, TRDIOD0の例)



- ① コンパレータ3出力信号の立ち上がりエッジ検出で、TRDIOB0, TRDIOD0端子出力が強制遮断状態になる。
- ② コンパレータ3出力信号の立ち下がりエッジ検出後、HZIF0ビットがクリアされる。
- ③ TRDIOC0立ち上がりから、強制遮断状態を解除する。

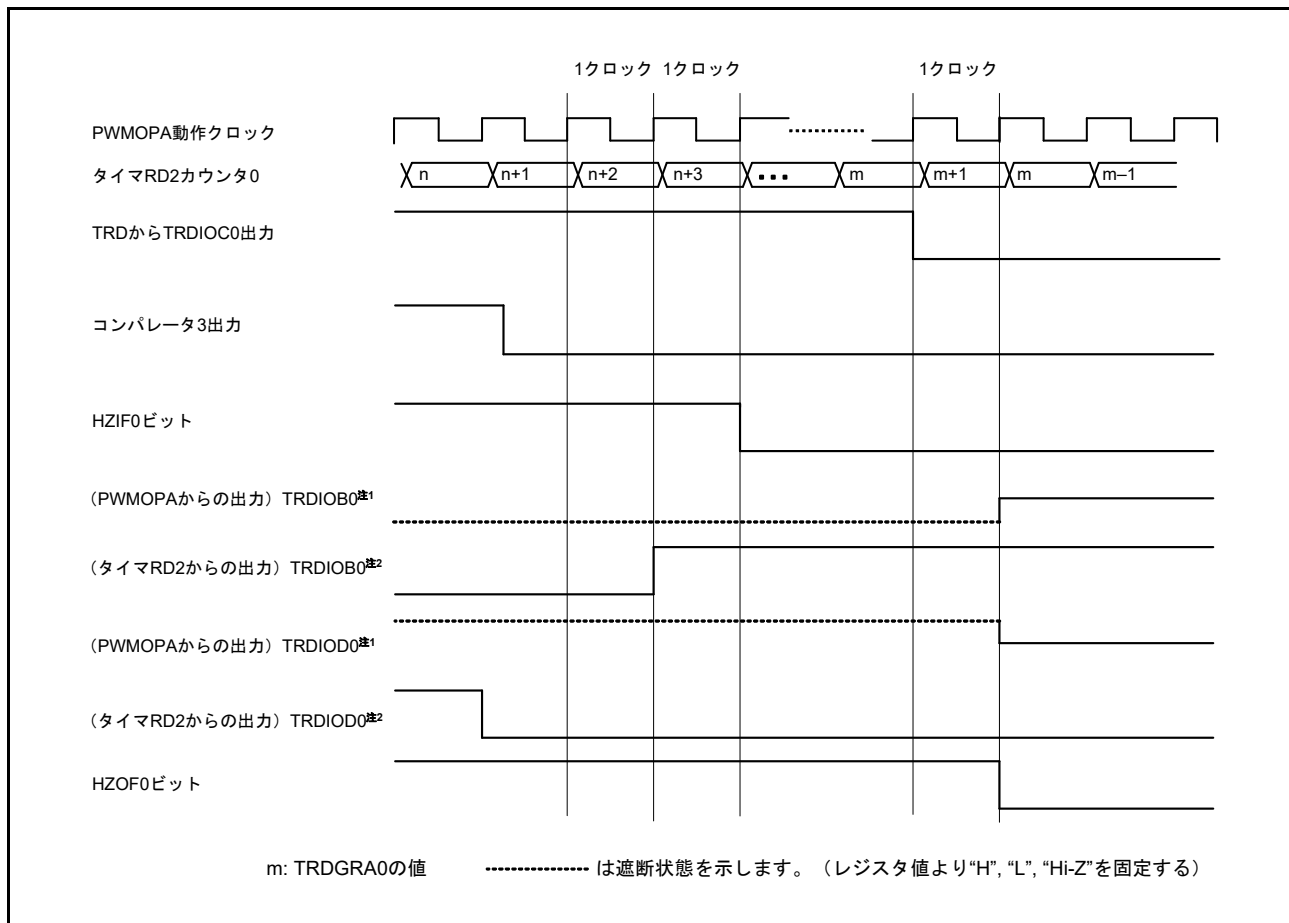
遮断詳細タイミングについては図12-126 遮断詳細タイミング図を参照してください。

図12-130 遮断解除詳細タイミング図 (タイマRD2カウントソース = fCLK、タイマRD2ダウンカウント)



- 注1. (PWMOPAからの出力) TRDIO* (* = B-D) は兼用タイマRD2機能端子の状態を示します。
- 注2. (タイマRD2からの出力) TRDIO* (* = B-D) はPWMOPAへのタイマRD2からの入力を示します。

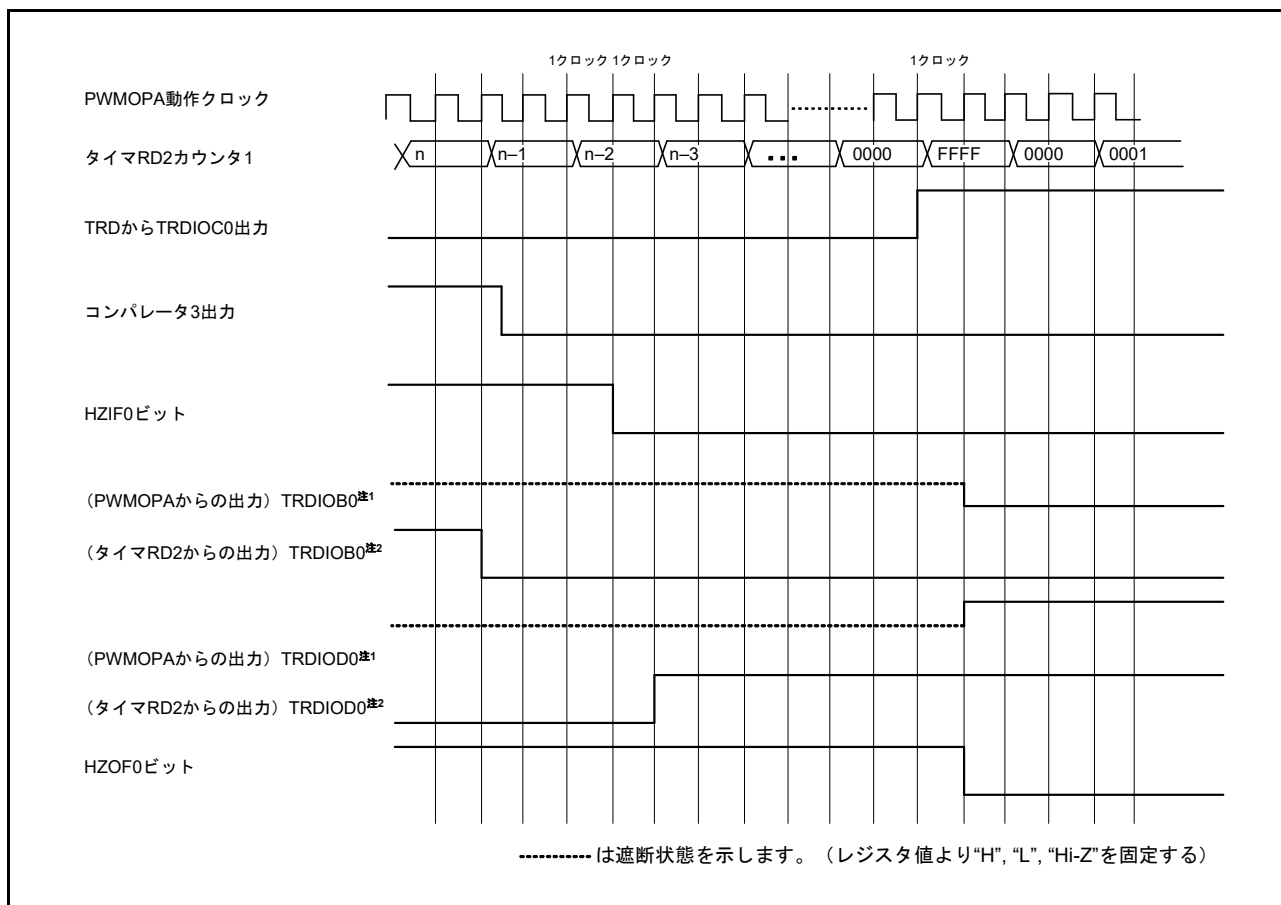
図12-131 遮断解除詳細タイミング図 (タイマRD2カウントソース = fCLK、タイマRD2カウント = TRDGRA0)



注1. (PWMOPAからの出力) TRDIO* (* = B-D) は兼用タイマRD2機能端子の状態を示します。

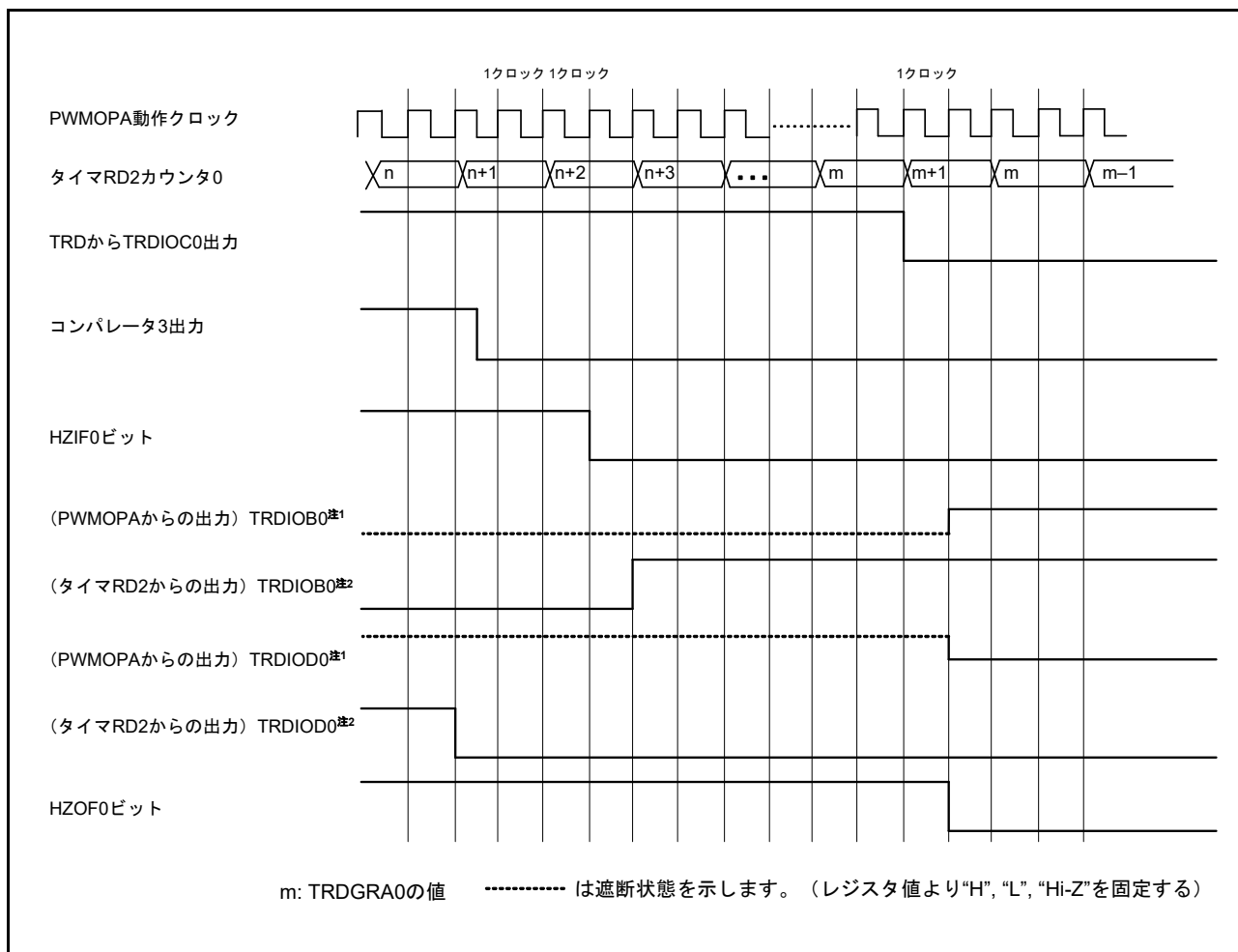
注2. (タイマRD2からの出力) TRDIO* (* = B-D) はPWMOPAへのタイマRD2からの入力を示します。

図12 - 132 遮断解除詳細タイミング図 (タイマRD2カウントソース = fCLK/2、タイマRD2はダウンカウント)



- 注1. (PWMOPAからの出力) TRDIO* (* = B-D) は兼用タイマRD2機能端子の状態を示します。
- 注2. (タイマRD2からの出力) TRDIO* (* = B-D) はPWMOPAへのタイマRD2からの入力を示します。

図12-133 遮断解除詳細タイミング図 (タイマRD2カウントソース = fCLK/2、タイマRD2カウント = TRDGRA0)



- 注1. (PWMOPAからの出力) TRDIO* (* = B-D) は兼用タイマRD2機能端子の状態を示します。
- 注2. (タイマRD2からの出力) TRDIO* (* = B-D) はPWMOPAへのタイマRD2からの入力を示します。

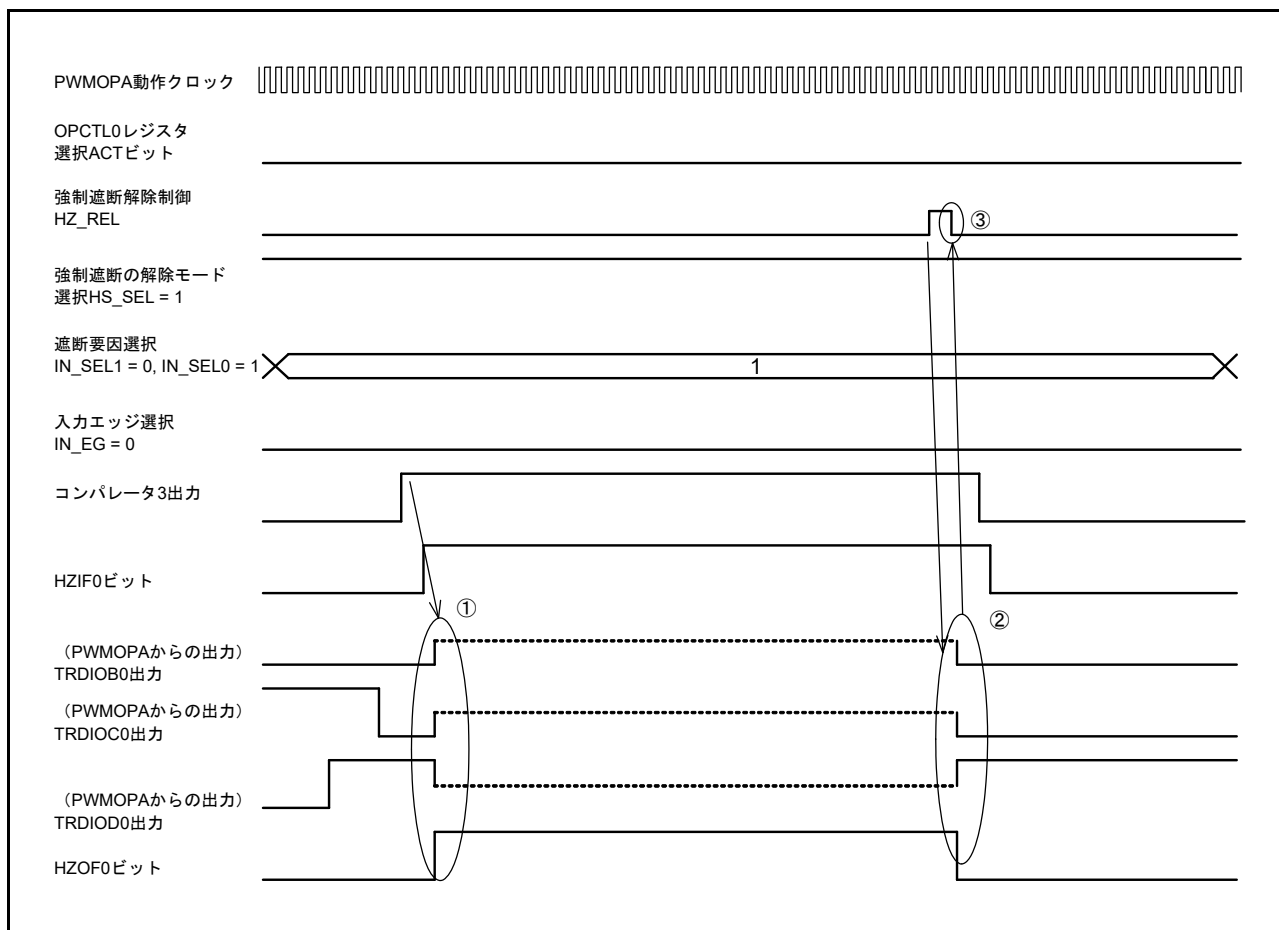
12.8.3.3 ソフトウェア遮断解除 (HS_SEL = 1時)

OPCTL0レジスタのACTビットの設定により、出力強制遮断解除タイミングは異なります。

(1) ソフトウェアを使用し即時遮断解除を行う場合 (ACT = 0のとき)

ACTに0を設定する場合、OPCTL0レジスタのHZ_RELビットに1を設定すると、即時強制遮断を解除します。強制遮断解除後自動的にHZ_RELビットは0になります。

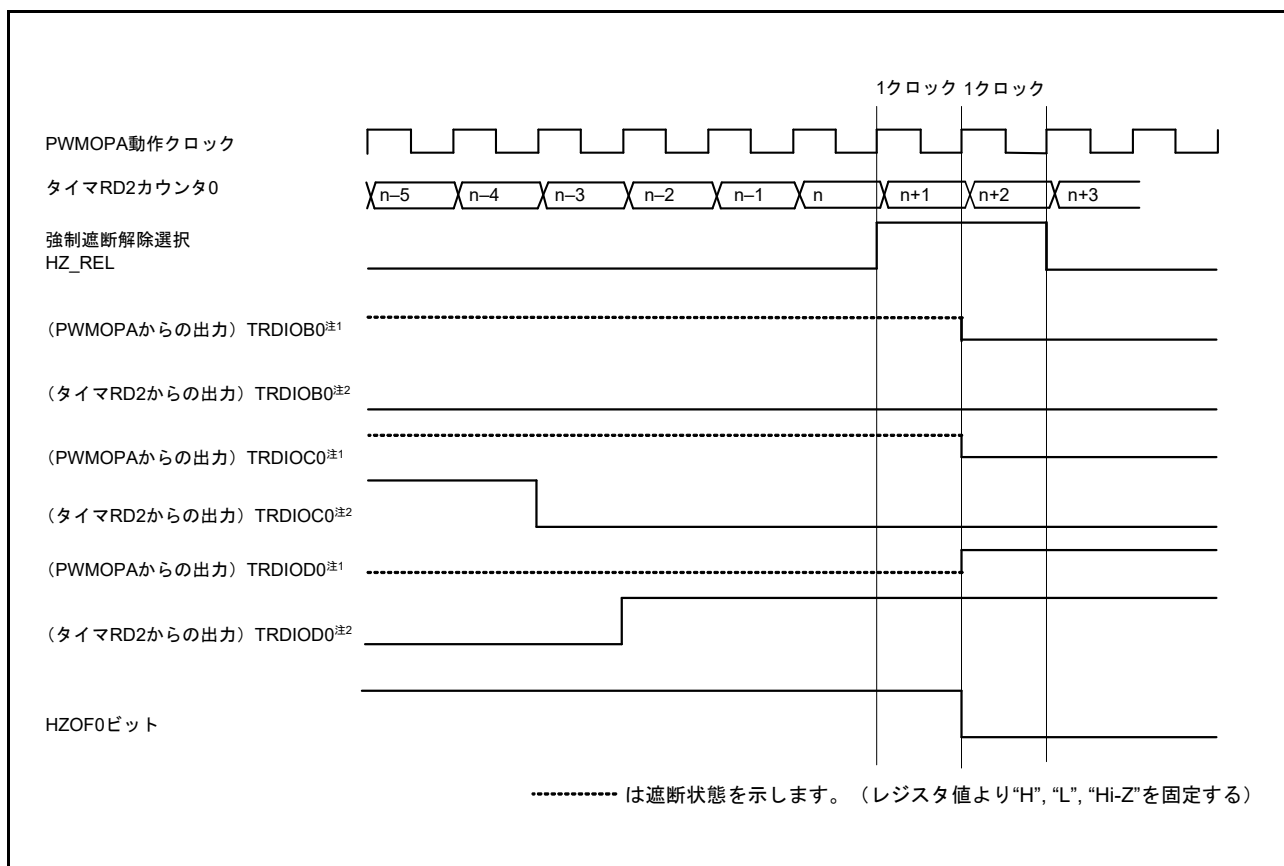
図12-134 ソフトウェアで遮断解除したときの動作例 (TRDIOB0, TRDIOC0, TRDIOD0の例)



- ① コンパレータ3出力信号の立ち上がりエッジ検出で、TRDIOB0, TRDIOC0, TRDIOD0端子出力が遮断状態になる。
- ② HZ_REL ビットに1を設定し、即時強制遮断を解除する。
- ③ 強制遮断を解除後、HZ_REL ビットが0になる。

遮断詳細タイミングについては図12-126 遮断詳細タイミング図を参照してください。

図12-135 遮断解除詳細タイミング図



(2) ソフトウェア条件解除時 (ACT = 1時)

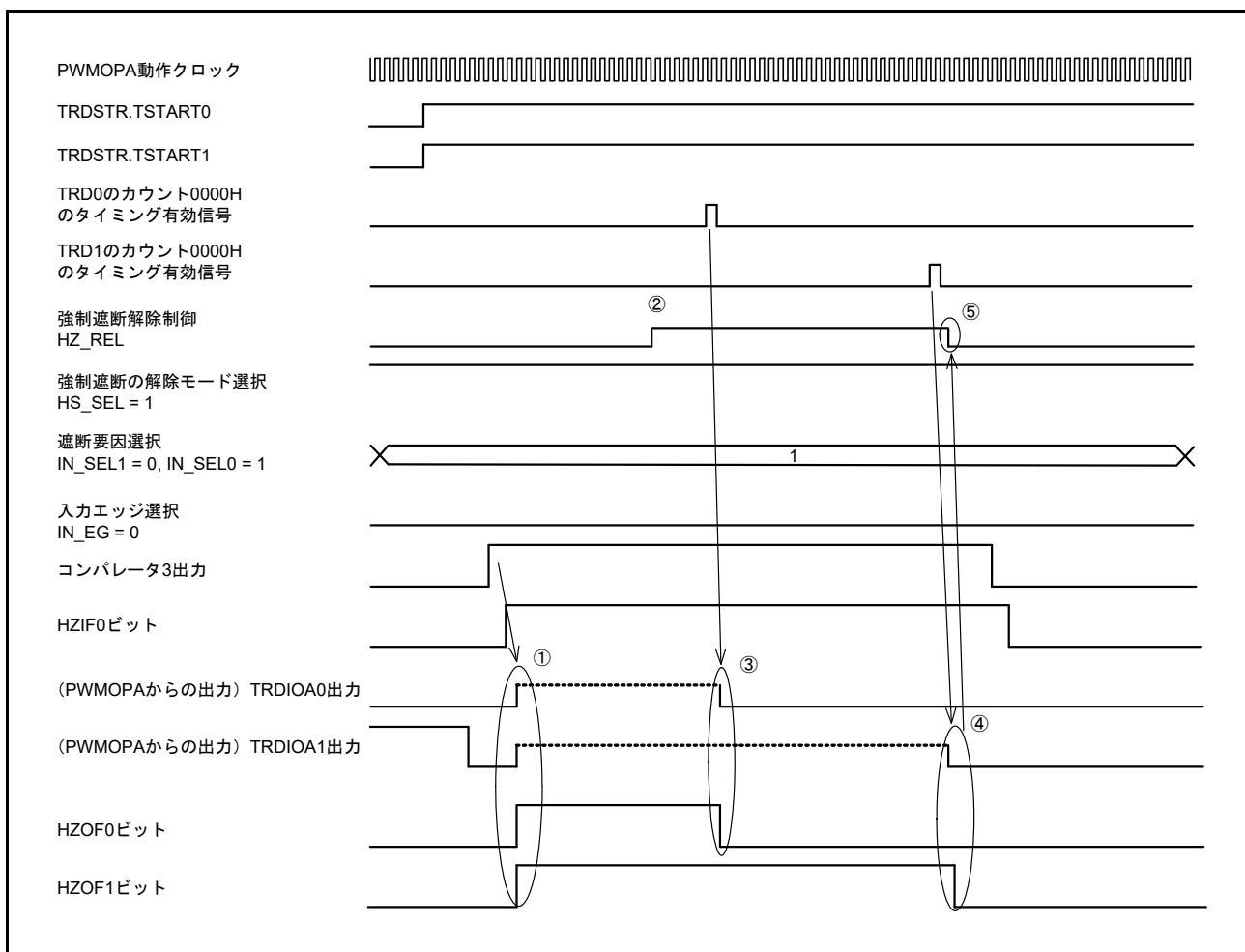
ACTに1を設定する場合、OPCTL0レジスタのHZ_RELビットに1を設定したあと、タイマRD2からの信号により強制遮断解除できます。強制遮断解除後自動的にHZ_RELビットは0になります。

ハードウェアで遮断解除を行う場合は出力遮断解除要因を検出後、タイマRD2からの解除信号をトリガとして出力を再開します。ソフトウェアで遮断解除を行う場合は、HZ_RELビットに1を設定したあと、タイマRD2からの解除信号をトリガとして出力を再開します。解除タイミングは同じです。

(a) タイマRD2がアウトプットコンペア機能、PWM機能、PWM3モード、拡張PWMモードの場合

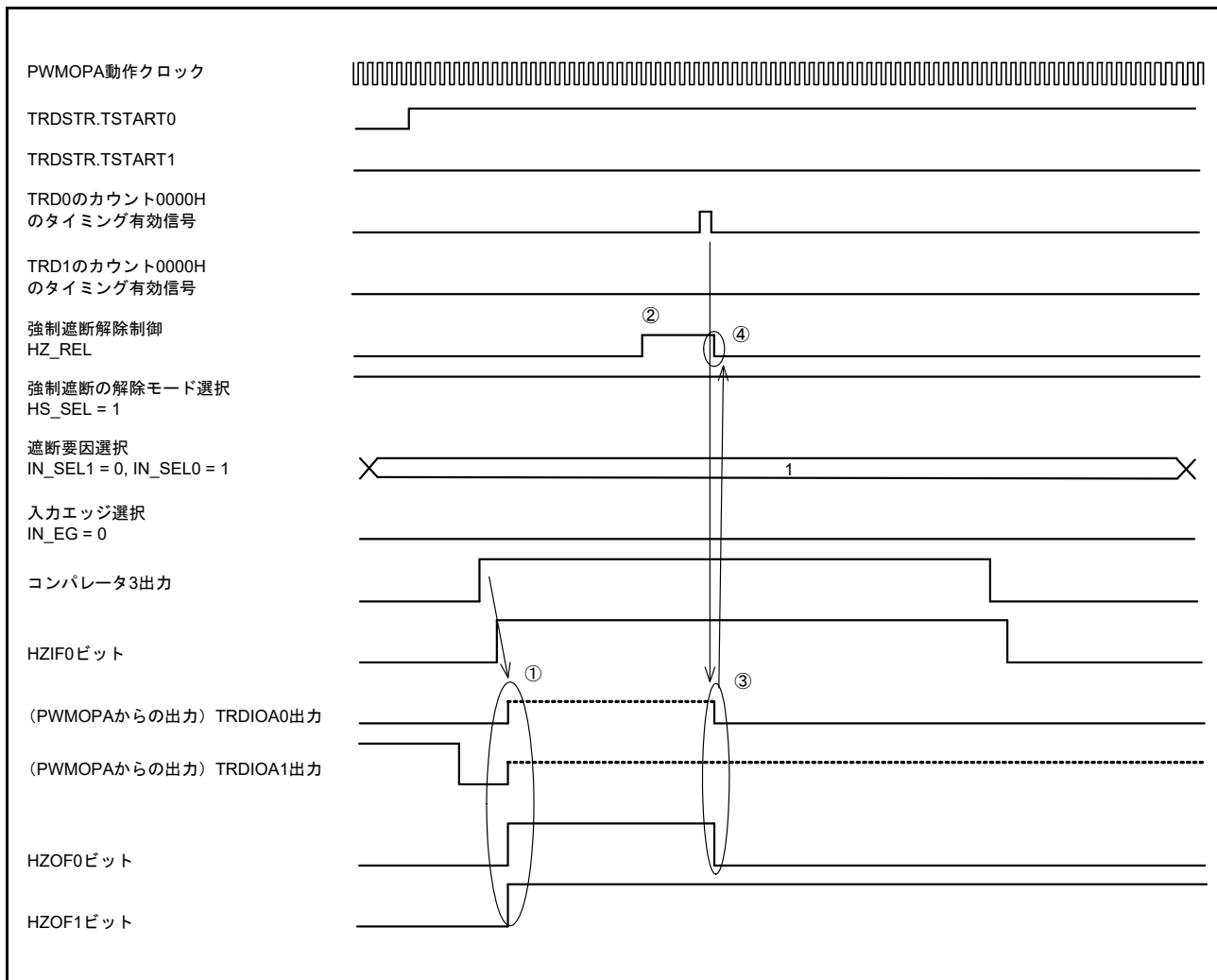
HZ_RELビットに1を設定後、TRD0のカウンタ値が0000Hになると、TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0の出力強制遮断を解除します。TRD1のカウンタ値が0000HになるとTRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1の出力強制遮断を解除します。

図12-136 ソフトウェアにより遮断解除する場合の動作例 (タイマRD2, 2チャンネル・カウンタ時)



- ① コンパレータ3出力信号の立ち上がりエッジ検出で、TRDIOA0, TRDIOA1端子出力が遮断状態になる。
- ② HZ_REL = 1設定後に、各カウンタ値が0000Hになるタイミングを待つ。
- ③ TRD0のカウンタ値が0000Hになると、TRDIOA0強制遮断状態が解除される。
- ④ TRD1のカウンタ値が0000Hになると、TRDIOA1強制遮断状態が解除される。
- ⑤ 各チャンネル強制遮断解除後HZ_RELビットは自動的に0になる。

図12-137 ソフトウェアにより遮断解除する場合の動作例（タイマRD2, 1チャンネル・カウント）



- ① コンパレータ3出力信号の立ち上がりエッジ検出で、TRDIOA0, TRDIOA1端子出力が遮断状態になる。
- ② HZ_REL = 1設定後に、カウンタ値が0000Hになるタイミングを待つ。
- ③ TRD0のカウンタ値が0000Hになると、TRDIOA0強制遮断状態が解除される。
- ④ 強制遮断解除後HZ_RELビットは自動的に0になる。

遮断詳細タイミングについては、**図12-126 遮断詳細タイミング図**を参照してください。

遮断解除詳細タイミングについては、**図12-127 遮断解除詳細タイミング図（タイマRD2カウントソース = fCLK）**または

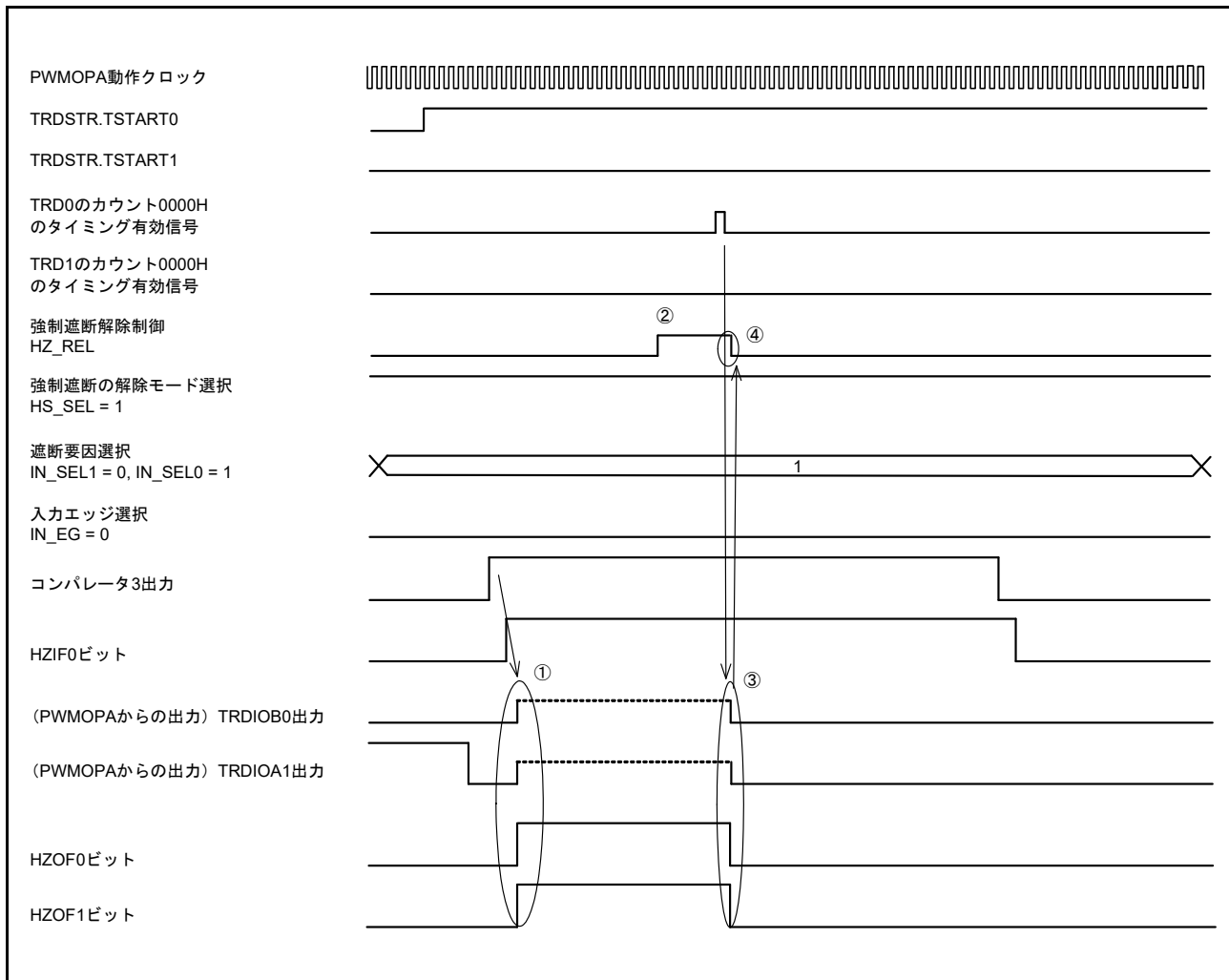
図12-128 遮断解除詳細タイミング図（タイマRD2カウントソース = fCLK/2）を参照してください。

HZ_RELビットが自動的に0になるタイミングについては**図12-135 遮断解除詳細タイミング図**を参照してください。

(b) タイマRD2がリセット同期PWMモードの場合

HZ_RELビットに1を設定後、TRD0カウンタ値が0000Hになると、すべてのTRDIO端子の出力強制遮断を解除します。

図12-138 ソフトウェアにより出力遮断解除する場合の動作例



- ① コンパレータ3出力信号の立ち上がりエッジ検出で、TRDIOB0, TRDIOA1端子出力が遮断状態になる。
- ② HZ_RELビットに1を設定後、タイマRD2のチャンネル0のカウンタの値が0000Hになるタイミングを待つ。
- ③ TRD0のカウンタ値が0000Hになると、TRDIOB0, TRDIOA1の強制遮断状態が解除される（タイマRD2チャンネル1動作は影響しない）。
- ④ 強制遮断解除後HZ_RELビットは自動的に0になる。

遮断詳細タイミングについては図12-126 遮断詳細タイミング図を参照してください。

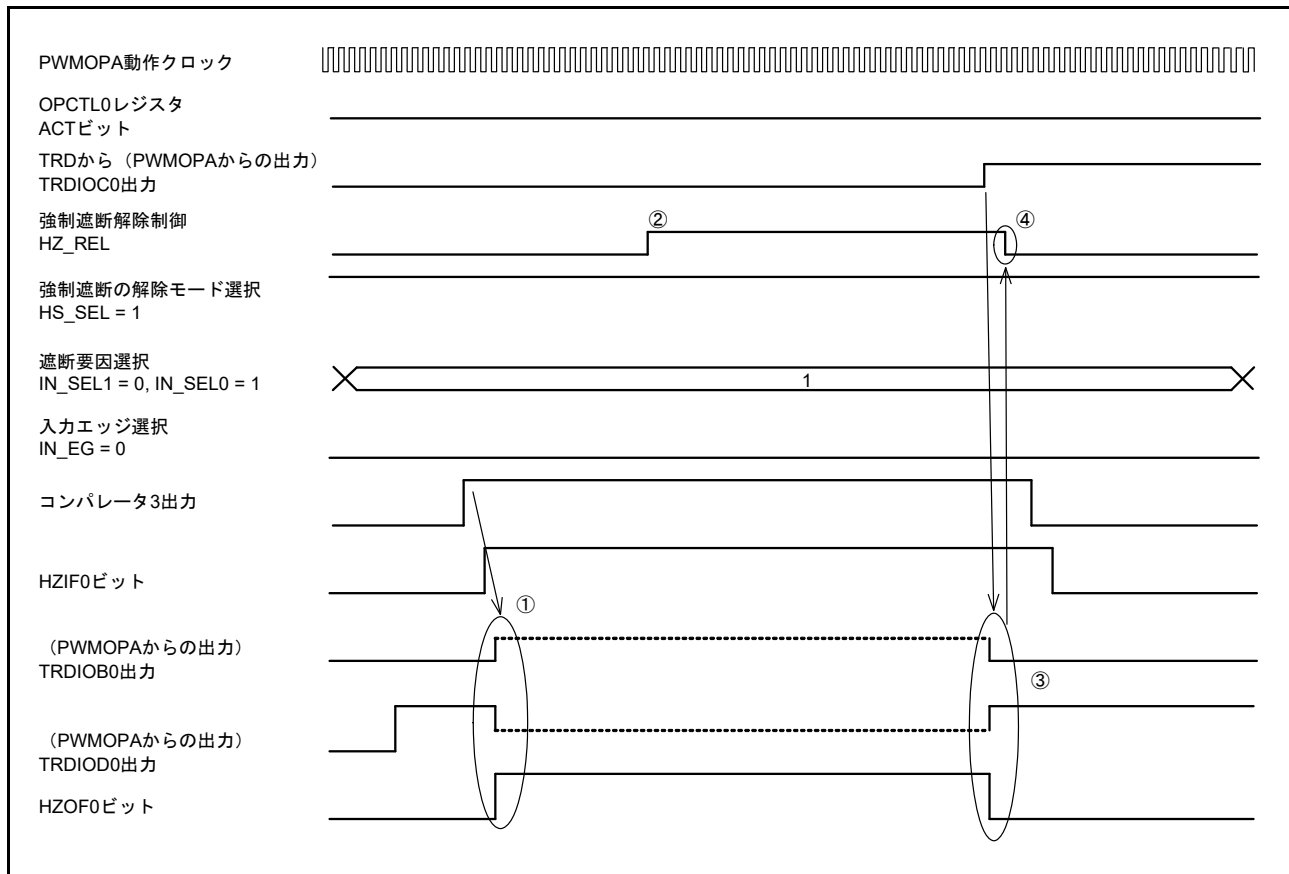
遮断解除詳細タイミングについては図12-127 遮断解除詳細タイミング図（タイマRD2カウントソース= fCLK）または図12-128 遮断解除詳細タイミング図（タイマRD2カウントソース= fCLK/2）を参照してください。

HZ_RELビットが自動的に0になるタイミングについては図12-135 遮断解除詳細タイミング図を参照してください。

(c) タイマRD2が相補PWMモード、拡張相補PWMモードの場合

HZ_RELビットに1を設定したあと、OPEDGEレジスタの設定によって、TRDIOC0の選択した両エッジ／立ち上がりエッジ／立ち下がりエッジのタイミングからタイマRD2の出力強制遮断状態を解除します。

図12 - 139 ソフトウェアにより遮断解除する場合の動作例（TRDIOB0, TRDIOD0の例）



- ① コンパレータ3出力信号の立ち上がりエッジ検出で、TRDIOB0,TRDIOD0端子出力が遮断状態になる。
- ② HZ_REL = 1に設定したあと、TRDIOC0立ち上がり信号を待つ。
- ③ TRDIOC0の立ち上がりエッジが検出されると、強制遮断状態が解除される。
- ④ 強制遮断が解除されると、HZ_RELビット自動的に0になる。

遮断詳細タイミングについては図12 - 126 遮断詳細タイミング図を参照してください。

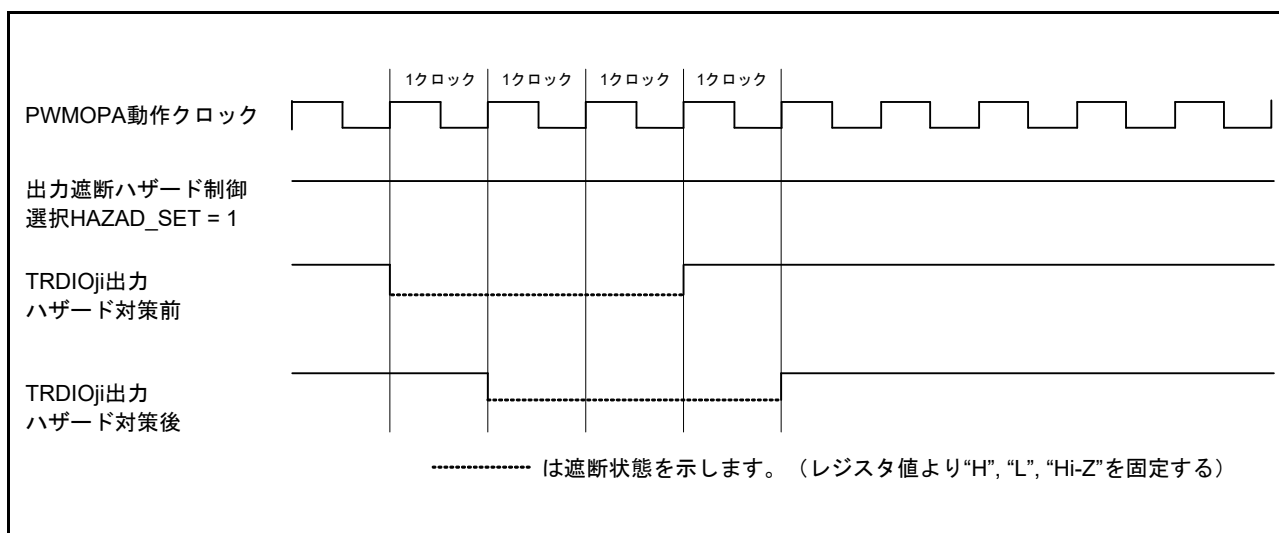
遮断解除詳細タイミングについては図12 - 130 遮断解除詳細タイミング図 (タイマRD2カウントソース = fCLK、タイマRD2ダウンカウント)、図12 - 131 遮断解除詳細タイミング図 (タイマRD2カウントソース = fCLK、タイマRD2カウント = TRDGRA0)、図12 - 132 遮断解除詳細タイミング図 (タイマRD2カウントソース = fCLK/2、タイマRD2はダウンカウント) または図12 - 133 遮断解除詳細タイミング図 (タイマRD2カウントソース = fCLK/2、タイマRD2カウント = TRDGRA0) を参照してください。

HZ_RELが自動的に0になるタイミングについては図12 - 135 遮断解除詳細タイミング図を参照してください。

12.8.3.4 ハザード対策

遮断状態になる／遮断解除になる／タイマ RD2 動作中での TRDIO 端子 \leftrightarrow ポート切り替え時にハザードが出力される可能性があります。ハザード制御選択ビット (HAZAD_SET) に 1 を設定することにより、ハザード対策を行うことができます。ただし、ハザード制御有効時のタイマ RD2 出力は無効時のタイマ RD2 出力より 1 クロックの遅延が発生します。

図 12 - 140 ハザード制御タイミング図



備考 j = A-D; i = 0, 1

12.8.3.5 出力遮断要因検出状態・出力遮断要因未検出状態

遮断要因選択ビット (OPCTL0.IN_SEL1, OPCTL0.IN_SEL0) で選択した信号 (INTP0、コンパレータ 3 出力) のレベルで出力遮断要因検出か (HZIF0 = 1)、出力遮断要因未検出か (HZIF0 = 0) を判断します。

出力遮断／出力遮断解除エッジ (OPCTL0.IN_EG) に 0 を設定した場合、ハイ・レベルは出力遮断要因を検出状態になり、ロウ・レベルは出力遮断要因を未検出状態になります。

出力遮断／出力遮断解除エッジ (OPCTL0.IN_EG) に 1 を設定した場合、ロウ・レベルは出力遮断要因を検出状態になり、ハイ・レベルは出力遮断要因を未検出状態になります。

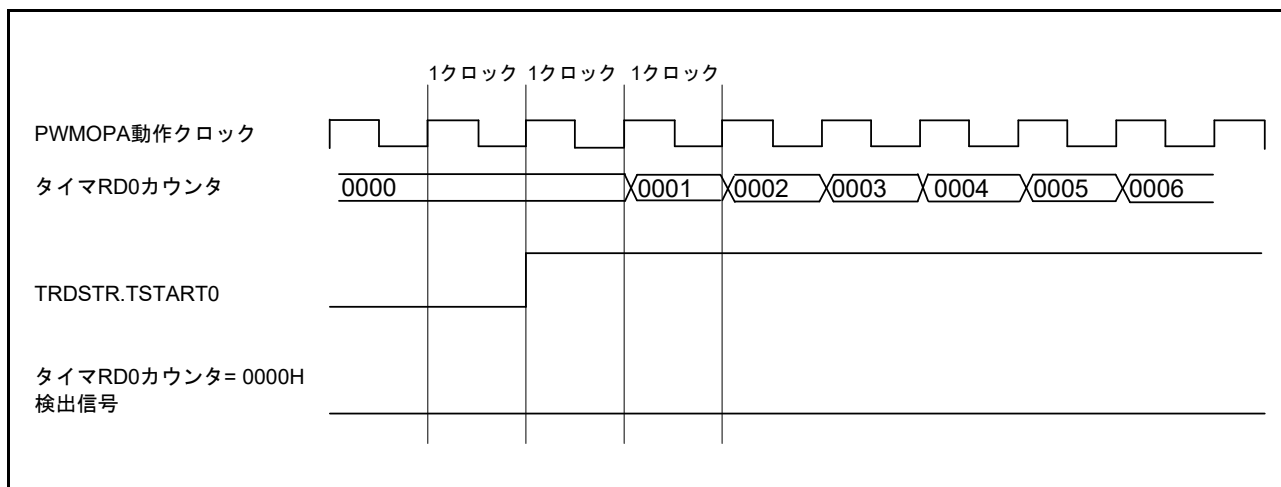
備考 OPCTL0レジスタのIN_SEL1, IN_SEL0ビットでINTP0、コンパレータ3を遮断要因として設定する前に、出力遮断要因がしきい値を超えている状態になった場合、IN_SEL1, IN_SEL0ビットを設定後、HZIF0ビットは1に設定されますが、HZOF0, HZOF1ビットはセットされません。

12.8.3.6 タイマRD2のカウンタの値が0000Hになるタイミング

ハードウェアで出力遮断解除を行う場合、出力遮断解除条件はタイマRD2の動作モードによって異なります。

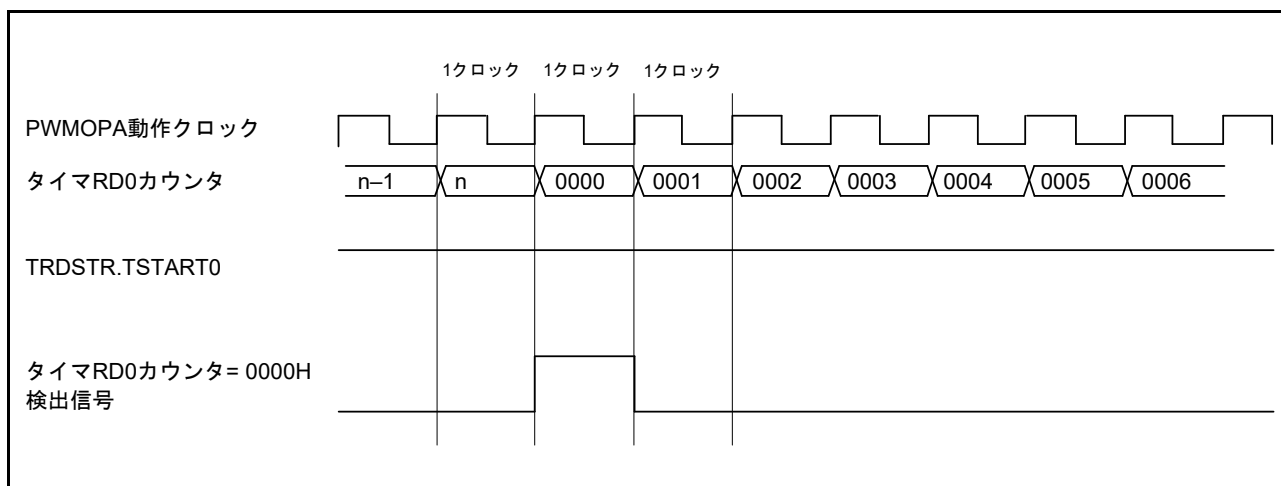
- (1) タイマRD2がアウトプットコンペア機能時、カウント値が0000Hになるタイミング
 - カウンタ値 = 0000H、タイマRD2はカウント開始
出力遮断解除しない。
 - タイマRD2はカウント中、ソフトウェアでカウンタに0000Hを書く
出力遮断解除する。
 - カウンタがオーバフローして、カウンタが0000Hになる
出力遮断解除する。
 - TRDGRA0レジスタとコンペア一致して、カウンタが0000Hになる
出力遮断解除する。
- (2) タイマRD2がPWM機能時、カウント値が0000Hになるタイミング
 - カウンタ値 = 0000H、タイマRD2はカウント開始
出力遮断解除しない。
 - タイマRD2はカウント中、ソフトウェアでカウンタに0000Hを書く
出力遮断解除する。
 - TRDGRA0レジスタとコンペア一致して、カウンタが0000Hになる
出力遮断解除する。
- (3) タイマRD2がリセット同期PWMモード時、カウント値が0000Hになるタイミング
 - カウンタ値 = 0000H、タイマRD2はカウント開始
出力遮断解除しない。
 - タイマRD2はカウント中、ソフトウェアでカウンタに0000Hを書く
出力遮断解除する。
 - TRDGRA0レジスタとコンペア一致して、カウンタが0000Hになる
出力遮断解除する。
- (4) タイマRD2がPWM3モード時、カウント値が0000Hになるタイミング
 - カウンタ値 = 0000H、タイマRD2はカウント開始
出力遮断解除しない。
 - タイマRD2はカウント中、ソフトウェアでカウンタに0000Hを書く
出力遮断解除する。
 - TRDGRA0レジスタとコンペア一致して、カウンタが0000Hになる
出力遮断解除する。
- (5) タイマRD2が拡張PWMモード時、カウント値が0000Hになるタイミング
 - カウンタ値 = 0000H、タイマRD2はカウント開始
出力遮断解除しない。
 - タイマRD2はカウント中、ソフトウェアでカウンタに0000Hを書く
出力遮断解除する。
 - TRDGRA0レジスタとコンペア一致して、カウンタが0000Hになる
出力遮断解除する。

図12-141 カウント値=0000Hになる判定タイミング (カウント値=0000H時タイマRD2カウント開始)



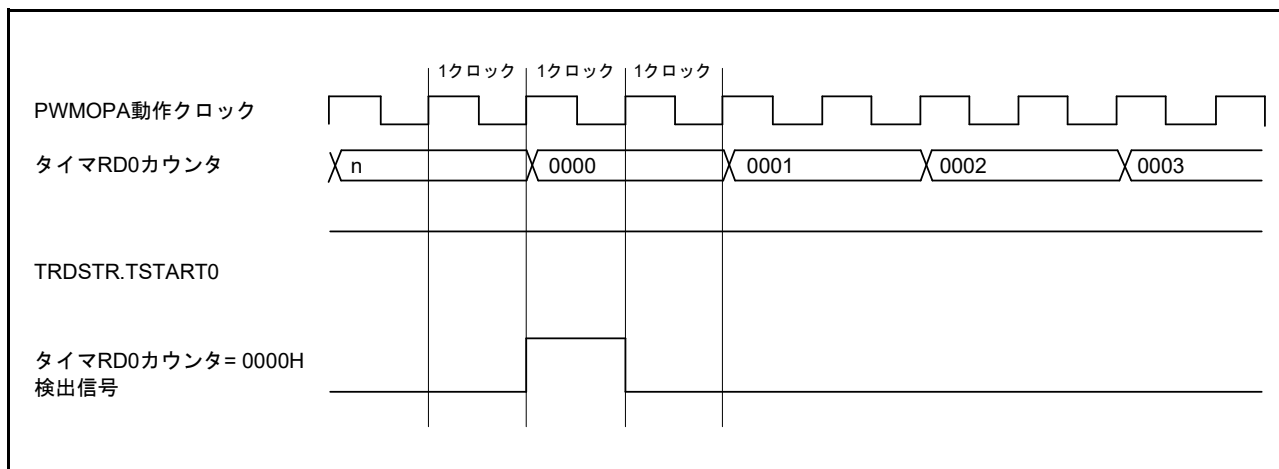
備考 カウント値=0000Hになる判定をしない

図12-142 カウント値=0000Hになる判定タイミング (カウントソース=動作クロックでカウント中、カウント値は0000Hになる)



備考 カウント値=0000Hになる判定をする

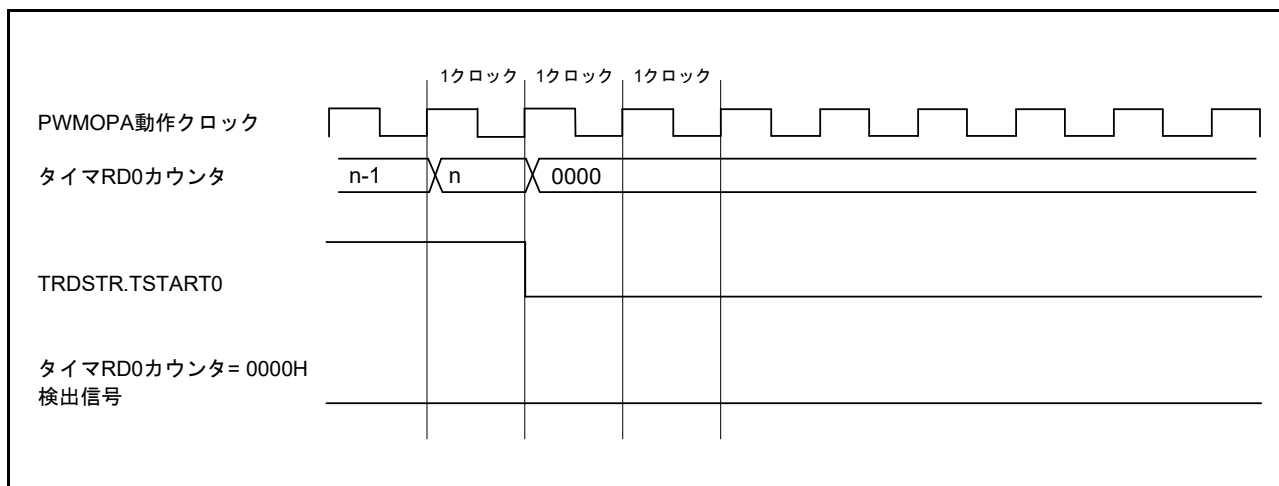
図12-143 カウント値=0000Hになる判定タイミング
(カウントソース=動作クロック/2でカウント中、カウント値は0000Hになる)



備考 カウント値=0000Hになる判定をする

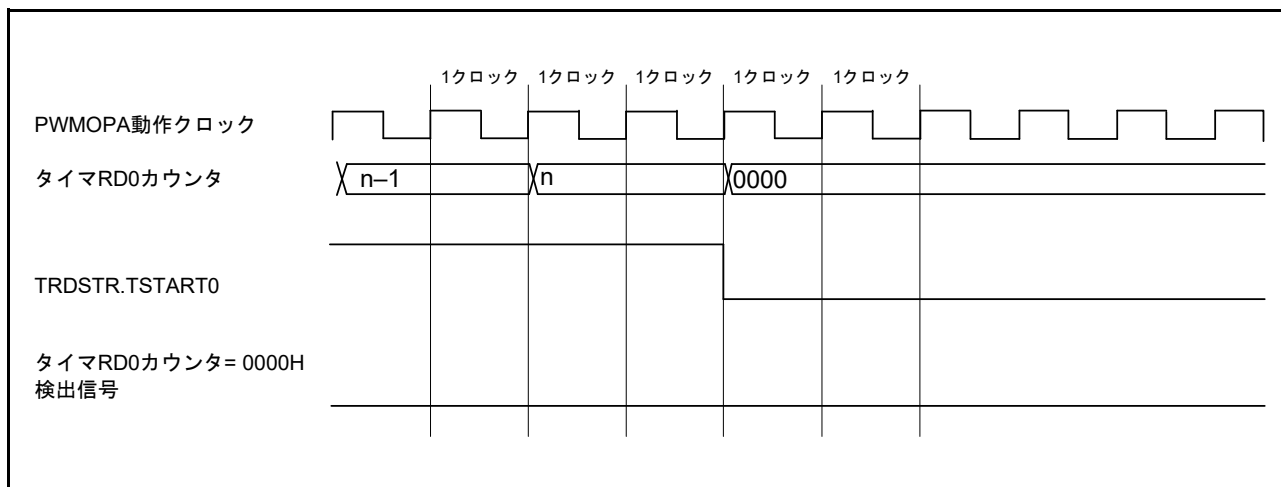
- (6) タイマRD2のカウント値=0000H、タイマRD2が停止時
タイマRD2のカウント値は0000Hになると同時に、タイマRD2が停止すると、遮断解除タイミングにならない。

図12-144 カウント値=0000Hになる判定タイミング
(カウントソース=動作クロック、タイマRD2カウンタ値が0000Hとなると同時に停止)



備考 カウント値=0000Hになる判定をしない

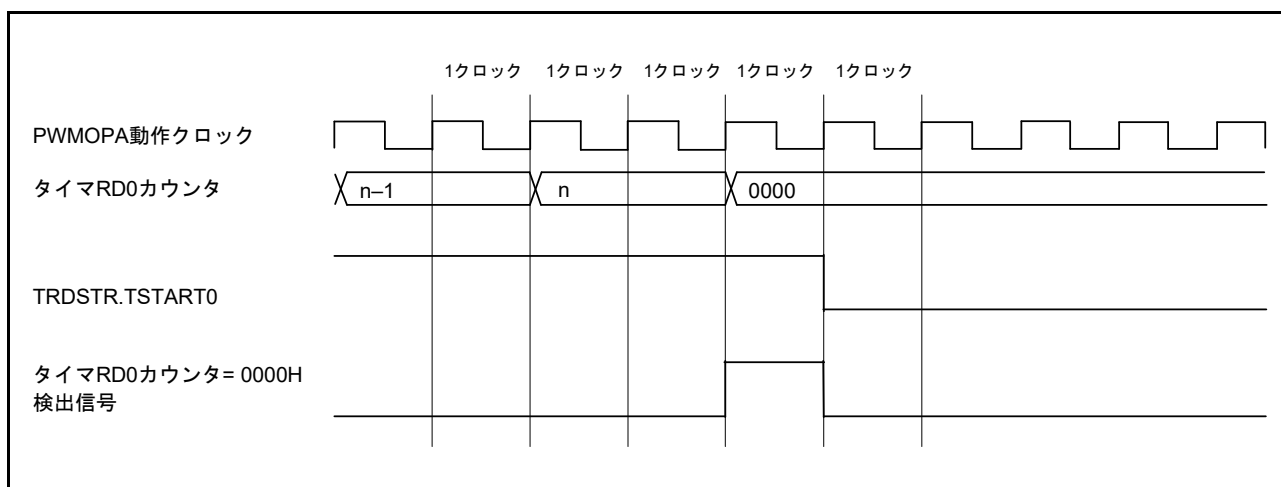
図12-145 カウント値=0000Hになる判定タイミング
 (カウントソース=fCLK/2、タイマRD2カウント値が0000Hになると同時にカウント停止)



備考 カウント値=0000Hになる判定をしない

タイマRD2のカウント値が0000Hになった次の1サイクルでタイマRD2は停止すると、強制遮断が解除されます。

図12-146 カウント値=0000Hになる判定タイミング
 (カウントソース=動作クロック/2、タイマRD2のカウント値は0000Hの次のタイミングでカウント停止)



備考 カウント値=0000Hになる判定をする

12.8.3.7 設定手順

PWMOPA はタイマ RD2 と連携動作できます。設定コードはタイマ RD2 設定の中で追加します。手順を次に示します。

タイマ RD2 のクロック、モードの設定後

- (1) PER2レジスタのPWMOPENビット1にセット
- (2) OPCTL0レジスタ設定
- (3) OPEDGEレジスタ設定
- (4) OPDF0, OPDF1レジスタ設定

タイマ RD2 の動作開始

- (5) OPSRレジスタのHZOF1, HZOF0ビットの遮断状態を待つ
- (6) OPCTL0の設定により遮断解除 (HS_SELビットによってソフトウェアとハードウェア選択できます)

備考1. PWMOPAはタイマRD2遮断機能の元にコンパレータ3出力、外部割り込み0 (INTP0)、イベント・リンク・コントローラ (ELC) を起因として追加した制御モジュールです。それで、PWMOPAの動作は必ずタイマRD2の動作とともに使用します。

備考2. タイマRD2機能を独立動作したいときは、PWMOPAの関連レジスタを設定しないでください。

12.8.4 注意事項

- (1) タイマRD2のパルス出力強制遮断とPWMOPAの出力遮断がともに動作した場合の優先度を示します。

表12-31 強制遮断の優先度

		PWMOPA出力強制遮断時端子状態制御			
		禁止	Hi-Z	ロウ・レベル	ハイ・レベル
タイマRD2 出力強制遮断時 端子状態制御	禁止	禁止	Hi-Z	ロウ・レベル	ハイ・レベル
	Hi-Z	Hi-Z	Hi-Z	ロウ・レベル	ハイ・レベル
	ロウ・レベル	ロウ・レベル	Hi-Z	ロウ・レベル	ハイ・レベル
	ハイ・レベル	ハイ・レベル	Hi-Z	ロウ・レベル	ハイ・レベル

- (2) 相補PWMモード、拡張相補PWMモードで、PWMOPAが出力遮断状態時にタイマRD2がパルス出力強制遮断状態に入ると、TRDIOC0の状態によりPWMOPAに出力遮断解除エッジが入力される可能性があります。
- (3) イベント・リンク・コントローラを要因として出力遮断を行う場合、出力遮断解除は必ずソフトウェア解除を選択してください（HS_SELビットに1を設定）。
- (4) 出力遮断ハザード制御選択時、PWMOPAを経由するタイマRD2出力はPWMOPAの動作クロックで1クロック遅れます。
- (5) 出力遮断ハザード制御選択（HAZAD_SETビットに1を設定）時、PWMOPAを経由するタイマRD2出力端子は、端子をタイマRD2出力に設定した場合、タイマRD2カウント動作中にタイマRD2出力↔ポート出力の切り替えが可能です。
- (6) PWMOPAを経由するタイマRD2出力端子は、端子をポート動作に設定した場合、出力遮断／遮断解除時、ハザードが発生する可能性があります。
- (7) コンパレータ3とINTP0の入力有効レベル期間はPWMOPAの動作クロックで1クロックより長くしてください。

第13章 タイマRG2

13.1 タイマRG2の機能

タイマRG2は、次の4種類のモードを持ちます。

- タイマモード :
 - インพุットキャプチャ機能 立ち上がりエッジ、立ち下がりエッジ、立ち上がり／立ち下がりの両エッジでカウント
 - アウトプットコンペア機能 ロウ・レベル出力／ハイ・レベル出力／トグル出力
- PWMモード : 任意デューティのPWM出力が可能
- PWM2モード : トリガからウエイト時間において、ワンショット波形またはPWM波形を出力するモード、任意デューティのPWM出力が可能
- 位相計数モード : 2相エンコーダのカウント数の自動計測が可能
2相エンコーダのカウント数の位相変化時間計測が可能

13.2 タイマRG2の構成

図13-1にタイマRG2のブロック図、表13-1にタイマRG2の端子構成を示します。

図13-1 タイマRG2のブロック図

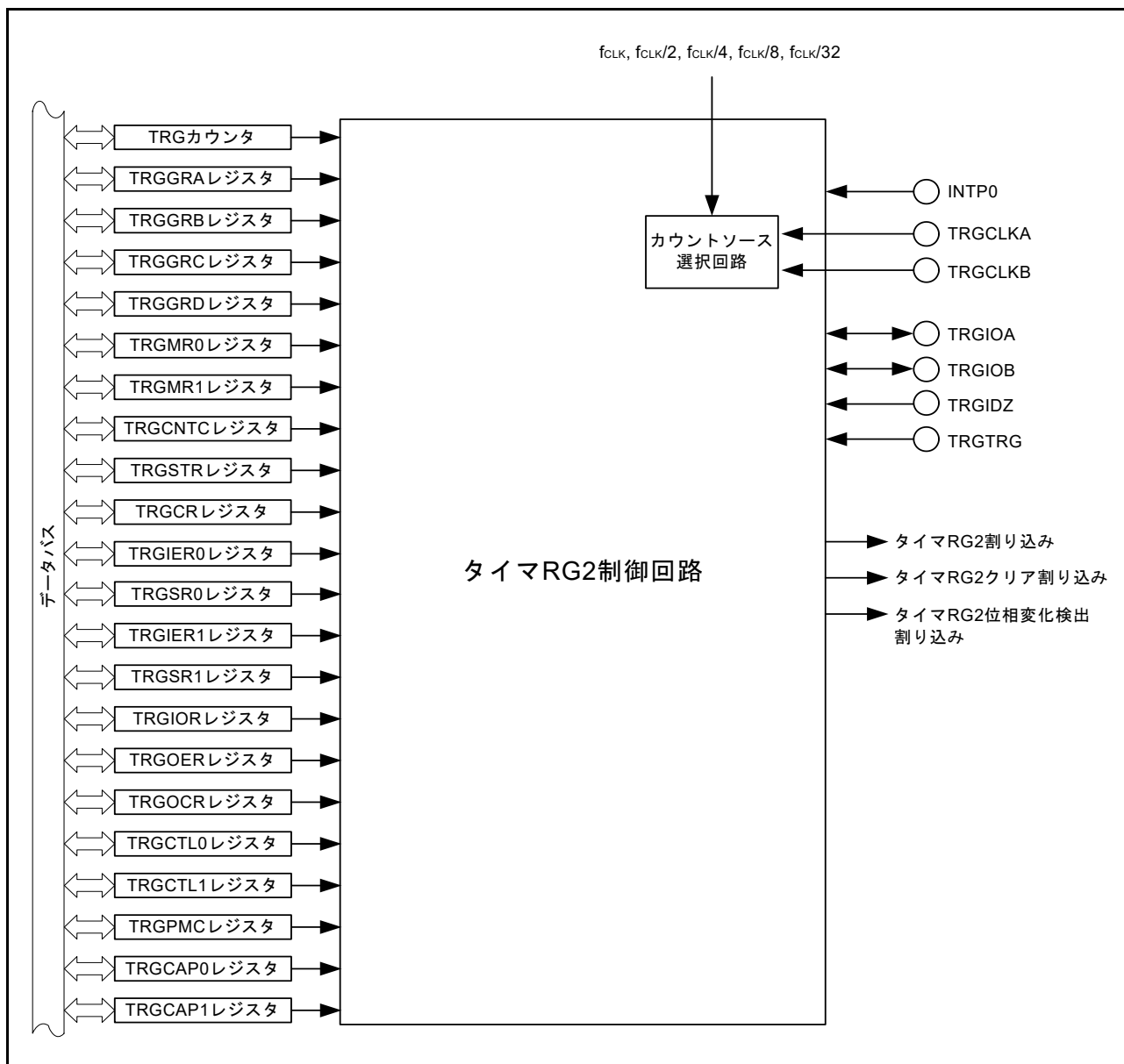


表13-1 タイマRG2の端子構成

端子名	兼用しているポート名	入出力	機能
TRGCLKA	P00	入力	<ul style="list-style-type: none"> 位相計数モード時 A相入力 位相計数モード時以外 外部クロックA入力
TRGCLKB	P01	入力	<ul style="list-style-type: none"> 位相計数モード時 B相入力 位相計数モード時以外 外部クロックB入力
TRGIDZ	P120	入力	<ul style="list-style-type: none"> 位相計数モード時 Z相 (INDEX) 入力 位相計数モード時以外 使用しない
INTP0	P137	入力	<ul style="list-style-type: none"> タイマモード (インプットキャプチャ機能) 時 使用しない タイマモード (インプットキャプチャ機能) 時以外 パルス出力強制遮断入力
TRGIOA	P50 (P17注)	入出力	<ul style="list-style-type: none"> タイマモード (アウトプットコンペア機能) 時 TRGGRAアウトプットコンペア出力 タイマモード (インプットキャプチャ機能) 時 TRGGRAインプットキャプチャ入力 PWMモード/PWM2モード時 PWM出力
TRGIOB	P51 (P16注)	入出力	<ul style="list-style-type: none"> タイマモード (アウトプットコンペア機能) 時 TRGGRBアウトプットコンペア出力 タイマモード (インプットキャプチャ機能) 時 TRGGRBインプットキャプチャ入力 PWMモード/PWM2モード時 使用しない
TRGTRG	P120	入力	<ul style="list-style-type: none"> PWM2モード時 TRGカウンタ・クリアトリガ入力 PWM2モード時以外 使用しない

注 TRGIOA端子/TRGIOB端子の割り当てを、PIOR2レジスタのPIOR20ビットで選択できます。詳細は、第7章 ポート機能を参照してください。

13.3 タイマRG2を制御するレジスタ

タイマRG2を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- タイマRGモードレジスタ0 (TRGMR0)
- タイマRGモードレジスタ1 (TRGMR1)
- タイマRGカウント制御レジスタ (TRGCNTC)
- タイマRG制御レジスタ (TRGCR)
- タイマRGスタートレジスタ (TRGSTR)
- タイマRG割り込み許可レジスタ0 (TRGIER0)
- タイマRG割り込み許可レジスタ1 (TRGIER1)
- タイマRGステータスレジスタ0 (TRGSR0)
- タイマRGステータスレジスタ1 (TRGSR1)
- タイマRG I/O制御レジスタ (TRGIOR)
- タイマRG出力許可レジスタ (TRGOER)
- タイマRG出力制御レジスタ (TRGOOCR)
- タイマRG位相計数制御レジスタ0 (TRGCTL0)
- タイマRG位相計数制御レジスタ1 (TRGCTL1)
- タイマRGカウンタ (TRG)
- タイマRGジェネラルレジスタA, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)
- タイマRG位相変化時間計測カウンタ (TRGPMC)
- タイマRG位相変化時間キャプチャレジスタ0, 1 (TRGCAP0, TRGCAP1)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

13.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

タイマRG2を使用する場合は、必ず TRGEN ビットに1を設定してください。

PER2 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	FAAEN	MEMEN	TKBEN	TRGEN	TRD0EN	PWMOPEN	TRXEN	TRJOEN
TRGEN	タイマRG2の入カクロック供給の制御							
0	入カクロック供給停止 ・タイマRG2で使用するSFRへのライト不可							
1	入カクロック供給 ・タイマRG2で使用するSFRへのリード／ライト可							

注意 タイマRG2の設定をする際には、必ず最初にTRGEN = 1の設定を行ってください。TRGEN = 0の場合は、タイマRG2の制御レジスタへの書き込みは無視され、読み出し値は00Hまたは0000Hとなります（ポート・モードレジスタ (PM0, PM5, PM12)、ポート・レジスタ (P0, P5, P12) は除く)。

13.3.2 周辺リセット制御レジスタ2 (PRR2)

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマRG2 をリセットする場合は、TRGRES ビットに 1 を設定してください。

PRR2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図13-3 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR2	FAARES	MEMRES	TKBRES	TRGRES	TRD0RES	PWMOP RES	TRXRES	TRJ0RES
	TRGRES	タイマRG2のリセット制御						
	0	タイマRG2のリセット解除						
	1	タイマRG2はリセット状態 ・タイマRG2で使用するSFRが初期化されます。						

13.3.3 タイマRGモードレジスタ0 (TRGMRO)

図13-4 タイマRGモードレジスタ0 (TRGMRO) のフォーマット (1/2)

アドレス : F03E0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
TRGMRO	TRGSTART	TRGELCICE	TRGDFCK1	TRGDFCK0	TRGDFOB	TRGDFA	TRGMDF	TRGPWM
TRGSTAR T	TRGカウント開始 ^{注1}							
0	カウント停止、PWM出力信号 (TRGIOA端子) を初期化 (PWMモード/PWMモード2時)							
1	カウント開始							
TRGELCIC E	ELCインプットキャプチャ要求選択 ^{注2,3}							
0	外部入力信号B/デジタルフィルタ通過信号Bを選択							
1	ELCからのイベント入力 (インプットキャプチャ) を選択							
TRGDFCK 1	TRGDFCK 0	デジタルフィルタ機能で使用するクロック選択 ^{注2}						
0	0	fCLK/32						
0	1	fCLK/8						
1	0	fCLK						
1	1	TRGCRレジスタのTRGTCK2-TRGTCK0ビットで選択したクロック						
TRGDFOB	TRGIOB端子のデジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
TRGDFA	TRGIOA端子のデジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								

図13-4 タイマRGモードレジスタ0 (TRGMR0) のフォーマット (2/2)

TRGMDF	位相計数モード選択
0	アップカウント
1	位相計数モード

TRGMDFビットが0のとき、カウンタはTRGCRレジスタのTRGTCK2-TRGTCK0ビットで設定したカウントソースをカウントします。
 TRGMDFビットが1のとき、カウンタは、表13-18 TRGカウンタの加算/減算条件に示すTRGCLKj端子 (j = A, B) からの入力信号の位相をカウントします。

TRGPWM	PWMモード選択
0	タイマモード
1	PWMモード

- 注1.** TRGSTRレジスタのTRGCSELビットに1が設定されているとき、TRGSTARTビットへ0を書いてください。
- 注2.** TRGSTARTビットが0 (カウンタ停止) のとき、このビットを設定してください。
- 注3.** ELCからのイベント入力 (インプットキャプチャ) を有効にしたい場合は、TRGIORレジスタのTRGIOB2ビットを1、TRGIOB1, TRGIOB0ビットを00B (立ち上がりエッジ) に設定してください。

13.3.4 タイマRGモードレジスタ1 (TRGMR1)

図13-5 タイマRGモードレジスタ1 (TRGMR1) のフォーマット

アドレス : F03F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	5	4	<3>	<2>	<1>	<0>
TRGMR1	TRGPENB	TRGPENA	0	0	TRGTCEG1	TRGTCEG0	TRGDFCLR	TRGPWM2
TRGPENB	TRGIOB端子パルス出力強制遮断制御 ^{注1}							
0	強制遮断禁止							
1	Hi-Z出力							
TRGPENA	TRGIOA端子パルス出力強制遮断制御 ^{注2}							
0	強制遮断禁止							
1	Hi-Z出力							
TRGTCEG1	TRGTCEG0	TRGTRG入力エッジ選択 ^{注3}						
1	0	TRGTRG入力禁止						
0	0	立ち上がりエッジ						
0	1	立ち下がりエッジ						
1	0	立ち上がりエッジ						
1	1	立ち上がり/立ち下がり両エッジ						
TRGDFCLR	TRGTRG端子のデジタルフィルタ機能選択 ^{注4}							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
TRGPWM2	PWM2モード選択							
0	タイマモードまたはPWMモード							
1	PWM2モード							

注1. TRGIOB端子を出力ポートとして使用しない場合は0を設定してください。TRGPENBビットの設定は、TRGOERレジスタの設定値より優先されます。

注2. TRGIOA端子を出力ポートとして使用しない場合は0を設定してください。TRGPENAビットの設定は、TRGOERレジスタの設定値より優先されます。

注3. TRGPWM2 = 0に設定した場合、TRGTCEG1, TRGTCEG0ビットは00Bを設定してください。

注4. TRGDFCLR = 1に設定した場合、デジタルフィルタ機能で使用するクロックはTRGMR0レジスタのTRGDFCK1, TRGDFCK0ビットで選択します。

注意1. ビット5, 4には、必ず0を設定してください。

注意2. TRGMR1レジスタに書くときは、TRGMR0レジスタのTRGSTARTビットが0 (カウント停止) の状態で行ってください。

13.3.5 タイマRGカウント制御レジスタ (TRGCNTC)

TRGCNTC レジスタは、位相計数モードにおいて位相計数モードのカウント条件を設定するレジスタです。
TRGCNTC レジスタは、カウント停止中 (TRGMR0.TRGSTART = 0) に設定してください。

図13-6 タイマRGカウント制御レジスタ (TRGCNTC) のフォーマット (1/2)

アドレス : F03E1H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRGCNTC	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
	CNTEN7		カウント許可7					
	0	無効						
	1	アップカウント TRGCLKA入力がLレベルで、TRGCLKB入力の立ち上がりエッジのとき						
	CNTEN6		カウント許可6					
	0	無効						
	1	アップカウント TRGCLKB入力がHレベルで、TRGCLKA入力の立ち上がりエッジのとき						
	CNTEN5		カウント許可5					
	0	無効						
	1	アップカウント TRGCLKA入力がHレベルで、TRGCLKB入力の立ち下がりエッジのとき						
	CNTEN4		カウント許可4					
	0	無効						
	1	アップカウント TRGCLKB入力がLレベルで、TRGCLKA入力の立ち下がりエッジのとき						
	CNTEN3		カウント許可3					
	0	無効						
	1	ダウンカウント TRGCLKB入力がHレベルで、TRGCLKA入力の立ち下がりエッジのとき						
	CNTEN2		カウント許可2					
	0	無効						
	1	ダウンカウント TRGCLKA入力がLレベルで、TRGCLKB入力の立ち下がりエッジのとき						

図13-6 タイマRGカウント制御レジスタ (TRGCNTC) のフォーマット (2/2)

CNTEN1	カウント許可1
0	無効
1	ダウンカウント TRGCLKB入力がLレベルで、TRGCLKA入力の立ち上がりエッジのとき

CNTEN0	カウント許可0
0	無効
1	ダウンカウント TRGCLKA入力がHレベルで、TRGCLKB入力の立ち上がりエッジのとき

13.3.6 タイマRG制御レジスタ (TRGCR)

図13-7 タイマRG制御レジスタ (TRGCR) のフォーマット

アドレス : F03E2H

リセット時: 00H

R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	<1>	<0>
TRGCR	0	TRGCCLR1	TRGCCLR0	TRGCKEG1	TRGCKEG0	TRGTCK2	TRGTCK1	TRGTCK0
TRGCCLR	1	TRGCCLR	0	TRGカウンタ・クリア要因選択				
	0	0	クリア禁止					
	0	1	TRGGRAのインプットキャプチャ/コンペアー致でクリア					
	1	0	TRGGRBのインプットキャプチャ/コンペアー致でクリア					
	1	1	設定禁止					
TRGCKEG	1	TRGCKEG	0	外部クロック有効エッジ選択 ^{注1, 2, 3}				
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	立ち上がり/立ち下がりの両エッジでカウント					
	1	1	設定禁止					
TRGTCK2	TRGTCK1	TRGTCK0	カウントソース選択 ^{注1}					
			タイマモード/PWMモード/ PWM2モード時			位相計数モード時		
0	0	0	fCLK			fCLK		
0	0	1	fCLK/2			fCLK/2		
0	1	0	fCLK/4			fCLK/4		
0	1	1	fCLK/8			fCLK/8		
1	0	0	fCLK/32			設定禁止		
1	0	1	TRGCLKA入力			設定禁止		
1	1	0	設定禁止			設定禁止		
1	1	1	TRGCLKB入力			設定禁止		

注1. 位相計数モードのとき、タイマRGカウンタ (TRG) に対してのTRGTCK2-TRGTCK0ビットおよびTRGCKEG1, TRGCKEG0ビットの設定は無効になり、位相計数モードの動作が優先されます。位相計数モードのとき、位相変化時間計測機能を使用する場合は、タイマRG位相変化時間計測カウンタ (TRGPMC) に対してTRGTCK2-TRGTCK0ビットの設定が有効となります。

注2. TRGCKEG1, TRGCKEG0ビットは、TRGTCK2-TRGTCK0ビットの設定が外部クロック (TRGCLKA, TRGCLKB) のときに有効です。外部クロック以外では無効です。

注3. PWM2モードではTRGCCLR1, TRGCCLR0ビットを00Bまたは01Bに設定してください。

注意 TRGCRレジスタに書くときは、TRGMR0レジスタのTRGSTARTビットが0 (カウント停止) の状態で行ってください。

13.3.7 タイマRGスタートレジスタ (TRGSTR)

図13-8 タイマRGスタートレジスタ (TRGSTR) のフォーマット

アドレス : F03F5H

リセット時: 02H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TRGSTR	0	0	0	0	0	0	TRGCSEL	TRGTSTAR T
TRGCSEL	TRGカウント動作選択 ^{注1, 2, 3}							
0	TRGGRA (TRGGRB) レジスタとのコンペア一致でカウント停止							
1	TRGGRA (TRGGRB) レジスタとのコンペア一致後もカウント継続							
TRGTSTAR RT	TRGカウント開始フラグ ^{注4}							
0	カウント停止 ^{注5}							
1	カウント開始							

- 注1.** アップカウント動作のアウトプットコンペア機能、PWMモード、PWM2モード時に使用可能です。位相計数モード、インプットキャプチャ機能では1に設定してください。
- 注2.** タイマモード（アウトプットコンペア機能）とPWMモード時は、TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが01BのときはTRGGRAとの一致により動作し、10BのときはTRGGRBとの一致により動作します。PWM2モードでは、TRGGRAレジスタとの一致により動作します。
- 注3.** PWM2モード時にワンショットパルス出力を使用する場合は0に設定してください。
- 注4.** TRGCSELビットが0でTRGGRA (TRGGRB) レジスタとのコンペア一致が発生したとき、0（カウント停止）になります。
- 注5.** TRGCSELビットに1が設定されているとき、TRGSTARTビットへ0を書いてください。TRGCSELビットに0が設定されているとき、TRGGRA (TRGGRB) レジスタとのコンペア一致を待たずにカウント停止させる場合には、TRGCSELビットに1を設定後、TRGSTARTビットに0を書いてください。この場合、TRGCSELビットの設定とTRGSTARTビットの設定のため2回のレジスタアクセスが必要となります。

注意1. ビット7-2には、必ず0を設定してください。

注意2. TRGTSTARTビットと、TRGMR0レジスタのTRGSTARTビットは、ミラービット構成です。どちらのビットをセット/クリアしても、同じ値が反映されます。

13.3.8 タイマRG割り込み許可レジスタ0 (TRGIER0)

図13-9 タイマRG割り込み許可レジスタ0 (TRGIER0) のフォーマット

アドレス : F03E3H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	5	4	<3>	<2>	<1>	<0>
TRGIER0	TRGIMIED	TRGIMIEC	0	0	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
TRGIMIED	コンペアー一致割り込み許可D							
0	TRGIMFD フラグによる割り込みを禁止							
1	TRGIMFD フラグによる割り込みを有効							
TRGIMIEC	コンペアー一致割り込み許可C							
0	TRGIMFC フラグによる割り込みを禁止							
1	TRGIMFC フラグによる割り込みを有効							
TRGOVIE	オーバフロー割り込み許可							
0	TRGOVF フラグによる割り込みを禁止							
1	TRGOVF フラグによる割り込みを有効							
TRGUDIE	アンダフロー割り込み許可							
0	TRGUDF フラグによる割り込みを禁止							
1	TRGUDF フラグによる割り込みを有効							
TRGIMIEB	インプットキャプチャ/コンペアー一致割り込み許可B							
0	TRGIMFB フラグによる割り込みを禁止							
1	TRGIMFB フラグによる割り込みを有効							
TRGIMIEA	インプットキャプチャ/コンペアー一致割り込み許可A							
0	TRGIMFA フラグによる割り込みを禁止							
1	TRGIMFA フラグによる割り込みを有効							

備考 TRGIMFA, TRGIMFB, TRGIMFC, TRGIMFD, TRGOVF, TRGUDF : TRGSR0 レジスタのフラグ

13.3.9 タイマRG割り込み許可レジスタ1 (TRGIER1)

図13-10 タイマRG割り込み許可レジスタ1 (TRGIER1) のフォーマット

アドレス : F03F3H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TRGIER1	0	0	0	0	0	0	TRGPCIE	TRGZCIE
TRGPCIE	位相周期コンペアー致によるカウンタ・クリア割り込み許可							
0	TRGPCLF フラグによる割り込みを禁止							
1	TRGPCLF フラグによる割り込みを有効							
TRGZCIE	Z相検出によるカウンタ・クリア割り込み許可							
0	TRGZCLF フラグによる割り込みを禁止							
1	TRGZCLF フラグによる割り込みを有効							

注意 ビット7-2には、必ず0を設定してください。**備考** TRGZCLF, TRGPCLF : TRGSR1レジスタのフラグ

13.3.10 タイマRGステータスレジスタ0 (TRGSR0)

図13-11 タイマRGステータスレジスタ0 (TRGSR0) のフォーマット (1/2)

アドレス : F03E4H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	5	<4>	<3>	<2>	<1>	<0>
TRGSR0	TRGIMFD	TRGIMFC	0	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA
TRGIMFD	コンペアー一致フラグD							
[0になる条件] 読んだあと、0を書く注1,2								
[1になる条件] 表13-2 各フラグが1になる条件参照								
TRGIMFC	コンペアー一致フラグC							
[0になる条件] 読んだあと、0を書く注1,2								
[1になる条件] 表13-2 各フラグが1になる条件参照								
TRGDIRF	カウント方向フラグ							
0	TRGカウンタはダウンカウント							
1	TRGカウンタはアップカウント							
TRGOVF	オーバフローフラグ注3							
[0になる条件] 読んだあと、0を書く注1								
[1になる条件] 表13-2 各フラグが1になる条件参照								
TRGUDF	アンダフローフラグ							
[0になる条件] 読んだあと、0を書く注1								
[1になる条件] 表13-2 各フラグが1になる条件参照								
TRGIMFB	インプットキャプチャ/コンペアー一致フラグB							
[0になる条件] 読んだあと、0を書く注1,2								
[1になる条件] 表13-2 各フラグが1になる条件参照								

図13-11 タイマRGステータスレジスタ0 (TRGSR0) のフォーマット (2/2)

TRGIMFA	インプットキャプチャ/コンペアー一致フラグB
[0になる条件] 読んだあと、0を書く注1,2	
[1になる条件] 表13-2 各フラグが1になる条件参照	

注1. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません。
(読んだあとで、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くと0になります。

ただし、タイマRG2の、ある割り込み要因のステータスフラグ（以下「当該ステータスフラグ」とする）を0にするとその割り込みがタイマRG割り込み許可レジスタ0 (TRGIER0) で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

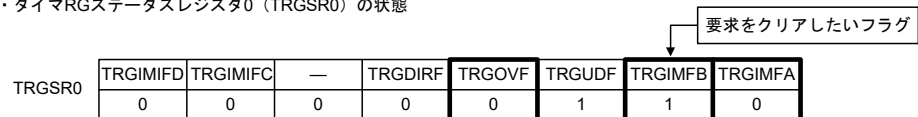
- (a) タイマRG割り込み許可レジスタ0 (TRGIER0) を00H（すべての割り込みを禁止）にしたあと、当該ステータスフラグに0を書いてください。
- (b) タイマRG割り込み許可レジスタ0 (TRGIER0) の中に1（許可）にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) TRGIMIEA, TRGOVIEが割り込み許可、TRGIMIEBが割り込み禁止の状態、TRGIMFBフラグをクリアする場合

・タイマRG割り込み許可レジスタ0 (TRGIER0) の状態



・タイマRGステータスレジスタ0 (TRGSR0) の状態



割り込み許可にしているビットに対応するステータスフラグ (TRGOVF, TRGIMFA) が0なので、TRGIMFBフラグに0を書いてください。

- (c) タイマRG割り込み許可レジスタ0 (TRGIER0) の中に1 (許可) にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くと同時に0を書いてください。

(例) TRGIMIEAが割り込み許可、TRGIMIEBが割り込み禁止の状態、TRGIMFBフラグをクリアする場合

・タイマRG割り込み許可レジスタ0 (TRGIER0) の状態

TRGIER0	—	—	—	—	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
	0	0	0	0	0	0	0	1

割り込み許可

割り込み禁止

・タイマRGステータスレジスタ0 (TRGSR0) の状態

TRGSR0	—	—	—	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA
	0	0	0	0	0	1	1	1

要求をクリアしたいフラグ

割り込み許可にしているビットに対応するステータスフラグ (TRGIMFA) が1なので、TRGIMFBフラグと同時にTRGIMFAフラグにも0を書いてください。

- 注2.** DTCを使用する場合、TRGIMFA, TRGIMFB, TRGIMFC, TRGIMFDフラグは、DTCの転送終了後に1になります。
- 注3.** TRGOVFフラグは、タイマRG2のカウンタ値がFFFFHから0000Hになったとき、1になります。また、TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットの設定によって、動作中の入力キャプチャ/コンペア一致により、タイマRG2のカウンタ値がFFFFHから0000Hになったときにも1になります。

表13-2 各フラグが1になる条件

フラグ	タイマモード ^{注1}		PWMモード/PWM2モード
	入力キャプチャ機能	アウトプットコンペア機能	
TRGOVF	TRGがオーバーフローしたとき		
TRGUDF	TRGがアンダフローしたとき (位相計数モード時のみ)		
TRGIMFD	TRGとTRGGRDの値が一致したとき ^{注2}		
TRGIMFC	TRGとTRGGRCの値が一致したとき ^{注2}		
TRGIMFB	TRGIOB端子の入力エッジ ^{注3}	TRGとTRGGRBの値が一致したとき	
TRGIMFA	TRGIOA端子の入力エッジ ^{注3}	TRGとTRGGRAの値が一致したとき	

- 注1.** 位相計数モードはタイマRGカウントレジスタのカウント方法であり、設定により上記のタイマモード、PWMモードを使用可能です。
- 注2.** TRGIORレジスタのTRGBUFA, TRGBUFBビットが1 (TRGGRA, TRGGRBのバッファレジスタとして使用) の場合を含む。
- 注3.** TRGIORレジスタのTRGIOj1, TRGIOj0ビット (j = A, B) で選択したエッジ。

13.3.11 タイマRGステータスレジスタ1 (TRGSR1)

図13-12 タイマRGステータスレジスタ1 (TRGSR1) のフォーマット

アドレス : F03F4H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TRGSR1	0	0	0	0	0	0	TRGPCLF	TRGZCLF
TRGPCLF	位相周期コンペアー致によるカウンタ・クリアフラグ							
0	読んだあと、0を書く注							
1	表13-3 各フラグが1になる条件を参照							
TRGZCLF	Z相検出によるカウンタ・クリアフラグ							
0	読んだあと、0を書く注							
1	表13-3 各フラグが1になる条件を参照							

注 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません（読んだあとで0から1に変化した場合、0を書いても1のままです）。
- 読んだ結果が1の場合、同じビットに0を書くと0になります。

ただし、タイマRG2のある割り込み要因のステータスフラグ（以下「当該ステータスフラグ」とする）を0にすると、その割り込みがタイマRG割り込み許可レジスタ1 (TRGIER1) で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

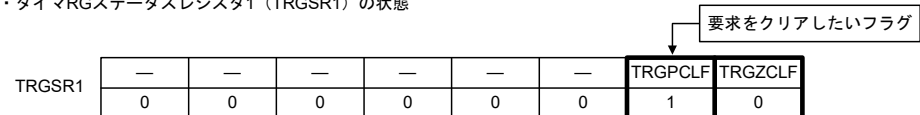
- タイマRG割り込み許可レジスタ1 (TRGIER1) を00H（すべての割り込みを禁止）にしたあと、当該ステータスフラグに0を書いてください。
- タイマRG割り込み許可レジスタ1 (TRGIER1) の中に1（許可）にしているビットがあり、かつそのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) TRGZCIEが割り込み許可、TRGPCIEが割り込み禁止の状態、TRGPCLFフラグをクリアする場合

・タイマRG割り込み許可レジスタ1 (TRGIER1) の状態



・タイマRGステータスレジスタ1 (TRGSR1) の状態



割り込み許かにしているビットに対応するステータスフラグ (TRGZCLF) が0なので、TRGPCLFフラグに0を書いてください。

(注、注意は次ページに続きます)

- (c) タイマRG割り込み許可レジスタ1 (TRGIER1) の中に1 (許可) にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くと同時に0を書いてください。

(例) TRGZCIEが割り込み許可、TRGPCIEが割り込み禁止の状態、TRGPCLFフラグをクリアする場合

・タイマRG割り込み許可レジスタ1 (TRGIER1) の状態



・タイマRGステータスレジスタ1 (TRGSR1) の状態



割り込み許可にしているビットに対応するステータスフラグ (TRGZCLF) が1なので、TRGPCLFフラグと同時にTRGZCLFフラグにも0を書いてください。

注意 ビット7-2には、必ず0を設定してください。

表13-3 各フラグが1になる条件

フラグ	位相計数モード (TRGMR0.TRGMDF = 1)
TRGPCLF	<ul style="list-style-type: none"> • TRGCTL1レジスタのTRGECM0ビットが1のとき、TRGカウンタとTRGGRCレジスタの値が一致し、次のカウントがアップカウントの場合 • TRGCTL1レジスタのTRGECM1ビットが1のとき、TRGカウンタとTRGGRDレジスタの値が一致し、次のカウントがダウンカウントの場合
TRGZCLF	<ul style="list-style-type: none"> • TRGCTL0レジスタのTRGSCEビットが0のとき、TRGIDZ端子の有効エッジを検出した場合 • TRGCTL0レジスタのTRGSCEビットが1のとき、TRGACL, TRGBCL, TRGZCLビットで設定したクリア条件が成立した場合

13.3.12 タイマRG I/O制御レジスタ (TRGIOR)

TRGIORレジスタは、タイマモードにおいて入出力の端子制御をするレジスタです。TRGIORレジスタはカウント停止中 (TRGMR0.TRGSTART = 0) に設定してください。

図13-13 タイマRG I/O制御レジスタ (TRGIOR) のフォーマット (1/2)

アドレス : F03E5H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
TRGIOR	TRGBUFB	TRGIOB2	TRGIOB1	TRGIOB0	TRGBUFA	TRGIOA2	TRGIOA1	TRGIOA0
TRGBUFB	TRGGRDレジスタ機能選択							
0	TRGGRBレジスタのバッファレジスタとして使用しない							
1	TRGGRBレジスタのバッファレジスタとして使用する							
TRGIOB2	TRGGRBモード選択 ^{注1, 2, 3}							
0	アウトプットコンペア機能							
1	インプットキャプチャ機能							
TRGIOB1	TRGIOB0	TRGGRB制御 ^{注3}						
0	0	コンペア一致による端子出力禁止						
0	1	ロウ・レベル出力						
1	0	ハイ・レベル出力						
1	1	トグル出力						
アウトプットコンペア機能では、TRGカウンタとTRGGRBレジスタのコンペア一致出力								
TRGIOB1	TRGIOB0	TRGGRB制御 ^{注3}						
0	0	TRGIOBの立ち上がりエッジ						
0	1	TRGIOBの立ち下がりエッジ						
1	0	TRGIOBの両エッジ						
1	1	設定禁止						
インプットキャプチャ機能では、TRGカウンタの内容をTRGGRBへインプットキャプチャ								
TRGBUFA	TRGGRCレジスタ機能選択 ^{注3}							
0	TRGGRAレジスタのバッファレジスタとして使用しない							
1	TRGGRAレジスタのバッファレジスタとして使用する							
TRGIOA2	TRGGRAモード選択 ^{注1, 2, 3}							
0	アウトプットコンペア機能							
1	インプットキャプチャ機能							

図13-13 タイマRG I/O制御レジスタ (TRGIOR) のフォーマット (2/2)

TRGIOA1	TRGIOA0	TRGGRA制御 ^{注3}
0	0	コンペアー一致による端子出力禁止
0	1	ロウ・レベル出力
1	0	ハイ・レベル出力
1	1	トグル出力
アウトプットコンペア機能では、TRGカウンタとTRGGRAレジスタのコンペアー一致出力		

TRGIOA1	TRGIOA0	TRGGRA制御
0	0	TRGIOAの立ち上がりエッジ
0	1	TRGIOAの立ち下がりエッジ
1	0	TRGIOAの両エッジ
1	1	設定禁止
インプットキャプチャ機能では、TRGカウンタの内容をTRGGRAへインプットキャプチャ		

- 注1.** TRGIOj2ビット (j = A, B) が1 (インプットキャプチャ機能) のとき、TRGGRjレジスタはインプットキャプチャレジスタとして機能します。
- 注2.** TRGIOj2ビット (j = A, B) が0 (アウトプットコンペア機能) のとき、TRGGRjレジスタはコンペアー一致レジスタとして機能します。リセット後にTRGIOj1, TRGIOj0ビットを設定し、最初のコンペアー一致が発生するまで、TRGIOj端子の出力は以下のとおりです。
TRGIOj1, TRGIOj0 = 01Bのとき : ハイ・レベル出力
 10Bのとき : ロウ・レベル出力
 11Bのとき : ロウ・レベル出力
- 注3.** PWM2モードでは、TRGBUFAビットは0に設定してください。PWMモード、PWM2モードでは、TRGBUFA, TRGBUFBビット以外は無効です。

13.3.13 タイマRG出力許可レジスタ (TRGOER)

図13-14 タイマRG出力許可レジスタ (TRGOER) のフォーマット

アドレス : F03F1H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
TRGOER	TRGPTO	0	0	0	0	0	0	TRGSHUTS
TRGPTO	タイマ出力強制遮断入力INTP0信号有効							
0	タイマ出力強制遮断入力無効							
1	タイマ出力強制遮断入力有効							
TRGSHUTS	強制遮断状態							
0	強制遮断なし							
1	強制遮断中							
TRGPTOビットが1のとき、INTP0入力によるパルス強制遮断時に1になります。自動クリアしないためパルス強制遮断を止める場合、カウント停止中 (TRGSTART = 0) に0を書いてしてください。有効なモードで1を書いても強制遮断します。								

注意 ビット6-1には、必ず0を設定してください。

13.3.14 タイマRG出力制御レジスタ (TRGOOCR)

図13-15 タイマRG出力制御レジスタ (TRGOOCR) のフォーマット

アドレス : F03F2H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TRGOOCR	0	0	0	0	0	0	TRGT0B	TRGT0A
TRGT0B	タイマ出力レベル選択B ^{注1}							
0	初期レベル: ロウ・レベル							
1	初期レベル: ハイ・レベル							
TRGT0A	タイマ出力レベル選択A ^{注2}							
0	初期レベル: ロウ・レベル							
1	初期レベル: ハイ・レベル							

注1. TRGT0Bビットの設定値は、TRGOOCRレジスタへの書き込みによりTRGT0B出力に反映されます。タイマモード（アウトプットコンペア機能）時に使用します。

注2. TRGT0Aビットの設定値は、TRGOOCRレジスタへの書き込みによりTRGT0A出力に反映されます。タイマモード（アウトプットコンペア機能）、PWM2モード時に使用します。

注意1. ビット7-2には、必ず0を設定してください。

注意2. TRGOOCRレジスタに書くときは、TRGMR0レジスタのTRGSTARTビットが0（カウント停止）の状態で行ってください。

13.3.15 タイマRG位相計数制御レジスタ0 (TRGCTL0)

図13-16 タイマRG位相計数制御レジスタ0 (TRGCTL0) のフォーマット

アドレス : F03F6H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
TRGCTL0	TRGSCE	TRGZCL	TRGBCL	TRGACL	0	0	TRGIDZ1	TRGIDZ0
TRGSCE	位相計数モードTRGカウンタ・クリア方式選択							
0	TRGIDZ端子の有効エッジ (TRGIDZ1, TRGIDZ0ビットで設定) 検出で、TRGカウンタを0000Hにクリア							
1	TRGCLKA, TRGCLKB, TRGIDZ入力のクリア条件レベル (TRGZCL, TRGBCL, TRGACL) 成立によりTRGカウンタを0000Hにクリア							
TRGZCL	TRGIDZ (Z相) クリア条件設定 ^{注1}							
0	TRGIDZ端子のクリア条件をロウ・レベルに設定							
1	TRGIDZ端子のクリア条件をハイ・レベルに設定							
TRGBCL	TRGCLKB (B相) クリア条件設定 ^{注1}							
0	TRGCLKB端子のクリア条件をロウ・レベルに設定							
1	TRGCLKB端子のクリア条件をハイ・レベルに設定							
TRGACL	TRGCLKA (A相) クリア条件設定 ^{注1}							
0	TRGCLKA端子のクリア条件をロウ・レベルに設定							
1	TRGCLKA端子のクリア条件をハイ・レベルに設定							
TRGIDZ1	TRGIDZ0	TRGIDZ入力エッジ選択 ^{注2}						
0	0	トリガ入力禁止						
0	1	立ち上がりエッジを選択						
1	0	立ち下がりエッジを選択						
1	1	立ち上がり／立ち下がり両エッジを選択						

注1. TRGSCE = 1のときに、本ビットの設定が有効となります。TRGSCE = 0のときは、本ビットの設定は無効です。

注2. TRGSCE = 0のときに、本ビットの設定が有効となります。TRGSCE = 1のときは、本ビットの設定は無効です。

注意1. ビット4, 3には、必ず0を設定してください。

注意2. TRGCTL0レジスタに書くときは、TRGMR0レジスタのTRGSTARTビットが0 (カウント停止) の状態で行ってください。

13.3.16 タイマRG位相計数制御レジスタ1 (TRGCTL1)

図13-17 タイマRG位相計数制御レジスタ1 (TRGCTL1) のフォーマット

アドレス : F03F7H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	<3>	2	<1>	<0>
TRGCTL1	TRGPMCE	0	0	0	TRGLDE	0	TRGECM1	TRGECM0
TRGPMCE	TRGPMCカウンタ動作許可							
0	TRGPMCカウンタ動作停止							
1	TRGPMCカウンタ動作許可							
TRGLDE	アンダフロー時のTRGGRCレジスタ値カウンタロード制御							
0	カウンタアンダフロー発生時、TRGGRCレジスタの設定値をカウンタにロード禁止							
1	カウンタアンダフロー発生時、TRGGRCレジスタの設定値をカウンタにロード許可							
TRGECM1	TRGGRD一致TRGカウンタ・クリア選択							
0	カウンタを0000Hにクリアしない							
1	TRGカウンタとTRGGRDレジスタの一致を検出した次のカウントがダウンカウントの場合、0000Hにクリアする							
TRGECM0	TRGGRC一致TRGカウンタ・クリア選択							
0	カウンタを0000Hにクリアしない							
1	TRGカウンタとTRGGRCレジスタの一致を検出した次のカウントがアップカウントの場合、0000Hにクリアする							

注意1. ビット6-4, 2には、必ず0を設定してください。

注意2. TRGCTL1レジスタに書くときは、TRGMR0レジスタのTRGSTARTビットが0 (カウント停止) の状態で行ってください。

13.3.17 タイマRGカウンタ (TRG)

TRG カウンタは、CPU と内部 16 ビットバスで接続されており、常に 16 ビット単位でアクセスしてください。TRG カウンタは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作（カウント・アップ、カウント・ダウン）が可能です。TRG カウンタは対応する TRGGRA, TRGGRB レジスタとのコンペアー一致、または TRGGRA, TRGGRB レジスタへのインプットキャプチャにより 0000H にクリアすることができます（カウンタ・クリア機能）。

PWM2 モード時は、TRGTRG 端子入力によりカウンタを 0000H にクリアすることができます。位相計数モード時は、TRGIDZ 端子入力、または TRG カウンタと TRGGRC レジスタの一致、TRG カウンタと TRGGRD レジスタとの一致で 0000H にクリアすることができます。また、TRGCTL1 レジスタの TRGLDE ビットに 1 を設定している場合には、カウンタのアンダフロー発生時に TRGGRC レジスタの設定値をカウンタにロードすることができます。

TRG カウンタがオーバーフロー（FFFFH → 0000H）すると、TRGSR0 レジスタの TRGOVF フラグが 1 になります。アンダフロー（0000H → FFFFH）すると、TRGSR0 レジスタの TRGUDF フラグが 1 になります。

図13-18 タイマRGカウンタ (TRG) のフォーマット

アドレス : F03E6H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRG																
	機能															
ビット15-0	位相計数モードの場合、カウント動作はアップカウント/ダウンカウント。 それ以外の場合はアップカウント。															

13.3.18 タイマRGジェネラルレジスタA, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)

TRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタは、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り替えは、TRGIOR レジスタにより行います。

アウトプットコンペアレジスタとして使用しているときは、TRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタの値と TRG カウンタの値は常に比較されています。両者の値が一致（コンペア一致）すると、TRGSR0 レジスタの TRGIMFA, TRGIMFB, TRGIMFC, TRGIMFD フラグが1になります。TRGIOR レジスタによりコンペア一致出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TRG カウンタの値を格納します。このとき TRGIMFA, TRGIMFB フラグが1になります。インプットキャプチャ信号の検出エッジ選択は TRGIOR レジスタにより行います。

PWM モードおよび PWM2 モード時、TRGIOR レジスタの設定は、TRGBUFA ビットと TRGBUFB ビットを除いて無視されます。TRG カウンタを位相計数モードで動作させる場合、TRGCTL1 レジスタの TRGECM1, TRGECM0 ビットの設定値により TRGGRC レジスタは周期上限値設定、TRGGRD レジスタは周期下限値設定が可能となります。

また、TRGGRC レジスタは TRGGRA レジスタのバッファレジスタとして、TRGGRD レジスタは TRGGRB レジスタのバッファレジスタとしてそれぞれ使用することもできます。この機能は TRGIOR レジスタの TRGBUFA, TRGBUFB ビットにより選択できます。

たとえば、TRGGRA レジスタがアウトプットコンペアレジスタとして、TRGGRC レジスタが TRGGRA レジスタのバッファレジスタとして設定された場合、コンペア一致 A が発生するたびに TRGGRC レジスタの値が TRGGRA レジスタに転送されます。

TRGGRA レジスタがインプットキャプチャレジスタとして、TRGGRC レジスタが TRGGRA レジスタのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRG カウンタの値が TRGGRA レジスタに、TRGGRA レジスタの値が TRGGRC レジスタに転送されます。

TRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタは 16 ビット単位でリード/ライト可能です。

図 13-19 タイマRGジェネラルレジスタA, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD) のフォーマット

アドレス : F03E8H (TRGGRA), F03EAH (TRGGRB), FFF60H (TRGGRC), FFF62H (TRGGRD)

リセット時: FFFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRGGRj																
	機能															
ビット15-0	モード、機能によって機能が異なる。 表 13-4 に TRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタの機能を示します。															

備考 j = A, B, C, D

表13-4 TRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタの機能 (1/3)

モード	レジスタ	設定	機能
インプットキャプチャ	TRGGRA	TRGIOR (TRGIOA2 = 1) TRGMR0 (TRGPWM = 0)	インプットキャプチャレジスタ (TRGカウンタの値を格納)
	TRGGRB	TRGIOR (TRGIOB2 = 1) TRGMR0 (TRGPWM = 0)	インプットキャプチャレジスタ (TRGカウンタの値を格納)
	TRGGRC	TRGIOR (TRGIOA2 = 1) TRGMR0 (TRGPWM = 0) TRGIOR (TRGBUFA = 0) TRGCTL1 (TRGECM0 = 0)	アウトプットコンペアレジスタ (TRGカウンタとのコンペア値を格納)
		TRGIOR (TRGIOA2 = 1) TRGMR0 (TRGPWM = 0) TRGIOR (TRGBUFA = 1) TRGCTL1 (TRGECM0 = 0)	TRGGRAのバッファレジスタ (TRGGRAとの転送あり)。インプットキャプチャ信号により、TRGGRAから前回のインプットキャプチャ値を受け取る。
		TRGIOR (TRGIOA2 = 1) TRGMR0 (TRGPWM = 0) TRGCTL1 (TRGECM0 = 1)	位相計数周期上限値設定レジスタ (TRGカウンタとのコンペア値を格納。コンペア一致の次カウントがアップカウントの場合TRGカウンタを0000Hにクリア)
	TRGGRD	TRGIOR (TRGIOB2 = 1) TRGMR0 (TRGPWM = 0) TRGIOR (TRGBUFB = 0) TRGCTL1 (TRGECM1 = 0)	アウトプットコンペアレジスタ (TRGカウンタとのコンペア値を格納)
		TRGIOR (TRGIOB2 = 1) TRGMR0 (TRGPWM = 0) TRGIOR (TRGBUFB = 1) TRGCTL1 (TRGECM1 = 0)	TRGGRBのバッファレジスタ (TRGGRBとの転送あり)。インプットキャプチャ信号により、TRGGRBから前回のインプットキャプチャ値を受け取る。
		TRGIOR (TRGIOB2 = 1) TRGMR0 (TRGPWM = 0) TRGCTL1 (TRGECM1 = 1)	位相計数周期下限値設定レジスタ (TRGカウンタとのコンペア値を格納。コンペア一致の次カウントがダウンカウントの場合TRGカウンタを0000Hにクリア)

表13-4 TRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタの機能 (2/3)

モード	レジスタ	設定	機能	
アウトプットコンペア	TRGGRA	TRGIOR (TRGIOA2 = 0) TRGMR0 (TRGPWM = 0)	アウトプットコンペアレジスタ (TRGカウンタとのコンペア値を格納。コンペアー致でTRGIOAに設定値を出力)	
	TRGGRB	TRGIOR (TRGIOB2 = 0) TRGMR0 (TRGPWM = 0)	アウトプットコンペアレジスタ (TRGカウンタとのコンペア値を格納。コンペアー致でTRGIOBに設定値を出力)	
	TRGGRC	TRGIOR (TRGIOA2 = 0) TRGMR0 (TRGPWM = 0) TRGIOR (TRGBUFA = 0) TRGCTL1 (TRGECM0 = 0)	アウトプットコンペアレジスタ (TRGカウンタとのコンペア値を格納)	
		TRGIOR (TRGIOA2 = 0) TRGMR0 (TRGPWM = 0) TRGIOR (TRGBUFA = 1) TRGCTL1 (TRGECM0 = 0)	TRGGRAのバッファレジスタ (TRGGRAとの転送あり)。TRGとTRGGRAのコンペアー致により、次のコンペア期待値をTRGGRAへ転送する。	
		TRGIOR (TRGIOA2 = 1) TRGMR0 (TRGPWM = 0) TRGCTL1 (TRGECM0 = 1)	位相計数周期上限値設定レジスタ (TRGカウンタとのコンペア値を格納。コンペアー致の次カウントがアップカウントの場合TRGカウンタを0000Hにクリア)	
	TRGGRD	TRGIOR (TRGIOB2 = 0) TRGMR0 (TRGPWM = 0) TRGIOR (TRGBUFB = 0) TRGCTL1 (TRGECM1 = 0)	アウトプットコンペアレジスタ (TRGカウンタとのコンペア値を格納)	
		TRGIOR (TRGIOB2 = 0) TRGMR0 (TRGPWM = 0) TRGIOR (TRGBUFB = 1) TRGCTL1 (TRGECM1 = 0)	TRGGRBのバッファレジスタ (TRGGRBとの転送あり)。TRGとTRGGRBのコンペアー致により、次のコンペア期待値をTRGGRBへ転送する。	
		TRGIOR (TRGIOB2 = 1) TRGMR0 (TRGPWM = 0) TRGCTL1 (TRGECM1 = 1)	位相計数周期上限値設定レジスタ (TRGカウンタとのコンペア値を格納。コンペアー致の次カウントがアップカウントの場合TRGカウンタを0000Hにクリア)	
	PWM	TRGGRA	TRGMR0 (TRGPWM = 1) TRGMR1 (TRGPWM2 = 0)	アウトプットコンペアレジスタ (コンペアー致でTRGIOAにハイ・レベル出力)
		TRGGRB		アウトプットコンペアレジスタ (コンペアー致でTRGIOAにロウ・レベル出力)
TRGGRC		TRGMR0 (TRGPWM = 1) TRGMR1 (TRGPWM2 = 0) TRGIOR (TRGBUFA = 1) TRGCTL1 (TRGECM0 = 0)	TRGGRAのバッファレジスタ (TRGGRAとの転送あり)。TRGとTRGGRAのコンペアー致により、次のコンペア期待値をTRGGRAへ転送する。	
		TRGMR0 (TRGPWM = 1) TRGMR1 (TRGPWM2 = 0) TRGCTL1 (TRGECM0 = 1)	位相計数周期上限値設定レジスタ (TRGカウンタとのコンペア値を格納。コンペアー致の次カウントがアップカウントの場合TRGカウンタを0000Hにクリア)	
TRGGRD		TRGMR0 (TRGPWM = 1) TRGMR1 (TRGPWM2 = 0) TRGIOR (TRGBUFB = 1) TRGCTL1 (TRGECM1 = 0)	TRGGRBのバッファレジスタ (TRGGRBとの転送あり)。TRGとTRGGRBのコンペアー致により、次のコンペア期待値をTRGGRBへ転送する。	
		TRGMR0 (TRGPWM = 1) TRGMR1 (TRGPWM2 = 0) TRGCTL1 (TRGECM1 = 1)	位相計数周期下限値設定レジスタ (TRGカウンタとのコンペア値を格納。コンペアー致の次カウントがダウンカウントの場合TRGカウンタを0000Hにクリア)	

表13-4 TRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタの機能 (3/3)

モード	レジスタ	設定	機能
PWM2	TRGGRA	TRGMR1 (TRGPWM2 = 1)	PWM周期設定レジスタ
	TRGGRB	TRGMR1 (TRGPWM2 = 1)	PWM出力変化点設定レジスタ
	TRGGRC	TRGMR1 (TRGPWM2 = 1)	カウント開始、またはトリガからのウエイト時間設定レジスタ
	TRGGRD	TRGMR1 (TRGPWM2 = 1) TRGIOR (TRGBUFB = 1)	TRGGRBのバッファレジスタ (TRGGRBとの転送あり)。TRGとTRGGRAのコンペア一致、またはTRGTRGの有効エッジ検出により、次のコンペア期待値をTRGGRBへ転送する。

注意 TRGCRレジスタのTRGTCK2-TRGTCK0ビットの設定を000B (fCLK)、コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の1回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

13.3.19 タイマRG位相変化時間計測カウンタ (TRGPMC)

TRGPMC レジスタは、位相計数モード (TRGMR0 レジスタの TRGMDF ビットが 1、かつ TRGCTL1 レジスタの TRGPMCE ビットが 1) のときのみ動作します。TRGPMC レジスタは TRGCNTC レジスタで設定した A 相 / B 相の位相検出による TRG カウンタのアップダウンカウント動作により 0001H にクリアされ、TRGCR レジスタの TRGTCK2-TRGTCK0 ビットで設定したクロックソースに従ってアップカウント動作を行います。

TRGPMC レジスタは、常に 16 ビット単位でアクセスしてください。

図 13 - 20 タイマRG位相変化時間計測カウンタ (TRGPMC) のフォーマット

アドレス : F03F8H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRGPMC																
—	機能															
ビット 15-0	位相計数モードにおいて、A相、B相の位相変化時間をカウントします。															

13.3.20 タイマRG位相変化時間キャプチャレジスタ0, 1 (TRGCAP0, TRGCAP1)

図13-21 タイマRG位相変化時間キャプチャレジスタ0, 1 (TRGCAP0, TRGCAP1) のフォーマット

アドレス : F03FAH (TRGCAP0), F03FCH (TRGCAP1)

リセット時: FFFFH

R/W属性 : R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRGCAP <i>i</i>																

TRGCAP0 注	機能
ビット15-0	インプットキャプチャレジスタ TRGCNTCレジスタで設定したA相/B相の位相検出によるTRGカウンタのアップダウンカウント動作によりTRGPMCレジスタの値を格納します。
TRGCAP1 注	機能
ビット15-0	TRGCAP0のバッファレジスタ (TRGCAP0との転送あり) インプットキャプチャ信号により、TRGCAP0レジスタから前回のインプットキャプチャ値を受け取ります。

注 TRGMR0レジスタのTRGSTARTビットに1を設定し、最初にTRGCNTCレジスタで設定したA相/B相の位相を検出し、TRGカウンタがカウント動作を開始したタイミングではキャプチャ動作は発生せず、タイマRG位相変化検出割り込みも発生しません。

注意 TRGMR0.TRGMDF = 1、かつTRGCTL1.TRGPMCE = 1のときに本レジスタが有効となります。

備考 i = 0, 1

13.3.21 タイマRG2と端子を兼用するポートのポート機能を制御するレジスタ

タイマRG2の入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx) および 7.3.2 ポート・レジスタ (Pxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

13.4 タイマRG2の動作

13.4.1 複数モード、機能にかかわる共通事項

(1) カウントソース

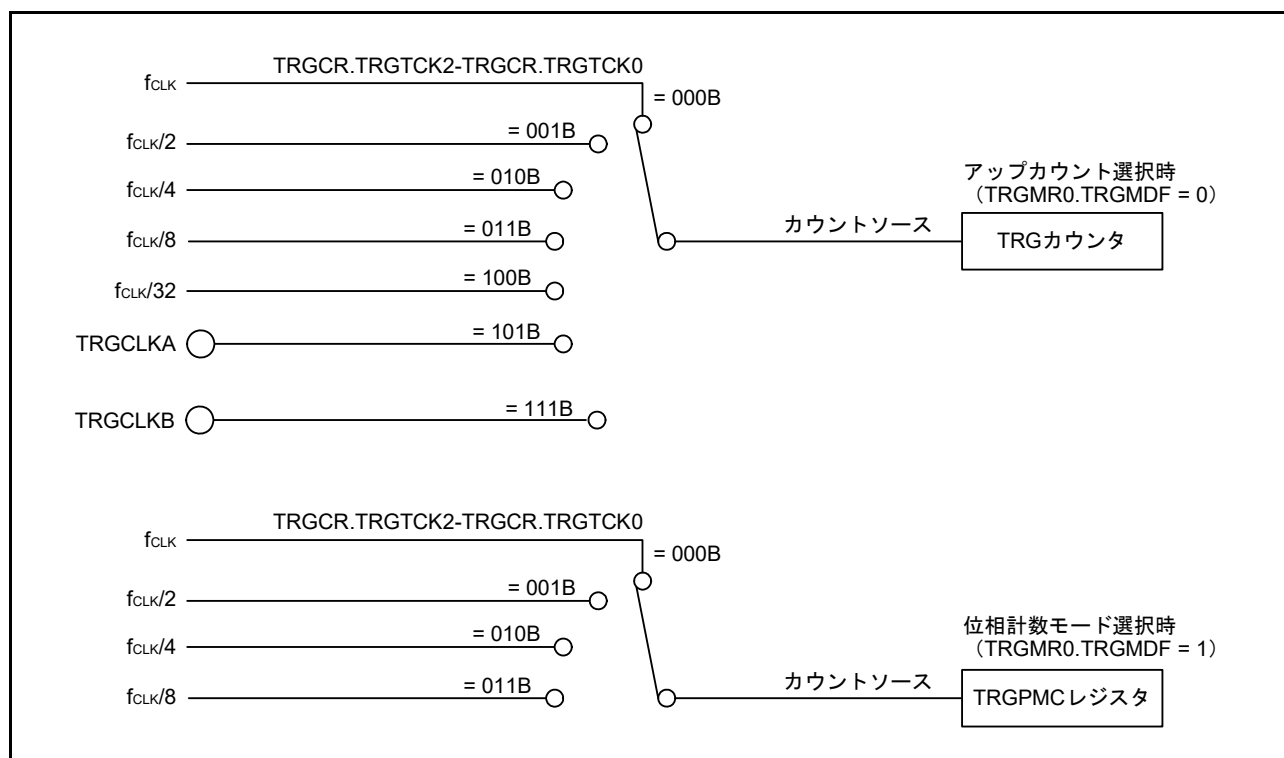
表13-5にカウントソースの選択、図13-22にカウントソースのブロック図を示します。

位相計数モード選択時、TRGCRレジスタのTRGTCK2-TRGTCK0ビットでTRGOMCカウンタのカウントソースを選択します。TRGCRレジスタのTRGCKEG1, TRGCKEG0ビットの設定は無効になります。

表13-5 カウントソースの選択

カウントソース	選択方法
f _{CLK} , f _{CLK} /2, f _{CLK} /4, f _{CLK} /8, f _{CLK} /32	TRGCRレジスタのTRGTCK2-TRGTCK0ビットでカウントソース選択
TRGCLKA, TRGCLKB端子に入力された外部信号	TRGCRレジスタのTRGTCK2-TRGTCK0ビットが101B (TRGCLKA入力) または111B (TRGCLKB入力) TRGCRレジスタのTRGCKEG1, TRGCKEG0ビットで有効エッジを選択 対応するポート・モード・レジスタのビットが1 (入力モード)

図13-22 カウントソースのブロック図



TRGCLK_j端子 (j = A, B) に入力する外部クロックのパルス幅は、タイマRG2の動作クロック (f_{CLK}) の3サイクル以上にしてください。

(2) バッファ動作

TRGIORレジスタのTRGBUFA, TRGBUFBビットで、TRGGRC, TRGGRDレジスタをTRGGRA, TRGGRBレジスタのバッファレジスタに設定できます。

- TRGGRAのバッファレジスタ : TRGGRCレジスタ
- TRGGRBのバッファレジスタ : TRGGRDレジスタ

バッファ動作は、モードによって違います。表13-6に各モードのバッファ動作、図13-23にインプットキャプチャ機能のバッファ動作、図13-24にアウトプットコンペア機能のバッファ動作、図13-25にPWM2モードのバッファ動作を示します。

表13-6 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRGGRA (TRGGRB) レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能 PWMモード	TRGカウンタとTRGGRA (TRGGRB) レジスタのコンペア一致	バッファレジスタの内容をTRGGRA (TRGGRB) レジスタに転送
PWM2モード注	TRGカウンタとTRGGRAレジスタのコンペア一致またはTRGTRG端子の有効エッジ検出	バッファレジスタ (TRGGRD) の内容をTRGGRBレジスタに転送

注 PWM2モード設定のとき、TRGGRCレジスタはバッファ動作無効です。

図13-23 インプットキャプチャ機能のバッファ動作

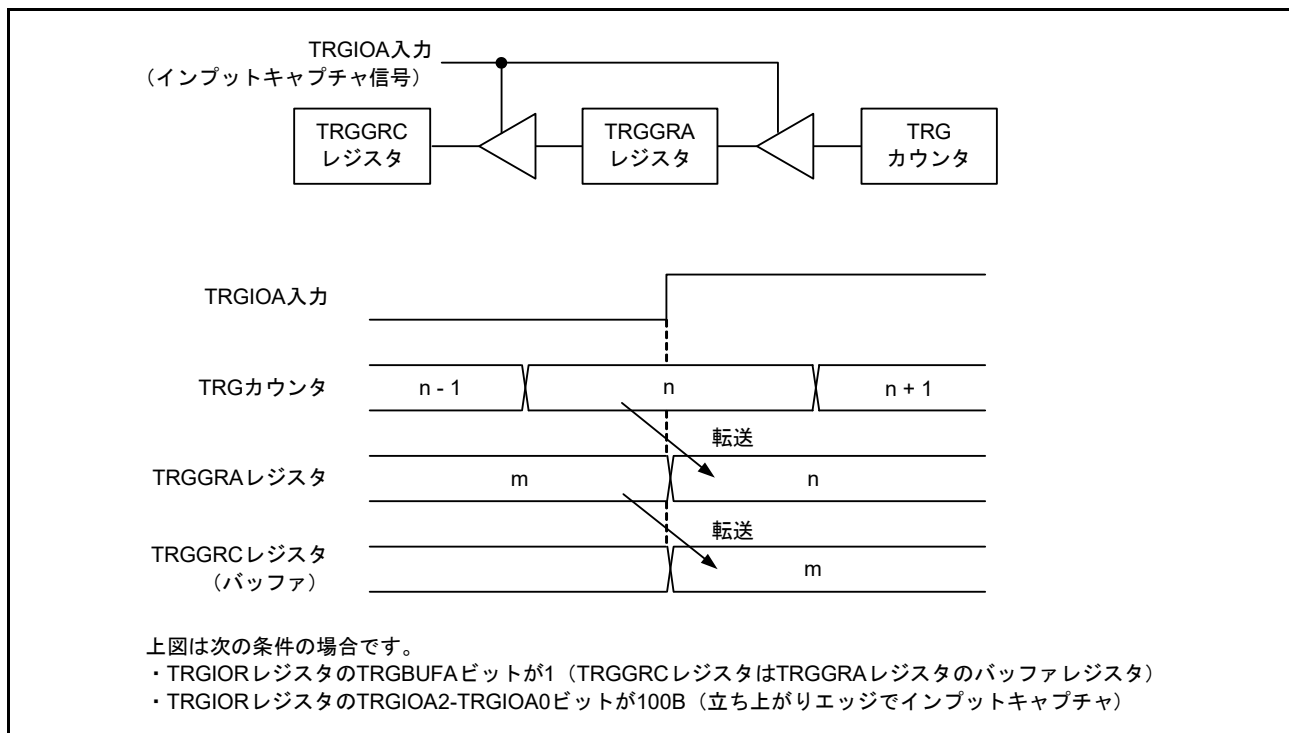


図13-24 アウトプットコンペア機能のバッファ動作

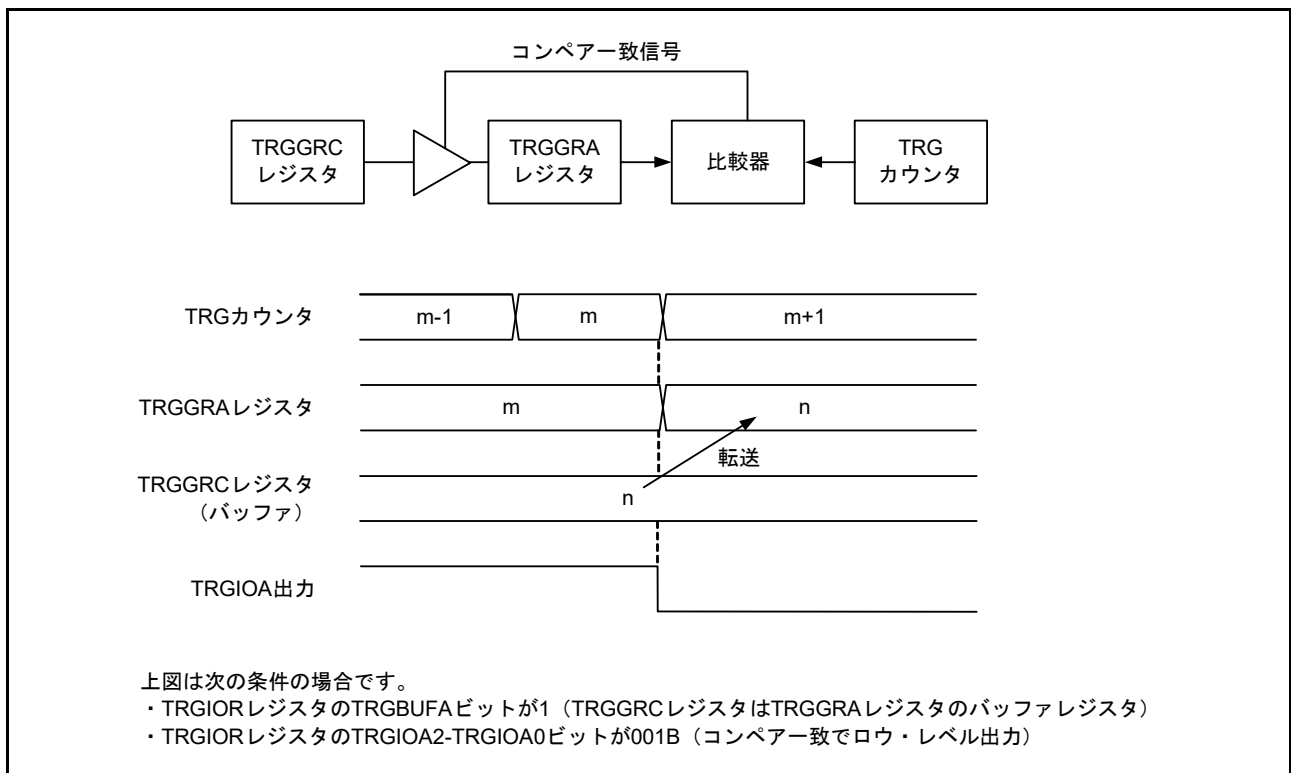
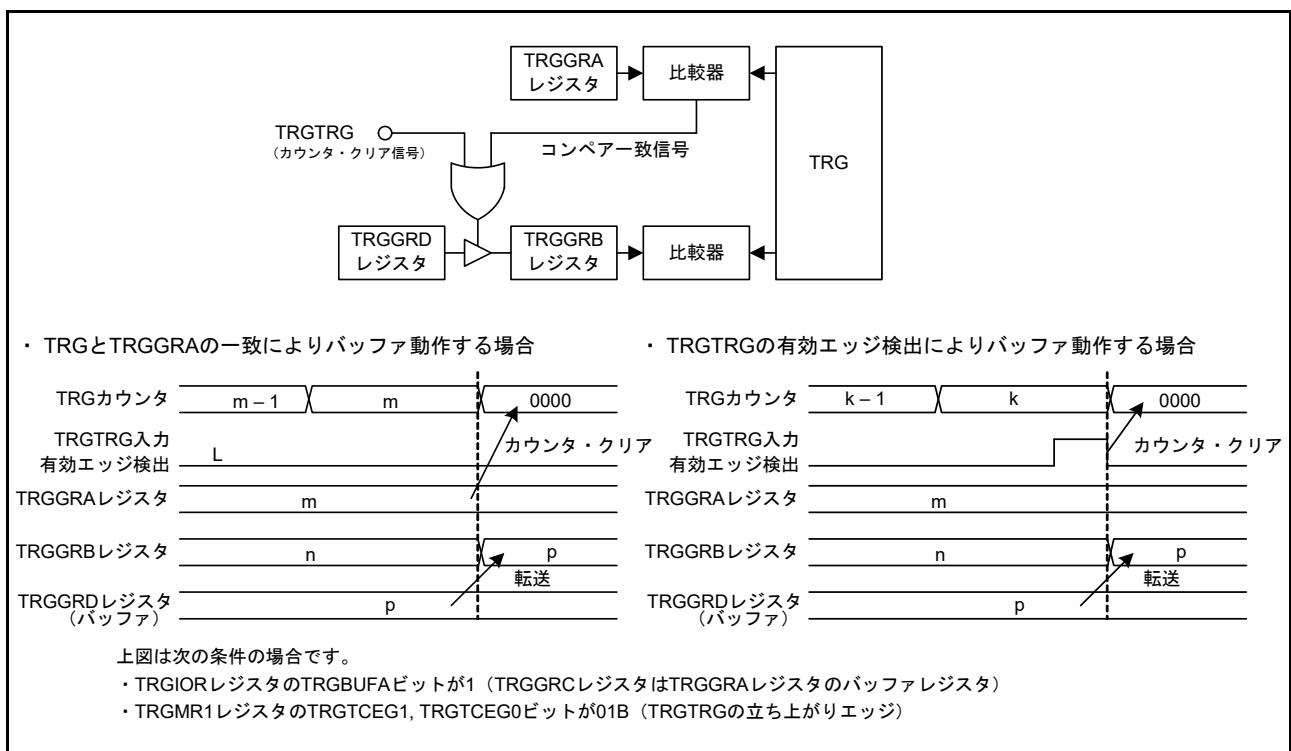


図13-25 PWM2モードのバッファ動作

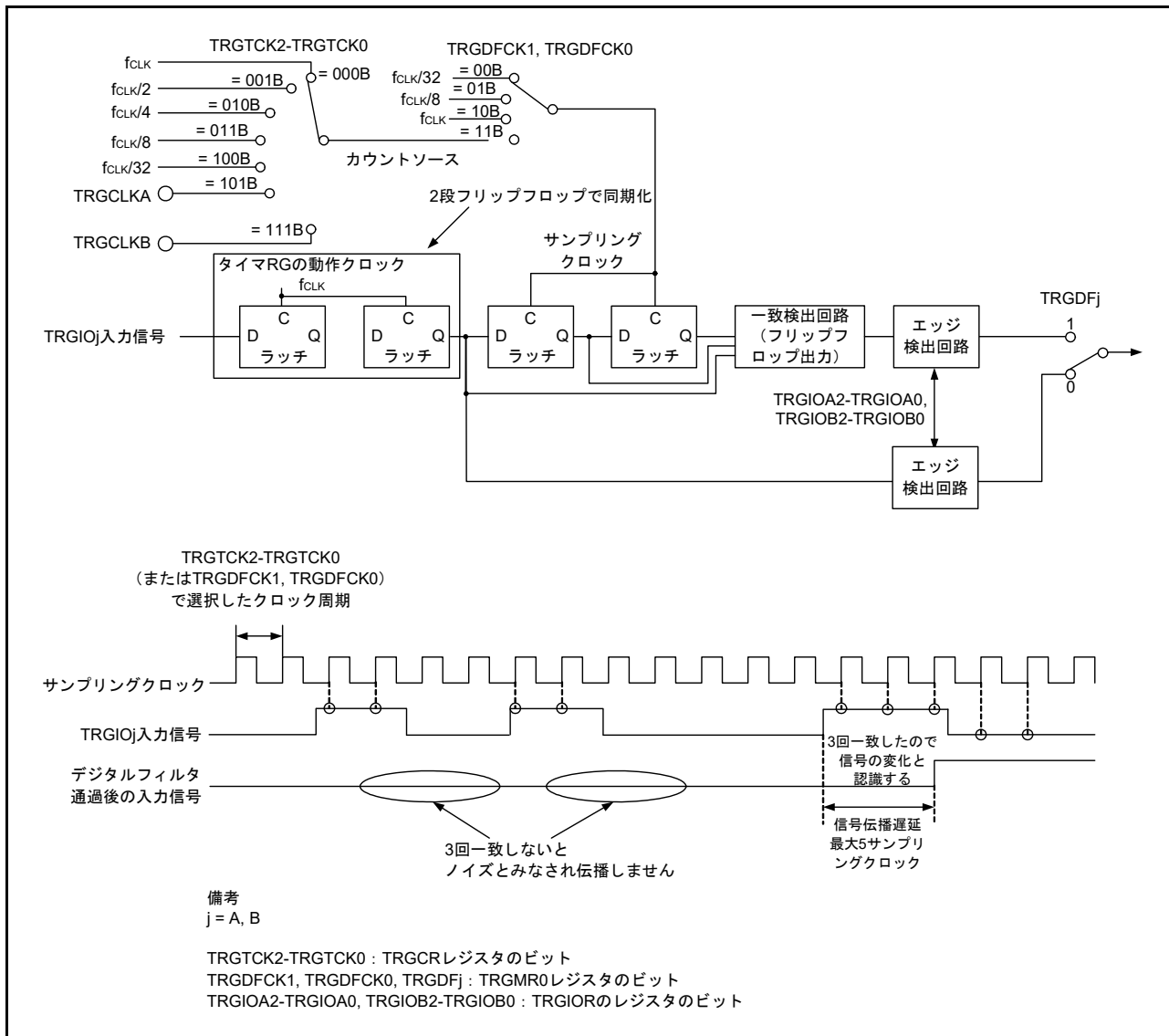


(3) デジタルフィルタ

TRGIOj入力 (j = A, B) をサンプリングし、3回一致するとレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRGMR0レジスタで選択してください。

図13-26にデジタルフィルタのブロック図を示します。

図13-26 デジタルフィルタのブロック図



(4) イベント・リンク・コントローラ (ELC) からのイベント入力

ELCからのイベント入力によって、タイマRG2はインプットキャプチャ動作Bをします。このとき、TRGSR0レジスタのTRGIMFBフラグが1になります。

この機能を使用する場合、タイマモード/位相計数モードのインプットキャプチャ機能を選択し、TRGMR0レジスタのTRGELCICEビットを1にしてください。その他のモード（タイマモード/位相計数モードのアウトプットコンペア機能、PWMモード、PWM2モード）では無効です。

設定手順

- ① ELCのイベントリンク先をタイマRG2に設定する。
- ② TRGMR0レジスタのTRGELCICEビットを1にする。

(5) イベント・リンク・コントローラ (ELC) へのイベント出力

表13-7にTRGIMFAフラグによるELCへのイベント出力、表13-8にTRGIMFBフラグによるELCへのイベント出力、表13-9にTRGIMFCビットによるELCへのイベント出力、表13-10にTRGIMFDビットによるELCへのイベント出力を示します。

表13-7 TRGIMFAフラグによるELCへのイベント出力

モード、機能	ELC要因
インプットキャプチャ機能 (TRGPWM = 0, TRGIOA2 = 1)	TRGIOA1, TRGIOA0ビットで設定したTRGIOAのエッジ検出
アウトプットコンペア機能 (TRGPWM = 0, TRGIOA2 = 1)	TRGカウンタとTRGGRAレジスタのコンペア一致
PWMモード (TRGPWM = 1)	TRGカウンタとTRGGRAレジスタのコンペア一致
PWM2モード (TRGPWM2 = 1)	TRGカウンタとTRGGRAレジスタのコンペア一致

備考 TRGPWM : TRGMR0レジスタのビット
 TRGPWM2 : TRGMR1レジスタのビット
 TRGIOA2-TRGIOA0 : TRGIORレジスタのビット

表13-8 TRGIMFBフラグによるELCへのイベント出力

モード、機能	ELC要因
インプットキャプチャ機能 (TRGPWM = 0, TRGIOB2 = 1)	TRGIOB1, TRGIOB0ビットで設定したTRGIOBのエッジ検出
アウトプットコンペア機能 (TRGPWM = 0, TRGIOB2 = 1)	TRGカウンタとTRGGRBレジスタのコンペア一致
PWMモード (TRGPWM = 1)	TRGカウンタとTRGGRBレジスタのコンペア一致
PWM2モード (TRGPWM2 = 1)	TRGカウンタとTRGGRBレジスタのコンペア一致

備考 TRGPWM : TRGMR0レジスタのビット
 TRGPWM2 : TRGMR1レジスタのビット
 TRGIOB2-TRGIOB0 : TRGIORレジスタのビット

表13-9 TRGIMFCビットによるELCへのイベント出力

モード、機能	ELC要因
アウトプットコンペア機能 (TRGPWM = 0, TRGIOA2 = 0)	TRGカウンタとTRGGRCレジスタのコンペア一致
PWMモード (TRGPWM = 1)	TRGカウンタとTRGGRCレジスタのコンペア一致
PWM2モード (TRGPWM2 = 1)	TRGカウンタとTRGGRCレジスタのコンペア一致

備考 TRGPWM : TRGMR0レジスタのビット
 TRGPWM2 : TRGMR1レジスタのビット
 TRGIOA2 : TRGIORレジスタのビット

表13-10 TRGIMFDビットによるELCへのイベント出力

モード、機能	ELC要因
アウトプットコンペア機能 (TRGPWM = 0, TRGIOB2 = 0)	TRGカウンタとTRGGRDレジスタのコンペア一致
PWMモード (TRGPWM = 1)	TRGカウンタとTRGGRDレジスタのコンペア一致
PWM2モード (TRGPWM2 = 1)	TRGカウンタとTRGGRDレジスタのコンペア一致

備考 TRGPWM : TRGMR0レジスタのビット
 TRGPWM2 : TRGMR1レジスタのビット
 TRGIOB2 : TRGIORレジスタのビット

(6) パルス出力強制遮断機能

タイマモード（アウトプットコンペア）、PWMモード、PWM2モードのとき、INTP0端子の入力によってTRGIOA, TRGIOB出力端子を強制的にプログラマブル入出力ポートに設定し、パルス出力を遮断できます。タイマモード（アウトプットコンペア）でTRGIOA端子を出力して使用する場合はTRGIORレジスタのTRGIOA2ビットを1、TRGIOB端子を出力して使用する場合はTRGIORレジスタのTRGIOB2ビットに1を設定すると出力ポートとして機能します。PWMモード、PWM2モードはTRGIOA端子が出力ポートとして機能し、TRGIOB端子は入力固定となりパルス出力強制遮断機能は無効となります。TRGOERレジスタのTRGPTOビットが1（パルス出力強制遮断信号入力INTP0有効）のとき、INTP0端子にロウ・レベルを入力すると、出力ポートとして使用している出力端子は、TRGMR1レジスタのTRGPENA, TRGPENBビットで設定した出力値を出力します。この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態（Hi-Z）をTRGMR1で設定してください。
- パルス出力強制遮断時、TRGOERレジスタのTRGSHUTSビットが1となります。パルス出力強制遮断を中断させたい場合、カウント停止中（TRGSTART = 0）にTRGSHUTSビットを0にしてください。
- INTP0端子と共用しているI/Oポートのポート方向レジスタのビットを0（入力モード）にしてください。
- TRGOERレジスタのTRGPTOビットを1（パルス出力強制遮断信号入力INTP0有効）にしてください。

13.4.2 タイマモード（インプットキャプチャ機能）

インプットキャプチャ／アウトプットコンペア端子（TRGIOA, TRGIOB）の入力エッジを検出して TRG カウンタの値を TRGGRA, TRGGRB レジスタに転送することができます。検出エッジは立ち上がりエッジ／立ち下がりエッジ／両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。表 13 - 11 にインプットキャプチャ機能の仕様を示します。

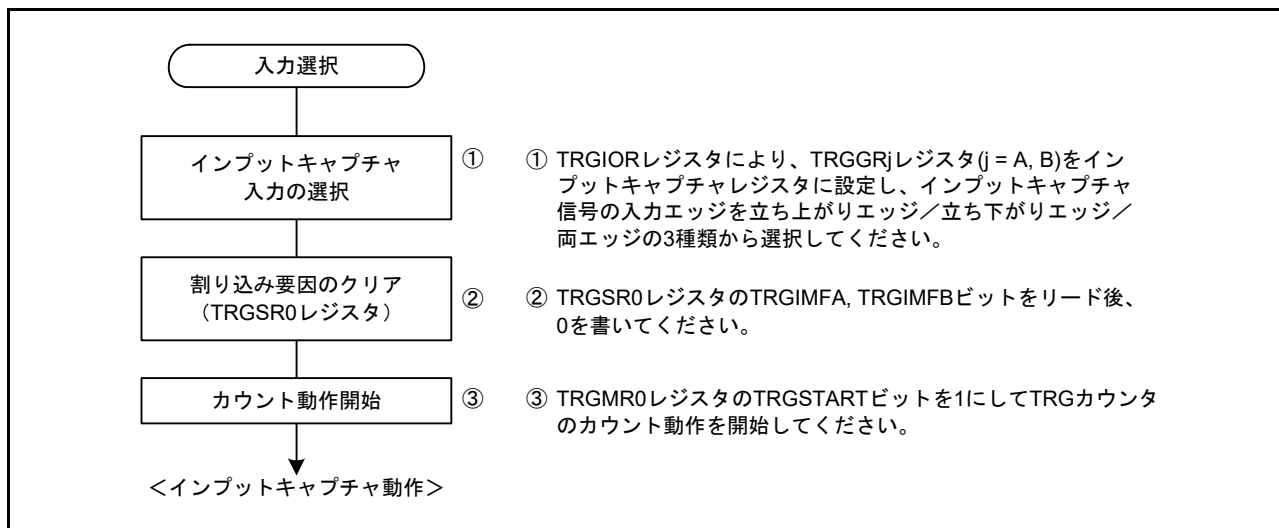
表13 - 11 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKA, TRGCLKB 端子に入力された外部信号（プログラムで有効エッジを選択）
カウント動作	アップカウント
カウント周期	TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビットが 00B（フリーランニング動作）の場合 $1/f_k \times 65536$ f_k : カウントソースの周波数
カウント開始条件	TRGMR0 レジスタの TRGSTART ビットへの 1（カウント開始）書き込み
カウント停止条件	TRGSTR レジスタの TRGCSEL ビットへの 1 書き込み、かつ TRGMR0 レジスタの TRGSTART ビットへの 0（カウント停止）書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ（TRGIOA, TRGIOB 端子入力の有効エッジ） TRG カウンタのオーバフロー
TRGIOA, TRGIOB 端子機能	I/O ポート、またはインプットキャプチャ入力（1 端子ごとに選択）
TRGCLKA, TRGCLKB 端子機能	I/O ポート、または外部クロック入力
タイマの読み出し	TRG カウンタを読むと、カウント値が読める
タイマの書き込み	TRG カウンタに書き込める
選択機能	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択 TRGIOA, TRGIOB 端子のいずれか 1 本または両方 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRG カウンタを 0000H にするタイミング オーバフロー、またはインプットキャプチャ時 バッファ動作（13.4.1 (2) バッファ動作参照） デジタルフィルタ（13.4.1 (3) デジタルフィルタ参照） ELC からのイベント入力信号（インプットキャプチャ）によるインプットキャプチャ動作

(1) インพุットキャプチャ動作の設定手順例

図13-27にインพุットキャプチャ動作の設定手順例を示します。

図13-27 インพุットキャプチャ動作の設定手順例



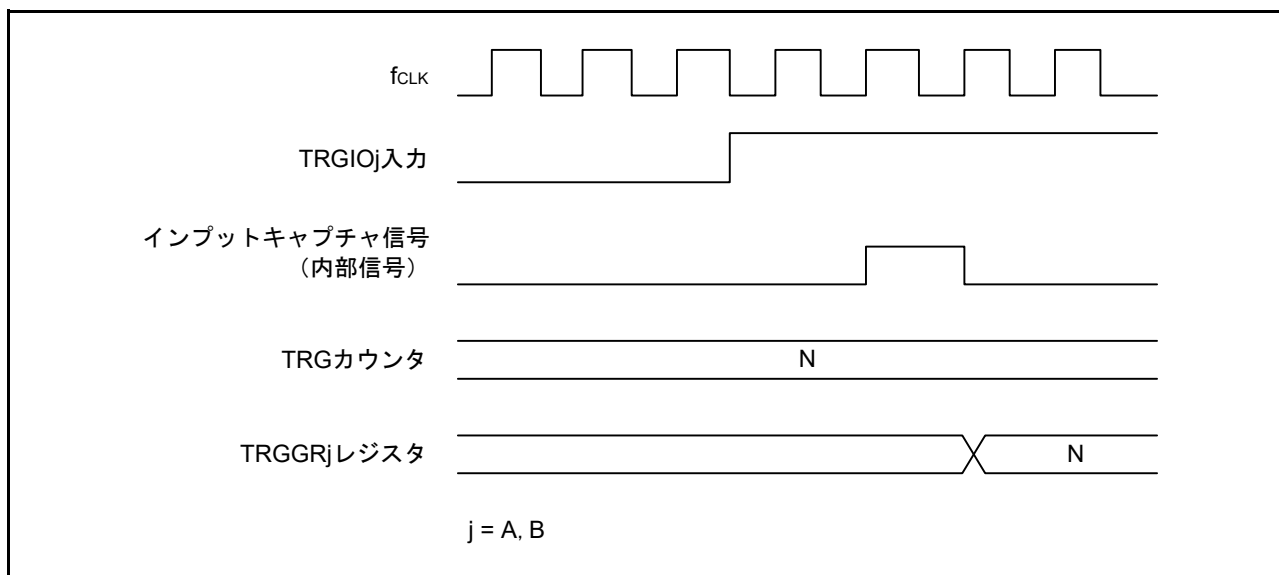
(2) インพุットキャプチャ入カタイミング

インพุットキャプチャ入力は、TRGIORレジスタの設定により立ち上がりエッジ/立ち下がりエッジ/両エッジの選択ができます。

図13-28にインพุットキャプチャ入カタイミングを示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5 fCLK以上、両エッジの場合は2.5 fCLK以上必要です。

図13-28 インพุットキャプチャ入カタイミング



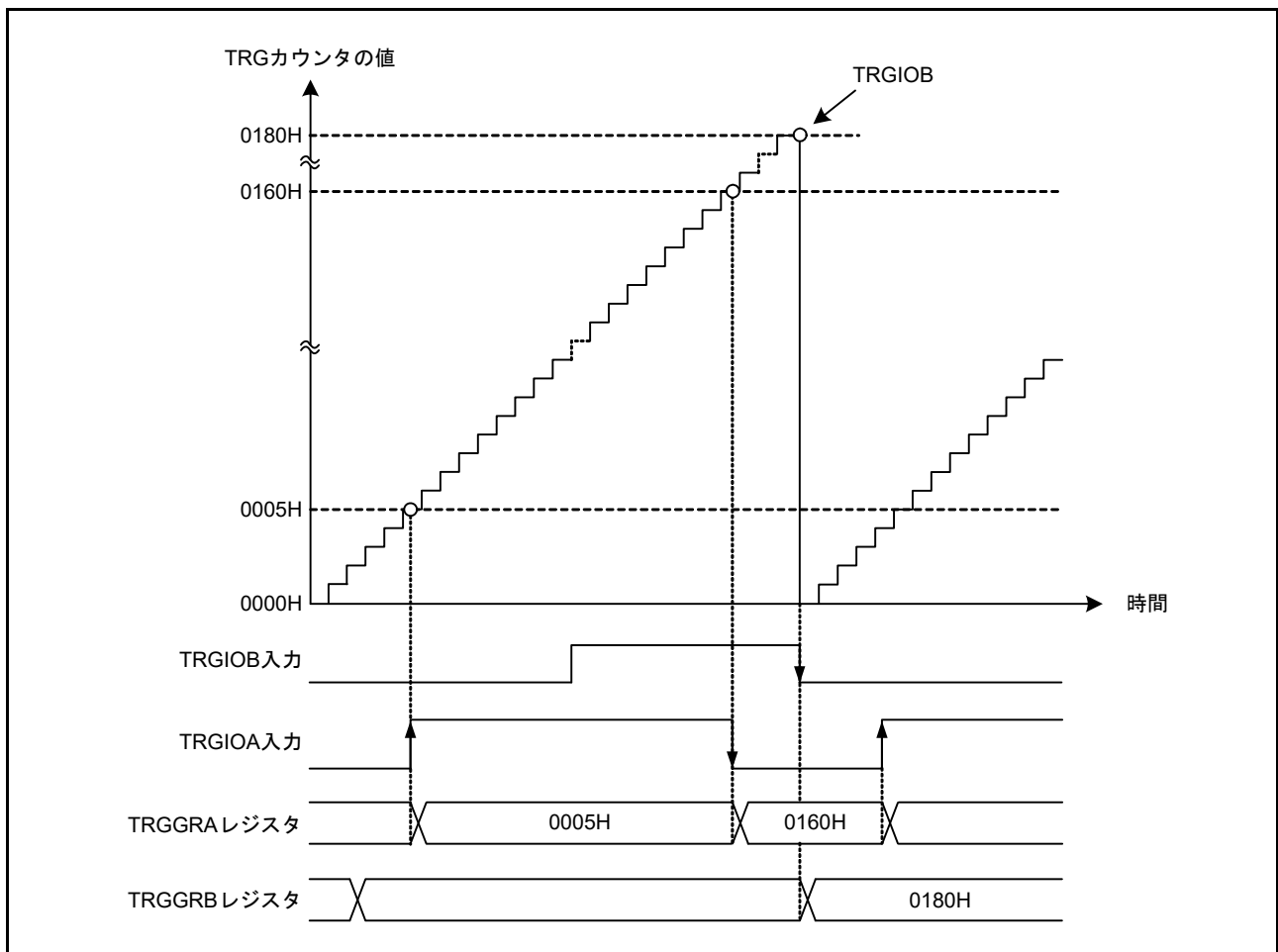
(3) 動作例

図13-29にインプットキャプチャ動作例を示します。

TRGIOA端子のインプットキャプチャ入力エッジは立ち上がり／立ち下りの両エッジ、またTRGIOB端子のインプットキャプチャ入力エッジは立ち下りエッジを選択し、TRGカウンタはTRGGRBレジスタのインプットキャプチャでカウンタ・クリアされるように設定した場合の例です。

- ① TRGIORレジスタにより、TRGGRA, TRGGRBレジスタをインプットキャプチャレジスタに設定し、インプットキャプチャ信号の入力エッジを立ち上がりエッジ／立ち下りエッジ／両エッジの3種類から選択してください。
- ② TRGMR0レジスタのTRGSTARTビットを1にしてTRGカウンタのカウント動作を開始してください。

図13-29 インプットキャプチャ動作例



TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットの設定によって、インプットキャプチャA、インプットキャプチャBによりカウントクリア動作させることができます。図13-29は、TRGCCLR1, TRGCCLR0ビットを10Bに設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウントをクリアする設定をし、タイマカウント値がFFFFHにおいてインプットキャプチャ動作をした場合、カウントソースとインプットキャプチャ動作のタイミングによって、割り込みフラグであるTRGIMFA, TRGIMFBフラグとTRGOVFフラグが同時に1となる場合があります。

13.4.3 タイマモード（アウトプットコンペア機能）

TRG カウンタの内容と、TRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタの内容の一致（コンペア一致）を検出するモードです。TRGGRA レジスタと TRG カウンタの内容が一致したとき、TRGIOA 端子から任意のレベルを出力します。TRGGRB レジスタと TRG カウンタの内容が一致したとき、TRGIOB 端子から任意のレベルを出力します。TRGGRC, TRGGRD レジスタとの一致では、TRGIOA, TRGIOB 端子の出力レベルには影響しません。

表 13-12 にアウトプットコンペア機能の仕様を示します。

表13-12 アウトプットコンペア機能の仕様 (1/2)

項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKA, TRGCLKB 端子に入力された外部信号（プログラムで有効エッジを選択）
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビットが 00B（フリーランニング動作）の場合 $1/fk \times 65536$ fk: カウントソースの周波数 TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビットが 01B（TRGGRA レジスタのコンペア一致で TRG カウンタを 0000H にする）の場合 $1/fk \times (n + 1)$ n: TRGGRA レジスタの設定値 TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビットが 10B（TRGGRB レジスタのコンペア一致で TRG カウンタを 0000H にする）の場合 $1/fk \times (n + 1)$ n: TRGGRB レジスタの設定値
波形出カタイミング	コンペア一致（TRG カウンタの内容と TRGGRj レジスタの内容が一致）
カウント開始条件	TRGMR0 レジスタの TRGSTART ビットへの 1（カウント開始）書き込み
カウント停止条件	<ul style="list-style-type: none"> TRGSTR レジスタの TRGCSEL ビットが 1 のとき、TRGMR0 レジスタの TRGSTART ビットへの 0（カウント停止）書き込みにより TRG カウンタはカウントを停止。アウトプットコンペア出力端子はカウント停止前の出力レベルを保持。 TRGSTR レジスタの TRGCSEL ビット 0、かつ TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビットが 01B のとき、TRG カウンタは TRGGRA レジスタとのコンペア一致でカウントを停止。アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持。 TRGSTR レジスタの TRGCSEL ビットが 0、かつ TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビットが 10B のとき、TRG カウンタは TRGGRB レジスタとのコンペア一致でカウントを停止。アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持。
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致（TRG カウンタと TRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタの内容が一致） TRG カウンタのオーバフロー
TRGIOA, TRGIOB 端子機能	I/O ポート、またはアウトプットコンペア出力（1 端子ごとに選択）
TRGCLKA, TRGCLKB 端子機能	I/O ポート、または外部クロック入力
タイマの読み出し	TRG カウンタを読むと、カウント値が読める
タイマの書き込み	TRG カウンタに書き込める

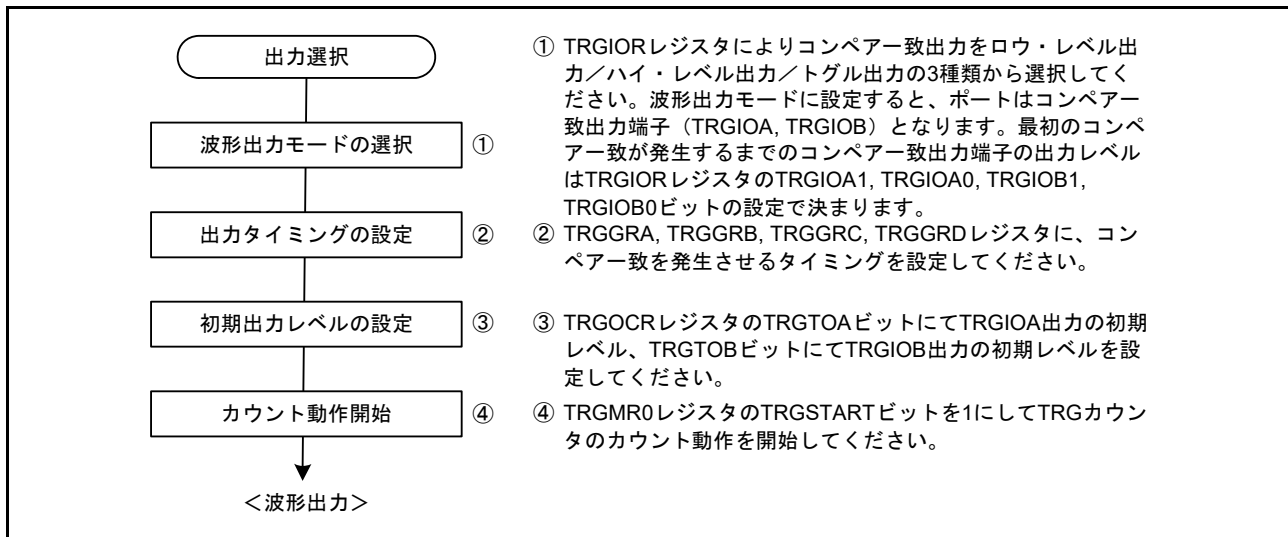
表13 - 12 アウトプットコンペア機能の仕様 (2/2)

項目	仕様
選択機能	<ul style="list-style-type: none">• アウトプットコンペア出力端子選択 TRGIOA, TRGIOB 端子のいずれか1本または両方• コンペア一致時の出力レベル選択 ロウ・レベル出力、ハイ・レベル出力、または出力レベル反転• 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定• TRGカウンタを0000Hにするタイミング オーバフローまたはTRGGRA, TRGGRBレジスタのコンペア一致• バッファ動作 (13.4.1 (2) バッファ動作参照)• パルス出力強制遮断機能 (13.4.1 (6) パルス出力強制遮断機能参照)

(1) コンペアー一致による波形出力の設定手順例

図13-30にコンペアー一致による波形出力の設定手順を示します。

図13-30 コンペアー一致による波形出力の設定手順

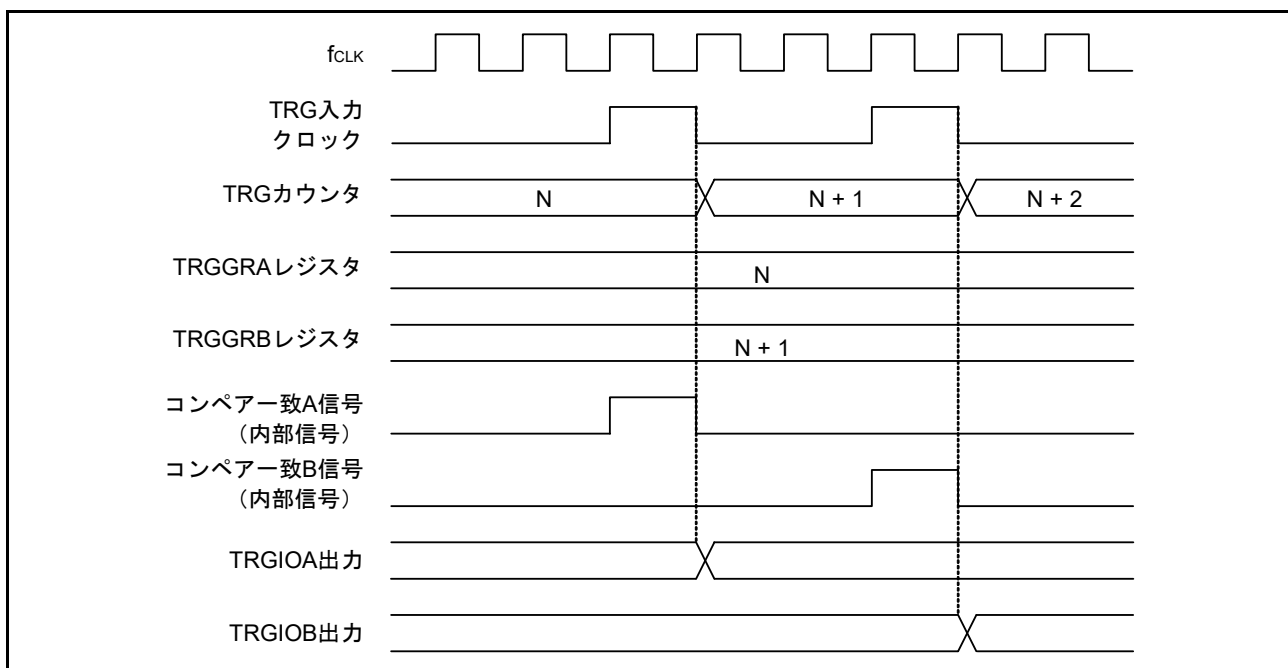


(2) アウトプットコンペアー出力タイミング

コンペアー一致信号は、TRGカウンタとTRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタが一致した最後のステート (TRGカウンタが一致したカウント値を更新するタイミング) で発生します。TRGGRA, TRGGRBレジスタのコンペアー一致信号が発生したとき、TRGIORレジスタで設定される出力値がアウトプットコンペアー出力端子 (TRGIOA, TRGIOB) に出力されます。TRGカウンタとTRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタが一致したあと、TRGカウンタ入カロックが発生するまでコンペアー一致信号は発生しません。

図13-31にアウトプットコンペアー出力タイミングを示します。

図13-31 アウトプットコンペアー出力タイミング



(3) 動作例

図13-32にロウ・レベル出力／ハイ・レベル出力の動作例を示します。

TRGカウンタをフリーランニングカウント動作、またコンペア一致Aによりロウ・レベル出力、コンペア一致Bによりハイ・レベル出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

リセット後、TRGIORレジスタにより出力レベルを決定すると初期出力レベルが決定します。TRGIORレジスタの設定により決定した出力レベルと異なる出力レベルから動作を開始したい場合は、TRGOCRレジスタにより出力初期レベルを変更することが可能です。

図13-32 ロウ・レベル出力／ハイ・レベル出力の動作例

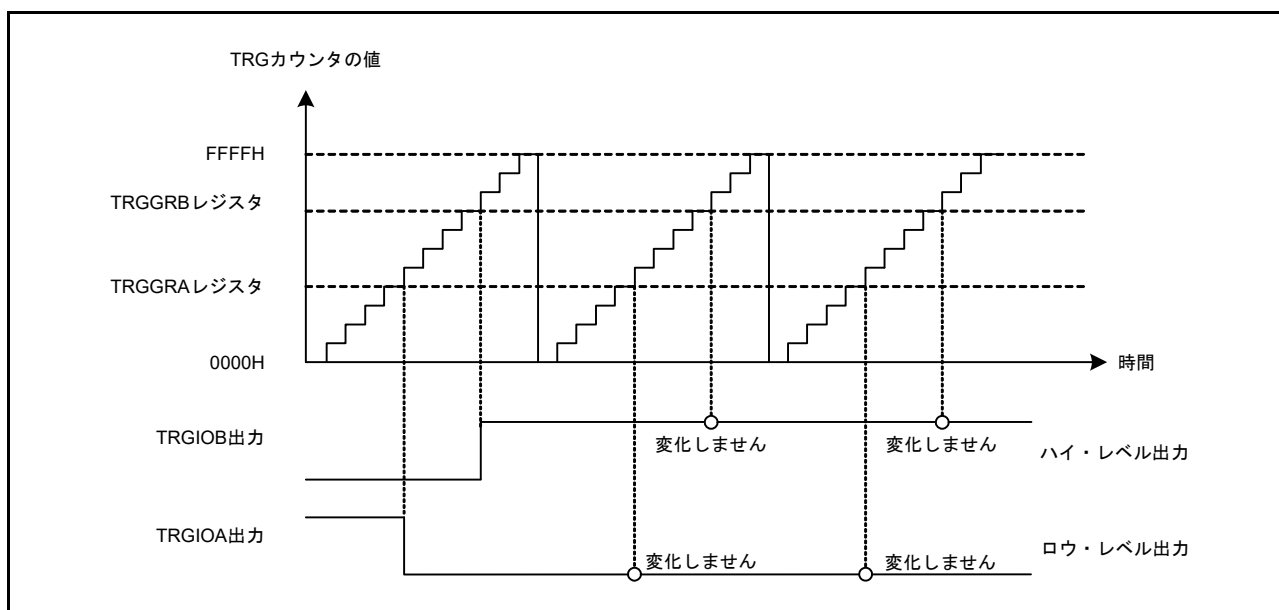
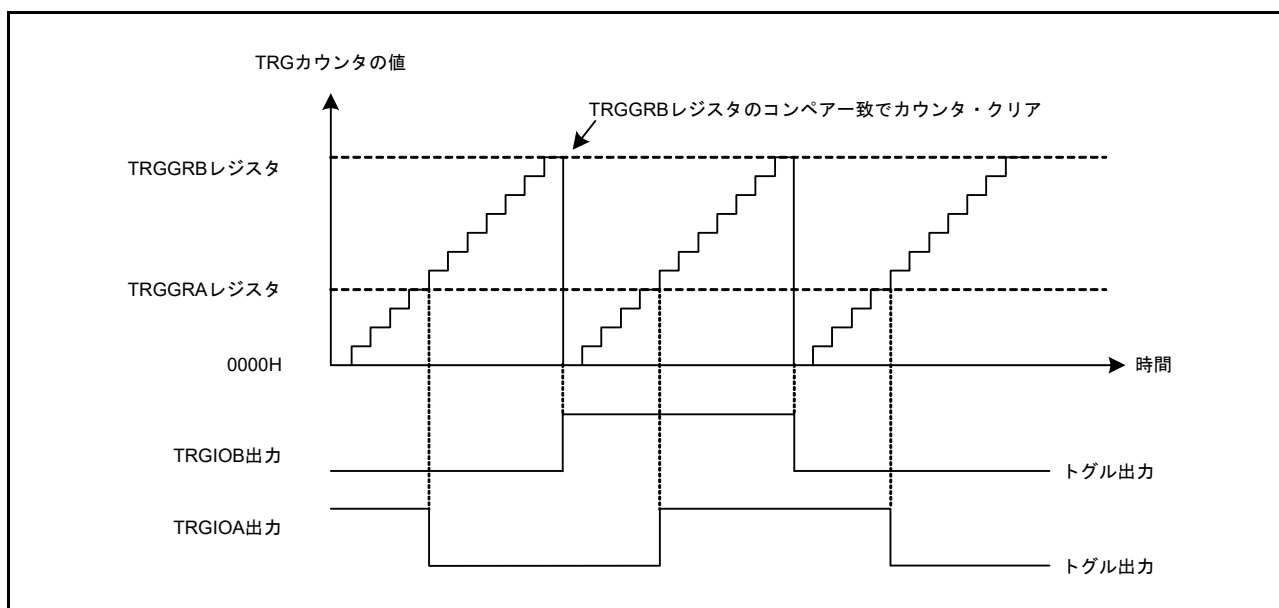


図13-33にトグル出力の動作例を示します。TRGカウンタを周期カウント動作（コンペアー一致Bでカウンタ・クリア）に、コンペアー一致A, Bともトグル出力となるように設定した場合の例です。

- ① TRGIORレジスタによりコンペアー一致出力をロウ・レベル出力／ハイ・レベル出力／トグル出力の3種類から選択してください。波形出力モードに設定すると、ポートはコンペアー一致出力端子（TRGIOA, TRGIOB）となります。
- ② TRGGRA, TRGGRBレジスタに、コンペアー一致を発生させるタイミングを設定してください。
- ③ TRGMRレジスタのTRGSTARTビットを1にしてTRGカウンタのカウンタ動作を開始してください。

動作中に、TRGSTARTビットを0にしても、コンペアー一致出力端子（TRGIOA, TRGIOB）は初期化されません。初期値に戻すには、TRGIORレジスタに書き込み動作することにより出力が初期化されます（ただし、TRGIORレジスタのTRGIOA1, TRGIOA0, TRGIOB1, TRGIOB0ビットによる出力設定をロウ・レベル出力またはハイ・レベル出力に設定している場合のみ初期化されます）。TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットの設定によって、インプットキャプチャ／コンペアー一致（TRGGRAレジスタ、TRGGRBレジスタとの一致）によりタイマRG2のカウンタ値はリセットされます。このとき、コンペアー期待値がFFFFHの場合、オーバフロー動作と同様にFFFFHから0000Hとなり、TRGOVFフラグは1となります。この動作は、タイマRG2のカウンタ値とコンペアー期待値とのアウトプットコンペアー機能を使用するモードも同様となります。

図13-33 トグル出力の動作例



13.4.4 PWMモード

PWMモードはTRGGRAレジスタとTRGGRBレジスタをペアで使用し、TRGIOA出力端子よりPWM波形を出力します。PWMモードに設定された出力端子はTRGIORレジスタの出力の設定は無効となります。TRGGRAレジスタにはPWM波形のハイ・レベル出力タイミングを設定し、TRGGRBレジスタにはPWM波形のロウ・レベル出力タイミングを設定します。

TRGGRAレジスタとTRGGRBレジスタのいずれかのコンペア一致をTRGカウンタのカウンタ・クリア要因とすることにより、デューティ0～100%のPWM波形をTRGIOA端子より出力することができます。

表13-13にPWMモードの仕様、表13-14にPWM出力端子とレジスタの組み合わせを示します。

TRGGRAレジスタとTRGGRBレジスタの設定値が同一の場合、コンペア一致が発生しても出力値は変化しません。

表13-13 PWMモードの仕様

項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGGRA, TRGGRB 端子に入力された外部信号（プログラムで有効エッジを選択）
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> TRGGRAレジスタにPWM波形のハイ・レベル出力タイミングを設定 TRGGRBレジスタにPWM波形のロウ・レベル出力タイミングを設定
カウント開始条件	TRGMR0レジスタのTRGSTARTビットへの1（カウント開始）書き込み
カウント停止条件	<ul style="list-style-type: none"> TRGSTRレジスタのTRGCSELビットが1のとき、TRGMR0レジスタのTRGSTARTビットへの0（カウント停止）書き込みにより、TRGカウンタはカウントを停止。TRGIOA出力端子は初期設定レベル（TRGCRレジスタのTRGCCLR1ビットの反転値）にて停止。 TRGSTRレジスタのTRGCSELビットが0、かつTRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが01Bのとき、TRGカウンタはTRGGRAレジスタとのコンペア一致でカウントを停止。TRGIOA出力端子は初期設定レベル（TRGCRレジスタのTRGCCLR1ビットの反転値）にて停止。 TRGSTRレジスタのTRGCSELビットが0、かつTRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが10Bのとき、TRGカウンタはTRGGRBレジスタとのコンペア一致でカウントを停止。TRGIOA出力端子は初期設定レベル（TRGCRレジスタのTRGCCLR1ビットの反転値）にて停止。
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致（TRGカウンタとTRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタの内容が一致） TRGカウンタのオーバフロー
TRGIOA端子機能	PWM出力
TRGIOB端子機能	I/Oポート
TRGCLKA, TRGCLKB端子機能	I/Oポート、または外部クロック入力
タイマの読み出し	TRGカウンタを読むと、カウント値が読める
タイマの書き込み	TRGカウンタに書き込める
選択機能	<ul style="list-style-type: none"> TRGカウンタを0000Hにするタイミング オーバフローまたはTRGGRA, TRGGRBレジスタのコンペア一致 バッファ動作（13.4.1 (2) バッファ動作参照） パルス出力強制遮断機能

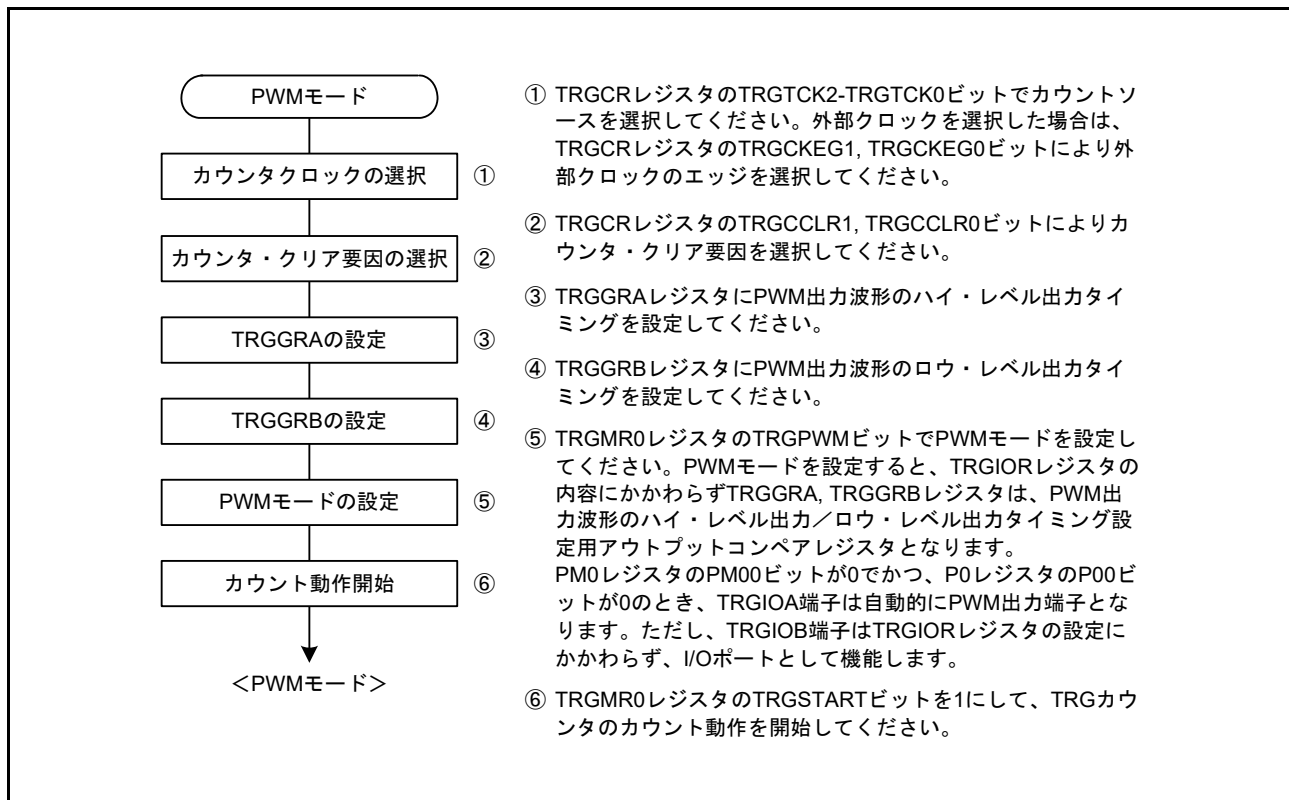
表13 - 14 PWM出力端子とレジスタの組み合わせ

出力端子	ハイ・レベル出力	ロウ・レベル出力
TRGIOA	TRGGRA	TRGGRB
TRGIOB	I/Oポートとして機能	

(1) PWMモードの設定手順例

図13 - 34にPWMモードの設定手順例を示します。

図13 - 34 PWMモードの設定手順例



(2) 動作例

図13-35にPWMモードの動作例を示します。

PM0レジスタのPM00ビットが0でかつ、P0レジスタのP00ビットが0のとき、PWMモードに設定するとTRGIOA端子は自動的に出力端子となり、TRGGRAレジスタのコンペア一致でハイ・レベル出力、TRGGRBレジスタのコンペア一致でロウ・レベル出力となります。ただし、TRGIOB端子はTRGIORレジスタの設定にかかわらず、I/Oポートとして機能します。

TRGカウンタのカウンタ・クリア要因をTRGGRA, TRGGRBレジスタのコンペア一致とした場合の例です。TRGIOA端子の初期状態はカウンタ・クリア要因だけで決まります。この対応関係を表13-15に示します。この初期化はTRGMR0レジスタのTRGSTARTビットが0（カウント停止）時に行われます。

表13-15 TRGIOA端子の初期状態とカウンタ・クリア要因の対応関係

カウンタ・クリア要因	TRGIOA端子の初期状態
TRGGRAレジスタのコンペア一致	ハイ・レベル
TRGGRBレジスタのコンペア一致	ロウ・レベル

TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが00B（クリア禁止）の場合、TRGIOA端子の初期状態はHとなります。

図13-35 PWMモードの動作例 (1)

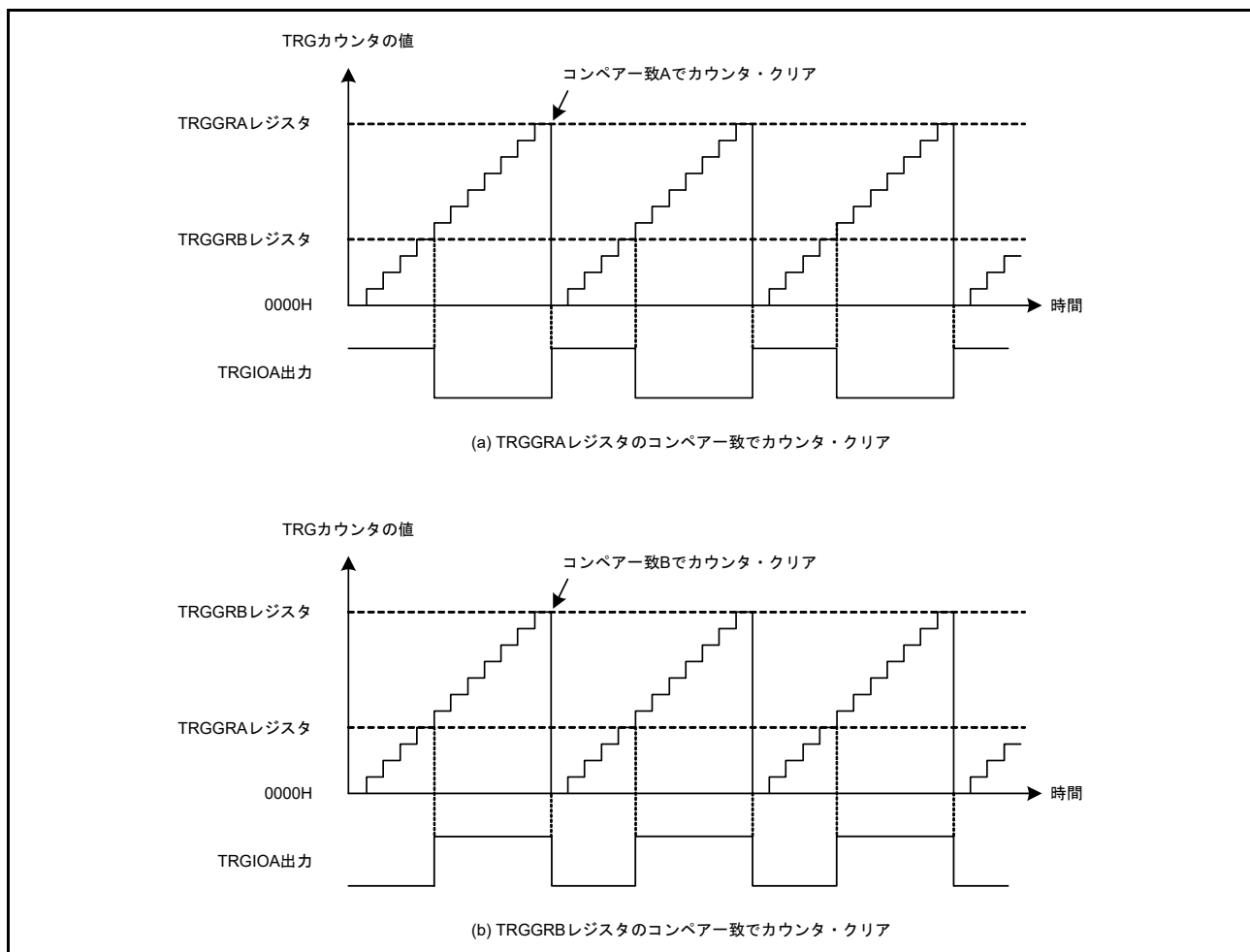


図13-36にPWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を示します。

カウンタ・クリア要因をTRGGRBレジスタのコンペアー一致に設定し、

TRGGRAレジスタの設定値 > TRGGRBレジスタの設定値

としたとき、PWM波形はデューティ0%となります。

また、カウンタ・クリア要因をTRGGRAレジスタのコンペアー一致に設定し、

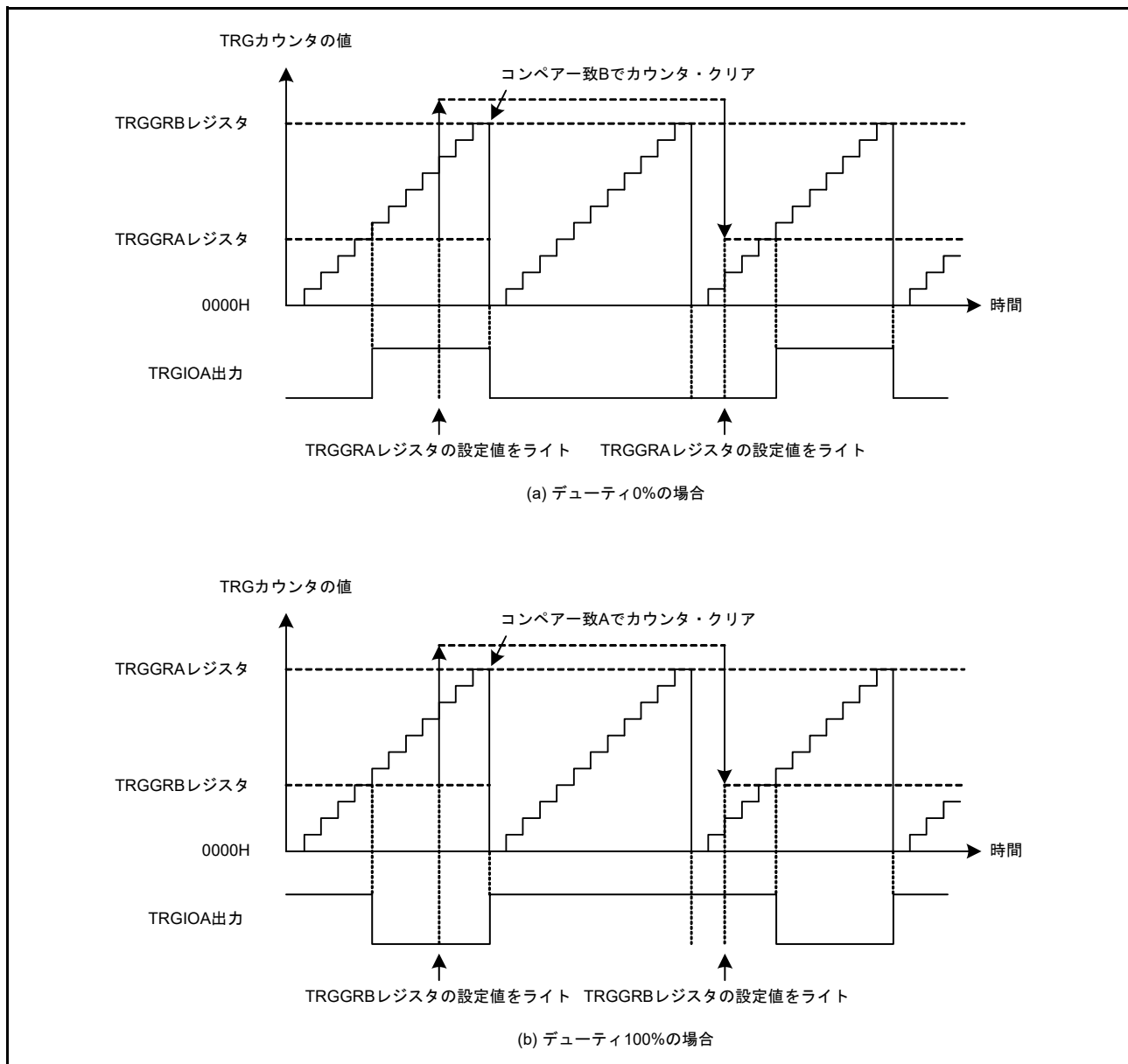
TRGGRBレジスタの設定値 > TRGGRAレジスタの設定値

としたとき、PWM波形はデューティ100%となります。

TRGGRAレジスタの設定値 = TRGGRBレジスタの設定値

としたとき、コンペアー一致が発生しても出力値は変化しません。

図13-36 PWMモードの動作例 (2)



13.4.5 PWM2モード

PWM2モードはTRGカウンタのカウンタ値とTRGGRB, TRGGRCレジスタのコンペア一致で、TRGIOA端子からPWM波形を出力します。トリガから任意のウェイト時間において端子の出力がアクティブ・レベルとなり、任意の時間経過後にインアクティブ・レベルに戻ります。

TRGIOA端子の出力レベルは、TRGOOCRレジスタのTRGTOAビットで設定します。TRGTOAビットが0のとき、TRGカウンタとTRGGRBレジスタの一致でロウ・レベル、TRGカウンタとTRGGRCレジスタの一致でハイ・レベルを出力します。TRGTOAビットが1のとき、TRGカウンタとTRGGRBレジスタの一致でハイ・レベル、TRGカウンタとTRGGRCレジスタの一致でロウ・レベルを出力します。TRGGRDレジスタは、TRGIORレジスタのTRGBUFBビットに1を設定することでTRGGRBレジスタのバッファレジスタとして使用可能となります。

TRGカウンタとTRGGRAレジスタの一致検出、TRGTRG入力の有効エッジ検出によりカウンタを0000Hにクリアします。

TRGTRG入力の有効エッジは、TRGMR1レジスタのTRGTCEG1, TRGTCEG0ビットにて設定します。

TRGTOAビットが0のときにTRGIOA出力がハイ・レベル出力中、TRGTOAビットが1のときにTRGIOA出力がロウ・レベル出力中に発生したTRGTRG入力の有効エッジ検出は無効となります。

TRGSTRレジスタのTRGCSELビットを0にすることでワンショットパルス出力が可能です。TRGMR1レジスタのTRGTCEG1, TRGTCEG0ビットが00B設定（TRGTRG入力禁止）の場合、TRGSTARTビットを1にするとTRGカウンタは動作を開始し、TRGカウンタとTRGGRAレジスタの一致発生によりカウント動作を停止します。

TRGMR1レジスタのTRGTCEG1, TRGTCEG0ビットが00B以外（TRGTRG入力許可）のとき、TRGSTARTビットを1にしてもTRGカウンタは動作せず、TRGTRG入力の有効エッジ検出によりカウント動作を開始し、TRGカウンタとTRGGRAレジスタの一致発生によりカウント動作を停止します。TRGGRAレジスタにて設定した周期の範囲でTRGGRBレジスタとTRGGRCレジスタの設定値によりワンショットパルスを出力します。

表 13 - 16 に PWM2 モードの仕様を示します。

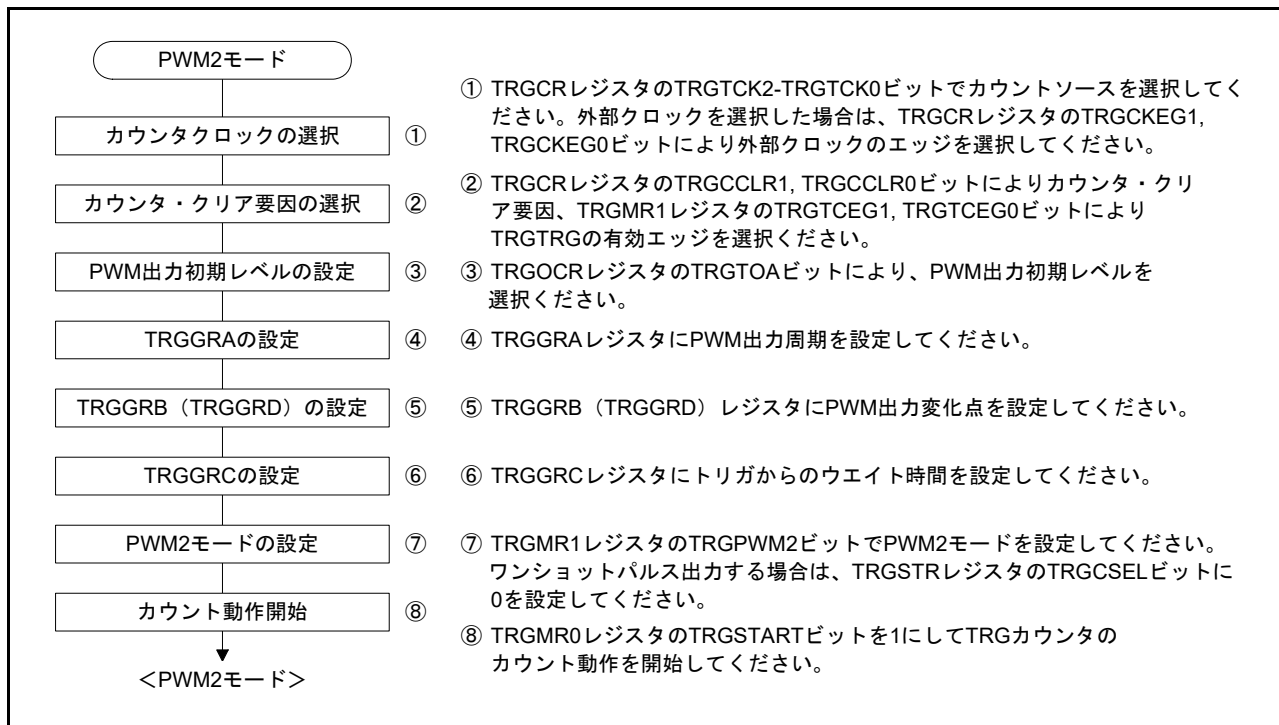
表13 - 16 PWM2モードの仕様

項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKA, TRGCLKB 端子に入力された外部信号（プログラムで有効エッジを選択）
カウント動作	アップカウント
PWM 波形	PWM 周期: $1/f_k \times (m + 1)$ (TRGTRG 入力がない場合) アクティブ・レベル幅: $1/f_k \times (n - p)$ カウント開始またはトリガからのウエイト時間: $1/f_k \times (p + 1)$ f _k : カウントソースの周波数 m: TRGGRA レジスタの設定値 n: TRGGRB レジスタの設定値 p: TRGGRC レジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> • TRGMR1 レジスタの TRGTCEG1, TRGTCEG0 ビットが 00B (TRGTRG トリガ入力禁止) または TRGSTRE レジスタの TRGCSEL ビットが 1 (カウント継続) での TRGMR0 レジスタの TRGSTART ビットへの 1 (カウント開始) 書き込み • TRGMR1 レジスタの TRGTCEG1, TRGTCEG0 ビットが 01B, 10B, 11B (TRGTRG トリガ入力許可) かつ TRGSTRE レジスタの TRGSTART ビットが 1 (カウント開始) での TRGTRG 端子の有効エッジ検出
カウント停止条件	<ul style="list-style-type: none"> • TRGSTRE レジスタの TRGCSEL ビットが 1 のとき、TRGMR0 レジスタの TRGSTART ビットへの 0 (カウント停止) 書き込みにより TRG カウンタはカウントを停止。TRGIOA 出力端子は初期設定レベル (TRGOOCR レジスタの TRGTOA ビットの設定値) にて停止。 • TRGSTRE レジスタの TRGCSEL ビットが 0 かつ TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビットが 01B のとき、TRG カウンタは TRGGRA コンペア一致でカウントを停止。TRGIOA 出力端子は初期設定レベル (TRGOOCR レジスタの TRGTOA ビットの設定値) にて停止。
割り込み要求発生タイミング	<ul style="list-style-type: none"> • コンペア一致 (TRG カウンタと TRGGRA, TRGGRB, TRGGRC レジスタの内容が一致) • TRG カウンタのオーバフロー
TRGIOA 端子機能	PWM 出力
TRGIOB 端子機能	プログラマブル入出力ポート
TRGCLKA, TRGCLKB 端子機能	プログラマブル入出力ポートまたは外部クロック入力
タイマの読み出し	TRG カウンタを読むと、カウント値が読める
タイマの書き込み	TRG カウンタに書き込める
選択機能	<ul style="list-style-type: none"> • TRG カウンタを 0000H にするタイミング • オーバフロー、TRGGRA レジスタのコンペア一致、または TRGTOA ビットが 0 のときに TRGIOA 出力がロウ・レベル中、TRGTOA ビットが 1 のときに TRGIOA 出力がハイ・レベル中の TRGTRG 入力の有効エッジ検出 • 外部トリガ TRGTRG の有効エッジ選択 • エッジ検出無効、立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 • ワンショットパルス出力 • TRGIOA 出力端子の初期レベル選択 • バッファ動作 (13.4.1 (2) バッファ動作参照) • デジタルフィルタ (13.4.1 (3) デジタルフィルタ参照) • パルス出力強制遮断信号入力 (13.4.1 (6) パルス出力強制遮断機能参照)

(1) PWM2モードの設定手順例

図13-37にPWM2モードの設定手順例を示します。

図13-37 PWM2モードの設定手順例



(2) 動作例

図13-38にPWM2モードのTRGTRGトリガ入力禁止の場合、図13-39にPWM2モードのTRGTRGトリガ入力許可の場合の動作例を示します。

図13-38 PWM2モードの動作例 (1)

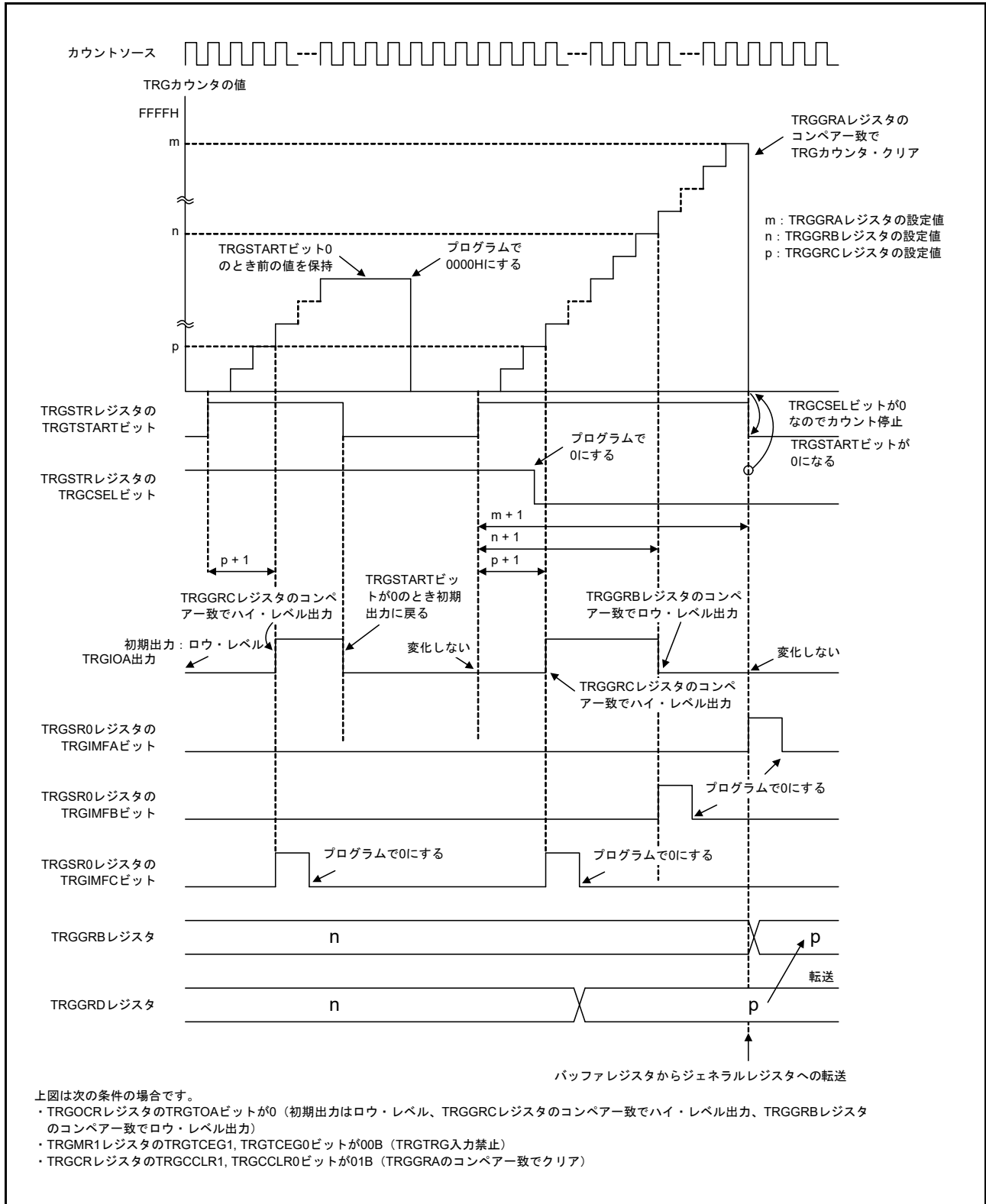


図13-39 PWM2モードの動作例 (2)

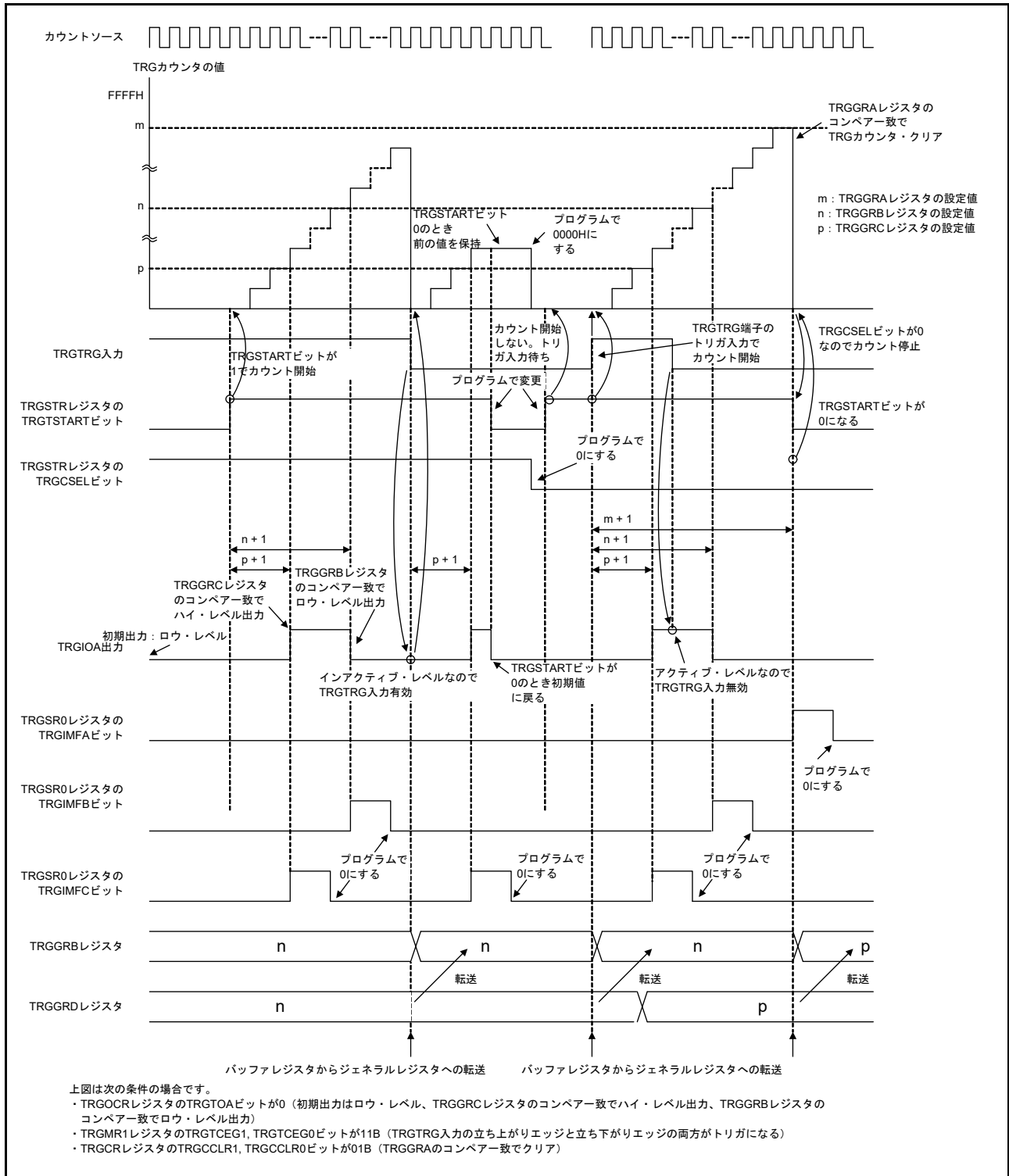


図13-40にPWM2モードのデューティ0%、デューティ100%の動作例を示します。

図13-40 PWM2モードの動作例 (3)

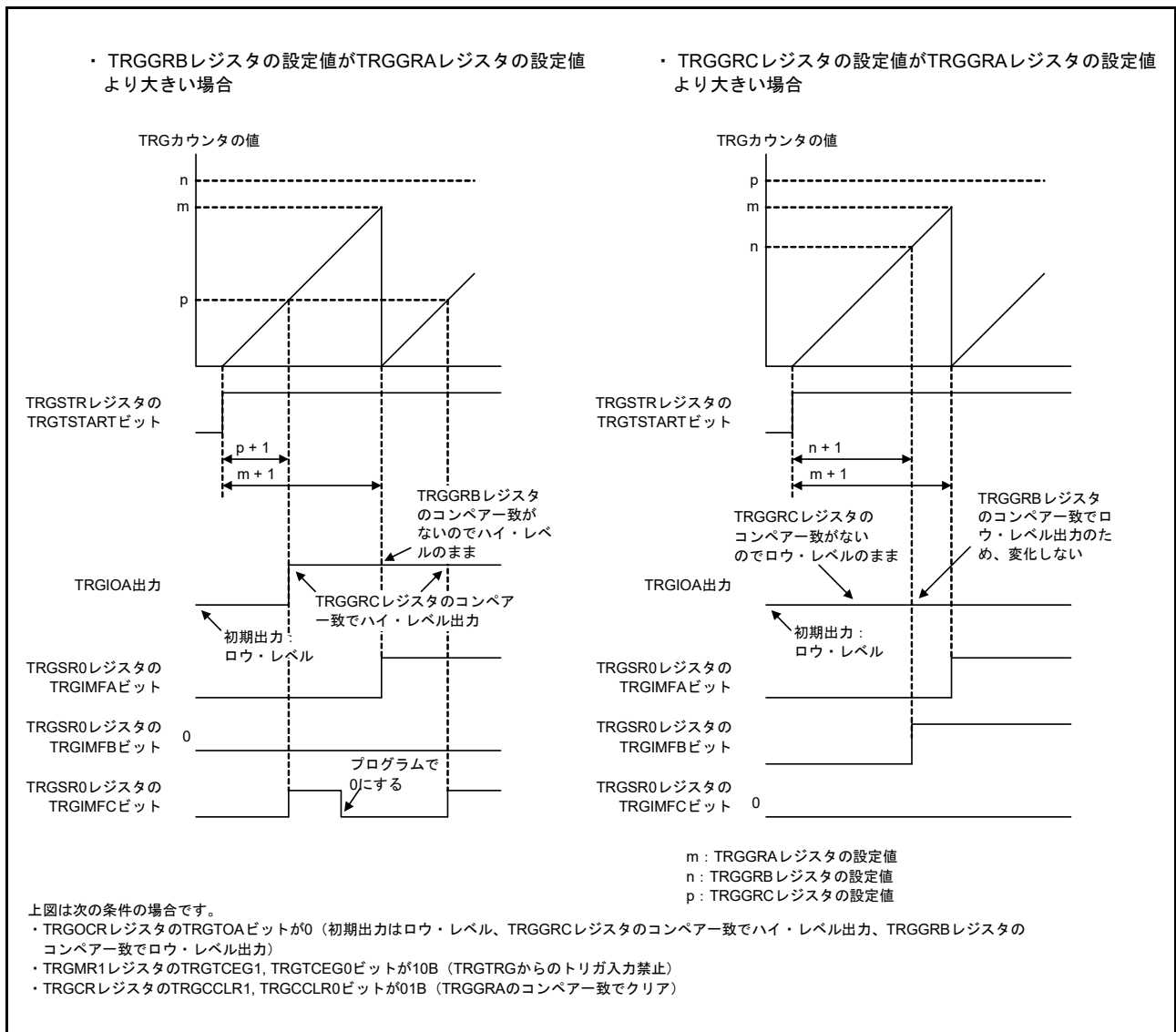


図13-41にPWM2モードのワンショットパルス波形出力、図13-42にPWM2モードのワンショットパルス波形（TRGTRG入力によるカウント開始）の動作例を示します。

図13-41 PWM2モードの動作例 (4)

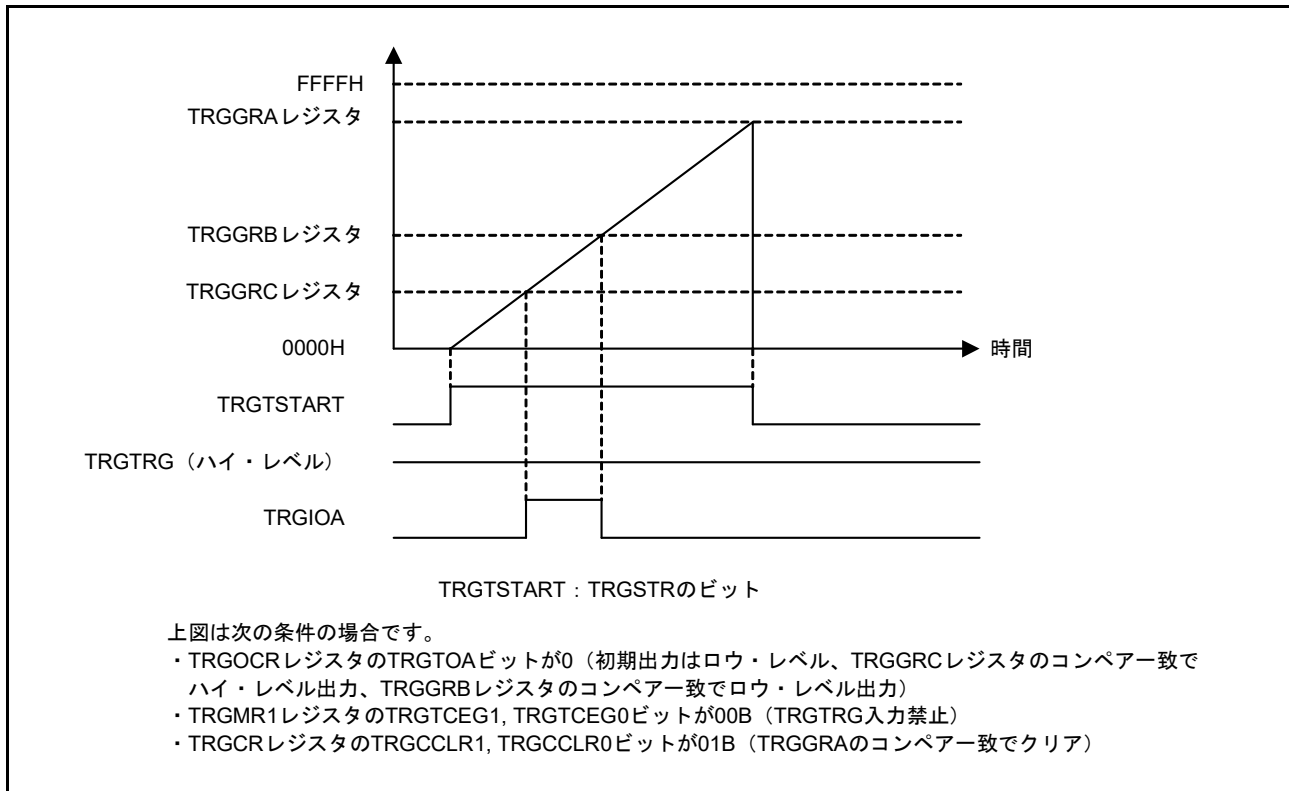
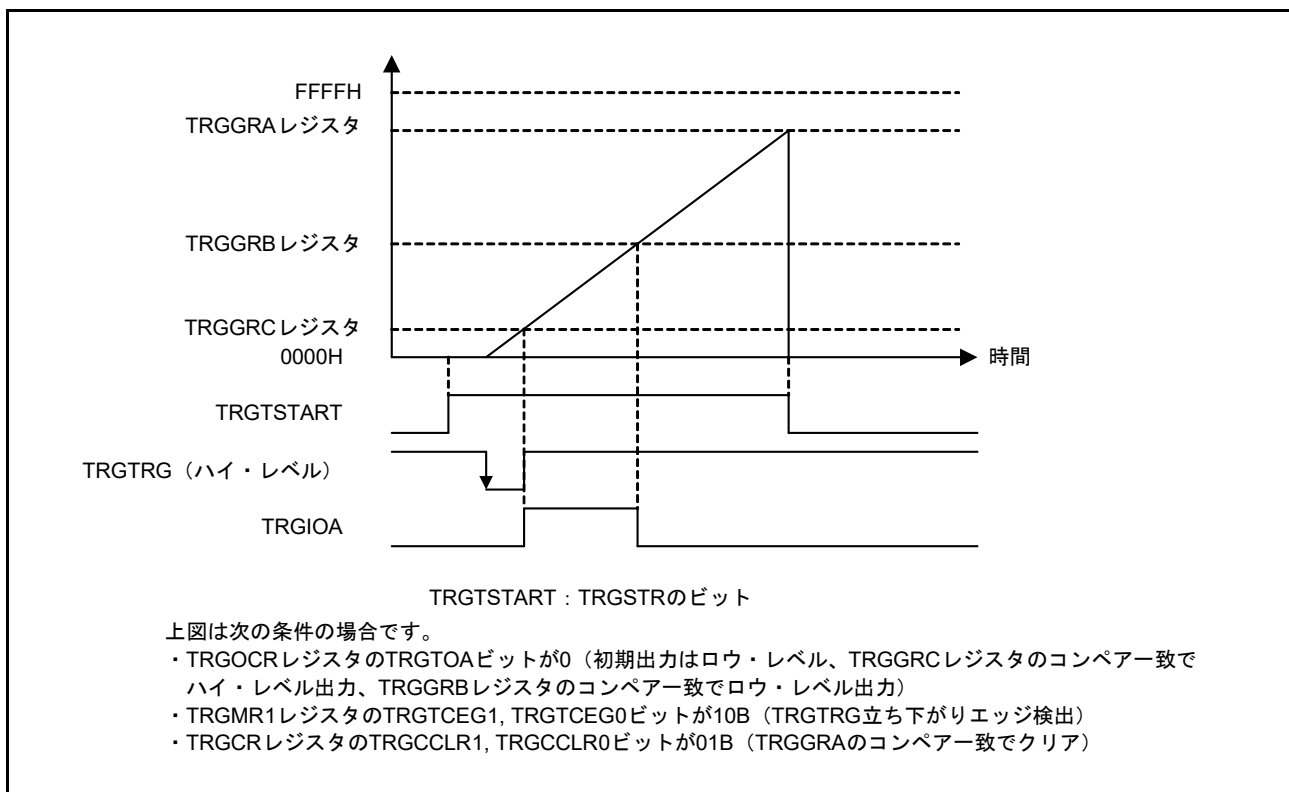


図13-42 PWM2モードの動作例 (5)



13.4.6 位相計数モード

位相計数モードは、2本の TRGCLKA, TRGCLKB 端子からの外部入力信号の位相差を検出し、TRG カウンタをアップ/ダウンカウントします。

PM0 レジスタの PM00 ビットと PM01 ビットが1のとき位相計数モードに設定すると、TRGCR レジスタの TRGTCK2-TRGTCK0, TRGCKEG1, TRGCKEG0 ビットの設定にかかわらず、TRGCLKA, TRGCLKB 端子は自動的に外部クロック入力端子として機能し、また TRG カウンタは TRGCNTC レジスタの CNTEN7-CNTEN0 ビットにより、加算/減算されます。ただし、TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビット、TRGIOR, TRGIER0, TRGSR0, TRGIER1, TRGSR1, TRGGRA, TRGGRB レジスタは有効ですので、インプットキャプチャ/アウトプットコンペア機能や PWM 出力機能や割り込み要因を使用することができます。

TRG カウンタは、CNTEN7-CNTEN0 ビットにより、TRGCLKA, TRGCLKB 端子の立ち上がり/立ち下りの両エッジでカウントします。TRG カウンタのクリア条件として、TRGIDZ, TRGCLKA, TRGCLKB 端子の入力レベル、またはカウント値と TRGGRC, TRGGRD レジスタとの一致を選択できます。

表 13 - 17 に位相計数モードの仕様、表 13 - 18 に TRG カウンタの加算/減算条件を示します。

表13 - 17 位相計数モードの仕様 (1/2)

項目	仕様
カウントソース	TRGCLKA, TRGCLKB 端子に入力された外部信号
カウント動作	アップカウント/ダウンカウント
カウント開始条件	TRGMR0 レジスタの TRGSTART ビットへの1 (カウント開始) 書き込み
カウント停止条件	TRGSTR レジスタの TRGCSEL ビットが1のとき、TRGMR0 レジスタの TRGSTART ビットへの0 (カウント停止) 書き込み
カウンタ・クリア条件	<ul style="list-style-type: none"> • TRGIDZ 端子の有効エッジ検出 • TRGCLKA, TRGCLKB, TRGIDZ 端子のクリア条件レベル成立 • TRG カウンタと TRGGRC レジスタの一致検出後のアップカウント動作 • TRG カウンタと TRGGRD レジスタの一致検出後のダウンカウント動作
割り込み要求発生タイミング (タイマRG2割り込み)	<ul style="list-style-type: none"> • インプットキャプチャ (TRGIOA, TRGIOB 入力の有効エッジ) • コンペアー一致 (TRG カウンタと TRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタの内容が一致) • TRG カウンタのオーバフロー • TRG カウンタのアンダフロー
割り込み要求発生タイミング (タイマRG2クリア割り込み)	TRG カウンタのクリア条件検出
割り込み要求発生タイミング (タイマRG2位相変化検出割り込み注)	TRGCNTC レジスタで設定したA相/B相の位相検出による TRG カウンタのアップダウンカウント動作
TRGIOA 端子機能	I/Oポート、インプットキャプチャ入力、アウトプットコンペアー出力、またはPWM出力
TRGIOB 端子機能	I/Oポート、インプットキャプチャ入力、またはアウトプットコンペアー出力
TRGCLKA, TRGCLKB 端子機能	外部クロック入力
TRGIDZ 端子機能	TRG カウンタ・クリア機能
タイマの読み出し	<ul style="list-style-type: none"> • TRG カウンタを読むと、カウント値が読める • TRGPMC レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • TRG カウンタに書き込める • TRGPMC レジスタに書き込める

表13-17 位相計数モードの仕様 (2/2)

項目	仕様
選択機能	<ul style="list-style-type: none"> カウンタの加算／減算条件選択 TRGCNTCレジスタのCNTEN7-CNTEN0ビットで選択 インプットキャプチャ／アウトプットコンペア機能、PWM機能を使用可 カウンタ・クリア機能 位相変化時間計測機能

注 TRGMR0レジスタのTRGSTARTビットに1が設定され、最初にTRGCNTCレジスタで設定したA相／B相の位相を検出し、TRGカウンタがカウント動作を開始したタイミングではキャプチャ動作は発生せず、タイマRG2位相変化検出割り込みも発生しません。

表13-18 TRGカウンタの加算／減算条件

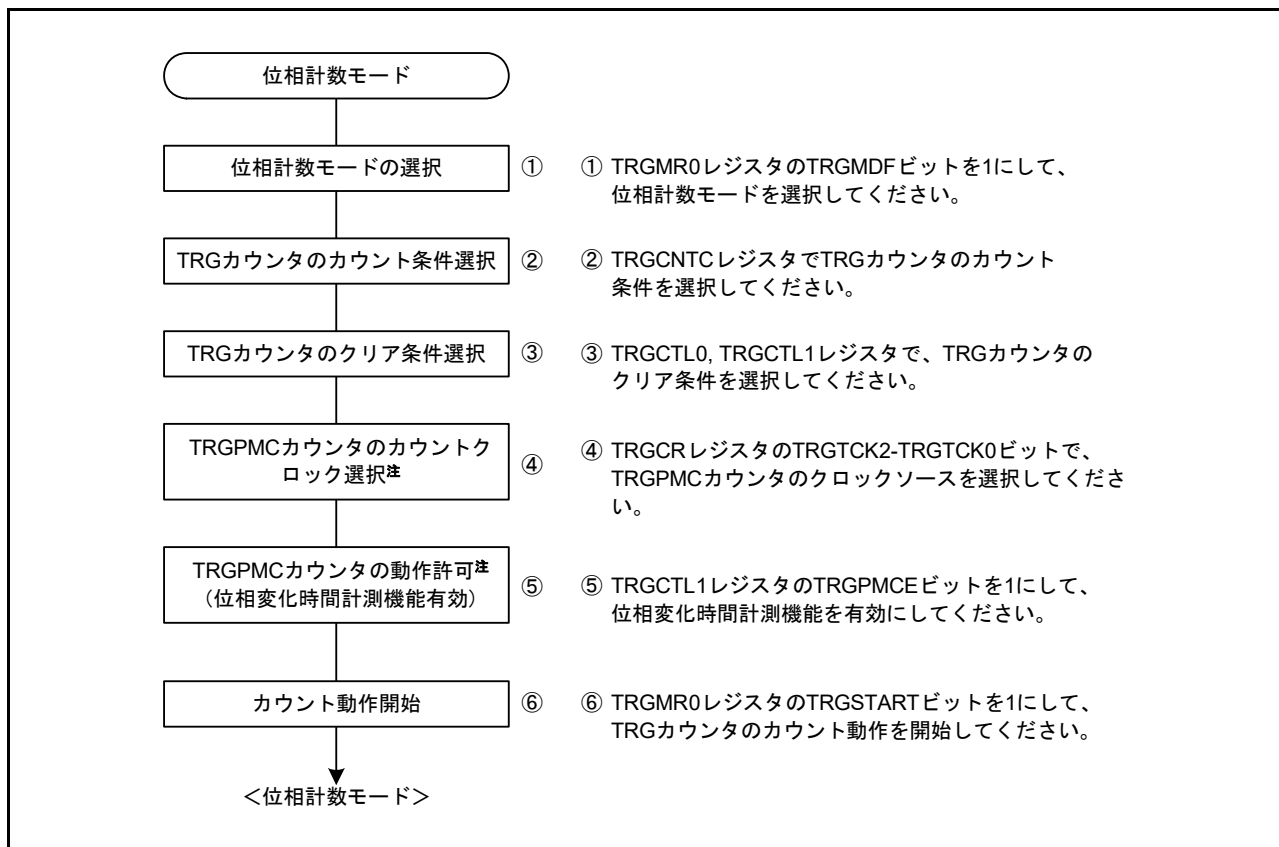
TRGCLKB端子	↑	ハイ・レベル入力	↓	ロウ・レベル入力	ハイ・レベル入力	↓	ロウ・レベル入力	↑
TRGCLKA端子	ロウ・レベル入力	↑	ハイ・レベル入力	↓	↓	ロウ・レベル入力	↑	ハイ・レベル入力
TRGCNTCレジスタのCNTEN7-CNTEN0ビット	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
カウント方向 ^注	+1	+1	+1	+1	-1	-1	-1	-1

注 TRGCNTCレジスタの各ビットが1（ダウンカウントまたはアップカウント）のときのカウント方向を示しています。TRGCNTCレジスタが00Hのとき、位相カウントはしません。

(1) 位相計数モードの設定手順例

図13-43に位相計数モードの設定手順例を示します。

図13-43 位相計数モードの設定手順例



注 TRGPMCカウンタを使用して、TRGCLKA (A相) 入力とTRGCLKB (B相) 入力の位相変化時間を計測する場合には設定が必要です。詳細は、13.4.6 (4) 位相変化時間計測機能を参照してください。

(2) 動作例

図13-44～図13-47に位相計数モードの動作例を示します。

位相計数モードでは、TRGCNTCレジスタのCNTEN7-CNTEN0ビットにより、TRGCLKA, TRGCLKB端子の立ち上がり（↑）／立ち下がり（↓）の両エッジで加算／減算されます。

図13-44 位相計数モードの動作例 (1)

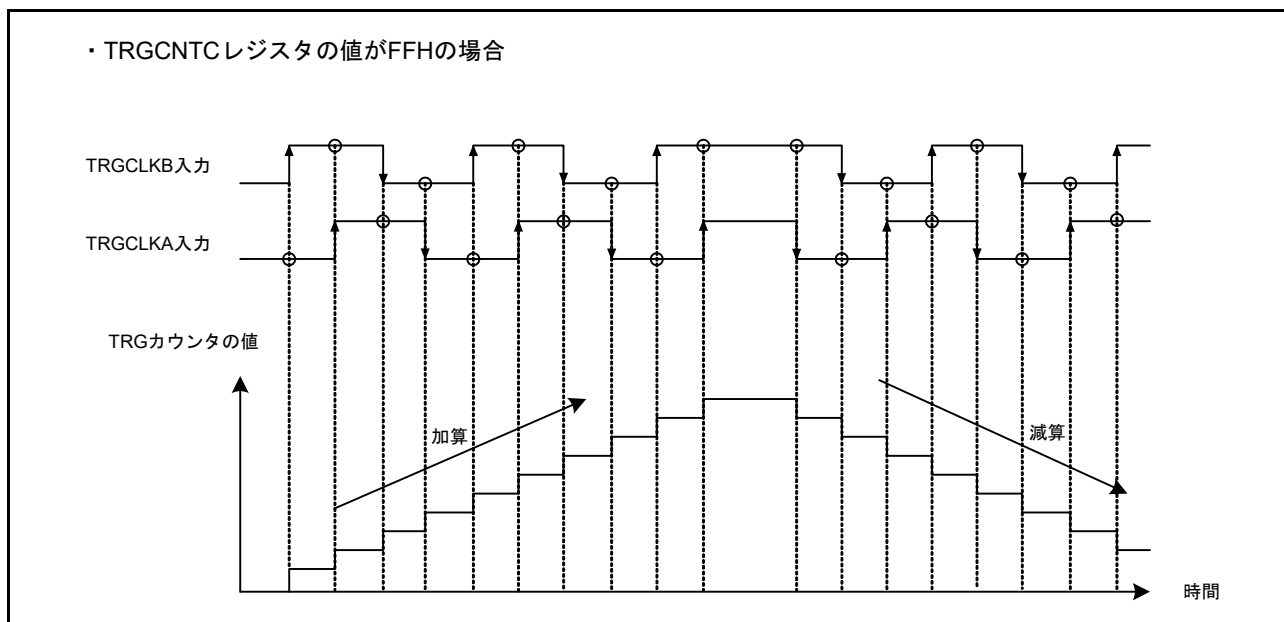


図13-45 位相計数モードの動作例 (2)

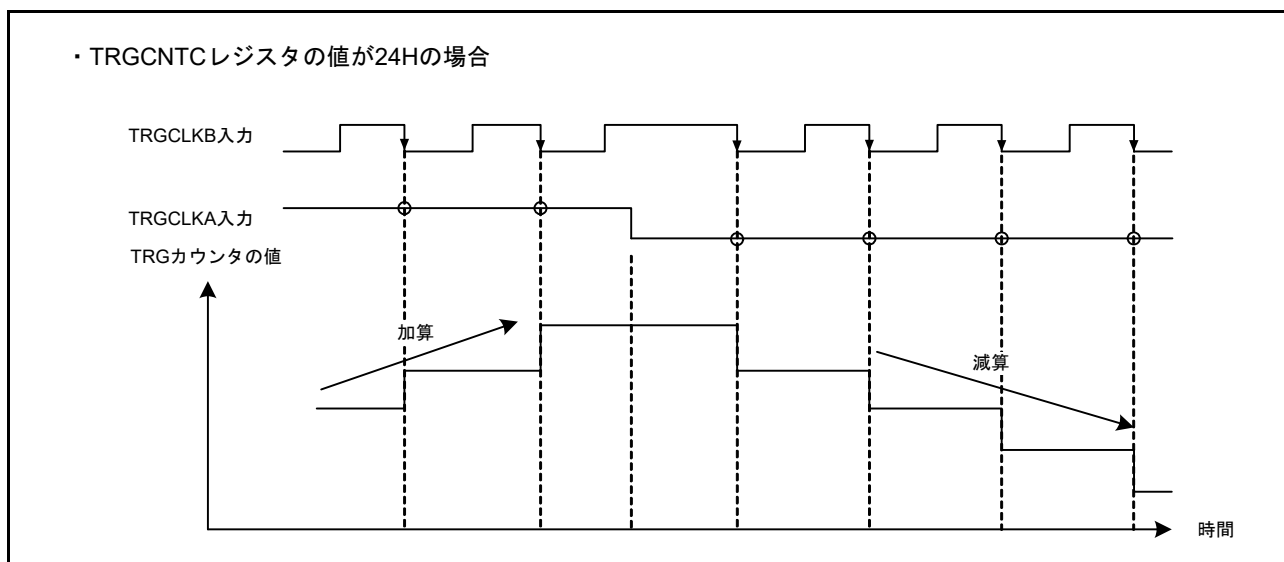


図13-46 位相計数モードの動作例 (3)

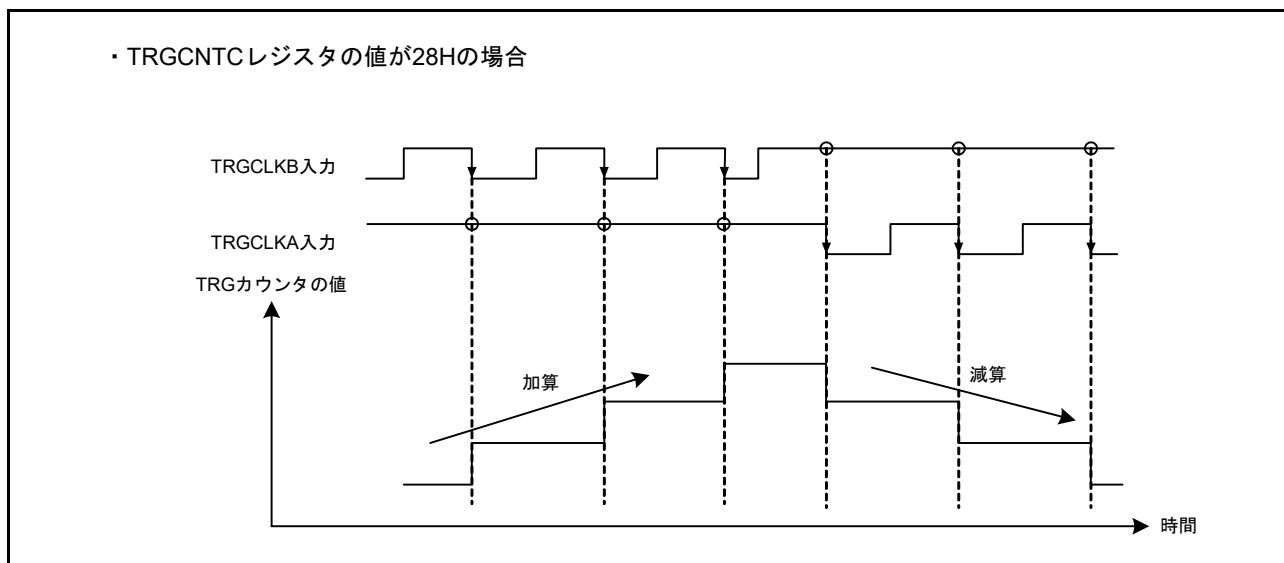
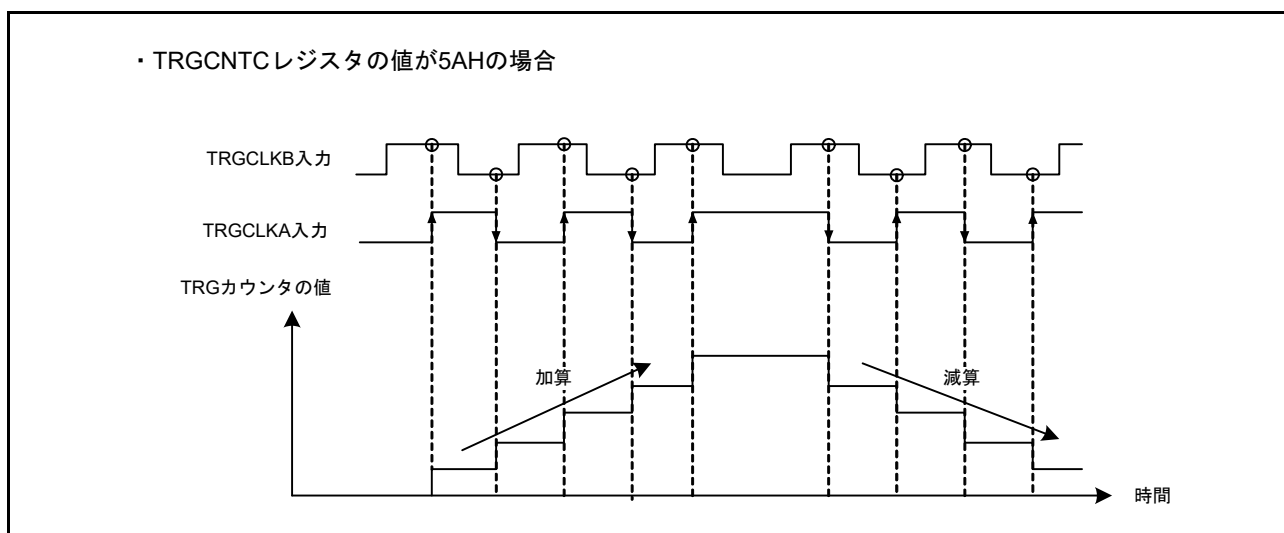


図13-47 位相計数モードの動作例 (4)



(3) カウンタ・クリア機能

位相計数モードでは、TRGカウンタをクリアする3種類の機能が使用可能です。

① TRGIDZ端子の有効エッジ (TRGIDZ1, TRGIDZ0) 検出によるクリア

TRGCTL0レジスタのTRGSCEビットが0のときにTRGIDZ1, TRGIDZ0ビットで設定したTRGIDZ入力の有効エッジを検出するとTRGカウンタを0000Hにクリアします。

② TRGCLKA, TRGCLKB, TRGIDZ入力のクリア条件レベル (TRGZCL, TRGBCL, TRGACL) 成立によるクリア

TRGCTL0レジスタのTRGSCEビットが1のときにTRGZCL, TRGBCL, TRGACLビットで設定したレベルとTRGIDZ, TRGCLKB, TRGCLKA入力の入力レベルが合致するとTRGカウンタを0000Hにクリアします。

③ TRGカウンタとTRGGRC, TRGGRDレジスタの一致検出によるクリア

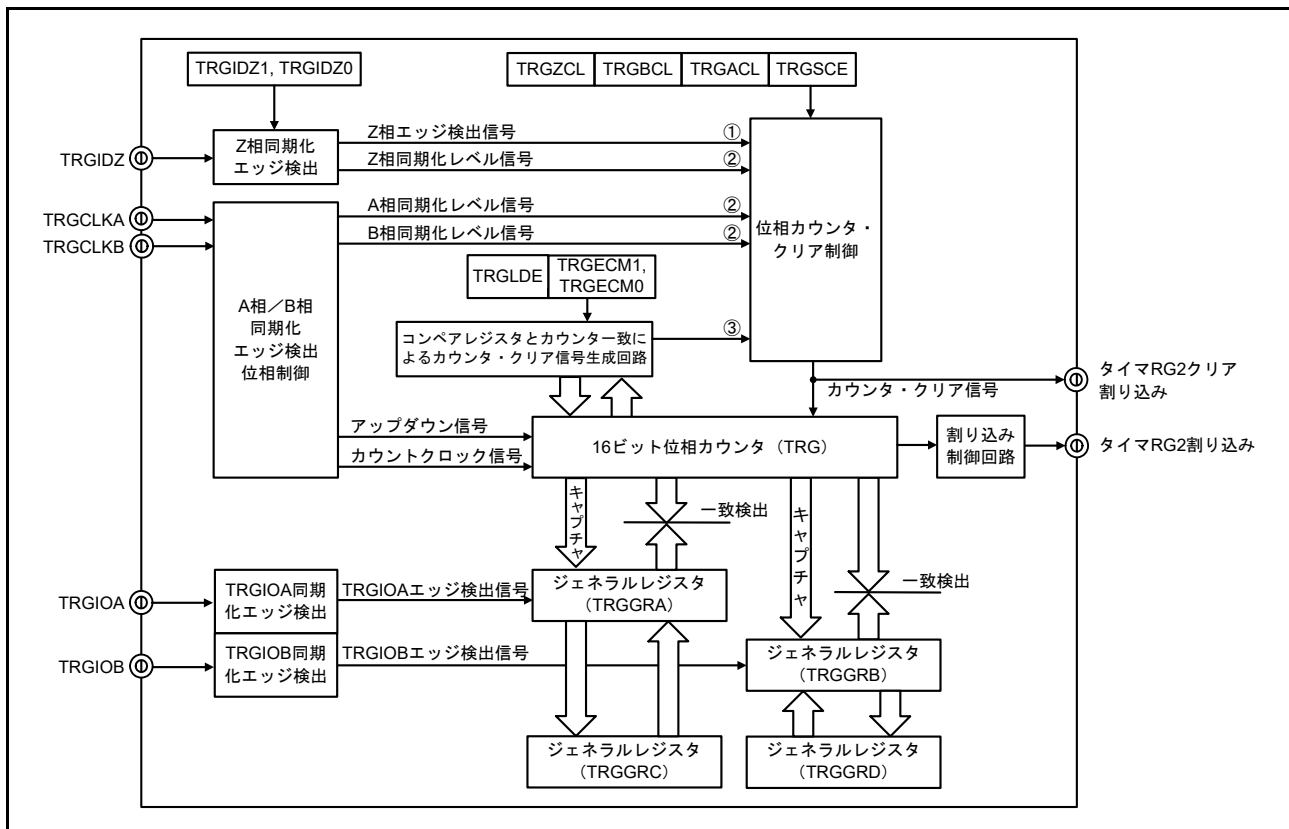
TRGCTL1レジスタのTRGECM0ビットが1のときにTRGGRCレジスタはジェネラルレジスタとして動作し、TRGIORレジスタのTRGBUFAビットの設定は無効となります。TRGとTRGGRCが一致した次のカウントがアップカウントだった場合、TRGカウンタを0000Hにクリアします。TRGCTL1レジスタのTRGLDEビットが1のときにTRGがアンダフローした次のカウントがダウンカウントだった場合、TRGカウンタにTRGGRCレジスタの設定値をロードします。

TRGCTL1レジスタのTRGECM1ビットが1のときにTRGGRDレジスタはジェネラルレジスタとして動作し、TRGIORレジスタのTRGBUFBビットの設定は無効となります。TRGカウンタとTRGGRDレジスタが一致した次のカウントがダウンカウントだった場合、TRGカウンタを0000Hにクリアします。

TRGIDZ端子の有効エッジ検出、3入力のクリア条件レベル成立によるクリアが発生するとTRGSR1レジスタのTRGZCLFフラグがセットされ、TRGGRC, TRGGRDレジスタの一致検出によるクリアが発生するとTRGPCLFフラグがセットされ、タイマRG2クリア割り込みが発生します。

図13-48に位相計数モードのカウンタ・クリア機能ブロック図を示します。

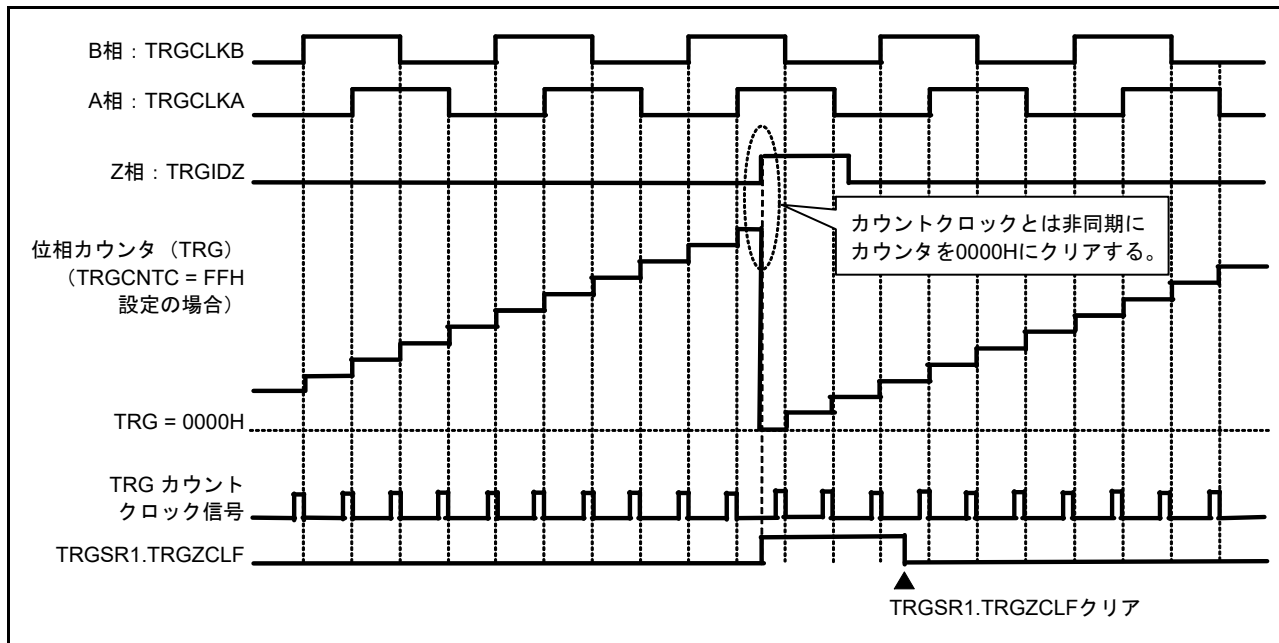
図13-48 位相計数モードのカウンタ・クリア機能ブロック図



位相計数モードにおけるTRGカウンタのクリア機能詳細を以下に示します。

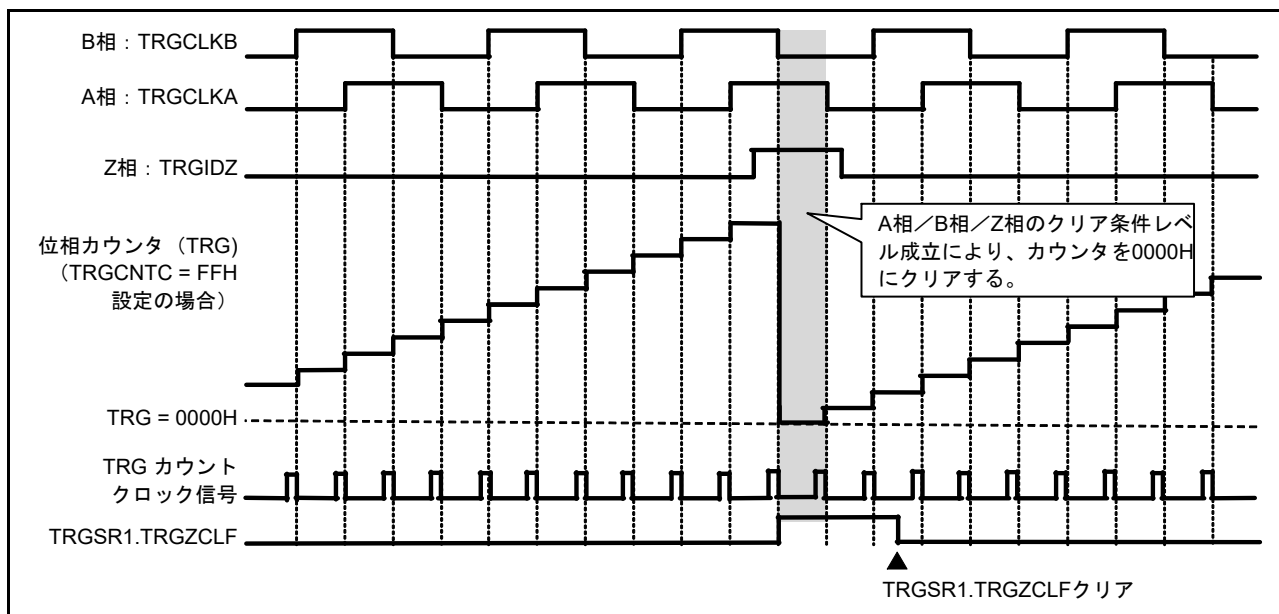
① TRGIDZ端子の有効エッジ (IDZ1-0) 検出によるクリア

図13-49 TRGIDZ有効エッジ検出によるカウンタ・クリア



② TRGCLKA, TRGCLKB, TRGIDZ入力のクリア条件レベル (TRGZCL, TRGBCL, TRGACL) 成立によるクリア

図13-50 クリア条件レベル成立によるカウンタ・クリア



③ TRGカウンタとTRGGRC, TRGGRDレジスタの一致検出によるクリア

図13-51～図13-54にTRGCTL1レジスタの設定を変更した場合の構成図と動作例を示します。

動作例1) TRGCTL1レジスタのTRGECM0 = 1, TRGECM1 = 0, TRGLDE = 1のときの動作

TRGカウンタとTRGGRCレジスタが一致した次のカウントがアップカウントだった場合、TRGカウンタを0000Hにクリアします。TRGCTL1レジスタのTRGLDEビットが1のときに、TRGカウンタがアンダフローした次のカウントがダウンカウントだった場合、TRGカウンタにTRGGRCレジスタの設定値をロードします。

TRGGRCレジスタの一致検出によるクリアが発生するとTRGPCLFフラグがセットされます。

図13-51 TRGECM0 = 1, TRGECM1 = 0, TRGLDE = 1のときの構成図

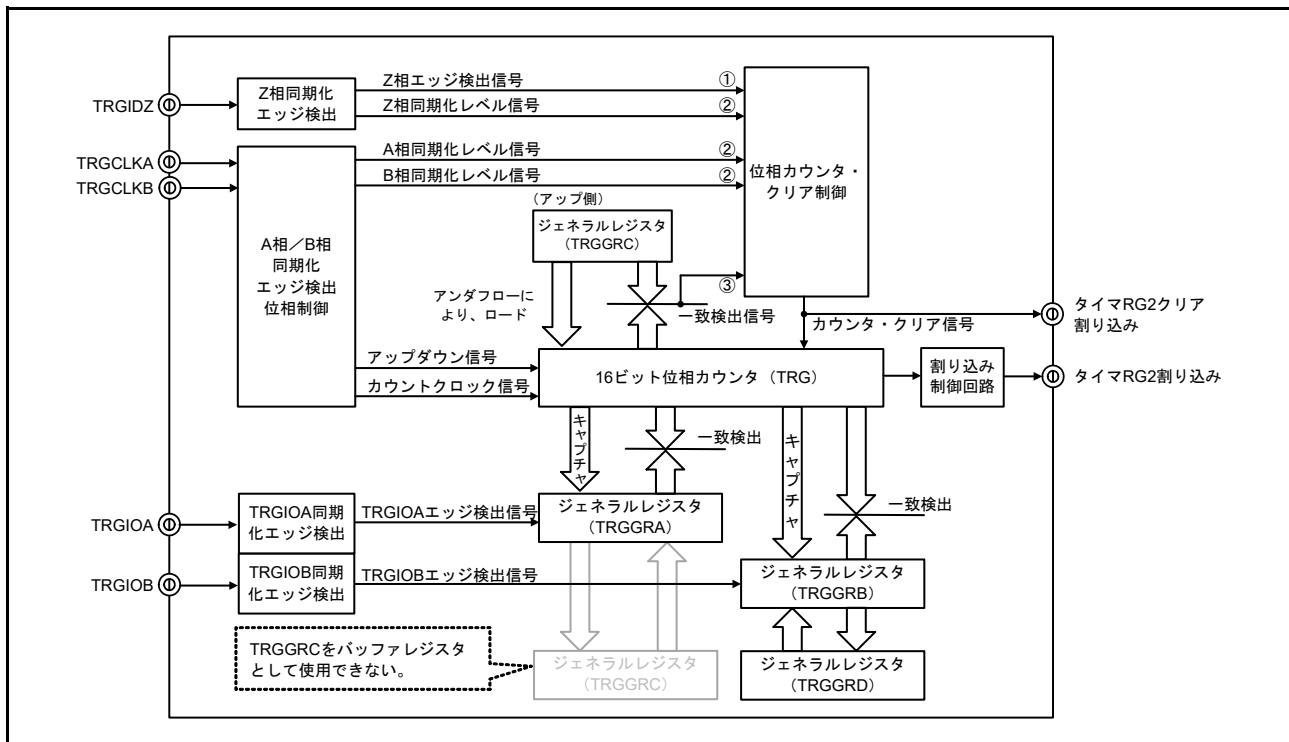
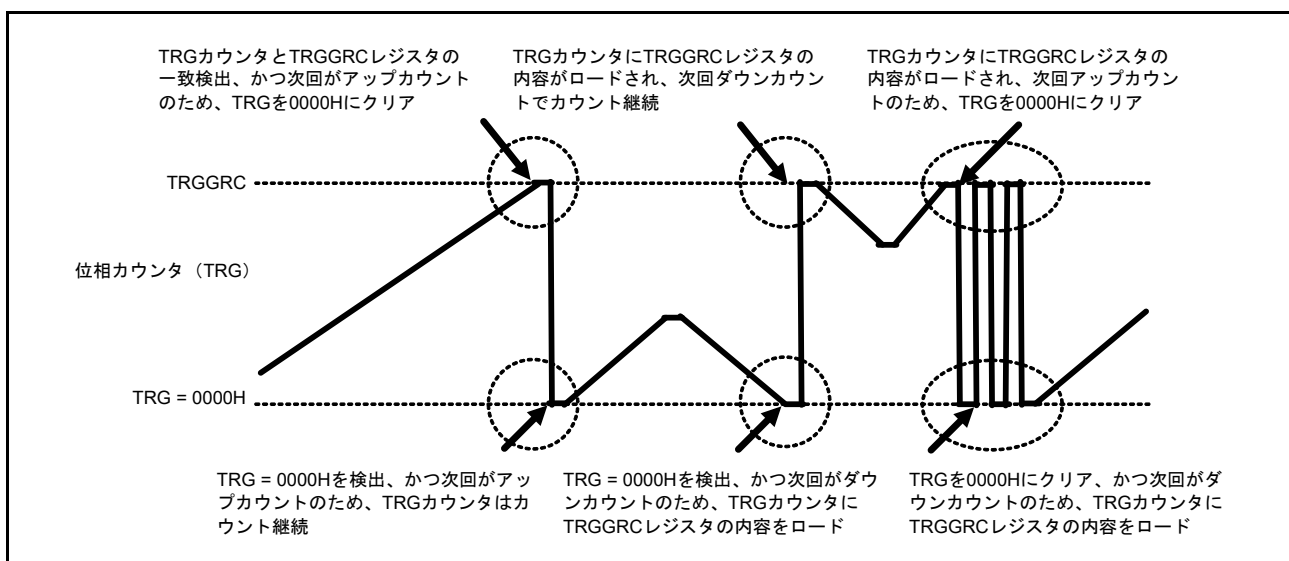


図13-52 TRGECM0 = 1, TRGECM1 = 0, TRGLDE = 1のときの動作例



動作例2) TRGCTL1レジスタのTRGECM0 = 1, TRGLDE = 0, TRGECM1 = 1のときの動作

TRGECM0 = 1, TRGECM1 = 1, TRGLDE = 0のとき、TRGGRCレジスタの設定値を上限として0000Hでクリアされず、FFFFHからTRGGRDレジスタの設定値を下限としてカウントします。TRGCRC ≤ TRGGRDの関係になるよう値を設定してください。

TRGカウンタとTRGGRCレジスタが一致した次のカウントがアップカウントだった場合、TRGカウンタを0000Hにクリアします。

TRGカウンタとTRGGRDレジスタが一致した次のカウントがダウンカウントだった場合、TRGカウンタを0000Hにクリアします。TRGGRC, TRGGRDレジスタの一致検出によるクリアが発生すると、TRGPCLFフラグがセットされます。

図13-53 TRGECM0 = 1, TRGLDE = 0, TRGECM1 = 1のときの構成図

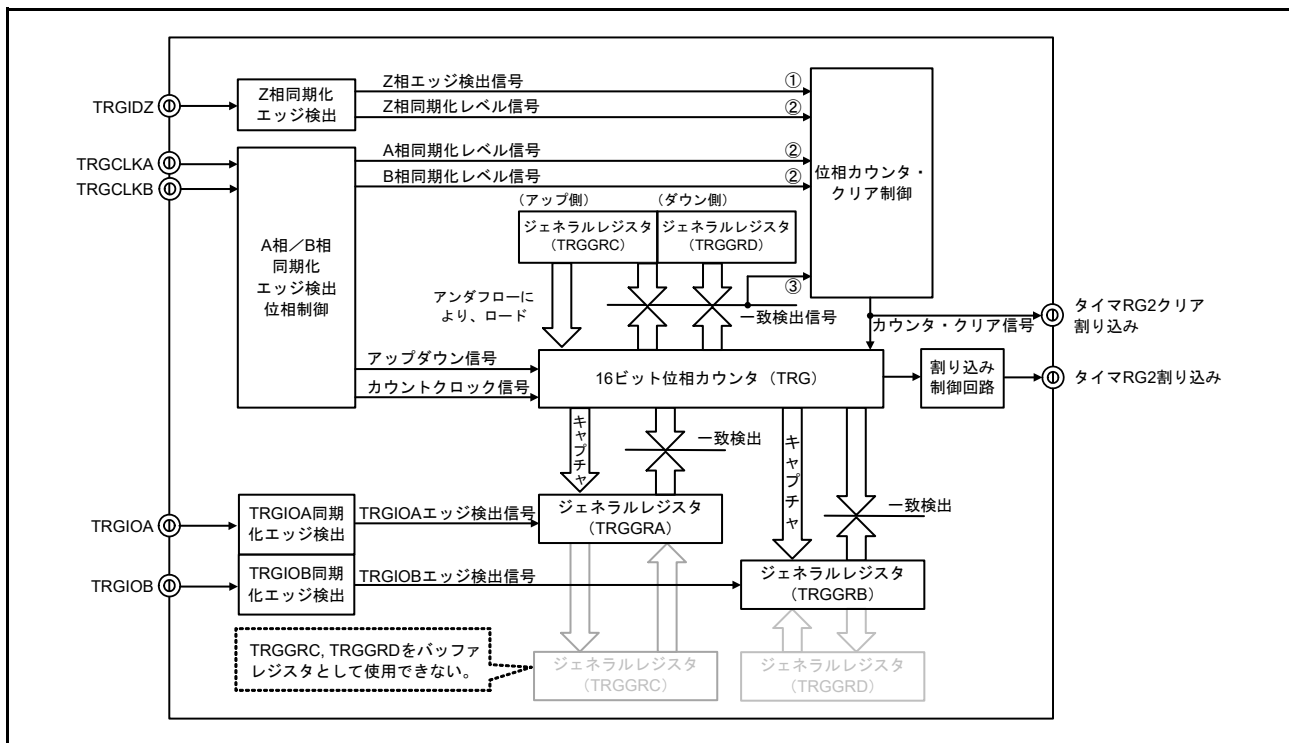
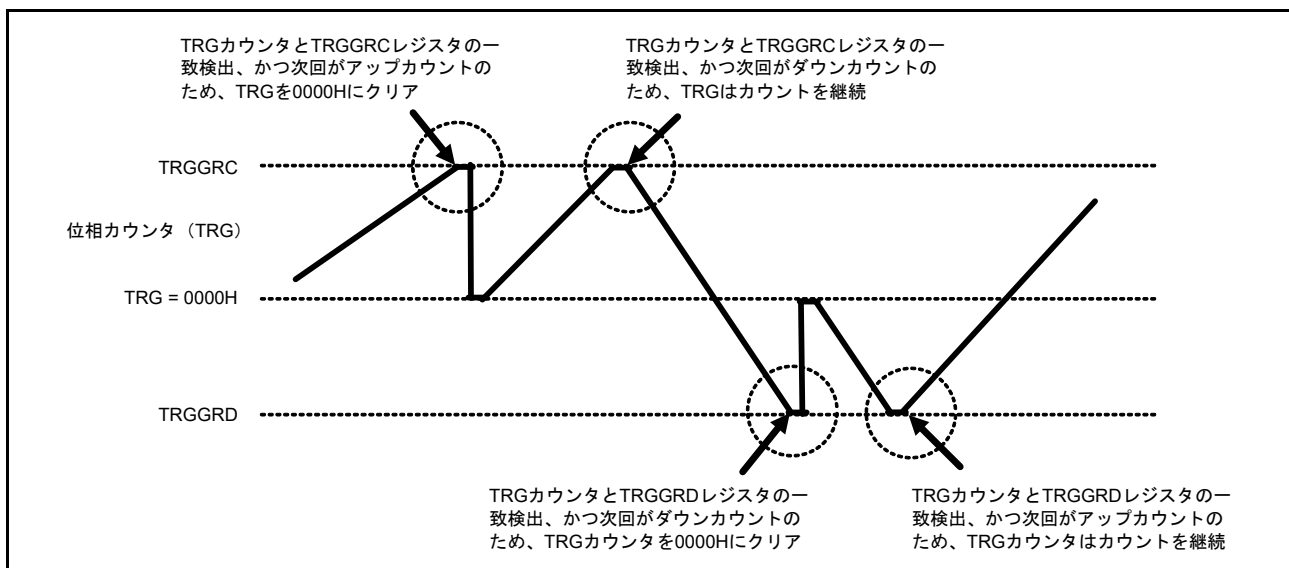


図13-54 TRGECM0 = 1, TRGLDE = 0, TRGECM1 = 1のときの動作例



(4) 位相変化時間計測機能

位相計数モードでは、位相変化時間計測カウンタ（TRGPMC）と、そのカウント値をキャプチャする2つの位相変化時間計測キャプチャレジスタ0, 1（TRGCAP0, TRGCAP1）を使用しTRGCLKAとTRGCLKB端子入力の位相変化時間を計測する位相変化時間計測機能が使用可能です。

TRGPMCレジスタはTRGCNTCレジスタで設定したA相／B相の位相検出によるTRGカウンタのアップダウンカウンタ動作により0001Hにクリアされ、TRGCRレジスタのTRGTCK2-TRGTCK0ビットで設定したクロックソースに従いアップカウンタ動作します。TRGCNTCレジスタで設定したA相／B相の位相検出によるTRGカウンタのアップダウンカウンタ動作のタイミングでTRGPMCレジスタの値をTRGCAP0レジスタに転送し、TRGCAP0レジスタの値（1つ前のキャプチャ値）をTRGCAP1レジスタに転送します。TRGCAP0レジスタとTRGCAP1レジスタに格納された値により、TRGCLKAとTRGCLKB端子入力の位相変化時間を計測することができます。

A相／B相の位相変化時間 = TRGCAP0レジスタ値 × TRGPMCカウンタソース（fCLK, fCLK/2, fCLK/4, fCLK/8）

注意 TRGCLKA, TRGCLKBの検出はfCLK同期となるため、TRGPMCカウンタソースにfCLK/2, fCLK/4, fCLK/8を選択した場合、最大TRGPMCカウンタソース（fCLK/2, fCLK/4, fCLK/8）の誤差が発生します。

表13-19に位相変化時間計測機能の仕様を示します。

表13-19 位相計数モードの仕様

項目	仕様
TRGPMCカウンタソース	fCLK, fCLK/2, fCLK/4, fCLK/8
TRGPMCカウンタ動作	アップカウンタ
TRGPMCカウンタ開始条件	TRGMR0レジスタのTRGSTARTビットへの1（カウント開始）書き込み後のA相／B相の位相検出によるTRGカウンタのアップダウンカウンタ動作開始
TRGPMCカウンタ停止条件	TRGSTRレジスタのTRGCSELビットへの1書き込みかつTRGMR0（TRGSTR）レジスタのTRGSTART（TRGTSTART）ビットへの0（カウント停止）書き込み
TRGPMCカウンタクリア条件	A相／B相の位相検出によるTRGカウンタのアップダウンカウンタ動作検出
割り込み要求発生タイミングタイマRG2位相変化検出割り込み	TRGCNTCレジスタで設定したA相／B相の位相検出によるTRGカウンタのアップダウンカウンタ動作
タイマの読み出し	TRGPMCレジスタを読むと、カウント値が読める
タイマの書き込み	TRGPMCレジスタに書き込める
選択機能	バッファ動作（13.4.1 (2) バッファ動作参照）

図13-55 位相計数モードと位相変化時間計測機能

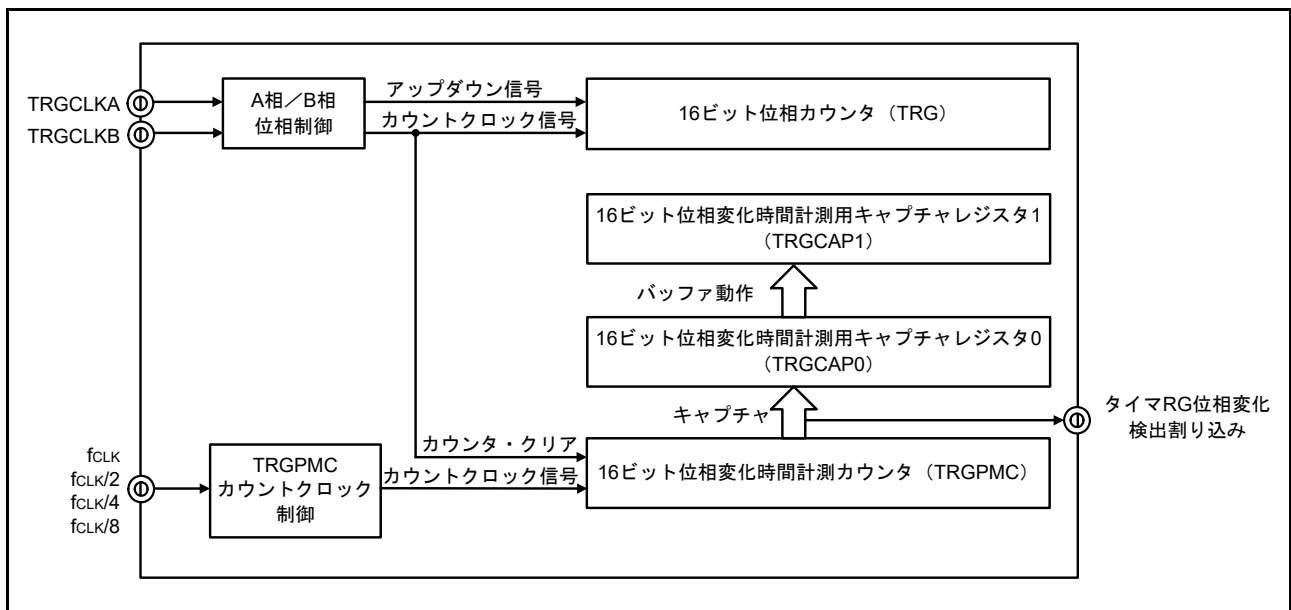


図13-56～図13-59に、位相計数モードでの位相変化時間計測機能の動作例を示します。

図13-56 位相計数モードの位相変化時間計測機能 (1)

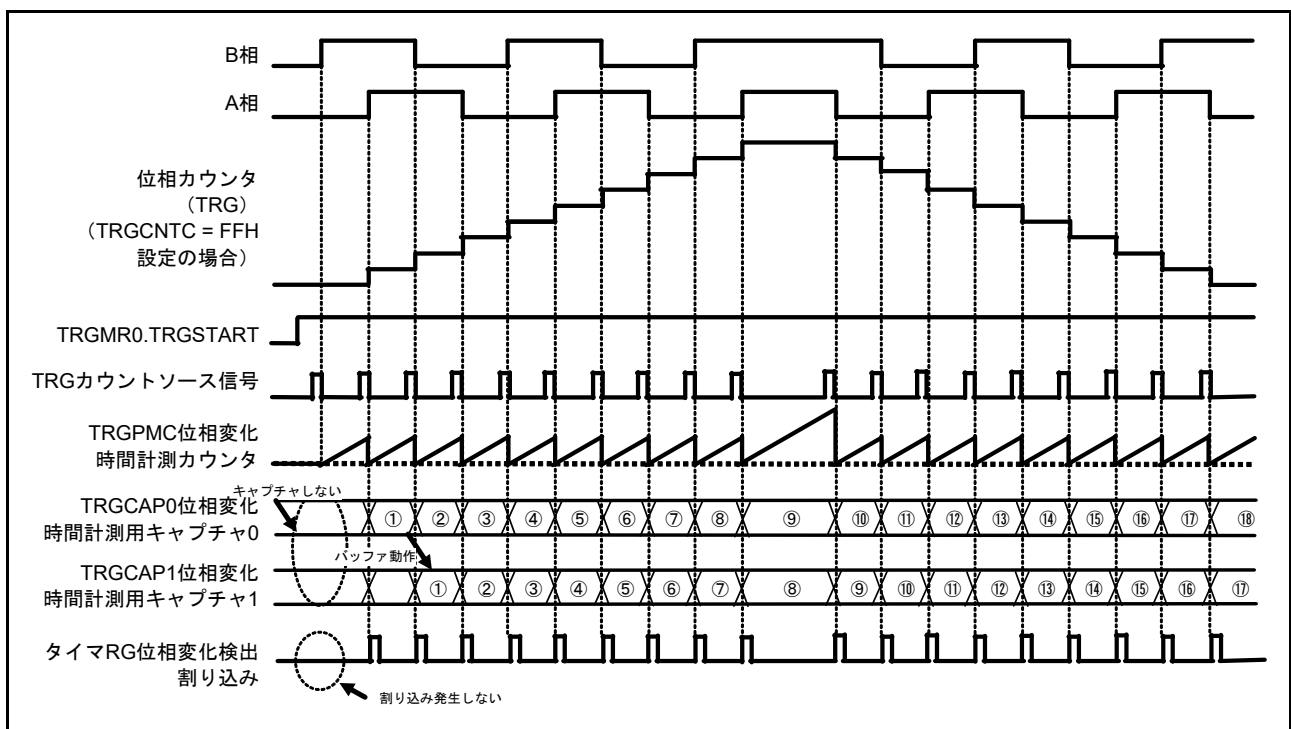


図13-57 位相計数モードの位相変化時間計測機能 (2)

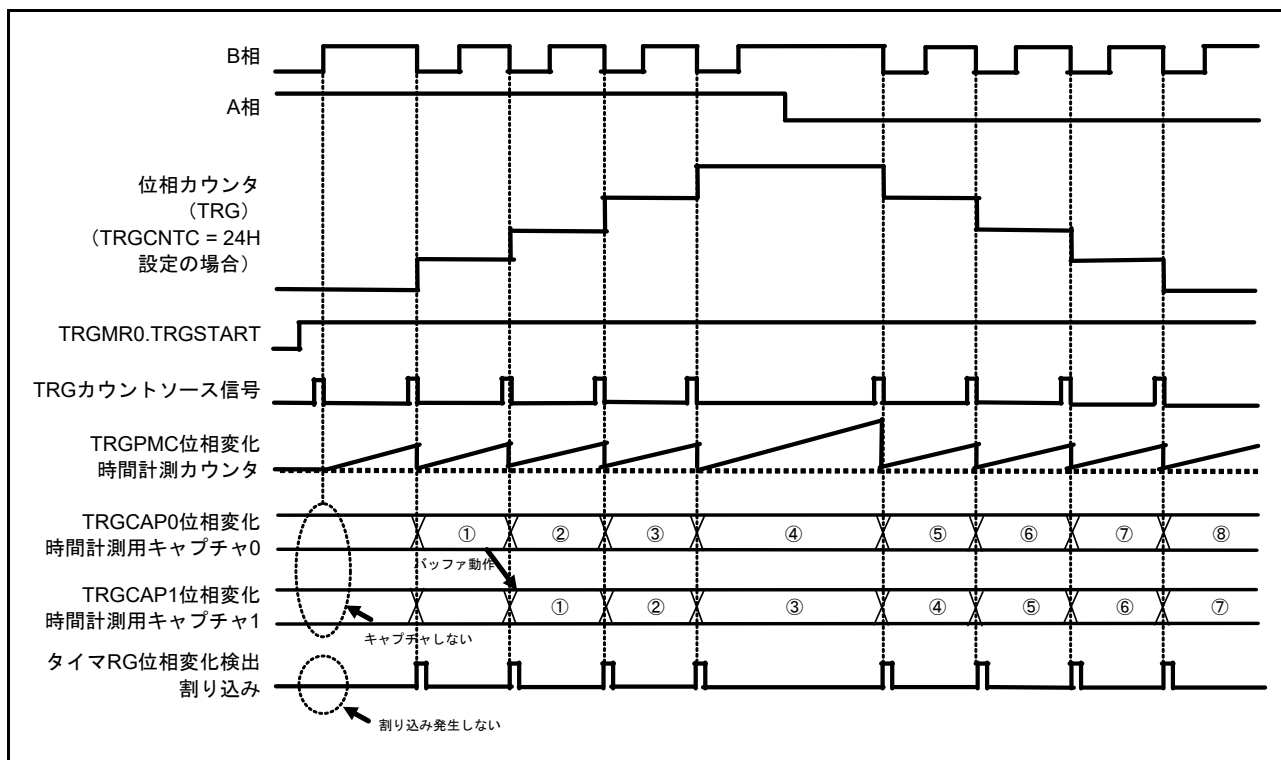


図13-58 位相計数モードの位相変化時間計測機能 (3)

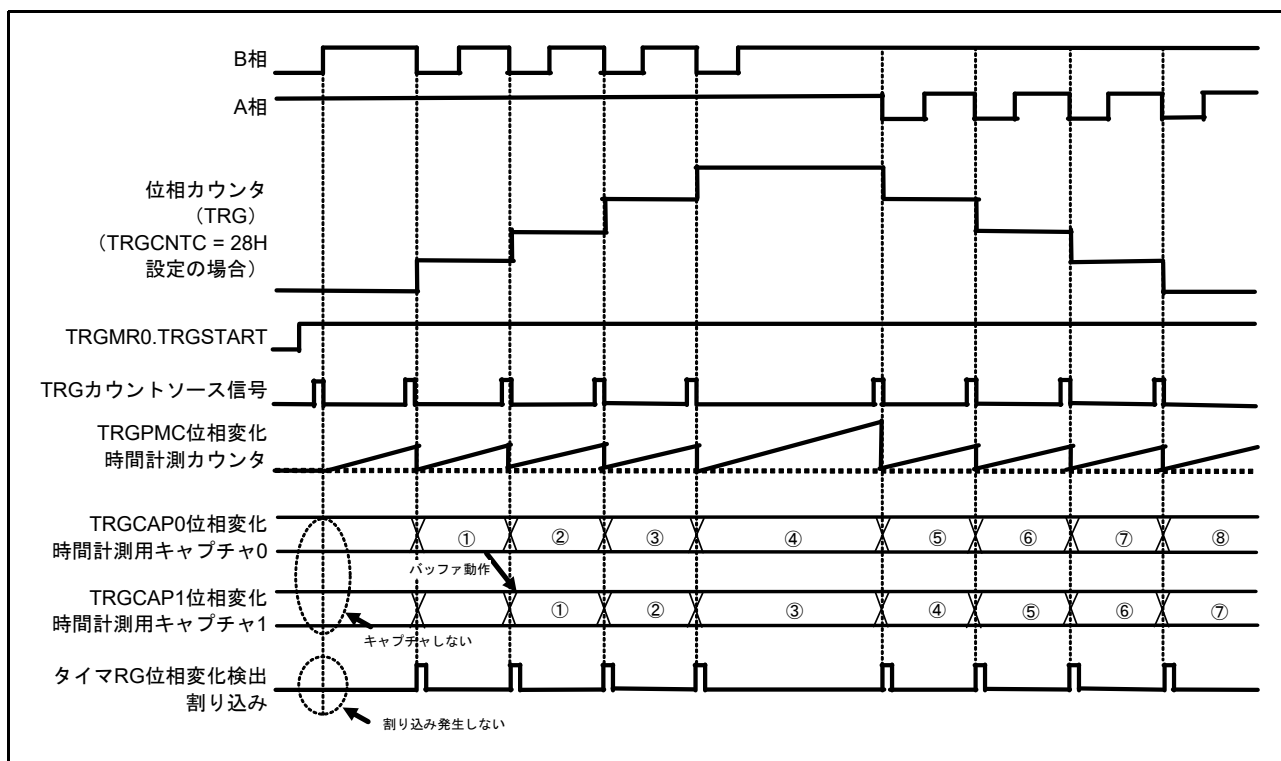
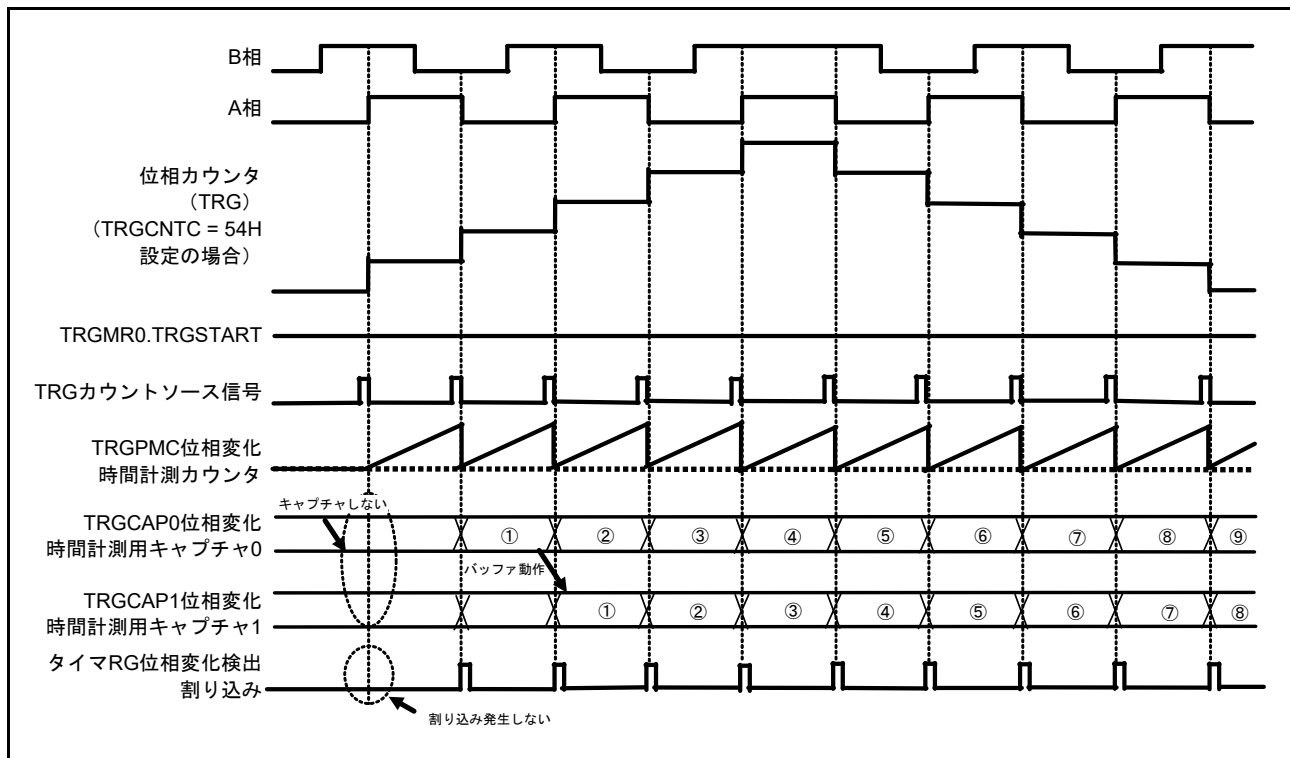


図13-59 位相計数モードの動作例4での位相変化時間計測機能 (4)



13.5 割り込み要因

タイマRG2は、3本のタイマ割り込み（タイマRG2割り込み、タイマRG2クリア割り込み、タイマRG2位相変化検出割り込み）を発生します。

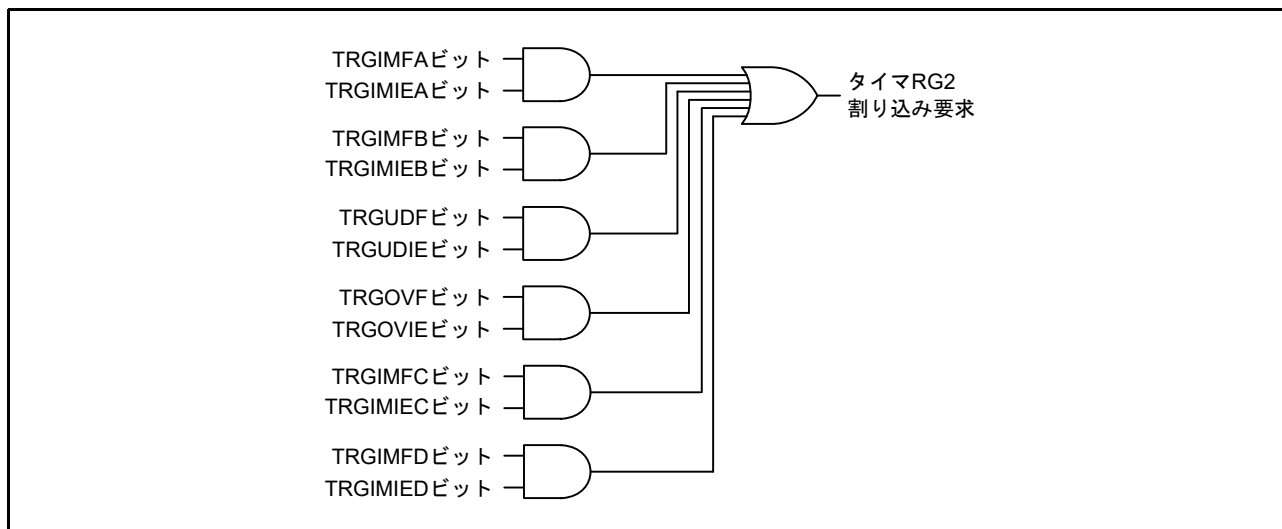
13.5.1 タイマRG2割り込み

タイマRG2は、6つの要因からタイマRG2割り込み要求を発生します。表13-20にタイマRG2割り込み関連レジスタ、図13-60にタイマRG2割り込みのブロック図を示します。

表13-20 タイマRG2割り込み関連レジスタ

	タイマRGステータスレジスタ	タイマRG割り込み許可レジスタ	割り込み要求フラグ（レジスタ）	割り込みマスク・フラグ（レジスタ）	優先順位指定フラグ（レジスタ）
タイマRG2	TRGSR0	TRGIER0	TRGIF (IF1H)	TRGMK (MK1H)	TRGPR0 (PR01H) TRGPR1 (PR11H)

図13-60 タイマRG2割り込みのブロック図



TRGIMFA, TRGIMFB, TRGUDF, TRGOVF, TRGIMFC, TRGIMFD : TRGSR0レジスタのビット

TRGIMIEA, TRGIMIEB, TRGUDIE, TRGOVIE, TRGIMIEC, TRGIMIED : TRGIER0レジスタのビット

タイマRG2は、複数の割り込み要求要因から1つの割り込み要求（タイマRG2割り込み）を発生するため、タイマRD2割り込みを除くほかのマスカブル割り込みとは次のような違いがあります。

- TRGSR0レジスタのビットが1で、それに対するTRGIERレジスタのビットが1（割り込み許可）の場合、IF1HレジスタのTRGIFビットが1（割り込み要求あり）になります。
- TRGIER0レジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRGSR0レジスタで判定してください。
- TRGSR0レジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。

- タイマRG2の、ある割り込み要因のステータスフラグ（以下「当該ステータスフラグ」とする）を0にするとき、その割り込みがタイマRG割り込み許可レジスタ*i*（TRGIER0）で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

- (a) タイマRG割り込み許可レジスタ0（TRGIER0）を00H（すべての割り込みを禁止）にしたあと、当該ステータスフラグに0を書いてください。
- (b) タイマRG割り込み許可レジスタ0（TRGIER0）の中に1（許可）にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。
- (例) TRGIMIEA, TRGOVIEが割り込み許可、TRGIMIEBが割り込み禁止の状態、TRGIMFBフラグをクリアする場合

・タイマRG割り込み許可レジスタ0（TRGIER0）の状態

TRGIER0	TRGIMIED	TRGIMIEC	—	—	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
	0	0	0	0	1	0	0	1

割り込み許可
割り込み禁止

・タイマRGステータスレジスタ0（TRGSR0）の状態

TRGSR0	TRGIMFD	TRGIMFC	—	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA
	0	0	0	0	0	1	1	0

要求をクリアしたいフラグ

割り込み許可にしているビットに対応するステータスフラグ（TRGOVF, TRGIMFA）が0なので、TRGIMFBフラグに0を書いてください。

- (c) タイマRG割り込み許可レジスタ0（TRGIER0）の中に1（許可）にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くときに同時に0を書いてください。

(例) TRGIMIEAが割り込み許可、TRGIMIEBが割り込み禁止の状態、TRGIMFBフラグをクリアする場合

・タイマRG割り込み許可レジスタ0（TRGIER0）の状態

TRGIER0	—	—	—	—	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
	0	0	0	0	0	0	0	1

割り込み許可
割り込み禁止

・タイマRGステータスレジスタ0（TRGSR0）の状態

TRGSR0	—	—	—	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA
	0	0	0	0	0	1	1	1

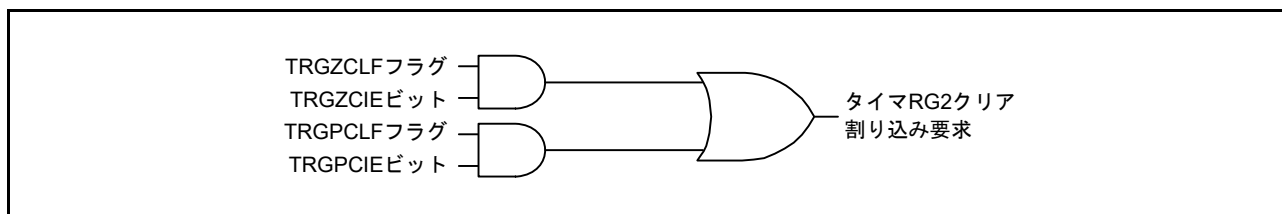
要求をクリアしたいフラグ

割り込み許可にしているビットに対応するステータスフラグTRGIMFAフラグが1なので、TRGIMFBフラグと同時にTRGIMFAフラグにも0を書いてください。

13.5.2 タイマRG2クリア割り込み

タイマRG2は、2つの要因からタイマRG2クリア割り込み要求を発生します。図13-61にタイマRG2クリア割り込みのブロック図を示します。

図13-61 タイマRG2クリア割り込みのブロック図



TRGZCLF, TRGPCLF : TRGSR1レジスタのビット

TRGZCIE, TRGPCIE : TRGIER1レジスタのビット

13.5.3 タイマRG2位相変化検出割り込み

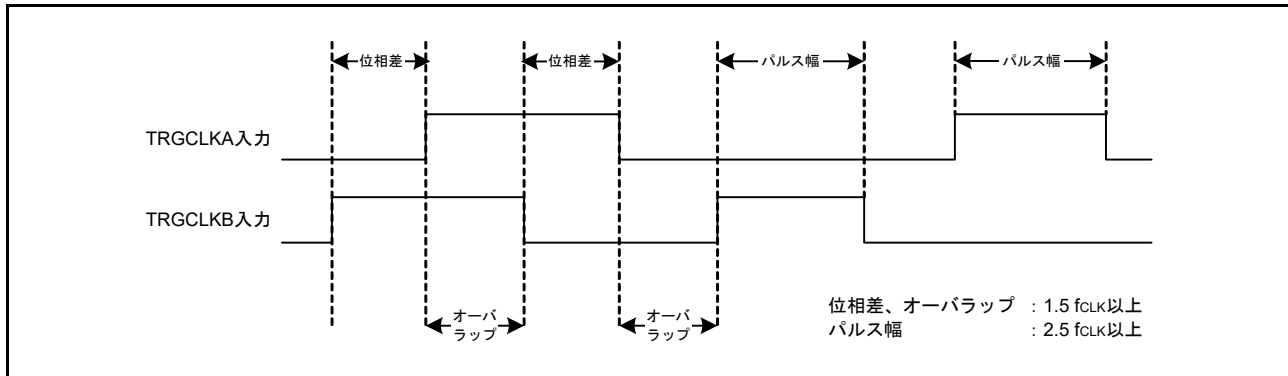
タイマRG2は、位相計数モード（TRGMR0レジスタのTRGMDFビットが1）において、位相変化時間計測機能を使用（TRGCTL1レジスタのTRGPMCEビットに1を設定）した場合に、TRGCNTCレジスタにて設定したA相/B相の位相検出によりタイマRG2位相変化検出割り込みを発生します。タイマRG2割り込み、タイマRG2クリア割り込みとは構成が異なり位相変化検出のフラグは保有していません。

13.6 使用上の注意事項

13.6.1 位相計数モード時の位相差、オーバーラップ、およびパルス幅

TRGCLKA, TRGCLKB 端子からの外部入力信号の位相差およびオーバーラップはそれぞれ 1.5 fCLK 以上、パルス幅は 2.5 fCLK 以上が必要です。図 13 - 62 に位相計数モード時の位相差、オーバーラップ、およびパルス幅を示します。

図 13 - 62 位相計数モード時の位相差、オーバーラップ、およびパルス幅



13.6.2 モード切り替え

- 動作中にモードを切り替える際は、TRGMR0 レジスタの TRGSTART ビットを 0 (カウント停止) にしたあと、行ってください注。
- モード切り替え後、動作開始前に TRGIF ビットを 0 にしてください。
詳細は、第 29 章 割り込み機能を参照してください。

注 カウント動作中に書き換え禁止のレジスタまたはビットは以下のとおりです。

- TRGMR0 レジスタの TRGSTART を除くすべてのビット
- TRGMR1 レジスタ
- TRGCNTC レジスタ
- TRGCR レジスタ
- TRGIOR レジスタ
- TRGCTL0, TRGCTL1 レジスタ
- TRGOOCR レジスタ

13.6.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止したあとに行ってください。
[変更手順]
(1) TRGMR0 レジスタの TRGSTART ビットを 0 (カウント停止) にする。
(2) TRGCR レジスタの TRGTCK2-TRGTCK0 ビットを変更する。

13.6.4 TRGIOA, TRGIOB, TRGTRG 端子の設定手順

リセット後、TRGIOA, TRGIOB, TRGTRG 端子と共用している I/O ポートは入力ポートとして機能します。

- TRGIOA, TRGIOB 端子から出力する場合は、以下の手順で設定してください。

[変更手順]

- (1) モード設定、初期値設定／出力許可設定をする（初期値設定と許可設定を同じSFRで行うため）。
- (2) TRGIOA, TRGIOB 端子に対応するポート・レジスタのビットを0にする。
- (3) TRGIOA, TRGIOB 端子に対応するポート・モード・レジスタのビットを出力モードに設定する（TRGIOA, TRGIOB 端子から出力開始）。
- (4) カウントを開始する（TRGMR0.TRGSTART = 1）。

- TRGIOA, TRGIOB, TRGTRG 端子に対応するポート・モード・レジスタのビットを出力モードから入力モードに変更する場合、以下の手順で設定してください。

[変更手順]

- (1) TRGIOA, TRGIOB, TRGTRG 端子に対応するポート・モード・レジスタのビットを入力モードに設定する（TRGIOA, TRGIOB, TRGTRG 端子から入力開始）。
- (2) TRGIOA, TRGIOB 端子はインプットキャプチャ機能、TRGTRG 端子はPWM2モードに設定する。
- (3) カウントを開始する（TRGMR0.TRGSTART = 1）。

- TRGIOA, TRGIOB, TRGTRG 端子を出力モードから入力モードに切り替える場合、端子の状態によりインプットキャプチャ動作することがあります。デジタルフィルタを使用しない場合、CPUクロックの2サイクル以上経過したあとで、エッジ検出を行います。デジタルフィルタを使用する場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。TRGTRG 入力端子の同期化とデジタルフィルタ回路は、TRGIOB 入力端子と兼用しており、端子の状態によりインプットキャプチャ動作またはTRGカウンタのクリア動作をすることがあります。

- PORT を出力設定から入力設定へ切り替えるときの制限事項

TRGIO_i端子を外部入力使用に切り替える場合は、入力信号のエッジ変化点でない箇所、エッジ検出信号が生成される可能性がある。入力信号のエッジ変化点のない箇所、エッジ検出信号が生成されるのを抑止するには、以下の制限事項を守る必要がある。

- TRGMR0 レジスタの TRGD_F_i = 0（デジタルフィルタ機能 OFF）の場合、PORT 設定を変更後、fCLK の 2 サイクル経過後に、TRGIOR レジスタの TRGIO_i2 = 1 設定する。
- TRGMR0 レジスタの TRGD_F_i = 1（デジタルフィルタ機能 ON）の場合、PORT 設定を変更後、フィルタクロックの 5 サイクル経過後に、TRGIOR レジスタの TRGIO_i2 = 1 設定する。
- TRGMR1 レジスタの TRGDFCLR = 0（デジタルフィルタ機能 OFF）の場合、PORT 設定を変更後、fCLK の 2 サイクル経過後に、TRGMR1 レジスタの TRGPWM2 = 1 設定する。
- TRGMR1 レジスタの TRGDFCLR = 1（デジタルフィルタ機能 ON）の場合、PORT 設定を変更後、フィルタクロックの 5 サイクル経過後に、TRGMR1 レジスタの TRGPWM2 = 1 設定する。

備考 i = A, B

13.6.5 外部クロック（TRGCLKA, TRGCLKB）

TRGCLKA, TRGCLKB 端子に入力する外部クロックのパルス幅は、タイマ RG2 の動作クロック（fCLK）の 3 サイクル以上にしてください。

13.6.6 SFR リード／ライトアクセス

タイマ RG2 を設定する際には、最初に PER2 レジスタの TRGEN ビットを 1 にしてください。TRGEN ビットが 0 の場合は、タイマ RG2 の制御レジスタへの書き込みは無視され、読み出し値も 00H または 0000H となります（ポート・レジスタ、ポート・モード・レジスタは除く）。

(1) TRGMR0 レジスタ

デジタルフィルタクロック切り替えの際、以下の設定手順を行ってください。

- ① TRGSTART ビットが 0（カウント停止）の状態において、TRGMR0 レジスタの TRGDFA, TRGDFB ビット（TRGIOA, TRGIOB 端子のデジタルフィルタ機能選択ビット）、TRGMR0 レジスタの TRGDFCK1, TRGDFCK0 ビット（デジタルフィルタ機能で使用するクロック選択ビット）を設定する。
- ② TRGSTART ビットに 1 を設定する。

ただし、デジタルフィルタを設定しない場合、リセット直後の TRGDFCK1, TRGDFCK0 = 00B から変更しない場合は、1 回で設定することが可能です。

インプットキャプチャの動作要因として、外部入力端子（TRGIOA, TRGIOB）のほかに、ELCからのイベント入力を選択できます。この機能を使用したい場合は TRGMR0 レジスタの TRGELCICE ビットに 1 を設定し、インプットキャプチャ機能（インプットキャプチャの有効エッジは立ち上がりエッジ（TRGIOB2-TRGIOB0 = 100B））に設定してください。PWMモードやタイマモードのアウトプットコンペア機能時（TRGPWM = 1, TRGIOB2 = 0）、この機能は無効となります。

(2) TRG カウンタ

TRGMR0 レジスタへの書き込み動作とタイマRG2動作条件によるカウンタリセット動作は、TRGMR0 レジスタへの書き込み動作を優先動作としています。

(3) TRGSTRレジスタ

TRGSTRレジスタは、8ビット・メモリ操作命令で設定してください。

TRGSTRレジスタのTRGTSTARTビットは、TRGMR0レジスタのTRGSTARTビットとミラービット構成です。

TRGCSELビットを0（TRGカウンタとTRGGRAレジスタのコンペアー一致でカウント停止）のとき、

TRGTSTARTビットに0を書いてもカウントは停止せず、TRGTSTARTビットも変化しません。TRGGRA

（TRGGRB）レジスタとのコンペアー一致時のみ、TRGTSTARTビットは0（カウント停止）となります。

TRGSTRレジスタを書き換える際、TRGCSELビットが0の場合、カウント動作に影響なくTRGCSELビットを

1へ変更したい場合は、TRGSTARTビットに0を書いてください。TRGTSTARTビットに1を書き込むと、カウ

ンタが停止中の場合カウント開始するおそれがあります。また、プログラムでカウント停止させる場合は、

TRGCSELビットを1にしたあとで、TRGTSTARTビットに0を書いてください。同時に（1命令で）

TRGCSELビットに1、TRGTSTARTビットに0を書いてもカウントは停止できません。

PWM2モード時、TRGSTRレジスタのTRGCSELビットが0のときに、TRGカウンタとTRGGRAレジスタのコン

ペアー一致が発生するタイミングで、TRGSTRレジスタに書かないでください。

表13-21にTRGIOA, TRGIOB端子をタイマRG2出力で使用している場合の、カウント停止時の出力レベルを示します。

表13-21 カウント停止時のTRGIOA, TRGIOB端子出力レベル

動作モード	TRGCSELビットが1のときに、TRGTSTARTビットに0を書きカウント停止	TRGCSELビットが0のときに、TRGカウンタとTRGGRA（TRGGRB）レジスタのコンペアー一致でカウント停止
タイマモード（アウトプットコンペアー機能）	直前の出力レベルを保持	コンペアー一致による出力変化後、そのレベルを保持
PWMモード	初期設定レベル（TRGCRレジスタのTRGCCLR1ビットの反転値）を出力	コンペアー一致による出力変化後、そのレベルを保持（TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットにて設定した初期レベルを出力）
PWM2モード	直前の出力レベルを保持	コンペアー一致による出力変化後、そのレベルを保持（TRGCRレジスタのTRGTOAビットにて設定した初期出力レベルを出力）

13.6.7 カウント停止時のインプットキャプチャ動作

インプットキャプチャモードでは、TRGMR0レジスタのTRGSTARTビットが0（カウント停止）のときも、TRGCRレジスタのTRGCKEG1, TRGCKEG0ビットで選択したエッジがTRGIOA, TRGIOB端子に入力されると、TRGSR0レジスタのTRGIMFA, TRGIMFBフラグがセットされます。このとき、TRGIER0レジスタのTRGIMIEA, TRGIMIEBビットが1の場合には、タイマRG2（キャプチャ）割り込み要求が発生します。TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが01Bまたは10BのときにはTRGカウンタがクリアされます。

13.6.8 カウント停止時のTRGTRG入力によるカウンタ・クリア動作

PWM2モードでは、TRGMR0レジスタのTRGSTARTビットが0（カウント停止）のときも、TRGIOA出力がインアクティブ・レベルで出力され、かつTRGMR1レジスタのTRGTCEG1, TRGTCEG0ビットで選択したエッジがTRGTRG端子に入力されるとTRGカウンタがクリアされます。

13.6.9 カウント停止時のZ相入力による位相計数モードカウンタ・クリア動作

位相計数モードでは、TRGMR0 レジスタの TRGSTART ビットが0（カウント停止）のときも、TRGCTL0 レジスタの TRGSEC, TRGZCL, TRGBCL, TRGACL, TRGIDZ1, TRGIDZ0 ビットで選択した TRG カウンタ・クリア条件が発生すると、TRGSR1 レジスタの TRGZCLF フラグがセットされ、TRG カウンタがクリアされます。TRGIER1 レジスタの TRGZCIE ビットが1 のときにはタイマ RG2 クリア割り込み要求が発生します。

第14章 タイマRX

14.1 タイマRXの機能

タイマRXは、ソフトウェア・トリガ、コンパレータ、またはタイマRD2からの出力をトリガとしてカウントする、インプット・キャプチャ・タイマです。

タイマRXの動作を次に示します。

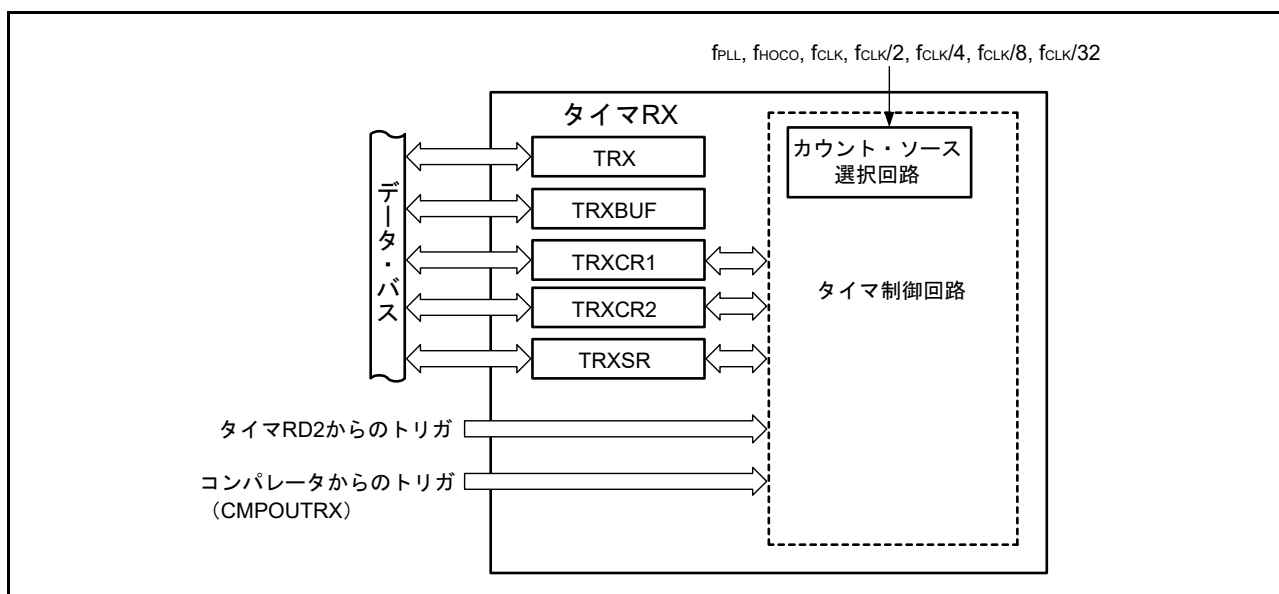
- カウント・スタート動作 : タイマRD2からのトリガまたはソフトウェアで行います。
- カウント・ストップ動作 : コンパレータ 0-3 から出力されたトリガまたはソフトウェアで行います。
- インプット・キャプチャ動作 : コンパレータ 0-3 から出力された割り込みにより、カウント値をバッファに転送します。
- カウント・リセット動作 : タイマRD2 またはコンパレータ 0-3 から出力されたトリガによって、カウント値をリセットします。

タイマRXの動作クロックは、fCLK, fHOCO または fPLL です。

14.2 タイマRXの構成

図 14 - 1 にタイマRXのブロック図を示します。

図 14 - 1 タイマRXのブロック図



14.3 タイマRXを制御するレジスタ

タイマRXを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- タイマRXカウンタ (TRX)
- タイマRXカウント・バッファ・カウンタ (TRXBUF)
- タイマRX機能制御レジスタ1 (TRXCR1)
- タイマRX機能制御レジスタ2 (TRXCR2)
- タイマRXステータス・レジスタ (TRXSR)

14.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

タイマRXを使用する場合は、必ず TRXEN ビットに 1 を設定してください。

PER2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図14-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	FAAEN	MEMEN	TKBEN	TRGEN	TRD0EN	PWMOPEN	TRXEN	TRJ0EN
TRXEN	タイマRXの入カクロック供給の制御							
0	入カクロック供給停止 ・タイマRXで使用するSFRへのライト不可							
1	入カクロック供給 ・タイマRXで使用するSFRへのリード／ライト可							

注意1. タイマRXの設定をする際には、必ず最初にTRXEN = 1の設定を行ってください。TRXEN = 0の場合は、タイマRXの制御レジスタへの書き込みは無視され、読み出し値は00Hまたは0000Hとなります。

注意2. タイマRXのカウントソースにfHOCOを選択する場合、PER2レジスタのTRXENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、PER2レジスタのTRXENビットをクリアしたあとに変更してください。

14.3.2 周辺リセット制御レジスタ2 (PRR2)

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマRX をリセットする場合は、TRXRES ビットに1を設定してください。

PRR2 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-3 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR2	FAARES	MEMRES	TKBRES	TRGRES	TRD0RES	PWMOP RES	TRXRES	TRJ0RES
	TRXRES	タイマRXのリセット制御						
	0	タイマRXのリセット解除						
	1	タイマRXをリセット						

14.3.3 タイマRXカウンタ (TRX)

図14-4 タイマRXカウンタ (TRX) のフォーマット

アドレス : F0350H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRX																
—	機能															
ビット15-0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローするとTRXSRレジスタのTRXOVFビットが1になります。															

注意 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4 = 1かつPER2レジスタのTRXEN = 0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定し、TRXEN = 1にセットしたあとに読み出してください。

14.3.4 タイマRXカウント・バッファ・カウンタ (TRXBUF)

図14-5 タイマRXカウント・バッファ・カウンタ (TRXBUF) のフォーマット

アドレス : F0352H

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRXBUF																
—	機能															
ビット15-0	タイマRXカウンタのバッファレジスタ コンパレータ0-3から選択したトリガにより、タイマRXカウンタの値をバッファ・レジスタに転送します。															

注意 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4 = 1かつPER2レジスタのTRXEN = 0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定し、TRXEN = 1にセットしたあとに読み出してください。

14.3.5 タイマRX機能制御レジスタ1 (TRXCR1)

図14-6 タイマRX機能制御レジスタ1 (TRXCR1) のフォーマット (1/2)

アドレス : F0354H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRXCR1	TCK2	TCK1	TCK0	START_MD	TRIG_MD _SW	TRIG_MD _HW	TRD_TRIG	OVIE
	TCK2	TCK1	TCK0	カウントソース選択 ^{注1}				
	0	0	0	fCLK, fPLL, fHOCO ^{注2, 4}				
	0	0	1	fCLK/2, fPLL/2 ^{注3, 4}				
	0	1	0	fCLK/4, fPLL/4 ^{注3, 4}				
	0	1	1	fCLK/8, fPLL/8 ^{注3, 4}				
	1	0	0	fCLK/32, fPLL/32 ^{注3, 4}				
	上記以外			設定禁止				
	START_MD	カウント開始要因選択						
	0	ソフトウェアでカウント開始						
	1	タイマRD2からの信号をトリガとしてカウント開始						
	START_MD = 1のとき、TRXCR2レジスタのTSTARTビットに1を設定するとカウントを開始します。							
	TRIG_MD _SW	ソフトウェアでのタイマRXリセットイネーブル信号 ^{注5}						
	0	ソフトウェアでカウント・リセット禁止						
	1	ソフトウェアでカウント・リセット許可						
	TRIG_MD _HW	タイマRD2からのトリガによるカウント・モード時の動作選択 ^{注6}						
	0	タイマRXカウンタをリセットしたあと、カウントをスタート						
	1	タイマRXカウンタのカウントをスタート						
	タイマRD2からのトリガでタイマRXカウンタのカウントを開始する際の動作を選択します。							
	TRD_TRIG	タイマRD2からのハードウェア・スタート・トリガを選択 ^{注6}						
	0	タイマRD2カウンタ0のカウント開始 (TRDSTR.TSTART0ビットに1を設定) をトリガとしてカウント開始						
	1	タイマRD2カウンタ1のカウント開始 (TRDSTR.TSTART1ビットに1を設定) をトリガとしてカウント開始						

図 14 - 6 タイマRX機能制御レジスタ1 (TRXCR1) のフォーマット (2/2)

OVIE	オーバフロー割り込み許可
0	タイマRXカウンタのオーバフロー時に割り込みを禁止
1	タイマRXカウンタのオーバフロー時に割り込みを許可

- 注1.** タイマRD2と連携動作するとき、タイマRXの動作クロックはタイマRD2の動作クロックと同じ周波数を選択してください。
- 注2.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4 = 0のときはfCLK、FRQSEL4 = 1のときはfHOCOが選択されます。タイマRD2のカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ2 (PER2) のビット3 (TRD0EN) をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のビット3 (TRD0EN) をクリアしたあとに変更してください。
- 注3.** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4 = 1のときは設定しないでください。
- 注4.** PLLコントロールレジスタ (DSCCTL) のDSCON = 1のときは、fPLLが供給されます。
- 注5.** START_MDビットが1のとき、本ビットの設定は無効です。
- 注6.** START_MDビットが0のとき、本ビットの設定は無効です。
- 注意** ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4 = 1かつPER2レジスタのTRXEN = 0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定し、TRXEN = 1にセットしたあとに読み出してください。

14.3.6 タイマRX機能制御レジスタ2 (TRXCR2)

図14-7 タイマRX機能制御レジスタ2 (TRXCR2) のフォーマット

アドレス : F0355H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRXCR2	0	0	0	0	0	CMP1_TCR 1	CMP1_TCR 0	TSTART
CMP1_TC R1	CMP1_TC R0	コンパレータからのトリガ発生時の動作選択						
0	0	タイマRXカウンタのカウントストップ						
0	1	タイマRXカウンタの値をタイマRXカウント・バッファ・カウンタへ転送 タイマRXカウンタはカウントを継続						
1	0	タイマRXカウント値を0000Hにし、カウント継続						
1	1	タイマRXカウンタの値をタイマRXカウント・バッファ・カウンタへ転送 タイマRXカウント値を0000Hにし、カウント継続						
TSTART	タイマRX動作開始制御 ^注							
0	タイマRXカウンタのカウントストップ							
1	タイマRXカウンタのカウントスタート							

注 コンパレータからのストップ信号とTSTARTビットの操作が競合した場合、コンパレータからのストップ信号が優先されます。

注意 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4 = 1かつPER2レジスタのTRXEN = 0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定し、TRXEN = 1にセットしたあとに読み出してください。

14.3.7 タイマRXステータス・レジスタ (TRXSR)

図14-8 タイマRXステータス・レジスタ (TRXSR) のフォーマット

アドレス : F0356H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TRXSR	0	0	0	0	0	0	TRXSB	TRXOVF
TRXSB	タイマRXカウンタ・ステータス・フラグ ^{注1}							
0	カウント停止							
1	カウント中							
TRXOVF	タイマRXカウンタのオーバフロー状況 ^{注2,3}							
0	オーバフローなし							
1	オーバフロー発生							

注1. 読み出しのみ有効です。書き込みは無効となります。

注2. TRXOVFビットに0を書きこむとTRXOVFビットは0になりますが、1を書き込んでも変化しません。

注3. タイマRXカウンタのオーバフローとTRXOVFビットへの0書き込みが同時に発生した場合、オーバフローが優先されます。

注意 ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4 = 1かつPER2レジスタのTRXEN = 0の場合、リセット時の値は不定となります。初期値を読み出す場合は、fCLKをfIHに設定し、TRXEN = 1にセットしたあとに読み出してください。

14.4 タイマRXの動作

タイマRXはタイマRD2の信号をトリガにしてカウントスタート、コンパレータ0-3から選択した信号をトリガとしてカウントストップを行うことができます。

14.4.1 カウント・ソース

タイマRXのカウント・ソースはユーザ・オプション・バイトとタイマRXの分周器により選択します。

- ユーザ・オプション・バイト (000C2H/040C2H) でFRQSEL4 = 1を設定し、CPU/周辺ハードウェア・クロック周波数 (fCLK) に高速オンチップ・オシレータ・クロック (fHOCO) を選択している場合、タイマRXのカウント・ソースは高速オンチップ・オシレータ・クロック (fHOCO) になります。
- ユーザ・オプション・バイト (000C2H/040C2H) でFRQSEL4 = 0を設定またはCPU/周辺ハードウェア・クロック周波数 (fCLK) に高速システム・クロック (fMX) を選択している場合は、タイマRXのカウント・ソースはCPU/周辺ハードウェア・クロック (fCLK) になります。
- メイン・クロック制御レジスタ (MCKC) で、メイン・システム・クロック (fMAIN) にPLLクロックを選択している場合は、タイマRXのカウント・ソースはCPU/周辺ハードウェア・クロック (fCLK) になります。
- TRXCR1レジスタで設定した周波数を使用します。
タイマRD2からの信号をトリガとしてタイマRXカウンタのカウントをスタートする場合、タイマRXのカウント・ソースはタイマRD2のカウント・ソースと同じ周波数を選択してください。

14.4.2 カウント・スタート動作

タイマRD2からのトリガまたはソフトウェアによって、タイマRXのカウントを開始させることができます。

14.4.2.1 タイマRD2からのトリガ選択時の設定と動作

(1) タイマRXカウントをリセットしスタート (TRXCR1.TRIG_MD_HW = 0) するときの設定手順

1. カウント・スタート要因はタイマRD2からのトリガを選択 : TRXCR1.START_MD = 1
2. タイマRXのトリガ機能を選択 : TRXCR1.TRIG_MD_HW = 0
3. タイマRD2からのトリガ信号を選択 : TRXCR1.TRD_TRIG = 1/0
4. タイマRXカウント・スタート設定 : TRXCR2.TSTART = 1

図14-9 タイマRXカウントをリセットしスタート (TRXCR1.TRIG_MD_HW = 0) するときの動作例
(タイマRD2を相補PWMモードで動作時)

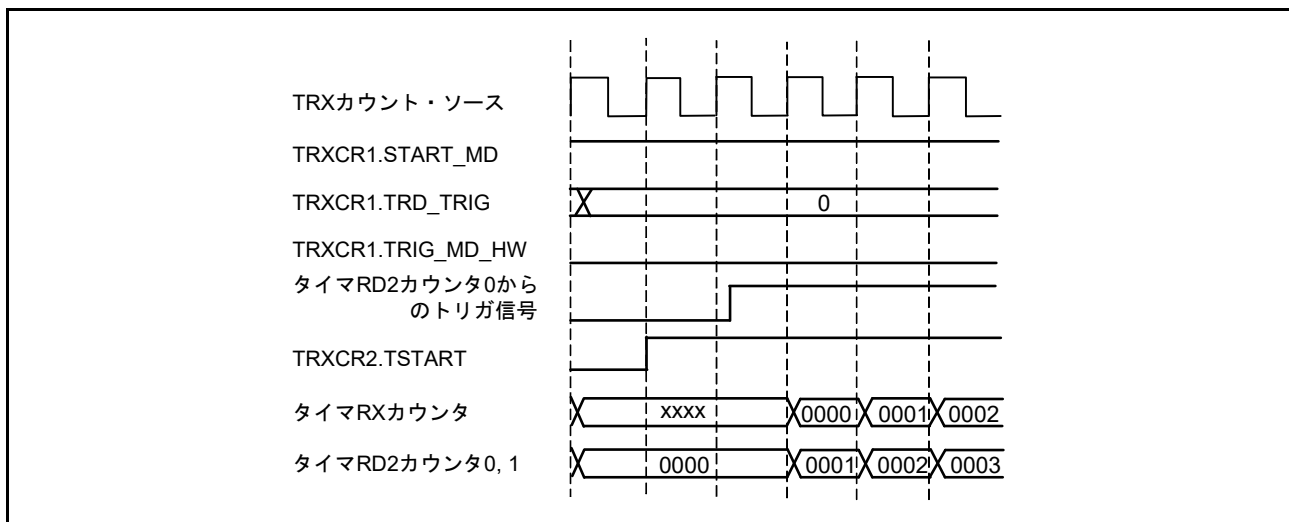
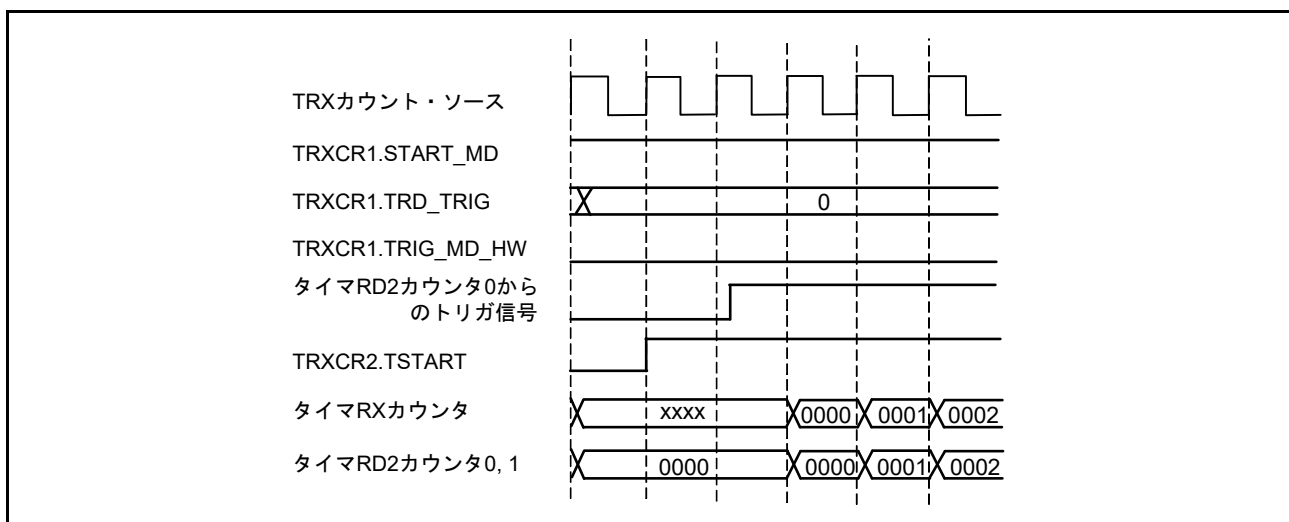
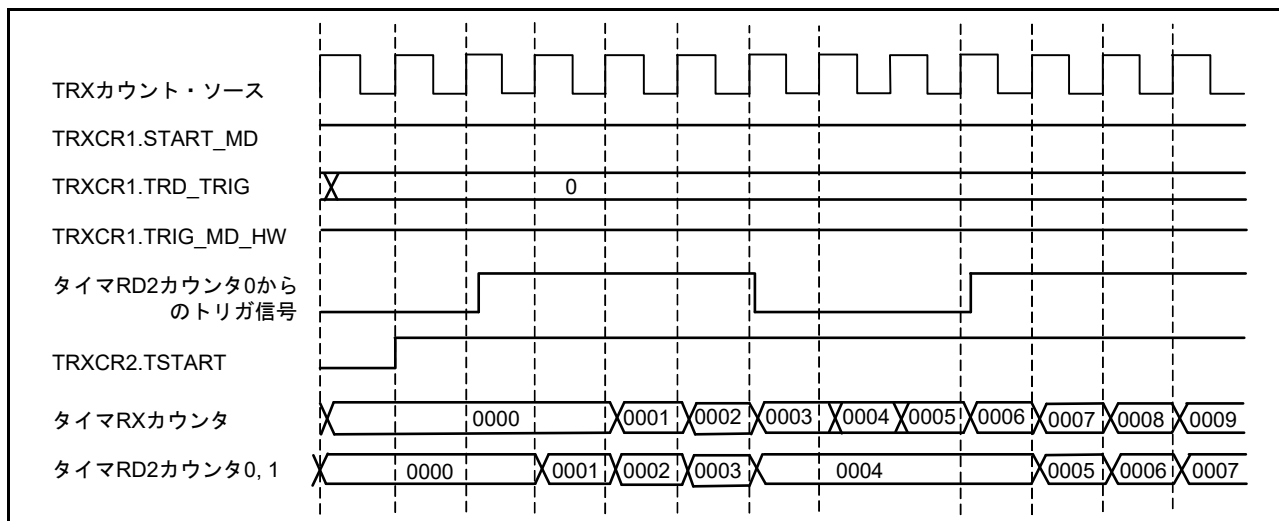


図14-10 タイマRXカウントをリセットしスタート (TRXCR1.TRIG_MD_HW = 0) するときの動作例
(タイマRD2を拡張相補PWMモードまたはタイマKB PWM出力ゲートモード使用時)



- (2) タイマRXカウントをスタート (TRXCR1.TRIG_MD_HW = 1) するときの設定手順
1. カウント・スタート要因はタイマRD2からのトリガを選択 : TRXCR1.START_MD = 1
 2. タイマRXのトリガ機能を選択 : TRXCR1.TRIG_MD_HW = 1
 3. タイマRD2からのトリガ信号を選択 : TRXCR1.TRD_TRIG = 1/0
 4. タイマRXカウント・スタート設定 : TRXCR2.TSTART = 1

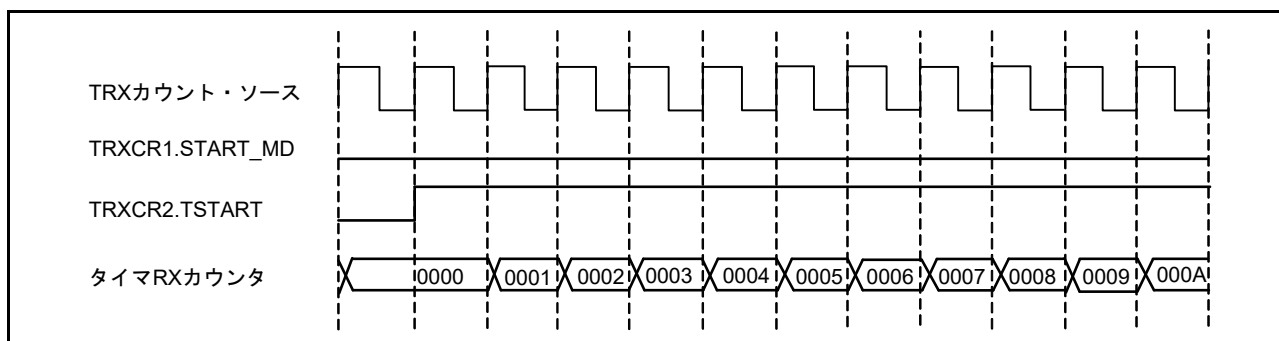
図14-11 タイマRXカウントをスタート (TRXCR1.TRIG_MD_HW = 1) するときの動作例



14.4.2.2 ソフトウェア・トリガ選択時の設定と動作

1. カウント・スタート要因はソフトウェアを選択 : TRXCR1.START_MD = 0
2. タイマRXカウント・スタート設定 : TRXCR2.TSTART = 1

図14-12 ソフトウェアでタイマRXカウント・スタートするときの動作例



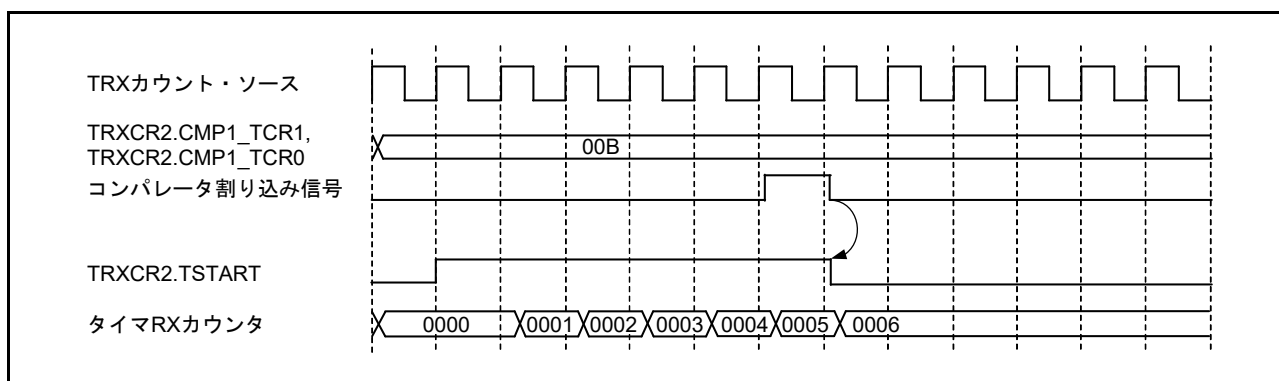
14.4.3 カウント・ストップ動作

タイマRXはカウント（ハードウェアまたはソフトウェアでスタート）中、コンパレータ 0-3 から選択したトリガまたはソフトウェアによって、タイマRXのカウントを停止させることができます。

14.4.3.1 コンパレータからのトリガ選択時の設定と動作

1. コンパレータからのトリガ機能選択 : TRXCR2.CMP1_TCR1, TRXCR2.CMP1_TCR0 = 00B (カウントストップ選択)
2. タイマRXカウント・スタート : TRXCR2.TSTART = 1

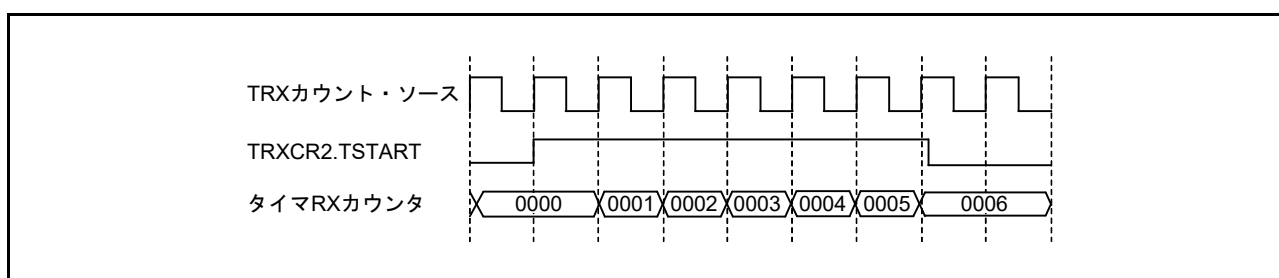
図 14 - 13 コンパレータからのトリガによる、タイマRXカウント・ストップの動作例



14.4.3.2 ソフトウェア・トリガ選択時の設定と動作

1. タイマRXカウント・スタート選択 : TRXCR2.TSTART = 1
2. ソフトウェアでTRXCR2.TSTARTビットに0を書き込み、タイマRXカウントを停止する。

図 14 - 14 ソフトウェア・トリガ選択時の動作例



14.4.4 インプット・キャプチャ動作

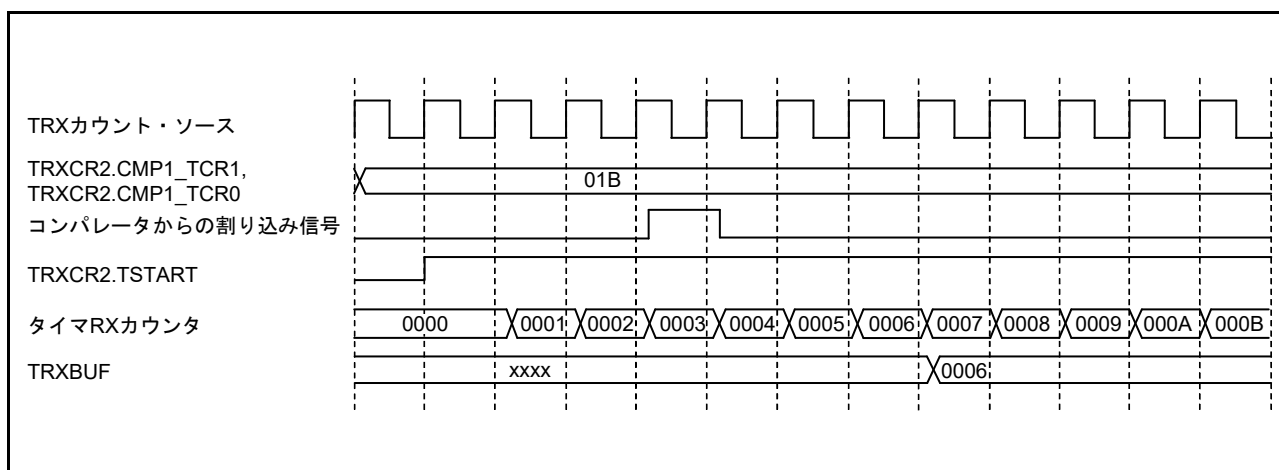
タイマRXのカウンタ動作は、コンパレータからの割り込み信号により変化します。

(1) ケース1

TRXCR2.CMP1_TCR1, TRXCR2.CMP1_TCR0 = 01Bの設定により、タイマRXのカウンタ値をカウンタ・バッファに転送します。

1. TRXCR2.CMP1_TCR1, TRXCR2.CMP1_TCR0 = 01B (カウンタ値をバッファに転送)
2. TRXCR2.TSTART = 1 (タイマRXカウンタ・スタート選択)

図14-15 インプット・キャプチャ動作例

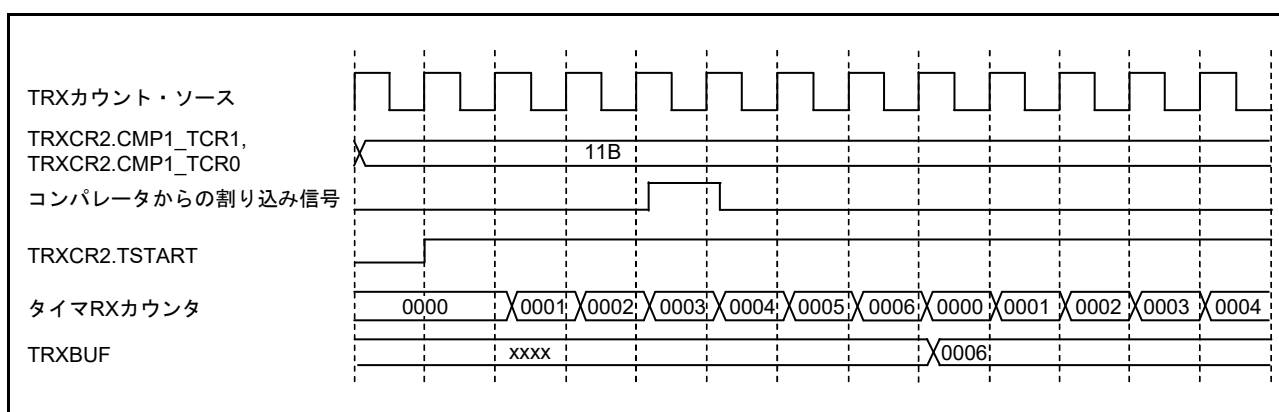


(2) ケース2

TRXCR2.CMP1_TCR1, TRXCR2.CMP1_TCR0 = 11Bの設定により、タイマRXのカウンタ値をカウンタ・バッファに転送して、タイマRXカウンタ値をリセットします。

1. TRXCR2.CMP1_TCR1, TRXCR2.CMP1_TCR0 = 11B (カウンタ値をバッファに転送とリセット機能選択)
2. TRXCR2.TSTART = 1 (タイマRXカウンタ・スタート選択)

図14-16 インプット・キャプチャ動作例 (同時にカウンタ値をリセット)



14.4.5 カウント・リセット動作

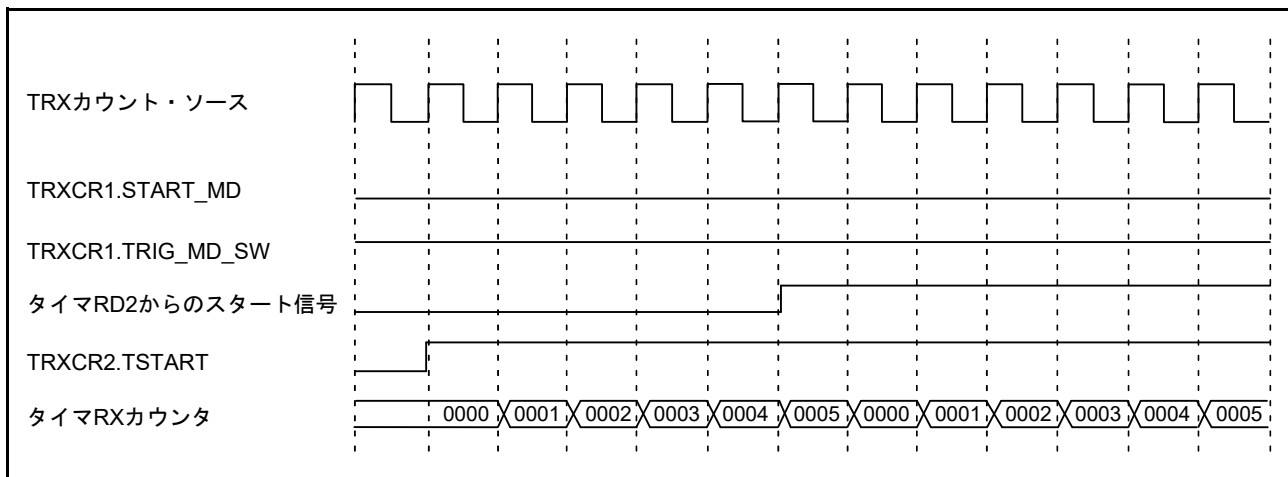
ソフトウェアでタイマRXカウント・スタートを選択する場合、カウント・レジスタのリセット制御をタイマRD2からのトリガまたはコンパレータからのトリガを選択できます。

(1) ケース1

TRXCR1.TRIG_MD_SW = 1のとき、タイマRD2からのトリガでカウント値をリセットする場合

1. カウントスタート要因はソフトウェアを選択 : TRXCR1.START_MD = 0
2. ソフトウェアでカウント・リセット許可を選択 : TRXCR1.TRIG_MD_SW = 1
3. タイマRXカウント・スタート : TRXCR2.TSTART = 1

図14-17 タイマRD2からのトリガによるカウント・リセット動作例

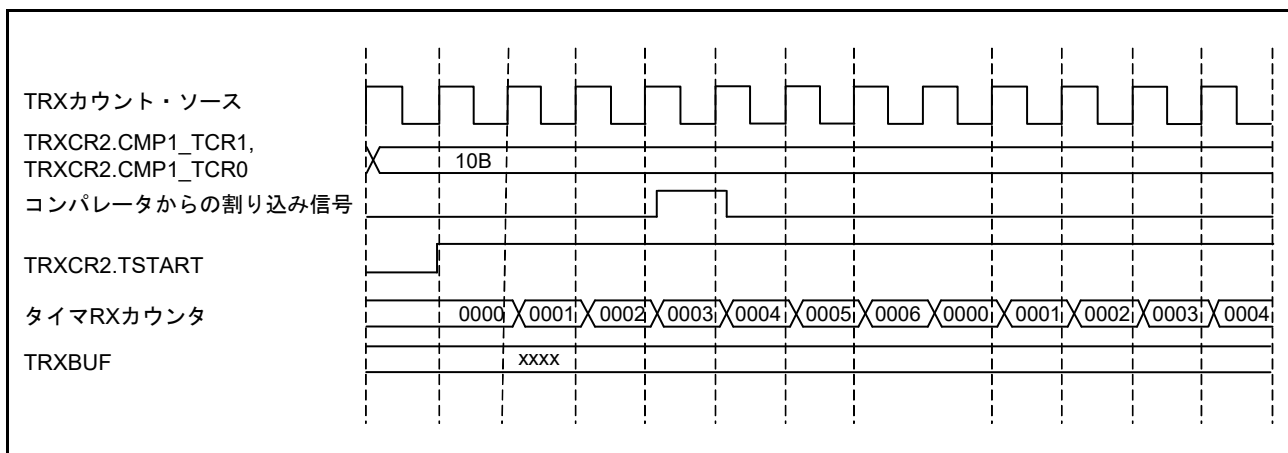


(2) ケース2

TRXCR2.CMP1_TCR1, TRXCR2.CMP1_TCR0 = 10Bの設定により、コンパレータからのトリガでタイマRXのカウント値をリセットする場合

1. カウント値をリセット、カウント継続 : TRXCR2.CMP1_TCR1, TRXCR2.CMP1_TCR0 = 10B (カウントリセット機能選択)
2. タイマRXカウント・スタート : TRXCR2.TSTART = 1

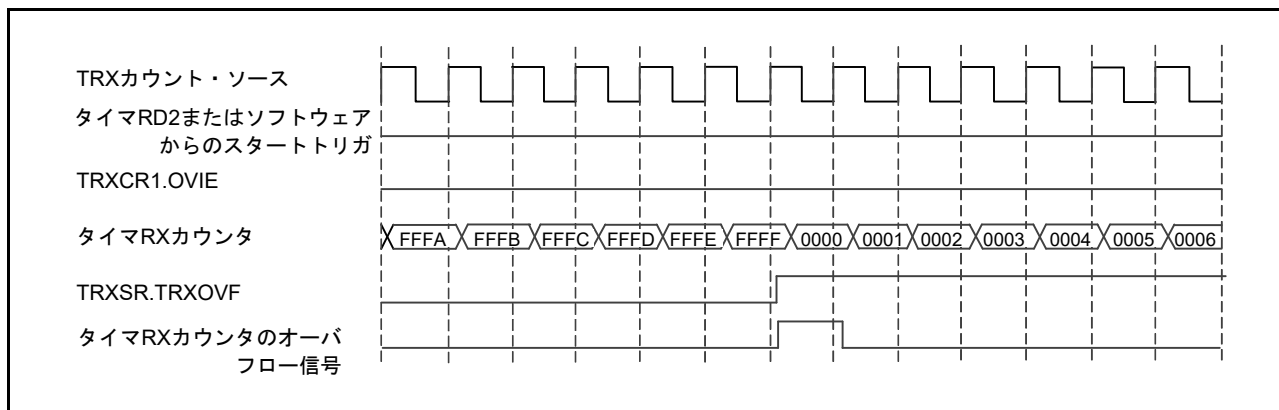
図14-18 コンパレータからのトリガによるカウント・リセット動作例



14.4.6 タイマRX割り込み

タイマRXのカウンタがオーバーフローした場合、TRXCR1.OVIE = 1の設定により、オーバーフロー割り込み信号を発生させることができます。

図14-19 オーバーフロー割り込み発生時の動作例



14.5 使用上の注意事項

14.5.1 SFRリード/ライト・アクセス

タイマRXを設定する際には、必ず最初にPER2レジスタのTRXENビットに1を設定してください。0の場合はタイマRXの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

クロック供給停止中は、タイマRXカウンタ、TRXBUFカウンタへの書き込みはできません。その他のタイマRX関連レジスタへの読み出し/書き込みは可能です。

注意 カウント動作中に次のレジスタの書き換えは禁止です。

- TRXCR1
- TRXCR2

14.5.2 オーバフロー割り込み

タイマRXのカウント値がFFFFHのとき、オーバフローによって0000Hになる前に外部からのトリガ信号によってカウントがリセットされた場合は、オーバフロー割り込みは発生しません。

14.5.3 インプット・キャプチャとタイマRXカウンタ・リセット動作

タイマRD2、コンパレータからの信号によるインプット・キャプチャ動作と、タイマRXカウンタ・リセット動作は、TRXSRレジスタのTRXSBビットが0（カウント停止）のときでも動作します。

注意 タイマRXがカウント動作中、タイマRXのカウント値がFFFFHのとき、外部からのトリガ信号によってカウントがリセットされる場合、タイマRXのオーバフロー割り込みは発生しません。

14.5.4 タイマRXとタイマRD2、コンパレータとの連携動作するときの設定手順

タイマRXがタイマRD2、コンパレータと連携動作するときには以下の設定手順で行ってください。

1. コンパレータのクロック供給を開始：PER1.PGACMPEN = 1
2. タイマRXで使用するコンパレータ・トリガの選択：表22-2 コンパレータ関連レジスタの設定手順を参照
3. コンパレータ割り込み許可と出力許可設定：表22-2 コンパレータ関連レジスタの設定手順を参照
4. タイマRXクロック供給を開始：PER2.TRXEN = 1
5. TRXCR1レジスタを設定
6. TRXCR2レジスタを設定
7. タイマRXのカウント開始：TRXCR2.TSTART = 1
8. タイマRD2のカウント開始：TRDSTR.TSTART0 = 1またはTRDSTR.TSTART1 = 1

備考1. タイマRXはタイマRD2とコンパレータと組み合わせて使用するとき、タイマRXの動作クロックはタイマRD2の動作クロックと同じ周波数を選択してください。

備考2. レジスタの設定順番は、TRXCR1レジスタを設定して、TRXCR2.TSTARTビットを最後に設定してください。

第15章 16ビット・タイマKB30, KB31, KB32

16ビット・タイマ KB30, KB31, KB32 は電源や照明制御に適した PWM 出力を生成可能なタイマです。
16ビット・タイマのチャンネル数は、製品によって異なります。

項目	20ピン	24～64ピン
16ビット・タイマKB30	○	○
16ビット・タイマKB31	○	○
16ビット・タイマKB32	—	○

注意1. この章では、以降の主な説明を64ピン製品の場合で説明しています。

注意2. 20ピン製品では16ビット・タイマKB32が外部端子として出力されません。

15.1 16ビット・タイマKB30, KB31, KB32の機能

16ビット・タイマKB30, KB31, KB32は、それぞれ2つの出力を持つPWM出力専用のタイマで、最大6出力のPWM出力を生成することができます。また、ハーフブリッジ回路(2出力)やフルブリッジ回路(4出力)、3相インバータ回路(6出力)を制御する相補PWM出力を生成することができます。さらに、コンパレータやINTP20, INTP21, INTP0と連動してPWM出力の強制出力停止やタイマのリスタートを実現することができます。これらの機能により、力率改善(PFC)やDC/DCコンバータを構成することができます。

16ビット・タイマKB30, KB31, KB32には、次のような機能があります。

(1) PWM出力

一つの16ビット・タイマKB3nで二つのPWM出力が可能です。PWM出力のデューティおよび周期は、タイマ動作中に変更することができます。タイマ停止中のデフォルト・レベルとタイマ動作中のアクティブ・レベルをそれぞれハイ・レベルまたはロウ・レベルに設定することができます。これらの機能を用いることで電流連続モードPFC(CCM-PFC)やハーフブリッジ回路を制御することができます。

(2) A/D変換スタート・タイミング信号出力機能

16ビット・タイマKBトリガ・コンペア・レジスタn(TKBTGCRn)を使用して、A/D変換スタート・タイミング信号を出力することができます。本機能により、16ビット・タイマKB3nとA/D変換スタート・タイミングを同期することができます。

(3) 同時スタート/ストップ・モード

16ビット・タイマKB30をマスタ、16ビット・タイマKB31や16ビット・タイマKB32をスレーブとすることで、16ビット・タイマKB30のカウント開始/停止タイミングと同期してスレーブの16ビット・タイマKB31や16ビット・タイマKB32を同時にスタート&ストップさせることが可能です。

(4) 同時スタート/クリア・モード

16ビット・タイマKB30をマスタ、16ビット・タイマKB31や16ビット・タイマKB32をスレーブとすることで、マスタとスレーブのタイマ・カウント周期を同期させることが可能です。本モードにより、最大3相6本の相補PWM出力を生成することができます。フルブリッジ回路、3相インバータ回路を制御することができます。

(5) PWM出力ゲート機能(タイマRD2と連動)

タイマRD2のタイマKB PWM出力ゲートモード出力(TRDIOB1, TRDIOC1, TRDIOD1, TRDIOA1, TRDIOB0, TRDIOD0出力)により、最大6本の16ビット・タイマKB3n出力をゲート制御することができます。

(6) タイマ・リスタート機能(コンパレータ、INTPn、タイマRD2と連動)

トリガ要因(コンパレータ0~3出力、INTP20, INTP21, INTP0, タイマRD2出力)の発生により、CPUを介さずにタイマ出力をリスタートすることができます。本機能を使用することにより、たとえば臨界導通モードのPFC制御が実現可能です。

(7) マルチフェーズ機能(タイマRD2と連動)

タイマRD2のタイマKB PWM出力ゲートモードの各出力のアクティブエッジと連動して、16ビット・タイマKB3nのタイマ出力をスタートまたはリスタートすることができます。本機能を使用することにより、マルチフェーズDC/DCコンバータの制御が実現可能です。

- (8) 強制出力停止機能1 (コンパレータ、INTPnと連動)
トリガ要因 (コンパレータ0~3出力、INTP20, INTP21, INTP0) の発生により、CPUを介さずに16ビット・タイマKB3n、タイマRD2の動作クロックf_{KBKC}と非同期でタイマ出力をHi-Z、ハイ/ロウ・レベル固定状態にすることができます。強制出力停止機能1のストップ・トリガの設定により、16ビット・タイマKB3n、タイマRD2の動作クロックf_{KBKC}と同期して強制出力停止状態は解除することができます。これらの機能により過電流 (OCP)、過電圧 (OVP) 時におけるPWMの強制出力停止が実現可能です。
- (9) 強制出力停止機能2 (コンパレータ、INTPnと連動)
トリガ要因 (コンパレータ0~3出力、INTP20, INTP21, INTP0) の発生により、CPUを介さずに16ビット・タイマKB3n、タイマRD2の動作クロックf_{KBKC}と非同期でタイマ出力をハイ/ロウ・レベル固定状態にすることができます。トリガ要因発生後の次のカウンタの周期開始、またはトリガ要因信号がインアクティブになった次のカウンタ周期開始のタイミングで強制出力停止状態は解除されます。
さらに、Fixed off機能を使用することで、トリガ要因のアクティブ・レベル検出期間を強制出力停止状態とすることができます。これらの機能により、DC/DCコンバータにおけるピークカレント制御やFixed off出力、保護動作などを実現することが可能です。
- (10) PWM出力ディザリング機能
16周期ごとに設定デューティ +1の波形を0~15回の範囲で出力させることができます。本機能を使用することにより、16ビット・タイマKB3nの16周期間の平均分解能として、カウント・クロックの16倍に向上したPWM波形を出力することができます。
- (11) PWM出力ソフト・スタート機能
PWM出力スタート後に設定デューティまで自動的にデューティを増加させるソフト・スタートが実現できません。
初期デューティおよびデューティ +1増加周期を設定可能です。
- (12) 最大周波数リミット機能
タイマ・リスタート機能使用時に、設定した最大周波数より早いタイミングでトリガが発生した場合に、設定した最大周波数までリスタートを保留することができます。本機能により、臨界導通モードのPFC制御において、過剰に高い周波数でのスイッチングを抑制することが可能です。
- (13) インターリーブPFC出力モード
タイマ・リスタート機能時に、外部要因により2つの出力を自動で交互にリスタート出力することができます。臨界導通モードのインターリーブPFC制御が実現可能です。
- (14) パルス幅測定機能
実際にTKBOnp端子に出力されたPWM出力のパルス幅を測定する機能です。
- 備考** 臨界導通モードとは、インダクタ電流がゼロになることを検出してスイッチングFETをオンにするPFC制御の方式です。

15.2 16ビット・タイマKB30, KB31, KB32の構成

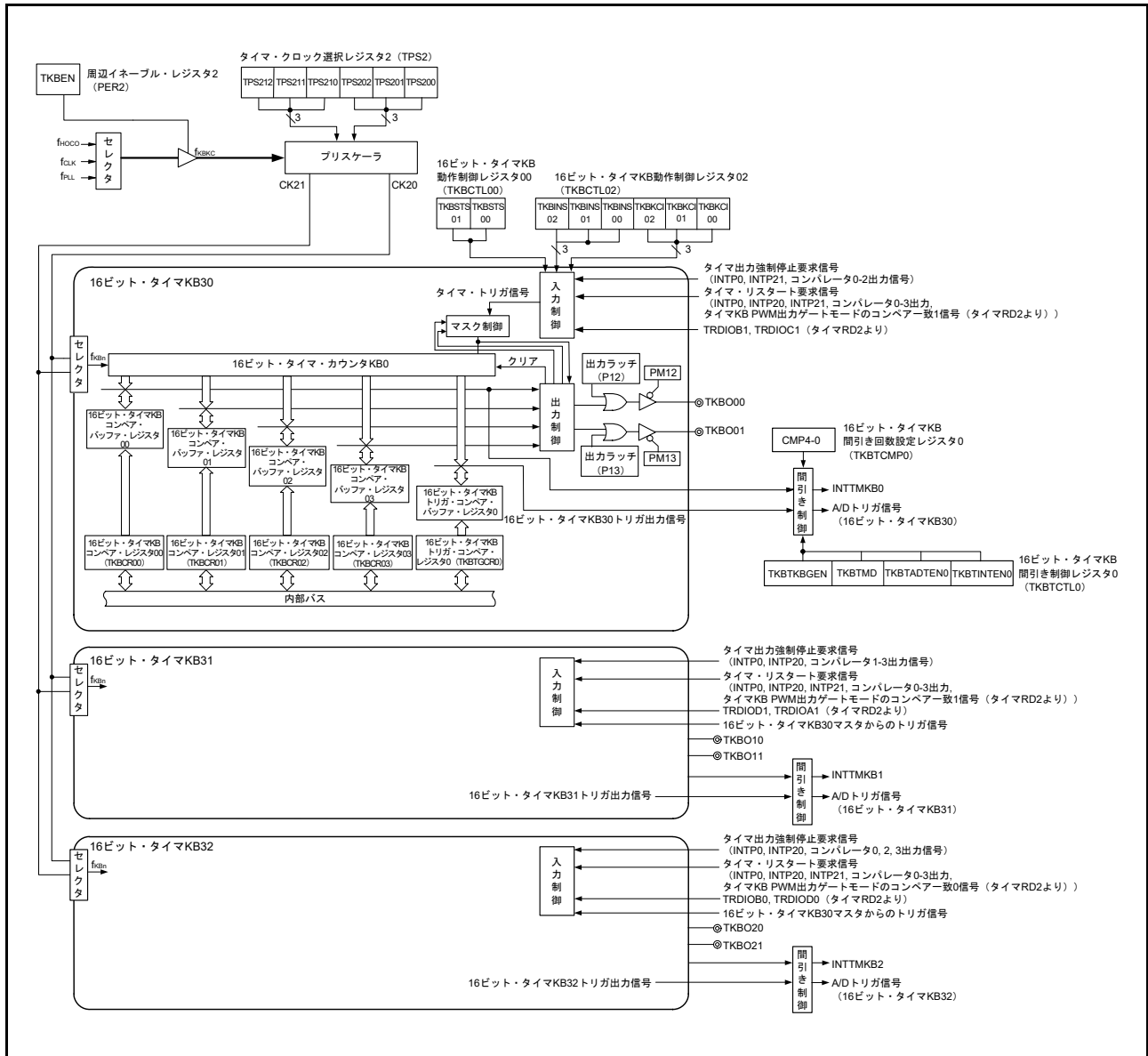
16ビット・タイマKB30, KB31, KB32は、次のハードウェアで構成されています。

表15-1 16ビット・タイマKB30, KB31, KB32の構成

項目	構成
タイマ/カウンタ	16ビット・タイマ・カウンタKBn (TKBCNTn) (n = 0-2)
タイマ出力	TKBOn0, TKBOn1 (n = 0-2)
制御レジスタ	周辺イネーブル・レジスタ2 (PER2) 周辺リセット制御レジスタ2 (PRR2) タイマ・クロック選択レジスタ2 (TPS2) 16ビット・タイマKBコンペア・レジスタnm (TKBCRnm) (n = 0-2, m = 0-3) 16ビット・タイマKBトリガ・コンペア・レジスタn (TKBTGCRn) (n = 0-2) 16ビット・タイマKB動作制御レジスタn0 (TKBCTLn0) (n = 0-2) 16ビット・タイマKB動作制御レジスタn1 (TKBCTLn1) (n = 0-2) 16ビット・タイマKB動作制御レジスタn2 (TKBCTLn2) (n = 0-2) 16ビット・タイマKB出力制御レジスタn0 (TKBIOCn0) (n = 0-2) 16ビット・タイマKB出力制御レジスタn1 (TKBIOCn1) (n = 0-2) 16ビット・タイマKBフラグ・レジスタn (TKBFLGn) (n = 0-2) 16ビット・タイマKBトリガ・レジスタn (TKBTRGn) (n = 0-2) 16ビット・タイマKBフラグ・クリア・トリガ・レジスタn (TKBCLRn) (n = 0-2) 16ビット・タイマKBディザリング数レジスタnp (TKBDNRnp) (n = 0-2; p = 0, 1) 16ビット・タイマKBコンペア1L & ディザリング数レジスタn0 (TKBCRLDn0) (n = 0-2) 16ビット・タイマKBコンペア3L & ディザリング数レジスタn1 (TKBCRLDn1) (n = 0-2) 16ビット・タイマKBソフト・スタート初期デューティ・レジスタnp (TKBSIRnp) (n = 0-2; p = 0, 1) 16ビット・タイマKBソフト・スタート・ステップ幅レジスタnp (TKBSSRnp) (n = 0-2; p = 0, 1) 16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) (n = 0-2) 16ビット・タイマKB間引き制御レジスタn (TKBTCTLn) (n = 0-2) 16ビット・タイマKB間引き回数設定レジスタn (TKBTCMPn) (n = 0-2) 外部割り込み制御レジスタn (INTPCTLn) (n = 0-2) ポート・モード・レジスタ (PMxx) ポート・レジスタ (Pxx) ポート・モード・コントロールA・レジスタ (PMCAxx)

図 15 - 1 に 16 ビット・タイマ KB3n のブロック図を示します。

図 15 - 1 16ビット・タイマKB3nのブロック図



備考 1. fK000 : 16 ビット・タイマKB3n、タイマRD2全体の動作クロック

fKBn : 16 ビット・タイマKB3nのカウント・クロック

備考 2. n = 0-2

15.3 16ビット・タイマKB30, KB31, KB32を制御するレジスタ

16ビット・タイマKB30, KB31, KB32を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- タイマ・クロック選択レジスタ2 (TPS2)
- 16ビット・タイマKBコンペア・レジスタnm (TKBCRnm) ($n = 0-2, m = 0-3$)
- 16ビット・タイマKBトリガ・コンペア・レジスタn (TKBTGCRn) ($n = 0-2$)
- 16ビット・タイマKB動作制御レジスタn0 (TKBCTLn0) ($n = 0-2$)
- 16ビット・タイマKB動作制御レジスタn1 (TKBCTLn1) ($n = 0-2$)
- 16ビット・タイマKB動作制御レジスタn2 (TKBCTLn2) ($n = 0-2$)
- 16ビット・タイマKB出力制御レジスタn0 (TKBIOCn0) ($n = 0-2$)
- 16ビット・タイマKB出力制御レジスタn1 (TKBIOCn1) ($n = 0-2$)
- 16ビット・タイマKBフラグ・レジスタn (TKBFLGn) ($n = 0-2$)
- 16ビット・タイマKBトリガ・レジスタn (TKBTRGn) ($n = 0-2$)
- 16ビット・タイマKBフラグ・クリア・トリガ・レジスタn (TKBCLRn) ($n = 0-2$)
- 16ビット・タイマKBディザリング数レジスタnp (TKBDNRnp) ($n = 0-2; p = 0, 1$)
- 16ビット・タイマKBコンペア1L & ディザリング数レジスタn0 (TKBCRLDn0) ($n = 0-2$)
- 16ビット・タイマKBコンペア3L & ディザリング数レジスタn1 (TKBCRLDn1) ($n = 0-2$)
- 16ビット・タイマKBソフト・スタート初期デューティ・レジスタnp (TKBSIRnp) ($n = 0-2; p = 0, 1$)
- 16ビット・タイマKBソフト・スタート・ステップ幅レジスタnp (TKBSSRnp) ($n = 0-2; p = 0, 1$)
- 16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) ($n = 0-2$)
- 16ビット・タイマKB間引き制御レジスタn (TKBTCTLn) ($n = 0-2$)
- 16ビット・タイマKB間引き回数設定レジスタn (TKBTCMPn) ($n = 0-2$)
- 外部割り込み制御レジスタn (INTPCTLn) ($n = 0-2$)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

15.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

16ビット・タイマKB3nを使用する場合は、必ずTKBENビットに1を設定してください。

PER2 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	FAAEN	MEMEN	TKBEN	TRGEN	TRD0EN	PWMOPEN	TRXEN	TRJOEN
TKBEN	16ビット・タイマKB3nの入カクロックの制御							
0	入カクロック供給停止 ・16ビット・タイマKB3nで使用するSFRへのライト不可							
1	入カクロック供給 ・16ビット・タイマKB3nで使用するSFRへのリード／ライト可							

注意1. 16ビット・タイマKB3nの設定をする際には、必ず最初にTKBEN = 1の設定を行ってください。TKBEN = 0の場合は、16ビット・タイマKB3nの制御レジスタへの書き込みは無視され、読み出し値も00Hまたは0000Hとなります（タイマ・クロック選択レジスタ (TPS2)、外部割り込み制御レジスタ0-2 (INTPCTL0-INTPCTL2)、ポート・モード・レジスタ (PM1)、ポート・レジスタ (P1) は除く)。

注意2. 16ビット・タイマKB3nの動作クロック (CK20, CK21) にfHOCOを選択する場合、PER2レジスタのTKBENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、PER2レジスタのTKBENビットをクリアしたあとに変更してください。

15.3.2 周辺リセット制御レジスタ2 (PRR2)

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

16ビット・タイマKB3n をリセットする場合は、TKBRES ビットに1を設定してください。

PRR2 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図15-3 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR2	FAARES	MEMRES	TKBRES	TRGRES	TRDORES	PWMOPRES	TRXRES	TRJORES
TKBRES	16ビット・タイマKB3nのリセット制御							
0	16ビット・タイマKB3nのリセット解除							
1	16ビット・タイマKB3nはリセット状態 ・16ビット・タイマKB3nで使用するSFRが初期化されます。							

15.3.3 タイマ・クロック選択レジスタ2 (TPS2)

TPS2レジスタは、外部プリスケラから16ビット・タイマKB30, KB31, KB32、タイマRD2に共通して供給される2種類の動作クロック (CK20, CK21) を選択する8ビット・レジスタです。TPS2レジスタのビット6-4でCK21を、ビット2-0でCK20を選択します。

タイマ動作中のTPS2レジスタの書き換えは、次の場合のみ可能です。

- TPS202-TPS200ビットが書き換え可能な場合 (n = 0-2) :
動作クロックにCK20を選択 (TKBCTLn1.TKBCKSn = 0, TRDBCR.GCKS = 0) しているタイマがすべて停止状態 (TKBCTLn1.TKBCEn = 0, TRDBCR.GCE = 0)
- TPS212-TPS210ビットが書き換え可能な場合 (n = 0-2) :
動作クロックにCK21を選択 (TKBCTLn1.TKBCKSn = 1, TRDBCR.GCKS = 1) しているタイマがすべて停止状態 (TKBCTLn1.TKBCEn = 0, TRDBCR.GCE = 0)

TPS2レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-4 タイマ・クロック選択レジスタ2 (TPS2) のフォーマット

アドレス : F0373H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TPS2	0	TPS212	TPS211	TPS210	0	TPS202	TPS201	TPS200

TPS2k2	TPS2k1	TPS2k0	動作クロック (CK2k) の選択 ^{注1,2} (k = 0, 1)						
			fCLK = 20 MHz	fCLK = 32 MHz	fCLK = 48 MHz	fPLL = 64 MHz	fPLL = 96 MHz	fHOCO = 64 MHz	
0	0	0	fCLK, fPLL, fHOCO	20 MHz	32 MHz	48 MHz	64 MHz	96 MHz	64 MHz
0	0	1	fCLK/2, fPLL/2	10 MHz	16 MHz	24 MHz	32 MHz	48 MHz	設定禁止
0	1	0	fCLK/2 ² , fPLL/2 ²	5 MHz	8 MHz	12 MHz	16 MHz	24 MHz	
0	1	1	fCLK/2 ³ , fPLL/2 ³	2.5 MHz	4 MHz	6 MHz	8 MHz	12 MHz	
1	0	0	fCLK/2 ⁴ , fPLL/2 ⁴	1.25 MHz	2 MHz	3 MHz	4 MHz	6 MHz	
1	0	1	fCLK/2 ⁵ , fPLL/2 ⁵	625 kHz	1 MHz	1.5 MHz	2 MHz	3 MHz	
上記以外			設定禁止						

注1. fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、16ビット・タイマKB30, KB31, KB32、タイマRD2を停止 (TKBCTLn1.TKBCEn = 0, TRDBCR.GCE = 0) させてください。

注2. メイン・クロック制御レジスタ (MCKC) のCKSELRビットが1のときは、fPLLが供給されます。ユーザ・オプション・バイト (000C2H/040C2H) のFRQSEL4 = 0のときはfCLK, FRQSEL4 = 1のときはfHOCOが選択されます。16ビット・タイマKB3nの動作クロック (CK20, CK21) にfHOCOを選択する場合、周辺イネーブル・レジスタ2 (PER2) のTKBENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のTKBENビットをクリアしたあとに変更してください。

注意 ビット7, 3には、必ず0を設定してください。

(備考は次ページに続きます)

備考 fCLK : CPU／周辺ハードウェア・クロック周波数
fPLL : PLLクロック周波数
fHOCO : 高速オンチップ・オシレータ・クロック周波数 (最大64 MHz)

15.3.4 16ビット・タイマKBコンペア・レジスタ nm (TKBCRnm) (n = 0-2, m = 0-3)

TKBCRnm レジスタは、タイマ・カウント中 (TKBCTLn1.TKBCEn = 1) にリフレッシュ (同値書き込み) および値の書き換えが可能です。タイマ動作中に TKBCRnm レジスタの値を書き換える場合、その値はラッチされ、下記のタイミングで TKBCRnm レジスタに転送され、TKBCRnm レジスタの値が変更されます。

- カウンタのカウント動作開始時 (TKBCTLn1.TKBCEnビットを0から1へ設定)
- 一斉書き換えのトリガ発生時 (TKBFLGn.TKBRSFn = 1)

16ビット単位で読み出し/書き込み可能です。

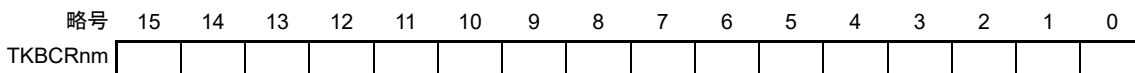
リセット信号の発生により、0000H になります。

図15-5 16ビット・タイマKBコンペア・レジスタ nm (TKBCRnm) のフォーマット

アドレス : F0740H (TKBCR00), F0742H (TKBCR01), F0744H (TKBCR02), F0746H (TKBCR03),
F0780H (TKBCR10), F0782H (TKBCR11), F0784H (TKBCR12), F0786H (TKBCR13),
F0400H (TKBCR20), F0402H (TKBCR21), F0404H (TKBCR22), F0406H (TKBCR23)

リセット時: 0000H

R/W属性 : R/W



備考 n = 0-2, m = 0-3

15.3.5 16ビット・タイマKBトリガ・コンペア・レジスタ n (TKBTGCRn) (n = 0-2)

TKBTGCRn レジスタは、タイマ・カウント中 (TKBCTLn1.TKBCEn = 1) にリフレッシュ (同値書き込み) および値の書き換えが可能です。タイマ動作中に TKBTGCRn レジスタの値を書き換える場合、その値はラッチされ、下記のタイミングで TKBTGCRn レジスタに転送され、TKBTGCRn レジスタの値が変更されます。

- カウンタのカウント動作開始時 (TKBCTLn1.TKBCEnビットを0から1へ設定)
- 一斉書き換えのトリガ発生時 (TKBFLGn.TKBRSFn = 1)

本レジスタによる周期信号を A/D 変換のハードウェア・トリガとして使用可能です。

16ビット単位で読み出し/書き込み可能です。

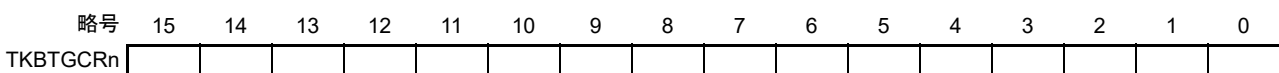
リセット信号の発生により、0000H になります。

図15-6 16ビット・タイマKBトリガ・コンペア・レジスタ n (TKBTGCRn) のフォーマット

アドレス : F0748H (TKBTGCR0), F0788H (TKBTGCR1), F0408H (TKBTGCR2)

リセット時: 0000H

R/W属性 : R/W



備考 n = 0-2

15.3.6 16ビット・タイマKB動作制御レジスタ n0 (TKBCTLn0) (n = 0-2)

TKBCTLn0 レジスタは、以下の設定をするレジスタです。

- 出力ゲート機能
- ソフト・スタート機能
- ディザリング機能
- 最大周波数リミット機能
- インターリーブPFC出力モード
- 外部トリガによるコンペア・レジスタ書き換え機能
- タイマ・リスタート・トリガの選択

TKBCTLn0 レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図15-7 16ビット・タイマKB動作制御レジスタ n0 (TKBCTLn0) のフォーマット (1/2)

アドレス : F0762H (TKBCTL00), F07A2H (TKBCTL10), F0422H (TKBCTL20)

リセット時: 0000H

R/W属性 : R/W

	略号	15	14	13	12	11	10	9	8
TKBCTLn0		0	TKBGTEn1	TKBSSEn1	TKBDIEn1	0	TKBGTEn0	TKBSSEn0	TKBDIEn0
		7	6	5	4	3	2	1	0
	TKBMFEn	0	TKBIRSn1	TKBIRSn0	0	TKBTSEn	TKBSTSn1	TKBSTSn0	
	TKBGTEnp	タイマRD2出力によるTKBOnpのPWM出力ゲート機能の制御							
	0	PWM出力ゲート機能を使用しない							
	1	PWM出力ゲート機能を使用する							
	TKBSSEnp	TKBOnpのPWM出力ソフト・スタート機能の制御							
	0	PWM出力ソフト・スタート機能を使用しない							
	1	PWM出力ソフト・スタート機能を使用する							
	TKBDIEnp	TKBOnpのPWM出力ディザリング機能の制御							
	0	PWM出力ディザリング機能を使用しない							
	1	PWM出力ディザリング機能を使用する							
	TKBMFEn	TKBOn0, TKBOn1の最大周波数リミット機能の制御							
	0	最大周波数リミット機能を使用しない							
	1	最大周波数リミット機能を使用する							

図15-7 16ビット・タイマKB動作制御レジスタn0 (TKBCTLn0) のフォーマット (2/2)

TKBIRSn1	TKBIRSn0	インターリーブPFC出力モードにおけるTKBOn1即時出力する INTP21入力受付範囲設定
0	0	$T/2 \sim T/2 + T/64$
0	1	$T/2 \sim T/2 + T/32$
1	0	$T/2 \sim T/2 + T/16$
1	1	$T/2 \sim T/2 + T/8$

TKBTSEn	外部トリガによるコンペア・レジスター斉書き換え機能の制御
0	外部トリガによるコンペア・レジスター斉書き換え機能を使用しない
1	外部トリガによるコンペア・レジスター斉書き換え機能を使用する

TKBSTSn1	TKBSTSn0	16ビット・タイマKB3nのリスタート・トリガの選択
0	0	トリガ入力を使用しない
0	1	外部割り込み信号 (INTP20)
1	0	外部割り込み信号 (INTP21)
1	1	外部割り込み信号 (INTP0)

注意1. タイマ動作中に、TKBCTLn0レジスタを書き換えしないでください。ただし、TKBCTLn0レジスタにリフレッシュ (同値書き込み) することは可能です。

注意2. ビット15, 11, 6, 3には、必ず0を設定してください。

注意3. INTP20/INTP21の設定は、第22章 コンパレータ (CMP) を参照してください。

備考1. $n = 0-2; p = 0, 1$

備考2. Tは直前のパルス周期

15.3.7 16ビット・タイマKB動作制御レジスタn1 (TKBCTLn1) (n = 0-2)

TKBCTLn1 レジスタは、16ビット・タイマの動作の制御とカウント・クロックの設定をするレジスタです。
TKBCTLn1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図15-8 16ビット・タイマKB動作制御レジスタn1 (TKBCTLn1) のフォーマット

アドレス : F0769H (TKBCTL01), F07A9H (TKBCTL11), F0429H (TKBCTL21)

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
TKBCTL01	TKBCE0	0	0	TKBCKS0	TKBSCM0	0	TKBMD01	TKBMD00
TKBCTLm1	TKBCEm	0	0	TKBCKSm	0	0	TKBMDm1	TKBMDm0
TKBCEn	16ビット・タイマKB3nの動作制御							
0	タイマ動作停止 (カウンタはFFFFH)							
1	タイマ動作許可							
TKBCKSn	16ビット・タイマKB3nのクロック選択							
0	TPS2.TPS202-TPS2.TPS200ビットで選択したCK20クロック							
1	TPS2.TPS212-TPS2.TPS210ビットで選択したCK21クロック							
TKBSCM0	16ビット・タイマKB30のスタート動作制御							
0	TKBCKS0ビットで選択したクロックで動作							
1	カウント動作開始タイミングは、CK20クロックとCK21クロックの一致でスタート。動作開始後は、TKBCKS0ビットで選択したクロックで動作。 注意 TKBSCM0ビットでスレーブに同時スタート・モードを設定することで、そのスレーブとマスタのスタート・タイミングを一致させることが可能です。							
TKBMDn1	TKBMDn0	16ビット・タイマKB3nの動作モードの選択						
0	0	単体動作モード (マスタ使用)						
0	1	同時スタート/ストップ・モード (スレーブ使用)						
1	0	同時スタート/クリア・モード (スレーブ使用)						
1	1	インターリーブPFC出力モード						

注意1. タイマ動作中に、TKBCTLn1レジスタを書き換えないでください。ただし、TKBCTLn1レジスタにリフレッシュ (同値書き込み) することは可能です。

注意2. TKBCTL01は、ビット6, 5, 2に必ず0を設定してください。

注意3. TKBCTLm1は、ビット6, 5, 3, 2に必ず0を設定してください。

備考 n = 0-2; m = 1, 2

15.3.8 16ビット・タイマKB動作制御レジスタ n2 (TKBCTLn2) (n = 0-2)

TKBCTLn2 レジスタは、タイマ・リスタート・トリガの拡張設定を行うレジスタです。

TKBCTLn0 レジスタのTKBSTSn1, TKBSTSn0 ビットで設定したトリガ設定に加えてトリガ要因を設定可能です。拡張設定した外部トリガ要因についてのマスク設定も行うことができます。

TKBCTLn2 レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図15-9 16ビット・タイマKB動作制御レジスタ n2 (TKBCTLn2) のフォーマット (1/2)

アドレス : F076AH (TKBCTL02), F07AAH (TKBCTL12), F042AH (TKBCTL22)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TKBCTLn2	0	0	0	0	0	0	TKBMFMn1	TKBMFMn0
	7	6	5	4	3	2	1	0
	0	TKBINSn2	TKBINSn1	TKBINSn0	0	TKBKCln2	TKBKCln1	TKBKCln0
TKBMFMn1	最大周波数リミット機能時における外部トリガマスク要因の制御							
0	TKBOn1注のアクティブ期間をマスク要因としない							
1	TKBOn1注のアクティブ期間をマスク要因とする							
TKBMFMn0	最大周波数リミット機能時における外部トリガマスク要因の制御							
0	TKBOn0注のアクティブ期間をマスク要因としない							
1	TKBOn0注のアクティブ期間をマスク要因とする							
TKBINSn2	TKBINSn1	TKBINSn0	16ビット・タイマKB3nのリスタート・トリガの選択					
0	0	0	トリガ入力を使用しない					
0	1	0	コンパレータ0出力信号					
0	1	1	コンパレータ1出力信号					
1	0	0	コンパレータ2出力信号					
1	0	1	コンパレータ3出力信号					
上記以外			設定禁止					

図15-9 16ビット・タイマKB動作制御レジスタn2 (TKBCTLn2) のフォーマット (2/2)

TKBKCI02	TKBKCI01	TKBKCI00	16ビット・タイマKB30のリスタート・トリガの選択
0	0	0	トリガ入力を使用しない
0	0	1	タイマKB PWM出力ゲートモードのコンペア一致1信号
0	1	0	TRDIOB1の立ち上がりエッジ
0	1	1	TRDIOB1の立ち下がりエッジ
1	0	0	TRDIOC1の立ち上がりエッジ
1	0	1	TRDIOC1の立ち下がりエッジ
上記以外			設定禁止

TKBKCI12	TKBKCI11	TKBKCI10	16ビット・タイマKB31のリスタート・トリガの選択
0	0	0	トリガ入力を使用しない
0	0	1	タイマKB PWM出力ゲートモードのコンペア一致1信号
0	1	0	TRDIOD1の立ち上がりエッジ
0	1	1	TRDIOD1の立ち下がりエッジ
1	0	0	TRDIOA1の立ち上がりエッジ
1	0	1	TRDIOA1の立ち下がりエッジ
上記以外			設定禁止

TKBKCI22	TKBKCI21	TKBKCI20	16ビット・タイマKB32のリスタート・トリガの選択
0	0	0	トリガ入力を使用しない
0	0	1	タイマKB PWM出力ゲートモードのコンペア一致0信号
0	1	0	TRDIOB0の立ち上がりエッジ
0	1	1	TRDIOB0の立ち下がりエッジ
1	0	0	TRDIOD0の立ち上がりエッジ
1	0	1	TRDIOD0の立ち下がりエッジ
上記以外			設定禁止

注 TKBOnpの出力に対してf_{BKC}クロックで同期化した内部信号がマスク要因の対象になります。

注意1. タイマ動作中に、TKBCTLn2レジスタを書き換えしないでください。ただし、TKBCTLn2レジスタにリフレッシュ（同値書き込み）することは可能です。

注意2. ビット15-10, 7, 3には、必ず0を設定してください。

注意3. インターリーブPFC出力モード時はTKBINSn2-TKBINSn0ビットとTKBKCI_n2-TKBKCI_n0ビットの設定は無視され、外部割り込み信号（INTP20）がリスタート・トリガに選択されます。

備考 n = 0-2; p = 0, 1

15.3.9 16ビット・タイマKB出力制御レジスタ n0 (TKBIOCn0) (n = 0-2)

TKBIOCn0 レジスタは、16ビット・タイマ KB3n 出力 (TKBOnp) のデフォルト・レベル/アクティブ・レベルを設定するレジスタです。

TKBIOCn0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-10 16ビット・タイマKB出力制御レジスタ n0 (TKBIOCn0) のフォーマット

アドレス : F0766H (TKBIOC00), F07A6H (TKBIOC10), F0426H (TKBIOC20)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
TKBIOCn0	0	0	0	0	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0

TKBTOLnp	タイマ出力TKBOnpのアクティブ・レベル設定	
0	ハイ・レベル	
1	ロウ・レベル	

TKBTODnp	タイマ出力TKBOnpのデフォルト・レベル設定	
0	ロウ・レベル	
1	ハイ・レベル	

注意1. タイマ動作中に、TKBIOCn0 レジスタを書き換えないでください。ただし、TKBIOCn0 レジスタにリフレッシュ (同値書き込み) することは可能です。

注意2. ビット7-4には、必ず0を設定してください。

注意3. 実際のTKBOnp端子の出力は、TKBOnp出力のほかに、兼用ポートのポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) によって決まります。

備考 n = 0-2; p = 0, 1

15.3.10 16ビット・タイマKB出力制御レジスタ n1 (TKBIOCn1) (n = 0-2)

TKBIOCn1 レジスタは、16ビット・タイマ KB3n 出力 (TKBOnp) の出力禁止/許可を制御するレジスタです。
TKBIOCn1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図15-11 16ビット・タイマKB出力制御レジスタ n1 (TKBIOCn1) のフォーマット

アドレス : F0768H (TKBIOC01), F07A8H (TKBIOC11), F0428H (TKBIOC21)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TKBIOCn1	0	0	0	0	0	0	TKBTOEn1	TKBTOEn0

TKBTOEnp	タイマ出力TKBOnpの出力許可/禁止
0	タイマ出力禁止 (TKBTODnp = 0の場合、ロウ・レベル出力。TKBTODnp = 1の場合、ハイ・レベル出力)
1	タイマ出力許可

注意1. タイマ動作中に、TKBIOCn1 レジスタを書き換え可能です。

注意2. ビット7-2には、必ず0を設定してください。

注意3. 実際のTKBOnp端子の出力は、TKBOnp出力のほかに、兼用ポートのポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) によって決まります。

備考 n = 0-2; p = 0, 1

15.3.11 16ビット・タイマKBフラグ・レジスタn (TKBFLGn) (n = 0-2)

TKBFLGn レジスタは、16ビット・タイマKB3nのステータス・フラグを表示するレジスタです。

TKBFLGn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

図15-12 16ビット・タイマKBフラグ・レジスタn (TKBFLGn) のフォーマット

アドレス : F0753H (TKBFLG0), F0793H (TKBFLG1), F0413H (TKBFLG2)

リセット時: 00H

R/W属性 : R

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
TKBFLGn	TKBSSFnp	TKBSSFnp	TKBSEFn1	TKBSEFn0	TKBIRFn	TKBIEFn	TKBMFFn	TKBRSFnp
TKBSSFnp	TKBOnp 端子のPWM出力ソフト・スタート機能のステータス・フラグ							
0	PWM出力ソフト・スタート停止中							
1	PWM出力ソフト・スタート実行中							
TKBSEFnp	TKBOnp 端子のPWM出力ソフト・スタート機能のエラー・フラグ							
0	エラー未発生、またはTKBCLRn.TKBCLSEnpによるクリアの完了							
1	エラー発生 (PWM出力ソフト・スタート実行中 (TKBSSFnp = 1) にTKBTRGn.TKBRDTn = 1が発生)							
TKBIRFn	インターリーブPFC出力モードでのINTP21トリガ未検出エラー・フラグ							
0	エラー未発生、またはTKBCLRn.TKBCLIRnによるクリアの完了							
1	エラー発生 (0 ~ T/2 とTKBCTLn0.TKBIRSn1, TKBCTLn0.TKBIRSn0ビットで設定した判定範囲内にINTP21トリガ未検出)							
TKBIEFn	インターリーブPFC出力モードでのINTP21トリガ多重検出エラー・フラグ							
0	エラー未発生、またはTKBCLRn.TKBCLIEFnによるクリアの完了							
1	エラー発生 (TKBOn1のアクティブ出力中に、再度INTP21トリガを検出)							
TKBMFFn	最大周波数リミット機能のステータス・フラグ							
0	最大周波数リミット機能未発生、またはTKBCLRn.TKBCLMFnpによるクリアの完了							
1	最大周波数リミット機能発生							
TKBRSFnp	一斉書き換えトリガの保留ステータス・フラグ							
0	一斉書き換え許可状態、または一斉書き換えトリガ発生による一斉書き換えの完了							
1	一斉書き換えトリガ・ビット (TKBTRGn.TKBRDTn) への書き込みによる一斉書き換え保留 (完了待ち) 状態。							

備考1. n = 0-2; p = 0, 1

備考2. Tは直前のパルス周期

15.3.12 16ビット・タイマKBトリガ・レジスタn (TKBTRGn) (n = 0-2)

TKBTRGn レジスタは、16ビット・タイマKB3nのコンペア・レジスタを一斉書き換えするためのトリガ・レジスタです。

TKBTRGn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により、00Hになります。

図15-13 16ビット・タイマKBトリガ・レジスタn (TKBTRGn) のフォーマット

アドレス : F0752H (TKBTRG0), F0792H (TKBTRG1), F0412H (TKBTRG2)

リセット時: 00H

R/W属性 : W

略号	7	6	5	4	3	2	1	<0>
TKBTRGn	0	0	0	0	0	0	0	TKBRDTn
TKBRDTn	コンペアレジスター一斉書き換え要求のトリガ							
0	設定無効							
1	コンペアレジスター一斉書き換え要求							

備考 n = 0-2

15.3.13 16ビット・タイマKBフラグ・クリア・トリガ・レジスタ n (TKBCLRn) (n = 0-2)

TKBCLRn レジスタは、16ビット・タイマKBフラグ・レジスタ n (TKBFLGn) のフラグをクリアするレジスタです。

TKBCLRn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により、00Hになります。

図15-14 16ビット・タイマKBフラグ・クリア・トリガ・レジスタ n (TKBCLRn) のフォーマット

アドレス : F0767H (TKBCLR0), F07A7H (TKBCLR1), F0427H (TKBCLR2)

リセット時: 00H

R/W属性 : W

略号	7	6	<5>	<4>	<3>	<2>	<1>	0
TKBCLRn	0	0	TKBCLSEn1	TKBCLSEn0	TKBCLIRn	TKBCLIEn	TKBCLMFn	0
TKBCLSEn p	TKBOnp端子のPWM出力ソフト・スタート機能のエラー・フラグのクリア・トリガ							
0	設定無効							
1	TKBSEFnpフラグを0にクリアする							
TKBCLIRn	インターリーブPFC出力モードでのINTP21トリガ未検出エラー・フラグのクリア・トリガ							
0	設定無効							
1	TKBIRFnフラグを0にクリアする							
TKBCLIEn	インターリーブPFC出力モードでのINTP21トリガ多重検出エラー・フラグのクリア・トリガ							
0	設定無効							
1	TKBIEFnフラグを0にクリアする							
TKBCLMFn	最大周波数リミット機能のステータス・フラグのクリア・トリガ							
0	設定無効							
1	TKBMFFnフラグを0にクリアする							

備考 n = 0-2; p = 0, 1

15.3.14 16ビット・タイマKBディザリング数レジスタ np (TKBDNRnp) (n = 0-2; p = 0, 1)

TKBDNRnp レジスタは、TKBOnp 出力の PWM ディザリング機能で使用するレジスタです。

このレジスタの値の上位 4 ビットの値を N (N = 0H-FH) としたとき、PWM 出力の 16 周期ごとに N 回のアクティブ期間を 1 クロック分延長して出力します。

表 15-2 に TKBDNRnp レジスタの設定とアクティブ期間を 1 クロック延長する周期の回数 (N) の関係を示します。

TKBDNRnp レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 15-15 16ビット・タイマKBディザリング数レジスタ np (TKBDNRnp) のフォーマット

アドレス : F074EH (TKBDNR00), F078EH (TKBDNR10), F040EH (TKBDNR20), F0750H (TKBDNR01),
F0790H (TKBDNR11), F0410H (TKBDNR21)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TKBDNRnp	TKBDNR3n	TKBDNR2n	TKBDNR1n	TKBDNR0n	0	0	0	0

注意 ビット3-0には、必ず0を設定してください。

備考 n = 0-2; p = 0, 1

表15-2 16ビット・タイマKBディザリング数レジスタnp (TKBDNRnp) の設定

周期 回数 (N)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0																
1	■															
2	■							■								
3	■				■			■								
4	■				■			■					■			
5	■		■		■			■					■			
6	■		■		■			■					■			
7	■		■		■		■		■				■			
8	■		■		■		■		■				■		■	
9	■	■			■				■				■		■	
10	■	■	■		■		■		■	■			■		■	
11	■	■	■		■		■		■	■			■		■	
12	■	■	■		■		■		■	■			■	■	■	
13	■	■	■	■			■		■	■			■	■	■	
14	■	■	■	■	■		■		■	■		■	■	■	■	
15	■	■	■	■	■	■	■		■	■	■	■	■	■	■	

備考1. □ セルの周期 : TKBCRn1, TKBCRn3 レジスタの設定値で出力をインアクティブ
 ■ セルの周期 : TKBCRn1, TKBCRn3 レジスタの設定値+1で出力をインアクティブ

備考2. n = 0-2; p = 0, 1

15.3.15 16ビット・タイマKBコンペア1L & ディザリング数レジスタ n0 (TKBCRLDn0) (n = 0-2)

TKBCRLDn0 レジスタは、上位 8 ビットに「TKBCRn1 レジスタの下位 8 ビット」、下位 8 ビットに「TKBDNRn0 レジスタ」の値を格納したレジスタです。

TKBCRLDn0 レジスタは、16 ビット・メモリ操作命令で設定します。

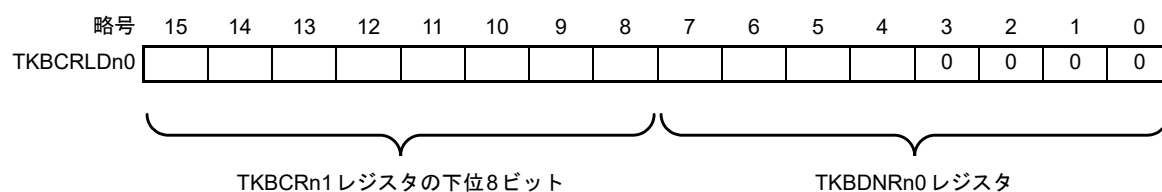
リセット信号の発生により、0000H になります。

図 15 - 16 16ビット・タイマKBコンペア1L & ディザリング数レジスタ n0 (TKBCRLDn0) のフォーマット

アドレス : F0754H (TKBCRLD00), F0794H (TKBCRLD10), F0414H (TKBCRLD20)

リセット時: 0000H

R/W属性 : R/W



注意 ビット 3-0 には、必ず 0 を設定してください。

備考 n = 0-2

15.3.16 16ビット・タイマKBコンペア3L & ディザリング数レジスタ n1 (TKBCRLDn1) (n = 0-2)

TKBCRLDn1 レジスタは、上位 8 ビットに「TKBCRn3 レジスタの下位 8 ビット」、下位 8 ビットに「TKBDNRn1 レジスタ」の値を格納したレジスタです。

TKBCRLDn1 レジスタは、16 ビット・メモリ操作命令で設定します。

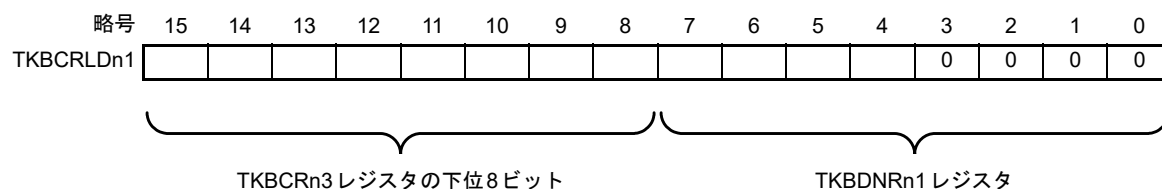
リセット信号の発生により、0000H になります。

図 15 - 17 16ビット・タイマKBコンペア3L & ディザリング数レジスタ n1 (TKBCRLDn1) のフォーマット

アドレス : F0756H (TKBCRLD01), F0796H (TKBCRLD11), F0416H (TKBCRLD21)

リセット時: 0000H

R/W属性 : R/W



注意 ビット 3-0 には、必ず 0 を設定してください。

備考 n = 0-2

15.3.17 16ビット・タイマKBソフト・スタート初期デューティ・レジスタ np (TKBSIRnp) (n = 0-2; p = 0, 1)

TKBSIRnp レジスタは、TKBOnp 出力の PWM 出力ソフト・スタート機能での初期デューティを設定するレジスタです。

TKBSIRnp レジスタは、16 ビット・メモリ操作命令で設定します。

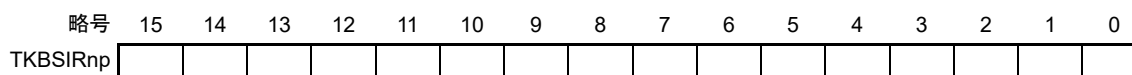
リセット信号の発生により、0000H になります。

図15-18 16ビット・タイマKBソフト・スタート初期デューティ・レジスタ np (TKBSIRnp) のフォーマット

アドレス : F074AH (TKBSIR00), F078AH (TKBSIR10), F040AH (TKBSIR20), F074CH (TKBSIR01),
F078CH (TKBSIR11), F040CH (TKBSIR21)

リセット時: 0000H

R/W属性 : R/W



備考 n = 0-2; p = 0, 1

15.3.18 16ビット・タイマKBソフト・スタート・ステップ幅レジスタ np (TKBSSRnp) (n = 0-2; p = 0, 1)

TKBSSRnp レジスタは、TKBOnp 出力の PWM 出力ソフト・スタート機能で使用するレジスタです。

TKBSSRnp レジスタの値の下位 4 ビットの値を N (N = 0H-FH) とすると TKBSIRnp レジスタで設定したアクティブ出力期間の PWM 波形を N+1 回分出力します。その後は、(アクティブ期間 + 1 クロック) の波形を N+1 回、(アクティブ期間 + 2 クロック) の波形を N+1 回 ... というように継続出力して、最終的に TKBCRn1 レジスタまたは TKBCRn3 レジスタと同じデューティになったところで、PWM 出力ソフト・スタート機能が解除され、通常 PWM 出力に移行します。

TKBSSRnp レジスタは、8 ビット・メモリ操作命令で設定します。

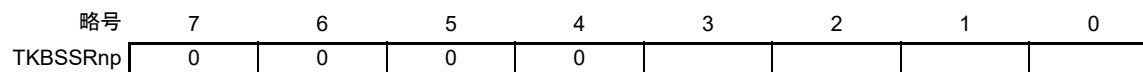
リセット信号の発生により、00H になります。

図15-19 16ビット・タイマKBソフト・スタート・ステップ幅レジスタ np (TKBSSRnp) のフォーマット

アドレス : F074FH (TKBSSR00), F078FH (TKBSSR10), F040FH (TKBSSR20), F0751H (TKBSSR01),
F0791H (TKBSSR11), F0411H (TKBSSR21)

リセット時: 00H

R/W属性 : R/W



注意 ビット7-4には、必ず0を設定してください。

備考 n = 0-2; p = 0, 1

15.3.19 16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) (n = 0-2)

TKBMFRn レジスタは、外部トリガによるタイマ・リスタートの最小周期を設定するレジスタです。

16ビット・タイマ・カウンタ KBn (TKBCNTn) が、TKBMFRn レジスタよりも小さい値のときにトリガ入力を検出すると、そのトリガを保留し、TKBMFRn レジスタの設定値までカウントしたあとに TKBCNTn をクリア (リスタート) します。

TKBMFRn レジスタは、16ビット・メモリ操作命令で設定します。

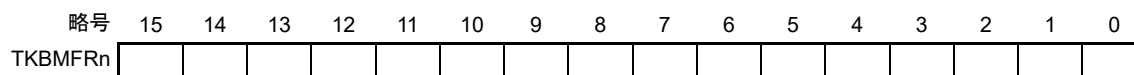
リセット信号の発生により、0000H になります。

図 15 - 20 16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) のフォーマット

アドレス : F0764H (TKBMFR0), F07A4H (TKBMFR1), F0424H (TKBMFR2)

リセット時: 0000H

R/W属性 : R/W



備考 n = 0-2

15.3.20 16ビット・タイマKB間引き制御レジスタn (TKBTCTLn) (n = 0-2)

TKBTCTLn レジスタは、割り込み/A/D トリガ信号の間引きを制御するレジスタです。

TKBTCTLn レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図15-21 16ビット・タイマKB間引き制御レジスタn (TKBTCTLn) のフォーマット

アドレス : F0490H (TKBTCTL0), F0492H (TKBTCTL1), F0494H (TKBTCTL2)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TKBTCTLn	TKBT KBGENn	0	0	TKBTMDn	0	TKBT ADTENn	0	TKBT INTENn
TKBT KBGENn	16ビット・タイマKB3n PWM出力ゲートモード連動許可							
0	無効							
1	有効							
TKBTMDn	16ビット・タイマKB3n動作開始1周期目の間引き出力許可							
0	無効							
1	有効							
TKBT ADTENn	16ビット・タイマKB3nのA/Dトリガ信号の間引き許可							
0	無効							
1	有効							
TKBT INTENn	16ビット・タイマKB3nのカウンタ完了割り込み信号の間引き許可							
0	無効							
1	有効							

注意1. TKBTKBGENn = 1設定時は、TKBTMDnには必ず0を設定してください。

注意2. タイマ動作中に、TKBTCTLnレジスタを書き換えしないでください。ただし、TKBTCTLnレジスタにリフレッシュ（同値書き込み）することは可能です。

注意3. ビット6, 5, 3, 1には、必ず0を設定してください。

備考 n = 0-2

15.3.21 16ビット・タイマKB間引き回数設定レジスタn (TKBTCMPn) (n = 0-2)

TKBTCMPn レジスタは、割り込み／A/D トリガ信号の間引き回数を制御するレジスタです。

TKBTCMPn レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-22 16ビット・タイマKB間引き回数設定レジスタn (TKBTCMPn) のフォーマット

アドレス : F0491H (TKBTCMP0), F0493H (TKBTCMP1), F0495H (TKBTCMP2)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TKBTCMPn	0	0	0	TKBTCMPn[4:0]				

TKBTCMPn[4:0]					間引き回数
0	0	0	0	0	間引きなし
0	0	0	0	1	1間引き (割り込み／A/Dトリガ出力後、次の1周期の間、割り込み／A/Dトリガを出力しない)
⋮					⋮
1	1	1	1	0	30間引き (割り込み／A/Dトリガ出力後、次の30周期の間、割り込み／A/Dトリガを出力しない)
1	1	1	1	1	31間引き (割り込み／A/Dトリガ出力後、次の31周期の間、割り込み／A/Dトリガを出力しない)

注意1. 16ビット・タイマKB30, KB31, KB32動作中に、TKBTCMPnレジスタを書き換えないでください。

注意2. ビット7-5には、必ず0を設定してください。

備考 n = 0-2

15.3.22 外部割り込み制御レジスタ n (INTPCTLn) (n = 0-2)

INTPCTLn レジスタは、外部割り込み回路の制御レジスタです。

INTPCTLn レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

INTPCTL0 は INTP20、INTPCTL1 は INTP21、INTPCTL2 は INTP0 の外部割り込みに対応しています。

図 15 - 23 外部割り込み制御レジスタ n (INTPCTLn) のフォーマット (1/2)

アドレス : F0370H (INTPCTL0), F0371H (INTPCTL1), F0372H (INTPCTL2)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
INTPCTLn	PNFENn	INTFCKn1	INTFCKn0	INTPINVn	INTEGPn	INTEGNn	INTPSTENn	TMRSTENn
PNFENn	外部割り込みINTPxのノイズ・フィルタ使用可否							
0	ノイズ・フィルタあり							
1	ノイズ・フィルタなし							
INTFCKn1	INTFCKn0	外部割り込みINTPxフィルタ選択						
0	0	INTPxフィルタなし						
0	1	INTPxフィルタあり、fCLKまたはfPLLまたはfHOCOでサンプリング						
1	0	INTPxフィルタあり、fCLK/8またはfPLL/8またはfHOCO/8でサンプリング						
1	1	INTPxフィルタあり、TO1でサンプリング						
INTPINVn	外部割り込みINTPx信号の出力反転設定							
0	INTPx信号を反転しない							
1	INTPx信号を反転							
INTEGPn	INTEGNn	外部割り込みINTPx有効エッジの選択						
0	0	エッジ検出禁止 (16ビット・タイマKB30, KB31, KB32のタイマ・リスタート信号の出力禁止 (出力信号: ロウ・レベル固定))						
0	1	立ち下がりエッジ (16ビット・タイマKB30, KB31, KB32のタイマ・リスタート信号の出力許可)						
1	0	立ち上がりエッジ (16ビット・タイマKB30, KB31, KB32のタイマ・リスタート信号の出力許可)						
1	1	立ち上がり、立ち下がりの両エッジ (16ビット・タイマKB30, KB31, KB32のタイマ・リスタート信号の出力許可)						
INTPSTENn	外部割り込みINTPxの経路選択							
0	INTPx端子の入力を外部割り込み信号INTPxに設定							
1	16ビット・タイマKB30, KB31, KB32のタイマ・リスタート信号を外部割り込み信号INTPxに設定							

図15-23 外部割り込み制御レジスタn (INTPCTLn) のフォーマット (2/2)

TMRSTEN n	外部割り込みINTPxでのタイマKB3での連動機能の動作許可
0	16ビット・タイマKB30, KB31, KB32のタイマ・リスタート／強制出力停止機能使用不可
1	16ビット・タイマKB30, KB31, KB32のタイマ・リスタート／強制出力停止機能使用可能 ^注

注 16ビット・タイマKB30, KB31, KB32のタイマ・リスタート／強制出力停止機能2を使用する場合は、ISC.ISC0 = 0に設定してINTP0端子の入力信号を外部割り込みとして使用してください。

備考 n = 0-2; x = 0, 20, 21

15.3.23 16ビット・タイマKB30, KB31, KB32と端子を兼用するポートのポート機能を制御するレジスタ

16ビット・タイマKB30, KB31, KB32の出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx)、7.3.2 ポート・レジスタ (Pxx) および 7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

15.4 16ビット・タイマKB30, KB31, KB32の動作

16ビット・タイマKB30, KB31, KB32の動作仕様を以下で説明します。

- カウンタ基本動作（[15.4.1](#)を参照）
- デフォルト・レベルとアクティブ・レベル（[15.4.2](#)を参照）
- 動作停止と動作開始（[15.4.3](#)を参照）
- 一斉書き込み動作（[15.4.4](#)を参照）

16ビット・タイマKB30, KB31, KB32には、以下の6種類の動作モードがあります。

- 単体動作モード（TKBCRn0レジスタによる周期制御）（[15.4.6](#)を参照）
- 単体動作モード（外部トリガ入力による周期制御）（[15.4.7](#)を参照）
- 同時スタート/ストップ・モード（TKBCRn0レジスタによる周期制御）（[15.4.8](#)を参照）
- 同時スタート/ストップ・モード（外部トリガ入力による周期制御）（[15.4.8](#)を参照）
- 同時スタート/クリア・モード（マスタによる周期制御）（[15.4.9](#)を参照）
- インターリーブPFC出力モード（[15.4.10](#)を参照）

図15-24 16ビット・タイマKB3n動作設定例（動作開始フロー）

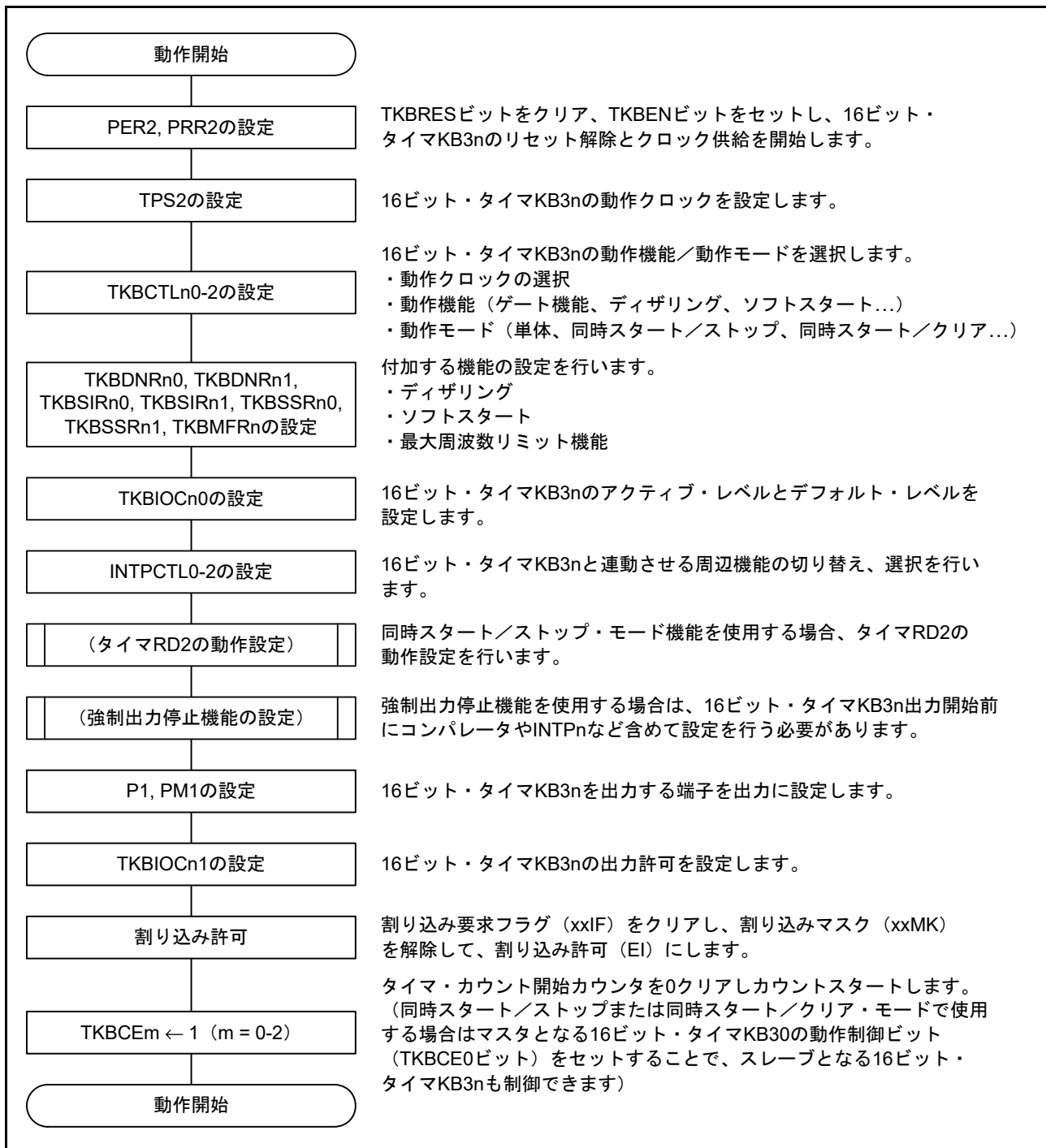
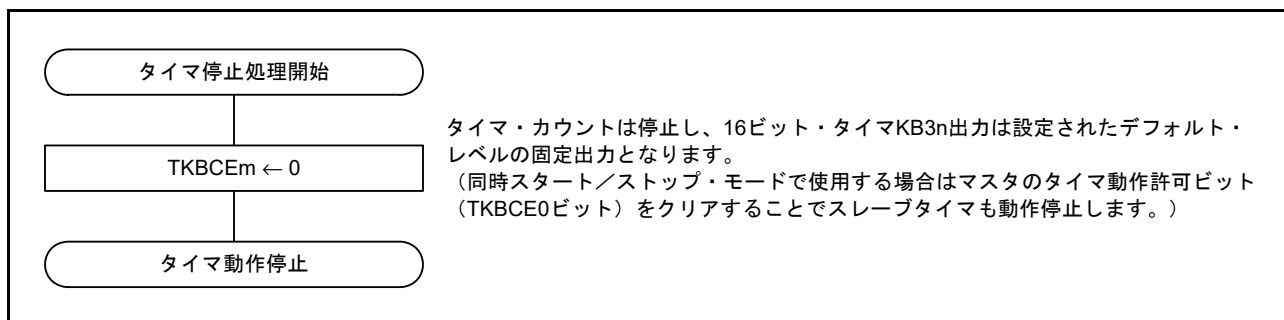
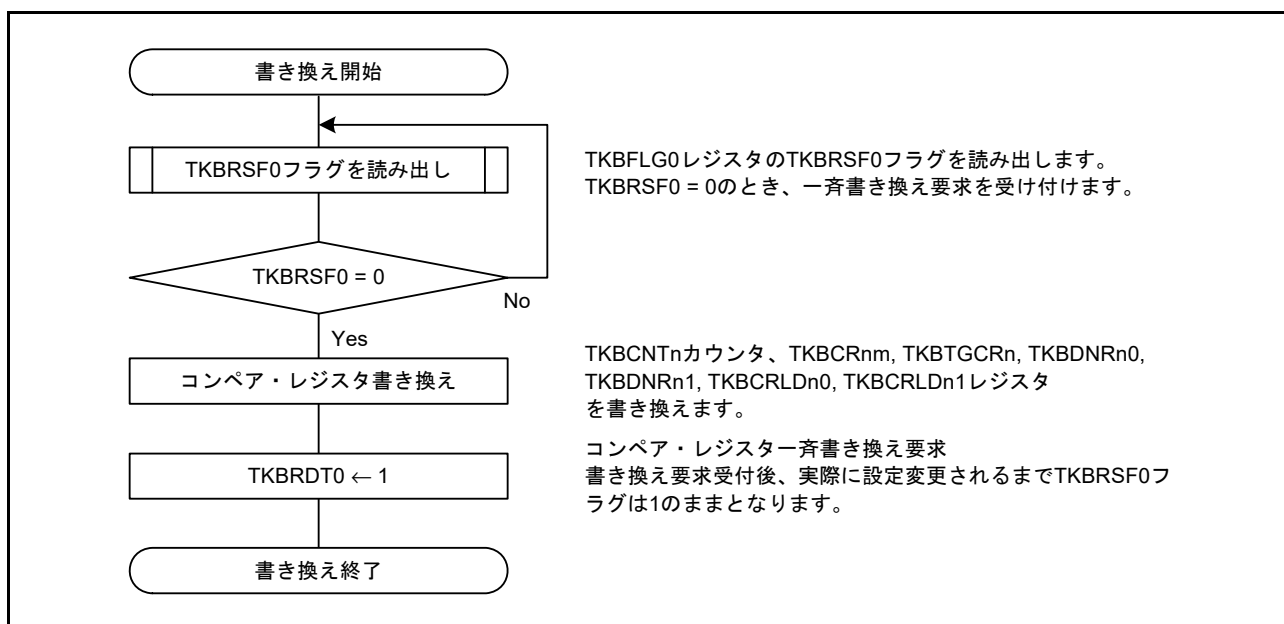


図15-25 16ビット・タイマKB3n動作設定例（動作停止フロー）



★ 図15-26 16ビット・タイマKB3n動作設定例（コンペア・レジスタ書き換えフロー）



備考 一斉書き換え機能は16ビット・タイマKB3n動作中にタイマ・カウント動作設定を変更する場合に使用します。
 設定値は次のリスタート時から動作に反映されます。

15.4.1 カウンタ基本動作

(1) カウント開始動作

TKBCEnビットを0から1に設定すると、16ビット・タイマKB3nの16ビット・カウンタは、すべてのモードで初期値FFFFHからカウントを開始します。カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ... とカウント・アップします。

(2) クリア動作

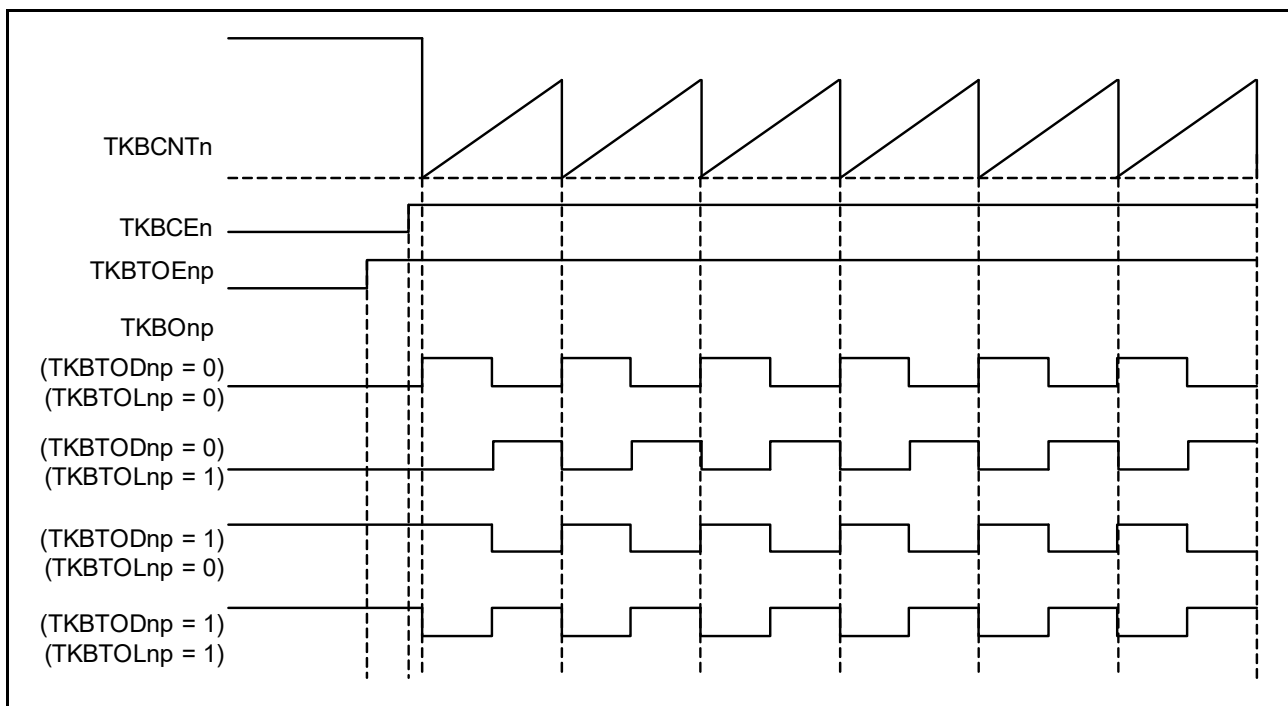
16ビット・カウンタとTKBCRn0レジスタに設定された値との一致および外部トリガによる周期決定の場合の外部トリガで16ビット・カウンタは0000Hにクリアされ、INTTMKBn割り込みが発生します。

15.4.2 デフォルト・レベルとアクティブ・レベル

(1) 基本動作

16ビット・タイマKB出力制御レジスタn0 (TKBIOCn0) によって16ビット・タイマKB3n出力のデフォルト・レベルとアクティブ・レベルを設定できます。

図15-27 デフォルト・レベルとアクティブ・レベルのタイミング図 (基本動作)



TKBTOEnpビットを0から1に変更した場合、TKBOnp出力が許可され、TKBTOLnpビットの設定値に従い、PWM波形を出力します。

TKBTOEnpビットを1から0に変更した場合、TKBOnp出力は禁止され、TKBTODnpビットの設定値に従い、デフォルト・レベルを出力します。

(2) TKBTOEnpを0から1に変更した場合

タイマ・カウンタ動作中に、16ビット・タイマ・カウンタKBn (TKBCNTn) と16ビット・タイマKBコンペア・レジスタ (TKBCRnp) の一致より前にTKBTOEnpビットを0から1に変更した場合、タイマ出力がTKBTOLnpビットの設定に従ってその一致タイミングでPWM波形が出力されます。

TKBCNTnカウンタとTKBCRnpレジスタの一致よりあとにTKBTOEnpビットを0から1に変更した場合は、タイマ出力は次の一致タイミングまでデフォルト・レベルを継続します。

図15-28 デフォルト・レベルとアクティブ・レベルのタイミング図 (TKBCNTnカウンタとTKBCRn1-TKBCRn3レジスタの一致より前にTKBTOEnpビットを0から1に変更した場合)

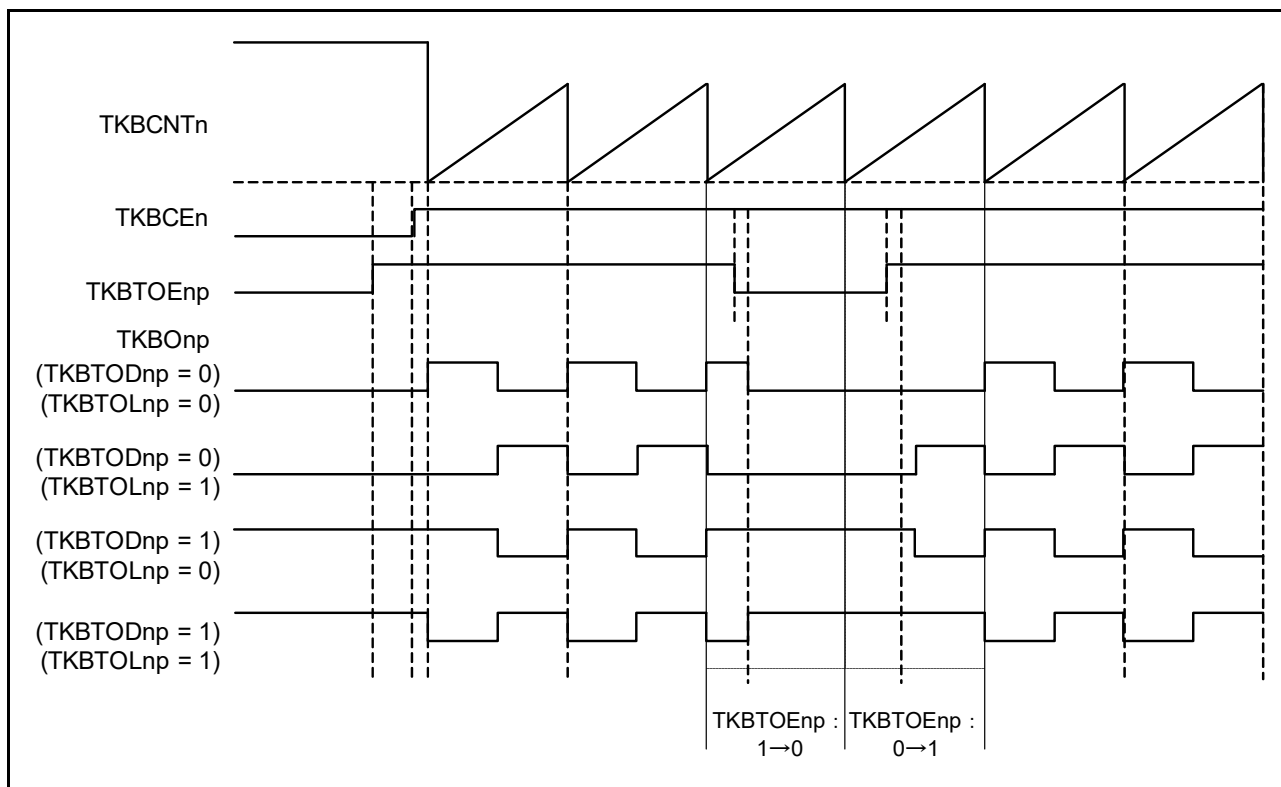
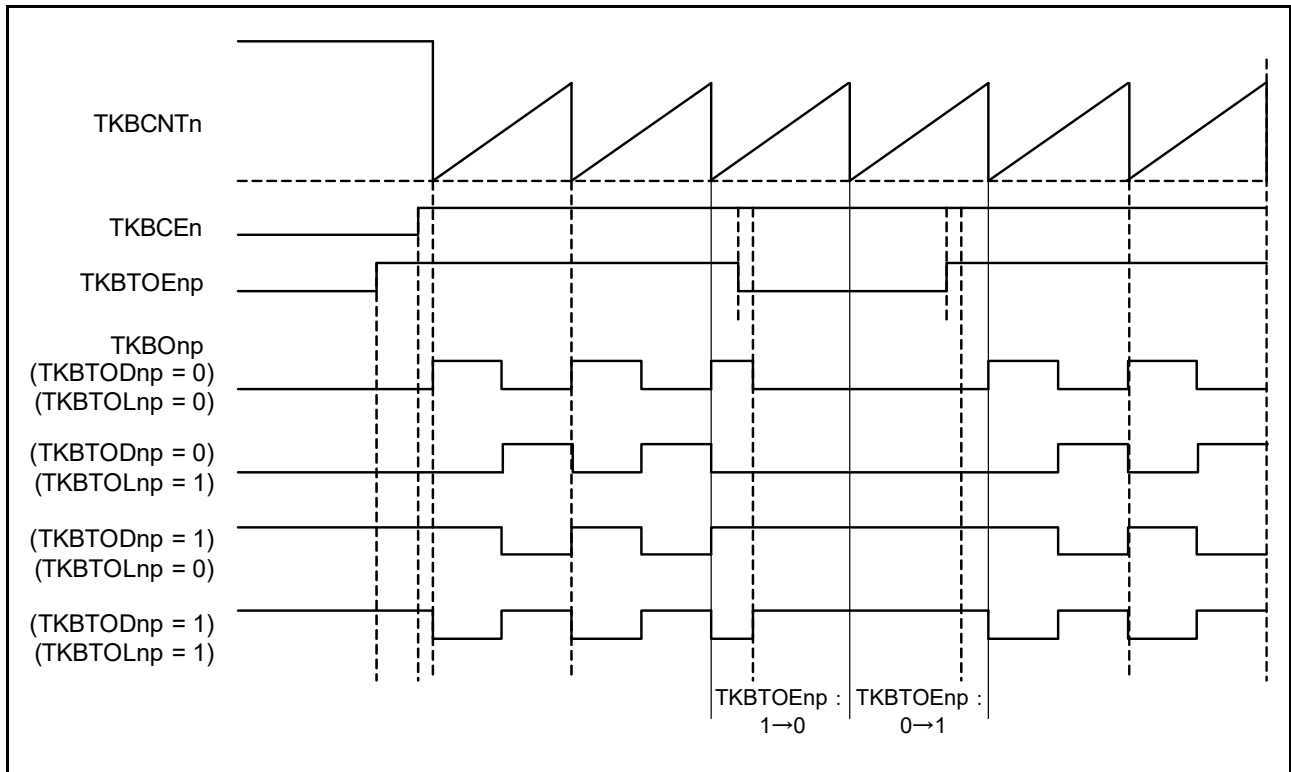


図15-29 デフォルト・レベルとアクティブ・レベルのタイミング図 (TKBCNTnカウンタとTKBCRn1-TKBCRn3レジスタの一致よりあとにTKBTOEnpビットを0から1に変更した場合)

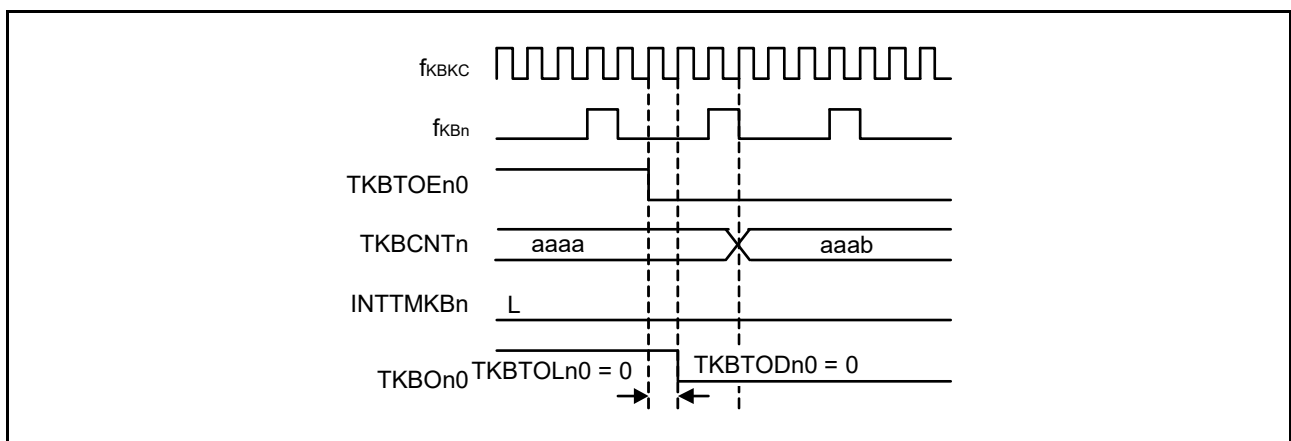


(3) TKBTOEnpビットを1から0に変更した場合

(a) 基本タイミング

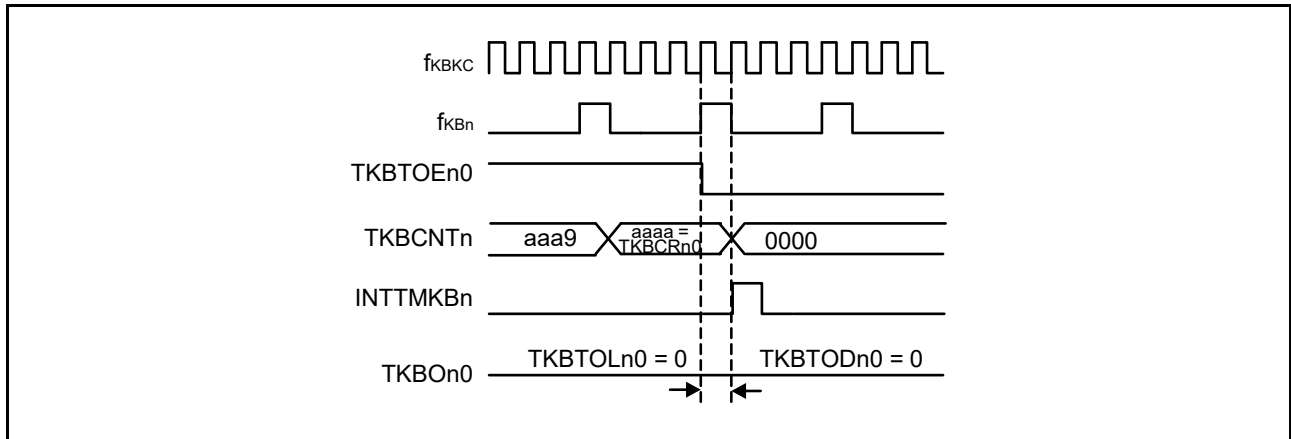
TKBTOEnpビットを1から0に変更した場合、f_{KBK1}クロック後に、TKBOnpは、TKBTODnpビットで設定しているデフォルト・レベルになります。

図15-30 デフォルト・レベルとアクティブ・レベルのタイミング図 (TKBTOEn0ビットを1から0に変更した場合)



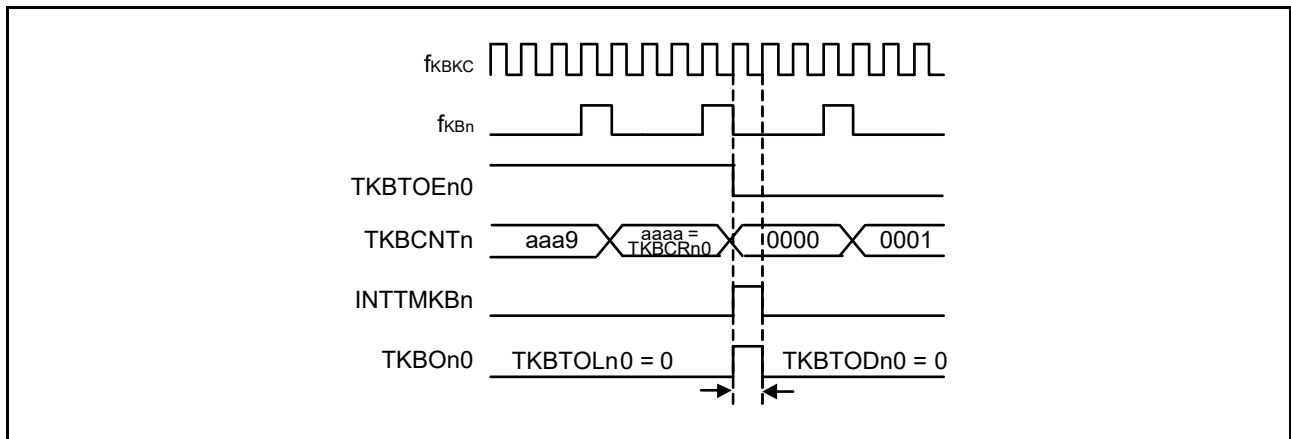
- (b) TKBCRn0レジスタの一致によるセットとTKBTOEnpビットのクリア・タイミングが同時の場合
 TKBTOEnpビットを1から0に変更するタイミングと、TKBCNTnカウンタとTKBCRnmレジスタが一致するタイミングが同時の場合、TKBTOEnpビットの変更が優先され、TKBTODnpビットで設定しているデフォルト・レベルになります。

図15-31 デフォルト・レベルとアクティブ・レベルのタイミング図 (TKBTOEnpビットを1から0に変更するタイミングと、TKBCNTnカウンタとTKBCRnmレジスタが一致するタイミングが同時の場合)



- (c) TKBTOEnpビットの操作がタイマ・カウント・クロックの発生と同時の場合
 TKBTOEnpビットの操作がf_{KBn}の発生と同時の場合、TKBCNTn = TKBCRnmの一致によりTKBOnpがセットされます。
 1 f_{KBKC}後、TKBOnpは、TKBTODnpビットで設定しているデフォルト・レベルになります。

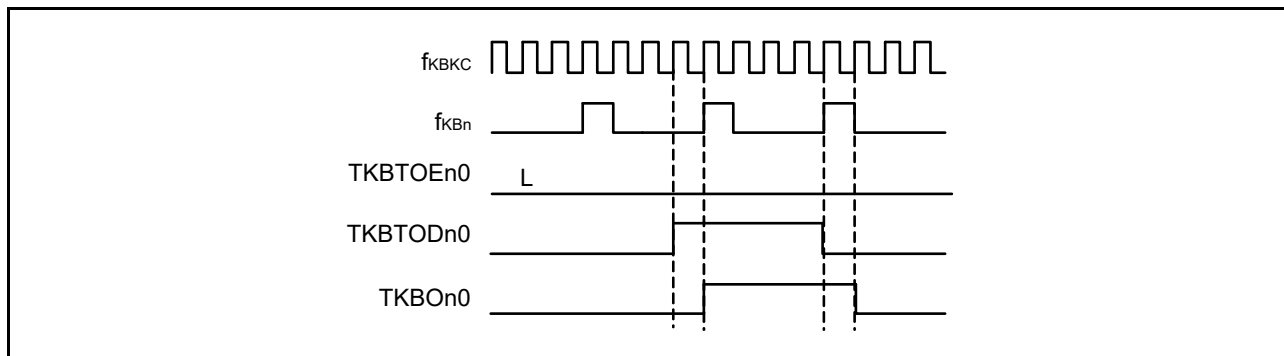
図15-32 デフォルト・レベルとアクティブ・レベルのタイミング図 (TKBTOEn0ビットの操作がタイマ・カウント・クロックの発生と同時の場合)



(4) $TKBTOEnp = 0$ で $TKBTODnp$ ビットを変更した場合

$TKBTOEnp = 0$ で $TKBTODnp$ ビットを変更した場合、 $1 f_{KBK}$ 後、 $TKBOnp$ は、 $TKBTODnp$ ビットで設定しているデフォルト・レベルになります。

図15-33 デフォルト・レベルとアクティブ・レベルのタイミング図 ($TKBTOEn0 = 0$ で $TKBTODn0$ ビットを変更した場合)



15.4.3 動作停止と動作開始

16ビット・タイマKB3nの動作停止と開始はTKBCTLn1.TKBCEnビットを制御することにより可能となります。

16ビット・タイマKB3nはTKBCEnビットを1から0にすることでリセットし動作を停止します。

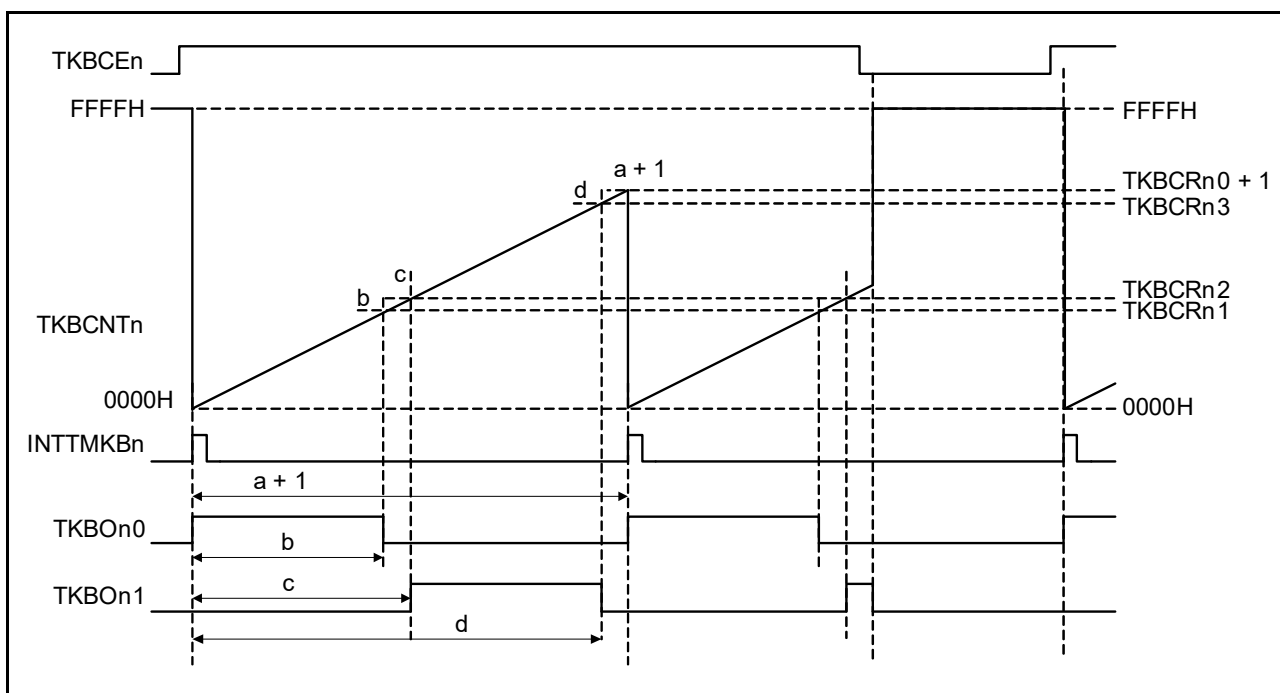
このときTKBCNTnカウンタはFFFFHにリセットされ動作を停止します。

TKBOnp出力は、TKBTODnpビットで設定したデフォルト・レベルを出力します。

16ビット・タイマKB3nはTKBCEnビットを0から1にすることで動作を開始します。

TKBCEn = 0 のとき、TKBCNTnカウンタはFFFFHを保持し、TKBCEnビットを0から1にすることでアップ・カウント動作を開始します。

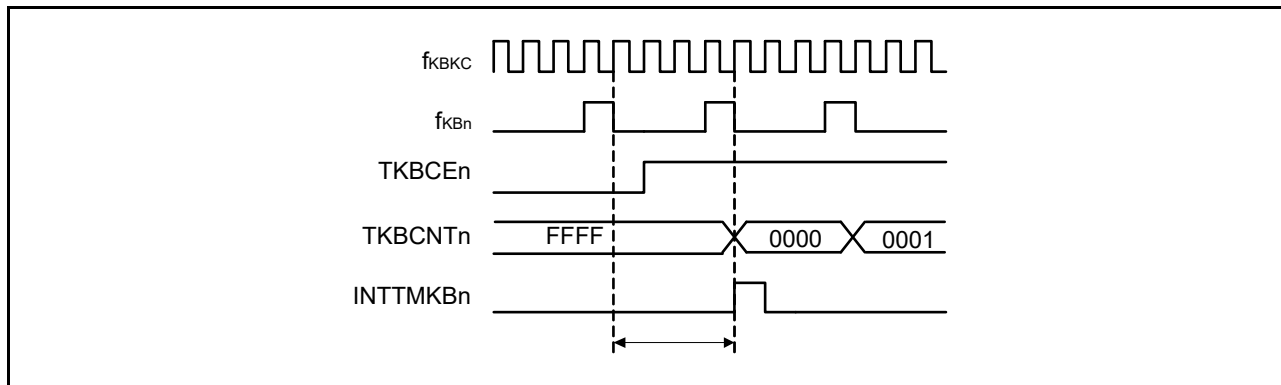
図15-34 動作停止のタイミング図 (TKBTOLnp = 0, TKBTODnp = 0時)



(1) カウント動作開始タイミング

TKBCEnビットを0から1に変更した場合、最小1 f_{KBK}から最大1 f_{KBn}経過後に、カウント動作を開始します。カウント動作開始タイミングで、INTTMKBnを出力します。

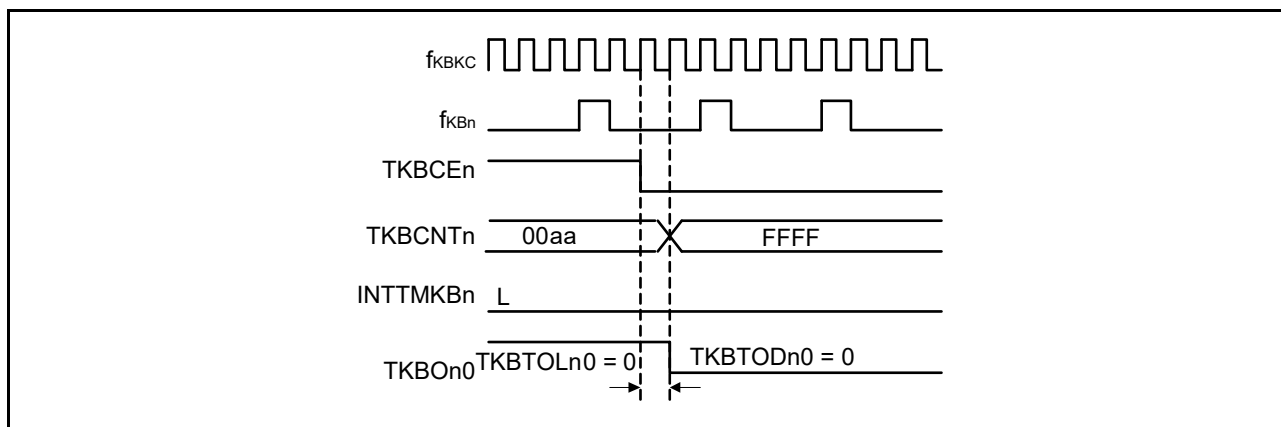
図15-35 動作開始のタイミング図 (TKBCEnビットを0から1に変更した場合)



(2) カウント動作停止タイミング

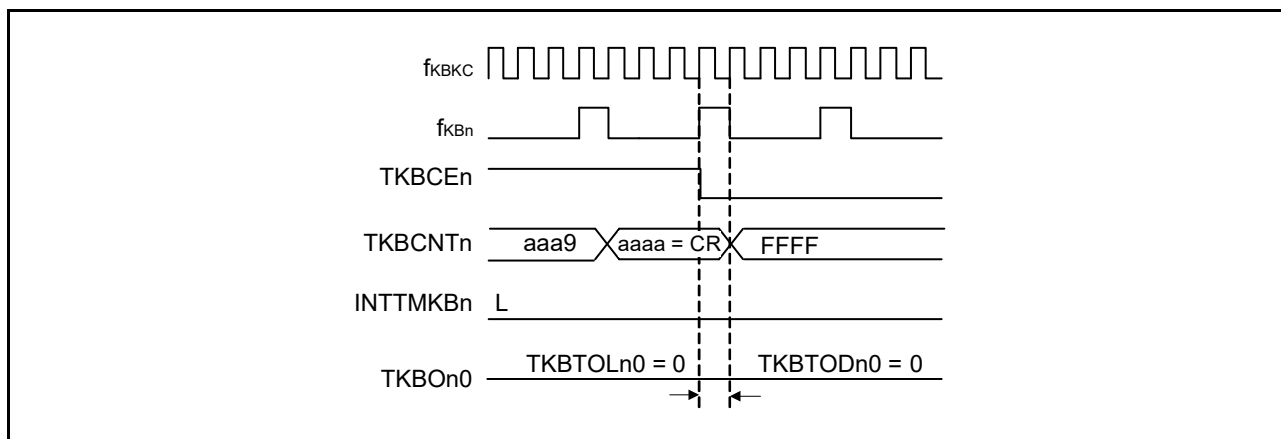
TKBCEnビットを1から0に変更した場合、1 f_{KBK}経過後に、カウント動作を停止します。TKBCNTnカウンタはFFFFHにリセットされ、TKBOnpは、TKBTODnpビットで設定しているデフォルト・レベルになります。

図15-36 動作停止のタイミング図 (TKBCEnビットを1から0に変更した場合)



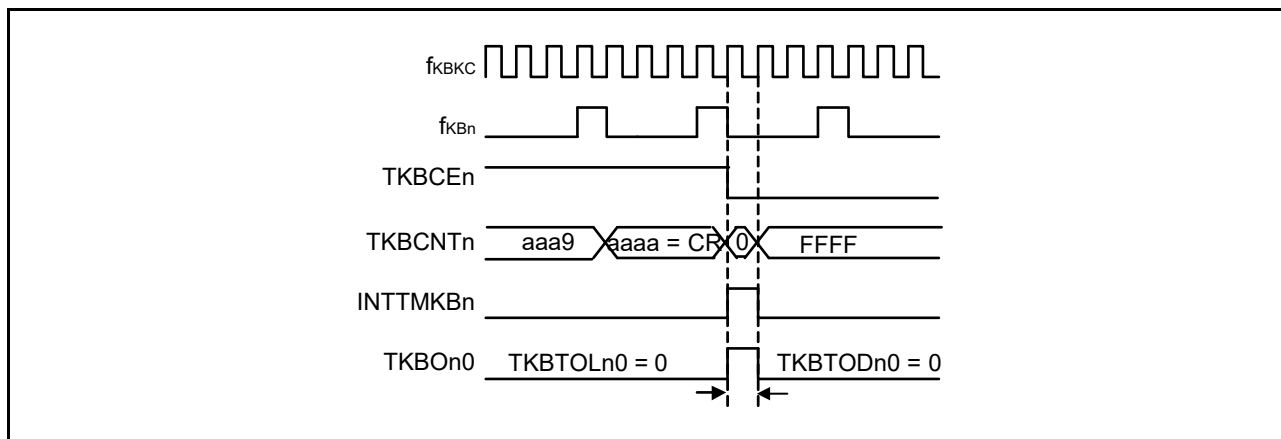
f_{KBn}発生前は、TKBCNTn = TKBCRn0の一致が発生していてもINTTMKBnは出力されません。

図15-37 動作停止のタイミング図 (TKBCEnの操作がタイマ・カウント・クロック発生前の場合)



TKBCEnビットの操作がf_{KBKC}の発生と同時の場合、TKBCNTn = TKBCRn0の一致発生でINTTMKBnを出力し、TKBOnpがセットされます。
 1 f_{KBKC}経過後、TKBCNTnカウンタはFFFFHにリセットされ、TKBOnpはTKBTODnpビットで設定しているデフォルト・レベルになります。

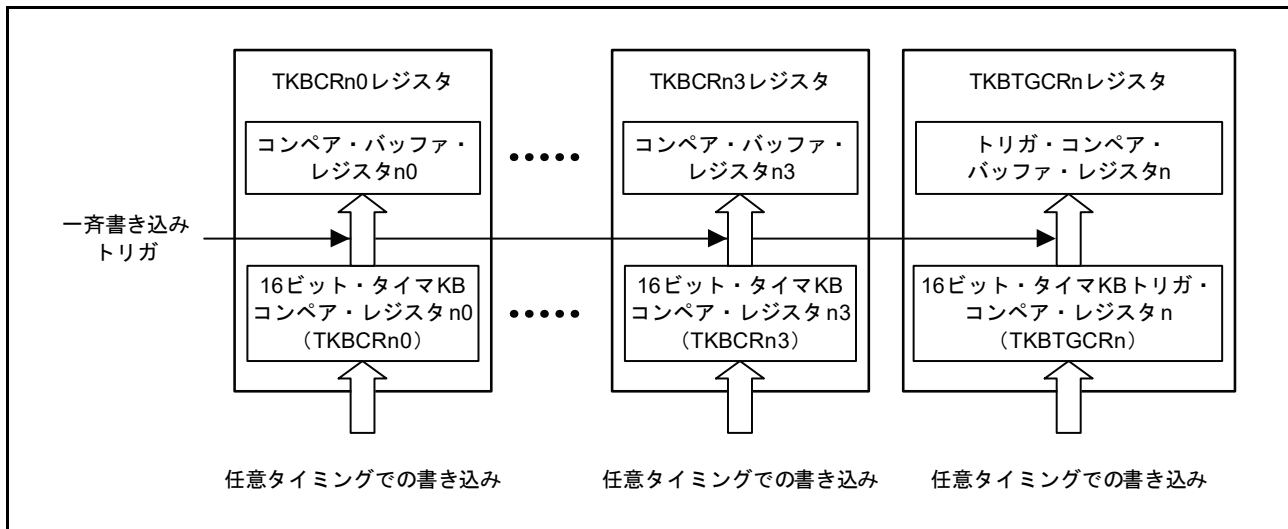
図15-38 動作停止のタイミング図 (TKBCEnの操作がタイマ・カウント・クロックの発生と同時の場合)



15.4.4 一斉書き込み動作

16ビット・タイマKB n では、16ビット・タイマKBコンペア・レジスタ np (TKBCR np)は図15-39に示すように二段構成になっています。そのため、プログラムでTKBCR np レジスタに値を設定しても、その値はただちに有効にはなりません。TKBCR np レジスタに任意のタイミングで設定された値は、カウント動作開始や転送トリガ時に、バッファ・レジスタに一斉に転送され、実際に比較動作で使用されます。これにより、複数のコンペア・レジスタに異なるタイミングで値を設定できるようになっています。

図15-39 コンペア・レジスタ一斉書き換え機能



備考 16ビット・タイマKBコンペア・レジスタ np (TKBCR np)はこのように二段構成になっていますが、値の書き込み以外では一つのレジスタとして扱います。バッファ・レジスタの値を直接読み出すことはできません。

(1) 一斉書き換えの手順

- ★ (a) 16ビット・タイマKBフラグ・レジスタ n (TKBFLG n)のTKBRSF n フラグが0であることを確認
- (b) 16ビット・タイマKBコンペア・レジスタ np (TKBCR np)を更新
- (c) 16ビット・タイマKBトリガ・レジスタ n (TKBTRG n)のTKBRDT n ビットに1を設定
- (d) 書き込みタイミング発生 ((2) 一斉書き込みトリガのタイミングに示した3条件)

(2) 一斉書き込みトリガのタイミング

コンペア・レジスタの一斉書き込みには次の3つの場合があります。このうち、(c)についてはレジスタ設定で制御することができます。

- (a) 16ビット・タイマKB $3n$ のカウント動作開始時
- (b) 16ビット・タイマ・カウンタKB n のカウント値と16ビット・タイマKBコンペア・レジスタ $n0$ (TKBCR $n0$)に設定された値が一致した。
- (c) 外部トリガによる一斉書き込み許可時に、外部トリガが発生した。

15.4.5 割り込み要求、A/D変換トリガの間引き制御

16ビット・タイマKB30, KB31, KB32は、割り込み要求やA/D変換トリガの間引き制御が可能です。TKBTCTLnレジスタのTKBTMDnビットにて、16ビット・タイマKB3n動作開始時の最初の1周期目の間引き出力を有効とするか無効とするかの設定が可能です。TKBTCTLnレジスタのTKBTMDnビットに1を設定すると、最初の1周期目の割り込み信号、A/Dトリガ信号を出力します。

図15-40に単体動作モードにおける16ビット・タイマKB3n動作開始1周期目の間引き出力無効時 (TKBTCTLn.TKBTMDn = 0) の動作例、図15-41に単体動作モードにおける16ビット・タイマKB3n動作開始1周期目の間引き出力有効時 (TKBTCTLn.TKBTMDn = 1) の動作例を示します。

図15-40 単体動作モードにおける16ビット・タイマKB3n動作開始1周期目の間引き出力無効時 (TKBTCTLn.TKBTMDn = 0) の動作例

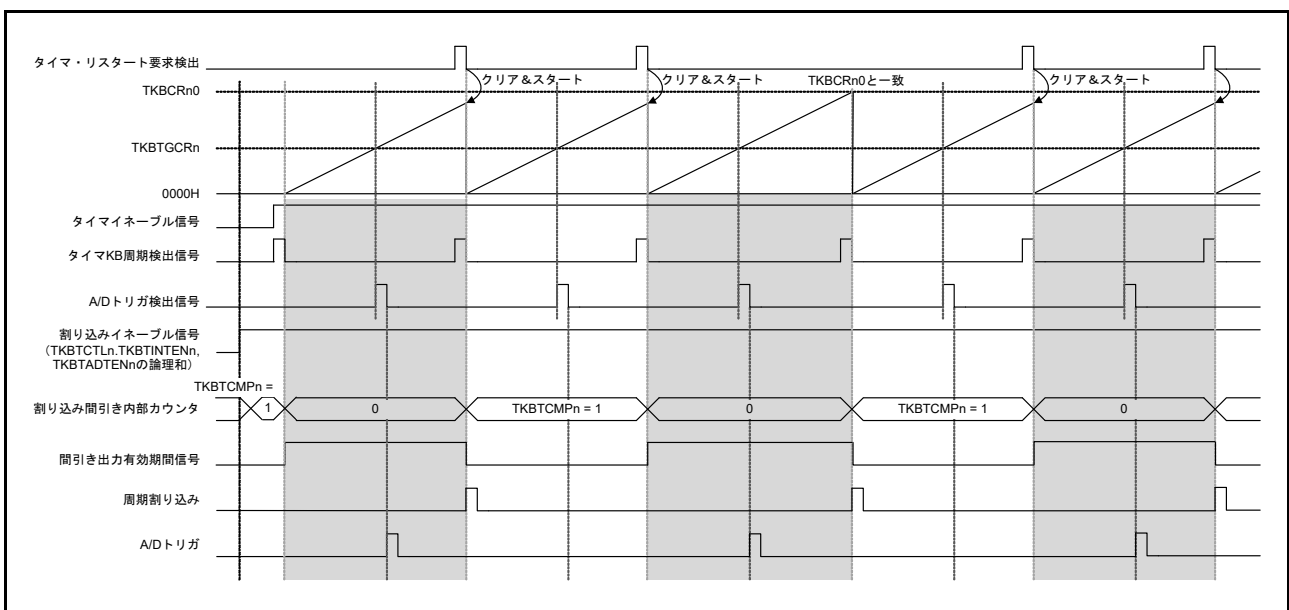
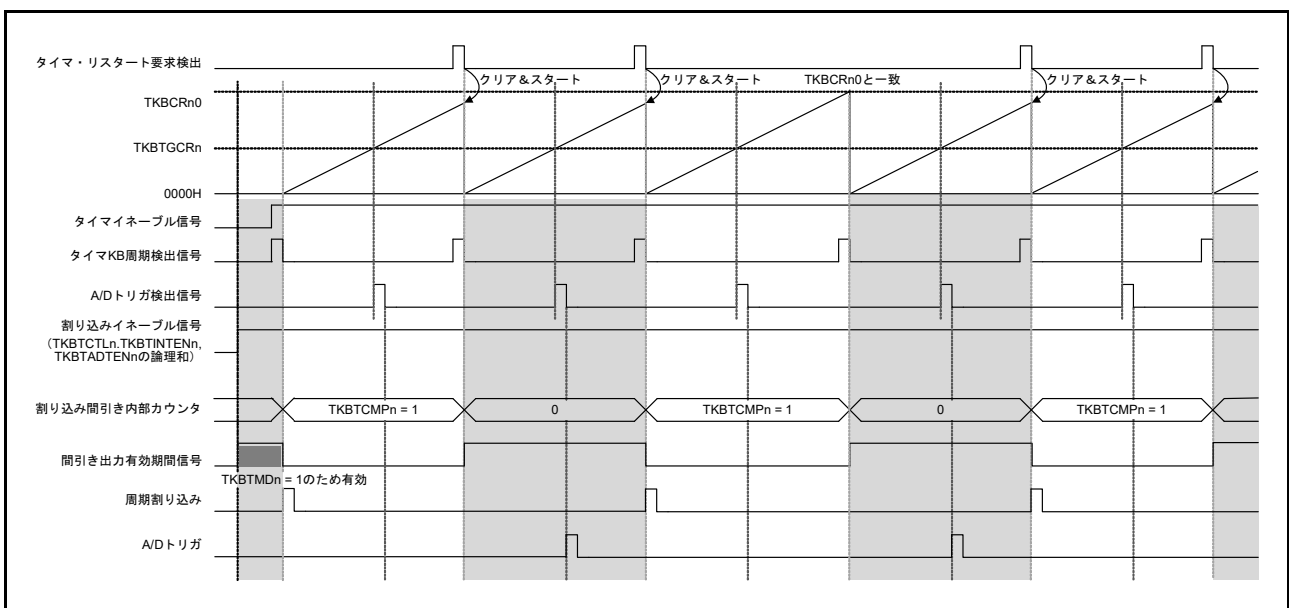


図15-41 単体動作モードにおける16ビット・タイマKB3n動作開始1周期目の間引き出力有効時 (TKBTCTLn.TKBTMDn = 1) の動作例



16ビット・タイマKB3nを同時スタート/クリアモードで動作させた場合、マスタとスレーブのカウンタ動作は同一となりますが、間引き制御はチャンネル単位で可能なため、個別に周期割り込み、A/Dトリガの間引き制御が可能です。

図15-42に同時スタート/クリアモードにおける16ビット・タイマKB3n動作開始1周期目の間引き出力無効時 (TKBTCTLn.TKBTMDn = 0) の動作例、図15-43に同時スタート/クリアモードにおける16ビット・タイマKB3n動作開始1周期目の間引き出力有効時 (TKBTCTLn.TKBTMDn = 1) の動作例を示します。

図15-42 同時スタート/クリアモードにおける16ビット・タイマKB3n動作開始1周期目の間引き出力無効時 (TKBTCTLn.TKBTMDn = 0) の動作例 (マスタ: 1間引き、スレーブ: 3間引き)

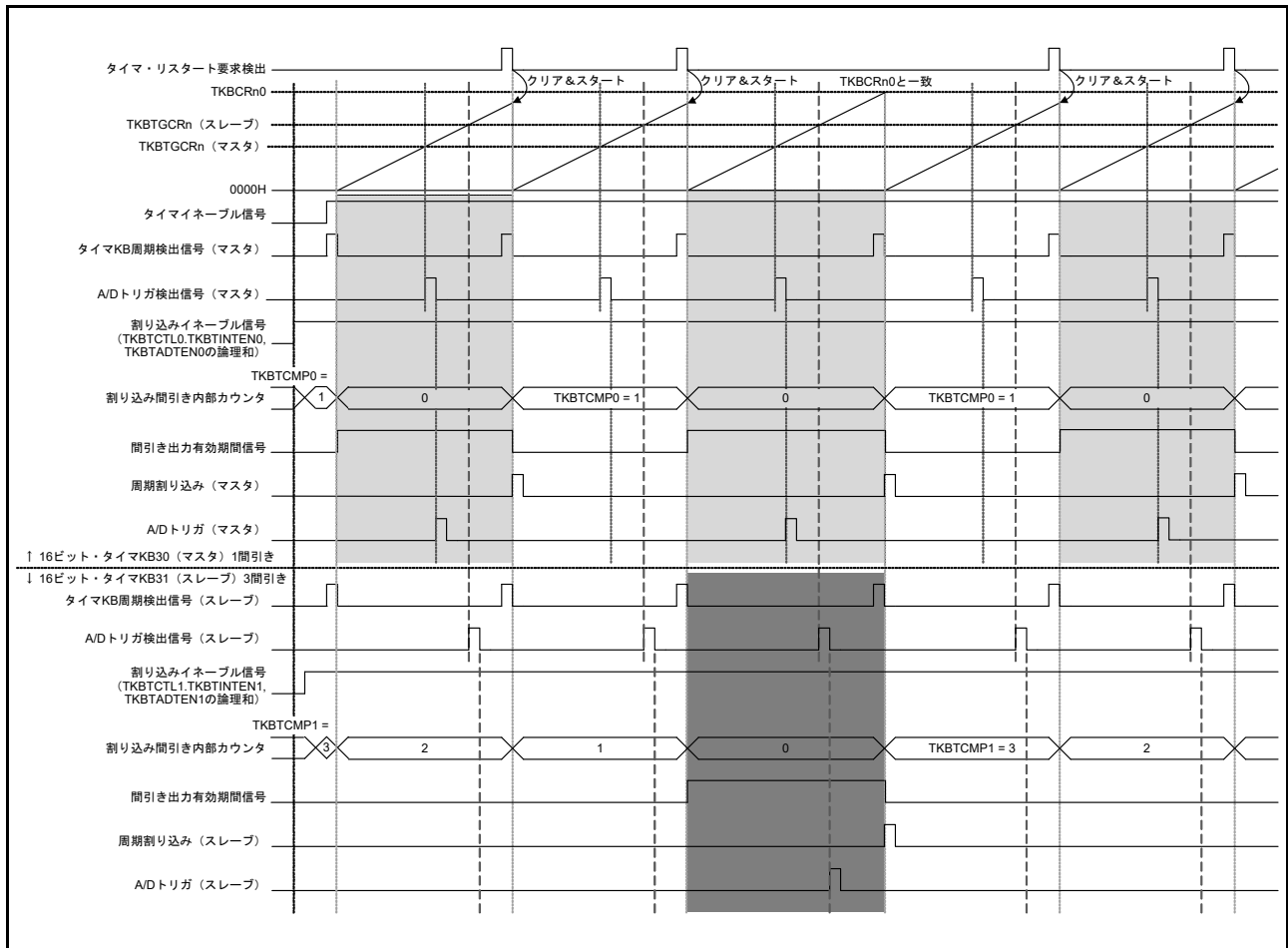
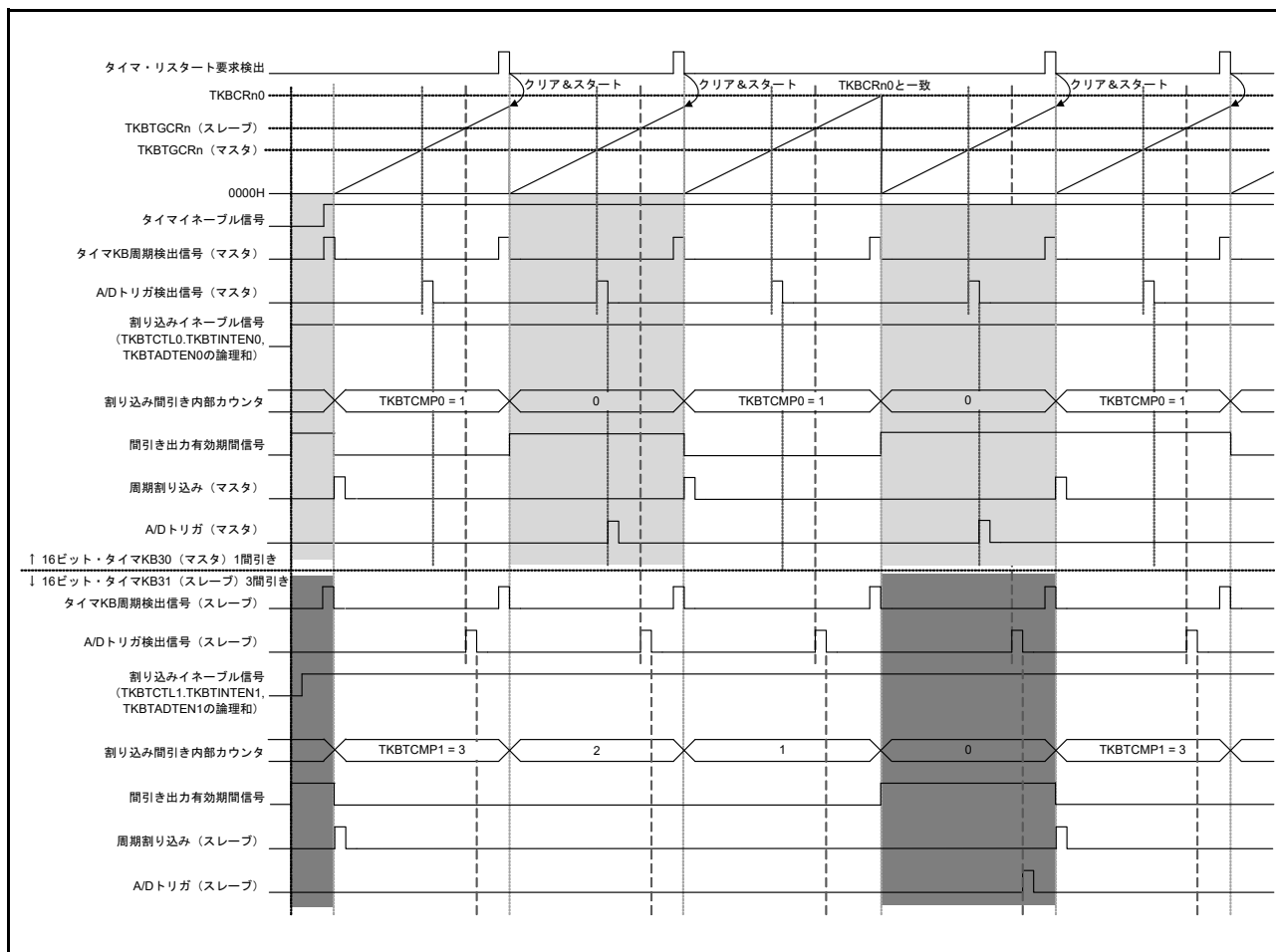


図15-43 同時スタート/クリアモードにおける16ビット・タイマKB3n動作開始1周期目の間引き出力有効時 (TKBTCTLn.TKBTMDn = 1) の動作例 (マスタ: 1間引き、スレーブ: 3間引き)



16ビット・タイマKB3nとタイマRD2を連動動作し、かつ16ビット・タイマKB3nのPWM出力ゲート機能を使用する場合に、PWM出力ゲート機能に連動した間引き制御が可能です。ゲートモードとの連動制御を使用する場合は、TKBTCTLn.TKBTKBGENnビットに1、TKBTCTLn.TKBTMDnビットに0を設定してください。タイマRD2が出力する2本のゲート制御信号が共に、Lowレベルの場合に間引き制御を停止します。ゲート制御信号がLowからHighに変化すると内部5ビットカウンタをクリアし再スタートします。ゲート制御信号がLow期間は割り込み要求信号、A/D変換トリガ信号は発生しません。

図15-44にゲートモードとの連動制御時のカウント制御構成、図15-45にゲートモードとの連動制御時の動作例を示します。

図15-44 ゲートモードとの連動制御時のカウント制御構成

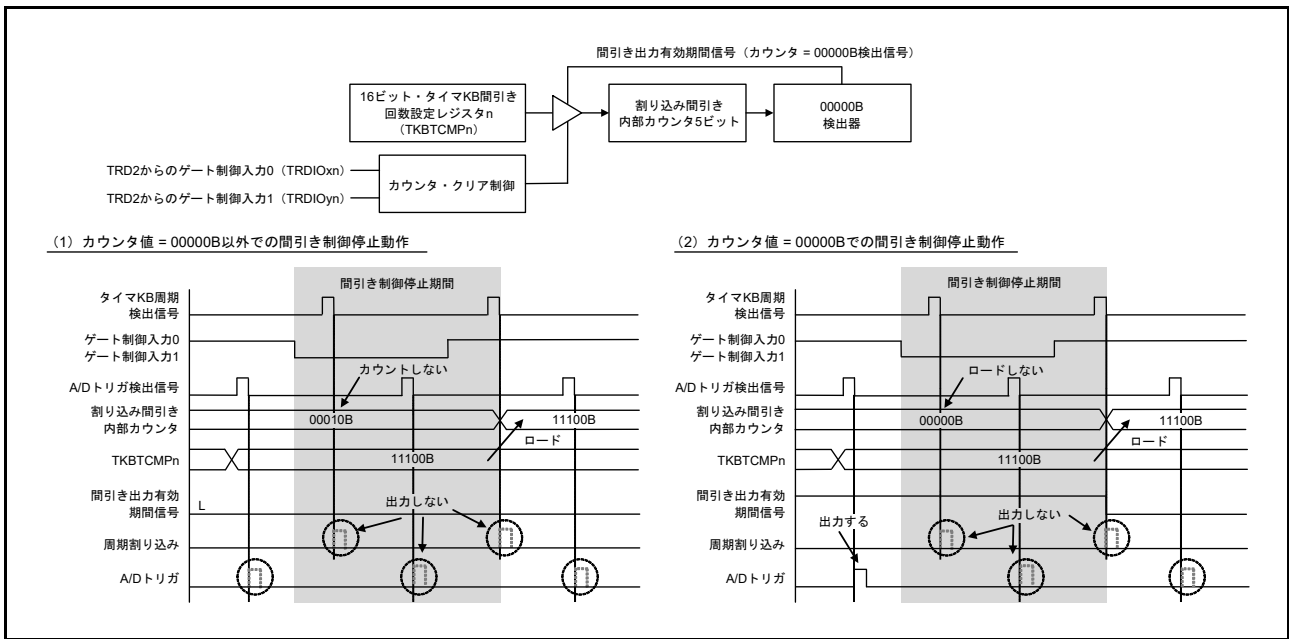
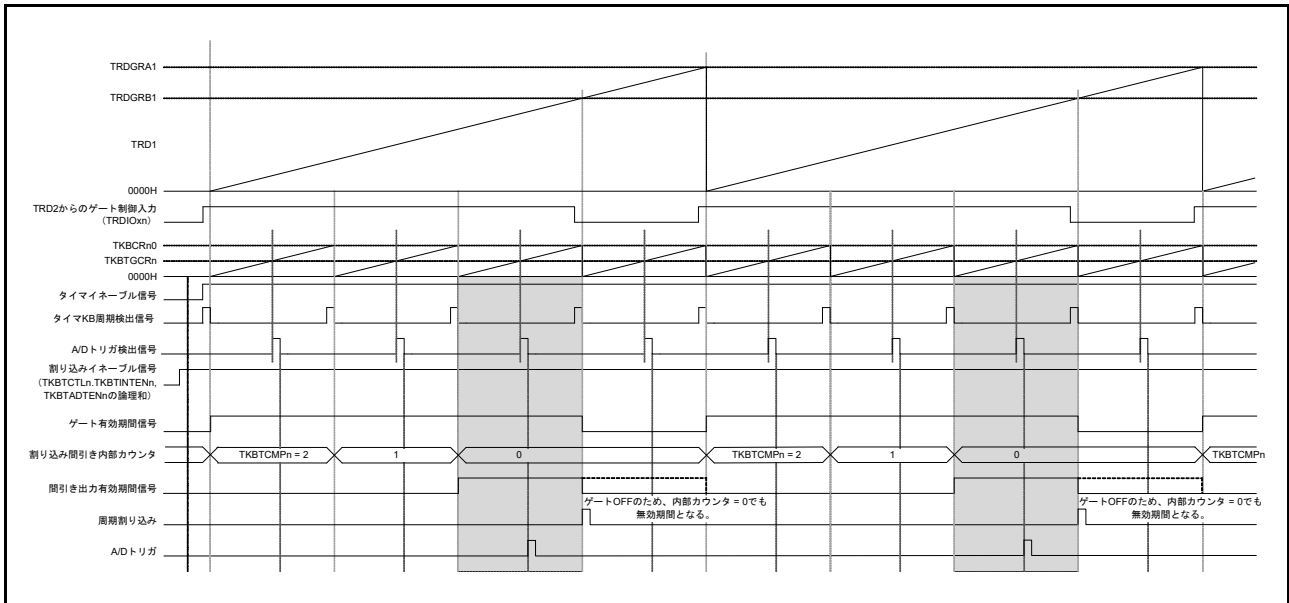


図15-45 ゲートモードとの連動制御時の動作例



15.4.6 単体動作モード（TKBCRn0レジスタによる周期制御）

(1) 機能概要

単体動作モードでは、TKBCRn0レジスタの設定値で周期を決め、TKBCRn0レジスタとTKBCRn1レジスタによりTKBOn0を生成し、TKBCRn2レジスタとTKBCRn3レジスタによりTKBOn1を生成します。

デューティは、0%～100%の範囲で設定可能で、周期とデューティは以下の計算式で求められます。

【TKBOn0出力の計算式】

パルス周期 = (TKBCRn0の設定値 + 1) × カウント・クロック周期

デューティ [%] = (TKBCRn1の設定値 / (TKBCRn0の設定値 + 1)) × 100

0% 出力 : TKBCRn1 の設定値 = 0000H

100% 出力 : TKBCRn1 の設定値 ≥ TKBCRn0 の設定値 + 1

【TKBOn1出力の計算式】

デューティ [%] = ((TKBCRn3の設定 - TKBCRn2の設定) / (TKBCRn0の設定 + 1)) × 100

0% 出力 : TKBCRn3 の設定値 = TKBCRn2 の設定値

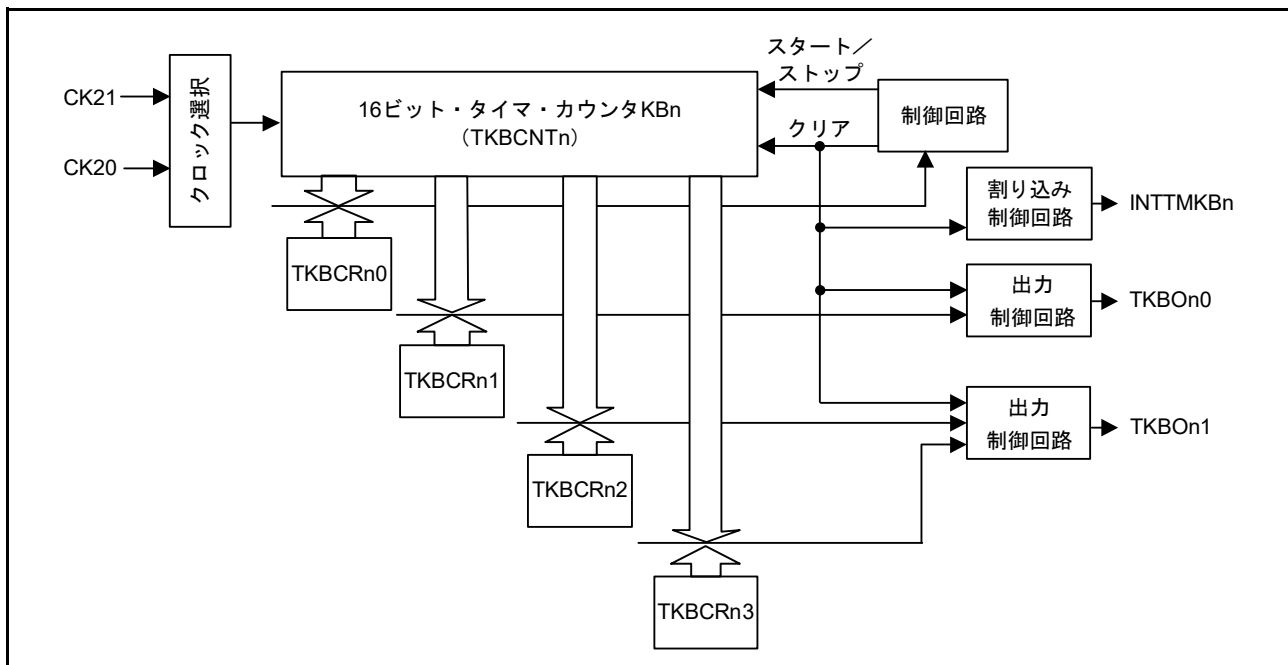
100% 出力 : TKBCRn2 の設定値 = 0000H

TKBCRn3 の設定値 ≥ TKBCRn0 の設定値 + 1

注意 必ずTKBCRn2の設定値 ≤ TKBCRn3の設定値としてください。

図15-46に単体動作時の構成図を示します。

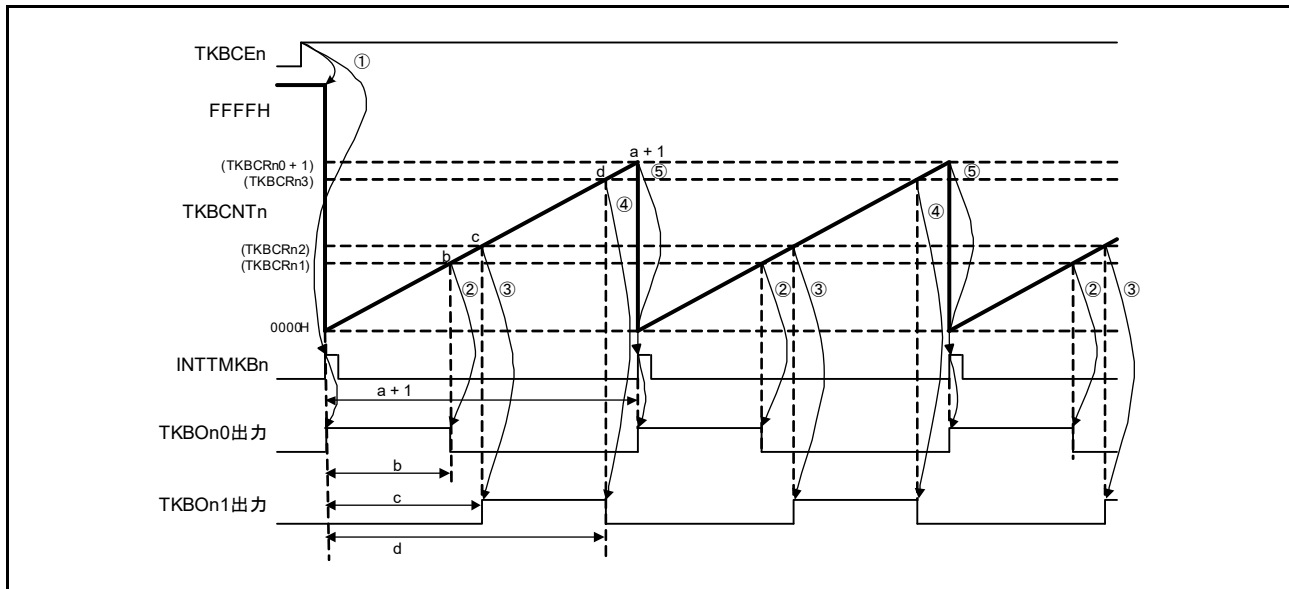
図15-46 単体動作時の構成図（TKBCRn0レジスタによる周期制御）



(2) 動作概要

図15-47に単体動作タイミング例を示します。

図15-47 単体動作タイミング例 (TKBCRn0レジスタによる周期制御)
(出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



単体動作 (TKBCRn0による周期制御) の動作例について説明します。図15-47の①～⑤の説明を次に示します。

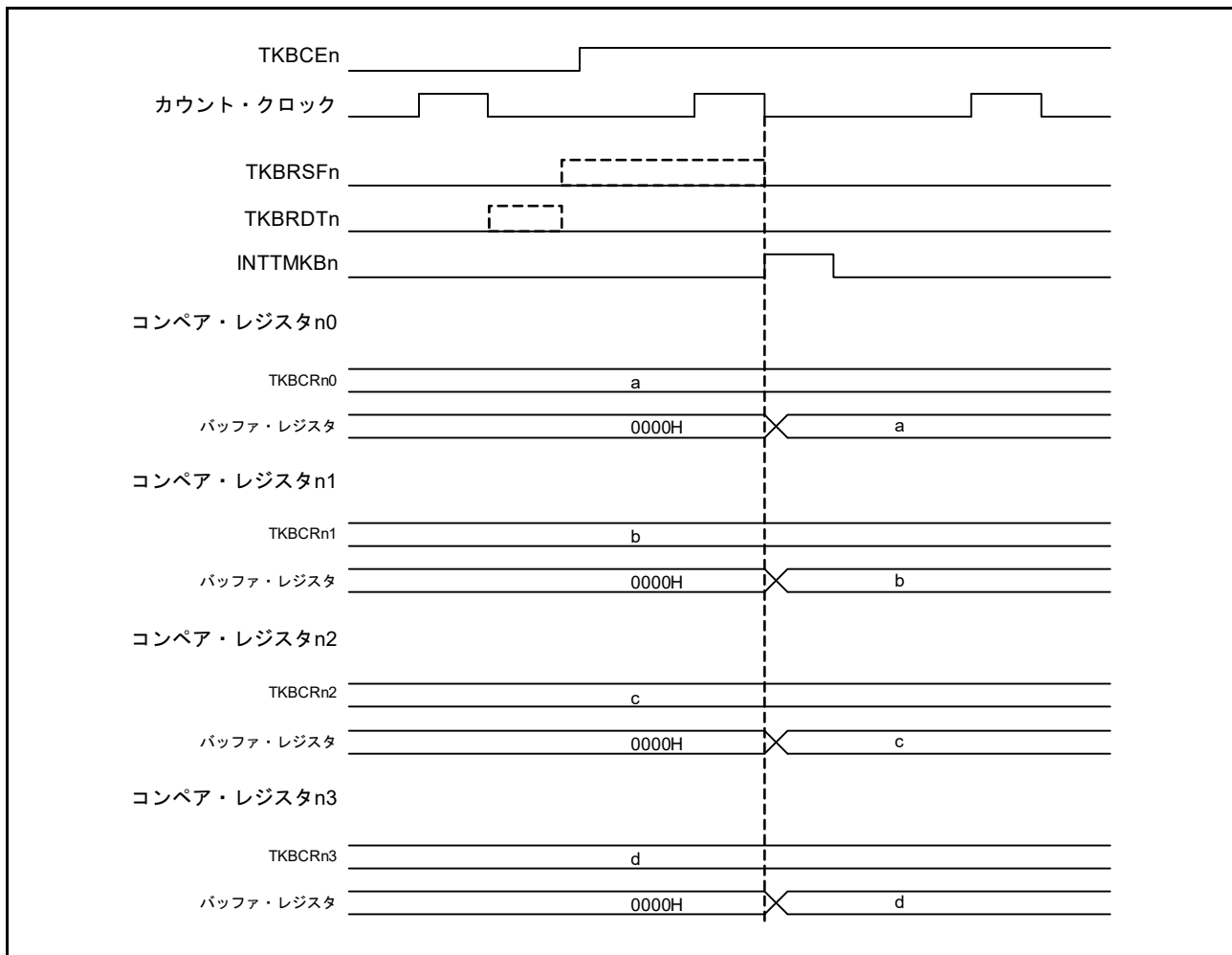
- ① TKBCEnビットに1を設定すると、カウント・クロックに同期して16ビット・タイマ・カウンタKBn (TKBCNTn) はFFFFHから0000Hになり、アップ・カウントを開始します。同時にINTTMKBnが出力され、TKBOn0出力がTKBIOCn0レジスタのTKBTODn0ビットで指定されたデフォルト値からTKBTOLn0ビットで指定されたアクティブ値 (この例ではハイ・レベル) に変化します (TKBOn1出力はTKBTODn1ビットで指定されたデフォルト値を保持しています)。
- ② TKBCNTnカウンタがカウント・アップして16ビット・タイマKBコンペア・レジスタn1 (TKBCRn1) に設定されている値と一致すると、TKBOn0出力がイン・アクティブ・レベルとなります。
- ③ TKBCNTnカウンタがカウント・アップして16ビット・タイマKBコンペア・レジスタn2 (TKBCRn2) に設定されている値と一致すると、TKBOn1出力がアクティブ・レベルとなります。
- ④ TKBCNTnカウンタがカウント・アップして16ビット・タイマKBコンペア・レジスタn3 (TKBCRn3) に設定されている値と一致すると、TKBOn1出力がイン・アクティブ・レベルとなります。
- ⑤ TKBCNTnカウンタがカウント・アップして16ビット・タイマKBコンペア・レジスタn0 (TKBCRn0) に設定されている値と一致すると、次のカウント・クロックでINTTMKBnが出力され、TKBOn0出力がアクティブ・レベルとなります。TKBCNTnカウンタは0000Hからカウント・アップします。
- ⑥ 以降②～⑤を繰り返します。

(3) 一斉書き込みの動作（カウント動作開始時）

16ビット・タイマKB3nのコンペア・レジスタは、TKBCTLn1レジスタのTKBCEnビットへの1書き込み後のカウント・クロック発生によるカウンタの動作開始タイミングで、内部バッファ・レジスタを一斉に更新する機能になっています。

カウント動作開始タイミングにかぎり、TKBTRGnレジスタのTKBRDTnビットへ1を書き込まなくても一斉書き換えが発生します（図15-48参照）。

図15-48 一斉書き換え機能：カウント動作開始時のバッファ更新タイミング図



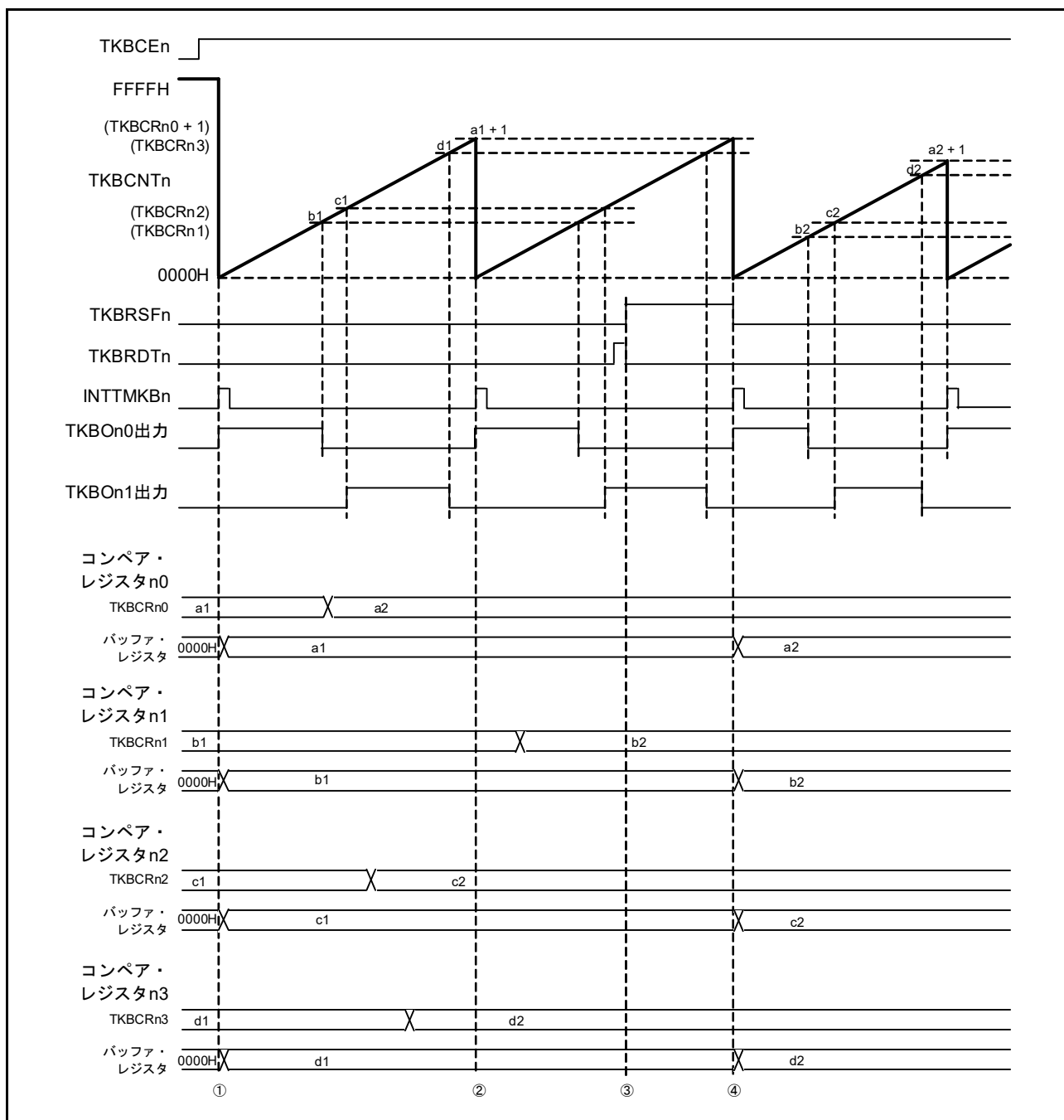
備考 TKBCTLn1.TKBCEn = 0のとき、TKBTRGn.TKBRDTnビットに1を書き込むとTKBFLGn.TKBRSFnフラグに1がセットされ、カウント動作開始タイミング（カウンタ・スタート・トリガ発生）でTKBRSFnフラグが0にクリアされます。

(4) 一斉書き込みの動作（カウント動作中のバッファ更新）

16ビット・タイマKB3nのコンペア・レジスタは、TKBRDTnビットへの1の書き込みを一斉書き換えトリガとして、次のカウンタ・クリア（TKBCNTnカウンタとTKBCRn0レジスタの一致）のタイミングで内部バッファ・レジスタを一斉に更新するようになっています。TKBRDTnビットへの1書き込みから一斉書き換え完了までを示すフラグとして、TKBRSFnフラグを準備しています（**図15-49**参照）。

- ① TKBCEnビットを0から1に設定し、TKBCNTnカウンタがカウント動作を開始するタイミングで、コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
- ② TKBCRnm, TKBTGCRnレジスタ書き換え後、カウンタ・クリアが発生した場合であっても、TKBRDTnビットへ1を書き込んでいなければ一斉書き換えは発生しません。
- ③ TKBRDTnビットへの1書き込みにより、一斉書き換え保留フラグ（TKBRSFnフラグ）が1となります。
- ④ TKBRSFnフラグが1のときの、カウンタ・クリア発生により、コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に、TKBRSFnフラグが0となります。

図15-49 一斉書き換え機能：カウント動作中のバッファ更新タイミング図



(5) 単体動作モード (TKBCRn0レジスタによる周期制御) でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	— 0	TKBGTEn1 1/0	TKBSSEn1 1/0	TKBDIEn1 1/0	— 0	TKBGTEn0 1/0	TKBSSEn0 1/0	TKBDIEn0 1/0
	7	6	5	4	3	2	1	0
	TKBMFEn 0	— 0	TKBIRSn1 0	TKBIRSn0 0	— 0	TKBTSEn 0	TKBSTSn1 0	TKBSTSn0 0
TKBCTLn1	7	6	5	4	3	2	1	0
	TKBCEn 1/0	— 0	— 0	TKBCKSn 1/0	TKBSCMn 0	— 0	TKBMDn1 0	TKBMDn0 0
TKBIOcn0	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBSSEn0 1/0	TKBDIEn0 1/0
TKBIOcn1	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
TKBCTLn2	15	14	13	12	11	10	9	8
	— 0	— 0	— 0	— 0	— 0	— 0	TKBMFMn 1 0	TKBMFMn 0 0
	7	6	5	4	3	2	1	0
	— 0	TKBINSn2 0	TKBINSn1 0	TKBINSn0 0	— 0	TKBKCln2 0	TKBKCln1 0	TKBKCln0 0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H-FFFFH
TKBSIRn1	0000H-FFFFH
TKBSSRn0	00H-0FH
TKBSSRn1	00H-0FH
TKBDNRn0	00H-F0H
TKBDNRn1	00H-F0H
TKBMFRn	0000H



: このモードでは設定固定



: 設定不要（初期値を設定）

15.4.7 単体動作モード（外部トリガ入力による周期制御）

(1) 機能概要

単体動作モードは、TKBCRn0レジスタによる周期制御だけでなく、外部トリガ入力にて周期を制御することもできます。（タイマ・リスタート機能）。本機能を使用することにより、たとえば臨界導通モードのPFC制御が実現可能です。

外部トリガ入力検出は、16ビット・タイマKB動作制御レジスタn0のTKBSTSn1, TKBSTSn0ビット、16ビット・タイマKB動作制御レジスタn2のTKBINSn2-TKBINSn0ビット、16ビット・タイマKB動作制御レジスタn2のTKBKClIn2-TKBKClIn0ビットにより選択された入力信号を使用します。

外部トリガ入力検出により、TKBCNTnカウンタを0000Hにクリアし、TKBOn0/TKBOn1出力をそれぞれアクティブ・レベルとイン・アクティブ・レベルにします。外部トリガ入力検出より先に、TKBCRn0レジスタに設定されている値とTKBCNTnカウンタの値の一致が発生した場合は、TKBCNTnカウンタは0000Hにクリアされ動作を継続します。

外部トリガ入力未検出で、TKBCRn0レジスタにより周期制御した場合のTKBOn0/TKBOn1出力の計算式は、**15.4.6 単体動作モード（TKBCRn0レジスタによる周期制御）**を参照してください。

外部トリガ入力検出により周期制御した場合のTKBOn0/TKBOn1出力の計算式は、以下のとおりです。

【TKBOn0出力の計算式】

パルス周期 = (外部トリガ入力検出時のカウンタ値 + 1) × カウント・クロック周期

デューティ [%] = (TKBCRn1の設定値 / (外部トリガ入力検出時のカウンタ値 + 1)) × 100

0% 出力 : TKBCRn1 の設定値 = 0000H

100% 出力 : TKBCRn1 の設定値 ≥ 外部トリガ入力検出時のカウンタ値 + 1

【TKBOn1出力の計算式】

パルス周期 = (外部トリガ入力検出時のカウンタ値 + 1) × カウント・クロック周期

デューティ [%] = ((TKBCRn3の設定値 - TKBCRn2の設定値) / (TKBCRn0の設定値 + 1)) × 100

0% 出力 : TKBCRn3 の設定値 = TKBCRn2 の設定値

100% 出力 : TKBCRn2 の設定値 = 0000H

TKBCRn3 の設定値 ≥ 外部トリガ入力検出時のカウンタ値 + 1

注意 必ずTKBCRn2の設定値 ≤ TKBCRn3の設定値としてください。

図15-50に単体動作時の構成図（外部トリガ入力による周期制御）を示します。

図15-50 単体動作時の構成図（外部トリガ入力による周期制御）

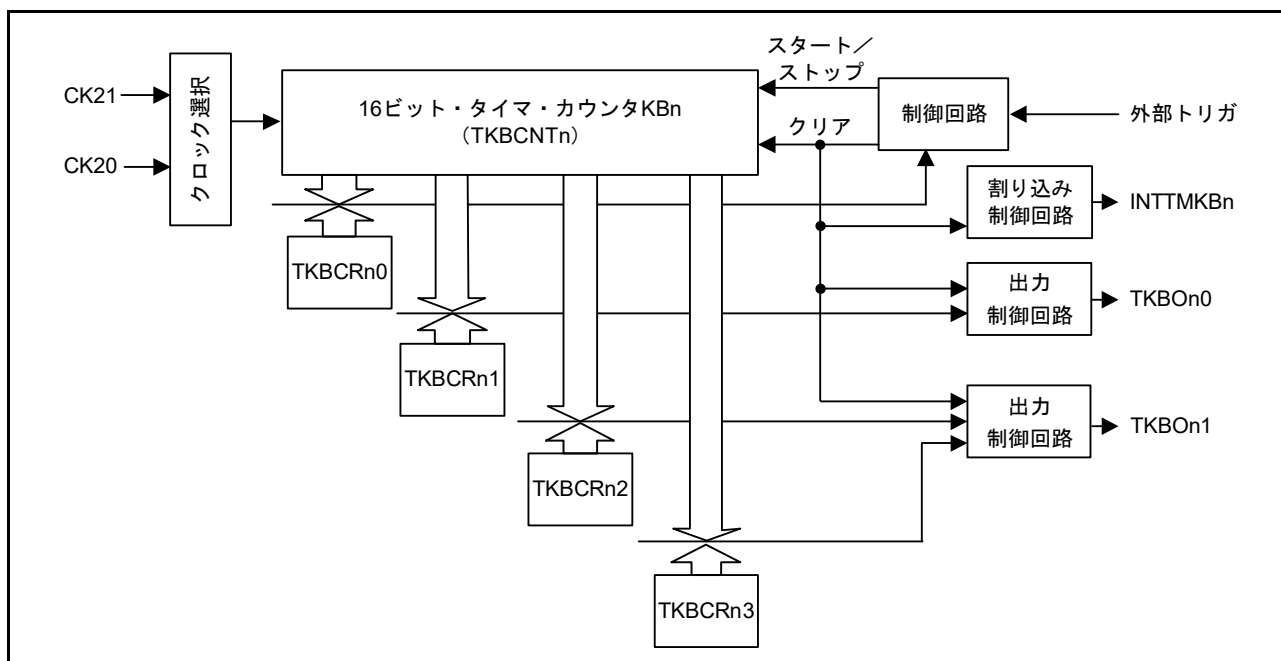


表15-3 単体動作（外部トリガ入力による周期制御）の外部トリガ割り当て一覧

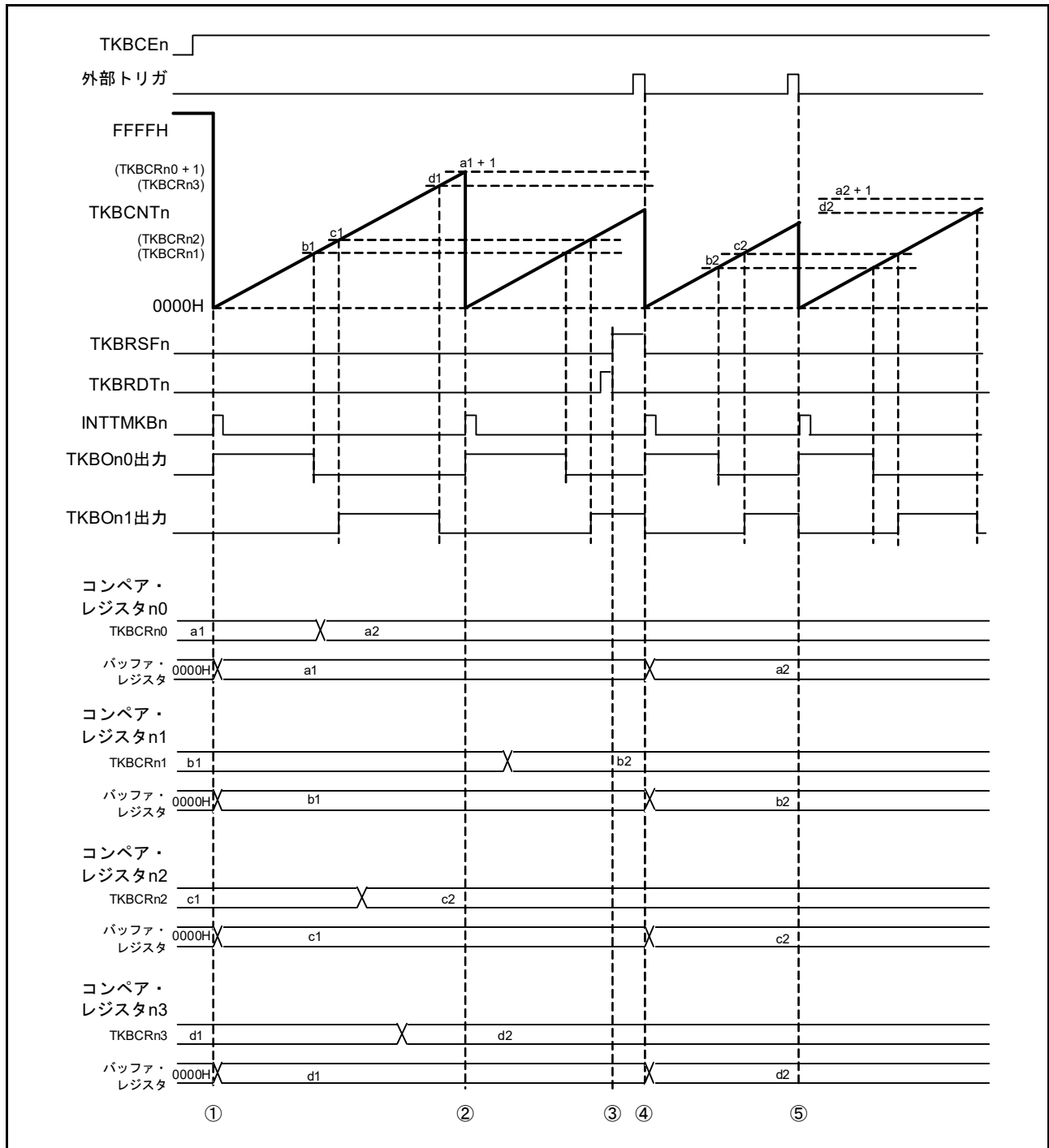
項目	16ビット・タイマKB30	16ビット・タイマKB31	16ビット・タイマKB32
コンパレータ0	○	○	○
コンパレータ1	○	○	○
コンパレータ2	○	○	○
コンパレータ3	○	○	○
INTP20	○	○	○
INTP21	○	○	○
INTP0	○	○	○

- (2) 一斉書き込みの動作（外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新（TKBTSEnビットに1を設定））

外部トリガ入力による周期制御での単体動作時に、TKBCTLn0レジスタのTKBTSEnビットに1を設定することで、TKBRDTnビットへの1書き込み後の外部トリガ入力検出タイミングで、カウンタのクリア、およびコンペア・レジスタ一斉書き換えを実施することができます。カウンタ・クリア同様、TKBRDTnビットへの1書き込み後に、外部トリガ入力検出より先にTKBCRn0レジスタとTKBCNTnカウンタの一致が発生した場合も、一斉書き換えが実施されず。外部トリガ入力要因はTKBCTLn0レジスタのTKBSTSn1, TKBSTSn0ビット、TKBCTLn2レジスタのTKBINSn2-TKBINSn0ビット、TKBCTLn2レジスタのTKBKCln2-TKBKCln0ビットで選択します。図15-51にTKBTSEnビットに1を設定した場合の一斉書き込みの動作タイミングの例を示します。

- ① TKBCEnビットを0から1に設定し、TKBCNTnカウンタがカウント動作を開始するタイミングで、コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
- ② TKBCRnm, TKBTGCRnレジスタ書き換え後、カウンタ・クリアが発生した場合であっても、TKBRDTnビットへ1を書き込んでいなければ一斉書き換えは発生しません。
- ③ TKBRDTnビットへの1書き込みにより、一斉書き換え保留フラグ（TKBRSFnフラグ）が1となります。
- ④ TKBTSEnビットが1に設定されて、TKBRSFnフラグが1のときの外部トリガ入力によるカウンタ・クリア発生により、コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に、TKBRSFnフラグが0となります。
- ⑤ 外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても、TKBRDTnビットへ1を書き込んでいなければ一斉書き換えは発生しません。

図15-51 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図（TKBTSEnビットに1を設定）



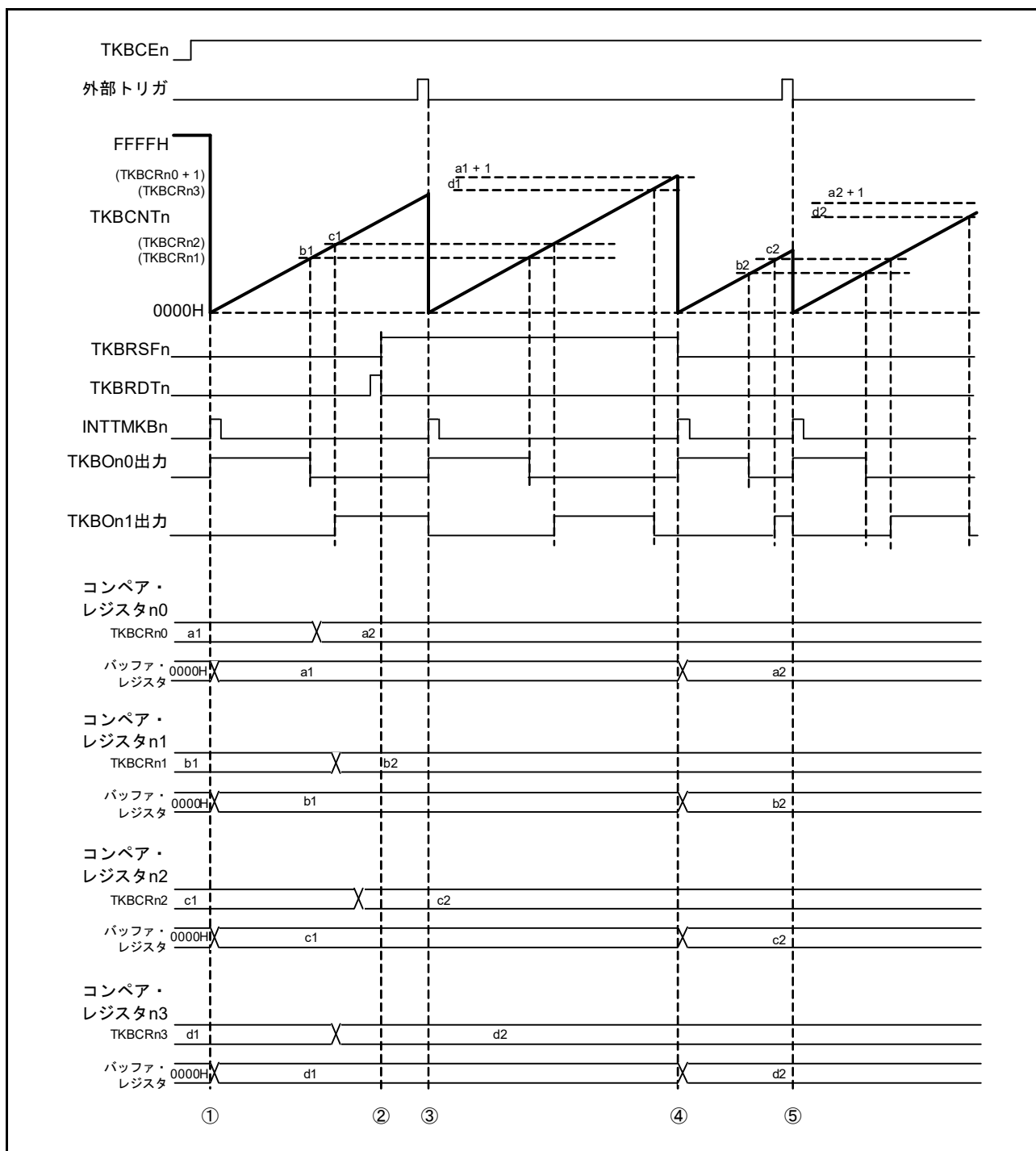
- (3) 一斉書き込みの動作（外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新（TKBTSEnビットに0を設定））

外部トリガ入力による周期制御での単体動作時に、TKBCTLn0レジスタのTKBTSEnビットに0を設定した場合の例です。この場合には、TKBRDTnビットに1が書き込まれて、一斉書き換え保留フラグ（TKBRSFnフラグ）が1の状態でも外部トリガ入力を検出すると、カウンタのクリアは行われますが、コンペア・レジスタ一斉書き換えは行いません。

外部トリガ入力要因はTKBCTLn0レジスタのTKBSTSn1, TKBSTSn0ビット、TKBCTLn2レジスタのTKBINSn2-TKBINSn0ビット、TKBCTLn2レジスタのTKBKCln2-TKBKCln0ビットで選択します。図15-52にTKBTSEnビットに0を設定した場合の一斉書き込みの動作タイミングの例を示します。

- ① TKBCEnビットを0から1に設定し、TKBCNTnがカウント動作を開始するタイミングで、コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
- ② TKBCRmn, TKBTGCRnレジスタ書き換え後、TKBRDTnビットへの1書き込みにより、一斉書き換え保留フラグ（TKBRSFnフラグ）が1となります。
- ③ 外部トリガ入力により、カウンタ・クリアが発生した場合であっても、TKBTSEnビットが1になっていなければ一斉書き換えは発生しません。
- ④ TKBRSFnフラグが1の状態でも、カウンタ・クリア（TKBCNTnカウンタとTKBCRn0レジスタの一致）が発生すると、コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に、TKBRSFnフラグが0となります。
- ⑤ 外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても、TKBTSEnビットとTKBRSFnフラグが1の状態でなければ一斉書き換えは発生しません。

図15-52 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図 (TKBTSEnビットに0を設定)



(4) 単体動作モード（外部トリガ入力による周期制御）でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	— 0	TKBGTEn1 1/0	TKBSSEn1 1/0	TKBDIEn1 1/0	— 0	TKBGTEn0 1/0	TKBSSEn0 1/0	TKBDIEn0 1/0
	7	6	5	4	3	2	1	0
	TKBMFEn 1/0	— 0	TKBIRSn1 0	TKBIRSn0 0	— 0	TKBTSEn 1/0	TKBSTSn1 1/0	TKBSTSn0 1/0
TKBCTLn1	TKBCEn 1/0	— 0	— 0	TKBCKSn 1/0	TKBSCMn 0	— 0	TKBMDn1 0	TKBMDn0 0
	7	6	5	4	3	2	1	0
TKBIOcn0	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0
	7	6	5	4	3	2	1	0
TKBIOcn1	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
	15	14	13	12	11	10	9	8
TKBCTLn2	— 0	— 0	— 0	— 0	— 0	— 0	TKBMFMn 1 1/0	TKBMFMn 0 1/0
	7	6	5	4	3	2	1	0
	— 0	TKBINSn2 1/0	TKBINSn1 1/0	TKBINSn0 1/0	— 0	TKBKCln2 1/0	TKBKCln1 1/0	TKBKCln0 1/0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H-FFFFH
TKBSIRn1	0000H-FFFFH
TKBSSRn0	00H-0FH
TKBSSRn1	00H-0FH
TKBDNRn0	00H-F0H
TKBDNRn1	00H-F0H
TKBMFRn	0000H-FFFFH



: このモードでは設定固定



: 設定不要（初期値を設定）

15.4.8 同時スタート/ストップ・モード

(1) 機能概要

複数の16ビット・タイマKB3nを使ってマスタ/スレーブ構成にすることで、マスタの16ビット・タイマKB30のカウンタ開始/停止タイミングと同期してスレーブの16ビット・タイマKB3mを同時スタート/ストップさせることができます。

その場合、マスタは「単体動作モード (TKBCTL01.TKBMD01, TKBCTL01.TKBMD00 = 00B)」、スレーブは「同時スタート/ストップ・モード (TKBCTLM1.TKBMDm1, TKBCTLM1.TKBMDm0 = 01B)」を選択してください。

同時スタート/ストップ・モードでは、マスタとスレーブのスタート/ストップ・タイミングのみが同期します。

マスタとスレーブにおいて、選択するカウンタ・クロック (CK20, CK21) が異なる場合、マスタのTKBSCM0ビットに1を設定することで、マスタとスレーブのカウンタ動作開始タイミングをそろえることができます。

カウンタ動作開始タイミング以降は、各タイマで個別動作となります。

TKBSCM0ビットは、マスタのみ設定します。

注意1. 16ビット・タイマKB30のみマスタとなります。

注意2. マスタ選択クロックは、必ずスレーブ選択クロックより速いか同じクロックにしてください。

★ **注意3.** 同時スタート/ストップ・モードとタイマRD2のタイマKB3連動動作モードを併用する場合、スレーブ選択クロックは、タイマRD2のカウンタクロックより早いか同じクロックに選択してください。

マスタとスレーブの選択クロックの関係	CK20とCK21の関係	マスタのTKBSCMnビット	対応可能
マスタとスレーブが同一クロックを選択	—	0	○
マスタとスレーブが異なるクロックを選択	マスタの選択クロックが、スレーブ選択クロックより速い場合	1	○
マスタとスレーブが異なるクロックを選択	マスタの選択クロックが、スレーブ選択クロックより遅い場合	—	×

同時スタート/ストップ・モードでのTKBOn0/TKBOn1出力の計算式は、15.4.6 単体動作モード (TKBCRn0レジスタによる周期制御) または15.4.7 単体動作モード (外部トリガ入力による周期制御) を参照してください。

(2) 同時スタート/ストップ・モード

マスタ : 単体動作モードでのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTL00	— 0	TKBGTE01 1/0	TKBSSE01 1/0	TKBDIE01 1/0	— 0	TKBGTE00 1/0	TKBSSE00 1/0	TKBDIE00 1/0
	7	6	5	4	3	2	1	0
	TKBMFE0 1/0	— 0	TKBIRS01 0	TKBIRS00 0	— 0	TKBTSE0 1/0	TKBSTS01 1/0	TKBSTS00 1/0
	7	6	5	4	3	2	1	0
TKBCTL01	TKBCE0 1/0	— 0	— 0	TKBCKS0 1/0	TKBSCM0 1/0	— 0	TKBMD01 0	TKBMD00 0
	7	6	5	4	3	2	1	0
TKBIOC00	— 0	— 0	— 0	— 0	TKBTOL01 1/0	TKBTOL00 1/0	TKBTOD01 1/0	TKBTOD00 1/0
	7	6	5	4	3	2	1	0
TKBIOC01	— 0	— 0	— 0	— 0	— 0	— 0	TKBT0E01 1/0	TKBT0E00 1/0
	15	14	13	12	11	10	9	8
TKBCTL02	— 0	— 0	— 0	— 0	— 0	— 0	TKBMFM0 1 1/0	TKBMFM0 0 1/0
	7	6	5	4	3	2	1	0
	— 0	TKBINS02 1/0	TKBINS01 1/0	TKBINS00 1/0	— 0	TKBKCI02 1/0	TKBKCI01 1/0	TKBKCI00 1/0

TKBCR00	0000H-FFFFH
TKBCR01	0000H-FFFFH
TKBCR02	0000H-FFFFH
TKBCR03	0000H-FFFFH
TKBTGCR0	0000H-FFFFH
TKBSIR00	0000H-FFFFH
TKBSIR01	0000H-FFFFH
TKBSSR00	00H-0FH
TKBSSR01	00H-0FH
TKBDNR00	00H-F0H
TKBDNR01	00H-F0H
TKBMFR0	0000H-FFFFH



: このモードでは設定固定



: 設定不要（初期値を設定）

(3) 同時スタート/ストップ・モード

スレーブ : 同時スタート/ストップ・モードでのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLk0	— 0	TKBGTEk1 1/0	TKBSSEk1 1/0	TKBDIEk1 1/0	— 0	TKBGTEk0 1/0	TKBSSEk0 1/0	TKBDIEk0 1/0
	7	6	5	4	3	2	1	0
	TKBMFEk 1/0	— 0	TKBIRSk1 0	TKBIRSk0 0	— 0	TKBTSEk 1/0	TKBSTSk1 1/0	TKBSTSk0 1/0
	7	6	5	4	3	2	1	0
TKBCTLk1	TKBCEk 0	— 0	— 0	TKBCKSk 1/0	TKBSCMk 0	— 0	TKBMDk1 0	TKBMDk0 1
	7	6	5	4	3	2	1	0
TKBIOCK0	— 0	— 0	— 0	— 0	TKBTOLk1 1/0	TKBTOLk0 1/0	TKBTODk1 1/0	TKBTODk0 1/0
	7	6	5	4	3	2	1	0
TKBIOCK1	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEk1 1/0	TKBTOEk0 1/0
	15	14	13	12	11	10	9	8
TKBCTLk2	— 0	— 0	— 0	— 0	— 0	— 0	TKBMFMk 1 1/0	TKBMFMk 0 1/0
	7	6	5	4	3	2	1	0
	— 0	TKBINSk2 1/0	TKBINSk1 1/0	TKBINSk0 1/0	— 0	TKBKCIk2 1/0	TKBKCIk1 1/0	TKBKCIk0 1/0

TKBCRk0	0000H-FFFFH
TKBCRk1	0000H-FFFFH
TKBCRk2	0000H-FFFFH
TKBCRk3	0000H-FFFFH
TKBTGCRk	0000H-FFFFH
TKBSIRk0	0000H-FFFFH
TKBSIRk1	0000H-FFFFH
TKBSSRk0	00H-0FH
TKBSSRk1	00H-0FH
TKBDNRk0	00H-F0H
TKBDNRk1	00H-F0H
TKBMFRk	0000H-FFFFH



: このモードでは設定固定



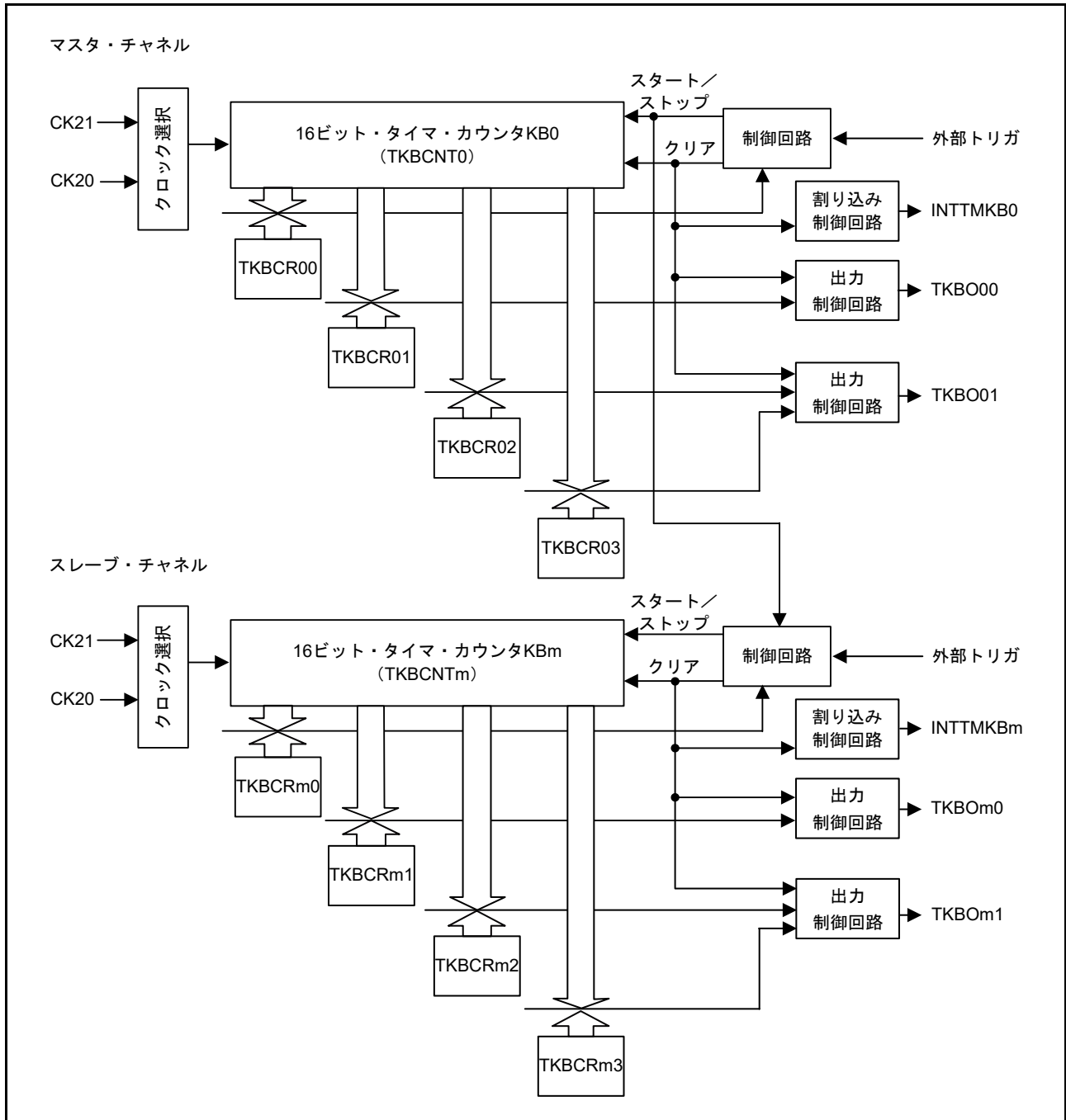
: 設定不要 (初期値を設定)

備考 k = 1, 2

(4) 同時スタート/ストップ・モードの構成図

図15-53に同時スタート/ストップ・モード時の構成図を示します。

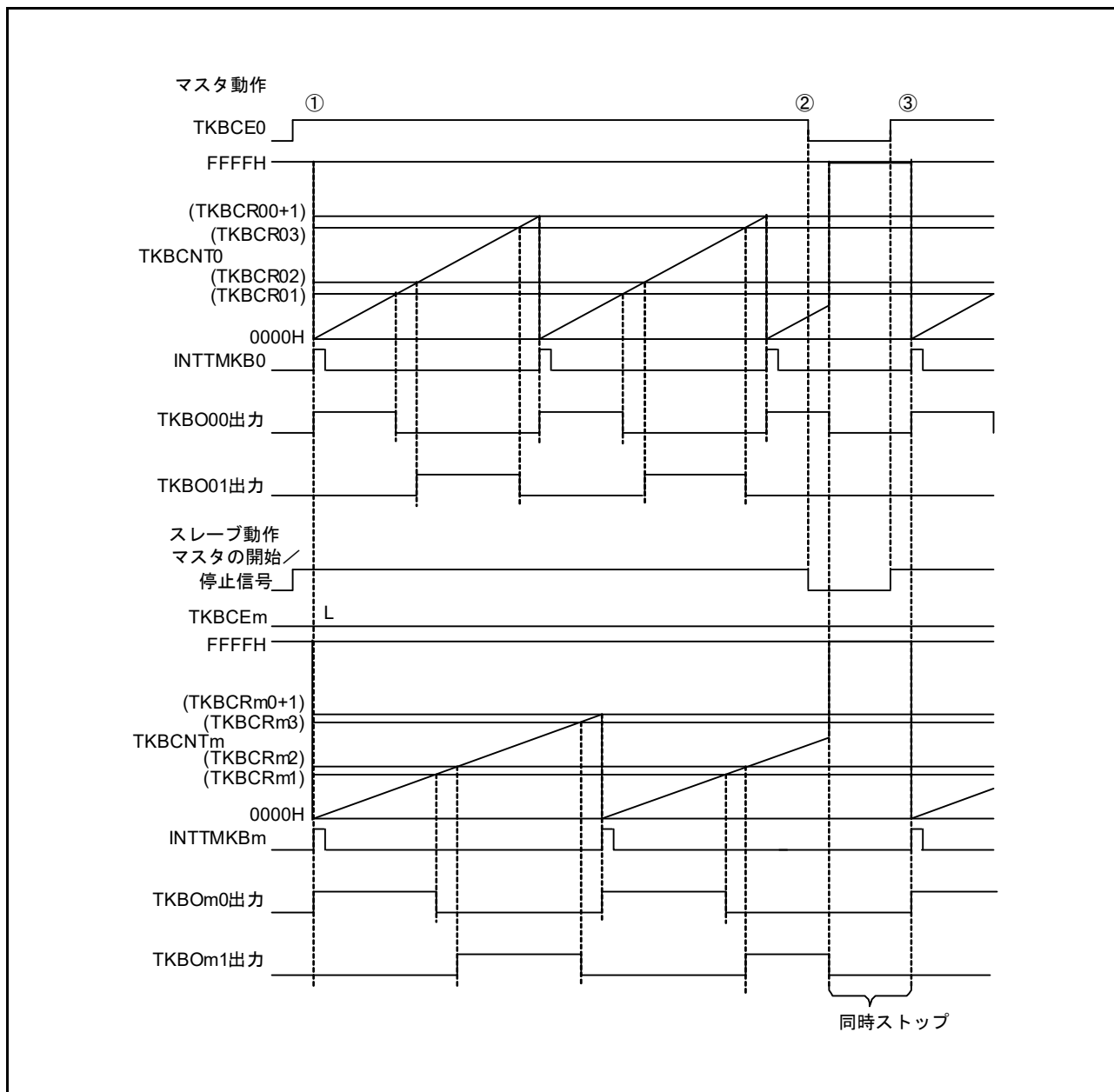
図15-53 同時スタート/ストップ・モード時の構成図



(5) 動作概要

図15-54に同時スタート/ストップ・モード動作タイミング例を示します。

図15-54 同時スタート/ストップ・モード動作タイミング例
 (TKBCR00レジスタによる周期制御) (出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



同時スタート/ストップ・モードの動作例について説明します。図15-54の①～③の説明を次に示します。

- ① マスタのTKBCE0ビットに1を設定すると、カウント・クロックに同期してマスタの16ビット・タイマ・カウンタKB0 (TKBCNT0) とスレーブの16ビット・タイマ・カウンタKBm (TKBCNTm) はFFFFHから0000Hになり、アップ・カウントを開始します。同時にマスタからはINTTMKB0、スレーブからはINTTMKBmが出力され、TKBO00出力とTKB0m0出力がデフォルト値からアクティブ値（この例ではハイ・レベル）に変化します。以降の細かな動作は図15-47 単体動作タイミング例を参照してください。
- ② TKBCE0ビットに0を設定すると、16ビット・タイマKB3nの入カクロックに同期してマスタのTKBCNT0カウンタとスレーブのTKBCNTmカウンタはカウント・アップを停止して、FFFFHになります。同時にマスタとスレーブの出力はデフォルト・レベルとなります。この状態はマスタのTKBCE0ビットに1が設定されるまで続きます。
- ③ マスタのTKBCE0ビットに1を設定すると、①からと同じ動作を繰り返します。

15.4.9 同時スタート／クリア・モード

(1) 機能概要

複数の16ビット・タイマKB3nを使ってマスタ／スレーブ構成にしている場合、マスタの16ビット・タイマKB30のカウント開始／停止タイミング、カウンタ・クリアタイミングおよび一斉書き換えタイミングと同期してスレーブの16ビット・タイマKB3mを同時スタート／クリアさせることができます。

その場合、マスタを「単体動作モード (TKBCTL01.TKBMD01, TKBCTL01.TKBMD00 = 00B)」、スレーブを「同時スタート／クリア・モード (TKBCTLm1.TKBMDm1, TKBCTLm1.TKBMDm0 = 10B)」で動作させます。TKBCKS0ビットおよびTKBCKSmビットは、必ずマスタ／スレーブが同一の分周クロックを選択するようにしてください。

マスタのTKBO00/TKBO01出力の算出式は、**15.4.6 単体動作モード (TKBCRn0 レジスタによる周期制御)**を参照してください。

一斉書き換えは、マスタのTKBRDT0ビットへ1を書き込むことで制御されます。

TKBRSF0フラグを読み出す場合は、マスタのTKBRSF0フラグを確認することが必要です。マスタのTKBCNT0カウンタのクリア・タイミングで、スレーブのTKBCNTmカウンタもクリアされます。

マスタの一斉書き換えタイミングで、スレーブのコンペア・レジスタも一斉書き換えされます。

スレーブは、マスタのTKBCR00レジスタで生成する周期に従って動作するので、スレーブのTKBCRm0レジスタはTKBOm0のアクティブ・タイミングを設定するレジスタに役割が変更になります。

INTTMKBmは、TKBCNT0カウンタのカウント動作開始タイミング、およびTKBCNT0カウンタのクリアタイミングにより生成されます。間引き制御を適用しない場合の出力タイミングは、INTTMKB0と同一となります。

スレーブのデューティは、0%～100%の範囲で設定可能で、以下の計算式で求められます。

【スレーブのTKBOm0出力の計算式】

パルス周期 = (マスタのTKBCR00の設定値 + 1) × カウント・クロック周期

$$\text{デューティ [\%]} = \frac{(\text{TKBCRm1 の設定値} - \text{TKBCRm0 の設定値})}{(\text{マスタの TKBCR00 の設定値} + 1)} \times 100$$

0%出力 : TKBCRm1 の設定値 = TKBCRm0 の設定値

100%出力 : TKBCRm0 の設定値 = 0000H

TKBCRm1 の設定値 ≥ マスタの TKBCR00 の設定値 + 1

注意 必ず、TKBCRm0の設定値 ≤ TKBCRm1の設定値としてください。

【スレーブのTKBOm1出力の演算式】

パルス周期 = (マスタのTKBCR00の設定値 + 1) × カウント・クロック周期

$$\text{デューティ [\%]} = \frac{(\text{TKBCRm3 の設定値} - \text{TKBCRm2 の設定値})}{(\text{マスタの TKBCR00 の設定値} + 1)} \times 100$$

0%出力 : TKBCRm3 の設定値 = TKBCRm2 の設定値

100%出力 : TKBCRm2 の設定値 = 0000H

TKBCRm3 の設定値 ≥ マスタの TKBCR00 の設定値 + 1

注意 必ず、TKBCRm2の設定値 ≤ TKBCRm3の設定値としてください。

備考 m = 1, 2

(2) 同時スタート/クリア・モード

マスタ : 単体動作モードでのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTL00	— 0	TKBGTE01 1/0	TKBSSE01 1/0	TKBDIE01 1/0	— 0	TKBGTE00 1/0	TKBSSE00 1/0	TKBDIE00 1/0
	7	6	5	4	3	2	1	0
	TKBMFE0 1/0	— 0	TKBIRS01 0	TKBIRS00 0	— 0	TKBTSE0 1/0	TKBSTS01 1/0	TKBSTS00 1/0
	7	6	5	4	3	2	1	0
TKBCTL01	TKBCE0 1/0	— 0	— 0	TKBCKS0 1/0	TKBSCM0 0	— 0	TKBMD01 0	TKBMD00 0
	7	6	5	4	3	2	1	0
TKBIOC00	— 0	— 0	— 0	— 0	TKBTOL01 1/0	TKBTOL00 1/0	TKBTOD01 1/0	TKBTOD00 1/0
	7	6	5	4	3	2	1	0
TKBIOC01	— 0	— 0	— 0	— 0	— 0	— 0	TKBT0E01 1/0	TKBT0E00 1/0
	15	14	13	12	11	10	9	8
TKBCTL02	— 0	— 0	— 0	— 0	— 0	— 0	TKBMFM0 1 0	TKBMFM0 0 0
	7	6	5	4	3	2	1	0
	— 0	TKBINS02 1/0	TKBINS01 1/0	TKBINS00 1/0	— 0	TKBKCI02 1/0	TKBKCI01 1/0	TKBKCI00 1/0

TKBCR00	0000H-FFFFH
TKBCR01	0000H-FFFFH
TKBCR02	0000H-FFFFH
TKBCR03	0000H-FFFFH
TKBTGCR0	0000H-FFFFH
TKBSIR00	0000H-FFFFH
TKBSIR01	0000H-FFFFH
TKBSSR00	00H-0FH
TKBSSR01	00H-0FH
TKBDNR00	00H-F0H
TKBDNR01	00H-F0H
TKBMFR0	0000H-FFFFH



: このモードでは設定固定



: 設定不要 (初期値を設定)

(3) 同時スタート/クリア・モード

スレーブ : 同時スタート/クリア・モードでのレジスタ設定内容例

TKBCTLk0	15	14	13	12	11	10	9	8
	—	TKBGTE01	TKBSSEK1	TKBDIEK1	—	TKBGTE00	TKBSSEK0	TKBDIEK0
	0	1/0	1/0	1/0	0	1/0	1/0	1/0
	7	6	5	4	3	2	1	0
	TKBMFEK	—	TKBIRSk1	TKBIRSk0	—	TKBTSEK	TKBSTSk1	TKBSTSk0
	0	0	0	0	0	0	0	0
TKBCTLk1	7	6	5	4	3	2	1	0
	TKBCEK	—	—	TKBCKSk	TKBSCMk	—	TKBMDk1	TKBMDk0
	0	0	0	1/0	0	0	1	0
TKBIOCK0	7	6	5	4	3	2	1	0
	—	—	—	—	TKBTOLk1	TKBTOLk0	TKBTODk1	TKBTODk0
	0	0	0	0	1/0	1/0	1/0	1/0
TKBIOCK1	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TKBTODk1	TKBTODk0
	0	0	0	0	0	0	1/0	1/0
TKBCTLk2	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	TKBMFMk	TKBMFMk
	0	0	0	0	0	0	1	0
							0	0
	7	6	5	4	3	2	1	0
	—	TKBINSk2	TKBINSk1	TKBINSk0	—	TKBKCIk2	TKBKCIk1	TKBKCIk0
	0	0	0	0	0	0	0	0

TKBCRk0	0000H-FFFFH
TKBCRk1	0000H-FFFFH
TKBCRk2	0000H-FFFFH
TKBCRk3	0000H-FFFFH
TKBTGCRk	0000H-FFFFH
TKBSIRk0	0000H-FFFFH
TKBSIRk1	0000H-FFFFH
TKBSSRk0	00H-0FH
TKBSSRk1	00H-0FH
TKBDNRk0	00H-F0H
TKBDNRk1	00H-F0H
TKBMFRk	0000H



: このモードでは設定固定



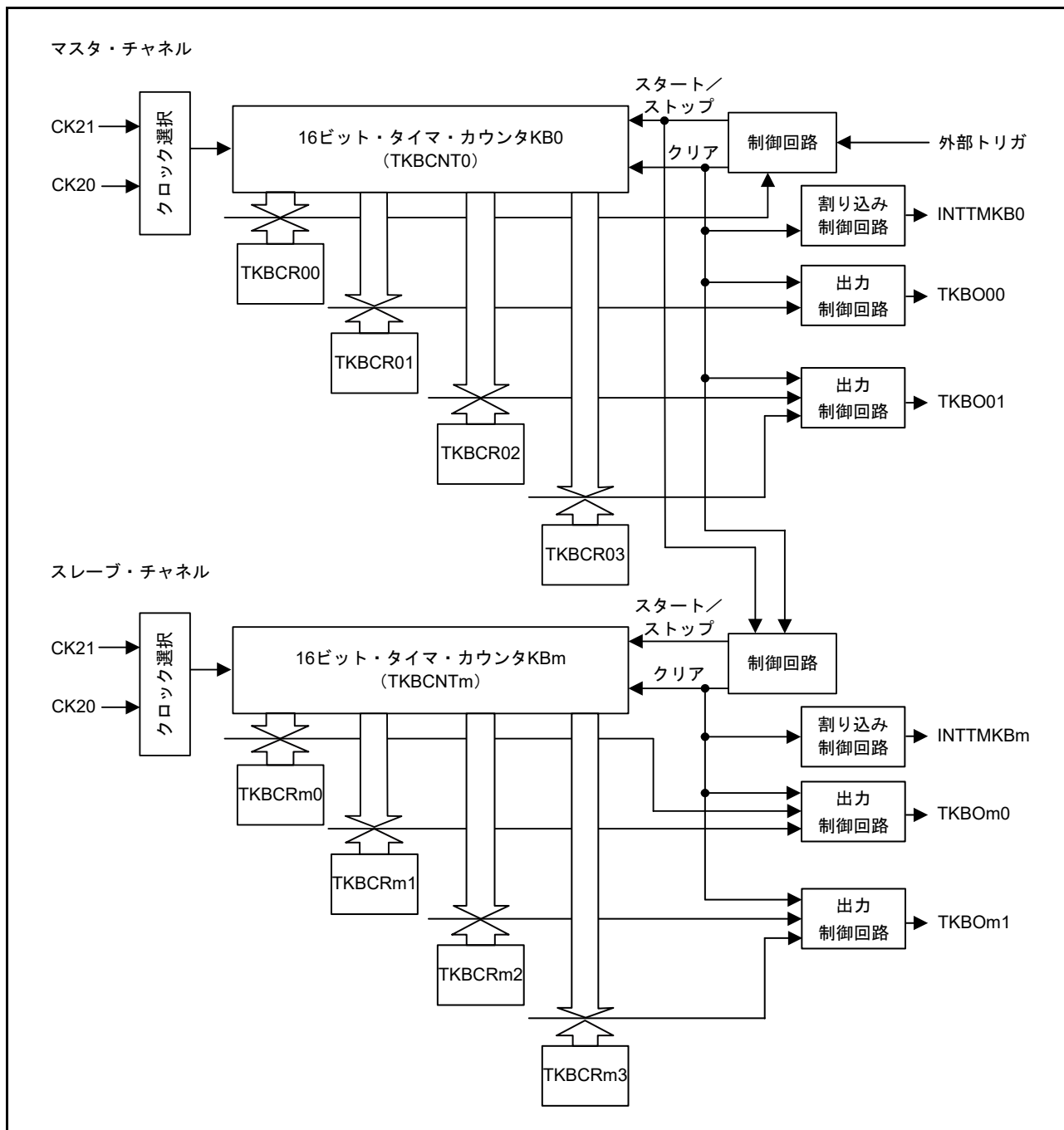
: 設定不要（初期値を設定）

備考 k = 1, 2

(4) 同時スタート/クリア・モードの構成図 (マスタによる周期制御)

図15-55に同時スタート/クリア・モード時の構成図を示します。

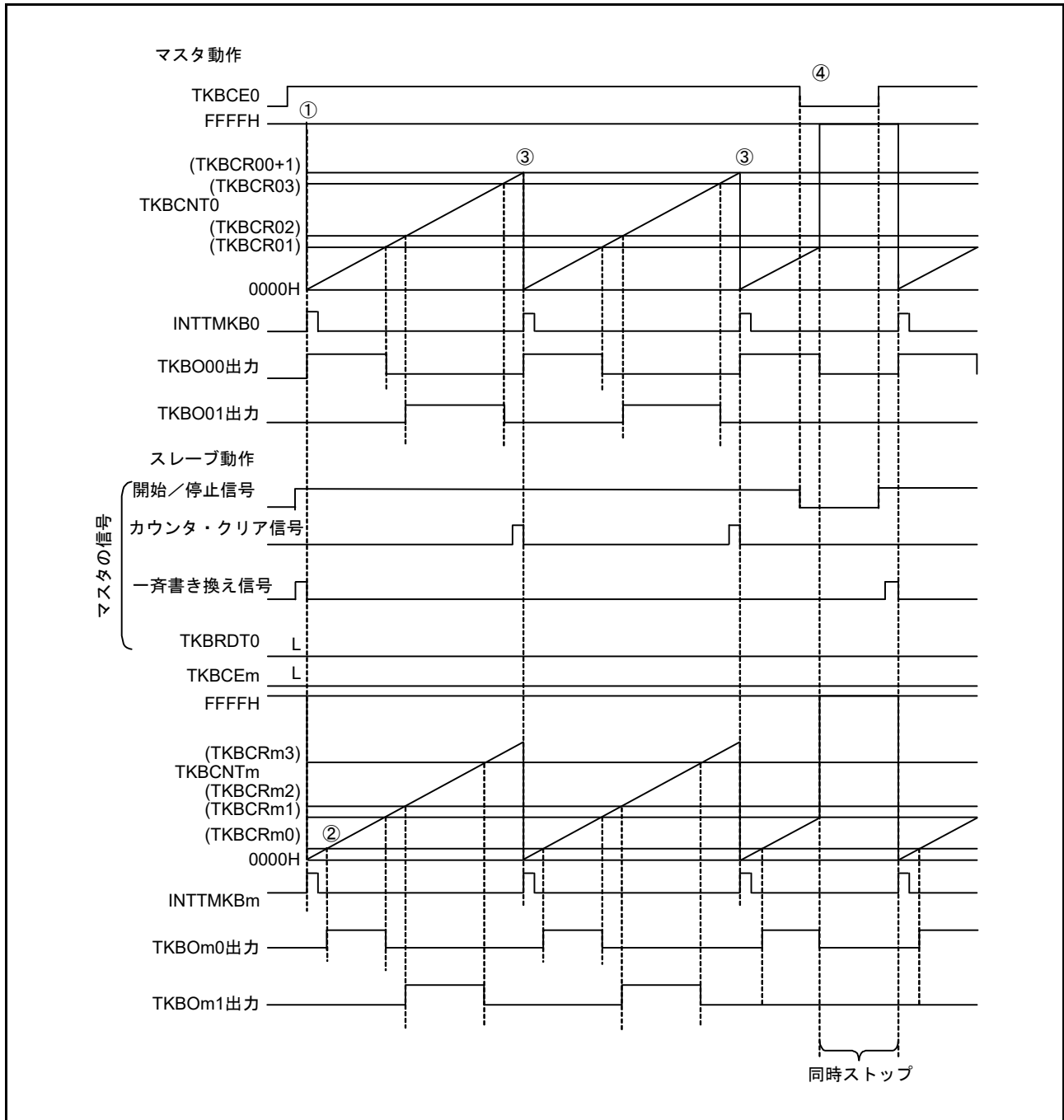
図15-55 同時スタート/クリア・モード時の構成図 (マスタによる周期制御)



(5) 動作概要

図15-56に同時スタート/クリア・モード動作タイミング例を示します。

図15-56 同時スタート/クリア・モード動作タイミング例
 (マスタによる周期制御) (出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)

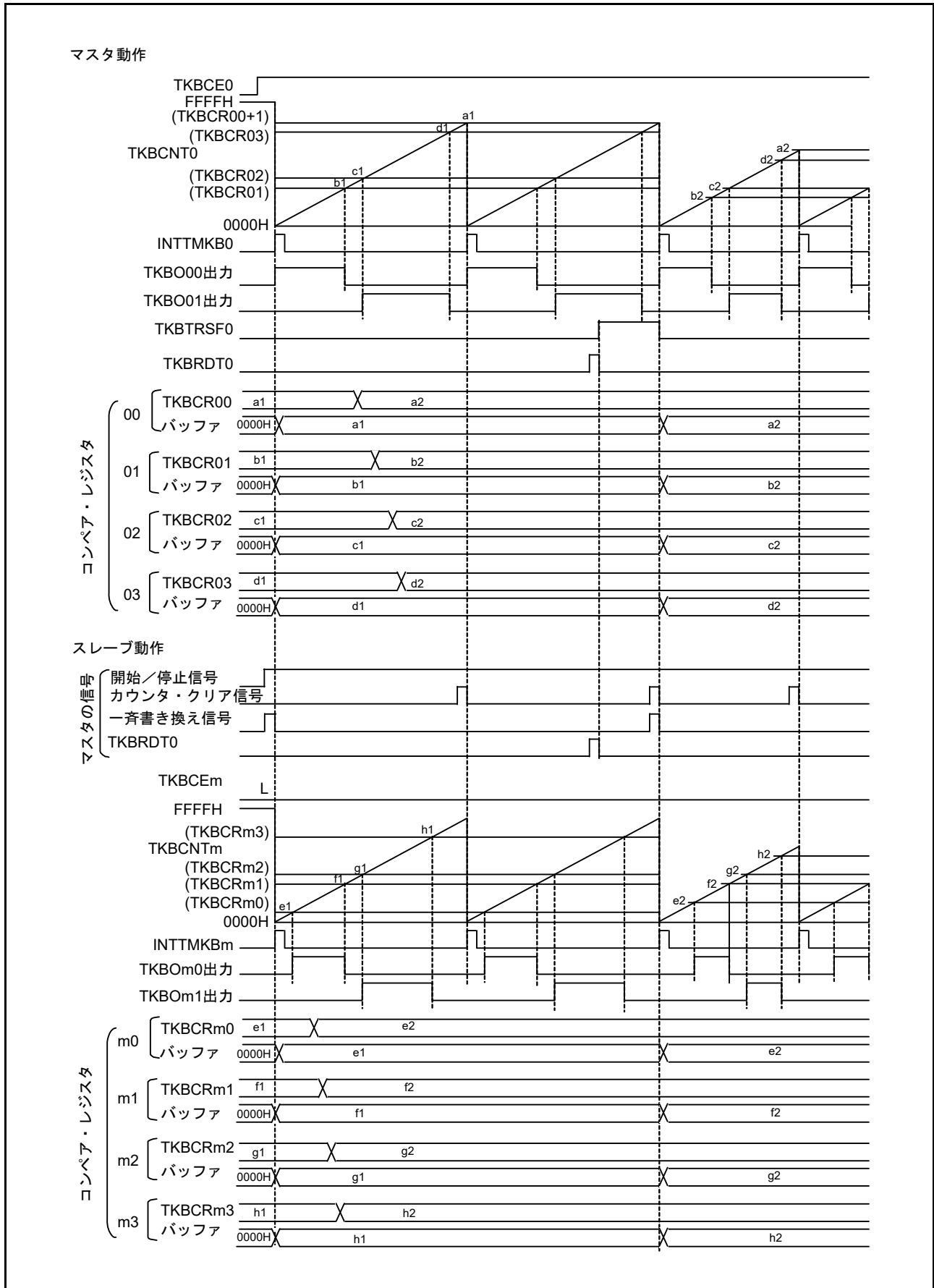


同時スタート/クリア・モードの動作例について説明します。図15-56の①~④の説明を次に示します。

- ① マスタのTKBCE0ビットに1を設定すると、カウント・クロックに同期してマスタの16ビット・タイマ・カウンタKB0 (TKBCNT0) とスレーブの16ビット・タイマ・カウンタKBm (TKBCNTm) はFFFFHから0000Hになり、アップ・カウントを開始します。同時にマスタからはINTTMKB0が出力され、TKBO00出力がデフォルト値からアクティブ値（この例ではハイ・レベル）に変化します。
- ② TKBCNTmカウンタのカウント値がTKBCRm0レジスタに設定されている値と一致すると、スレーブのTKBOm0出力がアクティブ・レベルになります。以降の細かな動作は図15-47 単体動作タイミング例を参照してください。
- ③ TKBCNT0カウンタのカウント値がTKBCR00レジスタに設定されている値と一致すると、マスタのクリア信号が出力され、マスタおよびスレーブの16ビット・タイマ・カウンタ (TKBCNT0, TKBCNTm) は同時にクリアされます。
- ④ TKBCE0ビットに0を設定すると、16ビット・タイマKB3nの入カクロックに同期してマスタのTKBCNT0カウンタとスレーブのTKBCNTmカウンタはカウント・アップを停止して、FFFFHになります。同時にマスタとスレーブの出力はデフォルト・レベルとなります。この状態はマスタのTKBCE0ビットに1が設定されるまで継続します。

図15-57に同時スタート/クリア・モードで一斉書き換えを行う場合の動作タイミング例を示します。この場合には、マスタのTKBRDT0ビットに1をセットすることで、次のクリア・タイミングでスレーブも同時に一斉書き換えが行われます。

図15-57 同時スタート/クリア・モード動作タイミング例（マスタによる周期制御）（一斉書き換えの場合）



15.4.10 インターリーブPFC（Power Factor Correction）出力モード

(1) 機能概要

電源の高調波電流を抑制するPFC回路を制御する信号をインターリーブ出力できるモードです。

インターリーブPFC回路はシングルPFC回路に比べ、入力ピーク電流を抑制できるため、部品の小型化や電源装置の大電力化を図ることができます。インターリーブPFC出力モードは臨界導通タイプのPFC回路に対応しています。

インターリーブPFC制御には2本のゼロ電流検出用入力とスイッチング用の2本のPWM出力が必要です。

16ビット・タイマKB30, KB31, KB32はインターリーブPFC制御を外部割り込み入力INTP20ータイマ出力TKBOn0、外部割り込み入力INTP21ータイマ出力TKBOn1の組み合わせで実現します。

INTP20の信号入力に応じてTKBOn0がパルス出力を行い、INTP21の信号入力に応じてTKBOn1がパルス出力を行います。

このとき、TKBOn0出力タイミングを基準として、TKBOn1出力が180度位相ずれとなるように制御します。

備考 シングルPFC制御は単体動作モード（外部入力トリガによる周期制御）で実現することができます。

詳細は、**15.4.7 単体動作モード（外部トリガ入力による周期制御）**を参照してください。

電流連続モードのPFCは単体動作モード（TKBCRn0による周期制御）で実現することができます。

詳細は、**15.4.6 単体動作モード（TKBCRn0レジスタによる周期制御）**を参照してください。

TKBCRn0レジスタにより、外部入力INTP20が検出されない場合の16ビット・タイマKB3nのパルス周期を設定します。

TKBCRn1レジスタにより、TKBOn0出力のアクティブ幅を設定します。

TKBCRn3レジスタにより、TKBOn1出力のアクティブ幅を設定します。

備考 インターリーブPFC（Power Factor Correction）出力モードではTKBCRn2は使用しません。

TKBTOLn0ビットとTKBTODn0ビット、TKBTOLn1ビットとTKBTODn1ビットの設定値を同じ値に設定してください。これによりデフォルト・レベルがロウ・レベル（ハイ・レベル）のとき、アクティブ・レベルをハイレベル（ロウ・レベル）となるようにします。

【TKBOn0出力とTKBOn1出力の計算式】

パルス周期（Max）^{注1} = (TKBCRn0の設定値 + 1) × カウント・クロック周期

TKBOn0出力のアクティブ幅 = TKBCRn1の設定値 × カウント・クロック周期

TKBOn1出力のアクティブ幅 = TKBCRn3の設定値 × カウント・クロック周期

TKBOn1出力時の位相ずれ幅^{注2} = INT [(前周期幅 - 1) ^{注3} / 2 + 1] × カウント・クロック周期

注1. 外部割り込み入力INTP20が検出されない場合の16ビット・タイマKB3nのパルス周期となります。

注2. 条件No.7の場合を除く。

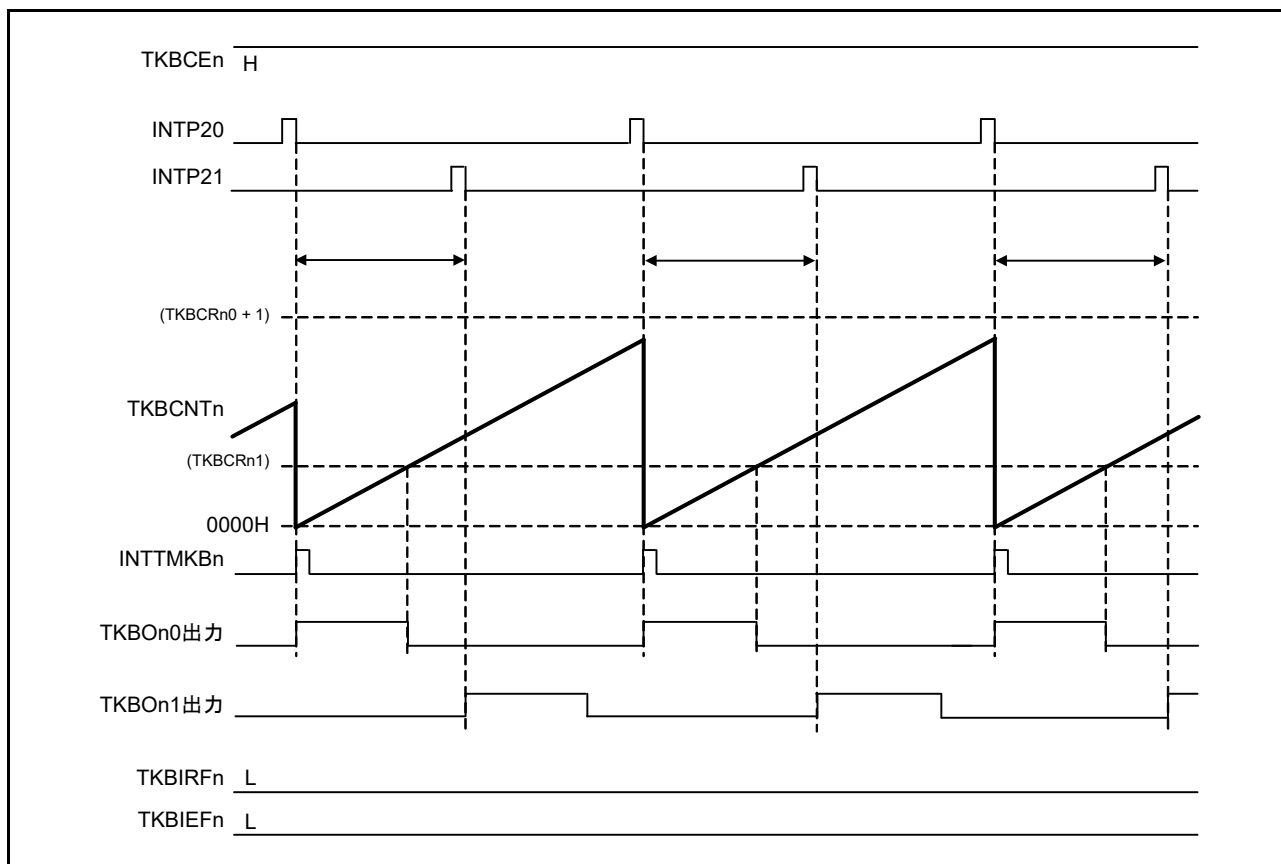
注3. 条件No.1の場合はTKBCRn0レジスタの設定値

図15-58にインターリーブPFC出力モード基本動作の動作概要を示します。インターリーブPFC出力モード基本動作では、INTP20をトリガとして、TKBCNTnカウンタはクリアされて0000Hからカウント・アップします。このとき、TKBOn0はアクティブ・レベルとなり、TKBCRn1レジスタの設定値との一致によりイン・アクティブ・レベルとなります。

INTP20と位相がずれたINTP21によるトリガでTKBOn1はアクティブ・レベルとなり、TKBCRn3レジスタの設定値との一致によりイン・アクティブ・レベルとなります。

TKBCNTnカウンタがTKBCRn0レジスタの設定値と一致する前に次のINTP20が入力されて、上記の動作を繰り返していきます。

図15-58 インターリーブPFC出力モード基本動作の動作概要
 (出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



(2) インターリーブPFCにおけるTKBOn1の出力条件

TKBOn1の出力には出力条件があり、下記の表に従って制御されます。

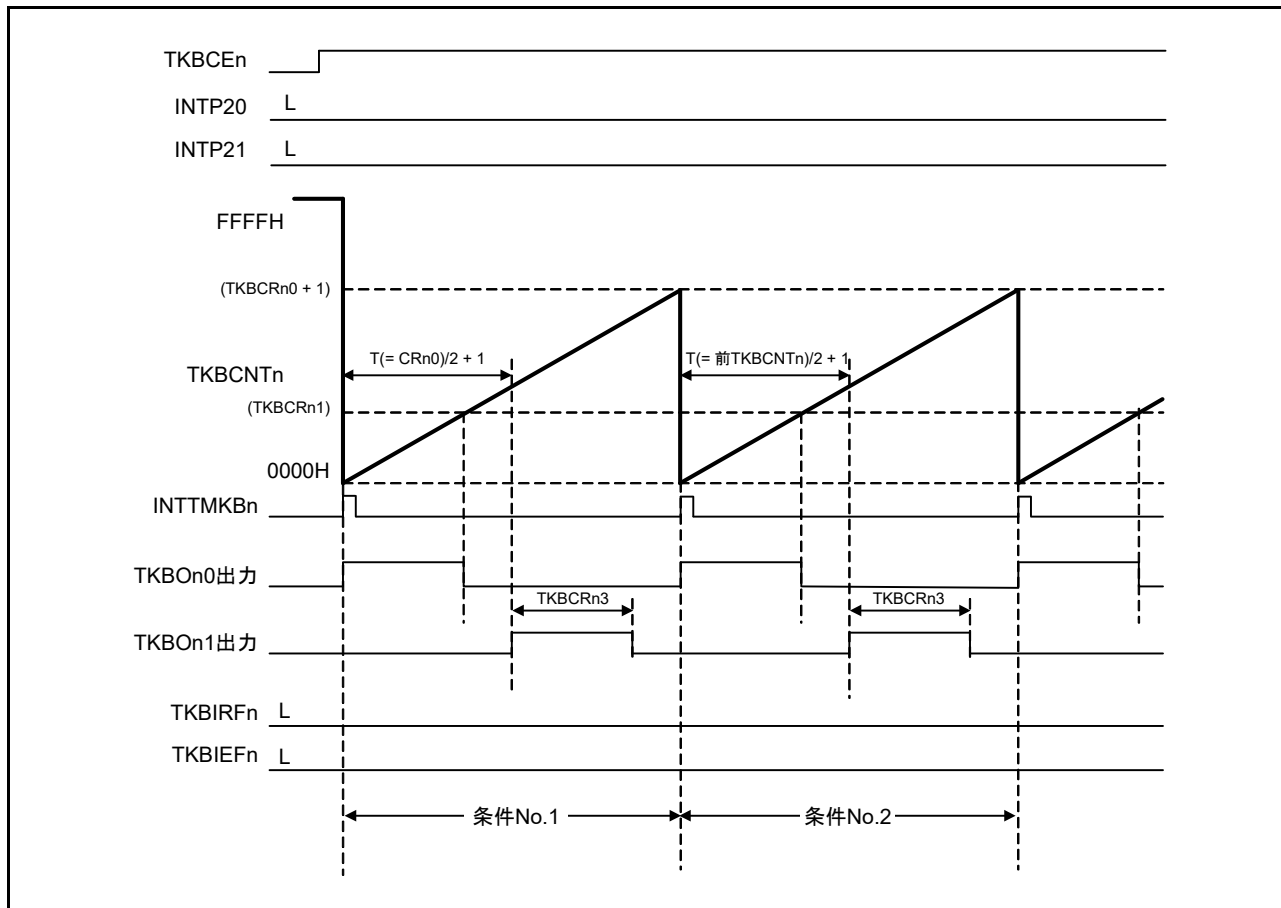
条件No	判定状態1 (INTP20入力)	判定状態2 (TKBCR0nレジスタと の一致/INTP21入力)	判定状態3 (周期幅)	出力状態
1	1周期目 (TKBCR0nレジスタの設 定値をTとして波形を生成する。)	—	—	T/2で出力
2	INTP20入力未検出	TKBCNTnカウンタとTKBCR0nレ ジスタとの一致発生 (INTP21入力 検出は無視する)	次の周期がT/2以上の場合	T/2で出力
3	↑	↑	次の周期がT/2以下の場合	状態保持
4	No.3の次の周期	—	—	T/2で出力
5	INTP20入力検出 (1回目) 注1	—	—	T/2で出力
6	INTP20入力検出 (2回目以降) 注2	INTP21検出 (前TKBOn1立ち下が りエッジ~T/2の範囲)	—	T/2で出力
7	INTP20入力検出 (2回目以降) 注2	INTP21検出 (T/2~T/2 + T / (TKBIRSn1 - TKBIRSn0の設 定値)の範囲)	—	トリガ入 力で出力
8	INTP20入力検出 (2回目以降) 注2	INTP21検出 (T/2 + T / (TKBIRSn1 - TKBIRSn0の設 定値)の範囲以降)	—	状態保持
9	No.8の次の周期	—	—	T/2で出力
10	INTP20入力検出	—	次の周期がT/2以下の場合	状態保持
11	No.10の次の周期	—	—	T/2で出力

注1. INTP20入力検出 (1回目) とは、前の周期がINTP20入力検出によりクリアされなかった場合を意味します。

注2. INTP20入力検出 (2回目以降) とは、前の周期がINTP20入力検出によりクリアされた場合を意味します。

図15 - 59～図15 - 67にインターリーブPFC出力モードのタイミング図を示します。

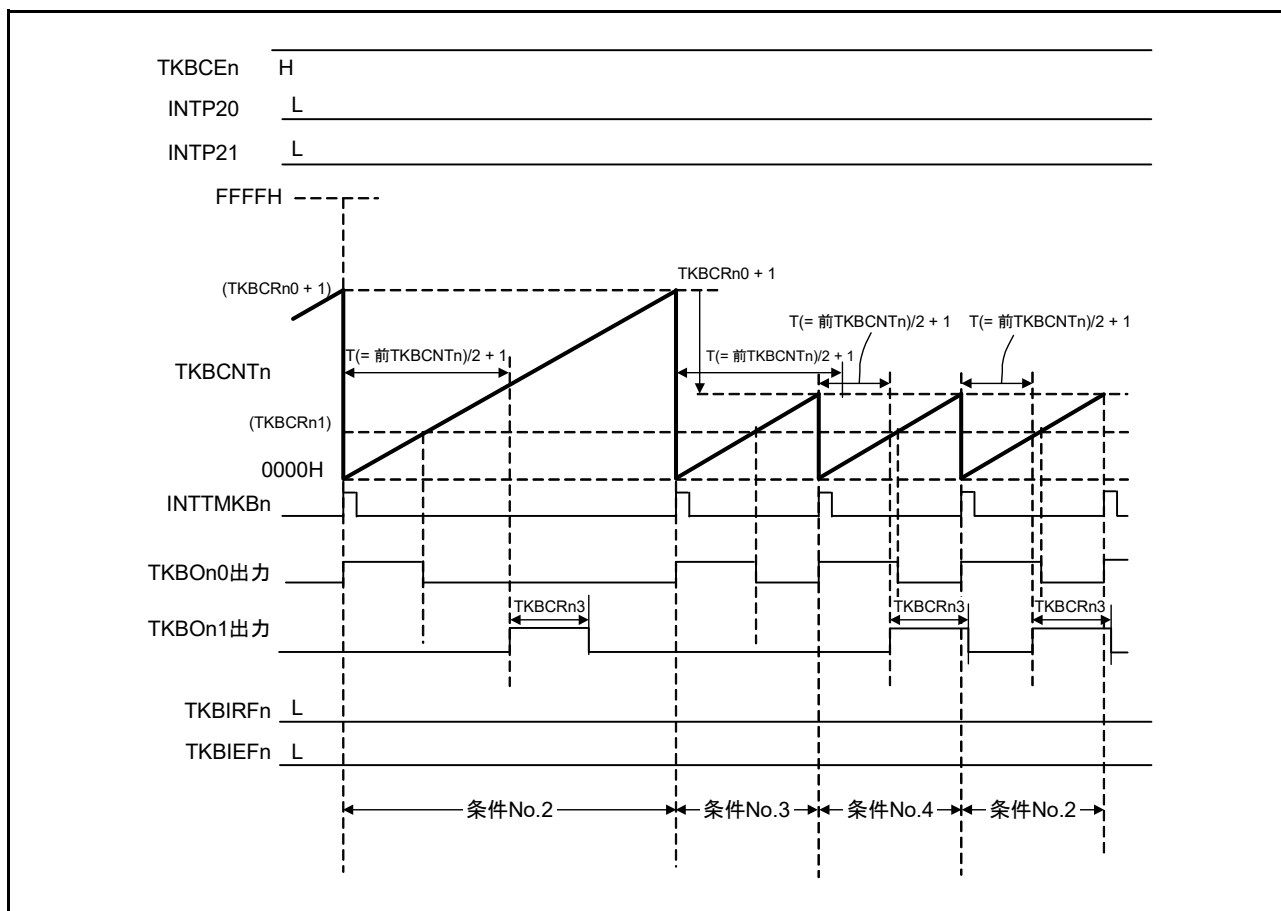
図15 - 59 インターリーブPFC出力モードのタイミング図（条件No.1～No.2の動作）
 （出力のデフォルト値がロウ・レベル（TKBTODnp = 0）でアクティブ・レベルがハイ・レベル（TKBTOLnp = 0）の場合）



条件No.1 : $TKBCTLn.TKBCEn = 1$ 設定後の1周期目だけは、TKBCRn0レジスタをTとしてT/2でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

条件No.2 : 2周期目は、前の周期のT/2でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

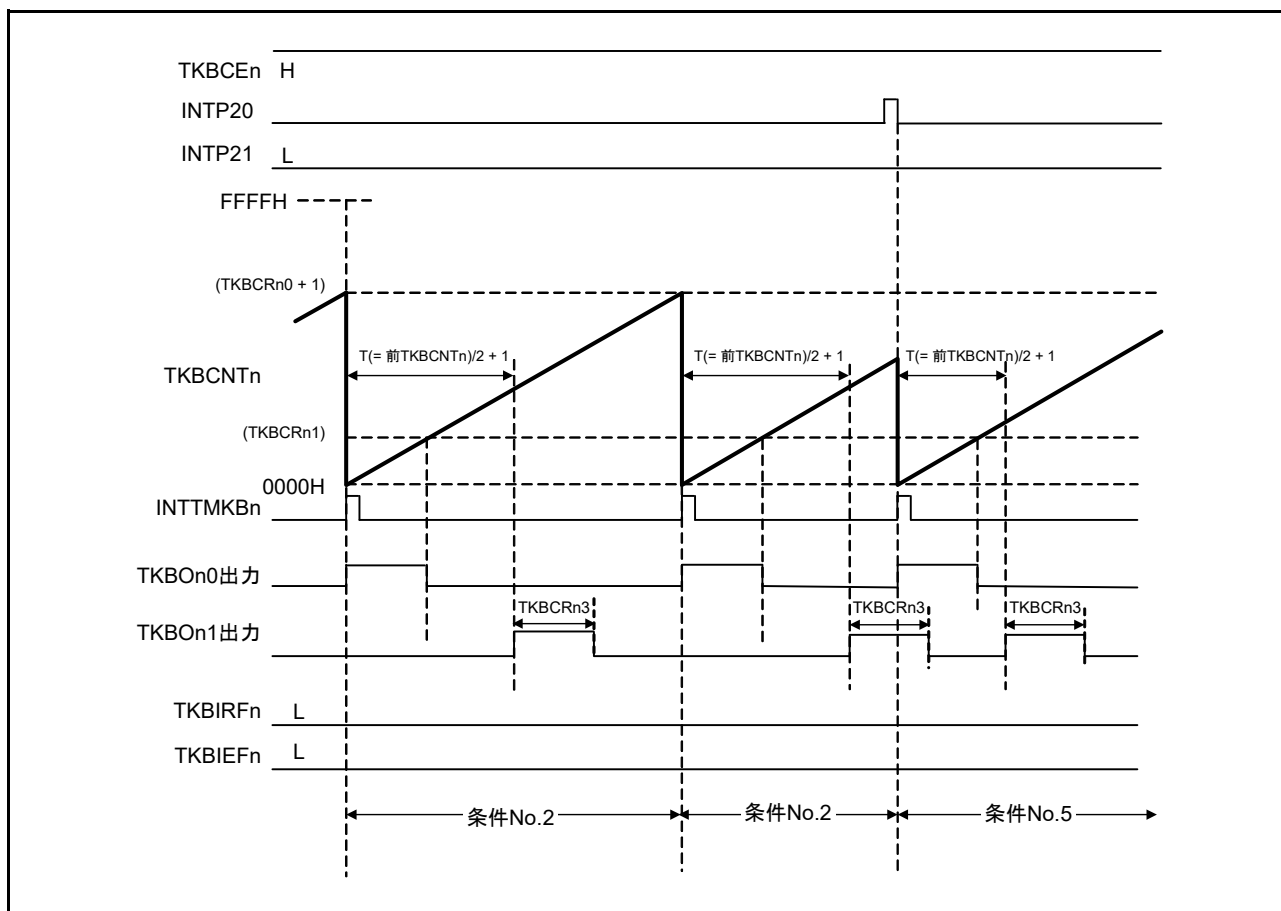
図15-60 インターリーブPFC出力モードのタイミング図 (条件No.3~No.4の動作)
 (出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



条件No.3 : 前の周期のT/2を確保できず、TKBOn1は状態を保持します。

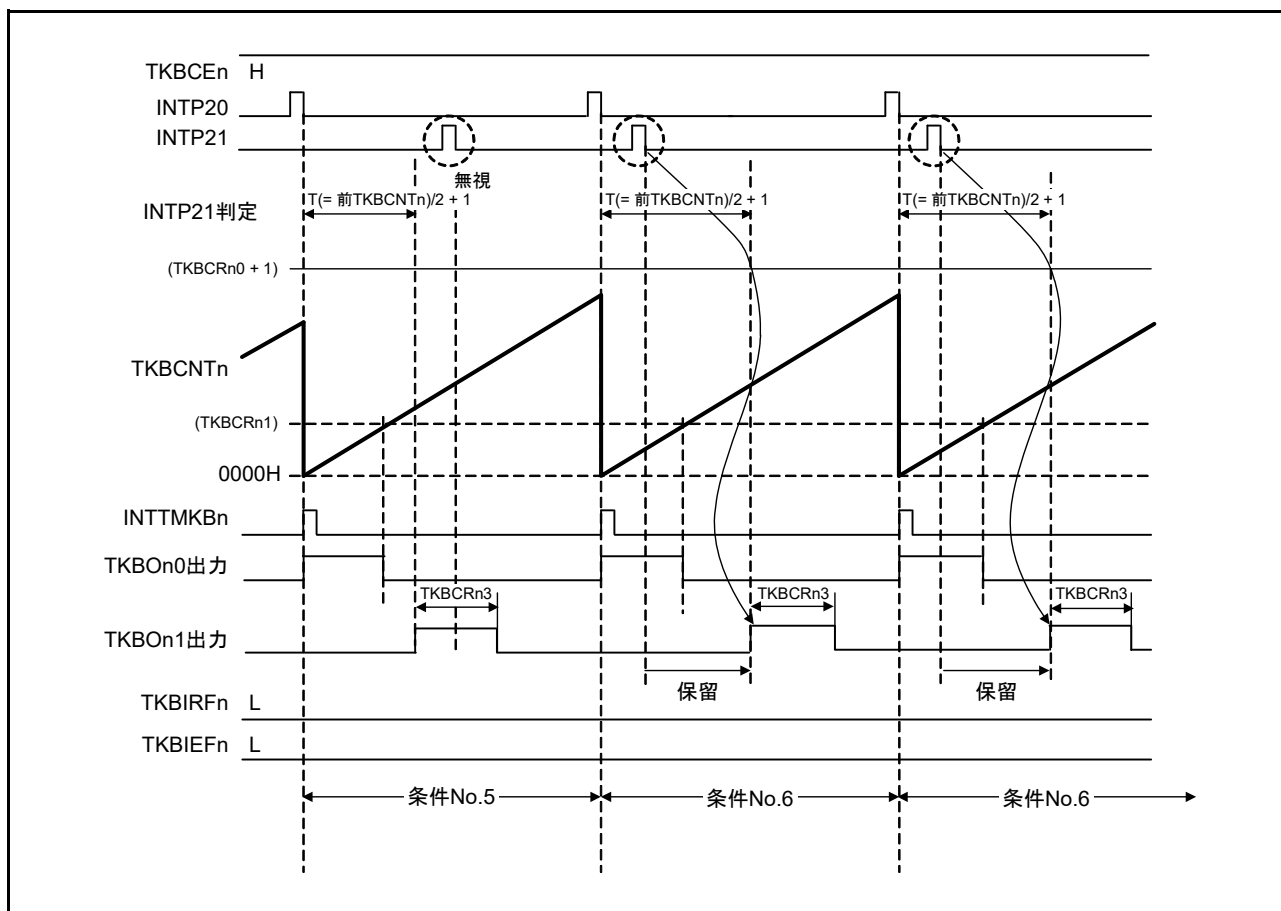
条件No.4 : 前の周期のT/2でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

図15-61 インターリーブPFC出力モードのタイミング図 (条件No.5の動作)
 (出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



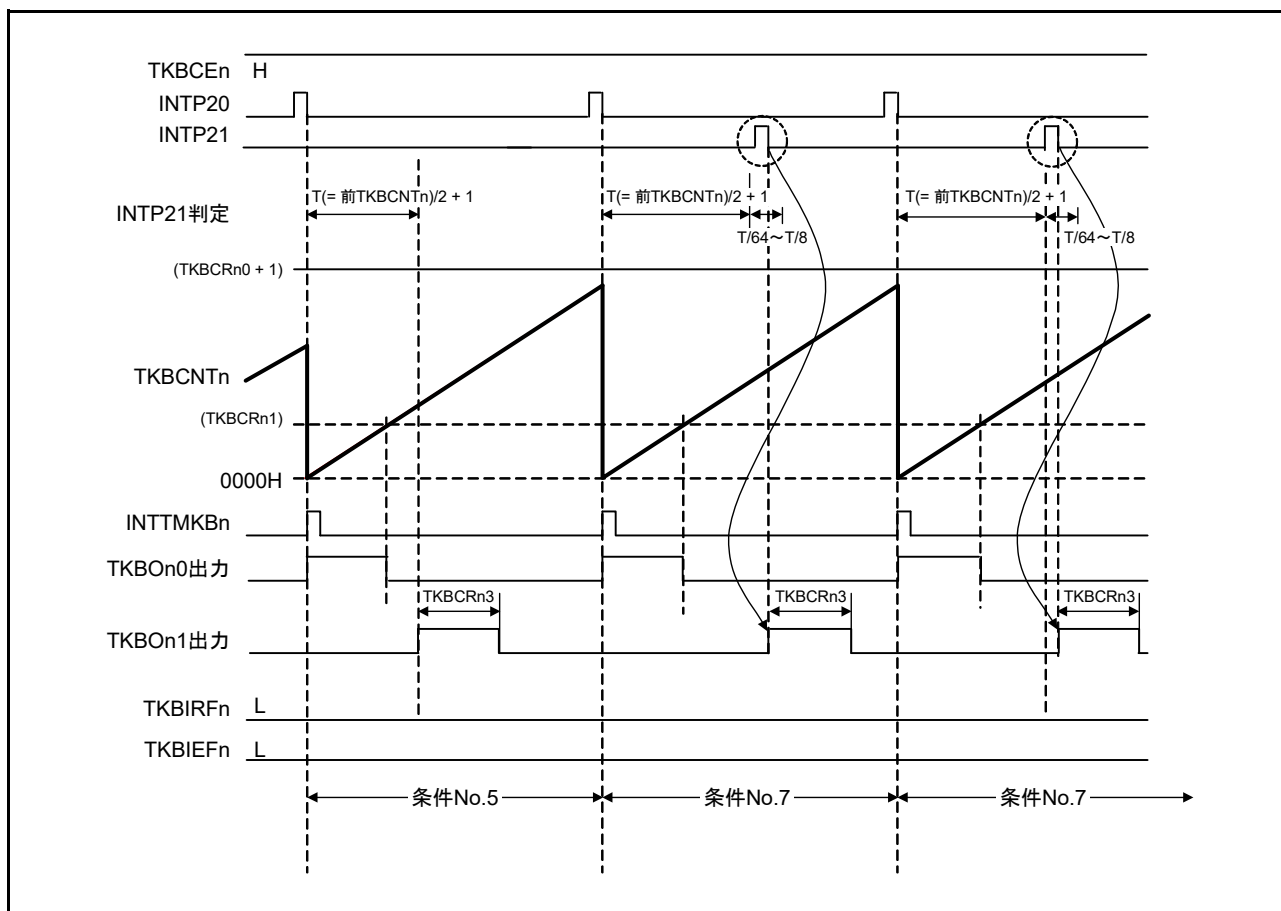
条件No.5 : TKBCTLn1.TKBCEn = 1 設定後の最初に検出したINTP20は、前の周期のT/2でTKBCRn3レジスタの設定幅のTKBOn1を出力します。INTP21の検出/未検出によりません。

図15-62 インターリーブPFC出力モードのタイミング図 (条件No.6の動作)
 (出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



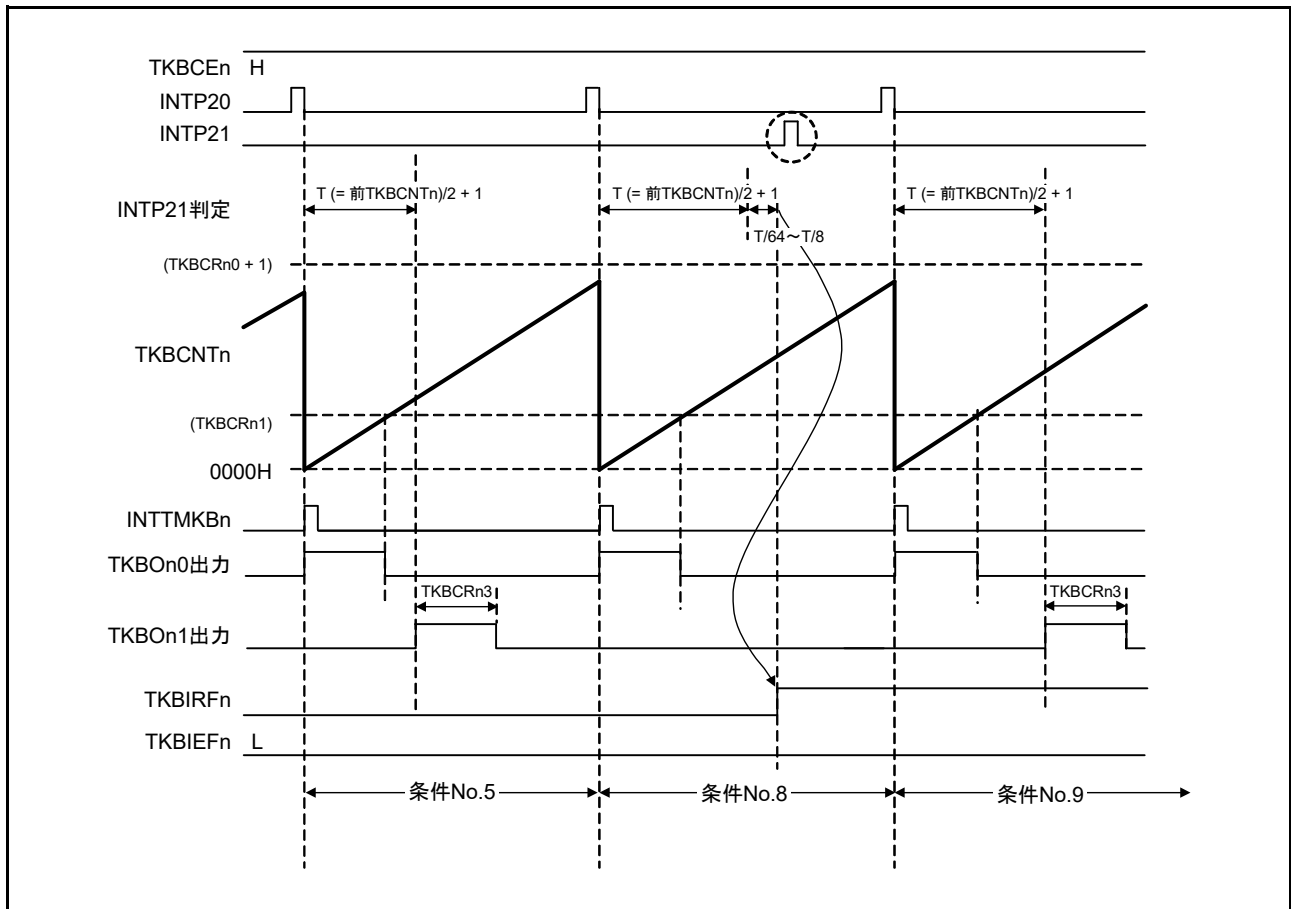
条件No.6 : INTP21の入力が前の周期のT/2内であるため、前の周期のT/2でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

図15-63 インターリーブPFC出力モードのタイミング図 (条件No.7の動作)
 (出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



条件No.7 : INTP20検出後、前の周期のT/2以上、前の周期のT/2 + T/m (mは8, 16, 32, 64 : TKBCTLn0.TKBIRSn1, TKBCTLn0.TKBIRSn0ビットで設定) 以内にINTP21検出するとTKBCRn3レジスタの設定幅のTKBOn1を出力します。

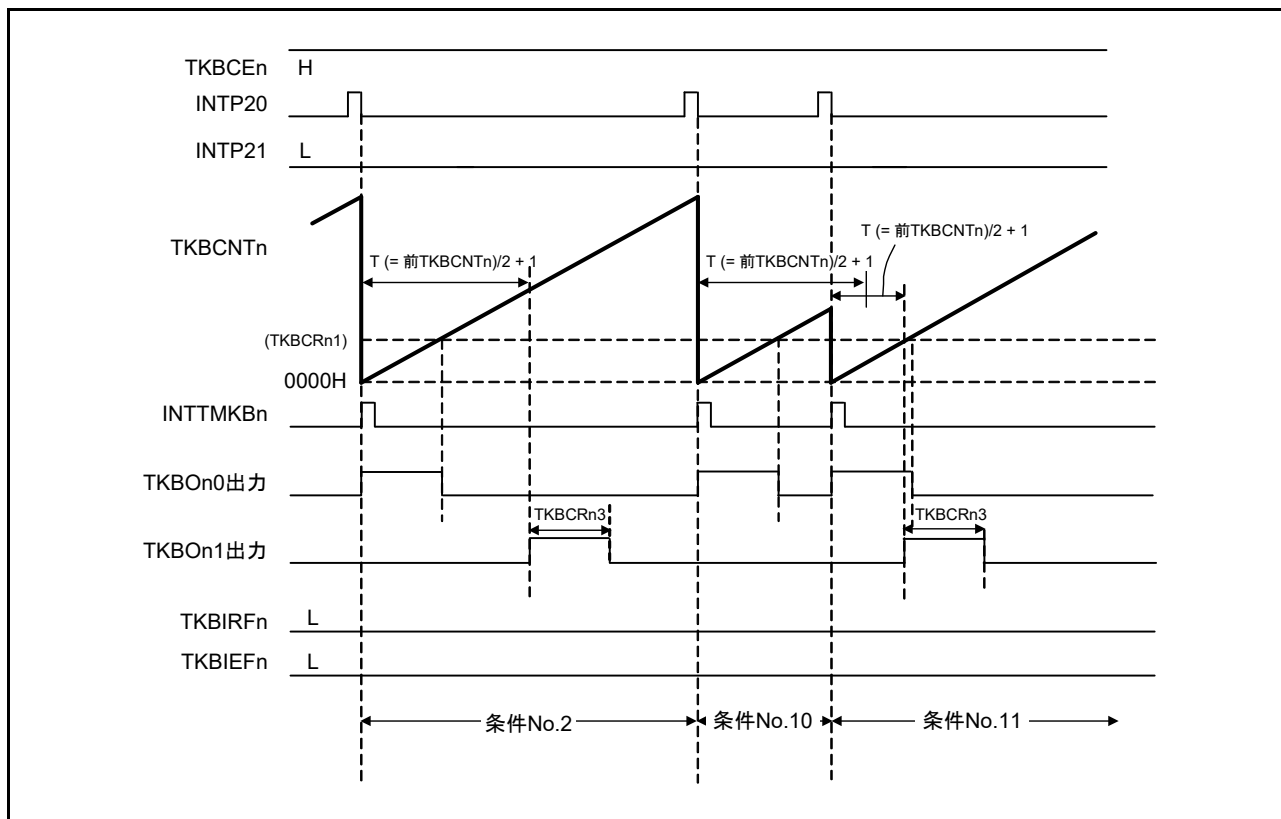
図15-64 インターリーブPFC出力モードのタイミング図 (条件No.8~No.9の動作)
 (出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



条件No.8 : 前の周期の $T/2 + T/m$ (m は8, 16, 32, 64 : $TKBCTLn0.TKBIRSn1, TKBCTLn0.TKBIRSn0$ ビットで設定) 以内にINTP21が検出されなかった場合、TKBOn1は状態を保持します。このとき、TKBIRFnフラグが1にセットされます。

条件No.9 : 前の周期の $T/2$ でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

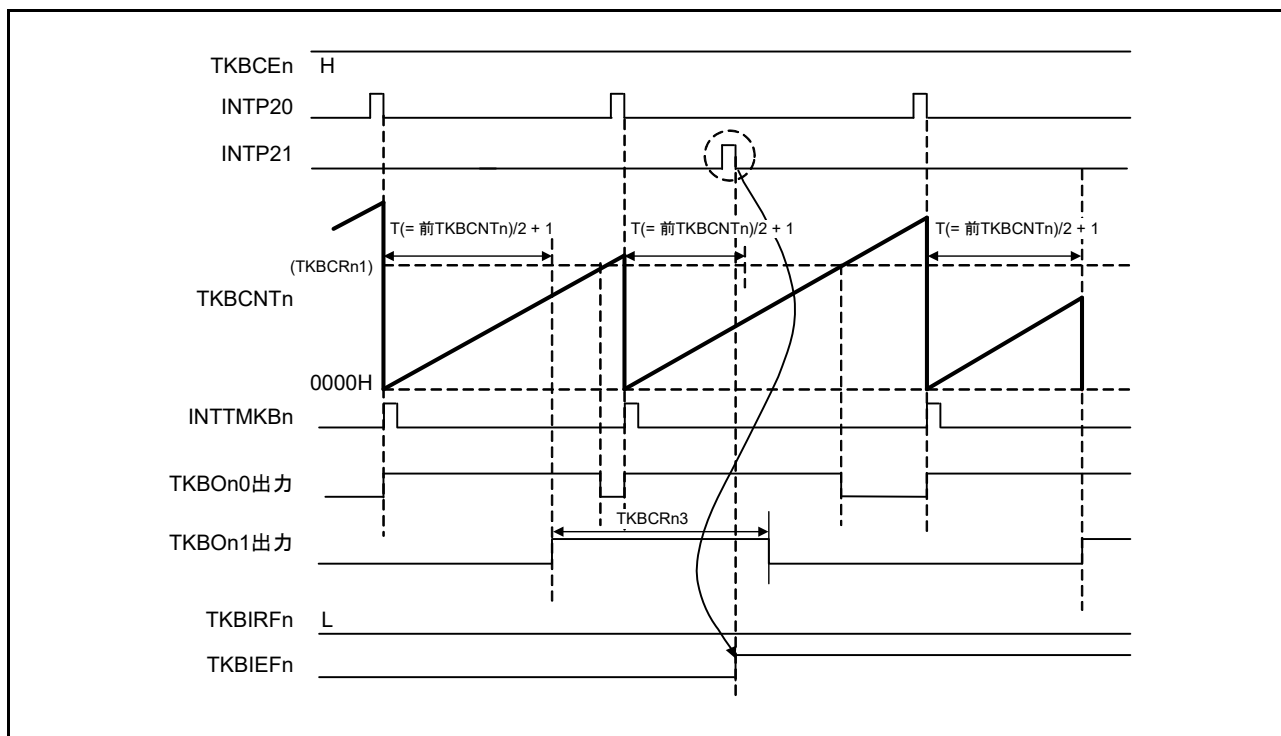
図15-65 インターリーブPFC出力モードのタイミング図 (条件No.10~No.11の動作)
 (出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



条件No.10 : 前の周期の $T/2$ を確保できず、TKBOn1は状態を保持します。

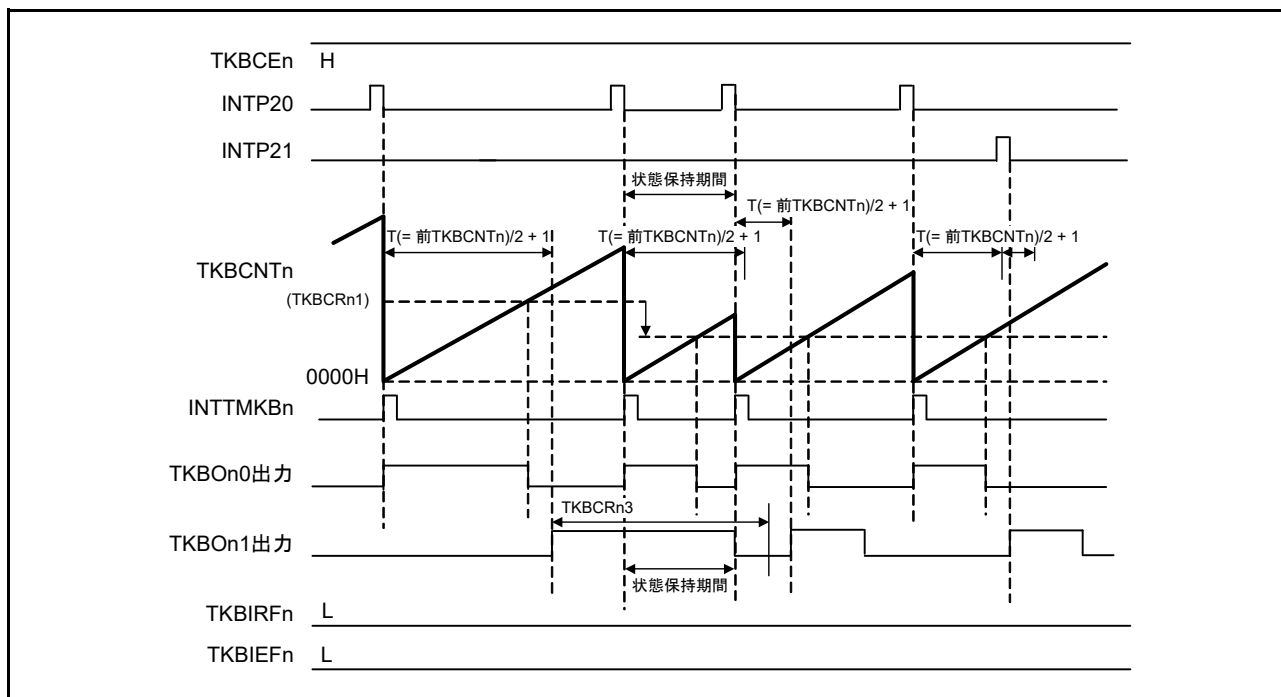
条件No.11 : 前の周期の $T/2$ でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

図15-66 インターリーブPFC出力モードのタイミング図 (TKBOn1出力中にINTP21入力が発出された場合)



前の周期のTKBOn1出力中に、INTP21入力が発出された場合、このトリガを無視します。このとき、TKBIEFnフラグが1にセットされます。

図15-67 インターリーブPFC出力モードのタイミング図
 (TKBOn1の出力が前回の出力幅で、状態保持期間を超える場合)



TKBOn1出力の前回の出力幅が長く、状態保持期間を超える場合は、状態保持期間を完了した次の周期の開始タイミングで強制的にデフォルト出力とします。

(3) インターリーブPFC出力モードでのレジスタ設定一覧

TKBCTLn0	15	14	13	12	11	10	9	8
	—	TKBGTE _{n1}	TKBSSE _{n1}	TKBDIE _{n1}	—	TKBGTE _{n0}	TKBSSE _{n0}	TKBDIE _{n0}
	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	TKBMFE _n	—	TKBIRSn ₁	TKBIRSn ₀	—	TKBTSE _n	TKBSTSn ₁	TKBSTSn ₀
	1/0	0	1/0	1/0	0	1	0	0
TKBCTLn1	7	6	5	4	3	2	1	0
	TKBCE _n	—	—	TKBCKSn	TKBSCM _n	—	TKBMDn ₁	TKBMDn ₀
	1/0	0	0	1/0	0	0	1	1
TKBIOcn0	7	6	5	4	3	2	1	0
	—	—	—	—	TKBTOLn ₁	TKBTOLn ₀	TKBTODn ₁	TKBTODn ₀
	0	0	0	0	1/0	1/0	1/0	1/0
TKBIOcn1	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TKBTOEn ₁	TKBTOEn ₀
	0	0	0	0	0	0	1/0	1/0
TKBCTLn2	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	TKBMFM _n	TKBMFM _n
	0	0	0	0	0	0	1	0
	0	0	0	0	0	0	1/0	1/0
	7	6	5	4	3	2	1	0
	—	TKBINSn ₂	TKBINSn ₁	TKBINSn ₀	—	TKBKCl _{n2}	TKBKCl _{n1}	TKBKCl _{n0}
	0	0	0	0	0	0	0	0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H
TKBSIRn1	0000H
TKBSSRn0	00H
TKBSSRn1	00H
TKBDNRn0	00H
TKBDNRn1	00H
TKBMFRn	0000H-FFFFH



: このモードでは設定固定



: 設定不要（初期値を設定）

15.5 16ビット・タイマKB30, KB31, KB32のオプション機能

16ビット・タイマKB30, KB31, KB32にはオプション機能を付加することができます。

16ビット・タイマKB30, KB31, KB32の各動作モードに対する選択可能なオプションを次の表に示します。

動作モード		単体動作モード		同時スタート/ストップ・モード		同時スタート/クリア・モード	インターリーブPFC出力モード
		TKBCR0nで周期制御	トリガで周期制御	TKBCR0nで周期制御	トリガで周期制御	マスタで周期制御	INTP20/TKBCR0nで周期制御
オプション機能	A/D変換スタート・タイミング信号出力機能	○	○	○	○	○	○
	PWM出力ディザリング機能	○	○	○	○	○	×
	PWM出力ソフト・スタート機能	○	○	○	○	○	×
	PWM出力ゲート機能	○	○	○	○	○	×
	最大周波数リミット機能	×	○	×	○	×	○

備考 動作の詳細は、15.4.2 デフォルト・レベルとアクティブ・レベル、15.4.3 動作停止と動作開始を参照してください。

トリガで周期制御のトリガは、TKBCTLn0レジスタのTKBSTSn1, TKBSTSn0ビット、TKBCTLn2レジスタのTKBINSn2-TKBINSn0, TKBKCln2-TKBKCln0ビットにより選択した外部トリガのことを示しています。

15.5.1 A/D変換スタート・タイミング信号出力機能

16ビット・タイマKBトリガ・コンペア・レジスタn (TKBTGCRn) を設定することによりA/D変換スタート・タイミング信号出力を生成することができます。これにより、16ビット・タイマKB3nとA/D変換スタート・タイミングを同期することができます。

TKBCNTnカウンタとTKBTGCRnレジスタの一致検出により、16ビット・タイマKB3nトリガ出力信号を出力し、TKBCRn0レジスタの設定周期に対して任意のタイミングでトリガ出力が可能です。16ビット・タイマKB3nトリガ出力信号の出力幅は、タイマ・クロックの1クロック幅です。PWM出力周期スタートからのトリガ出力タイミングは次の計算式により求められます。

$$\text{トリガ出力タイミング} = \text{TKBTGCRnレジスタの設定値} \times \text{カウント} \cdot \text{クロック周期}$$

注意 TKBCRn0 < TKBTGCRnのとき、16ビット・タイマKB3nトリガ出力信号は出力されません。

図15-68 単体動作モード (TKBCRn0による周期制御) でのA/D変換スタート・タイミング信号出力機能

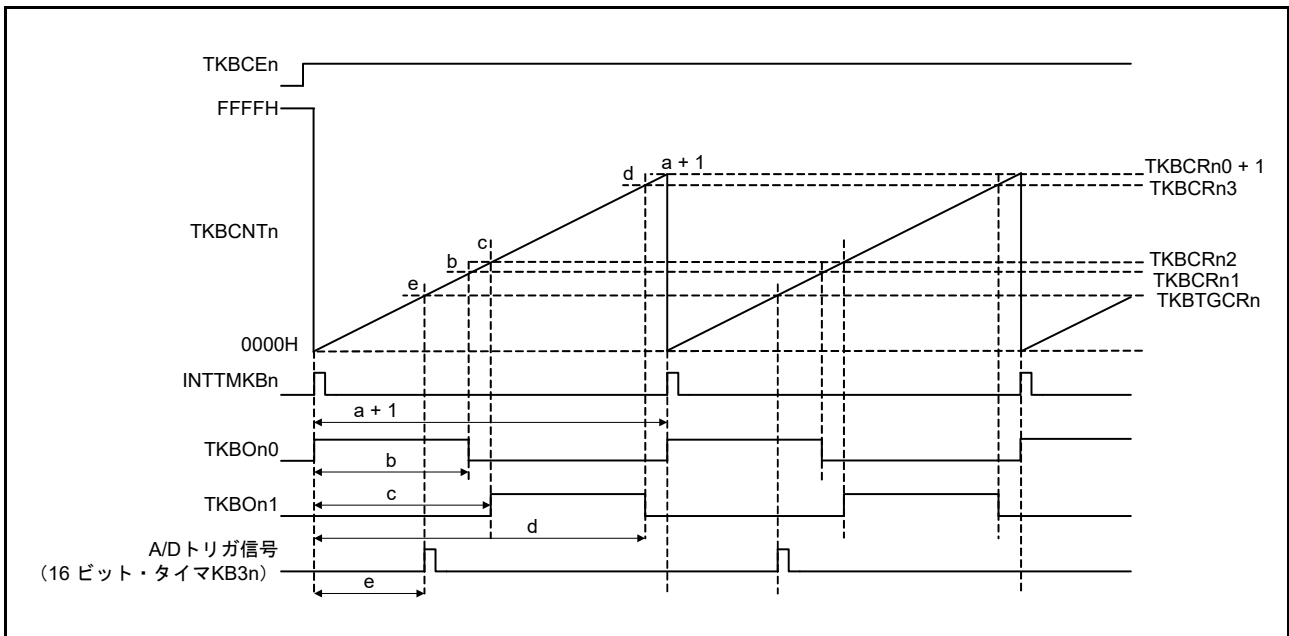
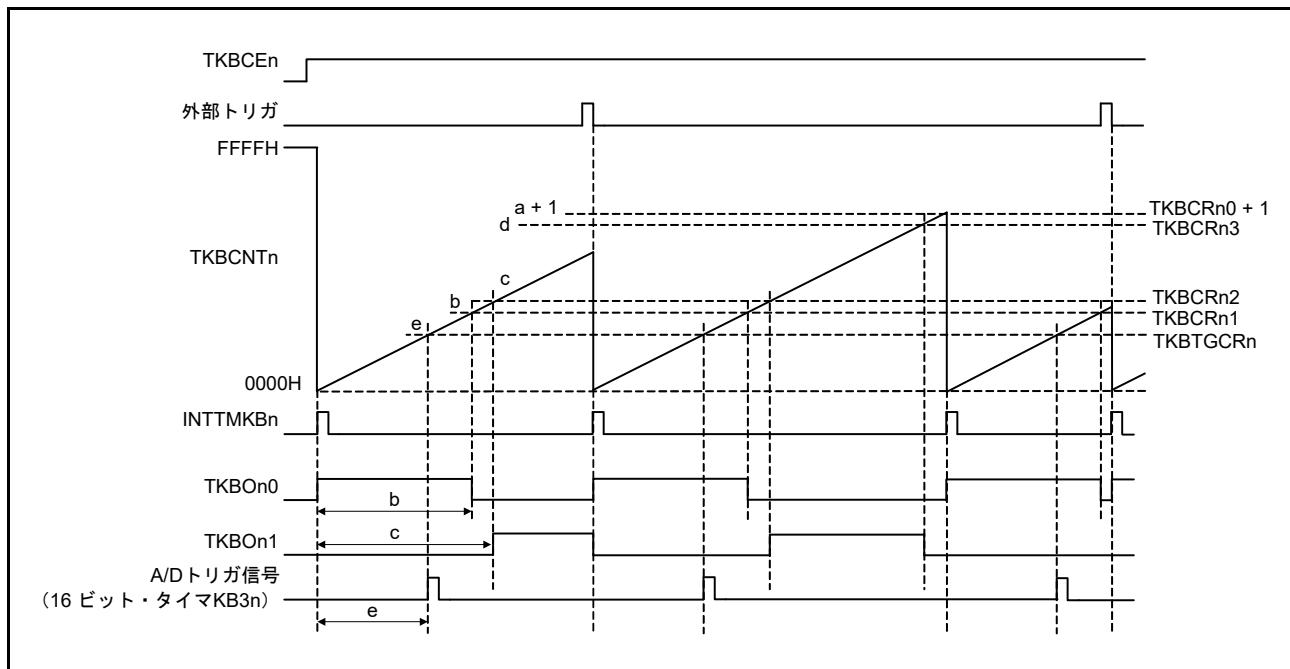


図15-69 単体動作モード（外部トリガ入力による周期制御）でのA/D変換スタート・タイミング信号出力機能



15.5.2 PWM出力ディザリング機能

16ビット・タイマKB30, KB31, KB32はPWM出力ディザリング機能を使用することで高分解PWM出力を可能としています。

PWM周期の16周期を基準とし、16周期中のn周期 (n=0-15) でアクティブ期間を1カウント・クロック分延長することにより、平均分解能として16倍向上させたPWM出力を可能とします。

16周期中のアクティブ期間を1カウント・クロック延長させる周期は、TKBDNRnpビットにより決まります。

TKBDNRnpビットと、アクティブ期間を1カウント・クロック延長する周期との関係は以下のとおりです。

表15-4 TKBDNRnpと、アクティブ期間を1カウント・クロック延長する周期との関係図

周期 回数 (N)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0																
1	■															
2	■								■							
3	■				■				■							
4	■				■				■				■			
5	■		■		■				■				■			
6	■		■		■				■			■	■			
7	■		■		■		■		■			■	■			
8	■		■		■		■		■			■	■		■	
9	■	■	■		■		■		■			■	■		■	
10	■	■	■		■		■		■			■	■		■	
11	■	■	■		■		■		■			■	■		■	
12	■	■	■		■		■		■			■	■	■	■	
13	■	■	■		■		■		■			■	■	■	■	
14	■	■	■		■		■		■			■	■	■	■	
15	■	■	■		■		■		■			■	■	■	■	

備考1. □ セルの周期：TKBCRn1, TKBCRn3レジスタの設定値で出力波形をリセット

■ セルの周期：TKBCRn1, TKBCRn3レジスタの設定値+1で出力波形をリセット

備考2. n = 0-2; p = 0, 1

図15-70 ディザリング動作の波形図

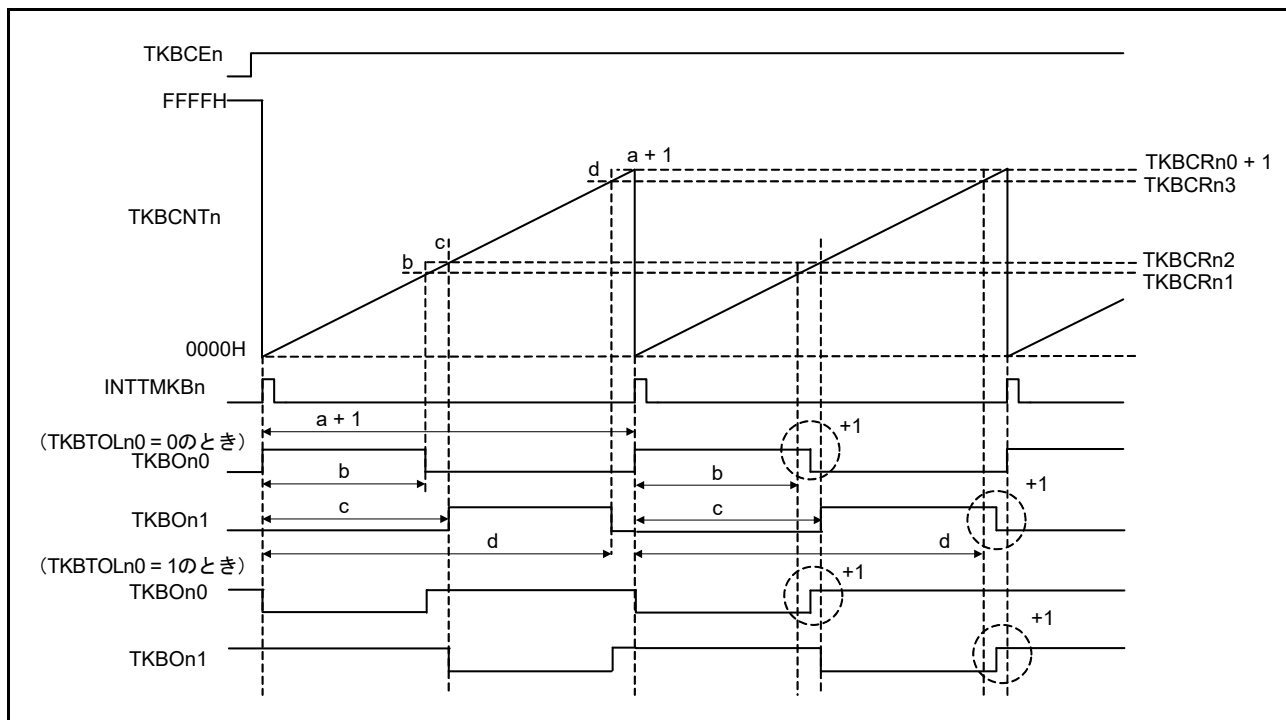


図15-71 ディザリング動作の波形図
($TKBCRn1 = TKBCRn0$ (100%近傍)、 $TKBCRn2 = TKBCRn3$ (0%近傍) の場合)

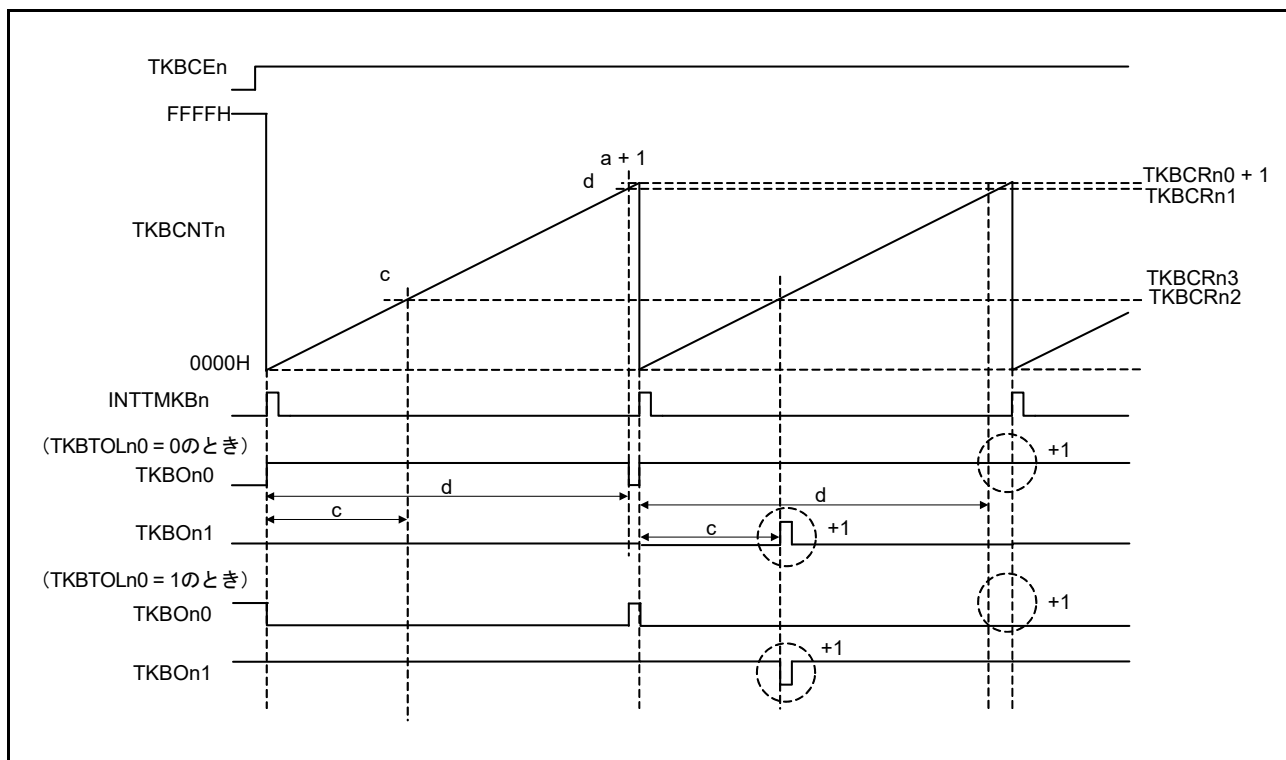
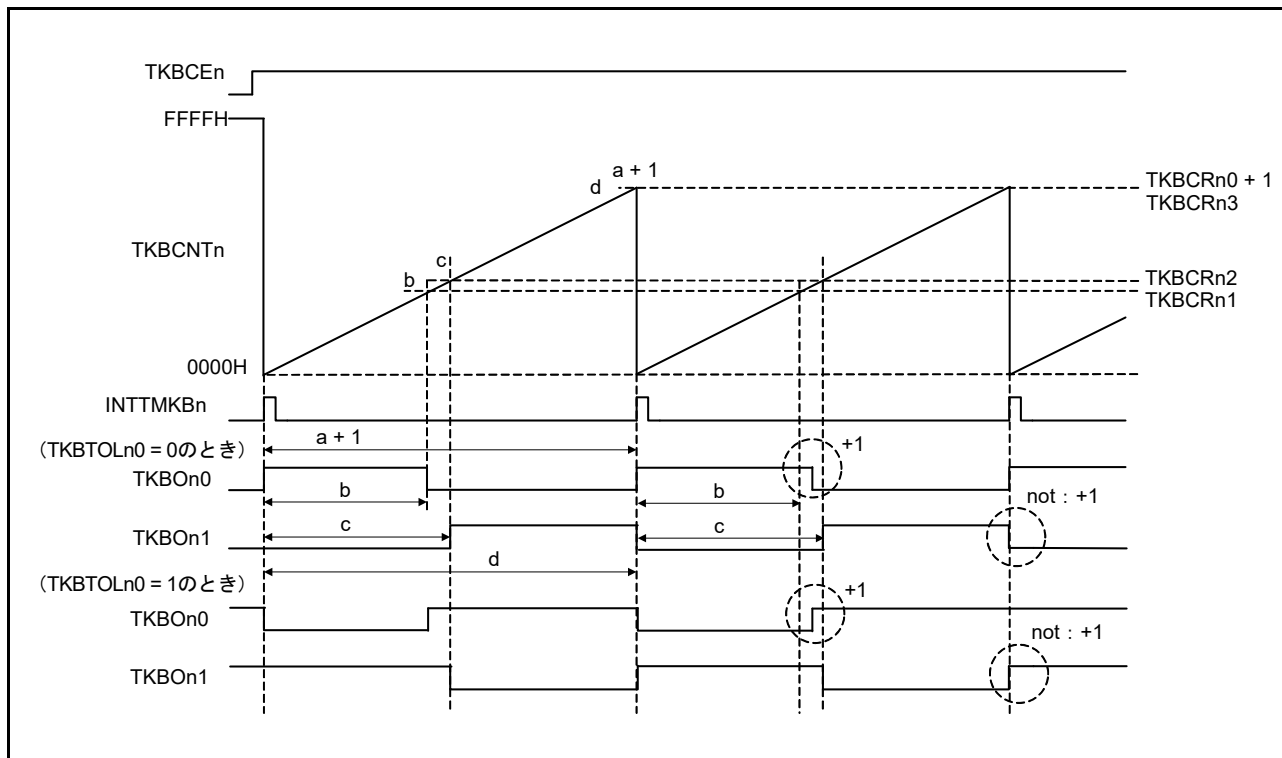


図15-72 ディザリング動作の波形図 (TKBCRn3 = TKBCRn0 + 1の場合)



(1) PWM出力ディザリング機能が使用可能な動作モード

TKBCTLn0レジスタ (TKBSTSn1, TKBSTSn0ビット)、TKBCTLn1レジスタ (TKBMDn1, TKBMDn0ビット) に指定される各モードでの動作可否を示します。

動作モード	TKBMDn1, TKBMDn0	設定可能
単体動作モード (TKBCRn0レジスタによる周期制御)	00B	○
単体動作モード (外部トリガ入力による周期制御)	00B	○
同時スタート/ストップ・モード (TKBCRn0レジスタによる周期制御)	01B	○
同時スタート/ストップ・モード (外部トリガ入力による周期制御)	01B	○
同時スタート/クリア・モード (マスタによる周期制御)	10B	○
インターリーブPFC出力モード	11B	×

TKBDNRn0/TKBDNRn1レジスタは、それぞれTKBOn0/TKBOn1のPWM出力ディザリング機能を制御します。

(2) TKBDNRn0/TKBDNRn1レジスタの動作中 (TKBCTLn1.TKBCEn = 1) 書き換え

TKBDNRn0/TKBDNRn1レジスタは、バッファを保有しているため、動作中 (TKBCTLn1.TKBCEn = 1) の書き換えが可能です。

その際には、TKBRDTnビットへの1書き込みによる一斉書き換えを行います。

(3) TKBCRLDn0/TKBCRLDn1レジスタによるアクセス

TKBCRLDn0レジスタは、TKBCRn1の下位8ビットとTKBDNRn0レジスタをマッピングした16ビットレジスタです。

TKBCRLDn1レジスタは、TKBCRn3の下位8ビットとTKBDNRn1レジスタをマッピングした16ビットレジスタです。

TKBDNRn0/TKBDNRn1レジスタは、TKBCRLDn0/TKBCRLDn1レジスタにアクセスした場合も値が変更されません。

TKBCRn1/TKBCRn3レジスタは、TKBCRLDn0/TKBCRLDn1レジスタにアクセスした場合も値が変更されません。

TKBCRLDn0/TKBCRLDn1レジスタへアクセスした場合、TKBCRn1/TKBCRn3レジスタの下位8ビットのみが変更されることに注意してください。

(4) PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合

PWM出力ソフト・スタート機能実行 (TKBSSFnp = 1) 中は、PWM出力ディザリング機能は無効になります。

PWM出力ソフト・スタート機能停止 (TKBSSFnp = 0) で、PWM出力ディザリング機能が有効になります。

15.5.3 PWM出力ソフト・スタート機能

16ビット・タイマKB30, KB31, KB32は、突入電流抑制および過電圧の防止に対応するPWM出力ソフト・スタート機能を保有しています。PWM出力ソフト・スタート機能は、タイマのスタートタイミングで起動します。従来、ユーザがソフト操作で行っていた処理をハードウェアのオプション機能で容易に実現することができます。16ビット・タイマKBソフト・スタート初期デューティ・レジスタnp (TKBSIRnp) の設定値を1周期のアクティブ期間としてPWM波形を生成し、16ビット・タイマKBソフト・スタート・ステップ幅レジスタnp (TKBSSRnp) で指定した値+1周期は同一アクティブ期間のPWM波形を出力したあと、「アクティブ期間を+1」して再度TKBSSRnp+1周期間同一波形を出力します。

動作を繰り返し、TKBCRn1, TKBCRn3レジスタで決定されるアクティブ期間と同じになったらPWM出力ソフト・スタート機能を解除します。

16ビット・タイマKBソフト・スタート初期デューティ・レジスタnpは、以下の条件で設定する必要があります。

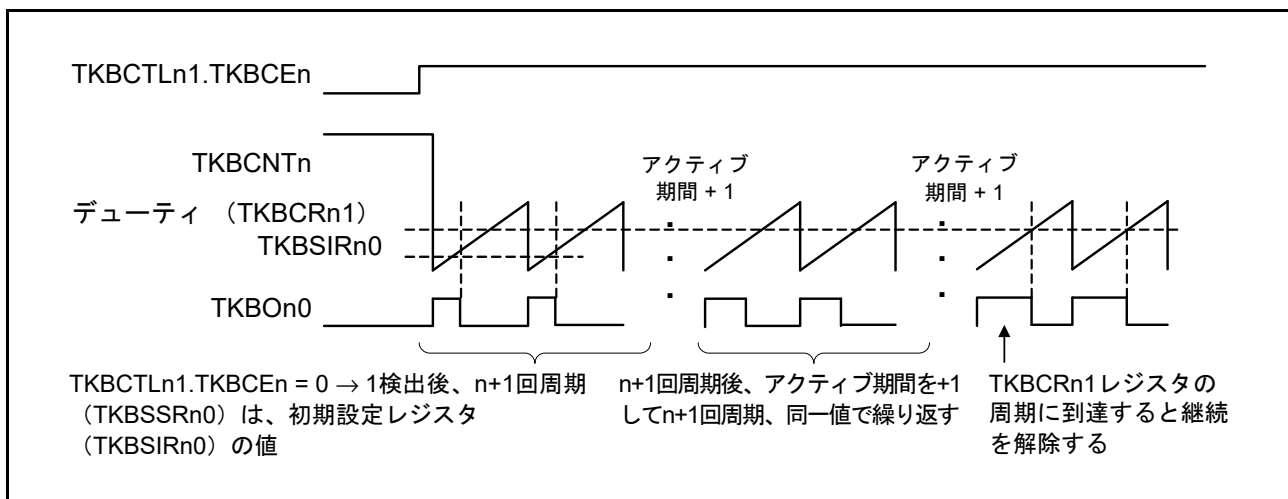
$$0000H \leq TKBSIRn0 < TKBCRn1 \leq TKBCRn0 + 1$$

$$TKBCRn2 \leq TKBSIRn1 < TKBCRn3 \leq TKBCRn0 + 1$$

同時スタート/クリア・モード使用時は、以下の条件で設定する必要があります。

$$TKBCRn0 \leq TKBSIRn0 < TKBCRn1 \leq \text{マスタのTKBCR00} + 1$$

図15-73 PWM出力ソフト・スタート機能



(1) PWM出力ソフト・スタート機能が使用可能な動作モード

動作モード	TKBMDn1, TKBMDn0	使用可否
単体動作モード (TKBCRn0レジスタによる周期制御)	00B	○
単体動作モード (外部トリガ入力による周期制御)	00B	○
同時スタート/ストップ・モード (TKBCRn0レジスタによる周期制御)	01B	○
同時スタート/ストップ・モード (外部トリガ入力による周期制御)	01B	○
同時スタート/クリア・モード (マスタによる周期制御)	10B	○
インターリーブPFC出力モード	11B	×

TKBSIRn0, TKBSSRn0/TKBSIRn1, TKBSSRn1 レジスタは、それぞれTKBOn0/TKBOn1のPWM出力ソフトスタート機能を制御します。

- (2) TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの動作中 (TKBCTLn1.TKBCEn = 1) 書き換え
TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタは、動作中 (TKBCTLn1.TKBCEn = 1) に書き換えが可能です。

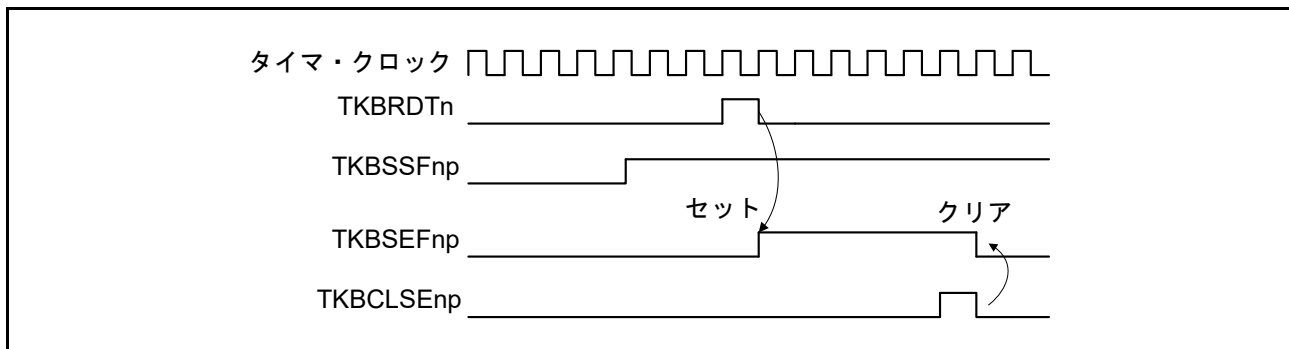
TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタは、バッファを保有しておりTKBRDTnビットへの1書き込みにより一斉に書き換えられます。TKBSIRn0/TKBSIRn1 レジスタは、PWM出力ソフト・スタート機能開始タイミングでのバッファの値がデューティの初期値となり、TKBSSRn0/TKBSSRn1 レジスタは、内部4ビットカウンタの比較値となります。

内部4ビットカウンタは、TKBCNTnカウンタの周期をカウント・クロックとしてアップ・カウントし、TKBSSRn0/TKBSSRn1 レジスタとの一致で、0Hとなりカウント動作を継続します。

- (3) TKBCRn0/TKBCRn1/TKBCRn2/TKBCRn3/TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの動作中 (TKBCTLn1.TKBCEn = 1) 書き換え

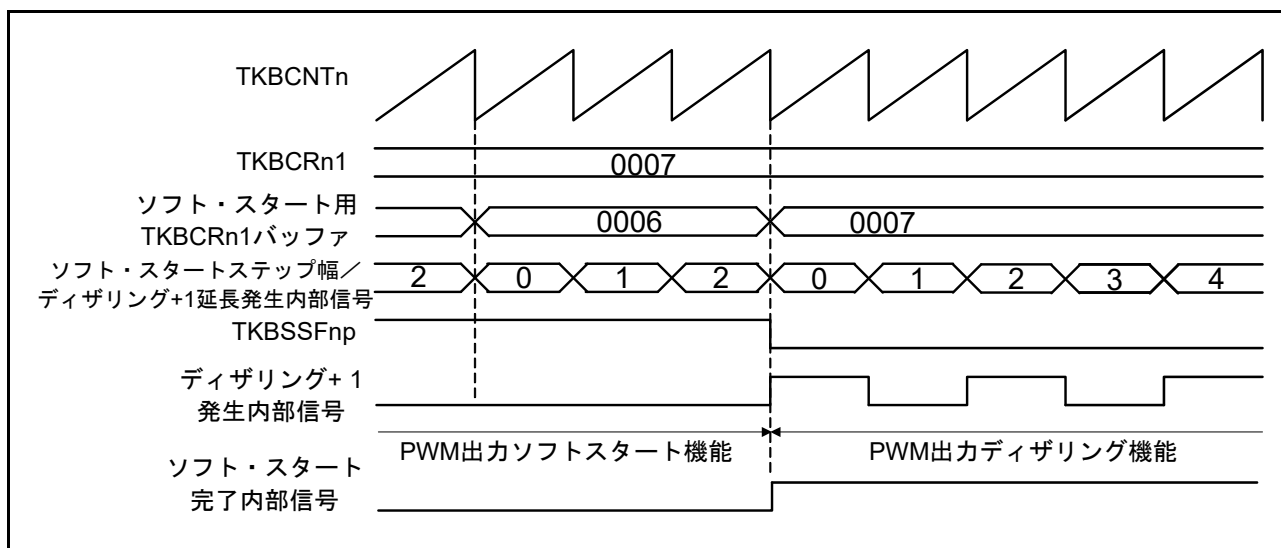
PWM出力ソフト・スタート期間 (TKBSSFn0 = 1, TKBSSFn1 = 1) 中にTKBRDTnビットに1を設定した場合、一斉書き換えがマスクされTKBSEFnpフラグがセットされます。一斉書き換えするためには、TKBSEFnpフラグをクリアしてTKBSSFnpフラグが0となることを確認してTKBRDTnビットに1をセットしてください。

図 15 - 74 ソフト・スタート機能動作中 (TKBSSFnp = 1) のTKBCRn0/TKBCRn1/TKBCRn2/TKBCRn3/TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの書き換え



- (4) PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合
 PWM出力ソフト・スタート機能実行 (TKBSSFnp = 1) 中は、PWM出力ディザリング機能は無効となります。
 PWM出力ソフト・スタート機能停止 (TKBSSFnp = 0) で、PWM出力ディザリング機能が有効となります。
- (5) PWM出力ソフト・スタート機能の完了とTKBSSFnpの動作
 TKBCRn1レジスタを0007H、TKBDNRnpレジスタを70H、TKBSSRnpレジスタを02Hとした場合の図を示します。
 TKBCRn1 = 0007Hと内部のソフト・スタート用TKBCRn1バッファの値が一致するタイミングでTKBSSFnpフラグがクリアされ、ディザリング機能が開始されます。

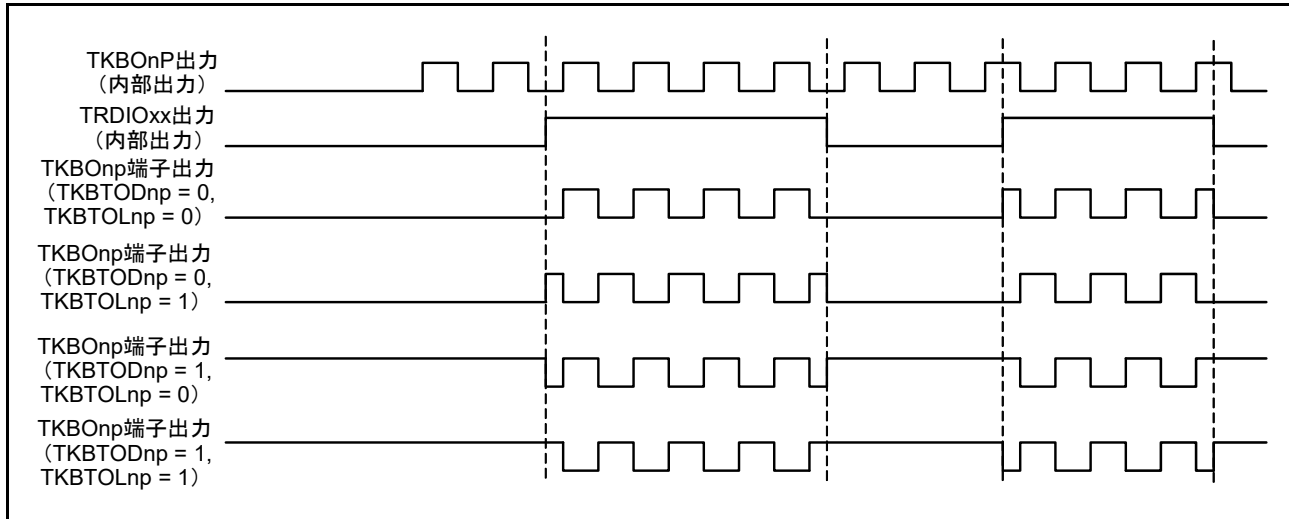
図 15 - 75 PWM出力ソフト・スタート機能の完了とTKBSSFnpの動作



15.5.4 PWM出力ゲート機能（PWM出力ソフトスタート機能併用なし）

この機能では、タイマ RD2 出力（TRDIOxx）がハイ・レベル期間、16ビット・タイマ KB30, KB31, KB32 の TKBOnp 出力端子から PWM パルスを出力します。タイマ RD2 出力（TRDIOxx）がロウ・レベル期間、16ビット・タイマ KB30, KB31, KB32 の TKBOnp 出力端子からデフォルト・レベル（TKBTODnp）を出力します。

図 15 - 76 PWM出力ゲート機能



ゲートする TRDIOxx 出力とゲートされる TKBOnp 出力の対応関係は 1 対 1 であり、次のとおりです。

- TRDIOB1 : TKBO00
- TRDIOC1 : TKBO01
- TRDIOD1 : TKBO10
- TRDIOA1 : TKBO11
- TRDIOB0 : TKBO20
- TRDIOD0 : TKBO21

(1) PWM出力ゲート機能で使用可能な動作モード

出力ゲート機能は、以下の動作モードで使用できます。

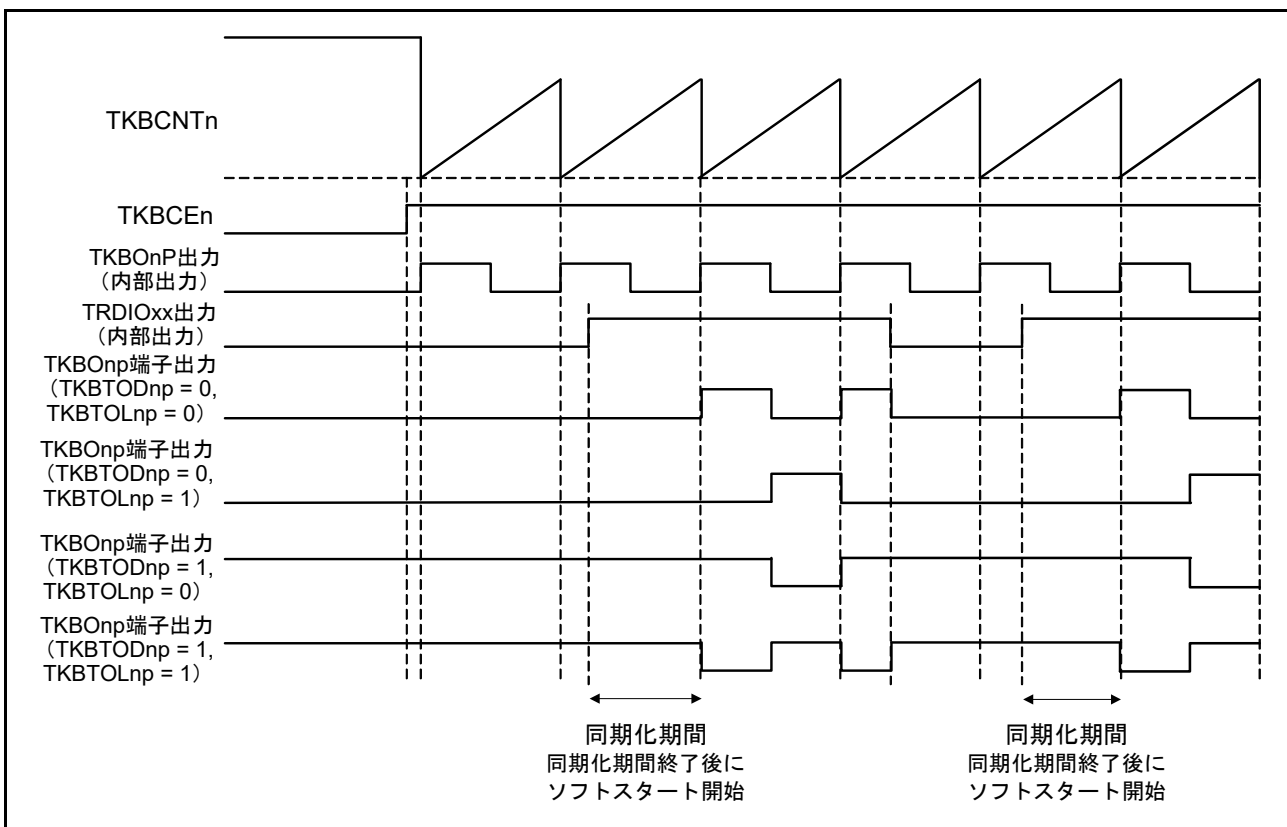
動作モード	TKBMDn1, TKBMDn0	設定可能
単体動作モード（TKBCRn0レジスタによる周期制御）	00B	○
単体動作モード（外部トリガ入力による周期制御）	00B	○
同時スタート/ストップ・モード（TKBCRn0レジスタによる周期制御）	01B	○
同時スタート/ストップ・モード（外部トリガ入力による周期制御）	01B	○
同時スタート/クリア・モード（マスタによる周期制御）	10B	○
インターリーブPFC出力モード	11B	×

15.5.5 PWM出力ゲート機能（PWM出力ソフトスタート機能併用あり）

PWM 出力ゲート機能と PWM 出力ソフト・スタート機能は併用することができます。

ソフト・スタート併用時には、タイマ RD2 出力（TRDIOxx）の立ち上がりエッジ検出後、16 ビット・タイマ KB30, KB31, KB32 の周期に同期して、16 ビット・タイマ KB30, KB31, KB32 の TKBOnp 出力端子から PWM パルスを出力します。タイマ RD2 出力（TRDIOxx）の立ち下がりエッジ検出により、16 ビット・タイマ KB30, KB31, KB32 の TKBOnp 出力端子からデフォルト・レベル（TKBTODnp）を出力します。

図 15 - 77 PWM出力ゲート機能（PWM出力ソフトスタート機能併用あり）のTRDIOxx出力開始時のTKBOnp出力同期化波形例



(1) PWM出力ゲート機能で使用可能な動作モード

出力ゲート機能は、以下の動作モードで使用できます。

動作モード	TKBMDn1, TKBMDn0	設定可能
単体動作モード（TKBCRn0レジスタによる周期制御）	00B	○
単体動作モード（外部トリガ入力による周期制御）	00B	○
同時スタート/ストップ・モード（TKBCRn0レジスタによる周期制御）	01B	○
同時スタート/ストップ・モード（外部トリガ入力による周期制御）	01B	○
同時スタート/クリア・モード（マスタによる周期制御）	10B	○
インターリーブPFC出力モード	11B	×

PWM 出力ソフト・スタート機能の詳細は、15.5.3 PWM 出力ソフト・スタート機能を参照してください。

15.5.6 最大周波数リミット機能

16ビット・タイマKB30, KB31, KB32は、外部トリガ入力による周期制御またはインターリーブPFC出力モード時に、カウンタ・クリアの最小周期（最大周波数）を制限する機能です。

この機能を使用すると、カウンタ・クリアを行う外部トリガ入力値が、カウンタ値が16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) の設定値より小さいときに発生した場合、その入力を保留し、TKBMFRnレジスタの設定値までカウントを継続したあとにカウンタ・クリアを行います。

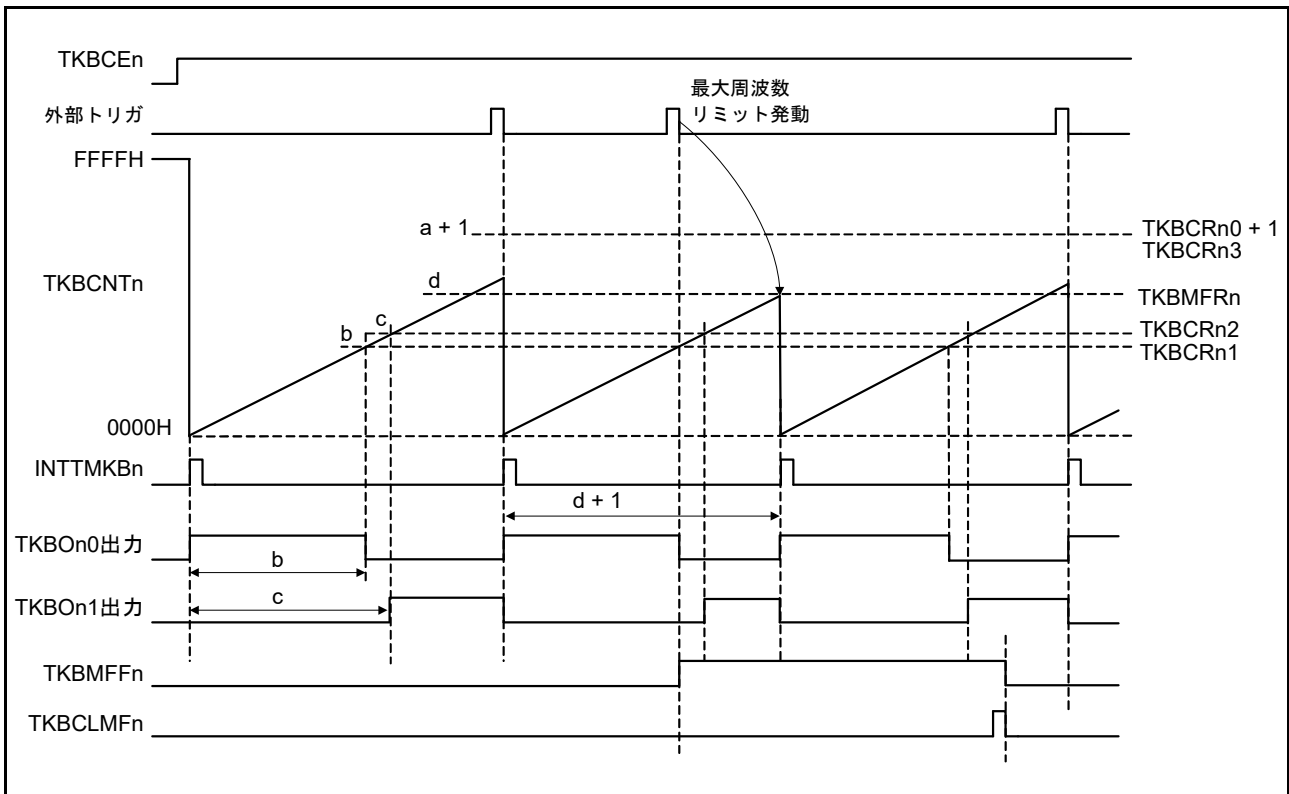
(1) 最大周波数リミット (= 1 / 最小周期) の計算式

$$\text{最小周期} (= 1 / \text{最大周波数リミット}) = (\text{TKBMFRnの設定値} + 1) \times \text{カウント・クロック周期}$$

注意 TKBMFRnの設定値 ≤ TKBCRn0の設定値とする必要があります。

外部トリガ入力検出タイミングで、カウンタ値がTKBMFRnレジスタより小さい場合、TKBMFFnフラグが1にセットされます。TKBMFFnフラグは、TKBCLMFnビットへの1書き込みにより0にクリアされます。

図15-78 最大周波数リミット機能



備考 外部トリガ入力による周期制御の場合

(2) 最大周波数リミット機能で使用可能な動作モード

最大周波数リミット機能は、以下の動作モードで使用できます。

動作モード	TKBMDn1, TKBMDn0	設定可能
単体動作モード (TKBCRn0 レジスタによる周期制御)	00B	×
単体動作モード (外部トリガ入力による周期制御)	00B	○
同時スタート/ストップ・モード (TKBCRn0 レジスタによる周期制御)	01B	×
同時スタート/ストップ・モード (外部トリガ入力による周期制御)	01B	○
同時スタート/クリア・モード (マスタによる周期制御)	10B	×
インターリーブPFC出力モード	11B	○

備考 外部トリガ入力による周期制御の場合に使用可能です。同時スタート/クリアモード設定時のスレーブの周期制御は、マスタの周期制御と同一動作となります。マスタが単体動作モード (外部トリガ入力による周期制御) を選択している場合には、マスタにて最大周波数リミット機能を使用することが可能です。スレーブは最大周波数リミット機能を使用しない (TKBCTLn0.TKBMFEn = 0) に設定してください。

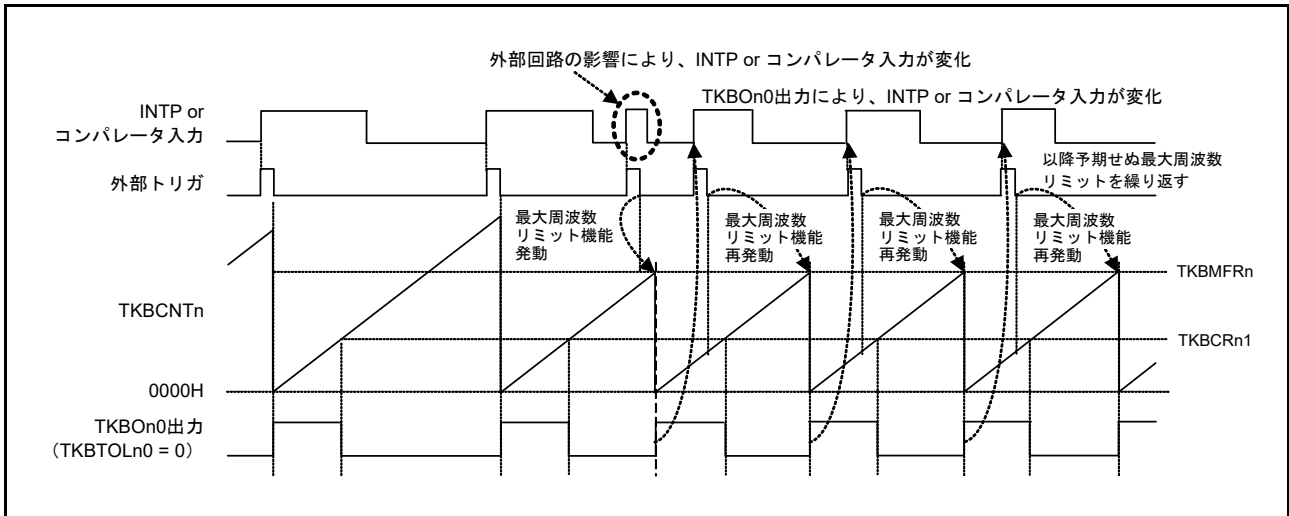
(3) 最大周波数リミット機能使用時のマスク制御

最大周波数リミット機能を使用する (TKBCTLn0.TKBMFEn = 1) 場合に、最大周波数リミット機能時における外部トリガマスク要因の制御ビット (TKBCTLn2.TKBMFMnp) を設定することでTKBOnp出力のアクティブ期間に入力された外部トリガ検出をマスクすることが可能です。

マスク制御の対象となる外部トリガ検出は、インターリーブPFC出力モード設定時はINTP20固定で、単体動作モード、同時スタート/ストップモード設定時はTKBCTLn0.TKBSTSn1, TKBCTLn0.TKBSTSn0, TKBCTLn2.TKBINSn2-TKBCTLn2.TKBINSn0ビットで選択したリスタート・トリガのみとなり、TKBCTLn2.TKBKCln2-TKBCTLn2.TKBKCln0ビットで選択したリスタート・トリガは含まれません。TKBOnp出力が強制出力停止制御によりHi-Z出力となっている場合はインアクティブ期間として扱います。最大周波数リミット機能を使用しない (TKBCTLn0.TKBMFEn = 0) 場合は、TKBCTLn2.TKBMFMn1, TLBCTLn2.TKBMFMn0ビットの設定値は無効となりマスク制御は適用されません。同時スタート/クリアモードを使用する場合、単体動作モードで動作するマスタにおいて最大周波数リミット機能のマスク制御は使用できません。マスタのTKBCTLn2.TKBMFMn1, TLBCTLn2.TKBMFMn0ビットは00Bを設定してください。

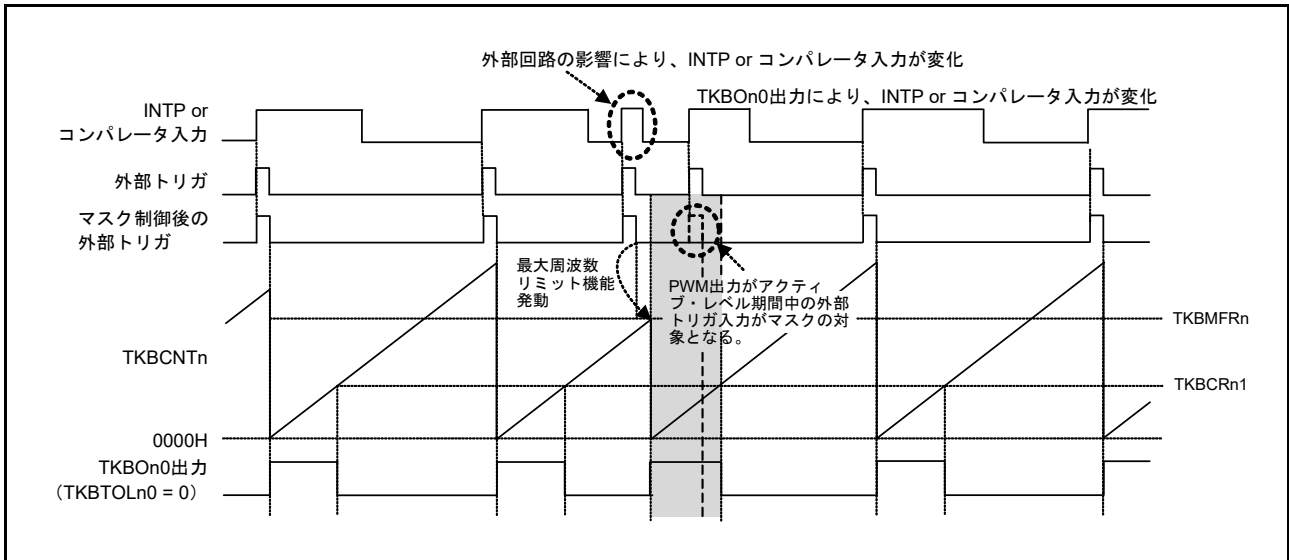
図15-79に外部回路の動作により最大周波数リミット機能が連続発動してしまう場合の動作例、**図15-80**に最大周波数リミット機能のマスク制御 (TKBCTLn2.TKBMFMn0 = 1) により最大周波数リミット機能の連続発動を抑制した場合の動作例を示します。

図15-79 外部回路の動作により最大周波数リミット機能が連続発動してしまう場合の動作例



外部回路の影響により外部トリガ入力が発生し最大周波数リミット機能が発動しTKBCNTnカウンタと16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) の一致が発生するとTKBCNTnはクリアされTKBOn0出力がアクティブ・レベルに変化します。その後、TKBOn0出力の変化による外部トリガ入力の発生を繰り返した場合、以降の周期では16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) を周期とした動作を継続してしまう場合があります。

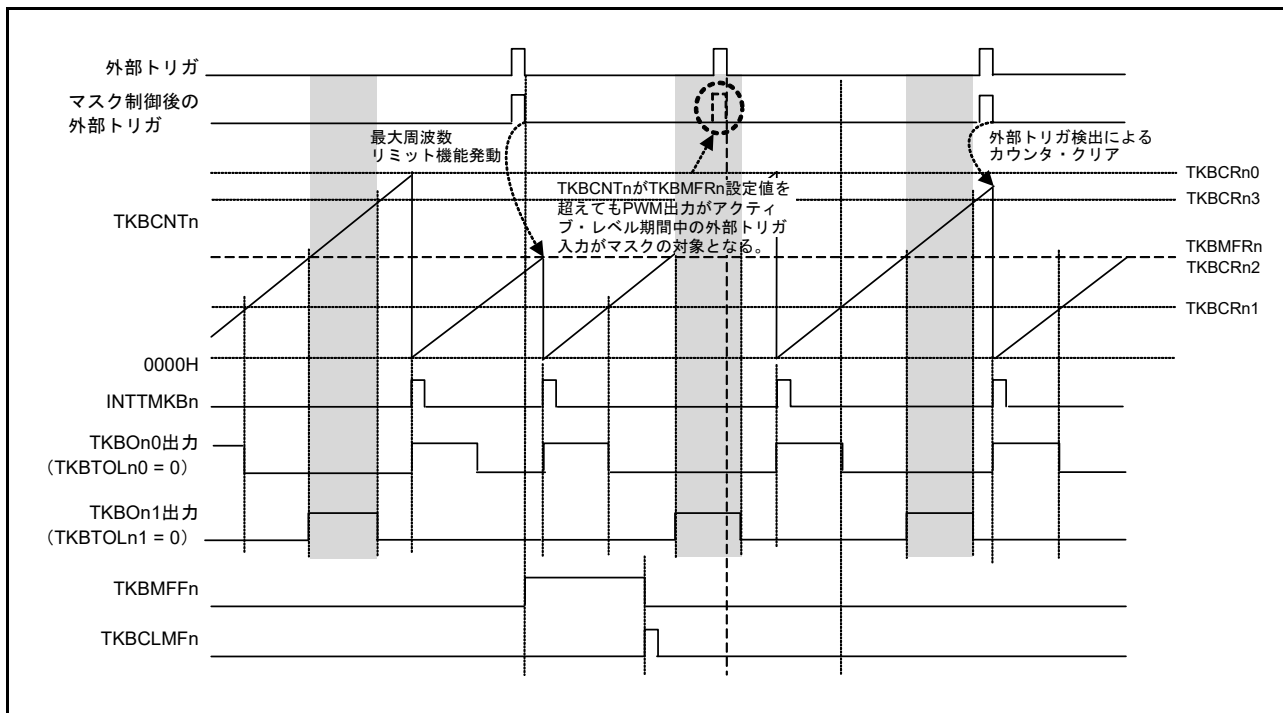
図15-80 最大周波数リミット機能のマスク制御 (TKBCTLn2.TKBMFMn0 = 1) により最大周波数リミット機能の連続発動を抑制した場合の動作例



TKBCTLn2.TKBMFMn0ビットに1を設定するとTKBOn0出力アクティブ期間中に発生した外部トリガ検出をマスクすることが可能となり、図15-79に示した最大周波数リミット機能の連続発動を抑制することが可能です。

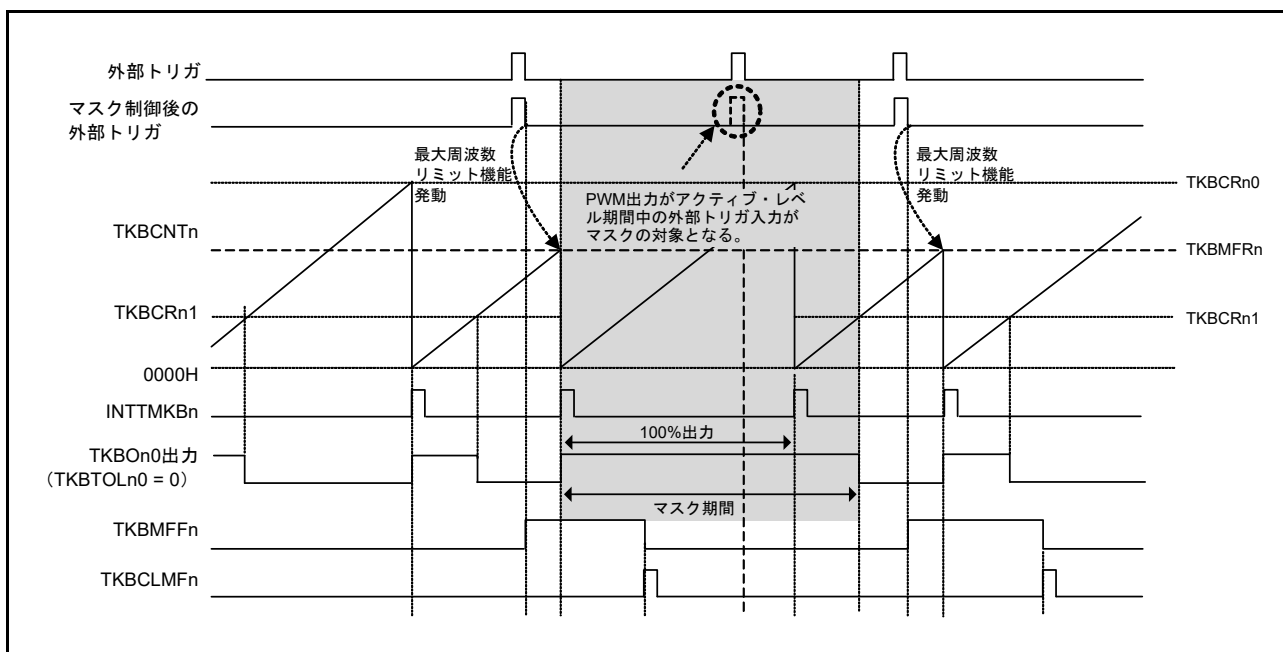
最大周波数リミット機能のマスク制御は、TKBCNTn値と16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) の設定値に関係なく、TKBOnp出力のアクティブ・レベル期間に発生した外部トリガ検出をマスクします。図15-81にTKBCNTn値がTKBMFRn設定値以上の場合でのマスク制御動作例を示します。

図15-81 TKBCNTn値がTKBMFRn設定値以上の場合でのマスク制御動作例
(TKBCTLn2.TKBMFMn1, TLBCTLn2.TKBMFMn0 = 10B 設定時)



TKBOn0出力のデューティを動作中変更、または強制出力停止機能により100%出力となった場合、PWM周期期間がマスク期間となりTKBCNTn値とTKBCRn0設定値の一致発生までTKBCNTnはクリアされません。図15-82にTKBOn0出力が100%出力時のマスク制御の動作例を示します。

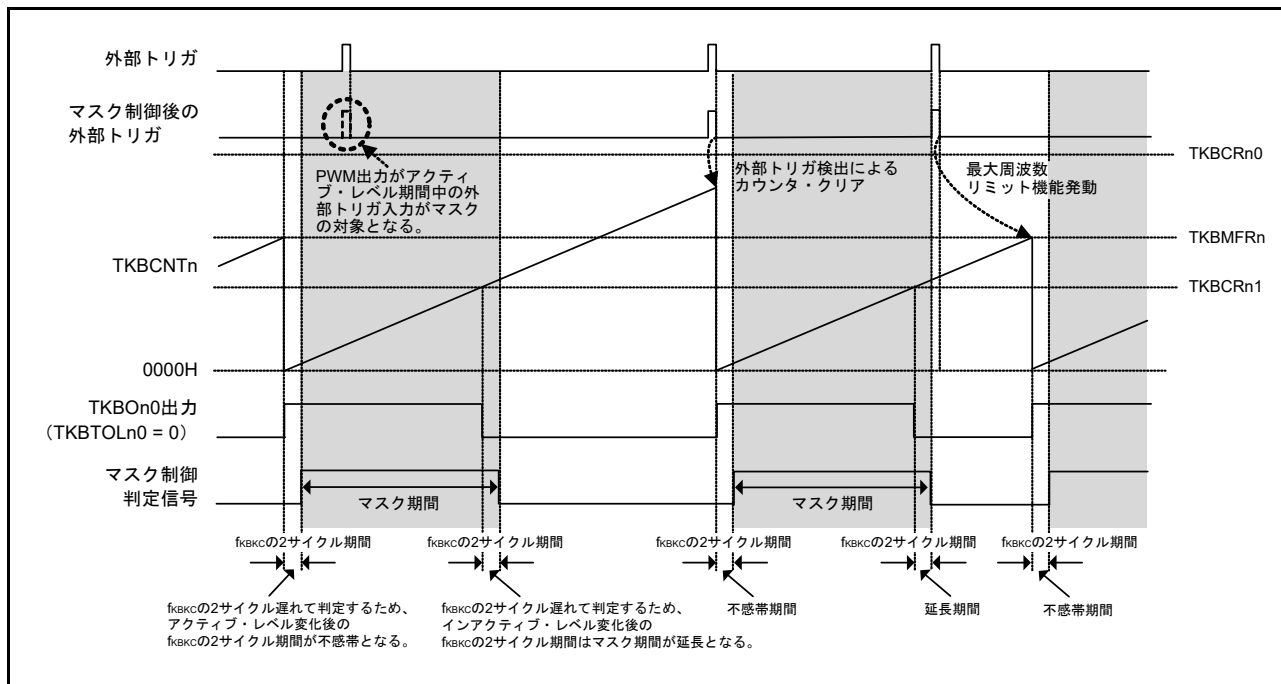
図15-82 TKBOn0出力が100%出力時のマスク制御の動作例 (TKBCTLn2.TKBMFMn0 = 1 設定時)



(4) 最大周波数リミット機能のマスク制御使用時の注意事項

16ビット・タイマKB3nでは、強制出力停止機能適用後のTKBOnp出力により判定するため、内部で同期化処理した信号により外部トリガのマスクを制御しています。したがって、同期化のf_{KBKC}の2サイクル分マスク制御にずれが発生します。図15-83に最大周波数リミット機能のマスク制御期間を示します。

図15-83 最大周波数リミット機能のマスク制御期間 (TKBCTLn2.TKBMFMn0 = 1 設定時)



15.5.7 マルチフェーズ機能

16ビット・タイマKB3nは、TKBKCI_{n2}-TKBKCI_{n0}ビットの設定によりタイマRD2と連動して動作することが可能です。タイマRD2は、タイマKB PWM出力ゲートモードを使用し、コンペア・レジスタ（TRDGR_{ji}, TRDCMP_{ji}）に16ビット・タイマKB3n間の位相差を設定することでリスタートトリガを生成します。16ビット・タイマKB3nは、タイマRD2で生成したリスタートトリガを利用し、16ビット・タイマKB30を基準に16ビット・タイマKB31、16ビット・タイマKB32の動作開始タイミングをずらすことでマルチフェーズ機能を実現します。

備考 i = 0,1; j = A-D

16ビット・タイマKB3nは、TKBCE_nビットに1を設定することでカウント動作を開始しPWM波形を生成するため、0%出力設定で動作を開始させます。16ビット・タイマKB3nの動作開始直後に使用するデューティを再設定しタイマRD2の動作を開始することで16ビット・タイマKB3nを順次リスタート動作させ位相をずらしたPWM波形を出力することが可能です。また、16ビット・タイマKB3nの同時スタート/ストップ・モードを使用することで16ビット・タイマKB3nの動作開始と停止を同時制御することが可能です。図15-84に16ビット・タイマKB30, KB31, KB32、タイマRD2を使用した三相マルチフェーズの動作例を示します。

動作例における設定値（リセット初期値以外のレジスタ設定）は以下の通りです。設定値の詳細については、12.3 タイマRD2を制御するレジスタ、15.3 16ビット・タイマKB30, KB31, KB32を制御するレジスタを参照してください。

表15-5 タイマRD2の設定

レジスタ	ビット	設定
TRDBCR	GCE	1: タイマKB PWM出力ゲートモード有効
TRDPMR	TRDPWMB1	1: TRDTKBOUT0出力許可
	TRDPWMD1	1: TRDTKBOUT2出力許可
	TRDPWMB0	1: TRDTKBOUT4出力許可
TRDGRC0/TRDGRA0	—	TRD0のPWM周期設定
TRDGRC1/TRDGRA1	—	TRD1のPWM周期設定
TRDGRD1/TRDGRB1	—	TRDTKBOUT0/TRDIOB1のPWM変化点設定（16ビット・タイマKB30制御用）
TRDCMPD1/TRDCMPB1	—	TRDTKBOUT2/TRDIOD1のPWM変化点設定（16ビット・タイマKB31制御用）
TRDGRD0/TRDGRB0	—	TRDTKBOUT4/TRDIOB0のPWM変化点設定（16ビット・タイマKB32制御用）

表15-6 16ビット・タイマKB30の設定

レジスタ	ビット	設定
TKBCTL00	TKBTSE0	1: 外部トリガによるコンペア・レジスタ一斉書き換え機能を使用する
TKBCTL02	TKBKCI02- TKBKCI00	010B: TRDIOB1の立ち上がりエッジ
TKBIOC01	TKBTOE01, TKBTOE00	11B: タイマ出力許可（TKBO01, TKBO00）
TKBCR00	—	FFFFHを設定
TKBCR01	—	TKBO00出力のPWM設定
TKBCR02, TKBCR03	—	TKBO01出力のPWM設定

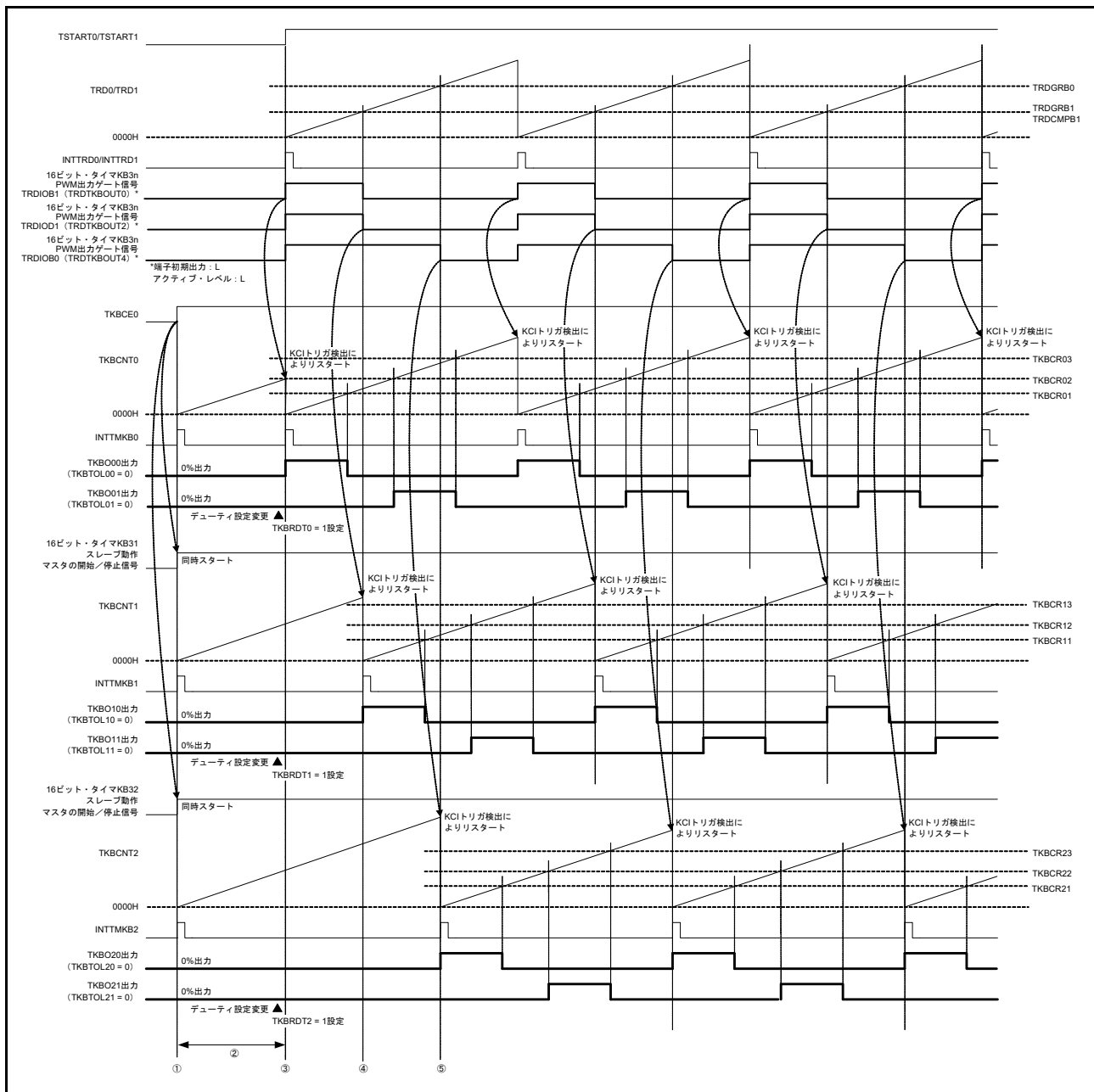
表15-7 16ビット・タイマKB31の設定

レジスタ	ビット	設定
TKBCTL10	TKBTSE1	1: 外部トリガによるコンペア・レジスタ斉書き換え機能を使用する
TKBCTL11	TKBMD11, TKBMD10	01B: 同時スタート/ストップ・モード (スレーブ使用)
TKBCTL12	TKBKCI12- TKBKCI10	011B: TRDIOD1の立ち下がりエッジ
TKBIOC11	TKBTOE11, TKBTOE10	11B: タイマ出力許可 (TKBO11, TKBO10)
TKBCR10	—	FFFFHを設定
TKBCR11	—	TKBO10出力のPWM設定
TKBCR12, TKBCR13	—	TKBO11出力のPWM設定

表15-8 16ビット・タイマKB32の設定

レジスタ	ビット	設定
TKBCTL20	TKBTSE2	1: 外部トリガによるコンペア・レジスタ斉書き換え機能を使用する
TKBCTL21	TKBMD21, TKBMD20	01B: 同時スタート/ストップ・モード (スレーブ使用)
TKBCTL22	TKBKCI22- TKBKCI20	011B: TRDIOB0の立ち下がりエッジ
TKBIOC21	TKBTOE21, TKBTOE20	11B: タイマ出力許可 (TKBO21, TKBO20)
TKBCR20	—	FFFFHを設定
TKBCR21	—	TKBO20出力のPWM設定
TKBCR22, TKBCR23	—	TKBO21出力のPWM設定

図15-84 16ビット・タイマKB30, KB31, KB32、タイマRD2を使用した三相マルチフェーズの動作例



- ① 16ビット・タイマKB3nのデューティを0%出力に設定。TKBCE0ビットに1を設定することで16ビット・タイマKB3nが一斉にカウント動作を開始。
- ② 16ビット・タイマKB3nのデューティ設定を変更し、TKBRDTnビットに1を設定。(TRDRSF0, TRDRSF1, TRDRSF2が1の状態)
- ③ タイマRD2の初期設定後、TSTART1, TSTART0ビットに11Bを設定することでタイマRD2がカウント動作を開始。
16ビット・タイマKB30のTKBKCI02-TKBKCI00ビットで選択したリスタートトリガ検出によりカウンタ値を初期化しPWMを出力。以降動作を継続する。
- ④ 16ビット・タイマKB31のTKBKCI12-TKBKCI10ビットで選択したリスタートトリガ検出によりカウンタ値を初期化しPWMを出力。以降動作を継続する。
- ⑤ 16ビット・タイマKB32のTKBKCI22-TKBKCI20ビットで選択したリスタートトリガ検出によりカウンタ値を初期化しPWMを出力。以降動作を継続する。

15.6 強制出力停止機能

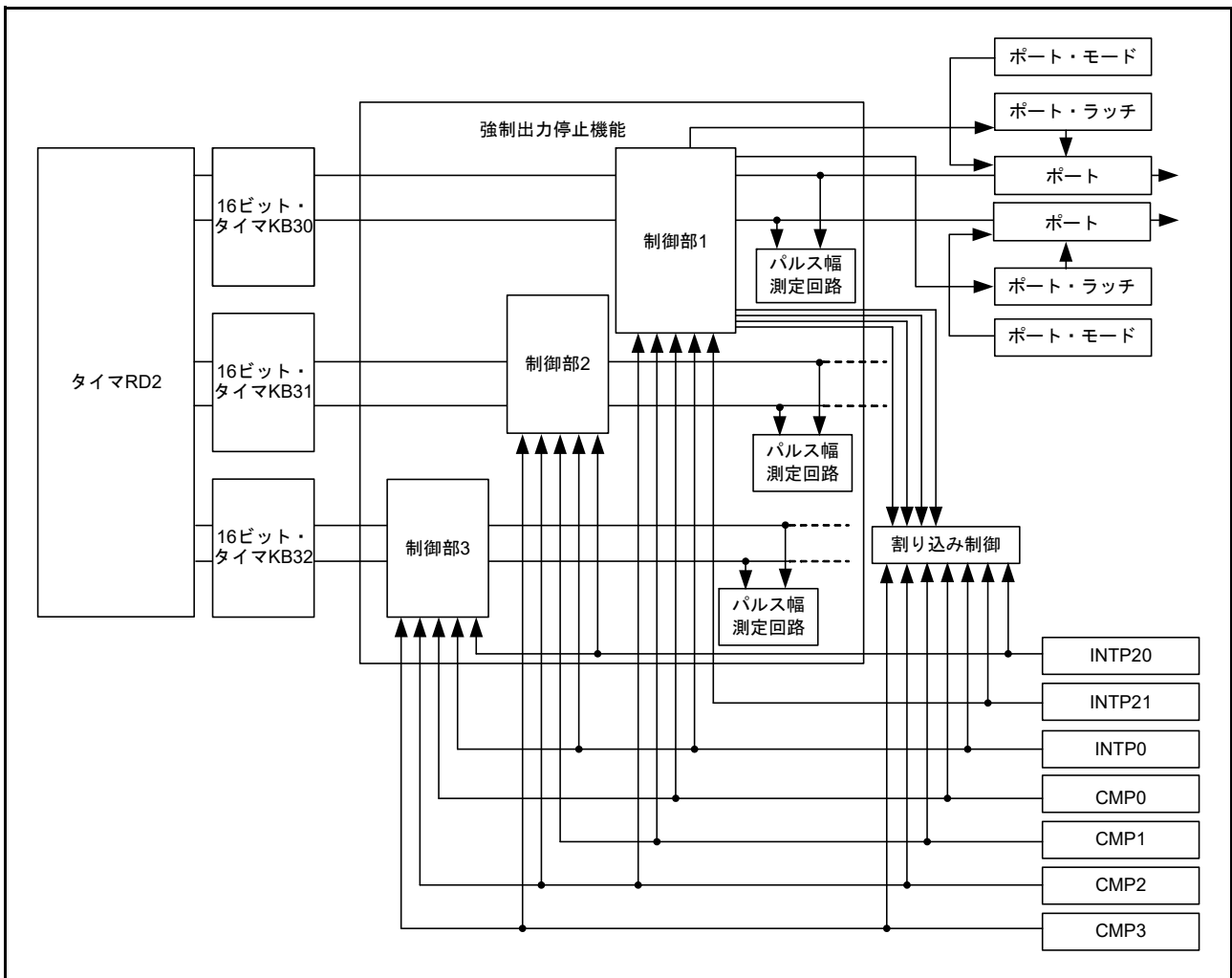
強制出力停止機能は、電源回路などの保護を行うための機能です。

マイコン外部で構成された電源回路において、ショートなどの異常が発生し、過電圧や過電流状態となった場合に、電圧や電流センス信号を外部割り込み／コンパレータなどに入力することで、CPUのプログラム制御を介することなくタイマ出力をHi-Zまたは固定出力状態として回路を保護します。

この機能は、入力信号のエッジを検出したときに発動または解除します。

強制出力停止機能のシステム構成を次の図に示します。

図15-85 強制出力停止機能のシステム構成図



15.6.1 強制出力停止機能1と強制出力停止機能2

強制出力停止機能は、2つの制御方法があります。強制出力停止機能1はレベル固定出力とHi-Z出力を選択でき、強制出力停止機能2はレベル固定出力のみ設定可能です。次に制御方法の差分を示します。

(1) 強制出力停止機能1／強制出力停止機能2の選択可能出力レベル

選択可能出力レベル	強制出力停止	
	機能1	機能2
Hi-Z出力	○	×
ロウ・レベル固定出力	○	○
ハイ・レベル固定出力	○	○

(2) 強制出力停止機能1／強制出力停止機能2の開始・解除条件

機能・動作説明（強制出力停止開始）	強制出力停止	
	機能1	機能2
コンパレータ出力の立ち上がりエッジ検出により強制出力停止開始	○	○
外部割り込み入力の立ち上がりエッジ検出または立ち下がりエッジ検出により強制出力停止開始	○	○
TKBPAHFSn.TKBPAHTSnビットの設定により強制出力停止開始	○	×

機能・動作説明（強制出力停止解除）	強制出力停止	
	機能1	機能2
TKBPAHFTn.TKBPAHTTnpビットの設定により強制出力停止解除	○	×
TKBPAHFTn.TKBPAHTTnpビットの設定後、16ビット・タイマKB30, KB31, KB32の周期に同期して強制出力停止解除	○	×
強制出力停止を開始した次のカウンタの周期で強制出力停止解除	×	○
トリガ信号の立ち下がりエッジ検出後、次のカウンタの周期で強制出力停止解除	×	○
トリガ信号（同期化後）の立ち下がりエッジ検出で強制出力停止解除（Fixed off機能）	×	○

(3) 強制出力停止機能1／強制出力停止機能2の選択可能トリガ信号と使用可能トリガビットの条件

選択可能なトリガ信号	強制出力停止	
	機能1	機能2
コンパレータ0-3	○	○
外部割り込み入力（INTP20/INTP21/INTP0）	○	○

使用可能トリガビット	強制出力停止	
	機能1	機能2
TKBPAHFSn.TKBPAHTSn（TKBOnp出力の強制出力停止を開始するトリガ・ビット）	○	×
TKBPAHFTn.TKBPAHTTnp（TKBOnp出力の強制出力停止を解除するトリガ・ビット）	○	×

備考 n = 0-2; p = 0, 1

表15-9 強制出力停止機能1の外部トリガ割り当て一覧

項目	TKBO00	TKBO01	TKBO10	TKBO11	TKBO20	TKBO21
コンパレータ0	○	○	—	—	○	○
コンパレータ1	○	○	○	○	—	—
コンパレータ2	○	○	○	○	○	○
コンパレータ3	—	—	○	○	○	○
INTP20	—	—	○	○	○	○
INTP21	○	○	—	—	—	—
INTP0	○	○	○	○	○	○

表15-10 強制出力停止機能2の外部トリガ割り当て一覧

項目	TKBO00	TKBO01	TKBO10	TKBO11	TKBO20	TKBO21
コンパレータ0	○	○	—	—	○	○
コンパレータ1	○	○	○	○	—	—
コンパレータ2	○	○	○	○	○	○
コンパレータ3	—	—	○	○	○	○
INTP20	—	—	○	○	○	○
INTP21	○	○	—	—	—	—
INTP0	○	○	○	○	○	○

注意 INTP20/INTP21/INTP0の設定は、第22章 コンパレータ (CMP) を参照してください。

15.6.2 強制出力停止機能の構成

強制出力停止機能は、次のハードウェアで構成されています。

表15 - 11 強制出力停止機能の構成

項目	構成
制御レジスタ	<ul style="list-style-type: none"> • 強制出力停止機能制御レジスタ np (TKBPACTLn_p) (n = 0-2; p = 0, 1) • 強制出力停止機能制御レジスタ n2 (TKBPACTLn₂) (n = 0-2) • 強制出力停止機能制御レジスタ n3 (TKBPACTLn₃) (n = 0-2) • 強制出力停止機能制御レジスタ n4 (TKBPACTLn₄) (n = 0-2) • パルス幅測定キャプチャレジスタ np (TKBPAPLSn_p) (n = 0-2; p = 0, 1) • パルス幅測定キャプチャレジスタ npL (TKBPAPLSn_{pL}) (n = 0-2; p = 0, 1) • 強制出力停止機能フラグ・レジスタ n (TKBPAFLGn) (n = 0-2) • 強制出力停止機能1開始トリガ・レジスタ n (TKBPAHFSn) (n = 0-2) • 強制出力停止機能1解除トリガ・レジスタ n (TKBPAHFTn) (n = 0-2)

15.6.3 強制出力停止機能を制御するレジスタ

強制出力停止機能を制御するレジスタを次に示します。

- 強制出力停止機能制御レジスタ np (TKBPACTLn_p) (n = 0-2; p = 0, 1)
- 強制出力停止機能制御レジスタ n2 (TKBPACTLn₂) (n = 0-2)
- 強制出力停止機能制御レジスタ n3 (TKBPACTLn₃) (n = 0-2)
- 強制出力停止機能制御レジスタ n4 (TKBPACTLn₄) (n = 0-2)
- パルス幅測定キャプチャレジスタ np (TKBPAPLSn_p) (n = 0-2; p = 0, 1)
- パルス幅測定キャプチャレジスタ npL (TKBPAPLSn_{pL}) (n = 0-2; p = 0, 1)
- 強制出力停止機能フラグ・レジスタ n (TKBPAFLG_n) (n = 0-2)
- 強制出力停止機能1開始トリガ・レジスタ n (TKBPAHFS_n) (n = 0-2)
- 強制出力停止機能1解除トリガ・レジスタ n (TKBPAHFT_n) (n = 0-2)

15.6.3.1 強制出力停止機能制御レジスタ np (TKBPACTLnp) (n = 0-2; p = 0, 1)

TKBPACTLnp レジスタは、TKBOnp 端子の強制出力停止機能制御のトリガとして使用する信号の選択を行うレジスタです。

TKBPACTLnp レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図 15 - 86 強制出力停止機能制御レジスタ 0p (TKBPACTL0p) のフォーマット (1/3)

アドレス : F0770H (TKBPACTL00), F0772H (TKBPACTL01)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p4	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	TKBPAHZS0p4	TKBPAHZS0p3	TKBPAFCM0p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS0p2	TKBPAHZS0p1	TKBPAHZS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0
TKBPAFXS0p4	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP0をトリガとしない							
1	INTP0をトリガとする注1							
TKBPAFXS0p3	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP21をトリガとしない							
1	INTP21をトリガとする注1							
TKBPAFXS0p2	強制出力停止機能2のコンパレータトリガ選択							
0	コンパレータ2をトリガとしない							
1	コンパレータ2をトリガとする注2							
TKBPAFXS0p1	強制出力停止機能2のコンパレータトリガ選択							
0	コンパレータ1をトリガとしない							
1	コンパレータ1をトリガとする注2							
TKBPAFXS0p0	強制出力停止機能2のコンパレータトリガ選択							
0	コンパレータ0をトリガとしない							
1	コンパレータ0をトリガとする注2							

図15 - 86 強制出力停止機能制御レジスタ0p (TKBPACTL0p) のフォーマット (2/3)

TKBPAFC M0p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除 ^{注3} 。
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除 ^{注3} 。
TKBPAHVS 0p4	強制出力停止機能1の外部割り込みトリガ選択
0	INTP0をトリガとしない
1	INTP0をトリガとする ^{注1}
TKBPAHVS 0p3	強制出力停止機能1の外部割り込みトリガ選択
0	INTP21をトリガとしない
1	INTP21をトリガとする ^{注1}
TKBPAHVS 0p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする ^{注2}
TKBPAHVS 0p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする ^{注2}
TKBPAHVS 0p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする ^{注2}

図15-86 強制出力停止機能制御レジスタ0p (TKBPACTL0p) のフォーマット (3/3)

TKBPAHC M0p1	TKBPAHC M0p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHFT0.TKBPAHTT0p) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHFT0.TKBPAHTT0p) = 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHFT0.TKBPAHTT0p) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHFT0.TKBPAHTT0p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除 ^{注3} 。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHFT0.TKBPAHTT0p) = 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHFT0.TKBPAHTT0p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除 ^{注3} 。

TKBPAMD 0p1	TKBPAMD 0p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注1. 外部割り込みを強制出力停止機能に使用する場合は、**22.4.6 コンパレータの16ビット・タイマKB30, KB31, KB32運動機能使用時の注意事項**も参照してください。

注2. コンパレータを16ビット・タイマKB3nの強制出力停止機能に使用する場合は、COMPFIr_n.CnFCK1, COMPFIr_n.CnFCK0 = 00Bとしてください。詳細は、**22.4.6 コンパレータの16ビット・タイマKB30, KB31, KB32運動機能使用時の注意事項**を参照してください。

注3. 次のカウンタ同期を待たずに16ビット・タイマKB3nを停止 (TKBCTLn1.TKBCE_n = 0) した場合、次に16ビット・タイマKB3nを動作 (TKBCTLn1.TKBCE_n = 1) するまで強制出力停止機能を継続します。

注意1. タイマ動作中に、TKBPACTL0pレジスタを書き換えないでください。ただし、TKBPACTL0pレジスタにリフレッシュ (同値書き込み) することは可能です。

注意2. ビット7には、必ず0を設定してください。

備考 n = 0-2; p = 0, 1

図15-87 強制出力停止機能制御レジスタ1p (TKBPACTL1p) のフォーマット (1/3)

アドレス : F07B0H (TKBPACTL10), F07B2H (TKBPACTL11)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TKBPACTL1p	TKBPAFXS1p4	TKBPAFXS1p3	TKBPAFXS1p2	TKBPAFXS1p1	TKBPAFXS1p0	TKBPAHZS1p4	TKBPAHZS1p3	TKBPAFCM1p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS1p2	TKBPAHZS1p1	TKBPAHZS1p0	TKBPAHCM1p1	TKBPAHCM1p0	TKBPAMD1p1	TKBPAMD1p0
TKBPAFXS1p4	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP0をトリガとしない							
1	INTP0をトリガとする注1							
TKBPAFXS1p3	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP20をトリガとしない							
1	INTP20をトリガとする注1							
TKBPAFXS1p2	強制出力停止機能2のコンパレータトリガ選択							
0	コンパレータ3をトリガとしない							
1	コンパレータ3をトリガとする注2							
TKBPAFXS1p1	強制出力停止機能2のコンパレータトリガ選択							
0	コンパレータ2をトリガとしない							
1	コンパレータ2をトリガとする注2							
TKBPAFXS1p0	強制出力停止機能2のコンパレータトリガ選択							
0	コンパレータ1をトリガとしない							
1	コンパレータ1をトリガとする注2							

図15 - 87 強制出力停止機能制御レジスタ1p (TKBPACTL1p) のフォーマット (2/3)

TKBPAFC M1p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除 ^{注3} 。
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除 ^{注3} 。
TKBPAHVS 1p4	強制出力停止機能1の外部割り込みトリガ選択
0	INTP0をトリガとしない
1	INTP0をトリガとする ^{注1}
TKBPAHVS 1p3	強制出力停止機能1の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする ^{注1}
TKBPAHVS 1p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ3をトリガとしない
1	コンパレータ3をトリガとする ^{注2}
TKBPAHVS 1p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする ^{注2}
TKBPAHVS 1p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ1をトリガとしない
1	コンパレータ1をトリガとする ^{注2}

図15-87 強制出力停止機能制御レジスタ1p (TKBPACTL1p) のフォーマット (3/3)

TKBPAHC M1p1	TKBPAHC M1p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHFT1.TKBPAHTT1p) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHFT1.TKBPAHTT1p) = 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHFT1.TKBPAHTT1p) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHFT1.TKBPAHTT1p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除 ^{注3} 。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHFT1.TKBPAHTT1p) = 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHFT1.TKBPAHTT1p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除 ^{注3} 。

TKBPAMD 1p1	TKBPAMD 1p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注1. 外部割り込みを強制出力停止機能に使用する場合は、**22.4.6 コンパレータの16ビット・タイマKB30, KB31, KB32連動機能使用時の注意事項**も参照してください。

注2. コンパレータを16ビット・タイマKB3nの強制出力停止機能に使用する場合は、COMPFIr_n.CnFCK1, COMPFIr_n.CnFCK0 = 00Bとしてください。詳細は、**22.4.6 コンパレータの16ビット・タイマKB30, KB31, KB32連動機能使用時の注意事項**を参照してください。

注3. 次のカウンタ同期を待たずに16ビット・タイマKB3nを停止 (TKBCTLn1.TKBCEn = 0) した場合、次に16ビット・タイマKB3nを動作 (TKBCTLn1.TKBCEn = 1) するまで強制出力停止機能を継続します。

注意1. タイマ動作中に、TKBPACTL1pレジスタを書き換えないでください。ただし、TKBPACTL1pレジスタにリフレッシュ (同値書き込み) することは可能です。

注意2. ビット7には、必ず0を設定してください。

備考 n = 0-2; p = 0, 1

図15-88 強制出力停止機能制御レジスタ2p (TKBPACTL2p) のフォーマット (1/3)

アドレス : F0430H (TKBPACTL20), F0432H (TKBPACTL21)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TKBPACTL2p	TKBPAFXS2p4	TKBPAFXS2p3	TKBPAFXS2p2	TKBPAFXS2p1	TKBPAFXS2p0	TKBPAHXS2p4	TKBPAHXS2p3	TKBPAFCM2p
	7	6	5	4	3	2	1	0
	0	TKBPAHXS2p2	TKBPAHXS2p1	TKBPAHXS2p0	TKBPAHCM2p1	TKBPAHCM2p0	TKBPAMD2p1	TKBPAMD2p0
TKBPAFXS2p4	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP0をトリガとしない							
1	INTP0をトリガとする注1							
TKBPAFXS2p3	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP20をトリガとしない							
1	INTP20をトリガとする注1							
TKBPAFXS2p2	強制出力停止機能2のコンパレータトリガ選択							
0	コンパレータ3をトリガとしない							
1	コンパレータ3をトリガとする注2							
TKBPAFXS2p1	強制出力停止機能2のコンパレータトリガ選択							
0	コンパレータ2をトリガとしない							
1	コンパレータ2をトリガとする注2							
TKBPAFXS2p0	強制出力停止機能2のコンパレータトリガ選択							
0	コンパレータ0をトリガとしない							
1	コンパレータ0をトリガとする注2							

図15 - 88 強制出力停止機能制御レジスタ2p (TKBPACTL2p) のフォーマット (2/3)

TKBPAFC M2p	強制出力停止機能2の動作モード選択
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除 ^{注3} 。
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除 ^{注3} 。
TKBPAHVS 2p4	強制出力停止機能1の外部割り込みトリガ選択
0	INTP0をトリガとしない
1	INTP0をトリガとする ^{注1}
TKBPAHVS 2p3	強制出力停止機能1の外部割り込みトリガ選択
0	INTP20をトリガとしない
1	INTP20をトリガとする ^{注1}
TKBPAHVS 2p2	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ3をトリガとしない
1	コンパレータ3をトリガとする ^{注2}
TKBPAHVS 2p1	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ2をトリガとしない
1	コンパレータ2をトリガとする ^{注2}
TKBPAHVS 2p0	強制出力停止機能1のコンパレータトリガ選択
0	コンパレータ0をトリガとしない
1	コンパレータ0をトリガとする ^{注2}

図15-88 強制出力停止機能制御レジスタ2p (TKBPACTL2p) のフォーマット (3/3)

TKBPAHC M2p1	TKBPAHC M2p0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHFT2.TKBPAHTT2p) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHFT2.TKBPAHTT2p) = 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHFT2.TKBPAHTT2p) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHFT2.TKBPAHTT2p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除 ^{注3} 。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHFT2.TKBPAHTT2p) = 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHFT2.TKBPAHTT2p) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除 ^{注3} 。

TKBPAMD 2p1	TKBPAMD 2p0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注1. 外部割り込みを強制出力停止機能に使用する場合は、**22.4.6 コンパレータの16ビット・タイマKB30, KB31, KB32運動機能使用時の注意事項**も参照してください。

注2. コンパレータを16ビット・タイマKB3nの強制出力停止機能に使用する場合は、COMPFIr_n.CnFCK1, COMPFIr_n.CnFCK0 = 00Bとしてください。詳細は、**22.4.6 コンパレータの16ビット・タイマKB30, KB31, KB32運動機能使用時の注意事項**を参照してください。

注3. 次のカウンタ同期を待たずに16ビット・タイマKB3nを停止 (TKBCTLn1.TKBCE_n = 0) した場合、次に16ビット・タイマKB3nを動作 (TKBCTLn1.TKBCE_n = 1) するまで強制出力停止機能を継続します。

★ **注意1.** タイマ動作中に、TKBPACTL2pレジスタを書き換えないでください。ただし、TKBPACTL2pレジスタにリフレッシュ (同値書き込み) することは可能です。

注意2. ビット7には、必ず0を設定してください。

備考 n = 0-2; p = 0, 1

15.6.3.2 強制出力停止機能制御レジスタ n2 (TKBPACTLn2) (n = 0-2)

TKBPACTLn2 レジスタは、TKBOnp 端子の強制出力停止機能を許可/禁止するレジスタです。

TKBPACTLn2 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-89 強制出力停止機能制御レジスタ n2 (TKBPACTLn2) のフォーマット

アドレス : F0777H (TKBPACTL02), F07B7H (TKBPACTL12), F0437H (TKBPACTL22)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TKBPACTLn 2	0	0	0	0	0	0	TKBPACEn1	TKBPACEn0
TKBPACEn p	TKBOnp 端子の強制出力停止機能に使用するトリガ信号の入力制御							
0	強制出力停止機能動作禁止							
1	強制出力停止機能動作許可							

注意1. タイマ動作中に、TKBPACTLn2 レジスタを書き換え可能です。

注意2. ビット7-2には、必ず0を設定してください。

備考 n = 0-2; p = 0, 1

15.6.3.3 強制出力停止機能制御レジスタ n3 (TKBPACTLn3) (n = 0-2)

TKBPACTLn3 レジスタは、TKBOnp 端子の強制出力停止機能の割り込み出力制御、強制出力停止機能 2 の Fixed off 機能を制御するレジスタです。

TKBPACTLn3 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 15 - 90 強制出力停止機能制御レジスタ n3 (TKBPACTLn3) のフォーマット

アドレス : F0778H (TKBPACTL03), F07B8H (TKBPACTL13), F0438H (TKBPACTL23)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TKBPACTLn 3	0	TKBPASTPI n1	TKBPASTAI n1	TKBPAFIXn 1	0	TKBPASTPI n0	TKBPASTAI n0	TKBPAFIXn 0
TKBPASTP In1	TKBOn1 端子の強制停止解除時の割り込み制御							
0	強制出力停止解除時に割り込みを生成しない							
1	強制出力停止解除時に割り込みを生成する							
TKBPASTA In1	TKBOn1 端子の強制停止発動時の割り込み制御							
0	強制出力停止発動時に割り込みを生成しない							
1	強制出力停止発動時に割り込みを生成する							
TKBPAFIX n1	TKBOn1 端子の強制出力停止機能 2 の Fixed off 機能制御							
0	Fixed off 機能を使用しない							
1	Fixed off 機能を使用する							
TKBPASTP In0	TKBOn0 端子の強制停止解除時の割り込み制御							
0	強制出力停止解除時に割り込みを生成しない							
1	強制出力停止解除時に割り込みを生成する							
TKBPASTA In0	TKBOn0 端子の強制停止発動時の割り込み制御							
0	強制出力停止発動時に割り込みを生成しない							
1	強制出力停止発動時に割り込みを生成する							
TKBPAFIX n0	TKBOn0 端子の強制出力停止機能 2 の Fixed off 機能制御							
0	Fixed off 機能を使用しない							
1	Fixed off 機能を使用する							

(注意、備考は次ページに続きます)

注意1. タイマ動作中に、TKBPACTLn3レジスタを書き換えないでください。ただし、TKBPACTLn3レジスタをリフレッシュ（同値書き込み）することは可能です。

注意2. ビット7, 3には、必ず0を設定してください。

備考 n = 0-2; p = 0, 1

15.6.3.4 強制出力停止機能制御レジスタ n4 (TKBPACTLn4) (n = 0-2)

TKBPACTLn4 レジスタは、TKBOnp 端子出力のパルス幅測定機能の制御レジスタです。
 TKBPACTLn4 レジスタは、8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00H になります。

図15-91 強制出力停止機能制御レジスタ n4 (TKBPACTLn4) のフォーマット

アドレス : F0779H (TKBPACTL04), F07B9H (TKBPACTL14), F0439H (TKBPACTL24)
 リセット時: 00H
 R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TKBPACTLn 4	TKBPACTE Nn11	TKBPACTE Nn10	TKBPACTLV n11	TKBPACTLV n10	TKBPACTE Nn01	TKBPACTE Nn00	TKBPACTLV n01	TKBPACTLV n00
	TKBPACTE Nn11	TKBPACTE Nn10	パルス幅測定機能カウントレジスタ n1 の動作制御					
	0	0	パルス幅測定機能は停止					
	0	1	TKBOn0 端子のパルス幅測定機能有効					
	1	0	TKBOn1 端子のパルス幅測定機能有効					
	1	1	設定禁止					
	TKBPACTL Vn11	TKBPACTL Vn10	パルス幅測定機能カウントレジスタ n1 の機能設定					
	0	0	ハイ・レベルのパルス幅をカウントし、TKBPAPLSn1 レジスタへ格納					
	0	1	ロウ・レベルのパルス幅をカウントし、TKBPAPLSn1 レジスタへ格納					
	1	0	立ち上がりから立ち上がりまでの周期をカウントし、TKBPAPLSn1 レジスタへ格納					
	1	1	立ち下がりから立ち下がりまでの周期をカウントし、TKBPAPLSn1 レジスタへ格納					
	TKBPACTE Nn01	TKBPACTE Nn00	パルス幅測定機能カウントレジスタ n0 の動作制御					
	0	0	パルス幅測定機能は停止					
	0	1	TKBOn0 端子のパルス幅測定機能有効					
	1	0	TKBOn1 端子のパルス幅測定機能有効					
	1	1	設定禁止					
	TKBPACTL Vn01	TKBPACTL Vn00	パルス幅測定機能カウントレジスタ n0 の機能設定					
	0	0	ハイ・レベルのパルス幅をカウントし、TKBPAPLSn0 レジスタへ格納					
	0	1	ロウ・レベルのパルス幅をカウントし、TKBPAPLSn0 レジスタへ格納					
	1	0	立ち上がりから立ち上がりまでの周期をカウントし、TKBPAPLSn0 レジスタへ格納					
	1	1	立ち下がりから立ち下がりまでの周期をカウントし、TKBPAPLSn0 レジスタへ格納					

備考 n = 0-2; p = 0, 1

15.6.3.5 パルス幅測定キャプチャレジスタ np (TKBPAPLSnp) (n = 0-2; p = 0, 1)

TKBPAPLSnp レジスタは、パルス幅測定機能のカウンタ値を格納したレジスタです。

TKBPAPLSnp レジスタは、16ビット・メモリ操作命令で設定します。

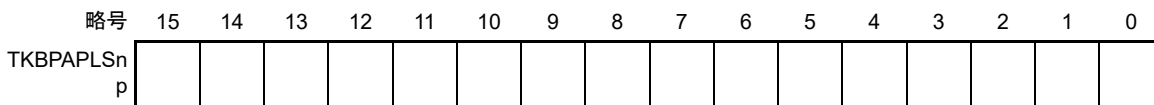
リセット信号の発生により、0000H になります。

図15-92 パルス幅測定キャプチャレジスタ np (TKBPAPLSnp) のフォーマット

アドレス : F077AH (TKBPAPLS00), F07BAH (TKBPAPLS10), F043AH (TKBPAPLS20), F077CH (TKBPAPLS01),
F07BCH (TKBPAPLS11), F043CH (TKBPAPLS21)

リセット時: 0000H

R/W属性 : R



備考 n = 0-2; p = 0, 1

15.6.3.6 パルス幅測定キャプチャレジスタ npL (TKBPAPLSnpL) (n = 0-2; p = 0, 1)

TKBPAPLSnpL レジスタは、パルス幅測定機能のカウンタ値を格納したレジスタです。TKBPAPLSnp レジスタの下位 8 ビットのカウンタ値を読み出すことができます。

TKBPAPLSn0L, TKBPAPLSn1L レジスタは、8ビット・メモリ操作命令で設定します。

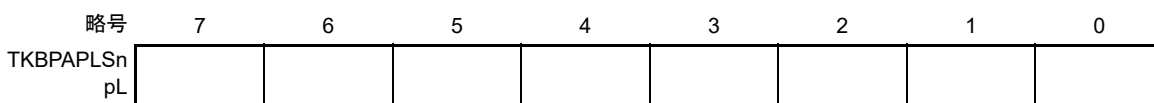
リセット信号の発生により、00H になります。

図15-93 パルス幅測定キャプチャレジスタ npL (TKBPAPLSnpL) のフォーマット

アドレス : F077EH (TKBPAPLS00L), F07BEH (TKBPAPLS10L), F043EH (TKBPAPLS20L), F077FH (TKBPAPLS01L),
F07BFH (TKBPAPLS11L), F043FH (TKBPAPLS21L)

リセット時: 00H

R/W属性 : R



備考 n = 0-2; p = 0, 1

15.6.3.7 強制出力停止機能フラグ・レジスタ n (TKBPAFLGn) (n = 0-2)

TKBPAFLGn レジスタは、TKBOnp 端子の強制出力停止機能のステータス・フラグを表示するレジスタです。
TKBPAFLGn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。
リセット信号の発生により、00H になります。

図15-94 強制出力停止機能フラグ・レジスタ n (TKBPAFLGn) のフォーマット

アドレス : F0776H (TKBPAFLG0), F07B6H (TKBPAFLG1), F0436H (TKBPAFLG2)

リセット時: 00H

R/W属性 : R

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
TKBPAFLGn	TKBPAFSFn 1	TKBPAHSFn 1	TKBPAFSFn 0	TKBPAHSFn 0	TKBPAFIFn 1	TKBPAHIFn 1	TKBPAFIFn 0	TKBPAHIFn 0
TKBPAFSF np	TKBOnp 端子に対する強制出力停止機能2のステータス・フラグ							
0	強制出力停止解除状態							
1	強制出力停止状態							
TKBPAHSF np	TKBOnp 端子に対する強制出力停止機能1のステータス・フラグ							
0	強制出力停止解除状態							
1	強制出力停止状態							
TKBPAFIFn p	TKBOnp 端子に対する強制出力停止機能2の入力モニタ・ビット							
0	強制出力停止2トリガ信号がロウ・レベル (イン・アクティブ)							
1	強制出力停止2トリガ信号がハイ・レベル (アクティブ)							
TKBPAHIFn np	TKBOnp 端子に対する強制出力停止機能1の入力モニタ・ビット							
0	強制出力停止1トリガ信号がロウ・レベル (イン・アクティブ)							
1	強制出力停止1トリガ信号がハイ・レベル (アクティブ)							

注意 強制出力停止機能1を解除するタイミングは設定によって異なります。詳細は、15.7.2 強制出力停止機能1のソフトウェア解除操作を参照してください。

備考 n = 0-2; p = 0, 1

15.6.3.8 強制出力停止機能1開始トリガ・レジスタ n (TKBPAHF_Sn) (n = 0-2)

TKBPAHF_Sn レジスタは、TKBOnp 出力の強制出力停止機能 1 に使用する開始トリガ・レジスタです。
TKBPAHF_Sn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で書き込みます。
リセット信号の発生により、00H になります。

図 15 - 95 強制出力停止機能1開始トリガ・レジスタ n (TKBPAHF_Sn) のフォーマット

アドレス : F0774H (TKBPAHF_S0), F07B4H (TKBPAHF_S1), F0434H (TKBPAHF_S2)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TKBPAHF _S n	0	0	0	0	0	0	TKBPAHT _S n 1	TKBPAHT _S n 0

TKBPAHT _S np	TKBOnp 出力に対する強制出力停止機能1開始トリガ
0	設定無効
1	TKBOnp 出力に対する強制出力停止機能1を開始

注意 1. タイマ動作中に、TKBPAHF_Sn レジスタを書き換え可能です。

注意 2. ビット 7-2 には、必ず 0 を設定してください。

注意 3. 読み出し時は、0 が読み出されます。

備考 n = 0-2; p = 0, 1

15.6.3.9 強制出力停止機能1解除トリガ・レジスタ n (TKBPAHFTn) (n = 0-2)

TKBPAHFTn レジスタは、TKBOnp 出力の強制出力停止機能 1 に使用する解除トリガ・レジスタです。
TKBPAHFTn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で書き込みます。
リセット信号の発生により、00H になります。

図 15 - 96 強制出力停止機能1解除トリガ・レジスタ n (TKBPAHFTn) のフォーマット

アドレス : F0775H (TKBPAHFT0), F07B5H (TKBPAHFT1), F0435H (TKBPAHFT2)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TKBPAHFTn	0	0	0	0	0	0	TKBPAHTTn 1	TKBPAHTTn 0

TKBPAHTT np	TKBOnp 出力に対する強制出力停止機能1解除トリガ
0	設定無効
1	TKBOnp 出力に対する強制出力停止機能1を解除

注意 1. タイマ動作中に、TKBPAHFTn レジスタを書き換え可能です。

注意 2. ビット 7-2 には、必ず 0 を設定してください。

注意 3. 読み出し時は、0 が読み出されます。

注意 4. 強制出力停止機能1を解除するタイミングは設定によって異なります。詳細は、15.7.2 強制出力停止機能1のソフトウェア解除操作を参照してください。

備考 n = 0-2; p = 0, 1

15.7 強制出力停止機能1の動作説明

トリガ要因（コンパレータ0～3出力、INTP20/INTP21, INTP0）の発生により、CPUを介さずに16ビット・タイマKB3n、タイマRD2の動作クロックf_{KBK}Cと非同期でタイマ出力をHi-Z、ハイ/ロウ・レベル固定状態にすることができます。強制出力停止機能1のストップ・トリガの設定により、16ビット・タイマKB3n、タイマRD2の動作クロックf_{KBK}Cと同期して強制出力停止状態は解除されます。

15.7.1 強制出力停止機能1の概要

この機能では、コンパレータ出力信号または外部割り込み信号およびソフトウェア・トリガを強制出力停止機能1のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は、TKBPACTLnpレジスタのTKBPAMDnp1, TKBPAMDnp0ビットによって制御されます。

16ビット・タイマKB3nの出力p端子（TKBOnp）の強制出力停止機能1出力レベルとの関係を次の表に示します。

表15-12 TKBOnpの強制出力停止機能1出力レベルとの関係

TKBPAMDnp1	TKBPAMDnp0	強制出力停止機能1実行時の出力レベル選択
0	0	Hi-Z出力
0	1	Hi-Z出力
1	0	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力

使用するコンパレータ出力または外部割り込み信号の選択は、強制出力停止機能制御レジスタnp（TKBPACTLnp）のTKBPAHZSnp4-TKBPAHZSnp0ビットによって制御されます。

16ビット・タイマKB3nの出力p端子（TKBOnp）の強制出力停止機能1トリガ選択を次の表に示します。

表15-13 TKBOnpの強制出力停止機能1トリガ選択

ビット名	選択可能なトリガ信号		
	16ビット・タイマKB30	16ビット・タイマKB31	16ビット・タイマKB32
TKBPAHZSnp0	コンパレータ0	コンパレータ1	コンパレータ0
TKBPAHZSnp1	コンパレータ1	コンパレータ2	コンパレータ2
TKBPAHZSnp2	コンパレータ2	コンパレータ3	コンパレータ3
TKBPAHZSnp3	INTP21	INTP20	INTP20
TKBPAHZSnp4	INTP0	INTP0	INTP0

備考 n = 0-2; p = 0, 1

15.7.2 強制出力停止機能1のソフトウェア解除操作

強制出力停止機能1を開始する開始トリガ（TKBPAHFSnレジスタのTKBPAHTSnビット）の設定を次の表に示します。

表15-14 強制出力停止機能1での開始トリガ（TKBPAHTSnビット）の動作

TKBPAHTSn	ソフトウェアによる強制出力停止機能1の開始
0	設定無効
1	1書き込みで、TKBOnp出力に対するHi-Z/ロウ・レベル/ハイ・レベル固定出力制御を開始する（強制出力停止機能1のトリガ信号の立ち上がりエッジ検出と同等の機能になります）。

強制出力停止機能1を解除する解除トリガ（TKBPAHTTnレジスタのTKBPAHTTnpビット）の設定を次の表に示します。

表15-15 強制出力停止機能1での解除トリガ（TKBPAHTTnpビット）の動作

TKBPACTLnpレジスタ		ソフトウェアによる強制出力停止機能1の解除
TKBPAHCMnp1	TKBPAHCMnp0	
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除注。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除注。

注 次のカウンタ周期を待たずに16ビット・タイマKB3nを停止（TKBCTLn1.TKBCEn = 0）した場合、次に16ビット・タイマKB3nを動作（TKBCTLn1.TKBCEn = 1）するまで強制出力停止機能を継続します。

備考 n = 0-2; p = 0, 1

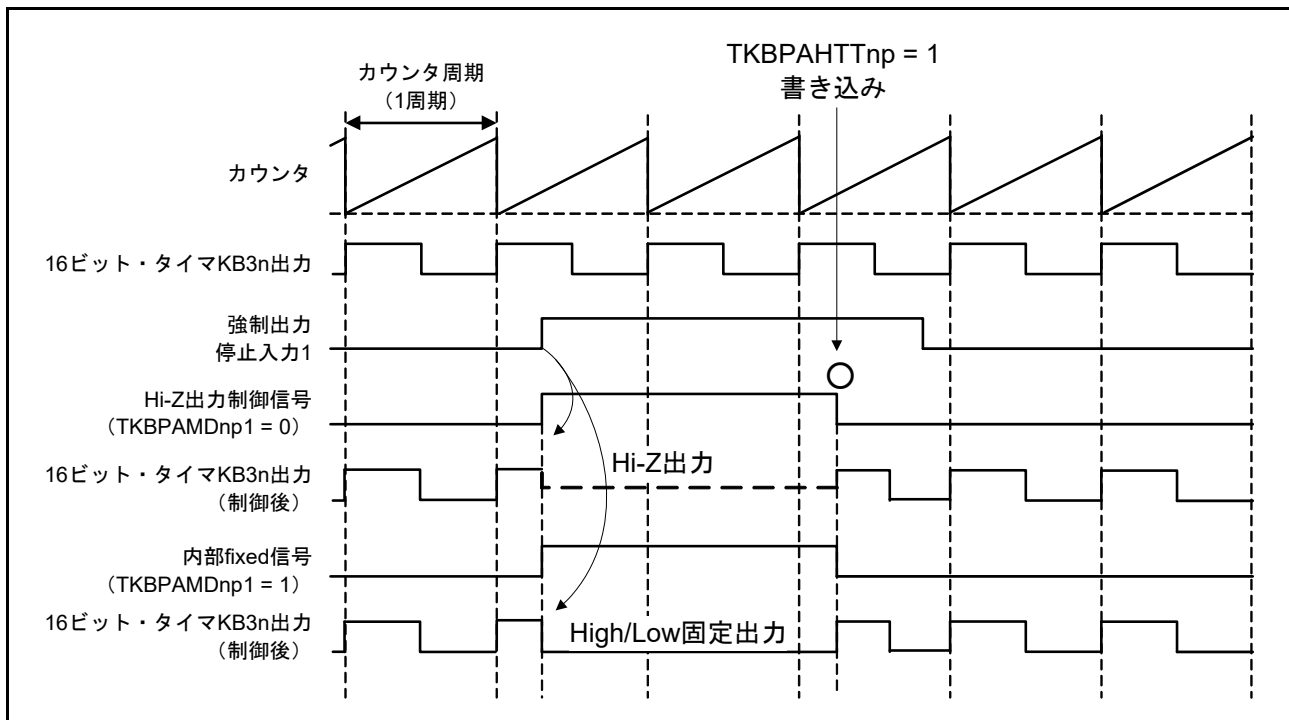
15.7.3 強制出力停止機能1の基本動作

TKBPAHCMnp1, TKBPAHCMnp0 ビットの設定の違いによる強制出力機能1の動作を示します。

強制出力停止機能1を開始するトリガ信号（強制出力停止入力1）は、強制出力停止機能制御レジスタ np（TKBPACTLn）の TKBPAHZSn4-TKBPAHZSn0 ビットで選択されたトリガ信号と強制出力停止機能1開始トリガ・レジスタ n（TKBPAHFSn）の TKBPAHTSn ビットの OR 出力です。

- (1) TKBPAHCMnp1, TKBPAHCMnp0 = 00B での強制出力停止機能1

図 15 - 97 TKBPAHCMnp1, TKBPAHCMnp0 = 00B での強制出力停止機能1



- (a) TKBPAMDnp1 = 0 (Hi-Z出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、Hi-Z出力となります。

強制出力停止入力1の入カレベルに関係なく、解除トリガ（TKBPAHTTnpビット）への1書き込みで、タイマ出力に戻ります。

Hi-Z出力制御信号がハイ・レベルの期間が、強制出力停止1の期間（Hi-Z出力）となります。

- (b) TKBPAMDnp1 = 1（固定出力）のとき

強制出力停止入力1の立ち上がりエッジ検出で、TKBPAMDnp0ビットの設定値に従い、ロウ・レベル／ハイ・レベルに固定出力となります。

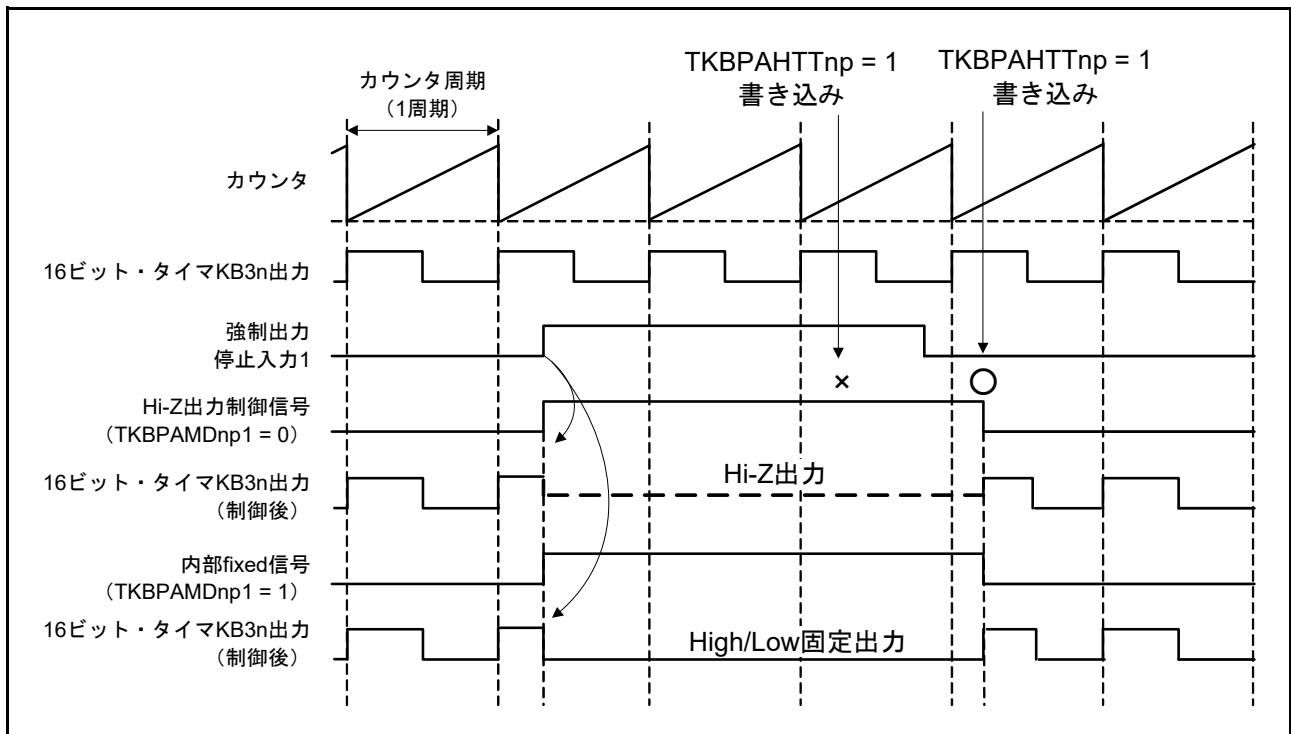
強制出力停止入力1の入カレベルに関係なく、解除トリガ（TKBPAHTTnpビット）への1書き込みで、出力レベルの固定が解除され、タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が、強制出力停止1の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考 n = 0-2; p = 0, 1

(2) TKBPAHCMnp1, TKBPAHCMnp0 = 01Bでの強制出力停止機能1

図15-98 TKBPAHCMnp1, TKBPAHCMnp0 = 01Bでの強制出力停止機能1



(a) TKBPAMDnp1 = 0 (Hi-Z出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、Hi-Z出力となります。

強制出力停止入力1がハイ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みは無効となります。

強制出力停止入力1がロウ・レベルになったあと、解除トリガ (TKBPAHTTnpビット) への1書き込みで、タイマ出力に戻ります。

Hi-Z出力制御信号がハイ・レベルの期間が、強制出力停止1の期間 (Hi-Z出力) となります。

(b) TKBPAMDnp1 = 1 (固定出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、TKBPAMDnp0ビットの設定値に従い、ロウ・レベル/ハイ・レベルに固定出力となります。

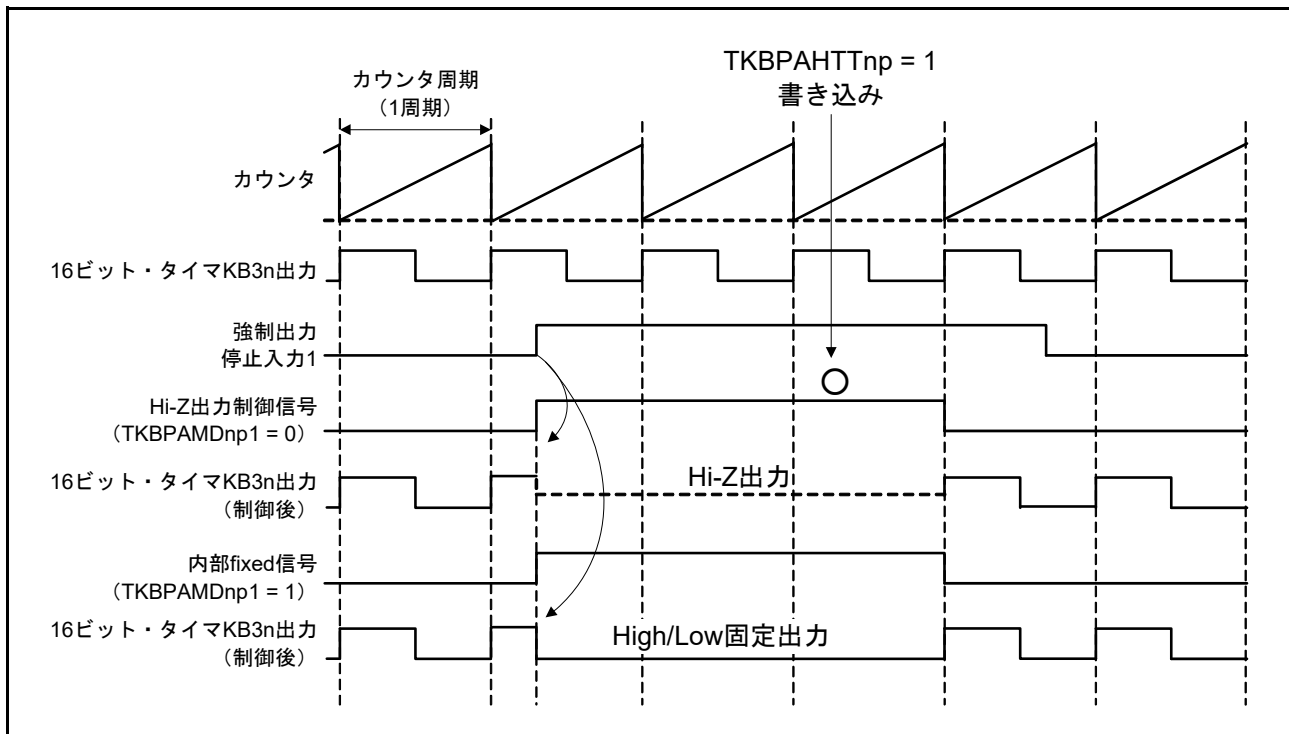
強制出力停止入力1がハイ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みは無効となります。

強制出力停止入力1がロウ・レベルになったあと、解除トリガ (TKBPAHTTnpビット) への1書き込みで、出力レベルの固定が解除され、タイマ出力に戻ります。内部fixed信号がハイ・レベルの期間が、強制出力停止1の期間 (ロウ・レベル/ハイ・レベル出力固定) となります。

備考 n = 0-2; p = 0, 1

(3) TKBPAHCMnp1, TKBPAHCMnp0 = 10Bでの強制出力停止機能1

図15-99 TKBPAHCMnp1, TKBPAHCMnp0 = 10Bでの強制出力停止機能1



(a) TKBPAMDnp1 = 0 (Hi-Z出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、Hi-Z出力となります。

強制出力停止入力1の入カレベルに関係なく、解除トリガ (TKBPAHTTnpビット) への1書き込みのあと、次のカウンタの周期でタイマ出力に戻ります。

Hi-Z出力制御信号がハイ・レベルの期間が、強制出力停止1の期間 (Hi-Z出力) となります。

(b) TKBPAMDnp1 = 1 (固定出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、TKBPAMDnp0ビットの設定値に従い、ロウ・レベル/ハイ・レベルに固定出力となります。

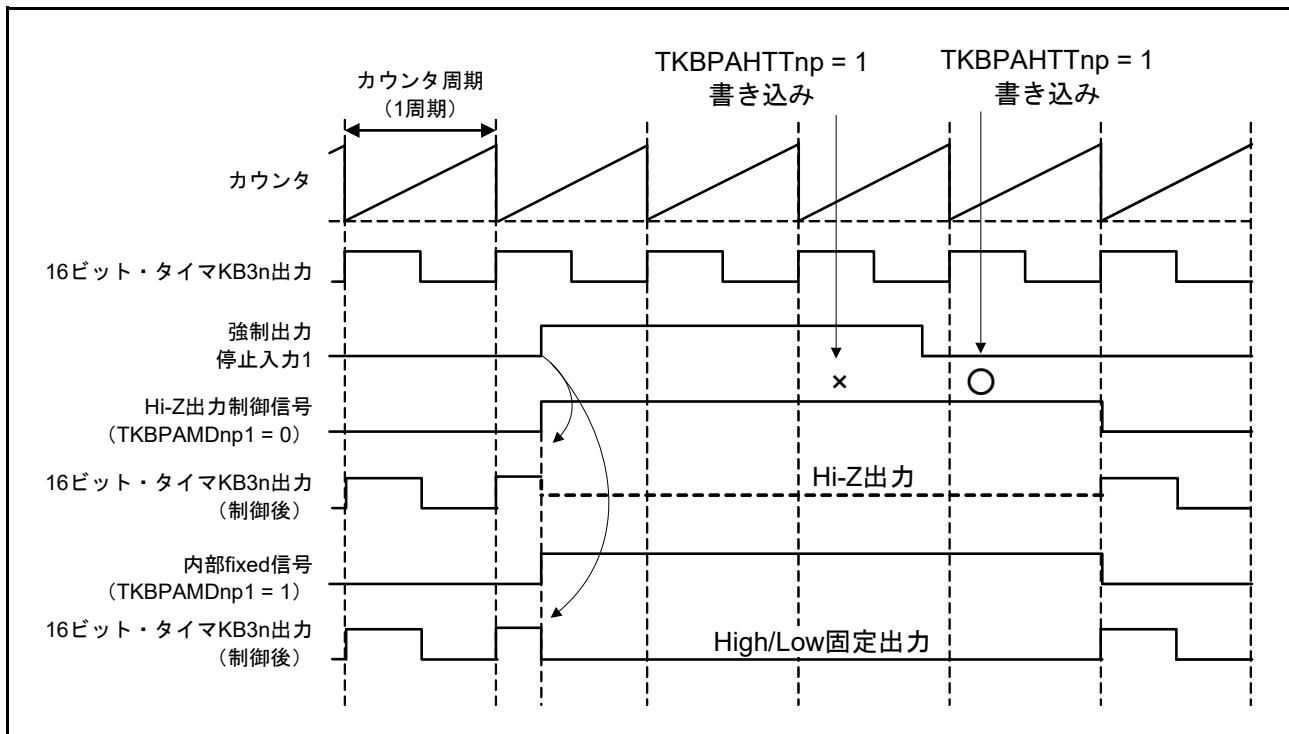
強制出力停止入力1の入カレベルに関係なく、解除トリガ (TKBPAHTTnpビット) への1書き込みのあと、次のカウンタの周期で、出力レベルの固定が解除され、タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が、強制出力停止1の期間 (ロウ・レベル/ハイ・レベル出力固定) となります。

備考 n = 0-2; p = 0, 1

(4) TKBPAHCMnp1, TKBPAHCMnp0 = 11Bでの強制出力停止機能1

図15 - 100 TKBPAHCMnp1, TKBPAHCMnp0 = 11Bでの強制出力停止機能1



(a) TKBPAMDnp1 = 0 (Hi-Z出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、Hi-Z出力となります。

強制出力停止入力1がハイ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みは無効となります。

強制出力停止入力1がロウ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みのあと、次のカウンタの周期で、タイマ出力に戻ります。

Hi-Z出力制御信号がハイ・レベルの期間が、強制出力停止1の期間 (Hi-Z出力) となります。

(b) TKBPAMDnp1 = 1 (固定出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、TKBPAMDnp0ビットの設定値に従い、ロウ・レベル/ハイ・レベルに固定出力となります。

強制出力停止入力1がハイ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みは無効となります。

強制出力停止入力1がロウ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みのあと、次のカウンタの周期で、出力レベルの固定が解除され、タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が、強制出力停止1の期間 (ロウ・レベル/ハイ・レベル出力固定) となります。

備考 n = 0-2; p = 0, 1

15.8 強制出力停止機能2の動作説明

トリガ要因（コンパレータ0～3出力、INTP20, INTP21, INTP0）の発生により、CPUを介さずに16ビット・タイマKB3n、タイマRD2の動作クロックf_{KBK}と非同期でタイマ出力をハイ/ロウ・レベル固定状態にすることができます。トリガ要因発生後の次のカウンタの周期開始、またはトリガ要因信号がインアクティブになった次のカウンタ周期開始のタイミングで強制出力停止状態は解除されます。

15.8.1 強制出力停止機能2の概要

この機能では、コンパレータ出力信号および外部割り込みを強制出力停止機能2のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は、TKBPACTLnpレジスタのTKBPAMDnp1, TKBPAMDnp0ビットによって制御されます。

16ビット・タイマKB3nの出力p端子（TKBOnp）の強制出力停止機能2出力レベルとの関係を次の表に示します。

表15-16 TKBOnpの強制出力停止機能2出力レベルとの関係

TKBPAMDnp1	TKBPAMDnp0	強制出力停止機能2実行時の出力レベル選択
0	0	ロウ・レベル固定出力
0	1	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力

使用するコンパレータ出力または外部割り込み信号の選択は、強制出力停止機能制御レジスタnp（TKBPACTLnp）のTKBPAHZSn4-TKBPAHZSn0ビットによって制御されます。

16ビット・タイマKB3nの出力p端子（TKBOnp）の強制出力停止機能2トリガ選択を次の表に示します。

表15-17 TKBOnpの強制出力停止機能2トリガ選択

ビット名	選択可能なトリガ信号		
	16ビット・タイマKB30	16ビット・タイマKB31	16ビット・タイマKB32
TKBPAFXSn0	コンパレータ0	コンパレータ1	コンパレータ0
TKBPAFXSn1	コンパレータ1	コンパレータ2	コンパレータ2
TKBPAFXSn2	コンパレータ2	コンパレータ3	コンパレータ3
TKBPAFXSn3	INTP21	INTP20	INTP20
TKBPAFXSn4	INTP0	INTP0	INTP0

備考 n = 0-2; p = 0, 1

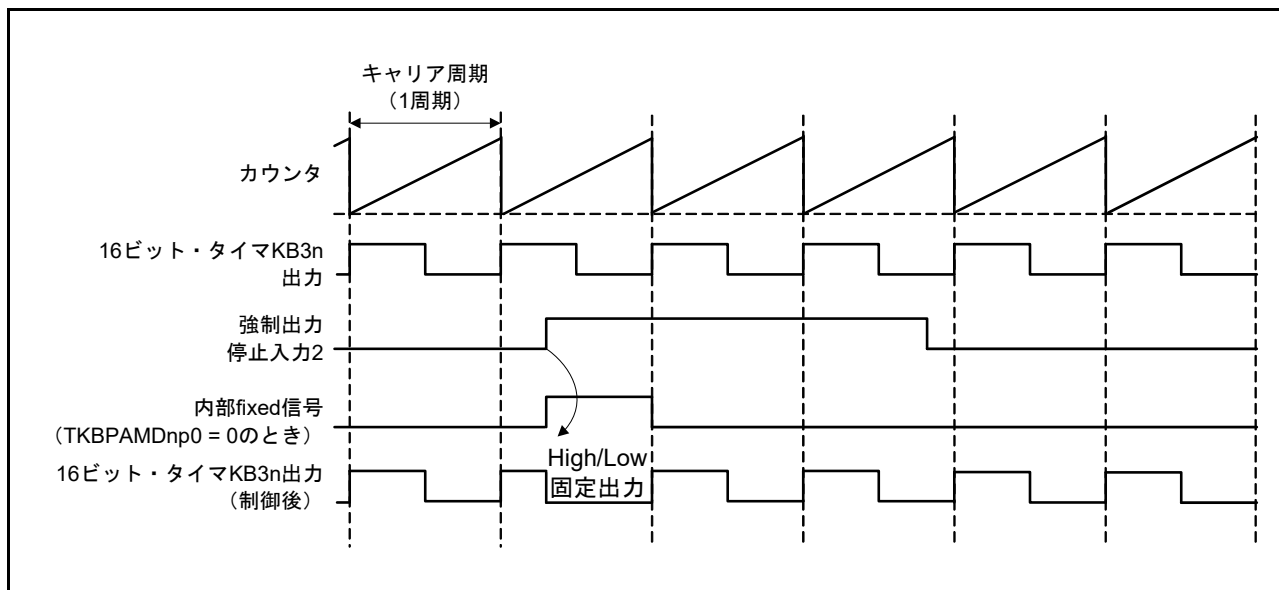
15.8.2 強制出力停止機能2の基本動作

TKBPAFCMnp ビットの設定の違いによる強制出力機能2の動作を示します。

強制出力停止機能2を開始するトリガ信号（強制出力停止入力2）は、強制出力停止機能制御レジスタ np（TKBPACTLnp）の TKBPAFXSn0-TKBPAFXSn4 ビットで選択されたトリガ信号です。

(1) TKBPAFCMnp = 0での強制出力停止機能2

図15 - 101 TKBPAFCMnp = 0での強制出力停止機能2



強制出力停止入力2の立ち上がりエッジ検出で、TKBPAMDnp0の設定値に従い、ロウ・レベル/ハイ・レベルに固定出力となります。

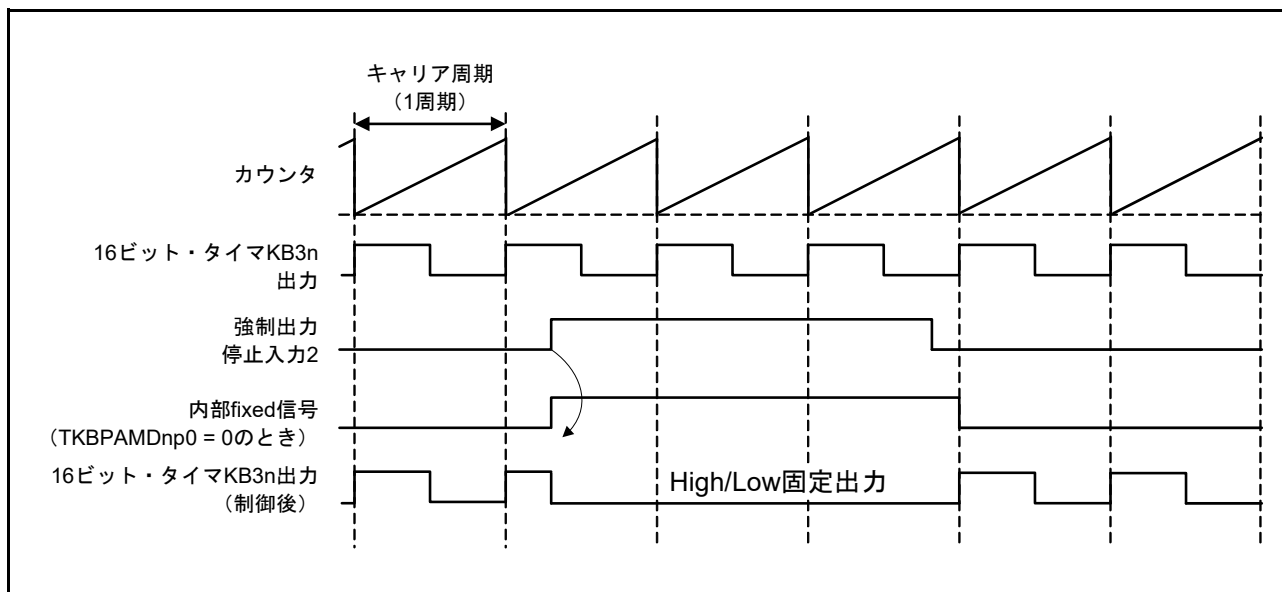
強制出力停止入力2の入力レベルに関係なく、次のカウンタの周期で出力レベルの固定が解除され、タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が、強制出力停止2の期間（ロウ・レベル/ハイ・レベル出力固定）となります。

備考 n = 0-2; p = 0, 1

(2) TKBP AFCMnp = 1での強制出力停止機能2

図15 - 102 TKBP AFCMnp = 1での強制出力停止機能2



強制出力停止入力2の立ち上がりエッジ検出で、TKBPAMDnp0の設定値に従い、ロウ・レベル／ハイ・レベルに固定出力となります。

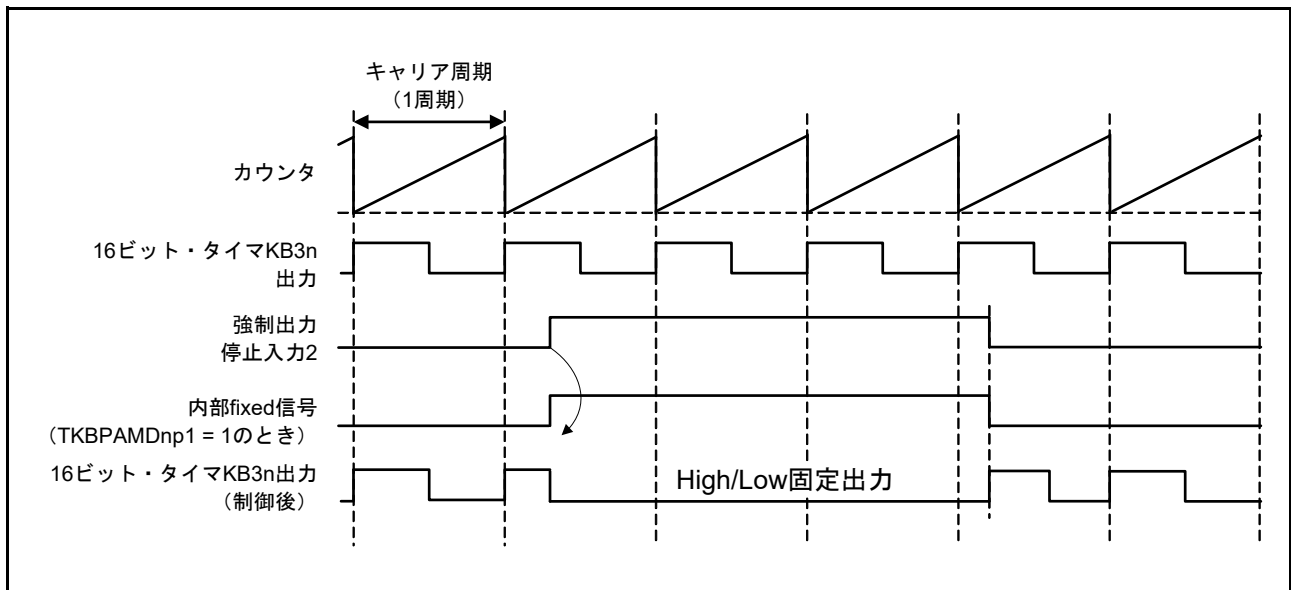
強制出力停止入力2が立ち下がりエッジになったあと、次のカウンタの周期で出力レベルの固定が解除され、タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が、強制出力停止2の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考 n = 0-2; p = 0, 1

(3) TKBPAFIXnp = 1での強制出力停止機能2 (Fixed off機能)

図15 - 103 TKBPAFIXnp = 1での強制出力停止機能2 (Fixed off機能)



強制出力停止入力2の立ち上がりエッジ検出で、TKBPAMDnp0の設定値に従い、ロウ・レベル/ハイ・レベルに固定出力となります。

強制出力停止入力2が立ち下がりエッジになったあと、検出信号に同期して出力レベルの固定が解除され、タイマ出力に戻ります。

内部fixed信号がハイ・レベルの期間が、強制出力停止2の期間（ロウ・レベル/ハイ・レベル出力固定）となります。

強制出力停止発動時は、強制出力停止入力2を非同期入力のまま使用し、ただちに強制停止が発動します。

強制出力停止解除時は、強制出力停止入力2を同期化してから処理を行うため、強制出力停止入力2を入力後、2～3 fKBKCの遅延が発生します。

同期化処理中に再度強制出力停止入力2の立ち上がりエッジが検出された場合は、強制出力停止状態は解除されずに固定出力が継続されます。

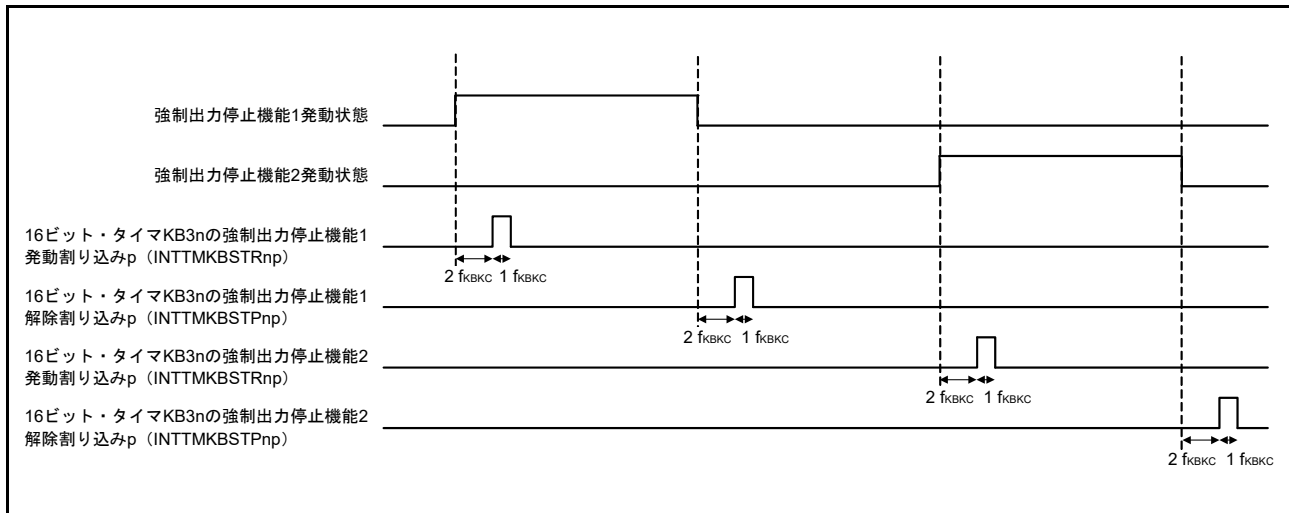
備考 n = 0-2; p = 0, 1

15.8.3 強制出力停止機能の割り込み出力

強制出力停止機能が発動／解除されたことを検知するために、強制出力停止信号が発動／解除する際、割り込み信号を発生させることができます。

割り込み出力の制御は、強制出力停止機能制御レジスタ n3 (TKBPACTLn3) で設定します。

図15 - 104 強制出力停止機能の割り込み出力



強制出力停止機能 1 発動時に INTTMKBSTRn1、強制出力停止機能 1 解除時に INTTMKBSTPn1、強制出力停止機能 2 発動時に INTTMKBSTRn2、強制出力停止機能 2 解除時に INTTMKBSTPn2 をそれぞれ f_{KBKC} の 1 クロック幅で出力します。ただし、強制出力停止機能 1/2 の発動または解除が重なった場合は f_{KBKC} の 2 クロック幅となります。

なお、強制出力停止機能 1/2 発動／解除は非同期信号のため、割り込み出力まで f_{KBKC} の 2～3 クロックの遅延が発生します。

備考 $n = 0-2; p = 0, 1$

15.9 パルス幅測定機能の動作説明

15.9.1 パルス幅測定機能の概要

この機能では、実際に TKBOnp 端子に出力した PWM 出力信号のパルス幅を測定することができます。パルス幅測定機能を使用する場合は、強制出力停止機能制御レジスタ n4 (TKBPACTLn4) で測定する TKBOnp 端子、測定する種別 (ハイ・レベル幅、ロウ・レベル幅、周期) の選択を行い、パルス幅測定キャプチャレジスタ n0, n1 (TKBPAPLSn0, TKBPAPLSn1) に 2 種のパルス幅測定値を格納します。パルス幅測定キャプチャレジスタ n0L, n1L (TKBPAPLSn0L, TKBPAPLSn1L) により、パルス幅測定キャプチャレジスタ n0, n1 (TKBPAPLSn0, TKBPAPLSn1) の下位 8 ビットの値を読み出すことが可能です。

パルス幅測定値 n0 = パルス幅測定キャプチャレジスタ n0 (TKBPAPLSn0) × 16 ビット・タイマ KB3n カウント・クロック周期

パルス幅測定値 n1 = パルス幅測定キャプチャレジスタ n1 (TKBPAPLSn1) × 16 ビット・タイマ KB3n カウント・クロック周期

注意 強制出力停止の発動／解除を含んだ測定値の場合、1～2カウント・クロック分の誤差が発生する場合があります。

パルス幅測定値 n0, n1 が FFFFH を超える場合、パルス幅測定キャプチャレジスタ n0, n1 (TKBPAPLSn0, TKBPAPLSn1) には FFFFH、パルス幅測定キャプチャレジスタ n0L, n1L (TKBPAPLSn0L, TKBPAPLSn1L) には FFH が格納されます。

備考 n = 0-2; p = 0, 1

15.9.2 パルス幅測定機能の基本動作

パルス幅測定には、パルス幅測定用の内部 16 ビットカウンタを使用します。内部 16 ビットカウンタにより計測したパルス幅値はパルス幅測定キャプチャレジスタ n0, n1 (TKBPAPLSn0, TKBPAPLSn1) に格納されます。パルス幅測定キャプチャレジスタ n0, n1 (TKBPAPLSn0, TKBPAPLSn1) の読み出しには、16 ビット・タイマ KB3n 割り込み (INTTMKBn)、16 ビット・タイマ KB3n 強制出力停止機能 1/2 発動割り込み p (INTTMKBSTRnp)、16 ビット・タイマ KB3n 強制出力停止機能 1/2 解除割り込み p (INTTMKBSTPnp) の 3 種類の割り込み信号を使用します。TKBPACTLVnp1, TKBPACTLVnp0 ビットの設定の違いによるパルス幅測定機能の動作を示します。

備考 n = 0-2; p = 0, 1

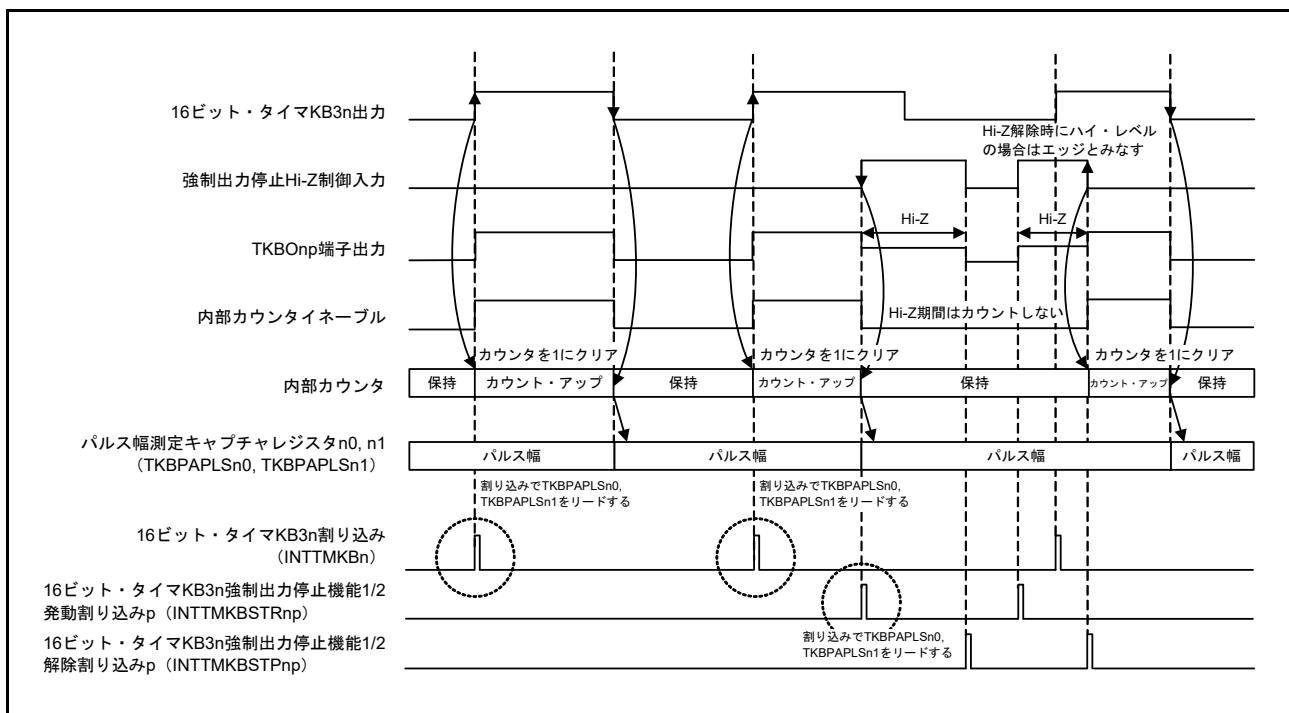
(1) ハイ・レベル幅測定 (TKBPACTLn4.TKBPACTLVnp1, TKBPACTLn4.TKBPACTLVnp0 = 00B)

ハイ・レベル幅測定時、内部16ビットカウンタは、TKBOnp端子立ち上がりエッジ検出により0001Hからカウント動作を開始し、カウント動作中のTKBOnp端子立ち下がりエッジ検出によりカウント動作を停止します。パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) は、カウント動作中のTKBOnp端子立ち下がりエッジ検出により内部16ビットカウンタの値を格納します。図15-105～図15-107に強制出力停止機能 (Hi-Z、Low、High固定) 時の動作例を示します。

図15-105にPWM出力High期間前後の強制出力停止発動によりHi-Z出力となった場合、図15-106にPWM出力High期間前後の強制出力停止発動によりLow出力となった場合の動作例を示します。

- 強制出力停止の発動により発生した立ち下がりエッジ検出によるハイ・レベル幅測定値は、16ビット・タイマKB3n強制出力停止機能1/2発動割り込みp (INTTMKBSTRnp) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。
- 強制出力停止を伴わないPWM出力の立ち下がりエッジ検出によるハイ・レベル幅測定値は、16ビット・タイマKB3n割り込み (INTTMKBn) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。

図15-105 パルス幅測定機能 (ハイ・レベル幅測定タイミング図：強制出力停止期間Hi-Z出力、TKBIOcn0.TKBTOLnp = 0時)



強制出力停止機能の発動によりHigh出力からHi-Z出力へ変化した場合は立ち下がりエッジ検出、強制出力停止機能の解除によりHi-Z出力からHigh出力へ変化した場合は立ち上がりエッジ検出とみなします。

図15-106 パルス幅測定機能（ハイ・レベル幅測定タイミング図：強制出力停止期間Low固定、TKBIOCn0.TKBTOLnp = 0時）

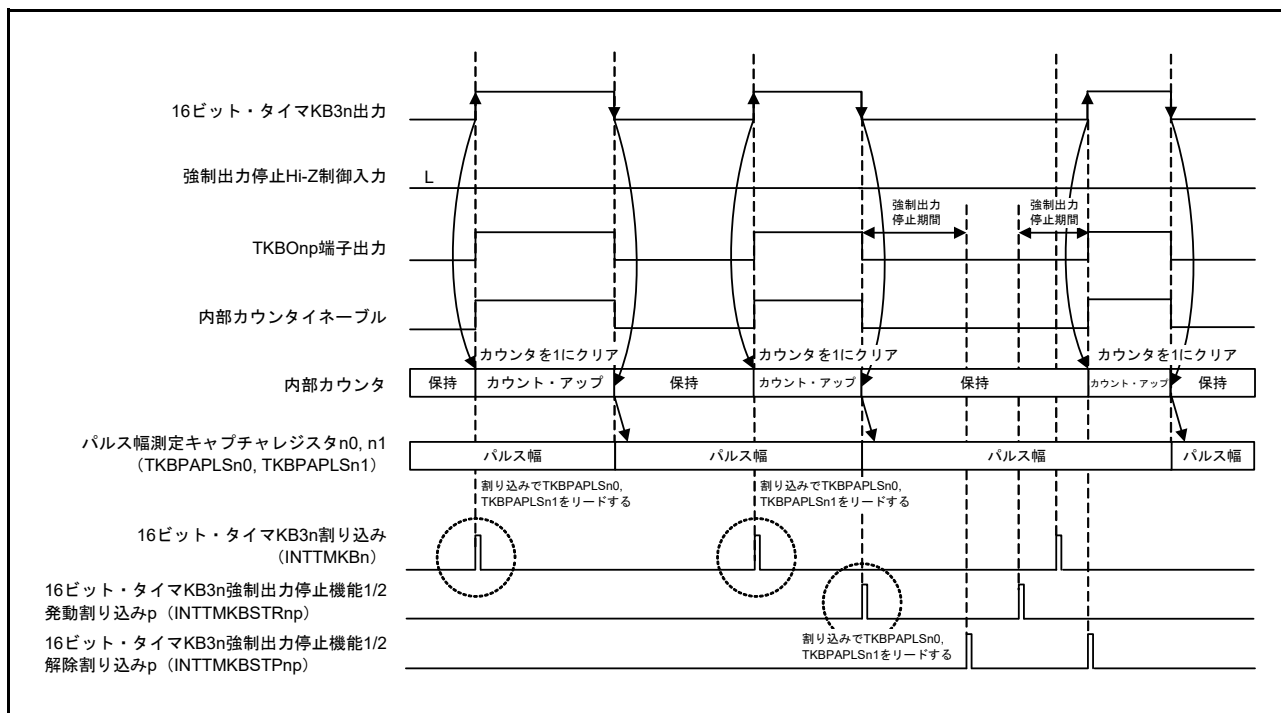
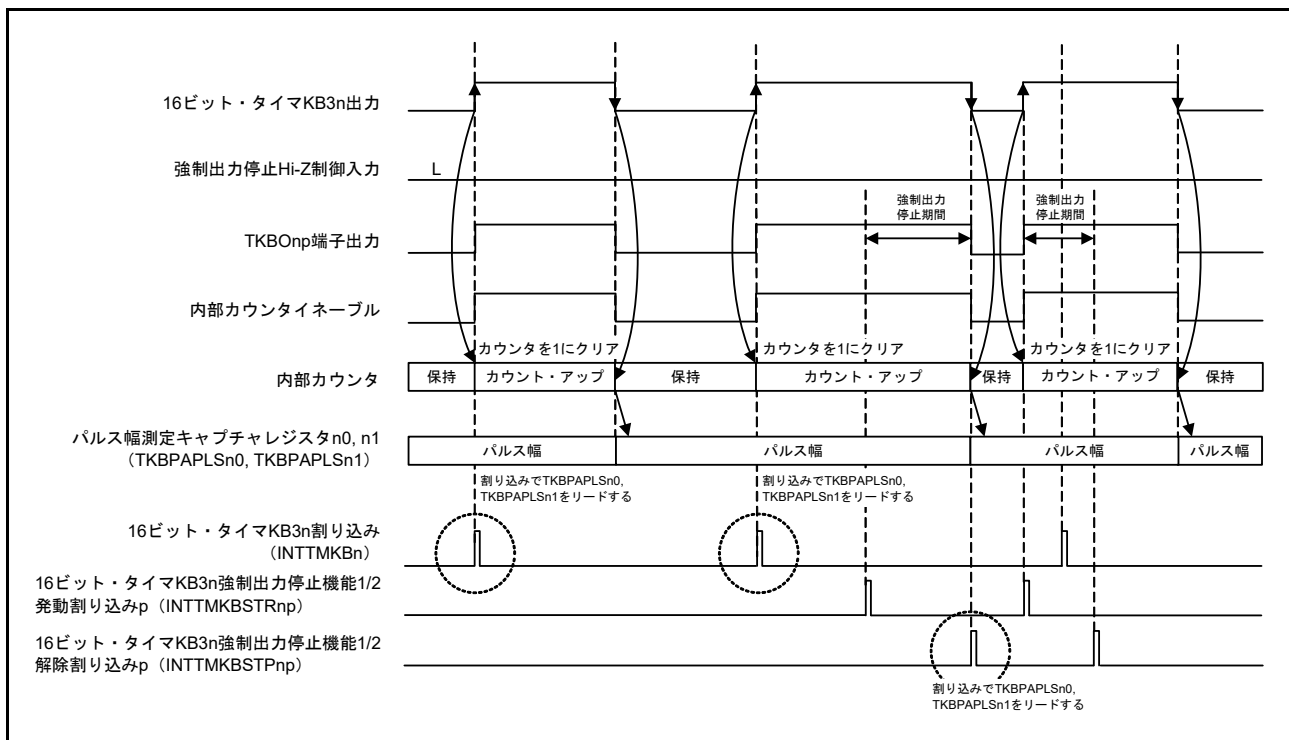


図15 - 107にPWM出力High期間前後の強制出力停止発動によりHigh出力となった場合の動作例を示します。

- 強制出力停止の解除により発生した立ち下がりエッジ検出によるハイ・レベル幅測定値は、16ビット・タイマKB3n強制出力停止機能1/2解除割り込みp (INTTMKBSTPnp) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。
- 強制出力停止を伴わないPWM出力の立ち下がりエッジ検出によるハイ・レベル幅測定値は、16ビット・タイマKB3n割り込み (INTTMKBn) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。

図15 - 107 パルス幅測定機能 (ハイ・レベル幅測定タイミング図：強制出力停止期間High固定、TKBIOcn0.TKBTOLnp = 0時)



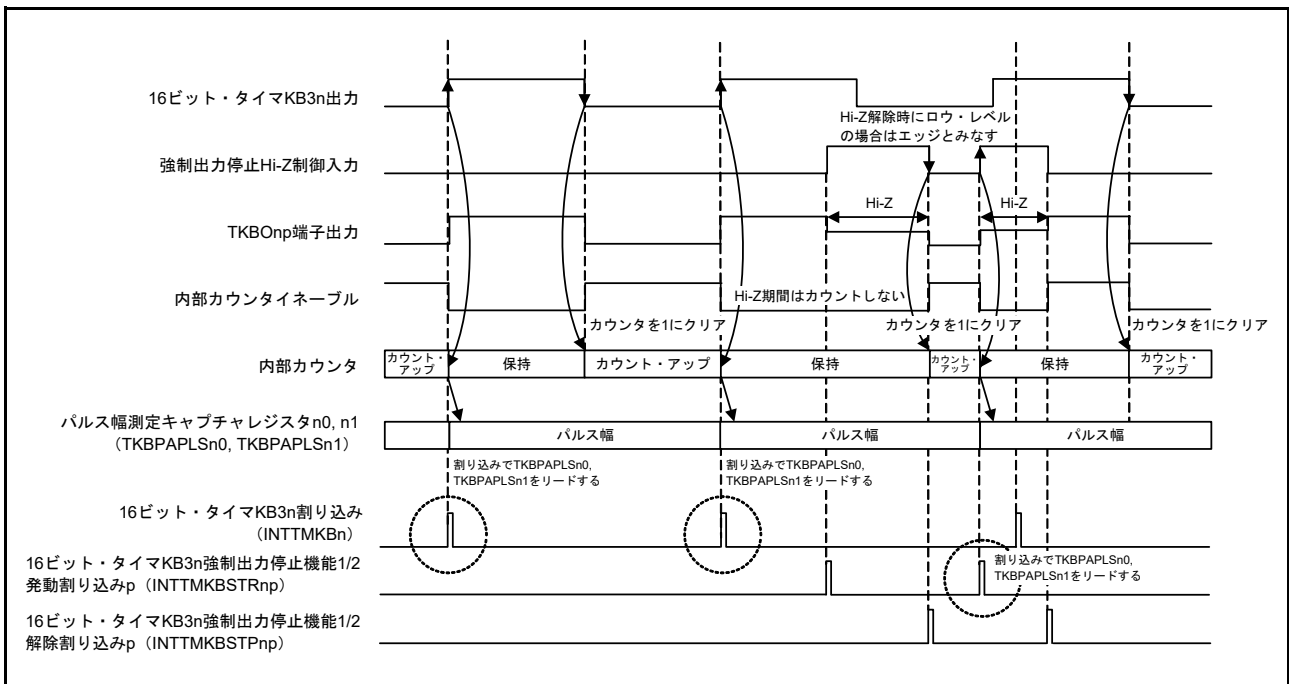
(2) ロー・レベル幅測定 (TKBPACTLn4.TKBPACTLVnp1, TKBPACTLn4.TKBPACTLVnp0 = 01B)

ロー・レベル幅測定時、内部16ビットカウンタは、TKBOnp端子立ち上がりエッジ検出により0001Hからカウント動作を開始し、カウント動作中のTKBOnp端子立ち上がりエッジ検出によりカウント動作を停止します。パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) は、カウント動作中のTKBOnp端子立ち上がりエッジ検出により内部16ビットカウンタの値を格納します。図15 - 108～図15 - 110に強制出力停止機能 (Hi-Z、High、Low固定) 時の動作例を示します。

図15 - 108にPWM出力High期間前後の強制出力停止発動によりHi-Z出力となった場合、図15 - 109にPWM出力High期間前後の強制出力停止発動によりHigh出力となった場合の動作例を示します。

- 強制出力停止の発動により発生した立ち上がりエッジ検出によるロー・レベル幅測定値は、16ビット・タイマKB3n強制出力停止機能1/2発動割り込みp (INTTMKBSTRnp) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。
- 強制出力停止を伴わないPWM出力の立ち上がりエッジ検出によるロー・レベル幅測定値は、16ビット・タイマKB3n割り込み (INTTMKBn) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。

図15 - 108 パルス幅測定機能 (ロー・レベル幅測定タイミング図：強制出力停止期間Hi-Z出力、TKBIOcn0.TKBTOLnp = 0時)



強制出力停止機能の発動によりLow出力からHi-Z出力へ変化した場合は立ち上がりエッジ検出、強制出力停止機能の解除によりHi-Z出力からLow出力へ変化した場合は立ち下がりエッジ検出とみなします。

図15-109 パルス幅測定機能（ロウ・レベル幅測定タイミング図：強制出力停止期間High固定、TKBIOCn0.TKBTOLnp = 0時）

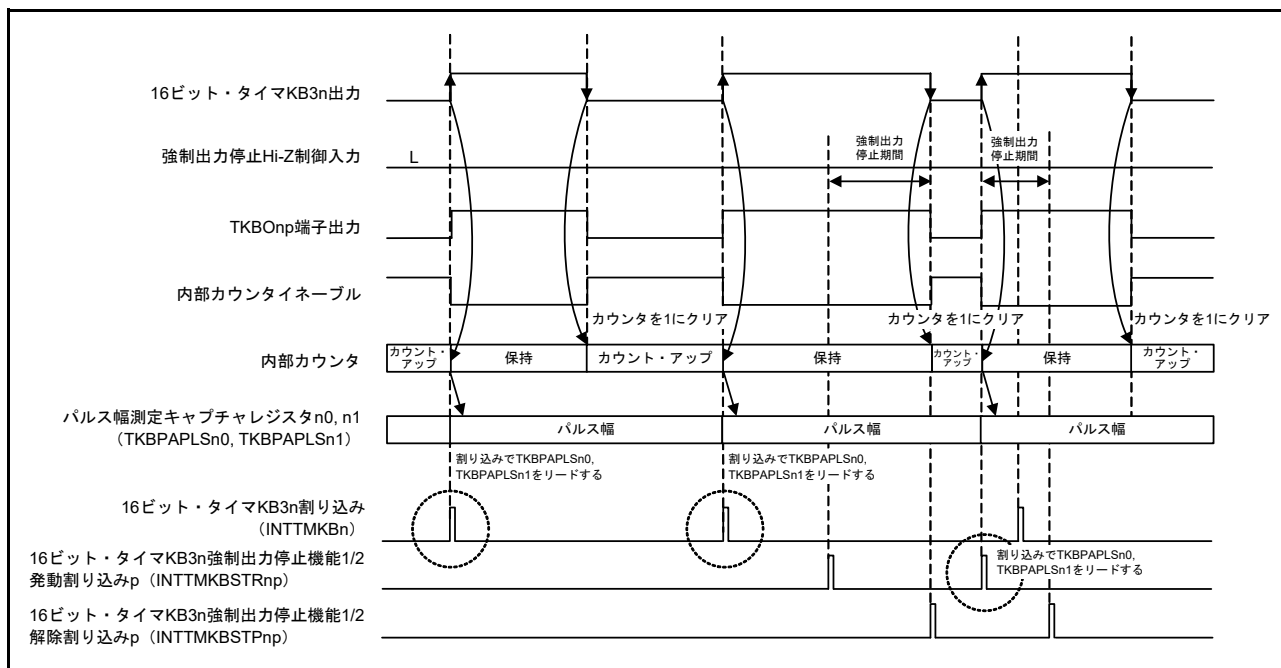
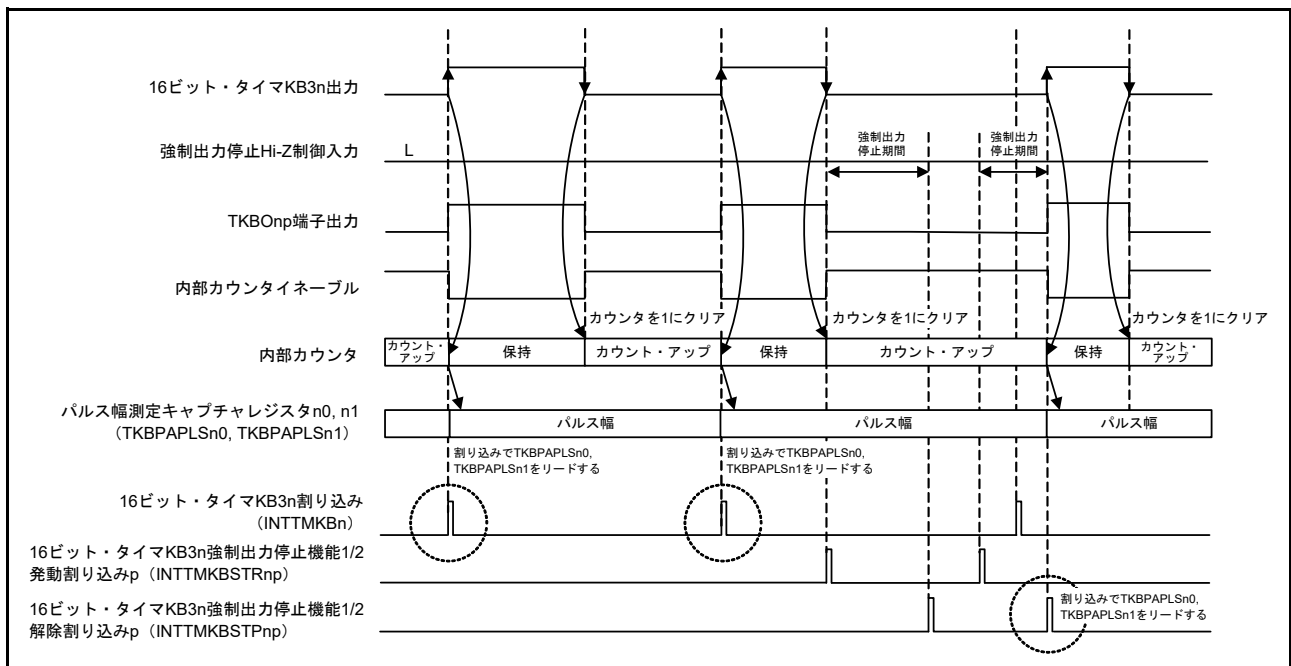


図15 - 110にPWM出力High期間前後の強制出力停止発動によりLow出力となった場合の動作例を示します。

- 強制出力停止の解除により発生した立ち上がりエッジ検出によるロウ・レベル幅測定値は、16ビット・タイマKB3n強制出力停止機能1/2解除割り込みp (INTTMKBSTPnp) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。
- 強制出力停止を伴わないPWM出力の立ち上がりエッジ検出によるロウ・レベル幅測定値は、16ビット・タイマKB3n割り込み (INTTMKBn) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。

図15 - 110 パルス幅測定機能（ロウ・レベル幅測定タイミング図：強制出力停止期間Low固定、TKBIOCn0.TKBTOLnp = 0時）

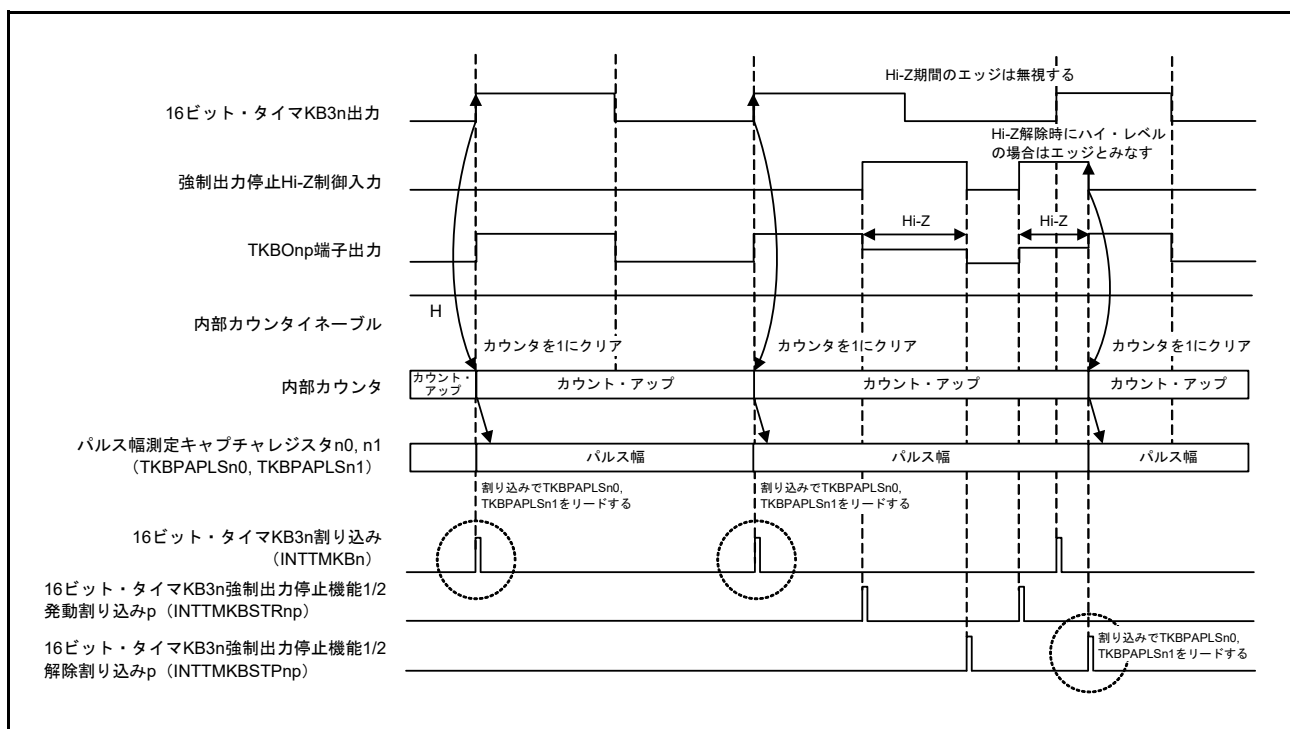


- (3) 周期測定（立ち上がりー立ち上がり）（TKBPACTLn4.TKBPACTLVnp1, TKBPACTLn4.TKBPACTLVnp0 = 10B）
 周期測定（立ち上がりー立ち上がり）測定時、内部16ビットカウンタは、TKBOnp端子の立ち上がりエッジ検出により0001Hからカウント動作します。パルス幅測定キャプチャレジスタn0, n1（TKBPAPLSn0, TKBPAPLSn1）は、カウント動作中のTKBOnp端子立ち上がりエッジ検出により内部16ビットカウンタの値を格納します。図15 - 111～図15 - 113に強制出力停止機能（Hi-Z、Low、High固定）時の動作例を示します。

図15 - 111にPWM出力立ち上がりから立ち上がり期間前後の強制出力停止発動によりHi-Z出力となった場合、
 図15 - 112にPWM出力立ち上がりから立ち上がり期間前後の強制出力停止発動によりLow出力となった場合の動作例を示します。

- 強制出力停止の解除により発生した立ち上がりエッジ検出による周期幅測定値は、16ビット・タイマKB3n強制出力停止機能1/2解除割り込みp（INTTMKBSTPnp）を使用し、パルス幅測定キャプチャレジスタn0, n1（TKBPAPLSn0, TKBPAPLSn1）をリードします。
- 強制出力停止を伴わないPWM出力の立ち上がりエッジ検出による周期幅測定値は、16ビット・タイマKB3n割り込み（INTTMKBn）を使用し、パルス幅測定キャプチャレジスタn0, n1（TKBPAPLSn0, TKBPAPLSn1）をリードします。

図15 - 111 パルス幅測定機能（周期測定（立ち上がりー立ち上がり））測定タイミング図：強制出力停止期間Hi-Z出力、TKBIOcn0.TKBTOLnp = 0時



強制出力停止機能の解除によりHi-Z出力からHigh出力へ変化した場合は立ち上がりエッジ検出とみなします。

図15-112 パルス幅測定機能（周期測定（立ち上がりー立ち上がり））測定タイミング図：強制出力停止期間Low固定、TKBIOCn0.TKBTOLnp = 0時

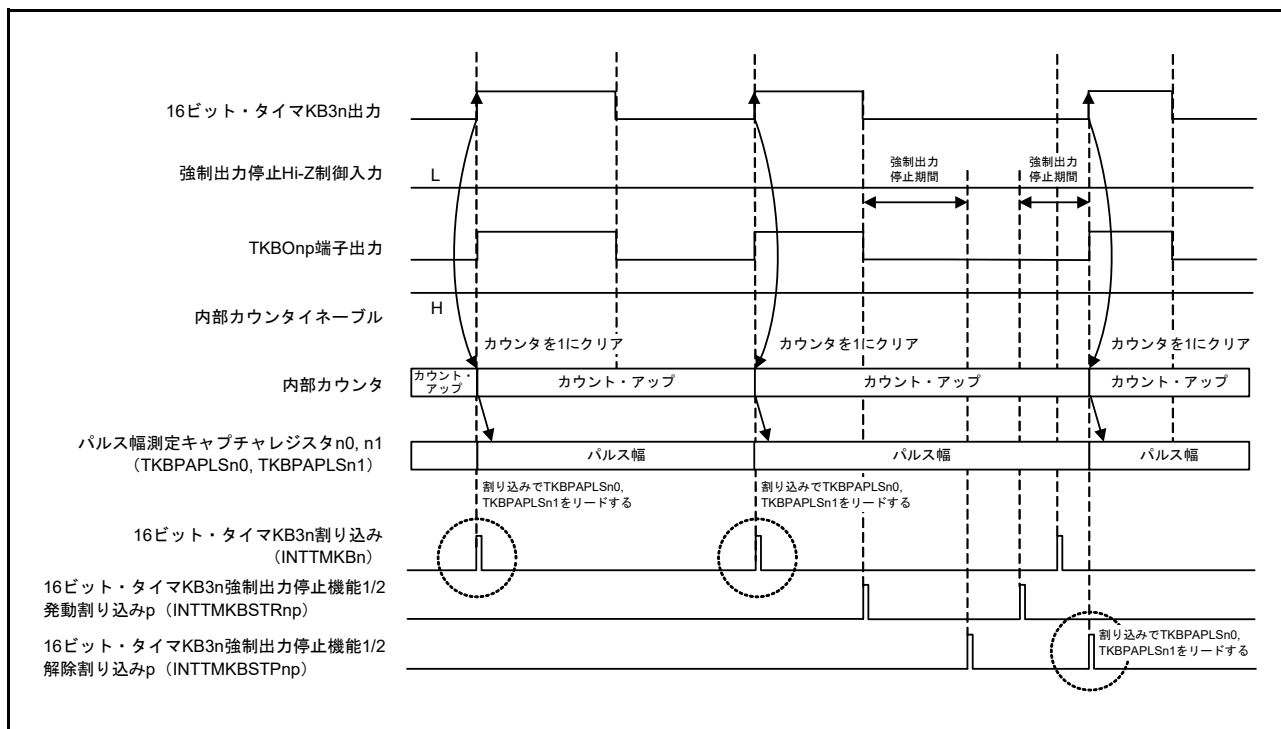
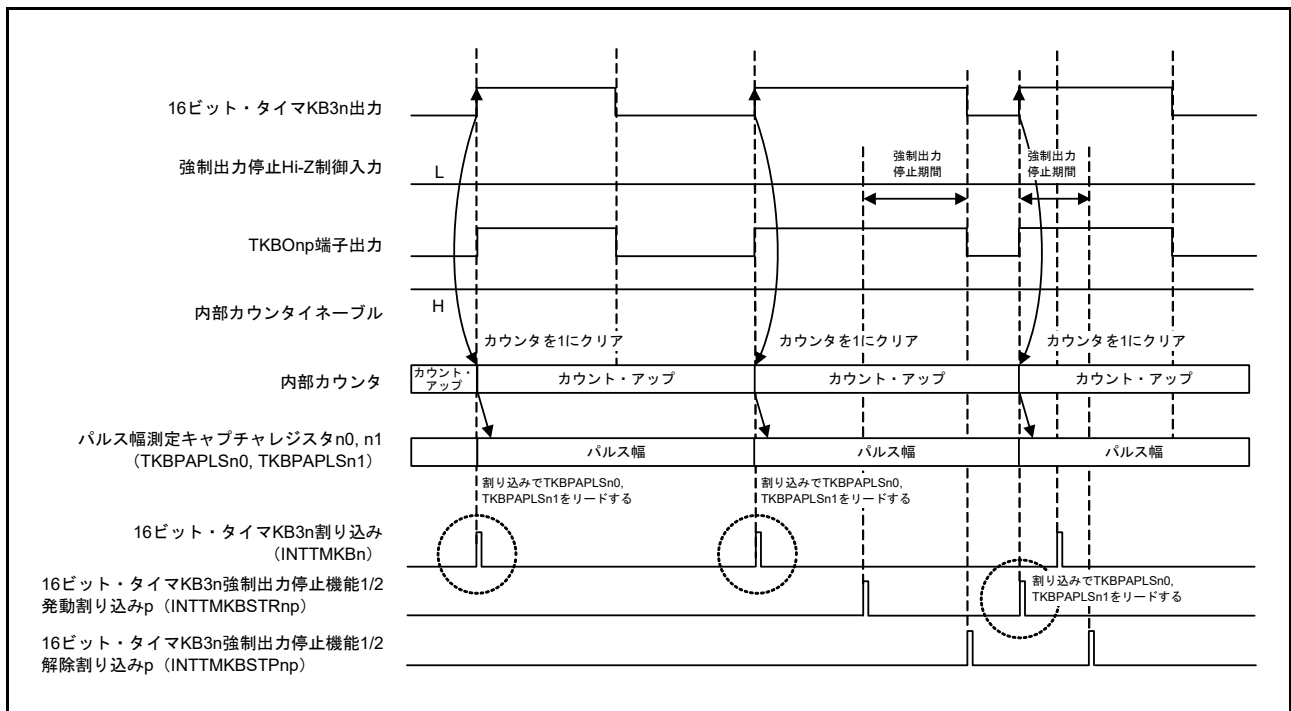


図15 - 113にPWM出力立ち上がりから立ち上がり期間前後の強制出力停止発動によりHigh出力となった場合の動作例を示します。

- 強制出力停止の発動により発生した立ち上がりエッジ検出による周期幅測定値は、16ビット・タイマKB3n強制出力停止機能1/2発動割り込みp (INTTMKBSTRnp) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。
- 強制出力停止を伴わないPWM出力の立ち上がりエッジ検出による周期幅測定値は、16ビット・タイマKB3n割り込み (INTTMKBn) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。

図15 - 113 パルス幅測定機能（周期測定（立ち上がりー立ち上がり）測定タイミング図：強制出力停止期間High固定、TKBIOcn0.TKBTOLnp = 0時）

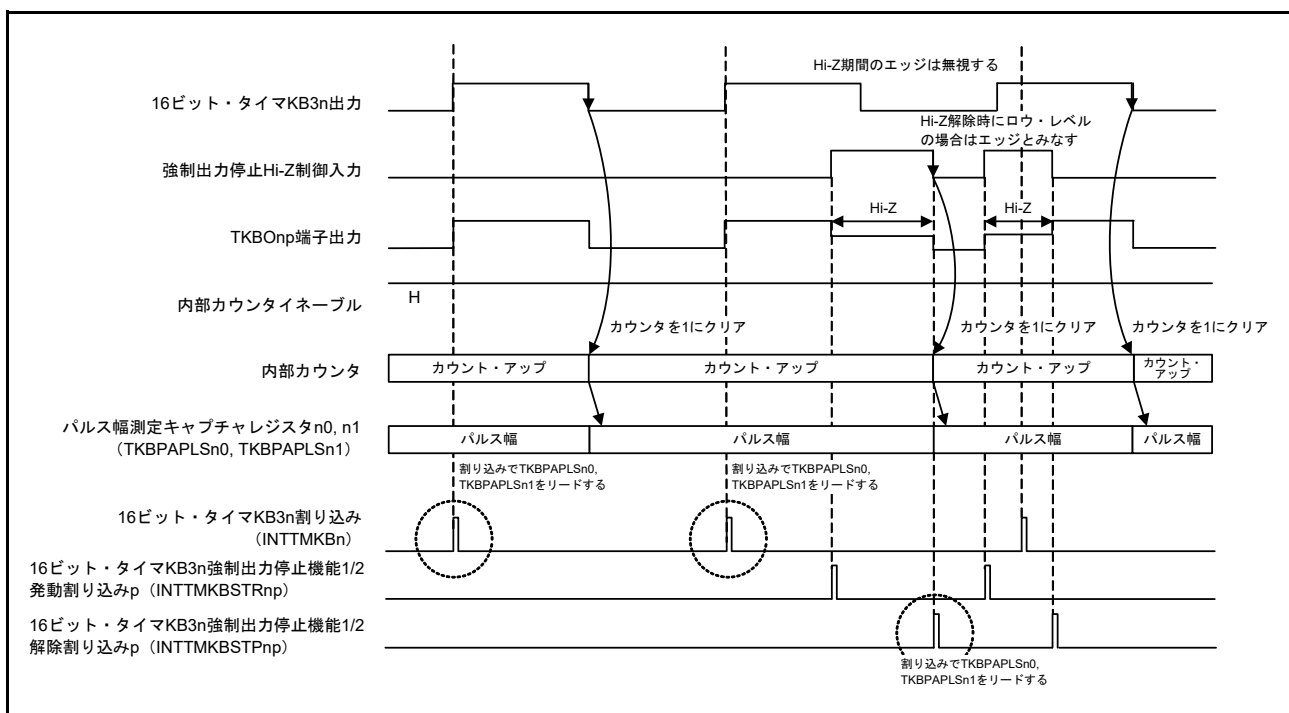


(4) 周期測定（立ち下がりー立ち下がり）（TKBPACTLn4.TKBPACTLVnp1, TKBPACTLn4.TKBPACTLVnp0 = 11B）
 周期測定（立ち下がりー立ち下がり）測定時、内部16ビットカウンタは、TKBOnp端子の立ち下がりエッジ検出により0001Hからカウント動作します。パルス幅測定キャプチャレジスタn0, n1（TKBPAPLSn0, TKBPAPLSn1）は、カウント動作中のTKBOnp端子立ち下がりエッジ検出により内部16ビットカウンタの値を格納します。図15 - 114～図15 - 116に強制出力停止機能（Hi-Z、High、Low固定）時の動作例を示します。

図15 - 114にPWM出力立ち下がりから立ち下がり期間前後の強制出力停止発動によりHi-Z出力となった場合、
 図15 - 115にPWM出力立ち下がりから立ち下がり期間前後の強制出力停止発動によりHigh出力となった場合の動作例を示します。

- 強制出力停止の解除により発生した立ち下がりエッジ検出による周期幅測定値は、16ビット・タイマKB3n強制出力停止機能1/2解除割り込みp（INTTMKBSTPnp）を使用し、パルス幅測定キャプチャレジスタn0, n1（TKBPAPLSn0, TKBPAPLSn1）をリードします。
- 強制出力停止を伴わないPWM出力の立ち下がりエッジ検出による周期幅測定値は、16ビット・タイマKB3n割り込み（INTTMKBn）を使用し、パルス幅測定キャプチャレジスタn0, n1（TKBPAPLSn0, TKBPAPLSn1）をリードします。

図15 - 114 パルス幅測定機能（周期測定（立ち下がりー立ち下がり）測定タイミング図：強制出力停止期間Hi-Z出力、TKBIOcn0.TKBTOLnp = 0時）



強制出力停止機能の解除によりHi-Z出力からLow出力へ変化した場合は立ち下がりエッジ検出とみなします。

図 15 - 115 パルス幅測定機能（周期測定（立ち下がりー立ち下がり）測定タイミング図：強制出力停止期間High固定、TKBIOCn0.TKBTOLnp = 0時）

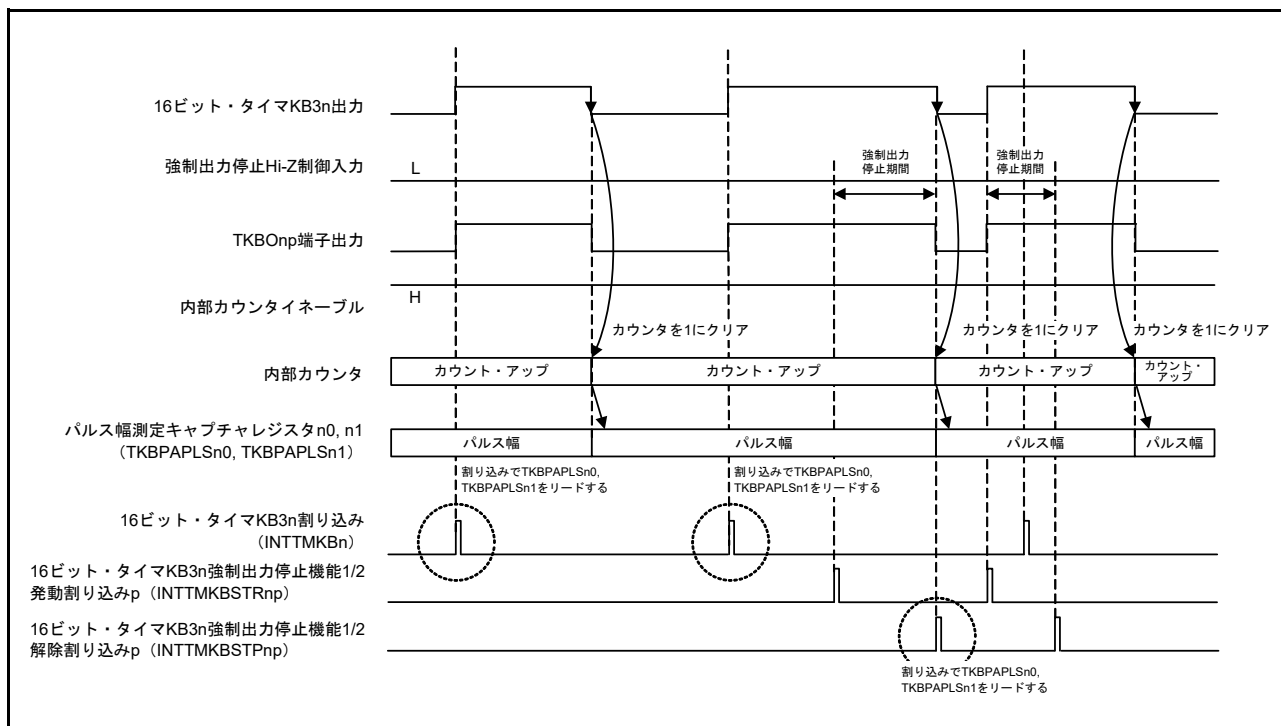
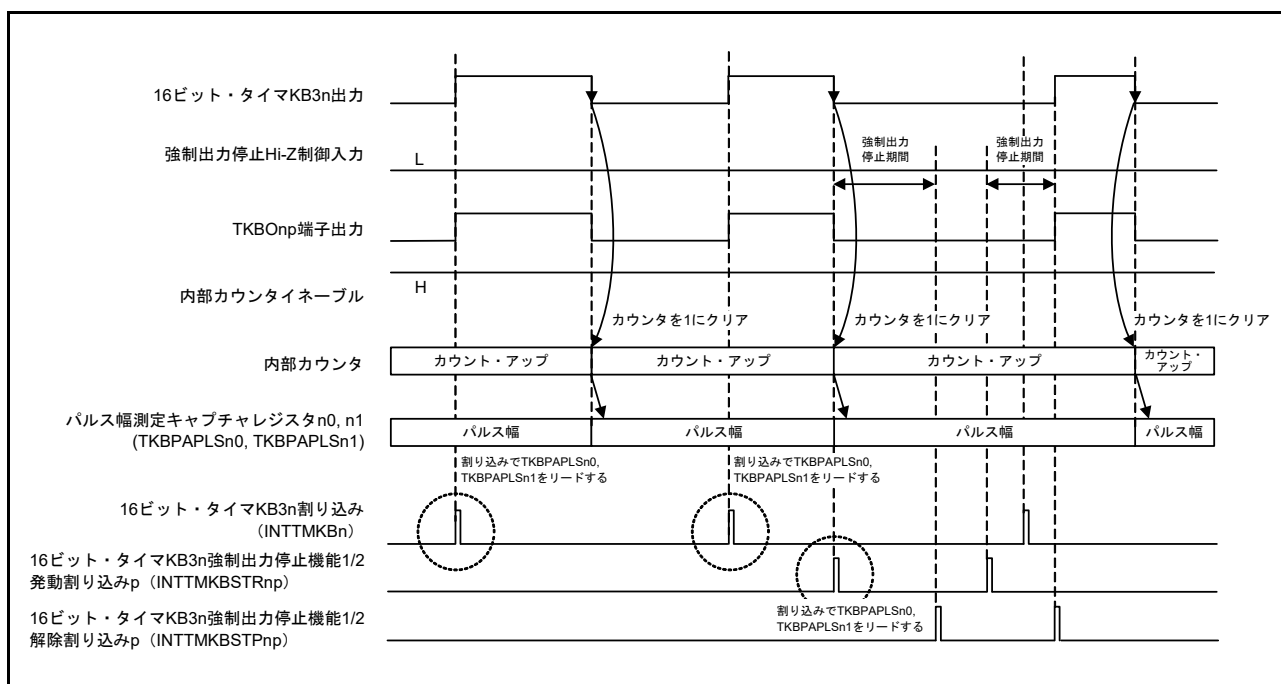


図15 - 116にPWM出力立ち下がりから立ち下がり期間前後の強制出力停止発動によりLow出力となった場合の動作例を示します。

- 強制出力停止の発動により発生した立ち下がりエッジ検出による周期幅測定値は、16ビット・タイマKB3n強制出力停止機能1/2発動割り込みp (INTTMKBSTRnp) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。
- 強制出力停止を伴わないPWM出力の立ち下がりエッジ検出による周期幅測定値は、16ビット・タイマKB3n割り込み (INTTMKBn) を使用し、パルス幅測定キャプチャレジスタn0, n1 (TKBPAPLSn0, TKBPAPLSn1) をリードします。

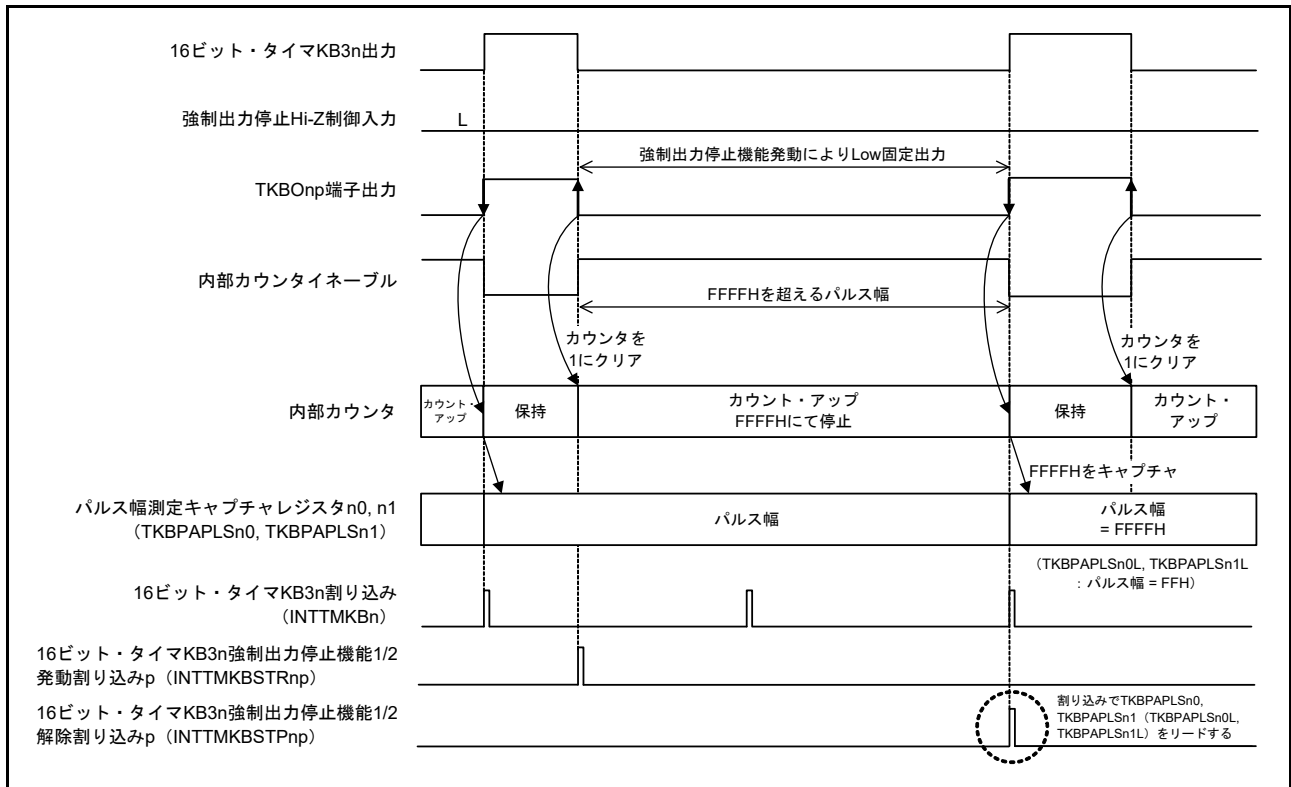
図15 - 116 パルス幅測定機能（周期測定（立ち下がりー立ち下がり）測定タイミング図：強制出力停止期間Low固定、TKBIOCn0.TKBTOLnp = 0時）



15.9.3 パルス幅測定時のオーバーフロー

パルス幅測定値 $n0, n1$ が FFFFH を超える場合、パルス幅測定キャプチャレジスタ $n0, n1$ (TKBPAPLSn0, TKBPAPLSn1) には FFFFH、パルス幅測定キャプチャレジスタ $n0L, n1L$ (TKBPAPLSn0L, TKBPAPLSn1L) には FFH が格納されます。図 15 - 117 にロウ・レベル幅測定時、PWM 出力のロウ・レベル幅期間が FFFFH を超えた場合の動作例を示します。

図 15 - 117 ロウ・レベル幅測定時、PWM出力のロウ・レベル幅期間がFFFFHを超えた場合の動作例



15.9.4 パルス幅測定条件の動作中切り替えについて

TKBPACTLn4 レジスタ (n = 0-2) は、16 ビット・タイマ KB3n 動作中の設定変更が可能です。設定変更した場合、パルス幅の測定条件を動的に切り替えることになるため、設定変更後 1 ~ 2 周期期間のパルス幅測定キャプチャレジスタ n0, n1 の読み出し値は不定扱いとなります。

図 15 - 118 に 16 ビット・タイマ KB3n 動作中に TKBOn0 端子のハイ・レベル幅測定から TKBOn0 端子の周期測定 (立ち下がりー立ち下がり) に変更した場合の動作例、図 15 - 119 に 16 ビット・タイマ KB3n 動作中に TKBOn0 端子のハイ・レベル幅測定から TKBOn1 端子のハイ・レベル幅測定に変更した場合の動作例を示します。

図 15 - 118 16 ビット・タイマ KB3n 動作中に TKBOn0 端子のハイ・レベル幅測定から TKBOn0 端子の周期測定 (立ち下がりー立ち下がり) に変更した場合の動作例

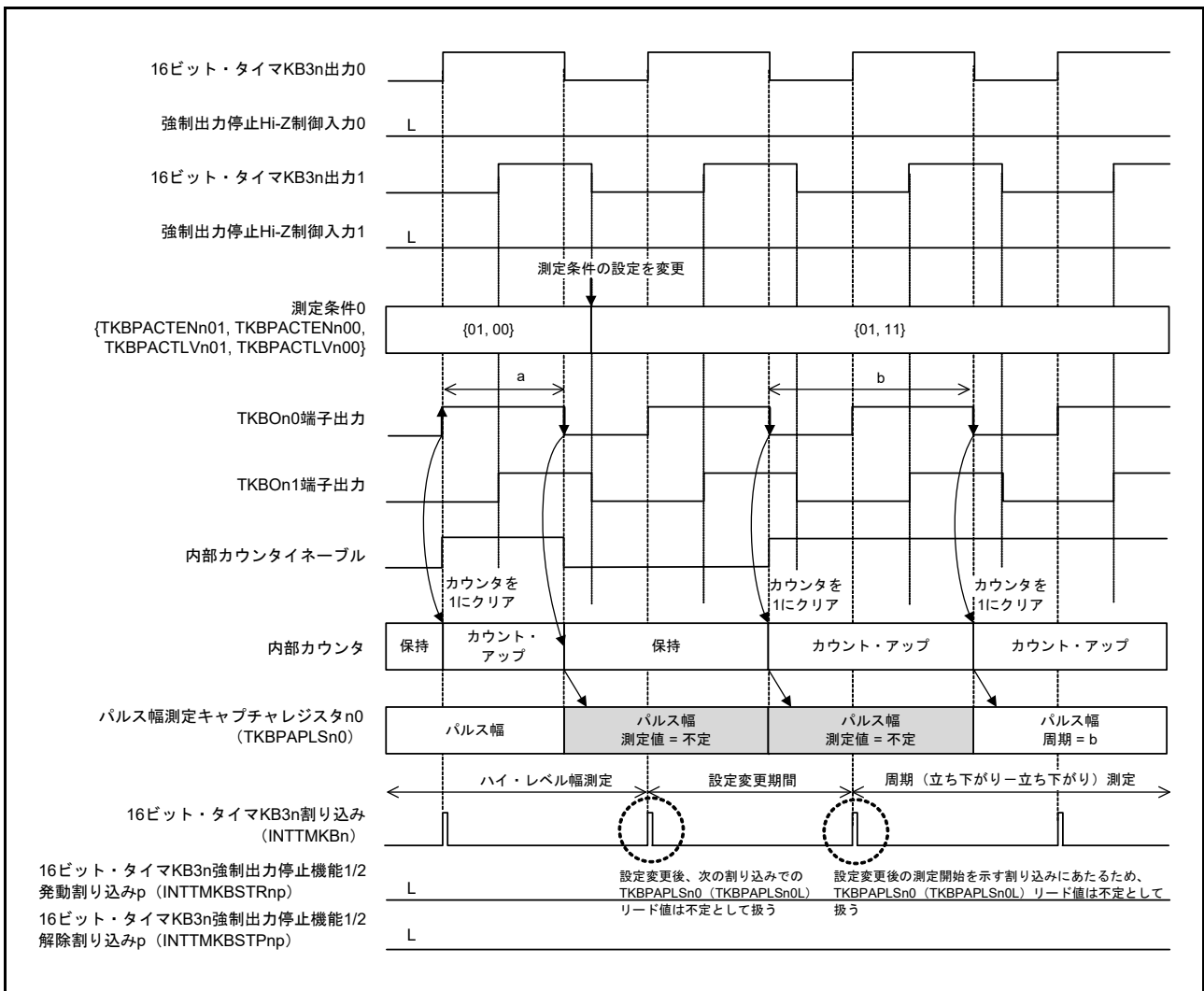
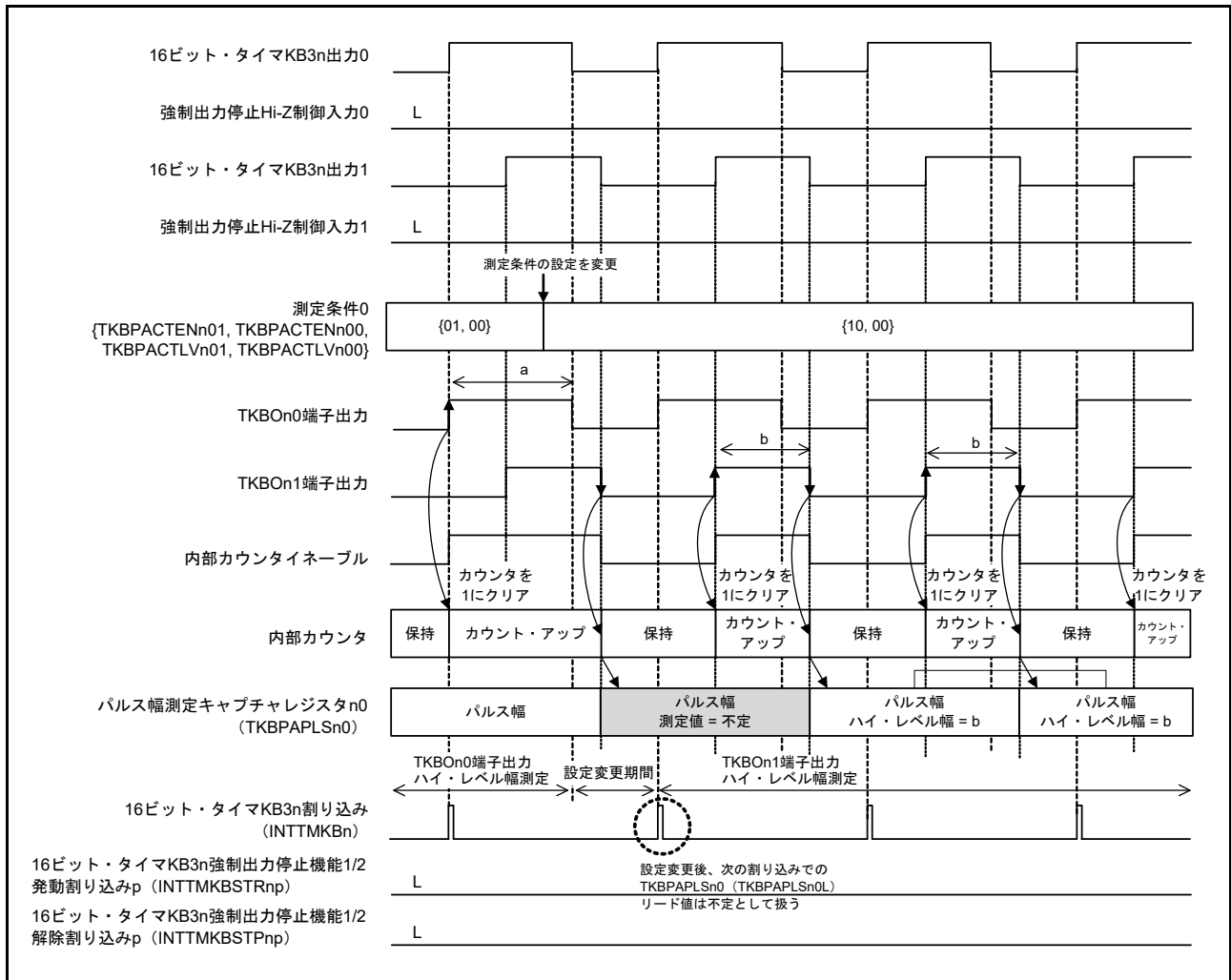


図 15 - 119 16ビット・タイマKB3n動作中にTKBOn0端子のハイ・レベル幅測定からTKBOn1端子のハイ・レベル幅測定に変更した場合の動作例



15.10 外部割り込み (INTPx) の16ビット・タイマKB30, KB31, KB32連動機能使用時の構成

外部割り込み (INTPx) の割り込みトリガには、INTPx 端子の入力エッジ検出信号のほかに、16ビット・タイマKB30, KB31, KB32のタイマ・リスタート信号を選択することができます。

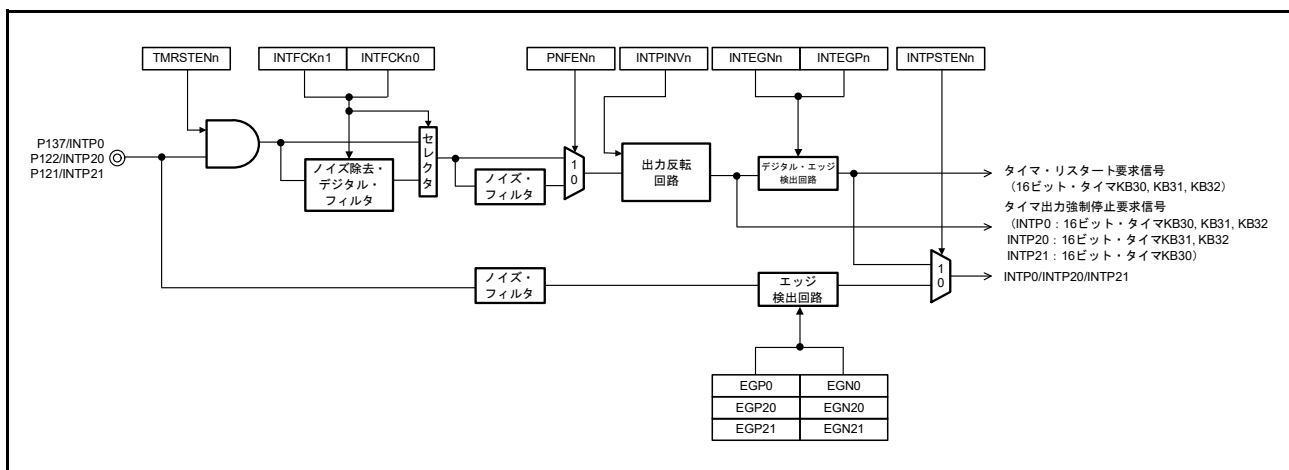
これにより、16ビット・タイマKB30, KB31, KB32のタイマ・リスタート信号の発生タイミングに同期して外部割り込み (INTPx) を発生させることができます。

使用する機能に応じて、以下のレジスタを設定してください。

- 外部割り込み制御レジスタn (INTPCTLn)
- 外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1)
- 外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1)

なお、各機能が動作するまでに必要なアクティブ信号の幅は異なります。表15-18および図15-121を参考にレジスタを設定し、必要なアクティブ信号幅が確保されるように外部回路を構築してください。

図15-120 外部割り込み (INTPx) のブロック図



- 備考1.** EGP0ビット : 外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0) のビット
 EGP20, EGP21ビット : 外部割り込み立ち上がりエッジ許可レジスタ1 (EGP1) のビット
 EGN0ビット : 外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0) のビット
 EGN20, EGN21ビット : 外部割り込み立ち下がりエッジ許可レジスタ1 (EGN1) のビット

備考2. n = 0-2

表15-18 INTPmの機能、レジスタ設定とアクティブ信号幅の関係

	INTPm機能	タイマKB 連動機能	外部割り込みを 制御する レジスタ (INTPCTLn) の ビット設定	エッジを 設定する レジスタ のビット 設定	各機能が動作するのに必要なアクティブ信号幅		
					割り込み	16ビット・タイマ KB30, KB31, KB32 強制出力停止	16ビット・タイマ KB30, KB31, KB32 タイマ・リスタート
連動 機能 非使用 時	INTPx端子入 力による割り 込み (STOP モード解除可 能)	—	INTPSTENn = 0	EGPn, EGNn	~1 μ s	—	—
連動 機能 使用時	タイマ・リス タート要求信 号の発生によ る割り込み (STOPモード 解除不可)	タイマ出力 強制停止	TMRSTENn = 1 INTPSTENn = 1	— 注1	55~245 ns ^{注2} 2~3クロック ^{注3}	55~245 ns ^{注2, 4}	—
		タイマ・ リスタート		INTEGPn, INTEGNn	55~245 ns ^{注2} 2~3クロック ^{注3}	—	55~245 ns ^{注2} 2~3クロック ^{注3, 5}

注1. 強制出力停止機能1, 2はハイ・レベルでアクティブとなります。エッジ選択は割り込みにのみ有効です。

注2. ノイズ・フィルタなし (INTPCTLn.PNFENn = 1) にした場合、5~45 nsとなります。

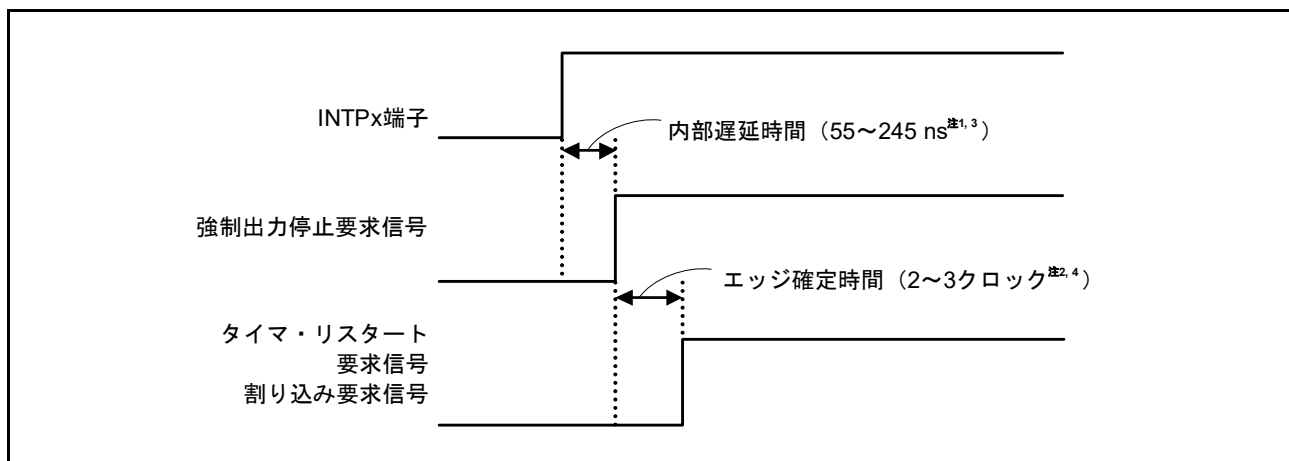
注3. fCLKまたはfPLL (PLLコントロール・レジスタ (DSCCTL) のDSCONビットが1の場合)

注4. 強制出力停止機能1, 2が動作してから出力端子の状態が変化するまでには、別途出力遅延時間 (10~40 ns) が掛かります。

注5. タイマ・リスタート機能が動作するには、要求信号を受けてからさらに1クロック、出力端子の状態が変化するまでには、別途出力遅延時間 (10~40 ns) が掛かります。

備考 m = 0, 20, 21; n = 0-2

図15-121 外部割り込み (INTPx) による強制出力停止要求信号、タイマ・リスタート要求信号の発生タイミング



注1. ノイズ・フィルタなし (INTPCTLn.PNFENn = 1) にした場合、5~45 nsとなります。

注2. fCLKまたはfPLL (PLLコントロール・レジスタ (DSCCTL) のDSCONビットが1の場合)

注3. 強制出力停止機能1, 2が動作してから出力端子の状態が変化するまでには、別途出力遅延時間 (10~40 ns) が掛かります。

注4. タイマ・リスタート機能が動作するには、要求信号を受けてからさらに1クロック、出力端子の状態が変化するまでには、別途出力遅延時間 (10~40 ns) が掛かります。

備考 m = 0, 20, 21; n = 0-2

コンパレータの16ビット・タイマKB30, KB31, KB32連動機能については、**22.4.6 コンパレータの16ビット・タイマKB30, KB31, KB32連動機能使用時の注意事項**を参照してください。

第16章 リアルタイム・クロック (RTC)

16.1 リアルタイム・クロックの機能

リアルタイム・クロックには、次のような機能があります。

- 年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- 定周期割り込み機能（周期：0.5秒、1秒、1分、1時間、1日、1月）
- アラーム割り込み機能（アラーム：曜日・時・分）
- 1 Hzの端子出力機能（30～64ピン製品のみ）

リアルタイム・クロック割り込み信号（INTRTC）を、STOPモードからのウェイク・アップやA/DコンバータのSNOOZEモードのトリガに使えます。

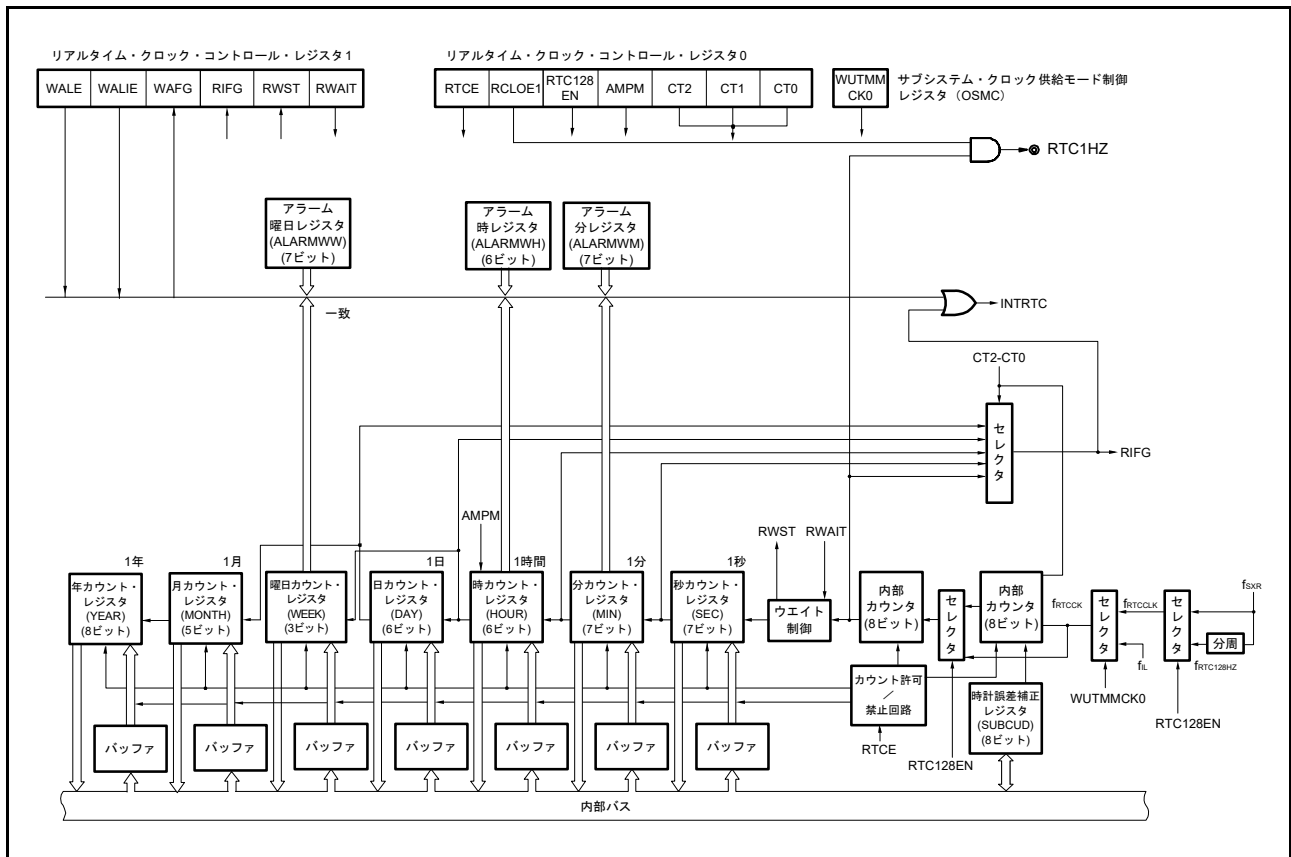
16.2 リアルタイム・クロックの構成

リアルタイム・クロックは、次のハードウェアで構成されています。

表16-1 リアルタイム・クロックの構成

項目	構成
カウンタ	内部カウンタ (16ビット)
制御レジスタ	<ul style="list-style-type: none">• 周辺イネーブル・レジスタ0 (PER0)• サブシステム・クロック供給モード制御レジスタ (OSMC)• リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)• リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)• 秒カウント・レジスタ (SEC)• 分カウント・レジスタ (MIN)• 時カウント・レジスタ (HOUR)• 日カウント・レジスタ (DAY)• 曜日カウント・レジスタ (WEEK)• 月カウント・レジスタ (MONTH)• 年カウント・レジスタ (YEAR)• 時計誤差補正レジスタ (SUBCUD)• アラーム分レジスタ (ALARMWM)• アラーム時レジスタ (ALARMWH)• アラーム曜日レジスタ (ALARMWW)

図16-1 リアルタイム・クロックのブロック図



注意 リアルタイム・クロック制御部の動作クロックにサブシステム・クロック (fsxr = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (fil = 32.768 kHz) を選択時は、定周期割り込み機能のみ使用できます。

16.3 リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

各リセット要因によるレジスタの状態を以下に示します。

リセット要因	システム系レジスタ ^{注1}	カレンダー系レジスタ ^{注2}
POR	リセット	リセットしない
外部リセット	保持	保持
WDT	保持	保持
TRAP	保持	保持
LVD	保持	保持
その他内部リセット	保持	保持

注1. RTCC0, RTCC1, SUBCUD

注2. SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW

リセット発生により、SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW レジスタはリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。

16.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは、必ず RTCWEN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図16-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
RTCWEN	リアルタイム・クロックへのアクセス制御							
0	<ul style="list-style-type: none"> リアルタイム・クロックで使用するSFRへのライト不可 リアルタイム・クロックは動作可能 							
1	<ul style="list-style-type: none"> リアルタイム・クロックで使用するSFRへのリード／ライト可 リアルタイム・クロックは動作可能 							

注意1. リアルタイム・クロックを使用する際には、カウント・クロック (f_{RTCCK}) が発振安定した状態で、必ず最初に RTCWEN = 1 に設定してから下記のレジスタの設定を行ってください。RTCWEN = 0 の場合は、リアルタイム・クロックの制御レジスタへの書き込みは無視され、読み出し値は00Hとなります (サブシステム・クロック供給モード制御レジスタ (OSMC)、ポート・モード・レジスタ (PM3)、ポート・レジスタ (P3) は除く)。

- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)

注意2. サブシステム・クロック供給モード制御レジスタ (OSMC) の RTCLPC = 1 に設定することにより、STOPモード時およびサブシステム・クロック時 HALT モードで、リアルタイム・クロック以外の周辺機能へのサブシステム・クロック供給を停止することが可能です。

注意3. ビット6, 1には、必ず0を設定してください。

16.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0 ビットでリアルタイム・クロックの制御クロック (fRTCCK) を選択できます。また、RTCLPC ビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPC ビットの設定については、**第9章 クロック発生回路**を参照してください。

OSMC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、不定になります。

図16-3 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H
リセット時: 不定^{注1}
R/W属性 : R/W^{注2}

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK 0	x	x	0	HIPREC
WUTMMCK0	リアルタイム・クロック制御部の動作クロック (fRTCCK) の選択							
0	サブシステム・クロックXR (fsXR) またはfRTC128HZ (RTC128EN ビットで選択)							
1	低速オンチップ・オシレータ・クロック (fiL) ^{注3,4}							

注1. リセット信号の発生により、RTCLPCビットおよびWUTMMCKビットは0、HIPRECビットは1になります。

注2. ビット3, 2, 0はRead Onlyです。書き込みは無視されます。

注3. サブシステム・クロックX発振中にWUTMMCK0ビットに1を設定することは禁止です。

注4. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック、32ビット・インターバル・タイマ、クロック出力ノブザー出力機能、タイマRJのすべての機能が停止中のみ可能です。

注意1. リアルタイム・クロック制御部の動作クロックにサブシステム・クロックXR (fsXR = 32.768 kHz) またはfRTC128HZを選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (fiL = 32.768 kHz) を選択時は、定周期割り込み機能のみ使用できます。

注意2. ビット6, 5, 1には、必ず0を設定してください。

備考 x : Don't care

16.3.3 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

RTCC0 レジスタは、リアルタイム・クロック動作の開始/停止、RTC1HZ 端子の制御、12/24 時間制、定周期割り込み機能を設定する 8 ビットのレジスタです。

RTCC0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00H になります。

図 16 - 4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット (1/2)

アドレス : F022BH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RTC128EN	AMPM	CT2	CT1	CT0
RTCE ^{注1}	リアルタイム・クロックの動作制御							
0	カウンタ動作停止							
1	カウンタ動作開始							
RCLOE1 ^{注2}	RTC1HZ 端子の出力制御							
0	RTC1HZ 端子の出力 (1 Hz) 禁止							
1	RTC1HZ 端子の出力 (1 Hz) 許可							
RTC128EN	リアルタイム・クロックの動作クロック (fRTCCLK) 選択							
0	32.768 kHz							
1	128 Hz							
<ul style="list-style-type: none"> • RTC128EN = 1 のときはリアルタイム・クロックが 128 Hz で動作し低消費動作になります。 • RTC128EN = 1 のとき、時計誤差補正機能は使用できません。 • RTC128EN = 1 に設定するときは、OSMC レジスタの WUTMMCK ビットを 0 にしてください。 								
AMPM	12 時間制 / 24 時間制の選択							
0	12 時間制 (午前 / 午後を表示)							
1	24 時間制							
<ul style="list-style-type: none"> • AMPM ビットの値を変更する場合は、RWAIT ビット (リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1) のビット 0) = 1 にしてから書き換えてください。AMPM ビットの値を変更すると、時カウンタ・レジスタ (HOUR) の値は設定した時間制に対応した値に変更されます。 • 表 16 - 2 に時間桁表示表を示します。 								

図16-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット (2/2)

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に一度 (秒カウント・アップに同期)
0	1	0	1秒に一度 (秒カウント・アップと同時)
0	1	1	1分に一度 (毎分00秒)
1	0	0	1時間に一度 (毎時00分00秒)
1	0	1	1日に一度 (毎日00時00分00秒)
1	1	×	1月に一度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0ビットの値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFG, RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注1. RTCE = 1に設定直後にSTOPモードに移行する場合は、**図16-18 RTCE = 1に設定後のHALT/STOPモードへの移行手順**に従ってSTOPモードに移行してください。

注2. 20~25ピン製品では、必ず0に設定してください。

注意1. RTCE = 1のときに、RCLOE1ビットを変更しないでください。

注意2. RTCE = 0のときに、RCLOE1 = 1に設定しても1 Hz出力されません。

注意3. ビット6には、必ず0を設定してください。

備考 × : Don't care

16.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

RTCC1 レジスタは、アラーム割り込み機能、カウンタのウェイトを制御する8ビットのレジスタです。
 RTCC1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 パワーオン・リセット回路による内部リセットの発生により、00Hになります。

図16-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス : F022CH
 リセット時: 00H
 R/W属性 : R/W

略号	<7>	<6>	5	<4>	<3>	2	<1>	<0>
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効 ^{注1}
カウンタ動作中 (RTCE = 1) かつWALIE = 1のときにWALEビットへ設定する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFG, RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1レジスタのWALIEフラグ、アラーム分レジスタ (ALARMWWM)、アラーム時レジスタ (ALARMWH)、アラーム曜日レジスタ (ALARMWW)) を設定する場合、WALEビットを0にしてください。	

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する ^{注1}

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、fRTCKの1クロック後に1となります。 0を書き込むことでクリアされ、1の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により1となります。 0を書き込むことでクリアされ、1の書き込みは無効となります。	

RWST	リアルタイム・クロックのウェイト状態フラグ ^{注2}
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中
RWAITビットの設定が有効であることを示すステータスです。 カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。	

図16-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RWAIT	リアルタイム・クロックのウェイト制御 ^{注1}
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。
 内部カウンタ (16ビット) は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能 (RWST = 1) となるまで最大fRTCCKの1クロックの時間がかかります。^{注3,4}
 内部カウンタ (16ビット) のオーバーフローがRWAIT = 1のときに起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

注1. アラームの一致検出またはアラーム割り込み機能を使用する場合は、定周期割り込みを“1秒に一度”に設定し、INTRTC割り込み発生直後1秒以内に、RWAIT = 1にしてカウンタ値の読み出し、書き込みを行ってください。任意のタイミングでRWAIT = 1に設定しカウンタ値の読み出し／書き込みを行うと、アラームの一致が発生せずに割り込み要求も発生しない場合があります。

カウンタ値の読み出し／書き込みの詳細な手順は、**16.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み**を参照してください。

注2. ビット1はRead Onlyです。

注3. RTCE = 1に設定したあと、fRTCCKの1クロック時間内でRWAIT = 1とした場合、RWSTビットが1になるまで動作クロック (fRTCCK) の2クロック時間がかかる場合があります。

注4. スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰したあと、fRTCCKの1クロック時間内で、RWAIT = 1とした場合、RWSTビットが1になるまでに、動作クロック (fRTCCK) の2クロック時間がかかる場合があります。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFG, WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFG, WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる1を設定してください。なお、RIFG, WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考1. 定周期割り込みとアラーム割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

備考2. 秒カウント・レジスタ (SEC) へ書き込みを行うと内部カウンタ (16ビット) はクリアされます。

16.3.5 秒カウント・レジスタ (SEC)

SEC レジスタは、0～59（10進）までの値を取り、秒のカウント値を示す8ビットのレジスタです。

内部カウンタ（16ビット）からのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大 fRTCK の2クロック後にカウンタへ書き込まれます。また設定する値は10進の00～59をBCDコードで設定してください。

SEC レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図16-6 秒カウント・レジスタ (SEC) のフォーマット

アドレス : F0220H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、16.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

備考 秒カウント・レジスタ (SEC) へ書き込みを行うと内部カウンタ (16ビット) はクリアされます。

16.3.6 分カウント・レジスタ (MIN)

MIN レジスタは、0～59（10進）までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の2クロック後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00～59をBCDコードで設定してください。

MIN レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図16-7 分カウント・レジスタ (MIN) のフォーマット

アドレス : F0221H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、16.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

16.3.7 時カウント・レジスタ (HOUR)

HOUR レジスタは、00 ~ 23 または 01 ~ 12, 21 ~ 32 (10 進) までの値を取り、時のカウント値を示す 8 ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ 0 (RTCC0) のビット 3 (AMPM) で設定した時間制に応じて、10 進の 00 ~ 23 または 01 ~ 12, 21 ~ 32 を BCD コードで設定してください。

AMPM ビットの値を変更すると、HOUR レジスタの値は設定した時間制に対応する値に変更されます。

HOUR レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図 16 - 8 時カウント・レジスタ (HOUR) のフォーマット

アドレス : F0222H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 1. HOUR レジスタのビット 5 (HOUR20) は、AMPM = 0 (12 時間制) を選択した場合、AM (0) / PM (1) を示します。

注意 2. カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、16.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

表 16 - 2 に AMPM ビットの設定値、および時カウント・レジスタ (HOUR) 値と時間の関係を示します。

表16 - 2 時間桁表示表

24時間表示 (RTCC0.AMPM = 1)		12時間表示 (RTCC0.AMPM = 0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM12時	12H
1時	01H	AM1時	01H
2時	02H	AM2時	02H
3時	03H	AM3時	03H
4時	04H	AM4時	04H
5時	05H	AM5時	05H
6時	06H	AM6時	06H
7時	07H	AM7時	07H
8時	08H	AM8時	08H
9時	09H	AM9時	09H
10時	10H	AM10時	10H
11時	11H	AM11時	11H
12時	12H	PM12時	32H
13時	13H	PM1時	21H
14時	14H	PM2時	22H
15時	15H	PM3時	23H
16時	16H	PM4時	24H
17時	17H	PM5時	25H
18時	18H	PM6時	26H
19時	19H	PM7時	27H
20時	20H	PM8時	28H
21時	21H	PM9時	29H
22時	22H	PM10時	30H
23時	23H	PM11時	31H

HOUR レジスタ値は、AMPM ビットが0のときに12時間表示、1のときに24時間表示となります。

12時間表示の場合は、HOUR レジスタの5ビット目で午前/午後を表示し、午前 (AM) のときに0に、午後 (PM) のときに1となります。

16.3.8 日カウント・レジスタ (DAY)

DAY レジスタは、1～31（10進）までの値を取り、日のカウント値を示す8ビットのレジスタです。時カウンタからのオーバーフローによりカウント・アップします。カウンタは、次に示すようにカウントします。

- 01～31（1, 3, 5, 7, 8, 10, 12月）
- 01～30（4, 6, 9, 11月）
- 01～29（2月 うるう年）
- 01～28（2月 通常年）

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01～31をBCDコードで設定してください。

DAY レジスタは、8ビット・メモリ操作命令で設定します。リセット信号の発生により、初期化はされません。

図16-9 日カウント・レジスタ (DAY) のフォーマット

アドレス : F0224H
リセット時: 不定
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、16.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

16.3.9 曜日カウント・レジスタ (WEEK)

WEEK レジスタは、0～6（10進）までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の2クロック後にカウンタへ書き込まれます。また設定する値は、10進の00～06をBCDコードで設定してください。

WEEK レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図16-10 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : F0223H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ (WEEK) には、月カウント・レジスタ (MONTH) および日カウント・レジスタ (DAY) に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

注意2. カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、16.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

16.3.10 月カウント・レジスタ (MONTH)

MONTH レジスタは、1～12 (10進) までの値を取り、月のカウント値を示す 8 ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の 01～12 を BCD コードで設定してください。

MONTH レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図 16-11 月カウント・レジスタ (MONTH) のフォーマット

アドレス : F0225H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、16.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

16.3.11 年カウント・レジスタ (YEAR)

YEAR レジスタは、0～99 (10進) までの値を取り、年のカウント値を示す 8 ビットのレジスタです。

月カウント・レジスタ (MONTH) からのオーバーフローによりカウント・アップします。

00, 04, 08, …, 92, 96 がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に MONTH レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の 00～99 を BCD コードで設定してください。

YEAR レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図 16-12 年カウント・レジスタ (YEAR) のフォーマット

アドレス : F0226H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し/書き込みをする場合は、16.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

16.3.12 時計誤差補正レジスタ (SUBCUD)

SUBCUD レジスタは、内部カウンタ (16 ビット) から秒カウンタ・レジスタ (SEC) へオーバーフローする値 (基準値: 7FFFH) を変化させることにより、時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUD レジスタは、8 ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00H になります。

図 16 - 13 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス : F0227H
 リセット時: 00H
 R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。	
<ul style="list-style-type: none"> DEV = 0設定時 : SEC = 00H, 20H, 40Hの期間 DEV = 1設定時 : SEC = 00Hの期間 	

F6	時計誤差補正值の設定
0	$\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2$ だけ増加
1	$\{(F5, F4, F3, F2, F1, F0) + 1\} \times 2$ だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。	
/F5 ~ /F0は、ビット反転した値 (111100Bのときは000011B) となります。	
補正值の範囲 : (F6 = 0のとき) 2, 4, 6, 8, ... 120, 122, 124	
(F6 = 1のとき) -2, -4, -6, -8, ... -120, -122, -124	

次に、時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	-189.2 ~ +189.2 ppm	-63.1 ~ +63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

注意 128 Hz動作モード (RTC128EN = 1) 時は、この時計誤差の補正機能を使用できません。RTC128EN = 0を選択時のみ、時計誤差補正ができます。

備考 補正範囲が、-63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

16.3.13 アラーム分レジスタ (ALARMWM)

ALARMWM レジスタは、アラームの分を設定するレジスタです。
ALARMWM レジスタは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、初期化はされません。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図16-14 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス : F0228H
リセット時: 不定
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

16.3.14 アラーム時レジスタ (ALARMWH)

ALARMWH レジスタは、アラームの時を設定するレジスタです。
ALARMWH レジスタは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、初期化はされません。

注意 設定する値は、10進の00～23、または01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図16-15 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス : F0229H
リセット時: 不定
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHレジスタのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

16.3.15 アラーム曜日レジスタ (ALARMWW)

ALARMWW レジスタは、アラームの曜日を設定するレジスタです。

ALARMWW レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図16-16 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス : F022AH

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示				
	日	月	火	水	木	金	土	10	1	10	1	10	1	10	1	
	W	W	W	W	W	W	W	時	時	分	分	時	時	分	分	
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9	0
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9	0

16.3.16 リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するレジスタ

リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

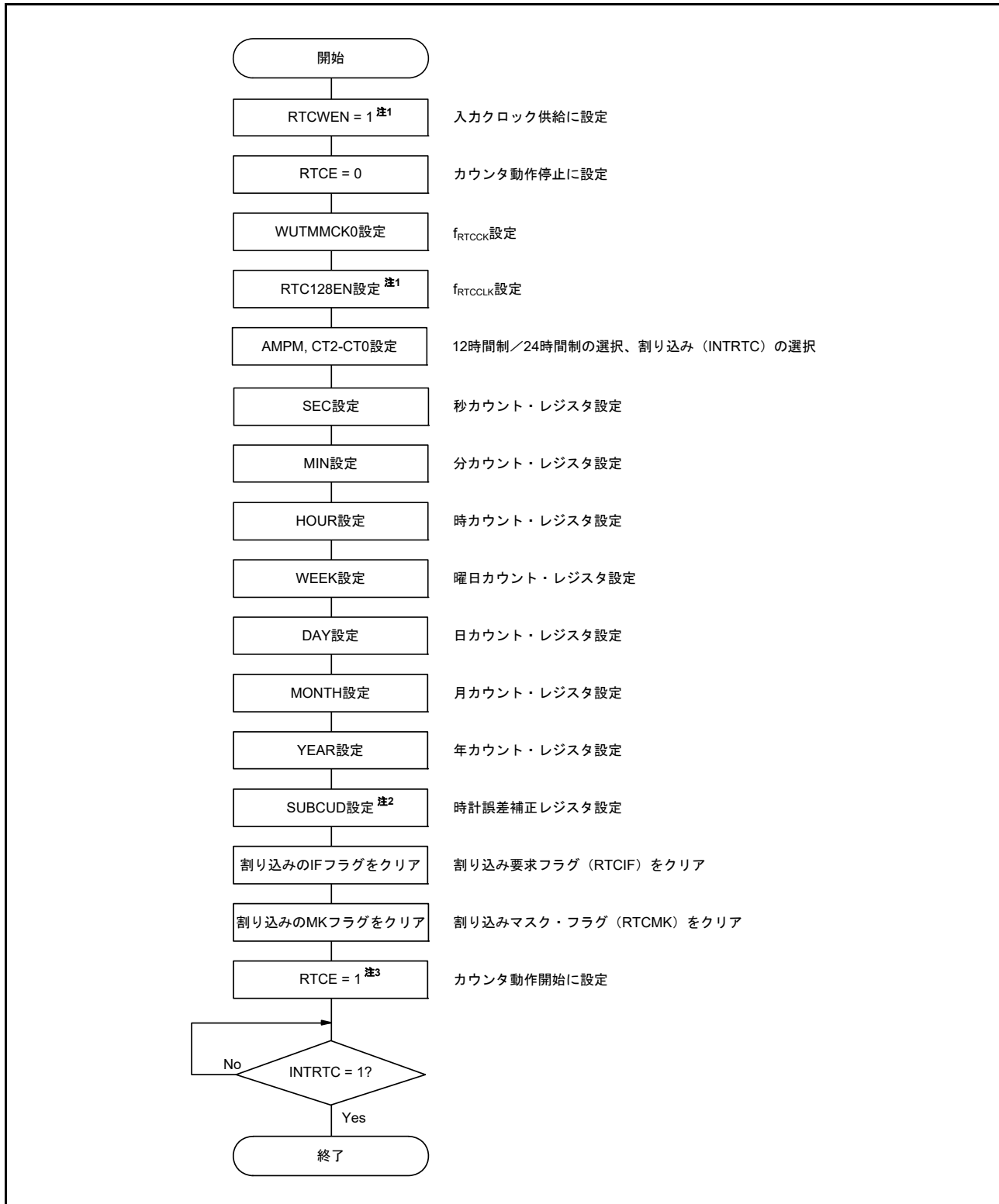
詳細は、7.3.1 ポート・モード・レジスタ (PMxx) および 7.3.2 ポート・レジスタ (Pxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

16.4 リアルタイム・クロックの動作

16.4.1 リアルタイム・クロックの動作開始

図16-17 リアルタイム・クロックの動作開始手順



注1. カウント・クロック (f_{RTCK}) が発振安定状態において、最初に $RTCWEN = 1$ の設定と $RTC128EN$ の設定を行ってください。

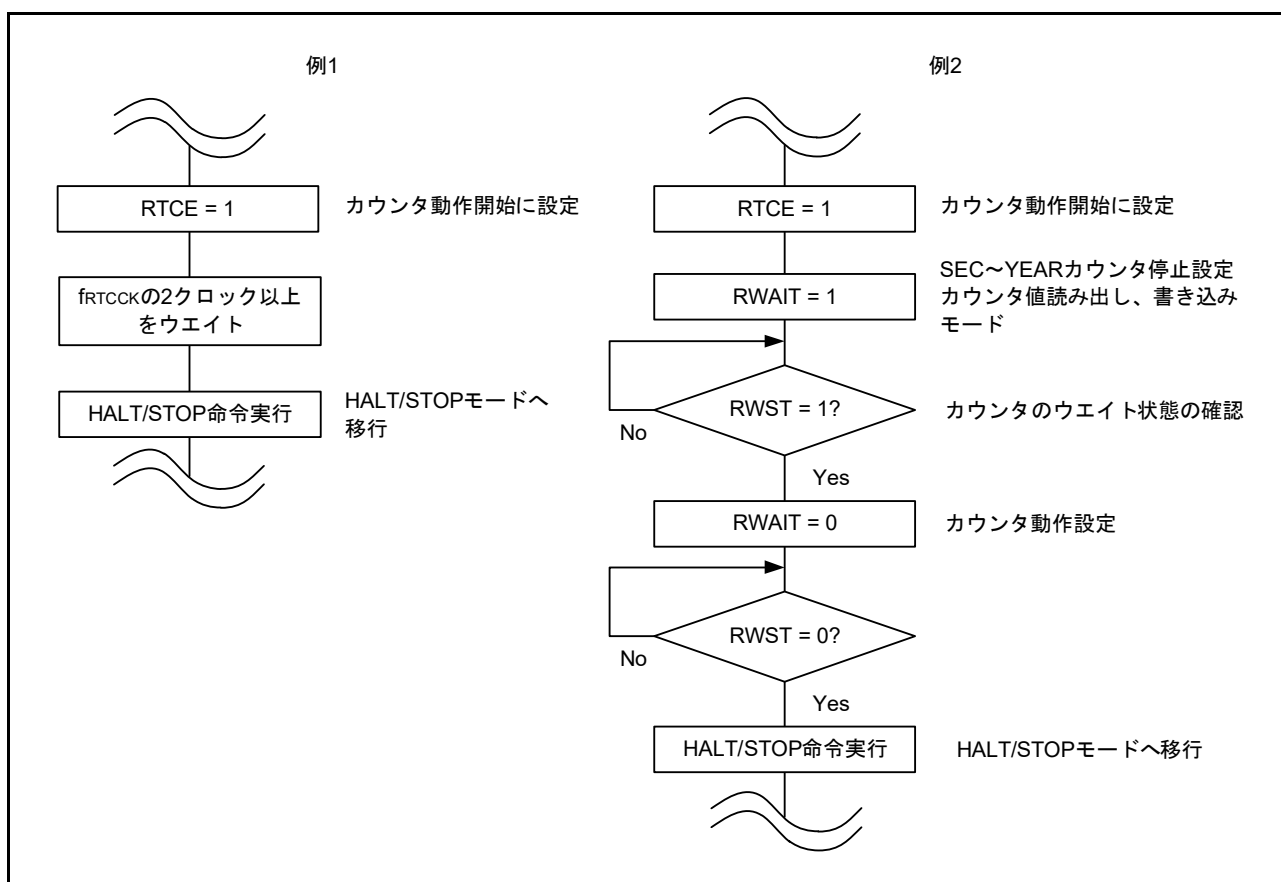
- 注2.** 時計誤差補正する必要がある場合のみ。補正值の算出方法は、**16.4.6 リアルタイム・クロックの時計誤差補正例**を参照してください。
RTC128EN = 1 設定時、時計誤差補正機能は使用できません。
- 注3.** RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は、**16.4.2 動作開始後のHALT/STOPモードへの移行**の手順を確認してください。

16.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は、次のどちらかの処理をしてください。ただし、RTCE = 1に設定後、INTRTC 割り込みの発生以降にHALT/STOPモードへ移行する場合は、これらの処理は必要ありません。

- RTCE = 1に設定してから、カウント・クロック (fRTCCk) の2クロック分以上経過後にHALT/STOPモードへ移行する (図16-18 RTCE = 1に設定後のHALT/STOPモードへの移行手順 例1参照)。
- RTCE = 1に設定後、RWAIT = 1に設定し、RWSBITビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSBITビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する (図16-18 RTCE = 1に設定後のHALT/STOPモードへの移行手順 例2参照)。

図16-18 RTCE = 1に設定後のHALT/STOPモードへの移行手順



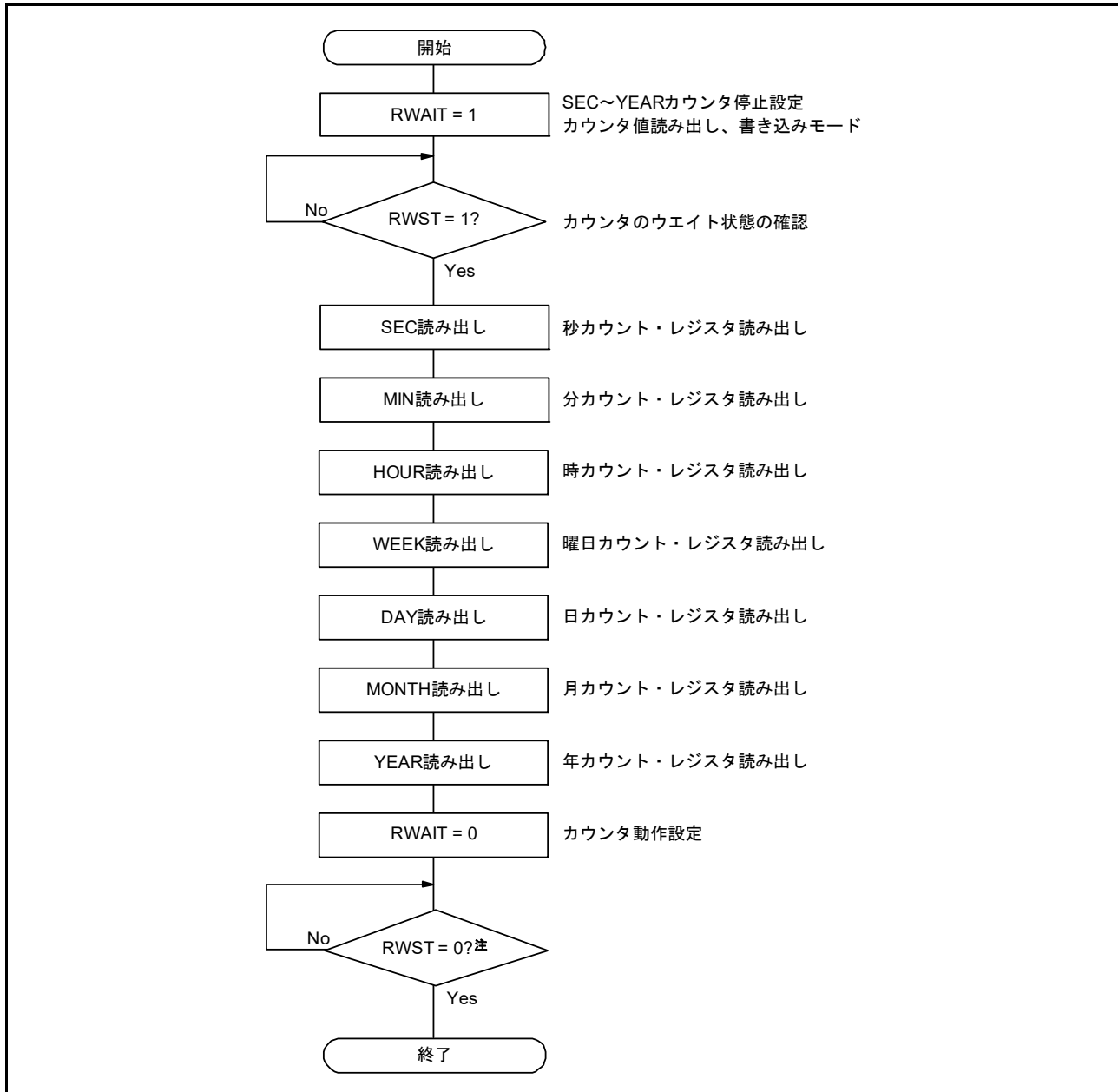
16.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは、最初に RWAIT = 1 にしてから行ってください。

カウンタの読み出し／書き込み終了後は、RWAIT = 0 にしてください。

なお、アラーム割り込み機能使用時は、**図 16 - 20** および **図 16 - 22** の手順でカウンタの読み出し／書き込みを行ってください。

図 16 - 19 リアルタイム・クロックの読み出し手順

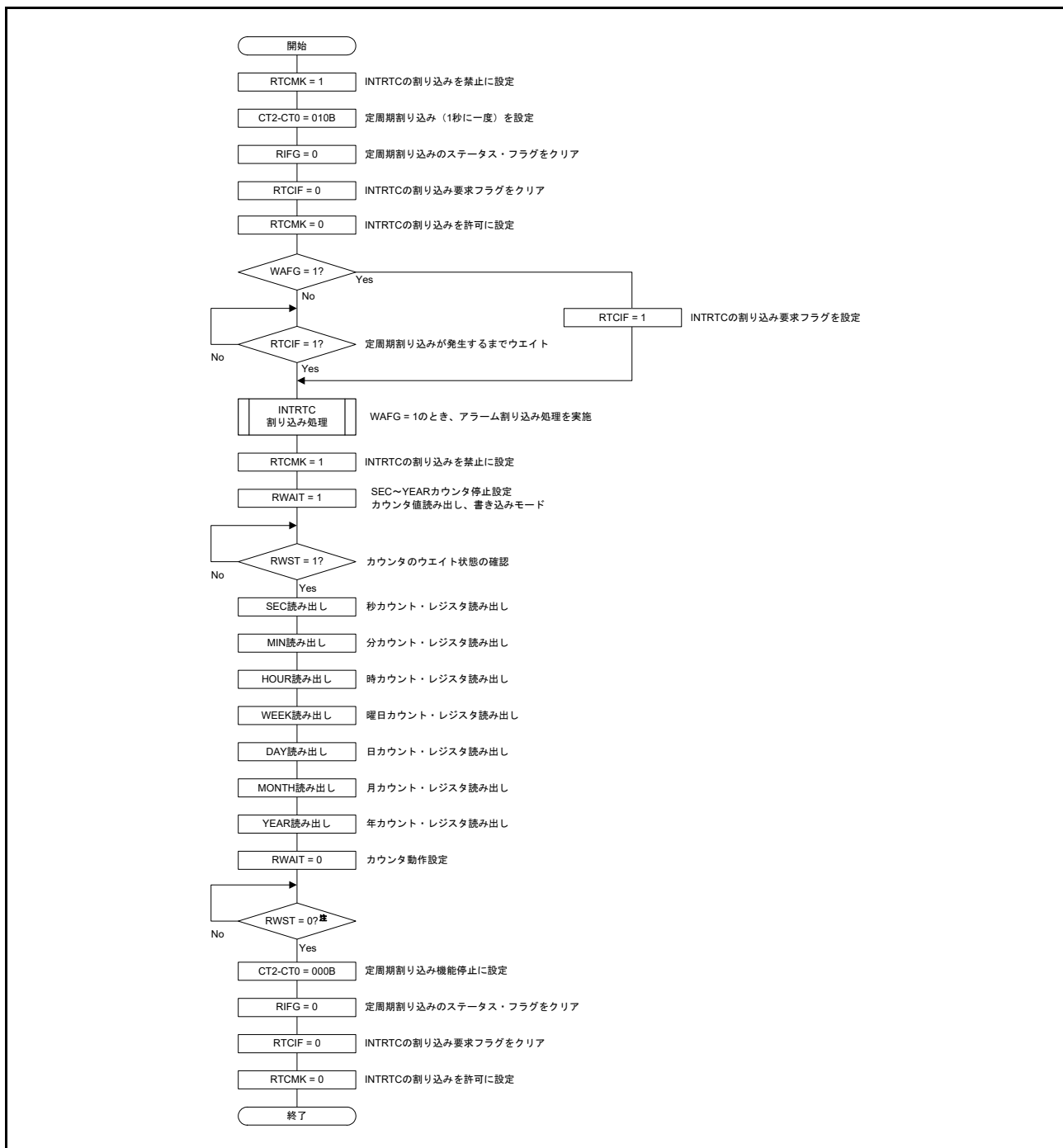


★ 注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 から RWAIT = 0 までの処理を1秒以内で行ってください。

備考 秒カウント・レジスタ (SEC)、分カウント・レジスタ (MIN)、時カウント・レジスタ (HOUR)、曜日カウント・レジスタ (WEEK)、日カウント・レジスタ (DAY)、月カウント・レジスタ (MONTH)、年カウント・レジスタ (YEAR) の読み出しの順番に制限はありません。
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出してもかまいません。

図16-20 リアルタイム・クロックの読み出し手順 (アラーム割り込み機能使用時)

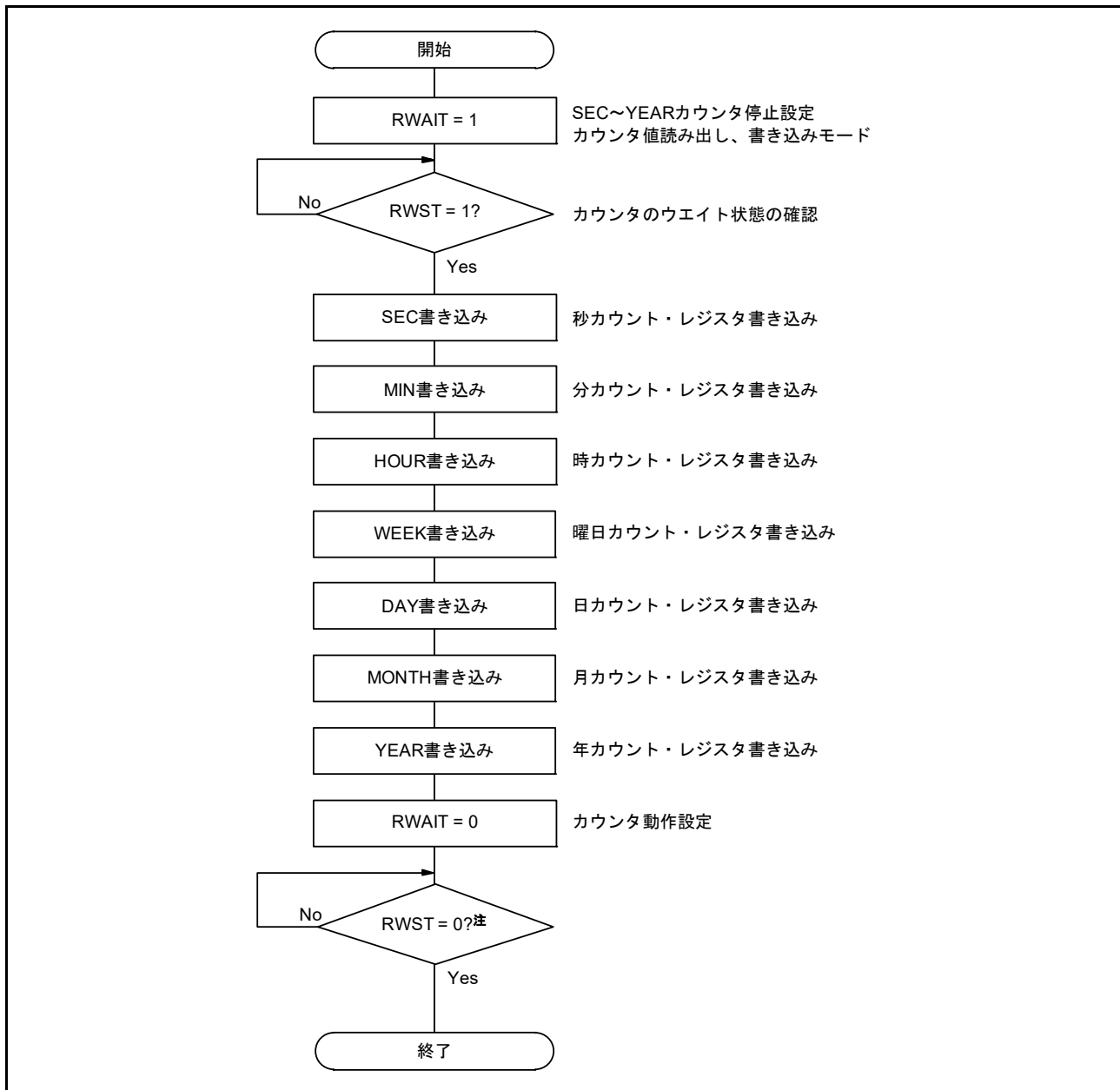


★ 注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 INTRTC割り込み処理の開始から、RWAIT = 0までの処理を1秒以内で行ってください。

備考 秒カウンタ・レジスタ (SEC)、分カウンタ・レジスタ (MIN)、時カウンタ・レジスタ (HOUR)、曜日カウンタ・レジスタ (WEEK)、日カウンタ・レジスタ (DAY)、月カウンタ・レジスタ (MONTH)、年カウンタ・レジスタ (YEAR) の読み出しの順番に制限はありません。
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出してもかまいません。

図16-21 リアルタイム・クロックの書き込み手順



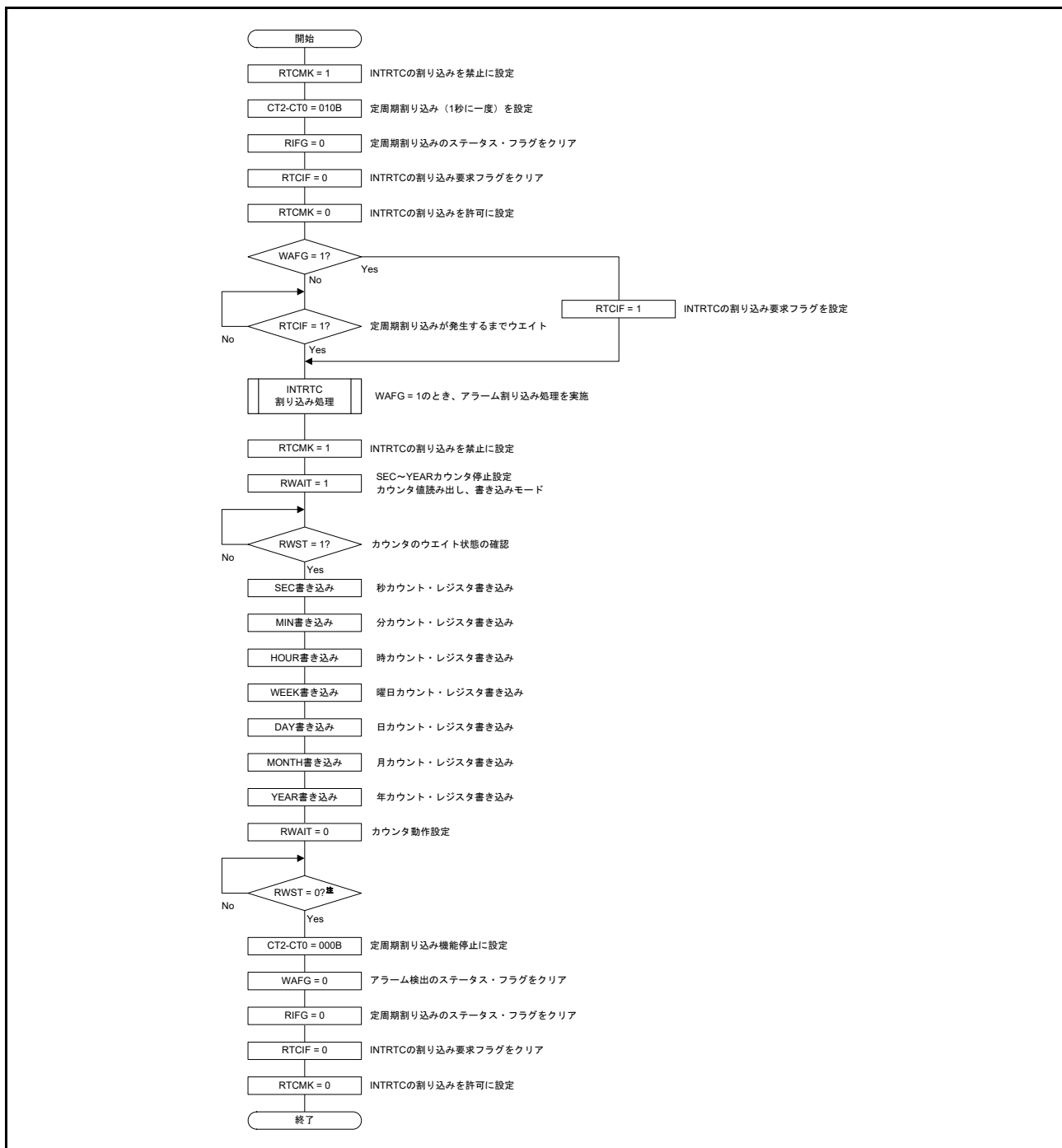
★ 注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

注意2. カウンタ動作中 (RTCE = 1) にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFG, RIFG, RTCIFフラグをクリアしてください。

備考 秒カウント・レジスタ (SEC)、分カウント・レジスタ (MIN)、時カウント・レジスタ (HOUR)、曜日カウント・レジスタ (WEEK)、日カウント・レジスタ (DAY)、月カウント・レジスタ (MONTH)、年カウント・レジスタ (YEAR) の書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えてもかまいません。

図16-22 リアルタイム・クロックの書き込み手順 (アラーム割り込み機能使用時)



★ 注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. INTRTC割り込み処理の開始から、RWAIT = 0までの処理を1秒以内で行ってください。

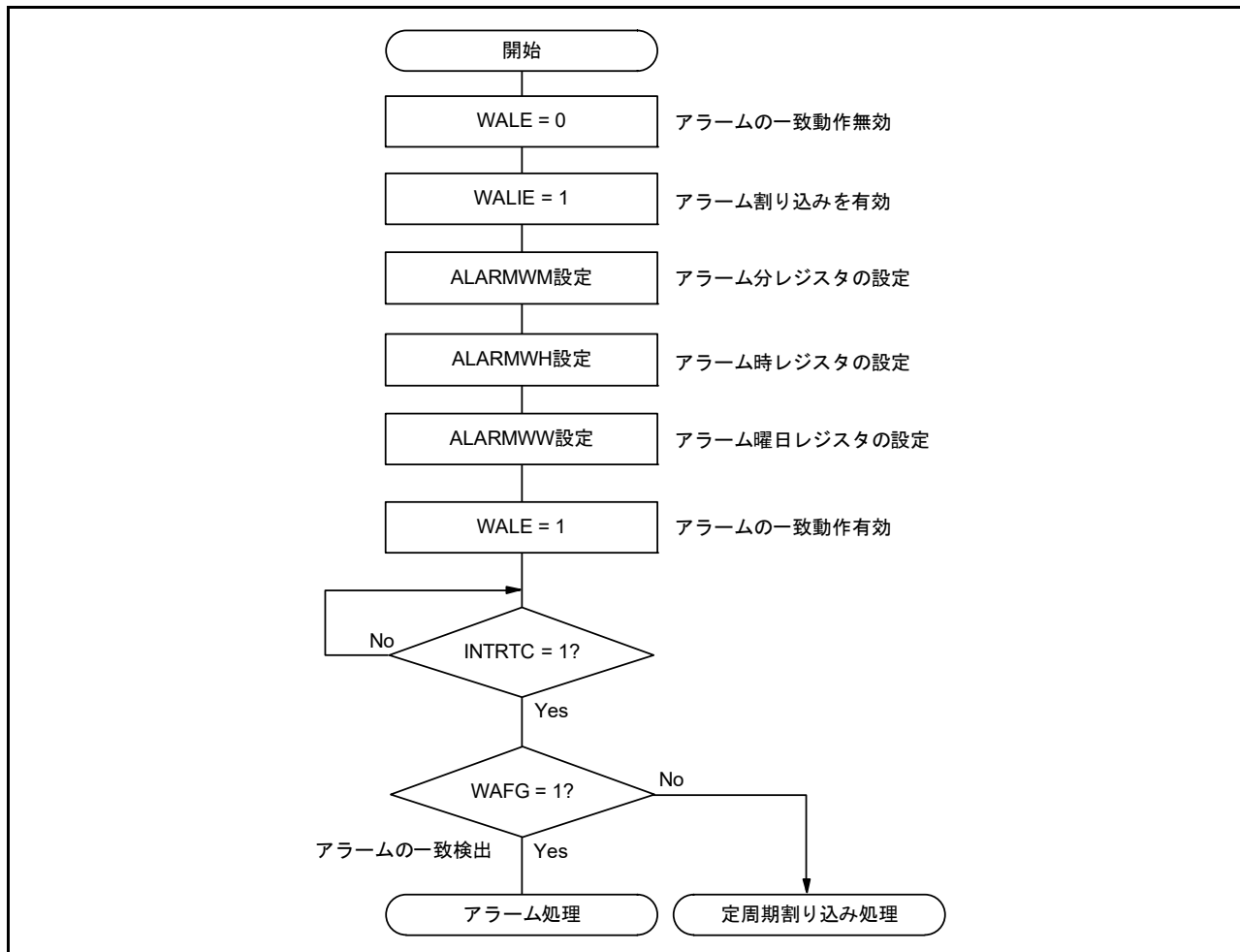
注意2. カウンタ動作中 (RTCE = 1) にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFG, RIFG, RTCIFフラグをクリアしてください。

備考 秒カウンタ・レジスタ (SEC)、分カウンタ・レジスタ (MIN)、時カウンタ・レジスタ (HOUR)、曜日カウンタ・レジスタ (WEEK)、日カウンタ・レジスタ (DAY)、月カウンタ・レジスタ (MONTH)、年カウンタ・レジスタ (YEAR) の書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えてもかまいません。

16.4.4 リアルタイム・クロックのアラーム設定

アラーム時刻設定は、最初に WALE = 0 (アラーム動作無効) にしてから行ってください。

図 16 - 23 アラーム処理手順

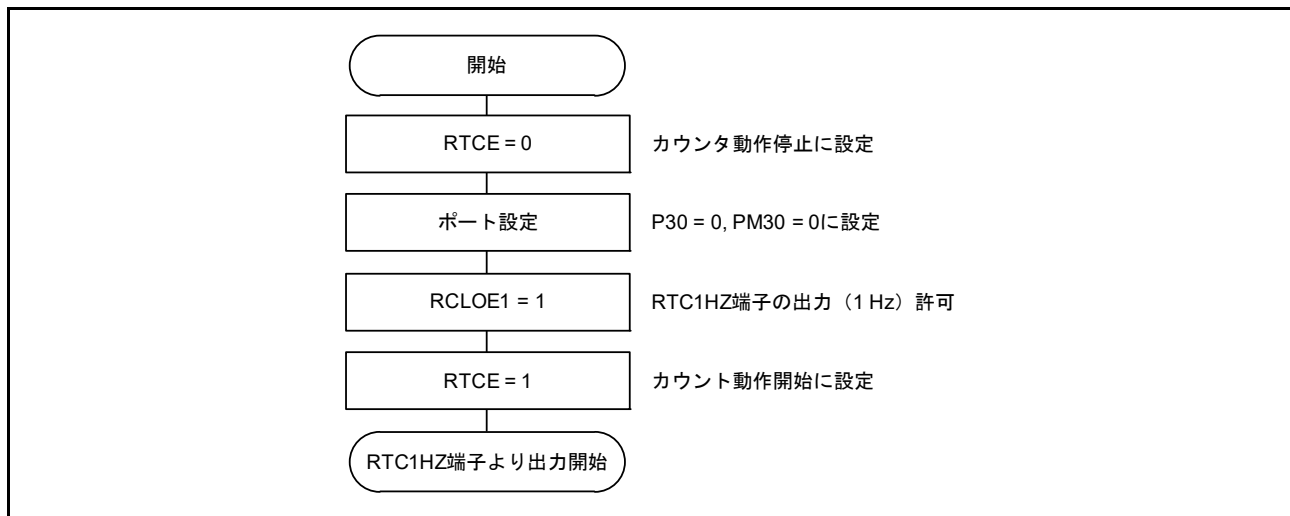


備考1. アラーム分レジスタ (ALARMWWM)、アラーム時レジスタ (ALARMWH)、アラーム曜日レジスタ (ALARMWWW) の書き込みの順番に制限はありません。

備考2. 定周期割り込みとアラーム割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

16.4.5 リアルタイム・クロックの1 Hz出力

図16-24 1 Hz出力の設定手順



注意 カウント・クロック (f_{RTCCK}) が発振安定状態において、最初にRTCWEN = 1の設定を行ってください。

16.4.6 リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

内部カウンタ（16ビット）のカウンタ値を補正する際の補正値は、次の式で算出できます。補正範囲が、-63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0 の場合)

補正値^注 = 1分間の補正カウント数 ÷ 3 = (発振周波数 ÷ ターゲット周波数 - 1) × 32768 × 60 ÷ 3

(DEV = 1 の場合)

補正値^注 = 1分間の補正カウント数 = (発振周波数 ÷ ターゲット周波数 - 1) × 32768 × 60

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

(F6 = 0 の場合) 補正値 = {(F5, F4, F3, F2, F1, F0) - 1} × 2

(F6 = 1 の場合) 補正値 = -{(F5, F4, F3, F2, F1, F0) + 1} × 2

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100Bのときは000011B) となります。

備考1. 補正値は、2, 4, 6, 8, … 120, 122, 124、または-2, -4, -6, -8, … -120, -122, -124です。

備考2. 発振周波数とは、カウンタ・クロック (fRTCLK) の値です。

時計誤差補正レジスタが初期値 (00H) 時のRTC1HZ端子の出力周波数 × 32768で求めることができます。

備考3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例①

32772.3 Hz から 32768 Hz (32772.3 Hz – 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数^注はPCLBUZ0端子から約32.768 kHzを出力するか、時計誤差補正レジスタ (SUBCUD) が初期値 (00H) 時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、**16.4.5 リアルタイム・クロックの1 Hz出力**、PCLBUZ0端子から約32 kHzの出力の設定手順は、**18.4 クロック出力/ブザー出力制御回路の動作**を参照してください。

【補正値の算出】

(PCLBUZ0端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz – 131.2 ppm) とすると、– 131.2 ppmは補正範囲が–63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= 1 \text{ 分間の補正カウンタ数} \div 3 \\ &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = 86の場合)

補正値が0以上 (遅くする場合) では、F6 = 0とします。

(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

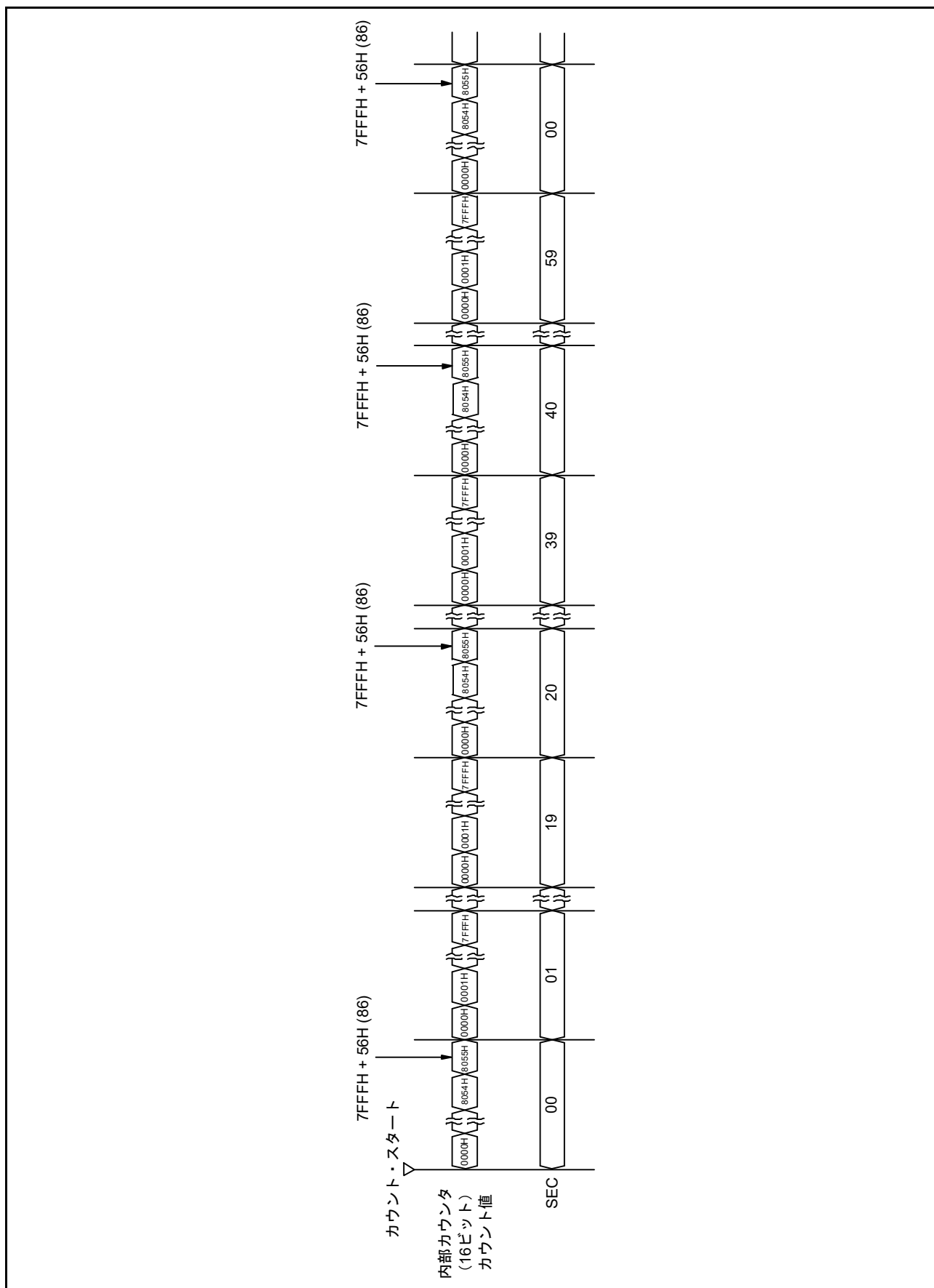
$$\begin{aligned} \{(F5, F4, F3, F2, F1, F0) - 1\} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz – 131.2 ppm) への補正の場合、

DEV = 0、補正値 = 86 (SUBCUDレジスタのビット6-0 : 0101100B) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

図16 - 25に (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の補正動作を示します。

図 16 - 25 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の補正動作



補正例②

32767.4 Hz から 32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数^注を、時計誤差補正レジスタ (SUBCUD) が初期値 (00H) 時に RTC1HZ 端子から約 1 Hz を出力して測定します。

注 RTC1Hz出力の設定手順は、**16.4.5 リアルタイム・クロックの1 Hz出力**を参照してください。

【補正値の算出】

(RTC1HZ 端子からの出力周波数が 0.9999817 Hz の場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \approx 32767.4 \text{ Hz}$$

ターゲット周波数を 32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1 とします。

DEV = 1 の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= 1 \text{ 分間の補正カウント数} \\ &= \text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = -36 の場合)

補正値が 0 以下 (速くする場合) では、F6 = 1 とします。

(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

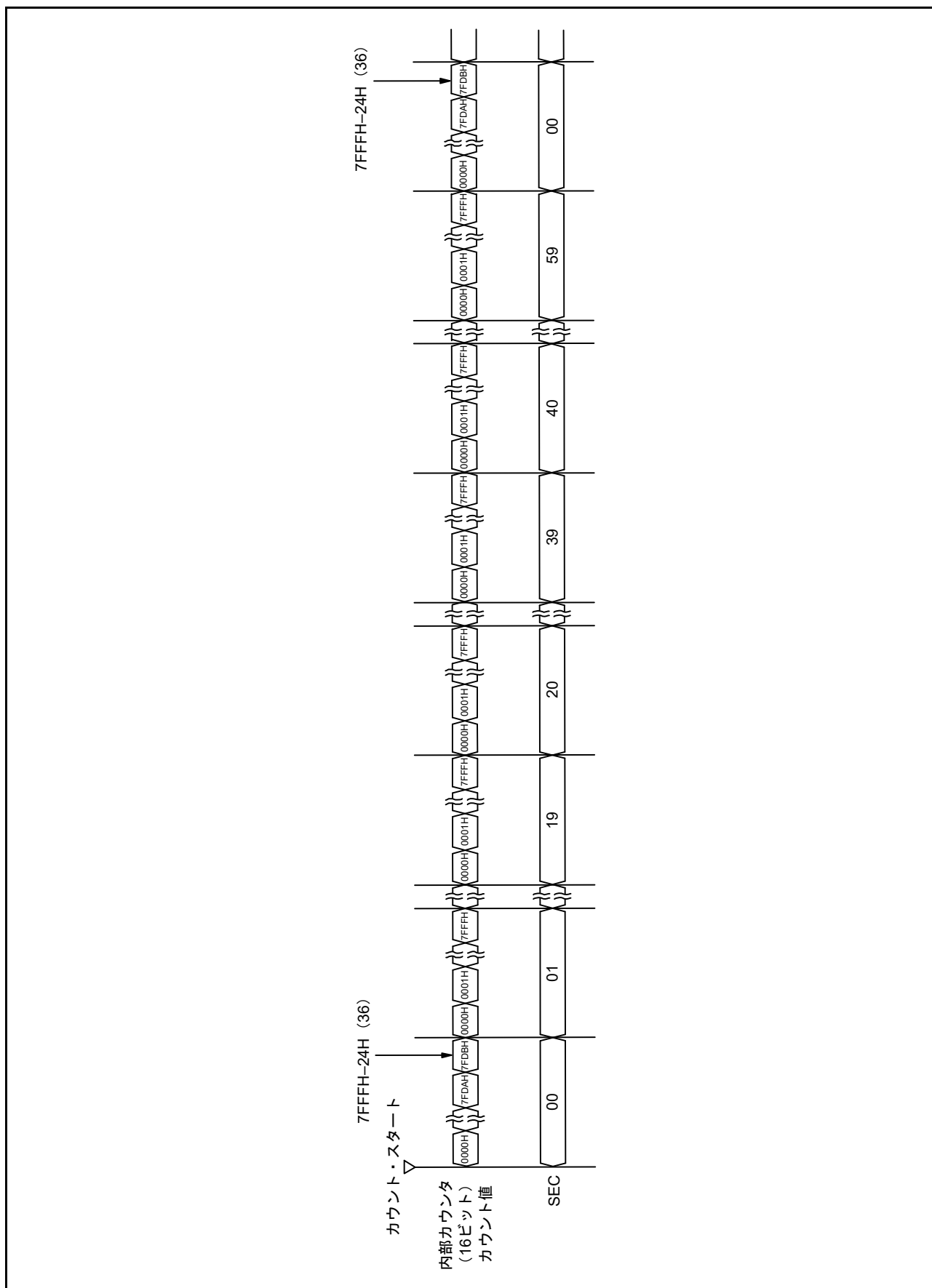
$$\begin{aligned} -\{(/F5, /F4, /F3, /F2, /F1, /F0) + 1\} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hz から 32768 Hz (32767.4 Hz + 18.3 ppm) への補正の場合、

DEV = 1、補正値 = -36 (SUBCUD レジスタのビット 6-0 : 1101110B) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

図 16 - 26に (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の補正動作を示します。

図16-26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の補正動作



第17章 32ビット・インターバル・タイマ (TML32)

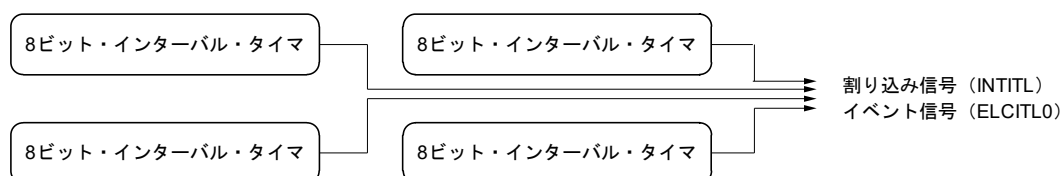
32ビット・インターバル・タイマは同機能を持つ8ビット・インターバル・タイマを4つ（チャンネル0～チャンネル3）持ち、それぞれが独立して動作します。また、2つの8ビット・インターバル・タイマを連結動作させることで16ビット・インターバル・タイマとして、4つの8ビット・インターバル・タイマを連結動作させることで32ビット・インターバル・タイマとして動作することができます。

17.1 概要

32ビット・インターバル・タイマはCPUと非同期のfMXP, fSXP, fIHP, fIMPクロックで動作する32ビット・インターバル・タイマです。32ビット・インターバル・タイマは、次のような機能があります。

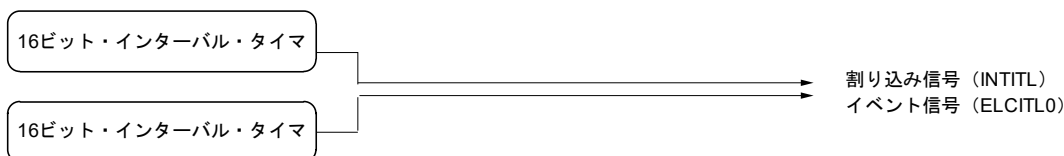
(1) 8ビット・カウンタ・モード

一定間隔で割り込み（INTITL）を発生する8ビットのインターバル・タイマを4つ利用できます。



(2) 16ビット・カウンタ・モード

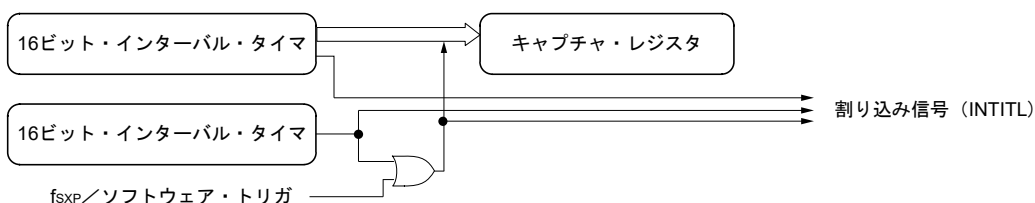
一定間隔で割り込み（INTITL）を発生する16ビットのインターバル・タイマを2つ利用できます。



(3) 16ビット・キャプチャ・モード

一定間隔で割り込み（INTITL）を発生する16ビットのインターバル・タイマを2つ利用できます。

16ビット・インターバル・タイマのカウンタ値は所定のキャプチャ・トリガでキャプチャ・レジスタに保持できます。



(4) 32ビット・カウンタ・モード

一定間隔で割り込み (INTITL) を発生する32ビットのインターバル・タイマを1つ利用できます。



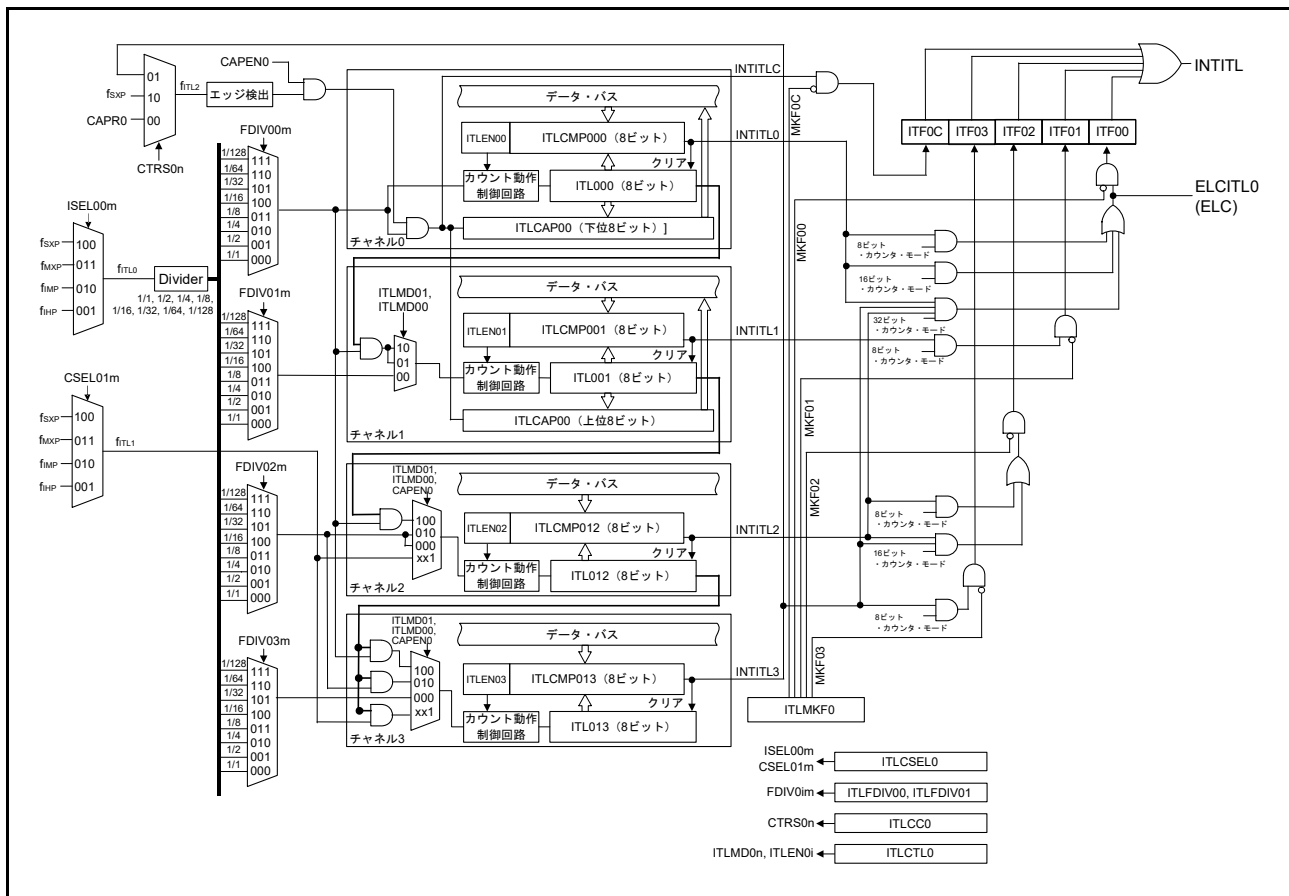
表 17 - 1 に 32 ビット・インターバル・タイマの動作仕様、図 17 - 1 に 32 ビット・インターバル・タイマのブロック図を示します。

表17-1 32ビット・インターバル・タイマの動作仕様

項目	内容
カウント・ソース (動作クロック)	<ul style="list-style-type: none"> • fMXP • fSXP • fiHP • fiMP
キャプチャ・クロック (キャプチャ・トリガをタイマで生成する場合のタイマの動作クロック)	<ul style="list-style-type: none"> • fMXP • fSXP • fiHP • fiMP
分周比	• 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128
動作モード	<ul style="list-style-type: none"> • 8ビット・カウンタ・モード チャンネル0、チャンネル1、チャンネル2、チャンネル3が独立した8ビット・カウンタとして動作するモード • 16ビット・カウンタ・モード チャンネル0とチャンネル1の組み合わせおよびチャンネル2とチャンネル3の組み合わせでカウンタが連結して16ビット・カウンタとして動作するモード • 32ビット・カウンタ・モード チャンネル0、チャンネル1、チャンネル2、チャンネル3を連結して32ビット・カウンタとして動作するモード • 16ビット・キャプチャ・モード チャンネル0、チャンネル1を連結してカウンタ・ソースで動作する16ビット・カウンタと、チャンネル2、チャンネル3を連結してキャプチャ・クロックで動作する16ビット・カウンタを用い、キャプチャ動作を行うモード
割り込み	<ul style="list-style-type: none"> • 5つの割り込み要因を束ね、1本の割り込み信号 (INTITL) を出力 <ul style="list-style-type: none"> - チャンネル0、チャンネル1、チャンネル2、チャンネル3の各カウンタがコンペア値と一致 - キャプチャ・モード時にカウンタ値のキャプチャが完了したとき出力
ELC	<ul style="list-style-type: none"> • ELC用トリガ信号であるELCITL0を出力 チャンネル0のカウンタがコンペア値と一致

- 備考**
- fMXP : 高速周辺クロック周波数
 - fSXP : 低速周辺クロック周波数
 - fiHP : 高速オンチップ・オシレータ周辺クロック周波数
 - fiMP : 中速オンチップ・オシレータ周辺クロック周波数 (4 MHz)

図 17 - 1 32ビット・インターバル・タイマのブロック図



- ITL000, ITL001, ITL012, ITL013 : 8ビット・カウンタ
 16ビット・カウンタ・モードの場合、チャンネル0とチャンネル1のカウンタが連結 (ITL000 + ITL001)
 またチャンネル2とチャンネル3のカウンタが連結 (ITL012 + ITL013)
 32ビット・カウンタ・モードの場合、チャンネル0とチャンネル1とチャンネル2とチャンネル3のカウンタが連結 (ITL000 + ITL001 + ITL012 + ITL013)
- ISEL00m, CSEL01m : ITLCSEL0 レジスタのビット
- FDIV0im : ITLFDIV0n レジスタのビット
- CTRS0n : ITLCC0 レジスタのビット
- ITLMD0n, ITLEN0i : ITLCTL0 レジスタのビット

注意 8/16/32ビット・カウンタ・モードの場合、fiHPを64MHzに設定できません。インターバル・タイマ分周レジスタn (ITLFDIV0n) の設定により、fitL0/2以下に設定してください。また、16ビット・キャプチャ・モードの場合、fiHPを64MHzに設定できません。

備考 n = 0, 1; m = 0-2; i = 0-3

17.2 32ビット・インターバル・タイマを制御するレジスタ

32ビット・インターバル・タイマを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- インターバル・タイマ・コンペア・レジスタ0mn (ITLCMP0mn) (mn = 00, 01, 12, 13)
- インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0n) (n = 0, 1)
- インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00)
- インターバル・タイマ制御レジスタ (ITLCTL0)
- インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)
- インターバル・タイマ分周レジスタ0 (ITLFDIV00)
- インターバル・タイマ分周レジスタ1 (ITLFDIV01)
- インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)
- インターバル・タイマ・ステータス・レジスタ (ITLS0)
- インターバル・タイマ一致検出マスク・レジスタ (ITLMKF0)

17.2.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

32ビット・インターバル・タイマを使用する場合は、必ず TML32EN ビットに1を設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	2	1	<0>
PER1	DACEN	0	PGACMPEN	TML32EN	DTCEN	0	0	DALIEN

TML32EN	32ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • 32ビット・インターバル・タイマで使用するSFRへのライト不可 • 32ビット・インターバル・タイマで使用するSFRをリードした場合は00Hまたは0000Hが読めます。
1	入カクロック供給 <ul style="list-style-type: none"> • 32ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注意 ビット6, 2, 1には、必ず0を設定してください。

17.2.2 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

32ビット・インターバル・タイマをリセットする場合は、TML32RES ビットに1を設定してください。

PRR1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	3	2	1	<0>
PRR1	DACRES	0	PGACMPRES	TML32RES	0	0	0	DALIRES
TML32RES	32ビット・インターバル・タイマの周辺リセット制御							
0	32ビット・インターバル・タイマのリセット解除							
1	32ビット・インターバル・タイマはリセット状態 ・32ビット・インターバル・タイマで使用するSFRが初期化されます。							

注意 ビット6, 3-1には、必ず0を設定してください。

17.2.3 インターバル・タイマ・コンペア・レジスタ 0mn (ITLCMP0mn) (mn = 00, 01, 12, 13)

ITLCMP0mn レジスタは、インターバル・タイマを 8 ビット・カウンタ・モードで使用する場合のコンペア値レジスタです。

ITLCMP0mn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

設定範囲は 01H ~ FFH です。00H の設定は禁止です。

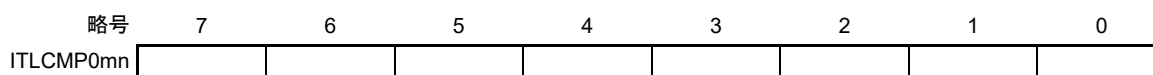
ITL000-ITL013 カウンタとの比較値を格納します。

図 17-4 インターバル・タイマ・コンペア・レジスタ 0mn (ITLCMP0mn) のフォーマット

アドレス : F0360H (ITLCMP000), F0361H (ITLCMP001), F0362H (ITLCMP012), F0363H (ITLCMP013)

リセット時: FFH

R/W属性 : R/W注



注 ITLCMP000 レジスタの設定は、ITLCTL0 レジスタの ITLEN00 ビットが 0 のときに行ってください。
 ITLCMP001 レジスタの設定は、ITLCTL0 レジスタの ITLEN01 ビットが 0 のときに行ってください。
 ITLCMP012 レジスタの設定は、ITLCTL0 レジスタの ITLEN02 ビットが 0 のときに行ってください。
 ITLCMP013 レジスタの設定は、ITLCTL0 レジスタの ITLEN03 ビットが 0 のときに行ってください。

17.2.4 インターバル・タイマ・コンペア・レジスタ 0n (ITLCMP0n) (n = 0, 1)

ITLCMP0n レジスタは、インターバル・タイマを 16 ビット・カウンタ・モードおよび 32 ビット・カウンタ・モードで使用する場合のコンペア値レジスタです。

ITLCMP0n レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFH になります。

設定範囲は 0001H ~ FFFFH です。0000H の設定は禁止です。

ITL0n カウンタとの比較値を格納します。

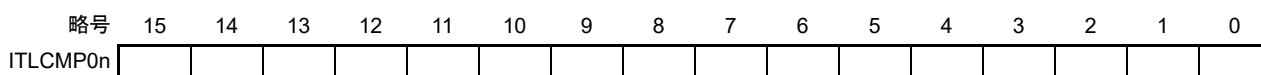
ITLCTL0 レジスタの ITLMD01, ITLMD00 ビットが 1, 0 の場合、32 ビット・カウンタ・モードのコンペア・レジスタとして、ITLCMP01 レジスタに上位 16 ビットのコンペア値、ITLCMP00 レジスタに下位 16 ビットのコンペア値を設定します。

図 17-5 インターバル・タイマ・コンペア・レジスタ 0n (ITLCMP0n) のフォーマット

アドレス : F0360H(ITLCMP00), F0362H (ITLCMP01)

リセット時: FFFFH

R/W属性 : R/W注



注 ITLCMP00 レジスタの設定は、ITLCTL0 レジスタの ITLEN00 ビットが 0 のときに行ってください。

ITLCMP01 レジスタの設定は、16 ビット・カウンタ・モードのときは ITLCTL0 レジスタの ITLEN02 ビットが 0 のときに行ってください。

32 ビット・カウンタ・モードのときは ITLCTL0 レジスタの ITLEN00 ビットが 0 のときに行ってください。

17.2.5 インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00)

ITLCAP00 レジスタは、インターバル・タイマを 16 ビット・カウンタ・モードとして使用する場合の 16 ビットのキャプチャ値レジスタです。

ITLCAP00 レジスタは、16 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、0000H になります。

ITLCC0 レジスタの CAPEN0 ビットが 1 のときに ITLCC0 レジスタで選択したキャプチャ・トリガにより、16 ビット・カウンタ (ITL000 + ITL001) の値を ITLCAP00 レジスタに格納します。

ITLCMP01 レジスタのコンペア一致割り込みを使用する場合は、ITLCSEL0 レジスタでカウント・クロックを選択し、ITLCMP01 レジスタにコンペア値を設定します。

図 17-6 インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00) のフォーマット

アドレス : F0364H

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITLCAP00																

17.2.6 インターバル・タイマ制御レジスタ (ITLCTL0)

ITLCTL0 レジスタは、インターバル・タイマのカウント停止/開始の設定と 8 ビット・カウンタ/16 ビット・カウンタ/32 ビット・カウンタ動作の切り替えを設定するレジスタです。

ITLCTL0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 17-7 インターバル・タイマ制御レジスタ (ITLCTL0) のフォーマット (1/2)

アドレス : F0366H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ITLCTL0	ITLMD01	ITLMD00	0	0	ITLEN03	ITLEN02	ITLEN01	ITLEN00
ITLMD01	ITLMD00	8/16/32ビット・カウンタ・モード選択 ^{注1}						
0	0	8ビット・カウンタとして動作						
0	1	16ビット・カウンタとして動作 (チャンネル0 + チャンネル1、およびチャンネル2 + チャンネル3を連結)						
1	0	32ビット・カウンタとして動作 (チャンネル0 + チャンネル1 + チャンネル2 + チャンネル3を連結)						
1	1	設定禁止						
ITLEN03	8ビット・カウンタ・モード時 : ITL013のカウント・イネーブル ^{注2}							
0	カウント停止							
1	カウント開始							
8ビット・カウンタ・モードでは、ITLEN03ビットに1を書くことによりITL013がカウント・アップを開始し、0を書くことによりカウントを停止します。 16ビット・カウンタ・モードでは、0を設定してください。 32ビット・カウンタ・モードでは、0を設定してください。								
ITLEN02	8ビット・カウンタ・モード時 : ITL012のカウント・イネーブル ^{注2} 16ビット・カウンタ・モード時 : ITL012 + ITL013のカウント・イネーブル ^{注2}							
0	カウント停止							
1	カウント開始							
8ビット・カウンタ・モードでは、ITLEN02ビットに1を書くことによりITL012がカウント・アップを開始し、0を書くことによりカウントを停止します。 16ビット・カウンタ・モードでは、ITLEN02ビットに1を書くことによりITL012 + ITL013がカウント・アップを開始し、0を書くことによりカウントを停止します。 32ビット・カウンタ・モードでは、0を設定してください。								

図 17 - 7 インターバル・タイマ制御レジスタ (ITLCTL0) のフォーマット (2/2)

ITLEN01	8ビット・カウンタ・モード時：ITL001のカウンタ・イネーブル ^{注2}
0	カウンタ停止
1	カウンタ開始
8ビット・カウンタ・モードでは、ITLEN01ビットに1を書くことによりITL001がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。 16ビット・カウンタ・モードでは、0を設定してください。 32ビット・カウンタ・モードでは、0を設定してください。	

ITLEN00	8ビット・カウンタ・モード時：ITL000のカウンタ・イネーブル ^{注2} 16ビット・カウンタ・モード時：ITL000 + ITL001のカウンタ・イネーブル ^{注2} 32ビット・カウンタ・モード時：ITL000 + ITL001 + ITL012 + ITL013の カウンタ・イネーブル ^{注2}
0	カウンタ停止
1	カウンタ開始
8ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。 16ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000 + ITL001がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。 32ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000 + ITL001 + ITL012 + ITL013がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。	

- 注1.** ITLMD01, ITLMD00ビットのカウンタ・モードを変更する場合、必ずITLEN03-ITLEN00ビットがすべて0のときに書き換え操作を行ってください。
- 注2.** ITLEN03-ITLEN00ビットを0にした場合、カウンタ・クロックに同期せずに該当カウンタの値が0にクリアされます。

モード	ITLMD01	ITLMD00	ITLEN03	ITLEN02	ITLEN01	ITLEN00	該当カウンタ
8ビット	0	0				○	ITL000
					○		ITL001
				○			ITL012
			○				ITL013
16ビット	0	1	常に0設定		常に0設定	○	ITL000 + ITL001
			常に0設定	○	常に0設定		ITL012 + ITL013
32ビット	1	0	常に0設定	常に0設定	常に0設定	○	ITL000 + ITL001 + ITL012 + ITL013

備考 ○は該当カウンタに対するカウンタ・イネーブルです。

8ビット・カウンタ・モードで、ITLEN03-ITLEN00ビットを複数同時に1または0にすることも可能です。
 16ビット・カウンタ・モードで、ITLEN02, ITLEN00ビットを複数同時に1または0にすることも可能です。

17.2.7 インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)

ITLCSEL0 レジスタは、インターバル・タイマのカウント・ソースを設定するレジスタです。

ITLCSEL0 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-8 インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0) のフォーマット

アドレス : F0367H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLCSEL0	0	CSEL012	CSEL011	CSEL010	0	ISEL002	ISEL001	ISEL000

CSEL012	CSEL011	CSEL010	キャプチャ用インターバル・タイマ・カウント・クロック (fitL1) 選択 ^{注1}
0	0	0	動作停止
0	0	1	fiHP ^{注2}
0	1	0	fiMP
0	1	1	fiMP
1	0	0	fSXP
上記以外			設定禁止

ISEL002	ISEL001	ISEL000	インターバル・タイマ・カウント・クロック (fitL0) 選択 ^{注1}
0	0	0	動作停止
0	0	1	fiHP ^{注2}
0	1	0	fiMP
0	1	1	fiMP
1	0	0	fSXP
上記以外			設定禁止

注1. CSEL012-CSEL010ビットおよびISEL002-ISEL000ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

注2. 8/16/32ビット・カウンタ・モードの場合、fiHPを64 MHzに設定できません。インターバル・タイマ分周レジスタn (ITLFDIV0n) の設定により、fitL0/2以下に設定してください。また、16ビット・キャプチャ・モードの場合、fiHPを64 MHzに設定できません。

- 備考1.** fiMP : 高速周辺クロック周波数
 fSXP : 低速周辺クロック周波数
 fiHP : 高速オンチップ・オシレータ周辺クロック周波数
 fiMP : 中速オンチップ・オシレータ周辺クロック周波数

備考2. n = 0, 1

17.2.8 インターバル・タイマ分周レジスタ0 (ITLFDIV00)

ITLFDIV00 レジスタは、インターバル・タイマのカウント・クロックを設定するレジスタです。

ITLFDIV00 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-9 インターバル・タイマ分周レジスタ0 (ITLFDIV00) のフォーマット (1/2)

アドレス : F0368H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLFDIV00	0	FDIV012	FDIV011	FDIV010	0	FDIV002	FDIV001	FDIV000

FDIV012	FDIV011	FDIV010	8ビット・カウンタ・モード時 : ITL001のカウント・クロック注1
0	0	0	fitL0
0	0	1	fitL0/2
0	1	0	fitL0/4
0	1	1	fitL0/8
1	0	0	fitL0/16
1	0	1	fitL0/32
1	1	0	fitL0/64
1	1	1	fitL0/128

8ビット・カウンタ・モードでは、FDIV012-FDIV010ビットに設定したカウント・クロックによりITL001がカウントします。
 16ビット・カウンタ・モードでは、000Bに設定してください。
 32ビット・カウンタ・モードでは、000Bに設定してください。

図 17 - 9 インターバル・タイマ分周レジスタ 0 (ITLFDIV00) のフォーマット (2/2)

FDIV002	FDIV001	FDIV000	8ビット・カウンタ・モード時：ITL000のカウンタ・クロック ^{注2} 16ビット・カウンタ・モード時： ITL000 + ITL001のカウンタ・クロック ^{注2} 32ビット・カウンタ・モード時： ITL000 + ITL001 + ITL012 + ITL013のカウンタ・クロック ^{注2}
0	0	0	fitL0
0	0	1	fitL0/2
0	1	0	fitL0/4
0	1	1	fitL0/8
1	0	0	fitL0/16
1	0	1	fitL0/32
1	1	0	fitL0/64
1	1	1	fitL0/128

8ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウンタ・クロックによりITL000がカウントします。
16ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウンタ・クロックによりITL000 + ITL001がカウントします。
32ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウンタ・クロックによりITL000 + ITL001 + ITL012 + ITL013がカウントします。

注1. FDIV012-FDIV010ビットの設定は、8ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN01ビットが0のときに行ってください。

注2. FDIV002-FDIV000ビットの設定は、ITLCTL0レジスタのITLEN00ビットが0のときに行ってください。

17.2.9 インターバル・タイマ分周レジスタ1 (ITLFDIV01)

ITLFDIV01 レジスタは、インターバル・タイマのカウント・クロックを設定するレジスタです。

ITLFDIV01 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-10 インターバル・タイマ分周レジスタ1 (ITLFDIV01) のフォーマット

アドレス : F0369H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLFDIV01	0	FDIV032	FDIV031	FDIV030	0	FDIV022	FDIV021	FDIV020

FDIV032	FDIV031	FDIV030	8ビット・カウンタ・モード時 : ITL013のカウント・クロック注1
0	0	0	fitL0
0	0	1	fitL0/2
0	1	0	fitL0/4
0	1	1	fitL0/8
1	0	0	fitL0/16
1	0	1	fitL0/32
1	1	0	fitL0/64
1	1	1	fitL0/128

8ビット・カウンタ・モードでは、FDIV032-FDIV030ビットに設定したカウント・クロックによりITL013がカウントします。
16ビット・カウンタ・モードでは、000Bに設定してください。
32ビット・カウンタ・モードでは、000Bに設定してください。

FDIV022	FDIV021	FDIV020	8ビット・カウンタ・モード時 : ITL012のカウント・クロック注2 16ビット・カウンタ・モード時 : ITL012 + ITL013のカウント・クロック注2
0	0	0	fitL0
0	0	1	fitL0/2
0	1	0	fitL0/4
0	1	1	fitL0/8
1	0	0	fitL0/16
1	0	1	fitL0/32
1	1	0	fitL0/64
1	1	1	fitL0/128

8ビット・カウンタ・モードでは、FDIV022-FDIV020ビットに設定したカウント・クロックによりITL012がカウントします。
16ビット・カウンタ・モードでは、FDIV022-FDIV020ビットに設定したカウント・クロックによりITL012 + ITL013がカウントします。
32ビット・カウンタ・モードでは、使用しないため000Bに設定してください。

注1. FDIV032-FDIV030ビットの設定は、8ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN03ビットが0のときに行ってください。

- 注2.** FDIV022-FDIV020 ビットの設定は、8ビットおよび16ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN02ビットが0のときに行ってください。

17.2.10 インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)

ITLCC0 レジスタは、インターバル・タイマのキャプチャ機能の有効/無効の設定と、キャプチャ完了フラグの格納およびクリアの設定、ソフトウェア・トリガの設定、キャプチャ・トリガ選択の設定を行うレジスタです。

ITLCC0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-11 インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0) のフォーマット

アドレス : F036AH

リセット時: 00H

R/W属性 : R/W

略号	7	<6>	5	<4>	3	2	1	0
ITLCC0	CAPEN0	CAPF0CR	CAPF0	CAPR0	CAPC0CR	0	CTRS01	CTRS00
CAPEN0		キャプチャ・イネーブル ^{注1}						
0		キャプチャ無効						
1		キャプチャ有効						
CAPF0CR		キャプチャ完了フラグ・クリア ^{注2}						
0		キャプチャ完了フラグCAPF0を保持						
1		キャプチャ完了フラグCAPF0をクリア						
CAPF0		キャプチャ完了フラグ ^{注3}						
0		キャプチャ未了						
1		キャプチャ完了 CTRS01, CTRS00ビットで設定したキャプチャ・トリガの発生後、ITLCAP00レジスタにデータをキャプチャすると1になります。 CAPF0CRビットに1を書き込むと0にクリアされます。						
CAPR0		ソフトウェア・キャプチャ・トリガ ^{注4,7}						
0		トリガ動作しない						
1		キャプチャのためのソフトウェア・トリガを発生させる						
CAPC0CR		キャプチャ完了後16ビット・カウンタ (ITL000 + ITL001) クリア選択 ^{注5}						
0		キャプチャ完了後、16ビット・カウンタ (ITL000 + ITL001) を保持するモード						
1		キャプチャ完了後、16ビット・カウンタ (ITL000 + ITL001) をクリアするモード						
CTRS01	CTRS00	キャプチャ・トリガ選択 ^{注6,7}						
0	0	ソフトウェア・トリガ						
0	1	ITLCMP01のコンペアー一致割り込み ^{注8}						
1	0	fSXP (立ち上がりエッジ)						
上記以外		設定禁止						

注1. CAPEN0ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

注2. CAPF0CRビットを読み出すと常に0が読めます。

注3. ビット5はRead Onlyです。

- 注4. CAPR0ビットを読み出すと常に0が読めます。
- 注5. CAPC0CRビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。
- 注6. CTRS01, CTRS00ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。
- 注7. キャプチャ動作では、キャプチャ・トリガを発生させる間隔をカウント・クロックで2クロック以上にしてください。
- 注8. キャプチャ・トリガにITLCMP01のコンペア一致割り込みを選択すると、キャプチャ時にチャンネル2のコンペア一致検出フラグ (ITF02) とキャプチャ検出フラグ (ITF0C) がセットされます。キャプチャ検出フラグのみ使用する場合は、ITLMKF0レジスタの設定でチャンネル2のコンペア一致検出フラグをマスクしてください。

17.2.11 インターバル・タイマ・ステータス・レジスタ (ITLS0)

ITLS0 レジスタは、インターバル・タイマのステータス・レジスタです。

ITLS0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

ITL0mn レジスタ (mn = 00, 01, 12, 13) のカウンタ値が、ITLCMP0mn, ITLCMP00, ITLCMP01 レジスタに設定した値と一致したとき、対応するチャンネルのコンペアー一致検出フラグがセットされます。また、ITLCC0 レジスタの CAPEN0 ビットが 1 のときにキャプチャ・トリガが発生し、ITL0n のカウンタ値が ITLCAP00 レジスタにセットされるとキャプチャ検出フラグがセットされます。

本レジスタの ITF0C, ITF03-ITF00 ビットを OR した信号を割り込み要求 (INTITL) として割り込み出力します。

表 17-2 に ITLMD01, ITLMD00 ビットのモードごとのステータス・フラグがセットされる要因を示します。

図 17-12 インターバル・タイマ・ステータス・レジスタ (ITLS0) のフォーマット

アドレス : F036BH
 リセット時: 00H
 R/W属性 : R/W注

略号	7	6	5	4	3	2	1	0
ITLS0	0	0	0	ITF0C	ITF03	ITF02	ITF01	ITF00
ITF0C	キャプチャ検出フラグ							
0	キャプチャ完了を未検出							
1	キャプチャ完了を検出							
ITF03	チャンネル3のコンペアー一致検出フラグ							
0	チャンネル3コンペアー一致信号を未検出							
1	チャンネル3コンペアー一致信号を検出							
ITF02	チャンネル2のコンペアー一致検出フラグ							
0	チャンネル2コンペアー一致信号を未検出							
1	チャンネル2コンペアー一致信号を検出							
ITF01	チャンネル1のコンペアー一致検出フラグ							
0	チャンネル1コンペアー一致信号を未検出							
1	チャンネル1コンペアー一致信号を検出							
ITF00	チャンネル0のコンペアー一致検出フラグ							
0	チャンネル0コンペアー一致信号を未検出							
1	チャンネル0コンペアー一致信号を検出							

注 1の書き込みは無効になります。ITF0C, ITF0i (i = 0-3) ビットをクリアする場合は、対象ビットに0を、ほかのビットに1を8ビット・メモリ操作命令で書き込んでください。

注意1. ITF0C, ITF03, ITF02, ITF01, ITF00 ビットのいずれかを0にクリアしたときに、ITLS0 レジスタが00Hにならない場合は割り込み要求信号 (INTITL) が発生し、割り込み要求フラグ (ITLIF) が1にセットされます。

(注意は次ページに続きます)

注意2. ITLS0レジスタの各ビットを0にクリアするときは、1になっているビットに対して0を設定してください。

0のビットに0を書き込むと、0の書き込みと同時に発生したコンペア一致信号またはキャプチャ検出信号を検出できない場合があります。たとえば、ITF01ビットが1にセットされている場合、ITLS0レジスタに00011101Bを設定してITF01ビットをクリアしてください。

表17-2 モードごとのステータス・フラグのセット要因

モード	ITLMD01	ITLMD00	CAPEN0	ステータス・フラグ	ステータス・フラグ発生要因
8ビット	0	0	×	ITF00	ITLCMP000とITL000が一致後、次のカウントクロックの立ち上がり
			×	ITF01	ITLCMP001とITL001が一致後、次のカウントクロックの立ち上がり
			×	ITF02	ITLCMP012とITL012が一致後、次のカウントクロックの立ち上がり
			×	ITF03	ITLCMP013とITL013が一致後、次のカウントクロックの立ち上がり
16ビット	0	1	×	ITF00	ITLCMP00とITL000 + ITL001が一致後、次のカウントクロックの立ち上がり
			×	ITF02	ITLCMP01とITL012 + ITL013が一致後、次のカウントクロックの立ち上がり
			1	ITF0C	キャプチャ・トリガ発生後、ITL000 + ITL001の値がITLCAP00にセットされる時
32ビット	1	0	—	ITF00	ITLCMP00 + ITLCMP01とITL000 + ITL001 + ITL012 + ITL013が一致後、次のカウントクロックの立ち上がり

備考 × : Don't care

17.2.12 インターバル・タイマー一致検出マスク・レジスタ (ITLMKF0)

ITLMKF0 レジスタは、インターバル・タイマ・ステータス・レジスタ (ITLS0) の各ビットに1をセットする動作の許可/禁止を設定するレジスタです。

ITLMKF0 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

MKF0C, MKF03-MKF00 ビットに1を設定することにより、対応するステータス・フラグ (ITF0C, ITF03-ITF00) はマスクされ、コンペア・レジスタの一致検出およびキャプチャ完了を検出しても1にセットされません。ステータス・フラグが1にセットされないため、インターバル検出割り込み (INTITL) も発生しません。

図17-13 インターバル・タイマー一致検出マスク・レジスタ (ITLMKF0) のフォーマット

アドレス : F036CH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLMKF0	0	0	0	MKF0C	MKF03	MKF02	MKF01	MKF00

MKF0C	キャプチャ検出ステータス・フラグのマスク注
0	ITF0Cフラグをマスクしない
1	ITF0Cフラグをマスクする

MKF03	チャンネル3コンペア一致ステータス・フラグのマスク注
0	ITF03フラグをマスクしない
1	ITF03フラグをマスクする

MKF02	チャンネル2コンペア一致ステータス・フラグのマスク注
0	ITF02フラグをマスクしない
1	ITF02フラグをマスクする

MKF01	チャンネル1コンペア一致ステータス・フラグのマスク注
0	ITF01フラグをマスクしない
1	ITF01フラグをマスクする

MKF00	チャンネル0コンペア一致ステータス・フラグのマスク注
0	ITF00フラグをマスクしない
1	ITF00フラグをマスクする

注 各ビットを1にしてマスク設定すると、ITLS0レジスタの対応するビットもセットされないため、ソフトウェアによるコンペア一致の検出およびキャプチャ完了を検出することはできません。チャンネル0～チャンネル3のコンペア一致動作をする場合は、必ず該当するステータス・フラグのマスクは0に設定してマスクをしないでください。キャプチャ完了ステータスに関しては、MKF0Cビットに1を設定してITF0Cフラグをマスクした場合でも、インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0) のCAPF0フラグでキャプチャの完了を検出することができます。

17.3 動作説明

17.3.1 カウンタ・モードの設定

32ビット・インターバル・タイマは、カウンタ・モードとして8ビット・カウンタ・モード／16ビット・カウンタ・モード／32ビット・カウンタ・モードの3種類のモードを持ちます。表17-3に8ビット・カウンタ・モード時の使用レジスタと設定内容、表17-4に16ビット・カウンタ・モード時の使用レジスタと設定内容、表17-5に32ビット・カウンタ・モード時の使用レジスタと設定内容を示します。

表17-3 8ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ0mn (ITLCMP0mn)	ビット7-0	チャンネル0-3のコンペア値を8ビットで設定してください。
インターバル・タイマ制御レジスタ0 (ITLCTL0)	ITLEN00	チャンネル0側のカウンタ開始／停止を選択してください。
	ITLEN01	チャンネル1側のカウンタ開始／停止を選択してください。
	ITLEN02	チャンネル2側のカウンタ開始／停止を選択してください。
	ITLEN03	チャンネル3側のカウンタ開始／停止を選択してください。
	ITLMD00	0に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn (ITLFDIV0n)	FDIV002-FDIV000	チャンネル0側のカウンタ・クロックを選択してください。
	FDIV012-FDIV010	チャンネル1側のカウンタ・クロックを選択してください。
	FDIV022-FDIV020	チャンネル2側のカウンタ・クロックを選択してください。
	FDIV032-FDIV030	チャンネル3側のカウンタ・クロックを選択してください。
インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)	ISEL002-ISEL000	インターバル・タイマのカウンタ・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)	ビット7-0	0に設定してください。

備考 mn = 00, 01, 12, 13

表17-4 16ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ 0n (ITLCMP0n)	ビット 15-0	チャンネル0, 1、およびチャンネル2, 3のコンペア値を16ビットで設定してください。
インターバル・タイマ制御レジスタ0 (ITLCTL0)	ITLEN00	チャンネル0, 1側のカウンタ開始/停止を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	チャンネル2, 3側のカウンタ開始/停止を選択してください。
	ITLEN03	0に設定してください。
	ITLMD00	1に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタ n (ITLFDIV0n)	FDIV002-FDIV000	チャンネル0, 1側のカウンタ・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	チャンネル2, 3側のカウンタ・クロックを選択してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック 選択レジスタ 0 (ITLCSEL0)	ISEL002-ISEL000	インターバル・タイマのカウンタ・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ 制御レジスタ 0 (ITLCC0)	ビット 7-0	0に設定してください。

備考 n = 0, 1

表17-5 32ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0n)	ビット15-0	32ビット・カウンタ・モードのコンペア値として、チャンネル0, 1 (ITLCMP00) に下位16ビットのコンペア値を、チャンネル2, 3 (ITLCMP01) に上位16ビットのコンペア値を設定してください。
インターバル・タイマ制御レジスタ0 (ITLCTL0)	ITLEN00	チャンネル0-3のカウンタ開始/停止を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	0に設定してください。
	ITLEN03	0に設定してください。
	ITLMD00	0に設定してください。
	ITLMD01	1に設定してください。
インターバル・タイマ分周レジスタn (ITLFDIV0n)	FDIV002-FDIV000	チャンネル0-3のカウンタ・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	000Bに設定してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)	ISEL002-ISEL000	インターバル・タイマのカウンタ・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)	ビット7-0	0に設定してください。

備考 n = 0, 1

17.3.2 キャプチャ・モードの設定

チャンネル0, 1は16ビット・キャプチャ・モードで使用するにより、設定したキャプチャ・トリガでカウント値をインターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00) に格納します。

表17-6 16ビット・キャプチャ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ00 (ITLCMP00)	ビット15-0	チャンネル0, 1のコンペア値を16ビットで設定してください。
インターバル・タイマ・コンペア・レジスタ01 (ITLCMP01) 注	ビット15-0	チャンネル2, 3のコンペア値を16ビットで設定してください。
インターバル・タイマ制御レジスタ0 (ITLCTLO)	ITLEN00	チャンネル0, 1側のカウント開始/停止制御を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	チャンネル2, 3側のカウント開始/停止制御を選択してください。
	ITLEN03	0に設定してください。
	ITLMD00	1に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn (ITLFDIV0n)	FDIV002-FDIV000	チャンネル0側のカウント・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	000Bに設定してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)	ISEL002-ISEL000	チャンネル0, 1側のインターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	チャンネル2, 3側のキャプチャ用インターバル・タイマのカウント・クロックを選択してください。
インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)	CAPEN0	1に設定してください。
	CAPC0CR	キャプチャ完了後のチャンネル0, 1側カウンタをクリアするか保持するかを設定してください。
	CTRS01, CTRS00	キャプチャ・トリガを選択してください。

注 ITLCMP01のコンペア一致割り込みをキャプチャ・トリガとして使用しない場合はチャンネル2、チャンネル3を16ビット・カウンタ・モードとして使用することができます。

備考 n = 0, 1

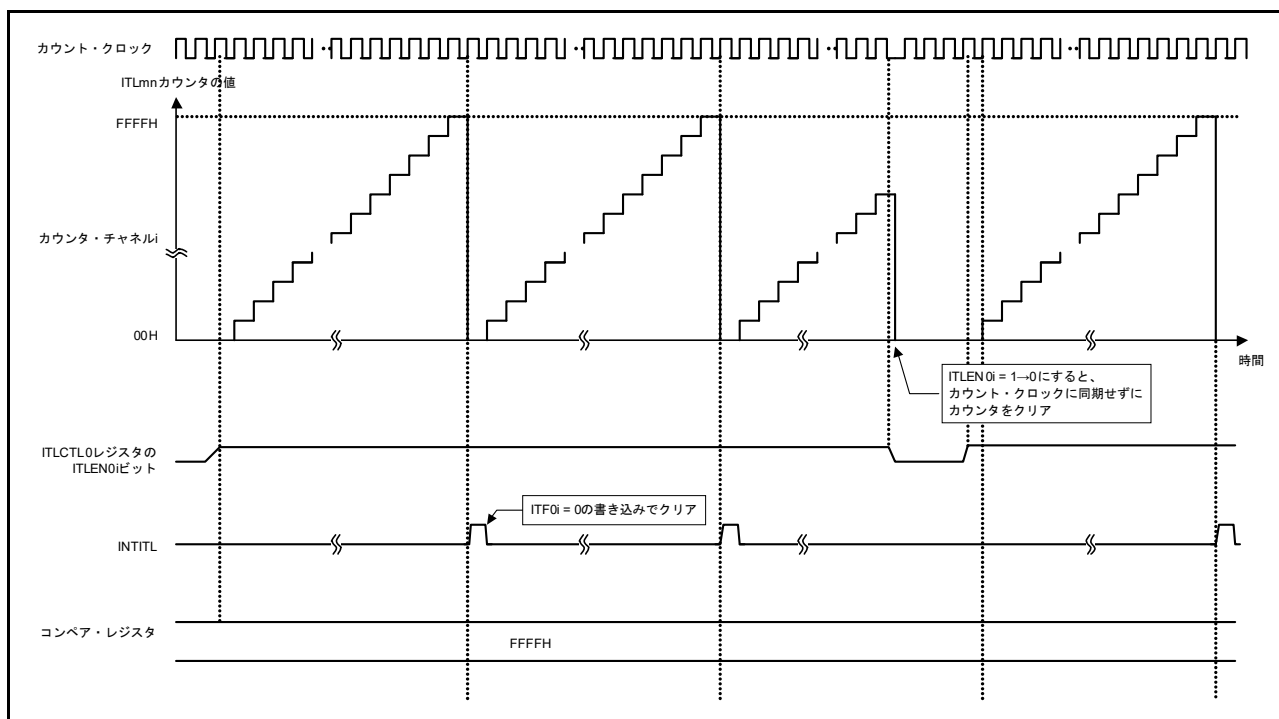
17.3.3 タイマ動作

インターバル・タイマ分周レジスタ 0, 1 (ITLFDIV00, ITLFDIV01) で選択したカウント・クロックで ITL0mn カウンタがアップ・カウントします。カウンタがコンペア値と一致したあと、次のカウント・クロックで割り込み要求信号 (INTITL) が発生します。割り込み要求信号 (INTITL) は ITLS0 レジスタが 00H になるまでハイ・レベルを維持します。

割り込み要求信号 (INTITL) がハイ・レベルの期間は、動作中のチャンネルのコンペアー一致またはキャプチャ検出が発生しても新規の割り込み要求信号 (INTITL) は発生せず、割り込み要求フラグ (ITLIF) もセットされません。

ITLEN03-ITLEN00 ビットを 0 にすると、カウント値はクリアされます。

図 17 - 14 タイマ動作例



備考 mn = 00, 01, 12, 13; i = 0-3

17.3.4 キャプチャ動作

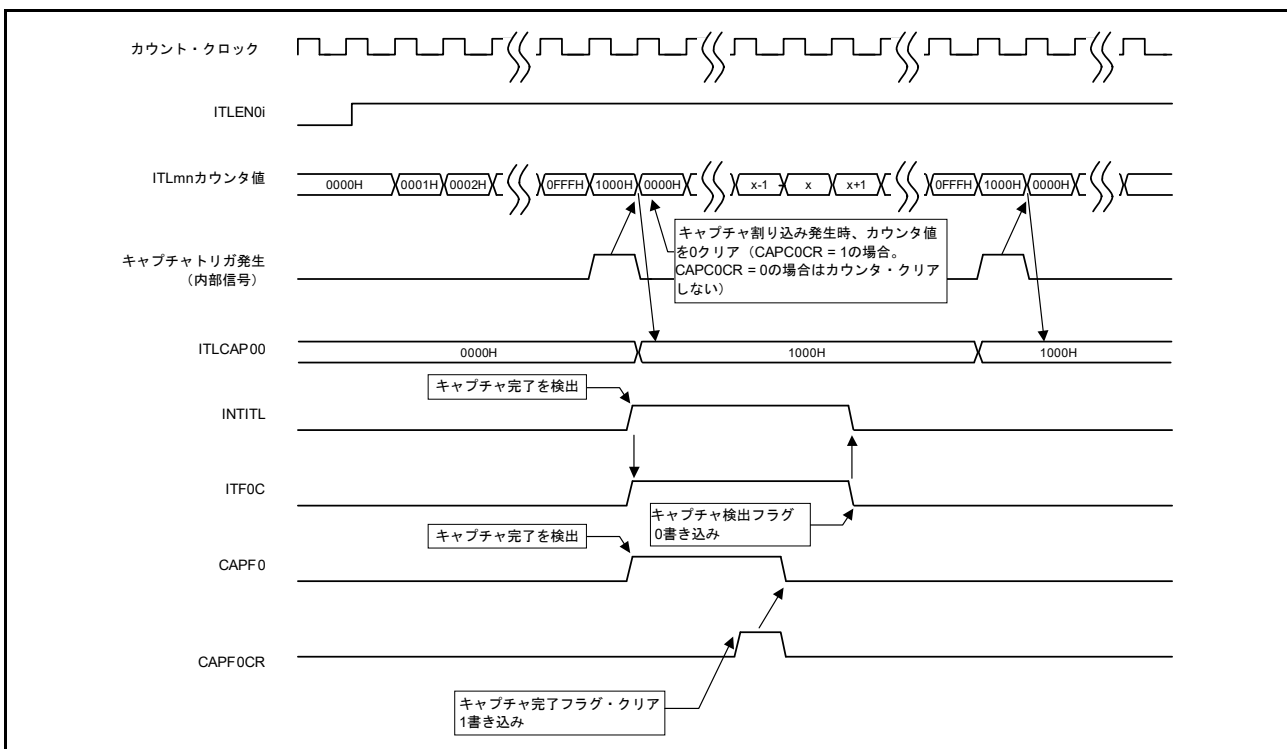
インターバル・タイマ・キャプチャ制御レジスタ 0 (ITLCC0) レジスタの CAPEN0 ビットが 1 のときに ITLCC0 レジスタで選択したキャプチャ・トリガにより、16 ビット・カウンタ (ITL000 + ITL001) の値をキャプチャ・レジスタ (ITLCAP00) に格納します。

キャプチャ・トリガとして、ITLCMP01 のコンペアー一致割り込み、fsXP またはソフトウェア・トリガ (CAPR0 = 1) が選択可能です。キャプチャ・トリガとして、ITLCMP01 のコンペアー一致割り込みを使用する場合は、インターバル・タイマ・クロック選択レジスタ 0 (ITLCSEL0) でカウント・クロックを選択し、インターバル・タイマ・コンペアー・レジスタ 01 (ITLCMP01) にコンペアー値を設定します。キャプチャ・トリガとして、fsXP またはソフトウェア・トリガ (CAPR0 = 1) を使用する場合は、チャンネル 2、チャンネル 3 を 16 ビット・カウンタ・モードとして使用することができます。

キャプチャ・トリガが入力されカウント値がインターバル・タイマ・キャプチャレジスタ 00 に格納されると、割り込み要求信号 (INTITL) を出力し、キャプチャ完了フラグ (CAPF0) とキャプチャ検出フラグ (ITF0C) は 1 にセットされ、CAPF0 フラグと ITF0C フラグの値は保持されます注。CAPF0 フラグは CAPF0CR ビットをセットすることによりクリアされます。ITF0C フラグは ITLS0 レジスタの ITF0C ビットに 0 を書き込むことによりクリアされます。なお、キャプチャ・トリガを発生させる間隔はカウント・クロックで 5 クロック以上にしてください。キャプチャ・トリガ発生後、カウント・クロックで 2 クロック未満に再度キャプチャ・トリガが発生した場合は、CAPF0 ビットがセットされないことがあります。

注 ITLS0 レジスタが 00H 以外の状態では、ITF0C フラグは 1 にセットされても、割り込み要求信号 (INTITL) はハイ・レベルを維持するため、割り込み動作は発生せず、割り込み要求フラグ (ITLIF) もセットされません。

図 17 - 15 キャプチャ動作例



備考 mn = 00, 01, 12, 13; i = 0-3

ITLCC0 レジスタの CAPC0CR ビットを 1 (キャプチャ完了後 16 ビット・カウンタ (ITL000 + ITL001) をクリアするモード) に設定している場合にカウント値がコンペア値と一致すると次のカウント・クロックでカウント値はクリアされます。なお、キャプチャ・トリガが入力される前に、16 ビット・カウンタ (ITL000 + ITL001) とコンペア値が一致すると ITF00 フラグがセットされます。

CAPC0CR ビットが 0 (キャプチャ完了後 16 ビット・カウンタ (ITL000 + ITL001) を保持するモード) に設定している場合カウント値はクリアされません。16 ビット・カウンタ (ITL000 + ITL001) とコンペア値が一致すると、ITF00 フラグがセットされます。

17.3.5 割り込み動作

表 17-7 に 8 / 16 / 32 ビット・カウンタ・モード時割り込み要因を示します。

ITF0C, ITF03-ITF00 ビットは ITLS0 レジスタの割り込みステータス・フラグであり、いずれかの割り込みステータス・フラグが発生すると割り込み要求信号 (INTITL) を出力します。

表17-7 8/16/32ビット・カウンタ・モード時割り込み要因

割り込み要因	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因	32ビット・カウンタ・モード要因
ITF00	チャンネル0コンペアー一致後、次のカウント・クロックの立ち上がり	チャンネル0+1のコンペアー一致後、次のカウント・クロックの立ち上がり	コンペアー一致後、次のカウント・クロックの立ち上がり
ITF01	チャンネル1コンペアー一致後、次のカウント・クロックの立ち上がり	発生しない	発生しない
ITF02	チャンネル2コンペアー一致後、次のカウント・クロックの立ち上がり	チャンネル2+3のコンペアー一致後、次のカウント・クロックの立ち上がり	発生しない
ITF03	チャンネル3コンペアー一致後、次のカウント・クロックの立ち上がり	発生しない	発生しない
ITF0C	発生しない (ITLCC0 = 00Hに設定すること)	キャプチャ・トリガが発生後、キャプチャ・レジスタに値が格納されるタイミングと同一	発生しない (ITLCC0 = 00Hに設定すること)

ITLS0 レジスタが 00H 以外の状態では、割り込み要求信号 (INTITL) はハイ・レベルを維持しており、動作中のチャンネルのコンペアー一致またはキャプチャ検出が発生しても、新規の割り込み要求信号 (INTITL) は発生せず、割り込み要求フラグ (ITLIF) もセットされません。ただし、ITLS0 レジスタのいずれかのビットを 8 ビット・メモリ操作命令で 0 を設定して、その結果 ITLS0 レジスタが 00H にならなかった場合は、INTITL にロウ・パルス信号が出力され割り込み要求フラグ (ITLIF) を 1 にセットします。したがって、ベクタ割り込み処理中などの ITLIF = 0 の状態で ITLS0 レジスタのステータス・フラグを 0 にクリアする処理を行うことで、もしほかのステータス・ビットが 1 に設定されていても割り込みとして検出することができます。図 17-16 に各検出フラグのクリアとインターバル検出割り込み信号の関係を示します。

図 17-16 の動作を以下に説明します。

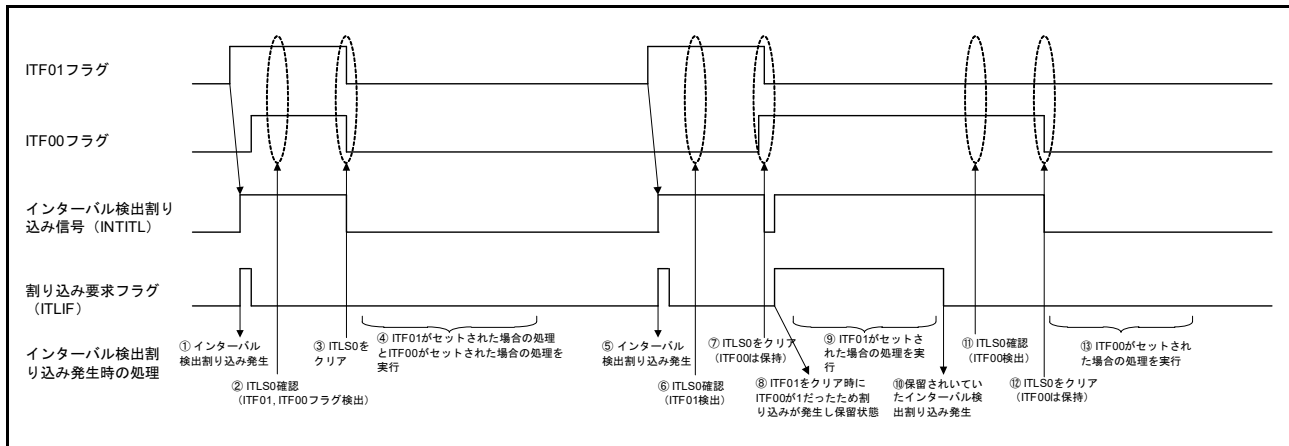
ITLS0 レジスタが 00H の状態で、チャンネル 1 のコンペアー一致信号を検出すると、ITF01 フラグがセットされ、インターバル検出割り込み信号 (INTITL) がハイ・レベルになります。このハイ・レベル期間では、動作中のチャンネルのコンペアー一致またはキャプチャ検出が発生しても、新規の割り込み要求信号 (INTITL) は発生せず、割り込み要求フラグ (ITLIF) もセットされません。

ただし、ITF0x ビット (x = 0-3, C) を 0 にクリアした直前に、ほかの検出フラグが 1 になった場合は、ITF0x ビットをクリア後に INTITL が一時的にロウ・レベルを出力して割り込み要求フラグ (ITLIF) を 1 にセットします。

- ① チャンネル 1 のコンペアー一致によって ITF01 フラグがセットされインターバル検出割り込み信号 (INTITL) と割り込み要求フラグ (ITLIF) がハイ・レベルになります。割り込み要求フラグ (ITLIF) を 0 にクリアしインターバル検出割り込みの処理を実行します。
- ② インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが 1 にセットされているか確認します。図 17-16 のケースでは ITF01 フラグと ITF00 フラグが 1 にセットされていることを確認できます。
- ③ ITLS0 レジスタが 00H になるように、上記②で検出した ITF01 フラグと ITF00 フラグを 8 ビット・メモリ操作命令で 00011100B を書き込んでクリアします注。
- ④ ITF01 フラグが 1 にセットされた場合の処理と ITF00 フラグが 1 にセットされた場合の処理を実行します注。
- ⑤ 再度チャンネル 1 のコンペアー一致によって ITF01 フラグがセットされ、インターバル検出割り込み信号 (INTITL) と割り込み要求フラグ (ITLIF) がハイ・レベルになります。割り込み要求フラグ (ITLIF) を 0 にクリアしインターバル検出割り込みの処理を実行します。

- ⑥ インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが1にセットされているか確認します。
図17-16のケースではITF01フラグが1にセットされていることを確認できます。
 - ⑦ ITLS0 レジスタが 00H になるように、上記⑥で検出した ITF01 フラグを 8 ビット・メモリ操作命令で 00011101B を書き込んでクリアします。このときチャンネル0のコンペア一致によって ITF00 フラグが1にセットされていますが、ITF00 フラグに対しては操作を行っていませんのでクリアされません。
 - ⑧ ⑦の ITF01 フラグが0にクリアされるタイミングで ITF00 フラグは1にセットされていたので、INTITL はいったんロウ・レベルとなり、割り込み要求フラグ (ITLIF) を1にセットします。このときに割り込み許可フラグ (IE) が0にクリアされていなければ、この割り込み要求は保留されます。
 - ⑨ ITF01 フラグが1にセットされた場合の処理を実行します。
 - ⑩ ITF01 フラグが1にセットされた場合の処理から復帰すると割り込み要求フラグ (ITLIF) は1にセットされているので、割り込み要求フラグ (ITLIF) を0にクリアして保留されていたインターバル検出割り込み処理を実行します。
 - ⑪ インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが1にセットされているか確認します。
図17-16のケースではITF00フラグが1にセットされていることを確認できます。
 - ⑫ ITLS0 レジスタが 00H になるように、上記⑪で検出した ITF00 フラグを 8 ビット・メモリ操作命令で 00011110B を書き込んでクリアします。
 - ⑬ ITF00 フラグが1にセットされた場合の処理を実行します。
- 注** 割り込み要因のフラグを1ビットずつ処理をして0にクリアする処理を繰り返すことでも、割り込み要因の取りこぼしを防ぐことができます。

図17-16 検出フラグのクリア例



17.3.6 インターバル・タイマの設定手順

32ビット・インターバル・タイマの設定手順を以下に示します。

図 17-17 32ビット・インターバル・タイマの動作開始手順

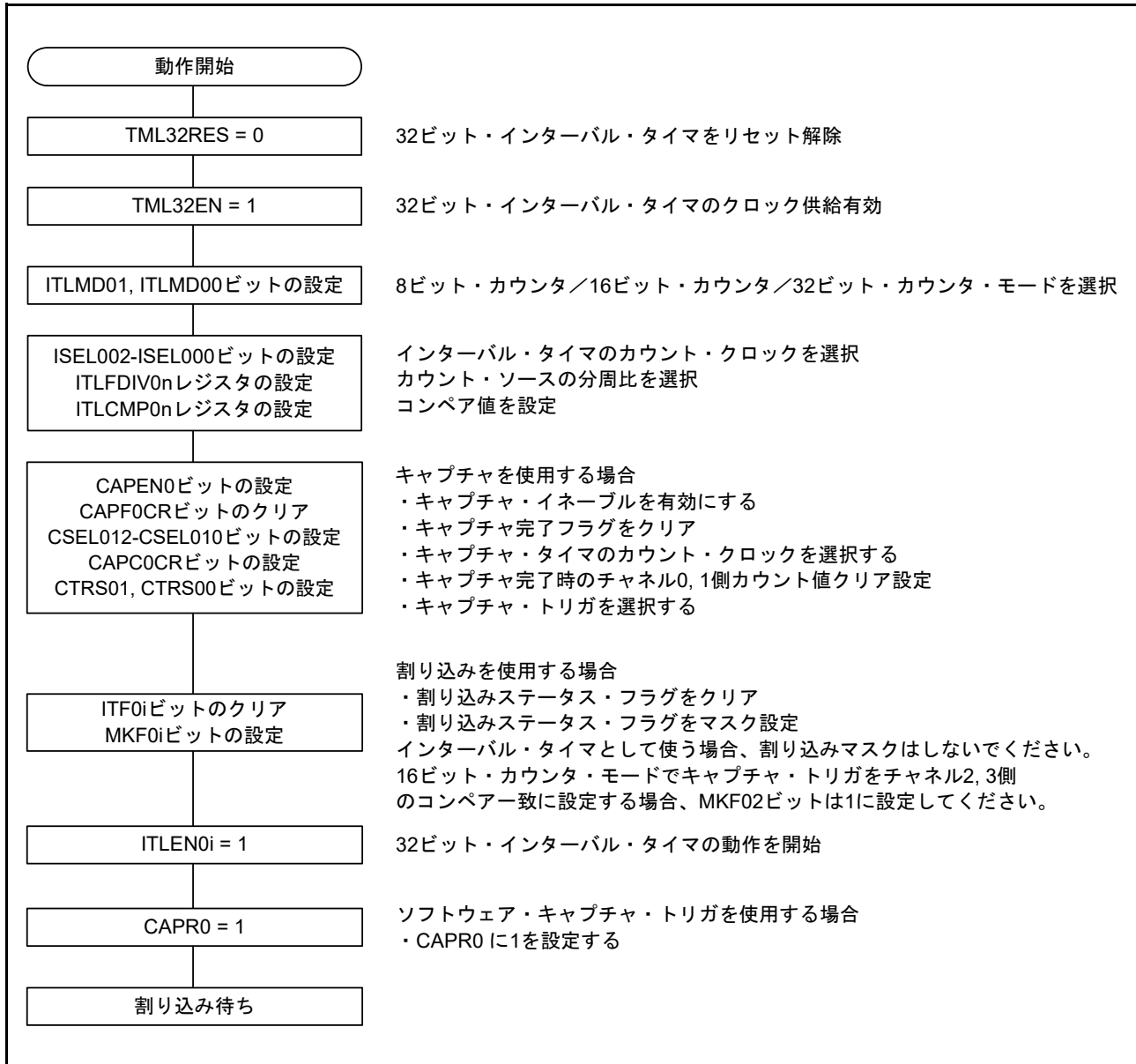


図 17 - 18 32ビット・インターバル・タイマの動作停止手順

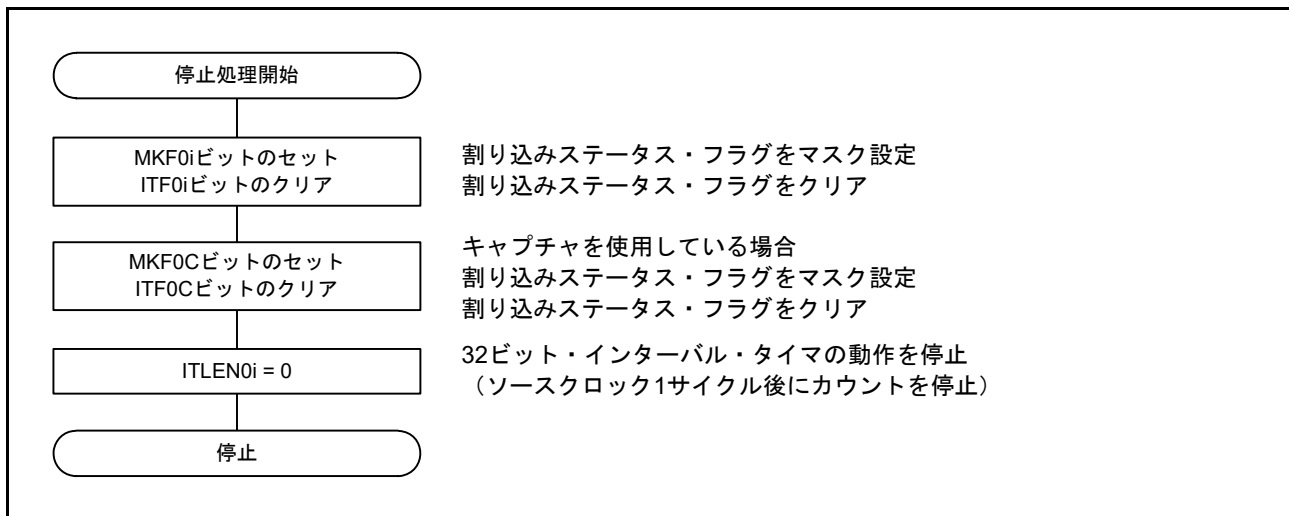


図 17 - 19 32ビット・インターバル・タイマの動作モード変更手順

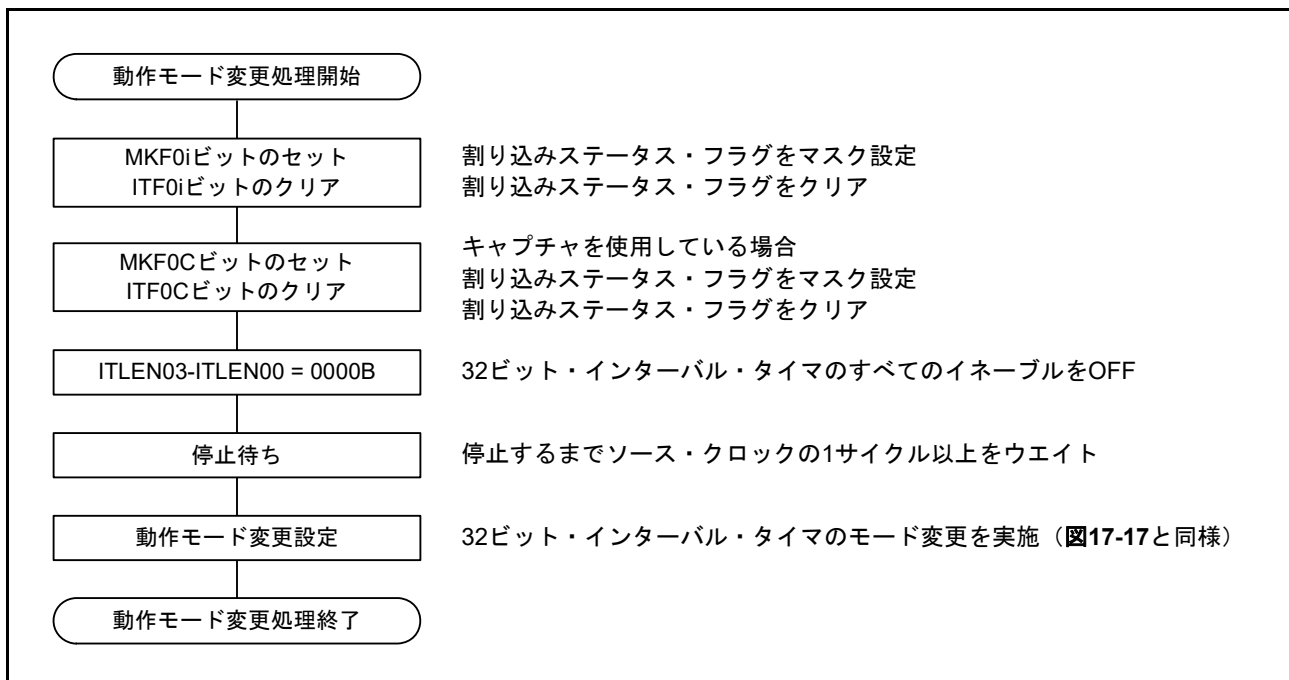
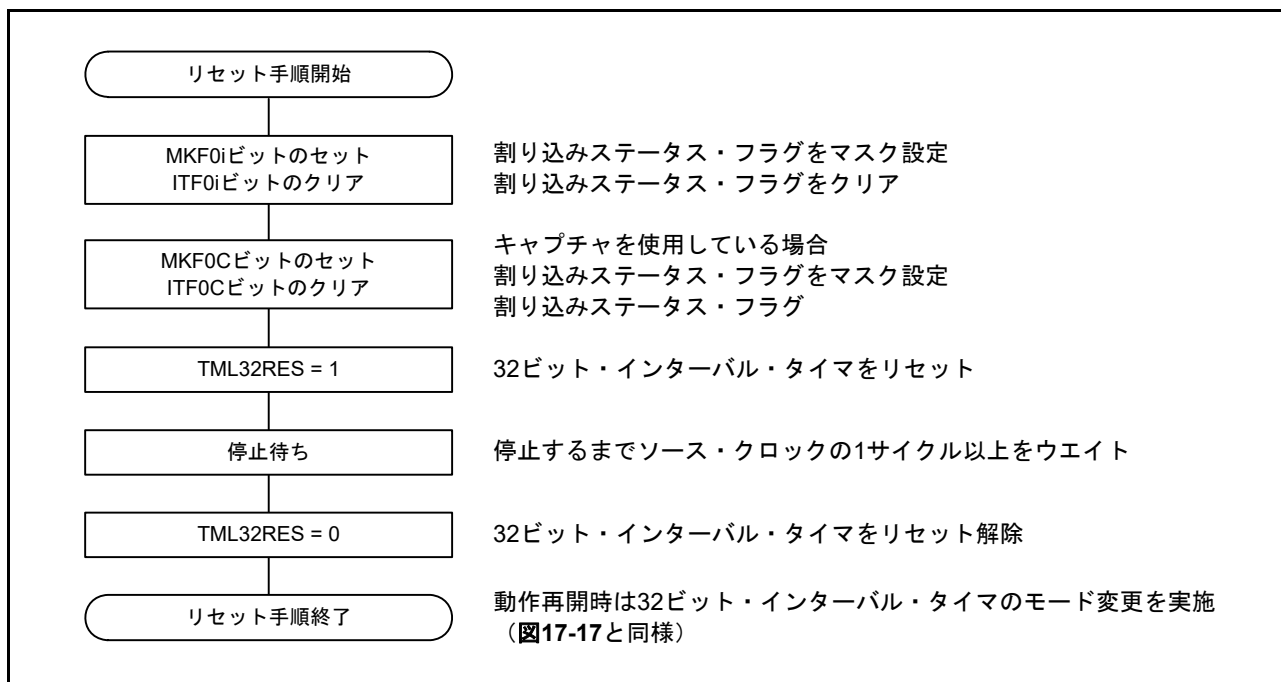


図 17 - 20 32ビット・インターバル・タイマのリセット手順



第18章 クロック出力／ブザー出力制御回路 (PCLBUZ)

クロック出力／ブザー出力制御回路の出力端子数は、製品によって異なります。

出力端子	20～25ピン製品	30～64ピン製品
PCLBUZ0	—	○
PCLBUZ1	○	○

注意 この章では、以降の主な説明を64ピン製品の場合で説明しています。

18.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺 IC に供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

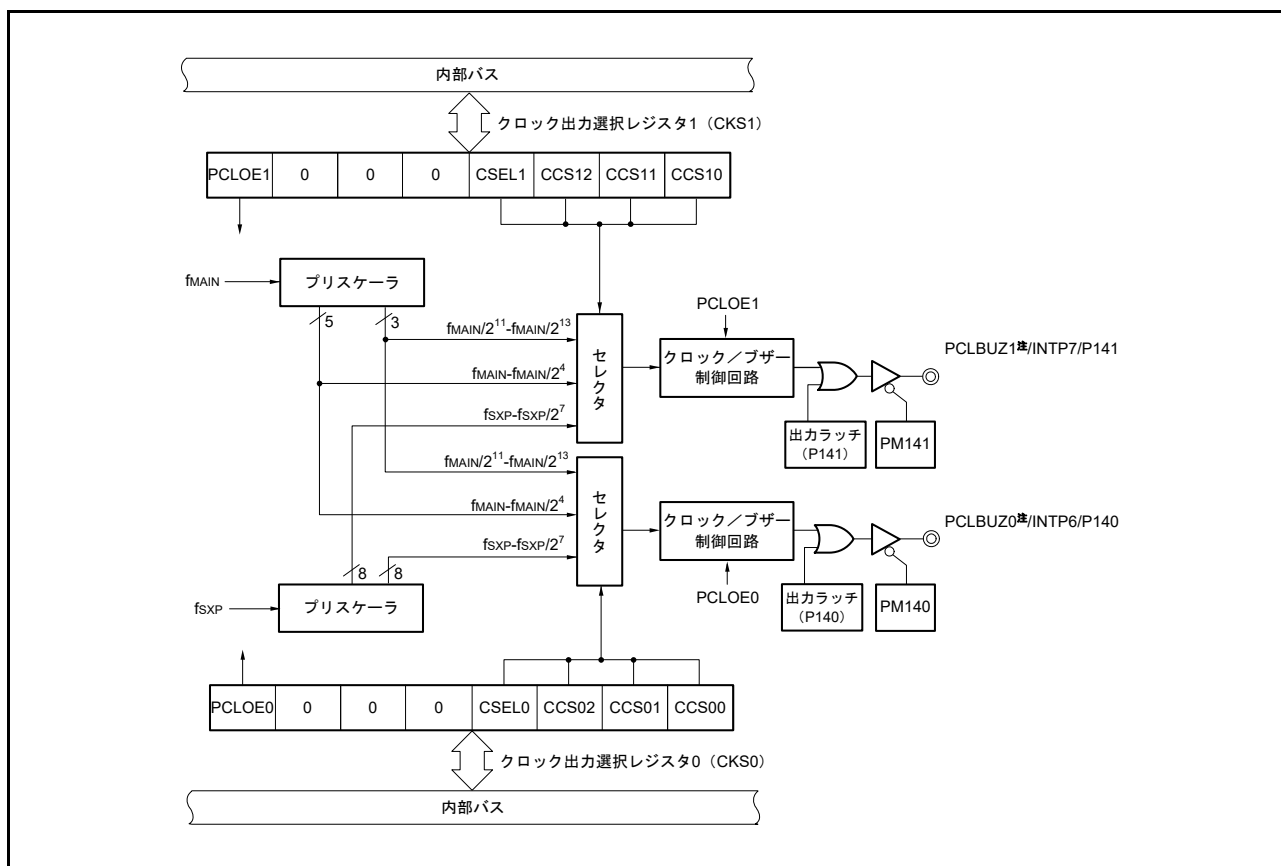
PCLBUZn 端子は、クロック出力選択レジスタ n (CKSn) で選択したクロックを出力します。

図 18 - 1 にクロック出力／ブザー出力制御回路のブロック図を示します。

注意 サブシステム・クロック供給モード制御レジスタ (OSMC) の RTCLPC ビットが1かつサブシステム・クロック (fsUB) で CPU 動作中の HALT モード時は、PCLBUZn 端子から、低速周辺クロック (fsXP) を出力することはできません。

備考 n = 0, 1

図 18 - 1 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1 端子から出力可能な周波数は、**43.4 AC 特性**または**44.4 AC 特性**を参照してください。

備考 この図のクロック出力／ブザー出力端子は、64ピン製品でPIOR0.PIOR03 = 0, PIOR0.PIOR04 = 0の場合です。

18.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表18-1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	<ul style="list-style-type: none"> • クロック出力選択レジスタ n (CKSn) (n = 0, 1) • ポート・モード・レジスタ (PMxx) • ポート・レジスタ (Pxx) • ポート出力モード・レジスタ (POMxx) • ポート・モード・コントロールA・レジスタ (PMCAxx)

18.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路を制御するレジスタを次に示します。

- クロック出力選択レジスタ n (CKSn) (n = 0, 1)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

18.3.1 クロック出力選択レジスタ n (CKSn) (n = 0, 1)

CKSn レジスタは、クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出カクロックを設定するレジスタです。

CKSn レジスタで、PCLBUZn 端子の出力するクロックを選択します。

CKSn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 18-2 クロック出力選択レジスタ n (CKSn) のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1)

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn 端子の出力許可／禁止の指定
0	出力禁止
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn 端子の出カクロックの選択					
				fMAIN = 5 MHz	fMAIN = 10 MHz	fMAIN = 20 MHz	fMAIN = 32 MHz	fMAIN = 48 MHz	
0	0	0	0	fMAIN	5 MHz注	10 MHz注	設定禁止	設定禁止	設定禁止
0	0	0	1	fMAIN/2	2.5 MHz	5 MHz注	10 MHz注	16 MHz注	設定禁止
0	0	1	0	fMAIN/2 ²	1.25 MHz	2.5 MHz	5 MHz注	8 MHz注	12 MHz注
0	0	1	1	fMAIN/2 ³	625 kHz	1.25 MHz	2.5 MHz	4 MHz	6 MHz
0	1	0	0	fMAIN/2 ⁴	312.5 kHz	625 kHz	1.25 MHz	2 MHz	3 MHz
0	1	0	1	fMAIN/2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz	15.63 kHz
0	1	1	0	fMAIN/2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	11.72 kHz
0	1	1	1	fMAIN/2 ¹³	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz	5.86 kHz
1	0	0	0	fsXP	32.768 kHz				
1	0	0	1	fsXP/2	16.384 kHz				
1	0	1	0	fsXP/2 ²	8.192 kHz				
1	0	1	1	fsXP/2 ³	4.096 kHz				
1	1	0	0	fsXP/2 ⁴	2.048 kHz				
1	1	0	1	fsXP/2 ⁵	1.024 kHz				
1	1	1	0	fsXP/2 ⁶	512 Hz				
1	1	1	1	fsXP/2 ⁷	256 Hz				

注 選択可能な出カクロックは、電源電圧 (VDD) によって異なります。詳細は、43.4 AC特性または44.4 AC特性を参照してください。

注意1. 出カクロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。

(注意、備考は次ページに続きます)

注意2. メイン・システム・クロック選択時 (CSELn = 0) にSTOPモードに移行する場合は、STOP命令前に PCLOEn = 0にしてください。サブシステム・クロック選択時 (CSELn = 1) は、サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPCビットが0かつSTOPモード時にクロック出力が可能のため、PCLOEn = 1に設定可能です。

注意3. サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPCビットが1かつサブシステム・クロック (fsUB) でCPU動作中のHALTモード時は、PCLBUZn端子から低速周辺クロック (fsXP) を出力することはできません。

備考1. n = 0, 1

備考2. fMAIN : メイン・システム・クロック周波数

fsUB : サブシステム・クロック周波数

fsXP : 低速周辺クロック周波数

18.3.2 クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するレジスタ

クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx)、7.3.2 ポート・レジスタ (Pxx)、7.3.5 ポート出力モード・レジスタ (POMxx) および7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

18.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0 端子は、クロック出力選択レジスタ 0 (CKS0) で選択したクロック／ブザーを出力します。

PCLBUZ1 端子は、クロック出力選択レジスタ 1 (CKS1) で選択したクロック／ブザーを出力します。

18.4.1 出力端子の動作

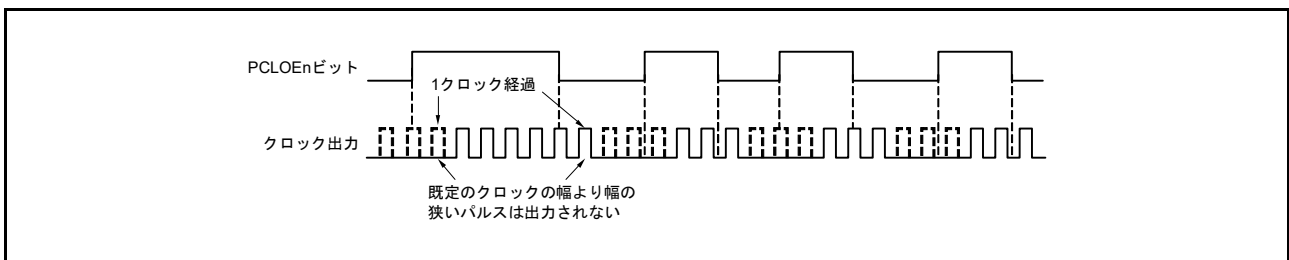
PCLBUZn 端子は、次の手順で出力します。

- ① PCLBUZn 端子として使用するポートに対応するポート・モード・レジスタ (PMxx) およびポート・レジスタ (Pxx) のビットに 0 を設定する。
- ② PCLBUZn 端子のクロック出力選択レジスタ (CKSn) のビット 3-0 (CSELn, CCSn2-CCSn0) で出力周波数を選択する (出力は禁止の状態)。
- ③ CKSn レジスタのビット 7 (PCLOEn) に 1 を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用する際の制御回路は、クロック出力の出力許可／禁止 (PCLOEn ビット) を切り替えてから1クロック後にクロック出力を開始／停止します。このとき既定のクロックの幅より幅の狭いパルスは出力されません。図18-3にPCLOEnビットによる出力の許可／停止とクロック出力のタイミングを示します。

備考2. n = 0, 1

図18-3 PCLBUZn端子からのクロック出力のタイミング



18.5 クロック出力／ブザー出力制御回路使用時の注意事項

PCLBUZn 端子の出力にメイン・システム・クロックを選択 (CSELn = 0) している場合は、出力停止設定 (PCLOEn = 0) にしてから PCLBUZn 端子の出力クロックの 1.5 クロック以内に STOP モードへ移行すると、PCLBUZn 端子の出力幅が短くなります。

第19章 ウォッチドッグ・タイマ (WDT)

19.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、ユーザ・オプション・バイト (000C0H) でカウント動作を設定します。

ウォッチドッグ・タイマは、低速オンチップ・オシレータ・クロック (f_{IL}) の2分周クロック (1/2f_{IL}) で動作します。

ウォッチドッグ・タイマは、プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- WDTEレジスタにACH以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFレジスタの詳細については**第32章 リセット機能**を参照してください。

また、オーバフロー時間の75% + 1/4f_{IL} 到達時にインターバル割り込みを発生することもできます。

19.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表19-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

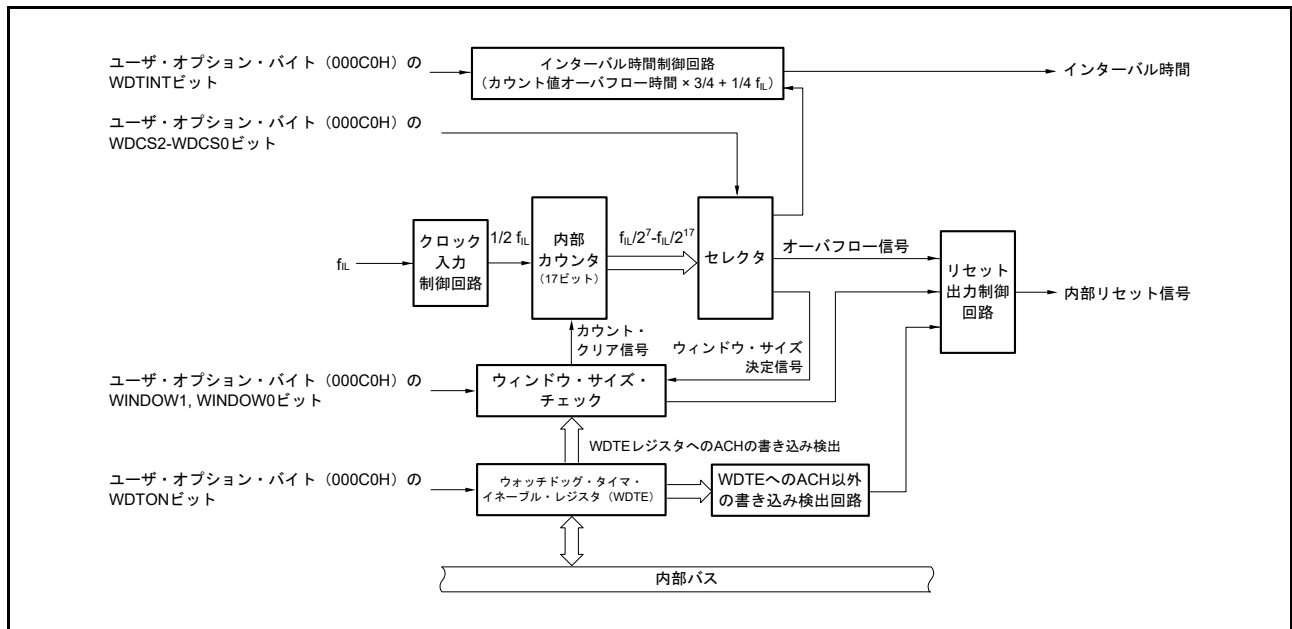
また、ユーザ・オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウィンドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表19-2 ユーザ・オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	ユーザ・オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウィンドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2-WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)	ビット0 (WDSTBYON)

備考 ユーザ・オプション・バイトについては、第38章 オプション・バイトを参照してください。

図19-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速オンチップ・オシレータ・クロック

19.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタを次に示します。

- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

19.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

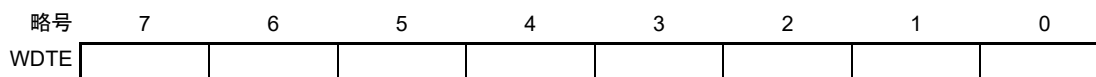
WDTE レジスタに ACH を書き込むことにより、ウォッチドッグ・タイマのカウンタがクリアされ、再びカウントを開始します。

WDTE レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AH または 1AH^注になります。

図 19-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH
リセット時: 9AH/1AH^注
R/W属性 : R/W



注 WDTEレジスタのリセット値は、ユーザ・オプション・バイト (000C0H) の WDTON ビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTON ビットに1を設定してください。

WDTON ビットの設定値	WDTE レジスタのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1. WDTE レジスタに ACH 以外の値を書き込んだ場合、内部リセット信号を発生します。

注意2. WDTE レジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

注意3. WDTE レジスタのリード値は、9AH/1AH (書き込んだ値 (ACH) とは異なる値) になります。

19.4 ウォッチドッグ・タイマの動作

19.4.1 ウォッチドッグ・タイマの動作制御

(1) ウォッチドッグ・タイマを使用する場合、ユーザ・オプション・バイト (000C0H) で次の内容を設定します。

- ユーザ・オプション・バイト (000C0H) のビット4 (WDTON) に1を設定し、ウォッチドッグ・タイマのカウンタ動作を許可 (リセット解除後、カウンタは動作開始) にしてください (詳細は、**第38章 オプション・バイト**を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止 (リセット解除後、カウンタ停止)
1	カウンタ動作許可 (リセット解除後、カウンタ開始)

- ユーザ・オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で、オーバフロー時間を設定してください (詳細は、**19.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定**および**第38章 オプション・バイト**を参照)。
- ユーザ・オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で、ウィンドウ・オープン期間を設定してください (詳細は、**19.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定**および**第38章 オプション・バイト**を参照)。

(2) リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。

(3) カウンタ動作開始したあと、ユーザ・オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

(4) 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウィンドウ・オープン期間中に行ってください。ウィンドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。

(5) WDTEレジスタにACHを書き込まずに、オーバフロー時間を超えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタにACH以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) への書き込みだけは、ウィンドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

注意2. WDTEレジスタにACHを書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大filの4クロックの誤差が生じる場合があります。

注意3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意4. ユーザ・オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALT、STOP、およびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0 の場合、HALT および STOP モード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア (0) して、カウント開始します。

STOP モード解除後に X1 発振クロックで動作する場合は、CPU は発振安定時間経過後に動作を開始します。

そのため、STOP モード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによる STOP モード解除後に X1 発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

19.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、ユーザ・オプション・バイト (000C0H) のビット 3-1 (WDCS2-WDCS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウィンドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に ACH を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表19-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 37.683 kHz (Max.) の場合)
0	0	0	2 ⁷ /f _{IL} (3.39 ms)
0	0	1	2 ⁸ /f _{IL} (6.79 ms)
0	1	0	2 ⁹ /f _{IL} (13.58 ms)
0	1	1	2 ¹⁰ /f _{IL} (27.17 ms)
1	0	0	2 ¹² /f _{IL} (108.69 ms)
1	0	1	2 ¹⁴ /f _{IL} (434.78 ms) 注
1	1	0	2 ¹⁵ /f _{IL} (869.56 ms) 注
1	1	1	2 ¹⁷ /f _{IL} (3478.26 ms) 注

注 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアしたあと、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み (INTWDTI) が発生する場合があります。

- ・ウォッチドッグ・タイマのインターバル割り込みを使用
- ・ウォッチドッグ・タイマのカウンタ値がオーバフロー時間で75%以上のときにWDTEレジスタ (FFFABH) にACHを書き込み

この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクすることができます。

- ① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0 (MK0L) のWDTIMKビットを1にセット
- ② ウォッチドッグ・タイマのカウンタをクリア
- ③ 80 μs以上ウエイト
- ④ 割り込み要求フラグ・レジスタ0 (IF0L) のWDTIIFビットを0にクリア
- ⑤ 割り込みマスク・フラグ・レジスタ0 (MK0L) のWDTIMKビットを0にクリア

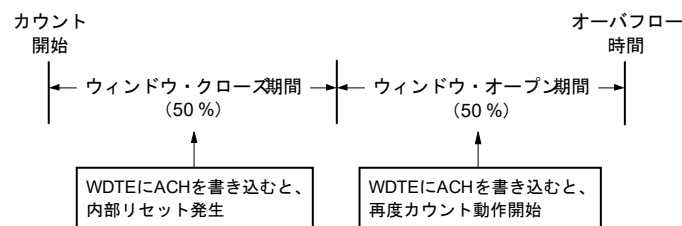
備考 f_{IL}: 低速オンチップ・オシレータ・クロック周波数

19.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ・タイマのウィンドウ・オープン期間は、ユーザ・オプション・バイト (000C0H) のビット 6, 5 (WINDOW1, WINDOW0) で設定します。ウィンドウの概要は次のとおりです。

- ウィンドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ウィンドウ・クローズ期間中は、WDTEレジスタにACHを書き込んでも、異常検出され、内部リセットを発生します。

例 ウィンドウ・オープン期間が 50% の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウィンドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表19-4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	1	50%
1	1	100%
上記以外		設定禁止

備考 オーバフロー時間を $2^{10}/f_{IL}$ に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定	
	50%	100%
ウィンドウ・クローズ時間	0 ~ 18.38 ms	なし
ウィンドウ・オープン時間	18.38 ~ 27.17 ms	0 ~ 27.17 ms

<ウィンドウ・オープン期間 50% のとき>

- オーバフロー時間 : $2^{10}/f_{IL} (\text{Max.}) = 2^{10}/37.683 \text{ kHz} = 27.17 \text{ ms}$
- ウィンドウ・クローズ時間 : $0 \sim 2^{10}/f_{IL} (\text{Min.}) \times (1 - 0.5) = 0 \sim 2^{10}/27.852 \text{ kHz} \times 0.5 = 0 \sim 18.38 \text{ ms}$
- ウィンドウ・オープン時間 : $2^{10}/f_{IL} (\text{Min.}) \times (1 - 0.5) \sim 2^{10}/f_{IL} (\text{Max.}) = 2^{10}/27.853 \text{ kHz} \times 0.5 \sim 2^{10}/37.683 \text{ kHz} = 18.38 \sim 27.17 \text{ ms}$

19.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

ユーザ・オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の 75% + 1/4fIL 到達時にインターバル割り込み (INTWDTI) を発生することができます。

表19-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/4fIL到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生しません。

第20章 A/Dコンバータ (ADC)

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

	20ピン	24ピン	25-32ピン	40ピン	44-48ピン	52-64ピン
アナログ入力チャンネル数	12チャンネル (ANI0-ANI3, ANI19-ANI24, ANI29, ANI30)	13チャンネル (ANI0-AIN3, ANI18-ANI23, ANI26, ANI29, ANI30)	16チャンネル (ANI0-AIN3, ANI18-ANI27, ANI29, ANI30)	19チャンネル (ANI0-ANI6, ANI18-ANI27, ANI29, ANI30)	21チャンネル (ANI0-ANI7, ANI18-ANI30)	23チャンネル (ANI0-ANI7, ANI16-ANI30)

20.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータです。A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYP1, ADTYP0ビットにより、12ビット分解能と10ビット分解能と8ビット分解能を選択できます。A/Dコンバータには、次のような機能があります。

- 12ビット/10ビット/8ビット分解能A/D変換

ANI0-ANI7, ANI16-ANI30からアナログ入力を最大4チャンネル選択し、12ビット/10ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を終了するたびに、割り込み要求 (INTAD0-3) 注が発生します。

- アドバンスド・モード

ADM3レジスタのADVMODビットに1を設定することで、アドバンスド・モードをONにできます。

アドバンスド・モードは48 MHzクロックに対応しています。

また、アドバンスド・モードでは、変換チャンネルを4つ搭載しており、最大で4つのアナログ入力信号の変換指定が可能です。それぞれの変換を逐次的に実施したり、最大3チャンネルの同時サンプリングを実施することができます。

さらに、変換終了後に割り込み要求 (INTAD0-3) の発生を変換チャンネルごとに指定可能であり、変換割り込みステータス・レジスタ (ADINTST) により、変換チャンネルごとに割り込み要求の発生を確認することができます。

なお、本書では、モード名称に特に記載がなければ、アドバンスド・モードはOFFの状態を指します。

例) “ソフトウェア・トリガ・モード”はアドバンスド・モードOFFの状態の“ソフトウェア・トリガ・モード”です。

対してアドバンスド・モードONの場合は、“アドバンスド・ソフトウェア・トリガ・モード”と記載します。

注 アドバンスド・モードOFFの場合はINTAD0のみ、アドバンスド・モードONの場合は、INTAD0-3のうちA/D変換設定に対応した割り込み要求が発生します。同じ表記は以降同様です。

備考 アドバンスド・モードOFFの場合は、48 MHzクロックに対応していません。供給クロックは32 MHz以下に設定してください。

表 20 - 1 にアドバンスド・モード ON / OFF 時の機能比較を示します。

表20 - 1 アドバンスド・モードON/OFF時の機能比較 (1/2)

	アドバンスド・モードON	アドバンスド・モードOFF (従来モード)
最大動作クロック (fCLK)	48 MHz	32 MHz
分解能	8ビット/10ビット/12ビット	8ビット/10ビット/12ビット
同時サンプリングチャンネル数	1-3チャンネル	1チャンネル
入力チャンネル	ANI0-ANI7, ANI16-ANI30 PGA出力 温度センサ出力電圧 内部基準電圧	ANI0-ANI7, ANI16-ANI30 温度センサ出力電圧 内部基準電圧
トリガ・モード	ソフトウェア・トリガ (ノーウエイト・モード) ADM3.ADTRSWT = 1とすることでA/D変換動作を開始します。	ソフトウェア・トリガ・ノーウエイト・モード ソフトウェア操作でADCE = 1に設定し、A/D電源安定待ち時間経過後にADCS = 1を設定することにより、変換動作を開始します。
		ソフトウェア・トリガ・ウエイト・モード 変換停止状態のときに、ソフトウェア操作でADCS = 1に設定することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。
		ハードウェア・トリガ (ノーウエイト・モード) 各変換チャンネルで設定したハードウェア・トリガを検出することでA/D変換動作を開始します。
変換トリガ	<ul style="list-style-type: none"> ・タイマ・アレイ・ユニットのチャンネル01のカウンタ完了またはキャプチャ完了割り込み信号 (INTTM01) ・リアルタイム・クロック割り込み信号 (INTRTC) ・32ビット・インターバル・タイマチャンネル0割り込み信号 (ELCITL0) ・ELCからのイベント入力 ・16ビット・タイマKB30 A/Dトリガ信号 ・16ビット・タイマKB31 A/Dトリガ信号 ・16ビット・タイマKB32 A/Dトリガ信号 ・タイマRD2 A/D変換トリガ0 ・タイマRD2 A/D変換トリガ1 ・ソフトウェア・トリガ 	ハードウェア・トリガ・ノーウエイト・モード ハードウェア・トリガを検出することにより、変換動作を開始します。
		ハードウェア・トリガ・ウエイト・モード パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用するときは、ハードウェア・トリガ・ウエイト・モードを選択してください。
		ハードウェア・トリガ・ノーウエイト・モード ハードウェア・トリガを検出することにより、変換動作を開始します。
チャンネル選択モード	最大4チャンネルのアナログ入力チャンネルと、対応する変換トリガを割り当てます。 トリガ発生時、発生したトリガが割り当てられているアナログ入力チャンネルが順番にA/D変換されます。	セレクト・モード アナログ入力を1チャンネル選択し、A/D変換します。
		スキャン・モード 4チャンネルのアナログ入力を順番にA/D変換します。 ANI0-ANI7のうち連続した4チャンネルをアナログ入力に選択できます。

表20-1 アドバンスド・モードON/OFF時の機能比較 (2/2)

	アドバンスド・モードON	アドバンスド・モードOFF (従来モード)
変換動作	各変換チャンネルで選択したアナログ入力チャンネルを一回ずつA/D変換します。	ワンショット変換モード 選択したチャンネルを1回A/D変換します。
		連続変換モード 選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。

動作電圧モード ^{注1}	サンプリング・クロック数		補足
	アドバンスド・モードON	アドバンスド・モードOFF	
標準1	20 fAD (入力チャンネル: ANI0-ANI7のみ) ^{注2}	43 fAD	アナログ入力源の出カインピーダンスに応じて、サンプリング・コンデンサに十分に充電されるサンプリング・クロック数に設定してください。
	27 fAD (入力チャンネル: ANI0-ANI7, ANI16-ANI30) ^{注3}		
	32 fAD (PGAゲイン×4-16)		
	63 fAD (PGAゲイン×32)		
標準2	240 fAD	160 fAD	
低電圧1	53 fAD	53 fAD	
低電圧2	80 fAD	80 fAD	

注1. アナログ入力チャンネル、VDD電圧、AVREFF電圧、トリガ・モード、fCLKにより、選択可能な動作モードが異なります。詳細は、**表20-6 A/D変換時間の選択**を参照してください。

注2. ADSPMOD = 01H設定時

注3. ADSPMOD = 00H設定時

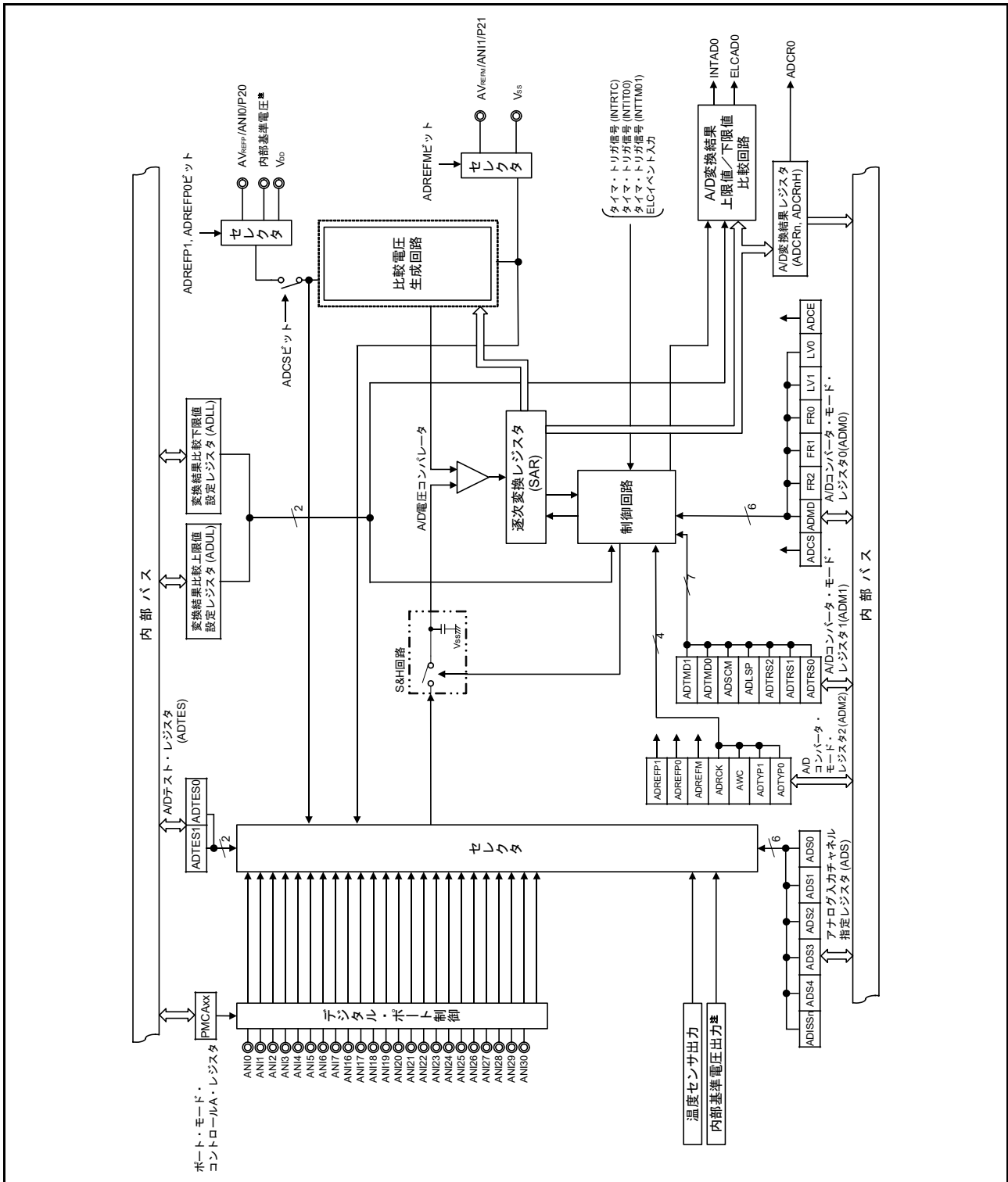
表 20 - 2 にアドバンスド・モード時に各動作電圧モードで選択可能な変換対象を示します。

表20 - 2 アドバンスド・モード時に各動作電圧モードで選択可能な変換対象

動作電圧モード	変換対象				
	ANI0-ANI7 (ADSPMOD = 01H)	ANI0-ANI30 (ADSPMOD = 00H)	PGA出力	温度センサ/ 内部基準電圧	同時S&H注
標準1	○	○	○	—	○
標準2	—	○	—	○	—
低電圧1	—	○	○	—	—
低電圧2	—	○	—	○	—

注 同時サンプリングを実施する場合、1回のA/D変換時間が3.3 μs以下のケースのみとしてください。

図20-1 A/Dコンバータのブロック図 (アドバンスド・モードOFF)

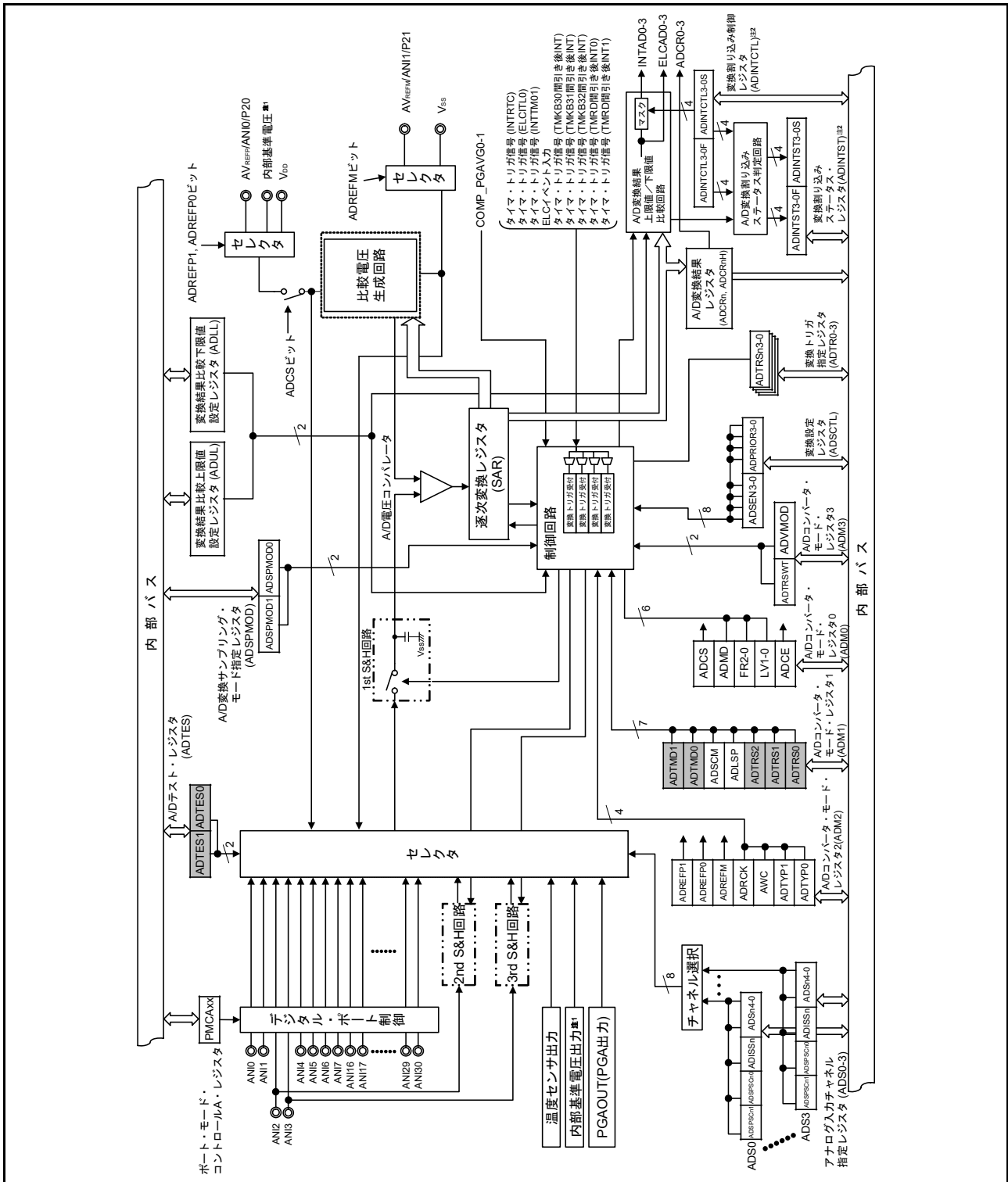


注 内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) および第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

備考1. この図のアナログ入力端子は、64ピン製品の場合です。

備考2. n = 0-3

図20-1 A/Dコンバータのブロック図 (アドバンスド・モードON)



注1. 内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) および第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

注2. 実際のビットの並びについては、20.3.13 変換割り込み制御レジスタ (ADINTCTL) および20.3.14 変換割り込みステータス・レジスタ (ADINTST) を参照してください。

備考1. この図のアナログ入力端子は、64ピン製品の場合です。

備考2. n = 0-3

20.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI7, ANI16-ANI30 端子

A/Dコンバータの23チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路 (S&H回路)

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 (1/2 AVREF) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 (1/2 AVREF) より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、比較電圧生成回路の電圧タップが選択されます。

- ビット11 = 0 : (1/4 AVREF)
- ビット11 = 1 : (3/4 AVREF)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

- アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット10 = 1
- アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

備考 AVREF : A/Dコンバータの+側基準電圧。AVREFP、内部基準電圧注、VDDから選択可能です。

注 内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) および第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、12ビット/10ビットA/D変換結果レジスタ (ADCRn) に保持されます。また、指定されたすべてのA/D変換が終了するごとに、対象のA/D変換終了割り込み要求信号 (INTAD0-3) が発生します。

(6) 12ビット/10ビットA/D変換結果レジスタ (ADCRn)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を保持します。

12ビット分解能に設定している場合は、A/D変換結果を下位12ビットに保持します (上位4ビットは0に固定)。

10ビット分解能に設定している場合は、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRnH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止、変換チャンネルの優先度に応じた処理順などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTAD0-3を発生します。

(9) AVREFP端子

外部から基準電圧 (AVREFP) を入力する端子です。

AVREFPをA/Dコンバータの+側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2 (ADM2) のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AVREFPと-側基準電圧 (AVREFM/VSS) 間にかかる電圧に基づいて、ANI2-ANI7, ANI16-ANI30に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AVREFPのほかVDDと内部基準電圧^注を選択することが可能です。

注 内部基準電圧値は**第43章 電気的特性 (TA = -40°C ~ +105°C)** および**第44章 電気的特性 (TA = -40°C ~ +125°C)** を参照してください。

(10) AVREFM端子

外部から基準電圧 (AVREFM) を入力する端子です。AVREFMをA/Dコンバータの-側基準電圧として使用する場合は、ADM2レジスタのADREFMビットに1を設定してください。

A/Dコンバータの-側基準電圧には、AVREFMのほかにVSSを選択することが可能です。

(11) PGA回路

A/Dコンバータのアナログ入力としてPGA回路の出力を選択可能です。

(12) チャンネル専用サンプル&ホールド (S&H) 機能 (2チャンネル)

同時サンプリングを実現するためのS&H回路です。

(8)で示す制御回路で制御します。

20.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- A/Dコンバータ・モード・レジスタ3 (ADM3) 注1
- 12ビット/10ビットA/D変換結果レジスタ (ADCR, ADCRn) (n = 0-3)
- 8ビットA/D変換結果レジスタH, nH (ADCRH, ADCRnH) (n = 0-3)
- アナログ入力チャンネル指定レジスタ (ADS) 注2
- アナログ入力チャンネル指定レジスタn (アドバンスド) (ADSn) (n = 0-3) 注1
- 変換設定レジスタ (ADSCTL) 注1
- 変換トリガ指定レジスタn (ADTRn) (n = 0-3) 注1
- 変換割り込み制御レジスタ (ADINTCTL) 注1
- 変換割り込みステータス・レジスタ (ADINTST) 注1
- A/D変換サンプリング・モード指定レジスタ (ADSPMOD) 注1
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES) 注2
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

注1. アドバンスド・モード専用のレジスタです。アドバンスド・モードがOFFの場合は初期値から変更しないでください。

注2. アドバンスド・モードがOFFの場合のみ使用するレジスタです。アドバンスド・モードがONの場合は初期値から変更しないでください。

20.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ず ADCEN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
ADCEN	A/Dコンバータの入カクロックの制御							
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータで使用するSFRをリードした場合は00Hまたは0000Hが読めます。							
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可							

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態、下記のレジスタの設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ (PM0-PM2, PM12, PM14)、ポート・モード・コントロールA・レジスタ (PMCA0-PMCA2, PMCA12, PMCA14) は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ A/Dコンバータ・モード・レジスタ3 (ADM3)
- ・ 12ビット/10ビットA/D変換結果レジスタ (ADCRn)
- ・ 8ビットA/D変換結果レジスタ (ADCRnH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ アナログ入力チャネル指定レジスタ (ADSn)
- ・ 変換設定レジスタ (ADSCTL)
- ・ 変換トリガ指定レジスタn (ADTRn)
- ・ 変換割り込み制御レジスタ (ADINTCTL)
- ・ 変換割り込みステータス・レジスタ (ADINTST)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

注意2. ビット6, 1には、必ず0を設定してください。

備考 n = 0-3

20.3.2 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

A/Dコンバータをリセットする場合は、ADCRESES ビットに1を設定してください。

PRR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-3 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H

リセット時: 00H

R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRESES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES
ADCRESES	A/Dコンバータのリセット制御							
0	A/Dコンバータのリセット解除							
1	A/Dコンバータはリセット状態 ・A/Dコンバータで使用するSFRが初期化されます。							

注意 ビット7, 6, 1には、必ず0を設定してください。

20.3.3 A/Dコンバータ・モード・レジスタ0 (ADM0)

ADM0レジスタは、A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。
ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図20-4 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス : FFF30H
リセット時: 00H
R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE
ADCS	A/D変換動作の制御							
0	変換動作停止 [読み出し時] 変換動作停止/待機状態							
1	変換動作許可 [読み出し時] ソフトウェア・トリガ・ノー・ウエイト・モード時: 変換動作許可 ソフトウェア・トリガ・ウエイト・モード時: A/D電源安定待ち状態+変換動作状態 ハードウェア・トリガ・ノー・ウエイト・モード時: 変換動作許可 ハードウェア・トリガ・ウエイト・モード時: A/D電源安定待ち状態+変換動作状態 アドバンスド・モード時: 変換動作許可							
ADMD	A/D変換チャンネル選択モードを設定							
0	セレクト・モード							
1	スキャン・モード							
ADCE	A/D電圧コンパレータの動作制御 ^{注2}							
0	A/D電圧コンパレータの動作停止							
1	A/D電圧コンパレータの動作許可							

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、**表20-6 A/D変換時間の選択**を参照してください。

注2. ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μ s+変換クロック (fAD) の2クロックかかります。このため、ADCEビットに1を設定してから1 μ s+変換クロック (fAD) の2クロック以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。ADCE = 0状態でADCS = 1に設定した場合は、安定待ち後A/D変換を開始します。1 μ s+変換クロック (fAD) の2クロック以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。

注意2. ADCS = 1, ADCE = 1からADCS = 1, ADCE = 0への設定は禁止です。

注意3. ADCS = 0, ADCE = 0の状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止です。

必ず20.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

注意4. アドバンスド・モードONの場合はADMD = 1に設定することは禁止です。

注意5. アドバンスド・モードONの場合はADCS = 1のとき、ADCS = 1を上書きすることは禁止です。

(注意は次ページに続きます)

注意6. アドバンスド・モードONの場合はADCE = 1のとき、ADCE = 1を上書きすることは禁止です。

★

注意7. 変換待機状態／変換動作状態からADCS = 0, ADCE = 0の変換停止状態にした場合は、次にADCE = 1またはADCS = 1を設定するまでに5 μ s ウェイトしてください。なお、ADMD, FR2-FR0, LV1, LV0ビットを変更する場合は、ADCS = 0, ADCE = 0に設定したあと、0.2 μ s 経過後にADMD, FR2-FR0, LV1, LV0ビットを変更してください。

表20 - 3 ADCSビットとADCEビットの設定

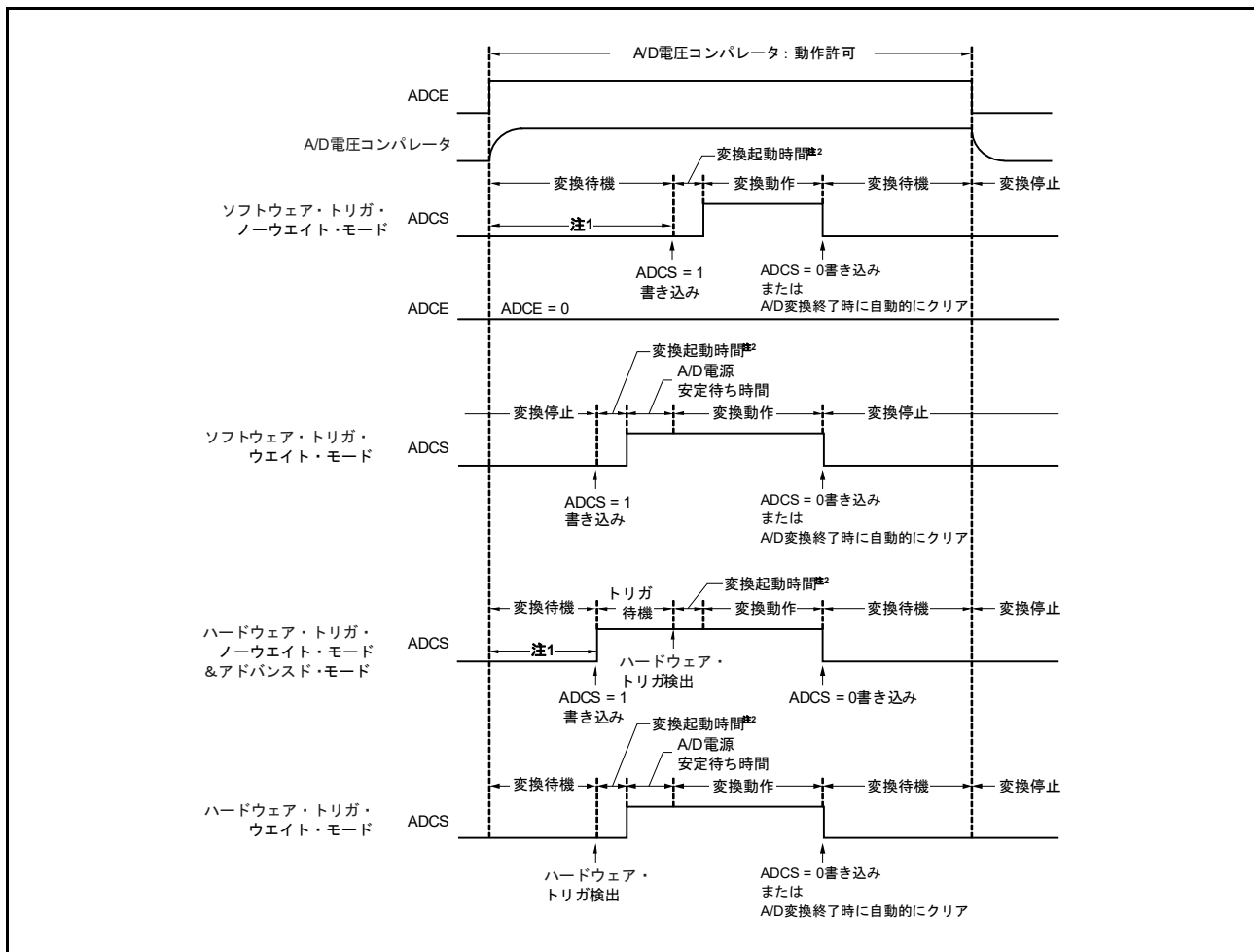
ADVMOD	ADCS	ADCE	A/D状態
0/1	0	0	変換停止
0/1	0	1	変換待機
0	1	0	変換動作 (ソフトウェア・トリガ・ウェイト・モード) 禁止状態 (ソフトウェア・トリガ・ウェイト・モード以外)
0	1	1	変換動作 (ソフトウェア・トリガ・ウェイト・モード以外)
1	1	0	禁止状態 (ADCE = 1より先にADCS = 1の設定は禁止)
1	1	1	トリガ待機 or 変換動作 (トリガ受信後)

表20-4 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ・ノーウェイト・モード	セレクト・モード	連続変換モード	ADCS = 1 書き込み	ADCS = 0 書き込み
		ワンショット変換モード		• ADCS = 0 書き込み • A/D変換終了
	スキャン・モード	連続変換モード		ADCS = 0 書き込み
		ワンショット変換モード		• ADCS = 0 書き込み • 設定した4チャンネル分の変換が終了
ソフトウェア・トリガ・ウェイト・モード	セレクト・モード	連続変換モード		ADCS = 0 書き込み
		ワンショット変換モード		• ADCS = 0 書き込み • A/D変換終了
	スキャン・モード	連続変換モード		ADCS = 0 書き込み
		ワンショット変換モード		• ADCS = 0 書き込み • 設定した4チャンネル分の変換が終了
ハードウェア・トリガ・ノーウェイト・モード	セレクト・モード	連続変換モード		ADCS = 0 書き込み
		ワンショット変換モード		ADCS = 0 書き込み
	スキャン・モード	連続変換モード	ADCS = 0 書き込み	
		ワンショット変換モード	ADCS = 0 書き込み	
アドバンスド・モード注	セレクト・モード	ワンショット変換モード	ADCS = 0 書き込み	
ハードウェア・トリガ・ウェイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガが入力された場合	ADCS = 0 書き込み
		ワンショット変換モード		• ADCS = 0 書き込み • A/D変換終了
	スキャン・モード	連続変換モード		ADCS = 0 書き込み
		ワンショット変換モード		• ADCS = 0 書き込み • 設定した4チャンネル分の変換が終了

注 アドバンスド・モードは、スキャン・モードおよび連続変換モードに対応していません。

図20-5 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時およびアドバンスド・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、1 μ s + 変換クロック (fAD) の2クロック以上が必要です。

注2. 変換起動には、最大で次の時間がかかります。

ADM1	ADM0			変換クロック (fAD)	変換起動時間 (fCLKクロック数) (ソフトウェア・トリガ、ハードウェア・トリガ共通)		
	ADLSP	FR2	FR1		FR0	ノーウエイト・モード	ウエイト・モード
0	0	0	0	fCLK/32	31	1	36
0	0	0	1	fCLK/16	15	1	20
0	0	1	0	fCLK/8	7	1	12
0	0	1	1	fCLK/4	3	1	8
0	1	0	0	fCLK/2	1	1	6
0	1	0	1	fCLK	1	1	5
1	0	1	1	fCLK/4	3	1	8
1	1	0	0	fCLK/2	1	1	6
1	1	0	1	fCLK	1	1	5

ただし、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

(注意は次ページに続きます)

- 注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、A/D変換待機状態にするために、ADCSビットに0を設定することは可能です。
- 注意2. ハードウェア・トリガ・ノーウエイト・モードおよびアドバンスド・モードでのワンショット変換モード時、A/D変換終了時にADCSビットは、自動的に0にクリアされません。1のまま保持されます。
- 注意3. ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。
- 注意4. アドバンスド・モードではトリガ要因が発生してから、トリガを検知するまでに3 fCLKが必要です。表20 - 5にアドバンスド・モードでの、トリガ発生または直前変換終了後～A/D変換開始までのクロック数を示します。
- 注意5. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

	ハードウェア・トリガ・ノーウエイト・モード時	: fCLKの2クロック+変換起動時間+ A/D変換時間
★	ハードウェア・トリガ・ウエイト・モード時	: fCLKの2クロック+変換起動時間+ A/D電源安定待ち時間+ A/D変換時間 + 5 μs
	アドバンスド・モード時	: fCLKの3クロック+変換起動時間+ A/D変換時間

- 備考 fCLK : CPU／周辺ハードウェア・クロック周波数
- 変換開始遅延 : 変換起動時間経過後、A/D変換時間が開始するまでに発生する遅延 = 1 fAD
- 割り込み出力遅延 : A/D変換が完了後からINTAD0-3が発生するまでの遅延 = 1 fAD

表20-5 アドバンスド・モードにおける、トリガ発生または直前変換終了後～A/D変換開始までの必要クロック数一覧

準備期間名称	シチュエーション	必要クロック数
① 新規変換の準備期間	変換が実行されておらず、トリガ待機状態の場合に要因トリガが発生した場合の要因発生～A/D変換までの期間	変換起動時間 (4 fCLK + 1 fAD)
② 高優先トリガの準備期間	低優先変換の実行時で、高優先変換の要因トリガが発生した場合の要因発生～A/D変換開始までの期間	7 fCLK + 8 fAD
③ 保留案件の準備期間	実行中の変換完了から、保留案件のA/D変換が開始されるまでの期間	4 fCLK + 1 fAD

表20 - 6 A/D変換時間の選択 (1/11)

(1) A/D電源安定待ち時間なし標準モード1, 2

(ソフトウェア・トリガ・ノーウエイト・セレクト・モード/ハードウェア・トリガ・ノーウエイト・セレクト・モード)

A/Dコンバータ・モード・レジスタ0							A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)										
A/Dコンバータ・モード・レジスタ1		モード	変換 クロック (fAD)	変換開始遅 延クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V										
(AD M1)	(ADM0)						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz						
ADL SP	FR2						FR1	FR0	LV1	LV0							
0	0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	2112/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	66 μs
0	0	0	1					fCLK/16	1 fAD	64 fAD	1 fAD	1056/fCLK	設定禁止	設定禁止	設定禁止	66 μs	33 μs
0	0	1	0					fCLK/8	1 fAD	64 fAD	1 fAD	528/fCLK	設定禁止	設定禁止	66 μs	33 μs	16.5 μs
0	0	1	1					fCLK/4	1 fAD	64 fAD	1 fAD	264/fCLK	設定禁止	設定禁止	33 μs	16.5 μs	8.25 μs
0	1	0	0					fCLK/2	1 fAD	64 fAD	1 fAD	132/fCLK	設定禁止	設定禁止	16.5 μs	8.25 μs	4.125 μs
0	1	0	1					fCLK	1 fAD	64 fAD	1 fAD	66/fCLK	設定禁止	設定禁止	8.25 μs	4.125 μs	2.0625 μs
1	0	1	1					fCLK/4	1 fAD	64 fAD	1 fAD	264/fCLK	設定禁止	66 μs	設定禁止	設定禁止	設定禁止
1	1	0	0					fCLK/2	1 fAD	64 fAD	1 fAD	132/fCLK	設定禁止	33 μs	設定禁止	設定禁止	設定禁止
1	1	0	1					fCLK	1 fAD	64 fAD	1 fAD	66/fCLK	66 μs	16.5 μs	設定禁止	設定禁止	設定禁止
上記以外								設定禁止									
0	0	0	0	0	0	1	標準2	fCLK/32	1 fAD	181 fAD	1 fAD	5856/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	183 μs
0	0	0	1					fCLK/16	1 fAD	181 fAD	1 fAD	2928/fCLK	設定禁止	設定禁止	設定禁止	183 μs	91.5 μs
0	0	1	0					fCLK/8	1 fAD	181 fAD	1 fAD	1464/fCLK	設定禁止	設定禁止	183 μs	91.5 μs	45.75 μs
0	0	1	1					fCLK/4	1 fAD	181 fAD	1 fAD	732/fCLK	設定禁止	設定禁止	91.5 μs	45.75 μs	22.875 μs
0	1	0	0					fCLK/2	1 fAD	181 fAD	1 fAD	366/fCLK	設定禁止	設定禁止	45.75 μs	22.875 μs	11.4375 μs
0	1	0	1					fCLK	1 fAD	181 fAD	1 fAD	183/fCLK	設定禁止	設定禁止	22.875 μs	11.4375 μs	5.71875 μs
1	0	1	1					fCLK/4	1 fAD	181 fAD	1 fAD	732/fCLK	設定禁止	183 μs	設定禁止	設定禁止	設定禁止
1	1	0	0					fCLK/2	1 fAD	181 fAD	1 fAD	366/fCLK	設定禁止	91.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1					fCLK	1 fAD	181 fAD	1 fAD	183/fCLK	183 μs	45.75 μs	設定禁止	設定禁止	設定禁止
上記以外								設定禁止									

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (2/11)

(2) A/D電源安定待ち時間なし低電圧モード1, 2

(ソフトウェア・トリガ・ノーウエイト・セレクト・モード/ハードウェア・トリガ・ノーウエイト・セレクト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始遅 延クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)					
(AD M1)	(ADM0)										1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.8 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V	
	ADL SP	FR2	FR1	FR0	LV1						LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82 μs
0	0	0	1	1	0		fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82 μs	41 μs
0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	656/fCLK	設定禁止	設定禁止	82 μs	41 μs	20.5 μs
0	0	1	1				fCLK/4	1 fAD	80 fAD	1 fAD	328/fCLK	設定禁止	設定禁止	41 μs	20.5 μs	10.25 μs
0	1	0	0				fCLK/2	1 fAD	80 fAD	1 fAD	164/fCLK	設定禁止	設定禁止	20.5 μs	10.25 μs	5.125 μs
0	1	0	1				fCLK	1 fAD	80 fAD	1 fAD	82/fCLK	設定禁止	設定禁止	10.25 μs	5.125 μs	設定禁止
1	0	1	1				fCLK/4	1 fAD	80 fAD	1 fAD	328/fCLK	設定禁止	82 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	80 fAD	1 fAD	164/fCLK	設定禁止	41 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	80 fAD	1 fAD	82/fCLK	82 μs	20.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	1	1	低電圧2	fCLK/32	1 fAD	107 fAD	1 fAD	3488/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	109 μs
0	0	0	1	1	1		fCLK/16	1 fAD	107 fAD	1 fAD	1744/fCLK	設定禁止	設定禁止	設定禁止	109 μs	54.5 μs
0	0	1	0				fCLK/8	1 fAD	107 fAD	1 fAD	872/fCLK	設定禁止	設定禁止	109 μs	54.5 μs	27.25 μs
0	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	設定禁止	54.5 μs	27.25 μs	13.625 μs
0	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	設定禁止	27.25 μs	13.625 μs	6.8125 μs
0	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	設定禁止	設定禁止	13.625 μs	6.8125 μs	設定禁止
1	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	109 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	54.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (3/11)

(3) A/D電源安定待ち時間あり標準モード1, 2

(ソフトウェア・トリガ・ウエイト・セレクト・モード/ハードウェア・トリガ・ウエイト・セレクト・モード注1)

A/Dコンバータ・モード・レジスタ0							モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間+変換時間+割り込み出力遅延時間)					
A/Dコンバータ・モード・レジスタ1												2.4 V ≤ AVREFF ≤ VDD ≤ 5.5 V					
(AD M1)	(ADM0)					fCLK = 1 MHz						fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz		
ADL SP	FR2	FR1	FR0	LV1	LV0												
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72 μs	
0	0	0	1		fCLK/16		4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	72 μs	36 μs		
0	0	1	0		fCLK/8		6 fAD	64 fAD	4 fAD	592/fCLK	設定禁止	設定禁止	74 μs	37 μs	18.5 μs		
0	0	1	1		fCLK/4		10 fAD	64 fAD	4 fAD	312/fCLK	設定禁止	設定禁止	39 μs	19.5 μs	9.75 μs		
0	1	0	0		fCLK/2		18 fAD	64 fAD	4 fAD	172/fCLK	設定禁止	設定禁止	21.5 μs	10.75 μs	5.375 μs		
0	1	0	1		fCLK		34 fAD	64 fAD	4 fAD	102/fCLK	設定禁止	設定禁止	12.75 μs	6.375 μs	3.1875 μs		
1	0	1	1		fCLK/4		4 fAD	64 fAD	4 fAD	288/fCLK	設定禁止	72 μs	設定禁止	設定禁止	設定禁止		
1	1	0	0		fCLK/2		4 fAD	64 fAD	4 fAD	144/fCLK	設定禁止	36 μs	設定禁止	設定禁止	設定禁止		
1	1	0	1		fCLK		6 fAD	64 fAD	4 fAD	74/fCLK	74 μs	18.5 μs	設定禁止	設定禁止	設定禁止		
上記以外					設定禁止												
0	0	0	0	0	標準2	fCLK/32	4 fAD	181 fAD	4 fAD	6048/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	189 μs		
0	0	0	1			fCLK/16	4 fAD	181 fAD	4 fAD	3024/fCLK	設定禁止	設定禁止	設定禁止	189 μs	94.5 μs		
0	0	1	0			fCLK/8	6 fAD	181 fAD	4 fAD	1528/fCLK	設定禁止	設定禁止	191 μs	95.5 μs	47.75 μs		
0	0	1	1			fCLK/4	10 fAD	181 fAD	4 fAD	780/fCLK	設定禁止	設定禁止	97.5 μs	48.75 μs	24.375 μs		
0	1	0	0			fCLK/2	18 fAD	181 fAD	4 fAD	406/fCLK	設定禁止	設定禁止	50.75 μs	25.375 μs	12.6875 μs		
0	1	0	1			fCLK	34 fAD	181 fAD	4 fAD	219/fCLK	設定禁止	設定禁止	27.375 μs	13.6875 μs	6.84375 μs		
1	0	1	1			fCLK/4	4 fAD	181 fAD	4 fAD	756/fCLK	設定禁止	189 μs	設定禁止	設定禁止	設定禁止		
1	1	0	0			fCLK/2	4 fAD	181 fAD	4 fAD	378/fCLK	設定禁止	94.5 μs	設定禁止	設定禁止	設定禁止		
1	1	0	1			fCLK	6 fAD	181 fAD	4 fAD	191/fCLK	191 μs	47.75 μs	設定禁止	設定禁止	設定禁止		
上記以外						設定禁止											

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表20-6 A/D変換時間の選択(1/11)参照)。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック (fAD) の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。なお、変換時間 (tCONV) はA/D電源安定待ち時間を含みません。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意6. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表20-6 A/D変換時間の選択 (4/11)

(4) A/D電源安定待ち時間あり低電圧モード1, 2
 (ソフトウェア・トリガ・ウエイト・セレクト・モード/ハードウェア・トリガ・ウエイト・セレクト・モード注1)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間+変換時間+割り込み出力遅延時間)					
(AD M1)	(ADM0)										1.6V ≤ AVREFF ≤ VDD ≤ 5.5V	1.6V ≤ AVREFF ≤ VDD ≤ 5.5V	1.8V ≤ AVREFF ≤ VDD ≤ 5.5V	2.4V ≤ AVREFF ≤ VDD ≤ 5.5V	2.7V ≤ AVREFF ≤ VDD ≤ 5.5V	
	ADL SP	FR2	FR1	FR0	LV1						LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	2816/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	88 μs
0	0	0	1				fCLK/16	4 fAD	80 fAD	4 fAD	1408/fCLK	設定禁止	設定禁止	設定禁止	88 μs	44 μs
0	0	1	0				fCLK/8	6 fAD	80 fAD	4 fAD	720/fCLK	設定禁止	設定禁止	90 μs	45 μs	22.5 μs
0	0	1	1				fCLK/4	10 fAD	80 fAD	4 fAD	376/fCLK	設定禁止	設定禁止	47 μs	23.5 μs	11.75 μs
0	1	0	0				fCLK/2	18 fAD	80 fAD	4 fAD	204/fCLK	設定禁止	設定禁止	25.5 μs	12.75 μs	6.375 μs
0	1	0	1				fCLK	34 fAD	80 fAD	4 fAD	118/fCLK	設定禁止	設定禁止	14.75 μs	7.375 μs	設定禁止
1	0	1	1				fCLK/4	4 fAD	80 fAD	4 fAD	352/fCLK	設定禁止	88 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	80 fAD	4 fAD	176/fCLK	設定禁止	44 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	80 fAD	4 fAD	90/fCLK	90 μs	22.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	1	1	低電圧2	fCLK/32	4 fAD	107 fAD	4 fAD	3680/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	115 μs
0	0	0	1				fCLK/16	4 fAD	107 fAD	4 fAD	1840/fCLK	設定禁止	設定禁止	設定禁止	115 μs	57.5 μs
0	0	1	0				fCLK/8	6 fAD	107 fAD	4 fAD	936/fCLK	設定禁止	設定禁止	117 μs	58.5 μs	29.25 μs
0	0	1	1				fCLK/4	10 fAD	107 fAD	4 fAD	484/fCLK	設定禁止	設定禁止	60.5 μs	30.25 μs	15.125 μs
0	1	0	0				fCLK/2	18 fAD	107 fAD	4 fAD	258/fCLK	設定禁止	設定禁止	32.25 μs	16.125 μs	8.0625 μs
0	1	0	1				fCLK	34 fAD	107 fAD	4 fAD	145/fCLK	設定禁止	設定禁止	18.125 μs	9.0625 μs	設定禁止
1	0	1	1				fCLK/4	4 fAD	107 fAD	4 fAD	460/fCLK	設定禁止	115 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	107 fAD	4 fAD	230/fCLK	設定禁止	57.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	117/fCLK	117 μs	29.25 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません (表20-6 A/D変換時間の選択 (2/11)参照)。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック (fAD) の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。なお、変換時間 (tCONV) はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みません。

ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意6. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (5/11)

(5) A/D電源安定待ち時間なし標準モード1, 2

(ソフトウェア・トリガ・ノーウエイト・スキャン・モード/ハードウェア・トリガ・ノーウエイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間×4+割り込み出力遅延時間)					
(AD M1)	(ADM0)										2.4 V ≤ AVREFF ≤ VDD ≤ 5.5 V					
	ADL SP	FR2	FR1	FR0	LV1						LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	8256/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	258 μs
0	0	0	1	0	0		fCLK/16	1 fAD	64 fAD	1 fAD	4128/fCLK	設定禁止	設定禁止	設定禁止	258 μs	129 μs
0	0	1	0	0	0		fCLK/8	1 fAD	64 fAD	1 fAD	2064/fCLK	設定禁止	設定禁止	258 μs	129 μs	64.5 μs
0	0	1	1	0	0		fCLK/4	1 fAD	64 fAD	1 fAD	1032/fCLK	設定禁止	設定禁止	129 μs	64.5 μs	32.25 μs
0	1	0	0	0	0		fCLK/2	1 fAD	64 fAD	1 fAD	516/fCLK	設定禁止	設定禁止	64.5 μs	32.25 μs	16.125 μs
0	1	0	1	0	0		fCLK	1 fAD	64 fAD	1 fAD	258/fCLK	設定禁止	設定禁止	32.25 μs	16.125 μs	8.0625 μs
1	0	1	1	0	0		fCLK/4	1 fAD	64 fAD	1 fAD	1032/fCLK	設定禁止	258 μs	設定禁止	設定禁止	設定禁止
1	1	0	0	0	0		fCLK/2	1 fAD	64 fAD	1 fAD	516/fCLK	設定禁止	129 μs	設定禁止	設定禁止	設定禁止
1	1	0	1	0	0		fCLK	1 fAD	64 fAD	1 fAD	258/fCLK	258 μs	64.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	0	1	標準2	fCLK/32	1 fAD	181 fAD	1 fAD	23232/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	726 μs
0	0	0	1	0	1		fCLK/16	1 fAD	181 fAD	1 fAD	11616/fCLK	設定禁止	設定禁止	設定禁止	726 μs	363 μs
0	0	1	0	0	1		fCLK/8	1 fAD	181 fAD	1 fAD	5808/fCLK	設定禁止	設定禁止	726 μs	363 μs	181.5 μs
0	0	1	1	0	1		fCLK/4	1 fAD	181 fAD	1 fAD	2904/fCLK	設定禁止	設定禁止	363 μs	181.5 μs	90.75 μs
0	1	0	0	0	1		fCLK/2	1 fAD	181 fAD	1 fAD	1452/fCLK	設定禁止	設定禁止	181.5 μs	90.75 μs	45.375 μs
0	1	0	1	0	1		fCLK	1 fAD	181 fAD	1 fAD	726/fCLK	設定禁止	設定禁止	90.75 μs	45.375 μs	22.6875 μs
1	0	1	1	0	1		fCLK/4	1 fAD	181 fAD	1 fAD	2904/fCLK	設定禁止	726 μs	設定禁止	設定禁止	設定禁止
1	1	0	0	0	1		fCLK/2	1 fAD	181 fAD	1 fAD	1452/fCLK	設定禁止	363 μs	設定禁止	設定禁止	設定禁止
1	1	0	1	0	1		fCLK	1 fAD	181 fAD	1 fAD	726/fCLK	726 μs	181.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (6/11)

(6) A/D電源安定待ち時間なし低電圧モード1, 2

(ソフトウェア・トリガ・ノーウエイト・スキャン・モード/ハードウェア・トリガ・ノーウエイト・スキャン・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始遅延 クロック 数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間+変換時間×4+割り込み出力遅延時間)					
(AD M1)	(ADM0)										1.6V ≤ AVREFF ≤ VDD ≤ 5.5V	1.6V ≤ AVREFF ≤ VDD ≤ 5.5V	1.8V ≤ AVREFF ≤ VDD ≤ 5.5V	2.4V ≤ AVREFF ≤ VDD ≤ 5.5V	2.7V ≤ AVREFF ≤ VDD ≤ 5.5V	
	ADL SP	FR2	FR1	FR0	LV1						LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	10304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	322 μs
0	0	0	1	1	0		fCLK/16	1 fAD	80 fAD	1 fAD	5152/fCLK	設定禁止	設定禁止	設定禁止	322 μs	161 μs
0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	2576/fCLK	設定禁止	設定禁止	322 μs	161 μs	80.5 μs
0	0	1	1				fCLK/4	1 fAD	80 fAD	1 fAD	1288/fCLK	設定禁止	設定禁止	161 μs	80.5 μs	40.25 μs
0	1	0	0				fCLK/2	1 fAD	80 fAD	1 fAD	644/fCLK	設定禁止	設定禁止	80.5 μs	40.25 μs	20.125 μs
0	1	0	1				fCLK	1 fAD	80 fAD	1 fAD	322/fCLK	設定禁止	設定禁止	40.25 μs	20.125 μs	設定禁止
1	0	1	1				fCLK/4	1 fAD	80 fAD	1 fAD	1288/fCLK	設定禁止	322 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	80 fAD	1 fAD	644/fCLK	設定禁止	161 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	80 fAD	1 fAD	322/fCLK	322 μs	80.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	1	1	低電圧2	fCLK/32	1 fAD	107 fAD	1 fAD	13760/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	430 μs
0	0	0	1	1	1		fCLK/16	1 fAD	107 fAD	1 fAD	6880/fCLK	設定禁止	設定禁止	設定禁止	430 μs	215 μs
0	0	1	0				fCLK/8	1 fAD	107 fAD	1 fAD	3440/fCLK	設定禁止	設定禁止	430 μs	215 μs	107.5 μs
0	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	1720/fCLK	設定禁止	設定禁止	215 μs	107.5 μs	53.75 μs
0	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	860/fCLK	設定禁止	設定禁止	107.5 μs	53.75 μs	26.875 μs
0	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	430/fCLK	設定禁止	設定禁止	53.75 μs	26.875 μs	設定禁止
1	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	1720/fCLK	設定禁止	430 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	860/fCLK	設定禁止	215 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	430/fCLK	430 μs	107.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (7/11)

(7) A/D電源安定待ち時間あり標準モード1, 2

(ソフトウェア・トリガ・ウェイト・スキャン・モード/ハードウェア・トリガ・ウェイト・スキャン・モード注1)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							A/D変換時間 (A/D電源安定待ち時間+変換時間×4+割り込み出力遅延時間)									
(AD M1)	(ADM0)					モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	2.4 V ≤ AVREFF ≤ VDD ≤ 5.5 V					
	ADL SP	FR2	FR1	FR0	LV1						LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	8448/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	264 μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	4224/fCLK	設定禁止	設定禁止	設定禁止	264 μs	132 μs
0	0	1	0				fCLK/8	6 fAD	64 fAD	4 fAD	2128/fCLK	設定禁止	設定禁止	266 μs	133 μs	66.5 μs
0	0	1	1				fCLK/4	10 fAD	64 fAD	4 fAD	1080/fCLK	設定禁止	設定禁止	135 μs	67.5 μs	33.75 μs
0	1	0	0				fCLK/2	18 fAD	64 fAD	4 fAD	556/fCLK	設定禁止	設定禁止	69.5 μs	34.75 μs	17.375 μs
0	1	0	1				fCLK	34 fAD	64 fAD	4 fAD	294/fCLK	設定禁止	設定禁止	36.75 μs	18.375 μs	9.1875 μs
1	0	1	1				fCLK/4	4 fAD	64 fAD	4 fAD	1056/fCLK	1056 μs	264 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	64 fAD	4 fAD	528/fCLK	528 μs	132 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	64 fAD	4 fAD	266/fCLK	266 μs	66.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	0	0	標準2	fCLK/32	4 fAD	181 fAD	4 fAD	23424/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	732 μs
0	0	0	1				fCLK/16	4 fAD	181 fAD	4 fAD	11712/fCLK	設定禁止	設定禁止	設定禁止	732 μs	366 μs
0	0	1	0				fCLK/8	6 fAD	181 fAD	4 fAD	5872/fCLK	設定禁止	設定禁止	734 μs	367 μs	183.5 μs
0	0	1	1				fCLK/4	10 fAD	181 fAD	4 fAD	2952/fCLK	設定禁止	設定禁止	369 μs	184.5 μs	92.25 μs
0	1	0	0				fCLK/2	18 fAD	181 fAD	4 fAD	1492/fCLK	設定禁止	設定禁止	186.5 μs	93.25 μs	46.625 μs
0	1	0	1				fCLK	34 fAD	181 fAD	4 fAD	762/fCLK	設定禁止	設定禁止	95.25 μs	47.625 μs	23.8125 μs
1	0	1	1				fCLK/4	4 fAD	181 fAD	4 fAD	2928/fCLK	設定禁止	732 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	181 fAD	4 fAD	1464/fCLK	設定禁止	366 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	181 fAD	4 fAD	734/fCLK	734 μs	183.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表20-6 A/D変換時間の選択(1/11)参照)。
- 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック(fAD)の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック(fAD)と変換時間(tCONV)の範囲内で選択してください。なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意6. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (8/11)

(8) A/D電源安定待ち時間あり低電圧モード1, 2
 (ソフトウェア・トリガ・ウエイト・スキャン・モード/ハードウェア・トリガ・ウエイト・スキャン・モード注1)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1										A/D変換時間 (A/D電源安定待ち時間+変換時間×4+割り込み出力遅延時間)						
(AD M1)	(ADM0)					モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	1.6V ≤	1.6V ≤	1.8V ≤	2.4V ≤	2.7V ≤	
	ADL SP	FR2	FR1	FR0	LV1						LV0	AVREFF ≤	AVREFF ≤	AVREFF ≤	AVREFF ≤	AVREFF ≤
											fCLK =	fCLK =	fCLK =	fCLK =	fCLK =	
											1 MHz	4 MHz	8 MHz	16 MHz	32 MHz	
0	0	0	0	1	0	低電圧 1	fCLK/32	4 fAD	80 fAD	4 fAD	10496/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	328 μs
0	0	0	1		fCLK/16		4 fAD	80 fAD	4 fAD	5248/fCLK	設定禁止	設定禁止	設定禁止	328 μs	164 μs	
0	0	1	0		fCLK/8		6 fAD	80 fAD	4 fAD	2640/fCLK	設定禁止	設定禁止	330 μs	165 μs	82.5 μs	
0	0	1	1		fCLK/4		10 fAD	80 fAD	4 fAD	1336/fCLK	設定禁止	設定禁止	167 μs	83.5 μs	41.75 μs	
0	1	0	0		fCLK/2		18 fAD	80 fAD	4 fAD	684/fCLK	設定禁止	設定禁止	85.5 μs	42.75 μs	21.375 μs	
0	1	0	1		fCLK		34 fAD	80 fAD	4 fAD	358/fCLK	設定禁止	設定禁止	44.75 μs	22.375 μs	設定禁止	
1	0	1	1		fCLK/4		4 fAD	80 fAD	4 fAD	1312/fCLK	設定禁止	328 μs	設定禁止	設定禁止	設定禁止	
1	1	0	0		fCLK/2		4 fAD	80 fAD	4 fAD	656/fCLK	設定禁止	164 μs	設定禁止	設定禁止	設定禁止	
1	1	0	1		fCLK		6 fAD	80 fAD	4 fAD	330/fCLK	330 μs	82.5 μs	設定禁止	設定禁止	設定禁止	
上記以外							設定禁止									
0	0	0	0	1	1	低電圧 2	fCLK/32	4 fAD	107 fAD	4 fAD	13952/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	436 μs
0	0	0	1		fCLK/16		4 fAD	107 fAD	4 fAD	6976/fCLK	設定禁止	設定禁止	設定禁止	436 μs	218 μs	
0	0	1	0		fCLK/8		6 fAD	107 fAD	4 fAD	3504/fCLK	設定禁止	設定禁止	438 μs	219 μs	109.5 μs	
0	0	1	1		fCLK/4		10 fAD	107 fAD	4 fAD	1768/fCLK	設定禁止	設定禁止	221 μs	110.5 μs	55.25 μs	
0	1	0	0		fCLK/2		18 fAD	107 fAD	4 fAD	900/fCLK	設定禁止	設定禁止	112.5 μs	56.25 μs	28.125 μs	
0	1	0	1		fCLK		34 fAD	107 fAD	4 fAD	466/fCLK	設定禁止	設定禁止	58.25 μs	29.125 μs	設定禁止	
1	0	1	1		fCLK/4		4 fAD	107 fAD	4 fAD	1744/fCLK	設定禁止	436 μs	設定禁止	設定禁止	設定禁止	
1	1	0	0		fCLK/2		4 fAD	107 fAD	4 fAD	872/fCLK	設定禁止	218 μs	設定禁止	設定禁止	設定禁止	
1	1	0	1		fCLK		6 fAD	107 fAD	4 fAD	438/fCLK	438 μs	109.5 μs	設定禁止	設定禁止	設定禁止	
上記以外							設定禁止									

- 注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません (表20 - 6 A/D変換時間の選択 (2/11)参照)。
 注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック (fAD) の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。なお、変換時間 (tCONV) はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みません。

ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意6. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (9/11)

(9) A/D電源安定待ち時間なし標準モード1 (ANI0-7が対象のケース)
(アドバンスド・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1										A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)							
(AD M1)	(ADM0)					モード	変換 クロック (fAD)	変換開始 遅延 クロック 数	変換 クロック 数 ^注	割り込み 出力遅延 クロック 数	2.4 V ≤ VDD ≤ 5.5 V					2.7 V ≤ VDD ≤ 5.5 V	
	ADL SP	FR2	FR1	FR0	LV1						LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	41 fAD	1 fAD	1376/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	43 μs	28.667 μs
0	0	0	1				fCLK/16	1 fAD	41 fAD	1 fAD	688/fCLK	設定禁止	設定禁止	設定禁止	43 μs	21.5 μs	14.333 μs
0	0	1	0				fCLK/8	1 fAD	41 fAD	1 fAD	344/fCLK	設定禁止	設定禁止	43 μs	21.5 μs	10.75 μs	7.1667 μs
0	0	1	1				fCLK/4	1 fAD	41 fAD	1 fAD	172/fCLK	設定禁止	設定禁止	21.5 μs	10.75 μs	5.375 μs	3.5833 μs
0	1	0	0				fCLK/2	1 fAD	41 fAD	1 fAD	86/fCLK	設定禁止	設定禁止	10.75 μs	5.375 μs	2.6875 μs	1.7917 μs
0	1	0	1				fCLK	1 fAD	41 fAD	1 fAD	43/fCLK	設定禁止	設定禁止	5.375 μs	2.6875 μs	1.3438 μs	0.8958 μs
1	0	1	1				fCLK/4	1 fAD	41 fAD	1 fAD	172/fCLK	設定禁止	43 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	41 fAD	1 fAD	86/fCLK	設定禁止	21.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	41 fAD	1 fAD	43/fCLK	43 μs	10.75 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外							設定禁止										

注 ADSPMODレジスタのADSPMOD1, ADSPMOD0ビットに01Bを設定した状態での変換クロック数を示します。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
上記起動時間は競合がない状態を示します。競合時の起動時間については、図20-5の注2の説明を参照してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 同時サンプリングを実施する場合は、以下の条件で行ってください。
ADLSP = 0, FR2-FR0 = 100B, LV1, LV0 = 00B, fCLK ≥ 32 MHz, VDD ≥ 2.7 V
ADLSP = 0, FR2-FR0 = 101B, LV1, LV0 = 00B, fCLK ≥ 16 MHz, VDD ≥ 2.7 V

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (10/11)

(10) A/D電源安定待ち時間なし標準モード1, 2 (ANI0-7, ANI16-30が対象のケース)
(アドバンスド・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1		モード		変換 クロック (fAD)	変換開始 遅延 クロック 数	変換 クロック 数注	割り込み 出力遅延 クロック 数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)										
(AD M1)	(ADM0)					標準1	標準2	2.4 V ≤ VDD ≤ 5.5 V						2.7 V ≤ VDD ≤ 5.5 V				
	ADL SP	FR2	FR1	FR0	LV1			LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz				
0	0	0	0	0	0	0	標準1	fCLK/32	1 fAD	48 fAD	1 fAD	1600/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	33.333 μs
0	0	0	0	1				fCLK/16	1 fAD	48 fAD	1 fAD	800/fCLK	設定禁止	設定禁止	設定禁止	50 μs	25 μs	16.667 μs
0	0	1	0					fCLK/8	1 fAD	48 fAD	1 fAD	400/fCLK	設定禁止	設定禁止	50 μs	25 μs	12.5 μs	8.3333 μs
0	0	1	1					fCLK/4	1 fAD	48 fAD	1 fAD	200/fCLK	設定禁止	設定禁止	25 μs	12.5 μs	6.25 μs	4.1667 μs
0	1	0	0					fCLK/2	1 fAD	48 fAD	1 fAD	100/fCLK	設定禁止	設定禁止	12.5 μs	6.25 μs	3.125 μs	2.0833 μs
0	1	0	1					fCLK	1 fAD	48 fAD	1 fAD	50/fCLK	設定禁止	設定禁止	6.25 μs	3.125 μs	1.5625 μs	1.0417 μs
1	0	1	1					fCLK/4	1 fAD	48 fAD	1 fAD	200/fCLK	設定禁止	50 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0					fCLK/2	1 fAD	48 fAD	1 fAD	100/fCLK	設定禁止	25 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1					fCLK	1 fAD	48 fAD	1 fAD	50/fCLK	50 μs	12.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外								設定禁止										
0	0	0	0	0	0	1	標準2	fCLK/32	1 fAD	261 fAD	1 fAD	8416/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	263 μs	175.33 μs
0	0	0	0	1				fCLK/16	1 fAD	261 fAD	1 fAD	4208/fCLK	設定禁止	設定禁止	設定禁止	263 μs	131.5 μs	87.667 μs
0	0	1	0					fCLK/8	1 fAD	261 fAD	1 fAD	2104/fCLK	設定禁止	設定禁止	263 μs	131.5 μs	65.75 μs	43.833 μs
0	0	1	1					fCLK/4	1 fAD	261 fAD	1 fAD	1052/fCLK	設定禁止	設定禁止	131.5 μs	65.75 μs	32.875 μs	21.917 μs
0	1	0	0					fCLK/2	1 fAD	261 fAD	1 fAD	526/fCLK	設定禁止	設定禁止	65.75 μs	32.875 μs	16.438 μs	10.958 μs
0	1	0	1					fCLK	1 fAD	261 fAD	1 fAD	263/fCLK	設定禁止	設定禁止	32.875 μs	16.438 μs	8.2188 μs	5.4792 μs
1	0	1	1					fCLK/4	1 fAD	261 fAD	1 fAD	1052/fCLK	設定禁止	263 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0					fCLK/2	1 fAD	261 fAD	1 fAD	526/fCLK	設定禁止	131.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1					fCLK	1 fAD	261 fAD	1 fAD	263/fCLK	263 μs	65.75 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外								設定禁止										

注 ADSPMODレジスタのADSPMOD1, ADSPMOD0ビットに00Bを設定した状態での変換クロック数を示します。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
上記起動時間は競合がない状態を示します。競合時の起動時間については、図20-5の注2の説明を参照してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。

注意6. 変換対象にPGA出力を選択したときは、標準モード1を使用してください。

注意7. PGAを選択した場合、PGAの安定化待ち時間が自動的に追加となります。
安定化待ち時間はPGAの増幅率設定によって変わります。

ゲインx4~x16 : 5 fAD

ゲインx32 : 36 fAD

注意8. 同時サンプリングを実施する場合は、以下の条件で行ってください。
ADLSP = 0, FR2-FR0 = 100B, LV1, LV0 = 00B, fCLK ≥ 32 MHz, VDD ≥ 2.7 V
ADLSP = 0, FR2-FR0 = 101B, LV1, LV0 = 00B, fCLK ≥ 16 MHz, VDD ≥ 2.7 V

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (11/11)

(11) A/D電源安定待ち時間なし低電圧モード1, 2
(アドバンスド・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始 遅延 クロック 数	変換 クロック 数	割り込み 出力遅延 クロック 数	A/D変換時間 (変換開始遅延時間+変換時間+割り込み出力遅延時間)						
(AD M1)	(ADM0)										1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V	1.8 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V	
	ADL SP	FR2	FR1	FR0	LV1						LV0	fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	0	0	1	0	低電圧 1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82 μs	54.667 μs
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82 μs	41 μs	27.333 μs
0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	656/fCLK	設定禁止	設定禁止	82 μs	41 μs	20.5 μs	13.667 μs
0	0	1	1				fCLK/4	1 fAD	80 fAD	1 fAD	328/fCLK	設定禁止	設定禁止	41 μs	20.5 μs	10.25 μs	6.8333 μs
0	1	0	0				fCLK/2	1 fAD	80 fAD	1 fAD	164/fCLK	設定禁止	設定禁止	20.5 μs	10.25 μs	5.125 μs	3.4167 μs
0	1	0	1				fCLK	1 fAD	80 fAD	1 fAD	82/fCLK	設定禁止	設定禁止	10.25 μs	5.125 μs	設定禁止	設定禁止
1	0	1	1				fCLK/4	1 fAD	80 fAD	1 fAD	328/fCLK	設定禁止	82 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	80 fAD	1 fAD	164/fCLK	設定禁止	41 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	80 fAD	1 fAD	82/fCLK	82 μs	20.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外							設定禁止										
0	0	0	0	1	1	低電圧 2	fCLK/32	1 fAD	107 fAD	1 fAD	3488/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	109 μs	72.667 μs
0	0	0	1				fCLK/16	1 fAD	107 fAD	1 fAD	1744/fCLK	設定禁止	設定禁止	設定禁止	109 μs	54.5 μs	36.333 μs
0	0	1	0				fCLK/8	1 fAD	107 fAD	1 fAD	872/fCLK	設定禁止	設定禁止	109 μs	54.5 μs	27.25 μs	18.167 μs
0	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	設定禁止	54.5 μs	27.25 μs	13.625 μs	9.0833 μs
0	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	設定禁止	27.25 μs	13.625 μs	6.8125 μs	4.5417 μs
0	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	設定禁止	設定禁止	13.625 μs	6.8125 μs	設定禁止	設定禁止
1	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	109 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	54.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外							設定禁止										

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

★ 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20-5の注2の説明を参照してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

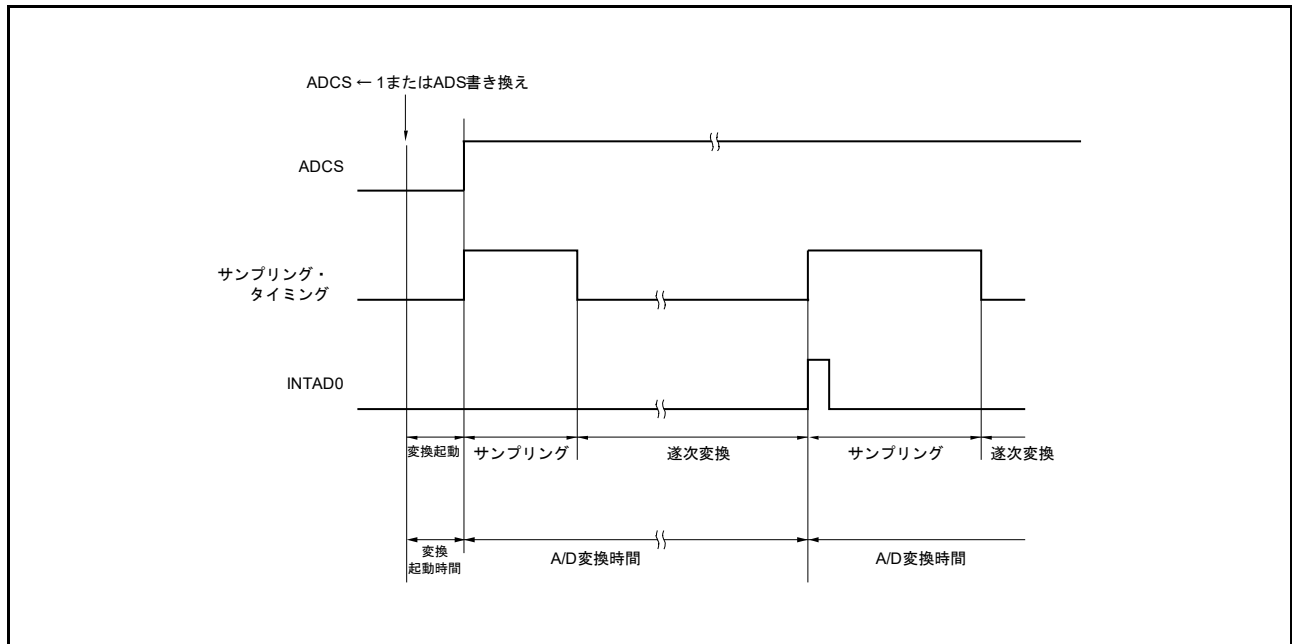
注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。

注意6. 変換対象にPGA出力を選択したときは、低電圧モード1を使用してください。

注意7. 低電圧モード1, 2で同時サンプリングを実施することは禁止です。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

図20 - 6 A/DコンバータのサンプリングとA/D変換のタイミング (例 ソフトウェア・トリガ・ノーウエイト・モードの場合)



20.3.4 A/Dコンバータ・モード・レジスタ1 (ADM1)

ADM1レジスタは、A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-7 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF32H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	ADLSP	ADTRS2	ADTRS1	ADTRS0
ADTMD1		ADTMD0		A/D変換トリガ・モードの選択				
0		×		ソフトウェア・トリガ・ノーウエイト・モード、ソフトウェア・トリガ・ウエイト・モード				
1		0		ハードウェア・トリガ・ノーウエイト・モード				
1		1		ハードウェア・トリガ・ウエイト・モード				
ADLSP		fCLKの入力周波数設定						
0		4 MHz < fCLK ≤ 48 MHz						
1		1 MHz ≤ fCLK ≤ 4 MHz						
ADSCM		A/D変換動作モードの設定 ^{注1}						
0		連続変換モード						
1		ワンショット変換モード						
ADTRS2		ADTRS1		ADTRS0		ハードウェア・トリガ信号の選択		
0		0		0		タイマ・アレイ・ユニットのチャンネル01のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)		
0		1		0		リアルタイム・クロック割り込み信号 (INTRTC)		
0		1		1		32ビット・インターバル・タイマチャンネル0割り込み信号 (ELCITL0)		
1		0		0		ELCからのイベント入力 ^{注2}		
上記以外				設定禁止				

注1. アドバンスド・モードONのときは、連続モード設定は禁止です。ADSCMビットは1（ワンショット変換モード）に設定してください。

注2. SNOOZEモード使用時は、ELCからのイベント入力を使用できません。

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : fCLKの2クロック+変換起動時間+ A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : fCLKの2クロック+変換起動時間+ A/D電源安定待ち時間+ A/D変換時間+ 5 μs

★

(注意、備考は次ページに続きます)

注意3. SNOOZEモード機能以外のモードにおいて、INTRTC, ELCITL0入力後最大fCLKの4クロック間は、次のINTRTC, ELCITL0入力がトリガとして有効になりません。

注意4. ADTMD1, ADTMD0ビットとADTRS2-ADTRS0ビットはアドバンスド・モードOFFのときのみ有効です。アドバンスド・モードONのときは、初期値から変更しないでください。

備考1. × : Don't care

備考2. fCLK : CPU/周辺ハードウェア・クロック周波数

20.3.5 A/Dコンバータ・モード・レジスタ2 (ADM2)

ADM2レジスタは、A/Dコンバータの+側基準電圧および-側基準電圧の選択、A/D変換結果の上限値/下限値のチェック、分解能の選択、およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H
 リセット時: 00H
 R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	ADTYP1	ADTYP0

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧の選択
0	0	VDDから供給
0	1	P20/AVREFP/ANI0から供給
1	0	内部基準電圧から供給 ^{注1}
1	1	ディスチャージ

- ★
 - ① ADCE = 0に設定
 - ② 0.2 μs以上をウエイト
 - ③ ADREFP1, ADREFP0 = 11Bに設定
ADREFP1, ADREFP0 = 10Bに変更する場合のみ
 - ④ 基準電圧ディスチャージ時間 : 1 μs
ADREFP1, ADREFP0 = 10Bに変更する場合のみ
 - ⑤ ADREFP1, ADREFP0ビットの値を変更
 - ⑥ 基準電圧安定待ち時間A
 - ⑦ ADCE = 1に設定
 - ⑧ 基準電圧安定待ち時間B
ADREFP1, ADREFP0 = 10Bに変更する場合 : A = 5 μs、B = 1 μs + 変換クロック (fAD) の2クロック
 - ★ ADREFP1, ADREFP0 = 00Bまたは01Bに変更する場合 : A = 4.8 μs、B = 1 μs + 変換クロック (fAD) の2クロック
 - ⑧のウエイトのあとに、A/D変換開始してください。
- ADREFP1, ADREFP0 = 10Bに設定した場合、温度センサ出力電圧と内部基準電圧^{注1}をA/D変換することはできません。
 - 必ずADISS = 0としてA/D変換を行ってください。

ADREFM	A/Dコンバータの-側の基準電圧の選択
0	Vssから供給
1	P21/AVREFM/ANI1から供給

図20-8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (2/2)

ADRCK	変換結果上限/下限値チェック
0	ADLLレジスタ ≤ ADCRnレジスタ ≤ ADULレジスタ (AREA1) のとき割り込み信号 (INTAD0-3) が発生。
1	ADCRnレジスタ < ADLLレジスタ (AREA2)、ADULレジスタ < ADCRnレジスタ (AREA3) のとき割り込み信号 (INTAD0-3) が発生。

図20-9にAREA1-AEA3の割り込み信号 (INTAD0-3) 発生範囲を示します。

AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います (SNOOZEモード)。

- SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
- SNOOZEモード機能を使用するとき、ソフトウェア・トリガ・ウェイト・モード時はAWC = 0、ハードウェア・トリガ・ウェイト・モード時はAWC = 1に設定してください。
- ソフトウェア・トリガ・ノーウェイト・モード、ハードウェア・トリガ・ノーウェイト・モード、およびアドバンスド・モードでのSNOOZEモード機能は使用禁止です。
- ハードウェア・トリガ・ウェイト・モードの連続変換モードでのSNOOZEモード機能は使用禁止です。
- SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間^{注2} + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + fCLKの2クロック + 5 μs」以上の間隔を空けて設定してください。
- SNOOZEモード機能を使用する場合でも、通常動作時はAWCビットに0を設定し、STOPモードへ移行する直前にAWC = 1に変更してください。

またSTOPモードから通常動作へ復帰後、必ずAWCビットを0に変更してください。
AWC = 1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。

★

ADTYP1	ADTYP0	A/D変換分解能の選択
0	0	10ビット分解能
0	1	8ビット分解能
1	0	12ビット分解能
1	1	設定禁止

注1. 内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) および第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

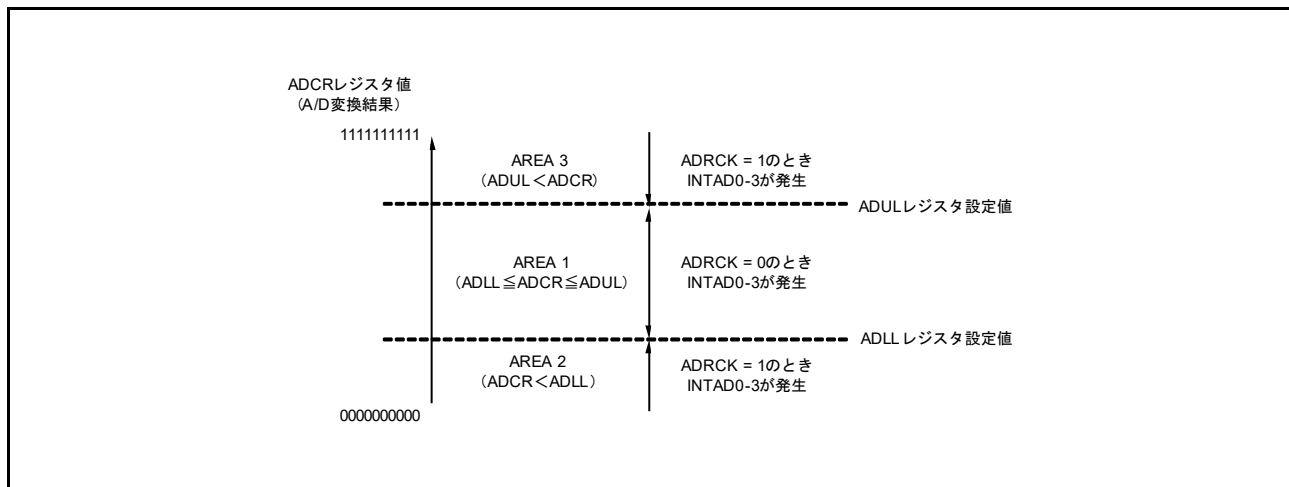
注2. 31.3.3 SNOOZEモードのSTOPモード→SNOOZEモードの遷移時間を参照してください。

注意1. ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意2. STOPモードまたはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADREFP1 = 1に設定しないでください。内部基準電圧 (ADREFP1, ADREFP0 = 10B) 選択時は、43.3.2 電源電流特性または44.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (IADREF) の電流値が加算されます。

注意3. AVREFPとAVREFMを使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタ (PMxx) は入力モードに設定してください。

図20 - 9 ADRCKビットによる割り込み信号発生範囲



備考 ADUL, ADLL レジスタと ADRCK ビットの組み合わせに応じて、INTAD0-3 が発生しないケースの場合は、A/D 変換結果が ADCR_n, ADCR_{nH} レジスタに格納されません。

20.3.6 A/Dコンバータ・モード・レジスタ3 (ADM3)

ADM3レジスタは、ソフトウェア・トリガの発生と、アドバンスド・モードの設定を行うレジスタです。

ADM3レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-10 A/Dコンバータ・モード・レジスタ3 (ADM3) のフォーマット

アドレス : F0014H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
ADM3	ADTRSWT	0	0	0	0	0	0	ADVMOD

ADTRSWT	ソフトウェア・トリガ
0	ソフトウェア・トリガ未発生
1	ソフトウェア・トリガ発生 1を設定したあとは自動的に0にクリアされます注。

ADVMOD	アドバンスド・モード設定
0	アドバンスド・モードOFF
1	アドバンスド・モードON

注 ADTRSWTビットは常に0が読めます。

注意 【ADVMODビットの設定タイミング】

ADVMODビットの書き換えは、変換停止状態のとき、ほかの動作制御用レジスタを設定する前に実施してください。

ADVMODビットの切り替えでほかのレジスタのリセットが発生しないため、アドバンスド・モードON/OFFの状況に応じたレジスタクリア処置や設定を実施してください。

【ADTRSWTビットとADVMODビットの同時設定禁止】

ADTRSWT = 0, ADVMOD = 0の状態、8ビット・メモリ操作命令で、同時に0から1に設定しないでください。また、必ずADVMOD = 1の設定を先に実施してください。

20.3.7 12ビット／10ビットA/D変換結果レジスタ (ADCR, ADCRn) (n = 0-3)

ADCR, ADCRn レジスタは、A/D 変換結果を保持する 16 ビットのレジスタです。

12 ビット分解能 A/D 変換を選択時、上位 4 ビットは 0 固定です。

10 ビット分解能 A/D 変換を選択時、下位 6 ビットは 0 固定です。

A/D 変換が終了するたびに、SAR レジスタから変換結果がロードされます。

ADCRn レジスタは、16 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

アドバンスド・モード OFF におけるセレクト・モード時は、変換結果が ADCR レジスタおよび ADCR0 レジスタに格納されます^注。

アドバンスド・モード OFF におけるスキャン・モード時は、スキャン 0 の変換結果が ADCR レジスタおよび ADCR0 レジスタに格納され、スキャン 1-3 の変換結果が ADCR1-ADCR3 レジスタに格納されます^注。

アドバンスド・モード ON のときは、ADSn レジスタで選択したチャンネルの変換結果が、ADCRn レジスタに格納されます。

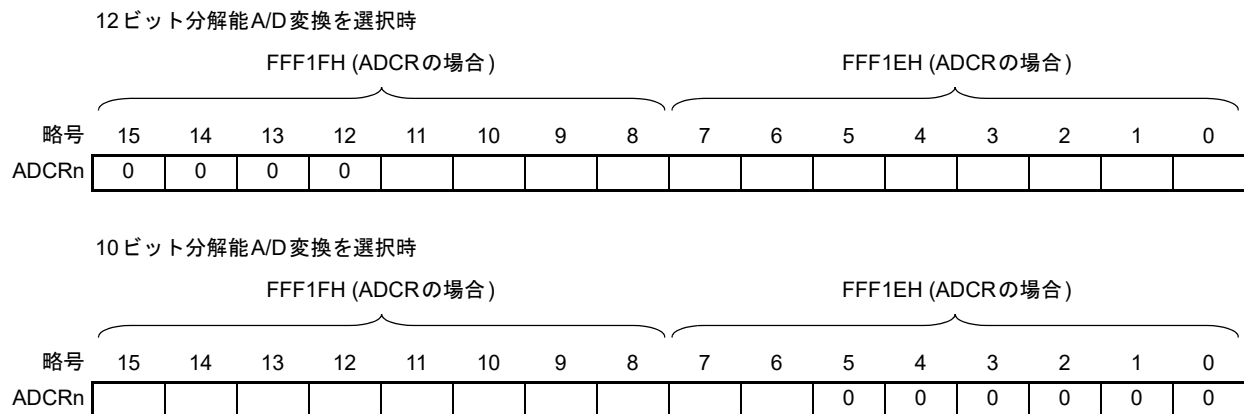
注 A/D 変換結果の値が A/D 変換結果比較機能 (ADM2.ADRCK ビット、ADUL, ADLL レジスタで設定 (図 20-9 ADRCK ビットによる割り込み信号発生範囲参照)) で設定した値の範囲外の場合は格納されません。

図 20-11 12ビット／10ビットA/D変換結果レジスタ (ADCR, ADCRn) のフォーマット

アドレス : FFF1FH, FFF1EH (ADCR)^注, F0021H, F0020H (ADCR0)^注, F0023H, F0022H (ADCR1),
F0025H, F0024H (ADCR2), F0027H, F0026H (ADCR3)

リセット時: 0000H

R/W属性 : R



注 ADCR0 レジスタには ADCR レジスタの内容が格納されます。アドバンスド・モード時は、ADCR0 レジスタを参照してください。

注意 1. 8ビット分解能 A/D 変換を選択時 (ADM2.ADTYP1, ADM2.ADTYP0 = 01B) に ADCRn レジスタを読み出した場合、上位 8 ビット以外のビットは 0 が読み出されます。

注意 2. ADCRn レジスタへ 16 ビット・アクセスした場合、10 ビット分解能 A/D 変換選択時は変換結果上位 10 ビットが ADCRn レジスタのビット 15 から順に読み出せます。

12 ビット分解能 A/D 変換選択時は変換結果上位 12 ビットが ADCRn レジスタのビット 11 から順に読み出せます。

(注意、備考は次ページに続きます)

注意3. A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャンネル指定レジスタ (ADS)、アナログ入力チャンネル指定レジスタ n (アドバンスド) (ADS_n)、ポート・モード・コントロールA・レジスタ (PMCA_{xx}) のうち、ANI信号に関するレジスタに対して書き込み動作を行ったとき、ADCR_nレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADS_n, PMCA_{xx}レジスタに対して書き込み動作を行う前に読み出してください。
上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

備考 n = 0-3

20.3.8 8ビットA/D変換結果レジスタ H, nH (ADCRH, ADCRnH) (n = 0-3)

ADCRH, ADCRnH レジスタは、A/D 変換結果を保持する 8 ビットのレジスタです。12 ビット分解能の上位 8 ビットを格納します^注。

ADCRnH レジスタは、8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00H になります。

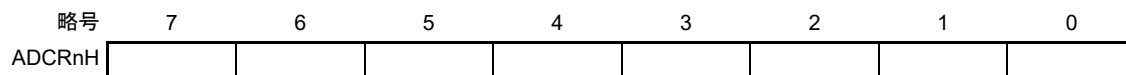
注 A/D 変換結果の値が A/D 変換結果比較機能 (ADM2.ADRCK ビット、ADUL, ADLL レジスタで設定 (図 20 - 9 ADRCK ビットによる割り込み信号発生範囲参照)) で設定した値の範囲外の場合は格納されません。

図 20 - 12 8ビットA/D変換結果レジスタ H, nH (ADCRH, ADCRnH) のフォーマット

アドレス : FFF1FH (ADCRH)^注, F0021H (ADCR0H)^注, F0023H (ADCR1H), F0025H (ADCR2H), F0027H (ADCR3H)

リセット時: 00H

R/W属性 : R



注 ADCR0H レジスタには ADCRH レジスタの内容が格納されます。

注意 A/Dコンバータ・モード・レジスタ 0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、アナログ入力チャネル指定レジスタ n (アドバンスド) (ADS_n)、ポート・モード・コントロール A・レジスタ (PMCA_{xx}) のうち、ANI 信号に関するレジスタに対して書き込み動作を行ったとき、ADCRnH レジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADS_n, PMCA_{xx} レジスタに対して書き込み動作を行う前に読み出してください。

上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

備考 n = 0-3

20.3.9 アナログ入力チャネル指定レジスタ (ADS)

ADS レジスタは、A/D 変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-13 アナログ入力チャネル指定レジスタ (ADS) のフォーマット (1/2)

アドレス : FFF31H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P22/ANI2 端子
0	0	0	0	1	1	ANI3	P23/ANI3 端子
0	0	0	1	0	0	ANI4	P24/ANI4 端子
0	0	0	1	0	1	ANI5	P25/ANI5 端子
0	0	0	1	1	0	ANI6	P26/ANI6 端子
0	0	0	1	1	1	ANI7	P27/ANI7 端子
0	1	0	0	0	0	ANI16	P03/ANI16 端子
0	1	0	0	0	1	ANI17	P02/ANI17 端子
0	1	0	0	1	0	ANI18	P147/ANI18 端子
0	1	0	0	1	1	ANI19	P120/ANI19 端子
0	1	0	1	0	0	ANI20	P10/ANI20 端子
0	1	0	1	0	1	ANI21	P11/ANI21 端子
0	1	0	1	1	0	ANI22	P12/ANI22 端子
0	1	0	1	1	1	ANI23	P13/ANI23 端子
0	1	1	0	0	0	ANI24	P14/ANI24 端子
0	1	1	0	0	1	ANI25	P115/ANI25 端子
0	1	1	0	1	0	ANI26	P16/ANI26 端子
0	1	1	0	1	1	ANI27	P17/ANI27 端子
0	1	1	1	0	0	ANI28	P146/ANI28 端子
0	1	1	1	0	1	ANI29	P00/ANI29 端子
0	1	1	1	1	0	ANI30	P01/ANI30 端子
1	0	0	0	0	0	—	温度センサ出力電圧
1	0	0	0	0	1	—	内部基準電圧 ^{注1}
上記以外						設定禁止 ^{注2}	

図20-13 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (2/2)

スキャン・モード (ADM3.ADMOD = 1)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
上記以外						設定禁止			

注1. 内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) および第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

注2. PGA信号の変換はアドバンスド・モードのみ対応しています。

注意1. ビット6, 5には、必ず0を設定してください。

注意2. ポート・モード・コントロールA・レジスタ (PMCAxx) でアナログ入力に設定したポートは、対応するポート・モード・レジスタ (PMxx) で入力モードに設定してください。

注意3. ポート・モード・コントロールA・レジスタ (PMCAxx) の設定で、デジタル入出力として設定する端子をADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意5. AVREFPをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャンネルとして選択しないでください。

注意6. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャンネルとして選択しないでください。

注意7. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、20.7.6 温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウェイト・モード、ワンショット変換モード時) を参照してください。内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) または第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

注意8. STOPモードへ移行またはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1のときは、43.3.2 電源電流特性または44.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (IADREF) の電流値が加算されます。

注意9. ADISS = 1に設定した場合、ハードウェア・トリガ・ウェイト・モードかつワンショット変換モードは使用できません。

★ 注意10. ADISS = 1に設定した場合、ソフトウェア・トリガ・ウェイト・モードかつワンショット変換モードは使用できません。

注意11. アドバンスド・モードONのとき (ADM3.AVMOD = 1)、ADSレジスタは00Hに設定してください。

20.3.10 アナログ入力チャネル指定レジスタ n (アドバンスド) (ADSn) (n = 0-3)

ADSn レジスタは、アドバンスド・モードにおける A/D 変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 14 アナログ入力チャネル指定レジスタ n (アドバンスド) (ADSn) のフォーマット (1/2)

アドレス : F0015H (ADS0), F0016H (ADS1), F0017H (ADS2), F0018H (ADS3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADSn	ADSPSCn1	ADSPSCn0	ADISSn	ADSn4	ADSn3	ADSn2	ADSn1	ADSn0

ADSPSCn1	ADSPSCn0	同時サンプリングチャネル指定
0	0	同時サンプリングなし
0	1	1st S&H回路使用
1	0	2nd S&H回路使用
1	1	3rd S&H回路使用

ADISSn	ADSn4	ADSn3	ADSn2	ADSn1	ADSn0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP 端子
	0	0	0	0	1	ANI1	P21/ANI1/AVREFM 端子
	0	0	0	1	0	ANI2	P22/ANI2 端子
	0	0	0	1	1	ANI3	P23/ANI3 端子
	0	0	1	0	0	ANI4	P24/ANI4 端子
	0	0	1	0	1	ANI5	P25/ANI5 端子
	0	0	1	1	0	ANI6	P26/ANI6 端子
	0	0	1	1	1	ANI7	P27/ANI7 端子
	1	0	0	0	0	ANI16	P03/ANI16 端子
	1	0	0	0	1	ANI17	P02/ANI17 端子
	1	0	0	1	0	ANI18	P147/ANI18 端子
	1	0	0	1	1	ANI19	P120/ANI19 端子
	1	0	1	0	0	ANI20	P10/ANI20 端子
	1	0	1	0	1	ANI21	P11/ANI21 端子
	1	0	1	1	0	ANI22	P12/ANI22 端子
	1	0	1	1	1	ANI23	P13/ANI23 端子
1	1	1	0	0	0	ANI24	P14/ANI24 端子
	1	1	0	0	1	ANI25	P15/ANI25 端子
	1	1	0	1	0	ANI26	P16/ANI26 端子
	1	1	0	1	1	ANI27	P17/ANI27 端子

図20-14 アナログ入力チャンネル指定レジスタ (アドバンスド) (ADSn) のフォーマット (2/2)

ADISSn	ADSn4	ADSn3	ADSn2	ADSn1	ADSn0	アナログ入力 チャンネル	入力ソース
0	1	1	1	0	0	ANI28	P146/ANI28 端子
	1	1	1	0	1	ANI29	P00/ANI29 端子
	1	1	1	1	0	ANI30	P01/ANI30 端子
	1	1	1	1	1	—	PGA 出力
1	0	0	0	0	0	—	温度センサ出力電圧
	0	0	0	0	1	—	内部基準電圧
上記以外						設定禁止	

注意1. ADSPSCn1, ADSPSCn0 = 10B または 11B の場合、ADISSn, ADSn4-ADSn0 ビットの指定は初期値から変更しないでください。

注意2. ADSPSCn1, ADSPSCn0 ビットは ADS0-3 レジスタ間で 00B 以外の重複設定は禁止です。
また、同時サンプリングを実施しない場合は、00B に設定してください。

注意3. ADSn レジスタを書き換える場合は、対応するハードウェアトリガを停止させるなど、A/D変換のトリガが入らないように処置してから書き換えを行ってください。または書き換え後に発生した1回目の変換結果を破棄してください。その後の変換結果は使用可能です。

注意4. ポート・モード・コントロールA・レジスタ (PMCAxx) でアナログ入力に設定したポートは、対応するポート・モード・レジスタ (PMxx) で入力モードに設定してください。

注意5. ポート・モード・コントロールA・レジスタ (PMCAxx) の設定で、デジタル入出力として設定する端子を ADSn レジスタで設定しないでください。

注意6. AVREFP を A/Dコンバータの+側の基準電圧として使用している場合、ANI0 を A/D変換チャンネルとして選択しないでください。

注意7. AVREFM を A/Dコンバータの-側の基準電圧として使用している場合、ANI1 を A/D変換チャンネルとして選択しないでください。

注意8. ADISSn = 1 を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISSn = 1 に設定後、1回目の変換結果は使用できません。詳細設定フローは、20.7.7 温度センサ出力電圧/内部基準電圧を選択時の設定 (例 アドバンスド・モード時) を参照してください。

内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) または第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

注意9. 基準電圧測定設定 (ADISSn = 1, ADSn4-ADSn0 = 00001B) と、温度センサ測定設定 (ADISSn = 1, ADSn4-ADSn0 = 00000B) は、ADS0-ADS3 レジスタのいずれかでの同時設定は禁止です。

(例: ADS0 = 00_1_00000B, ADS1 = 00_1_00001B)

注意10. 標準2モードと低電圧2モードでは、PGA入力を変換対象として選択することは禁止です。

注意11. ADSPSCn1, ADSPSCn0 ビットに 10B もしくは 11B を設定する場合、ADSn4-ADSn0 ビットは 00000B を設定してください。

備考 n = 0-3

★

20.3.11 変換設定レジスタ (ADSCTL)

ADSCTL レジスタは、アドバンスド・モードにおける ADSn レジスタの有効化・無効化と ADSn レジスタの変換優先度を設定するレジスタです。

ADSCTL レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20 - 15 変換設定レジスタ (ADSCTL) のフォーマット

アドレス : F0019H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
ADSCTL	ADSEN3	ADSEN2	ADSEN1	ADSEN0	ADPRIOR3	ADPRIOR2	ADPRIOR1	ADPRIOR0
ADSENn	ADSn レジスタ有効化							
0	ADSn レジスタは無効							
1	ADSn レジスタは有効							
ADPRIORn	ADSn レジスタの変換優先度							
0	ADSn レジスタの優先度は低							
1	ADSn レジスタの優先度は高							

注意1. ADSCTL レジスタの書き換えは、変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意2. 同時サンプリング設定で1st S&H, 2nd S&H, 3rd S&Hに指定する変換チャンネルに対する変換優先度は、すべて初期値0で設定してください。

備考1. ADSn レジスタに対する優先度が同一である場合で、かつ、各トリガ要因が同一である場合は、トリガ要因発生後は、nで示す番号の小さい順番に変換実行されます。

以下に例を示します。

- ADPRIOR3 = 0, ADPRIOR2 = 0, ADPRIOR1 = 0で同じトリガ要因を設定した場合、当該トリガ要因の発生により、ADS1→ADS2→ADS3の順に変換処理が実行されます。ただし、同時サンプリング機能使用時はnで示す番号にかかわらず、1st S&H設定→2nd S&H設定→3rd S&H設定の順に変換処理が実行されます。

備考2. n = 0-3

20.3.12 変換トリガ指定レジスタ n (ADTRn) (n = 0-3)

ADTRn レジスタは、アドバンスド・モードにおける ADSn レジスタのトリガ要因を指定するレジスタです。

ADTRn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-16 変換トリガ指定レジスタ n (ADTRn) のフォーマット

アドレス : F001AH (ADTR0), F001BH (ADTR1), F001CH (ADTR2), F001DH (ADTR3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADTRn	0	0	0	0	ADTRSn3	ADTRSn2	ADTRSn1	ADTRSn0

ADTRSn3	ADTRSn2	ADTRSn1	ADTRSn0	トリガ要因の発生元 (n = 0-3)
0	0	0	0	タイマ・アレイ・ユニットのチャンネル01のカウンタ完了またはキャプチャ完了割り込み信号 (INTTM01)
0	0	1	0	リアルタイム・クロック割り込み信号 (INTRTC)
0	0	1	1	32ビット・インターバル・タイマチャンネル0割り込み信号 (ELCITL0)
0	1	0	0	ELCからのイベント入力
1	0	0	0	16ビット・タイマKB30 A/Dトリガ信号
1	0	0	1	16ビット・タイマKB31 A/Dトリガ信号
1	0	1	0	16ビット・タイマKB32 A/Dトリガ信号
1	0	1	1	タイマRD2 A/D変換トリガ0
1	1	0	0	タイマRD2 A/D変換トリガ1
1	1	1	1	ソフトウェア・トリガ
上記以外				設定禁止

注意1. ADTRn レジスタの書き換えは、変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意2. 異なる ADSn レジスタ間で同一トリガを指定する場合、同じ優先度で設定してください。

違反する例を以下に示します。

ADTR0 = ADTR1 = 03H、かつ ADSCCTL.ADPRIOR0 = 0, ADSCCTL.ADPRIOR1 = 1

備考 n = 0-3

20.3.13 変換割り込み制御レジスタ (ADINTCTL)

ADINTCTL レジスタは、アドバンスド・モードにおける INTAD0-3 割り込みの出力および ADINTST レジスタへのステータス保存を制御するレジスタです。

本レジスタの設定は、ELC 向け A/D 変換成功割り込み (ELCADn (n = 0-3)) 出力には影響しません。

ADINTCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 17 変換割り込み制御レジスタ (ADINCTL) のフォーマット

アドレス : F0028H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
ADINTCTL	ADINTCTL3S	ADINTCTL3F	ADINTCTL2S	ADINTCTL2F	ADINTCTL1S	ADINTCTL1F	ADINTCTL0S	ADINTCTL0F
ADINTCTLnS	変換成功時の制御							
0	ADSnの変換成功によるINTAD0-3出力無効、ADINTSTレジスタへのステータス保存無効							
1	ADSnの変換成功によるINTAD0-3出力有効、ADINTSTレジスタへのステータス保存有効							
ADINTCTLnF	変換失敗時の制御							
0	ADSnの変換失敗によるADINTSTレジスタへのステータス保存無効							
1	ADSnの変換失敗によるADINTSTレジスタへのステータス保存有効							

注意 ADINTCTL レジスタの書き換えは、変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

備考 n = 0-3

20.3.14 変換割り込みステータス・レジスタ (ADINTST)

ADINTST レジスタは、アドバンスド・モードにおける変換結果ステータスを示すレジスタです。

ADINTST レジスタは、8ビット・メモリ操作命令で設定します。また、1ビット・メモリ操作命令または8ビット・メモリ操作命令でReadします。

リセット信号の発生により、00Hになります。

図20-18 変換割り込みステータス・レジスタ (ADINTST) のフォーマット

アドレス : F0029H

リセット時: 00H

R/W属性 : R/W注

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
ADINTST	ADINT ST3S	ADINT ST3F	ADINT ST2S	ADINT ST2F	ADINT ST1S	ADINT ST1F	ADINT ST0S	ADINT ST0F
ADINT STnS	変換成功時のステータス							
0	ADSnの変換は完了していない状態							
1	ADSnの変換が完了した状態							
ADINT STnF	変換失敗時のステータス							
0	ADSnの変換は失敗していない状態							
1	ADSnの変換が失敗した状態							

注 1を書き込むことはできません。0を書き込むことで、当該ビットを0にクリアします。

クリアする際は、クリア対象のビットを0とし、その他のビットを1として8ビット・メモリ操作命令で設定してください。

備考1. n = 0-3

備考2. 変換が失敗したと判定される変換を以下に示します。

- ・ 高優先変換の割り込みが発生したことにより中断された低優先変換
- ・ 変換時にADCS = 0に設定することで中断された変換

20.3.15 A/D変換サンプリング・モード指定レジスタ (ADSPMOD)

ADSPMODレジスタは、アドバンスド・モードにおけるサンプリング・クロック数の変更を設定するレジスタです。

アナログ入力チャンネルとして ANI0-ANI7 のみが使用されているとき、A/D変換のサンプリング・クロック数を 20 fAD に設定できます。サンプリング・クロック数を 20 fAD に設定した場合、fAD = 48 MHz 動作時に 1 μs で A/D 変換を完了できません。

ADSPMODレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-19 A/D変換サンプリング・モード指定レジスタ (ADSPMOD) のフォーマット

アドレス : F001FH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADSPMOD	0	0	0	0	0	0	ADSPMOD1	ADSPMOD0

ADSPMOD	ADSPMOD	A/D変換のサンプリング・クロック数指定
1	0	
0	0	27 fAD
0	1	20 fAD注
1	0	設定禁止
1	1	設定禁止

- 注**
- 標準1モードの場合のみ設定できます。
 - ADSCCTLレジスタで有効に設定されている ADSn レジスタに、以下のアナログ入力チャンネルが設定されている場合は、ADSPMOD1, ADSPMOD0 = 01B に設定しないでください。
 - ANI16-ANI30
 - PGA出力
 - 温度センサ出力電圧
 - 内部基準電圧

注意 ADSPMODレジスタはA/D変換動作中に書き換えを行わないでください。書き換える場合は、トリガ待機状態において、ハードウェアトリガを停止させるなど、A/D変換のトリガが入らないように処置してから書き換えを行ってください。

20.3.16 変換結果比較上限値設定レジスタ (ADUL)

ADUL レジスタは、A/D 変換結果に対し、上限値をチェックするために設定するレジスタです。

A/D 変換結果と ADUL レジスタ値の比較を行い、A/D コンバータ・モード・レジスタ 2 (ADM2) の ADRCK ビットの設定範囲 (図 20-9 ADRCK ビットによる割り込み信号発生範囲参照) で割り込み信号 (INTAD0-3) の発生を制御します。

ADUL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

図 20-20 変換結果比較上限値設定レジスタ (ADUL) のフォーマット

アドレス : F0011H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

20.3.17 変換結果比較下限値設定レジスタ (ADLL)

ADLL レジスタは、A/D 変換結果に対し、下限値をチェックするために設定するレジスタです。

A/D 変換結果と ADLL レジスタ値の比較を行い、A/D コンバータ・モード・レジスタ 2 (ADM2) の ADRCK ビットの設定範囲 (図 20-9 ADRCK ビットによる割り込み信号発生範囲参照) で割り込み信号 (INTAD0-3) の発生を制御します。

ADLL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 20-21 変換結果比較下限値設定レジスタ (ADLL) のフォーマット

アドレス : F0012H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は、ADCRn[15:8]ビットを、12ビット分解能A/D変換選択時は、ADCRn[11:4]ビットを、ADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

20.3.18 A/Dテスト・レジスタ (ADTES)

ADTES レジスタは、A/D 変換対象に A/D コンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル (ANlxx)、温度センサ出力電圧、内部基準電圧^注を選択するレジスタです。A/D テスト・レジスタはアドバンスド・モードでは使用禁止です。アドバンスド・モードで使用すると回路破損のおそれがあります。

A/D テスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D 変換対象に-側の基準電圧を選択
- フルスケールを測定するときは、A/D 変換対象に+側の基準電圧を選択

ADTES レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-22 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D 変換対象
0	0	ANlxx / 温度センサ出力電圧 / 内部基準電圧 ^注 (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	-側の基準電圧 (ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) または第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

20.3.19 A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、**7.3.1 ポート・モード・レジスタ (PMxx)** および **7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)** を参照してください。

ポート機能を制御するレジスタの設定例は、**7.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

20.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャンネルに入力している電圧を、S&H回路でサンプリングします。
- ② 一定時間サンプリングを行うとS&H回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット11をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを(1/2) AVREFにします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力が(1/2) AVREFよりも大きければ、SARレジスタのMSBビットをセットしたままです。また、(1/2) AVREFよりも小さければ、MSBビットはリセットします。
- ⑤ 次にSARレジスタのビット10を自動的にセットし、次の比較に移ります。ここではすでに比較済みのビット11の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ビット11 = 1 : (3/4) AVREF
- ビット11 = 0 : (1/4) AVREF

この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット10を次のように操作します。

- サンプリングされた電圧 ≥ 電圧タップ : ビット10 = 1
- サンプリングされた電圧 < 電圧タップ : ビット10 = 0

- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 12ビットの比較が終了したとき、SARレジスタには一連の比較した結果が残り、その値がA/D変換結果レジスタ (ADCRn, ADCRnH) に転送され、ラッチします^{注1}。

同時に、A/D変換終了割り込み要求信号 (INTAD0-3) を発生させることができます^{注1}。

- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します^{注2}。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能 (ADM2.ADRCKビット、ADUL, ADLLレジスタで設定 (図20-9 ADRCKビットによる割り込み信号発生範囲参照)) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD0-3) は発生しません。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

注2. 連続変換モード時は、ADCSフラグは自動的に0にクリアされません。また、ハードウェア・トリガ・ノーウェイット・モード、およびアドバンスド・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に0にクリアされません。1のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

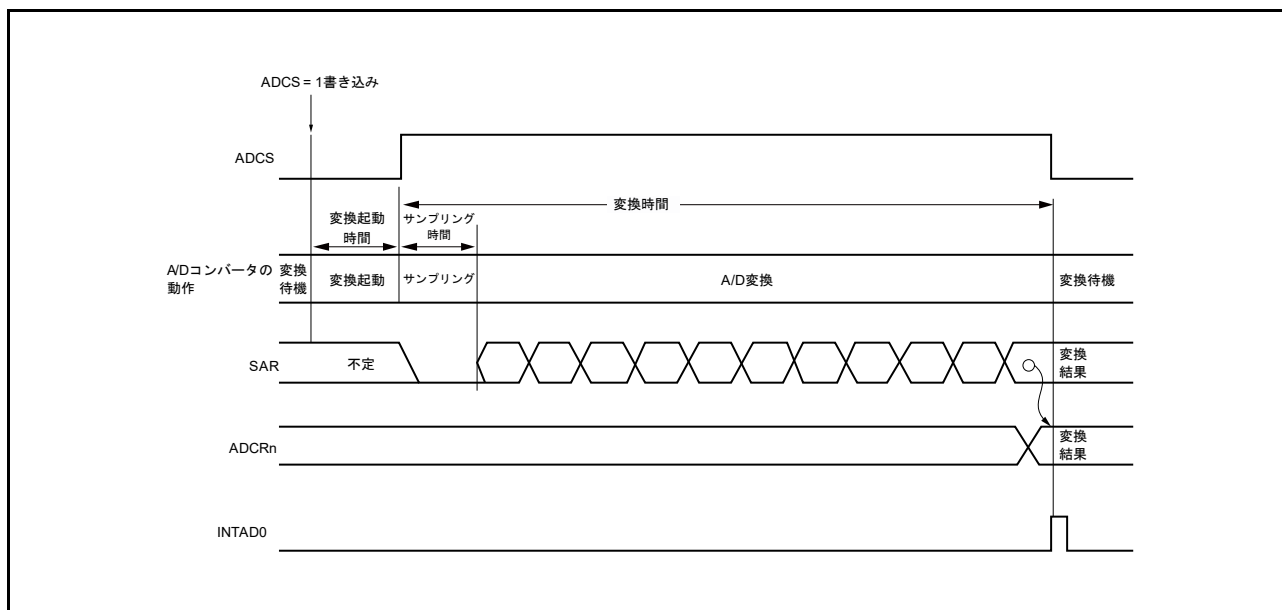
- ADCRnレジスタ (16ビット) : 12ビット/10ビットのA/D変換値を格納します。
- ADCRnHレジスタ (8ビット) : 8ビットのA/D変換値を格納します。

備考2. AVREF : A/Dコンバータの+側基準電圧。AVREFP、内部基準電圧、VDDから選択可能です。

内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) または第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

備考3. n = 0-3

図20 - 23 A/Dコンバータの変換動作 (ソフトウェア・トリガ・ノーウエイト・モードの場合)



アドバンスド・モード OFF でワンショット変換モード時の A/D 変換動作は、A/D 変換終了後に ADCS ビットが自動的に 0 にクリアされます。

アドバンスド・モード OFF の A/D 変換動作中に、アナログ入力チャネル指定レジスタ (ADS) に対して書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。

A/D 変換結果レジスタ (ADCRn, ADCRnH) は、リセット信号の発生により、0000H または 00H となります。

20.5 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7, ANI16-ANI30) に入力されたアナログ入力電圧と理論上の A/D 変換結果 (12 ビット / 10 ビット A/D 変換結果レジスタ (ADCRn)) には次式に示す関係があります。

$$\text{ADCRn} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 4096 + 0.5 \right)$$

または、

$$(\text{ADCRn} - 0.5) \times \frac{V_{\text{REF}}}{4096} \leq V_{\text{AIN}} < (\text{ADCRn} + 0.5) \times \frac{V_{\text{REF}}}{4096}$$

INT (): () 内の値の整数部を返す関数

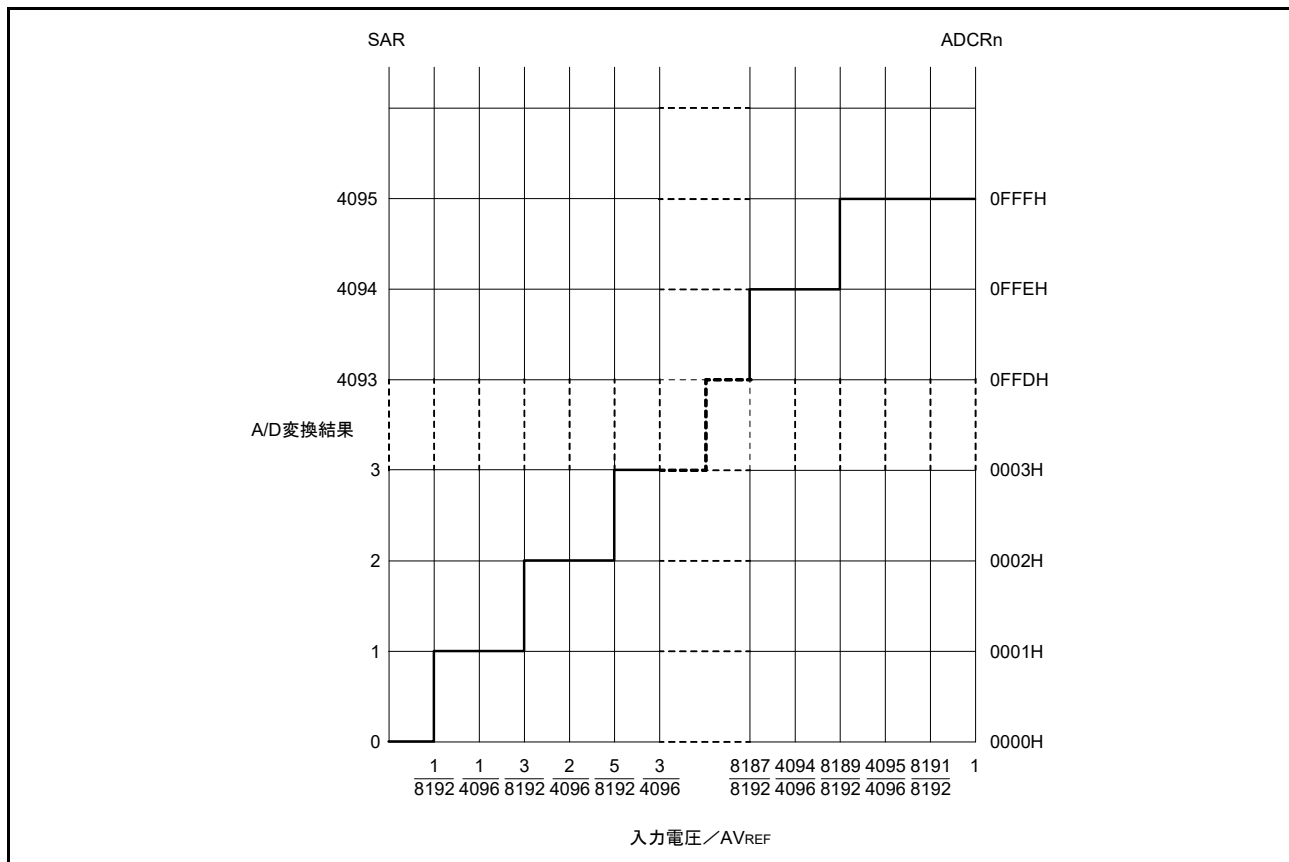
V_AIN : アナログ入力電圧

V_{REF} : AV_{REF} 端子電圧

ADCRn : 12 ビット / 10 ビット A/D 変換結果レジスタ (ADCRn) の値

図 20 - 24 にアナログ入力電圧と A/D 変換結果の関係を示します。

図 20 - 24 アナログ入力電圧と A/D 変換結果の関係



備考 AV_{REF} : A/Dコンバータの+側基準電圧。AV_{REFP}、内部基準電圧^注、V_{DD}から選択可能です。

注 内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) または第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

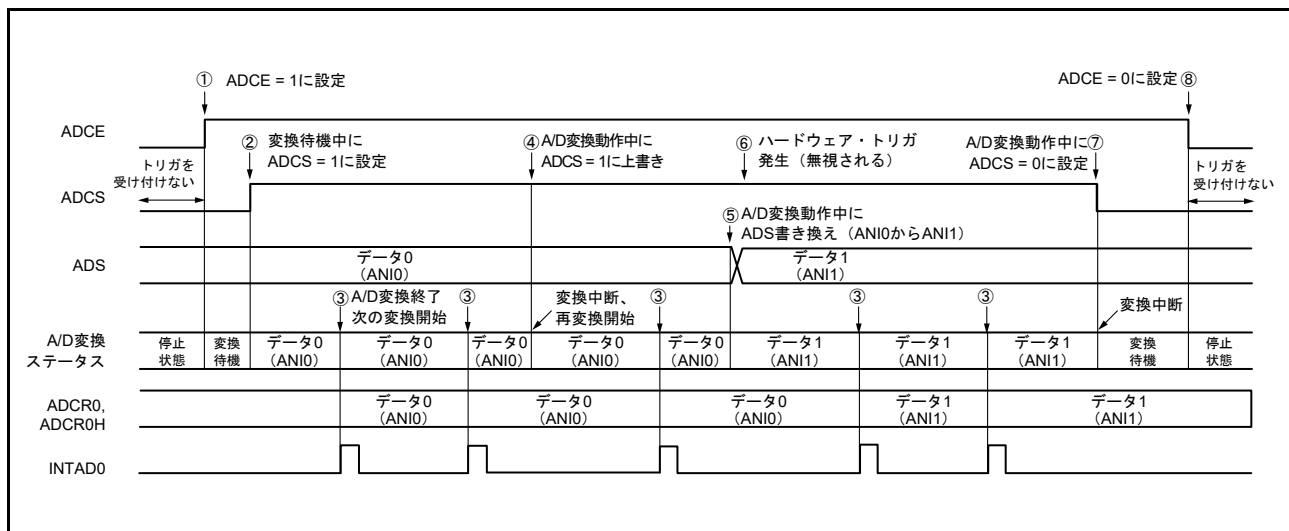
20.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を **20.7 A/Dコンバータの設定フロー・チャート** に示します。

20.6.1 ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μ s + 変換クロック (fAD) の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD0) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。

図20-25 ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード) 動作タイミング例

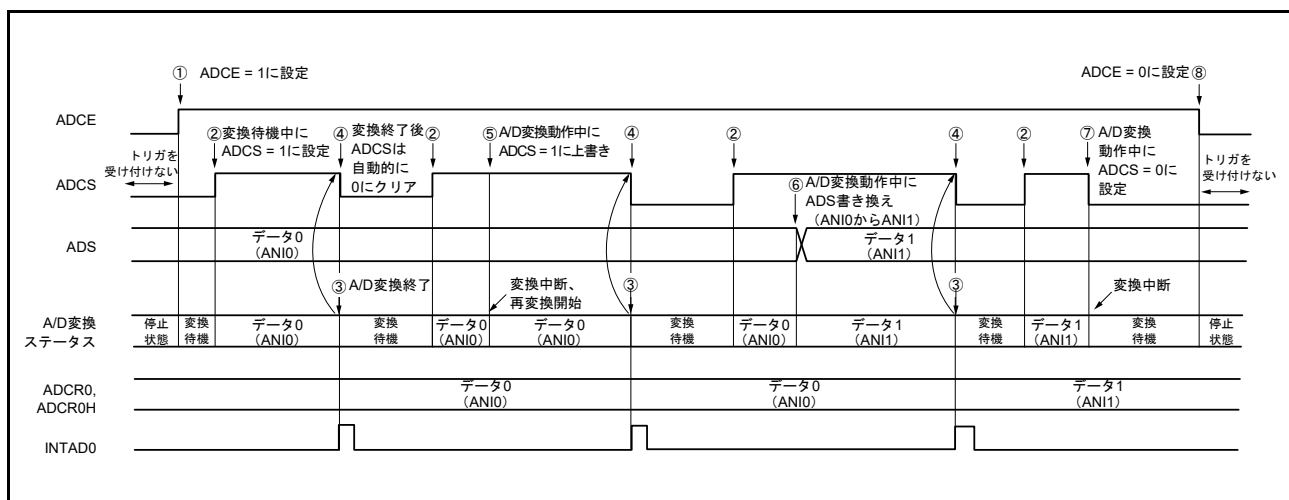


注意 変換動作中に上記④、⑤を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.2 ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μ s + 変換クロック (f_{AD}) の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH, および ADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD0) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

図20-26 ソフトウェア・セレクト・ノーウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例



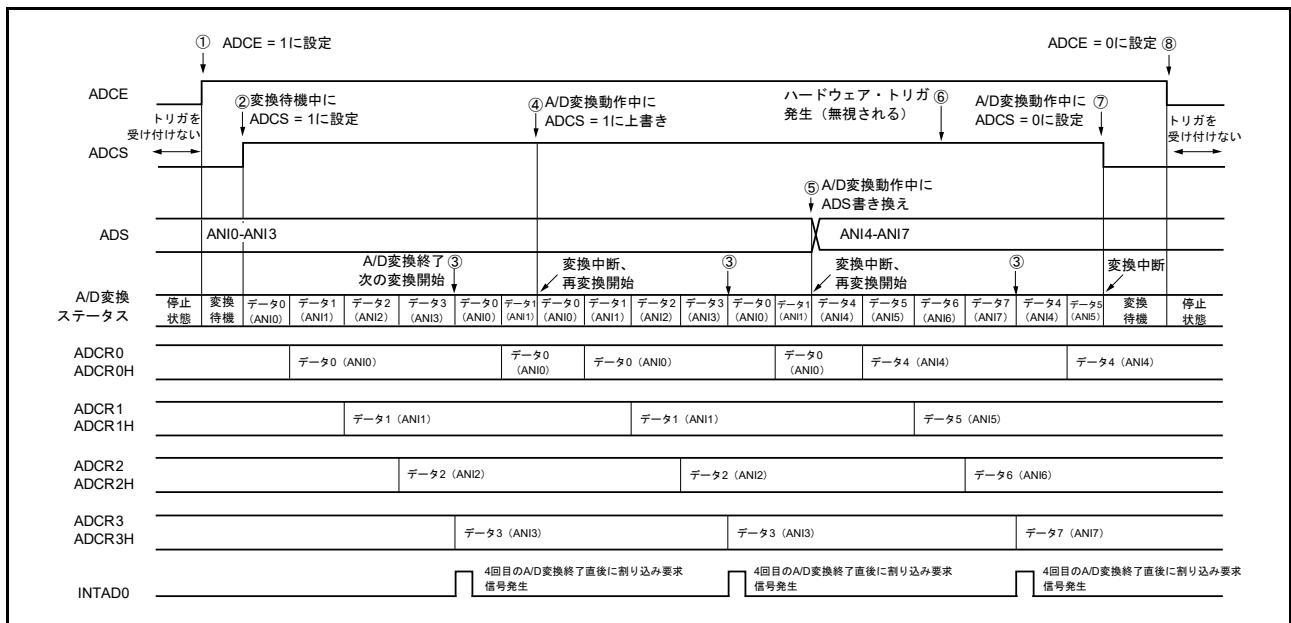
注意1. 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

- ★ **注意2.** ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) では、ADISS = 1の設定 (入力ソース=温度センサ出力電圧、内部基準電圧) は使用できません。

20.6.3 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μs + 変換クロック (fAD) の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0 ~ スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD0) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます (4チャンネル分)。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。

図20-27 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード) 動作タイミング例

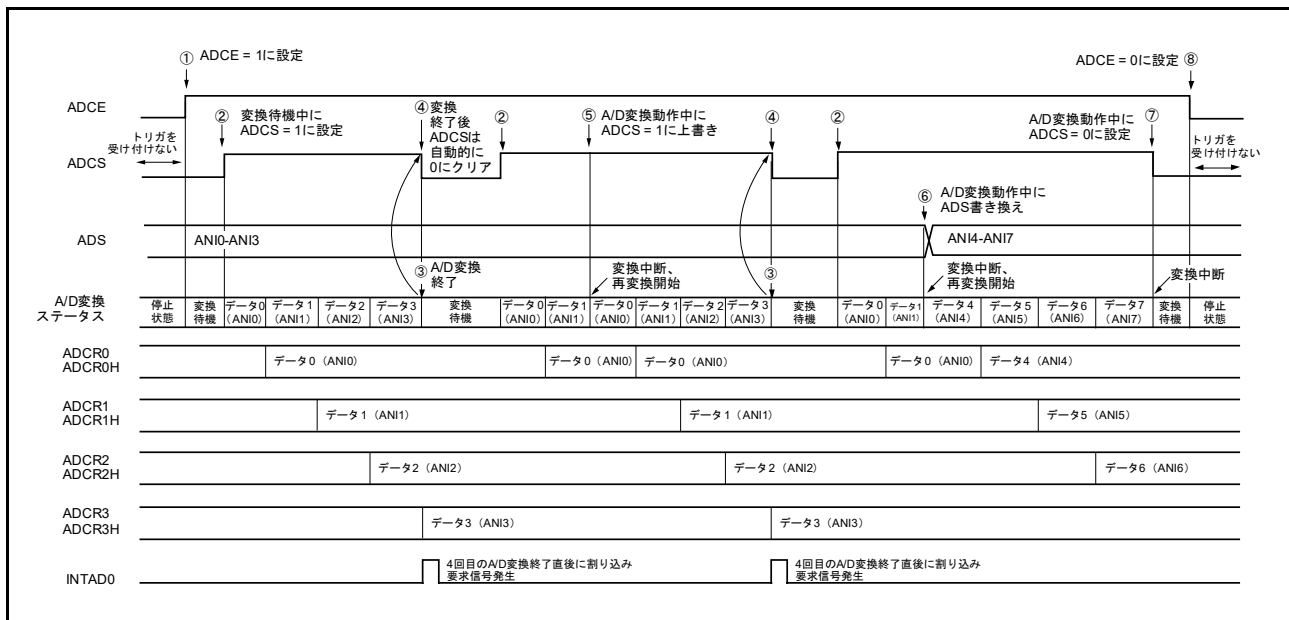


注意 変換動作中に上記④、⑤を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.4 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μ s + 変換クロック (fAD) の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することで、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0 ~ スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD0) を発生します。
- ④ 4チャンネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

図20-28 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例

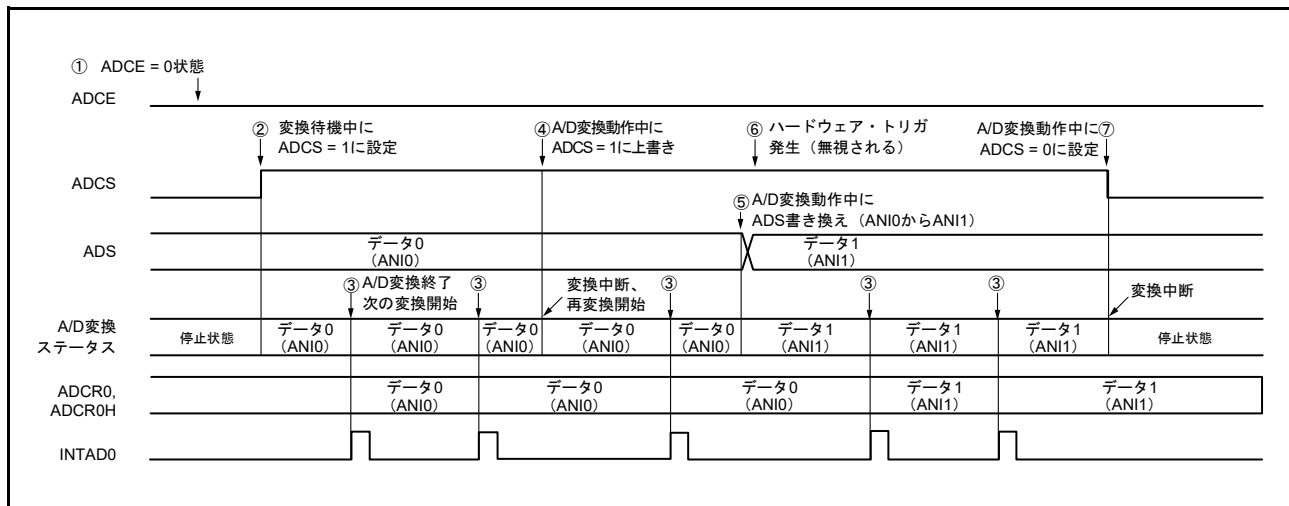


注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.5 ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、連続変換モード)

- ① A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットが0 (停止状態) であることが、ソフトウェア・トリガ・ウェイト・モードへの移行条件になります。
- ② 停止状態で、ADCS = 1 が設定されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います (ソフトウェア・トリガ・ウェイト・モード)。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、および ADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD0) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/Dコンバータは停止状態になります。

図20-29 ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、連続変換モード)
動作タイミング例

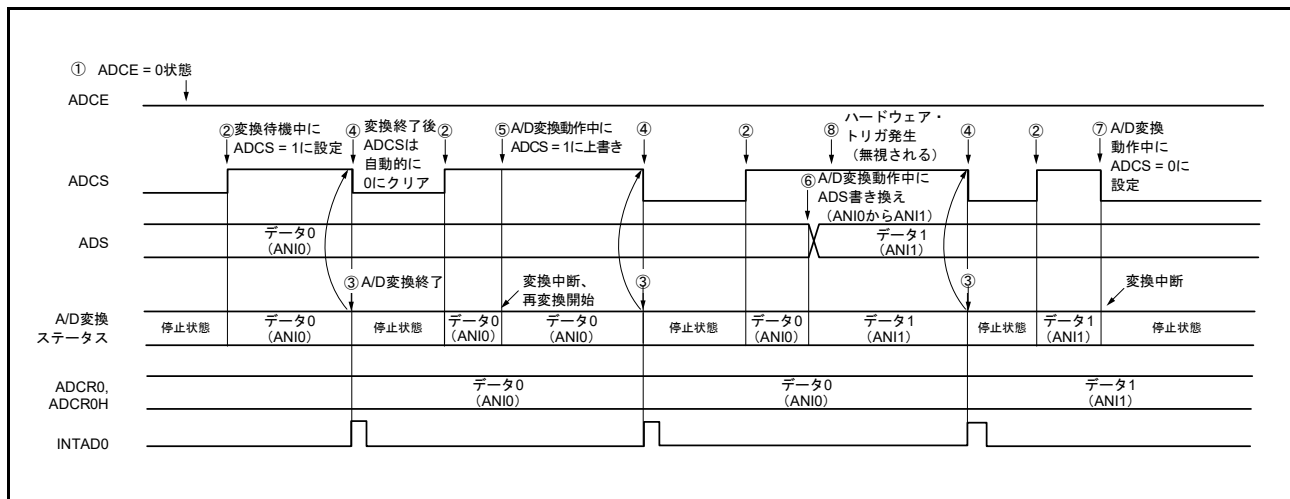


注意 変換動作中に上記④、⑤を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.6 ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード)

- ① A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットが0 (停止状態)であることが、ソフトウェア・トリガ・ウェイト・モードへの移行条件になります。
- ② 停止状態で、ADCS = 1が設定されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います (ソフトウェア・トリガ・ウェイト・モード)。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H)に格納し、A/D変換終了割り込み要求信号 (INTAD0)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にADCS = 1に書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/Dコンバータは停止状態になります。
- ⑧ 変換動作中にハードウェア・トリガが入力された場合、そのトリガは受け付けません。

図20-30 ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例

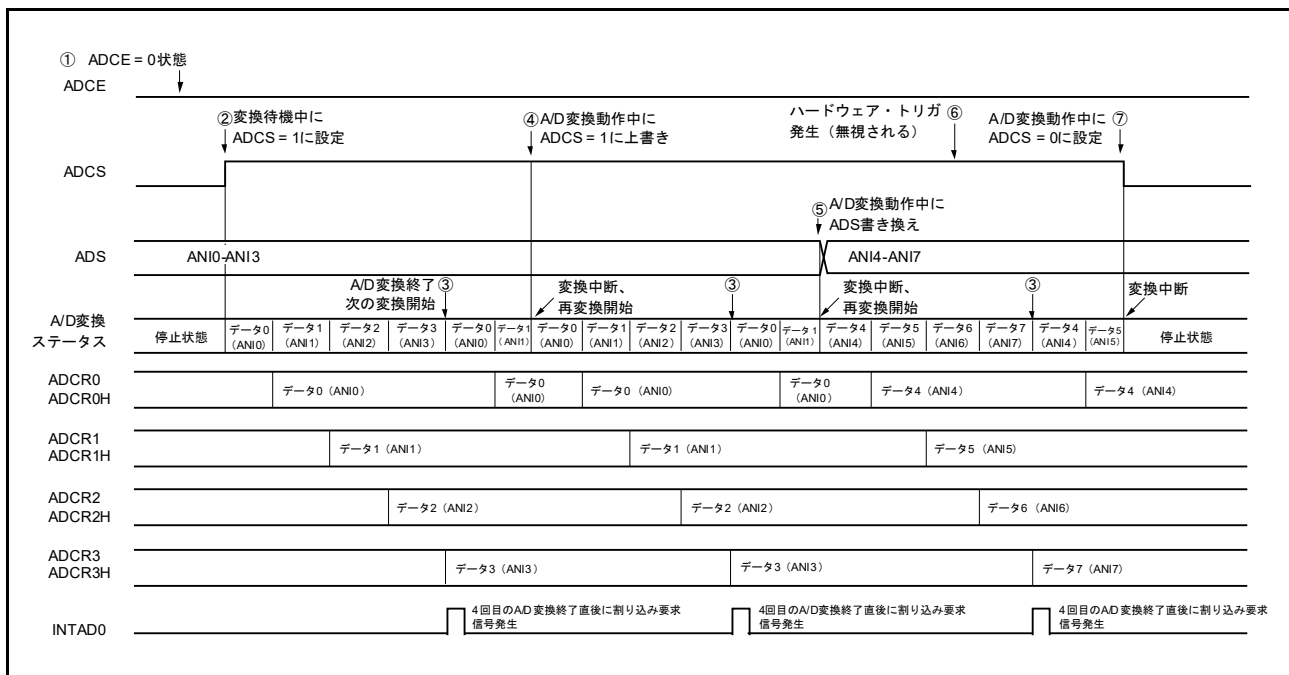


注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.7 ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード)

- ① A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットが0 (停止状態)であることが、ソフトウェア・トリガ・ウエイト・モードへの移行条件になります。
- ② 停止状態で、ADCS = 1が設定されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0 ~ スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います (ソフトウェア・トリガ・ウエイト・モード)。
A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD0) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、そのトリガは受け付けません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/Dコンバータは停止状態になります。

図20-31 ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード) 動作タイミング例

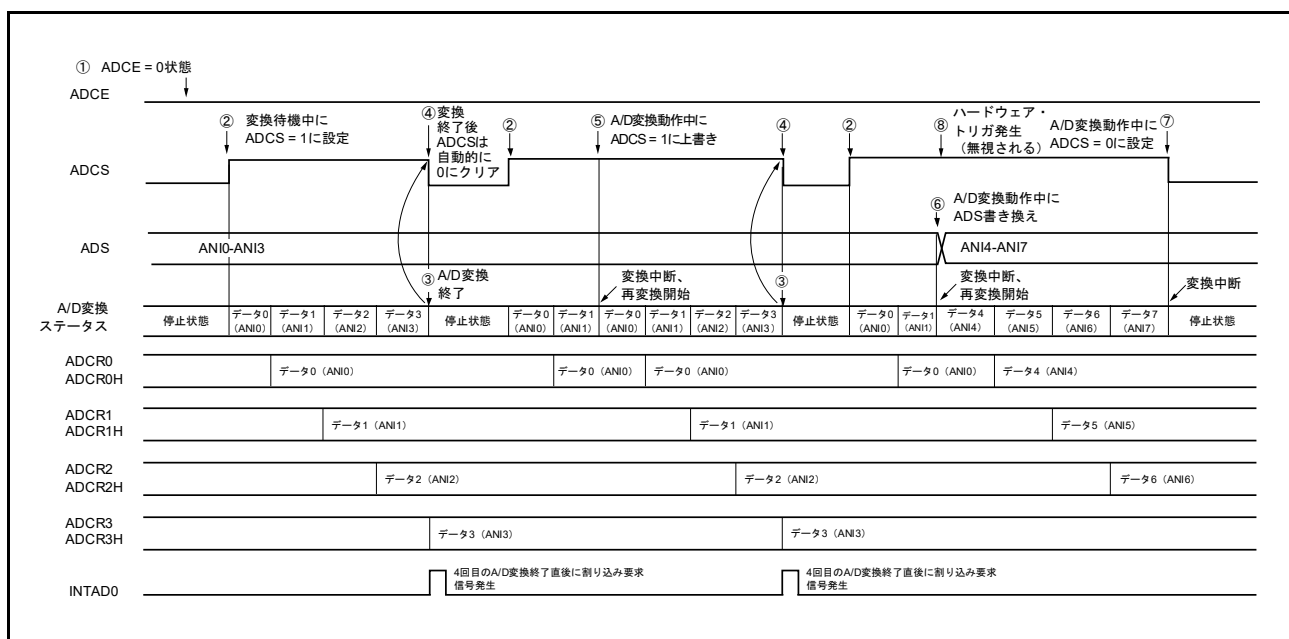


注意 変換動作中に上記④、⑤を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.8 ソフトウェア・トリガ・ウェイト・モード (スキャン・モード、ワンショット変換モード)

- ① A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットが0 (停止状態) であることが、ソフトウェア・トリガ・ウェイト・モードへの移行条件になります。
- ② 停止状態で、ADCS = 1が設定されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0 ~ スキャン3 までの4つのアナログ入力チャンネルのA/D変換を行います (ソフトウェア・トリガ・ウェイト・モード)。
A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD0) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/Dコンバータは停止状態になります。
- ⑧ 変換動作中にハードウェア・トリガが入力された場合、そのトリガは受け付けません。

図20-32 ソフトウェア・トリガ・ウェイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例

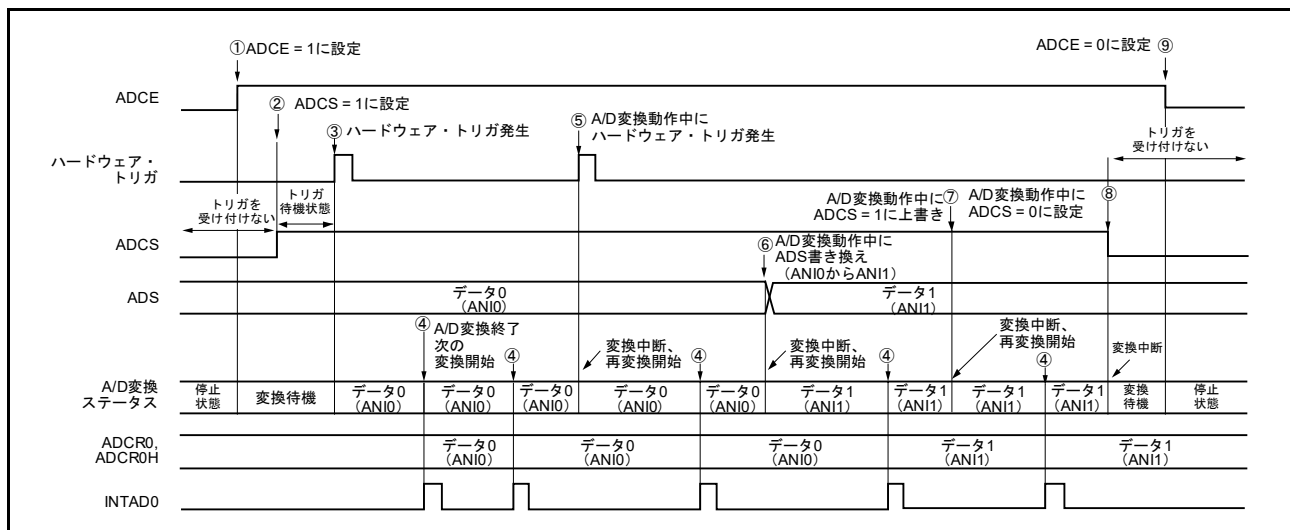


注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.9 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μ s + 変換クロック (f_{AD}) の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH, および ADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD0) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図20-33 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード) 動作タイミング例

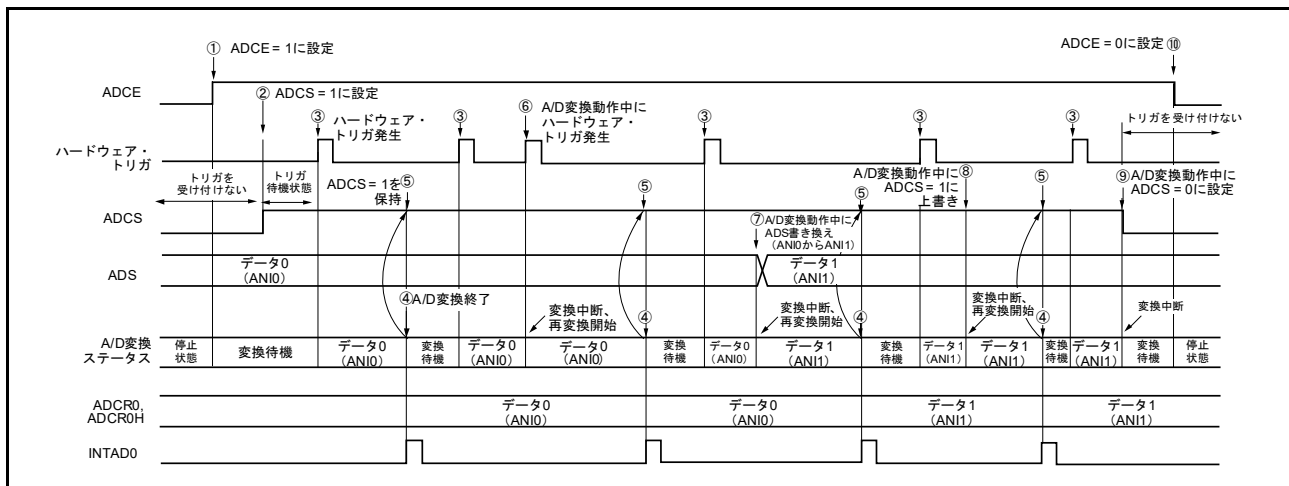


注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.10 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 (1 μ s + 変換クロック (f_{AD}) の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD0) を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図20-34 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例

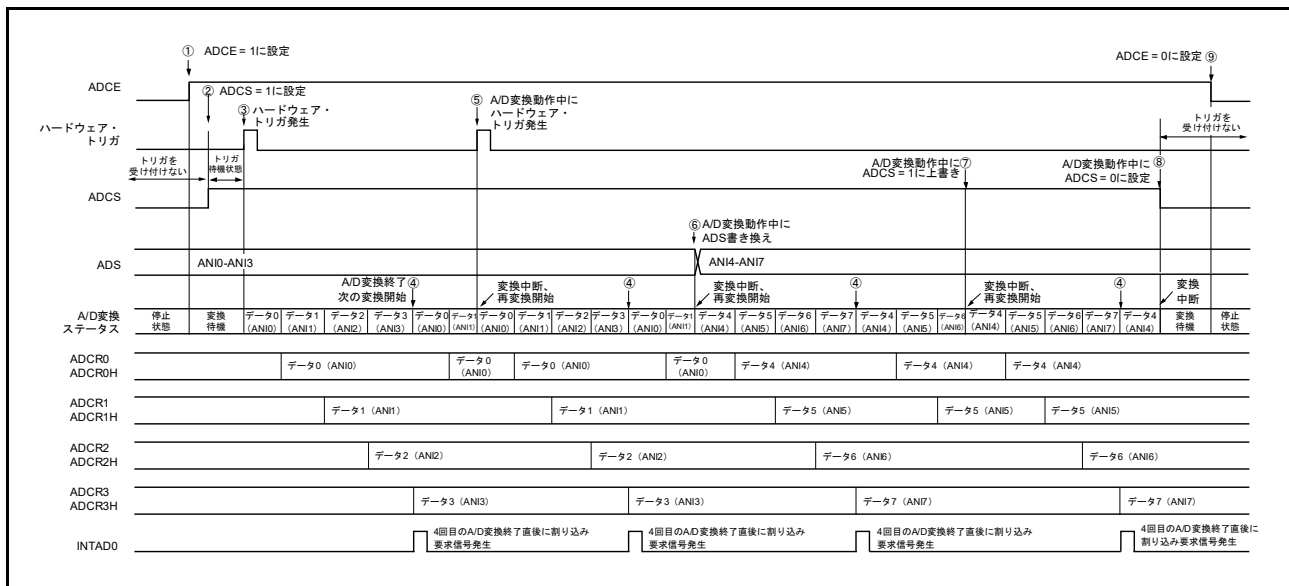


注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.11 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 ($1\mu\text{s} + \text{変換クロック (f}_{\text{AD}})$ の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ④ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD0) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

図20-35 ハードウェア・トリガ・ノーウェイト・モード (スキャン・モード、連続変換モード) 動作タイミング例

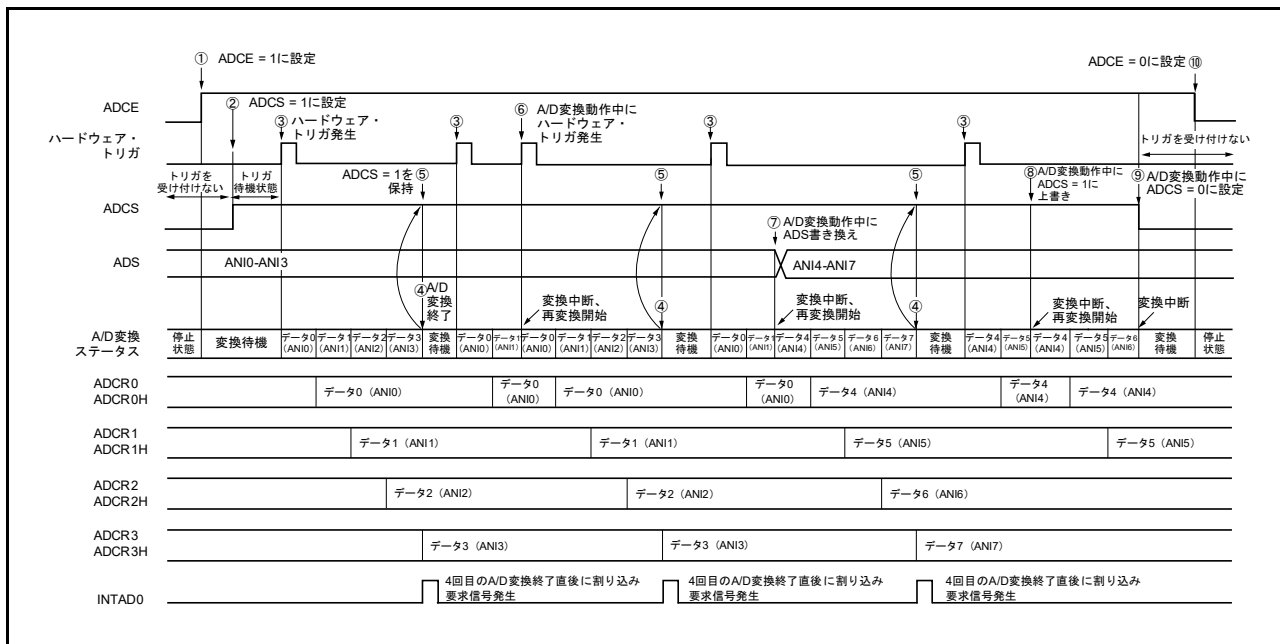


注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.12 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 ($1\mu\text{s} + \text{変換クロック} (f_{\text{AD}})$ の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することで、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ④ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD0) を発生します。
- ⑤ 4チャンネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図20-36 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例

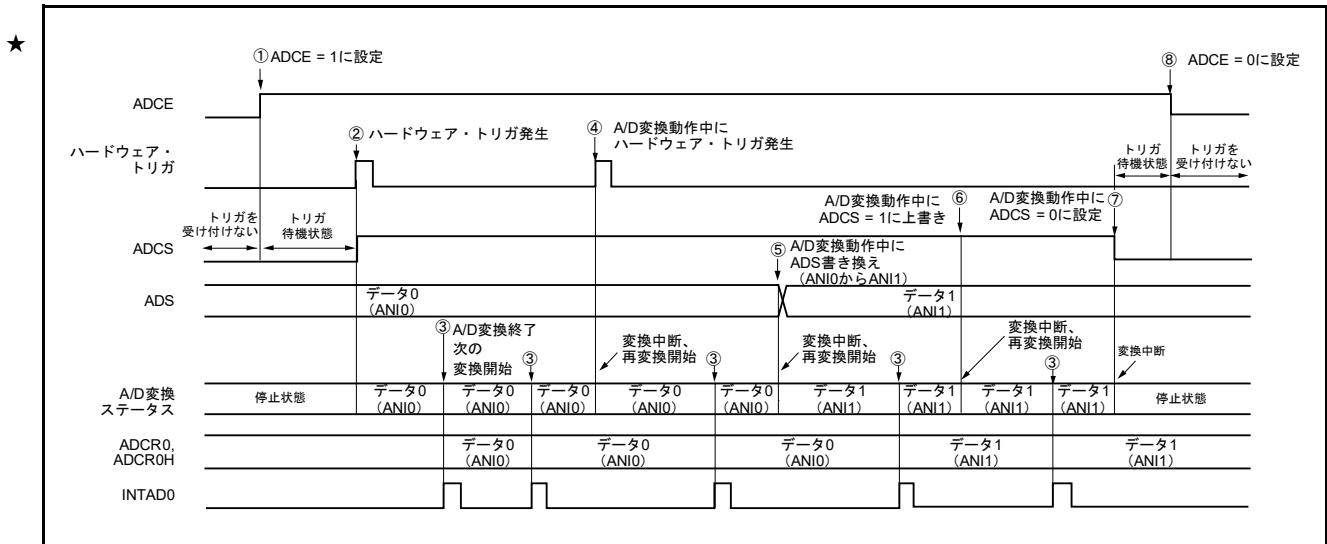


注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.13 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力にあわせて、自動的にADM0レジスタのADCSビットが1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD0) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します (このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ★ ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。
- ★ ⑧ ハードウェア・トリガ待機状態中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図20-37 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード) 動作タイミング例

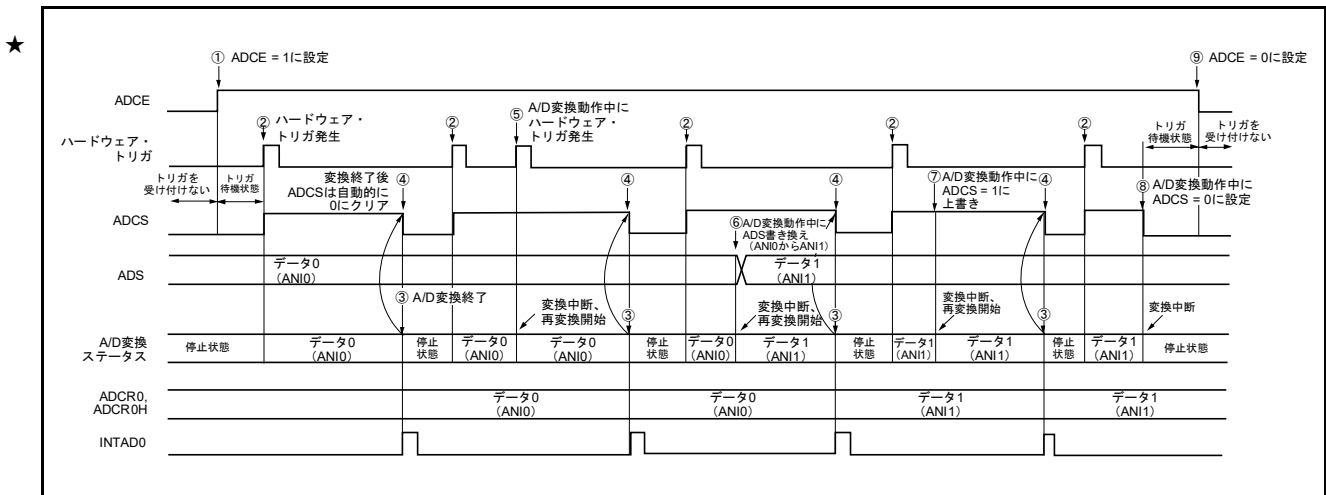


注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.14 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ 0 (ADM0) の ADCE ビットに 1 を設定すると、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力の A/D 変換を行います。ハードウェア・トリガの入力にあわせて、自動的に ADM0 レジスタの ADCS ビットが 1 に設定されます。
- ③ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ (ADCR, ADCRH、および ADCR0, ADCR0H) に格納し、A/D 変換終了割り込み要求信号 (INTAD0) を発生します。
- ④ A/D 変換が終了後、ADCS ビットは自動的に 0 にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中に ADCS = 1 に上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ★ ⑧ 変換動作中に ADCS = 0 に設定すると、現在の A/D 変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。
- ★ ⑨ ハードウェア・トリガ待機状態中に ADCE = 0 に設定すると、A/Dコンバータは停止状態になります。ADCE = 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図 20 - 38 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例



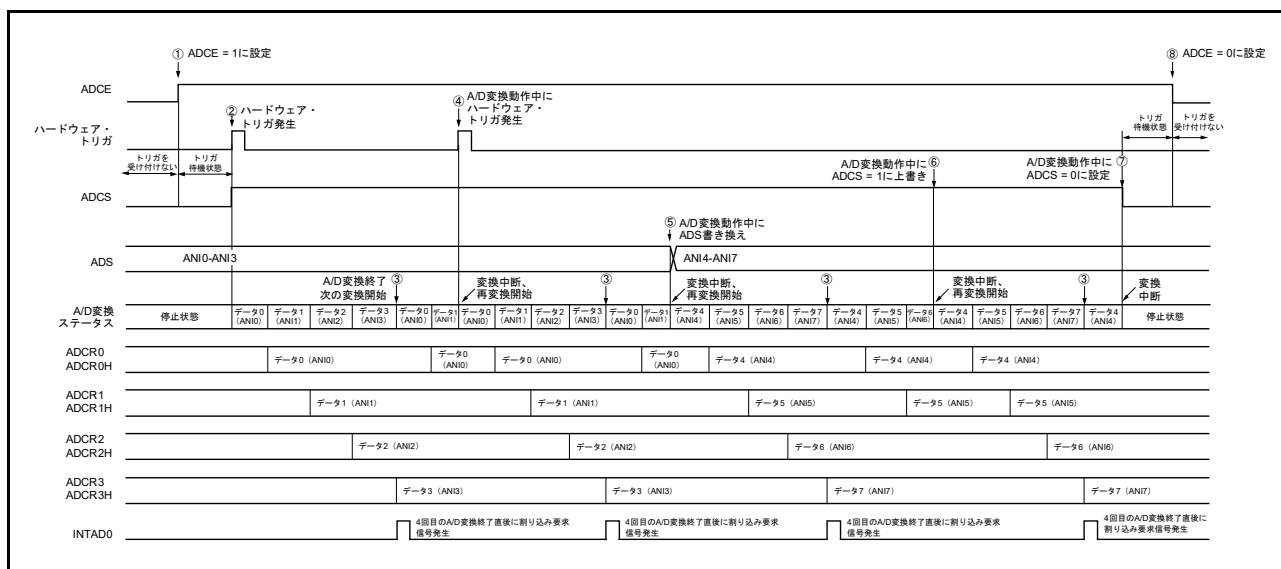
注意 1. 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

注意 2. ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) では、ADISS = 1 の設定 (入力ソース=温度センサ出力電圧、内部基準電圧) は使用できません。

20.6.15 ハードウェア・トリガ・ウェイト・モード (スキャン・モード、連続変換モード)

- ★ ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力にあわせて、自動的にADM0レジスタのADCSビットが1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャンネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD0) を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ★ ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。
- ★ ⑧ ハードウェア・トリガ待機状態中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図20-39 ハードウェア・トリガ・ウェイト・モード (スキャン・モード、連続変換モード) 動作タイミング例

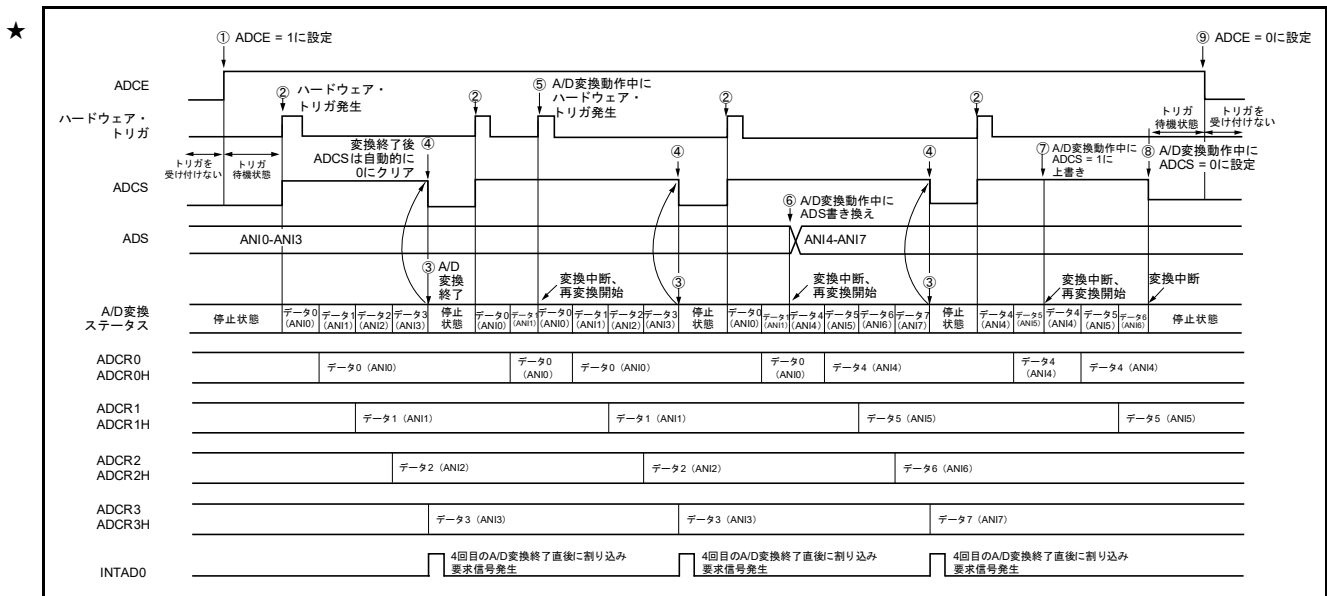


注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.16 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード)

- ★ ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウェア・トリガの入力にあわせて、自動的にADM0レジスタのADCSビットが1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCRn, ADCRnH) に格納し、4チャネルのA/D変換終了直後にA/D変換終了割り込み要求信号 (INTAD0) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ★ ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。
- ★ ⑨ ハードウェア・トリガ待機状態中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図20-40 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例



注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表20-6 A/D変換時間の選択 (3/11)、表20-6 A/D変換時間の選択 (4/11)参照)

20.6.17 アドバンスド・モード (ハードウェア・トリガ、ソフトウェア・トリガ混載設定)

高優先度に設定したハードウェア・トリガで動作するチャンネルと、低優先度に設定したソフトウェア・トリガで動作するチャンネルを用いた動作例を以下に示します。

設定条件は、次のとおりです。

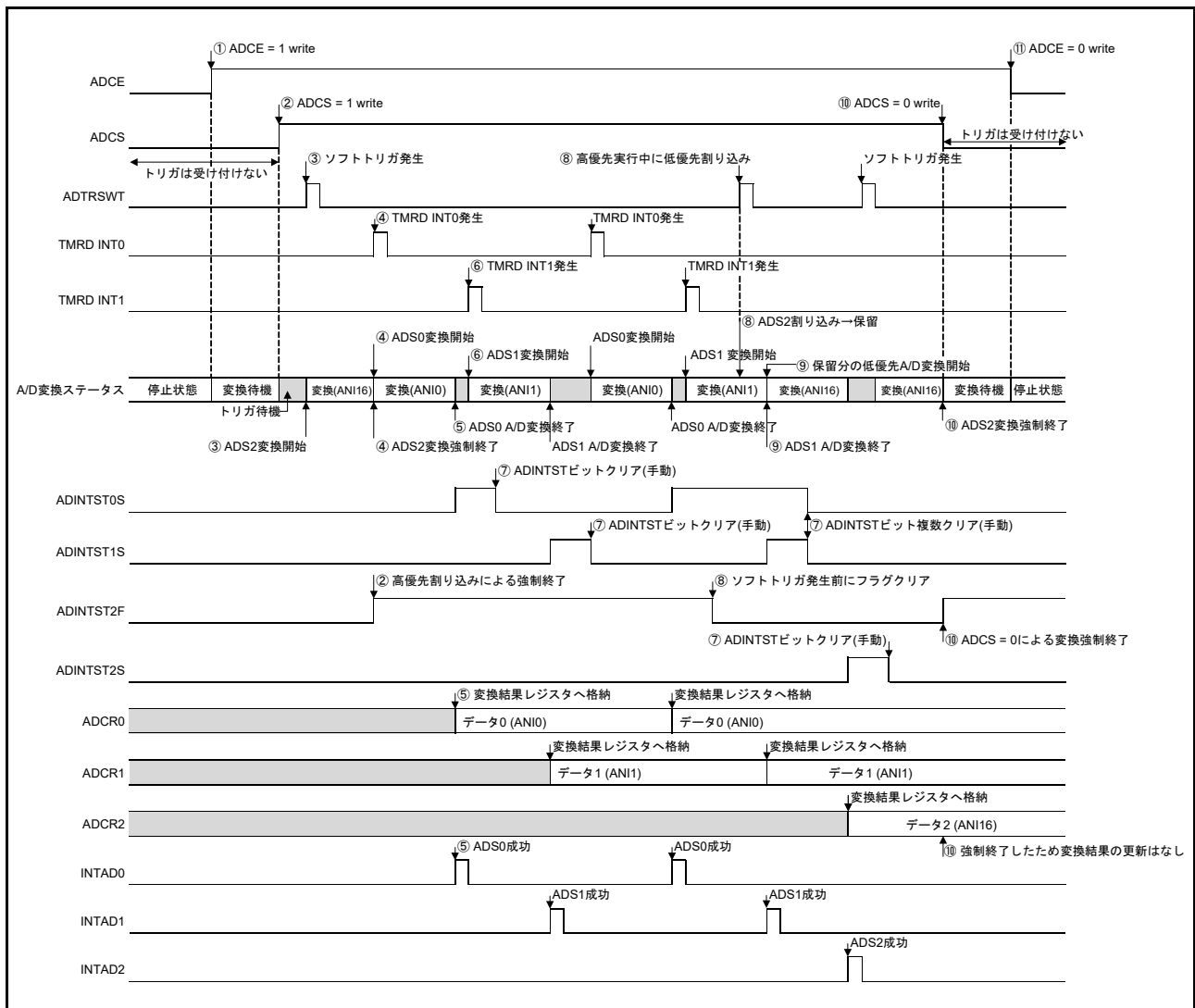
モード名	アドバンスド・モード	ウェイト・モード	変換モード
状態	ON	ノー・ウェイト	ワンショット変換モード

	チャンネル設定条件			
	チャンネル有効/無効	トリガ	優先度	INTAD0-3有効/無効
ADS0	有効	タイマRD20 (A/D変換トリガ0)	高	有効
ADS1	有効	タイマRD21 (A/D変換トリガ1)	高	有効
ADS2	有効	ソフトウェア	低	有効
ADS3	無効	初期値	初期値	初期値

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。なお、ADCSビットが0の間はトリガを受け付けません。
- ② ソフトウェアで安定待ち時間 (1 μ s + 変換クロック (f_{AD}) の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定すると、トリガ待機状態になります (この段階では変換を開始しません)。
- ③ トリガ待機状態で、ソフトウェア・トリガが入力される (ADTRSWTビットに1を設定する) と、ADS2のA/D変換が開始されます。
- ④ 低優先度のADS2のA/D変換実行中に高優先度のトリガが発生すると、ADS2の変換は強制終了されます。同時に高優先度であるADS0のA/D変換が開始されます。
 - ADS2が強制終了すると、変換失敗のステータスビットADINTST2Fは1となります。
- ⑤ ADS0のA/D変換が終了すると以下の動作を行います。保留されたA/D変換がない場合はトリガ待機状態となります。
 - A/D変換結果をA/D変換結果レジスタADCR0またはADCR0Hに格納
 - A/D変換成功ステータスADINTST0Sビットに1を設定
 - A/D変換終了要求信号 (INTAD0) を発生
- ⑥ トリガ待機状態中にトリガが発生すると対応したA/D変換が開始されます。ここではADS1のハードウェア・トリガが発生し、ADS1のA/D変換が開始されます。
- ⑦ A/D変換が完了し発生したINTAD0-3を確認できれば、次のA/D変換に対応する割り込み要求フラグ・レジスタをクリアします。同様にADINTSTレジスタもクリアします。
 - 割り込み要求フラグ・レジスタのクリアについての詳細は、**第29章 割り込み機能**を参照してください。
 - ADS0の成功ステータスビットのクリアは、ADINTSTレジスタにFDHを設定します。
 - ADS1の成功ステータスビットのクリアは、ADINTSTレジスタにF7Hを設定します。
 - ADS2の成功ステータスビットのクリアは、ADINTSTレジスタにDFHを設定します。
 - 成功ステータスビットをまとめてクリアできます。
ADS0-2すべての成功ステータスビットをクリアする場合は、ADINTSTレジスタにD5Hを設定します。

- ⑧ 同一優先度のA/D変換が実行中、もしくは高優先のA/D変換が実行中の場合にトリガが発生した場合は、A/D変換は保留されます。
- ここでは高優先ADS2に対するA/D変換中に低優先のADS0に対するソフトウェア・トリガが発生した場合にADS0のA/D変換が保留されます。
- この例では事前にソフトウェア・トリガを一度発生させADS2のA/D変換を実施していますが、高優先A/D変換の割り込みにより強制終了し、ADS2に対する失敗ステータスが立っています。再度ソフトウェア・トリガを発生させる前に、INTAD2の割り込み要求フラグ・レジスタと、ADINTST2Fビットのクリアを実施してください。
 - 割り込み要求フラグ・レジスタのクリアについての詳細は、**第29章 割り込み機能**を参照してください。
 - ADS2のFailビットのクリアはADINTSTレジスタにEFHを設定します。
- ⑨ 保留されていたA/D変換は、実行中のA/D変換が完了すると、続けて実行されます。
- 保留されているA/D変換の優先度に応じて順次実行されます。
- この例では、ADS2のみ保留されているためADS2のA/D変換が開始されます。
- ⑩ A/D変換動作中にADCSビットに0を設定すると、実行中のA/D変換は強制終了し、A/D変換待機状態となります。強制終了したA/D変換に対しては、失敗ステータスビットが立ちます。
- この例ではADS2が強制終了したため、ADINTST2Fに1が設定されます。
 - この例ではADS2が強制終了したため、A/D変換結果は更新されません。
- ⑪ A/D変換待機中にADCEビットに0を設定すると、A/Dコンバータは停止状態になります。

図20-41 アドバンスド・モード (ハードウェア・トリガ、ソフトウェア・トリガ混載設定)
動作タイミング例



20.6.18 アドバンスド・モード（同時サンプリング、ソフトウェア・トリガ混載設定）

3チャンネル同時サンプリング設定に加え、低優先度に設定したソフトウェア・トリガで動作するチャンネルを用いた動作例を以下に示します。

設定条件は、次のとおりです。

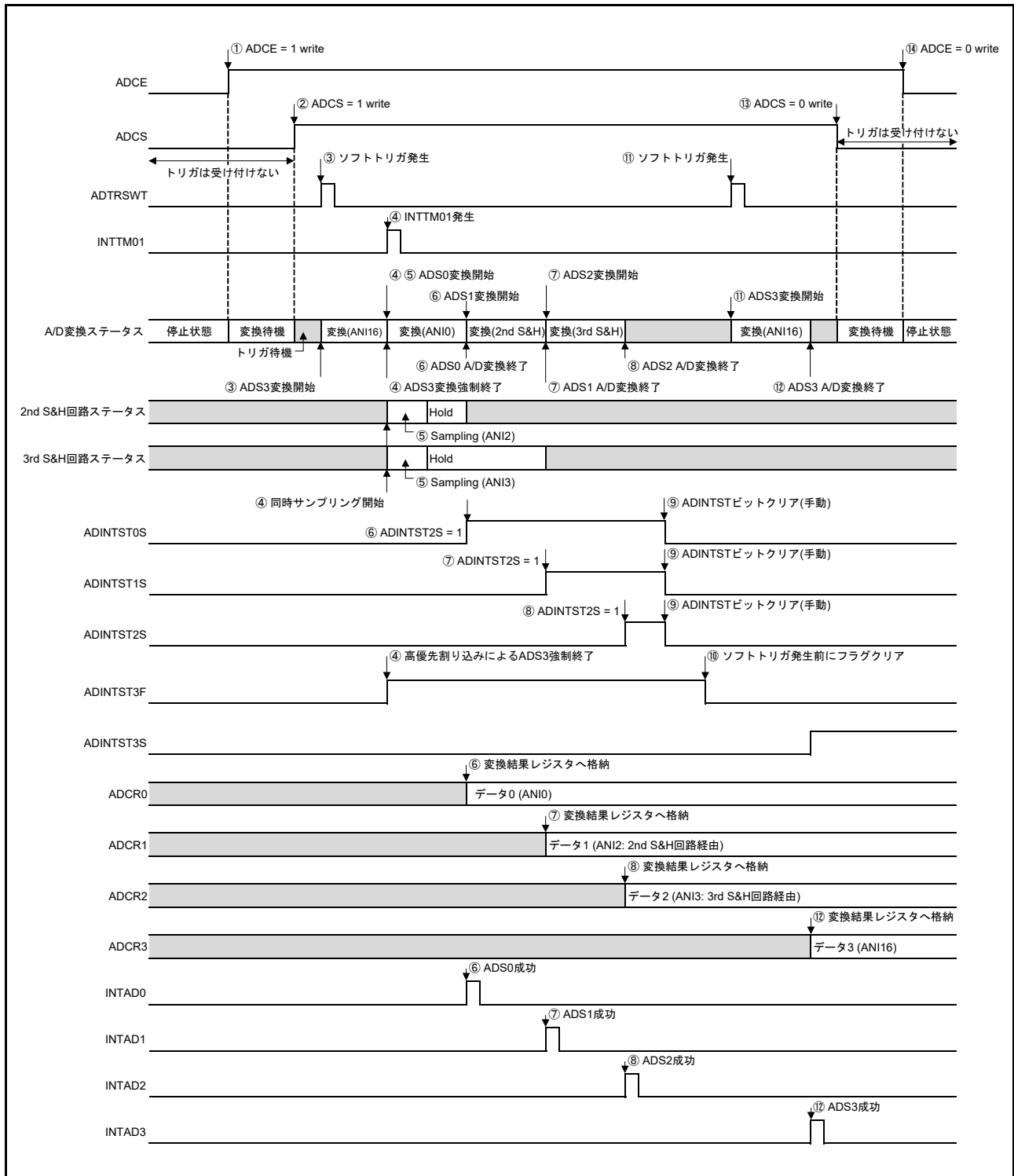
モード名	アドバンスド・モード	ウェイト・モード	変換モード
状態	ON	ノー・ウェイト	ワンショット変換モード

	チャンネル設定条件				
	チャンネル有効/無効	同時サンプリング設定	トリガ	優先度	INTAD有効/無効
ADS0	有効	1st S&H (ADS0.ADSPSC01, ADS0.ADSPSC00 = 01B)	INTTM01	初期値	有効
ADS1	有効	2nd S&H (ADS1.ADSPSC11, ADS1.ADSPSC10 = 10B)	INTTM01	初期値	有効
ADS2	有効	3rd S&H (ADS2.ADSPSC21, ADS2.ADSPSC20 = 11B)	INTTM01	初期値	有効
ADS3	有効	— (ADS3.ADSPSC31, ADS3.ADSPSC30 = 00B)	ソフトウェア	低	有効

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。なお、ADCSビットが0の間はトリガを受け付けません。
- ② ソフトウェアで安定待ち時間 (1 μ s + 変換クロック (fAD) の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定すると、トリガ待機状態になります (この段階では変換を開始しません)。
- ③ トリガ待機状態で、ソフトウェア・トリガが入力される (ADTRSWTビットに1を設定する) と、ADS3のA/D変換が開始されます。
- ④ 低優先度のADS3のA/D変換実行中に同時サンプリングのトリガINTTM01が発生すると、ADS3の変換は強制終了されます。同時にADS0-2で設定した同時サンプリングが実施されます。
 - ADS3が強制終了すると、変換失敗のステータスビットADINTST3Fは1となります。
- ⑤ 同時サンプリングの場合、トリガが発生すると1st S&Hとして設定 (ADS0.ADSPSC01, ADS0.ADSPSC00 = 01B) したADS0は通常通りA/D変換を実施します。2nd S&H (ADS1.ADSPSC11, ADS1.ADSPSC10 = 10B) として設定したADS1と、3rd S&H (ADS2.ADSPSC21, ADS2.ADSPSC20 = 11B) として設定したADS2は、S&H回路でサンプリングした値をホールドします。
- ⑥ ADS0のA/D変換が終了すると以下の動作を行います。2nd S&Hとして設定したADS1のA/D変換は自動的に開始されます。ADS1のA/D変換の対象となるアナログ入力 は2nd S&H回路でホールドした値です。
 - A/D変換結果をA/D変換結果レジスタADCR0またはADCR0Hに格納
 - A/D変換成功ステータスADINTST0Sビットに1を設定
 - A/D変換終了要求信号 (INTAD0) を発生
- ⑦ ADS1のA/D変換が終了すると以下の動作を行います。3rd S&Hとして設定したADS2のA/D変換は自動的に開始されます。ADS2のA/D変換の対象となるアナログ入力 は3rd S&H回路でホールドした値です。
 - A/D変換結果をA/D変換結果レジスタADCR1またはADCR1Hに格納
 - A/D変換成功ステータスADINTST1Sビットに1を設定
 - A/D変換終了要求信号 (INTAD1) を発生

- ⑧ ADS2のA/D変換が終了すると以下の動作を行います。保留されたA/D変換がない場合はトリガ待機状態となります。
- A/D変換結果をA/D変換結果レジスタADCR2またはADCR2Hに格納
 - A/D変換成功ステータスADINTST2Sビットに1を設定
 - A/D変換終了要求信号 (INTAD2) を発生
- ⑨ A/D変換が完了し発生したINTAD0-3を確認できたら、次のA/D変換に対応する割り込み要求フラグ・レジスタをクリアします。同様にADINTSTレジスタもクリアします。
- 割り込み要求フラグ・レジスタのクリアについての詳細は、**第29章 割り込み機能**を参照してください。
 - ADS0の成功ステータスビットのクリアは、ADINTSTレジスタにFDHを設定します。
 - ADS1の成功ステータスビットのクリアは、ADINTSTレジスタにF7Hを設定します。
 - ADS2の成功ステータスビットのクリアは、ADINTSTレジスタにDFHを設定します。
 - 成功ステータスビットをまとめてクリアできます。
ADS0-2のすべての成功ステータスビットをクリアする場合は、ADINTSTレジスタにD5Hを設定します。
- ⑩ 同時サンプリングの終了にあわせてソフトウェア・トリガ変換を実施するため、以前のソフトウェア・トリガのINTAD3やADINTSTレジスタをクリアします。
ここでは、ADS3の変換に一度失敗していますのでADINTSTの失敗ステータスビットのクリアを行います。
- ADS3の失敗ステータスビットのクリアは、ADINTSTレジスタにBFHを設定します。
- ⑪ ソフトウェア・トリガを発生させADS3のA/D変換を開始させます。
- ⑫ ADS3のA/D変換が終了すると以下の動作を行います。保留されたA/D変換がない場合はトリガ待機状態となります。
- A/D変換結果をA/D変換結果レジスタADCR3またはADCR3Hに格納
 - A/D変換成功ステータスADINTST3Sビットに1を設定
 - A/D変換終了要求信号 (INTAD3) を発生
- ⑬ トリガ待機中にADCSビットに0を設定すると、A/D変換待機状態になります。
- ⑭ A/D変換待機中にADCEビットに0を設定すると、A/Dコンバータは停止状態になります。

図20 - 42 アドバンスド・モード(同時サンプリング、ソフトウェア・トリガ混載設定)
動作タイミング例

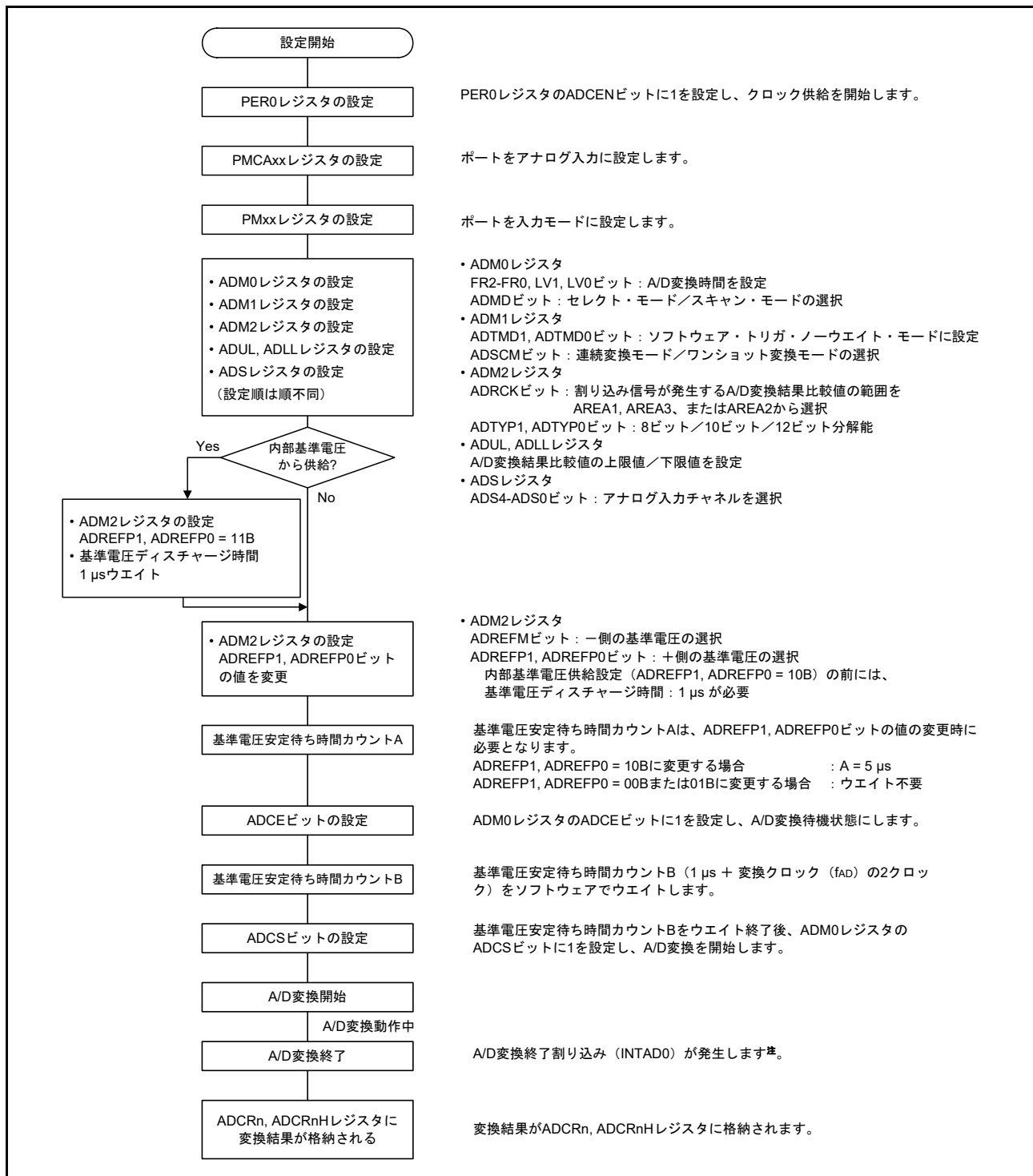


20.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

20.7.1 ソフトウェア・トリガ・ノーウエイト・モード時の設定

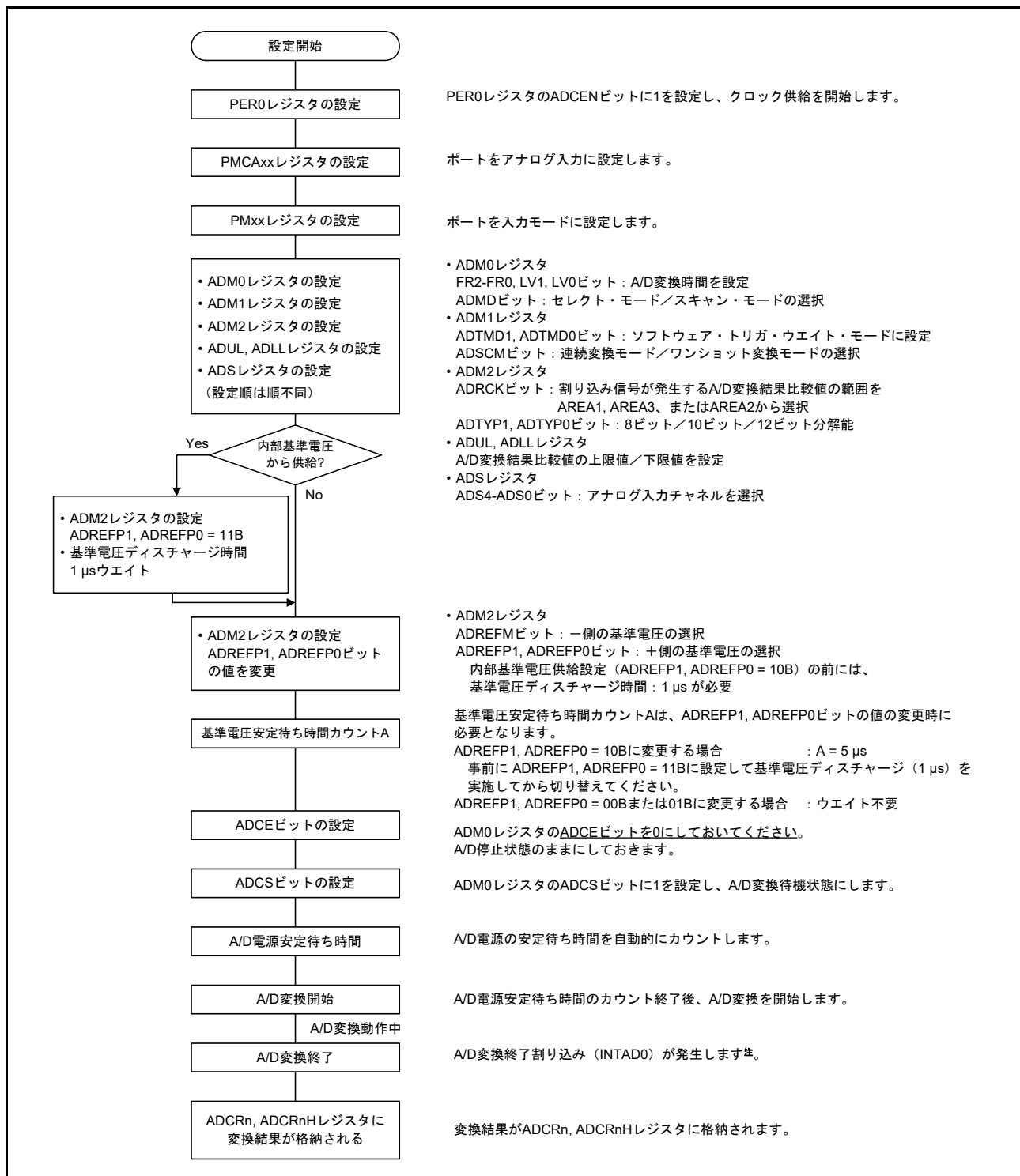
図20-43 ソフトウェア・トリガ・ノーウエイト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

20.7.2 ソフトウェア・トリガ・ウエイト・モード時の設定

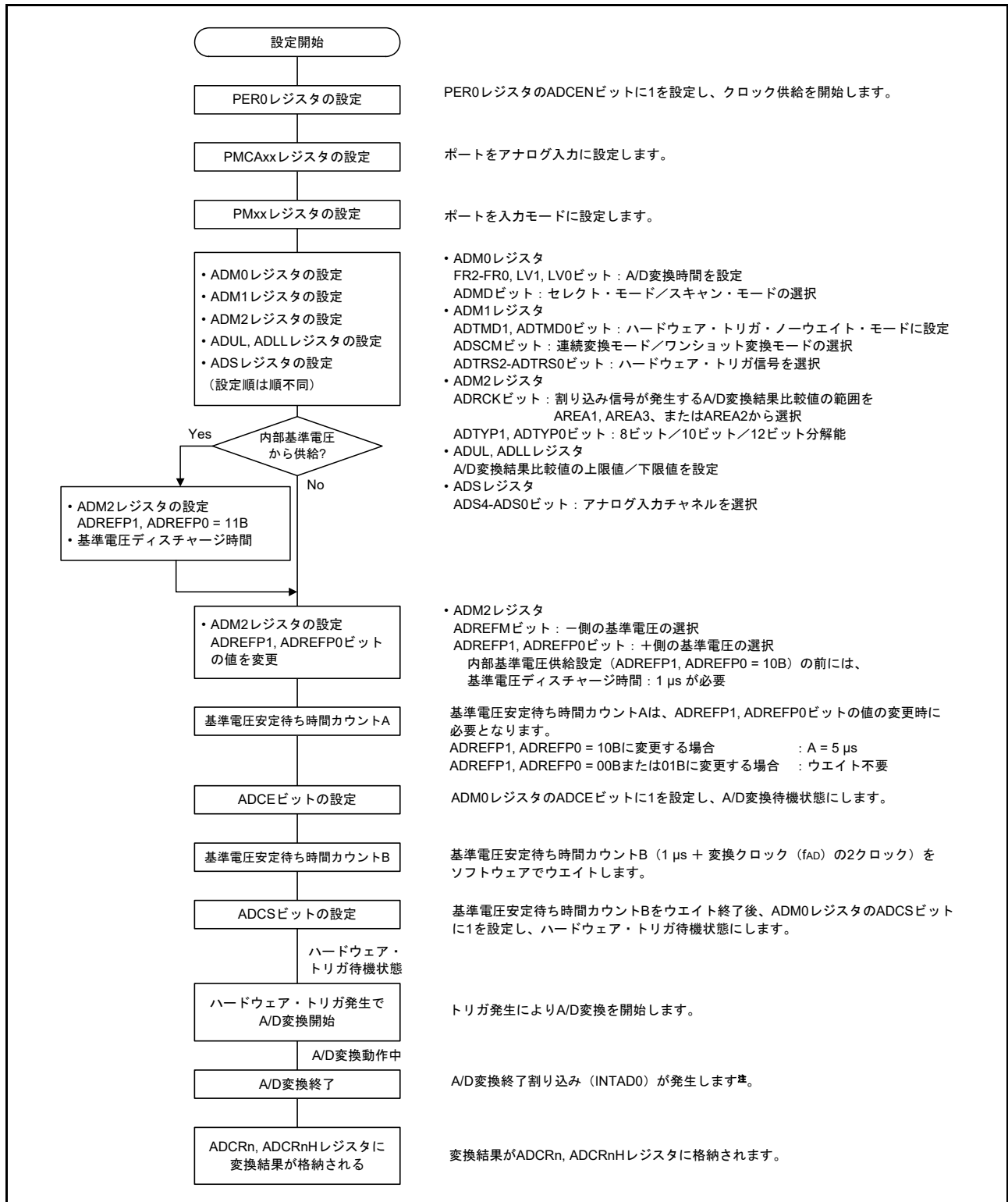
図20-44 ソフトウェア・トリガ・ウエイト・モード時の設定



注 ADCRn, ADCRnHレジスタに結果は格納されません。

20.7.3 ハードウェア・トリガ・ノーウエイト・モード時の設定

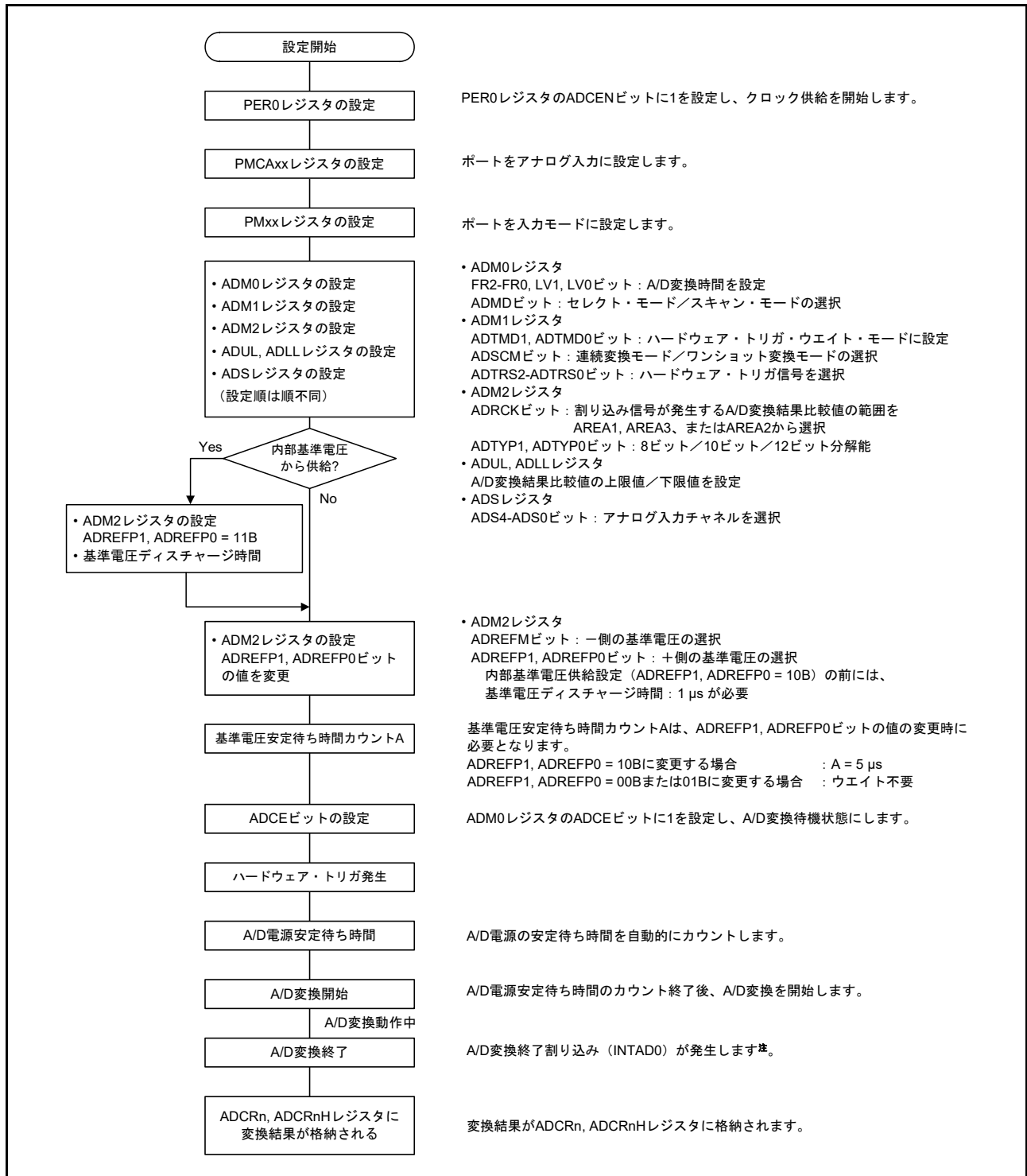
図20-45 ハードウェア・トリガ・ノーウエイト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

20.7.4 ハードウェア・トリガ・ウエイト・モード時の設定

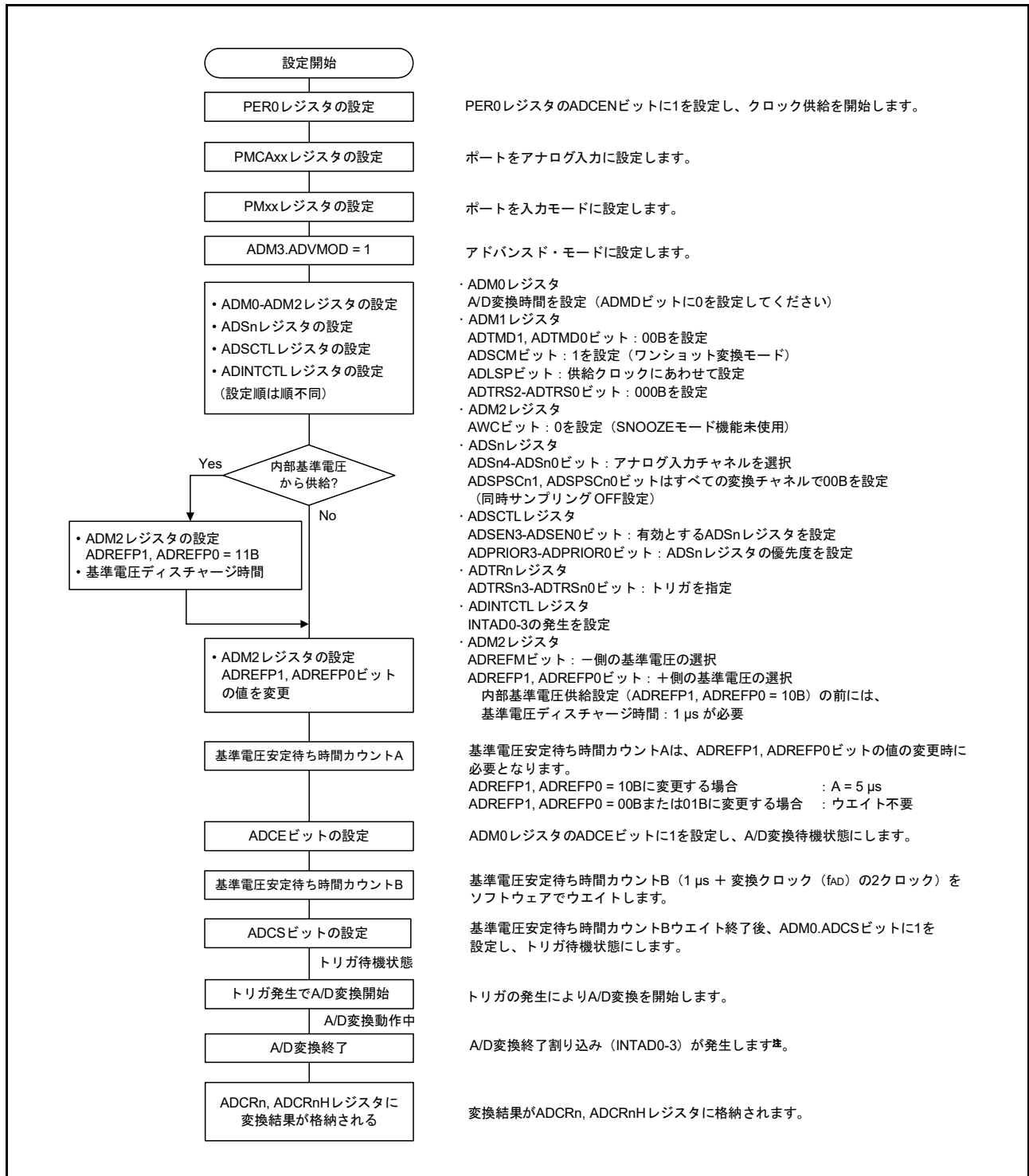
図20-46 ハードウェア・トリガ・ウエイト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

20.7.5 アドバンスド・モード時の設定

図20-47 アドバンスド・モード時の設定

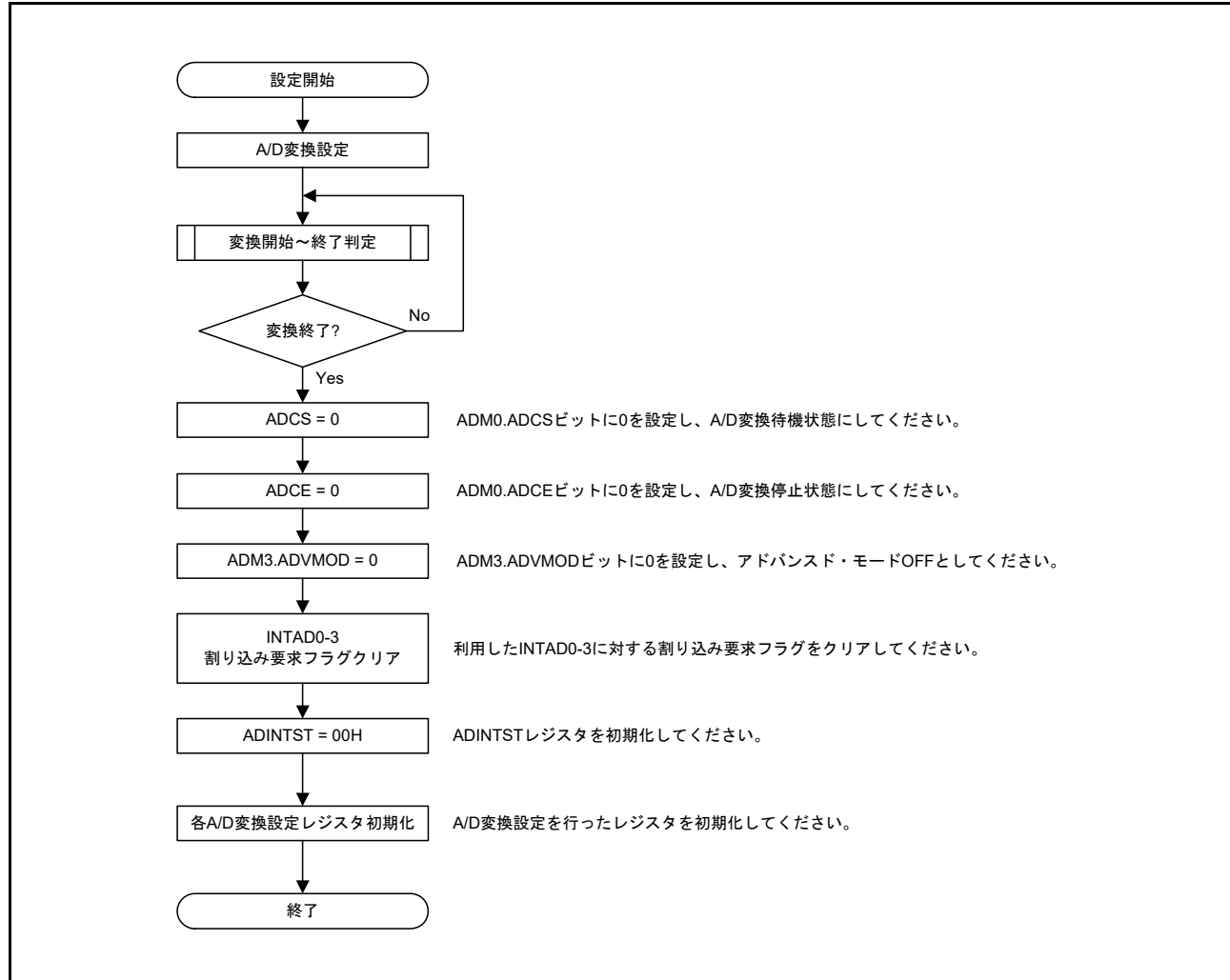


注 ADINTCTLレジスタの設定により割り込み信号が抑制された場合は、ADCRn, ADCRnHレジスタに結果は格納されません。

20.7.5.1 アドバンスド・モード終了手順

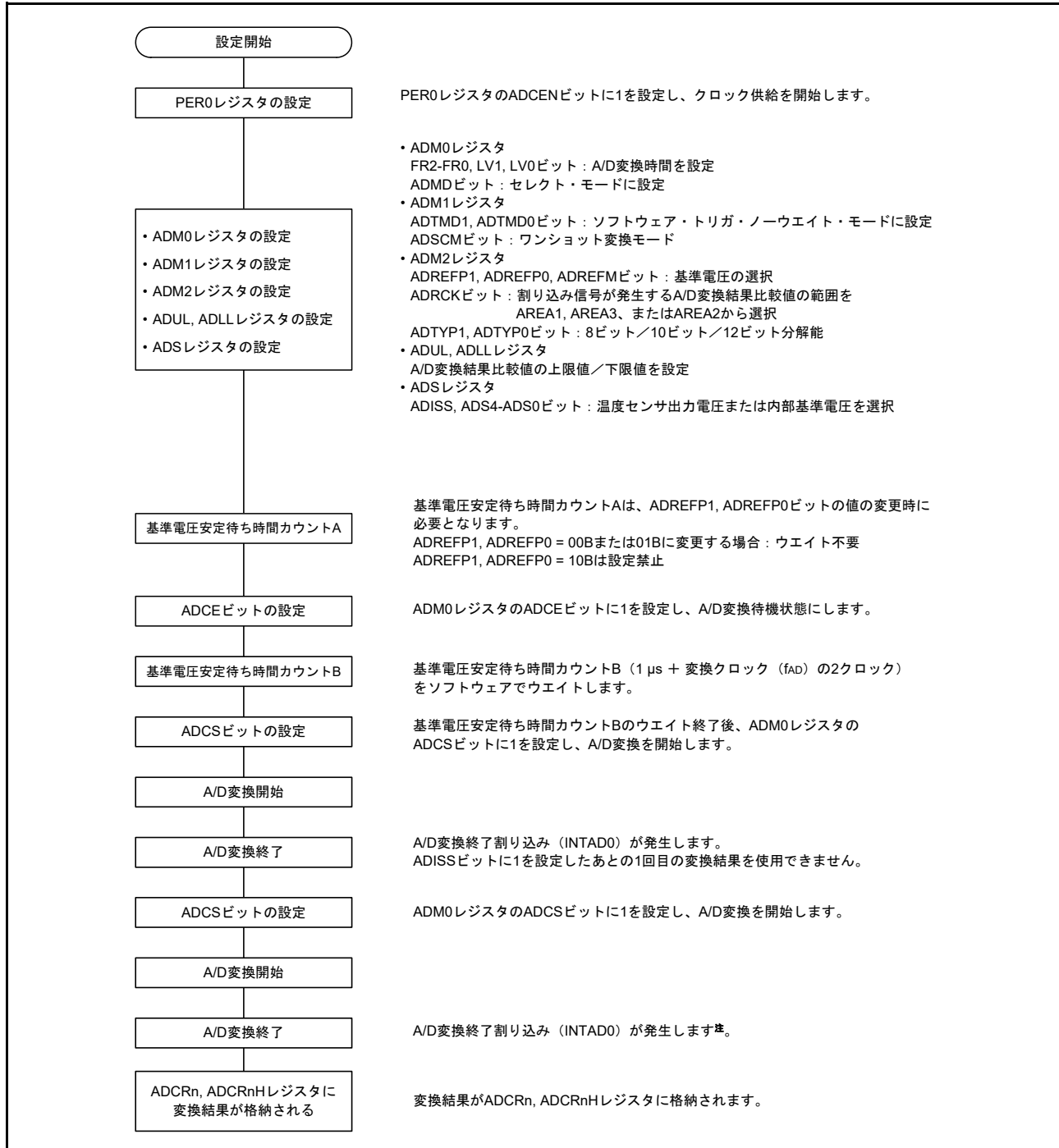
アドバンスド・モードでA/D変換が終了した場合、図20-48で示す終了手順に従ってください。

図20-48 アドバンスド・モード終了手順



20.7.6 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時)

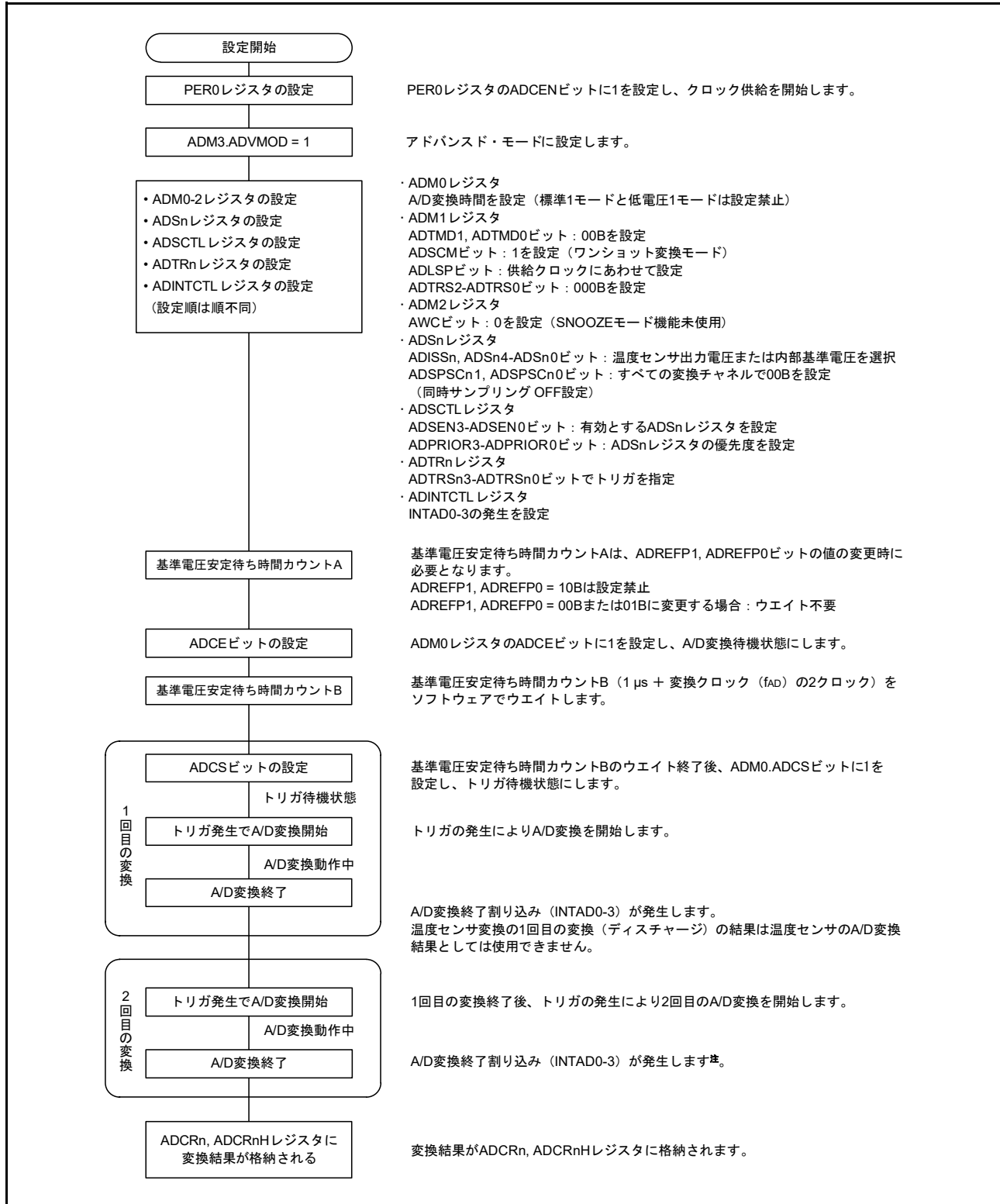
図20-49 温度センサ出力電圧／内部基準電圧を選択時の設定
(ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時)



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRn, ADCRnHレジスタに結果は格納されません。

20.7.7 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 アドバンスド・モード時)

図20 - 50 温度センサ出力電圧／内部基準電圧を選択時の設定 (アドバンスド・モード時)



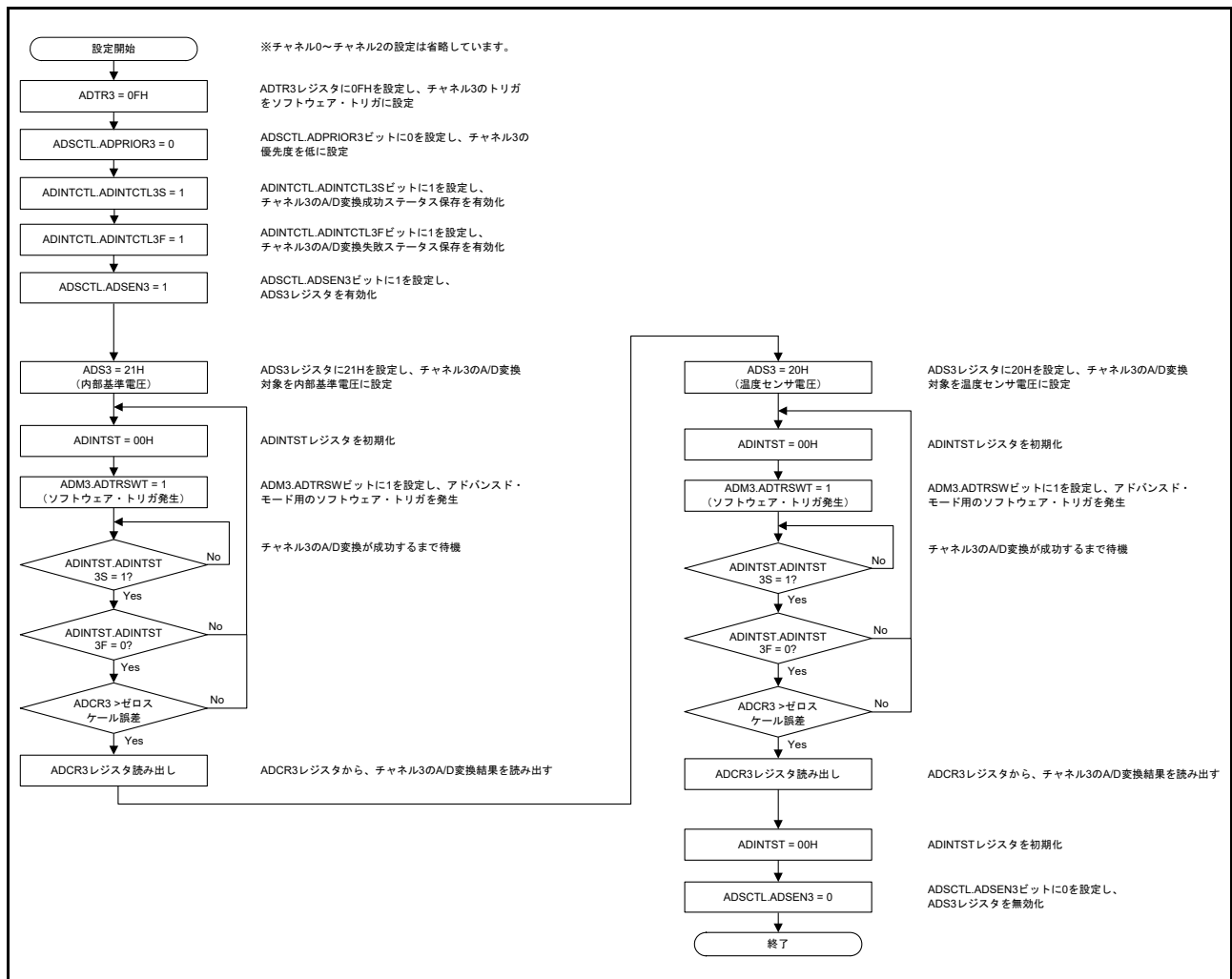
注 ADINTCTLレジスタの設定により割り込み信号が抑制された場合は、ADCRn, ADCRnHレジスタに結果は格納されません。

20.7.7.1 アドバンスド・モードでの温度センサ出力電圧／内部基準電圧を選択時の終了判定・手順

アドバンスド・モードで温度センサ出力電圧／内部基準電圧のA/D変換を実施した場合、結果の確認方法や終了手順は図20-51で示す手順に従ってください。

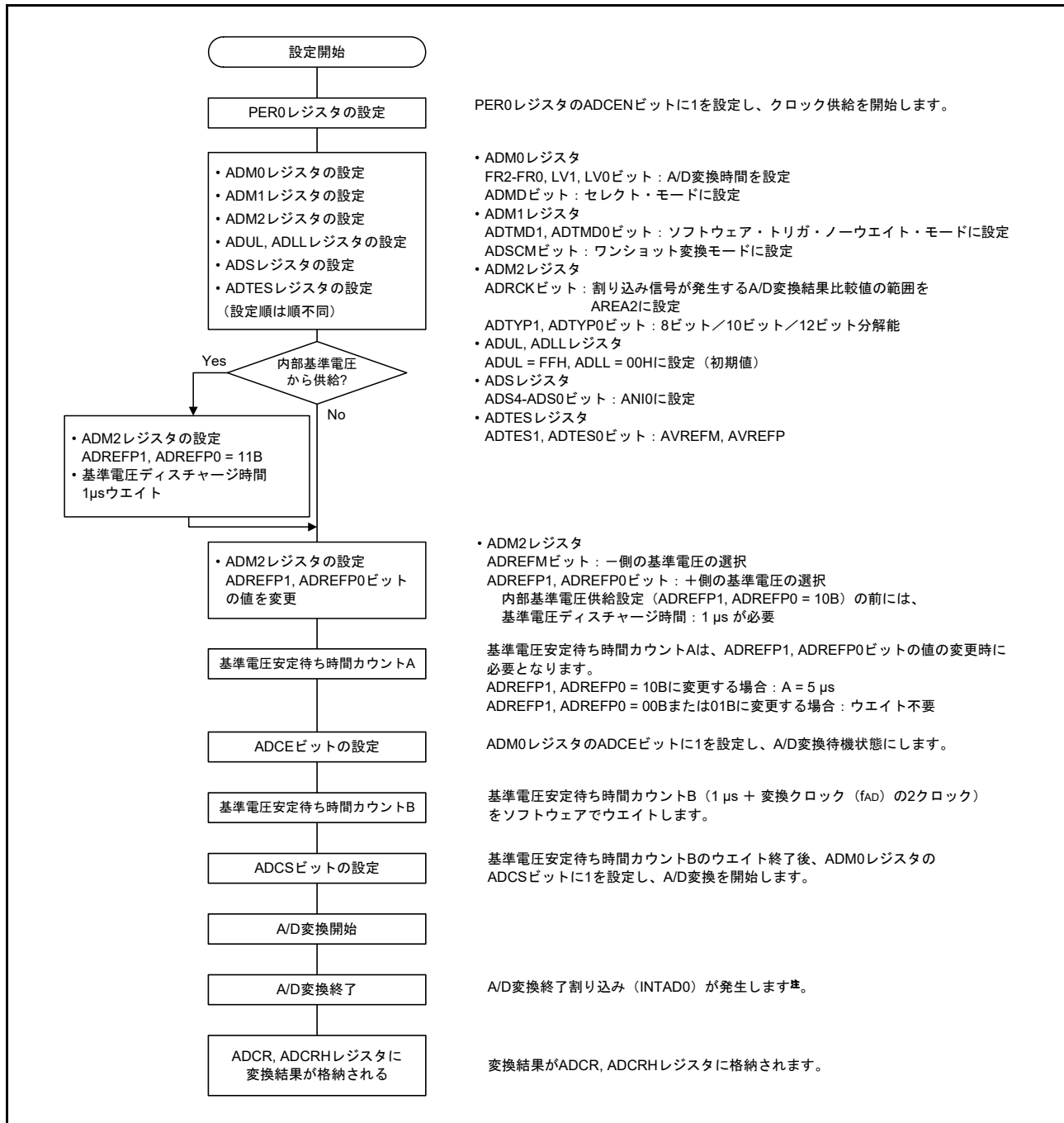
図20-51は、アドバンスド・モードONでチャンネル0～チャンネル2のA/D変換中に、チャンネル3で内部基準電圧と温度センサ電圧を測定するケース例です。

図20-51 アドバンスド・モードでの温度センサ出力電圧／内部基準電圧A/D変換終了手順



20.7.8 テスト・モード時の設定

図20-52 テスト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、35.3.10 A/Dテスト機能を参照してください。

20.8 同時サンプリング機能

RL78/G24 は、アドバンスド・モードにおいて最大 3 チャンネル分の ANI 信号を同時サンプリングすることができません。サンプリングした ANI 信号は一定時間保持され、1 つずつ A/D 変換されます。

同時サンプリング機能を使用する場合、標準 1 モードに設定してください。

同時サンプリングの設定は、ADSn レジスタの ADSPSCn1, ADSPSCn0 ビットで行います。以下に ADSPSCn1, ADSPSCn0 ビットの設定値と対応 S&H 回路を示します。

表20-7 同時サンプリングチャンネル指定

ADSPSCn1	ADSPSCn0	同時サンプリングチャンネル指定
0	0	同時サンプリングなし (初期設定)
0	1	1st S&H回路使用 (ANI0, ANI1, ANI4-ANI30, PGA出力から選択) 注
1	0	2nd S&H回路使用 (ANI2) 注
1	1	3rd S&H回路使用 (ANI3) 注

注 同時サンプリングを実施する場合、1回のA/D変換時間が3.3 μ s以下のケースのみとし、2.7 V \geq V_{DD}で使用してください。

実行可能なケースは、以下のとおりです。

- 標準1モードで1分周の場合のf_{CLK} \geq 16 MHzのケース
- 標準1モードで2分周の場合のf_{CLK} \geq 32 MHzのケース

備考 n = 0-3

同時サンプリング機能を使った場合の INTAD0-3 の発生タイミングは、通常の変換と同様です。

INTAD0-3 発生時の制御方法やステータスも通常の変換と同様に設定・確認できます。

注意1. 同時サンプリングを行う場合、1st S&H回路でANI2やANI3を変換対象として指定しないでください。

注意2. 同時サンプリングを続けて実行する場合、最後のINTAD0-3が発生してから、次の同時サンプリングのトリガ要因が発生するまで4 f_{AD}以上の間隔をあける必要があります。

20.8.1 同時サンプリング設定方法

同時サンプリングの設定方法例を示します。

- 同時サンプリングの設定は、ADSn.ADSPSCn1, ADSn.ADSPSCn0 ビットの設定以外は通常の設定と同様です。ただし、ADSPSCn1, ADSPSCn0 ビットに10Bもしくは11Bを設定する場合、ADSn4-ADSn0 ビットは00000B以外の値を設定しないでください。
- 同時サンプリング設定で1st S&H, 2nd S&H, 3rd S&Hに指定する変換チャンネルのトリガ要因は、同じ内容で設定する必要があります。
- 同時サンプリング設定で1st S&H, 2nd S&H, 3rd S&Hに指定する変換チャンネルの優先度は、すべて初期値0に設定してください。
- ★ 2チャンネル同時サンプリングを設定する場合、S&H回路の組み合わせは1st S&Hと2nd S&Hまたは1st S&Hと3rd S&Hを設定してください。

20.8.1.1 に 2 チャンネル同時サンプリング例、20.8.1.2 に 3 チャンネル同時サンプリング例を示します。

20.8.1.1 2チャンネル同時サンプリング例

条件	<ul style="list-style-type: none"> • ADS0レジスタを1st S&H回路とし、ANI1の変換指定。 • ADS1レジスタを2nd S&H回路とする。 • 3rd S&H回路の指定はなし • トリガ要因はTMKB3-チャンネル1 					
変換チャンネルごと制御レジスタ						
	同時サンプリング指定		アナログ入力指定		トリガ要因指定	
	ADSn.ADSPSCn1, ADSn.ADSPSCn0		ADSn.ADSn4-ADSn.ADSn0		ADTRn.ADTRSn3-ADTRn.ADTRSn0	
ADS0	01B	1st S&H回路	00001B	ANI1指定	1000B	TMKB3-チャンネル1
ADS1	10B	2nd S&H回路	00000B	初期値	1000B	
ADS2	00B	未使用	—	未使用	—	未使用
ADS3	00B	未使用	—	未使用	—	未使用
一括制御レジスタ						
優先度	ADSCTL.ADPRIOR0 = 0 (低) ADSCTL.ADPRIOR1 = 0 (低)					

20.8.1.2 3チャンネル同時サンプリング例

条件	<ul style="list-style-type: none"> • ADS1レジスタを1st S&H回路とし、ANI6の変換指定。 • ADS2レジスタを2nd S&H回路とする。 • ADS3レジスタを3rd S&H回路とする。 • トリガ要因はタイマRD20 (A/D変換トリガ0) 					
変換チャンネルごと制御レジスタ						
	ADSn.ADSPSCn1, ADSn.ADSPSCn0		ADSn.ADSn4-ADSn.ADSn0		ADTRn.ADTRSn3-ADTRn.ADTRSn0	
ADS0	00B	未使用	—	未使用	—	タイマRD20 (A/D変換トリガ0)
ADS1	01B	1st S&H回路	00110B	ANI6指定	1000B	
ADS2	10B	2nd S&H回路	00000B	初期値	1000B	
ADS3	11B	3rd S&H回路	00000B	初期値	1000B	
一括制御レジスタ						
優先度	ADSCTL.ADPRIOR1 = 0 (低) ADSCTL.ADPRIOR2 = 0 (低) ADSCTL.ADPRIOR3 = 0 (低)					

20.9 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時はA/D変換動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

SNOOZEモードはアドバンスド・モードでは使用できません。

SNOOZEモードはハードウェア・トリガ・モードで使用可能です。

20.9.1 ハードウェア・トリガの入力によるA/D変換

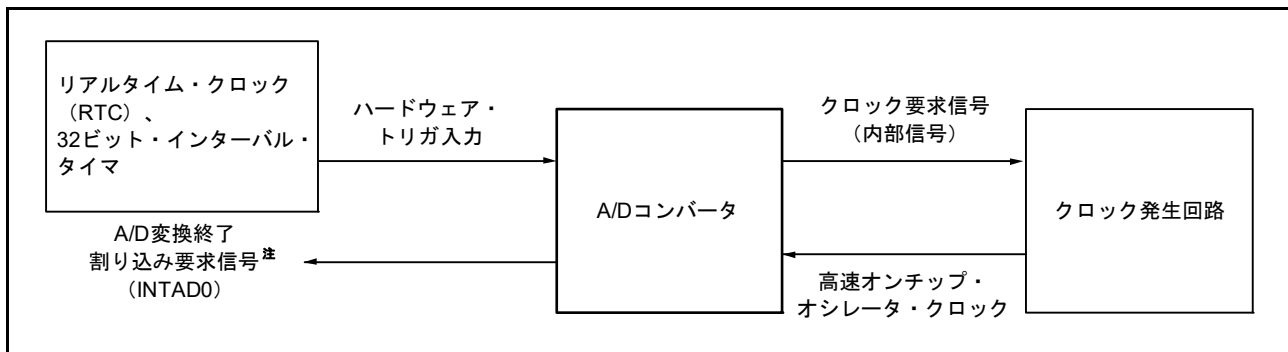
SNOOZEモードでは、ADUL, ADLLレジスタで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ハードウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード)
- ハードウェア・トリガ・ウェイト・モード (スキャン・モード、ワンショット変換モード)

注意 SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図20 - 53 SNOOZEモード機能時のブロック図 (ハードウェア・トリガ・ウェイト・モード時)



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います (図20 - 56 **SNOOZEモード設定 (ハードウェア・トリガ) のフロー・チャート**を参照)。STOPモードへ移行する直前に、A/Dコンバータ・モード・レジスタ2 (ADM2) のAWCビットに1を設定します。初期設定完了後、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります注。

注 A/D変換結果比較機能の設定 (ADM2.ADRCKビット、ADUL, ADLLレジスタ) により、割り込み信号が発生しない場合があります。

注意 ハードウェア・トリガ信号は、A/Dコンバータ・モード・レジスタ1 (ADM1) で、以下のいずれかを選択してください。

- リアルタイム・クロック割り込み信号 (INTRTC)
- 32ビット・インターバル・タイマ割り込み信号 (ELCITL0)

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能 (ADM2.ADRCKビット、ADUL, ADLLレジスタで設定) で設定した値の範囲内の場合、A/D変換終了割り込み要求信号 (INTAD0) は発生します。

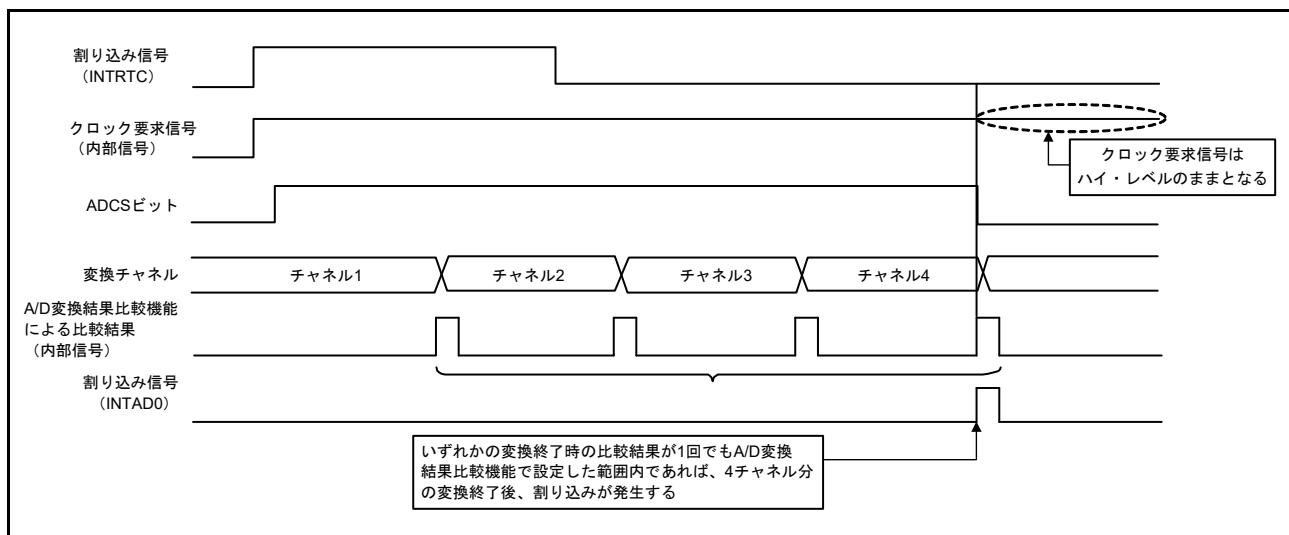
- セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号 (INTAD0) が発生すると、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2 (ADM2) のAWCビットを必ず0にしてください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

- スキャン・モード時

4チャンネル分のA/D変換結果の値が1回でもA/D変換結果比較機能で設定した範囲内となり、A/D変換終了割り込み要求信号 (INTAD0) が発生した場合、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2 (ADM2) のAWCビットを必ず0にしてください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

図20-54 A/D変換終了後に割り込みが発生する場合の動作例 (スキャン・モード時)



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能 (ADM2.ADRCKビット、ADUL, ADLLレジスタで設定) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD0) は発生しません。

- セレクト・モード時

A/D変換終了割り込み要求信号 (INTAD0) が発生しなかった場合、A/D変換終了後にクロック要求信号 (内部信号) は自動的にロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止されます。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

4チャンネル分のA/D変換結果の値が1回もA/D変換結果比較機能で設定した範囲内とならず、A/D変換終了割り込み要求信号 (INTAD0) も発生しなかった場合、4チャンネル分のA/D変換が終了したあとにクロック要求信号 (内部信号) は自動的にロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止されます。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換作業を行います。

図20 - 55 A/D変換終了後に割り込みが発生しない場合の動作例 (スキャン・モード時)

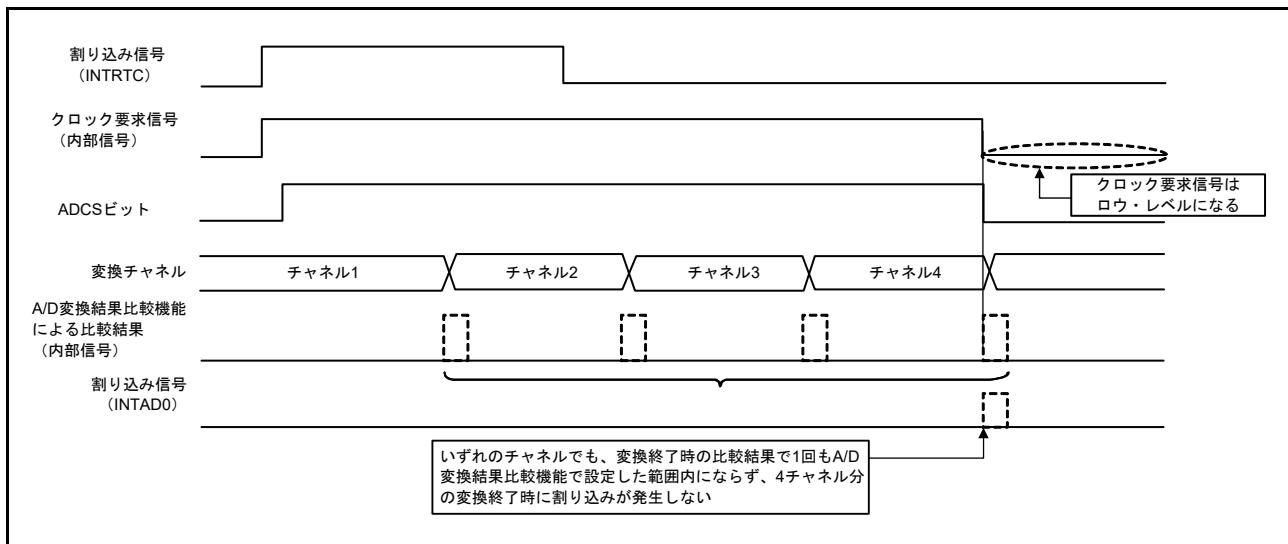
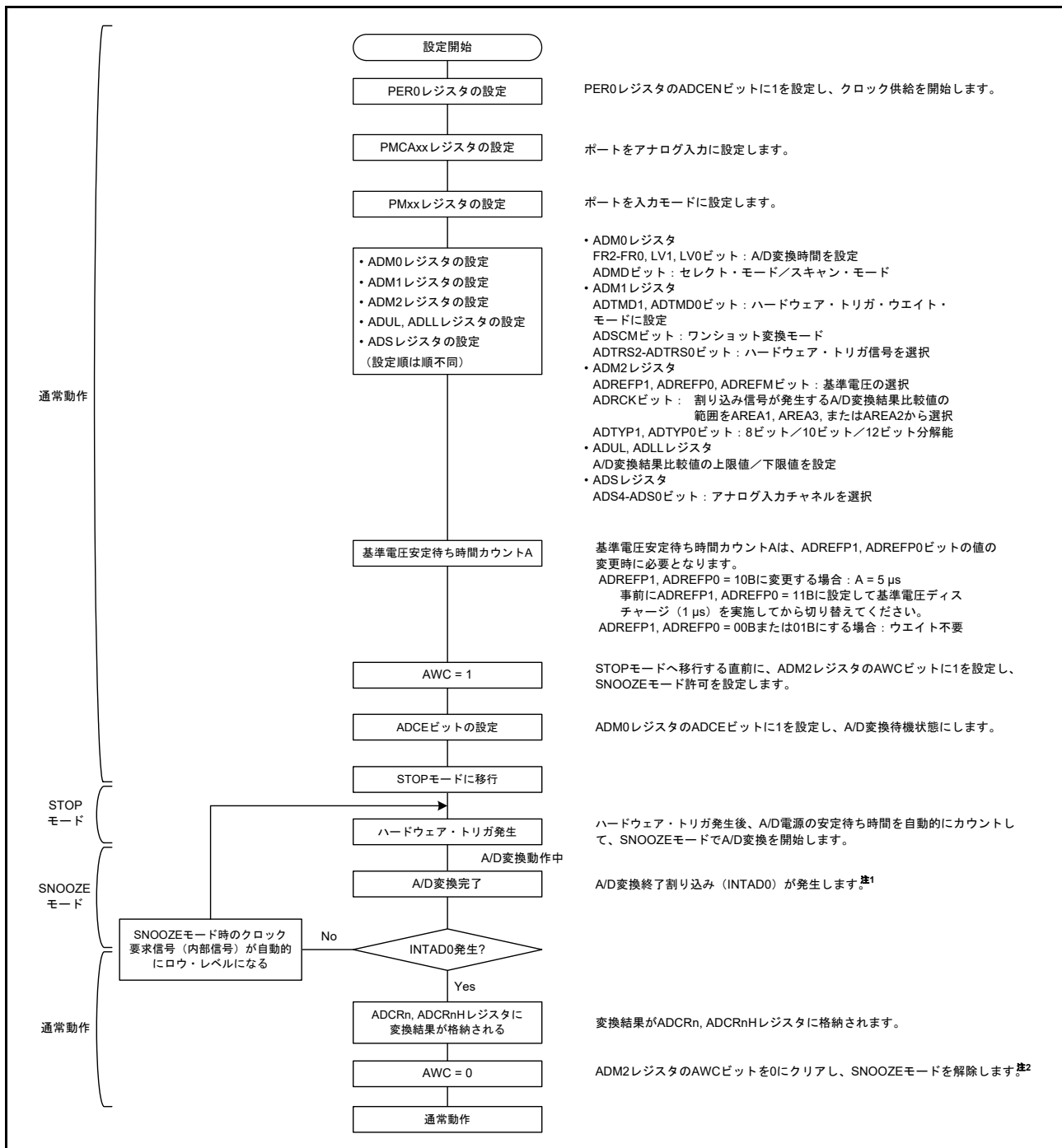


図20-56 SNOOZEモード設定 (ハードウェア・トリガ) のフロー・チャート



注1. ADRCKビット、ADUL, ADLLレジスタの設定により、A/D変換終了割り込み要求信号 (INTAD0) が発生しなかった場合、ADCRn, ADCRnHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

20.10 アドバンスド・モードにおけるトリガ競合時の動作

アドバンスド・モードでは複数の変換設定で異なるトリガ要因を設定できます。そのため、タイミングによってはA/D変換中にトリガ要因が競合するケースが出てきます。

トリガ要因の競合時の動作を以下に示します。

表 20 - 8 に設定に応じた優先度を示します。

表20 - 8 設定に応じた優先順一覧

優先順	ADSn	同時サンプリング設定 (ADSn.ADSPSCn1, ADSn.ADSPSCn0)	優先度設定 (ADSCCTL.ADPRIORn)
1	ADSn	1st S&H (ADSPSCn1, ADSPSCn0 = 01B) 注1	—
2	ADSn	2nd S&H (ADSPSCn1, ADSPSCn0 = 10B) 注1, 2	—
3	ADSn	3rd S&H (ADSPSCn1, ADSPSCn0 = 11B) 注1, 2	—
4	ADS0注3	— (ADSPSCn1, ADSPSCn0 = 00B)	High (ADSCCTL.ADPRIOR0 = 1)
5	ADS1注3		High (ADSCCTL.ADPRIOR1 = 1)
6	ADS2注3		High (ADSCCTL.ADPRIOR2 = 1)
7	ADS3注3		High (ADSCCTL.ADPRIOR3 = 1)
8	ADS0注3		Low (ADSCCTL.ADPRIOR0 = 0)
9	ADS1注3		Low (ADSCCTL.ADPRIOR1 = 0)
10	ADS2注3		Low (ADSCCTL.ADPRIOR2 = 0)
11	ADS3注3		Low (ADSCCTL.ADPRIOR3 = 0)

注1. 同時サンプリング設定の1st S&H, 2nd S&H, 3rd S&HはADS0-3レジスタで重複設定禁止です。

注2. 同時サンプリング設定の2nd S&H, 3rd S&Hを指定する場合別のADSnレジスタで1st S&Hが設定されている必要があります。

注3. 同一優先度設定は、ADSnレジスタの番号が若い順に優先度が高くなります。

備考 n = 0-3

表 20 - 9 に競合ケースと競合時の動作概要を示します。

表20 - 9 競合ケースと競合による動作概要一覧

優先順注		動作	
実行中チャンネル	割り込みチャンネル	実行中チャンネル	割り込みチャンネル
8～11のいずれか	1～7のいずれか	強制終了	優先実行
上記以外		継続	保留

注 表 20 - 8 の優先順を示します。

20.10.1 競合によるA/D変換強制終了時の対処方法

競合により実行中のA/D変換が強制終了する場合、以下の対応を検討してください。

- (1) 強制終了したA/D変換結果が不要であれば、対処は不要です。
- (2) 競合しても強制終了させたくない場合は、優先度設定の変更を見直してください。
- (3) 競合が発生しないようにするには、A/D変換中にトリガ要因が発生しないように、トリガ要因発生タイミングを調整してください。
 - A/D変換時間については、**表20-6 A/D変換時間の選択**を参考にしてください。
 - A/D変換中のチャンネルの完了はINTAD0-3の要求フラグ・レジスタや変換割り込みステータス・レジスタ (ADINTST) をウォッチすることで確認できます。
 - INTAD0-3は割り込み要求フラグ・レジスタで確認できます。詳細は、**第29章 割り込み機能**を参照してください。
 - ADINTSTレジスタの詳細は、**20.3.14 変換割り込みステータス・レジスタ (ADINTST)**を参照してください。

備考 A/D変換終了をウォッチする場合、ADINTSTでFailステータス・ビット (ADINTSTnF) が立つ場合、INTAD0-3が発生しないため、INTAD0-3のみではなく、ADINTSTレジスタもウォッチしてください。

20.11 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能12ビットのとき

$$1 \text{ LSB} = 1/2^{12} = 1/4096 \\ \approx 0.024 \% \text{FSR}$$

精度は分解能とは関係なく、総合誤差によって決まります。

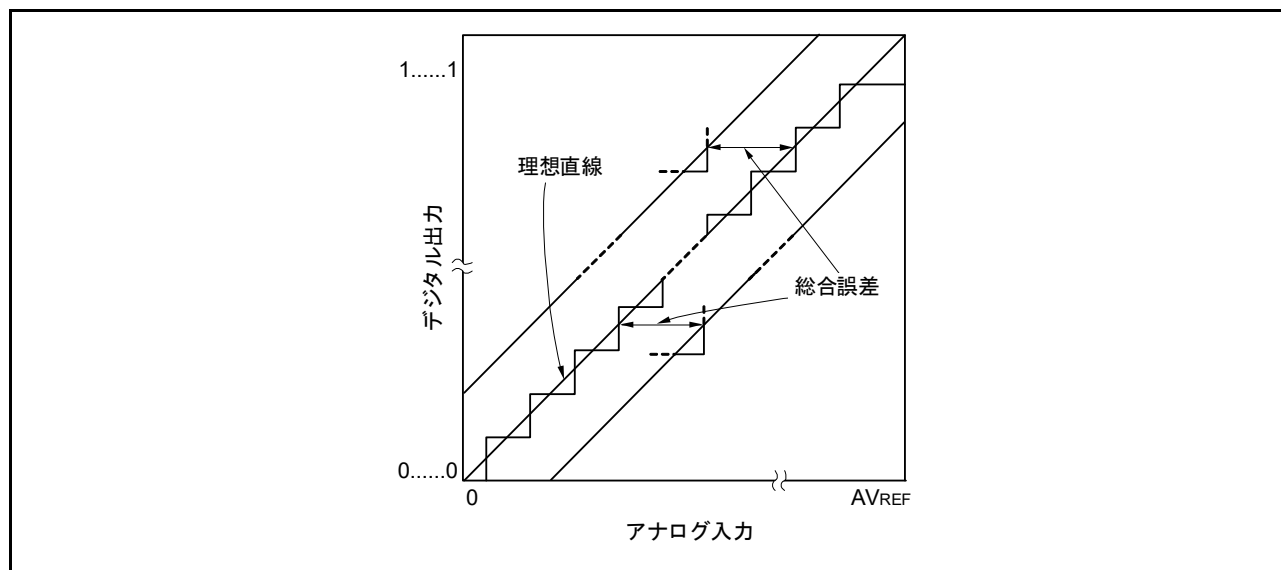
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図20 - 57 総合誤差

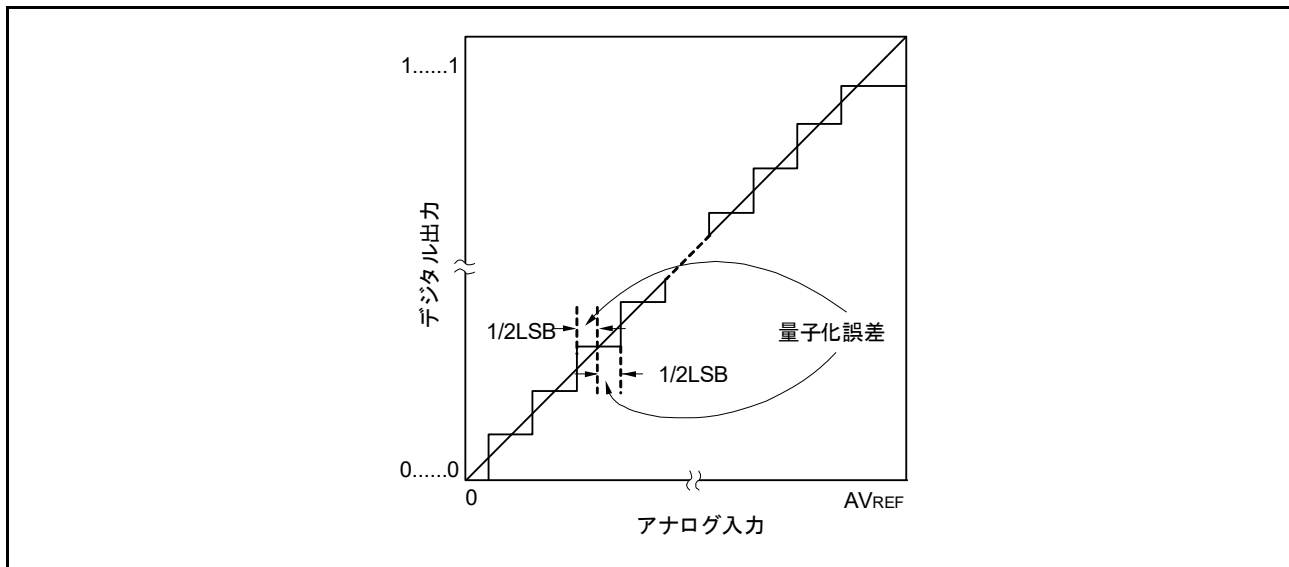


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

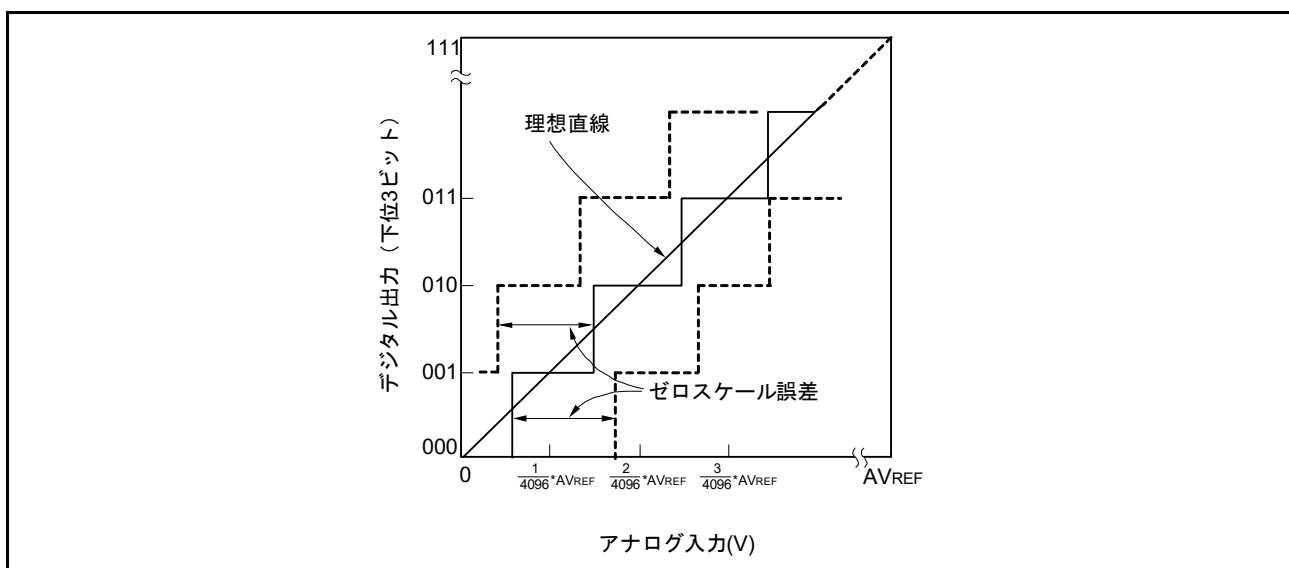
図20 - 58 量子化誤差



(4) ゼロスケール誤差

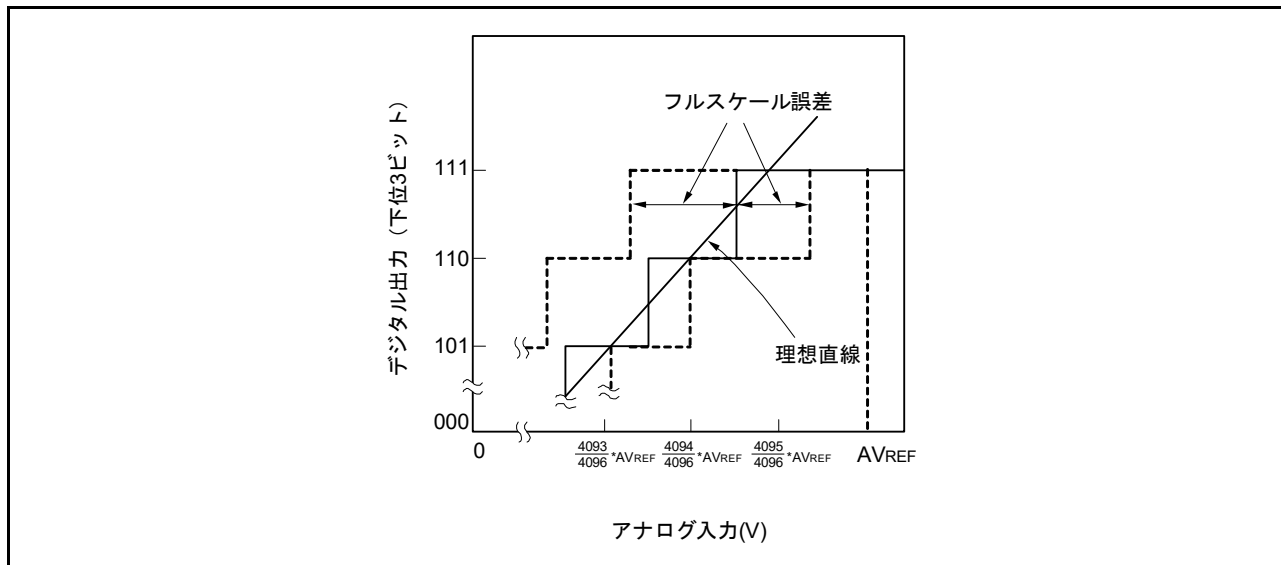
デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値 ($3/2$ LSB) との差を表します。

図20 - 59 ゼロスケール誤差



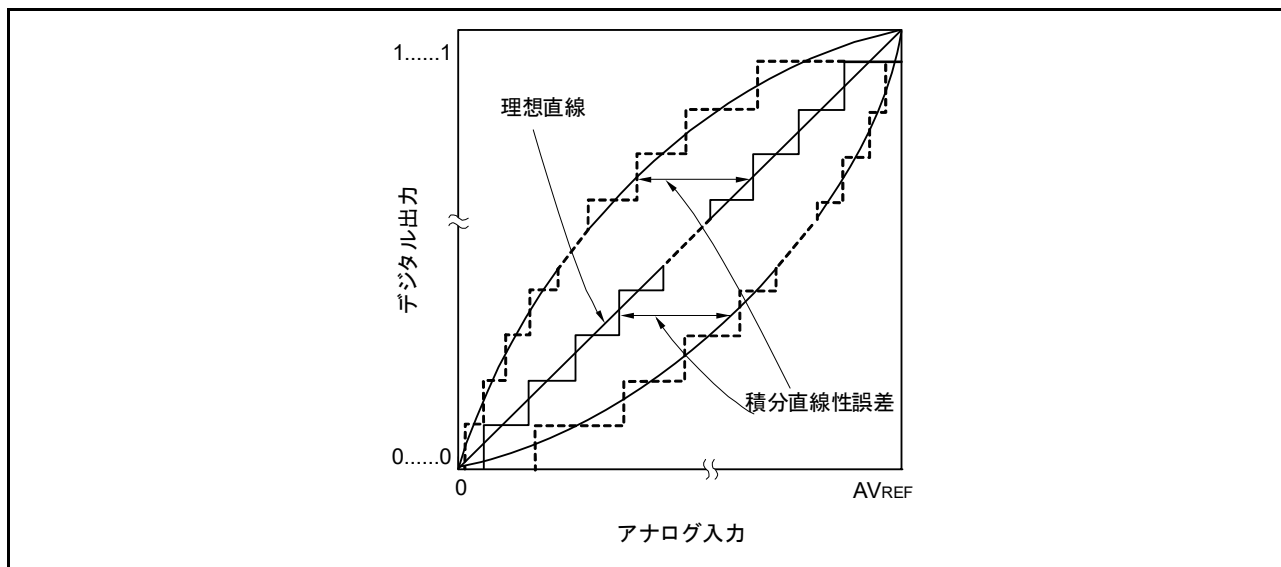
- (5) フルスケール誤差
 デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール $-3/2$ LSB）との差を表します。

図20 - 60 フルスケール誤差



- (6) 積分直線性誤差
 変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

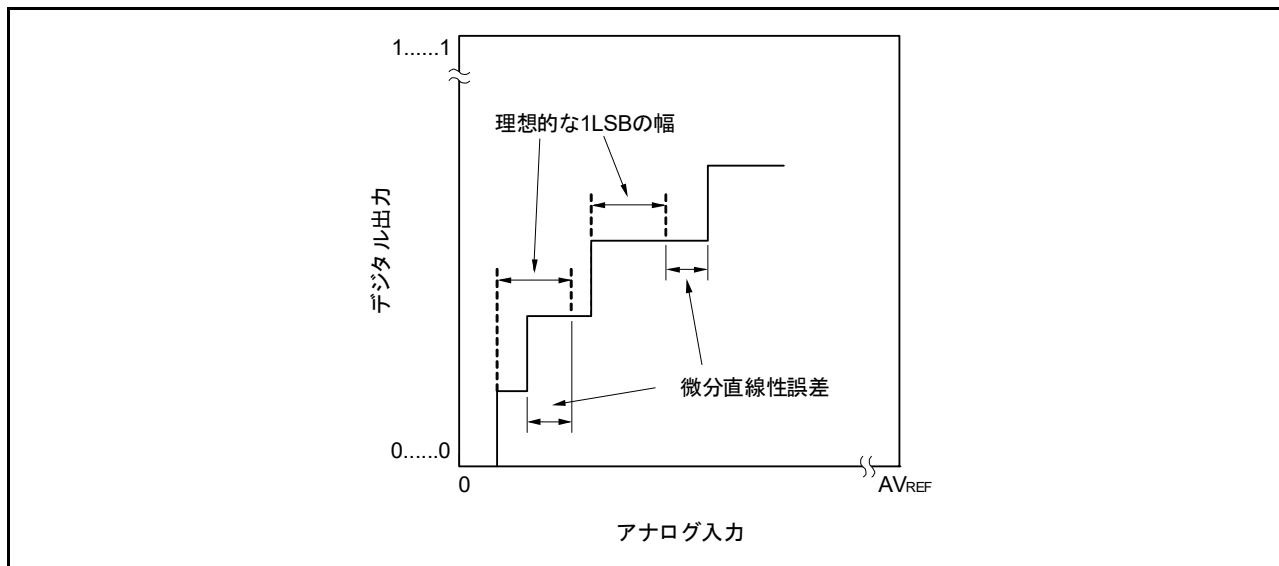
図20 - 61 積分直線性誤差



(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図20 - 62 微分直線性誤差



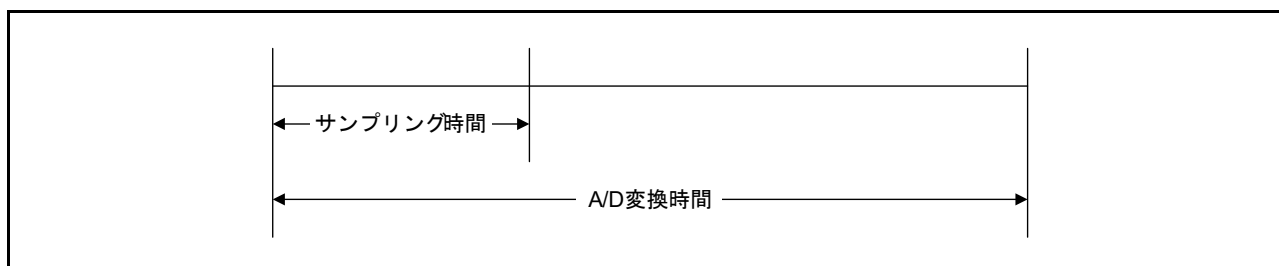
(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をS&H回路に取り込むため、アナログ・スイッチがオンしている時間です。



20.12 A/Dコンバータ使用時の注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のADCSビットを0) させてから移行してください。このときADM0レジスタのADCEビットも0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H (IF1H) のADIFビットを0にクリアしてから、動作開始してください。

(2) ANI0-ANI7, ANI16-ANI30端子入力範囲について

ANI0-ANI7, ANI16-ANI30端子入力電圧は規格の範囲内でご使用ください。特にVDD, AVREFPを超える電圧、VSS, AVREFM未満 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変化値が不定となります。また、ほかのチャンネルの変化値にも影響を与えることがあります。

内部基準電圧をA/Dコンバータの+側の基準電圧に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧を超える電圧になっていても問題ありません。

注意 内部基準電圧値は第43章 電気的特性 (TA = -40°C ~ +105°C) および第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ (ADCRn, ADCRnH) への書き込みと、命令によるADCRn, ADCRnHレジスタの読み出しとの競合

ADCRn, ADCRnHレジスタの読み出しが優先されます。読み出したあと、新しい変換結果がADCRn, ADCRnHレジスタに書き込まれます。

② 変換終了時のADCRn, ADCRnHレジスタへの変換結果格納と、命令によるA/Dコンバータ・モード・レジスタ0 (ADM0) への書き込みおよびアナログ入力チャンネル指定レジスタ (ADS) への書き込みの競合 (アドバンスド・モードOFF時)

ADM0, ADSレジスタへの書き込みが優先されます。ADCRn, ADCRnHレジスタへの書き込みはされません。また、変換終了割り込み信号 (INTAD0-3) も発生しません。

(4) ノイズ対策について

12ビット/10ビット分解能を保つためには、AVREFP, VDD, ANI0-ANI7, ANI16-ANI30端子へのノイズに注意する必要があります。

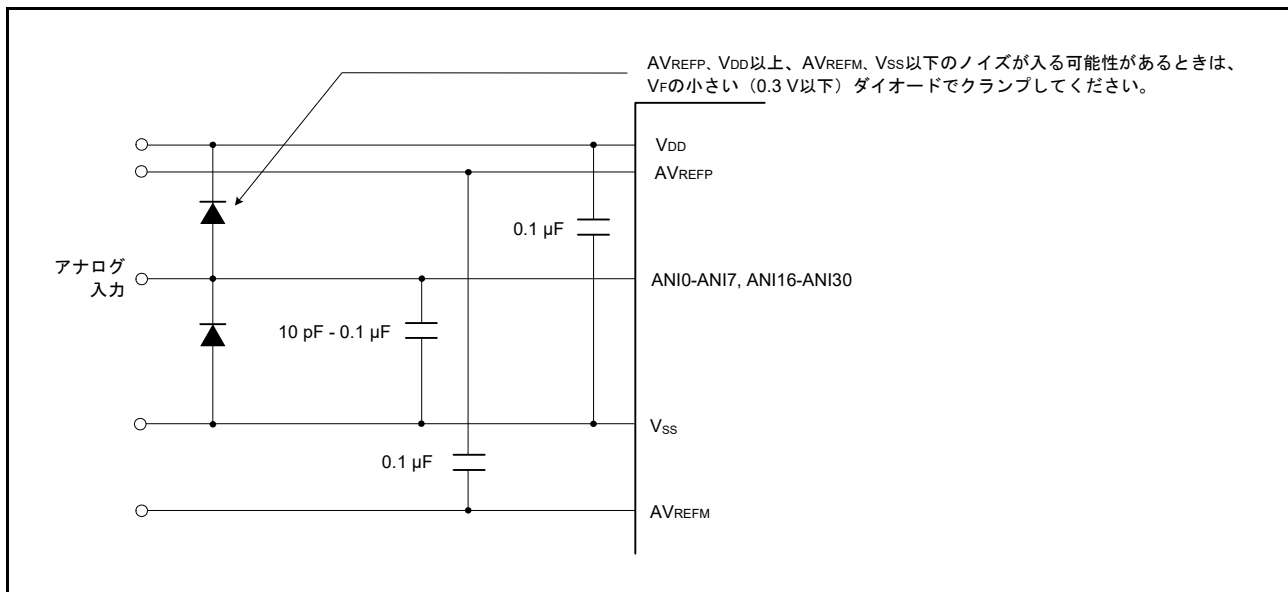
① VDD, AVREFP端子には等価抵抗が小さく、周波数応答のよいコンデンサを (0.1 μF程度) を最短距離かつ、比較的太い配線を使って接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図20-63のようにコンデンサを外付けすることを推奨します。

③ 変換中においては、ほかの端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図20 - 63 VDD, AVREFP、アナログ入力端子の処理



(5) アナログ入力 (ANIXX) 端子

- ① アナログ入力 (ANI0-ANI7, ANI16-ANI30) 端子は入力ポート (P00-P03, P10-P17, P20-P27, P120, P146, P147) 端子と兼用になっています。ANI0-ANI7, ANI16-ANI30端子のいずれかを選択してA/D変換をする場合、変換中にP00-P03, P10-P17, P20-P27, P120, P146, P147に対して出力値を変更しないでください。変換精度が低下することがあります。
- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

(6) アナログ入力 (ANIXX) 端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを0.5 k Ω 以下にしてください。出力インピーダンスが0.5 k Ω 以下にできないときはサンプリング時間を長く設定するかANI0-ANI7, ANI16-ANI30端子に0.1 μ F程度のコンデンサを付けることを推奨します (図20 - 63 VDD, AVREFP、アナログ入力端子の処理参照)。また、変換動作中にADCS = 0に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

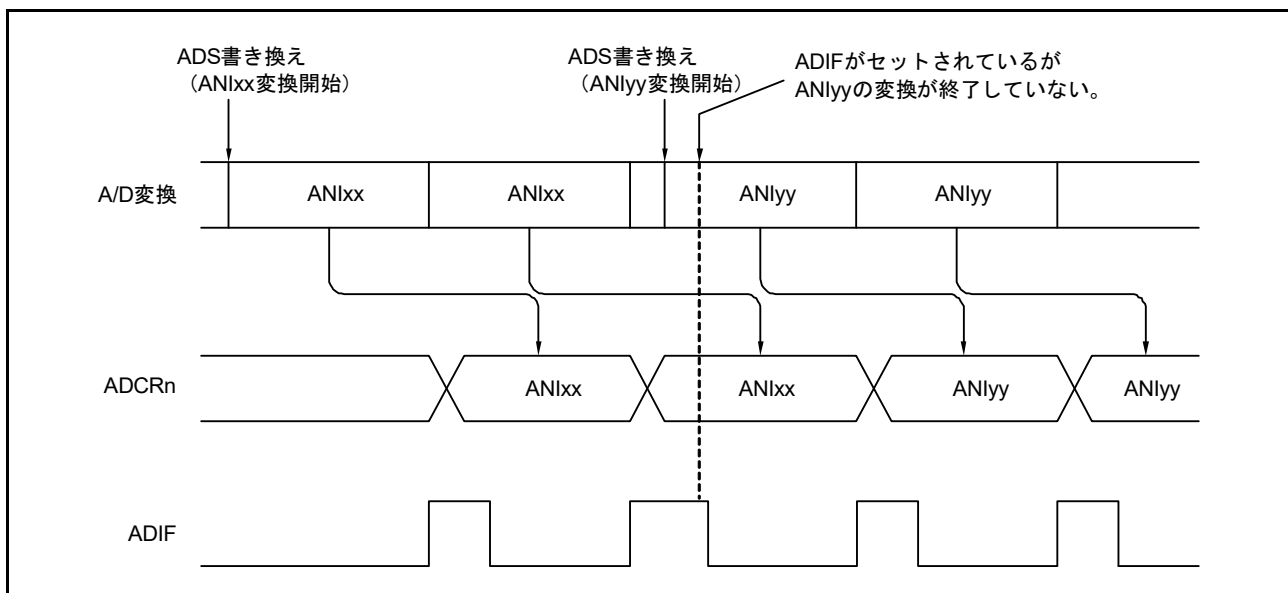
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ (ADS) またはアナログ入力チャンネル指定レジスタ n (ADS0-ADS3) を変更しても割り込み要求フラグ (ADIF) は0にクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADS, ADS0-ADS3レジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグを0にクリアしてください。

図20-64 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・ノーウエイト・モード、ハードウェア・トリガ・ノーウエイト・モード、アドバンスド・モードでADCE = 1にしてから、 $1\ \mu\text{s} + \text{変換クロック (f}_{AD})$ の2クロック以内にADCS = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号 (INTAD0-3) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ (ADCRn, ADCRnH) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャンネル指定レジスタ (ADS)、アナログ入力チャンネル指定レジスタ n (ADS0-ADS3)、ポート・モード・コントロールA・レジスタ (PMCAxx) に対して書き込み動作を行ったとき、ADCRn, ADCRnHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADS0-ADS3, PMCAxxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

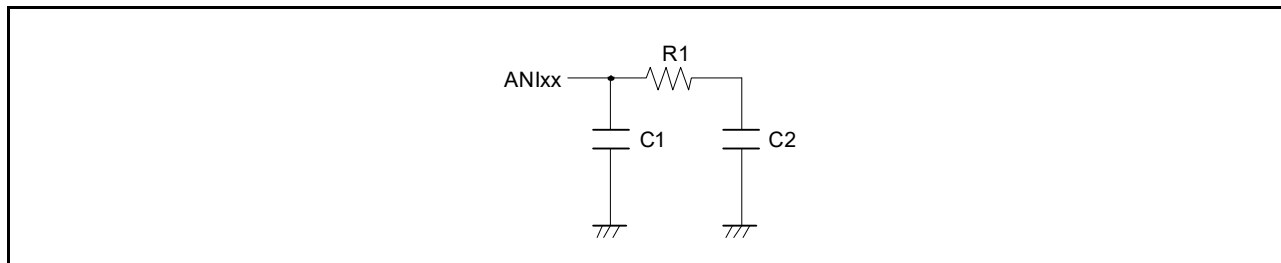
図20 - 65 ANI_{xx}端子内部等価回路

表20 - 10 等価回路の各抵抗と容量値 (参考値)

AVREFP, VDD	ANI _{xx} 端子	R1 [kΩ]	C1 [pF]	C2 [pF]
4.5 V ≤ AVREFP ≤ VDD ≤ 5.5 V	ANI0-ANI7	1.3	8	9
	ANI16-ANI30	2.5	8	15
2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V	ANI0-ANI7	1.9	8	9
	ANI16-ANI30	3	8	15
2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V	ANI0-ANI7	2.2	8	9
	ANI16-ANI30	3.5	8	15
1.8 V ≤ AVREFP ≤ VDD < 2.4 V	ANI0-ANI7	6	8	9
	ANI16-ANI30	8	8	15
1.6 V ≤ AVREFP ≤ VDD < 1.8 V	ANI0-ANI7	12	8	9
	ANI16-ANI30	15	8	15

備考 各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFP, VDDの電圧が安定してから開始してください。

第21章 D/Aコンバータ (DAC)

D/Aコンバータ (DAC) のチャンネル数は製品によって異なります。

表21-1 D/Aコンバータの機能

D/Aコンバータ	DACONFビットが0のとき (10ビット分解能×2チャンネル)	DACONFビットが1のとき (10ビット分解能×1チャンネル、 8ビット分解能×2チャンネル)
DAC0	10ビット分解能	10ビット分解能
DAC1	10ビット分解能	8ビット分解能
DAC2	—	8ビット分解能

表21-2 D/Aコンバータの出力端子

D/A出力端子	20ピン	24～64ピン
ANO0 (DAC0出力)	○	○
ANO1 (DAC1出力)	○	○
ANO2 (DAC2出力)	—	○

21.1 D/Aコンバータの機能

D/Aコンバータは、デジタル入力をアナログ信号に変換する8 / 10ビット分解能のコンバータで、最大3チャンネルのアナログ出力を制御できます。

D/Aコンバータには、次のような機能があります。

- DACONF = 0 のとき : 10ビット分解能×2チャンネル
DACONF = 1 のとき : 10ビット分解能×1チャンネル、8ビット分解能×2チャンネル
- R-2R ラダー方式
- アナログ出力電圧
 - 10ビット分解能 : $V_{DD} \times m10/1024$ (m10: DACS0, DACS1 レジスタに設定した値)
 - 8ビット分解能 : $V_{DD} \times m8/256$ (m8: DACS1L, DACS2 レジスタに設定した値)
- 動作モード
 - 通常動作モード
 - リアルタイム出力モード

21.2 D/Aコンバータの構成

図 21 - 1 に D/A コンバータ 0 (DAC0) のブロック図、図 21 - 2 に D/A コンバータ 1, 2 (DAC1, DAC2) のブロック図を示します。

図 21 - 1 D/Aコンバータ 0 (DAC0) のブロック図

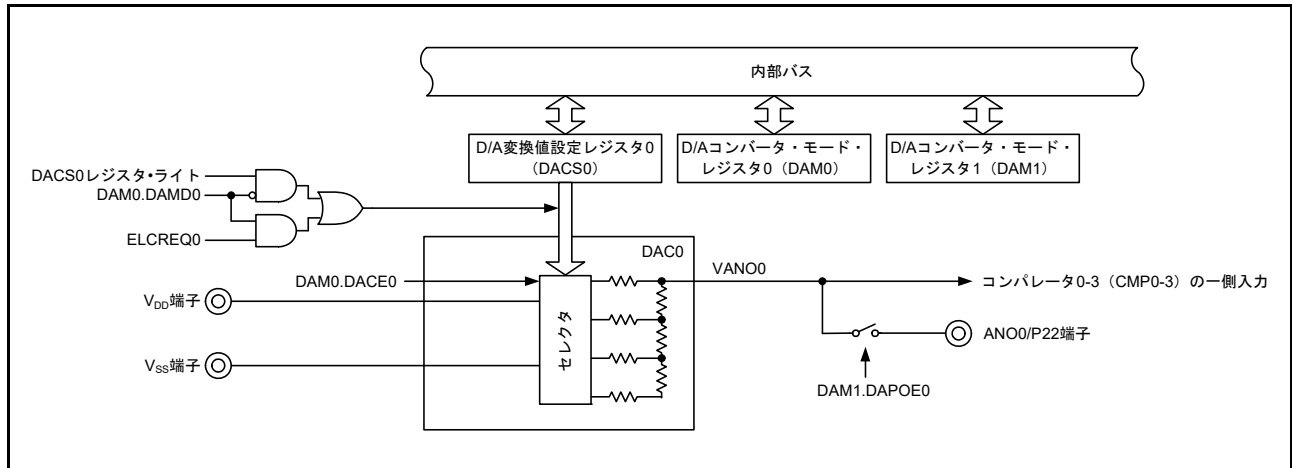
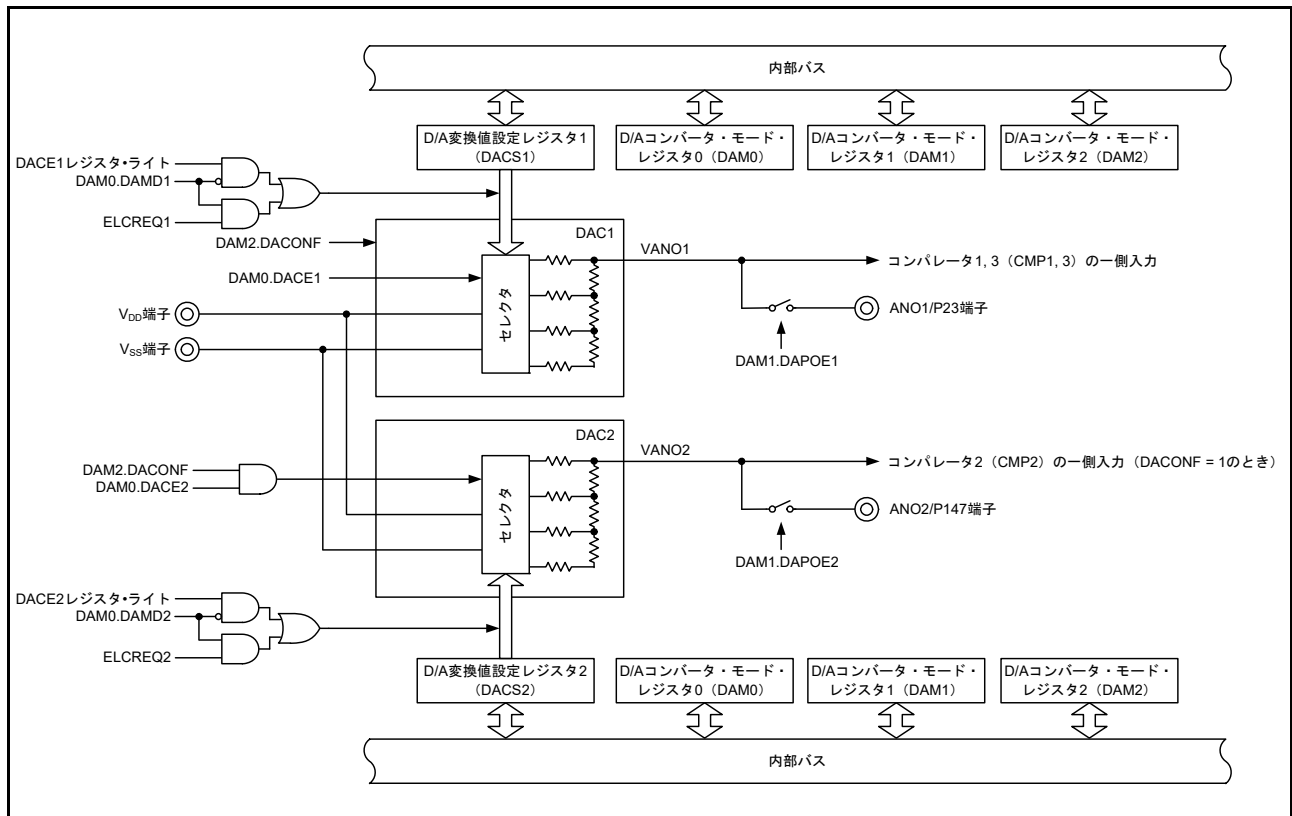


図 21 - 2 D/Aコンバータ 1, 2 (DAC1, DAC2) のブロック図



備考 ELCREQ0, ELCREQ1, ELCREQ2は、リアルタイム出力モードに使用するトリガ信号 (ELCからのイベント信号) です。

21.3 D/Aコンバータを制御するレジスタ

D/Aコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- D/Aコンバータ・モード・レジスタ0 (DAM0)
- D/Aコンバータ・モード・レジスタ1 (DAM1)
- D/Aコンバータ・モード・レジスタ2 (DAM2)
- D/A変換値設定レジスタ0 (DACS0)
- D/A変換値設定レジスタ1 (DACS1)
- D/A変換値設定レジスタ2 (DACS2)
- イベント出力先選択レジスタn (ELSELRn) (n = 00-33)
- ポート・レジスタ (Pxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

21.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

D/Aコンバータを使用する場合は、必ず DACEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図21-3 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	2	1	<0>
PER1	DACEN	0	PGACMPEN	TML32EN	DTCEN	0	0	DALIEN

DACEN	D/Aコンバータの入カクロックの制御
0	入カクロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータで使用するSFRをリードした場合は00Hまたは0000Hが読めます。
1	入カクロック供給 ・D/Aコンバータで使用するSFRへのリード／ライト可

注意1. D/Aコンバータの設定をする際には、必ず最初にDACEN = 1の設定を行ってください。

DACEN = 0の場合は、D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値は00Hとなります
(ポート・モード・レジスタ (PM2, 14)、ポート・レジスタ (P2, 14) は除く)。

注意2. ビット6, 2, 1には、必ず0を設定してください。

21.3.2 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

D/A コンバータをリセットする場合は、DACRES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図21-4 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	3	2	1	<0>
PRR1	DACRES	0	PGACMP RES	TML32RES	0	0	0	DALIRES
DACRES	D/Aコンバータのリセット制御							
0	D/Aコンバータのリセット解除							
1	D/Aコンバータはリセット状態 ・D/Aコンバータで使用するSFRが初期化されます。							

注意 ビット6, 3-1には、必ず0を設定してください。

21.3.3 D/Aコンバータ・モード・レジスタ0 (DAM0)

DAM0レジスタは、D/Aコンバータの動作を制御するレジスタです。

DAM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-5 D/Aコンバータ・モード・レジスタ0 (DAM0) のフォーマット

アドレス : F0330H

リセット時: 00H

R/W属性 : R/W

略号	7	<6>	<5>	<4>	3	2	1	0
DAM0	0	DACE2	DACE1	DACE0	0	DAMD2	DAMD1	DAMD0
DACEi	D/Aコンバータの変換動作の制御							
0	D/A変換動作停止							
1	D/A変換動作許可							
DAMD _i	D/Aコンバータの動作モードの選択							
0	通常動作モード							
1	リアルタイム出力モード							

注意 DACONFビットが0のときは、DAMD2ビットとDACE2ビットの設定は無効となります。

備考 i = 0-2

21.3.4 D/Aコンバータ・モード・レジスタ1 (DAM1)

DAM1 レジスタは、D/Aコンバータのアナログ出力を制御するレジスタです。

DAM1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-6 D/Aコンバータ・モード・レジスタ1 (DAM1) のフォーマット

アドレス : F0331H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
DAM1	0	0	0	0	0	DAPOE2	DAPOE1	DAPOE0

DAPOEi	D/Aコンバータのアナログ出力制御	
0	ANOi端子の出力停止	
1	ANOi端子の出力許可	

注意 DAPOEi = 1に設定しANOi端子からD/Aコンバータ電圧を出力する場合は、ポート・モード・コントロールA・レジスタ (PMCAxx) でANOi端子と兼用しているポートをアナログ端子に設定してください。

備考 i = 0-2

21.3.5 D/Aコンバータ・モード・レジスタ2 (DAM2)

DAM2 レジスタは、D/Aコンバータ1, 2の分解能を選択するレジスタです。

DAM2 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-7 D/Aコンバータ・モード・レジスタ2 (DAM2) のフォーマット

アドレス : F0332H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DAM2	0	0	0	0	0	0	0	DACONF

DACONF	D/Aコンバータ1 (DAC1) 分解能の選択	D/Aコンバータ2 (DAC2) 分解能の選択
0	10ビット分解能	—
1	8ビット分解能	8ビット分解能

21.3.6 D/A変換値設定レジスタ0 (DACS0)

DACS0 レジスタは、D/Aコンバータ0 (DAC0) を使用する場合、コンパレータに出力するアナログ電圧値を設定するレジスタです。

DACS0 レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図21-8 D/A変換値設定レジスタ0 (DACS0) のフォーマット

アドレス : F0334H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
DACS0	0	0	0	0	0	0	DACS09	DACS08
	7	6	5	4	3	2	1	0
	DACS07	DACS06	DACS05	DACS04	DACS03	DACS02	DACS01	DACS00

備考 D/Aコンバータ0のアナログ出力電圧 (VANO0) は、次のようになります。

$$VANO0 = V_{DD} \times (DACS0)/1024$$

D/Aコンバータ0を使用しない場合には、不要な消費電流を小さくするために DACE0 ビットを0 (変換動作禁止) にし、DACS0 レジスタを 0000H にして、R-2R の抵抗に電流が流れないようにしてください。

21.3.7 D/A変換値設定レジスタ1 (DACS1)

DACS1 レジスタは、D/A コンバータ 1 (DAC1) を使用する場合、コンパレータに出力するアナログ電圧値を設定するレジスタです。

DACS1 レジスタは、16 ビット・メモリ操作命令で設定します。また DACONF ビットが1のとき、DACS1 レジスタの下位 8 (DACS1L レジスタ) は、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図21-9 D/A変換値設定レジスタ1 (DACS1) のフォーマット

アドレス : F0336H, F0337H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
DACS1	0	0	0	0	0	0	DACS19	DACS18
	7	6	5	4	3	2	1	0
(DACS1L)	DACS17	DACS16	DACS15	DACS14	DACS13	DACS12	DACS11	DACS10

備考 D/Aコンバータ1のアナログ出力電圧 (VANO1) は、次のようになります。

DACONF ビットが0のとき : $VANO1 = V_{DD} \times (DACS1)/1024$

DACONF ビットが1のとき : $VANO1 = V_{DD} \times (DACS1L)/256$

D/A コンバータ 1 を使用しない場合には、不要な消費電流を小さくするために DACE1 ビットを 0 (変換動作禁止) にし、DACS1 レジスタを 0000H にして、R-2R の抵抗に電流が流れないようにしてください。

21.3.8 D/A変換値設定レジスタ2 (DACS2)

DACS2 レジスタは、D/A コンバータ 2 (DAC2) を使用する場合、コンパレータに出力するアナログ電圧値を設定するレジスタです。

DACS2 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 21 - 10 D/A変換値設定レジスタ2 (DACS2) のフォーマット

アドレス : F0333H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DACS2	DACS27	DACS26	DACS25	DACS24	DACS23	DACS22	DACS21	DACS20

備考 D/Aコンバータ2のアナログ出力電圧 (VANO2) は、次のようになります。

$$VANO2 = V_{DD} \times (DACS2)/256$$

D/A コンバータ 2 を使用しない場合には、不要な消費電流を小さくするために DACE2 ビットを 0 (変換動作禁止) にし、DACS2 レジスタを 00H にして、R-2R の抵抗に電流が流れないようにしてください。

21.3.9 イベント・リンク・コントローラからのイベント出力を制御するレジスタ

D/A コンバータのリアルタイム出力モードを使用する場合、イベント・リンク・コントローラからのイベント信号を起動トリガとして、D/A 変換を行います。詳細は、**28.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00-33)** を参照してください。

21.3.10 D/Aコンバータのアナログ出力と端子を兼用するポートのポート機能を制御するレジスタ

D/A コンバータのアナログ出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、**7.3.1 ポート・モード・レジスタ (PMxx)** および **7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)** を参照してください。

ポート機能を制御するレジスタの設定例は、**7.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

21.4 D/Aコンバータの動作

21.4.1 通常動作モード時の動作

DACSi レジスタへの書き込み動作を起動トリガとして、D/A 変換を行います。

以下にその設定動作を示します。

- ① 周辺リセット制御レジスタ 1 (PRR1) の DACRES ビットを 0 にし、D/A コンバータのリセットを解除します。
- ② 周辺イネーブル・レジスタ 1 (PER1) の DACEN ビットに 1 を設定し、D/A コンバータへの入力クロック供給を開始します。
- ③ D/A コンバータ・モード・レジスタ 0 (DAM0) の DAMDi ビットを 0 (通常動作モード) に設定します。
- ④ D/A コンバータ・モード・レジスタ 2 (DAM2) の DACONF ビットを設定します。
- ⑤ D/A 変換値設定レジスタ i (DACSi) に、コンパレータに出力するアナログ電圧値を設定します。

以上①～⑤を初期設定として行います。

- ⑥ DAM0 レジスタの DACEi ビットを 1 (D/A 変換動作許可) に設定します。
これにより D/A 変換を開始し、セトリング・タイム経過後、コンパレータに⑤にて設定したアナログ電圧を出力します。
- ⑦ 以降、D/A 変換を行う場合は、DACSi レジスタへのライト動作を行います。

なお、次の D/A 変換を行うまでは、前回 D/A 変換した結果を保持します。

また、DAM0 レジスタの DACEi ビットを 0 (D/A 変換動作停止) に設定すると、D/A 変換を停止します。

注意1. DACEi ビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、コンパレータにDACSiレジスタにて設定したアナログ電圧を出力します。

注意2. セトリング・タイム中にDACSiレジスタを書き換えた場合、変換を中断し、書き換えた値で変換を再開します。

注意3. D/Aコンバータの全回路を初期化する場合はPRR1レジスタのDACRESビットに1を設定してください。

備考 i = 0-2

21.4.2 リアルタイム出力モード時の動作

D/Aコンバータの各チャンネルは ELC からのイベント信号を起動トリガとして、D/A 変換を行います。以下に、その設定方法を示します。

- ① 周辺リセット制御レジスタ 1 (PRR1) の DACRES ビットを 0 にし D/A コンバータのリセットを解除します。
- ② 周辺イネーブル・レジスタ 1 (PER1) の DACEN ビットに 1 を設定し、D/A コンバータへの入力クロック供給を開始します。
- ③ D/A コンバータ・モード・レジスタ 0 (DAM0) の DAMDi ビットを 0 (通常動作モード) に設定します。
- ④ D/A 変換値設定レジスタ i (DACSi) に、コンパレータに出力するアナログ電圧値を設定します。
- ⑤ DAM0 レジスタの DACEi ビットを 1 (D/A 変換動作許可) に設定します。
これにより D/A 変換を開始し、セトリング・タイム経過後、コンパレータに④にて設定したアナログ電圧を出力します。
- ⑥ イベント・リンク・コントローラからのイベント信号出力を制御するレジスタ (ELSELRn) で、リアルタイム出力モードに使用するトリガ信号を設定します。
- ⑦ DAM0 レジスタの DAMDi ビットを 1 (リアルタイム出力モード) に設定します。
- ⑧ イベント発生元の動作を開始します。

以上①～⑧を初期設定として行います。

- ⑨ 以降、リアルタイム出力モードに使用するトリガ信号の発生により、D/A 変換を開始し、セトリング・タイム経過後、コンパレータに④にて設定したアナログ電圧を出力します。

なお、次の D/A 変換を行う (リアルタイム出力モードに使用するトリガ信号の発生) 前までに、DACSi レジスタに、コンパレータに出力するアナログ電圧値を設定してください。

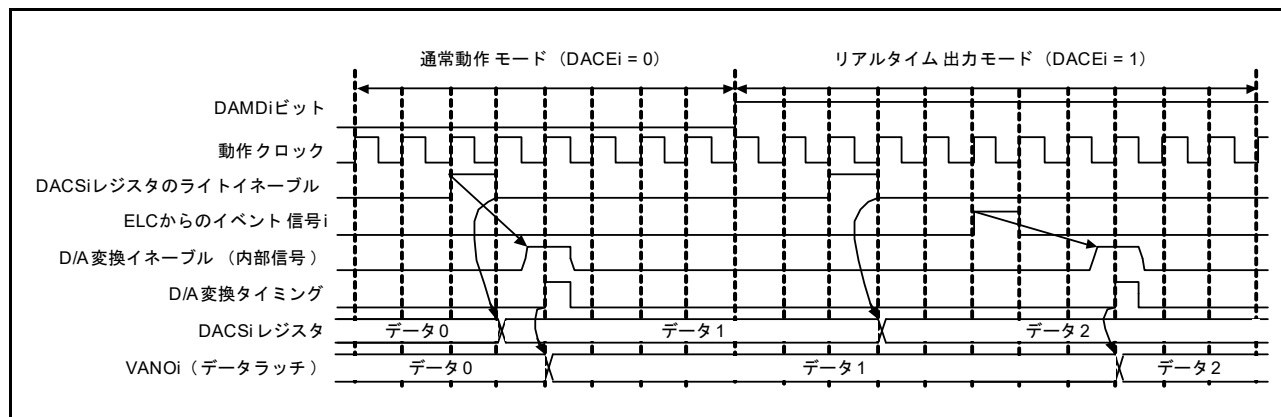
また、DAM0.DACEi = 0 (D/A 変換動作停止) に設定すると、D/A 変換を停止します。

- 注意1.** DACEi ビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、コンパレータにDACSiレジスタにて設定したアナログ電圧を出力します。
- 注意2.** 同一チャンネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、セトリング・タイムよりも長くしてください。セトリング・タイム中にリアルタイム出力モードに使用するトリガ信号が発生した場合、D/A変換を中断し、再変換を開始します。
- 注意3.** 同一チャンネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、fCLKの3クロックより長くしてください。fCLKの3クロック以下の間隔で連続して起動トリガを発生させると、最初のトリガでのみD/A変換をします。
- 注意4.** D/Aコンバータの全回路を初期化する場合はPRR1レジスタのDACRESビットに1を設定してください。

21.4.3 D/A変換値の出カタイミング

図 21 - 11 に D/A 変換値の出カタイミングを示します。

図 21 - 11 D/A 変換値の出カタイミング



- 通常動作モードおよびリアルタイム出力モード（変換動作停止時）
DACSiレジスタへの書き込みの1周期後（動作クロック）にデータラッチヘライト（ANOj端子からVANOiを出力）
- リアルタイム出力モード（変換動作許可時）
ELCからのイベント信号の受付から3周期後（動作クロック）にデータラッチヘライト（ANOj端子からVANOiを出力）

備考 i = 0-2

21.5 D/Aコンバータ使用時の注意事項

D/Aコンバータを使用する際の注意事項を以下に示します。

- (1) HALTモード時とSTOPモード時に、D/Aコンバータの動作は継続します。消費電力を低減させるためには、DACEiビットを0にクリアし、D/A変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。
- (2) リアルタイム出力モードを停止する場合（通常動作モードへ変更する場合を含む）には以下のいずれかの手順で行う必要があります。
 - トリガ出力元を停止させてから3クロック以上待ってからDACEiビットおよびDAMD_iビットを0にする。
 - DACEiビットおよびDAMD_iビットを0にしたあと、PER1レジスタのDACENビットを0にする（DAC入力クロック供給停止）。
ただし、DACENビットを0にしても、初期化はされていません。
D/AコンバータおよびD/Aコンバータ内のSFRを初期化する場合、PRR1のビット7（DACRES）を使用してください。
- (3) D/A変換動作許可かつANO_i端子の出力許可時に、ANO_i端子と兼用しているアナログ機能は使用しないでください。
- (4) リアルタイム出力モード時は、リアルタイム出力モードに使用するトリガ信号が発生する前までにDACSiレジスタ値を設定するようにしてください。またトリガ信号が出ている間にDACSiレジスタの設定値を変更しないでください。
- (5) D/Aコンバータの出カインピーダンスが高いため、ANO0-ANO2端子から電流を取り出すことはできません。負荷の入カインピーダンスが低い場合には、負荷とANO0-ANO2端子の間にフォロアアンプを挿入して使用してください。また、フォロアアンプや負荷までの配線は極力短くするようにしてください（出カインピーダンスが高いため）。配線が長くなるような場合は、グランド・パターンで囲むなどの処置をしてください。
- (6) リアルタイム出力モード有効時にSTOPモードに入る場合は、STOPモードに入る前にELCのイベントリンクを禁止にしてください。
- (7) DAPOE_i = 1に設定しANO_i端子からD/Aコンバータ電圧を出力する場合は、ポート・モード・コントロールAレジスタ（PMCA_{xx}）でANO_i端子と兼用しているポートをアナログ端子に設定してください。

備考 i = 0-2

第22章 コンパレータ (CMP)

本製品は以下のコンパレータ (CMP) を搭載しています。

項目	20ピン	24～64ピン
コンパレータ0	○	○
コンパレータ1	○	○
コンパレータ2	○	○
コンパレータ3	—	○

22.1 コンパレータの機能

コンパレータには、次のような機能があります。

- 基準電圧は外部基準電圧入力とD/Aコンバータ出力を選択できます。
- 位置センサレスによるモータ制御の際にモータの停止位置検出が可能です。
- 位置センサレスによるモータ制御の際に3相電圧のゼロ・クロス検出による駆動が可能です。
- コンパレータ0～3の比較結果を端子 (VCOUT0-VCOUT3) から出力できます。
- コンパレータの出力は、16ビット・タイマKB30, KB31, KB32のPWM出力、タイマ・リスタート要求信号として使用できます (第15章 16ビット・タイマKB30, KB31, KB32を参照)。
- ノイズ除去デジタル・フィルタの除去幅を選択できます。
- コンパレータ出力の有効エッジを検出し、割り込み信号を発生させることができます。

表22-1 コンパレータの機能概要

項目	内容
コンパレータ	<ul style="list-style-type: none"> • 4チャンネル搭載 (コンパレータ0～コンパレータ3) • “-”側に基準電圧選択可能： <ul style="list-style-type: none"> – コンパレータ0：外部基準電圧IVREF0とD/Aコンバータ0の出力が選択可能 – コンパレータ1：外部基準電圧IVREF0とD/Aコンバータ0, 1の出力が選択可能 – コンパレータ2：外部基準電圧IVREF0とIVREF1とD/Aコンバータ0, 2の出力 (DAM2.DACONF = 1の場合) が選択可能 – コンパレータ3：外部基準電圧IVREF0とIVREF1とD/Aコンバータ0, 1の出力が選択可能 • コンパレータ3の“+”側をPGAの出力と接続可能 • “+”側入力電圧>“-”側入力電圧時はハイ・レベル出力、 “+”側入力電圧<“-”側入力電圧時はロウ・レベル出力 • ノイズ除去デジタル・フィルタの除去幅が選択可能 • 出力反転機能 • 比較結果が端子 (VCOUT0-VCOUT3) から出力可能 • 有効エッジ検出時に割り込み要求発生 • ほかの機能と組み合わせてモータの初期位置検出が可能、モータの3相電圧からゼロ・クロスを検出しモータ回転時の位置検出が可能 • 過電流検出を行いタイマの6相PWM出力強制遮断の設定/解除可能 • TAUと組み合わせてTIMER WINDOWによるコンパレータ出力の遮断/解除が可能

22.2 コンパレータの構成

図 22 - 1 にコンパレータのブロック図を示します。

図22 - 1 コンパレータのブロック図 (1/2)

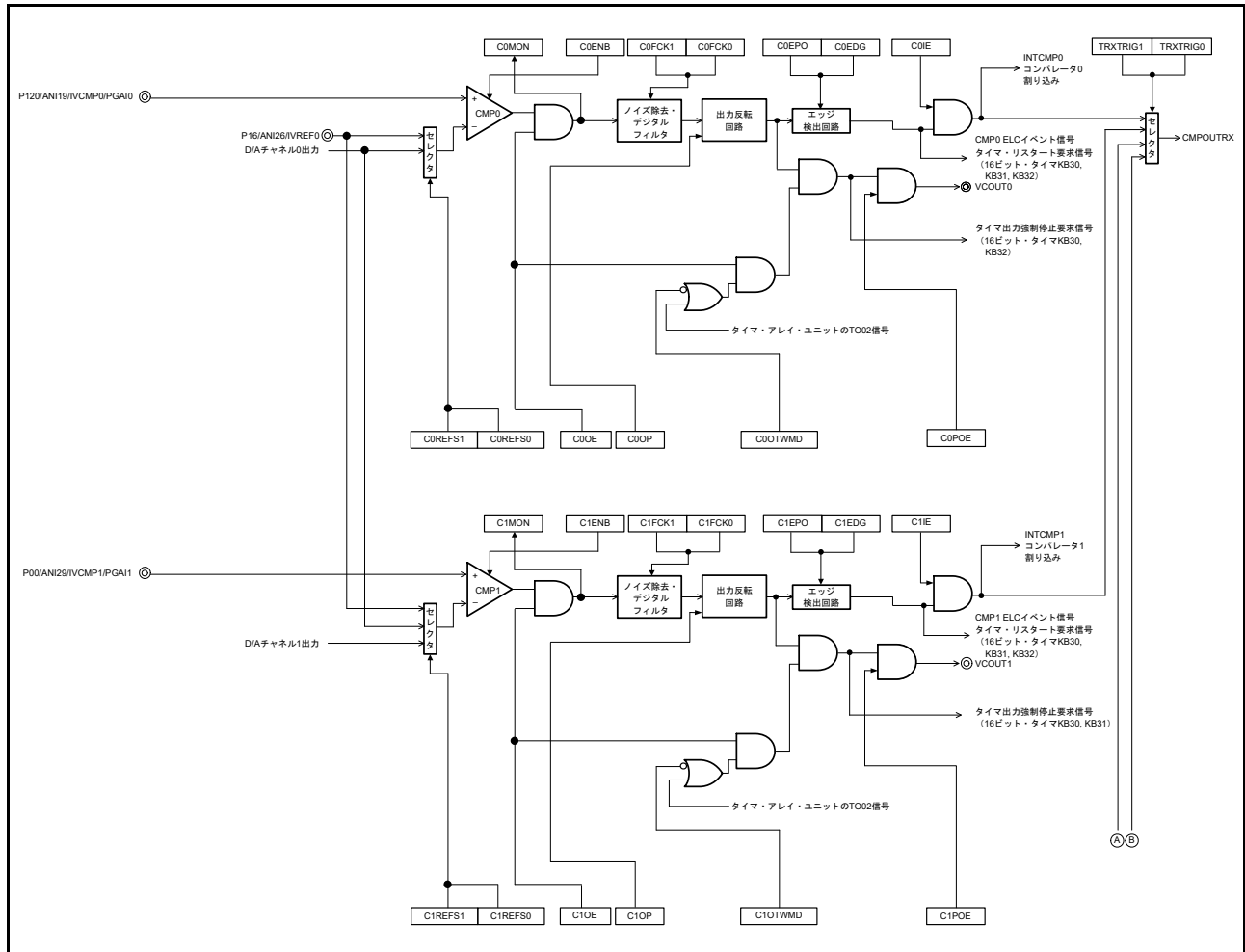
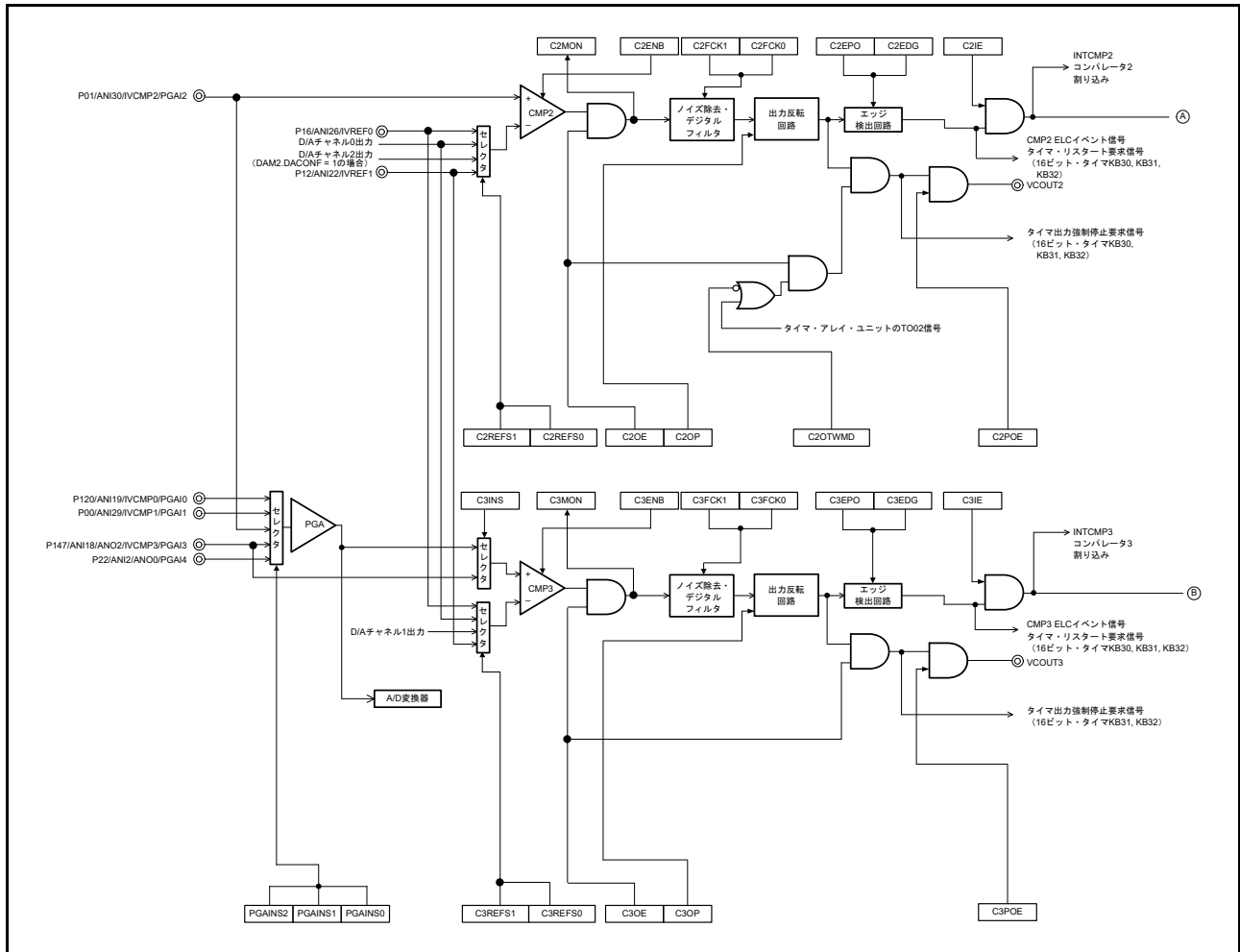


図22-1 コンパレータのブロック図 (2/2)



22.3 コンパレータを制御するレジスタ

コンパレータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- コンパレータモード設定レジスタ0 (COMPMDR0)
- コンパレータモード設定レジスタ1 (COMPMDR1)
- コンパレータフィルタ制御レジスタ0 (COMPFIR0)
- コンパレータフィルタ制御レジスタ1 (COMPFIR1)
- コンパレータ出力制御レジスタ0 (COMPOCR0)
- コンパレータ出力制御レジスタ1 (COMPOCR1)
- コンパレータ0入力信号選択制御レジスタ (CMP0SEL)
- コンパレータ1入力信号選択制御レジスタ (CMP1SEL)
- コンパレータ2入力信号選択制御レジスタ (CMP2SEL)
- コンパレータ3入力信号選択制御レジスタ (CMP3SEL)
- コンパレータ出力制御レジスタ2 (COMPOCR2)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- 周辺I/Oリダイレクション・レジスタ (PIORx)

22.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは、必ず PGACMPEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図22-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	2	1	<0>
PER1	DACEN	0	PGACMPEN	TML32EN	DTCEN	0	0	DALIEN
PGACMPEN	PGA、コンパレータの入カクロックの制御							
0	入力クロック供給停止 ・コンパレータで使用するSFRへのライト不可							
1	入力クロック供給 ・コンパレータで使用するSFRへのリード／ライト可							

注意 コンパレータの設定をする際には、必ず最初にPGACMPEN = 1の設定を行ってください。

PGACMPEN = 0の場合は、コンパレータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ (PM0-PM3, PM5, PM12, PM14)、ポート・レジスタ (P0-P3, P5, P12, P14)、周辺I/Oリダイレクション・レジスタ (PIOR3) は除く)。

22.3.2 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

コンパレータをリセットする場合は、PGACMPRES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図22-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	3	2	1	<0>
PRR1	DACRES	0	PGACMP RES	TML32RES	0	0	0	DALIRES
PGACMP RES	PGA／コンパレータのリセット制御							
0	コンパレータのリセット解除							
1	コンパレータはリセット状態							

22.3.3 コンパレータモード設定レジスタ0 (COMPMDR0)

COMPMDR0 レジスタは、コンパレータ動作許可/禁止の設定とコンパレータの出力をモニタするレジスタです。
 COMPOCR0.CiOE = 1 のときに CiENB ビットを 0 にすることは禁止です。
 また、次の場合に CiENB = 1 (動作許可) にすることは禁止です (i = 0, 1)。

- コンパレータ0の“-”側入力にD/Aコンバータ0の出力を選択し、D/Aコンバータ0がD/A変換動作停止 (DAM0.DACE0 = 0) のとき
- コンパレータ1の“-”側入力にD/Aコンバータ0の出力を選択し、D/Aコンバータ0がD/A変換動作停止 (DAM0.DACE0 = 0) のとき
- コンパレータ1の“-”側入力にD/Aコンバータ1の出力を選択し、D/Aコンバータ1がD/A変換動作停止 (DAM0.DACE1 = 0) のとき

COMPMDR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図22-4 コンパレータモード設定レジスタ0 (COMPMDR0) のフォーマット (1/2)

アドレス : F0340H
 リセット時: 00H
 R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	2	<1>	<0>
COMPMDR0	C1MON	0	C1POE	C1ENB	C0MON	0	C0POE	C0ENB
C1MON	コンパレータ1モニタフラグ ^{注1,2}							
0	コンパレータ1の入力電圧 (IVCMP1) <コンパレータ1の基準電圧、またはコンパレータ1停止							
1	コンパレータ1の入力電圧 (IVCMP1) >コンパレータ1の基準電圧							
C1POE	VCOUT1端子出力許可							
0	コンパレータ1のVCOUT1端子出力禁止							
1	コンパレータ1のVCOUT1端子出力許可							
C1ENB	コンパレータ1動作許可							
0	コンパレータ1動作禁止							
1	コンパレータ1動作許可							
C0MON	コンパレータ0モニタフラグ ^{注1,2}							
0	コンパレータ0の入力電圧 (IVCMP0) <コンパレータ0の基準電圧、またはコンパレータ0停止							
1	コンパレータ0の入力電圧 (IVCMP0) >コンパレータ0の基準電圧							
C0POE	VCOUT0端子出力許可							
0	コンパレータ0のVCOUT0端子出力禁止							
1	コンパレータ0のVCOUT0端子出力許可							

図22 - 4 コンパレータモード設定レジスタ0 (COMPMDR0) のフォーマット (2/2)

C0ENB	コンパレータ0動作許可
0	コンパレータ0動作禁止
1	コンパレータ0動作許可

注1. リセット解除直後の値は0ですが、一度コンパレータを動作許可にしたあとにC0ENB = 0かつC1ENB = 0の設定にすると値は不定となります。

注2. 書き込まれた値は無視されます。

22.3.4 コンパレータモード設定レジスタ1 (COMPMDR1)

COMPMDR1 レジスタは、コンパレータ動作許可/禁止の設定とコンパレータの出力をモニタするレジスタです。
COMPOCR1.CiOE = 1 のときに CiENB ビットを 0 にすることは禁止です。
また、次の場合に CiENB = 1 (動作許可) にすることは禁止です (i = 2, 3)。

- コンパレータ2の“-”側入力にD/Aコンバータ0の出力を選択し、D/Aコンバータ0がD/A変換動作停止 (DAM0.DACE0 = 0) のとき
- コンパレータ2の“-”側入力にD/Aコンバータ2の出力を選択し、D/Aコンバータ2がD/A変換動作停止 (DAM0.DACE2 = 0) のとき
- コンパレータ3の“-”側入力にD/Aコンバータ0の出力を選択し、D/Aコンバータ0がD/A変換動作停止 (DAM0.DACE0 = 0) のとき
- コンパレータ3の“-”側入力にD/Aコンバータ1の出力を選択し、D/Aコンバータ1がD/A変換動作停止 (DAM0.DACE1 = 0) のとき
- コンパレータ3の“+”側入力信号にPGA出力を選択し (CMP3SEL.C3INS = 1)、プログラマブル・ゲイン・アンプ動作停止 (PGACTL.PGAEN = 0) のとき

COMPMDR1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図22-5 コンパレータモード設定レジスタ1 (COMPMDR1) のフォーマット (1/2)

アドレス : F0344H
リセット時: 00H
R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	2	<1>	<0>
COMPMDR1	C3MON	0	C3POE	C3ENB	C2MON	0	C2POE	C2ENB
C3MON	コンパレータ3モニタフラグ注1,2							
0	コンパレータ3の入力電圧 (IVCMP3) <コンパレータ3の基準電圧、またはコンパレータ3停止							
1	コンパレータ3の入力電圧 (IVCMP3) >コンパレータ3の基準電圧							
C3POE	VCOOUT3端子出力許可							
0	コンパレータ3のVCOOUT3端子出力禁止							
1	コンパレータ3のVCOOUT3端子出力許可							
C3ENB	コンパレータ3動作許可							
0	コンパレータ3動作禁止							
1	コンパレータ3動作許可							
C2MON	コンパレータ2モニタフラグ注1,2							
0	コンパレータ2の入力電圧 (IVCMP2) <コンパレータ2の基準電圧、またはコンパレータ2停止							
1	コンパレータ2の入力電圧 (IVCMP2) >コンパレータ2の基準電圧							

図22 - 5 コンパレータモード設定レジスタ1 (COMPMDR1) のフォーマット (2/2)

C2POE	VCOOUT2端子出力許可
0	コンパレータ2のVCOOUT2端子出力禁止
1	コンパレータ2のVCOOUT2端子出力許可

C2ENB	コンパレータ2動作許可
0	コンパレータ2動作禁止
1	コンパレータ2動作許可

注1. リセット解除直後の値は0ですが、一度コンパレータを動作許可にしたあとにC2ENB = 0かつC3ENB = 0の設定にすると値は不定となります。

注2. 書き込まれた値は無視されます。

22.3.5 コンパレータフィルタ制御レジスタ0 (COMPFIRO)

COMPFIRO レジスタは、デジタル・ノイズ・フィルタを制御するレジスタです。

COMPFIRO レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図22-6 コンパレータフィルタ制御レジスタ0 (COMPFIRO) のフォーマット

アドレス : F0341H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
COMPFIRO	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0
C1EDG	コンパレータ1エッジ検出選択 ^{注1}							
0	コンパレータ1片エッジ検出での割り込み要求							
1	コンパレータ1両エッジ検出での割り込み要求							
C1EPO	コンパレータ1エッジ極性切り替え ^{注1}							
0	コンパレータ1立ち上がりエッジで割り込み要求							
1	コンパレータ1立ち下がりエッジで割り込み要求							
C1FCK1	C1FCK0	コンパレータ1フィルタ選択 ^{注1}						
0	0	コンパレータ1フィルタなし						
0	1	コンパレータ1フィルタあり、fCLKまたはfPLLでサンプリング						
1	0	コンパレータ1フィルタあり、fCLK/8またはfPLL/8でサンプリング						
1	1	コンパレータ1フィルタあり、TAU出力 (TO01) に同期してサンプリング ^{注3}						
C0EDG	コンパレータ0エッジ検出選択 ^{注2}							
0	コンパレータ0片エッジ検出での割り込み要求							
1	コンパレータ0両エッジ検出での割り込み要求							
C0EPO	コンパレータ0エッジ極性切り替え ^{注2}							
0	コンパレータ0立ち上がりエッジで割り込み要求							
1	コンパレータ0立ち下がりエッジで割り込み要求							
C0FCK1	C0FCK0	コンパレータ0フィルタ選択 ^{注2}						
0	0	コンパレータ0フィルタなし						
0	1	コンパレータ0フィルタあり、fCLKまたはfPLLでサンプリング						
1	0	コンパレータ0フィルタあり、fCLK/8またはfPLL/8でサンプリング						
1	1	コンパレータ0フィルタあり、TAU出力 (TO01) に同期してサンプリング ^{注3}						

- 注1.** C1FCK1, C1FCK0, C1EPO, C1EDGビットを変更するとコンパレータ1割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR24レジスタを0（コンパレータ1出力をリンクさせない）にしてから変更してください。また、割り込み要求フラグ・レジスタ2H（IF2H）のビット1（CMPIF1）をクリア（0）してください。さらに、C1FCK1, C1FCK0ビットを00B（コンパレータ1フィルタなし）から00B以外（コンパレータ1フィルタあり）に変更した場合は、フィルタ出力が更新されるまでのサンプリングを4回を経過したあとに、コンパレータ1割り込み要求やELCへのイベント信号を使用してください。
- 注2.** C0FCK1, C0FCK0, C0EPO, C0EDGビットを変更するとコンパレータ0割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR23レジスタを0（コンパレータ0出力をリンクさせない）にしてから変更してください。また、割り込み要求フラグ・レジスタ2H（IF2H）のビット0（CMPIF0）をクリア（0）してください。さらに、C0FCK1, C0FCK0ビットを00B（コンパレータ0フィルタなし）から00B以外（コンパレータ0フィルタあり）に変更した場合は、フィルタ出力が更新されるまでのサンプリングを4回を経過したあとに、コンパレータ0割り込み要求やELCへのイベント信号を使用してください。
- 注3.** 24～64ピン製品かつ周辺I/Oリダイレクション・レジスタ（PIOR3）のPIOR35ビットが0の場合、16ビット・タイマKB32のタイマ出力TKBO20端子は出力許可しないでください。
また、20～32ピン製品かつ周辺I/Oリダイレクション・レジスタ（PIOR3）のPIOR35ビットが1の場合、16ビット・タイマKB31のタイマ出力TKBO11端子は出力許可しないでください。

22.3.6 コンパレータフィルタ制御レジスタ1 (COMPFIR1)

COMPFIR1 レジスタは、デジタル・ノイズ・フィルタを制御するレジスタです。

COMPFIR1 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図22-7 コンパレータフィルタ制御レジスタ1 (COMPFIR1) のフォーマット

アドレス : F0345H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
COMPFIR1	C3EDG	C3EPO	C3FCK1	C3FCK0	C2EDG	C2EPO	C2FCK1	C2FCK0
C3EDG	コンパレータ3エッジ検出選択 ^{注1}							
0	コンパレータ3片エッジ検出での割り込み要求							
1	コンパレータ3両エッジ検出での割り込み要求							
C3EPO	コンパレータ3エッジ極性切り替え ^{注1}							
0	コンパレータ3立ち上がりエッジで割り込み要求							
1	コンパレータ3立ち下がりエッジで割り込み要求							
C3FCK1	C3FCK0	コンパレータ3フィルタ選択 ^{注1}						
0	0	コンパレータ3フィルタなし						
0	1	コンパレータ3フィルタあり、fCLKまたはfPLLでサンプリング						
1	0	コンパレータ3フィルタあり、fCLK/8またはfPLL/8でサンプリング						
1	1	コンパレータ3フィルタあり、TAU出力 (TO01) に同期してサンプリング ^{注3}						
C2EDG	コンパレータ2エッジ検出選択 ^{注2}							
0	コンパレータ2片エッジ検出での割り込み要求							
1	コンパレータ2両エッジ検出での割り込み要求							
C2EPO	コンパレータ2エッジ極性切り替え ^{注2}							
0	コンパレータ2立ち上がりエッジで割り込み要求							
1	コンパレータ2立ち下がりエッジで割り込み要求							
C2FCK1	C2FCK0	コンパレータ2フィルタ選択 ^{注2}						
0	0	コンパレータ2フィルタなし						
0	1	コンパレータ2フィルタあり、fCLKまたはfPLLでサンプリング						
1	0	コンパレータ2フィルタあり、fCLK/8またはfPLL/8でサンプリング						
1	1	コンパレータ2フィルタあり、TAU出力 (TO01) に同期してサンプリング ^{注3}						

- 注1.** C3FCK1, C3FCK0, C3EPO, C3EDGビットを変更するとコンパレータ3割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR26レジスタを0（コンパレータ3出力をリンクさせない）にしてから変更してください。また、割り込み要求フラグ・レジスタ2H（IF2H）のビット4（CMPIF3）をクリア（0）してください。さらに、C3FCK1, C3FCK0ビットを00B（コンパレータ3フィルタなし）から00B以外（コンパレータ3フィルタあり）に変更した場合は、フィルタ出力が更新されるまでのサンプリングを4回を経過したあとに、コンパレータ3割り込み要求やELCへのイベント信号を使用してください。
- 注2.** C2FCK1, C2FCK0, C2EPO, C2EDGビットを変更するとコンパレータ2割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR25レジスタを0（コンパレータ2出力をリンクさせない）にしてから変更してください。また、割り込み要求フラグ・レジスタ2H（IF2H）のビット3（CMPIF2）をクリア（0）してください。さらに、C2FCK1, C2FCK0ビットを00B（コンパレータ2フィルタなし）から00B以外（コンパレータ2フィルタあり）に変更した場合は、フィルタ出力が更新されるまでのサンプリングを4回を経過したあとに、コンパレータ2割り込み要求やELCへのイベント信号を使用してください。
- 注3.** 24～64ピン製品かつ周辺I/Oリダイレクション・レジスタ（PIOR3）のPIOR35ビットが0の場合、16ビット・タイマKB32のタイマ出力TKBO20端子は出力許可しないでください。
また、20～32ピン製品かつ周辺I/Oリダイレクション・レジスタ（PIOR3）のPIOR35ビットが1の場合、16ビット・タイマKB31のタイマ出力TKBO11端子は出力許可しないでください。

22.3.7 コンパレータ出力制御レジスタ0 (COMPOCR0)

COMPOCR0 レジスタは、コンパレータ出力の極性、出力許可／禁止、および割り込み出力の許可／禁止を制御するレジスタです。

次の場合、CiOE = 1 (出力許可) にすることは禁止です (i = 0, 1)。

- コンパレータ i 動作禁止 (COMPMDR0.CiENB = 0) のとき
- コンパレータ 0 の“-”側入力に D/A コンバータ 0 の出力を選択し、D/A コンバータ 0 が D/A 変換動作停止 (DAM0.DACE0 = 0) のとき
- コンパレータ 1 の“-”側入力に D/A コンバータ 0 の出力を選択し、D/A コンバータ 0 が D/A 変換動作停止 (DAM0.DACE0 = 0) のとき
- コンパレータ 1 の“-”側入力に D/A コンバータ 1 の出力を選択し、D/A コンバータ 1 が D/A 変換動作停止 (DAM0.DACE1 = 0) のとき

COMPOCR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。リセット信号の発生により、00H になります。

図 22 - 8 コンパレータ出力制御レジスタ0 (COMPOCR0) のフォーマット (1/2)

アドレス : F0342H
 リセット時: 00H
 R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
COMPOCR0	C1OTWMD	C1OP	C1OE	C1IE	C0OTWMD	C0OP	C0OE	C0IE
C1OTWMD	コンパレータ 1 の TIMER WINDOW 出力モード制御ビット ^{注1}							
0	コンパレータ 1 は通常出力モード (C1OE ビットにより制御)							
1	コンパレータ 1 は TIMER WINDOW 出力モード (TAU 出力 (TO02) と C1OE ビットの両方により制御)							
C1OP	VCOU1 出力極性選択							
0	コンパレータ 1 出力を VCOU1 へ出力							
1	コンパレータ 1 出力の反転を VCOU1 へ出力							
C1OE	VCOU1 端子出力許可 ^{注2}							
0	コンパレータ 1 出力禁止							
1	コンパレータ 1 出力許可							
C1IE	コンパレータ 1 割り込み要求許可 ^{注3}							
0	コンパレータ 1 割り込み要求禁止							
1	コンパレータ 1 割り込み要求許可							
C0OTWMD	コンパレータ 0 の TIMER WINDOW 出力モード制御ビット ^{注1}							
0	コンパレータ 0 は通常出力モード (C0OE ビットにより制御)							
1	コンパレータ 0 は TIMER WINDOW 出力モード (TAU 出力 (TO02) と C0OE ビットの両方により制御)							

図22 - 8 コンパレータ出力制御レジスタ0 (COMPOCR0) のフォーマット (2/2)

C0OP	VCOOUT0出力極性選択
0	コンパレータ0出力をVCOOUT0へ出力
1	コンパレータ0出力の反転をVCOOUT0へ出力
C0OE	VCOOUT0端子出力許可 ^{注4}
0	コンパレータ0出力禁止
1	コンパレータ0出力許可 ^{注3, 5}
C0IE	コンパレータ0割り込み要求許可 ^{注5}
0	コンパレータ0割り込み要求禁止
1	コンパレータ0割り込み要求許可

- 注1.** コンパレータ0, 1がTIMER WINDOW出力モードを使うとき、必ずCOMPFIR0レジスタのビット3 (C0EDG) とビット7 (C1EDG) に0を設定してください。C0OEビットとC0OTWMDビット、C1OEビットとC1OTWMDビットは同時に設定できません。C0OTWMD, C1OTWMDビットを設定したあとで、C0OE = 1, C1OE = 1を設定してください。
- 注2.** C1OEビットを変更するとコンパレータ1割り込み要求およびELCイベントが発生することがあります。このビットは、ELCのELSELR24レジスタを0 (コンパレータ1出力をリンクさせない) にしてから変更してください。また、変更後に割り込み要求フラグ・レジスタ2H (IF2H) のビット1 (CMPIF1) を初期化 (割り込み要求なし) してください。
- 注3.** C0OEビットを変更するとコンパレータ0割り込み要求およびELCイベントが発生することがあります。このビットは、ELCのELSELR23レジスタを0 (コンパレータ0出力をリンクさせない) にしてから変更してください。また、変更後に割り込み要求フラグ・レジスタ2H (IF2H) のビット0 (CMPIF0) を初期化 (割り込み要求なし) してください。
- 注4.** C1IEビットを0 (割り込み要求禁止) から1 (割り込み要求許可) にした場合、割り込み要求フラグ・レジスタ2H (IF2H) のビット1 (CMPIF1) が1 (割り込み要求あり) になることがあるため、割り込み要求フラグ・レジスタ2H (IF2H) のビット1 (CMPIF1) を初期化 (割り込み要求なし) してから割り込みを使用してください。
- 注5.** C0IEビットを0 (割り込み要求禁止) から1 (割り込み要求許可) にした場合、割り込み要求フラグ・レジスタ2H (IF2H) のビット0 (CMPIF0) が1 (割り込み要求あり) になることがあるため、割り込み要求フラグ・レジスタ2H (IF2H) のビット0 (CMPIF0) を初期化 (割り込み要求なし) してから割り込みを使用してください。

22.3.8 コンパレータ出力制御レジスタ1 (COMPOCR1)

COMPOCR1 レジスタは、コンパレータ出力の極性、出力許可／禁止、および割り込み出力の許可／禁止を制御するレジスタです。

次の場合、CiOE = 1 (出力許可) にすることは禁止です (i = 2, 3)。

- コンパレータi動作禁止 (COMPMDR1.CiENB = 0) のとき
- コンパレータ2の“-”側入力にD/Aコンバータ0の出力を選択し、D/Aコンバータ0がD/A変換動作停止 (DAM0.DACE0 = 0) のとき
- コンパレータ2の“-”側入力にD/Aコンバータ2の出力を選択し、D/Aコンバータ2がD/A変換動作停止 (DAM0.DACE2 = 0) のとき (DAM2.DACONF = 1のとき)
- コンパレータ3の“-”側入力にD/Aコンバータ0の出力を選択し、D/Aコンバータ0がD/A変換動作停止 (DAM0.DACE0 = 0) のとき
- コンパレータ3の“-”側入力にD/Aコンバータ1の出力を選択し、D/Aコンバータ1がD/A変換動作停止 (DAM0.DACE1 = 0) のとき
- コンパレータ3の“+”側入力にPGA出力を選択し (CMP3SEL.C3INS = 1)、プログラマブル・ゲイン・アンプ動作停止 (PGACTL.PGAEN = 0) のとき

COMPOCR1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図22-9 コンパレータ出力制御レジスタ1 (COMPOCR1) のフォーマット (1/2)

アドレス : F0346H
リセット時: 00H
R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	<1>	<0>
COMPOCR1	0	C3OP	C3OE	C3IE	C2OTWMD	C2OP	C2OE	C2IE
C3OP	VCOOUT3出力極性選択 ^{注4}							
0	コンパレータ3出力をVCOOUT3へ出力							
1	コンパレータ3出力の反転をVCOOUT3へ出力							
C3OE	VCOOUT3端子出力許可 ^{注2, 4}							
0	コンパレータ3出力禁止							
1	コンパレータ3出力許可							
C3IE	コンパレータ3割り込み要求許可 ^{注3}							
0	コンパレータ3割り込み要求禁止							
1	コンパレータ3割り込み要求許可							
C2OTWMD	コンパレータ2のTIMER WINDOW出力モード制御ビット ^{注1}							
0	コンパレータ2通常出力モード (C2OEビットにより制御)							
1	コンパレータ2TIMER WINDOW出力モード (TAU出力 (TO02) とC2OEビットの両方により制御)							

図22 - 9 コンパレータ出力制御レジスタ1 (COMPOCR1) のフォーマット (2/2)

C2OP	VCOUT2出力極性選択
0	コンパレータ2出力をVCOUT2へ出力
1	コンパレータ2出力の反転をVCOUT2へ出力
C2OE	VCOUT2端子出力許可 ^{注5}
0	コンパレータ2出力禁止
1	コンパレータ2出力許可 ^{注3, 6}
C2IE	コンパレータ2割り込み要求許可 ^{注6}
0	コンパレータ2割り込み要求禁止
1	コンパレータ2割り込み要求許可

- 注1.** コンパレータ2がTIMER WINDOW出力モードを使うとき、必ずCOMPFIR1レジスタのビット3 (C2EDG) に0を設定してください。C2OEビットとC2OTWMDビットは同時に設定できません。C2OTWMDビットを設定したあとで、C2OE = 1を設定してください。
- 注2.** C3OEビットを変更するとコンパレータ3割り込み要求およびELCイベントが発生することがあります。このビットは、ELCのELSELR26レジスタを0 (コンパレータ3出力をリンクさせない) にしてから変更してください。また、変更後に割り込み要求フラグ・レジスタ2H (IF2H) のビット4 (CMPIF3) を初期化 (割り込み要求なし) してください。
- 注3.** C2OEビットを変更するとコンパレータ2割り込み要求およびELCイベントが発生することがあります。このビットは、ELCのELSELR25レジスタを0 (コンパレータ2出力をリンクさせない) にしてから変更してください。また、変更後に割り込み要求フラグ・レジスタ2H (IF2H) のビット3 (CMPIF2) を初期化 (割り込み要求なし) してください。
- 注4.** C3OE, C3OPビットがコンパレータ3の結果をPWMオプション・ユニットに入力して、PWM出力を強制遮断できるように制御します。
- 注5.** C3IEビットを0 (割り込み要求禁止) から1 (割り込み要求許可) にした場合、割り込み要求フラグ・レジスタ2H (IF2H) のビット4 (CMPIF3) が1 (割り込み要求あり) になることがあるため、割り込み要求フラグ・レジスタ2H (IF2H) のビット4 (CMPIF3) を初期化 (割り込み要求なし) してから割り込みを使用してください。
- 注6.** C2IEビットを0 (割り込み要求禁止) から1 (割り込み要求許可) にした場合、割り込み要求フラグ・レジスタ2H (IF2H) のビット3 (CMPIF2) が1 (割り込み要求あり) になることがあるため、割り込み要求フラグ・レジスタ2H (IF2H) のビット3 (CMPIF2) を初期化 (割り込み要求なし) してから割り込みを使用してください。

22.3.9 コンパレータ0入力信号選択制御レジスタ (CMP0SEL)

CMP0SEL レジスタはコンパレータ0の“-”側入力信号を選択します。

CMP0SEL レジスタはコンパレータ動作停止中 (C0ENB = 0) に書き換えてください。

CMP0SEL レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 10 コンパレータ0入力信号選択制御レジスタ (CMP0SEL) のフォーマット

アドレス : F034AH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CMP0SEL	0	0	0	0	0	0	C0REFS1	C0REFS0

C0REFS1	C0REFS0	コンパレータ0の“-”側入力信号選択
0	0	D/Aコンバータ0の出力を選択
0	1	外部基準電圧 (IVREF0) を選択
1	0	設定禁止
1	1	設定禁止

注意 コンパレータ0のアナログ入力を切り替えるときは、安定動作のために、切り替え間隔を3 μ s以上にしてください。

22.3.10 コンパレータ1入力信号選択制御レジスタ (CMP1SEL)

CMP1SEL レジスタはコンパレータ1の“-”側入力信号を選択します。

CMP1SEL レジスタはコンパレータ動作停止中 (C1ENB = 0) に書き換えてください。

CMP1SEL レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-11 コンパレータ1入力信号選択制御レジスタ (CMP1SEL) のフォーマット

アドレス : F034BH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CMP1SEL	0	0	0	0	0	0	C1REFS1	C1REFS0

C1REFS1	C1REFS0	コンパレータ1の“-”側入力信号選択
0	0	D/Aコンバータ0の出力を選択
0	1	D/Aコンバータ1の出力を選択
1	0	外部基準電圧 (IVREF0) を選択
1	1	設定禁止

注意 コンパレータ1のアナログ入力を切り替えるときは、安定動作のために、切り替え間隔を3 μ s以上にしてください。

22.3.11 コンパレータ 2 入力信号選択制御レジスタ (CMP2SEL)

CMP2SEL レジスタはコンパレータ 2 の“-”側入力信号を選択します。

CMP2SEL レジスタはコンパレータ動作停止中 (C2ENB = 0) に書き換えてください。

CMP2SEL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 22 - 12 コンパレータ 2 入力信号選択制御レジスタ (CMP2SEL) のフォーマット

アドレス : F034CH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CMP2SEL	0	0	0	0	0	0	C2REFS1	C2REFS0

C2REFS1	C2REFS0	コンパレータ 2 の“-”側入力信号選択
0	0	D/A コンバータ 0 の出力を選択
0	1	D/A コンバータ 2 の出力を選択注
1	0	外部基準電圧 (IVREF0) を選択
1	1	外部基準電圧 (IVREF1) を選択

注 DAM2.DACONF = 0 の場合は選択できません。

注意 コンパレータ 2 のアナログ入力を切り替えるときは、安定動作のために、切り替え間隔を 3 μ s 以上にしてください。

22.3.12 コンパレータ3入力信号選択制御レジスタ (CMP3SEL)

CMP3SEL レジスタはコンパレータ3の“+”と“-”側入力信号を選択します。

CMP3SEL レジスタはコンパレータ動作停止中 (C3ENB = 0) に書き換えてください。

CMP3SEL レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 13 コンパレータ3入力信号選択制御レジスタ (CMP3SEL) のフォーマット

アドレス : F034DH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CMP3SEL	C3INS	0	0	0	0	0	C3REFS1	C3REFS0
C3INS	コンパレータ3の“+”側入力信号選択							
0	外部端子 (IVCMP3) を選択							
1	PGA0 (PGA出力) を選択							
C3REFS1	C3REFS0	コンパレータ3の“-”側入力信号選択						
0	0	D/Aコンバータ0の出力を選択						
0	1	D/Aコンバータ1の出力を選択						
1	0	外部基準電圧 (IVREF0) を選択						
1	1	外部基準電圧 (IVREF1) を選択						

注意 コンパレータ3のアナログ入力を切り替えるときは、安定動作のために、切り替え間隔を3 μ s以上にしてください。

22.3.13 コンパレータ出力制御レジスタ2 (COMPOCR2)

COMPOCR2 レジスタはタイマ RX で使用するコンパレータからのトリガ信号 (CMPOUTRX) を選択します。

COMPOCR2 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図22 - 14 コンパレータ出力制御レジスタ2 (COMPOCR2) のフォーマット

アドレス : F034EH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
COMPOCR2	0	0	0	0	0	0	TRXTRIG1	TRXTRIG0

TRXTRIG1	TRXTRIG0	タイマRXで使用するコンパレータからのトリガ信号選択
0	0	コンパレータ0の割り込み出力信号
0	1	コンパレータ1の割り込み出力信号
1	0	コンパレータ2の割り込み出力信号
1	1	コンパレータ3の割り込み出力信号

注意 割り込み出力信号を切り替える際は、あらかじめコンパレータを割り込み要求禁止 (CnIE = 0) に設定してください。またタイマRXを割り込み要求禁止 (TRXMK = 1) に設定してください。

22.3.14 コンパレータのアナログ入出力と端子を兼用するポートのポート機能を制御するレジスタ

コンパレータのアナログ入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx)、7.3.2 ポート・レジスタ (Pxx) および 7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

22.4 動作説明

コンパレータ 0 ~ コンパレータ 3 はそれぞれ独立して動作できます。設定方法と動作は同じです。

コンパレータと PGA の連動動作は、コンパレータ 3 と PGA の組み合わせのみ可能です。

表 22 - 2 にコンパレータの単独動作と連動動作の設定手順を示します。

表22 - 2 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	PER1	PGACMPEN, DACEN ^{注6}	1 (入カクロック供給)
2	PMCAxx	PMCA120, PMCA00, PMCA01, PMCA147, PMCA22, PMCA16, PMCA12	IVCMPi, IVREFx, PGAiy ^{注3} 端子の機能選択 (PMCA120, PMCA00, PMCA01, PMCA147, PMCA22, PMCA16, PMCA12ビットに1 (アナログ入力)) ^{注1}
3	PMxx	PM120, PM00, PM01, PM147, PM22, PM16, PM12	IVCMPi, IVREFx, PGAiy ^{注3} 端子の機能選択 (PM120, PM00, PM01, PM147, PM22, PM16, PM12ビットに1 (入力モード)) ^{注1}
4	PGACTL	PGAVG1, PGAVG0	増幅率選択 ^{注3, 4}
5	PGACTL	PVRVS	0 (Vss 端子選択) ^{注3, 4} 1 (PGAGND 端子選択) ^{注3, 4}
6	PGACTL	PGAEN	1 (動作許可) ^{注3, 4}
7	PGA 安定時間 (最小 5 μs) 待ち		
8	CMP3SEL (コンパレータ 3)	C3INS (コンパレータ 3)	コンパレータ 3 の“+”側入力選択
9	CMPiSEL	CiREFS1, CiREFS0	コンパレータ i の“-”側入力選択
10	DACS _n		(D/A 変換値設定) ^{注4}
11	DAM0	DACEN	(D/A 変換動作許可) ^{注4}
12	D/A 電圧安定時間 (最小 1 μs) 待ち		
13	COMPMDR0, 1	CiENB	1 (動作許可)
14	コンパレータ 安定時間 (最小 3 μs) 待ち		
15	COMPFIR0, 1	CiFCK1, CiFCK0	デジタル・フィルタ使用する/しない、サンプリング・クロック選択
		CiEPO, CiEDG	割り込み要求のためのエッジ検出条件選択 (立ち上がり/立ち下がり/両エッジ)
16	COMPOCR0, 1	CiOP	コンパレータ i 出力の設定 (極性選択)
		C0OTWMD, C1OTWMD, C2OTWMD	コンパレータ 0-2 の TIMER WINDOW 出力モードを設定
17	COMPOCR0, 1	CiOE	コンパレータ i 出力の設定 (出力許可)
18	COMPMDR0, 1	CiPOE	VCOUTi 端子出力の設定 (出力許可)
19	COMPOCR2	TRXTRIG0, TRXTRIG1	タイマ RX で使用するコンパレータからのトリガの信号選択 ^{注5}
20	COMPOCR0, 1	CiIE	割り込み要求出力の許可/禁止を設定
21	PR02H, PR12H	CMPPR0i, CMPPR1i	割り込みを使用する場合: 割り込み優先レベル選択
22	MK2H	CMPMKi	割り込みを使用する場合: 割り込みマスク選択
23	IF2H	CMPIFI	割り込みを使用する場合: 0 (割り込み要求なし: 初期化) ^{注2}

注1. コンパレータ i の入力信号に IVCMPi, IVREFy, PGAO 端子を使用する場合、設定が必要です。

(注、注意、備考は次ページに続きます)

- 注2.** コンパレータの設定後、安定動作するまでに不要な割り込みが発生することがあるため、割り込みフラグを初期化してください。
- 注3.** コンパレータ3とPGA連動動作の場合、設定が必要です。
- 注4.** D/Aコンバータ (DAC)、プログラマブル・ゲイン・アンプ (PGA) の設定の詳細は、**第21章 D/Aコンバータ (DAC)** および**第23章 プログラマブル・ゲイン・アンプ (PGA)** を参照してください。
- 注5.** タイマRXでコンパレータをトリガとした機能を使用する場合、設定が必要です。
- 注6.** コンパレータ*i*の“-”側入力信号にD/Aコンバータ (DAC) を使用する場合、設定が必要です。

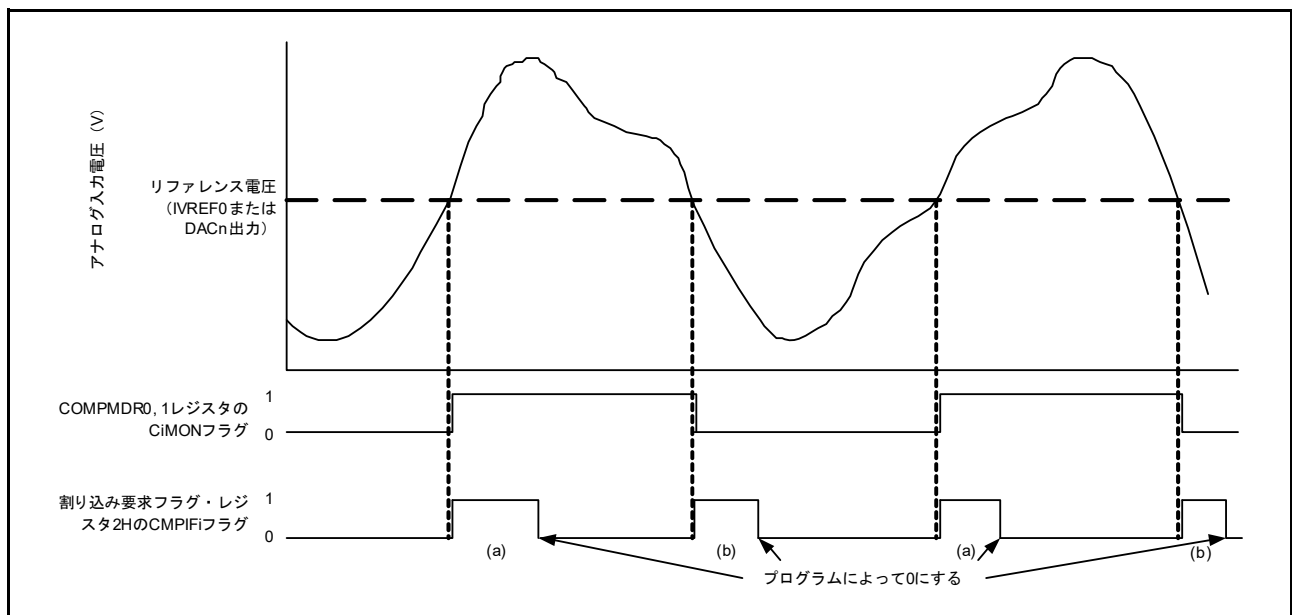
注意 コンパレータ*i*の全回路を初期化する場合はPRR1レジスタのPGACMPRESビットに1を設定してください。

備考 $i = 0-3; n = 0-2; x = 0, 1; y = 0-4$

図22-15にコンパレータの動作例 (通常出力モード) を示します。リファレンス電圧よりアナログ入力の電圧が高い場合にCOMPMDR0, 1レジスタのCiMONフラグが1になり、リファレンス電圧よりアナログ入力の電圧が低い場合にCiMONフラグが0になります。

コンパレータ*i*割り込みを使用する場合は、COMPOCR0, 1レジスタのCiIEビットを1 (割り込み要求許可) にしてください。このとき比較結果が変化すれば、コンパレータ*i*割り込み要求が発生します。割り込み要求の詳細については、**22.4.1 コンパレータ*i*デジタル・フィルタ ($i = 0-3$)** を参照してください。

図22-15 コンパレータの動作例 (通常出力モード)



注意 上図は、COMPFIRO, 1レジスタのCiFCK1, CiFCK0 = 00B (コンパレータ*i*フィルタなし)、CiEDG = 1 (両エッジ検出) の場合の動作例です。(CiEDG = 0, CiEPO = 0 (立ち上がりエッジ) のときのCMPiFiフラグは (a) の変化のみ、CiEDG = 0, CiEPO = 1 (立ち下がりエッジ) のときのCMPiFiフラグは (b) の変化のみとなります)。

備考 $i = 0-3, n = 0-2$

22.4.1 コンパレータ*i*デジタル・フィルタ (i = 0-3)

コンパレータ*i*は、デジタル・フィルタを内蔵しています。サンプリングクロックはCOMPFIRO, 1レジスタのCiFCK1, CiFCK0ビットで選択できます。サンプリングクロックごとにコンパレータ*i*の出力信号をサンプリングし、レベルが3回一致した次のサンプリングクロックで、デジタル・フィルタ出力がその値になります。

図22-16にコンパレータ*i*デジタル・フィルタとエッジ検出の構成、図22-17にコンパレータ*i*デジタル・フィルタと割り込み動作例を示します。

図22-16 コンパレータ*i*デジタル・フィルタとエッジ検出の構成

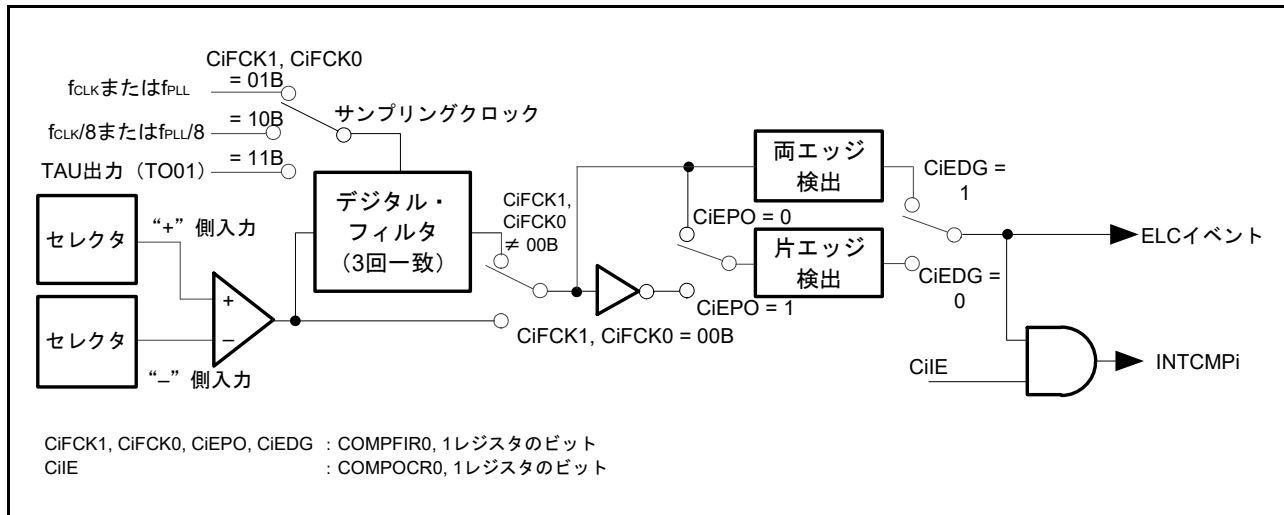
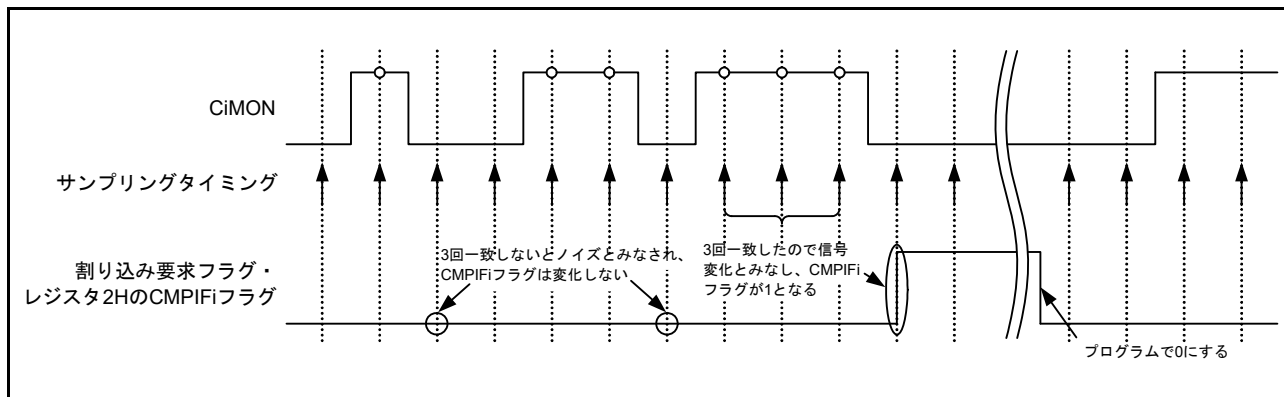


図22-17 コンパレータ*i*デジタル・フィルタと割り込み動作例



注意 上図は、COMPOCR0, 1レジスタのC00TWMD, C10TWMD, C20TWMDビットが0で、かつCOMPFIRO, 1レジスタのCiFCK1, CiFCK0ビットが、01B, 10B, 11Bのいずれか（デジタル・フィルタあり）の場合の動作例です。

備考 i = 0-3

22.4.2 コンパレータ i 割り込み (i = 0-3)

コンパレータはコンパレータ 0 割り込み~コンパレータ 3 割り込みの 4 つの割り込み要求を発生します。コンパレータ i 割り込みは、それぞれ 1 つずつの優先順位指定フラグ、割り込みマスクフラグ、割り込み要求フラグ、割り込みベクタを持ちます。

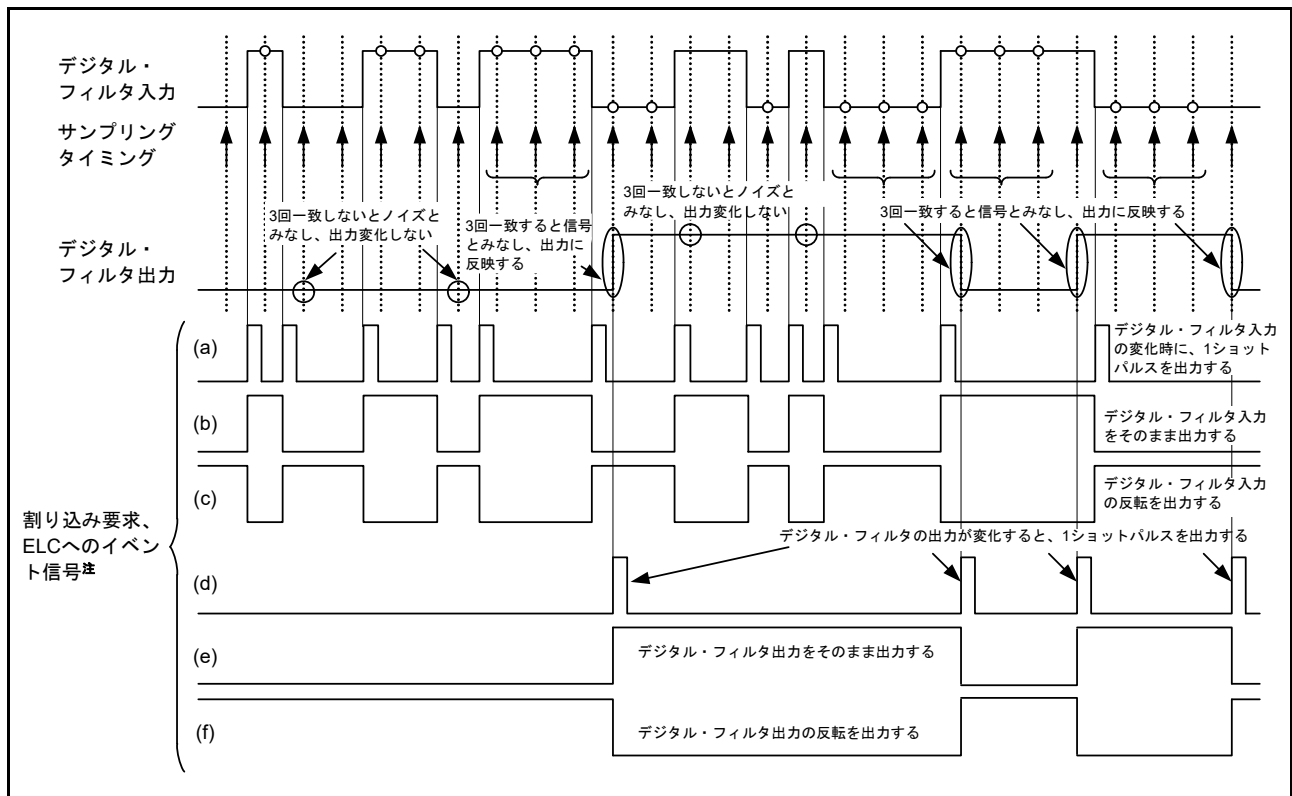
コンパレータ i 割り込みを使用するときは、COMPOCR0, 1 レジスタの CiIE ビットを 1 (コンパレータ i 割り込み要求出力許可) にしてください。割り込み要求を発生する条件は、COMPFIR0, 1 レジスタにより設定します。また、コンパレータ出力にはデジタル・フィルタを付けることが可能です。デジタル・フィルタは、3 種類のサンプリング・クロックを選択可能です。

レジスタ設定と割り込み要求発生に対応については、**22.3.5 コンパレータフィルタ制御レジスタ 0 (COMPFIR0)**、**22.3.6 コンパレータフィルタ制御レジスタ 1 (COMPFIR1)**、**22.3.7 コンパレータ出力制御レジスタ 0 (COMPOCR0)** および **22.3.8 コンパレータ出力制御レジスタ 1 (COMPOCR1)** を参照してください。

22.4.3 イベント・リンク・コントローラ (ELC) へのイベント信号出力

ELC へのイベント信号は、割り込み要求の発生条件と同じく COMPFIR0, 1 レジスタで設定したデジタル・フィルタ出力のエッジ検出により発生します。ただし、割り込み要求と異なり、COMPOCR0, 1 レジスタの CiIE ビットに関係なく常に出力されます。イベント出力先の選択やイベントリンクの停止は、ELC の ELSELR23-ELSELR26 レジスタで設定してください。

図22-18 デジタル・フィルタと割り込み要求・ELCへのイベント信号出力動作



注 CiIE ビット (i = 0-3) が1の場合は、割り込み要求とELCへのイベント信号は同じ波形になります。
 CiIE ビット (i = 0-3) が0の場合は、割り込み要求のみ0固定になります。

(a), (b), (c)の波形はCOMPFIR0, 1レジスタのCiFCK1, CiFCK0ビット (i = 0-3) が00B (デジタル・フィルタなし) の場合の動作例です。

(d), (e), (f)の波形はCOMPFIR0, 1レジスタのCiFCK1, CiFCK0ビット (i = 0-3) が01B, 10B, 11Bのいずれか (デジタル・フィルタあり) の場合の動作例です。

(a), (d)はCiEDGビットを1 (両エッジ) に設定した場合、(b), (e)はCiEDG = 0, CiEPO = 0 (立ち上がりエッジ) の場合、(c), (f)はCiEDG = 0, CiEPO = 1 (立ち下がりエッジ) の場合です。

22.4.4 コンパレータ*i*出力 (*i* = 0-3)

コンパレータの比較結果を外部端子へ出力することができます。COMPOCR0, 1 レジスタの CiOP, CiOE ビットや、COMPMDR0, 1 レジスタの CiPOE ビットにより出力極性（そのまま出力／反転出力）や出力許可／禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、**22.3.7 コンパレータ出力制御レジスタ 0 (COMPOCR0)**、**22.3.8 コンパレータ出力制御レジスタ 1 (COMPOCR1)**、**22.3.3 コンパレータモード設定レジスタ 0 (COMPMDR0)** および **22.3.4 コンパレータモード設定レジスタ 1 (COMPMDR1)** を参照してください。

VCOUT_i 出力端子へコンパレータ比較結果を出力する場合は、以下の手順に従ってポートの設定をしてください（リセット後、ポートは入力設定になっています）。

- ① コンパレータのレジスタ設定をする（表 22-2 コンパレータ関連レジスタの設定手順を参照）。
- ② コンパレータの VCOUT_i 出力を設定する（COMPOCR0, 1 レジスタで、極性選択および出力許可を設定する）。
- ③ COMPMDR0, 1 レジスタを設定し、端子出力許可にする。
- ④ VCOUT_i 出力端子に対応するポート・モード・コントロール A・レジスタのビットを 0 にする。
- ⑤ VCOUT_i 出力端子に対応するポート・レジスタのビットを 0 にする。
- ⑥ VCOUT_i 出力端子に対応するポート・モード・レジスタを出力に設定する（端子から出力開始）。

22.4.5 コンパレータのクロック停止／供給

周辺イネーブル・レジスタ 1 (PER1) の設定により、コンパレータのクロックを停止する場合は、以下の手順に従ってください。

- ① COMPMDR0, 1 レジスタの CiENB ビットを 0 にする (コンパレータを停止する)。
- ② 割り込み要求フラグ・レジスタ 2H (IF2H) レジスタの CMPiFi フラグを 0 にする (コンパレータ停止前の不要な割り込みをクリア)。
- ③ PER1 レジスタの PGACMPEN ビットを 0 にする。

PER1 レジスタの設定によりクロックを停止するとコンパレータ内部のレジスタはすべて初期化されますので、コンパレータを再度使用する場合は、表 22 - 2 の手順に従ってレジスタを設定してください。

注意 以下のいずれかの状態で DTC を起動許可した場合、DTC 転送を開始し、転送終了後に割り込み要求が発生します。そのため、必要に応じてコンパレータ i モニタフラグ (CiMON) を確認してから DTC を起動許可にしてください。

- 状態 1 : 以下の条件がすべて満たされているとき
 - コンパレータ i を片エッジ検出での割り込み要求に設定 (CiEDG = 0)
 - コンパレータ i の立ち上がりエッジで割り込み要求に設定 (CiEPO = 0)
 - “+” 側入力電圧 > “-” 側入力電圧時
- 状態 2 : 以下の条件がすべて満たされているとき
 - コンパレータ i を片エッジ検出での割り込み要求に設定 (CiEDG = 0)
 - コンパレータ i の立ち下がりエッジで割り込み要求に設定 (CiEPO = 1)
 - “+” 側入力電圧 < “-” 側入力電圧時

備考 i = 0-3

22.4.6 コンパレータの16ビット・タイマKB30, KB31, KB32連動機能使用時の注意事項

コンパレータは、割り込み機能のほかに16ビット・タイマKB30, KB31, KB32との連動機能（強制出力停止機能1, 2、タイマ・リスタート機能）のトリガとして使用することができます。

16ビット・タイマKB30, KB31, KB32との連動機能を使用する場合は、コンパレータフィルタ制御レジスタ0, 1 (COMPFIRO, 1) で、有効エッジを設定してください。

なお、各機能が動作するまでに必要なアクティブ信号の幅は異なります。表22-3および図22-19を参考にレジスタを設定し、必要なアクティブ信号幅が確保されるように外部回路を構築してください。

表22-3 コンパレータiの機能、レジスタ設定とアクティブ信号幅の関係

機能	有効エッジを設定するレジスタのビット設定	各機能が動作するのに必要なアクティブ信号幅		
		コンパレータi 割り込み	16ビット・タイマ KB30, KB31, KB32 強制出力停止	16ビット・タイマ KB30, KB31, KB32 タイマ・リスタート
外部割り込み (STOPモードを解除可能 ^{注1})	CiEDG, CiEPO	~100 ns ^{注1} +2~3 clk ^{注2, 3}	—	—
16ビット・タイマKB30, KB31, KB32強制出力停止	— 注4	~100 ns ^{注1} +2~3 clk ^{注2, 5}	~100 ns ^{注1, 5}	—
16ビット・タイマKB30, KB31, KB32タイマ・リスタート	CiEDG, CiEPO	~100 ns ^{注1} +2~3 clk ^{注2, 3}	—	~100 ns ^{注1} +2~3 clk ^{注2, 3}

注1. コンパレータフィルタ制御レジスタ0, 1 (COMPFIRO, 1) のデジタル・フィルタ設定 (CiFCK1, CiFCK0 = 00B) の場合です。デジタル・フィルタ設定を00Bから変更した場合は、設定した除去幅分が加算されます。

注2. fCLKまたはfPLL (PLLコントロール・レジスタ (DSCCTL) のビット0 (DSCON) が1の場合)

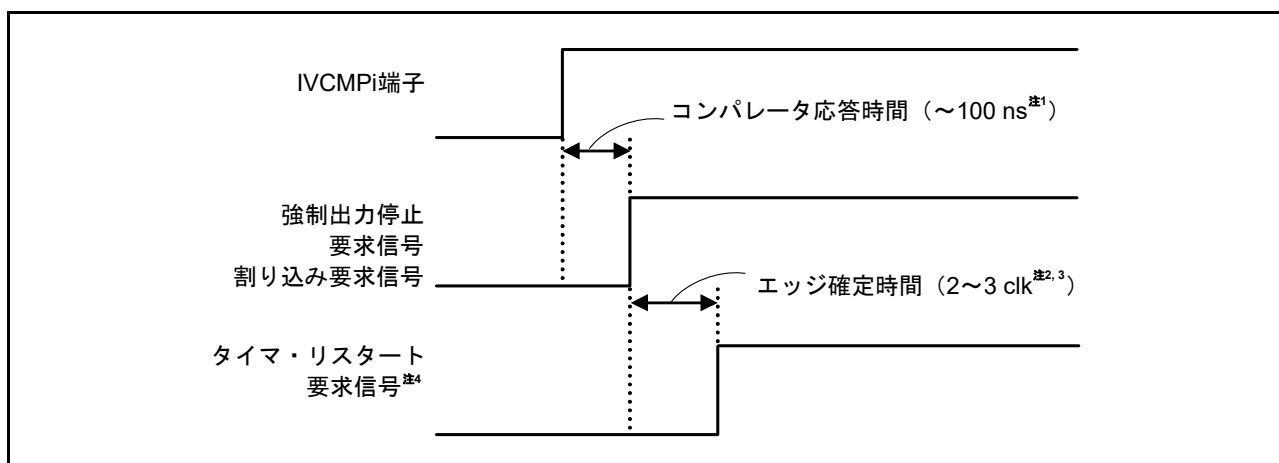
注3. タイマ・リスタート機能が動作するには、要求信号を受けてからさらに1 clk、出力端子の状態が変化するまでには、別途出力遅延時間 (10~40 ns) がかかります。

注4. 強制出力停止機能1, 2はハイ・レベルでアクティブとなります。

注5. 強制出力停止機能1, 2が動作してから出力端子の状態が変化するまでには、別途出力遅延時間 (10~40 ns) がかかります。

備考 i = 0-3

図22 - 19 コンパレータ i による強制出力停止要求信号、タイマ・リスタート要求信号の発生タイミング



- 注1. コンパレータフィルタ制御レジスタ0, 1 (COMPFIRO, 1) のデジタル・フィルタ設定 (CiFCK1, CiFCK0 = 00B) の場合です。デジタル・フィルタ設定を00Bから変更した場合は、設定した除去幅分が加算されます。
- 注2. fCLKまたはfPLL (PLLコントロール・レジスタ (DSCCTL) のビット0 (DSCON) が1の場合)
- 注3. タイマ・リスタート機能が動作するには、要求信号を受けてからさらに1 clk、出力端子の状態が変化するまでには、別途出力遅延時間 (10 ~ 40 ns) が掛かります。
- 注4. 強制出力停止機能1, 2が動作してから出力端子の状態が変化するまでには、別途出力遅延時間 (10 ~ 40 ns) が掛かります。

備考 i = 0-3

外部割り込み INTPm の 16 ビット・タイマ KB30, KB31, KB32 連動機能については、**15.10 外部割り込み (INTPx) の 16 ビット・タイマ KB30, KB31, KB32 連動機能使用時の構成**を参照してください。

第23章 プログラマブル・ゲイン・アンプ (PGA)

RL78/G24 は、プログラマブル・ゲイン・アンプを搭載しています。

プログラマブル・ゲイン・アンプのフィードバック抵抗として PGAGND を使用する場合には、Vss と同電位で使用してください。

項目	20ピン	24～64ピン
アナログ入力チャンネル	4チャンネル (PGAI0-PGAI2, PGAI4)	5チャンネル (PGAI0-PGAI4)
プログラマブル・ゲイン・アンプのフィードバック抵抗のグラウンド	Vss/PGAGND	Vss/PGAGND
プログラマブル・ゲイン・アンプ出力電圧の端子出力	PGAO	PGAO

23.1 プログラマブル・ゲイン・アンプの性能

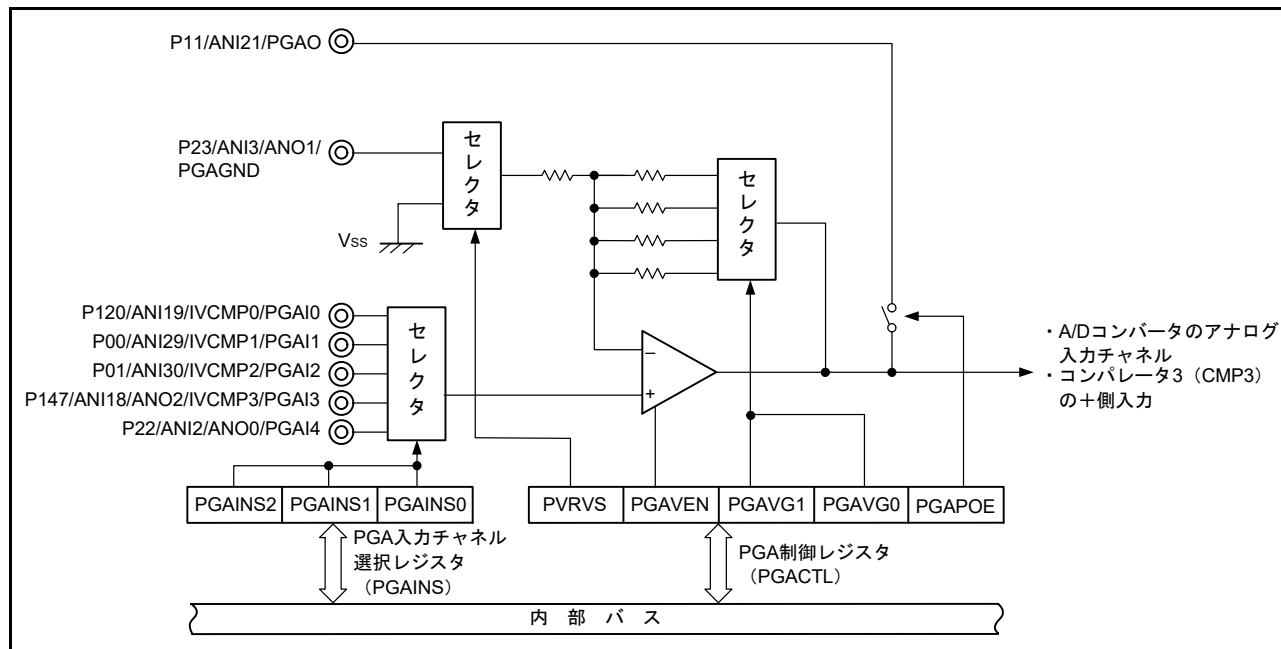
プログラマブル・ゲイン・アンプには、次のような機能があります。

- プログラマブル・ゲイン・アンプの入力は、PGAI0-PGAI4端子の5つから選択可能
- 増幅率を4通りから選択可能
- プログラマブル・ゲイン・アンプの出力信号をA/Dコンバータのアナログ入力、コンパレータ3 (CMP3) の+側入力信号として設定可能

23.2 プログラマブル・ゲイン・アンプの構成

プログラマブル・ゲイン・アンプは、次のハードウェアで構成されています。

図23-1 プログラマブル・ゲイン・アンプのブロック図



備考 この図の端子は、64ピン製品の場合です。

23.3 プログラマブル・ゲイン・アンプを制御するレジスタ

プログラマブル・ゲイン・アンプを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- PGA制御レジスタ (PGACTL)
- PGA入力チャネル選択レジスタ (PGAINS)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

23.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

プログラマブル・ゲイン・アンプ、コンパレータを使用するときは、必ず PGACMPEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図23-2 周辺イネーブル・レジスタ 1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	2	1	<0>
PER1	DACEN	0	PGACMP EN	TML32EN	DTCEN	0	0	DALIEN
PGACMP EN注	コンパレータ/プログラマブル・ゲイン・アンプの入カクロックの制御							
0	入カクロック供給停止 ・コンパレータ/プログラマブル・ゲイン・アンプで使用するSFRへのライト不可							
1	入カクロック供給 ・コンパレータ/プログラマブル・ゲイン・アンプで使用するSFRへのリード/ライト可							

注 コンパレータのCOMPFIR1レジスタのC3FCK1, C3FCK0, C3EPO, C3EDGビットを変更すると、コンパレータ検出3割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR26レジスタを0 (コンパレータ3出力をリンクさせない) にしてから変更してください。また、割り込み要求フラグ・レジスタ2H (IF2H) のビット4 (CMPIF3) を0にクリアしてください。また、C3FCK1, C3FCK0ビットを00B (コンパレータ3フィルタなし) から00B以外 (コンパレータ3フィルタあり) に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過したあとに、コンパレータ3割り込み要求やELCへのイベント信号を使用してください。

- 注意1.** コンパレータ/プログラマブル・ゲイン・アンプの設定をする際には、必ず最初にPGACMPEN = 1の設定を行ってください。
PGACMPEN = 0の場合は、コンパレータ/プログラマブル・ゲイン・アンプの制御レジスタへの書き込みは無視され、読み出し値はすべて初期値となります (ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx) は除く)。
- 注意2.** ビット6, 2, 1には、必ず0を設定してください。

23.3.2 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

プログラマブル・ゲイン・アンプをリセットする場合は、PGACMPRES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図23-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	3	2	1	<0>
PRR1	DACRES	0	PGACMP RES	TML32RES	0	0	0	DALIRES
	PGACMP RES	コンパレータ／プログラマブル・ゲイン・アンプのリセット制御						
	0	コンパレータ／プログラマブル・ゲイン・アンプのリセット解除						
	1	コンパレータ／プログラマブル・ゲイン・アンプはリセット状態						

注意 ビット6, 3-1には、必ず0を設定してください。

23.3.3 PGA制御レジスタ (PGACTL)

PGACTL レジスタは、プログラマブル・ゲイン・アンプの動作許可/停止と増幅率を設定するレジスタです。

PGACTL レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図23-4 PGA制御レジスタ (PGACTL) のフォーマット

アドレス : F0347H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
PGACTL	PGAEN	PGAPOE	—	—	PVRVS	—	PGAVG1	PGAVG0
PGAEN	プログラマブル・ゲイン・アンプの動作制御							
0	プログラマブル・ゲイン・アンプ動作停止							
1	プログラマブル・ゲイン・アンプ動作許可							
PGAPOE	プログラマブル・ゲイン・アンプ出力電圧の端子出力制御							
0	プログラマブル・ゲイン・アンプ出力電圧をPGA0端子から出力しない							
1	プログラマブル・ゲイン・アンプ出力電圧をPGA0端子から出力する							
PVRVS	プログラマブル・ゲイン・アンプのフィードバック抵抗のグランド選択							
0	Vss選択							
1	PGAGND選択							
PGAVG1	PGAVG0	プログラマブル・ゲイン・アンプの増幅率選択						
0	0	4倍						
0	1	8倍						
1	0	16倍						
1	1	32倍						

注意1. ビット5, 4, 2には、必ず0を設定してください。

注意2. PGACTLレジスタのPGAENを除くビットの書き換えは、プログラマブル・ゲイン・アンプ動作停止中 (PGAEN = 0) に行ってください。

注意3. プログラマブル・ゲイン・アンプは、PGAEN = 1に設定後、動作安定待ち時間として増幅率が4倍、8倍の場合は5 μ s、16倍、32倍の場合は10 μ s必要です。

注意4. PGA0端子から電流を取り出すことはできません。また、外部でゲイン調整することはできません。

23.3.4 PGA入力チャネル選択レジスタ (PGAINS)

PGAINS レジスタは、プログラマブル・ゲイン・アンプの入力チャネルを選択するレジスタです。
PGAINS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図23-5 PGA入力チャネル選択レジスタ (PGAINS) のフォーマット

アドレス : F0348H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PGAINS	0	0	0	0	0	PGAINS2	PGAINS1	PGAINS0

PGAINS2	PGAINS1	PGAINS0	プログラマブル・ゲイン・アンプに入力するアナログ 入力チャネル
0	0	0	PGAI0 端子を選択
0	0	1	PGAI1 端子を選択
0	1	0	PGAI2 端子を選択
0	1	1	PGAI3 端子を選択
1	0	0	PGAI4 端子を選択
上記以外			設定禁止

注意1. ビット7-3には、必ず0を設定してください。

注意2. PGAINS レジスタをプログラマブル・ゲイン・アンプ動作中 (PGACTL.PGAEN = 1) に変更する場合は、PGAのスルーレートを考慮してA/D変換開始タイミングの調整や必要に応じてコンパレータ3の出力制御の処置 (C3IE = 0, C3POE = 0など) を行ってください。

23.3.5 プログラマブル・ゲイン・アンプの入出力と端子を兼用するポートのポート機能を制御するレジスタ

プログラマブル・ゲイン・アンプのアナログ入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx) および 7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

23.4 プログラマブル・ゲイン・アンプの動作

プログラマブル・ゲイン・アンプは PGAI0-PGAI4 端子から入力されたアナログ電圧を、マイコン内部で増幅します。増幅率は 4 種類 (4 倍 / 8 倍 / 16 倍 / 32 倍) から選択できます。

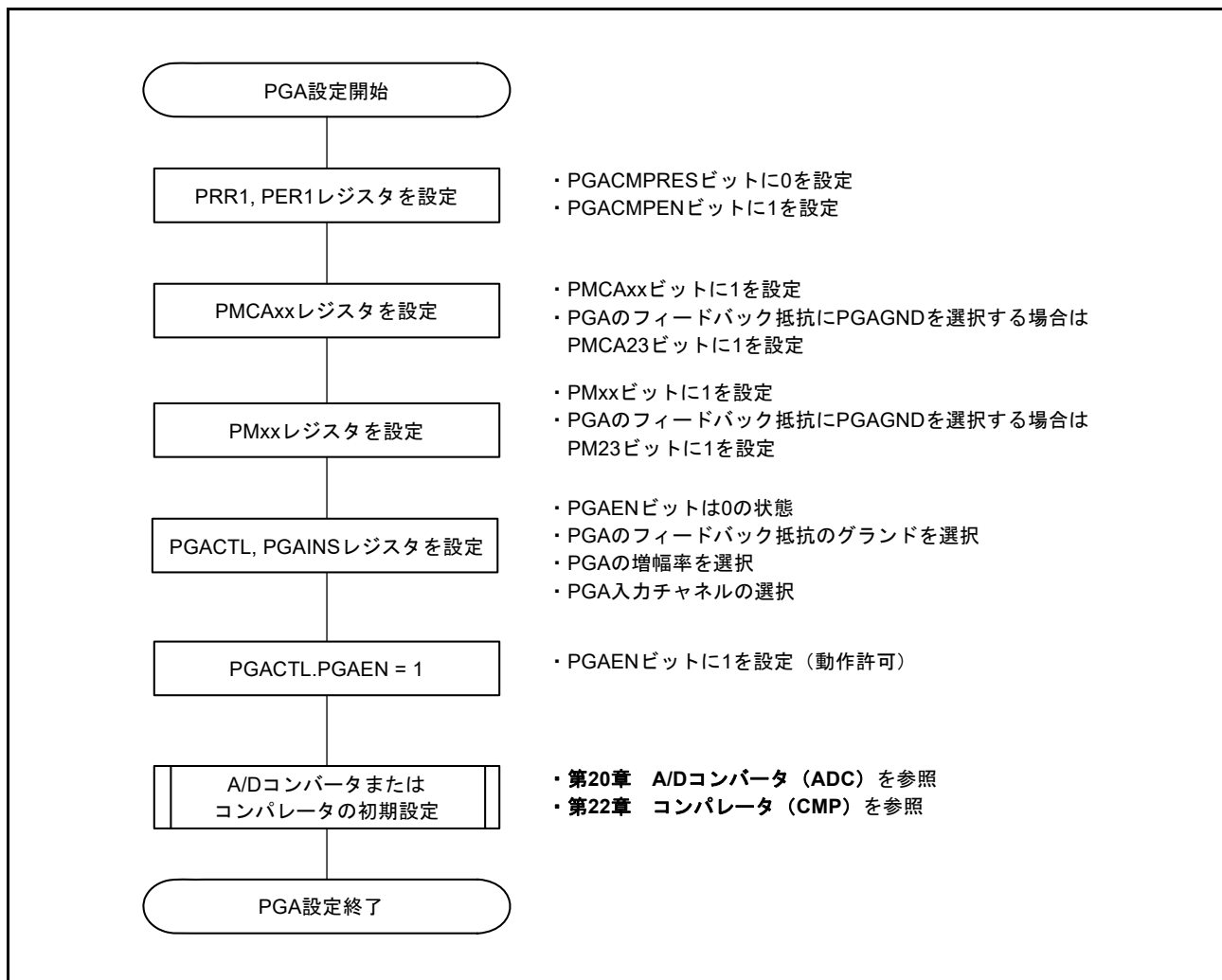
増幅した電圧は、A/D コンバータのアナログ入力、コンパレータ 3 (CMP3) の+側入力信号として使用することができます。

プログラマブル・ゲイン・アンプの動作開始手順を次に示します。

- ① PER1 レジスタの PGACMPEN ビットで、プログラマブル・ゲイン・アンプに入力クロック供給を設定
- ② PMCA0, PMCA2, PMCA12, PMCA14 レジスタで、プログラマブル・ゲイン・アンプで使用する端子 (PGAI0-PGAI4) をアナログ入力に設定
- ③ PM0, PM2, PM12, PM14 レジスタで、プログラマブル・ゲイン・アンプで使用する端子 (PGAI0-PGAI4) を入力モードに設定
- ④ PGACTL レジスタの PGAVG1, PGAVG0 ビットで、増幅率 (4 倍 / 8 倍 / 16 倍 / 32 倍) を選択
- ⑤ PGAINS レジスタの PGAINS2-PGAINS0 ビットで、プログラマブル・ゲイン・アンプに入力する端子を選択
- ⑥ プログラマブル・ゲイン・アンプの出力をコンパレータ 3 の+側入力信号として使用するときは、CMP3SEL レジスタの C3INS ビットに PGA からの信号を設定
- ⑦ PGACTL レジスタの PGAEN ビットを 1 にし、プログラマブル・ゲイン・アンプの動作を許可

23.4.1 プログラマブル・ゲイン・アンプの動作開始設定手順

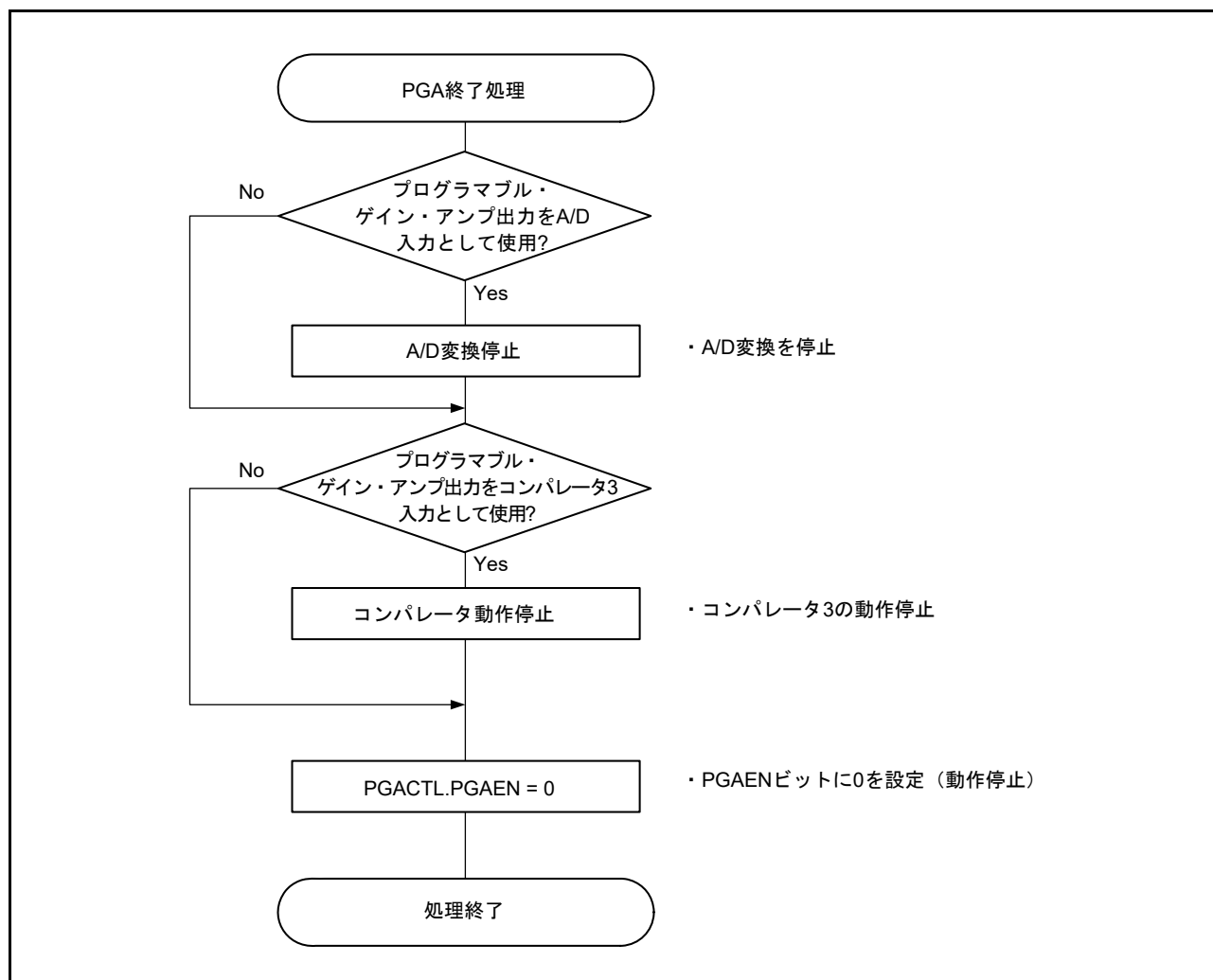
図23-6 プログラマブル・ゲイン・アンプの動作設定フロー



注意 PGAENビットに1を設定したあと、PGA動作安定待ち時間として増幅率が4倍、8倍の場合は5 μ s、16倍、32倍の場合は10 μ s経過後にA/D変換を開始してください。

23.4.2 プログラマブル・ゲイン・アンプの動作停止設定手順

図23-7 プログラマブル・ゲイン・アンプの動作停止フロー



注意1. プログラマブル・ゲイン・アンプとA/Dコンバータまたはコンパレータの動作再開時は、PGAENビットに1を設定したあと、PGA動作安定待ち時間として増幅率が4倍、8倍の場合は5 μ s、16倍、32倍の場合は10 μ s経過後に各機能を開始してください。

注意2. プログラマブル・ゲイン・アンプ出力が接続されていないA/D変換用端子およびコンパレータに関しては、プログラマブル・ゲイン・アンプ動作停止中も使用することができます。

第24章 シリアル・アレイ・ユニット (SAU)

シリアル・アレイ・ユニットは2つのユニットを持ちます。

シリアル・アレイ・ユニット0 (SAU0) は、4つのシリアル・チャンネルを持ちます。

シリアル・アレイ・ユニット1 (SAU1) は、2つのシリアル・チャンネルを持ちます。

各チャンネルは3線シリアル (簡易 SPI/CSI^注)、UART、簡易 I²C の通信機能を実現できます。

RL78/G24 で対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

<20ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UARTとして使用	簡易 I ² Cとして使用
0	0	—	—	—
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

<24, 25ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UARTとして使用	簡易 I ² Cとして使用
0	0	—	UART0 (LIN-bus 対応) ^注	—
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

<30, 32ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UARTとして使用	簡易 I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

<40, 44ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

<48, 52ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

<64ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

注 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR01ビットに1を設定した場合に使用できます。

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできませんが、チャンネル2, 3のCSI10やUART1やIIC10は使用することができます。

注意 この章では、以降の主な説明を64ピン製品のユニット、チャンネル構成で説明しています。

24.1 シリアル・アレイ・ユニットの機能

RL78/G24 で対応している各シリアル・インタフェースの特徴を示します。

24.1.1 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信／受信を行います。

シリアル・クロック (SCK) 1 本と送信、受信のシリアル・データ (SO, SI) 2 本の計 3 本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、**24.5 簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) 通信の動作**を参照してください。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

[クロック制御]

- マスタ／スレーブの選択
- 入出カクロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注
マスタ通信時 : Max. $f_{CLK}/2$ (CSI00 のみ)
 Max. $f_{CLK}/4$
スレーブ通信時 : Max. $f_{MCK}/6$

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また、以下のチャンネルの簡易 SPI (CSI) は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で SCK 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

- 30～64ピン製品 : CSI00

注 SCK サイクル・タイム (tkcy) の特性を満たす範囲内で使用してください。詳細は、**第43章 電気的特性 (TA = -40°C ~ +105°C)** または **第44章 電気的特性 (TA = -40°C ~ +125°C)** を参照してください。

24.1.2 UART (UART0-UART2)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートをを使用して) データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全二重 UART 通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み (INTP0) を組み合わせて LIN-bus にも対応可能です。

具体的な設定例は、**24.6 UART (UART0-UART2) 通信の動作**を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、UART の受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。受信時ボー・レート調整機能に対応している、UART0 のみ設定可能です。

- 30～64ピン製品: UART0

UART0 (ユニット0のチャネル0, 1) は、LIN-bus に対応しています。

[LIN-bus 機能]

- | | | |
|---|---|--|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド (BF) 検出 • シンク・フィールド測定、ボー・レート算出 | } | <p>外部割り込み (INTP0)、
タイマ・アレイ・ユニットを使用</p> |
|---|---|--|

注 9ビット・データ長は、UART0のみ対応しています。

24.1.3 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、**24.8 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信の動作**を参照してください。

[データ送受信]

- マスタ送信、マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK出力機能^注、ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- スタート・コンディション、ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACKエラー、オーバラン・エラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信、スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn (シリアル出力許可レジスタ m (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**24.8.3 データ受信 (2) 処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は、**第25章 シリアル・インタフェースIICA (IICA)**を参照してください。

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)

24.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表24-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット ^{注1}
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn) の下位8ビットまたは9ビット ^{注1, 2}
シリアル・クロック 入出力	SCK00, SCK01, SCK10, SCK11, SCK20, SCK21 端子 (簡易SPI用)、 SCL00, SCL01, SCL10, SCL11, SCL20, SCL21 端子 (簡易I ² C用)
シリアル・データ 入力	SI00, SI01, SI10, SI11, SI20, SI21 端子 (簡易SPI用)、 RxD0 (LIN-bus対応UART用)、RxD1, RxD2 端子
シリアル・データ 出力	SO00, SO01, SO10, SO11, SO20, SO21 端子 (簡易SPI用)、 TxD0 (LIN-bus対応UART用)、TxD1, TxD2 端子
シリアル・データ 入出力	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21 端子 (簡易I ² C用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> • 周辺イネーブル・レジスタ 0 (PER0) • 周辺リセット制御レジスタ 0 (PRR0) • シリアル・クロック選択レジスタ m (SPSm) (m = 0, 1) • シリアル・チャンネル許可ステータス・レジスタ m (SEm) (m = 0, 1) • シリアル・チャンネル開始レジスタ m (SSm) (m = 0, 1) • シリアル・チャンネル停止レジスタ m (STm) (m = 0, 1) • シリアル出力許可レジスタ m (SOEm) (m = 0, 1) • シリアル出力レジスタ m (SOM) (m = 0, 1) • シリアル出力レベル・レジスタ m (SOLm) (m = 0, 1) • シリアル・スタンバイ・コントロール・レジスタ m (SSCm) (m = 0) • 入力切り替え制御レジスタ (ISC) • ノイズ・フィルタ許可レジスタ 0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> • シリアル・データ・レジスタ mn (SDRmn) (mn = 00-03, 10, 11) • シリアル・モード・レジスタ mn (SMRmn) (mn = 00-03, 10, 11) • シリアル通信動作設定レジスタ mn (SCRmn) (mn = 00-03, 10, 11) • シリアル・ステータス・レジスタ mn (SSRmn) (mn = 00-03, 10, 11) • シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) (mn = 00-03, 10, 11) <ul style="list-style-type: none"> • ポート・モード・レジスタ (PMxx) • ポート・レジスタ (Pxx) • ポート入力モード・レジスタ (PIMxx) • ポート出力モード・レジスタ (POMxx) • ポート・モード・コントロールA・レジスタ (PMCAxx) • UARTループバック選択レジスタ (ULBS)

注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。

- mn = 00, 01 の場合 : 下位9ビット
- 上記以外の場合 : 下位8ビット

(注、備考は次ページに続きます)

注2. シリアル・データ・レジスタ mn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称で読み出し/書き込み可能です。

- CSIp通信時 : SIOp (CSIpデータ・レジスタ)
- UARTq受信時 : RXDq (UARTq受信データ・レジスタ)
- UARTq送信時 : TXDq (UARTq送信データ・レジスタ)
- IICr通信時 : SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、
q : UART番号 (q = 0-2)、r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

図 24 - 1 にシリアル・アレイ・ユニット 0 (SAU0) のブロック図を示します。

図 24 - 1 シリアル・アレイ・ユニット0 (SAU0) のブロック図

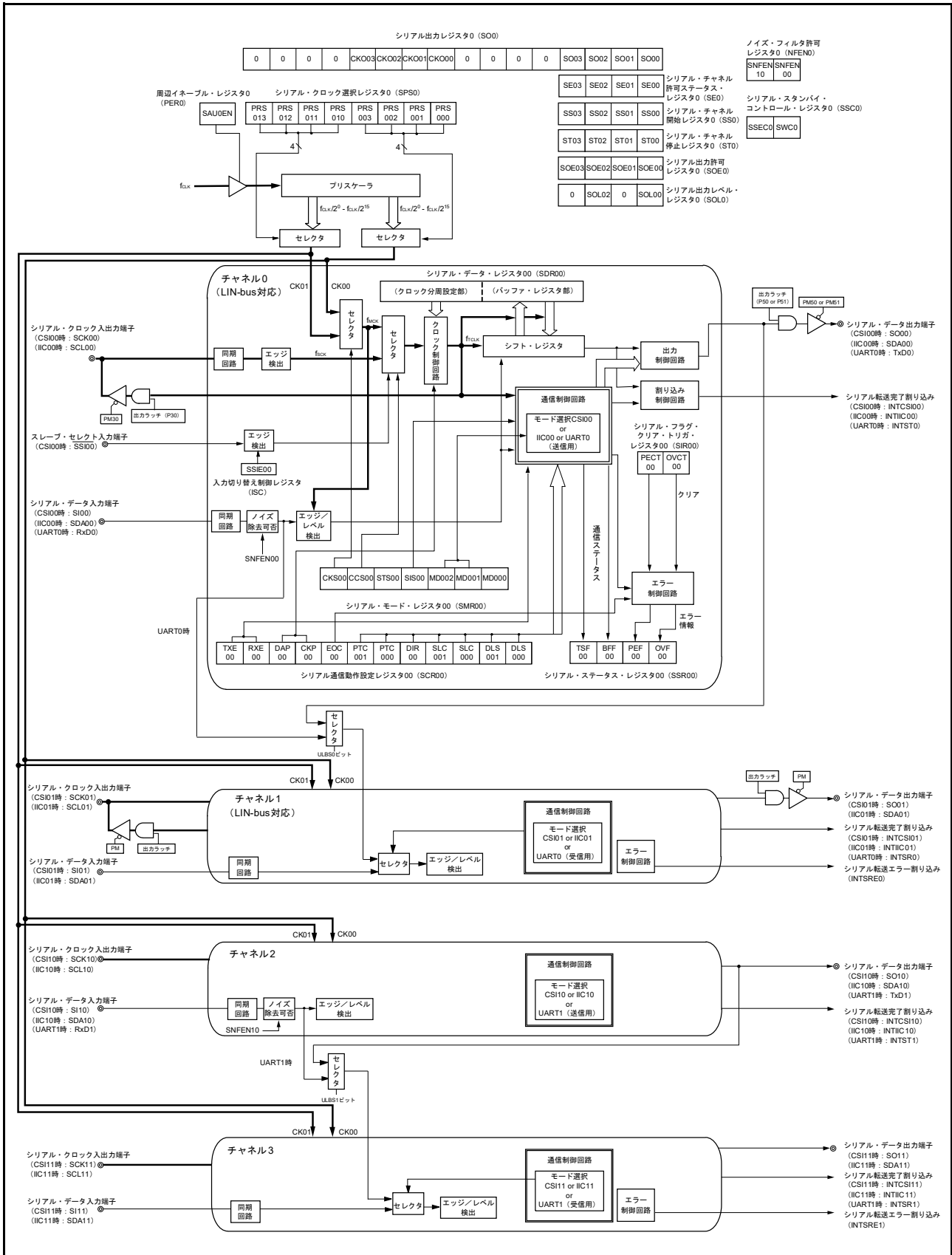
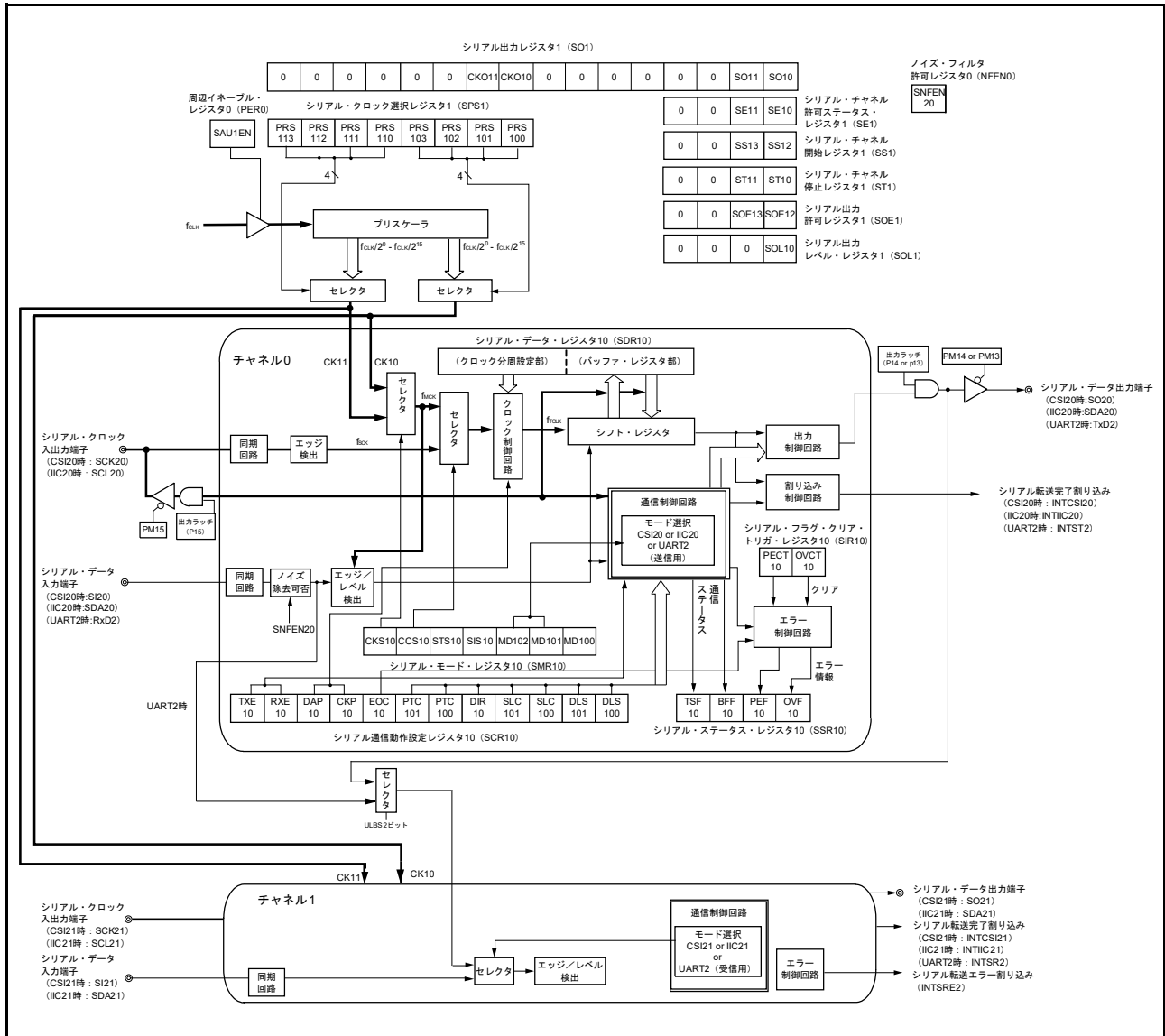


図 24 - 2 にシリアル・アレイ・ユニット 1 (SAU1) のブロック図を示します。

図 24 - 2 シリアル・アレイ・ユニット 1 (SAU1) のブロック図



24.2.1 シフト・レジスタ

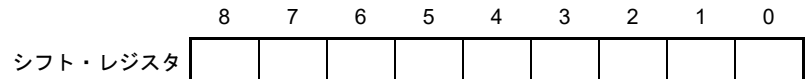
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット（ビット0-8）を使用します^注。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータを読み出し／書き込みするには、シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビットを使用します。



注 9ビット・データ長は、UART0のみ対応しています。

24.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビット

SDRmn レジスタは、チャンネル n の送受信データ・レジスタ（16ビット）です。

ビット 8-0（下位 9ビット）^{注1}、またはビット 7-0（下位 8ビット）は、送受信バッファ・レジスタとして機能し、ビット 15-9の部分は動作クロック (fMCK) の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

下位 8/9 ビットに格納するデータは、データ出力順序にかかわらず、シリアル通信動作設定レジスタ mn (SCRmn) のビット 0, 1 (DLSmn0, DLSmn1) の設定によって、次のようになります。

- 7ビット・データ長 (SDRmn レジスタのビット 0-6 に格納)
- 8ビット・データ長 (SDRmn レジスタのビット 0-7 に格納)
- 9ビット・データ長 (SDRmn レジスタのビット 0-8 に格納) ^{注1}

SDRmn レジスタは 16 ビット単位で読み出し／書き込み可能です。

また SDRmn レジスタの下位 8/9 ビットは、通信方式により、次の SFR 名称で 8 ビット単位で読み出し／書き込み可能^{注2}です。

- CSIp通信時 : SIOp (CSIp データ・レジスタ)
- UARTq受信時 : RXDq (UARTq 受信データ・レジスタ)
- UARTq送信時 : TXDq (UARTq 送信データ・レジスタ)
- IICr通信時 : SIOr (IICr データ・レジスタ)

リセット信号の発生により、0000H になります。

注1. 9ビット・データ長は、UART0のみ対応しています。

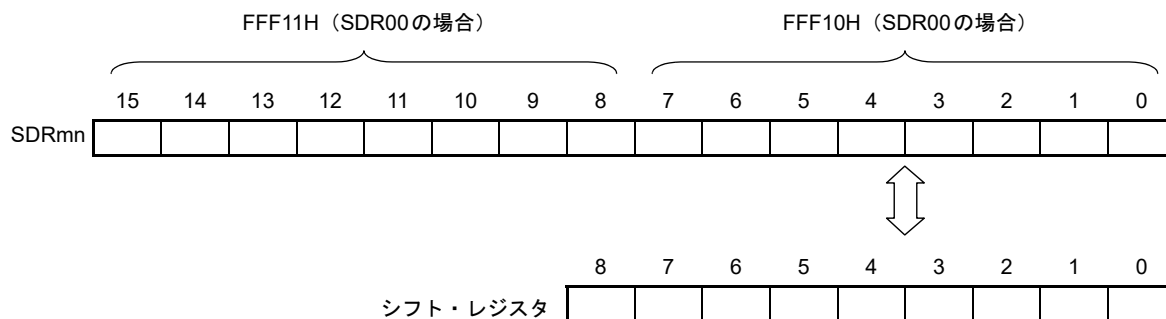
注2. 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令による SDRmn[7:0] ビットの書き換えは禁止です (SDRmn[15:9] ビットがすべて 0 にクリアされます)。

備考1. 受信完了後、ビット 0-8 内でデータ長を超える部分のビットには、0 が格納されます。

備考2. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、p : CSI 番号 (p = 00, 01, 10, 11, 20, 21)、
q : UART 番号 (q = 0-3)、r : IIC 番号 (r = 00, 01, 10, 11, 20, 21)

図24-3 シリアル・データ・レジスタ mn (SDRmn) (mn = 00, 01, 10, 11) のフォーマット

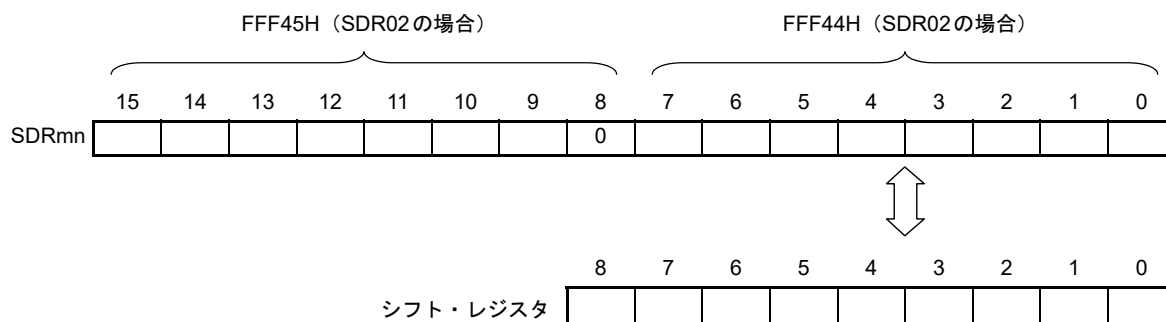
アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)
 リセット時: 0000H
 R/W属性 : R/W



備考 SDRmnレジスタの上位7ビットの機能については、24.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図24-4 シリアル・データ・レジスタ mn (SDRmn) (mn = 02, 03, 10, 11) のフォーマット

アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03),
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)
 リセット時: 0000H
 R/W属性 : R/W



注意 ビット8は、0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、24.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

24.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- シリアル・クロック選択レジスタm (SPSm) (m = 0, 1)
- シリアル・モード・レジスタmn (SMRmn) (mn = 00-03, 10, 11)
- シリアル通信動作設定レジスタmn (SCRmn) (mn = 00-03, 10, 11)
- シリアル・データ・レジスタmn (SDRmn) (mn = 00-03, 10, 11)
- シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) (mn = 00-03, 10, 11)
- シリアル・ステータス・レジスタmn (SSRmn) (mn = 00-03, 10, 11)
- シリアル・チャンネル開始レジスタm (SSm) (m = 0, 1)
- シリアル・チャンネル停止レジスタm (STm) (m = 0, 1)
- シリアル・チャンネル許可ステータス・レジスタm (SEm) (m = 0, 1)
- シリアル出力許可レジスタm (SOEm) (m = 0, 1)
- シリアル出力レジスタm (SOM) (m = 0, 1)
- シリアル出力レベル・レジスタm (SOLm) (m = 0, 1)
- シリアル・スタンバイ・コントロール・レジスタm (SSCm) (m = 0)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- UARTループバック選択レジスタ (ULBS)

24.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずSAU0ENビットに1を設定してください。シリアル・アレイ・ユニット1を使用するときは、必ずSAU1ENビットに1を設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmで使用するSFRをリードした場合は00Hまたは0000Hが読めます。
1	入カクロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、最初にSAUmEN = 1の状態、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視されず（入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート入力モード・レジスタ (PIM0, PIM1, PIM3, PIM5, PIM7)、ポート出力モード・レジスタ (POM0, POM1, POM3, POM5, POM7)、ポート・モード・コントロールA・レジスタ (PMCA0, PMCA1)、ポート・モード・レジスタ (PM0, PM1, PM3, PM5, PM7)、ポート・レジスタ (P0, P1, P3, P5, P7) は除く)。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)

注意2. ビット6, 1には、必ず0を設定してください。

24.3.2 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・アレイ・ユニット0 をリセットする場合は、SAU0RES ビットに1 を設定してください。シリアル・アレイ・ユニット1 をリセットする場合は、SAU1RES ビットに1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 6 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H

リセット時: 00H

R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES
SAUmRES	シリアル・アレイ・ユニットmのリセット制御							
0	シリアル・アレイ・ユニットmのリセット解除							
1	シリアル・アレイ・ユニットmはリセット状態 ・シリアル・アレイ・ユニットmで使用するSFRが初期化されます。							

注意 ビット7, 6, 1には、必ず0を設定してください。

24.3.3 シリアル・クロック選択レジスタ m (SPSm) (m = 0, 1)

SPSm レジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSm レジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSm レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSm レジスタは、16ビット・メモリ操作命令で設定します。またSPSm レジスタの下位8ビットは、SPSmL レジスタとして8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000Hになります。

図24-7 シリアル・クロック選択レジスタ m (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0), F0166H, F0167H (SPS1)^注

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SPSm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRSmk3	PRSmk2	PRSmk1	PRSmk0		動作クロック (CKmk) の選択 ^注					
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz	設定禁止
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz	24 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz	12 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz	6 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz	3 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz	1.5 MHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz	750 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz	375 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz	188 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz	93.8 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz	46.9 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz	23.4 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	11.7 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz	5.86 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz	2.93 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz	1.46 kHz

注 シリアル・アレイ・ユニット (SAU) 動作中にfCLKで選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAUの動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

(注意、備考は次ページに続きます)

注意 ビット15-8には、必ず0を設定してください。

備考1. fCLK : CPU／周辺ハードウェア・クロック周波数

備考2. m : ユニット番号 (m = 0, 1)

備考3. k = 0, 1

24.3.4 シリアル・モード・レジスタ mn (SMRmn) (mn = 00-03, 10, 11)

SMRmn レジスタは、チャンネル n の動作モード設定レジスタです。動作クロック (fmck) の選択、シリアル・クロック (fsck) 入力の使用可否、スタート・トリガ設定、動作モード (簡易 SPI/CSI、UART、簡易 I²C) 設定、割り込み要因の選択を行います。また UART モード時のみ、受信データのレベル反転の設定を行います。

SMRmn レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。ただし、MDmn0 ビットは、動作中でも書き換えをすることができます。

SMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0020H になります。

図 24 - 8 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03),
F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)

リセット時: 0020H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn
	7	6	5	4	3	2	1	0
	0	SISmn0	1	0	0	MDmn2	MDmn1	MDmn0
CKSmn	チャンネル n の動作クロック (fmck) の選択							
0	SPSm レジスタで設定した動作クロック CKm0							
1	SPSm レジスタで設定した動作クロック CKm1							
動作クロック (fmck) は、エッジ検出回路に使用されます。また、CCSmn ビットと SDRmn レジスタの上位 7 ビットの設定により、転送クロック (ftCLK) を生成します。								
CCSmn	チャンネル n の転送クロック (ftCLK) の選択							
0	CKSmn ビットで指定した動作クロック fmck の分周クロック							
1	SCKp 端子からの入力クロック fsck (簡易 SPI/CSI モードのスレーブ転送)							
転送クロック ftCLK は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0 の場合は、SDRmn レジスタの上位 7 ビットで動作クロック (fmck) の分周設定を行います。								
STSmn ^注	スタート・トリガ要因の選択							
0	ソフトウェア・トリガのみ有効 (簡易 SPI/CSI, UART 送信、簡易 I ² C 時に選択)							
1	RxDq 端子の有効エッジ (UART 受信時に選択)							
SSm レジスタに 1 を設定後、上記の要因が満たされてから転送開始となります。								
SISmn0 ^注	UART モードでのチャンネル n の受信データのレベル反転の制御							
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。							
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。							

図24 - 8 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (2/2)

MDmn2	MDmn1	チャンネルnの動作モードの設定
0	0	簡易SPI (CSI) モード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MDmn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01, SMR03, SMR11 レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10 レジスタの場合は、ビット13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、
q : UART番号 (q = 0-2)、r : IIC番号 (r = 00, 01, 10, 11, 20, 21)

24.3.5 シリアル通信動作設定レジスタ mn (SCRmn) (mn = 00-03, 10, 11)

SCRmn レジスタは、チャンネル n の通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmn レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SCRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0087H になります。

図 24 - 9 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03),
F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)

リセット時: 0087H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0
	7	6	5	4	3	2	1	0
	DIRmn	0	SLCmn1	SLCmn0	0	1	DLSmn1	DLSmn0
TXEmn	RXEmn	チャンネル n の動作モードの設定						
0	0	通信禁止						
0	1	受信のみを行う						
1	0	送信のみを行う						
1	1	送受信を行う						
DAPmn	CKPmn	簡易 SPI (CSI) モードでのデータとクロックの位相選択					タイプ	
0	0						1	
0	1						2	
1	0						3	
1	1						4	
UART モード、簡易 I ² C モード時には、DAPmn, CKPmn = 00B に設定してください。								
EOCmn	エラー割り込み信号 (INTSREx (x = 0-2)) のマスク制御							
0	エラー割り込み INTSREx の発生を禁止する (INTSRx が発生する)							
1	エラー割り込み INTSREx の発生を許可する (エラー発生時、INTSRx は発生しない)							
簡易 SPI (CSI) モード、簡易 I ² C モード、UART 送信時には、EOCmn = 0 に設定してください ^{注3} 。								

図24 - 9 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (2/2)

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^{注4}	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI (CSI) モード、簡易I²Cモード時には、PTCmn1, PTCmn0 = 00Bに設定してください。

DIRmn	簡易SPI (CSI)、UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

簡易I²Cモード時には、DIRmn = 0に設定してください。

SLCmn1 ^{注1}	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10のみ)
1	1	設定禁止

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みが発生します。
UART受信時、簡易I²Cモード時には、1ビット (SLCmn1, SLCmn0 = 01B) に設定してください。
簡易SPI (CSI) モード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 00B) に設定してください。
UART送信時は、1ビット (SLCmn1, SLCmn0 = 01B) または2ビット (SLCmn1, SLCmn0 = 10B) に設定してください。

DLSmn1 ^{注2}	DLSmn0	簡易SPI (CSI)、UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDRmnレジスタのビット0-8に格納) (UARTモード時のみ選択可)
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)
0	0	設定禁止

簡易I²Cモード時には、DLSmn1, DLSmn0 = 11Bに設定してください。

注1. SCR00, SCR02, SCR10レジスタのみ。

注2. SCR00, SCR01レジスタのみ。その他は1固定になります。

注3. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注4. データの内容にかかわらず0が付加されます。

注意 ビット11, 6, 3には、必ず0を設定してください (SCR01, SCR03, SCR11レジスタはビット5も0を設定してください)。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)

24.3.6 シリアル・データ・レジスタ mn (SDRmn) (mn = 00-03, 10, 11)

SDRmn レジスタは、チャンネル n の送受信データ・レジスタ (16 ビット) です。

SDR00, SDR01, SDR10, SDR11 レジスタのビット 8-0 (下位 9 ビット)、または SDR02, SDR03, SDR10, SDR11 レジスタのビット 7-0 (下位 8 ビット) は、送受信バッファ・レジスタとして機能し、ビット 15-9 (上位 7 ビット) の部分は動作クロック (fMCK) の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットに 0 を設定した場合は、動作クロックをこの SDRmn レジスタのビット 15-9 (上位 7 ビット) で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmn ビットに 1 を設定した場合は、SDR00、SDR01、SDR10、SDR11 レジスタのビット 15-9 (上位 7 ビット) に 0000000B を設定してください。SCKp 端子からの入力クロック fsck (簡易 SPI/CSI モードのスレーブ転送) が転送クロックとなります。

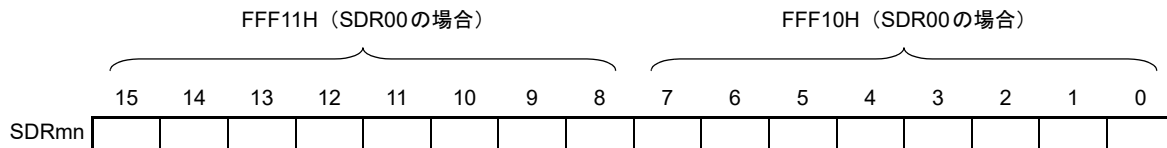
SDRmn レジスタの下位 8/9 ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

SDRmn レジスタは 16 ビット単位で読み出し/書き込み可能です。ただし、上位 7 ビットへの書き込みおよび読み出しは動作停止状態 (SEmn = 0) のときのみ有効です。動作中 (SEmn = 1) に SDRmn レジスタに書き込みを行ったときは、下位 8/9 ビットのみ値が書き込まれます。動作中に SDRmn レジスタの読み出しを行った場合、上位 7 ビットは常に 0 が読み出されます。

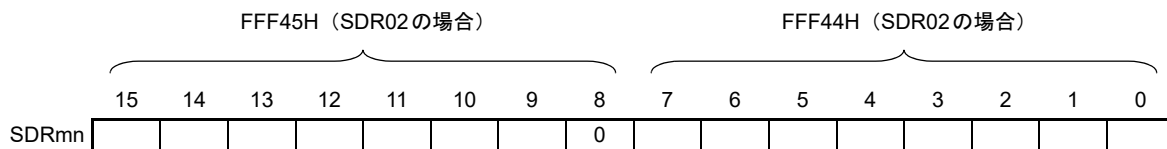
リセット信号の発生により、0000H になります。

図24 - 10 シリアル・データ・レジスタ mn (SDRmn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)
 リセット時: 0000H
 R/W属性 : R/W



アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03)
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)
 リセット時: 0000H
 R/W属性 : R/W



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	fMCK/2
0	0	0	0	0	0	1	fMCK/4
0	0	0	0	0	1	0	fMCK/6
0	0	0	0	0	1	1	fMCK/8
.
.
.
1	1	1	1	1	1	0	fMCK/254
1	1	1	1	1	1	1	fMCK/256

- 注意1. SDR02, SDR03, SDR10, SDR11レジスタのビット8は、必ず0を設定してください。
- 注意2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。
- 注意3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
- 注意4. 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令によるSDRmn[7:0]ビットの書き換えは禁止です (SDRmn[15:9]ビットがすべて0にクリアされます)。
- 備考1. SDRmnレジスタの下位8/9ビットの機能については、24.2 シリアル・アレイ・ユニットの構成を参照してください。
- 備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)

24.3.7 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) (mn = 00-03, 10, 11)

SIRmn レジスタは、チャンネル n の各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) に 1 をセットすると、シリアル・ステータス・レジスタ mn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が 0 にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐ SIRmn レジスタもクリアされます。

SIRmn レジスタは、16 ビット・メモリ操作命令で設定します。また SIRmn レジスタの下位 8 ビットは、SIRmnL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 24 - 11 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03),
F0148H, F0149H (SIR10), F014AH, F014BH (SIR11)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SIRmn	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	FECTmn	PECTmn	OVCTmn
FECTmn ^注	チャンネル n のフレーミング・エラー・フラグのクリア・トリガ							
0	クリアしない							
1	SSRmn レジスタの FEFmn ビットを 0 にクリアする							
PECTmn	チャンネル n のパリティ・エラー・フラグのクリア・トリガ							
0	クリアしない							
1	SSRmn レジスタの PEFmn ビットを 0 にクリアする							
OVCTmn	チャンネル n のオーバラン・エラー・フラグのクリア・トリガ							
0	クリアしない							
1	SSRmn レジスタの OVFmn ビットを 0 にクリアする							

注 SIR01, SIR03, SIR11 レジスタのみ。

注意 ビット 15-3 (SIR00, SIR02, SIR10 レジスタの場合は、ビット 15-2) には、必ず 0 を設定してください。

備考 1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

備考 2. SIRmn レジスタの読み出し値は常に 0000H となります。

24.3.8 シリアル・ステータス・レジスタ mn (SSRmn) (mn = 00-03, 10, 11)

SSRmn レジスタは、チャンネル n の通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。また SSRmn レジスタの下位 8 ビットは、SSRmnL レジスタとして 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図 24 - 12 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03),
F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
SSRmn	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	TSFmn	BFFmn	0	0	FEFmn	PEFmn	OVFmn
TSFmn	チャンネル n の通信状態表示フラグ							
0	通信動作停止状態または通信動作待機状態							
1	通信動作状態							
<クリア条件> <ul style="list-style-type: none"> STm レジスタの STmn ビットに 1 を設定時 (通信停止状態) または SSm レジスタの SSmn ビットに 1 を設定時 (通信待機状態) 通信動作が終了時 <セット条件> <ul style="list-style-type: none"> 通信動作を開始時 								
BFFmn	チャンネル n のバッファ・レジスタ状態表示フラグ							
0	有効なデータが SDRmn レジスタに格納されていない							
1	有効なデータが SDRmn レジスタに格納されている							
<クリア条件> <ul style="list-style-type: none"> 送信時において SDRmn レジスタからシフト・レジスタへ送信データの転送が終了したとき 受信時において SDRmn レジスタから受信データの読み出しが終了したとき STm レジスタの STmn ビットに 1 を設定時 (通信停止状態)、SSm レジスタの SSmn ビットに 1 を設定時 (通信許可状態)。 <セット条件> <ul style="list-style-type: none"> SCRmn レジスタの TXEmn ビット = 1 (各通信モードでの送信、送受信モード時) の状態で SDRmn レジスタに送信データを書き込んだとき SCRmn レジスタの RXEmn ビット = 1 (各通信モードでの受信、送受信モード時) の状態で SDRmn レジスタに受信データが格納されたとき 受信エラー時 								

図24 - 12 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (2/2)

FEFmn ^注	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART 受信時)
<クリア条件> ・ SIRmn レジスタの FECTmn ビットに1を書き込んだとき <セット条件> ・ UART 受信完了時に、ストップ・ビットが検出されないとき	
PEFmn	チャンネルnのパリティ/ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生 (UART 受信時)、またはACK未検出発生 (I ² C送信時)
<クリア条件> ・ SIRmn レジスタの PECTmn ビットに1を書き込んだとき <セット条件> ・ UART 受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) ・ I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)	
OVFmn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・ SIRmn レジスタの OVCTmn ビットに1を書き込んだとき <セット条件> ・ SCRmn レジスタの RXEmn ビット = 1 (各通信モードでの受信、送受信モード時) の状態で、受信データが SDRmn レジスタに格納されているのに、読み出しをせずに送信データの書き込みまたは次の受信データの書き込みをしたとき ・ 簡易 SPI (CSI) モードのスレーブ送信/送受信で、送信データが準備できていないとき	

注 3SSR01, SSR03, SSR11 レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー (OVFmn = 1) と検出されます。

★ 注意2. SNOOZEモード (SWC0 = 1) で簡易SPI (CSI) の受信動作を行う場合、BFFmn, OVFmn フラグは動作しません。

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

24.3.9 シリアル・チャンネル開始レジスタ m (SSm) (m = 0, 1)

SSm レジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に 1 を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が 1 にセット (動作許可状態) されます。SSmn ビットはトリガ・ビットなので、SEmn = 1 になるとすぐ SSmn ビットはクリアされます。

SSm レジスタは、16 ビット・メモリ操作命令で設定します。また SSm レジスタの下位 8 ビットは、SSmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図24-13 シリアル・チャンネル開始レジスタ m (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SS0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SS03	SS02	SS01	SS00

アドレス : F0162H, F0163H (SS1)^注

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SS1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	SS11	SS10
SSmn	チャンネルnの動作開始トリガ							
0	トリガ動作せず							
1	SEmn ビットに 1 をセットし、通信待機状態に遷移する ^注							

注 通信動作中に SSmn = 1 を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFmn フラグは状態を保持します。

注意1. SS0 レジスタのビット 15-4、SS1 レジスタのビット 15-2 には、必ず 0 を設定してください。

注意2. UART 受信の場合は、SCRmn レジスタの RXEmn ビットに 1 を設定後に、fmck の 4 クロック以上間隔をあけてから SSmn = 1 を設定してください。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

備考2. SSm レジスタの読み出し値は常に 0000H となります。

24.3.10 シリアル・チャンネル停止レジスタ m (STm) (m = 0, 1)

STm レジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に 1 を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が 0 にクリア (動作停止状態) されます。STmn ビットはトリガ・ビットなので、SEmn = 0 になるとすぐ STmn ビットはクリアされます。

STm レジスタは、16 ビット・メモリ操作命令で設定します。また STm レジスタの下位 8 ビットは、STmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図24-14 シリアル・チャンネル停止レジスタ m (STm) のフォーマット

アドレス : F0124H, F0125H (ST0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
ST0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	ST03	ST02	ST01	ST00

アドレス : F0164H, F0165H (ST1)^注

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
ST1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	ST11	ST10
STmn	チャンネルnの動作停止トリガ							
0	トリガ動作せず							
1	SEmn ビットを0にクリアし、通信動作を停止する ^注							

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVfmn フラグは状態を保持します。

注意 ST0レジスタのビット15-4、ST1レジスタのビット15-2には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

備考2. STmレジスタの読み出し値は常に0000Hとなります。

24.3.11 シリアル・チャンネル許可ステータス・レジスタ m (SEm) (m = 0, 1)

SEm レジスタは、各チャンネルのシリアル送受信動作許可/停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm) の各ビットに 1 を書き込むと、その対応ビットが 1 にセットされます。シリアル・チャンネル停止レジスタ m (STm) の各ビットに 1 を書き込むと、その対応ビットが 0 にクリアされます。

動作を許可したチャンネル n は、後述のシリアル出力レジスタ m (SOm) の CKOmn ビット (チャンネル n のシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネル n は、SOm レジスタの CKOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEm レジスタは、16 ビット・メモリ操作命令で読み出します。また SEm レジスタの下位 8 ビットは、SEmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図24-15 シリアル・チャンネル許可ステータス・レジスタ m (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
SE0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SE03	SE02	SE01	SE00

アドレス : F0160H, F0161H (SE1)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
SE1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	SE11	SE10
SEmn	チャンネルnの動作許可/停止状態の表示							
0	動作停止状態							
1	動作許可状態							

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

24.3.12 シリアル出力許可レジスタ m (SOEm) (m = 0, 1)

SOEm レジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネル n は、後述のシリアル出力レジスタ m (SOm) の SOmn ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネル n は、SOm レジスタの SOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEm レジスタは、16 ビット・メモリ操作命令で設定します。また SOEm レジスタの下位 8 ビットは、SOEmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図24 - 16 シリアル出力許可レジスタ m (SOEm) のフォーマット

アドレス : F012AH, F012BH (SOE0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SOE0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SOE03	SOE02	SOE01	SOE00

アドレス : F016AH, F016BH (SOE1)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SOE1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	SOE11	SOE10
SOEmn	チャンネルnのシリアル出力許可/停止							
0	シリアル通信動作による出力停止							
1	シリアル通信動作による出力許可							

注意 SOE0レジスタのビット15-4、SOE1レジスタのビット15-2には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

24.3.13 シリアル出力レジスタ m (SOm) (m = 0, 1)

SOm レジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタの SOmn ビットの値が、チャンネル n のシリアル・データ出力端子から出力されます。

このレジスタの CKOmn ビットの値が、チャンネル n のシリアル・クロック出力端子から出力されます。

このレジスタの SOmn ビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタの CKOmn ビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当する CKOmn, SOmn ビットに 1 を設定してください。

SOm レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、SO0 レジスタは 0F0FH、SO1 レジスタは 0303H になります。

図24-17 シリアル出力レジスタ m (SOm) のフォーマット

アドレス : F0128H, F0129H (SO0)

リセット時: 0F0FH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SO0	0	0	0	0	CKO03	CKO02	CKO01	CKO00
	7	6	5	4	3	2	1	0
	0	0	0	0	SO03	SO02	SO01	SO00

アドレス : F0168H, F0169H (SO1)

リセット時: 0303H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SO1	0	0	0	0	0	0	CKO11	CKO10
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	SO11	SO10
CKOmn	チャンネルnのシリアル・クロック出力							
0	シリアル・クロック出力値が0							
1	シリアル・クロック出力値が1							
SOmn	チャンネルnのシリアル・データ出力							
0	シリアル・データ出力値が0							
1	シリアル・データ出力値が1							

(注意、備考は次ページに続きます)

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。
SO1レジスタのビット15-10, 7-2には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)

24.3.14 シリアル出力レベル・レジスタ m (SOLm) (m = 0, 1)

SOLm レジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタは UART モード時のみ設定できます。簡易 SPI (CSI) モード、簡易 I²C モード時は、必ず対応するビットに 0 を設定してください。

このレジスタによる各チャンネル n の反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時は SOMn ビットの値がそのまま出力されます。

SOLm レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SOLm レジスタは、16 ビット・メモリ操作命令で設定します。また SOLm レジスタの下位 8 ビットは、SOLmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 24 - 18 シリアル出力レベル・レジスタ m (SOLm) のフォーマット

アドレス : F0134H, F0135H (SOL0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SOL0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	SOL02	0	SOL00

アドレス : F0174H, F0175H (SOL1)

リセット時: 0000H

R/W属性 : R/W

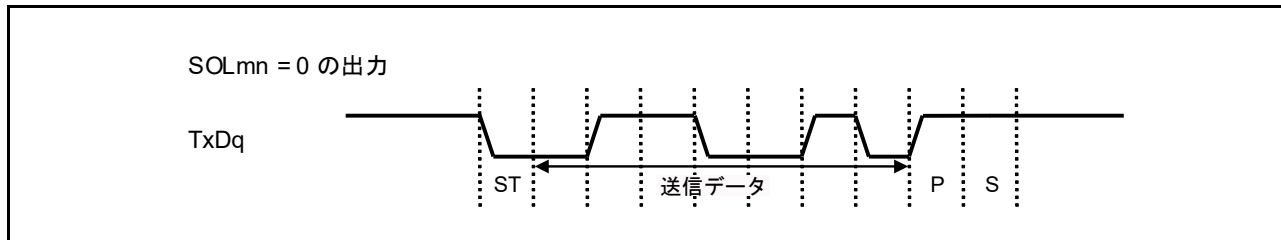
略号	15	14	13	12	11	10	9	8
SOL1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	SOL10
SOLmn	UARTモードでのチャンネルnの送信データのレベル反転の選択							
0	通信データは、そのまま出力されます。							
1	通信データは、反転して出力されます。							

注意 SOL0レジスタのビット15-3, 1、SOL1レジスタのビット15-1には、必ず0を設定してください。

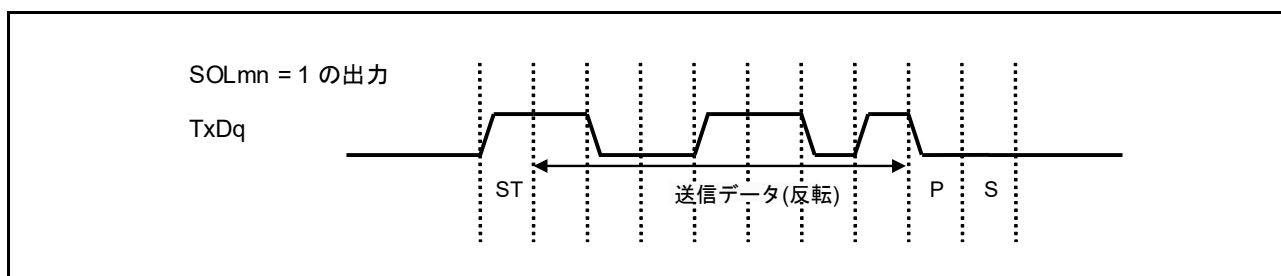
図 24 - 19 に UART 送信時、送信データのレベル反転例を示します。

図 24 - 19 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)

24.3.15 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) (m = 0)

SSC0 レジスタは、CSI00、UART0 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZE モード) を制御するレジスタです。

SSCm レジスタは、16 ビット・メモリ操作命令で設定します。また SSCm レジスタの下位 8 ビットは、SSCmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

注意 SNOOZE モード時の最大転送レートは、次のようになります。

- CSI00 の場合 : ~ 1 Mbps
- UART0 の場合 : ~ 115.2 kbps (FWKUP = 1, fCLK = fIH (32 MHz) 設定時)

図 24 - 20 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) のフォーマット

アドレス : F0138H, F0139H (SSC0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SSCm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZE モード時の通信エラー割り込み発生許可/停止の選択
0	エラー割り込み (INTSRE0/INTSRE2) 発生許可
1	エラー割り込み (INTSRE0/INTSRE2) 発生停止
<ul style="list-style-type: none"> • SNOOZE モード時の UART 受信で、SWCm = 1かつ EOCmn = 1のときのみ、SSECm ビットに 1/0 を設定することができます。その他の場合は、SSECm ビットに 0 を設定してください。 • SSECm, SWCm = 10B は設定禁止です。 	

SWCm	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する
<ul style="list-style-type: none"> • STOP モード中のハードウェア・トリガ信号で、STOP モードを解除し、CPU を動作させることなく、簡易 SPI (CSI) / UART の受信動作を行います (SNOOZE モード)。 • SNOOZE モード機能は、CPU / 周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • SNOOZE モードを使用する場合でも、通常動作モード時は SWCm ビットに 0 を設定し、STOP モードへ移行する直前に SWCm ビットを 1 に変更してください。 また STOP モードから通常動作モードへ復帰後、必ず SWCm ビットを 0 に変更してください。 	

表24 - 2 SNOOZEモードでUART受信したときの割り込み

EOCmn ビット	SSECm ビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0)

24.3.16 入力切り替え制御レジスタ (ISC)

ISC1, ISC0 ビットは、UART0 で LIN-bus 通信動作を実現するとき、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると、シリアル・データ入力 (RxD0) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって、ウェイクアップ信号を INTP0 割り込みで検出できます。

ビット1に1を設定すると、シリアル・データ入力 (RxD0) 端子の入力信号がタイマ入力として選択されます。これによって、ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅をタイマで測定できます。

SSIE00 ビットは、CSI00 通信かつスレーブ・モード時にチャンネル0の $\overline{\text{SSI00}}$ 端子入力を制御するビットです。

$\overline{\text{SSI00}}$ 端子にハイ・レベルが入力されている期間は、シリアル・クロックが入力されても送受信動作を行いません。 $\overline{\text{SSI00}}$ 端子にロウ・レベルが入力されている期間は、シリアル・クロックが入力されると各モード設定に従って送受信動作を行います。

ISC レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24-21 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00 注	0	0	0	0	0	ISC1	ISC0
SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0の $\overline{\text{SSI00}}$ 入力の設定							
0	$\overline{\text{SSI00}}$ 端子入力の無効							
1	$\overline{\text{SSI00}}$ 端子入力の有効							
ISC1	タイマ・アレイ・ユニットのチャンネル3の入力切り替え							
0	TI03端子の入力信号をタイマ入力とする (通常動作)							
1	RxD0端子の入力信号をタイマ入力とする (ウェイクアップ信号検出ブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅測定)							
ISC0	外部割り込み (INTP0) の入力切り替え							
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)							
1	RxD0端子の入力信号を外部割り込み入力とする (ウェイクアップ信号検出)							

注 20～25ピン製品は0を設定してください。

注意 ビット6-2には、必ず0を設定してください。

24.3.17 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0 レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易 SPI (CSI)、簡易 I²C 通信に使用する端子は、対応するビットに 0 を設定して、ノイズ・フィルタを無効にしてください。

UART 通信に使用する端子は、対応するビットに 1 を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2 クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけを行います。

NFEN0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 22 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0070H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。 RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。 RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7-5, 3, 1には、必ず0を設定してください。

24.3.18 シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・アレイ・ユニット入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx)、7.3.2 ポート・レジスタ (Pxx)、7.3.4 ポート入力モード・レジスタ (PIMxx)、7.3.5 ポート出力モード・レジスタ (POMxx) および 7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

24.3.19 UARTループバック選択レジスタ (ULBS)

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。UART チャンネルごとに制御できるビットを持ち、各チャンネルに該当するビットに1を設定することで、UART ループバック機能が選択され、送信シフトレジスタからの出力を受信シフトレジスタにループバックします。

ULBS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24-23 UARTループバック選択レジスタ (ULBS) のフォーマット

アドレス : F0079H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
ULBS	0	0	0	0	0	ULBS2	ULBS1	ULBS0

ULBSn	UARTループバック機能の選択
0	シリアル・アレイ・ユニットnのRxDn端子の状態を受信シフトレジスタに入力
1	送信シフトレジスタの出力を受信シフトレジスタにループバック

注意 ビット7-3には、0を設定してください。

備考 n = 0-2

24.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

24.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ 0 (PER0) で行います。

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット 0 を停止するときは、必ず SAU0EN ビットに 0 を設定してください。シリアル・アレイ・ユニット 1 を停止するときは、必ず SAU1EN ビットを設定してください。

図24-24 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定

(a) 周辺イネーブル・レジスタ0 (PER0) : 停止するSAUmのビットのみ0を設定する



注意1. SAUmEN = 0 の場合は、シリアル・アレイ・ユニット m の制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ (PIM0, PIM1, PIM3, PIM5, PIM7)
- ポート出力モード・レジスタ (POM0, POM1, POM3, POM5, POM7)
- ポート・モード・コントロールA・レジスタ (PMCA0, PMCA1)
- ポート・モード・レジスタ (PM0, PM1, PM3, PM5, PM7)
- ポート・レジスタ (P0, P1, P3, P5, P7)

注意2. ビット6, 1には、必ず0にしてください。

備考 × : シリアル・アレイ・ユニットでは使用しないビット (ほかの周辺機能の設定による)
0/1 : ユーザの用途に応じて0または1を設定

24.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

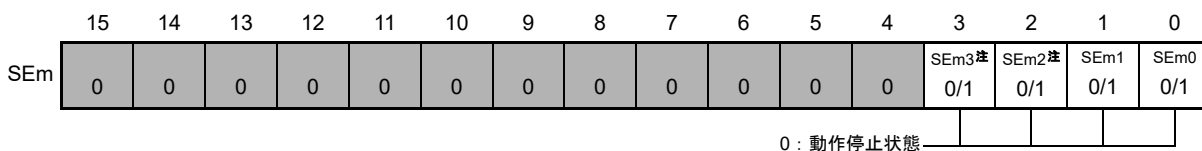
図24-25 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタ m (STm) : 各チャンネルの通信／カウント停止の許可を設定するレジスタ



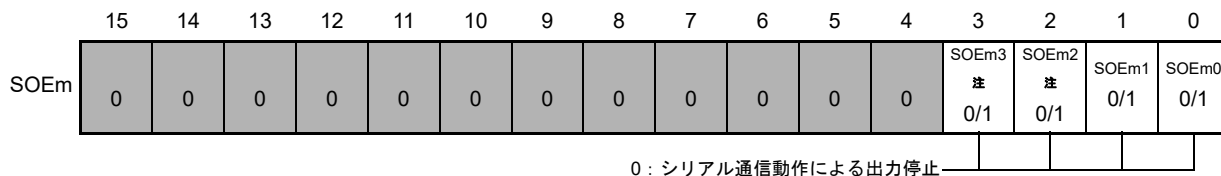
※ STmn ビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmn ビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタ m (SEm) : 各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ



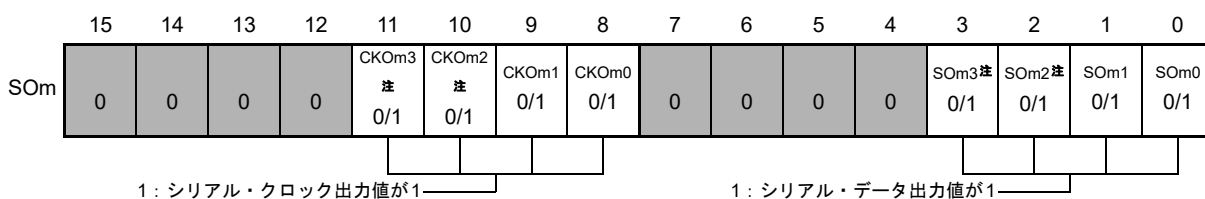
※ SEm レジスタはRead Onlyのステータス・レジスタであり、STm レジスタにて動作停止にします。
動作を停止したチャンネルは、SOM レジスタのCKOmn ビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ m (SOEm) : 各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ



※ シリアル出力を停止したチャンネルは、SOM レジスタのSOmn ビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ m (SOM) : 各チャンネルのシリアル出力のバッファ・レジスタ



※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOMn ビットに1を設定してください。

注 シリアル・アレイ・ユニット0の場合のみ

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

備考2. ■ : 設定不可 (初期値を設定)、0/1 : ユーザの用途に応じて0または1を設定

24.5 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) 通信の動作

簡易SPIは、シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

[クロック制御]

- マスタ/スレーブの選択
- 入出カクロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注

マスタ通信時	:	Max. fCLK/2 (CSI00のみ)
		Max. fCLK/4
スレーブ通信時	:	Max. fMCK/6

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また、以下のチャンネルの簡易SPI (CSI) は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。CSI00のみ設定可能です。

- 30～64ピン製品: CSI00

注 SCKサイクル・タイム (tkcy) の特性を満たす範囲内で使用してください。詳細は、**第43章 電気的特性** (TA = -40°C ~ +105°C) または**第44章 電気的特性** (TA = -40°C ~ +125°C) を参照してください。

注意 チップセレクト信号を追加する場合は、ポート機能を使用してください。

簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) に対応しているチャンネルは、SAU0 のチャンネル 0-3 と SAU1 のチャンネル 0-1 です。

<20ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UARTとして使用	簡易 I ² Cとして使用
0	0	—	—	—
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

<24, 25ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UARTとして使用	簡易 I ² Cとして使用
0	0	—	UART0 (LIN-bus 対応) 注	—
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

<30, 32ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UARTとして使用	簡易 I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

<40, 44ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

<48, 52ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

<64ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

注 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR01ビットに1を設定した場合に使用できます。

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) の通信動作は、以下の7種類があります。

- マスタ送信 (24.5.1 を参照)
- マスタ受信 (24.5.2 を参照)
- マスタ送受信 (24.5.3 を参照)
- スレーブ送信 (24.5.4 を参照)
- スレーブ受信 (24.5.5 を参照)
- スレーブ送受信 (24.5.6 を参照)
- SNOOZEモード機能 (24.5.7 を参照)

24.5.1 マスタ送信

マスタ送信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラからほかのデバイスヘータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	なし					
転送データ長	7ビットまたは8ビット					
転送レート注	Max. $f_{CLK}/2$ [Hz] (CSI00のみ)、 $f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] f_{CLK} : システム・クロック周波数					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合: シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合: シリアル・クロックの動作開始の半クロック前からデータ出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合: 非反転 • CKPmn = 1の場合: 反転					
データ方向	MSB ファーストまたはLSB ファースト					

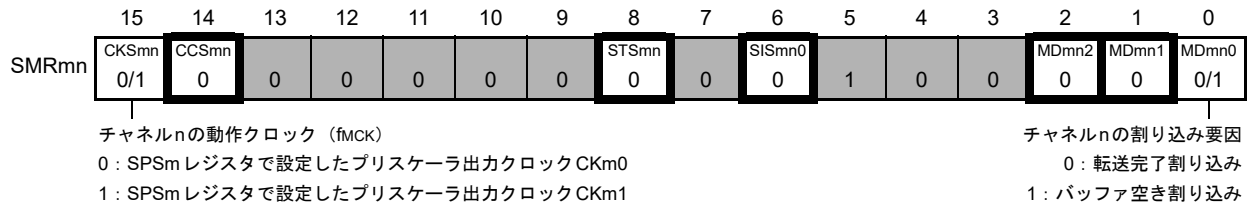
注 この条件を満たし、かつ電氣的特性の周辺機能特性（第43章 電氣的特性 (TA = -40°C ~ +105°C) または第44章 電氣的特性 (TA = -40°C ~ +125°C) を参照) を満たす範囲で使用してください。

備考 m: ユニット番号 (m = 0, 1)、n: チャンネル番号 (n = 0-3)、mn = 00-03, 10, 11

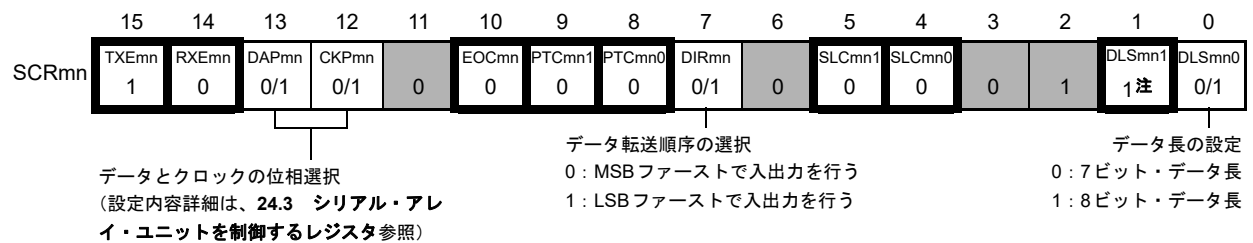
(1) レジスタ設定

図24 - 26 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のマスタ送信時のレジスタ設定内容例

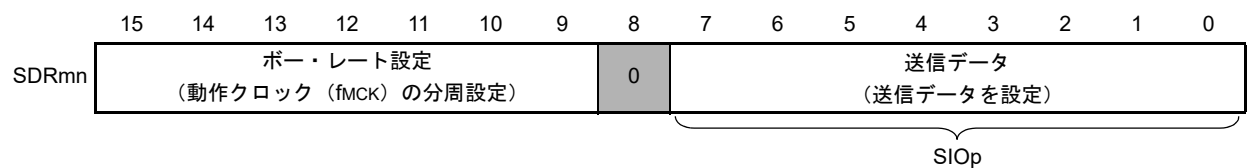
(a) シリアル・モード・レジスタ mn (SMRmn)



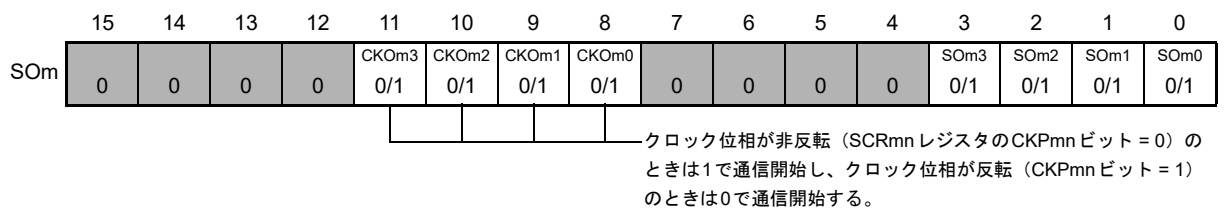
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



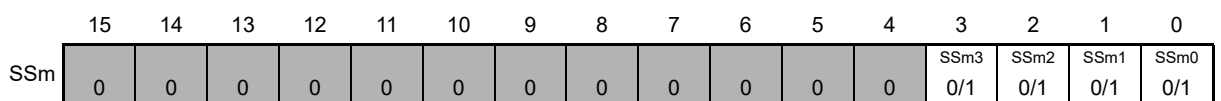
(d) シリアル出力レジスタ m (SOm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1を設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

(備考は次ページに続きます)

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、
mn = 00-03, 10, 11

備考2. : 簡易SPI (CSI) マスタ送信モードでは設定固定 : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図24 - 27 マスタ送信の初期設定手順

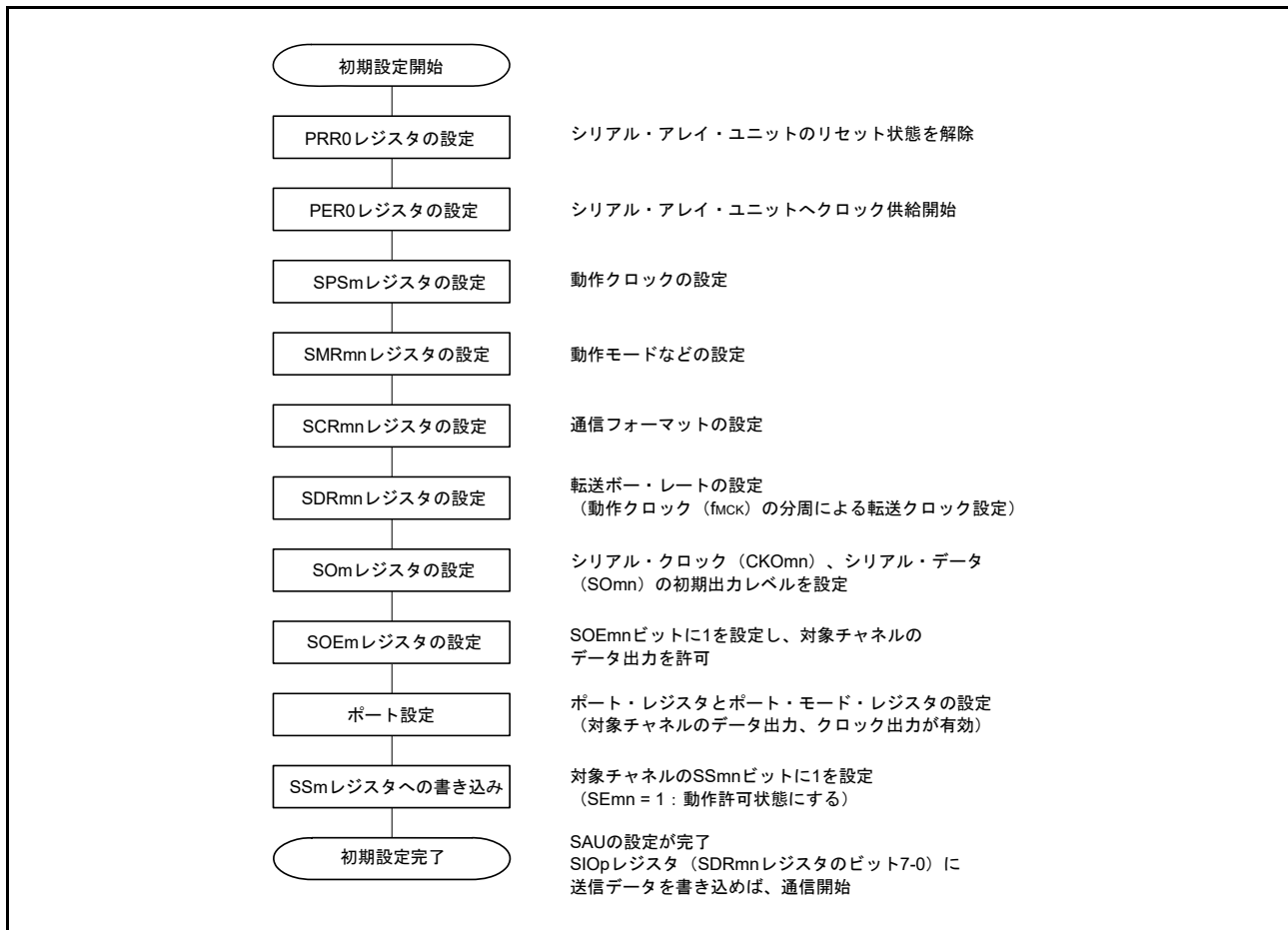


図24 - 28 マスタ送信の中断手順

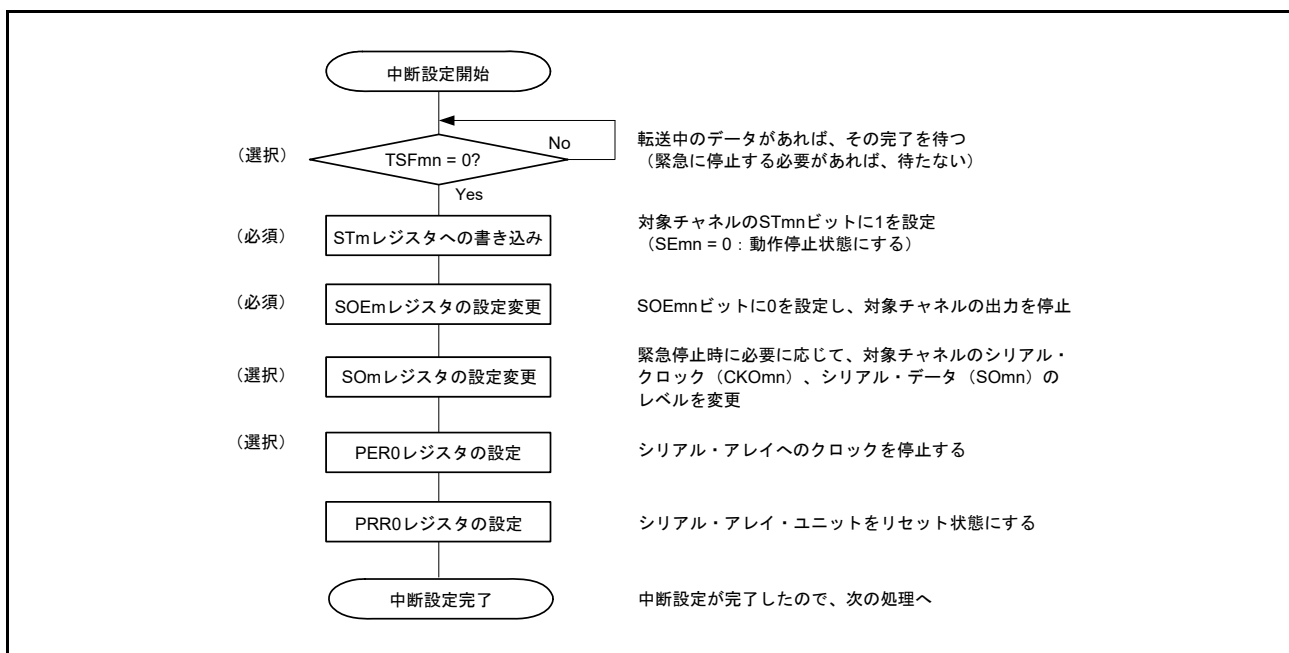
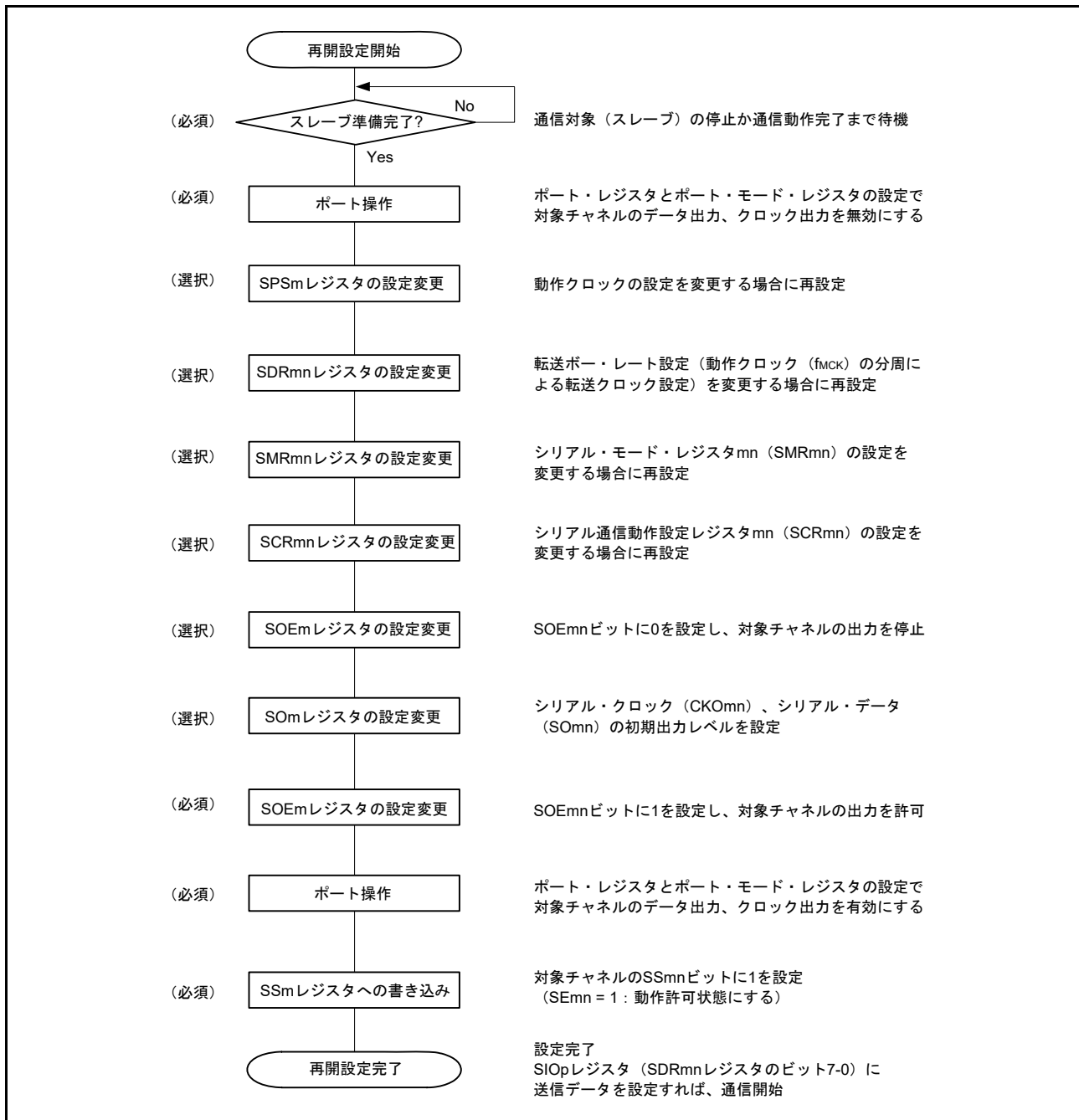


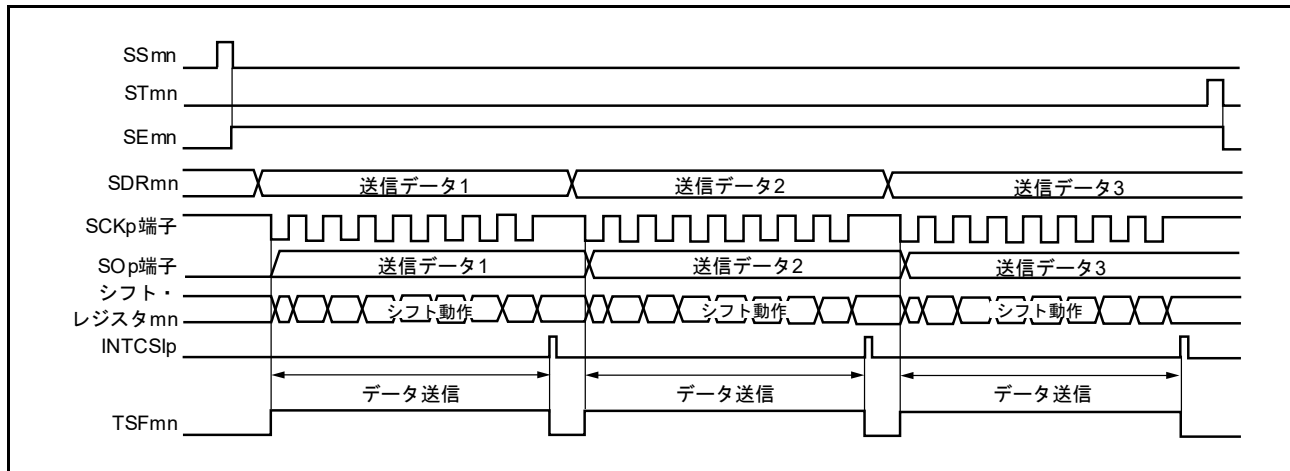
図 24 - 29 マスタ送信の再開設定手順



備考 中断設定でPRR0を書き換えてリセット状態にした場合は、通信対象 (スレーブ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

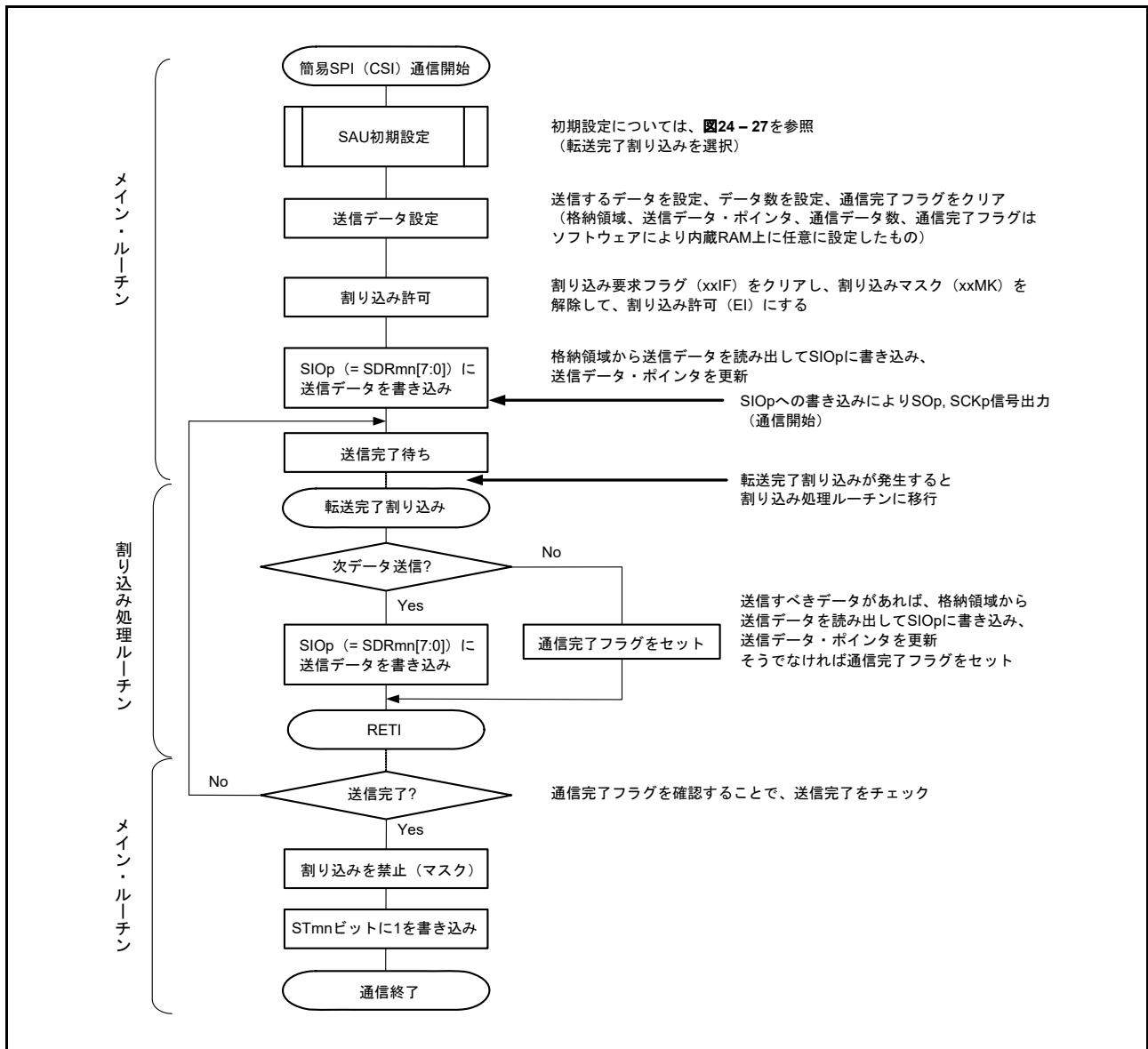
(3) 処理フロー (シングル送信モード時)

図24 - 30 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



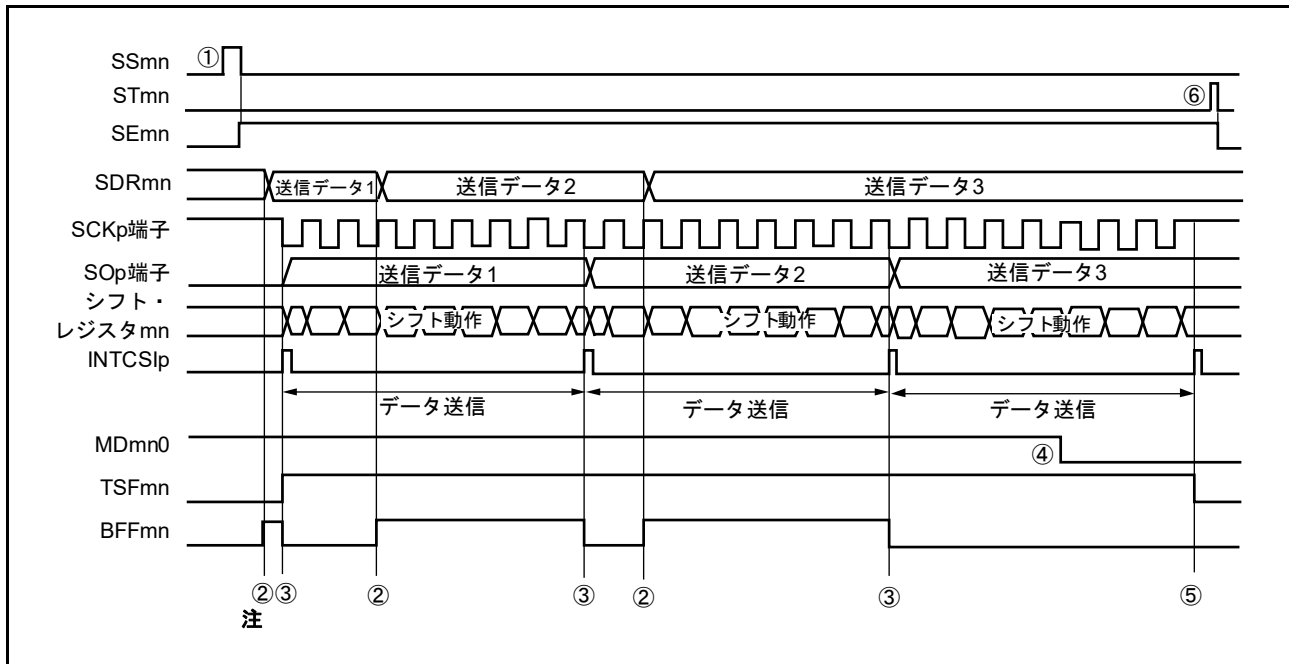
備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 31 マスタ送信 (シングル送信モード時) のフロー・チャート



(4) 処理フロー (連続送信モード時)

図24-32 マスタ送信 (連続送信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)

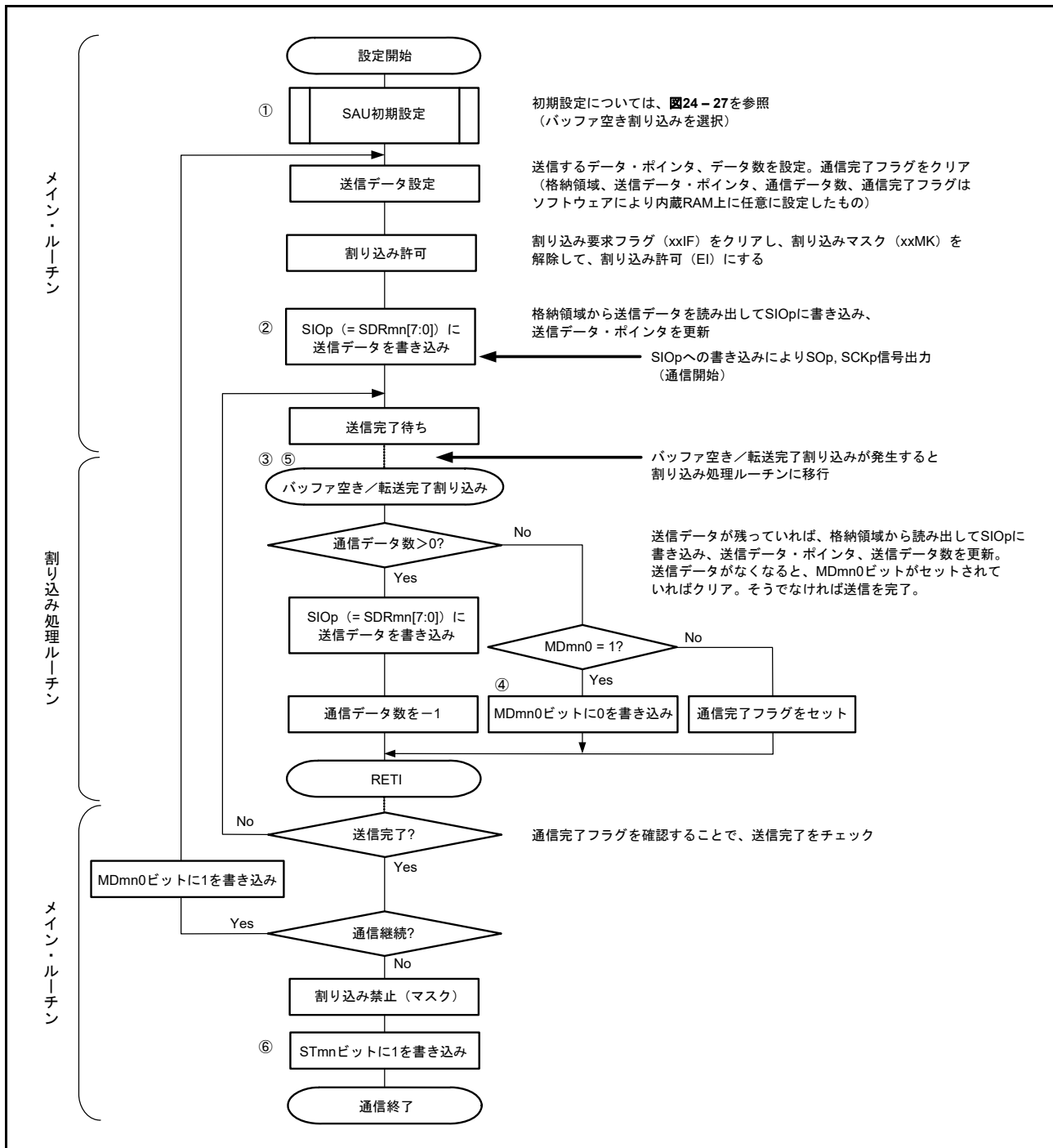


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI 番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 33 マスタ送信 (連続送信モード時) のフロー・チャート



備考 図中の①～⑥は、図24 - 32 マスタ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①～⑥に対応しています。

24.5.2 マスタ受信

マスタ受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラがほかのデバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7ビットまたは8ビット					
転送レート注	Max. fCLK/2 [Hz]（CSI00のみ）、fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128) [Hz] fCLK：システム・クロック周波数					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

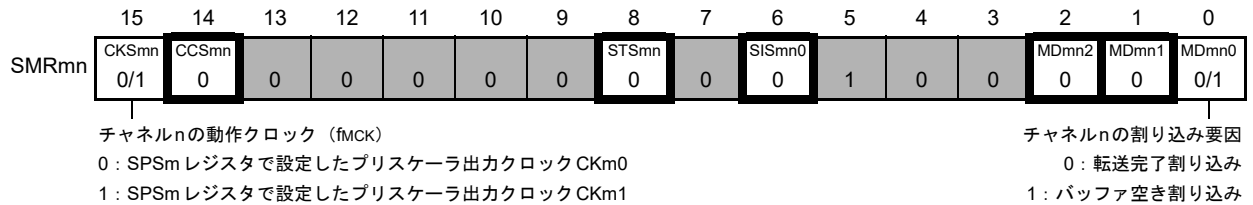
注 この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（TA = -40°C ~ +105°C）または第44章 電気的特性（TA = -40°C ~ +125°C）を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、mn = 00-03, 10, 11

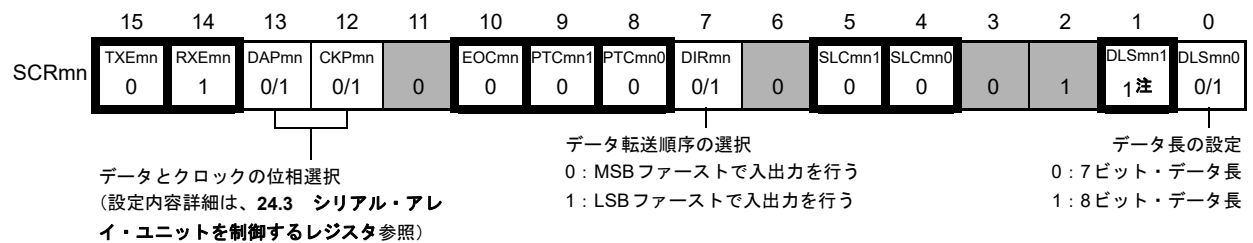
(1) レジスタ設定

図24 - 34 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のマスタ受信時のレジスタ設定内容例

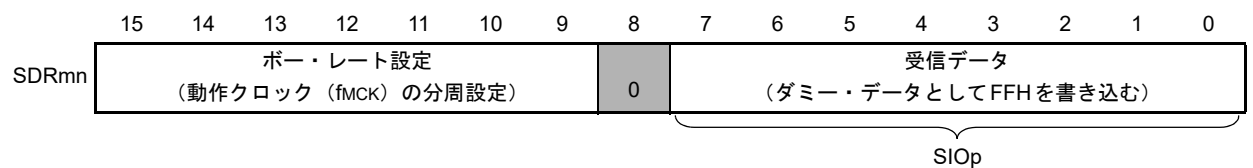
(a) シリアル・モード・レジスタ mn (SMRmn)



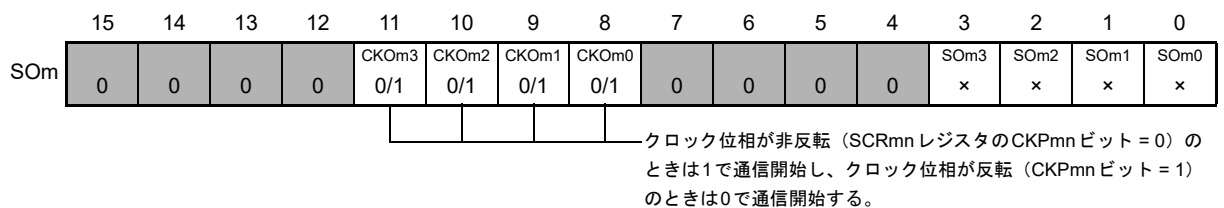
(b) シリアル通信動作設定レジスタ mn (SCRmn)



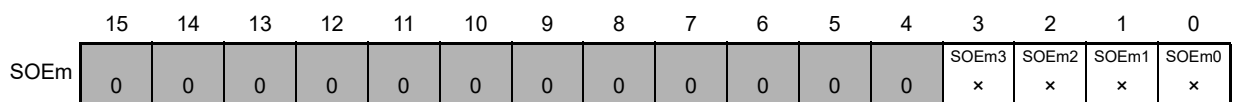
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



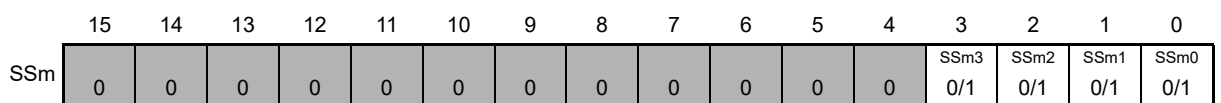
(d) シリアル出力レジスタ m (SOm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

(備考は次ページに続きます)

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、
mn = 00-03, 10, 11

備考2. : 簡易SPI (CSI) マスタ受信モードでは設定固定 : 設定不可 (初期値を設定)
× : このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図24 - 35 マスタ受信の初期設定手順

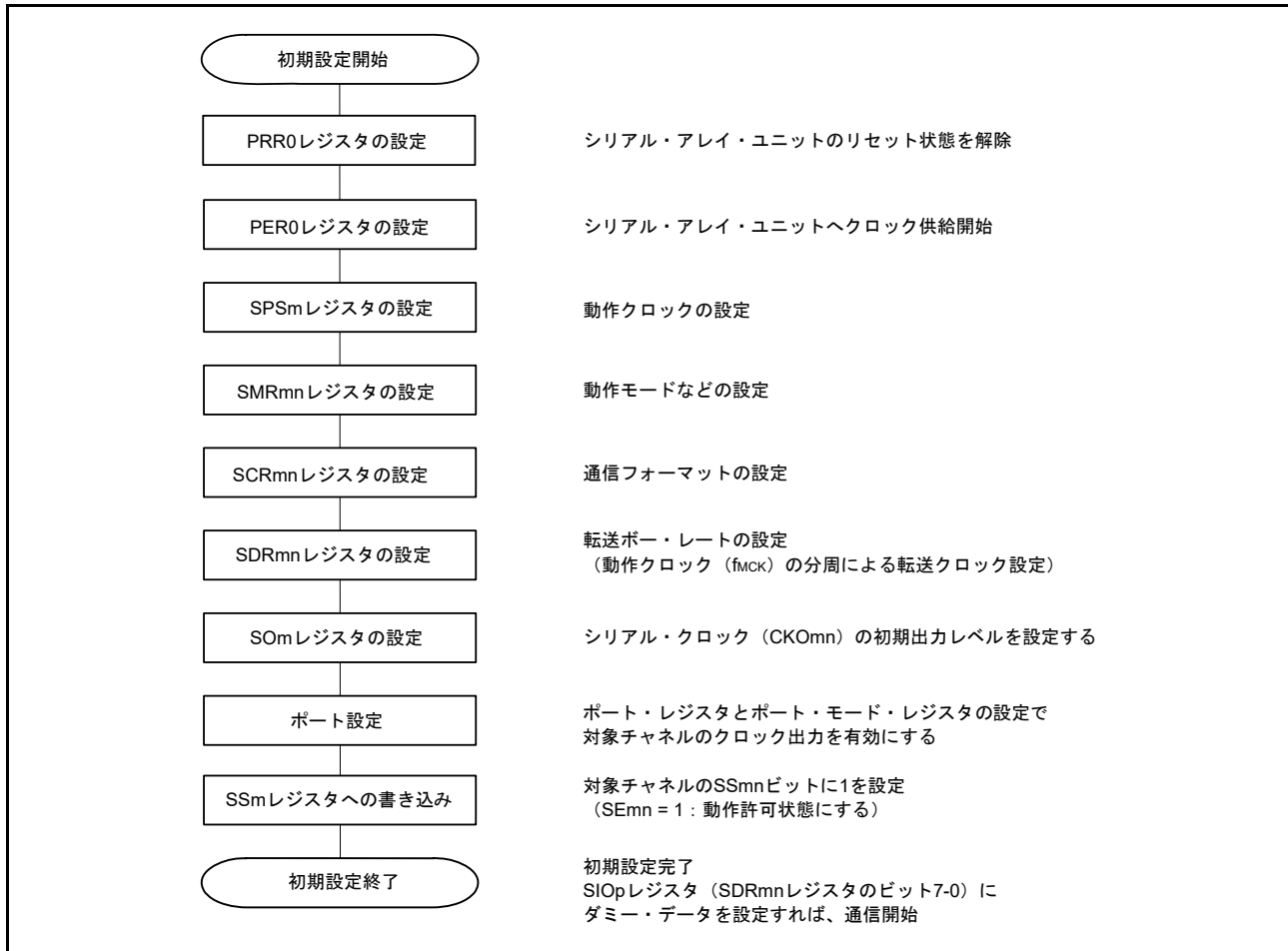


図24 - 36 マスタ受信の中断手順

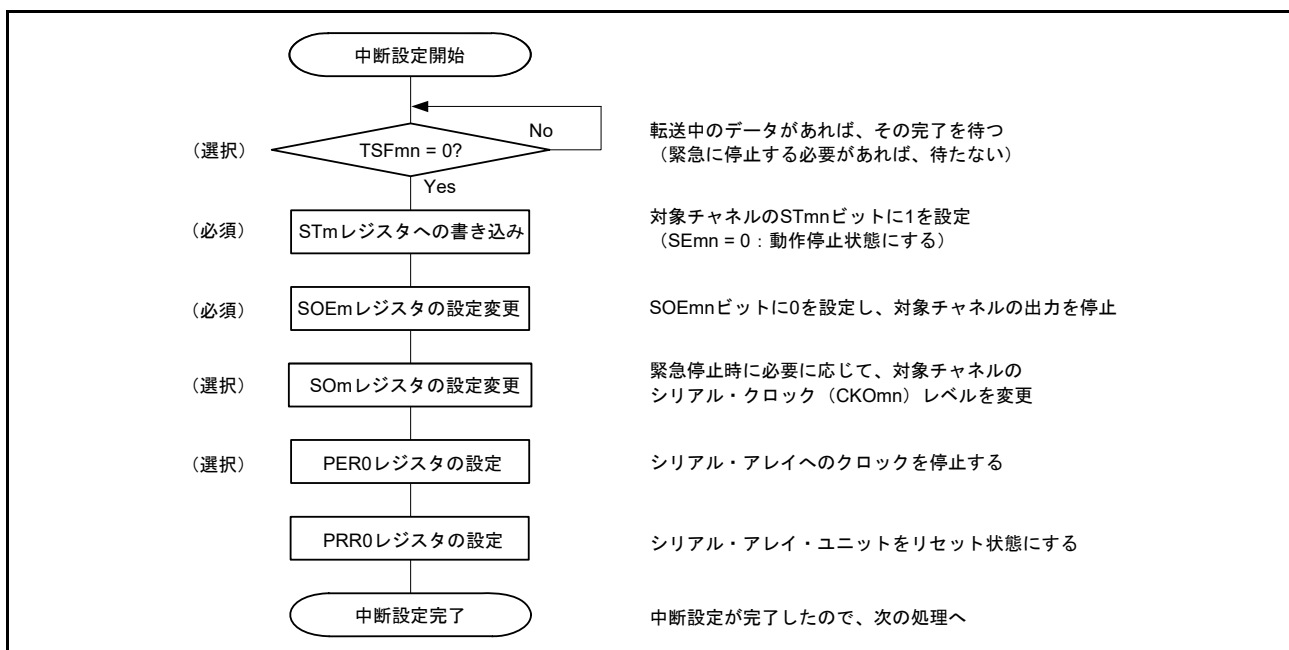
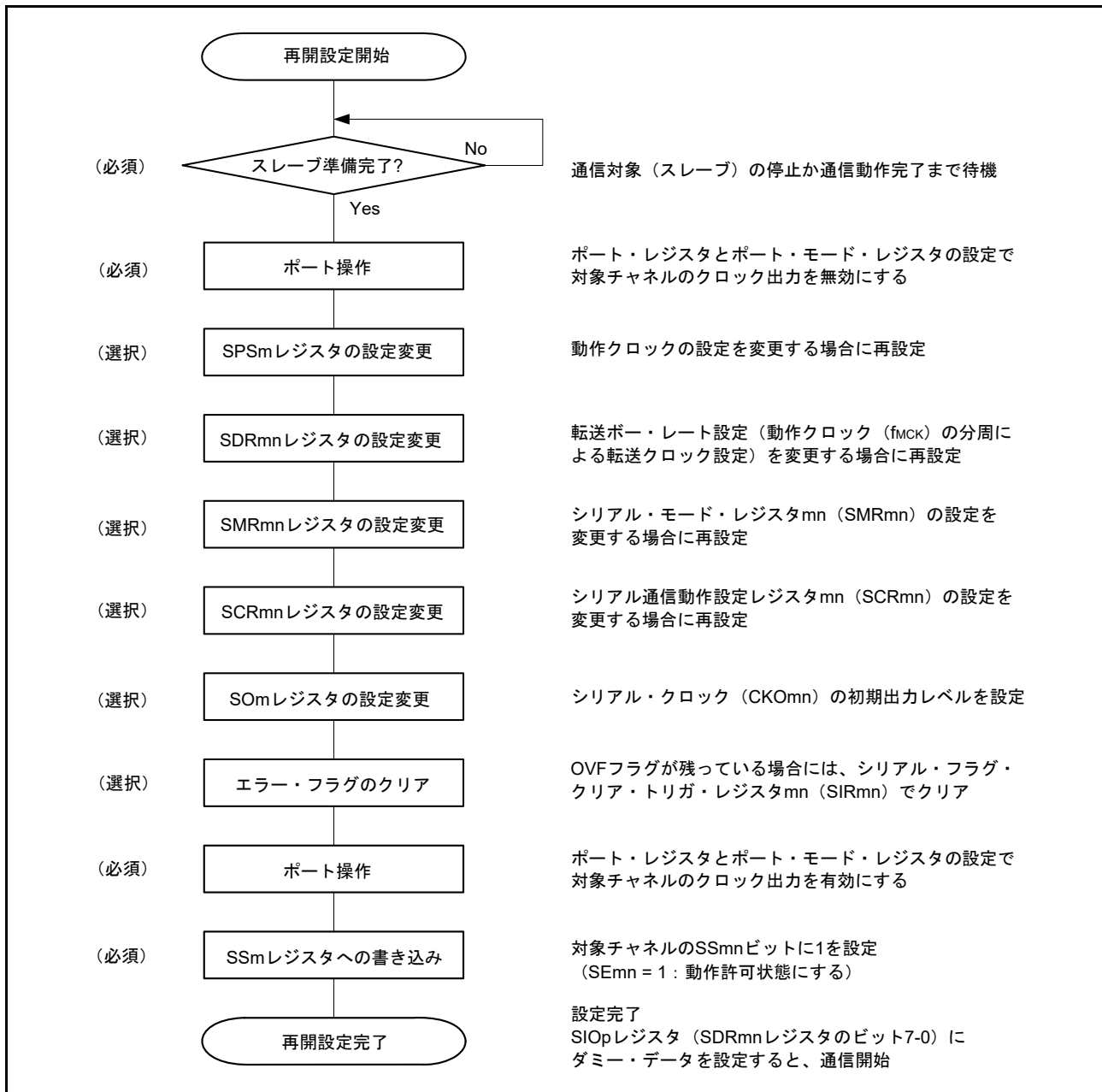


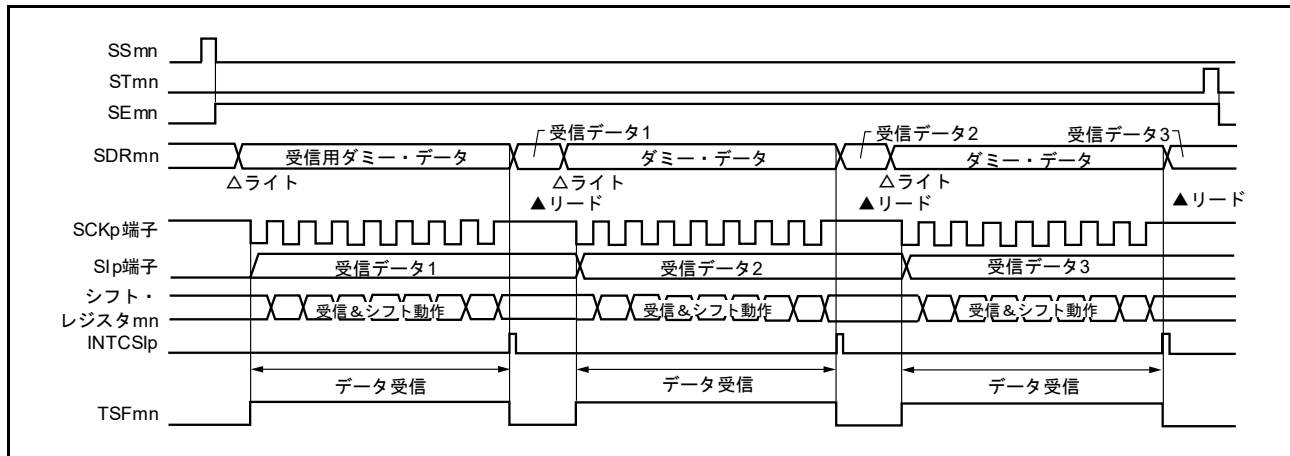
図24 - 37 マスタ受信の再開設定手順



備考 中断設定でPRR0を書き換えてリセット状態にした場合は、通信対象 (スレーブ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

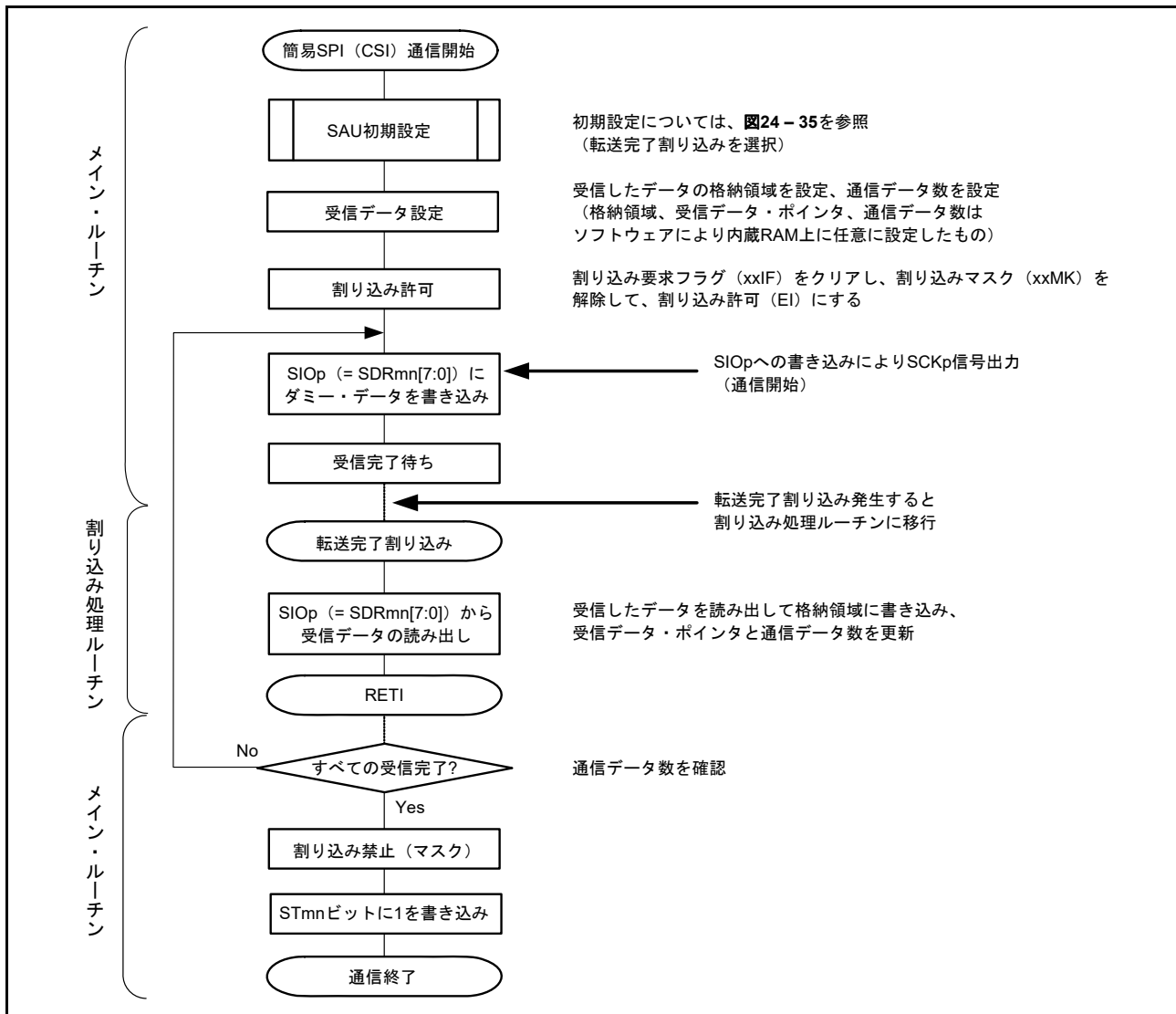
(3) 処理フロー (シングル受信モード時)

図24-38 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



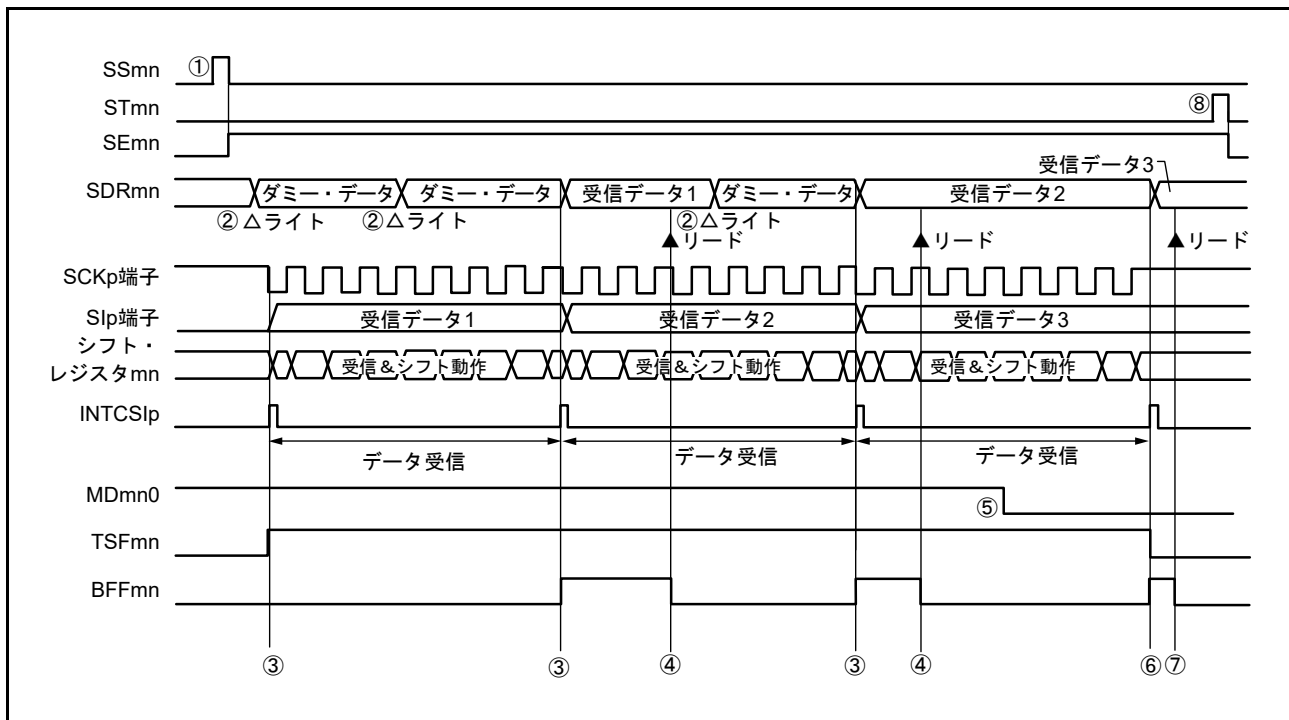
備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 39 マスタ受信 (シングル受信モード時) のフロー・チャート



(4) 処理フロー (連続受信モード時)

図24 - 40 マスタ受信 (連続受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



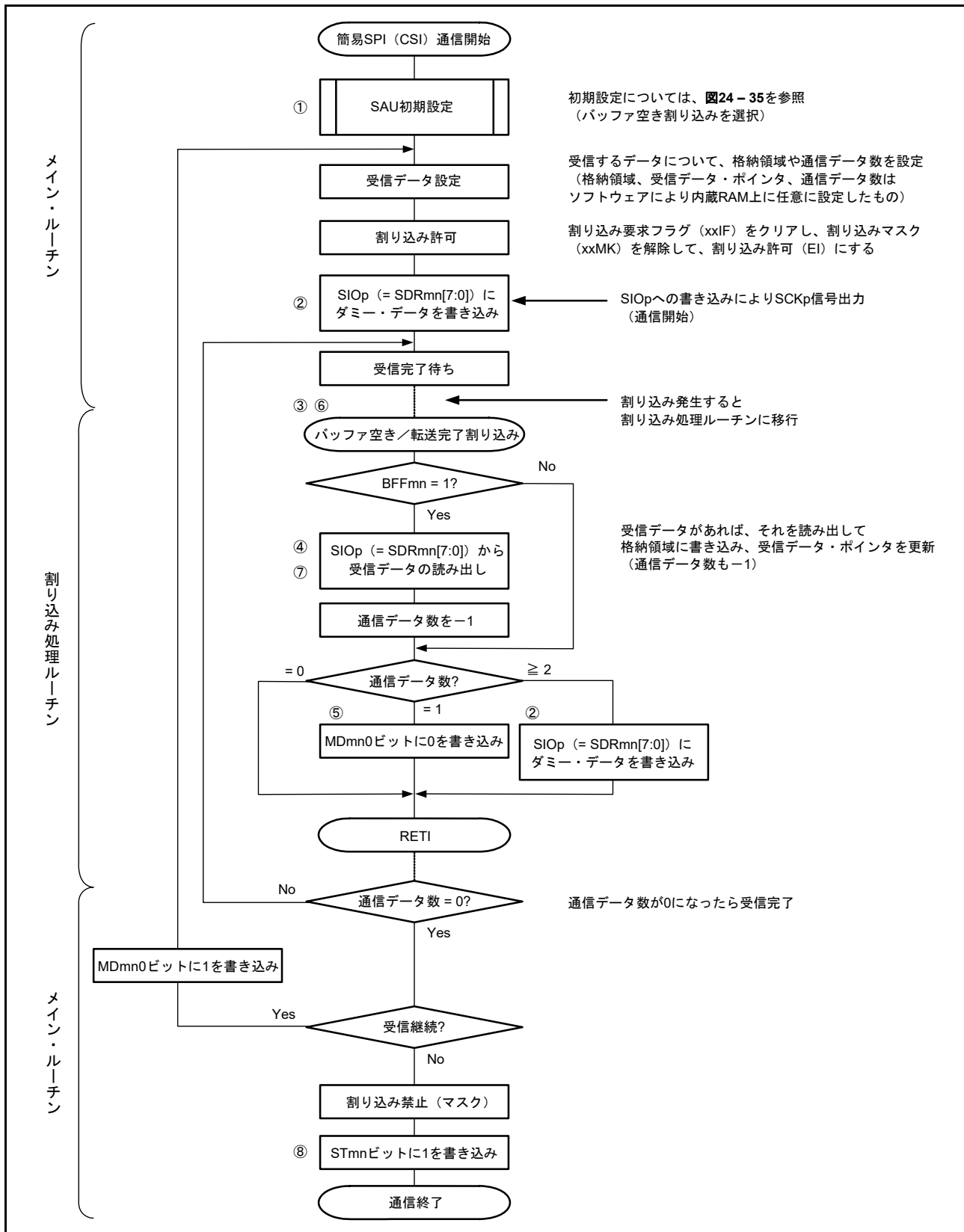
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、図24 - 41 マスタ受信 (連続受信モード時) のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24-41 マスタ受信 (連続受信モード時) のフロー・チャート



備考 図中の①～⑧は、**図24-40** マスタ受信 (連続受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①～⑧に対応しています。

24.5.3 マスタ送受信

マスタ送受信とは、この RL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラとほかのデバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7ビットまたは8ビット					
転送レート注	Max. fCLK/2 [Hz]（CSI00のみ）、fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128) [Hz] fCLK：システム・クロック周波数					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

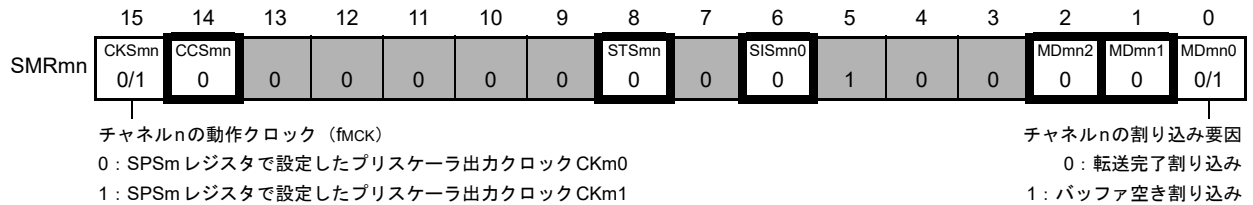
注 この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（TA = -40°C ~ +105°C）または第44章 電気的特性（TA = -40°C ~ +125°C）を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21）、mn = 00-03, 10, 11

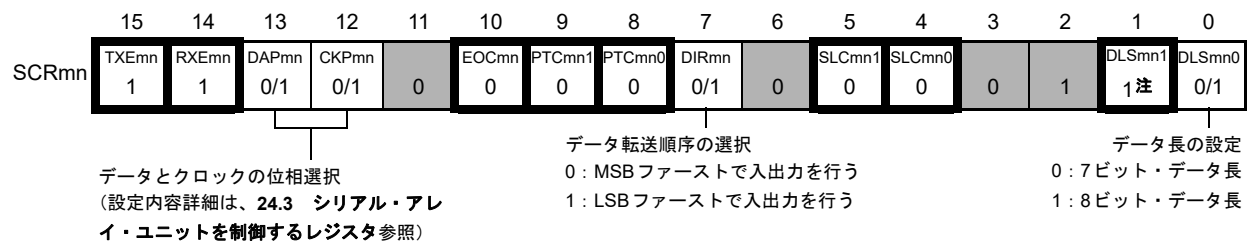
(1) レジスタ設定

図24 - 42 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のマスタ送受信時のレジスタ設定内容例

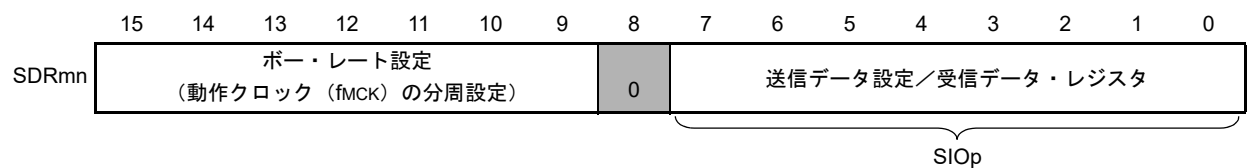
(a) シリアル・モード・レジスタ mn (SMRmn)



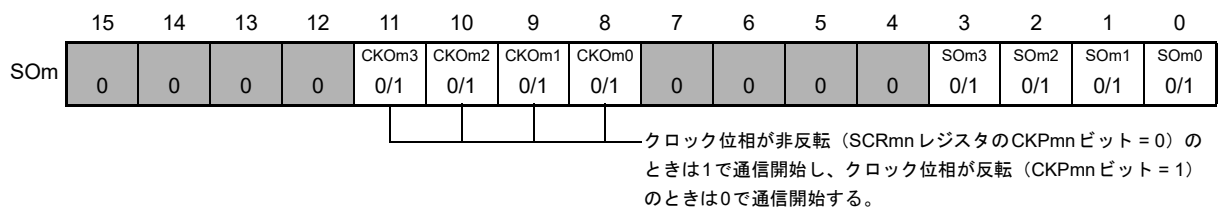
(b) シリアル通信動作設定レジスタ mn (SCRmn)



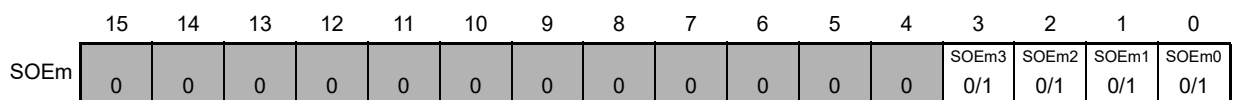
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



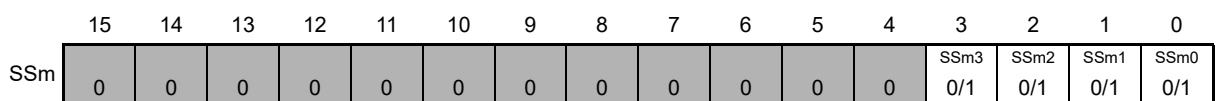
(d) シリアル出力レジスタ m (SOm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1を設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

(備考は次ページに続きます)

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、
mn = 00-03, 10, 11

備考2. : 簡易SPI (CSI) マスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図24 - 43 マスタ送受信の初期設定手順

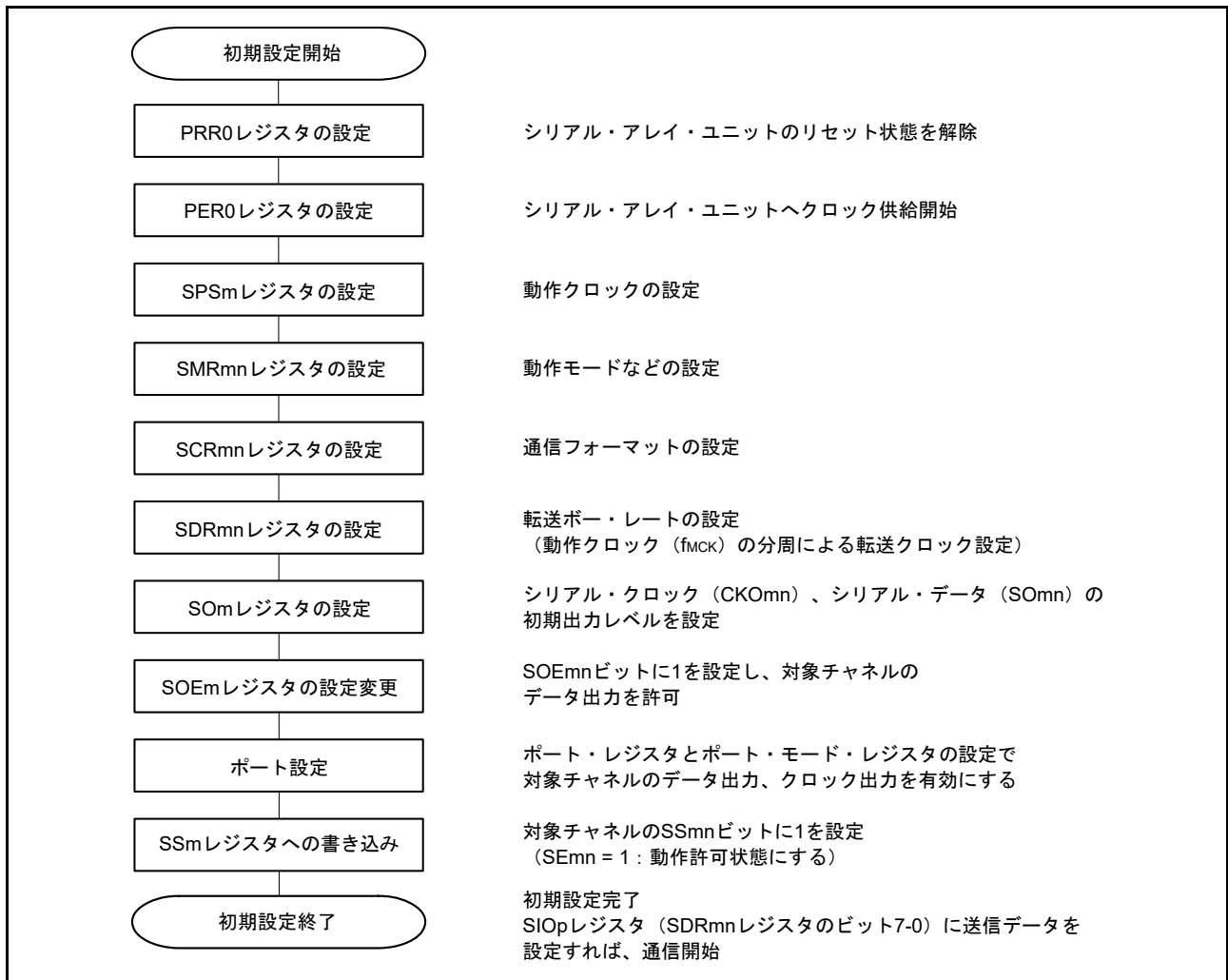


図24 - 44 マスタ送受信の中断手順

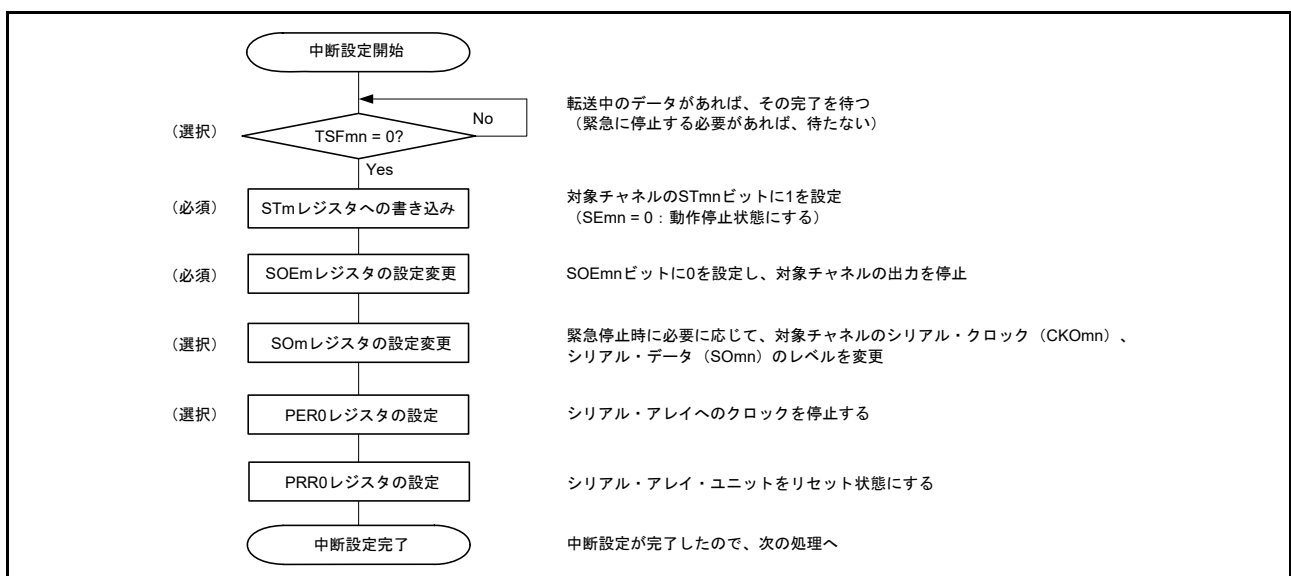
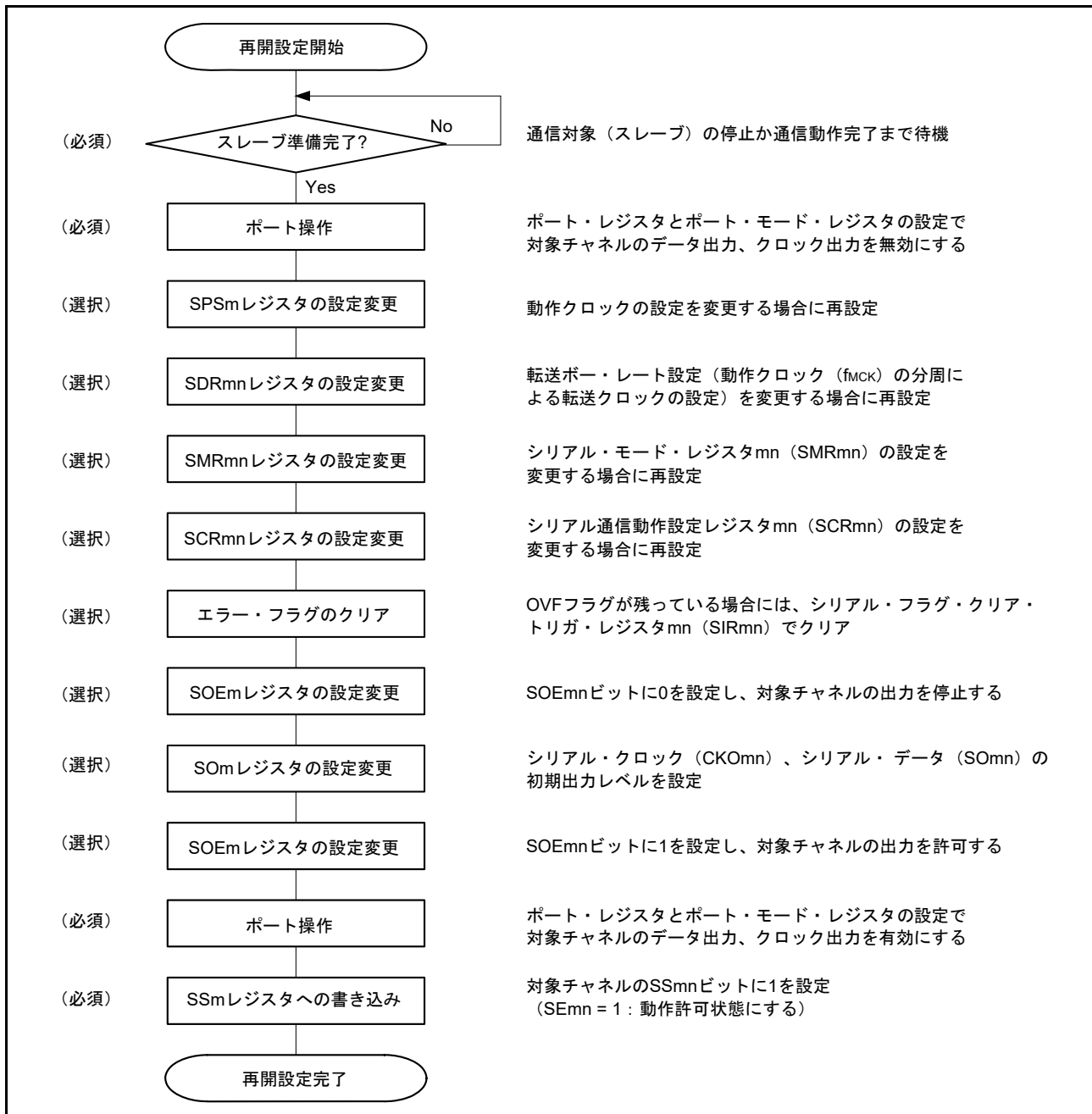
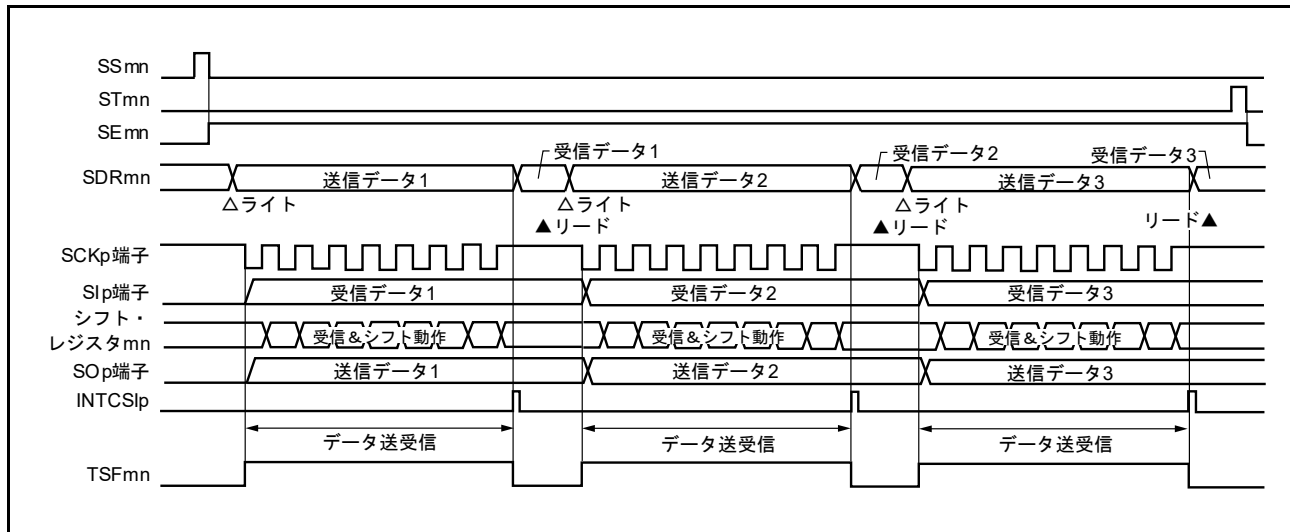


図24 - 45 マスタ送受信の再開設定手順



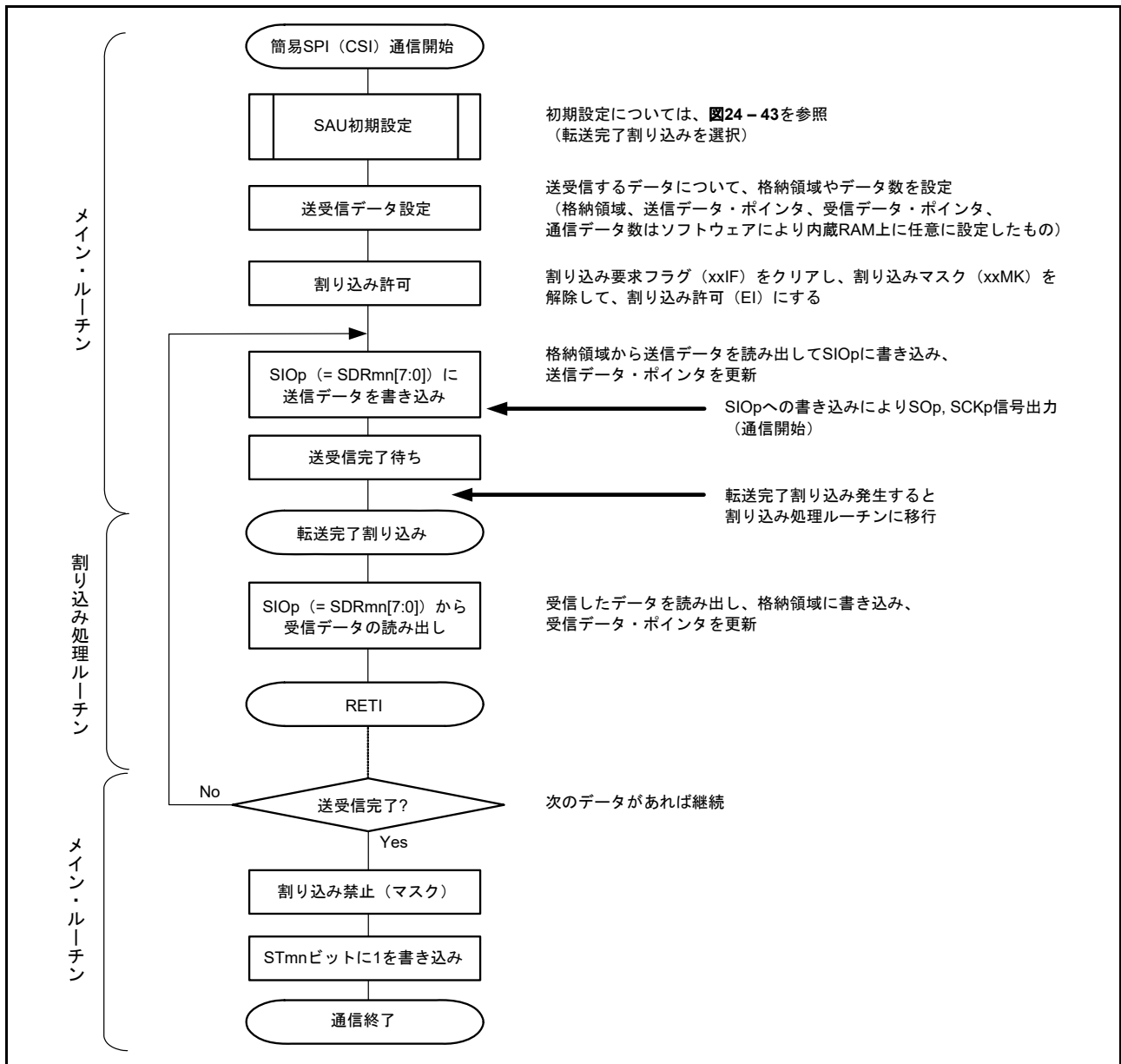
(3) 処理フロー (シングル送受信モード時)

図24 - 46 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



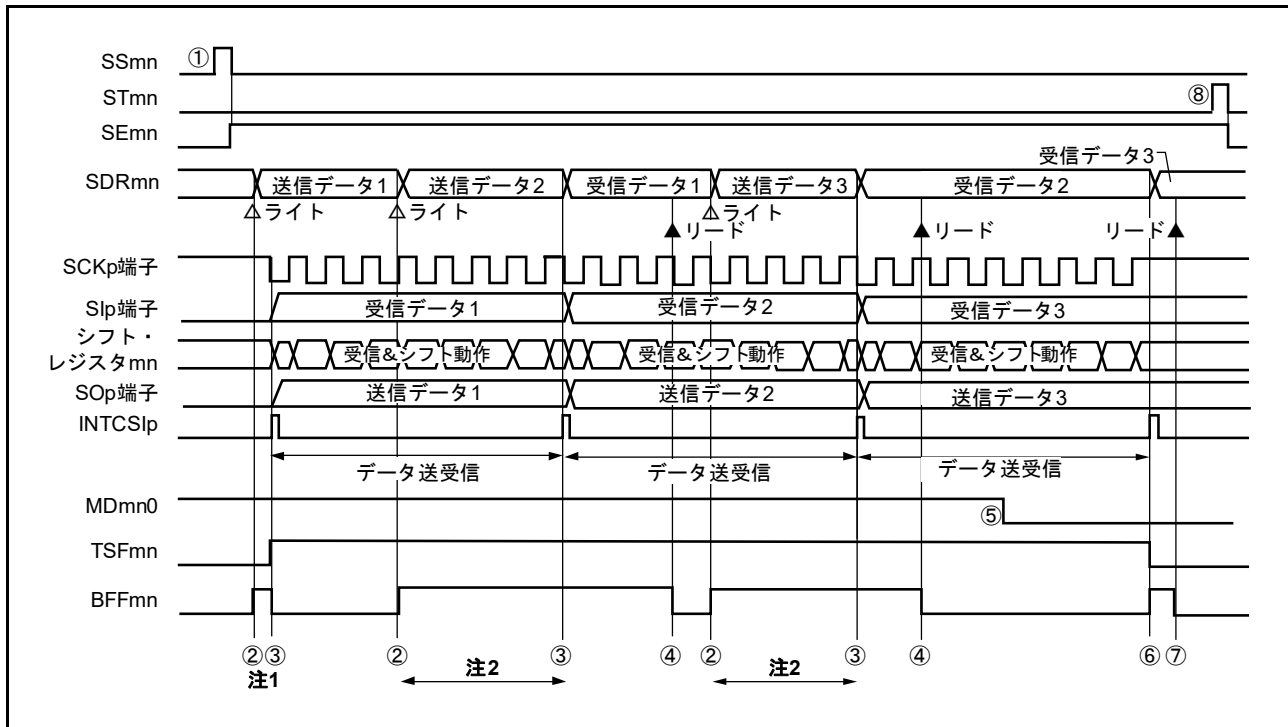
備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 47 マスタ送受信 (シングル送受信モード時) のフロー・チャート



(4) 処理フロー (連続送受信モード時)

図24 - 48 マスタ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注2. この期間に SDRmn レジスタを読み出すと、送信データを読み出すことができます。その際、転送動作には影響はありません。

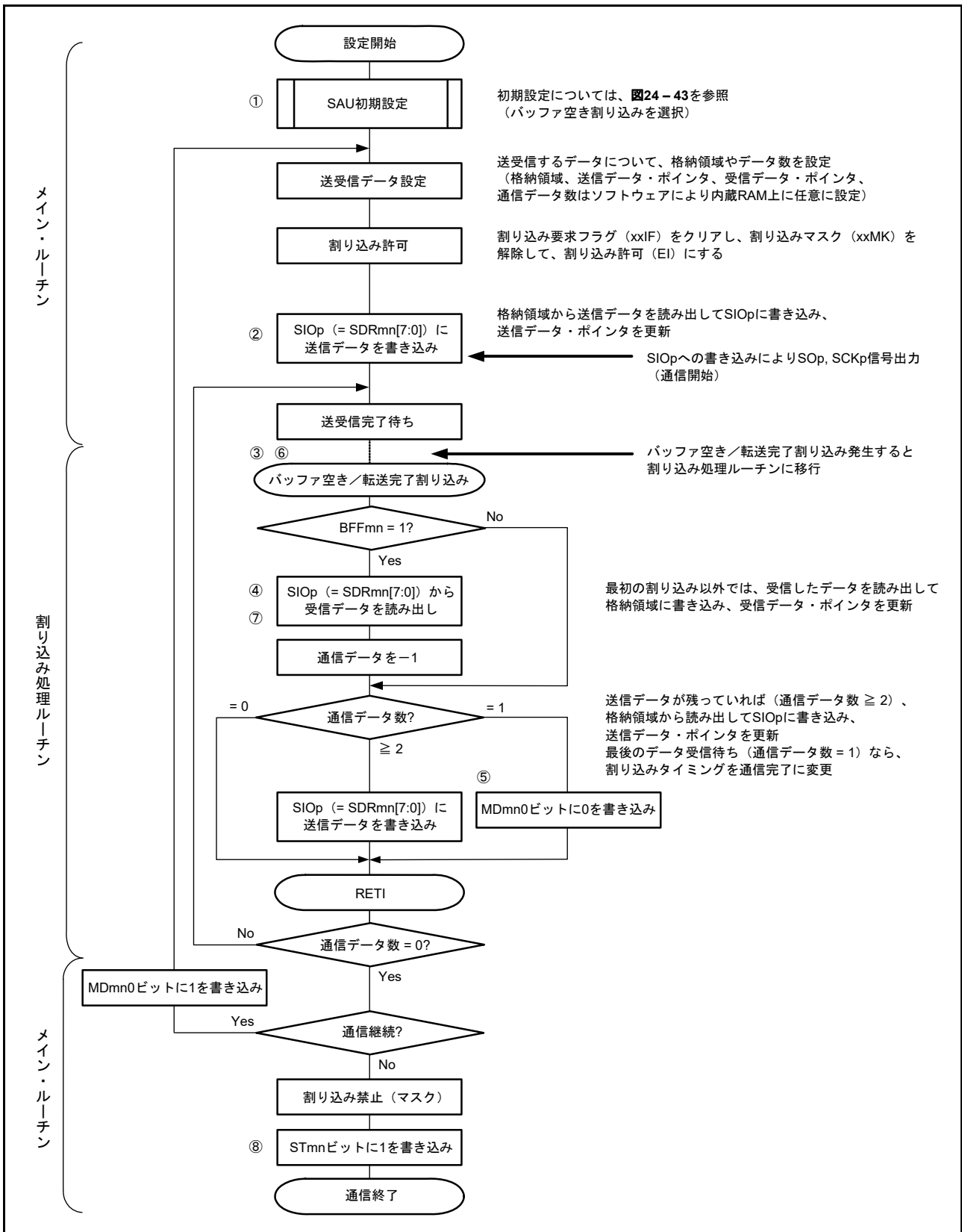
注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図24 - 49 マスタ送受信 (連続送受信モード時) のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 49 マスタ送受信 (連続送受信モード時) のフロー・チャート



備考 図中の①～⑧は、図24 - 48 マスタ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0) の①～⑧に対応しています。

24.5.4 スレーブ送信

スレーブ送信とは、ほかのデバイスから転送クロックを入力される状態で、RL78 マイクロコントローラからほかのデバイスヘータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7ビットまたは8ビット					
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ出力を開始 					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 					
データ方向	MSBファーストまたはLSBファースト					

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（ $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ ）または第44章 電気的特性（ $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ ）を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

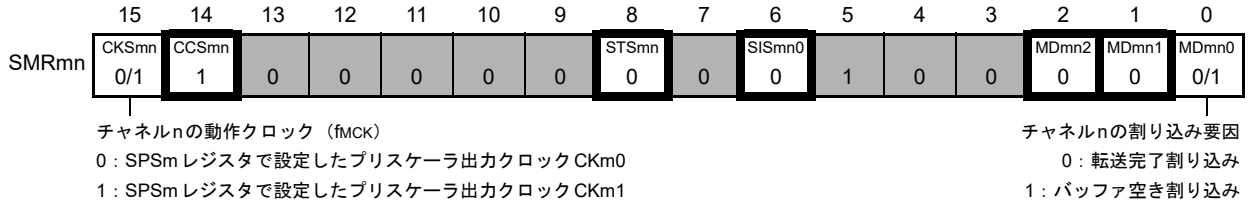
f_{SCK} ：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、mn = 00-03, 10, 11

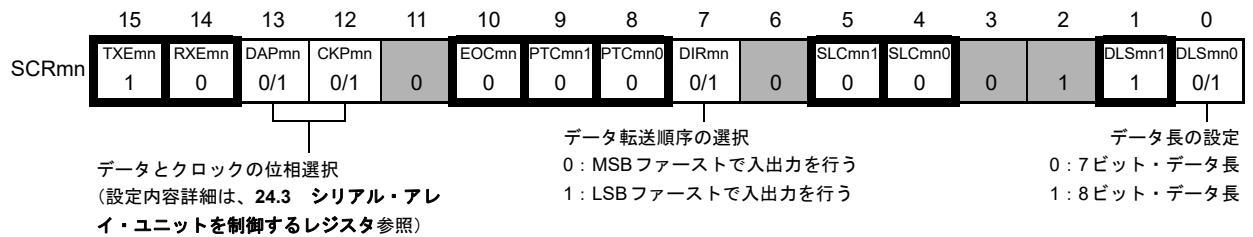
(1) レジスタ設定

図24 - 50 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のスレーブ送信時のレジスタ設定内容例

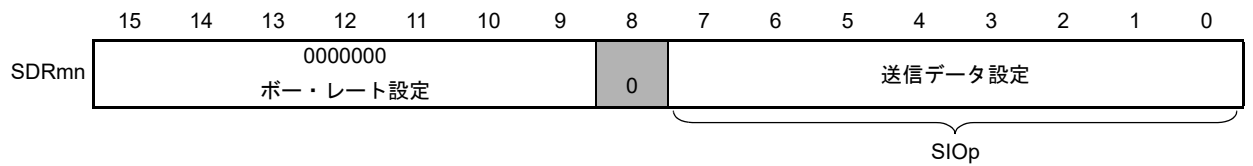
(a) シリアル・モード・レジスタ mn (SMRmn)



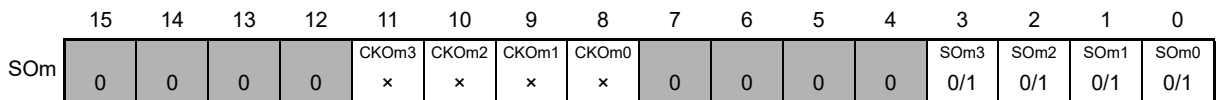
(b) シリアル通信動作設定レジスタ mn (SCRmn)



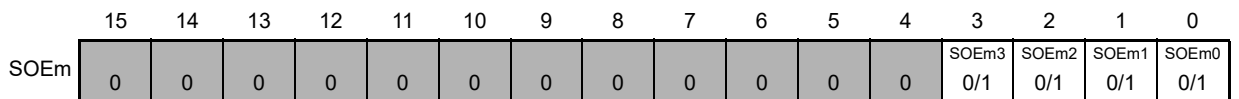
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



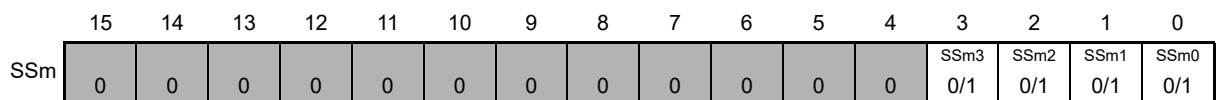
(d) シリアル出力レジスタ m (SOm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1を設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

備考2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図24 - 51 スレーブ送信の初期設定手順

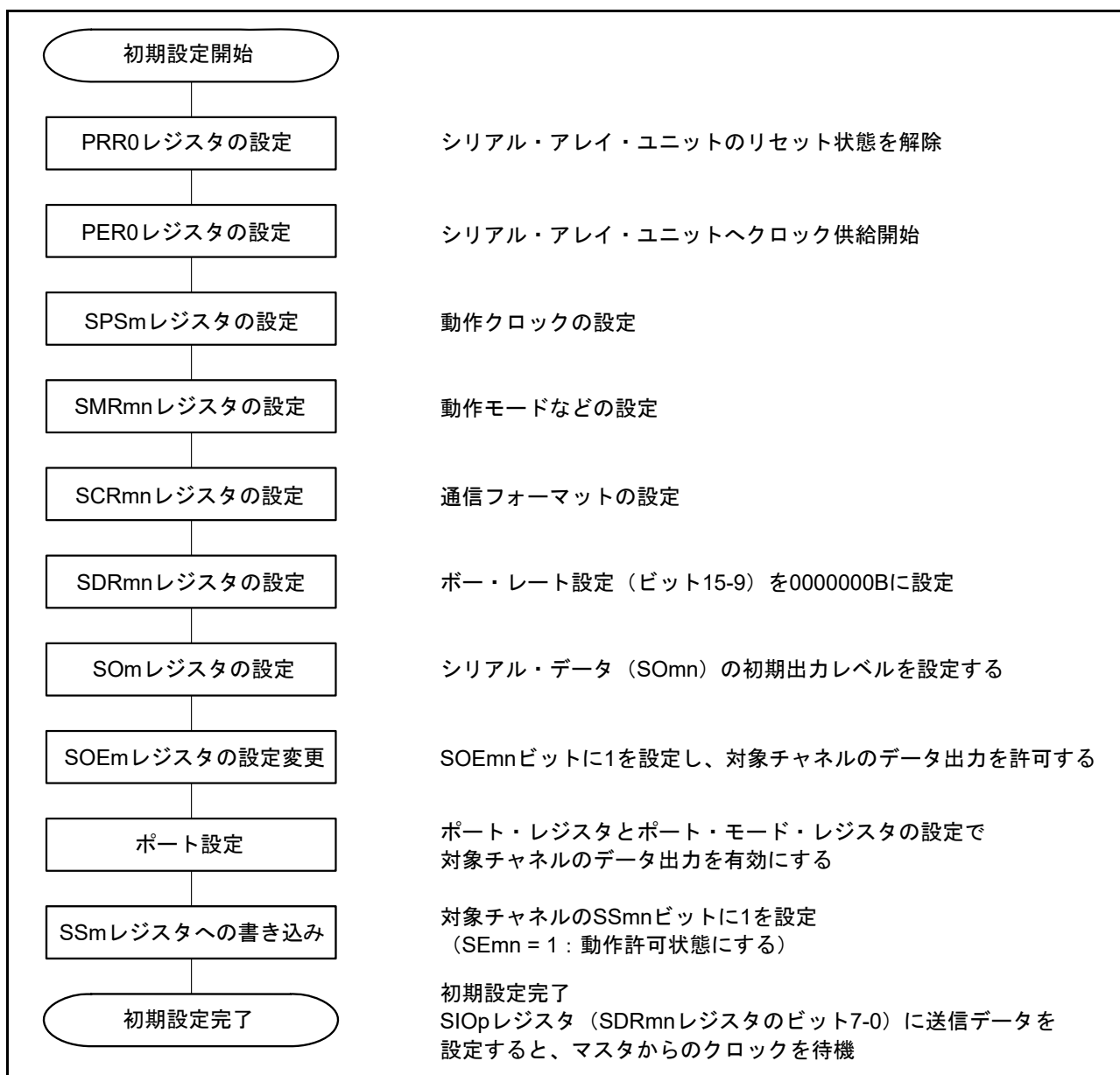


図24 - 52 スレーブ送信の中断手順

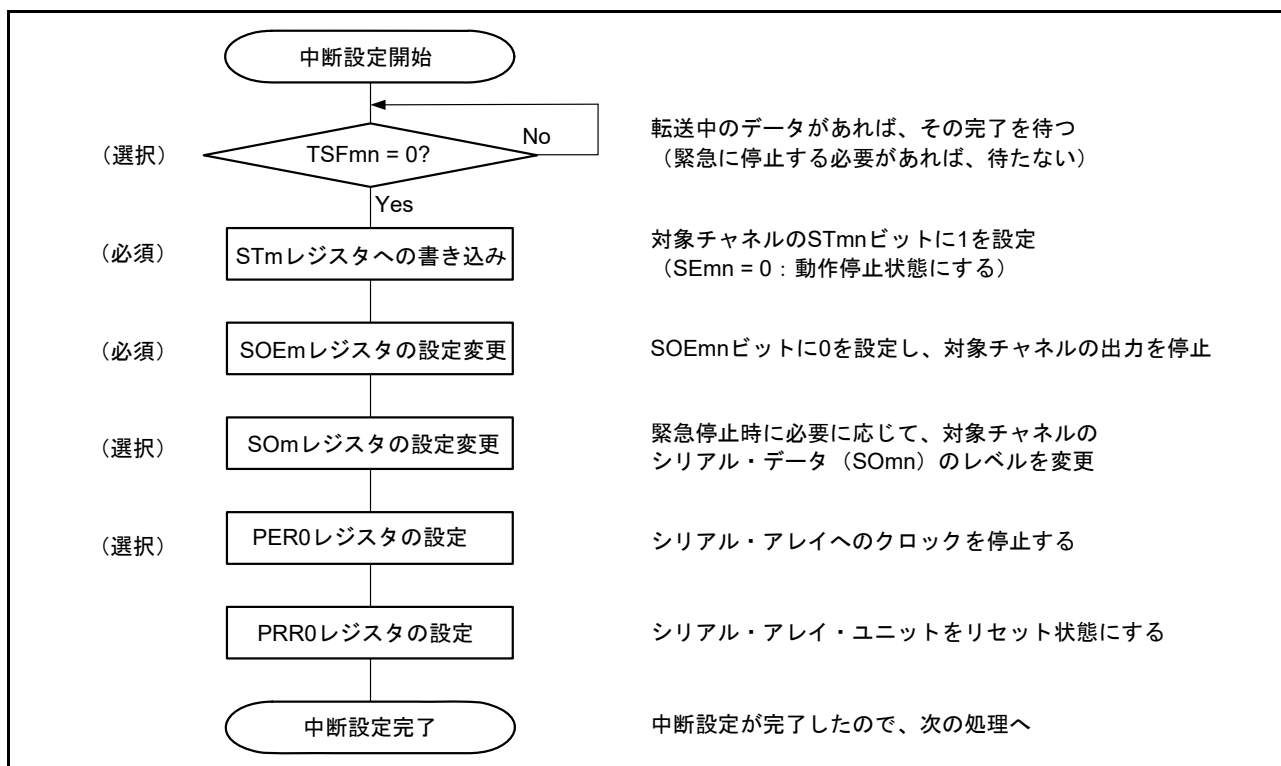
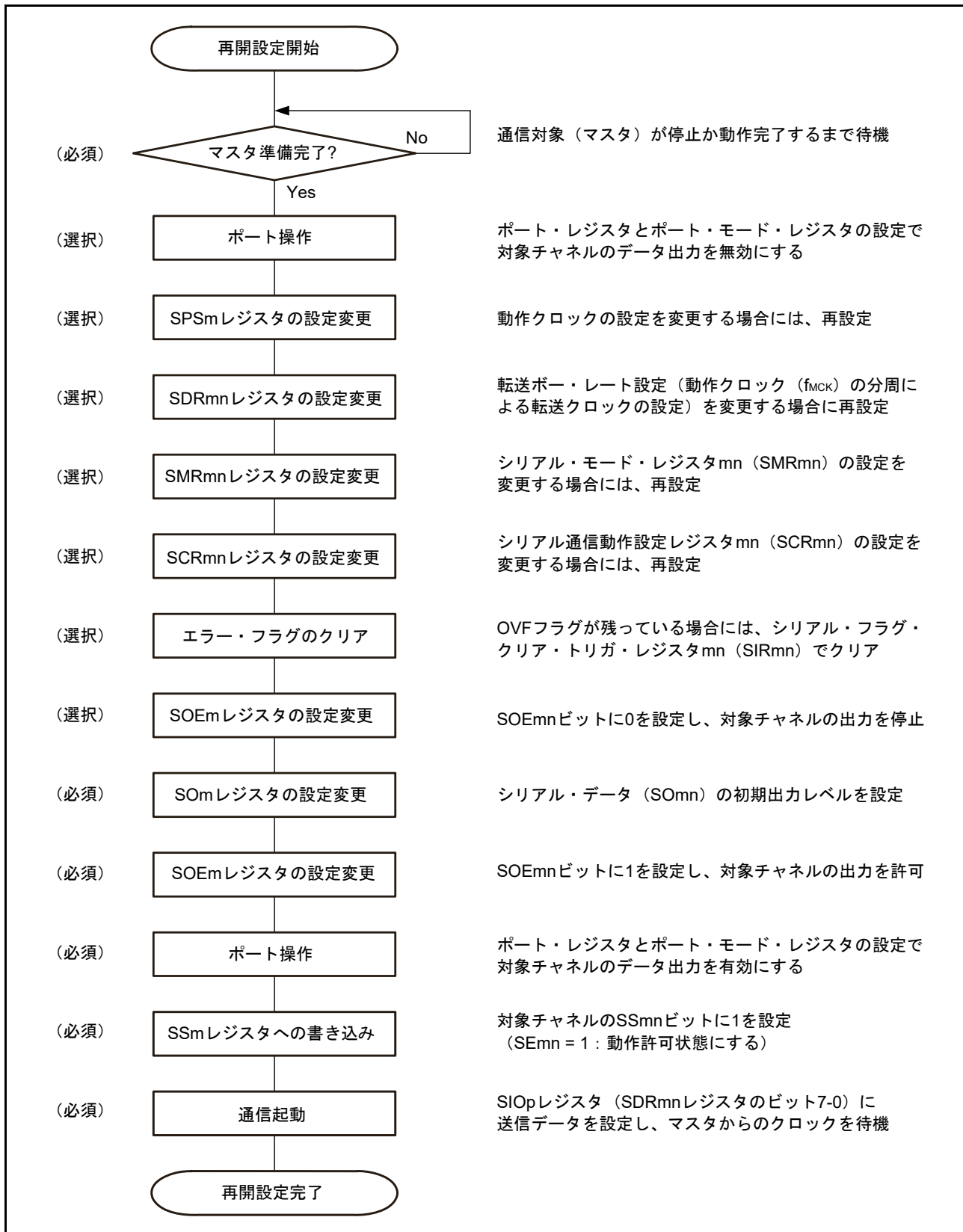


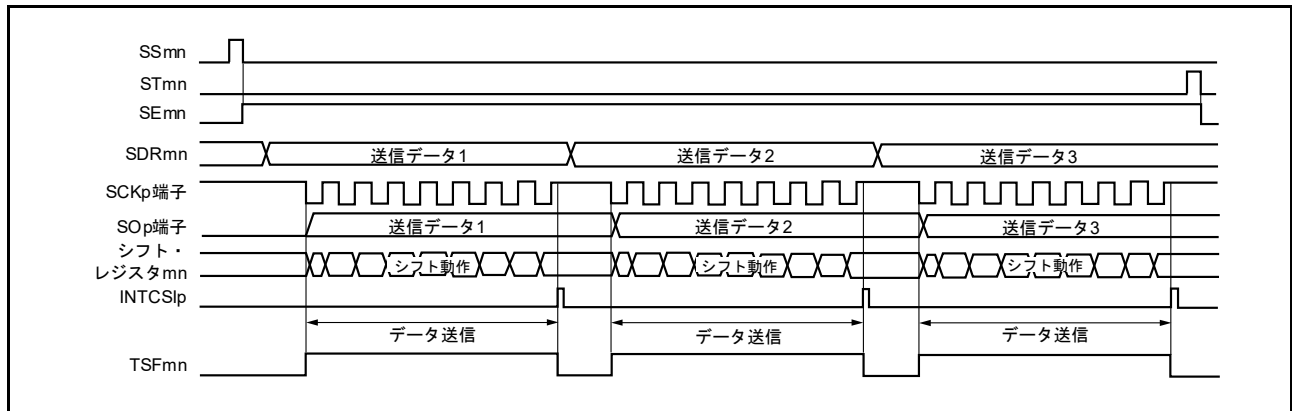
図24 - 53 スレーブ送信の再開設定手順



備考 中断設定でPRR0を書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

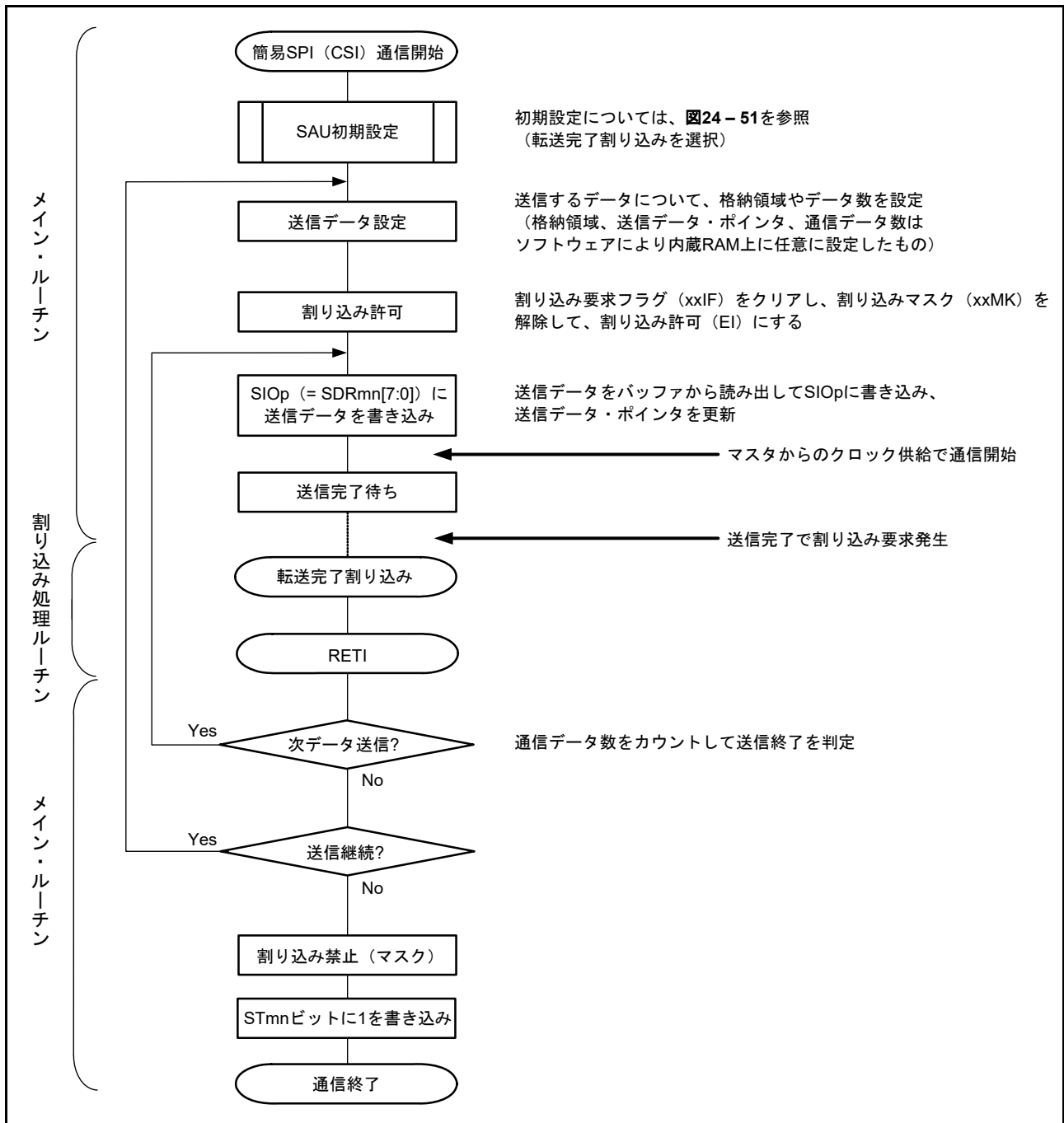
(3) 処理フロー (シングル送信モード時)

図24 - 54 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



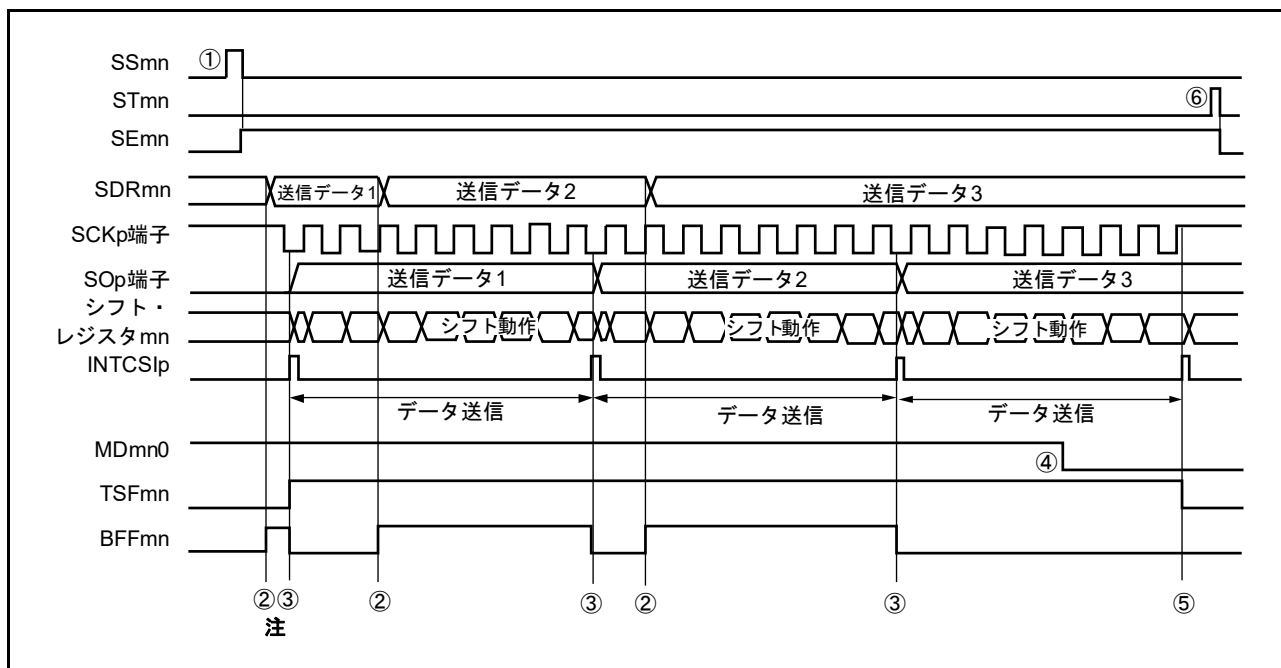
備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 55 スレーブ送信 (シングル送信モード時) のフロー・チャート



(4) 処理フロー (連続送信モード時)

図24 - 56 スレーブ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

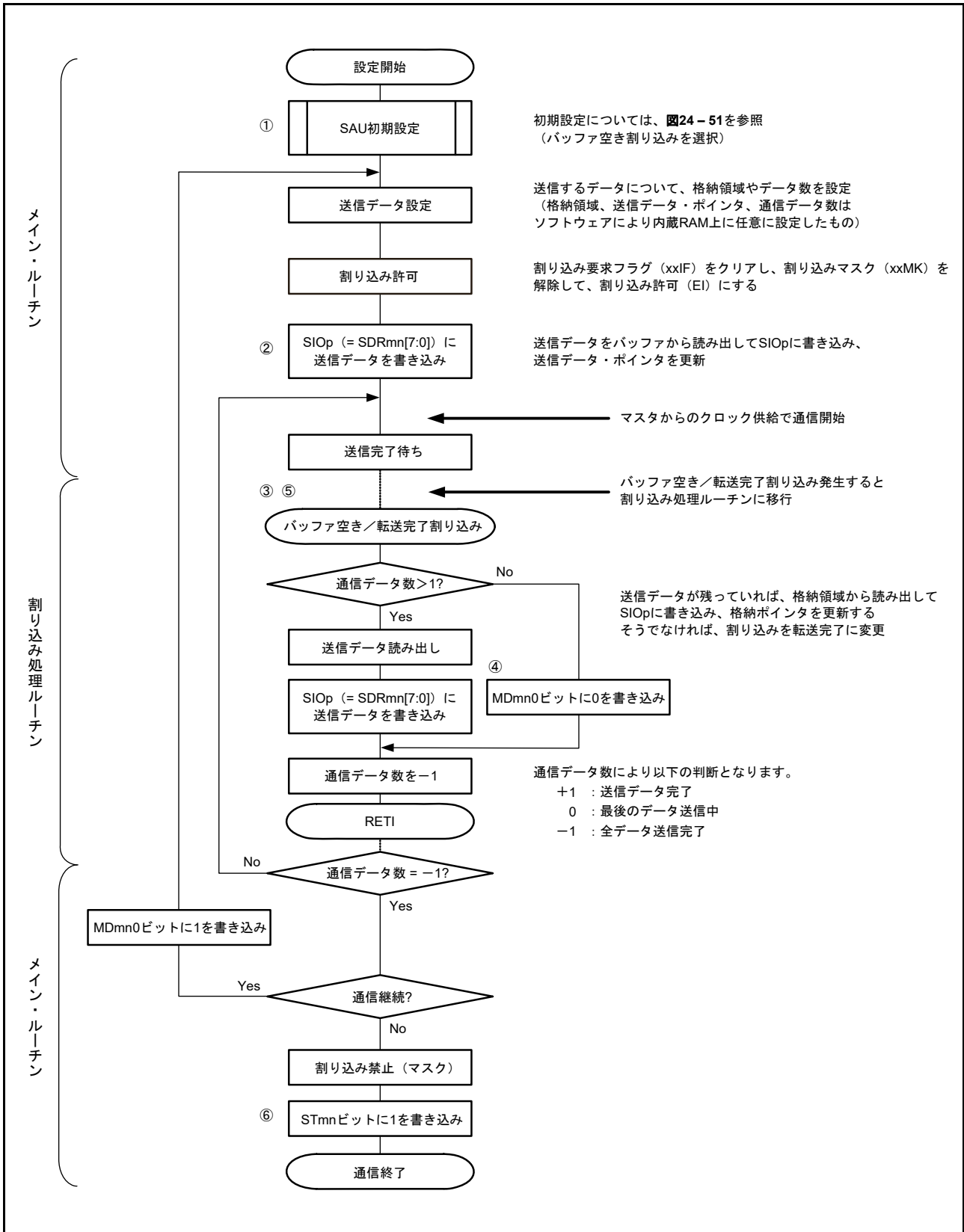


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI 番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 57 スレーブ送信 (連続送信モード時) のフロー・チャート



備考 図中の①～⑥は、図24 - 56 スレーブ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①～⑥に対応しています。

24.5.5 スレーブ受信

スレーブ受信とは、ほかのデバイスから転送クロックを入力される状態で、RL78 マイクロコントローラがほかのデバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7ビットまたは8ビット					
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ入力を開始 					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 					
データ方向	MSBファーストまたはLSBファースト					

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（ $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ ）または第44章 電気的特性（ $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ ）を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

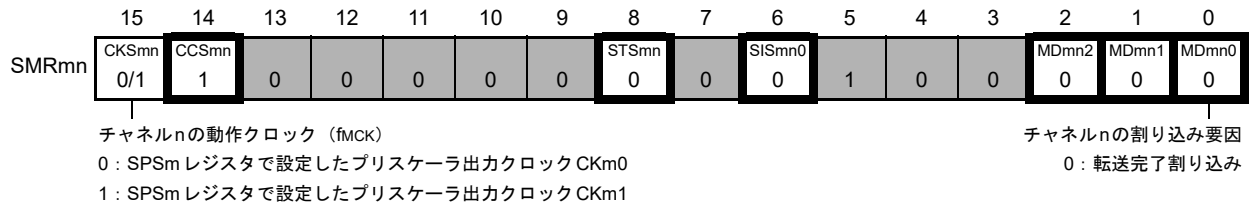
f_{SCK} ：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、mn = 00-03, 10, 11

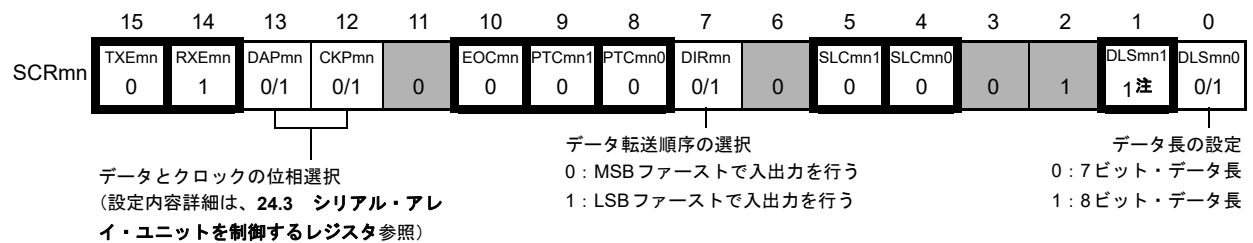
(1) レジスタ設定

図24 - 58 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のスレーブ受信時のレジスタ設定内容例

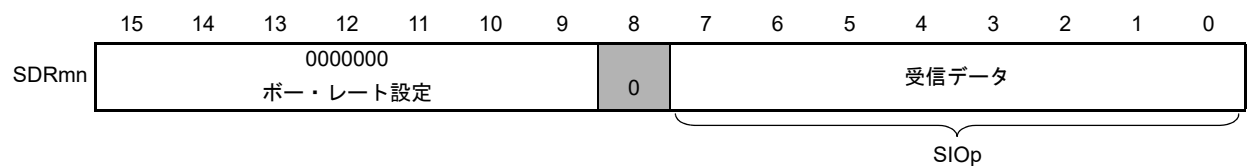
(a) シリアル・モード・レジスタ mn (SMRmn)



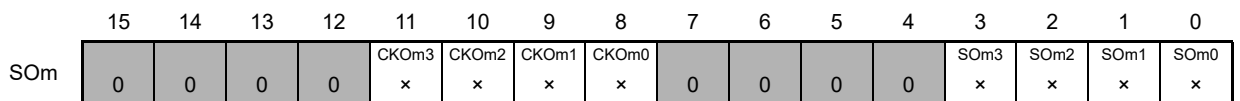
(b) シリアル通信動作設定レジスタ mn (SCRmn)



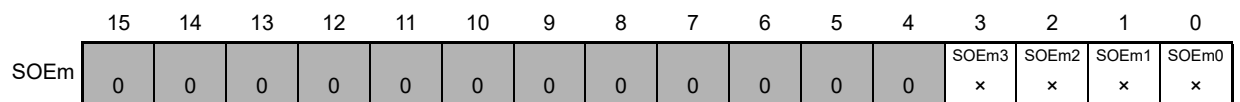
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



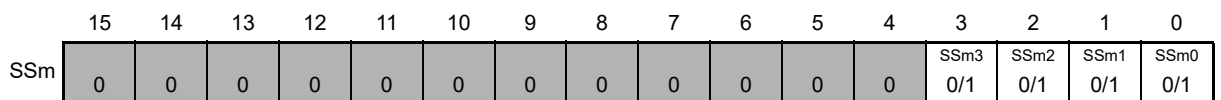
(d) シリアル出力レジスタ m (SOm) : このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) : このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

(備考は次ページに続きます)

- ★ 備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)
- ×: このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)
- 0/1: ユーザの用途に応じて0または1を設定

(2) 操作手順

図24 - 59 スレーブ受信の初期設定手順

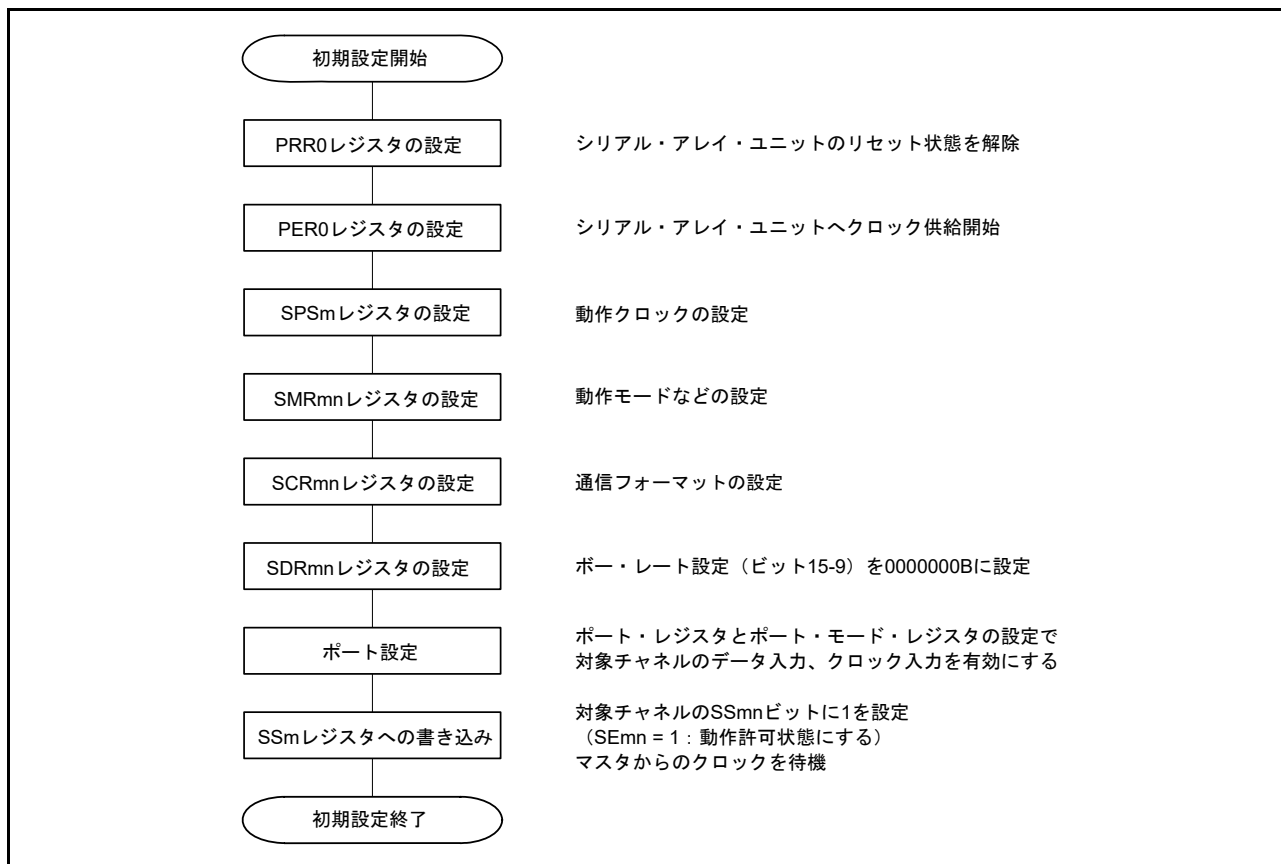


図24 - 60 スレーブ受信の中断手順

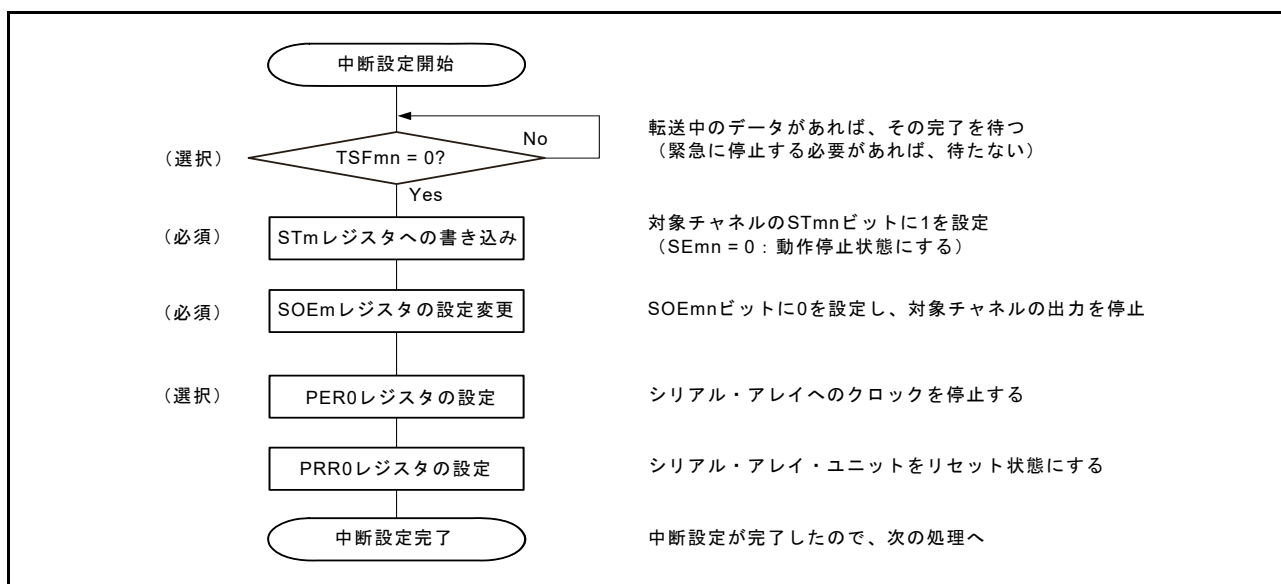
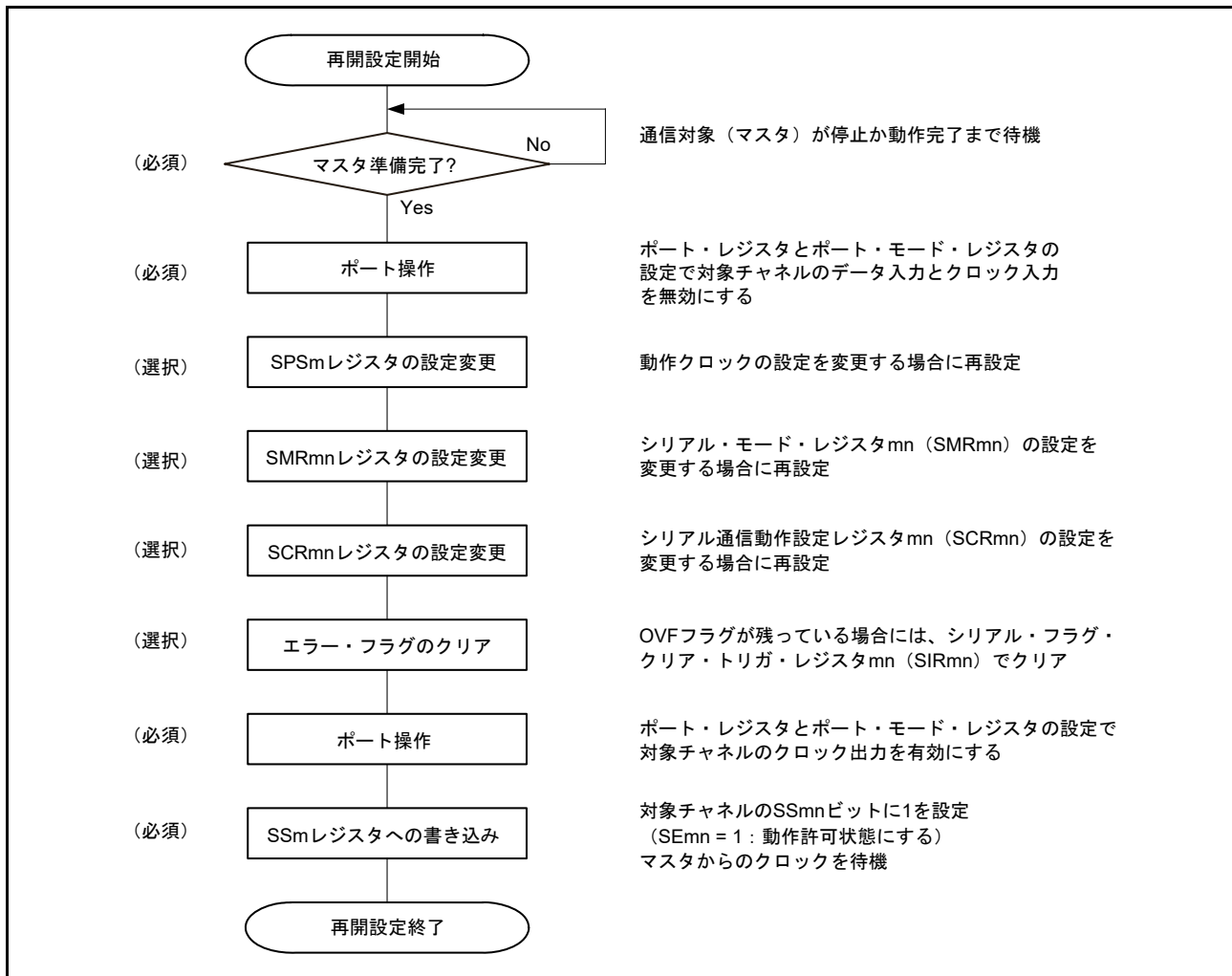


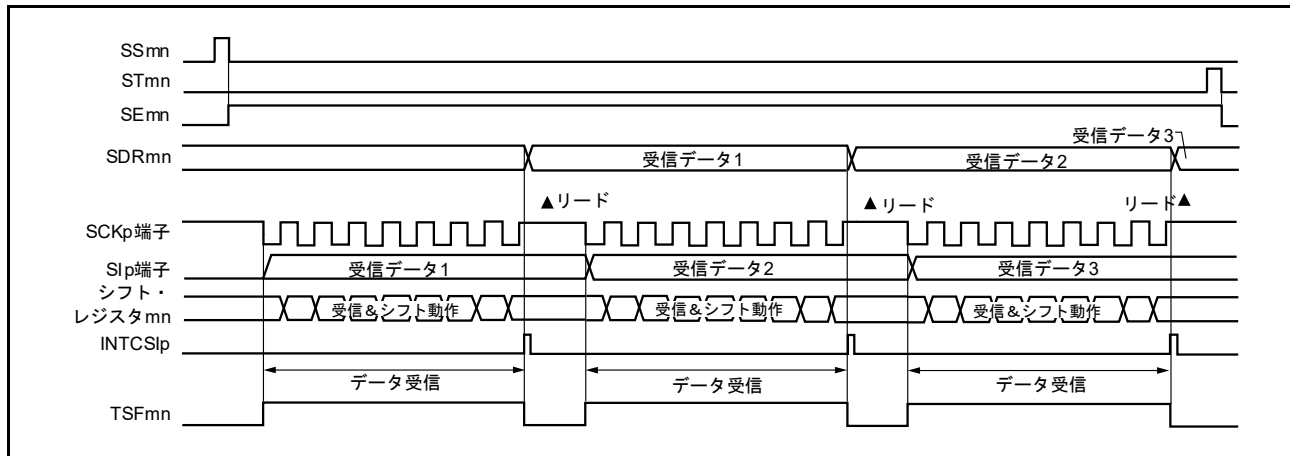
図24 - 61 スレーブ受信の再開設定手順



備考 中断設定でPRR0を書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

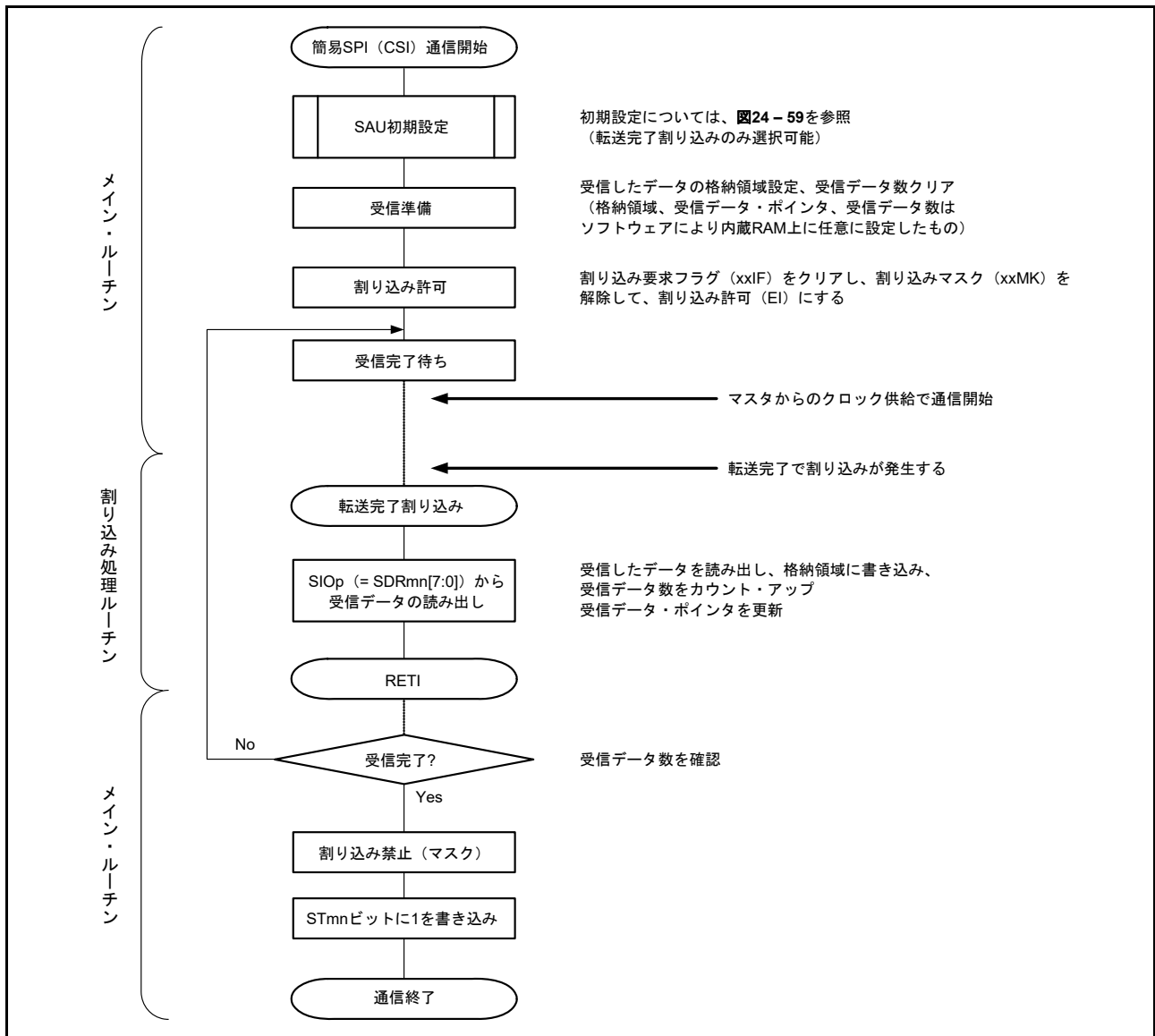
(3) 処理フロー (シングル受信モード時)

図24 - 62 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 63 スレーブ受信 (シングル受信モード時) のフロー・チャート



24.5.6 スレーブ送受信

スレーブ送受信とは、ほかのデバイスから転送クロックを入力される状態で、RL78 マイクロコントローラとほかのデバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7ビットまたは8ビット					
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 					
データ方向	MSBファーストまたはLSBファースト					

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（ $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ ）または第44章 電気的特性（ $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ ）を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

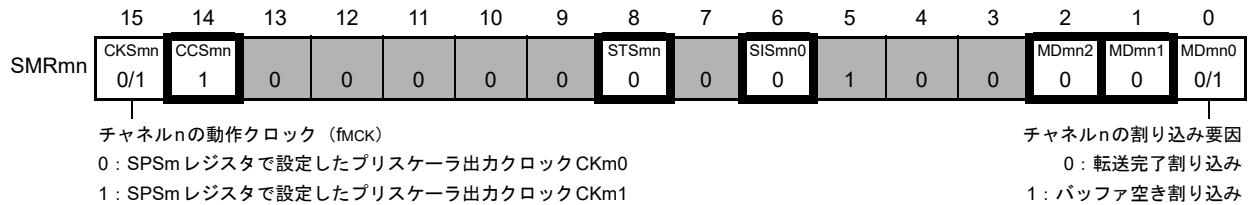
f_{SCK} ：シリアル・クロック周波数

備考2. m：ユニット番号（ $m = 0, 1$ ）、n：チャンネル番号（ $n = 0-3$ ）、mn = 00-03, 10, 11

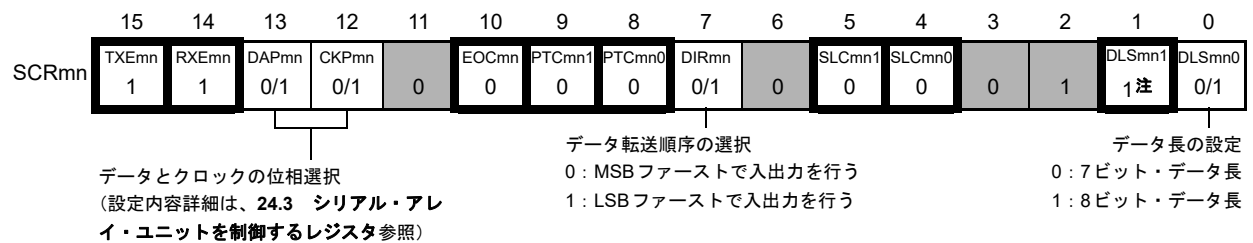
(1) レジスタ設定

図24 - 64 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のスレーブ送受信時のレジスタ設定内容例

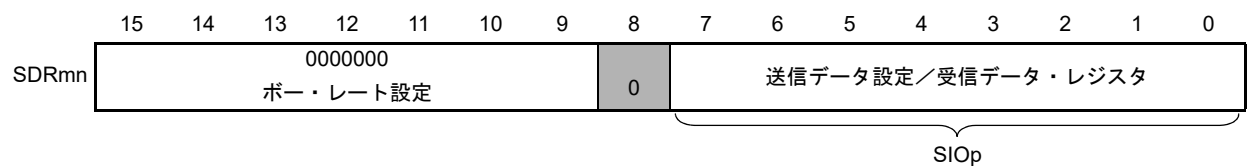
(a) シリアル・モード・レジスタ mn (SMRmn)



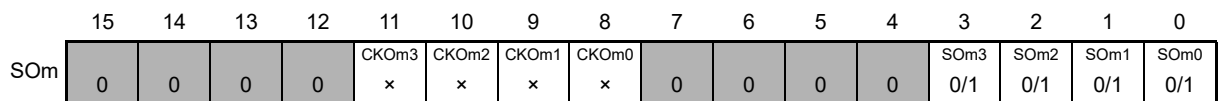
(b) シリアル通信動作設定レジスタ mn (SCRmn)



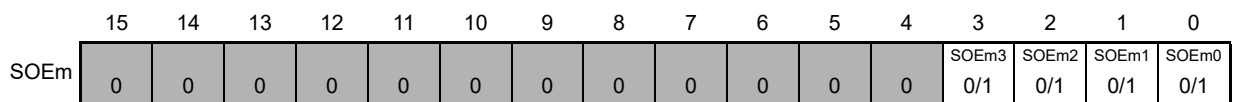
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



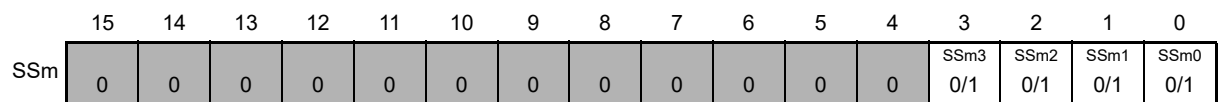
(d) シリアル出力レジスタ m (SOm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1を設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



注 SCR00, SCR01レジスタのみ。その他は1固定になります。

注意 マスタからのクロックが開始される前に、送信データをSIOpレジスタへ設定してください。

(備考は次ページに続きます)

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、
mn = 00-03, 10, 11

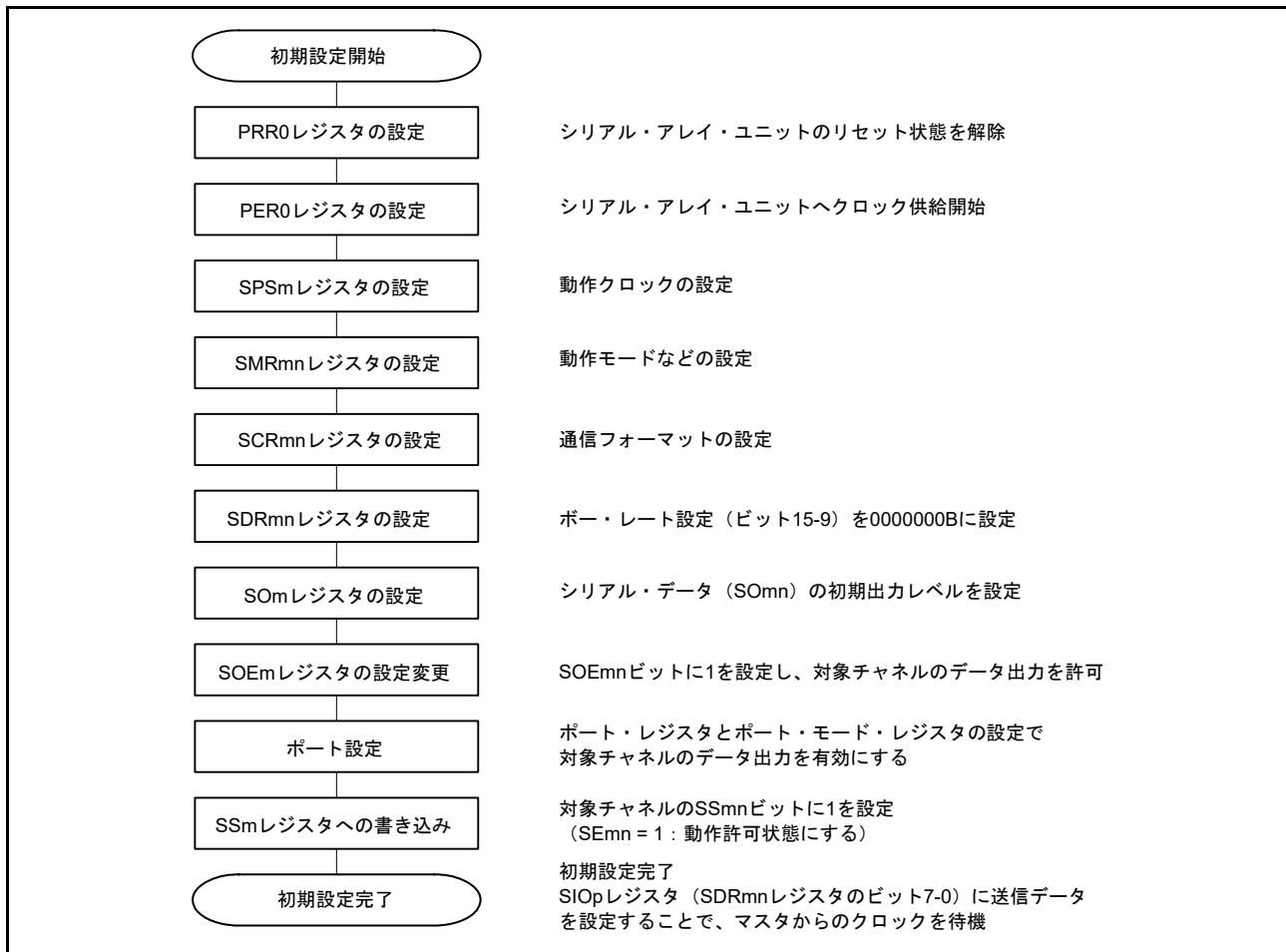
備考2. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図24 - 65 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、送信データをSIOpレジスタへ設定してください。

図24 - 66 スレーブ送受信の中断手順

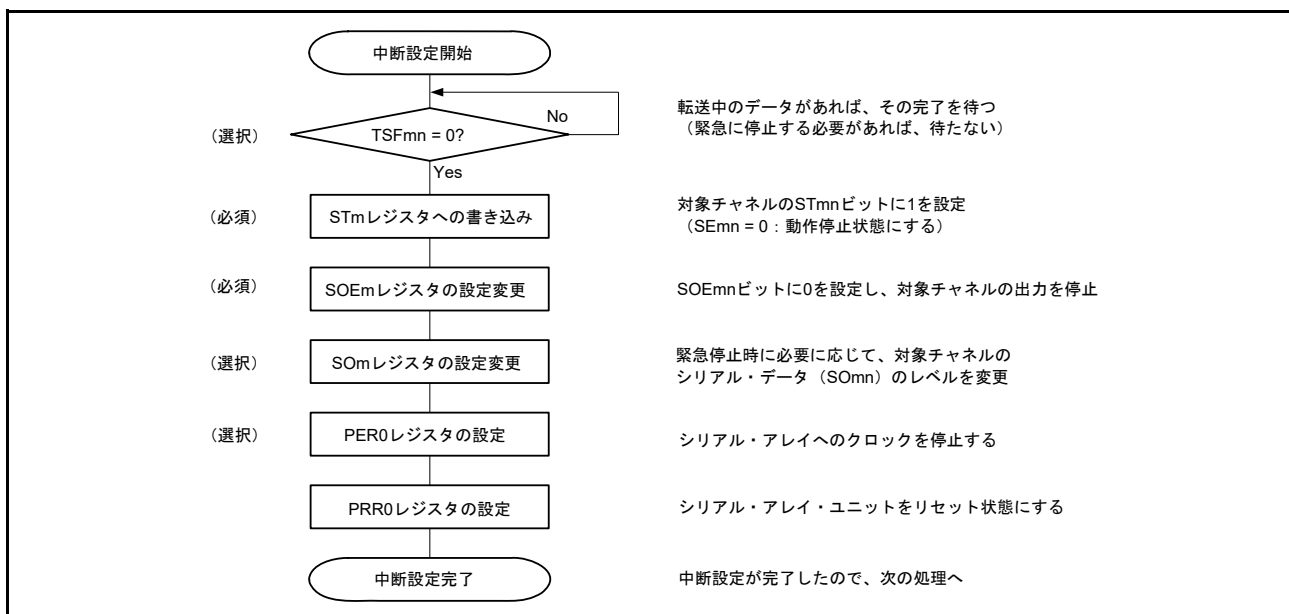
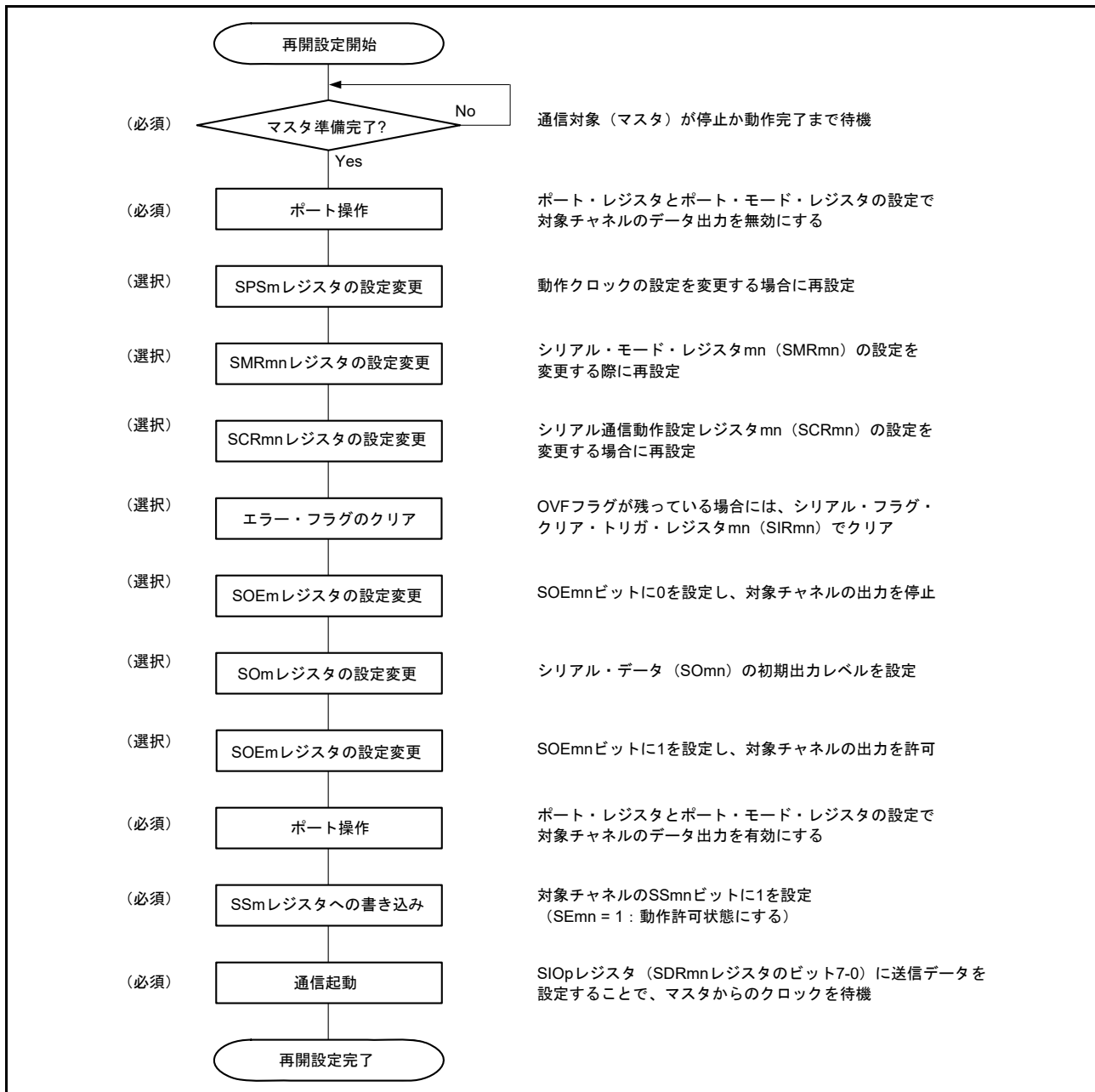


図24 - 67 スレーブ送受信の再開設定手順

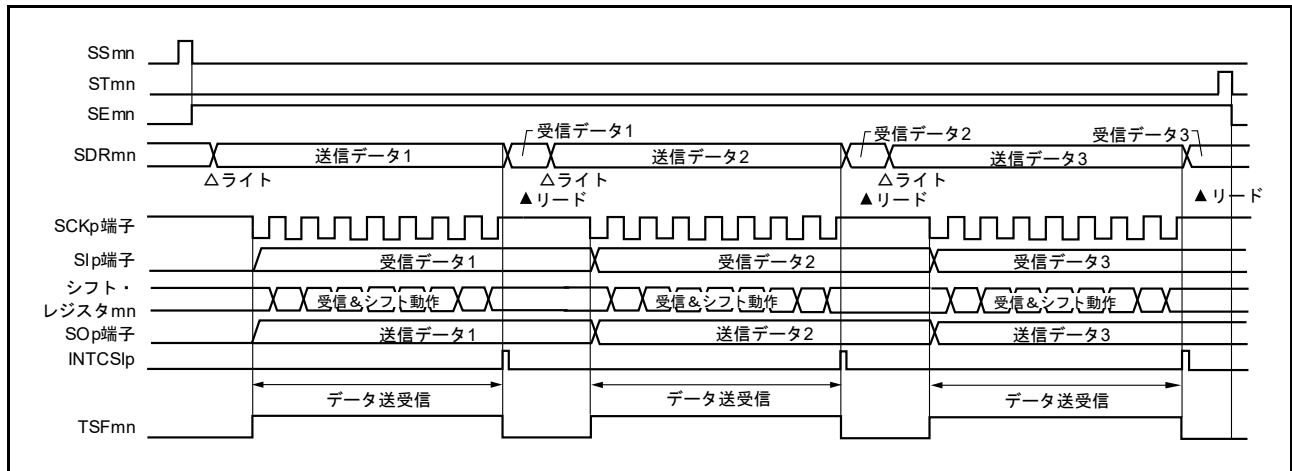


注意1. マスタからのクロックが開始される前に、送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPRR0を書き換えてリセット状態にした場合には、通信対象 (マスタ) の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

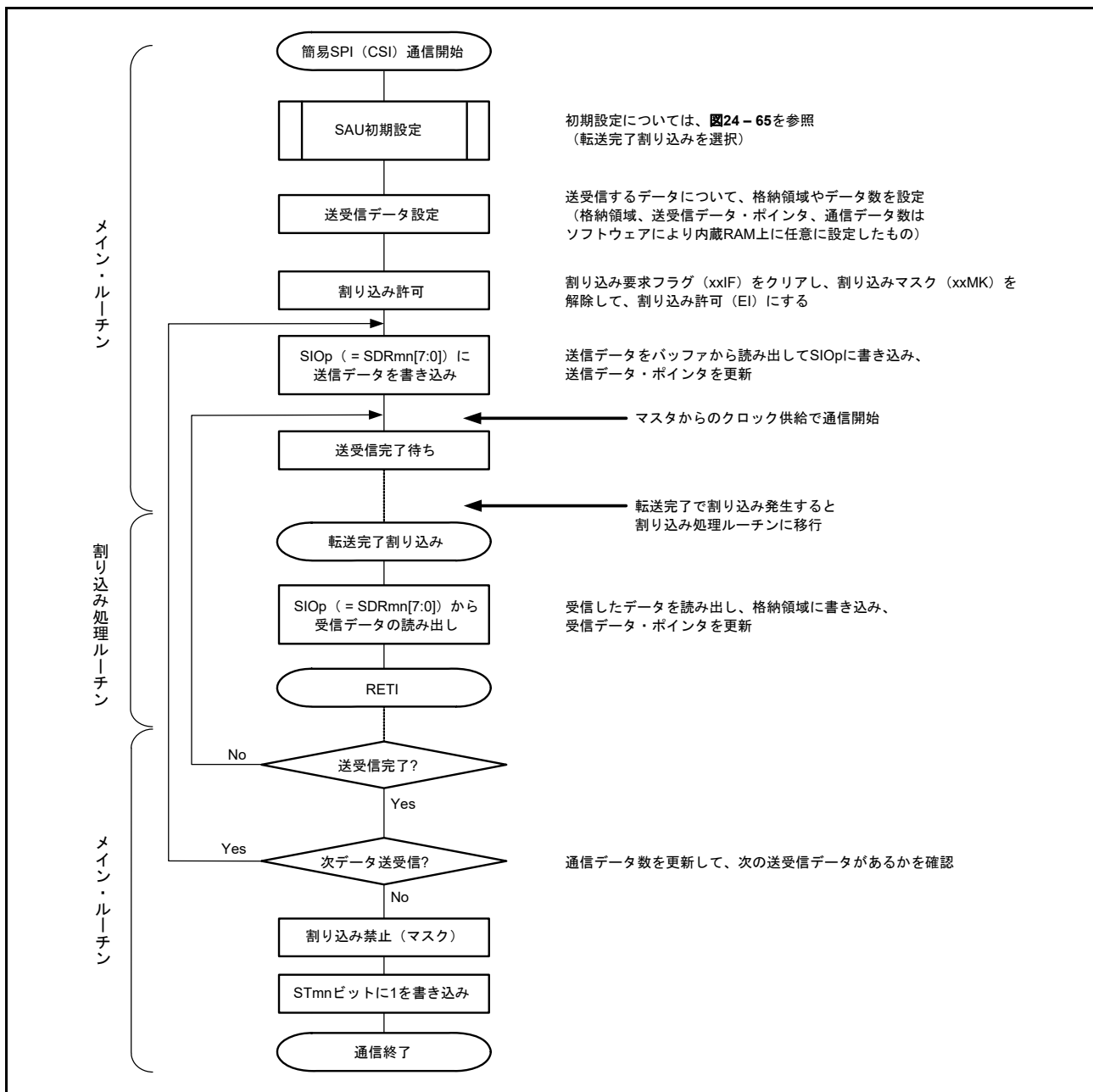
(3) 処理フロー (シングル送受信モード時)

図24 - 68 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

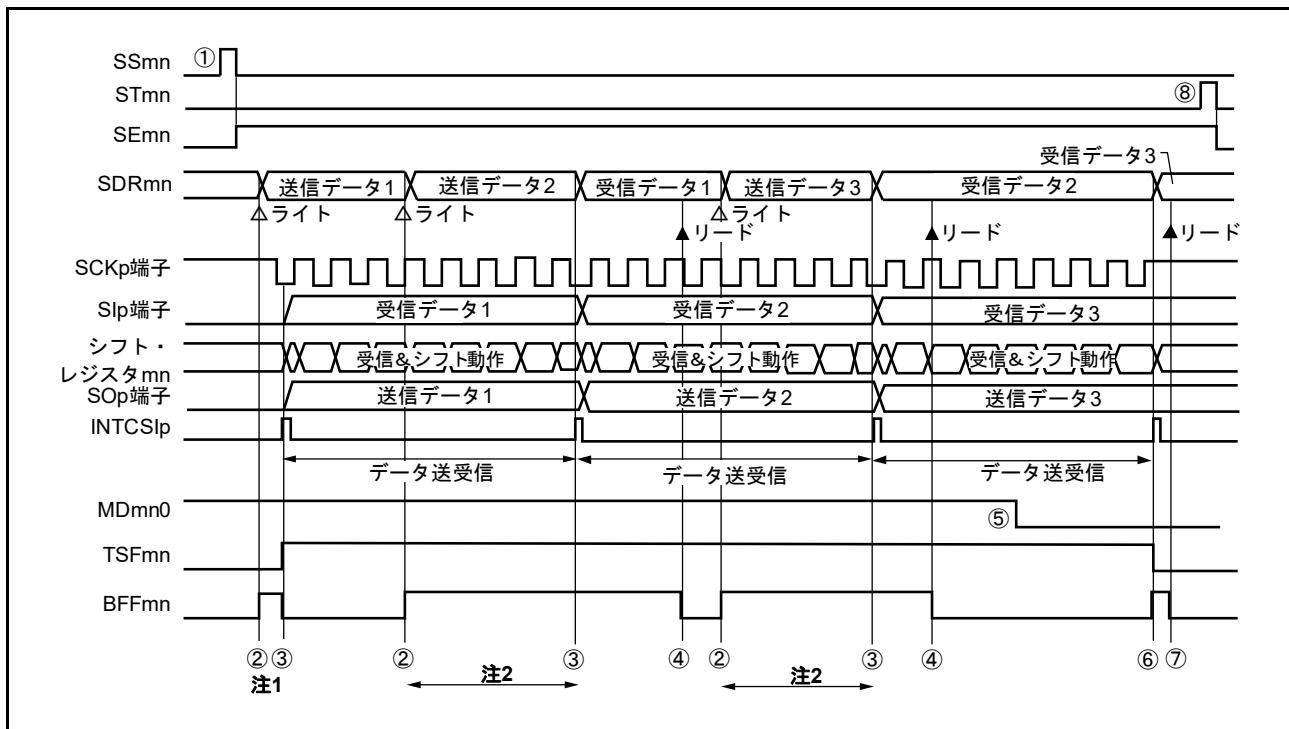
図24 - 69 スレーブ送受信 (シングル送受信モード時) のフロー・チャート



注意 マスタからのクロックが開始される前に、送信データをSIOPレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図24-70 スレーブ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)

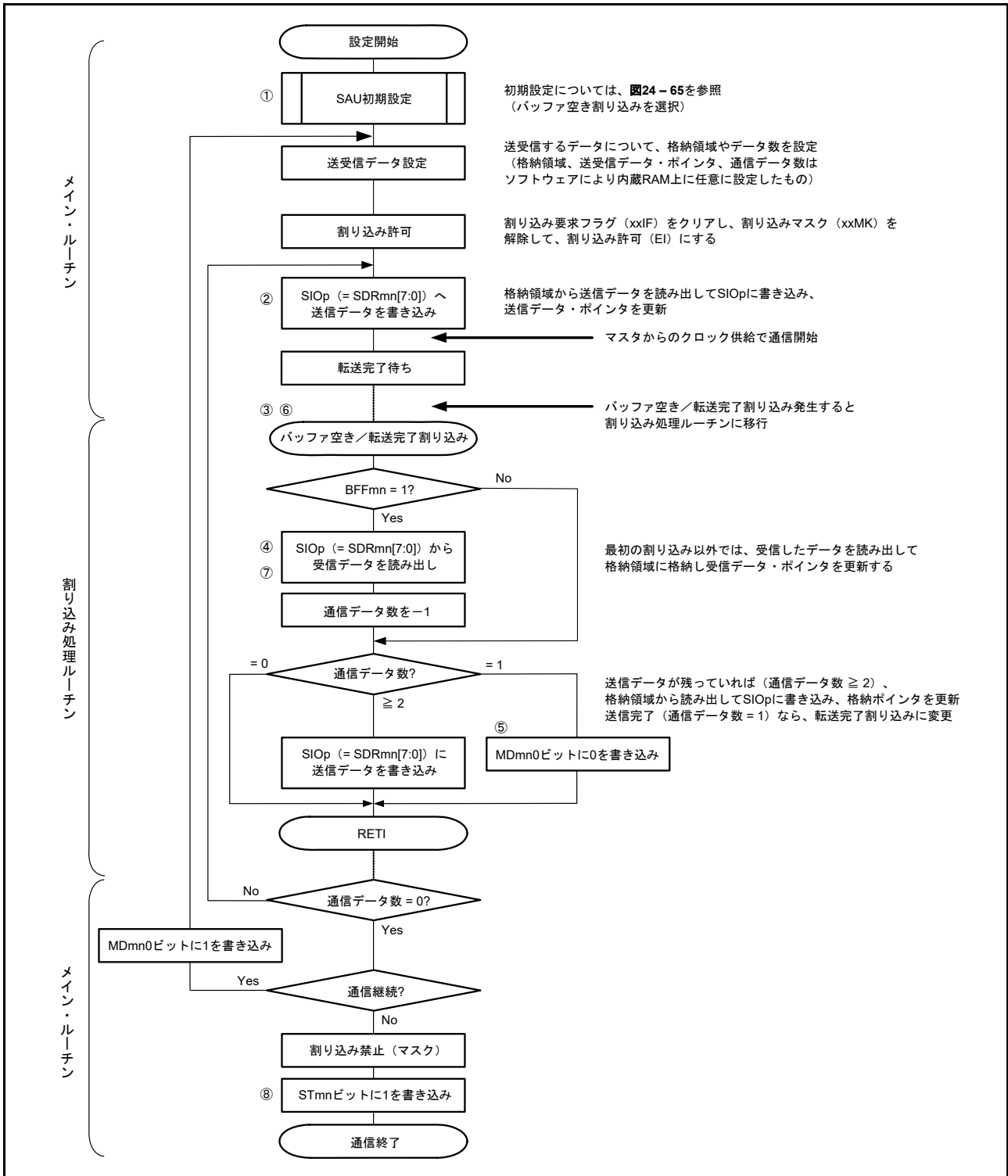


- 注1. シリアル・ステータス・レジスタ mn (SSRmn) のBFFmnビットが1の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
- 注2. この期間にSDRmnレジスタを読み出すと、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1. 図中の①～⑧は、図24-71 スレーブ送受信 (連続送受信モード時) のフロー・チャートの①～⑧に対応しています。
- 備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 71 スレーブ送受信 (連続送受信モード時) のフロー・チャート



注意1. マスタからのクロックが開始される前に、送信データをSIOpレジスタへ設定してください。

注意2. キャプチャ・トリガにITLCMP01のコンパレー一致割り込みを選択すると、キャプチャ時にチャンネル2のコンパレー一致検出フラグ (ITF02) とキャプチャ検出フラグ (ITF0C) がセットされます。キャプチャ検出フラグのみ使用する場合は、ITLMKF0レジスタの設定でチャンネル2のコンパレー一致検出フラグをマスクしてください。

備考 図中の①～⑧は、図24 - 70 スレーブ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①～⑧に対応しています。

24.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI (CSI) の受信動作をさせるモードです。通常STOPモード時に簡易SPI (CSI) は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI (CSI) の受信動作を行うことができます。SNOOZEモードは、CSI00のみ設定可能です。

簡易SPI (CSI) をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図24-73 SNOOZEモード動作(1回起動)時のフロー・チャートまたは図24-75 SNOOZEモード動作(連続起動)時のフロー・チャートを参照)

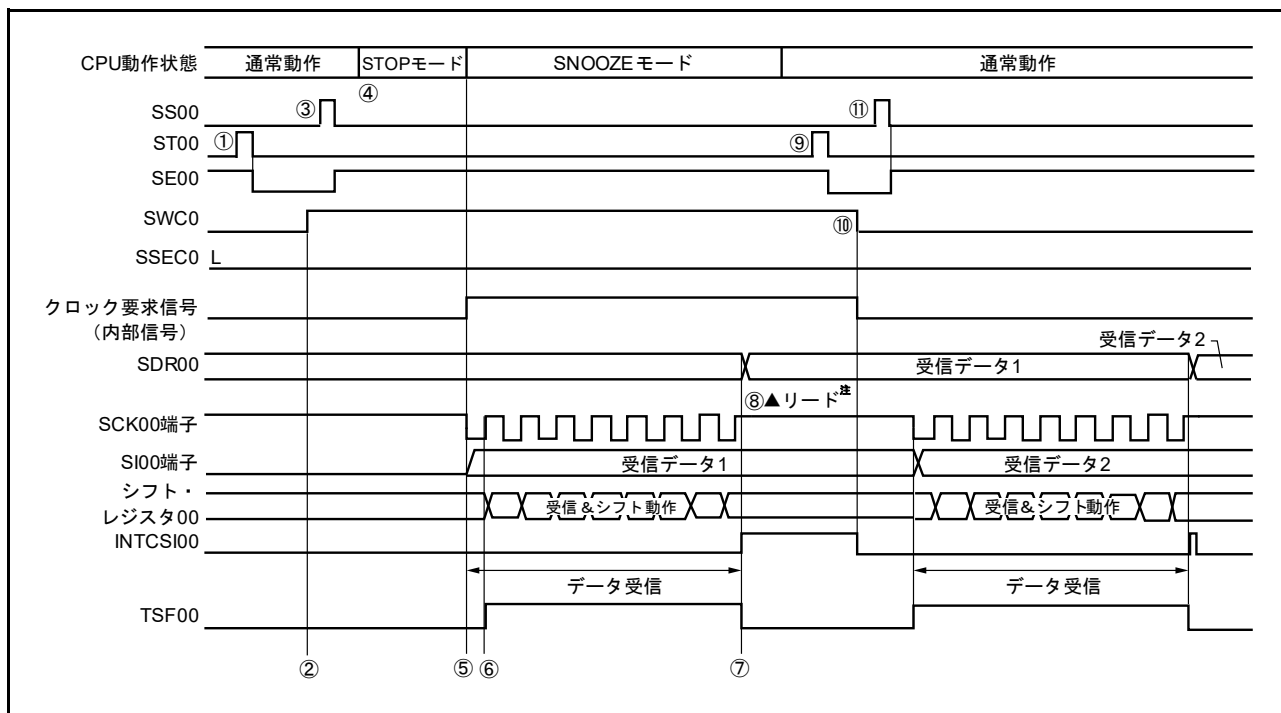
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットに1を設定してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm0ビットに1を設定します。
- STOPモードに移行後、SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作 (1回起動)

図24 - 72 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください

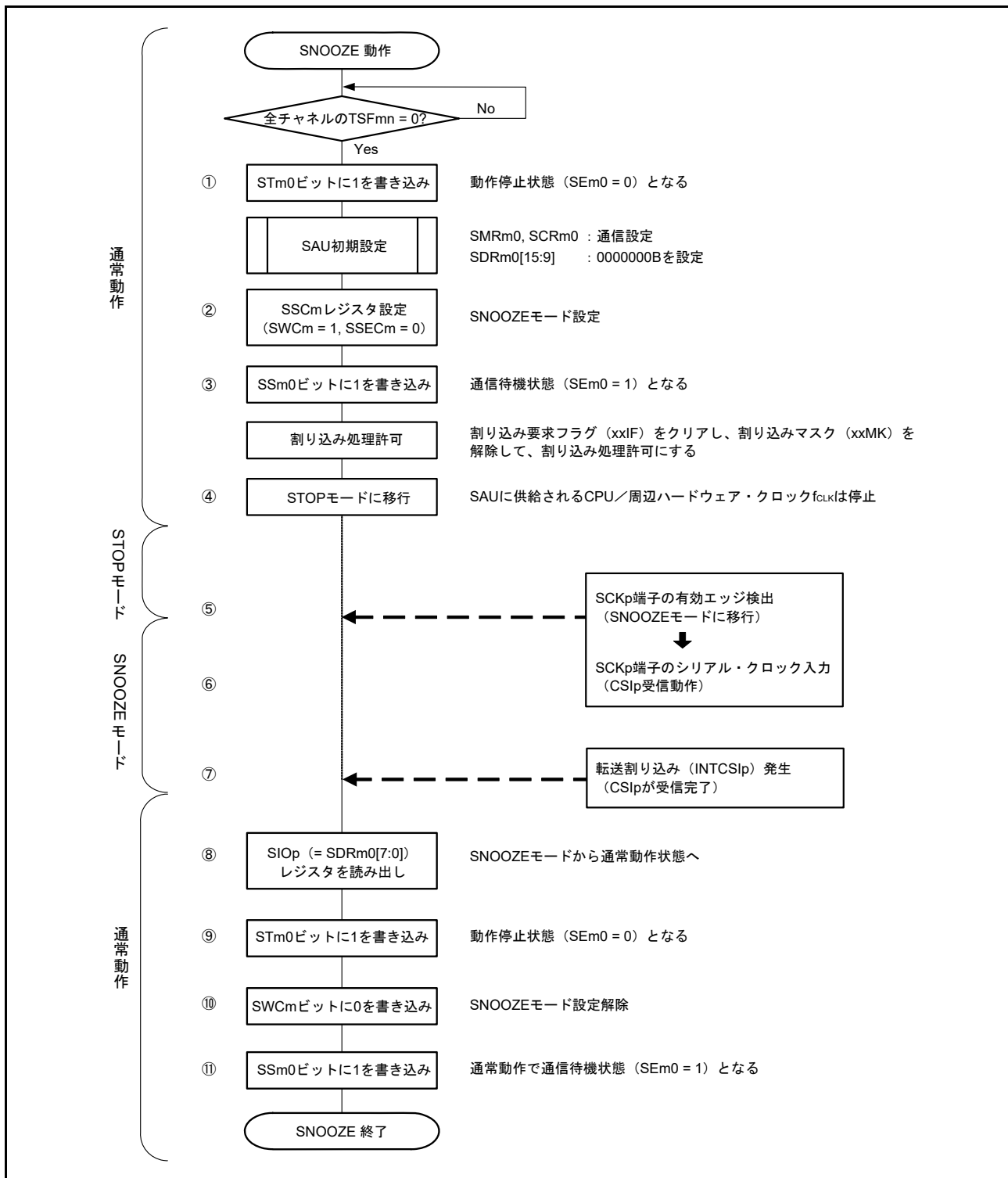
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットに1を設定してください (SEm0ビットがクリアされ動作停止)。また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm0, OVfm0フラグは動作しません。

備考1. 図中の①～⑪は、図24 - 73 SNOOZEモード動作 (1回起動) 時のフロー・チャートの①～⑪に対応しています。

備考2. m = 0, p = 00

図24 - 73 SNOOZEモード動作 (1回起動) 時のフロー・チャート

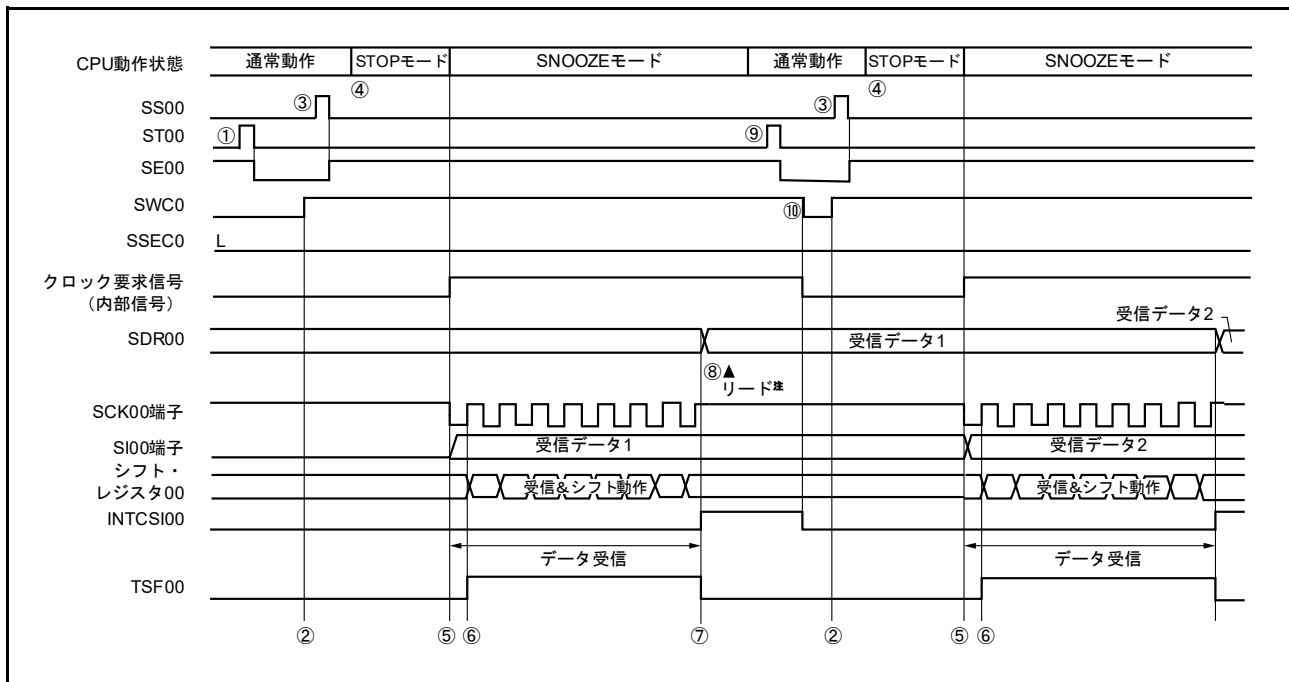


備考1. 図中の①～⑪は、図24 - 72 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①～⑪に対応しています。

備考2. m = 0, p = 00

(2) SNOOZEモード動作 (連続起動)

図24-74 SNOOZEモード動作 (連続起動) 時のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください

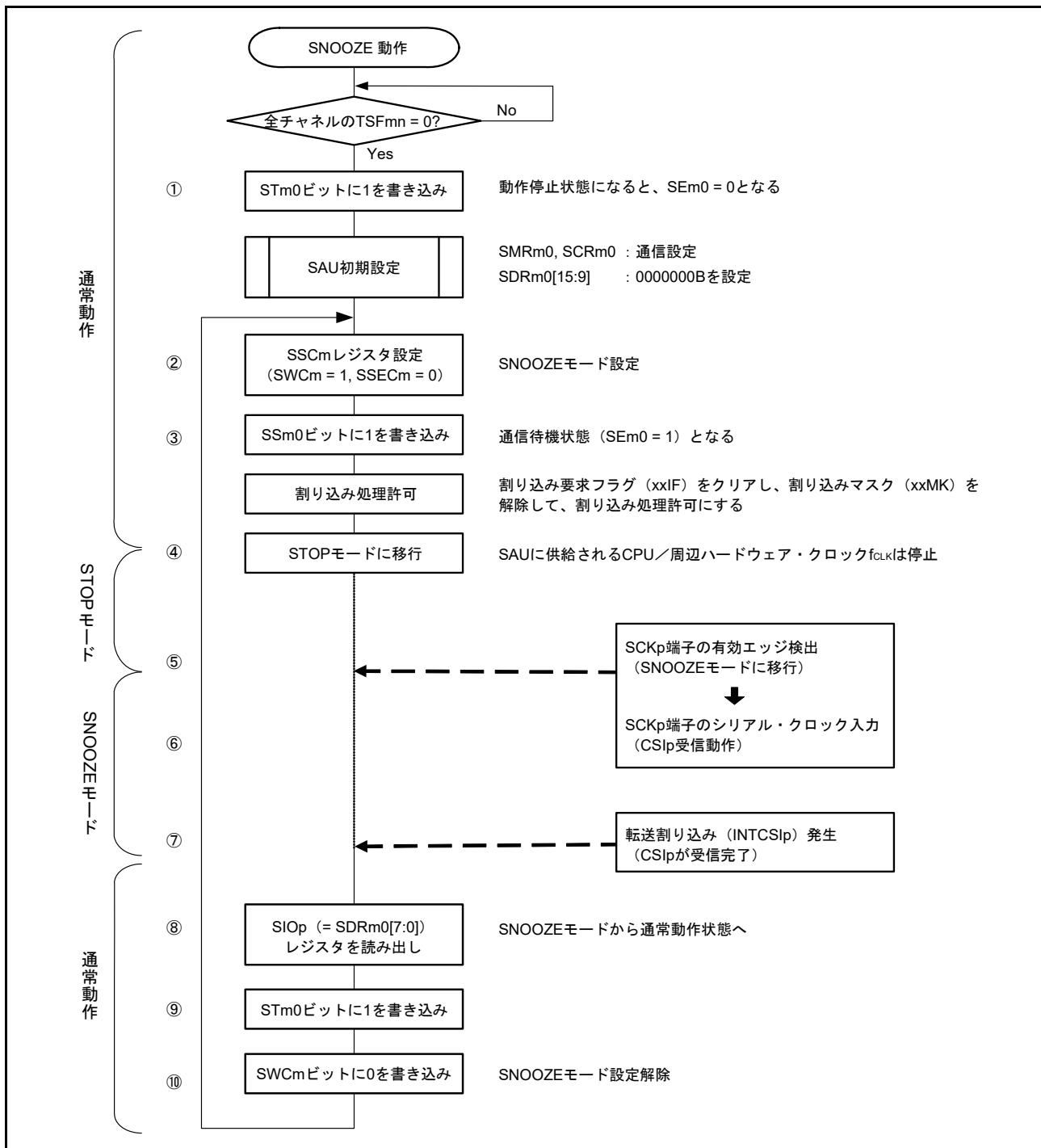
注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットに1を設定してください (SEm0ビットがクリアされ動作停止)。また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm0, OVFm0フラグは動作しません。

備考1. 図中の①～⑩は、図24-75 SNOOZEモード動作 (連続起動) 時のフロー・チャートの①～⑩に対応しています。

備考2. m = 0, p = 00

図24 - 75 SNOOZEモード動作 (連続起動) 時のフロー・チャート



備考1. 図中の①～⑩は、図24 - 74 SNOOZEモード動作 (連続起動) 時のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①～⑩に対応しています。

備考2. m = 0, p = 00

24.5.8 転送クロック周波数の算出

簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) 通信での転送クロック周波数は下記の計算式にて算出できません。

(1) マスタの場合

$$(\text{転送クロック周波数}) = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$(\text{転送クロック周波数}) = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数は fMCK/6 となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn) のビット15-9の値 (0000000B-1111111B) なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット 15 (CKSmn) で決まります。

表24-3 簡易SPI動作クロックの選択 (1/2)

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注			
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時	fCLK = 48 MHz 動作時	
0	x	x	x	x	0	0	0	0	0	fCLK	32 MHz	設定禁止
	x	x	x	x	0	0	0	1	1	fCLK/2	16 MHz	24 MHz
	x	x	x	x	0	0	1	0	0	fCLK/2 ²	8 MHz	12 MHz
	x	x	x	x	0	0	1	1	1	fCLK/2 ³	4 MHz	6 MHz
	x	x	x	x	0	1	0	0	0	fCLK/2 ⁴	2 MHz	3 MHz
	x	x	x	x	0	1	0	1	1	fCLK/2 ⁵	1 MHz	1.5 MHz
	x	x	x	x	0	1	1	0	0	fCLK/2 ⁶	500 kHz	750 kHz
	x	x	x	x	0	1	1	1	1	fCLK/2 ⁷	250 kHz	375 kHz
	x	x	x	x	1	0	0	0	0	fCLK/2 ⁸	125 kHz	188 kHz
	x	x	x	x	1	0	0	1	1	fCLK/2 ⁹	62.5 kHz	93.8 kHz
	x	x	x	x	1	0	1	0	0	fCLK/2 ¹⁰	31.25 kHz	46.9 kHz
	x	x	x	x	1	0	1	1	1	fCLK/2 ¹¹	15.63 kHz	23.4 kHz
	x	x	x	x	1	1	0	0	0	fCLK/2 ¹²	7.81 kHz	11.7 kHz
	x	x	x	x	1	1	0	1	1	fCLK/2 ¹³	3.91 kHz	5.86 kHz
	x	x	x	x	1	1	1	0	0	fCLK/2 ¹⁴	1.95 kHz	2.93 kHz
x	x	x	x	1	1	1	1	1	fCLK/2 ¹⁵	977 Hz	1.46 kHz	

表24 - 3 簡易SPI動作クロックの選択 (2/2)

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時
1	0	0	0	0	×	×	×	×	fCLK	32 MHz	設定禁止
	0	0	0	1	×	×	×	×	fCLK/2	16 MHz	24 MHz
	0	0	1	0	×	×	×	×	fCLK/2 ²	8 MHz	12 MHz
	0	0	1	1	×	×	×	×	fCLK/2 ³	4 MHz	6 MHz
	0	1	0	0	×	×	×	×	fCLK/2 ⁴	2 MHz	3 MHz
	0	1	0	1	×	×	×	×	fCLK/2 ⁵	1 MHz	1.5 MHz
	0	1	1	0	×	×	×	×	fCLK/2 ⁶	500 kHz	750 kHz
	0	1	1	1	×	×	×	×	fCLK/2 ⁷	250 kHz	375 kHz
	1	0	0	0	×	×	×	×	fCLK/2 ⁸	125 kHz	188 kHz
	1	0	0	1	×	×	×	×	fCLK/2 ⁹	62.5 kHz	93.8 kHz
	1	0	1	0	×	×	×	×	fCLK/2 ¹⁰	31.25 kHz	46.9 kHz
	1	0	1	1	×	×	×	×	fCLK/2 ¹¹	15.63 kHz	23.4 kHz
	1	1	0	0	×	×	×	×	fCLK/2 ¹²	7.81 kHz	11.7 kHz
	1	1	0	1	×	×	×	×	fCLK/2 ¹³	3.91 kHz	5.86 kHz
	1	1	1	0	×	×	×	×	fCLK/2 ¹⁴	1.95 kHz	2.93 kHz
1	1	1	1	×	×	×	×	fCLK/2 ¹⁵	977 Hz	1.46 kHz	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ (CKC) の値を変更）する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止（シリアル・チャンネル停止レジスタ m (STm) = 000FH）させてから変更してください。

備考1. × : Don't care

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、mn = 00-03, 10, 11

24.5.9 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) 通信時におけるエラー発生時の処理手順

表 24 - 4 に簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) 通信時にエラーが発生した場合の処理手順を示します。

表24 - 4 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) を読み出す	SSRmn レジスタの BFFmn ビットが 0 となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) を読み出す		エラーの種類を判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に 1 を書き込む	エラー・フラグがクリアされる	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、mn = 00-03, 10, 11

24.6 UART (UART0-UART2) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ポー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全二重調歩同期 UART 通信が実現できます。また、UART0 とタイマ・アレイ・ユニット (チャンネル3) と外部割り込み (INTP0) を組み合わせて LIN-bus にも対応可能です。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定 (レベルを反転するかどうかの選択)
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加、ストップ・ビット・チェック機能

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、UART の受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0 のみ設定可能です。

UART0 (ユニット0のチャンネル0, 1) は、LIN-bus に対応しています。

[LIN-bus 機能]

- | | | |
|---|---|--|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド (BF) 検出 • シンク・フィールド測定、ポー・レート算出 | } | 外部割り込み (INTP0)、
タイマ・アレイ・ユニット (チャンネル3) を使用 |
|---|---|--|

注 9ビット・データ長は、UART0のみ対応しています。

fCLK に中速オンチップ・オシレータ・クロック (fIM) または低速オンチップ・オシレータ・クロック (fIL) を選択している場合は、中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) または低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) を使用して発振周波数精度の補正を行ってください。

- UART0では、SAU0のチャンネル0, 1を使用します。
- UART1では、SAU0のチャンネル2, 3を使用します。
- UART2では、SAU1のチャンネル0, 1を使用します。

<20ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	—	UART1	—
	1	—		—
	2	—		—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

<24, 25ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用	
0	0	—	UART0 (LIN-bus対応) 注	—	
	1	—		—	
	2	—		UART1	—
	3	CSI11		IIC11	
1	0	CSI20	UART2	IIC20	
	1	—		—	

<30, 32ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用	
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00	
	1	—		—	
	2	—		UART1	—
	3	CSI11		IIC11	
1	0	CSI20	UART2	IIC20	
	1	—		—	

<40, 44ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用	
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00	
	1	—		—	
	2	—		UART1	—
	3	CSI11		IIC11	
1	0	CSI20	UART2	IIC20	
	1	CSI21		IIC21	

<48, 52ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

<64ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

注 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR01ビットに1を設定した場合に使用できます。

各チャンネルはどれか1つの機能を選択して使用します。選択された機能以外の動作はできません。たとえば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をCSI10やUART1やIIC10で使用することはできます。

注意 UARTとして使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART送信 (24.6.1を参照)
- UART受信 (24.6.2を参照)
- LIN送信 (UART0のみ) (24.7.1を参照)
- LIN受信 (UART0のみ) (24.7.2を参照)

24.6.1 UART送信

UART 送信は、RL78 マイクロコントローラからほかのデバイスへ非同期（調歩同期）でデータを送信する動作です。UART 送信では、その UART に使用する 2 チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	TxD0	TxD1	TxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}		
転送レート ^{注2}	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上)、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加 		
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • 1ビット付加 • 2ビット付加 		
データ方向	MSB ファーストまたはLSB ファースト		

注1. 9ビット・データ長は、UART0のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（ $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ ）または第44章 電気的特性（ $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ ）を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

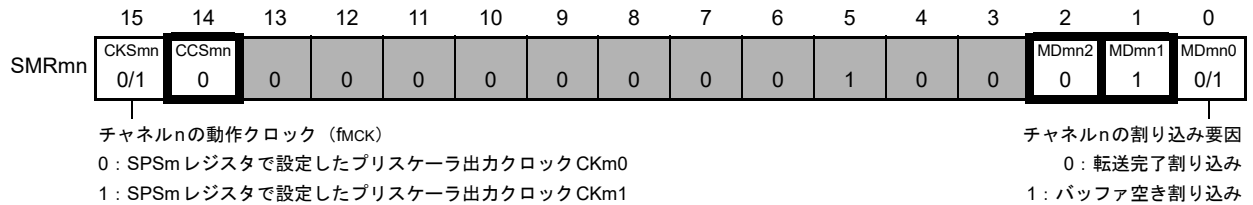
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号 ($m = 0, 1$)、 n : チャンネル番号 ($n = 0, 2$)、 $mn = 00, 02, 10$

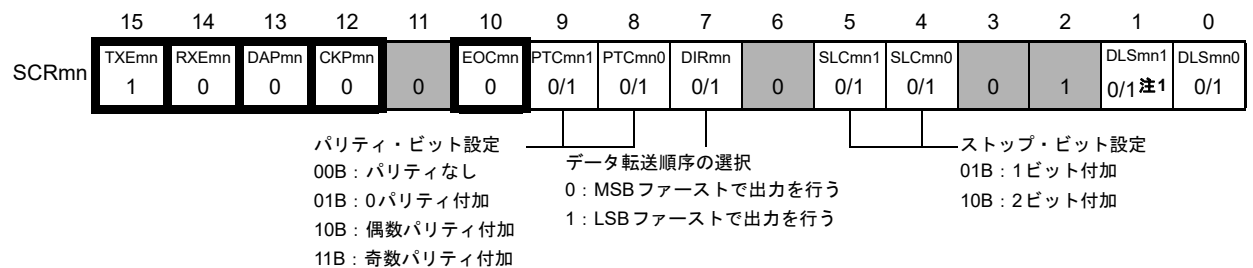
(1) レジスタ設定

図24 - 76 UART (UART0-UART2) のUART送信時のレジスタ設定内容例

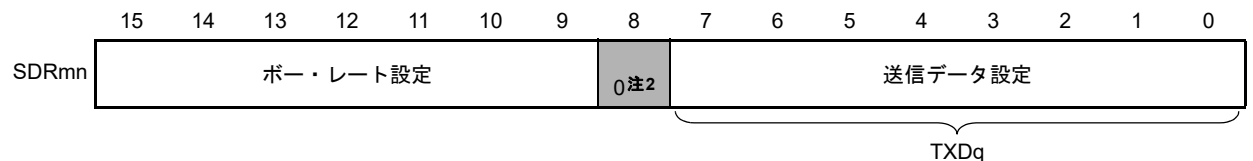
(a) シリアル・モード・レジスタ mn (SMRmn)



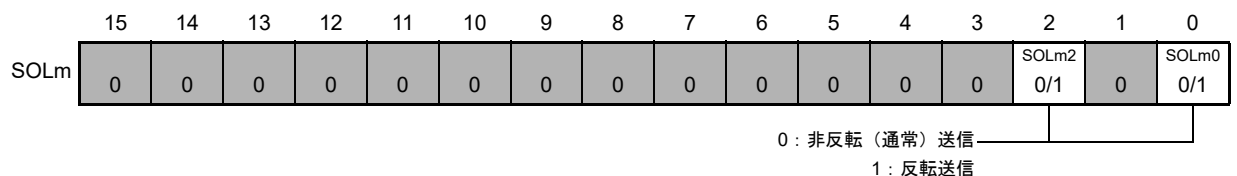
(b) シリアル通信動作設定レジスタ mn (SCRmn)



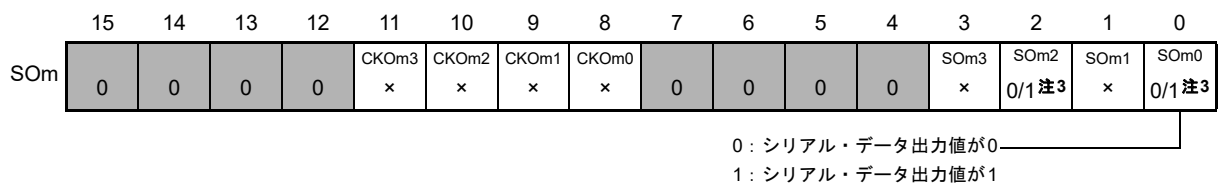
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : TXDq)



(d) シリアル出力レベル・レジスタ m (SOLm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力レジスタ m (SOM) : 対象チャンネルのビットのみ設定する



(f) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1を設定する



(g) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

- 注1.** SCR00レジスタのみ。その他は1固定になります。
- 注2.** 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。
9ビット・データ長での通信が行えるのは、UART0のみです。
- 注3.** 該当するチャンネルのSOLmnビットに0を設定している場合は1に、SOLmnビットに1を設定している場合は0を送信開始前に設定してください。通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0, 2)、q : UART番号 (q = 0-2)、mn = 00, 02, 10

- 備考2.** : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
× : このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図 24 - 77 UART 送信の初期設定手順

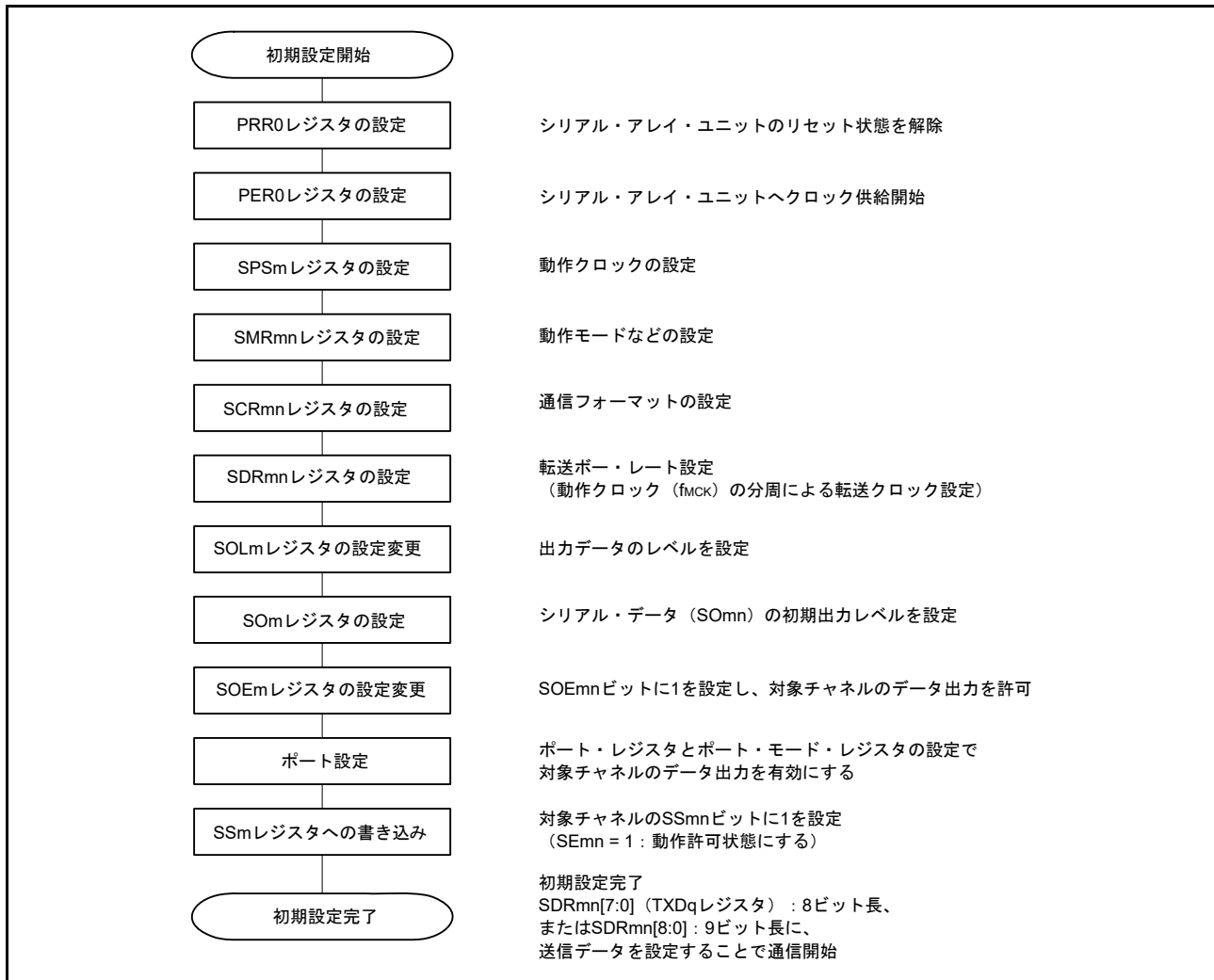


図 24 - 78 UART 送信の中断手順

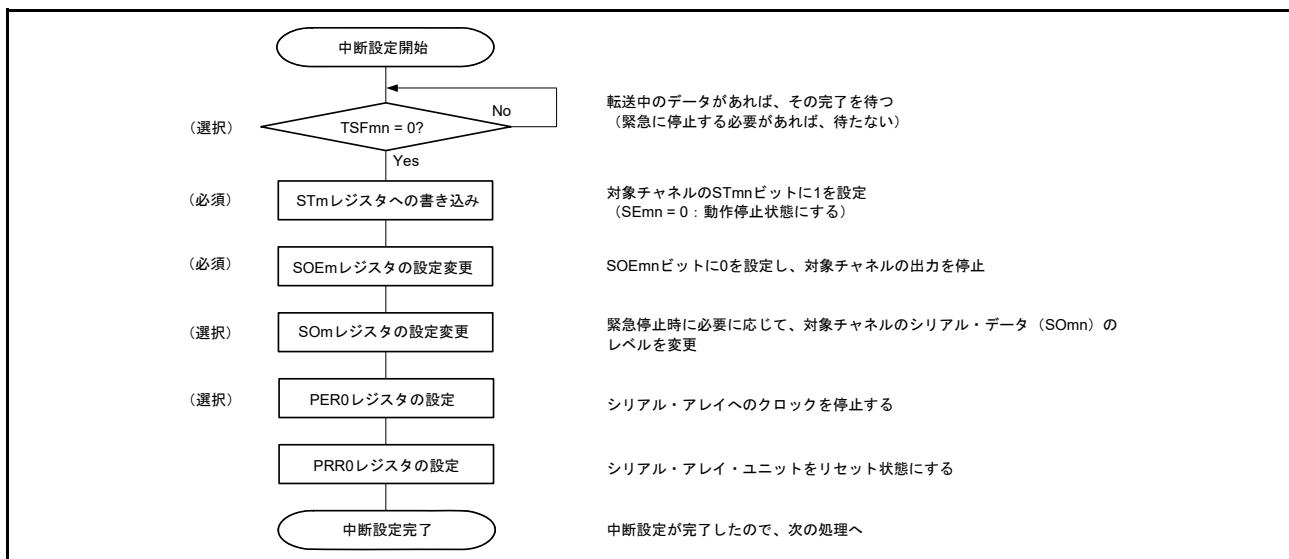
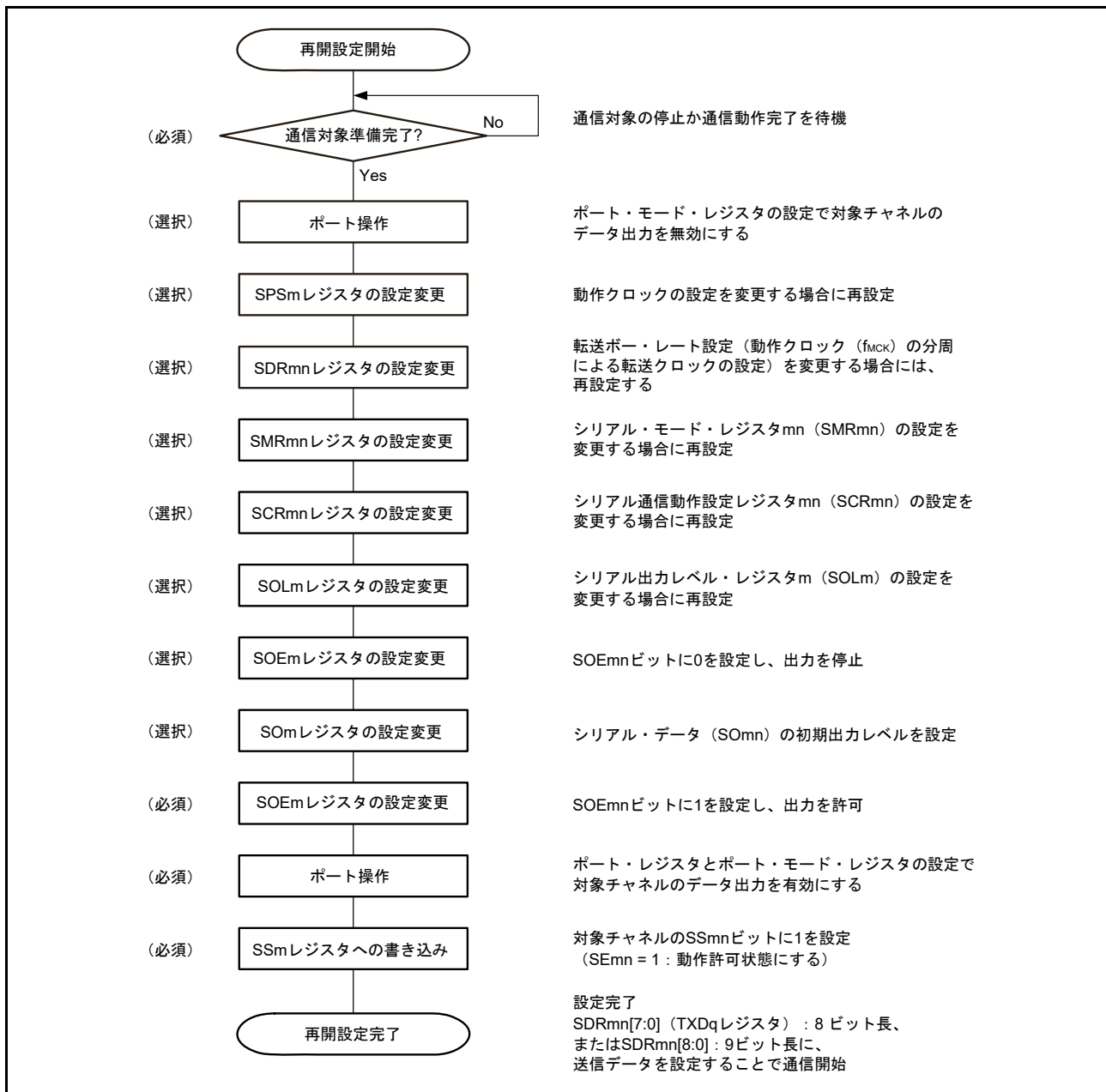


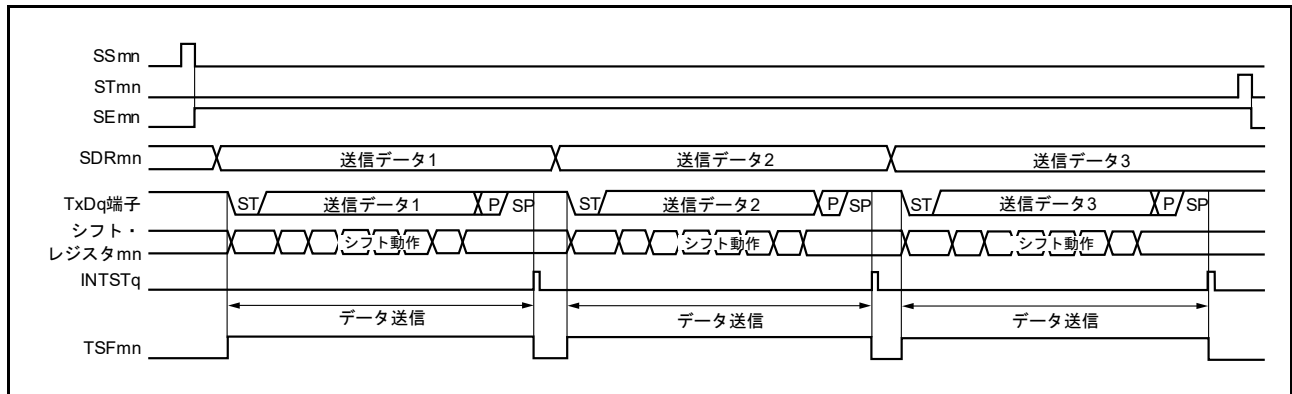
図24 - 79 UART送信の再開設定手順



備考 中断設定でPRR0を書き換えてリセット状態にした場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

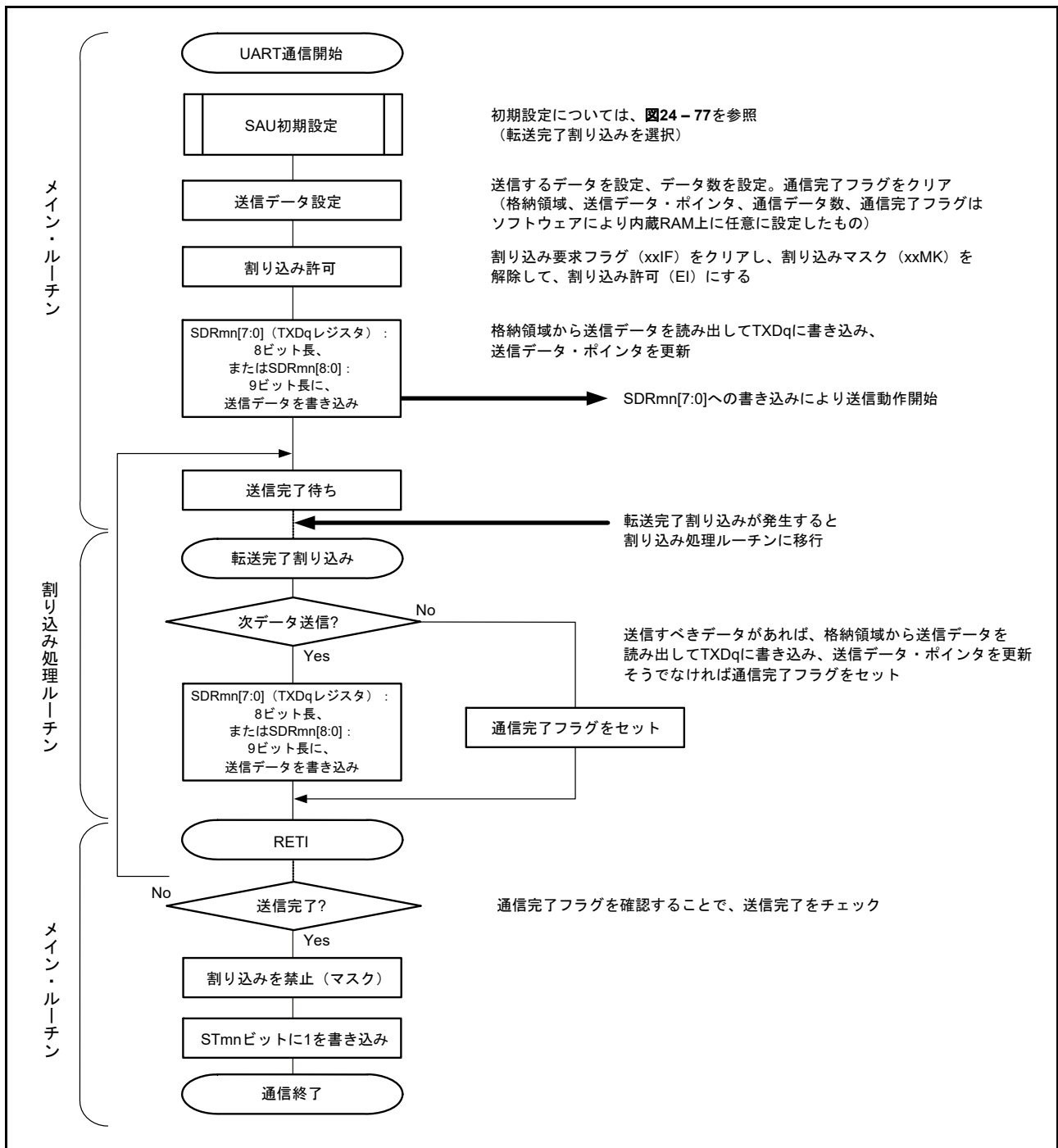
(3) 処理フロー (シングル送信モード時)

図24 - 80 UART送信 (シングル送信モード時) のタイミング・チャート



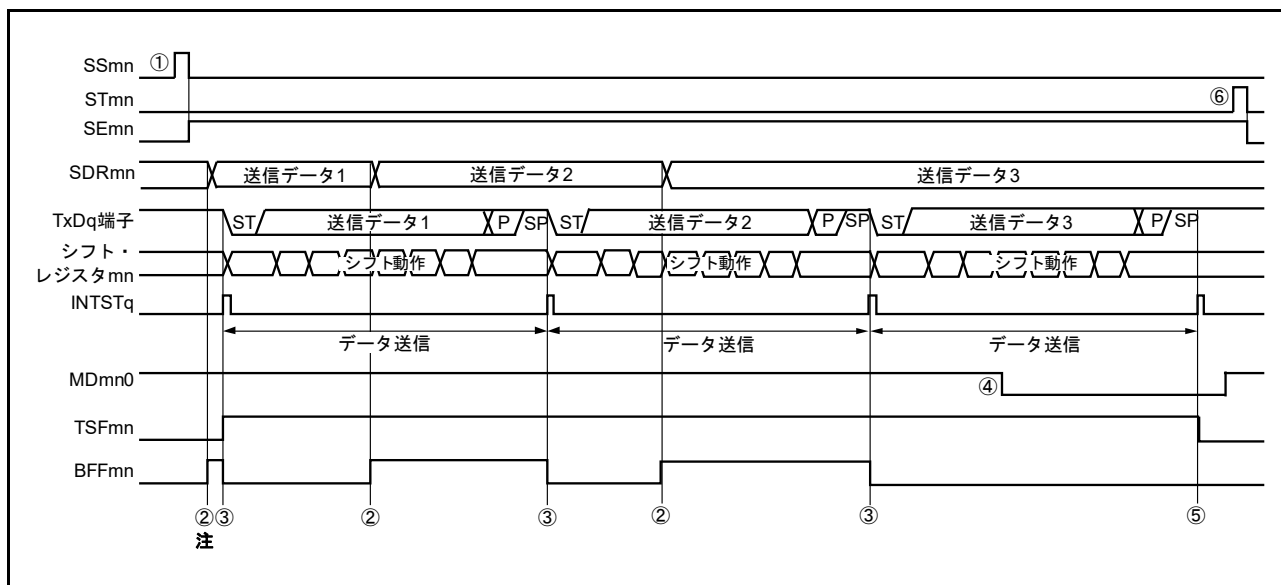
備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、q : UART 番号 (q = 0-2)、mn = 00, 02, 10

図24 - 81 UART送信 (シングル送信モード時) のフロー・チャート



(4) 処理フロー (連続送信モード時)

図24-82 UART送信 (連続送信モード時) のタイミング・チャート

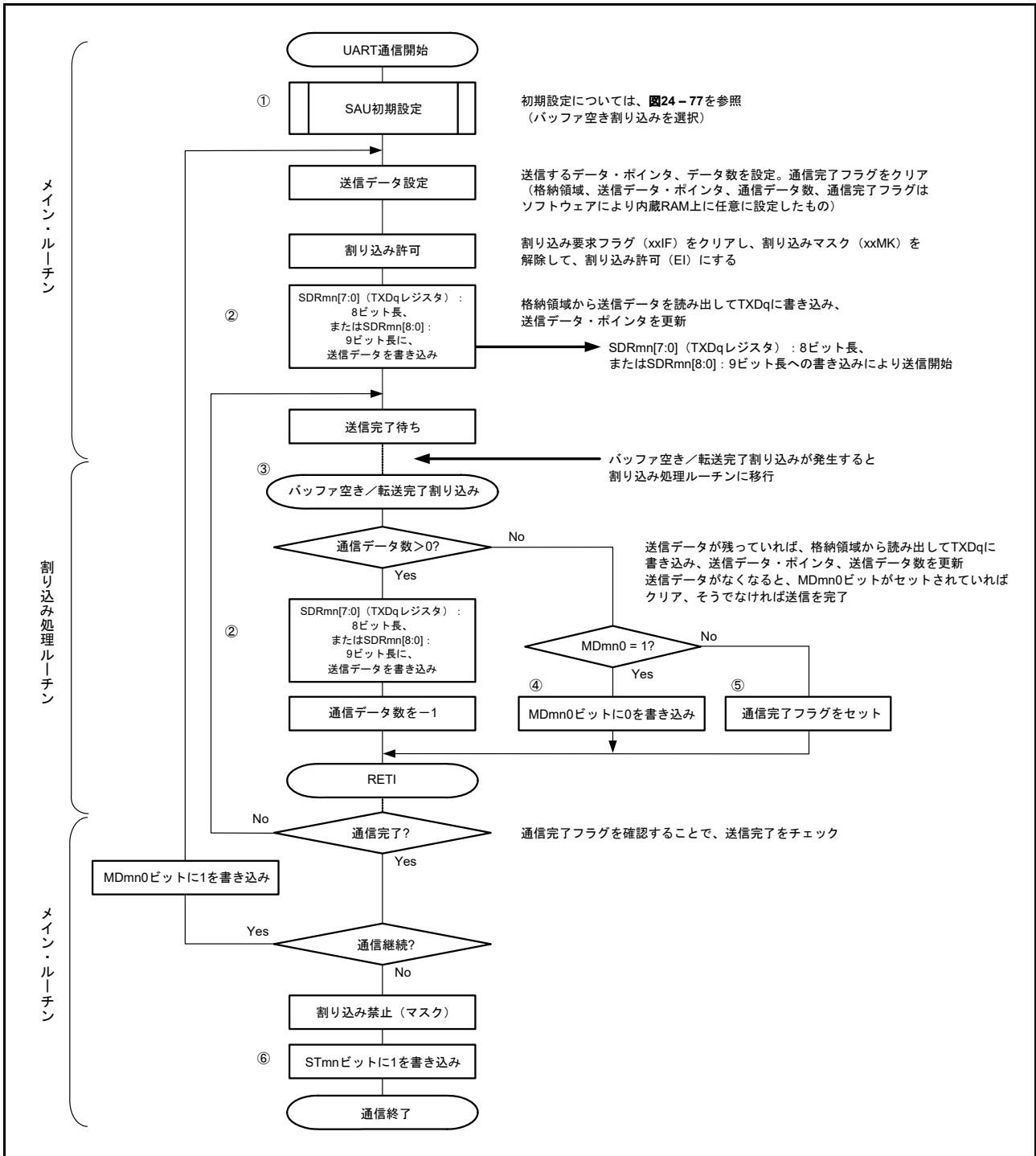


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、q : UART 番号 (q = 0-2)、mn = 00, 02, 10

図24 - 83 UART送信 (連続送信モード時) のフロー・チャート



備考 図中の①～⑥は、図24 - 82 UART送信 (連続送信モード時) のタイミング・チャートの①～⑥に対応しています。

24.6.2 UART受信

UART 受信は、ほかのデバイスから RL78 マイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART 受信では、その UART に使用する 2 チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMR レジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1
使用端子	RxD0	RxD1	RxD2
割り込み	INTSR0	INTSR1	INTSR2
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	INTSRE0	INTSRE1	INTSRE2
エラー検出フラグ	<ul style="list-style-type: none"> • フレーミング・エラー検出フラグ (FEFmn) • パリティ・エラー検出フラグ (PEFmn) • オーバラン・エラー検出フラグ (OVFmn) 		
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}		
転送レート ^{注2}	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上)、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし（パリティ・チェックなし） • パリティ判定なし（0パリティ） • 偶数パリティ・チェック • 奇数パリティ・チェック 		
ストップ・ビット	1ビット付加		
データ方向	MSB ファーストまたはLSB ファースト		

注1. 9ビット・データ長は、UART0のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（ $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ ）または第44章 電気的特性（ $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ ）を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

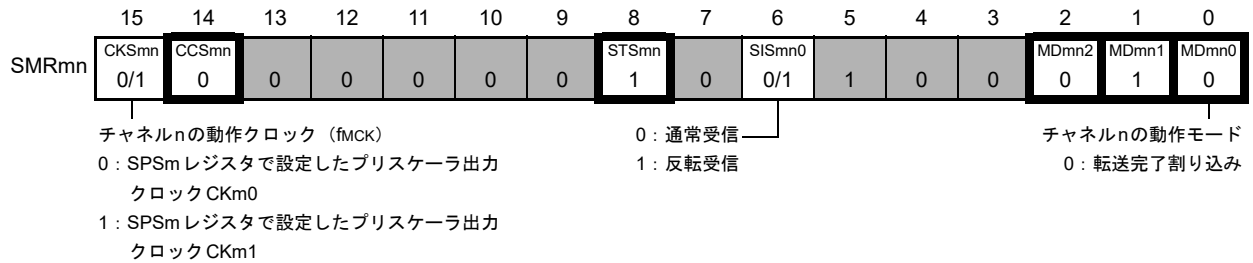
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号 ($m = 0, 1$)、 n : チャンネル番号 ($n = 1, 3$)、 $mn = 01, 03, 11$

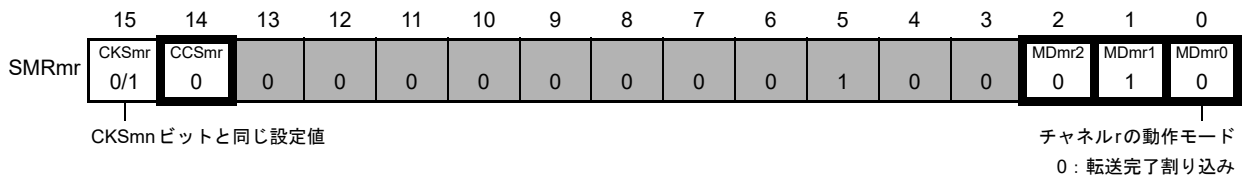
(1) レジスタ設定

図24 - 84 UART (UART0-UART2) のUART受信時のレジスタ設定内容例

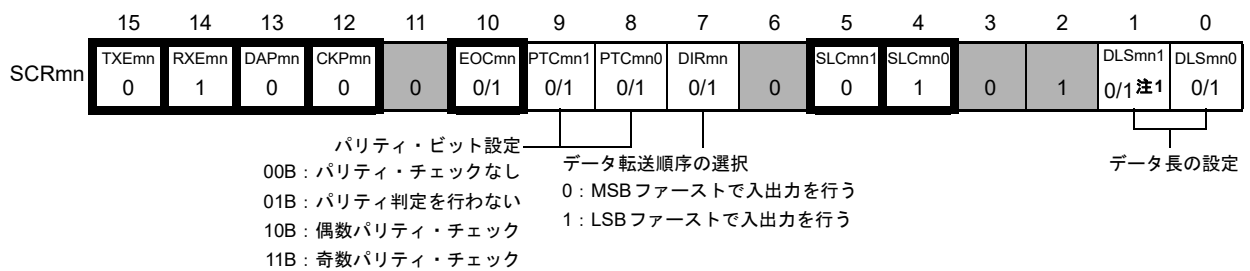
(a) シリアル・モード・レジスタ mn (SMRmn)



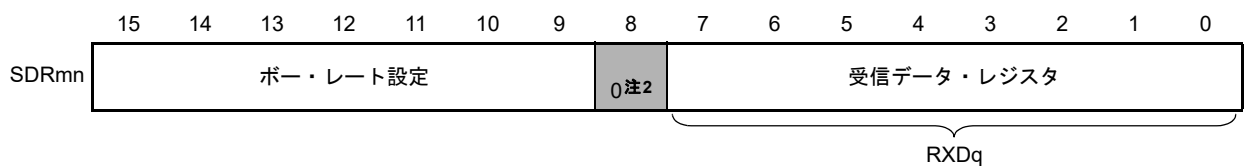
(b) シリアル・モード・レジスタ mr (SMRmr)



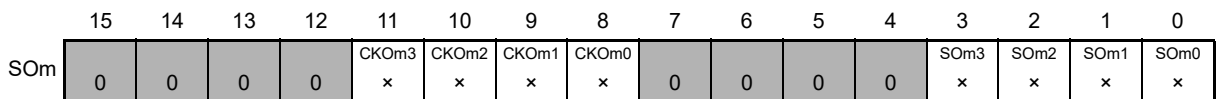
(c) シリアル通信動作設定レジスタ mn (SCRmn)



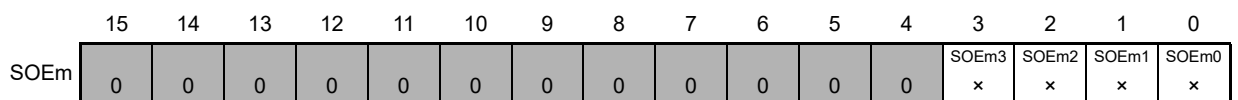
(d) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: RXDq)



(e) シリアル出力レジスタ m (SOm) : このモードでは使用しない



(f) シリアル出力許可レジスタ m (SOEm) : このモードでは使用しない



(g) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

注1. SCR01レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。
9ビット・データ長での通信が行えるのは、UART0のみです。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタもUART送信モードに設定してください。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 1, 3)、q : UART番号 (q = 0-2)、
r : チャンネル番号 (r = n - 1)、mn = 01, 03, 11

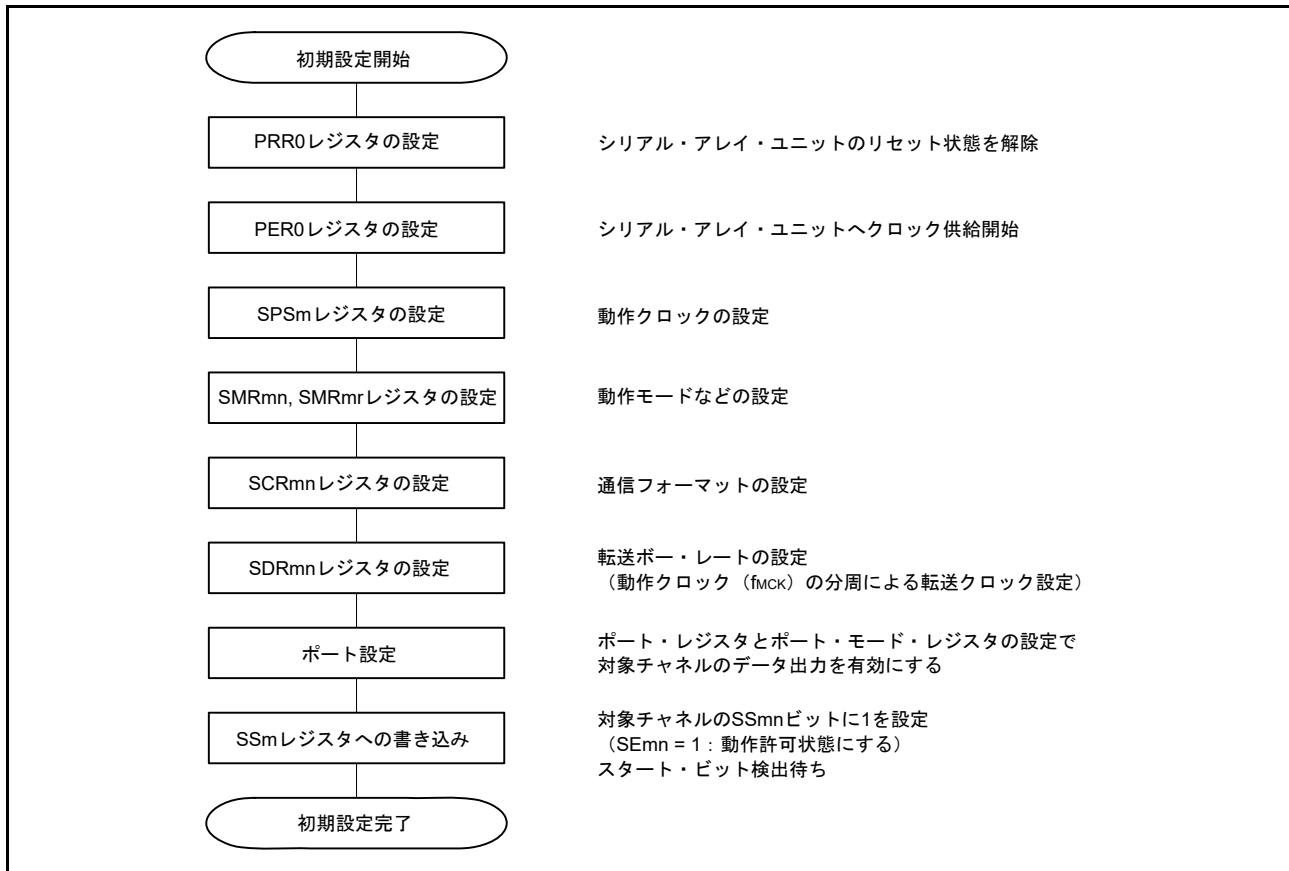
備考2. : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図24 - 85 UART受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットに1を設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図24 - 86 UART受信の中断手順

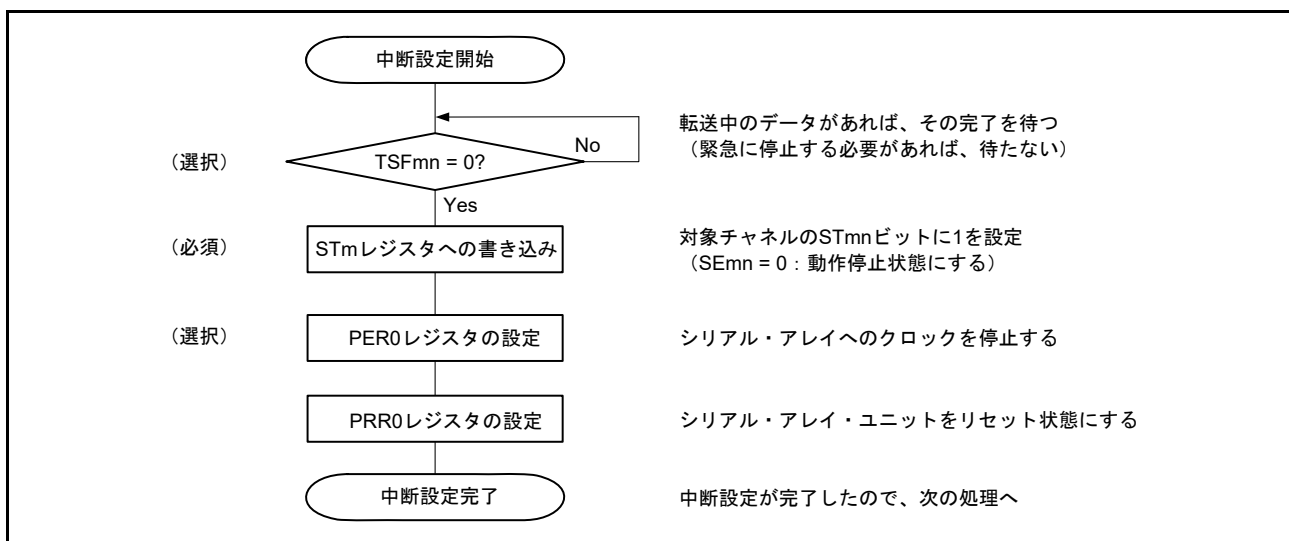
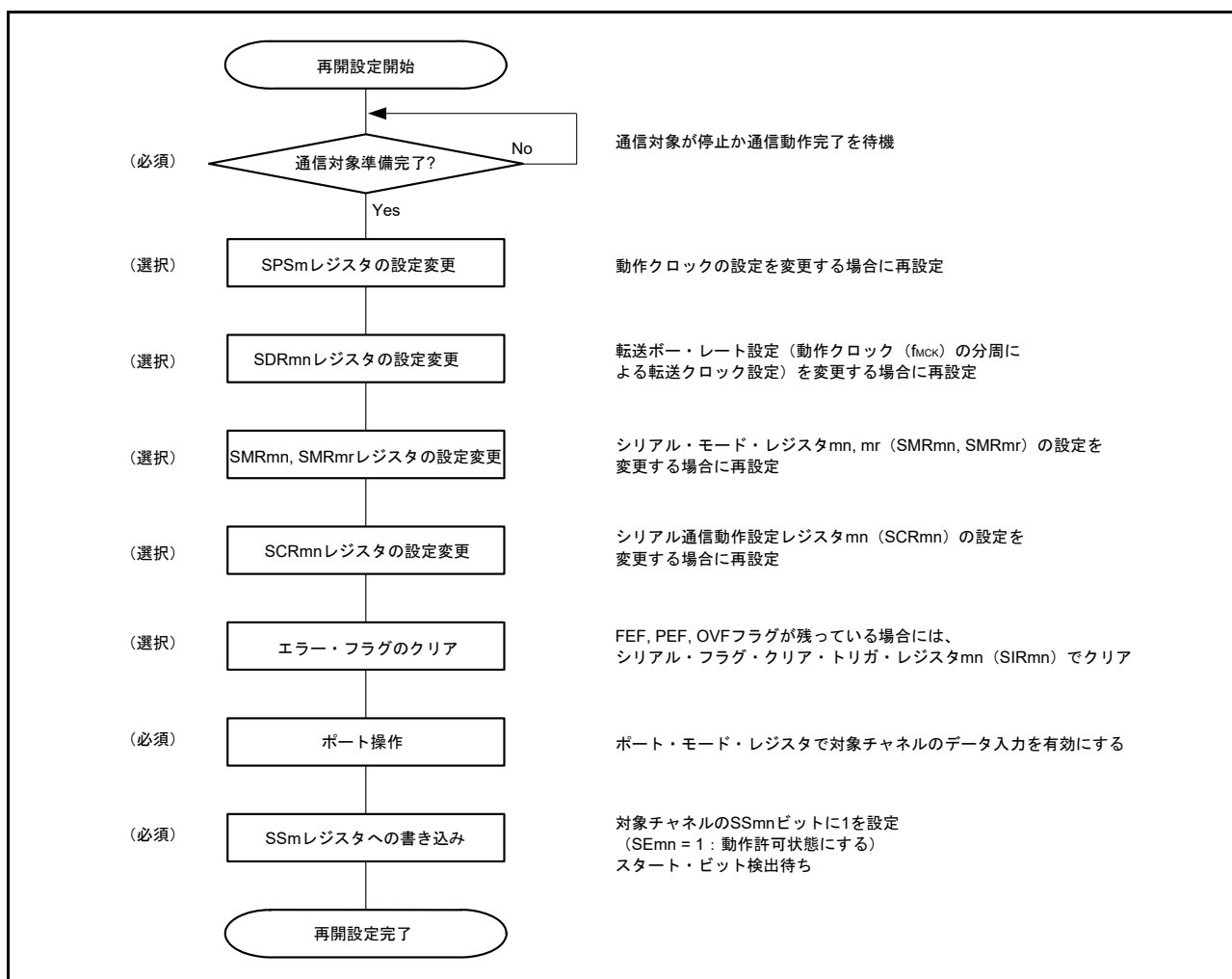


図24 - 87 UART受信の再開設定手順

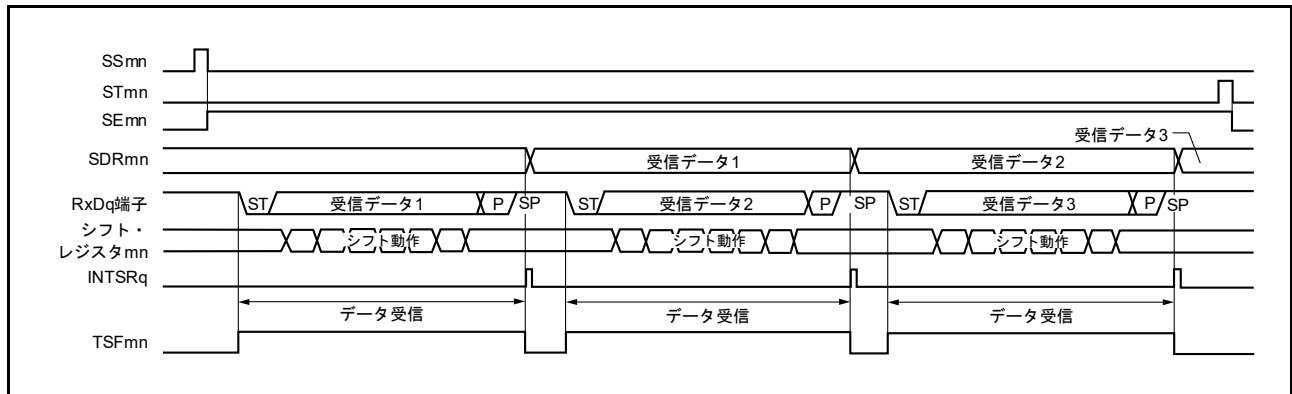


注意 SCRmnレジスタのRXEmnビットに1を設定後に、f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPRR0を書き換えてリセット状態にした場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

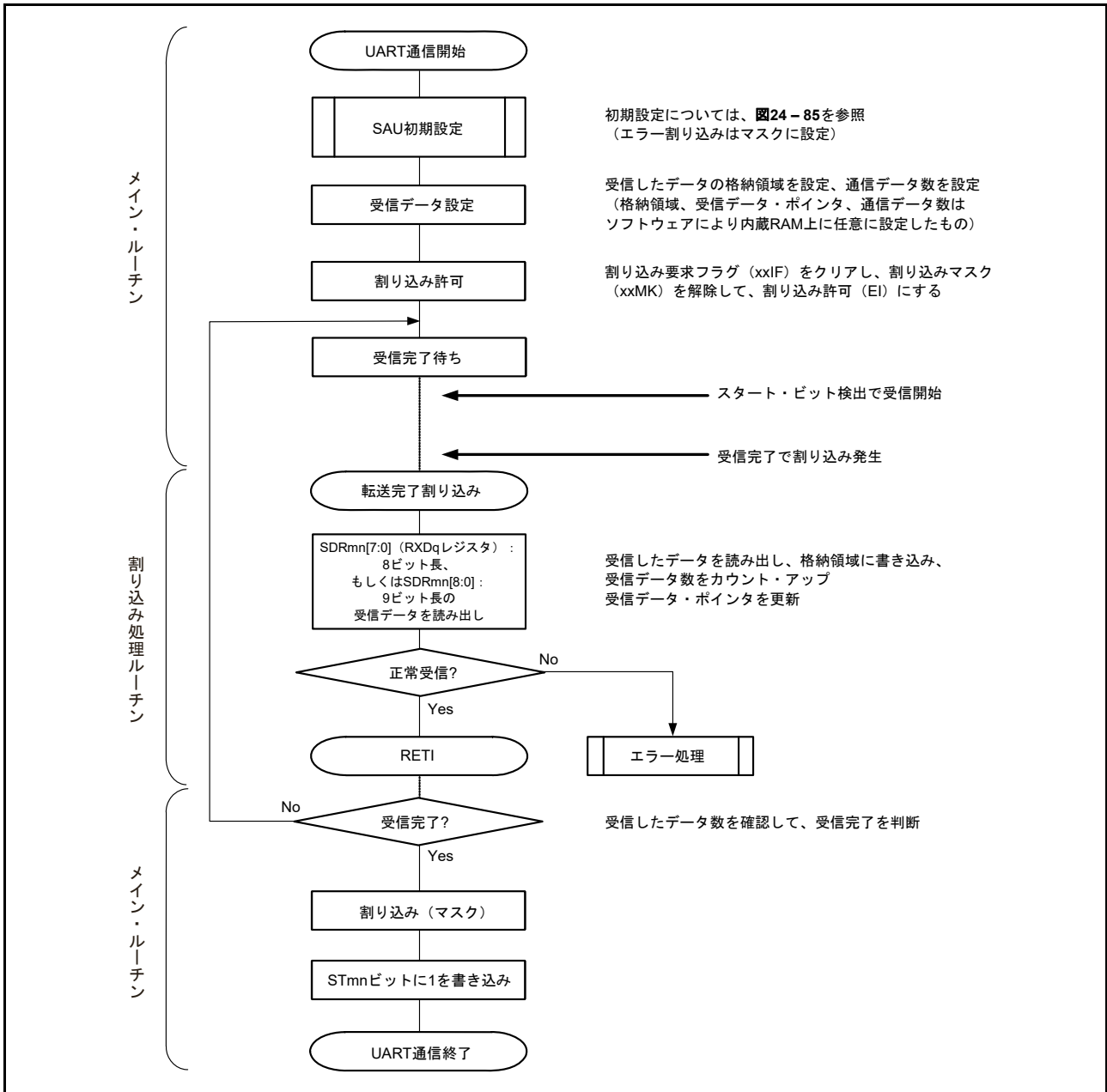
(3) 処理フロー

図24 - 88 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、q : UART 番号 (q = 0-2)、r : チャネル番号 (r = n - 1)、mn = 01, 03, 11

図24 - 89 UART受信のフロー・チャート



24.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

SNOOZEモードは、UART0のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図24-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1 または EOCm1 = 1, SSECm = 0) 時のフロー・チャートまたは図24-94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートを参照)

- SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。
表24-5を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット、SSECmビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSREq) の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットに1を設定してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットに1を設定します。
- STOPモードに移行後、RxDqのスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合のみ使用できます。

中速オンチップ・オシレータ・クロックを選択している場合は、中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) を使用して発振周波数精度を補正する必要があります。

注意2. SNOOZEモードでの最大転送レートは115.2 kbps (FWKUP = 1, fCLK = fIH (32 MHz) 設定時) です。
FWKUP = 1 設定時は、fCLKにfIH = 32 MHz以外を設定するのは禁止です。

注意3. SWCm = 1の設定では、STOPモード中に受信開始したときのみUARTqを使用できます。ほかのSNOOZEモード機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーまたはパリティ・エラーが発生することがあります。

- SWCm = 1に設定後、STOPモードに移行する前に受信開始した場合
- ほかのSNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後、SWCm = 0に戻す前に受信開始した場合

注意4. SSECm = 1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVfmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFmn, FEFmn, OVfmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RXDq) を読み出してください。

注意5. RxD0端子の有効エッジ検出によりSNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーまたはパリティ・エラーが発生することがあります。

表24 - 5 SNOOZEモード時のUART受信ボー・レート設定 (高速オンチップ・オシレータ通常起動 (FWKUP=0))

ボー・レート	高速オンチップ・オシレータ (fIH)	動作クロック (fMCK)	SDRmn[15:9]	最大許容値	最小許容値
4800 bps	32 MHz±1.0% ^注	fCLK/2 ⁵	106	1.45%	-1.67%
	24 MHz±1.0% ^注	fCLK/2 ⁵	79	1.77%	-1.37%
9600 bps	32 MHz±1.0% ^注	fCLK/2 ⁴	106	1.45%	-1.67%
	24 MHz±1.0% ^注	fCLK/2 ⁴	79	1.77%	-1.37%

表24 - 6 SNOOZEモード時のUART受信ボー・レート設定 (高速オンチップ・オシレータ高速起動 (FWKUP=1))

ボー・レート	高速オンチップ・オシレータ (fIH)	動作クロック (fMCK)	SDRmn[15:9]	最大許容値	最小許容値
4800 bps	32 MHz±1.0% ^注	fCLK/2 ⁵	106	1.45%	-1.67%
9600 bps		fCLK/2 ⁴	106	1.45%	-1.67%
19200 bps		fCLK/2 ³	106	1.45%	-1.67%
31250 bps		fCLK/2 ³	65	1.05%	-2.06%
38400 bps		fCLK/2 ²	106	1.45%	-1.67%
76800 bps		fCLK/2	106	1.45%	-1.67%
115200 bps		fCLK/2	70	1.93%	-1.21%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

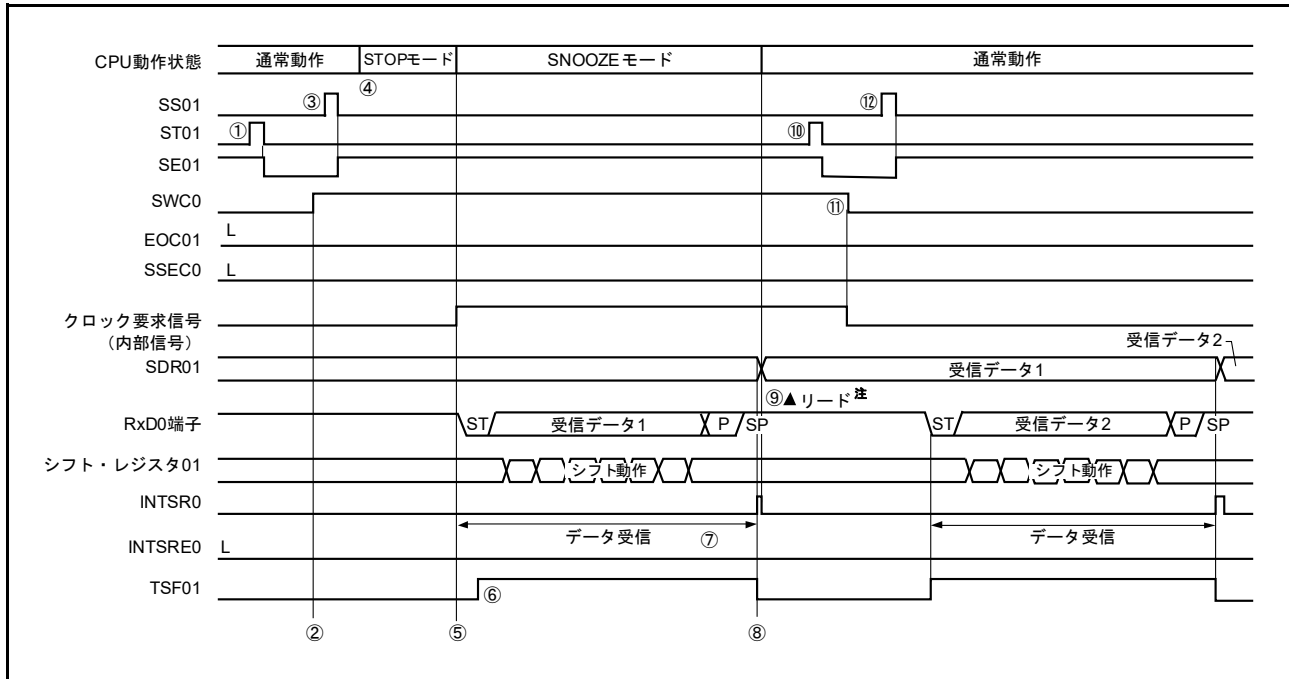
- fIH±1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- fIH±2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

(1) SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0のためSSECmビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSREq) は発生しません。転送完了割り込み (INTSRq) は発生します。

図24 - 90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm1ビットに1を設定してください (SEm1ビットがクリアされ動作停止)。
また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

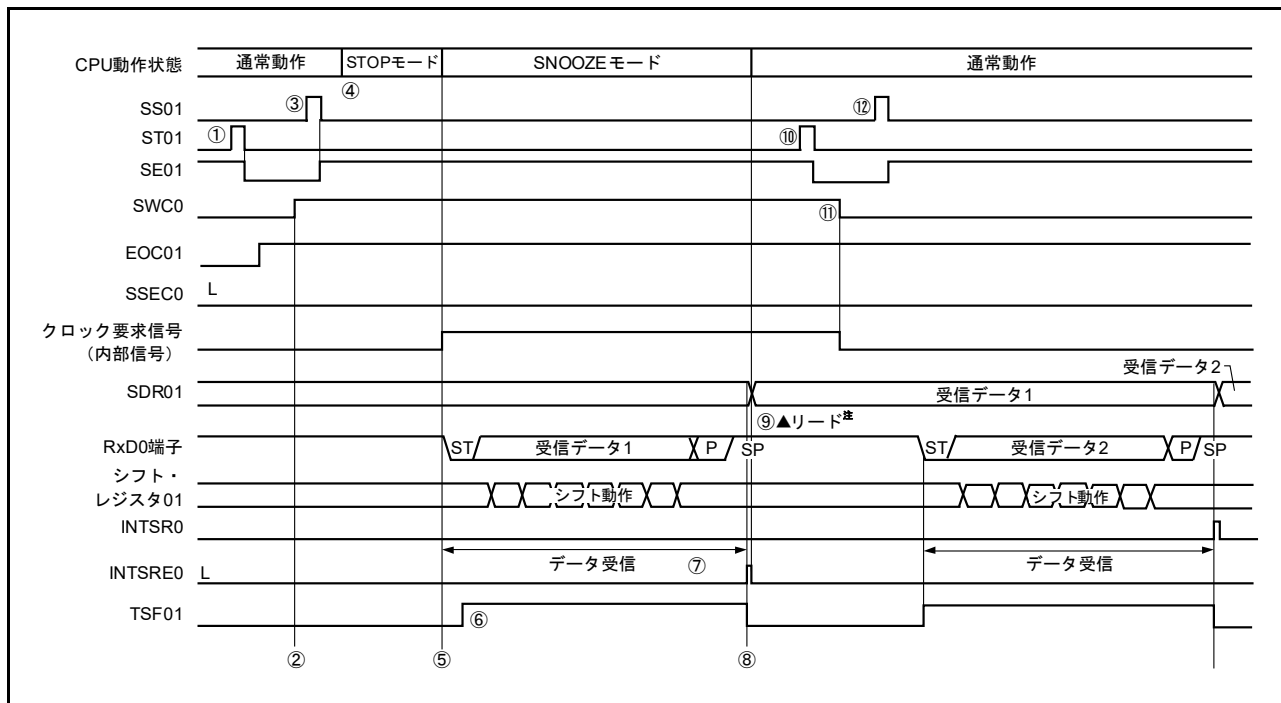
備考1. 図中の①~⑫は、図24 - 92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1またはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

備考2. m = 0, q = 0

(2) SNOOZEモード動作 (EOCm1 = 1, SSECm = 0 : エラー割り込み (INTSREq) 発生許可)

EOCm1 = 1, SSECm = 0のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生します。

図24 - 91 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



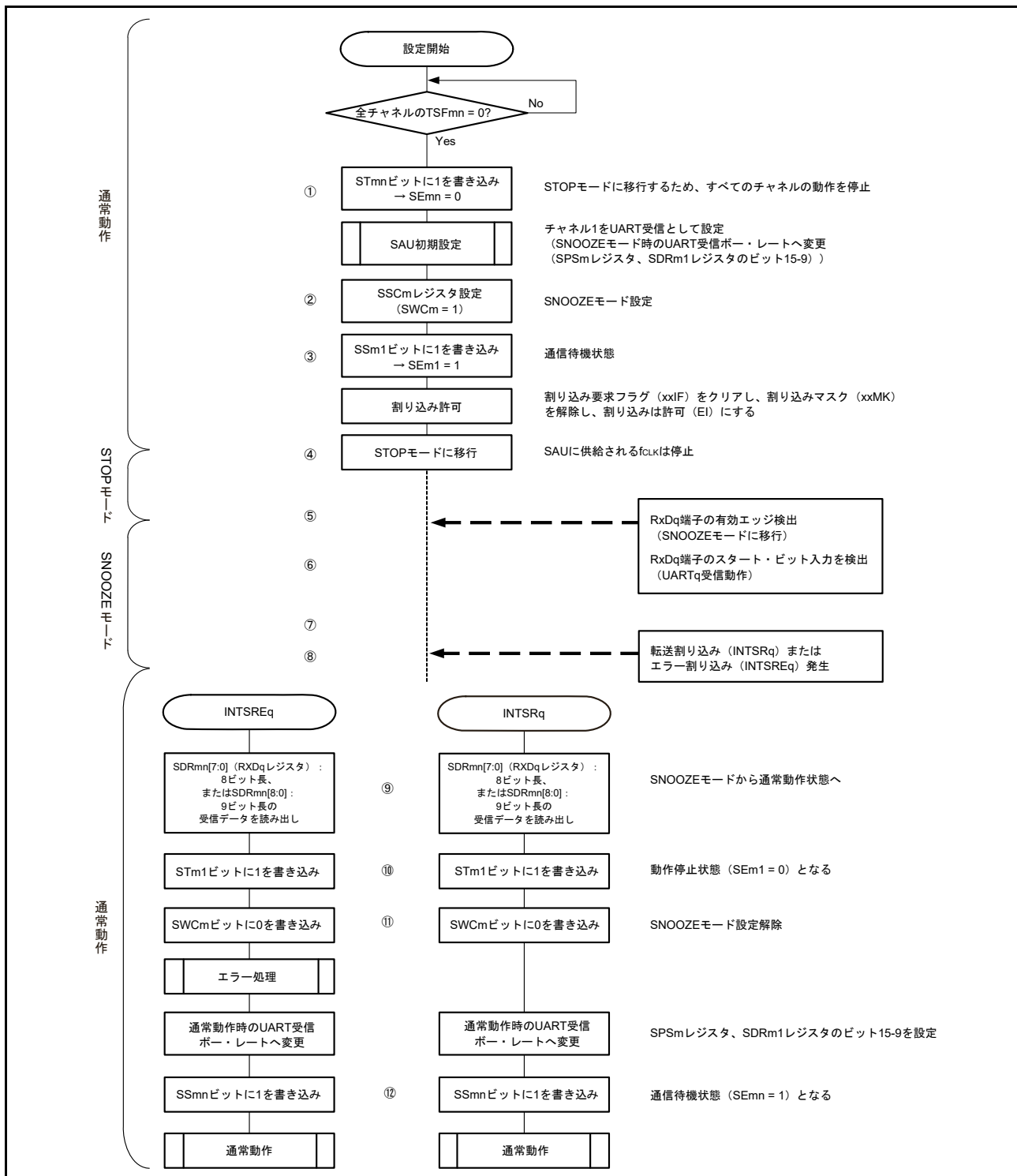
注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm1ビットに1を設定してください (SEm1ビットがクリアされ動作停止)。
また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①~⑫は、図24 - 92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1またはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①~⑫に対応しています。

備考2. m = 0, q = 0

図24-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1またはEOCm1 = 1, SSECm = 0) 時のフロー・チャート



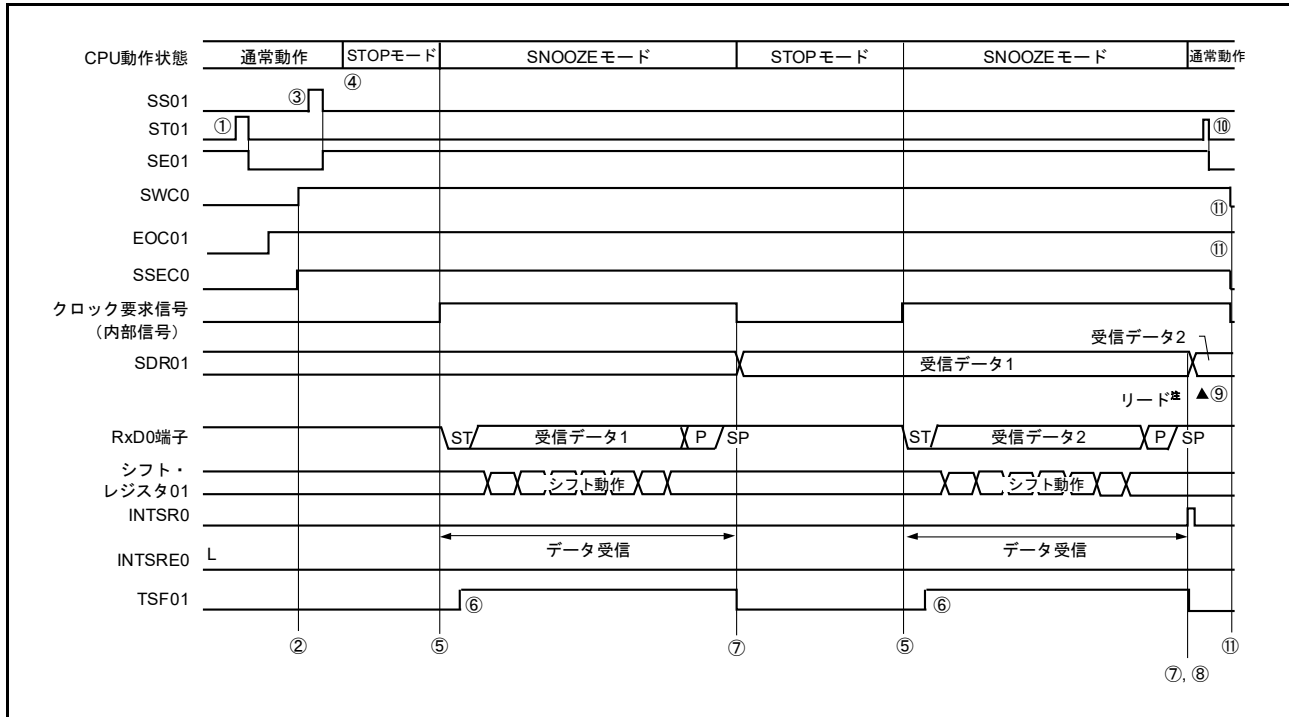
備考1. 図中の①～⑫は、図24-90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート、図24-91 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャートの①～⑫に対応しています。

備考2. m = 0, q = 0, n = 0-3

(3) SNOOZEモード動作 (EOCm1 = 1, SSECm = 1 : エラー割り込み (INTSREq) 発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生しません。

図24 - 93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm1ビットに1を設定してください (SEm1ビットがクリアされ動作停止)。

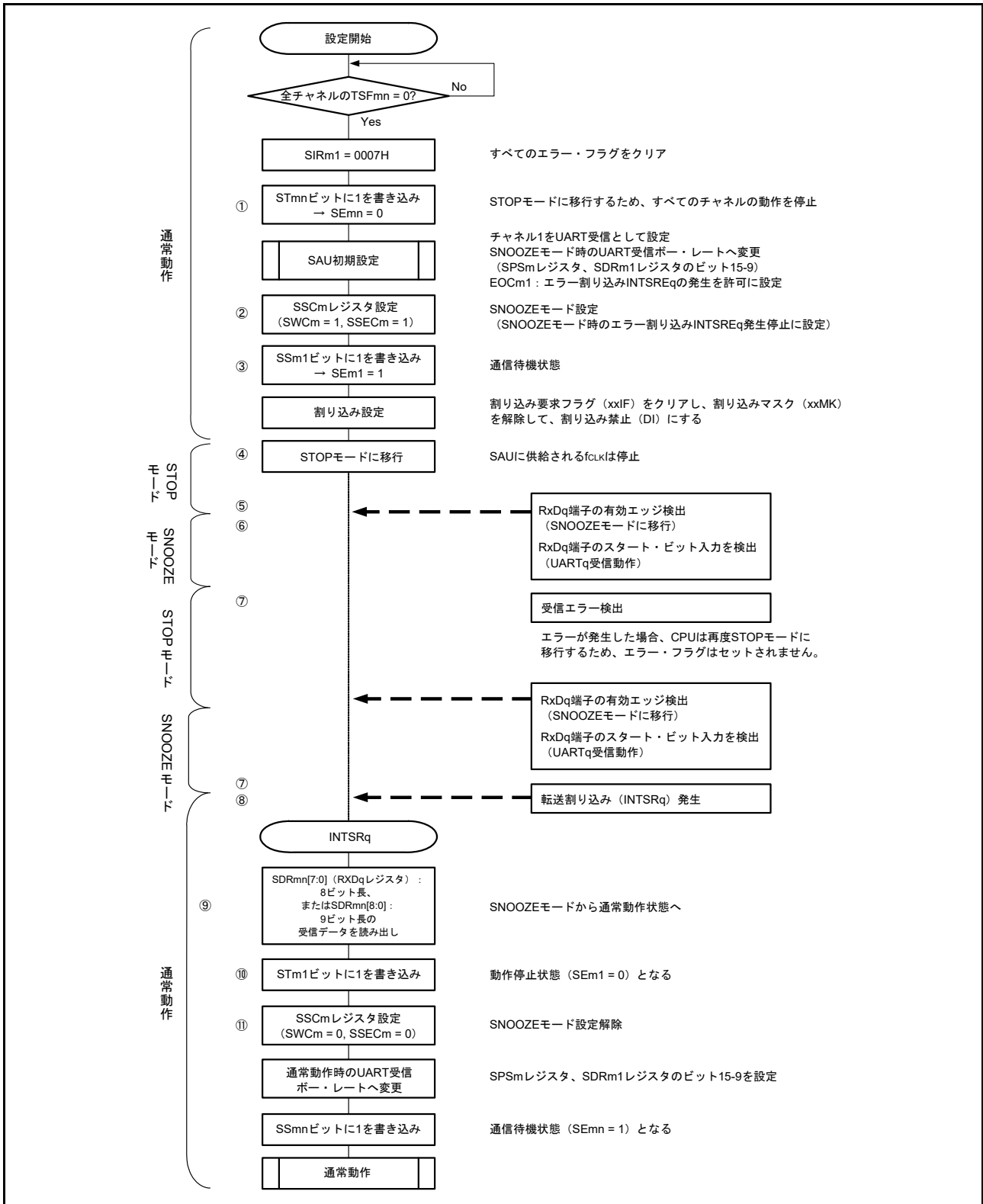
また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

注意2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、またはSDRm1[8:0] : 9ビット長を読み出ししてください。

備考1. 図中の①～⑪は、図24 - 94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートの①～⑪に対応しています。

備考2. m = 0, q = 0

図24 - 94 SNOOZEモード動作 (EOCm1 = 1, SSECM = 1) 時のフロー・チャート



注意 SSECM = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み (INTSRq) も発生しません。そのため、SSECM = 1で使用するときには、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、またはSDRm1[8:0] : 9ビット長を読み出して下さい。

(備考は次ページに続きます)

備考1. 図中の①～⑪は、図24 - 93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①～⑪に対応しています。

備考2. $m = 0, q = 0, n = 0-3$

24.6.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART2) 通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = [\text{対象チャンネルの動作クロック (fMCK) 周波数}] \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{bps}]$$

注意 シリアル・データ・レジスタ mn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので、2-127になります。

備考2. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、mn = 00-03, 10, 11

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット15 (CKSmnビット) で決まります。

表24-7 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時	fCLK = 48 MHz 動作時
0	x	x	x	x	0	0	0	0	fCLK	32 MHz	設定禁止
	x	x	x	x	0	0	0	1	fCLK/2	16 MHz	24 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	8 MHz	12 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	4 MHz	6 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	2 MHz	3 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	1 MHz	1.5 MHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	500 kHz	750 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	250 kHz	375 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	125 kHz	188 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	62.5 kHz	93.8 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz	46.9 kHz
	x	x	x	x	1	0	1	1	fCLK/2 ¹¹	15.63 kHz	23.4 kHz
	x	x	x	x	1	1	0	0	fCLK/2 ¹²	7.81 kHz	11.7 kHz
	x	x	x	x	1	1	0	1	fCLK/2 ¹³	3.91 kHz	5.86 kHz
	x	x	x	x	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz	2.93 kHz
x	x	x	x	1	1	1	1	fCLK/2 ¹⁵	977 Hz	1.46 kHz	
1	0	0	0	0	x	x	x	x	fCLK	32 MHz	設定禁止
	0	0	0	1	x	x	x	x	fCLK/2	16 MHz	24 MHz
	0	0	1	0	x	x	x	x	fCLK/2 ²	8 MHz	12 MHz
	0	0	1	1	x	x	x	x	fCLK/2 ³	4 MHz	6 MHz
	0	1	0	0	x	x	x	x	fCLK/2 ⁴	2 MHz	3 MHz
	0	1	0	1	x	x	x	x	fCLK/2 ⁵	1 MHz	1.5 MHz
	0	1	1	0	x	x	x	x	fCLK/2 ⁶	500 kHz	750 kHz
	0	1	1	1	x	x	x	x	fCLK/2 ⁷	250 kHz	375 kHz
	1	0	0	0	x	x	x	x	fCLK/2 ⁸	125 kHz	188 kHz
	1	0	0	1	x	x	x	x	fCLK/2 ⁹	62.5 kHz	93.8 kHz
	1	0	1	0	x	x	x	x	fCLK/2 ¹⁰	31.25 kHz	46.9 kHz
	1	0	1	1	x	x	x	x	fCLK/2 ¹¹	15.63 kHz	23.4 kHz
	1	1	0	0	x	x	x	x	fCLK/2 ¹²	7.81 kHz	11.7 kHz
	1	1	0	1	x	x	x	x	fCLK/2 ¹³	3.91 kHz	5.86 kHz
	1	1	1	0	x	x	x	x	fCLK/2 ¹⁴	1.95 kHz	2.93 kHz
1	1	1	1	x	x	x	x	fCLK/2 ¹⁵	977 Hz	1.46 Hz	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm）= 000FH）させてから変更してください。

（備考は次ページに続きます）

備考1. × : Don't care

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、mn = 00-03, 10, 11

(2) 送信時のボー・レート誤差

UART (UART0-UART2) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

fCLK = 32 MHz の場合の UART ボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	fCLK = 32 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	fCLK/2 ⁹	103	300.48 bps	+0.16%
600 bps	fCLK/2 ⁸	103	600.96 bps	+0.16%
1200 bps	fCLK/2 ⁷	103	1201.92 bps	+0.16%
2400 bps	fCLK/2 ⁶	103	2403.85 bps	+0.16%
4800 bps	fCLK/2 ⁵	103	4807.69 bps	+0.16%
9600 bps	fCLK/2 ⁴	103	9615.38 bps	+0.16%
19200 bps	fCLK/2 ³	103	19230.8 bps	+0.16%
31250 bps	fCLK/2 ³	63	31250.0 bps	±0.0%
38400 bps	fCLK/2 ²	103	38461.5 bps	+0.16%
76800 bps	fCLK/2	103	76923.1 bps	+0.16%
153600 bps	fCLK	103	153846 bps	+0.16%
312500 bps	fCLK	50	313725.5 bps	+0.39%

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、mn = 00, 02, 10

(3) 受信時のポー・レート許容範囲

UART (UART0-UART2) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$\text{(受信可能な最大ポー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ポー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値 (24.6.4 (1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1 データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、mn = 01, 03, 11

図24 - 95 受信時の許容ポー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

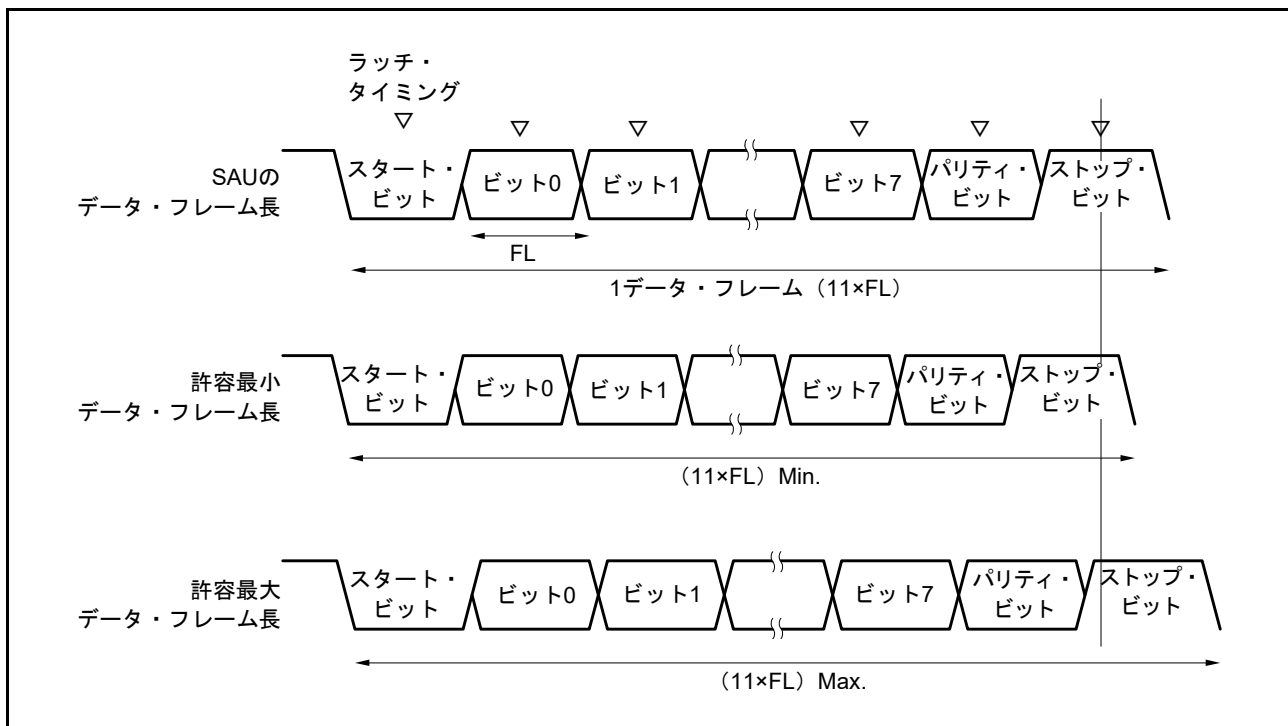


図24 - 95に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

24.6.5 UART (UART0-UART2) 通信時におけるエラー発生時の処理手順

表 24 - 8、表 24 - 9 に UART (UART0-UART2) 通信時にエラーが発生した場合の処理手順を示します。

表24 - 8 パリティ・エラーおよびオーバーラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) を読み出す	SSRmnレジスタのBFFmnビットが0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に1を書き込む	エラー・フラグがクリアされる	SSRmnレジスタの読み出し値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

表24 - 9 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) を読み出す	SSRmnレジスタのBFFmnビットが0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) を書き込む	エラー・フラグがクリアされる	SSRmnレジスタの読み出し値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) のSTmnビットに1を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) のSEmnビットが0となり、チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) のSSmnビットに1を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) のSEmnビットが1となり、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、mn = 00-03, 10, 11

24.7 LIN通信の動作

24.7.1 LIN送信

UART 送信のうち、UART0 は LIN 通信に対応しています。

LIN 送信では、ユニット 0 のチャンネル 0 を使用します。

UART	UART0	UART1	UART2
LIN通信対応	可	不可	不可
対象チャンネル	SAU0のチャンネル0	—	—
使用端子	TxD0	—	—
割り込み	INTST0	—	—
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	8ビット		
転送レート注	Max. $f_{MCK}/6$ [bps] ($SDR00[15:9] = 2$ 以上)、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加		
データ方向	LSBファースト		

注 この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（ $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ ）または第44章 電気的特性（ $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ ）を参照）を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LIN とは、Local Interconnect Network の略称で、車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LIN の通信はシングル・マスタ通信で、1つのマスタに対し最大 15 のスレーブが接続可能です。

LIN のスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらが LIN のネットワークを介して LIN のマスタに接続されます。

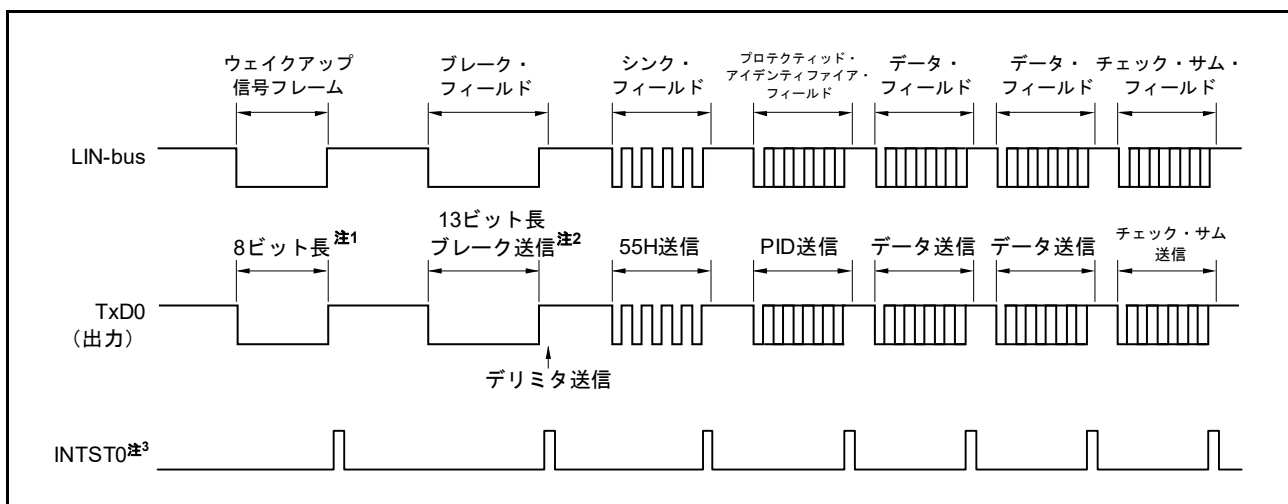
LIN のマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LIN-bus はシングル・ワイヤ方式で、ISO9141 に準拠したトランシーバを介して各ノードが接続されます。

LIN のプロトコルでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が ±15% 以下であれば、通信可能です。

図 24 - 96 に LIN の送信操作の概略を示します。

図 24 - 96 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにポー・レートを設定し、80Hのデータ送信をすることで対応します。

注2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートを N [bps] とすると、ブレーク・フィールドで使用するポー・レートは次のようになります。

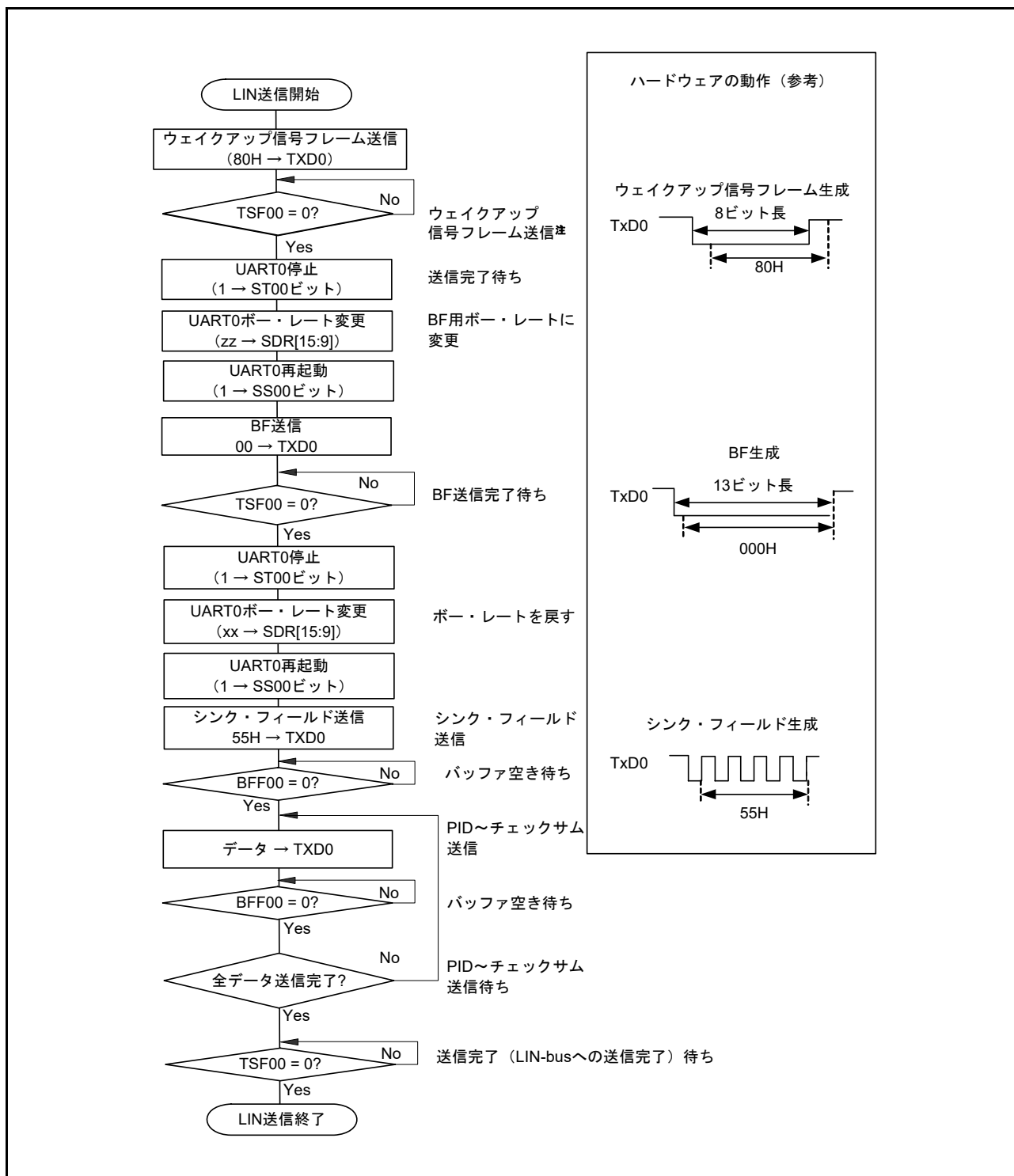
$$(\text{ブレーク・フィールド時のポー・レート}) = 9/13 \times N$$

このポー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

注3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図24 - 97 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

24.7.2 LIN受信

UART 受信のうち、UART0 はLIN 通信に対応しています。

LIN 受信では、ユニット0 のチャンネル1 を使用します。

UART	UART0	UART1	UART2
LIN通信対応	可	不可	不可
対象チャンネル	SAU0のチャンネル1	—	—
使用端子	RxD0	—	—
割り込み	INTSR0	—	—
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	INTSRE0	—	—
エラー検出フラグ	<ul style="list-style-type: none"> ・フレーミング・エラー検出フラグ (FEF01) ・オーバラン・エラー検出フラグ (OVF01) 		
転送データ長	8ビット		
転送レート注	Max. $f_{MCK}/6$ [bps] ($SDR01[15:9] = 2$ 以上)、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）		
ストップ・ビット	1ビット目チェック		
データ方向	LSBファースト		

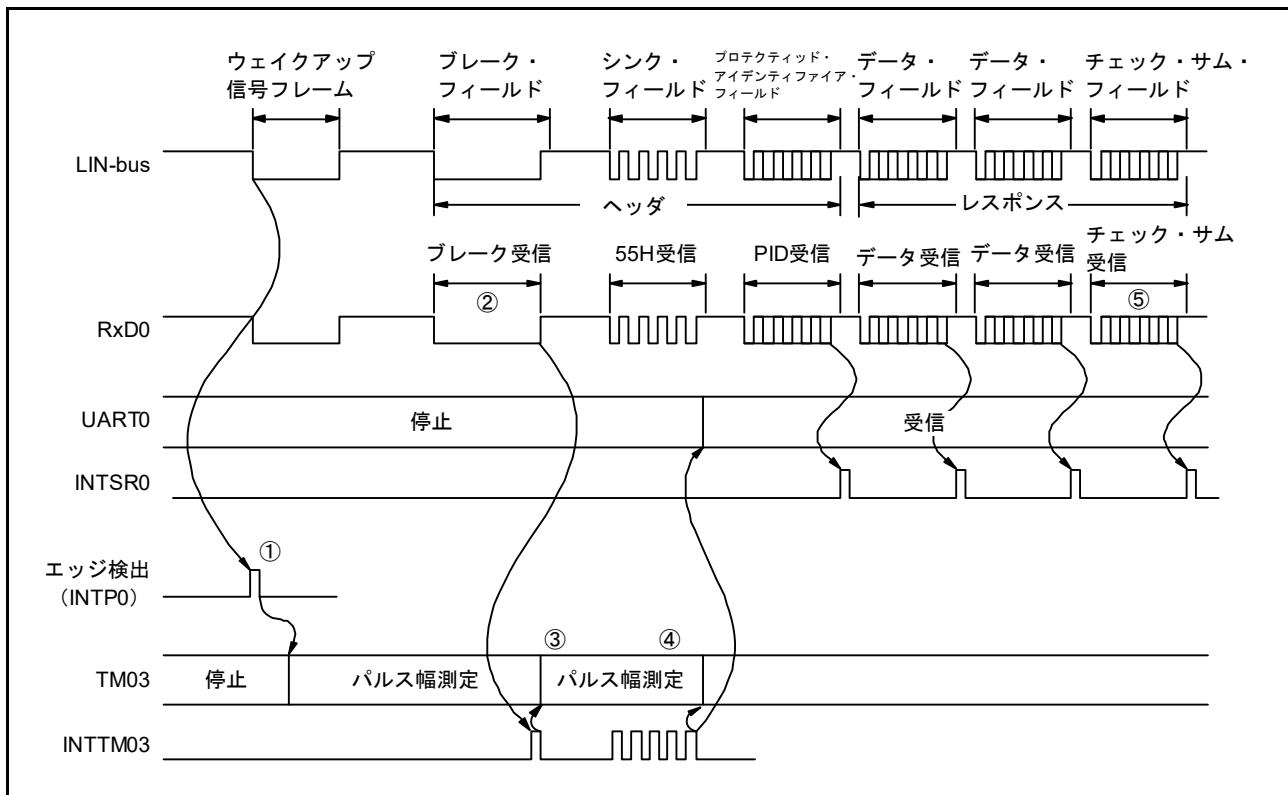
注 この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（ $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ ）または第44章 電気的特性（ $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ ）を参照）を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

図 24 - 98 に LIN の受信操作を示します。

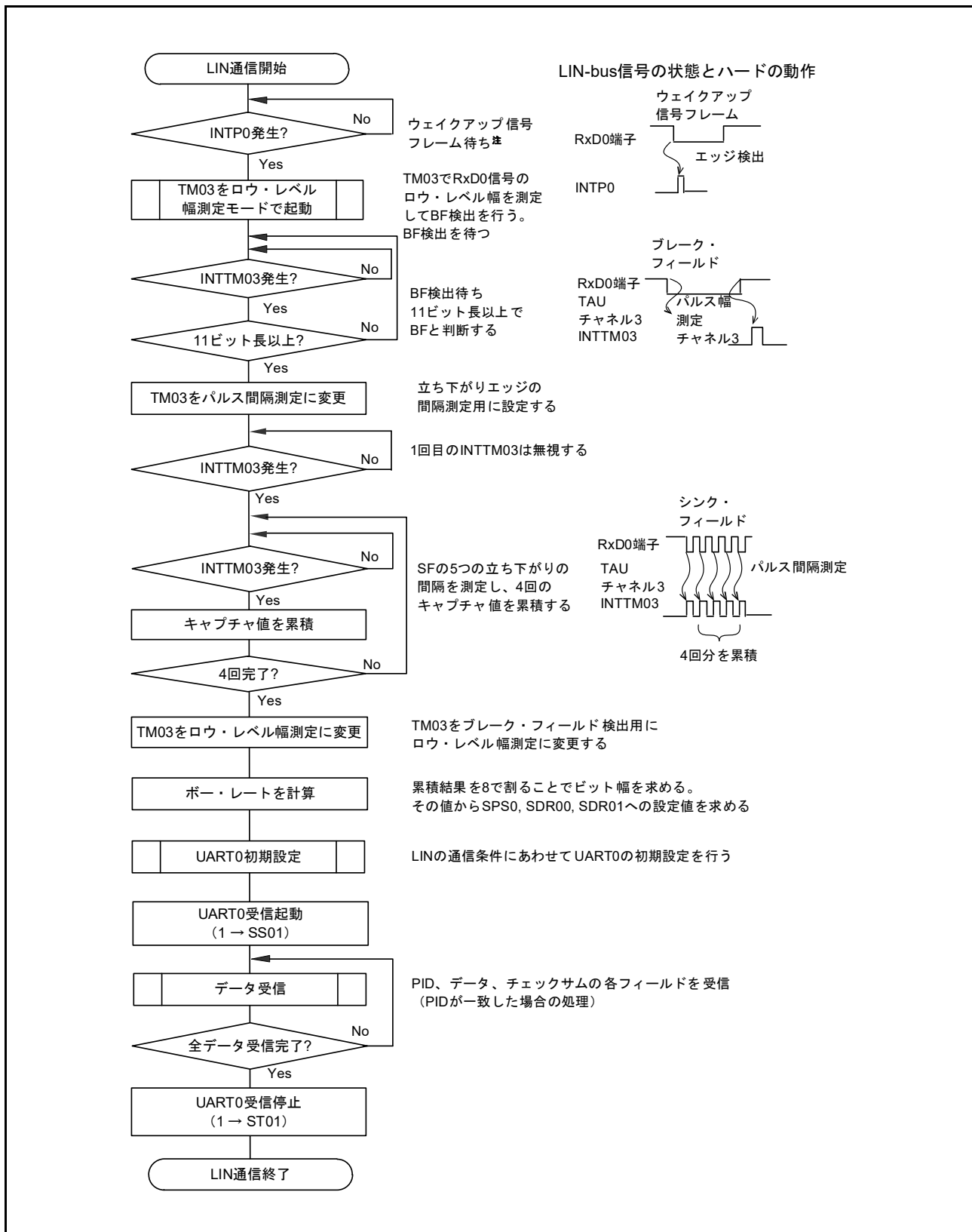
図 24 - 98 LIN の受信操作



受信処理の流れを次に示します。

- ① ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTPO) で行います。ウェイクアップ信号を検出すると、TM03 を BF のロウ・レベル幅測定のためにパルス幅測定に設定して、BF 受信待ち状態にします。
- ② BF の立ち下がりを検出すると、TM03 はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値から BF 信号かどうかの判定を行います。
- ③ BF 受信を正常終了した場合、TM03 をパルス間隔測定に設定し、シンク・フィールドの RxD0 信号の立ち下がり間隔を 4 回測定してください (10.8.4 入力パルス間隔測定としての動作を参照)。
- ④ シンク・フィールド (SF) のビット間隔からポー・レート誤差を算出します。そして、いったん UART0 を動作停止にしてからポー・レートを調整 (再設定) してください。
- ⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後に UART0 を初期化し、再び BF 受信待ちに設定する処理もソフトウェアにて行ってください。

図24-99 LIN受信のフロー・チャート



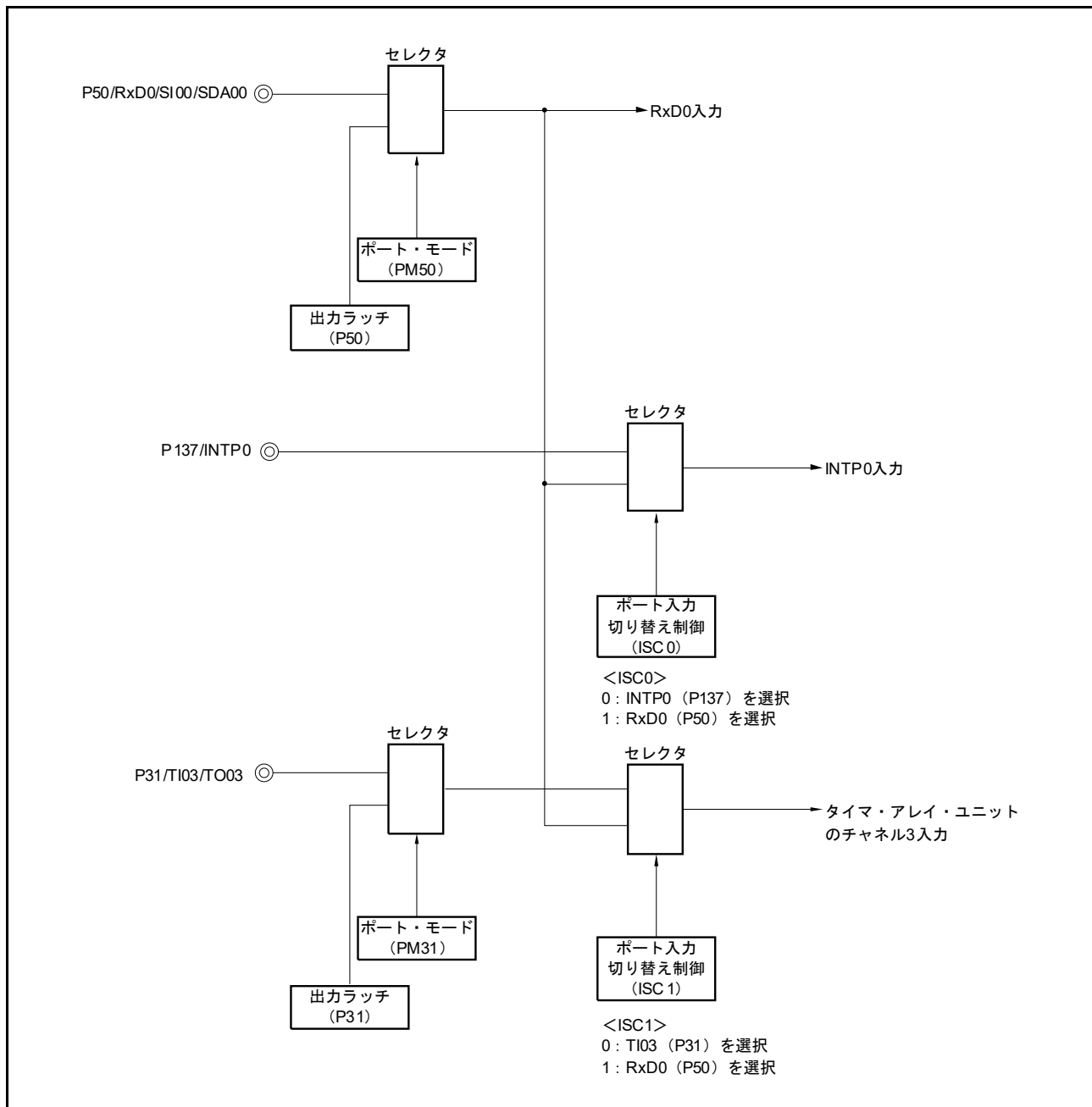
注 スリープ状態でのみ必要となります。

図 24 - 100 は LIN の受信操作のポート構成図です。

LIN のマスタから送信されるウェイクアップ信号の受信を、外部割り込み (INTP0) のエッジ検出にて行います。また、LIN のマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニットの外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC0/ISC1) により、外部で結線をせずに、受信用ポート入力 (RxD0) の入力ソースを外部割り込み (INTP0) およびタイマ・アレイ・ユニットへ入力することができます。

図 24 - 100 LIN の受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図 24 - 21 参照)

LIN 通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- 外部割り込み (INTP0) : ウェイクアップ信号検出
用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出
- タイマ・アレイ・ユニットのチャンネル3 : ポー・レート誤差検出、ブレーク・フィールド (BF) 検出
用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでポー・レート誤差を検出
(RxD0 入力エッジの間隔をキャプチャ・モードで測定)
ロウ・レベル幅を測定し、ブレーク・フィールド (BF) かを判定
- シリアル・アレイ・ユニット0 (SAU0) のチャンネル0, 1 (UART0)

24.8 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²C バスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- マスタ送信、マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK出力機能^注、ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信、スレーブ受信
- マルチ・マスタ機能 (アービトレーション負け検出機能)
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn (SOEmレジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**24.8.3 (2) 処理フロー**を参照してください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、mn = 00-03, 10, 11

簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) に対応しているチャンネルは、SAU0 のチャンネル 0-3 と SAU1 のチャンネル 0, 1 です。

<20ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UARTとして使用	簡易 I ² Cとして使用
0	0	—	—	—
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

<24, 25ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UARTとして使用	簡易 I ² Cとして使用
0	0	—	UART0 (LIN-bus 対応) 注	—
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

<30, 32ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UARTとして使用	簡易 I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

<40, 44ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

<48, 52ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

<64ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

注 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR01ビットに1を設定した場合に使用できます。

簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) の通信動作は、以下の4種類があります。

- アドレス・フィールド送信 (24.8.1を参照)
- データ送信 (24.8.2を参照)
- データ受信 (24.8.3を参照)
- ストップ・コンディション発生 (24.8.4を参照)

24.8.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I²C通信で最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU0のチャンネル3	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}	SCL10, SDA10 ^{注1}	SCL11, SDA11 ^{注1}	SCL20, SDA20 ^{注1}	SCL21, SDA21 ^{注1}
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）					
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）					
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）					
転送レート ^{注2}	Max.f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード） 					
データ・レベル	非反転出力（デフォルト：ハイ・レベル）					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加（ACK送受信タイミング用）					
データ方向	MSBファースト					

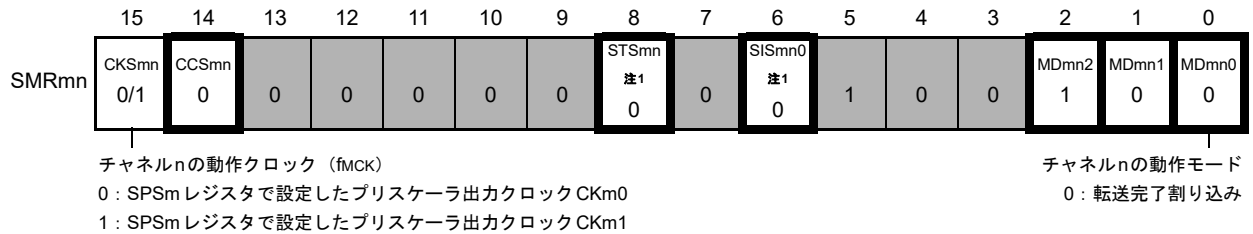
- 注1.** 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。
詳細は、7.3 ポート機能を制御するレジスタおよび7.5 兼用機能使用時のレジスタ設定を参照してください。
IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20）も同様にN-chオープン・ドレイン出力[V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。
詳細は、7.4.5 入出力バッファによる異電位（1.8V系、2.5V系、3V系）対応を参照してください。
- 注2.** この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（T_A = -40°C～+105°C）または第44章 電気的特性（T_A = -40°C～+125°C）を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、mn = 00-03, 10, 11

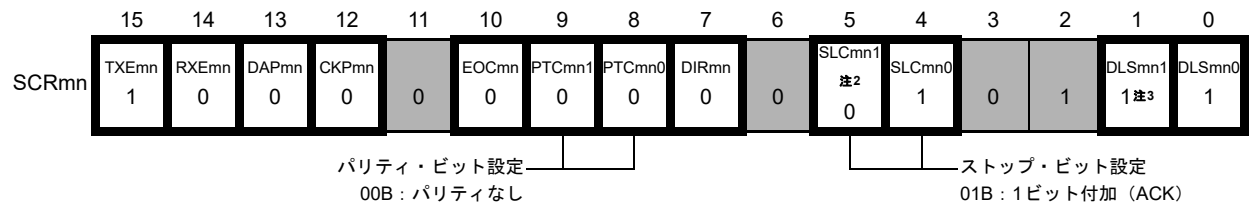
(1) レジスタ設定

図24 - 101 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) のアドレス・フィールド送信時のレジスタ設定内容例

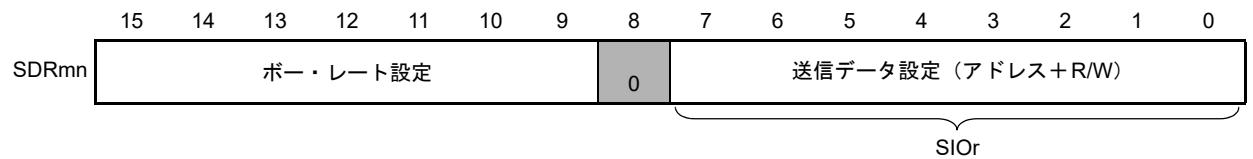
(a) シリアル・モード・レジスタ mn (SMRmn)



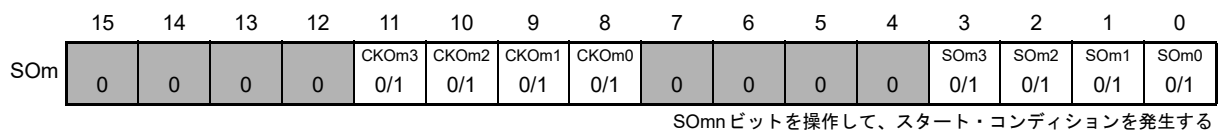
(b) シリアル通信動作設定レジスタ mn (SCRmn)



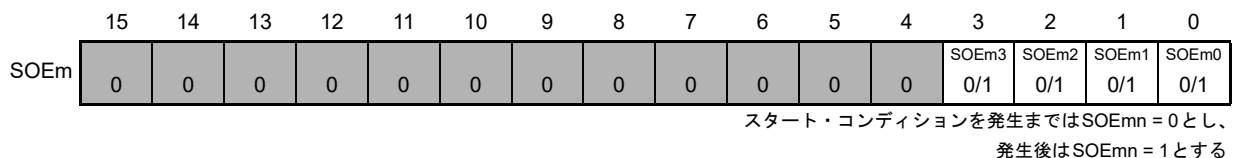
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIO_r)



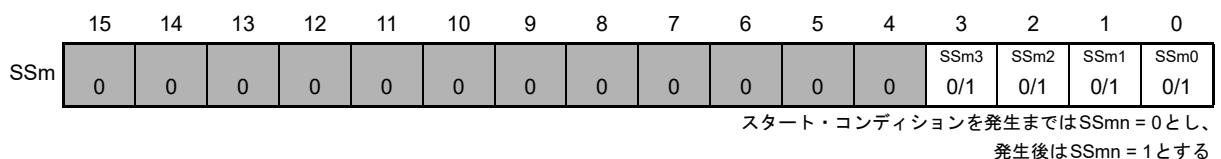
(d) シリアル出力レジスタ m (SOm)



(e) シリアル出力許可レジスタ m (SOEm)



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



注1. SMR00, SMR03, SMR11 レジスタのみ

(注、備考は次ページに続きます)

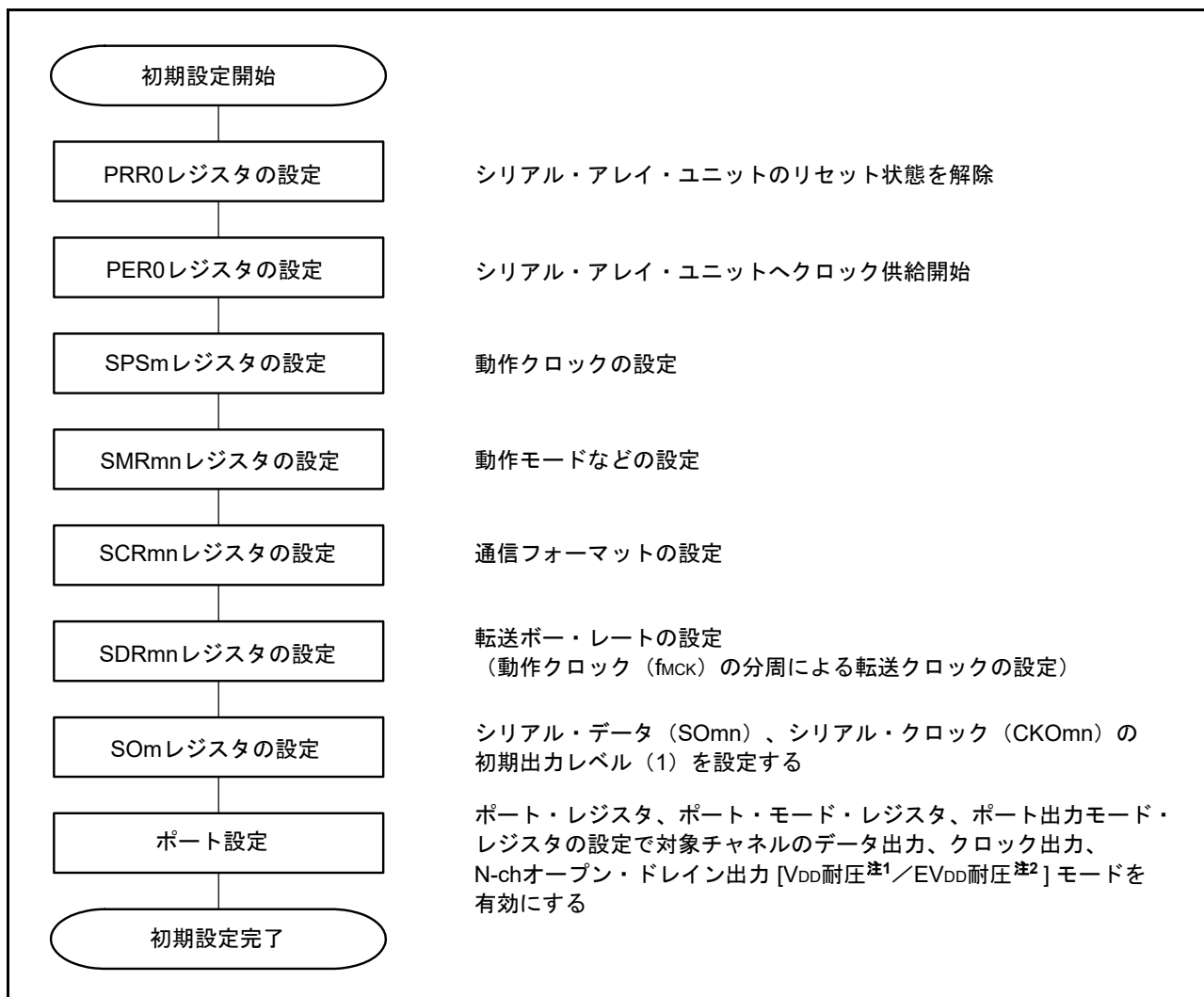
注2. SCR00, SCR02, SCR10レジスタのみ。

注3. SCR00, SCR01レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、r : IIC番号 (r = 00, 01, 10, 11, 20, 21)、
mn = 00-03, 10, 11

備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

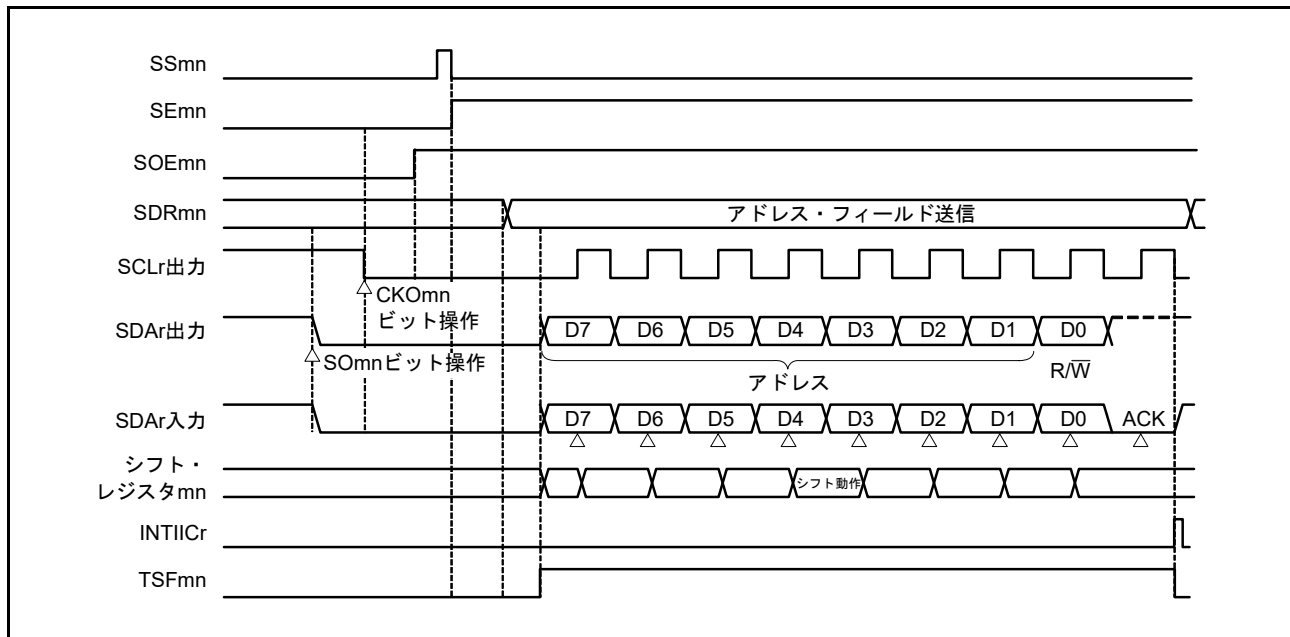
図24 - 102 簡易I²Cアドレス・フィールド送信の初期設定手順

注1. 20～52ピン製品の場合

注2. 64ピン製品の場合

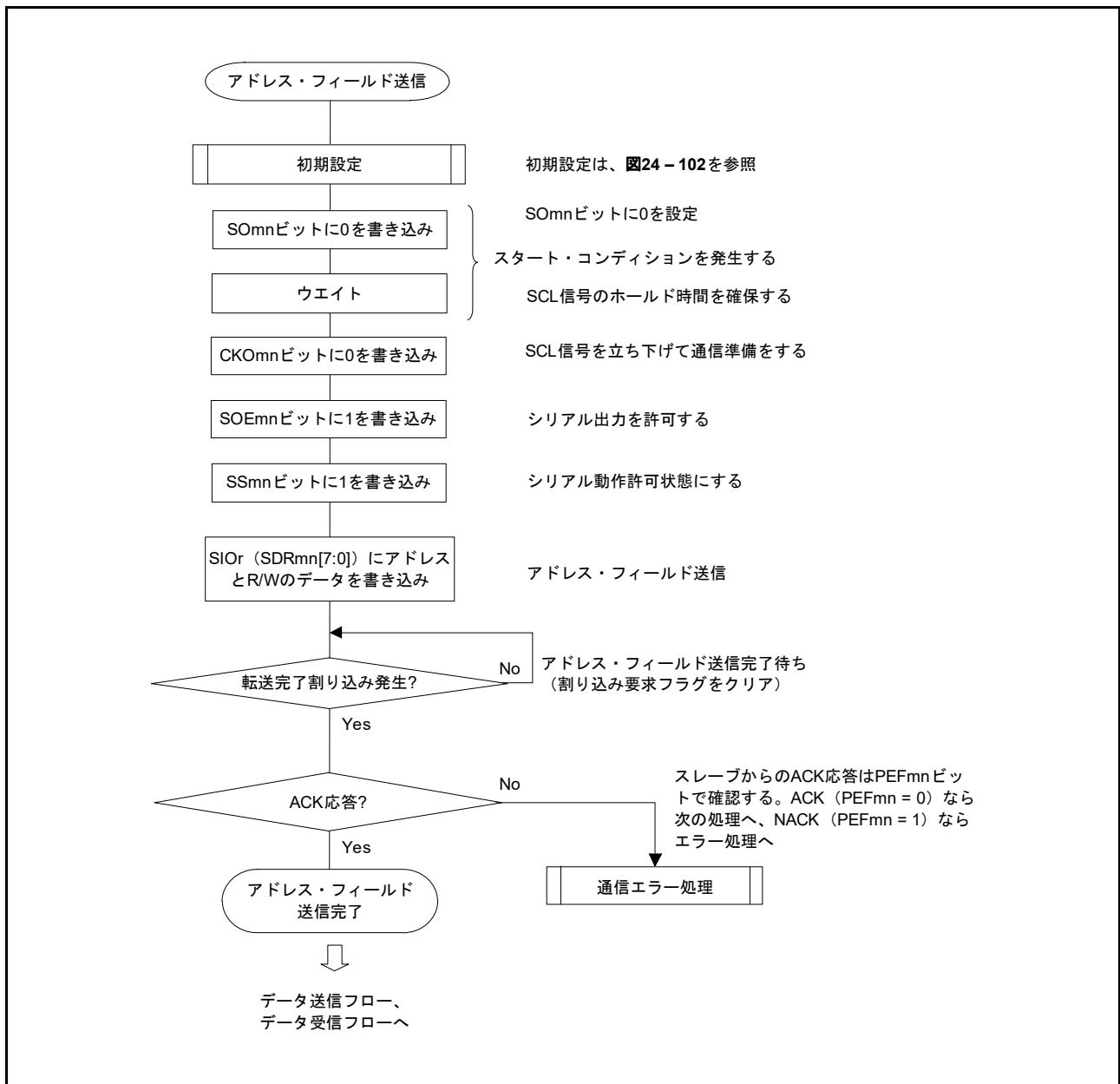
(3) 処理フロー

図24 - 103 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、r : IIC番号 (r = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 104 簡易I²Cアドレス・フィールド送信のフロー・チャート



24.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信したあとは、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU0のチャンネル3	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}	SCL10, SDA10 ^{注1}	SCL11, SDA11 ^{注1}	SCL20, SDA20 ^{注1}	SCL21, SDA21 ^{注1}
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）					
エラー検出フラグ	ACKエラー・フラグ（PEFmn）					
転送データ長	8ビット					
転送レート ^{注2}	Max. $f_{mck}/4$ [Hz]（SDRmn[15:9] = 1以上） f_{mck} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード） 					
データ・レベル	非反転出力（デフォルト：ハイ・レベル）					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加（ACK受信タイミング用）					
データ方向	MSBファースト					

- 注1.** 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。
詳細は、7.3 ポート機能を制御するレジスタおよび7.5 兼用機能使用時のレジスタ設定を参照してください。
IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20）も同様にN-chオープン・ドレイン出力[V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。
詳細は、7.4.5 入出力バッファによる異電位（1.8V系、2.5V系、3V系）対応を参照してください。
- 注2.** この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（TA = -40°C～+105°C）または第44章 電気的特性（TA = -40°C～+125°C）を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、mn = 00-03, 10, 11

(1) レジスタ設定

図24 - 105 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0注1	0	0注1	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn) : TXEmn, RXEmnビット以外、データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0注2	1	0	1	1注3	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r) : データ送受信中は下位8ビット (SIO_r)のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定注4								0	送信データ設定							
	SIO _r																

(d) シリアル出力レジスタ m (SOm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5

(e) シリアル出力許可レジスタ m (SOEm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

(f) シリアル・チャンネル開始レジスタ m (SSm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. SMR01, SMR03, SMR11レジスタのみ。

注2. SCR00, SCR02, SCR10レジスタのみ。

注3. SCR00, SCR01レジスタのみ。その他は1固定になります。

注4. アドレス・フィールド送信で設定済みなので、設定不要です。

注5. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、r : IIC番号 (r = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1を設定

(2) 処理フロー

図24 - 106 データ送信のタイミング・チャート

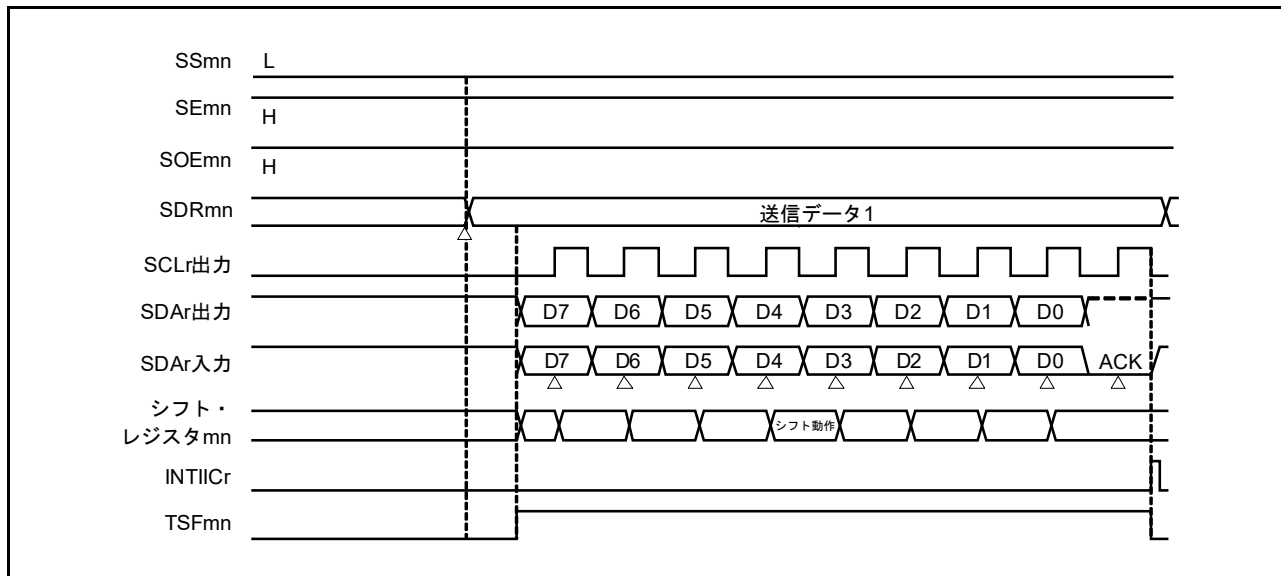
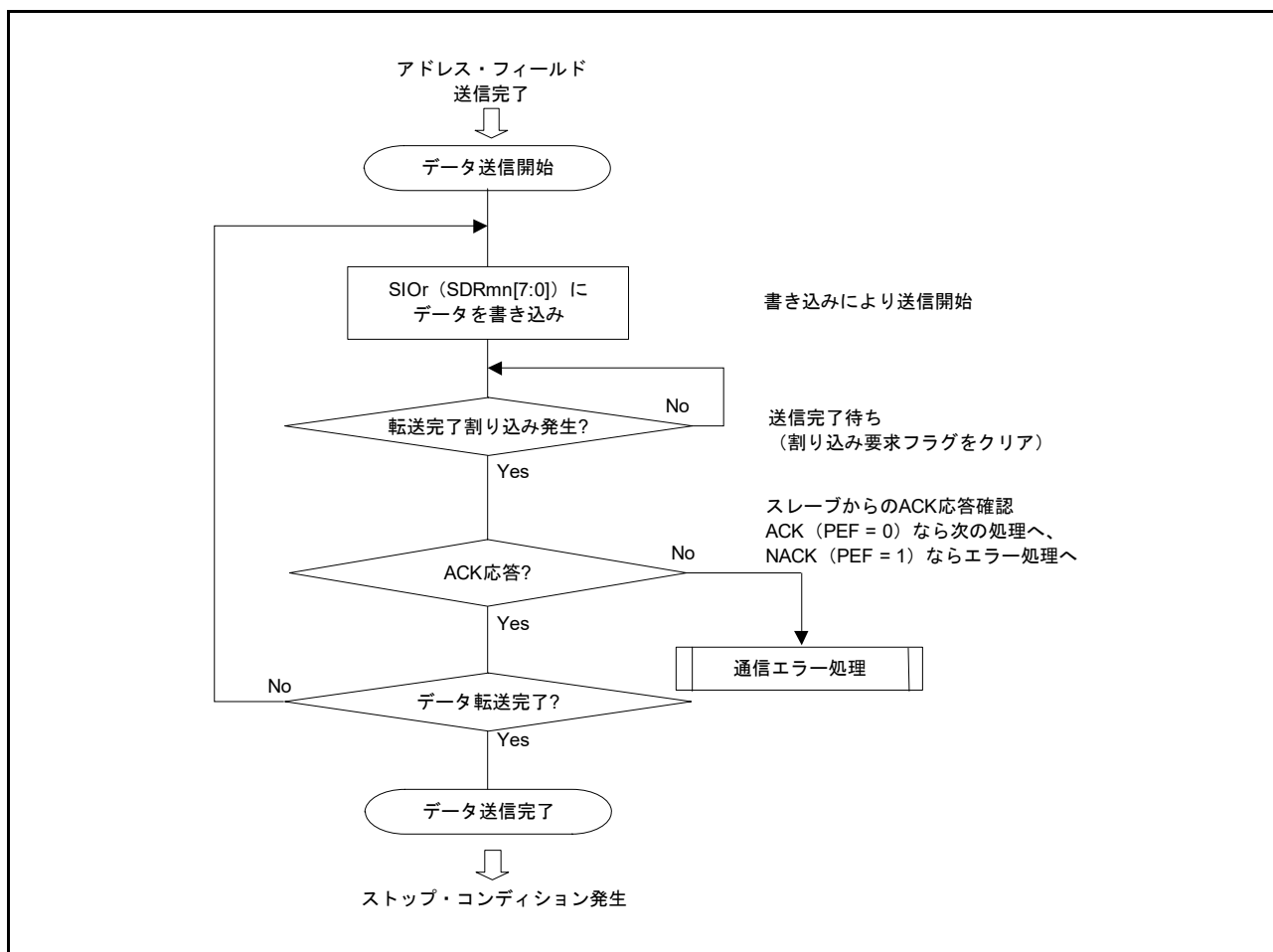


図24 - 107 簡易I²Cデータ送信のフロー・チャート



24.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信したあとは、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU0のチャンネル3	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}	SCL10, SDA10 ^{注1}	SCL11, SDA11 ^{注1}	SCL20, SDA20 ^{注1}	SCL21, SDA21 ^{注1}
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	8ビット					
転送レート ^{注2}	Max. fmck/4 [Hz]（SDRmn[15:9] = 1以上） fmck：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード） 					
データ・レベル	非反転出力（デフォルト：ハイ・レベル）					
パリティ・ビット	パリティ・ビットなし					
ストップ・ビット	1ビット付加（ACK送信）					
データ方向	MSBファースト					

- 注1.** 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。
詳細は、7.3 ポート機能を制御するレジスタおよび7.5 兼用機能使用時のレジスタ設定を参照してください。
IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20）も同様にN-chオープン・ドレイン出力[V_{DD}耐圧（20～52ピン製品の場合）／EV_{DD}耐圧（64ピン製品の場合）]モードを設定してください（POMxx = 1）。
詳細は、7.4.5 入出力バッファによる異電位（1.8V系、2.5V系、3V系）対応を参照してください。
- 注2.** この条件を満たし、かつ電気的特性の周辺機能特性（第43章 電気的特性（TA = -40°C～+105°C）または第44章 電気的特性（TA = -40°C～+125°C）を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、mn = 00-03, 10, 11

(1) レジスタ設定

図24 - 108 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0注1	0	0注1	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn) : TXEmn, RXEmnビット以外、データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0注2	1	0	1	1注3	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定注4								0	ダミー送信データ設定 (FFH)							
										SIO _r							

(d) シリアル出力レジスタ m (SOm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5

(e) シリアル出力許可レジスタ m (SOEm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. SMR01, SMR03, SMR11レジスタのみ。

注2. SCR00, SCR02, SCR10レジスタのみ。

注3. SCR00, SCR01レジスタのみ。その他は1固定になります。

注4. アドレス・フィールド送信で設定済みなので、設定不要です。

注5. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、r : IIC番号 (r = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

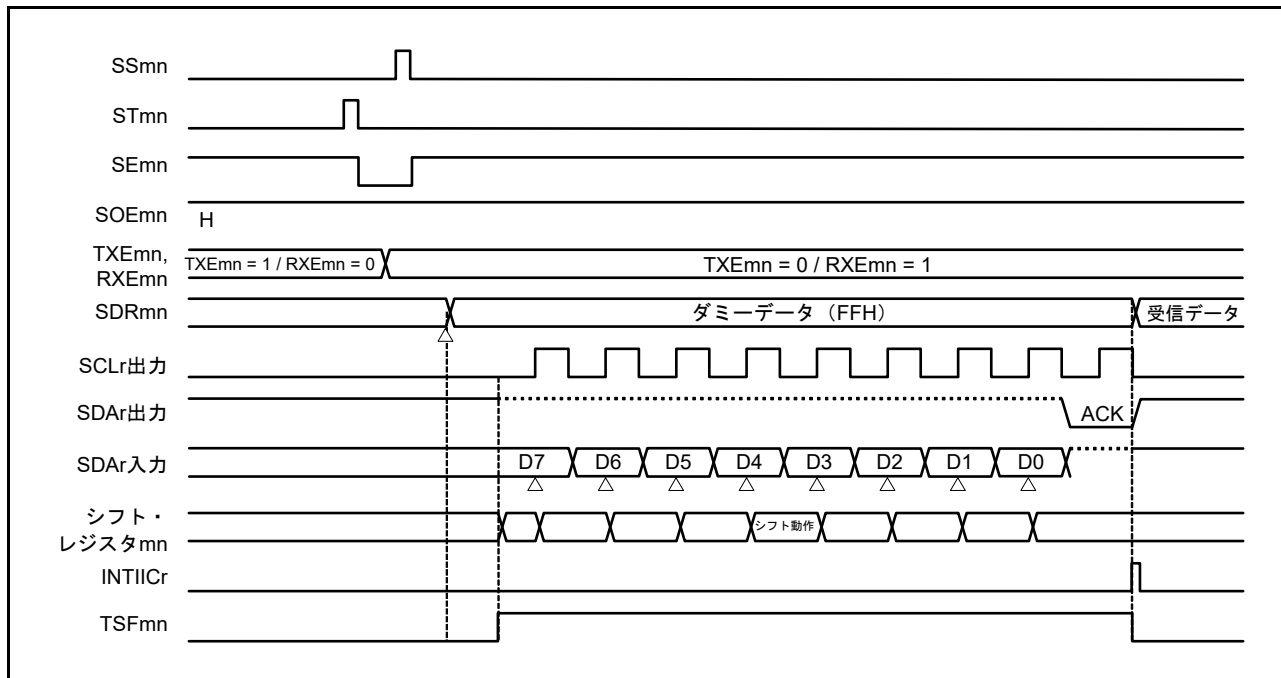
備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1を設定

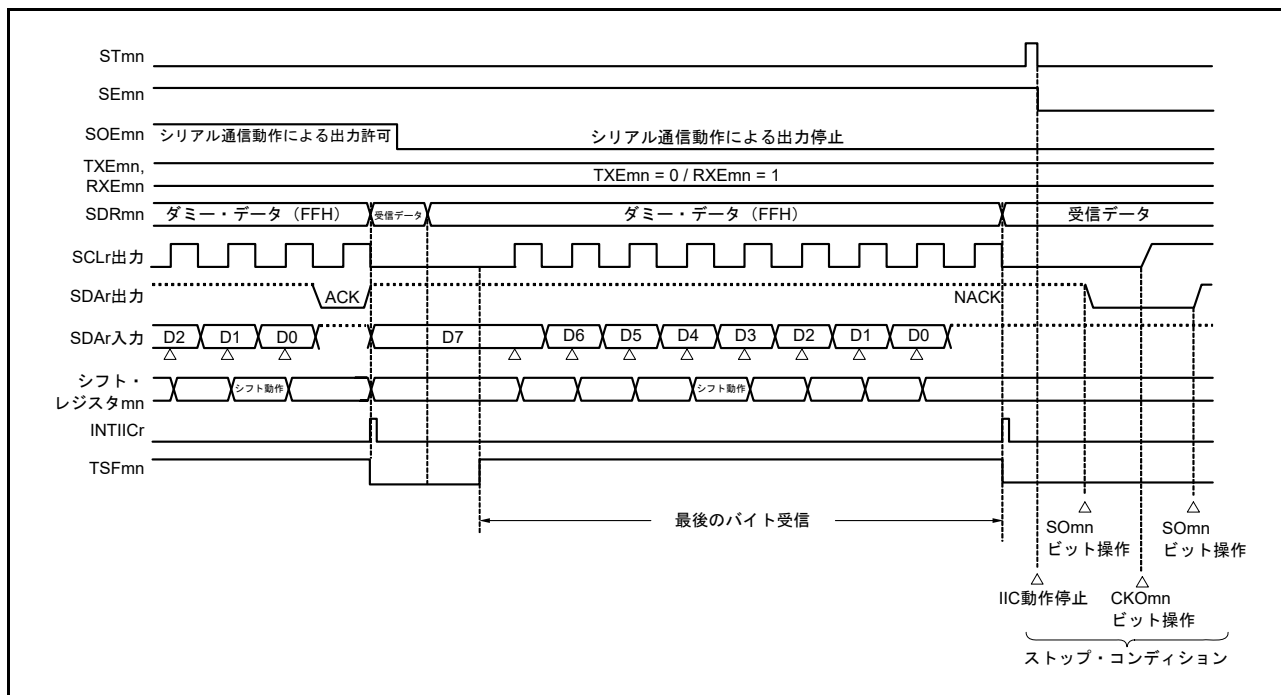
(2) 処理フロー

図24 - 109 データ受信のタイミング・チャート

(a) データ受信開始時

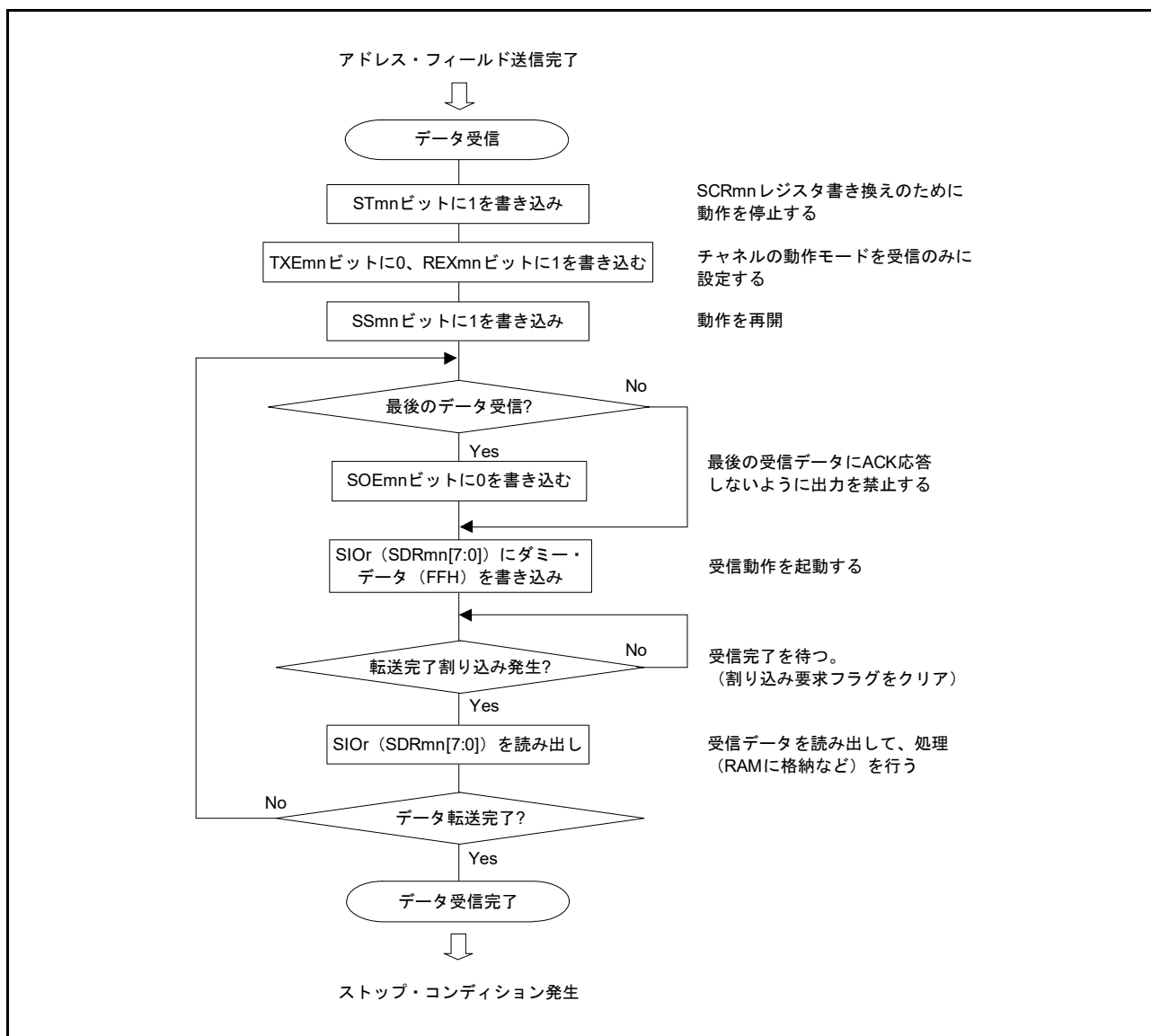


(b) 最終データ受信時



備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、r : IIC番号 (r = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

図24 - 110 データ受信のフロー・チャート



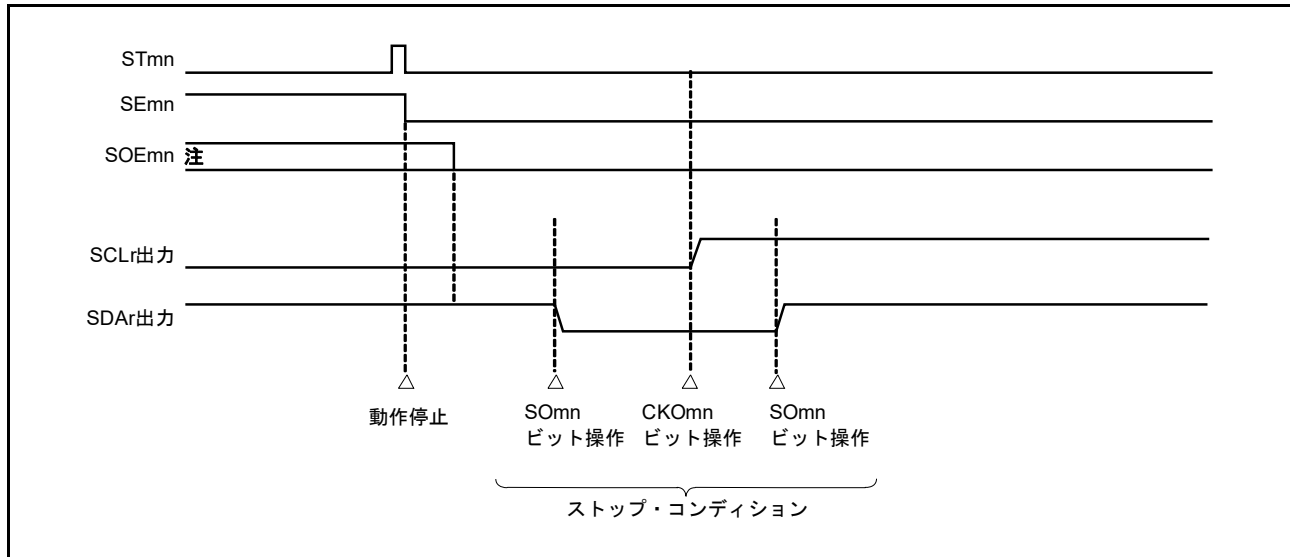
注意 最終データの受信時はACKを出力しません (NACK)。その後、シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに1を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

24.8.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信したあとは、ストップ・コンディションを発生し、バスを開放します。

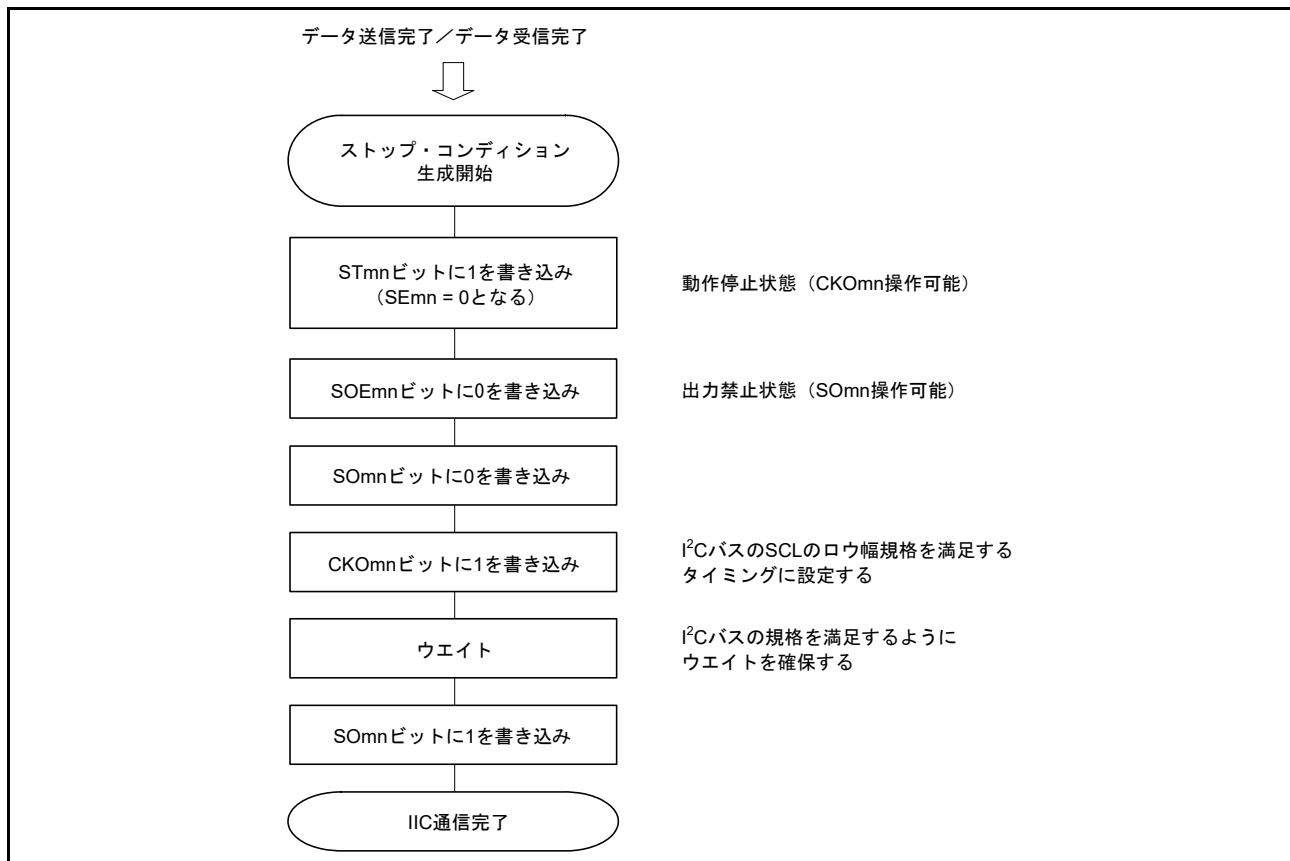
(1) 処理フロー

図24 - 111 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタm (SOEm) のSOEmnビットに0を設定しています。

図24 - 112 ストップ・コンディション発生のフロー・チャート



24.8.5 転送レートの算出

簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000B は設定禁止です。SDRmn[15:9] = 0000001B 以上に設定してください。
簡易 I²C 出力の SCL 信号のデューティ比は 50% です。I²C バス規格では、SCL 信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの 400 kbps やファースト・モード・プラスの 1 Mbps に設定すると、SCL 信号出力のロウ・レベル幅が I²C バスの規格値より短くなります。
SDRmn[15:9] には、この規格を満足できる値を設定してください。

備考1. (SDRmn[15:9]) は、シリアル・データ・レジスタ mn (SDRmn) のビット 15-9 の値 (0000001B-1111111B) なので、1-127 になります。

備考2. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、mn = 00-03, 10, 11

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット 15 (CKSmn ビット) で決まります。

表24 - 10 簡易I2C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注			
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時	fCLK = 48 MHz 動作時
0	x	x	x	x	0	0	0	0	0	fCLK	32 MHz	設定禁止
	x	x	x	x	0	0	0	1	1	fCLK/2	16 MHz	24 MHz
	x	x	x	x	0	0	1	0	0	fCLK/2 ²	8 MHz	12 MHz
	x	x	x	x	0	0	1	1	1	fCLK/2 ³	4 MHz	6 MHz
	x	x	x	x	0	1	0	0	0	fCLK/2 ⁴	2 MHz	3 MHz
	x	x	x	x	0	1	0	1	1	fCLK/2 ⁵	1 MHz	1.5 MHz
	x	x	x	x	0	1	1	0	0	fCLK/2 ⁶	500 kHz	750 kHz
	x	x	x	x	0	1	1	1	1	fCLK/2 ⁷	250 kHz	375 kHz
	x	x	x	x	1	0	0	0	0	fCLK/2 ⁸	125 kHz	188 kHz
	x	x	x	x	1	0	0	1	1	fCLK/2 ⁹	62.5 kHz	93.8 kHz
	x	x	x	x	1	0	1	0	0	fCLK/2 ¹⁰	31.25 kHz	46.9 kHz
	x	x	x	x	1	0	1	1	1	fCLK/2 ¹¹	15.63 kHz	23.4 kHz
1	0	0	0	0	x	x	x	x	x	fCLK	32 MHz	設定禁止
	0	0	0	1	x	x	x	x	x	fCLK/2	16 MHz	24 MHz
	0	0	1	0	x	x	x	x	x	fCLK/2 ²	8 MHz	12 MHz
	0	0	1	1	x	x	x	x	x	fCLK/2 ³	4 MHz	6 MHz
	0	1	0	0	x	x	x	x	x	fCLK/2 ⁴	2 MHz	3 MHz
	0	1	0	1	x	x	x	x	x	fCLK/2 ⁵	1 MHz	1.5 MHz
	0	1	1	0	x	x	x	x	x	fCLK/2 ⁶	500 kHz	750 kHz
	0	1	1	1	x	x	x	x	x	fCLK/2 ⁷	250 kHz	375 kHz
	1	0	0	0	x	x	x	x	x	fCLK/2 ⁸	125 kHz	188 kHz
	1	0	0	1	x	x	x	x	x	fCLK/2 ⁹	62.5 kHz	93.8 kHz
	1	0	1	0	x	x	x	x	x	fCLK/2 ¹⁰	31.25 kHz	46.9 kHz
	1	0	1	1	x	x	x	x	x	fCLK/2 ¹¹	15.63 kHz	23.4 kHz
上記以外									設定禁止			

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタm（STm）= 000FH）させてから変更してください。

備考1. x : Don't care

備考2. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、mn = 00-03, 10, 11

fMCK = fCLK = 32 MHz の場合の I²C 転送レート設定例を示します。

I ² C 転送モード (希望転送レート)	fCLK = 32 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	79	100 kHz	0.0%
400 kHz	fCLK	41	380 kHz	5.0%注
1 MHz	fCLK	18	0.84 MHz	16.0%注

注 SCL 信号がデューティ比 50% なので、誤差を 0% 程度に設定することはできません。

24.8.6 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信時におけるエラー発生時の処理手順

表 24 - 11、表 24 - 12 に簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21) 通信時にエラーが発生した場合の処理手順を示します。

表24 - 11 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) を読み出す	SSRmn レジスタの BFFmn ビットが 0 となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) を読み出す		エラーの種類を判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に 1 を書き込む	エラー・フラグがクリアされる	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

表24 - 12 簡易 I²C モード時の ACK エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn) を読み出す		エラーの種類を判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) を書き込む	エラー・フラグがクリアされる	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに 1 を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが 0 となり、チャンネル n は動作停止状態になる	ACK が返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。またはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに 1 を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが 1 となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、r : IIC 番号 (r = 00, 01, 10, 11, 20, 21)、mn = 00-03, 10, 11

第25章 シリアル・インタフェース IICA (IICA)

シリアル・インタフェース IICA を 1 チャンネル搭載しています。

SMBus/PMBus™ の標準モード (100 kHz)、ファースト・モード (400 kHz) のロウ・パワーモードをサポートします。

注意1. IICAn 入出力端子の配置は製品によって異なります。詳細は、第2章 端子機能を参照してください。

注意2. この章では、以降の主な説明を 64 ピン製品の場合で説明しています。

注意3. SMBus/PMBus™ をサポートするのは SCLA0 端子 (P60) と SDAA0 端子 (P61) のある製品となります。

25.1 シリアル・インタフェース IICA の機能

シリアル・インタフェース IICA には、次の 3 種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCLAn) とシリアル・データ・バス (SDAAn) の2本のラインより、複数のデバイスと 8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムの I²Cバス制御部分を簡単にすることができます。

シリアル・インタフェース IICA では、SCLAn 端子と SDAAn 端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードまたは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn) を発生し STOPモードを解除することができます。IICA コントロール・レジスタ n1 (IICCTLn1) の WUPn ビットにより設定します。

なお、IICCTLn1 レジスタの SVADISn ビットに 1 を設定することで全アドレス一致機能が許可となり、アドレスを受信した際にどのようなアドレスでも一致と判断します。

図 25-1 にシリアル・インタフェース IICA のブロック図を示します。

備考 n = 0

図25 - 1 シリアル・インタフェースIICAのブロック図

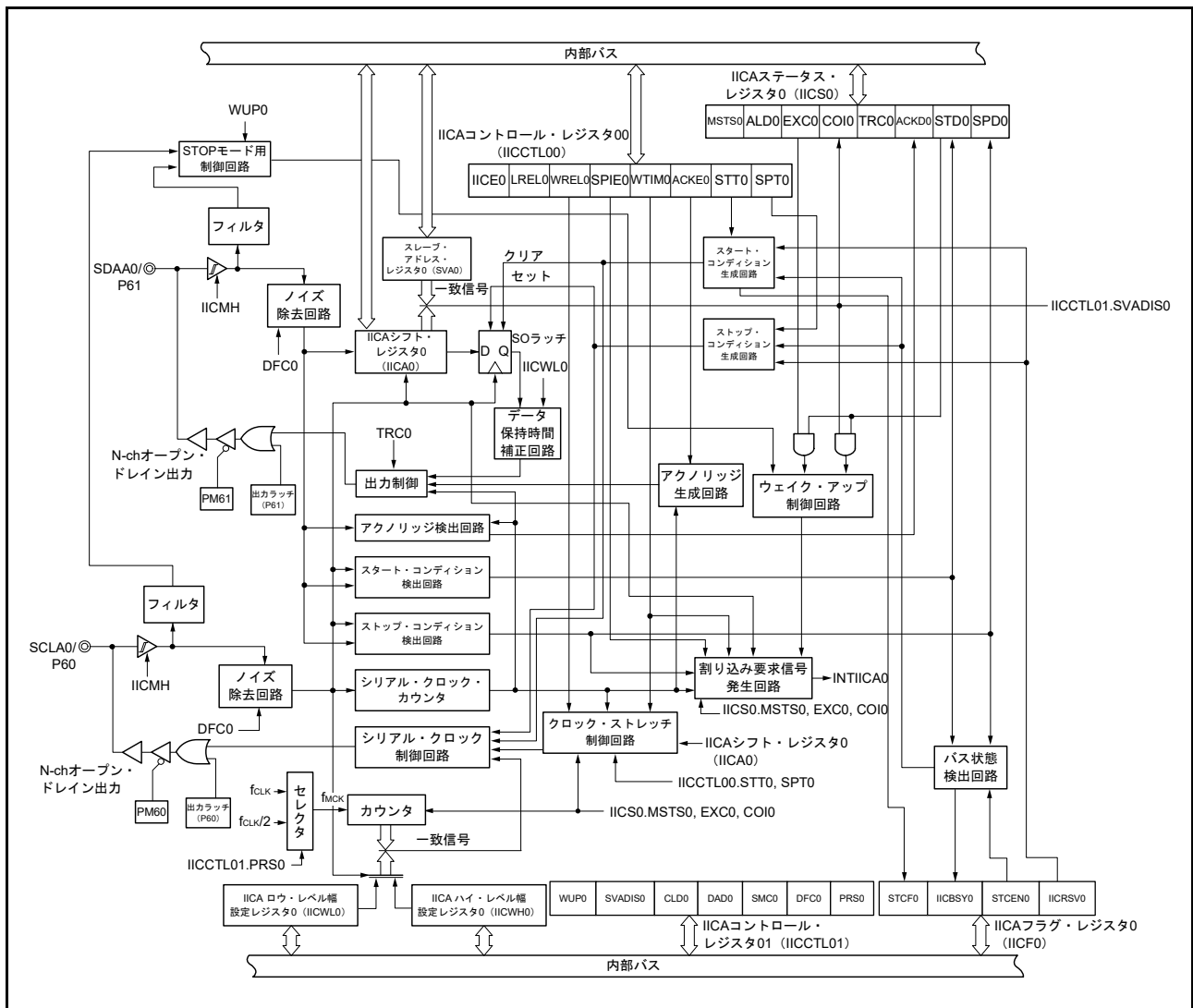
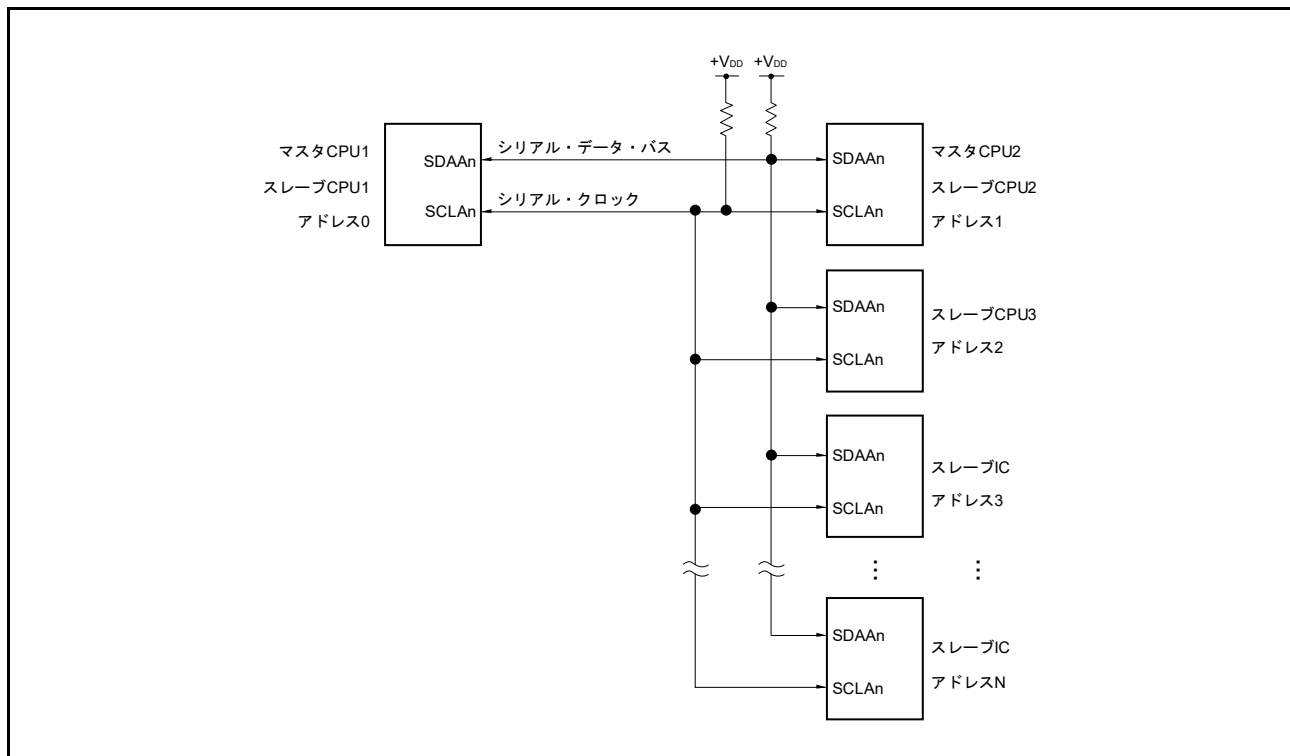


図 25 - 2 に I²C バスによるシリアル・バス構成例を示します。

図25 - 2 I²Cバスによるシリアル・バス構成例



備考 n = 0

25.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表25-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	<ul style="list-style-type: none"> • IICAシフト・レジスタn (IICAn) (n = 0) • スレーブ・アドレス・レジスタn (SVAn) (n = 0)
制御レジスタ	<ul style="list-style-type: none"> • 周辺イネーブル・レジスタ0 (PER0) • 周辺リセット制御レジスタ0 (PRR0) • IICAコントロール・レジスタn0 (IICCTLn0) (n = 0) • IICAステータス・レジスタn (IICSn) (n = 0) • IICAフラグ・レジスタn (IICFn) (n = 0) • IICAコントロール・レジスタn1 (IICCTLn1) (n = 0) • IICAロウ・レベル幅設定レジスタn (IICWLn) (n = 0) • IICAハイ・レベル幅設定レジスタn (IICWHn) (n = 0) • IICA入力モード選択レジスタ (IICM) • ポート・モード・レジスタ (PMxx) • ポート・レジスタ (Pxx) • ポート出力モード・レジスタ (POMxx) • ポート・モード・コントロールA・レジスタ (PMCAxx)

ご使用の製品により使用する端子が異なります。PIOR0 レジスタのPIOR02 ビットを下記のように設定してください。

製品	機能	PIOR02の設定	
		0	1
20～25ピン製品	SCLA0	—	P14
	SDAA0	—	P15
30～64ピン製品	SCLA0	P60	P14
	SDAA0	P61	P15

PIOR02 ビットの設定の詳細は、7.3.8 周辺I/Oリダイレクション・レジスタ (PIORx) を参照してください。

(1) IICAシフト・レジスタ n (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図25-3 IICAシフト・レジスタ n (IICAn) のフォーマット

アドレス : FFF50H (IICA0)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IICAn								

注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

注意2. IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み/読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (IICCTLn0.STTn) を1にセットしたあと、1回書き込みできます。

注意3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 n = 0

(2) スレーブ・アドレス・レジスタ n (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット [A6, A5, A4, A3, A2, A1, A0] を格納するレジスタです。SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図25-4 スレーブ・アドレス・レジスタ n (SVAn) のフォーマット

アドレス : F0234H (SVA0)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注 ビット0は0固定です。

備考 n = 0

- (3) SOラッチ
SOラッチは、SDAAn端子出力レベルを保持するラッチです。
- (4) ウェイク・アップ制御回路
スレーブ・アドレス・レジスタn (SVAn) に設定したアドレス値と受信アドレスが一致するか、全アドレス一致機能許可状態でアドレスを受信した場合、または拡張コードを受信した場合に割り込み要求信号 (INTIICAn) を発生させる回路です。
- (5) シリアル・クロック・カウンタ
送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。
- (6) 割り込み要求信号発生回路
割り込み要求信号 (INTIICAn) の発生を制御します。
I²C割り込み要求は、次の2つのトリガで発生します。
- シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICCTLn0.WTIMnビットで設定)
 - ストップ・コンディション検出による割り込み要求発生 (IICCTLn0.SPIEnビットで設定)
- (7) シリアル・クロック制御回路
マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。
- (8) クロック・ストレッチ制御回路
クロック・ストレッチ・タイミングを制御します。
- (9) アクノリッジ生成回路、ストップ・コンディション検出回路、スタート・コンディション検出回路、アクノリッジ検出回路
各状態の生成および検出を行います。
- (10) データ保持時間補正回路
シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。
- (11) スタート・コンディション生成回路
IICCTLn0.STTnビットが1にセットされるとスタート・コンディションを生成します。
ただし、通信予約禁止状態 (IICFn.IICRSVn = 1) で、かつバスが解放されていない (IICFn.IICBSYn = 1) 場合には、スタート・コンディション要求は無視し、IICFn.STCFnフラグを1にセットします。
- (12) ストップ・コンディション生成回路
SPTnビットが1にセットされるとストップ・コンディションを生成します。
- (13) バス状態検出回路
スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。
ただし、動作直後はバス状態を検出できません。IICFn.STCENnビットでバス状態検出回路の初期状態を設定してください。

備考 n = 0

25.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- IICAコントロール・レジスタn0 (IICCTLn0) (n = 0)
- IICAステータス・レジスタn (IICSn) (n = 0)
- IICAフラグ・レジスタn (IICFn) (n = 0)
- IICAコントロール・レジスタn1 (IICCTLn1) (n = 0)
- IICAロウ・レベル幅設定レジスタn (IICWLn) (n = 0)
- IICAハイ・レベル幅設定レジスタn (IICWHn) (n = 0)
- IICA入力モード選択レジスタ (IICM)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

25.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは、必ずIICA0ENビットに1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図25-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAで使用するSFRをリードした場合は00Hまたは0000Hが読めます。
1	入カクロック供給 ・シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

注意1. シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAnEN = 1の状態、下記のレジスタの設定を行ってください。IICAnEN = 0の場合は、シリアル・インタフェースIICAのレジスタは初期値となり、書き込みは無視されます (ポート・モード・レジスタ (PM6)、ポート・レジスタ (P6) は除く)。

- ・ IICAコントロール・レジスタ n0 (IICCTLn0)
- ・ IICAフラグ・レジスタ n (IICFn)
- ・ IICAステータス・レジスタ n (IICSn)
- ・ IICAコントロール・レジスタ n1 (IICCTLn1)
- ・ IICAロウ・レベル幅設定レジスタ n (IICWLn)
- ・ IICAハイ・レベル幅設定レジスタ n (IICWHn)
- ・ IICAシフト・レジスタ n (IICAn)
- ・ スレーブ・アドレス・レジスタ n (SVAn)

注意2. ピン数に関する注意事項は、第9章 クロック発生回路を参照してください。

注意3. 各周辺機能が動作許可の状態、PER0レジスタの対象ビットを切り替えないでください。

PER0レジスタによる設定は、PER0レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

備考 n = 0

25.3.2 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・インタフェース IICA をリセットする場合は、IICA0RES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図25-6 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H

リセット時: 00H

R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES
IICAnRES	シリアル・インタフェースIICAの周辺リセット制御							
0	シリアル・インタフェースIICAのリセット解除							
1	シリアル・インタフェースIICAはリセット状態 ・シリアル・インタフェースIICAで使用するSFRが初期化されます。							

備考 n = 0

25.3.3 IICAコントロール・レジスタn0 (IICCTLn0) (n = 0)

IICCTLn0 レジスタは、I²Cの動作許可/停止、クロック・ストレッチ・タイミングの設定、その他I²Cの動作を設定するレジスタです。

IICCTLn0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEn ビットは、IICEn = 0 のとき、またはクロック・ストレッチ期間中に設定してください。またIICEn ビットを0から1に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

図25-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (1/4)

アドレス : F0230H (IICCTL00)

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn
IICEn	I ² Cの動作許可							
0	動作停止。IICAステータス・レジスタn (IICSn) をリセット ^{※1} 。内部動作も停止。							
1	動作許可。							
このビットに1を設定するときは、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。								
クリアされる条件 (IICEn = 0)					セットされる条件 (IICEn = 1)			
<ul style="list-style-type: none"> 命令によるクリア リセット時 					<ul style="list-style-type: none"> 命令によるセット 			
LRELn ^{※2,3}	通信退避							
0	通常動作。							
1	現在行っている通信から退避し、待機状態。実行後自動的に0にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0 (IICCTLn0)、IICAステータス・レジスタn (IICSn) のうち、次のフラグが0にクリアされる。 ・ STTn, SPTn, MSTSn, EXCn, COIn, TRCn, ACKDn, STDn							
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。								
<ul style="list-style-type: none"> ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信または全アドレス一致機能許可状態でのアドレス受信 								
クリアされる条件 (LRELn = 0)					セットされる条件 (LRELn = 1)			
<ul style="list-style-type: none"> 実行後、自動的にクリア リセット時 					<ul style="list-style-type: none"> 命令によるセット 			

図25 - 7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (2/4)

WRELn 注2,3	クロック・ストレッチ解除	
0	クロック・ストレッチを解除しない。	
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。	
送信状態 (IICSn.TRCn = 1) で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット (クロック・ストレッチを解除) した場合、SDAAnラインをハイ・インピーダンス (IICSn.TRCn = 0) にします。		
クリアされる条件 (WRELn = 0)		セットされる条件 (WRELn = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

SPIEn注2	ストップ・コンディション検出による割り込み要求発生 of 許可/禁止	
0	禁止	
1	許可	
IICCTLn1.WUPn = 1 の場合には、SPIEn = 1 にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIEn = 0)		セットされる条件 (SPIEn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

WTIMn注4	クロック・ストレッチおよび割り込み要求発生 of 制御	
0	8クロック目の立ち下がりで割り込み要求発生。 <ul style="list-style-type: none"> ・マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ ・スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ 	
1	9クロック目の立ち下がりで割り込み要求発生。 <ul style="list-style-type: none"> ・マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ ・スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ 	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし、拡張コードを受信したスレーブは、8クロック目の立ち下がりでクロック・ストレッチに入ります。 全アドレス一致機能許可状態でのアドレス受信時は、8クロック目の立ち下がりでクロック・ストレッチに入ります。		
クリアされる条件 (WTIMn = 0)		セットされる条件 (WTIMn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

図25-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (3/4)

ACKEn 注4,5	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件 (ACKEn = 0)		セットされる条件 (ACKEn = 1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 		<ul style="list-style-type: none"> 命令によるセット
STTn注2,6	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき (待機状態、IICSFn.IICBSYnフラグが0のとき) :</p> <p>1にセットすると、スタート・コンディションを生成する (マスタとしての起動)。</p> <p>第三者が通信中のとき :</p> <ul style="list-style-type: none"> 通信予約機能許可の場合 (IICSFn.IICRSVn = 0) スタート・コンディション予約フラグとして機能する。1にセットすると、バスが解放されたあと自動的にスタート・コンディションを生成する。 通信予約機能禁止の場合 (IICSFn.IICRSVn = 1) 1にセットしてもSTTnビットはクリアされ、STTnクリア・フラグ (IICFn.STCFn) が1にセットされる。スタート・コンディションは生成しない。 <p>クロック・ストレッチ状態 (マスタ時) :</p> <p>クロック・ストレッチを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合 : 転送中に1にセットすることは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけ1にセット可能です。 マスタ送信の場合 : アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中に1にセットしてください。 ストップ・コンディション・トリガ (SPTn) と同時に1にセットすることは禁止です。 STTnビットに1を設定したあと、クリア条件になる前に再度1をセットすることは禁止です。 		
クリアされる条件 (STTn = 0)		セットされる条件 (STTn = 1)
<ul style="list-style-type: none"> 通信予約禁止状態でのSTTnビットを1にセット アービトレーションに負けたとき マスタでのスタート・コンディション生成 LRELn = 1 (通信退避) によるクリア IICEn = 0 (動作停止) のとき リセット時 		<ul style="list-style-type: none"> 命令によるセット

図25-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (4/4)

SPTn ^{注7}	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する (マスタとしての転送終了)。				
セット・タイミングに関する注意 ・マスタ受信の場合：転送中に1にセットすることは禁止です。 ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけ1にセット可能です。 ・マスタ送信の場合：アクリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。 ・スタート・コンディション・トリガ (STTn) と同時に1にセットすることは禁止です。 ・1へのセットは、マスタのときのみ行ってください。 ・WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットを1にセットすると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットを1にセットしてください。 ・SPTnビットに1を設定したあと、クリア条件になる前に再度1をセットすることは禁止です。					
<table border="1" style="width: 100%;"> <thead> <tr> <th>クリアされる条件 (SPTn = 0)</th> <th>セットされる条件 (SPTn = 1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1 (通信退避) によるクリア ・IICEn = 0 (動作停止) のとき ・リセット時 </td> <td> <ul style="list-style-type: none"> ・命令によるセット </td> </tr> </tbody> </table>		クリアされる条件 (SPTn = 0)	セットされる条件 (SPTn = 1)	<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1 (通信退避) によるクリア ・IICEn = 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット
クリアされる条件 (SPTn = 0)	セットされる条件 (SPTn = 1)				
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1 (通信退避) によるクリア ・IICEn = 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット 				

注1. リセットされるのは、IICAステータス・レジスタn (IICA0)、IICAフラグ・レジスタn (IICF0) のSTCFn、IICBSYnフラグ、IICAコントロール・レジスタn1 (IICCTLn1) レジスタのCLDn、DADnビットです。

注2. IICEn = 0の状態では、このビットの信号は無効になります。

注3. LRELn, WRELnビットの読み出し値は常に0になります。

注4. IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注5. アドレス転送中で、かつ拡張コードでない場合で全アドレス一致機能が停止の場合、設定値は無効です。スレーブかつアドレスが一致した場合は、設定値に関係なくアクリッジを生成します。

注6. STTnビットの読み出し値は、常に0になります。

注7. SPTnビットの読み出し値は、常に0になります。

注意1. SCLAnラインがハイ・レベル、SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTLn1.DFCn = 1) のときにI²Cを動作許可 (IICEn = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICEn = 1) したあと、連続して1ビット・メモリ操作命令により、LRELnビットを1にセットしてください。

注意2. IICAステータス・レジスタn (IICSn) のビット3 (TRCn) が1 (送信状態) のとき、9クロック目にIICCTLn0レジスタのビット5 (WRELn) を1にセットしてクロック・ストレッチ解除すると、TRCnフラグをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態) におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考1. ビット0 (SPTn) は、データ設定後に読み出すと0になっています。

備考2. n = 0

25.3.4 IICAステータス・レジスタ n (IICSn) (n = 0)

IICAステータス・レジスタ n は、I²C のステータスを表すレジスタです。

IICSn レジスタは、IICCTLn0.STTn = 1 およびクロック・ストレッチ期間中のみ、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

注意 STOPモード状態時のアドレス一致ウェイク・アップ機能動作許可 (IICCTLn1.WUPn = 1) 状態でのIICSnレジスタの読み出しは禁止です。IICCTLn1.WUPn = 1の状態から、INTIICAn割り込み要求信号と関係なくIICCTLn1.WUPnビットを1→0 (ウェイク・アップ機能動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウェイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (IICCTLn0.SPIEn = 1) して割り込み検出後にIICSnレジスタを読み出して下さい。

図25-8 IICAステータス・レジスタ n (IICSn) のフォーマット (1/4)

アドレス : FFF51H (IICS0)

リセット時: 00H

R/W属性 : R

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICSn	MSTS _n	ALD _n	EXC _n	COI _n	TRC _n	ACKD _n	STD _n	SPD _n
MSTS _n	マスタ状態確認フラグ							
0	スレーブ状態または通信待機状態。							
1	マスタ通信状態。							
クリアされる条件 (MSTS _n = 0)					セットされる条件 (MSTS _n = 1)			
<ul style="list-style-type: none"> ストップ・コンディション検出時 ALD_n = 1 (アービトレーション負け) のとき IICCTLn0.LRELn = 1 (通信退避) によるクリア IICCTLn0.IICE_n = 1→0 (動作停止) のとき リセット時 					<ul style="list-style-type: none"> スタート・コンディション生成時 			
ALD _n	アービトレーション負け検出							
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。							
1	アービトレーションに負けた状態。MSTS _n フラグがクリアされる。							
クリアされる条件 (ALD _n = 0)					セットされる条件 (ALD _n = 1)			
<ul style="list-style-type: none"> IICSn レジスタ読み出し後、自動的にクリア^{注1} IICCTLn0.IICE_n = 1→0 (動作停止) のとき リセット時 					<ul style="list-style-type: none"> アービトレーションに負けたとき 			

図25 - 8 IICAステータス・レジスタ n (IICSn) のフォーマット (2/4)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。または全アドレス一致機能が許可状態。	
	クリアされる条件 (EXCn = 0)	セットされる条件 (EXCn = 1)
	<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 IICCTLn0.LRELn = 1 (通信退避) によるクリア IICCTLn0.IICEn = 1→0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット) 全アドレス一致機能許可 (IICCTLn1.SVADISn = 1) 設定がされた状態でアドレスを受信したとき (8クロック目の立ち上がりでセット)

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。または全アドレス一致機能が許可状態。	
	クリアされる条件 (COIn = 0)	セットされる条件 (COIn = 1)
	<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 IICCTLn0.LRELn = 1 (通信退避) によるクリア IICCTLn0.IICEn = 1→0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> 受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ n (SVAn)) と一致したとき (8クロック目の立ち上がりでセット) 全アドレス一致機能許可 (IICCTLn1.SVADISn = 1) 設定時に、アドレス受信したとき (8クロック目の立ち上がりでセット)

図25 - 8 IICAステータス・レジスタ n (IICSn) のフォーマット (3/4)

TRCn	送信/受信状態検出	
0	受信状態 (送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
	クリアされる条件 (TRCn = 0)	セットされる条件 (TRCn = 1)
	<p><マスタ、スレーブ共通></p> <ul style="list-style-type: none"> ストップ・コンディション検出時 IICCTLn0.LRELn = 1 (通信退避) によるクリア IICCTLn0.IICEn = 1→0 (動作停止) のとき IICCTLn0.WRELn = 1 (クロック・ストレッチ解除) によるクリア^{注2} ALDn = 0→1 (アービトラクション負け) のとき リセット時 通信不参加の場合 (MSTSn, EXCn, COIn = 0) <p><マスタの場合></p> <ul style="list-style-type: none"> 1バイト目のLSB (転送方向指定ビット) に1を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> スタート・コンディション検出時 1バイト目のLSB (転送方向指定ビット) に0を入力したとき 	<p><マスタの場合></p> <ul style="list-style-type: none"> スタート・コンディション生成時 1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に0 (マスタ送信) を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に1 (スレーブ送信) が入力されたとき
ACKDn	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKDn = 0)	セットされる条件 (ACKDn = 1)
	<ul style="list-style-type: none"> ストップ・コンディション検出時 次のバイトの1クロック目の立ち上がり時 IICCTLn0.LRELn = 1 (通信退避) によるクリア IICCTLn0.IICEn = 1→0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

図25 - 8 IICAステータス・レジスタ n (IICSn) のフォーマット (4/4)

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STDn = 0)	セットされる条件 (STDn = 1)
	<ul style="list-style-type: none"> ストップ・コンディション検出時 アドレス転送後の次のバイトの1クロック目の立ち上がり時 IICCTLn0.LRELn = 1 (通信退避) によるクリア IICCTLn0.IICEn = 1→0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
	クリアされる条件 (SPDn = 0)	セットされる条件 (SPDn = 1)
	<ul style="list-style-type: none"> このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 IICCTLn1.WUPn = 1→0のとき IICCTLn0.IICEn = 1→0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> ストップ・コンディション検出時

- 注1.** IICSnレジスタのほかのビットに対し、1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnフラグ使用時は、ほかのビットよりも先にデータを読み出してください。
- 注2.** TRCn = 1 (送信状態) のとき、9クロック目にIICAコントロール・レジスタ n0 (IICCTLn0) のビット5 (WRELn) を1にセットしてクロック・ストレッチを解除すると、TRCnフラグをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態) におけるクロック・ストレッチ解除は、IICAシフト・レジスタ nへの書き込みで行ってください。

備考 n = 0

25.3.5 IICA フラグ・レジスタ n (IICFn) (n = 0)

IICA フラグ・レジスタ n は、I²C の動作モードの設定と、I²C バスの状態を表すレジスタです。

IICFn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、STTn クリア・フラグ (STCFn)、I²C バス状態フラグ (IICBSYn) は読み出しのみ可能です。

IICRSVn ビットにより、通信予約機能の禁止/許可を設定します。

また STCENn ビットにより、IICBSYn フラグの初期値を設定します。

IICRSVn, STCENn ビットは I²C が動作禁止 (IICCTLn0.IICEn = 0) のときのみ書き込み可能です。動作許可後、IICFn レジスタは読み出しのみ可能となります。

リセット信号の発生により、00H になります。

図25-9 IICA フラグ・レジスタ n (IICFn) のフォーマット (1/2)

アドレス : FFF52H (IICF0)

リセット時: 00H

R/W属性 : R/W注

略号	<7>	<6>	5	4	3	2	<1>	<0>	
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn	
STCFn	STTn クリア・フラグ								
0	スタート・コンディション発行。								
1	スタート・コンディション発行できず、STTn フラグ・クリア。								
クリアされる条件 (STCFn = 0)				セットされる条件 (STCFn = 1)					
<ul style="list-style-type: none"> • IICCTLn0.STTn = 1 によるクリア • IICCTLn0.IICEn = 0 (動作停止) のとき • リセット時 				<ul style="list-style-type: none"> • 通信予約禁止 (IICRSVn = 1) 設定時にスタート・コンディション発行できず、IICCTLn0.STTn ビットが 0 にクリアされたとき 					
IICBSYn	I ² C バス状態フラグ								
0	バス解放状態 (STCENn = 1 時の通信初期状態)。								
1	バス通信状態 (STCENn = 0 時の通信初期状態)。								
クリアされる条件 (IICBSYn = 0)				セットされる条件 (IICBSYn = 1)					
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • IICCTLn0.IICEn = 0 (動作停止) のとき • リセット時 				<ul style="list-style-type: none"> • スタート・コンディション検出時 • STCENn = 0 時の IICCTLn0.IICEn ビットのセット 					
STCENn	初期スタート許可トリガ								
0	動作許可 (IICCTLn0.IICEn = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。								
1	動作許可 (IICCTLn0.IICEn = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。								
クリアされる条件 (STCENn = 0)				セットされる条件 (STCENn = 1)					
<ul style="list-style-type: none"> • 命令によるクリア • スタート・コンディション検出時 • リセット時 				<ul style="list-style-type: none"> • 命令によるセット 					

図25 - 9 IICAフラグ・レジスタn (IICFn) のフォーマット (2/2)

IICRSVn	通信予約機能禁止ビット	
0	通信予約許可。	
1	通信予約禁止。	
	クリアされる条件 (IICRSVn = 0)	セットされる条件 (IICRSVn = 1)
	<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	<ul style="list-style-type: none"> ・ 命令によるセット

注 ビット7, 6はRead Onlyです。

注意1. STCENnビットへの書き込みは動作停止 (IICCTLn0.IICEn = 0) 時のみ行ってください。

注意2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを発行 (IICCTLn0.STTn = 1) する場合はほかの通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意3. IICRSVnビットへの書き込みは動作停止 (IICCTLn0.IICEn = 0) 時のみ行ってください。

備考 n = 0

25.3.6 IICAコントロール・レジスタ n1 (IICCTLn1) (n = 0)

IICA コントロール・レジスタ n1 は、I²C の動作モードの設定や SCLAn, SDAAn 端子状態を検出するためのレジスタです。

IICCTLn1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、CLDn, DADn ビットは読み出しのみ可能です。

IICCTLn1 レジスタは、WUPn ビットを除き I²C が動作禁止 (IICCTLn0.IICEn = 0) のときに設定してください。リセット信号の発生により、00H になります。

図25 - 10 IICAコントロール・レジスタ n1 (IICCTLn1) のフォーマット (1/2)

アドレス : F0231H (IICCTL01)

リセット時: 00H

R/W属性 : R/W注1

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
IICCTLn1	WUPn	SVADISn	CLDn	DADn	SMCn	DFCn	0	PRSn

WUPn	アドレス一致ウェイク・アップの制御
0	STOPモード状態時のアドレス一致ウェイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウェイク・アップ機能動作許可
<p>WUPn = 1 でSTOPモードに移行する場合は、WUPn ビットを1にセットしてfMCKの3クロック以上経過後にSTOP命令を実行してください (図25 - 23 WUPn = 1 を設定する場合のフロー参照)。</p> <p>アドレス一致、または全アドレス一致機能許可状態でのアドレス受信後、または拡張コード受信後はWUPn ビットを0にクリアしてください。WUPn ビットを0にクリアすることで、その後の通信に参加することができます (クロック・ストレッチ解除および送信データ書き込みは、WUPn ビットを0にクリアしたあとに行う必要があります)。</p> <p>WUPn = 1 の状態における、アドレス一致および全アドレス一致機能許可状態でのアドレス受信時および拡張コード受信時の割り込みタイミングは、WUPn = 0 の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1 の場合には、IICCTLn0.SPIEn = 1 にしてもストップ・コンディション割り込みは発生しません。</p>	
クリアされる条件 (WUPn = 0)	セットされる条件 (WUPn = 1)
<ul style="list-style-type: none"> 命令によるクリア (アドレス一致または全アドレス一致機能許可状態でのアドレス受信後または拡張コード受信後) 	<ul style="list-style-type: none"> 命令によるセット (MSTSn, EXCn, COIn = 0 であり、STDn = 0 (通信に参加しないこと) のとき) 注2

SVADISn	アドレス一致無効フラグ
0	全アドレス一致機能停止
1	全アドレス一致機能許可
<p>SVADISn = 1 でIICAはすべてのアドレスに対してアドレス一致とみなし、また、拡張コード受信動作と同じ動作を行います。</p> <p>そのため、IICSn.COIn = 1 かつ IICSn.EXCn = 1 の状態となります。</p> <p>拡張コード受信に関しては、25.5.11 拡張コードを参照。</p>	

図25 - 10 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (2/2)

CLDn	SCLAn端子のレベル検出 (IICCTLn0.IICEn = 1のときのみ有効)	
0	SCLAn端子がロウ・レベルであることを検出	
1	SCLAn端子がハイ・レベルであることを検出	
クリアされる条件 (CLDn = 0)		セットされる条件 (CLDn = 1)
<ul style="list-style-type: none"> • SCLAn端子がロウ・レベルのとき • IICCTLn0.IICEn = 0 (動作停止) のとき • リセット時 		<ul style="list-style-type: none"> • SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出 (IICCTLn0.IICEn = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件 (DADn = 0)		セットされる条件 (DADn = 1)
<ul style="list-style-type: none"> • SDAAn端子がロウ・レベルのとき • IICCTLn0.IICEn = 0 (動作停止) のとき • リセット時 		<ul style="list-style-type: none"> • SDAAn端子がハイ・レベルのとき

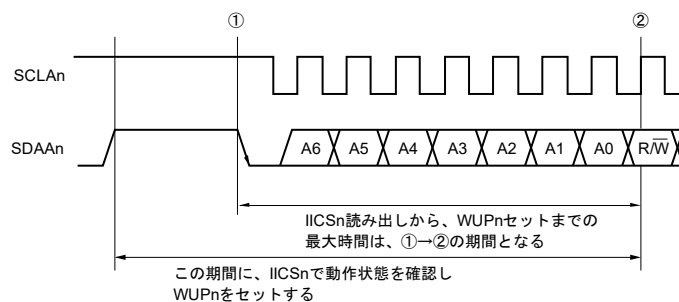
SMCn	動作モードの切り替え	
0	標準モードで動作 (最大転送レート : 100 kbps)	
1	ファースト・モード (最大転送レート : 400 kbps) またはファースト・モード・プラス (最大転送レート : 1 Mbps) で動作	

DFCn	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。デジタル・フィルタは、ノイズ除去のために使用します。DFCnビットを1にセット/0にクリアすることにより、転送クロックが変化することはありません。		

PRSn	IICA動作クロック (fMCK) の制御	
0	fCLKを選択 (1 MHz ≤ fCLK ≤ 20 MHz)	
1	fCLK/2を選択 (20 MHz < fCLK)	

注1. ビット5, 4はRead Onlyです。

注2. 次に示す期間に、IICAステータス・レジスタn (IICSn) の状態を確認しセットする必要があります。



(注意、備考は次ページに続きます)

- 注意1. fCLKが20 MHzを超える場合のみ、PRSnビットに1を設定してください。
fCLKが48 MHzの場合はデジタル・フィルタのフィルタ幅が41.67 nsになります。50 ns以上のフィルタ幅を確保する場合はfCLKを32 MHz以下に設定するか、外付けでノイズ・フィルタを使用してください。
- 注意2. 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。
シリアル・インタフェースIICAはモードによってfCLKの最低動作周波数が決められています。
- | | |
|----------------|-------------------------|
| ファースト・モード時 | : fCLK = 3.5 MHz (Min.) |
| ファースト・モード・プラス時 | : fCLK = 10 MHz (Min.) |
| 標準モード時 | : fCLK = 1 MHz (Min.) |

備考 n = 0

25.3.7 IICA ロウ・レベル幅設定レジスタ n (IICWLn) (n = 0)

IICA ロウ・レベル幅設定レジスタ n は、シリアル・インタフェース IICA が、出力する SCLAn 端子信号のロウ・レベル幅 (tLow) と SDAAn 端子信号を制御するレジスタです。

IICWLn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWLn レジスタは、I²C が動作禁止 (IICCTLn0.IICEn = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

IICWLn レジスタの設定方法については、**25.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法を参照してください。**

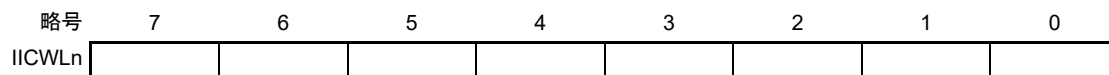
また、データ・ホールド時間は IICWLn レジスタで設定した時間の 1/4 になります。

図25-11 IICA ロウ・レベル幅設定レジスタ n (IICWLn) のフォーマット

アドレス : F0232H (IICWL0)

リセット時: FFH

R/W属性 : R/W



備考 n = 0

25.3.8 IICA ハイ・レベル幅設定レジスタ n (IICWHn) (n = 0)

IICA ハイ・レベル幅設定レジスタ n は、シリアル・インタフェース IICA が、出力する SCLAn 端子信号のハイ・レベル幅と SDAAn 端子信号を制御するレジスタです。

IICWHn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWHn レジスタは、I²C が動作禁止 (IICCTLn0.IICEn = 0) のときに設定してください。

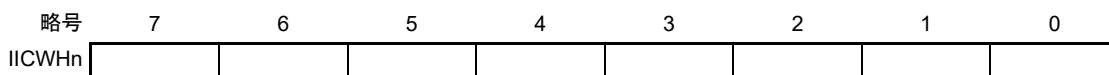
リセット信号の発生により、FFH になります。

図25-12 IICA ハイ・レベル幅設定レジスタ n (IICWHn) のフォーマット

アドレス : F0233H (IICWH0)

リセット時: FFH

R/W属性 : R/W



備考1. IICWLn, IICWHn レジスタによる転送クロック設定方法については以下を参照してください。

- ・ マスタ側の転送クロックの設定方法 : **25.4.2 (1) マスタ側の転送クロック設定方法**
- ・ スレーブ側の IICWLn, IICWHn レジスタの設定方法 : **25.4.2 (2) スレーブ側の IICWLn, IICWHn レジスタ設定方法 (設定値はすべて小数点以下切り上げ)**

備考2. n = 0

25.3.9 IICA入力モード選択レジスタ (IICM)

IICA 入力モード選択レジスタは、IICA の入カスレッシュォルドを選択するレジスタです。

IICM レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図25 - 13 IICA入力モード選択レジスタ (IICM) のフォーマット

アドレス : F007AH (IICM)

リセット時: 00H

R/W属性 : R/W注

略号	7	6	5	4	3	2	1	0
IICM	0	0	0	0	0	0	0	IICSH

IICSH	IICA入カスレッシュォルド選択
0	I ² Cスペック入カスレッシュォルド
1	SMBUS3.0 (1.35 V) 入カスレッシュォルド

注 ビット7-1には、必ず0を設定してください。

注意 セルフ・プログラミング実行中（フラッシュ・メモリ・シーケンサが非書き換えモード以外るとき）は、IICSH ビットを操作しないでください。

25.3.10 シリアル・インタフェースIICA入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・インタフェースIICA入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx)、7.3.2 ポート・レジスタ (Pxx)、7.3.5 ポート出力モード・レジスタ (POMxx) および 7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

25.4 I²Cバス・モードの機能

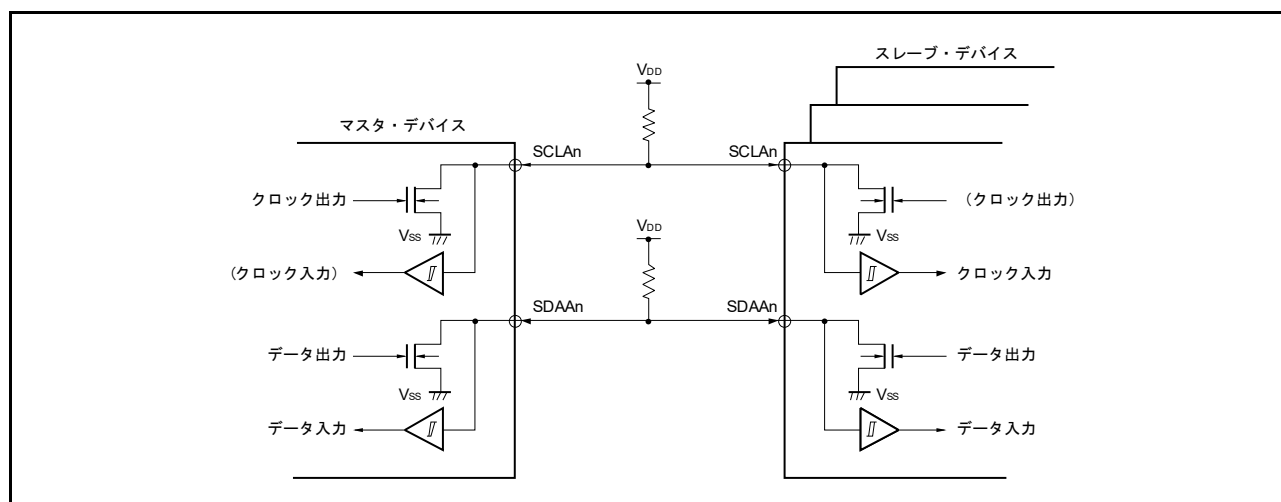
25.4.1 端子構成

シリアル・クロック端子 (SCLAn) と、シリアル・データ・バス端子 (SDAAn) の構成は、次のようになっています。

- (1) SCLAn.....シリアル・クロックを入出力するための端子。
 マスタ、スレーブともに、出力は N-ch オープン・ドレイン。入力はシュミット入力。
- (2) SDAAn.....シリアル・データの入出力兼用端子。
 マスタ、スレーブともに、出力は N-ch オープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力が N-ch オープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図25 - 14 端子構成図



備考 n = 0

25.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWLn + IICWHn + f_{MCK} (t_R + t_F)}$$

このとき、最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

- ファースト・モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

- 標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

- ファースト・モード・プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

(2) スレーブ側のIICWLn, IICWHnレジスタ設定方法

(設定値はすべて小数点以下切り上げ)

- ファースト・モード時

$$IICWLn = 1.3 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (1.2 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

- 標準モード時

$$IICWLn = 4.7 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (5.3 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

- ファースト・モード・プラス時

$$IICWLn = 0.50 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (0.50 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

注意1. fCLKが20 MHzを超える場合のみ、IICAコントロール・レジスタn1 (IICCTLn1) のビット0 (PRSn) に1を設定してください。

fCLKが48 MHzの場合はデジタル・フィルタのフィルタ幅が41.67 nsになります。50 ns以上のフィルタ幅を確保する場合はfCLKを32 MHz以下に設定するか、外付けでノイズ・フィルタを使用してください。

注意2. 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってfCLKの最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

(備考は次ページに続きます)

備考1. SDAAn, SCLAn信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

備考2. IICWLn : IICA ロウ・レベル幅設定レジスタ n

IICWHn : IICA ハイ・レベル幅設定レジスタ n

t_F : SDAAn, SCLAn 信号の立ち下がり時間

t_R : SDAAn, SCLAn 信号の立ち上がり時間

f_{MCK} : IICA 動作クロック周波数

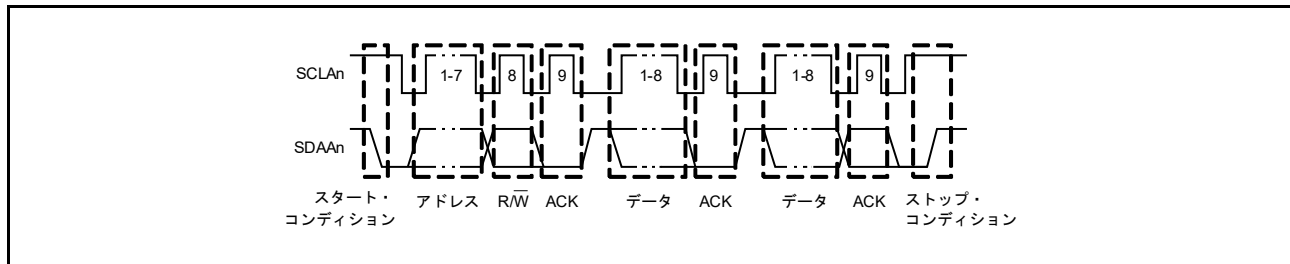
備考3. $n = 0$

25.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

図 25 - 15 に I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを示します。

図25 - 15 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

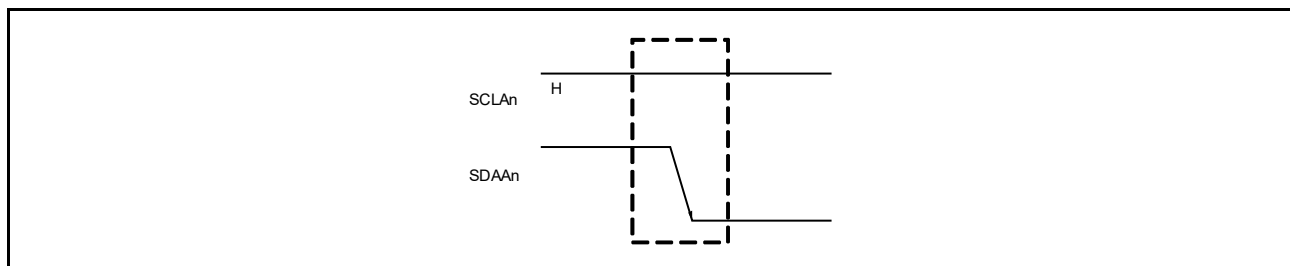
アックノリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます (通常、8 ビット・データの受信側が出力します)。

シリアル・クロック (SCLAn) は、マスタが出力し続けます。ただし、スレーブは SCLAn 端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

25.5.1 スタート・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn 端子、SDAAn 端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図25 - 16 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (IICSn.SPDn = 1) のときに IICA コントロール・レジスタ n0 (IICCTLn0) のビット 1 (STTn) を 1 にセットすると出力されます。また、スタート・コンディションを検出すると、IICSn レジスタのビット 1 (STDn) が 1 にセットされます。

備考 n = 0

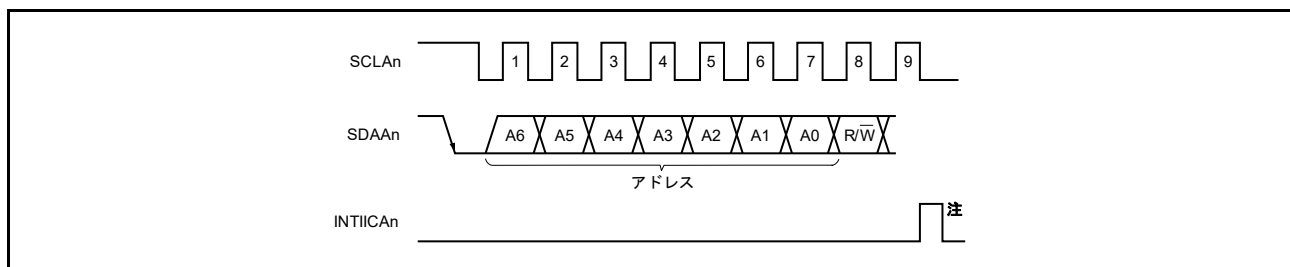
25.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7ビット・データと SVAn レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図25 - 17 アドレス



注 スレーブ動作時に、全アドレス一致機能停止状態で、自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと **25.5.3 転送方向指定** に説明する転送方向をあわせて8ビットとして IICA シフト・レジスタ n (IICAn) に書き込むと出力します。また、受信したアドレスは IICAn レジスタに書き込まれます。

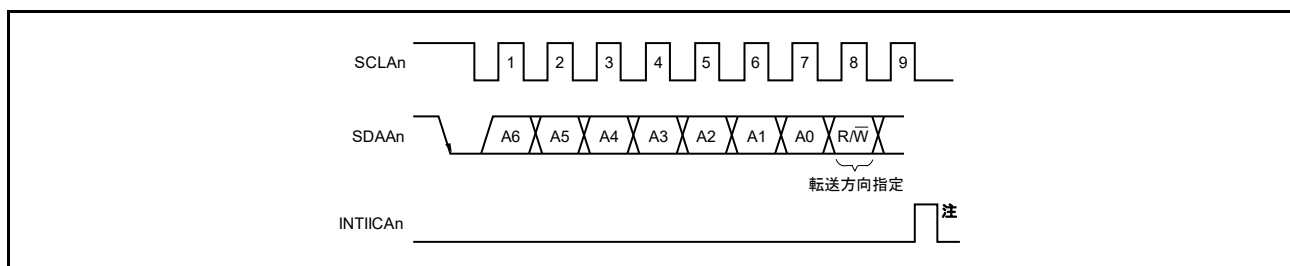
なお、スレーブのアドレスは、IICAn レジスタの上位7ビットに割り当てられます。

25.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図25 - 18 転送方向指定



注 スレーブ動作時に全アドレス一致機能停止状態で、自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 $n = 0$

25.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8 ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICA ステータス・レジスタ n (IICSn) のビット 2 (ACKDn) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

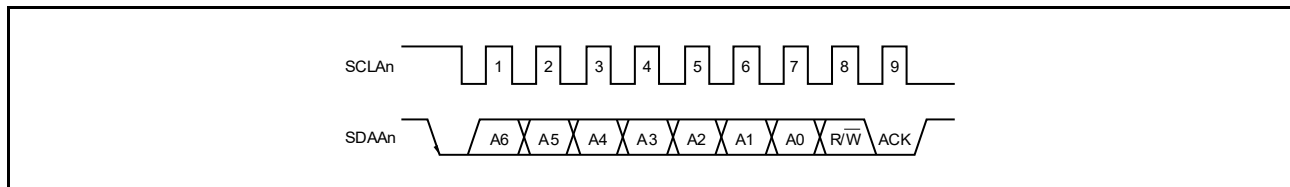
アクノリッジ生成は、受信側が9クロック目に SDAAn ラインをロウ・レベルにすることによって行われます (正常受信)。

IICA コントロール・レジスタ n0 (IICCTLn0) のビット 2 (ACKEn) を 1 にセットすることによって、アクノリッジが自動生成可能な状態になります。7 ビットのアдрес情報に続く 8 ビット目のデータにより IICSn レジスタのビット 3 (TRCn) が設定されます。受信 (TRCn = 0) の場合は、通常、ACKEn ビットを 1 にセットしてください。

スレーブ受信動作時 (TRCn = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEn ビットを 0 にクリアし、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRCn = 0) に、次のデータを必要としない場合、アクノリッジを生成しないように ACKEn ビットを 0 にクリアしてください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図25-19 アクノリッジ



自局アドレス受信時は、ACKEn ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時または全アドレス一致機能許可状態でのアドレス受信時は、あらかじめ ACKEn ビットを 1 にセットしておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- 8クロック目の立ち下がりに設定した場合 (IICCTLn0 レジスタのビット 3 (WTIMn) = 0) :
クロック・ストレッチ解除を行う前に ACKEn ビットを 1 にセットすることによって、SCLAn 端子の 8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック目の立ち下がりに設定した場合 (IICCTLn0 レジスタのビット 3 (WTIMn) = 1) :
あらかじめ ACKEn ビットを 1 にセットすることによって、アクノリッジを生成します。

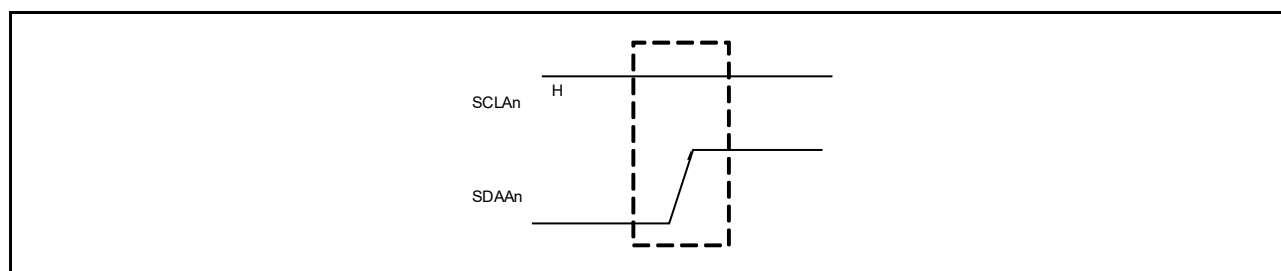
備考 n = 0

25.5.5 ストップ・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図25-20 ストップ・コンディション



ストップ・コンディションは、IICA コントロール・レジスタ n0 (IICCTLn0) のビット 0 (SPTn) を 1 にセットすると発生します。また、ストップ・コンディションを検出すると IICA ステータス・レジスタ n (IICSn) のビット 0 (SPDn) が 1 にセットされ、IICCTLn0 レジスタの SPIEn ビットが 1 にセットされている場合には INTIICAn が発生します。

備考 n = 0

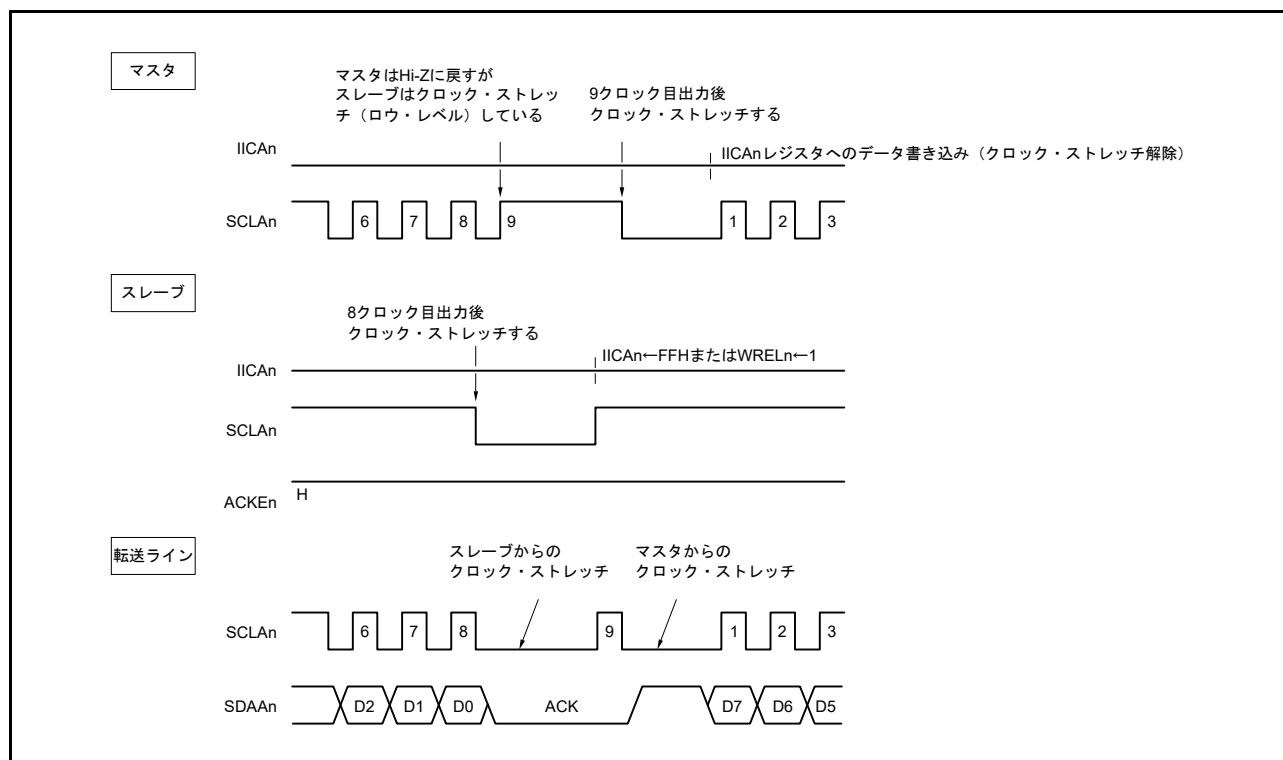
25.5.6 クロック・ストレッチ

クロック・ストレッチによって、マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLAn 端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図25-21 クロック・ストレッチ (1/2)

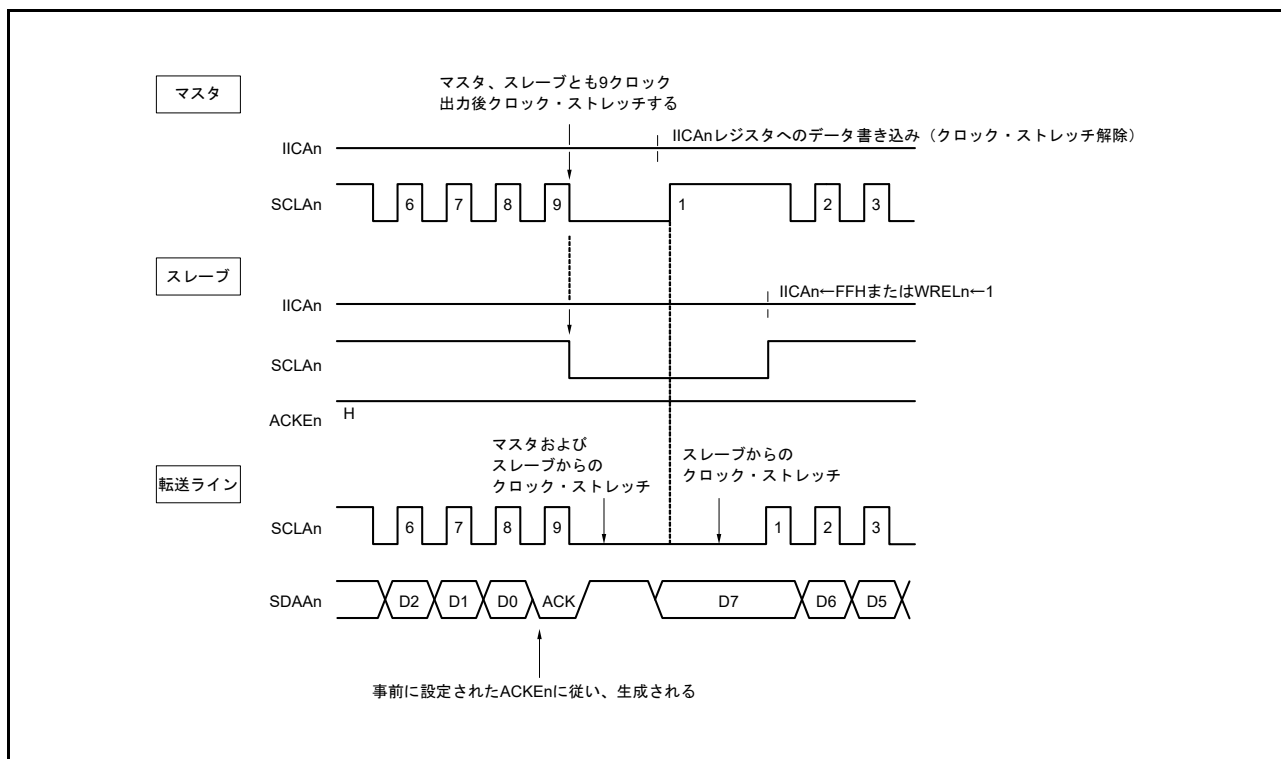
- (1) マスタは9クロック目の立ち下がり、スレーブは8クロック目の立ち下がりでクロック・ストレッチが発生する場合
 (マスタ：送信、スレーブ：受信、ACKEn = 1)



備考 n = 0

図25-21 クロック・ストレッチ (2/2)

- (2) マスタ、スレーブとも9クロック目の立ち下がりでクロック・ストレッチが発生する場合
(マスタ : 送信、スレーブ : 受信、ACKEn = 1)



備考 ACKEn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット2

WRELn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット5

クロック・ストレッチは、IICAコントロール・レジスタ n0 (IICCTLn0) のビット3 (WTIMn) の設定により自動的に発生します。

通常、受信側は IICCTLn0.WRELn = 1 または IICA シフト・レジスタ n (IICAn) に FFH を書き込むとクロック・ストレッチを解除し、送信側は IICAn レジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- IICCTLn0.STTn = 1
- IICCTLn0.SPTn = 1

備考 n = 0

25.5.7 クロック・ストレッチ解除方法

I²C では、通常、次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタ n (IICAn) へのデータ書き込み
- IICAコントロール・レジスタ n0 (IICCTLn0) のビット5 (WRELn) のセット (クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成) 注
- IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成) 注

注 マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合、IICA はクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ (アドレスを含む) を送信する場合には、IICAn レジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0 レジスタのビット5 (WRELn) を1にセットしてください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0 レジスタのビット1 (STTn) を1にセットしてください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0 レジスタのビット0 (SPTn) を1にセットしてください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば、WRELn ビットへの1セットによるクロック・ストレッチ解除後、IICAn レジスタへのデータ書き込みを実施した場合には、SDAAn ラインの変化タイミングと IICAn レジスタへの書き込みタイミングの競合により、SDAAn ラインへの出力データが間違っただけになる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEn ビットを0にクリアすると通信を停止するので、クロック・ストレッチを解除できます。

I²C バスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0 レジスタの LRELn ビットを1にセットすると通信から退避するので、クロック・ストレッチを解除できます。

注意 WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

備考 n = 0

25.5.8 割り込み要求信号 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0 (IICCTLn0) のビット 3 (WTIMn) の設定で、表 25 - 2 に示すタイミングで INTIICAn が発生し、また、クロック・ストレッチ制御を行います。

表25 - 2 INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	g注1,2	g注2	g注2	9	8	8
1	g注1,2	g注2	g注2	9	9	9

- 注1.** スレーブのINTIICAn信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタ n (SVAn) に設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICCTLn0レジスタのビット2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信または全アドレス一致機能許可状態でのアドレスを受信したスレーブは8クロック目の立ち下がりでINTIICAnが発生します。
ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnが発生しますが、クロック・ストレッチは発生しません。
- 注2.** スレーブ・アドレス・レジスタ n (SVAn) と受信したアドレスが一致せず、かつ全アドレス一致機能停止時で、かつ拡張コードを受信していない場合は、INTIICAnもクロック・ストレッチも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

スレーブ動作時 : WTIMn ビットにかかわらず、上記の注1、注2の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。

マスタ動作時 : WTIMn ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ/スレーブ動作時 : WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時 : WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

備考 n = 0

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- IICAシフト・レジスタ n (IICAn) へのデータ書き込み
- IICAコントロール・レジスタ n0 (IICCTLn0) のビット5 (WRELn) のセット (クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn) のセット (スタート・コンディションの生成) 注
- IICCTLn0レジスタのビット0 (SPTn) のセット (ストップ・コンディションの生成) 注

注 マスタのみ。

クロック・ストレッチ・タイミングを8クロック目の立ち下がり (WTIM0 = 0) に設定した場合、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

25.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n (SVAn) に設定したアドレスが一致したとき、または全アドレス一致機能許可状態 (IICCTLn1.SVADISn = 1) でのアドレス受信、または拡張コードを受信した場合だけ、INTIICAn 割り込み要求信号が発生します。

25.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAAn) の状態が、送信しているデバイスのIICAシフト・レジスタ n (IICAn) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 n = 0

25.5.11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信検出フラグ (EXCn) を1にセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIICAn) を発生します。また、全アドレス一致機能許可時にアドレスを受信した場合も、拡張コード受信と判断します。スレーブ・アドレス・レジスタn (SVAn) に格納された自局アドレスには影響しません。
- (2) SVAnレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合や、全アドレス一致機能許可状態でアドレスを受信した場合は、次のようになります。ただし、割り込み要求 (INTIICAn) は、8クロック目の立ち下がりで発生します。
- 上位4ビット・データの一致または全アドレス一致機能許可 : IICSn.EXCn = 1
 - 7ビット・データの一致または全アドレス一致機能許可 : IICSn.COIn = 1
- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合または全アドレス一致機能許可状態でのアドレス受信時は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICCTLn0.LRELn = 1に設定してください。次の通信待機状態にします。

表25-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0 0 0 0 0 0 0	0	ジェネラル・コール・アドレス
1 1 1 1 0 x x	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1 1 1 1 0 x x	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

備考1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

備考2. n = 0

25.5.12 アービトレーション

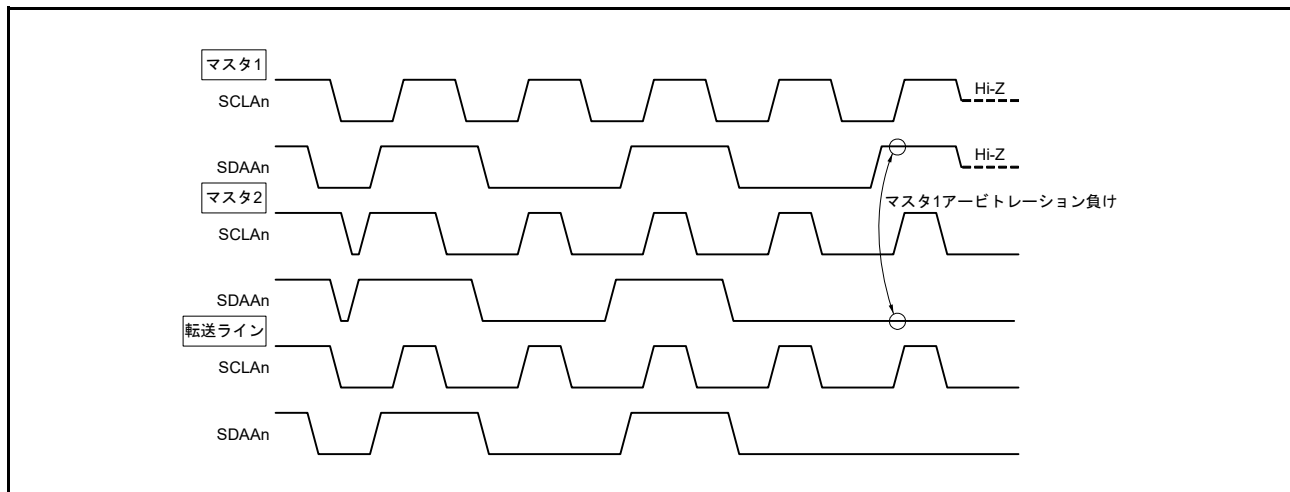
複数のマスタがスタート・コンディションを同時に生成した場合（IICSn.STDn = 1 になる前に IICCTLn0.STTn = 1 にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICA ステータス・レジスタ n (IICSn) のアービトレーション負けフラグ (ALDn) を 1 にセットし、SCLAn, SDAAn ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング（8 または 9 クロック目、ストップ・コンディション検出など）で、ソフトウェアで ALDn = 1 になっていることで検出します。

割り込み要求発生タイミングについては、**25.5.8 割り込み要求信号 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御**を参照してください。

図25-22 アービトレーション・タイミング例



備考 n = 0

表25-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEn = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. IICCTLn0.WTIMn = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時、および全アドレス一致機能許可状態でのアドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

注2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

備考1. SPIEn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット4

備考2. n = 0

25.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレス受信時と、全アドレス一致機能許可状態でのアドレス受信時と、拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生する機能です。

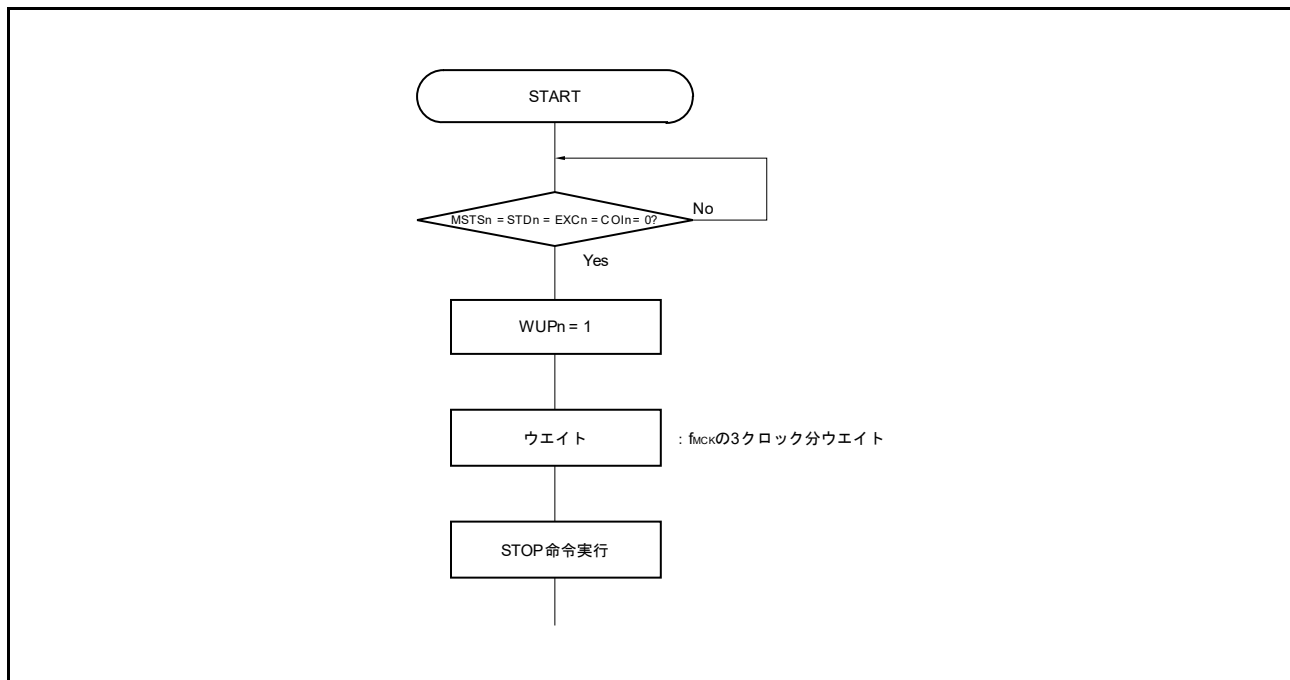
全アドレス一致機能停止状態で、アドレスが一致しないときは不要な INTIICAn 信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOP モード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1 に設定してください。動作クロックに関係なくアドレス受信を行うことができます。この場合も、自局アドレス受信時と、全アドレス一致機能許可状態でのアドレス受信時と、拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生します。この割り込み発生後に命令で WUPn ビットを 0 にクリアすることで通常動作に戻ります。

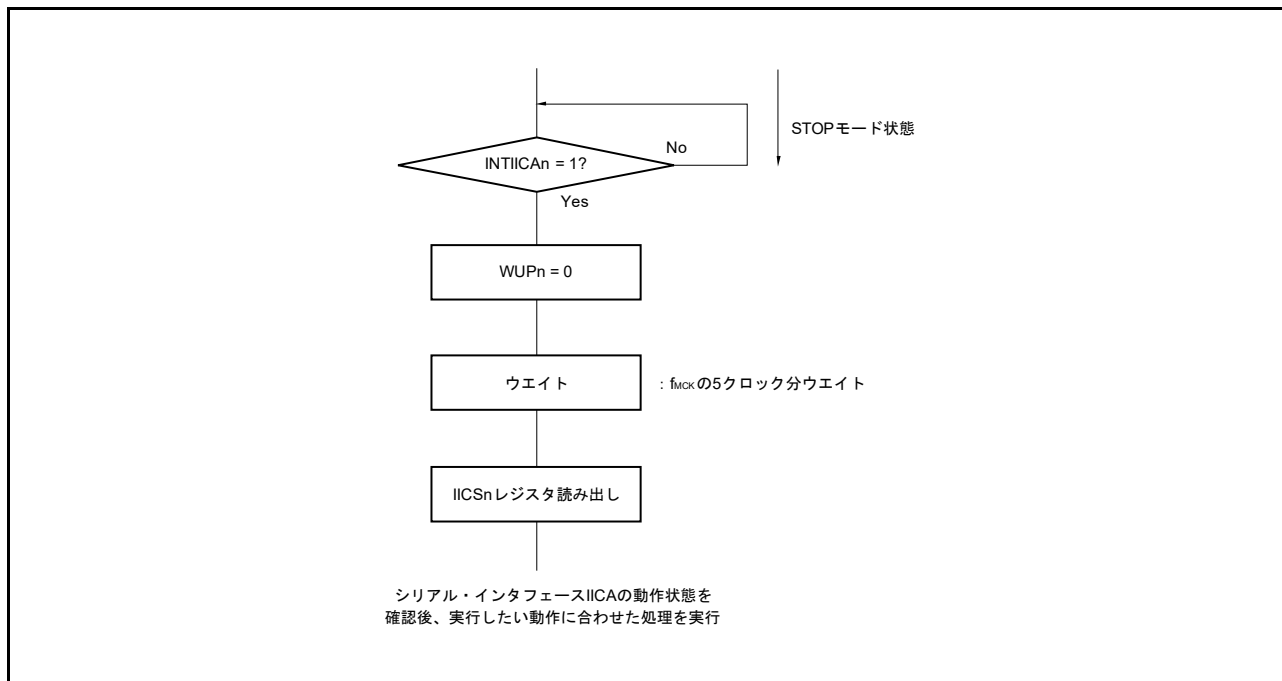
図 25 - 23 に WUPn = 1 を設定する場合のフロー、図 25 - 24 にアドレス一致 (または全アドレス一致機能許可) により WUPn = 0 に設定する場合のフロー (拡張コード受信含む) を示します。

図 25 - 23 WUPn = 1 を設定する場合のフロー



備考 n = 0

図25 - 24 アドレス一致（または全アドレス一致機能許可）によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）



また、シリアル・インタフェースIICAからの割り込み要求信号（INTIICAn）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- 次のIIC通信をマスタとして動作させる場合：

図25 - 25 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合のフロー

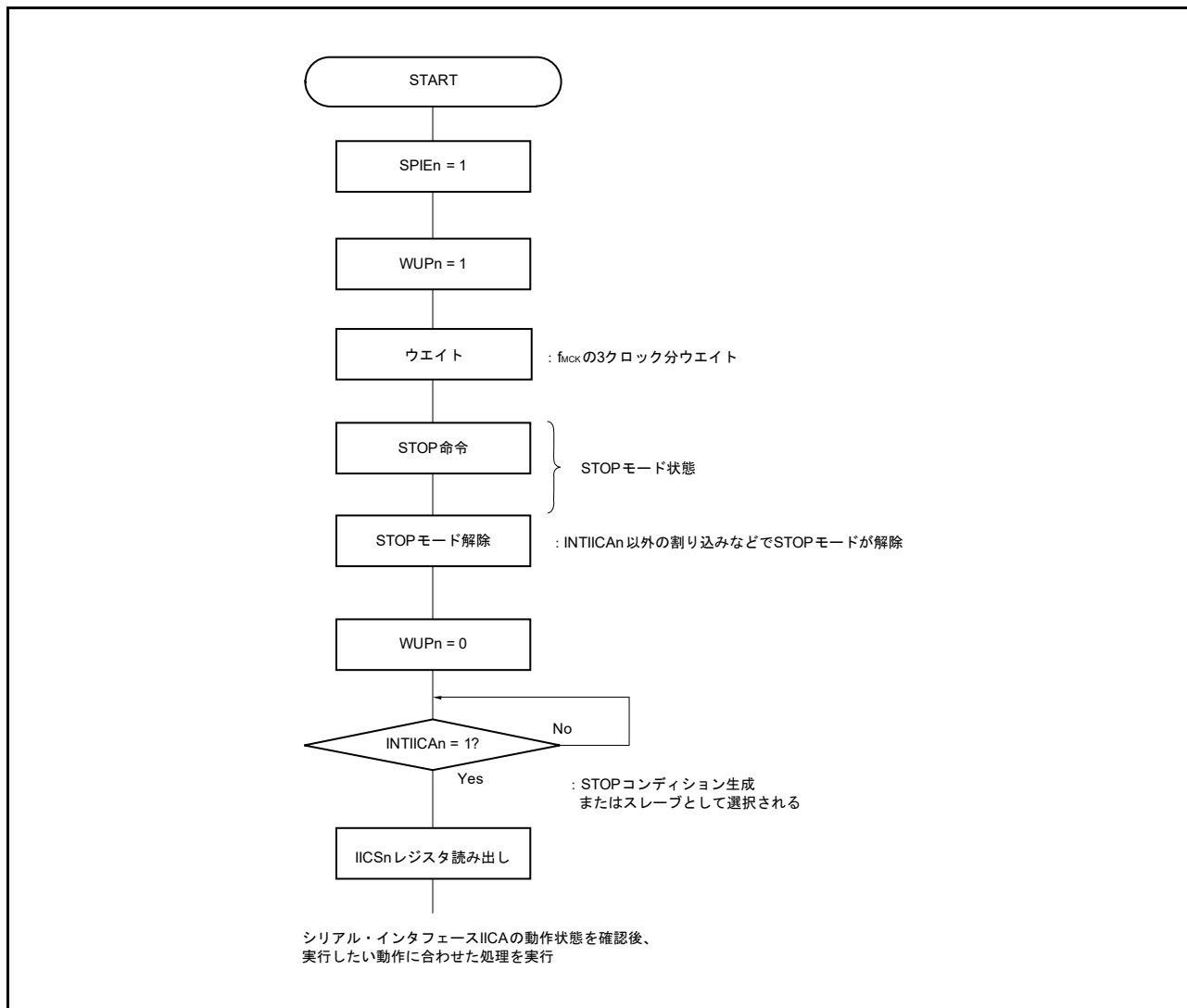
- 次のIIC通信をスレーブとして動作させる場合：

INTIICAn割り込みで復帰した場合：図25 - 24 アドレス一致（または全アドレス一致機能許可）によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）のフローと同じになります。

INTIICAn割り込み以外の割り込みで復帰した場合：INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

備考 n = 0

図25 - 25 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



備考 n = 0

25.5.14 通信予約

(1) 通信予約機能許可の場合 (IICFn.IICRSVn = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 全アドレス一致機能停止時、拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICCTLn0.LRELn = 1で通信退避してバスを解放した）とき

バスに不参加の状態、IICCTLn0レジスタのSTTnビットを1にセットすると、バスが解放されたあと（ストップ・コンディション検出時）に、自動的にスタート・コンディションを生成し、ウェイト状態になります。IICCTLn0レジスタのSPIEnビットを1にセットし、割り込み要求信号（INTIICAn）発生でバスの解放を検出（ストップ・コンディション検出）したあと、IICAシフト・レジスタn（IICAn）にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットを1にセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- バスが解放されているとき : スタート・コンディション生成
- バスが解放されていないとき（待機状態）: 通信予約

通信予約として動作するかどうかは、STTnビットを1にセットし、ウェイト時間をとったあと、MSTSnnフラグ（IICAステータス・レジスタn（IICSn）のビット7）で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

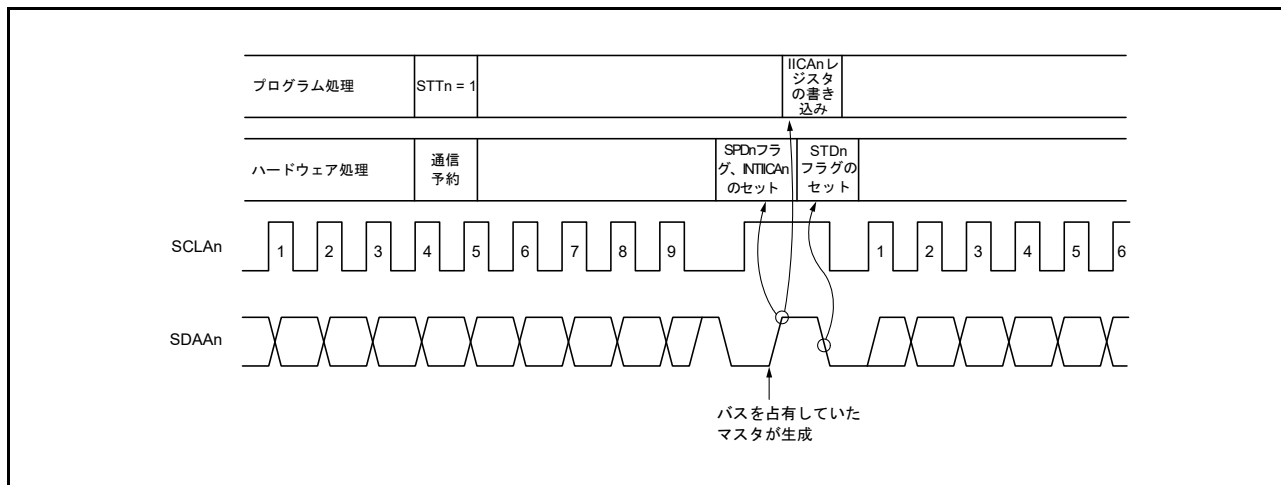
$\text{STTn} = 1 \text{ から MSTSnn フラグ確認までのウェイト時間 :}$ $(\text{IICWLnの設定値} + \text{IICWHnの設定値} + 4) \div \text{fMCK} + \text{tf} \times 2$
--

- 備考1.** IICWLn : IICA ロウ・レベル幅設定レジスタ n
 IICWHn : IICA ハイ・レベル幅設定レジスタ n
 tf : SDAAn, SCLAn 信号の立ち下がり時間
 fMCK : IICA 動作クロック周波数

備考2. n = 0

図25 - 26に通信予約のタイミングを示します。

図25 - 26 通信予約のタイミング



備考1. IICAn : IICAシフト・レジスタn

STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

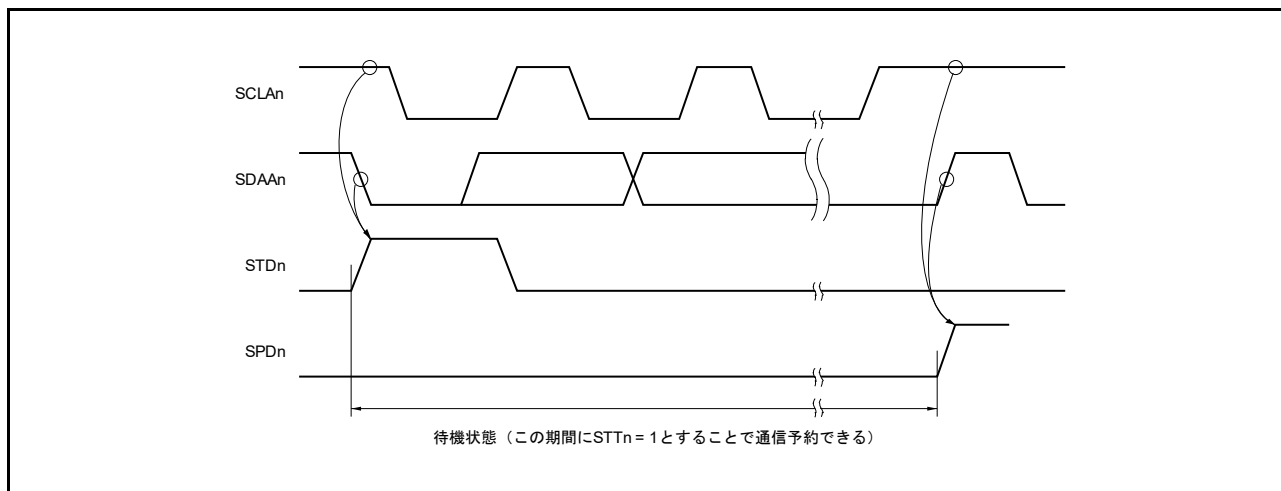
STDn : IICAステータス・レジスタn (IICSn) のビット1

SPDn : " のビット0

備考2. n = 0

通信予約は図25 - 27に示すタイミングで受け付けられます。IICSn.STDn = 1になったあと、ストップ・コンディション検出までにIICCTLn0.STTn = 1で通信予約をします。

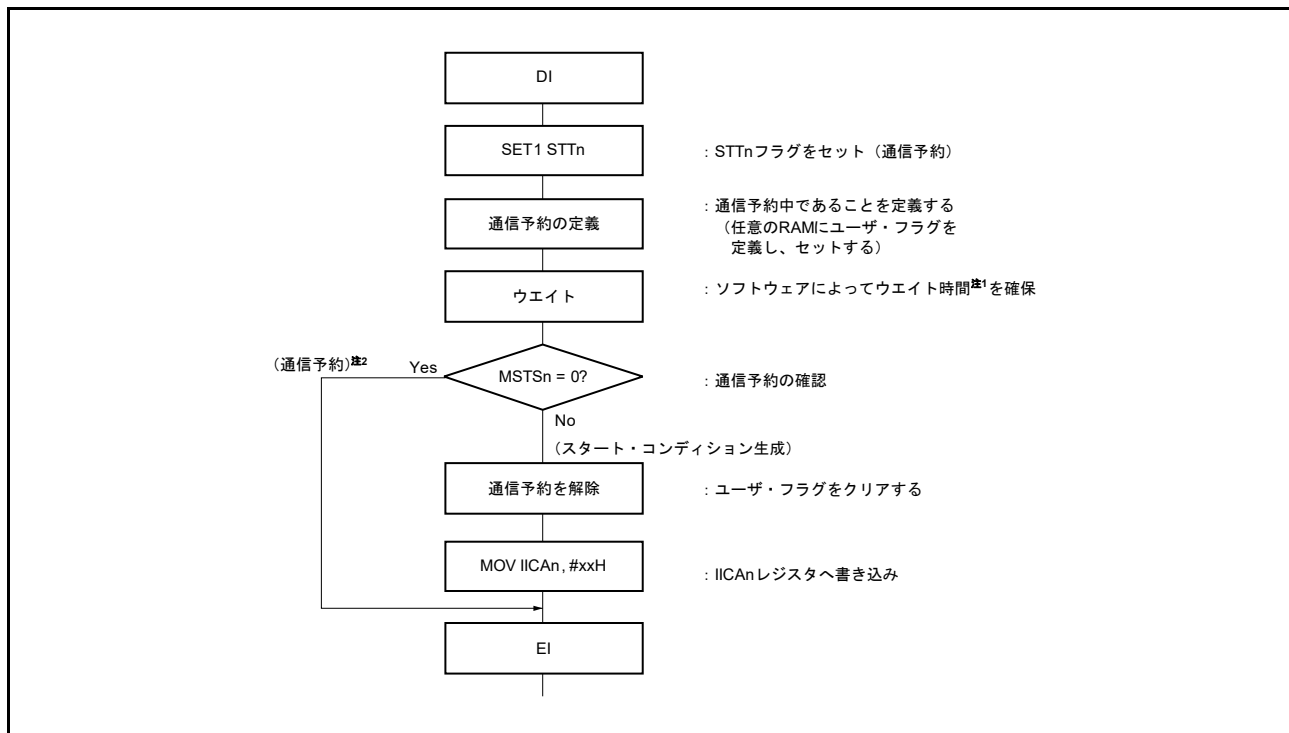
図25 - 27 通信予約受付タイミング



備考 n = 0

図25 - 28に通信予約の手順を示します。

図25 - 28 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(\text{IICWLnの設定値} + \text{IICWHnの設定値} + 4) \div \text{fMCK} + \text{tF} \times 2$$

注2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ n (IICAn) への書き込みを実行しません。

備考1. STTn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット1

MSTSn : IICAステータス・レジスタ n (IICSn) のビット7

IICAn : IICAシフト・レジスタ n

IICWLn : IICAロウ・レベル幅設定レジスタ n

IICWHn : IICAハイ・レベル幅設定レジスタ n

tF : SDAAn, SCLAn信号の立ち下がり時間

fMCK : IICA動作クロック周波数

備考2. n = 0

(2) 通信予約機能禁止の場合 (IICFn.IICRSVn = 1)

バスが通信中で、この通信に不参加の状態(IICAコントロール・レジスタn0 (IICCTLn0) のSTTnビットを1にセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 全アドレス一致機能停止時、拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICCTLn0.LRELn = 1で通信退避してバスを解放した)とき

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFnフラグ(IICFnレジスタのビット7)で確認できます。STTn = 1としてからSTCFnフラグが1にセットされるまでfmckの5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0

25.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSYn = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタ n1 (IICCTLn1) を設定する
- ② IICAコントロール・レジスタ n0 (IICCTLn0) のIICEnビットを1にセットする
- ③ IICCTLn0レジスタのSPTnビットを1にセットする

(2) STCENn = 1の場合

I²C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを生成 (STTn = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、IICAのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合や全アドレス一致機能が許可状態の場合は、アクリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でIICAを起動してください。

- ① IICCTLn0レジスタのSPIEnビットを0にクリアし、ストップ・コンディション検出による割り込み要求信号 (INTIICAn) 発生を禁止する
- ② IICCTLn0レジスタのIICEnビットを1にセットし、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクリッジを返すまで (IICEnビットを1にセットしてから、fMCKの4~72クロック中) に、IICCTLn0レジスタのLRELnビットを1にセットにし、強制的に検出を無効とする

(4) STTn, SPTnビット (IICCTLn0レジスタのビット1, 0) をセットしたあと、0にクリアされる前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット (IICCTLn0レジスタのビット4) を1にセットしてストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ n (IICAn) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTSnフラグ (IICAステータス・レジスタ n (IICSn) のビット7) を検出する場合には、SPIEnビットを1にセットする必要はありません。

備考 n = 0

25.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

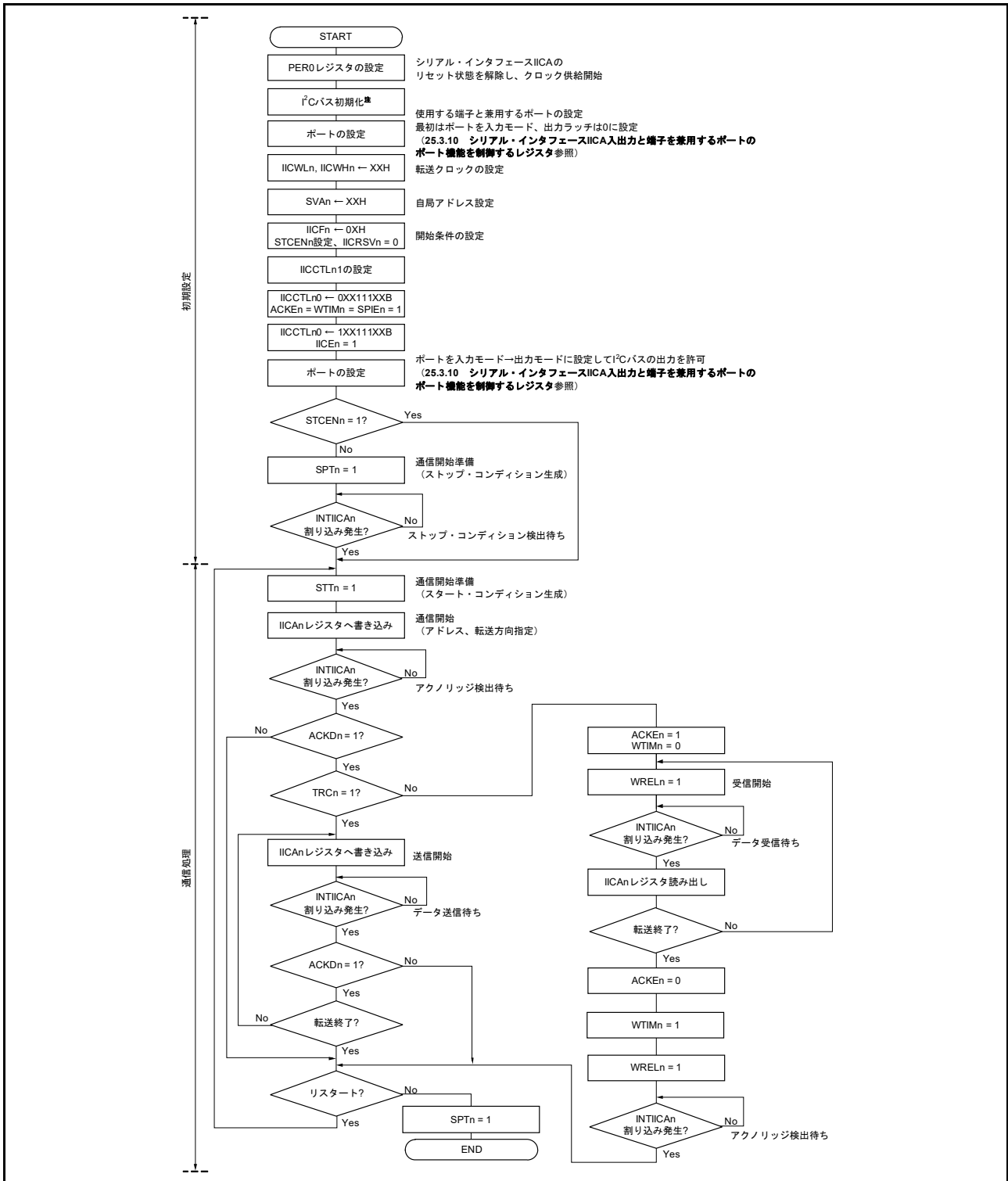
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0

(1) シングルマスタ・システムでのマスタ動作

図25-29 シングルマスタ・システムでのマスタ動作



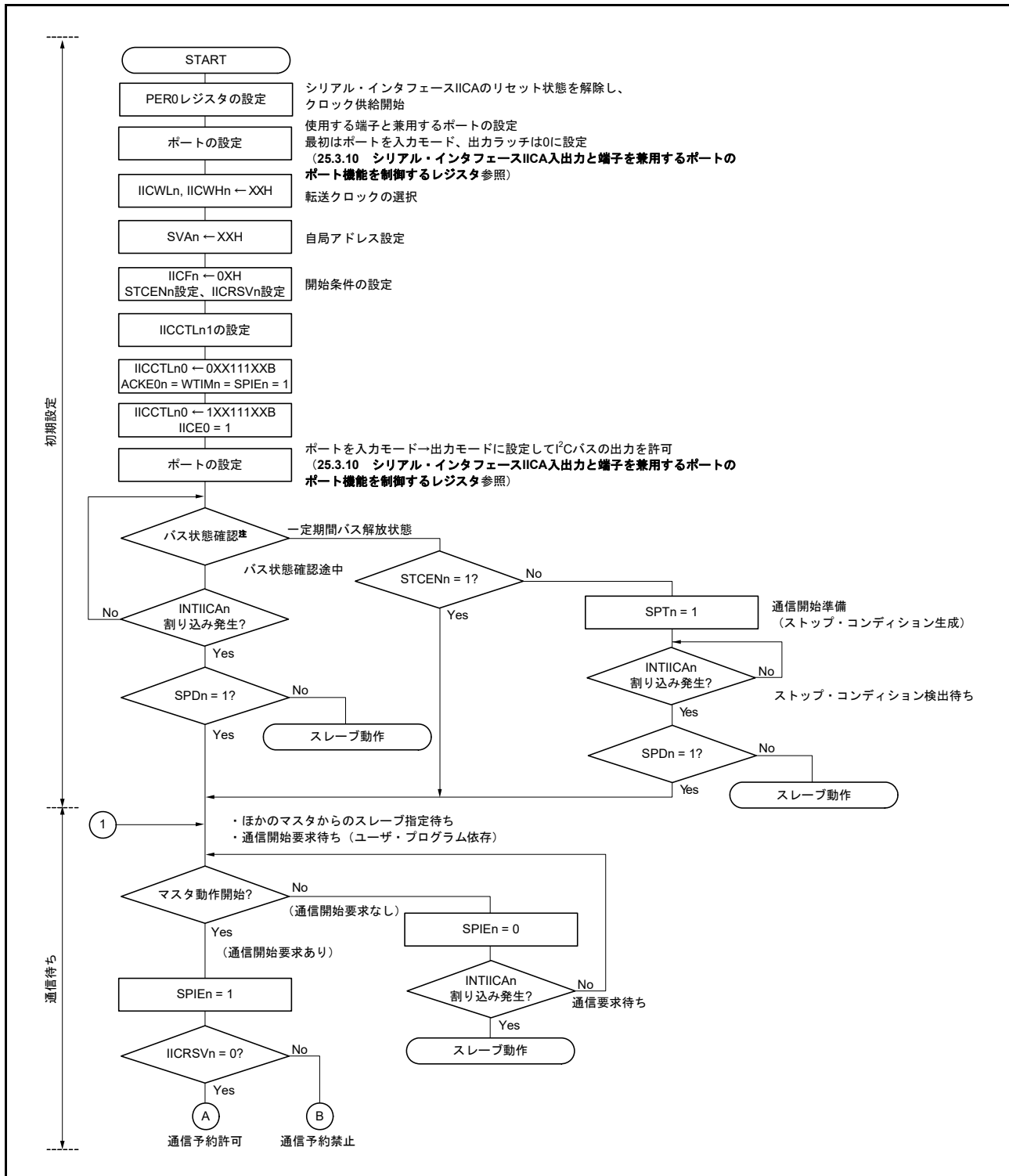
注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCLAn, SDAAn端子=ハイ・レベル) してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定期的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

備考2. n = 0

(2) マルチマスタ・システムでのマスタ動作

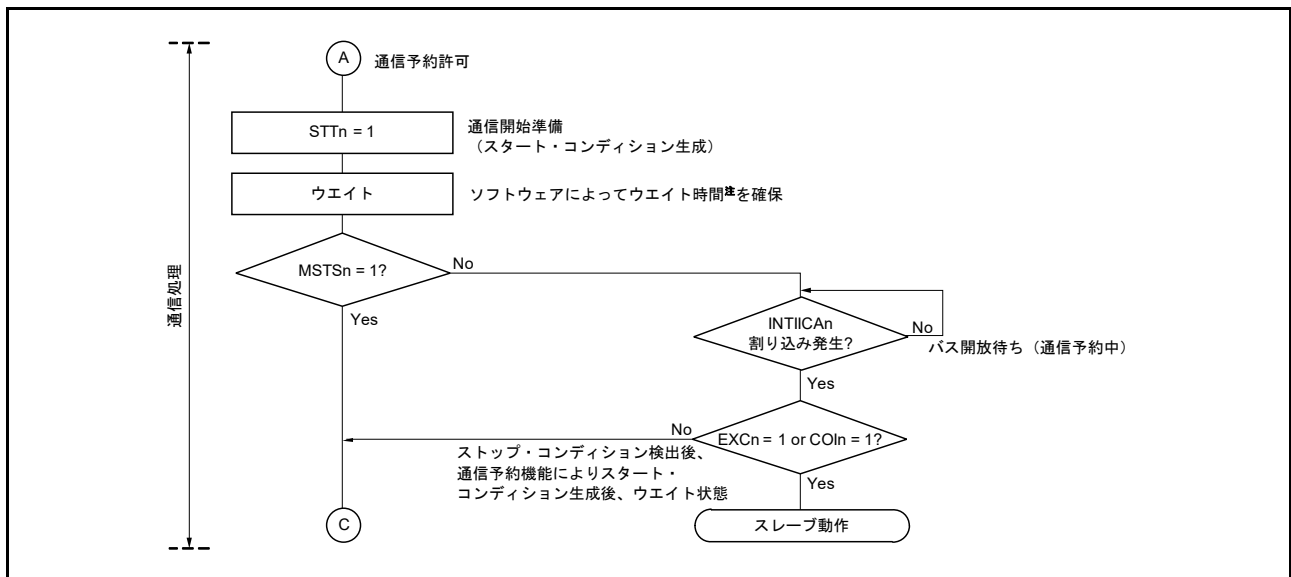
図25-30 マルチマスタ・システムでのマスタ動作 (1/3)



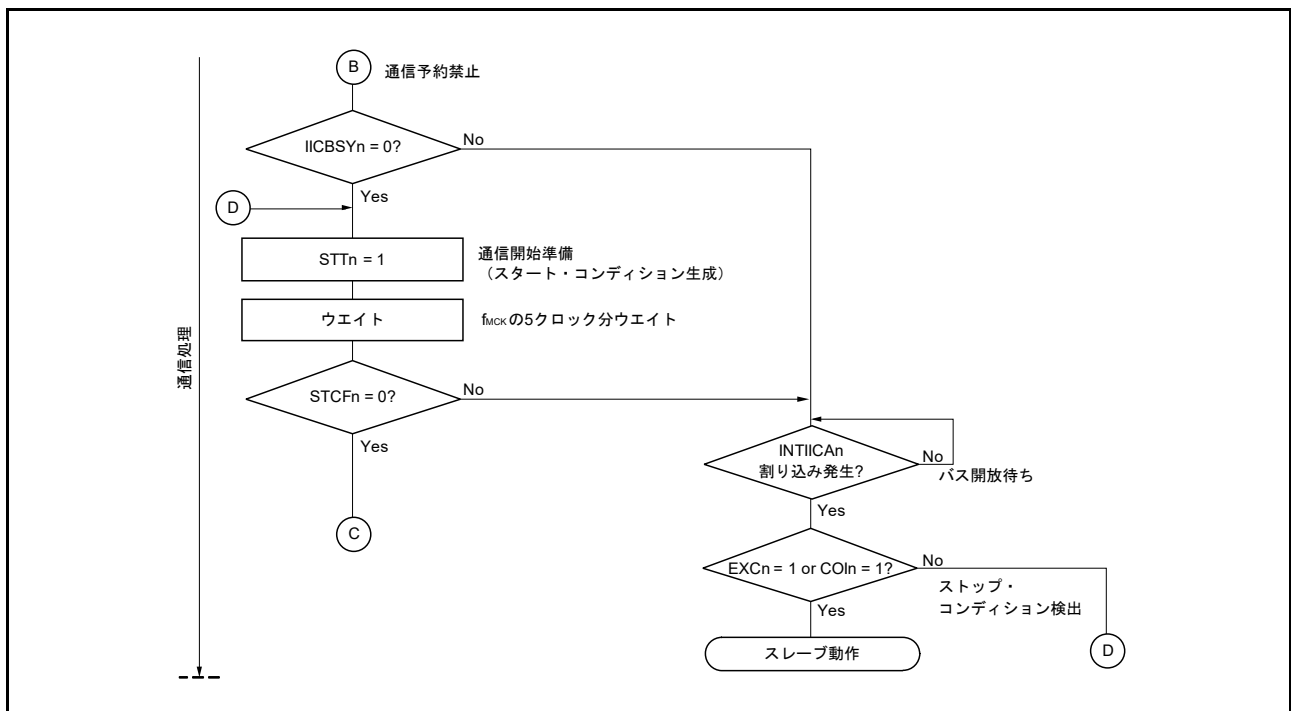
注 一定期間（たとえば1フレーム分）、バス解放状態（CLDn = 1, DADn = 1）であることを確認してください。定期的に SDAAn 端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I²Cバスを解放（SCLAn, SDAAn 端子=ハイ・レベル）するか判断してください。

備考 n = 0

図25 - 30 マルチマスタ・システムでのマスタ動作 (2/3)



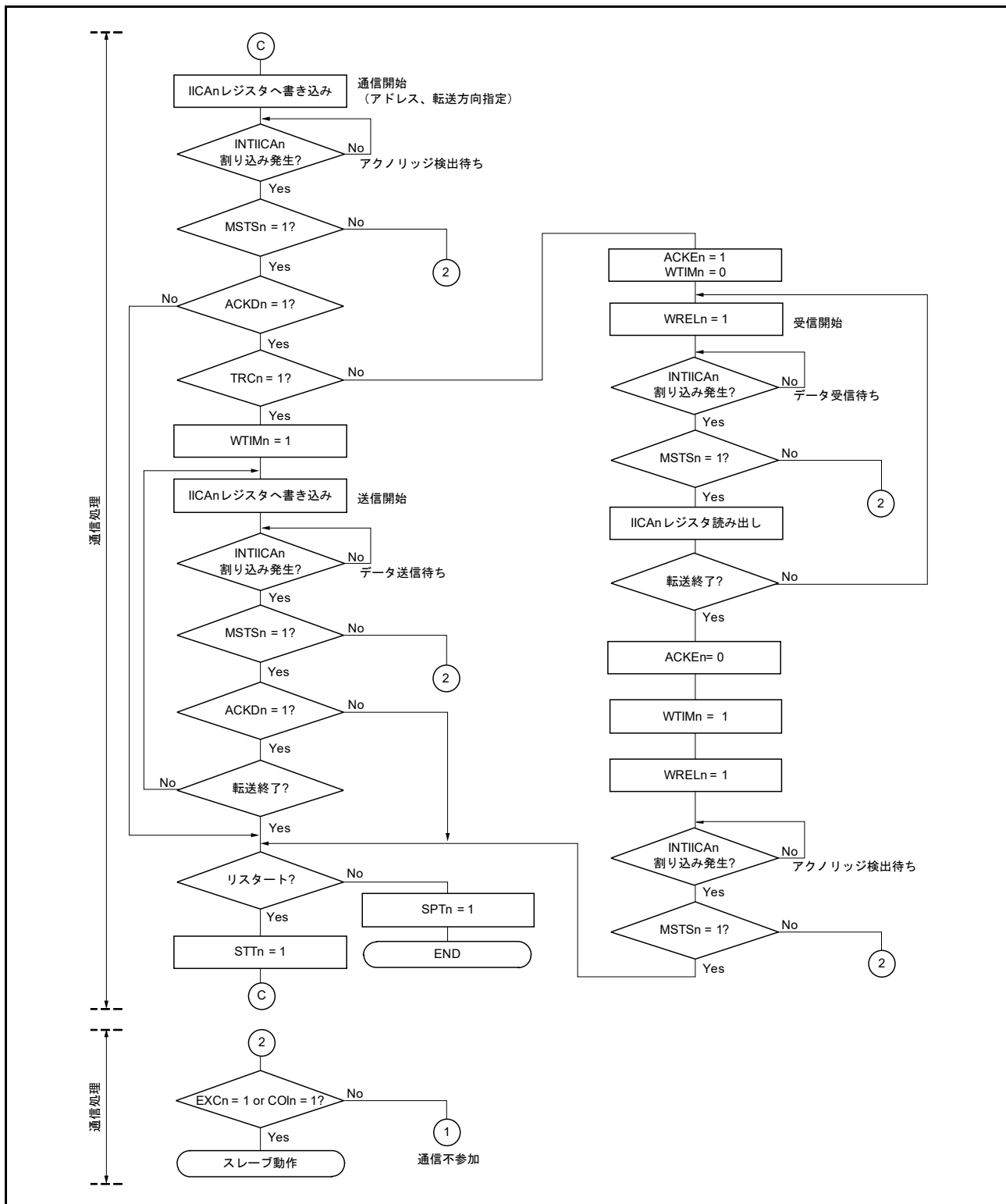
注 ウェイト時間は次のようになります。
 $(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) \div f_{MCK} + t_F \times 2$



備考1. IICWL_n : IICA ロウ・レベル幅設定レジスタ n
 IICWH_n : IICA ハイ・レベル幅設定レジスタ n
 t_F : SDAAn, SCLAn 信号の立ち下がり時間
 f_{MCK} : IICA 動作クロック周波数

備考2. n = 0

図25-30 マルチマスタ・システムでのマスタ動作 (3/3)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

備考2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み発生ごとに MSTSn フラグを読み出し、アービトレーション結果を確認してください。

備考3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn 割り込み発生ごとに IICA ステータス・レジスタ n (IICSn)、IICA フラグ・レジスタ n (IICFn) でステータスを確認して次に行う処理を決定してください。

備考4. n = 0

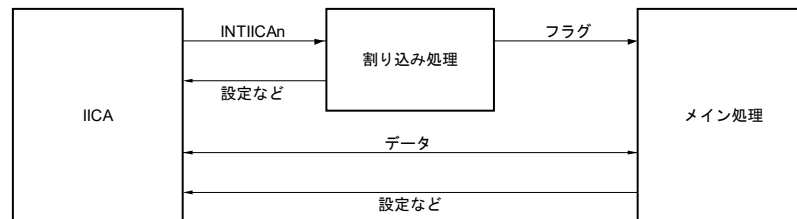
(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、全アドレス一致機能は無効状態で、データ通信は拡張コードには対応しないものとします。

またINTIICAn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- クリア・モード：データ通信を行っていない状態
- 通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRCnフラグの値と同じです。

備考 n = 0

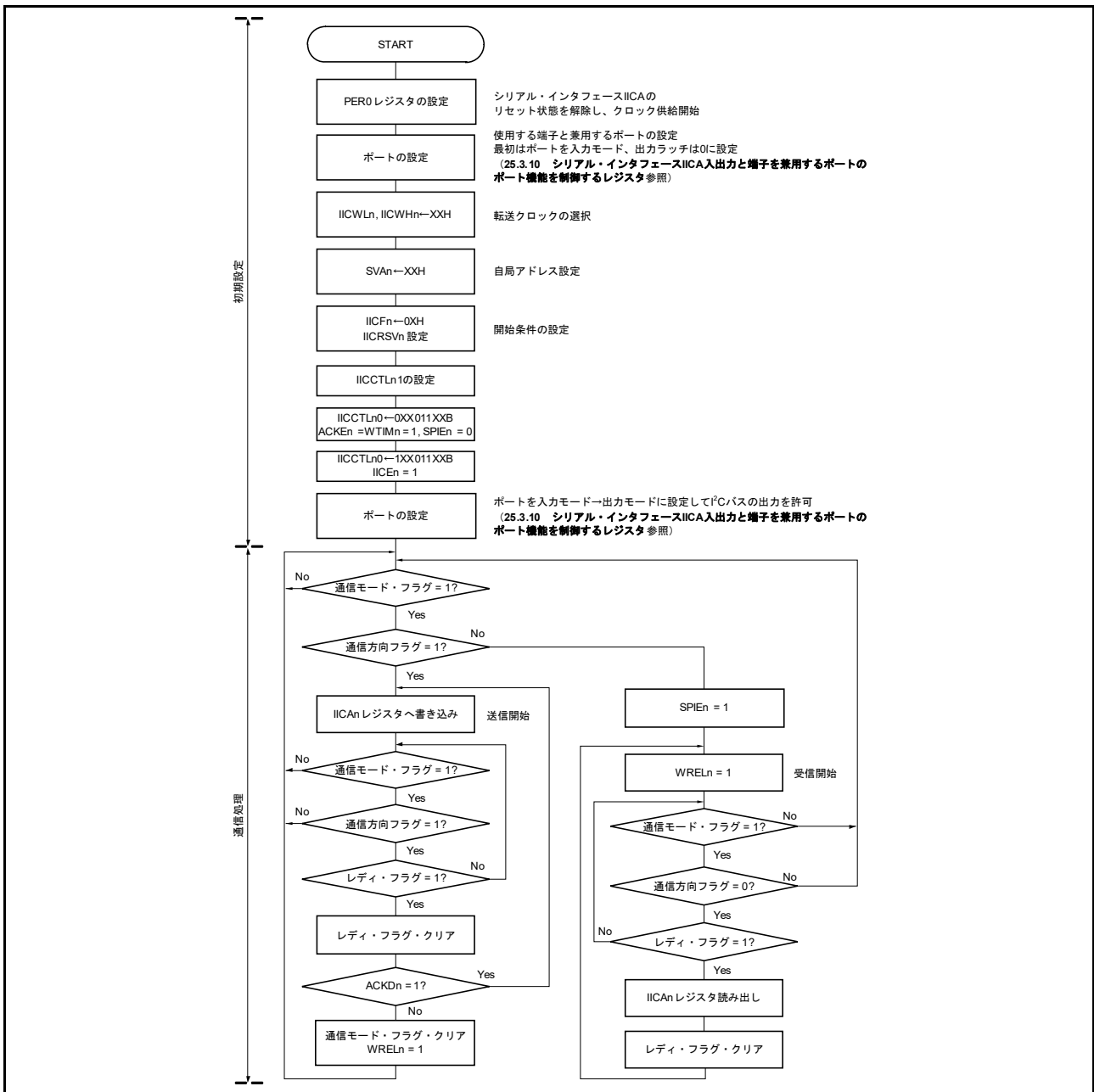
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了すると次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図25-31 スレーブ動作手順 (1)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

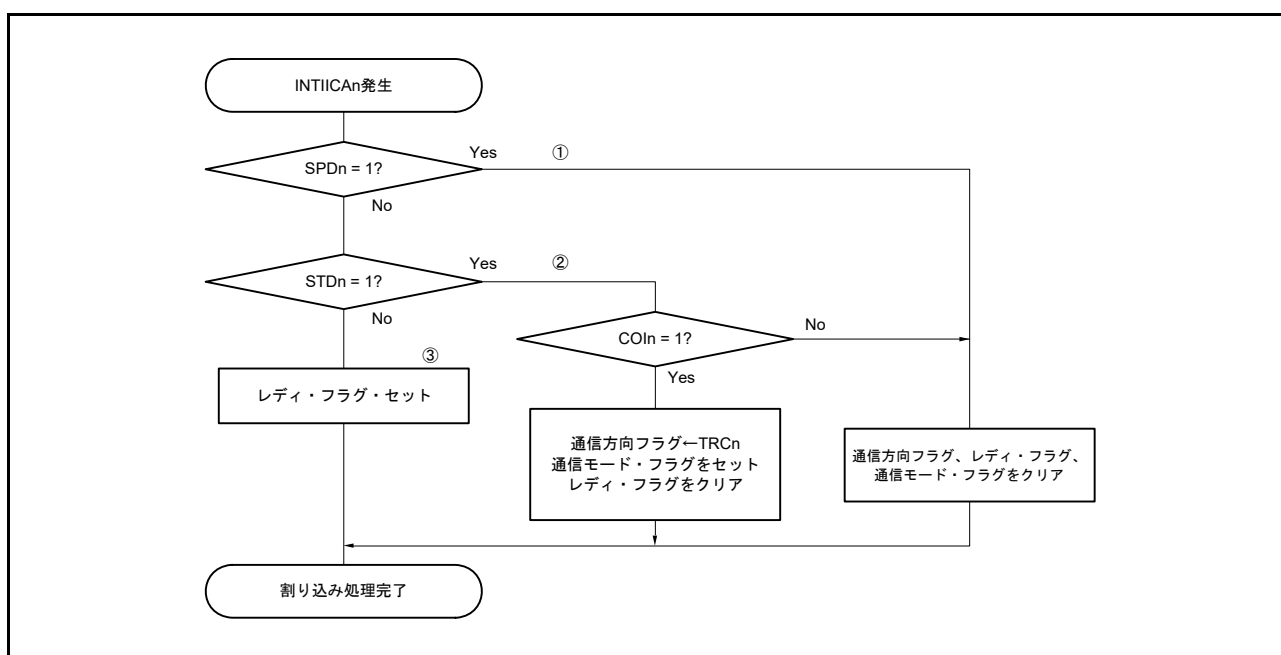
備考2. n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは全アドレス一致機能は無効状態で、拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、**図25 - 32 スレーブ動作手順の①～③**と対応しています。

図25 - 32 スレーブ動作手順 (2)



備考 n = 0

25.5.17 I²C 割り込み要求信号 (INTIICAn) の発生タイミング

次に、データの送受信、INTIICAn 割り込み要求信号発生タイミングと、INTIICAn 信号タイミングでの IICA ステータス・レジスタ n (IICSn) の値を示します。

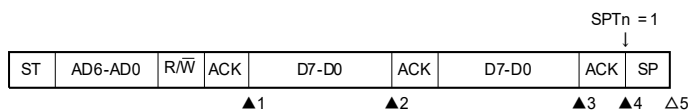
備考1. ST : スタート・コンディション
AD₆-AD₀ : アドレス
R/W : 転送方向指定
ACK : アクノリッジ
D7-D₀ : データ
SP : ストップ・コンディション

備考2. n = 0

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIMn = 0 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×000B

▲3 : IICSn = 1000×000B (WTIMnビットを1にセット) 注

▲4 : IICSn = 1000××00B (SPTnビットを1にセット)

△5 : IICSn = 00000001B

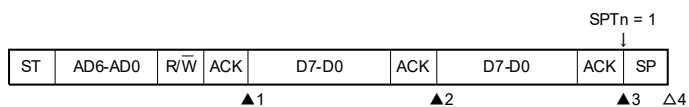
注 ストップ・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×100B

▲3 : IICSn = 1000××00B (SPTnビットを1にセット)

△4 : IICSn = 00000001B

備考 ▲ 必ず発生

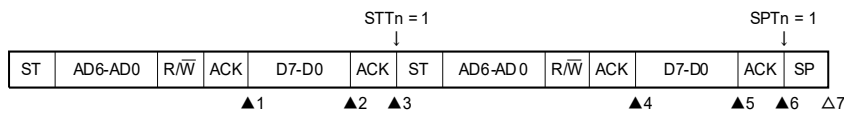
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIMn = 0 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×000B (WTIMn ビットを1にセット注1)

▲3 : IICSn = 1000××00B (WTIMn ビットを0にクリア注2、STTn ビットを1にセット)

▲4 : IICSn = 1000×110B

▲5 : IICSn = 1000×000B (WTIMn ビットを1にセット注3)

▲6 : IICSn = 1000××00B (SPTn ビットを1にセット)

△7 : IICSn = 00000001B

注1. スタート・コンディションを生成するために、WTIMn ビットを1にセットし、INTIICAn 割り込み要求信号の発生タイミングを変更してください。

注2. 設定を元に戻すために、WTIMn ビットを0にクリアしてください。

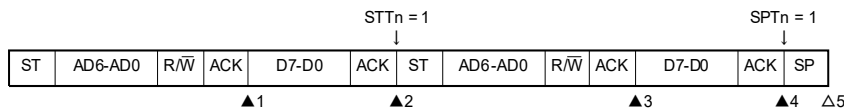
注3. ストップ・コンディションを生成するために、WTIMn ビットを1にセットし、INTIICAn 割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000××00B (STTn ビットを1にセット)

▲3 : IICSn = 1000×110B

▲4 : IICSn = 1000××00B (SPTn ビットを1にセット)

△5 : IICSn = 00000001B

備考 ▲ 必ず発生

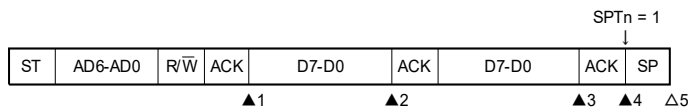
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIMn = 0 のとき



▲1 : IICSn = 1010×110B

▲2 : IICSn = 1010×000B

▲3 : IICSn = 1010×000B (WTIMnビットを1にセット^注)

▲4 : IICSn = 1010××00B (SPTnビットを1にセット)

△5 : IICSn = 00000001B

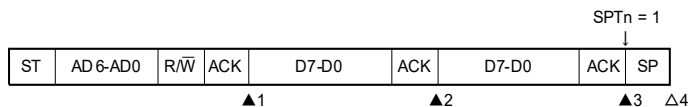
注 ストップ・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 1010×110B

▲2 : IICSn = 1010×100B

▲3 : IICSn = 1010××00B (SPTnビットを1にセット)

△4 : IICSn = 00000001B

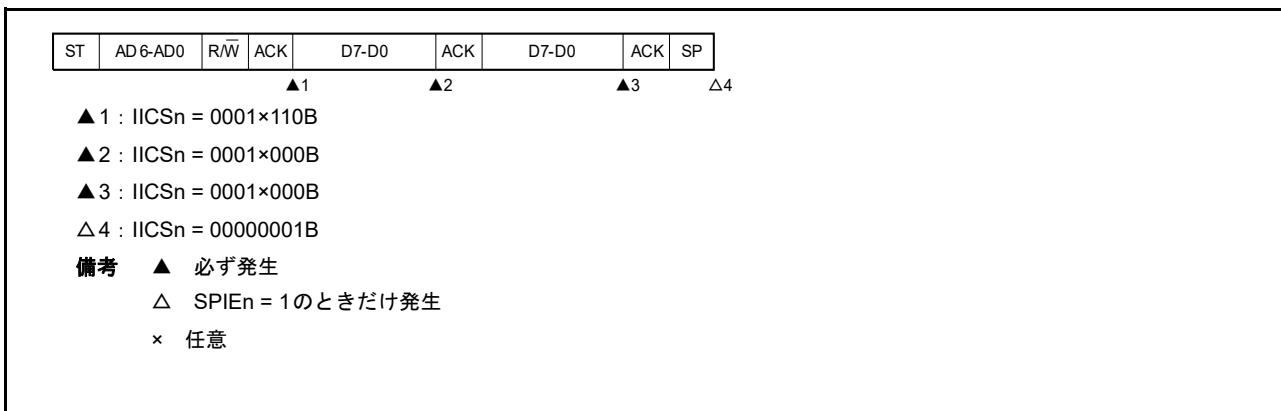
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

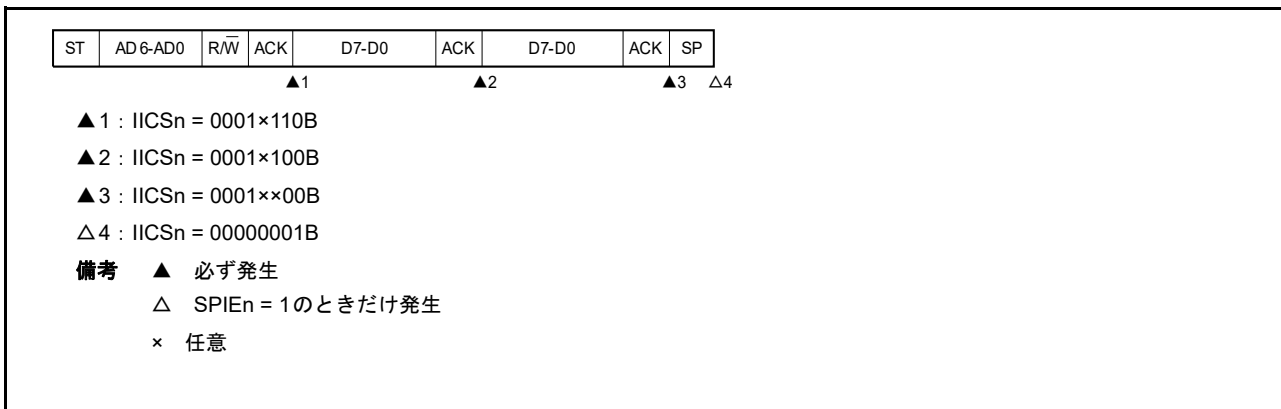
× 任意

備考 n = 0

- (2) スレーブ動作 (スレーブ・アドレス受信時)
 - (a) Start ~ Address ~ Data ~ Data ~ Stop
 - (i) WTIMn = 0 のとき



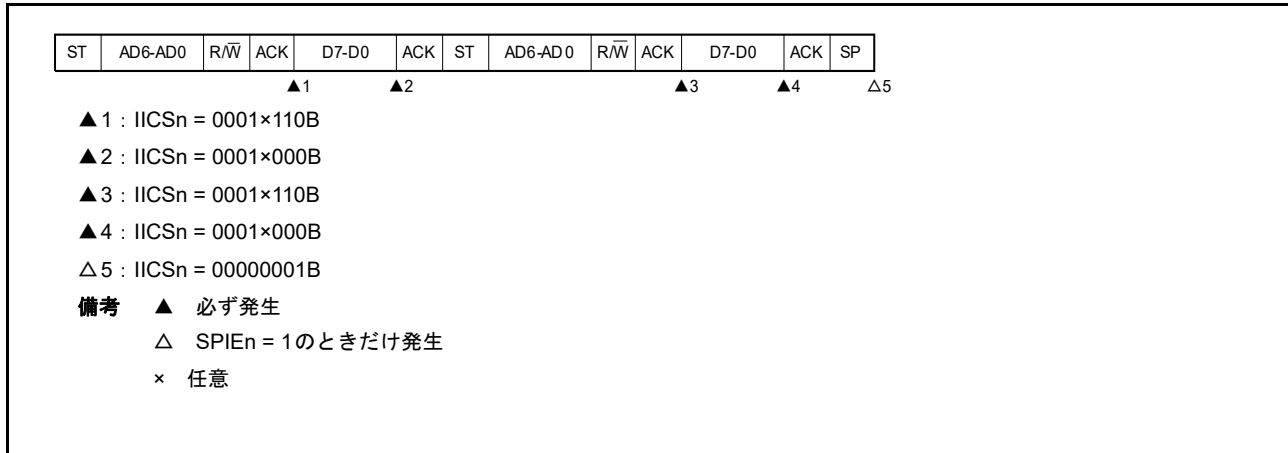
- (ii) WTIMn = 1 のとき



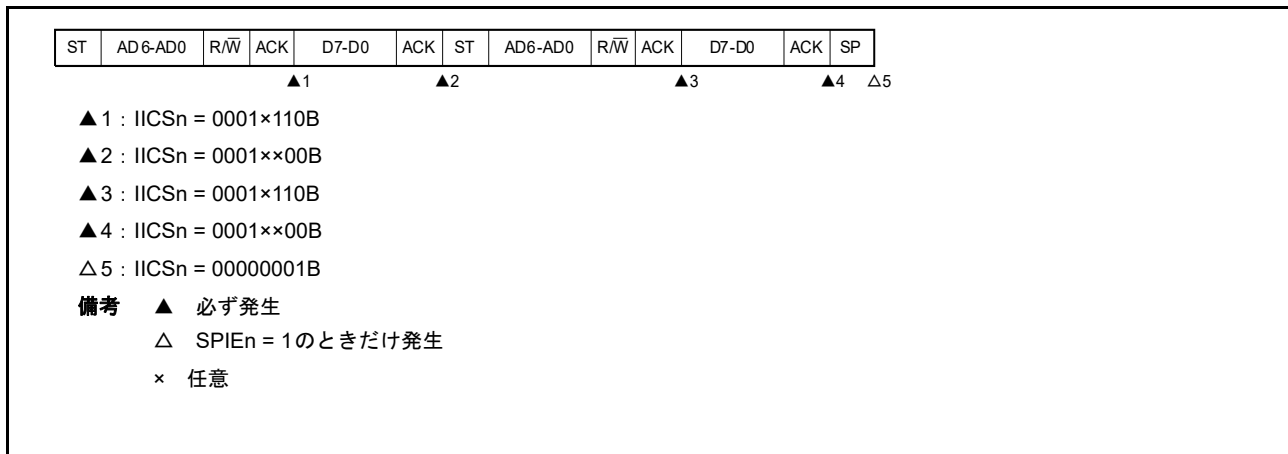
備考 n = 0

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、SVAn一致、全アドレス一致機能停止)

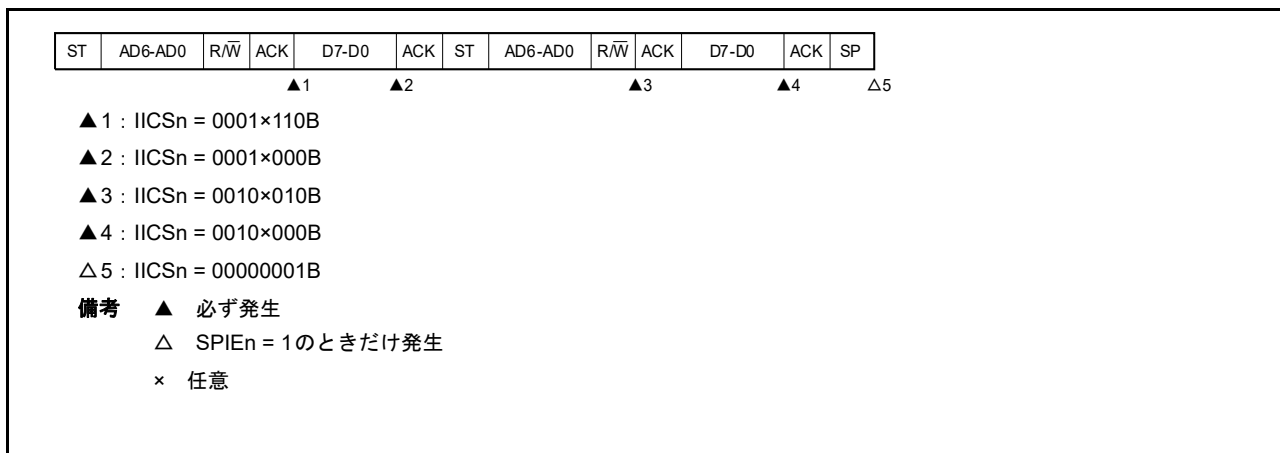


(ii) WTIMn = 1 のとき (リスタート後、SVAn一致、全アドレス一致機能停止)

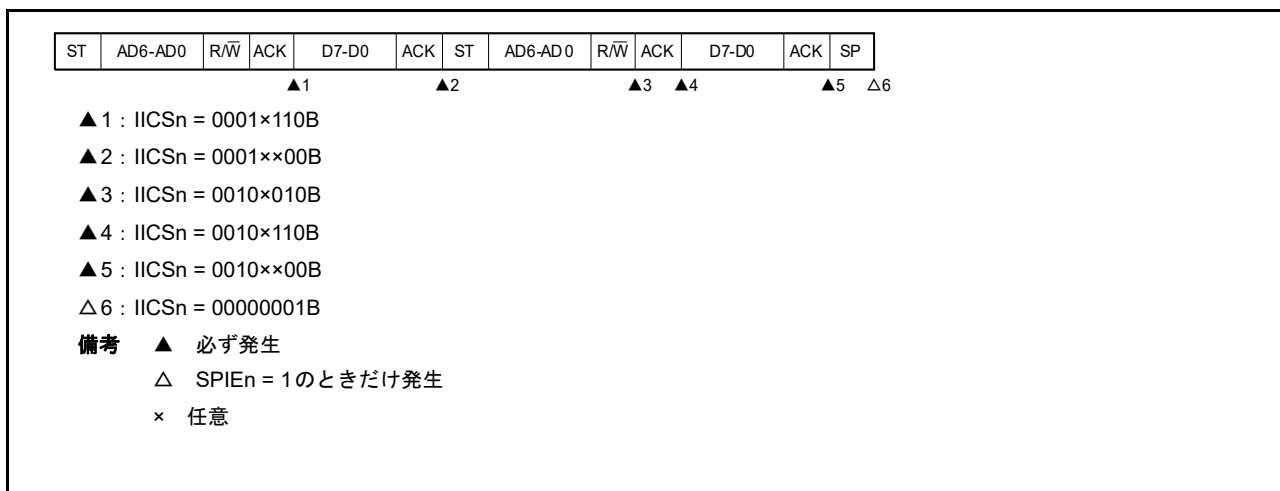
**備考** n = 0

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード、全アドレス一致機能停止))



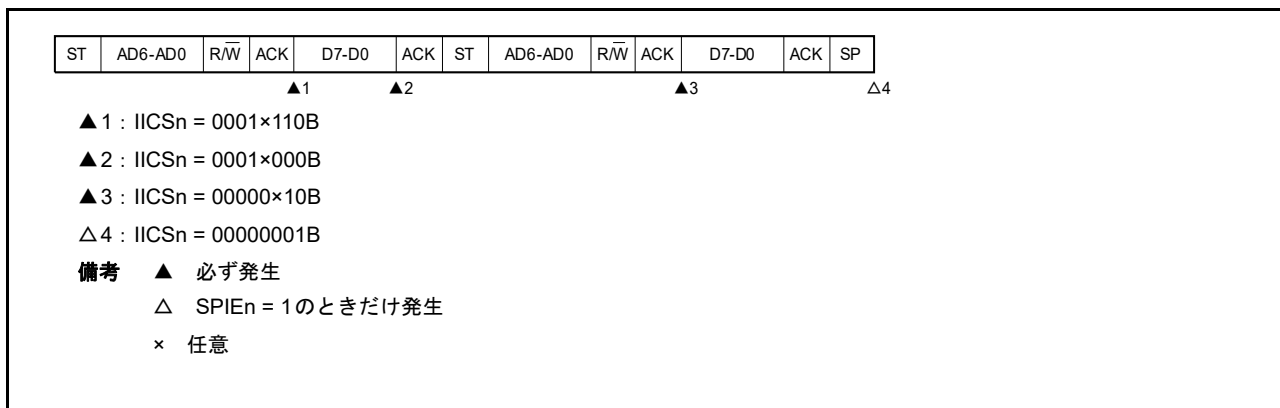
(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード、全アドレス一致機能停止))



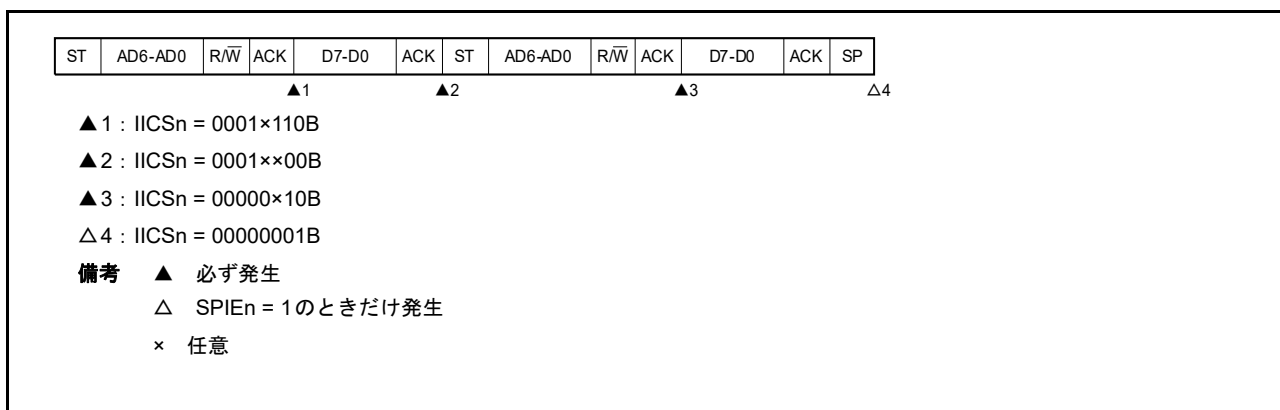
備考 n = 0

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



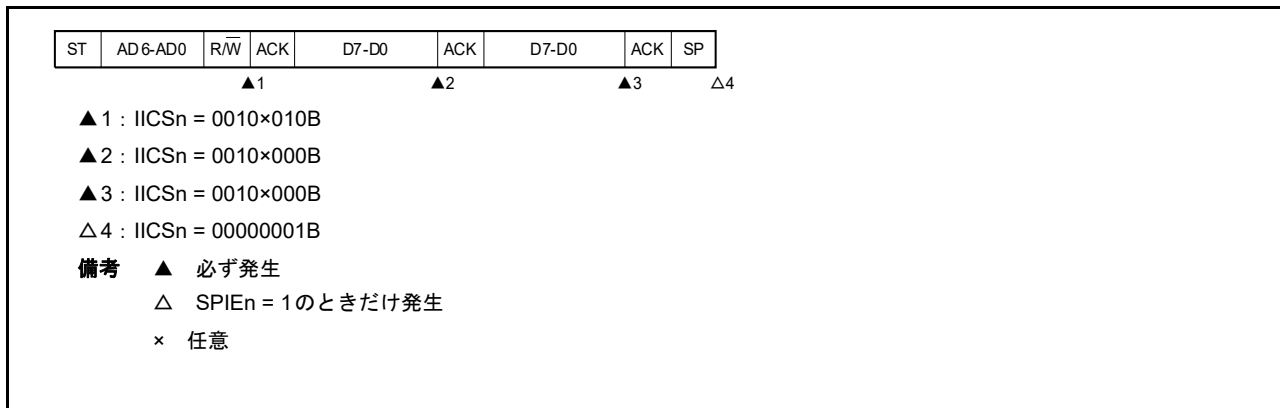
備考 n = 0

(3) スレーブ動作 (拡張コード受信時、全アドレス一致機能停止)

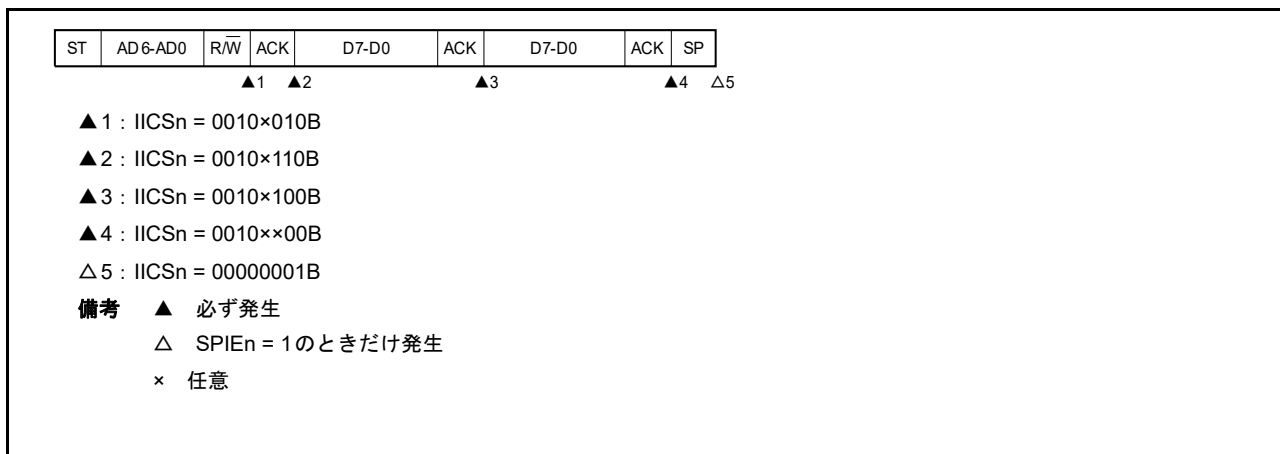
拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



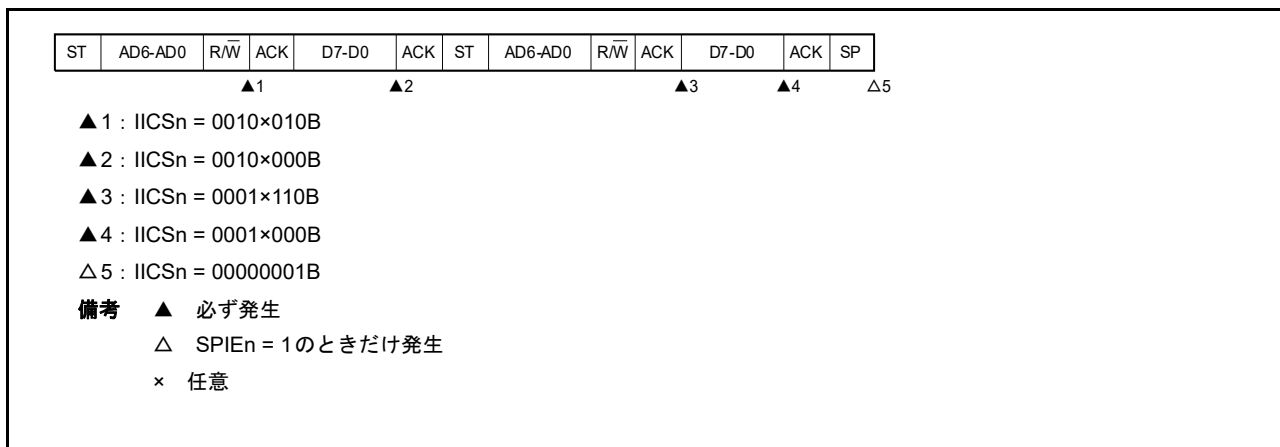
(ii) WTIMn = 1 のとき



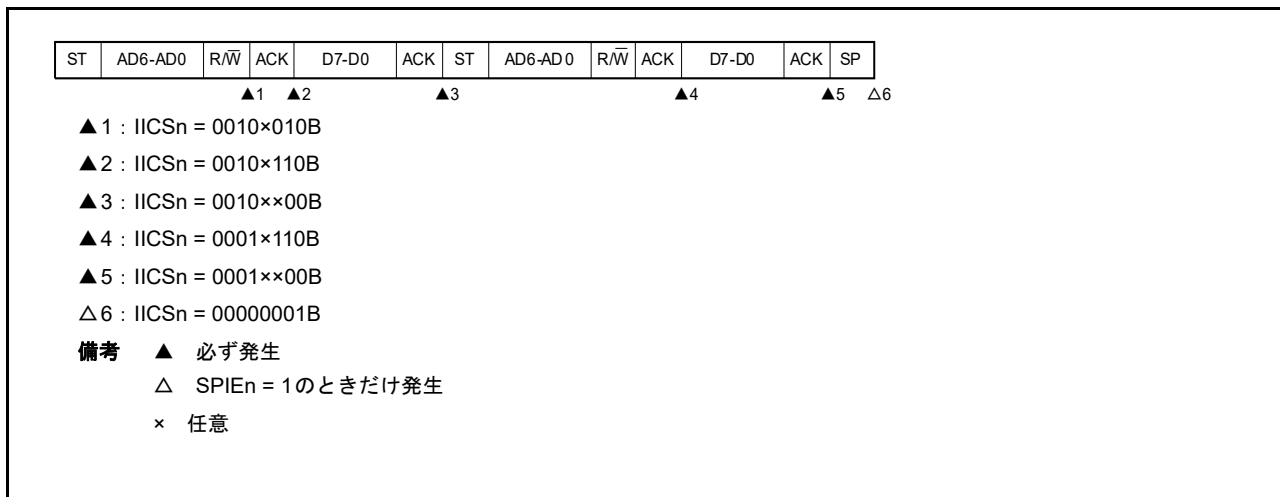
備考 n = 0

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、SVAn一致、全アドレス一致機能停止)



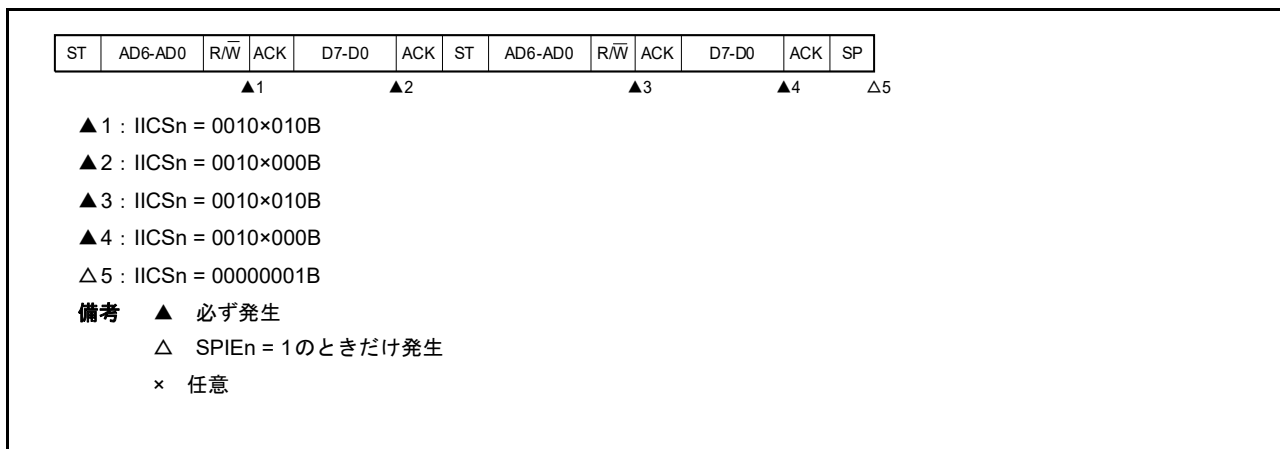
(ii) WTIMn = 1 のとき (リスタート後、SVAn一致、全アドレス一致機能停止)



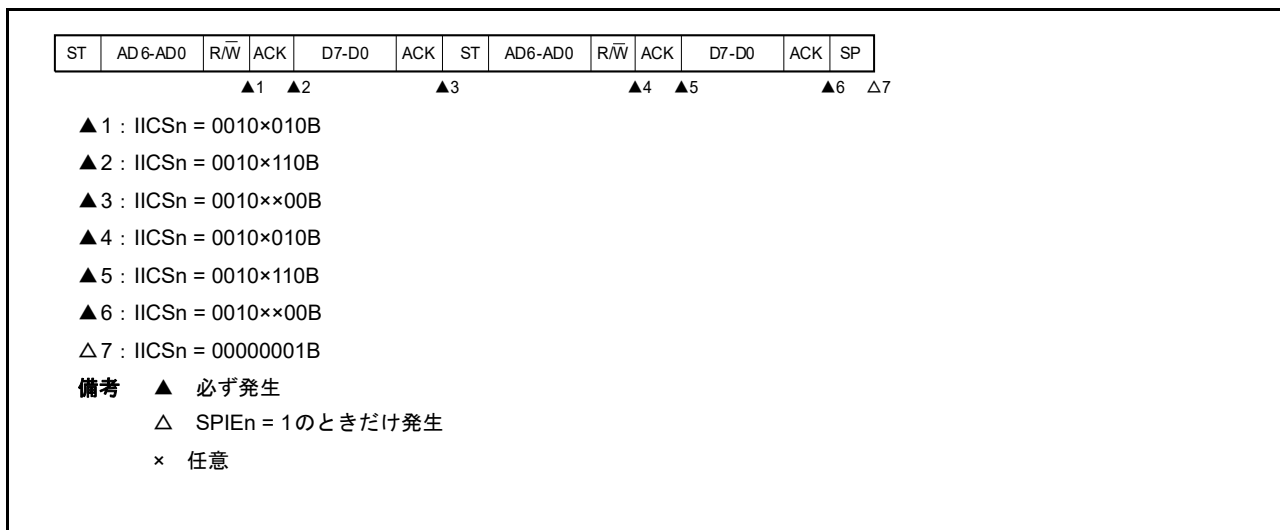
備考 n = 0

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、拡張コード受信、全アドレス一致機能停止)



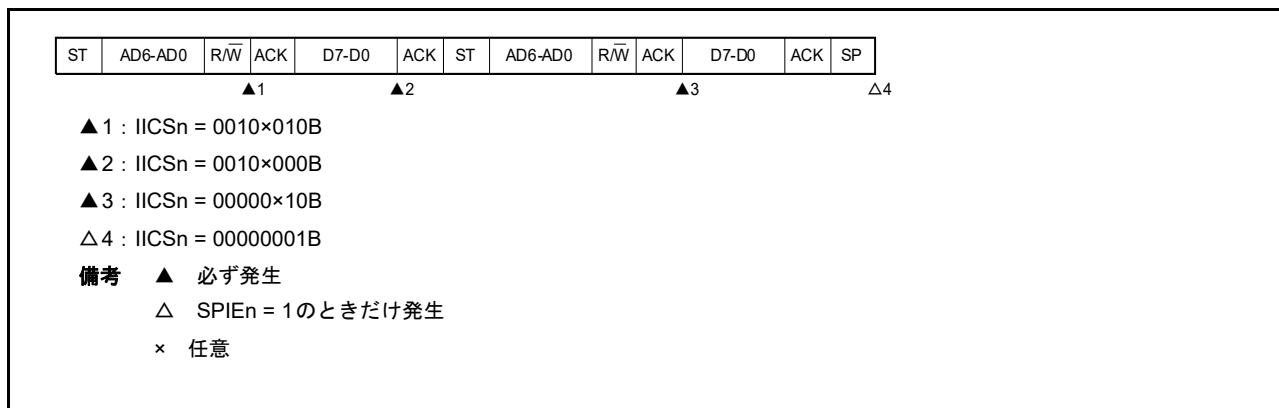
(ii) WTIMn = 1 のとき (リスタート後、拡張コード受信、全アドレス一致機能停止)



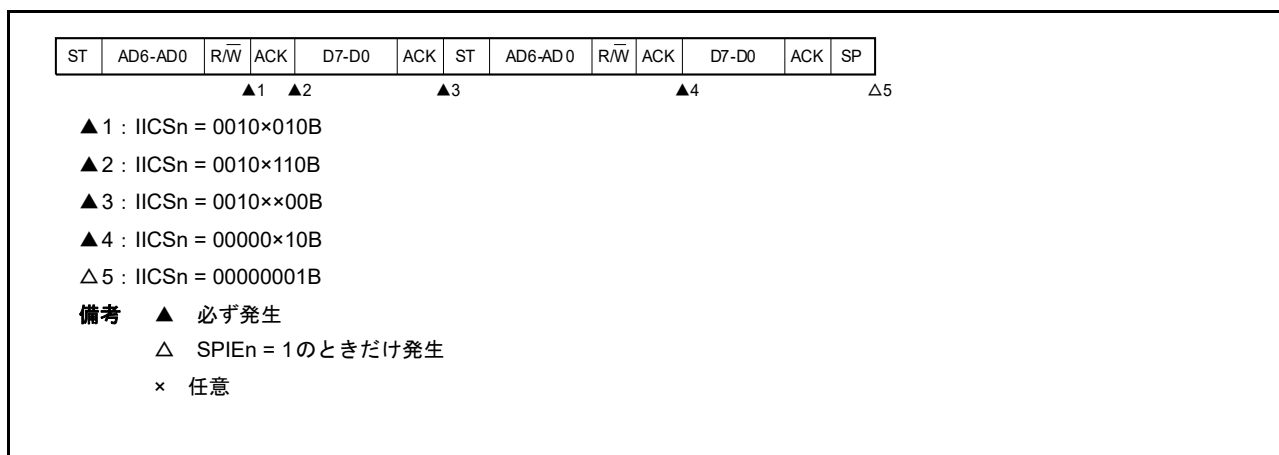
備考 n = 0

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



備考 n = 0

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
----	---------	-----	-----	-------	-----	-------	-----	----

△1

△1 : IICSn = 0000001B

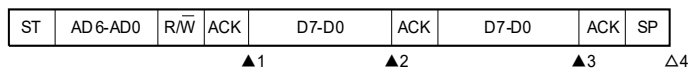
備考 △ SPIEn = 1 のときだけ発生**備考** n = 0

(5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn フラグを読み出し、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



▲1 : IICSn = 0101×110B

▲2 : IICSn = 0001×000B

▲3 : IICSn = 0001×000B

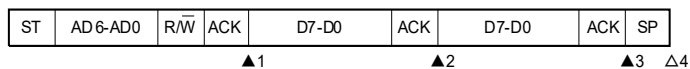
△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 0101×110B

▲2 : IICSn = 0001×100B

▲3 : IICSn = 0001××00B

△4 : IICSn = 00000001B

備考 ▲ 必ず発生

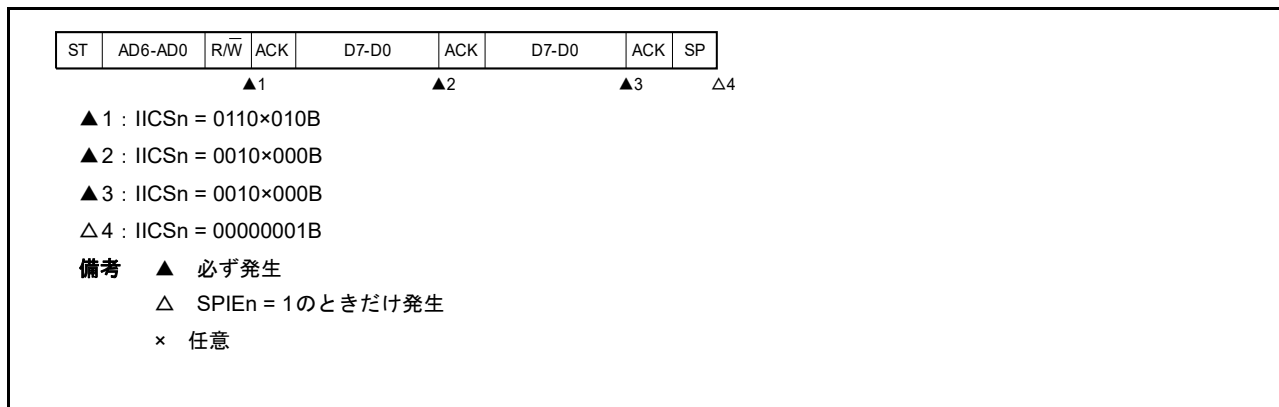
△ SPIEn = 1 のときだけ発生

× 任意

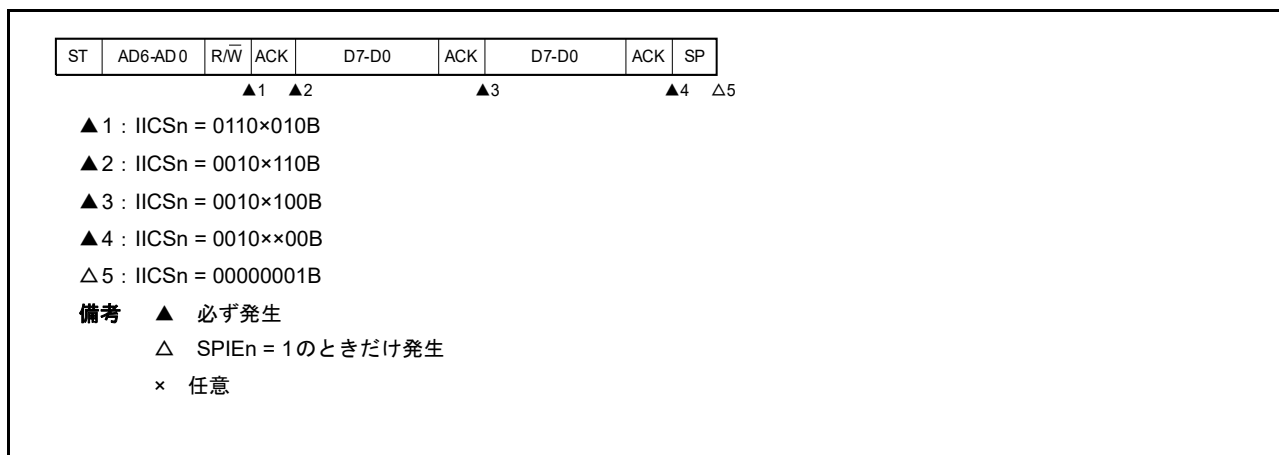
備考 n = 0

(b) 拡張コード送信中にアービトレーションに負けた場合 (全アドレス一致機能停止)

(i) WTIMn = 0 のとき



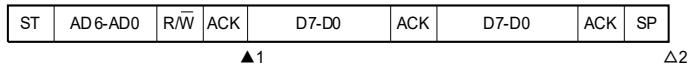
(ii) WTIMn = 1 のとき

**備考** n = 0

(6) アービトレーション負けの動作 (アービトレーション負けのあと、不参加)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn フラグを読み出し、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIMn = 1 のとき)



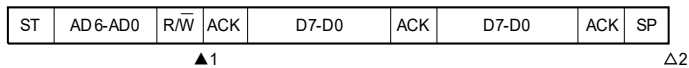
▲1 : IICSn = 01000110B

△2 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合 (全アドレス一致機能停止)



▲1 : IICSn = 0110×010B

ソフトウェアで LRELn = 1 を設定

△2 : IICSn = 00000001B

備考 ▲ 必ず発生

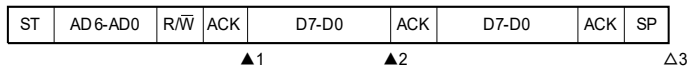
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0

(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



▲1 : IICSn = 10001110B

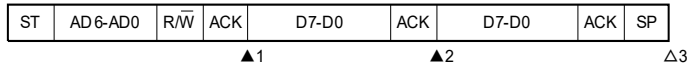
▲2 : IICSn = 01000000B

△3 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

(ii) WTIMn = 1 のとき



▲1 : IICSn = 10001110B

▲2 : IICSn = 01000100B

△3 : IICSn = 00000001B

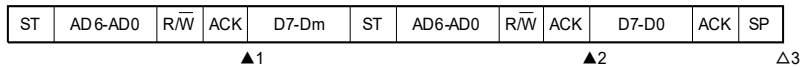
備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

備考 n = 0

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVAn不一致、全アドレス一致機能停止)



▲1 : IICSn = 1000×110B

▲2 : IICSn = 01000110B

△3 : IICSn = 00000001B

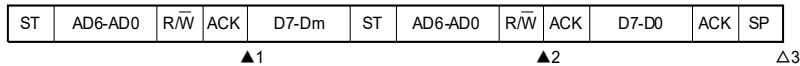
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

m = 6-0

(ii) 拡張コード (全アドレス一致機能停止)



▲1 : IICSn = 1000×110B

▲2 : IICSn = 01100010B

ソフトウェアでLRELn = 1を設定

△3 : IICSn = 00000001B

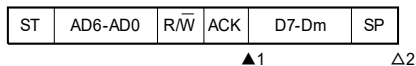
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

m = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1 : IICSn = 10000110B

△2 : IICSn = 01000001B

備考 ▲ 必ず発生

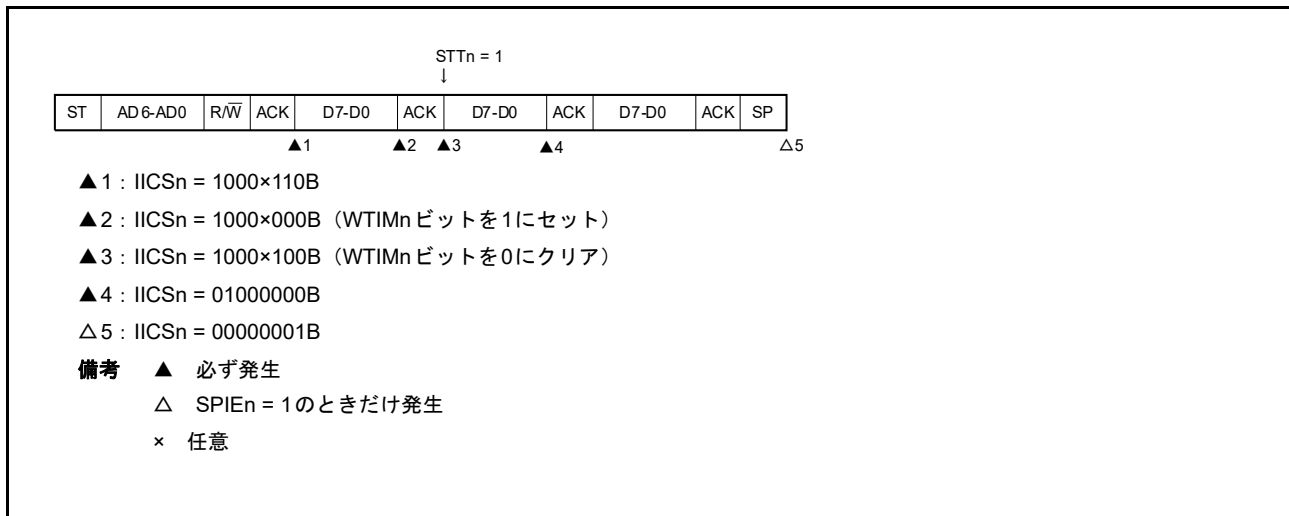
△ SPIEn = 1のときだけ発生

× 任意

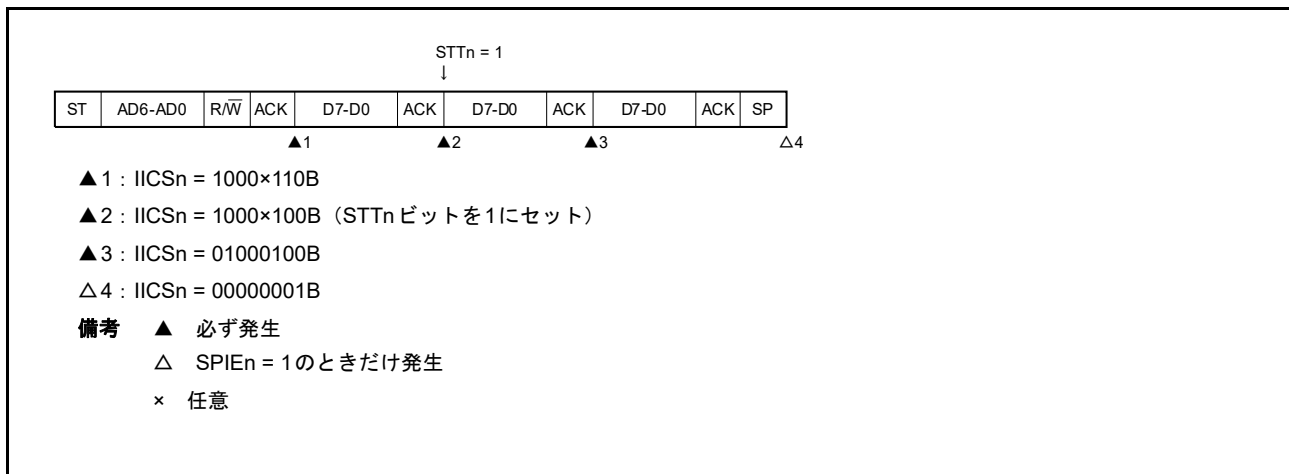
m = 6-0

備考 n = 0

- (f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合
- (i) WTIMn = 0 のとき



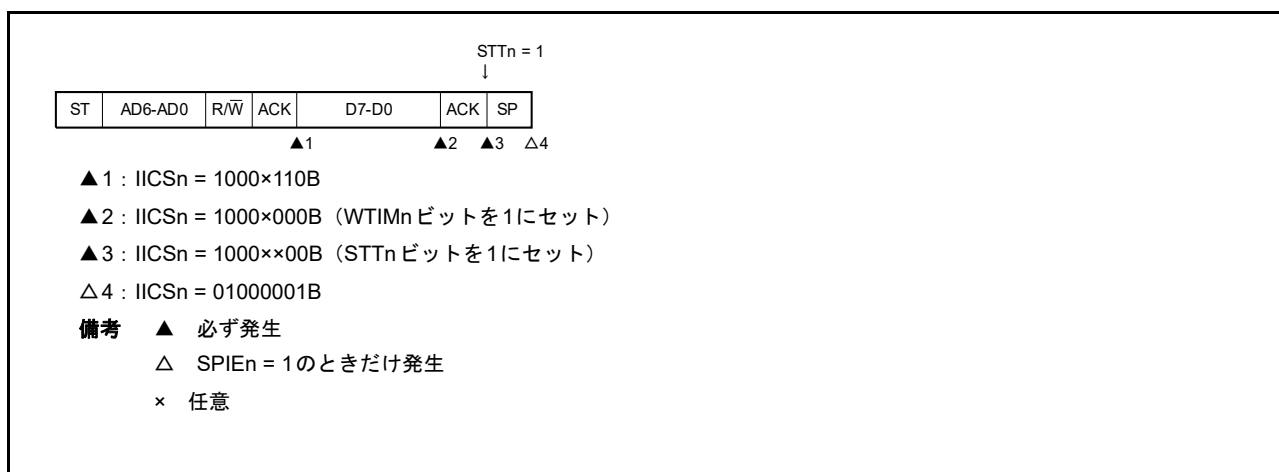
- (ii) WTIMn = 1 のとき



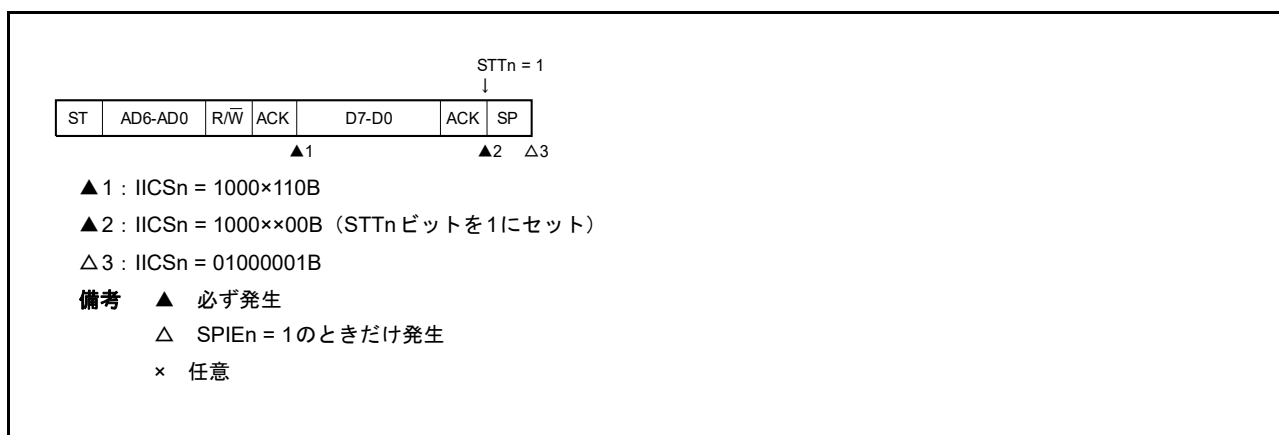
備考 n = 0

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) $WTIMn = 0$ のとき



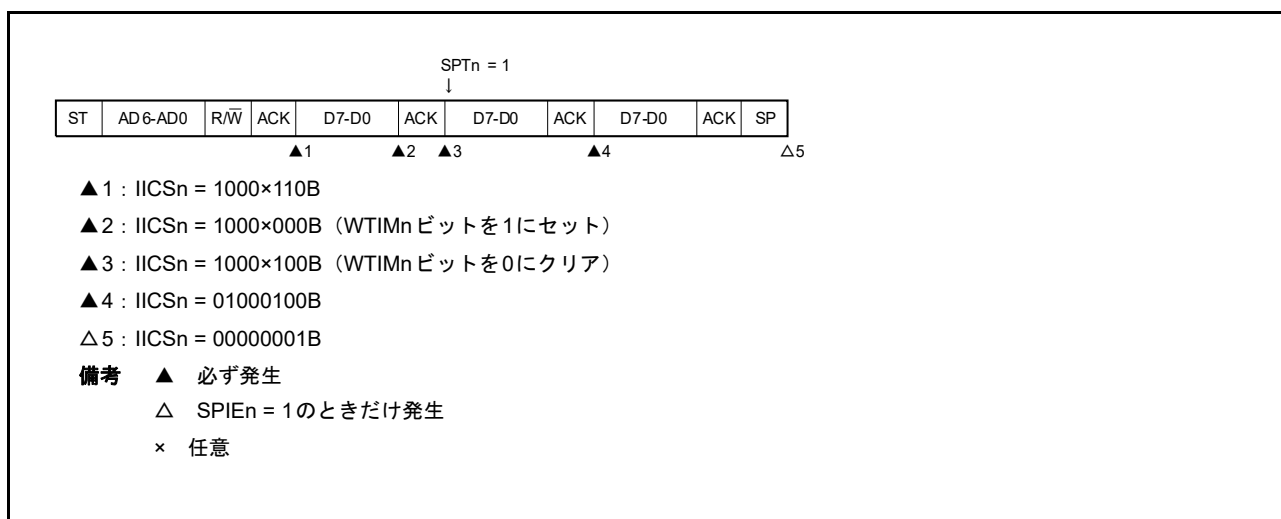
(ii) $WTIMn = 1$ のとき



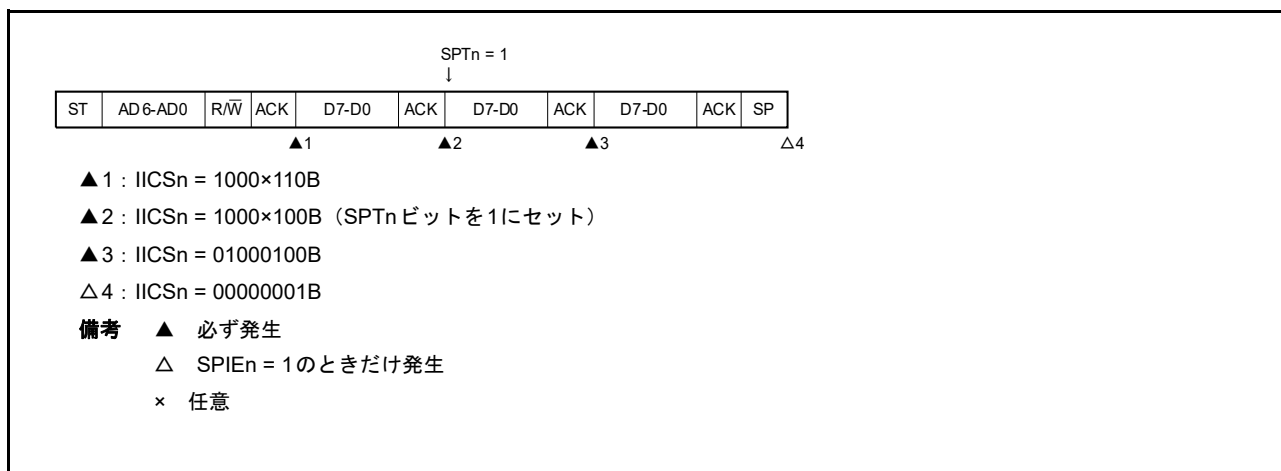
備考 n = 0

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき



備考 n = 0

25.6 タイミング・チャート

I²C バス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示す TRCn フラグ (IICA ステータス・レジスタ n (IICSn) のビット 3) を送信し、スレーブとのシリアル通信を開始します。

図 25 - 33、図 25 - 34 にデータ通信のタイミング・チャートを示します。

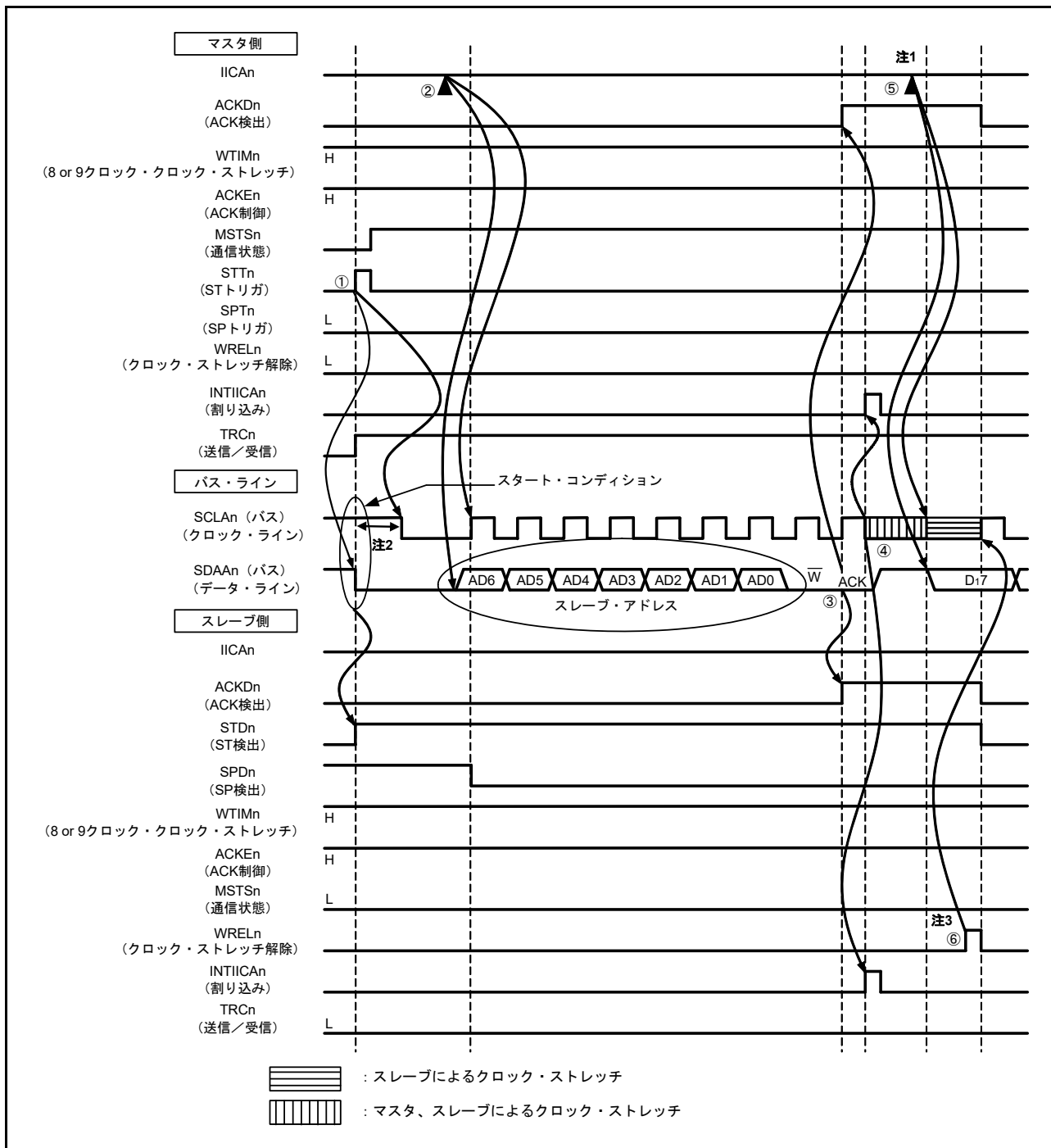
シリアル・クロック (SCLAn) の立ち下がりに同期して IICA シフト・レジスタ n (IICAn) のシフト動作が行われ、送信データが SO ラッチに転送され、SDAAn 端子から MSB ファーストで出力されます。

また、SCLAn の立ち上がりで SDAAn 端子に入力されたデータが IICAn に取り込まれます。

本節で示すタイミング・チャートは、全アドレス一致機能は停止状態です。

備考 n = 0

図25-33 マスタスレーブ通信例 (マスタ:9クロック、スレーブ:9クロックでクロック・ストレッチ選択) (1/4)
 (1) スタート・コンディション~アドレス~データ



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。
- 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図 25 - 33 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTSn = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側で IICA シフト・レジスタ n ($IICAn$) にアドレス + W (送信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス (SVA_n の値) が一致した場合注、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出 ($ACKDn = 1$) されます。
- ④ 9 クロック目の立ち下がり、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します注。
- ⑤ マスタ側が $IICAn$ レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 ($WRELn = 1$) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません ($NACK: SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図 25 - 33 の①～⑯は、I²C バスによるデータ通信の一連の操作手順です。

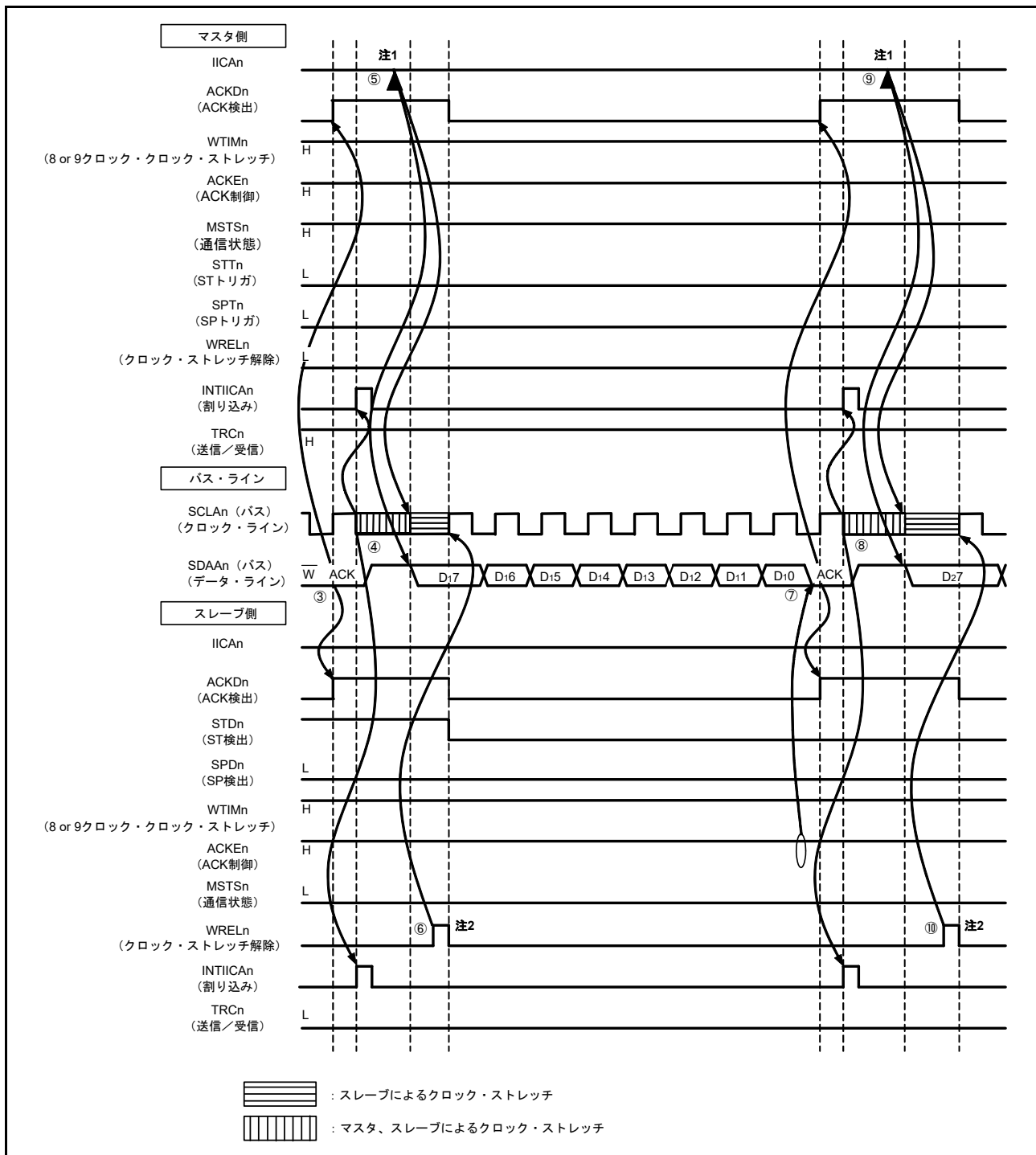
図 25 - 33 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図 25 - 33 (2) アドレス～データ～データでは手順③～⑩

図 25 - 33 (3) データ～データ～ストップ・コンディションでは手順⑦～⑯

備考 2. $n = 0$

図25-33 マスタスレーブ通信例 (マスタ: 9クロック、スレーブ: 9クロックでクロック・ストレッチ選択) (2/4)
 (2) アドレス~データ~データ



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。
- 注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図 25 - 33 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ④ 9 クロック目の立ち下がり、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します注。
- ⑤ マスタ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ⑧ 9 クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑨ マスタ側が IICAn レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しませんが (NACK : SDAAn = 1)。また、スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、INTIICAn 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図 25 - 33 の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

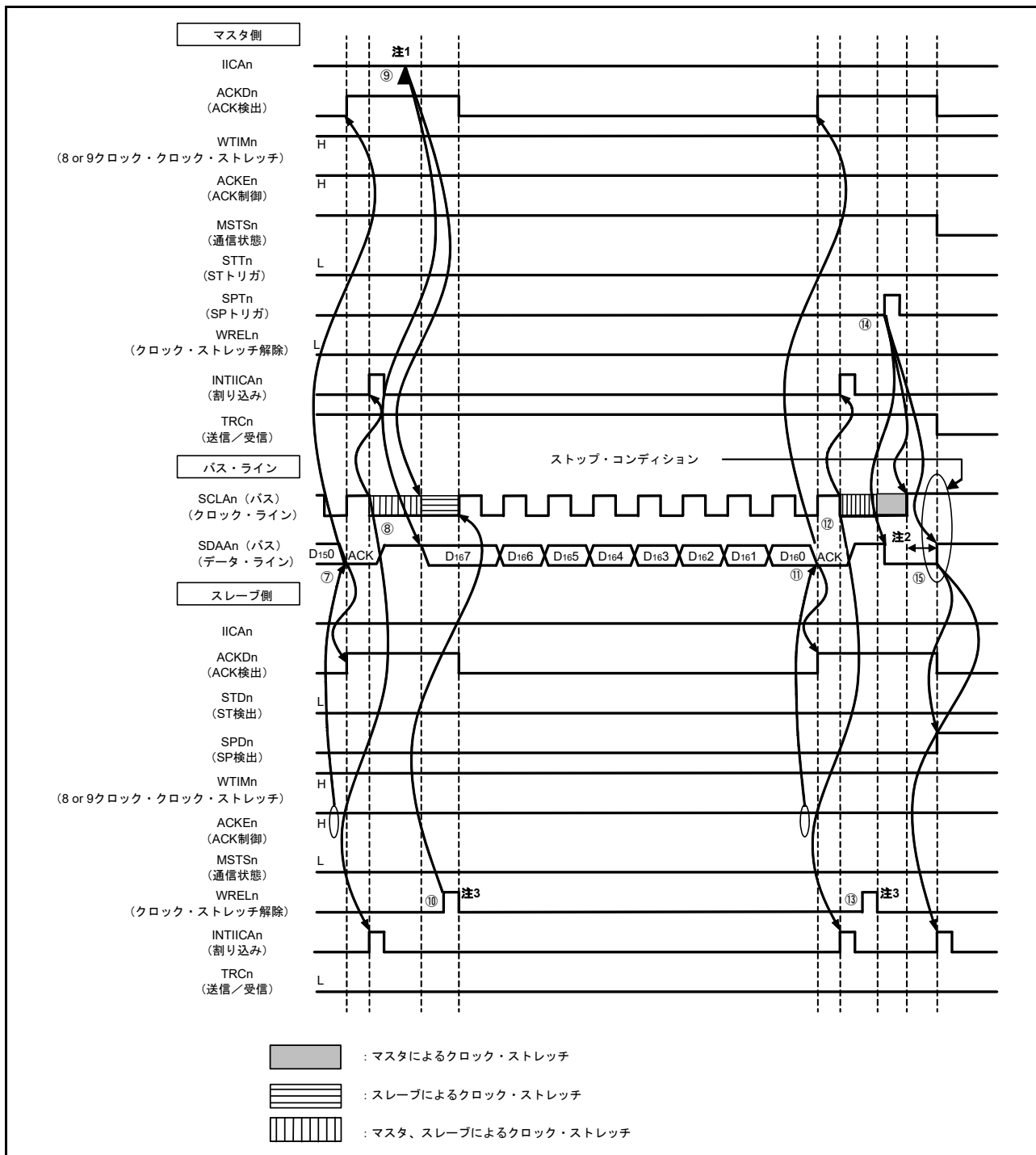
図 25 - 33 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図 25 - 33 (2) アドレス～データ～データでは手順③～⑩

図 25 - 33 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

備考 2. n = 0

図25-33 マスタスレーブ通信例 (マスタ:9クロック、スレーブ:9クロックでクロック・ストレッチ選択) (3/4)
 (3) データ~データ~ストップ・コンディション



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。
- 注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図 25 - 33 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ⑧ 9 クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑨ マスタ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側 (ACKEn = 1) のハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ⑫ 9 クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、バス・クロック・ラインがセット (SCLAn = 1) され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット (SDAAn = 1) されることでストップ・コンディション (SCLAn = 1 で SDAAn = 0 → 1) が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

備考 1. 図 25 - 33 の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

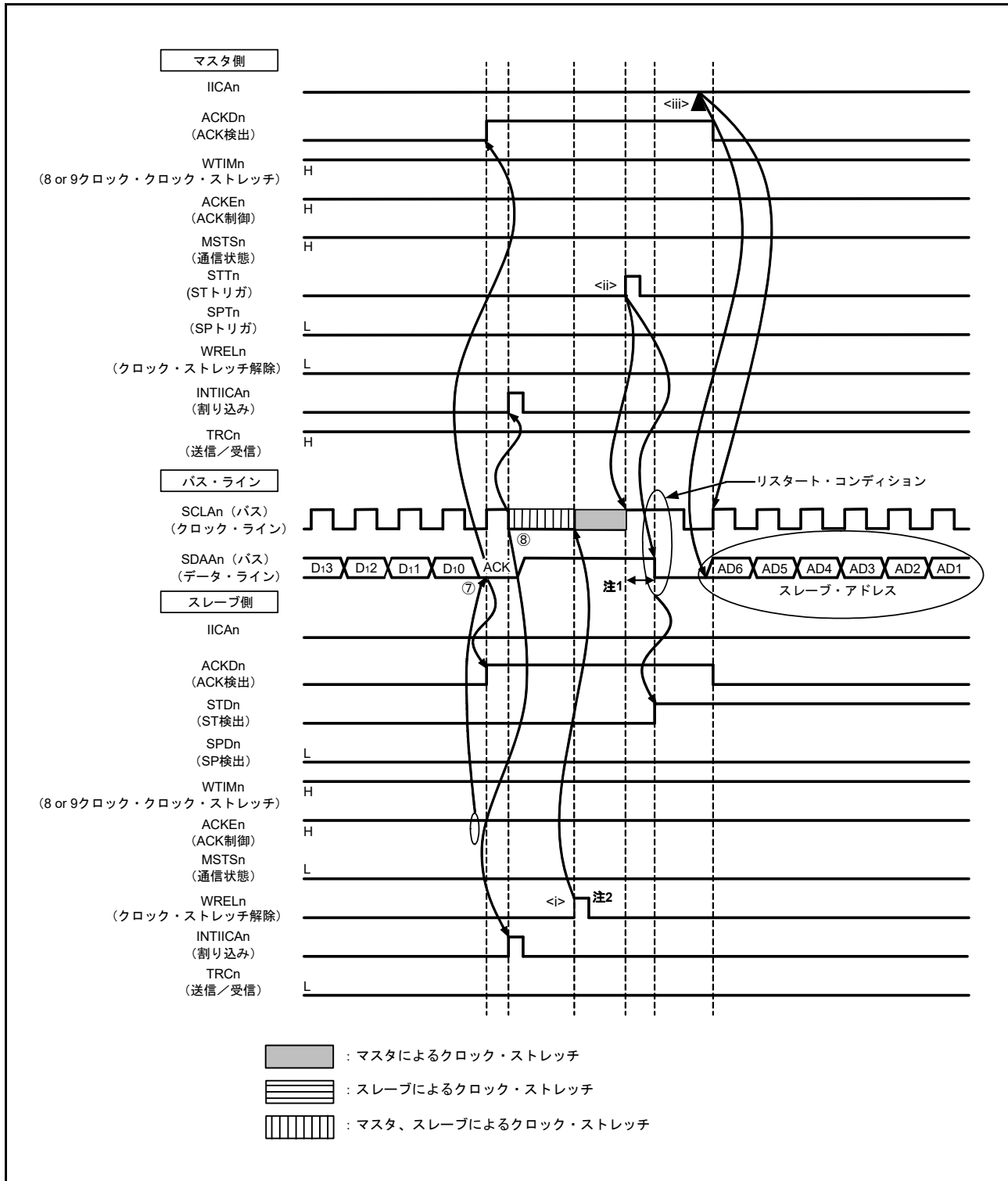
図 25 - 33 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図 25 - 33 (2) アドレス～データ～データでは手順③～⑩

図 25 - 33 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

備考 2. n = 0

図25-33 マスタスレーブ通信例 (マスタ:9クロック、スレーブ:9クロックでクロック・ストレッチ選択) (4/4)
 (4) データ~リスタート・コンディション~アドレス



備考 n = 0

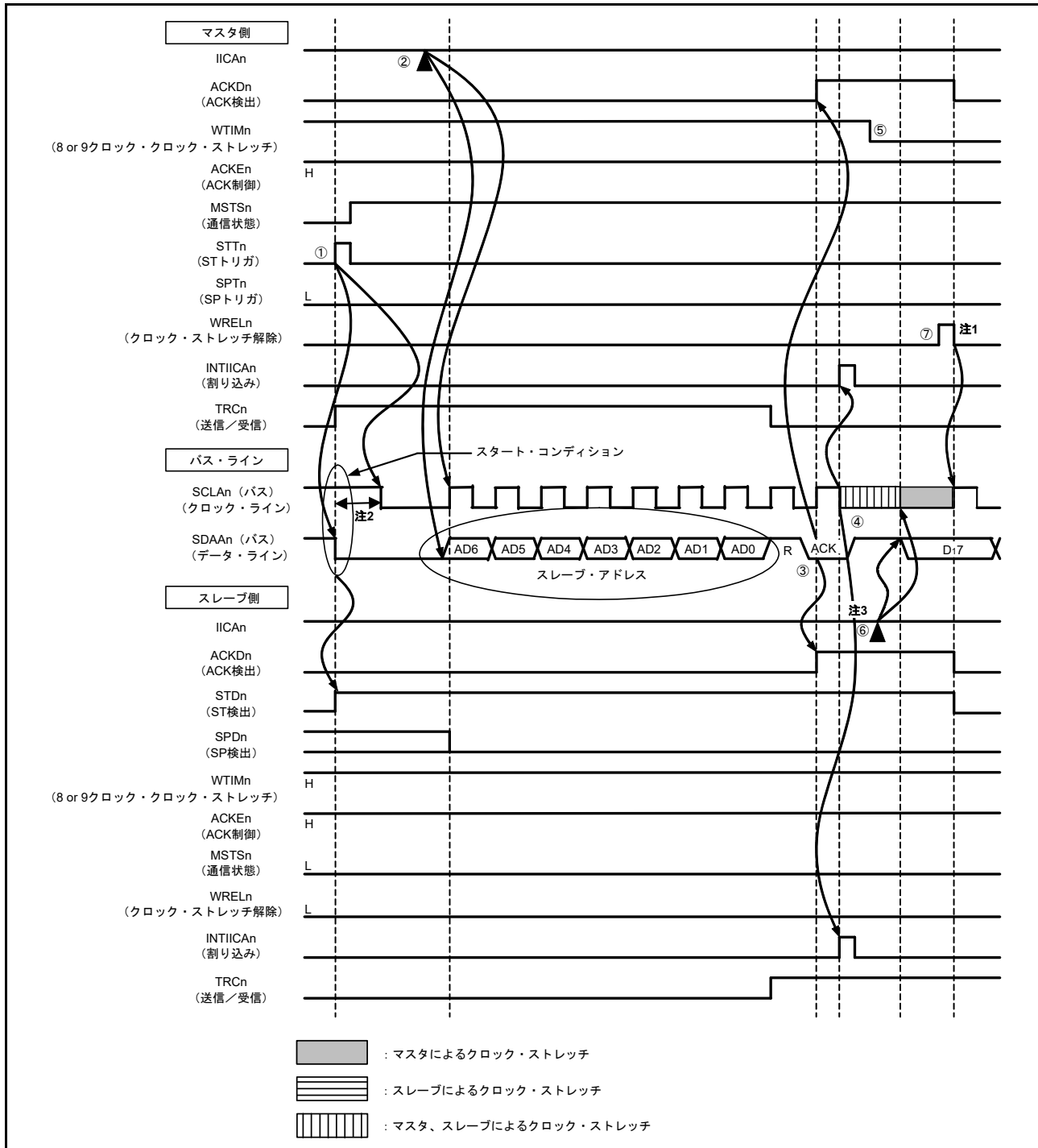
図 25 - 33 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦、⑧の動作後、<i> ~ <iii> の動作を行います。それにより、手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後、スレーブ側は $ACKEn = 1$ なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 ($ACKDn = 1$) されます。
- ⑧ 9 クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ ($SCLAn = 0$) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn: 転送完了割り込み) が発生します。
 - <i> スレーブ側が受信データを読み出して、クロック・ストレッチを解除 ($WRELn = 1$) します。
 - <ii> マスタ側で再度スタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・クロック・ラインが立ち上がり ($SCLAn = 1$)、リスタート・コンディション・セットアップ時間後バス・データ・ライン ($SDAAn = 0$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
 - <iii> マスタ側が IICA シフト・レジスタ n (IICAn) にアドレス + R/W (送信) を書き込むと、スレーブ・アドレスが送信されます。

備考 n = 0

図25-34 スレーブ→マスタ通信例 (マスタ : 8クロック、スレーブ : 9クロックでクロック・ストレッチ選択) (1/3)

(1) スタート・コンディション~アドレス~データ



- 注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

備考 n = 0

図 25 - 34 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット (STTn = 1) されると、バス・データ・ライン (SDAAn) が立ち下がり、スタート・コンディション (SCLAn = 1 で SDAAn = 1 → 0) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTSn = 1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLAn = 0)、通信準備が完了となります。
- ② マスタ側で IICA シフト・レジスタ n (IICAn) にアドレス + R (受信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ④ 9 クロック目の立ち下がり、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します注。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを 8 クロック目 (WTIMn = 0) に変更します。
- ⑥ スレーブ側が IICAn レジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 (WRELn = 1) して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません (NACK : SDAAn = 1)。また、スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、INTIICAn 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図 25 - 34 の①～⑩は、I²C バスによるデータ通信の一連の操作手順です。

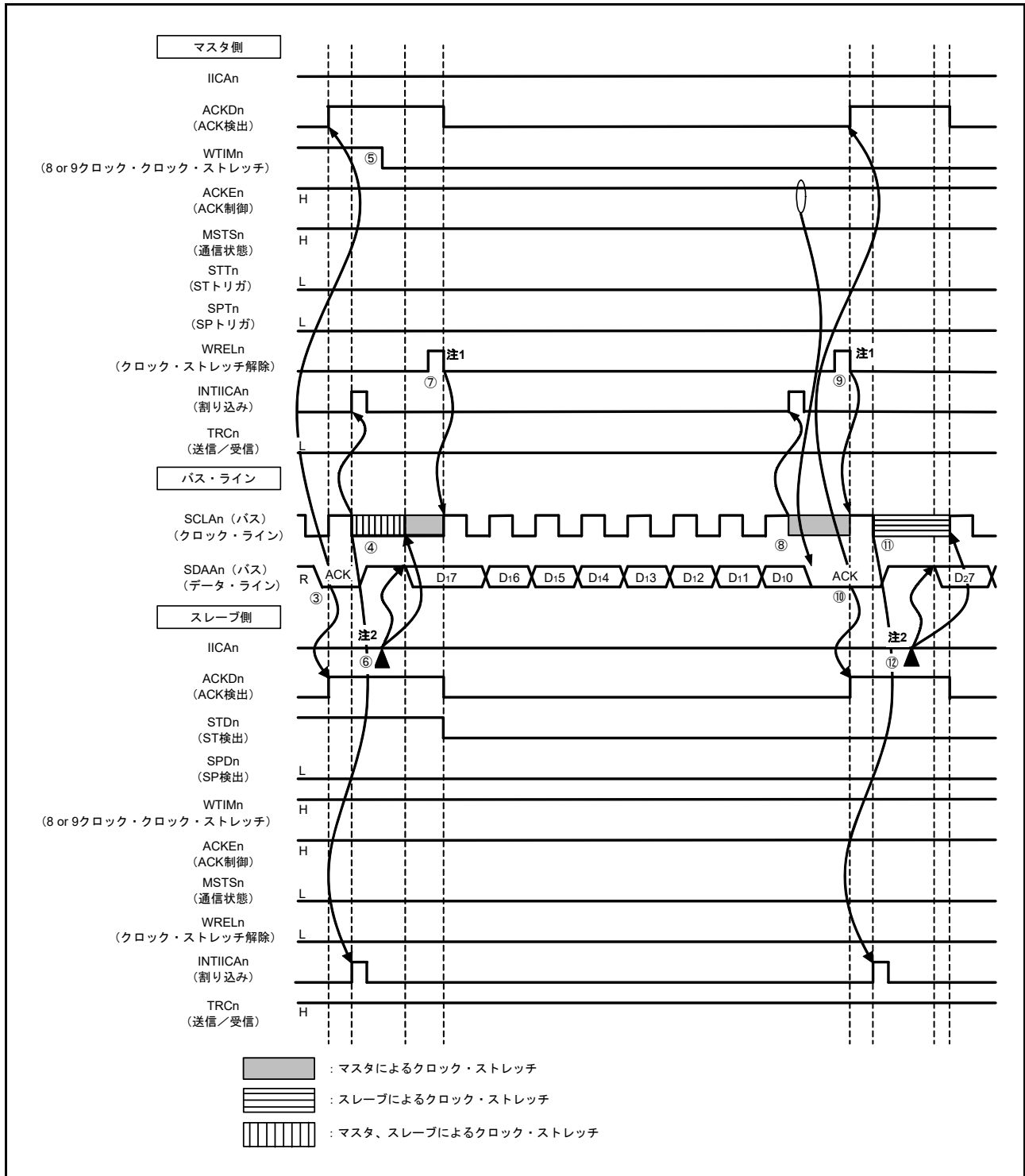
図 25 - 34 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図 25 - 34 (2) アドレス～データ～データでは手順③～⑫

図 25 - 34 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

備考 2. n = 0

図25-34 スレーブ→マスタ通信例 (マスタ: 8クロック、スレーブ: 9クロックでクロック・ストレッチ選択) (2/3)
 (2) アドレス~データ~データ



- 注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 注2. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

備考 n = 0

図 25 - 34 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレス自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ④ 9 クロック目の立ち下がり、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します注。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを 8 クロック目 (WTIMn = 0) に変更します。
- ⑥ スレーブ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 (WRELn = 1) して、スレーブからのデータ転送を開始します。
- ⑧ 8 クロック目の立ち下がり、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側 ACKEn = 1 なのでハードウェアにより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑩ 9 クロック目の立ち上がり時に、スレーブ側で ACK が検出 (ACKDn = 1) されます。
- ⑪ 9 クロック目の立ち下がり、スレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑫ スレーブ側が IICAn レジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません (NACK : SDAAn = 1)。また、スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、INTIICAn 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図 25 - 34 の①～⑭は、I²Cバスによるデータ通信の一連の操作手順です。

図 25 - 34 (1) スタート・コンディション～アドレス～データでは手順①～⑦

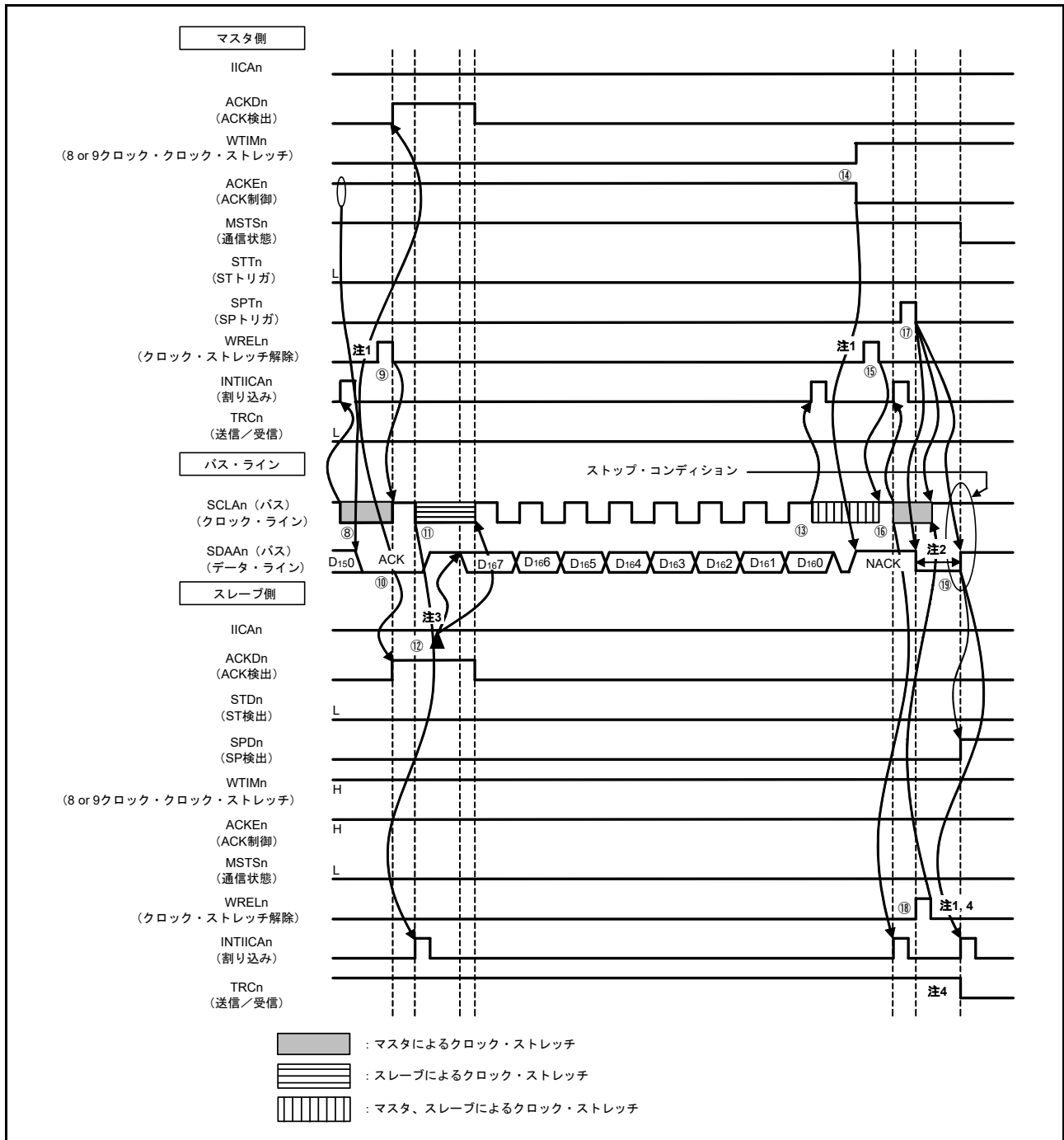
図 25 - 34 (2) アドレス～データ～データでは手順③～⑫

図 25 - 34 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

備考 2. n = 0

図25-34 スレーブ→マスタ通信例 (マスタ : 8→9クロック、スレーブ : 9クロックでクロック・ストレッチ選択)
(3/3)

(3) データ~データ~ストップ・コンディション



- 注1. クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がったからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。
- 注4. スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnフラグはクリアされます。

備考 n = 0

図 25 - 34 (3) データ～データ～ストップ・コンディションの⑧～⑱の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側は ACKEn = 0 なので、ハードウェアにより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側で ACK が検出 (ACKDn = 1) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑫ スレーブ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかります。ACK 制御 (ACKEn = 1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDAAn = 0) となります。
- ★ ⑭ マスタ側は NACK 応答に設定 (ACKEn = 0) し、クロック・ストレッチ・タイミングを9クロック目 (WTIMn = 1) に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除 (WRELn = 1) すると、スレーブ側は9クロック目の立ち上がりで NACK を検出 (ACKDn = 0) します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑰ マスタ側でストップ・コンディション発行 (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されるまで待機します。
- ⑱ スレーブ側は NACK を確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除 (WRELn = 1) します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット (SCLAn = 1) されます。
- ⑲ マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDAAn = 1) してストップ・コンディション (SCLAn = 1 で SDAAn = 0 → 1) を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

備考1. 図 25 - 34 の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図 25 - 34 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図 25 - 34 (2) アドレス～データ～データでは手順③～⑫

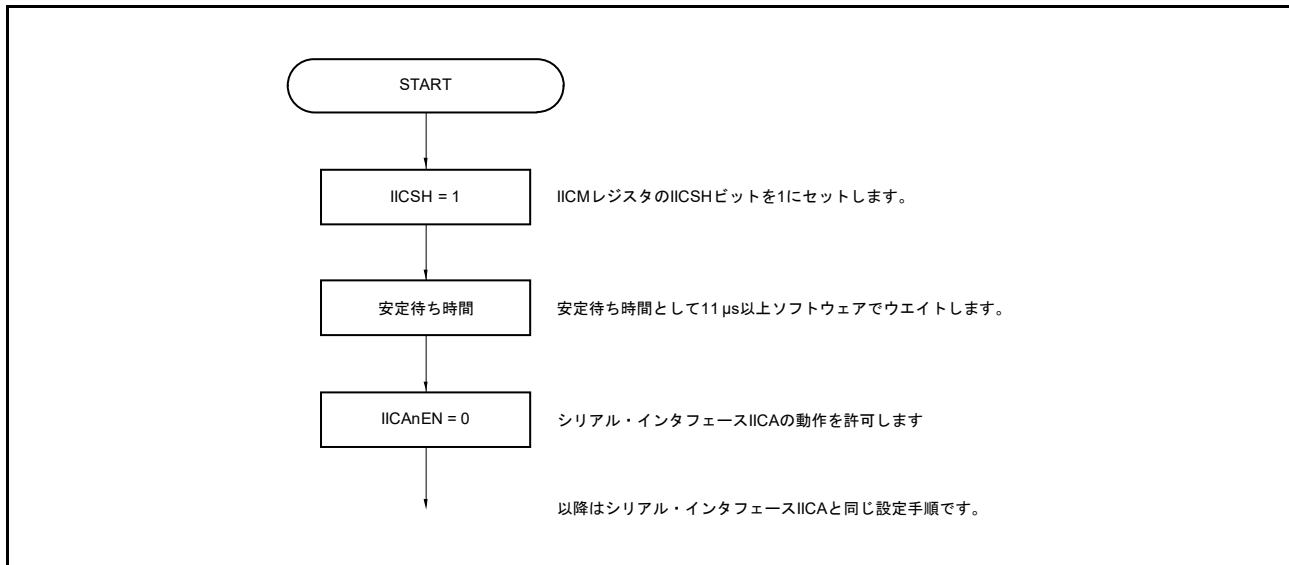
図 25 - 34 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

備考2. n = 0

25.7 SMBus使用手順

図 25 - 35 に SMBUS3.0 入カスレッシュヨルド切り替え手順を示します。

図 25 - 35 SMBus使用手順



第26章 デジタル調光照明インタフェース (DALI)

26.1 概要

デジタル調光照明インタフェース (DALI) モジュールは、異なるメーカーの電子安定器、LED 照明電源、スイッチやセンサ等を接続し、通信をすることができる国際オープン規格の照明制御通信プロトコル DALI に準拠したものです。DALI モジュールは、ソフトウェア制御を含む国際規格 IEC 62386-101 第 1.0 版/第 2.0 版/第 2.1 版 (DALI) に対応しています。

表 26 - 1 に DALI モジュールの仕様を示します。

表26 - 1 DALIモジュールの仕様

項目	内容
対応規格	IEC 62386-101 第 1.0 版/第 2.0 版/第 2.1 版 (DALI) 注
通信モード	<ul style="list-style-type: none"> コントロールデバイス (インプットデバイス、アプリケーションコントローラ) / コントロールギア 送信、受信、送受信
通信フォーマット	DALI データフォーマット
シリアルデータ	<ul style="list-style-type: none"> MSB ファースト 受信データ長: 最小 1 ビット、最大 256 ビット 送信データ長: 8, 16, 17, 20, 24, 32, 64, 128, 256 ビットから選択可能
割り込み出力	<ul style="list-style-type: none"> ストップコンディション検出割り込み (INTSDD) DALI エラー割り込み (INTED) コリジョン検出割り込み (INTCLD) バスパワーダウン検出割り込み (INTBPD) 立ち下がりエッジ検出割り込み (INTFED) 受信データ読み出し要求割り込み (INTRD) 送信データ書き込み要求割り込み (INTTD)
エラー検出	<ul style="list-style-type: none"> マンチェスタフレーミングエラー オーバランエラー フレームサイズ違反エラー ビットタイミング違反エラー
調整/補正機能	<ul style="list-style-type: none"> DALITxD0 出力波形幅補正機能 DALIRxD0 エッジ許容エリア調整機能、入力波形幅補正機能

注 102, 103 などの上位レイヤーはソフトウェアスタックで実現

本マニュアルでは DALI 規格書上の言葉を以下表現で記載しています。

本マニュアル上の記載	DALI規格書上の表現
コリジョン	Collision
コリジョン検出	Collision detection
セトリングタイム	Settling time
ビットタイミング違反	Bit timing violation
コリジョンリカバリ	Collision recovery
リカバリタイム	Recovery time
コリジョン回避	Collision avoidance
ストップコンディション	Stop condition
破壊領域	Destroy area
グレー領域	Grey area
有効ハーフビット	Valid half bit
ハーフビット	Half bit
有効2ハーフビット	Valid 2 half bit
2ハーフビット	2 half bit
受信器セトリングタイム	Receiver settling time
送信器セトリングタイム	Transmitter settling time

図 26 - 1 に DALI モジュールのブロック図を示します。

図26 - 1 DALIモジュールのブロック図

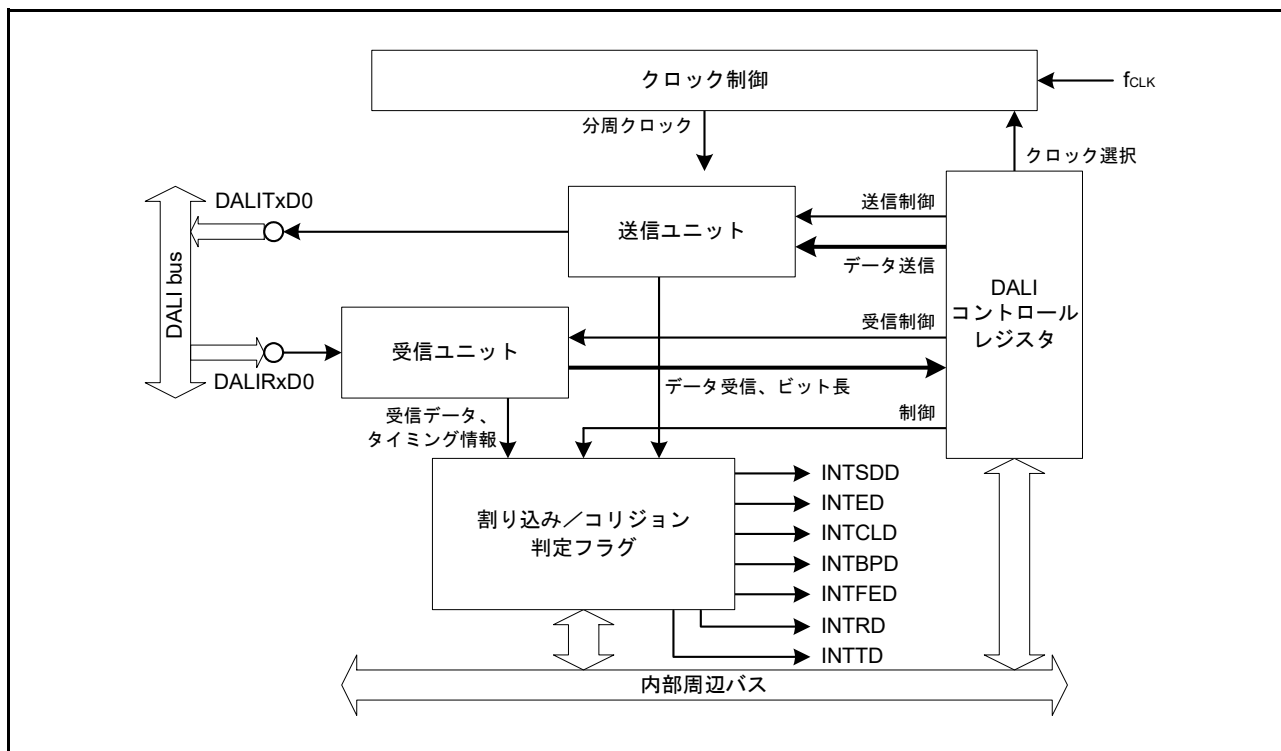


表 26 - 2 に DALI モジュールの入出力端子を示します。

表26 - 2 DALIモジュールの入出力端子

端子名	入出力	機能
DALIRxD0	入力	DALI受信端子
DALITxD0	出力	DALI送信端子

26.2 デジタル調光照明インタフェースを制御するレジスタ

デジタル調光照明インタフェースを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- DALIコンフィグレーションレジスタ1 (CNFR1)
- DALIコンフィグレーションレジスタ2 (CNFR2)
- DALIコントロールレジスタ1 (CTR1)
- DALITxD0コントロールレジスタ1 (TXDCTR1)
- DALI送信コントロールレジスタ1 (TRSTR1)
- DALIビットタイミング違反しきい値レジスタ1 (BTVTHR1)
- DALIビットタイミング違反しきい値レジスタ2 (BTVTHR2)
- DALIビットタイミング違反しきい値レジスタ3 (BTVTHR3)
- DALIビットタイミング違反しきい値レジスタ4 (BTVTHR4)
- DALIコリジョンしきい値レジスタ1 (COLTHR1)
- DALIコリジョンしきい値レジスタ2 (COLTHR2)
- DALIコリジョンしきい値レジスタ3 (COLTHR3)
- DALIコリジョンしきい値レジスタ4 (COLTHR4)
- DALIコリジョンしきい値レジスタ5 (COLTHR5)
- DALI送信データレジスタ1H, 1L (TDR1H, TDR1L)
- DALI受信データレジスタ1H, 1L (RDR1H, RDR1L)
- DALIステータスレジスタ1 (STR1)
- DALIステータスレジスタ2 (STR2)
- DALIコリジョンレジスタ1 (COLR1)
- DALIフラグエラークリアレジスタ1 (FECR1)
- DALIソフトリセットレジスタ1 (SWRR1)
- DALITxD0波形調整レジスタ1 (TXWR1)
- DALIRxD0波形調整レジスタ1 (RXWR1)
- DALI受信タイミング調整レジスタ0 (FTDC0)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

26.2.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

DALI モジュールを使用する場合は、必ず DALIEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図26-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	2	1	<0>
PER1	DACEN	0	PGACMPEN	TML32EN	DTCEN	0	0	DALIEN
	DALIEN	DALIモジュールの入カクロックの制御						
	0	入カクロック供給停止 <ul style="list-style-type: none"> • DALIモジュールで使用する2nd SFRへのライト不可 • DALIモジュールで使用する2nd SFRをリードした場合は00Hまたは0000Hが読めます。 						
	1	入カクロック供給 <ul style="list-style-type: none"> • DALIモジュールで使用する2nd SFRへのリード／ライト可 						

注意1. DALIモジュールの設定をする際には、必ず最初にDALIEN = 1の設定を行ってください。

注意2. ビット6, 2, 1には、必ず0を設定してください。

26.2.2 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

DALI モジュールをリセットする場合は、DALIRES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図26-3 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	3	2	1	<0>
PRR1	DACRES	0	PGACMP RES	TML32RES	0	0	0	DALIRES
	DALIRES	DALIモジュールのリセット制御						
	0	DALIモジュールのリセット解除						
	1	DALIモジュールはリセット状態						

注意 ビット6, 3-1には、必ず0を設定してください。

26.2.3 DALIコンフィグレーションレジスタ1 (CNFR1)

CNFR1 レジスタは、DALI モジュールの基本的な動作を設定するレジスタです。

クロック、ビットレート、拡張モードそして送信ビット長を設定することができます。

CNFR1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00FFH になります。

図26-4 DALIコンフィグレーションレジスタ1 (CNFR1) のフォーマット (1/2)

アドレス : F04D2H

リセット時: 00FFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CNFR1	CHL[3:0]			EXM	0	CKS[1:0]		
	7	6	5	4	3	2	1	0
	BR[7:0]							
	CHL[3:0]				キャラクタ長			
	0	0	0	0	8ビット			
	0	0	0	1	16ビット			
	0	0	1	0	24ビット			
	0	0	1	1	32ビット			
	0	1	0	0	20ビット			
	0	1	0	1	17ビット			
	0	1	1	×	設定禁止			
	1	0	0	0	64ビット			
	1	0	0	1	128ビット			
	1	0	1	0	256ビット			
	1	0	1	1	設定禁止			
	1	1	×	×	設定禁止			
送信データ長を8, 16, 17, 20, 24, 32, 64, 128, 256ビットから設定します。								

EXM	拡張モード選択
0	非拡張モード
1	拡張モード (32ビット超データ送受信モード)
<p>32ビット超データを送受信するかどうか選択するビットです。</p> <p>32ビット以内のデータを送受信する場合は非拡張モード (0) を設定します。</p> <p>32ビット超データを送受信する場合は拡張モード (1) を設定します。</p> <p>非拡張モードのとき、INTRD, INTTDは無効 (Low出力固定) です。また、CHL[3], CTR1.TDIE, CTR1.RDIE, STR1.URF, FECR1.URFCビットの設定は無効です。</p> <p>本ビット設定値により、STR1.LFRF フラグとSTR2.RDBL[8:6]ビットの機能が変わります。</p> <p>本ビット設定値により、通信動作が異なります。26.3.8 拡張モード選択ビット (CNFR1.EXM) の制御を参照してください。</p>	

図26 - 4 DALIコンフィグレーションレジスタ1 (CNFR1) のフォーマット (2/2)

CKS[1:0]		クロック選択
0	0	fCLKクロック (Y = 0)
0	1	fCLK/4クロック (Y = 1)
1	0	fCLK/16クロック (Y = 2)
1	1	設定禁止

DALIモジュール動作クロックのfCLK分周比を1/1, 1/4, 1/16から選択します。

BR[7:0]	ビットレート設定																																																		
—	<p>本ビットは読み出し可能です。 BR[7:0]ビットとビットレートBの関係を示します。ここでBR[7:0]ビットの設定値はNとします。</p> $N = \frac{f_{CLK} \times 10^6}{512 \times 2^{2Y-1} \times B} - 1$ $\text{誤差 (\%)} = \left\{ \frac{f_{CLK} \times 10^6}{B \times 512 \times 2^{2Y-1} \times (N + 1)} - 1 \right\} \times 100$ <p>B : ビットレート (bps) N : ポー・レート・ジェネレータの設定値 : $0 \leq N \leq 255$ Y : CKS[1:0]ビットの選択値</p> <p>YとNについては、DALI通信のビットレート1200 bpsをBとして、ポー・レート・ジェネレータ設定値Nが範囲に入るクロックをCKS[1:0]ビットで選択してください。以下にポー・レートの設定例を示します。</p> <table border="1"> <thead> <tr> <th rowspan="3">bps</th> <th colspan="12">fCLKの動作周波数 (MHz)</th> </tr> <tr> <th colspan="3">8</th> <th colspan="3">16</th> <th colspan="3">32</th> <th colspan="3">48</th> </tr> <tr> <th>Y</th> <th>N</th> <th>誤差 (%)</th> <th>Y</th> <th>N</th> <th>誤差 (%)</th> <th>Y</th> <th>N</th> <th>誤差 (%)</th> <th>Y</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr> <td>1200</td> <td>0</td> <td>25</td> <td>0.16</td> <td>1</td> <td>12</td> <td>0.16</td> <td>1</td> <td>25</td> <td>0.16</td> <td>1</td> <td>38</td> <td>0.16</td> </tr> </tbody> </table> <p>本DALIモジュールは、ビットレート1ビットを256サイクルとして動作しており、この1サイクルを最小単位として内部動作を行っています。1200 bpsをターゲットとしてY, Nを選択した場合、誤差を除くと1サイクルは3.25 μsになります。実際の値は次式から求めることが可能です。</p> $\text{DALIモジュール動作クロックサイクル (\mu s)} = \frac{(N + 1) \times 2^{2Y}}{f_{CLK}}$ <p>fCLK : DALIモジュール入力周波数 (MHz)</p> <p>DALIモジュール動作サイクルは、入力/出力信号のサンプリングタイミングに影響します。詳細は、26.3.5 DALIRxD0入力信号のサンプリングタイミングとビット長調整を参照してください。</p>	bps	fCLKの動作周波数 (MHz)												8			16			32			48			Y	N	誤差 (%)	Y	N	誤差 (%)	Y	N	誤差 (%)	Y	N	誤差 (%)	1200	0	25	0.16	1	12	0.16	1	25	0.16	1	38	0.16
bps	fCLKの動作周波数 (MHz)																																																		
	8			16			32			48																																									
	Y	N	誤差 (%)	Y	N	誤差 (%)	Y	N	誤差 (%)	Y	N	誤差 (%)																																							
1200	0	25	0.16	1	12	0.16	1	25	0.16	1	38	0.16																																							

注意1. ビット10には、必ず0を設定してください。

注意2. ビットの書き換えは、CTR1.REビットとCTR1.TEビットが0のとき、またはCTR1.REビットが1かつSTR1.BBFフラグが0のとき、またはCTR1.TEビットが1かつSTR1.BBFフラグが0のときのみ行ってください。

注意3. DALIモジュール動作クロックには、高速オンチップ・オシレータ・クロック (fIH)、高速システム・クロック (fMX)、またはPLLクロック (fPLL) のみ選択可能です。

26.2.4 DALIコンフィグレーションレジスタ2 (CNFR2)

CNFR2 レジスタは、DALI モジュールの基本的な動作を設定するレジスタです。

主にエラーやコリジョン関係の動作について設定することができます。

CNFR2 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図26 - 5 DALIコンフィグレーションレジスタ2 (CNFR2) のフォーマット (1/2)

アドレス : F04D4H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CNFR2	0	0	0	0	0	0	BTV1DIS	MFEDIS
	7	6	5	4	3	2	1	0
	0	0	CDM0	CDE	TXWE	SGA	BTVM	BTVE
BTV1DIS	BTV1 (ビットタイミング違反1) エリア制御							
0	エッジからBTVしきい値1間のグレー領域でのエッジをビットタイミング違反とする							
1	エッジからBTVしきい値1間のグレー領域でのエッジをビットタイミング違反としない							
MFEDIS	Manchester Framing Error (MFE) 制御							
0	Manchester Framing Error (MFE) を検出する							
1	Manchester Framing Error (MFE) を検出しない							
CDM0	コリジョン検出条件							
0	破壊領域をコリジョンとして検出する							
1	破壊領域および回避領域をコリジョンとして検出する							
コリジョン検出条件を設定します。コリジョンの詳細については、 26.3.4 コリジョン を参照してください。								
CDE ^{注1}	コリジョン検出許可							
0	コリジョン検出を禁止							
1	コリジョン検出を許可							
コリジョン検出機能を許可または禁止します。Backwardフレーム送信 ^{注2} を行うには、本ビットを0にしてください。								
TXWE	DALITxD0出力波形幅調整機能の制御							
0	DALITxD0出力波形幅調整機能を無効にする							
1	DALITxD0出力波形幅調整機能を有効にする							
DALITxD0出力波形幅調整機能を有効または無効にします。詳細は、 26.3.6 DALITxD0出力波形幅調整機能 を参照してください。								

図26 - 5 DALIコンフィグレーションレジスタ2 (CNFR2) のフォーマット (2/2)

SGA	周波数マージン制御
0	DALIRxD0入力信号の周波数マージンを拡張しない
1	DALIRxD0入力信号の周波数マージンを拡張する
DALIRxD0入力信号の周波数マージンの拡張を設定します。詳細は、 26.3.5 DALIRxD0入力信号のサンプリングタイミングとビット長調整 を参照してください。	

BTVM	ビットタイミング違反検出モード
0	ハーフビットと2ハーフビット間のグレー領域で発生したエッジをビットタイミング違反として検出しない
1	ハーフビットと2ハーフビット間のグレー領域で発生したエッジをビットタイミング違反として検出する
ビットタイミング違反検出機能が有効のとき、違反領域を設定します。本ビットで設定される違反領域は、 図26 - 35 に示すポイントG (ハーフビット) とポイントH (2ハーフビット) 間の領域です。本ビットは、BTVEビットが1のとき有効で、本ビットの変更はBTVEビットが0のときに行う必要があります。	

BTVE ^{注1}	ビットタイミング違反検出許可
0	ビットタイミング違反検出機能を禁止
1	ビットタイミング違反検出機能を許可
ビットタイミング違反検出機能を許可または禁止します。本ビットは、CTR1.REビットが1のとき有効です。	

注1. ビットタイミング違反およびコリジョンは、IEC 62386-101 第2.0版/第2.1版で新たに定義された違反です。第1.0版準拠仕様でこれらの違反を検出する必要がない場合は、BTVEビットとCDEビットを0にしてください。

注2. TRSTR1レジスタへの書き込み直後のBackwardフレーム送信中にCDEビットが1の場合、Backwardフレームコリジョンが検出される場合があります。Backwardフレーム送信完了後に、CDEビットを1にしてください。

注意1. ビット15-10, 7, 6には、必ず0を設定してください。

注意2. ビットを書き換えは、CTR1.REビットとCTR1.TEビットが0のとき、またはCTR1.REビットが1かつSTR1.BBFフラグが0のとき、またはCTR1.TEビットが1かつSTR1.BBFフラグが0のときに行ってください。

26.2.5 DALIコントロールレジスタ1 (CTR1)

CTR1 レジスタは、DALI モジュールの送受信動作および割り込み動作を設定するレジスタです。

送受信動作の許可禁止と各種割り込みの許可禁止を設定することができます。

CTR1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図26-6 DALIコントロールレジスタ1 (CTR1) のフォーマット (1/2)

アドレス : F04E6H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTR1	0	TDIE	RDIE	FEIE	BPIE	CLIE	DEIE	SDIE
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	RE	TE
TDIE	INTTD出力許可							
0	INTTD出力を禁止							
1	INTTD出力を許可							
送信データ書き込み要求割り込み (INTTD) を許可または禁止します。本ビットは、CNFR1.EXMビットが1の場合にのみ有効です。								
RDIE	INTRD出力許可							
0	INTRD出力を禁止							
1	INTRD出力を許可							
受信データ書き込み要求割り込み (INTRD) を許可または禁止します。本ビットは、CNFR1.EXMビットが1の場合にのみ有効です。								
FEIE	INTFED出力許可							
0	INTFED出力を禁止							
1	INTFED出力を許可							
立ち下がリエッジ検出割り込み (INTFED) を許可または禁止します。								
BPIE	INTBPD出力許可							
0	INTBPD出力を禁止							
1	INTBPD出力を許可							
バスパワーダウン検出割り込み (INTBPD) を許可または禁止します。								
CLIE	INTCLD出力許可							
0	INTCLD出力を禁止							
1	INTCLD出力を許可							
コリジョン検出割り込み (INTCLD) を許可または禁止します。本ビットは、CNFR2.CDEビットが1の場合にのみ有効です。								

図26 - 6 DALIコントロールレジスタ1 (CTR1) のフォーマット (2/2)

DEIE	INTED出力許可
0	INTED出力を禁止
1	INTED出力を許可
DALIエラー割り込み (INTED) を許可または禁止します。	

SDIE	INTSDD出力許可
0	INTSDD出力を禁止
1	INTSDD出力を許可
ストップビット検出割り込み (INTSDD) を許可または禁止します。本ビットは、TEビットおよびREビットがともに0の場合は無効です。	

RE	受信許可
0	受信動作を禁止
1	受信動作を許可 ^{注1}
受信動作を許可または禁止します。	

TE	送信許可
0	送信動作を禁止 ^{注2}
1	送信動作を許可 ^{注1}
送信動作を許可または禁止します。	

注1. ほかのDALI機器が通信中にREビットが0から1になると、DALIモジュールはその通信のデータを受信しようとします。このリスクを減らすには、REビットを1にする前にSTR1.BBFフラグをチェックし、DALI busがIDLE状態 (STR1.BBFフラグが0) であることを確認してください。

注2. 送信中にTEビットが1から0になった場合、DALIモジュールはただちに送信を停止します。

注意 ビット15, 7-2には、必ず0を設定してください。

26.2.6 DALITxD0コントロールレジスタ1 (TXDCTR1)

TXDCTR1 レジスタは、DALI モジュールの送信端子 DALITxD0 の動作を設定するレジスタです。

DALITxD0 端子の出力方法を選択することができます。

TXDCTR1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

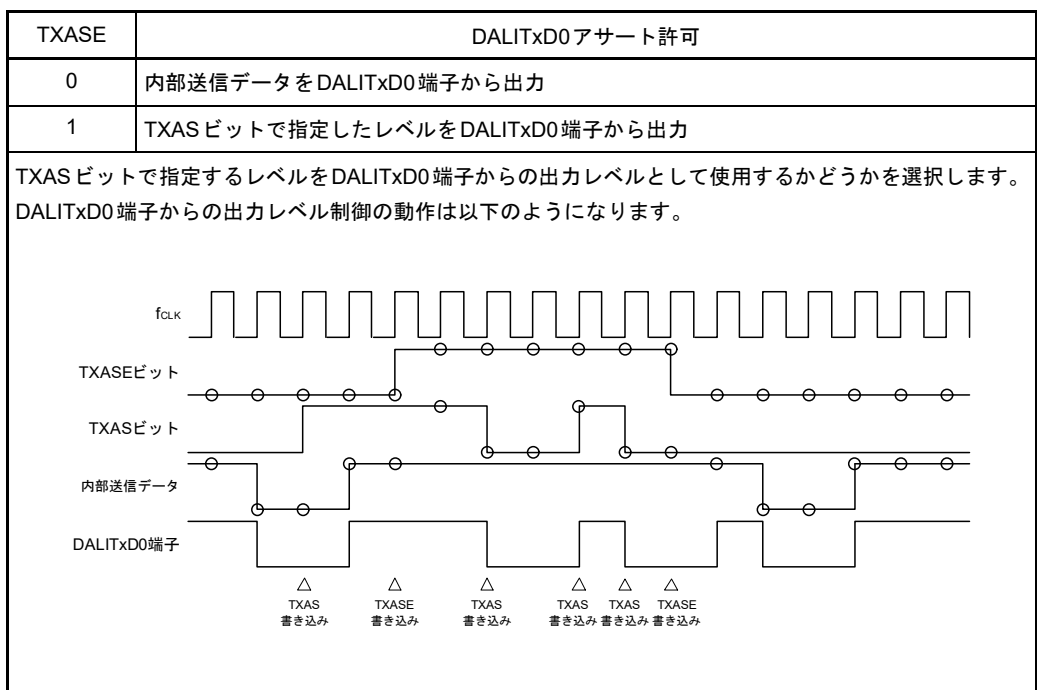
図26-7 DALITxD0コントロールレジスタ1 (TXDCTR1) のフォーマット

アドレス : F04E8H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TXDCTR1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	TXASE	TXAS



TXAS	DALITxD0アサートレベル
0	DALITxD0端子からの出力をLowにする
1	DALITxD0端子からの出力をHighにする

DALITxD0端子からの出力レベルとしてLowまたはHighを選択します。本ビットは、TXASEビットが1の場合に有効です。

注意 ビット15-2には、必ず0を設定してください。

26.2.7 DALI送信コントロールレジスタ1 (TRSTR1)

TRSTR1 レジスタは、DALI モジュールの送信動作を開始するトリガレジスタです。

TRSTR1 レジスタは、16 ビット・メモリ操作命令で書き込みます。

リセット信号の発生により、0000H になります。

図26 - 8 DALI送信コントロールレジスタ1 (TRSTR1) のフォーマット

アドレス : F04E2H
 リセット時: 0000H
 R/W属性 : W

略号	15	14	13	12	11	10	9	8
TRSTR1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	TRST

TRST	送信開始トリガ	
<p>CNFR1.EXM ビットによって動作が異なります。</p> <p>[非拡張モード時 (CNFR1.EXM ビットが0)]</p> <p>本ビットに1を書き込むと、送信が開始されます。送信中は、TRST ビットを次の送信用に設定できません^注。本ビットは、CTR1.TE ビットが1の場合にのみ有効です。1回の送信のデータ長は、CNFR1.CHL[2:0] ビットで指定します。本ビットに1を書き込むと、データはMSBファーストで送信されます。</p> <p>[拡張モード時 (CNFR1.EXM ビットが1)]</p> <p>本ビットに1を書き込むと、送信データ書き込み要求割り込み (INTTD) を出力します。INTTDは、CNFR1.CHL[3:0] ビットで指定したデータ長に応じた回数出力します。</p>		
	CNFR1.CHL[3:0] ビットの設定値	送信データ長
	0000	8ビット
	0001	16ビット
	0010	24ビット
	0011	32ビット
	0100	20ビット
	0101	17ビット
	1000	64ビット
	1001	128ビット
	1010	256ビット
	INTTD 割り込みにより DTC または CPU を起動し、送信データを 16 ビット単位で上位側 TDR1H レジスタから書き込んでください。	
	本ビットへの1書き込み後、最初の TDR1L レジスタへの書き込みをトリガに CNFR1.CHL[3:0] ビットで指定したデータ長を最上位ビットから送信します。送信中は、TRST ビットを次の送信用に設定できません ^注 。	
	本ビットは CTR1.TE ビットが1の場合にのみ有効です。	

(注、注意は次ページに続きます)

注 DALIモジュールには、送信状態を示すステータスフラグがありません。したがって、まずSTR1.BBFフラグが0であることを確認してからTRSTビットを1にしてください。その後、STR1.BBFフラグは1になり、フレーム送信が開始されたことを示します。送信が完了すると、INTSDDが出力されSTR1.BBFフラグは1から0になります。

注意 ビット15-1には、必ず0を設定してください。

26.2.8 DALIビットタイミング違反しきい値レジスタ1 (BTVTHR1)

BTVTHR1 レジスタは、DALI モジュールのビットタイミング違反 (BTV) の範囲を設定するレジスタです。

設定の詳細は、**26.3.3.4 ビットタイミング違反エラー**を参照してください。

BTVTHR1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、4F00H になります。

図26-9 DALIビットタイミング違反しきい値レジスタ1 (BTVTHR1) のフォーマット

アドレス : F04C0H

リセット時: 4F00H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
BTVTHR1	BTV2[7:0]							
	7	6	5	4	3	2	1	0
	0	BTV1[6:0]						
BTV2[7:0]	ビットタイミング違反しきい値2							
—	ビットタイミング違反しきい値2を指定							
ビットタイミング違反 (BTV) しきい値2を指定します。 $BTVしきい値2 = (BTV2[7:0] + 1) \times \text{DALIモジュール動作クロックサイクル}2\text{サイクル分}$ (6.5 μs Typ.) 例) BTV2[7:0]ビットに設定されている値が4DHの場合、BTVしきい値2 = 507 μsとなります。 BTV2[7:0]ビットに設定が可能な値は、6.5 ~ 1664 μsです (26.3.3.4 ビットタイミング違反エラー 参照)。 設定値は、周波数精度を考慮し IEC 62386-101 第2.0版 / 第2.1版を満たす必要があります。BTVしきい値の初期値では、グレー領域は存在しません。								
BTV1[6:0]	ビットタイミング違反しきい値1							
—	ビットタイミング違反しきい値1を指定							
ビットタイミング違反 (BTV) しきい値1を指定します。 $BTVしきい値1 = BTV1[6:0] \times \text{DALIモジュール動作クロックサイクル}2\text{サイクル分}$ (6.5 μs Typ.) 例) BTV1[6:0]ビットに設定されている値が33Hの場合、BTVしきい値1 = 331.5 μsとなります。 BTV1[6:0]ビットに設定が可能な値は、0 ~ 825.5 μsです (26.3.3.4 ビットタイミング違反エラー 参照)。 設定値は、周波数精度を考慮し IEC 62386-101 第2.0版 / 第2.1版を満たす必要があります。BTVしきい値の初期値では、グレー領域は存在しません。CNFR2.BTV1DIS ビットにてビットタイミング違反として扱うかを選択することができます。								

注意1. ビット7には、必ず0を設定してください。

注意2. ビットの書き換えは、CTR1.RE ビットおよびCTR1.TE ビットがともに0のときに行ってください。

26.2.9 DALIビットタイミング違反しきい値レジスタ2 (BTVTHR2)

BTVTHR2 レジスタは、DALI モジュールのビットタイミング違反 (BTV) の範囲を設定するレジスタです。

設定の詳細は、**26.3.3.4 ビットタイミング違反エラー**を参照してください。

BTVTHR2 レジスタは、16 ビット・メモリ操作命令で設定します。

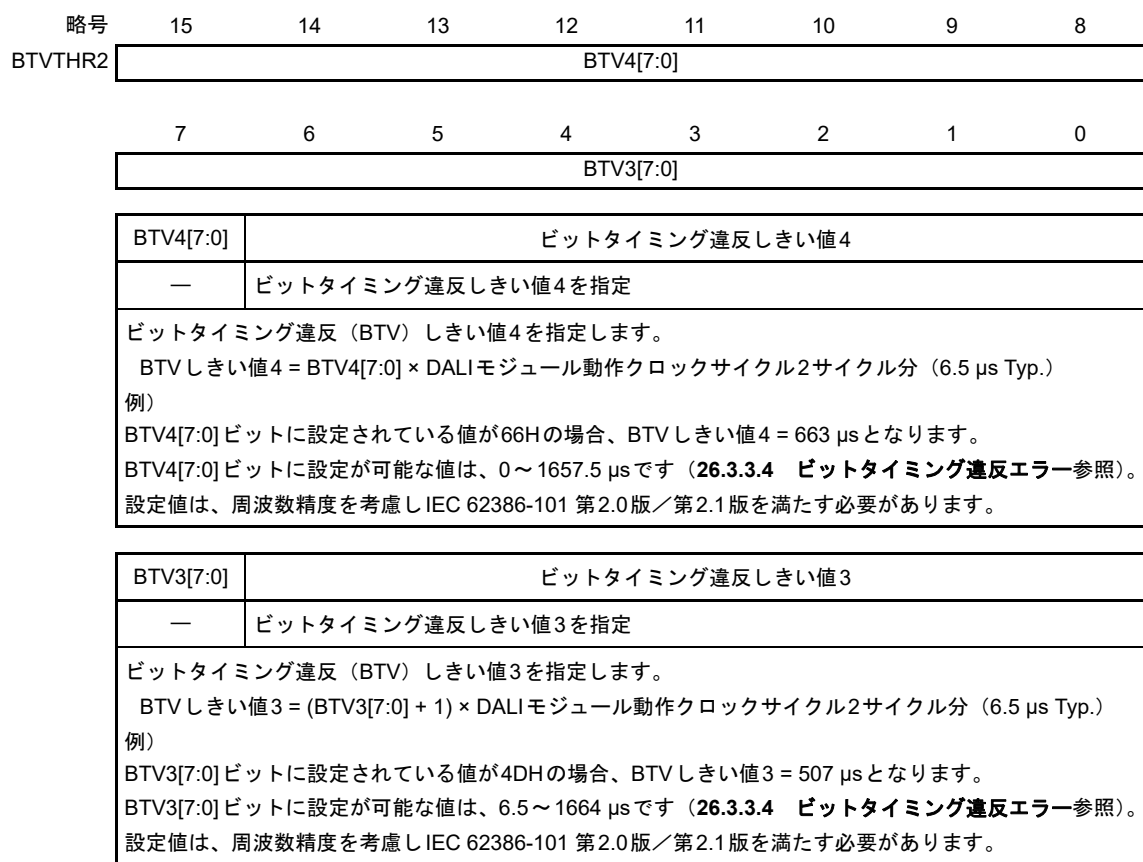
リセット信号の発生により、654FH になります。

図26 - 10 DALIビットタイミング違反しきい値レジスタ2 (BTVTHR2) のフォーマット

アドレス : F04C2H

リセット時: 654FH

R/W属性 : R/W



注意 ビットの書き換えは、CTR1.REビットおよびCTR1.TEビットがともに0のときのみ行ってください。

26.2.10 DALIビットタイミング違反しきい値レジスタ3 (BTVTHR3)

BTVTHR3 レジスタは、DALI モジュールのビットタイミング違反 (BTV) の範囲を設定するレジスタです。

設定の詳細は、**26.3.3.4 ビットタイミング違反エラー**を参照してください。

BTVTHR3 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、009DH になります。

図26 - 11 DALIビットタイミング違反しきい値レジスタ3 (BTVTHR3) のフォーマット

アドレス : F04C4H

リセット時: 009DH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
BTVTHR3	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	BTV5[7:0]							
BTV5[7:0]	ビットタイミング違反しきい値5							
—	ビットタイミング違反しきい値5を指定							
ビットタイミング違反 (BTV) しきい値5を指定します。 $\text{BTVしきい値5} = (\text{BTV5[7:0]} + 1) \times \text{DALIモジュール動作クロックサイクル2サイクル分 (6.5 } \mu\text{s Typ.)}$ 例) BTV5[7:0]ビットに設定されている値が9AHの場合、BTVしきい値5 = 1007.5 μs となります。 BTV5[7:0]ビットに設定が可能な値は、6.5 ~ 1664 μs です (26.3.3.4 ビットタイミング違反エラー 参照)。 設定値は、周波数精度を考慮し IEC 62386-101 第2.0版 / 第2.1版を満たす必要があります。BTVしきい値の初期値では、グレー領域は存在しません。								

注意1. ビット15-8には、必ず0を設定してください。

注意2. ビットの書き換えは、CTR1.REビットおよびCTR1.TEビットがともに0のときのみ行ってください。

26.2.11 DALIビットタイミング違反しきい値レジスタ4 (BTVTHR4)

BTVTHR4 レジスタは、DALI モジュールのビットタイミング違反 (BTV) の範囲とストップコンディションの時間を設定するレジスタです。そのため、ビットタイミング違反検出の動作許可禁止にかかわらず、DALI 通信動作を行う際は、本レジスタを必ず設定する必要があります。

設定の詳細は、**26.3.3.4 ビットタイミング違反エラー**および**26.3.2 ストップコンディション検出とセトリングタイム**を参照してください。

BTVTHR4 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00DBH になります。

図26-12 DALIビットタイミング違反しきい値レジスタ4 (BTVTHR4) のフォーマット

アドレス : F04C6H

リセット時: 00DBH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
BTVTHR4	0	0	0	0	0	0	0	BTV6[8]
	7	6	5	4	3	2	1	0
BTV6[7:0]								
BTV6[8:0]	ビットタイミング違反しきい値6							
—	ビットタイミング違反しきい値6を指定							
ビットタイミング違反 (BTV) しきい値6を指定します。 $BTV \text{ しきい値}6 = BTV6[8:0] \times \text{DALIモジュール動作クロックサイクル}2 \text{ サイクル分} (6.5 \mu\text{s Typ.})$ BTV しきい値6は、ストップコンディション定義にも使用されます。 例) BTV6[8:0] ビットに設定されている値が0D8Hの場合、BTV しきい値6 = 1404 μs となります。 BTV6[8:0] ビットに設定が可能な値は、1248 ~ 3321.5 μs です。1248 μs 未満 (1.5 ビット長未満) の設定は禁止です。 26.3.3.4 ビットタイミング違反エラー を参照してください。設定値は、周波数精度を考慮し IEC 62386-101 第2.0版/第2.1版を満たす必要があります。BTV しきい値の初期値は、グレー領域をストップコンディションに含める設定です。								

注意1. ビット15-9には、必ず0を設定してください。

注意2. ビットの書き換えは、CTR1.RE ビットおよびCTR1.TE ビットがともに0のときのみ行ってください。

26.2.12 DALIコリジョンしきい値レジスタ1 (COLTHR1)

COLTHR1 レジスタは、DALI モジュールのコリジョンの範囲を設定するレジスタです。

設定の詳細は、**26.3.4 コリジョン**を参照してください。

COLTHR1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、380FH になります。

図26 - 13 DALIコリジョンしきい値レジスタ1 (COLTHR1) のフォーマット

アドレス : F04C8H

リセット時: 380FH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
COLTHR1	0	0	COL2[5:0]					
	7	6	5	4	3	2	1	0
	0	0	COL1[5:0]					
COL2[5:0]	コリジョンしきい値2							
—	コリジョンしきい値2を指定							
コリジョン (COL) しきい値2を指定します。 $COL \text{ しきい値}2 = (COL2[5:0] + 1) \times \text{DALIモジュール動作クロックサイクル}2\text{サイクル分 (}6.5 \mu\text{s Typ.)}$ 例) COL2[5:0]ビットに設定されている値が37Hの場合、COLしきい値2 = 364 μs となります。 COL2[5:0]ビットに設定が可能な値は、6.5 ~ 416 μs です (26.3.4 コリジョン 参照)。設定値は、周波数精度を考慮し IEC 62386-101 第2.0版/第2.1版を満たす必要があります。								
COL1[5:0]	コリジョンしきい値1							
—	コリジョンしきい値1を指定							
コリジョン (COL) しきい値1を指定します。 $COL \text{ しきい値}1 = COL1[5:0] \times \text{DALIモジュール動作クロックサイクル}2\text{サイクル分 (}6.5 \mu\text{s Typ.)}$ 例) COL1[5:0]ビットに設定されている値が0FHの場合、COLしきい値1 = 97.5 μs となります。 COL1[5:0]ビットに設定が可能な値は、0 ~ 409.5 μs です (26.3.4 コリジョン 参照)。設定値は、周波数精度を考慮し IEC 62386-101 第2.0版/第2.1版を満たす必要があります。								

注意1. ビット15, 14, 7, 6には、必ず0を設定してください。

注意2. ビットの書き換えは、CTR1.REビットおよびCTR1.TEビットがともに0の時のみ行ってください。

26.2.13 DALIコリジョンしきい値レジスタ2 (COLTHR2)

COLTHR2 レジスタは、DALI モジュールのコリジョンの範囲を設定するレジスタです。

設定の詳細は、**26.3.4 コリジョン**を参照してください。

COLTHR2 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、443CH になります。

図26 - 14 DALIコリジョンしきい値レジスタ2 (COLTHR2) のフォーマット

アドレス : F04CAH

リセット時: 443CH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
COLTHR2	0	COL4[6:0]						
	7	6	5	4	3	2	1	0
	0	COL3[6:0]						
COL4[6:0]	コリジョンしきい値4							
—	コリジョンしきい値4を指定							
コリジョン (COL) しきい値4を指定します。 $COL \text{ しきい値}4 = (COL4[6:0] + 1) \times \text{DALIモジュール動作クロックサイクル}2\text{サイクル分 (}6.5 \mu\text{s Typ.)}$ 例) COL4[6:0] ビットに設定されている値が43Hの場合、COL しきい値4 = 442 μs となります。 COL4[6:0] ビットに設定が可能な値は、6.5 ~ 832 μs です (26.3.4 コリジョン 参照)。設定値は、周波数精度を考慮し IEC 62386-101 第2.0版/第2.1版を満たす必要があります。								
COL3[6:0]	コリジョンしきい値3							
—	コリジョンしきい値3を指定							
コリジョン (COL) しきい値3を指定します。 $COL \text{ しきい値}3 = COL3[6:0] \times \text{DALIモジュール動作クロックサイクル}2\text{サイクル分 (}6.5 \mu\text{s Typ.)}$ 例) COL3[6:0] ビットに設定されている値が3DHの場合、COL しきい値3 = 396.5 μs となります。 COL3[6:0] ビットに設定が可能な値は、0 ~ 825.5 μs です (26.3.4 コリジョン 参照)。設定値は、周波数精度を考慮し IEC 62386-101 第2.0版/第2.1版を満たす必要があります。								

注意1. ビット15, 7には、必ず0を設定してください。

注意2. ビットの書き換えは、CTR1.RE ビットおよびCTR1.TE ビットがともに0の時のみ行ってください。

26.2.14 DALIコリジョンしきい値レジスタ3 (COLTHR3)

COLTHR3 レジスタは、DALI モジュールのコリジョンの範囲を設定するレジスタです。

設定の詳細は、**26.3.4 コリジョン**を参照してください。

COLTHR3 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、7148H になります。

図26 - 15 DALIコリジョンしきい値レジスタ3 (COLTHR3) のフォーマット

アドレス : F04CCH

リセット時: 7148H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	
COLTHR3	0	COL6[6:0]							
	7	6	5	4	3	2	1	0	
	0	COL5[6:0]							
COL6[6:0]	コリジョンしきい値6								
—	コリジョンしきい値6を指定								
コリジョン (COL) しきい値6を指定します。 $COL \text{ しきい値}6 = (COL6[6:0] + 1) \times \text{DALIモジュール動作クロックサイクル}2\text{サイクル分} (6.5 \mu\text{s Typ.})$ 例) COL6[6:0] ビットに設定されている値が70Hの場合、COL しきい値6 = 734.5 μs となります。 COL6[6:0] ビットに設定が可能な値は、6.5 ~ 832 μs です (26.3.4 コリジョン 参照)。設定値は、周波数精度を考慮し IEC 62386-101 第2.0版/第2.1版を満たす必要があります。									
COL5[6:0]	コリジョンしきい値5								
—	コリジョンしきい値5を指定								
コリジョン (COL) しきい値5を指定します。 $COL \text{ しきい値}5 = COL5[6:0] \times \text{DALIモジュール動作クロックサイクル}2\text{サイクル分} (6.5 \mu\text{s Typ.})$ 例) COL5[6:0] ビットに設定されている値が49Hの場合、COL しきい値5 = 474.5 μs となります。 COL5[6:0] ビットに設定が可能な値は、0 ~ 825.5 μs です (26.3.4 コリジョン 参照)。設定値は、周波数精度を考慮し IEC 62386-101 第2.0版/第2.1版を満たす必要があります。									

注意1. ビット15, 7には、必ず0を設定してください。

注意2. ビットの書き換えは、CTR1.RE ビットおよびCTR1.TE ビットがともに0の時のみ行ってください。

26.2.15 DALIコリジョンしきい値レジスタ4 (COLTHR4)

COLTHR4 レジスタは、DALI モジュールのコリジョンの範囲を設定するレジスタです。

設定の詳細は、**26.3.4 コリジョン**を参照してください。

COLTHR4 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、8879H になります。

図26 - 16 DALIコリジョンしきい値レジスタ4 (COLTHR4) のフォーマット

アドレス : F04CEH

リセット時: 8879H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
COLTHR4	COL8[7:0]							
	7	6	5	4	3	2	1	0
	COL7[7:0]							
COL8[7:0]	コリジョンしきい値8							
—	コリジョンしきい値8を指定							
<p>コリジョン (COL) しきい値8を指定します。</p> <p>$COL \text{ しきい値}8 = (COL8[7:0] + 1) \times \text{DALIモジュール動作クロックサイクル}2\text{サイクル分} (6.5 \mu\text{s Typ.})$</p> <p>例)</p> <p>COL8[7:0]ビットに設定されている値が86Hの場合、COLしきい値8 = 877.5 μsとなります。</p> <p>COL8[7:0]ビットに設定が可能な値は、6.5 ~ 1664 μsです (26.3.4 コリジョン参照)。設定値は、周波数精度を考慮し IEC 62386-101 第2.0版/第2.1版を満たす必要があります。</p>								
COL7[7:0]	コリジョンしきい値7							
—	コリジョンしきい値7を指定							
<p>コリジョン (COL) しきい値7を指定します。</p> <p>$COL \text{ しきい値}7 = COL7[7:0] \times \text{DALIモジュール動作クロックサイクル}2\text{サイクル分} (6.5 \mu\text{s Typ.})$</p> <p>例)</p> <p>COL7[7:0]ビットに設定されている値が7DHの場合、COLしきい値7 = 812.5 μsとなります。</p> <p>COL7[7:0]ビットに設定が可能な値は、0 ~ 1657.5 μsです (26.3.4 コリジョン参照)。設定値は、周波数精度を考慮し IEC 62386-101 第2.0版/第2.1版を満たす必要があります。</p>								

注意 ビットの書き換えは、CTR1.REビットおよびCTR1.TEビットがともに0のときのみ行ってください。

26.2.16 DALIコリジョンしきい値レジスタ5 (COLTHR5)

COLTHR5 レジスタは、DALI モジュールのコリジョンの範囲を設定するレジスタです。

設定の詳細は、**26.3.4 コリジョン**を参照してください。

COLTHR5 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、008EH になります。

図26 - 17 DALIコリジョンしきい値レジスタ5 (COLTHR5) のフォーマット

アドレス : F04D0H

リセット時: 008EH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
COLTHR5	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	COL9[7:0]							
COL9[7:0]	コリジョンしきい値9							
—	コリジョンしきい値9を指定							
<p>コリジョン (COL) しきい値9を指定します。</p> <p>COL しきい値9 = COL9[7:0] × DALIモジュール動作クロックサイクル2サイクル分 (6.5 μs Typ.)</p> <p>例)</p> <p>COL9[7:0]ビットに設定されている値が91Hの場合、COL しきい値9 = 942.5 μsとなります。</p> <p>COL9[7:0]ビットに設定が可能な値は、0 ~ 1657.5 μsです (26.3.4 コリジョン参照)。設定値は、周波数精度を考慮し IEC 62386-101 第2.0版/第2.1版を満たす必要があります。</p>								

注意1. ビット15-8には、必ず0を設定してください。

注意2. ビットの書き換えは、CTR1.REビットおよびCTR1.TEビットがともに0のときのみ行ってください。

26.2.17 DALI送信データレジスタ 1H, 1L (TDR1H, TDR1L)

TDR1H, TDR1L レジスタは、DALI モジュールの送信データを設定するレジスタです。

TDR1H, TDR1L レジスタは、16 ビット・メモリ操作命令で設定します。

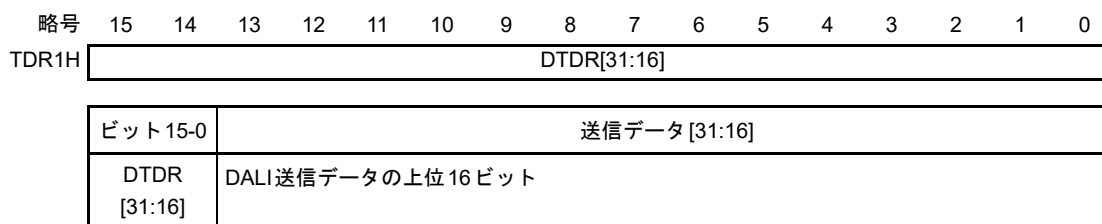
リセット信号の発生により、0000H になります。

図26 - 18 DALI送信データレジスタ 1H, 1L (TDR1H, TDR1L) のフォーマット (1/2)

アドレス : F04DEH

リセット時: 0000H

R/W属性 : R/W



アドレス : F04E0H

リセット時: 0000H

R/W属性 : R/W

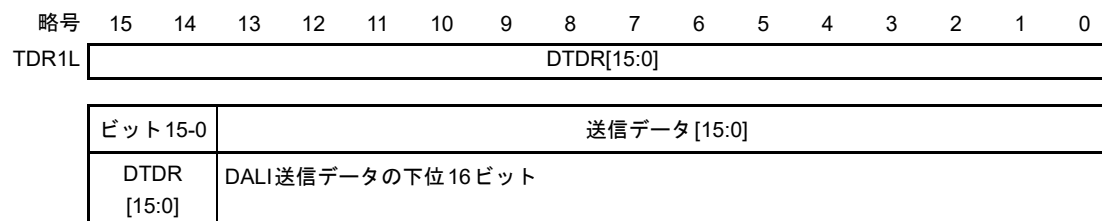


図26 - 18 DALI送信データレジスタ 1H, 1L (TDR1H, TDR1L) のフォーマット (2/2)

- 非拡張モード時 (CNFR1.EXM = 0)
DALIモジュールが送信する最大データ長は32ビット (DTDR[31:0]) です。
TDR1Hレジスタは送信データの上位16ビット (DTDR[31:16]) を、TDR1Lレジスタは送信データの下部16ビット (DTDR[15:0]) を格納します。
送信開始する (TRSTR1.TRSTビットに1を書き込む) と、CNFR1.CHL[2:0]ビットで指定された長さのデータがMSBファーストで送信されます。
未指定のビットに書き込まれた値は無視されます。
これらのレジスタは、送信トリガ入力後、INTSDD出力 (送信終了時) またはINTCL出力により送信が停止されるまで書き換えしないでください。
例)
CNFR1.CHL[3:0]ビットが0000Bの場合、DTDR[7:0]ビットの値が送信されます。
例)
CNFR1.CHL[3:0]ビットが0010Bの場合、DTDR[23:16]ビットの値が送信され、その後DTDR[15:0]ビットの値が送信されます。
- 拡張モード時 (CNFR1.EXM = 1)
DALIモジュールが送信するデータ長は最大256ビットまで拡張されます。
なお、送信データ長が32ビット以下に指定された場合のデータの扱いは非拡張と変わりません。
送信データ長が32ビットより大きい場合、送信データは32ビット単位で扱われます。
TDR1Hレジスタは32ビット単位の上位16ビット (DTDR[31:16]) を、TDR1Lレジスタは下部16ビット (DTDR[15:0]) を格納します。
送信開始する (TRSTR1.TRSTビットに1を書き込む) と、INTTDを出力します。INTTDによりDTCまたはCPUを使用し、必ず上位16ビットレジスタ (TDR1H) から下部16ビットレジスタ (TDR1L) の順で書き換えてください。
INTTDはCNFR1.CHL[3:0]ビットで指定したデータ長に応じて必要回数分出力します。

26.2.18 DALI受信データレジスタ 1H, 1L (RDR1H, RDR1L)

RDR1H, RDR1L レジスタは、DALI モジュールの受信データを格納するレジスタです。

RDR1H, RDL1L レジスタは、16 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、0000H になります。

図26 - 19 DALI受信データレジスタ 1H, 1L (RDR1H, RDR1L) のフォーマット

アドレス : F04EEH

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDR1H	DRDR[31:16]															
ビット 15-0	受信データ [31:16]															
DRDR [31:16]	DALI 受信データの上位 16 ビット															

アドレス : F04F0H

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDR1L	DRDR[15:0]															
ビット 15-0	受信データ [15:0]															
DRDR [15:0]	DALI 受信データの低位 16 ビット															

ストップコンディションが検出されCTR1.RE ビットが1になると、受信データフレームが右詰めでこれらのレジスタに格納されます。レジスタは、受信データの論理値として3/4ビットタイミングでのサンプリング値を格納します。

例)

24ビットデータ受信時、データはRDR1H.DRDR[23:16]ビットおよびRDR1L.DRDR[15:0]ビットに格納されます。

例)

8ビットデータ受信時、データはRDR1L.DRDR[7:0]ビットに格納されます。

受信データが内部シフトレジスタから格納された場合は、以前の値はクリアされます。内部シフトレジスタに受信されなかったビットを読むと0が読み出されます。STR2.RDBL[8:0]ビットにある受信データ長を確認することにより有効ビットを決定してください。

26.2.19 DALIステータスレジスタ1 (STR1)

STR1 レジスタは、DALI モジュールのステータスを確認するレジスタです。

STR1 レジスタは、16 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、0000H になります。

図26-20 DALIステータスレジスタ1 (STR1) のフォーマット (1/3)

アドレス : F04F2H

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
STR1	0	0	0	0	0	URF	DAF	CDF
	7	6	5	4	3	2	1	0
	LFRF	BPDF	BBF	TENDF	RDRF	BTVF	OVF	MFEF
URF	アンダランエラーフラグ							
0	アンダランエラーは発生していない、FECE1.URFC ビットに1が書き込まれた、または CNFR1.EXM ビットが0							
1	アンダランエラーが発生した							
アンダランエラーが発生したかどうかを示します。拡張モード時 (CNFR1.EXM = 1) のみ有効です。								
DAF	破壊領域フラグ							
0	破壊領域でコリジョンは発生していない、またはFECE1.DAFC ビットに1が書き込まれた							
1	破壊領域でコリジョンが発生した							
コリジョン検出時にコリジョンが破壊領域で発生したかどうかを示します。								
CDF	コリジョン検出フラグ							
0	コリジョンは発生していない、またはFECE1.CDFC ビットに1が書き込まれた ^{注1}							
1	コリジョンが発生した							
コリジョンが発生したかどうかを示します。								

図26 - 20 DALIステータスレジスタ1 (STR1) のフォーマット (2/3)

LFRF	ロングフレーム受信フラグ
0	<ul style="list-style-type: none"> 非拡張モード時 (CNFR1.EXM = 0) 受信データは32ビット以下、またはFECR1.LFRFCビットに1が書き込まれた^{注1} 拡張モード時 (CNFR1.EXM = 1) 受信データは256ビット以下、またはFECR1.LFRFCビットに1が書き込まれた^{注1, 2}
1	<ul style="list-style-type: none"> 非拡張モード時 (CNFR1.EXM = 0) 受信データは33ビット以上 (33ビット目の受信が確認された) 拡張モード時 (CNFR1.EXM = 1) 受信データは257ビット以上 (257ビット目の受信が確認された)
<p>• 非拡張モード時 (CNFR1.EXM = 0) 受信データ33ビット目が認識されるとLFRFフラグが設定されます。ただし、33ビット目がHighレベルで、続くBTVしきい値6の期間中もHighレベルが検出された場合は、ストップコンディションと判断し、LFRFフラグは設定されません。BTVしきい値6の期間中に立ち下がりエッジが検出された場合は、MFEと判断し、LFRFフラグが設定されます。詳細は、下記の図を参照してください。</p> <p>• 拡張モード時 (CNFR1.EXM = 1) 受信データ257ビット目が認識されるとLFRFフラグが設定されます。ただし、257ビット目がHighレベルで、続くBTVしきい値6の期間中もHighレベルが検出された場合は、ストップコンディションと判断し、LFRFフラグは設定されません。BTVしきい値6の期間中に立ち下がりエッジが検出された場合は、MFEと判断し、LFRFフラグが設定されます。詳細は、下記の図を参照してください。</p> <p>STR2.RDBL[5:0] 前の値 34</p>	

BPDF	バスパワーダウンフラグ
0	下記の条件のいずれかが成立時、本ビットは0になる <ul style="list-style-type: none"> DALIバスパワーダウンが未検出 FECR1.BPDFCビットに1の書き込み^{注1} DALIRxD0入力信号の立ち上がり
1	BTVTHR4.BTV6[8:0]ビットで設定した期間中DALIRxD0入力信号がLowのとき
DALIバスパワーダウンが検出されたことを示します。	

図26 - 20 DALIステータスレジスタ1 (STR1) のフォーマット (3/3)

BBF	バスビジーフラグ
0	DALI busはIDLE状態
1	DALI busはBUSY状態
<p>DALI busの使用状態を示します。コリジョン発生時、フラグ値は無効です。 本ビットは、CTR1.TEビットおよびCTR1.REビットが0の場合、無効です。</p> <p>[0になる条件]</p> <ul style="list-style-type: none"> ・ストップコンディションを検出したとき (DALI busはIDLE状態) ・FECR1.BBFCビットに1を書き込んだとき^{注1} ・DALI busの立ち下がりがエッジがスタートビットとして誤検出されたとき <p>[1になる条件]</p> <ul style="list-style-type: none"> ・DALIRxD0入力信号で立ち下がりがエッジが検出されたとき ・CTR1.TEビットまたはCTR1.REビットが0から1になった場合に、DALIRxD0入力信号レベルがLowのとき 	
TENDF	送信終了フラグ
0	FECR1.TENDFCビットに値1が書き込まれた
1	フレーム送信完了
DALIモジュールがフレーム送信を完了したことを示します。	
RDRF	受信データレジスタフルフラグ
0	RDR1Lレジスタが読み出された ^{注3} 、またはFECR1.RDRFCに1が書き込まれた ^{注1}
1	受信データがRDR1LレジスタまたはRDR1Hレジスタに格納された
RDR1LレジスタまたはRDR1Hレジスタに未読の受信データがあることを示します。	
BTVF	ビットタイミング違反フラグ
0	ビットタイミング違反は発生していない、またはFECR1.BTVFCビットに1が書き込まれた ^{注1}
1	ビットタイミング違反が発生した
ビットタイミング違反が受信データで検出されたことを示します。	
OVF	オーバランエラーフラグ
0	オーバランエラーは発生していない、またはFECR1.OVFCビットに1が書き込まれた ^{注1}
1	オーバランエラーが発生した
オーバランエラーが検出されたことを示します。	
MFEF	マンチェスタフレーミングエラーフラグ
0	MFEは発生していない、またはFECR1.MFEFCビットに1が書き込まれた ^{注1}
1	MFEが発生した
CNFR2.MFEDISビットが0のとき、Manchester Framing Error (MFE) を検出したことを示します。 CNFR2.MFEDISビットが1のとき、本ビットは常に0になります。	

注1. フラグが1になる条件と0になる条件が競合した場合、1になる条件が優先されます。

(注、注意は次ページに続きます)

- 注2.** LFRF = 1の状態では次のフレーム受信を開始すると、受信開始タイミングでINTRDが出力されます。
受信完了時に本フラグがセットされた場合は、次のフレームの受信開始前にフラグをクリアしてください。
- 注3.** RDR1Lレジスタが読み出されたとき、DALIモジュールは受信データの読み出し動作が完了したと判断します。
受信データ長が17～32ビットの場合、上位16ビット (RDR1Hレジスタ) を最初に読み出してください。下位ビット (RDR1Lレジスタ) を最初に読み出すと、RDR1Hレジスタを読み出さなくてもRDRFフラグは0になります。
- 注意** ビット15-11には、必ず0を設定してください。

26.2.20 DALIステータスレジスタ2 (STR2)

STR2 レジスタは、DALI モジュールの受信データビット長 (RDBL[8:0]) を確認するレジスタです。

STR2 レジスタは、16 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、0000H になります。

図26-21 DALIステータスレジスタ2 (STR2) のフォーマット

アドレス : F04F4H

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
STR2	0	0	0	0	0	0	0	RDBL[8]
	7	6	5	4	3	2	1	0
	RDBL[7:0]							
RDBL[8:0]	受信データビット長							
—	正常受信されたデータのビット長							
<p>正常受信されたデータのビット長を格納します。STR1.LFRFフラグが0のとき、RDBL[8:0]ビットは、開始ビットと終了ビットを除く受信データ長を示しています。</p> <p>受信動作がエラーまたはコリジョン発生のために停止された場合、RDBL[8:0]ビットは正常に受信できたビット数を示します。</p> <p>本レジスタは、ストップコンディション検出時に更新されます。受信完了時、受信したフレームサイズを本レジスタで確認してください。</p> <p>なお、STR1.LFRFフラグが1のとき、本レジスタの値は無効です。</p> <p>RDBL[8:0]ビットの最大値は、CNFR1.EXMビットの設定値により変わります。</p> <p>CNFR1.EXM = 0のとき、RDBL[8:0]ビットの最大値 = 03FH</p> <p>CNFR1.EXM = 1のとき、RDBL[8:0]ビットの最大値 = 1FFH</p> <p>非拡張モード (CNFR1.EXM = 0) のときはRDBL[8:6]は0固定になります。</p> <p>例)</p> <p>RDBL[8:0]ビットが000001000Bの場合、8ビットデータが受信されたことを示します。</p>								

26.2.21 DALIコリジョンレジスタ1 (COLR1)

COLR1 レジスタは、DALI モジュールにおけるコリジョン発生の状態を確認するレジスタです。

COLR1 レジスタは、16 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、0800H になります。

図26 - 22 DALIコリジョンレジスタ1 (COLR1) のフォーマット (1/2)

アドレス : F04F6H

リセット時: 0800H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
COLR1	0	0	TXDCV	RXDCEG	RXDMON	CLDAF	0	0
	7	6	5	4	3	2	1	0
	0	0	0	CDTF1	CDTF2[3:0]			
TXDCV	DALITxD0コリジョンステータスフラグ							
0	Low							
1	High							
コリジョンが発生した場合に、コリジョン発生時のDALITxD0の状態（レベル）を保存するビットです。CLDAFフラグが0のとき、コリジョンが発生した時のDALITxD0端子の状態を格納します。CLDAFフラグが1のとき、本ビットは前の値を保持します ^{注1} 。								
RXDCEG	DALIRxD0コリジョンステータスフラグ							
0	立ち下がりエッジ							
1	立ち上がりエッジ							
コリジョンが発生した場合に、コリジョン発生の要因となったDALIRxD0の状態（エッジ）を保存するビットです。CLDAFフラグが0のとき、コリジョン検出の要因となったDALIRxD0のエッジ（立ち上がりまたは立ち下がり）を格納します。CLDAFフラグが1のとき、本ビットは前の値を保持します ^{注1} 。								
RXDMON	DALIRxD0モニタビット							
DALIRxD0入力信号をモニタするビットです。DALIRxD0入力信号幅調整機能を通った後の信号状態を本ビットで確認することができます。本ビットは、CTR1.TEビットおよびCTR1.REビットの設定にかかわらず、常に読み出すことができます。本ビットは、fCLK停止中、前の値を保持します。								
CLDAF	コリジョン要因フラグ							
0	有効ではない領域でDALIRxD0エッジが発生した							
1	DALIRxD0エッジが発生しない（最後の破壊領域でコリジョンを検出）							
コリジョン発生の要因を示すフラグです。CLDAF = 0の場合、有効ではない（ハーフビットまたは2ハーフビットではない）タイミングでDALIRxD0端子にエッジが発生したことを示します。詳細な発生のタイミングはCDTF1, CDTF2[3:0]フラグを確認してください。CLDAF = 1の場合、 図26 - 39 の領域6または 図26 - 40 の領域10において、途中の有効領域を過ぎてLowを継続したことを示します。								

図26 - 22 DALIコリジョンレジスタ1 (COLR1) のフォーマット (2/2)

CDTF1	コリジョン検出タイミングフラグ1			
0	ビットの境界エッジでコリジョン検出 (図26 - 39 コリジョン検出タイミング1) 注2			
1	ビットの中間エッジでコリジョン検出 (図26 - 40 コリジョン検出タイミング2) 注2			
コリジョン検出タイミングを格納します。				
CDTF2[3:0]				コリジョン検出タイミングフラグ2
0	0	0	0	リセット解除後
0	0	0	1	コリジョン検出タイミング1
0	0	1	0	コリジョン検出タイミング2
0	0	1	1	コリジョン検出タイミング3
0	1	0	0	コリジョン検出タイミング4
0	1	0	1	コリジョン検出タイミング5
0	1	1	0	コリジョン検出タイミング6
0	1	1	1	コリジョン検出タイミング7注3
1	0	0	0	コリジョン検出タイミング8注3
1	0	0	1	コリジョン検出タイミング9注3
1	0	1	0	コリジョン検出タイミング10注3
上記以外				無効
CLDAFフラグが0のとき、コリジョン検出タイミングを格納します。 CLDAFフラグが1のとき、本ビットは前の値を保持します注1。 CDTF2[3:0]ビットは図26 - 39に示すタイミング (1~10) および図26 - 40に示すコリジョン検出時のタイミングを格納します。				

注1. STR1.CDFフラグのクリアではクリアされません。リセットまたはソフトリセットによりクリアされます。

注2. 図26 - 28において、ビット境界でのエッジは「*a」、ビット中間でのエッジは「*b」で示されます。

注3. CDTF1フラグが0のとき、本条件は発生しません。

26.2.22 DALIフラグエラークリアレジスタ1 (FECE1)

FECE1 レジスタは、DALI モジュールの各種エラーフラグをクリアするためのレジスタです。

FECE1 レジスタは、16 ビット・メモリ操作命令で書き込みます。

読み出しは常に0になります。

リセット信号の発生により、0000Hになります。

図26 - 23 DALIフラグエラークリアレジスタ1 (FECE1) のフォーマット (1/2)

アドレス : F04FAH
 リセット時: 0000H
 R/W属性 : W

略号	15	14	13	12	11	10	9	8
FECE1	0	0	0	0	0	URFC	DAFC	CDFC
	7	6	5	4	3	2	1	0
	LFRFC	BPDFC	BBFC	TENDFC	RDRFC	BTVFC	OVFC	MFEFC
URFC	アンダランエラーフラグクリア							
0	STR1.URF フラグをクリアしない							
1	STR1.URF フラグをクリアする							
DAFC	破壊領域フラグクリア							
0	STR1.DAF フラグをクリアしない							
1	STR1.DAF フラグをクリアする							
CDFC	コリジョン検出フラグクリア							
0	STR1.CDF フラグをクリアしない							
1	STR1.CDF フラグをクリアする							
LFRFC	ロングフレーム受信フラグクリア							
0	STR1.LFRF フラグをクリアしない							
1	STR1.LFRF フラグをクリアする							
BPDFC	バスパワーダウンフラグクリア							
0	STR1.BPDF フラグをクリアしない							
1	STR1.BPDF フラグをクリアする							
BBFC	バスビジーフラグクリア							
0	STR1.BBF フラグをクリアしない							
1	STR1.BBF フラグをクリアする注							
TENDFC	送信終了フラグクリア							
0	STR1.TENDF フラグをクリアしない							
1	STR1.TENDF フラグをクリアする							

図26 - 23 DALIフラグエラークリアレジスタ1 (FECR1) のフォーマット (2/2)

RDRFC	受信データレジスタフルフラグクリア
0	STR1.RDRF フラグをクリアしない
1	STR1.RDRF フラグをクリアする
BTVFC	ビットタイミング違反フラグクリア
0	STR1.BTVF フラグをクリアしない
1	STR1.BTVF フラグをクリアする
OVFC	オーバランエラーフラグクリア
0	STR1.OVF フラグをクリアしない
1	STR1.OVF フラグをクリアする
MFEFC	マンチェスタフレーミングエラーフラグクリア
0	STR1.MFEF フラグをクリアしない
1	STR1.MFEF フラグをクリアする

注 CTR1.TEビットまたはCTR1.REビットが1のときSTR1.BBFフラグをクリアしないでください。

注意 ビット15-11には、必ず0を設定してください。

26.2.23 DALIソフトリセットレジスタ1 (SWRR1)

SWRR1 レジスタは、DALI モジュールのデータレジスタと内部状態および出力端子を初期化するためのレジスタです。

SWRR1 レジスタは、16 ビット・メモリ操作命令で書き込みます。

読み出しは常に0になります。

リセット信号の発生により、0000Hになります。

図26-24 DALIソフトリセットレジスタ1 (SWRR1) のフォーマット

アドレス : F04FCH

リセット時: 0000H

R/W属性 : W

略号	15	14	13	12	11	10	9	8
SWRR1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	SWR

SWR	ソフトリセット
	<p>本ビットに1を書き込むと、DALIモジュールのデータレジスタと内部状態および出力端子を初期化します。制御レジスタは初期化されません。ソフトリセットはfCLKの1サイクルで完了し、次のサイクルから通信を再開します。初期化されるレジスタ、割り込み要求信号および出力端子は以下のとおりです。</p> <p>レジスタ :</p> <ul style="list-style-type: none"> • RDR1L, RDR1H • STR1, STR2 • COLR1 (RXDMONビットおよびCLDAFフラグを除く) <p>割り込み要求信号 :</p> <p>INTSDD, INTFED, INTBPD, INTCLD, INTED, INTRD, INTTD</p> <p>DALIモジュールの出力端子 :</p> <p>DALITxD0</p>

注意 ビット15-2には、必ず0を設定してください。

26.2.24 DALITxD0 波形調整レジスタ 1 (TXWR1)

TXWR1 レジスタは、DALITxD0 波形の出力波形を調整するレジスタです。

TXWR1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、003FH になります。

図26 - 25 DALITxD0 波形調整レジスタ 1 (TXWR1) のフォーマット

アドレス : F04D6H

リセット時: 003FH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TXWR1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	TXLW[6:0]						
TXLW[6:0]	DALITxD0 出力波形の Low レベル幅							
—	DALITxD0 端子の Low レベル幅							
<p>設定値を変更することにより、DALITxD0 端子から送信されるマンチェスタコードの High/Low レベル幅を DALI モジュール動作クロック 2 サイクル単位 (6.5 μs Typ.) で調整が可能です。</p> <p>DALI bus に接続される回路の立ち上がり/立ち下がり特性が偏っているときに、補正を掛けることが可能です。</p> <p>本機能を ON (CNFR2.TXWE ビットが 1) したときと OFF (CNFR2.TXWE ビットが 0) のときの High/Low レベル幅は次のようになります。</p> <p>CNFR2.TXWE ビットが 0 のとき</p> <ul style="list-style-type: none"> • Low レベル幅 : 416 μs (リセット値 = 3FH) • High レベル幅 : 416 μs (リセット値 = 3FH) <p>CNFR2.TXWE ビットが 1 のとき</p> <ul style="list-style-type: none"> • Low レベル幅 : (TXLW[6:0] + 1) \times 6.5 μs • High レベル幅 : 832 μs - {(TXLW[6:0] + 1) \times 6.5 μs} <p>TXLW[6:0] ビットに設定が可能な値は、20H (214.5 μs) ~ 5EH (617.5 μs) です。</p> <p>詳細は、26.3.6 DALITxD0 出力波形幅調整機能を参照してください。</p>								

注意 ビット 15-7 には、必ず 0 を設定してください。

26.2.25 DALIRxD0 波形調整レジスタ 1 (RXWR1)

RXWR1 レジスタは、DALIRxD0 波形の入力波形を調整することができるレジスタです。

RXWR1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、3F00H になります。

図26 - 26 DALIRxD0 波形調整レジスタ 1 (RXWR1) のフォーマット

アドレス : F04D8H

リセット時: 3F00H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
RXWR1	RSPOL	0	RSLEN[5:0]					
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	RSEN
RSPOL	DALIRxD0 補正対象極性の選択							
0	DALIRxD0 入力波形の Low レベル幅を伸長する							
1	DALIRxD0 入力波形の High レベル幅を伸長する							
DALIRxD0 入力波形幅調整機能で伸長する極性を指定します。RSEN ビットが1のときに有効です。								
RSLEN[5:0]	DALIRxD0 入力波形の伸長幅							
00H-3EH	DALIRxD0 入力波形の伸長幅を設定							
DALIRxD0 入力波形で伸長される時間を指定します。RSEN ビットが1のとき有効です。 伸長する極性は RSPOL で指定します。 伸長する時間は DALI モジュール動作クロックサイクル単位 (3.25 μs Typ.) で設定できます。 RSLEN[5:0] に伸長したい時間 - 1 の値を設定してください。設定できる範囲は以下のとおりです。 00H (= 3.25 μs) ~ 3EH (= 204.75 μs) 3FH を設定すると、入力波形補正が無効になります。								
RSEN	DALIRxD0 入力波形幅調整機能の動作許可							
0	DALIRxD0 入力波形幅調整機能の動作禁止							
1	DALIRxD0 入力波形幅調整機能の動作許可							
DALIRxD0 入力波形幅調整機能の動作を許可または禁止します。詳細は、 26.3.7 DALIRxD0 入力波形幅調整機能 を参照してください。								

注意 ビット14, 7-1には、必ず0を設定してください。

26.2.26 DALI受信タイミング調整レジスタ0 (FTDC0)

FTDC0 レジスタは、DALIRxD0 入力信号の 1/4 ビットおよび 3/4 ビットタイミングでのサンプリングタイミングを調整するレジスタです。

詳細は、**26.3.5 DALIRxD0 入力信号のサンプリングタイミングとビット長調整**を参照してください。

FTDC0 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図26-27 DALI受信タイミング調整レジスタ0 (FTDC0) のフォーマット

アドレス : F04E4H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FTDC0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	IST

注意 ビット15-1には、必ず0を設定してください。

26.2.27 DALI入出力と端子を兼用するポートのポート機能を制御するレジスタ

DALI 入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx)、7.3.2 ポート・レジスタ (Pxx)、7.3.4 ポート入力モード・レジスタ (PIMxx)、7.3.5 ポート出力モード・レジスタ (POMxx) および 7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) を参照してください。

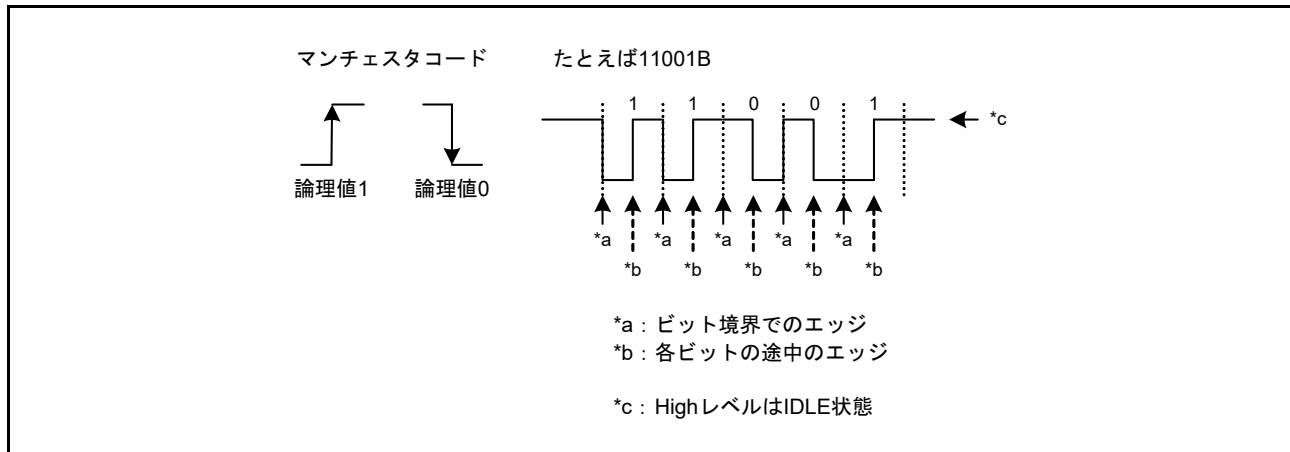
ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

26.3 DALI通信機能

26.3.1 データフォーマット

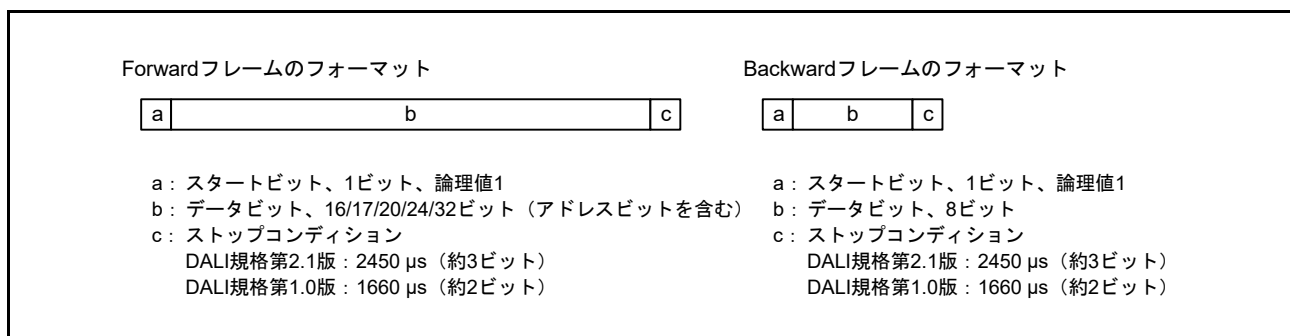
DALI 通信では、ビットはマンチェスタコードを使用して定義されます。マンチェスタコードでは、論理値 1 と 0 を電圧レベル (High または Low) ではなく、レベルの変化 (立ち上がりまたは立ち下がりエッジ) で表現します。

図26 - 28 マンチェスタコード



DALI 通信フレームは、個々に Forward フレームおよび Backward フレームと定義されます。Forward フレームは、アプリケーションコントローラ間、インプットデバイスからアプリケーションコントローラ、またはアプリケーションコントローラからコントロールギアに送信されます。Backward フレームは、コントロールギアまたはインプットデバイスからアプリケーションコントローラに送信されます。フレームは、スタートビット、データビットおよびストップコンディションから構成されます。DALIRxD0 端子は受信用で、DALITxD0 端子は送信用です。通信はデータフレーム単位で行われます。

図26 - 29 DALIデータフォーマット



26.3.2 ストップコンディション検出とセtringタイム

DALI bus がBTV しきい値 6 の期間中 High に固定されている場合、DALI モジュールは、ストップコンディションが検出されたと判断し INTSDD を出力します^{注1}。STR1 レジスタをチェックし、ストップコンディションが別の DALI 機器から出力されたのか、または DALI モジュールから出力されたのかを判断してください。STR1.TENDF フラグが 1 のとき、ストップコンディションは DALI モジュールより送信されます^{注2}。DALI bus の High レベル期間は最終立ち上がりエッジから測定されるので、測定開始タイミングは最終データビットの論理値により変わります (図 26 - 30 ストップコンディション検出参照)。

なお、ストップコンディションの定義は、表 26 - 3 のように DALI 規格で指定されています。

表26-3 ストップコンディション定義

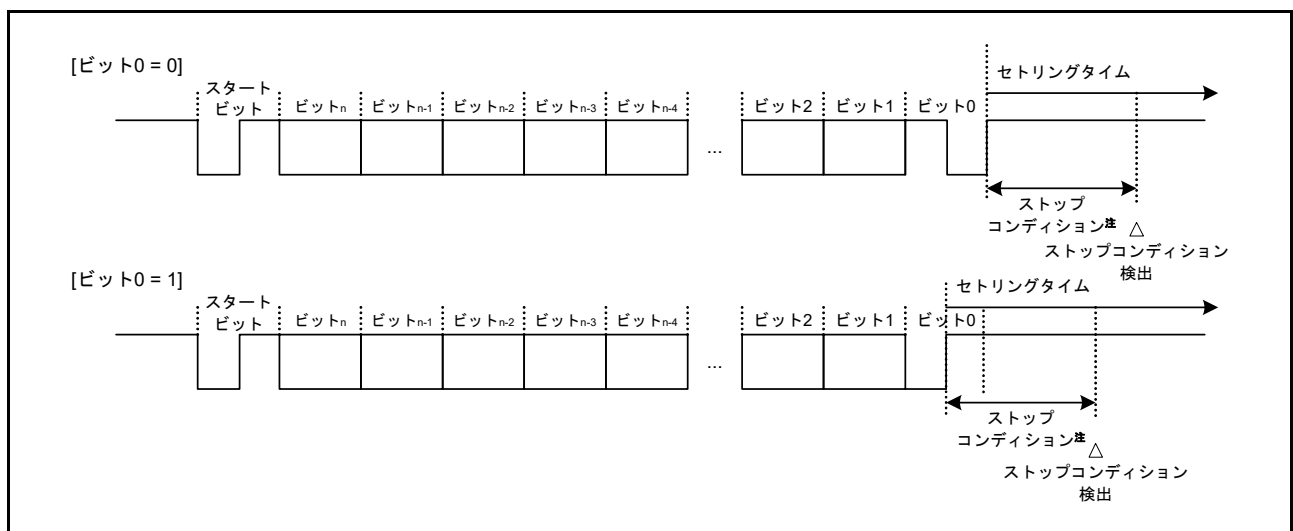
規格	IEC 62386-101, -102 第1.0版	IEC 62386-101 第2.0版 シングルマスタ	IEC 62386-101 第2.0版 マルチマスタ	IEC 62386-101 第2.1版
ストップコンディション定義	2ビット ^注	2450 μs (最小)	2400 μs (最小)	2450 μs (最小)

注 ストップコンディションはDALIRxD0入力信号の立ち上がりエッジから測定されます。最終データビットの論理値が1の場合、ストップコンディションは、最終データビット中間の立ち上がりエッジから開始します。ストップコンディション発生タイミングは、最終データビットが0の場合と比較し、ハーフビット長早くなります (図26-30 ストップコンディション検出参照)。

注1. ストップコンディションの検出は、DALIRxD0端子からの入力をDALIモジュールの動作クロックで同期化 (3クロック) し、さらに入力信号幅調整機能を通った後の信号に対して行われます。この信号は、COLR1.RXDMONビットで確認することができます。

注2. ストップコンディションについては、**注1**に記載の遅延だけでなく、DALITxD0端子からDALIRxD0端子への遅延も考慮に入れてください。DALIモジュールがストップコンディションを検出する前に、ほかのデバイスがDALIRxD0端子をLowにすると、たとえ送信が完了 (STR1.TENDF = 1) していても、INTSDDは出力されません。

図26-30 ストップコンディション検出



注 BTVTHR4.BTV6[8:0]ビットの時間設定でカウント。

フレーム間の受信器セトリングタイムは、IEC 62386-101 第 2.0 版／第 2.1 版に定義されています。受信器セトリングタイムはミリ秒単位で定義され、ソフトウェアで測定する必要があります。測定には、ストップコンディション検出割り込み (INTSDD) および立ち下がリエッジ検出割り込み (INTFED) を使用してください。INTSDD を受信器セトリングタイム測定のトリガとして使用する場合、INTSDD は図 26 - 30 に示すように、ストップコンディション検出が完了したときに生成されます。よって、BTV しきい値 6 期間を加算して判断する必要があります。INTSDD の生成タイミングは BTVTHR4.BTV6[8:0] ビットで決まります。

バスコリジョンを避けるために、送信器セトリングタイムも IEC 62386-101 第 2.0 版／第 2.1 版に定義されています。送信器セトリングタイムもミリ秒単位で定義され、ソフトウェアで計数する必要があります。計測開始のトリガに、INTSDD を使用することができます。その場合は、BTV しきい値 6 期間を加算して判断を行ってください。INTFED はセトリングタイム測定停止のトリガとして使用してください。

26.3.3 DALIエラーの検出

26.3.3.1 マンチェスタフレーミングエラー (MFE)

DALI モジュールのビット定義にはマンチェスタ符号化が使用されます。マンチェスタコードを識別するために、ビット中間にあるエッジ前後の値 (1/4 および 3/4 ビットタイミング) がサンプリングされ、比較されます。CNFR2.MFEDIS ビットが 0 のとき、1/4 ビットタイミングと 3/4 ビットタイミングのサンプリング値が同一であった場合、Manchester Framing Error と判定します。CNFR2.MFEDIS ビットが 1 のときは、Manchester Framing Error の判定を行いません。

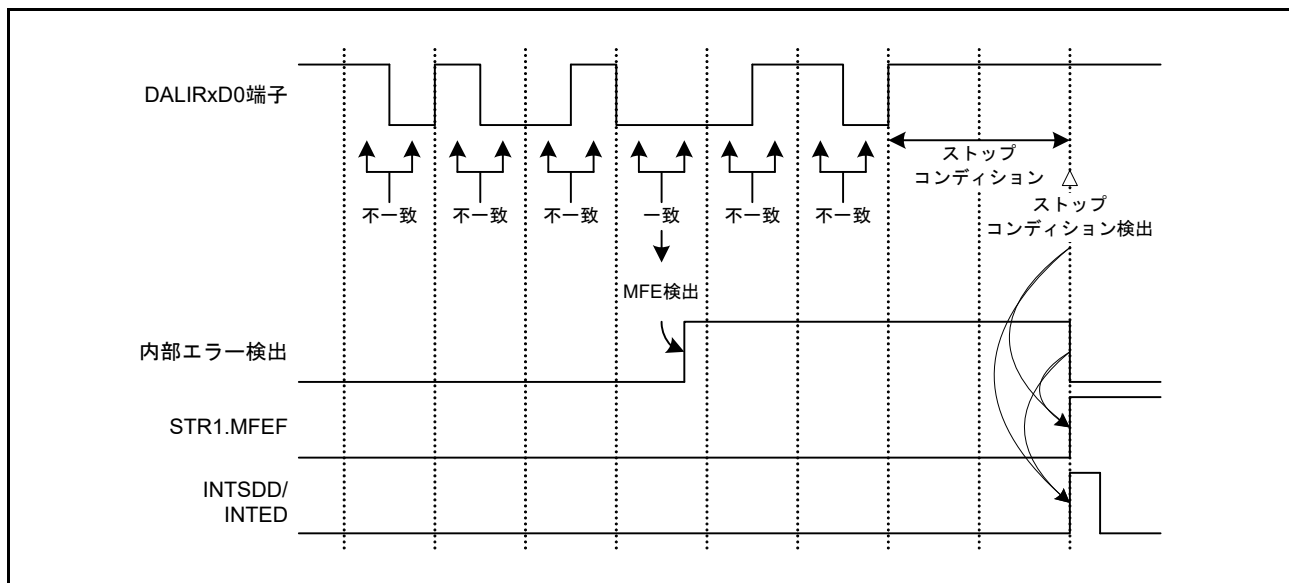
MFE が検出されたビットについては、3/4 ビットタイミングでサンプリングされた値が DALI 受信データレジスタ 1H, 1L (RDR1L および RDR1H) に格納されます。

1/4 ビットタイミングでサンプリングされた値と 3/4 ビットタイミングでサンプリングされた値がともに 0 の場合、論理値 0 がデータレジスタに格納されます。

1/4 ビットタイミングでサンプリングされた値と 3/4 ビットタイミングでサンプリングされた値がともに 1 の場合、論理値 1 がデータレジスタに格納されます。

MFE 検出時、割り込み (INTED) を出力しフラグ (STR1.MFEF) がセットされるタイミングは、ストップコンディションが検出されたときです。これは、INTSDD 出力タイミングと同じです。

図 26 - 31 マンチェスタフレーミングエラー



26.3.3.2 オーバランエラー

現在のデータの受信動作完了後、次のデータの受信動作が現在の受信データを読み出す前に完了した場合、オーバランエラーが起きます。

オーバランエラーが発生すると、DALI モジュールは、次のデータの受信完了時（ストップコンディション検出時）に INTSDD および INTED を出力し、STR1.OVF フラグをセットします。

DALI モジュールは、STR1.OVF フラグが 1 の間も、受信動作を継続します。受信データは RDR1L レジスタおよび RDR1H レジスタ内で上書きされ、受信データ幅は STR2.RDBL[8:0] ビットに上書きされます。STR1 レジスタ内のフラグは上書きされません。たとえば、MFE が受信データ 1 で起こり（STR1.MFEF = 1）、次に受信したデータ 2 では MFE が起こらなかった場合（STR1.MFEF = 0）、STR1.MFEF フラグの前の値はそのままです（STR1.MFEF = 1）。

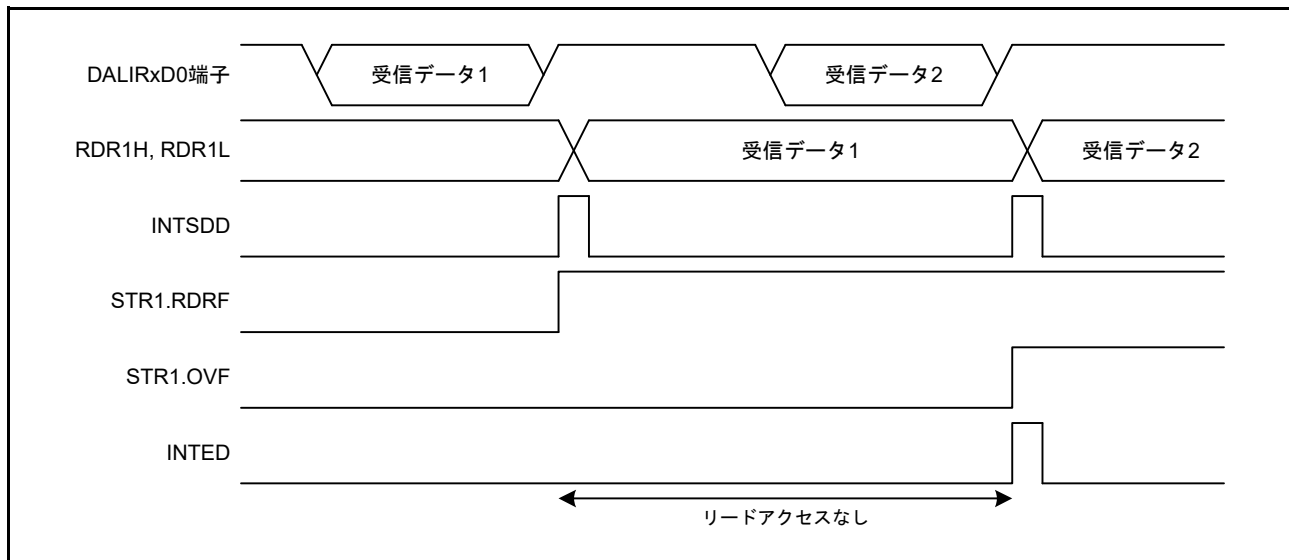
(1) 非拡張モード時（CNFR1.EXM = 0）

INTEDが発生した場合、エラーを検証し、エラーフラグをクリアし、エラーが発生した受信データを読み出してください。これにより次のデータ受信完了時のオーバランエラーを防ぐことができます。

(2) 拡張モード時（CNFR1.EXM = 1）

INTEDが発生した場合、非拡張モード時と同様にエラーを処理したあと、オーバランエラーが発生した受信フレーム内のデータをすべて破棄してください。なぜならば、そのフレーム内のデータについては、何ビット目まで正常受信できていたかを確認できないためです。STR1.OVF フラグのセットタイミングがストップコンディション検出時であることがその原因です。なお、フレーム受信中にオーバランエラーが発生した場合でも、フレーム内のデータはストップコンディション検出まで継続して受信され、32ビット受信されるたびに INTRD 信号が出力されます。

図26 - 32 オーバランエラー



26.3.3.3 フレームサイズ違反エラー

フレームサイズ違反は、IEC 62386-101 第 2.0 版で新たに定義されました。DALI モジュールが指定されていないデータサイズのフレームを受信した場合、フレームサイズ違反となります。

DALI モジュールでは受信データ長の制限はありません。最大受信データサイズは非拡張モード時 (CNFR1.EXM ビットが 0) に 32 ビット、拡張モード時 (CNFR1.EXM ビットが 1) に 256 ビットです。したがって、フレームサイズ違反について、ハードウェアによる判断は行われません。データ受信完了時、受信フレームサイズが指定されたデータサイズかどうかを確認するために STR2.RDBL[8:0] ビットの値をチェックし、ソフトウェアでフレームサイズ違反がないかどうかを検証してください。

第 2.0 版で定義されたデータサイズは以下のとおりです。

- Backward フレーム = 8 ビット
- Forward フレーム = 16 ビット、20 ビット^{注1}、24 ビット、32 ビット^{注1}

DALI モジュールは、ストップコンディションが検出されるまでデータ受信を継続します。受信データが 32 ビット以上の場合、内部カウンタがカウンタの最大値 (CNFR1.EXM ビットが 0 のとき 63、CNFR1.EXM ビットが 1 のときは 511) までビット数がカウントされます。カウンタが最大値に達すると、オーバフローし、0 からカウントを再開します。したがって、STR1.LFRF フラグが 1 のとき、これらのビットの値は無効です。ストップコンディションが検出され、次のデータ受信が開始されると、内部カウンタ値はリセットされます。

STR1.LFRF フラグ^{注2}のセットタイミングは CNFR1.EXM ビットの設定値により異なります。詳細は、**26.2.17**

DALI 送信データレジスタ 1H, 1L (TDR1H, TDR1L) を参照してください。

注1. IEC 62386-101 第 2.0 版/第 2.1 版では、予約 Forward フレームが定義されています。

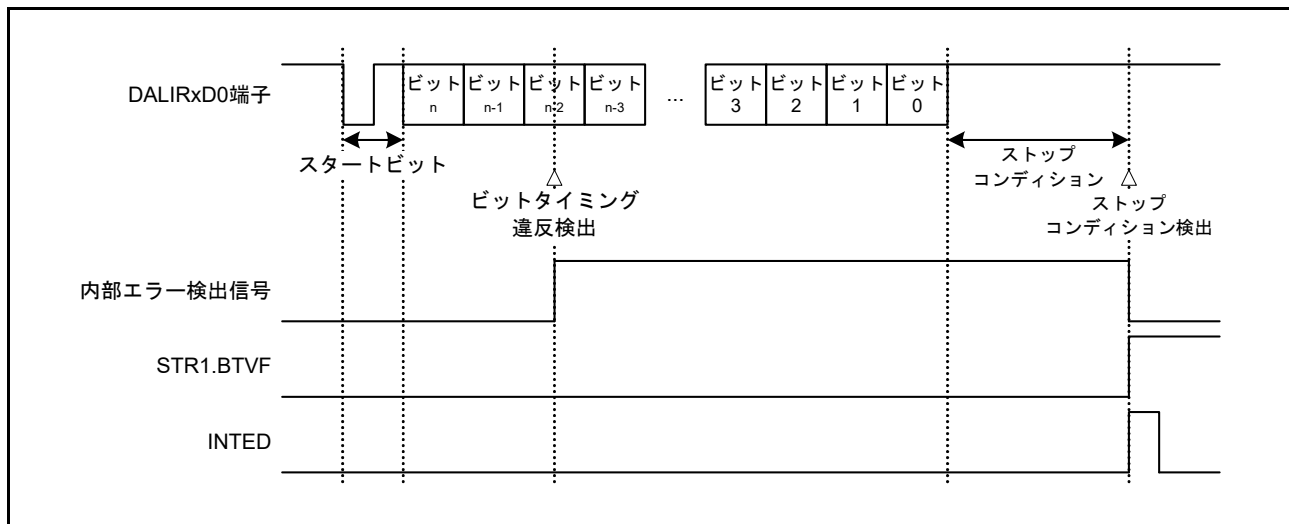
注2. STR2.RDBL[8:0] ビットは、ストップコンディション検出時に更新されます。本フラグは、ストップコンディション検出前に受信した不正に長いデータを報告します。

26.3.3.4 ビットタイミング違反エラー

ビットタイミング違反は、IEC 62386-101 第 2.0 版で新たに定義されました。本規格では受信データ波形のエッジ期間が定義されています。ビットタイミング違反検出機能を有効にするには、CNFR2.BTVE ビットを 1 にしてください。

ビットタイミング違反が発生した場合、STR1.BTVF フラグがセットされ、ストップコンディション検出時に INTED が出力されます。1つのフレーム内で複数回ビットタイミング違反が起きた場合でも、STR1.BTVF フラグはセットされ、ストップコンディション検出時に INTED は 1 回だけ出力されます。

図26 - 33 ビットタイミング違反エラー



以下で指定した条件のいずれかになった場合、ビットタイミング違反が発生します。ビットタイミング違反検出モードビット (CNFR2.BTVM) は、条件 3 が違反発生の判定に使用されるかどうかを指定します。BTV1 (ビットタイミング違反 1) エリア制御ビット (CNFR2.BTV1DIS) は、条件 4 をビットタイミング違反の判定に含めるかどうかを指定します。

ビットタイミング違反の判定範囲を調整するには、ビットタイミング違反しきい値 x ビット (BTV x ; $x = 1-6$) を設定してください。

DALI bus のレベルが BTV しきい値 6 の期間中 High の場合、ストップコンディションと判断されます。DALI bus のレベルが 45 ms 以上 Low の場合、バスパワーダウン、550 ms 以上 Low の場合、System Failure と判断されます。その後 DALI モジュールは BTV しきい値 6 で指定された値までカウント・アップし、STR1.BPDF フラグをセットし、INTBPD を出力します。バスパワーダウン / System Failure は、ソフトウェアで確認する必要があります。

[条件 1]

スタートビットの開始時の立ち下がりエッジ、またはデータビットの開始時の立ち上がりまたは立ち下がりエッジと比較し、次の立ち上がりまたは立ち下がりエッジが、**図26 - 34**に示すビットタイミング違反内にある。

注意 ビットの開始時の立ち上がりまたは立ち下がりエッジは、ビット n および直前のビット $n+1$ が同じ値の場合に起こります。異なる値の場合は、ビットタイミング違反の条件ではありません。

[条件 2]

データビットの立ち上がりまたは立ち下がりエッジと比較し、次の立ち上がりまたは立ち下がりエッジが、**図26 - 35**に示すビットタイミング違反内にある。

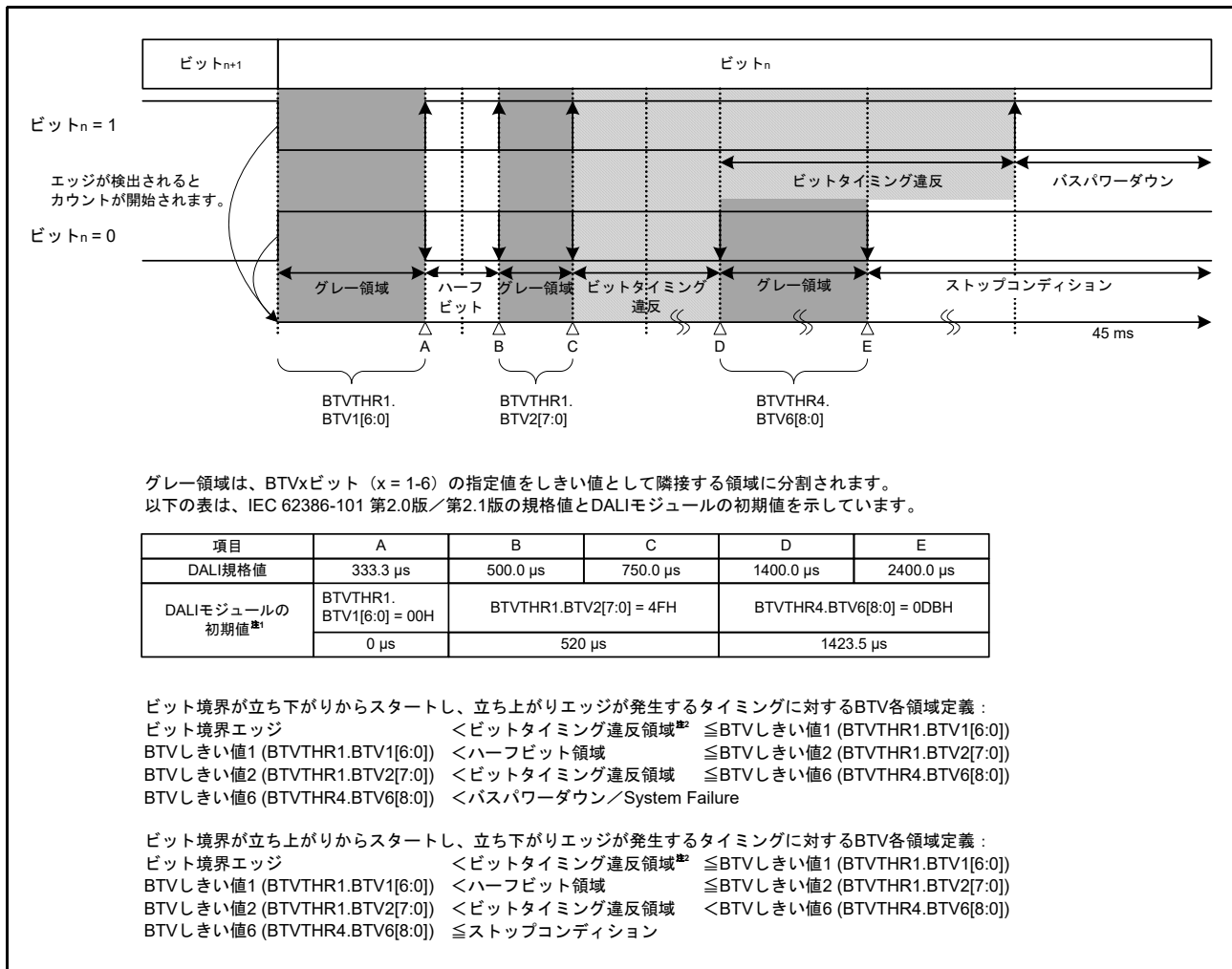
[条件3]

データビットの立ち上がりまたは立ち下がりエッジと比較し、次の立ち上がりまたは立ち下がりエッジが、**図26 - 35**に示すポイントGとH間のグレー領域内にある。

[条件4]

スタートビットの開始時の立ち下がりエッジ、またはデータビットの開始時の立ち上がりまたは立ち下がりエッジと比較し、次の立ち上がりまたは立ち下がりエッジが、**図26 - 34**のグレー領域、または**図26 - 35**のグレー領域にある。

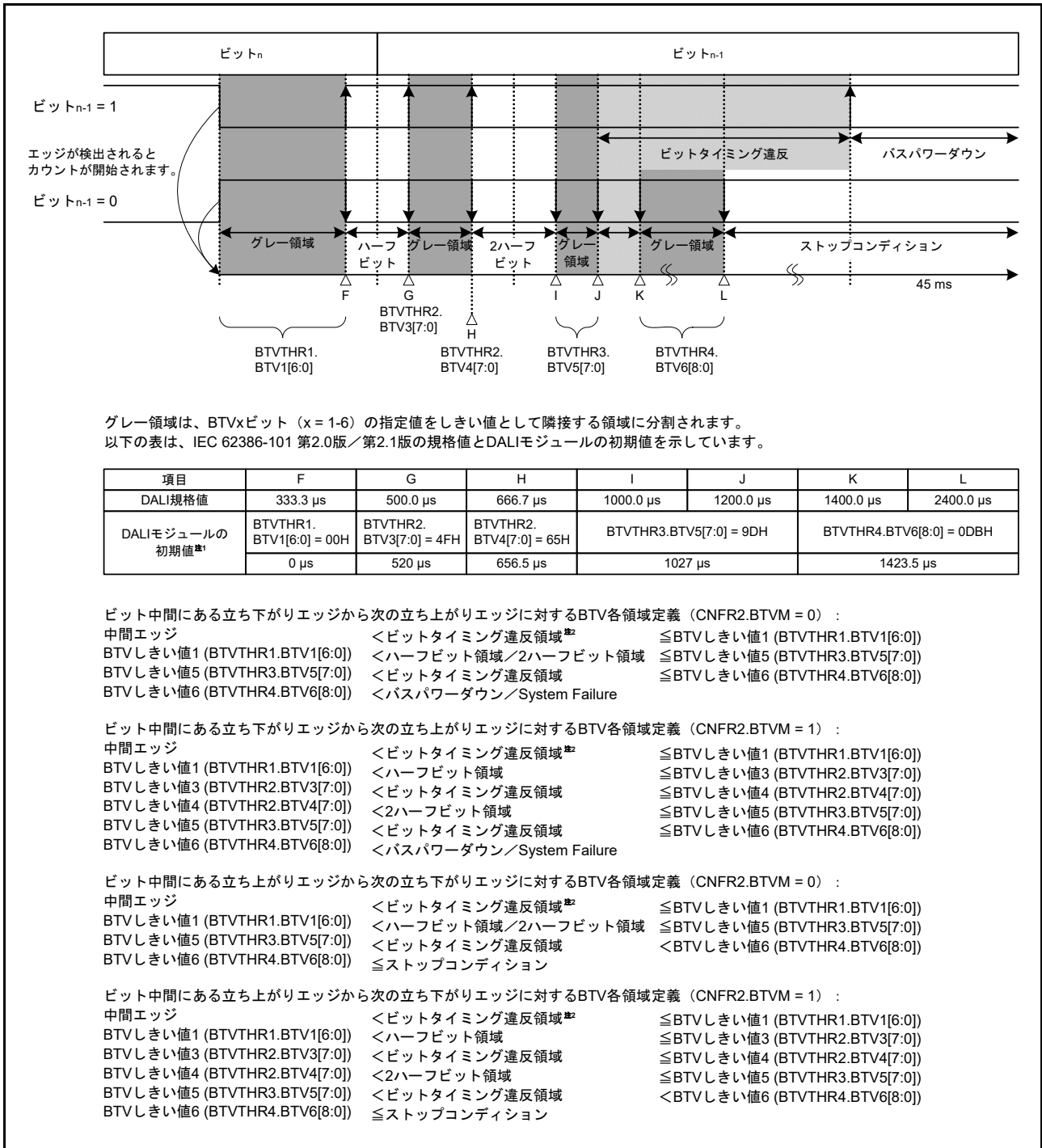
図26 - 34 ビットタイミング違反1



注1. 周波数誤差およびビットレート設定による誤差を含まない場合の値です。

注2. CNFR2.BTV1DISビットが1のときはビットタイミング違反とはみなしません。

図26 - 35 ビットタイミング違反2



注1. 周波数誤差およびビットレート設定による誤差を含まない場合の値です。
 注2. CNFR2.BTV1DISビットが1のときはビットタイミング違反とはみなしません。

DALI モジュールでは、図 26 - 34 および図 26 - 35 に示す DALI 規格値は、BTVTHR1-BTVTHR4 レジスタで設定します。設定値は、DALI モジュールの周波数精度およびサンプリングエラーを考慮し、IEC 62386-101 第 2.0 版を満たす必要があります。

表 26 - 4 に BTVx ビット (x = 1-6) の設定を示します。

表26 - 4 BTVしきい値の設定値

ビット名	設定可能範囲 (μs)	初期値	説明
BTVTHR1.BTV1 [6:0]	0~825.5	00H	図26 - 34 ビットタイミング違反1のポイントAおよび図26 - 35 ビットタイミング違反2のポイントFを設定可能範囲内で指定してください (6.5 μs単位)。エッジからBTVしきい値1までの範囲は、ビットタイミング違反となります。この範囲は、図26 - 34 ビットタイミング違反1および図26 - 35 ビットタイミング違反2ではグレー領域となっています。図26 - 34 ビットタイミング違反1のBTVしきい値1からBTVしきい値2まで、および図26 - 35 ビットタイミング違反2のBTVしきい値1からBTVしきい値3までの範囲は、ハーフビット領域です。
BTVTHR1.BTV2 [7:0]	6.5~1664 (条件: BTVTHR1.BTV1[6:0] < BTVTHR1.BTV2[7:0])	4FH	図26 - 34 ビットタイミング違反1のポイントBを設定可能範囲内で指定してください (6.5 μs単位)。BTVしきい値1からBTVしきい値2までの範囲は、ハーフビット領域です。BTVしきい値2からBTVしきい値6までの範囲は、ビットタイミング違反です。
BTVTHR2.BTV3 [7:0]	6.5~1664 (条件: BTVTHR1.BTV1[6:0] + 1 < BTVTHR2.BTV3[7:0])	4FH	図26 - 35 ビットタイミング違反2のポイントGを設定可能範囲内で指定してください (6.5 μs単位)。BTVしきい値1からBTVしきい値3までの範囲は、ハーフビット領域です。BTVしきい値3からBTVしきい値4までの範囲は、CNFR2.BTVMビットが1のときビットタイミング違反です。この範囲は、図26 - 34 ビットタイミング違反1および図26 - 35 ビットタイミング違反2ではグレー領域となっています。
BTVTHR2.BTV4 [7:0]	0~1657.5 (条件: BTVTHR2.BTV3[7:0] + 1 < BTVTHR2.BTV4[7:0])	65H	図26 - 35 ビットタイミング違反2のポイントHを設定可能範囲内で指定してください (6.5 μs単位)。BTVしきい値3からBTVしきい値4までの範囲は、CNFR2.BTVMビットが1のときビットタイミング違反です。この範囲は、図26 - 34 ビットタイミング違反1および図26 - 35 ビットタイミング違反2ではグレー領域となっています。BTVしきい値4からBTVしきい値5までの範囲は、2ハーフビット領域です。
BTVTHR3.BTV5 [7:0]	6.5~1664 (条件: BTVTHR2.BTV4[7:0] + 1 < BTVTHR3.BTV5[7:0])	9DH	図26 - 35 ビットタイミング違反2のポイントIおよびポイントJ間のしきい値を設定可能範囲内で指定してください (6.5 μs単位)。CNFR2.BTVMビットが0のとき、BTVしきい値1からBTVしきい値5の範囲はハーフビット領域または2ハーフビット領域であり、BTVしきい値5からBTVしきい値6の範囲はビットタイミング違反です。CNFR2.BTVMビットが1のとき、BTVしきい値4からBTVしきい値5の範囲は2ハーフビット領域であり、BTVしきい値5からBTVしきい値6の範囲はビットタイミング違反です。
BTVTHR4.BTV6 [8:0]	1254.5~3328 (条件: BTVTHR1.BTV2[7:0] + 1 < BTVTHR4.BTV6[8:0]かつ BTVTHR3.BTV5[7:0] + 1 < BTVTHR4.BTV6[8:0])	0DBH	図26 - 34 ビットタイミング違反1のポイントDおよび図26 - 35 ビットタイミング違反2のポイントKとポイントL間のしきい値を設定可能範囲内で指定してください (6.5 μs単位)。1254.5 μsより小さい値を指定してはいけません。設定可能な最小値はC0Hです。 図26 - 34 ビットタイミング違反1のBTVしきい値2からBTVしきい値6まで、および図26 - 35 ビットタイミング違反2のBTVしきい値5からBTVしきい値6までの範囲は、ビットタイミング違反です。BTVしきい値6で始まる範囲は、ストップコンディションまたはバスパワーダウンとなります。

26.3.3.5 バスパワーダウン / System Failure

DALI bus のレベルが 45 ms 以上 Low の場合、その状態はバスパワーダウン、DALI bus のレベルが 550 ms 以上 Low の場合、その状態は System Failure であり、何らかの対策が必要です。

DALI モジュールが DALI bus の Low レベル期間をカウントし BTV しきい値 6 まで達するとバスパワーダウンと判断されます。その後、STR1.BPDF フラグが設定され、INTBPD が出力されます。INTBPD 出力後、DALI bus の Low レベル期間を 45 ms 以上ソフトウェアで測定し、バスパワーダウン、DALI bus の Low レベル期間を 550 ms 以上ソフトウェアで測定し、System Failure であるかどうかを判断してください。

DALI モジュールは DALIRxD0 端子の立ち上がりエッジを検出すると、STR1.BPDF フラグをクリアし、受信動作に戻ります。受信動作開始後にストップコンディションが検出されると、INTSDD が出力されます。INTSDD 出力後は、45 ms/550 ms の測定を停止してください。受信動作開始後にバスパワーダウンの可能性があると判断された場合は、STR1.BPDF フラグが再び 1 になり、INTBPD が出力されます。

45 ms/550 ms の測定後に STR1.BPDF フラグが 0 にリセットされている場合、DALI bus は 45 ms/550 ms の測定中 Low ではなかったということになります。

DALI bus が 45 ms/550 ms の測定中 Low でない場合、DALI モジュールは受信動作に戻ります。この場合、受信データは信頼できないため、STR1.BPDF フラグが 1 から 0 に変わった後でストップコンディションが検出される前の受信データは破棄してください。

45 ms の測定中に INTSDD または INTBPD が出力されず、45 ms の測定後に STR1.BPDF フラグが 1 の場合、DALI bus はバスパワーダウンであると判断されます。次に、続く 550 ms の測定中に INTSDD または INTBPD が出力されず、550 ms の測定後に STR1.BPDF フラグが 1 の場合、DALI bus は System Failure であると判断されます。

DALI モジュールは、STR1.BPDF フラグが 1 の間ストップコンディションが検出されるまで受信動作を続けます。したがって、受信動作を止めるには、CTR1.TE ビットおよび CTR1.RE ビットを 0 にし、SWRR1.SWR ビットを 1 にすることによりソフトリセットを発行してください。DALI bus 復旧後、CTR1.TE ビットおよび CTR1.RE ビットを 1 にし、通信を再開してください。

図 26 - 36 バスパワーダウン / System Failure

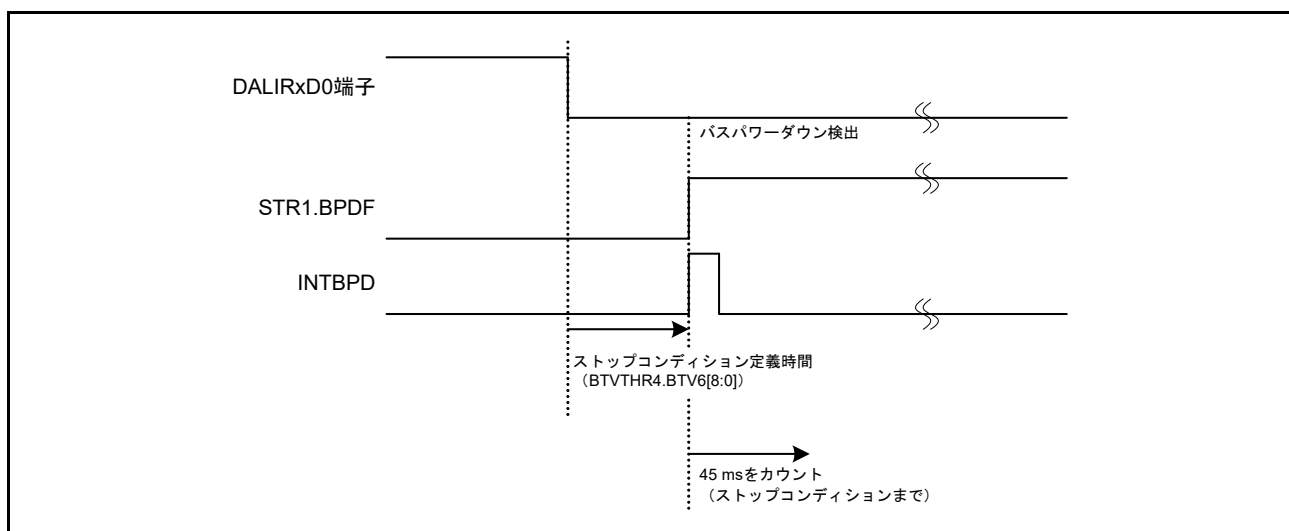
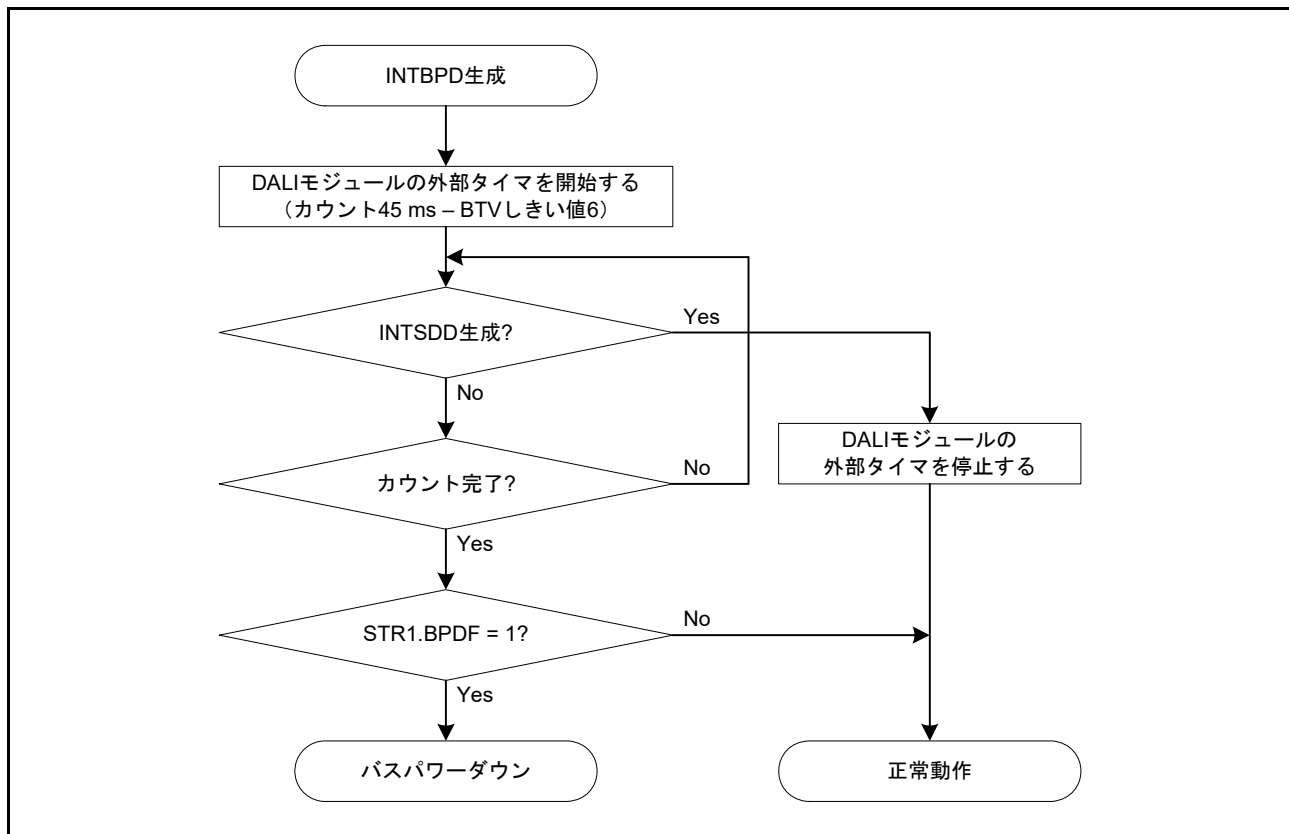


図26 - 37 バスパワーダウン / System Failureのフロー



26.3.3.6 アンダランエラー

アンダランエラーは、拡張モード (CNFR1.EXM = 1) 時に、送信データ書き込みが間に合わず、データ送信が失敗したことを意味します。

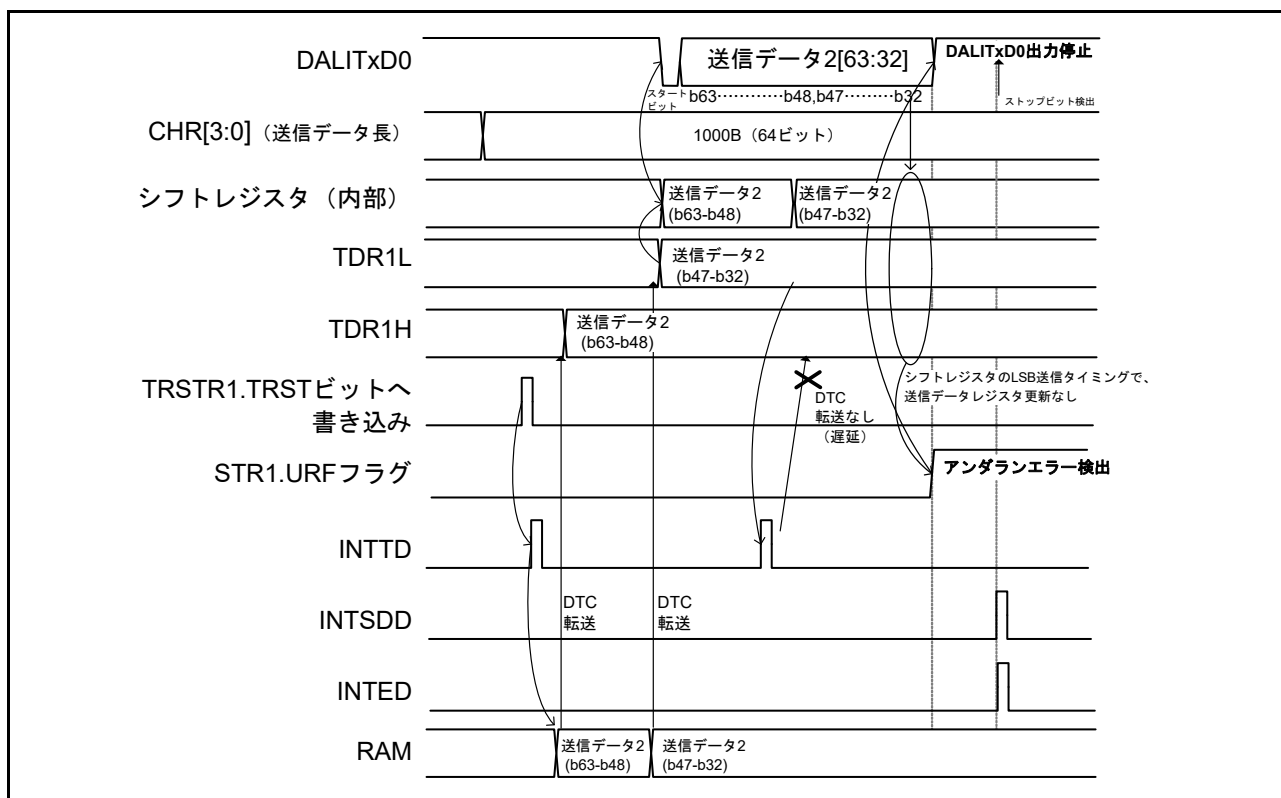
拡張モード (CNFR1.EXM = 1) 時、送信データ書き込み要求割り込み (INTTD) に応じて、送信データが DALI 送信データレジスタ 1H, 1L (TDR1H, TDR1L) に書き込まれることを想定しています。書き込まれた送信データは、送信用内部シフトレジスタに格納され、MSB から送信します。このとき、送信データ書き込みが送信用内部シフトレジスタへの格納タイミングに間に合わなかった場合、アンダランエラーを検出し、STR1.URF フラグをセットします。

アンダランエラーを検出すると、送信端子 (DALITxD0) は出力を停止し、DALI bus を IDLE 状態 (High レベル) にします。これにより、ストップコンディションが成立します。ストップコンディション検出タイミングで、INTSDD と INTED を出力します。ただし、アンダランエラー検出時、ストップコンディション成立タイミングで送信許可ビット (CTR1.TE) を 1 から 0 にした場合、STR1.URF フラグはセットされず、INTED も出力しません。

INTED 発生時は、エラー内容を確認し、エラーフラグをクリアし、送信停止 (CTR1.TE = 0) にしてください。

STR1.URF = 1 のときは、後続の INTTD 出力を停止します。また、TRSTR1.TRST = 1 書き込みも、TDR1L レジスタ書き込みも無効です (新たに送信動作を開始することはできません)。

図26-38 アンダランエラー



26.3.4 コリジョン

26.3.4.1 コリジョンの概要

DALI モジュールは、マルチマスタ通信に対応しています。マルチマスタ通信中に2つ以上のマスタが同時にデータを送信すると、バス上でコリジョンが発生します。CNFR2.CDE ビットが1の場合、DALI モジュールのコリジョン検出機能は有効で、コリジョン検出割り込み (INTCLD) が生成されます。送信中にコリジョンが検出された場合は、送信を停止し、コリジョン発生条件に基づきコリジョンリカバリまたはコリジョン回避を実行してください。

Backward フレーム送信の場合は、CNFR2.CDE ビットを0にしてコリジョン検出機能を無効にしてください。

DALI モジュールは受信動作時 (CTR1.RE = 1 かつ CTR1.TE = 0)、コリジョンを検出します。複数のマスタ間でのコリジョンの検出を行いたくない場合は、CNFR2.CDE ビットを0にしてください。

26.3.4.2 コリジョン検出判定基準

コリジョン検出モードビット (CNFR2.CDM0) でコリジョン検出の判定基準を選択してください。

表 26 - 5 にコリジョン検出モードとコリジョン検出割り込み (INTCLD) の関係を示します。

表26 - 5 CNFR2.CDM0ビットの設定値に基づくコリジョン検出の判定基準

CNFR2.CDM0 ビットの設定値	コリジョン検出領域 ^{注1}			コリジョン検出割り込み (INTCLD) 条件 ^{注2}
	破壊	回避	有効	
0	検出	未検出	未検出	条件 1A または条件 2A
1	検出	検出	未検出	下記のいずれかが成立したとき ^{注3, 4} 条件 1A または条件 1B 条件 2A または条件 2B

注1. IEC 62386-101 第2.0版/第2.1版では下記の領域が定義されています。

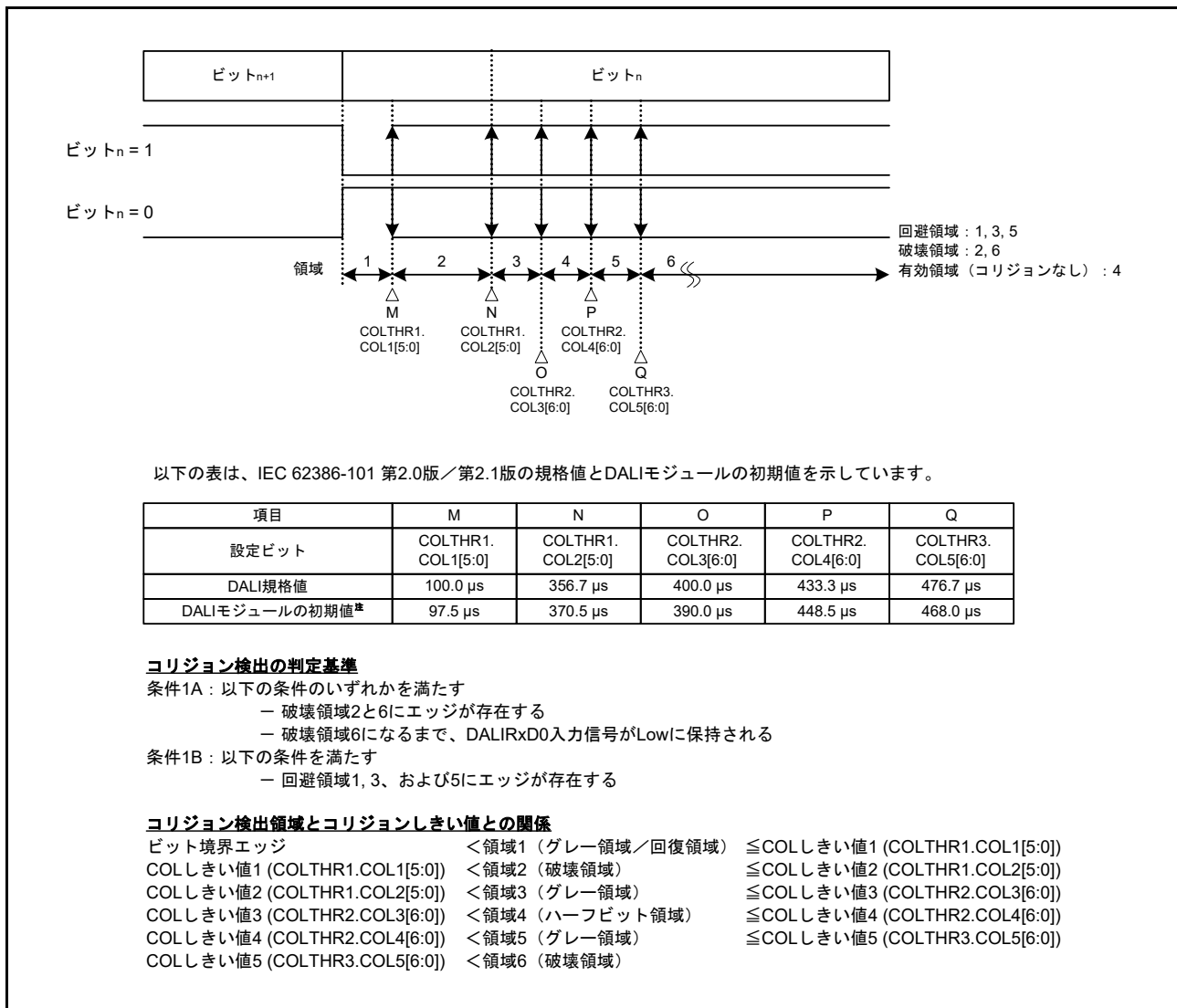
- 破壊 : 破壊領域
- 回避領域 : グレー領域
- 有効領域 : 有効ハーフビット/有効2ハーフビット

DALIモジュールの回避領域は、コリジョン検出タイミングで処理を分けられるよう、DALI規格のグレー領域を回避領域として定義したものです。CNFR2.CDM0ビットが0のときは、回避領域 (グレー領域) は有効領域の扱いとなり、回避領域 (グレー領域) でエッジが発生してもエラーフラグ (STR1.CDF) はセットされません。CNFR2.CDM0ビットが1のときは、回避領域 (グレー領域) でエッジが発生した場合、エラーフラグ (STR1.CDF) をセットします。

- 注2. 条件についての詳細は、**図26 - 39 コリジョン検出タイミング1**および**図26 - 40 コリジョン検出タイミング2**を参照してください。
- 注3. COLxビット (x = 1-9) を設定してコリジョンを判断するタイミングを調整してください (**図26 - 39 コリジョン検出タイミング1**および**図26 - 40 コリジョン検出タイミング2**参照)。
- 注4. コリジョン検出割り込み (INTCLD) が発生した場合、コリジョン検出情報を使ってコリジョン検出後のソフトウェアによる処理を設定してください。詳細は、**26.3.4.4 コリジョン検出情報**を参照してください。

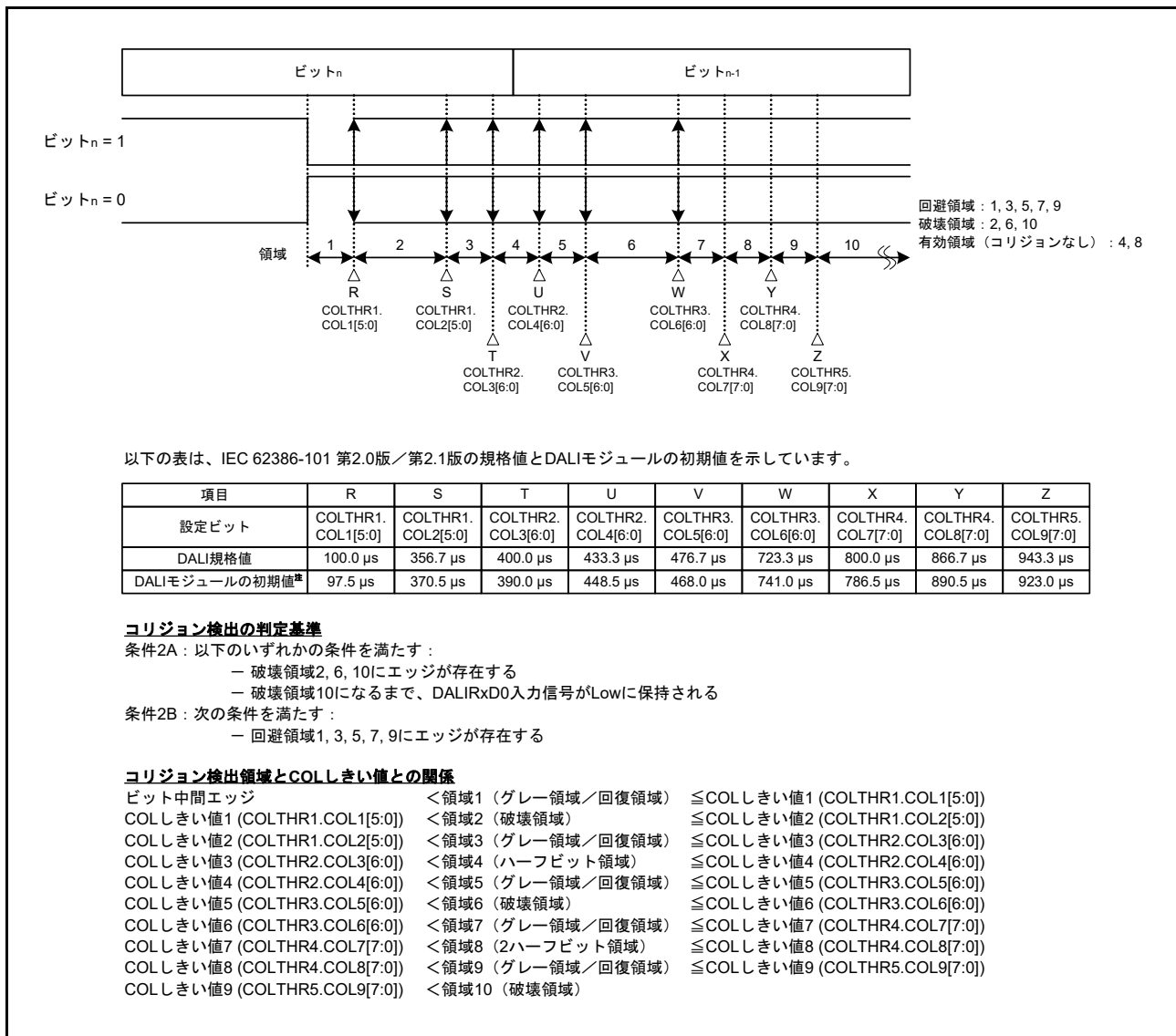
コリジョン検出判定基準は、**図 26 - 39** および**図 26 - 40** に示す条件のいずれかが成立した場合に有効です。

図26 - 39 コリジョン検出タイミング1



注 周波数誤差およびビットレート設定による誤差を含まない場合の値です。

図26 - 40 コリジョン検出タイミング2



注 周波数誤差およびビットレート設定による誤差を含まない場合の値です。

DALIモジュールは、図26 - 39 および図26 - 40 に示す規格値をCOLTHR1-COLTHR5レジスタに設定します。設定値は、DALIモジュールの周波数精度およびサンプリングエラーを考慮しIEC 62386-101 第2.0版/第2.1版を満たす必要があります。表26 - 6にCOLxビット (x = 1-9) の設定を示します。

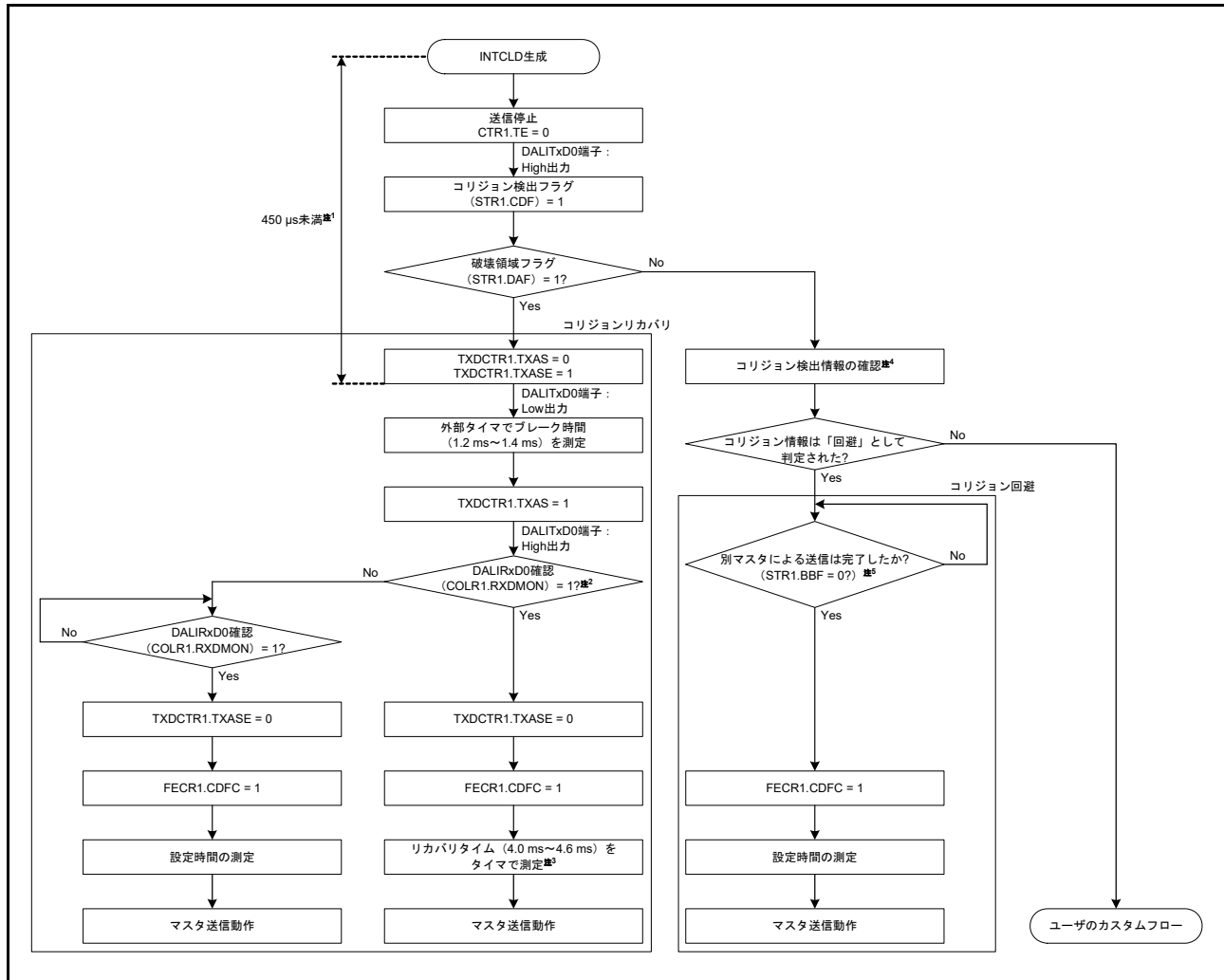
表26 - 6 COLしきい値の設定値

ビット名	設定可能範囲 (μs)	初期値	説明
COLTHR1.COL1 [5:0]	0~409.5	0FH	図26 - 39 コリジョン検出タイミング1のポイントMおよび図26 - 40 コリジョン検出タイミング2のポイントRを設定可能範囲内で指定してください (6.5 μs単位)。エッジからCOLしきい値1までの範囲は回避領域で、COLしきい値1からCOLしきい値2までの範囲は破壊領域です。
COLTHR1.COL2 [5:0]	6.5~416 (条件: COLTHR1.COL1[5:0] + 1 < COLTHR1.COL2[5:0])	38H	図26 - 39 コリジョン検出タイミング1のポイントNおよび図26 - 40 コリジョン検出タイミング2のポイントSを設定可能範囲内で指定してください (6.5 μs単位)。COLしきい値1からCOLしきい値2までの範囲は破壊領域で、COLしきい値2からCOLしきい値3までの範囲は回避領域です。
COLTHR2.COL3 [6:0]	0~825.5 (条件: COLTHR1.COL2[5:0] + 1 < COLTHR2.COL3[6:0])	3CH	図26 - 39 コリジョン検出タイミング1のポイントOおよび図26 - 40 コリジョン検出タイミング2のポイントTを設定可能範囲内で指定してください (6.5 μs単位)。COLしきい値2からCOLしきい値3までの範囲は回避領域で、COLしきい値3からCOLしきい値4までの範囲は有効領域です。
COLTHR2.COL4 [6:0]	6.5~832 (条件: COLTHR2.COL3[6:0] + 1 < COLTHR2.COL4[6:0])	44H	図26 - 39 コリジョン検出タイミング1のポイントPおよび図26 - 40 コリジョン検出タイミング2のポイントUを設定可能範囲内で指定してください (6.5 μs単位)。COLしきい値3からCOLしきい値4までの範囲は有効領域で、COLしきい値4からCOLしきい値5までの範囲は回避領域です。
COLTHR3.COL5 [6:0]	0~825.5 (条件: COLTHR2.COL4[6:0] + 1 < COLTHR3.COL5[6:0])	48H	図26 - 39 コリジョン検出タイミング1のポイントQおよび図26 - 40 コリジョン検出タイミング2のポイントVを設定可能範囲内で指定してください (6.5 μs単位)。COLしきい値4からCOLしきい値5までの範囲は回避領域で、COLしきい値5からCOLしきい値6までの範囲は破壊領域です。
COLTHR3.COL6 [6:0]	6.5~832 (条件: COLTHR3.COL5[6:0] + 1 < COLTHR3.COL6[6:0])	71H	図26 - 40 コリジョン検出タイミング2のポイントWを設定可能範囲内で指定してください (6.5 μs単位)。COLしきい値5からCOLしきい値6までの範囲は破壊領域で、COLしきい値6からCOLしきい値7までの範囲は回避領域です。
COLTHR4.COL7 [7:0]	0~1657.5 (条件: COLTHR3.COL6[6:0] + 1 < COLTHR4.COL7[7:0])	79H	図26 - 40 コリジョン検出タイミング2のポイントXを設定可能範囲内で指定してください (6.5 μs単位)。COLしきい値6からCOLしきい値7までの範囲は回避領域で、COLしきい値7からCOLしきい値8までの範囲は有効領域です。
COLTHR4.COL8 [7:0]	6.5~1664 (条件: COLTHR4.COL7[7:0] + 1 < COLTHR4.COL8[7:0])	88H	図26 - 40 コリジョン検出タイミング2のポイントYを設定可能範囲内で指定してください (6.5 μs単位)。COLしきい値7からCOLしきい値8までの範囲は有効領域で、COLしきい値8からCOLしきい値9までの範囲は回避領域です。
COLTHR5.COL9 [7:0]	0~1657.5 (条件: COLTHR4.COL8[7:0] + 1 < COLTHR5.COL9[7:0])	8EH	図26 - 40 コリジョン検出タイミング2のポイントZを設定可能範囲内で指定してください (6.5 μs単位)。COLしきい値8からCOLしきい値9までの範囲は回避領域で、COLしきい値9から始まる範囲は破壊領域です。

26.3.4.3 コリジョン発生時の処理フロー

図 26 - 41 にコリジョン発生時のコリジョンリカバリおよびコリジョン回避のフローを示します。

図 26 - 41 コリジョン発生時の処理のフロー



- 注1. コリジョンリカバリ開始時、マルチマスタトランスミッタは、ブレイク時間 (T_{break}) 測定前450 μs以内にバスを強制的にアクティブ状態にします。
- 注2. DALITxD0~DALIRxD0の遅延を待ったあと、DALIRxD0モニタビットを読み出します。
- 注3. コリジョンを回避するために、マルチマスタトランスミッタは、最小リカバリタイムと最大リカバリタイムの間のランダムな時点で送信を開始することを強く推奨します。
- 注4. 表 26 - 7 コリジョン検出情報の値に基づきコリジョン情報をチェックし、情報が「回避」なのか「非回避」なのかを判断してください。「非回避」の場合、カスタムフローに進んでください。
- 注5. CTR1.TEビットが1から0に変化した場合、STR1.BBFフラグは有効です。STR1.BBFフラグは、ストップコンディションが検出されるまで有効です。

DALI モジュールが送信中にコリジョンを検出した場合、DALI ステータスレジスタ 1 (STR1) をチェックし、マスタ送信開始前に設定されたフラグをクリアしてください。図 26 - 41 コリジョン発生時の処理のフローのコリジョンリカバリ処理またはコリジョン回避処理を参照してください。コリジョン検出フラグ (STR1.CDF) のクリアを行わないとコリジョン情報は新しい情報に更新されません。また、STR1.RDRF フラグが 1 の場合は、DALI 受信データレジスタ 1H, 1L (RDR1H, RDR1L) も読み出す必要があります。

DALI モジュールによるコリジョン検出が受信中だけの場合、**図 26 - 41** に示す処理は必要ありません。必要に応じて、DALI ステータスレジスタ 1 (STR1) をチェックし、フラグをクリアし、そして DALI 受信データレジスタ 1H, 1L (RDR1H, RDR1L) を読み出してください。

26.3.4.4 コリジョン検出情報

DALI モジュールは、コリジョン検出割り込み (INTCLD) が発生した場合、下記の情報を保存します。

表26 - 7 コリジョン検出情報

コリジョン検出情報	フラグ
コリジョン発生時の DALITxD0 端子の状態	COLR1.TXDCV
コリジョン発生時の DALIRxD0 状態 (立ち上がりまたは立ち下がり)	COLR1.RXDCEG
コリジョン要因 (エッジまたは非エッジ)	COLR1.CLDAF
コリジョン発生時のタイミング情報	COLR1.CDTF1 および COLR1.CDTF2[3:0]

注意 DALIモジュールは、コリジョンが検出された場合、コリジョン検出情報を保存します。

コリジョン検出情報を保存する機能は、コリジョン検出フラグが生成されていないとき (STR1.CDF = 0) にコリジョンが起きた場合に有効になります。コリジョン検出フラグ (STR1.CDF) のクリア後は、次の情報が格納されます。コリジョン検出フラグ (STR1.CDF) を必ずクリアしてください。

図 26 - 42 にビット中間のエッジ (中間エッジ) でコリジョンが発生した場合のコリジョン検出情報の使用例を示します。

図 26 - 43 にビット境界のエッジ (境界エッジ) でコリジョンが発生した場合のコリジョン検出情報の使用例を示します。

図 26 - 44 に境界エッジのない中間エッジでコリジョンが発生した場合のコリジョン検出情報の使用例を示します。

図26-42 コリジョン検出情報の使用例1

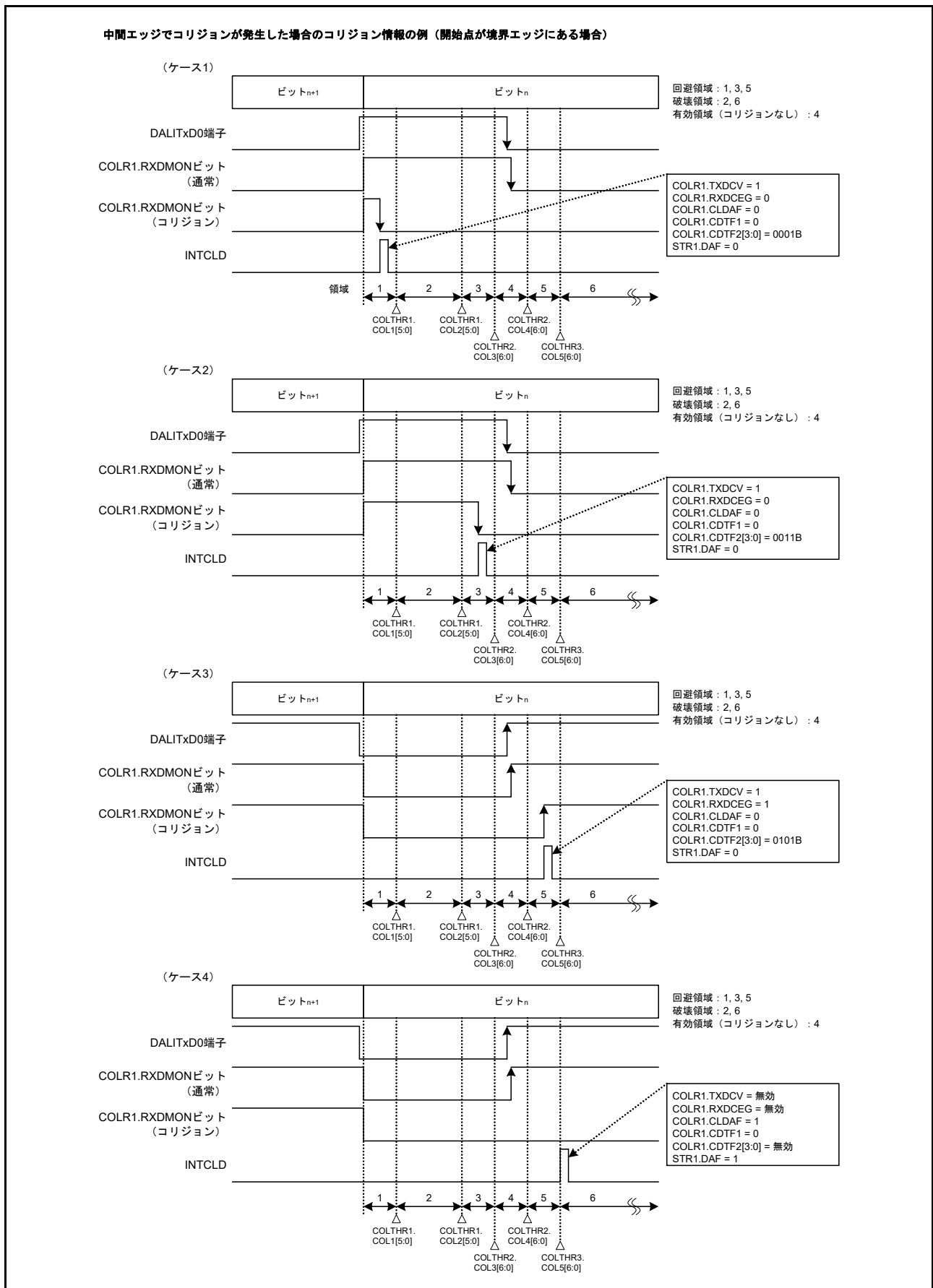


図26-43 コリジョン検出情報の使用例2

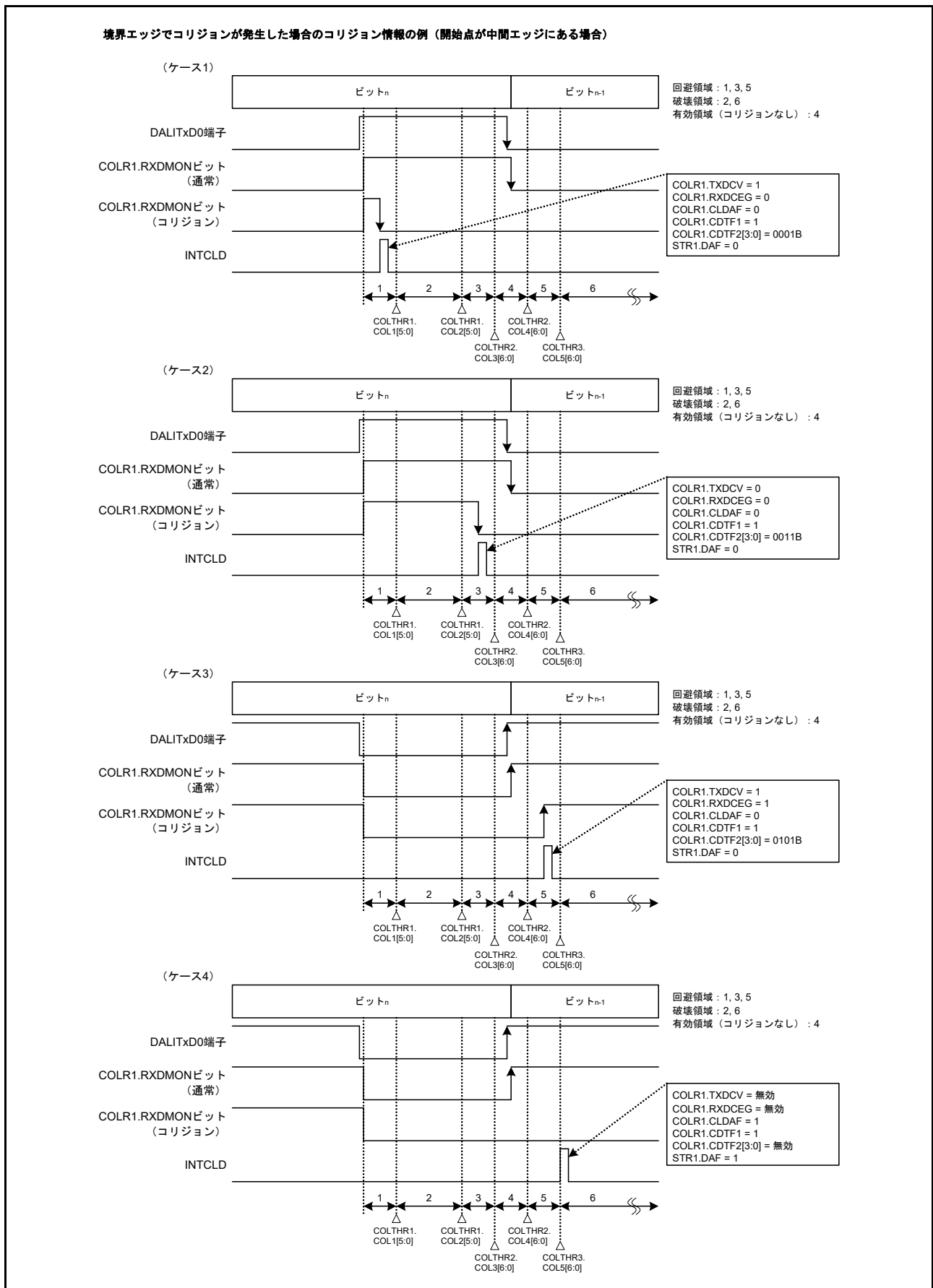
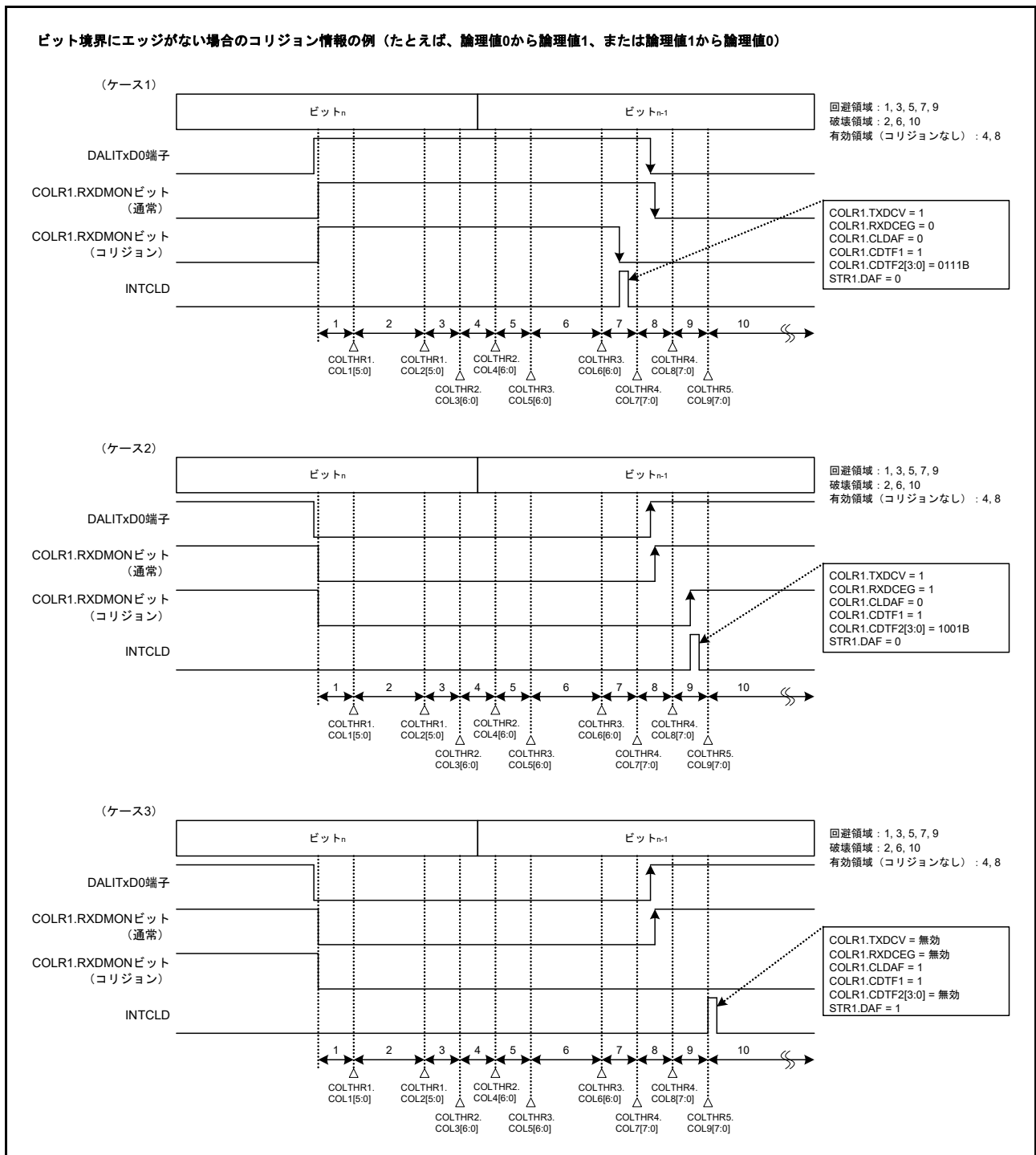


図26-44 コリジョン検出情報の使用例3



26.3.5 DALIRxD0入力信号のサンプリングタイミングとビット長調整

DALI モジュールは、ビット定義にマンチェスタコードを使用します。エッジは常に1ビットの中間で発生します(中間エッジ)。DALI モジュールは、中間エッジを使って、ビット長の調整およびサンプリングタイミングの測定を行います。1/4 ビットタイミングと3/4 ビットタイミングは、中間エッジの前後に定義され、同期化後の DALIRxD0 入力信号の値はこれらのタイミングでサンプリングされます。3/4 ビットタイミングでのサンプリング値が論理値として使用されます。

中間エッジが1/4 ビットタイミングと3/4 ビットタイミングの間で発生した場合、データビットは受信されません。中間エッジでのビット長エラーを検出するのに **26.3.5.1 DALIRxD0 入力信号のエッジ可能領域の調整**で説明する波形が使用されます。エッジは常に境界エッジで発生するわけではないので、境界エッジは基準としては使用されません。

DALI モジュールのサンプリングポイントは**表 26 - 8 サンプリングポイント**のように定義されており、正確には3/4 ビットタイミングではありません。また、サンプリングポイントは、CNFR2.SGA ビットと、FTDC0.IST ビットの値によっても変わります。

表26 - 8 サンプリングポイント

定義	CNFR2.SGA = 0 かつ FTDC0.IST = 0	CNFR2.SGA = 1 かつ FTDC0.IST = 0	FTDC0.IST = 1 (CNFR2.SGAは任意)
1/4 ビット長 1/4 ボー・レート・タイミング 1/4 ビットサンプリング値 1/4 ビットタイミング	初期値 (1/4 ビット長)	初期値 - 16 サイクル	初期値 - 16 サイクル
3/4 ビット長 3/4 ビットサンプリング値 3/4 ビットタイミング	初期値 (3/4 ビット長 + 1 サイクル)	初期値 + 25 サイクル	初期値 + 25 サイクル

26.3.5.1 DALIRxD0入力信号のエッジ可能領域の調整

DALI モジュールは、High または Low レベル期間を受信します。この期間を調整する場合は、CNFR2.SGA ビットと FTDC0.IST ビットを変更してください。

CNFR2.SGA ビットが0かつ FTDC0.IST ビットが0 (初期値) のとき

マンチェスタコードのHigh/Low レベル期間 : 318.5 ~ 510.25 μ s

CNFR2.SGA ビットが1かつ FTDC0.IST ビットが0 のとき

マンチェスタコードのHigh/Low レベル期間 : 295.75 ~ 559 μ s

FTDC0.IST = 1 のとき (CNFR2.SGA は任意)

マンチェスタコードのHigh/Low レベル期間 : 292.5 ~ 552.5 μ s

26.3.6 DALITxD0出力波形幅調整機能

DALITxD0 出力波形の Low または High レベル期間が外部デバイス（フォトカプラ）の劣化により短くなった場合、本機能を使って DALITxD0 出力波形の Low レベル期間を調整することができます。本機能は劣化による期間の短縮を計算し、デューティの約 50% の波形をレシーバが受け付けるようにします。

DALI モジュールは、CNFR2.TXWE ビットを 1 にすることによって DALITxD0 出力波形の Low レベル幅を調整します。外部デバイスが劣化しておらず DALITxD0 出力波形が正しいようなら、本機能を無効にし（CNFR2.TXWE = 0）、TXWR1 レジスタを初期値で使用してください。

DALITxD0 出力波形は以下のように調整されます。

CNFR2.TXWE ビットが 0 のとき

- Low レベル幅 : 416 μ s (リセット値 = 3FH)
- High レベル幅 : 416 μ s (リセット値 = 3FH)

CNFR2.TXWE ビットが 1 のとき

- Low レベル幅 :
(TXWR1.TXLW[6:0] ビットの設定値 + 1) \times DALI モジュール動作クロックサイクル 2 サイクル分 (6.5 μ s Typ.)
- High レベル幅 :
832 μ s - {(TXWR1.TXLW[6:0] ビットの設定値 + 1) \times
DALI モジュール動作クロックサイクル 2 サイクル分 (6.5 μ s Typ.) }

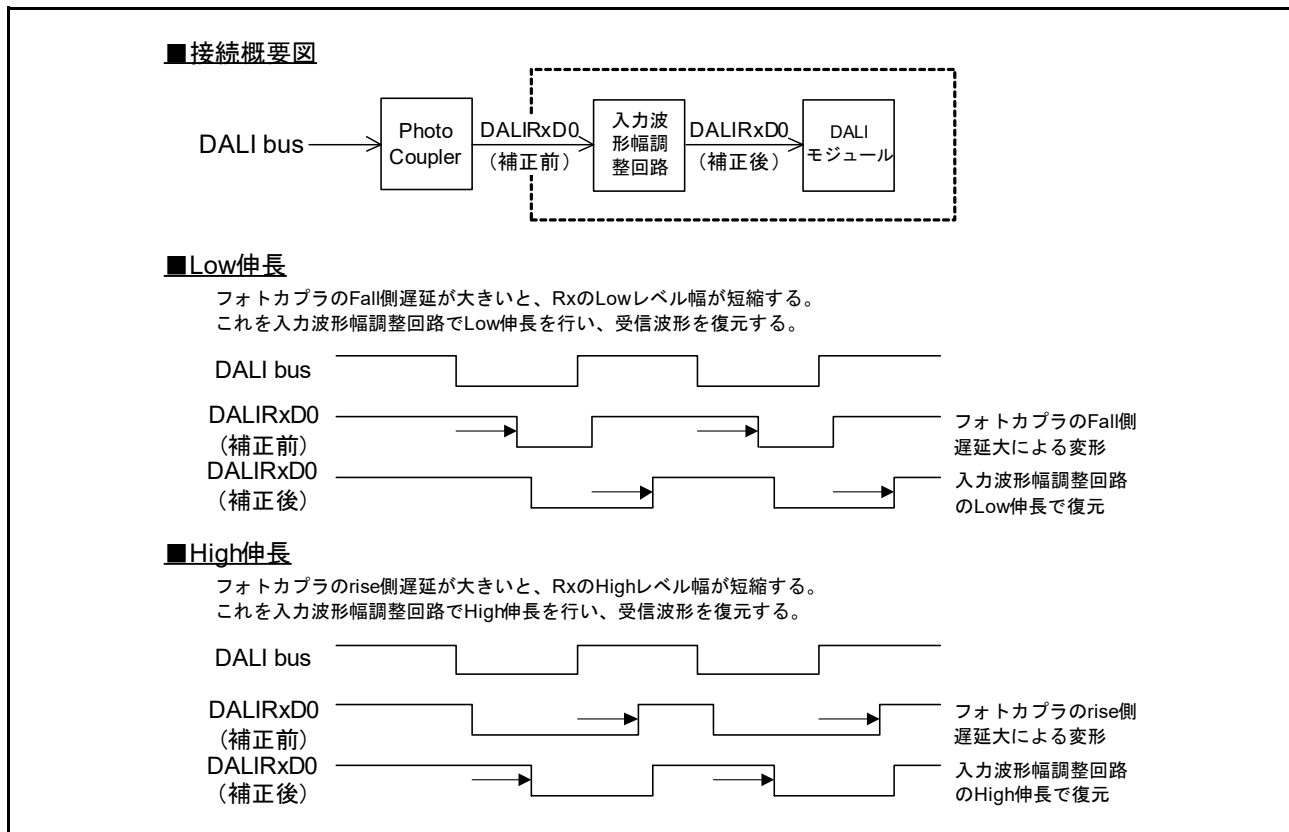
TXWR1.TXLW[6:0] ビットに設定できる値は、20H (= 214.5 μ s) ~ 5EH (= 617.5 μ s) です。

26.3.7 DALIRxD0入力波形幅調整機能

26.3.7.1 機能概要

DALIRxD0 入力波形幅調整機能は、フォトカプラなどの外部デバイスの特性により、DALIRxD0 入力波形の Low レベルまたは High レベル期間が短縮された場合に対応し、Low レベルまたは High レベルを伸長することで入力波形幅の補正を行い、受信波形を 50% の Duty に近づけるためのものです。動作概要については図 26 - 45 を参照してください。

図 26 - 45 DALIRxD0 入力波形幅調整機能の動作概要



本機能を使用する場合は、CTR1.RE ビットが 0 かつ CTR1.TE ビットが 0 のときに、DALIRxD0 波形調整レジスタ 1 (RXWR1) を設定後、DALI 通信を開始してください。

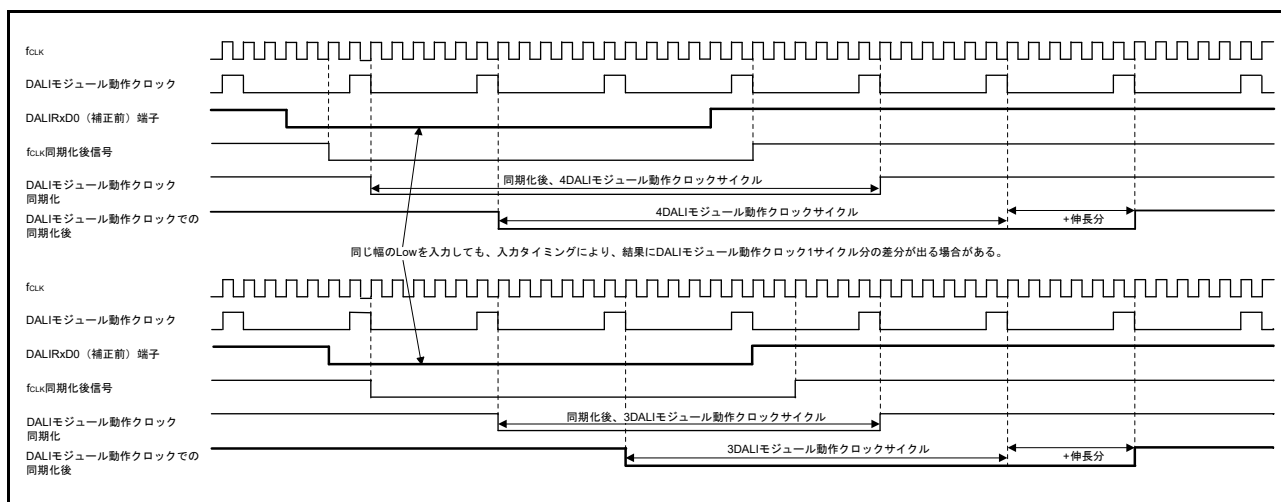
RXWR1.RSLEN[5:0] ビットで設定する伸長幅を以下に示します。

伸長幅 = (RXWR1.RSLEN[5:0] 値 + 1) × DALI モジュール動作クロックサイクル 1 サイクル分 (3.25 μs Typ.)

26.3.7.2 動作説明

DALIRxD0 入力波形幅調整機能では、DALIRxD0 入力信号を fCLK で同期化したあと、DALI モジュール動作クロック (3.25 μs Typ.) で同期化します。したがって、波形幅の調整は、同期化された後の信号に対して行われます。このため、入力信号が受信されるタイミングによって DALI モジュール動作クロック 1 サイクル分の差分が起こります。また、同期化および伸長を行うために、元の波形に比べて遅れた波形になります。

図26 - 46 DALIRxD0入力波形幅調整機能の同期化と伸長動作例



もし通信中に何かしらの問題が発生し、通信を初期化からやり直すことが必要な際は、RXWR1.RSEN ビットに 0 を設定することで、DALIRxD0 入力波形幅調整回路の内部が動作中の状態で停止していたとしても初期化することができます。

RXWR1.RSLEN[5:0] ビットの値は必要な最小の補正值にしてください。たとえば通信相手によって、必要な伸長幅が違う場合は最小の補正值を設定します。必要以上に伸長させると DALIRxD0 入力波形幅調整回路が誤動作する可能性があります、DALI 通信が正常に行われない場合があります。

26.3.8 拡張モード選択ビット (CNFR1.EXM) の制御

DALI モジュールは、拡張モード選択ビット (CNFR1.EXM) の設定値により、通信動作が異なります。

26.3.8.1 受信動作

受信動作において、拡張モード選択ビット (CNFR1.EXM) の設定値による動作の違いは、INTRD 出力有無、STR2.RDBL[8:0] ビットの有効ビット幅、STR1.LFRF フラグのセット条件のみです。表 26 - 9 および図 26 - 47 に拡張モード選択ビットの設定値による動作の違いについて示します。

表26 - 9 拡張モード選択ビット (CNFR1.EXM) の設定値による違い (受信動作)

CNFR1.EXMビットの設定値	0 (非拡張モード)	1 (拡張モード)
INTRD出力	Low固定	CTR1.RDIE = 1のときに出力
STR2.RDBL[8:0] ビットの有効ビット	STR2.RDBL[5:0] (STR2.RDBL[8:6] = 000B固定)	STR2.RDBL[8:0]
STR1.LFRF フラグのセット条件	33ビット目を受信したとき	257ビット目を受信したとき

拡張モード時の受信動作について、下記の点に注意してください。

- 受信完了時のINTRD出力タイミング

受信データをDALI受信データレジスタ1H, 1L (RDR1H, RDR1L) に格納するとINTRDを出力します。受信データ格納タイミングは、32ビット受信ごとと、ストップコンディション検出時です。

ただし、32で割り切れる受信データ長の場合、すでに32ビット受信タイミングで受信データを格納済みのため、ストップコンディション検出時に受信データ格納を行いません。そのため、受信データ長によって、受信完了時のINTRD出力タイミングが異なります。

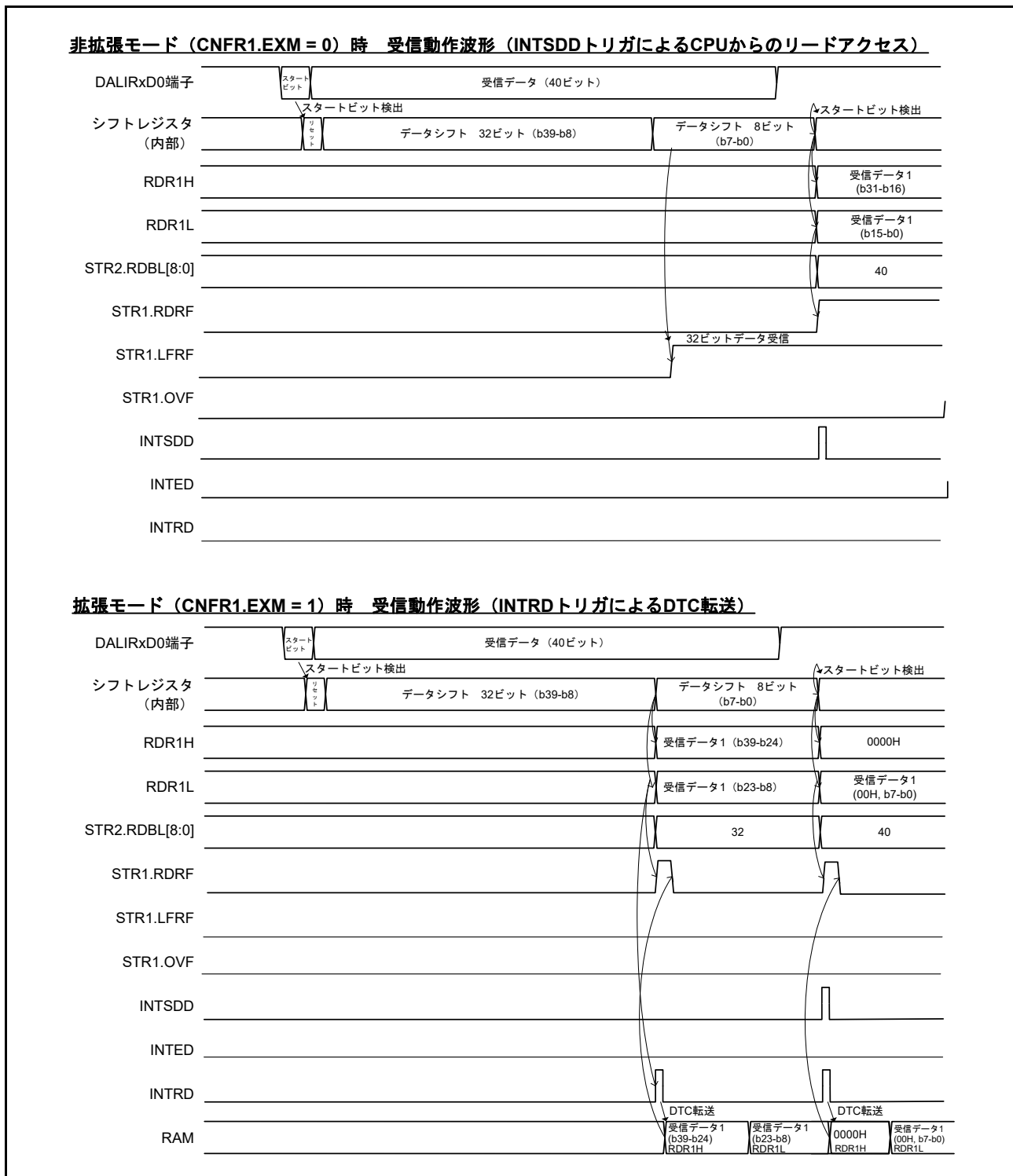
例) INTRD出力回数とタイミング

- ビット長32ビット未満 : ストップコンディション検出時に1回出力
- ビット長32ビット : 32ビット受信時に1回出力 (ストップコンディション検出時には出力されない)
- ビット長32ビット超62ビット未満 : 32ビット受信時とストップコンディション検出時に計2回出力

- 受信データレジスタに不要データを含む場合がある

32ビットを超え、かつ32ビット単位のデータ長でないフレームを受信する場合 (図 26 - 47 の受信動作例のような40ビット長など)、DALI受信データレジスタ1H, 1L (RDR1H, RDR1L) に不要データが含まれます。これは、DALI受信データレジスタ1H, 1Lがデータを右詰めで格納するためです。そのため、32ビットを超える場合には、STR2.RDBL[8:0] ビットにて受信データ長を確認し、必要なビットを抜き出してご使用ください。

図26 - 47 拡張モード選択ビット (CNFR1.EXM) の設定値による違い (受信動作波形)



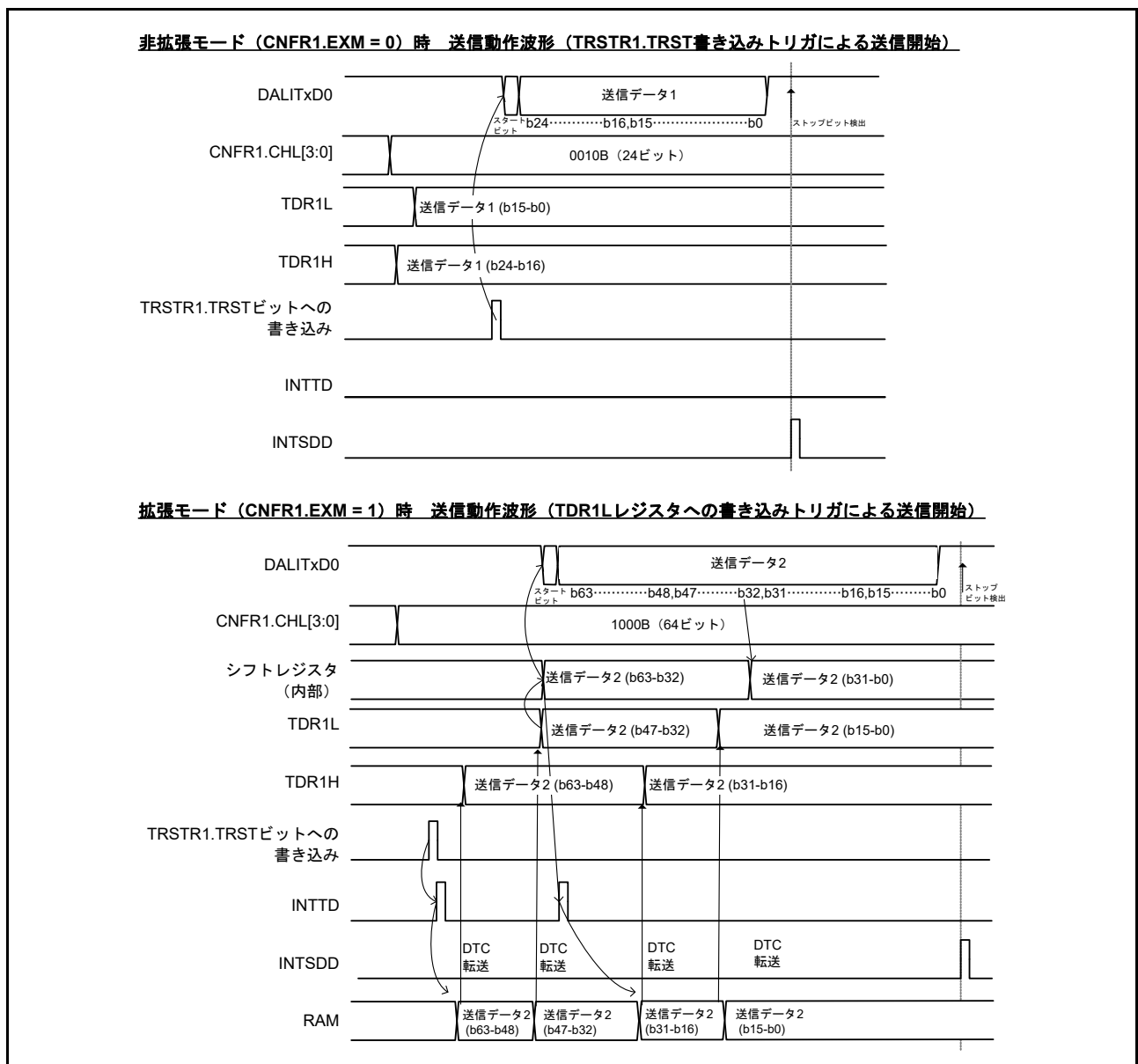
26.3.8.2 送信動作

送信動作において、拡張モード選択ビット (CNFR1.EXM) の設定値による動作の違いは、INTTD 出力有無、キャラクタ長、送信開始トリガ、アンダランエラー検出機能です。表 26 - 10 および図 26 - 48 に拡張モード選択ビットの設定値による動作の違いについて示します。

表26 - 10 拡張モード選択ビット (CNFR1.EXM) の設定値による違い (送信動作)

CNFR1.EXMビットの設定値	0 (非拡張モード)	1 (拡張モード)
INTTD出力	Low固定出力	CTR1.TDIE = 1のときに出力
キャラクタ長	CNFR1.CHL[2:0] (CNFR1.CHL[3]ビットの設定値は無効)	CNFR1.CHL[3:0]
送信開始トリガ	TRSTR1.TRSTビットへの1書き込み	TDR1Lレジスタへの書き込み
アンダランエラー検出機能	無効	有効

図26 - 48 拡張モード選択ビット (CNFR1.EXM) の設定値による違い (送信動作波形)

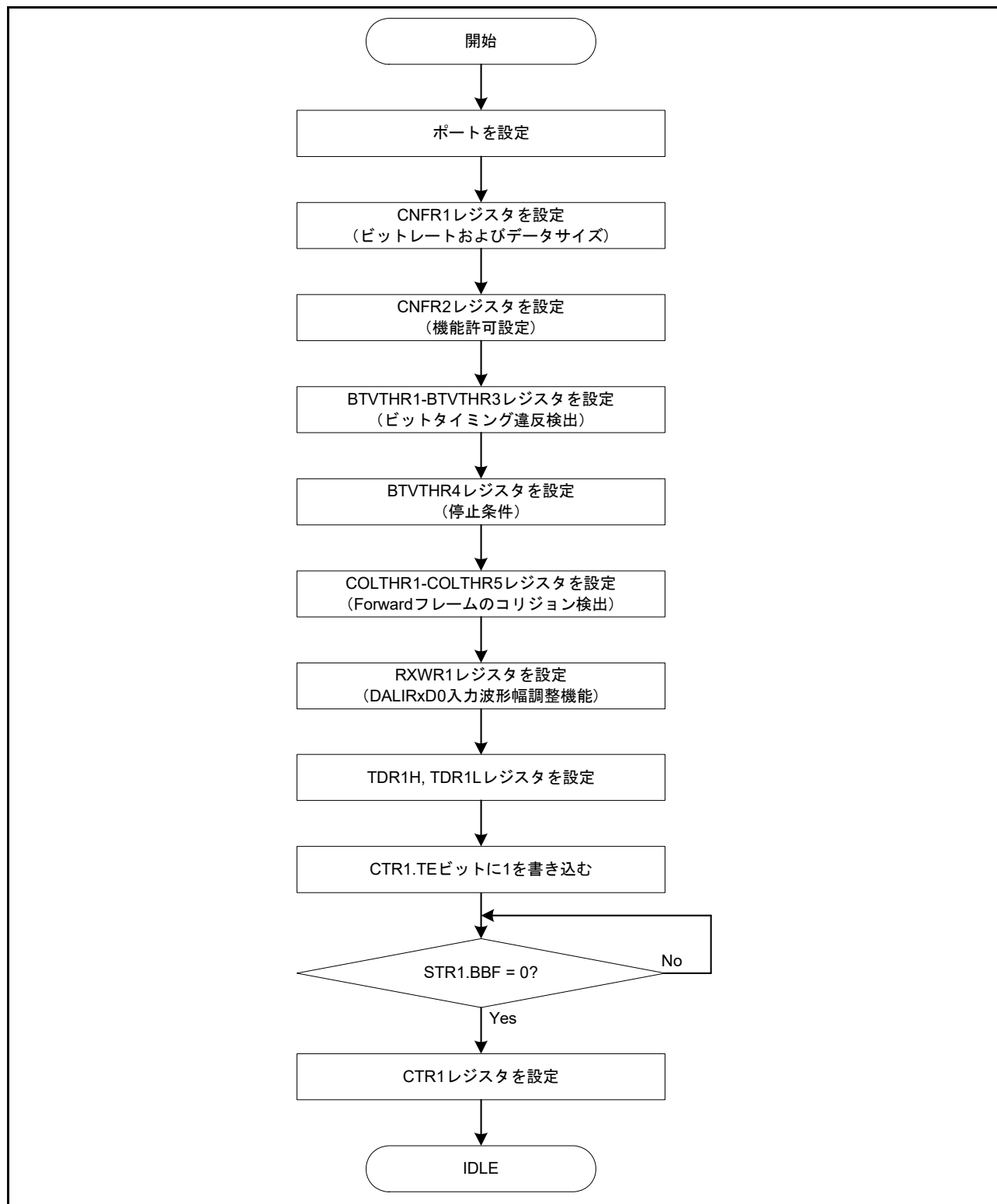


26.4 動作説明

26.4.1 初期設定

データを送受信する前に**図 26 - 49 初期設定フロー**に従って各レジスタを設定してください。

図 26 - 49 初期設定フロー



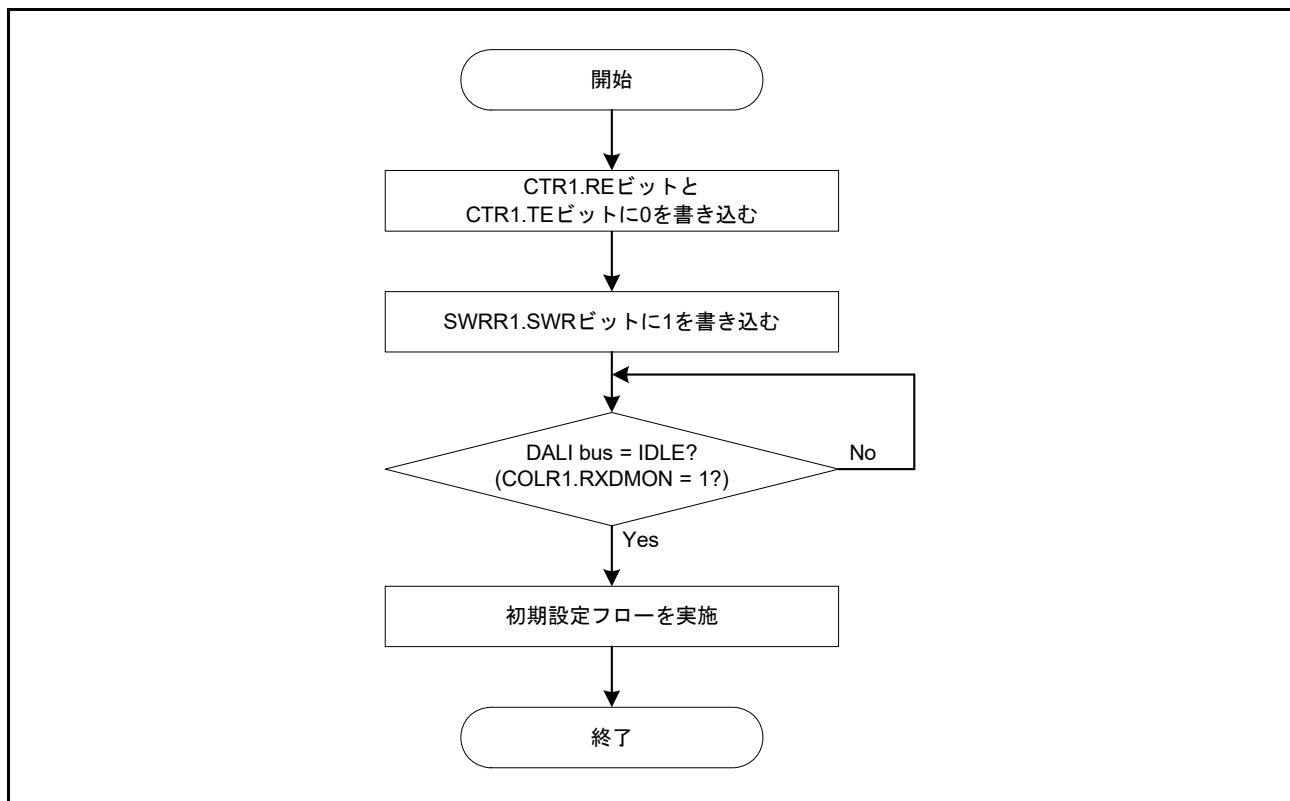
26.4.2 ソフトリセット

データレジスタ、フラグビット、内部レジスタおよび内部カウンタにリセットが必要な場合は、**図 26 - 50 ソフトリセットフロー**に従ってください。DALI モジュールの出力端子もリセットされます。ソフトリセットの対象レジスタおよび DALI モジュールの出力端子については、**26.2.23 DALI ソフトリセットレジスタ 1 (SWRR1)** を参照してください。

26.4.2.1 ソフトリセットの使用例

- (1) 送受信を停止
送受信を停止するには**図 26 - 50 ソフトリセットフロー**を実行してください。
- (2) バスパワーダウン中に受信を停止
DALIモジュールは、バスパワーダウン中でもフレームを受信し続けます。バスパワーダウン中に受信を停止するには、**図 26 - 50 ソフトリセットフロー**を実行してください。すなわち、DALI busがバスパワーダウン状態から復帰したあと、CTR1.TEビットおよびCTR1.REビットを1にし、その後通信を再開してください。
- (3) 想定を超えたデータ長のデータ受信を停止
DALIモジュールが想定を超えるデータ長のデータを受信している間、INTSDDは出力されません。受信を停止するには、STR1.LFRFフラグが1であることを確認し、**図 26 - 50 ソフトリセットフロー**を実行してください。すなわち、CTR1.REビットを0にし、DALI bus回復後、CTR1.REビットを1にし、その後受信を再開してください。

図 26 - 50 ソフトリセットフロー

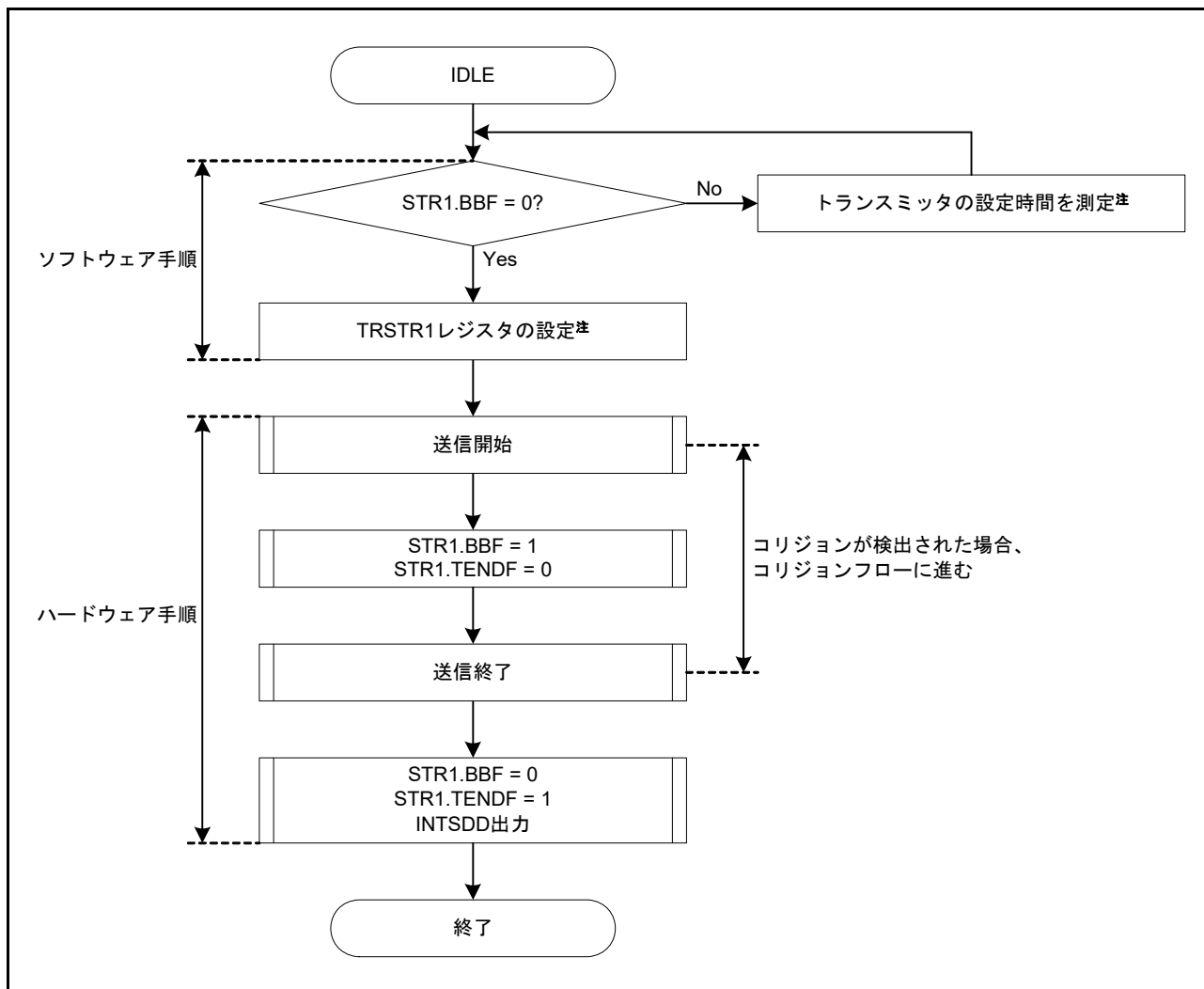


26.4.3 送信

26.4.3.1 非拡張モード時の送信フロー

図 26 - 51 に非拡張モード時の DALI 通信の送信フローを示します。

図 26 - 51 送信フロー (非拡張モード : CNFR1.EXM = 0)

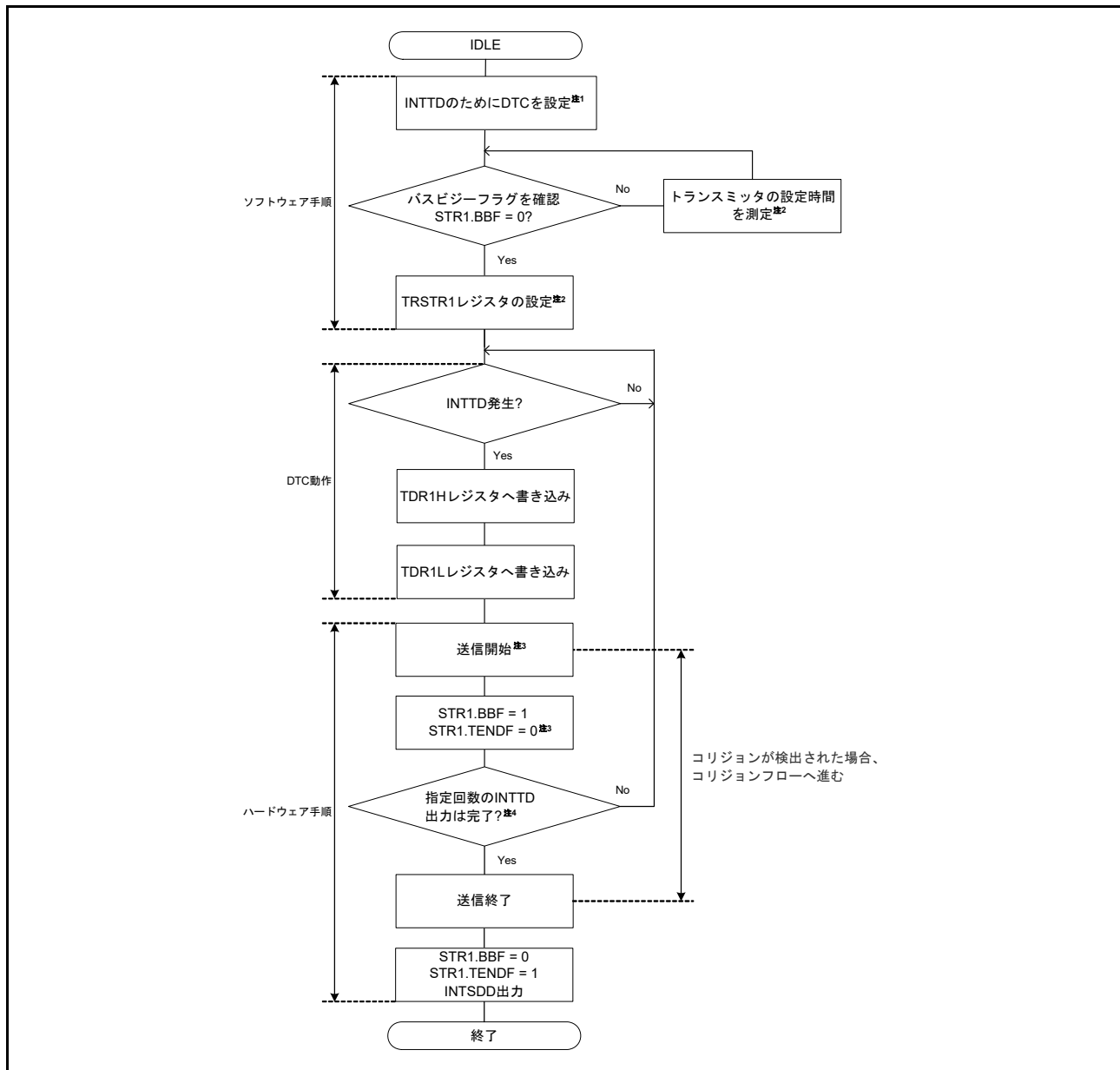


注 トランスミッタの設定時間はIEC 62386-101 第2.0版/第2.1版に定義されており、DALIモジュールはトランスミッタの設定時間の測定を行いません。TRSTR1レジスタに書き込む場合、定義された設定時間に従ってください。

26.4.3.2 拡張モード時の送信フロー

図 26 - 52 に拡張モード時の DTC 転送を用いた DALI 通信の送信フロー、図 26 - 53 に CPU 処理による DALI 通信の送信フローを示します。また、表 26 - 11 に DTC 設定例を示します。

図 26 - 52 DTC 転送を用いた DALI 通信の送信フロー



注1. DTCの設定例は、27.3.3 ベクタ・テーブルを参照してください。

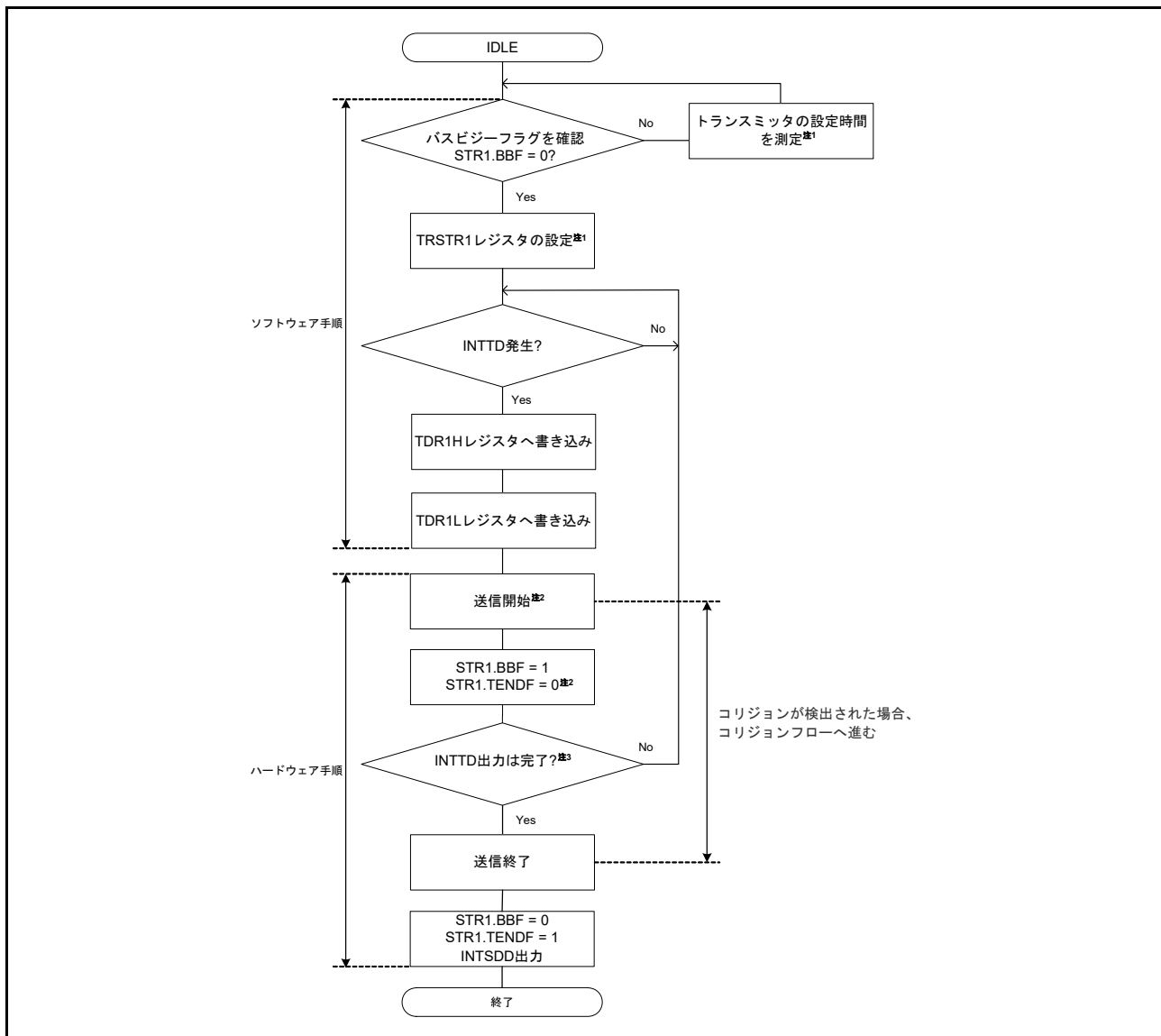
注2. トランスミット時間は、IEC 62386-101 第2.0版/第2.1版によって定義されていますが、本製品では設定時間を判断していません。TRSTR1レジスタを設定する場合は、規格に記された設定時間に従ってください。

注3. 最初の送信のみです。

注4. 拡張モードの場合 (CNFR1.EXM = 1)、INTTD割り込みの出力回数は、CNFR1.CHL[3:0]ビットの設定値によります。詳細は、26.4.5 割り込み出力を参照してください。

注意 初期設定フローにおいて、制御レジスタを適切な値に設定してください (クロック選択、送信データサイズ、送信許可など)。もし設定を変更した場合、初期設定を再度行ってください。

図26 - 53 CPU処理によるDALI通信の送信フロー



注1. トランスミット時間は、IEC 62386-101 第2.0版／第2.1版によって定義されていますが、本製品ではこの設定時間を自動判定していません。TRSTR1レジスタを設定する場合は、規格に記された設定時間に従ってください。

注2. 最初の送信のみです。

注3. 拡張モードの場合（CNFR1.EXM = 1）、INTTD割り込みの出力回数は、CNFR1.CHL[3:0]ビットの設定値によります。詳細は、26.4.5 割り込み出力を参照してください。

注意 初期設定フローにおいて、制御レジスタを適切な値に設定してください（クロック選択、送信データサイズ、送信許可など）。もし設定を変更した場合、初期設定を再度行ってください。

26.4.3.3 送信データ書き込み用DTC設定例

拡張モード時 (CNFR1.EXM = 1)、送信データ書き込み要求割り込み (INTTD) で DTC を起動し、送信データを TDR1H, TDR1L レジスタに転送するためには、DTC の設定が必要です。

表 26 - 11 に送信データ書き込み用 DTC 設定例を示します。

表26 - 11 送信データ書き込み用DTC設定例

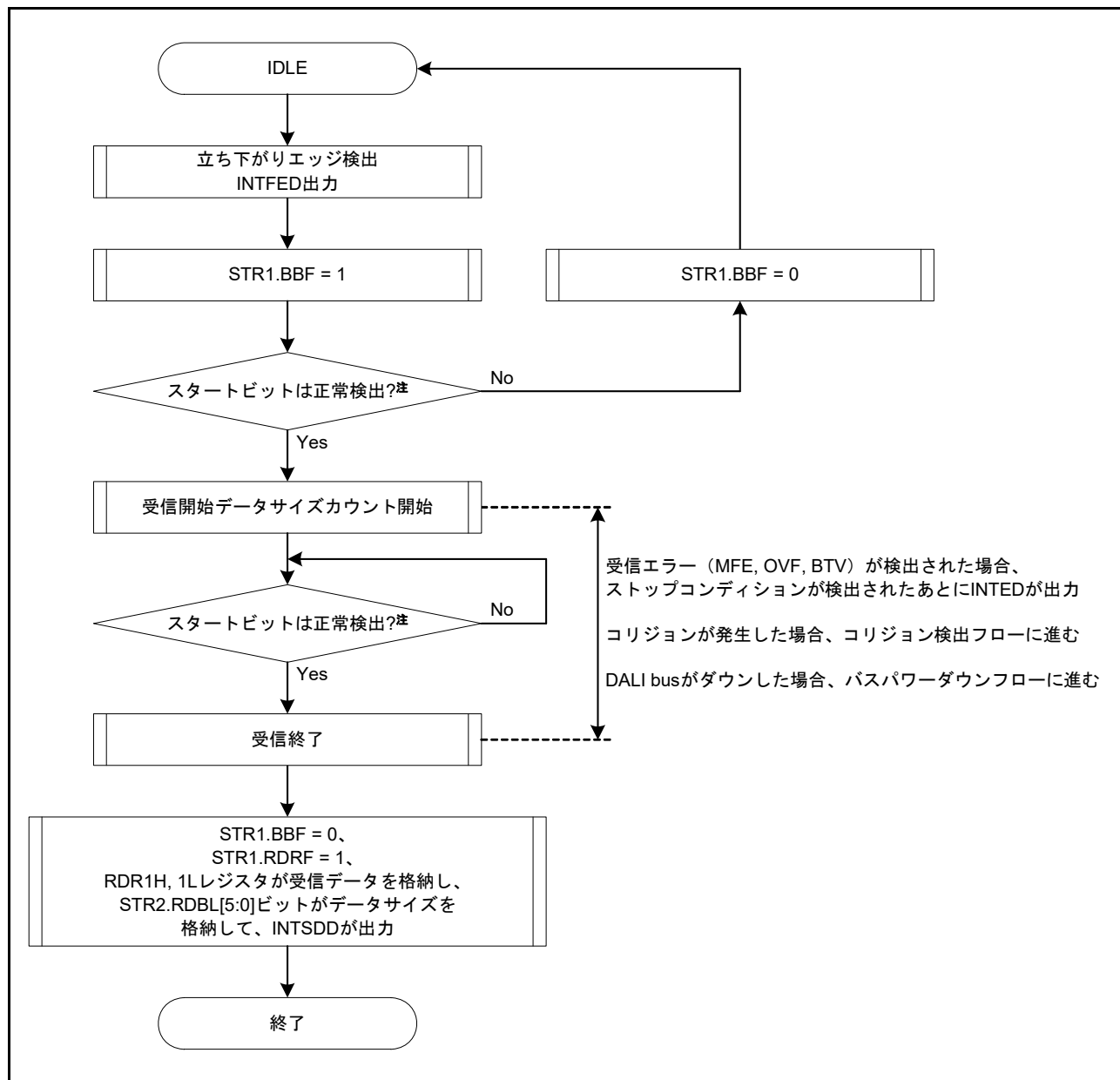
DTCのレジスタ		送信データ長			
		≦32ビット	64ビット	128ビット	256ビット
DTCCRj	SZ	1	1	1	1
	RPTINT	0	0	0	0
	CHNE	0	0	0	0
	DAMOD	0	0	0	0
	SAMOD	1	1	1	1
	RPTSEL	0	0	0	0
	MODE	0	0	0	0
DTBLSj		02H	02H	02H	02H
DTCCTj		01H	02H	04H	08H
DTSARj		RAMのアドレス	RAMのアドレス	RAMのアドレス	RAMのアドレス
DTDARj		TDR1Hレジスタの アドレス	TDR1Hレジスタの アドレス	TDR1Hレジスタの アドレス	TDR1Hレジスタの アドレス

26.4.4 受信

26.4.4.1 非拡張モード時の受信フロー

図 26 - 54 に非拡張モード時の DALI 通信の受信フローを示します。

図 26 - 54 受信フロー (非拡張モード : CNFR1.EXM = 0)

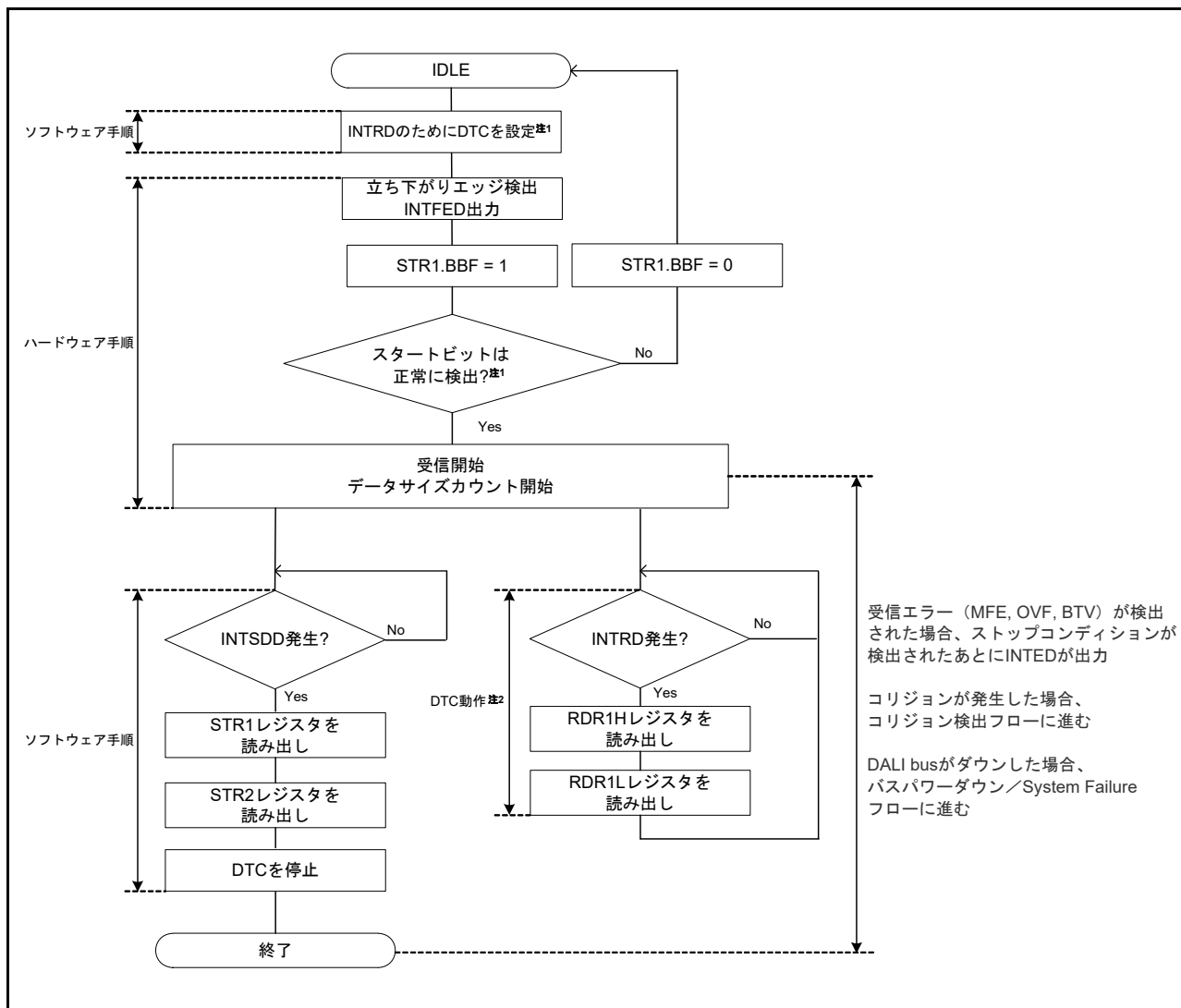


注 26.4.4.4 スタートビット検出を参照してください。

26.4.4.2 拡張モード時の受信フロー

図 26 - 55 に拡張モード時の DTC 転送を用いた DALI 通信の受信フロー、図 26 - 56 に CPU 処理による DALI 通信の受信フローを示します。また、表 26 - 12 に DTC 設定例を示します。

図 26 - 55 DTC 転送を用いた DALI 通信の受信フロー

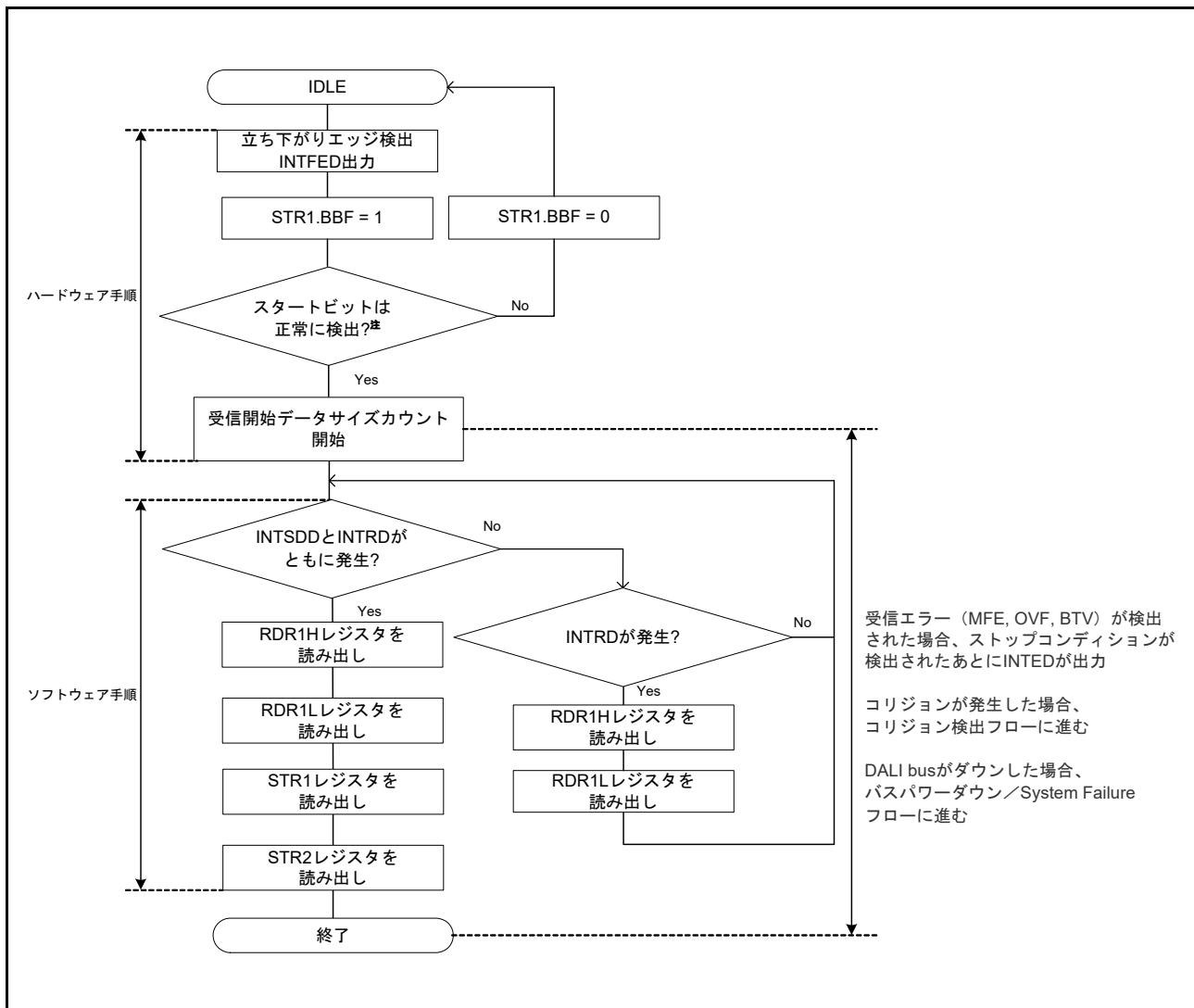


注1. 26.4.3.3 送信データ書き込み用DTC設定例を参照してください。

注2. DTCの設定例は27.4.3 リピート・モードを参照してください。

注意 初期設定フローにおいて、制御レジスタを適切な値に設定してください（クロック選択、送信データサイズ、送信許可など）。もし設定を変更した場合、初期設定を再度行ってください。

図26 - 56 CPU処理によるDALI通信の受信フロー



注 26.4.4.4 スタートビット検出を参照してください。

注意 初期設定フローにおいて、制御レジスタを適切な値に設定してください (クロック選択、送信データサイズ、送信許可など)。もし設定を変更した場合、初期設定を再度行ってください。

26.4.4.3 受信データ読み出し用DTC設定例

受信データ読み出し要求割り込み (INTRD) で DTC を起動し、RDR1H, RDR1L レジスタから受信データを転送するためには、DTC の設定が必要です。

受信完了前に受信データ長はわからない前提で、最大受信長の転送を見越した設定を行ってください。最大受信長に満たないフレームを受信した場合は、ストップコンディション検出割り込み (INTSDD) を受けて、DTC 転送を停止させてください。

表 26 - 12 に INTRD 用 DTC 設定例を示します。

表26 - 12 INTRD用DTC設定例

DTCのレジスタ		受信データ長 (最大)
		256ビット
DTCCRj	SZ	1
	RPTINT	0
	CHNE	0
	DAMOD	1
	SAMOD	0
	RPTSEL	0
	MODE	0
DTBLSj		02H
DTCCTj		08H
DTSARj		RAMのアドレス
DTDARj		RDR1Hレジスタのアドレス

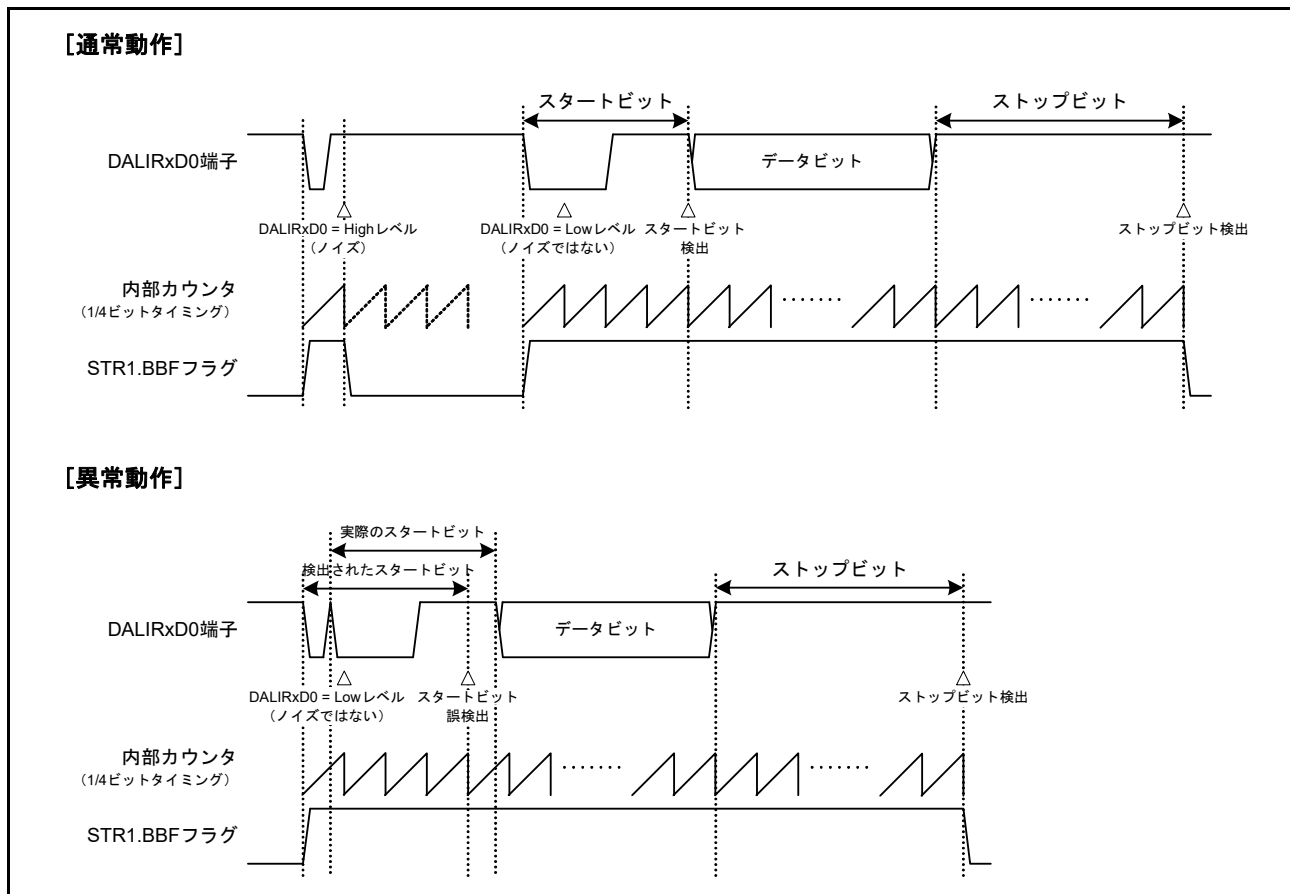
26.4.4.4 スタートビット検出

DALI モジュールには、ノイズによりスタートビットが誤って検出されるのを防止する機能があります。

DALIRxD0 端子に立ち下がりエッジが入力されると受信動作が開始します。その後、STR1.BBF フラグが設定されます。1/4 ビットのタイミングで DALIRxD0 端子に High レベルが検出されると、立ち下がりエッジによりノイズが原因と判断されます。その後 STR1.BBF フラグはクリアされ、内部状態は IDLE に戻ります。

本機能は、立ち下がりエッジ検出から 1/4 ビットタイミングまでの期間中に発生したノイズを除去します。ただし、この期間にスタートビットが生成されると、各ビットの値は、最大 1/4 ビット長早くサンプリングされます (図 26 - 57 スタートビット検出参照)。その場合、マンチェスタフレーミングエラー、ビットタイミング違反、またはフレームサイズ違反が原因である可能性があります。

図26 - 57 スタートビット検出



26.4.5 割り込み出力

26.4.5.1 INTFED, INTSDD, INTED

INTSDD または INTED 発生時は、関連するフラグと受信データを確認してください。
 INTSDD および INTFED は、DALI モジュールの外部タイマを使った測定で使用されます。

図26 - 58 INTFED, INTSDD, INTED発生時のソフト処理手順 (1/2)

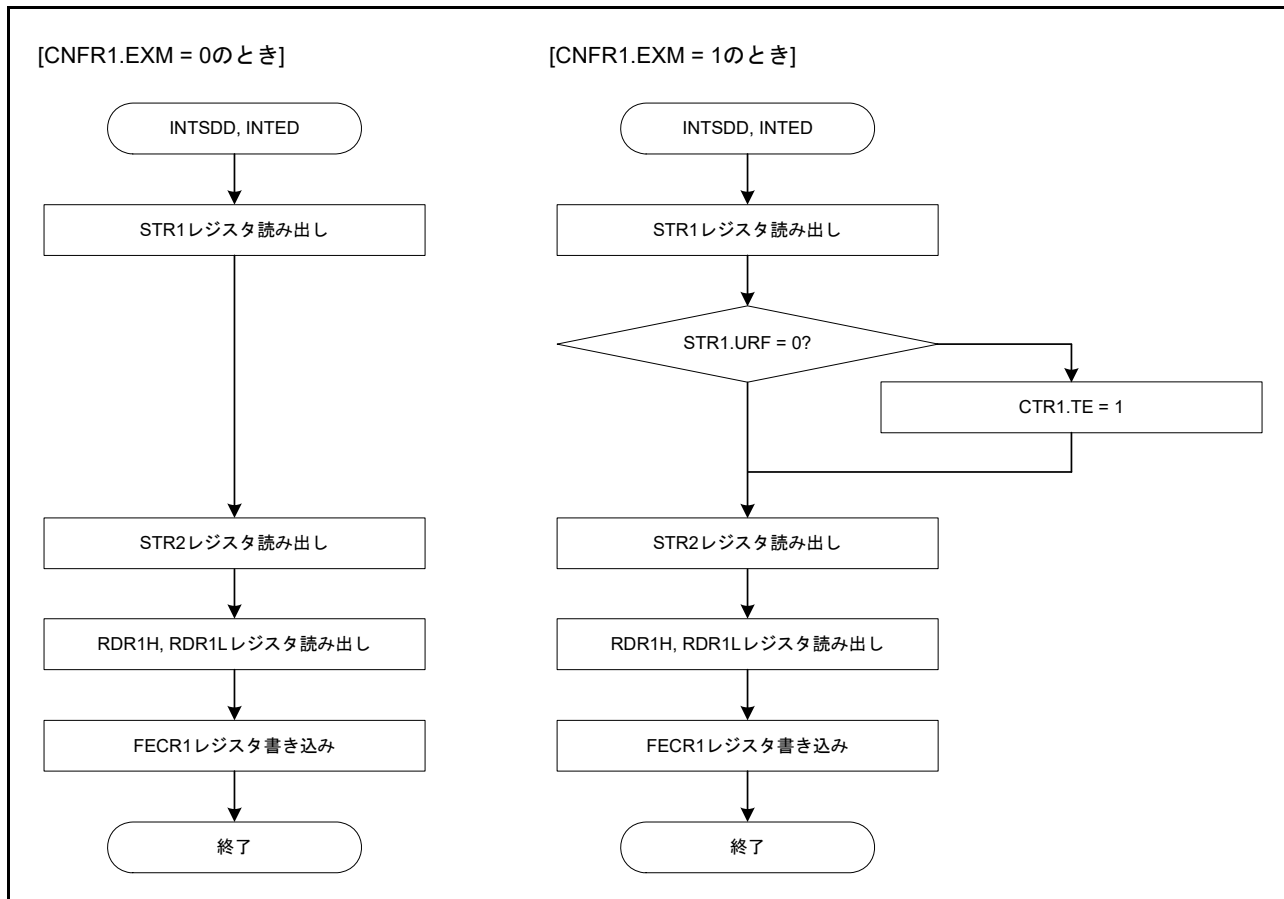
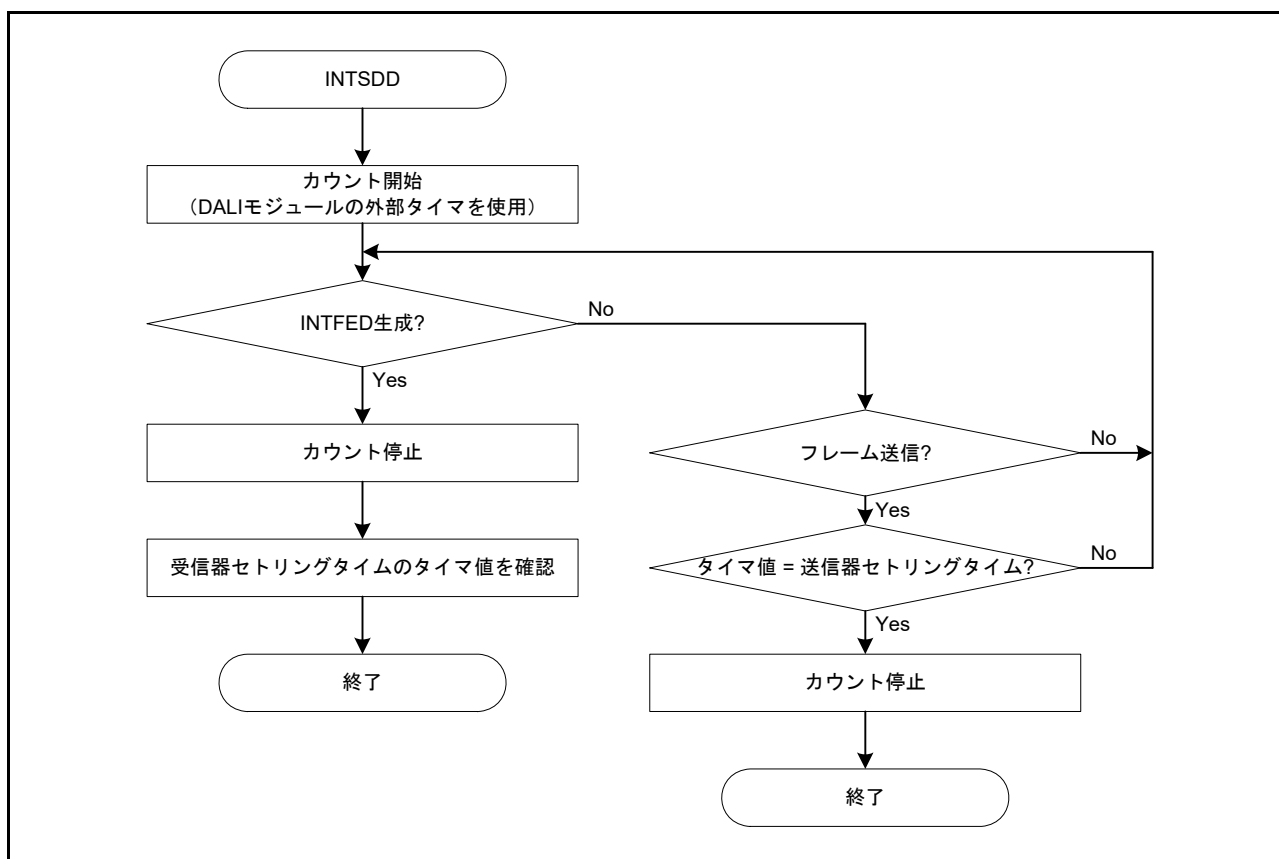


図 26 - 58 INTFED, INTSDD, INTED発生時のソフト処理手順 (2/2)



26.4.5.2 INTCLD

図 26 - 41 コリジョン発生時の処理のフローを参照してください。

26.4.5.3 INTBPD

図 26 - 37 パスパワーダウン / System Failure のフローを参照してください。

26.4.5.4 INTRD

図 26 - 55 DTC 転送を用いた DALI 通信の受信フローおよび図 26 - 56 CPU 処理による DALI 通信の受信フローを参照してください。

26.4.5.5 INTTD

図 26 - 52 DTC 転送を用いた DALI 通信の送信フローおよび図 26 - 53 CPU 処理による DALI 通信の送信フローを参照してください。

26.5 使用上の注意事項

26.5.1 受信データ長の誤認

データ受信中に MFE の High レベルが BTV しきい値 6 の期間中継続すると、DALI モジュールは、ストップコンディションが検出されたことを認識しますが、MFE は検出しません。すなわち、INTSDD は出力されますが、INTED は出力されず、STR1.MFEF フラグはセットされません。たとえば、ストップコンディションが 3 ビット長と定義されている場合、24 ビットデータのビット [10:8] が High になると、DALI モジュールは、ビット [7:0] を 8 ビットデータ、ビット [10:8] をストップコンディション、ビット [11] を次フレームのスタートビット、ビット [24:12] を次フレームのデータと認識します。この場合、ビットは 2 番目のフレームと認識され、ビット [24:11] はフレームサイズ違反により無効データとして検出されます。ただし、第 1 フレームとして認識されたデータ (ビット [7:0]) は、通常の Backward フレーム受信となります。

17 ビットデータ (ビット [16:0]) が受信され、最終受信ビット (ビット [0]) が MFE で High に固定されている場合、DALI モジュールは、最後に受信されたビットはストップコンディションであると認識し、MFE を検出しません。したがって、DALI モジュールは、このデータを 16 ビットの正常受信として処理を行い、データ長を誤認することになります。受信データが正しいものか誤認かの判別は、上位の通信で行うようにしてください。

別の DALI 機器がフレームを送信している間に CTR1.RE ビットを 0 から 1 に変更すると、フレーム送信中にデータ受信が開始します。DALI bus が IDLE 状態中に CTR1.RE ビットを設定してください。STR1.BBF フラグまたは COLR1.RXDMON ビットを検証して DALI bus が IDLE 状態かどうかを判断してください。

26.5.2 想定を超えるデータ長のデータ受信

DALI モジュールはストップコンディションを検出するまで受信動作を継続します。

想定を超えるフレームを受信すると、DALI モジュールは、CNFR1.EXM = 0 のときは、受信データの 33 ビット目のデータを認識時に、CNFR1.EXM = 1 のときは、257 ビット目を認識した時点で STR1.LFRF フラグをセットし、受信を継続します。データ長は、STR2.RDBL[5:0] ビットの最大値、すなわち 63 までカウント・アップされます。ただし、カウンタが最大値に達する前にストップコンディションが検出できない場合、カウンタはオーバフローし、0 からカウントを再開します。この場合、STR1.LFRF フラグが 1 でも STR2.RDBL[5:0] ビットの値は無効です。この値は、受信データ長には必要ありません。

ストップコンディションが長時間検出できない場合、STR1.BBF フラグは 1 のままで、INTSDD のような割り込み信号はアサートされません。この場合、STR1.LFRF フラグが 1 であること (不正な長いデータの受信を意味する) を確認し、CTR1.RE ビットを 0 にして DALI モジュールの受信動作を停止してください。DALI bus 状態が正常に回復したあと、SWRR1.SWR ビットを 1 にしてソフトリセットを発行し、受信動作を再開してください。

26.5.3 発振誤差とサンプリングエラー

DALI モジュールの動作クロックは、fCLK 周波数を分周することにより生成されます。DALI bus からのデータは、DALI モジュールの動作クロックに同期して入力されます。このため、fCLK 発振誤差および DALI モジュールサンプリングエラーを考慮して、ビットタイミング違反検出しきい値およびコリジョン検出しきい値を設定してください。DALI モジュールのサンプリングエラーは、最大で DALI モジュール動作クロックサイクルの 1 サイクル分 (3.25 μ s Typ.) です。なお、DALI モジュールは発振誤差を $\pm 1.5\%$ として設計されています。

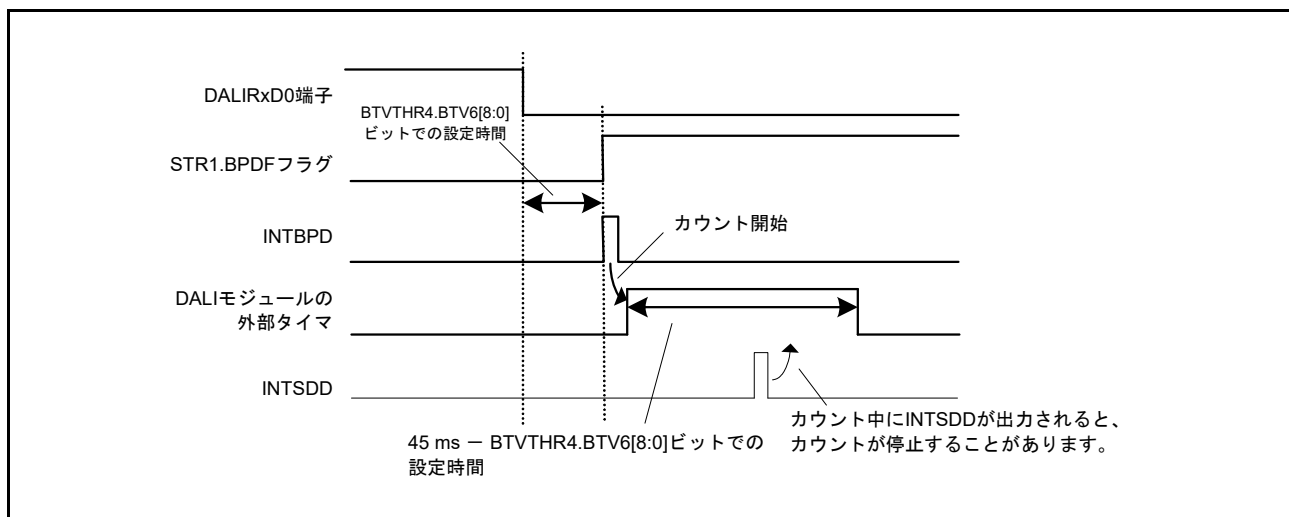
26.5.4 DALIモジュールの外部タイマの使用

DALI 規格の更新や変更が簡単に反映されるように、いくつかの機能は DALI モジュールの外部タイマを使用しています。以下に外部タイマを使用する機能について説明します。

26.5.4.1 バスパワーダウン／System Failureの判定

DALI モジュールは、BTV しきい値 6 の期間、DALI bus の Low レベルを測定し、INTBPD を出力します。DALI 規格に従うと、バスパワーダウンは Low レベル期間が 45 ms 以上継続した場合、System Failure は Low レベル期間が 550 ms 以上継続した場合です。したがって、INTBPD により DALI モジュールの外部タイマを開始し、 $\{45 \text{ ms} - (\text{BTV しきい値 } 6)\}$ の期間、 $\{550 \text{ ms} - (\text{BTV しきい値 } 6)\}$ を測定してください。測定終了後、STR1.BPDF フラグの値をチェックし、測定中に DALI bus が Low のままであったことを確認してください。DALI モジュールのバスパワーダウン動作の詳細については、**26.3.3.5 バスパワーダウン／System Failure** を参照してください。

図26 - 59 バスパワーダウン検出例

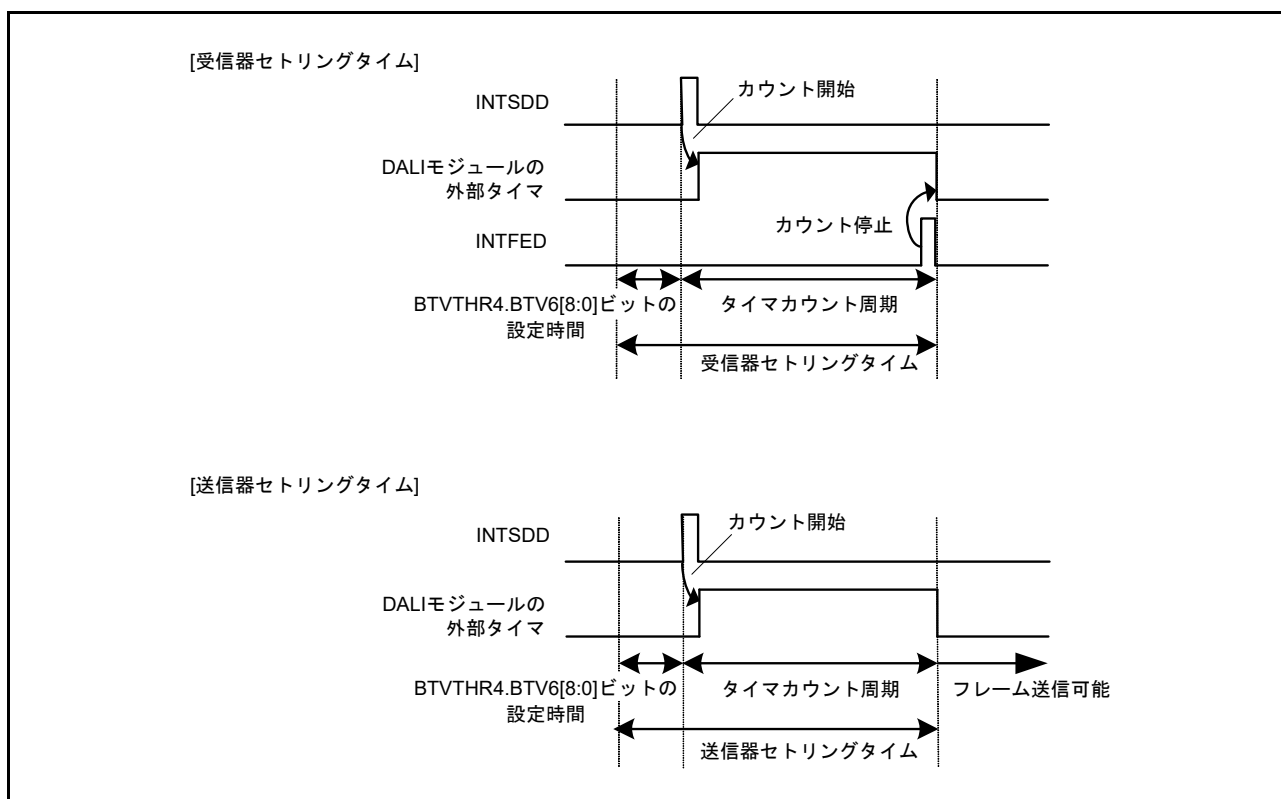


26.5.4.2 セトリングタイム測定

DALI 規格にセトリングタイムが定義されています。国際規格 IEC 62386-101 に指定されているように、セトリングタイムを測定するには DALI モジュールが出力する INTSDD および INTFED を使用してください。DALI モジュールの DALIRxD0 端子にストップコンディション (BTVTHR4.BTV6[8:0] ビットで指定した時間) が検出されると INTSDD が出力されます。受信動作が許可されていないとき (CTR1.RE = 0) でも DALI モジュールは DALIRxD0 端子をモニタしており、INTFED などの割り込みは発生します。

INTFED は、DALI bus が IDLE (High レベル) 状態後の最初の立ち下がりエッジ検出時に出力されます。DALI モジュールは、スタートビット認識前に INTFED を出力します。したがって、DALI bus が IDLE 状態からの最初の立ち下がりエッジがノイズの場合、INTFED が出力されますが、DALI モジュールは受信動作状態に移りしない可能性があります。INTFED は内部動作には使用されず、セトリングタイムの測定に使用されます。

図26 - 60 セトリングタイム測定例

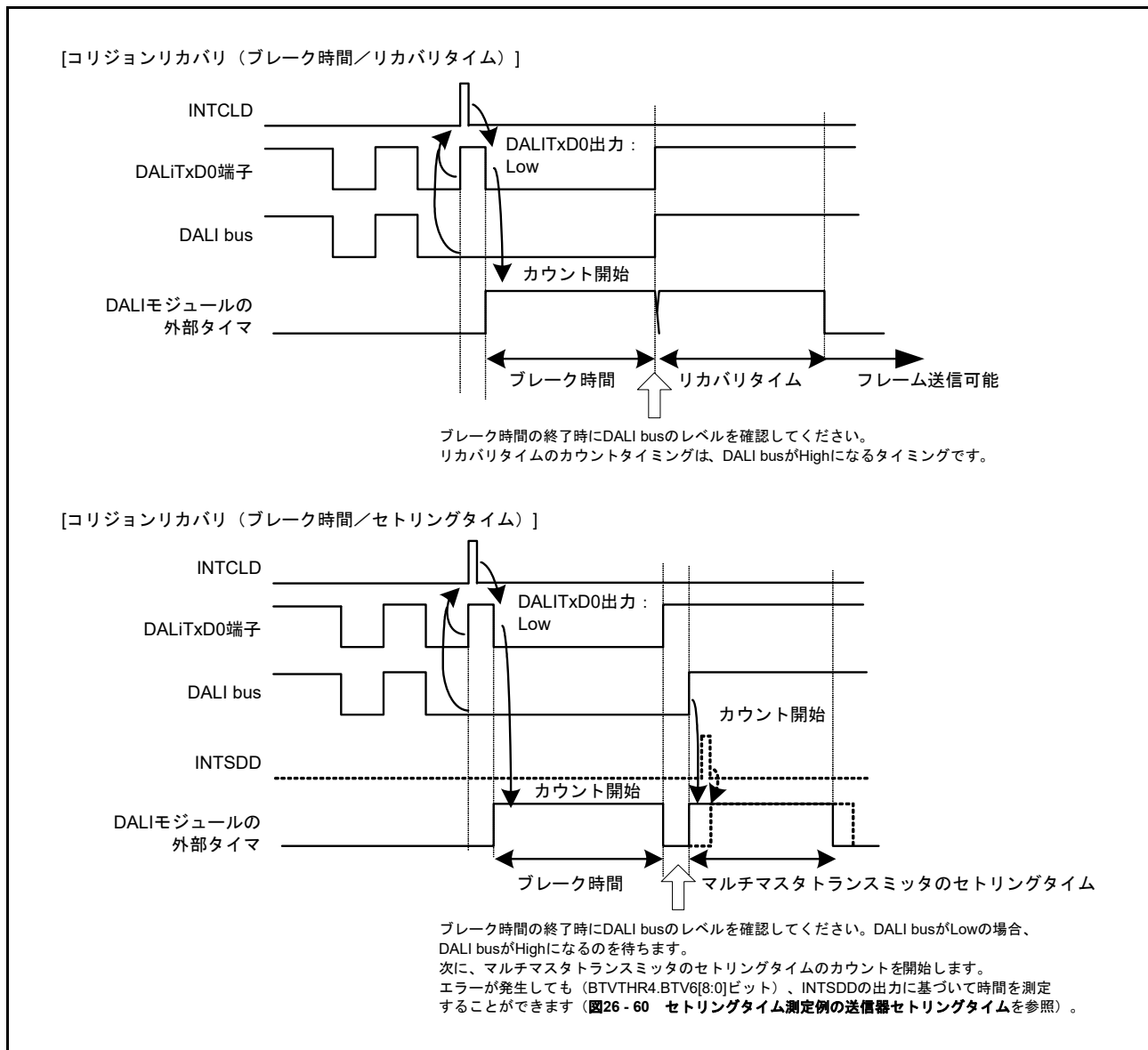


26.5.4.3 コリジョン発生時の送信制御

CNFR2.CDE ビットが1になるとコリジョン検出を開始します。DALI モジュールは、コリジョンが検出されても送信を続けます。DALI モジュールは、**26.3.4 コリジョン**で説明したとおりに制御する必要があります。

ブレイク時間 (T_{break})、コリジョンリカバリのためのリカバリタイム (T_{recover})、およびマルチマスタトランスミッタのセtringタイムを測定する必要があります。

図26-61 コリジョン検出例

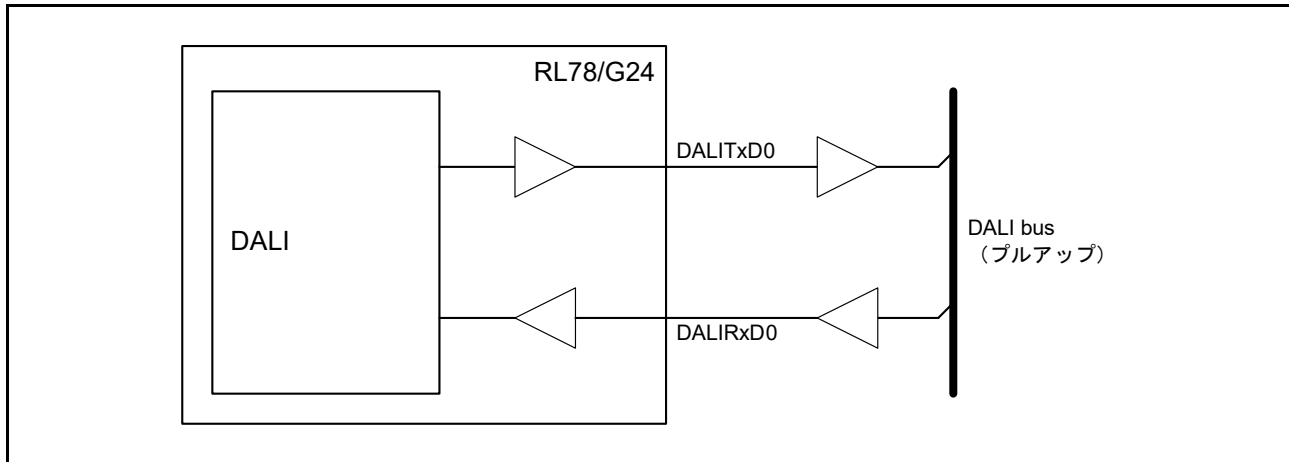


26.5.5 外部デバイス接続例

図 26 - 62 に示すように、DALITxD0 端子および DALIRxD0 端子を DALI bus に接続してください。

国際規格 IEC 62386-101 (第 2.0 版 : 2014-11 / 第 2.1 版 : 2018-05) を満たすことができる外部回路を設計してください。

図 26 - 62 外部デバイス接続例



26.5.6 外部デバイス選定時の注意事項

DALI bus と RL78/G24 を接続するには、電圧変換と必要に応じて絶縁を行う外部回路を介する必要があります。

外部回路にはフォトカプラとトランジスタを組み合わせることがありますが、波形の立ち上がり立ち下がりに対して遅延が生じ、High レベル幅および Low レベル幅が崩れます。そのため、設計の際には注意が必要です。

電圧変動、経年劣化を考慮した上で、DALI 規格（バス側から見た規定）と本モジュールの許容範囲に外部回路を設計する必要があります。本 DALI モジュールは、DALITxD0 出力波形幅調整機能と DALIRxD0 入力波形幅調整機能を搭載しており、この機能を使用することで、幅広い送受信特性を実現することが可能です。

DALITxD0 出力波形幅調整範囲：214.5 ~ 617.5 μ s

DALIRxD0 エッジ受付可能範囲：

CNFR2.SGAビットが0かつFTDC0.ISTビットが0（初期値）のとき

マンチェスタコードのHigh/Lowレベル期間：318.5 ~ 510.25 μ s

CNFR2.SGAビットが1かつFTDC0.ISTビットが0のとき

マンチェスタコードのHigh/Lowレベル期間：295.75 ~ 559 μ s

FTDC0.IST = 1のとき（CNFR2.SGAは任意）

マンチェスタコードのHigh/Lowレベル期間：292.5 ~ 552.5 μ s

DALIRxD0 入力波形幅調整範囲：0 ~ 208 μ s

注意1. DALIRxD0入力波形幅調整範囲は、DALIRxD0エッジ受付可能範囲に対して外部回路による立ち上がり立ち下がり補正機能です。

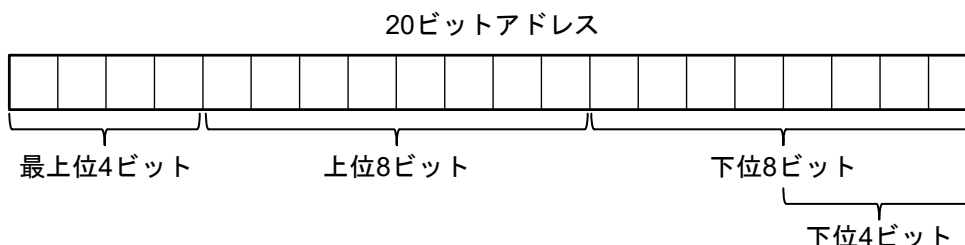
注意2. いずれも発振クロックの誤差は含みません。

詳細は、以下を参照してください。

- 26.3.6 DALITxD0出力波形幅調整機能
- 26.3.5.1 DALIRxD0入力信号のエッジ可能領域の調整
- 26.3.7 DALIRxD0入力波形幅調整機能
- IEC 62386-101 規格書
- フォトカプラやトランジスタのデータシート

第27章 データ・トランスファ・コントローラ (DTC)

本章の説明で記載されているアドレスの上位 8 ビットとは下記のとおり、20 ビットアドレスのビット (15-8) になります。



また、本章の説明の中で、特に指定がない場合、アドレスの最上位 4 ビットはすべて 1 (FxxxxH) になります。

27.1 DTCの機能

データ・トランスファ・コントローラ (DTC) は、CPU を使わずにメモリとメモリの間でデータを転送する機能です。DTC は周辺機能割り込みによって起動し、データ転送します。DTC は CPU と同じデータ・バスを使用し、DTC のバス使用権は CPU よりも優先されます。

表 27 - 1 に DTC の仕様を示します。

表27 - 1 DTCの仕様 (1/2)

項目		仕様
起動要因		42要因 (20ピン製品) / 47要因 (24, 25ピン製品) / 52要因 (30, 32ピン製品) / 53要因 (40~64ピン製品)
配置可能なコントロール・データ		24通り
転送可能なアドレス空間	アドレス空間	64 Kバイト空間 (F0000H-FFFFFH) ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ (SFR)、RAM領域 (汎用レジスタを除く)、ミラー領域 ^注 、データ・フラッシュ・メモリ領域 ^注 、拡張特殊機能レジスタ (2nd SFR)
	デスティネーション	特殊機能レジスタ (SFR)、RAM領域 (汎用レジスタを除く)、拡張特殊機能レジスタ (2nd SFR)
最大転送回数	ノーマル・モード	256回
	リピート・モード	255回
最大転送ブロック・サイズ	ノーマル・モード (8ビット転送)	256バイト
	ノーマル・モード (16ビット転送)	512バイト
	リピート・モード	255バイト
転送単位		8ビット / 16ビット
転送モード	ノーマル・モード	DTCCTJレジスタが1から0になる転送で終了する
	リピート・モード	DTCCTJレジスタが1から0になる転送終了後、リピート・エリアのアドレスを初期化し、DTRLJレジスタの値がDTCCTJレジスタへリロードされて転送を継続する
アドレス制御	ノーマル・モード	固定または加算
	リピート・モード	リピート・エリアでないアドレスを固定または加算
起動要因優先度		表27 - 3 DTC起動要因とベクタ・アドレス参照

表27 - 1 DTCの仕様 (2/2)

項目	仕様	
割り込み要求	ノーマル・モード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リポート・モード	DTCCRjレジスタのRPTINTビットが1（割り込み発生許可）のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始	DTCENiレジスタのDTCENi7-DTCENi0ビットを1（起動許可）にすると、DTC起動要因が発生するたびにデータ転送を開始する	
転送停止	ノーマル・モード	<ul style="list-style-type: none"> • DTCENi7-DTCENi0ビットを0（起動禁止）にする • DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リポート・モード	<ul style="list-style-type: none"> • DTCENi7-DTCENi0ビットを0（起動禁止）にする • RPTINTビットが1（割り込み発生許可）のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

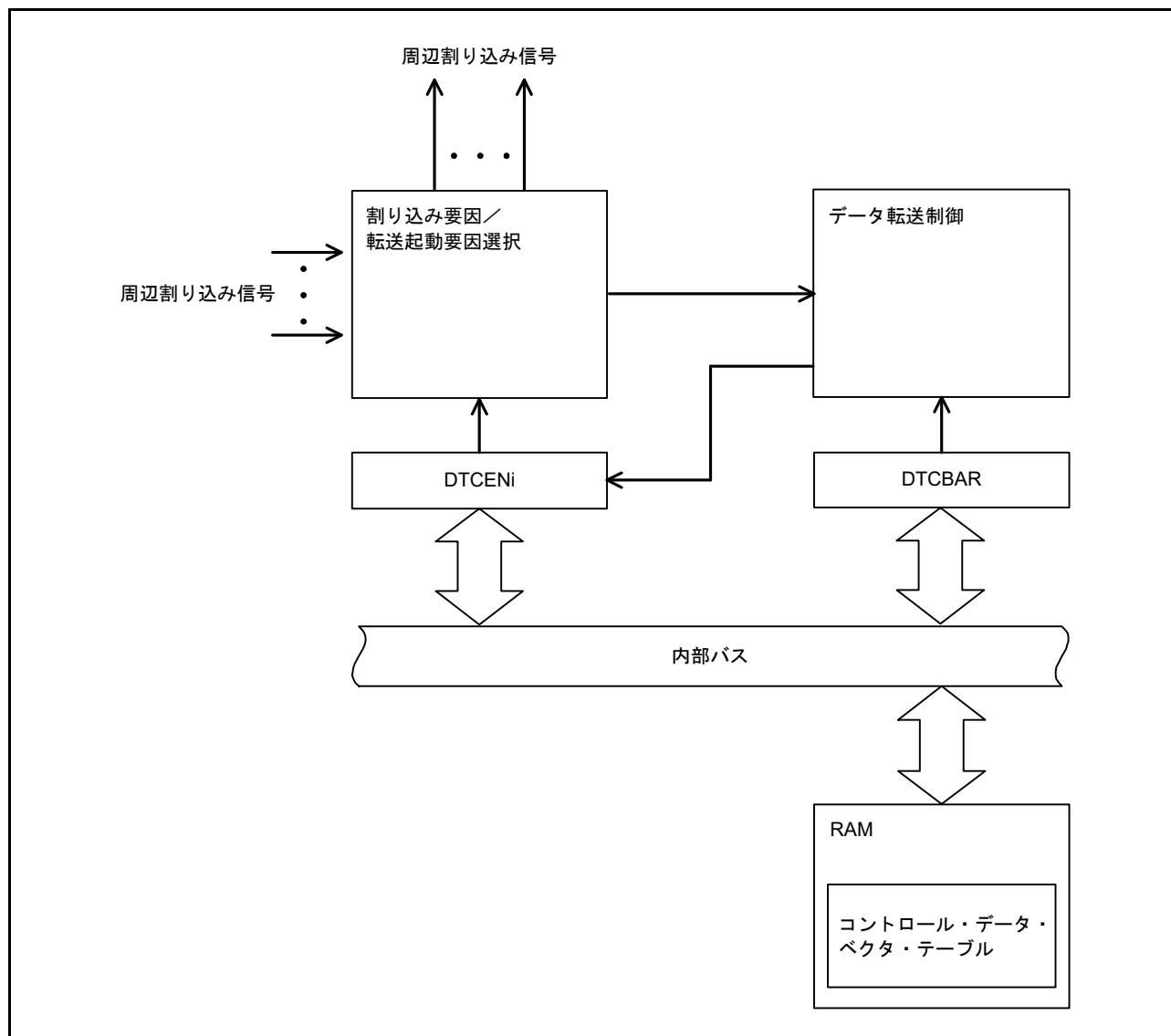
注 HALTモード、SNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0-6, j = 0-23

27.2 DTCの構成

図 27 - 1 に DTC のブロック図を示します。

図27 - 1 DTCのブロック図



備考 i = 0-6

27.3 DTCを制御するレジスタ

DTC を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0-6)
- DTCベース・アドレス・レジスタ (DTCBAR)

下記に DTC のコントロール・データを示します。

DTC のコントロール・データは RAM の DTC コントロール・データ領域に配置されます。

DTCBAR レジスタで DTC コントロール・データ領域と、コントロール・データの先頭番地を格納する DTC ベクタ・テーブル領域を含めた 256 バイトの領域を設定します。

- DTC制御レジスタ*j* (DTCCR*j*) (*j* = 0-23)
- DTCブロック・サイズ・レジスタ*j* (DTBLS*j*) (*j* = 0-23)
- DTC転送回数レジスタ*j* (DTCCT*j*) (*j* = 0-23)
- DTC転送回数リロード・レジスタ*j* (DTRL*j*) (*j* = 0-23)
- DTCソース・アドレス・レジスタ*j* (DTSAR*j*) (*j* = 0-23)
- DTCデスティネーション・アドレス・レジスタ*j* (DTDAR*j*) (*j* = 0-23)

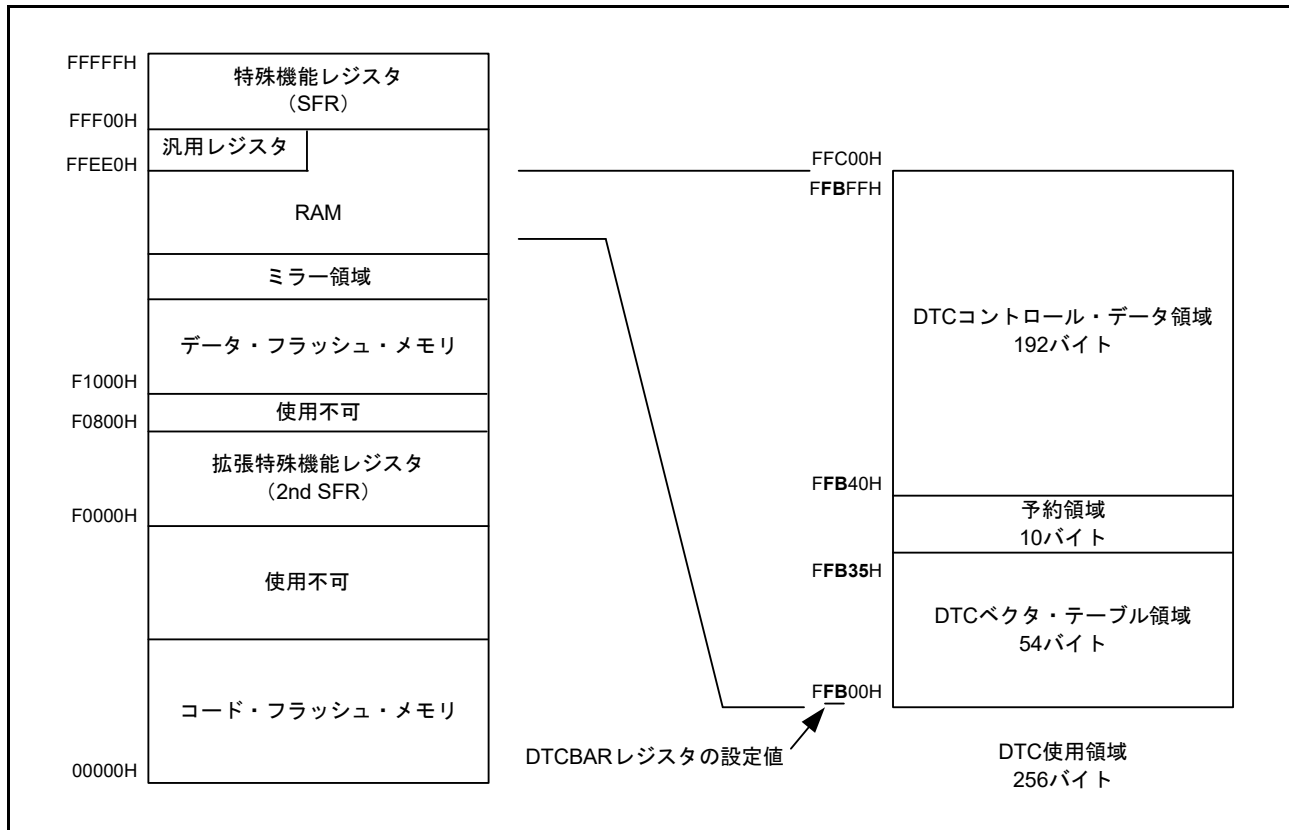
27.3.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCBAR レジスタで、DTC のコントロール・データとベクタ・テーブルを配置する 256 バイトの領域を RAM 領域内に設定します。

図 27 - 2 に DTCBAR レジスタに FBH を設定したときのメモリ・マップ例を示します。

DTC コントロール・データ領域 192 バイトのうち、DTC で使用しない空間は RAM として使用できます。

図 27 - 2 DTCBAR レジスタに FBH を設定したときのメモリ・マップ例



DTC のコントロール・データとベクタ・テーブルを配置できる領域は製品によって異なります。

- 注意 1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、DTC コントロール・データ領域および DTC ベクタ・テーブル領域としての使用を禁止します。
- 注意 2. スタック領域と DTC コントロール・データ領域および DTC ベクタ・テーブル領域が重ならないようにしてください。
- 注意 3. 次に示す製品の内部 RAM 領域は、オンチップ・デバッグ・エミュレータのトレース機能使用時に DTC コントロール・データ領域および DTC ベクタ・テーブル領域として使用できません。

R7F101GxE (x = 7, 8, 9, A, B, E, F, G) : FD300H-FD6FFH

R7F101GxG (x = 7, 8, 9, A, B, E, F, G) : FD300H-FD6FFH

27.3.2 コントロール・データの配置

コントロール・データは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタ (j = 0-23) の順に配置します。

先頭アドレス 0 ~ 23 の上位 8 ビットは DTCBAR レジスタで設定し、下位 8 ビットは起動要因ごとに割り当てられているベクタ・テーブルでそれぞれ設定します。

図 27 - 3 にコントロール・データの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは対応する DTCENi レジスタ (i = 0-6) の DTCENi7-DTCENi0 ビットが 0 (起動禁止) のときに変更してください。

注意2. DTC 転送で DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタをアクセスしないでください。

図 27 - 3 コントロール・データの配置

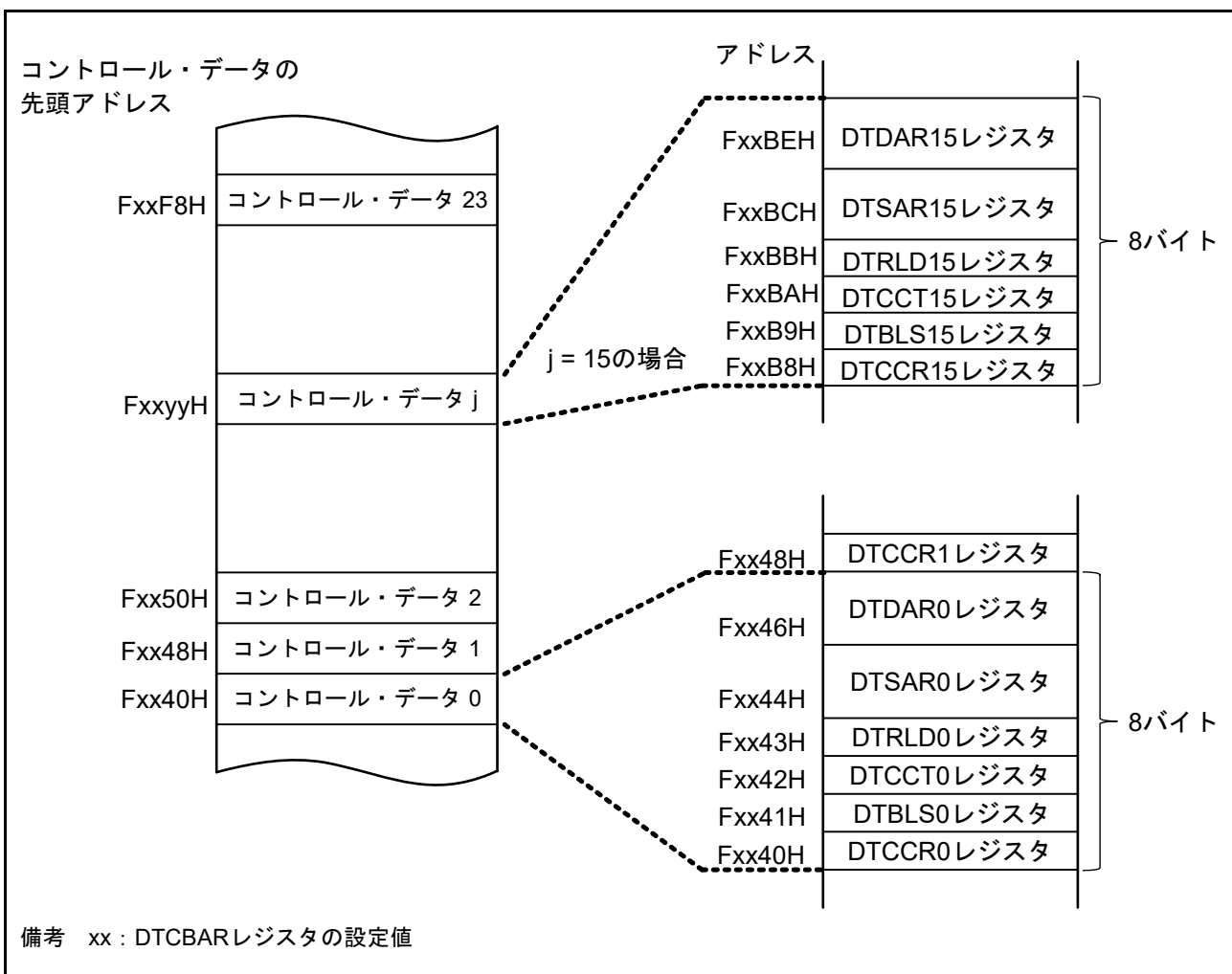


表27-2 コントロール・データjの先頭アドレス

j	アドレス
11	Fxx98H
10	Fxx90H
9	Fxx88H
8	Fxx80H
7	Fxx78H
6	Fxx70H
5	Fxx68H
4	Fxx60H
3	Fxx58H
2	Fxx50H
1	Fxx48H
0	Fxx40H

j	アドレス
23	FxxF8H
22	FxxF0H
21	FxxE8H
20	FxxE0H
19	FxxD8H
18	FxxD0H
17	FxxC8H
16	FxxC0H
15	FxxB8H
14	FxxB0H
13	FxxA8H
12	FxxA0H

備考 xx : DTCBARレジスタの設定値

27.3.3 ベクタ・テーブル

DTC が起動すると、起動要因ごとに割り当てられているベクタ・テーブルから読み出したデータによりコントロール・データを決定し、DTC コントロール・データ領域上に配置されたコントロール・データを読み出します。

表 27 - 3 に DTC 起動要因とベクタ・アドレスを示します。起動要因ごとにベクタ・テーブルが 1 バイトあり、40H から F8H に格納されている 24 組のコントロール・データから 1 つを選択します。ベクタ・アドレスの上位 8 ビットは DTCBAR レジスタで設定し、下位 8 ビットは起動要因に対応して 00H から 35H までが割り当てられます。

注意 ベクタ・テーブルに設定する DTC コントロール・データ領域の先頭番地は、対応する DTCENi レジスタ (i = 0-6) の DTCENi7-DTCENi0 ビットが 0 (起動禁止) のときに変更してください。

図 27 - 4 コントロール・データの先頭アドレスとベクタ・テーブル

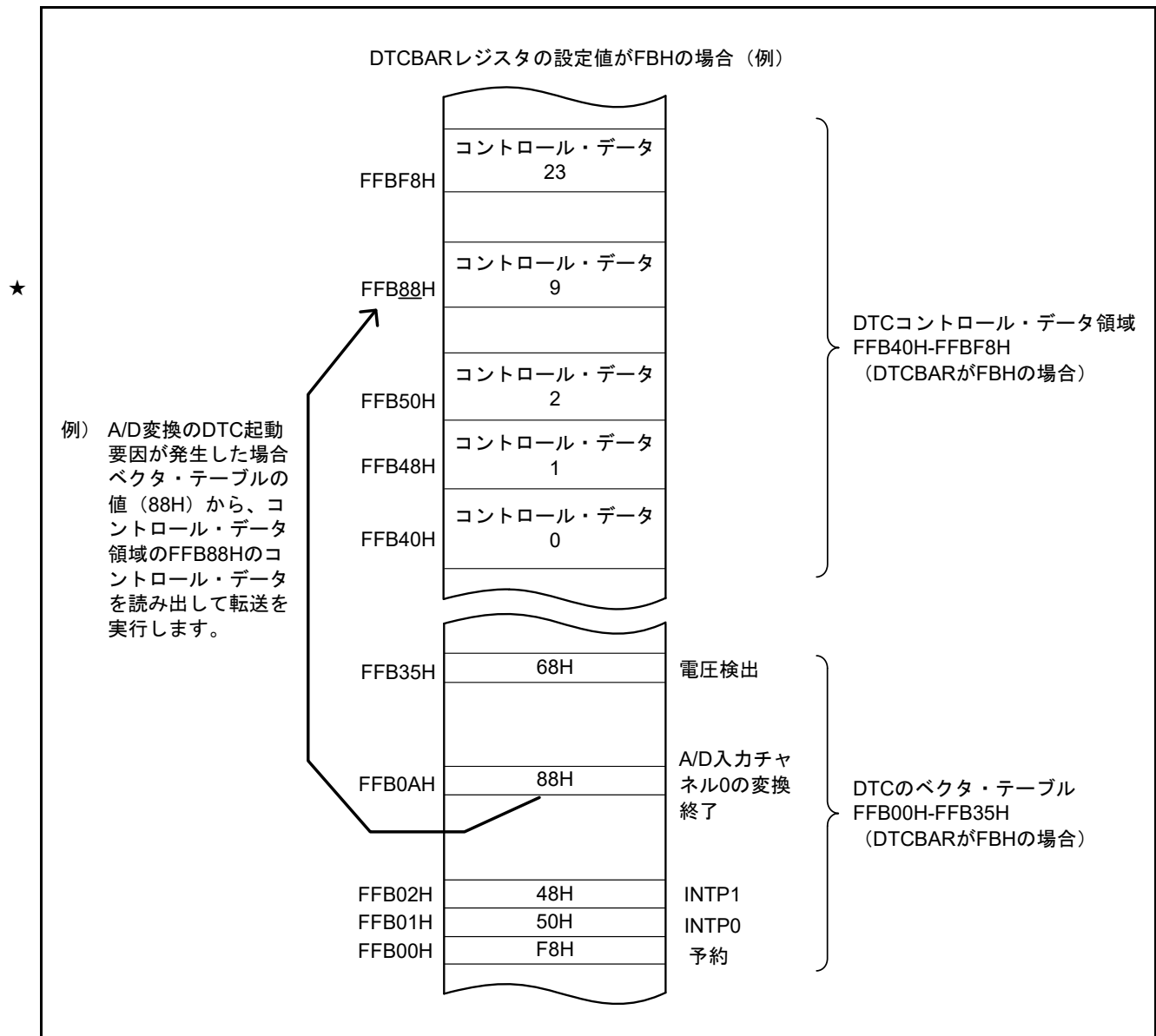


表27-3 DTC起動要因とベクタ・アドレス (1/2)

DTC起動要因 (割り込み要因発生元)	要因番号	ベクタ・アドレス	優先順位
予約	0	DTCBARレジスタの設定アドレス + 00H	高 低
INTP0	1	DTCBARレジスタの設定アドレス + 01H	
INTP1 ^{注3}	2	DTCBARレジスタの設定アドレス + 02H	
INTP2 ^{注3}	3	DTCBARレジスタの設定アドレス + 03H	
INTP3 ^{注3}	4	DTCBARレジスタの設定アドレス + 04H	
INTP4 ^{注3}	5	DTCBARレジスタの設定アドレス + 05H	
INTP5 ^{注2}	6	DTCBARレジスタの設定アドレス + 06H	
INTP6	7	DTCBARレジスタの設定アドレス + 07H	
INTP7	8	DTCBARレジスタの設定アドレス + 08H	
キー入力 ^{注4}	9	DTCBARレジスタの設定アドレス + 09H	
★ A/D変換終了/A/D入力チャンネル0の変換終了 ^{注5}	10	DTCBARレジスタの設定アドレス + 0AH	
UART0受信の転送完了/CSI01の転送完了またはバッファ空き/IIC01の転送完了 ^{注2}	11	DTCBARレジスタの設定アドレス + 0BH	
UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了 ^{注2}	12	DTCBARレジスタの設定アドレス + 0CH	
UART1受信の転送完了/CSI11の転送完了またはバッファ空き/IIC11の転送完了	13	DTCBARレジスタの設定アドレス + 0DH	
UART1送信の転送完了/CSI10の転送完了またはバッファ空き/IIC10の転送完了	14	DTCBARレジスタの設定アドレス + 0EH	
UART2受信の転送完了/CSI21の転送完了またはバッファ空き/IIC21の転送完了	15	DTCBARレジスタの設定アドレス + 0FH	
UART2送信の転送完了/CSI20の転送完了またはバッファ空き/IIC20の転送完了	16	DTCBARレジスタの設定アドレス + 10H	
DALI受信の転送完了	17	DTCBARレジスタの設定アドレス + 11H	
DALI送信の転送完了	18	DTCBARレジスタの設定アドレス + 12H	
DALIバスパワーダウン検出	19	DTCBARレジスタの設定アドレス + 13H	
タイマ・アレイ・ユニットのチャンネル0のカウント完了またはキャプチャ完了	20	DTCBARレジスタの設定アドレス + 14H	
タイマ・アレイ・ユニットのチャンネル1のカウント完了またはキャプチャ完了	21	DTCBARレジスタの設定アドレス + 15H	
タイマ・アレイ・ユニットのチャンネル2のカウント完了またはキャプチャ完了	22	DTCBARレジスタの設定アドレス + 16H	
タイマ・アレイ・ユニットのチャンネル3のカウント完了またはキャプチャ完了	23	DTCBARレジスタの設定アドレス + 17H	
タイマRD2コンペア一致A0	24	DTCBARレジスタの設定アドレス + 18H	
タイマRD2コンペア一致B0	25	DTCBARレジスタの設定アドレス + 19H	
タイマRD2コンペア一致C0	26	DTCBARレジスタの設定アドレス + 1AH	
タイマRD2コンペア一致D0	27	DTCBARレジスタの設定アドレス + 1BH	
タイマRD2コンペア一致A1	28	DTCBARレジスタの設定アドレス + 1CH	
タイマRD2コンペア一致B1	29	DTCBARレジスタの設定アドレス + 1DH	
タイマRD2コンペア一致C1	30	DTCBARレジスタの設定アドレス + 1EH	
タイマRD2コンペア一致D1	31	DTCBARレジスタの設定アドレス + 1FH	
タイマRD2拡張相補PWM周期頂点検出/タイマRD20タイマKB PWM出力ゲート周期検出	32	DTCBARレジスタの設定アドレス + 20H	
タイマRD2拡張相補PWMキャリア周期検出/タイマRD21タイマKB PWM出力ゲート周期検出	33	DTCBARレジスタの設定アドレス + 21H	
FAA終了	34	DTCBARレジスタの設定アドレス + 22H	
タイマRG2コンペア一致A	35	DTCBARレジスタの設定アドレス + 23H	
タイマRG2コンペア一致B	36	DTCBARレジスタの設定アドレス + 24H	
タイマRG2コンペア一致C	37	DTCBARレジスタの設定アドレス + 25H	
タイマRG2コンペア一致D	38	DTCBARレジスタの設定アドレス + 26H	
タイマRJ0アンダフロー	39	DTCBARレジスタの設定アドレス + 27H	
TMKB30カウント完了	40	DTCBARレジスタの設定アドレス + 28H	
TMKB31カウント完了	41	DTCBARレジスタの設定アドレス + 29H	
TMKB32カウント完了 ^{注2}	42	DTCBARレジスタの設定アドレス + 2AH	
FAAタイミング・コンペア・マッチ0	43	DTCBARレジスタの設定アドレス + 2BH	
リアルタイム・クロックの定周期信号/アラーム一致検出 ^{注3}	44	DTCBARレジスタの設定アドレス + 2CH	

表27-3 DTC起動要因とベクタ・アドレス (2/2)

DTC起動要因 (割り込み要因発生元)	要因番号	ベクタ・アドレス	優先順位
32ビット・インターバル・タイマのインターバル信号検出	45	DTCBARレジスタの設定アドレス + 2DH	高  低
コンパレータ検出0	46	DTCBARレジスタの設定アドレス + 2EH	
コンパレータ検出1	47	DTCBARレジスタの設定アドレス + 2FH	
コンパレータ検出2	48	DTCBARレジスタの設定アドレス + 30H	
コンパレータ検出3 ^{注2}	49	DTCBARレジスタの設定アドレス + 31H	
A/D入力チャネル1の変換終了 ^{注5}	50	DTCBARレジスタの設定アドレス + 32H	
A/D入力チャネル2の変換終了 ^{注5}	51	DTCBARレジスタの設定アドレス + 33H	
A/D入力チャネル3の変換終了 ^{注5}	52	DTCBARレジスタの設定アドレス + 34H	
電圧検出 ^{注1}	53	DTCBARレジスタの設定アドレス + 35H	

注1. ユーザ・オプション・バイト (000C1H) のビット6 (LVD0SEL) = 0選択時または電圧検出レベル・レジスタ (LVIS) のビット6 (LVD1SEL) = 0選択時

注2. 24～64ピン製品のみ

注3. 30～64ピン製品のみ

注4. 40～64ピン製品のみ

注5. A/Dコンバータ・モード・レジスタ3 (ADM3) のビット0 (ADVMOD) = 1選択時

27.3.4 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

DTC を使用する場合は、必ず DTCEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図27-5 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	2	1	<0>
PER1	DACEN	0	PGACMPEN	TML32EN	DTCEN	0	0	DALIEN
	DTCEN	DTCの入カクロック供給の制御						
	0	入カクロック供給停止 ・ DTCで使用するSFRへのライト不可						
	1	入カクロック供給 ・ DTCは動作可						

27.3.5 DTC制御レジスタj (DTCCRj) (j = 0-23)

DTCCRj レジスタは、DTCの動作モードを制御するレジスタです。

図27-6 DTC制御レジスタj (DTCCRj) のフォーマット (1/2)

アドレス : 27.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
SZ	転送データサイズの選択							
0	8ビット							
1	16ビット							
RPTINT	リピート・モード割り込みの許可・禁止							
0	割り込み発生禁止							
1	割り込み発生許可							
MODEビットが0 (ノーマル・モード) のとき、RPTINTビットの設定は無効です。								
CHNE	チェーン転送の許可・禁止							
0	チェーン転送禁止							
1	チェーン転送許可							
DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止) にしてください。								
DAMOD	転送先アドレスの制御							
0	固定							
1	加算							
MODEビットが1 (リピート・モード) でRPTSELビットが0 (転送先がリピート・エリア) のとき、DAMODビットの設定は無効です。								
SAMOD	転送元アドレスの制御							
0	固定							
1	加算							
MODEビットが1 (リピート・モード) でRPTSELビットが1 (転送元がリピート・エリア) のとき、SAMODビットの設定は無効です。								
RPTSEL	リピート・エリアの選択							
0	転送先がリピート・エリア							
1	転送元がリピート・エリア							
MODEビットが0 (ノーマル・モード) のとき、RPTSELビットの設定は無効です。								

図27-6 DTC制御レジスタj (DTCCRj) のフォーマット (2/2)

MODE	転送モードの選択
0	ノーマル・モード
1	リピート・モード

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

27.3.6 DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0-23)

DTBLSjレジスタは、1回の起動で転送されるデータのブロック・サイズを設定するレジスタです。

図27-7 DTCブロック・サイズ・レジスタj (DTBLSj) のフォーマット

アドレス : 27.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロック・サイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
.	.	.
.	.	.
.	.	.
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

27.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0-23)

DTCCTj レジスタは、DTC のデータ転送回数を設定するレジスタです。DTC 転送が1回起動するたびに1減算されます。

図27-8 DTC転送回数レジスタj (DTCCTj) のフォーマット

アドレス : 27.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
⋮	⋮
FDH	253回
FEH	254回
FFH	255回

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

27.3.8 DTC転送回数リロード・レジスタj (DTRLDj) (j = 0-23)

DTRLDj レジスタは、リピート・モードで転送回数レジスタの初期値を設定するレジスタです。リピート・モード時は、本レジスタの値がDTCCTjレジスタにリロードされますので、DTCCTjレジスタの初期値と同じ値を設定してください。

図27-9 DTC転送回数リロード・レジスタj (DTRLDj) のフォーマット

アドレス : 27.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

27.3.9 DTC ソース・アドレス・レジスタj (DTSARj) (j = 0-23)

DTSARj レジスタは、データ転送時の転送元アドレスを指定するレジスタです。

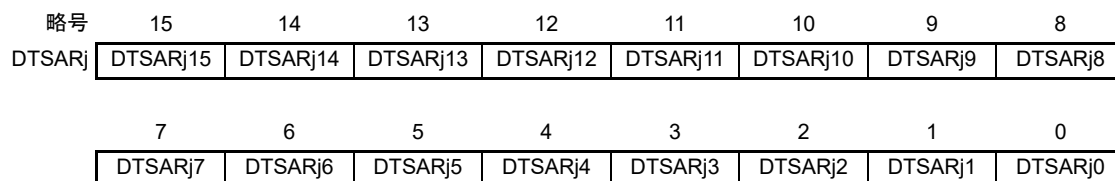
DTCCRj レジスタの SZ ビットが 1 (転送データサイズが 16 ビット) のとき、最下位ビットは無視され、偶数番地として扱われます。

図27-10 DTC ソース・アドレス・レジスタj (DTSARj) のフォーマット

アドレス : 27.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W



注意1. 転送元アドレスに汎用レジスタ (FFEE0H-FFEFFH) 空間を設定しないでください。

注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

27.3.10 DTC デスティネーション・アドレス・レジスタj (DTDARj) (j = 0-23)

DTDARj レジスタは、データ転送時の転送先アドレスを指定するレジスタです。

DTCCRj レジスタの SZ ビットが 1 (転送データサイズが 16 ビット) のとき、最下位ビットは無視され、偶数番地として扱われます。

図27-11 DTC デスティネーション・アドレス・レジスタj (DTDARj) のフォーマット

アドレス : 27.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
DTDARj	DTDARj15	DTDARj14	DTDARj13	DTDARj12	DTDARj11	DTDARj10	DTDARj9	DTDARj8
	7	6	5	4	3	2	1	0
	DTDARj7	DTDARj6	DTDARj5	DTDARj4	DTDARj3	DTDARj2	DTDARj1	DTDARj0

注意1. 転送先アドレスに汎用レジスタ (FFEE0H-FFEFFH) 空間を設定しないでください。

注意2. DTC 転送で DTDARj レジスタをアクセスしないでください。

27.3.11 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0-6)

DTCEN*i* レジスタは、各割り込み要因による DTC 起動の許可または禁止を制御する 8 ビットレジスタです。表 27 - 4 に割り込み要因と DTCENi7-DTCENi0 ビットの対応を示します。

DTCEN*i* レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

注意1. DTCENi7-DTCENi0 ビットは、そのビットに対応する起動要因が発生しない箇所に変更してください。

注意2. DTC 転送で DTCEN*i* レジスタをアクセスしないでください。

注意3. 製品によって割り当てられている機能が異なります。機能が割り当てられていないビットには必ず 0 を設定してください。

図 27 - 12 DTC 起動許可レジスタ*i* (DTCEN*i*) のフォーマット (1/2)

アドレス : F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), F02EBH (DTCEN3),
F02ECH (DTCEN4), F02EDH (DTCEN5), F02EEH (DTCEN6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
DTCENi7	DTC 起動許可 i7							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件で DTCENi7 ビットは 0 (起動禁止) になります。								
DTCENi6	DTC 起動許可 i6							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件で DTCENi6 ビットは 0 (起動禁止) になります。								
DTCENi5	DTC 起動許可 i5							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件で DTCENi5 ビットは 0 (起動禁止) になります。								
DTCENi4	DTC 起動許可 i4							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件で DTCENi4 ビットは 0 (起動禁止) になります。								
DTCENi3	DTC 起動許可 i3							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件で DTCENi3 ビットは 0 (起動禁止) になります。								

図27 - 12 DTC起動許可レジスタi (DTCENi) のフォーマット (2/2)

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0 (起動禁止) になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0 (起動禁止) になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0 (起動禁止) になります。	

表27-4 割り込み要因とDTCENi7-DTCENi0ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1 ^{注3}	INTP2 ^{注3}	INTP3 ^{注3}	INTP4 ^{注3}	INTP5 ^{注2}	INTP6
DTCEN1	INTP7	キー入力 ^{注4}	A/D入力チャネル0の変換終了	UART0受信の転送完了/ CSI01の転送完了またはバッファ空き/ IIC01の転送完了 ^{注2}	UART0送信の転送完了/ CSI00の転送完了またはバッファ空き/ IIC00の転送完了 ^{注2}	UART1受信の転送完了/ CSI11の転送完了またはバッファ空き/ IIC11の転送完了	UART1送信の転送完了/ CSI10の転送完了またはバッファ空き/ IIC10の転送完了	UART2受信の転送完了/ CSI21の転送完了またはバッファ空き/ IIC21の転送完了
DTCEN2	UART2送信の転送完了/ CSI20の転送完了またはバッファ空き/ IIC20の転送完了	DALI受信の転送完了	DALI送信の転送完了	DALIバスパワーダウン検出	タイマ・アレイ・ユニットのチャンネル0のカウンタ完了またはキャプチャ完了	タイマ・アレイ・ユニットのチャンネル1のカウンタ完了またはキャプチャ完了	タイマ・アレイ・ユニットのチャンネル2のカウンタ完了またはキャプチャ完了	タイマ・アレイ・ユニットのチャンネル3のカウンタ完了またはキャプチャ完了
DTCEN3	タイマRD2コンペアー一致A0	タイマRD2コンペアー一致B0	タイマRD2コンペアー一致C0	タイマRD2コンペアー一致D0	タイマRD2コンペアー一致A1	タイマRD2コンペアー一致B1	タイマRD2コンペアー一致C1	タイマRD2コンペアー一致D1
DTCEN4	タイマRD2拡張相補PWMモード時の谷検出	タイマRD2拡張相補PWMモード時の山検出	FAA終了	タイマRG2コンペアー一致A	タイマRG2コンペアー一致B	タイマRG2コンペアー一致C	タイマRG2コンペアー一致D	タイマRJ0アンダフロー
DTCEN5	TMKB30カウンタ完了	TMKB31カウンタ完了	TMKB32カウンタ完了	FAAタイミング・コンペアー・マッチ0	リアルタイム・クロックの定期信号/ アラーム一致検出	32ビット・インターバル・タイマのインターバル信号検出	コンパレータ検出0	コンパレータ検出1
DTCEN6	コンパレータ検出2	コンパレータ検出3	A/D入力チャネル1の変換終了 ^{注5}	A/D入力チャネル2の変換終了 ^{注5}	A/D入力チャネル3の変換終了 ^{注5}	電圧検出 ^{注1}	予約	予約

注1. ユーザ・オプション・バイト (000C1H) のビット6 (LVD0SEL) = 0選択時または電圧検出レベル・レジスタ (LVIS) のビット6 (LVD1SEL) = 0選択時

注2. 24～64ピン製品のみ

注3. 30～64ピン製品のみ

注4. 40～64ピン製品のみ

注5. A/Dコンバータ・モード・レジスタ3 (ADM3) のビット0 (ADVMOD) = 1選択時

注意 機能が割り当てられていないビットには必ず0を設定してください。

備考 i = 0-6

27.3.12 DTCベース・アドレス・レジスタ (DTCBAR)

DTCBAR レジスタは、DTC コントロール・データ領域の先頭番地を格納するベクタ・アドレスと、DTC コントロール・データ領域のアドレスを設定する 8 ビットレジスタです。DTCBAR レジスタの値を上位 8 ビットとして 16 ビットのアドレスを生成します。

DTCBAR レジスタは、8 ビット・メモリ操作命令で設定します。

注意1. DTCBAR レジスタは、すべてのDTC起動要因を起動禁止に設定した状態で変更してください。

注意2. DTCBAR レジスタを2回以上書き換えしないでください。

注意3. DTC転送でDTCBAR レジスタをアクセスしないでください。

注意4. DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置については、27.3.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置の注意を参照してください。

図27-13 DTCベース・アドレス・レジスタ (DTCBAR) のフォーマット

アドレス : F02E0H

リセット時: FDH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

27.4 DTCの動作

DTC が起動すると、DTC コントロール・データ領域からコントロール・データを読み出し、このコントロール・データに従ってデータ転送を行い、データ転送後のコントロール・データを DTC コントロール・データ領域へ書き戻します。24 組のコントロール・データを DTC コントロール領域へ格納でき、24 通りのデータ転送ができます。

転送モードにはノーマル・モードとリピート・モードがあり、転送サイズは 8 ビットと 16 ビットがあります。また、DTCCRj レジスタ (j = 0-22) の CHNE ビットが 1 (チェイン転送許可) のとき、1 つの起動要因に対して複数のコントロール・データを読み出し、連続してデータを転送します (チェイン転送)。

転送元アドレスは 16 ビット長の DTSARj レジスタ、転送先は 16 ビット長の DTDARj レジスタで指定します。DTSARj レジスタと DTDARj レジスタは、データ転送後、コントロール・データに従って加算されるか固定されます。

27.4.1 起動要因

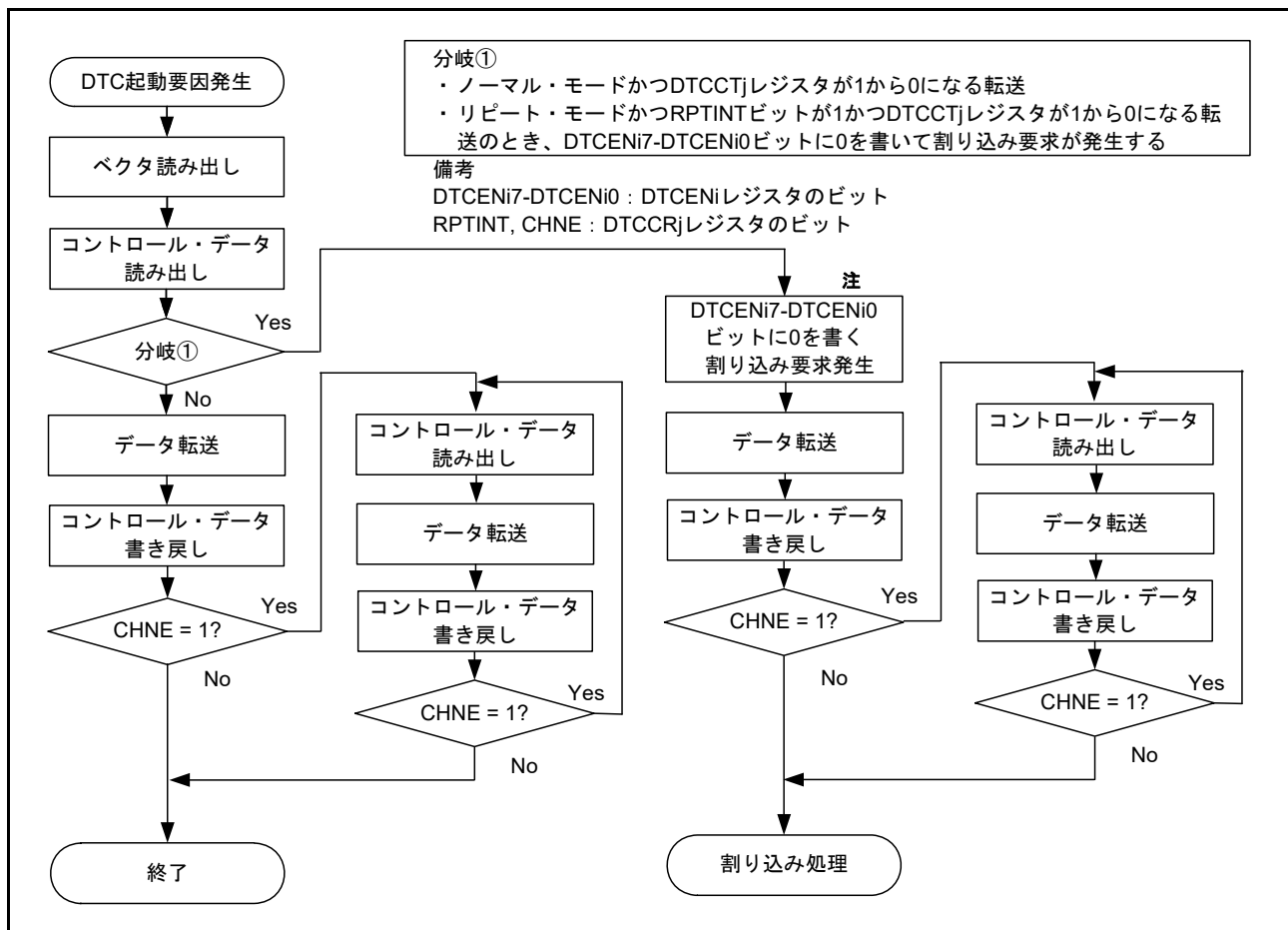
DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENiレジスタ (i = 0-6) で選択します。

データ転送 (チェーン転送の場合、連続して行う最初の転送) の設定が、以下のいずれかの状態のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi7-DTCENi0ビットを0 (起動禁止) にします。

- ノーマル・モードでDTCCTjレジスタ (j = 0-23) が0になる転送
- リピート・モードでDTCCRjレジスタのRPTINTビットが1 (割り込み発生許可) かつDTCCTjレジスタが0になる転送

図 27 - 14 に DTC 内部動作フロー・チャートを示します。

図 27 - 14 DTC内部動作フロー・チャート



注 チェーン転送の許可 (CHNEビットが1) の設定により起動されたデータ転送では、DTCENi7-DTCENi0ビットに0を書きません。また、割り込み要求は発生しません。

備考 i = 0-6, j = 0-23

27.4.2 ノーマル・モード

1回の起動で、8ビット転送の場合1～256バイト、16ビット転送の場合2～512バイトをデータ転送します。転送回数は1～256回です。DTCCTjレジスタ (j=0-23) が0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENiレジスタ (i=0-6) の対応するDTCENi7-DTCENi0ビットを0(起動禁止)にします。

表27-5にノーマル・モードでのレジスタ機能、図27-15にノーマル・モードでのデータ転送を示します。

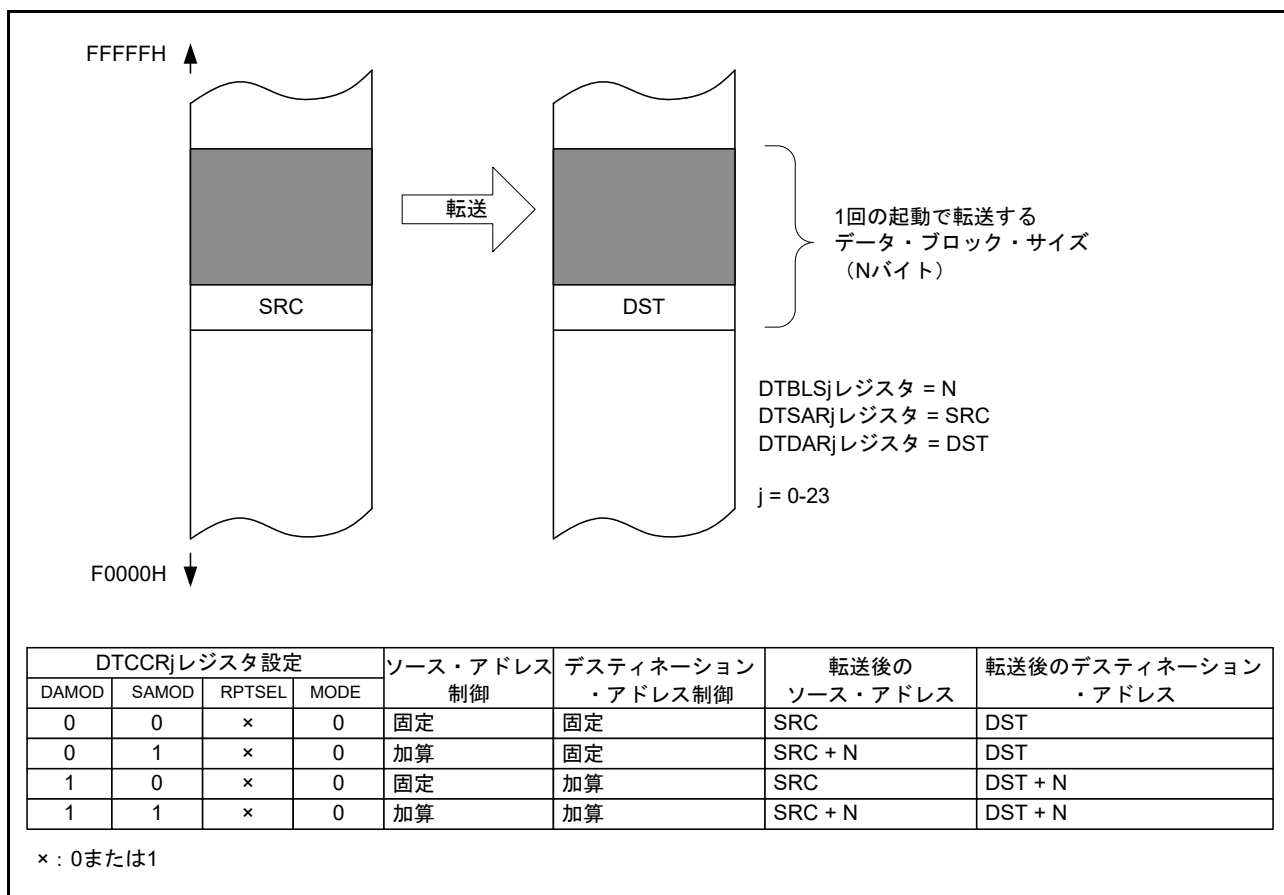
表27-5 ノーマル・モードでのレジスタ機能

レジスタ名	レジスタシンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRL Dj	使用しません注
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、初期化 (00H) してください。

備考 j = 0-23

図27-15 ノーマル・モードでのデータ転送

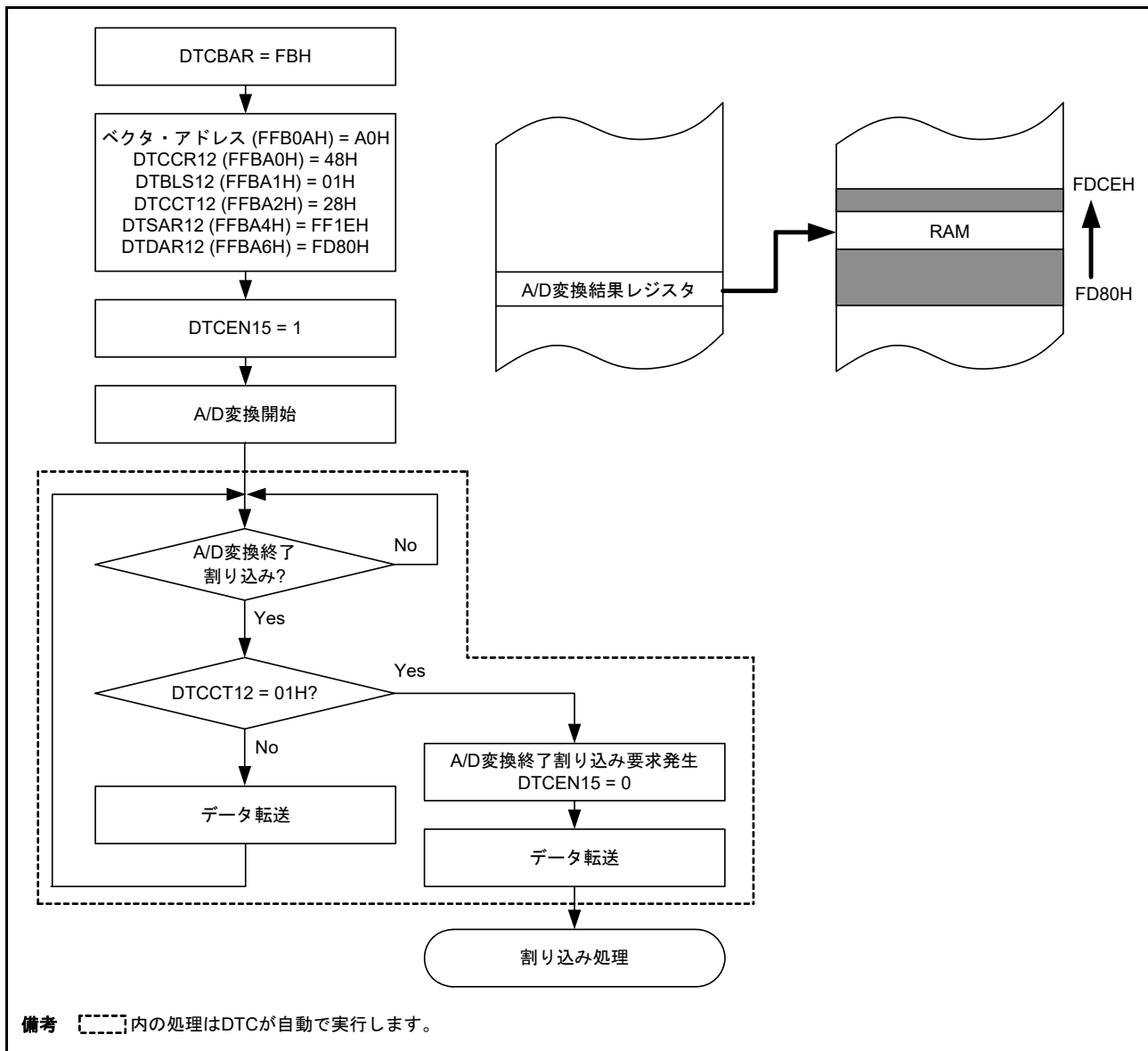


(1) ノーマル・モードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ベクタ・アドレスはFFB0AH、コントロール・データはFFBA0H-FFBA7Hに配置
- A/D変換結果レジスタ (FFF1EH, FFF1FH) の2バイト・データをRAMのFFD80H-FFDCFHの80バイトへ40回転送

図27-16 ノーマル・モードの使用例1：A/D変換結果の連続取り込み



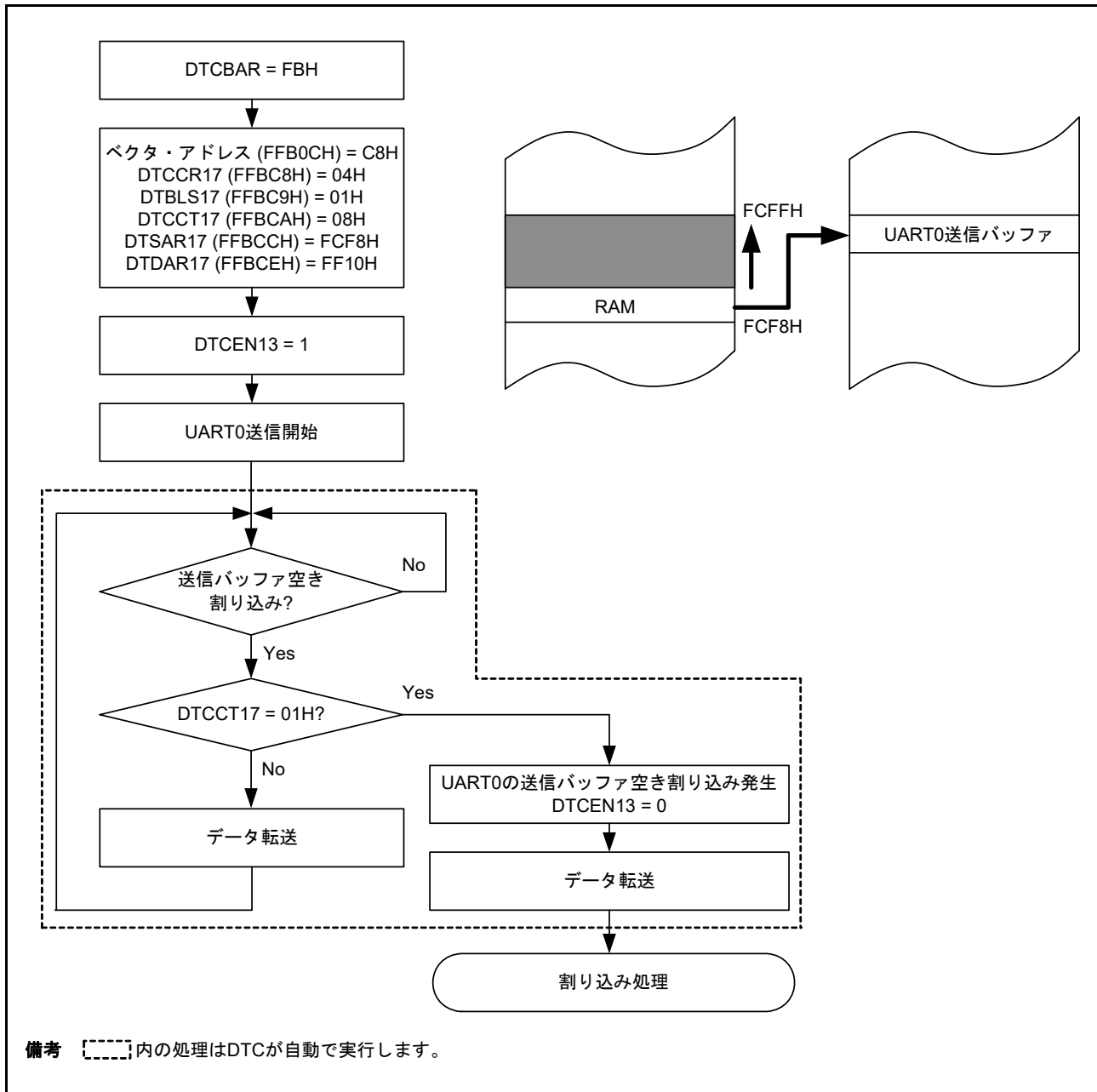
ノーマル・モードのため、DTRLD12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRLD12レジスタを初期化 (00H) してください。

(2) ノーマル・モードの使用例2 : UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し、RAMの値をUART0の送信バッファに転送します。

- ベクタ・アドレスはFFB0CH、コントロール・データはFFBC8H-FFBCFHに配置
- RAMのFFCF8H-FFCFHHの8バイトをUART0の送信バッファ (FFF10H) へ転送

図27-17 ノーマル・モードの使用例2 : UART0連続送信



ノーマル・モードのため、DTRLD17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRLD17レジスタを初期化 (00H) してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

27.4.3 リピート・モード

1回の起動で、1～255バイトを転送します。転送元、転送先のいずれか一方をリピート・エリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTjレジスタ (j=0-23) およびリピート・エリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)でDTCCTjレジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENiレジスタ (i=0-6) の対応するDTCENi7-DTCENi0ビットを0(起動禁止)にします。DTCCRjレジスタのRPTINTビットが0(割り込み発生禁止)の場合は、DTCCTjレジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi7-DTCENi0ビットは0になりません。

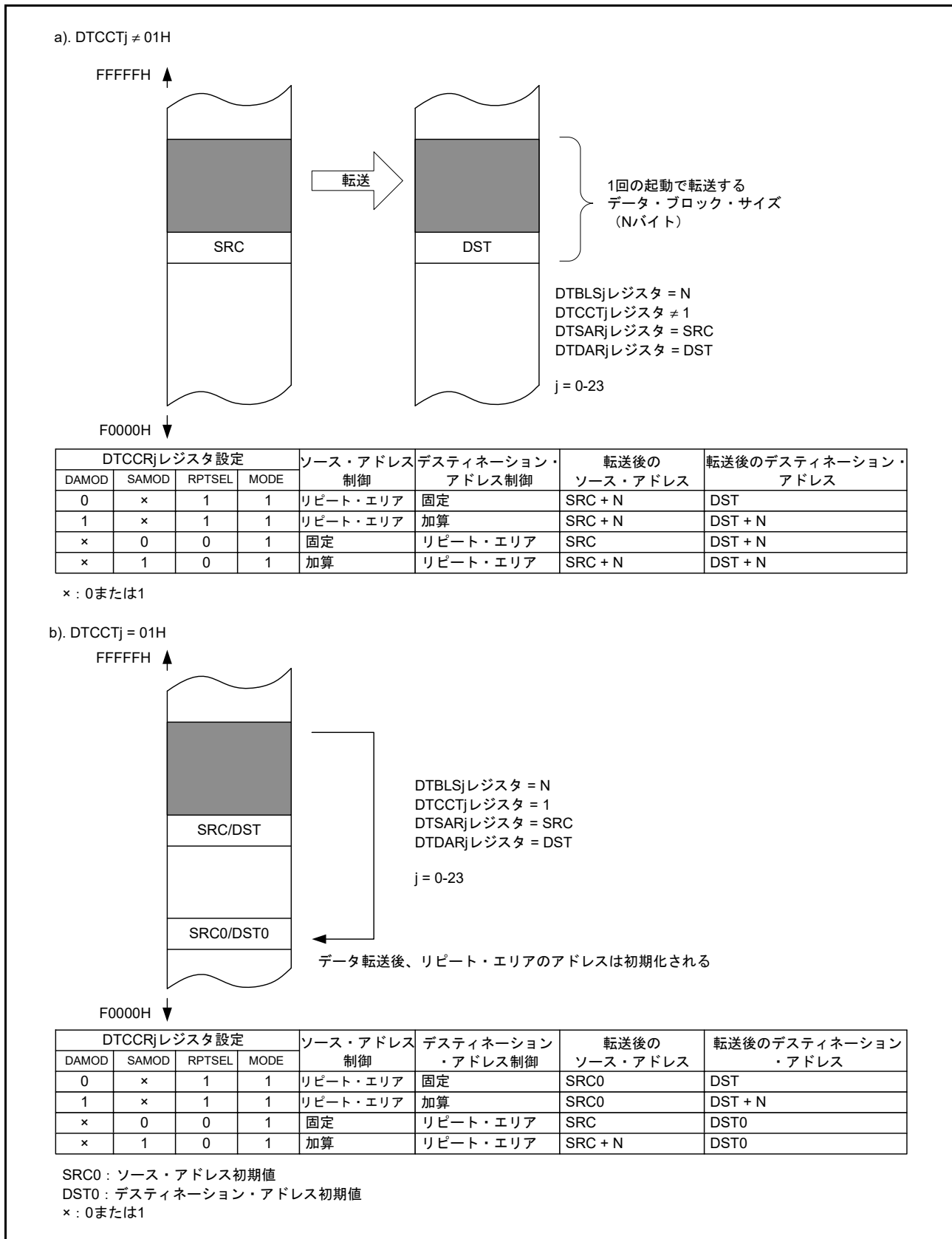
表 27 - 6 にリピート・モードでのレジスタ機能、図 27 - 18 にリピート・モードでのデータ転送を示します。

表27-6 リピート・モードでのレジスタ機能

レジスタ名	レジスタシンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRL Dj	このレジスタの値をDTCCTjレジスタへリロード(データ転送回数を初期化)
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

備考 j = 0-23

図27-18 リピート・モードでのデータ転送

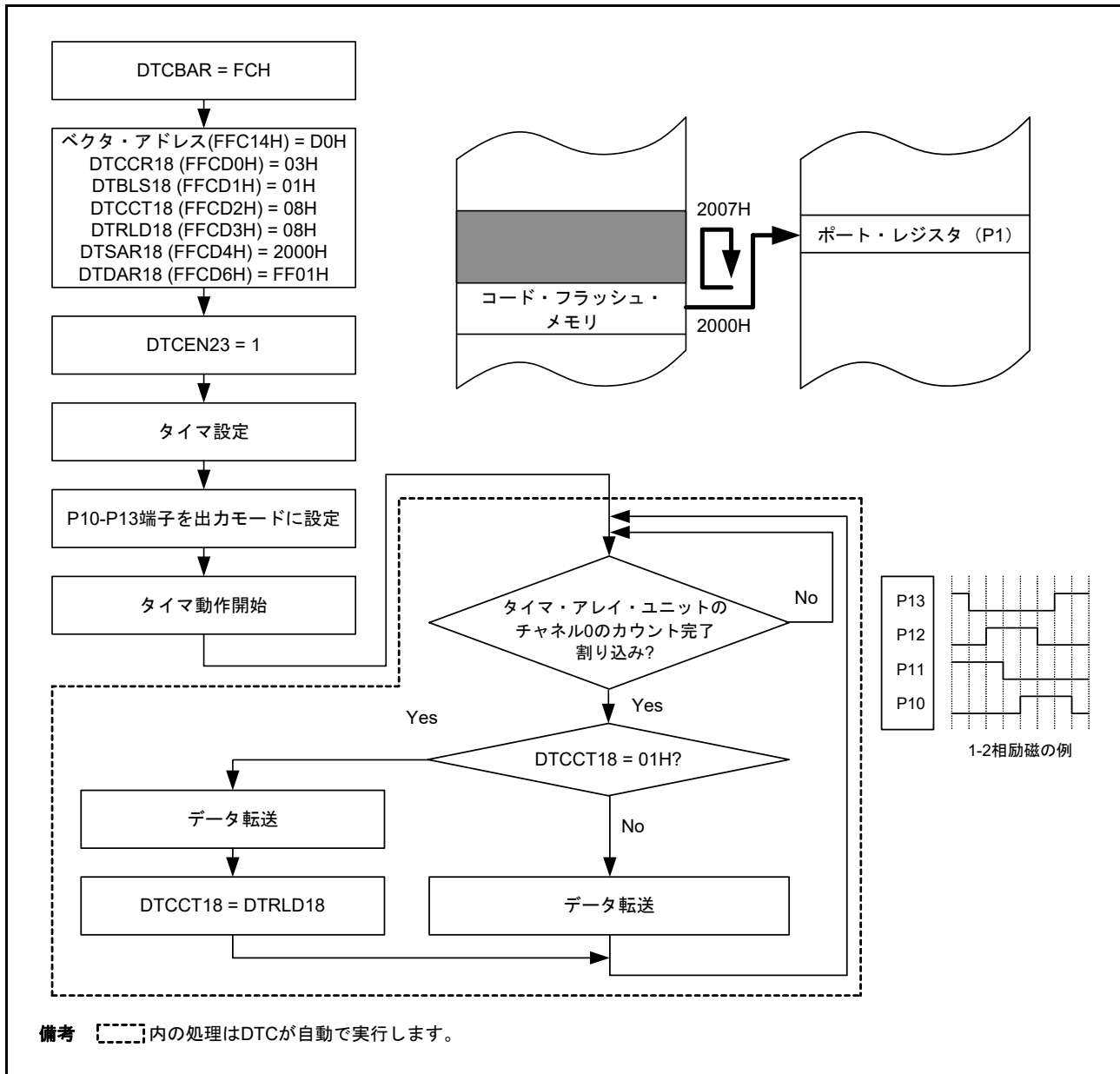


注意1. リピート・モード使用時は、リピート・エリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

注意2. リピート・モード使用時は、リピート・エリアのデータサイズを255バイト以内にしてください。

- (1) リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力
 タイマ・アレイ・ユニットのチャンネル0のインターバル・タイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。
- ベクタ・アドレスはFFC14H、コントロール・データはFFCD0H-FFCD7Hに配置
 - コード・フラッシュ・メモリの02000H-02007Hの8バイト・データをミラー領域 (F2000H-F2007H) からポート・レジスタ (P1、アドレス : FFF01H) へ転送
 - リピート・モード割り込みは禁止

図27-19 リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力



出力を停止する場合は、タイマを停止してから、DTCEN23ビットをクリアしてください。

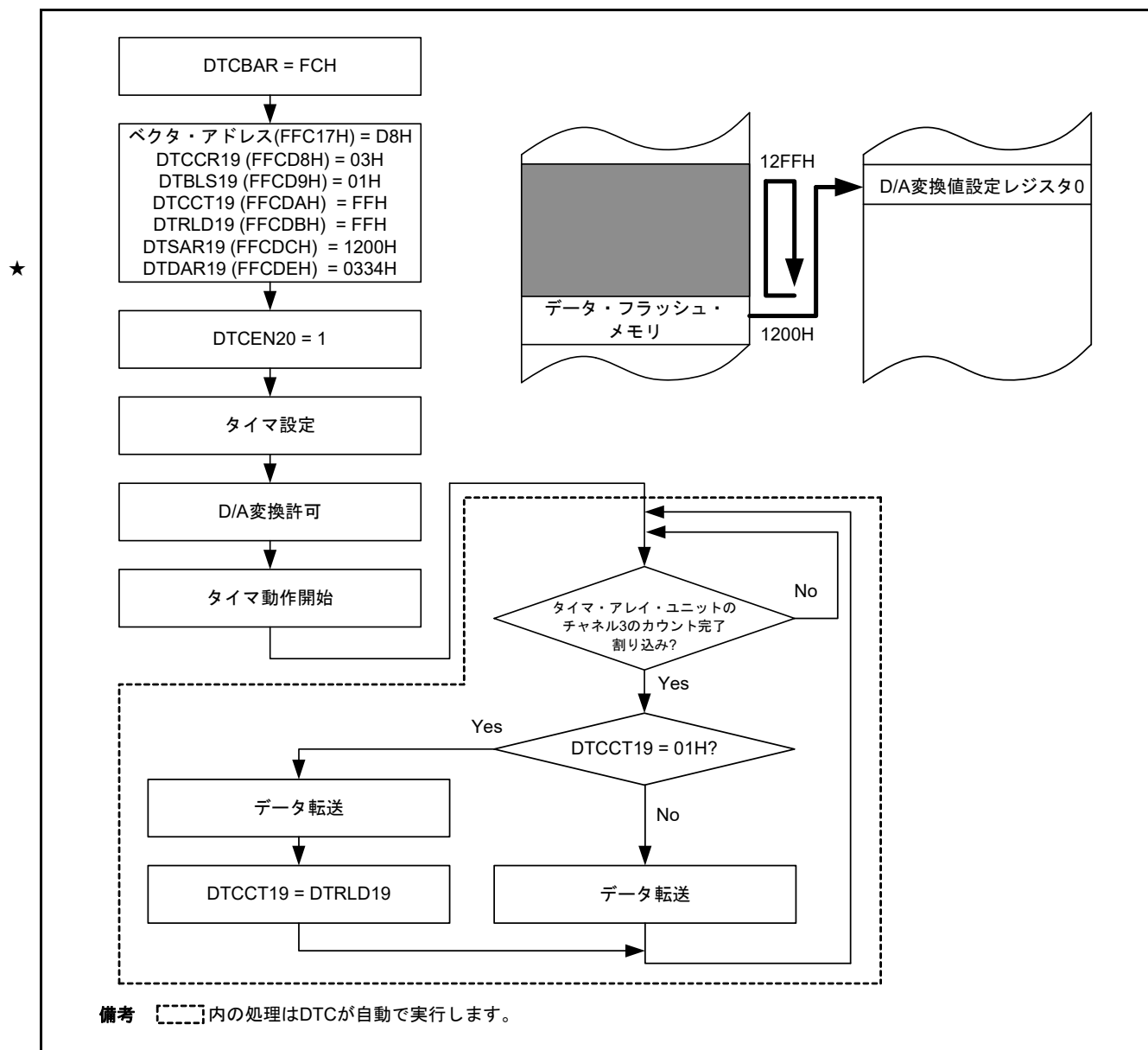
(2) リピート・モードの使用例2 : D/Aコンバータを使ったサイン波出力

タイマ・アレイ・ユニットのチャンネル3のインターバル・タイマ機能を使って割り込みでDTCを起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルをD/A変換値設定レジスタ0 (F0334H) に転送します。

タイマのインターバル時間は、D/Aの出力セットアップ時間を設定します。

- ベクタ・アドレスはFFC17H、コントロール・データはFFCD8H-FFCDFHに配置
- データ・フラッシュ・メモリのF1200H-F12FEHの255バイト・データをD/A変換値設定レジスタ0 (F0334H) へ転送
- リピート・モード割り込みは禁止

図27-20 リピート・モードの使用例2 : D/Aコンバータを使ったサイン波出力



出力を停止する場合は、タイマを停止してから、DTCEN20ビットをクリアしてください。

27.4.4 チェイン転送

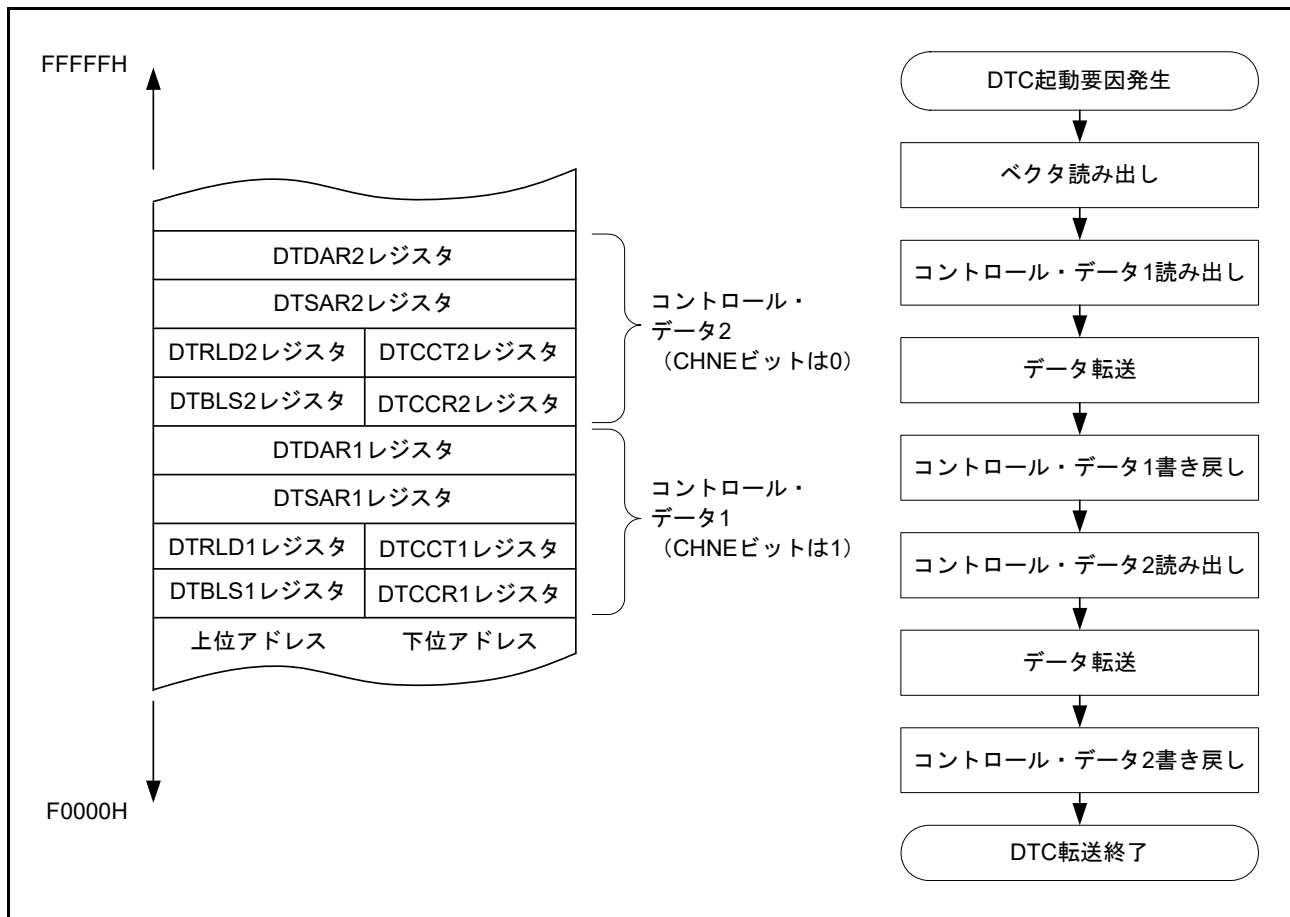
DTCCRj レジスタ (j = 0-22) の CHNE ビットが 1 (チェーン転送許可) のとき、1 つの起動要因で複数のデータ転送を連続してできます。

DTC が起動すると、起動要因に対応したベクタ・アドレスから読み出されたデータによりコントロール・データを選択し、DTC コントロール・データ領域上に配置されたコントロール・データを読み出します。読み出したコントロール・データの CHNE ビットが 1 (チェーン転送許可) であれば、転送終了後、連続して配置した次のコントロール・データを読み出して転送します。この動作を CHNE ビットが 0 (チェーン転送禁止) のコントロール・データのデータ転送が終了するまで続けます。

複数のコントロール・データを用いてチェーン転送を行う場合は、最初のコントロール・データに設定された転送回数が有効となり、2 番目以降に処理されるコントロール・データの転送回数は無効となります。

図 27 - 21 にチェーン転送でのデータ転送を示します。

図27-21 チェイン転送でのデータ転送



注意1. DTCCR23 レジスタの CHNE ビットは 0 (チェーン転送禁止) にしてください。

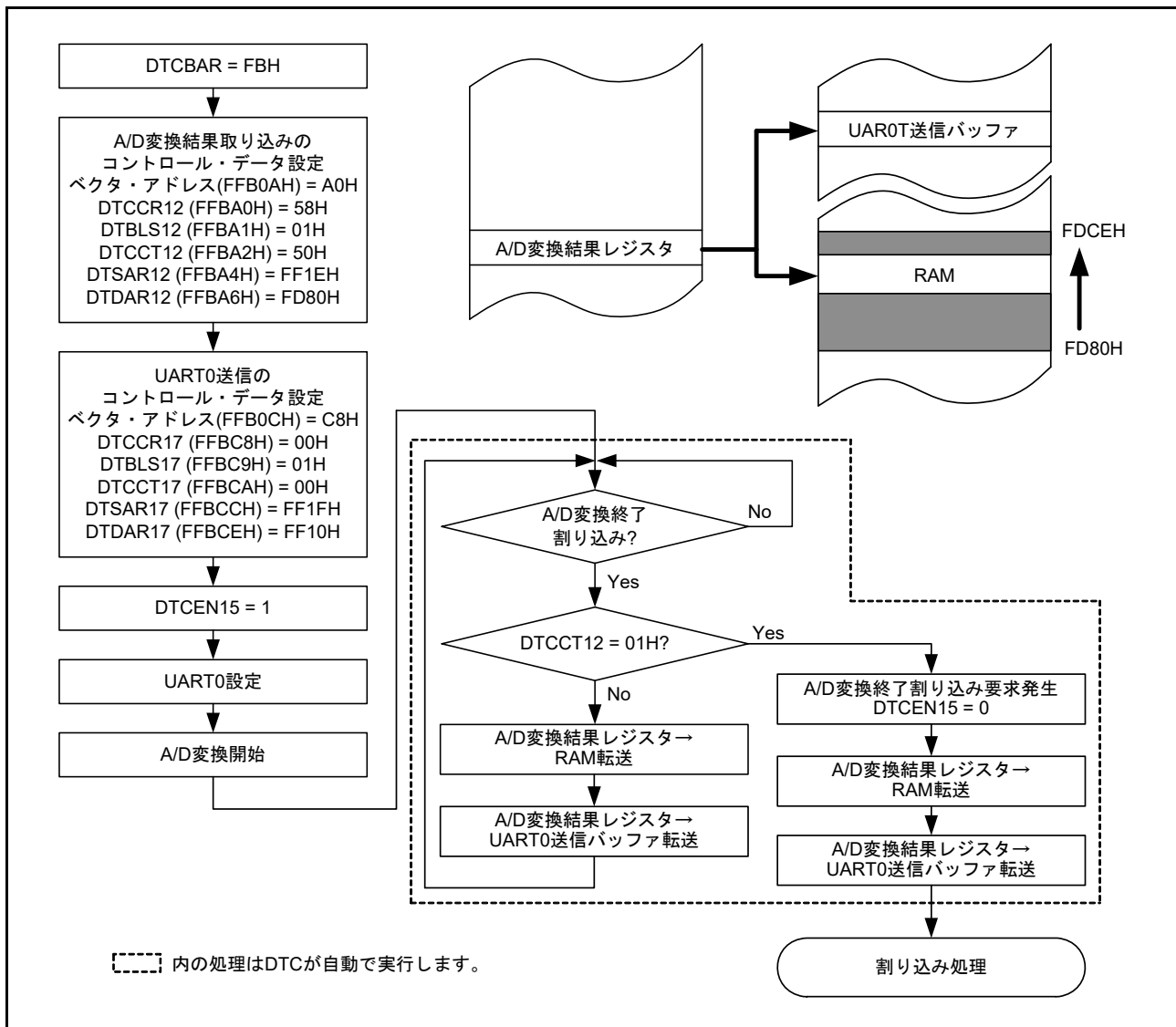
注意2. チェイン転送の場合、2 回目以降のデータ転送では、DTCENi レジスタ (i = 0-6) の DTCENi7-DTCENi0 ビットは 0 (起動禁止) になりません。また、割り込み要求は発生しません。

(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信

A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、UART0で送信します。

- ベクタ・アドレスはFFB0AH
- A/D変換結果取り込みのコントロール・データはFFBA0H-FFBA7Hに配置
- UART0送信のコントロール・データはFFBA8H-FFBAFHに配置
- A/D変換結果レジスタ (FFF1FH, FFF1EH) の2バイト・データをRAMのFFD80H-FFDCFHに転送し、A/D変換結果レジスタの上位1バイト (FFF1FH) をUARTの送信バッファ (FFF10H) へ転送

図27-22 チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信



27.5 DTC使用時の注意事項

27.5.1 DTCのコントロール・データおよびベクタ・テーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ (2nd SFR) およびDTCコントロール・データ領域、DTCベクタ・テーブル領域、汎用レジスタ (FFEE0H-FFEFFH) 空間をアクセスしないでください。
- DTCベース・アドレス・レジスタ (DTCBAR) は、すべてのDTC起動要因を起動禁止に設定した状態で変更してください。
- DTCベース・アドレス・レジスタ (DTCBAR) を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは対応するDTCENiレジスタ (i = 0-6) のDTCENi7-DTCENi0ビットが0 (起動禁止) のときに変更してください。
- ベクタ・テーブルに設定するDTCコントロール・データ領域の先頭番地は、対応するDTCENiレジスタのDTCENi7-DTCENi0ビットが0 (起動禁止) のときに変更してください。

27.5.2 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCのコントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ (FFEE0H-FFEFFH) の空間は、DTCコントロール・データ領域およびDTCベクタ・テーブル領域としての使用を禁止します。
- スタック領域とDTCコントロール・データ領域およびDTCベクタ・テーブル領域が重ならないようにしてください。
- 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。
R7F101GxE (x = 7, 8, 9, A, B, E, F, G) : FD300H-FD6FFH
R7F101GxG (x = 7, 8, 9, A, B, E, F, G) : FD300H-FD6FFH
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、ノーマル・モード使用時においてもDTRLDjレジスタ (j = 0-23) を初期化 (00H) してください。
- オンチップ・デバッグ機能使用時にデバッグ用のモニタ・プログラムが配置される領域は、DTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。詳細は、**40.4 ユーザ資源の確保**を参照してください。

27.5.3 DTC保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の 1 命令の間に DTC が起動されることはありません。

- コール・リターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリード・アクセス命令
- IFxx, MKxx, PRxx, PSW へのビット操作命令とオペランドに ES レジスタを含んだ 8 ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和算命令 (MULU 命令を除く)

注意1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、すべての割り込み要求が保留されます。

注意2. DTC 保留命令による DTC 保留中は、すべての割り込み要求が保留されます。

27.5.4 データ・フラッシュ・メモリ領域にアクセスする場合の動作

DTC のデータ転送が起きた 1 命令後にデータ・フラッシュ・メモリ領域にアクセスする場合、間の命令に 3 クロック分のウェイトが入ります。

命令 1

DTC のデータ転送

命令 2 ← 3 クロック分のウェイト発生

MOV A, !データ・フラッシュ・メモリ領域

27.5.5 DTC実行クロック数

表 27 - 7 に DTC 起動時の実行状況と必要なクロック数を示します。

表27 - 7 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロール・データ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロール・データの書き戻しに必要なクロック数は、表 27 - 8 コントロール・データの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し／書き込みに必要なクロック数は、表 27 - 9 1データの読み出し／書き込みに必要なクロック数を参照してください。

表27 - 8 コントロール・データの書き戻しに必要なクロック数

DTC CRレジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	×	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	×	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	×	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	×	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	×	1	1	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	×	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
×	0	0	1	固定	リピート エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
×	1	0	1			加算	書き戻す	書き戻す	書き戻す	書き戻す

備考1. × : 0または1

備考2. j = 0-23

表27 - 9 1データの読み出し／書き込みに必要なクロック数

実行状態	RAM	コード・ フラッシュ・メモリ	データ・ フラッシュ・メモリ	特殊機能レジスタ (SFR)	拡張特殊機能レジスタ (2nd SFR)	
					ウエイトなし	ウエイトあり
データ読み出し	1	2	4	1	1	1+ウエイト数注
データ書き込み	1	—	—	1	1	1+ウエイト数注

注 ウエイト数はアクセスする拡張特殊機能レジスタ (2nd SFR) に配置されたレジスタの仕様によって異なります。

27.5.6 DTC応答時間

表 27 - 10 に DTC における応答時間を示します。DTC 応答時間とは DTC 起動要因の検出から DTC 転送開始までの時間です。DTC 応答時間に DTC 実行クロック数は含まれません。

表27 - 10 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合にはさらに DTC の応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合
最大応答時間：20クロック
- DTC保留命令実行の場合（27.5.3 DTC保留命令を参照）
最大応答時間：各条件時の最大応答時間+その条件での保留する命令の実行クロック
- ウェイトが発生するTRJ0レジスタをアクセスした場合
最大応答時間：各条件時の最大応答時間+1クロック

備考 1クロック：1/fCLK（fCLK：CPU／周辺ハードウェアクロック）

27.5.7 DTC起動要因

- DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- DTC起動要因が発生する箇所で、その起動要因に対応したDTC起動許可ビットを操作しないでください。
- DTC起動要因が競合した場合は、CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は27.3.3 ベクタ・テーブルを参照してください。
- 以下のいずれかの状態でDTCを起動許可した場合、DTC転送を開始し、転送終了後に割り込み要求が発生します。そのため、必要に応じてコンパレータiモニタフラグ（CiMON）を確認してからDTCを起動許可にしてください。

(a) 状態1：以下の条件がすべて満たされているとき

- コンパレータiを片エッジ検出での割り込み要求に設定（CiEDG = 0）
- コンパレータiを立ち上がりエッジで割り込み要求に設定（CiEPO = 0）
- IVCMP > コンパレータi基準電圧

(b) 状態2：以下の条件がすべて満たされているとき

- コンパレータiを片エッジ検出での割り込み要求に設定（CiEDG = 0）
- コンパレータiを立ち下がりエッジで割り込み要求に設定（CiEPO = 1）
- IVCMP < コンパレータi基準電圧

注意 コンパレータiの“-”側入力信号選択は以下のとおりです。

i = 0：IVREF0 または D/A コンバータ出力 0

i = 1：IVREF0、D/A コンバータ出力 0、または D/A コンバータ出力 1

i = 2：IVREF0、IVREF1、D/A コンバータ出力 0、または D/A コンバータ出力 2
(DAM2 レジスタの DACONF ビットが 1 の場合)

i = 3：IVREF0、IVREF1、D/A コンバータ出力 0、または D/A コンバータ出力 1

27.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能 ^{注1}
STOPモード	DTC起動要因受付可能 ^{注2}
SNOOZEモード	動作可能 ^{注3, 4, 5, 6}

注1. fCLKにサブシステム・クロックを選択しているとき、OSMCレジスタのRTCLPCビットが1の場合は動作禁止です。

注2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元（ソース）にすることはできません。

注3. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合に設定可能です。

注4. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定（シリアル・チャンネル停止レジスタm (STm) のSTm0ビットに1を書き込み、シリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットに0を書き込み、SSCmレジスタ設定、シリアル・チャンネル開始レジスタm (SSm) のSSm0ビットに1を書き込み）をDTC転送で行ってください。

注5. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定（シリアル・チャンネル停止レジスタm (STm) のSTm1ビットに1を書き込み、シリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットに0を書き込み、SSCmレジスタ設定、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットに1を書き込み）を行ってください。

注6. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、A/DコンバータのSNOOZEモード機能の再設定（A/Dコンバータ・モード・レジスタ2のAWCビットに0を書き込み、AWCビットに1を書き込む）を行ってください。

備考 20～25ピン製品 : p = 20, m = 1, q = 0

30～64ピン製品 : p = 00, 20; m = 0, 1; q = 0

第28章 イベント・リンク・コントローラ (ELC)

28.1 ELCの機能

イベント・リンク・コントローラ (ELC) は、各周辺機能が出力するイベントを周辺機能間で相互に接続 (リンク) します。イベントリンクにより CPU を介さず直接、周辺機能間での連携動作が可能になります。

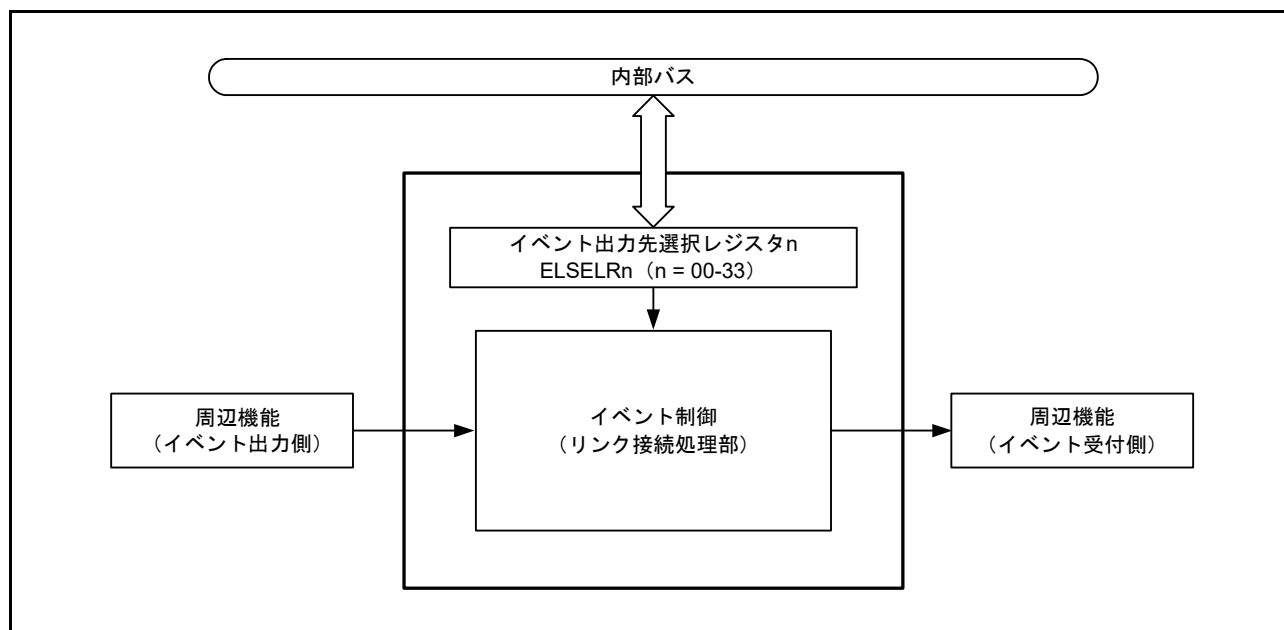
ELC には次の機能があります。

- 34種類 (40～64ピン製品) / 32種類 (30, 32ピン製品) / 28種類 (24, 25ピン製品) / 26種類 (20ピン製品) の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 19種類のうちの1つの周辺機能動作の起動要因として、イベント信号を使用可能

28.2 ELCの構成

図 28 - 1 に ELC のブロック図を示します。

図 28 - 1 ELCのブロック図



28.3 ELCを制御するレジスタ

ELCを制御するレジスタを次に示します。

- イベント出力先選択レジスタ n (ELSELRn) (n = 00-33)

28.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00-33)

ELSELRn レジスタは、各イベント信号を、イベント受付側周辺機能（リンク先周辺機能）の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先（イベント受付側）にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRn レジスタ (n = 00-33) を設定してください。

表 28 - 1 に ELSELRn レジスタ (n = 00-33) と周辺機能の対応、表 28 - 2 に ELSELRn レジスタ (n = 00-33) に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図28 - 2 イベント出力先選択レジスタ n (ELSELRn) のフォーマット

アドレス : F0300H (ELSELR00) - F0321H (ELSELR33)
 リセット時: 00H
 R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	ELSELn4	ELSELn3	ELSELn2	ELSELn1	ELSELn0

ELSELn4	ELSELn3	ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択
0	0	0	0	0	イベントリンク禁止
0	0	0	0	1	リンクする周辺機能1の動作を選択注
0	0	0	1	0	リンクする周辺機能2の動作を選択注
0	0	0	1	1	リンクする周辺機能3の動作を選択注
0	0	1	0	0	リンクする周辺機能4の動作を選択注
0	0	1	0	1	リンクする周辺機能5の動作を選択注
0	0	1	1	0	リンクする周辺機能6の動作を選択注
0	0	1	1	1	リンクする周辺機能7の動作を選択注
0	1	0	0	0	リンクする周辺機能8の動作を選択注
0	1	0	0	1	リンクする周辺機能9の動作を選択注
0	1	0	1	0	リンクする周辺機能10の動作を選択注
0	1	0	1	1	リンクする周辺機能11の動作を選択注
0	1	1	0	0	リンクする周辺機能12の動作を選択注
0	1	1	0	1	リンクする周辺機能13の動作を選択注
0	1	1	1	0	リンクする周辺機能14の動作を選択注
0	1	1	1	1	リンクする周辺機能15の動作を選択注
1	0	0	0	0	リンクする周辺機能16の動作を選択注
1	0	0	0	1	リンクする周辺機能17の動作を選択注
1	0	0	1	0	リンクする周辺機能18の動作を選択注
1	0	0	1	1	リンクする周辺機能19の動作を選択注
上記以外					設定禁止

注 表28 - 2 ELSELRnレジスタ (n = 00-33) に設定する値とリンク先周辺機能の受付時の動作の対応を参照してください。

表28 - 1 ELSELRnレジスタ (n = 00-33) と周辺機能の対応

レジスタ名	イベント発生元 (イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1 ^{注2}	INTP1
ELSELR02	外部割り込みエッジ検出2 ^{注2}	INTP2
ELSELR03	外部割り込みエッジ検出3 ^{注2}	INTP3
ELSELR04	外部割り込みエッジ検出4 ^{注2}	INTP4
ELSELR05	外部割り込みエッジ検出5 ^{注1}	INTP5
ELSELR06	キーリターン信号検出 ^{注3}	INTKR
ELSELR07	RTC定周期信号/アラーム一致検出	INTRTC
ELSELR08	タイマRD2カウンタ0インプットキャプチャA/コンペア一致A	INTTRD0
ELSELR09	タイマRD2カウンタ0インプットキャプチャB/コンペア一致B	INTTRD0
ELSELR10	タイマRD2カウンタ1インプットキャプチャA/コンペア一致A	INTTRD1
ELSELR11	タイマRD2カウンタ1インプットキャプチャB/コンペア一致B	INTTRD1
ELSELR12	タイマRD2カウンタ1アンダフロー	TRD1アンダフロー信号
ELSELR13	タイマRJアンダフロー/パルス幅測定期間終了/パルス周期測定期間終了	INTTRJ0
ELSELR14	タイマRG2インプットキャプチャA/コンペア一致A	INTTRG
ELSELR15	タイマRG2インプットキャプチャB/コンペア一致B	INTTRG
ELSELR16	タイマRG2コンペア一致C	INTTRG
ELSELR17	タイマRG2コンペア一致D	INTTRG
ELSELR18	32ビット・インターバル・タイマチャンネル0インターバル信号検出	ELCITL0
ELSELR19	TAUチャンネル0カウント完了/キャプチャ完了	INTTM00
ELSELR20	TAUチャンネル1カウント完了/キャプチャ完了	INTTM01
ELSELR21	TAUチャンネル2カウント完了/キャプチャ完了	INTTM02
ELSELR22	TAUチャンネル3カウント完了/キャプチャ完了	INTTM03
ELSELR23	コンパレータ検出0	INTCMP0
ELSELR24	コンパレータ検出1	INTCMP1
ELSELR25	コンパレータ検出2	INTCMP2
ELSELR26	コンパレータ検出3 ^{注1}	INTCMP3
ELSELR27	FAAタイミング・コンペア・マッチ3	INTTIMEC3
ELSELR28	FAAタイミング・コンペア・マッチ4	INTTIMEC4
ELSELR29	FAAタイミング・コンペア・マッチ5	INTTIMEC5
ELSELR30	A/D変換終了0	ELCAD0
ELSELR31	A/D変換終了1	ELCAD1
ELSELR32	A/D変換終了2	ELCAD2
ELSELR33	A/D変換終了3	ELCAD3

注1. 24～64ピン製品のみ

注2. 30～64ピン製品のみ

注3. 40～64ピン製品のみ

表28-2 ELSELRnレジスタ (n = 00-33) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRnレジスタの ELSELn4-0ビット	リンク先 の番号	リンク先周辺機能	イベント受付時の動作
00001B	1	A/Dコンバータ	A/D変換開始
00010B	2	タイマ・アレイ・ユニット チャンネル0のタイマ入力 ^{注1}	ディレイ・カウンタ、入力パルス間隔測定、外部 イベント・カウンタ
00011B	3	タイマ・アレイ・ユニット チャンネル1のタイマ入力 ^{注2}	ディレイ・カウンタ、入力パルス間隔測定、外部 イベント・カウンタ
00100B	4	タイマRJ	カウントソース
00101B	5	タイマRG2	TRGIOBのインプットキャプチャ
00110B	6	タイマRD2イベント入力0	TRDIOD0のインプットキャプチャ、パルス出力 強制遮断
00111B	7	タイマRD2イベント入力1	TRDIOD1のインプットキャプチャ、パルス出力 強制遮断
01000B	8	D/Aコンバータ0 (DAC0) ^{注3}	リアルタイム出力
01001B	9	D/Aコンバータ1 (DAC1) ^{注3}	リアルタイム出力
01010B	10	D/Aコンバータ2 (DAC2) ^{注3}	リアルタイム出力
01011B	11	タイマRD2 PWMオプション ユニットA (PWMOPA)	パルス出力強制遮断
01100B	12	FAA	入力イベント検出割り込み0
01101B	13	FAA	入力イベント検出割り込み1
01110B	14	FAA	入力イベント検出割り込み2
01111B	15	FAA	入力イベント検出割り込み3
10000B	16	FAA	入力イベント検出割り込み4
10001B	17	FAA	入力イベント検出割り込み5
10010B	18	FAA	入力イベント検出割り込み6
10011B	19	FAA	入力イベント検出割り込み7

注1. リンク先周辺機能にタイマ・アレイ・ユニットのチャンネル0のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル0の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI00端子のノイズフィルタをOFFに (TNFEN0 = 0) 設定し、タイマ入出力選択レジスタ0 (TIOS0) でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注2. リンク先周辺機能にタイマ・アレイ・ユニットのチャンネル1のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル1の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI01端子のノイズフィルタをOFF (TNFEN01 = 0) に設定し、タイマ入出力選択レジスタ0 (TIOS0) でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注3. D/A変換のリアルタイム出力モード有効時にSTOPモードに入る場合は、STOPモードに入る前にELCのイベントリンクを禁止にしてください。

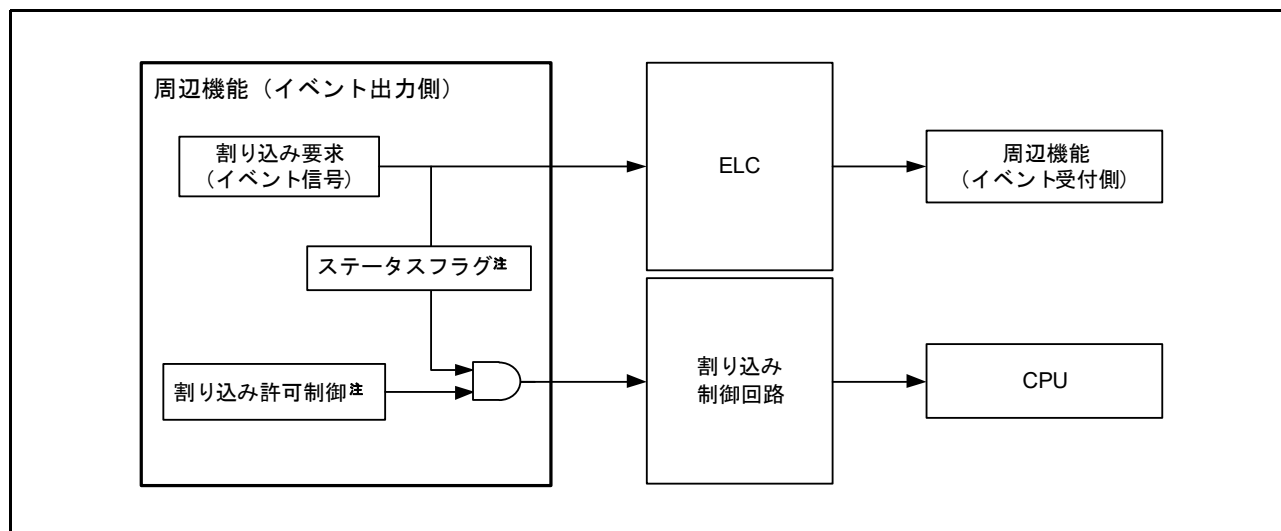
28.4 ELCの動作

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

図 28 - 3 に割り込み処理と ELC の関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可／禁止を制御する許可ビットを持つ周辺機能を例としています。

ELC によってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします (表 28 - 2 ELSELRn レジスタ (n = 00-33) に設定する値とリンク先周辺機能の受付時の動作の対応を参照)。

図 28 - 3 割り込み処理と ELC の関係



注 周辺機能によっては、搭載していません。

表 28 - 3 にイベントを受け付ける周辺機能の応答性を示します。

表28 - 3 イベントを受け付ける周辺機能の応答性 (1/2)

イベント受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D変換開始	ELCのイベント発生からfCLKの3,4サイクル後にエッジの検出を行います。
2	タイマ・アレイ・ユニット チャンネル0のタイマ入力	ディレイ・カウンタ、入力パルス 間隔測定、外部イベント・カウンタ	ELCのイベント発生からfCLKの3,4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット チャンネル1のタイマ入力	ディレイ・カウンタ、入力パルス 間隔測定、外部イベント・カウンタ	ELCのイベント発生からfCLKの3,4サイクル後にエッジの検出を行います。
4	タイマRJ	カウントソース	ELCからのイベントが直接、タイマRJのカウントソースになります。
5	タイマRG2	TRGIOBのインプットキャプチャ	ELCのイベント発生からfCLKの2,3サイクル後にカウント開始トリガが発生します。
6	タイマRD2イベント入力0	TRDIOD0のインプットキャプチャ	ELCのイベント発生からタイマRD2の動作クロック2,3サイクル後にカウント開始トリガが発生します。
		パルス出力強制遮断	ELCのイベント発生からタイマRD2の動作クロック2,3サイクル後に強制遮断状態になります。
7	タイマRD2イベント入力1	TRDIOD1のインプットキャプチャ	ELCのイベント発生からタイマRD2の動作クロック2,3サイクル後にカウント開始トリガが発生します。
		パルス出力強制遮断	ELCのイベント発生からタイマRD2の動作クロック2,3サイクル後に強制遮断状態になります。
8	D/Aコンバータ0 (DAC0)	リアルタイム出力 (チャンネル0)	ELCからの非同期イベントを同期化するため1サイクル以上2サイクル未満の期間でイベントを受け取り、次のサイクルでD/A変換動作を開始します。
9	D/Aコンバータ1 (DAC1)	リアルタイム出力 (チャンネル1)	ELCからの非同期イベントを同期化するため1サイクル以上2サイクル未満の期間でイベントを受け取り、次のサイクルでD/A変換動作を開始します。
10	D/Aコンバータ2 (DAC2)	リアルタイム出力 (チャンネル2)	ELCからの非同期イベントを同期化するため1サイクル以上2サイクル未満の期間でイベントを受け取り、次のサイクルでD/A変換動作を開始します。
11	タイマRD2 PWMオプション ユニットA (PWMOPA)	パルス出力強制遮断	ELCからの非同期イベントを同期化するため1サイクル以上2サイクル未満の期間でイベントを受け取り、次のサイクルでパルス出力強制遮断動作を行います。
12	FAA	入カイベント検出割り込み0	ELCからのイベントが直接、FAAの入カイベントになります。
13	FAA	入カイベント検出割り込み1	ELCからのイベントが直接、FAAの入カイベントになります。
14	FAA	入カイベント検出割り込み2	ELCからのイベントが直接、FAAの入カイベントになります。
15	FAA	入カイベント検出割り込み3	ELCからのイベントが直接、FAAの入カイベントになります。
16	FAA	入カイベント検出割り込み4	ELCからのイベントが直接、FAAの入カイベントになります。

表28 - 3 イベントを受け付ける周辺機能の応答性 (2/2)

イベント 受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
17	FAA	入カイベント検出割り込み5	ELCからのイベントが直接、FAAの入カイベントになります。
18	FAA	入カイベント検出割り込み6	ELCからのイベントが直接、FAAの入カイベントになります。
19	FAA	入カイベント検出割り込み7	ELCからのイベントが直接、FAAの入カイベントになります。

第29章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		20ピン	24, 25ピン	30, 32ピン	40, 44ピン	48～64ピン
マスカブル割り込み	外部	6	8	12	13	15
	内部	46	55			

29.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティに従って処理されます。デフォルト・プライオリティについては、**表29-1 割り込み要因一覧**を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

29.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（**表29-1 割り込み要因一覧**参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64Kアドレスとなります。

表29 - 1 割り込み要因一覧 (1/4)

割り込みの処理 デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・ アドレス	基本構成タイプ ^{注2}	64ピン	52ピン	48ピン	44ピン	40ピン	32ピン	30ピン	25ピン	24ピン	20ピン	
	名称	トリガ														
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75% + 1/4fL)	内部	00004H	(a)	○	○	○	○	○	○	○	○	○	○
	1	INTLVI	電圧検出 ^{注4}		00006H		○	○	○	○	○	○	○	○	○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	(b)	○	○	○	○	○	○	○	○	○	○
	3	INTP1			0000AH	(a)	○	○	○	○	○	○	○	○	○	○
		INTAD1	A/D入力チャネル1の変換終了 ^{注8}	内部			○	○	○	○	○	○	○	○	○	○
	4	INTP2	端子入力エッジ検出	外部	0000CH	(b)	○	○	○	○	○	○	○	○	○	○
		INTAD2	A/D入力チャネル2の変換終了 ^{注8}	内部		(a)	○	○	○	○	○	○	○	○	○	○
	5	INTP3	端子入力エッジ検出	外部	0000EH	(b)	○	○	○	○	○	○	○	○	○	○
	6	INTP4			00010H		○	○	○	○	○	○	○	○	○	○
	7	INTP5			00012H		○	○	○	○	○	○	○	○	○	○
	8	INTST2/ INTCSI20/ INTIIC20	UART2送信の転送完了、バッファ空き割り 込み/CSI20の転送完了、バッファ空き割 り込み/IIC20の転送完了	内部	00014H	(a)	○	○	○	○	○	○	○	○	○	○
	9	INTSR2/ INTCSI21/ INTIIC21	UART2受信の転送完了/CSI21の転送完 了、バッファ空き割り込み/IIC21の転送完 了		00016H		○	○	○	○	○	注5	注5	注5	注5	注5
	10	INTSRE2	UART2受信の通信エラー発生		00018H		○	○	○	○	○	○	○	○	○	○
	11	INTFAAE	FAA終了割り込み		0001AH		○	○	○	○	○	○	○	○	○	○
	12	INTTIMEC0	FAAタイミング・コンペア・マッチ0		0001CH		○	○	○	○	○	○	○	○	○	○
	13	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了、バッファ空き割り 込み/CSI00の転送完了、バッファ空き割 り込み/IIC00の転送完了		0001EH		○	○	○	○	○	○	○	○	○	○
	14	INTTM00	タイマ・チャンネル00のカウント完了 またはキャプチャ完了		00020H		○	○	○	○	○	○	○	○	○	○
15	INTSRE0	UART0受信の通信エラー発生		00022H		○	○	○	○	○	○	○	○	○	○	
	INTTM01H	タイマ・チャンネル01のカウント完了 またはキャプチャ完了 (上位8ビット・タイマ動作時)			○	○	○	○	○	○	○	○	○	○	○	
16	INTST1/ INTCSI10/ INTIIC10	UART1送信の転送完了、バッファ空き割り 込み/CSI10の転送完了、バッファ空き割 り込み/IIC10の転送完了		00024H		○	注6	注6	注6	注6	注6	注6	注6	注6	注6	
17	INTSR1/ INTCSI11/ INTIIC11	UART1受信の転送完了/CSI11の転送完了、 バッファ空き割り込み/IIC11の転送完了		00026H		○	○	○	○	○	○	○	○	○	○	

表29-1 割り込み要因一覧 (2/4)

割り込みの処理 デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・ アドレス	基本構成タイプロ注2	64ピン	52ピン	48ピン	44ピン	40ピン	32ピン	30ピン	25ピン	24ピン	20ピン					
	名称	トリガ																		
マスカブル	18	INTSRE1	UART1受信の通信エラー発生	内部	00028H	(a)	○	○	○	○	○	○	○	○	○	○				
		INTTM03H	タイマ・チャンネル03のカウンタ完了 またはキャプチャ完了 (上位8ビット・タイマ動作時)				○	○	○	○	○	○	○	○	○	○				
	19	INTIICA0	IICA0通信完了				0002AH	○	○	○	○	○	○	○	○	○	○	○		
	20	INTSR0/ INTCSI01/ INTIIC01	UART0受信の転送完了/CSI01の転送完了、バッファ空き割り込み/IIC01の転送完了				0002CH	○	○	○	注7	注7	注7	注7	注7	注7	注7	注7	—	
	21	INTTM01	タイマ・チャンネル01のカウンタ完了 またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)				0002EH	○	○	○	○	○	○	○	○	○	○	○	○	
	22	INTTM02	タイマ・チャンネル02のカウンタ完了 またはキャプチャ完了				00030H	○	○	○	○	○	○	○	○	○	○	○	○	
	23	INTTM03	タイマ・チャンネル03のカウンタ完了 またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)				00032H	○	○	○	○	○	○	○	○	○	○	○	○	
	★	24	INTAD0				A/D変換終了/A/D入力チャンネル0の変換終了 ^{注8}	00034H	○	○	○	○	○	○	○	○	○	○	○	○
	25	INTRTC	リアルタイム・クロックの定周期信号/ アラーム一致検出				00036H	○	○	○	○	○	○	○	○	○	○	○	○	
	26	INTITL	32ビット・インターバル・タイマの インターバル信号検出				00038H	○	○	○	○	○	○	○	○	○	○	○	○	
27	INTKR	キー・リターン信号検出	外部	0003AH	(c)	○	○	○	○	○	—	—	—	—	—					
★	28	INTTD	DALI送信の転送完了	内部	0003CH	(a)	○	○	○	○	○	○	○	○	○	○				
		INTTRJ0	タイマRJ割り込み				○	○	○	○	○	○	○	○	○	○				
	29	INTTRD0	タイマRD2カウンタ0インプットキャプチャ、コンペアー一致、オーバーフロー、アンダフロー割り込み				0003EH	○	○	○	○	○	○	○	○	○	○	○		
	30	INTTRD1	タイマRD2カウンタ1インプットキャプチャ、コンペアー一致、オーバーフロー、アンダフロー割り込み				00040H	○	○	○	○	○	○	○	○	○	○	○		
	31	INTRD	DALI受信の転送完了				00042H	○	○	○	○	○	○	○	○	○	○	○	○	
		INTTRG	タイマRG2インプットキャプチャ、コンペアー一致、オーバーフロー、アンダフロー割り込み					○	○	○	○	○	○	○	○	○	○	○	○	
32	INTED/ INTCLD/ INTBPD	DALIエラー割り込み/ 衝突検出割り込み/ バスパワーダウン検出割り込み	00044H	○	○	○	○	○	○	○	○	○	○	○	○					
	INTTRX	タイマRXオーバーフロー検出		○	○	○	○	○	○	○	○	○	○	○	○					

表29 - 1 割り込み要因一覧 (3/4)

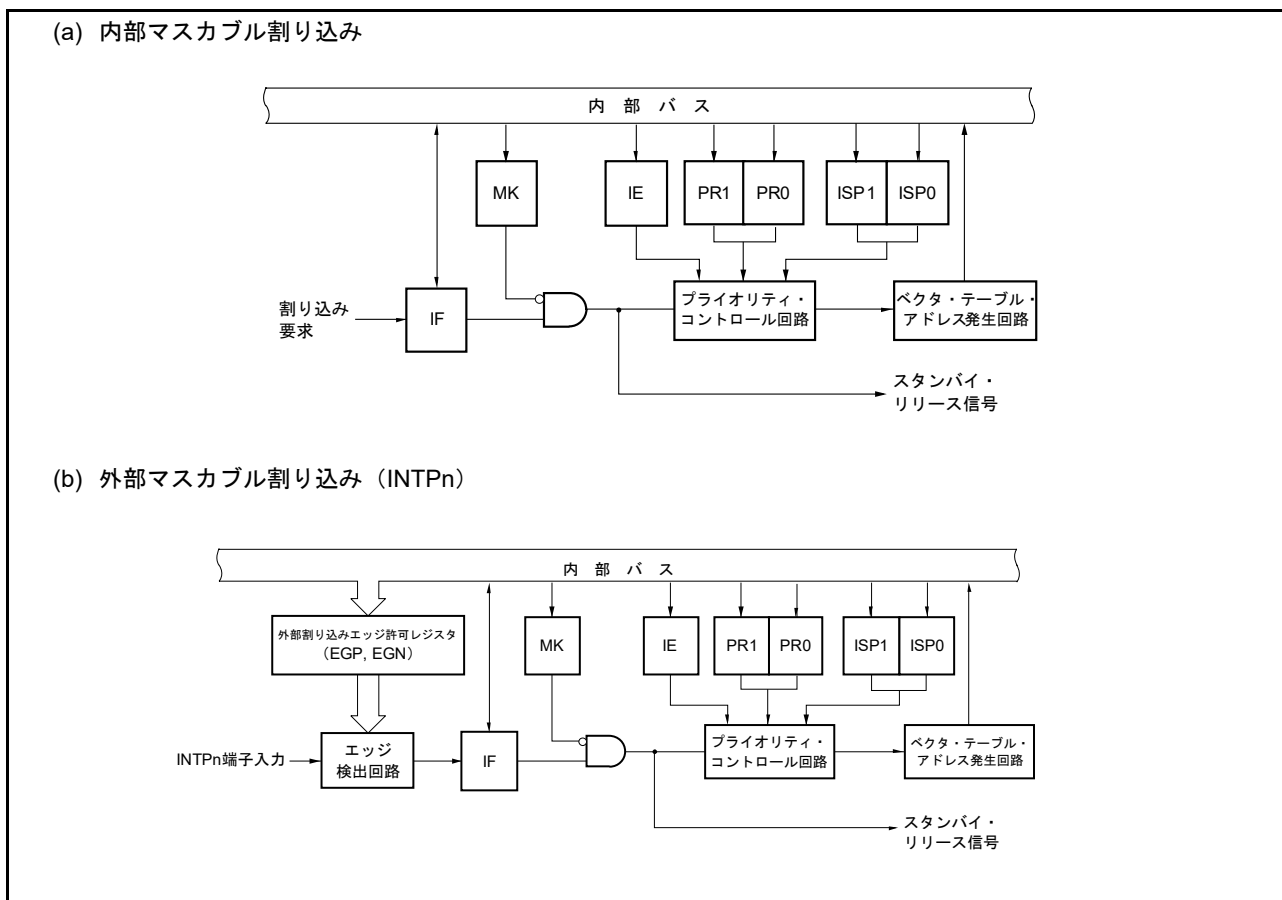
割り込みの処理 デフォルト・ プライオリティ ¹	割り込み要因		内部/外部	ベクタ・テーブル・ アドレス	基本構成タイプ ²	64ピン	52ピン	48ピン	44ピン	40ピン	32ピン	30ピン	25ピン	24ピン	20ピン	
	名称	トリガ														
マスクアブル	33	INTP20	端子入力エッジ検出	外部	00046H	(b)	○	○	○	○	○	○	○	○	○	○
	34	INTP21	端子入力エッジ検出	外部	00048H	(b)	○	○	○	○	○	○	○	○	○	○
	35	INTP6	端子入力エッジ検出	外部	0004AH	(a)	○	○	○	○	○	○	○	○	○	○
		INTTMKBST R10	16ビット・タイマKB31の強制出力停止機能 1/2発動割り込み0	内部			○	○	○	○	○	○	○	○	○	○
	36	INTP7	端子入力エッジ検出	外部	0004CH	(b)	○	○	○	○	○	○	○	○	○	○
		INTTMKBST P10	16ビット・タイマKB31の強制出力停止機能 1/2解除割り込み0	内部			(a)	○	○	○	○	○	○	○	○	○
	37	INTP8	端子入力エッジ検出	外部	0004EH	(b)	○	○	○	○	○	○	○	○	○	○
		INTTMKBST R11	16ビット・タイマKB31の強制出力停止機能 1/2発動割り込み1	内部			(a)	○	○	○	○	○	○	○	○	○
	38	INTP9	端子入力エッジ検出	外部	00050H	(b)	○	○	○	○	○	○	○	○	○	○
		INTTMKBST P11	16ビット・タイマKB31の強制出力停止機能 1/2解除割り込み1	内部			(a)	○	○	○	○	○	○	○	○	○
	39	INTFL	予約	—	00052H	(b)	○	○	○	○	○	○	○	○	○	○
	40	INTP10	端子入力エッジ検出	外部	00054H	(b)	○	○	○	○	○	○	○	○	○	○
		INTCMP0	コンパレータ検出0	内部			○	○	○	○	○	○	○	○	○	○
	41	INTP11	端子入力エッジ検出	外部	00056H	(b)	○	○	○	○	○	○	○	○	○	○
		INTCMP1	コンパレータ検出1	内部			○	○	○	○	○	○	○	○	○	○
	42	INTFAATRAPP	FAA 不当命令割り込み	—	00058H	(a)	○	○	○	○	○	○	○	○	○	○
	43	INTCMP2	コンパレータ検出2	—	0005AH	(b)	○	○	○	○	○	○	○	○	○	○
	44	INTCMP3	コンパレータ検出3	—	0005CH	(b)	○	○	○	○	○	○	○	○	○	○
	45	INTTMKB0	16ビット・タイマKB30のカウント完了	—	0005EH	(a)	○	○	○	○	○	○	○	○	○	○
	46	INTTMKB1	16ビット・タイマKB31のカウント完了	—	00060H	(a)	○	○	○	○	○	○	○	○	○	○
	47	INTTMKB2	16ビット・タイマKB32のカウント完了	—	00062H	(a)	○	○	○	○	○	○	○	○	○	○
	48	INTSDD	DALI ストップコンディション検出割り込み	—	00064H	(a)	○	○	○	○	○	○	○	○	○	○
		INTGCR	タイマRG2位相カウントクリア検出 割り込み	—			○	○	○	○	○	○	○	○	○	○
	49	INTFED	DALI 立ち下がりエッジ検出割り込み	—	00066H	(a)	○	○	○	○	○	○	○	○	○	○
INTPMC		タイマRG2位相変化検出割り込み	—	○			○	○	○	○	○	○	○	○	○	
50	INTTMKBST R00	16ビット・タイマKB30の強制出力停止機能 1/2発動割り込み0	—	00068H	(a)	○	○	○	○	○	○	○	○	○	○	
51	INTTMKBST P00	16ビット・タイマKB30の強制出力停止機能 1/2解除割り込み0	—	0006AH	(a)	○	○	○	○	○	○	○	○	○	○	
52	INTTMKBST R01	16ビット・タイマKB30の強制出力停止機能 1/2発動割り込み1	—	0006CH	(a)	○	○	○	○	○	○	○	○	○	○	

表29 - 1 割り込み要因一覧 (4/4)

割り込みの処理 デフォルト・ プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・ アドレス	基本構成タイプ ^{注2}	64ピン	52ピン	48ピン	44ピン	40ピン	32ピン	30ピン	25ピン	24ピン	20ピン		
	名称	トリガ															
マスカブル	53	INTTMKBST P01	16ビット・タイマKB30の強制出力停止機能 1/2解除割り込み1	内部	0006EH	(a)	○	○	○	○	○	○	○	○	○		
	54	INTTMKBST R20	16ビット・タイマKB32の強制出力停止機能 1/2発動割り込み0		00070H	○	○	○	○	○	○	○	○	○	○	○	
	55	INTTMKBST P20	16ビット・タイマKB32の強制出力停止機能 1/2解除割り込み0		00072H	○	○	○	○	○	○	○	○	○	○	○	
	56	INTTMKBST R21	16ビット・タイマKB32の強制出力停止機能 1/2発動割り込み1		00074H	○	○	○	○	○	○	○	○	○	○	○	
	57	INTTMKBST P21	16ビット・タイマKB32の強制出力停止機能 1/2解除割り込み1		00076H	○	○	○	○	○	○	○	○	○	○	○	
	58	INTTIMEC1	FAAタイミング・コンペア・マッチ1		00078H	○	○	○	○	○	○	○	○	○	○	○	
	59	INTTIMEC2	FAAタイミング・コンペア・マッチ2		0007AH	○	○	○	○	○	○	○	○	○	○	○	
	60	INTAD3	A/D入力チャンネル3の変換終了 ^{注8}		0007CH	○	○	○	○	○	○	○	○	○	○	○	
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH	(d)	○	○	○	○	○	○	○	○	○		
リセット	—	RESET	RESET端子入力	—	00000H	—	○	○	○	○	○	○	○	○	○		
		POR	パワーオン・リセット				○	○	○	○	○	○	○	○	○	○	○
		LVD	電圧検出				○	○	○	○	○	○	○	○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○	○	○	○	○	○	○	○
		TRAP	不正命令の実行				○	○	○	○	○	○	○	○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○	○	○	○	○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○	○	○	○	○	○	○	○

- 注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、60が最低順位です。
- 注2. 基本構成タイプの (a) ~ (d) は、それぞれ図29 - 1 割り込み機能の基本構成の (a) ~ (d) に対応しています。
- 注3. ユーザ・オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。
- 注4. 電圧検出レベル・レジスタ (LVIS) のビット6 (LVD1SEL) = 0選択時。またはユーザ・オプション・バイト (000C1H) のビット7 (LVD0SEL) = 1選択時。
- 注5. INTSR2のみ
- 注6. INTST1のみ
- 注7. INTSR0のみ
- 注8. A/Dコンバータ・モード・レジスタ3 (ADM3) のビット0 (ADVMOD) = 1選択時。

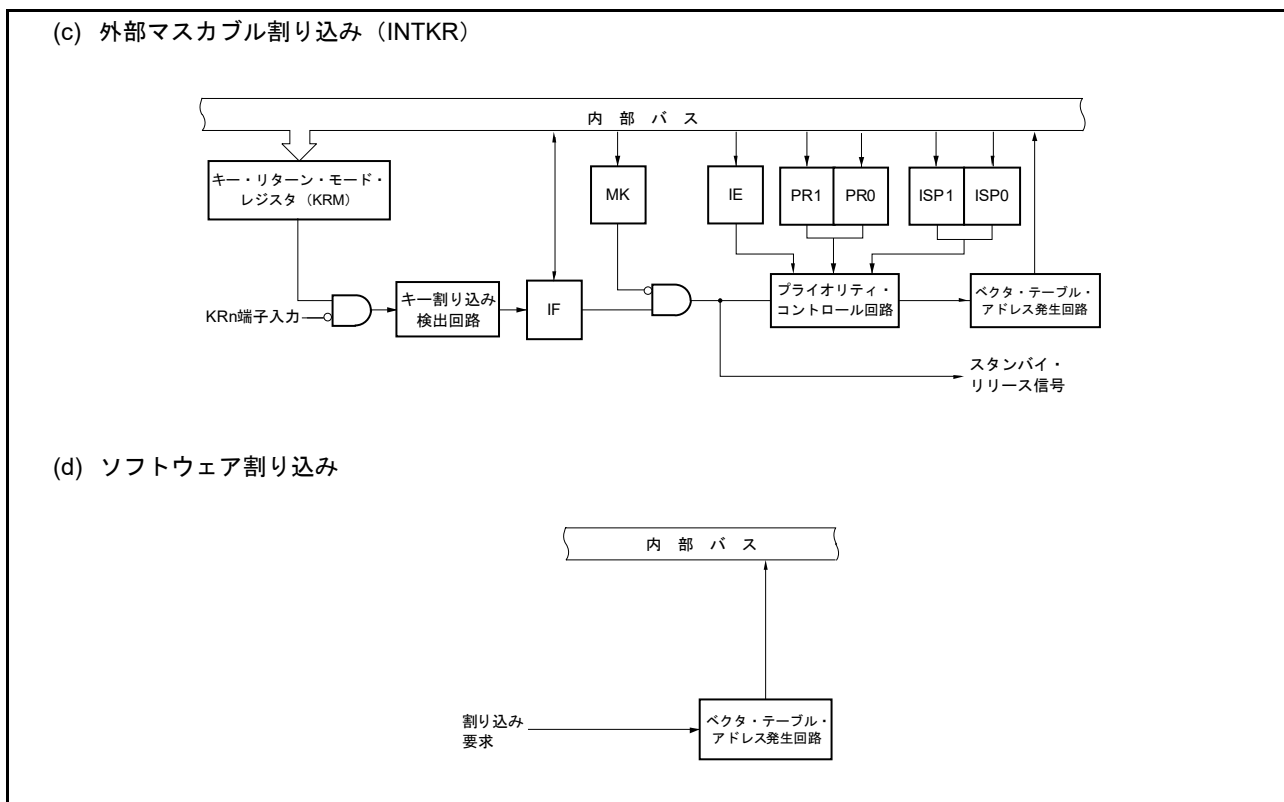
図29 - 1 割り込み機能の基本構成 (1/2)



- 備考1.** IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサースビス・プライオリティ・フラグ0
 ISP1 : インサースビス・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

- 備考2.** 20ピン : n = 0, 6, 7, 20; m = 0-2
 24, 25ピン : n = 0, 5-7, 20, 21; m = 0-3
 30~44ピン : n = 0-7, 20, 21; m = 0-3
 48ピン : n = 0-9, 20, 21; m = 0-3
 52, 64ピン : n = 0-11, 20, 21; m = 0-3

図29 - 1 割り込み機能の基本構成 (2/2)



- 備考1.** IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサースビス・プライオリティ・フラグ0
 ISP1 : インサースビス・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1
- 備考2.** 40, 44ピン : n = 0-3
 48ピン : n = 0-5
 52, 64ピン : n = 0-7

29.3 割り込み機能を制御するレジスタ

割り込み機能を制御するレジスタを次に示します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)
- 外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1)、外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1)
- プログラム・ステータス・ワード (PSW)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

表 29 - 2 に各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を示します。

表29-2 割り込み要求ソースに対応する各種フラグ (1/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		84	82	48	44	40	32	30	28	24	20		
	レジスタ		レジスタ		レジスタ													
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○	○	○	○	○	○		
INTLVI	LVIIIF注1		LVIMK注1		LVIPR0, LVIPR1注1		○	○	○	○	○	○	○	○	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	○	○	○	○	○	○	○	○
INTP1	PIF1注24		PMK1注24		PPR01, PPR11注24		○	○	○	○	○	○	○	○	○	○	○	○
INTAD1	ADIF1注24		ADMK1注24		ADPR01, ADPR11注24		○	○	○	○	○	○	○	○	○	○	○	○
INTP2	PIF2注25		PMK2注25		PPR02, PPR12注25		○	○	○	○	○	○	○	○	○	○	○	○
INTAD2	ADIF2注25		ADMK2注25		ADPR02, ADPR12注25		○	○	○	○	○	○	○	○	○	○	○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	○	○	○	○	○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	○	○	○	○	○	○	○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	○	○	○	○	○	○	○	○
INTST2	STIF2注2	IF0H	STMK2注2	MK0H	STPR02, STPR12注2	PR00H, PR10H	○	○	○	○	○	○	○	○	○	○		
INTCSI20	CSIIF20注2		CSIMK20注2		CSIPR020, CSIPR120注2		○	○	○	○	○	○	○	○	○	○	○	
INTIIC20	IICIF20注2		IICMK20注2		IICPR020, IICPR120注2		○	○	○	○	○	○	○	○	○	○	○	
INTSR2	SRIF2注3		SRMK2注3		SRPR02, SRPR12注3		○	○	○	○	○	注21	注21	注21	注21	注21	注21	注21
INTCSI21	CSIIF21注3		CSIMK21注3		CSIPR021, CSIPR121注3		○	○	○	○	○	注21	注21	注21	注21	注21	注21	注21
INTIIC21	IICIF21注3		IICMK21注3		IICPR021, IICPR121注3		○	○	○	○	○	注21	注21	注21	注21	注21	注21	注21
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12		○	○	○	○	○	○	○	○	○	○	○	○
INTFAAE	FAAEIF		FAAEMK		FAAEPR0, FAAEPR1		○	○	○	○	○	○	○	○	○	○	○	○
INTTIMEC0	TIMECIF0		TIMECMK0		TIMECPR00, TIMECPR10		○	○	○	○	○	○	○	○	○	○	○	○
INTST0	STIF0注4		STMK0注4		STPR00, STPR10注4		○	○	○	○	○	○	○	○	○	○	○	○
INTCSI00	CSIIF00注4		CSIMK00注4		CSIPR000, CSIPR100注4		○	○	○	○	○	○	○	○	○	○	○	○
INTIIC00	IICIF00注4		IICMK00注4		IICPR000, IICPR100注4		○	○	○	○	○	○	○	○	○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○	○	○	○	○	○	○	○
INTSRE0	SREIF0注5		SREMK0注5		SREPR00, SREPR10注5		○	○	○	○	○	○	○	○	○	○	○	○
INTTM01H	TMIF01H注5		TMMK01H注5		TMPR001H, TMPR101H注5		○	○	○	○	○	○	○	○	○	○	○	○
INTST1	STIF1注6	IF1L	STMK1注6	MK1L	STPR01, STPR11注6	PR01L, PR11L	○	注22	注22	注22	注22	注22	注22	注22	注22	注22		
INTCSI10	CSIIF10注6		CSIMK10注6		CSIPR010, CSIPR110注6		○	注22	注22	注22	注22	注22	注22	注22	注22	注22	注22	注22
INTIIC10	IICIF10注6		IICMK10注6		IICPR010, IICPR110注6		○	注22	注22	注22	注22	注22	注22	注22	注22	注22	注22	注22
INTSR1	SRIF1注7		SRMK1注7		SRPR01, SRPR11注7		○	○	○	○	○	○	○	○	○	○	○	○
INTCSI11	CSIIF11注7		CSIMK11注7		CSIPR011, CSIPR111注7		○	○	○	○	○	○	○	○	○	○	○	○
INTIIC11	IICIF11注7		IICMK11注7		IICPR011, IICPR111注7		○	○	○	○	○	○	○	○	○	○	○	○
INTSRE1	SREIF1注8		SREMK1注8		SREPR01, SREPR11注8		○	○	○	○	○	○	○	○	○	○	○	○
INTTM03H	TMIF03H注8		TMMK03H注8		TMPR003H, TMPR103H注8		○	○	○	○	○	○	○	○	○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○	○	○	○	○	○	○	○
INTSR0	SRIF0注9		SRMK0注9		SRPR00, SRPR10注9		○	○	○	注23	注23	注23	注23	注23	注23	注23	注23	注23
INTCSI01	CSIIF01注9		CSIMK01注9		CSIPR001, CSIPR101注9		○	○	○	注23	注23	注23	注23	注23	注23	注23	注23	注23
INTIIC01	IICIF01注9		IICMK01注9		IICPR001, IICPR101注9		○	○	○	注23	注23	注23	注23	注23	注23	注23	注23	注23

表29-2 割り込み要求ソースに対応する各種フラグ (2/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		84	82	48	44	40	32	30	28	24	20			
		レジスタ		レジスタ		レジスタ													
INTTM01	TMIF01	IF1L	TMMK01	MK1L	TMPR001, TMPR101	PR01L, PR11L	○	○	○	○	○	○	○	○	○	○			
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○	○	○	○	○	○	○	○	
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	○	○	○	○	○	○	○	○	
INTAD0	ADIF0	IF1H	ADMK0	MK1H	ADPR00, ADPR10	PR01H, PR11H	○	○	○	○	○	○	○	○	○	○			
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		○	○	○	○	○	○	○	○	○	○	○	○	
INTITL	ITLIF		ITLMK		ITLPR0, ITLPR1		○	○	○	○	○	○	○	○	○	○	○	○	
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	○	○	○	○	○	○	○	○	○	
INTTD	TDIF注10		TDMK注10		TDPR0, TDPR1注10		○	○	○	○	○	○	○	○	○	○	○	○	
INTTRJ0	TRJIF0注10		TRJMK0注10		TRJPR00, TRJPR10注10		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTRD0	TRDIF0		TRDMK0		TRDPR00, TRDPR10		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTRD1	TRDIF1		TRDMK1		TRDPR01, TRDPR11		○	○	○	○	○	○	○	○	○	○	○	○	○
INTRD	RDIF注11		RDMK注11		RDPR0, RDPR1注11		○	○	○	○	○	○	○	○	○	○	○	○	○
INTTRG	TRGIF注11		TRGMK注11		TRGPR0, TRGPR1注11		○	○	○	○	○	○	○	○	○	○	○	○	○
INTED	EDIF注12		IF2L		EDMK注12		MK2L	EDPR0, EDPR1注12	PR02L, PR12L	○	○	○	○	○	○	○	○	○	○
INTCLD	CLDIF注12	CLDMK注12		CLDPR0, CLDPR1注12	○	○		○		○	○	○	○	○	○	○	○	○	
INTBPD	BPDIF注12	BPDMK注12		BPDPR0, BPDPR1注12	○	○		○		○	○	○	○	○	○	○	○	○	
INTTRX	TRXIF注12	TRXMK注12		TRXPR0, TRXPR1注12	○	○		○		○	○	○	○	○	○	○	○	○	
INTP20	PIF20	PMK20		PPR020, PPR120	○	○		○		○	○	○	○	○	○	○	○	○	
INTP21	PIF21	PMK21		PPR021, PPR121	○	○		○		○	○	○	○	○	○	○	○	○	○
INTP6	PIF6注13	PMK6注13		PPR06, PPR16注13	○	○		○		○	○	○	○	○	○	○	○	○	○
INTTMKBSTR10	TMKBSTRIF10注13	TMKBSTRMK10注13		TMKBSTRPR010, TMKBSTRPR110注13	○	○		○		○	○	○	○	○	○	○	○	○	○
INTP7	PIF7注14	PMK7注14		PPR07, PPR17注14	○	○		○		○	○	○	○	○	○	○	○	○	○
INTTMKBSTP10	TMKBSTPIF10注14	TMKBSTPMK10注14		TMKBSTPPR010, TMKBSTPPR110注14	○	○		○		○	○	○	○	○	○	○	○	○	○
INTP8	PIF8注15	PMK8注15		PPR08, PPR18注15	○	○		○		○	○	○	○	○	○	○	○	○	○
INTTMKBSTR11	TMKBSTRIF11注15	TMKBSTRMK11注15		TMKBSTRPR011, TMKBSTRPR111注15	○	○		○		○	○	○	○	○	○	○	○	○	○
INTP9	PIF9注16	PMK9注16		PPR09, PPR19注16	○	○		○		○	○	○	○	○	○	○	○	○	○
INTTMKBSTP11	TMKBSTPIF11注16	TMKBSTPMK11注16		TMKBSTPPR011, TMKBSTPPR111注16	○	○		○		○	○	○	○	○	○	○	○	○	○
INTFL	FLIF	FLMK		FLPR0, FLPR1	○	○		○		○	○	○	○	○	○	○	○	○	○
INTP10	PIF10注17	IF2H	PMK10注17	MK2H	PPR010, PPR110注17	PR02H, PR12H	○	○	○	○	○	○	○	○	○	○			
INTCMP0	CMPIF0注17		CMPMK0注17		CMPPR00, CMPPR10注17		○	○	○	○	○	○	○	○	○	○	○	○	
INTP11	PIF11注18		PMK11注18		PPR011, PPR111注18		○	○	○	○	○	○	○	○	○	○	○	○	
INTCMP1	CMPIF1注18		CMPMK1注18		CMPPR01, CMPPR11注18		○	○	○	○	○	○	○	○	○	○	○	○	○
INTFAATRAPP	FAATRAPP		FAATRAPP		FAATRAPP0, FAATRAPP1		○	○	○	○	○	○	○	○	○	○	○	○	○
INTCMP2	CMPIF2		CMPMK2		CMPPR02, CMPPR12		○	○	○	○	○	○	○	○	○	○	○	○	○
INTCMP3	CMPIF3		CMPMK3		CMPPR03, CMPPR13		○	○	○	○	○	○	○	○	○	○	○	○	○

表29-2 割り込み要求ソースに対応する各種フラグ (3/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		84	82	48	44	40	32	30	28	24	20		
		レジスタ		レジスタ		レジスタ												
INTTMKB0	TMKBIF0	IF2H	TMKBMK0	MK2H	TMKBPR00, TMKBPR10	PR02H, PR12H	○	○	○	○	○	○	○	○	○	○		
INTTMKB1	TMKBIF1		TMKBMK1		TMKBPR01, TMKBPR11		○	○	○	○	○	○	○	○	○	○	○	
INTTMKB2	TMKBIF2		TMKBMK2		TMKBPR02, TMKBPR12		○	○	○	○	○	○	○	○	○	○	○	○
INTSDD	SDDIF注19	IF3L	SDDMK注19	MK3L	SDDPR0, SDDPR1注19	PR03L, PR13L	○	○	○	○	○	○	○	○	○	○		
INTGCR	GCRIF注19		GCRMK注19		GCRPR0, GCRPR1注19		○	○	○	○	○	○	○	○	○	○	○	
INTFED	FEDIF注20		FEDMK注20		FEDPR0, FEDPR1注20		○	○	○	○	○	○	○	○	○	○	○	
INTPMC	PMCIF注20		PMCMK注20		PM CPR0, PM CPR1注20		○	○	○	○	○	○	○	○	○	○	○	
INTTMKBSTR00	TMKBSTRIF00		TMKBSTRMK00		TMKBSTRPR000, TMKBSTRPR100		○	○	○	○	○	○	○	○	○	○	○	
INTTMKBSTP00	TMKBSTPIF00		TMKBSTPMK00		TMKBSTPPR000, TMKBSTPPR100		○	○	○	○	○	○	○	○	○	○	○	
INTTMKBSTR01	TMKBSTRIF01		TMKBSTRMK01		TMKBSTRPR001, TMKBSTRPR101		○	○	○	○	○	○	○	○	○	○	○	
INTTMKBSTP01	TMKBSTPIF01		TMKBSTPMK01		TMKBSTPPR001, TMKBSTPPR101		○	○	○	○	○	○	○	○	○	○	○	
INTTMKBSTR20	TMKBSTRIF20		TMKBSTRMK20		TMKBSTRPR020, TMKBSTRPR120		○	○	○	○	○	○	○	○	○	○	○	○
INTTMKBSTP20	TMKBSTPIF20		TMKBSTPMK20		TMKBSTPPR020, TMKBSTPPR120		○	○	○	○	○	○	○	○	○	○	○	○
INTTMKBSTR21	TMKBSTRIF21	IF3H	TMKBSTRMK21	MK3H	TMKBSTRPR021, TMKBSTRPR121	PR03H, PR13H	○	○	○	○	○	○	○	○	○	○		
INTTMKBSTP21	TMKBSTPIF21		TMKBSTPMK21		TMKBSTPPR021, TMKBSTPPR121		○	○	○	○	○	○	○	○	○	○	○	
INTTIMEC1	TIMECIF1		TIMECMK1		TIME CPR01, TIME CPR11		○	○	○	○	○	○	○	○	○	○	○	
INTTIMEC2	TIMECIF2		TIMECMK2		TIME CPR02, TIME CPR12		○	○	○	○	○	○	○	○	○	○	○	
INTAD3	ADIF3		ADMK3		ADPR03, ADPR13		○	○	○	○	○	○	○	○	○	○	○	

- 注1. LVDD0, 1どちらの割り込みが発生したかはLVIMレジスタのDLVD0F, DLVD1Fで確認できます。詳細は、34.3.1 電圧検出レジスタ (LVIM) を参照してください。
- 注2. 割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生すると、IF0Hレジスタのビット0はセット (1) されます。また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。
- 注3. 割り込み要因INTSR2, INTCSI21, INTIIC21のうち、いずれかが発生すると、IF0Hレジスタのビット1はセット (1) されます。また、MK0H, PR00H, PR10Hレジスタのビット1は、3つすべての割り込み要因に対応しています。
- 注4. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生すると、IF0Hレジスタのビット5はセット (1) されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。
- 注5. UART0受信のエラー割り込み、TAUのチャンネル1 (上位8ビット・タイマ動作時) の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0受信のエラー割り込みを使用しない (EOC01 = 0) 場合は、UART0, TAUのチャンネル1 (上位8ビット・タイマ動作時) を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生すると、IF0Hレジスタのビット7はセット (1) されます。また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。
- 注6. 割り込み要因INTST1, INTCSI10, INTIIC10のうち、いずれかが発生すると、IF1Lレジスタのビット0はセット (1) されます。また、MK1L, PR01L, PR11Lレジスタのビット0は、3つすべての割り込み要因に対応しています。
- 注7. 割り込み要因INTSR1, INTCSI11, INTIIC11のうち、いずれかが発生すると、IF1Lレジスタのビット1はセット (1) されます。また、MK1L, PR01L, PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。

- 注8.** UART1受信のエラー割り込み、TAUのチャンネル3（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない（EOC03 = 0）場合は、UART1、TAUのチャンネル3（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE1、INTTM03Hのうち、どちらかが発生すると、IF1Lレジスタのビット2はセット（1）されます。また、MK1L、PR01L、PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。
- 注9.** 割り込み要因INTSR0、INTCSI01、INTIIC01のうち、いずれかが発生すると、IF1Lレジスタのビット4はセット（1）されます。また、MK1L、PR01L、PR11Lレジスタのビット4は、3つすべての割り込み要因に対応しています。
- 注10.** 割り込み要因INTTD、INTTRJ0のうち、いずれかが発生すると、IF1Hレジスタのビット4はセット（1）されます。また、MK1H、PR01H、PR11Hレジスタのビット4は、両方の割り込み要因に対応しています。
- 注11.** 割り込み要因INTRD、INTTRGのうち、いずれかが発生すると、IF1Hレジスタのビット7はセット（1）されます。また、MK1H、PR01H、PR11Hレジスタのビット7は、両方の割り込み要因に対応しています。
- 注12.** 割り込み要因INTED、INTCLD、INTBPD、INTTRXのうち、いずれかが発生すると、IF2Lレジスタのビット0はセット（1）されます。また、MK2L、PR02L、PR12Lレジスタのビット0は、4つすべての割り込み要因に対応しています。
- 注13.** 割り込み要因INTP6、INTTMKBSTR10のうち、いずれかが発生すると、IF2Lレジスタのビット3はセット（1）されます。また、MK2L、PR02L、PR12Lレジスタのビット3は、両方の割り込み要因に対応しています。
- 注14.** 割り込み要因INTP7、INTTMKBSTP10のうち、いずれかが発生すると、IF2Lレジスタのビット4はセット（1）されます。また、MK2L、PR02L、PR12Lレジスタのビット4は、両方の割り込み要因に対応しています。
- 注15.** 割り込み要因INTP8、INTTMKBSTR11のうち、いずれかが発生すると、IF2Lレジスタのビット5はセット（1）されます。また、MK2L、PR02L、PR12Lレジスタのビット5は、両方の割り込み要因に対応しています。
- 注16.** 割り込み要因INTP9、INTTMKBSTP11のうち、いずれかが発生すると、IF2Lレジスタのビット6はセット（1）されます。また、MK2L、PR02L、PR12Lレジスタのビット6は、両方の割り込み要因に対応しています。
- 注17.** 外部割り込みINTP10、INTCMP0は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP10、INTCMP0のうち、どちらかが発生すると、IF2Hレジスタのビット0はセット（1）されます。また、MK2H、PR02H、PR12Hレジスタのビット0は、両方の割り込み要因に対応しています。
- 注18.** 外部割り込みINTP11、INTCMP1は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP11、INTCMP1のうち、どちらかが発生すると、IF2Hレジスタのビット1はセット（1）されます。また、MK2H、PR02H、PR12Hレジスタのビット1は、両方の割り込み要因に対応しています。
- 注19.** 割り込み要因INTSDD、INTGCRのうち、いずれかが発生すると、IF3Lレジスタのビット0はセット（1）されます。また、MK3L、PR03L、PR13Lレジスタのビット0は、両方の割り込み要因に対応しています。
- 注20.** 割り込み要因INTFED、INTPMCのうち、いずれかが発生すると、IF3Lレジスタのビット1はセット（1）されます。また、MK3L、PR03L、PR13Lレジスタのビット1は、両方の割り込み要因に対応しています。
- 注21.** INTSR2のみ
- 注22.** INTST1のみ
- 注23.** INTSR0のみ
- 注24.** 割り込み要因INTP1、INTAD1のうち、いずれかが発生すると、IF0Lレジスタのビット3はセット（1）されます。また、MK0L、PR00L、PR10Lレジスタのビット3は、両方の割り込み要因に対応しています。
- 注25.** 割り込み要因INTP2、INTAD2のうち、いずれかが発生すると、IF0Lレジスタのビット4はセット（1）されます。また、MK0L、PR00L、PR10Lレジスタのビット4は、両方の割り込み要因に対応しています。

29.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受付時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、IF0L レジスタと IF0H レジスタ、IF1L レジスタと IF1H レジスタ、IF2L レジスタと IF2H レジスタ、IF3L レジスタと IF3H レジスタをあわせて 16 ビット・レジスタ IF0, IF1, IF2, IF3 として使用するとき、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図29-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット (1/2)

アドレス : FFFE0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0L	PIF5	PIF4	PIF3	PIF2 ADIF2	PIF1 ADIF1	PIF0	LVIF	WDTIF

アドレス : FFFE1H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0H	SREIF0 TMIF01H	TMIF00	STIF0 CSIF00 IICIF00	TIMECIF0	FAAEIF	SREIF2	SRIF2 CSIF21 IICIF21	STIF2 CSIF20 IICIF20

アドレス : FFFE2H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1L	TMIF03	TMIF02	TMIF01	SRIF0 CSIF01 IICIF01	IICAF0	SREIF1 TMIF03H	SRIF1 CSIF11 IICIF11	STIF1 CSIF10 IICIF10

アドレス : FFFE3H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1H	RDIF TRGIF	TRDIF1	TRDIF0	TDIF TRJIF0	KRIF	ITLIF	RTCIF	ADIF0

図29 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット (2/2)

アドレス : FFFD0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF2L	FLIF	PIF9 TMKBSTPIF11	PIF8 TMKBSTRIF11	PIF7 TMKBSTPIF10	PIF6 TMKBSTRIF10	PIF21	PIF20	EDIF CLDIF BPDIF TRXIF

アドレス : FFFD1H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF2H	TMKBIF2	TMKBIF1	TMKBIF0	CMPIF3	CMPIF2	FAATRAPIF	PIF11 CMPIF1	PIF10 CMPIF0

アドレス : FFFD2H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF3L	TMKBSTPIF 20	TMKBSTRIF 20	TMKBSTPIF 01	TMKBSTRIF 01	TMKBSTPIF 00	TMKBSTRIF 00	FEDIF PMCIF	SDDIF GCRIF

アドレス : FFFD3H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	<4>	<3>	<2>	<1>	<0>
IF3H	0	0	0	ADIF3	TIMECIF2	TIMECIF1	TMKBSTPIF 21	TMKBSTRIF 21

xxIFx	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって搭載しているレジスタとビットは異なります。

各製品に搭載しているレジスタとビットについては、表29 - 2 割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには、必ず初期値を設定してください。

(注意は次ページに続きます)

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。
C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L.0");」のようなビット操作命令を使用してください。
なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）のほかのビットの要求フラグがセット（1）されても、「mov IF0L, a」でクリア（0）されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

29.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0L レジスタと MK0H レジスタ、MK1L レジスタと MK1H レジスタ、MK2L レジスタと MK2H レジスタ、MK3L レジスタと MK3H レジスタをあわせて16ビット・レジスタ MK0, MK1, MK2, MK3 として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図29-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H) のフォーマット (1/2)

アドレス : FFFE4H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0L	PMK5	PMK4	PMK3	PMK2 ADMK2	PMK1 ADMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0H	SREMK0 TMMK01H	TMMK00	STMK0 CSIMK00 IICMK00	TIMECMK0	FAAEMK	SREMK2	SRMK2 CSIMK21 IICMK21	STMK2 CSIMK20 IICMK20

アドレス : FFFE6H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1L	TMMK03	TMMK02	TMMK01	SRMK0 CSIMK01 IICMK01	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10

アドレス : FFFE7H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1H	RDMK TRGMK	TRDMK1	TRDMK0	TDMK TRJMK0	KRMK	ITLMK	RTCMK	ADMK0

図29-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H) のフォーマット (2/2)

アドレス : FFFD4H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK2L	FLMK	PMK9 TMKBSTPMK 11	PMK8 TMKBSTRMK 11	PMK7 TMKBSTPMK 10	PMK6 TMKBSTRMK 10	PMK21	PMK20	EDMK CLDMK BPDMA TRXMK

アドレス : FFFD5H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK2H	TMKBMK2	TMKBMK1	TMKBMK0	CMPMK3	CMPMK2	FAATRPMK	PMK11 CMPMK1	PMK10 CMPMK0

アドレス : FFFD6H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK3L	TMKBSTPMK 20	TMKBSTRMK 20	TMKBSTPMK 01	TMKBSTRMK 01	TMKBSTPMK 00	TMKBSTRMK 00	FEDMK PMCMK	SDDMK GCRMK

アドレス : FFFD7H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	<4>	<3>	<2>	<1>	<0>
MK3H	1	1	1	ADMK3	TIMECMK2	TIMECMK1	TMKBSTPM K21	TMKBSTRM K21

xxMKx	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表29-2 割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには必ず初期値を設定してください。

29.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせて、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L, 3H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00L レジスタと PR00H レジスタ、PR01L レジスタと PR01H レジスタ、PR02L レジスタと PR02H レジスタ、PR03L レジスタと PR03H レジスタ、PR10L レジスタと PR10H レジスタ、PR11L レジスタと PR11H レジスタ、PR12L レジスタと PR12H レジスタ、PR13L レジスタと PR13H レジスタをあわせて16ビット・レジスタ PR00, PR01, PR02, PR03, PR10, PR11, PR12, PR13 として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図29-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット (1/4)

アドレス : FFFE8H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00L	PPR05	PPR04	PPR03	PPR02 ADPR02	PPR01 ADPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFE9H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00H	SREPR00 TMPR001H	TMPR000	STPR00 CSIPR000 IICPR000	TIMECPR00	FAAEPR0	SREPR02	SRPR02 CSIPR021 IICPR021	STPR02 CSIPR020 IICPR020

アドレス : FFFEAH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01L	TMPR003	TMPR002	TMPR001	SRPR00 CSIPR001 IICPR001	IICAPR00	SREPR01 TMPR003H	SRPR01 CSIPR011 IICPR011	STPR01 CSIPR010 IICPR010

図29-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット (2/4)

アドレス : FFFEBH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01H	RDPR0 TRGPR0	TRDPR01	TRDPR00	TDPR0 TRJPR00	KRPR0	ITLPR0	RTCPR0	ADPR00

アドレス : FFFD8H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR02L	FLPR0	PPR09 TMKBSTPPR 011	PPR08 TMKBSTRPR 011	PPR07 TMKBSTPPR 010	PPR06 TMKBSTRPR 010	PPR021	PPR020	EDPR0 CLDPR0 BPDPR0 TRXPR0

アドレス : FFFD9H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR02H	TMKBPR02	TMKBPR01	TMKBPR00	CMPPR03	CMPPR02	FAATRAPP0	PPR011 CMPPR01	PPR010 CMPPR00

アドレス : FFFDAH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR03L	TMKBSTPP R020	TMKBSTRP R020	TMKBSTPP R001	TMKBSTRP R001	TMKBSTPP R000	TMKBSTRP R000	FEDPR0 PMCPR0	SDDPR0 GCRPR0

アドレス : FFFDBH

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	<4>	<3>	<2>	<1>	<0>
PR03H	1	1	1	ADPR03	TIMECPR02	TIMECPR01	TMKBSTPP R021	TMKBSTRP R021

アドレス : FFFECH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10L	PPR15	PPR14	PPR13	PPR12 ADPR12	PPR11 ADPR11	PPR10	LVIPR1	WDTIPR1

図29 - 4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット (3/4)

アドレス : FFFEDH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10H	SREPR10 TMPR101H	TMPR100	STPR10 CSIPR100 IICPR100	TIMECPR10	FAAEPR1	SREPR12	SRPR12 CSIPR121 IICPR121	STPR12 CSIPR120 IICPR120

アドレス : FFFEEH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11L	TMPR103	TMPR102	TMPR101	SRPR10 CSIPR101 IICPR101	IICAPR10	SREPR11 TMPR103H	SRPR11 CSIPR111 IICPR111	STPR11 CSIPR110 IICPR110

アドレス : FFFEFH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11H	RDPR1 TRGPR1	TRDPR11	TRDPR10	TDPR1 TRJPR10	KRPR1	ITLPR1	RTCPR1	ADPR10

アドレス : FFFDCH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR12L	FLPR1	PPR19 TMKBSTPPR 111	PPR18 TMKBSTRPR 111	PPR17 TMKBSTPPR 110	PPR16 TMKBSTRPR 110	PPR121	PPR120	EDPR1 CLDPR1 BPDPR1 TRXPR1

アドレス : FFFDDH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR12H	TMKBPR12	TMKBPR11	TMKBPR10	CMPPR13	CMPPR12	FAATRAPP1	PPR111 CMPPR11	PPR110 CMPPR10

図29-4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）のフォーマット (4/4)

アドレス : FFFDEH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR13L	TMKBSTPP R120	TMKBSTRP R120	TMKBSTPP R101	TMKBSTRP R101	TMKBSTPP R100	TMKBSTRP R100	FEDPR1 PM CPR1	SDDPR1 GCRPR1

アドレス : FFFDFH

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	<4>	<3>	<2>	<1>	<0>
PR13H	1	1	1	ADPR13	TIMECPR12	TIMECPR11	TMKBSTPP R121	TMKBSTRP R121

xxPR1x	xxPR0x	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表29-2 割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには必ず初期値を設定してください。

29.3.4 外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1)、 外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1)

外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1)、外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1) は、INTP0-INTP11の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1 レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図29-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1) のフォーマット

アドレス : FFF38H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FFF3AH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGP1	EGP21	EGP20	0	0	EGP11	EGP10	EGP9	EGP8

アドレス : FFF3BH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGN1	EGN21	EGN20	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-11, 20, 21)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

表 29 - 3 に EGPn ビットと EGNn ビットに対応するポートを示します。

表29 - 3 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可 ビット		割り込み 要求信号	64ピン	52ピン	48ピン	30～44ピン	24, 25ピン	20ピン
EGP0	EGN0	INTP0	○	○	○	○	○	○
EGP1	EGN1	INTP1	○	○	○	○	—	—
EGP2	EGN2	INTP2	○	○	○	○	—	—
EGP3	EGN3	INTP3	○	○	○	○	—	—
EGP4	EGN4	INTP4	○	○	○	○	—	—
EGP5	EGN5	INTP5	○	○	○	○	○	—
EGP6	EGN6	INTP6	○	○	○	○	○	○
EGP7	EGN7	INTP7	○	○	○	○	○	○
EGP8	EGN8	INTP8	○	○	○	—	—	—
EGP9	EGN9	INTP9	○	○	○	—	—	—
EGP10	EGN10	INTP10	○	○	—	—	—	—
EGP11	EGN11	INTP11	○	○	—	—	—	—
EGP20	EGN20	INTP20	○	○	○	○	○	○
EGP21	EGN21	INTP21	○	○	○	○	○	—

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。出力モードに切り替える場合は、エッジ検出禁止 (EGPn = 0, EGNn = 0) にしてからポート・モード・レジスタ (PMxx) を0に設定してください。

備考1. エッジ検出ポートに関しては、第7章 ポート機能を参照してください。

備考2. n = 0-11, 20, 21

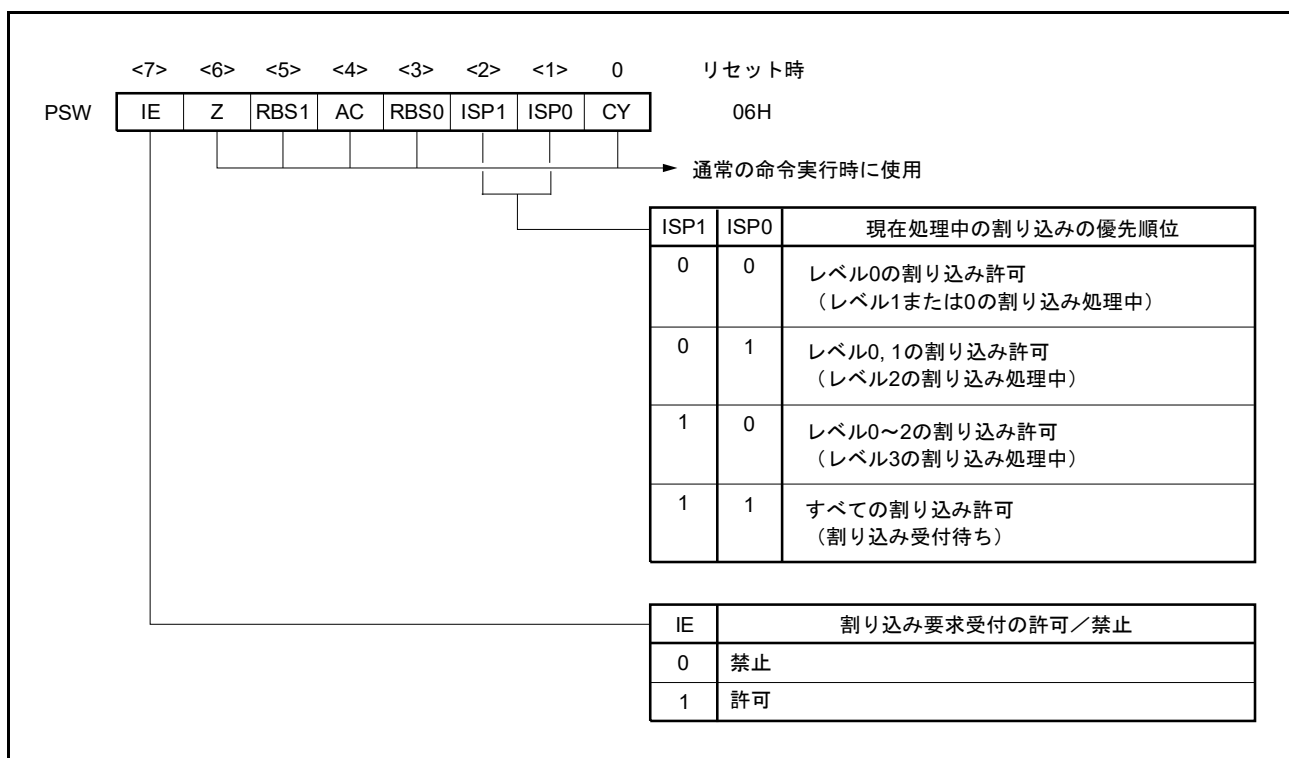
29.3.5 プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク割り込みの許可/禁止を設定する IE フラグと多重割り込み処理の制御を行う ISP1, ISP0 フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受付時および BRK 命令実行時には、PSW の内容は自動的にスタックに退避され、IE フラグはリセット (0) されます。また、マスク割り込み要求受付時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が 00 以外は、-1 された値が ISP1, ISP0 フラグに転送されます。PUSH PSW 命令によっても PSW の内容はスタックに退避されます。RETI, RETB, POP PSW 命令により、スタックから復帰します。

リセット信号の発生により、06H になります。

図 29-6 プログラム・ステータス・ワードの構成



29.3.6 割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ

割り込み入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)

詳細は、7.3.1 ポート・モード・レジスタ (PMxx) および 7.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx) を参照してください。

ポート機能を制御するレジスタの設定例は、7.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

29.4 割り込み処理動作

29.4.1 マスカブル割り込み要求の受付動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込み要求のマスク (MK) フラグがクリア (0) されていると受付が可能な状態になります。ベクタ割り込み要求は、割り込み許可状態 (IE フラグがセット (1) されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

表 29 - 4 にマスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの割り込み要求の受付時間を示します。

割り込み要求の受付タイミングについては、図 29 - 8 および図 29 - 9 を参照してください。

表29 - 4 マスカブル割り込み要求発生からベクタ割り込み処理までの時間

	最小時間	最大時間 ^注
処理時間 (PFBE = 0 設定時)	9クロック	16クロック
★ 処理時間 (PFBE = 1 設定時)	13クロック	24クロック

注 内部RAM領域からの命令実行時は除きます。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック周波数)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

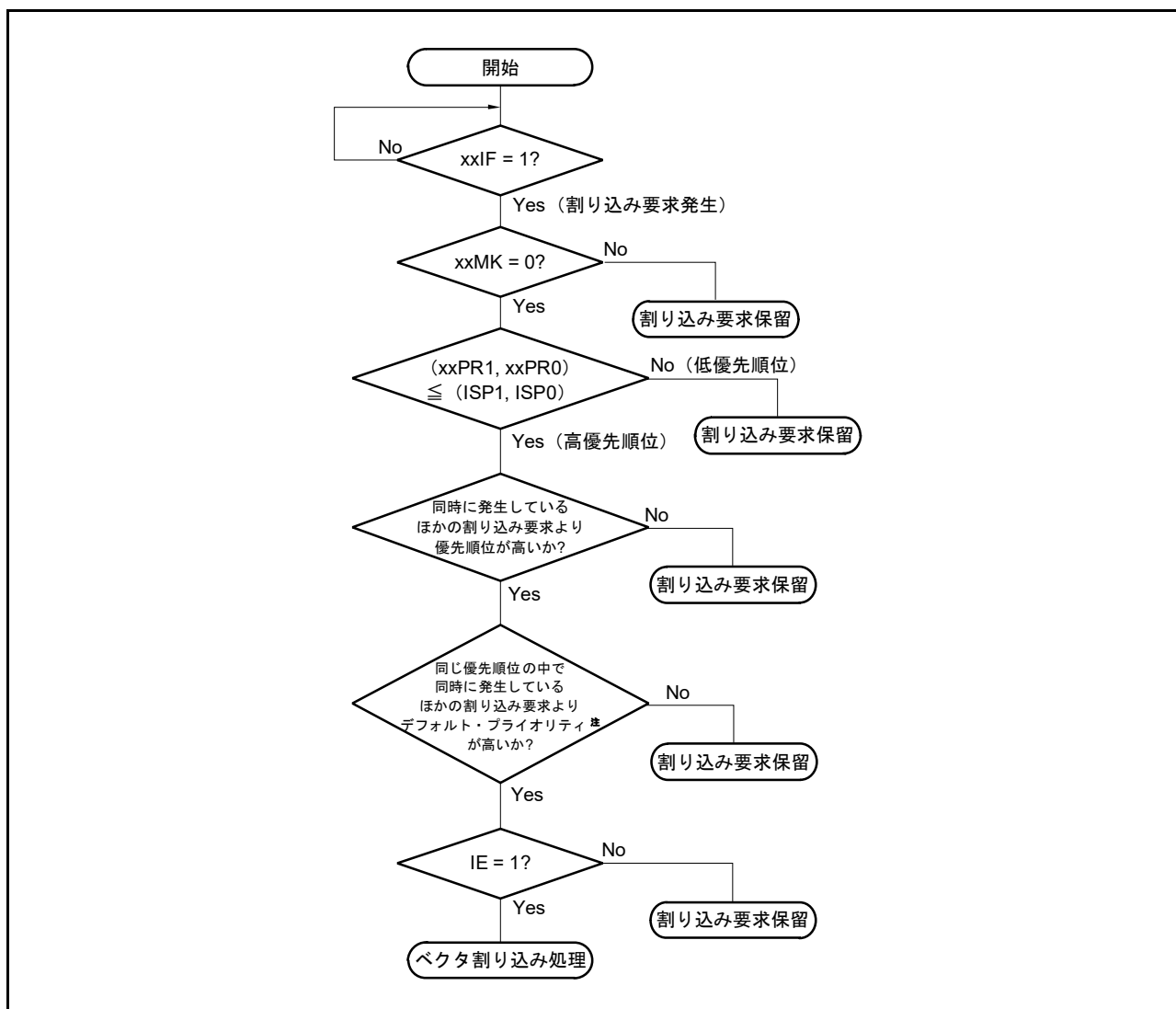
保留された割り込み要求は受付可能な状態になると受け付けられます。

図 29 - 7 に割り込み要求受付のアルゴリズムを示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IE フラグをリセット (0) し、受け付けた割り込みの優先順位指定フラグの内容を ISP1, ISP0 フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータを PC へロードし、分岐します。

RETI 命令によって、割り込みから復帰できます。

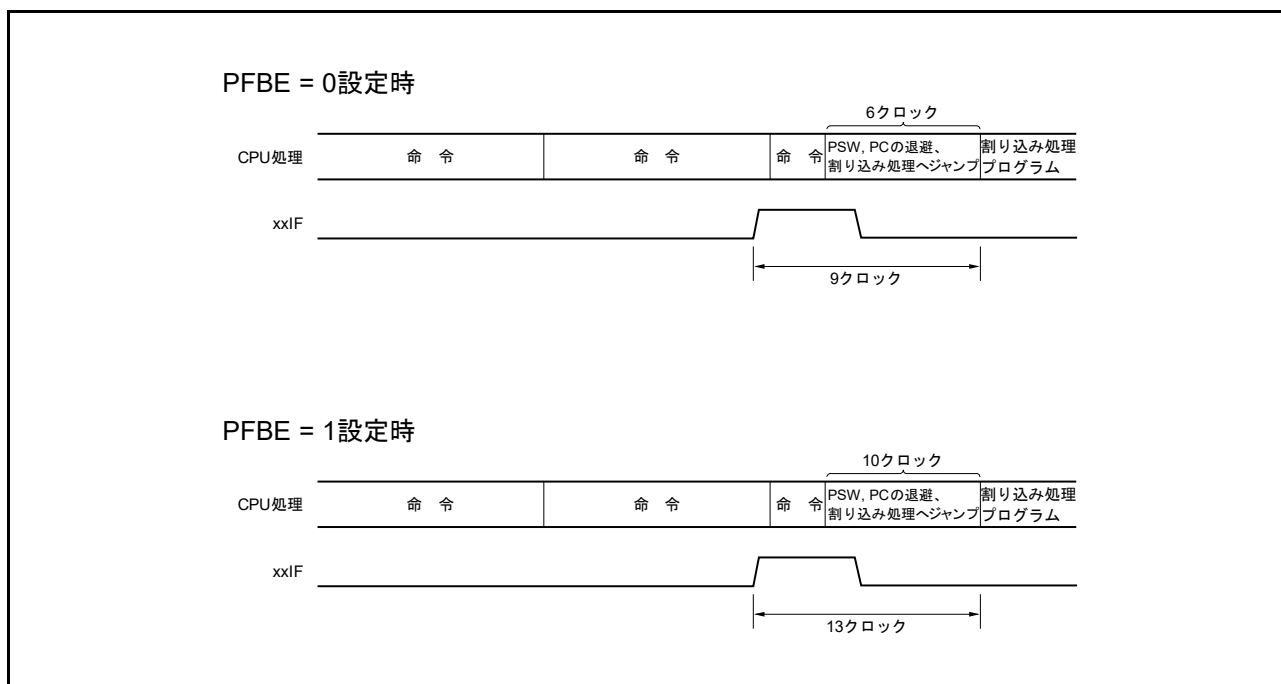
図29 - 7 割り込み要求受付処理アルゴリズム



注 デフォルト・プライオリティは、表29 - 1 割り込み要因一覧を参照してください。

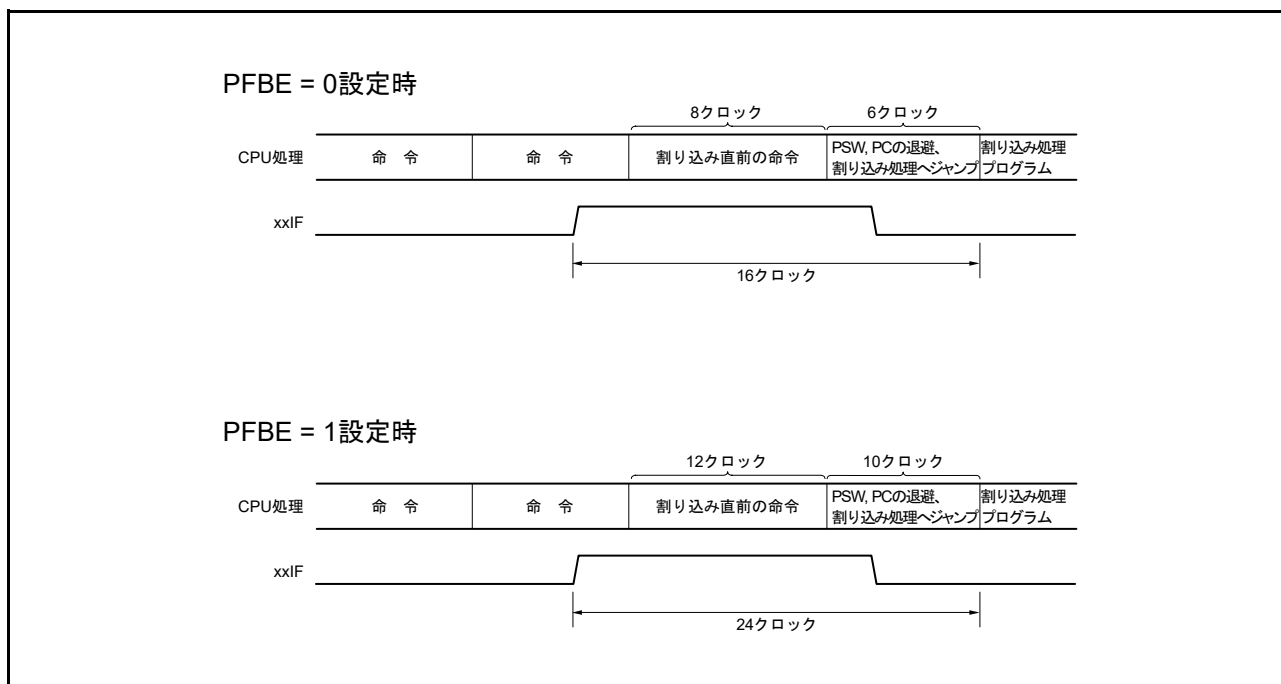
- 備考
- xxIF : 割り込み要求フラグ
 - xxMK : 割り込みマスク・フラグ
 - xxPR0 : 優先順位指定フラグ0
 - xxPR1 : 優先順位指定フラグ1
 - IE : マスカブル割り込み要求の受付を制御するフラグ (1 = 許可、0 = 禁止)
 - ISP1, ISP0 : 現在処理中の割り込みの優先順位を示すフラグ (図29 - 6 プログラム・ステータス・ワードの構成参照)

図29 - 8 割り込み要求の受付タイミング（最小時間）



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

図29 - 9 割り込み要求の受付タイミング（最大時間）



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

29.4.2 ソフトウェア割り込み要求の受付動作

ソフトウェア割り込み要求は BRK 命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IE フラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容を PC にロードして分岐します。

RETB 命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰に RETI 命令は使用できません。

29.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受付許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受付禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中に EI 命令によって IE フラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の 2 つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただし、レベル 0 の割り込み中に IE フラグをセット (1) した場合には、レベル 0 のほかの割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも 1 命令実行後に受け付けられます。

表 29 - 5 に割り込み処理中に多重割り込み可能な割り込み要求の関係、図 29 - 10 に多重割り込みの例を示します。

表29 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 マスクブル割り込み		マスクブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
処理中	ISP1, ISP0 = 00B	○	×	×	×	×	×	×	×	○
	ISP1, ISP0 = 01B	○	×	○	×	×	×	×	×	○
	ISP1, ISP0 = 10B	○	×	○	×	○	×	×	×	○
受付待ち	ISP1, ISP0 = 11B	○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

備考2. × : 多重割り込み不可能。

備考3. ISP1, ISP0, IEはPSWに含まれるフラグです。

ISP1, ISP0 = 00B : レベル1またはレベル0の割り込み処理中

ISP1, ISP0 = 01B : レベル2の割り込み処理中

ISP1, ISP0 = 10B : レベル3の割り込み処理中

ISP1, ISP0 = 11B : 割り込み受付待ち (すべての割り込み許可)

IE = 0 : 割り込み要求受付禁止

IE = 1 : 割り込み要求受付許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hレジスタに含まれるフラグです。

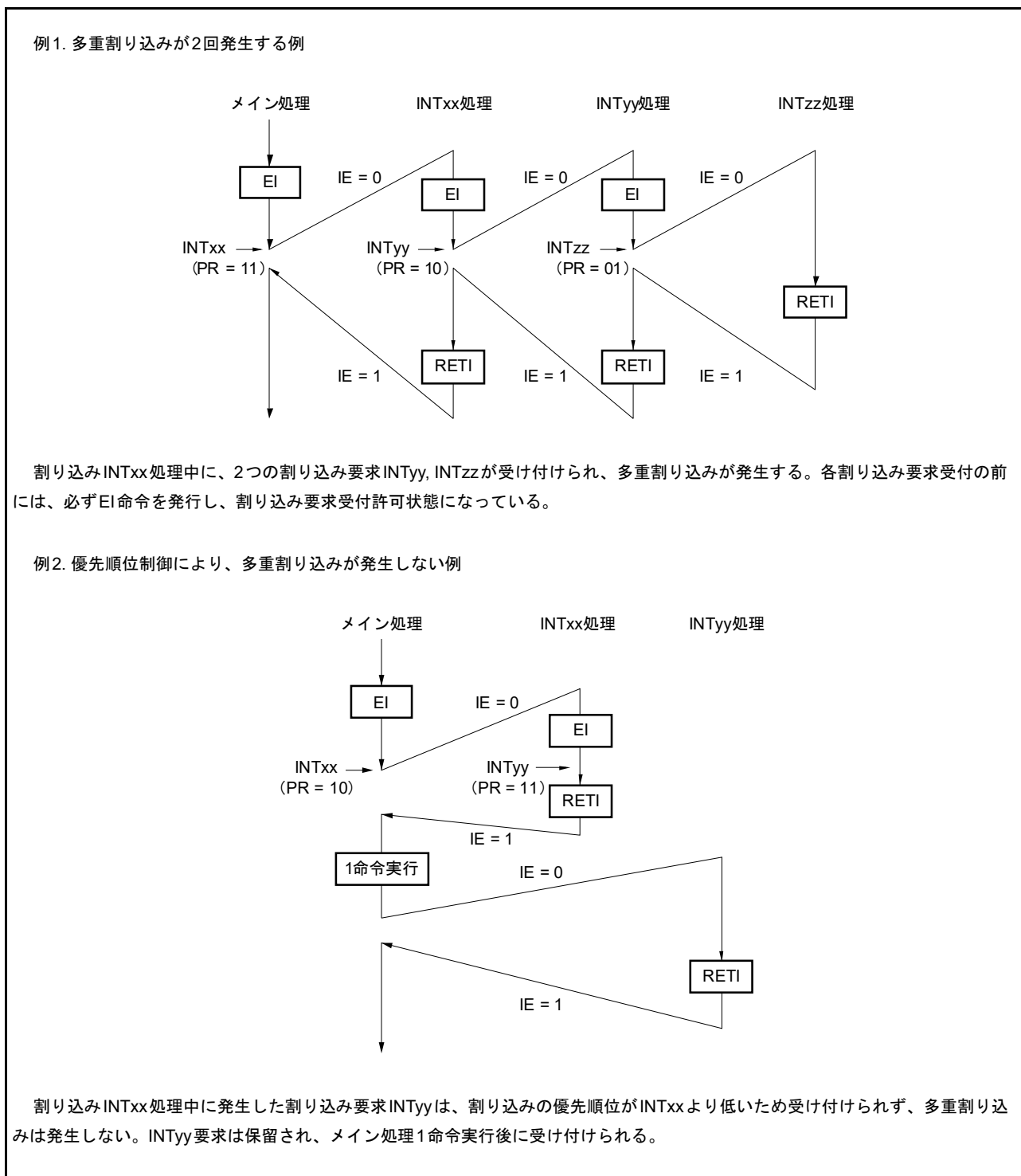
PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定 (高優先順位)

PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定

PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定

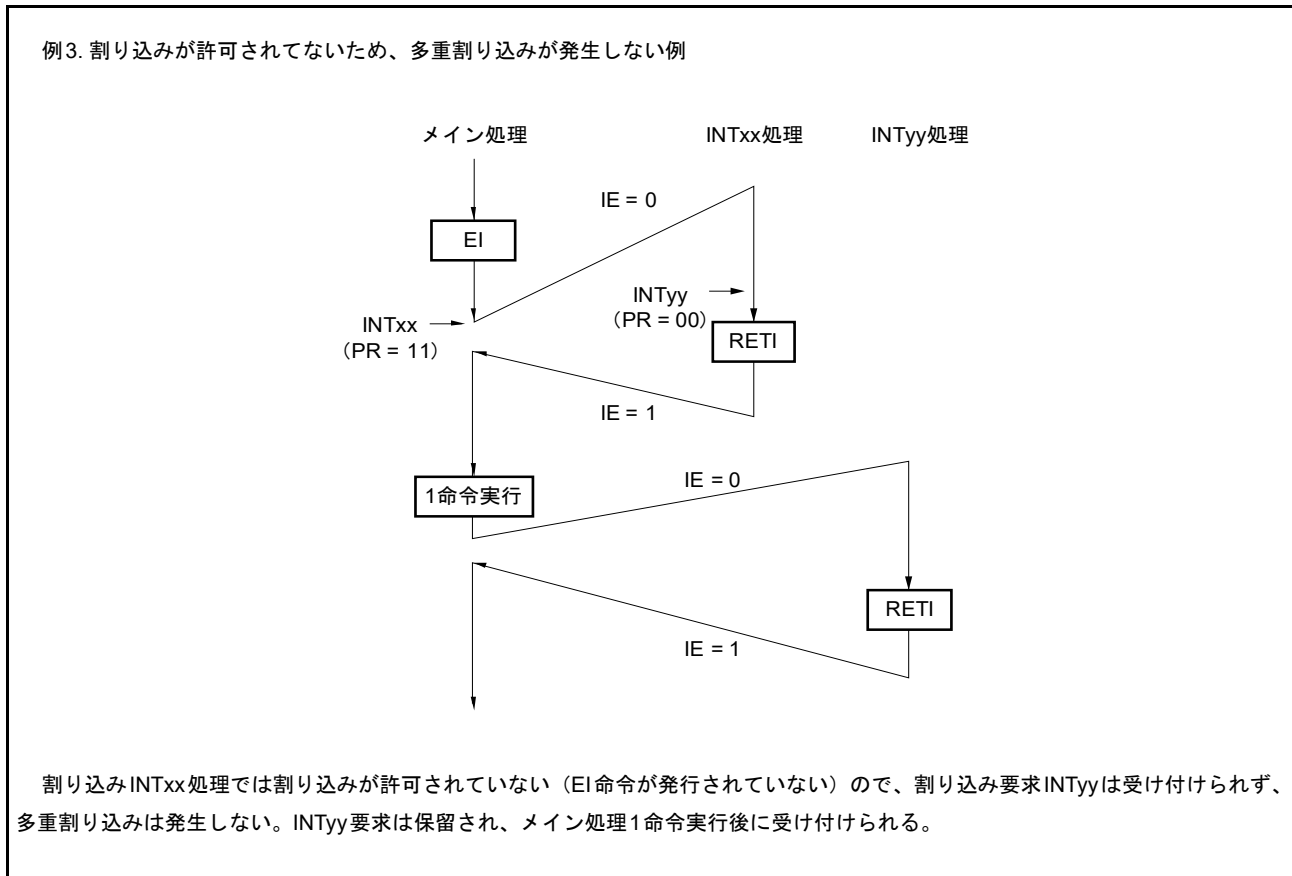
PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定 (低優先順位)

図29 - 10 多重割り込みの例 (1/2)



- 備考**
- PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定 (高優先順位)
 - PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定
 - PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定
 - PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定 (低優先順位)
 - IE = 0 : 割り込み要求受付禁止
 - IE = 1 : 割り込み要求受付許可

図29 - 10 多重割り込みの例 (2/2)



- 備考**
- PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定 (高優先順位)
 - PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定
 - PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定
 - PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定 (低優先順位)
 - IE = 0 : 割り込み要求受付禁止
 - IE = 1 : 割り込み要求受付許可

29.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受付を保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hレジスタの各レジスタに対する書き込み命令

図 29 - 11 に割り込み要求が保留されるタイミングを示します。

図 29 - 11 割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令

備考2. 命令M：割り込み要求の保留命令以外の命令

第30章 キー割り込み機能

キー割り込み入力チャネル数は、製品によって異なります。

	20～32ピン	40, 44ピン	48ピン	52, 64ピン
キー割り込み入力チャネル数	—	4チャネル	6チャネル	8チャネル

30.1 キー割り込みの機能

キー割り込み入力端子（KR0-KR7）に立ち上がり／立ち下がりエッジを入力することによって、キー割り込み（INTKR）を発生させることができます。

表30 - 1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ0 (KRM0)
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03
KR4	KRM04
KR5	KRM05
KR6	KRM06
KR7	KRM07

備考 KR0-KR3 : 40, 44ピン製品

KR0-KR5 : 48ピン製品

KR0-KR7 : 52, 64ピン製品

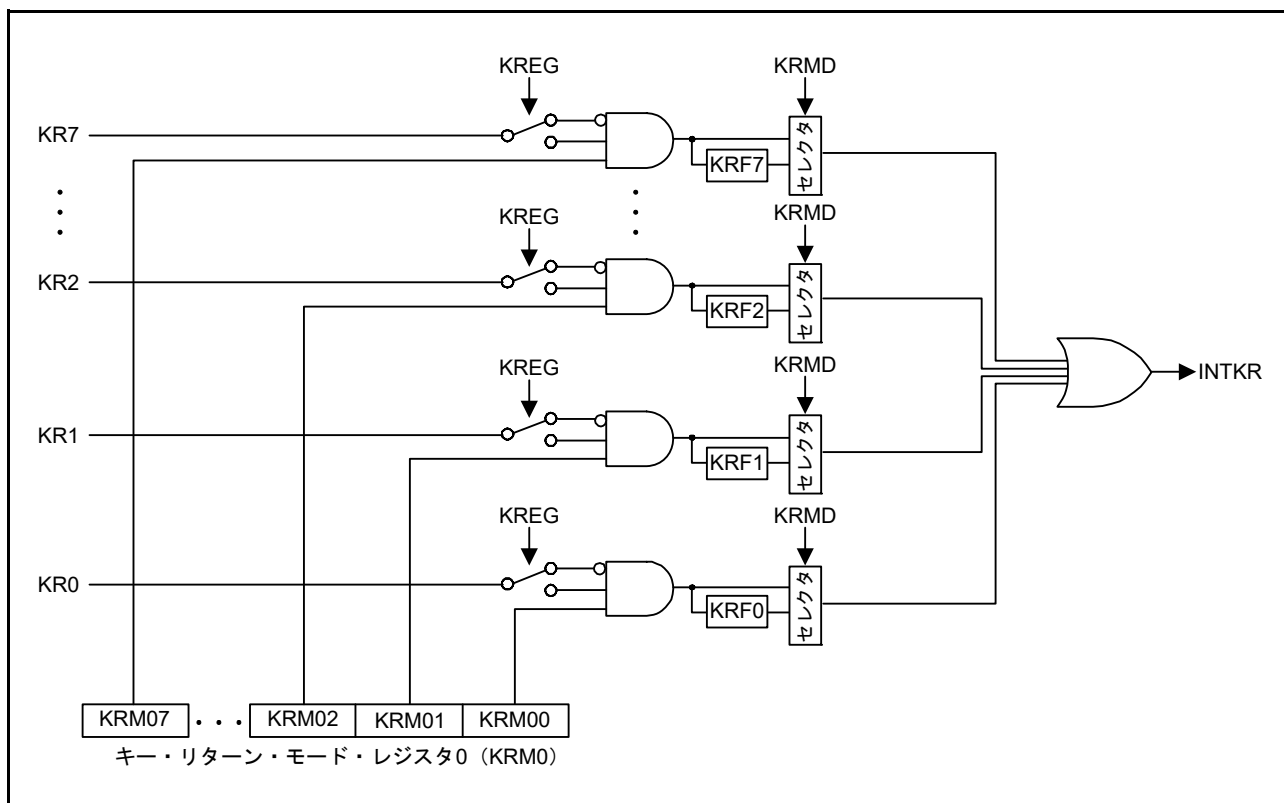
30.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表30-2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	<ul style="list-style-type: none"> • キー・リターン・コントロール・レジスタ (KRCTL) • キー・リターン・モード・レジスタ0 (KRM0) • キー・リターン・フラグ・レジスタ (KRF) • ポート・モード・レジスタ (PMxx)

図30-1 キー割り込みのブロック図



備考 KR0-KR3 : 40, 44ピン製品
 KR0-KR5 : 48ピン製品
 KR0-KR7 : 52, 64ピン製品

30.3 キー割り込みを制御するレジスタ

キー割り込みを制御するレジスタを次に示します。

- キー・リターン・コントロール・レジスタ (KRCTL)
- キー・リターン・モード・レジスタ0 (KRM0)
- キー・リターン・フラグ・レジスタ (KRF)
- ポート・モード・レジスタ (PMxx)

30.3.1 キー・リターン・コントロール・レジスタ (KRCTL)

KRCTL レジスタは、キー・リターン・フラグ (KRF0-KRF7) の使用と検出エッジを設定するレジスタです。

KRCTL レジスタは、1 ビット・メモリ操作命令および 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図30-2 キー・リターン・コントロール・レジスタ (KRCTL) のフォーマット

アドレス : FFF34H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
KRCTL	KRMD	0	0	0	0	0	0	KREG
KRMD	キー・リターン・フラグ (KRF0-KRF7) の使用							
0	キー・リターン・フラグを使用しない							
1	キー・リターン・フラグを使用する							
KREG	検出エッジの選択 (KR0-KR7)							
0	立ち下がリエッジ							
1	立ち上がリエッジ							

30.3.2 キー・リターン・モード・レジスタ0 (KRM0)

KRM0 レジスタは、KR0-KR7 信号を制御するレジスタです。

KRM0 レジスタは、1 ビット・メモリ操作命令および8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図30-3 キー・リターン・モード・レジスタ0 (KRM0) のフォーマット

アドレス : FFF37H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00
KRM0n	キー割り込みモードの制御							
0	キー割り込み信号を検出しない							
1	キー割り込み信号を検出する							

注意1. キー割り込み入力端子のプルアップ抵抗オプション・レジスタ (PU7) の対象となるビットに1を設定して、内蔵プルアップ抵抗を使用することができます。

注意2. キー割り込み入力端子にロウ・レベル (KREG ビットに0を設定時) / ハイ・レベル (KREG ビットに1を設定時) が入力されている状態で、KRM0 レジスタの対象ビットをセットすると、割り込みが発生します。この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRM0 レジスタをセットしてください。その後、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅 (43.4 AC特性または44.4 AC特性参照) を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

注意3. キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

注意4. 次のビットには0を設定してください。

20~32ピン製品 : ビット7-0

40, 44ピン製品 : ビット7-4

48ピン製品 : ビット7, 6

備考 n = 0-7

30.3.3 キー・リターン・フラグ・レジスタ (KRF)

KRF レジスタは、キー割り込みフラグ (KRF0-KRF7) を制御するレジスタです。

KRF レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図30-4 キー・リターン・フラグ・レジスタ (KRF) のフォーマット

アドレス : FFF35H

リセット時: 00H

R/W属性 : R/W^注

略号	7	6	5	4	3	2	1	0
KRF	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0
KRFn	キー割り込みフラグ							
0	キー割り込み信号を未検出							
1	キー割り込み信号を検出							

注 1の書き込みは無効になります。KRFnビットをクリアする場合は、対象ビットに0を、ほかのビットに1を8ビット・メモリ操作命令で書き込んでください。

備考 n = 0-7

30.3.4 キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ

キー割り込み入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)

詳細は、**7.3.1 ポート・モード・レジスタ (PMxx)** を参照してください。

ポート機能を制御するレジスタの設定例は、**7.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

第31章 スタンバイ機能

31.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

STOPモードを解除し、CPUを動作させることなく以下の周辺を動作させることができます。

詳細については、各章を参照してください。

- 第20章 A/Dコンバータ (ADC)
- 第24章 シリアル・アレイ・ユニット (SAU)
- 第27章 データ・トランスファ・コントローラ (DTC)

CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータまたは中速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ移行可能です。CPUがサブシステム・クロックで動作しているときは、STOP命令を実行しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも移行可能です。

注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください (SNOOZEモード機能を使用する周辺機能を除く)。

注意3. 低速オンチップ・オシレータをHALT、STOPモード時に発振継続/停止するかは、オプション・バイトのWDTONとサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットで選択できます。

詳細は、9.1 クロック発生回路の機能 (2)サブシステム・クロック ② 低速オンチップ・オシレータ・クロックを参照してください。

31.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- スタンバイ・モード解除設定レジスタ (WKUPMD)

備考 OSMC, OSTC, OSTSレジスタの詳細は、**第9章 クロック発生回路**を参照してください。
また、SNOOZEモード機能を制御するレジスタは、下記の章を参照してください。

- **第20章 A/Dコンバータ (ADC)**
- **第24章 シリアル・アレイ・ユニット (SAU)**
- **第27章 データ・トランスファ・コントローラ (DTC)**

31.2.1 スタンバイ・モード解除設定レジスタ (WKUPMD)

WKUPMD レジスタは、スタンバイ・モード解除時の動作を設定するレジスタです。

WKUPMD レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31-1 スタンバイ・モード解除設定レジスタ (WKUPMD) のフォーマット

アドレス : F0215H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
WKUPMD	0	0	0	0	0	0	0	FWKUP

FWKUP	STOPモード解除およびSNOOZEモード遷移時の 高速オンチップ・オシレータ起動設定 ^{注1,2}
0	通常起動 ^{注3}
1	高速起動 ^{注3,4}

注1. CPUクロックに高速オンチップ・オシレータを選択しているときのみ設定可能です。

注2. リセット信号の発生によるSTOPモード解除時には本レジスタは初期化され、高速オンチップ・オシレータは通常起動します。

注3. 各起動時間については、**31.3.2 STOPモード**を参照してください。

なお、通常起動と高速起動により高速オンチップ・オシレータの周波数精度が異なります。**第43章 電気的特性** (TA = -40°C ~ +105°C) または**第44章 電気的特性** (TA = -40°C ~ +125°C) を参照してください。

注4. ユーザ・オプション・バイト (000C2H) のFRQSEL4ビットに0を設定している場合に使用可能です。

31.3 スタンバイ機能の動作

31.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

表31-1および表31-2にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが0（割り込み処理許可）でかつ割り込み要求フラグが1（割り込み要求信号が発生）の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表31-1 HALTモード時の動作状態(1) (1/2)

HALTモードの設定 項目		メイン・システム・クロックでCPU動作中のHALT命令実行時				
		高速オンチップ・オシレータ・クロック (fIH) でCPU動作時	中速オンチップ・オシレータ・クロック (fIM) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時	PLLクロック (fPLL) でCPU動作時
システム・クロック		CPUへのクロック供給は停止				
メイン・システム・クロック	fIH	動作継続（停止不可）	動作禁止	動作禁止		PLLへのクロック供給時は停止不可
	fIM	動作禁止	動作継続（停止不可）	動作禁止		動作禁止
	fX	動作禁止		動作継続（停止不可）	動作不可	PLLへのクロック供給時は停止不可
	fEX			動作不可	動作継続（停止不可）	動作禁止
	fPLL	動作禁止				動作継続（停止不可）
サブシステム・クロック	fXT	HALTモード設定前の状態を継続				
	fEXS					
低速オンチップ・オシレータ・クロック	fIL	ユーザ・オプション・バイト (000C0H) のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブシステム・クロックX, XR (fsX, fsxR) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止				
CPU	動作停止					
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ						
RAM	動作停止 (DTC実行時は動作可能)					
ポート (ラッチ)	HALTモード設定前の状態を継続 (DTC実行時は動作可能)					
FAA	動作可能					
データ共有メモリ	動作停止 (FAAからのアクセス時またはDTC実行時は動作可能)					
タイマ・アレイ・ユニット	動作可能					
RTC	動作可能					
32ビット・インターバル・タイマ	動作可能					
ウォッチドッグ・タイマ	第19章 ウォッチドッグ・タイマ (WDT) 参照					

表31 - 1 HALTモード時の動作状態(1) (2/2)

項目	HALTモードの設定	メイン・システム・クロックでCPU動作中のHALT命令実行時				
		高速オンチップ・オシレータ・クロック (fIH) でCPU動作時	中速オンチップ・オシレータ・クロック (fIM) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時	PLLクロック (fPLL) でCPU動作時
タイマRJ		動作可能				
タイマRD2, PWMOPA						
タイマRG2						
タイマRX						
タイマKB3						
クロック出力/ブザー出力						
A/Dコンバータ						
D/Aコンバータ						
コンパレータ						
プログラマブル・ゲイン・アンプ						
シリアル・アレイ・ユニット						
シリアル・インタフェース IICA						
デジタル調光照明インタフェース (DALI)						
データ・トランスファ・コントローラ (DTC)						
イベント・リンク・コントローラ (ELC)		動作可能な機能ブロック間のリンクが可能				
パワーオン・リセット機能		動作可能				
電圧検出機能						
外部割り込み						
キー割り込み機能						
CRC演算機能						
	高速CRC	RAM領域の演算で、DTC実行時は動作可能				
	汎用CRC					
不正メモリ・アクセス検出機能		DTC実行時は動作可能				
RAMパリティ・エラー検出機能						
RAMガード機能						
SFRガード機能						
真性乱数発生器		動作可能				

備考 動作停止：HALTモード移行時に自動的に動作停止

動作禁止：HALTモード移行前に動作を停止させる

fIH : 高速オンチップ・オシレータ・クロック

fIM : 中速オンチップ・オシレータ・クロック

fEX : 外部メイン・システム・クロック

fEXS : 外部サブシステム・クロック

fSX : サブシステム・クロック発振回路・クロック

fIL : 低速オンチップ・オシレータ・クロック

fx : X1クロック

fXT : XT1クロック

fPLL : PLLクロック

fSXR : サブシステム・クロック発振回路・RTCほかクロック

表31-2 HALTモード時の動作状態(2) (1/2)

項目		サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (fXT) で CPU動作時	外部サブシステム・クロック (fEXS) でCPU動作時	低速オンチップ・オシレータ・ クロック (fIL) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・ クロック	fIH	動作禁止		
	fIM			
	fX			
	fEX			
	fPLL			
サブシステム・クロック	fXT	動作継続 (停止不可)	動作不可	動作禁止
	fEXS	動作不可	動作継続 (停止不可)	動作禁止
低速オンチップ・ オシレータ・クロック	fIL	ユーザ・オプション・バイト (000C0H) のWDSTBYON, WDTON ビットおよびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 (サブシステム・クロックX, XR (fsx, fsxR) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつ WDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつ WDSTBYON = 0のとき : 停止	動作継続 (停止不可)	
CPU	動作停止			
コード・フラッシュ・メモリ	動作停止			
データ・フラッシュ・メモリ				
RAM	動作停止 (DTC実行時は動作可能)			
ポート (ラッチ)	HALTモード設定前の状態を継続 (DTC実行時は動作可能)			
FAA	動作禁止			
データ共有メモリ	動作禁止 (DTC実行時は動作可能)			
タイマ・アレイ・ユニット	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
RTC	動作可能			
32ビット・インターバル・タイマ	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
ウォッチドッグ・タイマ	第19章 ウォッチドッグ・タイマ (WDT) 参照			
タイマRJ	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
タイマRD2, PWMOPA	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
タイマRG2	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
タイマRX	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
タイマKB3	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
クロック出力/ブザー出力	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
A/Dコンバータ	動作禁止			
D/Aコンバータ	HALTモード設定前の状態を継続 (RTCLPC = 0かつDTC実行時は動作可能)			
コンパレータ	動作可能 (RTCLPC = 0またはデジタルフィルタ未使用時)		動作可能	
プログラマブル・ゲイン・アンプ	動作可能			
シリアル・アレイ・ユニット	RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能	
シリアル・インタフェースIICA	動作禁止			

表31-2 HALTモード時の動作状態(2) (2/2)

項目	HALTモードの設定	サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (fXT) でCPU動作時	外部サブシステム・クロック (fEXS) でCPU動作時	低速オンチップ・オシレータ・クロック (fIL) でCPU動作時
デジタル調光照明インタフェース (DALI)		動作禁止		
データ・トランスファ・コントローラ (DTC)		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
イベント・リンク・コントローラ (ELC)		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能		動作可能		
外部割り込み		動作可能 (INTP0, INTP20, INTP21は、デジタルフィルタ未使用時のみ)		
キー割り込み機能		動作可能		
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で、DTC実行時は動作可能		
不正メモリ・アクセス検出機能		DTC実行時は動作可能		
RAMパリティ・チェック機能				
RAMガード機能				
SFRガード機能				
真性乱数発生器		動作可能		

備考 動作停止 : HALTモード移行時に自動的に動作停止

動作禁止 : HALTモード移行前に動作を停止させる

fIH : 高速オンチップ・オシレータ・クロック

fIM : 中速オンチップ・オシレータ・クロック

fEX : 外部メイン・システム・クロック

fEXS : 外部サブシステム・クロック

fSX : サブシステム・クロック発振回路・クロック

fIL : 低速オンチップ・オシレータ・クロック

fX : X1クロック

fXT : XT1クロック

fPLL : PLLクロック

fSXR : サブシステム・クロック発振回路・RTCほかクロック

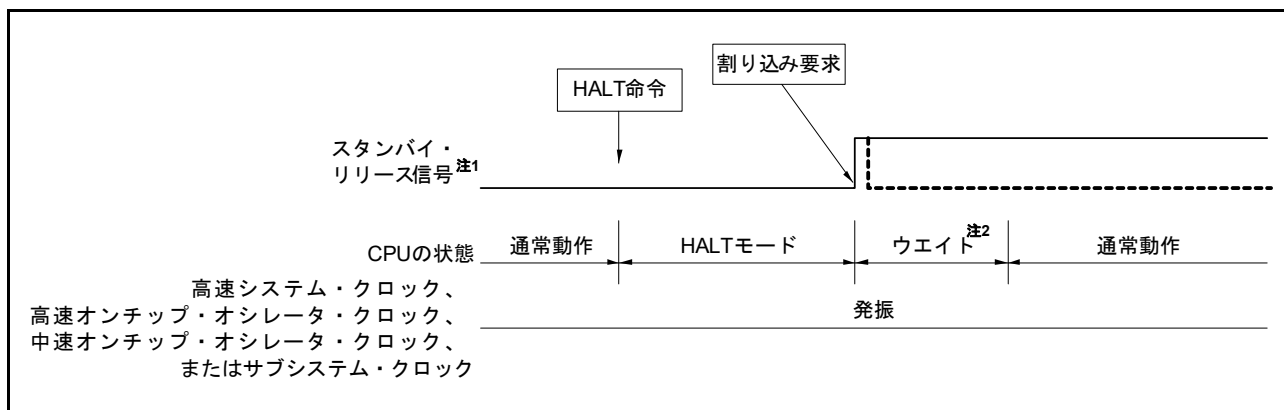
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受付許可状態であれば、ベクタ割り込み処理が行われます。割り込み受付禁止状態であれば、次のアドレスの命令が実行されます。

図31-2 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図29-1 割り込み機能の基本構成を参照してください。

注2. HALTモード解除のウェイト時間

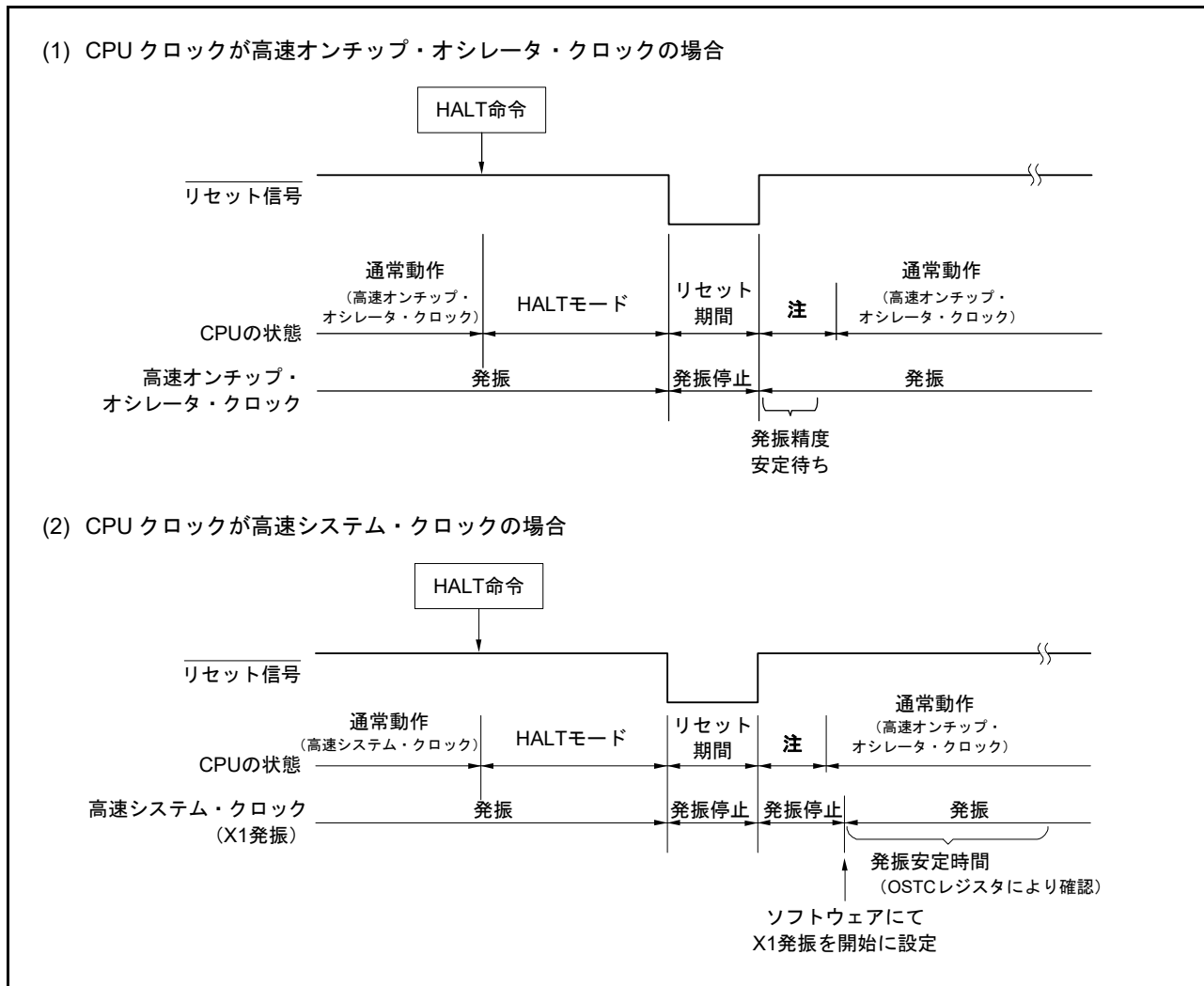
- ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時（プリフェッチOFF）：15～16クロック
 - メイン・システム・クロック時（プリフェッチON）：20～21クロック
 - サブシステム・クロック時（RTCLPC = 0）：10～11クロック
 - サブシステム・クロック時（RTCLPC = 1）：11～12クロック
- ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時（プリフェッチOFF）：9～10クロック
 - メイン・システム・クロック時（プリフェッチON）：14～15クロック
 - サブシステム・クロック時（RTCLPC = 0）：4～5クロック
 - サブシステム・クロック時（RTCLPC = 1）：5～6クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

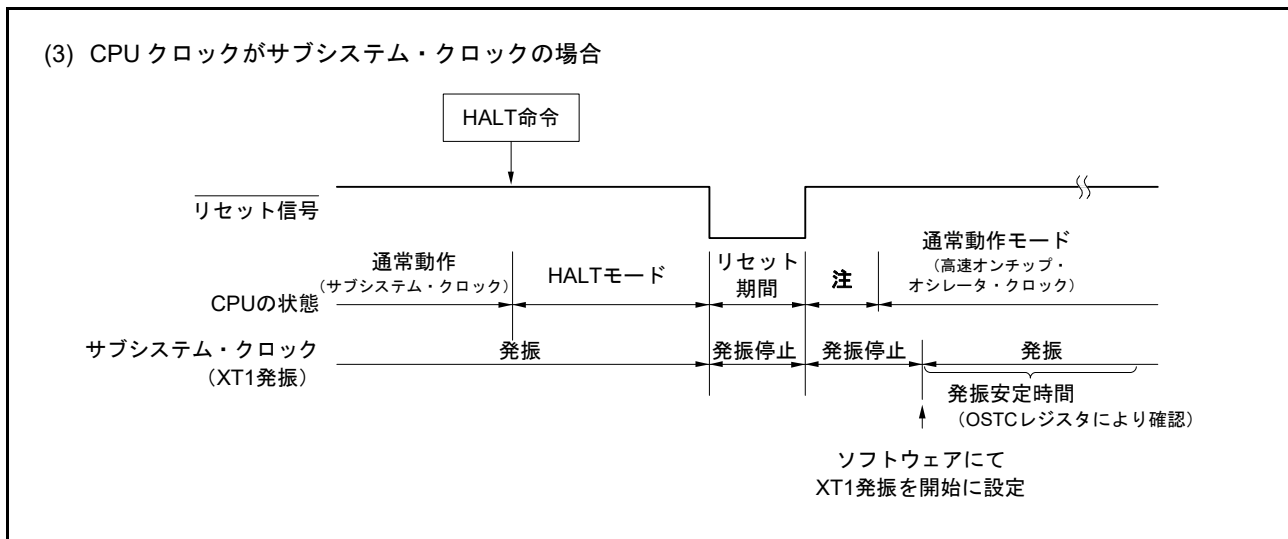
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図31-3 HALTモードのリセットによる解除 (1/2)



注 リセット処理時間は、第32章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出回路 (LVD0, LVD1) のリセット処理時間は、第33章 パワーオン・リセット回路 (POR) を参照してください。

図31-3 HALTモードのリセットによる解除 (2/2)



注 リセット処理時間は、第32章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出回路 (LVD0, LVD1) のリセット処理時間は、第33章 パワーオン・リセット回路 (POR) を参照してください。

31.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

表31-3にSTOPモード時の動作状態を示します。

注意1. 割り込みマスク・フラグが0 (割り込み処理許可) かつ割り込み要求フラグが1 (割り込み要求信号が発生) の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってただちに解除されます。

したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

注意2. STOPモードに移行するときはDSCCTL.DSCONビットによってPLLの動作を停止させたのち、STOP命令を実行してください。

表31-3 STOPモード時の動作状態 (1/2)

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック (fiH) でCPU動作時	中速オンチップ・オシレータ・クロック (fiM) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (feX) でCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	fiH	停止			
	fiM	停止	停止	停止	
	fx	停止			
	feX	停止			
	fPLL	停止			
サブシステム・クロック	fxT	STOPモード設定前の状態を継続			
	feXS	STOPモード設定前の状態を継続			
fiL	ユーザ・オプション・バイト (000C0H) のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブシステム・クロックX, XR (fsX, fsXR) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止				
CPU	動作停止				
コード・フラッシュ・メモリ	動作停止				
データ・フラッシュ・メモリ	動作停止				
RAM	動作停止				
ポート (ラッチ)	STOPモード設定前の状態を継続				
FAA	動作禁止				
データ共有メモリ	動作停止				
タイマ・アレイ・ユニット	動作禁止				
RTC	動作可能				
32ビット・インターバル・タイマ	fsxL選択かつRTCLPC = 0のとき動作可能				
ウォッチドッグ・タイマ	第19章 ウォッチドッグ・タイマ (WDT) 参照				
タイマRJ	<ul style="list-style-type: none"> TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 fsxL選択かつRTCLPC = 0のとき動作可能 上記以外は動作禁止 				
タイマRD2, PWMOPA	動作禁止				
タイマRG2	動作禁止				
タイマRX	動作禁止				
タイマKB3	動作禁止				
クロック出力/ブザー出力	fsxL選択かつRTCLPC = 0のとき動作可能				
A/Dコンバータ	ウェイクアップ動作可能 (SNOOZEモードへ移行)				
D/Aコンバータ	動作可能 (STOPモード設定前の状態を継続)				
コンパレータ	動作可能 (デジタルフィルタ未使用時のみ)				
プログラマブル・ゲイン・アンプ	動作可能				
シリアル・アレイ・ユニット	CSI00, UART0のみウェイクアップ動作可能 (SNOOZEモードへ移行) CSI00, UART0以外は動作禁止				
シリアル・インタフェースIICA	アドレス一致によるウェイクアップ動作可能				
デジタル調光照明インタフェース (DALI)	ウェイクアップ動作可能				

表31-3 STOPモード時の動作状態 (2/2)

項目	STOPモードの設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック (fiH) でCPU動作時	中速オンチップ・オシレータ・クロック (fiM) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (feX) でCPU動作時
データ・トランスファ・コントローラ (DTC)		DTC起動要因受付動作可能 (SNOOZEモードへ移行)			
イベント・リンク・コントローラ (ELC)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能		動作可能			
外部割り込み		動作可能 (INTP0, INTP20, INTP21は、デジタルフィルタ未使用時のみ)			
キー割り込み機能		動作可能			
CRC演算機能	高速CRC	動作停止			
	汎用CRC				
不正メモリ・アクセス検出機能					
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					
真性乱数発生器					

備考1. 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

fiH : 高速オンチップ・オシレータ・クロック

fiM : 中速オンチップ・オシレータ・クロック

feX : 外部メイン・システム・クロック

feXS : 外部サブシステム・クロック

fsX : サブシステム・クロック発振回路・クロック

fsXL : 低速周辺クロック

fiL : 低速オンチップ・オシレータ・クロック

fx : X1クロック

fxT : XT1クロック

fPLL : PLLクロック

fsXR : サブシステム・クロック発振回路・RTCほかクロック

備考2. 20~64ピン製品 : p = 00, q = 0

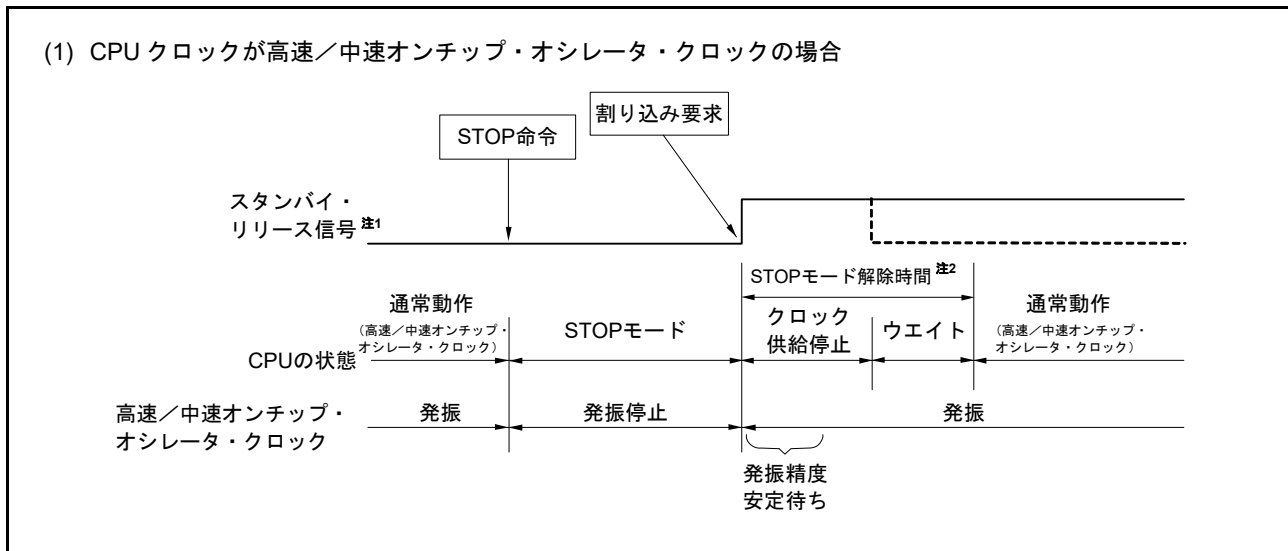
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受付許可状態であれば、ベクタ割り込み処理を行います。割り込み受付禁止状態であれば、次のアドレスの命令を実行します。

図31-4 STOPモードの割り込み要求発生による解除 (1/3)



注1. スタンバイ・リリース信号に関する詳細は、図29-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止:

高速オンチップ・オシレータ・クロックの場合: $3.9 \sim 5.2 \mu\text{s} + 3 \sim 4$ クロック (通常起動 (WKUPMD.FWKUP = 0))

$0.6 \sim 0.8 \mu\text{s} + 3 \sim 4$ クロック (高速起動 (WKUPMD.FWKUP = 1))

通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。

第43章 電気的特性 ($T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$) または第44章 電気的特性 ($T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$) を参照してください。

中速オンチップ・オシレータ・クロックの場合: $1.5 \sim 2.5 \mu\text{s} + 3 \sim 4$ クロック

ウエイト:

(高速/中速オンチップ・オシレータ・クロック共通)

・ベクタ割り込み処理を行う場合: 7クロック

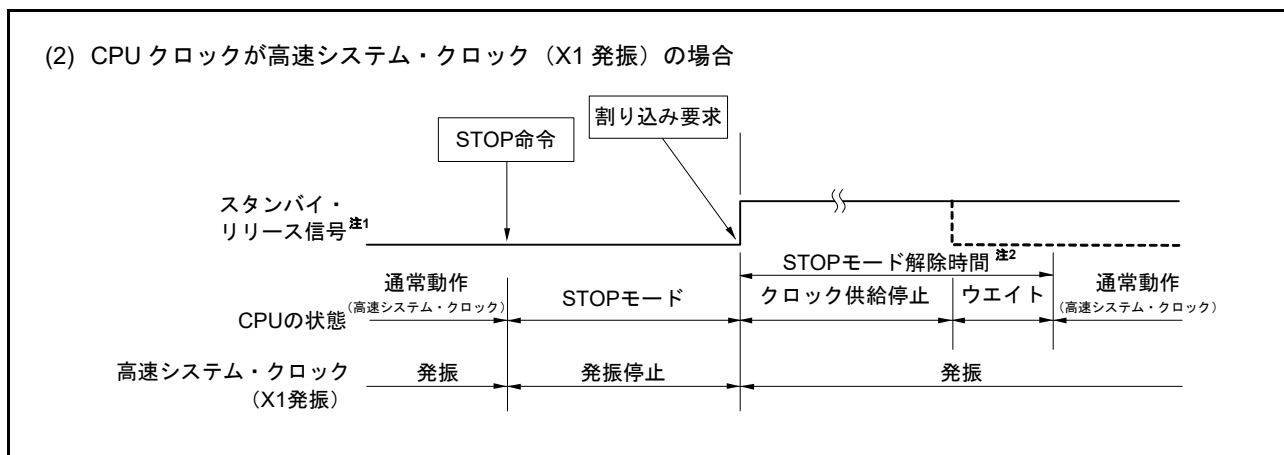
・ベクタ割り込み処理を行わない場合: 1クロック

注意 高速システム・クロック (X1発振) でCPU動作して、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図31-4 STOPモードの割り込み要求発生による解除 (2/3)



注1. スタンバイ・リリース信号に関する詳細は、**図29-1 割り込み機能の基本構成**を参照してください。

注2. STOPモード解除時間

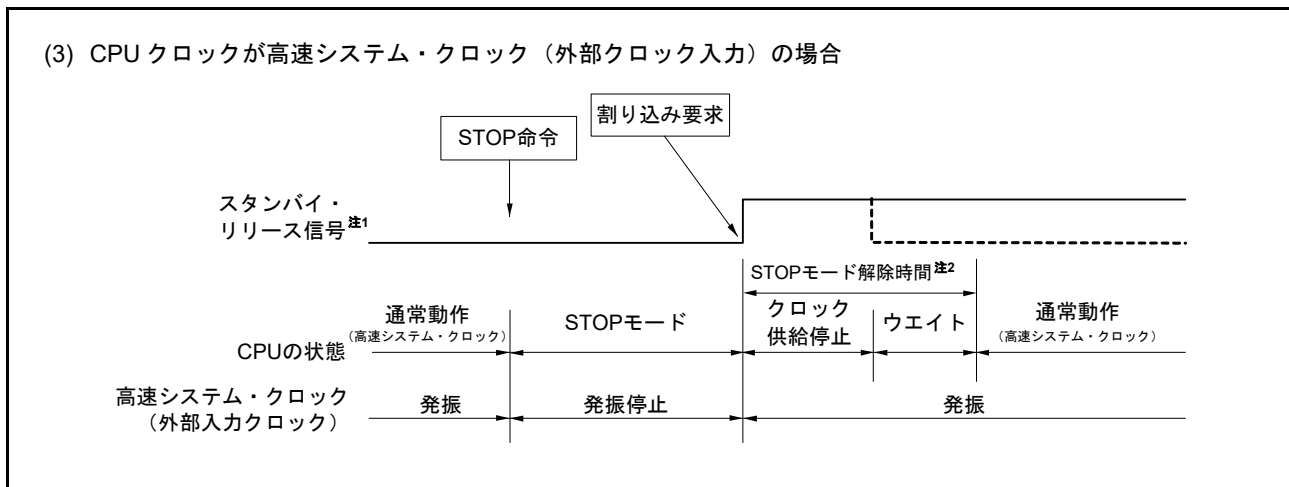
クロック供給停止:

発振安定時間 (OSTSレジスタで設定) + 3~4クロック

ウエイト:

- ベクタ割り込み処理を行う場合 : 7クロック
- ベクタ割り込み処理を行わない場合 : 1クロック

図31-4 STOPモードの割り込み要求発生による解除 (3/3)



注1. スタンバイ・リリース信号に関する詳細は、図29-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止:

外部クロック : 50~51クロック

ウェイト:

・ベクタ割り込み処理を行う場合 : 7クロック

・ベクタ割り込み処理を行わない場合 : 1クロック

注意 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

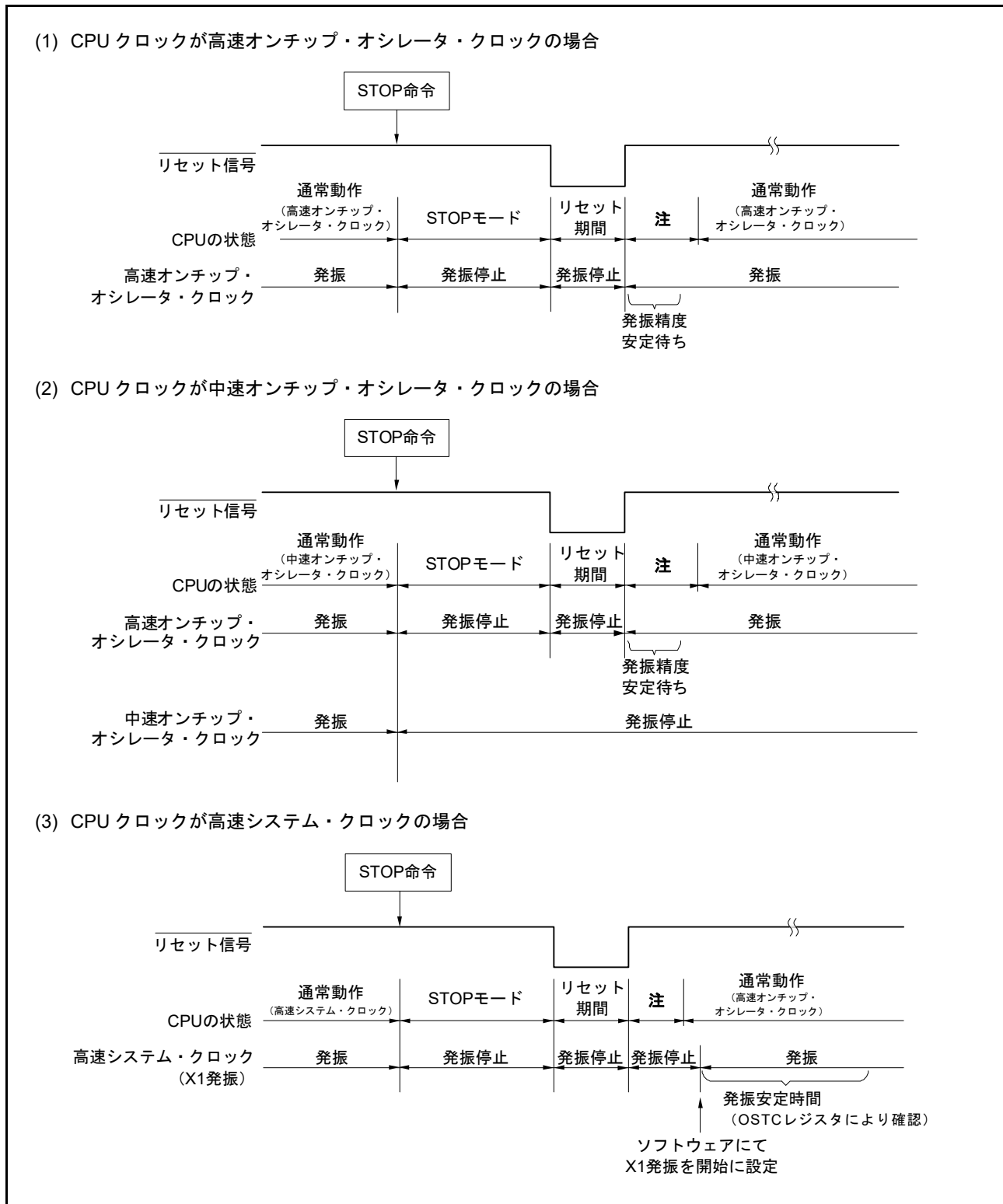
備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図31-5 STOPモードのリセットによる解除



注 リセット処理時間は、第32章 リセット機能を参照してください。なお、パワーオン・リセット (POR) 回路と電圧検出回路 (LVD0, LVD1) のリセット処理時間は、第33章 パワーオン・リセット回路 (POR) を参照してください。

31.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

以下の周辺によって設定可能です。

詳細については、各章を参照してください。

- 第20章 A/Dコンバータ (ADC)
- 第24章 シリアル・アレイ・ユニット (SAU)
- 第27章 データ・トランスファ・コントローラ (DTC)

また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックの場合、設定可能です。

SNOOZEモードの移行では、次の時間だけウェイト状態になります。

STOPモード→SNOOZEモードの遷移時間：

高速オンチップ・オシレータ・クロックの場合 : 3.9 ~ 5.2 μ s (通常起動 (WKUPMD.FWKUP = 0))

0.6 ~ 0.8 μ s (高速起動 (WKUPMD.FWKUP = 1))

通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。

第43章 電気的特性 (TA = -40°C ~ +105°C) または

第44章 電気的特性 (TA = -40°C ~ +125°C) を参照してください。

中速オンチップ・オシレータ・クロックの場合注 : 1.3 ~ 2.5 μ s

備考 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間：

高速オンチップ・オシレータ・クロックの場合：

- ベクタ割り込み処理を行う場合
"0.3 ~ 0.4 μ s" + 10 ~ 11クロック
- ベクタ割り込み処理を行わない場合
"0.3 ~ 0.4 μ s" + 4 ~ 5クロック

中速オンチップ・オシレータ・クロックの場合注：

- ベクタ割り込み処理を行う場合
"0.6 ~ 1.2 μ s" + 10 ~ 11クロック
- ベクタ割り込み処理を行わない場合
"0.6 ~ 1.2 μ s" + 4 ~ 5クロック

注 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) が初期値の場合

表31-4にSNOOZEモード時の動作状態を示します。

表31-4 SNOOZEモード時の動作状態 (1/2)

STOPモードの設定 項目		STOPモード中にSNOOZEモードに移行可能な要因発生時	
		高速オンチップ・オシレータ・クロック (f _H) での CPU動作時	中速オンチップ・オシレータ・クロック (f _M) での CPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・ クロック	f _H	動作開始	停止
	f _M	停止	動作開始
	f _X	停止	
	f _{EX}		
	f _{PLL}		
サブシステム・ クロック	f _{XT}	動作可能	
	f _{XS}		
f _{IL}		ユーザ・オプション・バイト (000C0H) のWDSTBYON, WDTONビットおよびサブシステム・クロック供給 モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブシステム・クロックX, XR (f _{sX} , f _{sXR}) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止	
CPU		動作停止	
コード・フラッシュ・メモリ		動作停止 (DTC実行時は動作可能)	
データ・フラッシュ・メモリ			
RAM		動作停止 (DTC実行時は動作可能)	
ポート (ラッチ)		SNOOZEモード遷移前の状態を継続 (DTC実行時は動作可能)	
FAA		動作禁止	
データ共有メモリ		動作禁止 (DTC実行時は動作可能)	
タイマ・アレイ・ユニット		DTC実行時は動作可能	
RTC		動作可能	
32ビット・インターバル・タイマ		fsXL選択かつRTCLPC = 0のとき動作可能	
ウォッチドッグ・タイマ		第19章 ウォッチドッグ・タイマ (WDT) 参照	
タイマRJ		TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 fsXL選択かつRTCLPC = 0のとき動作可能 上記以外は動作禁止	
タイマRD2, PWMOPA		動作禁止	
タイマRG2		動作禁止	
タイマRX		動作禁止	
タイマKB3		動作禁止	
クロック出力/ブザー出力		fsXL選択かつRTCLPC = 0のとき動作可能	
A/Dコンバータ		動作可能	
D/Aコンバータ		SNOOZEモード遷移前の状態を継続 (RTCLPC = 0かつDTC実行時は動作可能)	
コンパレータ		動作可能 (デジタルフィルタ未使用時のみ)	
プログラマブル・ゲイン・アンプ		動作可能	
シリアル・アレイ・ユニット		CSI00, UART0のみ動作可能 CSI00, UART0以外は動作禁止	
シリアル・インタフェースIICA		アドレス一致によるウェイクアップ動作可能	

表31 - 4 SNOOZEモード時の動作状態 (2/2)

STOPモードの設定 項目		STOPモード中にSNOOZEモードに移行可能な要因発生時	
		高速オンチップ・オシレータ・クロック (f _H) での CPU動作時	中速オンチップ・オシレータ・クロック (f _M) での CPU動作時
デジタル調光照明インタフェース (DALI)		動作禁止	
データ・トランスファ・コントローラ (DTC)		動作可能	
イベント・リンク・コントローラ (ELC)		動作可能な機能ブロック間のリンクが可能 (A/Dコンバータを除く)	
パワーオン・リセット機能		動作可能	
電圧検出機能		動作可能	
外部割り込み		動作可能 (INTP0, INTP20, INTP21は、デジタルフィルタ未使用時のみ)	
キー割り込み機能		動作可能	
CRC演算機能	高速CRC	動作停止	
	汎用CRC	RAM領域の演算で、DTC実行時は動作可能	
不正メモリ・アクセス検出機能		DTC実行時は動作可能	
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			

備考 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

f_H : 高速オンチップ・オシレータ・クロック

f_M : 中速オンチップ・オシレータ・クロック

f_{EX} : 外部メイン・システム・クロック

f_{EXS} : 外部サブシステム・クロック

f_{SX} : サブシステム・クロック発振回路・クロック

f_{SXL} : 低速周辺クロック

f_L : 低速オンチップ・オシレータ・クロック

f_X : X1クロック

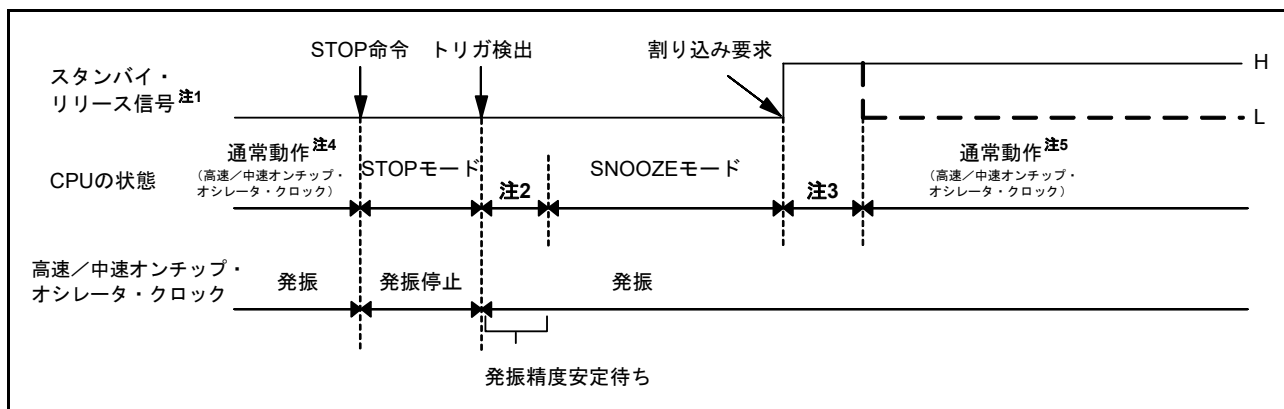
f_{XT} : XT1クロック

f_{PLL} : PLLクロック

f_{SXR} : サブシステム・クロック発振回路・RTCほかクロック

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図31-6 SNOOZEモードの割り込み要求が発生する場合



注1. スタンバイ・リリース信号に関する詳細は、図29-1 割り込み機能の基本構成を参照してください。

注2. STOPモード→SNOOZEモードの遷移時間

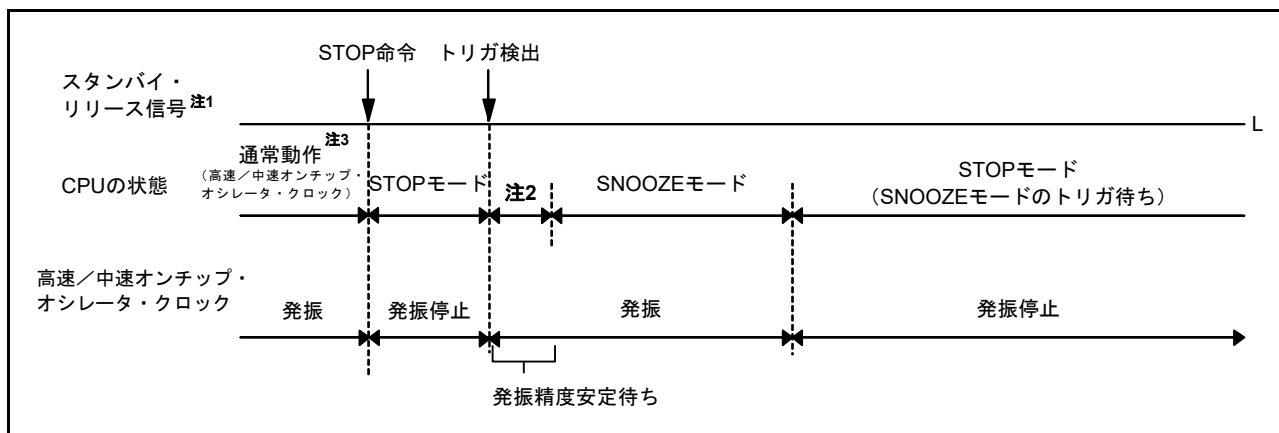
注3. SNOOZEモード→通常動作の遷移時間

注4. STOPモードへ移行する直前に、SNOOZEモード許可に設定してください。

注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図31-7 SNOOZEモードの割り込み要求が発生しない場合



注1. スタンバイ・リリース信号に関する詳細は、[図29-1 割り込み機能の基本構成](#)を参照してください。

注2. STOPモード→SNOOZEモードの遷移時間

注3. STOPモードへ移行する直前に、SNOOZEモード許可に設定してください。

備考 SNOOZEモード機能の詳細は、下記の章を参照してください。

- [第20章 A/Dコンバータ \(ADC\)](#)
- [第24章 シリアル・アレイ・ユニット \(SAU\)](#)
- [第27章 データ・トランスファ・コントローラ \(DTC\)](#)

第32章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット (POR) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路 (LVD0, LVD1) の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR 回路、LVD0, LVD1 の電圧検出、不正命令の実行注、RAM パリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表 32 - 1 に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、43.4 AC特性または44.4 AC特性に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続したあとに、ハイ・レベルを入力してください。

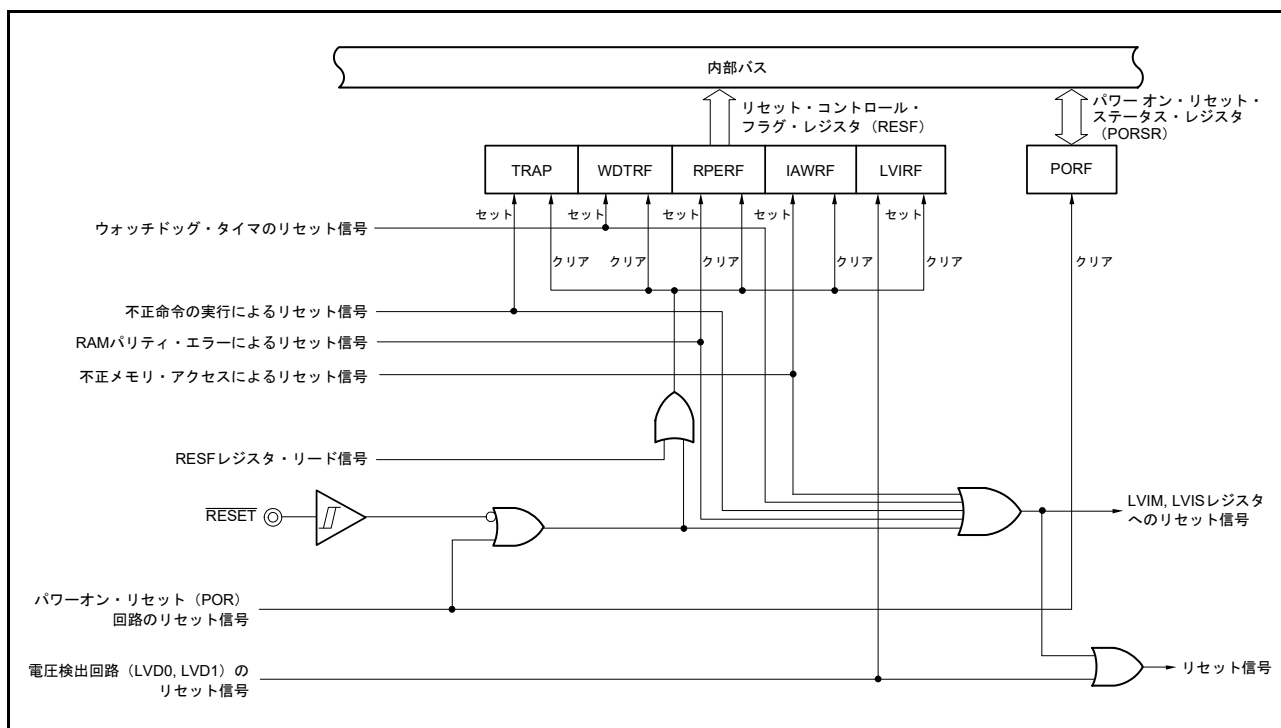
注意2. リセット信号発生中では、X1クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。

XT1クロック、外部サブシステム・クロックはPORによるリセット中のみ発振停止または入力無効となります。

注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受付後はハイ・レベル (内蔵プルアップ抵抗接続)
 - P130 : リセット期間中およびリセット受付後はロウ・レベル出力
 - P40, P130 以外のポート : リセット期間中およびリセット受付後はハイ・インピーダンス
- 以下のレジスタはPORによるリセットでのみ初期化されます。
- RTC 関連レジスタ
 - CMC レジスタのEXCLKS, OSCSELS, XTSEL, AMPHS1, AMPHS0 ビット

図32-1 リセット機能のブロック図

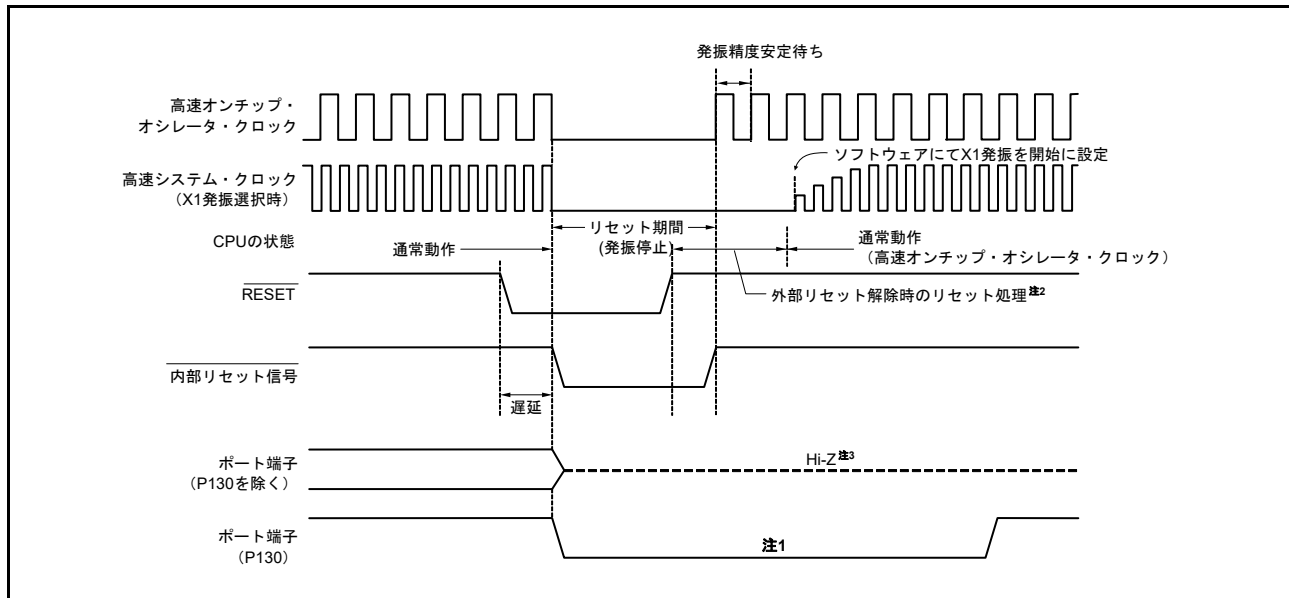


注意 LVD0の内部リセットの場合、LVD0はリセットされません。

32.1 リセット動作のタイミング

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとリセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されるとリセットが解除され、リセット処理後に高速オンチップ・オシレータ・クロックでプログラムの実行が開始されます。

図32-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング



注1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかると前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

注2. 外部リセット解除時のリセット時間：

POR解除後1回目	: 0.506 ms (Typ.), 0.694 ms (Max.) (LVD使用時)
	0.201 ms (Typ.), 0.335 ms (Max.) (LVD未使用時)
POR解除後2回目以降	: 0.476 ms (Typ.), 0.616 ms (Max.) (LVD使用時)
	0.170 ms (Typ.), 0.257 ms (Max.) (LVD未使用時)

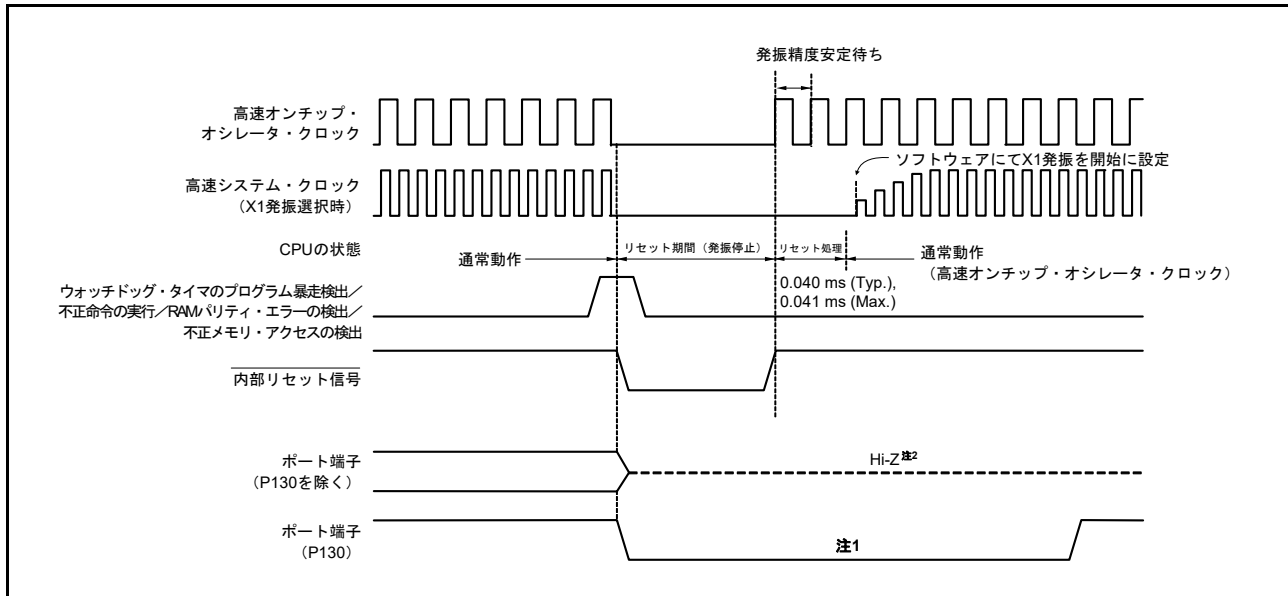
電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間（4.0 ms (Typ.), 9.9 ms (Max.)) が掛かります。

注3. ポート端子P40は次の状態になります。

- ・ 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・ それ以外のリセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）になります。

ウォッチドッグ・タイマのプログラム暴走検出／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図32-3 ウォッチドッグ・タイマのプログラム暴走検出／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



注1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

注2. ポート端子P40は次の状態になります。

- ・ 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・ それ以外のリセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）になります。

POR回路またはLVDD0の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVDD0}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は、**第33章 パワーオン・リセット回路 (POR)** または**第34章 電圧検出回路 (LVD)** を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{LVDD0} : LVDD0検出電圧

表32-1 リセット期間中の動作状態 (1/2)

項目	リセット期間中の動作状態	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	fIH	動作停止
	fIM	
	fX	動作停止 (X1, X2端子は入力ポート・モード)
	fEX	クロックの入力無効 (端子は入力ポート・モード)
	fPLL	動作停止
サブシステム・クロック	fXT	動作可能 (PORリセットのときは動作停止、XT1, XT2端子は入力ポート・モード)
	fEXS	動作可能 (PORリセットのときは動作停止、EXCLKS端子は入力ポート・モード)
	fIL	動作停止
CPU	動作停止	
FAA	動作停止	
コード・フラッシュ・メモリ	動作停止	
データ・フラッシュ・メモリ	動作停止	
RAM	動作停止	
データ共有メモリ	動作停止	
ポート (ラッチ)	ハイ・インピーダンス ^注	
タイマ・アレイ・ユニット	動作停止	
タイマRJ		
タイマRD2, PWMOPA		
タイマRG2		
タイマRX		
16ビット・タイマKB30, KB31, KB32		
リアルタイム・クロック		PORリセット以外：動作可能 PORリセット：カレンダー系レジスタのみデータ保持
32ビット・インターバル・タイマ	動作停止	
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/Dコンバータ		
D/Aコンバータ		
PGA、コンパレータ		
シリアル・アレイ・ユニット		
シリアル・インタフェースIICA		
デジタル調光照明インタフェース		
データ・トランスファ・コントローラ		
パワーオン・リセット機能	検出動作可能	
電圧検出機能	LVD0：LVD0リセット時はLVD0は動作可能。それ以外のリセット時は動作停止 LVD1：動作停止	

表32-1 リセット期間中の動作状態 (2/2)

項目	リセット期間中の動作状態	
外部割り込み	動作停止	
キー割り込み機能		
CRC演算機能		高速CRC
		汎用CRC
不正メモリ・アクセス検出機能		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		

注 ポート端子P40, P130は次の状態になります。

- ・P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル (内蔵プルアップ抵抗接続)
- ・P130 : リセット期間中はロウ・レベル出力

備考 f_{IH} : 高速オンチップ・オシレータ・クロック周波数 f_X : X1発振クロック周波数
 f_{IM} : 中速オンチップ・オシレータ・クロック周波数 f_{EX} : 外部メイン・システム・クロック周波数
 f_{XT} : XT1発振クロック周波数 f_{XS} : 外部サブシステム・クロック周波数
 f_{IL} : 低速オンチップ・オシレータ・クロック周波数 f_{PLL} : PLLクロック周波数

表32-2 各ハードウェアのリセット受付後の状態

ハードウェア	リセット受付後の状態	
プログラム・カウンタ (PC)	リセット・ベクタ・テーブル (00000H, 00001H) の内容がセットされる ^注 。	
スタック・ポインタ (SP)	不定	
プログラム・ステータス・ワード (PSW)	06H	
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

備考 特殊機能レジスタ (SFR : Special Function Register) のリセット受付後の状態は、3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域および3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域を参照してください。

32.2 リセット要因を確認するレジスタ

リセット要因を確認するレジスタを次に示します。

- リセット・コントロール・フラグ・レジスタ (RESF)
- パワーオン・リセット・ステータス・レジスタ (PORSR)
- 周辺リセット制御レジスタ0 (PRR0)
- 周辺リセット制御レジスタ1 (PRR1)
- 周辺リセット制御レジスタ2 (PRR2)

32.2.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。RESF レジスタは、どの要因から発生したリセット要求かを格納するレジスタです。

RESF レジスタは、8 ビット・メモリ操作命令で、読み出すことができます。

以下のいずれかの条件で TRAP, WDTRF, RPERF, IAWRF, LVIRF フラグはクリアされます。

- $\overline{\text{RESET}}$ 入力によるリセット
- パワーオン・リセット (POR) 回路によるリセット
- RESF レジスタのデータを読み出し

図32-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット (1/2)

アドレス : FFFA8H

リセット時: 不定^{注1}

R/W属性 : R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP	不正命令の実行による内部リセット要求 ^{注2}							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
RPERF	RAMパリティ・エラーによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
IAWRF	不正メモリ・アクセスによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							

図32 - 4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット (2/2)

LVIRF	電圧検出回路 (LVD0, LVD1) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。表32 - 3 リセット要求時のRESFレジスタの状態を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可 (RPECTL.RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPECTL.RPERDIS = 0) となります。詳細は、35.3.4 RAMパリティ・エラー検出機能を参照してください。

表 32 - 3 にリセット要求時の RESF レジスタの状態を示します。

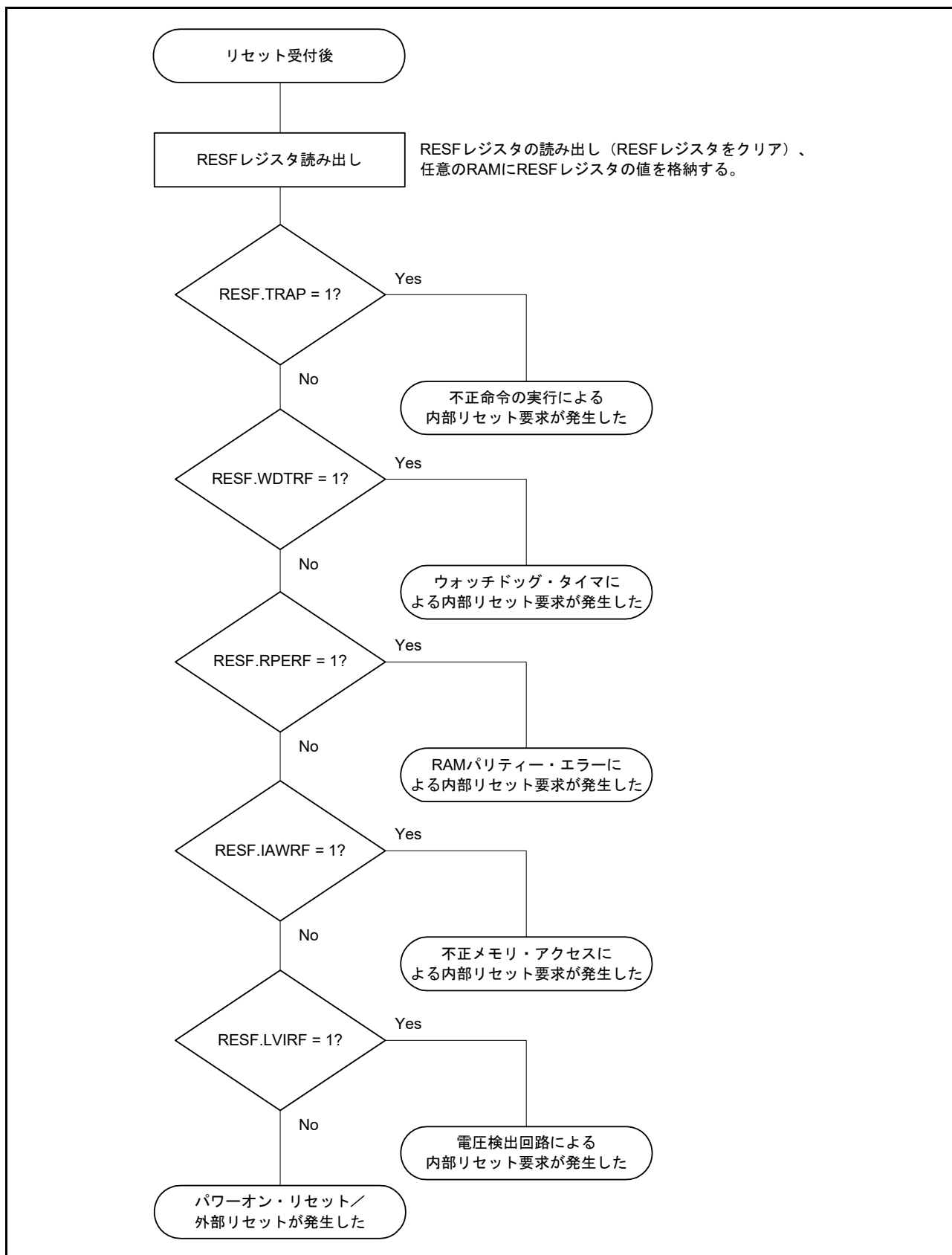
表32 - 3 リセット要求時のRESFレジスタの状態

リセット 要因 フラグ	RESET入力	PORによる リセット	不正命令の実行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVD0, LVD1に よるリセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持	保持
WDTRF			保持	セット (1)			
RPERF			保持	セット (1)			
IAWRF				保持	セット (1)		
LVIRF					保持	セット (1)	

RESF レジスタは、8 ビット・メモリ操作命令で読み出し後、自動的にクリアされます。

図 32 - 5 にリセット要因の確認手順例を示します。

図32 - 5 リセット要因の確認手順例



※上記フローは確認手順の一例です。

32.2.2 パワーオン・リセット・ステータス・レジスタ (PORSR)

PORSR レジスタは、パワーオン・リセットの発生を確認するレジスタです。

PORSR レジスタのビット 0 (PORF) は 1 書き込みのみ有効であり、0 書き込みは無効です。

パワーオン・リセット発生の有無を確認するときは、あらかじめ PORF ビットに 1 を書き込んでおいてください。

PORSR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により、00H になります。

注意1. PORSR レジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では値を保持します。

注意2. PORF フラグが1のとき、パワーオン・リセットが発生していないことは保証されますが、RAMの値が保持されていることを保証するものではありません。

図32-6 パワーオン・リセット・ステータス・レジスタ (PORSR) のフォーマット

アドレス : F00F9H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
PORSR	0	0	0	0	0	0	0	PORF

PORF	パワーオン・リセット発生確認
0	1書き込みが行われていない、またはパワーオン・リセットが発生
1	パワーオン・リセットは発生していない

32.2.3 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図32-7 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H

リセット時: 00H

R/W属性 : R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES

ビットn	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺はリセット状態 ・周辺機能で使用するSFRが初期化されます。

備考 n = 5-2, 0

表 32-4 に各ビットの制御対象を示します。

表32-4 PRR0レジスタの各ビットにおける制御対象

ビット	ビット名	制御対象
5	ADCRES	A/Dコンバータ
4	IICA0RES	シリアル・インタフェースIICA0
3	SAU1RES	シリアル・アレイ・ユニット1
2	SAU0RES	シリアル・アレイ・ユニット0
0	TAU0RES	タイマ・アレイ・ユニット

注意 ビット7, 6, 1には、必ず0を設定してください。

32.2.4 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図32-8 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	3	2	1	<0>
PRR1	DACRES	0	PGACMPRES	TML32RES	0	0	0	DALIRES

ビットn	各周辺ハードウェアへの周辺リセット制御
0	周辺リセット解除
1	周辺はリセット状態 ・周辺機能で使用するSFRが初期化されます。

備考 n = 7, 5, 4, 0

表 32-5 に各ビットの制御対象を示します。

表32-5 PRR1レジスタの各ビットにおける制御対象

ビット	ビット名	制御対象
7	DACRES	D/Aコンバータ
5	PGACMPRES	コンパレータ
4	TML32RES	32ビット・インターバル・タイマ
0	DALIRES	デジタル調光照明インタフェース

注意 ビット6, 3-1には、必ず0を設定してください。

32.2.5 周辺リセット制御レジスタ2 (PRR2)

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR2 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図32-9 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PRR2	FAARES	MEMRES	TKBRES	TRGRES	TRD0RES	PWMOPRES	TRXRES	TRJ0RES
ビットn	各周辺ハードウェアへの周辺リセット制御							
0	周辺リセット解除							
1	周辺はリセット状態 ・周辺機能で使用するSFRが初期化されます。							

備考 n = 7-0

表 32-6 に各ビットの制御対象を示します。

表32-6 PRR2レジスタの各ビットにおける制御対象

ビット	ビット名	制御対象
7	FAARES	FAA、除算器
6	MEMRES	データ共有メモリ
5	TKBRES	16ビット・タイマKB30, KB31, KB32
4	TRGRES	タイマRG2
3	TRD0RES	タイマRD2
2	PWMOPRES	PWMオプションユニットA
1	TRXRES	タイマRX
0	TRJ0RES	タイマRJ

第33章 パワーオン・リセット回路 (POR)

33.1 パワーオン・リセット回路の機能

パワーオン・リセット回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。
電源電圧 (VDD) が検出電圧 (VPOR) を超えた場合に、リセットを解除します。ただし、**43.4 AC特性**または**44.4 AC特性**に示す動作電圧範囲まで、LVD0か外部リセットでリセット状態を保ってください。
- 電源電圧 (VDD) と検出電圧 (VPDR) を比較し、 $VDD < VPDR$ になったとき内部リセット信号を発生します。
ただし、電源立ち下がり時は、**43.4 AC特性**または**44.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、LVD0か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) およびパワーオン・リセット・ステータス・レジスタ (PORSR) がクリア (00H) されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 電圧検出回路 (LVD) / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT / LVD / 不正命令の実行 / RAMパリティ・エラー / 不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFレジスタの詳細については、**第32章 リセット機能**を参照してください。

備考2. パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ (PORSR) で確認することができます。PORSRレジスタの詳細については、**第32章 リセット機能**を参照してください。

備考3. VPOR : POR電源立ち上がり検出電圧

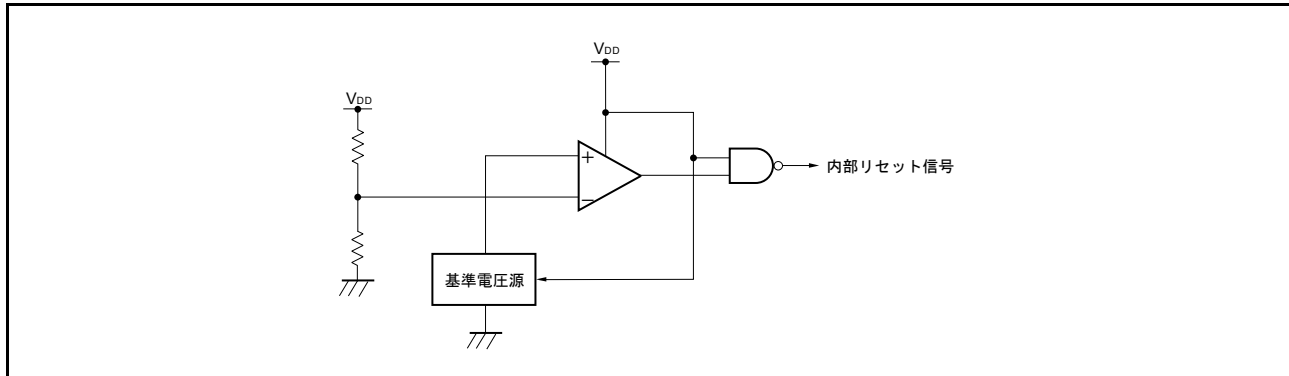
VPDR : POR電源立ち下がり検出電圧

詳細は、**43.6.6 POR回路特性**または**44.6.6 POR回路特性**を参照してください。

33.2 パワーオン・リセット回路の構成

図 33 - 1 にパワーオン・リセット回路のブロック図を示します。

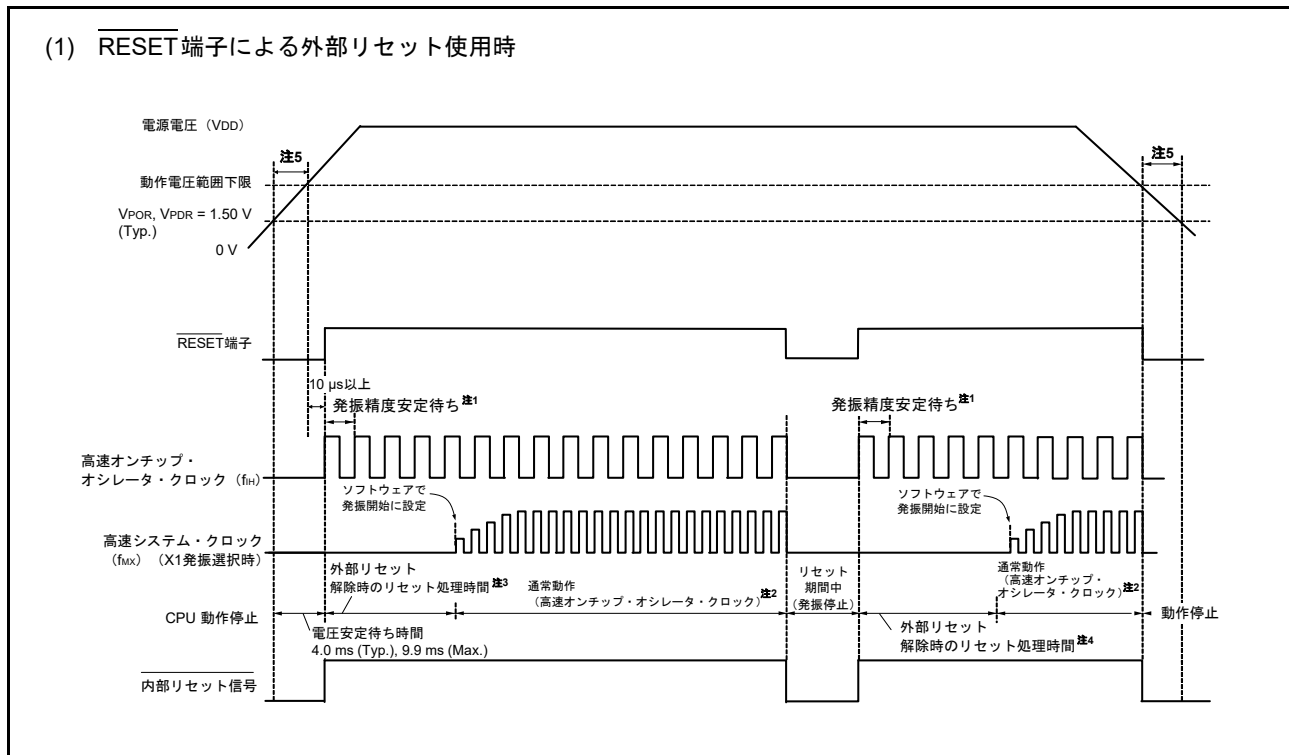
図33 - 1 パワーオン・リセット回路のブロック図



33.3 パワーオン・リセット回路の動作

図 33 - 2 にパワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミングを示します。

図33 - 2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング (1/2)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。

X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。

注3. 通常動作が開始されるまでの時間は、VPOR (1.50 V (Typ.)) に達してからの“電圧安定待ち時間”に加えて、 $\overline{\text{RESET}}$ 信号をハイ・レベルにしてから次の“外部リセット解除時のリセット処理時間 (POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目 : 0.506 ms (Typ.), 0.694 ms (Max.) (LVD使用時)
0.201 ms (Typ.), 0.335 ms (Max.) (LVDオフ時)

注4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降 : 0.476 ms (Typ.), 0.616 ms (Max.) (LVD使用時)
0.170 ms (Typ.), 0.257 ms (Max.) (LVDオフ時)

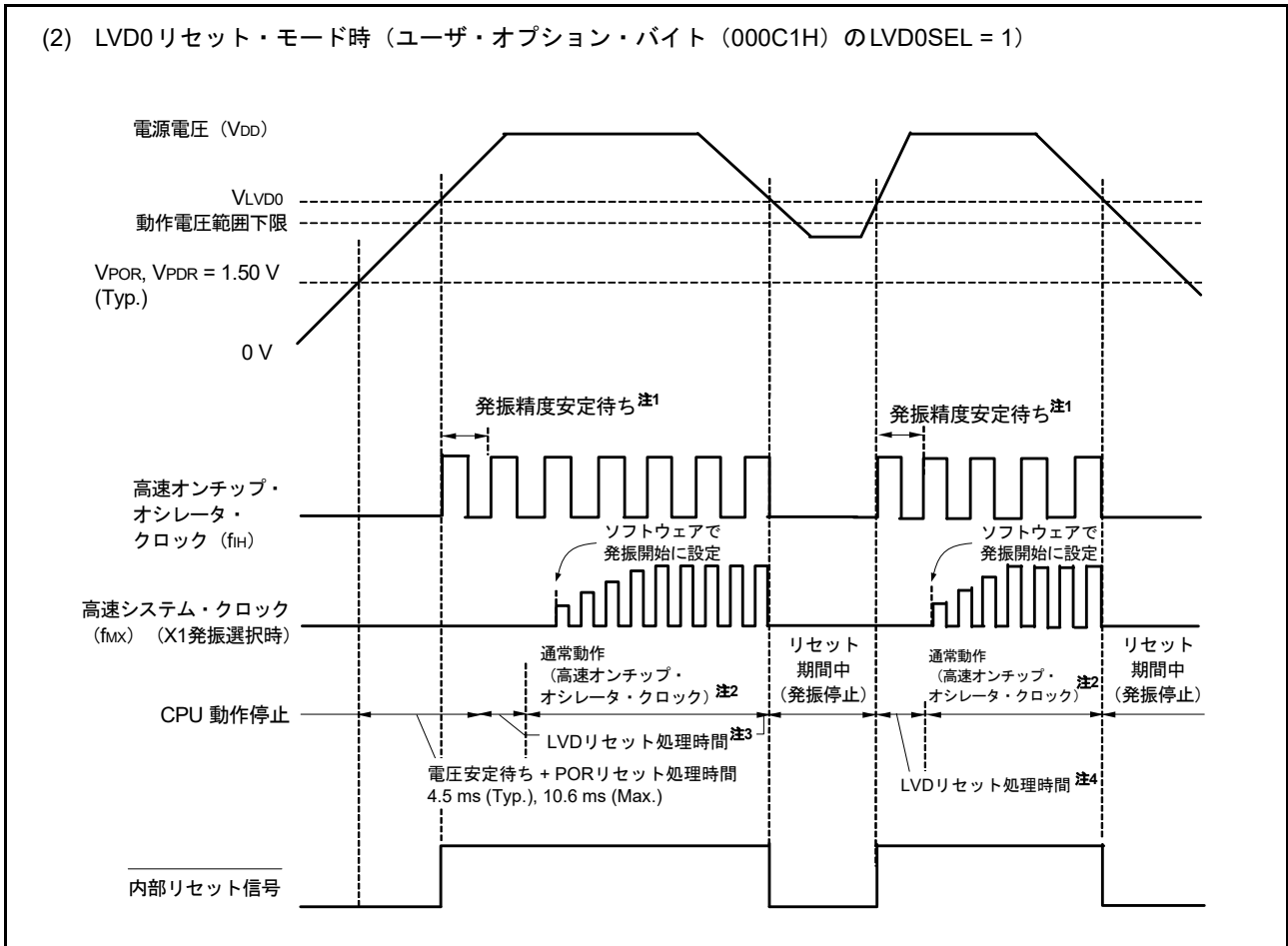
注5. 電源立ち上がり時は、**43.4 AC特性**または**44.4 AC特性**に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

注意 LVD0オフ時は必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。詳細は、第34章 電圧検出回路 (LVD) を参照してください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

図33-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (2/2)



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 通常動作が始まるまでの時間は、V_{POR} (1.50 V (Typ.)) に達してから“電圧安定待ち + PORリセット処理時間”に加えて、LVD0検出レベル (V_{LVLD0}) に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間 : 0 ~ 0.041 ms (Max.)
- 注4. 電源電圧降下時、電圧検出回路 (LVD0) による内部リセットのみ発生後に電源電圧が復帰した場合、LVD0検出レベル (V_{LVLD0}) に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間 : 0.040 ms (Typ.), 0.041 ms (Max.)

- 備考1. V_{LVDH}, V_{LVDL} : LVD検出電圧
V_{POR} : POR電源立ち上がり検出電圧
V_{PDR} : POR電源立ち下がり検出電圧

備考2. LVD0割り込みモード (ユーザ・オプション・バイト (000C1H) のLVD0SEL = 0) を選択した場合、電源投入後に通常動作が始まるまでの時間は、図33-2 (2) LVDリセット・モード時の注3の時間と同じです。

備考3. LVD1は電源投入時、動作停止です。また、内部リセットにより動作停止になります。

第34章 電圧検出回路 (LVD)

34.1 電圧検出回路の機能

電圧検出回路0 (LVD0) は、ユーザ・オプション・バイト (000C1H) で動作モードと検出電圧 (VLVD0) を設定します。また、電圧検出回路1 (LVD1) は、電圧検出レベル・レジスタで動作モードと検出電圧 (VLVD1) を設定します。電圧検出回路は、次のような機能を持ちます。

- LVD0およびLVD1は、電源電圧 (VDD) と検出電圧 (VLVD0, VLVD1) を比較し、内部リセットまたは割り込み要求信号を発生します。
- LVD0は、ユーザ・オプション・バイトにて検出電圧 (VLVD0) を6段階より選択できます (第38章 オプション・バイト参照)。
- LVD1は、電圧検出レベル・レジスタにて検出電圧 (VLVD1) を18段階より選択できます。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、**43.4 AC特性**または**44.4 AC特性**に示す動作電圧範囲まで、LVD0か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、LVD0か外部リセットでリセット状態にしてください。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

リセット・モード LVD0	リセット・モード LVD1	割り込みモード LVD0	割り込みモード LVD1
VDD \geq VLVD0を検出して内部リセットを解除します。VDD < VLVD0を検出して内部リセットを発生し、VDD \geq VLVD0になるまでリセット状態は継続されません。	LVD1の動作許可後、VDD < VLVD1を検出して内部リセットを発生します。	リセット発生直後、LVDの内部リセットはVDD \geq VLVD0になるまでリセット状態を継続します。VDD \geq VLVD0を検出してLVDの内部リセットは解除されます。LVDの内部リセット解除後は、VDD < VLVD0またはVDD \geq VLVD0を検出して割り込み要求信号 (INTLVI) を発生します。	LVD1の動作許可後、VDD < VLVD1を検出して割り込み要求信号 (INTLVI) を発生します。1回目の検出後は、VDD < VLVD1またはVDD \geq VLVD1を検出して割り込み要求信号 (INTLVI) を発生します。

LVD0, LVD1 動作時では、電圧検出フラグ (LVDnF : 電圧検出レジスタ (LVIM) のビット0, 1) を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESF レジスタについての詳細は、**第32章 リセット機能**を参照してください。

34.2 電圧検出回路の構成

図 34 - 1 および図 34 - 2 に電圧検出回路のブロック図を示します。

図34 - 1 LVD0のブロック図

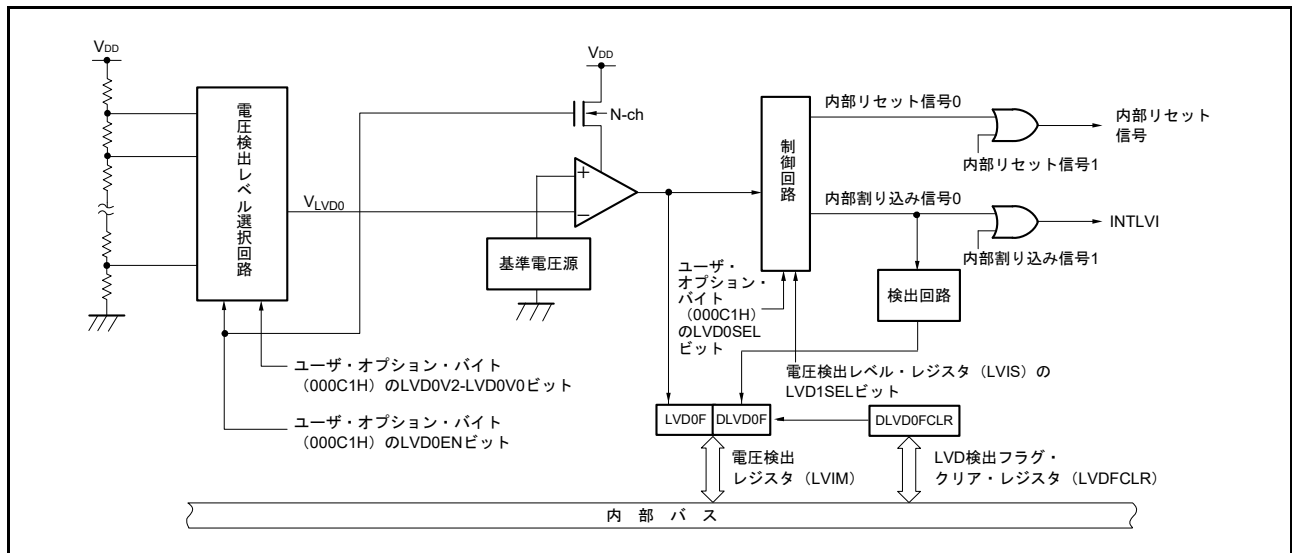
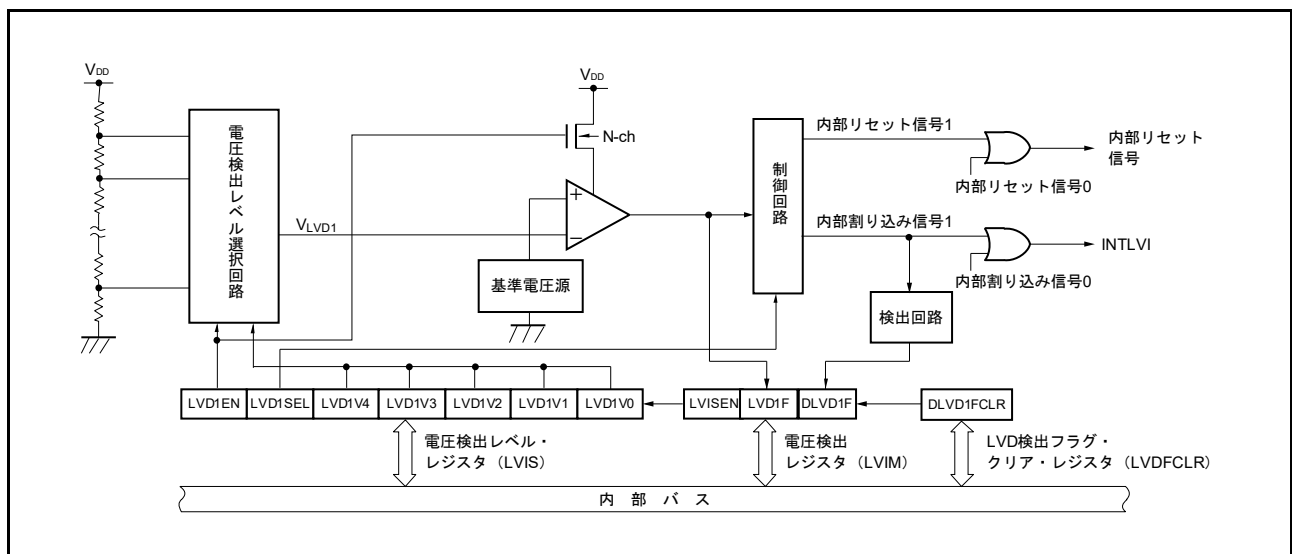


図34 - 2 LVD1のブロック図



34.3 電圧検出回路を制御するレジスタ

電圧検出回路を制御するレジスタを次に示します。

- ユーザ・オプション・バイト (000C1H/040C1H) : 第38章 オプション・バイトを参照
- 電圧検出レジスタ (LVIM)
- LVD検出フラグ・クリア・レジスタ (LVDFCLR)
- 電圧検出レベル・レジスタ (LVIS)

34.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可/禁止の設定、LVD0 および LVD1 の状態を確認するレジスタです。

LVIM レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図34-3 電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H
リセット時: 00H^{注1}
R/W属性 : R/W^{注2,3}

略号	<7>	6	5	4	<3>	<2>	<1>	<0>
LVIM	LVISEN	0	0	0	DLVD1F	DLVD0F	LVD1F	LVD0F

LVISEN	電圧検出レベル・レジスタ (LVIS) の書き換え許可/禁止の設定
0	LVISレジスタの書き換え禁止
1 ^{注4}	LVISレジスタの書き換え許可 (LVD1によるリセットおよび割り込み発生がマスクされます)

DLVDnF	LVDnの割り込み検出フラグ
0	LVDnの割り込みは未検出
1	LVDnの割り込みを検出

LVDnF	電圧検出フラグ
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVDn})、またはLVDオフ時
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVDn})

注1. LVD0が動作許可かつ電源電圧 (V_{DD}) < 検出電圧 (V_{LVD0}) の場合、リセット値は01Hになります。

注2. ビット1, 0は、Read Onlyです。

注3. ビット3, 2は、Read Onlyです。LVD検出フラグ・クリア・レジスタ (LVDFCLR) でクリア可能です。

注4. LVISENビットが1の状態では、LVD1によるリセットおよび割り込み発生がマスクされます。このため、LVISレジスタを書き換えた後はLVISENビットを0にしてください。

備考 n = 0, 1

34.3.2 LVD検出フラグ・クリア・レジスタ (LVDFCLR)

電圧検出レジスタ (LVIM) の割り込み検出フラグ (DLVD0F, DLVD1F) をクリアするレジスタです。
LVDFCLR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図34-4 LVD検出フラグ・クリア・レジスタ (LVDFCLR) のフォーマット

アドレス : F0218H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	1	0
LVDFCLR	0	0	0	0	DLVD1FCLR	DLVD0FCLR	0	0

DLVD1FCLR R注	DLVD1Fクリア
0	無効
1	1を書き込むことにより、DLVD1Fフラグをクリア

DLVD0FCLR R注	DLVD0Fクリア
0	無効
1	1を書き込むことにより、DLVD0Fフラグをクリア

注 1のみ書き込めます。0の書き込みは無効となります。
1書き込み後も0が読めます。

34.3.3 電圧検出レベル・レジスタ (LVIS)

LVD1の電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、19Hになります。

図34-5 電圧検出レベル・レジスタ (LVIS) のフォーマット

アドレス : FFFAAH

リセット時: 19H

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
LVIS	LVD1EN	LVD1SEL	0	LVD1V4	LVD1V3	LVD1V2	LVD1V1	LVD1V0

LVD1EN	LVD1の動作許可
0	動作停止
1	動作許可

LVD1SEL	LVD1の動作モード
0	割り込みモード
1	リセットモード

LVD1V4	LVD1V3	LVD1V2	LVD1V1	LVD1V0	LVD1検出電圧 ^{注1, 3, 4}	LVD1検出電圧 ^{注1, 3, 4}	
						立ち上がり	立ち下がり
1	1	1	1	1	VLVD117	1.67 V ^{注2}	1.63 V ^{注2}
1	1	1	1	0	VLVD116	1.78 V ^{注2}	1.74 V ^{注2}
1	1	1	0	1	VLVD115	1.88 V ^{注2}	1.84 V ^{注2}
1	1	1	0	0	VLVD114	1.98 V	1.94 V
1	1	0	1	1	VLVD113	2.09 V	2.04 V
1	1	0	1	0	VLVD112	2.20 V	2.15 V
1	1	0	0	1	VLVD111	2.30 V	2.25 V
1	1	0	0	0	VLVD110	2.40 V	2.35 V
1	0	1	1	1	VLVD19	2.50 V	2.45 V
1	0	1	1	0	VLVD18	2.66 V	2.60 V
1	0	1	0	1	VLVD17	2.82 V	2.76 V
1	0	1	0	0	VLVD16	2.97 V	2.91 V
1	0	0	1	1	VLVD15	3.13 V	3.06 V
1	0	0	1	0	VLVD14	3.35 V	3.27 V
1	0	0	0	1	VLVD13	3.55 V	3.47 V
1	0	0	0	0	VLVD12	3.75 V	3.67 V
0	1	1	1	1	VLVD11	3.96 V	3.88 V
0	1	1	1	0	VLVD10	4.16 V	4.08 V

注1. LVD1V4-LVD1V0ビットは、リセット解除後、1回のみ書き換え可能です。

(注、注意は次ページに続きます)

- 注2. LVD0がオフのときに使用できます。
 - 注3. LVD0をリセット・モードに設定する場合、LVD1の検出電圧は、LVD0の検出電圧よりも高く設定してください。
 - 注4. LVD0を割り込みモードかつLVD0検出電圧>LVD1検出電圧に設定した場合、リセット解除後のLVD1設定以降はLVD0が不定になります。
- 注意** LVISレジスタを書き換える場合は、図34 - 10、図34 - 11の手順で行ってください。

34.4 電圧検出回路の動作

34.4.1 リセット・モードとして使用する場合の設定

LVD0では、動作モード（リセット・モード（LVD0SEL = 1））と検出電圧（VLVD0）の設定は、ユーザ・オプション・バイト（000C1H）で設定します。

LVD1では、動作モード（リセット・モード（LVD1SEL = 1））と検出電圧（VLVD1）の設定は、電圧検出レベル・レジスタ（LVIS）で設定します。

- LVDリセット・モードの動作

LVD0において、リセット・モード（ユーザ・オプション・バイトのLVD0SEL = 1）は、電源投入時、電源電圧（VDD）が電圧検出レベル（VLVD0）を超えるまではLVD0による内部リセット状態を保ちます。電源電圧（VDD）が電圧検出レベル（VLVD0）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（VDD）が電圧検出レベル（VLVD0）を下回るとLVD0による内部リセットが発生します。

LVD1は、電源投入時、動作停止になっています。LVD1を動作許可することにより、電源電圧（VDD）が電圧検出レベル（VLVD1）を下回るとLVD1による内部リセットが発生します。電源電圧（VDD）が電圧検出レベル（VLVD1）を下回っている状態で動作許可すると、動作許可したタイミングでLVD1による内部リセットが発生します。なお、LVD1をリセット・モードに設定するとLVD0は割り込みモードになります。また、LVD1による内部リセットが発生することにより、LVD0はリセット・モードになります。

LVD1検出電圧は、リセット解除後、1回のみ設定可能です。

図 34 - 6 に LVD0 の内部リセット信号発生タイミング、図 34 - 7 に LVD1 の内部リセット信号発生タイミングを示します。

図 34 - 6 LVD0の内部リセット信号発生タイミング

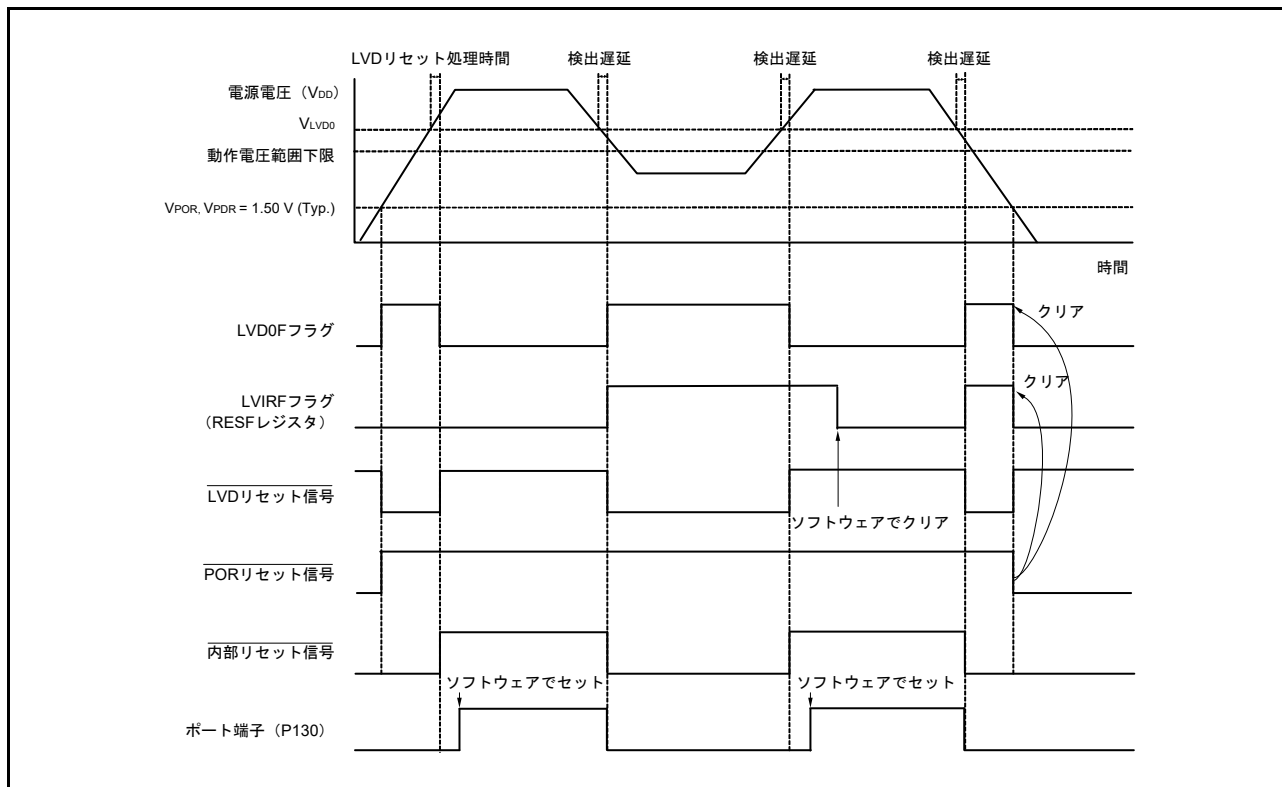
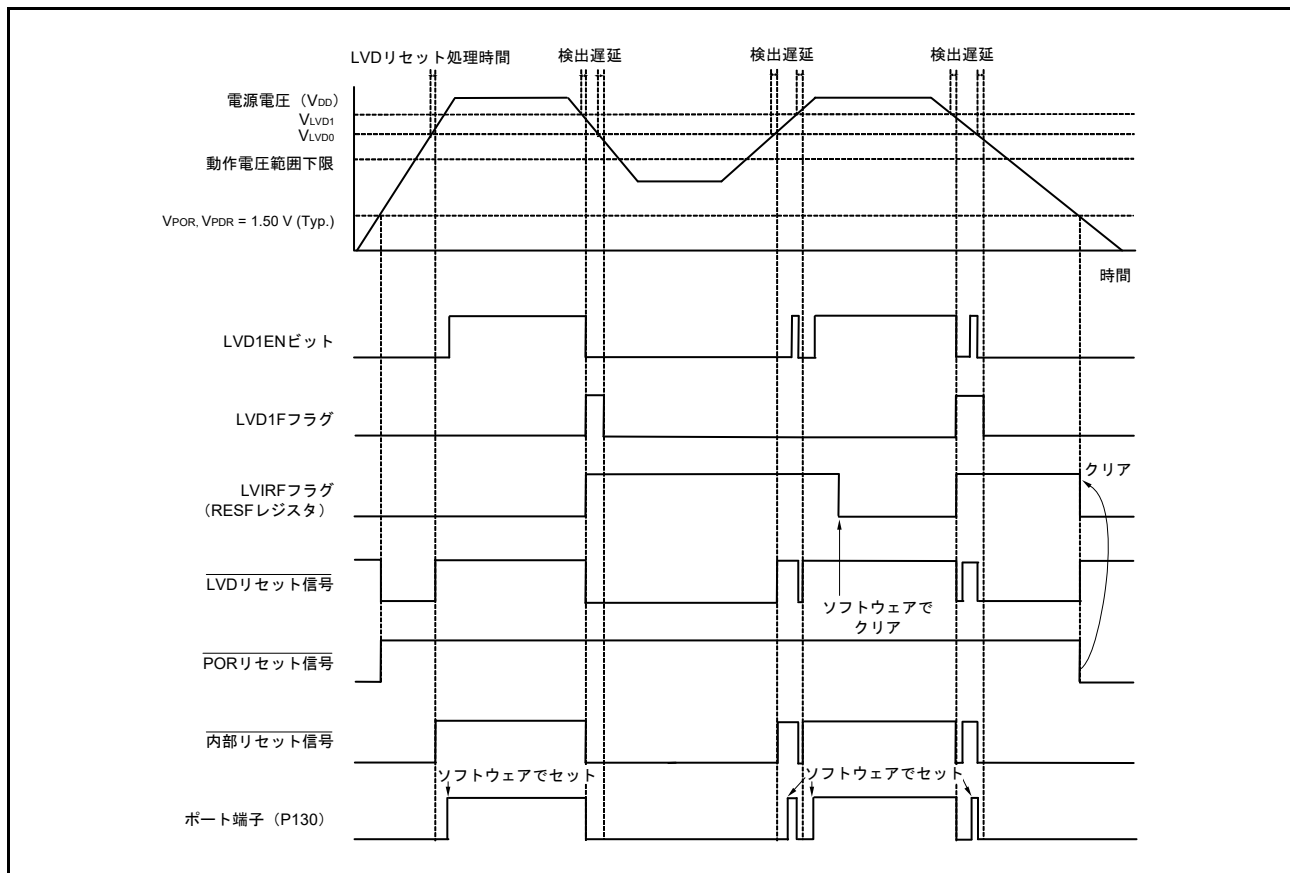


図34 - 7 LVD1の内部リセット信号発生タイミング



備考 LVD0 : リセット・モード

34.4.2 割り込みモードとして使用する場合の設定

LVD0では、動作モード（割り込みモード（LVD0SEL = 0））と検出電圧（VLVD0）の設定は、ユーザ・オプション・バイト（000C1H）で設定します。

LVD1では、（割り込みモード（LVD1SEL = 0））と検出電圧（VLVD1）の設定は、電圧検出レベル・レジスタ（LVIS）で設定します。

- LVD割り込みモードの動作

LVD0において、割り込みモード（ユーザ・オプション・バイトのLVD0SEL = 0）では、リセット発生直後、電源電圧（VDD）が電圧検出レベル（VLVD0）を上回るまではLVD0による内部リセット状態を保ちます。電源電圧（VDD）が電圧検出レベル（VLVD0）を上回るとLVD0による内部リセットを解除します。

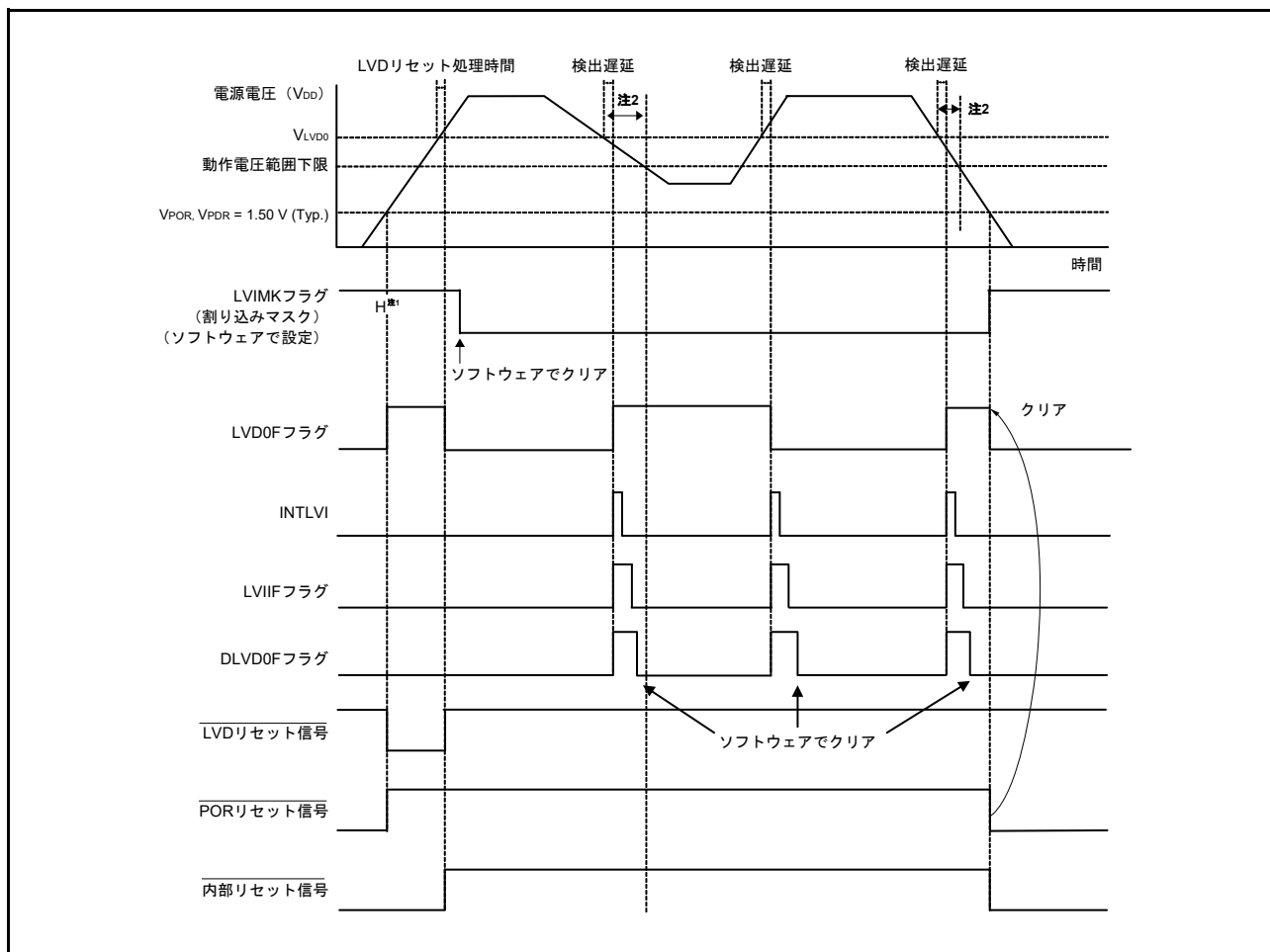
LVD0の内部リセット解除後は、電源電圧（VDD）が電圧検出レベル（VLVD0）を下回るとLVD0による割り込み要求信号（INTLVI）が発生します。同様に、電源電圧（VDD）が電圧検出レベル（VLVD0）を上回るとLVD0による割り込み要求信号（INTLVI）が発生します。電源電圧降下時は、**43.4 AC特性**または**44.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

LVD1は、電源投入時、動作停止になっています。LVD1を動作許可にすることにより、電源電圧（VDD）が電圧検出レベル（VLVD1）を下回るとLVD1による割り込み要求信号（INTLVI）が発生します。同様に、電源電圧（VDD）が電圧検出レベル（VLVD1）を上回るとLVD1による割り込み要求信号（INTLVI）が発生します。なお、電源電圧（VDD）が電圧検出レベル（VLVD1）を下回っている状態で動作許可すると、動作許可したタイミングでLVD1による割り込み要求信号（INTLVI）が発生します。

LVD1検出電圧は、リセット解除後、1回のみ設定可能です。

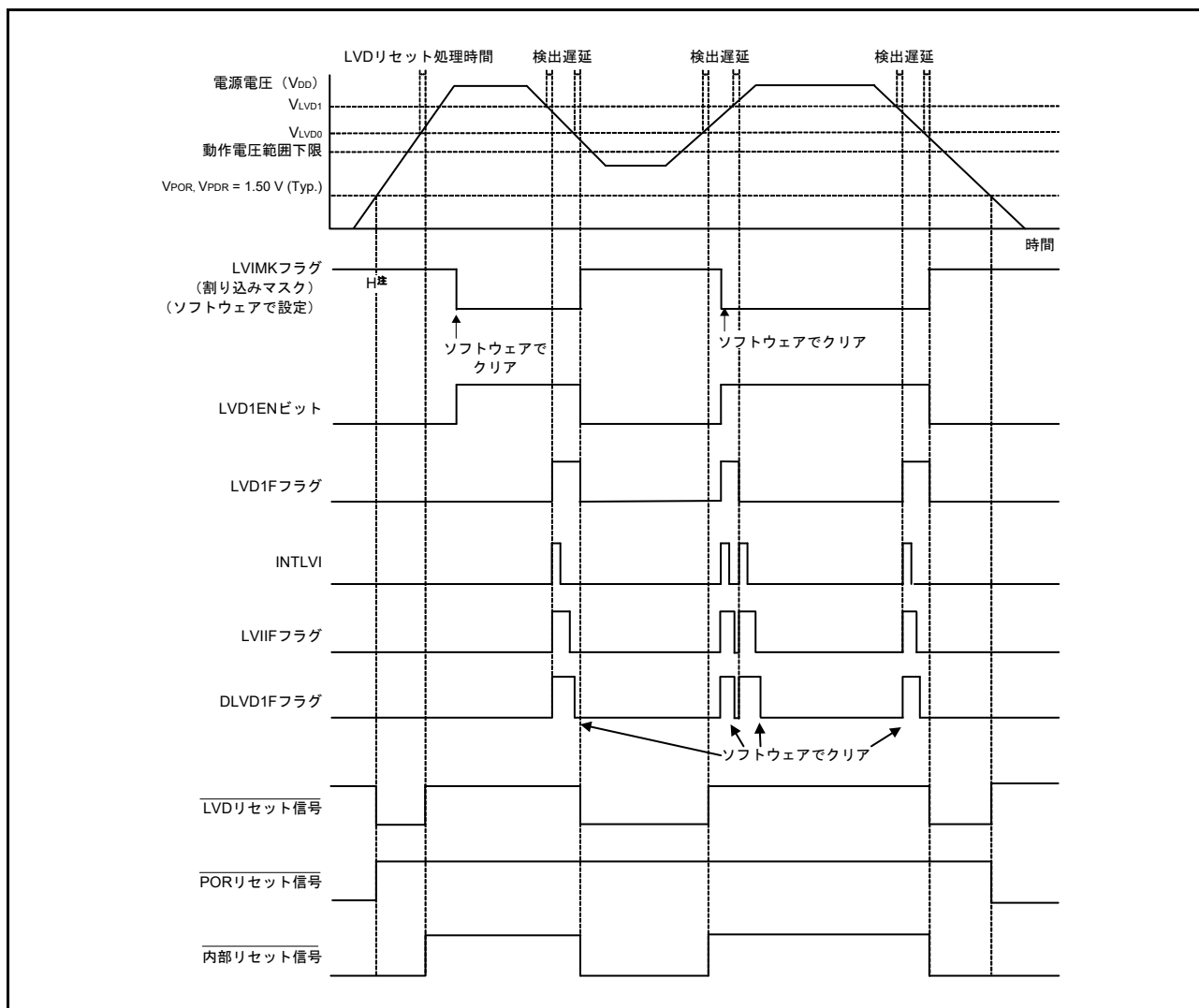
図 34 - 8 に LVD0 の割り込み信号発生タイミング、図 34 - 9 に LVD1 の割り込み信号発生タイミングを示します。

図 34 - 8 LVD0 の割り込み信号発生タイミング



- 注1. LVIMKフラグはリセット信号の発生により、1になっています。
- 注2. 動作電圧降下時は、43.4 AC特性または44.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図34 - 9 LVD1の割り込み信号発生タイミング



注 LVIMKフラグはリセット信号の発生により、1になっています。

備考 LVD0 : リセット・モード

34.5 電圧検出回路使用時の注意事項

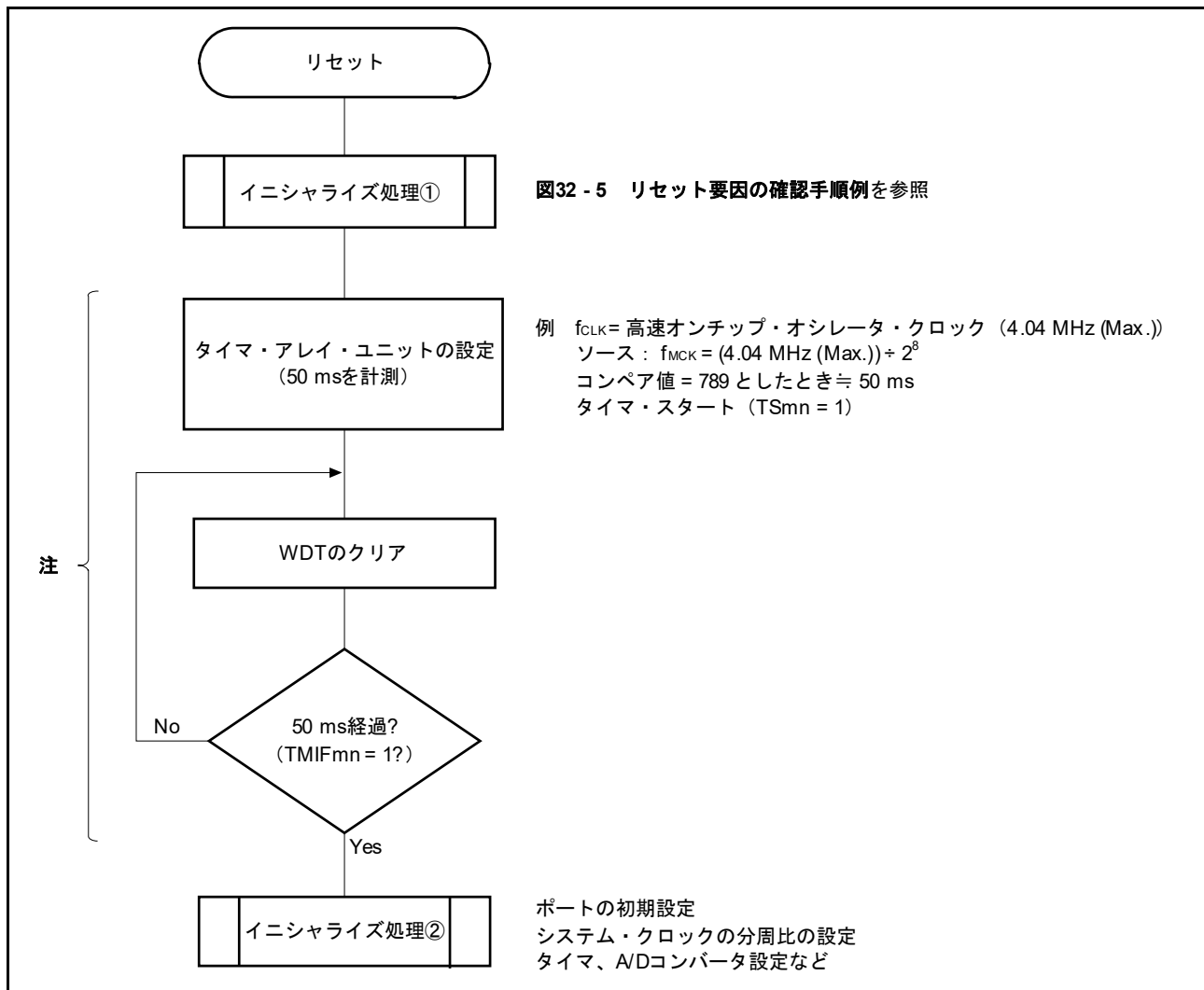
(1) 電源投入時の電圧変動について

電源電圧 (VDD) がLVD0, LVD1 検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図34 - 10 LVD0, LVD1 検出電圧付近での電源電圧変動が50 ms 以下の場合のソフト処理例

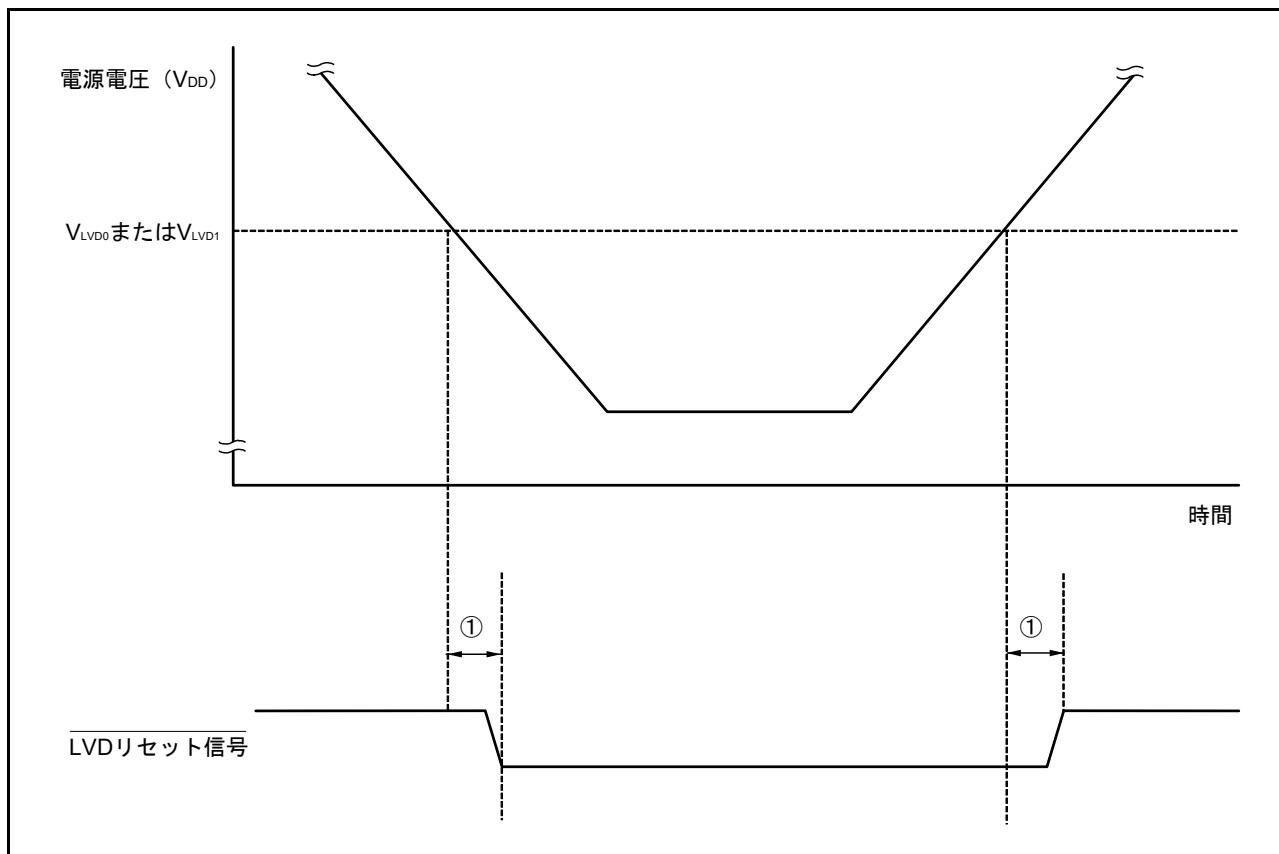


注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 m = 0, 1; n = 0-7

- (2) LVD0, LVD1リセット要因発生からLVD0, LVD1リセットが発生または解除されるまでの遅延について
電源電圧 (V_{DD}) < LVD0, LVD1検出電圧 (V_{LVD0} , V_{LVD1}) になってから、LVD0, LVD1リセットが発生するまでには遅延が生じます。同じようにLVD0, LVD1検出電圧 (V_{LVD0} , V_{LVD1}) \leq 電源電圧 (V_{DD}) になってから、LVD0, LVD1リセットが解除されるまでにも遅延が生じます (図34 - 11参照)。

図34 - 11 LVD0, LVD1リセット要因発生からLVD0, LVD1リセット発生または解除までの遅延



備考 ① : 検出遅延 (300 μ s (Max.))

(3) LVD0をオフに設定した場合の電源立ち上げについて

LVD0をオフに設定したときは必ずRESET端子による外部リセットを使用してください。

外部リセットを行う場合、RESET端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、RESET端子にロウ・レベルを入力してから電源を投入し、**43.4 AC特性**または**44.4 AC特性**に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続したあとに、ハイ・レベルを入力してください。

(4) LVD0をオフまたは割り込みモードに設定した場合の動作電圧降下時について

LVD0をオフまたは割り込みモードに設定したときの動作電圧降下時は、**43.4 AC特性**または**44.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

(5) LVD1の検出電圧の設定手順について

LVD1の検出電圧は下記の手順で設定してください。③を実行したあと、安定待ち時間（500 μ s以上）が経過するとLVD1が有効になります。

- ① LVIMレジスタのLVISENビットに1を設定してください。
- ② LVISレジスタのLVD1ENビットに1を設定し、LVD1V4-LVD1V0ビットを変更してください。
- ③ LVIMレジスタのLVISENビットに0を設定してください。

第35章 安全機能

35.1 安全機能の概要

- ★ 安全規格 IEC60730 に対応するため、RL78/G24 では以下の安全機能を搭載しています。
この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。
- (1) フラッシュ・メモリCRC演算機能（高速CRC、汎用CRC）
CRC演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて、以下の2つのCRCを使い分けいただくことができます。
 - 「高速CRC」：初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
 - 「汎用CRC」：CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。
 - (2) フラッシュ・メモリ・ガード機能
CPUの暴走によるフラッシュ・メモリの書き換えを防止します。
 - (3) RAMパリティ・エラー検出機能
RAMデータを読み出すとき、パリティ・エラーを検出します。
 - (4) RAMガード機能
CPUの暴走によるRAMデータの書き換えを防止します。
 - (5) SFRガード機能
CPUの暴走によるSFRの書き換えを防止します。
 - (6) 不正メモリ・アクセス検出機能
不正メモリ領域（メモリが存在しない、アクセスが制限されている領域）への不正なアクセスを検出します。
 - (7) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のガード機能
CPUの暴走による不正メモリ・アクセス検出制御レジスタの書き換えを防止します。
 - (8) 周波数検出機能
タイマ・アレイ・ユニットを使用して、CPU／周辺ハードウェア・クロック周波数の自己チェックができます。
 - (9) A/Dテスト機能
A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル（ANI）、温度センサ出力電圧および内部基準電圧をA/D変換することにより、A/Dコンバータの自己チェックができます。
 - (10) 入出力端子のデジタル出力信号レベル検出機能
入出力端子が出力モード時に、端子の出力レベルを読み出すことができます。
 - (11) UARTループバック機能
UARTnのTXDn端子とRXDn端子をそれぞれ外部から遮断、MCU内部で接続し、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックすることで、送信データが正常に出力していることを確認できます。
備考 n = 0-2
- ★ **備考** 安全規格 IEC60730 に対応する安全機能の使用例は、RL78 MCU シリーズの **IEC60730/60335セルフテスト・ライブラリ アプリケーションノート** を参照してください。

35.2 安全機能で使用するレジスタ

安全機能で使用するレジスタを次に示します。

- フラッシュ・メモリCRC制御レジスタ (CRC0CTL)
- フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)
- CRC入力レジスタ (CRCIN)
- CRCデータ・レジスタ (CRCD)
- コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0)
- データ・フラッシュ・メモリ・ガードレジスタ (GFLASH1)
- フラッシュ・セキュリティ領域ガードレジスタ (GFLASH2)
- RAMパリティ・エラー制御レジスタ (RPECTL)
- RAMパリティ・エラー制御レジスタ2 (RPECTL2)
- 不正メモリ・アクセス検出制御レジスタ (IAWCTL)
 - RAM ガード機能
 - SFR ガード機能
 - 不正メモリ・アクセス検出機能
- IAWCTLレジスタ・ガードレジスタ (GIAWCTL)
- タイマ入出力選択レジスタ0 (TIOS0)
- A/Dテスト・レジスタ (ADTES)
- アナログ入力チャンネル指定レジスタ (ADS)
- ポート・モード選択レジスタ (PMS)
- UARTループバック選択レジスタ (ULBS)

各レジスタの内容については、**35.3 安全機能の動作**の中で説明します。

35.3 安全機能の動作

35.3.1 フラッシュ・メモリCRC演算機能 (高速CRC)

IEC60730 ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定 (イニシャライズ) ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です (例 フラッシュ・メモリ 64 KB : 512 μ s@32 MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31 → ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

35.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

CRC0CTL レジスタは、高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTL レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図35-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL) のフォーマット

アドレス : F02F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0
CRC0EN	高速CRC演算器の動作制御							
0	動作停止							
1	HALT命令実行により演算開始							
FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲		
0	0	0	0	0	0	0000H-03FFBH (16 K-4バイト)		
0	0	0	0	0	1	0000H-07FFBH (32 K-4バイト)		
0	0	0	0	1	0	0000H-0BFFBH (48 K-4バイト)		
0	0	0	0	1	1	0000H-0FFFBH (64 K-4バイト)		
0	0	0	1	0	0	0000H-13FFBH (80 K-4バイト)		
0	0	0	1	0	1	0000H-17FFBH (96 K-4バイト)		
0	0	0	1	1	0	0000H-1BFFBH (112 K-4バイト)		
0	0	0	1	1	1	0000H-1FFFBH (128 K-4バイト)		
上記以外						設定禁止		

注意 ビット6には、必ず0を設定してください。

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

35.3.1.2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)

PGCRCL レジスタは、高速CRC演算結果を格納するレジスタです。

PGCRCL レジスタは、16ビット・メモリ操作命令で設定します。

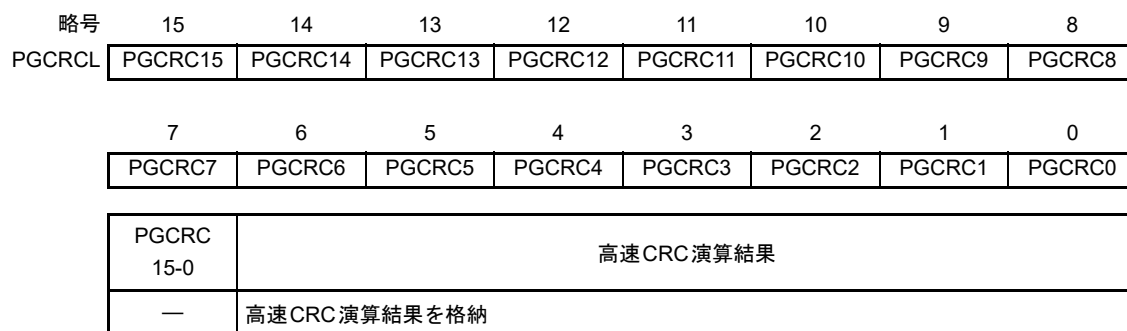
リセット信号の発生により、0000Hになります。

図35-2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) のフォーマット

アドレス : F02F2H

リセット時: 0000H

R/W属性 : R/W

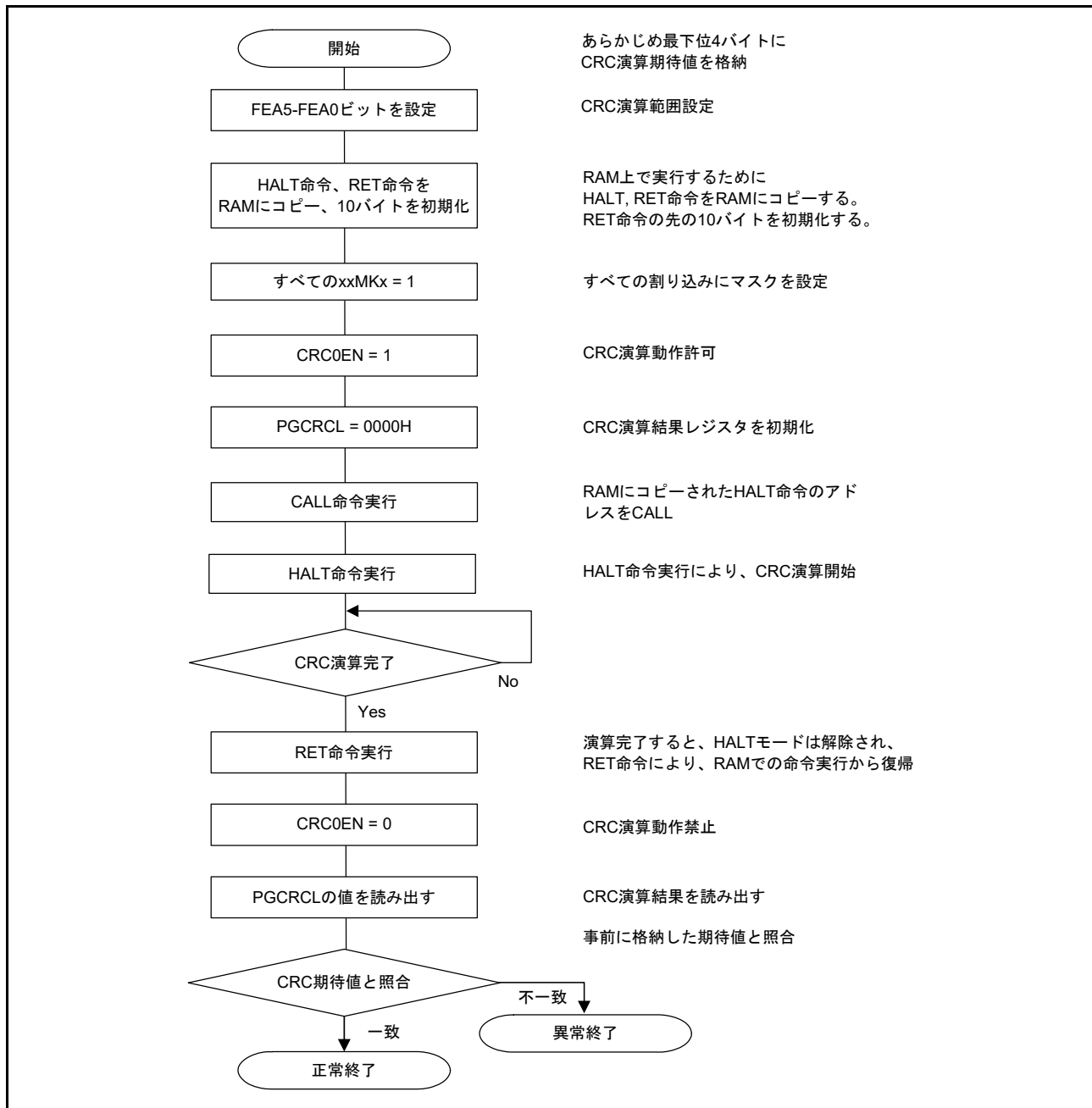


注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみ書き込み可能です。

図 35 - 3 にフラッシュ・メモリ CRC 演算機能（高速 CRC）のフロー・チャートを示します。

<動作フロー>

図 35 - 3 フラッシュ・メモリ CRC 演算機能（高速 CRC）のフロー・チャート



注意 1. CRC 演算の対象は、コード・フラッシュのみです。

注意 2. CRC 演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。

注意 3. RAM 領域にて、HALT 命令を実行することで、CRC 演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

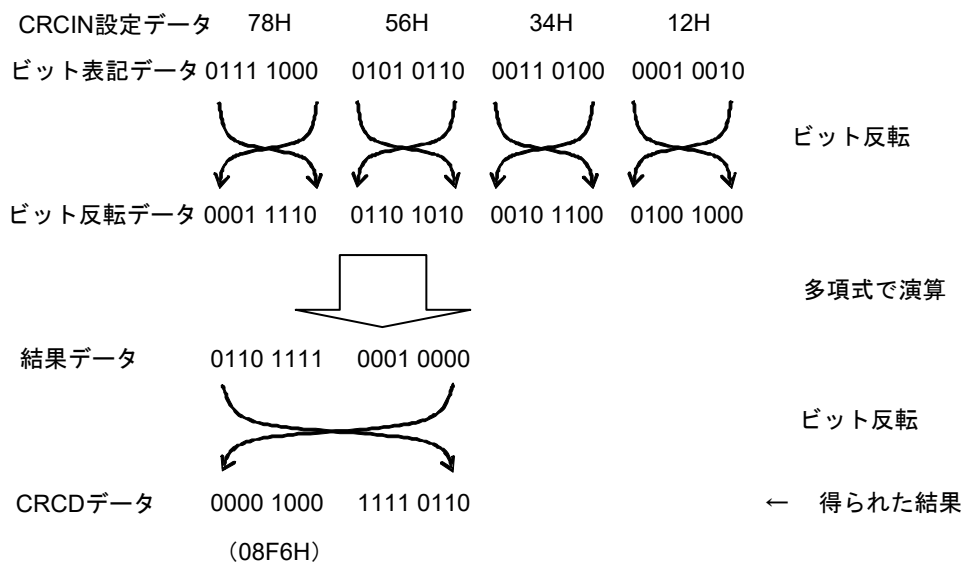
CRC 演算の期待値は、総合開発環境 CS+ を使用して算出することができます。詳細は、CS+ 統合開発環境ユーザーズマニュアルを参照してください。

35.3.2 CRC演算機能（汎用CRC）

- ★ この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は、DMA転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H, 56H, 34H, 12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き換えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

35.3.2.1 CRC入力レジスタ (CRCIN)

CRCIN レジスタは、汎用 CRC の CRC 計算するデータを設定する 8 ビットのレジスタです。

設定可能範囲は、00H-FFH です。

CRCIN レジスタは、8 ビット・メモリ操作命令で設定します。

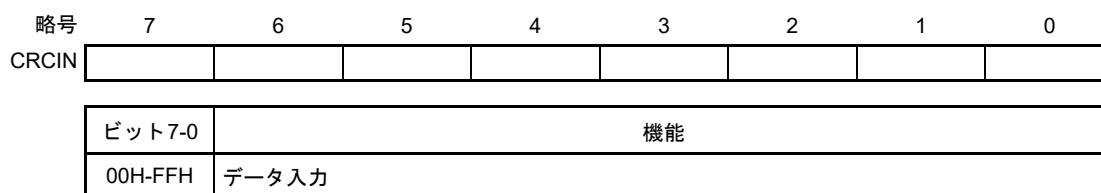
リセット信号の発生により、00H になります。

図35-4 CRC入力レジスタ (CRCIN) のフォーマット

アドレス : FFFACH

リセット時: 00H

R/W属性 : R/W



35.3.2.2 CRCデータ・レジスタ (CRCD)

CRCDレジスタは、汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (fCLK) の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

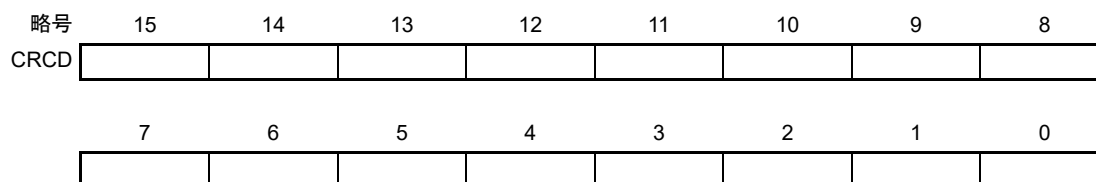
リセット信号の発生により、0000Hになります。

図35-5 CRCデータ・レジスタ (CRCD) のフォーマット

アドレス : F02FAH

リセット時: 0000H

R/W属性 : R/W

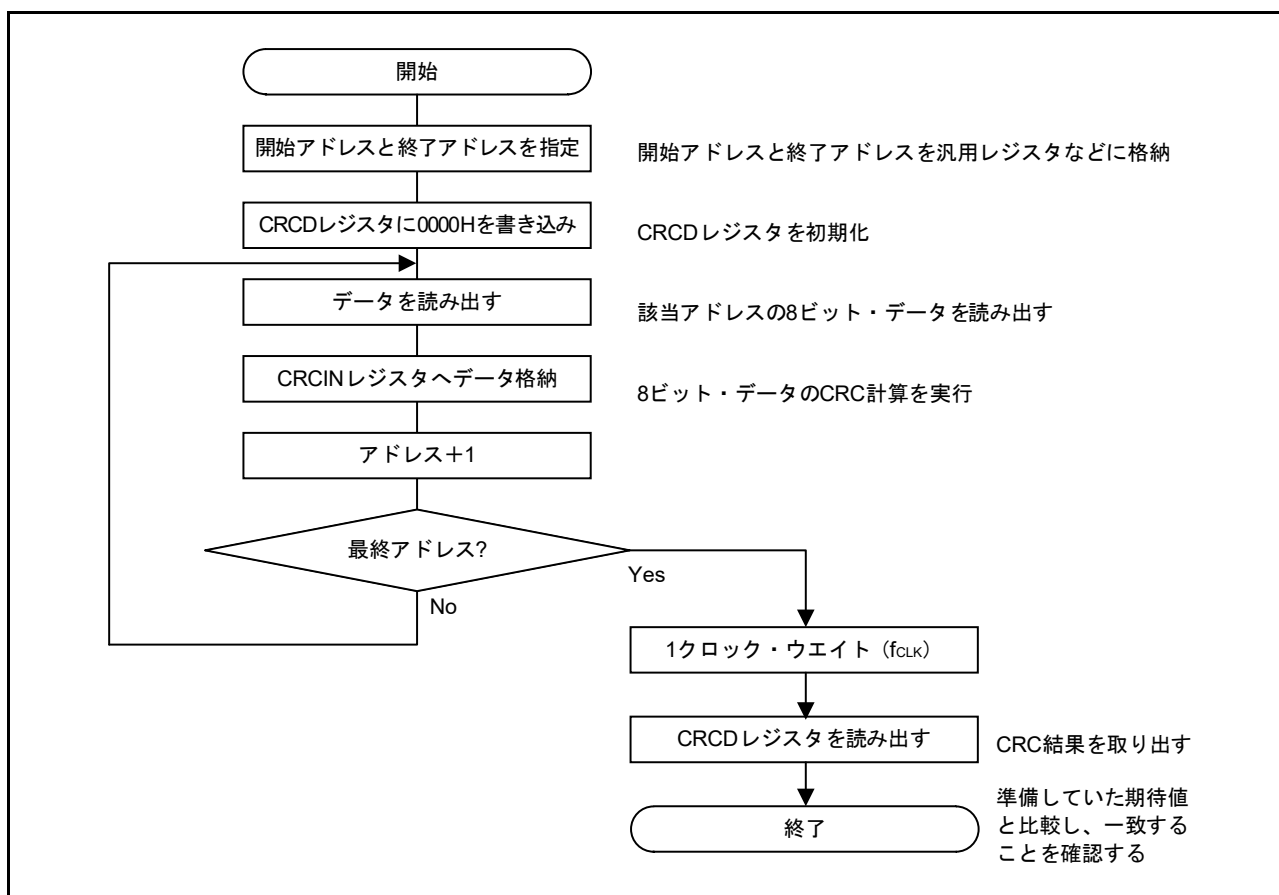


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前に読み出してください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図35-6 CRC演算機能（汎用CRC）のフロー・チャート



35.3.3 フラッシュ・メモリ・ガード機能

IEC60730 では動作中の安全を確保しなければいけないため、CPU が暴走してもフラッシュ・メモリが書き換わってしまわないように保護する必要があります。

フラッシュ・メモリ・ガード機能は、コード・フラッシュ・メモリ、データ・フラッシュ・メモリとフラッシュ・セキュリティ領域を保護するための機能です。フラッシュ・メモリ・ガード機能を設定すると、保護されたフラッシュ・メモリ領域への書き込みは無効になります。保護されたフラッシュ・メモリ領域の読み出しは可能です。

35.3.3.1 コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0)

GFLASH0 レジスタは、コード・フラッシュ・メモリへの書き込みを保護するレジスタです。コード・フラッシュ・メモリを書き換えるためには、GFLASH0.GFL0 ビットに 0 を設定する必要があります。コード・フラッシュ・メモリをガードするときは、GFLASH0 レジスタを設定したあと、値が 1 になっていることを確認してから、コード・フラッシュ・メモリの読み出しを行ってください。

GFLASH0 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図35-7 コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0) のフォーマット

アドレス : F0488H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GFLASH0	RKEY[7:0]							
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	GFL0
RKEY[7:0]	機能							
ビット 7-0	GFLASH0 レジスタ書き換えを制御するキーコードです。GFL0 ビットを書き換える場合は、RKEY[7:0] = 30H に設定して、16 ビット単位で同時に書いてください。 本ビットは、読むと 00H が読めます。							
GFL0	コード・フラッシュ・メモリの書き換え制御							
0	コード・フラッシュ・メモリを保護しない (書き換え許可)							
1	コード・フラッシュ・メモリを保護する (書き換え不可)							

35.3.3.2 データ・フラッシュ・メモリ・ガードレジスタ (GFLASH1)

GFLASH1 レジスタは、データ・フラッシュ・メモリへの書き込みを保護するレジスタです。データ・フラッシュ・メモリを書き換えるためには、GFLASH1.GFL1 ビットに 0 を設定する必要があります。データ・フラッシュ・メモリをガードするときは、GFLASH1 レジスタを設定したあと、値が 1 になっていることを確認してから、データ・フラッシュ・メモリの読み出しを行ってください。

GFLASH1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図35-8 データ・フラッシュ・メモリ・ガードレジスタ (GFLASH1) のフォーマット

アドレス : F048AH

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GFLASH1	RKEY[7:0]							
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	GFL1
RKEY[7:0]	機能							
ビット7-0	GFLASH1レジスタ書き換えを制御するキーコードです。GFL1ビットを書き換える場合は、RKEY[7:0] = C5Hに設定して、16ビット単位で同時に書いてください。本ビットは、読むと00Hが読めます。							
GFL1	データ・フラッシュ・メモリの書き換え制御							
0	データ・フラッシュ・メモリを保護しない（書き換え許可）							
1	データ・フラッシュ・メモリを保護する（書き換え不可）							

35.3.3.3 フラッシュ・セキュリティ領域ガードレジスタ (GFLASH2)

GFLASH2 レジスタは、フラッシュ・メモリのセキュリティ設定を格納しているフラッシュ・セキュリティ領域を保護するレジスタです。フラッシュ・セキュリティ領域の設定を書き換えるためには、GFLASH2.GFL2 ビットに 0 を設定する必要があります。

GFLASH2 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図35-9 フラッシュ・セキュリティ領域ガードレジスタ (GFLASH2) のフォーマット

アドレス : F048CH

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GFLASH2	RKEY[7:0]							
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	GFL2
RKEY[7:0]	機能							
ビット 7-0	GFLASH2 レジスタ書き換えを制御するキーコードです。GFL2 ビットを書き換える場合は、RKEY[7:0] = 9AH に設定して、16 ビット単位で同時に書いてください。 本ビットは、読むと 00H が読めます。							
GFL2	フラッシュ・セキュリティ領域の書き換え制御							
0	フラッシュ・セキュリティ領域を保護しない (書き換え許可)							
1	フラッシュ・セキュリティ領域を保護する (書き換え不可)							

35.3.4 RAMパリティ・エラー検出機能

IEC60730 ではRAM データ確認が義務付けられています。そのため、RL78/G24 のRAM には、8 ビットにつき 1 ビットのパリティが付加されています。このRAM パリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

35.3.4.1 RAMパリティ・エラー制御レジスタ (RPECTL)

RPECTL レジスタは、パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図35-10 RAMパリティ・エラー制御レジスタ (RPECTL) のフォーマット

アドレス : F00F5H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。

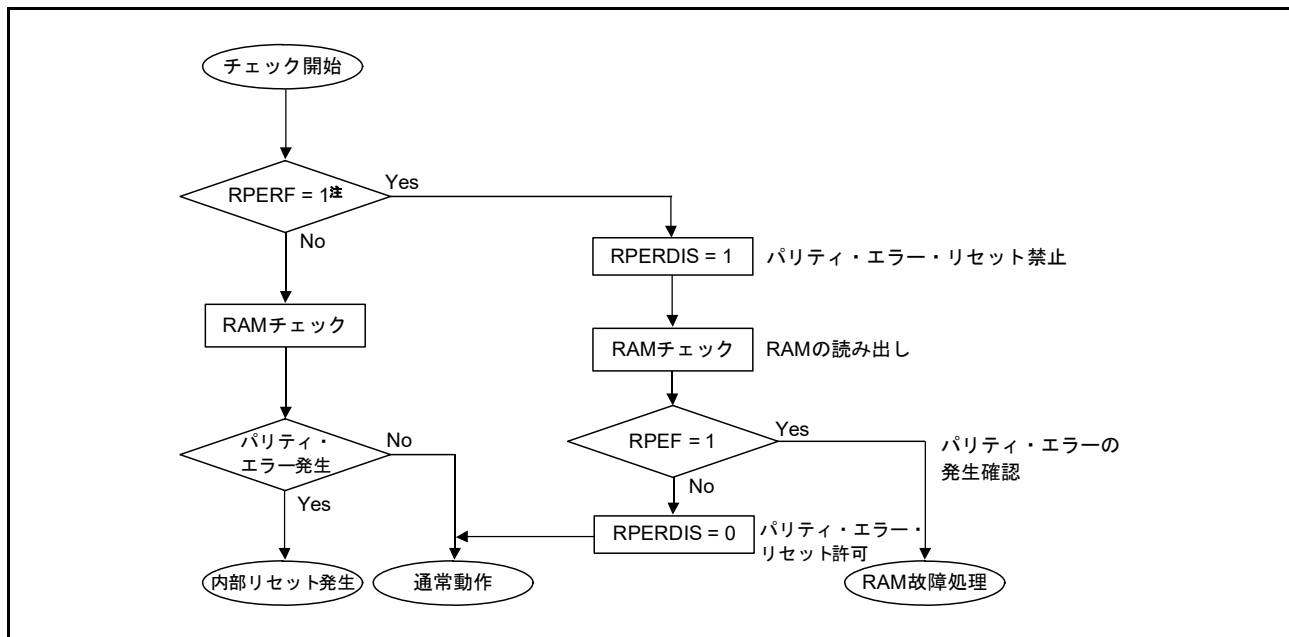
備考1. 初期状態では、パリティ・エラー・リセット発生許可 (RPERDIS = 0) になっています。

備考2. パリティ・エラー・リセット発生禁止 (RPERDIS = 1) を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット (1) されます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可 (RPERDIS = 0) に設定すると、RPERDISをクリア (0) した時点でパリティ・エラー・リセットが発生します。

備考3. RPECTLレジスタのRPEFフラグは、パリティ・エラー発生時にセット (1) され、0の書き込み、またはすべてのリセット要因によりクリア (0) されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

備考4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図35 - 11 RAMパリティ・チェックのフロー・チャート



注 RAMパリティ・エラーによる内部リセットの確認は、**第32章 リセット機能**を参照してください。

35.3.4.2 RAMパリティ・エラー制御レジスタ2 (RPECTL2)

RPECTL2 レジスタは、FAA のインストラクション・コード・メモリ、データ・メモリのパリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTL2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図35 - 12 RAMパリティ・エラー制御レジスタ2 (RPECTL2) のフォーマット

アドレス : F04B2H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
RPECTL2	FAARPEREN	0	0	0	0	0	0	FAARPEF

FAARPEREN	FAA・パリティ・エラー・リセット・イネーブル・フラグ
0	FAAのパリティ・エラー・リセット発生を禁止
1	FAAのパリティ・エラー・リセット発生を許可

FAARPEF	パリティ・エラー・ステータス・フラグ
0	FAAのパリティ・エラーが発生していない
1	FAAのパリティ・エラーが発生した

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する (FAARPEREN = 1) 場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。

また、FAAはパイプライン動作のためFAAが先読みを行い、使用しているRAM領域の先にある初期化されていないインストラクション・コード・メモリ、データ・メモリのRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する (FAARPEREN = 1) 場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

- 備考1. 初期状態では、パリティ・エラー・リセット発生禁止 (FAARPEREN = 0) になっています。
- 備考2. パリティ・エラー・リセット発生禁止 (FAARPEREN = 0) を設定時にパリティ・エラーが発生した場合も、FAARPEF フラグはセット (1) されます。なお、FAARPEF = 1 の状態で、パリティ・エラー・リセット発生許可 (FAARPEREN = 1) に設定すると、FAARPEREN をセット (1) した時点でパリティ・エラー・リセットが発生します。
- 備考3. RPECTL2レジスタのFAARPEFフラグは、パリティ・エラー発生時にセット (1) され、0の書き込み、またはすべてのリセット要因によりクリア (0) されます。FAARPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもFAARPEF = 1を保持します。
- 備考4. RPECTLレジスタがパリティ・エラー・リセット発生禁止 (RPERDIS = 1) の場合は、FAARPERENの設定によらず、パリティ・エラーは発生しません。

35.3.5 RAMガード機能

- ★ このRAMガード機能は、指定した空間のデータを保護するための機能です。
RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になります。保護された指定領域の読み出しは可能です。

35.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

IAWCTLレジスタは、不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。
RAMガード機能では、GRAM1、GRAM0ビットを使用します。
IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図35-13 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	GRAM1	GRAM0	RAM保護空間 ^注					
	0	0	無効。RAMへの書き込み可能					
	0	1	RAM先頭アドレスから128バイト					
	1	0	RAM先頭アドレスから256バイト					
	1	1	RAM先頭アドレスから512バイト					

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

備考 本ガード機能は、CPU、データ・トランスファ・コントローラ (DTC) からのアクセスが対象です。

35.3.6 SFRガード機能

- ★ SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、保護されたSFRへの書き込みは無効になります。保護されたSFRの読み出しは可能です。

35.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

IAWCTLレジスタは、不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図35-14 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
GPORT		ポート機能の制御レジスタの保護						
0		無効。ポート機能の制御レジスタの読み出し／書き込み可能。						
1		有効。ポート機能の制御レジスタの書き込み無効。読み出し可能。 [保護されるSFR] PMxx, PUxx, PIMxx, POMxx, PMCAxx, PDIDISxx, CCDE, CCSx ^注						
GINT		割り込み機能のレジスタの保護						
0		無効。割り込み機能の制御レジスタの読み出し／書き込み可能。						
1		有効。割り込み機能の制御レジスタの書き込み無効。読み出し可能。 [保護されるSFR] IFxx, MKxx, PRxx, EGPx, EGNx						
GCSC		クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの保護						
0		無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの読み出し／書き込み可能。						
1		有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの書き込み無効。読み出し可能。 [保護されるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL, CKSEL, PRRx, MOCODIV, WKUPMD, DSCCTL, MCKC, HSCLKSEL, PFBER						

注 ポート・レジスタ (Pxx) は保護されません。

35.3.7 不正メモリ・アクセス検出機能

IEC60730 では CPU と割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、**図 35 - 15 不正アクセス検出空間**で「NG」と記載した範囲になります。

図35 - 15 不正アクセス検出空間

		アクセス可否		
		読み出し	書き込み	命令フェッチ
FFFFFH	特殊機能レジスタ (SFR) 256バイト	OK	OK	NG
FFF00H FFEFFH				OK
FFEE0H FFEDFH	汎用レジスタ 32バイト			
	RAM [※]			OK
zzzzzH		OK	NG	NG
	Mirror			
	データ・フラッシュ・メモリ			
F1000H F0FFFH	使用不可			OK
F0800H F07FFH	特殊機能レジスタ (2nd SFR) 2 Kバイト		OK	NG
F0000H EFFFFH	使用不可		NG	OK
EE000H EDFFFH				
	使用不可	NG	NG	NG
yyyyyH xxxxxH		OK	NG	OK
	コード・フラッシュ・メモリ [※]			
00000H				

注 各製品のコード・フラッシュ・メモリ、RAM、検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し/命令フェッチ 時の検出最下位 アドレス (yyyyyH)
R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L)	65536 × 8ビット (00000H-0FFFFH)	12288 × 8ビット (FCF00H-FFEFFH)	10000H
R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L)	131072 × 8ビット (00000H-1FFFFH)	12288 × 8ビット (FCF00H-FFEFFH)	20000H

35.3.7.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

IAWCTL レジスタは、不正メモリ・アクセスの検出可否、RAM/SFR ガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では、IAWEN ビットを使用します。

IAWCTL レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図35-16 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
IAWEN注	不正メモリ・アクセスの検出制御							
0	不正メモリ・アクセスの検出無効							
1	不正メモリ・アクセスの検出有効							

注 IAWENビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイト (000C0H) のWDTON = 1 (ウォッチドッグ・タイマ動作許可) のとき、IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

35.3.8 不正メモリ・アクセス検出制御レジスタのガード機能

IEC60730 では動作中の安全を保証しなければいけないため、CPU が暴走しても不正メモリ・アクセス検出機能の有効・無効設定が書き換わってしまわないように保護する必要があります。

不正メモリ・アクセス検出制御レジスタのガード機能は、不正メモリ・アクセス検出制御レジスタ (IAWCTL) を保護するための機能です。不正メモリ・アクセス検出制御レジスタのガード機能を設定すると、不正メモリ・アクセス検出制御レジスタへの書き込みは無効になります。保護された不正メモリ・アクセス検出制御レジスタの読み出しは可能です。

35.3.8.1 IAWCTL レジスタ・ガードレジスタ (GIAWCTL)

GIAWCTL レジスタは、不正メモリ・アクセスの検出機能の有効/無効設定を保護するレジスタです。不正メモリ・アクセス検出制御レジスタ (IAWCTL) を書き換えるためには、GIAWCTL.GIA ビットに 0 を設定して保護を解除する必要があります。

GIAWCTL レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図35 - 17 IAWCTL レジスタ・ガードレジスタ (GIAWCTL) のフォーマット

アドレス : F048EH
 リセット時: 0000H
 R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GIAWCTL	RKEY[7:0]							
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	GIA
RKEY[7:0]	機能							
ビット 7-0	GIAWCTL レジスタ書き換えを制御するキーコードです。GIA ビットを書き換える場合は、RKEY[7:0] = A4H に設定して、16 ビット単位で同時に書いてください。 本ビットは、読むと 00H が読めます。							
GIA	IAWCTL レジスタの書き換え制御							
0	IAWCTL レジスタを保護しない (書き換え許可)							
1	IAWCTL レジスタを保護する (書き換え不可)							

35.3.9 周波数検出機能

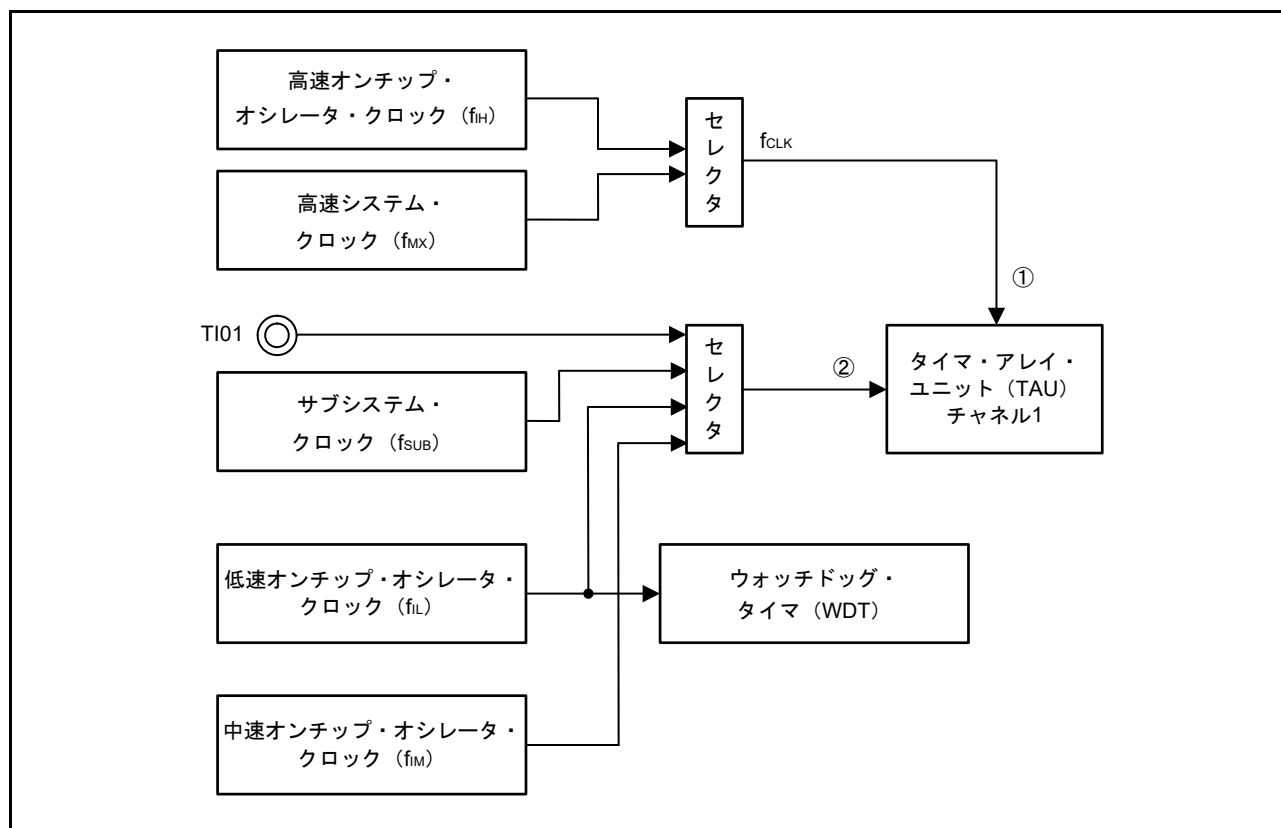
IEC60730 では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は、CPU / 周辺ハードウェア・クロック周波数 (fCLK) を使用し、タイマ・アレイ・ユニット (TAU) のチャンネル1の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロックまたは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

- ① CPU / 周辺ハードウェア・クロック周波数 (fCLK) :
 - 高速オンチップ・オシレータ・クロック (fiH)
 - 高速システム・クロック (fMX)
- ② タイマ・アレイ・ユニットのチャンネル1入力 :
 - チャンネル1のタイマ入力 (TI01)
 - 低速オンチップ・オシレータ・クロック (fiL)
 - サブシステム・クロック (fSUB)
 - 中速オンチップ・オシレータ・クロック (fiM)

図35 - 18 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、10.8.4 入力パルス間隔測定としての動作を参照してください。

35.3.9.1 タイマ入出力選択レジスタ0 (TIOS0)

TIOS0 レジスタは、タイマ・アレイ・ユニットのチャンネル0, 1のタイマ入力およびチャンネル2のタイマ出力を選択するレジスタです。

TIOS0 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図35 - 19 タイマ入出力選択レジスタ0 (TIOS0) のフォーマット

アドレス : F0074H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TIOS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI01) の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子 (TI01) の入力信号
0	1	1	中速オンチップ・オシレータ・クロック (fIM)
1	0	0	低速オンチップ・オシレータ・クロック (fIL)
1	0	1	サブシステム・クロック (fSUB)
上記以外			設定禁止

35.3.10 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル (ANLxx)、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、**安全機能 (A/Dテスト) アプリケーションノート (R01AN5607)** を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

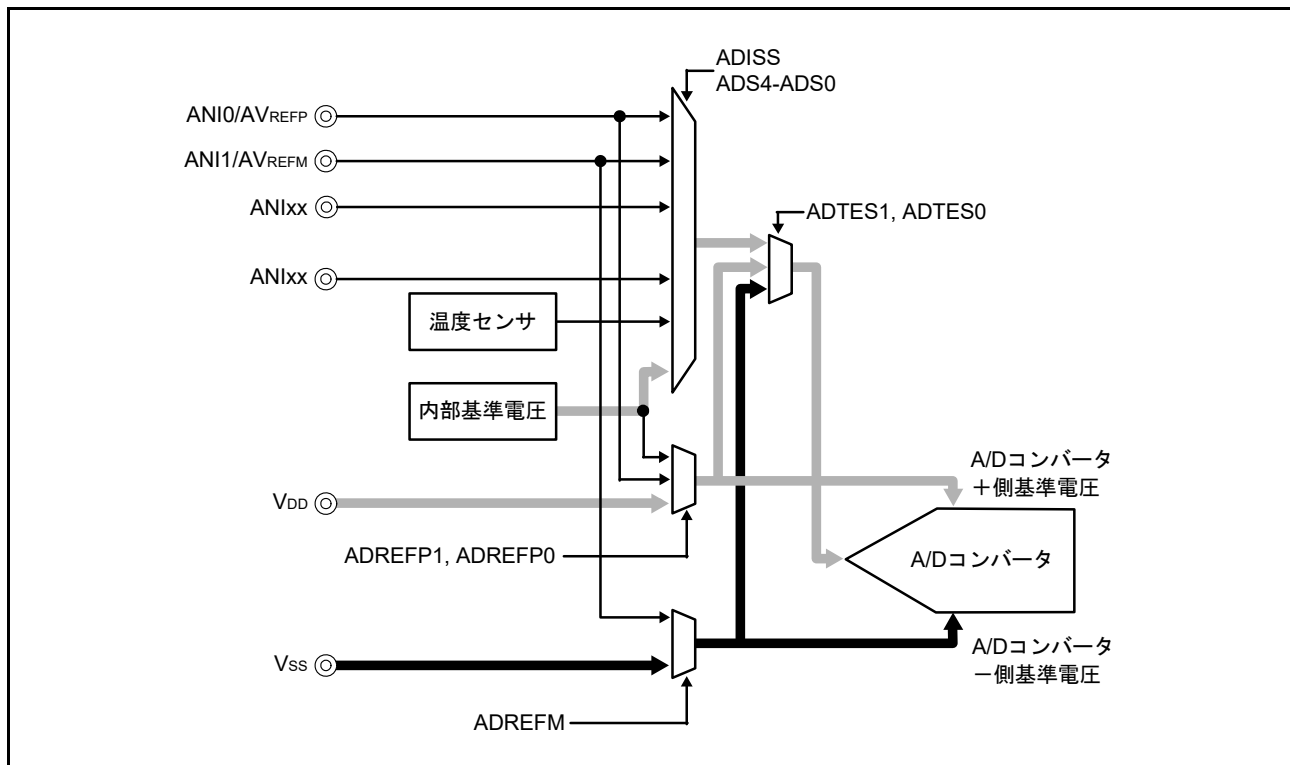
- ① ADTESレジスタでA/D変換対象にANLxx端子を選択 (ADTES1, ADTES0 = 00B)。
- ② ANLxx端子のA/D変換を行う (変換結果1-1)。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択 (ADTES1, ADTES0 = 10B)。
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う (変換結果2-1)。
- ⑤ ADTESレジスタでA/D変換対象にANLxx端子を選択 (ADTES1, ADTES0 = 00B)。
- ⑥ ANLxx端子のA/D変換を行う (変換結果1-2)。
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択 (ADTES1, ADTES0 = 11B)。
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う (変換結果2-2)。
- ⑨ ADTESレジスタでA/D変換対象にANLxx端子を選択 (ADTES1, ADTES0 = 00B)。
- ⑩ ANLxx端子のA/D変換を行う (変換結果1-3)。
- ⑪ 「変換結果1-1」 = 「変換結果1-2」 = 「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0、「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①~⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

備考2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図35 - 20 A/Dテスト機能の構成



35.3.10.1 A/Dテスト・レジスタ (ADTES)

ADTES レジスタは、A/D 変換対象に A/D コンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャンネル (ANLxx)、温度センサ出力電圧、内部基準電圧を選択するレジスタです。

A/D テスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D 変換対象に-側の基準電圧を選択
- フルスケールを測定するときは、A/D 変換対象に+側の基準電圧を選択

ADTES レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図35-21 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D 変換対象
0	0	ANLxx / 温度センサ出力電圧 / 内部基準電圧 (アナログ入力チャンネル指定レジスタ (ADS) で設定)
1	0	-側の基準電圧 (ADM2 レジスタの ADREFM ビットで選択)
1	1	+側の基準電圧 (ADM2 レジスタの ADREFP1, ADREFP0 ビットで選択)
上記以外		設定禁止

注意 ビット7-2には、必ず0を設定してください。

35.3.10.2 アナログ入力チャンネル指定レジスタ (ADS)

ADS レジスタは、A/D 変換するアナログ電圧の入力チャンネルを指定するレジスタです。

A/D テスト機能で ANI_{xx} / 温度センサ出力電圧 / 内部基準電圧を測定するときは、A/D テスト・レジスタ (ADTES) を 00H に設定してください。

ADS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図35-22 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

<セレクト・モード (ADM0.ADM0 = 0) >

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P22/ANI2 端子
0	0	0	0	1	1	ANI3	P23/ANI3 端子
0	0	0	1	0	0	ANI4	P24/ANI4 端子注4
0	0	0	1	0	1	ANI5	P25/ANI5 端子注4
0	0	0	1	1	0	ANI6	P26/ANI6 端子注4
0	0	0	1	1	1	ANI7	P27/ANI7 端子注3
0	1	0	0	0	0	ANI16	P03/ANI16 端子注5
0	1	0	0	0	1	ANI17	P02/ANI17 端子注5
0	1	0	0	1	0	ANI18	P147/ANI18 端子注1
0	1	0	0	1	1	ANI19	P120/ANI19 端子
0	1	0	1	0	0	ANI20	P10/ANI20 端子
0	1	0	1	0	1	ANI21	P11/ANI21 端子
0	1	0	1	1	0	ANI22	P12/ANI22 端子
0	1	0	1	1	1	ANI23	P13/ANI23 端子
0	1	1	0	0	0	ANI24	P14/ANI24 端子注1
0	1	1	0	0	1	ANI25	P15/ANI25 端子注2
0	1	1	0	1	0	ANI26	P16/ANI26 端子注6
0	1	1	0	1	1	ANI27	P17/ANI27 端子注2
0	1	1	1	0	0	ANI28	P146/ANI28 端子注3
0	1	1	1	0	1	ANI29	P00/ANI29 端子
0	1	1	1	1	0	ANI30	P01/ANI30 端子
1	0	0	0	0	0	—	温度センサ出力電圧
1	0	0	0	0	1	—	内部基準電圧
上記以外						設定禁止	

注1. 24ピン製品にはありません。

注2. 20, 24ピン製品にはありません。

注3. 20~40ピン製品にはありません。

(注、注意は次ページに続きます)

- 注4. 20～32ピン製品にはありません。
- 注5. 20～48ピン製品にはありません。
- 注6. 20ピン製品にはありません。
- 注意1. ビット6, 5には、必ず0を設定してください。
- 注意2. PMCAレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ (PM0-PM2, PM12, PM14) で入力モードに選択してください。
- 注意3. ポート・モード・コントロールA・レジスタ (PMCA0-PMCA2, PMCA12, PMCA14) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
- 注意4. ADISSビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
- 注意5. AVREFPをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。
- 注意6. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。
- 注意7. ADISS = 1に設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、20.7.6 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時) を参照してください。
- 注意8. STOPモードへ移行またはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1のときは、43.3.2 電源電流特性または44.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (IADREF) の電流値が加算されます。
- 注意9. ADISS = 1に設定した場合、ハードウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。
- 注意10. A/Dコンバータの自己チェックを行う場合、アドバンスド・モードはOFF (ADM3.ADVMOD = 0) で実施してください。

35.3.11 入出力端子のデジタル出力信号レベル検出機能

IEC60730 では I/O 機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルを読み出すことができます。

35.3.11.1 ポート・モード選択レジスタ (PMS)

PMS レジスタは、端子が出力モード (ポート・モード・レジスタ (PMm) の PMmn ビットが 0) 時に、ポートの出カラッチの値を読み出すか、端子の出力レベルを読み出すかを選択するレジスタです。

PMS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図35-23 ポート・モード選択レジスタ (PMS) のフォーマット

アドレス : F007BH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	端子が出力モード時に読み出すデータの選択
0	Pmn レジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

備考 m = 0-7, 12, 14
n = 0-7

注意1. PMS レジスタの PMS0 ビットに 1 を設定時は、1 ビット・メモリ操作命令でポート・レジスタ (Pxx) を書き換えないでください。ポート・レジスタ (Pxx) を書き換える場合は、8 ビット・メモリ操作命令を使用してください。

注意2. 入力ポート (P123, P124, P137) および出力ポート (P130) は、PMS 制御は無効です。

注意3. ビット 7-1 には、必ず 0 を設定してください。

注意4. PMCAmn ビットが 1 の場合、PMS 制御は無効です。

PMCAmn ビットが 1 の設定で端子のデジタル出力レベルを読み出す場合は、PMCAmn ビットに 0 を設定してから PMS0 ビットに 1 を設定してください。

備考 m = 0-3, 5-7, 10-12, 14, 15
n = 0-7

注意5. PDIDISmn ビットが 1 の場合、PMS 制御は無効です。

PDIDISmn ビットが 1 の設定で端子のデジタル出力レベルを読み出す場合は、PDIDISmn ビットに 0 を設定してから PMS0 ビットに 1 を設定してください。

備考 m = 0, 1, 3, 5, 7
n = 0-7

35.3.12 UARTループバック機能

IEC60730 では、外部インタフェース（通信）の異常診断ができることを推奨されています。

UART ループバック機能では、RxDn 端子を外部から遮断、MCU 内部で接続し、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックすることで、UART の送信データの正常出力を確認することができます。

UART ループバック機能選択時に、TxDn 端子からの送信データが通信相手に影響を与えないようにするには、ポート機能を使って制御することができます。

- 負論理での通信の場合

TxDn 端子を兼用しているポートを入力モード（PMxx = 1）に設定し、内蔵プルアップ抵抗を接続（PUxx = 1）して、1を保持します。

- 正論理での通信の場合

TxDn 端子を兼用しているポートから0を出力（PMxx = 0, Pxx = 0）します。

備考 n = 0-2

35.3.12.1 UARTループバック選択レジスタ（ULBS）

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。UART チャンネルごとに制御できるビットを持ち、各チャンネルに該当するビットに1を設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図35-24 UARTループバック選択レジスタ（ULBS）のフォーマット

アドレス : F0079H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	<2>	<1>	<0>
ULBS	0	0	0	0	0	ULBS2	ULBS1	ULBS0
ULBS2	UART2ループバック機能の選択							
0	シリアル・アレイ・ユニットUART2のRxD2端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS1	UART1ループバック機能の選択							
0	シリアル・アレイ・ユニットUART1のRxD1端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS0	UART0ループバック機能の選択							
0	シリアル・アレイ・ユニットUART0のRxD0端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							

注意 ビット7-3には、必ず0を設定してください。

第36章 セキュリティ機能

36.1 真性乱数発生器 (TRNG)

36.1.1 真性乱数発生器の機能

真性乱数発生器は 32 ビットの乱数シード (真性乱数) を生成します。

36.1.2 真性乱数発生器を制御するレジスタ

真性乱数発生器を制御するレジスタを次に示します。

- 乱数シード・コマンド・レジスタ0 (TRNGSCR0)
- 乱数シード・データ・レジスタ (TRNGSDR)

36.1.2.1 乱数シード・コマンド・レジスタ0 (TRNGSCR0)

TRNGSCR0 レジスタは、真性乱数発生器の動作を制御するレジスタです。TRNGEN ビットに 1 を設定したあとに TRNGST ビットに 1 を設定すると乱数シードの生成を開始します。乱数シードの生成が完了すると TRNGRDY フラグが 1 にセットされます。

TRNGST ビットはトリガ・ビットのため、1 を設定したあとはすぐに 0 にクリアされます。

TRNGSCR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図36-1 乱数シード・コマンド・レジスタ0 (TRNGSCR0) のフォーマット

アドレス : F0542H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	<3>	<2>	1	0
TRNGSCR0	TRNGRDY	0	0	0	TRNGEN	TRNGST	0	0
TRNGRDY	乱数シード生成状態フラグ							
0	乱数シードの生成が完了していない、またはTRNGSDRレジスタを4回読み出し後							
1	乱数シードの生成完了							
TRNGEN	真性乱数発生器の動作制御							
0	真性乱数発生器の動作停止							
1	真性乱数発生器の動作許可							
TRNGST	乱数シード生成開始トリガ							
0	トリガ動作せず							
1	乱数シードの生成動作開始							

36.1.2.2 乱数シード・データ・レジスタ (TRNGSDR)

TRNGSDR レジスタは、真性乱数発生器で生成された乱数シードを格納する 8 ビットのレジスタです。TRNGRDY フラグが 1 にセットされた後に乱数シードを読み出せます。乱数シードは 32 ビット長ですので 4 回に分けて読み出してください。4 回読み出すと TRNGSCR0 レジスタの TRNGRDY ビットは 0 にクリアされます。

TRNGSDR レジスタは、8 ビット・メモリ操作命令で読み出します。

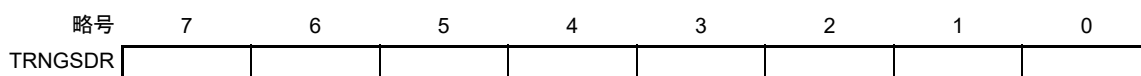
リセット信号の発生により、00H になります。

図36-2 乱数シード・データ・レジスタ (TRNGSDR) のフォーマット

アドレス : F0540H

リセット時: 00H

R/W属性 : R

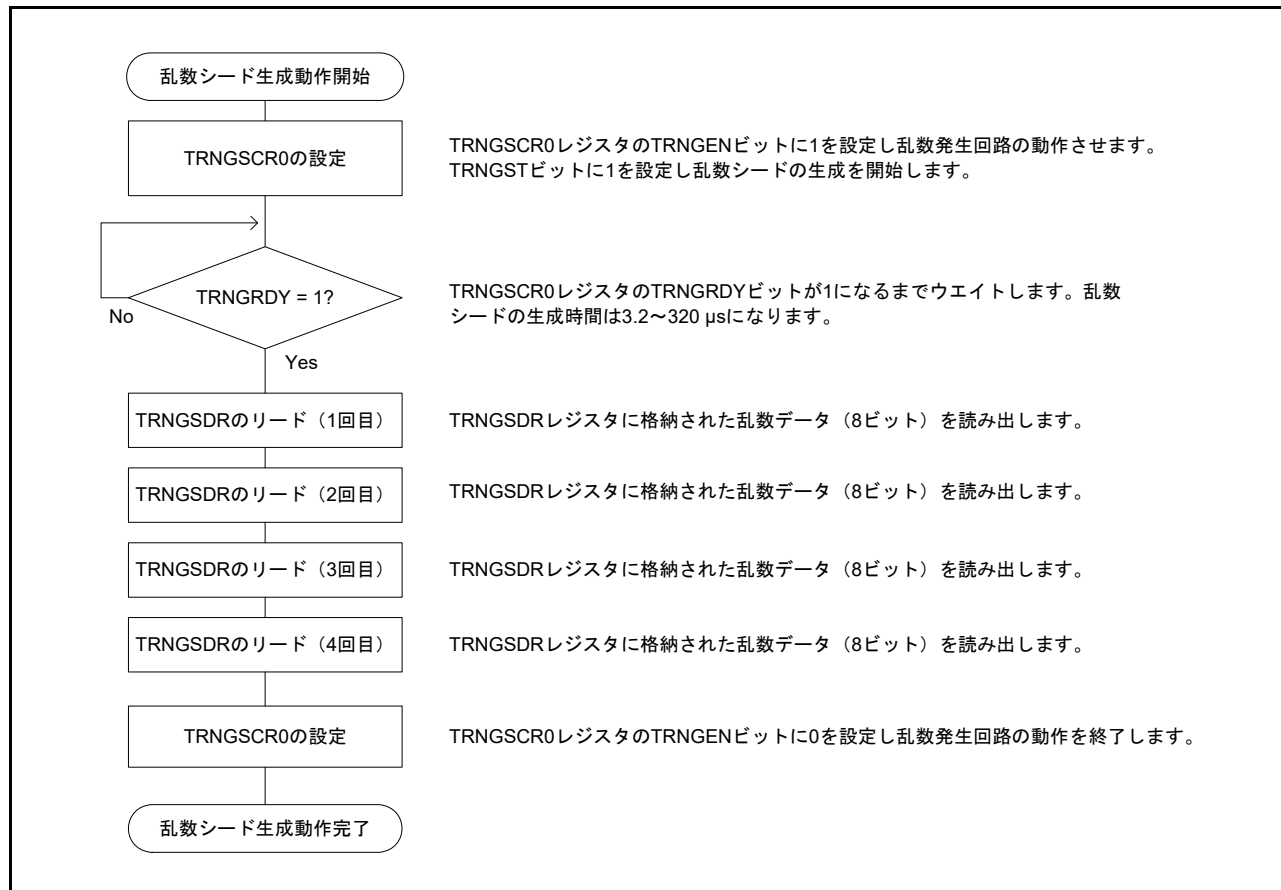


注意 TRNGRDY = 0 の場合、TRNGSDR レジスタは 00H になります。

36.1.3 真性乱数発生器の動作

図 36 - 3 に真性乱数発生器による乱数シードの生成手順を示します。

図 36 - 3 真性乱数発生器による乱数シードの生成手順



36.2 フラッシュ・リード・プロテクション

36.2.1 フラッシュ・リード・プロテクションの機能

フラッシュ・リード・プロテクションは、コード・フラッシュ・メモリ領域の指定した領域をCPU, DTCからの読み出しを不可にする機能です。ただし、指定した領域はCPUによる命令フェッチは可能です。また、シリアル・プログラミング・モードでは、フラッシュ・リード・プロテクションの機能で読み出しが不可となったコード・フラッシュ・メモリ領域をベリファイすることも可能です。

フラッシュ・リード・プロテクションは、fCLK ≤ 32 MHz かつプリフェッチバッファが無効の場合でのみ使用できます。

36.2.2 フラッシュ・リード・プロテクションの設定

フラッシュ・リード・プロテクションの設定は、フラッシュ・メモリ・プログラマによるシリアル・プログラミングまたはセルフ・プログラミングによってエクストラ領域に設定します。

初期状態ではコード・フラッシュ・メモリの全領域が読み出し可能な状態に設定されています。読み出しを不可にするコード・フラッシュ・メモリの領域をフラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックに設定し、フラッシュ・リード・プロテクション設定の変更禁止を有効にしてください。設定した範囲のコード・フラッシュ・メモリ領域の読み出しは不可となります。

また、フラッシュ・リード・プロテクション設定の変更禁止を有効にすると、フラッシュ・リード・プロテクションのスタート・ブロックとエンド・ブロックの設定が固定され、対象の領域を保護することができます。このフラッシュ・リード・プロテクション設定の変更禁止は、フラッシュ・プログラマで解除することができます。

ただし、フラッシュ・リード・プロテクション設定の変更禁止を解除する場合は、全フラッシュ・メモリ領域を消去する必要があるため、解除したあとにフラッシュ・リード・プロテクションの領域に書き込まれたデータを読み出すことはできません。表 36-1 にフラッシュ・リード・プロテクションの設定と機能、表 36-2 にフラッシュ・リード・プロテクションの設定方法を示します。

表36-1 フラッシュ・リード・プロテクションの設定と機能

設定	機能
フラッシュ・リード・プロテクション・スタート・ブロック	読み出しを不可にする領域のスタート・ブロック番号を指定します。設定値はブロック001Hからコード・フラッシュ・メモリの上限アドレスのブロック番号を設定してください。 スタート・ブロックに指定したブロック番号は読み出し不可領域に含まれます。 スタート・ブロックにブロック000Hを設定することは禁止です。 初期状態は1FFHに設定されています。
フラッシュ・リード・プロテクション・エンド・ブロック	読み出しを不可にする領域のエンド・ブロック番号を指定します。設定値はスタート・ブロック番号以上からコード・フラッシュ・メモリの上限アドレスのブロック番号を設定することができます。エンド・ブロックに指定したブロック番号は読み出し不可領域に含まれます。 初期状態は1FFHに設定されています。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックの設定を固定します。この設定が有効の場合はスタート・ブロックとエンド・ブロックの設定を変更できません。

アドレスとブロック番号の関係については、表 3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

表36-2 フラッシュ・リード・プロテクションの設定方法

設定	設定方法	変更方法
フラッシュ・リード・プロテクション・スタート・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション・エンド・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマで設定を解除 ^注 できます。解除した場合はスタート・ブロックとエンド・ブロックも初期化されます。

注 設定の解除は“ブロック消去禁止”、“ブート領域の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域がブランクの場合でのみ可能です。

- 注意1.** エクストラ領域に設定されたフラッシュ・リード・プロテクションの設定値は読み出すことができません。フラッシュ・リード・プロテクションが設定されていることを確認する場合は読み出し不可領域を読み出してFFHであることを確認してください。
- 注意2.** フラッシュ・リード・プロテクションで読み出し不可領域を設定する場合は、必ずスタート・アドレスとエンド・アドレスの両方のブロックを指定してください。
- 注意3.** 読み出し不可領域はオンチップ・デバッグでも読み出すことはできないため、読み出し不可領域に配置されたプログラムのオンチップ・デバッグによるデバッグはできません。したがって、プログラムのデバッグ完了後にフラッシュ・リード・プロテクションを設定してください。
- 注意4.** ブート・クラスタ0または1の一部の領域に読み出し不可領域を設定した場合、ブート・スワップによって読み出し不可領域の内容が読み出し可能な領域にスワップされる可能性があります。ブート・クラスタ0または1に読み出し不可領域を設定する場合は“ブート領域の書き換え禁止”を設定してブート・スワップ自体を禁止にしてください。
- 注意5.** プリフェッチバッファが有効である場合、フラッシュ・リード・プロテクションの動作は保証できません。
- 注意6.** セルフ・プログラミングでフラッシュ・リード・プロテクションを設定した場合は、リセット解除後にその設定が有効となります。

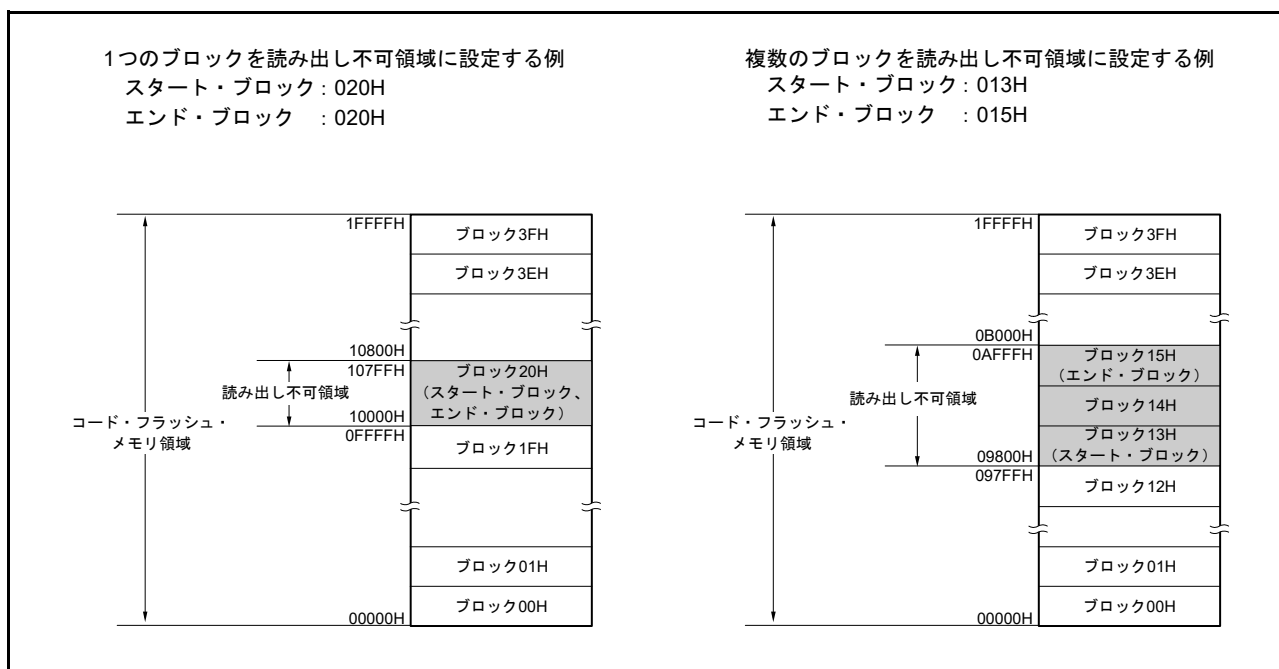
36.2.3 動作説明

フラッシュ・リード・プロテクションで読み出し不可に設定した領域は、CPU, DTC による読み出し値はすべて FFH になります。

読み出し不可領域での CPU による命令フェッチは可能です。ただし、読み出し不可領域で実行するプログラムでも不可領域のデータの読み出しはできません。読み出し不可領域で実行するプログラムで使用するデータはプロテクトされていない領域に配置してください。

図 36 - 4 にフラッシュ・リード・プロテクションによる読み出し不可領域の設定例を示します。

図36 - 4 フラッシュ・リード・プロテクションによる読み出し不可領域の設定例



読み出し不可領域を設定後にコード・フラッシュ・メモリの全領域を読み出し可能に再設定する場合は、フラッシュ・リード・プロテクション設定の変更禁止が無効の状態、フラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックを 1FFH に設定してください。

36.3 ユニーク ID

36.3.1 ユニーク ID の機能

ユニーク ID はエクストラ領域に格納されている製品個体ごとのユニークな値です。

ユニーク ID は MCU を製造する際に個々の製品に書き込まれます。値の変更はできません。

データ長は 16 バイト (128 ビット) です。

注意 ユニーク ID はランダム値ではありません。

36.3.2 製品名のアスキー・コード

製品名のアスキー・コードはエクストラ領域に格納されています。

製品名にはピン数とフラッシュ・メモリ・サイズが含まれますので、製品名による条件分岐ができます。

表 36-3 にユニーク ID のメモリ・マップを示します。

表36-3 ユニークIDのメモリ・マップ

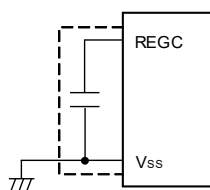
アドレス	名称	格納値
EFFC0H EFFCFH	ユニーク ID	製品個体ごとのユニークな値
EFFD5H	製品名のアスキー・コード	52H "R"
EFFD6H		37H "7"
EFFD7H		46H "F"
EFFD8H		31H "1"
EFFD9H		30H "0"
EFFDAH		31H "1"
EFFDBH		47H "G"
EFFDCH		36H "7" : 20ピン
		37H "8" : 24ピン
		38H "9" : 25ピン
	41H "A" : 30ピン	
	42H "B" : 32ピン	
	45H "E" : 40ピン	
EFFDDH	46H "F" : 44ピン	
	47H "G" : 48ピン	
	4AH "J" : 52ピン	
	4CH "L" : 64ピン	
		45H "E" : フラッシュ・メモリ 64 KB
		47H "G" : フラッシュ・メモリ 128 KB

第37章 レギュレータ

37.1 レギュレータの概要

RL78/G24 は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC 端子にはレギュレータ安定として、コンデンサ (0.47 ~ 1 μ F) を介し、Vss に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

REGC 端子を外部回路の基準電圧として使用することができます。REGC 端子に接続する外部回路の入力インピーダンスは 1.5 M Ω 以上にしてください。REGC 端子の電圧は 1.5 V (Typ.)、電圧範囲は 1.38 ~ 1.60 V になります。



注意 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、1.5 V です。

第38章 オプション・バイト

38.1 オプション・バイトの機能

RL78/G24 のフラッシュ・メモリの 000C0H-000C3H は、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3H は 040C0H-040C3H と切り替わるので、040C0H-040C3H にも 000C0H-000C3H と同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

38.1.1 ユーザ・オプション・バイト (000C0H-000C2H/040C0H-040C2H)

(1) 000C0H/040C0H

- ウォッチドッグ・タイマの動作
 - カウンタの動作許可／禁止
 - HALT/STOP モード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウィンドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - インターバル割り込みを使用する／使用しない

注意 ブート・スワップ時は、000C0H と 040C0H が切り替わるので、040C0H にも 000C0H と同じ値を設定してください。

(2) 000C1H/040C1H

- LVD0 の動作モード設定
 - リセット・モード
 - 割り込みモード
 - LVD0 オフ (RESET 端子による外部リセット入力を使用)
- LVD0 検出レベル (VLVD0) の設定

注意1. 電源立ち上がり時は、43.4 AC 特性または44.4 AC 特性に示す動作電圧範囲まで電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に STOP モードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は、ユーザ・オプション・バイト (000C2H/040C2H) の設定により変わります。

注意2. ブート・スワップ時は、000C1H と 040C1H が切り替わるので、040C1H にも 000C1H と同じ値を設定してください。

(3) 000C2H/040C2H

- フラッシュの動作モード設定
使用するメイン・システム・クロック周波数 (fMAIN)、電源電圧 (VDD) に応じて設定
 - HS (高速メイン) モード
 - LS (低速メイン) モード
 - LP (低電力メイン) モード
- 高速オンチップ・オシレータの周波数設定
 - 1 ~ 32, 48, 64 MHz から選択

注意 ブート・スワップ時は、000C2Hと040C2Hが切り替わるので、040C2Hにも000C2Hと同じ値を設定してください。

38.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/040C3H)

- オンチップ・デバッグ動作制御
 - オンチップ・デバッグ動作禁止/許可
- セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理
 - オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

注意 ブート・スワップ時は、000C3Hと040C3Hが切り替わるので、040C3Hにも000C3Hと同じ値を設定してください。

38.2 ユーザ・オプション・バイトのフォーマット

図38-1 ユーザ・オプション・バイト (000C0H/040C0H) のフォーマット

アドレス : 000C0H/040C0H^{注1}

略号	7	6	5	4	3	2	1	0
	WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用							
0	インターバル割り込みを使用しない							
1	オーバフロー時間の75% + 1/4 f _{IL} 到達時にインターバル割り込みを発生する							
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間 ^{注2}						
0	0	設定禁止						
0	1	50%						
1	0	設定禁止						
1	1	100%						
WDTON	ウォッチドッグ・タイマのカウンタの動作制御							
0	カウンタ動作禁止 (リセット解除後、カウント停止)							
1	カウンタ動作許可 (リセット解除後、カウント開始)							
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 37.683 kHz (Max.)の場合)					
0	0	0	2 ⁷ /f _{IL} (3.39 ms)					
0	0	1	2 ⁸ /f _{IL} (6.79 ms)					
0	1	0	2 ⁹ /f _{IL} (13.58 ms)					
0	1	1	2 ¹⁰ /f _{IL} (27.17 ms)					
1	0	0	2 ¹² /f _{IL} (108.69 ms)					
1	0	1	2 ¹⁴ /f _{IL} (434.78 ms)					
1	1	0	2 ¹⁵ /f _{IL} (869.56 ms)					
1	1	1	2 ¹⁷ /f _{IL} (3478.26 ms)					
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)							
0	HALT/STOPモード時、カウンタ動作停止 ^{注2}							
1	HALT/STOPモード時、カウンタ動作許可							

注1. ブート・スワップ時は、000C0Hと040C0Hが切り替わるので、040C0Hにも000C0Hと同じ値を設定してください。

注2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

図38-2 ユーザ・オプション・バイト (000C1H/040C1H) のフォーマット

アドレス : 000C1H/040C1H^注

略号	7	6	5	4	3	2	1	0
	LVD0EN	LVD0SEL	1	1	1	LVD0V2	LVD0V1	LVD0V0

LVD0の設定 (リセット・モード)

検出電圧		オプション・バイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
1.69 V	1.65 V	1	1	1	1	1
1.90 V	1.86 V			1	1	0
2.38 V	2.33 V			1	0	1
2.67 V	2.62 V			1	0	0
2.97 V	2.91 V			0	1	1
3.96 V	3.88 V			0	1	0
—				上記以外は設定禁止		

LVD0の設定 (割り込みモード)

検出電圧		オプション・バイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
1.69 V	1.65 V	1	0	1	1	1
1.90 V	1.86 V			1	1	0
2.38 V	2.33 V			1	0	1
2.67 V	2.62 V			1	0	0
2.97 V	2.91 V			0	1	1
3.96 V	3.88 V			0	1	0
—				上記以外は設定禁止		

LVD0オフ (RESET端子により外部リセットを使用)

検出電圧		オプション・バイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
—	—	0	×	0	1	0
—		上記以外は設定禁止				

注 ブート・スワップ時は、000C1Hと040C1Hが切り替わるので、040C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット5-3には、必ず1を書き込んでください。

(注意、備考は次ページに続きます)

注意2. 電源立ち上がり時は、43.4 AC特性または44.4 AC特性に示す動作電圧範囲まで電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前にSTOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は、ユーザ・オプション・バイト (000C2H/040C2H) の設定により変わります。

備考1. × : Don't care

備考2. LVD0回路の詳細は、第34章 電圧検出回路 (LVD) を参照してください。

備考3. 検出電圧はTyp.値です。詳細は、43.6.7 LVD回路特性または44.6.7 LVD回路特性を参照してください。

図38-3 ユーザ・オプション・バイト (000C2H/040C2H) のフォーマット

アドレス : 000C2H/040C2H^{注1}

略号	7	6	5	4	3	2	1	0	
	CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	
	CMODE1	CMODE0	フラッシュ動作モード		動作周波数範囲		動作電圧範囲		
	0	1	LP (低電力メイン) モード		1~2 MHz (フラッシュ・メモリ 書き換え不可)		1.6~5.5 V		
	1	0	LS (低速メイン) モード		1~4 MHz (フラッシュ・メモリ 書き換え不可)		1.6~5.5 V		
					1~24 MHz		1.8~5.5 V		
	1	1	HS (高速メイン) モード (プリフェッチOFF)		1~4 MHz (フラッシュ・メモリ 書き換え不可)		1.6~5.5 V		
					1~32 MHz		1.8~5.5 V		
			HS (高速メイン) モード (プリフェッチON)		48 MHz		2.4~5.5 V		
	上記以外		設定禁止						
	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数			
						fHOCO	fIH ^{注2}		
	1	1	0	0	0	64 MHz	32 MHz		
	1	0	0	0	0	48 MHz	24 MHz		
	0	1	0	0	0	32 MHz	32 MHz		
	0	0	0	0	0	24 MHz	24 MHz		
	0	1	0	0	1	16 MHz	16 MHz		
	0	0	0	0	1	12 MHz	12 MHz		
	0	1	0	1	0	8 MHz	8 MHz		
	0	0	0	1	0	6 MHz	6 MHz		
	0	1	0	1	1	4 MHz	4 MHz		
	0	0	0	1	1	3 MHz	3 MHz		
	0	1	1	0	0	2 MHz	2 MHz		
	0	1	1	0	1	1 MHz	1 MHz		
	上記以外					設定禁止			

注1. ブート・スワップ時は、000C2Hと040C2Hが切り替わるので、040C2Hにも000C2Hと同じ値を設定してください。

注2. ユーザ・オプション・バイトで高速オンチップ・オシレータ (fIH) の周波数に48 MHzを選択することはできません。48 MHzへの切り替え手順については、第9章 クロック発生回路を参照してください。

注意1. ビット5には、必ず1を書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、43.4 AC特性または44.4 AC特性を参照してください。

38.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図38-4 オンチップ・デバッグ・オプション・バイト（000C3H/040C3H）のフォーマット

アドレス：000C3H/040C3H^注

略号	7	6	5	4	3	2	1	0
OCDENSET		0	0	0	0	1	0	OCDERSD
OCDENSET	OCDERSD	オンチップ・デバッグ動作制御						
0	0	オンチップ・デバッグ動作禁止						
0	1	設定禁止						
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する						
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去しない						

注 ブート・スワップ時は、000C3Hと040C3Hが切り替わるので、040C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き換わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値（010B）を設定してください。

38.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定のほかリンク・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

.CSEG	OPT_BYTE	
.DB	0x36	; ウォッチドッグ・タイマのインターバル割り込みを使用しない、 ; ウォッチドッグ・タイマ動作許可、 ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%、 ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$ 、 ; HALT/STOPモード時、ウォッチドッグ・タイマの動作停止
.DB	0xBF	; VLVD0に立ち上がり1.69 V、立ち下がり1.65 Vを選択 ; LVD0の動作モードに割り込みモードを選択
.DB	0x6D	; フラッシュの動作モードにLP（低電力メイン）モード、 ; 高速オンチップ・オシレータ・クロック周波数1 MHzを選択
.DB	0x85	; オンチップ・デバッグ動作許可、セキュリティ ID 認証失敗時に ; フラッシュ・メモリのデータを消去しない。

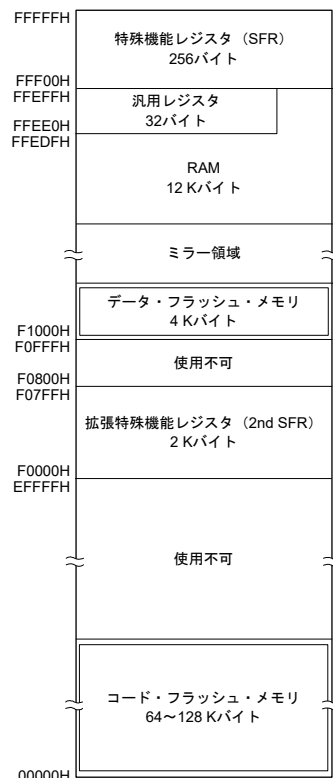
セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3H は 040C0H-040C3H と切り替わります。そのため 040C0H-040C3H にも 000C0H-000C3H と同じ値を、次のように記述してください。

OPT2	.CSEG	AT	0x040C0
	.DB		0x36 ; ウォッチドッグ・タイマのインターバル割り込みを使用しない、 ; ウォッチドッグ・タイマ動作許可、 ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%、 ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$ 、 ; HALT/STOPモード時、ウォッチドッグ・タイマの動作停止
	.DB		0xBF ; VLVD0に立ち上がり1.69 V、立ち下がり1.65 Vを選択 ; LVD0の動作モードに割り込みモードを選択
	.DB		0x6D ; フラッシュの動作モードにLP（低電力メイン）モード、 ; 高速オンチップ・オシレータ・クロック周波数1 MHzを選択
	.DB		0x85 ; オンチップ・デバッグ動作許可、セキュリティ ID 認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG 疑似命令の再配置属性名は OPT_BYTE を使用してください。なお、ブート・スワップ機能を使用するために 040C0H-040C3H にオプション・バイトを指定する場合は、再配置属性 AT を使用して絶対番地を指定してください。

第39章 フラッシュ・メモリ

RL78 マイクロコントローラは、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ・メモリ領域”、データの格納に最適な“データ・フラッシュ・メモリ領域”、フラッシュ・メモリの動作設定やセキュリティ設定を格納する“エクストラ領域”があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス（UART 通信）によるシリアル・プログラミングまたはセルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング（39.1参照）
専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。
- 外部デバイス（UART内蔵）によるシリアル・プログラミング（39.2参照）
外部デバイス（マイコンやASIC）とのUART通信を使用してオンボード上で書き込みができます。
- セルフ・プログラミング（39.6参照）
ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

注意 フラッシュ・メモリを書き換える際、中速オンチップ・オシレータは停止（MIOEN = 0）させ、メイン・オンチップ・オシレータ・クロック（foco）は高速オンチップ・オシレータを選択（MCM1 = 0）してください。フラッシュ動作モード選択レジスタ（FLMODE）は変更しないでください。

データ・フラッシュ・メモリは、セルフ・プログラミングを利用して、ユーザ・プログラム実行中に書き換えることができます（バックグラウンド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては、**39.6 セルフ・プログラミング**および**39.10 データ・フラッシュ**を参照してください。

コード・フラッシュとデータ・フラッシュには書き換わりを保護する機能があります。詳細は、**35.3.3 フラッシュ・メモリ・ガード機能**を参照してください。

39.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6
- E2, E2 Lite オンチップ・デバッグング・エミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表39-1 RL78/G24と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号				
信号名		入出力	端子機能		20ピン	24ピン	25ピン	30ピン	32ピン
PG-FP6	E2, E2 Lite オンチップ・ デバッグ・ エミュレータ				LSSOP	HWQFN (4×4)	WFLGA (3×3)	LSSOP (300mil)	HWQFN (5×5) LQFP (7×7)
—	TOOL0	入出力	送受信信号	TOOL0/ P40	4	1	A5	5	1
SI/RxD	—	入出力							
—	RESET	出力	リセット信号	RESET	5	2	B5	6	2
/RESET	—	出力							
VCC	VDD	入出力	VDD電圧生成/ 電源監視	VDD	10	8	B3	12	8
GND		—	グランド	VSS	9	7	B2	11	7
				REGC ^注	8	6	A2	10	6
FLMD1	EMVDD	—	TOOL0端子駆動 電源	VDD	10	8	B3	12	8

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号				
信号名		入出力	端子機能		40ピン	44ピン	48ピン	52ピン	64ピン
PG-FP6	E2, E2 Lite オンチップ・ デバッグ・ エミュレータ				HWQFN (6×6)	LQFP (10×10)	LFQFP (7×7) HWQFN (7×7)	LQFP (10×10)	LQFP (12×12) LFQFP (10×10)
—	TOOL0	入出力	送受信信号	TOOL0/ P40	1	2	39	4	5
SI/RxD	—	入出力							
—	RESET	出力	リセット信号	RESET	2	3	40	5	6
/RESET	—	出力							
VCC	VDD	入出力	VDD電圧生成/ 電源監視	VDD	10	11	48	13	15
GND		—	グランド	VSS	9	10	47	12	13
				EVSS	—	—	—	—	14
				REGC ^注	8	9	46	11	12
FLMD1	EMVDD	—	TOOL0端子駆動 電源	EVDD	—	—	—	—	16

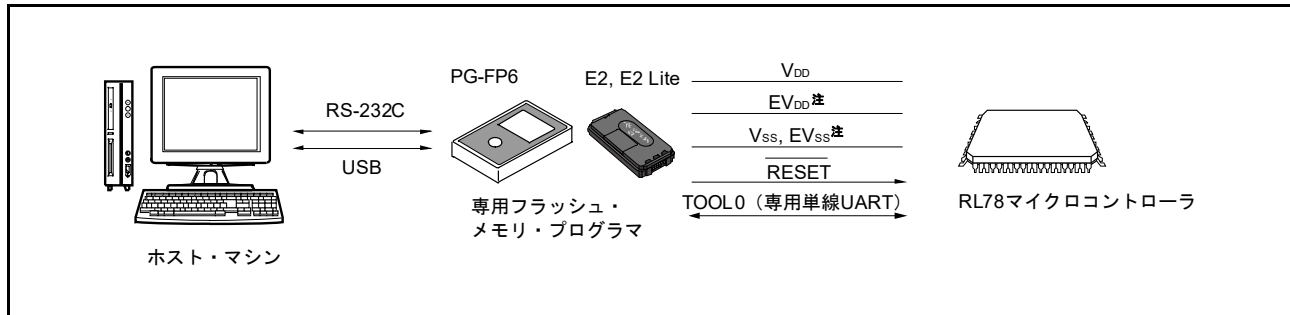
注 REGC端子はコンデンサ (0.47～1 μF) を介してグランドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラムによるプログラミング時にはオープンでかまいません。

39.1.1 プログラミング環境

RL78 マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図39-1 フラッシュ・メモリにプログラムを書き込むための環境



注 64ピン製品のみ

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

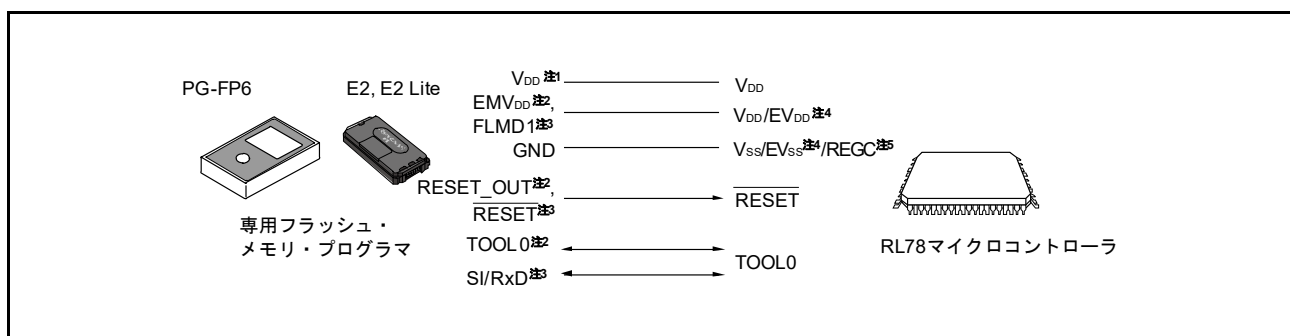
また、専用フラッシュ・メモリ・プログラマとRL78 マイクロコントローラとのインタフェースはTOOL0 端子を使用して、専用の単線 UART で書き込み/消去の操作を行います。

39.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78 マイクロコントローラとの通信は、RL78 マイクロコントローラのTOOL0 端子を使用して、専用の単線 UART によるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図39-2 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP6の信号名はVccです。

注2. E2, E2 Lite オンチップ・デバッグ・エミュレータ使用時。

注3. PG-FP6使用時。

注4. 64ピン製品のみ

注5. REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78 マイクロコントローラに対して次の信号を生成します。
詳細は、PG-FP6 または E2, E2 Lite オンチップ・デバッグ・エミュレータのマニュアルを参照してください。

表39 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			RL78 マイクロコントローラ	
信号名		入出力	端子機能	端子名 ^{注1}
PG-FP6	E2, E2 Lite オンチップ・ デバッグ・エミュレータ			
VCC	VDD	入出力	VDD 電圧生成／電圧監視	VDD
GND		—	グラウンド	VSS, EVSS, REGC ^{注2}
FLMD1	EMVDD	—	TOOL0 端子駆動電源	VDD, EVDD
RESET	—	出力	リセット信号	RESET
—	RESET_OUT	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. 接続先端子は、製品によって異なります。詳細は、**表39 - 1**を参照してください。

注2. REGC端子はコンデンサ (0.47 ~ 1 μF) を介してグラウンドに接続してください。

39.2 外部デバイス（UART内蔵）によるシリアル・プログラミング

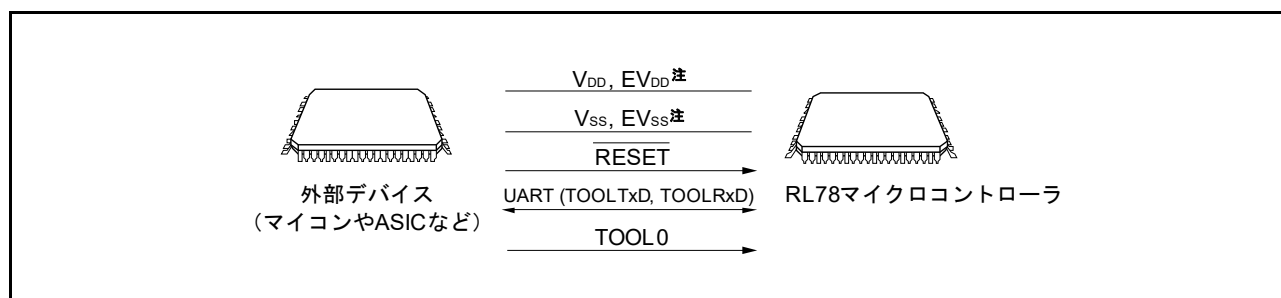
オンボード上でRL78 マイクロコントローラと UART 接続されている外部デバイス（マイコンやASIC）を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、**RL78 マイクロコントローラ（RL78 プロトコルC）シリアルプログラミング編アプリケーションノート（R01AN5756）**を参照してください。

39.2.1 プログラミング環境

RL78 マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図39-3 フラッシュ・メモリにプログラムを書き込むための環境



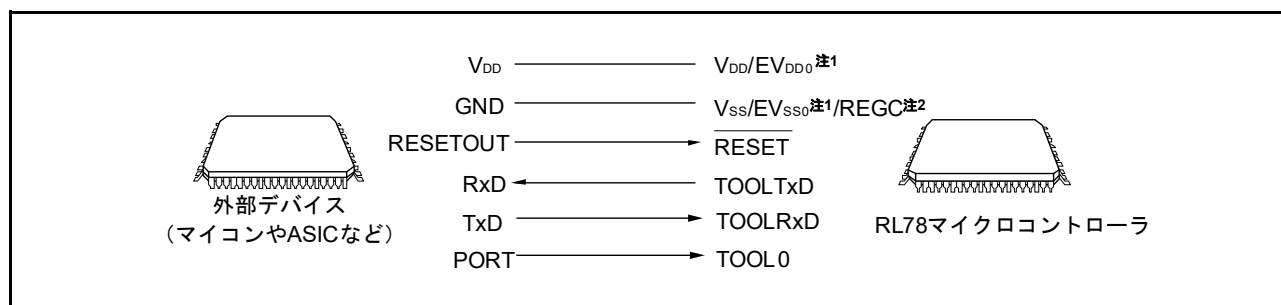
注 64ピン製品のみ

39.2.2 通信方式

外部デバイスと RL78 マイクロコントローラとの通信は、RL78 マイクロコントローラの TOOLTxD, TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図39 - 4 外部デバイスとの通信



注1. 64ピン製品のみ

注2. REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

外部デバイスは RL78 マイクロコントローラに対して次の信号を生成します。

表39 - 3 端子接続一覧

信号名	外部デバイス		RL78 マイクロコントローラ
	入出力	端子機能	端子名
VDD	入出力	VDD 電圧生成/電圧監視	VDD, EVDD ^{注1}
GND	—	グラウンド	VSS, REGC ^{注2} , EVSS ^{注1}
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注1. 64ピン製品のみ

注2. REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

39.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、**39.4.2 フラッシュ・メモリ・プログラミング・モード**を参照してください。

39.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 k Ω の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時：外部リセット解除時から t_{HD} の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

備考1. t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部／内部リセット解除から TOOL0 端子をロウ・レベルに保持する時間。**43.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**または**44.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**を参照してください。

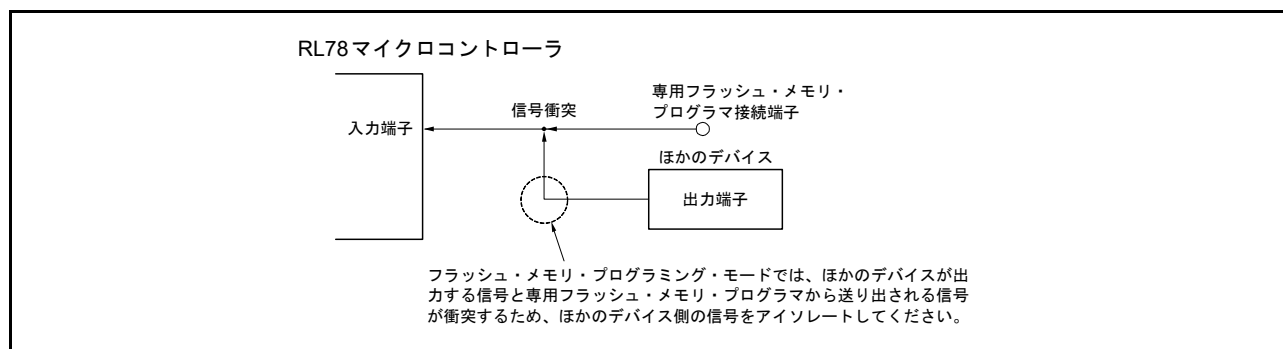
備考2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART（TOOL0端子）を使用するので、SAUやIICAの端子は使用しません。

39.3.2 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図39-5 信号の衝突 ($\overline{\text{RESET}}$ 端子)



39.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してVDDに接続するか、抵抗を介してVSSに接続するなどの端子処理が必要です。

39.3.4 REGC 端子

REGC 端子は、通常動作時と同様に、特性の良いコンデンサ (0.47 ~ 1 μ F) を介し、GND に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

39.3.5 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、VDD 端子はフラッシュ・メモリ・プログラムのVDD^注に、VSS 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、フラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、VDD、VSS 端子はフラッシュ・メモリ・プログラムのVDD^注、GND と必ず接続してください。

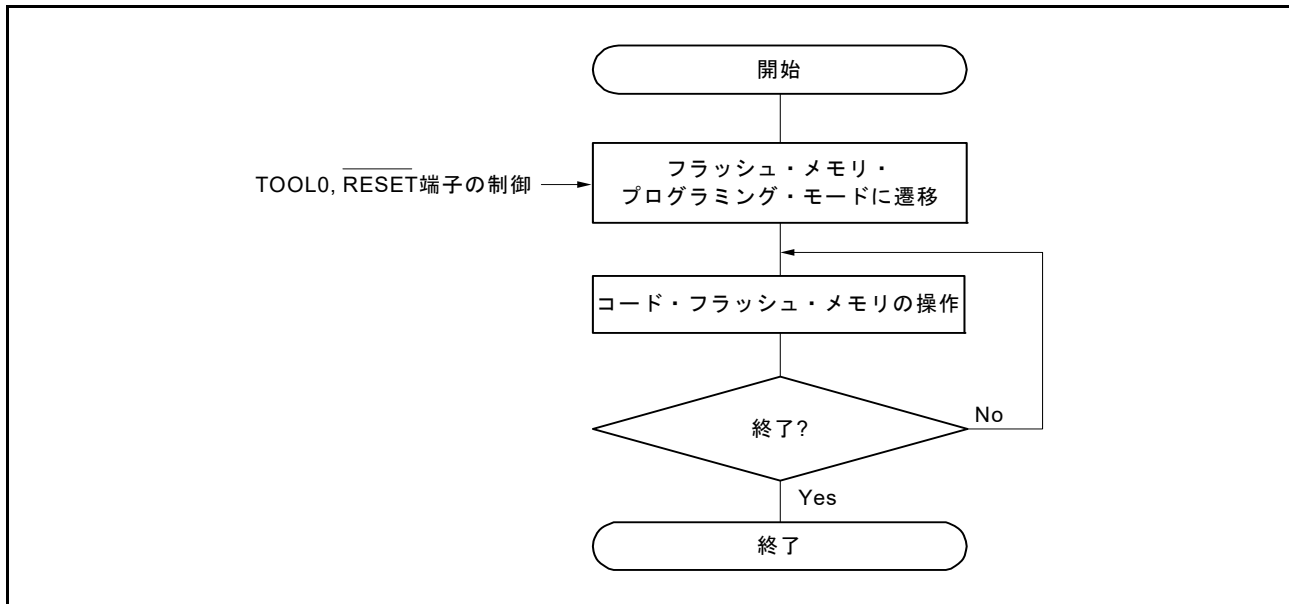
注 PG-FP6の信号名はVCCです。

39.4 プログラミング方法

39.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図39-6 コード・フラッシュ・メモリの操作手順



39.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

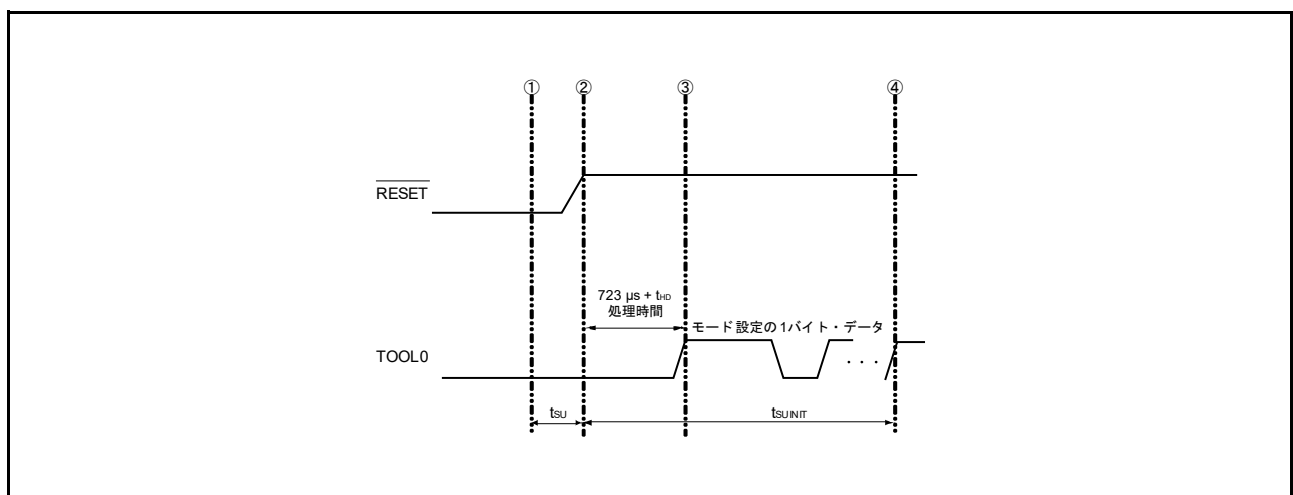
<外部デバイス（UART 通信）を使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します（表39-4参照）。その後、図39-7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78マイクロコントローラ（RL78プロトコルC）シリアルプログラミング編アプリケーションノート（R01AN5756）を参照してください。

表39-4 リセット解除時のTOOL0端子への印加電圧と動作モードの関係

TOOL0	動作モード
EVDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図39-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるポー・レート設定完了

備考 t_{SUINIT} : この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）。

詳細は、43.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングまたは 44.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

39.4.3 通信方式

RL78 マイクロコントローラの通信方式は、次のようになります。

表39 - 5 通信方式

通信方式	Standard 設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線 UART (フラッシュ・メモリ・ プログラマ使用時、または 外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用 UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマの GUI 上の Standard 設定における設定項目です。

注2. UART 通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

39.4.4 通信コマンド

RL78 マイクロコントローラは、表 39 - 6 に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスから RL78 マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、**RL78 マイクロコントローラ (RL78 プロトコル C) シリアルプログラミング編アプリケーションノート (R01AN5756)** を参照してください。

表39 - 6 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます ^注 。
情報取得	Silicon Signature	RL78 マイクロコントローラ情報 (品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど) を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART 選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報（品名、ファームウェア・バージョンなど）を取得することができます。

表 39 - 7 にシグネチャ・データ一覧、表 39 - 8 にシグネチャ・データ例を示します。

表39 - 7 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名 (ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例) 00000H-1FFFFH (128 Kバイト) → FFH, FFH, 01H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例) F1000H-F1FFFFH (4 Kバイト) → FFH, 1FH, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例) Ver.1.02 → 01H, 00H, 02H)	3バイト

表39 - 8 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ (16進数)
デバイス・コード	RL78 プロトコルC	3バイト	10 00 0A
デバイス名	R7F101GLG	10バイト	52 = “R” 37 = “7” 46 = “F” 31 = “1” 30 = “0” 31 = “1” 47 = “G” 4C = “L” 47 = “G” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-1FFFFH (128 Kバイト)	3バイト	FF FF 1F
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F1FFFFH (4 Kバイト)	3バイト	FF 1F 0F
ファームウェア・バージョン	Ver.1.02	3バイト	01 00 02

39.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)

専用フラッシュ・メモリ・プログラマとして PG-FP6 を使用した場合の各コマンド処理時間 (参考値) を次に示します。

表39 - 9 PG-FP6使用時の各コマンド処理時間 (参考値)

PG-FP6のコマンド	コード・フラッシュ	
	64 Kバイト	128 Kバイト
消去	1.0 s	1.3 s
書き込み	1.6 s	2.9 s
ベリファイ	1.2 s	2.2 s
消去後、書き込み	2.3 s	4.0 s

備考 コマンド処理時間 (参考値) はTyp.値です。次に条件を示します。

Port : TOOL0 (単線UART)

Speed : 1,000,000 bps

39.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップデートなどができるようになります。詳細は、**RL78 ファミリ Renesas Flash Driver RL78 Type01 ユーザーズマニュアル (R20UT4830)** を参照してください。

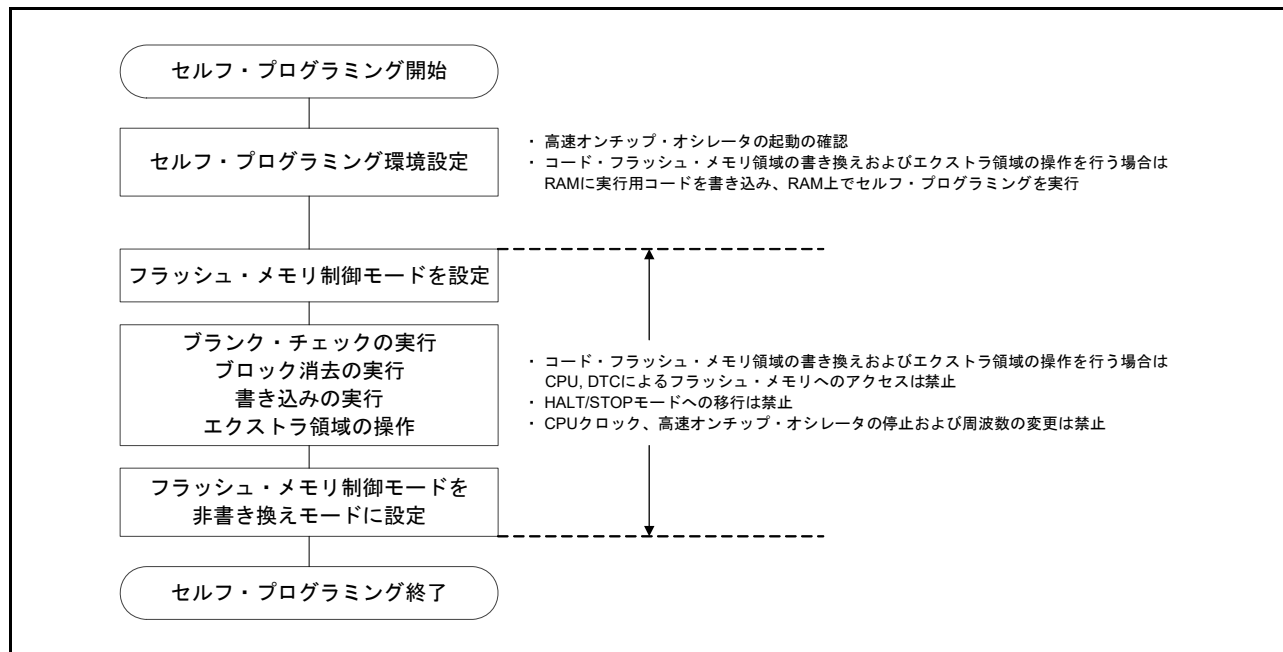
- 注意1. CPUがサブシステム・クロック (fsUB) 動作時の場合、セルフ・プログラミング機能は使用できません。
- 注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグが0にクリアされている状態でセルフ・プログラミングを実行してください。割り込みを許可する場合は、EI命令によりIEフラグが1にセットされている状態で、受け付ける割り込みの割り込みマスク・フラグを0にクリアして、セルフ・プログラミングを実行してください。
- 注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP = 0) させ、5 μ s 経過後にセルフ・プログラミングを実行してください。また、中速オンチップ・オシレータは停止 (MIOEN = 0) させ、メイン・オンチップ・オシレータ・クロック (foco) は高速オンチップ・オシレータを選択 (MCM1 = 0) してください。
- 注意4. フラッシュ・メモリの書き換え中は、フラッシュ動作モード選択レジスタ (FLMODE) は変更しないでください。

39.6.1 セルフ・プログラミング手順

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。

セルフ・プログラミングで使用するレジスタの詳細は、**39.6.2 フラッシュ・メモリを制御するレジスタ**を参照してください。

図39-8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



39.6.2 フラッシュ・メモリを制御するレジスタ

フラッシュ・メモリを制御するレジスタを次に示します。

- フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL)
- フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL)
- フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL)
- フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)
- フラッシュ・ステータス・レジスタ (PFS)
- フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)
- フラッシュ領域選択レジスタ (FLARS)
- フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)
- フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)
- フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE)
- フラッシュ・レジスタ初期化レジスタ (FLRST)
- フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL)
- フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC)
- フラッシュ FSW モニタ・レジスタ E (FLFSWE)
- フラッシュ FSW モニタ・レジスタ S (FLFSWS)
- データ・フラッシュ・コントロール・レジスタ (DFLCTL)
- 割り込みベクタ移動許可レジスタ (VECTCTRL)
- 割り込みベクタ変更レジスタ 0, 1 (FLSIVC0, FLSIVC1)

39.6.2.1 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL)

FLAPH, FLAPL レジスタは、フラッシュ・メモリ・プログラミング時の先頭アドレスを指定するレジスタです。FLAPH レジスタは、8 ビット・メモリ操作命令、FLAPL レジスタは、16 ビット・メモリ操作命令で設定します。以下のいずれかの条件で FLAPH レジスタは 00H、FLAPL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図39-9 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL) のフォーマット

アドレス : F02C4H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLAPH	0	0	0	0	FLAP19	FLAP18	FLAP17	FLAP16

アドレス : F02C2H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLAPL	FLAP15	FLAP14	FLAP13	FLAP12	FLAP11	FLAP10	FLAP9	FLAP8
	7	6	5	4	3	2	1	0
	FLAP7	FLAP6	FLAP5	FLAP4	FLAP3	FLAP2	FLAP1	FLAP0

注意1. FLAPH, FLAPL レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが1 (コード・フラッシュ・メモリ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが1 (データ・フラッシュ・メモリ領域はプログラミング・モード)

注意2. エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0, ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0) のときに書き換えと読み出しを実行してください。

39.6.2.2 フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL)

FLSEDH, FLSEDL レジスタは、フラッシュ・メモリ・プログラミング時の最終アドレスを指定するレジスタです。FLSEDH レジスタは、8 ビット・メモリ操作命令、FLSEDL レジスタは、16 ビット・メモリ操作命令で設定します。以下のいずれかの条件で FLSEDH レジスタは 00H、FLSEDL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図39-10 フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL) のフォーマット

アドレス : F02C8H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLSEDH	0	0	0	0	EWA19	EWA18	EWA17	EWA16

アドレス : F02C6H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSEDL	EWA15	EWA14	EWA13	EWA12	EWA11	EWA10	EWA9	EWA8
	7	6	5	4	3	2	1	0
	EWA7	EWA6	EWA5	EWA4	EWA3	EWA2	EWA1	EWA0

注意1. FLSEDH, FLSEDL レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが1 (コード・フラッシュ・メモリ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが1 (データ・フラッシュ・メモリ領域はプログラミング・モード)

注意2. エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0, ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0) のときに書き換えと読み出しを実行してください。

注意3. コード・フラッシュ・メモリへのプログラミングでは、EWA1 および EWA0 ビットの設定は無効です。

表39 - 10 FLAPH, FLAPL, FLSEDH, FLSEDLレジスタの設定方法

コード/データ・フラッシュ 領域シーケンサの専用コマンド		FLAP, FLSEDの設定	
FSSQ	書き込み	FLAPH, FLAPL : 書き込み対象アドレス FLSEDH, FLSEDL : ALL 0	
	ブランク・チェック	1ワードの場合 : FLAPH, FLAPL 設定値 = FLSEDH, FLSEDL 設定値 2ワード以上の場合 : FLAPH, FLAPL 設定値 < FLSEDH, FLSEDL 設定値	
	ブロック消去 ^注	コード・フラッシュ	FLAPH, FLAPL : FLAP19-FLAP11ビットに先頭アドレス、FLAP10-FLAP2ビットにALL 0
			FLSEDH, FLSEDL : EWA19-EWA11ビットに最終アドレス、EWA10-EWA2ビットにALL 1
		データ・フラッシュ	FLAPH, FLAPL : FLAP19-FLAP8ビットに先頭アドレス、FLAP7-FLAP0ビットにALL 0
			FLSEDH, FLSEDL : EWA19-EWA8ビットに最終アドレス、EWA7-EWA0ビットにALL 1
FSSE	すべてのコマンド	FLAPH, FLAPL 設定値 : ALL 0	
		FLSEDH, FLSEDL 設定値 : ALL 0	

注 FLAPH, FLAPL レジスタと FLSEDH, FLSEDL レジスタは以下の条件を満たすよう設定してください。
 FLAPH, FLAPL 設定値 ≤ FLSEDH, FLSEDL 設定値

39.6.2.3 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL)

FLWH, FLWL レジスタは、フラッシュ・メモリ・プログラミング時の書き込みデータを格納するレジスタです。
FLWH, FLWL レジスタは、16 ビット・メモリ操作命令で設定します。
以下のいずれかの条件で FLWH, FLWL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1
- フラッシュ・メモリ・シーケンサの動作完了

データ・フラッシュ・メモリの書き込みデータは FLWL レジスタの下位 8 ビットに設定します。

図39-11 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL) のフォーマット

アドレス : F02CEH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWH	FLW31	FLW30	FLW29	FLW28	FLW27	FLW26	FLW25	FLW24
	7	6	5	4	3	2	1	0
	FLW23	FLW22	FLW21	FLW20	FLW19	FLW18	FLW17	FLW16

アドレス : F02CCH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWL	FLW15	FLW14	FLW13	FLW12	FLW11	FLW10	FLW9	FLW8
	7	6	5	4	3	2	1	0
	FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0

注意1. FLWH, FLWL レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが 1 (コード・フラッシュ・メモリ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが 1 (データ・フラッシュ・メモリ領域はプログラミング・モード)

注意2. エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0, ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0) のときに書き換えと読み出しを実行してください。

注意3. データ・フラッシュ・メモリへの書き込みは、FLWL レジスタの下位 8 ビットに書き込みデータを設定してください。それ以外のビットは 0 を設定してください。

39.6.2.4 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)

PFCMD レジスタは、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) への書き込み動作に対して、プロテクションを施すためレジスタです。

FLPMC レジスタへの書き込みを有効にするには、特定シーケンスに従って A5H を書き込む必要があります。特定シーケンスの実行手順については、**39.6.3 フラッシュ・メモリ制御モードの設定**を参照してください。

PFCMD レジスタは、8 ビット・メモリ操作命令で設定します。

図39-12 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) のフォーマット

アドレス : F00C0H

リセット時: 不定

R/W属性 : W

略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

39.6.2.5 フラッシュ・ステータス・レジスタ (PFS)

PFS レジスタは、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) への書き込み動作に対して、プロテクション・エラーの発生を示すレジスタです。

FPRERR ビットのセット/クリア条件は、**39.6.3.1 特定シーケンス実行手順**を参照してください。

PFS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

図39-13 フラッシュ・ステータス・レジスタ (PFS) のフォーマット

アドレス : F00C1H

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	0	0	FPRERR

FPRERR	プロテクション・エラー・フラグ
0	エラー発生なし
1	エラー発生あり

39.6.2.6 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

FLPMC レジスタは、フラッシュ・メモリへの書き込みの禁止/許可やプログラミング・モードを選択するレジスタです。

FLPMC レジスタへの書き込みを有効にするには、特定シーケンスの実行が必要です。特定シーケンスの実行手順については、**39.6.3 フラッシュ・メモリ制御モードの設定**を参照してください。

FLPMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、08H になります。

図39-14 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

アドレス : F02C0H

リセット時: 08H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	EEEMD	FWEDIS	0	FLSPM	0
EEEMD	データ・フラッシュ・メモリのプログラミング・モード選択							
	0	非書き換えモード						
	1	プログラミング・モード						
FWEDIS	コード・フラッシュ・メモリの消去/書き込み許可/禁止のソフトウェア制御 ^注							
	0	消去/書き込み許可						
	1	消去/書き込み禁止						
FLSPM	コード・フラッシュ・メモリのプログラミング・モード選択							
	0	非書き換えモード						
	1	プログラミング・モード						

注 コード・フラッシュ・メモリの消去終了時または書き込み終了時まで、必ず0を設定してください。

注意 エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0, ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0) のときに FLPMC レジスタへの書き換えは有効になります。

39.6.2.7 フラッシュ領域選択レジスタ (FLARS)

FLARS レジスタは、セルフ・プログラミングの対象とするフラッシュ・メモリの領域を選択するレジスタです。

FLARS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図39 - 15 フラッシュ領域選択レジスタ (FLARS) のフォーマット

アドレス : F02C1H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLARS	0	0	0	0	0	0	0	EXA
EXA	セルフ・プログラミングの対象とするフラッシュ・メモリ領域の選択							
0	コード/データ・フラッシュ・メモリ領域							
1	エクストラ領域							

注意 FLARS レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが1 (コード・フラッシュ・メモリ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが1 (データ・フラッシュ・メモリ領域はプログラミング・モード)

39.6.2.8 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)

FSSET レジスタは、フラッシュ・メモリ・シーケンサの動作周波数設定、ブート・スワップ機能の初期設定をするレジスタです。

FSSET レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図39-16 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) のフォーマット

アドレス : F00B6H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FSSET	TMSPMD	TMBTSEL	FSET5	FSET4	FSET3	FSET2	FSET1	FSET0
TMSPMD	ブート領域設定の選択 ^注							
0	エクストラ領域のセキュリティ・フラグとブート・スワップ機能の設定領域のEX bit8 (BTFLG) の値に従ってブート領域を指定 BTFLG = 0 : ブート領域はブート・クラスタ1 BTFLG = 1 : ブート領域はブート・クラスタ0 (デフォルト)							
1	TMBTSEL ビットに従ってブート領域を指定							
TMBTSEL	TMSPMD = 1 のときのブート領域の指定							
0	ブート領域にブート・クラスタ0を指定							
1	ブート領域にブート・クラスタ1を指定							
FSET5- FSET0	フラッシュ・メモリ・シーケンサの動作周波数の設定							
—	フラッシュ・メモリ・シーケンサの動作周波数を設定。 フラッシュ・メモリ・シーケンサの動作周波数と FSET5-FSET0 ビットの設定値の関係は表 39-11 を参照してください。							

注 FLSEC レジスタの BTPR ビットが 0 (ブート領域書き換え禁止) の場合、TMSPMD, TMBTSEL ビットは設定できません。

注意1. FSSET レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLMPC レジスタの FLSPM ビットが 1 (コード・フラッシュ・メモリ領域はプログラミング・モード)
- FLMPC レジスタの EEEMD ビットが 1 (データ・フラッシュ・メモリ領域はプログラミング・モード)

注意2. BTFLG ビットによるブート領域の設定は設定後ただちに反映されます。リセット解除後にブート領域を変更したい場合は、TMSPMD ビットが 0 の状態で FSASTL レジスタの MBTSEL ビットを読み出して、同じ値を TMBTSEL ビットに設定してください。その後、TMSPMD ビットに 1 を設定し、エクストラ領域シーケンサで BTFLG ビットにリセット解除時にブート領域として起動するブート・クラスタを指定してください。次のリセット解除時に BTFLG ビットに設定したブート・クラスタをブート領域として起動します。

表39 - 11 フラッシュ・メモリ・シーケンサの動作周波数とFSET5-FSET0ビットの設定値の関係

動作周波数 (MHz)	FSET5-FSET0ビット の設定値	動作周波数 (MHz)	FSET5-FSET0ビット の設定値	動作周波数 (MHz)	FSET5-FSET0ビット の設定値
48	100111B	—	—	—	—
32	011111B	31	011110B	30	011101B
29	011100B	28	011011B	27	011010B
26	011001B	25	011000B	24	010111B
23	010110B	22	010101B	21	010100B
20	010011B	19	010010B	18	010001B
17	010000B	16	001111B	15	001110B
14	001101B	13	001100B	12	001011B
11	001010B	10	001001B	9	001000B
8	000111B	7	000110B	6	000101B
5	000100B	4	000011B	3	000010B
2	000001B	1	000000B	—	—

注意 CPUが動作する周波数の小数点以下を切り上げた整数値を設定してください。

(例：CPUが動作する周波数が4.5 MHzの場合は、5を設定してください)

ただし、CPUが動作する周波数が4 MHz未満の場合は、整数値ではない1.5 MHzなどの周波数は使用できません。

39.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)

FSSQ レジスタは、コード/データ・フラッシュ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

コード/データ・フラッシュ領域シーケンサは、FSSQ レジスタの SQST ビットに 1 を設定すると MDCH, SQMD2-SQMD0 ビットに設定されたコマンドを実行します。

FSSQ レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図39-17 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ) のフォーマット (1/2)

アドレス : F02C5H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
FSSQ	SQST	FSSTP	0	0	MDCH	SQMD2	SQMD1	SQMD0
SQST	コード/データ・フラッシュ領域シーケンサの動作制御							
0	動作停止 ^{注1}							
1	動作開始							
FSSTP	コード/データ・フラッシュ領域シーケンサの強制停止制御							
0	強制停止しない							
1	強制停止する							

図39-17 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ) のフォーマット (2/2)

MDCH	SQMD2	SQMD1	SQMD0	コード/データ・フラッシュ領域シーケンサのコマンド
0	0	0	1	<ul style="list-style-type: none"> 書き込み FLWH, FLWHLレジスタに格納したデータをFLAPH, FLAPLレジスタで指定されるアドレスに書き込みます^{注2}。 コード・フラッシュ・メモリ領域のアドレス指定した場合は4バイトのデータを書き込みます。データ・フラッシュ・メモリ領域のアドレスを指定した場合はFLWLレジスタの下位8ビット (FLW7-FLW0) に格納された1バイトを指定したアドレスに書き込みます。
0	0	1	1	<ul style="list-style-type: none"> コード・フラッシュ・メモリ領域のブランク・チェック FLAPH, FLAPLレジスタで指定されるアドレスから、FLSEDH, FLSEDLレジスタで指定されるアドレスまでのコード・フラッシュ・メモリ領域が1であるかチェックを行います^{注3}。
1	0	1	1	<ul style="list-style-type: none"> データ・フラッシュ・メモリ領域のブランク・チェック FLAPH, FLAPLレジスタで指定されるアドレスから、FLSEDH, FLSEDLレジスタで指定されるアドレスまでのデータ・フラッシュ・メモリ領域が1であるかチェックを行います。
0	1	0	0	<ul style="list-style-type: none"> ブロック消去 FLAPH, FLAPLレジスタで指定されるアドレスからFLSEDH, FLSEDLレジスタで指定されるアドレスまでのブロックを消去します^{注4}。
上記以外				設定禁止

注1. FSASTHレジスタのSQEND = 1 (シーケンサの動作終了) を確認したあとに、SQSTビットに0を設定してコード/データ・フラッシュ領域シーケンサの動作を停止してください。

注2. コード・フラッシュ・メモリ領域へ書き込み単位は4バイトです。したがって、FLSEDLレジスタは4の倍数になるように下位2ビットは00Bを設定してください。詳細は、**39.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作**を参照してください。

注3. コード・フラッシュ・メモリ領域のブランクチェックは4バイトごとの先頭アドレスを指定します。したがって、FLSEDLレジスタは4の倍数になるように下位2ビットは00Bを設定してください。詳細は、**39.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作**を参照してください。

注4. コード・フラッシュ・メモリ領域の消去ブロック単位は2Kバイトです。また、データ・フラッシュ・メモリの消去ブロック単位は256バイトです。消去アドレスの指定は、消去するブロックがすべて含まれるように先頭アドレスから終了アドレスを指定してください。詳細は、**39.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作**、**39.6.6.5 データ・フラッシュ・メモリ領域書き換えの操作**を参照してください。また、アドレスとブロック番号の関係については、**表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

注意 FSSQレジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMCレジスタのFLSPMビットが1 (コード・フラッシュ・メモリ領域はプログラミング・モード) かつ FWEDISビットが0 (コード・フラッシュ・メモリの消去/書き込み許可)
- FLPMCレジスタのEEEMDビットが1 (データ・フラッシュ・メモリ領域はプログラミング・モード)

39.6.2.10 フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE)

FSSE レジスタは、エクストラ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

フラッシュ・エクストラ領域シーケンサは、FSSE レジスタの ESQST ビットに 1 を設定すると ESQMD3-ESQMD0 ビットに設定されたコマンドを実行します。

FSSE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図39 - 18 フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) のフォーマット (1/2)

アドレス : F00B7H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
FSSE	ESQST	0	0	0	ESQMD3	ESQMD2	ESQMD1	ESQMD0
ESQST	エクストラ領域シーケンサの動作制御							
0	動作停止注							
1	動作開始							

図39-18 フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) のフォーマット (2/2)

ESQMD3	ESQMD2	ESQMD1	ESQMD0	エクストラ領域シーケンサのコマンド
0	0	0	1	<ul style="list-style-type: none"> フラッシュ・シールド・ウィンドウの設定領域への書き込み FLWH, FLWL レジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・シールド・ウィンドウの設定領域に書き込みます。フラッシュ・シールド・ウィンドウ・モード制御、スタート・ブロック、エンド・ブロックを設定します。フラッシュ・シールド・ウィンドウの設定領域のEX bit15 (FSPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQER) が1になります。
0	1	1	0	<ul style="list-style-type: none"> フラッシュ・リード・プロテクションの設定領域への書き込み FLWH, FLWL レジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・リード・プロテクションの設定領域に書き込みます。フラッシュ・リード・プロテクション設定の変更禁止、スタート・ブロック、エンド・ブロックを設定します。 フラッシュ・リード・プロテクションの設定領域のEX bit31 (SWPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQER) が1になります。
0	1	1	1	<ul style="list-style-type: none"> セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み FLWH, FLWL レジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・メモリのセキュリティ・フラグとブート・スワップ機能の設定領域に書き込みます。ブロック消去禁止、書き込み禁止、ブート領域の書き換え禁止、ブート領域の選択を設定します。 セキュリティ・フラグとブート・スワップ機能の設定領域のEX bit9 (BTPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQER) が1になります。
上記以外				設定禁止

注 FSASTHレジスタのESQEND = 1 (シーケンサの動作終了) を確認したあとに、ESQSTビットに0を設定してエクストラ領域シーケンサの動作を停止してください。

注意1. FSSEレジスタは以下の条件のときに書き換え可能です。

FLPMCレジスタのFLSPMビットが1 (コード・フラッシュ・メモリ領域はプログラミング・モード) かつ
FWEDISビットが0 (コード・フラッシュ・メモリの消去/書き込み許可)

注意2. エクストラ領域に書き込みをする場合は、エクストラ領域シーケンサを起動する前にFLARSレジスタのEXAビットに1を設定し、FLWH, FLWLレジスタに書き込みデータを設定してください。

注意3. ESQMD3-ESQMD0ビットは、エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTHレジスタのSQEND = 0, ESQEND = 0, FSSQレジスタのSQST = 0, FSSEレジスタのESQST = 0) のときに書き換えてください。

39.6.2.11 フラッシュ・レジスタ初期化レジスタ (FLRST)

FLRST レジスタは、エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサで使用するレジスタを初期化するレジスタです。

FLRST レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

FLRST レジスタの操作方法の詳細は、**39.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化**を参照してください。

リセット信号の発生により、00H になります。

図39-19 フラッシュ・レジスタ初期化レジスタ (FLRST) のフォーマット

アドレス : F02C9H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLRST	0	0	0	0	0	0	0	FLRST

FLRST	レジスタの初期化制御
0	リセット動作しない
1	FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE レジスタをリセットする

注意1. FLRST = 1にしてレジスタを初期化は、エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタのSQEND = 0, ESQEND = 0, FSSQ レジスタのSQST = 0, FSSE レジスタのESQST = 0のとき) でのみ可能です。

注意2. シーケンサを使用するときはFLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSEを設定する前に必ずFLRSTビットを0にしてください。また、シーケンサ動作中はFLRSTに1を設定しないでください。

39.6.2.12 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL)

FSASTH, FSASTL レジスタは、フラッシュ・メモリ・シーケンサの動作結果を確認するレジスタです。

FSASTH, FSASTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

図39-20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL) のフォーマット (1/2)

アドレス : F02CBH
 リセット時: 00H/04H
 R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTH	ESQEND	SQEND	0	0	×	0	0	0

アドレス : F02CAH
 リセット時: 不定^{注1}
 R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTL	MBTSEL	MOPEN	ESEQER	SEQER	BLER	0	WRER	ERER

ESQEND	エクストラ領域シーケンサの動作終了ステータス・フラグ
0	動作中、またはESQSTビットに0を設定して動作停止
1	動作終了

SQEND	コード/データ・フラッシュ領域シーケンサの動作終了ステータス・フラグ
0	動作中、またはSQSTビットに0を設定して動作停止
1	動作終了

MBTSEL	ブート・フラグ・モニタ・ビット ^{注2}
0	BTFLG = 1 (ブート領域はブート・クラスタ0)
1	BTFLG = 0 (ブート領域はブート・クラスタ1)

MOPEN	コード/データ・フラッシュ領域シーケンサの動作ステータス・フラグ
0	動作停止
1	動作中

ESEQER	エクストラ領域シーケンサ・エラー・フラグ
0	エラー未発生
1	エラー発生

エクストラ領域シーケンサを起動するとクリアされます。

図39 - 20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L (FSASTH, FSASTL) のフォーマット (2/2)

SEQR	フラッシュ・メモリ・シーケンサのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード/データ・フラッシュ領域シーケンサを起動するとクリアされ ます。	

BLER	ブランク・チェック・コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード/データ・フラッシュ領域シーケンサを起動するとクリアされ ます。	

WRER	書き込みコマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード/データ・フラッシュ領域シーケンサを起動するとクリアされ ます。また、書き込み中に強制終了するとリード値は不定になります。	

ERER	ブロック消去コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード/データ・フラッシュ領域シーケンサを起動するとクリアされ ます。また、ブロック消去中に強制終了するとリード値は不定になります。	

注1. MBTSELビットの初期値は、エクストラ領域に格納しているBTFLG（ブート領域切り替えフラグ）の値に依存するため、不定です。

注2. エクストラ領域に格納しているBTFLG（ブート領域切り替えフラグ）の反転値を示します。

39.6.2.13 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC)

FLSEC レジスタは、エクストラ領域に設定されたセキュリティ・フラグとブート・スワップ機能の設定情報をモニタするレジスタです。

FLSEC レジスタは、16 ビット・メモリ操作命令で読み出します。

図39-21 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC) のフォーマット

アドレス : F00B0H

リセット時: 不定

R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLSEC	0	0	0	WRPR	0	SEPR	BTPR	BTFLG
	7	6	5	4	3	2	1	0
	0	0	0	0	SWPR	0	IFPR	IDEN
WRPR	書き込み禁止フラグ							
0	書き込み禁止							
1	書き込み許可							
SEPR	ブロック消去禁止フラグ							
0	ブロック消去禁止							
1	ブロック消去許可							
BTPR	ブート領域書き換え禁止フラグ							
0	ブート領域の書き換えを禁止							
1	ブート領域の書き換えを許可							
BTFLG	ブート領域切り替えフラグ							
0	ブート領域はブート・クラスタ1							
1	ブート領域はブート・クラスタ0							
SWPR	フラッシュ・リード・プロテクション設定の変更禁止フラグ							
0	禁止状態							
1	許可状態							
IFPR	プログラマ・オンチップ・デバugg接続禁止フラグ							
0	接続禁止							
1	接続許可							
IDEN	プログラマ接続ID認証の有効フラグ							
0	ID認証有効							
1	ID認証無効							

39.6.2.14 フラッシュ FSW モニタ・レジスタ E (FLFSWE)

FLFSWE レジスタは、フラッシュ・シールド領域のエンド・ブロック番号およびシールド領域がウィンドウ範囲の内側か外側かをモニタするレジスタです。

リセット時、またはエクストラ領域書き込み時にエクストラ領域の値が FLFSWE レジスタに反映されます。

フラッシュ・シールド・ウィンドウ機能の詳細は、**39.8 フラッシュ・シールド・ウィンドウ機能**を参照してください。

FLFSWE レジスタは、16 ビット・メモリ操作命令で読み出します。

図39-22 フラッシュ FSW モニタ・レジスタ E (FLFSWE) のフォーマット

アドレス : F00B4H

リセット時: 不定

R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLFSWE	FSWC	0	0	0	0	0	0	FSWE8
	7	6	5	4	3	2	1	0
	FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0
FSWC	シールド領域設定							
0	インサイド・シールド・モード フラッシュ・シールド領域がウィンドウ範囲の内側							
1	アウト・サイド・シールド・モード フラッシュ・シールド領域がウィンドウ範囲の外側							
FSWE8- FSWE0	フラッシュ・シールド領域のエンド・ブロック番号							
—	エンド・ブロック+1 ^注							

注 エクストラ領域に設定された値が示されます。実際のエンド・ブロックのブロック番号はFSWE8-FSWE0ビットの値から1を引いたブロック番号になります。また、シリアル・プログラミング時ではエンド・ブロックのブロック番号を指定しますが、エクストラ領域にはエンド・ブロック+1で設定されます。詳細は、**表39-12**を参照してください。

39.6.2.15 フラッシュ FSW モニタ・レジスタ S (FLFSWS)

FLFSWS レジスタは、フラッシュ・シールド領域のスタート・ブロック番号およびフラッシュ・シールド・ウィンドウ設定が書き換え禁止か許可かをモニタするレジスタです。

リセット時、またはエクストラ領域書き込み時にエクストラ領域の値が FLFSWS レジスタに反映されます。

フラッシュ・シールド・ウィンドウ機能の詳細は、**39.8 フラッシュ・シールド・ウィンドウ機能**を参照してください。

FLFSWS レジスタは、16 ビット・メモリ操作命令で読み出します。

図39-23 フラッシュ FSW モニタ・レジスタ S (FLFSWS) のフォーマット

アドレス : F00B2H

リセット時: 不定

R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLFSWS	FSPR	0	0	0	0	0	0	FSWS8
	7	6	5	4	3	2	1	0
	FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0
FSPR	フラッシュ・シールド・ウィンドウ設定の変更禁止フラグ							
0	禁止状態							
1	許可状態							
FSWS8- FSWS0	フラッシュ・シールド領域のスタート・ブロック番号							
—	スタート・ブロック							

39.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

DFLCTL レジスタは、データ・フラッシュ・メモリ領域へのアクセス許可／禁止を設定するレジスタです。

DFLCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図39-24 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュ・メモリ領域のアクセス制御
0	データ・フラッシュ・メモリ領域のアクセス禁止
1	データ・フラッシュ・メモリ領域のアクセス許可

39.6.2.17 割り込みベクタ移動許可レジスタ (VECTCTRL)

VECTCTRL レジスタは、セルフ・プログラミング実行中に発生した割り込みに対し、分岐先を設定するレジスタです。

VECTCTRL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図39 - 25 割り込みベクタ移動許可レジスタ (VECTCTRL) のフォーマット

アドレス : F00FFH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
VECTCTRL	0	0	0	0	0	0	0	VECTCTRL

VECTCTRL	割り込みの分岐先設定
0	ROM上の割り込みベクタ・アドレス
1	RAMの指定アドレス注

注 RAMの分岐先アドレスは、FLSIVC1, FLSIVC0 レジスタで指定します。詳細は、**39.6.2.18 割り込みベクタ変更レジスタ 0, 1 (FLSIVC0, FLSIVC1)** を参照してください。

39.6.2.18 割り込みベクタ変更レジスタ0, 1 (FLSIVC0, FLSIVC1)

FLSIVC0, FLSIVC1 レジスタは、セルフ・プログラミング実行中に発生した割り込みの分岐先アドレスを指定するレジスタです。

セルフ・プログラミング中の割り込み処理の実行方法については、**39.6.7 コード・フラッシュ・プログラミング・モード中の割り込み**を参照してください。

FLSIVC0, FLSIVC1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FLSIVC0 レジスタは 0000H、FLSIVC1 レジスタは 000FH になります。

図39-26 割り込みベクタ変更レジスタ0, 1 (FLSIVC0, FLSIVC1) のフォーマット

アドレス : F0480H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSIVC0	FLSIV15	FLSIV14	FLSIV13	FLSIV12	FLSIV11	FLSIV10	FLSIV9	FLSIV8
	7	6	5	4	3	2	1	0
	FLSIV7	FLSIV6	FLSIV5	FLSIV4	FLSIV3	FLSIV2	FLSIV1	FLSIV0

アドレス : F0482H

リセット時: 000FH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSIVC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	FLSIV19	FLSIV18	FLSIV17	FLSIV16

注意 FLSIVC1レジスタには上位4ビットを、FLSIVC0レジスタにはアドレスの下位16ビットを設定してください。

39.6.3 フラッシュ・メモリ制御モードの設定

フラッシュ・メモリには以下のフラッシュ制御モードがあります。

- コード・フラッシュ・プログラミング・モード
コード・フラッシュ・メモリ領域およびエクストラ領域が書き換え可能なモードです。
- データ・フラッシュ・プログラミング・モード
データ・フラッシュ・メモリ領域およびエクストラ領域が書き換え可能なモードです。
- 非書き換えモード
フラッシュ・メモリ（コード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域、エクストラ領域）が書き換え不可のモードです。

フラッシュ・メモリを書き換える場合は、フラッシュ制御モードをコード・フラッシュ・プログラミングモードまたはデータ・フラッシュ・プログラミング・モードに設定します。フラッシュ制御モードの設定はフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に特定シーケンスを実行します。

注意 データ・フラッシュ・メモリ領域を操作する場合は、データ・フラッシュのアクセス許可（DFLCTLレジスタのDFLEN = 1）の状態で行ってください。

39.6.3.1 特定シーケンス実行手順

以下の①～④の手順でフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に書き込むことで、各モードへ移行します。

- ① PFCMD レジスタに A5H を書き込む
- ② FLPMC レジスタに設定したい値を書き込む
- ③ FLPMC レジスタに設定したい値の反転値を書き込む
- ④ FLPMC レジスタに設定したい値を書き込む

- 特定シーケンスは、FLRST レジスタのFLRST = 0かつフラッシュ・メモリ・シーケンサが停止中の場合に実行可能です。
- 特定シーケンスでは、手順①、②、③、④の間でほかのメモリやレジスタへの書き込み動作を行った場合、特定レジスタへの書き込みは行われず、プロテクション・エラーが発生し、フラッシュ・ステータス・レジスタ（PFS）のFPRERRフラグが1にセットされます。FPRERRフラグは、リセット、または次の特定シーケンス開始時にクリアされます。

39.6.3.2 コード・フラッシュ・プログラミング・モード移行手順

コード・フラッシュ・プログラミング・モードへの移行手順を以下に示します。

- ① PFCMD レジスタに A5H を書き込む
- ② FLPMC レジスタに 02H を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 1)
- ③ FLPMC レジスタに FDH を書き込む (02H の反転値)
- ④ FLPMC レジスタに 02H を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 1)

39.6.3.3 データ・フラッシュ・プログラミング・モード移行手順

データ・フラッシュ・プログラミング・モードへの移行手順を以下に示します。

- ① PFCMD レジスタに A5H を書き込む
- ② FLPMC レジスタに 10H を書き込む (EEEMD = 1, FWEDIS = 0, FLSPM = 0)
- ③ FLPMC レジスタに EFH を書き込む (10H の反転値)
- ④ FLPMC レジスタに 10H を書き込む (EEEMD = 1, FWEDIS = 0, FLSPM = 0)

39.6.3.4 非書き換えモード移行手順

コード・フラッシュ・プログラミング・モード、またはデータ・フラッシュ・プログラミング・モードから非書き換えモード移行手順を実施し、ウェイト^注後にプログラミング・モード対象のフラッシュ・メモリの読み出しが可能です。

注 ウェイト時間は10 μ s です。

<割り込みベクタを RAM アドレスへ変更していない場合>

割り込み発生時にROM上の割り込みベクタが示すアドレスへ分岐する場合の移行手順を以下に示します。

- ① PFCMD レジスタに A5H を書き込む
- ② FLPMC レジスタに 08H を書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
- ③ FLPMC レジスタに F7H を書き込む (08H の反転値)
- ④ FLPMC レジスタに 08H を書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
- ⑤ 10 μ s ウェイト後、対象のフラッシュ・メモリの読み出しが可能です。

<割り込みベクタを RAM アドレスへ変更している場合>

割り込みの分岐先がRAM上の指定アドレスへ変更されている場合の移行手順を以下に示します。

- ① PFCMD レジスタに A5H を書き込む
- ② FLPMC レジスタに 00H を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
- ③ FLPMC レジスタに FFH を書き込む (00H の反転値)
- ④ FLPMC レジスタに 00H を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
- ⑤ 10 μ s ウェイト後、対象のフラッシュ・メモリの読み出しが可能です。

39.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化

フラッシュ・レジスタ初期化レジスタ (FLRST) の FLRST ビットをセットすることで、対象レジスタをリセットして初期化します。

対象レジスタ : FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE

対象レジスタのクリア手順を以下に示します。

- ① FLRST ビットをセット
- ② CPU クロックで 1 サイクル以上をソフトウェアでウェイト
- ③ FLRST ビットをクリア

39.6.5 フラッシュ・メモリ・シーケンサの動作周波数設定

CPU の動作周波数 [1 ~ 48 (MHz)] の値をフラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) の FSET5-FSET0 ビットに設定します。CPU が動作する周波数の小数点以下を切り上げた整数値を設定してください。

(例 : 4.5 MHz の場合は、05H を設定)

フラッシュ・メモリ・シーケンサの動作周波数の設定方法を以下に示します。

- ① コード・フラッシュ・プログラミング・モード、またはデータ・フラッシュ・プログラミング・モードへ移行します。
移行手順は、**39.6.3.1 特定シーケンス実行手順**、**39.6.3.2 コード・フラッシュ・プログラミング・モード移行手順**および**39.6.3.3 データ・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) を読み出し、TMSPMD, TMBTSEL ビットに読み出した値と同じ値を、FSET5-FSET0 ビットに CPU の動作周波数を設定します。

注意 コード/データ・フラッシュ領域シーケンサおよびエクストラ領域シーケンサを使用して、コード/データ・フラッシュ・メモリまたはエクストラ領域へ書き換えなどの操作を実行する場合、FSSET レジスタの FSET5-FSET0 ビットへ CPU の動作周波数を設定しておく必要があります。

CPU の動作周波数が正しく設定されていない状態での書き換え動作は不定となり、書かれたデータは保証されませんのでご注意ください。(書き込み直後のフラッシュ・メモリのデータ値が期待値通りであっても、その値の保持期間を保証できません。)

39.6.6 フラッシュ・メモリの書き換え

39.6.6.1 概要

フラッシュ・メモリ・シーケンサは、コード・フラッシュ・メモリ領域、またはデータ・フラッシュ・メモリ領域を書き換えるコード／データ・フラッシュ領域シーケンサとエクストラ領域を書き換えるエクストラ領域シーケンサがあります。それぞれの領域を書き換えるには、各シーケンサのコマンドを実行します。

39.6.6.2 書き換え領域の選択

フラッシュ領域選択レジスタ（FLARS）により、書き換える領域としてコード／データ・フラッシュ・メモリ領域、またはエクストラ領域のいずれかを選択します。

39.6.6.3 コード／データ・フラッシュ領域シーケンサ・コマンド

コード／データ・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサの専用コマンドを使用します。コマンドの実行は、フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）の SQMD2-SQMD0 ビットに実行するコマンドを設定し、SQST ビットに 1 を設定します。SQMD2-SQMD0 ビットと SQST ビットは同時に設定することもできます。

コード／データ・フラッシュ領域シーケンサの専用コマンドについては、**39.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）**を参照してください。

39.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作

コード・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。なお、コード・フラッシュ・メモリ領域の書き換え処理ソフトウェアはRAMに配置し、RAM上で実行してください。

コード・フラッシュ・メモリ領域書き換え時の消去ブロック単位／書き込み単位

- 消去ブロック単位 : 2 Kバイト
- 書き込み単位 : 4 バイト

<操作方法>

- ① コード・フラッシュ・プログラミング・モードに移行します。移行手順は、**39.6.3.1 特定シーケンス実行手順** および **39.6.3.2 コード・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② FLARS レジスタの EXA ビットに 0 (コード／データ・フラッシュ・メモリ領域) を設定します。
- ③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。
 - ブロック消去

FLAPH, FLAPL レジスタに消去するコード・フラッシュ・メモリのブロック先頭アドレス^{注1} (例: 002000H) を設定します。

FLSEDH, FLSEDL レジスタに消去するコード・フラッシュ・メモリのブロック終了アドレス^{注1} (例: 0027FFH) を設定します。
 - 書き込み

FLAPH, FLAPL レジスタに書き込むフラッシュ・メモリの先頭アドレス^{注2} (例: 002000H) を設定します。

FLWH, FLWL レジスタに書き込むデータ (4 バイト) を設定します。
 - ブランク・チェック

FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス^{注2} (例: 002000H) を設定します。

FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス (例: 0027FFH) を設定します。

なお、4 バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。
- ④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード／データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。
 - ブロック消去 : 84H
 - 書き込み : 81H
 - コード・フラッシュ・メモリ領域のブランク・チェック : 83H
- ⑤ コード／データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**39.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順のコード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順**を参照してください。
- ⑥ コマンド実行後の処理
 - <コマンド処理を継続する場合>

コード・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。
 - <コマンド処理を完了する場合>

非書き換えモードに移行します。移行手順は、**39.6.3.1 特定シーケンス実行手順**および**39.6.3.4 非書き換えモード移行手順**を参照してください。

- 注1.** コード・フラッシュ・メモリ領域の消去ブロック単位は2 Kバイトです。消去アドレスの指定は、消去するブロックがすべて含まれるように先頭アドレスと終了アドレスを指定してください。アドレスとブロック番号の関係については、**表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。
- 注2.** コード・フラッシュ・メモリ領域の書き込み、ブランク・チェックは4バイト単位です。したがって、アドレスを示すFLAPLレジスタの下位2ビットは4の倍数である00Bを設定してください。

39.6.6.5 データ・フラッシュ・メモリ領域書き換えの操作

データ・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

データ・フラッシュ・メモリ領域書き換え時の消去ブロック単位／書き込み単位

- 消去ブロック単位 : 256 バイト
- 書き込み単位 : 1 バイト

<操作方法>

- ① データ・フラッシュ・プログラミング・モードに移行します。移行手順は、**39.6.3.1 特定シーケンス実行手順** および **39.6.3.3 データ・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② FLARS レジスタの EXA ビットに 0 (コード／データ・フラッシュ・メモリ領域) を設定します。
- ③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。
 - ブロック消去

FLAPH, FLAPL レジスタに消去するデータ・フラッシュ・メモリのブロック先頭アドレス注
(例: 0F1100H) を設定します。

FLSEDH, FLSEDL レジスタに消去するデータ・フラッシュ・メモリのブロック終了アドレス注
(例: 0F11FFH) を設定します。
 - 書き込み

FLAPH, FLAPL レジスタに書き込む対象のフラッシュ・メモリの先頭アドレス (例: 0F1101H) を設定します。

FLWL レジスタの下位 8 ビットに書き込むデータを設定してください。
 - ブランク・チェック

FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス
(例: 0F1100H) を設定します。

FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス
(例: 0F11FFH) を設定します。

なお、1 バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。
- ④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード／データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。
 - ブロック消去 : 84H
 - 書き込み : 81H
 - データ・フラッシュ・メモリ領域のブランク・チェック : 8BH
- ⑤ コード／データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**39.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順のコード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順**を参照してください。
- ⑥ コマンド実行後の処理
 - <コマンド処理を継続する場合>

データ・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。
 - <コマンド処理を完了する場合>

非書き換えモードに移行します。移行手順は、**39.6.3.1 特定シーケンス実行手順**および**39.6.3.4 非書き換えモード移行手順**を参照してください。

注 データ・フラッシュ・メモリ領域のブロック消去は256バイト単位です。したがって、先頭アドレスを示す FLAPLレジスタの下位8ビットは256の倍数である0000 0000Bを設定してください。また、終了アドレスを示す FLSEDLレジスタの下位8ビットは1111 1111Bを設定してください。

39.6.6.6 エクストラ領域シーケンサ・コマンド

エクストラ領域に配置されているフラッシュ・シールド・ウィンドウ、フラッシュ・リード・プロテクション、フラッシュのセキュリティ、ブート・スワップ機能の設定値の書き換えは、エクストラ領域シーケンサのコマンドを使用します。コマンドの実行は、フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) の ESQMD3-ESQMD0 ビットに実行するコマンドを設定し、ESQST ビットに 1 を設定します。ESQMD3-ESQMD0 ビットと ESQST ビットは同時に設定することもできます。なお、エクストラ領域シーケンサ・コマンド処理ソフトウェアは RAM に配置し、RAM 上で実行してください。

39.6.6.7 エクストラ領域の書き換えの操作

エクストラ領域の書き換えは、コード・フラッシュ・プログラミング・モードに移行後、エクストラ領域シーケンサのコマンドを実行します。各コマンドの実行に必要なデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

<操作方法>

- ① コード・フラッシュ・プログラミング・モードに移行します。移行手順は、**39.6.3.1 特定シーケンス実行手順** および **39.6.3.2 コード・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② FLARS レジスタの EXA ビットに 1 (エクストラ領域) を設定します。
- ③ コマンド実行前に FLWH, FLWL レジスタへ 4 バイトのデータを設定します。FLWH, FLWL レジスタの各ビット (FLW31-FLW0) は、対象のエクストラ領域データの EX bit31-EX bit0 に対応します。各コマンドの設定データの詳細は、**39.6.6.8 エクストラ領域シーケンサのコマンドの設定データ**を参照してください。
- ④ FSSE レジスタの ESQMD3-ESQMD0 ビットに実行するコマンドの値、ESQST ビットに 1 を設定するとエクストラ領域シーケンサは指定されたコマンドを実行します。ESQMD3-ESQMD0 ビットと ESQST ビットは同時に設定可能です。同時に設定する場合の FSSE レジスタに書き込む値は以下になります。
 - フラッシュ・シールド・ウィンドウの設定領域への書き込み : 81H
 - フラッシュ・リード・プロテクションの設定領域への書き込み : 86H
 - セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み : 87H
- ⑤ エクストラ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**39.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のエクストラ領域シーケンサのコマンドの終了判定手順を参照してください。
- ⑥ コマンド実行後の処理
 - <コマンド処理を継続する場合>

コード・フラッシュ・プログラミング・モードに移行したまま、③のエクストラ領域に設定する FLWH, FLWL レジスタのデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。
 - <コマンド処理を完了する場合>

非書き換えモードに移行します。移行手順は、**39.6.3.1 特定シーケンス実行手順**および**39.6.3.4 非書き換えモード移行手順**を参照してください。

39.6.6.8 エクストラ領域シーケンサのコマンドの設定データ

エクストラ領域の書き込みは、4バイト単位で行います。

エクストラ領域シーケンサの各コマンドは、FLWH, FLWL レジスタの FLW31-FLW0 ビットに設定したデータを各コマンドに対応したエクストラ領域の EX bit31-EX bit0 に書き込みます。

(1) フラッシュ・シールド・ウィンドウの設定領域への書き込み

フラッシュ・シールド・ウィンドウの設定領域に FLWH, FLWL レジスタに設定したデータを書き込みます。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
FSWC	1	1	1	1	1	1	FSWE8

EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0

EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
FSPR	1	1	1	1	1	1	FSWS8

EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

ビット名称	設定内容
FSWC	フラッシュ・シールド領域の範囲を指定するビットです。 0：フラッシュ・シールド領域はウィンドウ範囲の内側 1：フラッシュ・シールド領域はウィンドウ範囲の外側（デフォルト）
FSPR	フラッシュ・シールド・ウィンドウ設定の変更禁止を指定するビットです。 0：フラッシュ・シールド・ウィンドウ設定領域の変更禁止 1：フラッシュ・シールド・ウィンドウ設定領域の変更許可（デフォルト）
FSWE8- FSWE0	フラッシュ・シールド・ウィンドウのエンド・ブロックの設定領域です。 エンド・ブロック+1のブロック番号を指定してください注。
FSWS8- FSWS0	フラッシュ・シールド・ウィンドウのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください注。

注 アドレスとブロック番号の関係については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

注意 専用フラッシュ・メモリ・プログラマのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、FSPR = 0（禁止）からFSPR = 1（許可）になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラマのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。

- SEPR = 0（ブロック消去禁止）
- BTPR = 0（ブート領域書き換え禁止）

また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、FSPR = 1（許可）に設定できません。

(2) フラッシュ・リード・プロテクションの設定領域への書き込み

フラッシュ・リード・プロテクションの設定領域にFLWH, FLWLレジスタに設定したデータを書き込みます。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
SWPR	1	1	1	1	1	1	UPAddr8
EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
UPAddr7	UPAddr6	UPAddr5	UPAddr4	UPAddr3	UPAddr2	UPAddr1	UPAddr0
EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
1	1	1	1	1	1	1	LOWAddr8
EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
LOWAddr7	LOWAddr6	LOWAddr5	LOWAddr4	LOWAddr3	LOWAddr2	LOWAddr1	LOWAddr0

ビット名称	設定内容
SWPR	フラッシュ・リード・プロテクション設定領域の変更禁止を指定するビットです。 0: フラッシュ・リード・プロテクション設定領域の変更禁止 1: フラッシュ・リード・プロテクションの設定領域の変更許可 (デフォルト)
UPAddr8- UPAddr0	フラッシュ・リード・プロテクションのエンド・ブロックの設定領域です。 エンドブロックのブロック番号を指定してください ^注 。
LOWAddr8- LOWAddr0	フラッシュ・リード・プロテクションのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください ^注 。

注 アドレスとブロック番号の関係については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。また、フラッシュ・リード・プロテクションの設定領域はリセット解除後に設定領域の読み出しが不可となります。

注意 専用フラッシュ・メモリ・プログラムのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、SWPR = 0 (禁止) からSWPR = 1 (許可) になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラムのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。

- SEPR = 0 (ブロック消去禁止)
- BTPR = 0 (ブート領域書き換え禁止)

また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、SWPR = 1 (許可) に設定できません。

- (3) セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み
 セキュリティ・フラグとブート・スワップ機能の設定領域にFLWH, FLWLレジスタに設定したデータを書き込みます。セキュリティ設定の詳細は、**39.9 セキュリティ設定**を参照してください。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
1	1	1	1	1	1	1	1
EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
1	1	1	1	1	1	1	1
EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
1	1	1	WRPR	1	SEPR	BTPR	BTFLG
EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
1	1	1	1	1	IFPR	1	IDEN

ビット名称	設定内容
WRPR	シリアル・プログラミング・モードでの書き込み禁止を指定するビットです。シリアル・プログラミング・モードでの書き込みを禁止します。 0：シリアル・プログラミング・モードでの書き込み禁止 1：シリアル・プログラミング・モードでの書き込み許可（デフォルト）
SEPR	ブロック消去禁止を指定するビットです。シリアル・プログラミング・モードでのブロック消去を禁止します。 0：シリアル・プログラミング・モードでのブロック消去禁止 1：シリアル・プログラミング・モードでのブロック消去許可（デフォルト）
BTPR	ブート領域の書き換え禁止を指定するビットです。ブート・スワップ動作およびブート領域の書き換えを禁止します。 0：ブート領域の書き換え禁止、ブート・スワップ禁止 1：ブート領域の書き換え許可、ブート・スワップ許可（デフォルト）
BTFLG	FSSETレジスタのTMSPPMD = 0の場合にブート領域を指定するビットです。 0：ブート領域はブート・クラスタ1 1：ブート領域はブート・クラスタ0（デフォルト）
IFPR	プログラマ・オンチップ・デバッグ接続禁止を指定するビットです。シリアル・プログラミング・モードおよびオンチップ・デバッグの接続禁止します。 0：シリアル・プログラミング・モードおよびオンチップ・デバッグの接続禁止 1：シリアル・プログラミング・モードおよびオンチップ・デバッグの接続許可（デフォルト）
IDEN	プログラマ接続ID認証の有効化を指定するビットです。シリアル・プログラミング・モードで接続するときにID認証を行います。 0：シリアル・プログラミング・モード接続時のID認証は有効 1：シリアル・プログラミング・モード接続時のID認証は無効（デフォルト）

注意1. BTFLGビットを書き換える場合、その他のすべてのビットは1を設定してください。

注意2. BTFLGビット以外のセキュリティ・フラグを0（禁止）に書き換える場合、BTFLGビット（読み込んだ値と同じ値を設定）を除き、その他のすべてのビットは1を設定してください。

（注意は次ページに続きます）

注意3. 専用フラッシュ・メモリ・プログラムのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、WRPR = 0（禁止）からWRPR = 1（許可）になります。

ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラムのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。

- SEPR = 0（ブロック消去禁止）
- BTPR = 0（ブート領域書き換え禁止）

また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、WRPR = 1（許可）に設定できません。

注意4. SEPR, BTPR, IFPR, IDENビットは、0を設定したあとに1に戻すことはできません。

39.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順

起動したコード／データ・フラッシュ領域シーケンサおよびエクストラ領域シーケンサのコマンドを終了する場合、以下に示す終了判定手順を実行します。

- コード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順
 - (1) コード／データ・フラッシュ領域シーケンサのコマンド起動後、FSASTHレジスタのSQENDフラグがセットされるまで待ちます。
 - (2) FSASTHレジスタのSQENDフラグのセット確認後、FSSQレジスタのSQSTビットをクリアします。
 - (3) FSASTHレジスタのSQENDフラグがクリアされるまで待ち、クリアされたらコマンドが終了しシーケンサは停止します。

- エクストラ領域シーケンサのコマンドの終了判定手順
 - (1) エクストラ領域シーケンサのコマンド起動後、FSASTHレジスタのESQENDフラグセットされるまで待ちます。
 - (2) FSASTHレジスタのESQENDフラグのセット確認後、FSSEレジスタのESQSTビットをクリアします。
 - (3) FSASTHレジスタのESQENDフラグがクリアされるまで待ち、クリアされたらコマンドが終了しシーケンサは停止します。

39.6.6.10 コード／データ・フラッシュ領域シーケンサのコマンドの強制終了手順

コード／データ・フラッシュ領域シーケンサのコマンド実行中にコマンドを強制停止することができます。ただし、エクストラ領域シーケンサのコマンド実行中は、コマンドを強制終了することができません。

<強制終了手順>

- (1) コード／データ・フラッシュ領域シーケンサのコマンド起動後から(2)のFSSQレジスタのSQSTビットをクリアする前までに、FSSQレジスタのFSSTPビットに1を設定します。
- (2) FSASTHレジスタのSQENDフラグのセット確認後、FSSQレジスタのSQSTビットとFSSTPビットをクリアします。
- (3) FSASTHレジスタのSQENDフラグが自動的にクリアされるまで待ち、クリアされたら強制終了が完了します。

39.6.7 コード・フラッシュ・プログラミング・モード中の割り込み

39.6.7.1 概要

割り込みが発生すると ROM 上の割り込みベクタを参照し、割り込みベクタ（16 ビット）で分岐可能な 64 KB までの ROM 空間に配置されている割り込み処理へ分岐して、割り込みを実行します。しかし、コード・フラッシュやエクストラ領域の書き換えが可能なコード・フラッシュ・プログラミング・モードでは、ROM を参照できないため、割り込み処理を実行することができません。

ただし、割り込み分岐先を変更することで、ROM を参照できない場合でも、ROM 上の割り込みベクタ、および ROM 上の割り込み処理を使用せず、すべての割り込みの分岐先を RAM 上の指定アドレスへ変更し、RAM 上で割り込み処理を実行することが可能です。

39.6.7.2 割り込み分岐先を変更した場合の動作

割り込み分岐先の変更は、割り込みベクタ変更レジスタ 1, 0 (FLSIVC1, FLSIVC0) と割り込みベクタ移動許可レジスタ (VECTCTRL) を設定することで、すべての割り込みを RAM 上のアドレスへ分岐するように変更できます。この操作により、コード・フラッシュ・プログラミング・モード中に割り込みが発生した場合でも、ROM 上の割り込みベクタを参照せずに、RAM 上の割り込み処理を実行することが可能です。

FLSIVC1, FLSIVC0 レジスタは、コード・フラッシュやエクストラ領域を書き換え中に発生したすべての割り込み機能の飛び先のアドレスを指定するレジスタです。FLSIVC0 レジスタにはアドレスの下位 16 ビットを FLSIVC1 レジスタには上位 4 ビットを設定します。

セルフ・プログラミング実行中に発生した割り込みの分岐先制御の設定を以下に示します。

- ROM 上のベクタ・アドレスへ分岐する場合 : VECTCTRL = 0 または FLPMC レジスタの FWEDIS = 1
- RAM アドレスへ分岐する場合 : VECTCTRL = 1 (FLPMC レジスタの FWEDIS = 0 の状態)

注意1. 割り込みの種類はユーザ側で割り込みフラグにより確認する必要があります。また、VECTCTRL レジスタ設定後は、割り込みフラグは自動的にクリアされません。

注意2. 割り込み変更先をROM側に設定することは出来ません。

注意3. VECTCTRL レジスタで変更した割り込みの分岐先はセルフ・プログラミング実行中のみ有効です。

注意4. 割り込みの分岐先をRAMに変更する場合は、割り込み禁止にしてください。

39.6.7.3 割り込み分岐先を変更する場合の操作

RAM上の割り込み処理を指定するためには、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) の FWEDIS ビットに0を設定した状態で、FLSIVC1, FLSIVC0 レジスタと VECTCTRL レジスタを更新します。特定シーケンスを実行して、FLPMC レジスタの FWEDIS ビットを操作し、FLSIVC1, FLSIVC0 レジスタと VECTCTRL レジスタを設定して、割り込み分岐先をRAMのアドレスに変更します。

<割り込み分岐先をRAMアドレスへ変更する場合>

すべての割り込みの分岐先をRAM上の指定アドレスへ変更する場合の操作方法を以下に示します。

- それまでの割り込み許可/禁止の設定を退避し、割り込みを禁止に設定します。
- 特定シーケンスを実行し、FLPMC レジスタの FWEDIS ビットに0を設定します。
 - ① PFCMD レジスタにA5Hを書き込む
 - ② FLPMC レジスタに00Hを書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
 - ③ FLPMC レジスタにFFHを書き込む (00Hの反転値)
 - ④ FLPMC レジスタに00Hを書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
- FLSIVC1, FLSIVC0 レジスタにRAMアドレスを指定します。
- VECTCTRL レジスタに01Hを設定し、割り込みをRAMアドレスへ分岐する設定にします。
- 退避していた割り込み許可/禁止の設定を復帰します。

注意1. RAM上の割り込み処理を指定している間は、FWEDIS = 0のままにしてください。

注意2. 割り込みの分岐先をsaddr空間 (FFE20H-FFEFFH) に設定しないでください。

注意3. RAM領域から命令を実行し、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、「使用するRAM領域+ 10バイト」の領域を初期化してください。

<割り込み分岐先をRAMアドレスからROM上のベクタへ戻す場合>

割り込みの分岐先をROM上の割り込みベクタが示すアドレスへ戻す場合 (初期状態) の操作方法を以下に示します。

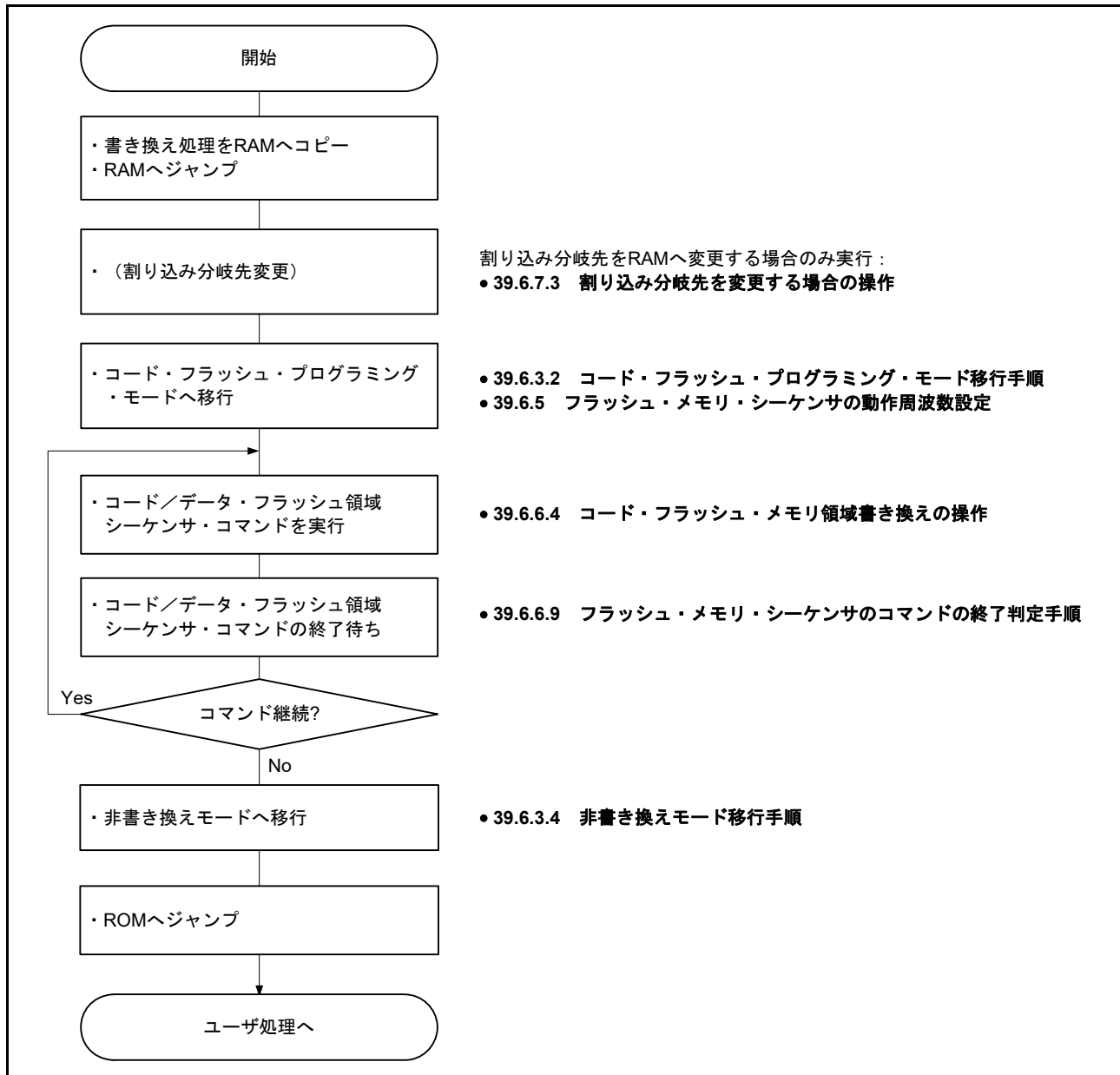
- それまでの割り込み許可/禁止の設定を退避し、割り込みを禁止に設定します。
- 特定シーケンスを実行し、FLPMC レジスタの FWEDIS ビットに1を設定します。
 - ① PFCMD レジスタにA5Hを書き込む
 - ② FLPMC レジスタに08Hを書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
 - ③ FLPMC レジスタにF7Hを書き込む (08Hの反転値)
 - ④ FLPMC レジスタに08Hを書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
- VECTCTRL レジスタに00Hを設定し、割り込みをROM上のベクタ・アドレスへ分岐する設定にします。
- 退避していた割り込み許可/禁止の設定を復帰します。

39.6.8 フラッシュ・メモリ領域書き換え時のコマンドの実行例

39.6.8.1 コード・フラッシュ・メモリ領域書き換え時のコマンド実行例

図 39 - 27 にコード・フラッシュ・メモリ領域書き換え時のコマンド実行フローを示します。

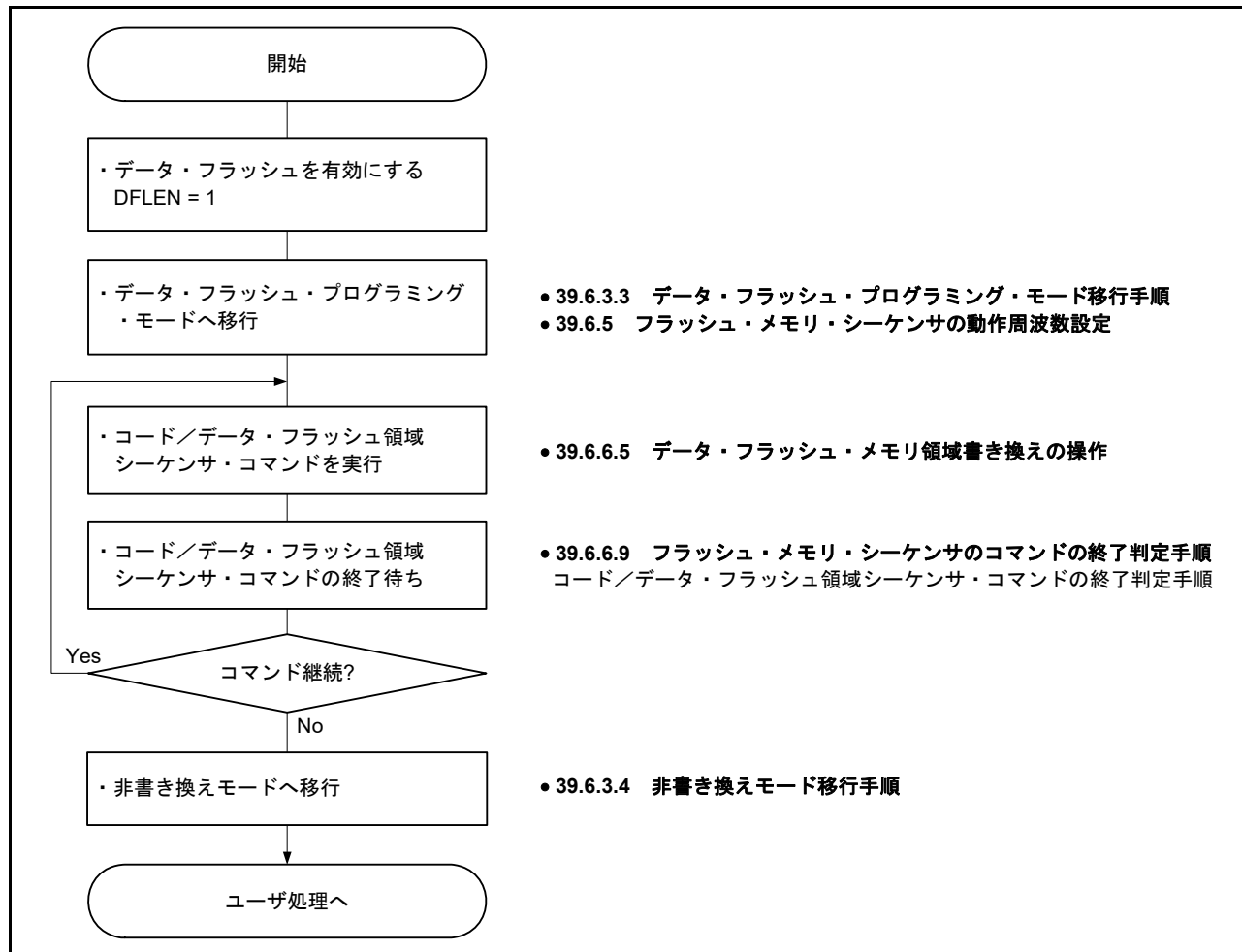
図39 - 27 コード・フラッシュ・メモリ領域書き換え時のコマンド実行フロー



39.6.8.2 データ・フラッシュ・メモリ領域書き換え時のコマンド実行例

図 39 - 28 にデータ・フラッシュ・メモリ領域書き換え時のコマンド実行フローを示します。

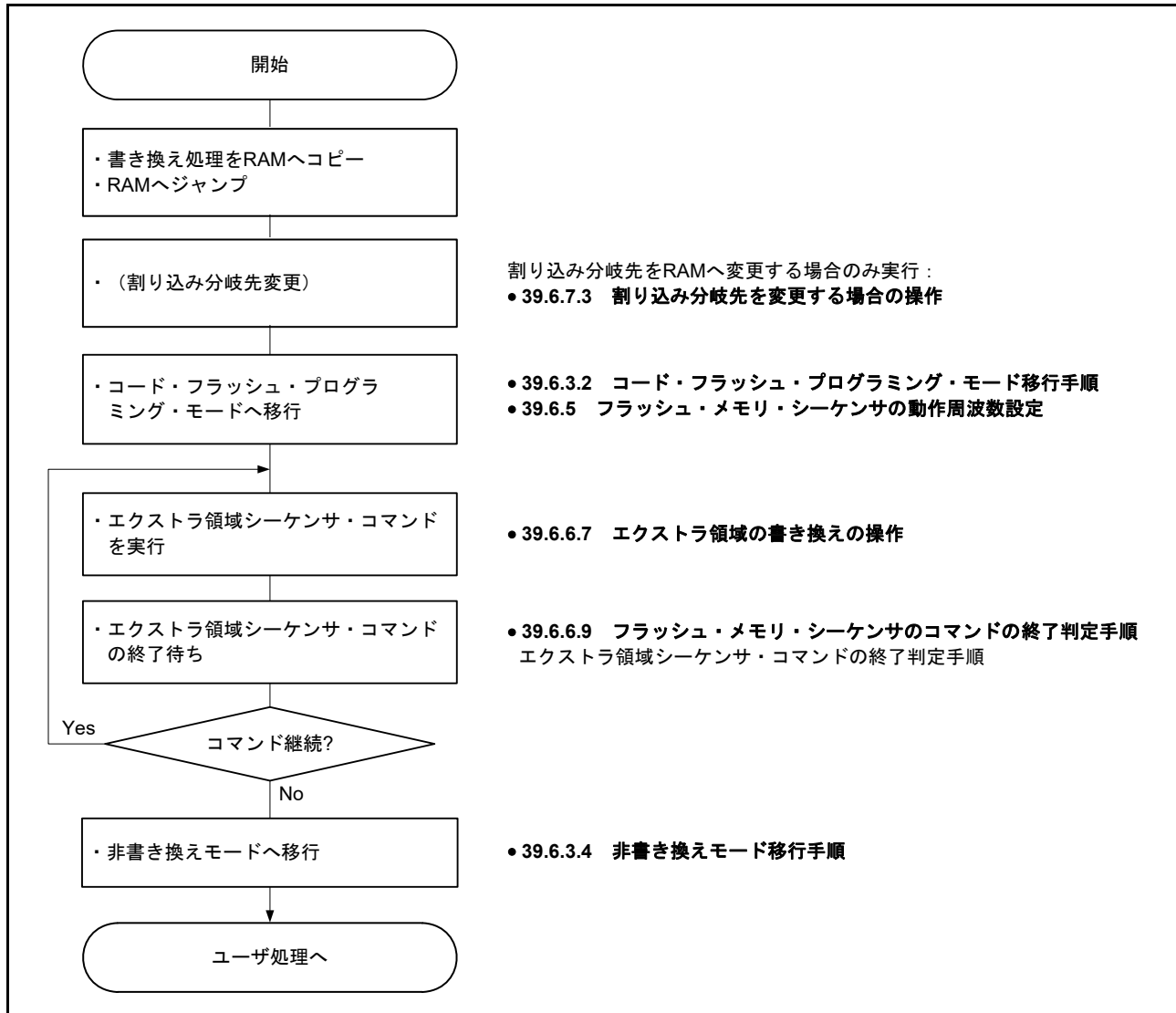
図 39 - 28 データ・フラッシュ・メモリ領域書き換え時のコマンド実行フロー



39.6.8.3 エクストラ領域書き換え時のコマンド実行例

図 39 - 29 にエクストラ領域書き換え時のコマンド実行フローを示します。

図 39 - 29 エクストラ領域書き換え時のコマンド実行フロー



39.6.9 セルフ・プログラミング時の注意事項

- (1) コード・フラッシュ／エクストラ領域の書き換え操作
コード・フラッシュ／エクストラ領域を書き換える場合はRAMに配置してください。
- (2) データ・フラッシュ・メモリ領域を操作する場合の前提条件
データ・フラッシュ・メモリ領域を操作する前に、データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLEN=1（データ・フラッシュのアクセス許可）に設定してください。
- (3) フラッシュ・メモリ書き換え操作中のプログラム実行
セルフ・プログラミングはフラッシュ・メモリ・シーケンサを使用し、フラッシュ・メモリの書き換えを制御します。
フラッシュ・メモリの書き換えが可能なフラッシュ・メモリ制御モードでは、操作対象のフラッシュ・メモリは参照できなくなります。
 - コード・フラッシュ・プログラミング・モードでは、コード・フラッシュ・メモリを参照することができません。コード・フラッシュ・プログラミング・モード中に実行するROM（コード・フラッシュ・メモリ）上のユーザ・プログラム、および参照データは、事前にRAMへコピーして、RAM上で実行、参照してください。
 - データ・フラッシュ・プログラミング・モードでは、データ・フラッシュ・メモリを参照することができません。データ・フラッシュ・プログラミング・モード中に参照するデータは、事前にRAMへコピーして、RAM上で参照してください。
- (4) 使用不可領域の範囲の指定
ブランク・チェックおよびブロック消去の範囲の指定は、コード・フラッシュ・メモリ領域の範囲内またはデータ・フラッシュ・メモリ領域を範囲内で指定してください。使用不可領域を指定したり、使用不可領域を含めてコード・フラッシュ・メモリ領域とデータ・フラッシュ・メモリ領域の両方を指定したりしないでください。

39.7 ブート・スワップ機能

ブート領域は、ベクタ・テーブル領域、CALLT テーブル領域、オプション・バイト領域、オンチップ・デバッグ・セキュリティ ID およびプログラマ接続 ID の設定領域、プログラム領域で構成されています。これらの領域には、プログラムのスタートに必要な設定やオンチップ・デバッグおよびプログラマとの接続に必要な情報が格納されています。したがって、セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

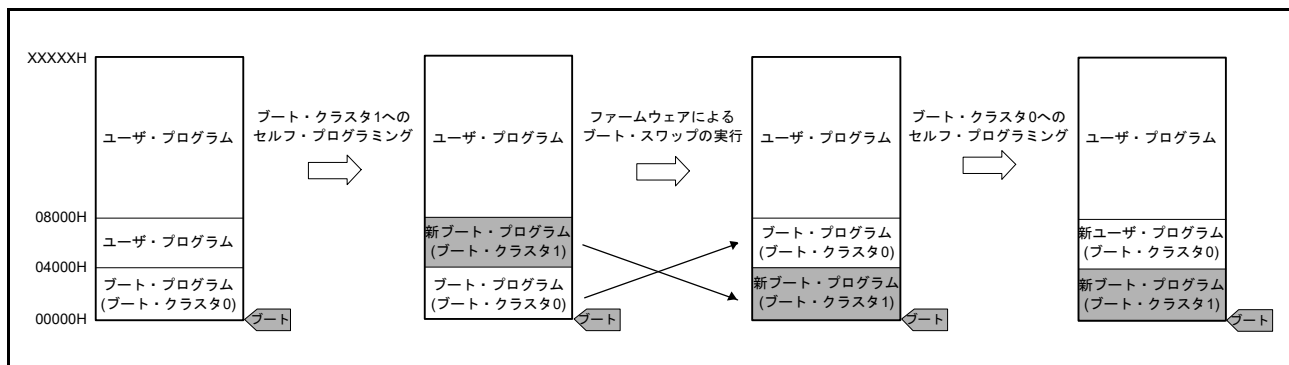
ブート領域がブート・クラスタ 0 に設定されている場合、セルフ・プログラミングにてブート・クラスタ 0 の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ 1 に書き込んでおきます。注ブート・クラスタ 1 への書き込みの正常終了後、セルフ・プログラミングでブート領域をブート・クラスタ 0 からブート・クラスタ 1 に変更し、ブート・クラスタ 1 をブート領域にします。このあと、ブート・クラスタ 0 へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、ブート・クラスタ 1 からブートを行うため、正常にプログラムが動作します。

ブート・クラスタは 16 K バイトの領域です。

注 新ブート・プログラムの 04000-0407FH (128 バイト) にはベクタ・テーブル領域、04080-040BFH (64 バイト) には CALLT テーブル、040C0-040C3H (4 バイト) にはオプション・バイト領域、040C4-040CDH (10 バイト) にはオンチップ・デバッグ・セキュリティ ID 設定領域を設定してください。

図39-30 ブート・スワップ機能

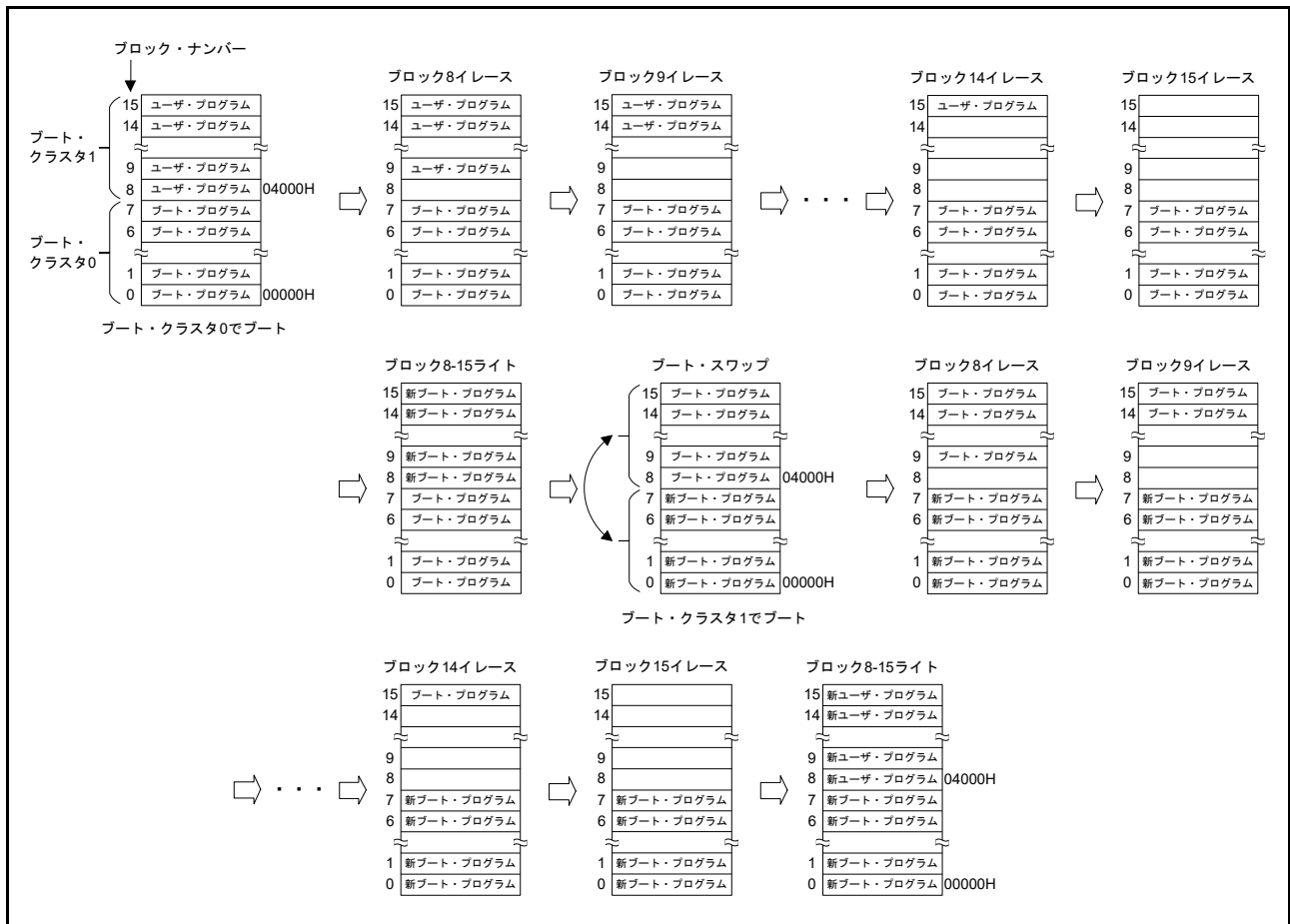


この図の例では、次のようになっています。

ブート・クラスタ 0: ブート・スワップ前のブート領域です。

ブート・クラスタ 1: ブート・スワップ後のブート領域です。

図39-31 ブート・スワップの実行例



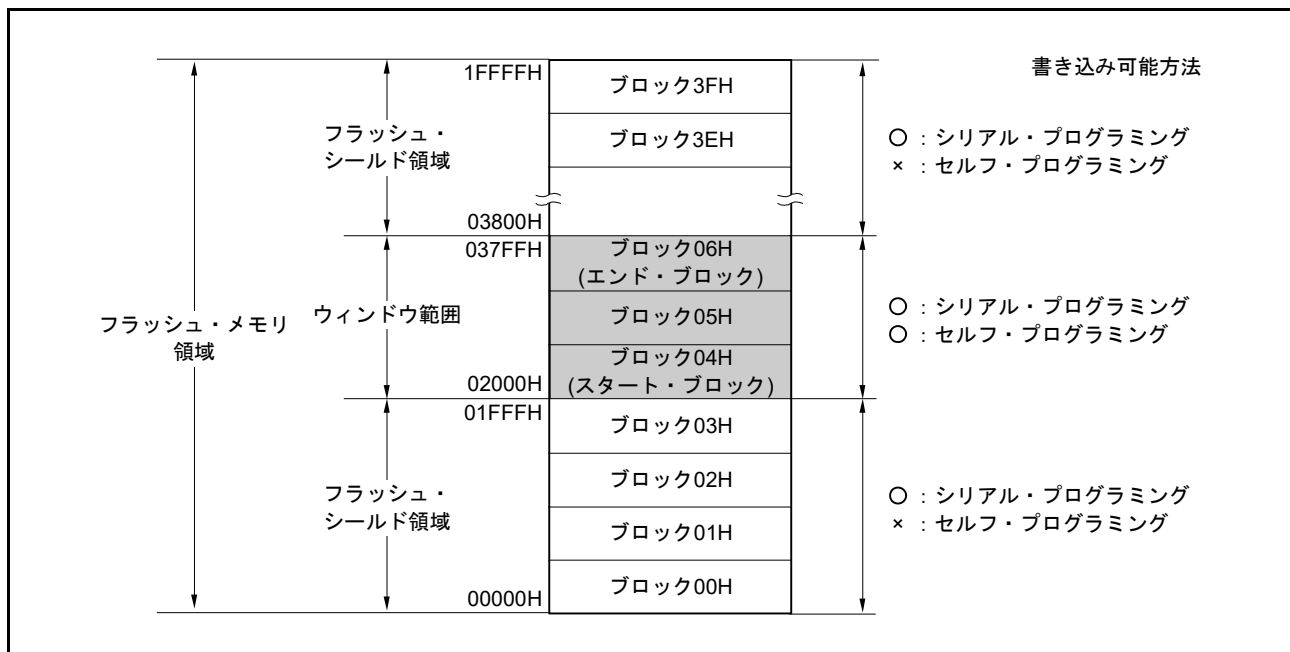
39.8 フラッシュ・シールド・ウィンドウ機能

フラッシュ・シールド・ウィンドウ機能は、指定したフラッシュ・シールド領域の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

フラッシュ・シールド領域は指定したウィンドウ範囲内または範囲外を設定できます。ウィンドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。フラッシュ・シールド領域は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

フラッシュ・シールド領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、シリアル・プログラミング時にはフラッシュ・シールド領域も書き込み／消去可能です。

図39-32 フラッシュ・シールド・ウィンドウの設定例
(対象デバイス：R7F101GLG、先頭ブロック：04H、終了ブロック：06H、FSWC：1の場合)



注意1. フラッシュ・シールド・ウィンドウのウィンドウ範囲内にブート領域の書き換え禁止領域が重なる場合は、ブート領域の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウィンドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表39-12 フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウィンドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セルフ・プログラミングでフラッシュ・シールド・ウィンドウの設定領域に、ウィンドウのスタート・ブロックのブロック番号、エンド・ブロック+1のブロック番号（エンド・ブロックの次のブロック番号）を指定する	フラッシュ・シールド領域内はブロック消去できない	フラッシュ・シールド領域内は書き込みできない
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウィンドウのスタート・ブロック、エンド・ブロックを指定する	フラッシュ・シールド領域内もブロック消去可能	フラッシュ・シールド領域内も書き込み可能

39.9 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

シリアル・プログラミングまたはセルフ・プログラミングで、次の操作をすることができます。

- ブロック消去禁止
- ★ シリアル・プログラミング時に、コード・フラッシュ・メモリおよびデータ・フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。
- 書き込み禁止
- ★ シリアル・プログラミング時に、コード・フラッシュ・メモリおよびデータ・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。
書き込み禁止を設定後、Security Release コマンドによる解除はリセットで有効になります。
- ブート領域の書き換え禁止
コード・フラッシュ・メモリ内のブート領域 (00000H-03FFFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。
- プログラマ・オンチップ・デバッグ接続禁止
専用フラッシュ・メモリ・プログラマおよびオンチップ・デバッグとの接続を禁止にします。
専用フラッシュ・メモリ・プログラマおよびオンチップ・デバッグによるフラッシュ・メモリの操作はできません。
- プログラマ接続ID認証の有効化
専用フラッシュ・メモリ・プログラマとの接続時に10バイトの任意のIDコードとの認証を有効にします。10バイトのIDの領域は000C4H-000CDH^注です。シリアル・プログラミングでIDが一致しない場合は専用フラッシュ・メモリ・プログラマでフラッシュ・メモリの操作はできません。

出荷時の初期状態では、ブロック消去／書き込み／ブート領域の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表 39 - 13 に RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を示します。

注 プログラマ接続IDの10バイトのIDコード領域はオンチップ・デバッグ・セキュリティ ID と共用しています。

注意 専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は、39.8 フラッシュ・シールド・ウィンドウ機能を参照してください）。

表39-13 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート領域書き換え禁止	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッグ接続禁止	ブロック消去できない	書き込みできない
プログラマ接続ID認証が有効で認証成功	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効で認証失敗	ブロック消去できない	書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート領域書き換え禁止	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッグ接続禁止	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効	ブロック消去できる	書き込みできる

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は、39.8 フラッシュ・シールド・ウィンドウ機能を参照してください）。

表39-14 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する。	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する。
ブート領域書き換え禁止		設定後、無効にできない。
プログラマ・オンチップ・デバッグ接続禁止		
プログラマ接続ID認証の有効化		

注意 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート領域の書き換え禁止」に設定されていない状態、かつコード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域がブランクの場合にのみ可能です。ただし「プログラマ・オンチップ・デバッグ接続禁止」または「プログラマ接続ID認証が有効化」によってシリアル・プログラミングが接続禁止の場合は、シリアル・プログラミングが実行できないため、「書き込み禁止」の解除を実行できません。

(2) セルフ・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	セルフ・プログラミングで設定する。	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない。 専用フラッシュ・メモリ・プログラムのGUI 上などで設定する。
ブート領域書き換え禁止		設定後、無効にできない。
プログラマ・オンチップ・デバugga接続禁止		
プログラマ接続ID認証の有効化		

39.10 データ・フラッシュ

39.10.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- セルフ・プログラミングを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、**RL78ファミリ Renesas Flash Driver RL78 Type01 ユーザーズマニュアル (R20UT4830)** を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1ブロック = 256バイト単位で消去
- データ・フラッシュは、8ビット単位でのみアクセス可能
- データ・フラッシュは、CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行は可能（バックグラウンド・オペレーション (BGO) 対応）
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中（セルフ・プログラミング時）に、データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ (DFLCTL) を必ず設定してください。

注意2. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作 (HIOSTOP = 0) させ、5 μ s 経過後にセルフ・プログラミングを実行してください。

備考 ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては、**39.6 セルフ・プログラミング**を参照してください。

39.10.2 データ・フラッシュへのアクセス手順

リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには、以下の手順で初期設定を行う必要があります。

- ① データ・フラッシュ・コントロール・レジスタ (DFLCTL) の DFLEN ビットに 1 を設定する。
- ② ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。
<各フラッシュの動作モードでのセットアップ時間>
 - HS (高速メイン) モード時 : 250 ns
 - LS (低速メイン) モード時 : 250 ns
 - LP (低電力メイン) モード時 : 0 ns
- ③ セットアップ時間のウエイト完了後、データ・フラッシュへのアクセスが可能となります。

注意1. セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。

注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

注意3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作 (CSC.HIOSTOP = 0) させ、5 μ s 経過後にセルフ・プログラミングを実行してください。

注意4. CPUクロックの切り替え (メイン・システム・クロック \leftrightarrow サブシステム・クロック) 時、CSSビットにてクロックの選択後、CLSビットが切り替わるまでは、データ・フラッシュ・メモリへのアクセスは禁止です。

第40章 オンチップ・デバッグ機能

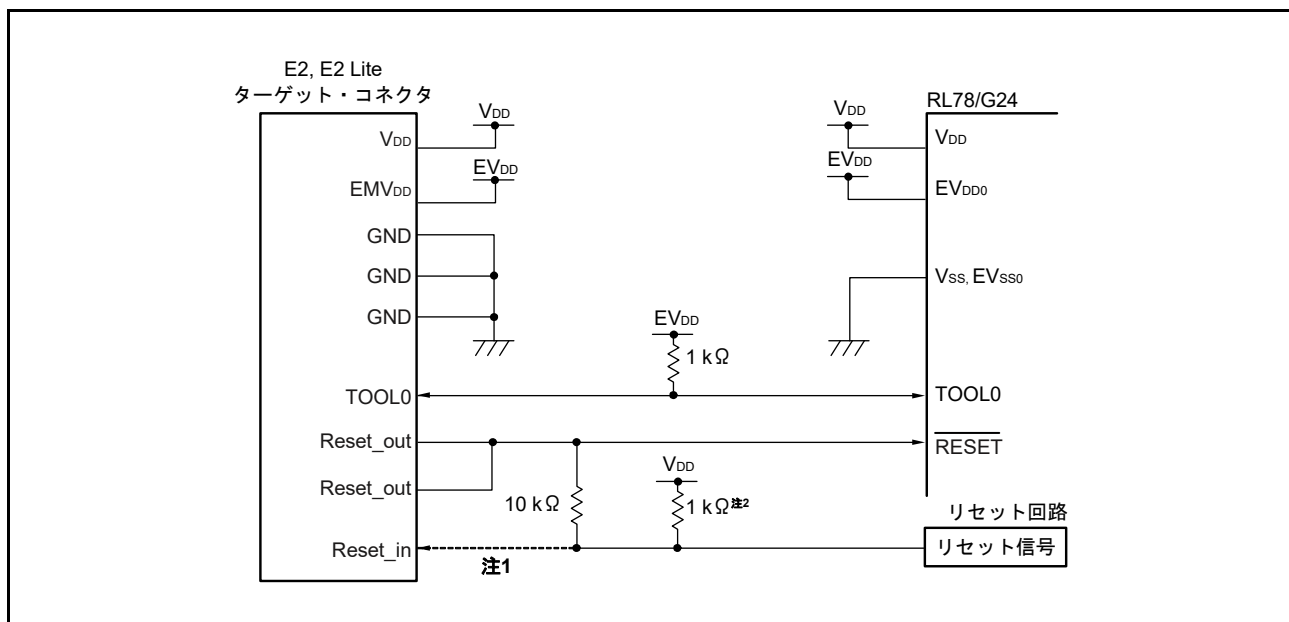
40.1 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続

RL78 マイクロコントローラは、オンチップ・デバッグ対応の E2, E2 Lite オンチップ・デバッグ・エミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} , $\overline{\text{RESET}}$, TOOL0, V_{SS} 端子を使用します。シリアル通信としては、TOOL0 端子を使用した単線 UART を使用します。

接続回路の詳細や注意事項については、E1/E20/E2 エミュレータ, E2 エミュレータ Lite ユーザーズマニュアル別冊 (RL78 接続時の注意事項) (R20UT1994) を参照してください。

注意 RL78 マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超過してしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受付対象外となります。

図40-1 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

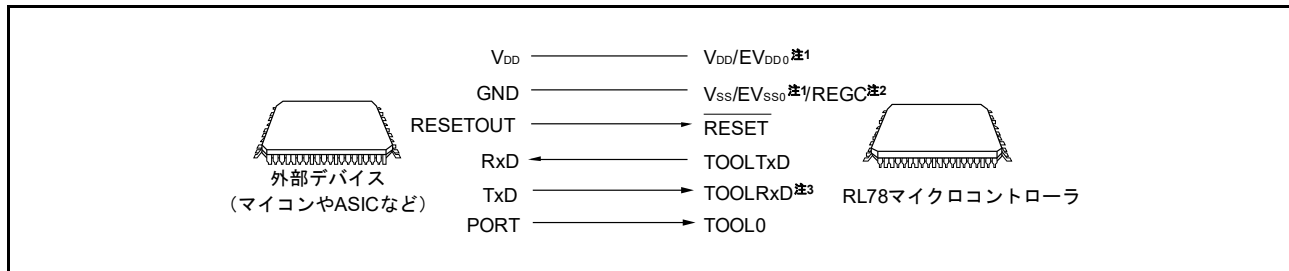
注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

備考 EVDD0, EVSS0端子がない製品は、EVDD0をVDDに、EVSS0をVSSに置き換えてください。

40.2 外部デバイス（UART内蔵）との接続

オンボード上でRL78 マイクロコントローラとUART 接続されている外部デバイス（マイコンやASIC）を介して、ホスト・マシンとの通信を行う場合、V_{DD}, RESET, TOOL0, V_{SS}, TOOLTxD, TOOLRxD 端子を使用します。外部デバイスとRL78 マイクロコントローラとの通信は、RL78 マイクロコントローラの TOOLTxD, TOOLRxD 端子を使用して、専用のUART によるシリアル通信で行います。

接続回路の詳細や注意事項については、シリアルポートを使用したRL78 デバッグ機能（R20AN0632）を参照してください。



注1. 64ピン製品のみ

注2. REGC端子はコンデンサ（0.47～1μF）を介してグラウンドに接続してください。

注3. TOOLRxDを兼用するポートを入力モードに設定してください。また、PDIDISxxレジスタで入力バッファの入力を許可に設定してください。

40.3 オンチップ・デバッグのセキュリティ設定

第三者からメモリの内容を読み取られないようにするために、以下のオンチップ・デバッグ機能を用意しています。

- プログラム・オンチップ・デバッグ接続禁止設定（39.9 セキュリティ設定を参照）
- フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第38章 オプション・バイトを参照）
- 000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域

注 オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラム接続ID認証のIDコード設定領域と共用しています。

表40-1 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード注
040C4H-040CDH	

注 FFFFFFFFは設定できません。

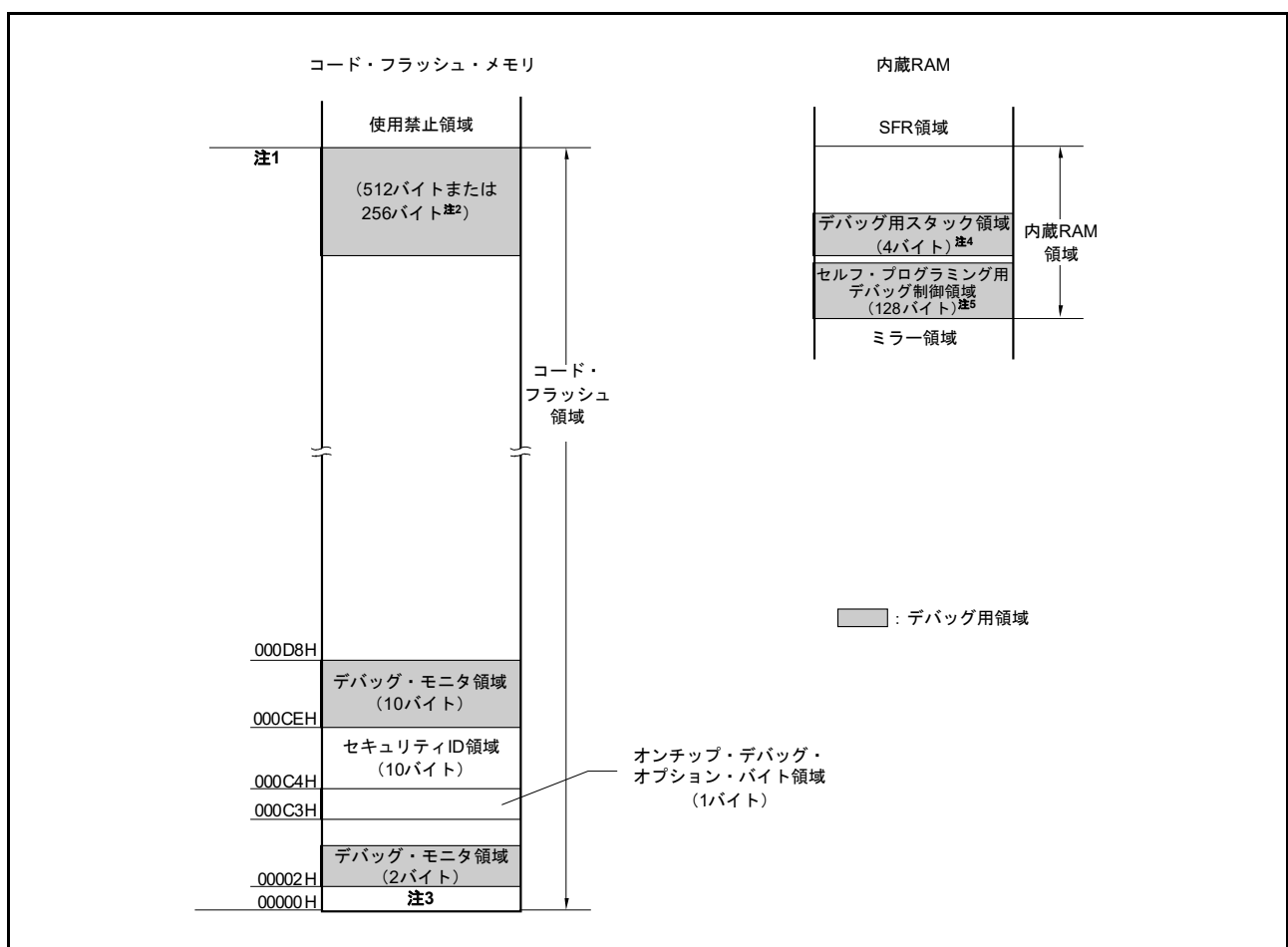
40.4 ユーザ資源の確保

RL78 マイクロコントローラと E2, E2 Lite オンチップ・デバッグ・エミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図40-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図40-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名	注1のアドレス
R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L)	0FFFFH
R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L)	1FFFFH

注2. リアルタイムRAMモニタ (RRM) 機能、Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。

注3. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。セルフ・プログラミングを行う場合は、12バイト余分に消費します。

- 注5.** セルフ・プログラミング中にブレークする場合、オンチップ・デバッガは次のRAM領域（128バイト）を使用します。
- FCF00H-FCF7FH
- オンチップ・デバッガでセルフ・プログラミング中にデバッグを行わない設定にした場合は、上記RAM領域を使用しません。セルフ・プログラミングのデバッグの設定は、各統合開発環境のユーザーズマニュアルを参照してください。

第41章 10進補正 (BCD) 回路

41.1 10進補正回路の機能

BCDコード (2進化10進数) と BCDコード (2進化10進数) の加減算結果を、BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ (BCDADJ) を加減算することで10進補正演算結果が求められます。

41.2 10進補正回路で使用するレジスタ

10進補正回路で使用するレジスタを次に示します。

- BCD補正結果レジスタ (BCDADJ)

41.2.1 BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

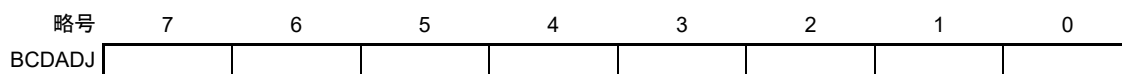
リセット信号の発生により、不定になります。

図41-1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH

リセット時: 不定

R/W属性 : R



41.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

- (1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める
- ① 加算したいBCDコード値 (被加算値) をAレジスタに格納する。
 - ② Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値、加算値) を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ (BCDADJ) に格納される。
 - ③ Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正値) を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、ほかの命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CY, ACフラグ) は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

例2 $85 + 15 = 100$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

例3 $80 + 80 = 160$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ① 減算されるBCDコード値 (被減算値) をAレジスタに格納する。
- ② Aレジスタから第2オペランドの値 (減算するBCDコード値、減算値) を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ (BCDADJ) に格納される。
- ③ Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正値) を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、ほかの命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CY, ACフラグ) は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #91H ; ①	91H	—	—	—
SUB A, #52H ; ②	3FH	0	1	06H
SUB A, !BCDADJ ; ③	39H	0	0	—

第42章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、**RL78 ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0015)** を参照してください。

42.1 凡例

42.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#,!,!!, \$, \$!, [], ES: の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- # : イミーディエト・データ指定
- ! : 16ビット絶対アドレス指定
- !! : 20ビット絶対アドレス指定
- \$: 8ビット相対アドレス指定
- \$! : 16ビット相対アドレス指定
- [] : 間接アドレス指定
- ES : 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#,!,!!, \$, \$!, [], ES: 記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r, rp には、機能名称 (X, A, C など)、絶対名称 (表 42-1 オペランドの表現形式と記述方法の中のカッコ内の名称、R0, R1, R2 など) のいずれの形式でも記述可能です。

表42-1 オペランドの表現形式と記述方法

表現形式	記述方法
r rp sfr sfrp	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7) AX(RP0), BC(RP1), DE(RP2), HL(RP3) 特殊機能レジスタ略号 (SFR略号) FFF00H-FFFFFH 特殊機能レジスタ略号 (16ビット操作可能なSFR略号。偶数アドレスのみ注) FFF00H-FFFFFH
saddr saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル FFE20H-FFF1FH イミーディエト・データまたはラベル (偶数アドレスのみ注)
addr20 addr16 addr5	0000H-FFFFFH イミーディエト・データまたはラベル 0000H-FFFFFH イミーディエト・データまたはラベル (16ビット・データ時は偶数アドレスのみ注) 0080H-00BFH イミーディエト・データまたはラベル (偶数アドレスのみ)
word byte bit	16ビット・イミーディエト・データまたはラベル 8ビット・イミーディエト・データまたはラベル 3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が0になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は、表3-5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は、表3-6 2nd SFR一覧を参照してください。

42.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表42-2 オペレーション欄の記号

記号	機能
A	Aレジスタ : 8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア : 16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	()内のアドレスまたはレジスタの内容で示されるメモリの内容
XH, XL Xs, XH, XL	16ビット・レジスタの場合はXH = 上位8ビット、XL = 下位8ビット 20ビット・レジスタの場合はXs (ビット19-16)、XH (ビット15-8)、XL (ビット7-0)
∧	論理積 (AND)
∨	論理和 (OR)
⊖	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミーディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイースメント値)
jdisp16	符号付き16ビット・データ (ディスプレイースメント値)

42.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表します。

表42-3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果に従ってセット/リセットされる
R	以前に退避した値がリストアされる

42.1.4 PREFIX命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFFH の 64 K バイト空間から、ES レジスタの値を付加した 00000H-FFFFFFH の 1 M バイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表42-4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A などで事前に設定しておいてください。

42.2 オペレーション一覧

表42-5 オペレーション一覧 (1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デ ー タ 転 送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	x	x	x
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte			
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte			
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte			
		word[B], #byte	4	1	—	(B + word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte			
		word[C], #byte	4	1	—	(C + word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte			
		word[BC], #byte	4	1	—	(BC + word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte			
		A, r ^{注3}	1	1	—	A ← r			
		r ^{注3} , A	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	x	x	x
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	—	(addr16) ← A			
ES:!addr16, A	4	2	—	(ES, addr16) ← A					
A, saddr	2	1	—	A ← (saddr)					
saddr, A	2	1	—	(saddr) ← A					

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	A, sfr	2	1	—	A ← sfr			
		sfr, A	2	1	—	sfr ← A			
		A, [DE]	1	1	4	A ← (DE)			
		[DE], A	1	1	—	(DE) ← A			
		A, ES:[DE]	2	2	5	A ← (ES, DE)			
		ES:[DE], A	2	2	—	(ES, DE) ← A			
		A, [HL]	1	1	4	A ← (HL)			
		[HL], A	1	1	—	(HL) ← A			
		A, ES:[HL]	2	2	5	A ← (ES, HL)			
		ES:[HL], A	2	2	—	(ES, HL) ← A			
		A, [DE+byte]	2	1	4	A ← (DE + byte)			
		[DE+byte], A	2	1	—	(DE + byte) ← A			
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	—	((ES, DE) + byte) ← A			
		A, [HL+byte]	2	1	4	A ← (HL + byte)			
		[HL+byte], A	2	1	—	(HL + byte) ← A			
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	—	((ES, HL) + byte) ← A			
		A, [SP+byte]	2	1	—	A ← (SP + byte)			
		[SP+byte], A	2	1	—	(SP + byte) ← A			
		A, word[B]	3	1	4	A ← (B + word)			
		word[B], A	3	1	—	(B + word) ← A			
		A, ES:word[B]	4	2	5	A ← ((ES, B) + word)			
		ES:word[B], A	4	2	—	((ES, B) + word) ← A			
		A, word[C]	3	1	4	A ← (C + word)			
		word[C], A	3	1	—	(C + word) ← A			
		A, ES:word[C]	4	2	5	A ← ((ES, C) + word)			
		ES:word[C], A	4	2	—	((ES, C) + word) ← A			
		A, word[BC]	3	1	4	A ← (BC + word)			
		word[BC], A	3	1	—	(BC + word) ← A			
A, ES:word[BC]	4	2	5	A ← ((ES, BC) + word)					
ES:word[BC], A	4	2	—	((ES, BC) + word) ← A					

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$			
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$			
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$			
	C, saddr	2	1	—	$C \leftarrow (saddr)$				
	ES, saddr	3	1	—	$ES \leftarrow (saddr)$				
	XCH	A, r ^{注3}	1 (r = X) 2 (r = X 以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
A, ES:!addr16		5	3	—	$A \leftrightarrow (ES, addr16)$				
A, saddr		3	2	—	$A \leftrightarrow (saddr)$				
A, sfr		3	2	—	$A \leftrightarrow sfr$				
A, [DE]		2	2	—	$A \leftrightarrow (DE)$				
A, ES:[DE]		3	3	—	$A \leftrightarrow (ES, DE)$				
A, [HL]		2	2	—	$A \leftrightarrow (HL)$				
A, ES:[HL]		3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]		3	2	—	$A \leftrightarrow (DE + byte)$				
A, ES:[DE+byte]		4	3	—	$A \leftrightarrow ((ES, DE) + byte)$				
A, [HL+byte]		3	2	—	$A \leftrightarrow (HL + byte)$				
A, ES:[HL+byte]	4	3	—	$A \leftrightarrow ((ES, HL) + byte)$					

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	XCH	A, [HL+B]	2	2	—	A ↔ (HL + B)			
		A, ES:[HL+B]	3	3	—	A ↔ ((ES, HL) + B)			
		A, [HL+C]	2	2	—	A ↔ (HL + C)			
		A, ES:[HL+C]	3	3	—	A ↔ ((ES, HL) + C)			
	ONEB	A	1	1	—	A ← 01H			
		X	1	1	—	X ← 01H			
		B	1	1	—	B ← 01H			
		C	1	1	—	C ← 01H			
		!addr16	3	1	—	(addr16) ← 01H			
		ES:!addr16	4	2	—	(ES, addr16) ← 01H			
		saddr	2	1	—	(saddr) ← 01H			
	CLRb	A	1	1	—	A ← 00H			
		X	1	1	—	X ← 00H			
		B	1	1	—	B ← 00H			
		C	1	1	—	C ← 00H			
		!addr16	3	1	—	(addr16) ← 00H			
		ES:!addr16	4	2	—	(ES, addr16) ← 00H			
		saddr	2	1	—	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	—	(HL + byte) ← X	×		×
		ES:[HL+byte], X	4	2	—	(ES, HL + byte) ← X	×		×
16 ビット ・ デー タ 転 送	MOVW	rp, #word	3	1	—	rp ← word			
		saddrp, #word	4	1	—	(saddrp) ← word			
		sfrp, #word	4	1	—	sfrp ← word			
		AX, rp ^{注3}	1	1	—	AX ← rp			
		rp ^{注3} , AX	1	1	—	rp ← AX			
		AX, !addr16	3	1	4	AX ← (addr16)			
		!addr16, AX	3	1	—	(addr16) ← AX			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	—	(ES, addr16) ← AX			
		AX, saddrp	2	1	—	AX ← (saddrp)			
		saddrp, AX	2	1	—	(saddrp) ← AX			
		AX, sfrp	2	1	—	AX ← sfrp			
		sfrp, AX	2	1	—	sfrp ← AX			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ デー タ 転 送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)					
ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX					

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, laddr16	3	1	4	BC ← (addr16)			
		BC, ES:laddr16	4	2	5	BC ← (ES, addr16)			
		DE, laddr16	3	1	4	DE ← (addr16)			
		DE, ES:laddr16	4	2	5	DE ← (ES, addr16)			
		HL, laddr16	3	1	4	HL ← (addr16)			
		HL, ES:laddr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp ^{注3}	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
		BC	1	1	—	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	x	x	x
		A, r ^{注4}	2	1	—	A, CY ← A + r	x	x	x
		r, A	2	1	—	r, CY ← r + A	x	x	x
		A, laddr16	3	1	4	A, CY ← A + (addr16)	x	x	x
		A, ES:laddr16	4	2	5	A, CY ← A + (ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A + (saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A + (HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	x	x	x
A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	x	x	x		

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

注4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	x	x	x
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	x	x	x
		A, laddr16	3	1	4	$A, CY \leftarrow A + (\text{laddr16}) + CY$	x	x	x
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{laddr16}) + CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	x	x	x
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	x	x	x	
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	x	x	x
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A$	x	x	x
		A, laddr16	3	1	4	$A, CY \leftarrow A - (\text{laddr16})$	x	x	x
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{laddr16})$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	x	x	x
A, [HL+byte]		2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	x	x	x	
A, ES:[HL+byte]		3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	x	x	x	
A, [HL+B]		2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	x	x	x	
A, ES:[HL+B]		3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	x	x	x	
A, [HL+C]		2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	x	x	x	
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	x	x	x		

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. $r = A$ を除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte} - CY$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	x	x	x
		A, r注3	2	1	—	$A, CY \leftarrow A - r - CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A - CY$	x	x	x
		A, laddr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	x	x	x
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16}) - CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr) - CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL}) - CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL}) - CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte}) - CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte}) - CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B) - CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B) - CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C) - CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}: \text{HL}) + C) - CY$	x	x	x
	AND	A, #byte	2	1	—	$A \leftarrow A \wedge \text{byte}$	x		
		saddr, #byte	3	2	—	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	x		
		A, r注3	2	1	—	$A \leftarrow A \wedge r$	x		
		r, A	2	1	—	$r \leftarrow r \wedge A$	x		
		A, laddr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	x		
		A, ES:laddr16	4	2	5	$A \leftarrow A \wedge (\text{ES}: \text{addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \wedge (saddr)$	x		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (\text{ES}: \text{HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \wedge (\text{HL} + \text{byte})$	x		
A, ES:[HL+byte]	3	2	5	$A \leftarrow A \wedge ((\text{ES}: \text{HL}) + \text{byte})$	x				
A, [HL+B]	2	1	4	$A \leftarrow A \wedge (\text{HL} + B)$	x				
A, ES:[HL+B]	3	2	5	$A \leftarrow A \wedge ((\text{ES}: \text{HL}) + B)$	x				
A, [HL+C]	2	1	4	$A \leftarrow A \wedge (\text{HL} + C)$	x				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((\text{ES}: \text{HL}) + C)$	x				

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	x		
		A, r ^{注3}	2	1	—	$A \leftarrow A \vee r$	x		
		r, A	2	1	—	$r \leftarrow r \vee A$	x		
		A, laddr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	x		
		A, ES:laddr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	x		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	x		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	x		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	x		
	A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	x			
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	x		
		A, r ^{注3}	2	1	—	$A \leftarrow A \nabla r$	x		
		r, A	2	1	—	$r \leftarrow r \nabla A$	x		
		A, laddr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$	x		
		A, ES:laddr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$	x		
A, [HL+B]		2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$	x			
A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$	x				
A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$	x				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$	x				

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (10/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	CMP	A, #byte	2	1	—	A - byte	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x
		saddr, #byte	3	1	—	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	—	A - r	x	x	x
		r, A	2	1	—	r - A	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, saddr	2	1	—	A - (saddr)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x
		CMP0	A	1	1	—	A - 00H	x	0
	X		1	1	—	X - 00H	x	0	0
	B		1	1	—	B - 00H	x	0	0
	C		1	1	—	C - 00H	x	0	0
	!addr16		3	1	4	(addr16) - 00H	x	0	0
	ES:!addr16		4	2	5	(ES:addr16) - 00H	x	0	0
	saddr		2	1	—	(saddr) - 00H	x	0	0
	CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x
		X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (11/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	x	x	x
		AX, AX	1	1	—	AX, CY ← AX + AX	x	x	x
		AX, BC	1	1	—	AX, CY ← AX + BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX + DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX + HL	x	x	x
		AX, laddr16	3	1	4	AX, CY ← AX + (addr16)	x	x	x
		AX, ES:laddr16	4	2	5	AX, CY ← AX + (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	—	AX, CY ← AX – word	x	x	x
		AX, BC	1	1	—	AX, CY ← AX – BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX – DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX – HL	x	x	x
		AX, laddr16	3	1	4	AX, CY ← AX – (addr16)	x	x	x
		AX, ES:laddr16	4	2	5	AX, CY ← AX – (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX – (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX – (HL + byte)	x	x	x
	AX, ES: [HL+byte]	4	2	5	AX, CY ← AX – ((ES:HL) + byte)	x	x	x	
	CMPW	AX, #word	3	1	—	AX – word	x	x	x
		AX, BC	1	1	—	AX – BC	x	x	x
		AX, DE	1	1	—	AX – DE	x	x	x
		AX, HL	1	1	—	AX – HL	x	x	x
		AX, laddr16	3	1	4	AX – (addr16)	x	x	x
		AX, ES:laddr16	4	2	5	AX – (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX – (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX – (HL + byte)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX – ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42 - 5 オペレーション一覧 (12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow AX \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow AX \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商)、 DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商)、 $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)		×	×
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)		×	×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態 (DI) で実行してください。

ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- CC-RL (ルネサスエレクトロニクス社コンパイラ製品) V1.01.00以降のC言語ソースおよびアセンブリ言語ソース
- CA78K0R (ルネサスエレクトロニクス社コンパイラ製品) V1.71以降のC言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR社コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- LLVM RL78 (CyberTHOR社コンパイラ) のC言語ソースおよびC++言語ソース
- GNURL78 (CyberTHOR社コンパイラ) のC言語ソースおよびC++言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

備考2. MACR: 積和演算累計レジスタ (MACRH, MACRL)

表42-5 オペレーション一覧 (13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r + 1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r - 1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	$rp \leftarrow rp - 1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×	

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

備考2. cntはビット・シフト数です。

表42-5 オペレーション一覧 (14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A7 \leftarrow A0, A_{m-1} \leftarrow A_m) \times 1$			x
	ROL	A, 1	2	1	—	$(CY, A0 \leftarrow A7, A_{m+1} \leftarrow A_m) \times 1$			x
	RORC	A, 1	2	1	—	$(CY \leftarrow A0, A7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			x
	ROLC	A, 1	2	1	—	$(CY \leftarrow A7, A0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			x
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			x
BC, 1		2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			x	
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			x
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			x
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	x	x	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			x
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			x
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			x
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			x
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			x
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			x
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			x
CY, [HL].bit		2	1	4	$CY \leftarrow CY \vee (HL).bit$			x	
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			x	

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			x
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			x
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			x
	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$			
	SET1	CY	2	1	—	$CY \leftarrow 1$			1
	CLR1	CY	2	1	—	$CY \leftarrow 0$			0
NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			x	

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3/5注3	—	(SP-2) ← (PC+2)s, (SP-3) ← (PC+2)H, (SP-4) ← (PC+2)L, PC ← CS, rp, SP ← SP-4			
		\$!addr20	3	3/5注3	—	(SP-2) ← (PC+3)s, (SP-3) ← (PC+3)H, (SP-4) ← (PC+3)L, PC ← PC+3+jdisp16, SP ← SP-4			
		!addr16	3	3/5注3	—	(SP-2) ← (PC+3)s, (SP-3) ← (PC+3)H, (SP-4) ← (PC+3)L, PC ← 0000, addr16, SP ← SP-4			
		!!addr20	4	3/5注3	—	(SP-2) ← (PC+4)s, (SP-3) ← (PC+4)H, (SP-4) ← (PC+4)L, PC ← addr20, SP ← SP-4			
	CALLT	[addr5]	2	5/7注3	—	(SP-2) ← (PC+2)s, (SP-3) ← (PC+2)H, (SP-4) ← (PC+2)L, PCs ← 0000, PCH ← (0000, addr5+1), PCL ← (0000, addr5), SP ← SP-4			
	BRK	—	2	5/7注3	—	(SP-1) ← PSW, (SP-2) ← (PC+2)s, (SP-3) ← (PC+2)H, (SP-4) ← (PC+2)L, PCs ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP-4, IE ← 0			
	RET	—	1	6/8注3	—	PCL ← (SP), PCH ← (SP+1), PCs ← (SP+2), SP ← SP+4			
RETI	—	2	6/8注3	—	PCL ← (SP), PCH ← (SP+1), PCs ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R	
RETB	—	2	6/8注3	—	PCL ← (SP), PCH ← (SP+1), PCs ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R	

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“PFBE = 0設定時 / PFBE = 1設定時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP - 1) ← PSW, (SP - 2) ← 00H, SP ← SP - 2			
		rp	1	1	—	(SP - 1) ← rpH, (SP - 2) ← rpL, SP ← SP - 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP + byte				
SUBW	SP, #byte	2	1	—	SP ← SP - byte				
★ ★ ★ ★ ★ 無条件分岐	BR	AX	2	3/5注3	—	PC ← CS, AX			
		\$addr20	2	3/5注3	—	PC ← PC + 2 + jdisp8			
		\$laddr20	3	3/5注3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3/5注3	—	PC ← 0000, addr16			
		!!addr20	4	3/5注3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4/6注4	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4/6注4	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4/6注4	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4/6注4	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4/6注4	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 0			
	BNH	\$addr20	3	2/4/6注4	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 1			
	BT	saddr.bit, \$addr20	4	3/5/7注4	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5/7注4	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5/7注4	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5/7注4	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5/7注4	6/7/9注4	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
ES:[HL].bit, \$addr20		4	4/6/8注4	7/8/10注4	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

★ 注3. クロック数は“PFBE = 0 設定時 / PFBE = 1 設定時”を表しています。

注4. クロック数は“条件不成立時 / 条件成立時 (PFBE = 0 設定時) / 条件成立時 (PFBE = 1 設定時)”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表42-5 オペレーション一覧 (18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5/7注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5/7注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5/7注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5/7注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5/7注3	6/7/9注3	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6/8注3	7/8/10注3	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5/7注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5/7注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5/7注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5/7注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5/7注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6/8注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 1			
CPU制御	SEL	R _{Bn} 注4	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“条件不成立時/条件成立時 (PFBE = 0設定時) /条件成立時 (PFBE = 1設定時)”を表しています。

注4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

第43章 電気的特性 (TA = -40°C ~ +105°C)

この章では、以下の対象製品の電気的特性を示します。

対象製品

- 2D : 民生用途 TA = -40 ~ +85°C
R7F101Gxx2Dxx
- 3C : 産業用途 TA = -40 ~ +105°C
R7F101Gxx3Cxx
- 4C : 産業用途 TA = -40 ~ +125°C 品を TA = -40°C ~ +105°C の範囲で使用する場合
R7F101Gxx4Cxx

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受付対象外となります。

注意2. 2D : 民生用途の製品は、TA = -40°C ~ +105°CをTA = -40°C ~ +85°Cに置き換えてください。

注意3. EVDD0, EVSS0端子がない製品は、EVDD0をVDDに、EVSS0をVSSに置き換えてください。

注意4. 製品により搭載している端子が異なります。2.1 ポートの端子機能~2.2.1 製品別の搭載機能を参照してください。

43.1 絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVDD0		-0.5 ~ +6.5	V
	EVSS0		-0.5 ~ +0.3	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.1 かつ-0.3 ~ VDD+0.3 ^{注1}	V
入力電圧	Vi1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P140, P141, P146, P147	-0.3 ~ EVDD0+0.3 かつ-0.3 ~ VDD+0.3 ^{注2}	V
	Vi2	P60, P61 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	P20-P27, P121-P124, P137, EXCLK, EXCLKS, RESET	-0.3 ~ VDD+0.3 ^{注2}	V
出力電圧	VO1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	-0.3 ~ EVDD0+0.3 かつ-0.3 ~ VDD+0.3 ^{注2}	V
	VO2	P20-P27, P121, P122	-0.3 ~ VDD+0.3 ^{注2}	V
アナログ入力電圧	VAI1	ANI16-ANI30	-0.3 ~ EVDD0+0.3 かつ-0.3 ~ AVREFP+0.3 ^{注2, 3}	V
	VAI2	ANI0-ANI7	-0.3 ~ VDD+0.3 かつ-0.3 ~ AVREFP+0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してVssに接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. A/D変換対象の端子は、AVREFP+0.3を超えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREFP : A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とします。

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	-40	mA
		端子合計 -170 mA	P00-P04, P40-P43, P120, P130, P140, P141	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P55, P62, P63, P70-P77, P146, P147	-100	mA
	IOH2	1端子	P20-P27, P121, P122	-5	mA
		端子合計		-20	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	40	mA
		端子合計 170 mA	P00-P04, P40-P43, P120, P130, P140, P141	70	mA
			P05, P06, P10-P17, P30, P31, P50-P55, P60-P63, P70-P77, P146, P147	100	mA
	IOL2	1端子	P20-P27, P121, P122	10	mA
		端子合計		20	mA
動作周囲温度	TA	通常動作時	3C : 産業用途	-40 ~ +105	°C
			2D : 民生用途	-40 ~ +85	°C
		フラッシュ・メモリ・プログラミング時	3C : 産業用途	-40 ~ +105	°C
			2D : 民生用途	-40 ~ +85	°C
保存温度	Tstg			-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

43.2 発振回路特性

★ 43.2.1 X1発振回路特性

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	発振子	条件	Min.	Typ.	Max.	単位
X1クロック発振許容入力周期注	セラミック発振子/水晶振動子		0.05		1	μs

注 発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、**43.4 AC特性**を参照してください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

★ 43.2.2 XT1発振回路特性

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 5.5 V (20 ~ 32ピン製品), 1.6 V ≤ VDD ≤ 5.5 V (40 ~ 64ピン製品), VSS = 0 V)

項目	発振子	条件	Min.	Typ.	Max.	単位
XT1クロック発振周波数 (fXT) 注	水晶振動子			32.768		kHz

注 発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、**43.4 AC特性**を参照してください。

43.2.3 オンチップ・オシレータ特性

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件			Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f _{IH}				1		48	MHz
高速オンチップ・オシレータ・クロック周波数精度 ^{注1}		HIPREC = 1	+85 ~ +105°C	1.8 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
				1.6 V ≤ VDD ≤ 5.5 V	-6.0		+6.0	%
			-20 ~ +85°C	1.8 V ≤ VDD ≤ 5.5 V	-1.0		+1.0	%
				1.6 V ≤ VDD ≤ 5.5 V	-5.0		+5.0	%
			-40 ~ -20°C	1.8 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
				1.6 V ≤ VDD ≤ 5.5 V	-5.5		+5.5	%
		HIPREC = 0 ^{注4}			-15		0	%
高速オンチップ・オシレータ・クロック補正分解能						0.05		%
中速オンチップ・オシレータ・クロック周波数 ^{注2}	f _{IM}				1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度 ^{注1}					-12		+12	%
中速オンチップ・オシレータ・クロック補正分解能						0.15		%
中速オンチップ・オシレータ周波数温度係数							±0.17	%/°C
低速オンチップ・オシレータ・クロック周波数 ^{注2}	f _{IL}					32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度 ^{注1}					-15		+15	%
低速オンチップ・オシレータ・クロック補正分解能						0.3		%
低速オンチップ・オシレータ周波数温度係数							±0.21	%/°C

注1. テスト時の精度です。

注2. 発振回路の特性だけを示すものです。命令実行時間は、43.4 AC特性を参照してください。

注3. 評価による値です。

注4. ユーザ・オプション・バイトのFRQSEL3 = 1に設定時

43.2.4 PLL 発振回路特性

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
PLL入力周波数	f _{PLLIN}	高速システム・クロック (f _{MX}) または高速オンチップ・オシレータ・クロック (f _{IH})		8		MHz
PLL出力周波数	f _{PLL}	f _{PLLIN} × 12 逓倍		96		MHz
		f _{PLLIN} × 8 逓倍		64		MHz
ロックアップ・ウエイト・タイム		PLL出力許可から出力周波数の安定までの待ち時間	50			μs
インターバル・ウエイト・タイム		PLL停止→PLL再動作設定待ち時間	4			μs
設定待ち時間		PLL入力クロック安定かつPLL設定確定後→起動設定の必要待ち時間	1			μs

43.3 DC特性

43.3.1 端子特性

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/7)

項目	略号	条件	Min.	Typ.	Max.	単位		
ハイ・レベル許容出力 電流 ^{注1}	IOH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147 1端子	1.6 V ≤ EVDD0 ≤ 5.5 V			-10.0 ^{注2}	mA	
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			-55.0 ^{注4}	mA	
			2.7 V ≤ EVDD0 < 4.0 V			-10.0	mA	
			1.8 V ≤ EVDD0 < 2.7 V			-5.0	mA	
			1.6 V ≤ EVDD0 < 1.8 V			-2.5	mA	
		P05, P06, P10-P17, P30, P31, P50-P55, P62, P63, P70-P77, P146, P147 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			-80.0 ^{注5}	mA	
			2.7 V ≤ EVDD0 < 4.0 V			-19.0 ^{注7}	mA	
			1.8 V ≤ EVDD0 < 2.7 V			-10.0	mA	
			1.6 V ≤ EVDD0 < 1.8 V			-5.0	mA	
		全端子合計 (デューティ ≤ 70%時 ^{注3})	1.6 V ≤ EVDD0 ≤ 5.5 V			-135.0 ^{注6}	mA	
		IOH2	P20-P27, P121, P122 1端子	4.0 V ≤ VDD ≤ 5.5 V			-3.0 ^{注2}	mA
				2.7 V ≤ VDD < 4.0 V			-1.0 ^{注2}	mA
				1.8 V ≤ VDD < 2.7 V			-1.0 ^{注2}	mA
	1.6 V ≤ VDD < 1.8 V					-0.5 ^{注2}	mA	
	全端子合計 (デューティ ≤ 70%時 ^{注3})		4.0 V ≤ VDD ≤ 5.5 V			-20.0 ^{注8}	mA	
			2.7 V ≤ VDD < 4.0 V			-10.0 ^{注9}	mA	
			1.8 V ≤ VDD < 2.7 V			-5.0	mA	
			1.6 V ≤ VDD < 1.8 V			-5.0	mA	

(注、注意、備考は次ページに続きます)

- 注1.** EVDD0, VDD 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。
- 注2.** ただし、合計の電流値を超えないでください。
- 注3.** デューティ ≤ 70% の条件での出力電流の値です。
デューティ > 70% に変更した出力電流の値は、次の計算式で求めることができます (デューティ比を n% に変更する場合)。
• 端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$
<計算例> $I_{OH} = -10.0$ mA の場合、 $n = 80\%$
端子合計の出力電流 = $(-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7$ mA
ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。
- 注4.** 産業用途向け (R7F101Gxx3Cxx) の +85°C ~ +105°C は -30 mA です。
産業用途向け (R7F101Gxx4Cxx) の -40°C ~ +105°C は -24 mA です。
- 注5.** 産業用途向け (R7F101Gxx3Cxx) の +85°C ~ +105°C は -50 mA です。
産業用途向け (R7F101Gxx4Cxx) の -40°C ~ +105°C は -42 mA です。
- 注6.** 産業用途向け (R7F101Gxx3Cxx) の -40°C ~ +85°C は -100 mA、+85°C ~ +105°C は -60 mA です。
産業用途向け (R7F101Gxx4Cxx) の -40°C ~ +105°C は -54 mA です。
- 注7.** 産業用途向け (R7F101Gxx4Cxx) の -40°C ~ +105°C は -17 mA です。
- 注8.** 産業用途向け (R7F101Gxx4Cxx) の -40°C ~ +105°C は -14 mA です。
- 注9.** 産業用途向け (R7F101Gxx4Cxx) の -40°C ~ +105°C は -8 mA です。
- 注意** P00, P02-P04, P10-P15, P17, P30, P50, P51, P55, P71-P74 は、N-ch オープン・ドレイン・モード時には、ハイ・レベル出力しません。
- 備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/7)

項目	略号	条件	Min.	Typ.	Max.	単位		
ロウ・レベル許容出力 電流 ^{注1}	IOL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147 1端子			20.0 ^{注2, 8}	mA		
			P60, P61 1端子				15.0 ^{注2}	
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			70.0 ^{注4}	mA	
			2.7 V ≤ EVDD0 < 4.0 V			15.0		
			1.8 V ≤ EVDD0 < 2.7 V			9.0		
			1.6 V ≤ EVDD0 < 1.8 V			4.5		
		P05, P06, P10-P17, P30, P31, P50-P55, P62, P63, P70-P77, P146, P147 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			80.0 ^{注4}	mA	
			2.7 V ≤ EVDD0 < 4.0 V			35.0 ^{注6}		
			1.8 V ≤ EVDD0 < 2.7 V			20.0		
			1.6 V ≤ EVDD0 < 1.8 V			10.0		
	全端子合計 (デューティ ≤ 70%時 ^{注3})					150.0 ^{注5}	mA	
	IOL2							
	P20-P27, P121, P122 1端子	4.0 V ≤ VDD ≤ 5.5 V			8.5 ^{注2}	mA		
		2.7 V ≤ VDD < 4.0 V			1.5 ^{注2}			
		1.8 V ≤ VDD < 2.7 V			0.6 ^{注2}			
		1.6 V ≤ VDD < 1.8 V			0.4 ^{注2}			
		全端子合計 (デューティ ≤ 70%時 ^{注3})					20.0 ^{注7}	mA
		4.0 V ≤ VDD ≤ 5.5 V				20.0 ^{注7}		
		2.7 V ≤ VDD < 4.0 V				15.0		
		1.6 V ≤ VDD < 1.8 V				10.0		

注1. 出力端子からEVSS0, VSS端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を超えないでください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OH} = -10.0 mAの場合、n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4. 産業用途向け (R7F101Gxx3Cxx) の+85°C ~ +105°Cは40 mAです。

産業用途向け (R7F101Gxx4Cxx) の-40°C ~ +105°Cは34 mAです。

注5. 産業用途向け (R7F101Gxx3Cxx) の+85°C ~ +105°Cは80 mAです。

産業用途向け (R7F101Gxx4Cxx) の-40°C ~ +105°Cは68 mAです。

注6. 産業用途向け (R7F101Gxx4Cxx) の-40°C ~ +105°Cは15 mAです。

注7. 産業用途向け (R7F101Gxx4Cxx) の-40°C ~ +105°Cは14 mAです。

注8. 産業用途向け (R7F101Gxx4Cxx) の-40°C ~ +105°Cは17 mAです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル入力電圧	VIH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
	VIH2	P01, P03, P04, P10, P11, P14-P17, P30, P50, P55, P73	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2		EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0		EVDD0	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	1.5		EVDD0	V
	VIH3	P20-P27		0.7 VDD		VDD	V
	VIH4	P60, P61	I/Oポート・モード	0.7 EVDD0		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET		0.8 VDD		VDD	V
VIH6	P60, P61	SMBus入力モード 2.7 V ≤ EVDD0 ≤ 5.5 V	1.35		EVDD0	V	
ロウ・レベル入力電圧	UIL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ	0		0.2 EVDD0	V
	UIL2	P01, P03, P04, P10, P11, P14-P17, P30, P50, P55, P73	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	0		0.32	V
	UIL3	P20-P27		0		0.3 VDD	V
	UIL4	P60, P61	I/Oポート・モード	0		0.3 EVDD0	V
	UIL5	P121-P124, P137, EXCLK, EXCLKS, RESET		0		0.2 VDD	V
UIL6	P60, P61	SMBus入力モード 2.7 V ≤ EVDD0 ≤ 5.5 V			0.8	V	

注意 P00, P02-P04, P10-P15, P17, P30, P50, P51, P55, P71-P74は、N-chオープン・ドレイン・モード時でもVIHの最大値(Max.)はEVDD0です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(4/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル出力電圧	VOH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -10.0 mA	EVDD0 -1.5			V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -3.0 mA	EVDD0 -0.7			V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -2.0 mA	EVDD0 -0.6			V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -1.5 mA	EVDD0 -0.5			V
			1.6 V ≤ EVDD0 < 5.5 V, IOH1 = -1.0 mA	EVDD0 -0.5			V
	VOH2	P20-P27, P121, P122	4.0 V ≤ VDD ≤ 5.5 V, IOH2 = -3.0 mA	VDD -0.7			V
			2.7 V ≤ VDD < 4.0 V, IOH2 = -1.0 mA	VDD -0.5			V
			1.8 V ≤ VDD < 2.7 V, IOH2 = -1.0 mA	VDD -0.5			V
			1.6 V ≤ VDD < 1.8 V, IOH2 = -0.5 mA	VDD -0.5			V

注意 P00, P02-P04, P10-P15, P17, P30, P50, P51, P55, P71-P74は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(5/7)

項目	略号	条件		Min.	Typ.	Max.	単位	
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 20.0 mA			1.3	V
			4.0 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 8.5 mA			0.7	V
			2.7 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 3.0 mA			0.6	V
			2.7 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 1.5 mA			0.4	V
			1.8 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 0.6 mA			0.4	V
			1.6 V ≤ EVDD0 ≤ 5.5 V	IOL1 = 0.3 mA			0.4	V
	VOL2	P20-P27, P121, P122	4.0 V ≤ VDD ≤ 5.5 V, IOL2 = 8.5 mA				0.7	V
			2.7 V ≤ VDD < 4.0 V, IOL2 = 1.5 mA				0.5	V
			1.8 V ≤ VDD < 2.7 V, IOL2 = 0.6 mA				0.4	V
			1.6 V ≤ VDD < 1.8 V, IOL2 = 0.4 mA				0.4	V
	VOL3	P60, P61	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 15.0 mA				2.0	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 5.0 mA				0.4	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 3.0 mA				0.4	V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 2.0 mA				0.4	V
			1.6 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 1.0 mA				0.4	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(6/7)

項目	略号	条件		Min.	Typ.	Max.	単位	
出力電流注	CCDIOL	P10, P11, P16, P17, P60-P63	CCSm = 01H	4.0 V ≤ EVDD0 ≤ 5.5 V	1.0	1.8	2.6	mA
				2.7 V ≤ EVDD0 < 4.0 V	0.8	1.5	2.3	mA
			CCSm = 02H	4.0 V ≤ EVDD0 ≤ 5.5 V	3.0	4.9	6.5	mA
				3.0 V ≤ EVDD0 < 4.0 V	2.7	4.3	5.9	mA
			CCSm = 03H	4.0 V ≤ EVDD0 ≤ 5.5 V	6.6	10.0	13.2	mA
				3.3 V ≤ EVDD0 < 4.0 V	6.0	9.1	12.1	mA
		P60, P61	CCSm = 04H	4.0 V ≤ EVDD0 ≤ 5.5 V	10.2	15.0	19.8	mA
				3.3 V ≤ EVDD0 < 4.0 V	9.4	13.8	18.2	mA

注 出力電流制御機能を有効にした場合です。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(7/7)

項目	略号	条件	Min.	Typ.	Max.	単位
ハイ・レベル入力 リーク電流	ILIH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P140, P141, P146, P147			1	μA
	ILIH2	P20-P27, P137, $\overline{\text{RESET}}$			1	μA
	ILIH3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)			1	μA
ロウ・レベル入力 リーク電流	ILIL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147			1	μA
	ILIL2	P20-P27, P137, $\overline{\text{RESET}}$			1	μA
	ILIL3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)			1	μA
内蔵プルアップ抵抗	RU	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120-P122, P140, P141, P146, P147	10	20	100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

43.3.2 電源電流特性

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/5)

項目	略号	条件				Min.	Typ.	Max.	単位			
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード	f _{PLL} = 96 MHz f _{CLK} = 48 MHz (MCM0 = 0) ^{注2}	通常動作	VDD = 5.0 V		5.5	17.6	mA		
						VDD = 2.4 V		5.5	17.6			
				f _{PLL} = 96 MHz f _{CLK} = 48 MHz (MCM = 1) ^{注4}	通常動作	VDD = 5.0 V		5.3	17.4	mA		
						VDD = 2.4 V		5.3	17.4			
				f _{IH} = 48 MHz ^{注2}	通常動作	VDD = 5.0 V		4.6	11.9	mA		
						VDD = 2.4 V		4.6	11.9			
			f _{PLL} = 64 MHz f _{CLK} = 32 MHz (MCM0 = 0) ^{注2}	通常動作	VDD = 5.0 V		3.9	12.1	mA			
					VDD = 1.8 V		3.9	12.1				
			f _{PLL} = 64 MHz f _{CLK} = 32 MHz (MCM = 1) ^{注4}	通常動作	VDD = 5.0 V		3.7	11.9	mA			
					VDD = 1.8 V		3.7	11.9				
				f _{IH} = 32 MHz ^{注2}	基本動作	VDD = 5.0 V		1.6	—	mA		
						VDD = 1.8 V		1.6	—			
			通常動作	VDD = 5.0 V		3.3	8.3	mA				
				VDD = 1.8 V		3.3	8.3					
				LS (低速メイン)モード	f _{IH} = 24 MHz ^{注2}	通常動作	VDD = 5.0 V			2.5	6.3	mA
							VDD = 1.8 V			2.5	6.3	
			f _{IH} = 16 MHz ^{注2}		通常動作	VDD = 5.0 V		1.8	4.4	mA		
					VDD = 1.8 V		1.8	4.4				
			f _{IM} = 4 MHz ^{注3}	通常動作	VDD = 5.0 V		0.5	1.3	mA			
					VDD = 1.6 V		0.5	1.3				
			LP (低電力メイン)モード	f _{IM} = 2 MHz ^{注3}	通常動作	VDD = 5.0 V		215	707	μA		
						VDD = 1.6 V		214	706			
				f _{IM} = 1 MHz ^{注3}	通常動作	VDD = 5.0 V		120	466	μA		
						VDD = 1.6 V		119	464			
HS (高速メイン)モード	f _{MX} = 20 MHz ^{注4} 、 方形波入力	通常動作	VDD = 5.0 V		2.0	5.2	mA					
			VDD = 1.8 V		2.0	5.2						
LS (低速メイン)モード	f _{MX} = 20 MHz ^{注4} 、 方形波入力	通常動作	VDD = 5.0 V		1.9	5.1	mA					
			VDD = 1.8 V		1.9	5.0						
	f _{MX} = 20 MHz ^{注4} 、 発振子接続	通常動作	VDD = 5.0 V		2.1	5.3	mA					
			VDD = 1.8 V		2.1	5.3						
	f _{MX} = 10 MHz ^{注4} 、 方形波入力	通常動作	VDD = 5.0 V		1.0	2.7	mA					
			VDD = 1.8 V		1.0	2.7						
	f _{MX} = 10 MHz ^{注4} 、 発振子接続	通常動作	VDD = 5.0 V		1.1	2.9	mA					
			VDD = 1.8 V		1.1	2.9						
f _{MX} = 8 MHz ^{注4} 、 方形波入力	通常動作	VDD = 5.0 V		0.8	2.2	mA						
		VDD = 1.8 V		0.8	2.2							

(注、備考は次ページに続きます)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/5)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 ^{注1}	IDD1	動作モード	LS (低速メイン)モード	f _{MX} = 8 MHz ^{注4} 、 発振子接続	通常動作	VDD = 5.0 V	0.9	2.4	mA
						VDD = 1.8 V	0.9	2.4	

★

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値にはPCLBUZ、TAU、SAU、IICA、タイマRD2、タイマRX、16ビット・タイマKB30, KB31, KB32機能の動作電流を含みます。

注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. f_{PLL} : PLLクロック周波数 (最大96 MHz)

備考5. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

備考6. 特に指定がない場合のTyp.値の温度条件は、TA = +25°Cです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/5)

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流 ^{注1}	IDD1	動作モード	サブシステム・クロック動作モード	fSUB = 32.768 kHz ^{注2} 、 低速オンチップ・オシレータ動作	通常動作	TA = -40°C		3.9	16.8	μA
						TA = +25°C		4.7	17.4	
						TA = +50°C		6.3	30.9	
						TA = +70°C		9.7	52.3	
						TA = +85°C		15.3	83.2	
						TA = +105°C		30.6	177.3	
				fSUB = 32.768 kHz ^{注3} 、 方形波入力	通常動作	TA = -40°C		3.5	16.3	μA
						TA = +25°C		4.9	22.0	
						TA = +50°C		5.9	31.7	
						TA = +70°C		9.2	53.9	
						TA = +85°C		14.7	81.8	
						TA = +105°C		30.3	180.4	
				fSUB = 32.768 kHz ^{注3} 、 発振子接続	通常動作	TA = -40°C		3.6	13.4	μA
						TA = +25°C		4.3	14.1	
						TA = +50°C		5.8	27.2	
						TA = +70°C		9.2	50.0	
						TA = +85°C		14.9	79.7	
						TA = +105°C		30.0	174.3	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。

RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。

低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(4/5)

項目	略号	条件		Min.	Typ.	Max.	単位		
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード	f _{PLL} = 96 MHz f _{CLK} = 48 MHz (MCM0 = 0) ^{注2}	VDD = 5.0 V		1.57	12.84	mA
					VDD = 2.4 V		1.57	12.84	
				f _{PLL} = 96 MHz f _{CLK} = 48 MHz (MCM = 1) ^{注4}	VDD = 5.0 V		1.39	12.62	mA
					VDD = 2.4 V		1.39	12.62	
				f _{IH} = 48 MHz ^{注2}	VDD = 5.0 V		0.73	7.13	mA
					VDD = 2.4 V		0.73	7.12	
				f _{PLL} = 64 MHz f _{CLK} = 32 MHz (MCM0 = 0) ^{注2}	VDD = 5.0 V		1.19	8.79	mA
					VDD = 1.8 V		1.18	8.78	
				f _{PLL} = 64 MHz f _{CLK} = 32 MHz (MCM = 1) ^{注4}	VDD = 5.0 V		1.01	8.58	mA
					VDD = 1.8 V		0.99	8.56	
				f _{IH} = 32 MHz ^{注3}	VDD = 5.0 V		0.62	4.98	mA
					VDD = 1.8 V		0.61	4.96	
			LS (低速メイン)モード	f _{IH} = 24 MHz ^{注3}	VDD = 5.0 V		0.51	3.83	mA
					VDD = 1.8 V		0.50	3.82	
				f _{IH} = 16 MHz ^{注3}	VDD = 5.0 V		0.48	2.79	mA
					VDD = 1.8 V		0.47	2.78	
				f _{IM} = 4 MHz ^{注4}	VDD = 5.0 V		0.10	0.82	mA
					VDD = 1.6 V		0.09	0.81	
			LP (低電力メイン)モード	f _{IM} = 2 MHz ^{注4}	VDD = 5.0 V		39	493	μA
					VDD = 1.6 V		40	494	
				f _{IM} = 1 MHz ^{注4}	VDD = 5.0 V		32	358	μA
					VDD = 1.6 V		31	357	
			HS (高速メイン)モード	f _{MX} = 20 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.25	3.02	mA
					VDD = 1.8 V		0.23	2.99	
LS (低速メイン)モード	f _{MX} = 20 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.26	3.03	mA			
		VDD = 1.8 V		0.23	2.99				
	f _{MX} = 20 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.44	3.25	mA			
		VDD = 1.8 V		0.43	3.23				
	f _{MX} = 10 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.16	1.65	mA			
		VDD = 1.8 V		0.13	1.62				
	f _{MX} = 10 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.30	1.82	mA			
		VDD = 1.8 V		0.29	1.81				
	f _{MX} = 8 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.14	1.37	mA			
		VDD = 1.8 V		0.12	1.35				
f _{MX} = 8 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.23	1.49	mA				
	VDD = 1.8 V		0.22	1.47					

(注、備考は次ページに続きます)

- ★
- 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp. 値は周辺動作電流を含みません。Max. 値にはPCLBUZ、TAU、SAU、IICA、タイマRD2、タイマRX、16ビット・タイマKB30, KB31, KB32機能の動作電流を含みます。
 - 注2. フラッシュ・メモリでのHALT命令実行時。
 - 注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
 - 注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
 - 注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. f_{PLL} : PLLクロック周波数 (最大96 MHz)

備考5. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

備考6. 特に指定がない場合のTyp. 値の温度条件は、TA = +25°Cです。

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(5/5)

項目	略号	条件			Min.	Typ.	Max.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	サブシステム・ クロック動作モード	fsUB = 32.768 kHz ^{注3} 、 低速オンチップ・ オシレータ動作	TA = -40°C		0.97	12.31	μA
					TA = +25°C		1.55	12.61	
					TA = +50°C		2.80	25.50	
					TA = +70°C		5.54	45.88	
					TA = +85°C		10.41	75.70	
					TA = +105°C		23.12	165.88	
				fsUB = 32.768 kHz、 方形波入力 ^{注4}	TA = -40°C		0.27	11.34	μA
					TA = +25°C		1.48	16.73	
					TA = +50°C		2.19	26.04	
					TA = +70°C		4.93	47.32	
					TA = +85°C		9.37	73.70	
					TA = +105°C		22.71	168.71	
				fsUB = 32.768 kHz、 発振子接続 ^{注5}	TA = -40°C		0.40	8.83	μA
					TA = +25°C		0.94	9.53	
					TA = +50°C		2.16	22.41	
					TA = +70°C		4.91	43.76	
					TA = +85°C		9.71	72.66	
					TA = +105°C		22.43	163.33	
電源電流 ^{注1}	IDD3	STOPモード	リアルタイム・クロック停止時 ^{注6}	TA = -40°C		0.16	10.00	μA	
				TA = +25°C		0.63	10.00		
				TA = +50°C		1.80	20.00		
				TA = +70°C		4.30	40.00		
				TA = +85°C		9.30	70.00		
				TA = +105°C		22.00	160.00		
			リアルタイム・クロック 128Hz動作 ^{注7}	TA = -40°C		0.24	11.00	μA	
				TA = +25°C		0.71	11.00		
				TA = +50°C		1.95	22.00		
				TA = +70°C		4.60	45.00		
				TA = +85°C		9.50	80.00		
				TA = +105°C		23.00	170.00		

(注、備考は次ページに続きます)

- 注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作時、電源電流のTyp. 値とMax. 値は周辺動作電流を含みません。ただし、HALTモード時はRTCに流れる電流を含みます。STOPモード時、電源電流のTyp. 値とMax. 値は周辺動作電流を含みません。
- 注2.** フラッシュ・メモリでのHALT命令実行時。
- 注3.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
RTCに流れる電流は含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCに流れる電流は含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。RTCに流れる電流は含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注6.** 低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 注7.** 低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。RTCに流れる電流は含みます。32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

周辺機能 (全製品共通)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件		Min.	Typ.	Max.	単位
高速オンチップ・オシレータ動作電流	IFIH ^{注1}	HIPREC = 0			380	—	μA
		HIPREC = 1			240	—	μA
中速オンチップ・オシレータ動作電流	IFIM ^{注1}				20	—	μA
低速オンチップ・オシレータ動作電流	IFIL ^{注1}				0.3	—	μA
RTC動作電流	IRTC ^{注1, 2, 3}	fRTCCLK = 32.768 kHz			0.005	—	μA
		fRTCCLK = 128 Hz			0.002	—	μA
32ビット・インターバル・タイマ動作電流	IIT ^{注1, 2, 4}				0.04	—	μA
ウォッチドッグ・タイマ動作電流	IWDT ^{注1, 2, 5}	fil = 32.768 kHz (typ.)			0.32	—	μA
A/Dコンバータ動作電流	IADC ^{注1, 6}	最高速変換時	標準モード、AVREFP = VDD = 5.0 V		0.95	1.6	mA
			低電圧モード、AVREFP = VDD = 3.0 V		0.54	0.81	mA
AVREFP電流	IADREF ^{注7}	AVREFP = 5.0 V			60	—	μA
A/Dコンバータ内部基準電圧電流	IADREF ^{注1}				114	—	μA
温度センサ動作電流	ITMPS ^{注1}				110	—	μA
D/Aコンバータ動作電流	IDAC ^{注1, 8}	1チャンネルあたり	10bitDAC, VDD = 5.0 V		223	—	μA
			8bitDAC, VDD = 5.0 V		120	—	μA
コンパレータ動作電流	ICMP ^{注1, 9}	1チャンネルあたり			100	—	μA
PGA動作電流	IPGA ^{注1, 10}				460	—	μA
S&H動作電流	ISH ^{注1, 11}	1チャンネルあたり			800	—	μA
LVD動作電流	ILVD0 ^{注1, 12}				0.03	—	μA
	ILVD1 ^{注1, 12}				0.03	—	μA
FAA動作電流	IFAA ^{注1, 13}	fCLK = 48 MHz			11.0	—	mA
		fCLK = 32 MHz			7.3	—	mA
真性乱数発生器動作電流	ITRNG				1.6	—	mA
SMBUS動作電流	ISMBUS				250	—	μA
セルフ・プログラミング動作電流	IFSP ^{注1, 14}				2.5	12.2	mA
データ・フラッシュ書き換え動作電流	IBGO ^{注1, 15}				2.5	12.2	mA
SNOOZE動作電流	ISNOZ ^{注1}	ADC動作	モード遷移中 ^{注16}		0.7	1.2	mA
			変換動作中、低電圧モード、AVREFP = VDD = 3.0 V		1.2	2.0	
		簡易SPI (CSI) /UART動作		0.7	1.07		
低速周辺クロック供給電流	ISXP ^{注1, 17}	RTCLPC = 0			0.27	—	μA

(注、備考は次ページに続きます)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件	Min.	Typ.	Max.	単位
出力電流制御機能動作電流	ICCD _A 注1, 18	CCDE = 00H以外		100	—	μA
出力電流制御機能動作電流	ICCD _P 注19, 20	出力電流制御ポート1本あたり	ロウ・レベル出力電流の設定: Hi-Z	30	—	μA
			ロウ・レベル出力電流の設定: 2~15 mA	210	—	μA

- 注1. VDDに流れる電流です。
- 注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロックは停止時。
- 注3. リアル・タイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は、IDD1またはIDD2にIRTCを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
- 注4. 32ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの32ビット・インターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。
- 注5. ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDTを加算した値が、RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
- 注7. AVREFPに流れる電流です。
- 注8. D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモードでのD/Aコンバータの動作時は、IDD1またはIDD2にIDACを加算した値が、RL78マイクロコントローラの電流値となります。
- 注9. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、IDD1、IDD2またはIDD3にICMPを加算した値が、RL78マイクロコントローラの電流値となります。
- 注10. PGA回路にのみ流れる電流です。PGA回路の動作時は、IDD1またはIDD2にIPGAを加算した値がRL78マイクロコントローラの電流値となります。
- 注11. S&H回路にのみ流れる電流です。S&H回路の動作時は、IDD1またはIDD2にISHを加算した値がRL78マイクロコントローラの電流値となります。
- 注12. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。
- 注13. FAA回路にのみ流れる電流です。FAA回路の動作時は、IDD1またはIDD2にIFAAを加算した値がRL78マイクロコントローラの電流値となります。
- 注14. セルフ・プログラミング動作に流れる電流です。
- 注15. データ・フラッシュ書き換え動作に流れる電流です。
- 注16. SNOOZEモードへの移行時間は、20.9 SNOOZEモード機能を参照してください。
- 注17. サブシステム・クロックX (fsx) が発振している状態でRTCLPC = 0かつSTOPモード時、RTCLPC = 0かつCPUクロックにサブシステム・クロックX (fsx) を選択した状態でのHALTモード時に加算される電流です。
- 注18. 出力電流制御ポート設定時に加算される電流です。
- 注19. I/Oポートに流れる電流は含みません。
- 注20. EVDD0およびEVDD1に流れる電流です。

備考1. fIL: 低速オンチップ・オシレータ・クロック周波数

備考2. fsx: サブシステム・クロックX周波数

備考3. fCLK: CPU/周辺ハードウェア・クロック周波数

備考4. Typ. 値の温度条件は、TA = +25°Cです。

43.4 AC特性

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件		Min.	Typ.	Max.	単位	
命令サイクル	TCY	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード (プリフェッチON)	2.4 V ≤ VDD ≤ 5.5 V	0.02083		1	μs
			HS (高速メイン) モード (プリフェッチOFF)	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs
		LP (低電力メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.5		1	μs	
		サブシステム・クロック (fSUB) 動作	1.8 V ≤ VDD ≤ 5.5 V	26.041	30.5	31.3	μs	
		セルフ・プログラミング時	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
2.4 V ≤ VDD ≤ 5.5 V	0.02083				1	μs		
LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V			0.04167		1	μs	
外部システム・クロック周波数	fEX	1.8 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz		
		1.6 V ≤ VDD < 1.8 V	1.0		4.0	MHz		
	fEXS		32		38.4	kHz		
外部システム・クロック入力ハイ、ロウ・レベル幅	tEXH, tEXL	1.8 V ≤ VDD ≤ 5.5 V	24			ns		
		1.6 V ≤ VDD < 1.8 V	120			ns		
	tEXHS, tEXLS		13.7			μs		
TI00-TI03 入力ハイ・レベル幅、ロウ・レベル幅	tTIH, tTIL		1/fMCK + 10			ns ^注		
タイマRJ入力サイクル	tc	TRJIO	2.7 V ≤ EVDD0 ≤ 4.0 V	100			ns	
			1.8 V ≤ EVDD0 ≤ 2.7 V	300			ns	
			1.6 V ≤ EVDD0 ≤ 1.8 V	500			ns	
タイマRJ入力ハイ・レベル幅、ロウ・レベル幅	tTJH, tTJL	TRJIO	2.7 V ≤ EVDD0 ≤ 4.0 V	40			ns	
			1.8 V ≤ EVDD0 ≤ 2.7 V	120			ns	
			1.6 V ≤ EVDD0 ≤ 1.8 V	200			ns	
タイマRD2入力ハイ・レベル幅、ロウ・レベル幅	tTDIH, tTDIL	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1	3/fCLK				ns	
タイマRD2強制遮断信号入力ロウ・レベル幅	tTDSIL	P137/INTP0	2 MHz ≤ fCLK ≤ 48 MHz	1			μs	
			fCLK ≤ 2 MHz	1/fCLK + 1			μs	
タイマRG2入力ハイ・レベル幅、ロウ・レベル幅	tTGIH, tTGIL	TRGIOA, TRGIOB, TRGIDZ, TRGTRG	2.5/fCLK				ns	

(注、備考は次ページに続きます)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件	Min.	Typ.	Max.	単位
TO00-TO03 TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21, TRJIO0, TRJO0, TRGIOA, TRGIOB, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1 出力周波数	fTO	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V		16	MHz
		LS (低速メイン) モード	2.7 V ≤ EVDD0 < 4.0 V		8	MHz
			1.8 V ≤ EVDD0 < 2.7 V		4	MHz
			1.6 V ≤ EVDD0 < 1.8 V		2	MHz
		LP (低電力メイン) モード	1.6 V ≤ EVDD0 ≤ 5.5 V		2	MHz
PCLBUZ0, PCLBUZ1 出力周波数	fPCL	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V		16	MHz
		LS (低速メイン) モード	2.7 V ≤ EVDD0 < 4.0 V		8	MHz
			1.8 V ≤ EVDD0 < 2.7 V		4	MHz
			1.6 V ≤ EVDD0 < 1.8 V		2	MHz
		LP (低電力メイン) モード	1.6 V ≤ EVDD0 < 1.8 V		2	MHz
割り込み入力ハイ・レベル幅、ロウ・レベル幅	tINTH,	INTP0, INTP20, INTP21	1.6 V ≤ VDD ≤ 5.5 V	1		μs
	tINTL	INTP1-INTP11	1.6 V ≤ EVDD0 ≤ 5.5 V	1		μs
キー割り込み入力ハイ・レベル、ロウ・レベル幅	tKRH,	KR0-KR7	1.8 V ≤ EVDD0 ≤ 5.5 V	250		ns
	tKRL		1.6 V ≤ EVDD0 < 1.8 V	1		μs
RESET ロウ・レベル幅	tRSL			10		μs

注 EVDD0 < VDD となる低電圧インタフェース時は、次の条件も必要になります。

1.8 V ≤ EVDD0 < 2.7 V : Min. 125 ns

1.6 V ≤ EVDD0 < 1.8 V : Min. 250 ns

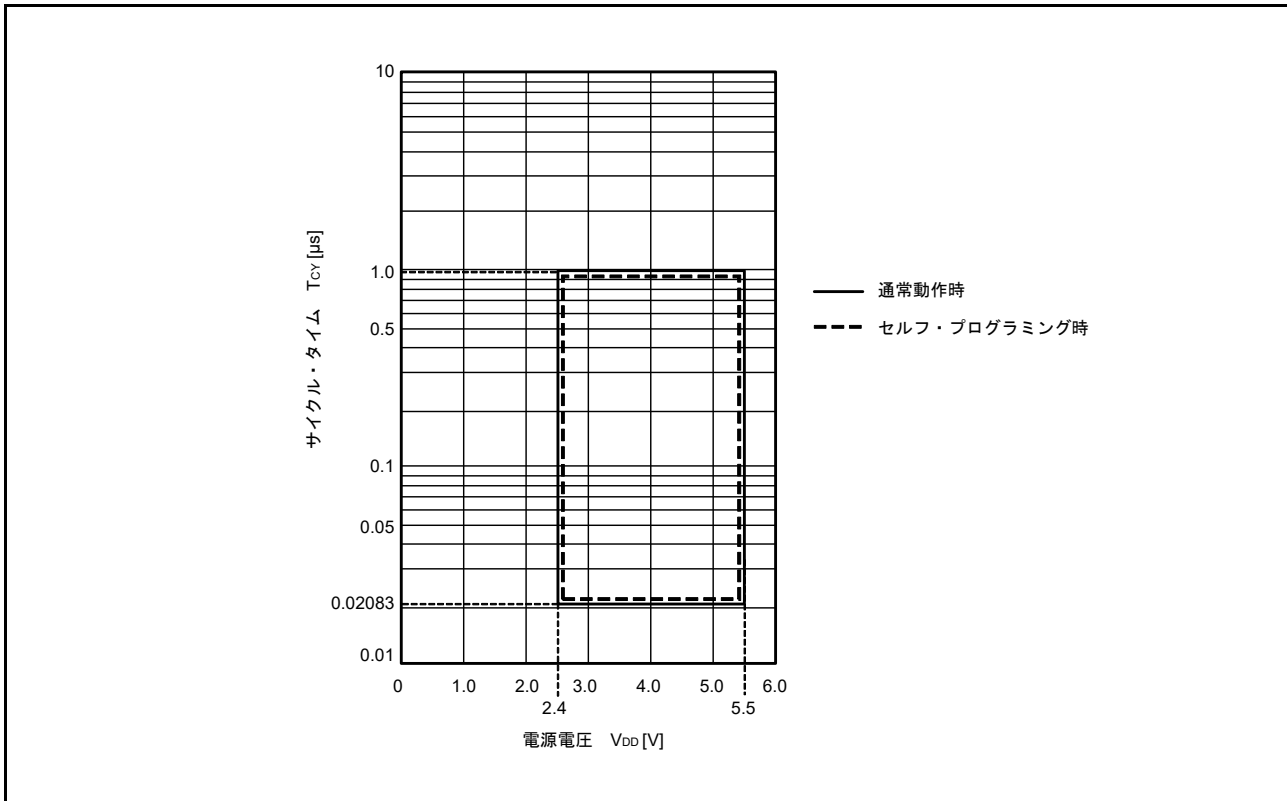
備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn) CKSmn0, CKSmn1 ビットで設定する動作クロック。

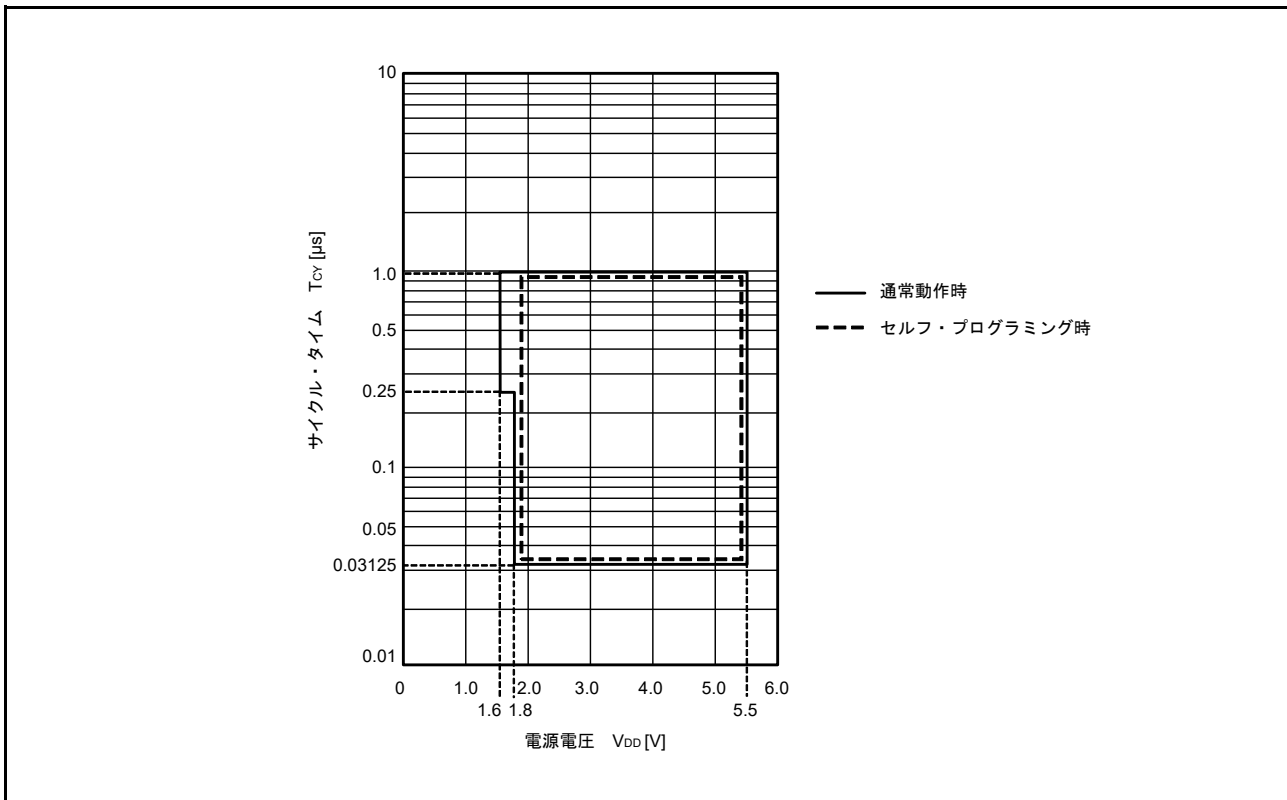
m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-3))

メイン・システム・クロック動作時の最小命令実行時間

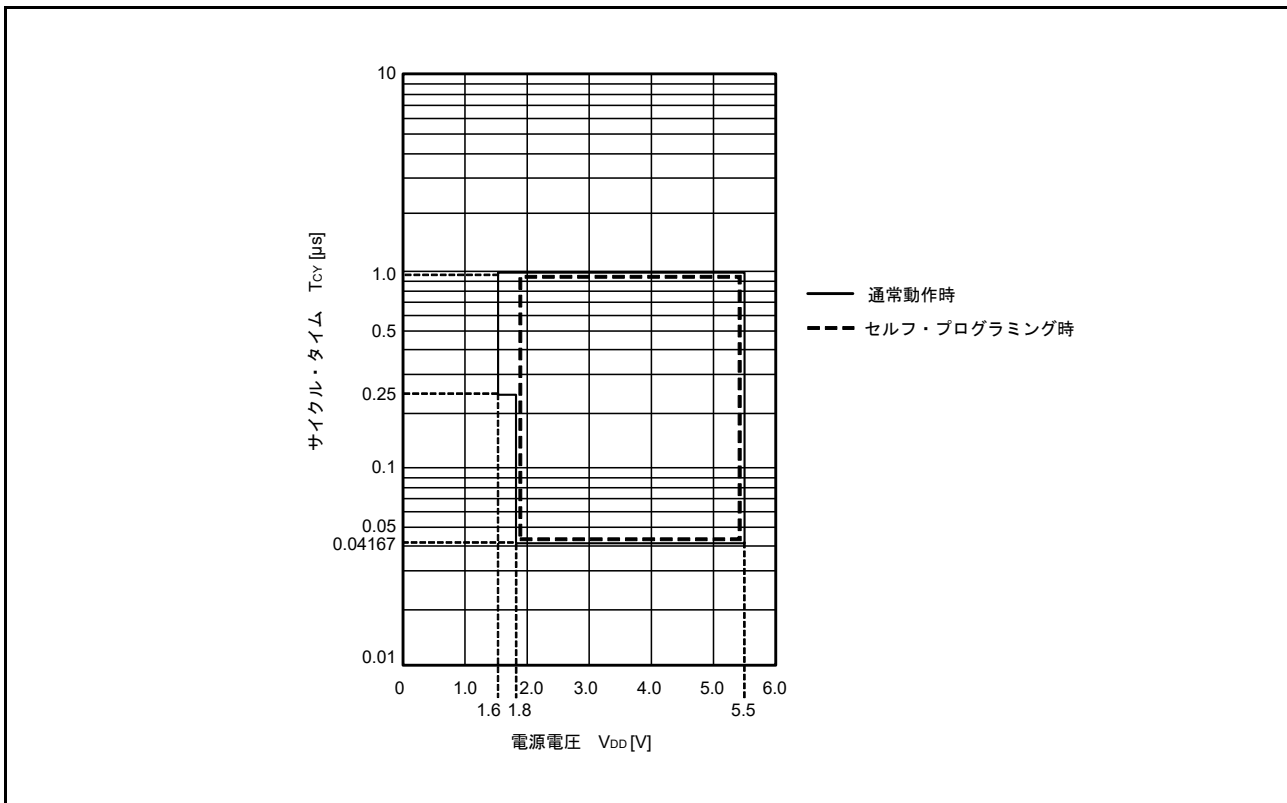
TCY vs VDD (HS (高速メイン) モード) プリフェッチON



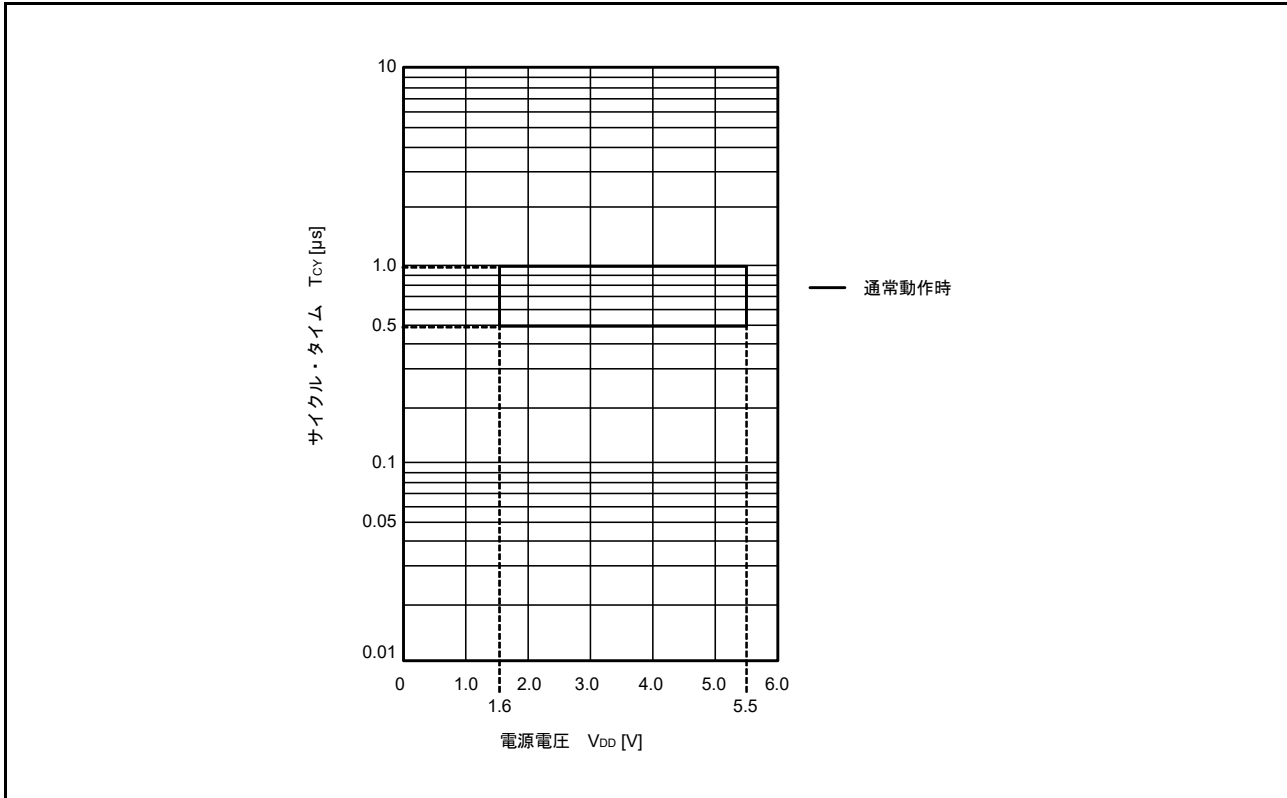
TCY vs VDD (HS (高速メイン) モード) プリフェッチOFF



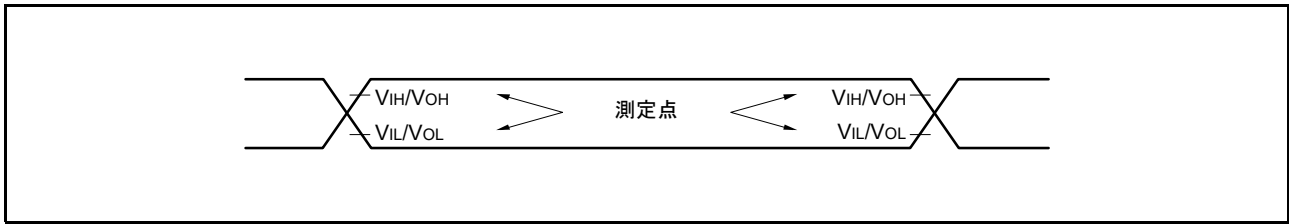
TCY vs VDD (LS (低速メイン) モード)



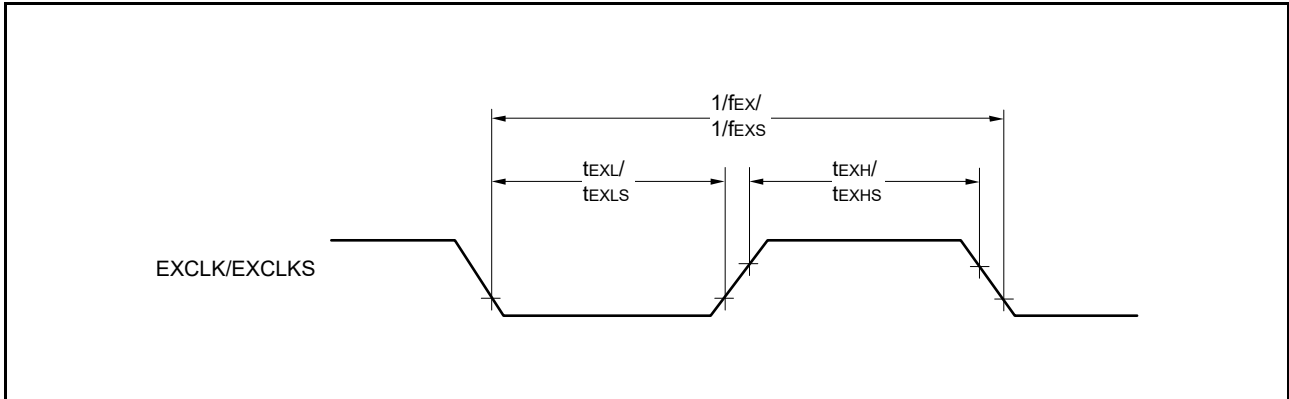
TCY vs VDD (LP (低電力メイン) モード)



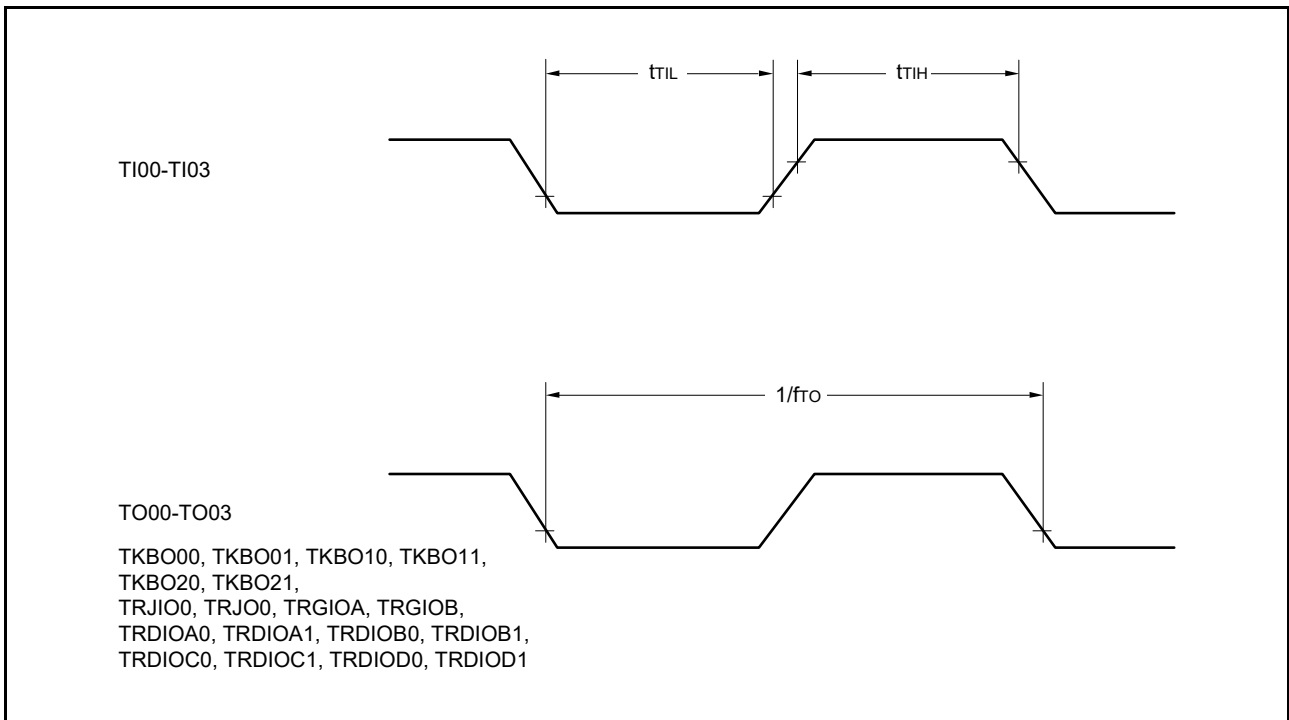
ACタイミング測定点



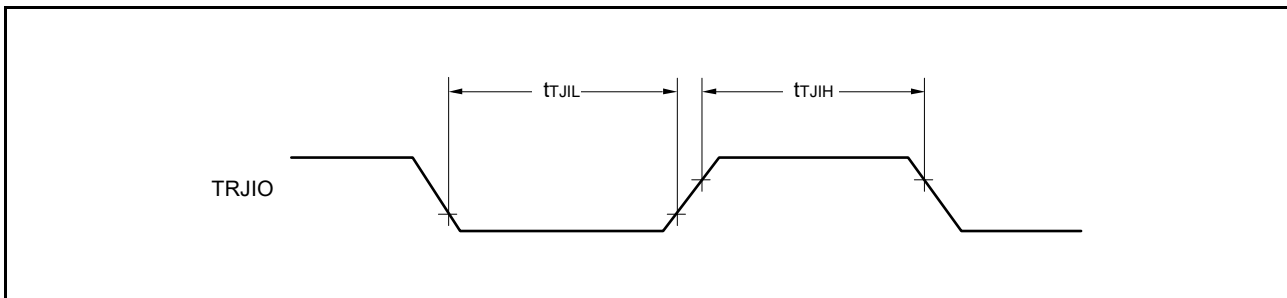
外部システム・クロック・タイミング



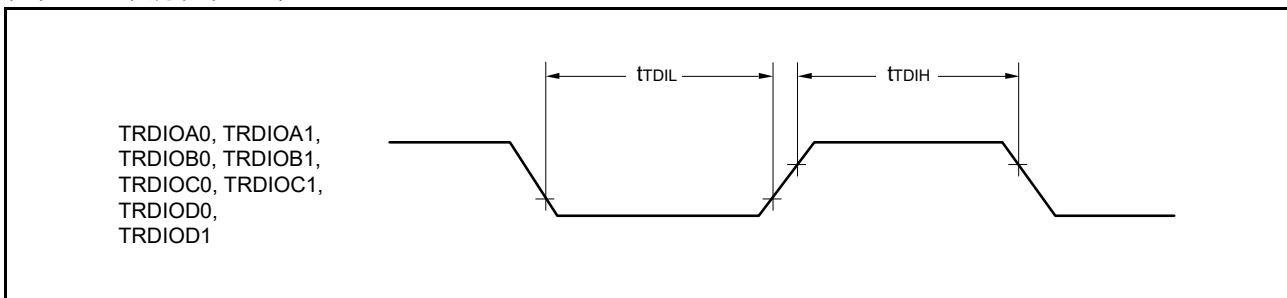
TI/TOタイミング



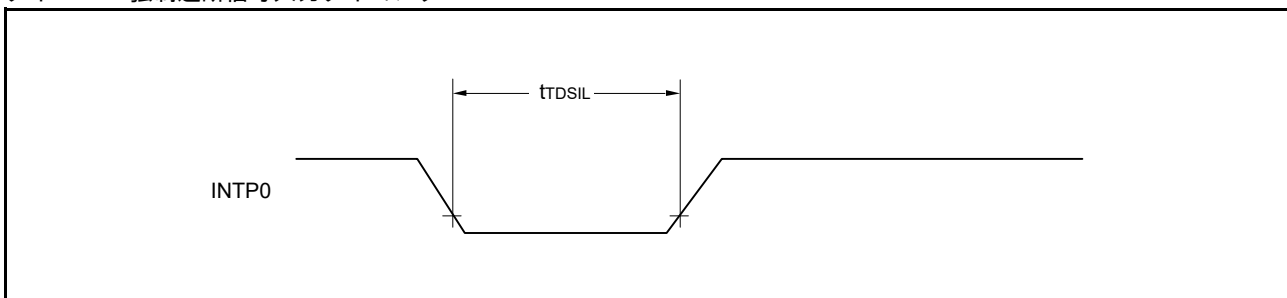
タイマRJ入カタイミング



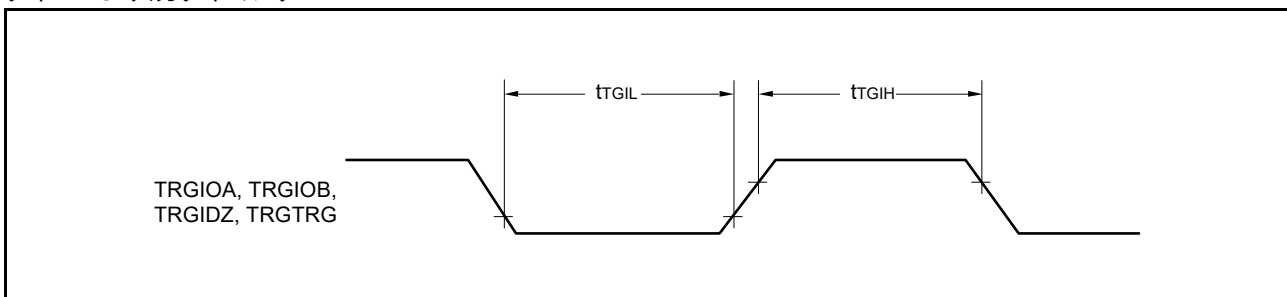
タイマRD2入カタイミング



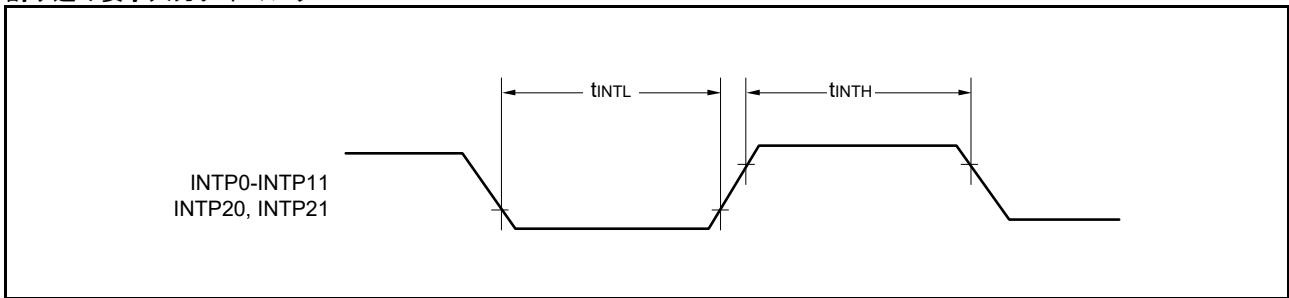
タイマRD2強制遮断信号入カタイミング



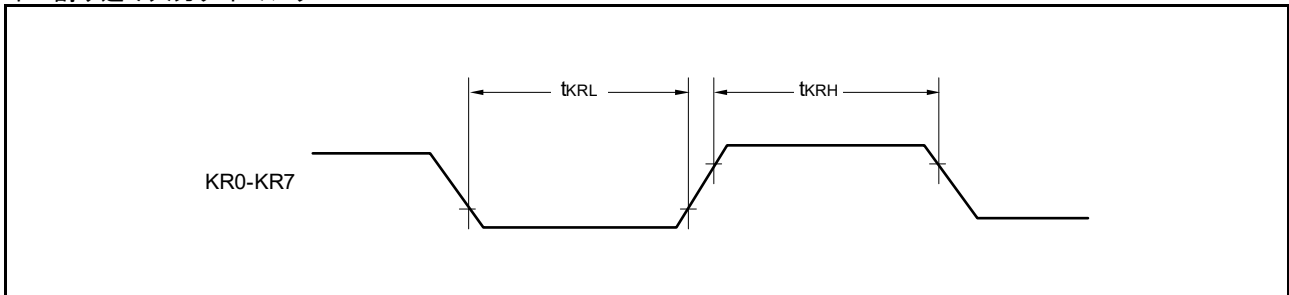
タイマRG2入カタイミング



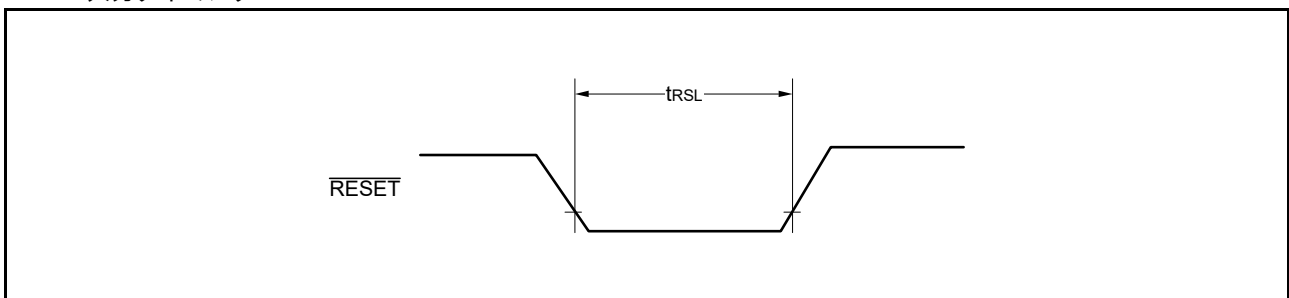
割り込み要求入カタイミング



キー割り込み入カタイミング

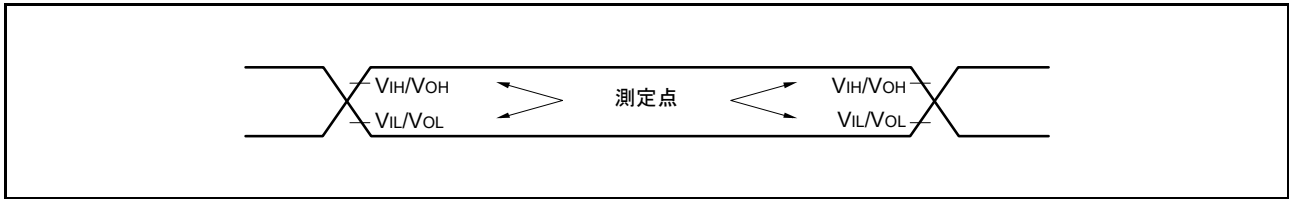


RESET入カタイミング



43.5 周辺機能特性

ACタイミング測定点



43.5.1 シリアル・アレイ・ユニット

(1) 同電位通信、UARTモード時

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート ^{注1}		1.6 V ≤ EVDD0 ≤ 5.5 V		fMCK/6 ^{注2}		fMCK/6 ^{注2}		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK ^{注3}		5.3		4		0.33	Mbps

注1. SNOOZEモードでの転送レートは、4800~9600 bpsとなります。

注2. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V : Max. 2.6 Mbps

1.8 V ≤ EVDD0 < 2.4 V : Max. 1.3 Mbps

1.6 V ≤ EVDD0 < 1.8 V : Max. 0.6 Mbps

注3. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン) モード : 48 MHz (2.4 V ≤ VDD ≤ 5.5 V)

32 MHz (1.8 V ≤ VDD ≤ 5.5 V)

4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

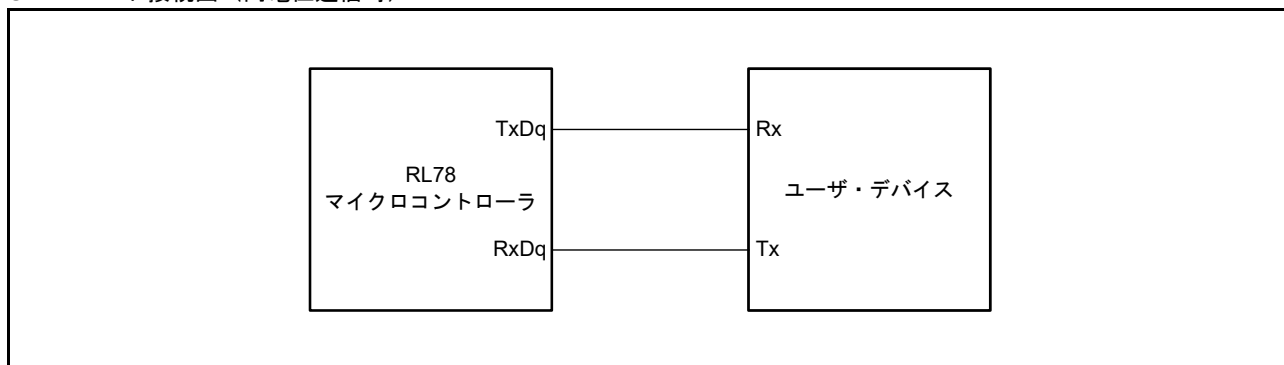
LS (低速メイン) モード : 24 MHz (1.8 V ≤ VDD ≤ 5.5 V)

4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

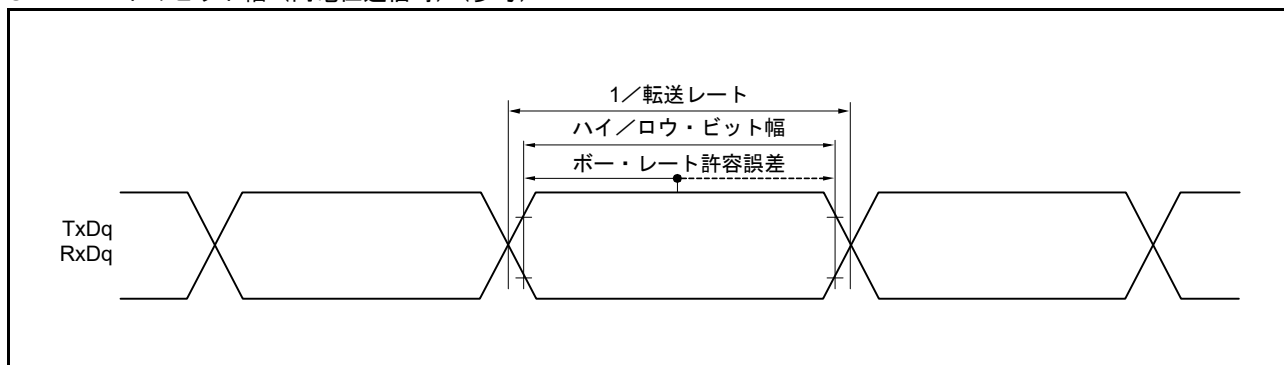
LP (低電力メイン) モード : 2 MHz (1.6 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



備考1. q : UART番号 (q = 0-2)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャンネル番号 (mn = 00-03, 10, 11))

(2) 同電位通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp... 内部クロック出力、CSI00のみ対応)

(TA = -40 ~ +85°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 2/fCLK	4.0 V ≤ EVDD0 ≤ 5.5 V	62.5		83.3		1000		ns
			2.7 V ≤ EVDD0 ≤ 5.5 V	83.3		125		1000		ns
SCKpハイ、ロウ・ レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 -7		tkCY1/2 -10		tkCY1/2 -50		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 -10		tkCY1/2 -15		tkCY1/2 -50		ns
Slpセットアップ 時間 (対SCKp ↑) 注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V		23		33		110		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		33		50		110		ns
Slpホールド時間 (対SCKp ↑) 注1	tkSI1	2.7 V ≤ EVDD0 ≤ 5.5 V		10		10		10		ns
SCKp ↓ → SOp 出力遅延時間注2	tkSO1	C = 20 pF注3			10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

備考2. p: CSI番号 (p = 00)、m: ユニット番号 (m = 0)、n: チャネル番号 (n = 0)、g: PIM, POM番号 (g = 1)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号、n: チャネル番号 (mn = 00))

(3) 同電位通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp... 内部クロック出力)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 4/fCLK 2.7 V ≤ EVDD0 ≤ 5.5 V	125		166		2000		ns
			250		250		2000		ns
			500		500		2000		ns
			1000		1000		2000		ns
SCKpハイ、ロウ・ レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -12		tkCY1/2 -21		tkCY1/2 -50		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -18		tkCY1/2 -25		tkCY1/2 -50		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -38		tkCY1/2 -38		tkCY1/2 -50		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -50		tkCY1/2 -50		tkCY1/2 -50		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -100		tkCY1/2 -100		tkCY1/2 -100		ns
Slpセットアップ 時間 (対SCKp ↑) 注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V	44		54		110		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	44		54		110		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V	75		75		110		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V	110		110		110		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V	220		220		220		ns
Slpホールド時間 (対SCKp ↑) 注1	tkSI1	1.6 V ≤ EVDD0 ≤ 5.5 V	19		19		19		ns
SCKp ↓ → SOp 出力遅延時間注2	tkSO1	1.6 V ≤ EVDD0 ≤ 5.5 V C = 30 pF注3		25		25		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子は通常入力パッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10, 11))

(4) 同電位通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp...外部クロック入力)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム注4	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V	20 MHz < fMCK	8/fMCK		8/fMCK		—	ns
			fMCK ≤ 20 MHz	6/fMCK		6/fMCK		6/fMCK	ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	16 MHz < fMCK	8/fMCK		8/fMCK		—	ns
			fMCK ≤ 16 MHz	6/fMCK		6/fMCK		6/fMCK	ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		6/fMCK かつ500		6/fMCK かつ500		6/fMCK かつ500	ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		6/fMCK かつ750		6/fMCK かつ750		6/fMCK かつ750	ns
1.6 V ≤ EVDD0 ≤ 5.5 V		6/fMCK かつ1500		6/fMCK かつ1500		6/fMCK かつ1500	ns		
SCKpハイ、 ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V	tkCY2/2 -7		tkCY2/2 -7		tkCY2/2 -7	ns	
		2.7 V ≤ EVDD0 ≤ 5.5 V	tkCY2/2 -8		tkCY2/2 -8		tkCY2/2 -8	ns	
		1.8 V ≤ EVDD0 ≤ 5.5 V	tkCY2/2 -18		tkCY2/2 -18		tkCY2/2 -18	ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V	tkCY2/2 -66		tkCY2/2 -66		tkCY2/2 -66	ns	
Slpセットアップ 時間 (対SCKp↑)注1	tSIK2	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK +20		1/fMCK +30		1/fMCK +30	ns	
		1.8 V ≤ EVDD0 ≤ 5.5 V	1/fMCK +30		1/fMCK +30		1/fMCK +30	ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V	1/fMCK +40		1/fMCK +40		1/fMCK +40	ns	
Slpホールド時間 (対SCKp↑)注1	tkSI2	1.8 V ≤ EVDD0 ≤ 5.5 V	1/fMCK +31		1/fMCK +31		1/fMCK +31	ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V	1/fMCK +250		1/fMCK +250		1/fMCK +250	ns	

(注、注意、備考は次ページに続きます)

(4) 同電位通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp...外部クロック入力)

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位	
			Min.	Max.	Min.	Max.	Min.	Max.		
SCKp ↓ → SOp 出力 遅延時間 ^{注2}	tkSO2	C = 30 pF ^{注3}	2.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK +44		2/fMCK +110		2/fMCK +110	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V		2/fMCK +75		2/fMCK +110		2/fMCK +110	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V		2/fMCK +110		2/fMCK +110		2/fMCK +110	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V		2/fMCK +220		2/fMCK +220		2/fMCK +220	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは、SOp出カラインの負荷容量です。

注4. SNOOZEモードでの転送レートは、Max. 1 Mbpsです。

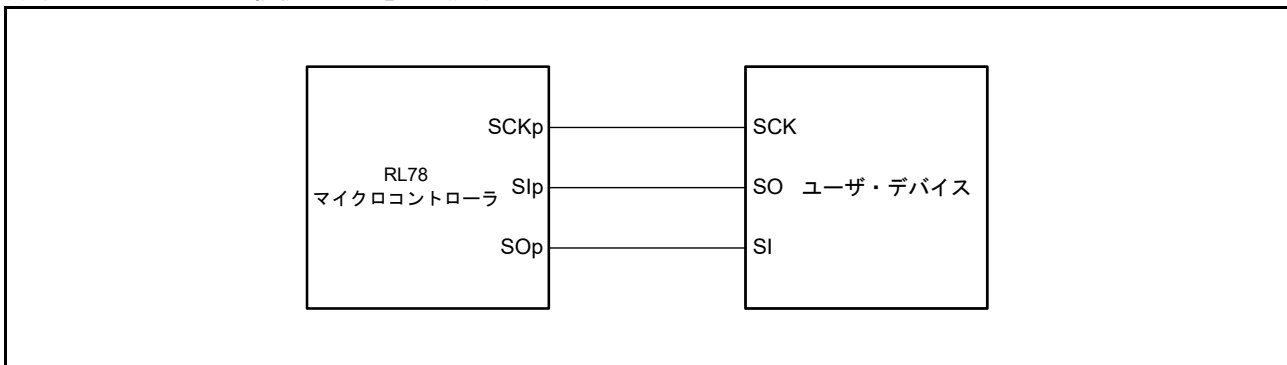
注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

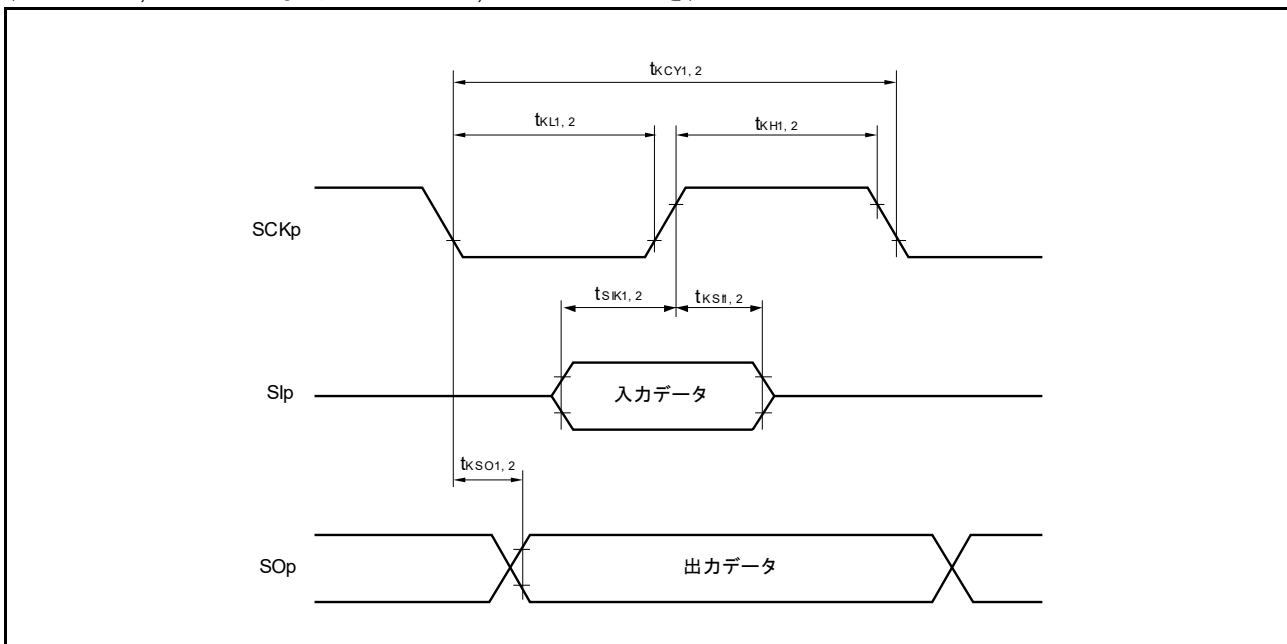
備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10, 11))

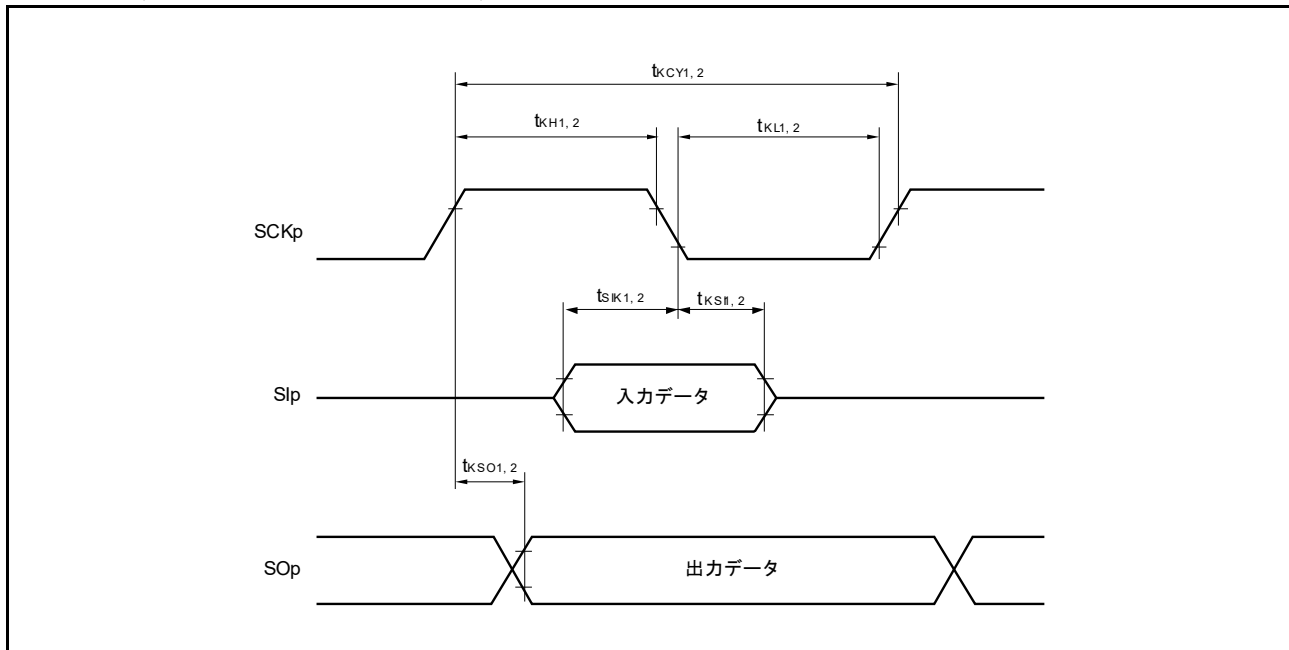
簡易SPI (CSI) モード接続図 (同電位通信時)



簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21)

備考2. m : ユニット番号、n : チャネル番号 (mn = 00-03, 10, 11)

(5) 同電位通信、簡易I²Cモード時

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	fSCL	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		1000 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		250 ^{注1}		250 ^{注1}		250 ^{注1}	kHz
SCLr = "L" の ホールド・タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1150		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
SCLr = "H" の ホールド・タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1150		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
データ・セットアップ 時間 (受信時)	tSU:DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +85 ^{注2}		1/fMCK +85 ^{注2}		1/fMCK +145 ^{注2}		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/fMCK +145 ^{注2}		1/fMCK +145 ^{注2}		1/fMCK +145 ^{注2}		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK +230 ^{注2}		1/fMCK +230 ^{注2}		1/fMCK +230 ^{注2}		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK +290 ^{注2}		1/fMCK +290 ^{注2}		1/fMCK +290 ^{注2}		ns

(注、注意は次ページに、備考は1933ページにあります)

(5) 同電位通信、簡易I²Cモード時

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
データ・ホールド時間 (送信時)	tHD:DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns

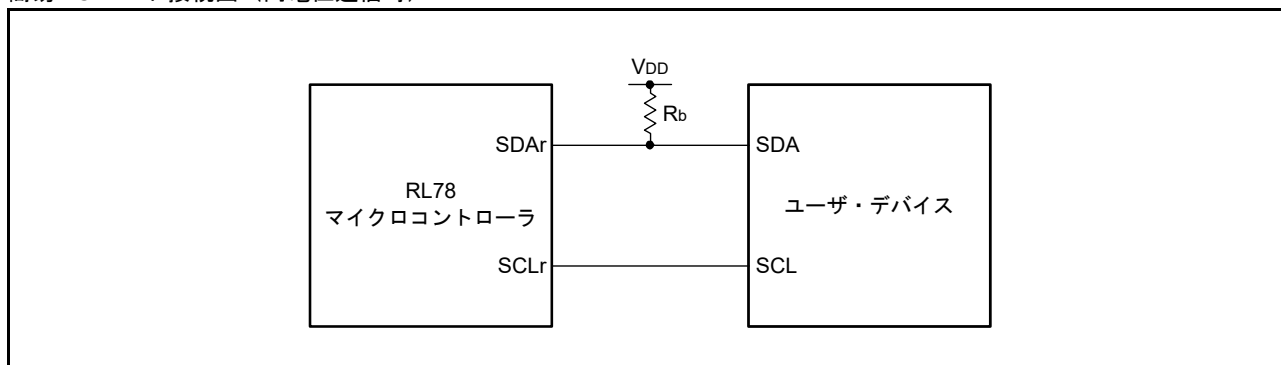
注1. fMCK/4以下に設定してください。

注2. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを超えない値に設定してください。

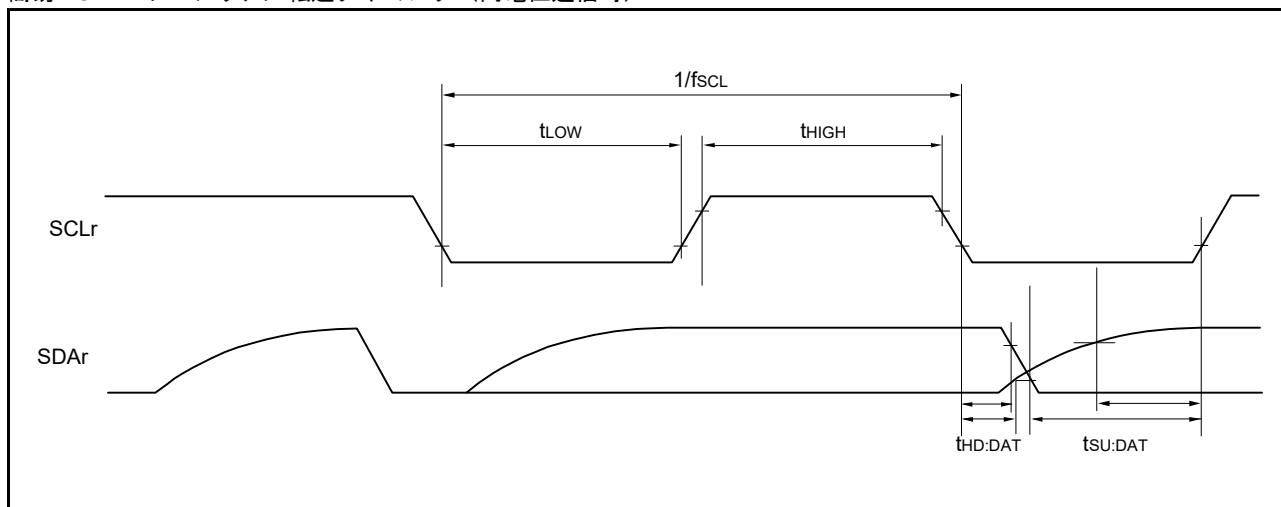
注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMh) で、SDArは通常入力バッファ、N-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページに続きます)

簡易I²Cモード接続図 (同電位通信時)



簡易I²Cモード・シリアル転送タイミング (同電位通信時)



備考1. R_b [Ω] : 通信ライン (SDAr) プルアップ抵抗値、C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値

備考2. r : IIC番号 (r = 00, 01, 10, 11, 20, 21)、g : PIM番号 (g = 0, 1, 3, 5, 7)、
h : POM番号 (h = 0, 1, 3, 5, 7)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMR_{mn}レジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、
mn = 00-03, 10, 11)

(6) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、UARTモード時

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート	受信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/6注1		fMCK/6注1		fMCK/6注1	bps
		最大転送レート理論値 fMCK = fCLK注4		5.3		4		0.33	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6注1		fMCK/6注1		fMCK/6注1	bps
		最大転送レート理論値 fMCK = fCLK注4		5.3		4		0.33	Mbps
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1, 2, 3		fMCK/6 注1, 2		fMCK/6 注1, 2	bps
		最大転送レート理論値 fMCK = fCLK注4		5.3		4		0.33	Mbps

注1. SNOOZEモードでの転送レートは、4800~9600 bpsとなります。

注2. EVDD0 ≥ Vbで使用してください。

注3. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V : Max. 2.6 Mbps

1.8 V ≤ EVDD0 < 2.4 V : Max. 1.3 Mbps

注4. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン) モード : 48 MHz (2.4 V ≤ VDD ≤ 5.5 V)

32 MHz (1.8 V ≤ VDD ≤ 5.5 V)

4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

LS (低速メイン) モード : 24 MHz (1.8 V ≤ VDD ≤ 5.5 V)

4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

LP (低電力メイン) モード : 2 MHz (1.6 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) /EVDD耐圧 (64ピン製品の場合)]モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V] : 通信ライン電圧

備考2. q : UART番号 (q = 0-3)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考3. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10, 11))

備考4. 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR01ビットが1のとき、UART2の異電位通信は使用できません。

(6) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、UARTモード時

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート	送信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1		注1		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8注2		2.8注2		2.8注2	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3		注3		注3	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4		1.2注4		1.2注4	Mbps
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5、注6		注5、注6		注5、注6	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注7		0.43注7		0.43注7	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

(注、注意は次ページに続きます)

- 注4.** この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。
- 注5.** $EVDD0 \geq V_b$ で使用してください。
- 注6.** $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
 $1.8 \text{ V} \leq EVDD0 < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ 時の転送レート計算式

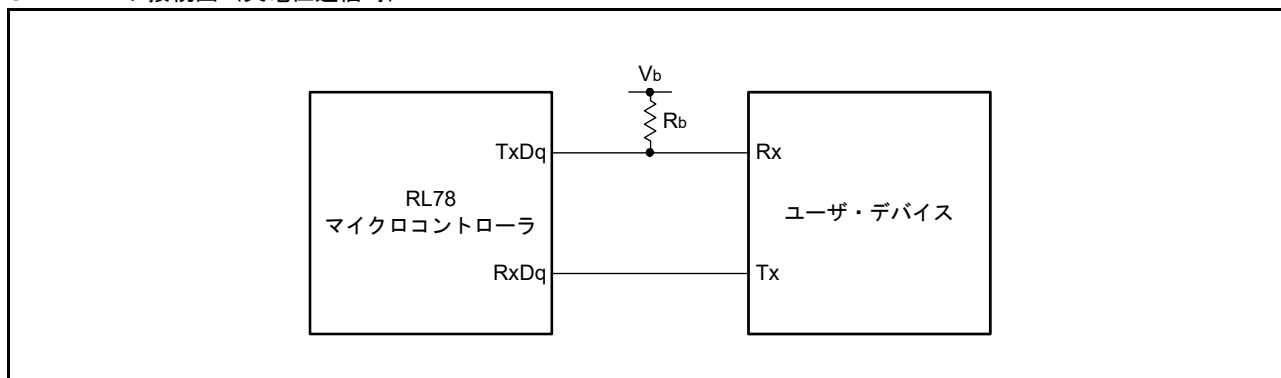
$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

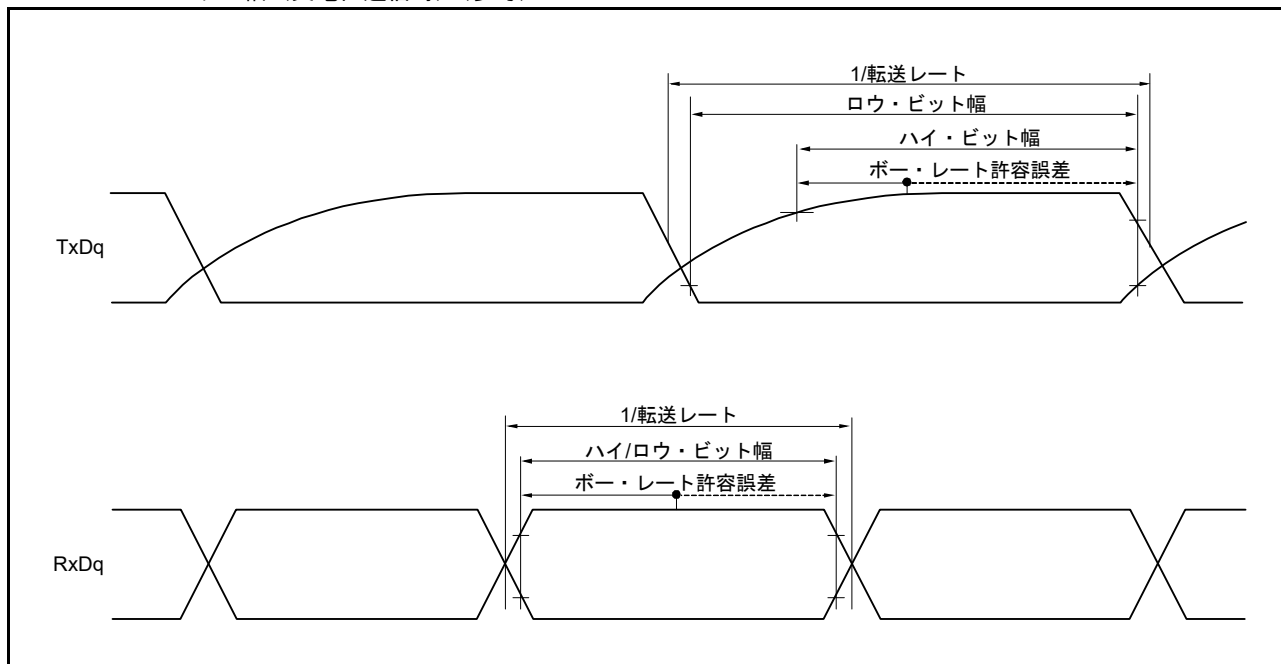
※この値は送信側と受信側の相対差の理論値となります。

- 注7.** この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。
- 注意** ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力[V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64ピン製品の場合)]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



備考1. R_b [Ω] : 通信ライン (TxDq) プルアップ抵抗値、 C_b [F] : 通信ライン (TxDq) 負荷容量値、 V_b [V] : 通信ライン電圧

備考2. q : UART番号 (q = 0-3)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10, 11))

備考4. 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR01ビットが1のとき、UART2の異電位通信は使用できません。

(7) 異電位 (2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp...内部クロック出力、CSI00のみ対応)

(TA = -40 ~ +105°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 2/fCLK 4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	200		200		2300		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	300		300		2300		ns
SCKpハイ・レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tkCY1/2 -50		tkCY1/2 -50		tkCY1/2 -50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	tkCY1/2 -120		tkCY1/2 -120		tkCY1/2 -120		ns
SCKpロウ・レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tkCY1/2 -7		tkCY1/2 -7		tkCY1/2 -50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	tkCY1/2 -10		tkCY1/2 -10		tkCY1/2 -50		ns
Slpセットアップ時間 (対SCKp ↑) 注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	58		58		479		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	121		121		479		ns
Slpホールド時間 (対SCKp ↑) 注1	tKSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp ↓ → SOp出力 遅延時間注1	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		60		60		60	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		130		130		130	ns

(注、注意、備考は次ページに続きます)

(7) 異電位 (2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp...内部クロック出力、CSI00のみ対応)

(TA = -40 ~ +105°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↓) 注2	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	23		23		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	33		33		110		ns
Slpホールド時間 (対SCKp ↓) 注2	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp ↑ → SOp出力 遅延時間注2	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		10	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注2. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択します。なおV_{IH}、V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値、C_b [F]: 通信ライン (SCKp, SOp) 負荷容量値、V_b [V]: 通信ライン電圧

備考2. p: CSI番号 (p = 00)、m: ユニット番号 (m = 0)、n: チャネル番号 (n = 0)、g: PIM, POM番号 (g = 1)

備考3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号、n: チャネル番号 (mn = 00))

備考4. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

(8) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp...内部クロック出力)

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(1/3)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	300		300		2300		ns
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500		500		2300		ns
			1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ	1150		1150		2300		ns
SCKp ハイ・レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		tkCY1/2 -75		tkCY1/2 -75		tkCY1/2 -75		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		tkCY1/2 -170		tkCY1/2 -170		tkCY1/2 -170		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ		tkCY1/2 -458		tkCY1/2 -458		tkCY1/2 -458		ns
SCKp ロウ・レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		tkCY1/2 -12		tkCY1/2 -12		tkCY1/2 -50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		tkCY1/2 -18		tkCY1/2 -18		tkCY1/2 -50		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ		tkCY1/2 -50		tkCY1/2 -50		tkCY1/2 -50		ns

注 EVDD0 ≥ Vb で使用してください。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子はTTL入力バッファを選択し、SOP端子とSCKp端子はN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は1943ページにあります)

(8) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp...内部クロック出力)

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(2/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↑) 注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		81		479		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		177		479		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ	479		479		479		ns
Slpホールド時間 (対SCKp ↑) 注1	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↓ → SOp出力 遅延時間注1	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100		100	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195		195	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 30 pF, Rb = 5.5 kΩ		483		483		483	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2. EVDD0 ≥ Vbで使用してください。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は1943ページにあります)

(8) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp...内部クロック出力)

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(3/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↓) 注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		44		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		44		110		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	110		110		110		ns
Slpホールド時間 (対SCKp ↓) 注1	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↑ → SOp出力 遅延時間注1	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25		25	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25		25	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ		25		25		25	ns

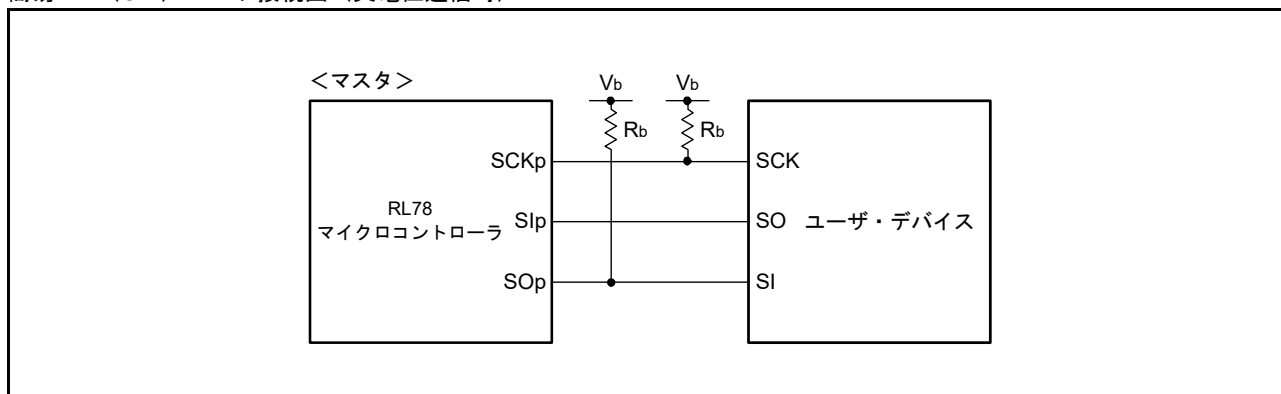
注1. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注2. EVDD0 ≥ Vbで使用してください。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

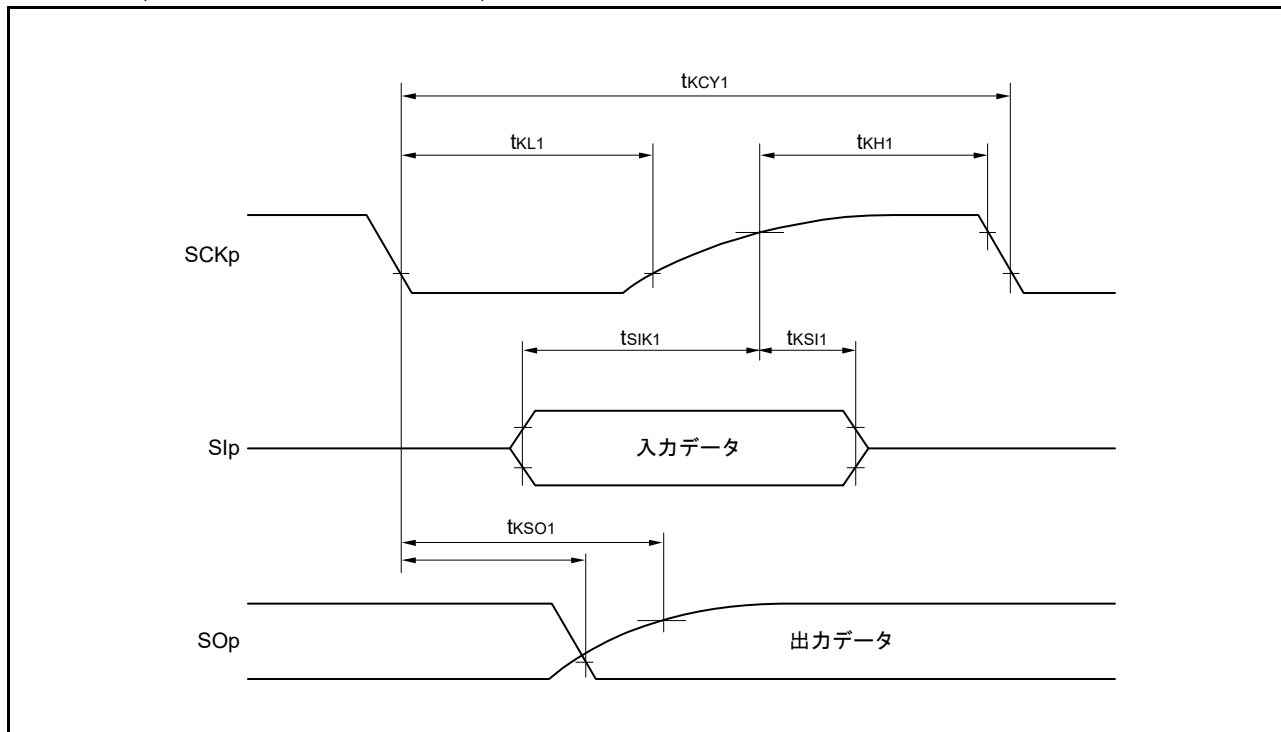
(備考は次ページに続きます)

簡易SPI (CSI) モード接続図 (異電位通信時)

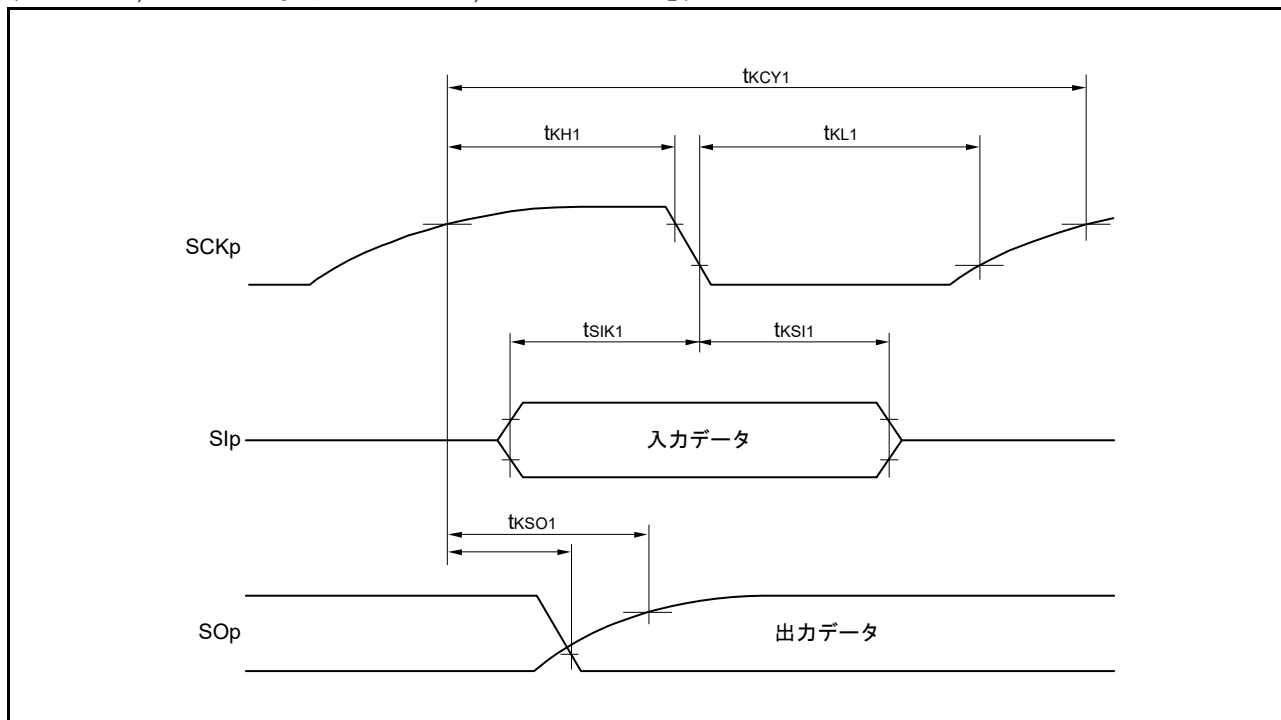


- 備考1. R_b [Ω] : 通信ライン (SCKp, SOp) プルアップ抵抗値、 C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値、 V_b [V] : 通信ライン電圧
- 備考2. p : CSI番号 ($p = 00, 01, 10, 20$)、 m : ユニット番号、 n : チャネル番号 ($mn = 00, 01, 02, 10$)、 g : PIM, POM番号 ($g = 0, 1, 3, 5, 7$)
- 備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
シリアル・モード・レジスタ mn (SMR mn) のCKS m nビットで設定する動作クロック。 m : ユニット番号、 n : チャネル番号 ($mn = 00$)
- 備考4. CSI11, CSI21と、48~64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI (CSI) モード・シリアル転送タイミング : マスタ・モード (異電位通信時)
(DAP $mn = 0$, CKP $mn = 0$ またはDAP $mn = 1$, CKP $mn = 1$ のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 20)、m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考2. CSI11, CSI21 と、48~64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(9) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp...外部クロック入力)

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKp サイクル・ タイム ^{注1}	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	24 MHz < fMCK	14/fMCK		—		—		ns
			20 MHz < fMCK ≤ 24 MHz	12/fMCK		12/fMCK		—		ns
			8 MHz < fMCK ≤ 20 MHz	10/fMCK		10/fMCK		—		ns
			4 MHz < fMCK ≤ 8 MHz	8/fMCK		8/fMCK		—		ns
			fMCK ≤ 4 MHz	6/fMCK		6/fMCK		10/fMCK		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	24 MHz < fMCK	20/fMCK		—		—		ns
			20 MHz < fMCK ≤ 24 MHz	16/fMCK		16/fMCK		—		ns
			16 MHz < fMCK ≤ 20 MHz	14/fMCK		14/fMCK		—		ns
			8 MHz < fMCK ≤ 16 MHz	12/fMCK		12/fMCK		—		ns
			4 MHz < fMCK ≤ 8 MHz	8/fMCK		8/fMCK		—		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2}	24 MHz < fMCK	48/fMCK		—		—		ns
			20 MHz < fMCK ≤ 24 MHz	36/fMCK		36/fMCK		—		ns
			16 MHz < fMCK ≤ 20 MHz	32/fMCK		32/fMCK		—		ns
			8 MHz < fMCK ≤ 16 MHz	26/fMCK		26/fMCK		—		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		16/fMCK		—		ns
			fMCK ≤ 4 MHz	10/fMCK		10/fMCK		10/fMCK	ns	

(注、注意は次ページに、備考は1947ページにあります)

(9) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp...外部クロック入力)

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKpハイ、ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	tkCY2/2 -12		tkCY2/2 -12		tkCY2/2 -50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	tkCY2/2 -18		tkCY2/2 -18		tkCY2/2 -50		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	tkCY2/2 -50		tkCY2/2 -50		tkCY2/2 -50		ns
Slpセットアップ時間 (対SCKp↑)注3	tSIK2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	1/fMCK +20		1/fMCK +20		1/fMCK +30		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK +20		1/fMCK +20		1/fMCK +30		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	1/fMCK +30		1/fMCK +30		1/fMCK +30		ns
Slpホールド時間 (対SCKp↑)注3	tKSI2		1/fMCK +31		1/fMCK +31		1/fMCK +31		ns
SCKp↓→SOp 出力遅延時間注4	tkSO2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK +120		2/fMCK +120		2/fMCK +573	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK +214		2/fMCK +214		2/fMCK +573	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ		2/fMCK +573		2/fMCK +573		2/fMCK +573	ns

注1. SNOOZEモードでの転送レートは、Max. 1 Mbpsです。

注2. EVDD0 ≥ Vbで使用してください。

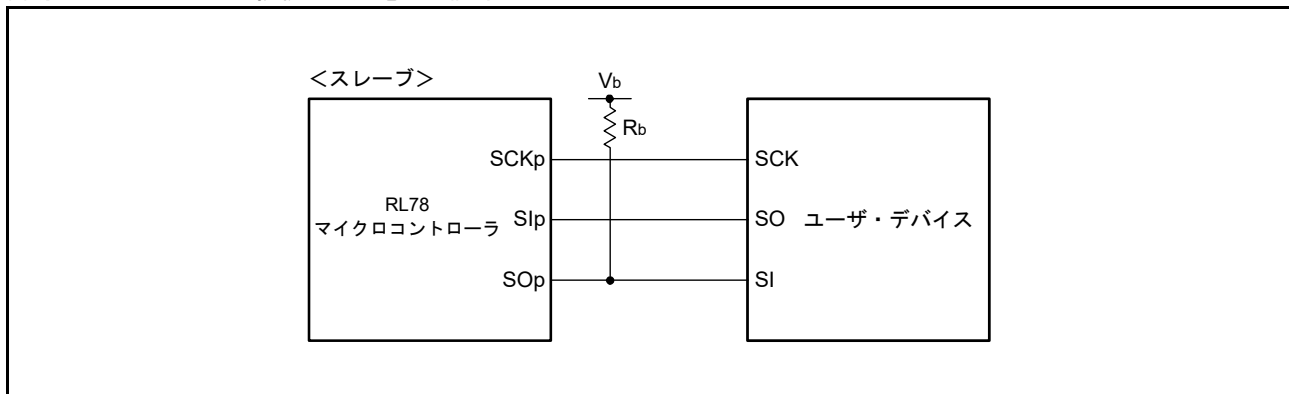
注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページに続きます)

簡易SPI (CSI) モード接続図 (異電位通信時)



備考1. R_b [Ω] : 通信ライン (SO_p) プルアップ抵抗値、 C_b [F] : 通信ライン (SO_p) 負荷容量値、 V_b [V] : 通信ライン電圧

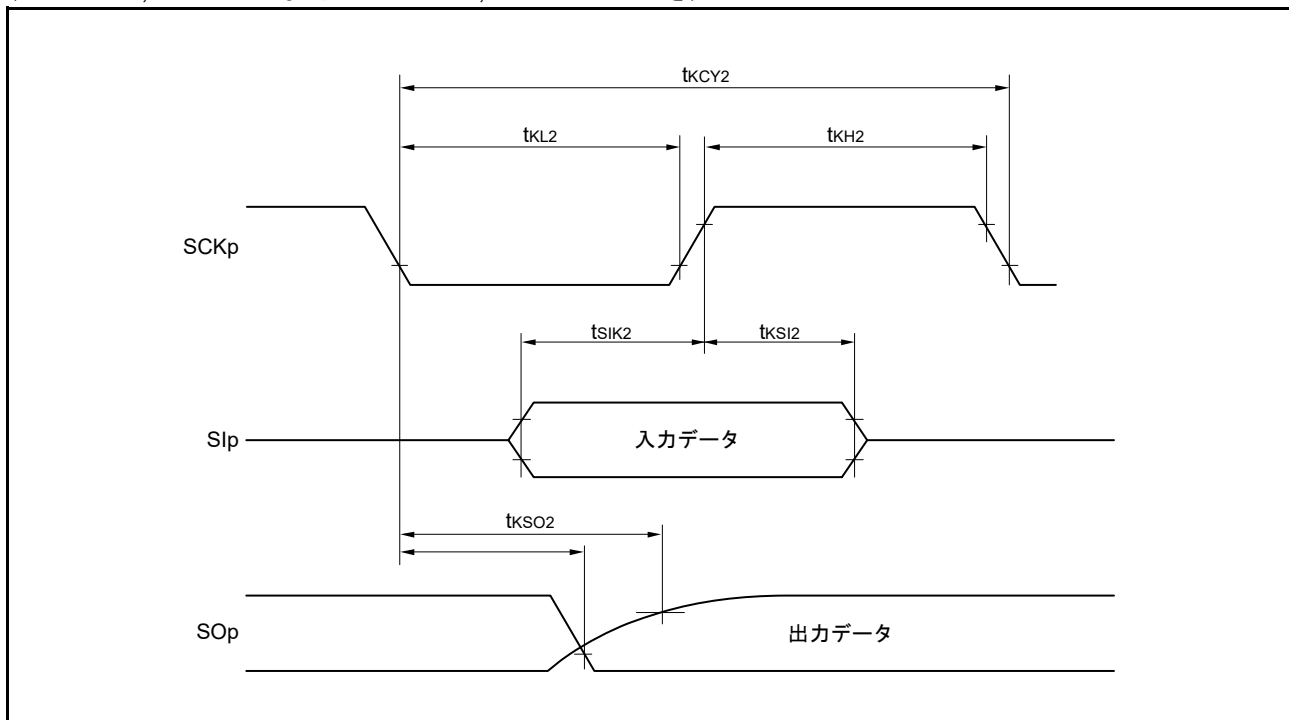
備考2. p : CSI番号 (p = 00, 01, 10, 20)、m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMR_{mn}) のCKS_{mn}ビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10))

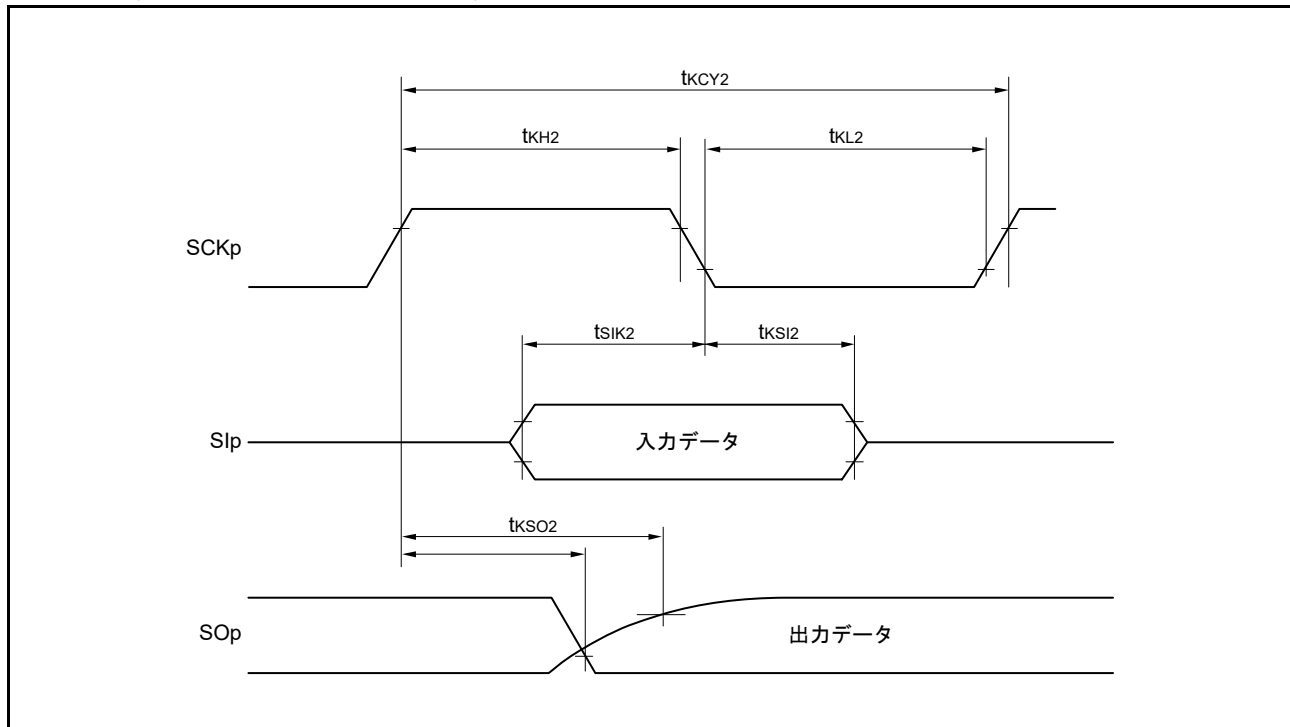
備考4. CSI11, CSI21と、48~64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI (CSI) モード・シリアル転送タイミング : スレーブ・モード (異電位通信時)

(DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 20)、m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10)、g : PIM, POM番号
 (g = 0, 1, 3, 5, 7)

備考2. CSI11, CSI21と、48~64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(10) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易I²Cモード時

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	fSCL	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		1000 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		1000 ^{注1}		300 ^{注1}	kHz
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 ^{注1}		400 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 ^{注1}		400 ^{注1}		300 ^{注1}	kHz
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L" のホールド・ タイム	tLOW	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1550		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		1550		ns
SCLr = "H" のホールド・ タイム	tHIGH	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		245		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		200		610		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		675		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		600		610		ns

(注、注意は次ページに、備考は1951ページにあります)

(10) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易I²Cモード時

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLr = "H" のホールド・タイム	tHIGH	1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	610		610		610		ns
データ・セットアップ 時間 (受信時)	tSU:DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +135 ^{注3}		1/fMCK +135 ^{注3}		1/fMCK +190 ^{注3}		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +135 ^{注3}		1/fMCK +135 ^{注3}		1/fMCK +190 ^{注3}		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK +190 ^{注3}		1/fMCK +190 ^{注3}		1/fMCK +190 ^{注3}		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK +190 ^{注3}		1/fMCK +190 ^{注3}		1/fMCK +190 ^{注3}		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK +190 ^{注3}		1/fMCK +190 ^{注3}		1/fMCK +190 ^{注3}		ns
データ・ホールド時間 (送信時)	tHD:DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	0	405	ns

注1. fMCK/4 以下に設定してください。

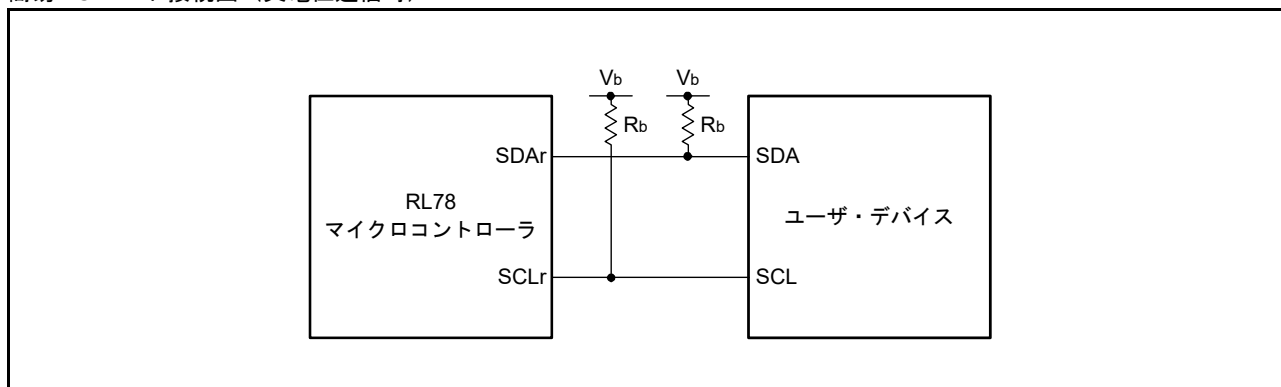
注2. EVDD0 ≥ Vb で使用してください。

注3. fMCK値は、SCLr = "L" と SCLr = "H" のホールド・タイムを超えない値に設定してください。

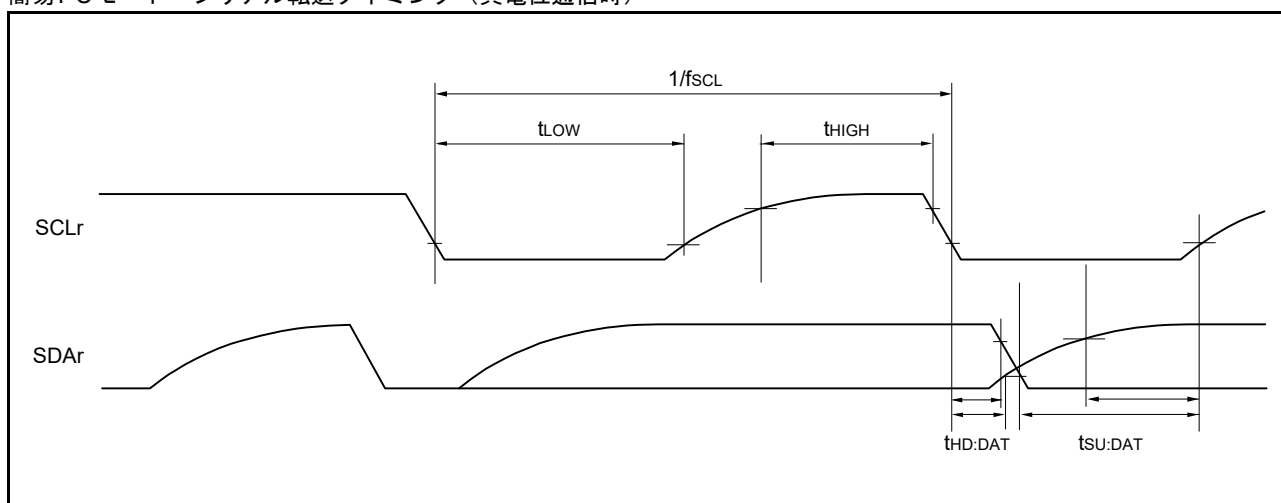
注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択し、SCLrはN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択します。
なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページに続きます)

簡易I²Cモード接続図 (異電位通信時)



簡易I²Cモード・シリアル転送タイミング (異電位通信時)



- 備考1. R_b [Ω] : 通信ライン (SDAr, SCLr) プルアップ抵抗値、 C_b [F] : 通信ライン (SDAr, SCLr) 負荷容量値、
 V_b [V] : 通信ライン電圧
- 備考2. r : IIC番号 (r = 00, 01, 10, 20)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)
- 備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10))

43.5.2 シリアル・インタフェース IICA

(1) I²C標準モード

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	標準モード : fCLK ≥ 1 MHz	0		100	kHz
リスタート・コンディションの セットアップ時間	tSU:STA		4.7			μs
ホールド時間 ^{注1}	tHD:STA		4.0			μs
SCLA0 = "L" のホールド・タイム	tLOW		4.7			μs
SCLA0 = "H" のホールド・タイム	tHIGH		4.0			μs
データ・セットアップ時間 (受信時)	tSU:DAT		250			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT		0		3.45	μs
ストップ・コンディションの セットアップ時間	tSU:STO		4.0			μs
バス・フリー時間	tBUF		4.7			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR02ビットが1の場合も、上記の値を適用できます。ただし、端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

備考 C_b (通信ライン容量) のMax. 値と、R_b (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。
C_b = 400 pF, R_b = 2.7 kΩ

(2) I²Cファースト・モード

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz 1.8 V ≤ EVDD0 ≤ 5.5 V	0		400	kHz
リスタート・コンディションのセットアップ時間	tSU:STA	1.8 V ≤ EVDD0 ≤ 5.5 V	0.6			μs
ホールド時間 ^{注1}	tHD:STA	1.8 V ≤ EVDD0 ≤ 5.5 V	0.6			μs
SCLA0 = "L"のホールド・タイム	tLOW	1.8 V ≤ EVDD0 ≤ 5.5 V	1.3			μs
SCLA0 = "H"のホールド・タイム	tHIGH	1.8 V ≤ EVDD0 ≤ 5.5 V	0.6			μs
データ・セットアップ時間 (受信時)	tSU:DAT	1.8 V ≤ EVDD0 ≤ 5.5 V	100			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT	1.8 V ≤ EVDD0 ≤ 5.5 V	0		0.9	μs
ストップ・コンディションのセットアップ時間	tSU:STO	1.8 V ≤ EVDD0 ≤ 5.5 V	0.6			μs
バス・フリー時間	tBUF	1.8 V ≤ EVDD0 ≤ 5.5 V	1.3			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR02ビットが1の場合も、上記の値を適用できます。ただし、端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

備考 C_b (通信ライン容量) のMax. 値と、R_b (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。
C_b = 320 pF, R_b = 1.1 kΩ

(3) I²Cファースト・モード・プラス

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	ファースト・モード・プラス : fCLK ≥ 10 MHz 2.7 V ≤ EVDD0 ≤ 5.5 V	0		1000	kHz
リスタート・コンディションの セットアップ時間	tSU:STA	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26			μs
ホールド時間 ^{注1}	tHD:STA	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26			μs
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V	0.5			μs
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26			μs
データ・セットアップ時間 (受信時)	tSU:DAT	2.7 V ≤ EVDD0 ≤ 5.5 V	50			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT	2.7 V ≤ EVDD0 ≤ 5.5 V	0		0.45	μs
ストップ・コンディションのセット アップ時間	tSU:STO	2.7 V ≤ EVDD0 ≤ 5.5 V	0.26			μs
バス・フリー時間	tBUF	2.7 V ≤ EVDD0 ≤ 5.5 V	0.5			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR02ビットが1の場合も、上記の値を適用できます。ただし、端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

備考 C_b (通信ライン容量) のMax. 値と、R_b (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。
C_b = 120 pF, R_b = 1.1 kΩ

(4) SMBus/PMBus™モード (100 kHz Class)

(TA = -40 ~ +105°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	fCLK ≥ 1 MHz	10		100	kHz
リスタート・コンディションのセットアップ時間	tSU:STA		4.7			μs
ホールド時間 ^{注1}	tHD:STA		4			μs
SCLA0 = "L" のホールド・タイム	tLOW		4.7			μs
SCLA0 = "H" のホールド・タイム	tHIGH		4			μs
データ・セットアップ時間 (受信時)	tSU:DAT		250			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT		0		3.45	μs
ストップ・コンディションのセットアップ時間	tSU:STO		4			μs
クロック/データ 立ち下がり時間	tF				0.3	μs
クロック/データ 立ち上がり時間	tR				1	μs
バス・フリー時間	tBUF		4.7			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR02ビットが1の場合はSMBUS/PMBUS™通信はできません。

備考 Rb (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。

Rb = 1.1 kΩ

(5) SMBus/PMBus™モード (400 kHz Class)

(TA = -40 ~ +105°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	fCLK ≥ 3.5 MHz	10		400	kHz
リスタート・コンディションのセットアップ時間	tSU:STA		0.6			μs
ホールド時間 ^{注1}	tHD:STA		0.6			μs
SCLA0 = "L" のホールド・タイム	tLOW		1.3			μs
SCLA0 = "H" のホールド・タイム	tHIGH		0.6			μs
データ・セットアップ時間 (受信時)	tSU:DAT		100			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT		0		0.9	μs
ストップ・コンディションのセットアップ時間	tSU:STO		0.6			μs
クロック/データ 立ち下がり時間	tF				0.3	μs
クロック/データ 立ち上がり時間	tR				0.3	μs
バス・フリー時間	tBUF		1.3			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

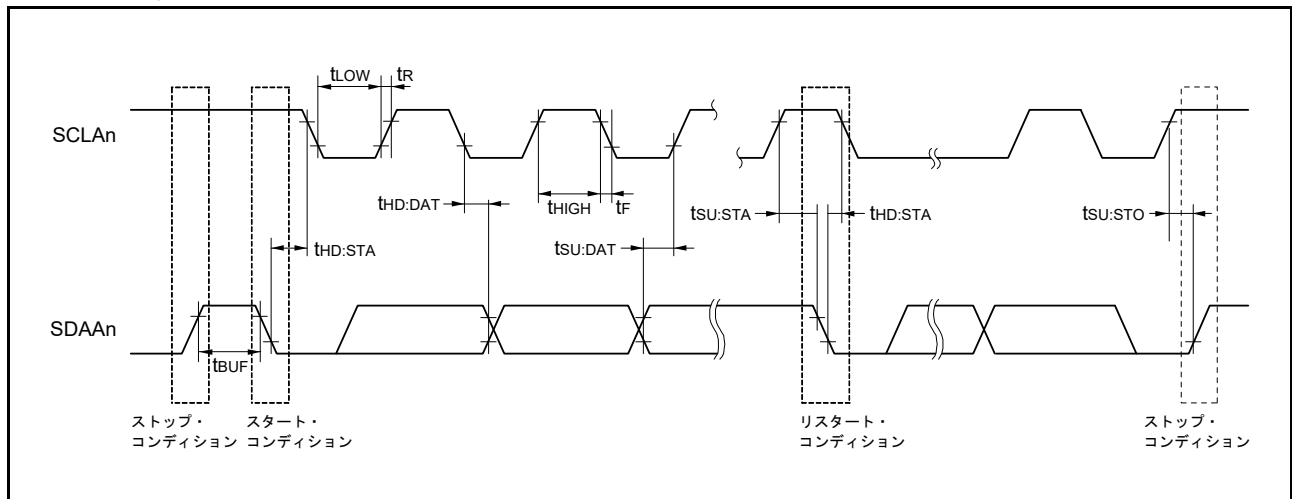
注2. tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR02ビットが1の場合はSMBUS/PMBUS™通信はできません。

備考 C_b (通信ライン容量) のMax. 値とR_b (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。

C_b = 400 pF, R_b = 1.1 kΩ

IICAシリアル転送タイミング



備考 n = 0

43.6 アナログ特性

43.6.1 A/Dコンバータ特性

(1) 標準モード1, 2

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, fCLK ≤ 32 MHz,

基準電圧 (+) = AVREFP (ADREFP[1:0] = 01B), 基準電圧 (-) = AVREFM (ADREFM = 1),

変換対象: ANI2-ANI7, ANI16-ANI30, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		32	MHz
総合誤差 ^{注1, 3, 4, 5}	AINL	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±7.5	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
変換時間 ^{注6}	tCONV	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
ゼロスケール誤差 ^{注1, 2, 3, 4, 5}	Ezs	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
フルスケール誤差 ^{注1, 2, 3, 4, 5}	EFS	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
積分直線性誤差 ^{注1, 4, 5}	ILE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
微分直線性誤差 ^{注1}	DLE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

(注は次ページに続きます)

- 注1.** 量子化誤差 ($\pm 1/2$ LSB) を含みません。
- 注2.** フルスケール値に対する比率 (%FSR) で表します。
- 注3.** 変換対象にANI16-30を選択した場合、Max. 値は次のようになります。
- 総合誤差 : Max. 値に ± 3 LSBを加算してください。
- ゼロスケール誤差/フルスケール誤差 : Max. 値に ± 0.04 %FSRを加算してください。
- 注4.** 基準電圧 (+) にVDD、基準電圧 (-) にVssを選択した場合、Max. 値は次のようになります。
- 総合誤差 : Max. 値に ± 10 LSBを加算してください。
- ゼロスケール誤差/フルスケール誤差 : Max. 値に ± 0.25 %FSRを加算してください。
- 積分直線性誤差 : Max. 値に ± 4 LSBを加算してください。
- 注5.** AVREFP < VDDの場合、Max. 値は次のようになります。
- 総合誤差 : Max. 値に ± 0.75 LSB \times (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください。
- ゼロスケール誤差/フルスケール誤差 : Max. 値に ± 0.018 %FSR \times (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください。
- 積分直線性誤差 : Max. 値に ± 0.2 LSB \times (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください。
- 注6.** 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5 μ s以上にする必要があります。そのため、サンプリング時間が長い標準モード2を使用してください。

(2) 標準モード1, 2 (アドバンスド・モード)

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, fCLK ≤ 48 MHz,

基準電圧 (+) = AVREFP (ADREFP[1:0] = 01B), 基準電圧 (-) = AVREFM (ADREFM = 1),

変換対象 : ANI2-ANI7, ANI16-ANI30, PGA^{注1}, S&H^{注1}, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		48	MHz
総合誤差 ^{注2, 4, 5, 6, 7, 9}	AINL	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±7.5	LSB
		4.5 V ≤ AVREFP = VDD ≤ 5.5 V、かつ S&H使用時 (0.25 V ≤ VAIN ≤ VDD - 0.25 V)			±8.5	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V、かつ S&H使用時 (0.25 V ≤ VAIN ≤ VDD - 0.25 V)			±10.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
変換時間 ^{注7, 8}	tCONV	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	1			μs
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	1			μs
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	1.5			μs
ゼロスケール誤差 ^{注2, 3, 4, 5, 6, 7, 9}	Ezs	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
フルスケール誤差 ^{注2, 3, 4, 5, 6, 7, 9}	EFS	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
積分直線性誤差 ^{注2, 5, 6}	ILE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
微分直線性誤差 ^{注2}	DLE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

(注は次ページに続きます)

- 注1.** S&H, PGAを変換対象にする場合は、 $2.7\text{ V} \leq V_{DD}$ で使用してください。
- 注2.** 量子化誤差 ($\pm 1/2$ LSB) を含みません。
- 注3.** フルスケール値に対する比率 (%FSR) で表します。
- 注4.** 変換対象にANI16-30を選択した場合、Max.値は次のようになります。
- 総合誤差 : Max.値に ± 3 LSBを加算してください。
- ゼロスケール誤差／フルスケール誤差 : Max.値に ± 0.04 %FSRを加算してください。
- 注5.** 基準電圧 (+) に V_{DD} 、基準電圧 (-) に V_{SS} を選択した場合、Max.値は次のようになります。
- 総合誤差 : Max.値に ± 10 LSBを加算してください。
- ゼロスケール誤差／フルスケール誤差 : Max.値に ± 0.25 %FSRを加算してください。
- 積分直線性誤差 : Max.値に ± 4 LSBを加算してください。
- 注6.** $AV_{REFP} < V_{DD}$ の場合、Max.値は次のようになります。
- 総合誤差 : Max.値に ± 0.75 LSB \times (V_{DD} 電圧 (V) - AV_{REFP} 電圧 (V)) を加算してください。
- ゼロスケール誤差／フルスケール誤差 : Max.値に ± 0.018 %FSR \times (V_{DD} 電圧 (V) - AV_{REFP} 電圧 (V)) を加算してください。
- 積分直線性誤差 : Max.値に ± 0.2 LSB \times (V_{DD} 電圧 (V) - AV_{REFP} 電圧 (V)) を加算してください。
- 注7.** 変換対象に低速変換ANI (ANI16-ANI30) が含まれる場合は+7 fAD、PGA (ゲイン $\times 4-16$) が含まれる場合は+12 fAD、PGA (ゲイン $\times 32$) が含まれる場合は+43 fADを加算した時間となります。
- 注8.** 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を $5\ \mu\text{s}$ 以上にする必要があります。そのため、サンプリング時間が長い標準モード2を使用してください。
- 注9.** 変換対象にPGAを選択した場合、Max.値は次のようになります。詳細は、**43.6.5 PGA特性**を参照してください。
- 総合誤差 : Max.値にPGAの入力オフセット電圧と増幅率誤差を加算してください。
- ゼロスケール誤差 : Max.値にPGAの入力オフセット電圧を加算してください。
- フルスケール誤差 : Max.値にPGAの増幅率誤差を加算してください。

(3) 低電圧モード1, 2

(TA = -40 ~ +105°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, fCLK ≤ 32 MHz,
 基準電圧 (+) = AVREFP (ADREFP[1:0] = 01B), 基準電圧 (-) = AVREFM (ADREFM = 1),
 変換対象 : ANI2-ANI7, ANI16-ANI30, 内部基準電圧^{注1}, 温度センサ出力電圧^{注1})

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		24	MHz
総合誤差 ^{注2, 4, 5, 6}	AINL	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±11.5	LSB
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±12.0	LSB
変換時間 ^{注7}	tCONV	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.33			μs
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	5.00			μs
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V	10.00			μs
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V	20.00			μs
ゼロスケール誤差 ^{注2, 3, 4, 5, 6}	Ezs	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR
フルスケール誤差 ^{注2, 3, 4, 5, 6}	EFS	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR
積分直線性誤差 ^{注2, 5, 6}	ILE	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±4.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±4.0	LSB
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±4.5	LSB
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±4.5	LSB
微分直線性誤差 ^{注2}	DLE	2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V		±2.0		LSB
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V		±2.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

(注は次ページに続きます)

- 注1.** 内部基準電圧、温度センサ出力電圧を変換対象にする場合は、 $1.8\text{ V} \leq V_{DD}$ で使用してください。
- 注2.** 量子化誤差 ($\pm 1/2$ LSB) を含みません。
- 注3.** フルスケール値に対する比率 (%FSR) で表します。
- 注4.** 変換対象にANI16-ANI30を選択した場合、Max. 値は次のようになります。
- 総合誤差 : Max. 値に ± 3 LSBを加算してください。
- ゼロスケール誤差/フルスケール誤差 : Max. 値に ± 0.04 %FSRを加算してください。
- 注5.** 基準電圧 (+) に V_{DD} 、基準電圧 (-) に V_{SS} を選択した場合、Max. 値は次のようになります。
- 総合誤差 : Max. 値に ± 10 LSBを加算してください。
- ゼロスケール誤差/フルスケール誤差 : Max. 値に ± 0.25 %FSRを加算してください。
- 積分直線性誤差 : Max. 値に ± 4 LSBを加算してください。
- 注6.** $AV_{REFP} < V_{DD}$ の場合、Max. 値は次のようになります。
- 総合誤差 : Max. 値に ± 0.75 LSB \times (V_{DD} 電圧 (V) - AV_{REFP} 電圧 (V)) を加算してください。
- ゼロスケール誤差/フルスケール誤差 : Max. 値に ± 0.018 %FSR \times (V_{DD} 電圧 (V) - AV_{REFP} 電圧 (V)) を加算してください。
- 積分直線性誤差 : Max. 値に ± 0.2 LSB \times (V_{DD} 電圧 (V) - AV_{REFP} 電圧 (V)) を加算してください。
- 注7.** 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を $5\ \mu\text{s}$ 以上にする必要があります。そのため、サンプリング時間が長い低電圧モード2、かつ変換クロック (f_{AD}) は $16\ \text{MHz}$ 以下で使用してください。

(4) 低電圧モード1, 2 (アドバンスド・モード)

(TA = -40 ~ +105°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, fCLK ≤ 48 MHz,
 基準電圧 (+) = AVREFP (ADREFP[1:0] = 01B), 基準電圧 (-) = AVREFM (ADREFM = 1),
 変換対象 : ANI2-ANI7, ANI16-ANI30, PGA注1, S&H注1, 内部基準電圧注2, 温度センサ出力電圧注2)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		24	MHz
総合誤差注3, 5, 6, 7, 8, 9	AINL	4.5 V ≤ AVREFP = VDD ≤ 5.5 V、かつ S&H使用時 (0.25 V ≤ VAIN ≤ VDD - 0.25 V)			±10.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V、かつ S&H使用時 (0.25 V ≤ VAIN ≤ VDD - 0.25 V)			±10.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±11.5	LSB
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±12.0	LSB
変換時間注8	tCONV	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.33			μs
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	5.00			μs
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V	10.00			μs
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V	20.00			μs
ゼロスケール誤差 注3, 4, 5, 6, 7, 8, 9	Ezs	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR
フルスケール誤差 注3, 4, 5, 6, 7, 8, 9	EFS	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR
積分直線性誤差注3, 6, 7	ILE	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±4.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±4.0	LSB
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±4.5	LSB
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±4.5	LSB
微分直線性誤差注3	DLE	2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB
		1.8 V ≤ AVREFP = VDD ≤ 5.5 V		±2.0		LSB
		1.6 V ≤ AVREFP = VDD ≤ 5.5 V		±2.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

(注は次ページに続きます)

- 注1.** S&H, PGAを変換対象にする場合は、 $2.7\text{ V} \leq V_{DD}$ で使用してください
- 注2.** 内部基準電圧、温度センサ出力電圧を変換対象にする場合は、 $1.8\text{ V} \leq V_{DD}$ で使用してください。
- 注3.** 量子化誤差 ($\pm 1/2$ LSB) を含みません。
- 注4.** フルスケール値に対する比率 (%FSR) で表します。
- 注5.** 変換対象にANI16-ANI30を選択した場合、Max. 値は次のようになります。
総合誤差 : Max. 値に ± 3 LSBを加算してください。
ゼロスケール誤差/フルスケール誤差 : Max. 値に $\pm 0.04\%$ FSRを加算してください。
- 注6.** 基準電圧 (+) に V_{DD} 、基準電圧 (-) に V_{SS} を選択した場合、Max. 値は次のようになります。
総合誤差 : Max. 値に ± 10 LSBを加算してください。
ゼロスケール誤差/フルスケール誤差 : Max. 値に $\pm 0.25\%$ FSRを加算してください。
積分直線性誤差 : Max. 値に ± 4 LSBを加算してください。
- 注7.** $AV_{REFP} < V_{DD}$ の場合、Max. 値は次のようになります。
総合誤差 : Max. 値に $\pm 0.75\text{ LSB} \times (V_{DD}\text{電圧 (V)} - AV_{REFP}\text{電圧 (V)})$ を加算してください。
ゼロスケール誤差/フルスケール誤差 : Max. 値に $\pm 0.018\%$ FSR $\times (V_{DD}\text{電圧 (V)} - AV_{REFP}\text{電圧 (V)})$ を加算してください。
積分直線性誤差 : Max. 値に $\pm 0.2\text{ LSB} \times (V_{DD}\text{電圧 (V)} - AV_{REFP}\text{電圧 (V)})$ を加算してください。
- 注8.** 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を $5\ \mu\text{s}$ 以上にする必要があります。そのため、サンプリング時間が長い低電圧モード2、かつ変換クロック (f_{AD}) は 16 MHz 以下で使用してください。
- 注9.** 変換対象にPGAを選択した場合、Max. 値は次のようになります。詳細は、**43.6.5 PGA特性**を参照してください。
総合誤差 : Max. 値にPGAの入力オフセット電圧と増幅率誤差を加算してください。
ゼロスケール誤差 : Max. 値にPGAの入力オフセット電圧を加算してください。
フルスケール誤差 : Max. 値にPGAの増幅率誤差を加算してください。

(5) 基準電圧 (+) に内部基準電圧を選択

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V, 低電圧モード1, 2, fCLK ≤ 32 MHz注1, fCLK ≤ 48 MHz注2,
基準電圧 (+) = 内部基準電圧 (ADREFP[1:0] = 10B), 基準電圧 (-) = AVREFM (ADREFM = 1))

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8			bit
変換クロック	fAD	1.8 V ≤ VDD ≤ 5.5 V	1		2	MHz
ゼロスケール誤差注3, 4, 6	EZS	1.8 V ≤ VDD ≤ 5.5 V			±0.6	%FSR
積分直線性誤差注3, 6	ILE	1.8 V ≤ VDD ≤ 5.5 V			±2.0	LSB
微分直線性誤差注3	DLE	1.8 V ≤ VDD ≤ 5.5 V		±1.0		LSB
アナログ入力電圧	VAIN		0		V _{BGR} 注5	V

注1. アドバンスド・モードOFFのとき。

注2. アドバンスド・モードONのとき。

注3. 量子化誤差 (±1/2 LSB) を含みません。

注4. フルスケール値に対する比率 (%FSR) で表します。

注5. 43.6.2 温度センサ/内部基準電圧特性を参照してください。

注6. 基準電圧 (-) = VSSを選択した場合、Max.値は次のようになります。

ゼロスケール誤差 : Max.値に±0.35 %FSRを加算してください。

積分直線性誤差 : Max.値に±0.5 LSBを加算してください。

43.6.2 温度センサ／内部基準電圧特性

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
温度センサ出力電圧	VTMPS25	ADSレジスタ = 80H設定、TA = +25°C		1.05		V
内部基準電圧	VBGR	ADSレジスタ = 81H設定	1.40	1.48	1.56	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.3		mV/°C
動作安定待ち時間	tAMP		5			μs

43.6.3 D/Aコンバータ特性

(TA = -40 ~ +105°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES	DAC0, DAC1 (DACONF = 0)			10	bit
		DAC1 (DACONF = 1), DAC2			8	bit
総合誤差	AINL	Rload = 8 MΩ			±2.5	LSB
微分非直線性誤差	ADNL				±1.0	LSB
セトリング・タイム	tSET	DACO出力時Cload = 20 pF			6	μs
		CMP基準使用フルコード変換時			3	μs
		CMP基準使用1LSBコード変換時			1	μs

注意 ANO0-2端子にはEVDD0を超える電圧を出力しないでください。

43.6.4 コンパレータ特性

(TA = -40 ~ +105°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
入力電圧範囲	IVREF	IVREF0端子、IVREF1端子入力	0		EVDD0	V
	IVCMP	IVCMP0, IVCMP1, IVCMP2, ICMP3端子入力	0		EVDD0	V
出力遅延	td	入力振幅±100 mV		50	100	ns
オフセット電圧	—			±5	±40	mV
動作安定時間 ^注	tCMP		1			μs
入力チャネル切り替え安定待ち時間	—		0.3			μs

注 コンパレータの動作許可信号切り替え (CnENB = 0 → 1) から、コンパレータがDC/AC特性を満足できる状態になるまでの時間。

43.6.5 PGA特性

(TA = -40 ~ +105°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件		Min.	Typ.	Max.	単位
入力オフセット電圧	VIOPGA					±10	mV
入力電圧範囲 ^{注1}	VIPGA			0		0.9 × VDD/ 増幅率	V
増幅率誤差		4倍、8倍				±1	%
		16倍				±1.5	%
		32倍				±2	%
スルーレート ^{注1}	SRRPGA	立ち上がり Vin = VDD × 0.1/増幅率 ~ VDD × 0.9/増幅率 出力振幅の10% ~ 90%	4.0 V ≤ VDD ≤ 5.5 V	32倍以外	3.5		V/μs
			4.0 V ≤ VDD ≤ 5.5 V	32倍	3		
			2.7 V ≤ VDD ≤ 4.0 V		0.5		
	SRFPGA	立ち下がり Vin = VDD × 0.1/増幅率 ~ VDD × 0.9/増幅率 出力振幅の90% ~ 10%	4.0 V ≤ VDD ≤ 5.5 V	32倍以外	3.5		
			4.0 V ≤ VDD ≤ 5.5 V	32倍	3		
			2.7 V ≤ VDD ≤ 4.0 V		0.5		
動作安定待ち時間 ^{注2}	tPGA	4倍、8倍				5	μs
		16倍、32倍				10	μs

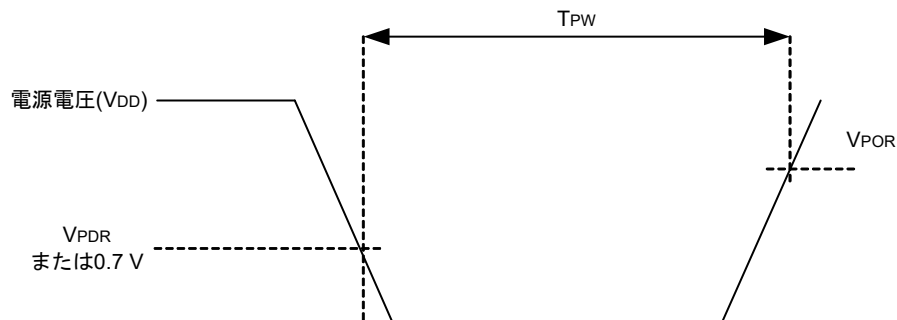
注1. PGAI0-PGAI3端子の電源はEVDD0になります。**注2.** PGAの動作を許可 (PGAEN = 1) してから、PGA動作のDC/AC特性を満足できる状態になるまでの時間。

43.6.6 POR回路特性

(TA = -40 ~ +105°C, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
検出電圧	VPOR, VPDR		1.43	1.50	1.57	V
最小パルス幅注	TPW		300			μs

注 VDDがVPDRを下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (fMAIN) を停止時は、VDDが0.7 Vを下回ってから、VPORを上回るまでのPORによるリセット動作に必要な時間です。



43.6.7 LVD回路特性

(1) LVD0リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +105°C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位		
検出電圧	電源電圧レベル	VLVD00	電源立ち上がり時	3.84	3.96	4.08	V	
			電源立ち下がり時	3.76	3.88	4.00	V	
		VLVD01	電源立ち上がり時	2.88	2.97	3.06	V	
			電源立ち下がり時	2.82	2.91	3.00	V	
		VLVD02	電源立ち上がり時	2.59	2.67	2.75	V	
			電源立ち下がり時	2.54	2.62	2.70	V	
		VLVD03	電源立ち上がり時	2.31	2.38	2.45	V	
			電源立ち下がり時	2.26	2.33	2.40	V	
		VLVD04	電源立ち上がり時	1.84	1.90	1.95	V	
			電源立ち下がり時	1.80	1.86	1.91	V	
		VLVD05	電源立ち上がり時	1.64	1.69	1.74	V	
			電源立ち下がり時	1.60	1.65	1.70	V	
		最小パルス幅	tlw		500			μs
		検出遅延					500	μs

(2) LVD1リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +105°C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

(1/2)

項目	略号	条件	Min.	Typ.	Max.	単位	
検出電圧	電源電圧レベル	VLVD10	電源立ち上がり時	4.08	4.16	4.24	V
			電源立ち下がり時	4.00	4.08	4.16	V
		VLVD11	電源立ち上がり時	3.88	3.96	4.04	V
			電源立ち下がり時	3.80	3.88	3.96	V
		VLVD12	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		VLVD13	電源立ち上がり時	3.48	3.55	3.62	V
			電源立ち下がり時	3.40	3.47	3.54	V
		VLVD14	電源立ち上がり時	3.28	3.35	3.42	V
			電源立ち下がり時	3.20	3.27	3.34	V
		VLVD15	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		VLVD16	電源立ち上がり時	2.91	2.97	3.03	V
			電源立ち下がり時	2.85	2.91	2.97	V
		VLVD17	電源立ち上がり時	2.76	2.82	2.87	V
			電源立ち下がり時	2.70	2.76	2.81	V
		VLVD18	電源立ち上がり時	2.61	2.66	2.71	V
			電源立ち下がり時	2.55	2.60	2.65	V
		VLVD19	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		VLVD110	電源立ち上がり時	2.35	2.40	2.45	V
			電源立ち下がり時	2.30	2.35	2.40	V
		VLVD111	電源立ち上がり時	2.25	2.30	2.34	V
			電源立ち下がり時	2.20	2.25	2.29	V
		VLVD112	電源立ち上がり時	2.15	2.20	2.24	V
			電源立ち下がり時	2.10	2.15	2.19	V
		VLVD113	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		VLVD114	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
		VLVD115注	電源立ち上がり時	1.84	1.88	1.91	V
			電源立ち下がり時	1.80	1.84	1.87	V
		VLVD116注	電源立ち上がり時	1.74	1.78	1.81	V
			電源立ち下がり時	1.70	1.74	1.77	V
VLVD117注	電源立ち上がり時	1.64	1.67	1.70	V		
	電源立ち下がり時	1.60	1.63	1.66	V		

(注は次ページに続きます)

(TA = -40 ~ +105°C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

(2/2)

項目	略号	条件	Min.	Typ.	Max.	単位
最小パルス幅	tLW		500			μs
検出遅延					500	μs

注 LVD0がオフのときに使用できます。

43.6.8 電源電圧立ち上がり特性

(TA = -40 ~ +105°C, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

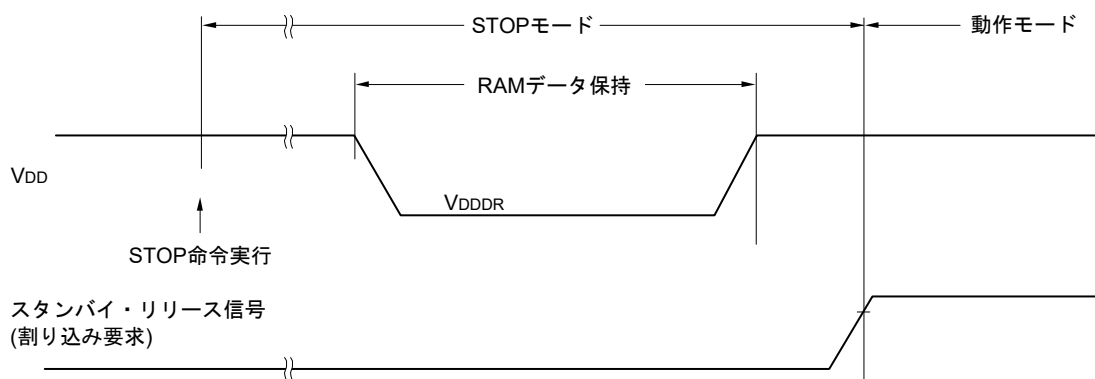
注意 VDDがAC特性に示す動作電圧範囲内に達するまで、LVD0回路か外部リセットで内部リセット状態を保ってください。

43.7 RAMデータ保持特性

(TA = -40 ~ +105°C, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
データ保持電源電圧	VDDDR		1.43 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



43.8 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
CPU/周辺ハードウェアクロック周波数	fCLK		1		48	MHz
コード・フラッシュ・メモリの書き換え回数 ^{注1, 2, 3}	Cenwr	保持年数：10年 TA = +85°C	10,000			回
		保持年数：20年 TA = +85°C	1,000			
データ・フラッシュ・メモリの書き換え回数 ^{注1, 2, 3}		保持年数：1年 TA = +25°C		1,000,000		
		保持年数：5年 TA = +85°C	100,000			
		保持年数：20年 TA = +85°C	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数は、一度書き換えたあと、次に書き換えを行うまでの期間とします。

注2. フラッシュ・メモリ・プログラマ使用時およびセルフ・プログラミング機能を使用時

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

(1) コード・フラッシュ・メモリ

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	fCLK = 1 MHz			fCLK = 2 MHz, 3 MHz			4 MHz ≤ fCLK < 8 MHz			8 MHz ≤ fCLK < 32 MHz			fCLK = 32 MHz			fCLK = 48 MHz			単位	
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.		
プログラム時間	4バイト	TP4	—	75.8	666.6	—	51.5	469.7	—	41.9	387.3	—	37.2	347.4	—	34.2	322.3	—	33.9	319.7	μs
イレース時間	2Kバイト	TE2K	—	10.4	312.2	—	7.7	258.5	—	6.4	231.8	—	5.8	218.4	—	5.6	214.4	—	5.6	213.9	ms
フランクチェック時間	4バイト	tBC4	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	—	—	8.1	μs
	2Kバイト	tBC2K	—	—	2618.9	—	—	1309.5	—	—	658.3	—	—	332.8	—	—	234.1	—	—	223.19	μs
イレース処理強制停止時間		tSED	—	—	19.0	—	—	14.5	—	—	12.3	—	—	11.1	—	—	10.4	—	—	10.3	μs
セキュリティ設定時間		tAWSSAS	—	18.2	526.4	—	14.4	469.3	—	12.6	441.1	—	11.6	427.1	—	11.3	422.6	—	11.3	422.1	ms
STOP命令解除後プログラミング開始待ち時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs

注意 ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含まれません。

(2) データ・フラッシュ・メモリ

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	fCLK = 1 MHz			fCLK = 2 MHz, 3 MHz			4 MHz ≤ fCLK < 8 MHz			8 MHz ≤ fCLK < 32 MHz			fCLK = 32 MHz			fCLK = 48 MHz			単位	
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.		
プログラム時間	1バイト	TP4	—	75.8	666.6	—	51.51	469.7	—	41.9	387.34	—	37.24	347.4	—	34.2	322.3	—	33.92	319.7	μs
イレース時間	256バイト	TE2K	—	7.8	259.2	—	6.4	232.0	—	5.8	218.5	—	5.5	211.8	—	5.4	209.7	—	5.3	209.5	ms
フランクチェック時間	1バイト	tBC4	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	—	—	8.1	μs
	256バイト	tBC2K	—	—	1326.1	—	—	663.1	—	—	335.1	—	—	171.2	—	—	121.0	—	—	115.5	μs
イレース処理強制停止時間		tSED	—	—	19.0	—	—	14.5	—	—	12.3	—	—	11.1	—	—	10.4	—	—	10.3	μs
STOP命令解除後プログラミング開始待ち時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs
DFLCTL.DFLEN = 1設定後のリード開始待ち時間		—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	μs

注意 ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含まれません。

43.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

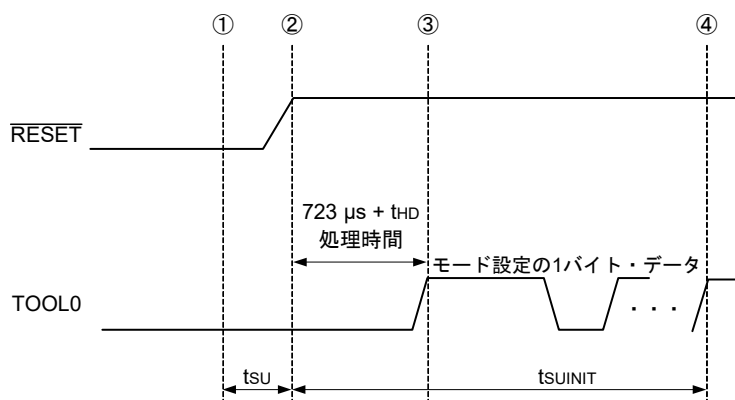
(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

43.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40 ~ +105°C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
外部リセット解除から初期設定通信を完了する時間	tSUINIT	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tSUINIT : この区間では、リセット解除から100 ms以内に初期設定通信を完了してください。
 tsu : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
 tHD : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間 (フラッシュ・ファーム処理時間を除く)

第44章 電気的特性 (TA = -40°C ~ +125°C)

この章では、以下の対象製品の電気的特性を示します。

対象製品

4C : 産業用途 TA = -40 ~ +125°C

R7F101Gxx4Cxx

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受付対象外となります。

注意2. EVDD0, EVSS0端子がない製品は、EVDD0をVDDに、EVSS0をVSSに置き換えてください。

注意3. 製品により搭載している端子が異なります。2.1 ポートの端子機能~2.2.1 製品別の搭載機能を参照してください。

備考 TA = -40 ~ +105°Cの範囲で使用する場合は第43章 電気的特性 (TA = -40°C ~ +105°C) を参照してください。

44.1 絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVDD0		-0.5 ~ +6.5	V
	EVSS0		-0.5 ~ +0.3	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.1 かつ -0.3 ~ VDD+0.3 ^{注1}	V
入力電圧	Vi1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P140, P141, P146, P147	-0.3 ~ EVDD0+0.3 かつ -0.3 ~ VDD+0.3 ^{注2}	V
	Vi2	P60, P61 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	P20-P27, P121-P124, P137, EXCLK, EXCLKS, RESET	-0.3 ~ VDD+0.3 ^{注2}	V
出力電圧	VO1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	-0.3 ~ EVDD0+0.3 かつ -0.3 ~ VDD+0.3 ^{注2}	V
	VO2	P20-P27, P121, P122	-0.3 ~ VDD+0.3 ^{注2}	V
アナログ入力電圧	VAI1	ANI16-ANI30	-0.3 ~ EVDD0+0.3 かつ -0.3 ~ AVREFP+0.3 ^{注2, 3}	V
	VAI2	ANI0-ANI7	-0.3 ~ VDD+0.3 かつ -0.3 ~ AVREFP+0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してVssに接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. A/D変換対象の端子は、AVREFP+0.3を超えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREFP : A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とします。

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	-40	mA
		端子合計 -170 mA	P00-P04, P40-P43, P120, P130, P140, P141	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P55, P62, P63, P70-P77, P146, P147	-100	mA
	IOH2	1端子	P20-P27, P121, P122	-5	mA
		端子合計		-20	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	40	mA
		端子合計 170 mA	P00-P04, P40-P43, P120, P130, P140, P141	70	mA
			P05, P06, P10-P17, P30, P31, P50-P55, P60-P63, P70-P77, P146, P147	100	mA
	IOL2	1端子	P20-P27, P121, P122	10	mA
		端子合計		20	mA
動作周囲温度	TA	通常動作時		-40 ~ +125	°C
		フラッシュ・メモリ・プログラミング時		-40 ~ +125	°C
保存温度	Tstg			-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

44.2 発振回路特性

★ 44.2.1 X1 発振回路特性

(TA = -40 ~ +125°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	発振子	条件	Min.	Typ.	Max.	単位
X1クロック発振許容入力周期注	セラミック発振子/水晶振動子		0.05		1	μs

注 発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、**44.4 AC特性**を参照してください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

★ 44.2.2 XT1 発振回路特性

(TA = -40 ~ +125°C, 2.7 V ≤ VDD ≤ 5.5 V (40 ~ 64ピン製品), VSS = 0 V)

項目	発振子	条件	Min.	Typ.	Max.	単位
XT1クロック発振周波数 (fXT) 注	水晶振動子			32.768		kHz

注 発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、**44.4 AC特性**を参照してください。

44.2.3 オンチップ・オシレータ特性

(TA = -40 ~ +125°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f _{IH}		1		48	MHz
高速オンチップ・オシレータ・クロック周波数精度 ^{注1}	HIPREC = 1	+105 ~ +125°C	-1.5		+1.5	%
		+85 ~ +105°C	-1.5		+1.5	%
		-20 ~ +85°C	-1.0		+1.0	%
		-40 ~ -20°C	-1.5		+1.5	%
	HIPREC = 0 ^{注4}		-15		0	%
高速オンチップ・オシレータ・クロック補正分解能			0.05			%
中速オンチップ・オシレータ・クロック周波数 ^{注2}	f _{IM}		1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度 ^{注1}			-12		+12	%
中速オンチップ・オシレータ・クロック補正分解能				0.15		%
中速オンチップ・オシレータ周波数温度係数					±0.17 ^{注3}	%/°C
低速オンチップ・オシレータ・クロック周波数 ^{注2}	f _{IL}			32.768		KHz
低速オンチップ・オシレータ・クロック周波数精度 ^{注1}			-15		+15	%
低速オンチップ・オシレータ・クロック補正分解能				0.3		%
低速オンチップ・オシレータ周波数温度係数					±0.21 ^{注3}	%/°C

注1. テスト時の精度です。

注2. 発振回路の特性だけを示すものです。命令実行時間は、44.4 AC特性を参照してください。

注3. 評価による値です。

注4. ユーザ・オプション・バイトのFRQSEL3 = 1に設定時

44.2.4 PLL 発振回路特性

(TA = -40 ~ +125°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
PLL入力周波数	f _{PLLIN}	高速システム・クロック (f _{MX}) または高速オンチップ・オシレータ・クロック (f _{IH})		8		MHz
PLL出力周波数	f _{PLL}	f _{PLLIN} × 12 逡倍		96		MHz
		f _{PLLIN} × 8 逡倍		64		MHz
ロックアップ・ウエイト・タイム		PLL出力許可から出力周波数の安定までの待ち時間	50			μs
インターバル・ウエイト・タイム		PLL停止→PLL再動作設定待ち時間	4			μs
設定待ち時間		PLL入力クロック安定かつPLL設定確定後→起動設定の必要待ち時間	1			μs

44.3 DC特性

44.3.1 端子特性

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル許容出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147 1端子	2.7 V ≤ EVDD0 ≤ 5.5 V			-10.0 ^{注2}	mA
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			-24.0	mA
			2.7 V ≤ EVDD0 < 4.0 V			-10.0	mA
		P05, P06, P10-P17, P30, P31, P50-P55, P62, P63, P70-P77, P146, P147 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			-42.0	mA
			2.7 V ≤ EVDD0 < 4.0 V			-17.0	mA
	全端子合計 (デューティ ≤ 70%時 ^{注3})	2.7 V ≤ EVDD0 ≤ 5.5 V			-54	mA	
	IOH2	P20-P27, P121, P122 1端子	4.0 V ≤ VDD ≤ 5.5 V			-3.0 ^{注2}	mA
			2.7 V ≤ VDD < 4.0 V			-1.0 ^{注2}	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			-14	mA
			2.7 V ≤ VDD < 4.0 V			-8	mA

注1. EVDD0, VDD端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. ただし、合計の電流値を超えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。

• 端子合計の出力電流 = (IOH × 0.7) / (n × 0.01)

<計算例> IOH = -10.0 mAの場合、n = 80%

端子合計の出力電流 = (-10.0 × 0.7) / (80 × 0.01) ≒ -8.7 mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00, P02-P04, P10-P15, P17, P30, P50, P51, P55, P71-P74は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ロウ・レベル許容出力 電流 ^{注1}	IOL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147 1端子			17.0 ^{注2}	mA	
		P60, P61 1端子	2.7 V ≤ EVDD0 < 5.5 V		15 ^{注2}	mA	
		P00-P04, P40-P43, P120, P130, P140, P141 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		34.0	mA	
			2.7 V ≤ EVDD0 < 4.0 V		15.0	mA	
		P05, P06, P10-P17, P30, P31, P50-P55, P60-P63, P70-P77, P146, P147 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		34.0	mA	
	2.7 V ≤ EVDD0 < 4.0 V			15.0	mA		
	全端子合計 (デューティ ≤ 70%時 ^{注3})				68	mA	
	IOL2	P20-P27, P121, P122 1端子	4.0 V ≤ VDD ≤ 5.5 V			8.5 ^{注2}	mA
			2.7 V ≤ VDD < 4.0 V			1.5 ^{注2}	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			14.0	mA
2.7 V ≤ VDD < 4.0 V					14.0	mA	

注1. 出力端子からEVSS0, VSS端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を超えないください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。

• 端子合計の出力電流 = (IOH × 0.7) / (n × 0.01)

<計算例> IOH = -10.0 mAの場合、n = 80%

端子合計の出力電流 = (-10.0 × 0.7) / (80 × 0.01) ≒ 8.7 mA

ただし、1端子当たり流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル入力電圧	VIH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
	VIH2	P01, P03, P04, P10, P11, P14-P17, P30, P50, P55, P73	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2		EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0		EVDD0	V
			TTL入力バッファ 2.7 V ≤ EVDD0 < 3.3 V	1.5		EVDD0	V
	VIH3	P20-P27		0.7 VDD		VDD	V
	VIH4	P60, P61	I/Oポート・モード	0.7 EVDD0		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET		0.8 VDD		VDD	V
VIH6	P60, P61	SMBus入力モード	1.35		EVDD0	V	
ロウ・レベル入力電圧	UIL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P140, P141, P146, P147	通常入力バッファ	0		0.2 EVDD0	V
	UIL2	P01, P03, P04, P10, P11, P14-P17, P30, P50, P55, P73	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0		0.5	V
			TTL入力バッファ 2.7 V ≤ EVDD0 < 3.3 V	0		0.32	V
	UIL3	P20-P27		0		0.3 VDD	V
	UIL4	P60, P61	I/Oポート・モード	0		0.3 EVDD0	V
	UIL5	P121-P124, P137, EXCLK, EXCLKS, RESET		0		0.2 VDD	V
UIL6	P60, P61	SMBus入力モード			0.8	V	

注意 P00, P02-P04, P10-P15, P17, P30, P50, P51, P55, P71-P74は、N-chオープン・ドレイン・モード時でもVIHの最大値(Max.)はEVDD0です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(4/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ハイ・レベル出力電圧	VOH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -10.0 mA	EVDD0 -1.5			V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -3.0 mA	EVDD0 -0.7			V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -2.0 mA	EVDD0 -0.6			V
	VOH2	P20-P27, P121, P122	4.0 V ≤ VDD ≤ 5.5 V, IOH2 = -3.0 mA	VDD -0.7			V
			2.7 V ≤ VDD < 4.0 V, IOH2 = -1.0 mA	VDD -0.5			V

注意 P00, P02-P04, P10-P15, P17, P30, P50, P51, P55, P71-P74は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(5/7)

項目	略号	条件	Min.	Typ.	Max.	単位	
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 17.0 mA			1.3	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 8.5 mA			0.7	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 3.0 mA			0.6	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 1.5 mA			0.4	V
	VOL2	P20-P27, P121, P122	4.0 V ≤ VDD ≤ 5.5 V, IOL2 = 6.0 mA			0.7	V
			2.7 V ≤ VDD < 4.0 V, IOL2 = 1.5 mA			0.5	V
	VOL3	P60, P61	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 7.0 mA			2.0	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 5.0 mA			0.4	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 3.0 mA			0.4	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(6/7)

項目	略号	条件		Min.	Typ.	Max.	単位	
出力電流 ^注	CCDIoL	P10, P11, P16, P17, P60-P63	CCSm = 01H	4.0 V ≤ EVDD0 ≤ 5.5 V	1.0	1.8	2.6	mA
				2.7 V ≤ EVDD0 < 4.0 V	0.8	1.5	2.3	mA
			CCSm = 02H	4.0 V ≤ EVDD0 ≤ 5.5 V	3.0	4.9	6.5	mA
				3.0 V ≤ EVDD0 < 4.0 V	2.7	4.3	5.9	mA
			CCSm = 03H	4.0 V ≤ EVDD0 ≤ 5.5 V	6.6	10.0	13.2	mA
				3.3 V ≤ EVDD0 < 4.0 V	6.0	9.1	12.1	mA
	P60, P61	CCSm = 04H	4.0 V ≤ EVDD0 ≤ 5.5 V	10.2	15.0	19.8	mA	
			3.3 V ≤ EVDD0 < 4.0 V	9.4	13.8	18.2	mA	

注 出力電流制御機能を有効にした場合です。

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(7/7)

項目	略号	条件		Min.	Typ.	Max.	単位
ハイ・レベル入力 リーク電流	LIH1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P60-P63, P70-P77, P120, P140, P141, P146, P147	VI = EVDD0			1	μA
	LIH2	P20-P27, P137, RESET	VI = VDD			1	μA
	LIH3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	VI = VDD			1	μA
ロウ・レベル入力 リーク電流	LIIL1	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120, P130, P140, P141, P146, P147	VI = EVSS0			1	μA
	LIIL2	P20-P27, P137, RESET	VI = VSS			1	μA
	LIIL3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	VI = VSS			1	μA
内蔵プルアップ抵抗	RU	P00-P06, P10-P17, P30, P31, P40-P43, P50-P55, P62, P63, P70-P77, P120-P122, P140, P141, P146, P147	VI = EVSS0、入力ポート時	10	20	100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

44.3.2 電源電流特性

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/5)

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード	f _{PLL} = 96 MHz f _{CLK} = 48 MHz (MCM0 = 0) ^{注2}	通常動作	VDD = 5.0 V		5.5	19.7	mA
						VDD = 2.7 V		5.5	19.7	
				f _{PLL} = 96 MHz f _{CLK} = 48 MHz (MCM = 1) ^{注4}	通常動作	VDD = 5.0 V		5.3	19.4	mA
						VDD = 2.7 V		5.3	19.4	
				f _{IH} = 48 MHz ^{注2}	通常動作	VDD = 5.0 V		4.6	13.3	mA
						VDD = 2.7 V		4.6	13.3	
			f _{PLL} = 64 MHz f _{CLK} = 32 MHz (MCM0 = 0) ^{注2}	通常動作	VDD = 5.0 V		3.9	13.6	mA	
					VDD = 2.7 V		3.9	13.5		
			f _{PLL} = 64 MHz f _{CLK} = 32 MHz (MCM = 1) ^{注4}	通常動作	VDD = 5.0 V		3.7	13.3	mA	
					VDD = 2.7 V		3.7	13.3		
			f _{IH} = 32 MHz ^{注2}	基本動作	VDD = 5.0 V		1.6	—	mA	
					VDD = 2.7 V		1.6	—		
				通常動作	VDD = 5.0 V		3.3	9.3	mA	
					VDD = 2.7 V		3.3	9.3		
			LS (低速メイン)モード	f _{IH} = 24 MHz ^{注2}	通常動作	VDD = 5.0 V		2.5	7.1	mA
						VDD = 2.7 V		2.5	7.1	
				f _{IH} = 16 MHz ^{注2}	通常動作	VDD = 5.0 V		1.8	5.1	mA
				VDD = 2.7 V		1.8	5.1			
			f _{IM} = 4 MHz ^{注3}	通常動作	VDD = 5.0 V		0.5	1.6	mA	
					VDD = 2.7 V		0.5	1.6		
			LP (低電力メイン)モード	f _{IM} = 2 MHz ^{注3}	通常動作	VDD = 5.0 V		0.2	968	μA
						VDD = 2.7 V		0.2	968	
			f _{IM} = 1 MHz ^{注3}	通常動作	VDD = 5.0 V		0.1	701	μA	
					VDD = 2.7 V		0.1	701		
HS (高速メイン)モード	f _{MX} = 20 MHz ^{注4} 、 方形波入力	通常動作	VDD = 5.0 V		2.0	5.9	mA			
			VDD = 2.7 V		2.0	5.9				
LS (低速メイン)モード	f _{MX} = 20 MHz ^{注4} 、 方形波入力	通常動作	VDD = 5.0 V		1.9	5.8	mA			
			VDD = 2.7 V		1.9	5.8				
	f _{MX} = 20 MHz ^{注4} 、 発振子接続	通常動作	VDD = 5.0 V		2.1	6.0	mA			
			VDD = 2.7 V		2.1	6.0				
	f _{MX} = 10 MHz ^{注4} 、 方形波入力	通常動作	VDD = 5.0 V		1.0	3.2	mA			
			VDD = 2.7 V		1.0	3.2				
f _{MX} = 10 MHz ^{注4} 、 発振子接続	通常動作	VDD = 5.0 V		1.1	3.4	mA				
		VDD = 2.7 V		1.1	3.4					
f _{MX} = 8 MHz ^{注4} 、 方形波入力	通常動作	VDD = 5.0 V		0.8	2.7	mA				
		VDD = 2.7 V		0.8	2.6					

(注、備考は次ページに続きます)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/5)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 ^{注1}	IDD1	動作モード	LS (低速メイン)モード	f _{MX} = 8 MHz ^{注4} 、 発振子接続	通常動作	VDD = 5.0 V	0.9	2.8	mA
						VDD = 2.7 V	0.9	2.8	

- ★ **注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値にはPCLBUZ、TAU、SAU、IICA、タイマRD2、タイマRX、16ビット・タイマKB30、KB31、KB32機能の動作電流を含みます。
- 注2.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注3.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 備考1.** f_{IH} : 高速オンチップ・オシレータ・クロック周波数
- 備考2.** f_{IM} : 中速オンチップ・オシレータ・クロック周波数
- 備考3.** f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考4.** f_{PLL} : PLLクロック周波数 (最大96 MHz)
- 備考5.** f_{CLK} : CPU/周辺ハードウェア・クロック周波数
- 備考6.** 特に指定がない場合のTyp.値の温度条件は、TA = +25°Cです。

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(3/5)

項目	略号	条件				Min.	Typ.	Max.	単位	
電源電流 ^{注1}	IDD1	動作モード	サブシステム・クロック動作モード	fSUB = 32.768 kHz ^{注2} 、 低速オンチップ・オシレータ動作	通常動作	TA = -40°C		3.9	16.8	μA
						TA = +25°C		4.7	17.4	
						TA = +50°C		6.3	30.9	
						TA = +70°C		9.7	52.3	
						TA = +85°C		15.3	83.2	
						TA = +105°C		30.6	177.3	
						TA = +125°C		61.3	324.1	
				fSUB = 32.768 kHz ^{注3} 、 方形波入力	通常動作	TA = -40°C		3.5	16.3	μA
						TA = +25°C		4.9	22.0	
						TA = +50°C		5.9	31.7	
						TA = +70°C		9.2	53.9	
						TA = +85°C		14.7	81.8	
						TA = +105°C		30.3	180.4	
						TA = +125°C		71.6	398.7	
				fSUB = 32.768 kHz ^{注3} 、 発振子接続	通常動作	TA = -40°C		3.6	13.4	μA
						TA = +25°C		4.3	14.1	
						TA = +50°C		5.8	27.2	
						TA = +70°C		9.2	50.0	
						TA = +85°C		14.9	79.7	
						TA = +105°C		30.0	174.3	
						TA = +125°C		59.5	319.4	

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。

RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。

低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(4/5)

項目	略号	条件		Min.	Typ.	Max.	単位		
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード	f _{PLL} = 96 MHz f _{CLK} = 48 MHz (MCM0 = 0) ^{注2}	VDD = 5.0 V		1.57	14.37	mA
				VDD = 2.7 V		1.57	14.37		
				f _{PLL} = 96 MHz f _{CLK} = 48 MHz (MCM = 1) ^{注4}	VDD = 5.0 V		1.39	14.13	mA
				VDD = 2.7 V		1.39	14.13		
				f _{IH} = 48 MHz ^{注2}	VDD = 5.0 V		0.73	8.06	mA
				VDD = 2.7 V		0.73	8.06		
				f _{PLL} = 64 MHz f _{CLK} = 32 MHz (MCM0 = 0) ^{注2}	VDD = 5.0 V		1.19	9.90	mA
			VDD = 2.7 V		1.18	9.90			
			f _{PLL} = 64 MHz f _{CLK} = 32 MHz (MCM = 1) ^{注4}	VDD = 5.0 V		1.01	9.66	mA	
			VDD = 2.7 V		1.00	9.66			
			f _{IH} = 32 MHz ^{注3}	VDD = 5.0 V		0.62	5.68	mA	
			VDD = 2.7 V		0.61	5.68			
			LS (低速メイン)モード	f _{IH} = 24 MHz ^{注3}	VDD = 5.0 V		0.51	4.42	mA
				VDD = 2.7 V		0.50	4.42		
		f _{IH} = 16 MHz ^{注3}		VDD = 5.0 V		0.48	3.27	mA	
		VDD = 2.7 V			0.48	3.27			
		f _{IM} = 4 MHz ^{注4}		VDD = 5.0 V		0.10	1.09	mA	
		VDD = 2.7 V			0.10	1.09			
		LP (低電力メイン)モード	f _{IM} = 2 MHz ^{注4}	VDD = 5.0 V		0.04	731	μA	
			VDD = 2.7 V		0.04	731			
			f _{IM} = 1 MHz ^{注4}	VDD = 5.0 V		0.03	583	μA	
			VDD = 2.7 V		0.03	583			
		HS (高速メイン)モード	f _{MX} = 20 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.25	3.52	mA	
			VDD = 2.7 V		0.23	3.50			
		LS (低速メイン)モード	f _{MX} = 20 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.26	3.53	mA	
			VDD = 2.7 V		0.23	3.50			
			f _{MX} = 20 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.44	3.78	mA	
			VDD = 2.7 V		0.44	3.77			
f _{MX} = 10 MHz ^{注5} 、 方形波入力	VDD = 5.0 V			0.16	2.00	mA			
VDD = 2.7 V			0.14	1.99					
f _{MX} = 10 MHz ^{注5} 、 発振子接続	VDD = 5.0 V			0.30	2.20	mA			
VDD = 2.7 V			0.30	2.19					
f _{MX} = 8 MHz ^{注5} 、 方形波入力	VDD = 5.0 V			0.14	1.70	mA			
VDD = 2.7 V			0.12	1.68					
f _{MX} = 8 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.23	1.83	mA				
VDD = 2.7 V		0.23	1.82						

(注、備考は次ページに続きます)

- ★
- 注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp. 値は周辺動作電流を含みません。Max. 値にはPCLBUZ、TAU、SAU、IICA、タイマRD2、タイマRX、16ビット・タイマKB30, KB31, KB32機能の動作電流を含みます。
- 注2.** フラッシュ・メモリでのHALT命令実行時。
- 注3.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 備考1.** f_{IH} : 高速オンチップ・オシレータ・クロック周波数
- 備考2.** f_{IM} : 中速オンチップ・オシレータ・クロック周波数
- 備考3.** f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考4.** f_{PLL} : PLLクロック周波数 (最大96 MHz)
- 備考5.** f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
- 備考6.** 特に指定がない場合のTyp. 値の温度条件は、TA = +25°Cです。

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(5/5)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	サブシステム・ クロック動作モード	fsUB = 32.768 kHz ^{注3} 、 低速オンチップ・ オシレータ動作	TA = -40°C		0.97	12.34	μA
					TA = +25°C		1.55	12.63	
					TA = +50°C		2.80	25.52	
					TA = +70°C		5.54	45.91	
					TA = +85°C		10.41	75.72	
					TA = +105°C		23.12	165.90	
					TA = +125°C		49.38	305.79	
				fsUB = 32.768 kHz、 方形波入力 ^{注4}	TA = -40°C		0.27	11.36	μA
					TA = +25°C		1.48	16.75	
					TA = +50°C		2.19	26.07	
					TA = +70°C		4.93	47.35	
					TA = +85°C		9.37	73.72	
					TA = +105°C		22.71	168.74	
					TA = +125°C		59.16	379.68	
			fsUB = 32.768 kHz、 発振子接続 ^{注5}	TA = -40°C		0.40	8.83	μA	
				TA = +25°C		0.94	9.53		
				TA = +50°C		2.16	22.41		
				TA = +70°C		4.91	43.76		
				TA = +85°C		9.71	72.66		
				TA = +105°C		22.43	163.33		
				TA = +125°C		48.89	304.34		
電源電流 ^{注1}	IDD3	STOPモード	リアルタイム・クロック停止時 ^{注6}	TA = -40°C		0.16	10.00	μA	
				TA = +25°C		0.63	10.00		
				TA = +50°C		1.80	20.00		
				TA = +70°C		4.30	40.00		
				TA = +85°C		9.30	70.00		
				TA = +105°C		22.00	160.00		
				TA = +125°C		50.00	300.00		
			リアルタイム・クロック 128Hz動作 ^{注7}	TA = -40°C		0.24	11.00	μA	
				TA = +25°C		0.71	11.00		
				TA = +50°C		1.95	22.00		
				TA = +70°C		4.60	45.00		
				TA = +85°C		9.50	80.00		
				TA = +105°C		23.00	170.00		
				TA = +125°C		52.00	320.00		

(注、備考は次ページに続きます)

- 注1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。ただし、HALTモード時はRTCに流れる電流を含みます。STOPモード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。
- 注2.** フラッシュ・メモリでのHALT命令実行時。
- 注3.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
RTCに流れる電流は含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCに流れる電流は含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。RTCに流れる電流は含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
- 注6.** 低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 注7.** 低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。RTCに流れる電流は含みます。32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

周辺機能 (全製品共通)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件		Min.	Typ.	Max.	単位
高速オンチップ・オシレータ動作電流	IFIH ^{注1}	HIPREC = 0			380	—	μA
		HIPREC = 1			240	—	μA
中速オンチップ・オシレータ動作電流	IFIM ^{注1}				20	—	μA
低速オンチップ・オシレータ動作電流	IFIL ^{注1}				0.3	—	μA
RTC動作電流	IRTC ^{注1, 2, 3}	fRTCCLK = 32.768 kHz			0.005	—	μA
		fRTCCLK = 128 Hz			0.002	—	μA
32ビット・インターバル・タイマ動作電流	IIT ^{注1, 2, 4}				0.04	—	μA
ウォッチドッグ・タイマ動作電流	IWDT ^{注1, 2, 5}	fil = 32.768 kHz (typ.)			0.32	—	μA
A/Dコンバータ動作電流	IADC ^{注1, 6}	最高速変換時	標準モード、AVREFP = VDD = 5.0 V		0.95	1.6	mA
			低電圧モード、AVREFP = VDD = 3.0 V		0.54	0.81	mA
AVREFP電流	IADREF ^{注7}	AVREFP = 5.0 V			60	—	μA
A/Dコンバータ内部基準電圧電流	IADREF ^{注1}				114	—	μA
温度センサ動作電流	ITMPS ^{注1}				110	—	μA
D/Aコンバータ動作電流	IDAC ^{注1, 8}	1チャンネルあたり	10bitDAC, VDD = 5.0 V		223	—	μA
			8bitDAC, VDD = 5.0 V		120	—	μA
コンパレータ動作電流	ICMP ^{注1, 9}	1チャンネルあたり			100	—	μA
PGA動作電流	IPGA ^{注1, 10}				460	—	μA
S&H動作電流	ISH ^{注1, 11}	1チャンネルあたり			800	—	μA
LVD動作電流	ILVD0 ^{注1, 12}				0.03	—	μA
	ILVD1 ^{注1, 12}				0.03	—	μA
FAA動作電流	IFAA ^{注1, 13}	fCLK = 48 MHz			11.0	—	mA
		fCLK = 32 MHz			7.3	—	mA
真性乱数発生器動作電流	ITRNG				1.6	—	mA
SMBUS動作電流	ISMBUS				250	—	μA
セルフ・プログラミング動作電流	IFSP ^{注1, 14}	-40 ~ +105°C			2.5	12.2	mA
データ・フラッシュ書き換え動作電流	IBGO ^{注1, 15}				2.5	12.2	mA
SNOOZE動作電流	ISNOZ ^{注1}	ADC動作	モード遷移中 ^{注16}		0.7	1.2	mA
			変換動作中、低電圧モード、AVREFP = VDD = 3.0 V		1.2	2.0	
		簡易SPI (CSI) /UART動作		0.7	1.07		
低速周辺クロック供給電流	ISXP ^{注1, 17}	RTCLPC = 0			0.27	—	μA

(注、備考は次ページに続きます)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件	Min.	Typ.	Max.	単位
出力電流制御機能動作電流	ICCD _A 注1, 18	CCDE = 00H以外		100	—	μA
出力電流制御機能動作電流	ICCD _P 注19, 20	出力電流制御ポート1本あたり	ロウ・レベル出力電流の設定: Hi-Z	30	—	μA
			ロウ・レベル出力電流の設定: 2~15 mA	210	—	μA

- 注1. VDDに流れる電流です。
- 注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロックは停止時。
- 注3. リアル・タイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は、IDD1またはIDD2にIRTCを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
- 注4. 32ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの32ビット・インターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。
- 注5. ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWD_Tを加算した値が、RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
- 注7. AVREFPに流れる電流です。
- 注8. D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモードでのD/Aコンバータの動作時は、IDD1またはIDD2にIDACを加算した値が、RL78マイクロコントローラの電流値となります。
- 注9. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、IDD1、IDD2またはIDD3にICMPを加算した値が、RL78マイクロコントローラの電流値となります。
- 注10. PGA回路にのみ流れる電流です。PGA回路の動作時は、IDD1またはIDD2にIPGAを加算した値がRL78マイクロコントローラの電流値となります。
- 注11. S&H回路にのみ流れる電流です。S&H回路の動作時は、IDD1またはIDD2にISHを加算した値がRL78マイクロコントローラの電流値となります。
- 注12. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。
- 注13. FAA回路にのみ流れる電流です。FAA回路の動作時は、IDD1またはIDD2にIFAAを加算した値がRL78マイクロコントローラの電流値となります。
- 注14. セルフ・プログラミング動作に流れる電流です。
- 注15. データ・フラッシュ書き換え動作に流れる電流です。
- 注16. SNOOZEモードへの移行時間は、20.9 SNOOZEモード機能を参照してください。
- 注17. サブシステム・クロックX (fsx) が発振している状態でRTCLPC = 0かつSTOPモード時、RTCLPC = 0かつCPUクロックにサブシステム・クロックX (fsx) を選択した状態でのHALTモード時に加算される電流です。
- 注18. 出力電流制御ポート設定時に加算される電流です。
- 注19. I/Oポートに流れる電流は含みません。
- 注20. EVDD0およびEVDD1に流れる電流です。

備考1. f_{IL}: 低速オンチップ・オシレータ・クロック周波数備考2. f_{SX}: サブシステム・クロックX周波数備考3. f_{CLK}: CPU/周辺ハードウェア・クロック周波数

備考4. Typ. 値の温度条件は、TA = +25°Cです。

44.4 AC特性

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

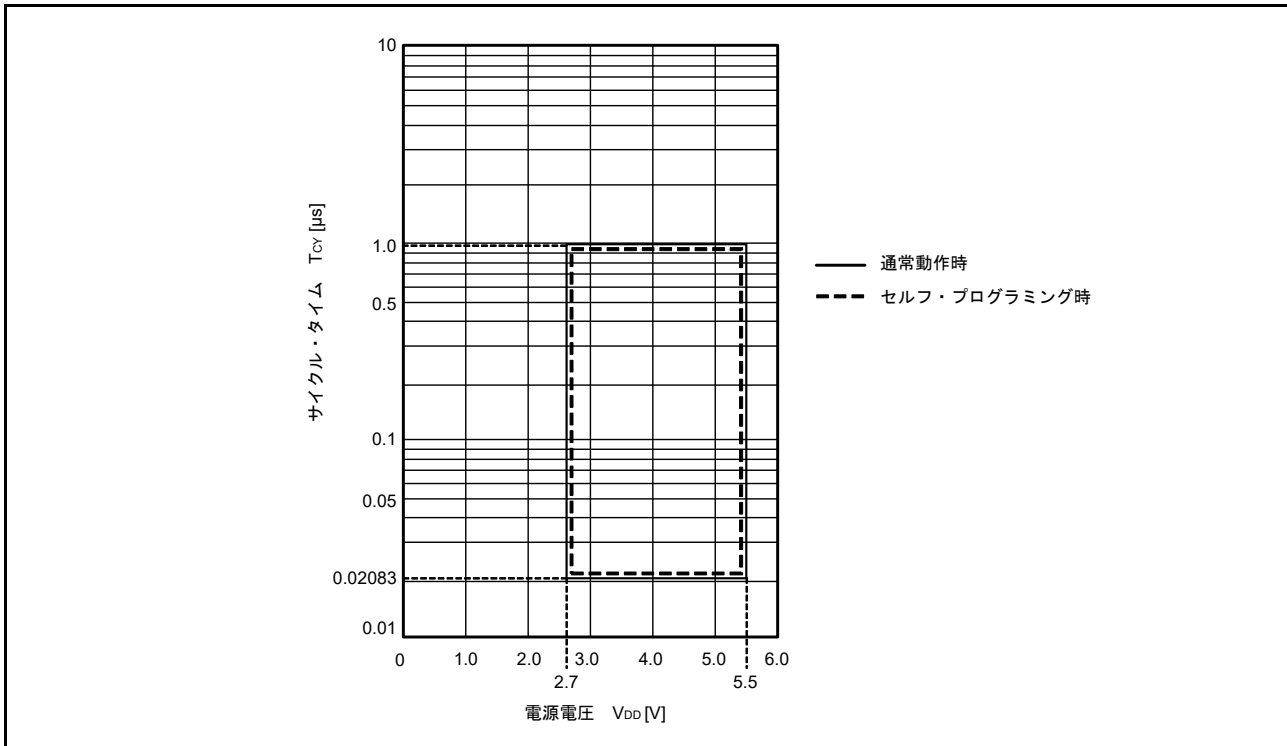
項目	略号	条件		Min.	Typ.	Max.	単位
命令サイクル	TCY	メイン・システム・クロック (fMAIN)	HS (高速メイン) モード (プリフェッチON)	0.02083		1	μs
			HS (高速メイン) モード (プリフェッチOFF)	0.03125		1	μs
		動作	LS (低速メイン) モード	0.04167		1	μs
			LP (低電力メイン) モード	0.5		1	μs
		サブシステム・クロック (fSUB) 動作	26.041	30.5	31.3	μs	
		セルフ・プログラミング時	HS (高速メイン) モード	0.03125		1	μs
		LS (低速メイン) モード	0.04167		1	μs	
外部システム・クロック 周波数	fEX			1.0		20.0	MHz
	fEXS			32		38.4	kHz
外部システム・クロック 入力 ハイ、ロウ・レベル幅	tEXH, tEXL			24			ns
	tEXHS, tEXLS			13.7			μs
	tTIH, tTIL			1/fMCK +10			ns
タイマRJ入力サイクル	tC	TRJIO		100			ns
タイマRJ入力 ハイ・レベル幅、 ロウ・レベル幅	tTJH, tTJL	TRJIO		40			ns
タイマRD2入力 ハイ・レベル幅、 ロウ・レベル幅	tTDIH, tTDIL	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1		3/fCLK			ns
タイマRD2強制遮断信号 入力ロウ・レベル幅	tTDSIL	P137/INTP0	2 MHz ≤ fCLK ≤ 48 MHz	1			μs
			fCLK ≤ 2 MHz	1/fCLK +1			μs
タイマRG2入力 ハイ・レベル幅、 ロウ・レベル幅	tTGIH, tTGIL	TRGIOA, TRGIOB, TRGIDZ, TRGTRG		2.5/fCLK			ns
★ TO00-TO03 TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21, TRJIO0, TRJIO0, TRGIOA, TRGIOB, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1 出力周波数	fTO	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			12	MHz
			LS (低速メイン) モード	2.7 V ≤ EVDD0 < 4.0 V			8
		LP (低電力メイン) モード					2
★ PCLBUZ0, PCLBUZ1 出力周波数	fPCL	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			12	MHz
			LS (低速メイン) モード	2.7 V ≤ EVDD0 < 4.0 V			8
		LP (低電力メイン) モード					2
割り込み入力ハイ・レベ ル幅、ロウ・レベル幅	tINTH, tINTL	INTP0, INTP20, INTP21	2.7 V ≤ VDD ≤ 5.5 V	1			μs
		INTP1-INTP11	2.7 V ≤ EVDD0 ≤ 5.5 V	1			μs
キー割り込み入力ハイ・ レベル、ロウ・レベル幅	tKRH, tKRL	KR0-KR7	2.7 V ≤ EVDD0 ≤ 5.5 V	250			ns
RESETロウ・レベル幅	tRSL			10			μs

(備考は次ページに続きます)

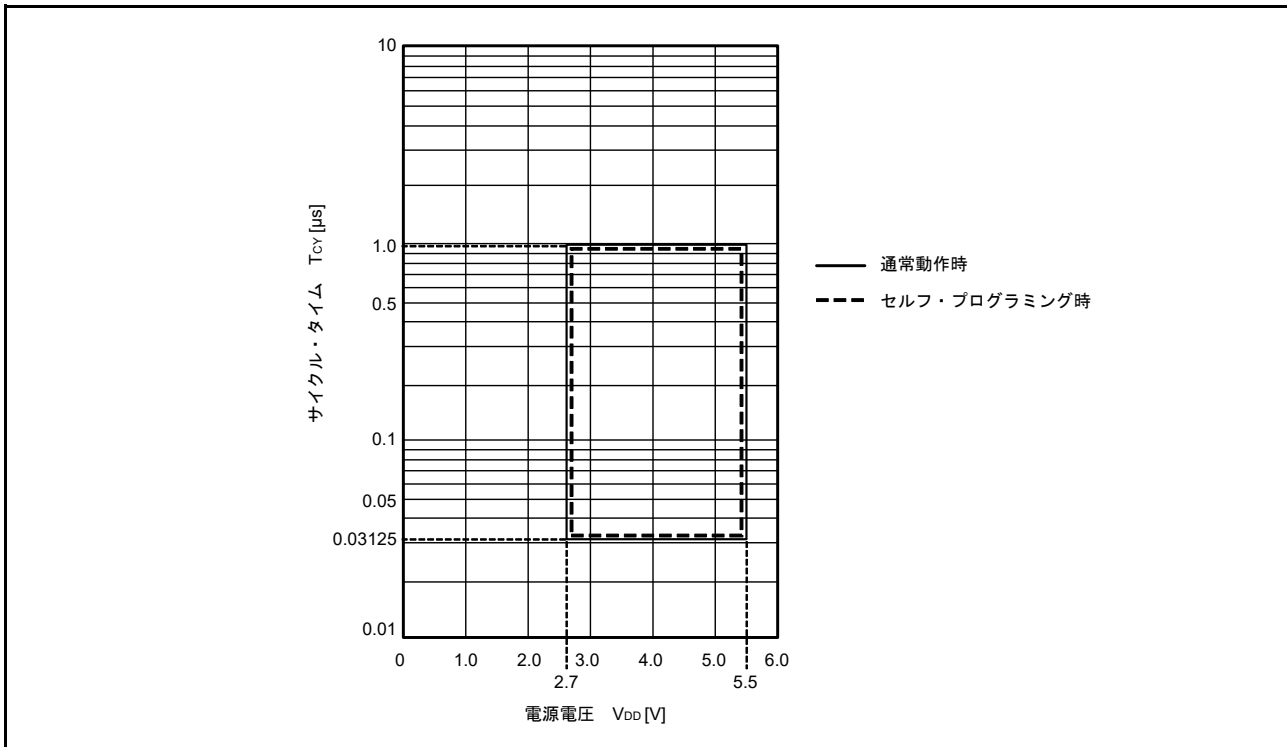
- 備考** f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。
(タイマ・モード・レジスタ mn (TMRmn) CKSmn0, CKSmn1 ビットで設定する動作クロック。
m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-3))

メイン・システム・クロック動作時の最小命令実行時間

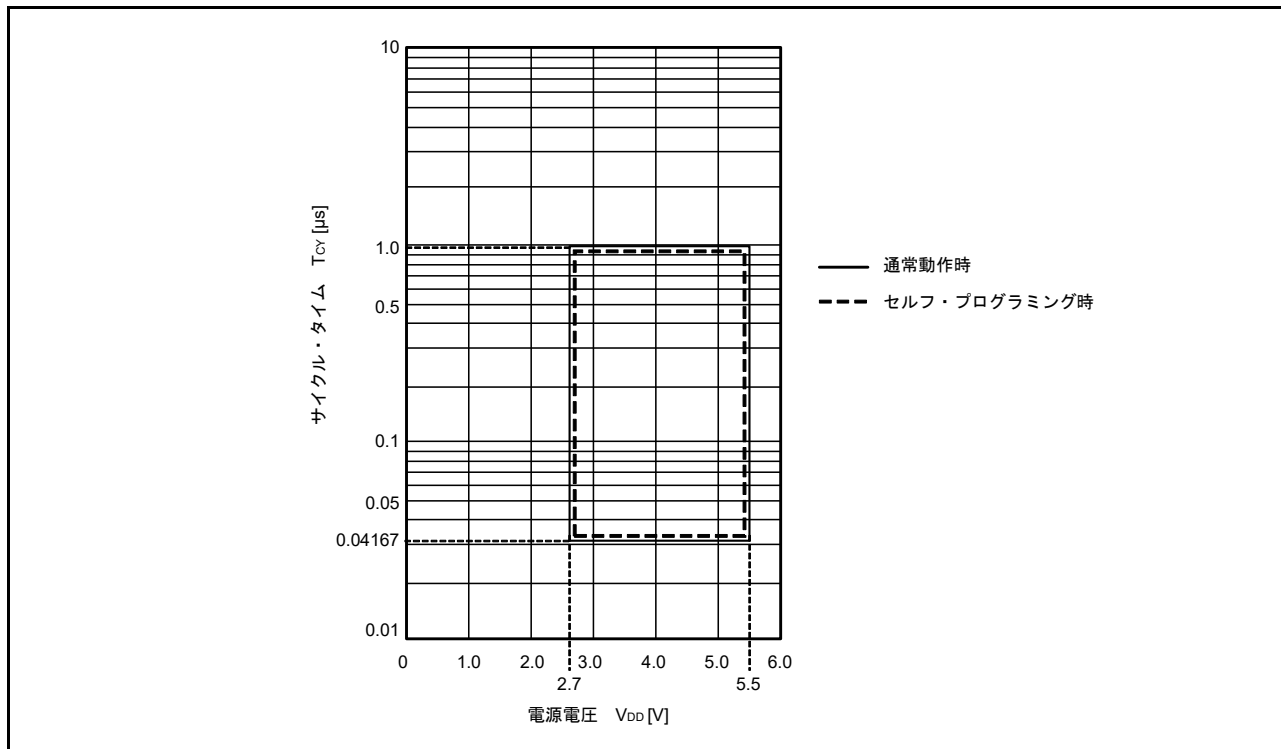
Tcy vs VDD (HS (高速メイン) モード) プリフェッチON



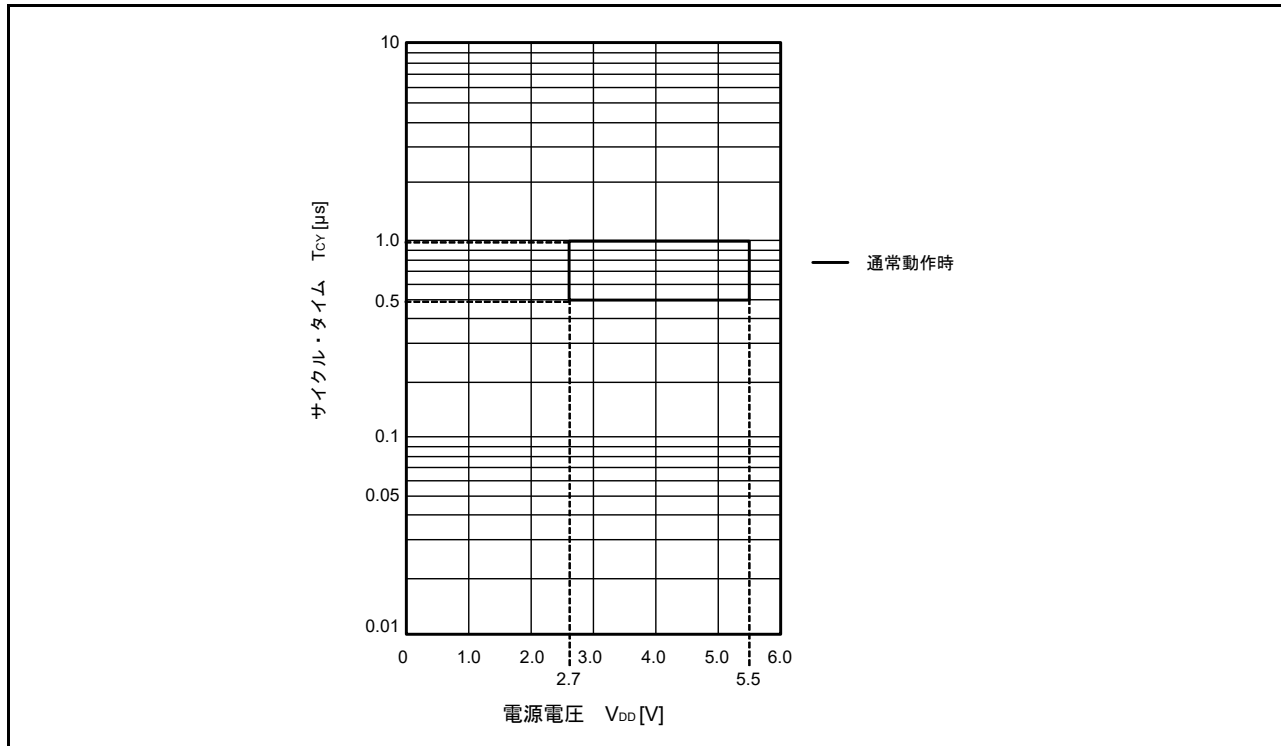
Tcy vs VDD (HS (高速メイン) モード) プリフェッチOFF



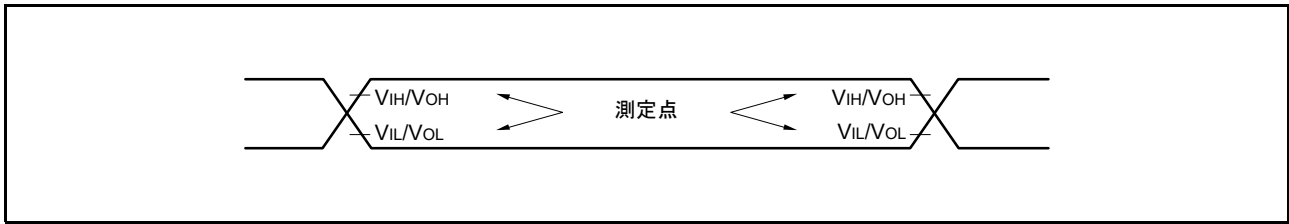
TCY vs VDD (LS (低速メイン) モード)



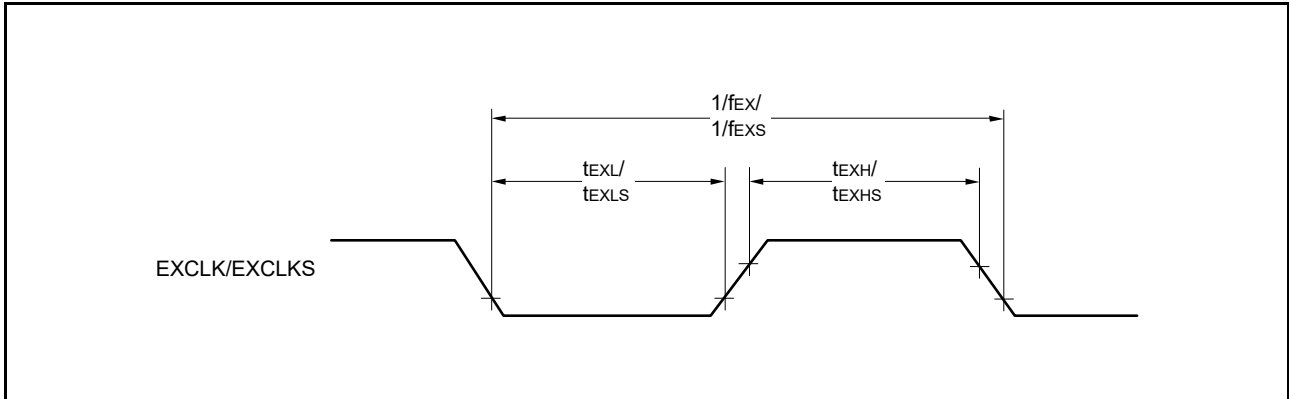
TCY vs VDD (LP (低電力メイン) モード)



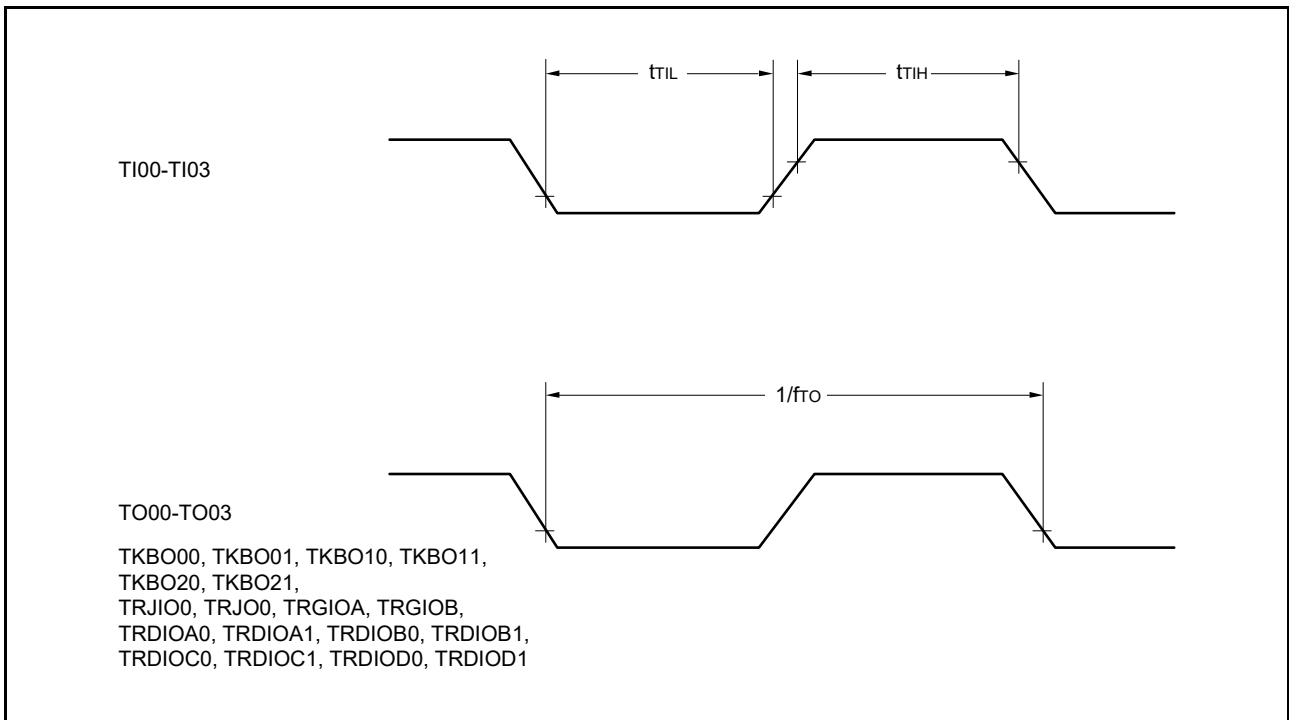
AC タイミング測定点



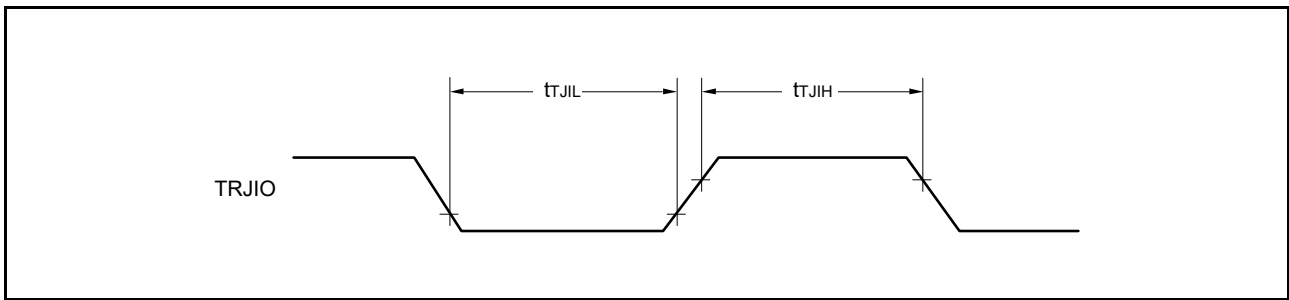
外部システム・クロック・タイミング



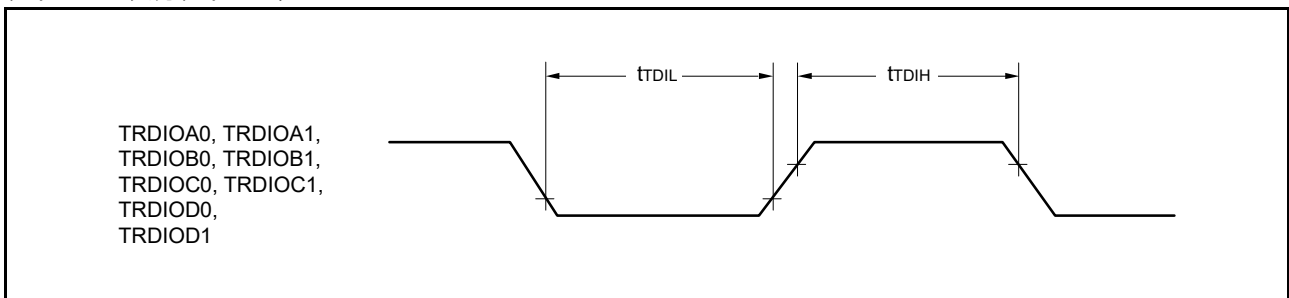
TI/TO タイミング



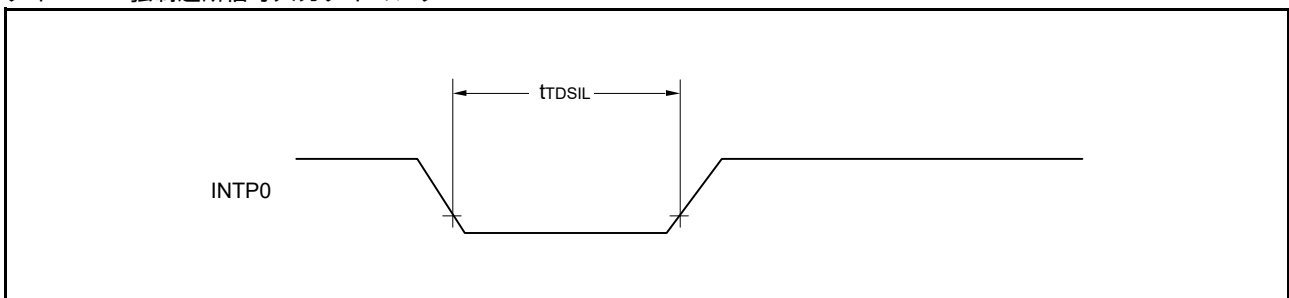
タイマRJ入カタイミング



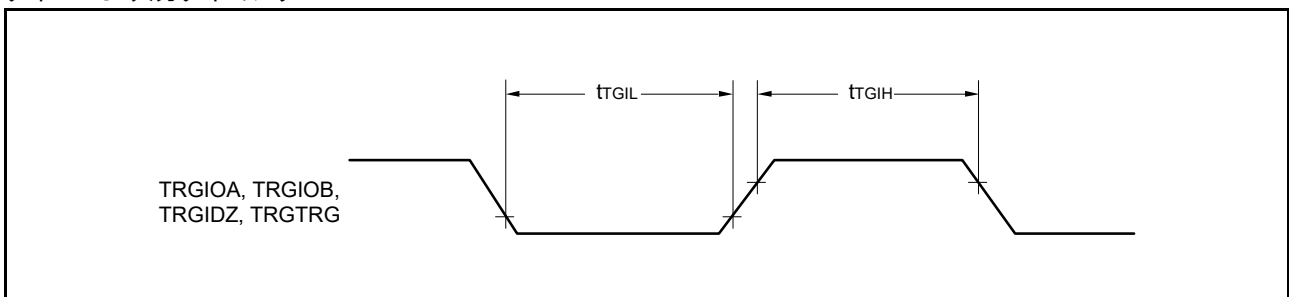
タイマRD2入カタイミング



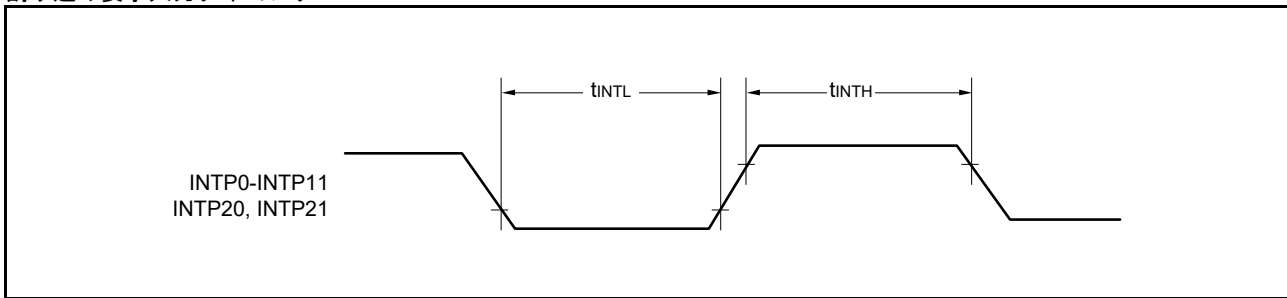
タイマRD2強制遮断信号入カタイミング



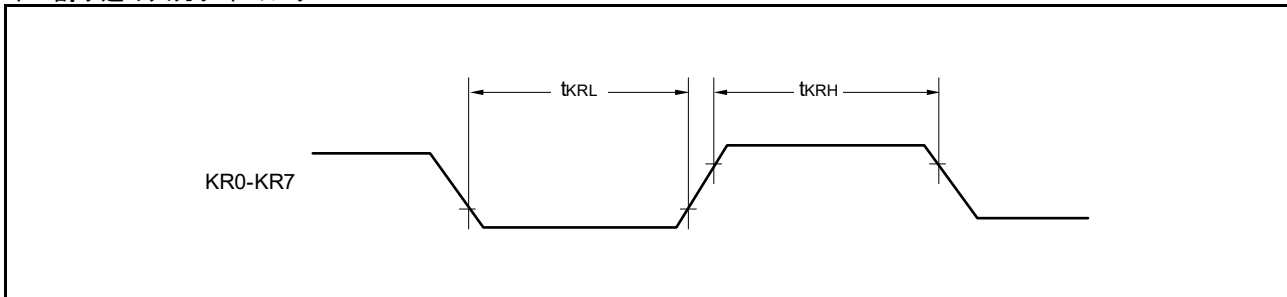
タイマRG2入カタイミング



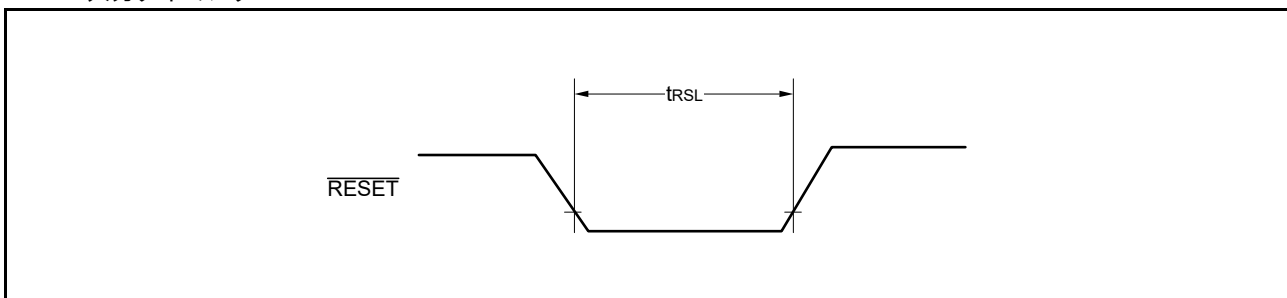
割り込み要求入カタイミング



キー割り込み入カタイミング

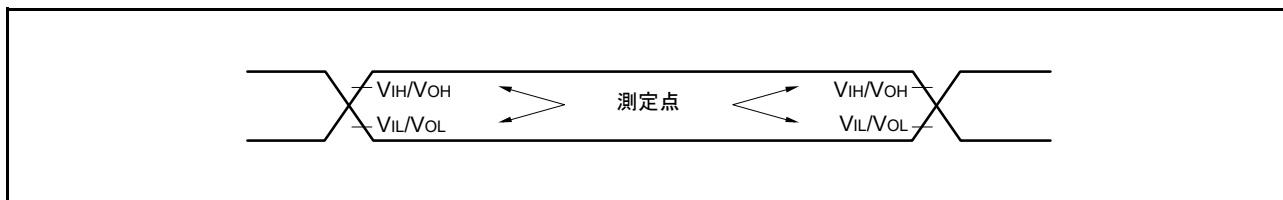


RESET入カタイミング



44.5 周辺機能特性

ACタイミング測定点



44.5.1 シリアル・アレイ・ユニット

(1) 同電位通信、UARTモード時

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート ^{注1}		2.7 V ≤ EVDD0 ≤ 5.5 V		fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK ^{注2}		5.3		4		0.33	Mbps

注1. SNOOZEモードでの転送レートは、4800 ~ 9600 bpsとなります。

注2. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

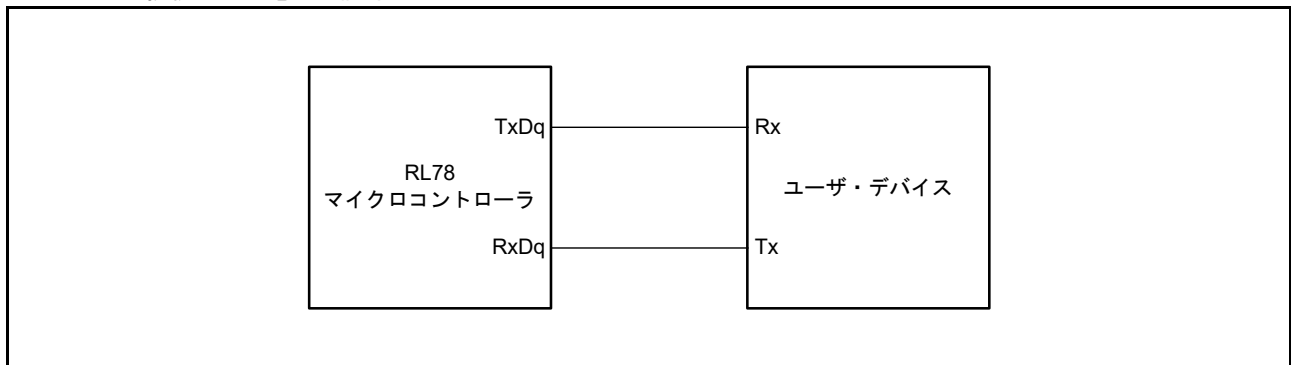
HS (高速メイン) モード : 48 MHz (2.7 V ≤ VDD ≤ 5.5 V)

LS (低速メイン) モード : 24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

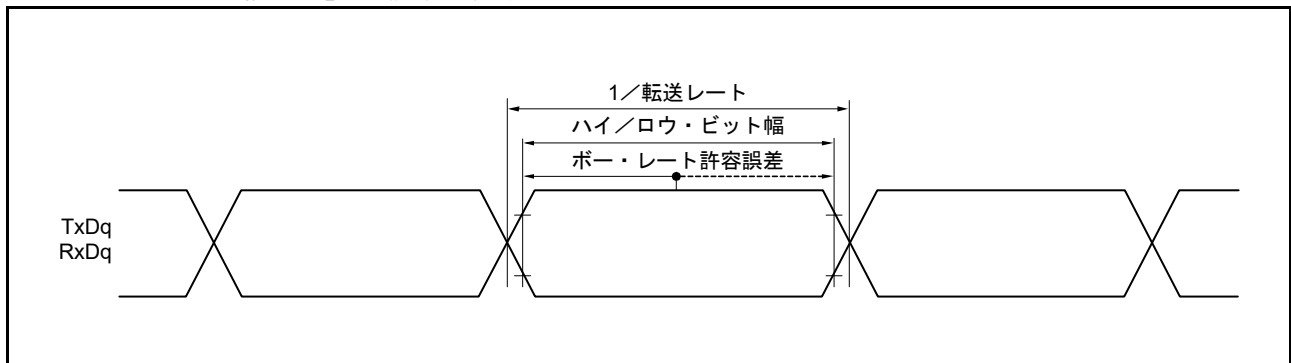
LP (低電力メイン) モード : 2 MHz (2.7 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



備考1. q : UART番号 (q = 0-2)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャンネル番号 (mn = 00-03, 10, 11))

(2) 同電位通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp... 内部クロック出力)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 4/fCLK	2.7 V ≤ EVDD0 ≤ 5.5 V	125		166		2000		ns
SCKpハイ、ロウ・ レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 -12		tkCY1/2 -21		tkCY1/2 -50		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 -18		tkCY1/2 -25		tkCY1/2 -50		ns
Slpセットアップ 時間 (対SCKp ↑) 注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V		44		54		110		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		44		54		110		ns
Slpホールド時間 (対SCKp ↑) 注1	tkSI1	2.7 V ≤ EVDD0 ≤ 5.5 V		19		19		19		ns
SCKp ↓ → SOp 出力遅延時間注2	tkSO1	2.7 V ≤ EVDD0 ≤ 5.5 V C = 30 pF注3			25		25		25	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10, 11))

(3) 同電位通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp...外部クロック入力)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム注4	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V	20 MHz < fMCK	8/fMCK		8/fMCK		—		ns
			fMCK ≤ 20 MHz	6/fMCK		6/fMCK		6/fMCK		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	16 MHz < fMCK	8/fMCK		8/fMCK		—		ns
			fMCK ≤ 16 MHz	6/fMCK		6/fMCK		6/fMCK		ns
SCKpハイ、 ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 -7		tkCY2/2 -7		tkCY2/2 -7		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 -8		tkCY2/2 -8		tkCY2/2 -8		ns
Slpセットアップ 時間 (対SCKp ↑) 注1	tSIK2	2.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK +20		1/fMCK +30		1/fMCK +30		ns
Slpホールド時間 (対SCKp ↑) 注1	tSIH2	2.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK +31		1/fMCK +31		1/fMCK +31		ns
SCKp ↓ → SOp 出力 遅延時間注2	tKSO2	C = 30 pF注3	2.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK +44		2/fMCK +110		2/fMCK +110	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは、SOp出カラインの負荷容量です。

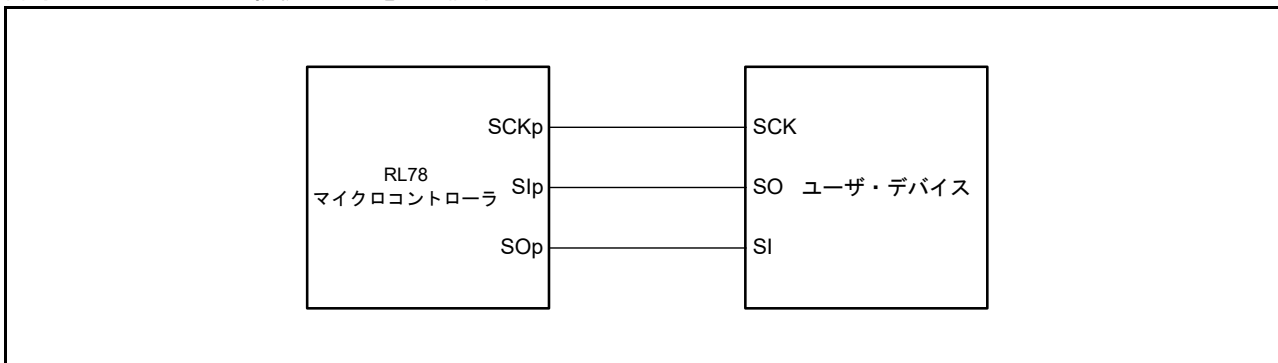
注4. SNOOZEモードでの転送レートは、Max. 1 Mbpsです。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21)、m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

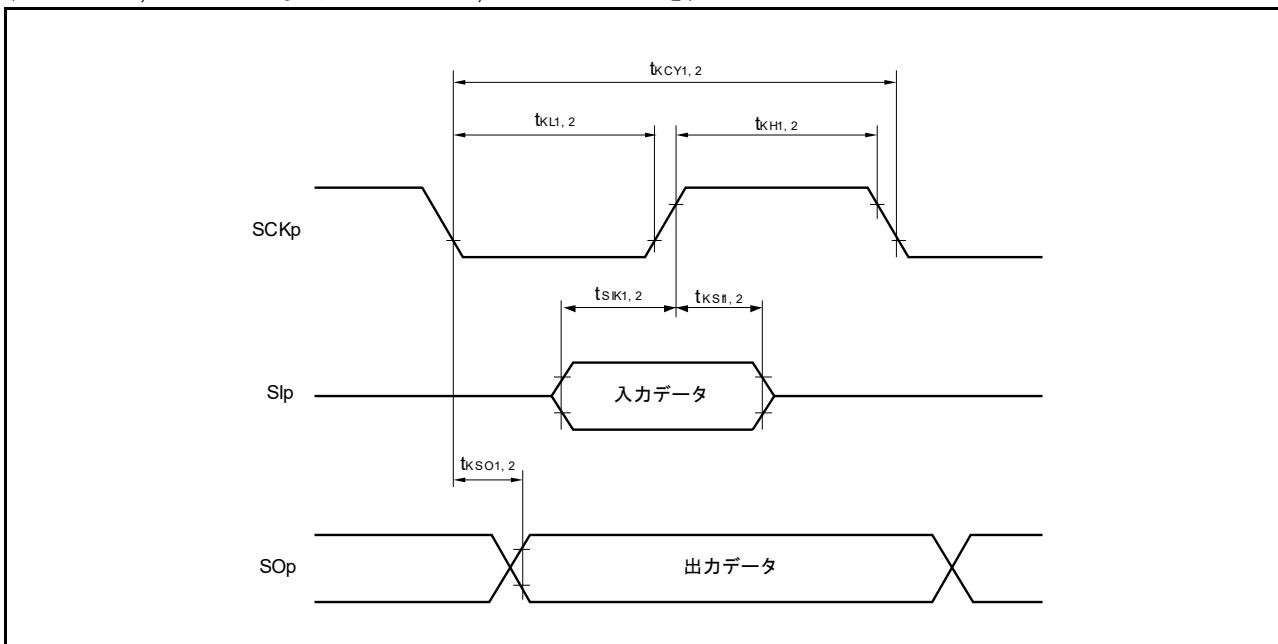
備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10, 11))

簡易SPI (CSI) モード接続図 (同電位通信時)

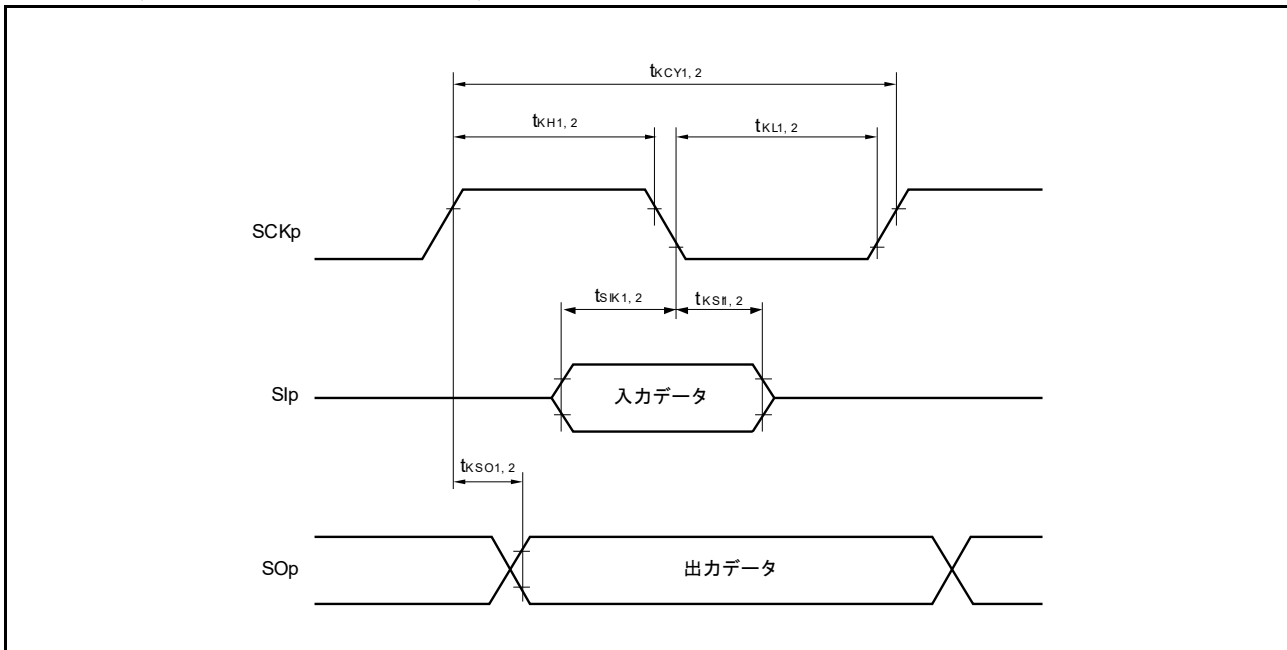


簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21)

備考2. m : ユニット番号、n : チャネル番号 (mn = 00-03, 10, 11)

(4) 同電位通信、簡易I²Cモード時

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

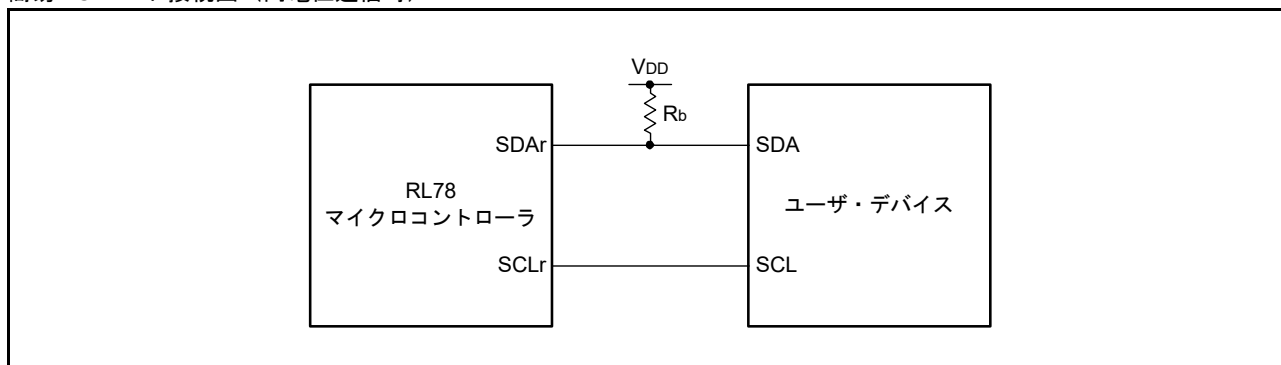
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	fSCL	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		1000 ^{注1}		400 ^{注1}	kHz
SCLr = "L" の ホールド・タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1150		ns
SCLr = "H" の ホールド・タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1150		ns
データ・セットアップ 時間 (受信時)	tSU:DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +85 ^{注2}		1/fMCK +85 ^{注2}		1/fMCK +145 ^{注2}		ns
データ・ホールド時 間 (送信時)	tHD:DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns

注1. fMCK/4 以下に設定してください。**注2.** fMCK値は、SCLr = "L" と SCLr = "H" のホールド・タイムを超えない値に設定してください。

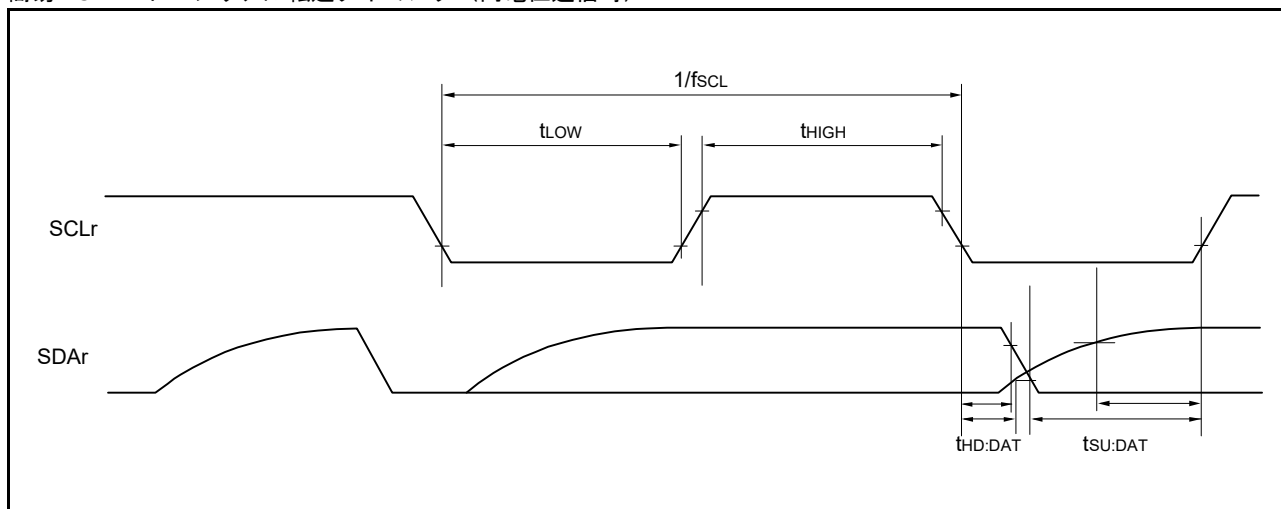
注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMh) で、SDArは通常入力バッファ、N-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページに続きます)

簡易I²Cモード接続図 (同電位通信時)



簡易I²Cモード・シリアル転送タイミング (同電位通信時)



備考1. R_b [Ω] : 通信ライン (SDAr) プルアップ抵抗値、C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値

備考2. r : IIC番号 (r = 00, 01, 10, 11, 20, 21)、g : PIM番号 (g = 0, 1, 3, 5, 7)、
h : POM番号 (h = 0, 1, 3, 5, 7)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMR_{mn}レジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、
mn = 00-03, 10, 11)

(5) 異電位 (2.5 V系、3 V系) 通信、UARTモード時

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート	受信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/6注1		fMCK/6注1		fMCK/6注1	bps
		最大転送レート理論値 fMCK = fCLK注2		5.3		4		0.33	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6注1		fMCK/6注1		fMCK/6注1	bps
		最大転送レート理論値 fMCK = fCLK注2		5.3		4		0.33	Mbps
	送信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注3		注3		注3	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8注4		2.8注4		2.8注4	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注5		注5		注5	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注6		1.2注6		1.2注6	Mbps

注1. SNOOZEモードでの転送レートは、4800~9600 bpsとなります。

注2. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン) モード : 48 MHz (2.7 V ≤ VDD ≤ 5.5 V)

LS (低速メイン) モード : 24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

LP (低電力メイン) モード : 2 MHz (2.7 V ≤ VDD ≤ 5.5 V)

注3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 100 [\%]$$

$$\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

(注、注意、備考は次ページに続きます)

- 注5.** fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

- 注6.** この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注5により算出してください。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V] : 通信ライン電圧

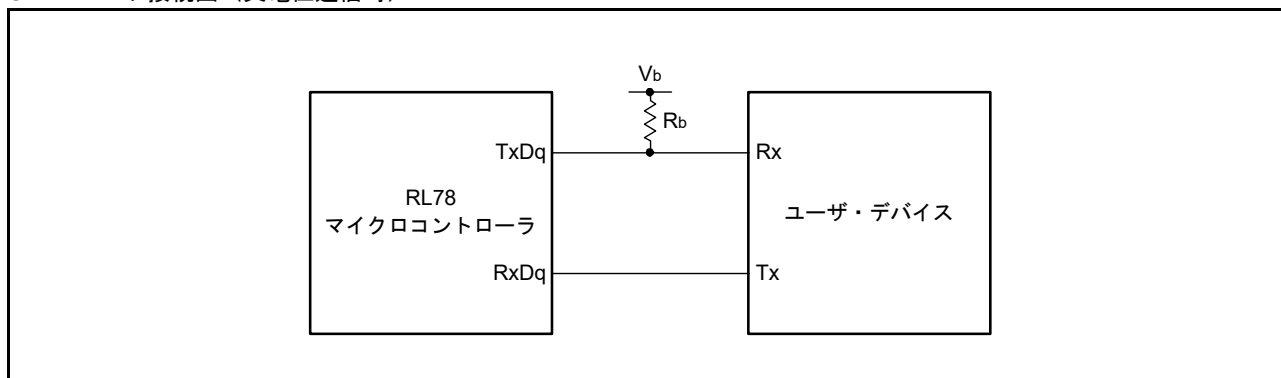
備考2. q : UART番号 (q = 0-3)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考3. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

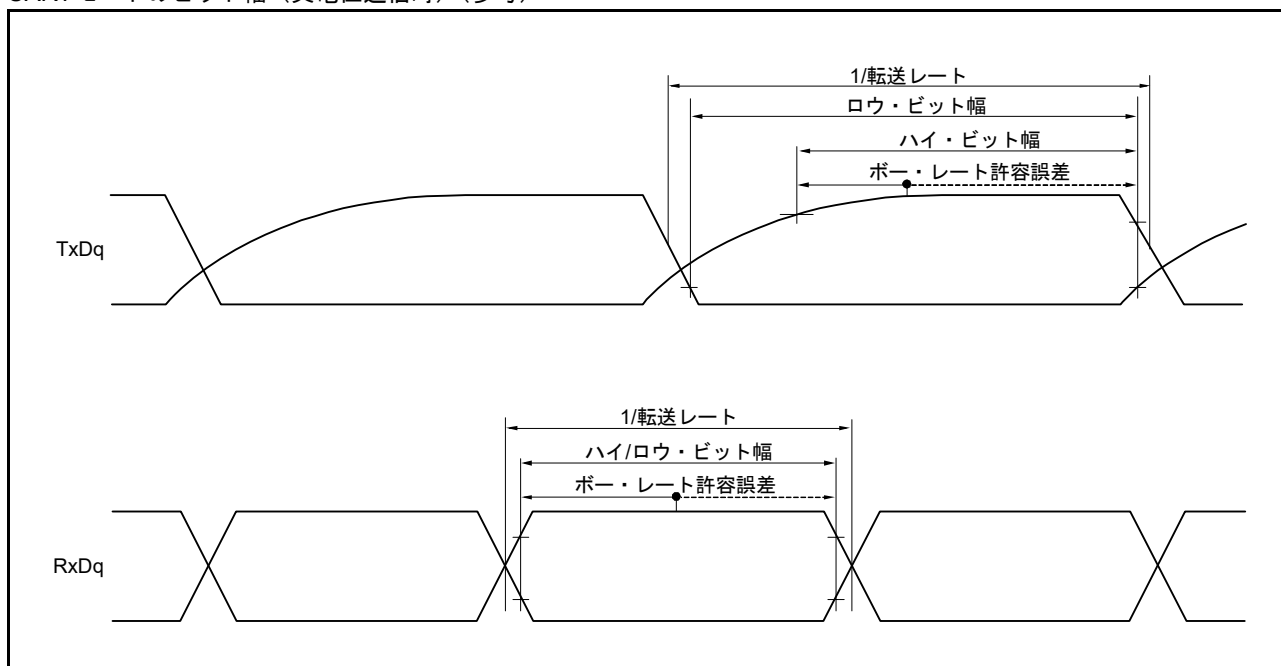
(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10, 11))

備考4. 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR01ビットが1のとき、UART2の異電位通信は使用できません。

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



備考1. R_b [Ω] : 通信ライン (TxDq) プルアップ抵抗値、 C_b [F] : 通信ライン (TxDq) 負荷容量値、 V_b [V] : 通信ライン電圧

備考2. q : UART番号 (q = 0-3)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00-03, 10, 11))

備考4. 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR01ビットが1のとき、UART2の異電位通信は使用できません。

(6) 異電位 (2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp...内部クロック出力)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 4/fCLK 4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	300		300		2300		ns
			500		500		2300		ns
SCKpハイ・レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 -75		tkCY1/2 -75		tkCY1/2 -75		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 -170		tkCY1/2 -170		tkCY1/2 -170		ns
SCKpロウ・レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 -12		tkCY1/2 -12		tkCY1/2 -50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 -18		tkCY1/2 -18		tkCY1/2 -50		ns
Slpセットアップ時間 (対SCKp ↑) 注	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		81		479		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		177		479		ns
Slpホールド時間 (対SCKp ↑) 注	tKS11	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
SCKp ↓ → SOp出力 遅延時間注	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100		100	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195		195	ns

(注、注意は次ページに、備考は2016ページにあります)

(6) 異電位 (2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp...内部クロック出力)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(2/2)

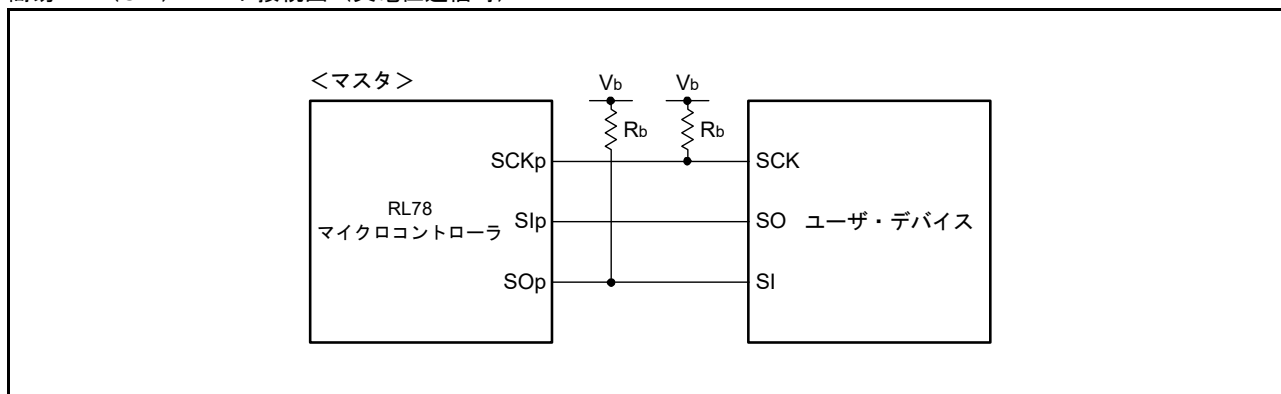
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↓) 注	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		44		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		44		110		ns
Slpホールド時間 (対SCKp ↓) 注	tKSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
SCKp ↑ → SOp出力 遅延時間注	tKSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25		25	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25		25	ns

注 DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

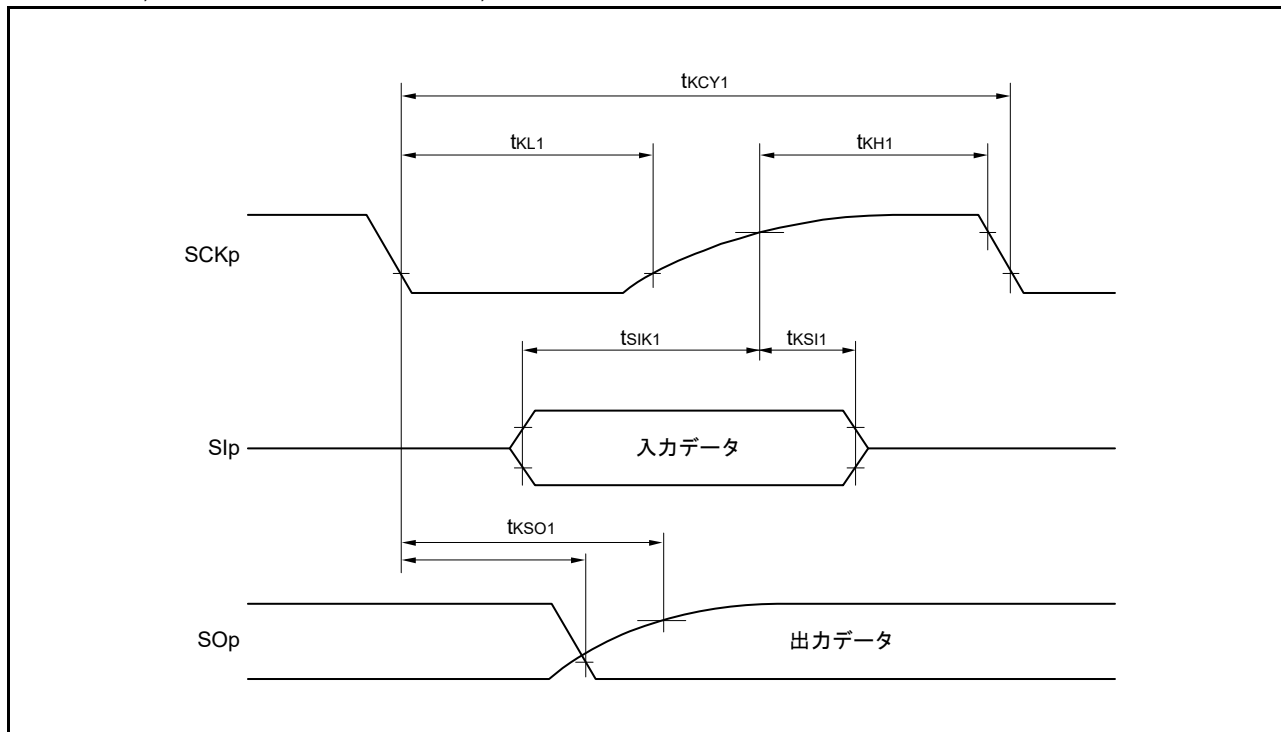
(備考は次ページに続きます)

簡易SPI (CSI) モード接続図 (異電位通信時)

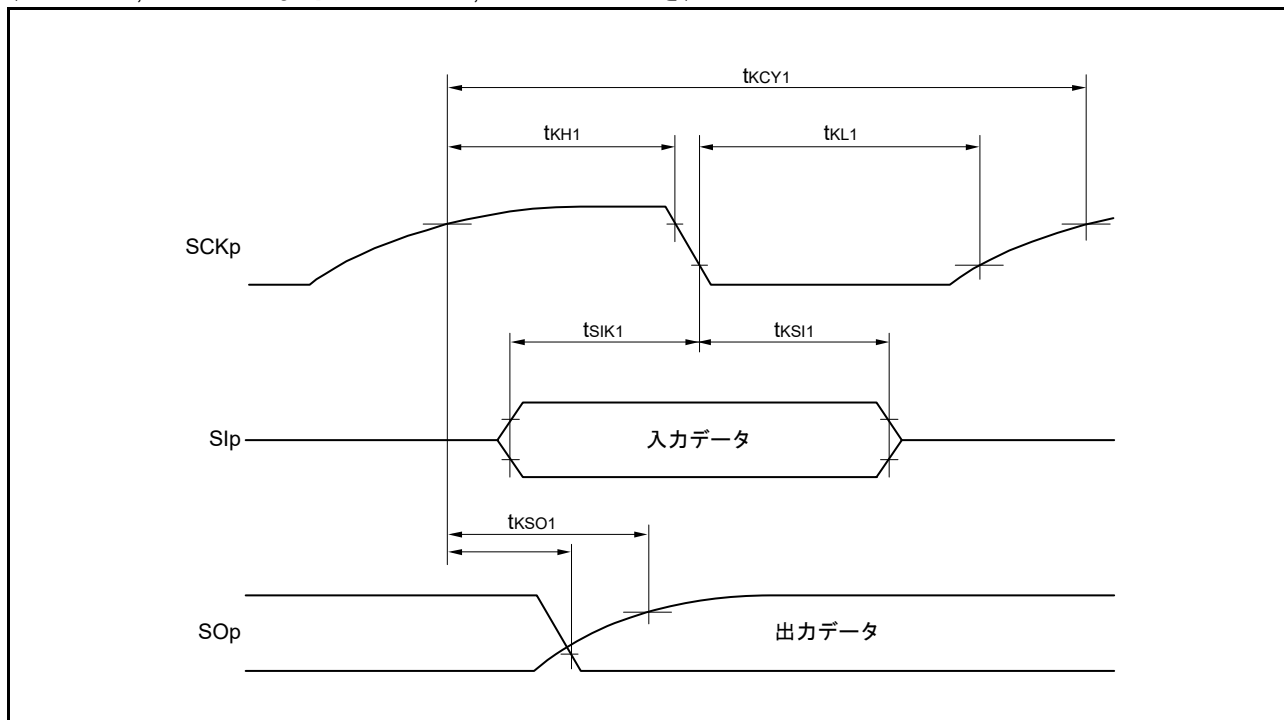


- 備考1. R_b [Ω] : 通信ライン (SCKp, SOp) プルアップ抵抗値、 C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値、 V_b [V] : 通信ライン電圧
- 備考2. p : CSI番号 ($p = 00, 01, 10, 20$)、 m : ユニット番号、 n : チャネル番号 ($mn = 00, 01, 02, 10$)、 g : PIM, POM番号 ($g = 0, 1, 3, 5, 7$)
- 備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
シリアル・モード・レジスタ mn (SMR mn) のCKS m nビットで設定する動作クロック。 m : ユニット番号、 n : チャネル番号 ($mn = 00$)
- 備考4. CSI11, CSI21と、48~64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI (CSI) モード・シリアル転送タイミング : マスタ・モード (異電位通信時)
(DAP $mn = 0$, CKP $mn = 0$ またはDAP $mn = 1$, CKP $mn = 1$ のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 20)、m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10)、g : PIM, POM番号
 (g = 0, 1, 3, 5, 7)

備考2. CSI11, CSI21と、48~64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(7) 異電位 (2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp...外部クロック入力)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKp サイクル・ タイム注1	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	24 MHz < fMCK	14/fMCK		—		—		ns
			20 MHz < fMCK ≤ 24 MHz	12/fMCK		12/fMCK		—		ns
			8 MHz < fMCK ≤ 20 MHz	10/fMCK		10/fMCK		—		ns
			4 MHz < fMCK ≤ 8 MHz	8/fMCK		8/fMCK		—		ns
			fMCK ≤ 4 MHz	6/fMCK		6/fMCK		10/fMCK		ns
	2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	24 MHz < fMCK	20/fMCK		—		—		ns	
		20 MHz < fMCK ≤ 24 MHz	16/fMCK		16/fMCK		—		ns	
		16 MHz < fMCK ≤ 20 MHz	14/fMCK		14/fMCK		—		ns	
		8 MHz < fMCK ≤ 16 MHz	12/fMCK		12/fMCK		—		ns	
		4 MHz < fMCK ≤ 8 MHz	8/fMCK		8/fMCK		—		ns	
SCKpハイ、ロ ウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		tkCY2/2 -12		tkCY2/2 -12		tkCY2/2 -50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		tkCY2/2 -18		tkCY2/2 -18		tkCY2/2 -50		ns
Slpセットアッ プ時間 (対 SCKp ↑) 注2	tSIK2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		1/fMCK +20		1/fMCK +20		1/fMCK +30		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		1/fMCK +20		1/fMCK +20		1/fMCK +30		ns
Slpホールド 時間 (対SCKp ↑) 注2	tKSI2			1/fMCK +31		1/fMCK +31		1/fMCK +31		ns
SCKp ↓ → SOp 出力遅延時間 注3	tkSO2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ			2/fMCK +120		2/fMCK +120		2/fMCK +573	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			2/fMCK +214		2/fMCK +214		2/fMCK +573	ns

注1. SNOOZEモードでの転送レートは、Max. 1 Mbpsです。

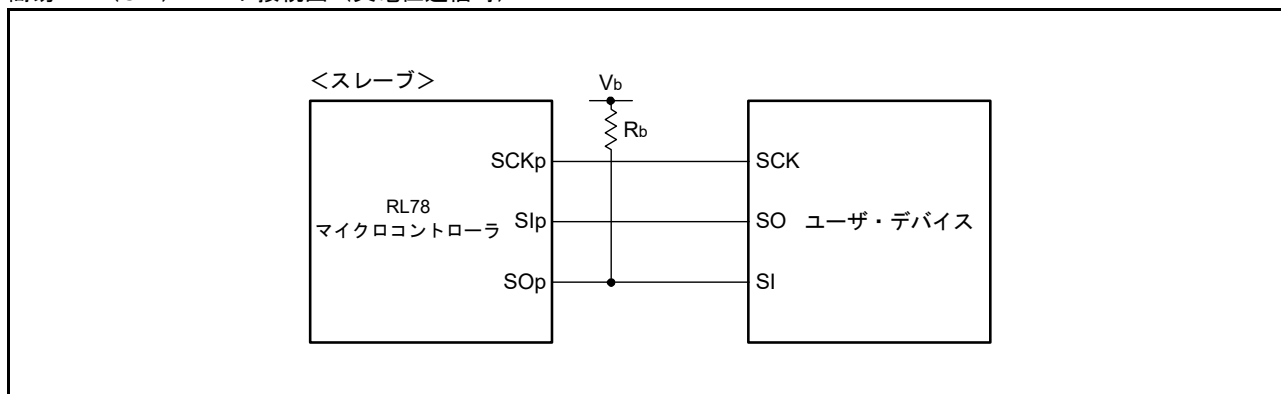
注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

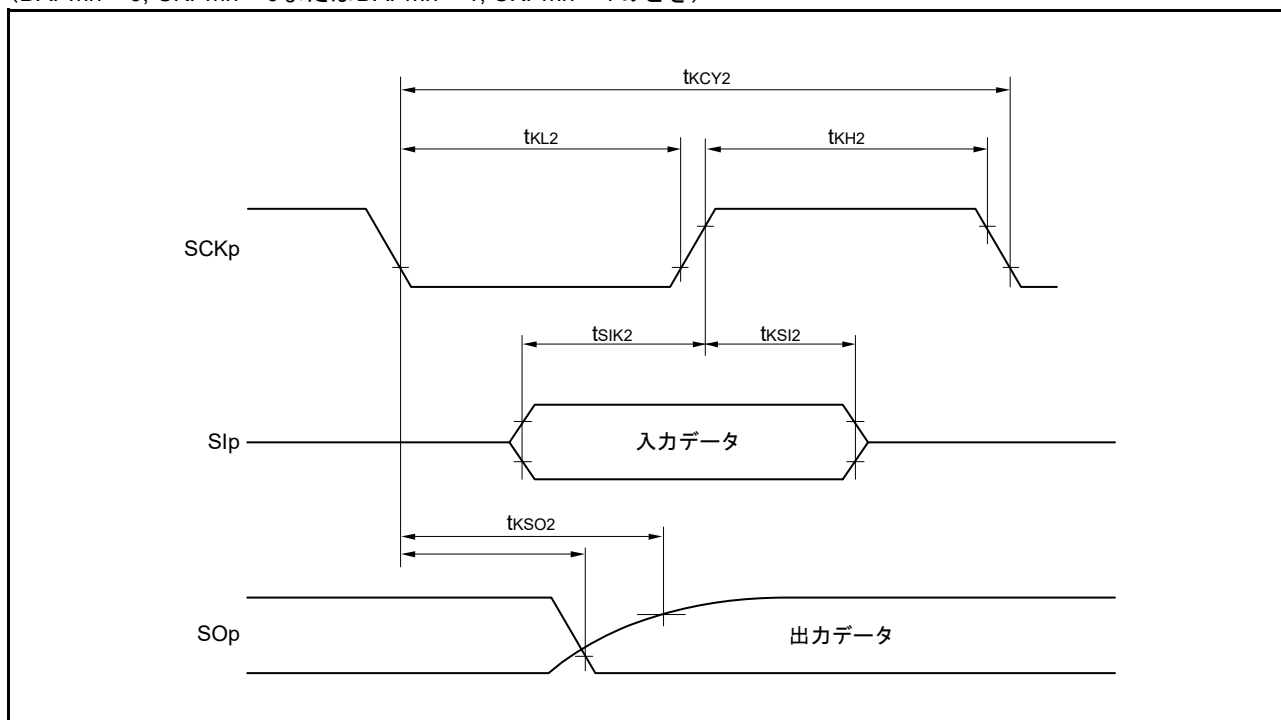
(備考は次ページに続きます)

簡易SPI (CSI) モード接続図 (異電位通信時)

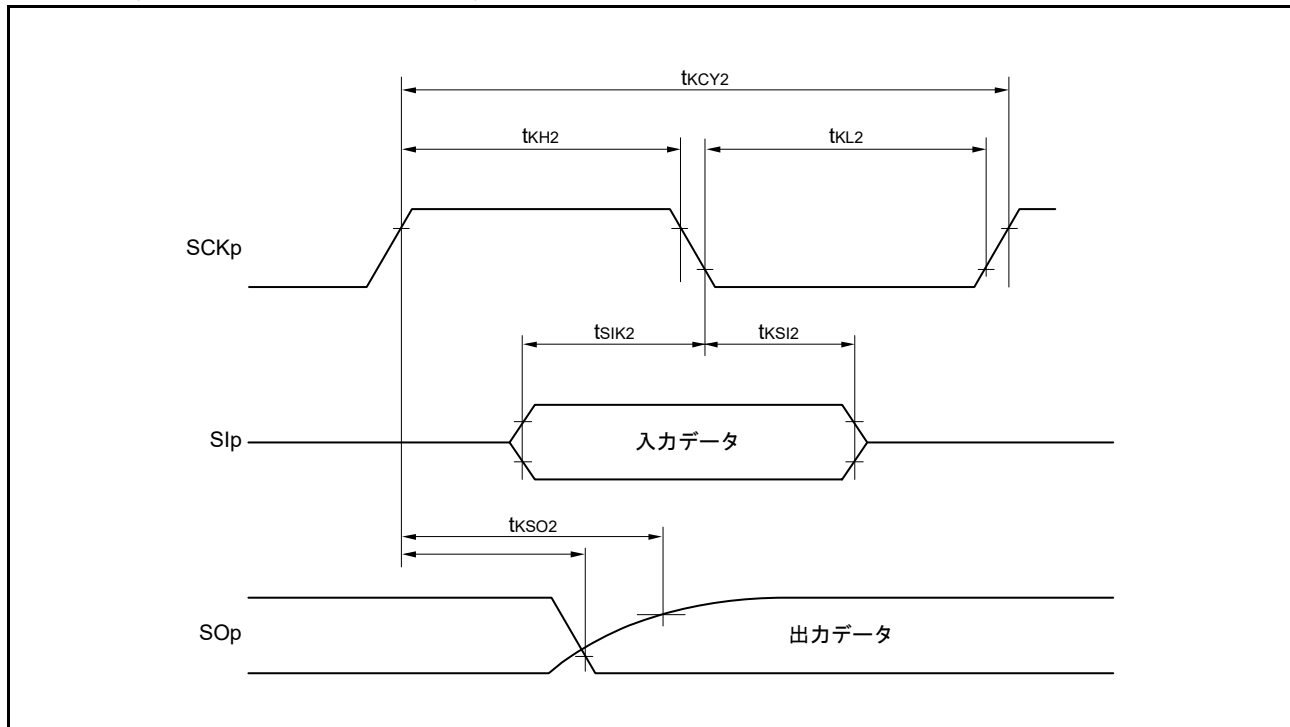


- 備考1. R_b [Ω] : 通信ライン (SO_p) プルアップ抵抗値、 C_b [F] : 通信ライン (SO_p) 負荷容量値、 V_b [V] : 通信ライン電圧
- 備考2. p : CSI番号 (p = 00, 01, 10, 20)、m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10)、g : PIM, POM番号 (g = 0, 1, 3, 5, 7)
- 備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMR_{mn}) のCKS_{mn}ビットで設定する動作クロック。m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10))
- 備考4. CSI11, CSI21と、48~64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI (CSI) モード・シリアル転送タイミング : スレーブ・モード (異電位通信時)
(DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 20)、m : ユニット番号、n : チャネル番号 (mn = 00, 01, 02, 10)、g : PIM, POM番号
 (g = 0, 1, 3, 5, 7)

備考2. CSI11, CSI21と、48~64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(8) 異電位 (2.5 V系、3 V系) 通信、簡易I²Cモード時

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	fsCL	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		1000 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		1000 ^{注1}		300 ^{注1}	kHz
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 ^{注1}		400 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 ^{注1}		400 ^{注1}		300 ^{注1}	kHz
SCLr = "L" のホールド・ タイム	tLOW	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1550		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		ns
SCLr = "H" のホールド・ タイム	tHIGH	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		245		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		200		610		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		675		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		600		610		ns

(注、注意は次ページに、備考は2023ページにあります)

(8) 異電位 (2.5 V系、3 V系) 通信、簡易I²Cモード時

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V, fMCK ≤ 32 MHz)

(2/2)

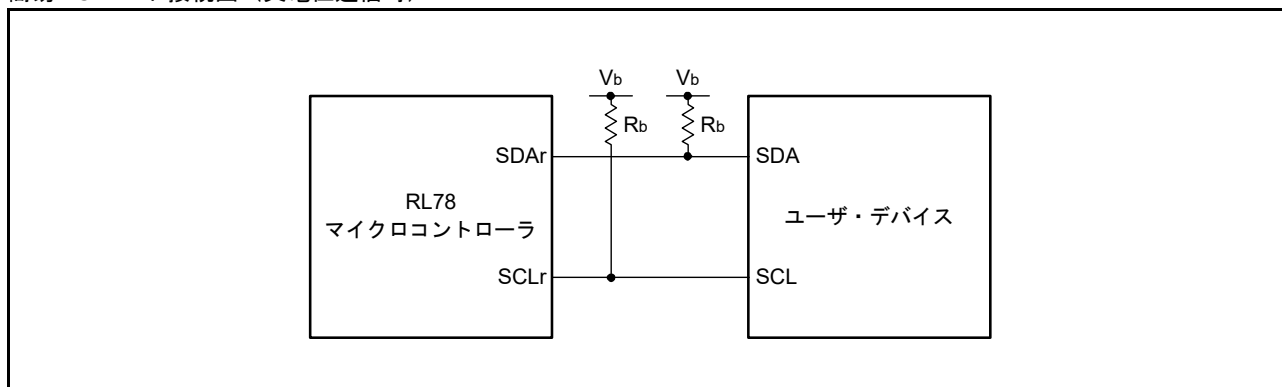
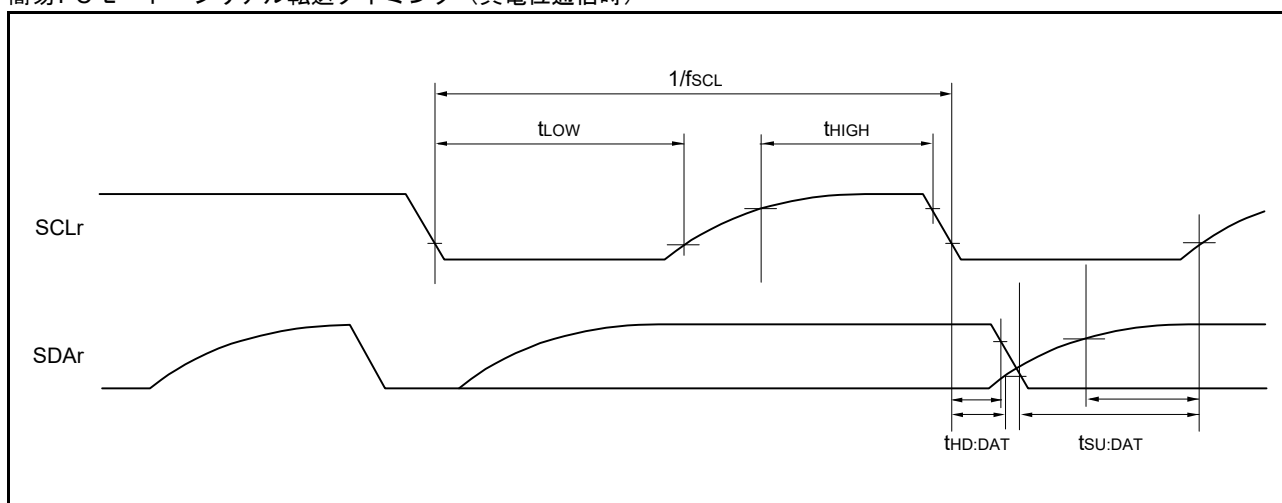
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
データ・セットアップ 時間 (受信時)	tSU:DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +135注2		1/fMCK +135注2		1/fMCK +190注2		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +135注2		1/fMCK +135注2		1/fMCK +190注2		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK +190注2		1/fMCK +190注2		1/fMCK +190注2		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK +190注2		1/fMCK +190注2		1/fMCK +190注2		ns
データ・ホールド時間 (送信時)	tHD:DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	0	355	ns

注1. fMCK/4以下に設定してください。

注2. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを超えない値に設定してください。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択し、SCLrはN-chオープン・ドレイン出力[VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64ピン製品の場合)]モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページに続きます)

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

備考1. R_b [Ω] : 通信ライン (SDAr, SCLr) プルアップ抵抗値、 C_b [F] : 通信ライン (SDAr, SCLr) 負荷容量値、
 V_b [V] : 通信ライン電圧

備考2. r : IIC番号 ($r = 00, 01, 10, 20$)、 g : PIM, POM番号 ($g = 0, 1, 3, 5, 7$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号、 n : チャネル番号 ($mn = 00, 01, 02, 10$))

44.5.2 シリアル・インタフェース IICA

(1) I²C標準モード

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	標準モード : fCLK ≥ 1 MHz	0		100	kHz
リスタート・コンディションのセットアップ時間	tSU:STA		4.7			μs
ホールド時間 ^{注1}	tHD:STA		4.0			μs
SCLA0 = "L" のホールド・タイム	tLOW		4.7			μs
SCLA0 = "H" のホールド・タイム	tHIGH		4.0			μs
データ・セットアップ時間 (受信時)	tSU:DAT		250			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT		0		3.45	μs
ストップ・コンディションのセットアップ時間	tSU:STO		4.0			μs
バス・フリー時間	tBUF		4.7			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR02ビットが1の場合も、上記の値を適用できます。ただし、端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

備考 C_b (通信ライン容量) のMax. 値と、R_b (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。
C_b = 400 pF, R_b = 2.7 kΩ

(2) I²Cファースト・モード

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz	0		400	kHz
リスタート・コンディションのセットアップ時間	tSU:STA		0.6			μs
ホールド時間 ^{注1}	tHD:STA		0.6			μs
SCLA0 = "L" のホールド・タイム	tLOW		1.3			μs
SCLA0 = "H" のホールド・タイム	tHIGH		0.6			μs
データ・セットアップ時間 (受信時)	tSU:DAT		100			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT		0		0.9	μs
ストップ・コンディションのセットアップ時間	tSU:STO		0.6			μs
バス・フリー時間	tBUF		1.3			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR02ビットが1の場合も、上記の値を適用できます。ただし、端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

備考 C_b (通信ライン容量) のMax.値と、R_b (通信ライン・プルアップ抵抗値) のMax.値は次のとおりです。
C_b = 320 pF, R_b = 1.1 kΩ

(3) I²Cファースト・モード・プラス

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	ファースト・モード・プラス : fCLK ≥ 10 MHz	0		1000	kHz
リスタート・コンディションの セットアップ時間	tSU:STA		0.26			μs
ホールド時間 ^{注1}	tHD:STA		0.26			μs
SCLA0 = "L" のホールド・タイム	tLOW		0.5			μs
SCLA0 = "H" のホールド・タイム	tHIGH		0.26			μs
データ・セットアップ時間 (受信時)	tSU:DAT		50			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT		0		0.45	μs
ストップ・コンディションのセット アップ時間	tSU:STO		0.26			μs
バス・フリー時間	tBUF		0.5			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR02ビットが1の場合も、上記の値を適用できます。ただし、端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

備考 C_b (通信ライン容量) のMax.値と、R_b (通信ライン・プルアップ抵抗値) のMax.値は次のとおりです。
C_b = 120 pF, R_b = 1.1 kΩ

(4) SMBus/PMBus™モード (100 kHz Class)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	fCLK ≥ 1 MHz	10		100	kHz
リスタート・コンディションのセットアップ時間	tSU:STA		4.7			μs
ホールド時間 ^{注1}	tHD:STA		4			μs
SCLA0 = "L" のホールド・タイム	tLOW		4.7			μs
SCLA0 = "H" のホールド・タイム	tHIGH		4			μs
データ・セットアップ時間 (受信時)	tSU:DAT		250			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT		0		3.45	μs
ストップ・コンディションのセットアップ時間	tSU:STO		4			μs
クロック/データ 立ち下がり時間	tF				0.3	μs
クロック/データ 立ち上がり時間	tR				1	μs
バス・フリー時間	tBUF		4.7			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2. tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR02ビットが1の場合はSMBUS/PMBUS™通信はできません。

備考 Rb (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。

Rb = 1.1 kΩ

(5) SMBus/PMBus™モード (400 kHz Class)

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	fSCL	fCLK ≥ 3.5 MHz	10		400	kHz
リスタート・コンディションのセットアップ時間	tSU:STA		0.6			μs
ホールド時間 ^{注1}	tHD:STA		0.6			μs
SCLA0 = "L" のホールド・タイム	tLOW		1.3			μs
SCLA0 = "H" のホールド・タイム	tHIGH		0.6			μs
データ・セットアップ時間 (受信時)	tSU:DAT		100			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT		0		0.9	μs
ストップ・コンディションのセットアップ時間	tSU:STO		0.6			μs
クロック/データ 立ち下がり時間	tF				0.3	μs
クロック/データ 立ち上がり時間	tR				0.3	μs
バス・フリー時間	tBUF		1.3			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

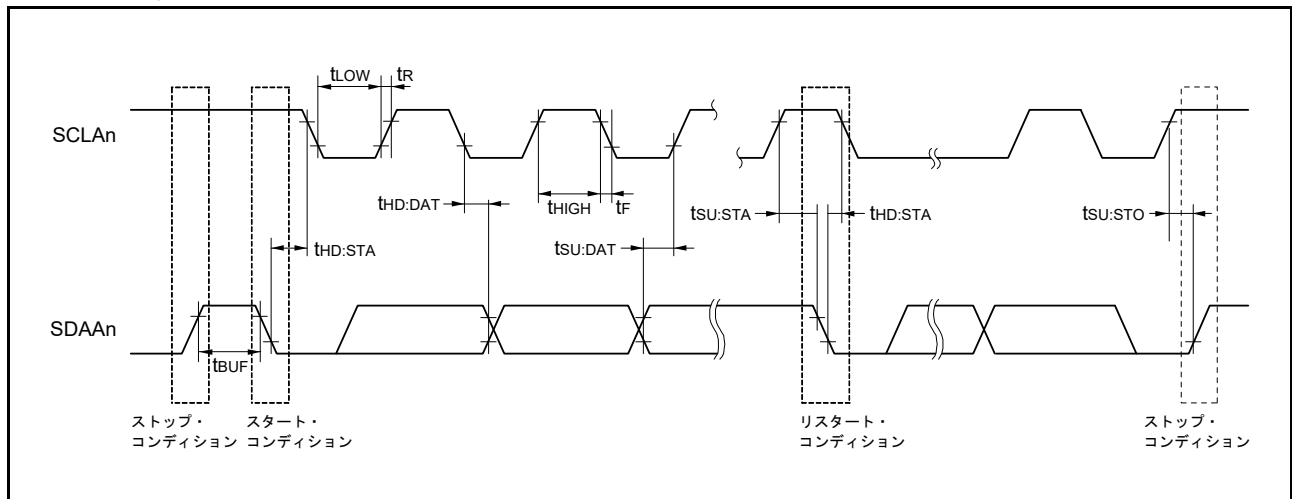
注2. tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ (PIOR0) のPIOR02ビットが1の場合はSMBUS/PMBUS™通信はできません。

備考 C_b (通信ライン容量) のMax. 値とR_b (通信ライン・プルアップ抵抗値) のMax. 値は次のとおりです。

C_b = 400 pF, R_b = 1.1 kΩ

IICAシリアル転送タイミング



備考 n = 0

44.6 アナログ特性

44.6.1 A/Dコンバータ特性

(1) 標準モード1, 2

(TA = -40 ~ +125°C, 2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, fCLK ≤ 32 MHz,
基準電圧 (+) = AVREFP (ADREFP[1:0] = 01B), 基準電圧 (-) = AVREFM (ADREFM = 1),
変換対象: ANI2-ANI7, ANI16-ANI30, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		32	MHz
総合誤差 ^{注1, 3, 4, 5}	AINL	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±7.5	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
変換時間 ^{注6}	tCONV	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
ゼロスケール誤差 ^{注1, 2, 3, 4, 5}	Ezs	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
フルスケール誤差 ^{注1, 2, 3, 4, 5}	EFS	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
積分直線性誤差 ^{注1, 4, 5}	ILE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
微分直線性誤差 ^{注1}	DLE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

注2. フルスケール値に対する比率 (%FSR) で表します。

注3. 変換対象にANI16-30を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に±3 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : Max. 値に±0.04 %FSRを加算してください。

注4. 基準電圧 (+) にVDD、基準電圧 (-) にVSSを選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に±10 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : Max. 値に±0.25 %FSRを加算してください。

積分直線性誤差 : Max. 値に±4 LSBを加算してください。

注5. AVREFP < VDDの場合、Max. 値は次のようになります。

総合誤差/ゼロスケール誤差/フルスケール誤差

: Max. 値に±0.75 LSB × (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください。

積分直線性誤差

: Max. 値に±0.2 LSB × (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください。

注6. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5 μs以上にする必要があります。そのため、サンプリング時間が長い標準モード2を使用してください。

(2) 標準モード1, 2 (アドバンスド・モード)

(TA = -40 ~ +125°C, 2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, fCLK ≤ 48 MHz,

基準電圧 (+) = AVREFP (ADREFP[1:0] = 01B), 基準電圧 (-) = AVREFM (ADREFM = 1),

変換対象: ANI2-ANI7, ANI16-ANI30, PGA, S&H, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		48	MHz
総合誤差注1, 3, 4, 5, 6, 7	AINL	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±7.5	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
変換時間注7, 8	tCONV	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	1			μs
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	1			μs
ゼロスケール誤差 注1, 2, 3, 4, 5, 6, 7	Ezs	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
フルスケール誤差 注1, 2, 3, 4, 5, 6, 7	EFS	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
積分直線性誤差注1, 4, 5	ILE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
微分直線性誤差注1	DLE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

注1. 量子化誤差 (±1/2 LSB) を含みません。**注2.** フルスケール値に対する比率 (%FSR) で表します。**注3.** 変換対象にANI16-ANI30を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に±3 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : Max. 値に±0.04 %FSRを加算してください。

注4. 基準電圧 (+) にVDD、基準電圧 (-) にVSSを選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に±10 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : Max. 値に±0.25 %FSRを加算してください。

積分直線性誤差 : Max. 値に±4 LSBを加算してください。

注5. AVREFP < VDDの場合、Max. 値は次のようになります。

総合誤差/ゼロスケール誤差/フルスケール誤差

: Max. 値に±0.75 LSB × (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください。

積分直線性誤差

: Max. 値に±0.2 LSB × (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください。

注6. 変換対象にS&H回路を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に±1 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : Max. 値に±0.03 %FSRを加算してください。

注7. 変換対象に低速変換ANI (ANI16-ANI30) が含まれる場合は+7 fAD、

PGA (ゲイン×4-16) が含まれる場合は+12 fAD、PGA (ゲイン×32) が含まれる場合は+43 fADを加算した時間となります。

注8. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5 μs以上にする必要があります。そのため、サンプリング時間が長い標準モード2を使用してください。

(3) 低電圧モード1, 2

(TA = -40 ~ +125°C, 2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, fCLK ≤ 32 MHz,
 基準電圧 (+) = AVREFP (ADREFP[1:0] = 01B), 基準電圧 (-) = AVREFM (ADREFM = 1),
 変換対象: ANI2-ANI7, ANI16-ANI30, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		24	MHz
総合誤差注1, 3, 4, 5	AINL	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
変換時間注6	tCONV	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.33			μs
ゼロスケール誤差注1, 2, 3, 4, 5	EZS	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
フルスケール誤差注1, 2, 3, 4, 5	EFS	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
積分直線性誤差注1, 4, 5	ILE	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±4.0	LSB
微分直線性誤差注1	DLE	2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

注2. フルスケール値に対する比率 (%FSR) で表します。

注3. 変換対象にANI16-ANI30を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に±3 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : Max. 値に±0.04 %FSRを加算してください。

注4. 基準電圧 (+) にVDD、基準電圧 (-) にVSSを選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に±10 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : Max. 値に±0.25 %FSRを加算してください。

積分直線性誤差 : Max. 値に±4 LSBを加算してください。

注5. AVREFP < VDDの場合、Max. 値は次のようになります。

総合誤差/ゼロスケール誤差/フルスケール誤差

: Max. 値に±0.75 LSB × (VDD電圧 (V) - AVREFP電圧 (V))を加算してください。

積分直線性誤差 : Max. 値に±0.2 LSB × (VDD電圧 (V) - AVREFP電圧 (V))を加算してください。

注6. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5 μs以上にする必要があります。そのため、サンプリング時間が長い低電圧モード2、かつ変換クロック (fAD) は16 MHz以下で使用してください。

(4) 低電圧モード1, 2 (アドバンスド・モード)

(TA = -40 ~ +125°C, 2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, fCLK ≤ 48 MHz,
 基準電圧 (+) = AVREFP (ADREFP[1:0] = 01B), 基準電圧 (-) = AVREFM (ADREFM = 1),
 変換対象 : ANI2-ANI7, ANI16-ANI30, PGA, S&H, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		24	MHz
総合誤差注1, 3, 4, 5, 6	AINL	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
変換時間注7	tCONV	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.63			μs
ゼロスケール誤差 注1, 2, 3, 4, 5, 6	EZS	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
フルスケール誤差 注1, 2, 3, 4, 5, 6	EFS	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
積分直線性誤差注1, 4, 5	ILE	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±4.0	LSB
微分直線性誤差注1	DLE	2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

注2. フルスケール値に対する比率 (%FSR) で表します。

注3. 変換対象にANI16-ANI30を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に±3 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : Max. 値に±0.04 %FSRを加算してください。

注4. 基準電圧 (+) にVDD、基準電圧 (-) にVSSを選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に±10 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : Max. 値に±0.25 %FSRを加算してください。

積分直線性誤差 : Max. 値に±4 LSBを加算してください。

注5. AVREFP < VDDの場合、Max. 値は次のようになります。

総合誤差/ゼロスケール誤差/フルスケール誤差

: Max. 値に±0.75 LSB × (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください。

積分直線性誤差

: Max. 値に±0.2 LSB × (VDD電圧 (V) - AVREFP電圧 (V)) を加算してください。

注6. 変換対象にS&H回路を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に±1 LSBを加算してください。

ゼロスケール誤差/フルスケール誤差 : Max. 値に±0.03 %FSRを加算してください。

注7. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5 μs以上にする必要があります。そのため、サンプリング時間が長い低電圧モード2、かつ変換クロック (fAD) は16 MHz以下で使用してください。

(5) 基準電圧 (+) に内部基準電圧を選択

(TA = -40 ~ +125°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V, 低電圧モード1, 2, fCLK ≤ 32 MHz注1, fCLK ≤ 48 MHz注2,
基準電圧 (+) = 内部基準電圧 (ADREFP[1:0] = 10B), 基準電圧 (-) = AVREFM (ADREFM = 1))

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8			bit
変換クロック	fAD		1		2	MHz
ゼロスケール誤差注3, 4, 6	EZS				±0.6	%FSR
積分直線性誤差注3, 6	ILE				±2.0	LSB
微分直線性誤差注3	DLE			±1.0		LSB
アナログ入力電圧	VAIN		0		VBGR注5	V

注1. アドバンスド・モードOFFのとき。

注2. アドバンスド・モードONのとき。

注3. 量子化誤差 (±1/2 LSB) を含みません。

注4. フルスケール値に対する比率 (%FSR) で表します。

注5. 44.6.2 温度センサ／内部基準電圧特性を参照してください。

注6. 基準電圧 (-) = VSSを選択した場合、Max. 値は次のようになります。

ゼロスケール誤差 : Max. 値に±0.35 %FSRを加算してください。

積分直線性誤差 : Max. 値に±0.5 LSBを加算してください。

44.6.2 温度センサ／内部基準電圧特性

(TA = -40 ~ +125°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
温度センサ出力電圧	VTMPS25	ADSレジスタ = 80H設定、TA = +25°C		1.05		V
内部基準電圧	VBGR	ADSレジスタ = 81H設定	1.40	1.48	1.56	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.3		mV/°C
動作安定待ち時間	tAMP		5			μs

44.6.3 D/Aコンバータ特性

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES	DAC0, DAC1 (DACONF = 0)			10	bit
		DAC1 (DACONF = 1), DAC2			8	bit
総合誤差	AINL	Rload = 8 MΩ			±2.5	LSB
微分非直線性誤差	ADNL				±1.0	LSB
セトリング・タイム	tSET	DACO出力時Cload = 20 pF			6	μs
		CMP基準使用フルコード変換時			3	μs
		CMP基準使用1LSBコード変換時			1	μs

注意 ANO0-2端子にはEVDD0を超える電圧を出力しないでください。

44.6.4 コンパレータ特性

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
入力電圧範囲	IVREF	IVREF0端子、IVREF1端子入力	0		EVDD0	V
	IVCMP	IVCMP0, IVCMP1, IVCMP2, ICMP3端子入力	0		EVDD0	V
出力遅延	td	入力振幅±100 mV		50	100	ns
オフセット電圧	—			±5	±40	mV
動作安定時間 ^注	tCMP		1			μs
入力チャンネル切り替え安定待ち時間	—		0.3			μs

注 コンパレータの動作許可信号切り替え (CnENB = 0 → 1) から、コンパレータがDC/AC特性を満足できる状態になるまでの時間。

44.6.5 PGA特性

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件		Min.	Typ.	Max.	単位
入力オフセット電圧	VIOPGA					±10	mV
入力電圧範囲 ^{注1}	VIPGA			0		0.9 × VDD/ 増幅率	V
増幅率誤差		4倍、8倍				±1	%
		16倍				±1.5	%
		32倍				±2	%
スルーレート ^{注1}	SRRPGA	立ち上がり Vin = VDD × 0.1/増幅率 ~ VDD × 0.9/増幅率 出力振幅の10% ~ 90%	4.0 V ≤ VDD ≤ 5.5 V	32倍以外	3.5		V/μs
			4.0 V ≤ VDD ≤ 5.5 V	32倍	3		
			2.7 V ≤ VDD ≤ 4.0 V		0.5		
	SRFPGA	立ち下がり Vin = VDD × 0.1/増幅率 ~ VDD × 0.9/増幅率 出力振幅の90% ~ 10%	4.0 V ≤ VDD ≤ 5.5 V	32倍以外	3.5		
			4.0 V ≤ VDD ≤ 5.5 V	32倍	3		
			2.7 V ≤ VDD ≤ 4.0 V		0.5		
動作安定待ち時間 ^{注2}	tPGA	4倍、8倍				5	μs
		16倍、32倍				10	μs

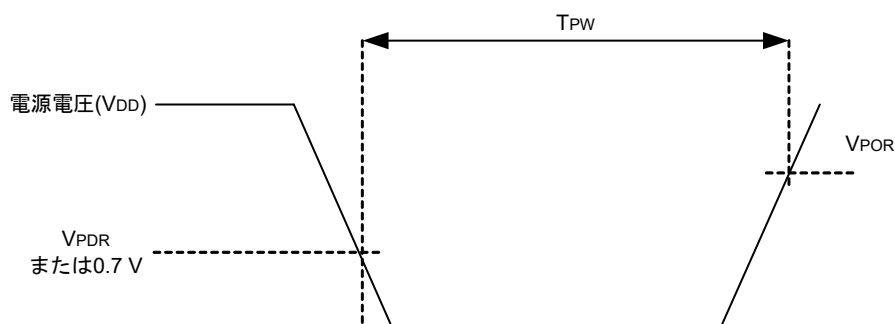
注1. PGAI0-PGAI3端子の電源はEVDD0になります。**注2.** PGAの動作を許可 (PGAEN = 1) してから、PGA動作のDC/AC特性を満足できる状態になるまでの時間。

44.6.6 POR回路特性

(TA = -40 ~ +125°C, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
検出電圧	VPOR, VPDR		1.43	1.50	1.57	V
最小パルス幅注	TPW		300			μs

注 VDDがVPDRを下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (fMAIN) を停止時は、VDDが0.7 Vを下回ってから、VPORを上回るまでのPORによるリセット動作に必要な時間です。



44.6.7 LVD回路特性

(1) LVD0リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +125°C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
検出電圧	VLVD00	電源立ち上がり時	3.84	3.96	4.08	V
		電源立ち下がり時	3.76	3.88	4.00	V
	VLVD01	電源立ち上がり時	2.88	2.97	3.06	V
		電源立ち下がり時	2.82	2.91	3.00	V
最小パルス幅	tlw		500			μs
検出遅延					500	μs

(2) LVD1リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +125°C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位	
検出電圧	VLVD10	電源立ち上がり時	4.08	4.16	4.24	V	
		電源立ち下がり時	4.00	4.08	4.16	V	
	VLVD11	電源立ち上がり時	3.88	3.96	4.04	V	
		電源立ち下がり時	3.80	3.88	3.96	V	
	VLVD12	電源立ち上がり時	3.68	3.75	3.82	V	
		電源立ち下がり時	3.60	3.67	3.74	V	
	VLVD13	電源立ち上がり時	3.48	3.55	3.62	V	
		電源立ち下がり時	3.40	3.47	3.54	V	
	VLVD14	電源立ち上がり時	3.28	3.35	3.42	V	
		電源立ち下がり時	3.20	3.27	3.34	V	
	VLVD15	電源立ち上がり時	3.07	3.13	3.19	V	
		電源立ち下がり時	3.00	3.06	3.12	V	
	VLVD16	電源立ち上がり時	2.91	2.97	3.03	V	
		電源立ち下がり時	2.85	2.91	2.97	V	
	VLVD17	電源立ち上がり時	2.76	2.82	2.87	V	
		電源立ち下がり時	2.70	2.76	2.81	V	
	最小パルス幅	tlw		500			μs
	検出遅延					500	μs

44.6.8 電源電圧立ち上がり特性

(TA = -40 ~ +125°C, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

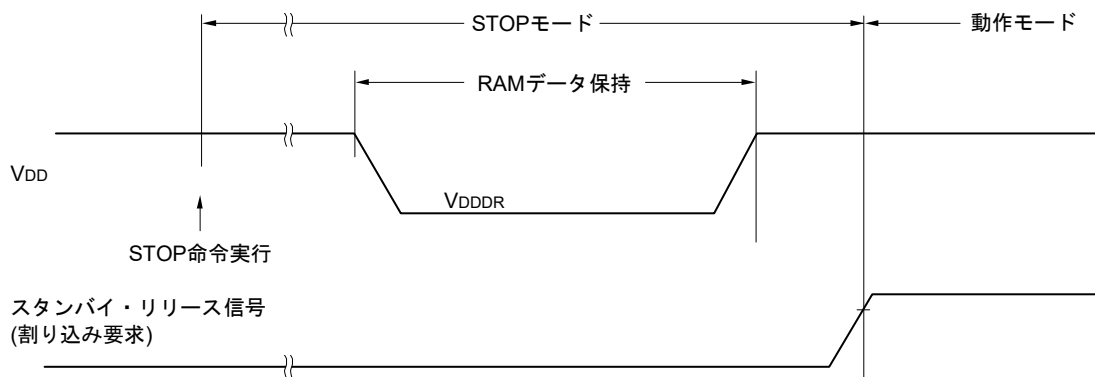
注意 VDDがAC特性に示す動作電圧範囲内に達するまで、LVD0回路か外部リセットで内部リセット状態を保ってください。

44.7 RAMデータ保持特性

(TA = -40 ~ +125°C, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
データ保持電源電圧	VDDDR		1.43 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



44.8 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +125°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
CPU/周辺ハードウェアクロック周波数	fCLK		1		48	MHz
コード・フラッシュ・メモリの書き換え回数 ^{注1, 2, 3}	Cenwr	保持年数：10年 TA = +85°C	10,000			回
		保持年数：20年 TA = +85°C	1,000			
データ・フラッシュ・メモリの書き換え回数 ^{注1, 2, 3}		保持年数：1年 TA = +25°C		1,000,000		
		保持年数：5年 TA = +85°C	100,000			
		保持年数：20年 TA = +85°C	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数は、一度書き換えたあと、次に書き換えを行うまでの期間とします。

注2. フラッシュ・メモリ・プログラマ使用時およびセルフ・プログラミング機能を使用時

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

(1) コード・フラッシュ・メモリ

(TA = -40 ~ +125°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	fCLK = 1 MHz			fCLK = 2 MHz, 3 MHz			4 MHz ≤ fCLK < 8 MHz			8 MHz ≤ fCLK < 32 MHz			fCLK = 32 MHz			fCLK = 48 MHz			単位	
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.		
プログラム時間	4バイト	TP4	-	75.8	666.6	-	51.5	469.7	-	41.9	387.3	-	37.2	347.4	-	34.2	322.3	-	33.9	319.7	μs
イレース時間	2Kバイト	TE2K	-	10.4	312.2	-	7.7	258.5	-	6.4	231.8	-	5.8	218.4	-	5.6	214.4	-	5.6	213.9	ms
フランクチェック時間	4バイト	tBC4	-	-	38.4	-	-	19.2	-	-	13.1	-	-	10.2	-	-	8.3	-	-	8.1	μs
	2Kバイト	tBC2K	-	-	2618.9	-	-	1309.5	-	-	658.3	-	-	332.8	-	-	234.1	-	-	223.19	μs
イレース処理強制停止時間		tSED	-	-	19.0	-	-	14.5	-	-	12.3	-	-	11.1	-	-	10.4	-	-	10.3	μs
セキュリティ設定時間		tAWSSAS	-	18.2	526.4	-	14.4	469.3	-	12.6	441.1	-	11.6	427.1	-	11.3	422.6	-	11.3	422.1	ms
STOP命令解除後プログラミング開始待ち時間		-	20	-	-	20	-	-	20	-	-	20	-	-	20	-	-	20	-	-	μs

注意 ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含まれません。

(2) データ・フラッシュ・メモリ

(TA = -40 ~ +125°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	fCLK = 1 MHz			fCLK = 2 MHz, 3 MHz			4 MHz ≤ fCLK < 8 MHz			8 MHz ≤ fCLK < 32 MHz			fCLK = 32 MHz			fCLK = 48 MHz			単位	
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.		
プログラム時間	1バイト	TP4	-	75.8	666.6	-	51.51	469.7	-	41.9	387.34	-	37.24	347.4	-	34.2	322.3	-	33.92	319.7	μs
イレース時間	256バイト	TE2K	-	7.8	259.2	-	6.4	232.0	-	5.8	218.5	-	5.5	211.8	-	5.4	209.7	-	5.3	209.5	ms
フランクチェック時間	1バイト	tBC4	-	-	38.4	-	-	19.2	-	-	13.1	-	-	10.2	-	-	8.3	-	-	8.1	μs
	256バイト	tBC2K	-	-	1326.1	-	-	663.1	-	-	335.1	-	-	171.2	-	-	121.0	-	-	115.5	μs
イレース処理強制停止時間		tSED	-	-	19.0	-	-	14.5	-	-	12.3	-	-	11.1	-	-	10.4	-	-	10.3	μs
STOP命令解除後プログラミング開始待ち時間		-	20	-	-	20	-	-	20	-	-	20	-	-	20	-	-	20	-	-	μs
DFLCTL.DFLEN = 1設定後のリード開始待ち時間		-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	μs

注意 ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含まれません。

44.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

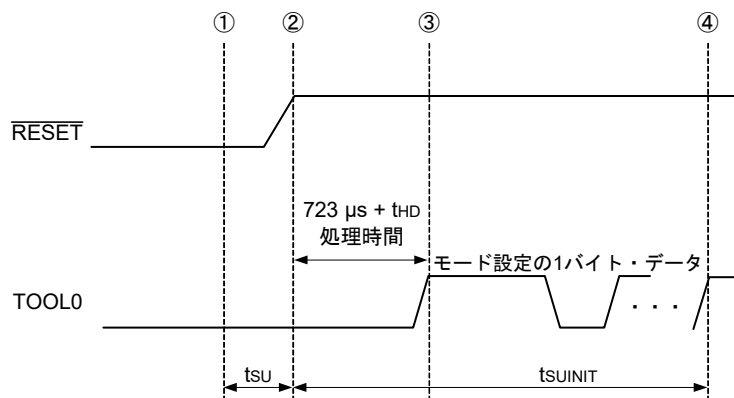
(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

44.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40 ~ +125°C, 2.7 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
外部リセット解除から初期設定通信を完了する時間	t _{SUINIT}	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t _{SU}	外部リセット解除前に POR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t _{HD}	外部リセット解除前に POR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 t_{SUINIT} : この区間では、リセット解除から100 ms以内に初期設定通信を完了してください。

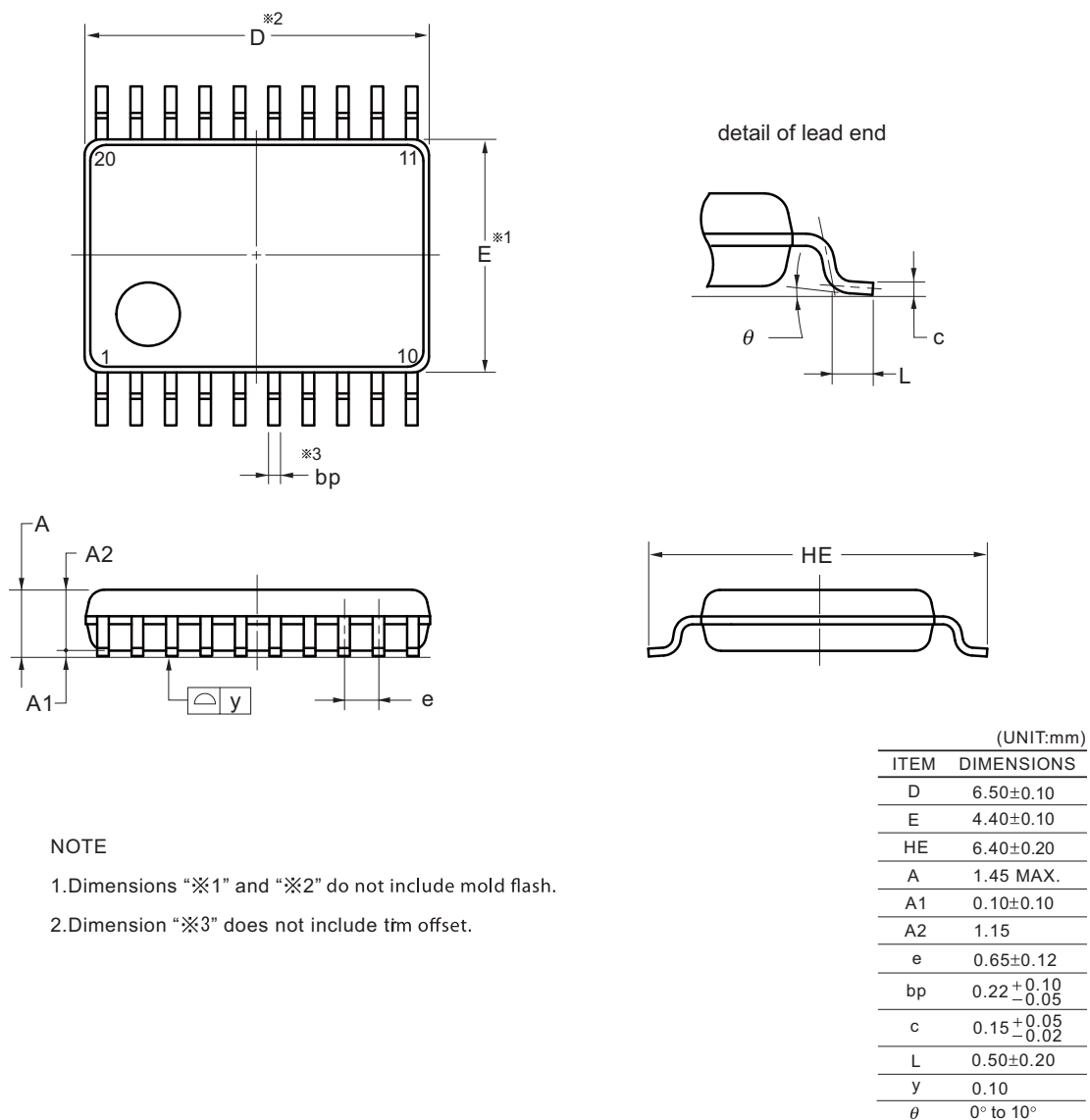
t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間 (フラッシュ・ファーム処理時間を除く)

第45章 外形図

45.1 20ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-4.4x6.5-0.65	PLSP0020JB-A	P20MA-65-NAA-1	0.1



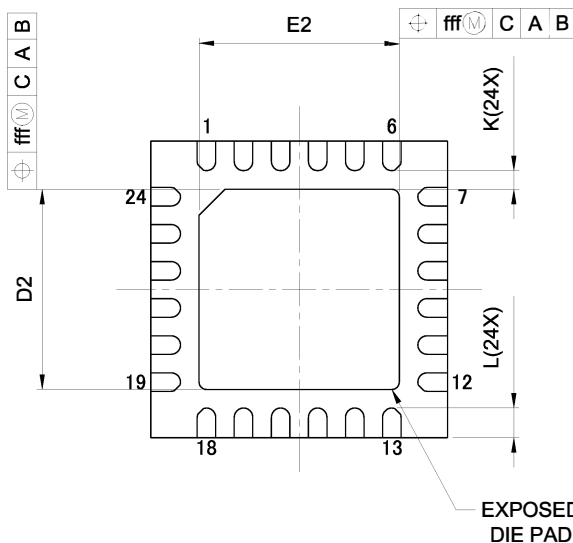
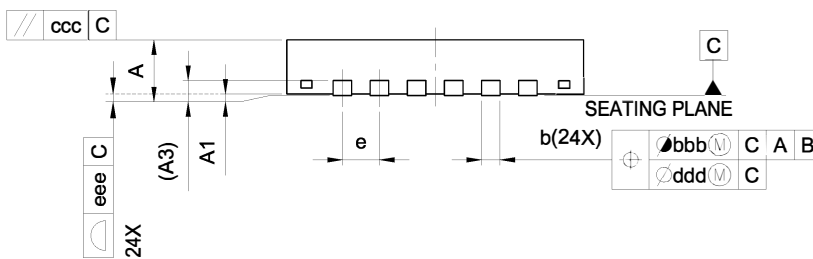
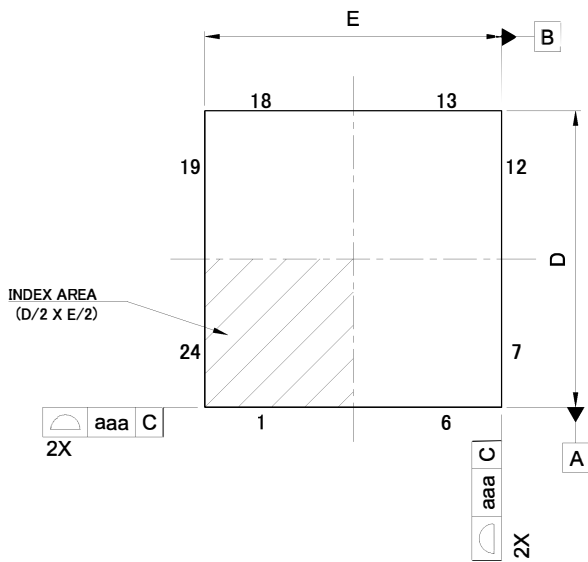
NOTE

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

©2012 Renesas Electronics Corporation. All rights reserved.

45.2 24ピン製品

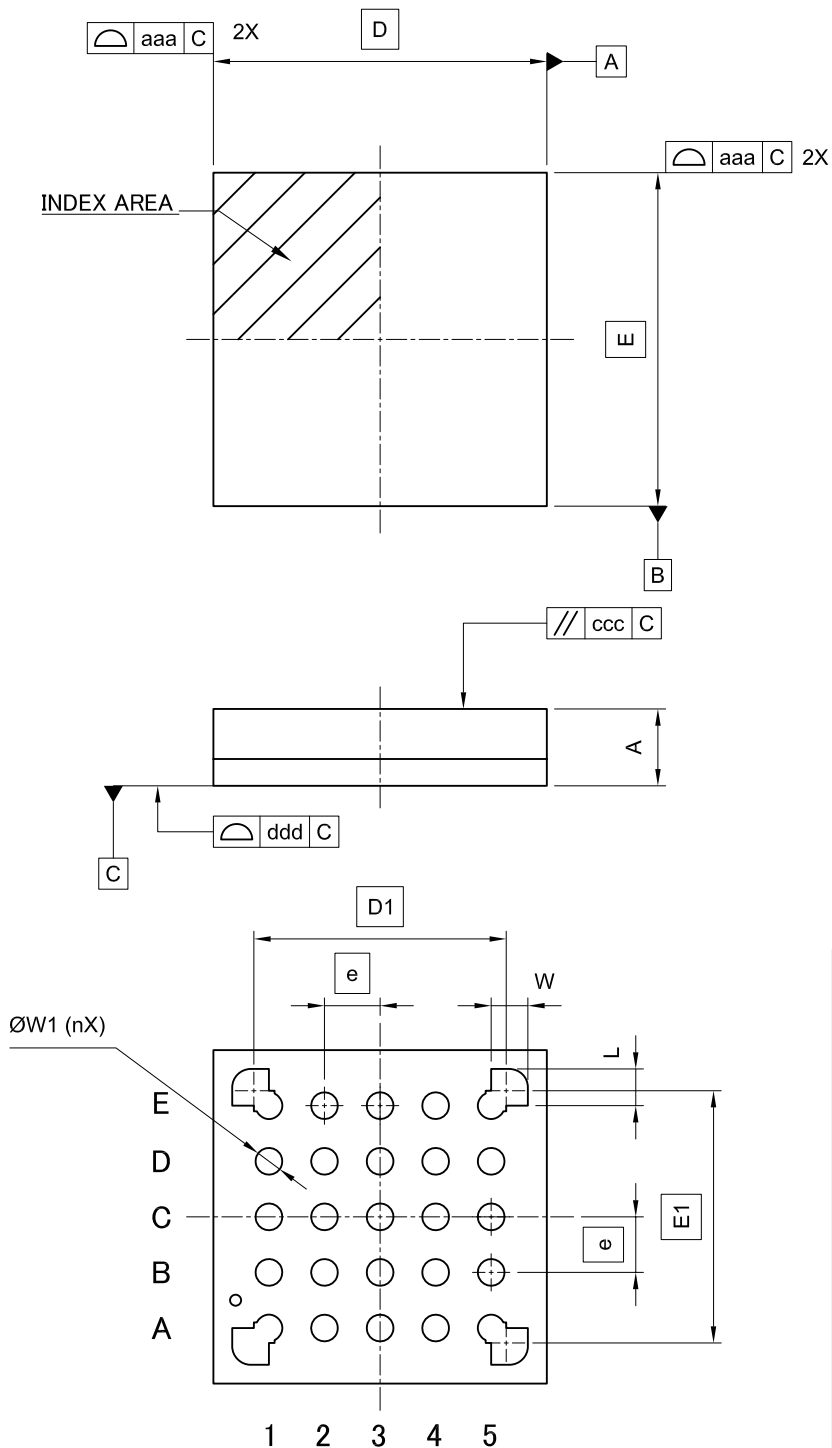
JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-HWQFN24-4 × 4-0.50	PWQN0024KG-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D ₂	2.65	2.70	2.75
E ₂	2.65	2.70	2.75
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

45.3 25ピン製品

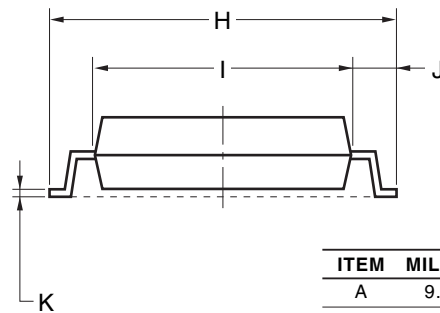
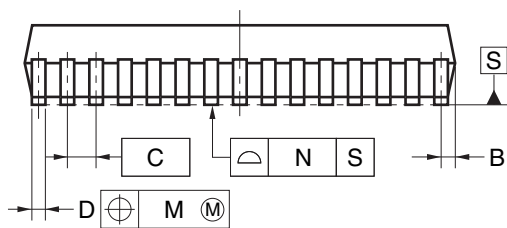
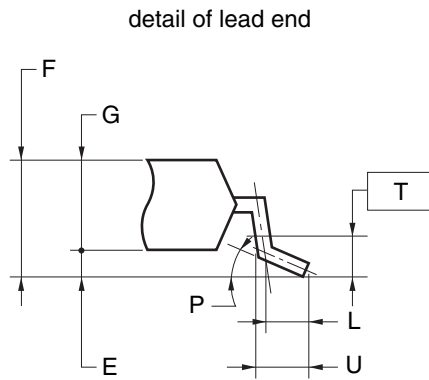
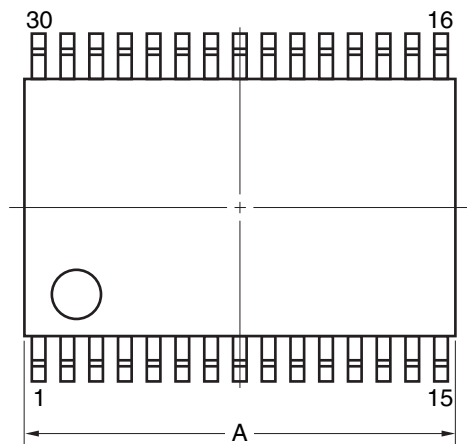
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-WLGA25-3x3-0.50	PWLG0025KB-A	0.01



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	3.00	—
E	—	3.00	—
D1	2.27		
E1	2.27		
A	—	—	0.76
W1	0.19	0.24	0.29
W	—	0.330	—
L	—	0.330	—
e	0.50		
aaa	—	—	0.10
ccc	—	—	0.20
ddd	—	—	0.08
n	—	25	—

45.4 30ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-0300-0.65	PLSP0030JB-B	S30MC-65-5A4-3	0.18



NOTE

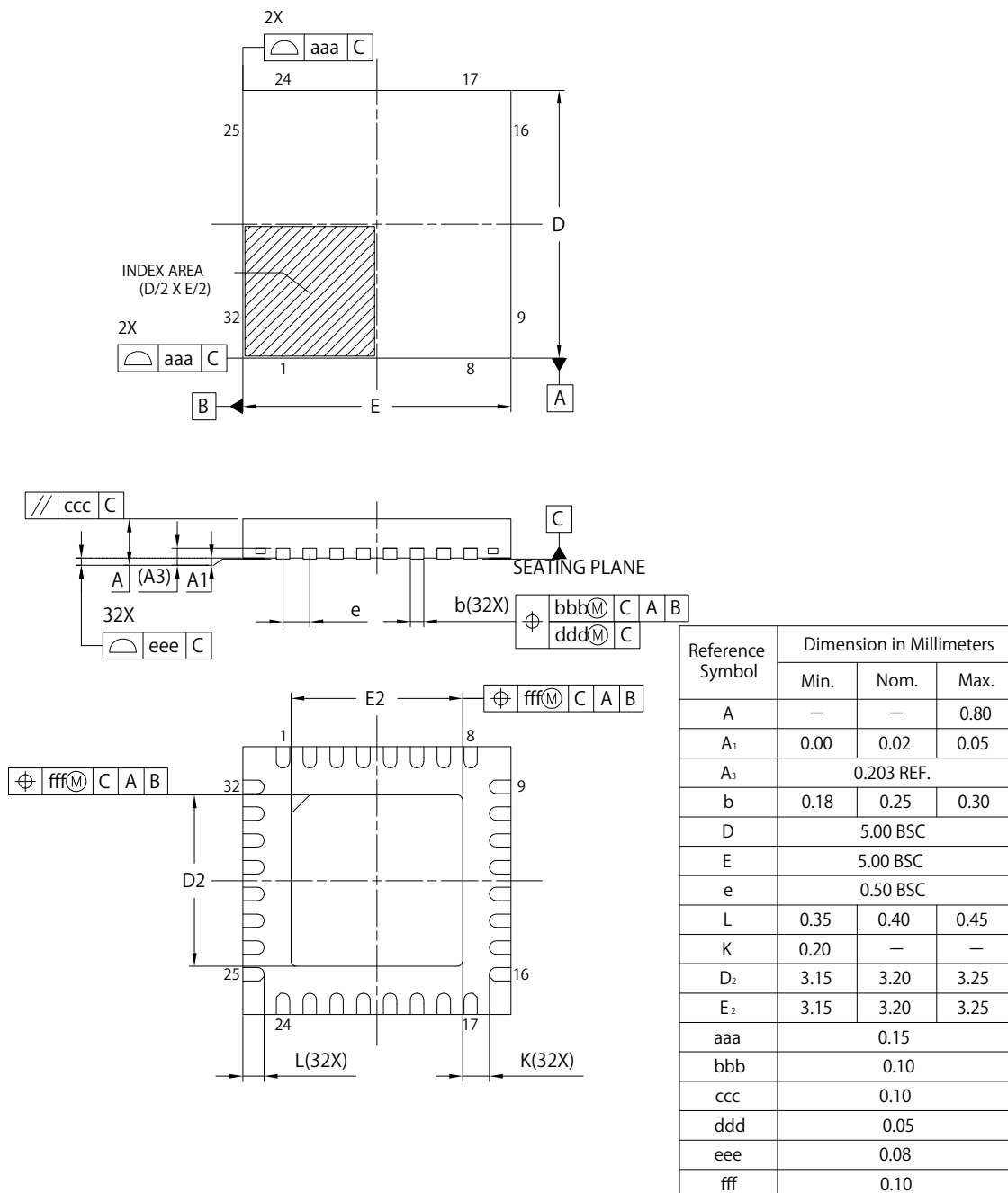
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15

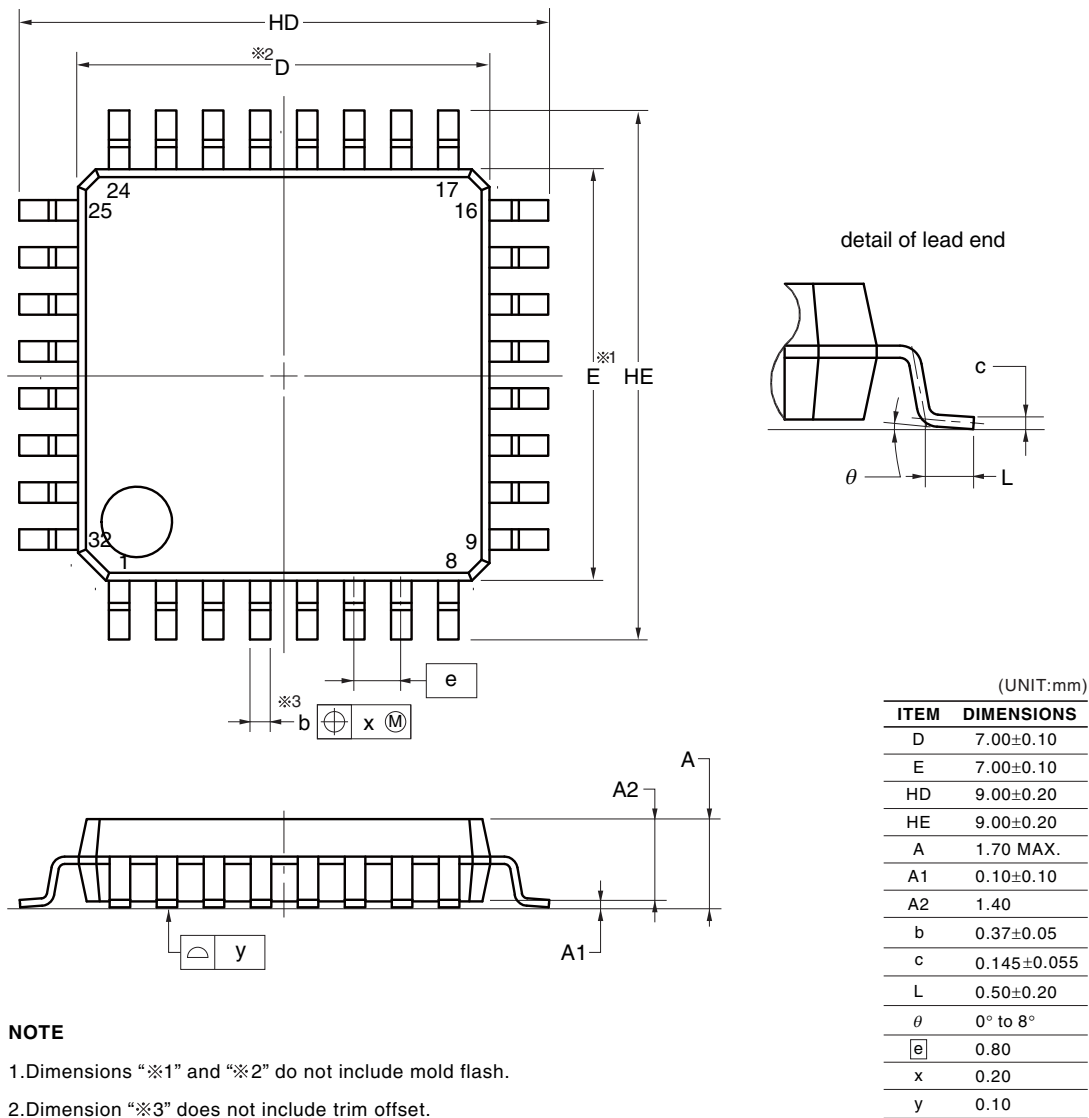
©2012 Renesas Electronics Corporation. All rights reserved.

45.5 32ピン製品

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2



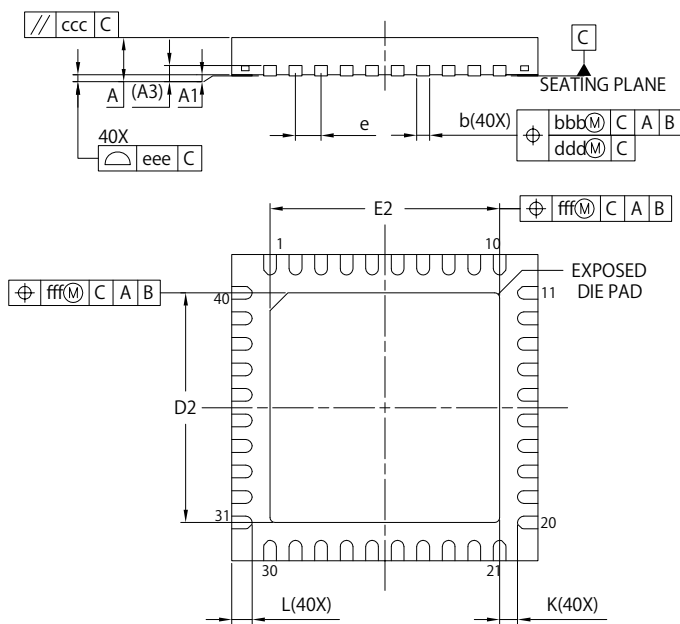
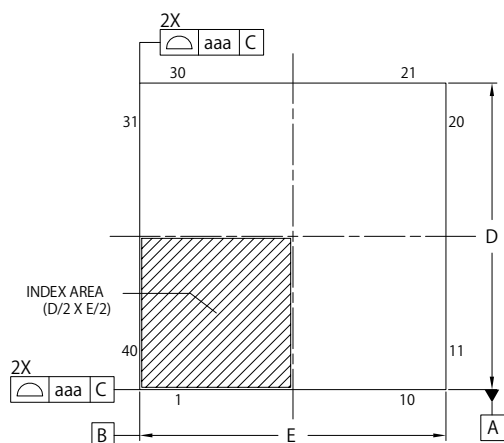
NOTE

1. Dimensions “※1” and “※2” do not include mold flash.
2. Dimension “※3” does not include trim offset.

© 2012 Renesas Electronics Corporation. All rights reserved.

45.6 40ピン製品

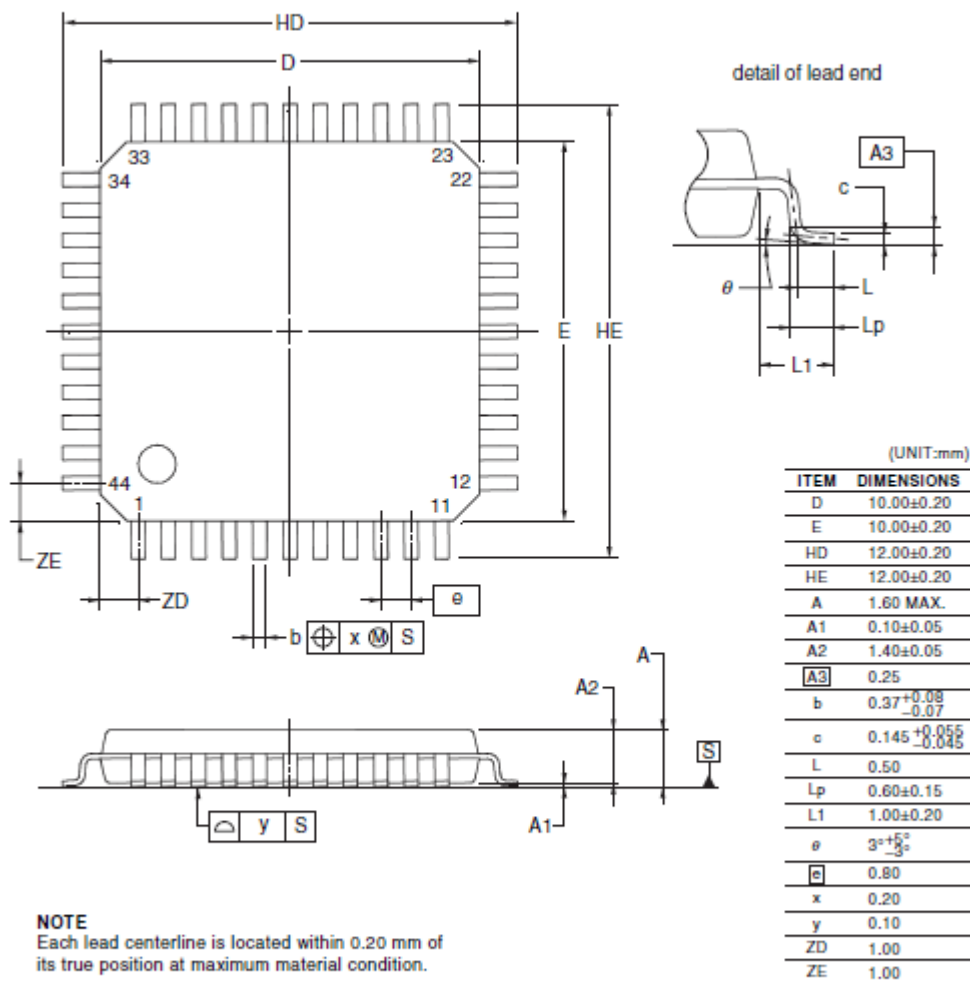
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	4.45	4.50	4.55
E ₂	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

45.7 44ピン製品

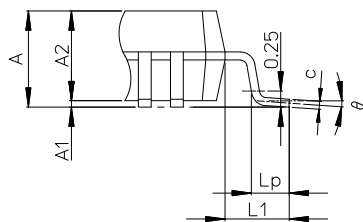
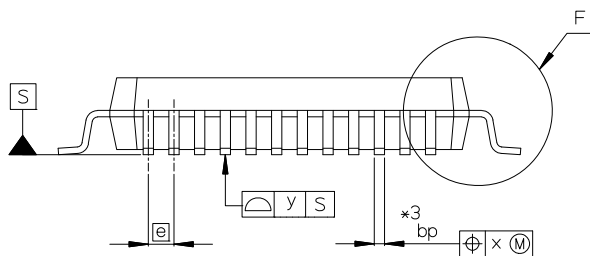
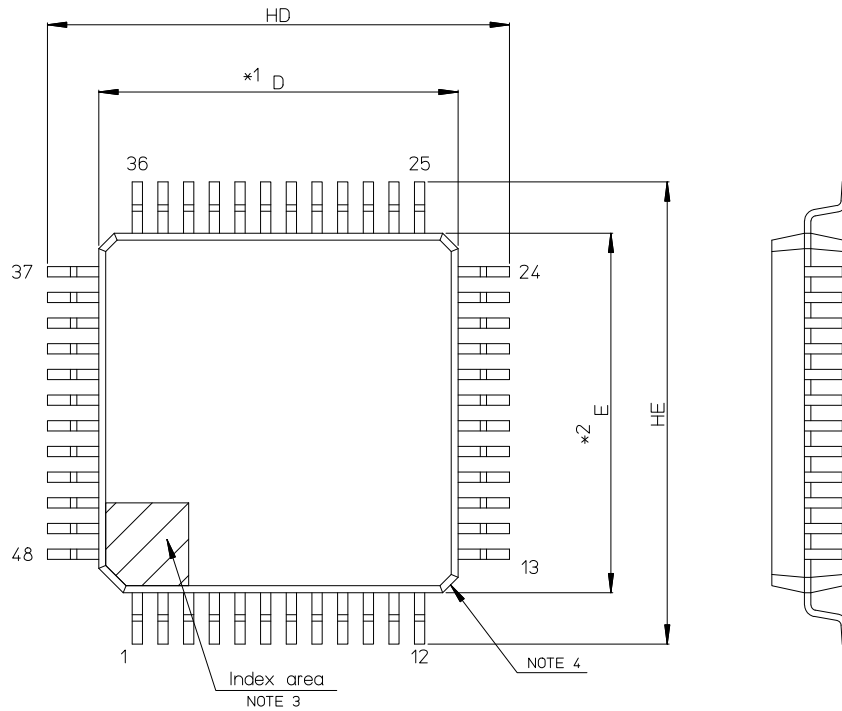
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP44-10x10-0.80	PLQP0044GC-A	P44GB-80-UES-2	0.36



©2012 Renesas Electronics Corporation. All rights reserved.

45.8 48ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2g



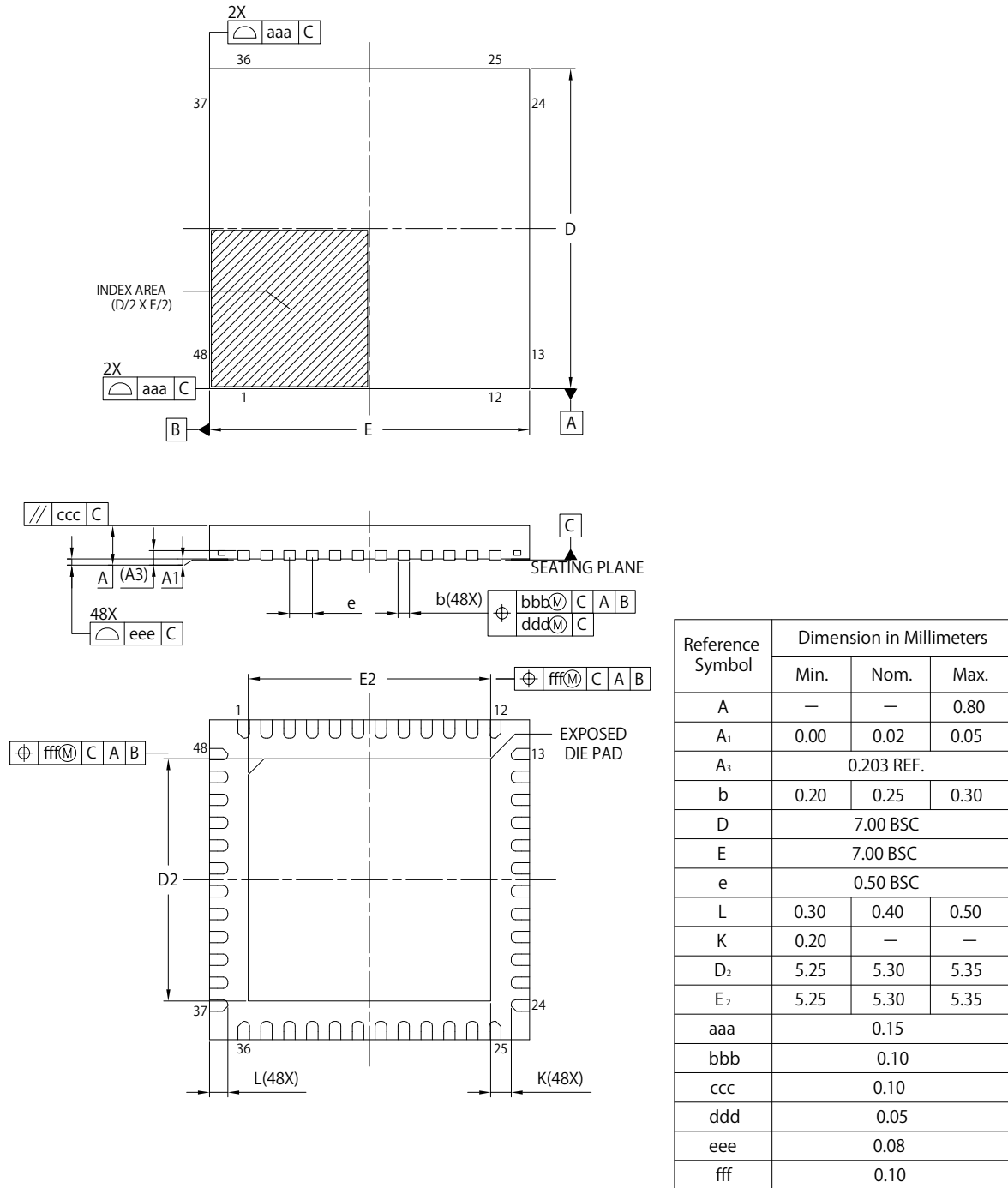
Detail F

NOTE)

1. DIMENSIONS *1' AND *2' DO NOT INCLUDE MOLD FLASH.
2. DIMENSION *3' DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.

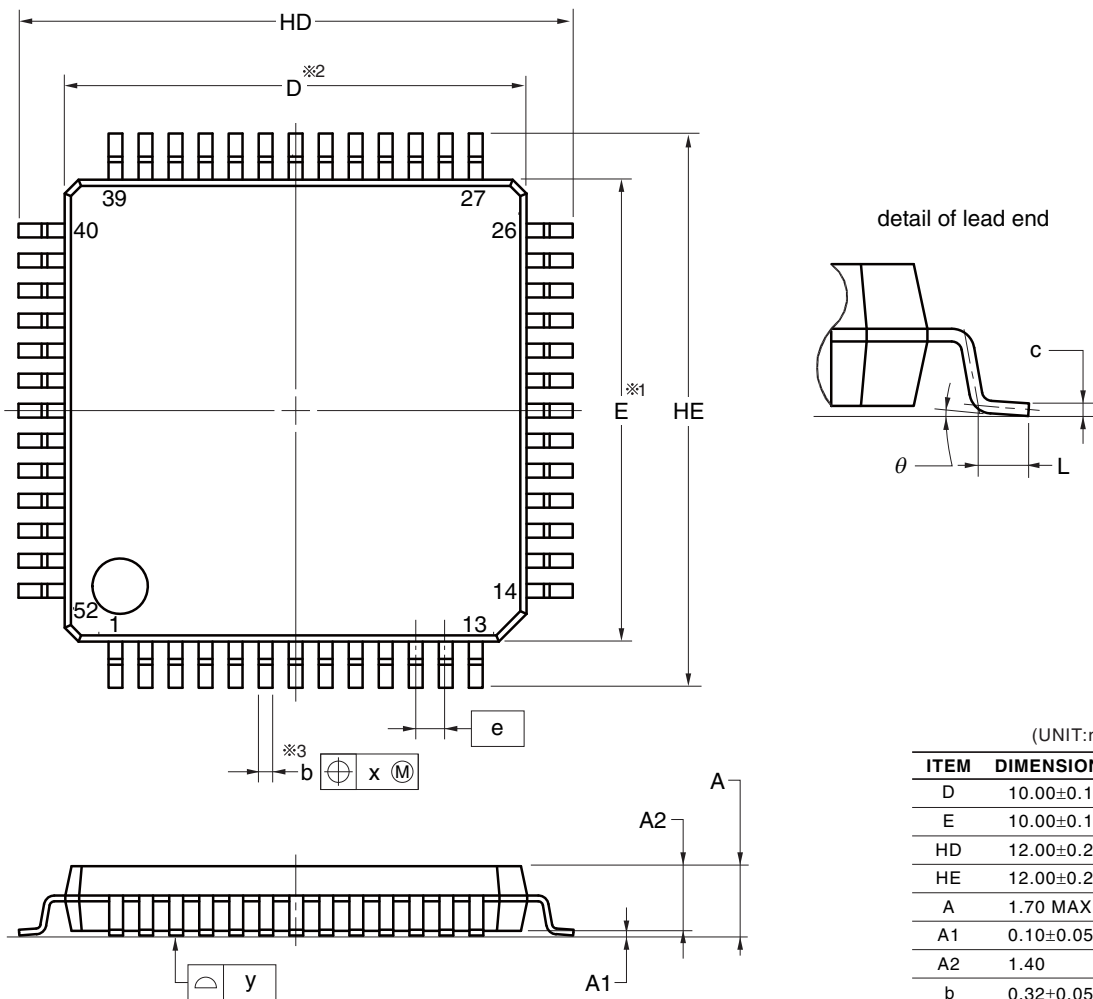
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A2	—	1.4	—
HD	8.8	9.0	9.2
HE	8.8	9.0	9.2
A	—	—	1.7
A1	0.05	—	0.15
bp	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Lp	0.45	0.6	0.75
L1	—	1.0	—

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



45.9 52ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP52-10x10-0.65	PLQP0052JA-A	P52GB-65-GBS-1	0.3

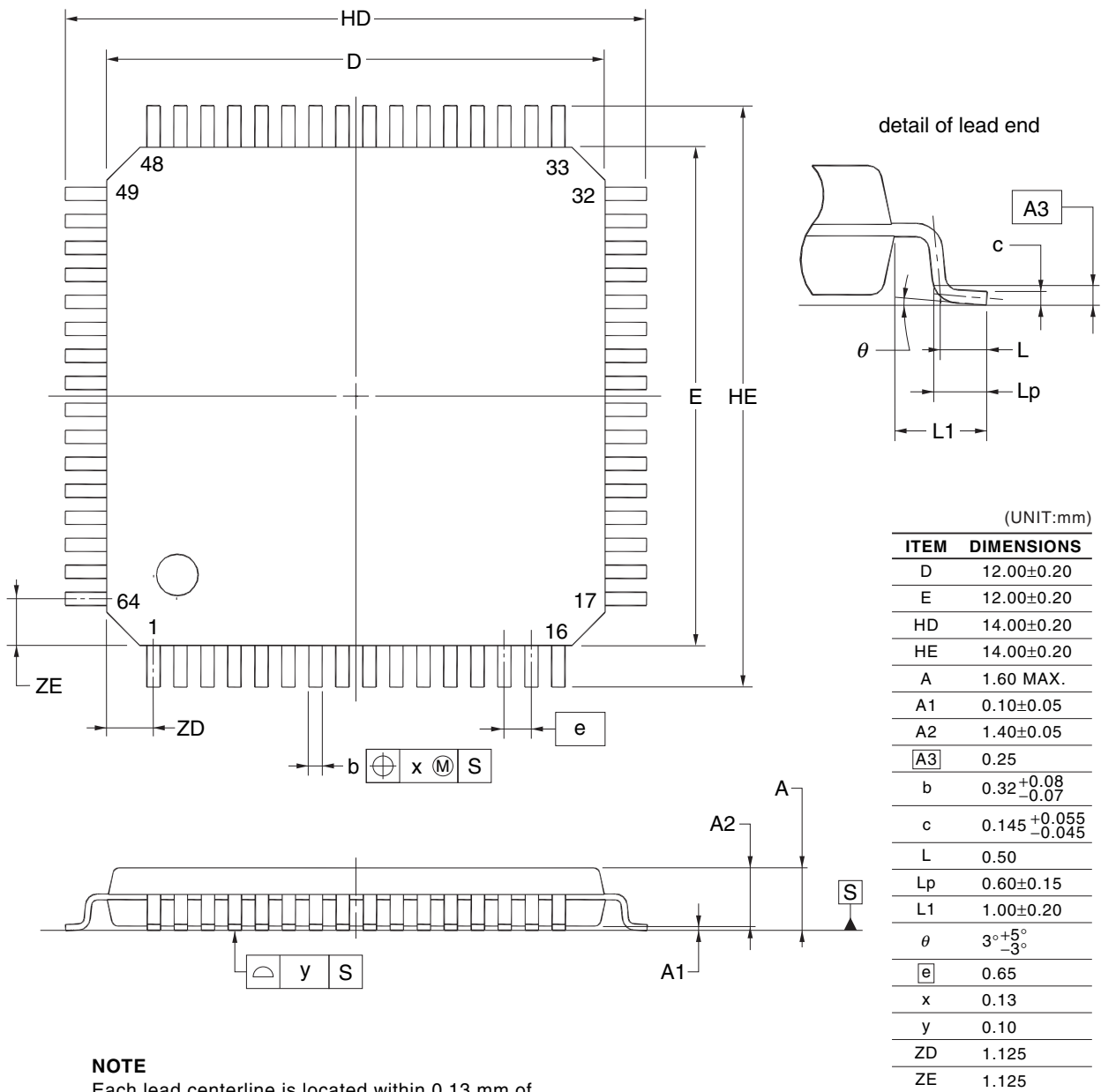
**NOTE**

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

© 2012 Renesas Electronics Corporation. All rights reserved.

45.10 64ピン製品

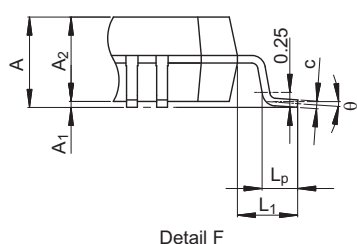
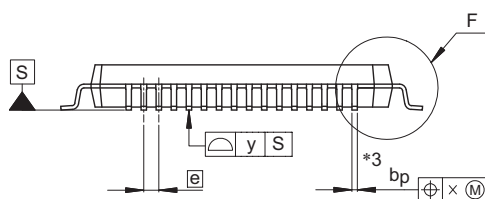
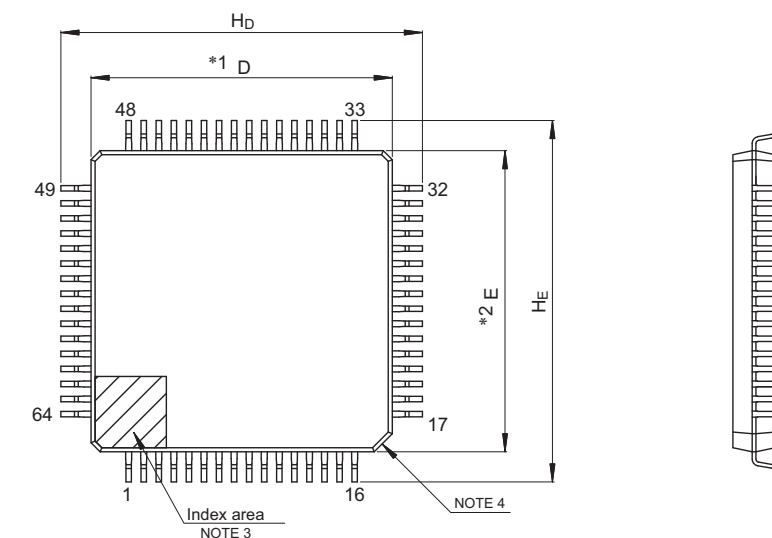
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP64-12x12-0.65	PLQP0064JA-A	P64GK-65-UET-2	0.51



NOTE
 Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

付録A 改版履歴

A.1 本版で改訂された主な箇所

(1/4)

箇所	内容	分類
第1章 概説		
p.3	1.1 特徴 を変更	(a)
p.5	図1-1 RL78/G24の型名とメモリ・サイズ、パッケージ 梱包仕様 を変更	(d)
p.6	表1-1 発注型名一覧 を変更	(d)
p.16	1.3.5 32ピン製品 図 を変更	(a)
第2章 端子機能		
p.90	図2-13 端子タイプ7-2-1の端子ブロック図 を変更	(a)
p.97	図2-20 端子タイプ7-38-3の端子ブロック図 を変更	(c)
p.103	図2-26 端子タイプ8-41-1の端子ブロック図 を変更	(c)
p.104	図2-27 端子タイプ8-41-2の端子ブロック図 を変更	(c)
p.105	図2-28 端子タイプ8-42-1の端子ブロック図 を変更	(c)
p.106	図2-29 端子タイプ12-38-2の端子ブロック図 を追加	(c)
第3章 CPUアーキテクチャ		
p.108	図3-1 メモリ・マップ (R7F101GxE (x = 6, 7, 8, A, B, E, F, G, J, L)) 注2 を変更	(a)
p.109	図3-2 メモリ・マップ (R7F101GxG (x = 6, 7, 8, A, B, E, F, G, J, L)) 注2 を変更	(a)
p.114	3.1.1 内部プログラム・メモリ空間 (3), (4) を変更	(a)
p.117	表3-4 内部RAM容量 注意2 を変更	(c)
p.121	3.2.1 制御レジスタ (3) スタック・ポインタ (SP) 注意3 を変更	(c)
p.162	図3-35 CALL, CALLTの例 を変更	(a)
第4章 フレキシブル・アプリケーション・アクセラレータ (FAA)		
p.197	表4-9 割り込み処理までの時間 を追加	(c)
第7章 ポート機能		
p.325	表7-5 端子機能使用時のレジスタ、出力ラッチの設定例 (12/22) を変更	(a)
第9章 クロック発生回路		
p.357	図9-1 クロック発生回路のブロック図 を変更	(a)
p.380	図9-12 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット 注意3 を変更	(c)
p.407	表9-2 CPUクロックの移行とSFRレジスタの設定例 (3/4) を変更	(a)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様(スペック含む)の追加/変更、(c) : 説明、注意事項の追加/変更、
 (d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

(2/4)

箇所	内容	分類
第12章 タイマRD2		
p.627, p.628	表 12 - 6 相補PWMモード時のTRDGR _{ji} レジスタの機能を修正、注を追加	(c)
p.732	表 12 - 30 パルス強制遮断と出力強制遮断の機能差分を変更	(c)
第15章 16ビット・タイマKB30, KB31, KB32		
p.894	図 15 - 26 16ビット・タイマKB3n動作設定例 (コンペア・レジスター斉書き換えフロー)を変更	(a)
p.903	15.4.4 一斉書き込み動作を変更	(c)
p.923	15.4.8 同時スタート/ストップモード 注意3を追加	(c)
p.987	図 15 - 88 強制出力停止機能制御レジスタ2p (TKBPACTL2p) のフォーマット (3/3) 注意1を変更	(a)
第16章 リアルタイム・クロック (RTC)		
p.1047	図 16 - 19 リアルタイム・クロックの読み出し手順 注を変更	(c)
p.1048	図 16 - 20 リアルタイム・クロックの読み出し手順 (アラーム割り込み機能使用時) 注を変更	(c)
p.1049	図 16 - 21 リアルタイム・クロックの書き込み手順 注を変更	(c)
p.1050	図 16 - 22 リアルタイム・クロックの書き込み手順 (アラーム割り込み機能使用時) 注を変更	(c)
第20章 A/Dコンバータ (ADC)		
p.1110	図 20 - 1 A/Dコンバータのブロック図 (アドバンスド・モードOFF) を変更	(a)
p.1118	図 20 - 4 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット 注意7を追加	(c)
p.1121	図 20 - 5 A/D電圧コンパレータ使用時のタイミング・チャート 注意5を変更	(a)
p.1123	表 20 - 6 A/D変換時間の選択 (1/11) 注意2を変更	(c)
p.1124	表 20 - 6 A/D変換時間の選択 (2/11) 注意2を変更	(c)
p.1125	表 20 - 6 A/D変換時間の選択 (3/11) 注意2を変更	(c)
p.1126	表 20 - 6 A/D変換時間の選択 (4/11) 注意2を変更	(c)
p.1127	表 20 - 6 A/D変換時間の選択 (5/11) 注意2を変更	(c)
p.1128	表 20 - 6 A/D変換時間の選択 (6/11) 注意2を変更	(c)
p.1129	表 20 - 6 A/D変換時間の選択 (7/11) 注意2を変更	(c)
p.1130	表 20 - 6 A/D変換時間の選択 (8/11) 注意2を変更	(c)
p.1131	表 20 - 6 A/D変換時間の選択 (9/11) 注意2を変更	(c)
p.1132	表 20 - 6 A/D変換時間の選択 (10/11) 注意2を変更	(c)
p.1133	表 20 - 6 A/D変換時間の選択 (11/11) 注意2を変更	(c)
p.1135	図 20 - 7 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット 注意2を変更	(a)
p.1137	図 20 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2) 説明を変更	(a)
p.1138	図 20 - 8 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (2/2) 説明を変更	(a)
p.1145	図 20 - 13 アナログ入力チャネル指定レジスタ (ADS) のフォーマット (2/2) 注意10を追加	(c)
p.1147	図 20 - 14 アナログ入力チャネル指定レジスタ (アドバンスド) (ADSn) のフォーマット (2/2) 旧注意11を削除	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様(スペック含む)の追加/変更、(c) : 説明、注意事項の追加/変更、
 (d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

(3/4)

箇所	内容	分類
p.1160	図20 - 26 ソフトウェア・セレクト・ノーウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例 注意2を追加	(c)
p.1173	20.6.13 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード) ⑦を変更、⑧を追加	(a)
p.1173	図20 - 37 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、連続変換モード) 動作タイミング例 を変更	(a)
p.1174	20.6.14 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) ⑧を変更、⑨を追加	(a)
p.1174	図20 - 38 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例 を変更	(a)
p.1175	20.6.15 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード) ①, ⑦を変更、⑧を追加	(a)
p.1175	図20 - 39 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、連続変換モード) 動作タイミング例 を変更	(a)
p.1176	20.6.16 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード) ①, ⑧を変更、⑨を追加	(a)
p.1176	図20 - 40 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例 を変更	(a)
p.1193	20.8.1 同時サンプリング設定方法 説明を追加	(c)
p.1199	図20 - 56 SNOOZEモード設定 (ハードウェア・トリガ) のフロー・チャート を変更	(a)
第24章 シリアル・アレイ・ユニット (SAU)		
p.1290	図24 - 12 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (2/2) 注意2を変更	(c)
p.1348	図24 - 58 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21) のスレーブ受信時のレジスタ設定内容例 備考2を変更	(a)
第25章 シリアル・インタフェースIICA (IICA)		
p.1523	25.6 タイミング・チャート ⑭の説明を変更	(c)
第27章 データ・トランスファ・コントローラ (DTC)		
p.1621	図27 - 4 コントロール・データの先頭アドレスとベクタ・テーブル を変更	(a)
p.1622	表27 - 3 DTC起動要因とベクタアドレス (1/2) を変更	(a)
p.1642	図27 - 20 リピート・モードの使用例2 : D/Aコンバータを使ったサイン波出力 を変更	(a)
第29章 割り込み機能		
p.1660	表29 - 1 割り込み要因一覧 (2/4) を変更	(a)
p.1682	表29 - 4 ベクタ割り込み処理までの時間 を変更	(a)
p.1684	図29 - 8 割り込み要求の受け付けタイミング (最小時間) を変更	(a)
p.1684	図29 - 9 割り込み要求の受け付けタイミング (最大時間) を変更	(a)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様(スペック含む)の追加/変更、(c) : 説明、注意事項の追加/変更、
 (d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

(4/4)

箇所	内容	分類
第35章 安全機能		
p.1749	35.1 安全機能の概要 説明と備考を変更	(a)
p.1754	35.3.2 CRC 演算機能 (汎用CRC) 説明を変更	(a)
p.1764	35.3.5 RAM ガード機能 説明を変更	(a)
p.1765	35.3.6 SFR ガード機能 説明を変更	(a)
第39章 フラッシュ・メモリ		
p.1812	図39-8 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れを変更	(a)
p.1860	39.9 セキュリティ設定 説明を変更	(a)
第42章 命令セットの概要		
p.1892	表42-5 オペレーション一覧 (17/18) 注3を追加	(a), (c)
第43章 電気的特性 (TA = -40°C ~ +105°C)		
p.1897	43.2.1 X1 発振回路特性 を変更	(c)
p.1897	43.2.2 XT1 発振回路特性 を変更	(c)
p.1908	43.3.2 電源電流特性 (TA = -40 ~ +105°C, 1.6V ≤ EVDD0 ≤ VDD ≤ 5.5V, VSS = EVSS0 = 0V) (2/5) 注1 を変更	(c)
p.1911	43.3.2 電源電流特性 (TA = -40 ~ +105°C, 1.6V ≤ EVDD0 ≤ VDD ≤ 5.5V, VSS = EVSS0 = 0V) (4/5) 注1 を変更	(c)
第44章 電気的特性 (TA = -40°C ~ +125°C)		
p.1979	44.2.1 X1 発振回路特性 を変更	(c)
p.1979	44.2.2 XT1 発振回路特性 を変更	(c)
p.1988	44.3.2 電源電流特性 (TA = -40 ~ +125°C, 2.7V ≤ EVDD0 ≤ VDD ≤ 5.5V, VSS = EVSS0 = 0V) (2/5) 注1 を変更	(c)
p.1991	44.3.2 電源電流特性 (TA = -40 ~ +125°C, 2.7V ≤ EVDD0 ≤ VDD ≤ 5.5V, VSS = EVSS0 = 0V) (4/5) 注1 を変更	(c)
p.1996	44.4 AC 特性 を変更	(a)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様(スペック含む)の追加/変更、(c) : 説明、注意事項の追加/変更、
 (d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/5)

版数	内容	適用箇所
Rev.0.80	初版発行	全般
Rev.1.00	1.1 特徴 を変更	第1章 概説
	図1-1 RL78/G24の型名とメモリ・サイズ、パッケージ を変更	
	表1-1 発注型名一覧 を変更	
	1.3.1 20ピン製品 図を変更	
	表1-2 20ピン製品の兼用機能 を変更	
	1.3.2 24ピン製品 図を変更	
	表1-3 24ピン製品の兼用機能 を変更	
	1.3.4 30ピン製品 図を変更	
	表1-5 30ピン製品の兼用機能 を変更	
	1.3.5 32ピン製品 図を変更	
	表1-6 32ピン製品の兼用機能 を変更	
	1.3.9 52ピン製品 図を変更	
	表1-10 52ピン製品の兼用機能 を変更	
	2.2.3 VBAT 端子 を追加	第2章 端子機能
	表2-2 各端子の未使用端子処理 を変更	
	表3-6 拡張SFR (2nd SFR) 一覧 を変更	第3章 CPUアーキテクチャ
	表4-15 各周辺機能のレジスタ (2nd SFR) のFAAアドレスとアクセスサイズ一覧 を変更	第4章 フレキシブル・アプリケーション・アクセラレータ (FAA)
	図9-22 ペリフェラル・クロックコントロールレジスタ (PCKC) のフォーマット注を変更	第9章 クロック発生回路
	9.6.4 PLL回路の設定例 を変更	
	表9-2 CPUクロックの移行とSFRレジスタの設定例 を変更	
	表12-13 タイマKB PWM出力ゲートモード時のTRDCMP を変更	第12章 タイマRD2
	13.3.18 タイマRG ジェネラルレジスタA, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD) を変更	第13章 タイマRG2
	15.1 16ビット・タイマKB30, KB31, KB32の機能 説明を変更	第15章 16ビット・タイマKB30, KB31, KB32
15.2.1 16ビット・タイマKBコンペア・レジスタnm (TKBCRnm) 説明を変更		
15.2.2 16ビット・タイマKBトリガ・コンペア・レジスタn (TKBTGCRn) 説明を変更		
15.3.6 16ビット・タイマKB動作制御レジスタn2 (TKBCTLn2) 説明を変更		
図15-9 16ビット・タイマKB動作制御レジスタn2 (TKBCTLn2) のフォーマット注意2を変更および旧注意3を削除		
図15-23 外部割り込み制御レジスタn (INTPCTLn) のフォーマット を変更		
図15-24 16ビット・タイマKB3n動作設定例 (動作開始フロー) を変更		

(2/5)

版数	内容	適用箇所
Rev.1.00	15.4.1 カウンタ基本動作 (2) クリア動作 説明を変更	第15章 16ビット・タイマ KB30, KB31, KB32
	15.4.4 一斉書き込み動作 (1) 一斉書き換えの手順 を変更	
	15.4.5 割り込み要求、A/D変換トリガの間引き制御 を追加	
	図15-46 単体動作時の構成図 (TKBCRn0レジスタによる周期制御) を変更	
	15.4.6 単体動作モード (TKBCRn0レジスタによる周期制御)	
	(5) 単体動作モード (TKBCRn0レジスタによる周期制御) でのレジスタ設定内容例 を変更	
	図15-50 単体動作時の構成図 (外部トリガ入力による周期制御) を変更	
	15.4.7 単体動作モード (外部トリガ入力による周期制御)	
	(4) 単体動作モード (外部トリガ入力による周期制御) でのレジスタ設定内容例 を変更	
	15.4.8 同時スタート/ストップ・モード (2) 同時スタート/ストップ・モード	
	マスタ: 単体動作モードでのレジスタ設定内容例 を変更	
	15.4.8 同時スタート/ストップ・モード (3) 同時スタート/ストップ・モード	
	スレーブ: 同時スタート/ストップ・モードでのレジスタ設定内容例 を変更	
	図15-53 同時スタート/ストップ・モード時の構成図 を変更	
	15.4.9 同時スタート/クリア・モード (1) 機能概要 説明を変更	
	15.4.9 同時スタート/クリア・モード (2) 同時スタート/クリア・モード	
	マスタ: 単体動作モードでのレジスタ設定内容例 を変更	
	15.4.9 同時スタート/クリア・モード (3) 同時スタート/クリア・モード	
	スレーブ: 同時スタート/クリア・モードでのレジスタ設定内容例 を変更	
	図15-55 同時スタート/クリア・モード時の構成図 (マスタによる周期制御) を変更	
	図15-56 同時スタート/クリア・モード動作タイミング例 を変更	
	15.4.10 インターリーブPFC (Power Factor Correction) 出力モード	
	(3) インターリーブPFC出力モードでのレジスタ設定一覧 を変更	
	15.5 16ビット・タイマKB30, KB31, KB32のオプション機能 備考を変更	
	15.5.2 PWM出力ディザリング機能 (1) 使用可能な動作モード 表を変更	
	15.5.3 PWM出力ソフト・スタート機能	
(1) PWM出力ソフト・スタート機能が使用可能な動作モード 表を変更		
15.5.4 PWM出力ゲート機能 (PWM出力ソフトスタート機能併用なし)		
(1) PWM出力ゲート機能で使用可能な動作モード 表を変更		
15.5.5 PWM出力ゲート機能 (PWM出力ソフトスタート機能併用あり)		
(1) PWM出力ゲート機能で使用可能な動作モード 表を変更		
15.5.6 最大周波数リミット機能 を変更		
15.5.7 マルチフェーズ機能 を追加		
15.6.1 強制出力停止機能1と強制出力停止機能2		
(2) 強制出力停止機能1/強制出力停止機能2の開始・解除条件 を変更		
表15-11 強制出力停止機能の構成 を変更		

版数	内容	適用箇所	
Rev.1.00	15.6.3 強制出力停止機能を制御するレジスタ を変更	第15章 16ビット・タイマ KB30, KB31, KB32	
	図15-90 強制出力停止機能制御レジスタ n3 (TKBPACTLn3) のフォーマット 注意2を追加		
	図15-91 強制出力停止機能制御レジスタ n4 (TKBPACTLn4) のフォーマット 注意を削除		
	15.6.3.5 パルス幅測定キャプチャレジスタ np (TKBPAPLSnp) タイトルを変更		
	図15-92 パルス幅測定キャプチャレジスタ np (TKBPAPLSnp) のフォーマット タイトルを変更		
	15.6.3.6 パルス幅測定キャプチャレジスタ npL (TKBPAPLSnpL) タイトルおよび説明を変更		
	図15-93 パルス幅測定キャプチャレジスタ npL (TKBPAPLSnpL) のフォーマット タイトルを変更		
	図15-103 TKBPAPLnp = 1での強制出力停止機能2 (Fixed off機能) 説明を変更		
	15.9 パルス幅測定機能の動作説明 を変更		
	表15-18 INTPmの機能、レジスタ設定とアクティブ信号幅の関係 および注2, 4, 5 を変更		
	図15-121 INTP0, INTP20, INTP21による強制出力停止要求信号、タイマ・リスタート要求信号の発生タイミング および注1, 3, 4を変更		
	表22-3 コンパレータ nの機能、レジスタ設定とアクティブ信号幅の関係 および注3, 5を変更		第22章 コンパレータ (CMP)
	図22-19 コンパレータ nによる強制出力停止要求信号、タイマ・リスタート要求信号の発生タイミング および注3, 4変更		
	図23-4 PGA制御レジスタ (PGACTL) のフォーマット 注意3を変更	第23章 プログラマブル・ゲイン・アンプ (PGA)	
	図23-5 PGA入力チャネル選択レジスタ (PGAINS) のフォーマット 注意2を変更		
	図23-7 プログラマブル・ゲイン・アンプの動作停止フロー 注意1を変更		
	全体修正	第26章 デジタル調光照明インタフェース (DALI)	
	36.2.2 フラッシュ・リード・プロテクションの設定 説明を変更	第36章 セキュリティ機能	
	43.1 絶対最大定格 を変更	第43章 電気的特性 (TA = -40°C ~ +105°C)	
	43.2.1 X1, XT1 発振回路特性 条件を変更		
	43.2.3 PLL 発振回路特性 注を削除		
	43.3.1 端子特性 注4~9を変更		
	43.3.1 端子特性 注4~8を変更		
	43.3.1 端子特性 を変更		
	43.3.2 電源電流特性 を変更		
	43.3.2 電源電流特性 周辺機能 (全製品共通) を変更および注20を追加		
	43.4 AC特性 を変更		
	43.5.1 シリアル・アレイ・ユニット 注3を変更		
	43.6.1 A/Dコンバータ特性 (1) 標準モード1, 2 および注3, 5を変更		

(4/5)

版数	内容	適用箇所
Rev.1.00	43.6.1 A/Dコンバータ特性 (2) 標準モード1, 2 (アドバンスド・モード) および注4, 6, 9を変更	第43章 電気的特性 (TA = -40°C ~ +105°C)
	43.6.1 A/Dコンバータ特性 (3) 低電圧モード1, 2 注6を変更	
	43.6.1 A/Dコンバータ特性 (4) 低電圧モード1, 2 (アドバンスド・モード) および注7, 9を変更	
	43.6.2 温度センサ/内部基準電圧特性 を変更	
	43.6.3 D/Aコンバータ特性 を変更	
	43.8 フラッシュ・メモリ・プログラミング特性 を変更	
	44.1 絶対最大定格 を変更	
	44.2.2 オンチップ・オシレータ特性 を変更	
	44.2.3 PLL発振回路特性 条件を変更および注を削除	
	44.3.1 端子特性 を変更	
	44.3.2 電源電流特性 を変更	
	44.3.2 電源電流特性 周辺機能 (全製品共通) を変更および注20を追加	
	44.4 AC特性 を変更	
	44.5.1 シリアル・アレイ・ユニット 旧(2) 同電位通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp... 内部クロック出力、CSI00のみ対応) を削除	
	44.5.1 シリアル・アレイ・ユニット 旧(7) 異電位 (2.5V系、3V系) 通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp... 内部クロック出力、CSI00のみ対応) を削除	
	44.5.1 シリアル・アレイ・ユニット (7) 異電位 (2.5V系、3V系) 通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp... 外部クロック入力) を変更	
	44.6.1 A/Dコンバータ特性 (1) 標準モード1, 2 および注3を変更	
	44.6.1 A/Dコンバータ特性 (2) 標準モード1, 2 (アドバンスド・モード) を変更	
	44.6.2 温度センサ/内部基準電圧特性 を変更	
	44.6.3 D/Aコンバータ特性 を変更	
	44.8 フラッシュ・メモリ・プログラミング特性 および(1) コード・フラッシュの条件を変更	
	44.9 専用フラッシュ・メモリ・プログラマ通信 (UART) 条件を変更	
	44.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング 条件を変更	
Rev.1.10	図1-1 RL78/G24の型名とメモリ・サイズ、パッケージ を変更	第1章 概説
	表1-1 発注型名一覧を変更	
	4.17.2 コード・フラッシュ・メモリに格納されているFAAのプログラムとデータのインストラクション・コード・メモリ、データ・メモリへの転送について説明を変更	第4章 フレキシブル・アプリケーション・アクセラレータ (FAA)
	図12-1 タイマRD2のブロック図 を変更	第12章 タイマRD2
	図12-5 タイマRDタイマKB PWM出力ゲートモード制御レジスタ (TRDBCR) のフォーマット を変更	

(5/5)

版数	内容	適用箇所
Rev.1.10	12.5.9 タイマKB PWM出力ゲートモード 説明を変更	第12章 タイマRD2
	表 12 - 28 タイマRD2 割り込み関連レジスタ を変更	
	図 16 - 26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の補正動作 を変更	第16章 リアルタイム・クロック (RTC)
	図 20 - 7 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット 注1を変更	第20章 A/Dコンバータ (ADC)
	図 20 - 14 アナログ入力チャネル指定レジスタ (アドバンスド) (ADSn) のフォーマット 注意3を変更	
	図 20 - 19 A/D変換サンプリング・モード指定レジスタ (ADSPMOD) のフォーマット 注意を変更	
	図 25 - 30 マルチマスタ・システムでのマスタ動作 を変更	第25章 シリアル・インタフェースIICA (IICA)
	43.3.2 電源電流特性 を変更	第43章 電气的特性 (TA = -40°C ~ +105°C)
	43.6.1 A/Dコンバータ特性 (1) 標準モード1, 2 を変更	
44.3.2 電源電流特性 を変更	第44章 電气的特性 (TA = -40°C ~ +125°C)	

RL78/G24 ユーザーズマニュアル
ハードウェア編

発行年月日 2023年2月7日 Rev.0.80
2025年1月17日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RL78/G24