

RL78/H1D

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

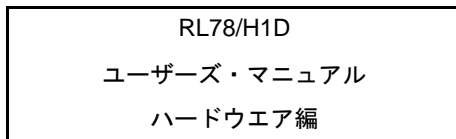
このマニュアルの使い方

対象者 このマニュアルは RL78/H1D の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

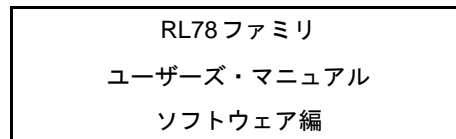
- 48ピン： R5F11NGx (x = F, G)
- 64ピン： R5F11NLx (x = F, G)
R5F11PLx (x = F, G)
- 80ピン： R5F11NMx (x = E, F, G)
R5F11RMG

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/H1Dのマニュアルは、このマニュアルとソフトウェア編(RL78ファミリ共通)の2冊に分かれています。



- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性



- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき

→ 目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr 指令で、sfr変数として定義されているものです。

□ RL78/H1Dマイクロコントローラの命令機能の詳細を知りたいとき

→ 別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015J)を参照してください。

凡例	データ表記の重み：	左が上位桁，右が下位桁
	アクティブ・ロウの表記：	<u>xxx</u> (端子，信号名称に上線)
	注：	本文中につけた注の説明
	注意：	気をつけて読んでいただきたい内容
	備考：	本文の補足説明
	数の表記：	2進数...xxxxまたはxxxxB
		10進数...xxxx
		16進数...xxxxH

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/H1D ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0xxxE
RL78ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	R20UT4025J	R20UT4025E
E1, E20エミュレータ ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 Liteエミュレータ ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	R20UT4066J	R20UT4066E
ルネサスフラッシュ開発ツールキット ユーザーズマニュアル	R20UT0508J	R20UT0508E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国 Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash® を使用しています。

目次

1.	概説	1
1.1	特徴	1
1.2	型名一覧	6
1.3	端子接続図 (Top View)	8
1.3.1	80ピン製品 (R5F11NM)	8
1.3.2	64ピン製品 (R5F11NL)	9
1.3.3	64ピン製品 (R5F11PL)	10
1.3.4	48ピン製品 (R5F11NG)	11
1.3.5	80ピン製品 (R5F11RM)	12
1.4	端子名称	13
1.5	ブロック図	14
1.5.1	80ピン製品 (R5F11NM)	14
1.5.2	64ピン製品 (R5F11NL)	15
1.5.3	64ピン製品 (R5F11PL), 48ピン製品 (R5F11NG)	16
1.5.4	80ピン製品 (R5F11RM)	17
1.6	機能概要	18
2.	端子機能	22
2.1	ポート機能	22
2.1.1	R5F11NM	23
2.1.2	R5F11NL	26
2.1.3	R5F11PL, R5F11NG	29
2.1.4	R5F11RM	31
2.2	ポート以外の機能	35
2.3	未使用端子の処理	41
2.3.1	R5F11N, R5F11P	41
2.3.2	R5F11R	42
2.4	端子ブロック図	43
3.	CPUアーキテクチャ	60
3.1	概要	60
3.2	メモリ空間	61
3.2.1	内部プログラム・メモリ空間	67
3.2.2	ミラー領域	70
3.2.3	内部データ・メモリ空間	72
3.2.4	特殊機能レジスタ (SFR : Special Function Register) 領域	73
3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	73
3.2.6	データ・メモリ・アドレッシング	74
3.3	プロセッサ・レジスタ	75
3.3.1	制御レジスタ	75
3.3.2	汎用レジスタ	78
3.3.3	ES, CSレジスタ	79
3.3.4	特殊機能レジスタ (SFR : Special Function Register)	80
3.3.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	86
3.4	命令アドレスのアドレッシング	99

3.4.1	レラティブ・アドレッシング	99
3.4.2	イミディエト・アドレッシング	99
3.4.3	テーブル・インダイレクト・アドレッシング	100
3.4.4	レジスタ・インダイレクト・アドレッシング	100
3.5	処理データ・アドレスに対するアドレッシング	101
3.5.1	インプライド・アドレッシング	101
3.5.2	レジスタ・アドレッシング	101
3.5.3	ダイレクト・アドレッシング	102
3.5.4	ショート・ダイレクト・アドレッシング	103
3.5.5	SFRアドレッシング	104
3.5.6	レジスタ・インダイレクト・アドレッシング	105
3.5.7	ベースト・アドレッシング	106
3.5.8	ベースト・インデクスト・アドレッシング	109
3.5.9	スタック・アドレッシング	110
4.	ポート機能	113
4.1	ポートの機能	113
4.2	ポートの構成 (R5F11N, R5F11P)	113
4.2.1	ポート0	114
4.2.2	ポート1	115
4.2.3	ポート3	116
4.2.4	ポート4	116
4.2.5	ポート5	117
4.2.6	ポート6	117
4.2.7	ポート7	117
4.2.8	ポート8	118
4.2.9	ポート12	118
4.2.10	ポート13	118
4.3	ポートの構成 (R5F11R)	119
4.3.1	ポート0	120
4.3.2	ポート1	120
4.3.3	ポート2	121
4.3.4	ポート3	121
4.3.5	ポート4	121
4.3.6	ポート5	122
4.3.7	ポート6	122
4.3.8	ポート7	122
4.3.9	ポート8	123
4.3.10	ポート12	123
4.3.11	ポート13	123
4.3.12	ポート15	123
4.4	ポート機能を制御するレジスタ	124
4.4.1	ポート・モード・レジスタ (PMxx)	129
4.4.2	ポート・レジスタ (Pxx)	130
4.4.3	プルアップ抵抗オプション・レジスタ (PUxx)	131
4.4.4	ポート入力モード・レジスタ (PIMxx)	132
4.4.5	ポート出力モード・レジスタ (POMxx)	133
4.4.6	ポート・モード・コントロール・レジスタ (PMCxx) (R5F11NL, R5F11NG, R5F11PL, R5F11RMのみ)	134

4.4.7	周辺I/Oリダイレクション・レジスタ0 (PIOR0)	135
4.4.8	周辺I/Oリダイレクション・レジスタ1 (PIOR1)	136
4.4.9	周辺I/Oリダイレクション・レジスタ2 (PIOR2) (R5F11NM, R5F11NL, R5F11RMのみ)	137
4.4.10	周辺I/Oリダイレクション・レジスタ3 (PIOR3)	138
4.4.11	LCDポート・ファンクション・レジスタ0-4 (PFSEG0-PFSEG4) (R5F11NM, R5F11NL, R5F11RMのみ)	139
4.4.12	LCD入力切り替え制御レジスタ (ISCLCD) (R5F11NM, R5F11NL, R5F11RMのみ)	141
4.5	ポート機能の動作	142
4.5.1	入出力ポートへの書き込み	142
4.5.2	入出力ポートからの読み出し	142
4.5.3	入出力ポートでの演算	142
4.5.4	入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応	143
4.6	兼用機能使用時のレジスタ設定	146
4.6.1	兼用機能使用時の基本的な考え方	146
4.6.2	出力機能を使用しない兼用機能のレジスタ設定	147
4.6.3	使用するポート機能および兼用機能のレジスタ設定例	149
4.6.4	SEGxx端子兼用ポートの動作	172
4.6.5	VL3, CAPL, CAPH端子兼用ポートの動作	174
4.7	ポート機能使用時の注意事項	176
4.7.1	ポート・レジスタn (Pn)に対する1ビット・メモリ操作命令に関する注意事項	176
4.7.2	端子設定に関する注意事項	177
5.	クロック発生回路	178
5.1	クロック発生回路の機能	178
5.2	クロック発生回路の構成	180
5.3	クロック発生回路を制御するレジスタ	183
5.3.1	クロック動作モード制御レジスタ (CMC)	184
5.3.2	システム・クロック制御レジスタ (CKC)	186
5.3.3	クロック動作ステータス制御レジスタ (CSC)	187
5.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	189
5.3.5	発振安定時間選択レジスタ (OSTS)	191
5.3.6	周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2)	193
5.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC)	199
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	201
5.3.9	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	202
5.4	システム・クロック発振回路	203
5.4.1	X1発振回路	203
5.4.2	XT1発振回路	203
5.4.3	高速オンチップ・オシレータ	207
5.4.4	低速オンチップ・オシレータ	207
5.5	クロック発生回路の動作	208
5.6	クロックの制御	210
5.6.1	高速オンチップ・オシレータの設定例	210
5.6.2	X1発振回路の設定例	212
5.6.3	XT1発振回路の設定例	213
5.6.4	CPUクロック状態移行図	214
5.6.5	CPUクロックの移行前の条件と移行後の処理	220
5.6.6	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	223

5.6.7	クロック発振停止前の条件	224
5.7	発振子と発振回路定数	225
6.	タイマ・アレイ・ユニット	226
6.1	タイマ・アレイ・ユニットの機能	227
6.1.1	単独チャンネル動作機能	227
6.1.2	複数チャンネル連動動作機能	228
6.1.3	8ビット・タイマ動作機能(チャンネル1, 3のみ)	229
6.1.4	LIN-bus対応機能(チャンネル7のみ)	230
6.2	タイマ・アレイ・ユニットの構成	231
6.2.1	タイマ・カウンタ・レジスタ mn (TCRmn)	237
6.2.2	タイマ・データ・レジスタ mn (TDRmn)	239
6.3	タイマ・アレイ・ユニットを制御するレジスタ	240
6.3.1	周辺イネーブル・レジスタ 0 (PER0)	241
6.3.2	タイマ・クロック選択レジスタ m (TPSm)	242
6.3.3	タイマ・モード・レジスタ mn (TMRmn)	245
6.3.4	タイマ・ステータス・レジスタ mn (TSRmn)	250
6.3.5	タイマ・チャンネル許可ステータス・レジスタ m (TEm)	251
6.3.6	タイマ・チャンネル開始レジスタ m (TSm)	252
6.3.7	タイマ・チャンネル停止レジスタ m (TTm)	254
6.3.8	タイマ入力選択レジスタ 0 (TIS0)	255
6.3.9	タイマ出力許可レジスタ m (TOEm)	256
6.3.10	タイマ出力レジスタ m (TOm)	257
6.3.11	タイマ出力レベル・レジスタ m (TOLm)	258
6.3.12	タイマ出力モード・レジスタ m (TOMm)	259
6.3.13	入力切り替え制御レジスタ (ISC)	260
6.3.14	ノイズ・フィルタ許可レジスタ 1 (NFEN1)	261
6.3.15	タイマ入出力端子のポート機能を制御するレジスタ	263
6.4	タイマ・アレイ・ユニットの基本ルール	264
6.4.1	複数チャンネル連動動作機能の基本ルール	264
6.4.2	8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)	266
6.5	カウンタの動作	267
6.5.1	カウント・クロック (f _{TCLK})	267
6.5.2	カウンタのスタート・タイミング	269
6.5.3	カウンタの動作	270
6.6	チャンネル出力 (TOmn 端子) の制御	275
6.6.1	TOmn 端子の出力回路の構成	275
6.6.2	TOmn 端子の出力設定	276
6.6.3	チャンネル出力操作時の注意事項	277
6.6.4	TOmn ビットの一括操作	282
6.6.5	カウント動作開始時のタイマ割り込みと TOmn 端子出力について	283
6.7	タイマ入力 (TImn) の制御	284
6.7.1	TImn の入力回路構成	284
6.7.2	ノイズ・フィルタ	284
6.7.3	チャンネル入力操作時の注意事項	285
6.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	286
6.8.1	インターバル・タイマ/方形波出力としての動作	286
6.8.2	外部イベント・カウンタとしての動作	291
6.8.3	入力パルス間隔測定としての動作	295

6.8.4	入力信号のハイ/ロウ・レベル幅測定としての動作	299
6.8.5	ディレイ・カウンタとしての動作	303
6.9	タイマ・アレイ・ユニットの複数チャネル連動動作機能	307
6.9.1	ワンショット・パルス出力機能としての動作	307
6.9.2	PWM機能としての動作	314
6.9.3	多重PWM出力機能としての動作	321
6.10	タイマ・アレイ・ユニット使用時の注意事項	329
6.10.1	タイマ出力使用時の注意事項	329
7.	8ビット・インターバル・タイマ	330
7.1	概要	331
7.2	入出力端子	332
7.3	レジスタの説明	332
7.3.1	8ビット・インターバル・タイマ・カウンタ・レジスタ _{ni} (TRT _{ni})	332
7.3.2	8ビット・インターバル・タイマ・カウンタ・レジスタ _n (TRT _n)	333
7.3.3	8ビット・インターバル・タイマ・コンペア・レジスタ _{ni} (TRTCMP _{ni})	334
7.3.4	8ビット・インターバル・タイマ・コンペア・レジスタ _n (TRTCMP _n)	335
7.3.5	8ビット・インターバル・タイマ制御レジスタ _n (TRTCR _n)	336
7.3.6	8ビット・インターバル・タイマ分周レジスタ _n (TRTMD _n)	337
7.4	動作説明	338
7.4.1	カウンタ・モード	338
7.4.2	タイマ動作	339
7.4.3	開始/停止タイミング	341
7.4.3.1	カウント・ソース (f _{SUB}) 選択時	341
7.4.3.2	カウント・ソース (f _{SUB} /2 ^m) 選択時	343
7.4.4	コンペア・レジスタ値の反映タイミング	345
7.4.5	8ビット・インターバル・タイマの設定手順	346
7.5	8ビット・インターバル・タイマ使用上の注意事項	347
7.5.1	動作モード設定変更について	347
7.5.2	コンペア・レジスタへのアクセスについて	347
7.5.3	8ビット・インターバル・タイマ設定手順について	347
8.	リアルタイム・クロック2	348
8.1	リアルタイム・クロック2の機能	348
8.2	リアルタイム・クロック2の構成	348
8.3	リアルタイム・クロック2を制御するレジスタ	350
8.3.1	周辺イネーブル・レジスタ0 (PER0)	351
8.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	352
8.3.3	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)	354
8.3.4	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)	356
8.3.5	秒カウント・レジスタ (SEC)	359
8.3.6	分カウント・レジスタ (MIN)	360
8.3.7	時カウント・レジスタ (HOUR)	361
8.3.8	日カウント・レジスタ (DAY)	363
8.3.9	曜日カウント・レジスタ (WEEK)	364
8.3.10	月カウント・レジスタ (MONTH)	365
8.3.11	年カウント・レジスタ (YEAR)	366
8.3.12	時計誤差補正レジスタ (SUBCUD)	367
8.3.13	アラーム分レジスタ (ALARMWWM)	370

8.3.14	アラーム時レジスタ (ALARMWH)	371
8.3.15	アラーム曜日レジスタ (ALARMWW)	372
8.4	リアルタイム・クロック2の動作	373
8.4.1	リアルタイム・クロック2の動作開始	373
8.4.2	動作開始後のHALT/STOPモードへの移行	374
8.4.3	リアルタイム・クロック2のカウンタ読み出し	375
8.4.4	リアルタイム・クロック2のカウンタ書き込み	376
8.4.5	リアルタイム・クロック2のアラーム設定	377
8.4.6	リアルタイム・クロック2の1 Hz出力	378
8.4.7	時計誤差補正レジスタの設定手順	379
8.4.8	リアルタイム・クロック2の時計誤差補正例	380
9.	12ビット・インターバル・タイマ	382
9.1	12ビット・インターバル・タイマの機能	382
9.2	12ビット・インターバル・タイマの構成	382
9.3	12ビット・インターバル・タイマを制御するレジスタ	382
9.3.1	周辺イネーブル・レジスタ1 (PER1)	383
9.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	384
9.3.3	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)	385
9.4	12ビット・インターバル・タイマの動作	386
9.4.1	12ビット・インターバル・タイマの動作タイミング	386
9.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、 再度HALT/STOPモードへの移行	387
10.	タイマRJ (R5F11Rのみ)	388
10.1	タイマRJnの機能	388
10.2	タイマRJnの構成	389
10.3	タイマRJを制御するレジスタ	390
10.3.1	周辺イネーブル・レジスタ2 (PER2)	391
10.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	392
10.3.3	タイマRJカウンタレジスタ n (TRJn)	393
10.3.4	タイマRJ制御レジスタ n (TRJCRn)	394
10.3.5	タイマRJ I/O制御レジスタ n (TRJIOCn)	396
10.3.6	タイマRJモードレジスタ n (TRJMRn)	399
10.3.7	タイマRJイベント端子選択レジスタ n (TRJISRn)	401
10.3.8	ポート・モード・レジスタ 1, 8 (PM1, PM8)	402
10.4	タイマRJnの動作	403
10.4.1	リロードレジスタとカウンタの書き換え動作	403
10.4.2	タイマモード	404
10.4.3	パルス出力モード	405
10.4.4	イベントカウンタモード	406
10.4.5	パルス幅測定モード	408
10.4.6	パルス周期測定モード	409
10.4.7	イベント・リンク・コントローラ (ELC) との連携による動作	411
10.4.8	各モード出力設定	412
10.5	タイマRJn使用上の注意事項	413
10.5.1	カウント動作開始, 停止制御	413
10.5.2	フラグへのアクセス (TRJCRnレジスタのTEDGFn, TUNDFnビット)	413
10.5.3	カウンタレジスタへのアクセス	413

10.5.4	モード変更時	414
10.5.5	TRJOn, TRJlOn端子の設定手順	414
10.5.6	タイマR _{Jn} 未使用時	414
10.5.7	タイマR _{Jn} 動作クロック停止時	415
10.5.8	STOPモード(イベントカウンタモード)の設定手順	415
10.5.9	STOPモード(イベントカウンタモードのみ)での機能制限	415
10.5.10	TSTOPnビットによる強制カウント停止時	415
10.5.11	デジタルフィルタ	415
10.5.12	カウントソースにfilを選択する場合	416
11.	サンプリング出力タイマ/ディテクタ (R5F11Rのみ)	417
11.1	サンプリング出力タイマ/ディテクタの機能	417
11.2	サンプリング出力タイマ/ディテクタの構成	418
11.3	サンプリング出力タイマ/ディテクタを制御するレジスタ	420
11.4	サンプリング出力タイマ/ディテクタの動作	432
11.4.1	サンプリング・クロック出力機能	433
11.4.2	サンプリング・ディテクタ機能	436
11.4.3	サンプリング出力タイマ/ディテクタ機能の動作設定	437
12.	外部サンプリング (R5F11Rのみ)	441
12.1	外部サンプリングの機能	441
12.2	外部サンプリングの構成	441
12.3	外部サンプリングを制御するレジスタ	443
12.4	サンプリング・クロック出力の動作	446
12.5	外部サンプリングの動作	447
12.6	注意事項	449
13.	クロック出力/ブザー出力制御回路	450
13.1	クロック出力/ブザー出力制御回路の機能	450
13.2	クロック出力/ブザー出力制御回路の構成	452
13.3	クロック出力/ブザー出力制御回路を制御するレジスタ	452
13.3.1	クロック出力選択レジスタn (CKSn)	452
13.3.2	クロック出力/ブザー出力端子のポート機能を制御するレジスタ	454
13.4	クロック出力/ブザー出力制御回路の動作	455
13.4.1	出力端子の動作	456
13.5	クロック出力/ブザー出力制御回路の注意事項	457
14.	ウォッチドッグ・タイマ	458
14.1	ウォッチドッグ・タイマの機能	458
14.2	ウォッチドッグ・タイマの構成	459
14.3	ウォッチドッグ・タイマを制御するレジスタ	460
14.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	460
14.4	ウォッチドッグ・タイマの動作	461
14.4.1	ウォッチドッグ・タイマの動作制御	461
14.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	463
14.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	464
14.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	466
14.4.5	ウォッチドッグ・タイマの注意事項	466

15.	アナログ・フロントエンド電源回路 (R5F11N, R5F11Pのみ)	467
15.1	アナログ・フロントエンド電源回路の機能	467
15.2	アナログ・フロントエンド電源回路の構成	468
15.3	アナログ・フロントエンド電源回路を制御するレジスタ	469
15.3.1	周辺イネーブル・レジスタ1 (PER1)	469
15.3.2	アナログ・フロントエンド電源選択レジスタ (AFEPWS)	470
15.3.3	アナログ・フロントエンド電源検出レジスタ (AFEPWD)	471
15.3.4	センサ用基準電圧設定レジスタ (VSBIAS)	472
15.4	AFE用内部基準電圧生成回路	473
15.4.1	AFE用内部基準電圧生成回路の概要	473
15.4.2	AFE用内部基準電圧生成回路の構成	473
15.4.3	AFE用内部基準電圧生成回路の動作	474
15.5	センサ用電源回路 (SBIAS)	474
15.5.1	センサ用電源回路 (SBIAS) の概要	474
15.5.2	センサ用電源回路 (SBIAS) の構成	475
15.5.3	センサ用電源回路 (SBIAS) の動作	475
15.6	PGA0, $\Delta\Sigma$ /Dコンバータの内部電源回路 (REGA)	476
15.6.1	内部電源回路 (REGA) の概要	476
15.6.2	内部電源回路 (REGA) の構成	476
15.7	アナログ・フロントエンド電源制御フロー	477
16.	プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ /Dコンバータ (R5F11N, R5F11Pのみ)	479
16.1	プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータの機能	479
16.2	プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータの構成	480
16.3	入力マルチプレクサ	481
16.3.1	入力マルチプレクサの概要	481
16.3.2	入力マルチプレクサの構成	482
16.3.3	入力マルチプレクサを制御するレジスタ	483
16.4	プログラマブル・ゲイン計装アンプ (PGA0)	484
16.4.1	プログラマブル・ゲイン計装アンプ (PGA0) の概要	484
16.4.2	プログラマブル・ゲイン計装アンプ (PGA0) の構成	485
16.4.3	入力電圧範囲	486
16.4.4	差動入力モードでの入力電圧範囲	486
16.4.5	シングルエンド入力モードでの入力電圧範囲	488
16.4.6	プログラマブル・ゲイン計装アンプ (PGA0) を制御するレジスタ	489
16.5	24ビット $\Delta\Sigma$ /Dコンバータ	493
16.5.1	24ビット $\Delta\Sigma$ /Dコンバータの概要	493
16.5.2	24ビット $\Delta\Sigma$ /Dコンバータの構成	494
16.5.3	24ビット $\Delta\Sigma$ /Dコンバータへの入力電圧と A/D 変換結果	495
16.5.4	24ビット $\Delta\Sigma$ /Dコンバータを制御するレジスタ	496
16.5.5	$\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN)	513
16.5.6	デジタル・フィルタの概要	515
16.5.7	デジタル・フィルタの構成	515
16.6	プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータ制御フロー	516
16.7	プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータの注意事項	517

17.	アンプ・ユニット (R5F11N, R5F11Pのみ)	518
17.1	アンプ・ユニットの機能	520
17.2	アンプ・ユニットの構成	521
17.3	アンプ・ユニットを制御するレジスタ	524
17.3.1	周辺イネーブル・レジスタ1 (PER1)	525
17.3.2	アナログ・フロントエンド電源選択レジスタ (AFEPWS)	526
17.3.3	アンプ・モード制御レジスタ (AMPMC)	527
17.3.4	アンプ・トリガ・モード制御レジスタ (AMPTRM)	528
17.3.5	アンプELCトリガ選択レジスタ (AMPTRS)	529
17.3.6	アンプ制御レジスタ (AMPC)	530
17.3.7	アンプ制御信号モニタ・レジスタ (AMPMON)	531
17.3.8	アンプ・ユニット0 ゲイン設定レジスタ (PGA1GC)	532
17.3.9	アンプ・ユニット0 入力選択レジスタ (PGA1S)	533
17.3.10	アンプ・ユニット1 入力選択レジスタ (AMP0S)	534
17.3.11	アンプ・ユニット2 入力選択レジスタ (AMP1S)	535
17.3.12	アンプ・ユニット3 入力選択レジスタ (AMP2S)	536
17.4	動作説明	537
17.4.1	状態遷移図	537
17.4.2	アンプ・ユニット制御動作	538
17.4.3	ソフトウェア・トリガ・モード	542
17.4.4	ELCトリガ・モード	543
17.4.5	ELCおよびA/Dトリガ・モード	544
17.5	アンプ・ユニットの注意事項	545
18.	D/Aコンバータ (R5F11N, R5F11Pのみ)	546
18.1	D/Aコンバータの機能	546
18.2	D/Aコンバータの構成	547
18.3	D/Aコンバータを制御するレジスタ	548
18.3.1	周辺イネーブル・レジスタ1 (PER1)	549
18.3.2	アナログ・フロントエンド電源選択レジスタ (AFEPWS)	550
18.3.3	D/Aコンバータ・モード・レジスタ0 (DACM0)	551
18.3.4	D/Aコンバータ・モード・レジスタ1 (DACM1)	552
18.3.5	D/A変換値設定レジスタ0 (DAC0DR)	553
18.3.6	D/A変換値設定レジスタ1 (DAC1DR)	554
18.3.7	イベント出力先選択レジスタn (ELSELRn), n = 00 ~ 25	555
18.4	D/Aコンバータの動作	556
18.4.1	通常モード時の動作	556
18.4.2	リアルタイム出力モード時の動作	557
18.4.3	D/A変換値の出力タイミング	558
18.5	D/Aコンバータ使用上の注意事項	559
19.	A/Dコンバータ	560
19.1	A/Dコンバータの機能	560
19.2	A/Dコンバータの構成	563
19.3	A/Dコンバータを制御するレジスタ	565
19.3.1	周辺イネーブル・レジスタ0 (PER0)	566
19.3.2	A/Dコンバータ・モード・レジスタ0 (ADM0)	567
19.3.3	A/Dコンバータ・モード・レジスタ1 (ADM1)	575
19.3.4	A/Dコンバータ・モード・レジスタ2 (ADM2)	576

19.3.5	10ビットA/D変換結果レジスタ(ADCR)	579
19.3.6	8ビットA/D変換結果レジスタ(ADCRH)	579
19.3.7	アナログ入力チャンネル指定レジスタ(ADS)	580
19.3.8	変換結果比較上限値設定レジスタ(ADUL)	581
19.3.9	変換結果比較下限値設定レジスタ(ADLL)	581
19.3.10	A/Dテスト・レジスタ(ADTES)	582
19.3.11	アナログ入力端子のポート機能を制御するレジスタ	583
19.4	A/Dコンバータの変換動作	584
19.5	入力電圧と変換結果	586
19.6	A/Dコンバータの動作モード	587
19.6.1	ソフトウェア・トリガ・モード(連続変換モード)	587
19.6.2	ソフトウェア・トリガ・モード(ワンショット変換モード)	588
19.6.3	ハードウェア・トリガ・ノーウエイト・モード(連続変換モード)	589
19.6.4	ハードウェア・トリガ・ノーウエイト・モード(ワンショット変換モード)	590
19.6.5	ハードウェア・トリガ・ウエイト・モード(連続変換モード)	591
19.6.6	ハードウェア・トリガ・ウエイト・モード(ワンショット変換モード)	592
19.7	A/Dコンバータの設定フロー・チャート	593
19.7.1	ソフトウェア・トリガ・モード設定	594
19.7.2	ハードウェア・トリガ・ノーウエイト・モード設定	595
19.7.3	ハードウェア・トリガ・ウエイト・モード設定	596
19.7.4	温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)	597
19.7.5	テスト・モード設定	598
19.8	SNOOZEモード機能	599
19.9	A/Dコンバータ特性表の読み方	602
19.10	A/Dコンバータの注意事項	605
20.	シリアル・アレイ・ユニット	609
20.1	シリアル・アレイ・ユニットの機能	610
20.1.1	簡易SPI(CSI00, CSI10, CSI20)	610
20.1.2	UART(UART0-UART2)	611
20.1.3	簡易I ² C(IIC00, IIC10, IIC20)	612
20.2	シリアル・アレイ・ユニットの構成	613
20.2.1	シフト・レジスタ	617
20.2.2	シリアル・データ・レジスタmn(SDRmn)の下位8/9ビット	617
20.3	シリアル・アレイ・ユニットを制御するレジスタ	619
20.3.1	周辺イネーブル・レジスタ0(PER0)	620
20.3.2	シリアル・クロック選択レジスタm(SPSm)	621
20.3.3	シリアル・モード・レジスタmn(SMRmn)	622
20.3.4	シリアル通信動作設定レジスタmn(SCRmn)	623
20.3.5	シリアル・データ・レジスタmn(SDRmn)	626
20.3.6	シリアル・フラグ・クリア・トリガ・レジスタmn(SIRmn)	628
20.3.7	シリアル・ステータス・レジスタmn(SSRmn)	629
20.3.8	シリアル・チャンネル開始レジスタm(SSm)	631
20.3.9	シリアル・チャンネル停止レジスタm(STm)	632
20.3.10	シリアル・チャンネル許可ステータス・レジスタm(SEm)	633
20.3.11	シリアル出力許可レジスタm(SOEm)	634
20.3.12	シリアル出力レジスタm(SOm)	635
20.3.13	シリアル出力レベル・レジスタm(SOLm)	636

20.3.14	シリアル・スタンバイ・コントロール・レジスタ m (SSCm)	638
20.3.15	入力切り替え制御レジスタ (ISC)	639
20.3.16	ノイズ・フィルタ許可レジスタ 0 (NFEN0)	640
20.3.17	シリアル入出力端子のポート機能を制御するレジスタ	641
20.4	動作停止モード	642
20.4.1	ユニット単位で動作停止とする場合	642
20.4.2	チャンネルごとに動作停止とする場合	643
20.5	簡易SPI(CSI) (CSI00, CSI10, CSI20)通信の動作	644
20.5.1	マスタ送信	646
20.5.2	マスタ受信	654
20.5.3	マスタ送受信	662
20.5.4	スレーブ送信	670
20.5.5	スレーブ受信	678
20.5.6	スレーブ送受信	684
20.5.7	SNOOZEモード機能	692
20.5.8	転送クロック周波数の算出	696
20.5.9	簡易SPI (CSI00, CSI10, CSI20)通信時におけるエラー発生時の処理手順	698
20.6	スレーブセレクト入力機能付クロック同期シリアル通信の動作	699
20.6.1	スレーブ送信	702
20.6.2	スレーブ受信	712
20.6.3	スレーブ送受信	719
20.6.4	転送クロック周波数の算出	729
20.6.5	スレーブセレクト入力機能付クロック同期シリアル通信時における エラー発生時の処理手順	731
20.7	UART (UART0-UART2)通信の動作	732
20.7.1	UART送信	734
20.7.2	UART受信	743
20.7.3	SNOOZEモード機能	750
20.7.4	ボー・レートの算出	758
20.7.5	UART (UART0-UART2)通信時におけるエラー発生時の処理手順	762
20.8	LIN通信の動作	763
20.8.1	LIN送信	763
20.8.2	LIN受信	766
20.9	簡易I ² C (IIC00, IIC10, IIC20)通信の動作	771
20.9.1	アドレス・フィールド送信	773
20.9.2	データ送信	778
20.9.3	データ受信	781
20.9.4	ストップ・コンディション発生	785
20.9.5	転送レートの算出	786
20.9.6	簡易I ² C (IIC00, IIC10, IIC20)通信時におけるエラー発生時の処理手順	788
21.	シリアル・インタフェースIICA	789
21.1	シリアル・インタフェースIICAの機能	789
21.2	シリアル・インタフェースIICAの構成	792
21.3	シリアル・インタフェースIICAを制御するレジスタ	795
21.3.1	周辺イネーブル・レジスタ 0 (PER0)	796
21.3.2	IICAコントロール・レジスタ n0 (IICCTLn0)	796
21.3.3	IICAステータス・レジスタ n (IICSn)	801
21.3.4	IICAフラグ・レジスタ n (IICFn)	803

21.3.5	IICAコントロール・レジスタ n1 (IICCTLn1)	805
21.3.6	IICAロウ・レベル幅設定レジスタ n (IICWLn)	807
21.3.7	IICAハイ・レベル幅設定レジスタ n (IICWHn)	807
21.3.8	ポート・モード・レジスタ 6 (PM6)	808
21.4	I ² Cバス・モードの機能	809
21.4.1	端子構成	809
21.4.2	IICWLn, IICWHnレジスタによる転送クロック設定方法	810
21.5	I ² Cバスの定義および制御方法	812
21.5.1	スタート・コンディション	812
21.5.2	アドレス	813
21.5.3	転送方向指定	813
21.5.4	アクノリッジ(ACK)	814
21.5.5	ストップ・コンディション	815
21.5.6	クロック・ストレッチ	816
21.5.7	クロック・ストレッチ解除方法	818
21.5.8	割り込み要求(INTIICAn)発生タイミングおよびクロック・ストレッチ制御	819
21.5.9	アドレスの一致検出方法	820
21.5.10	エラーの検出	820
21.5.11	拡張コード	821
21.5.12	アービトレーション	822
21.5.13	ウエイク・アップ機能	824
21.5.14	通信予約	827
21.5.15	その他の注意事項	831
21.5.16	通信動作	832
21.5.17	I ² C割り込み要求(INTIICAn)の発生タイミング	840
21.6	タイミング・チャート	861
22.	シリアル・インタフェースUARTMG (R5F11Rのみ)	876
22.1	概要	876
22.2	レジスタの説明	878
22.2.1	周辺イネーブル・レジスタ 2 (PER2)	879
22.2.2	クロックダブラ制御レジスタ (CLKDCTL)	880
22.2.3	送信バッファレジスタ (TXBMGn) (n = 0)	881
22.2.4	受信バッファレジスタ (RXBMGn) (n = 0)	882
22.2.5	動作モード設定レジスタ 0 (ASIMMGn0) (n = 0)	883
22.2.6	動作モード設定レジスタ 1 (ASIMMGn1) (n = 0)	885
22.2.7	ポー・レート・ジェネレータコントロールレジスタ (BRGCMGn) (n = 0)	887
22.2.8	ステータス・レジスタ (ASISMGn) (n = 0)	888
22.2.9	ステータス・クリア・トリガ・レジスタ (ASCTMGn) (n = 0)	891
22.3	動作説明	892
22.3.1	動作停止モード	892
22.3.2	UARTモード	892
22.3.3	受信データのノイズフィルタ	906
22.3.4	ポー・レート・ジェネレータ	907
22.4	使用上の注意事項	912
22.4.1	RXDMGn端子のPORT設定手順	912

23.	LCDコントローラ／ドライバ (R5F11NM, R5F11NL, R5F11RMのみ)	913
23.1	LCDコントローラ／ドライバの機能	914
23.2	LCDコントローラ／ドライバの構成	918
23.3	LCDコントローラ／ドライバを制御するレジスタ	920
23.3.1	LCDモード・レジスタ0 (LCDM0)	921
23.3.2	LCDモード・レジスタ1 (LCDM1)	923
23.3.3	サブシステム・クロック供給オプション制御レジスタ (OSMC)	925
23.3.4	LCDクロック制御レジスタ0 (LCDC0)	927
23.3.5	LCD昇圧レベル制御レジスタ (VLCD)	928
23.3.6	LCD入力切り替え制御レジスタ (ISCLCD)	929
23.3.7	LCDポート・ファンクション・レジスタ0-4 (PFSEG0-PFSEG4)	931
23.3.8	セグメント出力端子のポート機能を制御するレジスタ	935
23.4	LCD表示データ・レジスタ	936
23.5	LCD表示レジスタの選択	939
23.5.1	Aパターン領域, Bパターン領域のデータ表示	939
23.5.2	点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)	940
23.6	LCDコントローラ／ドライバの設定	941
23.7	動作停止手順	944
23.8	LCD駆動電圧VL1, VL2, VL3, VL4の供給	945
23.8.1	外部抵抗分割方式	945
23.8.2	内部昇圧方式	947
23.8.3	容量分割方式	948
23.9	コモン信号とセグメント信号	949
23.10	表示モード	958
23.10.1	スタティック表示例	958
23.10.2	2時分割表示例	961
23.10.3	3時分割表示例	964
23.10.4	4時分割表示例	968
23.10.5	6時分割表示例	972
23.10.6	8時分割表示例	975
24.	データ・トランスファ・コントローラ (DTC)	979
24.1	DTCの機能	980
24.2	DTCの構成	981
24.3	DTCを制御するレジスタ	982
24.3.1	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	983
24.3.2	コントロールデータの配置	984
24.3.3	ベクタテーブル	985
24.3.4	周辺イネーブル・レジスタ1 (PER1)	987
24.3.5	DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)	988
24.3.6	DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)	989
24.3.7	DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)	990
24.3.8	DTC転送回数リロードレジスタj (DTRLDj) (j = 0 ~ 23)	990
24.3.9	DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)	991
24.3.10	DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)	991
24.3.11	DTC起動許可レジスタi (DTCENi) (i = 0 ~ 4)	991
24.3.12	DTCベースアドレスレジスタ (DTCBAR)	994
24.4	DTCの動作	995

24.4.1	起動要因	996
24.4.2	ノーマルモード	997
24.4.3	リピートモード	1000
24.4.4	チェーン転送	1004
24.5	DTC使用上の注意事項	1006
24.5.1	DTCレジスタおよびベクタテーブルの設定	1006
24.5.2	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	1006
24.5.3	DTC保留命令	1007
24.5.4	データ・フラッシュ空間にアクセスする場合の動作	1008
24.5.5	DTC実行クロック数	1009
24.5.6	DTC応答時間	1010
24.5.7	DTC起動要因	1011
24.5.8	スタンバイ・モード時の動作	1012
25.	イベントリンクコントローラ (ELC)	1013
25.1	ELCの機能	1013
25.2	ELCの構成	1013
25.3	ELCを制御するレジスタ	1014
25.3.1	イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 25)	1015
25.4	ELCの動作	1018
26.	割り込み機能	1020
26.1	割り込み機能の種類	1020
26.2	割り込み要因と構成	1021
26.3	割り込み機能を制御するレジスタ	1027
26.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)	1031
26.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)	1033
26.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)	1035
26.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)	1038
26.3.5	プログラム・ステータス・ワード (PSW)	1040
26.4	割り込み処理動作	1041
26.4.1	マスカブル割り込み要求の受け付け動作	1041
26.4.2	ソフトウェア割り込み要求の受け付け動作	1044
26.4.3	多重割り込み処理	1045
26.4.4	除算命令中の割り込み処理	1049
26.4.5	割り込み要求の保留	1051
27.	スタンバイ機能	1052
27.1	スタンバイ機能	1052
27.2	スタンバイ機能を制御するレジスタ	1054
27.3	スタンバイ機能の動作	1055
27.3.1	HALTモード	1055
27.3.2	STOPモード	1063
27.3.3	SNOOZEモード	1069

28.	リセット機能	1073
28.1	リセット動作のタイミング	1075
28.2	リセット期間中の動作状態	1077
28.3	リセット要因を確認するレジスタ	1079
28.3.1	リセット・コントロール・フラグ・レジスタ (RESF)	1079
28.3.2	パワーオン・リセット・ステータス・レジスタ (PORSR)	1081
29.	パワーオン・リセット回路	1083
29.1	パワーオン・リセット回路の機能	1083
29.2	パワーオン・リセット回路の構成	1084
29.3	パワーオン・リセット回路の動作	1085
30.	電圧検出回路	1088
30.1	電圧検出回路の機能	1088
30.2	電圧検出回路の構成	1089
30.3	電圧検出回路を制御するレジスタ	1089
30.3.1	電圧検出レジスタ (LVIM)	1090
30.3.2	電圧検出レベル・レジスタ (LVIS)	1091
30.4	電圧検出回路の動作	1094
30.4.1	リセット・モードとして使用する場合の設定	1094
30.4.2	割り込みモードとして使用する場合の設定	1096
30.4.3	割り込み&リセット・モードとして使用する場合の設定	1098
30.5	電圧検出回路の注意事項	1104
31.	安全機能	1106
31.1	安全機能の概要	1106
31.2	安全機能で使用するレジスタ	1107
31.3	安全機能の動作	1107
31.3.1	フラッシュ・メモリCRC演算機能(高速CRC)	1107
31.3.1.1	フラッシュ・メモリCRC制御レジスタ (CRC0CTL)	1108
31.3.1.2	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	1109
31.3.2	CRC演算機能(汎用CRC)	1111
31.3.2.1	CRC入力レジスタ (CRCIN)	1111
31.3.2.2	CRCデータ・レジスタ (CRCD)	1112
31.3.3	RAMパリティ・エラー検出機能	1113
31.3.3.1	RAMパリティ・エラー制御レジスタ (RPECTL)	1113
31.3.4	RAMガード機能	1115
31.3.4.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1115
31.3.5	SFRガード機能	1116
31.3.5.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1116
31.3.6	不正メモリ・アクセス検出機能	1117
31.3.6.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1118
31.3.7	周波数検出機能	1119
31.3.7.1	タイマ入力選択レジスタ 0 (TIS0)	1120
31.3.8	A/Dテスト機能	1121
31.3.8.1	A/Dテスト・レジスタ (ADTES)	1123
31.3.8.2	アナログ入力チャネル指定レジスタ (ADS)	1124
31.3.9	入出力端子のデジタル出力信号レベル検出機能	1125
31.3.9.1	ポート・モード選択レジスタ (PMS)	1125

32.	レギュレータ	1126
32.1	レギュレータの概要	1126
33.	オプション・バイト	1127
33.1	オプション・バイトの機能	1127
33.1.1	ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)	1127
33.1.2	オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)	1129
33.2	ユーザ・オプション・バイトのフォーマット	1130
33.3	オンチップ・デバッグ・オプション・バイトのフォーマット	1134
33.4	オプション・バイトの設定	1135
34.	フラッシュ・メモリ	1136
34.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	1138
34.1.1	プログラミング環境	1140
34.1.2	通信方式	1140
34.2	外部デバイス(UART内蔵)によるシリアル・プログラミング	1142
34.2.1	プログラミング環境	1142
34.2.2	通信方式	1143
34.3	オンボード上の端子処理	1144
34.3.1	P40/TOOL0端子	1144
34.3.2	RESET端子	1145
34.3.3	ポート端子	1145
34.3.4	REGC端子	1145
34.3.5	X1, X2端子	1146
34.3.6	電源	1146
34.4	シリアル・プログラミング方法	1147
34.4.1	シリアル・プログラミング手順	1147
34.4.2	フラッシュ・メモリ・プログラミング・モード	1148
34.4.3	通信方式	1150
34.4.4	通信コマンド	1151
34.5	PG-FP6使用時の各コマンド処理時間(参考値)	1153
34.6	セルフ・プログラミング	1154
34.6.1	セルフ・プログラミング手順	1155
34.6.2	ブート・スワップ機能	1156
34.6.3	フラッシュ・シールド・ウインドウ機能	1158
34.7	セキュリティ設定	1159
34.8	データ・フラッシュ	1161
34.8.1	データ・フラッシュの概要	1161
34.8.2	データ・フラッシュを制御するレジスタ	1162
34.8.2.1	データ・フラッシュ・コントロール・レジスタ(DFLCTL)	1162
34.8.3	データ・フラッシュへのアクセス手順	1163
35.	オンチップ・デバッグ機能	1164
35.1	E1オンチップデバッグエミュレータとの接続	1164
35.2	オンチップ・デバッグ・セキュリティID	1165
35.3	ユーザ資源の確保	1165

36.	10進補正(BCD)回路	1167
36.1	10進補正回路の機能	1167
36.2	10進補正回路で使用するレジスタ	1167
36.2.1	BCD補正結果レジスタ(BCDADJ)	1167
36.3	10進補正回路の動作	1168
37.	命令セットの概要	1170
37.1	凡例	1171
37.1.1	オペランドの表現形式と記述方法	1171
37.1.2	オペレーション欄の説明	1172
37.1.3	フラグ動作欄の説明	1173
37.1.4	PREFIX命令	1174
37.2	オペレーション一覧	1175
38.	電气的特性(R5F11N, R5F11P)(A: TA = -40 ~ +85°C)	1193
38.1	絶対最大定格	1194
38.2	発振回路特性	1197
38.2.1	X1, XT1発振回路特性	1197
38.2.2	オンチップ・オシレータ特性	1198
38.3	DC特性	1199
38.3.1	端子特性	1199
38.3.2	電源電流特性	1204
38.4	AC特性	1211
38.4.1	基本動作	1211
38.5	周辺機能特性	1215
38.5.1	シリアル・アレイ・ユニット	1215
38.5.2	シリアル・インタフェースIICA	1236
38.6	アナログ特性	1239
38.6.1	A/Dコンバータ特性	1239
38.6.2	温度センサ/内部基準電圧出力特性	1240
38.6.3	POR回路特性	1241
38.6.4	LVD回路特性	1242
38.6.5	プログラマブル・ゲイン計装アンプ, 24ビット $\Delta\Sigma$ A/Dコンバータ	1244
38.6.6	センサ用電源(SBIAS)	1246
38.6.7	内部バイアス電源	1246
38.6.8	計装アンプ(PGA1)	1247
38.6.9	オペアンプ0(AMP0)	1249
38.6.10	オペアンプ1, 2(AMP1, AMP2)	1250
38.6.11	8ビットD/Aコンバータ(DAC0)	1251
38.6.12	12ビットD/Aコンバータ(DAC1)	1252
38.7	電源電圧立ち上がり傾き特性	1252
38.8	LCD特性	1253
38.8.1	外部抵抗分割方式	1253
38.8.2	内部昇圧方式	1254
38.8.3	容量分割方式	1256
38.9	RAMデータ保持特性	1257
38.10	フラッシュ・メモリ・プログラミング特性	1257
38.11	専用フラッシュ・メモリ・プログラマ通信(UART)	1257
38.12	フラッシュ・メモリ・プログラミング・モード引き込みタイミング	1258

39.	電气的特性 (R5F11R) (D: TA = -40 ~ +85°C)	1259
39.1	絶対最大定格	1260
39.2	発振回路特性	1263
39.2.1	X1, XT1 特性	1263
39.2.2	オンチップ・オシレータ特性	1263
39.3	DC 特性	1264
39.3.1	端子特性	1264
39.3.2	電源電流特性	1270
39.4	AC 特性	1277
39.5	周辺機能特性	1282
39.5.1	シリアル・アレイ・ユニット	1282
39.5.2	シリアル・インタフェース UARTMG	1303
39.5.3	シリアル・インタフェース IICA	1304
39.6	アナログ特性	1307
39.6.1	A/D コンバータ特性	1307
39.6.2	温度センサ/内部基準電圧出力特性	1308
39.6.3	POR 回路特性	1309
39.6.4	LVD 回路特性	1310
39.7	電源電圧立ち上がり傾き特性	1311
39.8	LCD 特性	1312
39.8.1	外部抵抗分割方式	1312
39.8.2	内部昇圧方式	1313
39.8.3	容量分割方式	1315
39.9	RAM データ保持特性	1316
39.10	フラッシュ・メモリ・プログラミング特性	1316
39.11	専用フラッシュ・メモリ・プログラマ通信 (UART)	1316
39.12	フラッシュ・メモリ・プログラミング・モード引き込みタイミング	1317
40.	外形図	1318
40.1	48 ピン製品	1318
40.2	64 ピン製品	1319
40.3	80 ピン製品	1321
付録 A	改版履歴	1322
A.1	本版で改訂された主な箇所	1322
A.2	前版までの改版履歴	1323

第1章 概説

1.1 特徴

○超低消費電力テクノロジー

- VDD = 2.4 ~ 5.5 V

(10ビットSAR ADC : 2.4 ~ 5.5 V, アナログ・フロントエンド(AFE)の動作電圧 : 2.7 ~ 5.5 V) 注1, VDD = 1.8 ~ 5.5 V注2

- HALTモード
- STOPモード
- SNOOZEモード

○RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ

- 最小命令実行時間 : 高速(0.04167 μ s : 高速オンチップ・オシレータ・クロック 24 MHz動作時)から超低速(30.5 μ s : サブシステム・クロック 32.768 kHz動作時)までを変更可能

- 乗除・積和演算命令対応
- アドレス空間 : 1 Mバイト
- 汎用レジスタ : 8ビット・レジスタ \times 8 \times 4バンク
- 内蔵RAM : 5.5 KB注1, 8 KB注2

○コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ : 64 ~ 128 KB
- ブロック・サイズ : 1 KB
- ブロック消去禁止, 書き換え禁止(セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング : ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

○データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ : 4 KB
- バックグラウンド・オペレーション(BGO) : データ・フラッシュ書き換え中に, プログラム・メモリ内の命令実行が可能
- 書き換え回数 : 1,000,000回 (TYP.)
- 書き換え電圧 : VDD = 2.4 ~ 5.5 V注1, 1.8 ~ 5.5 V注2

○高速オンチップ・オシレータ

- 24 MHz / 16 MHz / 12 MHz / 8 MHz / 6 MHz / 4 MHz / 3 MHz / 2 MHz / 1 MHzから選択
- 高精度±1.0% (VDD = 2.4 ~ 5.5 V, TA = -20 ~ +85 °C 注1, VDD = 1.8 ~ 5.5 V, TA = -20 ~ +85 °C 注2)

○動作周囲温度

- TA = -40 ~ +85°C (A : 民生用途注1, D : 産業用途注2)

○電源管理とリセット機能

- パワーオン・リセット(POR)回路内蔵
- 電圧検出(LVD)回路内蔵(割り込み, リセットを9注1, 12注2段階で選択)

○データ・トランスファ・コントローラ(DTC)

- 転送モード : ノーマル転送モード, リピート転送モード, ブロック転送モード
- 起動要因 : 割り込み要因により起動 (35要因)
- チェイン転送機能あり

○イベント・リンク・コントローラ(ELC)

- 18 ~ 26種類のイベント信号を特定の周辺機能へリンク可能

○シリアル・インタフェース

- 簡易SPI(CSI注3) / 簡易SPI(CSI) (SPI対応) : 3チャンネル
- UART / UART(LIN-bus対応) : 3チャンネル
- I²C / 簡易I²C : 4チャンネル
- シリアル・インタフェースUARTMG(9600bps@38.4KHz) : 1チャンネル (R5F11Rのみ)

○タイマ

- 16ビット・タイマ : タイマ・アレイ・ユニット(TAU) : 8チャンネル, タイマRJ : 2チャンネル (R5F11Rのみ)
- 8ビット・タイマ : 2チャンネル注1, 6チャンネル注2
- 12ビット・インターバル・タイマ : 1チャンネル
- リアルタイム・クロック2 : 1チャンネル(99年カレンダー, アラーム機能, 時計補正機能)
- ウォッチドッグ・タイマ : 1チャンネル(専用の低速オンチップ・オシレータ・クロックで動作可能)
- 外部サンプリング : 1チャンネル (R5F11Rのみ)
- サンプリング出力タイマ / ディテクタ (SMOTD) : 入力6チャンネル, 出力3チャンネル (R5F11Rのみ)

○LCDコントローラ／ドライバ

- 内部昇圧／容量分割／外部抵抗分割を切り替え可能
- セグメント信号出力：27 (23) ～36 (32) 本注⁴
- コモン信号出力：4 (8) 本注⁴

○アナログ・フロントエンド(AFE)電源回路 (R5F11N, R5F11Pのみ)

- AFE 基準電源回路(ABGR)
- 内部回路電力供給用LDO(REGA)
- センサ電力供給用LDO(SBIAS)：0.5～2.2 V

○プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータ (R5F11N, R5F11Pのみ)

- 24ビット分解能2次 $\Delta\Sigma$ /Dコンバータ ($AV_{DD} = 2.7 \sim 5.5$ V)
 - SNDR：85 dB(TYP.)
 - 出力データ・レート：488 sps～15.625 ksps@ノーマル・モード
61 sps～1.953 ksps@ロウ・パワー・モード
- プログラマブル・ゲイン計装アンプ(PGA0)
 - アナログ入力：1～5チャンネル(差動入力, シングルエンド入力)
 - オフセット調整用D/Aコンバータ搭載
 - 可変ゲイン：x1～x64

○アンプ・ユニット (R5F11N, R5F11Pのみ)

- プログラマブル・ゲイン計装アンプ(PGA1)：1チャンネル (R5F11NL, R5F11PL, R5F11NGのみ)
 - アナログ入力：1～2チャンネル
 - 可変ゲイン：x12, x16, x20, x24
- rail to rail オペアンプ(AMP0)：1チャンネル
- 汎用オペアンプ(AMP1, AMP2)：2チャンネル (R5F11NL, R5F11PL, R5F11NGのみ)

○D/Aコンバータ (R5F11N, R5F11Pのみ)

- 8ビット分解能R-2Rラダー抵抗方式D/Aコンバータ (DAC0) ($AV_{DD} = 2.7 \sim 5.5$ V)：1チャンネル
- 12ビット分解能R-2Rラダー抵抗方式D/Aコンバータ (DAC1) ($AV_{DD} = 2.7 \sim 5.5$ V)：1チャンネル (R5F11NL, R5F11PL, R5F11NGのみ)

○10ビット SAR A/Dコンバータ

- 10ビット分解能A/Dコンバータ ($V_{DD} = 2.4 \sim 5.5$ V^{注1}, $V_{DD} = 1.8 \sim 5.5$ V^{注2})
- アナログ入力：3チャンネル
- 内部基準電圧(TYP. 1.45 V)^{注5}と温度センサを搭載^{注5}

○入出力ポート

- I/Oポート : 29~63本(N-chオープン・ドレイン入出力[6 V耐圧] : 2本)
- N-chオープン・ドレイン, TTL入力バッファ, 内蔵プルアップの切り替え可能
- クロック出力/ブザー出力制御回路内蔵

○その他

- 10進補正(BCD)回路内蔵

注1. R5F11N, R5F11Pの場合です。

注2. R5F11Rの場合です。

注3. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

注4. ()内は8 com使用時の信号出力本数です。

注5. HS (高速メイン)モードのみ選択可能です。

備考 製品により、搭載している機能が異なります。1.6 機能概要を参照してください。

OROM, RAM容量

フラッシュ ROM	データ・フラッシュ	RAM	RL78/H1D			
			80ピンLFQFP	64ピンLFQFP	64ピンTFBGA	48ピンLFQFP
128 KB	4 KB	5.5 KB	R5F11NMG	R5F11NLG	R5F11PLG	R5F11NGG
96 KB	4 KB	5.5 KB	R5F11NMF	R5F11NLF	R5F11PLF	R5F11NGF
64 KB	4 KB	5.5 KB	R5F11NME	—	—	—
128 KB	4 KB	8 KB	R5F11RMG	—	—	—

1.2 型名一覧

★

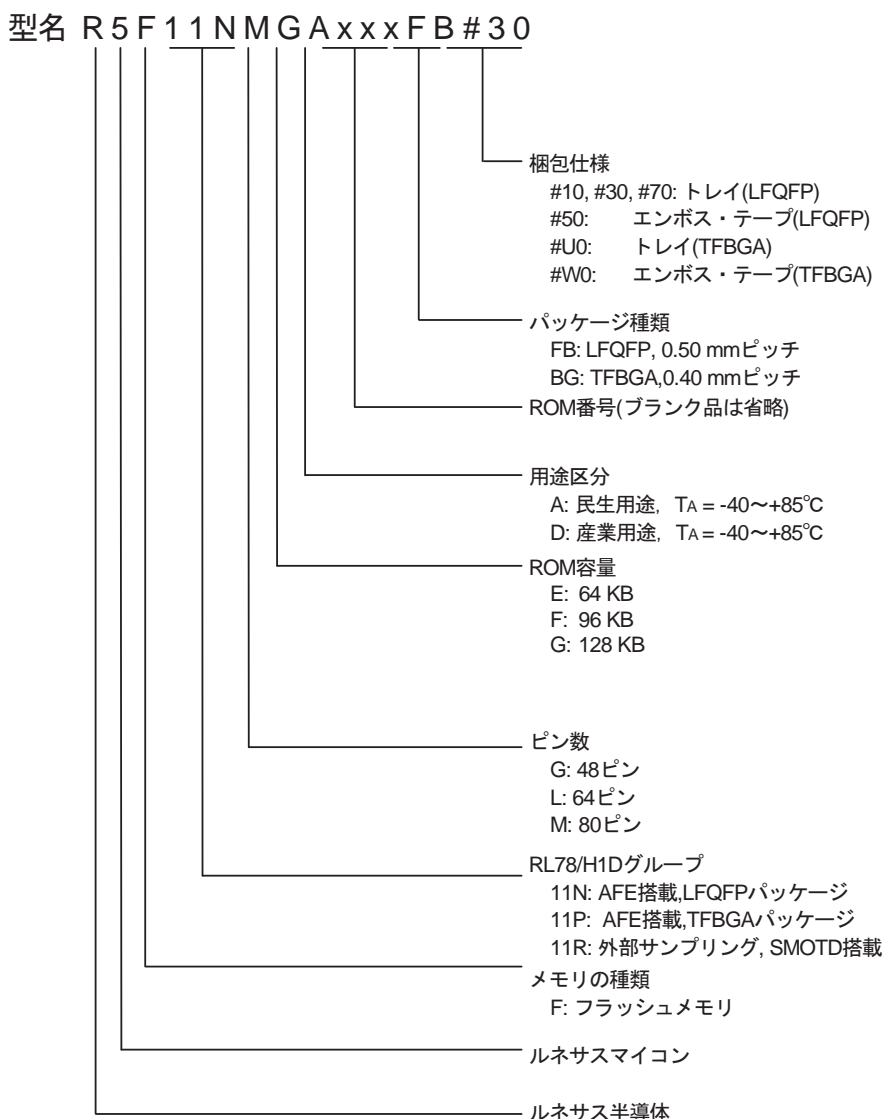
ピン数	パッケージ	用途区分	発注型名		ルネサス・コード
			品名	梱包仕様	
80ピン	80ピン・プラスチックLFQFP (12 × 12 mm, 0.5 mm ピッチ)	A	R5F11NMGAFB, R5F11NMFafb, R5F11NMEAFB	#10, #30, #50, #70	PLQP0080KB-B
64ピン	64ピン・プラスチックLFQFP (10 × 10 mm, 0.5 mm ピッチ)	A	R5F11NLGAFB, R5F11NLFAFB	#10, #30, #50, #70	PLQP0064KB-C
64ピン	64ピン・プラスチックTFBGA (4 × 4 mm, 0.4 mm ピッチ)	A	R5F11PLGABG, R5F11PLFABG	#U0, #W0	PTBG0064LA-A
48ピン	48ピン・プラスチックLFQFP (7 × 7 mm, 0.5 mm ピッチ)	A	R5F11NGGAFB, R5F11NGFAFB	#10, #30, #50, #70	PLQP0048KB-B
80ピン	80ピン・プラスチックLFQFP (12 × 12 mm, 0.5 mm ピッチ)	D	R5F11RMGDFB	#10, #30, #50, #70	PLQP0080KB-B

備考1. 64ピンTFBGA製品(R5F11PL)は、48ピンLFQFP製品(R5F11NG)の同一機能のパッケージ違い製品です。

備考2. 用途区分は、型名とメモリ・サイズ・パッケージを参照してください。

★

図1-1 RL78/H1Dの型名とメモリ・サイズ・パッケージ

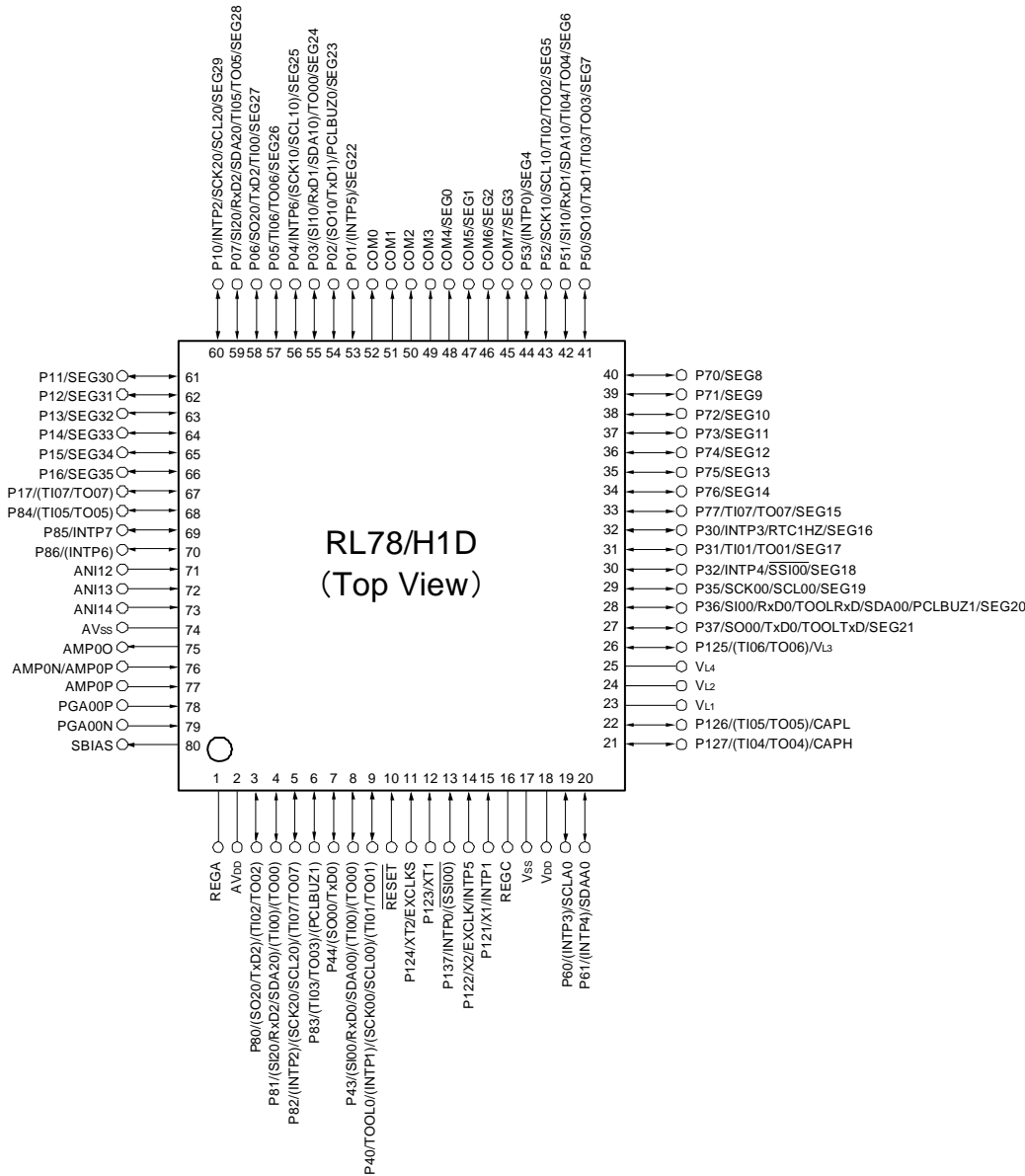


注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

1.3 端子接続図 (Top View)

1.3.1 80ピン製品 (R5F11NM)

• 80ピン・プラスチック LQFP (12 × 12 mm, 0.5 mm ピッチ)

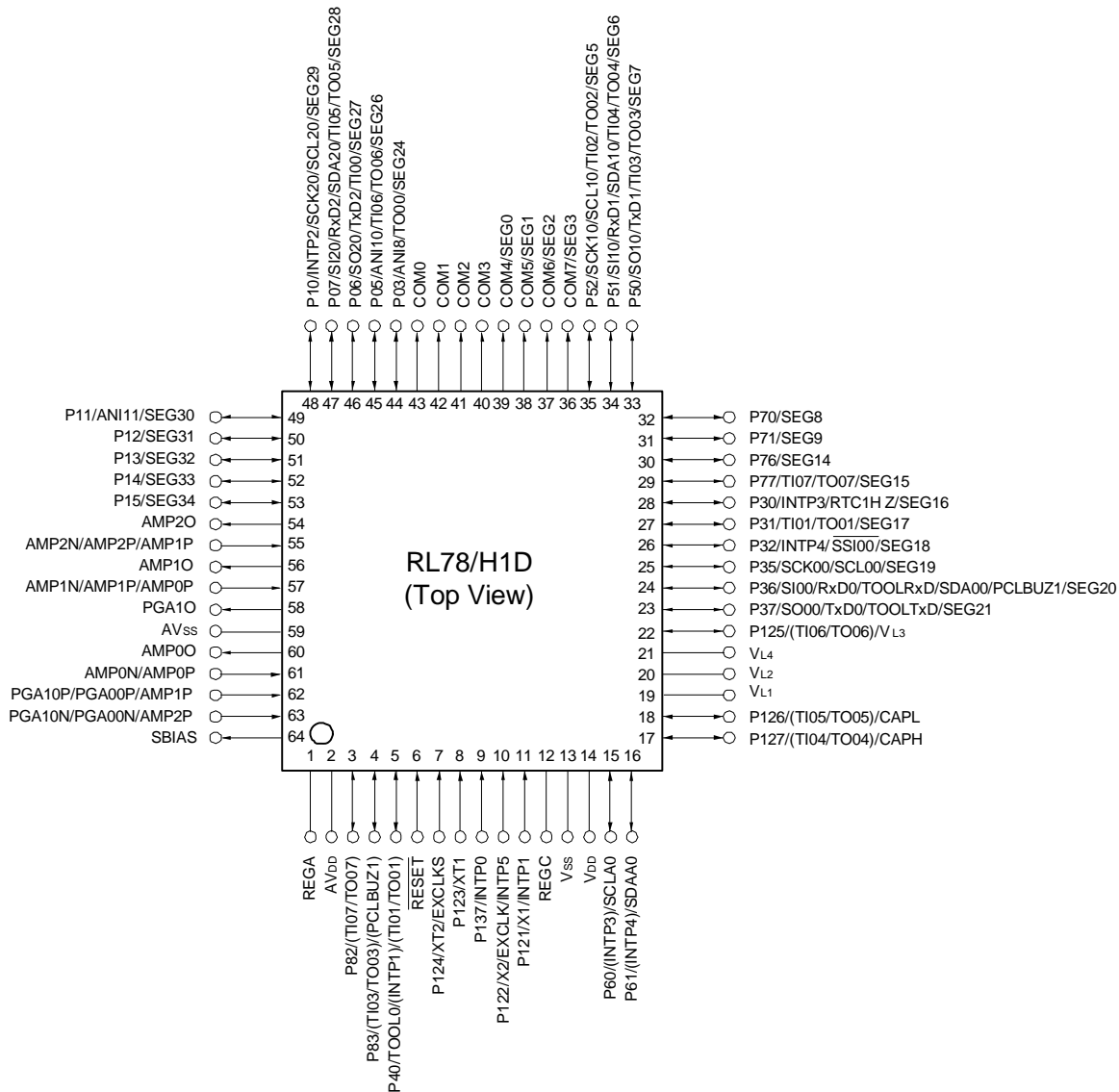


- 注意1. REGC端子はコンデンサ(0.47 ~ 1 μF)を介し、Vss端子に接続してください。
- 注意2. REGA端子はコンデンサ(0.22 μF)を介し、AVss端子に接続してください。
- 注意3. AVss端子はVss端子と同電位にしてください。
- 注意4. AVDD端子はVDD端子と同電位にしてください。
- 注意5. SBIAS端子はコンデンサ(0.22 μF)を介し、AVss端子に接続してください。

- 備考1. 端子名称は、1.4 端子名称を参照してください。
- 備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0,1,2,3(PIOR0,1,2,3)の設定により割り当て可能です。
- 備考3. 上図のAMP0P, AMP0N機能は、アンプ・ユニット1入力選択レジスタ(AMP0S)で設定してください。

1.3.2 64ピン製品(R5F11NL)

•64ピン・プラスチックLFQFP(10×10mm, 0.5mmピッチ)



注意1. REGC端子はコンデンサ(0.47~1μF)を介し、Vss端子に接続してください。

注意2. REGA端子はコンデンサ(0.22μF)を介し、AVss端子に接続してください。

注意3. AVss端子はVss端子と同電位にしてください。

注意4. AVDD端子はVDD端子と同電位にしてください。

注意5. SBIAS端子はコンデンサ(0.22μF)を介し、AVss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1, 2, 3(PIOR0, 1, 2, 3)の設定により割り当て可能です。

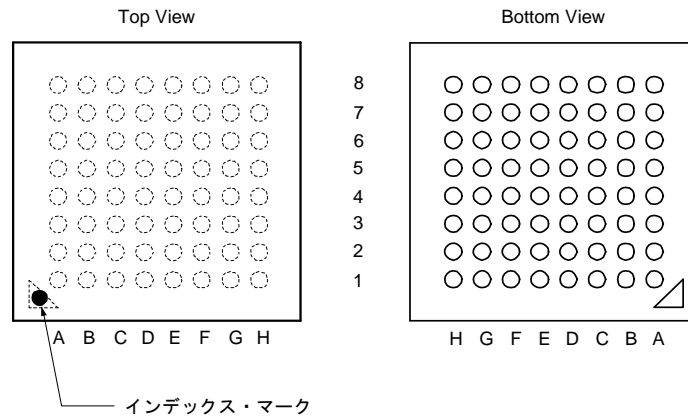
備考3. 上図のAMP0P, AMP0N機能は、アンプ・ユニット1入力選択レジスタ(AMP0S)で設定してください。

上図のAMP1P, AMP1N機能は、アンプ・ユニット2入力選択レジスタ(AMP1S)で設定してください。

上図のAMP2P, AMP2N機能は、アンプ・ユニット3入力選択レジスタ(AMP2S)で設定してください。

1.3.3 64ピン製品(R5F11PL)

• 64ピン・プラスチックTFBGA (4 × 4 mm, 0.4 mmピッチ)



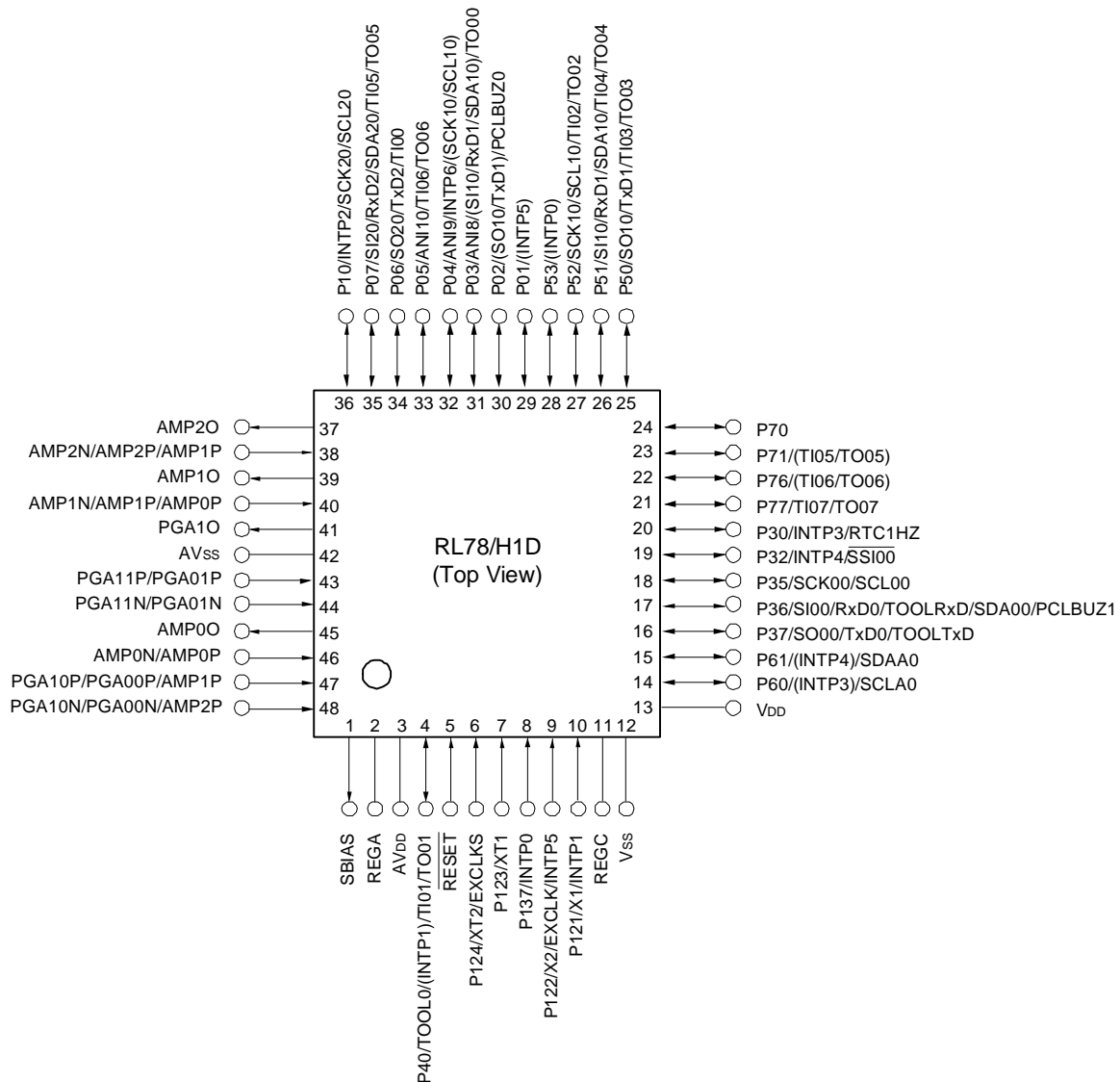
	A	B	C	D	E	F	G	H	
8	Vss	P71/(TI05/ TO05)	P77/(TI07/ TO07)	P35/SCK00/ SCL00	P36/SI00/ RxD0/ TOOLRxD/ SDA00/ PCLBUZ1	P61/(INTP4)/ SDAA0	VDD	Vss	8
7	P50/SO10/ TxD1/TI03/ TO03	P51/SI10/ RxD1/ SDA10/ TI04/TO04	P76/(TI06/ TO06)	P32/INTP4/ SSI00	P37/SO00/ TxD0/ TOOLTxD	P60/(INTP3)/ SCLA0	Vss	P121/X1/ INTP1	7
6	P53/(INTP0)	P52/SCK10/ SCL10/TI02/ TO02	P70	P30/INTP3/ RTC1HZ	Vss	RESET	REGC	P122/X2/ EXCLK/ INTP5	6
5	P02/(SO10/ TxD1)/ PCLBUZ0	P03/ANI8/ (SI10/RxD1/ SDA10)/ TO00	P04/ANI9/ INTP6/ (SCK10/ SCL10)	P01/(INTP5)	Vss	P40/TOOL0/ (INTP1) /TI01/TO01	P137/INTP0	P123/XT1	5
4	P05/ANI10/ TI06/TO06	P07/SI20/ RxD2/ SDA20/ TI05/TO05	P06/SO20/ TxD2/TI00	P10/INTP2/ SCK20/ SCL20	Vss	Vss	Vss	P124/XT2/ EXCLKS	4
3	AMP1O	AVss	AVss	AVss	AVss	AVss	REGA	AVDD	3
2	AMP2O	AMP1N/ AMP1P/ AMP0P	PGA11P/ PGA01P	PGA11N/ PGA01N	AMP0N/ AMP0P	AVss	AVss	SBIAS	2
1	AVss	AMP2N/ AMP2P/ AMP1P	PGA1O	AVss	AMP0O	PGA10P/ PGA00P/ AMP1P	PGA10N/ PGA00N/ AMP2P	SBIAS	1
	A	B	C	D	E	F	G	H	

- 注意1. REGC端子はコンデンサ(0.47~1 μF)を介し、Vss端子に接続してください。
- 注意2. REGA端子はコンデンサ(0.22 μF)を介し、AVss端子に接続してください。
- 注意3. AVss端子はVss端子と同電位にしてください。
- 注意4. AVDD端子はVDD端子と同電位にしてください。
- 注意5. SBIAS端子 (2ピンのうち、いずれか1ピン)はコンデンサ(0.22 μF)を介し、AVss端子に接続してください。

- 備考1. 端子名称は、1.4 端子名称を参照してください。
- 備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0,1,3(PIOR0, 1, 3)の設定により割り当て可能です。
- 備考3. 上図のAMP0P, AMP0N機能は、アンプ・ユニット1入力選択レジスタ(AMP0S)で設定してください。
上図のAMP1P, AMP1N機能は、アンプ・ユニット2入力選択レジスタ(AMP1S)で設定してください。
上図のAMP2P, AMP2N機能は、アンプ・ユニット3入力選択レジスタ(AMP2S)で設定してください。

1.3.4 48ピン製品(R5F11NG)

- 48ピン・プラスチックLFQFP (7 × 7 mm, 0.5 mmピッチ)



注意1. REGC端子はコンデンサ(0.47~1 μF)を介し、VSS端子に接続してください。

注意2. REGA端子はコンデンサ(0.22 μF)を介し、AVSS端子に接続してください。

注意3. AVSS端子はVSS端子と同電位にしてください。

注意4. AVDD端子はVDD端子と同電位にしてください。

注意5. SBIAS端子はコンデンサ(0.22 μF)を介し、AVSS端子に接続してください

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1, 3(PIOR0, 1, 3)の設定により割り当て可能です。

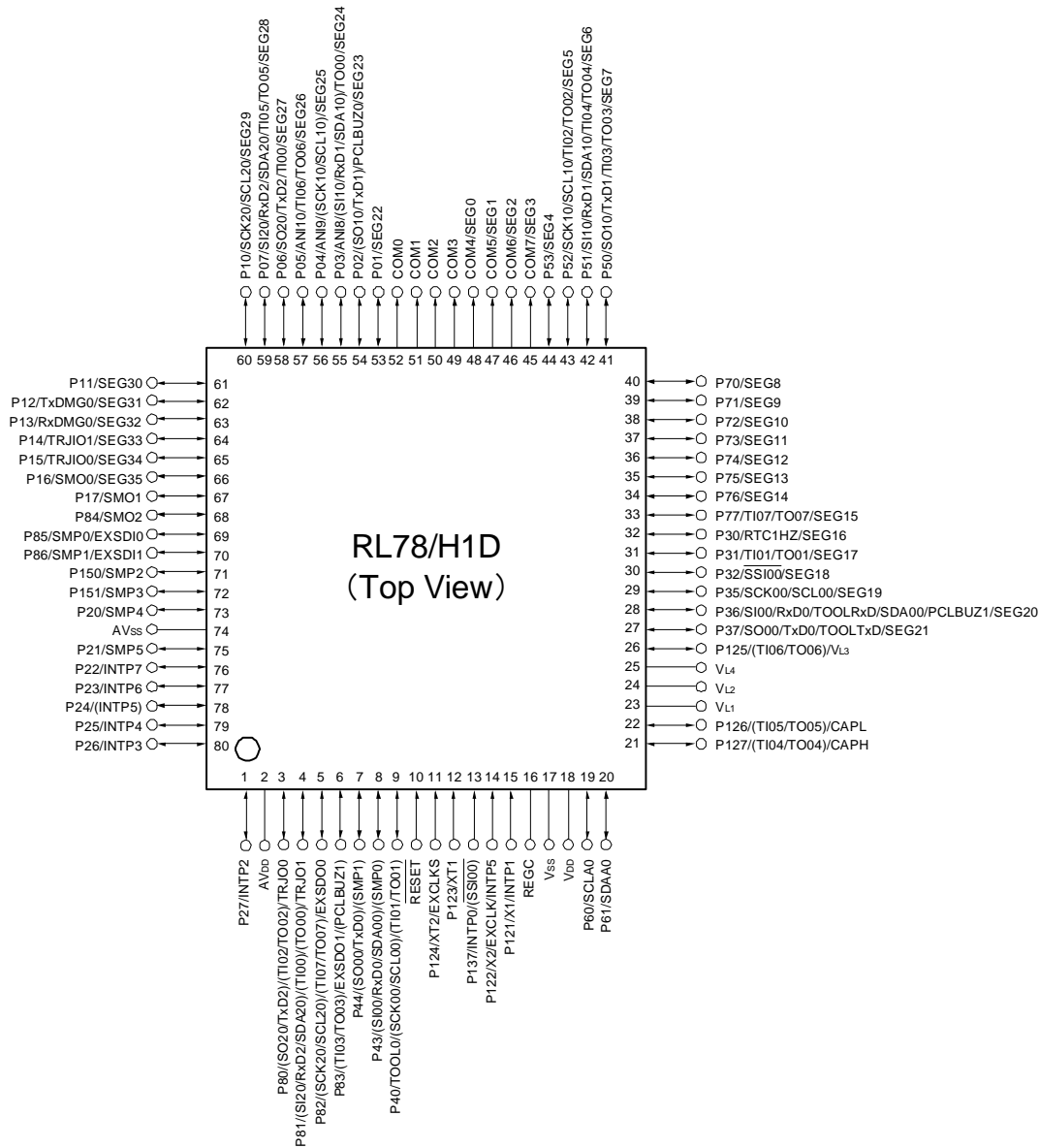
備考3. 上図のAMP0P, AMP0N機能は、アンプ・ユニット1入力選択レジスタ(AMP0S)で設定してください。

上図のAMP1P, AMP1N機能は、アンプ・ユニット2入力選択レジスタ(AMP1S)で設定してください。

上図のAMP2P, AMP2N機能は、アンプ・ユニット3入力選択レジスタ(AMP2S)で設定してください。

1.3.5 80ピン製品(R5F11RM)

• 80ピン・プラスチックLFQFP (12×12 mm, 0.5 mmピッチ)



注意1. REGC端子はコンデンサ(0.47~1 μF)を介し、Vss端子に接続してください。

注意2. AVSS端子はVss端子と同電位にしてください。

注意3. AVDD端子はVDD端子と同電位にしてください。

備考1. 端子名称は、1.4 端子名称を参照してください。

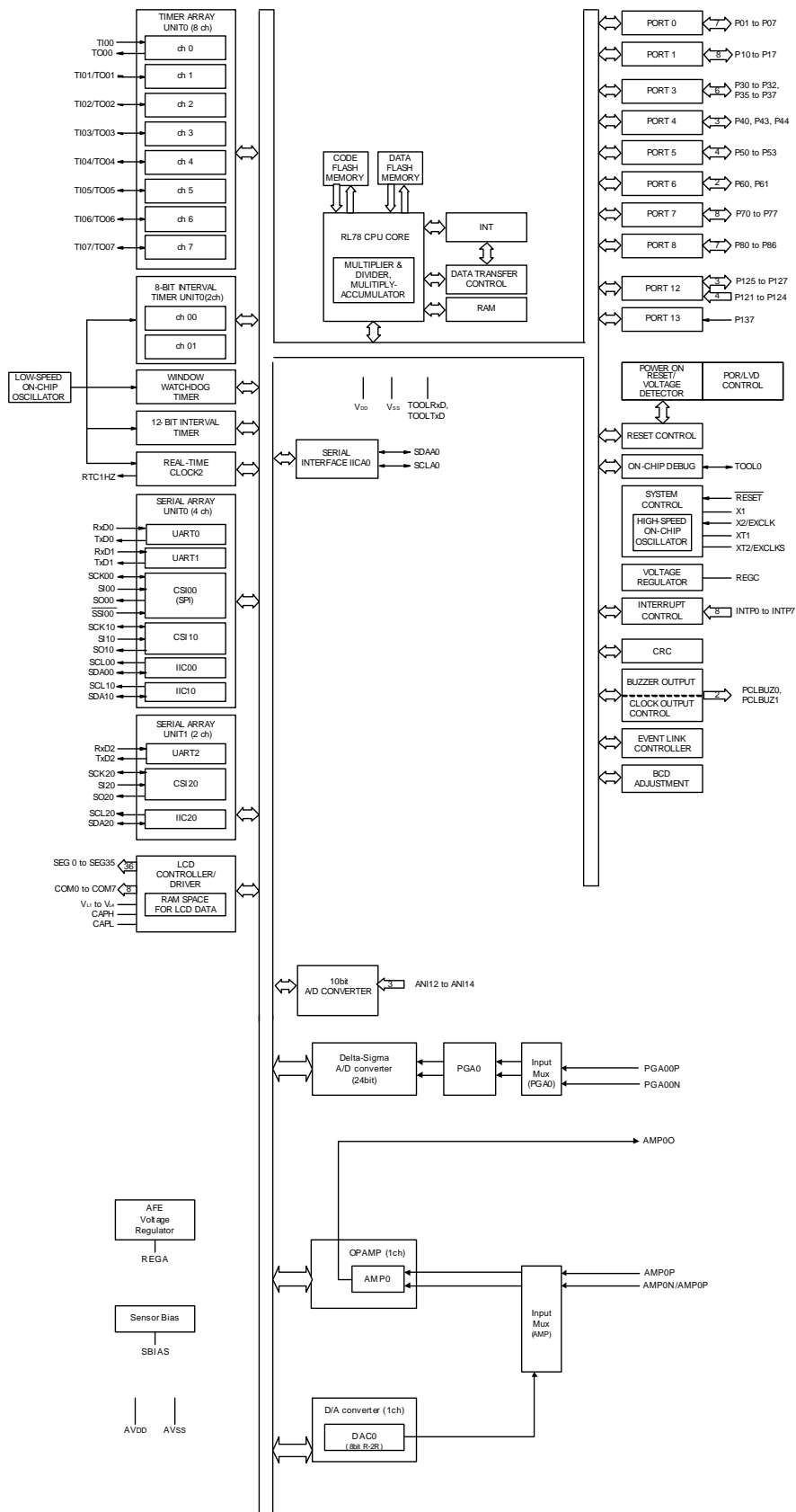
備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0,1,2,3(PIOR0, 1, 2, 3)の設定により割り当て可能です。

1.4 端子名称

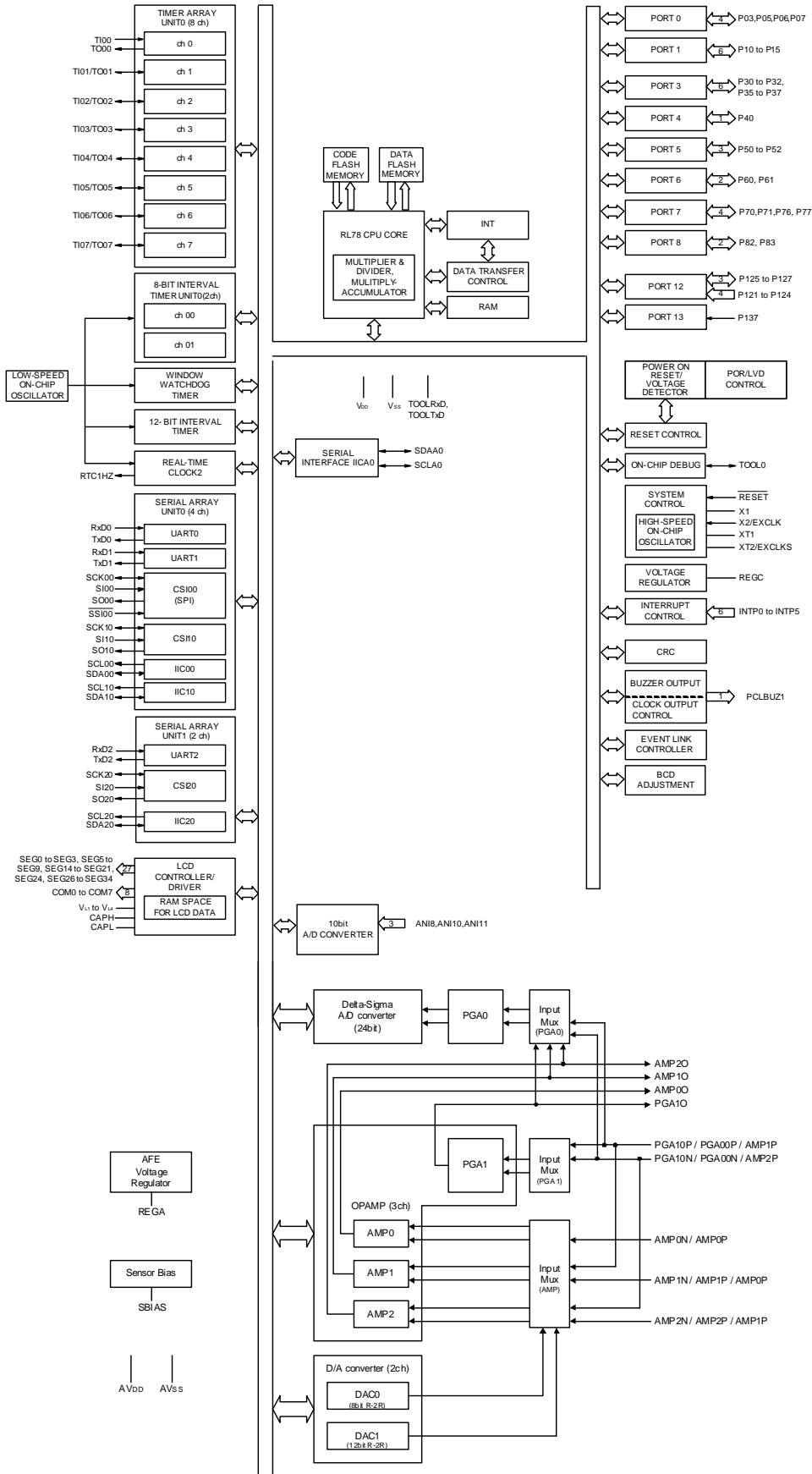
AMP0N-AMP2N	: OP AMP Negative Input	REGA	: Regulator Capacitance for Analog
AMP0P-AMP2P	: OP AMP Positive Input		
AMP0O-AMP2O	: OP AMP Output	REGC	: Regulator Capacitance
ANI8-ANI14	: Analog Input	SBIAS	: Reference Voltage Output
AVDD	: Analog Power Supply	RESET	: Reset
AVSS	: Analog Ground	RTC1HZ	: Real-time Clock Correction
CAPH, CAPL	: Capacitor for LCD	RxD0-RxD2, RxDMG0	: Receive Data
COM0-COM7	: LCD Common Output	SCK00, SCK10, SCK20,	: Serial Clock Input/Output
EXCLK	: External Clock Input (Main System Clock)	SCLA0	: Serial Clock Input/Output
EXCLKS	: External Clock Input (Sub System Clock)	SCL00, SCL10, SCL20	: Serial Clock Output
EXSDI0, EXSDI1	: External Sampling Input	SDAA0, SDA00, SDA10,	: Serial Data Input/Output
EXSDO0, EXSDO1	: External Sampling Clock Output	SDA20	
INTP0-INTP7	: External Interrupt Input	SEG0-SEG35	: LCD Segment Output
P01-P07	: Port 0	SI00, SI10, SI20	: Serial Data Input
P10-P17	: Port 1	SO00, SO10, SO20	: Serial Data Output
P20-P27	: Port 2	SSI00	: Slave Select Input
P30-P32, P35-P37	: Port 3	SMP0-SMP5	: Sampling Input
P40, P43, P44	: Port 4	SMO0-SMO2	: Sampling Clock Output
P50-P53	: Port 5	TI00-TI07	: Timer Input
P60-P61	: Port 6	TO00-TO07, TRJO0, TRJO1	: Timer Output
P70-P77	: Port 7	TOOL0	: Data Input/Output for Tool
P80-P86	: Port 8	TOOLRxD, TOOLTxD	: Data Input/Output for External Device
P121-P127	: Port 12	TRJIO0, TRJIO1	: Timer Input/Output
P137	: Port 13	TxD0-TxD2, TxDMG0	: Transmit Data
P150, P151	: Port 15	VDD	: Power Supply
PCLBUZ0, PCLBUZ1	: Programmable Clock Output/ Buzzer Output	VL1-VL4	: LCD Power Supply
PGA00N, PGA01N	: PGA Negative Input	VSS	: Ground
PGA10N, PGA11N		X1, X2	: Crystal Oscillator (Main System Clock)
PGA00P, PGA01P	: PGA Positive Input	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
PGA10P, PGA11P			
PGA1O	: PGA Output		

1.5 ブロック図

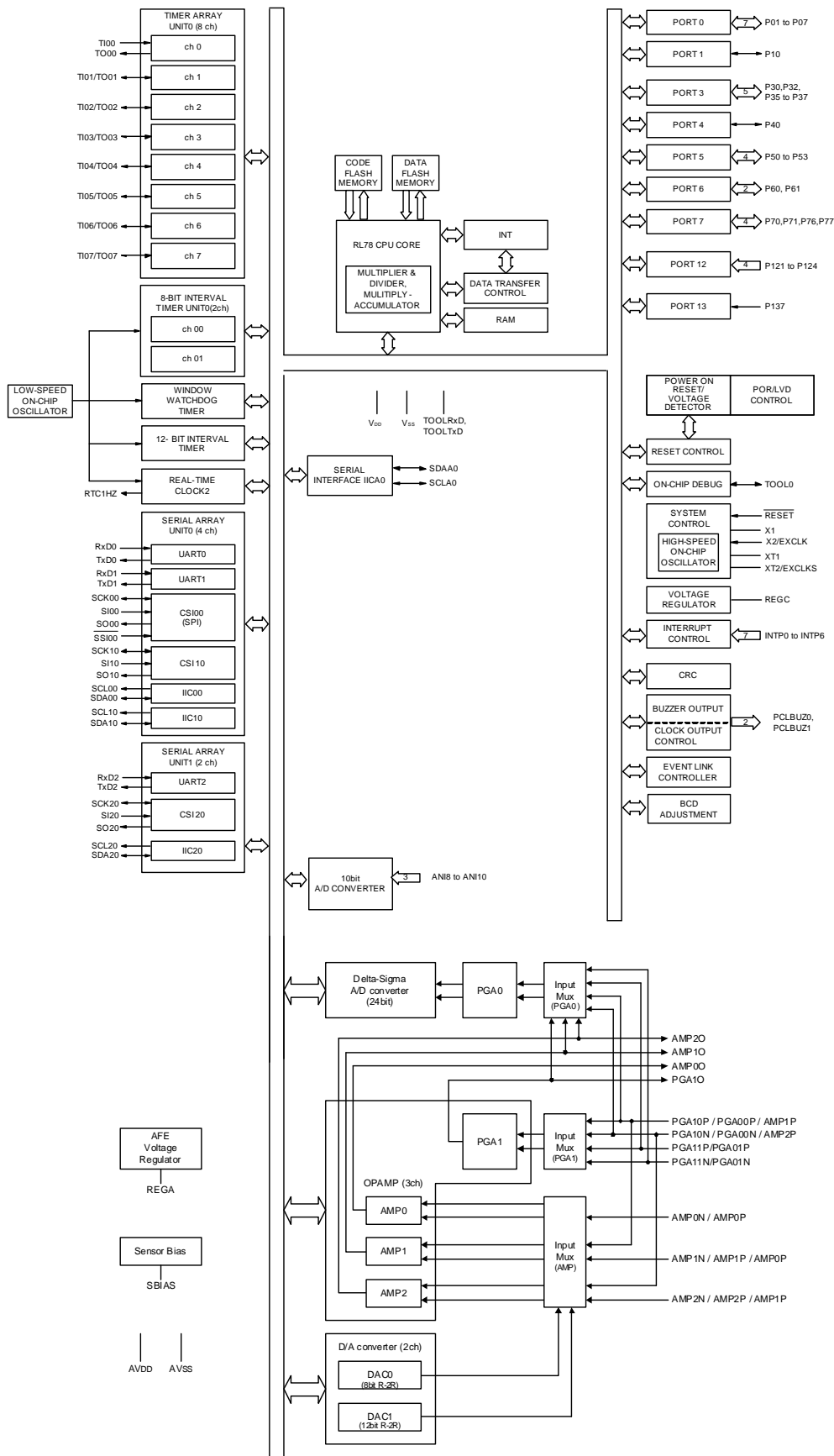
1.5.1 80ピン製品(R5F11NM)



1.5.2 64ピン製品(R5F11NL)

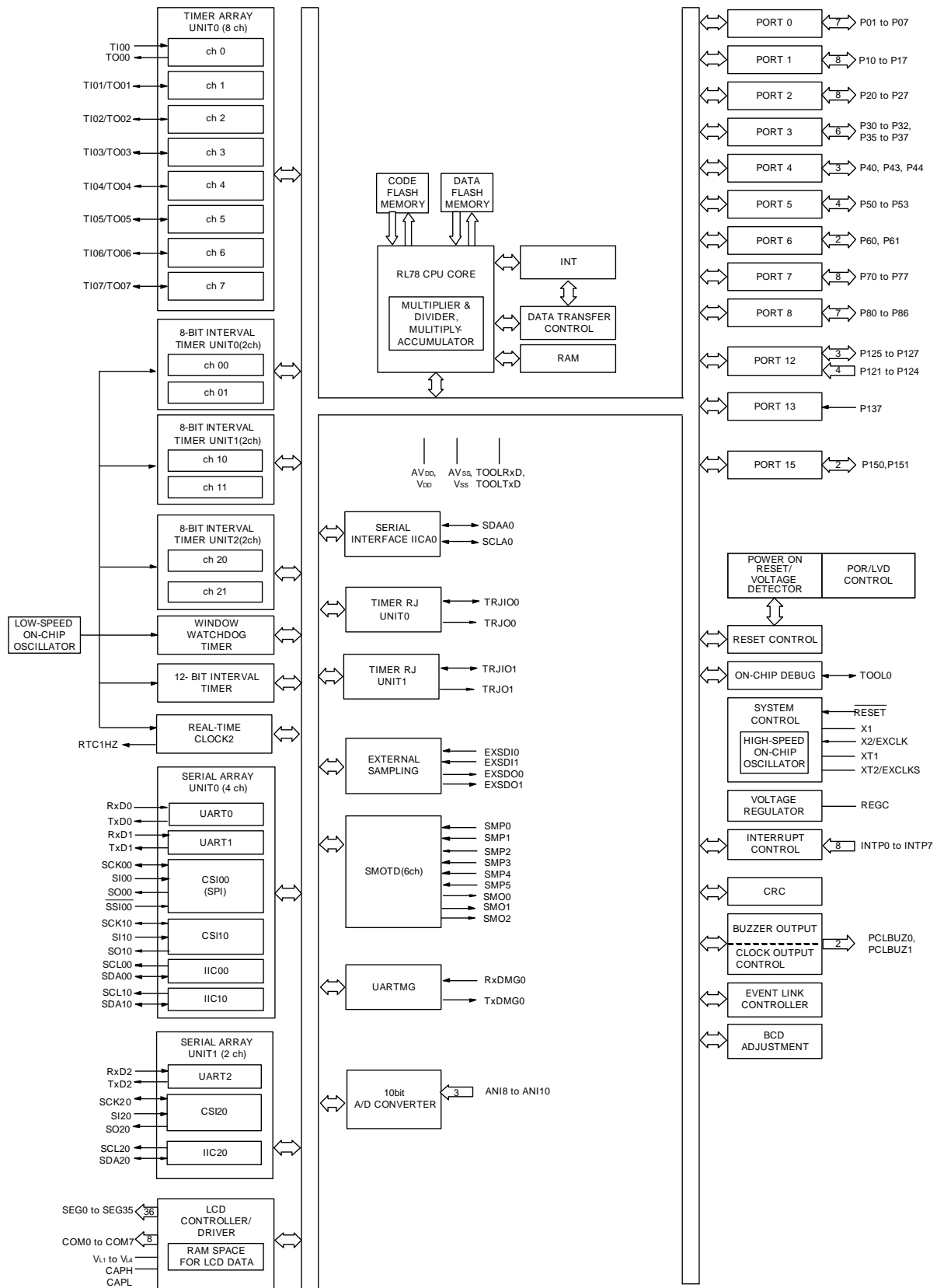


1.5.3 64ピン製品(R5F11PL),48ピン製品(R5F11NG)



備考 64ピン製品(R5F11PL)は、48ピン製品(R5F11NG)の同一機能のパッケージ違い製品です。

1.5.4 80ピン製品(R5F11RM)



1.6 機能概要

(1/4)

項目	80ピンLQFP	64ピンLQFP	64ピンTFBGA 48ピンLQFP	80ピンLQFP
	R5F11NMx (x = E ~ G)	R5F11NLx (x = F, G)	R5F11PLx R5F11NGx (x = F, G)	R5F11RMG
コード・フラッシュ・メモリ	64 ~ 128 KB	96 ~ 128 KB	96 ~ 128 KB	128 KB
データ・フラッシュ・メモリ	4 KB	4 KB	4 KB	4 KB
RAM	5.5 KB	5.5 KB	5.5 KB	8 KB
メモリ空間	1 Mバイト			
メイン・システム・ クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK)		
		1 ~ 20 MHz : VDD = 2.7 ~ 5.5 V, 1 ~ 8 MHz : VDD = 2.4 ~ 2.7 V		1 ~ 20 MHz : VDD = 2.7 ~ 5.5 V, 1 ~ 8 MHz : VDD = 1.8 ~ 2.7 V
	高速オンチップ・ オシレータ・クロック	HS(高速メイン)動作モード : 1 ~ 24 MHz (VDD = 2.7 ~ 5.5 V), HS(高速メイン)動作モード : 1 ~ 16 MHz (VDD = 2.4 ~ 5.5 V)		HS(高速メイン)動作モード : 1 ~ 24 MHz (VDD = 2.7 ~ 5.5 V), HS(高速メイン)動作モード : 1 ~ 16 MHz (VDD = 2.4 ~ 5.5 V), LS(低速メイン)動作モード : 1 ~ 8 MHz (VDD = 1.8 ~ 5.5 V)
サブシステム・クロック	XT1 (水晶)発振, 外部サブシステム・クロック入力(EXCLKS)			
	32.768 kHz (TYP.) : VDD = 2.4 ~ 5.5 V		32.768 kHz (TYP.) : VDD = 1.8 ~ 5.5 V 38.4 kHz (TYP.) : VDD = 1.8 ~ 5.5 V	
低速オンチップ・オシレータ・クロック	15 kHz (TYP.) : VDD = 2.4 ~ 5.5 V		15 kHz (TYP.) : VDD = 1.8 ~ 5.5 V	
汎用レジスタ	8ビット×32レジスタ (8ビット×8レジスタ×4バンク)			
最小命令実行時間	0.04167 μs (高速オンチップ・オシレータ・クロック : fIH = 24 MHz動作時)			
	0.05 μs (高速システム・クロック : fMX = 20 MHz動作時)			
	30.5 μs (サブシステム・クロック : fSUB = 32.768 kHz動作時)			
命令セット	<ul style="list-style-type: none"> データ転送 (8/16ビット) 加減/論理演算 (8/16ビット) 乗算 (8×8ビット, 16×16ビット), 除算 (16÷16ビット, 32÷32ビット) 積和演算 (16×16+32ビット) ローテート, パレル・シフト, ビット操作(セット, リセット, テスト, ブール演算)など 			

(2/4)

項目		80ピンLFQFP	64ピンLFQFP	64ピンTFBGA 48ピンLFQFP	80ピンLFQFP
		R5F11NMx (x = E ~ G)	R5F11NLx (x = F, G)	R5F11PLx R5F11NGx (x = F, G)	R5F11RMG
I/Oポート	合計	53	36	29	63
	CMOS入出力	46	29	22	56
	CMOS入力	5	5	5	5
	CMOS出力	—	—	—	—
	N-ch O.D入出力(6 V耐 圧)	2	2	2	2
タイマ	16ビット・タイマTAU	8チャンネル(タイマ出力8本, PWM出力: 7本注1)			
	8/16ビット・インター バル・タイマ	2チャンネル(8ビット)/1チャンネル(16ビット)			6チャンネル(8ビット)/ 3チャンネル(16ビット)
	ウォッチドッグ・タイ マ	1チャンネル			
	12ビット・インターバ ル・タイマ	1チャンネル			
	リアルタイム・クロッ ク2	1チャンネル			
	RTC出力	1本 1 Hz (サブシステム・クロック : f _{SUB} = 32.768 kHz)			
	16ビット・タイマRJ	—			2チャンネル タイマ出力: 2本
	外部サンプリング	—			1チャンネル
	サンプリング出力タイ マ/ディテクタ(SMOTD)	—			入力: 6チャンネル 出力: 3チャンネル
クロック出力/ブザー出力		2本	1本	2本	2本
		<ul style="list-style-type: none"> • 2.44 kHz, 4.88 kHz, 9.77 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : f_{MAIN} = 20 MHz動作時) • 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : f_{SUB} = 32.768 kHz動作時) 			
8/10ビット分解能	外部	3チャンネル			
A/Dコンバータ	内部	2チャンネル: 内部基準電圧(1.45 V), 温度センサ出力電圧 (HS (高速メイン) モードのみ選択可能)			
プログラマブル・ゲイン計装アンプ0(PGA0) 付き24ビットΔΣA/Dコンバータ		アナログ入力: 1チャンネル(差動 /シングル)	アナログ入力: 1チャンネル(差動/ シングル), 3チャンネル (シングル)	アナログ入力: 2チャンネル(差動/ シングル), 3チャンネル(シングル)	—

(3/4)

項目		80ピンLFQFP	64ピンLFQFP	64ピンTFBGA 48ピンLFQFP	80ピンLFQFP
		R5F11NMx (x = E ~ G)	R5F11NLx (x = F, G)	R5F11PLx R5F11NGx (x = F, G)	R5F11RMG
D/Aコンバータ	12ビット	—	1チャンネル (出力アンプ付き、 外部出力端子無し)	1チャンネル (出力アンプ付き、 外部出力端子無し)	—
	8ビット	1チャンネル (出力アンプなし、 外部出力端子無し)	1チャンネル (出力アンプなし、 外部出力端子無し)	1チャンネル (出力アンプなし、 外部出力端子無し)	—
プログラマブル・ゲイン計装アンプ1(PGA1)		—	1チャンネル	1チャンネル	—
rail to railオペアンプ		1チャンネル	1チャンネル	1チャンネル	—
汎用オペアンプ		—	2チャンネル	2チャンネル	—
シリアル・インタフェース		<ul style="list-style-type: none"> 簡易SPI(CSI) (SPI対応) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I2C : 1チャンネル 簡易SPI(CSI) : 1チャンネル/UART : 1チャンネル/簡易I2C : 1チャンネル 簡易SPI(CSI) : 1チャンネル/UART : 1チャンネル/簡易I2C : 1チャンネル 			
	I2Cバス	1チャンネル			1チャンネル
	シリアル・インタ フェースUARTMG	—			1チャンネル
LCDコントローラ/ドライバ		内部昇圧/容量分割/外部抵抗分割の切り替えが可能			
	セグメント信号出力	36 (32)本注2	27 (23)本注2	—	36 (32)本注2
	コモン信号出力	4 (8)本注2	4 (8)本注2	—	4 (8)本注2
データ・トランスファ・コントローラ(DTC)		26要因	24要因	25要因	35要因
イベント・リンク・コントローラ(ELC)		イベント入力 : 20 イベントトリガ 出力 : 7	イベント入力 : 18 イベントトリガ 出力 : 10	イベント入力 : 19 イベントトリガ出力 : 10	イベント入力 : 26 イベントトリガ出力 : 5
ベクタ割り込み要因	内部	29	29	29	43
	外部	8	6	7	8
リセット		<ul style="list-style-type: none"> RESET端子によるリセット ウォッチドッグ・タイマによる内部リセット パワーオン・リセットによる内部リセット 電圧検出回路による内部リセット 不正命令の実行による内部リセット注3 RAMパリティ・エラーによる内部リセット 不正メモリ・アクセスによる内部リセット 			
パワーオン・リセット回路		<ul style="list-style-type: none"> パワーオン・リセット : 1.51±0.04 V パワーダウン・リセット : 1.50±0.04 V 			
電圧検出回路		<ul style="list-style-type: none"> 立ち上がり : 2.50 V ~ 4.06 V (9段) 立ち下がり : 2.45 V ~ 3.98 V (9段) 			<ul style="list-style-type: none"> 立ち上がり : 1.88 V ~ 4.06 V (12段階) 立ち下がり : 1.84 V ~ 3.98 V (12段階)
オンチップ・デバッグ機能		あり			

(4/4)

項目	80ピンLFQFP	64ピンLFQFP	64ピンTFBGA 48ピンLFQFP	80ピンLFQFP
	R5F11NMx (x = E ~ G)	R5F11NLx (x = F, G)	R5F11PLx R5F11NGx (x = F, G)	R5F11RMG
電源電圧	VDD = 2.4 V ~ 5.5 V (10ビットSAR ADC : 2.4 V ~ 5.5 V, アナログ・フロントエンド (AFE) の動作電圧 : 2.7 V ~ 5.5 V)			VDD = 1.8 ~ 5.5 V
動作周囲温度	TA = -40 ~ +85 °C (A : 民生用途)			TA = -40 ~ +85 °C (D : 産業用途)

注1. マスタの数と使用チャネルの設定によって、出力数は変わります。

注2. () 内は8 com使用時の信号出力本数です。

注3. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

(1) R5F11NM

電源	対応する端子
VDD	• 下記以外の端子
AVDD	• REGA, SBIAS, PGA00N,PGA00P, AMP0P, AMP0N/AMP0P, AMP0O,ANI12-ANI14

(2) R5F11NL

電源	対応する端子
VDD	• 下記以外の端子
AVDD	• REGA, SBIAS, PGA10N/PGA00N/AMP2P, PGA10P/PGA00P/AMP1P,AMP0N/AMP0P, AMP1N/AMP1P/AMP0P,AMP2N/AMP2P/AMP1P, PGA1O,AMP0O-AMP2O

(3) R5F11PL,R5F11NG

電源	対応する端子
VDD	• 下記以外の端子
AVDD	• REGA, SBIAS, PGA10N/PGA00N/AMP2P, PGA10P/PGA00P/AMP1P,AMP0N/AMP0P, AMP1N/AMP1P/AMP0P,AMP2N/AMP2P/AMP1P, PGA11N/PGA01N,PGA11P/PGA01P, PGA1O,AMP0O-AMP2O

(4) R5F11RM

電源	対応する端子
VDD	• 下記以外の端子
AVDD	• P20-P27,P150,P151

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 R5F11NM

(1/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P01	7-5-4	入出力	デジタル 入力無効注	(INTP5)/SEG22	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P03, P04, P07の入力はTTL入力バッファに設定可能。 P02-P04, P06, P07の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P02	7-5-10			(SO10/TxD1)/ PCLBUZ0/SEG23	
P03	8-5-10			(SI10/RxD1/SDA10)/ TO00/SEG24	
P04				INTP6/(SCK10/SCL10)/ SEG25	
P05	7-5-4			TI06/TO06/SEG26	
P06	7-5-10			SO20/TxD2/TI00/ SEG27	
P07	8-5-10			SI20/RxD2/SDA20/ TI05/TO05/SEG28	
P10	8-5-10	入出力	デジタル 入力無効注	INTP2/SCK20/SCL20/ SEG29	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10の入力はTTL入力バッファに設定可能。 P10の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P11	7-5-4			SEG30	
P12				SEG31	
P13				SEG32	
P14				SEG33	
P15				SEG34	
P16				SEG35	
P17	7-1-3	入力ポート	(TI07/TO07)		
P30	7-5-4	入出力	デジタル 入力無効注	INTP3/RTC1HZ/SEG16	ポート3。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P35, P36の入力はTTL入力バッファに設定可能。 P35-P37の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P31	7-5-4			TI01/TO01/SEG17	
P32				INTP4/SSI00/SEG18	
P35				8-5-10	
P36	SI00/RxD0/TOOLRxD/ SDA00/PCLBUZ1/ SEG20				
P37	7-5-10			SO00/TxD0/TOOLTxD/ SEG21	

注 デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3) の設定により、割り当て可能です。

詳細は、図4-7～図4-10を参照してください。

(2/3)

機能名称	端子 タイプ	入出力	リセット時	兼用機能	機能
P40	8-1-4	入出力	入力ポート	TOOL0/(INTP1)/ (SCK00/SCL00)/ (TI01/TO01)	ポート4。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P40, P43の入力はTTL入力バッファに設定可能。 P40, P43, P44の出力はN-chオープン・ドレイン出力 (VDD 耐圧) に設定可能。
P43				(SI00/RxD0/SDA00)/ (TI00)/(TO00)	
P44				7-1-4	
P50	7-5-10	入出力	デジタル 入力無効注	SO10/TxD1/TI03/TO03/ SEG7	ポート5。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P51, P52の入力はTTL入力バッファに設定可能。 P50-P52の出力はN-chオープン・ドレイン出力 (VDD 耐圧) に設定可能。
P51	8-5-10			SI10/RxD1/SDA10/ TI04/TO04/SEG6	
P52				SCK10/SCL10/TI02/ TO02/SEG5	
P53	7-5-4			(INTP0)/SEG4	
P60	12-1-3	入出力	入力ポート	(INTP3)/SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力 (6 V 耐圧)。
P61				(INTP4)/SDAA0	
P70	7-5-4	入出力	デジタル 入力無効注	SEG8	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71				SEG9	
P72				SEG10	
P73				SEG11	
P74				SEG12	
P75				SEG13	
P76				SEG14	
P77				TI07/TO07/SEG15	

注 デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3) の設定により、割り当て可能です。
詳細は、図4-7～図4-10を参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P80	7-1-4	入出力	入力ポート	(SO20/TxD2)/(TI02/TO02)	ポート8。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P81, P82の入力はTTL入力バッファに設定可能。 P80-P82の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P81	8-1-4			(SI20/RxD2/SDA20)/(TI00)/(TO00)	
P82				(INTP2)/(SCK20/SCL20)/(TI07/TO07)	
P83	7-1-3			(TI03/TO03)/(PCLBUZ1)	
P84				(TI05/TO05)	
P85				INTP7	
P86				(INTP6)	
P121	2-2-1	入力	入力ポート	X1/INTP1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127のみ、入力/出力の指定が可能。 P125-P127のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK/INTP5	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル 入力無効注	(TI06/TO06)/VL3	
P126	7-5-5			(TI05/TO05)/CAPL	
P127				(TI04/TO04)/CAPH	
P137	2-1-2	入力	入力ポート	INTP0/SSI00/	ポート13。1ビット入力専用ポート。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。
COM0- COM3	18-5-1	出力	出力	—	COM専用端子
COM4				SEG0	
COM5				SEG1	
COM6				SEG2	
COM7				SEG3	

注 デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により、割り当て可能です。
詳細は、図4-7～図4-10を参照してください。

2.1.2 R5F11NL

(1/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能																																														
P03	7-10-3	入出力	アナログ 入力	ANI8/TO00/SEG24	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。																																														
P05				ANI10/TI06/TO06/ SEG26		P06	7-5-10	入出力	デジタル 入力無効 ^{注1}	SO20/TxD2/TI00/ SEG27	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P07の入力はTTL入力バッファに設定可能。 P06,P07の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P03,P05はアナログ入力に設定可能 ^{注2} 。	P07	8-5-10	SI20/RxD2/SDA20/ TI05/TO05/SEG28	P10	8-5-10	入出力	デジタル 入力無効 ^{注1}	INTP2/SCK20/SCL20/ SEG29	ポート1。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10の入力はTTL入力バッファに設定可能。 P10の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P11はアナログ入力に設定可能 ^{注2} 。	P11	7-10-3	ANI11/SEG30	P12	7-5-4	デジタル 入力無効 ^{注1}	SEG31	P13	SEG32	P14	SEG33	P15	SEG34	P30	7-5-4	入出力	デジタル 入力無効 ^{注1}	INTP3/RTC1HZ/SEG16	ポート3。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	P31	TI01/TO01/SEG17	P32	8-5-10	入出力	デジタル 入力無効 ^{注1}	INTP4/SSI00/SEG18	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P35, P36の入力はTTL入力バッファに設定可能。 P35-P37の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。	P35	SCK00/SCL00/SEG19	P36	SI00/RxD0/TOOLRxD/ SDA00/PCLBUZ1/ SEG20
P06	7-5-10	入出力	デジタル 入力無効 ^{注1}	SO20/TxD2/TI00/ SEG27	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P07の入力はTTL入力バッファに設定可能。 P06,P07の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P03,P05はアナログ入力に設定可能 ^{注2} 。																																														
P07	8-5-10			SI20/RxD2/SDA20/ TI05/TO05/SEG28		P10	8-5-10	入出力	デジタル 入力無効 ^{注1}	INTP2/SCK20/SCL20/ SEG29	ポート1。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10の入力はTTL入力バッファに設定可能。 P10の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P11はアナログ入力に設定可能 ^{注2} 。	P11	7-10-3	ANI11/SEG30	P12	7-5-4			デジタル 入力無効 ^{注1}		SEG31	P13	SEG32	P14			SEG33	P15	SEG34	P30	7-5-4	入出力	デジタル 入力無効 ^{注1}	INTP3/RTC1HZ/SEG16	ポート3。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	P31	TI01/TO01/SEG17	P32	8-5-10	入出力	デジタル 入力無効 ^{注1}	INTP4/SSI00/SEG18				入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P35, P36の入力はTTL入力バッファに設定可能。 P35-P37の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。		P35	SCK00/SCL00/SEG19	P36	SI00/RxD0/TOOLRxD/ SDA00/PCLBUZ1/ SEG20
P10	8-5-10	入出力	デジタル 入力無効 ^{注1}	INTP2/SCK20/SCL20/ SEG29	ポート1。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10の入力はTTL入力バッファに設定可能。 P10の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P11はアナログ入力に設定可能 ^{注2} 。																																														
P11	7-10-3			ANI11/SEG30																																															
P12	7-5-4			デジタル 入力無効 ^{注1}		SEG31																																													
P13						SEG32																																													
P14						SEG33																																													
P15						SEG34																																													
P30	7-5-4	入出力	デジタル 入力無効 ^{注1}	INTP3/RTC1HZ/SEG16	ポート3。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。																																														
P31				TI01/TO01/SEG17																																															
P32	8-5-10	入出力	デジタル 入力無効 ^{注1}	INTP4/SSI00/SEG18	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P35, P36の入力はTTL入力バッファに設定可能。 P35-P37の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。																																														
P35				SCK00/SCL00/SEG19																																															
P36				SI00/RxD0/TOOLRxD/ SDA00/PCLBUZ1/ SEG20																																															
P37				7-5-10		SO00/TxD0/TOOLTxD/ SEG21																																													

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx(PMCx)で設定します(1ビット単位で設定可能)。

(2/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0/(INTP1)/ (TI01/TO01)	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P50	7-5-10	入出力	デジタル 入力無効注	SO10/TxD1/TI03/TO03/ SEG7	ポート5。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P51, P52の入力はTTL入力バッファに設定可能。 P50-P52の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P51	8-5-10			SI10/RxD1/SDA10/ TI04/TO04/SEG6	
P52				SCK10/SCL10/TI02/ TO02/SEG5	
P60	12-1-3	入出力	入力ポート	(INTP3)/SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				(INTP4)/SDAA0	
P70	7-5-4	入出力	デジタル 入力無効注	SEG8	ポート7。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71				SEG9	
P76				SEG14	
P77				TI07/TO07/SEG15	
P82	7-1-3	入出力	入力ポート	(TI07/TO07)	ポート8。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P83				(TI03/TO03)/ (PCLBUZ1)	

注 デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により、割り当て可能です。
詳細は、図4-7～図4-10を参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P121	2-2-1	入力	入力ポート	X1/INTP1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127のみ、入力/出力の指定が可能。 P125-P127のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK/INTP5	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル 入力無効注	(TI06/TO06)/VL3	
P126	7-5-5			(TI05/TO05)/CAPL	
P127				(TI04/TO04)/CAPH	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。
COM0- COM3	18-5-1	出力	出力	—	COM専用端子
COM4				SEG0	
COM5				SEG1	
COM6				SEG2	
COM7				SEG3	

注 デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3) の設定により、割り当て可能です。
詳細は、図4-7～図4-10を参照してください。

2.1.3 R5F11PL, R5F11NG

(1/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能	
P01	7-1-3	入出力	入力ポート	(INTP5)	ポート0。	
P02	7-1-4			(SO10/TxD1)/ PCLBUZ0	7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	
P03	8-3-4			アナログ 入力	ANI8/(SI10/RxD1/ SDA10)/TO00	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P04					ANI9/INTP6/(SCK10/ SCL10)	P03, P04, P07の入力はTTL入力バッファに設定可能。 P02-P04, P06, P07の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。
P05					7-3-3	ANI10/TI06/TO06
P06	7-1-4			入力ポート	SO20/TxD2/TI00	P03-P05はアナログ入力に設定可能注。
P07	8-1-4			SI20/RxD2/SDA20/ TI05/TO05		
P10	8-1-4	入出力	入力ポート	INTP2/SCK20/SCL20	ポート1。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10の入力はTTL入力バッファに設定可能。 P10の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に 設定可能。	
P30	7-1-3	入出力	入力ポート	INTP3/RTC1HZ	ポート3。	
P32				INTP4/SSI00	5ビット入出力ポート。	
P35	8-1-4			SCK00/SCL00	1ビット単位で入力/出力の指定可能。	
P36				SI00/RxD0/TOOLRxD/ SDA00/PCLBUZ1	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P37	7-1-4			SO00/TxD0/TOOLTxD	P35, P36の入力はTTL入力バッファに設定可能。 P35-P37の出力はN-chオープン・ドレイン出力(V _{DD} 耐 圧)に設定可能。	

注 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx(PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0,1,3(PIOR0,1,3)の設定により、割り当て可能です。詳細は、図4-7、図4-8、図4-10を参照してください。

(2/2)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0/(INTP1)/TI01/ TO01	ポート4。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P50	7-1-4	入出力	入力ポート	SO10/TxD1/TI03/TO03	ポート5。
P51	8-1-4			SI10/RxD1/SDA10/ TI04/TO04	4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。
P52				SCK10/SCL10/TI02/ TO02	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P53	7-1-3			P53/(INTP0)	P51, P52の入力はTTL入力バッファに設定可能。 P50-P52の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P60	12-1-3	入出力	入力ポート	(INTP3)/SCLA0	ポート6。
P61				(INTP4)/SDAA0	2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。
P70	7-1-3	入出力	入力ポート	—	ポート7。
P71				(TI05/TO05)	4ビット入出力ポート。
P76				(TI06/TO06)	1ビット単位で入力/出力の指定可能。
P77				TI07/TO07	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力	入力ポート	X1/INTP1	ポート12。
P122				X2/EXCLK/INTP5	4ビット入力専用ポート。
P123				XT1	
P124				XT2/EXCLKS	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1, 3 (PIOR0, 1, 3) の設定により、割り当て可能です。
詳細は、図4-7、図4-8、図4-10を参照してください。

2.1.4 R5F11RM

(1/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P01	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG22	ポート0。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P03, P04, P07の入力はTTL入力バッファに設定可能。 P02-P04, P06, P07の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P03-P05はアナログ入力に設定可能 ^{注2} 。
P02	7-5-10			(SO10/TxD1)/ PCLBUZ0/SEG23	
P03	8-5-13		アナログ 入力	ANI8/(SI10/RxD1/ SDA10)/TO00/SEG24	
P04				ANI9/(SCK10/SCL10)/ SEG25	
P05	7-10-3			ANI10/TI06/TO06/ SEG26	
P06	7-5-10		デジタル 入力無効 ^{注1}	SO20/TxD2/TI00/ SEG27	
P07	8-5-10			SI20/RxD2/SDA20/ TI05/TO05/SEG28	
P10	8-5-10	入出力	デジタル 入力無効 ^{注1}	SCK20/SCL20/SEG29	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P13の入力はTTL入力バッファに設定可能。 P10, P12の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P11	7-5-4			SEG30	
P12	7-5-10			TxDMG0/SEG31	
P13	8-5-4			RxDMG0/SEG32	
P14	7-5-4			TRJIO1/SEG33	
P15				TRJIO0/SEG34	
P16			SMO0/SEG35		
P17	7-1-3	入力ポート	SMO1		
P20	7-1-3	入出力	入力ポート	SMP4	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P21				SMP5	
P22				INTP7	
P23				INTP6	
P24				(INTP5)	
P25				INTP4	
P26				INTP3	
P27				INTP2	

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタx(PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3(PIOR0-3)の設定により、割り当て可能です。

詳細は、図4-7～図4-10を参照してください。

(2/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P30	7-5-4	入出力	デジタル 入力無効注	RTC1HZ/SEG16	ポート3。
P31				TI01/TO01/SEG17	6ビット入出力ポート。
P32				SSI00/SEG18	1ビット単位で入力／出力の指定可能。
P35	8-5-10			SCK00/SCL00/SEG19	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P36				SI00/RxD0/TOOLRxD/ SDA00/PCLBUZ1/ SEG20	P35,P36の入力はTTL入力バッファに設定可能。 P35-P37の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P37	7-5-10			SO00/TxD0/TOOLTxD/ SEG21	
P40	8-1-4	入出力	入力ポート	TOOL0/(SCK00/ SCL00)/(TI01/TO01)	ポート4。 3ビット入出力ポート。
P43				(SI00/RxD0/SDA00)/ (SMP0)	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P44	7-1-4			(SO00/TxD0)/(SMP1)	P40, P43の入力はTTL入力バッファに設定可能。 P40, P43, P44の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P50	7-5-10	入出力	デジタル 入力無効注	SO10/TxD1/TI03/TO03/ SEG7	ポート5。 4ビット入出力ポート。
P51	8-5-10			SI10/RxD1/SDA10/ TI04/TO04/SEG6	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P52				SCK10/SCL10/TI02/ TO02/SEG5	P51, P52の入力はTTL入力バッファに設定可能。
P53	7-5-4			SEG4	P50-P52の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P60	12-1-3	入出力	入力ポート	SCLA0	ポート6。
P61				SDAA0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。

注 デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3) の設定により、割り当て可能です。
詳細は、図4-7～図4-10を参照してください。

(3/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P70	7-5-4	入出力	デジタル 入力無効注	SEG8	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71				SEG9	
P72				SEG10	
P73				SEG11	
P74				SEG12	
P75				SEG13	
P76				SEG14	
P77				TI07/TO07/SEG15	
P80	7-1-4	入出力	入力ポート	(SO20/TxD2)/(TI02/TO02)/TRJ00	ポート8。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P81,P82の入力はTTL入力バッファに設定可能。 P80-P82の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P81	8-1-4			(SI20/RxD2/SDA20)/(TI00)/(TO00)/TRJ01	
P82	7-1-3			(SCK20/SCL20)/(TI07/TO07)/EXSDO0	
P83				(TI03/TO03)/EXSDO1/(PCLBUZ1)	
P84				SMO2	
P85				SMP0/EXSDI0	
P86				SMP1/EXSDI1	
P121				2-2-1	
P122	X2/EXCLK/INTP5				
P123	XT1				
P124	XT2/EXCLKS				
P125	7-5-6	入出力	デジタル 入力無効注	(TI06/TO06)/VL3	
P126	7-5-5			(TI05/TO05)/CAPL	
P127				(TI04/TO04)/CAPH	
P137	2-1-2	入力	入力ポート	INTP0/(SSI00)	ポート13。 1ビット入力専用ポート。
P150	7-1-3	入出力	入力ポート	SMP2	ポート15。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P151				SMP3	

注 デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3) の設定により、割り当て可能です。
詳細は、図4-7～図4-10を参照してください。

(4/4)

機能名称	端子 タイプ	入出力	リセット時	兼用機能	機能
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。
COM0- COM3	18-5-1	出力	出力	—	COM専用端子
COM4				SEG0	
COM5				SEG1	
COM6				SEG2	
COM7				SEG3	

2.2 ポート以外の機能

(1/6)

機能名称	入出力	機能	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
PGA00N	入力	PGA0 -入力	○	○	○	—
PGA01N	入力		—	—	○	—
PGA10N	入力	PGA1 -入力	—	○	○	—
PGA11N	入力		—	—	○	—
PGA00P	入力	PGA0 +入力	○	○	○	—
PGA01P	入力		—	—	○	—
PGA10P	入力	PGA1 +入力	—	○	○	—
PGA11P	入力		—	—	○	—
PGA1O	出力	PGA1出力	—	○	○	—
AMP0N	入力	オペアンプ0 -入力	○	○	○	—
AMP1N	入力	オペアンプ1 -入力	—	○	○	—
AMP2N	入力	オペアンプ2 -入力	—	○	○	—
AMP0P	入力	オペアンプ0 +入力	○	○	○	—
AMP1P	入力	オペアンプ1 +入力	—	○	○	—
AMP2P	入力	オペアンプ2 +入力	—	○	○	—
AMP0O	出力	オペアンプ0出力	○	○	○	—
AMP1O	出力	オペアンプ1出力	—	○	○	—
AMP2O	出力	オペアンプ2出力	—	○	○	—
SBIAS	出力	基準電圧出力	○	○	○	—
REGA	—	内部動作レギュレータ出力安定容量接続（アナログ電源）	○	○	○	—
ANI8	入力	10ビットA/Dコンバータのアナログ入力8	—	○	○	○
ANI9	入力	10ビットA/Dコンバータのアナログ入力9	—	—	○	○
ANI10	入力	10ビットA/Dコンバータのアナログ入力10	—	○	○	○
ANI11	入力	10ビットA/Dコンバータのアナログ入力11	—	○	—	—
ANI12	入力	10ビットA/Dコンバータのアナログ入力12	○	—	—	—
ANI13	入力	10ビットA/Dコンバータのアナログ入力13	○	—	—	—
ANI14	入力	10ビットA/Dコンバータのアナログ入力14	○	—	—	—
INTP0	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ	○	○	○	○
INTP1	入力		○	○	○	○
INTP2	入力		○	○	○	○
INTP3	入力		○	○	○	○
INTP4	入力		○	○	○	○
INTP5	入力		○	○	○	○
INTP6	入力		○	—	○	○
INTP7	入力		○	—	—	○

(2/6)

機能名称	入出力	機能	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
PCLBUZ0	出力	クロック出力／ブザー出力	○	—	○	○
PCLBUZ1	出力		○	○	○	○
RTC1HZ	出力	リアルタイム・クロック補正クロック (1 Hz)出力	○	○	○	○
RxD0	入力	シリアル・インタフェースUART0のシリアル・データ入力	○	○	○	○
RxD1	入力	シリアル・インタフェースUART1のシリアル・データ入力	○	○	○	○
RxD2	入力	シリアル・インタフェースUART2のシリアル・データ入力	○	○	○	○
RxDMG0	入力	シリアル・インタフェースUARTMG0のシリアル・データ入力	—	—	—	○
TxD0	出力	シリアル・インタフェースUART0のシリアル・データ出力	○	○	○	○
TxD1	出力	シリアル・インタフェースUART1のシリアル・データ出力	○	○	○	○
TxD2	出力	シリアル・インタフェースUART2のシリアル・データ出力	○	○	○	○
TxDMG0	出力	シリアル・インタフェースUARTMG0のシリアル・データ出力	—	—	—	○
SCK00	入出力	シリアル・インタフェースCSI00のクロック入出力	○	○	○	○
SCK10	入出力	シリアル・インタフェースCSI10のクロック入出力	○	○	○	○
SCK20	入出力	シリアル・インタフェースCSI20のクロック入出力	○	○	○	○
SI00	入力	シリアル・インタフェースCSI00のシリアル・データ入力	○	○	○	○
SI10	入力	シリアル・インタフェースCSI10のシリアル・データ入力	○	○	○	○
SI20	入力	シリアル・インタフェースCSI20のシリアル・データ入力	○	○	○	○
SO00	出力	シリアル・インタフェースCSI00のシリアル・データ出力	○	○	○	○
SO10	出力	シリアル・インタフェースCSI10のシリアル・データ出力	○	○	○	○
SO20	出力	シリアル・インタフェースCSI20のシリアル・データ出力	○	○	○	○
SSI00	入力	シリアル・インタフェースCSI00のスレーブセレクト入力	○	○	○	○
SCL00	出力	シリアル・インタフェースIIC00のクロック出力	○	○	○	○
SCL10	出力	シリアル・インタフェースIIC10のクロック出力	○	○	○	○
SCL20	出力	シリアル・インタフェースIIC20のクロック出力	○	○	○	○

(3/6)

機能名称	入出力	機能	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
SDA00	入出力	シリアル・インタフェースIIC00のシリアル・データ入出力	○	○	○	○
SDA10	入出力	シリアル・インタフェースIIC10のシリアル・データ入出力	○	○	○	○
SDA20	入出力	シリアル・インタフェースIIC20のシリアル・データ入出力	○	○	○	○
SCLA0	入出力	シリアル・インタフェースIICA0のクロック入出力	○	○	○	○
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力	○	○	○	○
EXSDI0	入力	外部サンプリング位相検出入力	—	—	—	○
EXSDI1	入力		—	—	—	○
EXSDO0	出力	外部サンプリング・クロック出力	—	—	—	○
EXSDO1	出力		—	—	—	○
SMP0	入力	サンプリング入力	—	—	—	○
SMP1	入力		—	—	—	○
SMP2	入力		—	—	—	○
SMP3	入力		—	—	—	○
SMP4	入力		—	—	—	○
SMP5	入力		—	—	—	○
SMO0	出力	サンプリング・クロック出力	—	—	—	○
SMO1	出力		—	—	—	○
SMO2	出力		—	—	—	○
TRJIO0	入出力	タイマRJ入出力	—	—	—	○
TRJIO1	入出力		—	—	—	○
TRJO0	出力	タイマRJ出力	—	—	—	○
TRJO1	出力		—	—	—	○
TI00	入力	16ビット・タイマ00-07への外部カウント・クロックノキャプチャ・トリガ入力	○	○	○	○
TI01	入力		○	○	○	○
TI02	入力		○	○	○	○
TI03	入力		○	○	○	○
TI04	入力		○	○	○	○
TI05	入力		○	○	○	○
TI06	入力		○	○	○	○
TI07	入力		○	○	○	○

(4/6)

機能名称	入出力	機能	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
TO00	出力	16ビット・タイマ00-07のタイマ出力	○	○	○	○
TO01	出力		○	○	○	○
TO02	出力		○	○	○	○
TO03	出力		○	○	○	○
TO04	出力		○	○	○	○
TO05	出力		○	○	○	○
TO06	出力		○	○	○	○
TO07	出力		○	○	○	○
VL1	—	LCD駆動用電圧	○	○	—	○
VL2	—		○	○	—	○
VL3	—		○	○	—	○
VL4	—		○	○	—	○
CAPH	—	LCDコントローラ／ドライバ用コンデンサ接続	○	○	—	○
CAPL	—		○	○	—	○
COM0	出力	LCDコントローラ／ドライバの共通信号出力	○	○	—	○
COM1	出力		○	○	—	○
COM2	出力		○	○	—	○
COM3	出力		○	○	—	○
COM4	出力		○	○	—	○
COM5	出力		○	○	—	○
COM6	出力		○	○	—	○
COM7	出力		○	○	—	○
SEG0	出力	LCDコントローラ／ドライバのセグメント信号出力	○	○	—	○
SEG1	出力		○	○	—	○
SEG2	出力		○	○	—	○
SEG3	出力		○	○	—	○
SEG4	出力		○	—	—	○
SEG5	出力		○	○	—	○
SEG6	出力		○	○	—	○
SEG7	出力		○	○	—	○
SEG8	出力		○	○	—	○
SEG9	出力		○	○	—	○
SEG10	出力		○	—	—	○
SEG11	出力		○	—	—	○
SEG12	出力		○	—	—	○
SEG13	出力		○	—	—	○
SEG14	出力		○	○	—	○

(5/6)

機能名称	入出力	機能	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
SEG15	出力	LCDコントローラ／ドライバのセグメント信号出力	○	○	—	○
SEG16	出力		○	○	—	○
SEG17	出力		○	○	—	○
SEG18	出力		○	○	—	○
SEG19	出力		○	○	—	○
SEG20	出力		○	○	—	○
SEG21	出力		○	○	—	○
SEG22	出力		○	—	—	○
SEG23	出力		○	—	—	○
SEG24	出力		○	○	—	○
SEG25	出力		○	—	—	○
SEG26	出力		○	○	—	○
SEG27	出力		○	○	—	○
SEG28	出力		○	○	—	○
SEG29	出力		○	○	—	○
SEG30	出力		○	○	—	○
SEG31	出力		○	○	—	○
SEG32	出力		○	○	—	○
SEG33	出力		○	○	—	○
SEG34	出力		○	○	—	○
SEG35	出力	○	—	—	○	
X1	—	メイン・システム・クロック用発振子接続	○	○	○	○
X2	—		○	○	○	○
EXCLK	入力	メイン・システム・クロック用外部クロック入力	○	○	○	○
XT1	—	サブシステム・クロック用発振子接続	○	○	○	○
XT2	—		○	○	○	○
EXCLKS	入力	サブシステム・クロック用外部クロック入力	○	○	○	○
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47～1μF)を介して、VSSに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。	○	○	○	○
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセット端子を使用しない場合は、直接または抵抗を介して、VDDに接続してください。	○	○	○	○
VDD	—	ポート端子(P20-P27, P150, P151以外)の正電源 10ビットSAR ADCの正電源	○	○	○	○

(6/6)

機能名称	入出力	機能	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
AVDD	—	アナログ正電源(10ビットSAR ADC以外)と、 ポート端子(P20-P27, P150,P151)の正電源注	○	○	○	○
Vss	—	ポート端子(P20-P27, P150,P151以外)のグランド電 位 10ビットSAR ADCのグランド電位	○	○	○	○
AVss	—	アナログ・グランド電位(10ビットSAR ADC以外) と、 ポート端子(P20-P27, P150,P151)のグランド電位注	○	○	○	○
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイ ス接続用UARTシリアル・データ受信	○	○	○	○
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイ ス接続用UARTシリアル・データ送信	○	○	○	○
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用デー タ入出力	○	○	○	○

注 R5F11Rのみ

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、34.4 シリアル・プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、VDD - Vssライン間へのバイパスコンデンサ(0.1 μ F程度)を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 未使用端子の処理

2.3.1 R5F11N,R5F11P

各端子の未使用端子の処理を表2-3に示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図(Top View), 2.1 ポート機能を参照してください。

表2-3 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P01-P07	入出力	デジタル入力無効時： オープンにしてください。
P10-P16		アナログ入力モード： オープンにしてください。 デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P17	入出力	入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 出力時： オープンにしてください。
P30-P32, P35-P37		デジタル入力無効時： オープンにしてください。 デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P40/TOOL0	入出力	入力時： 個別に抵抗を介して、VDDに接続またはオープンにしてください。 出力時： オープンにしてください。
P43, P44		入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 出力時： オープンにしてください。
P50-P53	入出力	デジタル入力無効時： オープンにしてください。 デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P60, P61		入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 出力時： ポートの出力ラッチに0を設定してオープン、またはポートの出力ラッチに1を設定し、個別に抵抗を介してVDDまたはVssに接続してください。
P70-P77	入出力	デジタル入力無効時： オープンにしてください。 デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P80-P86		入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 出力時： オープンにしてください。
P121-P124	入力	個別に抵抗を介して、VDDまたはVssに接続してください。
P125-P127	入出力	デジタル入力無効時： オープンにしてください。 入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 出力時： オープンにしてください。 LCD機能モード時： オープンにしてください。
P137		個別に抵抗を介して、VDDまたはVssに接続してください。
RESET	入力	VDDに直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ(0.47~1 μF)を介し、Vssに接続してください。
COM0-COM7	出力	オープンにしてください。
VL1, VL2, VL4	—	オープンにしてください。
PGA00N, PGA00P, PGA01N, PGA01P, PGA10N, PGA10P, PGA11N, PGA11P, AMP0N- AMP2N, AMP0P-AMP2P	入力	AVssに直接接続してください。
AMP00-AMP20, PGA10	出力	オープンにしてください。
REGA	—	コンデンサ(0.22 μF)を介して、AVssに接続してください。
SBIAS	出力	コンデンサ(0.22 μF)を介して、AVssに接続してください。

2.3.2 R5F11R

各端子の未使用端子の処理を表2-4に示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図(Top View), 2.1 ポート機能を参照してください。

表2-4 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P01-P07	入出力	デジタル入力無効時： オープンにしてください。
P10-P16		アナログ入力モード： オープンにしてください。
		デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。
		デジタル出力時： オープンにしてください。
		セグメント出力時： オープンにしてください。
P17		入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。
		出力時： オープンにしてください。
P20-P27		入力時： 個別に抵抗を介して、AVDDまたはAVssに接続してください。
		出力時： オープンにしてください。
P30-P32, P35-P37		デジタル入力無効時： オープンにしてください。
		デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。
		デジタル出力時： オープンにしてください。
		セグメント出力時： オープンにしてください。
P40/TOOL0		入力時： 個別に抵抗を介して、VDDに接続またはオープンにしてください。
		出力時： オープンにしてください。
P43, P44	入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。	
	出力時： オープンにしてください。	
P50-P53	デジタル入力無効時： オープンにしてください。	
	デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。	
	デジタル出力時： オープンにしてください。	
	セグメント出力時： オープンにしてください。	
P60, P61	入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。	
	出力時： ポートの出力ラッチに0を設定してオープン、またはポートの出力ラッチに1を設定し、個別に抵抗を介してVDDまたはVssに接続してください。	
P70-P77	デジタル入力無効時： オープンにしてください。	
	デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。	
	デジタル出力時： オープンにしてください。	
	セグメント出力時： オープンにしてください。	
P80-P86	入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。	
	出力時： オープンにしてください。	
P121-P124	入力	個別に抵抗を介して、VDDまたはVssに接続してください。
P125-P127	入出力	デジタル入力無効時： オープンにしてください。
		入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。
		出力時： オープンにしてください。
		LCD機能モード時： オープンにしてください。
P137	入力	個別に抵抗を介して、VDDまたはVssに接続してください。
P150, P151	入出力	入力時： 個別に抵抗を介して、AVDDまたはAVssに接続してください。
		出力時： オープンにしてください。
RESET	入力	VDDに直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ(0.47~1 μF)を介し、Vssに接続してください。
COM0-COM7	出力	オープンにしてください。
VL1, VL2, VL4	—	オープンにしてください。

2.4 端子ブロック図

2.1.1～2.1.4に記載した端子タイプについて、端子ブロック図を図2-1～図2-18に示します。

図2-1 端子タイプ2-1-1の端子ブロック図

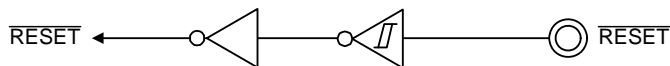


図2-2 端子タイプ2-1-2の端子ブロック図

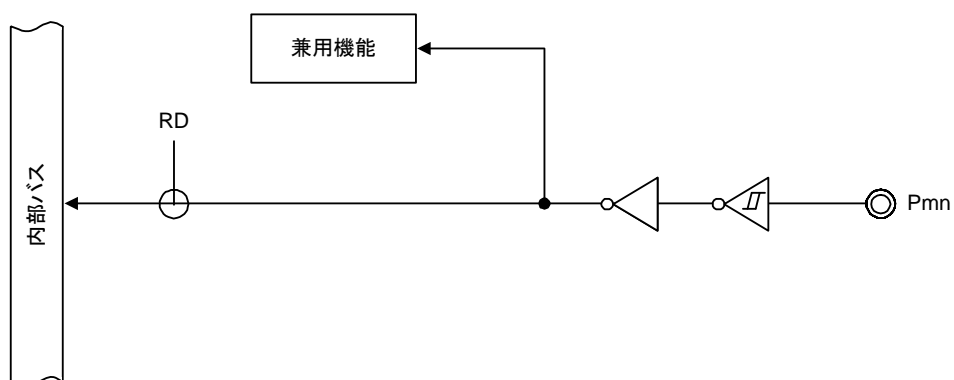
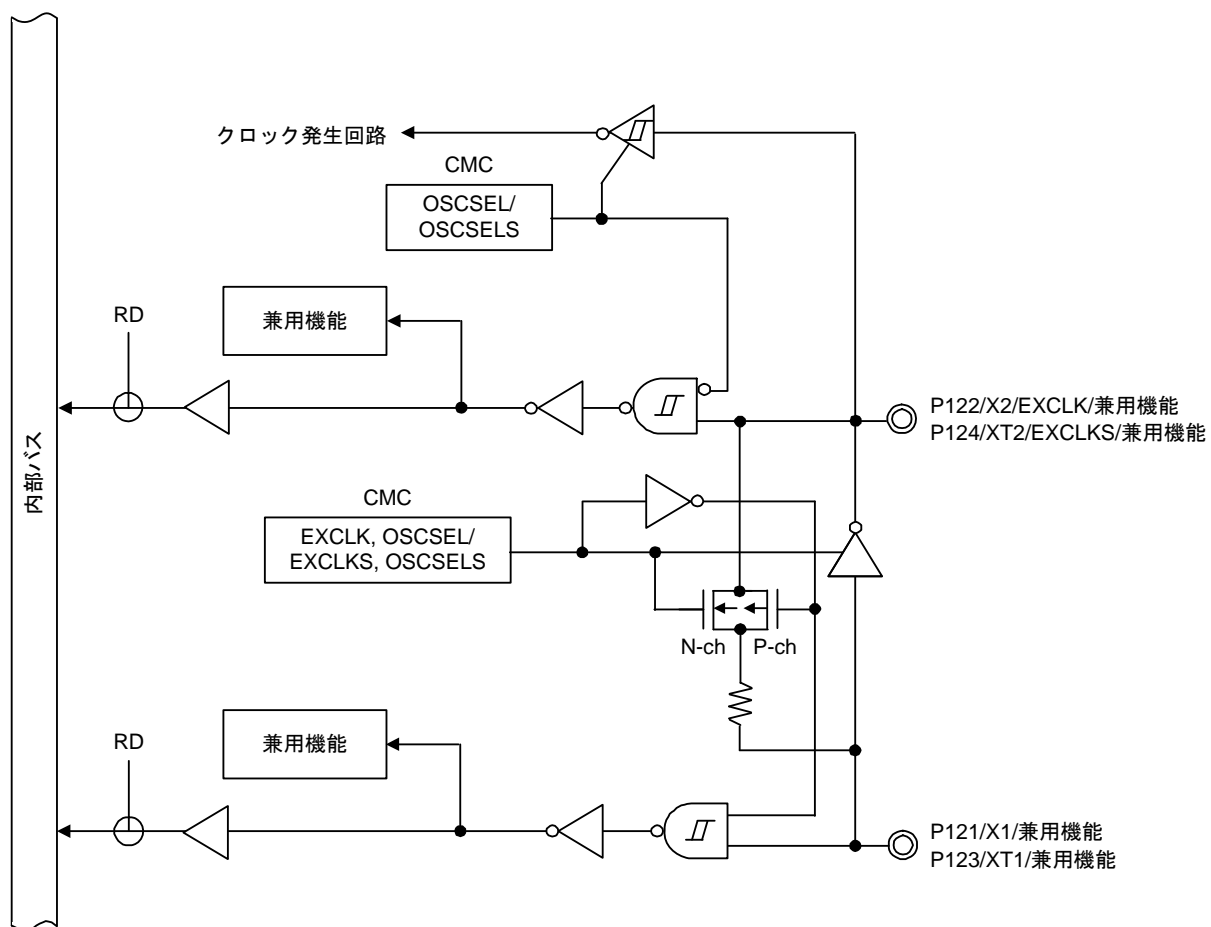
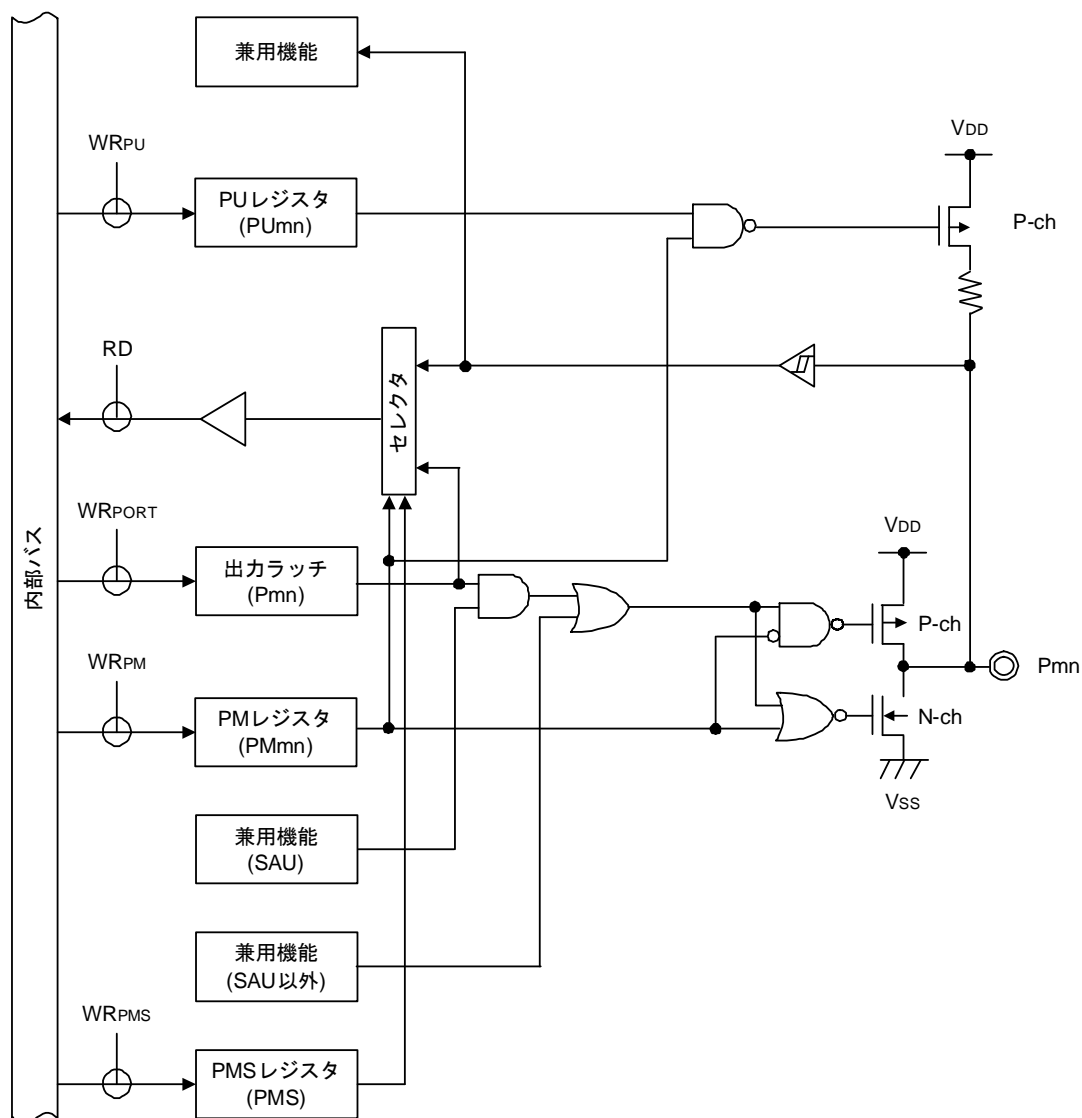


図2-3 端子タイプ2-2-1の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-4 端子タイプ7-1-3の端子ブロック図

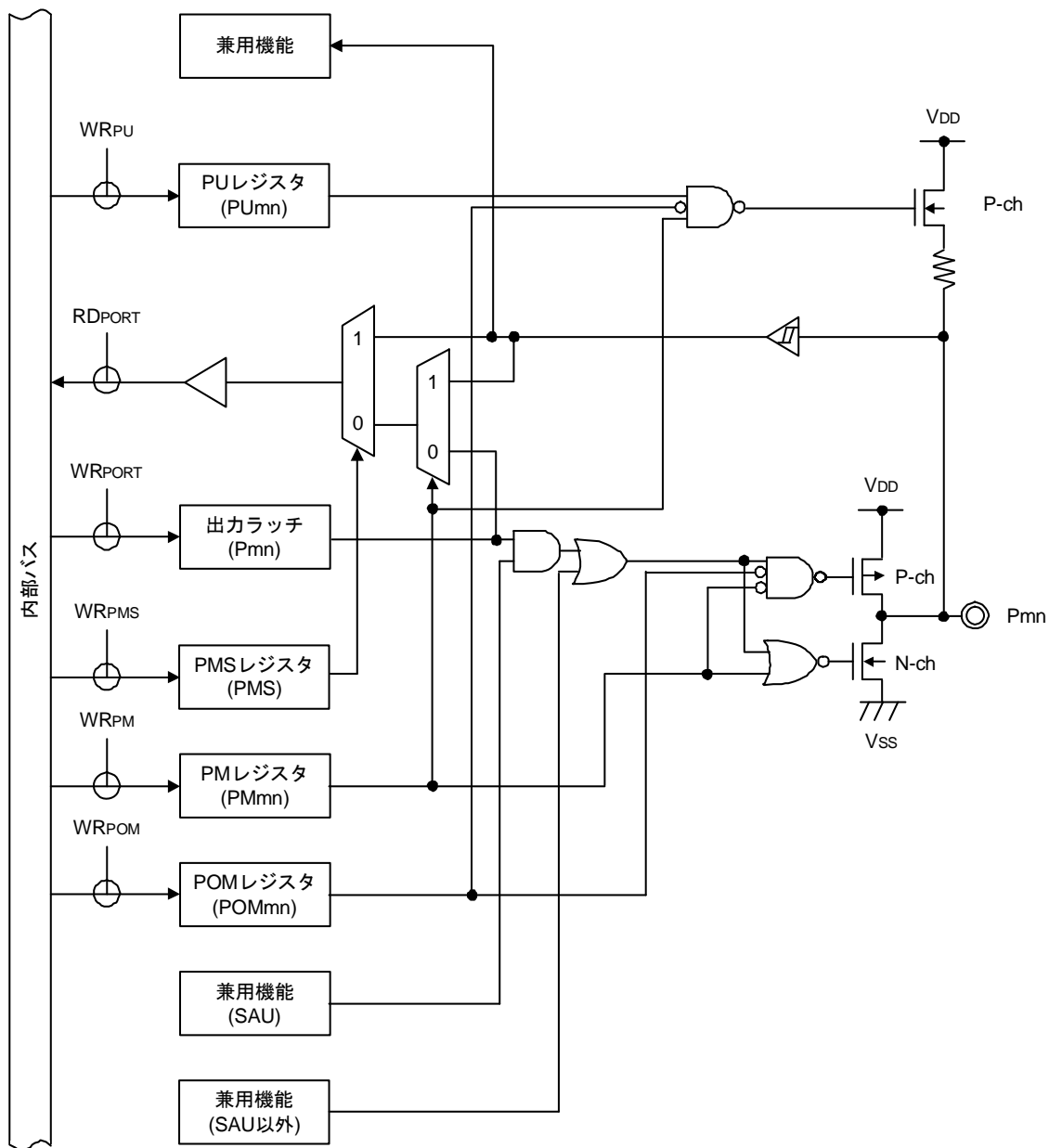


注意 R5F11Rに対して、P20-P27,P150,P151 端子の場合に、上記図2-4中のVDDをAVDDに読み替える、VSSをAVSSに読み替えること。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-5 端子タイプ7-1-4の端子ブロック図

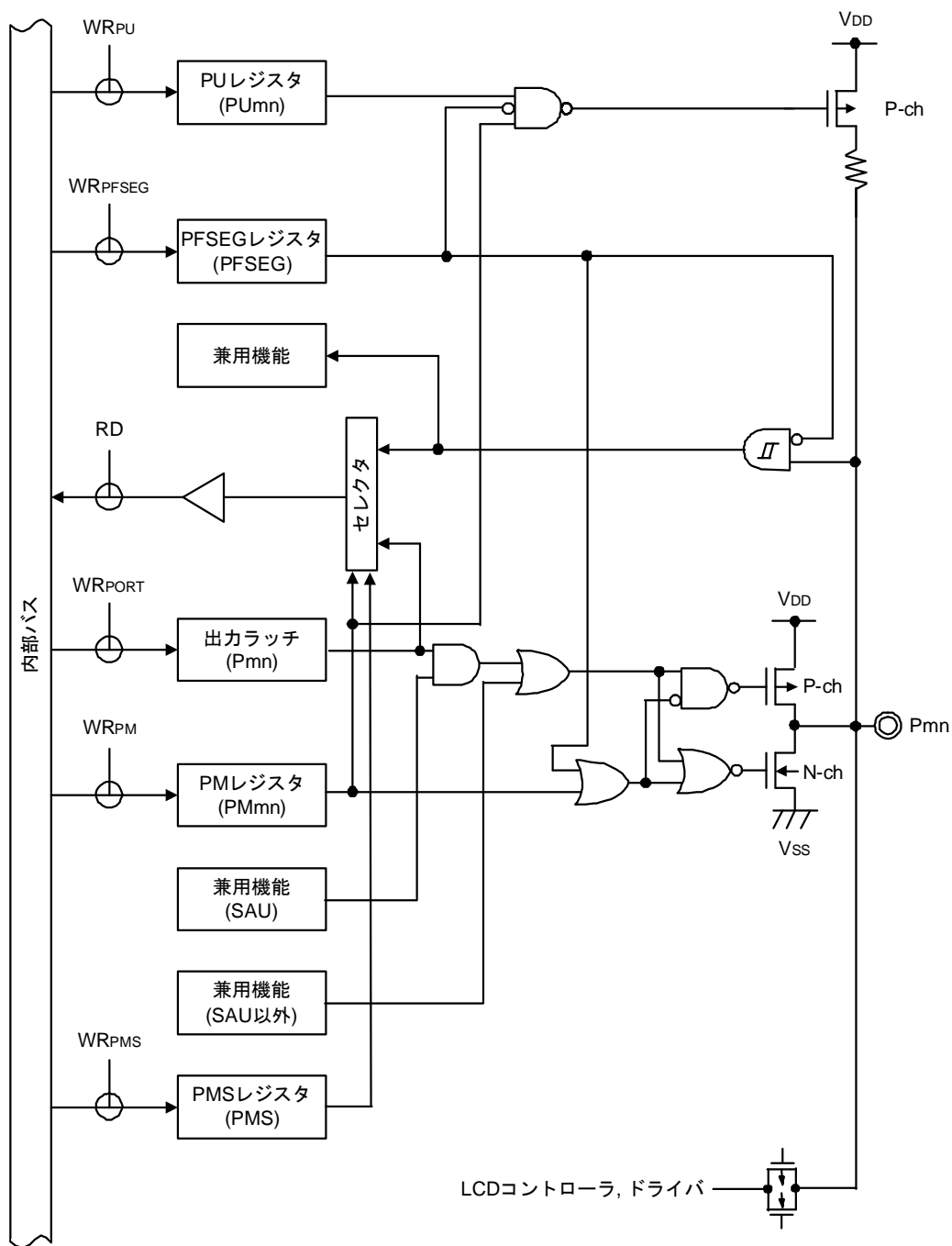


注意 ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

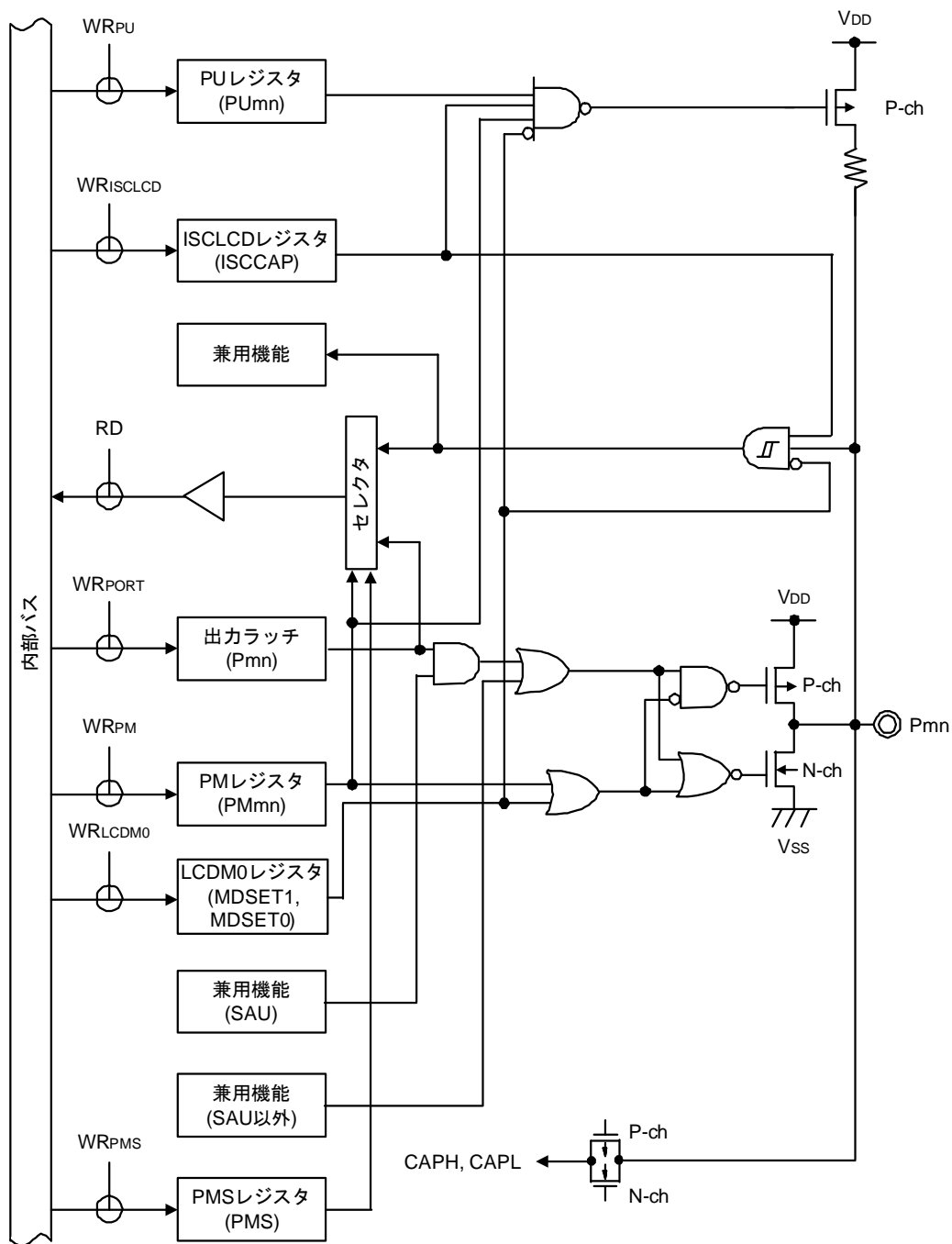
図2-7 端子タイプ7-5-4の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

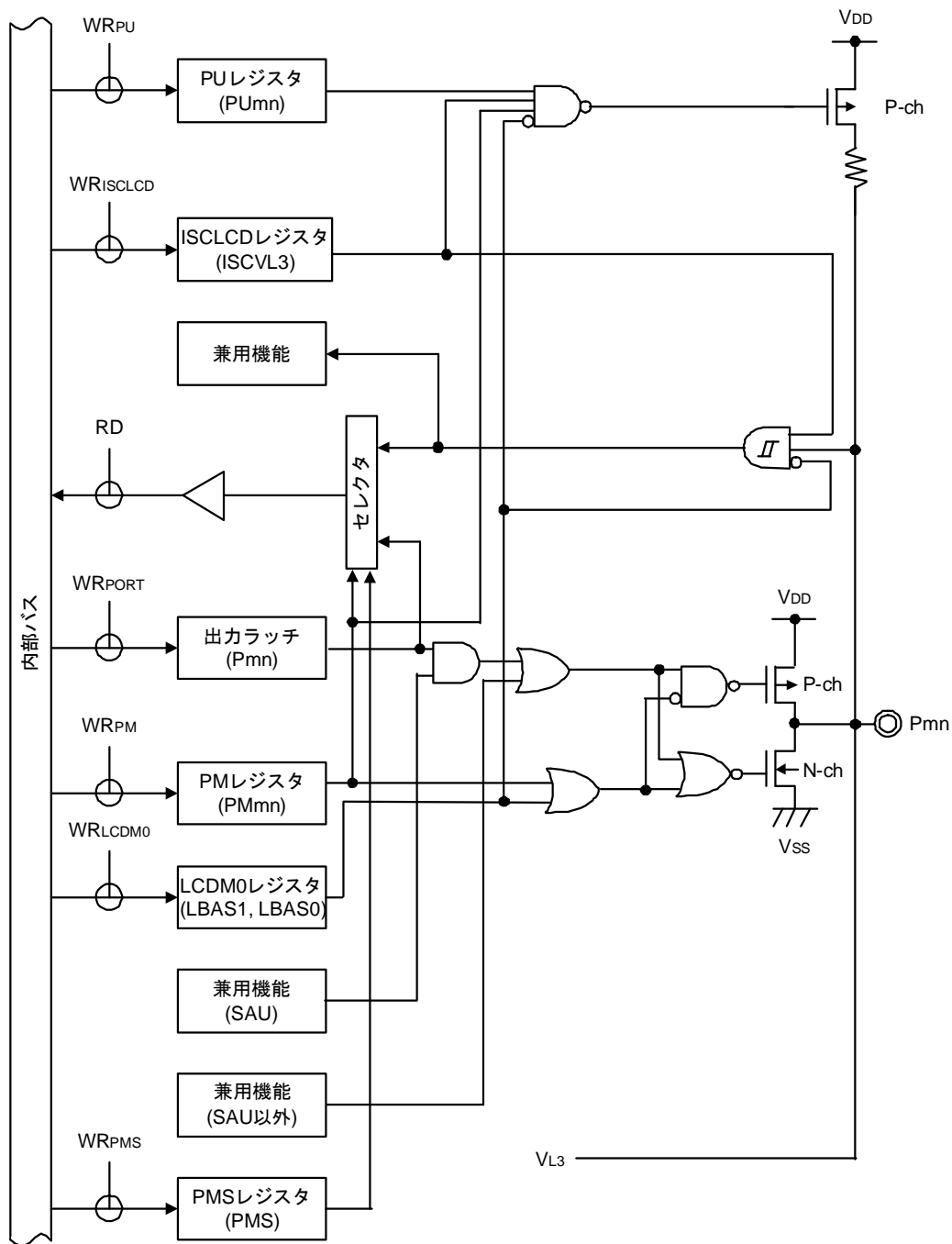
図2-8 端子タイプ7-5-5の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

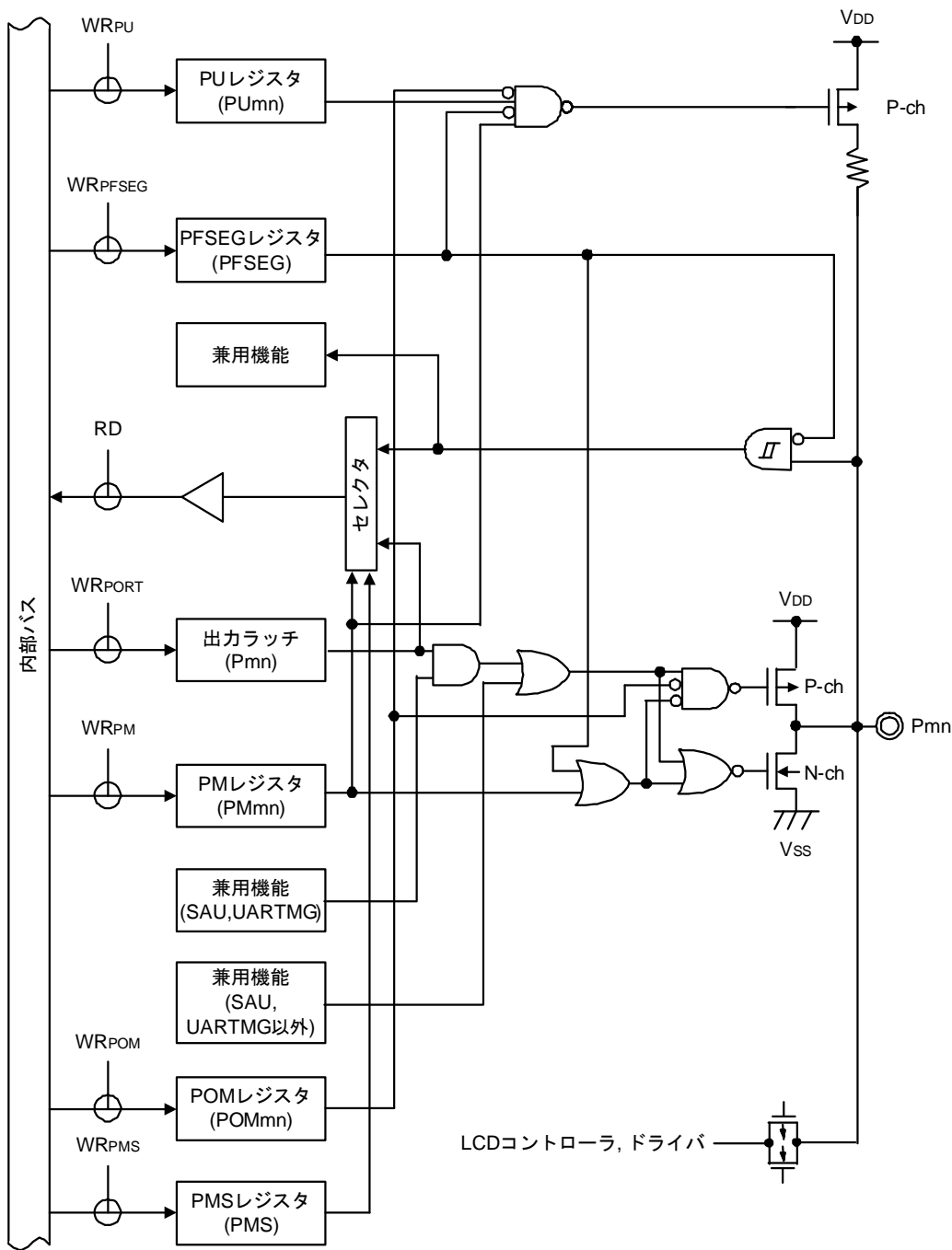
図2-9 端子タイプ7-5-6の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-10 端子タイプ7-5-10の端子ブロック図



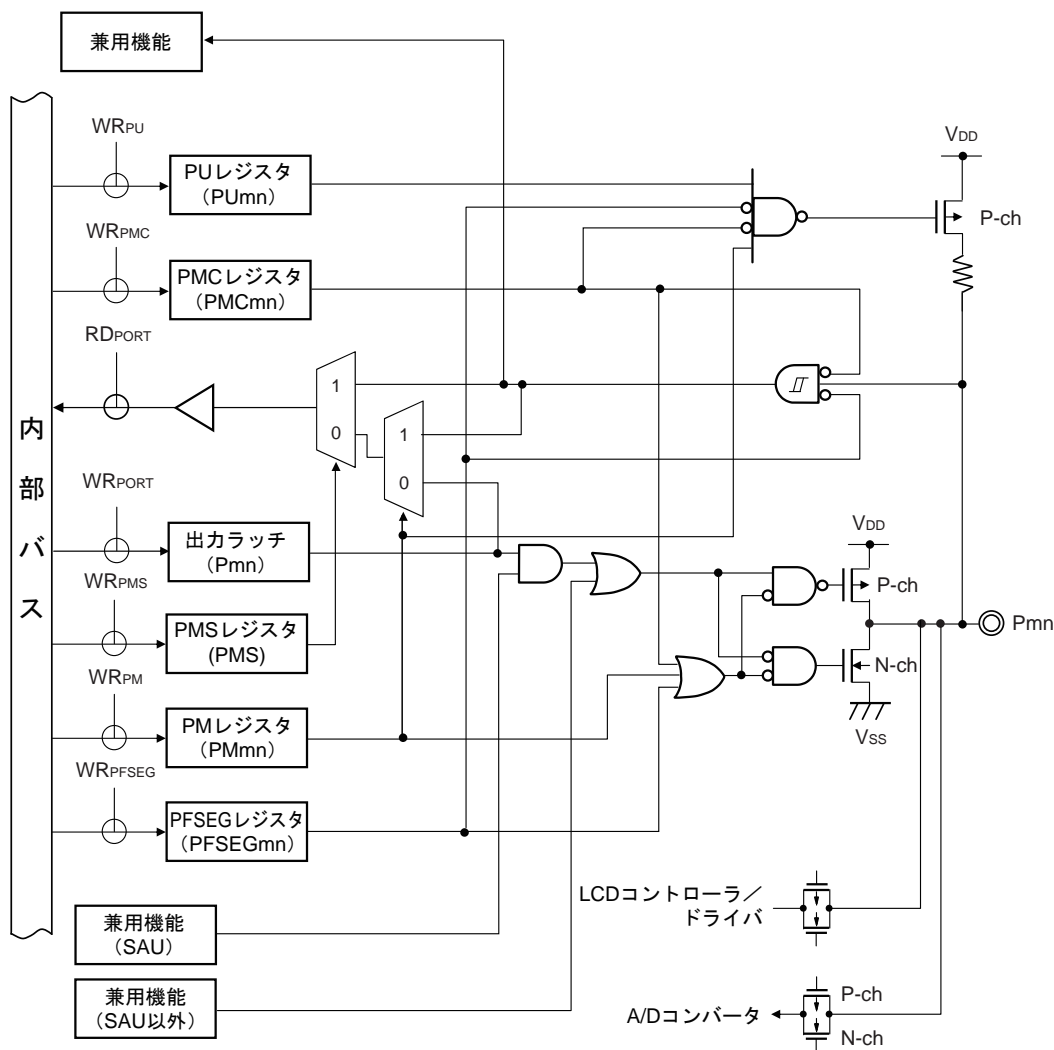
注意 ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

備考3. UARTMG : シリアル・インタフェースUARTMG(R5F11Rのみ)

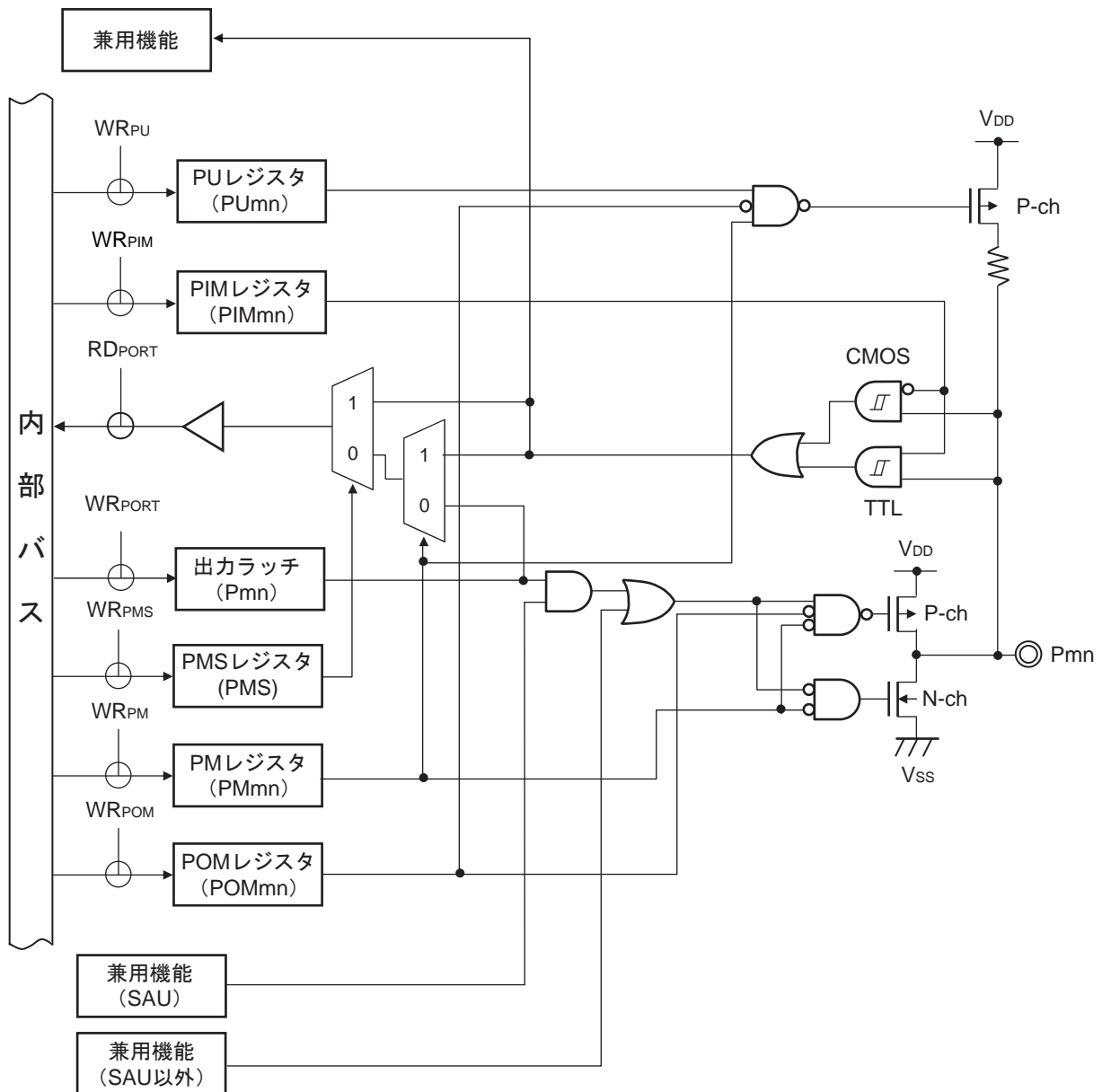
図2-11 端子タイプ7-10-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-12 端子タイプ8-1-4の端子ブロック図



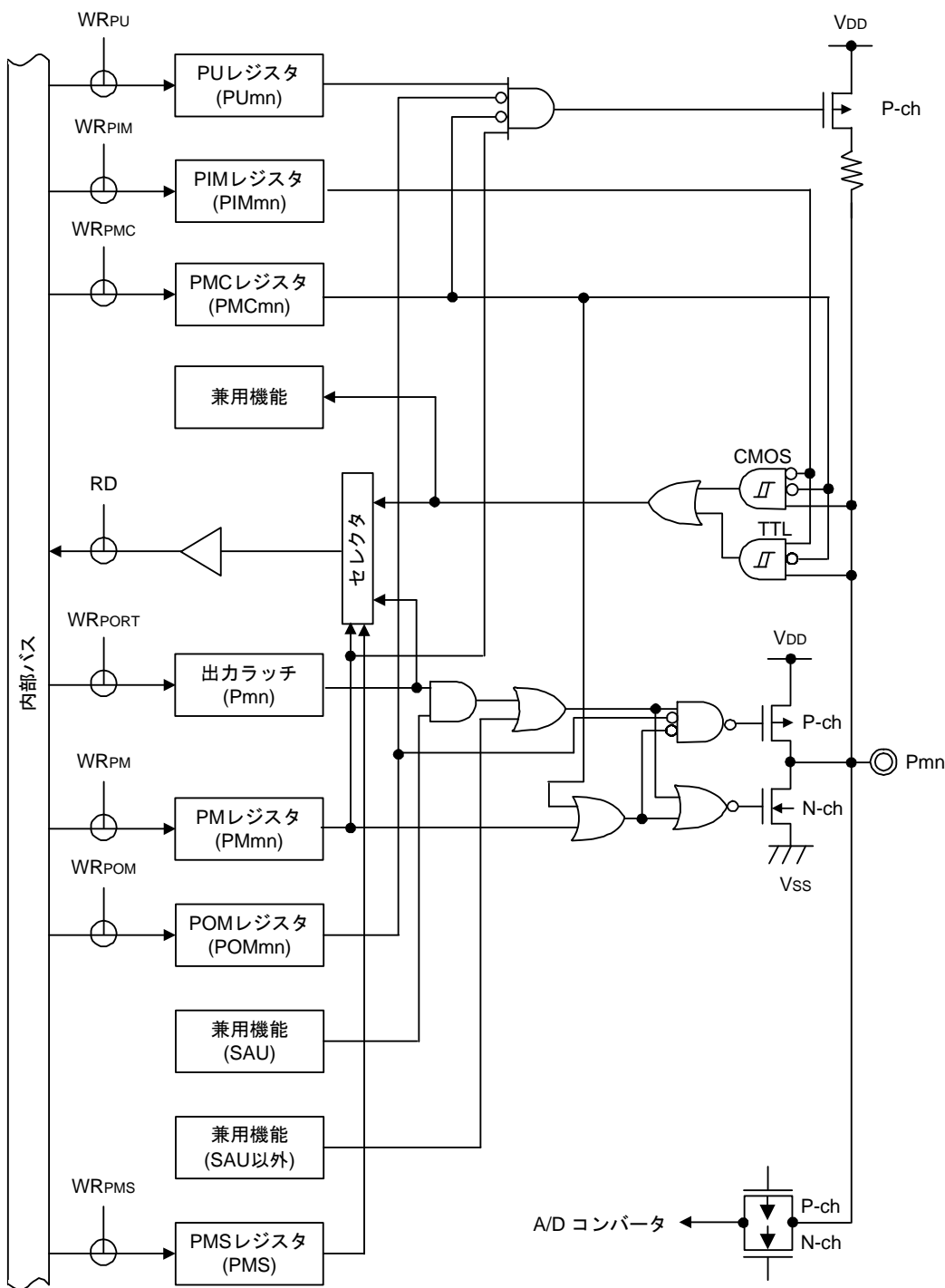
注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

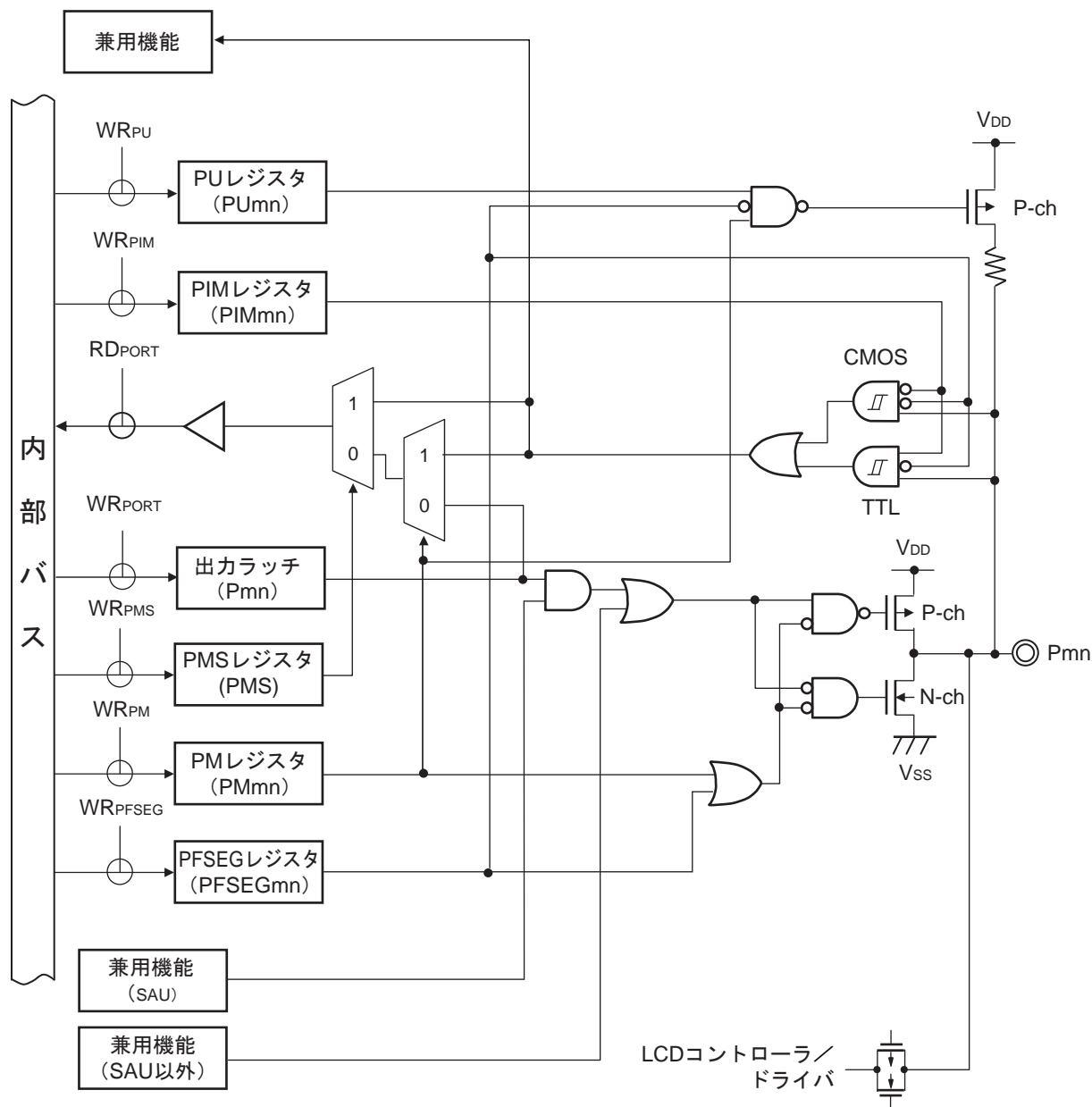
図2-13 端子タイプ8-3-4の端子ブロック図



- 注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
- 注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
- 備考2. SAU : シリアル・アレイ・ユニット

図2-14 端子タイプ8-5-4の端子ブロック図

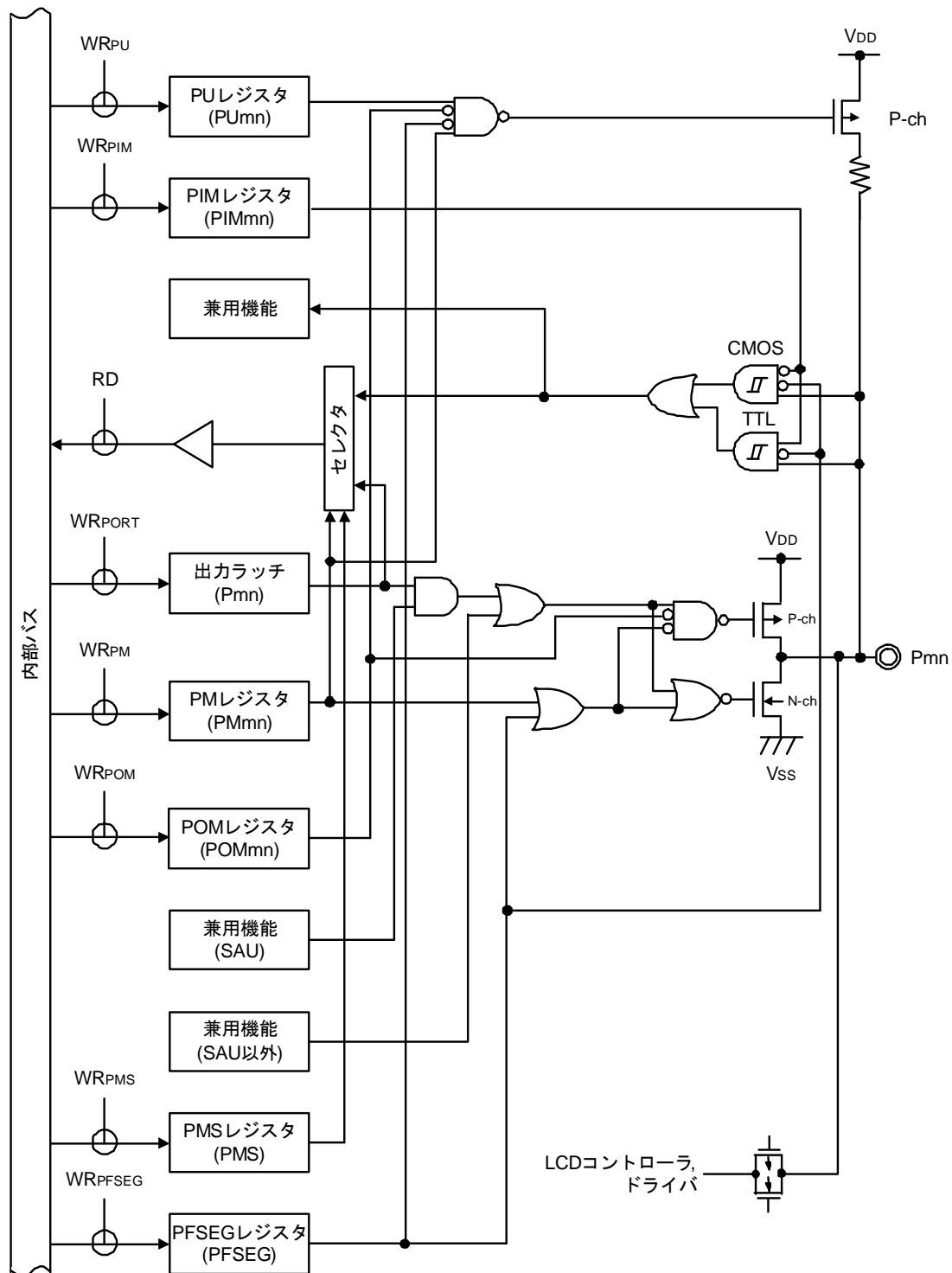


注意 ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-15 端子タイプ8-5-10の端子ブロック図

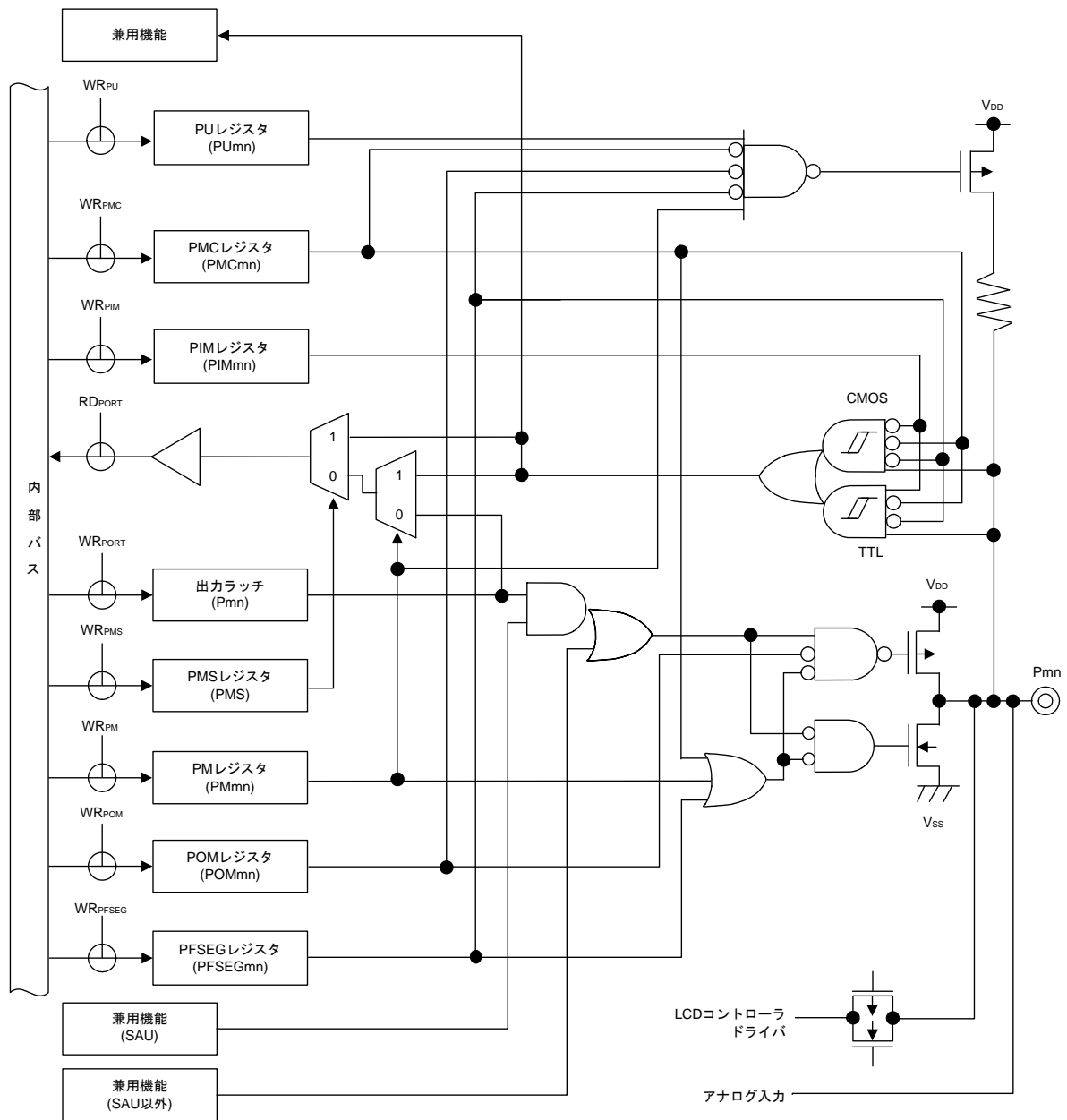


- 注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
- 注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-16 端子タイプ8-5-13の端子ブロック図



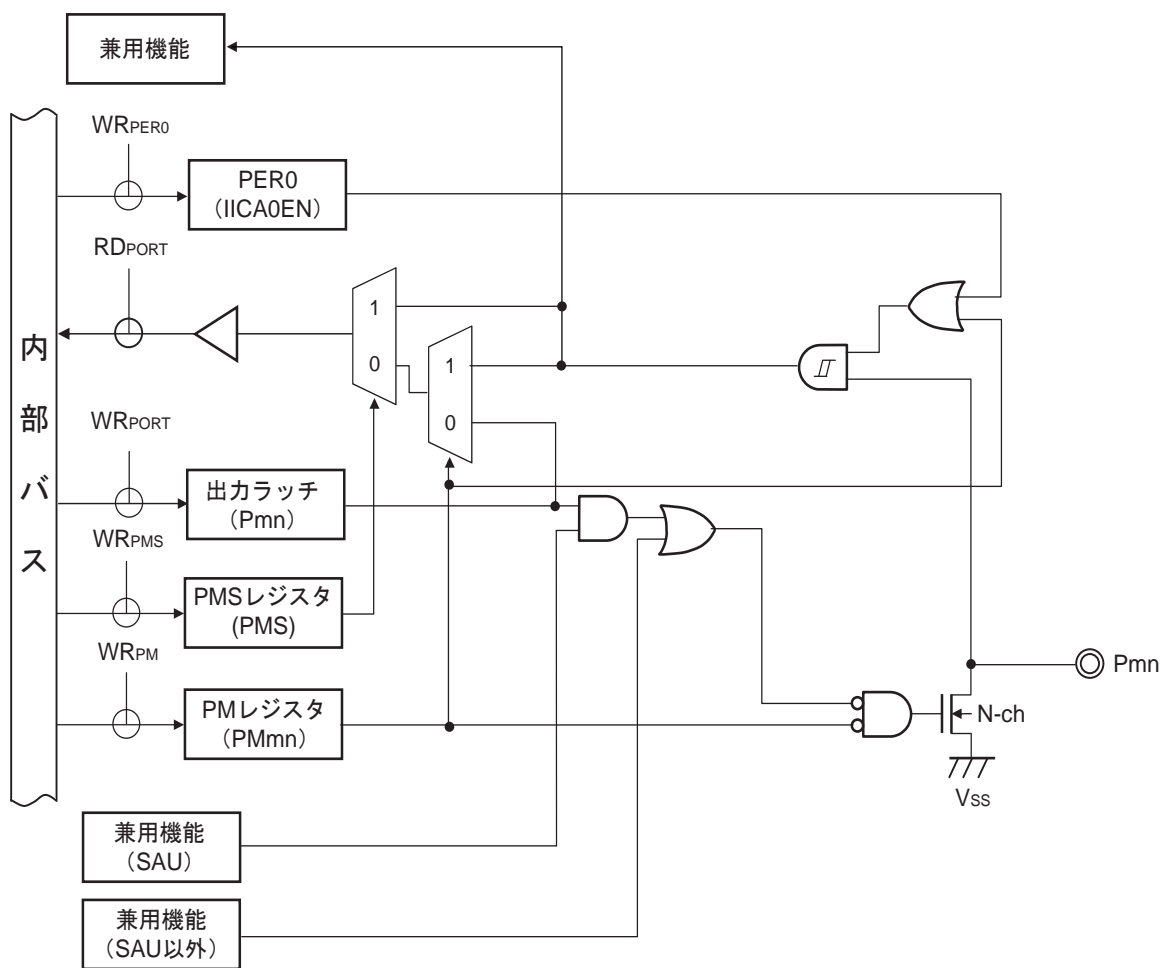
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

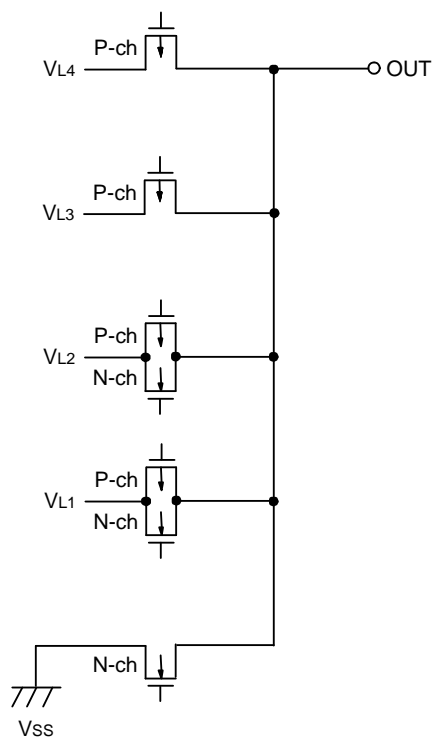
図2-17 端子タイプ12-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-18 端子タイプ18-5-1の端子ブロック図



第3章 CPUアーキテクチャ

3.1 概要

RL78 マイクロコントローラのCPUコアは、命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに、フェッチ、デコード、メモリ・アクセスの3段パイプライン制御を採用することで、従来のCPUコアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とする様々なアプリケーションに対して、高性能かつ高速な命令処理で応えることができます。

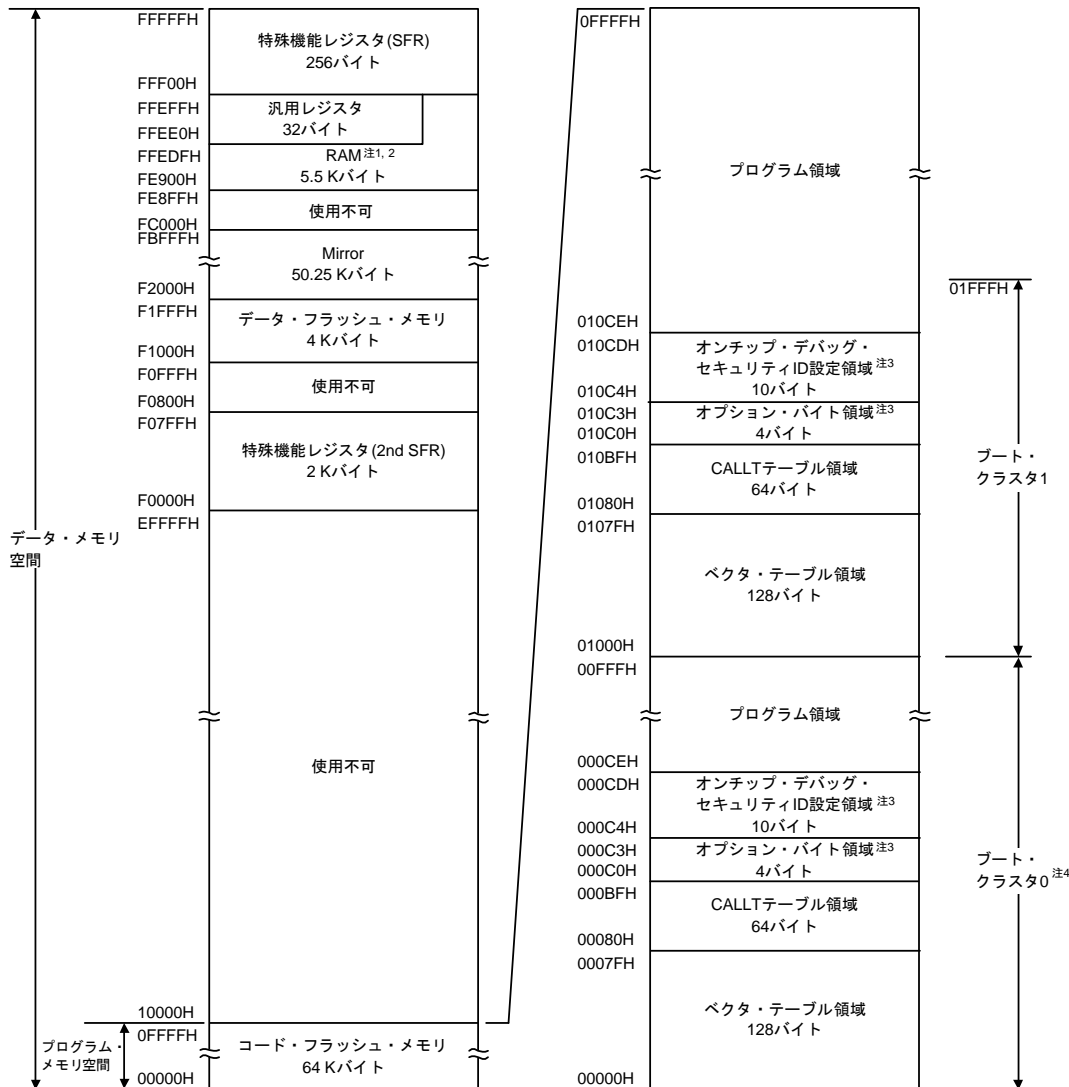
RL78/H1Dは、RL78-S3コアであり、主に以下のような特徴を有します。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ × 8
- 命令の種類：81種類
- データ配置：リトル・エンディアン
- 乗除算積和演算命令：対応

3.2 メモリ空間

RL78/H1Dは、1 Mバイトのメモリ空間をアクセスできます。図3-1～図3-4に、メモリ・マップを示します。

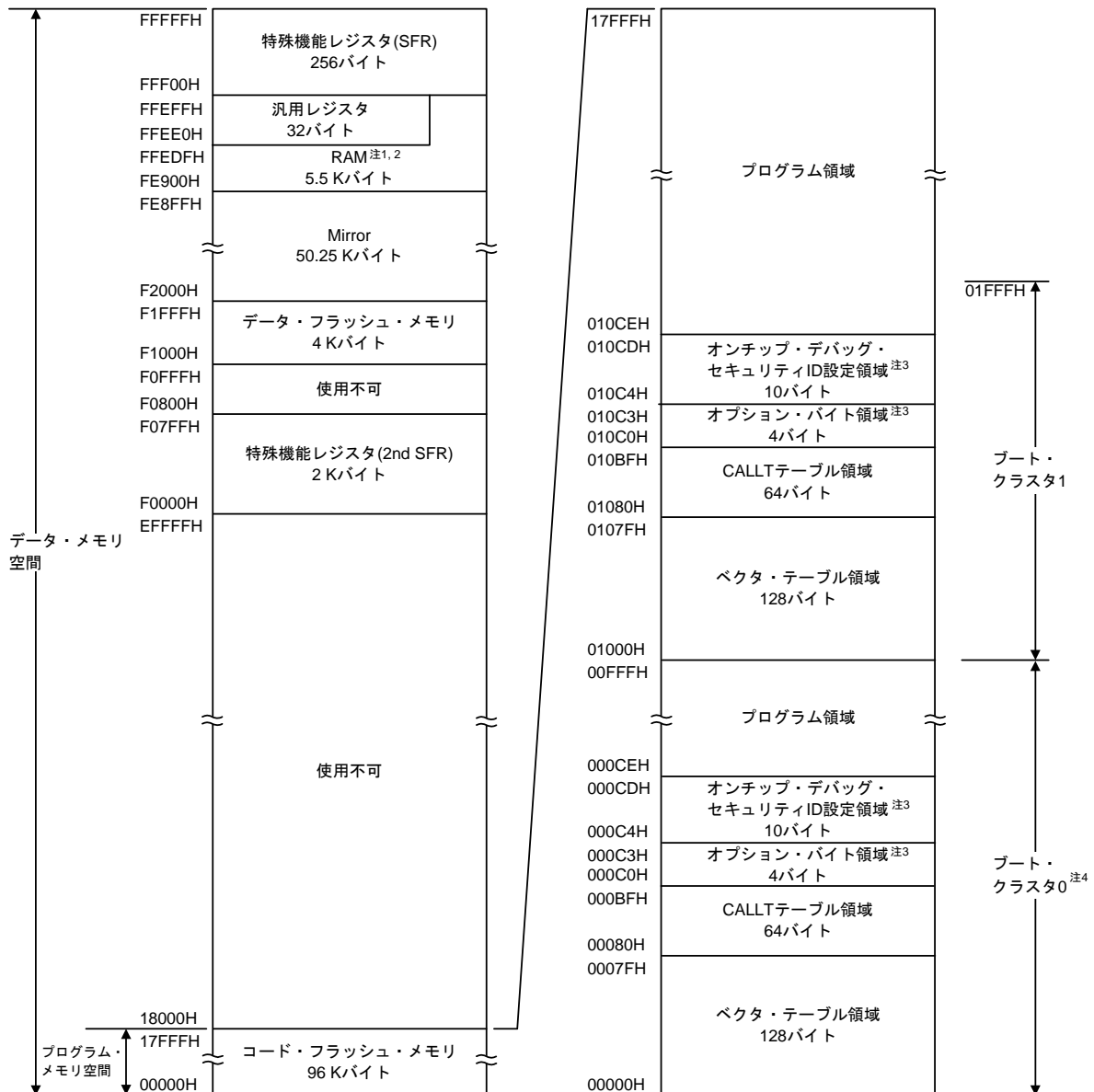
図3-1 メモリ・マップ(R5F11NME)



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティ IDを設定
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティ ID設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(34.7 セキュリティ設定を参照)。

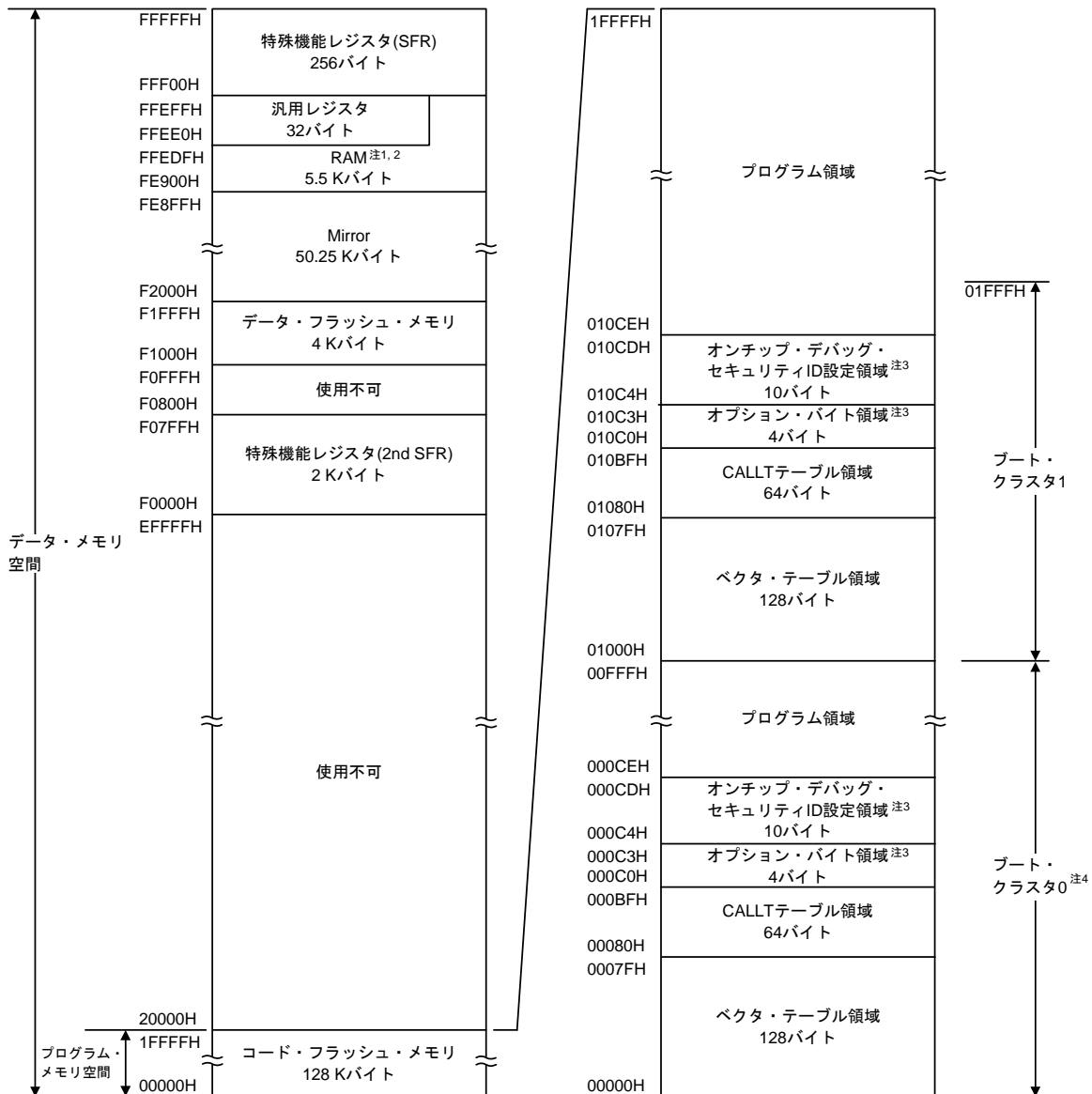
注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、31.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-2 メモリ・マップ(R5F11xF(x = NG, NL, NM, PL))



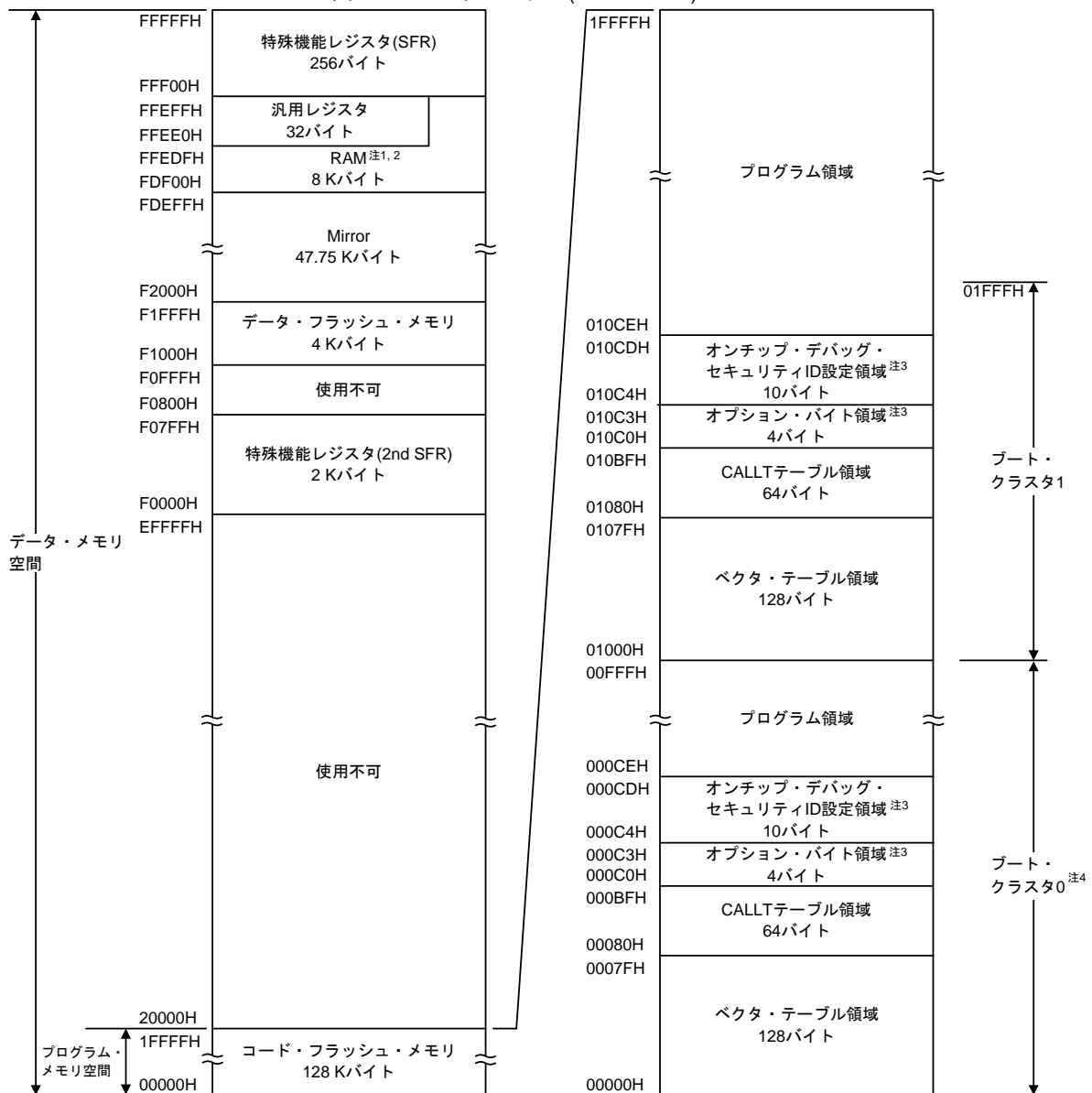
- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用されるデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
 - 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
 - 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティ IDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティ ID設定
 - 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(34.7 セキュリティ設定を参照)。
- 注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、31.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-3 メモリ・マップ(R5F11xG(x = NG, NL, NM, PL))



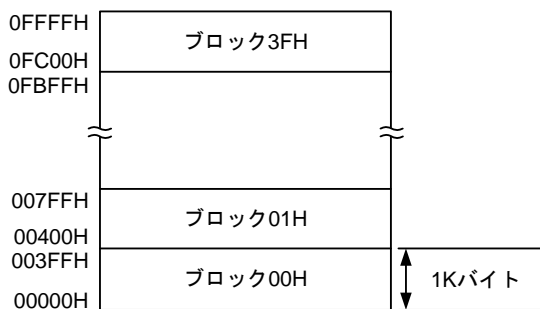
- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
 - 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
 - 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3H にオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティ ID 設定
 - 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(34.7 セキュリティ設定を参照)。
- 注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、31.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-4 メモリ・マップ(R5F11RMG)



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、フラッシュ・ライブラリがFDF00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト (R20UT2943) を参照してください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティID設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(34.7 セキュリティ設定を参照)。
- 注意1. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、31.3.3 RAMパリティ・エラー検出機能を参照してください。
- 注意2. オンチップ・デバッグのトレース機能使用時は、FE300H-FE6FFHの領域が使用禁止になります。

備考 フラッシュ・メモリはブロックごとに分かれています(1ブロック=1Kバイト)。アドレス値とブロック番号については、表 3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



(R5F11NMEの場合)

3.2.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/H1Dは、次に示す内部ROM (フラッシュ・メモリ) を内蔵しています。

表3-2 内部ROM容量

製品	内部ROM	
	構造	容量
R5F11NME	フラッシュ・メモリ	65536 × 8 ビット (00000H-0FFFFH)
R5F11xF (x = NG,NL,NM,PL)		98304 × 8 ビット (00000H-17FFFH)
R5F11xG (x = NG,NL,NM,PL), R5F11RMG		131072 × 8 ビット (00000H-1FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FH の 128 バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、01000H-0107FHにもベクタ・テーブルを設定してください。

表3-3 ベクタ・テーブル(1/2)

ベクタ・テーブル・アドレス	割り込み要因	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○
00004H	INTWDTI	○	○	○	○
00006H	INTLVI	○	○	○	○
00008H	INTP0	○	○	○	○
0000AH	INTP1	○	○	○	○
0000CH	INTP2	○	○	○	○
0000EH	INTP3	○	○	○	○
00010H	INTP4	○	○	○	○
00012H	INTP5	○	○	○	○
00014H	INTST2/INTCSI20/INTIIC20	○	○	○	○
00016H	INTSR2	○	○	○	○
00018H	INTSRE2	○	○	○	○
0001EH	INTST0/INTCSI00/INTIIC00	○	○	○	○
00020H	INTTM00	○	○	○	○
00022H	INTSR0	○	○	○	○
00024H	INTSRE0	○	○	○	○
	INTTM01H	○	○	○	○
00026H	INTST1/INTCSI10/INTIIC10	○	○	○	○
00028H	INTSR1	○	○	○	○
0002AH	INTSRE1	○	○	○	○
	INTTM03H	○	○	○	○
0002CH	INTIICA0	○	○	○	○
0002EH	INTRTIT	○	○	○	○
	INTSMP0	—	—	—	○
00032H	INTTM01	○	○	○	○
00034H	INTTM02	○	○	○	○
00036H	INTTM03	○	○	○	○
00038H	INTAD	○	○	○	○
0003AH	INTRTC	○	○	○	○
	INTSMP1	—	—	—	○
0003CH	INTIT	○	○	○	○
0003EH	INTRRJ0	—	—	—	○
00040H	INTRRJ1	—	—	—	○
00042H	INTTM04	○	○	○	○
00044H	INTTM05	○	○	○	○
00046H	INTP6	○	—	○	○
00048H	INTP7	○	—	—	○
0004CH	INTTM06	○	○	○	○

表3-3 ベクタ・テーブル(2/2)

ベクタ・テーブル・アドレス	割り込み要因	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
0004EH	INTTM07	○	○	○	○
00050H	INTIT00	○	○	○	○
00052H	INTIT01	○	○	○	○
00054H	INTIT10	—	—	—	○
00056H	INTIT11	—	—	—	○
00058H	INTIT20	—	—	—	○
0005AH	INTIT21	—	—	—	○
0005CH	INTDSAD	○	○	○	—
	INTEXSD	—	—	—	○
00060H	INTDSADS	○	○	○	—
	INTSMP2	—	—	—	○
00062H	INTFL	○	○	○	○
00064H	INTSMP3	—	—	—	○
00066H	INTSMP4	—	—	—	○
00068H	INTSMP5	—	—	—	○
0006AH	INTSMOTA	—	—	—	○
0006CH	INTSMOTB	—	—	—	○
0006EH	INTSTMG0	—	—	—	○
00070H	INTSRMG0	—	—	—	○
00072H	INTSREMG0	—	—	—	○
0007EH	BRK	○	○	○	○

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第33章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第35章 オンチップ・デバッグ機能を参照してください。

3.2.2 ミラー領域

RL78/H1D では、00000H-0FFFFH のコード・フラッシュ・エリアを F0000H-FFFFFH へミラーしています。フラッシュ・メモリが96 KB以上の製品では、00000H-0FFFFHまたは10000H-1FFFFHのコード・フラッシュ・エリアをF0000H- FFFFFHへミラーしています(プロセッサ・モード・コントロール・レジスタ (PMC) で設定)。

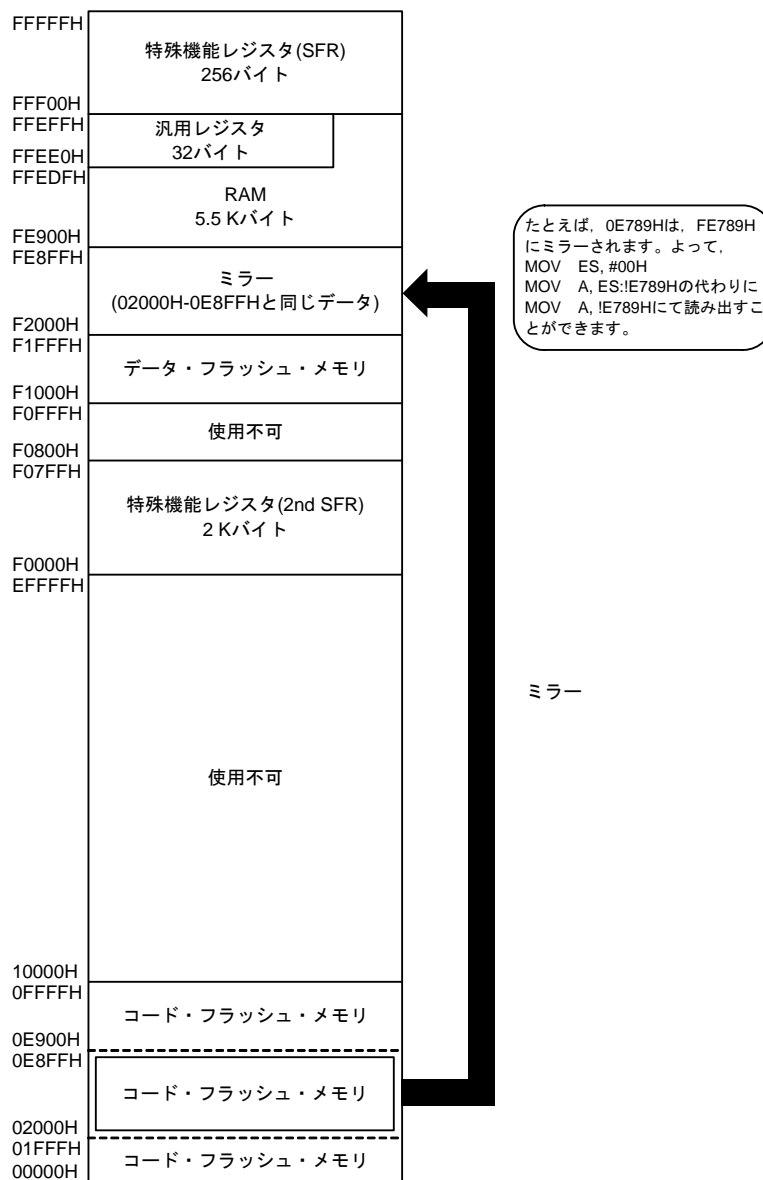
ミラー先のF0000H-FFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.2 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F11NME (フラッシュ・メモリ 64 Kバイト, RAM 5.5 Kバイト) の場合



次に、PMCレジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-5 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA
MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定							
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー							
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー							

注意1. フラッシュ・メモリが64 KB以下の製品は、必ずビット0 (MAA) を0 (初期値) でご使用ください。

注意2. PMCレジスタの設定は、DTC (データトランスファコントローラ) を動作させる前に初期設定で1度だけ行ってください。初期設定以外でのPMCレジスタの書き替えは禁止です。

注意3. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.2.3 内部データ・メモリ空間

RL78/H1Dは、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製品	内部RAM
R5F11NME	5632x8ビット(FE900H-FFEFFFH)
R5F11xF(x = NG, NL, NM, PL)	
R5F11xG(x = NG, NL, NM, PL)	
R5F11RMG	8192x8ビット(FDF00H-FFEFFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます(汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうちFFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタが割り当てられている空間(FFEE0H-FFEFFFH)の空間は、命令フェッチやスタック領域として使用できません。
- 注意2. 次に示す製品の内部RAM領域は、セルフ・プログラミングおよびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。
- R5F11RMG : FDF00H-FE309H
- 注意4. 次に示す製品の内部RAM領域は、オンチップ・デバッグのトレース機能使用時にスタック・メモリとして使用できません。
- R5F11RMG : FE300H-FE6FFH

3.2.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.3.4 特殊機能レジスタ (SFR : Special Function Register) の表3 - 5参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3 - 6参照)。

SFR領域 (FFF00H-FFFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

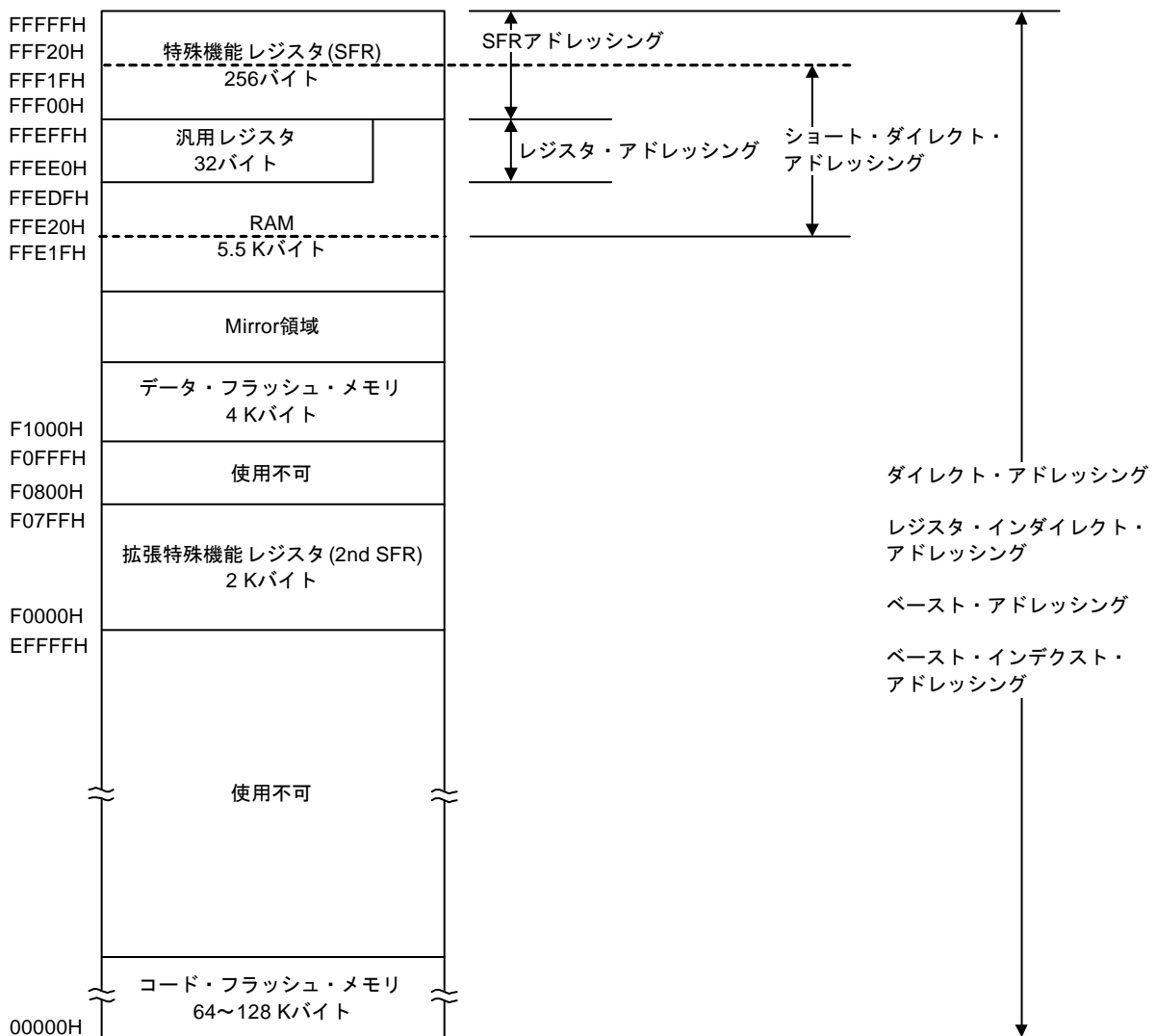
3.2.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/H1Dでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-6にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、3.5 処理データ・アドレスに対するアドレッシングを参照してください。

図3-6 データ・メモリとアドレッシングの対応



3.3 プロセッサ・レジスタ

RL78/H1Dは、次のプロセッサ・レジスタを内蔵しています。

3.3.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP)があります。

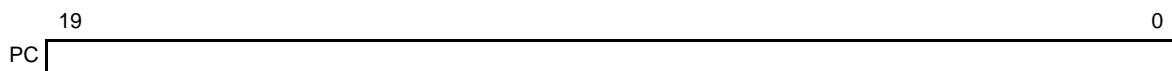
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000H, 0001H番地のリセット・ベクタ・テーブルの値が、下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図3-7 プログラム・カウンタの構成



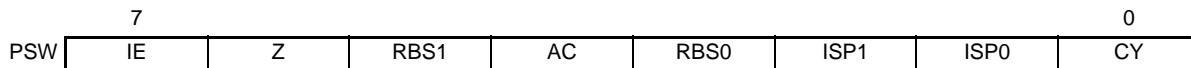
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時および PUSH PSW 命令の実行時にスタック領域に格納され、 RETB, RETI 命令および POP PSW 命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ(Z)

演算結果がゼロのときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL Rn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサース・プライオリティ・フラグ(ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (26.3.3参照) でISP0, ISP1 フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されます。

備考 .n = 0, 1

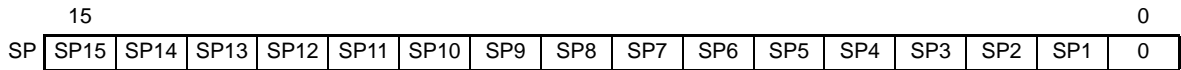
(f) キャリー・フラグ(CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する 16 ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-9 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 注意2. 汎用レジスタ (FFEE0H-FFEFFH)の空間は、命令フェッチやスタック領域として使用を禁止します。
- 注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスを FFE20H-FFEDFHの領域に配置しなしてください。
- 注意4. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。
R5F11RMG : FDF00H-FE309H
- 注意5. 次に示す製品の内部RAM領域は、オンチップ・デバッグのトレース機能使用時にスタック・メモリとして使用できません。
R5F11RMG : FE300H-FE6FFH

3.3.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地(FFEE0H-FFEFFH)にマッピングされており、8ビット・レジスタ8個(X, A, C, B, E, D, L, H)を1バンクとして4バンクのレジスタで構成されています。

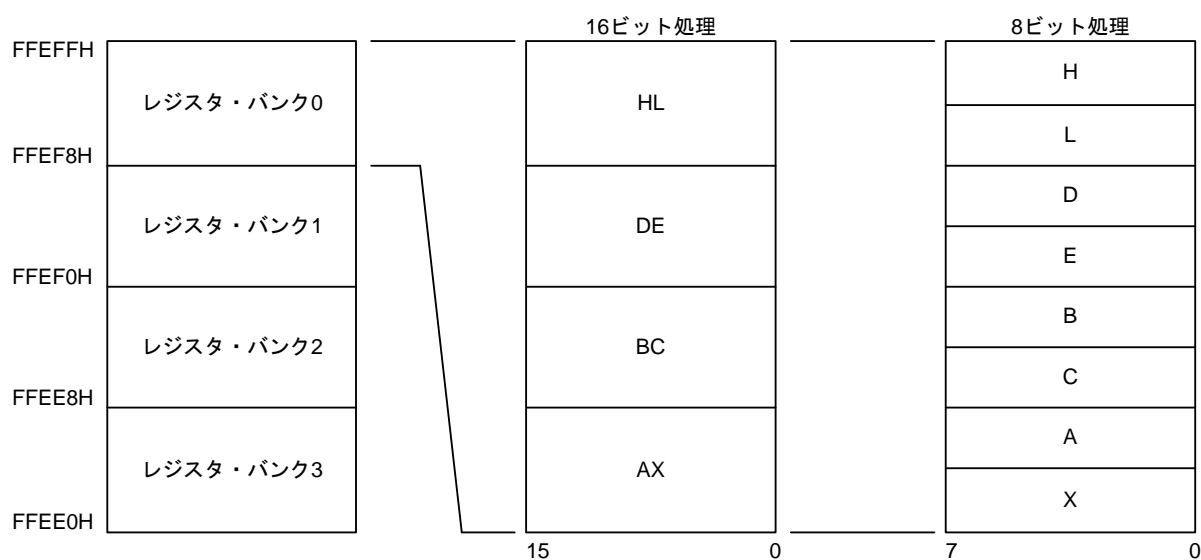
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます(AX, BC, DE, HL)。

命令実行時に使用するレジスタ・バンクは、CPU制御命令(SEL RBn)によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

注意 汎用レジスタ(FFEE0H-FFEFFH)の空間は、命令フェッチやスタック領域として使用できません。

図3-10 汎用レジスタの構成

(a)機能名称

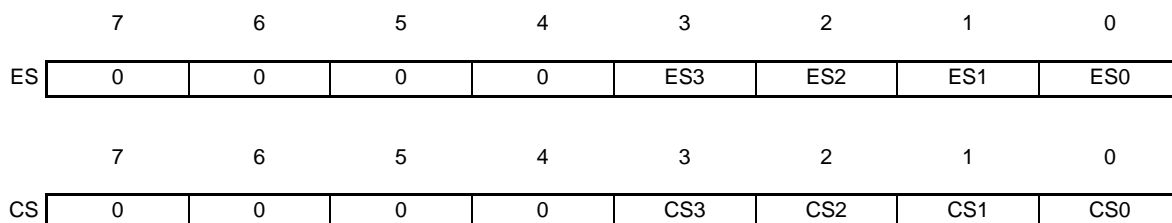


3.3.3 ES, CS レジスタ

ESレジスタでデータ・アクセス, CSレジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

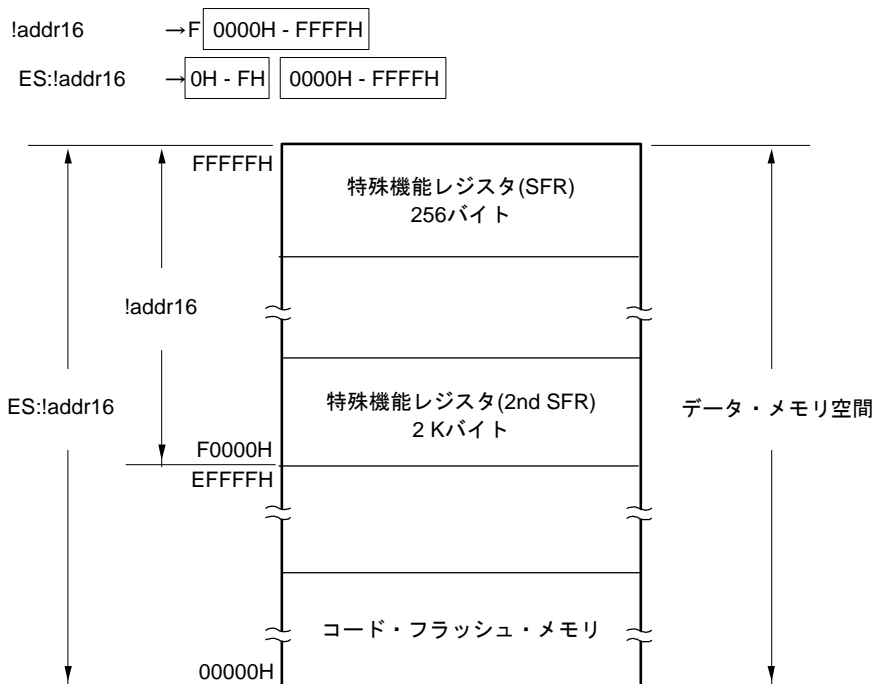
ESレジスタのリセット後の初期値は0FH, CSレジスタのリセット後の初期値は00Hです。

図3 - 11 ES/CSレジスタの構成



16ビット・アドレスでアクセスできるデータ領域は, F0000H-FFFFFHの64 Kバイト空間ですが, ES: を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3 - 12 データ・アクセス領域の拡張



3.3.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr 命令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考. 拡張SFR (2nd SFR)については、3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)を参照してください。

表3-5 SFR一覧(1/5)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	—	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	—	00H
FFF08H	ポート・レジスタ8	P8		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	—	不定
FFF0FH	ポート・レジスタ15	P15		R/W	○	○	—	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○	00H	
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	—	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	—	FFH
FFF28H	ポート・モード・レジスタ8	PM8		R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	—	FFH
FFF2FH	ポート・モード・レジスタ15	PM15		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	—	00H

表3-5 SFR一覧(2/5)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	—	00H
FFF40H	LCDモード・レジスタ0	LCDM0		R/W	—	○	—	00H
FFF41H	LCDモード・レジスタ1	LCDM1		R/W	○	○	—	00H
FFF42H	LCDクロック制御レジスタ0	LCDC0		R/W	—	○	—	00H
FFF43H	LCD昇圧レベル制御レジスタ	VLCD		R/W	—	○	—	04H
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—	—		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	—	○	○	0000H
FFF47H		—			—	—		
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	—	○	○	0000H
FFF49H		—			—	—		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	—	○	○	0000H
FFF4BH		—			—	—		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	—	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○	00H	
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	—	—	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	—	—	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	—	—	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	—	—	○	0000H
FFF6FH								
FFF90H	12ビット・インターバル・タイマ・ コントロール・レジスタ	ITMC		R/W	—	—	○	0FFFH
FFF91H								
FFF92H	秒カウント・レジスタ	SEC		R/W	—	○	—	不定
FFF93H	分カウント・レジスタ	MIN		R/W	—	○	—	不定

表3-5 SFR一覧(3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF94H	時カウント・レジスタ	HOUR	R/W	—	○	—	不定
FFF95H	曜日カウント・レジスタ	WEEK	R/W	—	○	—	不定
FFF96H	日カウント・レジスタ	DAY	R/W	—	○	—	不定
FFF97H	月カウント・レジスタ	MONTH	R/W	—	○	—	不定
FFF98H	年カウント・レジスタ	YEAR	R/W	—	○	—	不定
FFF9AH	アラーム分レジスタ	ALARMW M	R/W	—	○	—	不定
FFF9BH	アラーム時レジスタ	ALARMW H	R/W	—	○	—	不定
FFF9CH	アラーム曜日レジスタ	ALARMW W	R/W	—	○	—	不定

表3-5 SFR一覧(4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0	R/W	○	○	—	00H注1
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1	R/W	○	○	—	00H注1
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	—	○	—	00H注1
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W	○	○	—	C0H注1
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1	R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	—	○	—	不定注2
FFFA9H	電圧検出レジスタ	LVIM	R/W	○	○	—	00H注2
FFFAAH	電圧検出レベル・レジスタ	LVIS	R/W	○	○	—	00H/01H/81H注2
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	—	○	—	9AH/1AH注3
FFFACH	CRC入力レジスタ	CRCIN	R/W	—	○	—	00H

注1. パワーオン・リセットによるリセット時のみ初期化されます。

注2. リセット要因により、次のように異なります。

リセット要因 レジスタ	リセット要因		不正命令の実行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVDによる リセット
	RESET入力	PORによる リセット					
RESF	TRAP	クリア(0)	セット(1)	保持		保持	保持
	WDTRF		保持	セット(1)	保持		
	RPERF		保持	セット(1)	保持		
	IAWRF		保持	セット(1)	保持		
	LVIRF	保持	保持	セット(1)	保持	セット(1)	
LVIM	LVISEN	クリア(0)					保持
	LVIOMSK	保持					
	LVIF						
LVIS	クリア(00H/01H/81H)						

注3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

表3-5 SFR一覧(5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD0H	割り込み要求フラグ・レジスタ2	IF2L	IF2	R/W	○	○	○	00H
FFFD1H		IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ3	IF3L		R/W	○	○	—	00H
FFFD4H	割り込みマスク・フラグ・レジスタ2	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H		MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ3	MK3L		R/W	○	○	—	FFH
FFFD8H	優先順位指定フラグ・レジスタ02	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H		PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ03	PR03L		R/W	○	○	—	FFH
FFFDCH	優先順位指定フラグ・レジスタ12	PR12L	PR12	R/W	○	○	○	FFH
FFDDH		PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ13	PR13L		R/W	○	○	—	FFH
FFFE0H	割り込み要求フラグ・レジスタ0	IF0L	IF0	R/W	○	○	○	00H
FFFE1H		IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1	IF1L	IF1	R/W	○	○	○	00H
FFFE3H		IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFH
FF FEDH		PR10H		R/W	○	○		FFH
FFFE EH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH		PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ(L)	MACRL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ(H)	MACRH		R/W	—	—	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

備考 拡張SFR (2nd SFR)については、表3-6 拡張SFR (2nd SFR)一覧を参照してください。

3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR)は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域(FFF00H-FFFFFH)以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(!addr16.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(!addr16)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(!addr16)にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する拡張SFRが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.3.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧(1/12)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0032H	プルアップ抵抗オプション・レジスタ2	PU2	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H
F0038H	プルアップ抵抗オプション・レジスタ8	PU8	R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H
F003FH	プルアップ抵抗オプション・レジスタ15	PU15	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	—	00H
F0044H	ポート入力モード・レジスタ4	PIM4	R/W	○	○	—	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	—	00H
F0048H	ポート入力モード・レジスタ8	PIM8	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ4	POM4	R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	—	00H
F0058H	ポート出力モード・レジスタ8	POM8	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	—	FFH
F0061H	ポート・モード・コントロール・レジスタ1	PMC1	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0075H	周辺I/Oリダイレクション・レジスタ2	PIOR2	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H

表3-6 拡張SFR (2nd SFR) 一覧 (2/12)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	
				1ビット	8ビット	16ビット		
F0079H	周辺I/Oリダイレクション・レジスタ 1	PIOR1	R/W	—	○	—	00H	
F007AH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H	
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H	
F007DH	周辺I/Oリダイレクション・レジスタ 3	PIOR3	R/W	—	○	—	00H	
F0090H	データ・フラッシュ・コントロール・ レジスタ	DFLCTL	R/W	○	○	—	00H	
F00A0H	高速オンチップ・オシレータ・トリ ミング・レジスタ	HIOTRM	R/W	—	○	—	不定注1	
F00A8H	高速オンチップ・オシレータ周波数 選択レジスタ	HOCODIV	R/W	—	○	—	オプション・バイト (000C2H) FRQSEL2 - FRQSEL0の設定値注2	
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H	
F00F3H	サブシステム・クロック供給モード 制御レジスタ	OSMC	R/W	—	○	—	00H	
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H	
F00F9H	パワーオン・リセット・ステータス・ レジスタ	PORSR	R/W	—	○	—	00H注3	
F00FDH	周辺イネーブル・レジスタ2	PER2	R/W	○	○	—	00H	
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定	
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—			
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—			
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	○	0000H
F0105H		—			—			
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	○	0000H
F0107H		—			—			
F0108H	シリアル・フラグ・クリア・トリガ・ レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—			
F010AH	シリアル・フラグ・クリア・トリガ・ レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—			
F010CH	シリアル・フラグ・クリア・トリガ・ レジスタ02	SIR02L	SIR02	R/W	—	○	○	0000H
F010DH		—			—			
F010EH	シリアル・フラグ・クリア・トリガ・ レジスタ03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—			

注1. リセット値は出荷時に調整した値です。

注2. オプション・バイト000C2HのFRQSEL2-FRQSEL0で設定した値になります。

注3. パワーオン・リセットによるリセット時のみ初期化されます。

表3-6 拡張SFR (2nd SFR) 一覧(3/12)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	
				1ビット	8ビット	16ビット		
F0110H	シリアル・モード・レジスタ 00	SMR00	R/W	—	—	○	0020H	
F0111H								
F0112H	シリアル・モード・レジスタ 01	SMR01	R/W	—	—	○	0020H	
F0113H								
F0114H	シリアル・モード・レジスタ 02	SMR02	R/W	—	—	○	0020H	
F0115H								
F0116H	シリアル・モード・レジスタ 03	SMR03	R/W	—	—	○	0020H	
F0117H								
F0118H	シリアル通信動作設定レジスタ 00	SCR00	R/W	—	—	○	0087H	
F0119H								
F011AH	シリアル通信動作設定レジスタ 01	SCR01	R/W	—	—	○	0087H	
F011BH								
F011CH	シリアル通信動作設定レジスタ 02	SCR02	R/W	—	—	○	0087H	
F011DH								
F011EH	シリアル通信動作設定レジスタ 03	SCR03	R/W	—	—	○	0087H	
F011FH								
F0120H	シリアル・チャンネル許可ステータス・ レジスタ 0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—	—		
F0122H	シリアル・チャンネル開始レジスタ 0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	シリアル・チャンネル停止レジスタ 0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	シリアル・クロック選択レジスタ 0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	シリアル出力レジスタ 0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ 0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ 0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロー ル・レジスタ 0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		
F0140H	シリアル・ステータス・レジスタ 10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—			—	—		
F0142H	シリアル・ステータス・レジスタ 11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—			—	—		
F0148H	シリアル・フラグ・クリア・トリガ・ レジスタ 10	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H		—			—	—		
F014AH	シリアル・フラグ・クリア・トリガ・ レジスタ 11	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH		—			—	—		
F0150H	シリアル・モード・レジスタ 10	SMR10		R/W	—	—	○	0020H
F0151H								

表3-6 拡張SFR (2nd SFR) 一覧(4/12)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0152H	シリアル・モード・レジスタ 11	SMR11		R/W	—	—	○	0020H
F0153H								
F0158H	シリアル通信動作設定レジスタ 10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ 11	SCR11		R/W	—	—	○	0087H
F015BH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ 1	SE1L	SE1	R	○	○	○	0000H
F0161H		—			—			
F0162H	シリアル・チャンネル開始レジスタ 1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—			
F0164H	シリアル・チャンネル停止レジスタ 1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—			
F0166H	シリアル・クロック選択レジスタ 1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—			
F0168H	シリアル出力レジスタ 1	SO1		R/W	—	—	○	0303H
F0169H								
F016AH	シリアル出力許可レジスタ 1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—			
F0174H	シリアル出力レベル・レジスタ 1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—			
F0178H	シリアル・スタンバイ・コントロール・レジスタ 1	SSC1L	SSC1	R/W	—	○	○	0000H
F0179H		—			—			
F0180H	タイマ・カウンタ・レジスタ 00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ 01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ 02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ 03	TCR03		R	—	—	○	FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ 04	TCR04		R	—	—	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ 05	TCR05		R	—	—	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ 06	TCR06		R	—	—	○	FFFFH
F018DH								

表3-6 拡張SFR (2nd SFR) 一覧(5/12)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	—	—	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	—	—	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	—	—	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	—	—	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	—	—	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	—	—	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	—	—	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—			
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—			
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—			
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—			
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	—	○	○	0000H
F01A9H		—			—			
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	—	○	○	0000H
F01ABH		—			—			
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	—	○	○	0000H
F01ADH		—			—			
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	—	○	○	0000H
F01AFH		—			—			
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—			

表3-6 拡張SFR (2nd SFR) 一覧(6/12)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—			
F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—			
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—			
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F01C0H	イベントリンク設定レジスタ00	ELSELR00		R/W	—	○	—	00H
F01C1H	イベントリンク設定レジスタ01	ELSELR01		R/W	—	○	—	00H
F01C2H	イベントリンク設定レジスタ02	ELSELR02		R/W	—	○	—	00H
F01C3H	イベントリンク設定レジスタ03	ELSELR03		R/W	—	○	—	00H
F01C4H	イベントリンク設定レジスタ04	ELSELR04		R/W	—	○	—	00H
F01C5H	イベントリンク設定レジスタ05	ELSELR05		R/W	—	○	—	00H
F01C6H	イベントリンク設定レジスタ06	ELSELR06		R/W	—	○	—	00H
F01C7H	イベントリンク設定レジスタ07	ELSELR07		R/W	—	○	—	00H
F01C8H	イベントリンク設定レジスタ08	ELSELR08		R/W	—	○	—	00H
F01C9H	イベントリンク設定レジスタ09	ELSELR09		R/W	—	○	—	00H
F01CAH	イベントリンク設定レジスタ10	ELSELR10		R/W	—	○	—	00H
F01CBH	イベントリンク設定レジスタ11	ELSELR11		R/W	—	○	—	00H
F01CCH	イベントリンク設定レジスタ12	ELSELR12		R/W	—	○	—	00H
F01CDH	イベントリンク設定レジスタ13	ELSELR13		R/W	—	○	—	00H
F01CEH	イベントリンク設定レジスタ14	ELSELR14		R/W	—	○	—	00H
F01CFH	イベントリンク設定レジスタ15	ELSELR15		R/W	—	○	—	00H
F01D0H	イベントリンク設定レジスタ16	ELSELR16		R/W	—	○	—	00H
F01D1H	イベントリンク設定レジスタ17	ELSELR17		R/W	—	○	—	00H
F01D2H	イベントリンク設定レジスタ18	ELSELR18		R/W	—	○	—	00H
F01D3H	イベントリンク設定レジスタ19	ELSELR19		R/W	—	○	—	00H
F01D4H	イベントリンク設定レジスタ20	ELSELR20		R/W	—	○	—	00H

表3-6 拡張SFR (2nd SFR) 一覧 (7/12)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F01D5H	イベントリンク設定レジスタ21	ELSELR21	R/W	—	○	—	00H
F01D6H	イベントリンク設定レジスタ22	ELSELR22	R/W	—	○	—	00H
F01D7H	イベントリンク設定レジスタ23	ELSELR23	R/W	—	○	—	00H
F01D8H	イベントリンク設定レジスタ24	ELSELR24	R/W	—	○	—	00H
F01D9H	イベントリンク設定レジスタ25	ELSELR25	R/W	—	○	—	00H
F0230H	IICAコントロール・レジスタ00	IICCTL00	R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01	R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0	R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0	R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0	R/W	—	○	—	00H
F0240H	タイマRJ制御レジスタ0	TRJCR0	R/W	—	○	—	00H
F0241H	タイマRJ I/O制御レジスタ0	TRJIOC0	R/W	○	○	—	00H
F0242H	タイマRJモードレジスタ0	TRJMR0	R/W	○	○	—	00H
F0243H	タイマRJイベント端子選択レジスタ0	TRJISR0	R/W	○	○	—	00H
F0244H	タイマRJ制御レジスタ1	TRJCR1	R/W	—	○	—	00H
F0245H	タイマRJ I/O制御レジスタ1	TRJIOC1	R/W	○	○	—	00H
F0246H	タイマRJモードレジスタ1	TRJMR1	R/W	○	○	—	00H
F0247H	タイマRJイベント端子選択レジスタ1	TRJISR1	R/W	○	○	—	00H
F026BH	外部サンプリング制御レジスタ0	EXSDM0	R/W	○	○	—	00H
F0270H	SMOTDコンペア・レジスタA	SMOTDCRSA	R/W	—	○	—	00H
F0271H	SMOTDコンペア・レジスタB	SMOTDCRSB	R/W	—	○	—	00H
F0272H	SMOTDクロック選択レジスタ	SMOTDTCS	R/W	—	○	—	00H
F0273H	SMOTDコントロール・レジスタ	SMOTDCR	R/W	○	○	—	00H
F0274H	SMOTDサンプリング・レベル設定レジスタ	SMOTDSMS	R/W	○	○	—	00H
F0275H	SMOTDサンプリング端子状態レジスタ	SMOTDSMD	R	○	○	—	00H
F0276H	SMOTD出力制御レジスタ	SMOTDOE	R/W	○	○	—	00H
F0280H	送信バッファ・レジスタ0	TXBMG0	R/W	—	○	—	FFH
F0281H	受信バッファ・レジスタ0	RXBMG0	R	—	○	—	FFH
F0282H	動作モード設定レジスタ00	ASIMMG00	R/W	○	○	—	01H
F0283H	動作モード設定レジスタ01	ASIMMG01	R/W	○	○	—	1AH
F0284H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGCMG0	R/W	—	○	—	FFH
F0285H	ステータス・レジスタ0	ASISMG0	R	—	○	—	00H
F0286H	ステータス・クリア・トリガ・レジスタ0	ASCTMG0	R/W	○	○	—	00H
F02CCH	UARTMG0クロックダブラ制御レジスタ	CLKDCTL	R/W	○	○	—	00H

表3-6 拡張SFR (2nd SFR) 一覧(8/12)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F02E0H	DTCベースアドレスレジスタ	DTCBAR		R/W	—	○	—	FDH
F02E8H	DTC起動許可レジスタ0	DTCEN0		R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1		R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2		R/W	○	○	—	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3		R/W	○	○	—	00H
F02ECH	DTC起動許可レジスタ4	DTCEN4		R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL		R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL		R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD		R/W	—	—	○	0000H
F0300H	LCDポート・ファンクション・レジスタ0	PFSEG0		R/W	○	○	—	F0H
F0301H	LCDポート・ファンクション・レジスタ1	PFSEG1		R/W	○	○	—	FFH
F0302H	LCDポート・ファンクション・レジスタ2	PFSEG2		R/W	○	○	—	FFH
F0303H	LCDポート・ファンクション・レジスタ3	PFSEG3		R/W	○	○	—	FFH
F0304H	LCDポート・ファンクション・レジスタ4	PFSEG4		R/W	○	○	—	0FH
F0308H	LCD入力切り替え制御レジスタ	ISCLCD		R/W	○	○	—	00H
F0310H	時計誤差補正レジスタ	SUBCUD		R/W	—	—	○	0020H注
F0311H								
F0350H	8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTC P00	TRTC MP0	R/W	—	○	○	FFH
F0351H	8ビット・インターバル・タイマ・コンペア・レジスタ01	TRTC P01		R/W	—	○	—	FFH
F0352H	8ビット・インターバル・タイマ制御レジスタ0	TRTCR0		R/W	○	○	—	00H
F0353H	8ビット・インターバル・タイマ分周レジスタ0	TRTMD0		R/W	—	○	—	00H
F0354H	8ビット・インターバル・タイマ・コンペア・レジスタ10	TRTC MP10	TRTC MP1	R/W	—	○	○	FFH
F0355H	8ビット・インターバル・タイマ・コンペア・レジスタ11	TRTC MP11		R/W	—	○	—	FFH
F0356H	8ビット・インターバル・タイマ制御レジスタ1	TRTCR1		R/W	○	○	—	00H

注 パワーオン・リセットによるリセット時のみ初期化されます。

表3-6 拡張SFR (2nd SFR)一覧(9/12)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0357H	8ビット・インターバル・タイマ分周レジスタ1	TRTMD1		R/W	—	○	—	00H
F0358H	8ビット・インターバル・タイマ・コンペア・レジスタ20	TRTC MP20	TRTC MP2	R/W	—	○	○	FFH
F0359H	8ビット・インターバル・タイマ・コンペア・レジスタ21	TRTC MP21		R/W	—	○	—	FFH
F035AH	8ビット・インターバル・タイマ制御レジスタ2	TRTCR2		R/W	○	○	—	00H
F035BH	8ビット・インターバル・タイマ分周レジスタ2	TRTMD2		R/W	—	○	—	00H
F0400H	LCD表示データ・メモリ0	SEG0		R/W	—	○	—	00H
F0401H	LCD表示データ・メモリ1	SEG1		R/W	—	○	—	00H
F0402H	LCD表示データ・メモリ2	SEG2		R/W	—	○	—	00H
F0403H	LCD表示データ・メモリ3	SEG3		R/W	—	○	—	00H
F0404H	LCD表示データ・メモリ4	SEG4		R/W	—	○	—	00H
F0405H	LCD表示データ・メモリ5	SEG5		R/W	—	○	—	00H
F0406H	LCD表示データ・メモリ6	SEG6		R/W	—	○	—	00H
F0407H	LCD表示データ・メモリ7	SEG7		R/W	—	○	—	00H
F0408H	LCD表示データ・メモリ8	SEG8		R/W	—	○	—	00H
F0409H	LCD表示データ・メモリ9	SEG9		R/W	—	○	—	00H
F040AH	LCD表示データ・メモリ10	SEG10		R/W	—	○	—	00H
F040BH	LCD表示データ・メモリ11	SEG11		R/W	—	○	—	00H
F040CH	LCD表示データ・メモリ12	SEG12		R/W	—	○	—	00H
F040DH	LCD表示データ・メモリ13	SEG13		R/W	—	○	—	00H
F040EH	LCD表示データ・メモリ14	SEG14		R/W	—	○	—	00H
F040FH	LCD表示データ・メモリ15	SEG15		R/W	—	○	—	00H
F0410H	LCD表示データ・メモリ16	SEG16		R/W	—	○	—	00H
F0411H	LCD表示データ・メモリ17	SEG17		R/W	—	○	—	00H
F0412H	LCD表示データ・メモリ18	SEG18		R/W	—	○	—	00H
F0413H	LCD表示データ・メモリ19	SEG19		R/W	—	○	—	00H
F0414H	LCD表示データ・メモリ20	SEG20		R/W	—	○	—	00H
F0415H	LCD表示データ・メモリ21	SEG21		R/W	—	○	—	00H
F0416H	LCD表示データ・メモリ22	SEG22		R/W	—	○	—	00H
F0417H	LCD表示データ・メモリ23	SEG23		R/W	—	○	—	00H
F0418H	LCD表示データ・メモリ24	SEG24		R/W	—	○	—	00H

表3-6 拡張SFR (2nd SFR)一覧(10/12)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0419H	LCD表示データ・メモリ25	SEG25	R/W	—	○	—	00H
F041AH	LCD表示データ・メモリ26	SEG26	R/W	—	○	—	00H
F041BH	LCD表示データ・メモリ27	SEG27	R/W	—	○	—	00H
F041CH	LCD表示データ・メモリ28	SEG28	R/W	—	○	—	00H
F041DH	LCD表示データ・メモリ29	SEG29	R/W	—	○	—	00H
F041EH	LCD表示データ・メモリ30	SEG30	R/W	—	○	—	00H
F041FH	LCD表示データ・メモリ31	SEG31	R/W	—	○	—	00H
F0420H	LCD表示データ・メモリ32	SEG32	R/W	—	○	—	00H
F0421H	LCD表示データ・メモリ33	SEG33	R/W	—	○	—	00H
F0422H	LCD表示データ・メモリ34	SEG34	R/W	—	○	—	00H
F0423H	LCD表示データ・メモリ35	SEG35	R/W	—	○	—	00H
F0440H	アナログ・フロントエンド電源選択レジスタ	AFEPWS	R/W	○	○	—	00H
F0441H	アナログ・フロントエンド電源検出レジスタ	AFEPWD	R	○	○	—	00H
F0442H	アナログ・フロントエンド・クロック選択レジスタ	AFECKS	R/W	—	○	—	00H
F0443H	センサ用基準電圧設定レジスタ	VSBIAS	R/W	—	○	—	19H
F0450H	$\Delta\Sigma$ /Dコンバータ変換結果レジスタC	DSAD CRC	R	—	○	○	00H
F0451H	$\Delta\Sigma$ /Dコンバータ変換結果レジスタL	DSAD CRL					R
F0452H	$\Delta\Sigma$ /Dコンバータ変換結果レジスタM	DSAD CRM	R	—	○	○	00H
F0453H	$\Delta\Sigma$ /Dコンバータ変換結果レジスタH	DSAD CRH					R
F0454H	$\Delta\Sigma$ /Dコンバータ平均値レジスタC	DSAD MVC	R	—	○	○	00H
F0455H	$\Delta\Sigma$ /Dコンバータ平均値レジスタL	DSAD MVL					R
F0456H	$\Delta\Sigma$ /Dコンバータ平均値レジスタM	DSAD MVM	R	—	○	○	00H
F0457H	$\Delta\Sigma$ /Dコンバータ平均値レジスタH	DSAD MVH					R
F0458H	$\Delta\Sigma$ /Dコンバータ・モード・レジスタ	DSADMR	R/W	—	○	—	00H
F0459H	$\Delta\Sigma$ /Dコンバータ・コントロール・レジスタ	DSADCTL	R/W	○	○	—	00H

表3-6 拡張SFR (2nd SFR)一覧(11/12)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F045AH	入力マルチプレクサ0設定レジスタ0	PGA0CTL0	R/W	—	○	—	40H
F045BH	入力マルチプレクサ0設定レジスタ1	PGA0CTL1	R/W	—	○	—	10H
F045CH	入力マルチプレクサ0設定レジスタ2	PGA0CTL2	R/W	—	○	—	01H
F045DH	入力マルチプレクサ0設定レジスタ3	PGA0CTL3	R/W	—	○	—	00H
F045EH	入力マルチプレクサ1設定レジスタ0	PGA1CTL0	R/W	—	○	—	40H
F045FH	入力マルチプレクサ1設定レジスタ1	PGA1CTL1	R/W	—	○	—	10H
F0460H	入力マルチプレクサ1設定レジスタ2	PGA1CTL2	R/W	—	○	—	01H
F0461H	入力マルチプレクサ1設定レジスタ3	PGA1CTL3	R/W	—	○	—	00H
F0462H	入力マルチプレクサ2設定レジスタ0	PGA2CTL0	R/W	—	○	—	40H
F0463H	入力マルチプレクサ2設定レジスタ1	PGA2CTL1	R/W	—	○	—	10H
F0464H	入力マルチプレクサ2設定レジスタ2	PGA2CTL2	R/W	—	○	—	01H
F0465H	入力マルチプレクサ2設定レジスタ3	PGA2CTL3	R/W	—	○	—	00H
F0466H	入力マルチプレクサ3設定レジスタ0	PGA3CTL0	R/W	—	○	—	40H
F0467H	入力マルチプレクサ3設定レジスタ1	PGA3CTL1	R/W	—	○	—	10H
F0468H	入力マルチプレクサ3設定レジスタ2	PGA3CTL2	R/W	—	○	—	01H
F0469H	入力マルチプレクサ3設定レジスタ3	PGA3CTL3	R/W	—	○	—	00H
F046EH	断線検知設定レジスタ	PGABOD	R/W	—	○	—	00H
F0470H	アンプ・モード制御レジスタ	AMPMC	R/W	○	○	—	00H
F0471H	アンプ・トリガ・モード制御レジスタ	AMPTRM	R/W	—	○	—	00H
F0472H	アンプELCトリガ選択レジスタ	AMPTRS	R/W	—	○	—	00H
F0473H	アンプ制御レジスタ	AMPC	R/W	○	○	—	00H
F0474H	アンプ制御信号モニタ・レジスタ	AMPMON	R	—	○	—	00H
F0476H	アンプ・ユニット0ゲイン設定レジスタ	PGA1GC	R/W	—	○	—	00H
F0477H	アンプ・ユニット0入力選択レジスタ	PGA1S	R/W	—	○	—	00H
F0478H	アンプ・ユニット1入力選択レジスタ	AMP0S	R/W	—	○	—	00H
F0479H	アンプ・ユニット2入力選択レジスタ	AMP1S	R/W	—	○	—	00H
F047AH	アンプ・ユニット3入力選択レジスタ	AMP2S	R/W	—	○	—	00H
F0480H	D/A変換値設定レジスタ0	DAC0DR	R/W	—	○	—	00H
F0482H	D/A変換値設定レジスタ1	DAC1DR	R/W	—	—	○	0000H
F0483H							
F0484H	D/Aコンバータ・モード・レジスタ0	DACM0	R/W	—	○	—	00H
F0485H	D/Aコンバータ・モード・レジスタ1	DACM1	R/W	—	○	—	00H

表3-6 拡張SFR (2nd SFR)一覧(12/12)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0500H	8ビット・インターバル・タイマ・カウン ト・レジスタ00	TRT00	TRT0	R	—	○	○	00H
F0501H	8ビット・インターバル・タイマ・カウン ト・レジスタ01	TRT01		R	—	○		00H
F0502H	8ビット・インターバル・タイマ・カウン ト・レジスタ10	TRT10	TRT1	R	—	○	○	00H
F0503H	8ビット・インターバル・タイマ・カウン ト・レジスタ11	TRT11		R	—	○		00H
F0504H	8ビット・インターバル・タイマ・カウン ト・レジスタ20	TRT20	TRT2	R	—	○	○	00H
F0505H	8ビット・インターバル・タイマ・カウン ト・レジスタ21	TRT21		R	—	○		00H
F0508H	タイマRJカウンタレジスタ0	TRJ0		R/W	—	—	○	FFFFH
F0509H								
F050AH	タイマRJカウンタレジスタ1	TRJ1		R/W	—	—	○	FFFFH
F050BH								

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

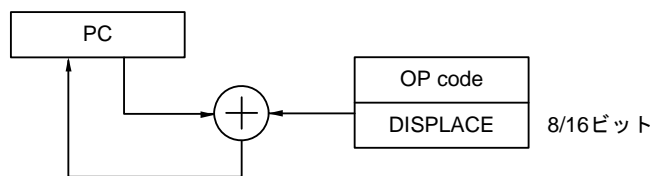
3.4 命令アドレスのアドレッシング

3.4.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ(PC)の値(次に続く命令の先頭アドレス)に対し、命令語に含まれるディスプレイメント値(符号付きの補数データ：-128～+127または-32768～+32767)を加算した結果を、プログラム・カウンタ(PC)に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-13 レラティブ・アドレッシングの概略



3.4.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-14 CALL !!addr20/BR !!addr20の例

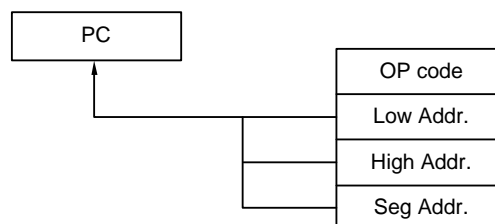
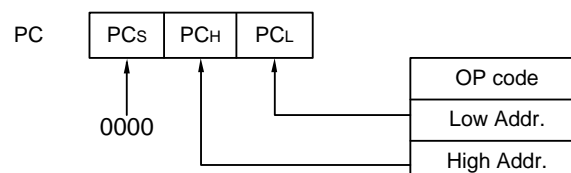


図3-15 CALL !addr16/BR !addr16の例



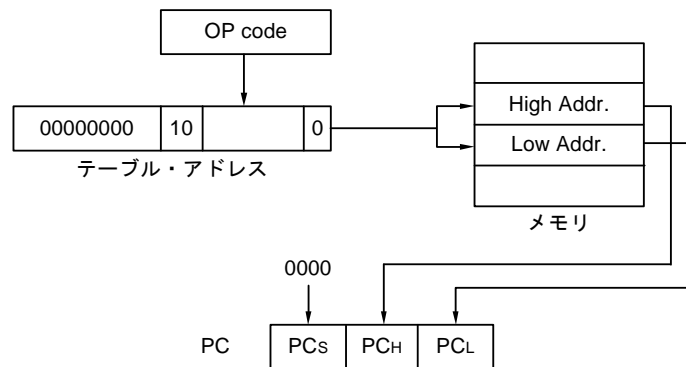
3.4.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミューディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 16 テーブル・インダイレクト・アドレッシングの概略

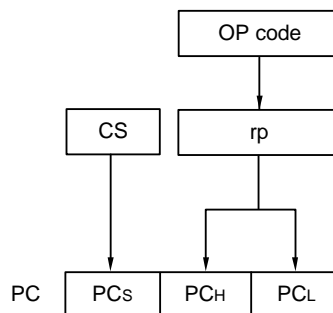


3.4.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア(Ax/BC/DE/HL)とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3 - 17 レジスタ・インダイレクト・アドレッシングの概略



3.5 処理データ・アドレスに対するアドレッシング

3.5.1 インプライド・アドレッシング

【機能】

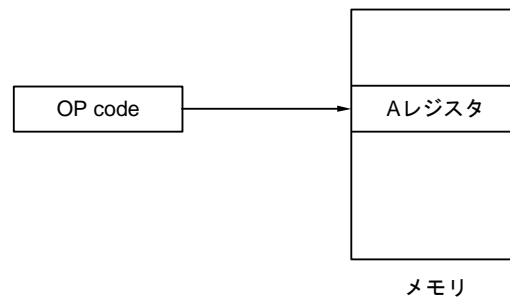
アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-18 インプライド・アドレッシングの概略



3.5.2 レジスタ・アドレッシング

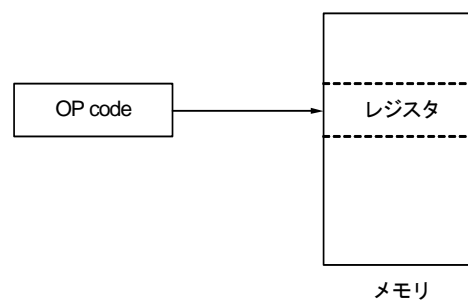
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-19 レジスタ・アドレッシングの概略



3.5.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3-20 !addr16の例

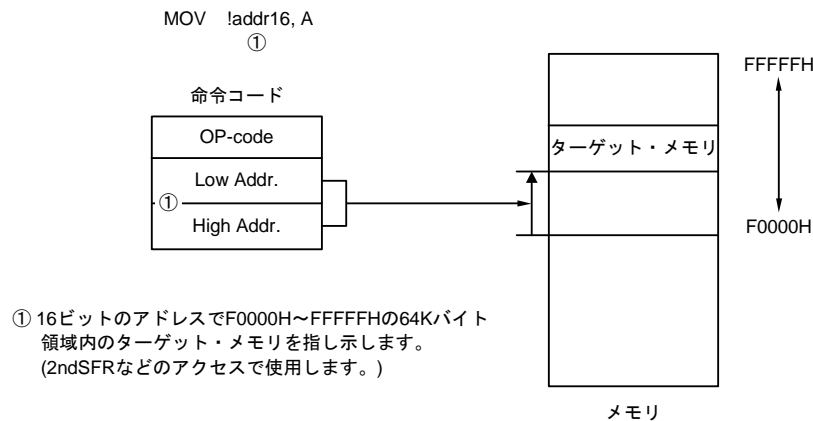
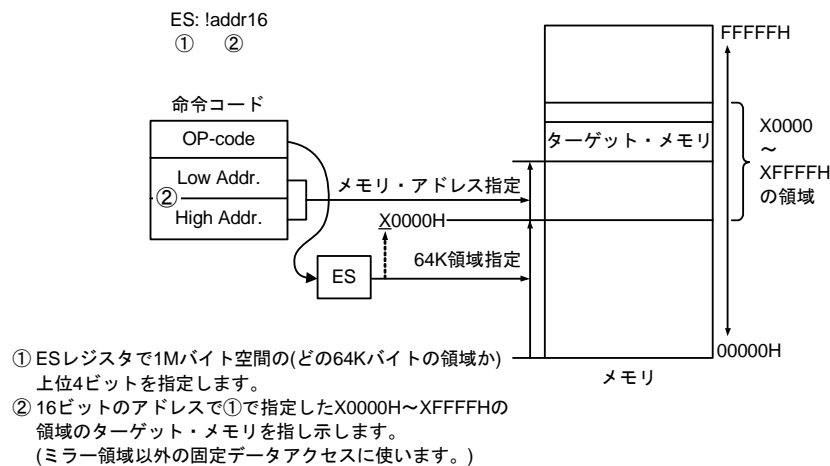


図3-21 ES:!addr16の例



3.5.4 ショート・ダイレクト・アドレッシング

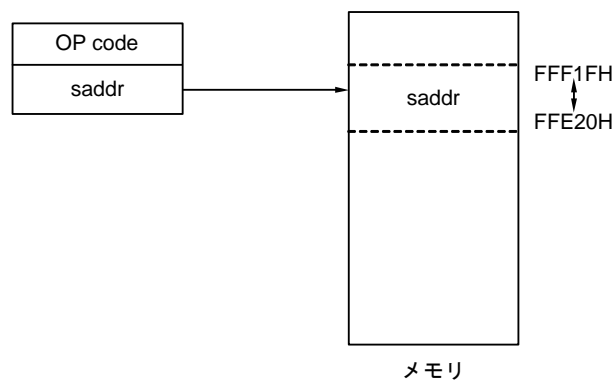
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-22 ショート・ダイレクト・アドレッシングの概略



備考. SADDR, SADDRP は、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.5.5 SFR アドレッシング

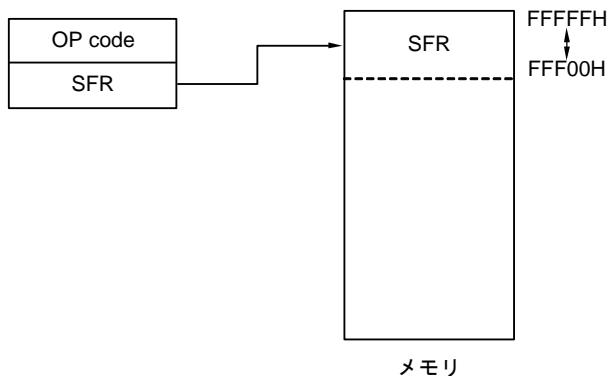
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名(偶数アドレスのみ)

図3 - 23 SFRアドレッシングの概略



3.5.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3-24 [DE], [HL]の例

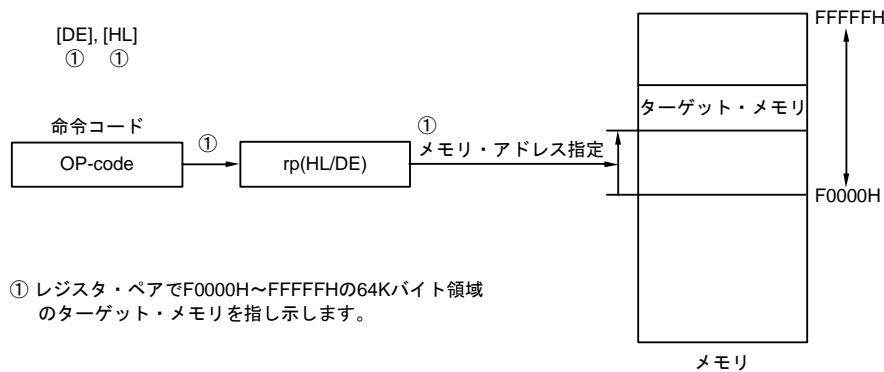
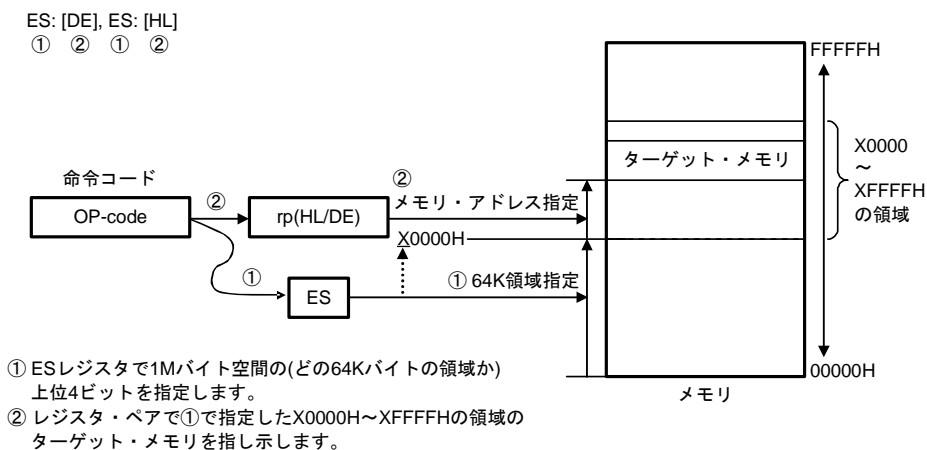


図3-25 ES:[DE], ES:[HL]の例



3.5.7 ベースト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 26 [SP+byte]の例

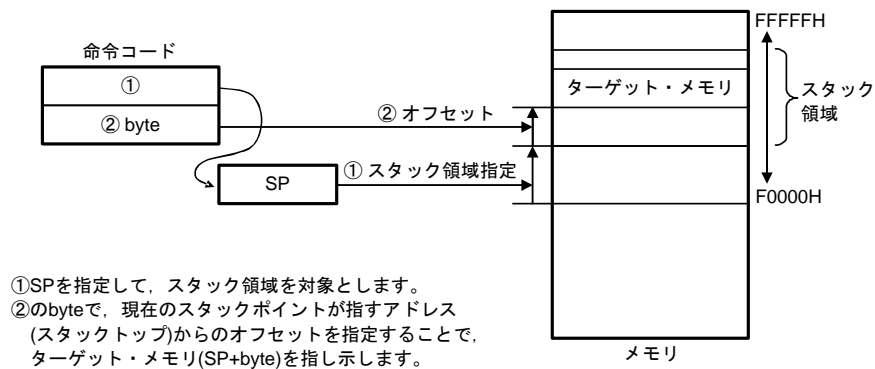


図3 - 27 [HL+byte], [DE+byte]の例

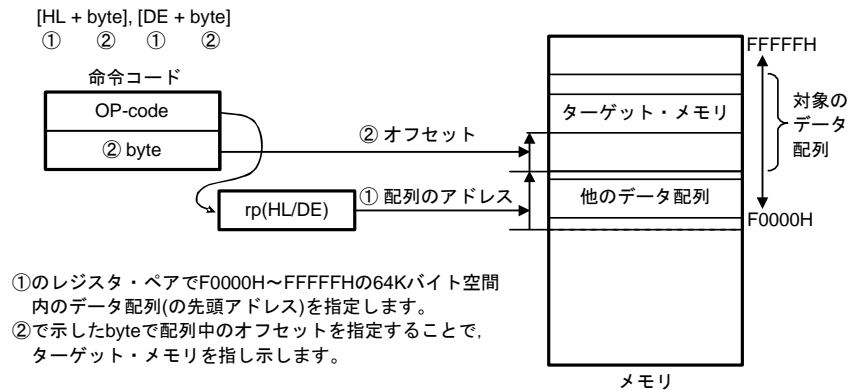


図3 - 28 word[B], word[C]の例

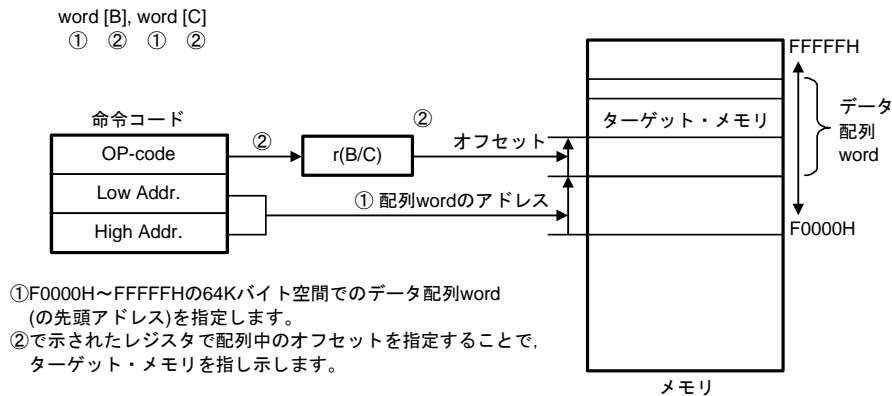


図3 - 29 word[BC]の例

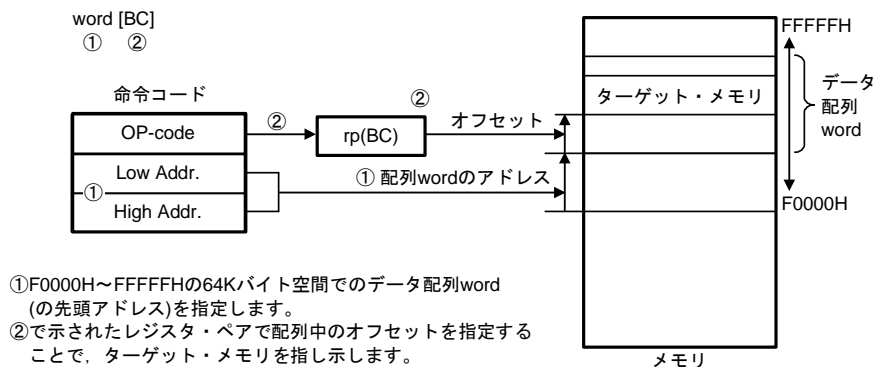


図3 - 30 ES:[HL+byte], ES:[DE+byte]の例

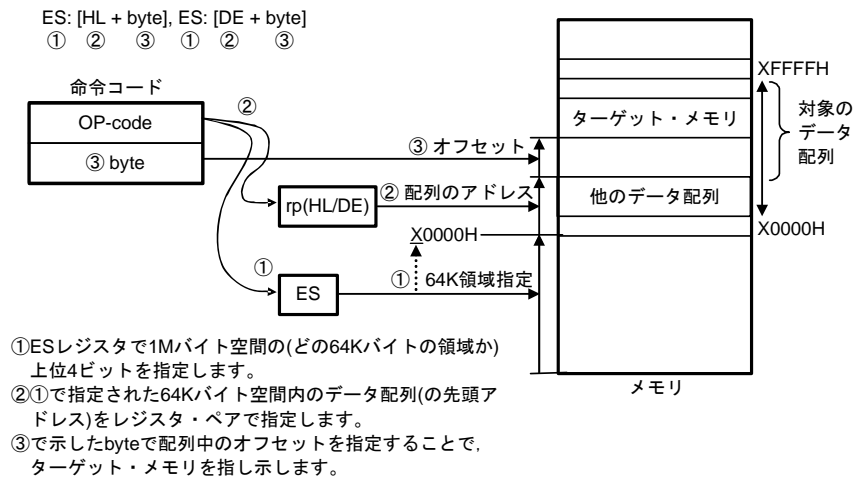


図3 - 31 ES:word[B], ES:word[C]の例

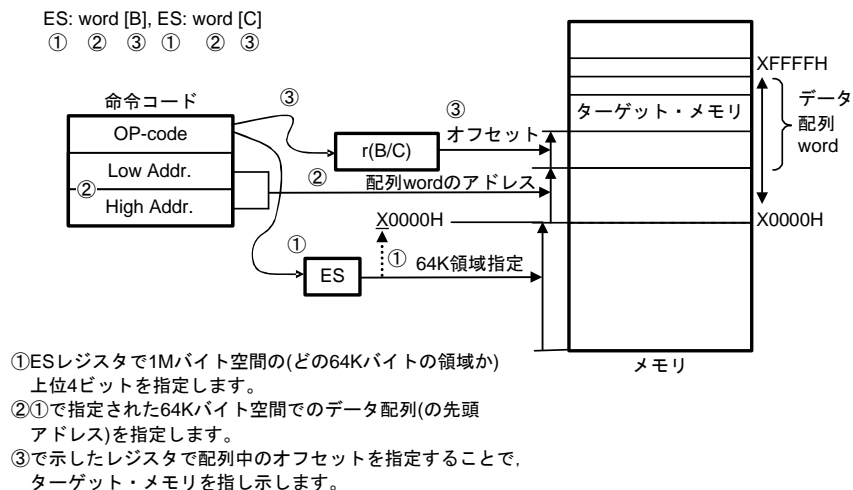
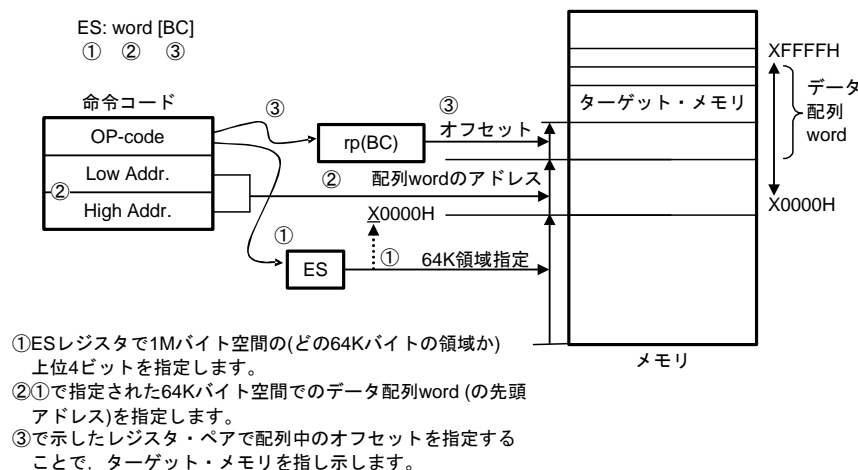


図3 - 32 ES:word[BC]の例



3.5.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + B], [HL + C] (F0000H~FFFFFH空間のみ指定可能)
—	ES:[HL + B], ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3-33 [HL+B], [HL+C]の例

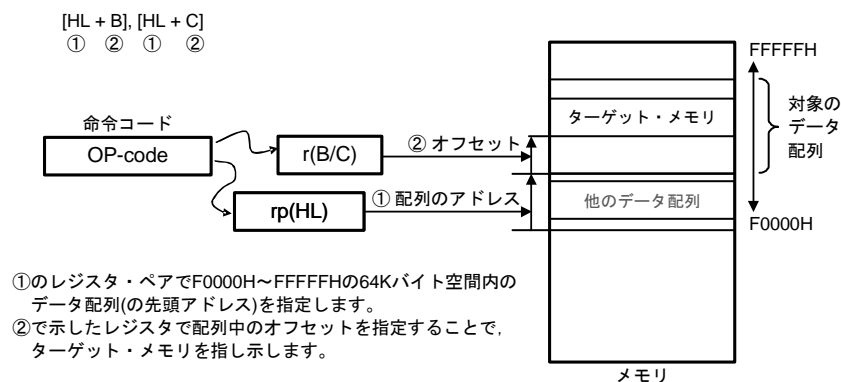
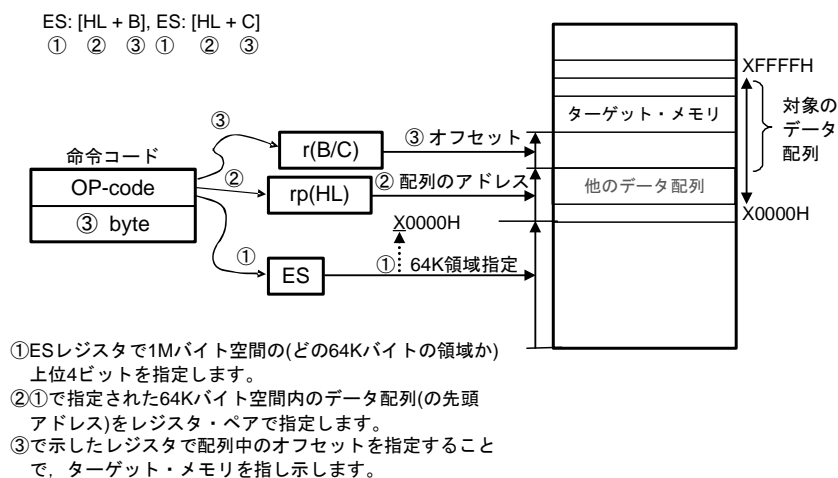


図3-34 ES:[HL+B], ES:[HL+C]の例



3.5.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避／復帰されるデータは図3 - 35～図3 - 40のようになります。

図3 - 35 PUSH rpの例

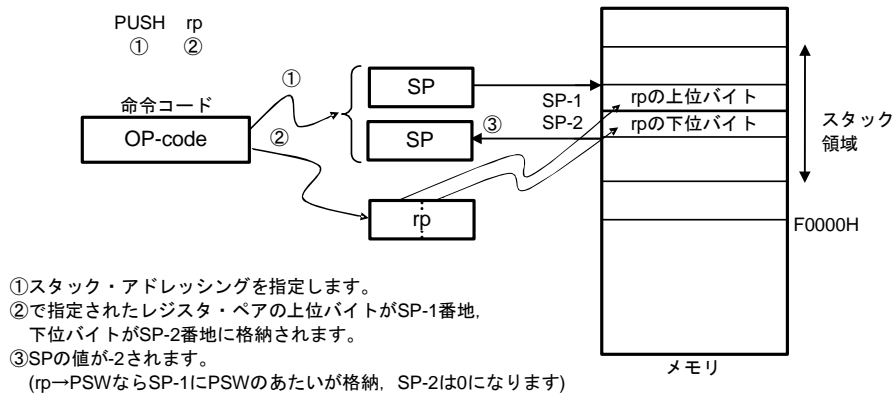


図3 - 36 POPの例

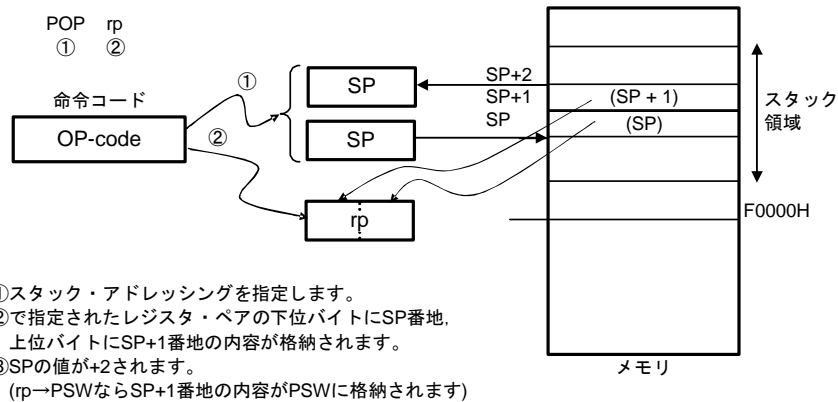


図3 - 37 CALL, CALLTの例

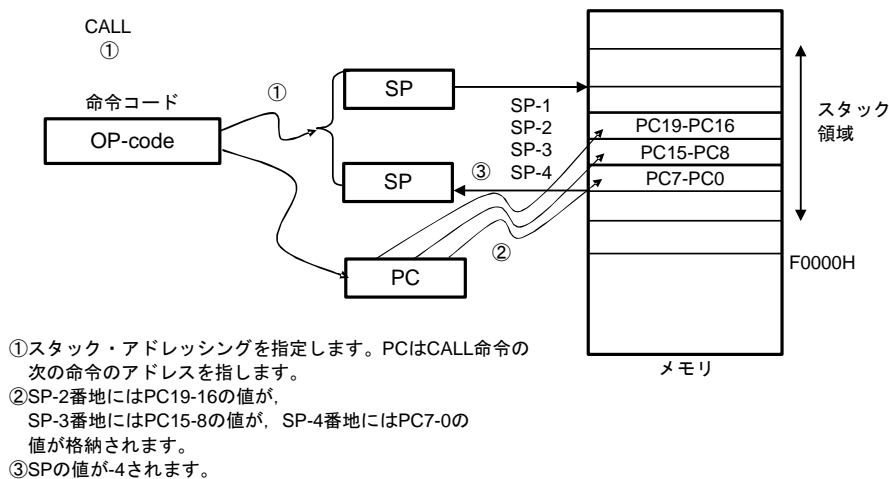


図3 - 38 RETの例

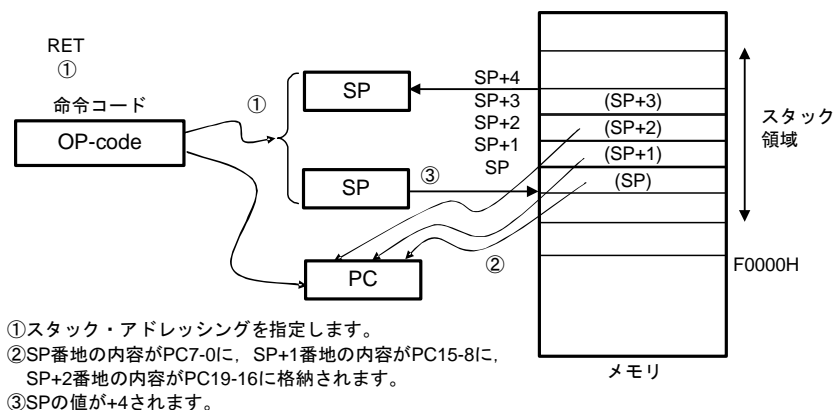


図3 - 39 割り込み, BRKの例

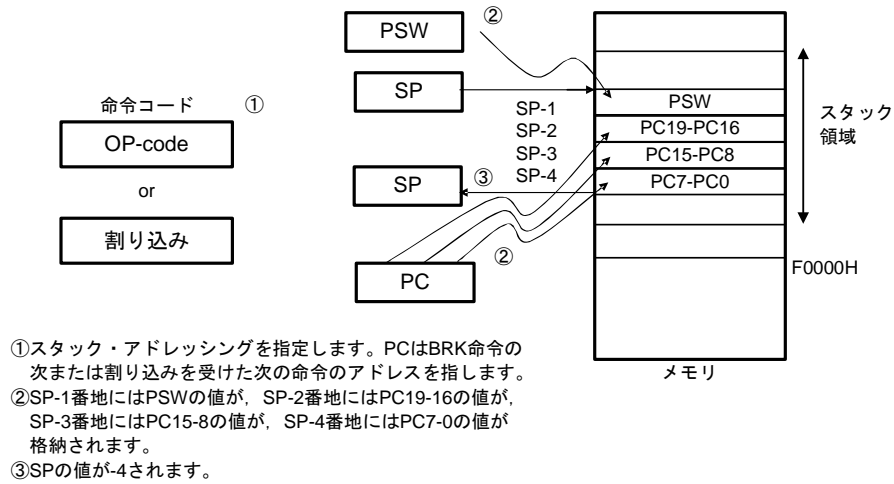
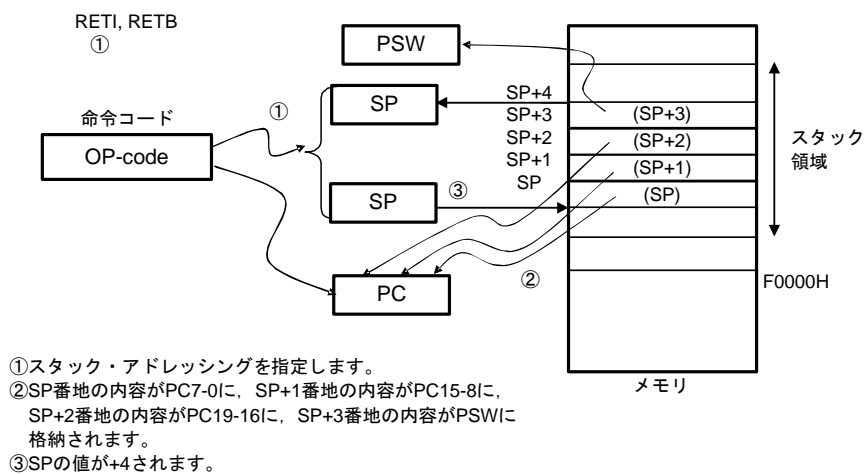


図3 - 40 RETI, RETBの例



第4章 ポート機能

4.1 ポートの機能

RL78/H1Dは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成 (R5F11N, R5F11P)

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0, PM1, PM3-PM8, PM12) ポート・レジスタ (P0, P1, P3-P8, P12, P13) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU8, PU12) ポート入力モード・レジスタ (PIM0, PIM1, PIM3-PIM5, PIM8) ポート出力モード・レジスタ (POM0, POM1, POM3-POM5, POM8) ポート・モード・コントロール・レジスタ (PMC0, PMC1) 周辺I/Oリダイレクション・レジスタ (PIOR0-PIOR3) LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG4) LCD入力切り替え制御レジスタ (ISCLCD)
ポート	<ul style="list-style-type: none"> • R5F11NM : 合計 : 53本 (CMOS入出力 : 46本 (N-ch O.D.入出力[V_{DD}耐圧] : 18本), CMOS入力 : 5本, N-chオープン・ドレイン入出力[6V耐圧] : 2本) • R5F11NL : 合計 : 36本 (CMOS入出力 : 29本 (N-ch O.D.入出力[V_{DD}耐圧] : 9本), CMOS入力 : 5本, N-chオープン・ドレイン入出力[6V耐圧] : 2本) • R5F11PL,R5F11NG : 合計 : 29本 (CMOS入出力 : 22本 (N-ch O.D.入出力[V_{DD}耐圧] : 12本), CMOS入力 : 5本, N-chオープン・ドレイン入出力[6V耐圧] : 2本)

4.2.1 ポート0

出カラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0)により1ビット単位で入力モード／出力モードの指定ができます。P01-P07端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P03^{注2}, P04, P07端子の入力は、ポート入力モード・レジスタ0 (PIM0)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P02, P03^{注2}, P04, P06, P07端子の出力は、ポート出力モード・レジスタ0 (POM0)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧)に設定可能です。

P03^{注3}, P04^{注4}, P05^{注3}, P10^{注5}端子をデジタル入出力ポートとして使用する場合は、ポート・モード・コントロール・レジスタ0 (PMC0)でデジタル入出力を設定してください(1ビット単位で設定可能)。

P03^{注3}, P04^{注4}, P05^{注3}, P10^{注5}端子をアナログ入力として使用する場合は、ポート・モード・コントロール・レジスタ0 (PMC0)でアナログ入力を設定してください(1ビット単位で設定可能)。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、外部割り込み要求入力、クロック出力／ブザー出力、10ビットA/Dコンバータのアナログ入力があります。

リセット信号の発生により、以下ようになります。

• R5F11NMのP01-P07端子	デジタル入力無効 ^{注1}
• R5F11NLのP06, P07端子	デジタル入力無効 ^{注1}
• R5F11NLのP03, P05端子	アナログ入力
• R5F11NG, R5F11PLのP03-P05端子	アナログ入力
• R5F11NG, R5F11PLのP01, P02, P06, P07端子	入力ポート

注1. デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

注2. R5F11NM, R5F11NG, R5F11PLのみ

注3. R5F11NL, R5F11NG, R5F11PLのみ

注4. R5F11NG, R5F11PLのみ

注5. R5F11NLのみ

4.2.2 ポート1

出カラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1)により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10端子の入力は、ポート入力モード・レジスタ1 (PIM1)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P10端子の出力は、ポート出力モード・レジスタ1 (POM1)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

P11^{注2}端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ1(PMC1)でデジタル入出力を設定してください(1ビット単位で設定可能)。

P11^{注2}端子をアナログ入力として使用する場合、ポート・モード・コントロール・レジスタ1(PMC1)でアナログ入力を設定してください(1ビット単位で設定可能)。

また、兼用機能としてシリアル・インタフェースのクロック入出力、外部割り込み要求入力、LCDコントローラ／ドライバのセグメント出力、10ビットA/Dコンバータのアナログ入力、タイマの入出力があります。

リセット信号の発生により、以下のようになります。

- | | |
|--------------------------|------------------------|
| • R5F11NMのP10-P16端子 | デジタル入力無効 ^{注1} |
| • R5F11NMのP17端子 | 入力ポート |
| • R5F11NLのP10,P12-P15端子 | デジタル入力無効 ^{注1} |
| • R5F11NLのP11端子 | アナログ入力 |
| • R5F11NG, R5F11PLのP10端子 | 入力ポート |

注1. デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

注2. R5F11NLのみ

4.2.3 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3)により1ビット単位で入力モード／出力モードの指定ができます。P30-P32, P35-P37端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P35, P36端子の入力は、ポート入力モード・レジスタ3 (PIM3)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P35-P37端子の出力は、ポート出力モード・レジスタ3 (POM3)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能として外部割り込み要求入力, リアルタイム・クロック2の補正クロック出力, シリアル・インタフェースのクロック入出力, データ入出力, スレーブセレクト入力, タイマの入出力, クロック出力／ブザー出力, LCDコントローラ／ドライバのセグメント出力, プログラミングUARTの送信, 受信があります。

リセット信号の発生により、以下ようになります。

- R5F11NM, R5F11NLのP30-P32, P35-P37端子 デジタル入力無効^注
- R5F11NG, R5F11PLのP30,P32, P35-P37端子 入力ポート

^注 デジタル入力無効とは、デジタル出力, デジタル入力, LCD出力のいずれも無効な状態を示します。

4.2.4 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4)により1ビット単位で入力モード／出力モードの指定ができます。P40, P43, P44端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P40^注, P43端子の入力は、ポート入力モード・レジスタ4 (PIM4)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P40^注, P43, P44端子の出力は、ポート出力モード・レジスタ4 (POM4)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能として外部割り込み要求入力, タイマの入出力, シリアル・インタフェースのクロック入出力, データ入出力, フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力があります。

リセット信号の発生により、入力モードになります。

^注 R5F11NMのみ

4.2.5 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード／出力モードの指定ができます。P50-P53端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P51, P52端子の入力は、ポート入力モード・レジスタ5 (PIM5)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P50-P52端子の出力は、ポート出力モード・レジスタ5 (POM5)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能として外部割り込み要求入力、タイマの入出力、シリアル・インタフェースのクロック入出力、データ入出力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、以下のようになります。

- | | |
|------------------------------|-----------|
| • R5F11NMのP50-P53端子 | デジタル入力無効注 |
| • R5F11NLのP50-P52端子 | デジタル入力無効注 |
| • R5F11NG, R5F11PLのP50-P53端子 | 入力ポート |

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.6 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61端子の出力は、N-chオープン・ドレイン出力(6V耐圧)です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

4.2.7 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7)により1ビット単位で入力モード／出力モードの指定ができます。P70-P77端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、以下のようになります。

- | | |
|--------------------------------------|-----------|
| • R5F11NMのP70-P77端子 | デジタル入力無効注 |
| • R5F11NLのP70,P71,P76,P77端子 | デジタル入力無効注 |
| • R5F11NG, R5F11PLのP70,P71,P76,P77端子 | 入力ポート |

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.8 ポート 8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 8 (PM8)により1ビット単位で入力モード／出力モードの指定ができます。P80-P86端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 8 (PU8)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P81, P82注端子の入力は、ポート入力モード・レジスタ 8 (PIM8)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P80, P81, P82注端子の出力は、ポート出力モード・レジスタ 8 (POM8)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧)に設定可能です。

また、兼用機能としてシリアル・インタフェースのクロック入出力、データ入出力、外部割り込み要求入力、タイマの入出力があります。

リセット信号の発生により、P80-P86は入力ポートになります。

注 R5F11NMのみ

4.2.9 ポート 12

P125-P127は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 12 (PM12)により、1ビット単位で入力モード／出力モードの指定ができます。P125-P127端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 12 (PU12)により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

また兼用機能として外部割り込み要求入力、タイマの入出力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、LCDコントローラ／ドライバ用コンデンサ接続、LCD駆動用電圧端子があります。

リセット信号の発生により、P121-P124が入力モードになります。P125-P127がデジタル入力無効注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.10 ポート 13

P137は1ビット入力専用ポートです。

P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力、シリアル・インタフェースのスレーブセレクト入力があります。

4.3 ポートの構成 (R5F11R)

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM8, PM12, PM15) ポート・レジスタ (P0-P8, P12, P13, P15) プルアップ抵抗オプション・レジスタ (PU0-PU5, PU7, PU8, PU12, PU15) ポート入力モード・レジスタ (PIM0, PIM1, PIM3-PIM5, PIM8) ポート出力モード・レジスタ (POM0, POM1, POM3-POM5, POM8) ポート・モード・コントロール・レジスタ (PMC0) 周辺I/Oリダイレクション・レジスタ (PIOR0-PIOR3) LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG4) LCD入力切り替え制御レジスタ (ISCLCD)
ポート	合計 : 63本 (CMOS入出力 : 56本 (N-ch O.D. 入出力[V _{DD} 耐圧] : 19本), CMOS入力 : 5本, N-chオープン・ドレイン入出力[6V耐圧] : 2本)

4.3.1 ポート0

出力ラッチ付き出力ポートです。ポート・モード・レジスタ0 (PM0)により1ビット単位で入力モード／出力モードの指定ができます。P01-P07端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P03, P04, P07端子の入力は、ポート入力モード・レジスタ0 (PIM0)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P02-P04,P06,P07端子の出力は、ポート出力モード・レジスタ0 (POM0)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

P03-P05端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ0 (PMC0)でデジタル入出力を設定してください(1ビット単位で設定可能)。

P03-P05端子をアナログ入力として使用する場合、ポート・モード・コントロール・レジスタ0 (PMC0)でアナログ入力を設定してください(1ビット単位で設定可能)。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力、シリアル・インタフェースのデータ入出力、クロック入出力、クロック出力／ブザー出力、10ビットA/Dコンバータのアナログ入力、タイマの入出力があります。

リセット信号の発生により、P01,P02,P06,P07はデジタル入力無効^注になります。P03-P05はアナログ入力になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.3.2 ポート1

出力ラッチ付き出力ポートです。ポート・モード・レジスタ1 (PM1)により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10,P13端子の入力は、ポート入力モード・レジスタ1 (PIM1)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P10,P12端子の出力は、ポート出力モード・レジスタ1 (POM1)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、LCDコントローラ／ドライバのセグメント出力、タイマの入出力、サンプリング出力があります。

リセット信号の発生により、P10-P16はデジタル入力無効^注になります。P17は入力ポートになります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.3.3 ポート2

出力ラッチ付き入力ポートです。ポート・モード・レジスタ2 (PM2)により1ビット単位で入力モード／出力モードの指定ができます。

P20-P27端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ2 (PU2)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力, サンプリング入力があります。

リセット信号の発生により, 入力ポートになります。

4.3.4 ポート3

出力ラッチ付き入力ポートです。ポート・モード・レジスタ3 (PM3)により1ビット単位で入力モード／出力モードの指定ができます。P30-P32, P35-P37端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P35, P36端子の入力は、ポート入力モード・レジスタ3 (PIM3)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P35-P37端子の出力は、ポート出力モード・レジスタ3 (POM3)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能としてクロック出力／ブザー出力, リアルタイム・クロック2の補正クロック出力, シリアル・インタフェースのクロック入出力, データ入出力, スレーブセレクト入力, LCDコントローラ／ドライバのセグメント出力, タイマの入出力, プログラミングUARTの送信, 受信があります。

リセット信号の発生により, デジタル入力無効注になります。

注 デジタル入力無効とは、デジタル出力, デジタル入力, LCD出力のいずれも無効な状態を示します。

4.3.5 ポート4

出力ラッチ付き入力ポートです。ポート・モード・レジスタ4 (PM4)により1ビット単位で入力モード／出力モードの指定ができます。P40, P43, P44端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P40, P43端子の入力は、ポート入力モード・レジスタ4 (PIM4)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P40, P43, P44端子の出力は、ポート出力モード・レジスタ4 (POM4)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能としてシリアル・インタフェースのクロック入出力, データ入出力, タイマの入出力, フラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力, サンプリング入力があります。

リセット信号の発生により, 入力ポートになります。

4.3.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード／出力モードの指定ができます。P50-P53端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P51, P52端子の入力は、ポート入力モード・レジスタ5 (PIM5)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P50-P52端子の出力は、ポート出力モード・レジスタ5 (POM5)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能としてシリアル・インタフェースのクロック入出力、データ入出力,LCDコントローラ／ドライバのセグメント出力、タイマの入出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.3.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61端子の出力は、N-chオープン・ドレイン出力(6V耐圧)です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力ポートになります。

4.3.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7)により1ビット単位で入力モード／出力モードの指定ができます。P70-P77端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力,LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.3.9 ポート 8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 8 (PM8)により1ビット単位で入力モード／出力モードの指定ができます。P80-P86端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 8 (PU8)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P81,P82端子の入力は、ポート入力モード・レジスタ 8 (PIM8)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P80, P81, P82 端子の出力は、ポート出力モード・レジスタ 8 (POM8)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能としてシリアル・インタフェースのクロック入出力、データ入出力、サンプリング入力、サンプリング出力、外部サンプリング・クロック出力、外部サンプリング位相検出入力、クロック出力／ブザー出力、タイマの入出力があります。

リセット信号の発生により、入力ポートになります。

4.3.10 ポート 12

P125-P127は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 12 (PM12)により、1ビット単位で入力モード／出力モードの指定ができます。P125-P127端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 12 (PU12)により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

また兼用機能として外部割り込み要求入力、タイマの入出力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、LCDコントローラ／ドライバ用コンデンサ接続、LCD駆動用電圧端子があります。

リセット信号の発生により、P121-P124は入力ポートになります。P125-P127はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.3.11 ポート 13

P137は1ビット入力専用ポートです。

P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力、シリアル・インタフェースのスレーブセレクト入力があります。

4.3.12 ポート 15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 15 (PM15)により1ビット単位で入力モード／出力モードの指定ができます。

P150, P151 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 15 (PU15)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてサンプリング入力があります。

リセット信号の発生により、入力ポートになります。

4.4 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロール・レジスタ (PMCxx)
- 周辺I/Oリダイレクション・レジスタ (PIOR0-PIOR3)
- LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG4)
- LCD入力切り替え制御レジスタ (ISCLCD)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-3を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4 - 3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(1/4)

ポート	ビット名						R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
	PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ				
ポート0	0	—	—	—	—	—	—	—	—	—
	1	PM01	P01	PU01	—	—	—	○	—	○
	2	PM02	P02	PU02	—	POM02	—	○	—	○
	3	PM03	P03	PU03	PIM03注1	POM03 注1	PMC03 注2	○	○	○
	4	PM04	P04	PU04	PIM04	POM04	PMC04 注3	○	—	○
	5	PM05	P05	PU05	—	—	PMC05 注2	○	○	○
	6	PM06	P06	PU06	—	POM06	—	○	○	○
	7	PM07	P07	PU07	PIM07	POM07	—	○	○	○
ポート1	0	PM10	P10	PU10	PIM10	POM10	—	○	○	○
	1	PM11	P11	PU11	—	—	PMC11 注4	○	○	—
	2	PM12	P12	PU12	—	POM12 注5	—	○	○	—
	3	PM13	P13	PU13	PIM13注5	—	—	○	○	—
	4	PM14	P14	PU14	—	—	—	○	○	—
	5	PM15	P15	PU15	—	—	—	○	○	—
	6	PM16	P16	PU16	—	—	—	○	—	—
	7	PM17	P17	PU17	—	—	—	○	—	—
ポート2	0	PM20	P20	PU20	—	—	—	—	—	○
	1	PM21	P21	PU21	—	—	—	—	—	○
	2	PM22	P22	PU22	—	—	—	—	—	○
	3	PM23	P23	PU23	—	—	—	—	—	○
	4	PM24	P24	PU24	—	—	—	—	—	○
	5	PM25	P25	PU25	—	—	—	—	—	○
	6	PM26	P26	PU26	—	—	—	—	—	○
	7	PM27	P27	PU27	—	—	—	—	—	○

注1. R5F11NM, R5F11NG, R5F11PL,R5F11RMのみ

注2. R5F11NL, R5F11NG, R5F11PL,R5F11RMのみ

注3. R5F11NG, R5F11PL,R5F11RMのみ

注4. R5F11NLのみ

注5. R5F11RMのみ

表4-3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット(2/4)

ポート		ビット名						R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ				
ポート3	0	PM30	P30	PU30	—	—	—	○	○	○	○
	1	PM31	P31	PU31	—	—	—	○	○	—	○
	2	PM32	P32	PU32	—	—	—	○	○	○	○
	3	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—
	5	PM35	P35	PU35	PIM35	POM35	—	○	○	○	○
	6	PM36	P36	PU36	PIM36	POM36	—	○	○	○	○
	7	PM37	P37	PU37	—	POM37	—	○	○	○	○
ポート4	0	PM40	P40	PU40	PIM40注	POM40注	—	○	○	○	○
	1	—	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—
	3	PM43	P43	PU43	PIM43	POM43	—	○	—	—	○
	4	PM44	P44	PU44	—	POM44	—	○	—	—	○
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—
ポート5	0	PM50	P50	PU50	—	POM50	—	○	○	○	○
	1	PM51	P51	PU51	PIM51	POM51	—	○	○	○	○
	2	PM52	P52	PU52	PIM52	POM52	—	○	○	○	○
	3	PM53	P53	PU53	—	—	—	○	—	○	○
	4	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—
ポート6	0	PM60	P60	—	—	—	—	○	○	○	○
	1	PM61	P61	—	—	—	—	○	○	○	○
	2	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—

注 R5F11NM, R5F11RMのみ

表4-3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット(3/4)

ポート		ビット名						R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ				
ポート7	0	PM70	P70	PU70	—	—	—	○	○	○	○
	1	PM71	P71	PU71	—	—	—	○	○	○	○
	2	PM72	P72	PU72	—	—	—	○	—	—	○
	3	PM73	P73	PU73	—	—	—	○	—	—	○
	4	PM74	P74	PU74	—	—	—	○	—	—	○
	5	PM75	P75	PU75	—	—	—	○	—	—	○
	6	PM76	P76	PU76	—	—	—	○	○	○	○
ポート8	7	PM77	P77	PU77	—	—	—	○	○	○	○
	0	PM80	P80	PU80	—	POM80	—	○	—	—	○
	1	PM81	P81	PU81	PIM81	POM81	—	○	—	—	○
	2	PM82	P82	PU82	PIM82注	POM82注	—	○	○	—	○
	3	PM83	P83	PU83	—	—	—	○	○	—	○
	4	PM84	P84	PU84	—	—	—	○	—	—	○
	5	PM85	P85	PU85	—	—	—	○	—	—	○
ポート12	6	PM86	P86	PU86	—	—	—	○	—	—	○
	7	—	—	—	—	—	—	—	—	—	—
	0	—	—	—	—	—	—	—	—	—	—
	1	—	P121	—	—	—	—	○	○	○	○
	2	—	P122	—	—	—	—	○	○	○	○
	3	—	P123	—	—	—	—	○	○	○	○
	4	—	P124	—	—	—	—	○	○	○	○
ポート13	5	PM125	P125	PU125	—	—	—	○	○	—	○
	6	PM126	P126	PU126	—	—	—	○	○	—	○
	7	PM127	P127	PU127	—	—	—	○	○	—	○
	0	—	—	—	—	—	—	—	—	—	—
	1	—	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—
ポート13	4	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○	○	○	○

注 R5F11NM, R5F11RMのみ

表4 - 3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット(4/4)

ポート		ビット名						R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ				
ポート 15	0	PM150	P150	PU150	—	—	—	—	—	—	○
	1	PM151	P151	PU151	—	—	—	—	—	—	○
	2	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—

4.4.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.6 兼用機能使用時のレジスタ設定を参照し、設定してください。

図4-1 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	1	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	PM37	PM36	PM35	1	1	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	PM44	PM43	1	1	PM40	FFF24H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	1	FFF2CH	FFH	R/W
PM15	1	1	1	1	1	1	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-8, 12, 15 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

注意 搭載していないビットには必ず初期値を設定してください。

4.4.2 ポート・レジスタ (Pxx)

ポートの出カラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラッチの値が読み出されます注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P03-P05, P11 をアナログ入出力機能として設定した場合に、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	0	FFF00H	00H (出カラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出カラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出カラッチ)	R/W
P3	P37	P36	P35	0	0	P32	P31	P30	FFF03H	00H (出カラッチ)	R/W
P4	0	0	0	P44	P43	0	0	P40	FFF04H	00H (出カラッチ)	R/W
P5	0	0	0	0	P53	P52	P51	P50	FFF05H	00H (出カラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H (出カラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出カラッチ)	R/W
P8	0	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H (出カラッチ)	R/W
P12	P127	P126	P125	P124	P123	P122	P121	0	FFF0CH	不定	R/W注
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R/W注
P15	0	0	0	0	0	0	P151	P150	FFF0FH	00H (出カラッチ)	R/W

Pmn	m = 0-8, 12, 13, 15; n = 0-7	
	出カデータの制御(出力モード時)	入カデータの読み出し(入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124, P137はRead Onlyです。

注意 搭載していないビットには必ず初期値を設定してください。

4.4.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード(POMmn = 0)かつ入力モード(PMmn = 1)に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定(PMC = 1)にしている場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H)になります。

注意 PIMn レジスタがあるポートで、異電位デバイスから TTLバッファに入力する場合は、PUmn = 0 を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4-3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	0	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20	F0032H	00H	R/W
PU3	PU37	PU36	PU35	0	0	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	PU44	PU43	0	0	PU40	F0034H	01H	R/W
PU5	0	0	0	0	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	0	PU86	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU12	PU127	PU126	PU125	0	0	0	0	0	F003CH	00H	R/W
PU15	0	0	0	0	0	0	PU151	PU150	F003FH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択(m = 0-5, 7, 8, 12, 15 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 搭載していないビットには必ず初期値を設定してください。

4.4.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	PIM07	0	0	PIM04	PIM03 注1	0	0	0	F0040H	00H	R/W
PIM1	0	0	0	0	PIM13 注2	0	0	PIM10	F0041H	00H	R/W
PIM3	0	PIM36	PIM35	0	0	0	0	0	F0043H	00H	R/W
PIM4	0	0	0	0	PIM43	0	0	PIM40 注3	F0044H	00H	R/W
PIM5	0	0	0	0	0	PIM52	PIM51	0	F0045H	00H	R/W
PIM8	0	0	0	0	0	PIM82 注3	PIM81	0	F0048H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1, 3, 4, 5, 8 ; n = 0-7)
0	通常入力バッファ
1	TTL入力バッファ

注1. R5F11NM, R5F11NG, R5F11PL, R5F11RMのみ

注2. R5F11RMのみ

注3. R5F11NM, R5F11RMのみ

注意 搭載していないビットには必ず初期値を設定してください。

4.4.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 I²C 通信時の SDA00, SDA10, SDA20 端子に N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択できます。

また、POMxx レジスタは PUxx レジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注意 N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	0	POM04	POM03 注1	POM02	0	0	F0050H	00H	R/W
POM1	0	0	0	0	0	POM12 注2	0	POM10	F0051H	00H	R/W
POM3	POM37	POM36	POM35	0	0	0	0	0	F0053H	00H	R/W
POM4	0	0	0	POM44	POM43	0	0	POM40 注3	F0054H	00H	R/W
POM5	0	0	0	0	0	POM52	POM51	POM50	F0055H	00H	R/W
POM8	0	0	0	0	0	POM82 注3	POM81	POM80	F0058H	00H	R/W
POMmn		Pmn 端子の出力モードの選択 (m = 0, 1, 3, 4, 5, 8 ; n = 0-7)									
0		通常出力モード									
1		N-ch オープン・ドレイン出力 (V _{DD} 耐圧) モード									

注1. R5F11NM, R5F11NG, R5F11PL, R5F11RM のみ

注2. R5F11RM のみ

注3. R5F11NM, R5F11RM のみ

注意 搭載していないビットには必ず初期値を設定してください。

4.4.6 ポート・モード・コントロール・レジスタ (PMCxx) (R5F11NL, R5F11NG, R5F11PL, R5F11RMのみ)

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-6 ポート・モード・コントロール・レジスタのフォーマット

アドレス : F0060H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC0	1	1	PMC05注1	PMC04注2	PMC03注1	1	1	1

アドレス : F0061H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC1	1	1	1	1	1	1	PMC11注3	1

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択 (m = 0, 1 ; n = 1,3-5)
0	デジタル入出力(アナログ入力以外の兼用機能)
1	アナログ入力

注1. R5F11NL, R5F11NG, R5F11PL, R5F11RMのみ

注2. R5F11NG, R5F11PL, R5F11RMのみ

注3. R5F11NLのみ

注意 搭載していないビットには必ず初期値を設定してください。

4.4.7 周辺I/Oリダイレクション・レジスタ0 (PIOR0)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIOR0レジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-7 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のフォーマット

アドレス : F0077H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR0	0	0	PIOR05	PIOR04	PIOR03	PIOR02	PIOR01	PIOR00

ビット	兼用機能	R5F11NM		R5F11NL		R5F11PL, R5F11NG		R5F11RM	
		0	1	0	1	0	1	0	1
PIOR05	SSI00	P32	P137	注				P32	P137
PIOR04	SMP0	注						P85	P43
	SMP1	注						P86	P44
PIOR03	PCLBUZ1	P36	P83	P36	P83	注		P36	P83
PIOR02	TxD1	P50	P02	注		P50	P02	P50	P02
	RxD1	P51	P03			P51	P03	P51	P03
	SCL10	P52	P04			P52	P04	P52	P04
	SDA10	P51	P03			P51	P03	P51	P03
	SI10	P51	P03			P51	P03	P51	P03
	SO10	P50	P02			P50	P02	P50	P02
	SCK10	P52	P04			P52	P04	P52	P04
PIOR01	TxD2	P06	P80	注				P06	P80
	RxD2	P07	P81					P07	P81
	SCL20	P10	P82					P10	P82
	SDA20	P07	P81					P07	P81
	SI20	P07	P81					P07	P81
	SO20	P06	P80					P06	P80
	SCK20	P10	P82					P10	P82
PIOR00	TxD0	P37	P44	注				P37	P44
	RxD0	P36	P43					P36	P43
	SCL00	P35	P40					P35	P40
	SDA00	P36	P43					P36	P43
	SI00	P36	P43					P36	P43
	SO00	P37	P44					P37	P44
	SCK00	P35	P40					P35	P40

注 使用できません。0 (初期値)を設定してください。

4.4.8 周辺I/Oリダイレクション・レジスタ1 (PIOR1)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIOR1レジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR1レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-8 周辺I/Oリダイレクション・レジスタ1 (PIOR1)のフォーマット

アドレス : F0079H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR1	0	PIOR16	PIOR15	PIOR14	PIOR13	PIOR12	PIOR11	PIOR10

ビット	兼用機能	R5F11NM		R5F11NL		R5F11PL, R5F11NG		R5F11RM	
		0	1	0	1	0	1	0	1
PIOR10	INTP0	P137	P53	注		P137	P53	注	
PIOR11	INTP1	P121	P40	P121	P40	P121	P40		
PIOR12	INTP2	P10	P82	注					
PIOR13	INTP3	P30	P60	P30	P60	P30	P60		
PIOR14	INTP4	P32	P61	P32	P61	P32	P61		
PIOR15	INTP5	P122	P01	注		P122	P01		
PIOR16	INTP6	P04	P86	注					

注 使用できません。0 (初期値)を設定してください。

4.4.9 周辺I/Oリダイレクション・レジスタ2 (PIOR2) (R5F11NM, R5F11NL, R5F11RMのみ)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIOR2レジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR2レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-9 周辺I/Oリダイレクション・レジスタ2 (PIOR2)のフォーマット

アドレス : F0075H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR2	PIOR27	PIOR26	PIOR25	PIOR24	PIOR23	PIOR22	PIOR21	PIOR20
	PIOR21	PIOR20	タイマ・アレイ・ユニットのTI00端子選択					
	0	0	P06と兼用					
	0	1	P81と兼用注1					
	1	0	P43と兼用注2					
	1	1	設定禁止					
	PIOR23	PIOR22	タイマ・アレイ・ユニットのTO00端子選択					
	0	0	P03と兼用					
	0	1	P81と兼用注1					
	1	0	P43と兼用注2					
	1	1	設定禁止					
	PIOR24	タイマ・アレイ・ユニットのTI01/TO01端子選択						
	0	P31と兼用						
	1	P40と兼用						
	PIOR25	タイマ・アレイ・ユニットのTI02/TO02端子選択						
	0	P52と兼用						
	1	P80と兼用注1						
	PIOR26	タイマ・アレイ・ユニットのTI03/TO03端子選択						
	0	P50と兼用						
	1	P83と兼用						
	PIOR27	タイマ・アレイ・ユニットのTI04/TO04端子選択						
	0	P51と兼用						
	1	P127と兼用						

注1. R5F11NM, R5F11RMのみ。R5F11NLは設定禁止です。

注2. R5F11NMのみ。R5F11NL, R5F11RMは設定禁止です。

4.4.10 周辺I/Oリダイレクション・レジスタ3 (PIOR3)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIOR3レジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR3レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-10 周辺I/Oリダイレクション・レジスタ3 (PIOR3)のフォーマット

アドレス：F007DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR3	0	0	PIOR35	PIOR34	PIOR33	PIOR32	PIOR31	PIOR30
PIOR31	PIOR30	タイマ・アレィ・ユニットのTI05/TO05端子選択						
0	0	P07と兼用						
0	1	P126と兼用 ^{注1}						
1	0	P84と兼用 ^{注2}						
1	1	P71と兼用 ^{注3}						
PIOR33	PIOR32	タイマ・アレィ・ユニットのTI06/TO06端子選択						
0	0	P05と兼用						
0	1	P125と兼用 ^{注1}						
1	0	P76と兼用 ^{注3}						
1	1	設定禁止						
PIOR35	PIOR34	タイマ・アレィ・ユニットのTI07/TO07端子選択						
0	0	P77と兼用						
0	1	P82と兼用 ^{注1}						
1	0	P17と兼用 ^{注2}						
1	1	設定禁止						

注1. R5F11NM, R5F11NL, R5F11RMのみ。R5F11NG, R5F11PLは設定禁止です。

注2. R5F11NMのみ。R5F11NL, R5F11NG, R5F11PL, R5F11RMは設定禁止です。

注3. R5F11NG, R5F11PLのみ。R5F11NM, R5F11NL, R5F11RMは設定禁止です。

4.4.11 LCDポート・ファンクション・レジスタ 0-4 (PFSEG0-PFSEG4) (R5F11NM, R5F11NL, R5F11RMのみ)

P01-P07, P10-P16, P30-P32, P35-P37, P50-P53, P70-P77 端子をポート(セグメント出力以外)／セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG4 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります(PFSEG0はF0H, PFSEG4は0FH)。

備考 セグメント出力端子(SEGxx)とPFSEGレジスタ(PFSEGxxビット)の対応と、製品によるSEGxx端子の有無を表4-4 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)に示します。

図4-11 LCDポート・ファンクション・レジスタのフォーマット (PFSEG0-PFSEG4)

アドレス : F0300H	リセット時 : F0H	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0
アドレス : F0301H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08
アドレス : F0302H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16
アドレス : F0303H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24
アドレス : F0304H	リセット時 : 0FH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG4	0	0	0	0	PFSEG35	PFSEG34	PFSEG33	PFSEG32
PFSEGxx (xx = 04-35)	Pmn端子のポート(セグメント出力以外)／セグメント出力の指定 (mn = 01-07, 10-16, 30-32, 35-37, 50-53, 70-77)							
0	ポート(セグメント出力以外)として使用							
1	セグメント出力として使用							

注意 セグメント出力として使用する(PFSEGxx = 1)場合には必ずPUMレジスタのPUMnビット = 0, POMレジスタのPOMnビット = 0, PIMレジスタのPIMnビット = 0に設定してください。

表4-4 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	R5F11NM	R5F11NL	R5F11RM
PFSEG04	SEG4	P53	○	—	○
PFSEG05	SEG5	P52	○	○	○
PFSEG06	SEG6	P51	○	○	○
PFSEG07	SEG7	P50	○	○	○
PFSEG08	SEG8	P70	○	○	○
PFSEG09	SEG9	P71	○	○	○
PFSEG10	SEG10	P72	○	—	○
PFSEG11	SEG11	P73	○	—	○
PFSEG12	SEG12	P74	○	—	○
PFSEG13	SEG13	P75	○	—	○
PFSEG14	SEG14	P76	○	○	○
PFSEG15	SEG15	P77	○	○	○
PFSEG16	SEG16	P30	○	○	○
PFSEG17	SEG17	P31	○	○	○
PFSEG18	SEG18	P32	○	○	○
PFSEG19	SEG19	P35	○	○	○
PFSEG20	SEG20	P36	○	○	○
PFSEG21	SEG21	P37	○	○	○
PFSEG22	SEG22	P01	○	—	○
PFSEG23	SEG23	P02	○	—	○
PFSEG24	SEG24	P03	○	○	○
PFSEG25	SEG25	P04	○	—	○
PFSEG26	SEG26	P05	○	○	○
PFSEG27	SEG27	P06	○	○	○
PFSEG28	SEG28	P07	○	○	○
PFSEG29	SEG29	P10	○	○	○
PFSEG30	SEG30	P11	○	○	○
PFSEG31	SEG31	P12	○	○	○
PFSEG32	SEG32	P13	○	○	○
PFSEG33	SEG33	P14	○	○	○
PFSEG34	SEG34	P15	○	○	○
PFSEG35	SEG35	P16	○	—	○

注意 搭載していないビットには必ず初期値を設定してください。

4.4.12 LCD入力切り替え制御レジスタ (ISCLCD) (R5F11NM,R5F11NL,R5F11RMのみ)

CAPL/P126, CAPH/P127, VL3/P125 端子は、シュミット・トリガ・バッファが内部で接続されています。CAPL/P126, CAPH/P127, VL3/P125 端子を LCD 機能として動作するように設定を行うまでの期間、貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCD レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 12 LCD入力切り替え制御レジスタ (ISCLCD)のフォーマット

アドレス : F0308H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	VL3/P125端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効
1	デジタル入力有効

ISCCAP	CAPL/ P126, CAPH/P127端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効
1	デジタル入力有効

注意 ISCVL3ビット = 0, ISCCAP ビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0

PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0

PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

4.5 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.5.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.5.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.5.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.5.4 入出力バッファによる異電位(1.8 V系^{注1}, 2.5 V系, 3 V系)対応

ポート入力モード・レジスタ (PIMxx), ポート出力モード・レジスタ (POMxx)で入出力バッファを切り換えることにより, 異電位(1.8 V系^{注1}, 2.5 V系, 3 V系)で動作している外部デバイスとの接続が可能になります。異電位(1.8 V系^{注1}, 2.5 V系, 3 V系)の外部デバイスからの入力を受ける場合, ポート入力モード・レジスタ0, 1, 3, 4, 5, 8 (PIM0, PIM1, PIM3, PIM4, PIM5, PIM8)をビットごとに設定して, 通常入力(CMOS)/TTLを切り替えます。

異電位(1.8 V系^{注1}, 2.5 V系, 3 V系)の外部デバイスへ出力する場合, ポート出力モード・レジスタ0, 1, 3, 4, 5, 8 (POM0, POM1, POM3, POM4, POM5, POM8)をビットごとに設定して, 通常出力(CMOS)/N-chオープン・ドレイン(V_{DD}耐圧)に切り換えます。

以下, シリアル・インタフェースでの接続について説明します。

(1) UART0-UART2, CSI00,CSI10, CSI20機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合 :	P36(P43)
UART1の場合 :	P51(P03)
UART2の場合 :	P07 (P81)
CSI00の場合 :	P35, P36(P40, P43)
CSI10の場合 :	P52, P51(P04, P03)
CSI20の場合 :	P10, P07 (P82, P81)

備考 ()内の端子は, 周辺I/Oリダイレクション・レジスタ0(PIOR0)の設定により, 割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して, 対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ② PIM0, PIM1, PIM3, PIM4, PIM5, PIM8レジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。なお, V_{IH}/V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し, UART/簡易SPI(CSI^{注2})モードに設定します。

注1. R5F11Rのみ

注2. 一般的にはSPIと呼ばれる機能ですが, 本製品ではCSIとも呼称しているため, 本マニュアルでは併記します。

- (2) UART0-UART2, CSI00,CSI10, CSI20機能の出力ポートをN-chオープン・ドレイン出力モードで使用する
場合の設定手順

UART0の場合 :	P37(P44)
UART1の場合 :	P50(P02)
UART2の場合 :	P06 (P80)
CSI00の場合 :	P35, P37(P40, P44)
CSI10の場合 :	P52, P50(P04, P02)
CSI20の場合 :	P10, P06 (P82, P80)

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ0(PIOR0)の設定により、割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
 - ② リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
 - ③ 該当するポートの出力ラッチに1を設定します。
 - ④ POM0, POM1, POM3, POM4, POM5, POM8レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定します。
 - ⑤ シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI(CSI)モードに設定します。
 - ⑥ PM0, PM1, PM3, PM4, PM5, PM8レジスタを操作して出力モードに設定します。
- この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

- (3) 簡易IIC00, IIC10, IIC20, IIC30機能の入出力ポートを、異電位(1.8 V系^注, 2.5 V系, 3 V系)で使用する場合の設定手順

簡易IIC00の場合 : P35,P36 (P40,P43)

簡易IIC10の場合 : P52, P51(P04,P03)

簡易IIC20の場合 : P10,P07(P82,P81)

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ0(PIOR0)の設定により、割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
- ③ 該当するポートの出カラッチに1を設定します。
- ④ POM0, POM1, POM3, POM4, POM5, POM8レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定します。
- ⑤ PIM0, PIM1, PIM3, PIM4, PIM5, PIM8レジスタの該当ビットを1に設定し、TTL入力バッファに切り替えます。なお、V_{IH}/V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。
- ⑦ PM0, PM1, PM3, PM4, PM5, PM8レジスタの該当ビットを出力モードに設定します(出力モードのままデータ入出力可能)。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

注 R5F11Rのみ

4.6 兼用機能使用時のレジスタ設定

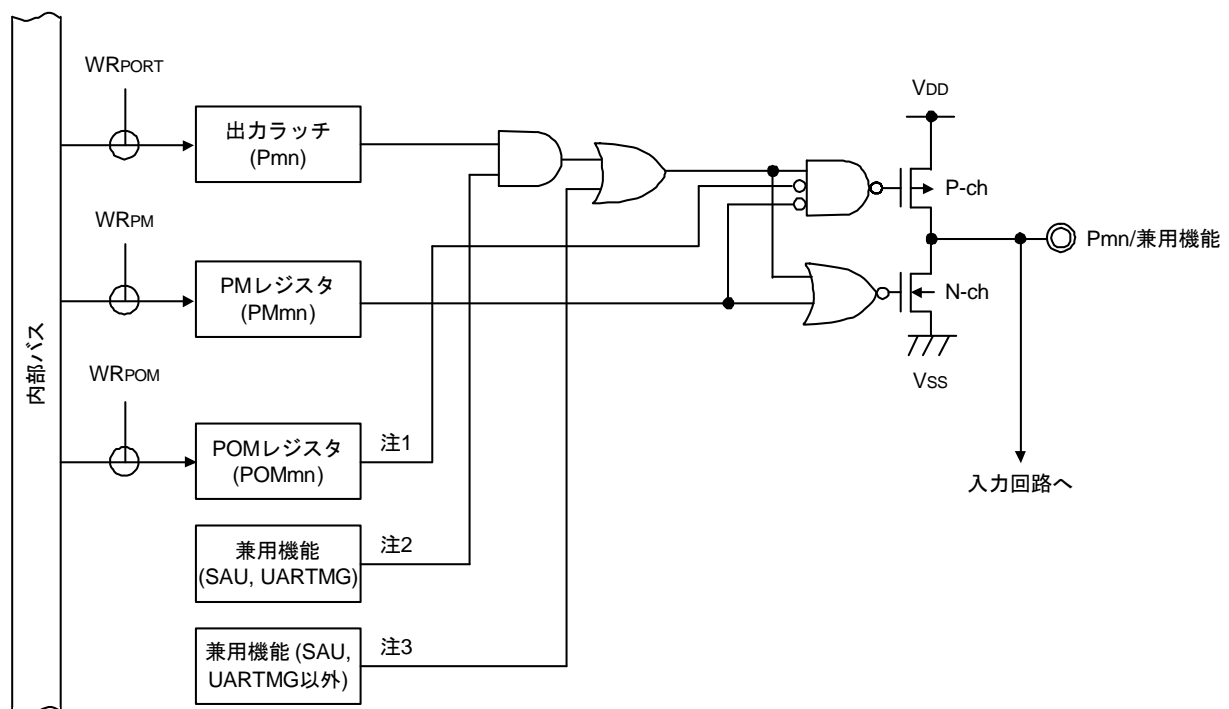
4.6.1 兼用機能使用時の基本的な考え方

最初に、アナログ入力と兼用している端子については、アナログ入力で使用するかデジタル入出力で使用するかをポート・モード・コントロール・レジスタ (PMCxx) で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-13に示します。ポートの出力ラッチの出力と兼用しているSAU, UARTMG^注機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU, UARTMG^注以外の機能(タイマ, RTC2, クロック/ブザー出力, IICA等)の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-5に示します。

注 R5F11Rのみ。

図4-13 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はLow (0)と教えてください。

注2. 兼用機能がない場合には、この信号はHigh (1)と教えてください。

注3. 兼用機能がない場合には、この信号はLow (0)と教えてください。

備考 m : ポート番号 (m = 0-8,12,13,15), n : ビット番号 (n = 0-7)

表4-5 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAU, UARTMG ^{注2} の出力機能	SAU, UARTMG ^{注2} 以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAU, UARTMG ^{注2} の出力機能	High (1)	—	出力はLow (0)
SAU, UARTMG ^{注2} 以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) ^{注1}

注1. 1つの端子にSAU, UARTMG^{注2}以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0)にしておく必要があります。具体的な設定方法については、4.6.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

注2. R5F11Rのみ。

4.6.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ0, 1, 2, 3 (PIOR0, 1, 2, 3)を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります。

(1) $SOp = 1/TxDq = 1$ (SAUのシリアル出力(SOp/TxDq)を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力(SOp/TxDq)を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタm (SOEm)のビットを0 (出力禁止)に設定し、シリアル出力レジスタm (SOm)のSOmnビットを1 (High)に設定してください。これは初期状態と同じ設定です。

(2) $SCKp = 1/SDAr = 1/SCLr = 1$ (SAUのチャネルnを使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャネル許可ステータス・レジスタm (SEm)のビットn (SEmn)を0 (動作停止状態)に設定し、使用しない出力に対応したシリアル出力許可レジスタm (SOEm)のビットを0 (出力禁止)に設定し、シリアル出力レジスタm (SOm)のSOmnビットとCKOmnビットを1 (High)に設定してください。これは初期状態と同じ設定です。

(3) $TOmn = 0$ (TAUのチャネルnの出力を使用しない場合の設定)

TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0 (TOE0)のビットを0 (出力禁止)、タイマ出力レジスタ0 (TO0)のビットを0 (Low)に設定してください。これは初期状態と同じ設定です。

(4) $SDAAn = 0/SCLAn = 0$ (IICAを使用しない場合の設定)

IICAを使用しない場合は、IICAコントロール・レジスタn0 (IICCTLn0)のIICEnビットを0 (動作停止)にしてください。これは初期状態と同じ設定です。

- (5) PCLBUZn = 0 (クロック出力/ブザー出力を使用しない場合の設定)
クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ n (CKSn)のPCLOEn ビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。
- (6) RTC1HZ = 0 (リアルタイム・クロック2の出力を使用しない場合の設定)
リアルタイム・クロック2の出力を使用しない場合は、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のRCLOE1 ビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。
- (7) TxDMG0 = 1 (UARTMGの出力を使用しない場合の設定)
UARTMGを使用しない場合は、UARTMG0動作モード設定レジスタ0(ASIMMG00)のビット7を0(UART動作クロック動作禁止)、ビット6を0 (送信動作禁止)に、また、UARTMG0の動作モード設定レジスタ1(ASIMMG01)のビット0を0 (正論理)にしてください。これは初期状態と同じ設定です。
- (8) TRJIO_n = 0/TRJOn = 0 (タイマRJ_n出力を使用しない場合の設定)
タイマRJのパルス出力機能をTRJOn端子で使用しない場合は、タイマRJ I/O制御レジスタ n(TRJIO_{Cn})のビット2 (TOENA)を0 (TRJOn出力禁止)にしてください。これは初期値と同じ設定です。
タイマRJのTRJIO_n端子を出力機能として使用しない場合は、タイマRJモードレジスタ n (TRJMR_n)のビット2~0 (TMOD2~0)を001b (パルス出力モード)以外に設定してください。初期値は000bのタイマモードになっています。
- (9) EXSDO0 = 0/EXSDO1 = 0 (外部 Sampling Clock出力を使用しない場合の設定)
外部サンプリング・クロック出力 (EXSDOn) を使用しない場合は、外部サンプリング制御レジスタ0 (EXSDM0) のビットn(EXSDOE_n)を0 (EXSDOn出力禁止)にしてください。これは初期値と同じ設定です。
- (10) SMO0 = 0/SMO1 = 0/SMO2 = 0 (Sampling 出力を使用しない場合の設定)
サンプリング・クロック出力 (SMOn) を使用しない場合は、SMOTD出力制御レジスタ (SMOTDOE) のビットn (SMOTDOE_n)を0 (SMOn出力禁止)にしてください。これは初期値と同じ設定です。

4.6.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4-6～表4-9に示します。ポート機能を制御するレジスタを表4-6～表4-9のように設定してください。なお、表4-6～表4-9の表記については次の備考を参照してください。

- 備考 — : 対象外
- x : don't care
- PIORx : 周辺I/Oリダイレクション・レジスタ
- PFSEGXX : LCDポート・ファンクション・レジスタ
- POMxx : ポート出力モード・レジスタ
- PMCxx : ポート・モード・コントロール・レジスタ
- PMxx : ポート・モード・レジスタ
- Pxx : ポートの出力ラッチ

() 内の機能は、周辺I/Oリダイレクション・レジスタ0-3 (PIOR0-3)の設定により、割り当て可能です。

セグメント出力端子(SEGxx)を兼用するポートの動作については、4.6.4 SEGxx端子兼用ポートの動作の動作を参照してください。

VL3, CAPL, CAPH端子を兼用するポートの動作については、4.6.5 VL3, CAPL, CAPH端子兼用ポートの動作を参照してください。

表4-6 端子機能使用時のレジスタ、出力ラッチの設定例 (R5F11NM) (1 / 8)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力機能	SAU以外
P01	P01	入力	—	PFSEG22 = 0	—	—	1	x	—	—
		出力	—	PFSEG22 = 0	—	—	0	0/1	—	—
	(INTP5)	入力	PIOR15 = 1	PFSEG22 = 0	—	—	1	x	—	—
	SEG22	出力	—	PFSEG22 = 1	—	—	0	0	—	—
P02	P02	入力	—	PFSEG23 = 0	x	—	1	x	x	x
		出力	—	PFSEG23 = 0	0	—	0	0/1	(SO10)/(TxD1) = 1	PCLBUZ0 = 0
		N-chOD出力	—	PFSEG23 = 0	1	—	0	0/1		
	(SO10)	出力	PIOR02 = 1	PFSEG23 = 0	0/1	—	0	1	—	PCLBUZ0 = 0
	(TxD1)	出力	PIOR02 = 1	PFSEG23 = 0	0/1	—	0	1	—	PCLBUZ0 = 0
	PCLBUZ0	出力	—	PFSEG23 = 0	0	—	0	0	(SO10)/(TxD1) = 1	—
SEG23	出力	—	PFSEG23 = 1	0	—	0	0	x	x	
P03	P03	入力	—	PFSEG24 = 0	x	—	1	x	x	x
		出力	—	PFSEG24 = 0	0	—	0	0/1	(SDA10) = 1	TO00 = 0
		N-chOD出力	—	PFSEG24 = 0	1	—	0	0/1		
	(SI10)	入力	PIOR02 = 1	PFSEG24 = 0	x	—	1	x	x	x
	(RxD1)	入力	PIOR02 = 1	PFSEG24 = 0	x	—	1	x	x	x
	(SDA10)	入出力	PIOR02 = 1	PFSEG24 = 0	1	—	0	1	x	TO00 = 0
	TO00	出力	PIOR23 = 0 PIOR22 = 0	PFSEG24 = 0	0	—	0	0	(SDA10) = 1	—
SEG24	出力	—	PFSEG24 = 1	0	—	0	0	x	x	

表4-6 端子機能使用時のレジスタ、出力ラッチの設定例 (R5F11NM) (2/8)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力 機能	SAU以外
P04	P04	入力	—	PFSEG25 = 0	x	—	1	x	x	—
		出力	—	PFSEG25 = 0	0	—	0	0/1	(SCK10)/(SCL10) = 1	—
		N-chOD出力	—	PFSEG25 = 0	1	—	0	0/1		—
	(SCK10)	入力	PIOR02 = 1	PFSEG25 = 0	x	—	1	x	x	—
		出力	PIOR02 = 1	PFSEG25 = 0	0/1	—	0	1	—	—
	(SCL10)	出力	PIOR02 = 1	PFSEG25 = 0	0/1	—	0	1	—	—
	INTP6	入力	PIOR16 = 0	PFSEG25 = 0	x	—	1	x	x	—
SEG25	出力	—	PFSEG25 = 1	0	—	0	0	x	—	
P05	P05	入力	—	PFSEG26 = 0	—	—	1	x	—	x
		出力	—	PFSEG26 = 0	—	—	0	0/1	—	TO06 = 0
	TI06	入力	PIOR32 = 0	PFSEG26 = 0	—	—	1	x	—	x
	TO06	出力	PIOR32 = 0	PFSEG26 = 0	—	—	0	0	—	—
SEG26	出力	—	PFSEG26 = 1	—	—	0	0	—	x	
P06	P06	入力	—	PFSEG27 = 0	x	—	1	x	x	—
		出力	—	PFSEG27 = 0	0	—	0	0/1	SO20/TxD2 = 1	—
		N-chOD出力	—	PFSEG27 = 0	1	—	0	0/1		—
	SO20	出力	PIOR01 = 0	PFSEG27 = 0	0/1	—	0	1	—	—
	TxD2	出力	PIOR01 = 0	PFSEG27 = 0	0/1	—	0	1	—	—
	TI00	入力	PIOR21 = 0 PIOR20 = 0	PFSEG27 = 0	x	—	1	x	x	—
SEG27	出力	—	PFSEG27 = 1	0	—	0	0	x	—	
P07	P07	入力	—	PFSEG28 = 0	x	—	1	x	x	x
		出力	—	PFSEG28 = 0	0	—	0	0/1	SDA20 = 1	TO05 = 0
		N-chOD出力	—	PFSEG28 = 0	1	—	0	0/1		
	SI20	入力	PIOR01 = 0	PFSEG28 = 0	x	—	1	x	x	x
	RxD2	入力	PIOR01 = 0	PFSEG28 = 0	x	—	1	x	x	x
	SDA20	入出力	PIOR01 = 0	PFSEG28 = 0	1	—	0	1	—	TO05 = 0
	TI05	入力	PIOR31 = 0 PIOR30 = 0	PFSEG28 = 0	x	—	1	x	x	x
TO05	出力	PIOR31 = 0 PIOR30 = 0	PFSEG28 = 0	0	—	0	0	SDA20 = 1	—	
SEG28	出力	—	PFSEG28 = 1	0	—	0	0	x	x	
P10	P10	入力	—	PFSEG29 = 0	x	—	1	x	x	—
		出力	—	PFSEG29 = 0	0	—	0	0/1	SCK20/SCL20 = 1	—
		N-chOD出力	—	PFSEG29 = 0	1	—	0	0/1		—
	SCK20	入力	PIOR01 = 0	PFSEG29 = 0	x	—	1	x	x	—
		出力	PIOR01 = 0	PFSEG29 = 0	0/1	—	0	1	—	—
	SCL20	出力	PIOR01 = 0	PFSEG29 = 0	0/1	—	0	1	—	—
	INTP2	入力	PIOR12 = 0	PFSEG29 = 0	x	—	1	x	x	—
SEG29	出力	—	PFSEG29 = 1	0	—	0	0	x	—	
P11	P11	入力	—	PFSEG30 = 0	—	—	1	x	—	—
		出力	—	PFSEG30 = 0	—	—	0	0/1	—	—
SEG30	出力	—	PFSEG30 = 1	—	—	0	0	—	—	
P12	P12	入力	—	PFSEG31 = 0	—	—	1	x	—	—
		出力	—	PFSEG31 = 0	—	—	0	0/1	—	—
SEG31	出力	—	PFSEG31 = 1	—	—	0	0	—	—	
P13	P13	入力	—	PFSEG32 = 0	—	—	1	x	—	—
		出力	—	PFSEG32 = 0	—	—	0	0/1	—	—
SEG32	出力	—	PFSEG32 = 1	—	—	0	0	—	—	
P14	P14	入力	—	PFSEG33 = 0	—	—	1	x	—	—
		出力	—	PFSEG33 = 0	—	—	0	0/1	—	—
SEG33	出力	—	PFSEG33 = 1	—	—	0	0	—	—	

表4-6 端子機能使用時のレジスタ、出力ラッチの設定例 (R5F11NM) (3/8)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力 機能	SAU以外
P15	P15	入力	—	PFSEG34 = 0	—	—	1	x	—	—
		出力	—	PFSEG34 = 0	—	—	0	0/1	—	—
	SEG34	出力	—	PFSEG34 = 1	—	—	0	0	—	—
P16	P16	入力	—	PFSEG35 = 0	—	—	1	x	—	—
		出力	—	PFSEG35 = 0	—	—	0	0/1	—	—
	SEG35	出力	—	PFSEG35 = 1	—	—	0	0	—	—
P17	P17	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	(TO07) = 0
	(TI07)	入力	PIOR35 = 1 PIOR34 = 0	—	—	—	1	x	—	x
	(TO07)	出力	PIOR35 = 1 PIOR34 = 0	—	—	—	0	0	—	—
P30	P30	入力	—	PFSEG16 = 0	—	—	1	x	—	x
		出力	—	PFSEG16 = 0	—	—	0	0/1	—	RTC1HZ = 0
	INTP3	入力	PIOR13 = 0	PFSEG16 = 0	—	—	1	x	—	x
	RTC1HZ	出力	—	PFSEG16 = 0	—	—	0	0	—	—
	SEG16	出力	—	PFSEG16 = 1	—	—	0	0	—	x
P31	P31	入力	—	PFSEG17 = 0	—	—	1	x	—	x
		出力	—	PFSEG17 = 0	—	—	0	0/1	—	TO01 = 0
	TI01	入力	PIOR24 = 0	PFSEG17 = 0	—	—	1	x	—	x
	TO01	出力	PIOR24 = 0	PFSEG17 = 0	—	—	0	0	—	—
	SEG17	出力	—	PFSEG17 = 1	—	—	0	0	—	x
P32	P32	入力	—	PFSEG18 = 0	—	—	1	x	—	—
		出力	—	PFSEG18 = 0	—	—	0	0/1	—	—
	INTP4	入力	PIOR14 = 0	PFSEG18 = 0	—	—	1	x	—	—
	SSI00	入力	PIOR05 = 0	PFSEG18 = 0	—	—	1	x	—	—
	SEG18	出力	—	PFSEG18 = 1	—	—	0	0	—	—
P35	P35	入力	—	PFSEG19 = 0	x	—	1	x	x	—
		出力	—	PFSEG19 = 0	0	—	0	0/1	SCK00/SCL00 = 1	—
		N-chOD 出力	—	PFSEG19 = 0	1	—	0	0/1		—
	SCK00	入力	PIOR00 = 0	PFSEG19 = 0	x	—	1	x	x	—
		出力	PIOR00 = 0	PFSEG19 = 0	0/1	—	0	1	—	—
	SCL00	出力	PIOR00 = 0	PFSEG19 = 0	0/1	—	0	1	—	—
	SEG19	出力	—	PFSEG19 = 1	0	—	0	0	x	—
P36	P36	入力	—	PFSEG20 = 0	x	—	1	x	x	x
		出力	—	PFSEG20 = 0	0	—	0	0/1	SDA00 = 1	PCLBUZ1 = 0
		N-chOD 出力	—	PFSEG20 = 0	1	—	0	0/1		
	SI00	入力	PIOR00 = 0	PFSEG20 = 0	x	—	1	x	x	x
	RxD0	入力	PIOR00 = 0	PFSEG20 = 0	x	—	1	x	x	x
	SDA00	入出力	PIOR00 = 0	PFSEG20 = 0	1	—	0	1	—	PCLBUZ1 = 0
	PCLBUZ1	出力	PIOR03 = 0	PFSEG20 = 0	0	0	0	0	SDA00 = 1	—
	SEG20	出力	—	PFSEG20 = 1	0	—	0	0	x	x
P37	P37	入力	—	PFSEG21 = 0	x	—	1	x	x	—
		出力	—	PFSEG21 = 0	0	—	0	0/1	SO00/TxD0 = 1	—
		N-chOD 出力	—	PFSEG21 = 0	1	—	0	0/1		—
	SO00	出力	PIOR00 = 0	PFSEG21 = 0	0/1	—	0	1	—	—
	TxD0	出力	PIOR00 = 0	PFSEG21 = 0	0/1	—	0	1	—	—
	SEG21	出力	—	PFSEG21 = 1	0	—	0	0	x	—

表4-6 端子機能使用時のレジスタ、出力ラッチの設定例 (R5F11NM) (4/8)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力機能	SAU以外
P40	P40	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	(SCK00)/(SCL00) = 1	(TO01) = 0
		N-chOD出力	—	—	1	—	0	0/1		(TO01) = 0
	(SCK00)	入力	PIOR00 = 1	—	x	—	1	x	x	x
		出力	PIOR00 = 1	—	0/1	—	0	1	—	(TO01) = 0
	(SCL00)	出力	PIOR00 = 1	—	0/1	—	0	1	—	(TO01) = 0
	(INTP1)	入力	PIOR11 = 1	—	x	—	1	x	x	x
(TI01)	入力	PIOR24 = 1	—	x	—	1	x	x	x	
(TO01)	出力	PIOR24 = 1	—	0	—	0	0	(SCK00)/(SCL00) = 1	—	
P43	P43	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	(SDA00) = 1	(TO00) = 0
		N-chOD出力	—	—	1	—	0	0/1		(TO00) = 0
	(SI00)	入力	PIOR00 = 1	—	x	—	1	x	x	x
	(RxD0)	入力	PIOR00 = 1	—	x	—	1	x	x	x
	(SDA00)	入出力	PIOR00 = 1	—	1	—	0	1	—	(TO00) = 0
	(TI00)	入力	PIOR21 = 1 PIOR20 = 0	—	x	—	1	x	x	x
(TO00)	出力	PIOR23 = 1 PIOR22 = 0	—	0	—	0	0	(SDA00) = 1	—	
P44	P44	入力	—	—	x	—	1	x	x	—
		出力	—	—	0	—	0	0/1	(SO00)/(TxD0) = 1	—
		N-chOD出力	—	—	1	—	0	0/1		—
	(SO00)	出力	PIOR00 = 1	—	0/1	—	0	1	—	—
(TxD0)	出力	PIOR00 = 1	—	0/1	—	0	1	—	—	
P50	P50	入力	—	PFSEG07 = 0	x	—	1	x	x	x
		出力	—	PFSEG07 = 0	0	—	0	0/1	SO10/TxD1 = 1	TO03 = 0
		N-chOD出力	—	PFSEG07 = 0	1	—	0	0/1		TO03 = 0
	SO10	出力	PIOR02 = 0	PFSEG07 = 0	0/1	—	0	1	—	TO03 = 0
	TxD1	出力	PIOR02 = 0	PFSEG07 = 0	0/1	—	0	1	—	TO03 = 0
	TI03	入力	PIOR26 = 0	PFSEG07 = 0	x	—	1	x	x	x
	TO03	出力	PIOR26 = 0	PFSEG07 = 0	0	—	0	0	SO10/TxD1 = 1	—
SEG7	出力	—	PFSEG07 = 1	0	—	0	0	x	x	
P51	P51	入力	—	PFSEG06 = 0	x	—	1	x	x	x
		出力	—	PFSEG06 = 0	0	—	0	0/1	SDA10 = 1	TO04 = 0
		N-chOD出力	—	PFSEG06 = 0	1	—	0	0/1		TO04 = 0
	SI10	入力	PIOR02 = 0	PFSEG06 = 0	x	—	1	x	x	x
	RxD1	入力	PIOR02 = 0	PFSEG06 = 0	x	—	1	x	x	x
	SDA10	入出力	PIOR02 = 0	PFSEG06 = 0	1	—	0	1	—	TO04 = 0
	TI04	入力	PIOR27 = 0	PFSEG06 = 0	x	—	1	x	x	x
TO04	出力	PIOR27 = 0	PFSEG06 = 0	0	—	0	0	SDA10 = 1	—	
SEG6	出力	—	PFSEG06 = 1	0	—	0	0	x	x	
P52	P52	入力	—	PFSEG05 = 0	x	—	1	x	x	x
		出力	—	PFSEG05 = 0	0	—	0	0/1	SCK10/SCL10 = 1	TO02 = 0
		N-chOD出力	—	PFSEG05 = 0	1	—	0	0/1		TO02 = 0
	SCK10	入力	PIOR02 = 0	PFSEG05 = 0	x	—	1	x	x	x
		出力	PIOR02 = 0	PFSEG05 = 0	0/1	—	0	1	—	TO02 = 0
	SCL10	出力	PIOR02 = 0	PFSEG05 = 0	0/1	—	0	1	—	TO02 = 0
	TI02	入力	PIOR25 = 0	PFSEG05 = 0	x	—	1	x	x	x
TO02	出力	PIOR25 = 0	PFSEG05 = 0	0	—	0	0	SCK10/SCL10 = 1	—	
SEG5	出力	—	PFSEG05 = 1	0	—	0	0	x	x	

表4-6 端子機能使用時のレジスタ、出力ラッチの設定例 (R5F11NM) (5/8)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力 機能	SAU以外
P53	P53	入力	—	PFSEG04 = 0	—	—	1	x	—	—
		出力	—	PFSEG04 = 0	—	—	0	0/1	—	—
	(INTP0)	入力	PIOR10 = 1	PFSEG04 = 0	—	—	1	x	—	—
	SEG4	出力	—	PFSEG04 = 1	—	—	0	0	—	—
P60	P60	入力	—	—	—	—	1	x	—	x
		N-chOD出力 (6V耐圧)	—	—	—	—	0	0/1	—	SCLA0 = 0
	SCLA0	入出力	—	—	—	—	0	0	—	—
	(INTP3)	入力	PIOR13 = 1	—	—	—	1	x	—	x
P61	P61	入力	—	—	—	—	1	x	—	x
		N-chOD出力 (6V耐圧)	—	—	—	—	0	0/1	—	SDAA0 = 0
	SDAA0	入出力	—	—	—	—	0	0	—	—
	(INTP4)	入力	PIOR14 = 1	—	—	—	1	x	—	x
P70	P70	入力	—	PFSEG08 = 0	—	—	1	x	—	—
		出力	—	PFSEG08 = 0	—	—	0	0/1	—	—
	SEG8	出力	—	PFSEG08 = 1	—	—	0	0	—	—
P71	P71	入力	—	PFSEG09 = 0	—	—	1	x	—	—
		出力	—	PFSEG09 = 0	—	—	0	0/1	—	—
	SEG9	出力	—	PFSEG09 = 1	—	—	0	0	—	—
P72	P72	入力	—	PFSEG10 = 0	—	—	1	x	—	—
		出力	—	PFSEG10 = 0	—	—	0	0/1	—	—
	SEG10	出力	—	PFSEG10 = 1	—	—	0	0	—	—
P73	P73	入力	—	PFSEG11 = 0	—	—	1	x	—	—
		出力	—	PFSEG11 = 0	—	—	0	0/1	—	—
	SEG11	出力	—	PFSEG11 = 1	—	—	0	0	—	—
P74	P74	入力	—	PFSEG12 = 0	—	—	1	x	—	—
		出力	—	PFSEG12 = 0	—	—	0	0/1	—	—
	SEG12	出力	—	PFSEG12 = 1	—	—	0	0	—	—
P75	P75	入力	—	PFSEG13 = 0	—	—	1	x	—	—
		出力	—	PFSEG13 = 0	—	—	0	0/1	—	—
	SEG13	出力	—	PFSEG13 = 1	—	—	0	0	—	—
P76	P76	入力	—	PFSEG14 = 0	—	—	1	x	—	—
		出力	—	PFSEG14 = 0	—	—	0	0/1	—	—
	SEG14	出力	—	PFSEG14 = 1	—	—	0	0	—	—
P77	P77	入力	—	PFSEG15 = 0	—	—	1	x	—	x
		出力	—	PFSEG15 = 0	—	—	0	0/1	—	TO07 = 0
	TI07	入力	PIOR35 = 0 PIOR34 = 0	PFSEG15 = 0	—	—	1	x	—	x
	TO07	出力	PIOR35 = 0 PIOR34 = 0	PFSEG15 = 0	—	—	0	0	—	—
P80	P80	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	(SO20)/(TxD2) = 1	(TO02) = 0
		N-chOD出力	—	—	1	—	0	0/1		
	(SO20)	出力	PIOR01 = 1	—	0/1	—	0	1	—	(TO02) = 0
	(TxD2)	出力	PIOR01 = 1	—	0/1	—	0	1	—	(TO02) = 0
	(TI02)	入力	PIOR25 = 1	—	x	—	1	x	x	x
	(TO02)	出力	PIOR25 = 1	—	0	—	0	0	(SO20)/(TxD2) = 1	—

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NM) (6 / 8)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		
	機能名称	入出力							SAUの出力機能	SAU以外	
P81	P81	入力	—	—	x	—	1	x	x	x	
		出力	—	—	0	—	0	0/1	(SDA20) = 1	(TO00) = 0	
		N-chOD出力	—	—	1	—	0	0/1			
	(SI20)	入力	PIOR01 = 1	—	x	—	1	x	x	x	
	(RxD2)	入力	PIOR01 = 1	—	x	—	1	x	x	x	
	(SDA20)	入出力	PIOR01 = 1	—	1	—	0	1	—	(TO00) = 0	
	(TI00)	入力	PIOR21 = 0 PIOR20 = 1	—	x	—	1	x	x	x	
(TO00)	出力	PIOR23 = 0 PIOR22 = 1	—	0	—	0	0	(SDA20) = 1	—		
P82	P82	入力	—	—	x	—	1	x	x	x	
		出力	—	—	0	—	0	0/1	(SCK20)/(SCL20) = 1	(TO07) = 0	
		N-chOD出力	—	—	1	—	0	0/1			
	(SCK20)	入力	PIOR01 = 1	—	x	—	1	x	x	x	
		出力	PIOR01 = 1	—	0/1	—	0	1	—	(TO07) = 0	
		(SCL20)	出力	PIOR01 = 1	—	0/1	—	0	1	—	(TO07) = 0
		(INTP2)	入力	PIOR12 = 1	—	x	—	1	x	x	x
(TI07)	入力	PIOR35 = 0 PIOR34 = 1	—	x	—	1	x	x	x		
(TO07)	出力	PIOR35 = 0 PIOR34 = 1	—	0	—	0	0	(SCK20)/(SCL20) = 1	—		
P83	P83	入力	—	—	—	—	1	x	—	x	
		出力	—	—	—	—	0	0/1	—	(PCLBUZ1) = 0 (TO03) = 0	
	(PCLBUZ1)	出力	PIOR03 = 1	—	—	—	0	0	—	(TO03) = 0	
	(TI03)	入力	PIOR26 = 1	—	—	—	1	x	—	x	
	(TO03)	出力	PIOR26 = 1	—	—	—	0	0	—	(PCLBUZ1) = 0	
P84	P84	入力	—	—	—	—	1	x	—	x	
		出力	—	—	—	—	0	0/1	—	(TO05) = 0	
	(TI05)	入力	PIOR31 = 1 PIOR30 = 0	—	—	—	1	x	—	x	
(TO05)	出力	PIOR31 = 1 PIOR30 = 0	—	—	—	0	0	—	—		
P85	P85	入力	—	—	—	—	1	x	—	—	
		出力	—	—	—	—	0	0/1	—	—	
P86	P86	入力	—	—	—	—	1	x	—	—	
		出力	—	—	—	—	0	0/1	—	—	
(INTP6)	入力	PIOR16 = 1	—	—	—	1	x	—	—		

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NM) (7 / 8)

端子名称	使用機能		PIORXX	CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS)	Pxx
	機能名称	入出力			
P121	P121	入力	—	00xx/10xx/11xx	x
	X1	—	—	01xx	—
	INTP1	入力	PIOR11 = 0	00xx/10xx/11xx	x
P122	P122	入力	—	00xx/10xx	x
	X2	—	—	01xx	—
	EXCLK	—	—	11xx	—
	INTP5	入力	PIOR15 = 0	00xx/10xx	x
P123	P123	入力	—	xx00/xx10/xx11	x
	XT1	—	—	xx01	—
P124	P124	入力	—	xx00/xx10	x
	XT2	—	—	xx01	—
	EXCLKS	—	—	xx11	—

表4-6 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NM) (8 / 8)

端子名称	使用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	ISCLCD	兼用機能出力	
	機能名称	入出力							SAUの出力機能	SAU以外
P125	P125	入力	—	—	—	1	x	ISCVL3 = 1	—	x
		出力	—	—	—	0	0/1	ISCVL3 = 1	—	(TO06) = 0
	VL3	入出力	—	—	—	1	0	ISCVL3 = 0	—	x
	(TI06)	入力	PIOR32 = 1	—	—	1	x	ISCVL3 = 1	—	x
(TO06)	出力	PIOR32 = 1	—	—	0	0	ISCVL3 = 1	—	—	
P126	P126	入力	—	—	—	1	x	ISCCAP = 1	—	x
		出力	—	—	—	0	0/1	ISCCAP = 1	—	(TO05) = 0
	CAPL	出力	—	—	—	1	0	ISCCAP = 0	—	x
	(TI05)	入力	PIOR31 = 0 PIOR30 = 1	—	—	1	x	ISCCAP = 1	—	x
(TO05)	出力	PIOR31 = 0 PIOR30 = 1	—	—	0	0	ISCCAP = 1	—	—	
P127	P127	入力	—	—	—	1	x	ISCCAP = 1	—	x
		出力	—	—	—	0	0/1	ISCCAP = 1	—	(TO04) = 0
	CAPH	出力	—	—	—	1	0	ISCCAP = 0	—	x
	(TI04)	入力	PIOR27 = 1	—	—	1	x	ISCCAP = 1	—	x
(TO04)	出力	PIOR27 = 1	—	—	0	0	ISCCAP = 1	—	—	
P137	P137	入力	—	—	—	—	x	—	—	—
	INTP0	入力	PIOR10 = 0	—	—	—	x	—	—	—
	(SSI00)	入力	PIOR05 = 1	—	—	—	x	—	—	—

表4-7 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NL) (1 / 6)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力機能	SAU以外
P03	P03	入力	—	PFSEG24 = 0	—	0	1	x	—	x
		出力	—	PFSEG24 = 0	—	0	0	0/1	—	TO00 = 0
	TO00	出力	—	PFSEG24 = 0	—	0	0	0	—	—
	ANI8	アナログ入力	—	PFSEG24 = 1	—	1	1	x	—	x
	SEG24	出力	—	PFSEG24 = 1	—	0	0	0	—	x
P05	P05	入力	—	PFSEG26 = 0	—	0	1	x	—	x
		出力	—	PFSEG26 = 0	—	0	0	0/1	—	TO06 = 0
	TI06	入力	PIOR32 = 0	PFSEG26 = 0	—	0	1	x	—	x
	TO06	出力	PIOR32 = 0	PFSEG26 = 0	—	0	0	0	—	—
	ANI10	アナログ入力	—	PFSEG26 = 1	—	1	1	x	—	x
	SEG26	出力	—	PFSEG26 = 1	—	0	0	0	—	x
P06	P06	入力	—	PFSEG27 = 0	x	—	1	x	x	—
		出力	—	PFSEG27 = 0	0	—	0	0/1	SO20/TxD2 = 1	—
		N-chOD出力	—	PFSEG27 = 0	1	—	0	0/1		—
	SO20	出力	—	PFSEG27 = 0	0/1	—	0	1	—	—
	TxD2	出力	—	PFSEG27 = 0	0/1	—	0	1	—	—
	TI00	入力	—	PFSEG27 = 0	x	—	1	x	x	—
	SEG27	出力	—	PFSEG27 = 1	0	—	0	0	x	—
P07	P07	入力	—	PFSEG28 = 0	x	—	1	x	x	x
		出力	—	PFSEG28 = 0	0	—	0	0/1	SDA20 = 1	TO05 = 0
		N-chOD出力	—	PFSEG28 = 0	1	—	0	0/1		
	SI20	入力	—	PFSEG28 = 0	x	—	1	x	x	x
	RxD2	入力	—	PFSEG28 = 0	x	—	1	x	x	x
	SDA20	入出力	—	PFSEG28 = 0	1	—	0	1	—	TO05 = 0
	TI05	入力	PIOR30 = 0	PFSEG28 = 0	x	—	1	x	x	x
	TO05	出力	PIOR30 = 0	PFSEG28 = 0	0	—	0	0	SDA20 = 1	—
	SEG28	出力	—	PFSEG28 = 1	0	—	0	0	x	x
P10	P10	入力	—	PFSEG29 = 0	x	—	1	x	x	—
		出力	—	PFSEG29 = 0	0	—	0	0/1	SCK20/SCL20 = 1	—
		N-chOD出力	—	PFSEG29 = 0	1	—	0	0/1		—
	SCK20	入力	—	PFSEG29 = 0	x	—	1	x	x	—
		出力	—	PFSEG29 = 0	0/1	—	0	1	—	—
	SCL20	出力	—	PFSEG29 = 0	0/1	—	0	1	—	—
	INTP2	入力	—	PFSEG29 = 0	x	—	1	x	x	—
	SEG29	出力	—	PFSEG29 = 1	0	—	0	0	x	—
P11	P11	入力	—	PFSEG30 = 0	—	0	1	x	—	—
		出力	—	PFSEG30 = 0	—	0	0	0/1	—	—
	ANI11	アナログ入力	—	PFSEG30 = 1	—	1	1	x	—	—
	SEG30	出力	—	PFSEG30 = 1	—	0	0	0	—	—
P12	P12	入力	—	PFSEG31 = 0	—	—	1	x	—	—
		出力	—	PFSEG31 = 0	—	—	0	0/1	—	—
	SEG31	出力	—	PFSEG31 = 1	—	—	0	0	—	—

表4-7 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NL) (2 / 6)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		
	機能名称	入出力							SAUの出力 機能	SAU以外	
P13	P13	入力	—	PFSEG32 = 0	—	—	1	x	—	—	
		出力	—	PFSEG32 = 0	—	—	0	0/1	—	—	
P14	P14	入力	—	PFSEG33 = 0	—	—	1	x	—	—	
		出力	—	PFSEG33 = 0	—	—	0	0/1	—	—	
P15	P15	入力	—	PFSEG34 = 0	—	—	1	x	—	—	
		出力	—	PFSEG34 = 0	—	—	0	0/1	—	—	
P30	P30	入力	—	PFSEG16 = 0	—	—	1	x	—	x	
		出力	—	PFSEG16 = 0	—	—	0	0/1	—	RTC1HZ = 0	
P31	P31	入力	PIOR13 = 0	PFSEG16 = 0	—	—	1	x	—	x	
		出力	—	PFSEG16 = 1	—	—	0	0	—	x	
P32	P32	入力	—	PFSEG17 = 0	—	—	1	x	—	x	
		出力	—	PFSEG17 = 0	—	—	0	0/1	—	TO01 = 0	
P32	P32	入力	PIOR14 = 0	PFSEG18 = 0	—	—	1	x	—	—	
		出力	—	PFSEG18 = 1	—	—	0	0	—	x	
P35	P35	入力	—	PFSEG19 = 0	x	—	1	x	x	—	
		出力	—	PFSEG19 = 0	0	—	0	0/1	SCK00/SCL00 = 1	—	
P36	P36	N-chOD 出力	—	PFSEG19 = 0	1	—	0	0/1		—	—
		SCK00	入力	—	PFSEG19 = 0	x	—	1	x	x	—
P36	P36	SCL00	出力	—	PFSEG19 = 0	0/1	—	0	1	—	—
		SEG19	出力	—	PFSEG19 = 1	0	—	0	0	x	—
P36	P36	入力	—	PFSEG20 = 0	x	—	1	x	x	x	
		出力	—	PFSEG20 = 0	0	—	0	0/1	SDA00 = 1	PCLBUZ1 = 0	
P37	P37	N-chOD 出力	—	PFSEG20 = 0	1	—	0	0/1			—
		SI00	入力	—	PFSEG20 = 0	x	—	1	x	x	x
P37	P37	RxD0	入力	—	PFSEG20 = 0	x	—	1	x	x	x
		SDA00	入出力	—	PFSEG20 = 0	1	—	0	1	—	PCLBUZ1 = 0
P37	P37	PCLBUZ1	出力	PIOR03 = 0	PFSEG20 = 0	0	—	0	0	SDA00 = 1	—
		SEG20	出力	—	PFSEG20 = 1	0	—	0	0	x	x
P37	P37	入力	—	PFSEG21 = 0	x	—	1	x	SO00/TxD0 = 1	—	
		出力	—	PFSEG21 = 0	0	—	0	0/1			
P37	P37	N-chOD 出力	—	PFSEG21 = 0	1	—	0	0/1	—	—	
		SO00	出力	—	PFSEG21 = 0	0/1	—	0	1	—	—
P37	P37	TxD0	出力	—	PFSEG21 = 0	0/1	—	0	1	—	—
		SEG21	出力	—	PFSEG21 = 1	0	—	0	0	x	—

表4-7 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NL) (3 / 6)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力 機能	SAU以外
P40	P40	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	(TO01) = 0
	(INTP1)	入力	PIOR11 = 1	—	—	—	1	x	—	x
	(TI01)	入力	PIOR24 = 1	—	—	—	1	x	—	x
	(TO01)	出力	PIOR24 = 1	—	—	—	0	0	—	—
P50	P50	入力	—	PFSEG07 = 0	x	—	1	x	x	x
		出力	—	PFSEG07 = 0	0	—	0	0/1	SO10/TxD1 = 1	TO03 = 0
		N-chOD 出力	—	PFSEG07 = 0	1	—	0	0/1		
	SO10	出力	—	PFSEG07 = 0	0/1	—	0	1	—	TO03 = 0
	TxD1	出力	—	PFSEG07 = 0	0/1	—	0	1	—	TO03 = 0
	TI03	入力	PIOR26 = 0	PFSEG07 = 0	x	—	1	x	x	x
	TO03	出力	PIOR26 = 0	PFSEG07 = 0	0	—	0	0	SO10/TxD1 = 1	—
SEG7	出力	—	PFSEG07 = 1	0	—	0	0	x	x	
P51	P51	入力	—	PFSEG06 = 0	x	—	1	x	x	x
		出力	—	PFSEG06 = 0	0	—	0	0/1	SDA10 = 1	TO04 = 0
		N-chOD 出力	—	PFSEG06 = 0	1	—	0	0/1		
	SI10	入力	—	PFSEG06 = 0	x	—	1	x	x	x
	RxD1	入力	—	PFSEG06 = 0	x	—	1	x	x	x
	SDA10	入出力	—	PFSEG06 = 0	1	—	0	1	—	TO04 = 0
	TI04	入力	PIOR27 = 0	PFSEG06 = 0	x	—	1	x	x	x
	TO04	出力	PIOR27 = 0	PFSEG06 = 0	0	—	0	0	SDA10 = 1	—
SEG6	出力	—	PFSEG06 = 1	0	—	0	0	x	x	
P52	P52	入力	—	PFSEG05 = 0	x	—	1	x	x	x
		出力	—	PFSEG05 = 0	0	—	0	0/1	SCK10/SCL10 = 1	TO02 = 0
		N-chOD 出力	—	PFSEG05 = 0	1	—	0	0/1		
	SCK10	入力	—	PFSEG05 = 0	x	—	1	x	x	x
		出力	—	PFSEG05 = 0	0/1	—	0	1	—	TO02 = 0
	SCL10	出力	—	PFSEG05 = 0	0/1	—	0	1	—	TO02 = 0
	TI02	入力	—	PFSEG05 = 0	x	—	1	x	x	x
TO02	出力	—	PFSEG05 = 0	0	—	0	0	SCK10/SCL10 = 1	—	
SEG5	出力	—	PFSEG05 = 1	0	—	0	0	x	x	
P60	P60	入力	—	—	—	—	1	x	—	x
		N-chOD 出力 (6V耐圧)	—	—	—	—	0	0/1	—	SCLA0 = 0
	SCLA0	入出力	—	—	—	—	0	0	—	—
(INTP3)	入力	PIOR13 = 1	—	—	—	1	x	—	x	
P61	P61	入力	x	—	—	—	1	x	—	x
		N-chOD 出力 (6V耐圧)	x	—	—	—	0	0/1	—	SDAA0 = 0
	SDAA0	入出力	x	—	—	—	0	0	—	—
(INTP4)	入力	PIOR14 = 1	—	—	—	1	x	—	x	
P70	P70	入力	—	PFSEG08 = 0	—	—	1	x	—	—
		出力	—	PFSEG08 = 0	—	—	0	0/1	—	—
	SEG8	出力	—	PFSEG08 = 1	—	—	0	0	—	—
P71	P71	入力	—	PFSEG09 = 0	—	—	1	x	—	—
		出力	—	PFSEG09 = 0	—	—	0	0/1	—	—
	SEG9	出力	—	PFSEG09 = 1	—	—	0	0	—	—

表4-7 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NL) (4 / 6)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力機能	SAU以外
P76	P76	入力	—	PFSEG14 = 0	—	—	1	x	—	—
		出力	—	PFSEG14 = 0	—	—	0	0/1	—	—
	SEG14	出力	—	PFSEG14 = 1	—	—	0	0	—	—
P77	P77	入力	—	PFSEG15 = 0	—	—	1	x	—	x
		出力	—	PFSEG15 = 0	—	—	0	0/1	—	TO07 = 0
	TI07	入力	PIOR34 = 0	PFSEG15 = 0	—	—	1	x	—	x
	TO07	出力	PIOR34 = 0	PFSEG15 = 0	—	—	0	0	—	—
	SEG15	出力	—	PFSEG15 = 1	—	—	0	0	—	x
P82	P82	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	(TO07) = 0
	(TI07)	入力	PIOR34 = 1	—	—	—	1	x	—	x
	(TO07)	出力	PIOR34 = 1	—	—	—	0	0	—	—
P83	P83	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	(PCLBUZ1) = 0 (TO03) = 0
	(PCLBUZ1)	出力	PIOR03 = 1	—	—	—	0	0	—	(TO03) = 0
	(TI03)	入力	PIOR26 = 1	—	—	—	1	x	—	x
	(TO03)	出力	PIOR26 = 1	—	—	—	0	0	—	(PCLBUZ1) = 0

表4-7 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NL) (5 / 6)

端子名称	使用機能		PIORXX	CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS)	Pxx
	機能名称	入出力			
P121	P121	入力	—	00xx/10xx/11xx	x
	X1	—	—	01xx	—
	INTP1	入力	PIOR11 = 0	00xx/10xx/11xx	x
P122	P122	入力	—	00xx/10xx	x
	X2	—	—	01xx	—
	EXCLK	—	—	11xx	—
	INTP5	入力	—	00xx/10xx	x
P123	P123	入力	—	xx00/xx10/xx11	x
	XT1	—	—	xx01	—
P124	P124	入力	—	xx00/xx10	x
	XT2	—	—	xx01	—
	EXCLKS	—	—	xx11	—

表4-7 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NL) (6 / 6)

端子 名称	使用機能		PIORXX	POMXX	PMGXX	PMXX	PXX	ISCLCD	兼用機能出力	
	機能名称	入出力							SAUの出力 機能	SAU以外
P125	P125	入力	—	—	—	1	x	ISCVL3 = 1	—	x
		出力	—	—	—	0	0/1	ISCVL3 = 1	—	(TO06) = 0
	VL3	入出力	—	—	—	1	0	ISCVL3 = 0	—	x
	(TI06)	入力	PIOR32 = 1	—	—	1	x	ISCVL3 = 1	—	x
	(TO06)	出力	PIOR32 = 1	—	—	0	0	ISCVL3 = 1	—	—
P126	P126	入力	—	—	—	1	x	ISCCAP = 1	—	x
		出力	—	—	—	0	0/1	ISCCAP = 1	—	(TO05) = 0
	CAPL	出力	—	—	—	1	0	ISCCAP = 0	—	x
	(TI05)	入力	PIOR30 = 1	—	—	1	x	ISCCAP = 1	—	x
	(TO05)	出力	PIOR30 = 1	—	—	0	0	ISCCAP = 1	—	—
P127	P127	入力	—	—	—	1	x	ISCCAP = 1	—	x
		出力	—	—	—	0	0/1	ISCCAP = 1	—	(TO04) = 0
	CAPH	出力	—	—	—	1	0	ISCCAP = 0	—	x
	(TI04)	入力	PIOR27 = 1	—	—	1	x	ISCCAP = 1	—	x
	(TO04)	出力	PIOR27 = 1	—	—	0	0	ISCCAP = 1	—	—
P137	P137	入力	—	—	—	—	x	—	—	—
	INTP0	入力	—	—	—	—	x	—	—	—

表 4 - 8 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NG, R5F11PL) (1 / 5)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力機能	SAU以外
P01	P01	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
	(INTP5)	入力	PIOR15 = 1	—	—	—	1	x	—	—
P02	P02	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	(SO10)/(TxD1) = 1	PCLBUZ0 = 0
		N-chOD 出力	—	—	1	—	0	0/1		
	(SO10)	出力	PIOR02 = 1	—	0/1	—	0	1	—	PCLBUZ0 = 0
	(TxD1)	出力	PIOR02 = 1	—	0/1	—	0	1	—	PCLBUZ0 = 0
	PCLBUZ0	出力	—	—	0	—	0	0	(SO10)/(TxD1) = 1	—
P03	P03	入力	—	—	x	0	1	x	x	x
		出力	—	—	0	0	0	0/1	(SDA10) = 1	TO00 = 0
		N-chOD 出力	—	—	1	0	0	0/1		
	(SI10)	入力	PIOR02 = 1	—	x	0	1	x	x	x
	(RxD1)	入力	PIOR02 = 1	—	x	0	1	x	x	x
	(SDA10)	入出力	PIOR02 = 1	—	1	0	0	1	—	TO00 = 0
	TO00	出力	—	—	0	0	0	0	(SDA10) = 1	—
ANI8	アナログ 入力	—	—	x	1	1	x	x	x	
P04	P04	入力	—	—	x	0	1	x	x	—
		出力	—	—	0	0	0	0/1	(SCK10)/(SCL10) = 1	—
		N-chOD 出力	—	—	1	0	0	0/1		—
	(SCK10)	入力	PIOR02 = 1	—	x	0	1	x	x	—
		出力	PIOR02 = 1	—	0/1	0	0	1	—	—
	(SCL10)	出力	PIOR02 = 1	—	0/1	0	0	1	—	—
	INTP6	入力	—	—	x	0	1	x	x	—
ANI9	アナログ 入力	—	—	x	1	1	x	x	—	
P05	P05	入力	—	—	—	0	1	x	—	x
		出力	—	—	—	0	0	0/1	—	TO06 = 0
	TI06	入力	PIOR33 = 0	—	—	0	1	x	—	x
	TO06	出力	PIOR33 = 0	—	—	0	0	0	—	—
ANI10	アナログ 入力	—	—	—	1	1	x	—	x	
P06	P06	入力	—	—	x	—	1	x	x	—
		出力	—	—	0	—	0	0/1	SO20/TxD2 = 1	—
		N-chOD 出力	—	—	1	—	0	0/1		—
	SO20	出力	—	—	0/1	—	0	1	—	—
	TxD2	出力	—	—	0/1	—	0	1	—	—
	TI00	入力	—	—	x	—	1	x	x	—
P07	P07	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	SDA20 = 1	TO05 = 0
		N-chOD 出力	—	—	1	—	0	0/1		
	SI20	入力	—	—	x	—	1	x	x	x
	RxD2	入力	—	—	x	—	1	x	x	x
	SDA20	入出力	—	—	1	—	0	1	—	TO05 = 0
	TI05	入力	PIOR31 = 0 PIOR30 = 0	—	x	—	1	x	x	x
TO05	出力	PIOR31 = 0 PIOR30 = 0	—	0	—	0	0	SDA20 = 1	—	

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NG, R5F11PL) (2 / 5)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力 機能	SAU以外
P10	P10	入力	—	—	x	—	1	x	x	—
		出力	—	—	0	—	0	0/1	SCK20/SCL20 = 1	—
		N-chOD 出力	—	—	1	—	0	0/1		—
	SCK20	入力	—	—	x	—	1	x	x	—
		出力	—	—	0/1	—	0	1	—	—
	SCL20	出力	—	—	0/1	—	0	1	—	—
INTP2	入力	—	—	x	—	1	x	x	—	
P30	P30	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	RTC1HZ = 0
	INTP3	入力	PIOR13 = 0	—	—	—	1	x	—	x
RTC1HZ	出力	—	—	—	—	0	0	—	—	
P32	P32	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
	INTP4	入力	PIOR14 = 0	—	—	—	1	x	—	—
SS100	入力	—	—	—	—	1	x	—	—	
P35	P35	入力	—	—	x	—	1	x	x	—
		出力	—	—	0	—	0	0/1	SCK00/SCL00 = 1	—
		N-chOD 出力	—	—	1	—	0	0/1		—
	SCK00	入力	—	—	x	—	1	x	x	—
		出力	—	—	0/1	—	0	1	—	—
SCL00	出力	—	—	0/1	—	0	1	—	—	
P36	P36	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	SDA00 = 1	PCLBUZ1 = 0
		N-chOD 出力	—	—	1	—	0	0/1		
	SI00	入力	—	—	x	—	1	x	x	x
	RxD0	入力	—	—	x	—	1	x	x	x
	SDA00	入出力	—	—	1	—	0	1	—	PCLBUZ1 = 0
	PCLBUZ1	出力	—	—	0	—	0	0	SDA00 = 1	—
P37	P37	入力	—	—	x	—	1	x	x	—
		出力	—	—	0	—	0	0/1	SO00/TxD0 = 1	—
		N-chOD 出力	—	—	1	—	0	0/1		—
	SO00	出力	—	—	0/1	—	0	1	—	—
TxD0	出力	—	—	0/1	—	0	1	—	—	
P40	P40	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	TO01 = 0
	(INTP1)	入力	PIOR11 = 1	—	—	—	1	x	—	x
	TI01	入力	—	—	—	—	1	x	—	x
	TO01	出力	—	—	—	—	0	0	—	—
P50	P50	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	SO10/TxD1 = 1	TO03 = 0
		N-chOD 出力	—	—	1	—	0	0/1		
	SO10	出力	PIOR02 = 0	—	0/1	—	0	1	—	TO03 = 0
	TxD1	出力	PIOR02 = 0	—	0/1	—	0	1	—	TO03 = 0
	TI03	入力	—	—	x	—	1	x	x	x
	TO03	出力	—	—	0	—	0	0	SO10/TxD1 = 1	—

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NG, R5F11PL) (3 / 5)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAUの出力 機能	SAU以外
P51	P51	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	SDA10 = 1	TO04 = 0
		N-chOD 出力	—	—	1	—	0	0/1		
	SI10	入力	PIOR02 = 0	—	x	—	1	x	x	x
	RxD1	入力	PIOR02 = 0	—	x	—	1	x	x	x
	SDA10	入出力	PIOR02 = 0	—	1	—	0	1	—	TO04 = 0
	TI04	入力	—	—	x	—	1	x	x	x
TO04	出力	—	—	0	—	0	0	SDA10 = 1	—	
P52	P52	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	SCK10/SCL10 = 1	TO02 = 0
		N-chOD 出力	—	—	1	—	0	0/1		
	SCK10	入力	PIOR02 = 0	—	x	—	1	x	x	x
		出力	PIOR02 = 0	—	0/1	—	0	1	—	TO02 = 0
	SCL10	出力	PIOR02 = 0	—	0/1	—	0	1	—	TO02 = 0
	TI02	入力	—	—	x	—	1	x	x	x
TO02	出力	—	—	0	—	0	0	SCK10/SCL10 = 1	—	
P53	P53	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
	(INTP0)	入力	PIOR10 = 1	—	—	—	1	x	—	—
P60	P60	入力	—	—	—	—	1	x	—	x
		N-chOD 出力 (6V耐圧)	—	—	—	—	0	0/1	—	SCLA0 = 0
	SCLA0	入出力	—	—	—	—	0	0	—	—
	(INTP3)	入力	PIOR13 = 1	—	—	—	1	x	—	x
P61	P61	入力	—	—	—	—	1	x	—	x
		N-chOD 出力 (6V耐圧)	—	—	—	—	0	0/1	—	SDAA0 = 0
	SDAA0	入出力	—	—	—	—	0	0	—	—
	(INTP4)	入力	PIOR14 = 1	—	—	—	1	x	—	x
P70	P70	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
P71	P71	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	(TO05) = 0
	(TI05)	入力	PIOR31 = 1 PIOR30 = 1	—	—	—	1	x	—	x
(TO05)	出力	PIOR31 = 1 PIOR30 = 1	—	—	—	0	0	—	—	
P76	P76	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	(TO06) = 0
	(TI06)	入力	PIOR33 = 1	—	—	—	1	x	—	x
	(TO06)	出力	PIOR33 = 1	—	—	—	0	0	—	—
P77	P77	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	TO07 = 0
	TI07	入力	—	—	—	—	1	x	—	x
	TO07	出力	—	—	—	—	0	0	—	—

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NG, R5F11PL) (4 /5)

端子名称	使用機能		PIORXX	CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS)	Pxx
	機能名称	入出力			
P121	P121	入力	—	00xx/10xx/11xx	x
	X1	—	—	01xx	—
	INTP1	入力	PIOR11 = 0	00xx/10xx/11xx	x
P122	P122	入力	—	00xx/10xx	x
	X2	—	—	01xx	—
	EXCLK	—	—	11xx	—
	INTP5	入力	PIOR15 = 0	00xx/10xx	x
P123	P123	入力	—	xx00/xx10/xx11	x
	XT1	—	—	xx01	—
P124	P124	入力	—	xx00/xx10	x
	XT2	—	—	xx01	—
	EXCLKS	—	—	xx11	—

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11NG, R5F11PL) (5 /5)

端子名称	使用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	ISCLCD	兼用機能出力	
	機能名称	入出力							SAUの出力機能	SAU以外
P137	P137	入力	—	—	—	—	x	—	—	—
	INTP0	入力	PIOR10 = 0	—	—	—	x	—	—	—

表4-9 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11RM) (1 / 9)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAU, UARTMGの出力機能	SAU, UARTMG以外
P01	P01	入力	—	PFSEG22 = 0	—	—	1	x	—	—
		出力	—	PFSEG22 = 0	—	—	0	0/1	—	—
	SEG22	出力	—	PFSEG22 = 1	—	—	0	0	—	—
P02	P02	入力	—	PFSEG23 = 0	x	—	1	x	x	x
		出力	—	PFSEG23 = 0	0	—	0	0/1	(SO10)/(TxD1) = 1	PCLBUZ0 = 0
		N-chOD出力	—	PFSEG23 = 0	1	—	0	0/1		
	(SO10)	出力	PIOR02 = 1	PFSEG23 = 0	0/1	—	0	1	—	PCLBUZ0 = 0
	(TxD1)	出力	PIOR02 = 1	PFSEG23 = 0	0/1	—	0	1	—	PCLBUZ0 = 0
	PCLBUZ0	出力	—	PFSEG23 = 0	0	—	0	0	(SO10)/(TxD1) = 1	—
	SEG23	出力	—	PFSEG23 = 1	0	—	0	0	x	x
P03	P03	入力	—	PFSEG24 = 0	x	0	1	x	x	x
		出力	—	PFSEG24 = 0	0	0	0	0/1	(SDA10) = 1	TO00 = 0
		N-chOD出力	—	PFSEG24 = 0	1	0	0	0/1		
	(SI10)	入力	PIOR02 = 1	PFSEG24 = 0	x	0	1	x	x	x
	(RxD1)	入力	PIOR02 = 1	PFSEG24 = 0	x	0	1	x	x	x
	(SDA10)	入出力	PIOR02 = 1	PFSEG24 = 0	1	0	0	1	—	TO00 = 0
	TO00	出力	PIOR22 = 0	PFSEG24 = 0	0	0	0	0	(SDA10) = 1	—
	ANI8	アナログ入力	—	PFSEG24 = 1	x	1	1	x	x	x
SEG24	出力	—	PFSEG24 = 1	0	0	0	0	x	x	
P04	P04	入力	—	PFSEG25 = 0	x	0	1	x	x	—
		出力	—	PFSEG25 = 0	0	0	0	0/1	(SCK10)/(SCL10) = 1	—
		N-chOD出力	—	PFSEG25 = 0	1	0	0	0/1		—
	(SCK10)	入力	PIOR02 = 1	PFSEG25 = 0	x	0	1	x	x	—
		出力	PIOR02 = 1	PFSEG25 = 0	0/1	0	0	1	—	—
	(SCL10)	出力	PIOR02 = 1	PFSEG25 = 0	0/1	0	0	1	—	—
	ANI9	アナログ入力	—	PFSEG25 = 1	x	1	1	x	x	—
SEG25	出力	—	PFSEG25 = 1	0	0	0	0	x	—	
P05	P05	入力	—	PFSEG26 = 0	—	0	1	x	—	x
		出力	—	PFSEG26 = 0	—	0	0	0/1	—	TO06 = 0
	TI06	入力	PIOR32 = 0	PFSEG26 = 0	—	0	1	x	—	x
	TO06	出力	PIOR32 = 0	PFSEG26 = 0	—	0	0	0	—	—
	ANI10	アナログ入力	—	PFSEG26 = 1	—	1	1	x	—	x
	SEG26	出力	—	PFSEG26 = 1	—	0	0	0	—	x
P06	P06	入力	—	PFSEG27 = 0	x	—	1	x	x	—
		出力	—	PFSEG27 = 0	0	—	0	0/1	SO20/TxD2 = 1	—
		N-chOD出力	—	PFSEG27 = 0	1	—	0	0/1		—
	SO20	出力	PIOR01 = 0	PFSEG27 = 0	0/1	—	0	1	—	—
	TxD2	出力	PIOR01 = 0	PFSEG27 = 0	0/1	—	0	1	—	—
	TI00	入力	PIOR20 = 0	PFSEG27 = 0	x	—	1	x	x	—
	SEG27	出力	—	PFSEG27 = 1	0	—	0	0	x	—

表 4 - 9 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11RM) (2 / 9)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAU, UARTMG の出力機能	SAU, UARTMG 以外
P07	P07	入力	—	PFSEG28 = 0	x	—	1	x	x	x
		出力	—	PFSEG28 = 0	0	—	0	0/1	SDA20 = 1	TO05 = 0
		N-chOD 出力	—	PFSEG28 = 0	1	—	0	0/1		
	SI20	入力	PIOR01 = 0	PFSEG28 = 0	x	—	1	x	x	x
	RxD2	入力	PIOR01 = 0	PFSEG28 = 0	x	—	1	x	x	x
	SDA20	入出力	PIOR01 = 0	PFSEG28 = 0	1	—	0	1	—	TO05 = 0
	TI05	入力	PIOR30 = 0	PFSEG28 = 0	x	—	1	x	x	x
	TO05	出力	PIOR30 = 0	PFSEG28 = 0	0	—	0	0	SDA20 = 1	—
SEG28	出力	—	PFSEG28 = 1	0	—	0	0	x	x	
P10	P10	入力	—	PFSEG29 = 0	x	—	1	x	x	—
		出力	—	PFSEG29 = 0	0	—	0	0/1	SCK20/SCL20 = 1	—
		N-chOD 出力	—	PFSEG29 = 0	1	—	0	0/1		—
	SCK20	入力	PIOR01 = 0	PFSEG29 = 0	x	—	1	x	x	—
		出力	PIOR01 = 0	PFSEG29 = 0	0/1	—	0	1	—	—
	SCL20	出力	PIOR01 = 0	PFSEG29 = 0	0/1	—	0	1	—	—
SEG29	出力	—	PFSEG29 = 1	0	—	0	0	x	—	
P11	P11	入力	—	PFSEG30 = 0	—	—	1	x	—	—
		出力	—	PFSEG30 = 0	—	—	0	0/1	—	—
	SEG30	出力	—	PFSEG30 = 1	—	—	0	0	—	—
P12	P12	入力	—	PFSEG31 = 0	x	—	1	x	x	—
		出力	—	PFSEG31 = 0	0	—	0	0/1	TxDMG0 = 1	—
		N-chOD 出力	—	PFSEG31 = 0	1	—	0	0/1		—
	TxDMG0	出力	—	PFSEG31 = 0	0/1	—	0	1	—	—
	SEG31	出力	—	PFSEG31 = 1	0	—	0	0	x	—
P13	P13	入力	—	PFSEG32 = 0	—	—	1	x	—	—
		出力	—	PFSEG32 = 0	—	—	0	0/1	—	—
	RxDMG0	入力	—	PFSEG32 = 0	—	—	1	x	—	—
	SEG32	出力	—	PFSEG32 = 1	—	—	0	0	—	—
P14	P14	入力	—	PFSEG33 = 0	—	—	1	x	—	x
		出力	—	PFSEG33 = 0	—	—	0	0/1	—	TRJIO1 = 0
	TRJIO1	入力	—	PFSEG33 = 0	—	—	1	x	—	x
		出力	—	PFSEG33 = 0	—	—	0	0	—	—
SEG33	出力	—	PFSEG33 = 1	—	—	0	0	—	x	
P15	P15	入力	—	PFSEG34 = 0	—	—	1	x	—	x
		出力	—	PFSEG34 = 0	—	—	0	0/1	—	TRJIO0 = 0
	TRJIO0	入力	—	PFSEG34 = 0	—	—	1	x	—	x
		出力	—	PFSEG34 = 0	—	—	0	0	—	—
SEG34	出力	—	PFSEG34 = 1	—	—	0	0	—	x	
P16	P16	入力	—	PFSEG35 = 0	—	—	1	x	—	x
		出力	—	PFSEG35 = 0	—	—	0	0/1	—	SMO0 = 0
	SMO0	出力	—	PFSEG35 = 0	—	—	0	0	—	—
SEG35	出力	—	PFSEG35 = 1	—	—	0	0	—	x	
P17	P17	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	SMO1 = 0
	SMO1	出力	—	—	—	—	0	0	—	—
P20	P20	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
	SMP4	入力	—	—	—	—	1	x	—	—
P21	P21	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
	SMP5	入力	—	—	—	—	1	x	—	—

表4-9 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11RM) (3 / 9)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAU, UARTMG の出力機能	SAU, UARTMG以外
P22	P22	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
P23	P23	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
P24	P24	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
P25	P25	入力	PIOR15 = 1	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
P26	P26	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
P27	P27	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
P30	P30	入力	—	PFSEG16 = 0	—	—	1	x	—	x
		出力	—	PFSEG16 = 0	—	—	0	0/1	—	RTC1HZ = 0
P31	P31	入力	—	PFSEG17 = 0	—	—	1	x	—	x
		出力	—	PFSEG17 = 0	—	—	0	0/1	—	TO01 = 0
P32	P32	入力	PIOR24 = 0	PFSEG17 = 0	—	—	1	x	—	x
		出力	PIOR24 = 0	PFSEG17 = 0	—	—	0	0	—	—
P35	P35	入力	—	PFSEG18 = 0	—	—	1	x	—	—
		出力	—	PFSEG18 = 0	—	—	0	0/1	—	—
P36	P36	入力	PIOR05 = 0	PFSEG18 = 0	—	—	1	x	—	—
		出力	—	PFSEG18 = 1	—	—	0	0	—	—
P35	P35	入力	—	PFSEG19 = 0	x	—	1	x	x	—
		出力	—	PFSEG19 = 0	0	—	0	0/1	—	—
P35	P35	N-chOD 出力	—	PFSEG19 = 0	1	—	0	0/1	SCK00/SCL00 = 1	—
		入力	PIOR00 = 0	PFSEG19 = 0	x	—	1	x	x	—
P35	P35	出力	PIOR00 = 0	PFSEG19 = 0	0/1	—	0	1	—	—
		出力	PIOR00 = 0	PFSEG19 = 0	0/1	—	0	1	—	—
P36	P36	出力	—	PFSEG19 = 1	0	—	0	0	x	—
		入力	—	PFSEG20 = 0	x	—	1	x	x	x
P36	P36	出力	—	PFSEG20 = 0	0	—	0	0/1	—	—
		N-chOD 出力	—	PFSEG20 = 0	1	—	0	0/1	SDA00 = 1	PCLBUZ1 = 0
P36	P36	入力	PIOR00 = 0	PFSEG20 = 0	x	—	1	x	x	x
		入力	PIOR00 = 0	PFSEG20 = 0	x	—	1	x	x	x
P36	P36	入出力	PIOR00 = 0	PFSEG20 = 0	1	—	0	1	—	PCLBUZ1 = 0
		出力	PIOR03 = 0	PFSEG20 = 0	0	—	0	0	SDA00 = 1	—
P36	P36	出力	—	PFSEG20 = 1	0	—	0	0	x	x

表 4 - 9 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11RM) (4 / 9)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		
	機能名称	入出力							SAU, UARTMG の出力機能	SAU, UARTMG以外	
P37	P37	入力	—	PFSEG21 = 0	x	—	1	x	x	—	
		出力	—	PFSEG21 = 0	0	—	0	0/1	SO00/TxD0 = 1	—	
		N-chOD 出力	—	PFSEG21 = 0	1	—	0	0/1		—	
	SO00	出力	PIOR00 = 0	PFSEG21 = 0	0/1	—	0	1	—	—	
	TxD0	出力	PIOR00 = 0	PFSEG21 = 0	0/1	—	0	1	—	—	
	SEG21	出力	—	PFSEG21 = 1	0	—	0	0	x	—	
P40	P40	入力	—	—	x	—	1	x	x	x	
		出力	—	—	0	—	0	0/1	(SCK00)/(SCL00) = 1	(TO01) = 0	
		N-chOD 出力	—	—	1	—	0	0/1			
	(SCK00)	入力	PIOR00 = 1	—	x	—	1	x	x	x	
		出力	PIOR00 = 1	—	0/1	—	0	1	—	(TO01) = 0	
		(SCL00)	出力	PIOR00 = 1	—	0/1	—	0	1	—	(TO01) = 0
		(TI01)	入力	PIOR24 = 1	—	x	—	1	x	x	x
(TO01)	出力	PIOR24 = 1	—	0	—	0	0	(SCK00)/(SCL00) = 1	—		
P43	P43	入力	—	—	x	—	1	x	x	—	
		出力	—	—	0	—	0	0/1	(SDA00) = 1	—	
		N-chOD 出力	—	—	1	—	0	0/1			
	(SI00)	入力	PIOR00 = 1	—	x	—	1	x	x	—	
	(RxD0)	入力	PIOR00 = 1	—	x	—	1	x	x	—	
	(SDA00)	入出力	PIOR00 = 1	—	1	—	0	1	—	—	
(SMP0)	入力	PIOR04 = 1	—	x	—	1	x	x	—		
P44	P44	入力	—	—	x	—	1	x	x	—	
		出力	—	—	0	—	0	0/1	(SO00)/(TxD0) = 1	—	
		N-chOD 出力	—	—	1	—	0	0/1			
	(SO00)	出力	PIOR00 = 1	—	0/1	—	0	1	—	—	
	(TxD0)	出力	PIOR00 = 1	—	0/1	—	0	1	—	—	
	(SMP1)	入力	PIOR04 = 1	—	x	—	1	x	x	—	
P50	P50	入力	—	PFSEG07 = 0	x	—	1	x	x	x	
		出力	—	PFSEG07 = 0	0	—	0	0/1	SO10/TxD1 = 1	TO03 = 0	
		N-chOD 出力	—	PFSEG07 = 0	1	—	0	0/1			
	SO10	出力	PIOR02 = 0	PFSEG07 = 0	0/1	—	0	1	—	TO03 = 0	
	TxD1	出力	PIOR02 = 0	PFSEG07 = 0	0/1	—	0	1	—	TO03 = 0	
	TI03	入力	PIOR26 = 0	PFSEG07 = 0	x	—	1	x	x	x	
	TO03	出力	PIOR26 = 0	PFSEG07 = 0	0	—	0	0	SO10/TxD1 = 1	—	
SEG7	出力	—	PFSEG07 = 1	0	—	0	0	x	x		
P51	P51	入力	—	PFSEG06 = 0	x	—	1	x	x	x	
		出力	—	PFSEG06 = 0	0	—	0	0/1	SDA10 = 1	TO04 = 0	
		N-chOD 出力	—	PFSEG06 = 0	1	—	0	0/1			
	SI10	入力	PIOR02 = 0	PFSEG06 = 0	x	—	1	x	x	x	
	RxD1	入力	PIOR02 = 0	PFSEG06 = 0	x	—	1	x	x	x	
	SDA10	入出力	PIOR02 = 0	PFSEG06 = 0	1	—	0	1	—	TO04 = 0	
	TI04	入力	PIOR27 = 0	PFSEG06 = 0	x	—	1	x	x	x	
	TO04	出力	PIOR27 = 0	PFSEG06 = 0	0	—	0	0	SDA10 = 1	—	
SEG6	出力	—	PFSEG06 = 1	0	—	0	0	x	x		

表4-9 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11RM) (5 / 9)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAU, UARTMG の出力機能	SAU, UARTMG以外
P52	P52	入力	—	PFSEG05 = 0	x	—	1	x	x	x
		出力	—	PFSEG05 = 0	0	—	0	0/1	SCK10/SCL10 = 1	TO02 = 0
		N-chOD 出力	—	PFSEG05 = 0	1	—	0	0/1		
	SCK10	入力	PIOR02 = 0	PFSEG05 = 0	x	—	1	x	x	x
		出力	PIOR02 = 0	PFSEG05 = 0	0/1	—	0	1	—	TO02 = 0
	SCL10	出力	PIOR02 = 0	PFSEG05 = 0	0/1	—	0	1	—	TO02 = 0
	TI02	入力	PIOR25 = 0	PFSEG05 = 0	x	—	1	x	x	x
	TO02	出力	PIOR25 = 0	PFSEG05 = 0	0	—	0	0	SCK10/SCL10 = 1	—
SEG5	出力	—	PFSEG05 = 1	0	—	0	0	x	x	
P53	P53	入力	—	PFSEG04 = 0	—	—	1	x	—	—
		出力	—	PFSEG04 = 0	—	—	0	0/1	—	—
	SEG4	出力	—	PFSEG04 = 1	—	—	0	0	—	—
P60	P60	入力	—	—	—	—	1	x	—	x
		N-chOD 出力 (6V耐圧)	—	—	—	—	0	0/1	—	SCLA0 = 0
	SCLA0	入出力	—	—	—	—	0	0	—	—
P61	P61	入力	—	—	—	—	1	x	—	x
		N-chOD 出力 (6V耐圧)	—	—	—	—	0	0/1	—	SDAA0 = 0
	SDAA0	入出力	—	—	—	—	0	0	—	—
P70	P70	入力	—	PFSEG08 = 0	—	—	1	x	—	—
		出力	—	PFSEG08 = 0	—	—	0	0/1	—	—
	SEG8	出力	—	PFSEG08 = 1	—	—	0	0	—	—
P71	P71	入力	—	PFSEG09 = 0	—	—	1	x	—	—
		出力	—	PFSEG09 = 0	—	—	0	0/1	—	—
	SEG9	出力	—	PFSEG09 = 1	—	—	0	0	—	—
P72	P72	入力	—	PFSEG10 = 0	—	—	1	x	—	—
		出力	—	PFSEG10 = 0	—	—	0	0/1	—	—
	SEG10	出力	—	PFSEG10 = 1	—	—	0	0	—	—
P73	P73	入力	—	PFSEG11 = 0	—	—	1	x	—	—
		出力	—	PFSEG11 = 0	—	—	0	0/1	—	—
	SEG11	出力	—	PFSEG11 = 1	—	—	0	0	—	—
P74	P74	入力	—	PFSEG12 = 0	—	—	1	x	—	—
		出力	—	PFSEG12 = 0	—	—	0	0/1	—	—
	SEG12	出力	—	PFSEG12 = 1	—	—	0	0	—	—
P75	P75	入力	—	PFSEG13 = 0	—	—	1	x	—	—
		出力	—	PFSEG13 = 0	—	—	0	0/1	—	—
	SEG13	出力	—	PFSEG13 = 1	—	—	0	0	—	—
P76	P76	入力	—	PFSEG14 = 0	—	—	1	x	—	—
		出力	—	PFSEG14 = 0	—	—	0	0/1	—	—
	SEG14	出力	—	PFSEG14 = 1	—	—	0	0	—	—
P77	P77	入力	—	PFSEG15 = 0	—	—	1	x	—	x
		出力	—	PFSEG15 = 0	—	—	0	0/1	—	TO07 = 0
	TI07	入力	PIOR34 = 0	PFSEG15 = 0	—	—	1	x	—	x
	TO07	出力	PIOR34 = 0	PFSEG15 = 0	—	—	0	0	—	—
SEG15	出力	—	PFSEG15 = 1	—	—	0	0	—	x	

表4-9 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11RM) (6 / 9)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAU, UARTMG の出力機能	SAU, UARTMG以外
P80	P80	入力	—	—	x	—	1	x	x	—
		出力	—	—	0	—	0	0/1	(SO20)/(TxD2) = 1	(TO02) = 0 TRJ00 = 0
		N-chOD 出力	—	—	1	—	0	0/1		(TO02) = 0 TRJ00 = 0
	(SO20)	出力	PIOR01 = 1	—	0/1	—	0	1	—	(TO02) = 0 TRJ00 = 0
	(TxD2)	出力	PIOR01 = 1	—	0/1	—	0	1	—	(TO02) = 0 TRJ00 = 0
	(TI02)	入力	PIOR25 = 1	—	x	—	1	x	x	x
	(TO02)	出力	PIOR25 = 1	—	0	—	0	0	(SO20)/(TxD2) = 1	TRJ00 = 0
	TRJ00	出力	—	—	0	—	0	0	(SO20)/(TxD2) = 1	(TO02) = 0
P81	P81	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	(SDA20) = 1	(TO00) = 0 TRJ01 = 0
		N-chOD 出力	—	—	1	—	0	0/1		(TO00) = 0 TRJ01 = 0
	(SI20)	入力	PIOR01 = 1	—	x	—	1	x	x	x
	(RxD2)	入力	PIOR01 = 1	—	x	—	1	x	x	x
	(SDA20)	入出力	PIOR01 = 1	—	1	—	0	1	—	(TO00) = 0 TRJ01 = 0
	(TI00)	入力	PIOR20 = 1	—	x	—	1	x	x	x
	(TO00)	出力	PIOR22 = 1	—	0	—	0	0	(SDA20) = 1	TRJ01 = 0
TRJ01	出力	—	—	0	—	0	0	(SDA20) = 1	(TO00) = 0	
P82	P82	入力	—	—	x	—	1	x	x	x
		出力	—	—	0	—	0	0/1	(SCK20)/(SCL20) = 1	(TO07) = 0 EXSD00 = 0
		N-chOD 出力	—	—	1	—	0	0/1		(TO07) = 0 EXSD00 = 0
	(SCK20)	入力	PIOR01 = 1	—	x	—	1	x	x	x
		出力	PIOR01 = 1	—	0/1	—	0	1	—	(TO07) = 0 EXSD00 = 0
	(SCL20)	出力	PIOR01 = 1	—	0/1	—	0	1	—	(TO07) = 0 EXSD00 = 0
	(TI07)	入力	PIOR34 = 1	—	x	—	1	x	x	x
	(TO07)	出力	PIOR34 = 1	—	0	—	0	0	(SCK20)/(SCL20) = 1	EXSD00 = 0
EXSD00	出力	—	—	0	—	0	0	(SCK20)/(SCL20) = 1	(TO07) = 0	
P83	P83	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	(PCLBUZ1) = 0 (TO03) = 0 EXSD01 = 0
	(PCLBUZ1)	出力	PIOR03 = 1	—	—	—	0	0	—	(TO03) = 0 EXSD01 = 0
	(TI03)	入力	PIOR26 = 1	—	—	—	1	x	—	x
	(TO03)	出力	PIOR26 = 1	—	—	—	0	0	—	(PCLBUZ1) = 0 EXSD01 = 0
	EXSD01	出力	—	—	—	—	0	0	—	(PCLBUZ1) = 0 (TO03) = 0
P84	P84	入力	—	—	—	—	1	x	—	x
		出力	—	—	—	—	0	0/1	—	SMO2 = 0
	SMO2	出力	—	—	—	—	0	0	—	—
P85	P85	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
	SMP0	入力	PIOR04 = 0	—	—	—	1	x	—	—
	EXSDI0	入力	—	—	—	—	1	x	—	—

表 4 - 9 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11RM) (7 / 9)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力	
	機能名称	入出力							SAU, UARTMGの出力機能	SAU, UARTMG以外
P86	P86	入力	—	—	—	—	1	x	—	—
		出力	—	—	—	—	0	0/1	—	—
	SMP1	入力	PIOR04 = 0	—	—	—	1	x	—	—
	EXSDI1	入力	—	—	—	—	1	x	—	—

表 4 - 9 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11RM) (8 / 9)

端子名称	使用機能		PIORXX	CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS)	Pxx
	機能名称	入出力			
P121	P121	入力	—	00xx/10xx/11xx	x
	X1	—	—	01xx	—
	INTP1	入力	—	00xx/10xx/11xx	x
P122	P122	入力	—	00xx/10xx	x
	X2	—	—	01xx	—
	EXCLK	—	—	11xx	—
	INTP5	入力	PIOR15 = 0	00xx/10xx	x
P123	P123	入力	—	xx00/xx10/xx11	x
	XT1	—	—	xx01	—
P124	P124	入力	—	xx00/xx10	x
	XT2	—	—	xx01	—
	EXCLKS	—	—	xx11	—

表 4 - 9 端子機能使用時のレジスタ，出力ラッチの設定例 (R5F11RM) (9 / 9)

端子名称	使用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	ISCLCD	兼用機能出力	
	機能名称	入出力							SAU, UARTMGの出力機能	SAU, UARTMG以外
P125	P125	入力	—	—	—	1	x	ISCVL3 = 1	—	x
		出力	—	—	—	0	0/1	ISCVL3 = 1	—	(TO06) = 0
	VL3	入出力	—	—	—	1	0	ISCVL3 = 0	—	x
	(TI06)	入力	PIOR32 = 1	—	—	1	x	ISCVL3 = 1	—	x
	(TO06)	出力	PIOR32 = 1	—	—	0	0	ISCVL3 = 1	—	—
P126	P126	入力	—	—	—	1	x	ISCCAP = 1	—	x
		出力	—	—	—	0	0/1	ISCCAP = 1	—	(TO05) = 0
	CAPL	出力	—	—	—	1	0	ISCCAP = 0	—	x
	(TI05)	入力	PIOR30 = 1	—	—	1	x	ISCCAP = 1	—	x
	(TO05)	出力	PIOR30 = 1	—	—	0	0	ISCCAP = 1	—	—
P127	P127	入力	—	—	—	1	x	ISCCAP = 1	—	x
		出力	—	—	—	0	0/1	ISCCAP = 1	—	(TO04) = 0
	CAPH	出力	—	—	—	1	0	ISCCAP = 0	—	x
	(TI04)	入力	PIOR27 = 1	—	—	1	x	ISCCAP = 1	—	x
	(TO04)	出力	PIOR27 = 1	—	—	0	0	ISCCAP = 1	—	—
P137	P137	入力	—	—	—	—	x	—	—	—
	INTP0	入力	—	—	—	—	x	—	—	—
	(SSI00)	入力	PIOR05 = 1	—	—	—	x	—	—	—
P150	P150	入力	—	—	—	1	x	—	—	—
		出力	—	—	—	0	0/1	—	—	—
	SMP2	入力	—	—	—	1	x	—	—	—
P151	P151	入力	—	—	—	1	x	—	—	—
		出力	—	—	—	0	0/1	—	—	—
	SMP3	入力	—	—	—	1	x	—	—	—

4.6.4 SEGxx端子兼用ポートの動作

セグメント出力端子 (SEGxx) の機能は、ポート・モード・コントロール・レジスタ (PMCxx)、ポート・モード・レジスタ (PMxx)、LCDポート・ファンクション・レジスタ 0-4 (PFSEG0-PFSEG4) の設定で決定します。

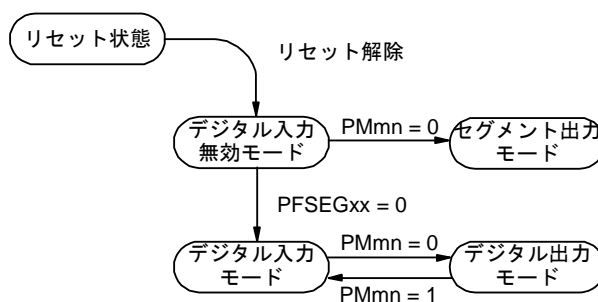
- P01-P07, P10-P16, P30-P32, P35-P37, P50-P53, P70 -P77 (アナログ入力端子を兼用していないポート)

表4 - 10 SEGxx/ポート端子機能の設定

PFSEG0-PFSEG4レジスタの PFSEGxxビット	PMxxレジスタのPMxxビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	—
0	1	デジタル入力モード	—
1	0	セグメント出力モード	—

SEGxx/ポート端子機能の状態遷移を次に示します。

図4 - 14 SEGxx/ポート端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ 1 (LCDM1)のSCOCビット = 0の期間)に設定してください。

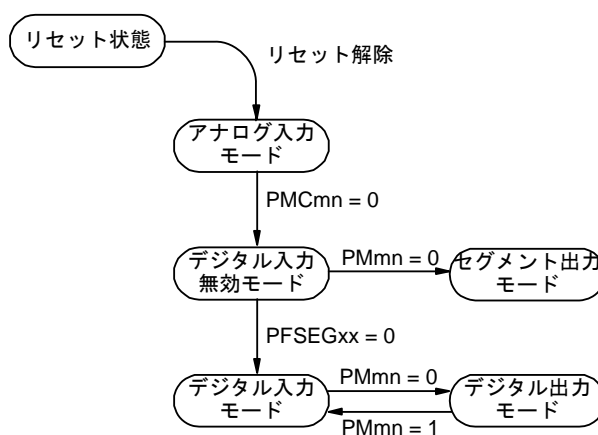
- P03-P05, P11 (アナログ入力端子 (ANlxx) を兼用するポート)

表4 - 11 ANlxx/SEGxx/ポート端子機能の設定

PMCxxレジスタ のPMCxxビット	PFSEG3レジスタの PFSEGxxビット	PMxxレジスタの PMxxビット	端子機能	初期状態
1	1	1	アナログ入力モード	○
0	0	0	デジタル出力モード	—
0	0	1	デジタル入力モード	—
0	1	0	セグメント出力モード	—
0	1	1	デジタル入力無効モード	—
上記以外			設定禁止	

ANlxx/SEGxx/ポート端子機能の状態遷移を次に示します。

図4 - 15 ANlxx/SEGxx/ポート端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット = 0の期間)に設定してください。

4.6.5 VL3, CAPL, CAPH端子兼用ポートの動作

VL3/P125, CAPL/P126, CAPH/P127端子の機能は、LCD入力切り替え制御レジスタ (ISCLCD), LCDモード・レジスタ0 (LCDM0), ポート・モード・レジスタ12 (PM12)の設定で決定します。

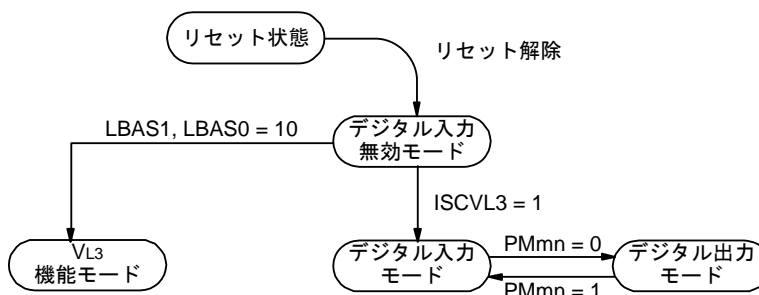
- VL3/P125

表4 - 12 VL3/P125端子機能の設定

バイアス法設定 (LCDM0レジスタのLBAS1, LBAS0ビットで設定)	ISCLCDレジスタ のISCVL3ビット	PM12レジスタ のPM125ビット	端子機能	初期状態
1/4バイアス法以外 (LBAS1, LBAS0 = 00または01)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
1/4バイアス法 (LBAS1, LBAS0 = 10)	0	1	VL3機能モード	—
上記以外			設定禁止	

VL3/P125端子機能の状態遷移を次に示します。

図4 - 16 VL3/P125端子機能の状態遷移図



注意 VL3機能モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット = 0の期間)に設定してください。

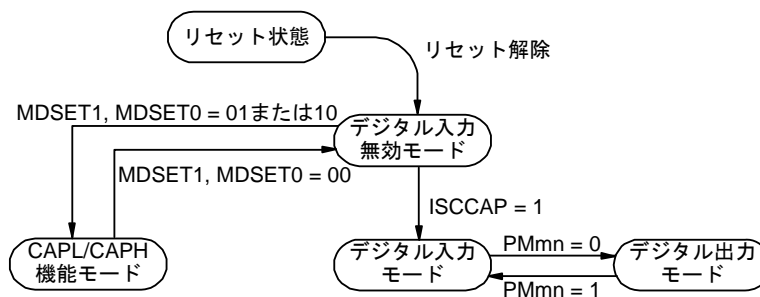
- CAPL/P126, CAPH/P127

表4 - 13 CAPL/P126, CAPH/P127 端子機能の設定

LCD 駆動電圧生成 (LCDM0 レジスタの MDSET1, MDSET0 ビット)	ISCLCD レジスタ の ISCCAP ビット	PM12 レジスタの PM126, PM127 ビット	端子機能	初期状態
外部抵抗分割 (MDSET1, MDSET0 = 00)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01 または 10)	0	1	CAPL/CAPH 機能モード	—
上記以外			設定禁止	

CAPL/P126, CAPH/P127 端子機能の状態遷移を次に示します。

図4 - 17 CAPL/P126, CAPH/P127 端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット=0の期間)に設定してください。

4.7 ポート機能使用時の注意事項

4.7.1 ポート・レジスタ n (Pn) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出力ラッチの値が00Hのとき、出力ポートP10の出力を1ビット・メモリ操作命令によりロウ・レベル→ハイ・レベルとすると、ポート1の出力ラッチの値は、FFHになります。

説明： PMnm ビット = 1 であるポートの Pn レジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/H1D内部で、次の順序で行われます。

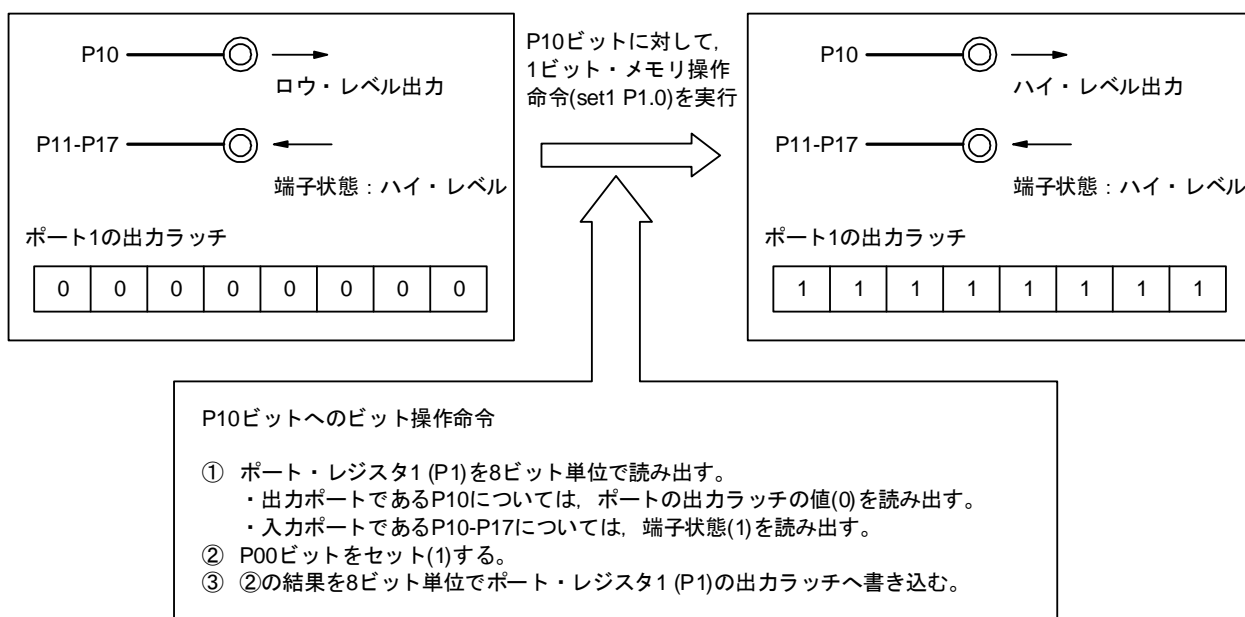
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態がハイ・レベルとすると、読み出し値はFEHとなります。

<2> の操作で、値はFFHとなります。

<3> の操作で、出力ラッチにFFHが書き込まれます。

図4 - 18 1ビット・メモリ操作命令(P10の場合)



4.7.2 端子設定に関する注意事項

複数の兼用出力機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります(出力の衝突を回避)。周辺I/Oリダイレクション・レジスタ0-3(PIOR0-3)の設定により、割り当てられた機能も同様です。兼用出力については、4.6 兼用機能使用時のレジスタ設定を参照してください。

入力として使用する端子では、兼用機能の出力が無効(バッファ出力がHi-Z)となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子、X2端子に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)の設定により、発振を停止することができます。

② 高速オンチップ・オシレータ

オプションバイト(000C2H)により、 $f_{IH} = 24$ MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz (TYP.) から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット(CSCレジスタのビット0)の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は、図5-12 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

電源電圧	発振周波数 (MHz)								
	1	2	3	4	6	8	12	16	24
$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	○
$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	—
$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 注	○	○	○	○	○	○	—	—	—

注 R5F11Rのみ

また、EXCLK/X2/INTP5/P122端子から外部メイン・システム・クロック($f_{EX} = 1 \sim 20$ MHz)を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット(システム・クロック制御レジスタ(CKC)のビット4)の設定により、高速システム・クロック(X1クロックまたは外部メイン・システム・クロック)と高速オンチップ・オシレータ・クロックを切り替えられます。

(2) サブシステム・クロック

• XT1発振回路

XT1端子、XT2端子に32.768 kHzまたは、38.4 kHz^注の発振子を接続することにより、 $f_{XT} = 32.768 \text{ kHz}$ または、38.4 kHz^注のクロックを発振させることができます。XTSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット6)の設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック($f_{EXT} = 32.768 \text{ kHz}$ または、38.4 kHz^注)を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

注 R5F11Rのみ

(3) 低速オンチップ・オシレータ・クロック

$f_{IL} = 15 \text{ kHz}$ (TYP.)のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ウォッチドッグ・タイマ
- リアルタイム・クロック2
- 12ビット・インターバル・タイマ
- 8ビット・インターバル・タイマ
- LCDコントローラ/ドライバ
- シリアル・インターフェースUARTMG0
- 外部サンプリング
- サンプリング出力タイマ/ディテクタ
- タイマRJ0, 1

オプション・バイト(000C0H)のビット4(WDTON)または、サブシステム・クロック供給モード制御レジスタ(OSMC)のビット4(WUTMMCK0)のどちらか、または両方が1のときに動作します。

ただし、 $WDTON = 1$ 、 $WUTMMCK0 = 0$ かつオプション・バイト(000C0H)のビット0(WDSTBYON)が0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

注意 リアルタイム・クロック2のカウント・クロックに低速オンチップ・オシレータ・クロック(f_{IL})を選択できるのは、定周期割り込み機能使用時のみです。

備考 f_X : X1クロック発振周波数
 f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 f_{EX} : 外部メイン・システム・クロック周波数
 f_{XT} : XT1クロック発振周波数
 f_{EXT} : 外部サブシステム・クロック周波数
 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表 5 - 1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2 ^注) サブシステム・クロック供給モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
発振回路	X1 発振回路 XT1 発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

注 R5F11Rのみ

図5-1 クロック発生回路のブロック図 (R5F11N, R5F11P)

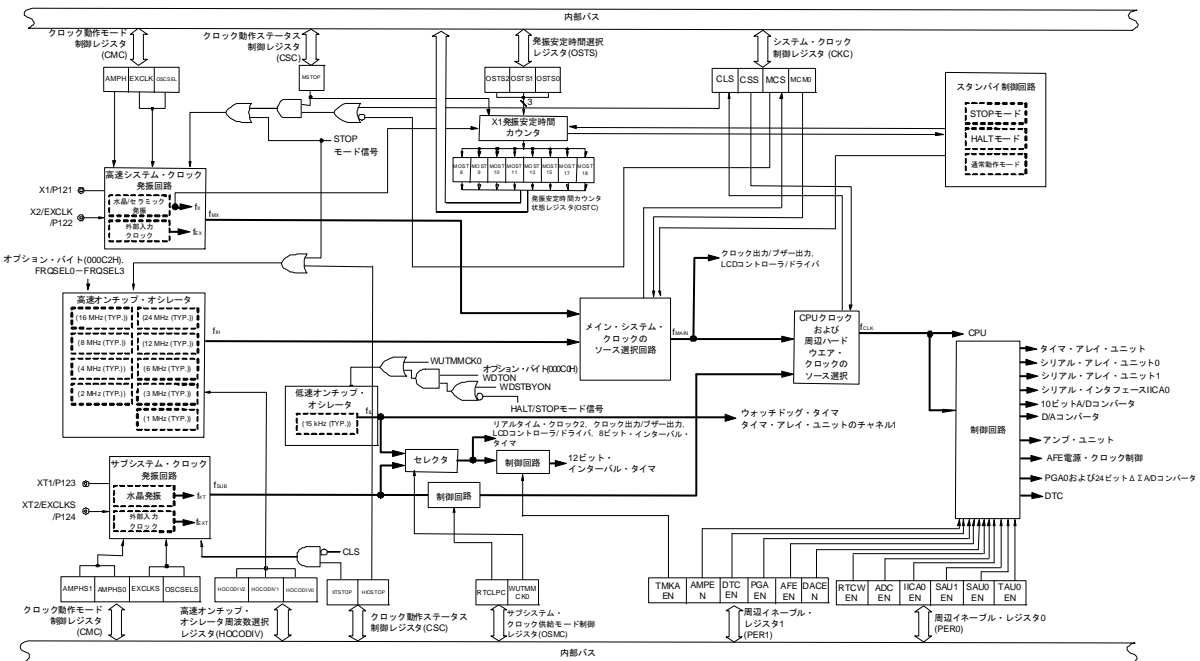
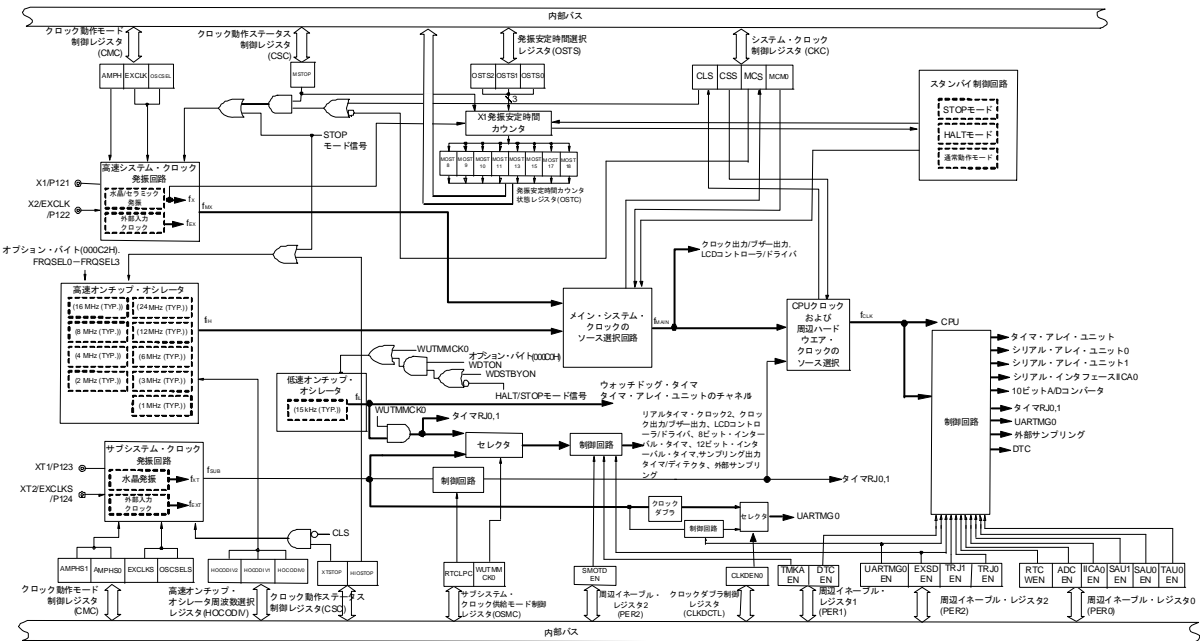


図5-2 クロック発生回路のブロック図 (R5F11R)



注意 シリアル・インターフェースUARTM0、外部サンプリング、サンプリング出カタイマ/ディテクタの動作クロックに低速オンチップ・オシレータ・クロックを選択することはできません。シリアル・インターフェースUARTM0、外部サンプリング、サンプリング出カタイマ/ディテクタを使用する場合は、WUTMMCK0ビットを0に設定して、動作クロックにサブシステム・クロックを選択してください。

備考	fX :	X1クロック発振周波数
	fIH :	高速オンチップ・オシレータ・クロック周波数
	fEX :	外部メイン・システム・クロック周波数
	fMX :	高速システム・クロック周波数
	fMAIN :	メイン・システム・クロック周波数
	fXT :	XT1クロック発振周波数
	fEXT :	外部サブシステム・クロック周波数
	fSUB :	サブシステム・クロック周波数
	fCLK :	CPU／周辺ハードウェア・クロック周波数
	fIL :	低速オンチップ・オシレータ・クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2注)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

注 R5F11Rのみ

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/INTP1/P121, X2/EXCLK/INTP5/P122 端子および XT1/P123, XT2/EXCLKS/P124 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

図5-3 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS ^注	OSCSELS ^注	0	AMPHS1 ^注	AMPHS0 ^注	AMPH
	EXCLK	OSCSEL	高速システム・クロック端子の動作モード		X1/INTP1/P121 端子		X2/EXCLK/INTP5/P122 端子	
	0	0	入力ポート・モード		入力ポート			
	0	1	X1発振モード		水晶/セラミック発振子接続			
	1	0	入力ポート・モード		入力ポート			
	1	1	外部クロック入力モード		入力ポート		外部クロック入力	
	EXCLKS ^注	OSCSELS ^注	サブシステム・クロック端子の動作モード		XT1/P123 端子		XT2/EXCLKS/P124 端子	
	0	0	入力ポート・モード		入力ポート			
	0	1	XT1発振モード		水晶/セラミック発振子接続			
	1	0	入力ポート・モード		入力ポート			
	1	1	外部クロック入力モード		入力ポート		外部クロック入力	
	AMPHS1 ^注	AMPHS0 ^注	XT1発振回路の発振モード選択					
	0	0	低消費発振 (デフォルト)					
	0	1	通常発振					
	1	0	超低消費発振					
	1	1	設定禁止					
	AMPH	X1クロック発振周波数の制御						
	0	1 MHz ≤ f _x ≤ 10 MHz						
	1	10 MHz < f _x ≤ 20 MHz						

注 EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

(注意、備考は次ページに続きます。)

- 注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値(00H)のまま使用する場合、暴走時の誤動作(00H以外の誤書き込みで復帰不可)を防止するためにリセット解除後は必ず00Hに設定してください。
- 注意2. リセット解除後、クロック動作ステータス制御レジスタ(CSC)の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。
- 注意3. X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHビットに1を設定してください。
- 注意4. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後fCLKにfIHを選択した状態(fCLKをfMXに切り替える前の状態)で設定してください。
- 注意5. fXTの発振安定時間は、ソフトウェアでカウントしてください。
- 注意6. システム・クロックの周波数上限は24 MHzですが、X1発振回路の周波数上限は20 MHzになります。
- 注意7. CMCレジスタ書き込み後、パワーオン・リセット以外のリセットが発生した場合、暴走時の誤動作を防ぐためリセット解除後は必ずリセット発生前と同じ値を設定してください。
- 注意8. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。
- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
 - XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振(AMPHS1, AMPHS0 = 1, 0)を選択している場合はご注意ください。
 - 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
 - XT1発振回路の周辺には、できるかぎりVssと同電位のグランド・パターンを配置してください。
 - XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
 - 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
 - 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

備考 fx : X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

CPU／周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。
 CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図5-4 システム・クロック制御レジスタ (CKC)のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0
CLS	CPU／周辺ハードウェア・クロック (fCLK) のステータス							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
CSS	CPU／周辺ハードウェア・クロック (fCLK) の選択							
0	メイン・システム・クロック (fMAIN)							
1 ^{注2}	サブシステム・クロック (fSUB)							
MCS	メイン・システム・クロック (fMAIN) のステータス							
0	高速オンチップ・オシレータ・クロック (fIH)							
1	高速システム・クロック (fMX)							
MCM0 ^{注2}	メイン・システム・クロック (fMAIN) の動作制御							
0	メイン・システム・クロック (fMAIN) に高速オンチップ・オシレータ・クロック (fIH) を選択							
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択							

注1. ビット7, 5は、Read Onlyです。

注2. CSS = 1を設定した状態で、MCM0ビットの値を変更することは禁止です。

注意1. ビット0-3には、必ず0を設定してください。

注意2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます(リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDコントローラ／ドライバ、およびウォッチドッグ・タイマは除く)。よって、CPU／周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。

注意3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、10ビット A/D コンバータ、IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第38章 または第39章 電気的特性を参照してください。

備考 fIH : 高速オンチップ・オシレータ・クロックを選択したメイン・システム・クロック・ソースの周波数(最大24 MHz)
 fMX : 高速システム・クロック周波数
 fMAIN : メイン・システム・クロック周波数
 fSUB : サブシステム・クロック周波数

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです(低速オンチップ・オシレータ・クロックは除く)。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

注意 XTSTOP ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

図5-5 クロック動作ステータス制御レジスタ (CSC)のフォーマット

アドレス : FFFA1H リセット時 : C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP注	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
	0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP注	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
	0	XT1発振回路動作	EXCLKS端子からの外部クロック有効
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御	
0	高速オンチップ・オシレータ動作	
1	高速オンチップ・オシレータ停止	

注 XTSTOP ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

- 注意1. リセット解除後は、クロック動作モード制御レジスタ(CMC)を設定してからCSCレジスタを設定してください。
- 注意2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ(OSTS)を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。
- 注意3. MSTOP ビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。
- 注意4. XSTOP ビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
- 注意5. CPU/周辺ハードウェア・クロック(fCLK)に選択しているクロックは、CSCレジスタで停止させないでください。
- 注意6. クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。

表5-2 クロック停止方法

クロック	クロック停止(外部クロック入力無効)前条件	CSCレジスタのフラグ設定
X1クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CPU/周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
外部サブシステム・クロック		
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時(EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- STOPモードを解除したとき

図5-6 発振安定時間カウンタ状態レジスタ (OSTC)のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
------	-------	-------	--------	--------	--------	--------	--------	--------

MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	2 ⁸ /fx 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	2 ⁹ /fx 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx 以上	102 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx 以上	204 μs 以上	102 μs 以上
1	1	1	1	1	0	0	0	2 ¹³ /fx 以上	819 μs 以上	409 μs 以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx 以上	3.27 ms 以上	1.63 ms 以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx 以上	13.1 ms 以上	6.55 ms 以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx 以上	26.2 ms 以上	13.1 ms 以上

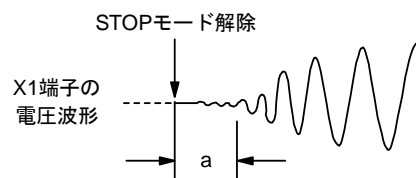
注意1. 上記時間経過後、MOST8ビットから順番に1となっていく、そのまま1を保持します。

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作(MSTOP = 0)後、OSTSレジスタで設定した時間を自動でウェイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5-7 発振安定時間選択レジスタ (OSTS)のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/fx$	25.6 μ s	12.8 μ s
0	0	1	$2^9/fx$	51.2 μ s	25.6 μ s
0	1	0	$2^{10}/fx$	102 μ s	51 μ s
0	1	1	$2^{11}/fx$	204 μ s	102 μ s
1	0	0	$2^{13}/fx$	819 μ s	409 μ s
1	0	1	$2^{15}/fx$	3.27 ms	1.63 ms
1	1	0	$2^{17}/fx$	13.1 ms	6.55 ms
1	1	1	$2^{18}/fx$	26.2 ms	13.1 ms

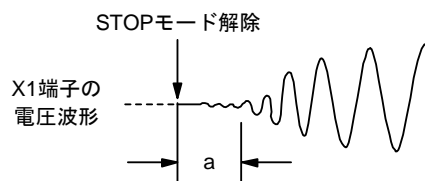
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC)のMSTOPビットを0に設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

なお、PER2レジスタは、R5F11Rのみに搭載しています。

- リアルタイム・クロック2
- 10ビットA/Dコンバータ
- シリアル・インタフェース IICA0
- シリアル・アレイ・ユニット1
- シリアル・アレイ・ユニット0
- タイマ・アレイ・ユニット
- 12ビット・インターバル・タイマ
- D/Aコンバータ注1
- アンプ・ユニット注1
- データ・トランスファ・コントローラ
- PGA0および24ビット $\Delta\Sigma$ A/Dコンバータ注1
- AFE電源・クロック制御部注1
- シリアル・インターフェース UARTMG0注2
- サンプリング出力タイマ／ディテクタ注2
- 外部サンプリング注2
- タイマRJ0,1注2

PER0, PER1, PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注1. R5F11N,R5F11Pのみ

注2. R5F11Rのみ

図5-8 周辺イネーブル・レジスタ0 (PER0)のフォーマット(1/2)

アドレス : F00F0H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PER0 RTCWEN 0 ADCEN IICA0EN SAU1EN SAU0EN 0 TAU0EN

RTCWEN	リアルタイム・クロック2 (RTC2)の入カクロック供給の制御
0	入カクロック供給停止 (fCLK供給停止) <ul style="list-style-type: none"> リアルタイム・クロック2 (RTC2)で使用するSFRへのライト不可 リアルタイム・クロック2 (RTC2)は動作可能
1	入カクロック供給 <ul style="list-style-type: none"> リアルタイム・クロック2 (RTC2)で使用するSFRへのリード/ライト可 リアルタイム・クロック2 (RTC2)は動作可能

ADCEN	10ビットA/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> 10ビットA/Dコンバータで使用するSFRへのライト不可 10ビットA/Dコンバータはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> 10ビットA/Dコンバータで使用するSFRへのリード/ライト可

注意 ビット1, 6には必ず0を設定してください。

図5-8 周辺イネーブル・レジスタ0 (PER0)のフォーマット(2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
------	--------	---	-------	---------	--------	--------	---	--------

IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> シリアル・インタフェースIICA0で使用するSFRへのライト不可 シリアル・インタフェースIICA0はリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> シリアル・インタフェースIICA0で使用するSFRへのリード/ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> シリアル・アレイ・ユニット1で使用するSFRへのライト不可 シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> シリアル・アレイ・ユニット0で使用するSFRへのライト不可 シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニットの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> タイマ・アレイ・ユニットで使用するSFRへのライト不可 タイマ・アレイ・ユニットはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可

注意 ビット1, 6には必ず0を設定してください。

図5-9 周辺イネーブル・レジスタ1 (PER1)のフォーマット (1/2)

アドレス : F007AH リセット時 : 00H R/W

略号

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

PER1	TMKAEN	0	0	AMPEN ^注	DTCEN	PGAEN ^注	AFEEN ^注	DACEN ^注
------	--------	---	---	--------------------	-------	--------------------	--------------------	--------------------

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可 ・12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

AMPEN ^注	アンプ・ユニットの入カクロック供給の制御
0	入カクロック供給停止 ・アンプ・ユニットで使用するSFRへのライト不可 ・アンプ・ユニットはリセット状態
1	入カクロック供給 ・アンプ・ユニットで使用するSFRへのリード/ライト可

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・DTCは動作不可
1	入カクロック供給 ・DTCは動作可

注 R5F11N,R5F11Pのみ

注意 次のビットには必ず0を設定してください。

R5F11N, R5F11P : ビット5, 6

R5F11R : ビット0-2, 4-6

図5-9 周辺イネーブル・レジスタ1 (PER1)のフォーマット (2/2)

アドレス : F007AH リセット時 : 00H R/W

略号

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

PER1	TMKAEN	0	0	AMPEN ^注	DTCEN	PGAEN ^注	AFEEN ^注	DACEN ^注
------	--------	---	---	--------------------	-------	--------------------	--------------------	--------------------

PGAEN ^注	PGA0および24ビット Δ ΣA/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・PGA0および24ビット Δ ΣA/Dコンバータで使用するSFRへのライト不可 ・PGA0および24ビット Δ ΣA/Dコンバータはリセット状態
1	入カクロック供給 ・PGA0および24ビット Δ ΣA/Dコンバータで使用するSFRへのリード/ライト可

AFEEN ^注	AFE電源・クロック制御部入カクロック供給の制御
0	入カクロック供給停止 ・AFE電源・クロック制御部で使用するSFRへのライト不可 ・AFE電源・クロック制御部はリセット状態
1	入カクロック供給 ・AFE電源・クロック制御部で使用するSFRへのリード/ライト可

DACEN ^注	D/Aコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータはリセット状態
1	入カクロック供給 ・D/Aコンバータで使用するSFRへのリード/ライト可

注 R5F11N,R5F11Pのみ

注意 次のビットには必ず0を設定してください。

R5F11N, R5F11P : ビット5, 6

R5F11R : ビット0-2, 4-6

図5-10 周辺イネーブル・レジスタ2 (PER2)のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2注	0	0	0	UARTMG0EN	SMOTDEN	EXSDEN	TRJ1EN	TRJ0EN

UARTMG0EN	シリアル・インターフェースUARTMG0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インターフェースUARTMG0で使用するSFRへのライト不可 ・シリアル・インターフェースUARTMG0はリセット状態
1	入カクロック供給 ・シリアル・インターフェースUARTMG0で使用するSFRへのリード/ライト可

SMOTDEN	サンプリング出力タイマ/ディテクタの入カクロック供給の制御
0	入カクロック供給停止 ・サンプリング出力タイマ/ディテクタで使用するSFRへのライト不可 ・サンプリング出力タイマ/ディテクタはリセット状態
1	入カクロック供給 ・サンプリング出力タイマ/ディテクタで使用するSFRへのリード/ライト可

EXSDEN	外部サンプリングの入カクロック供給の制御
0	入カクロック供給停止 ・外部サンプリングで使用するSFRへのライト不可 ・外部サンプリングはリセット状態
1	入カクロック供給 ・外部サンプリングで使用するSFRへのリード/ライト可

TRJ1EN	タイマRJ1の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ1で使用するSFRへのライト不可 ・タイマRJ1はリセット状態
1	入カクロック供給 ・タイマRJ1で使用するSFRへのリード/ライト可

TRJ0EN	タイマRJ0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ・タイマRJ0はリセット状態
1	入カクロック供給 ・タイマRJ0で使用するSFRへのリード/ライト可

注 R5F11Rのみ

注意 ビット5-7には必ず0を設定してください。

5.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1 に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDコントローラ／ドライバ、シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMC レジスタではリアルタイム・クロック2と12ビット・インターバル・タイマ、8ビット・インターバル・タイマのカウント・クロック、クロック出力／ブザー出力、LCDコントローラ／ドライバ、シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタ、タイマRJ0,1の動作クロックを選択できます。

ただし、シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタの動作クロックに低速オンチップ・オシレータ・クロックを選択することはできません。シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタを使用する場合は、WUTMMCK0ビットを0に設定して、動作クロックにサブシステム・クロックを選択してください。

OSMC レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-11 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表27-1~表27-2参照)
1	リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力, LCDコントローラ/ドライバ, シリアル・インターフェースUARTMG0, 外部サンプリング, サンプリング出力タイマ/ディテクタ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0 注	リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバ, タイマRJ0, 1の動作クロックの選択	クロック出力/ブザー出力のPCLBUZn端子の出力クロックの選択
0	サブシステム・クロック (fsUB) <ul style="list-style-type: none"> リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバの動作クロックはサブシステム・クロックになります。 タイマRJ0,1のカウンタソースに低速オンチップ・オシレータを選択することはできません。 	サブシステム・クロック (fsUB)選択許可
1	低速オンチップ・オシレータ・クロック (fiL) <ul style="list-style-type: none"> リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバの動作クロックは低速オンチップ・オシレータ・クロックになります。 タイマRJ0,1のカウンタソースは低速オンチップ・オシレータ, サブシステム・クロックのいずれかを選択することができます。 	サブシステム・クロック (fsUB)選択禁止

注 サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択(WUTMMCK0ビット=0)にしてください。

注意1. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバの全ての機能が動作停止中のみ可能です。

注意2. WUTMMCK0ビット=1設定時にクロック出力/ブザー出力の出力クロックとしてfsUBを選択することは禁止です。

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト(000C2H)で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、オプション・バイト(000C2H)のFRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト(000C2H)のFRQSEL2-FRQSEL0で設定した値になります。

図5-12 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _{ih} = 24 MHz	設定禁止
0	0	1	f _{ih} = 12 MHz	f _{ih} = 16 MHz
0	1	0	f _{ih} = 6 MHz	f _{ih} = 8 MHz
0	1	1	f _{ih} = 3 MHz	f _{ih} = 4 MHz
1	0	0	設定禁止	f _{ih} = 2 MHz
1	0	1	設定禁止	f _{ih} = 1 MHz
上記以外			設定禁止	

注意 HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS (低速メイン)モード注	1 MHz ~ 8 MHz	1.8 V ~ 5.5 V
1	1	HS (高速メイン)モード	1 MHz ~ 16 MHz	2.4 V ~ 5.5 V
			1 MHz ~ 24 MHz	2.7 V ~ 5.5 V

注 R5F11Rのみ

注意1. HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック (f_{ih}) をCPU/周辺ハードウェア・クロック (f_{clk}) に選択している状態で行ってください。

注意2. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- 変更前の周波数で最大3クロック動作
- 変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウェイト

注意3. システム・クロックにX1発振/外部発振入力/サブシステム・クロックを設定しているときに高速オンチップ・オシレータ周波数を変更する場合は、CSCレジスタのビット0 (HIOSTOP) を1にセットし、高速オンチップ・オシレータを停止させてから周波数を変更してください。

5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマを使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRMは、8ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、VDD端子電圧に変化があった場合、周波数は変動します。

温度、VDD電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5-13 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)のフォーマット

アドレス : F00A0H リセット時 : 注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑ ↓
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
.						
1	1	1	1	1	0	↓
1	1	1	1	1	1	

注 リセット値は出荷時に調整した値です。

備考1. HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRMレジスタの使用例は、RL78 MCU シリーズ高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

5.4 システム・クロック発振回路

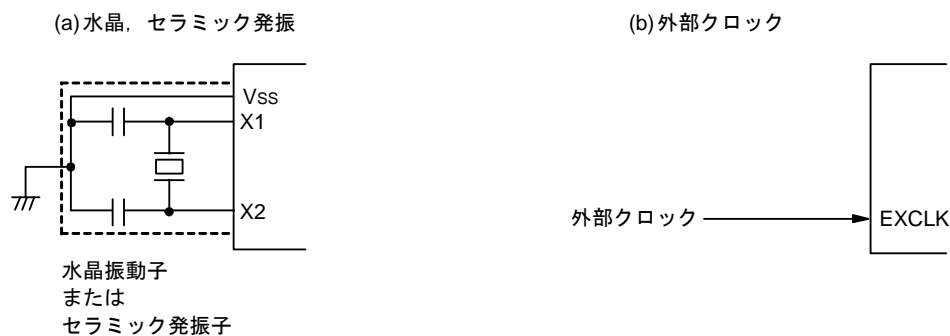
5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1~20 MHz)によって発振します。また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。X1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット7, 6 (EXCLK, OSCSEL)を次のように設定してください。

- 水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- 外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード(EXCLK, OSCSEL = 0, 0)に設定してください。さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。図5-14にX1発振回路の外付け回路例を示します。

図5-14 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子(標準 : 32.768 kHz、または38.4 kHz^注)によって発振します。

XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット4 (OSCSELS)に1を設定してください。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット5, 4 (EXCLKS, OSCSELS)を次のように設定してください。

- 水晶発振 : EXCLKS, OSCSELS = 0, 1
- 外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は、入力ポート・モード(EXCLKS, OSCSELS = 0, 0)に設定してください。さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-15にXT1発振回路の外付け回路例を示します。

注 R5F11Rのみ

図5-15 XT1発振回路の外付け回路例



注意 XT1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-14, 図5-15の破線の部分を次のように配線してください。

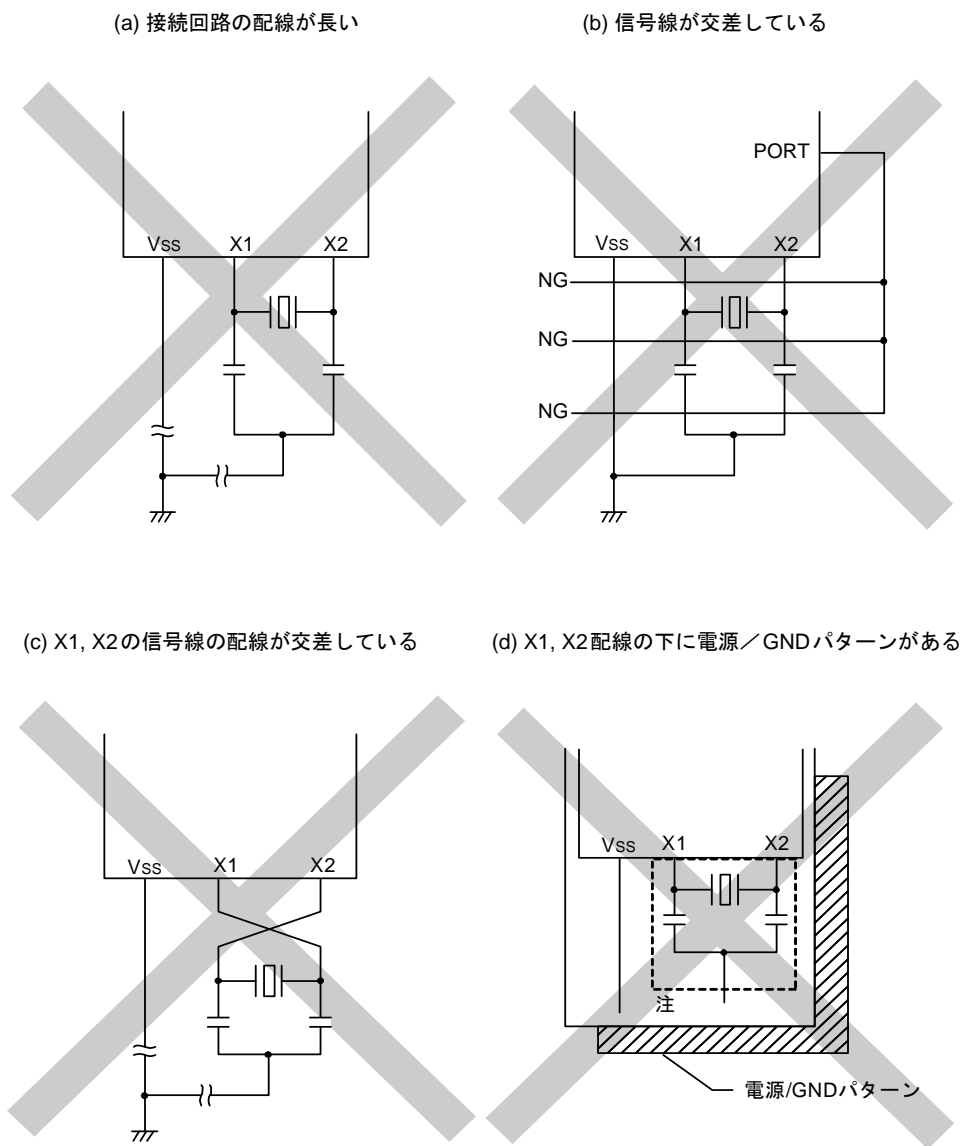
- 配線は極力短くしてください。
- 他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1端子, XT2端子と発振子との配線は極力短くし、寄生容量, 配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1, AMPHS0 = 1, 0) を選択している場合はご注意ください。
- 回路基板は寄生容量, 配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVssと同電位のグランド・パターンを配置してください。
- XT1端子, XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子, XT2端子間に容量やリークが生じない材料をご使用ください。

図5 - 16に発振子の接続の悪い例を示します。

図5 - 16 発振子の接続の悪い例 (1/2)

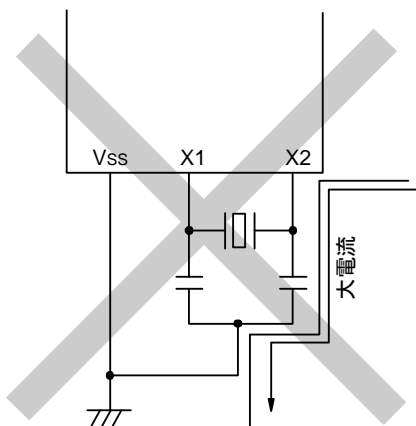


注 多層基板や両面基板において、X1, X2端子と発振子の配線部(図中の点線部分)の下には、電源/GNDパターンを配置しないでください。
容量成分の原因となり、発振特性に影響を与える配置はしないでください。

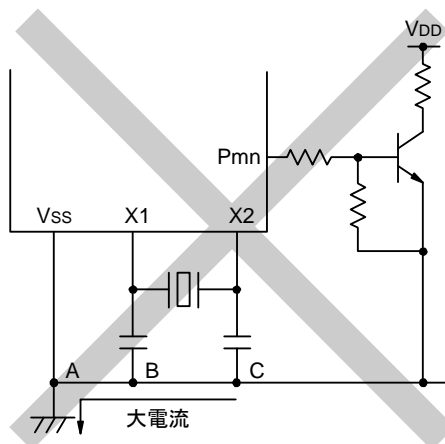
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-16 発振子の接続の悪い例(2/2)

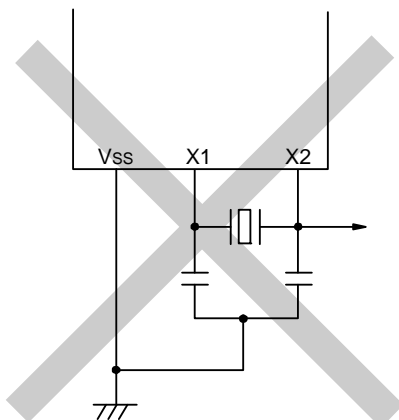
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

5.4.3 高速オンチップ・オシレータ

RL78/H1Dは、高速オンチップ・オシレータを内蔵しています。オプションバイト(000C2H)により24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.4 低速オンチップ・オシレータ

RL78/H1Dは、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ、リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバ、タイマRJ0, 1注のクロックとして使用します。CPUクロックとして使用できません。

ウォッチドッグ・タイマの動作時、または、サブシステム・クロック供給モード制御レジスタ(OSMC)のビット4(WUTMMCK0)が1の時に低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0の時、低速オンチップ・オシレータは停止します。

注 R5F11Rのみ

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します(図5-1または図5-2を参照)。

○メイン・システム・クロック f_{MAIN}

• 高速システム・クロック f_{MX}

X1クロック f_X

外部メイン・システム・クロック f_{EX}

• 高速オンチップ・オシレータ・クロック f_{IH}

○サブシステム・クロック f_{SUB}

• XT1クロック f_{XT}

• 外部サブシステム・クロック f_{EXT}

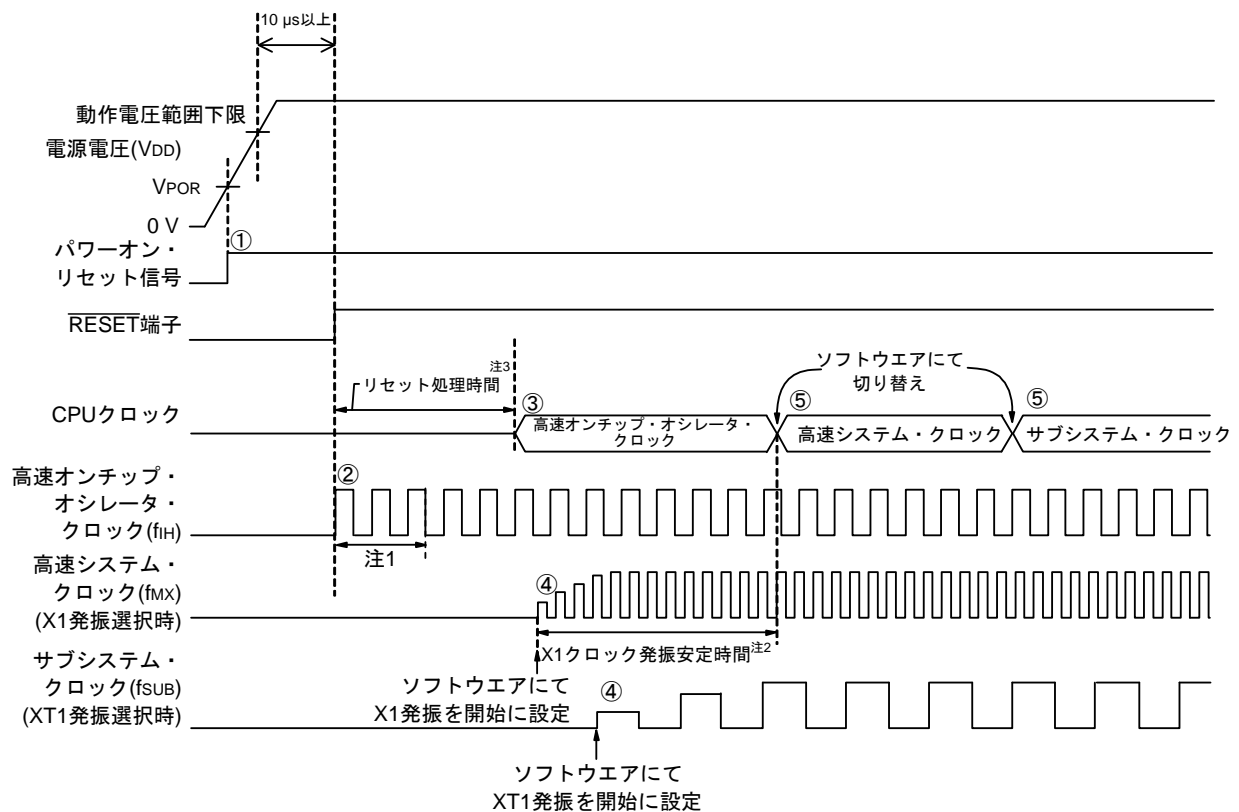
○低速オンチップ・オシレータ・クロック f_{IL}

○CPU/周辺ハードウェア・クロック f_{CLK}

RL78/H1Dでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。

電源電圧投入時のクロック発生回路の動作を、図5-17に示します。

図5-17 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット (POR) 回路による内部リセット信号が発生します。
ただし、38.4 または 39.4 AC 特性に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます (上図は、外部リセット使用時の例)。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPU が高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1 クロックまたは XT1 クロックは、ソフトウェアにて発振開始を設定してください (5.6.2 X1 発振回路の設定例、5.6.3 XT1 発振回路の設定例を参照)。
- ⑤ CPU を X1 クロックまたは XT1 クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5.6.2 X1 発振回路の設定例、5.6.3 XT1 発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1 クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

注3. リセット処理時間は、第29章 パワーオン・リセット回路を参照してください。

注意 EXCLK 端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU / 周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) の FRQSEL0-FRQSEL3 により、24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・	7	6	5	4	3	2	1	0
バイト (000C2H)	CMODE1 1	CMODE0 0/1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
1	0	LS (低速メイン) モード注	VDD = 1.8 V ~ 5.5 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン) モード	VDD = 2.4 V ~ 5.5 V @ 1 MHz ~ 16 MHz VDD = 2.7 V ~ 5.5 V @ 1 MHz ~ 24 MHz
上記以外		設定禁止	

注 R5F11Rのみ

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数 (fIH)
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _{ih} = 24 MHz	設定禁止
0	0	1	f _{ih} = 12 MHz	f _{ih} = 16 MHz
0	1	0	f _{ih} = 6 MHz	f _{ih} = 8 MHz
0	1	1	f _{ih} = 3 MHz	f _{ih} = 4 MHz
1	0	0	設定禁止	f _{ih} = 2 MHz
1	0	1	設定禁止	f _{ih} = 1 MHz
上記以外			設定禁止	

5.6.2 X1 発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1 発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) で X1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMC レジスタの OSCSEL ビットをセット (1)、 $f_x > 10$ MHz 以上の場合は AMPH ビットをセット (1) して X1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	0/1

AMPH ビット：X1 発振クロックが 10 MHz 以下の場合は 0 を設定してください。

- ② OSTS レジスタで STOP モード解除時の X1 発振回路の発振安定時間を選択しておきます。

例) 10 MHz の発振子で 102 μ s 以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSC レジスタの MSTOP ビットをクリア (0) して X1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTC レジスタで X1 発振回路の発振安定待ちを行います。

例) 10 MHz の発振子で 102 μ s 以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKC レジスタの MCM0 ビットで X1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	0	1	0	0	0	0

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0, XTSTOP ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では値を保持します。

5.6.3 XT1 発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1 発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) で XT1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOPモード時およびサブHALTモード時にリアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDコントローラ／ドライバ、シリアル・インターフェースUARTMG0注、外部サンプリング注、サンプリング出力タイマ／ディテクタ注のみサブシステム・クロックで動作(超低消費電流)させる場合はRTCLPCビットを1に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

注 R5F11Rのみ

- ② CMCレジスタのOSCSELSビットをセット(1)してXT1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1ビット：XT1発振回路の発振モードを設定します。

- ③ CSCレジスタのXTSTOPビットをクリア(0)してXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウエイトしてください。

- ⑤ CKCレジスタのCSSビットでXT1発振クロックをCPU／周辺ハードウェア・クロックに設定します。

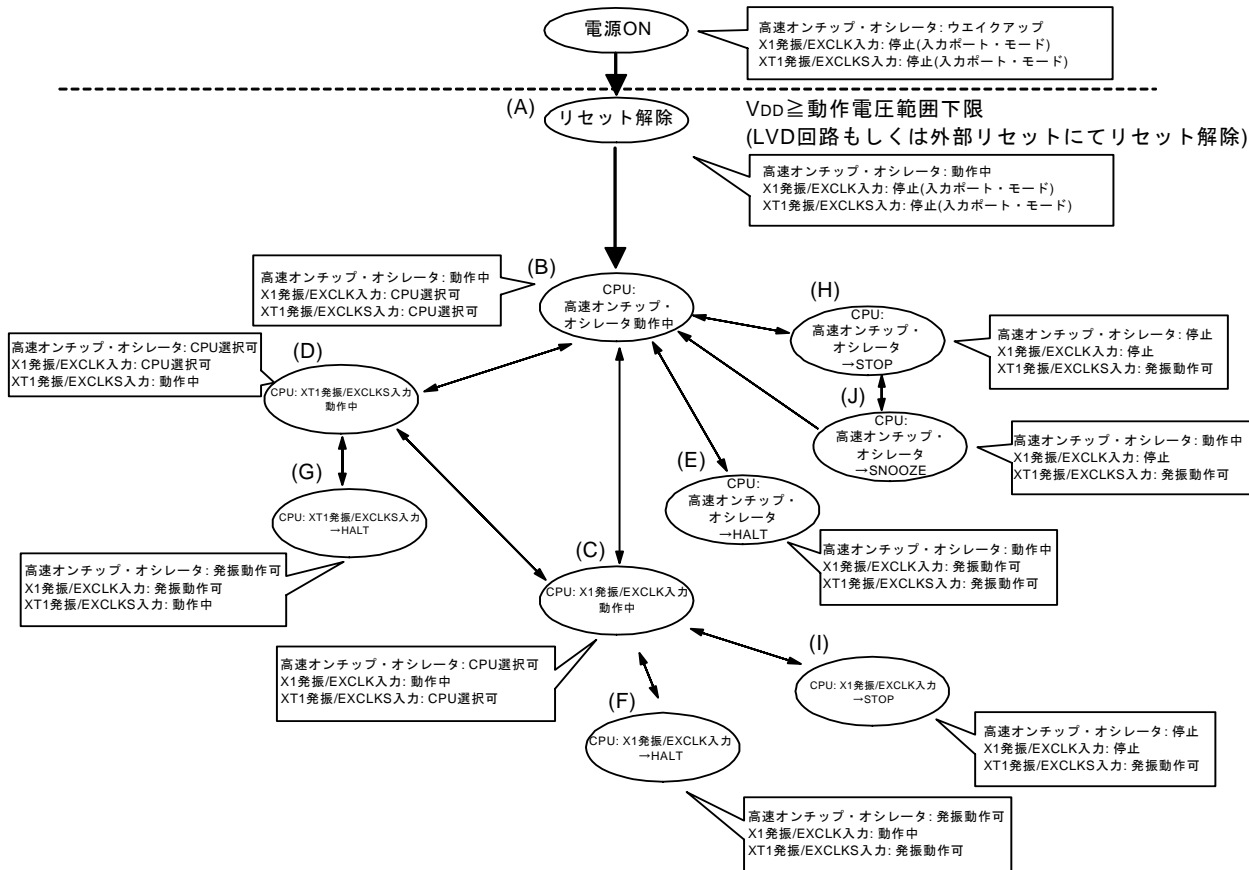
	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0, XTSTOP ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

5.6.4 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 18に示します。

図5 - 18 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5-3～表5-7に示します。

表5-3 CPUクロックの移行とSFRレジスタの設定例(1/5)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要(リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ注1			OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ MCM0
	EXCLK	OSCSEL	AMPH	EXCLK	OSCSEL	AMPH				
(A) → (B) → (C) (X1クロック : 1 MHz ≤ f _x ≤ 10 MHz)	0	1	0				注2	0	確認必要	1
(A) → (B) → (C) (X1クロック : 10 MHz < f _x ≤ 20 MHz)	0	1	1				注2	0	確認必要	1
(A) → (B) → (C) (外部メイン・クロック)	1	1	×				注2	0	確認不要	1

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第38章 または第39章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ				CMCレジスタ注				CSC レジスタ XTSTOP	発振安定 待ち	CKC レジスタ CSS
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	EXCLKS	OSCSELS	AMPHS1	AMPHS0			
(A) → (B) → (D) (XT1クロック)	0	1	0/1	0/1					0	必要	1
(A) → (B) → (D) (外部サブ・クロック)	1	1	×	×					0	必要	1

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1. × : don't care

備考2. 表5-3～表5-7の(A)～(J)は、図5-18の(A)～(J)と対応しています。

表5-4 CPUクロックの移行とSFRレジスタの設定例(2/5)

(4) CPUを高速オンチップ・オシレータ・クロック動作(B)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ注1			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH	MSTOP	MCM0					
(B) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	0	1	0	注2	0	確認必要	1			
(B) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	0	1	1	注2	0	確認必要	1			
(B) → (C) (外部メイン・クロック)	1	1	x	注2	0	確認不要	1			

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- 期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第38章 または第39章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速オンチップ・オシレータ・クロック動作(B)から、サブシステム・クロック動作(D)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ注			CSC レジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1,0	XTSTOP	CSS				
(B) → (D) (XT1クロック)	0	1	00 : 低消費発振 01 : 通常発振 10 : 超低消費発振	0	必要	1			
(B) → (D) (外部サブ・クロック)	1	1	x	0	必要	1			

設定済みの場合は不要
 サブシステム・クロック
動作中の場合は不要

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

備考1. x : don't care

備考2. 表5-3～表5-7の(A)～(J)は、図5-18の(A)～(J)と対応しています。

表5-5 CPUクロックの移行とSFRレジスタの設定例(3/5)

(6) CPUを高速システム・クロック動作(C)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
状態遷移	HIOSTOP		MCM0
(C) → (B)	0	18 μs ~ 65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

(7) CPUを高速システム・クロック動作(C)から、サブシステム・クロック動作(D)へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
状態遷移	XTSTOP		CSS
(C) → (D)	0	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作(D)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
状態遷移	HIOSTOP		CSS
(D) → (B)	0	18 μs ~ 65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考1. 表5-3~表5-7の(A)-(J)は、図5-18の(A)-(J)と対応しています。

備考2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表5-6 CPUクロックの移行とSFRレジスタの設定例(4/5)

(9) CPUをサブシステム・クロック動作(D)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
		MSTOP		CSS
(D) → (C) (X1クロック : $1\text{ MHz} \leq f_x \leq 10\text{ MHz}$)	注	0	確認必要	0
(D) → (C) (X1クロック : $10\text{ MHz} < f_x \leq 20\text{ MHz}$)	注	0	確認必要	0
(D) → (C) (外部メイン・クロック)	注	0	確認不要	0

高速システム・クロック動作中の場合は不要

注 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- 期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第38章 または第39章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(10) • CPUが高速オンチップ・オシレータ・クロック動作中(B)にHALTモード(E)へ移行

- CPUが高速システム・クロック動作中(C)にHALTモード(F)へ移行
- CPUがサブシステム・クロック動作中(D)にHALTモード(G)へ移行

状態遷移	設定内容
(B) → (E) (C) → (F) (D) → (G)	HALT命令を実行する

備考 表5-3~表5-7の(A)-(J)は、図5-18の(A)-(J)と対応しています。

表5-7 CPUクロックの移行とSFRレジスタの設定例(5/5)

- (11) • CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード(H)へ移行
- CPUが高速システム・クロック動作中 (C) にSTOPモード(I)へ移行

(設定順序) →

状態遷移		設定内容		
(B) → (H)		STOPモード中に動作禁止	—	STOP命令を実行する
(C) → (I)	X1発振	の周辺機能を停止する	OSTSレジスタを設定する	
	外部クロック		—	

- (12) STOPモード (H) からSNOOZEモード(J)へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、20.5.7 SNOOZEモード機能、20.7.3 SNOOZEモード機能を参照してください。

備考 表5-3～表5-7の(A)～(J)は、図5-18の(A)～(J)と対応しています。

5.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-8 CPUクロックの移行について(1/3)

CPUクロック		移行前の条件	移行後の処理	
移行前	移行後			
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止(HIOSTOP = 1)すると、動作電流を低減可能	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0		
	XT1クロック	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 発振安定時間経過後		
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0		
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)	
	外部メイン・システム・クロック	移行不可		—
	XT1クロック	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 発振安定時間経過後		CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0		CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)

表5-9 CPUクロックの移行について(2/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること <ul style="list-style-type: none"> • HIOSTOP = 0 • 発振精度安定時間経過後 	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	• 移行不可	—
	XT1クロック	XT1発振が安定していること <ul style="list-style-type: none"> • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 発振安定時間経過後 	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること <ul style="list-style-type: none"> • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0 	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること <ul style="list-style-type: none"> • HIOSTOP = 0, MCS = 0 	CPUクロックが移行後のクロックに切り替わったことを確認した後、XT1発振停止に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること <ul style="list-style-type: none"> • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1 	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること <ul style="list-style-type: none"> • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1 	
	外部サブシステム・クロック	移行不可	—

表5 - 10 CPUクロックの移行について (3/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	XT1クロック	移行不可	—

5.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット4, 6 (MCM0, CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック⇄サブシステム・クロック), メイン・システム・クロックの切り替え (高速オンチップ・オシレータ・クロック→高速システム・クロック) をすることができます。

実際の切り替え動作は, CKCレジスタを書き換えた直後ではなく, CKCレジスタを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-11~表5-13参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, CKCレジスタのビット7 (CLS) で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか, 高速オンチップ・オシレータ・クロックで動作しているかは, CKCレジスタのビット5 (MCS) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表5-11 メイン・システム・クロックの切り替えに要する最大時間

クロック A	切り替え方向	クロック B	備考
f _{IH}	↔	f _{MX}	表5-12参照
f _{MAIN}	↔	f _{SUB}	表5-13参照

表5-12 f_{IH}⇄f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} ≥ f _{IH}		2クロック
	f _{MX} < f _{IH}		2f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} ≥ f _{IH}	2f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	2クロック	

表5-13 f_{MAIN}⇄f_{SUB}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 (f _{CLK} = f _{MAIN})	1 (f _{CLK} = f _{SUB})
0 (f _{CLK} = f _{MAIN})			1 + 2f _{MAIN} /f _{SUB} クロック
1 (f _{CLK} = f _{SUB})		3クロック	

備考1. 表5-12, 表5-13のクロック数は, 切り替え前のCPUクロックのクロック数です。

備考2. 表5-12, 表5-13のクロック数は, 小数点以下を切り上げてください。

例 メイン・システム・クロックを高速システムクロックから高速オンチップ・オシレータ・クロックに切り替える場合

(f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時)

2 f_{MX}/f_{IH} = 2 (10/8) = 2.5 → 3クロック

5.6.7 クロック発振停止前の条件

クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5-14 クロック発振停止前の条件とフラグ設定

クロック	クロック停止(外部クロック入力無効)前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	
XT1クロック	CLS = 0	XTSTOP = 1
外部サブシステム・クロック	(CPUクロックがサブシステム・クロック以外で動作)	

5.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数(参考)は、当社ホームページの対象製品ページを参照してください。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78 マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

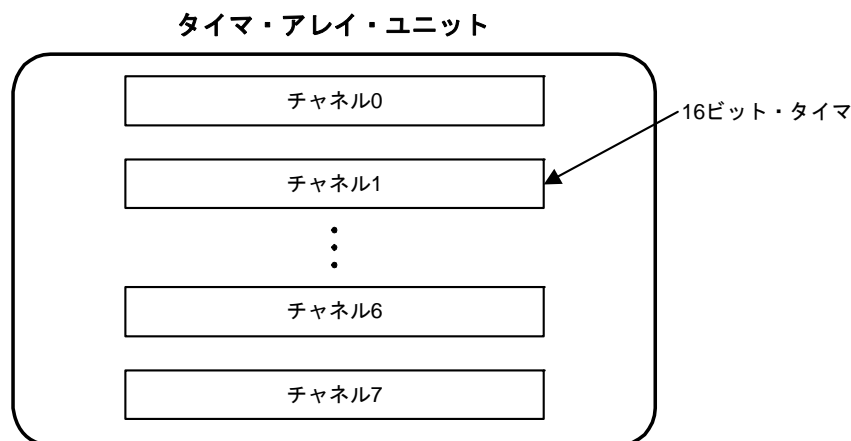
図5 - 19 外付け回路例



第6章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照ください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> • インターバル・タイマ(→6.8.1参照) • 方形波出力(→6.8.1参照) • 外部イベント・カウンタ(→6.8.2参照) • 入力パルス間隔測定(→6.8.3参照) • 入力信号のハイ/ロウ・レベル幅測定(→6.8.4参照) • デイレイ・カウンタ(→6.8.5参照) 	<ul style="list-style-type: none"> • ワンショット・パルス出力(→6.9.1参照) • PWM出力(→6.9.2参照) • 多重PWM出力(→6.9.3参照)

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ(上位/下位)として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ(上位/下位8ビット・タイマ)/方形波出力(下位8ビット・タイマのみ)
- 外部イベント・カウンタ(下位8ビット・タイマのみ)
- デイレイ・カウント(下位8ビット・タイマのみ)

また、チャンネル7は、シリアル・アレイ・ユニットのUART0と連携し、LIN-bus通信動作を実現することができます。

6.1 タイマ・アレイ・ユニットの機能

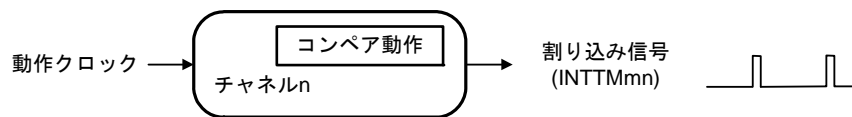
タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

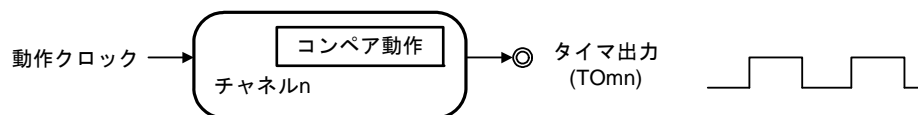
(1) インターバル・タイマ

一定間隔で割り込み(INTTMmn)を発生する基準タイマとして利用できます。



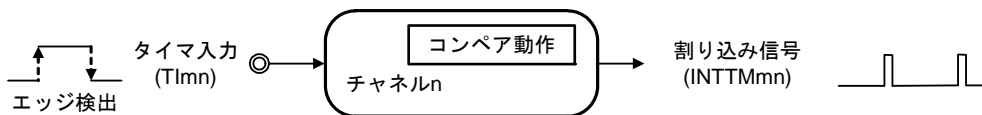
(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50%の方形波をタイマ出力端子(TOmn)より出力します。



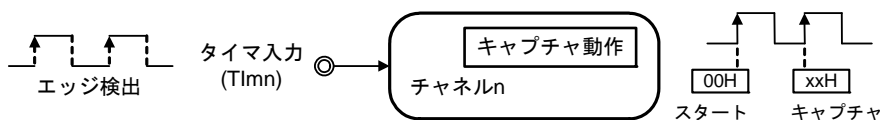
(3) 外部イベント・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



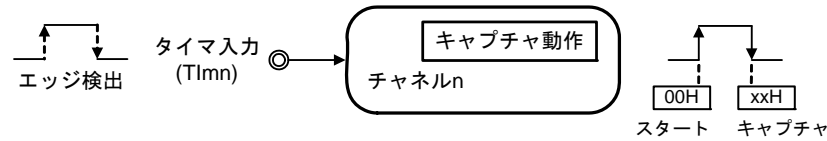
(4) 入力パルス間隔測定

タイマ入力端子(TImn)に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



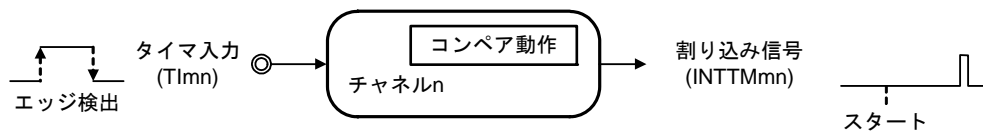
(5) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子(TImn)に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(6) デイレイ・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

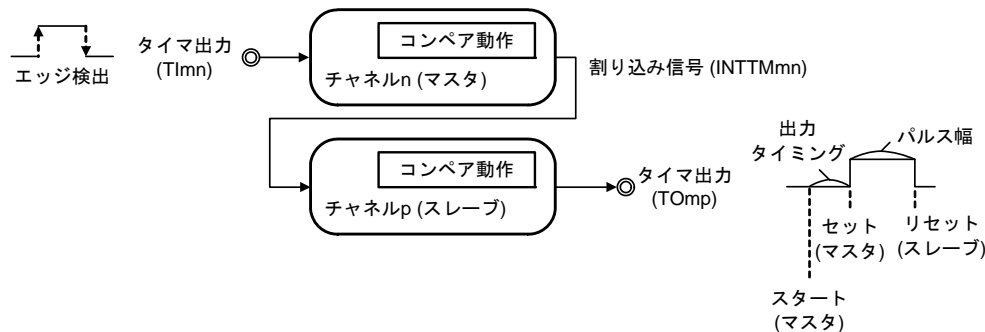
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期を制御する基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組み合わせる機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

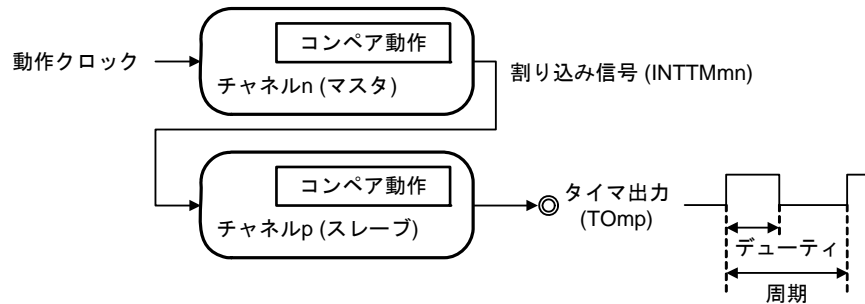
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



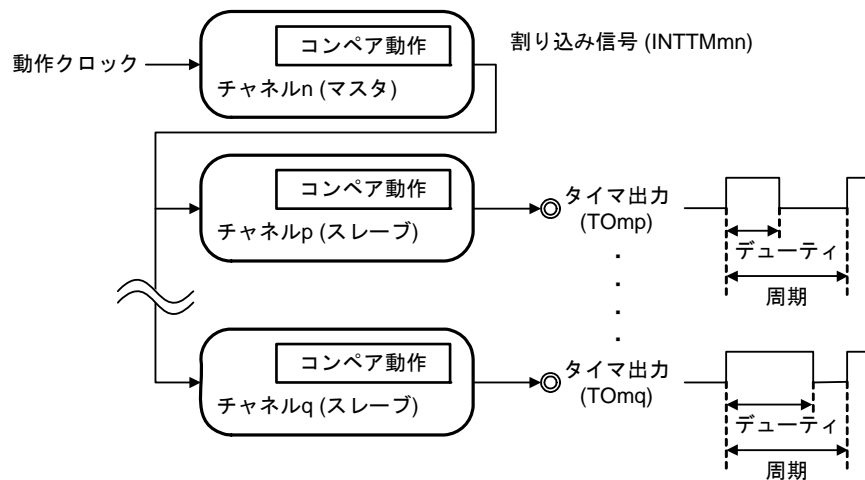
(2) PWM (Pulse Width Modulation) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7),
p, q : スレーブ・チャンネル番号 (n < p < q ≤ 7)

6.1.3 8ビット・タイマ動作機能(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)を参照してください。

6.1.4 LIN-bus 対応機能(チャンネル7のみ)

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART0のシリアル・データ入力端子(RxD0)に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART0のシリアル・データ入力端子(RxD0)に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART0のシリアル・データ入力端子(RxD0)に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus 対応機能の動作設定については、6.3.13 入力切り替え制御レジスタ (ISC)、6.8.4 入力信号のハイ/ロウ・レベル幅測定としての動作を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI07, RxD0端子(LIN-bus用)
タイマ出力	TO00-TO07, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> • 周辺イネーブル・レジスタ 0 (PER0) • タイマ・クロック選択レジスタ m (TPSm) • タイマ・チャネル許可ステータス・レジスタ m (TEm) • タイマ・チャネル開始レジスタ m (TSM) • タイマ・チャネル停止レジスタ m (TTm) • タイマ入力選択レジスタ 0 (TIS0) • タイマ出力許可レジスタ m (TOEm) • タイマ出力レジスタ m (TOM) • タイマ出力レベル・レジスタ m (TOLm) • タイマ出力モード・レジスタ m (TOMm) <p><各チャネル部のレジスタ></p> <ul style="list-style-type: none"> • タイマ・モード・レジスタ mn (TMRmn) • タイマ・ステータス・レジスタ mn (TSRmn) • 入力切り替え制御レジスタ (ISC) • ノイズ・フィルタ許可レジスタ 1 (NFEN1) • ポート・モード・コントロール・レジスタ (PMCxx)注 • ポート・モード・レジスタ (PMxx)注 • ポート・レジスタ (Pxx)注

注 製品によって設定するポート・モード・レジスタ (PMxx)とポート・レジスタ (Pxx)が異なります。詳細は、4.6.4 SEGxx端子兼用ポートの動作を参照してください。

備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子のポートとの兼用は、下記の通りです。

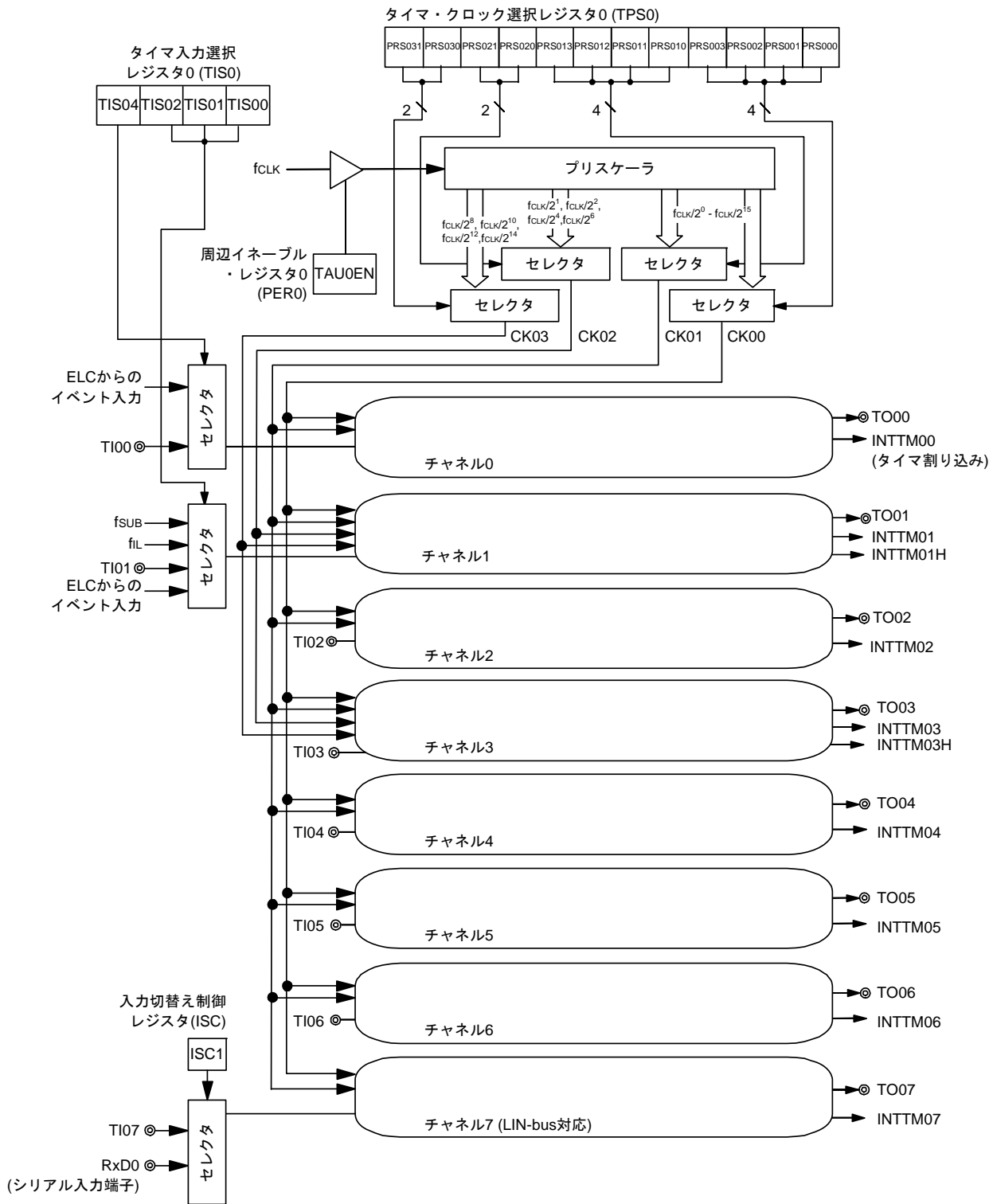
表6-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャンネル	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
チャンネル0				TI00, TO00
チャンネル1				TI01/TO01
チャンネル2				TI02/TO02
チャンネル3				TI03/TO03
チャンネル4				TI04/TO04
チャンネル5				TI05/TO05
チャンネル6				TI06/TO06
チャンネル7				TI07/TO07

備考 タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

図6-1にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニットの全体ブロック図



備考 fSUB : サブシステム・クロック周波数
 fIL : 低速オンチップ・オシレータ・クロック周波数

図6-2 タイマ・アレイ・ユニットのチャンネル0内部ブロック図

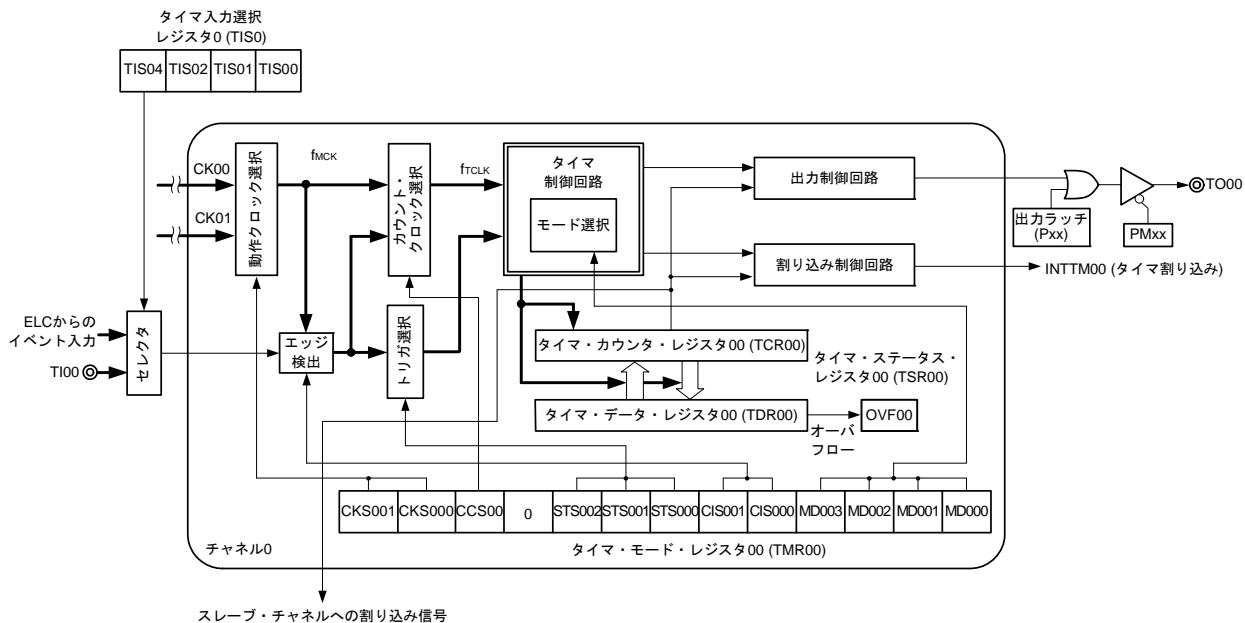


図6-3 タイマ・アレイ・ユニットのチャンネル1内部ブロック図

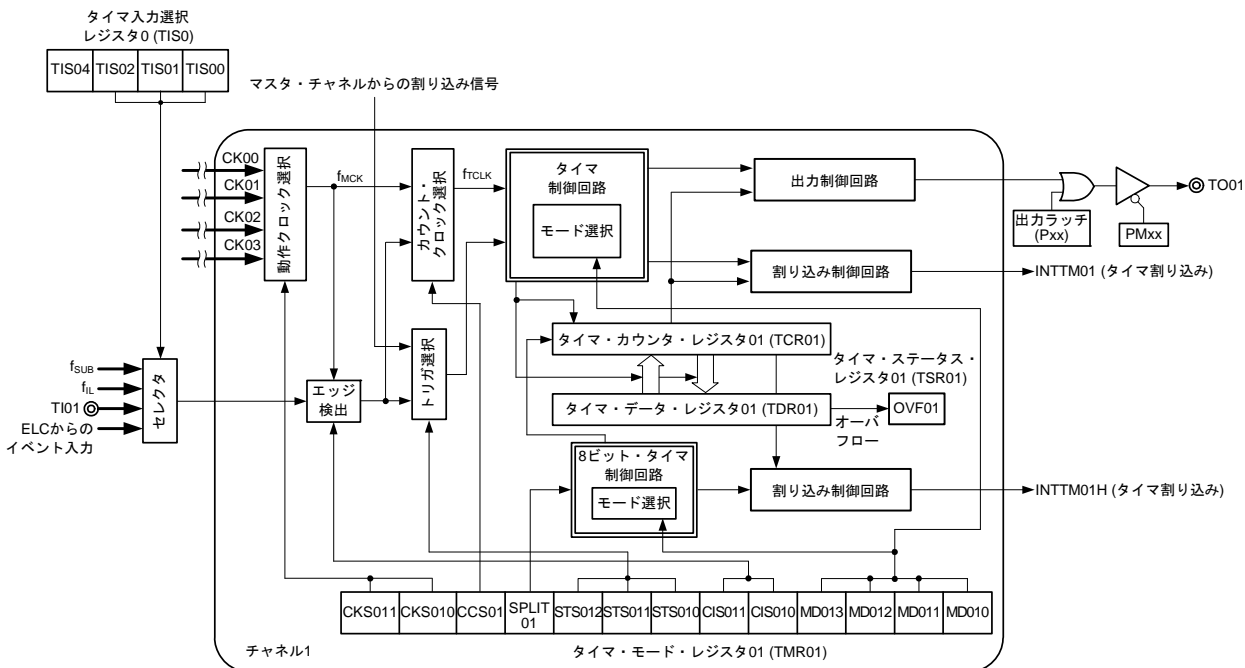
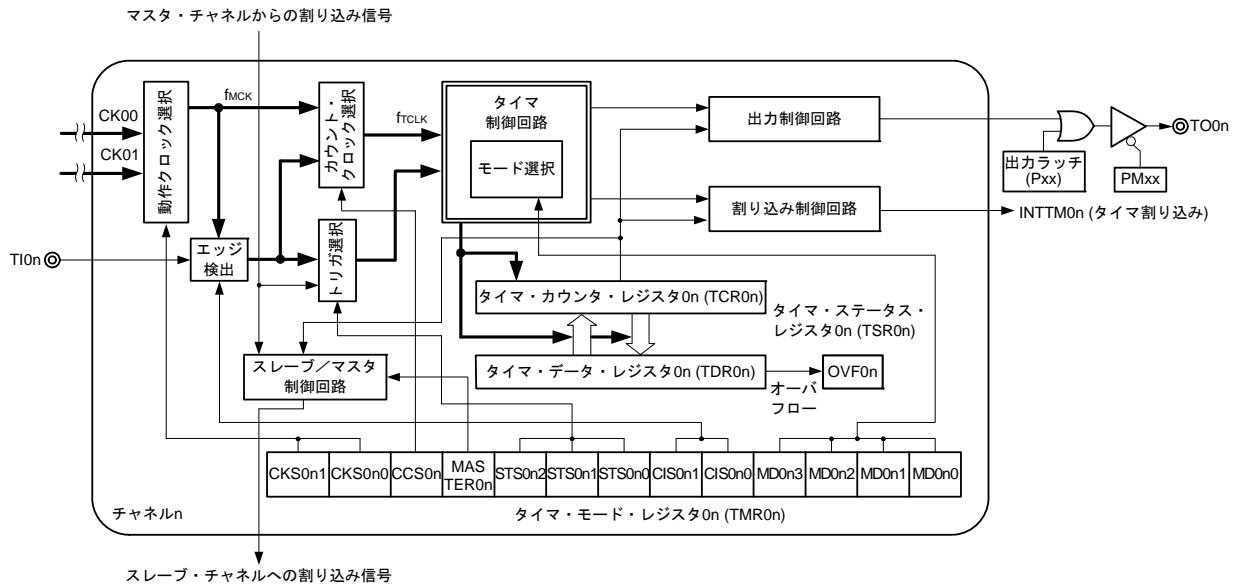


図6-4 タイマ・アレイ・ユニットのチャンネルn内部ブロック図



備考 n = 2, 4, 6

図6-5 タイマ・アレイ・ユニットのチャンネル3内部ブロック図

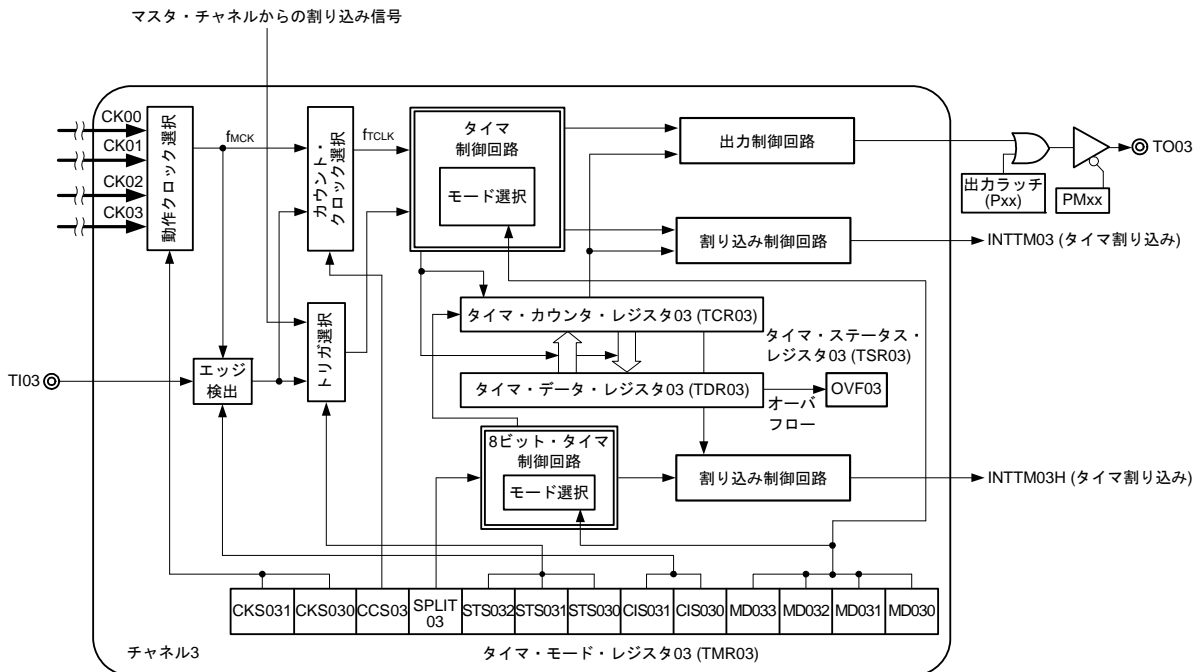


図6-6 タイマ・アレイ・ユニットのチャンネル5内部ブロック図

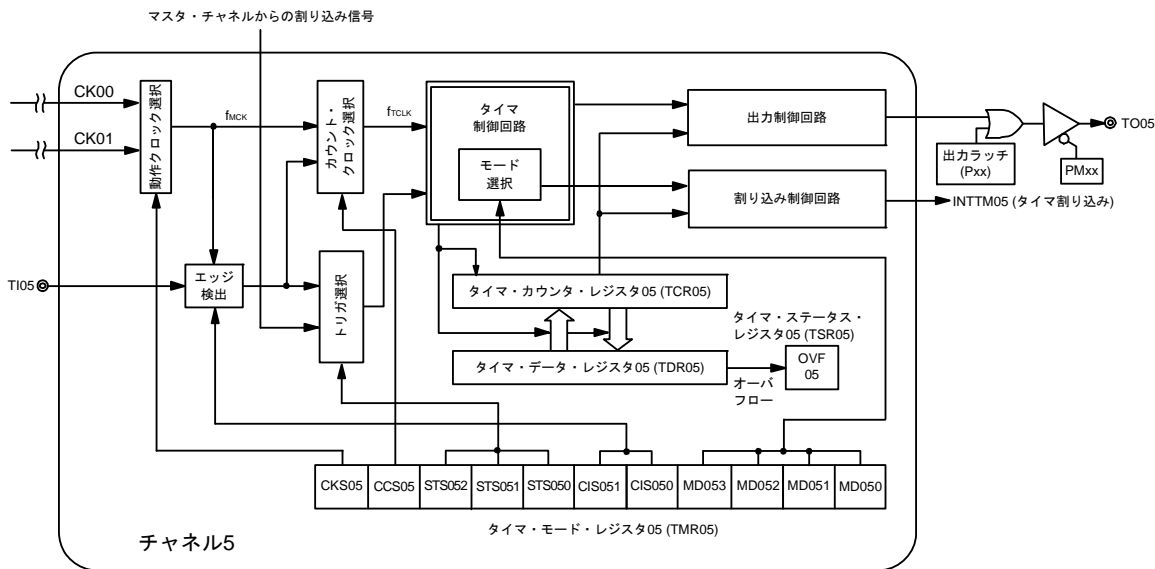
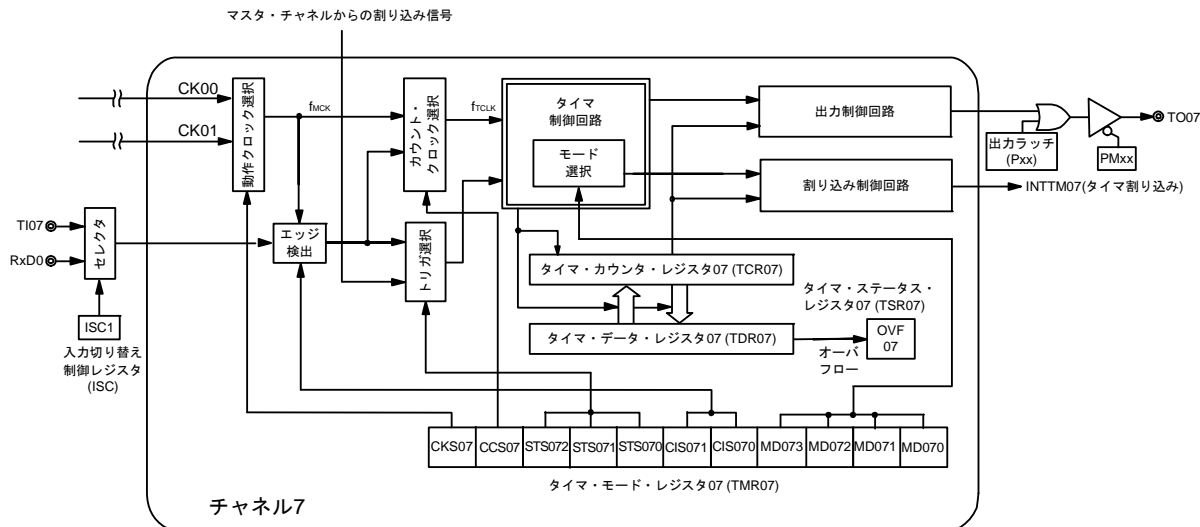


図6-7 タイマ・アレイ・ユニットのチャンネル7内部ブロック図



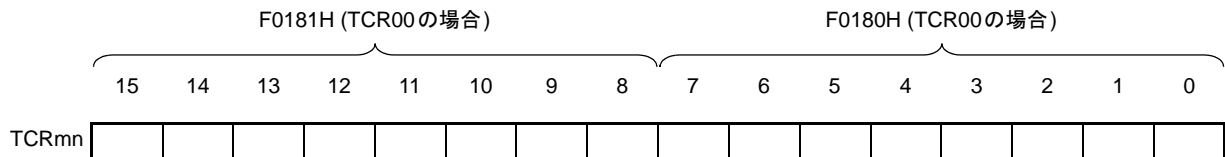
6.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。
 インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります(6.3.3 タイマ・モード・レジスタ mn (TMRmn)参照)。

図6-8 タイマ・カウンタ・レジスタ mn (TCRmn)のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07)

リセット時 : FFFFH R



備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

タイマ・カウンタ・レジスタ mn (TCRmn)をリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺イネーブル・レジスタ 0 (PER0)のTAUmENビットをクリアしたとき
- PWM出力モードで、スレーブ・チャネルのカウント完了時
- ディレイ・カウント・モードで、スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで、マスタ/スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで、スレーブ・チャネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- キャプチャ・モード時に、スタート・トリガが入力されたとき
- キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタをリードしても、タイマ・データ・レジスタ mn (TDRmn)にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-3 各動作モード時のタイマ・カウンタ・レジスタmn (TCRmn)読み出し値

動作モード	カウンタ方式	タイマ・カウンタ・レジスタ (TCRmn)の読み出し値 ^注			
		リセット解除後に動作モード変更した場合の値	カウンタ動作を一時停止 (TTmn = 1)した場合の値	カウンタ動作を一時停止 (TTmn = 1)後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウンタ	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウンタ	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウンタ	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウンタ	FFFFH	停止時の値	不定	FFFFH
キャプチャ & ワンカウント・モード	アップ・カウンタ	0000H	停止時の値	不定	TDRmnレジスタのキャプチャ値 + 1

注 チャンネルnがタイマ動作停止状態 (TEmn = 0)かつカウンタ動作許可状態 (TSmn = 1)にした時点の、TCRmnレジスタの読み出し値を示します。カウンタ動作開始までこの値がTCRmnレジスタに保持されます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3)のSPLITビットが1)に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位での書き換えが可能になります。読み出しは、16ビット単位でのみ可能です。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図6-9 タイマ・データ・レジスタ mn (TDRmn) (n = 0, 2, 4-7)のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), リセット時 : 0000H R/W
FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07)

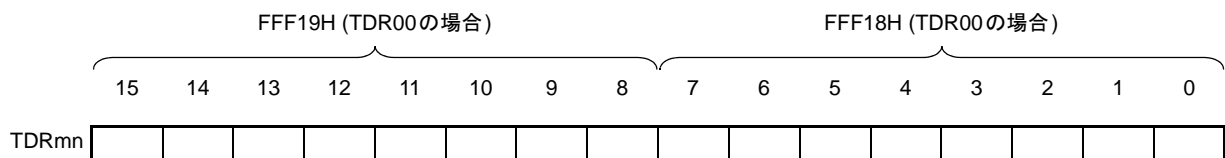
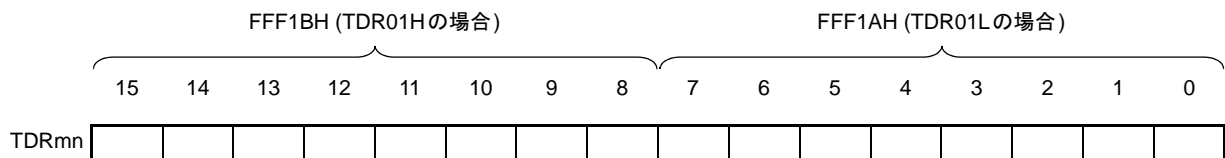


図6-10 タイマ・データ・レジスタ mn (TDRmn) (n = 1, 3)のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03) リセット時 : 0000H R/W



(i) タイマ・データ・レジスタ mn (TDRmn)をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号(INTTMmn)を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ mn (TDRmn)をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn)のカウンタ値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn)で設定します。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-7)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- タイマ・クロック選択レジスタ m (TPSm)
- タイマ・モード・レジスタ mn (TMRmn)
- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- タイマ・チャンネル開始レジスタ m (TSm)
- タイマ・チャンネル停止レジスタ m (TTm)
- タイマ入力選択レジスタ0 (TIS0)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ポート・モード・コントロール・レジスタ (PMCxx)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は、必ずビット0 (TAU0EN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図6-11 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態、下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます(ただし、タイマ入力選択レジスタ 0 (TIS0)、入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ 1 (NFEN1)、ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)は除く)。

- ・タイマ・クロック選択レジスタ m (TPSm)
- ・タイマ・モード・レジスタ mn (TMRmn)
- ・タイマ・ステータス・レジスタ mn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- ・タイマ・チャンネル開始レジスタ m (TSm)
- ・タイマ・チャンネル停止レジスタ m (TTm)
- ・タイマ出力許可レジスタ m (TOEm)
- ・タイマ出力レジスタ m (TOM)
- ・タイマ出力レベル・レジスタ m (TOLm)
- ・タイマ出力モード・レジスタ m (TOMm)

注意2. ビット1, 6には必ず0を設定してください。

6.3.2 タイマ・クロック選択レジスタ m (TPSm)

TPSm レジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で、CKm1はTPSmレジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で、CKm3はTPSmレジスタのビット13, 12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm0を選択 (CKSmn1, CKSmn0 = 0, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm2を選択 (CKSmn1, CKSmn0 = 0, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm1を選択 (CKSmn1, CKSmn0 = 1, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択 (CKSmn1, CKSmn0 = 1, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図6-12 タイマ・クロック選択レジスタm (TPSm)のフォーマット(1/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk)の選択注(k = 0, 1)					
				fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	fCLK/2 ¹⁵	61.0 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 00FFH)させてください。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

注意2. 動作クロック(CKmk)にfCLK分周なし)を選択し、TDR0m = 0000H (n = 0, m = 0-7)を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2ⁿの波形は、単純に2ⁿ分周した波形ではなく、その立ち上がりからfCLKの1周期分ハイ・レベルになります。詳しくは、6.5.1 カウント・クロック(fCLK)を参照してください。

図6-12 タイマ・クロック選択レジスタm (TPSm)のフォーマット(2/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2) の選択注					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	1	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
1	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
1	1	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156.2 kHz	313 kHz	375 kHz

PRS m31	PRS m30	動作クロック (CKm3) の選択注					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
0	1	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 00FFH)させてください。

動作クロック (fMCK), TImn 端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表6-4に示すインターバル時間を実現することが可能です。

表6-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック	インターバル時間注 (fCLK = 20 MHz)				
	16 μs	160 μs	1.6 ms	16 ms	
CKm2	fCLK/2	○	—	—	
	fCLK/2 ²	○	—	—	
	fCLK/2 ⁴	○	○	—	
	fCLK/2 ⁶	○	○	—	
CKm3	fCLK/2 ⁸	—	○	○	
	fCLK/2 ¹⁰	—	○	○	
	fCLK/2 ¹²	—	—	○	○
	fCLK/2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2iの詳細は、6.5.1 カウント・クロック (fCLK)を参照してください。

6.3.3 タイマ・モード・レジスタ mn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fMCK) の選択、カウント・クロックの選択、マスタ/スレーブの選択、16ビット/8ビット・タイマの選択(チャンネル1, 3のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード(インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント)設定を行います。

TMRmnレジスタは、動作中(TEmn = 1のとき)の書き換えは禁止です。ただし、ビット7, 6 (CISmn1, CISmn0) は、一部の機能で動作中(TEmn = 1のとき)の書き換えが可能です(詳細は6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000Hになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6 : MASTERmn ビット (n = 2, 4, 6)

TMRm1, TMRm3: SPLITmn ビット (n = 1, 3)

TMRm0, TMRm5, TMRm7: 0 固定

図6-13 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (fMCK)の選択
0	0	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm0
0	1	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm2
1	0	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm1
1	1	タイマ・クロック選択レジスタ m (TPSm) で設定した動作クロック CKm3

動作クロック (fMCK) は、エッジ検出回路に使用されます。また、CCSmn ビットの設定によりサンプリング・クロックおよびカウント・クロック (fTCLK) を生成します。

動作クロック CKm2, CKm3 は、チャンネル1, 3のみ選択可能です。

CCSmn	チャンネルnの動作クロック (fTCLK)の選択
0	CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)
1	Tlmn 端子からの入力信号の有効エッジ チャンネル1では、TIS0 で選択した入力信号の有効エッジ

カウント・クロック (fTCLK) は、タイマ・カウンタ、出力制御回路、割り込み制御回路に使用されます。

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウント・クロック (fTCLK) に CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)、Tlmn 端子からの入力信号の有効エッジのどれを選択していても、fCLK に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-14 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(2/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2, 4, 6)のビット11)

MASTERmn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作(スレーブ／マスタ)の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2, 4, 6のみマスタ・チャンネル(MASTERmn = 1)に設定できます。 チャンネル0, 5, 7は0固定となります(チャンネル0は最上位チャンネルのため, このビットの設定によらずマスタとして動作します。 また, 単独チャンネル動作機能として使用するチャンネルは, MASTERmn = 0にします。	

(TMRmn (n = 1, 3)のビット11)

SPLIT mn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

注 ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-15 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(3/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TIS0レジスタの設定により入力ソースがELCからのイベント入力信号以外の場合)

CIS mn1	CIS mn0	TImn端子の有効エッジ選択 (n = 0, 1)
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がリエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は、CISmn1-CISmn0ビット = 10Bに設定してください。		

(TIS0レジスタの設定により入力ソースがELCからのイベント入力信号の場合)

CIS mn1	CIS mn0	TImn端子の有効エッジ選択 (n = 0, 1)
0	0	00に固定してください(ELCからのイベント入力信号)。
上記以外		設定禁止

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

図6-16 タイマ・モード・レジスタ mn (TMRmn)のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/方形波出力/PWM出力 (マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ワンショット・パルス出力/PWM出力(スレーブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ/ロウ・レベル幅測定	アップ・カウンタ
上記以外			設定禁止		

各モードの動作は、MDmn0ビットによって変わります(下表を参照)。

動作モード(MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード(0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ワンカウント・モード注2 (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。

- 注1. ビット11はRead onlyの0固定で、書き込みは無視されます。
- 注2. ワンカウント・モードでは、カウント動作開始時の割り込み出力(INTTMmn), TOmn出力は制御しません。
- 注3. 動作中にスタート・トリガ(TSmn = 1)が掛かると、カウンタを初期化し、再カウント・スタートします(割り込み要求は発生せず)。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

6.3.4 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B)のみ有効です。各動作モードでのOVFビットの動作とセット/クリア条件は表6-5を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図6-17 タイマ・ステータス・レジスタ mn (TSRmn)のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき、次にオーバフローなしでキャプチャしたときにクリア(OVF = 0)されます。	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

表6-5 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
• キャプチャ・モード	クリア	キャプチャ時にオーバフローが発生していない場合
• キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバフローが発生していた場合
• インターバル・タイマ・モード	クリア	— (使用不可)
• イベント・カウンタ・モード	セット	
• ワンカウント・モード		

備考 OVFビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm) の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図6 - 18 タイマ・チャンネル許可ステータス・レジスタ m (TEm)のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEm n	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

6.3.6 タイマ・チャンネル開始レジスタ m (TSm)

TSm レジスタは、タイマ・カウンタ・レジスタ mn (TCRmn) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm) の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので、動作許可状態(TEmn, TEHm1, TEHm3 = 1)になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSm レジスタは、16ビット・メモリ操作命令で設定します。

またTSm レジスタの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSm レジスタは0000Hになります。

図6-19 タイマ・チャンネル開始レジスタ m (TSm)のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSH m3	0	TSH m1	0	TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSm n	チャンネルnの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。 チャンネル1,3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可(スタート)トリガになります。

(注意、備考は次ページにあります。)

注意1. ビット15-12, 10, 8には必ず0を設定してください。

注意2. TImn 端子入力を使用しない機能から、TImn 端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ mn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn 端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn 端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

備考1. TSm レジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

6.3.7 タイマ・チャンネル停止レジスタ m (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態(TEmn, TEHm1, TEHm3 = 0)になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図6-20 タイマ・チャンネル停止レジスタ m (TTm)のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTm	0	0	0	0	TTH m3	0	TTH m1	0	TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0
-----	---	---	---	---	-----------	---	-----------	---	------	------	------	------	------	------	------	------

TTH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTm n	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.3.8 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、チャンネル0,1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図6-21 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00
TIS04	チャンネル0で使用するタイマ入力の選択							
0	タイマ入力端子(TI00)の入力信号							
1	ELCからのイベント入力信号							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子(TI01)の入力信号					
0	1	0						
0	1	1						
0	0	1	ELCからのイベント入力信号					
1	0	0	低速オンチップ・オシレータ・クロック (fIL)					
1	0	1	サブシステム・クロック (fSUB)					
上記以外			設定禁止					

注意1. 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK} + 10$ ns以上必要となります。

そのため、fCLKにfSUBを選択時(CKSレジスタのCSS = 1)は、TIS02ビットに1を設定できません。

注意2. タイマ入力選択レジスタ0 (TIS0)で、ELCからのイベント入力信号を選択する場合、タイマ・クロック選択レジスタ0 (TPS0)はfCLKを選択してください。

6.3.9 タイマ出力許可レジスタ m (TOEm)

TOEmレジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは、TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEm レジスタは 0000H になります。

図6-22 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOE m7	TOE m6	TOE m5	TOE m4	TOE m3	TOE m2	TOE m1	TOE m0
TOE mn	チャンネル n のタイマ出力許可／禁止															
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず、出力を固定します。 TOmn ビットへの書き込みが可能となり、TOmn ビットに設定したレベルが TOmn 端子から出力されます。															
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し、出力波形を生成します。 TOmn ビットへの書き込みは無視されます。															

注意 ビット 15-8 には必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.3.10 タイマ出力レジスタ m (TOm)

TOmレジスタは、各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャネルのタイマ出力端子(TOmn)から出力されます。

このレジスタのTOmnビットのソフトウェアによる書き換えは、タイマ出力禁止時(TOEmn = 0)のみ可能です。タイマ出力許可時(TOEmn = 1)は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、TI00/TO00-TI07/TO07をポート機能として使用する場合は、該当するTOmnビットに0を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmレジスタは0000Hになります。

図6-23 タイマ出力レジスタ m (TOm)のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0

TOm n	チャンネルnのタイマ出力
0	タイマ出力値が0
1	タイマ出力値が1

注意 ビット15-8には必ず0を設定してください。

備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

6.3.11 タイマ出力レベル・レジスタ m (TOLm)

TOLmレジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図6-24 タイマ出力レベル・レジスタ m (TOLm)のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOLm	TOLm	TOLm	TOLm	TOLm	TOLm	TOLm	0

TOLmn	チャンネルnのタイマ出力レベルの制御	
0	正論理出力(アクティブ・ハイ)	
1	反転出力(アクティブ・ロウ)	

注意 ビット15-8, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

6.3.12 タイマ出力モード・レジスタ m (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能(PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOEmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図6-25 タイマ出力モード・レジスタ m (TOMm)のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOM m7	TOM m6	TOM m5	TOM m4	TOM m3	TOM m2	TOM m1	0

TOM mn	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード(タイマ割り込み要求信号(INTTMmn)によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号(INTTMmn)で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号(INTTMmp)で出力がリセットされる)

注意 ビット15-8, 0には必ず0を設定してください。

備考 m : ユニット番号 (m = 0)

 n : チャンネル番号

 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

 p : スレーブ・チャンネル番号

 n < p ≤ 7

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連動動作機能の基本ルール参照してください)

6.3.13 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは、チャンネル7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときに使用します。ISC1ビットに1を設定すると、シリアル・データ入力端子(RxD0)の入力信号がタイマ入力として選択されます。

SSIE00ビットの設定については、20.3.15 入力切り替え制御レジスタ (ISC)を参照してください。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図6 - 26 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0
SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0のSSI00入力の設定							
0	SSI00端子入力の無効							
1	SSI00端子入力の有効							
ISC1	タイマ・アレイ・ユニット0のチャンネル7の入力切り替え							
0	TI07端子の入力信号をタイマ入力とする(通常動作)							
1	RxD0端子の入力信号をタイマ入力とする(ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)							
ISC0	外部割り込み(INTP0)の入力切り替え							
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)							
1	RxD0端子の入力信号を外部割り込み入力とする(ウエイクアップ信号検出)							

注意 ビット6-2に必ず0を設定してください。

備考 LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD0端子の入力信号を選択しておいてください。

6.3.14 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

注 詳細は、6.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、6.5.2 カウンタのスタート・タイミング、6.7 タイマ入力 (TImn) の制御を参照してください。

図6-27 ノイズ・フィルタ許可レジスタ1 (NFEN1)のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
TNFEN07	TI07端子またはRxD0端子入力信号のノイズ・フィルタ使用可否注							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN06	TI06端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN05	TI05端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN04	TI04端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN03	TI03端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							
TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタ OFF							
1	ノイズ・フィルタ ON							

注 入力切り替え制御レジスタ (ISC)のISC1ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0に設定 : TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定 : RxD0端子のノイズ・フィルタ使用可否選択が可能

6.3.15 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx), ポート・モード・コントロール・レジスタ (PMCxx))を設定してください。詳細は、4.4.1 ポート・モード・レジスタ (PMxx), 4.4.2 ポート・レジスタ (Pxx), 4.4.6 ポート・モード・コントロール・レジスタ (PMCxx)を参照してください。

また、製品によって設定するポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx), ポート・モード・コントロール・レジスタ (PMCxx)が異なります。詳細は、4.6.4 SEGxx端子兼用ポートの動作を参照してください。

タイマ出力端子を兼用するポート(P52/TI02/TO02, P05/TI06/TO06など)をタイマ出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)のビットおよびポート・レジスタ (Pxx)のビットに0を設定してください。

- (例) P05/TO06/TI06をタイマ出力として使用する場合
ポート・モード・レジスタ0のPM05ビットを0に設定
ポート・レジスタ0のP05ビットを0に設定

タイマ入力端子を兼用するポート(P52/TI02/TO02, P05/TI06/TO06など)をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)のビットに1を設定してください。このときポート・レジスタ (Pxx)のビットは、0または1のどちらでもかまいません。

- (例) P05/TO06/TI06をタイマ入力として使用する場合
ポート・モード・レジスタ0のPM05ビットを1に設定
ポート・レジスタ0のP05ビットは0または1に設定

- 備考1. アナログ入力と兼用しているポートをタイマ入出力機能を使用する場合は、デジタル入出力／アナログ入力を切り替えるポート・モード・コントロール・レジスタ (PMCxx)の対応するビットを必ず0に設定してください。
- 備考2. セグメント出力と兼用になっているポートをタイマ入出力機能として使用する場合は、LCDポート・ファンクション・レジスタ0-4(PFSEG0-PFSEG4)の対応するビットを必ず0に設定してください。
- 備考3. P125/(TI06)/(TO06)/V_{L3}端子をタイマ入出力機能として使用する場合は、LCD入力切り換え制御レジスタ (ISCLCD)のISCVL3ビットを必ず1に設定してください。
- 備考4. P126/(TI05)/(TO05)/CAPL, P127/(TI04)/(TO04)/CAPH端子をタイマ入出力機能として使用する場合は、LCD入力切り換え制御レジスタ (ISCLCD)のISCCAPビットを必ず1に設定してください。

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャネル連動動作機能の基本ルール

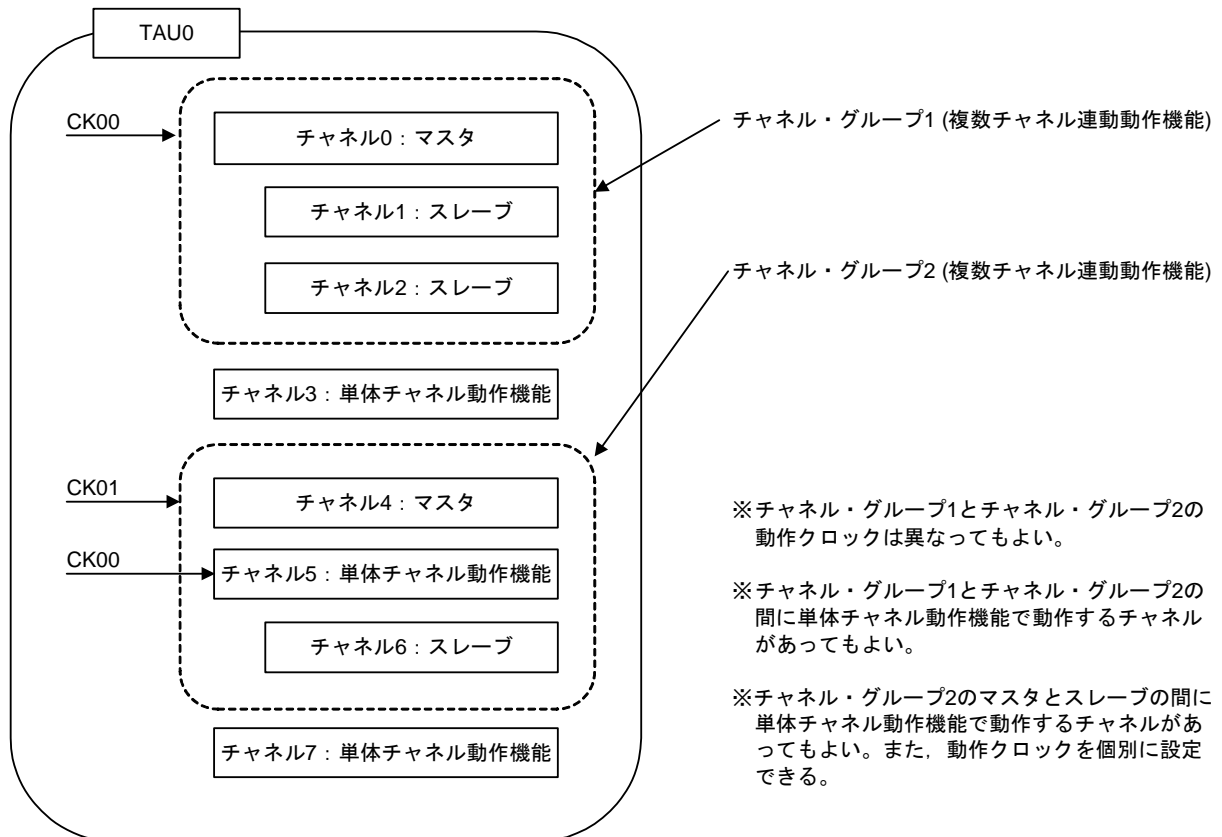
複数チャネル連動動作機能は、マスタ・チャネル(主に周期をカウントする基準タイマ)とスレーブ・チャネル(マスタ・チャネルに従い動作するタイマ)を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。次に複数チャネル連動動作機能の基本的なルールを示します。

- (1) マスタ・チャネルには、偶数チャネル(チャンネル0, チャンネル2, チャンネル4, ...)のみ設定できます。
- (2) スレーブ・チャネルには、チャンネル0を除くすべてのチャネルを設定できます。
- (3) スレーブ・チャネルには、マスタ・チャネルの下位チャネルのみ設定できます。
例 チャンネル2をマスタ・チャネルにした場合、チャンネル3以降(チャンネル3, チャンネル4, チャンネル5, ...)をスレーブ・チャネルに設定できます。
- (4) 1つのマスタ・チャネルに対し、スレーブ・チャネルは複数設定できます。
- (5) マスタ・チャネルを複数使用する場合、マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
例 チャンネル0, チャンネル4をマスタ・チャネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャネルとして設定できません。
- (6) マスタ・チャネルと連動するスレーブ・チャネルは、同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn0, CKSmn1ビット(タイマ・モード・レジスタmn (TMRmn)のビット15, 14)が同じ設定値になっている必要があります。
- (7) マスタ・チャネルはINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを下位チャネルに伝えることができます。
- (8) スレーブ・チャネルはマスタ・チャネルのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用できますが、下位チャネルに自身のINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを伝えることはできません。
- (9) マスタ・チャネルは、他の上位のマスタ・チャネルからのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャネルを同時スタートさせるため、連動させるチャネルのチャンネル・スタート・トリガ・ビット(TSmn)を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャネルを同時に停止させるため、連動させるチャネルのチャンネル・ストップ・トリガ・ビット(TTmn)を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0)は、マスタ・ビットがなく、0に固定されています。しかし、チャンネル0は最上位チャネルなので、連動動作時は、チャンネル0をマスタ・チャネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ(1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)



6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ mn (TMRmn) の SPLIT ビットを1に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時に INTTm1H/INTTm3H (割り込み) を出力します (MDmn0 = 1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットの TMRmn レジスタの CKSmn1, CKSmn0 ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3 ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3 ビットで確認できます。
- (7) 下位8ビットは、TMRmn レジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - インターバル・タイマ機能
 - 外部イベント・カウンタ機能
 - ディレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3 ビットを操作することでチャンネル動作を開始し、TTm1/TTm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3 ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3 ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3 ビットを操作することでチャンネル1, 3が動作します。TEHm3 ビットと TEHm1 ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能(ワンショット・パルス, PWM, 多重PWM)を使用することはできません。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 1, 3)

6.5 カウンタの動作

6.5.1 カウント・クロック (fTCLK)

タイマ・アレイ・ユニットのカウント・クロック (fTCLK) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)
- TImn 端子からの入力信号の有効エッジ

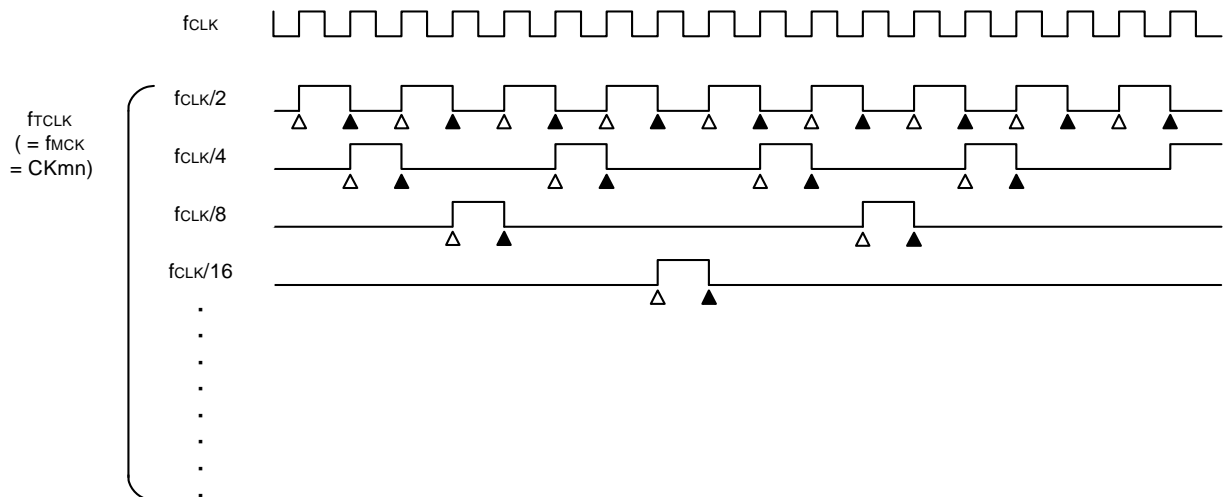
タイマ・アレイ・ユニットは、fCLK との同期をとって動作するよう設計されているため、カウント・クロック (fTCLK) のタイミングは次のようになります。

- (1) CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK) を選択した場合 (CCSmn = 0)

カウント・クロック (fTCLK) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、fCLK ~ fCLK/2¹⁵ となります。fCLK の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから fCLK の 1 周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるため、カウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上カウント・クロックの立ち上がりでカウントすると表現します。

図6-28 fCLK とカウント・クロック (fTCLK) のタイミング (CCSmn = 0 時)



備考1. ▲ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

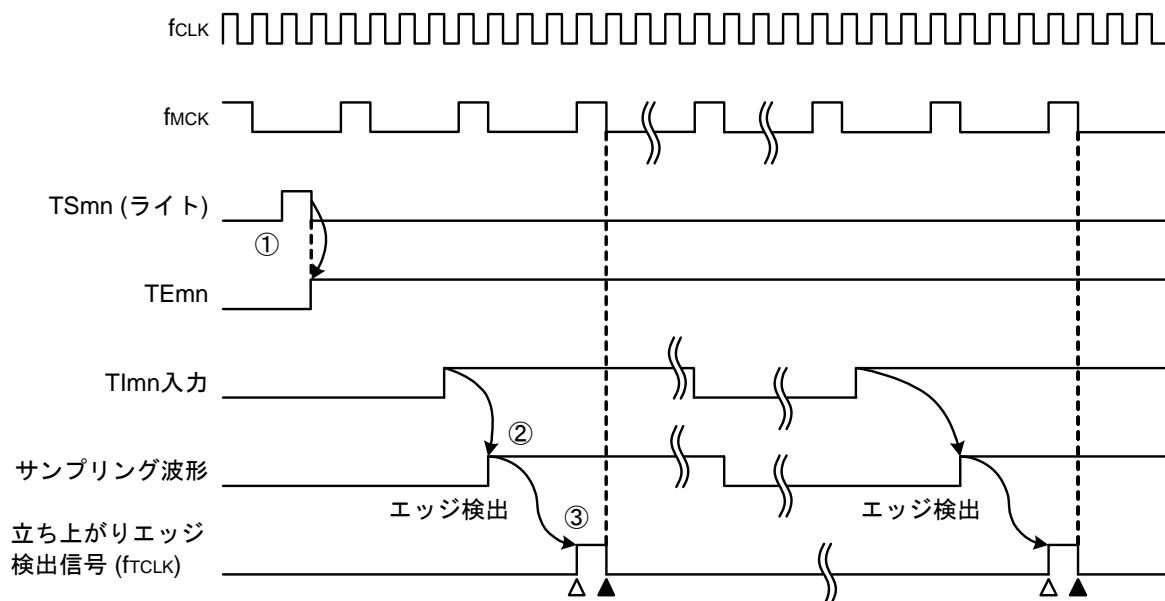
備考2. fCLK : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (fCLK) は、TImn 端子からの入力信号の有効エッジを検出し、次の fMCK の立ち上がりで同期した信号になります。これは、実際の TImn 端子からの入力信号より fMCK の 1~2 クロック分遅れた信号になります (ノイズ・フィルタ使用時は、fMCK の 3~4 クロック分遅れます)。

また、タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるためにカウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上 TImn 端子からの入力信号の有効エッジでカウントすると表現します。

図6-29 カウント・クロック (fCLK) のタイミング (CCSmn = 1, ノイズ・フィルタ未使用時)



① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。

② TImn 入力の立ち上がりが fMCK でサンプリングされます。

③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

備考2. fCLK : CPU/周辺ハードウェア・クロック

fMCK : チャネル n の動作クロック

備考3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デレイ・カウンタ, ワンショット・パルス出力機能の TImn 入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn (TCRmn) は、タイマ・チャンネル開始レジスタ m (TSm) の TSmn ビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作を、表 6-6 に示します。

表 6-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1 にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出 (TSmn = 1) 後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSmn ビットに 1 を書き込むことにより、TDRmn レジスタの値を TCRmn レジスタにロードします。 TImn 入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います。 TMRmn レジスタの STSmn2-STSmn0 ビットで選択した外部トリガ検出では、カウント動作を開始しません (6.5.3 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出 (TSmn = 1) 後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSmn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (4) ワンカウント・モードの動作参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSmn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

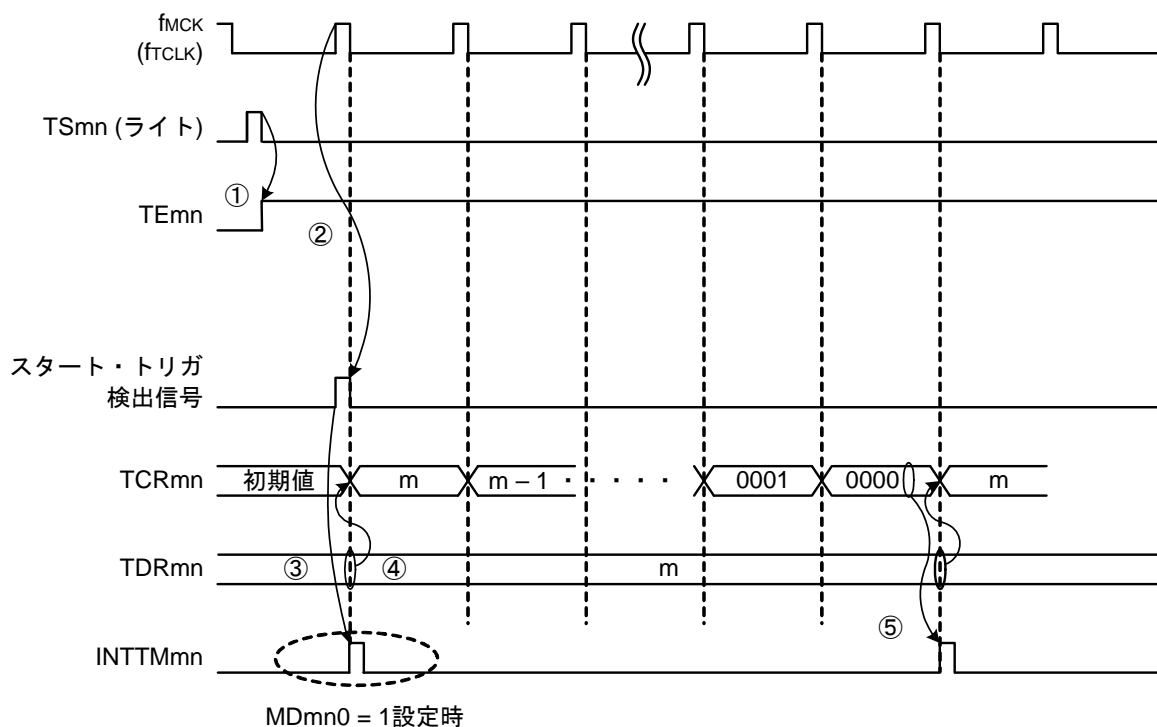
6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。タイマ・カウンタ・レジスタ mn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック ($fMCK$) で、スタート・トリガが発生します。
- ③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmn レジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック ($fMCK$) で INTTMmn を発生し、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードしてカウントを継続します。

図6-30 動作タイミング(インターバル・タイマ・モード)



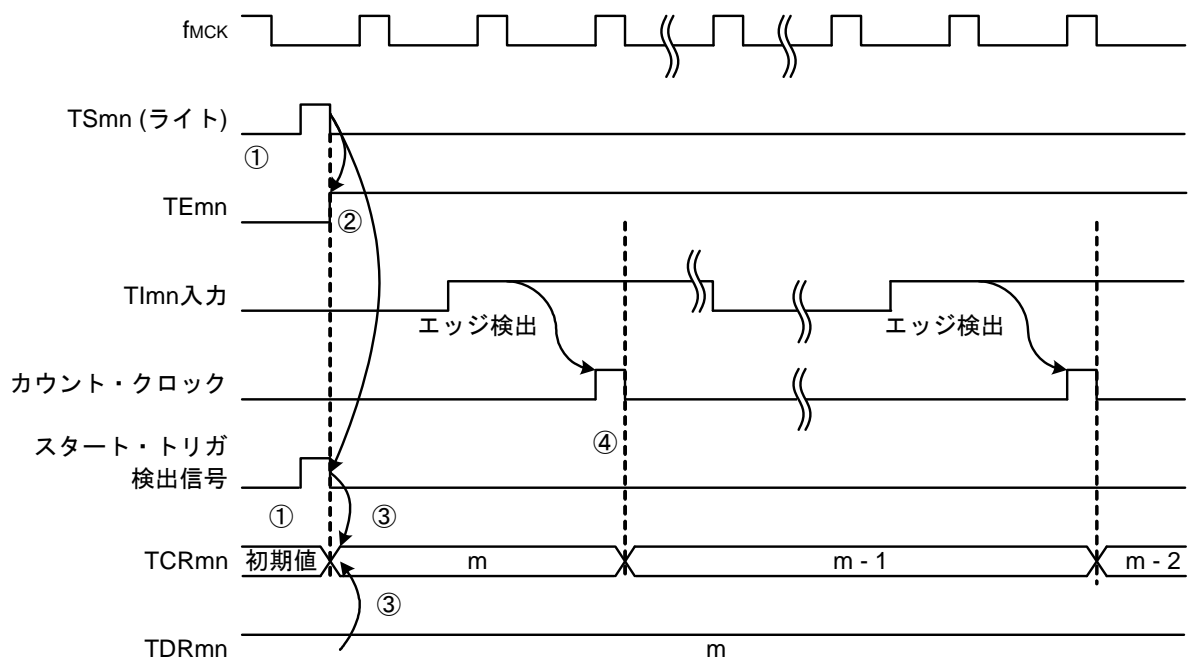
注意 カウント・クロックの1周期目の動作は TSmn ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 fMCK, スタート・トリガ検出信号, INTTMmnは、fCLKに同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ①動作停止状態($TE_{mn} = 0$)の期間, タイマ・カウンタ・レジスタ mn (TCR_{mn})は, 初期値を保持します。
- ② TS_{mn} ビットへ1を書き込むことにより, 動作許可状態($TE_{mn} = 1$)となります。
- ③ $TS_{mn} = 1 \rightarrow TE_{mn} = 1$ と同時に, TCR_{mn} レジスタにタイマ・データ・レジスタ mn (TDR_{mn})の値をロードし, カウントを開始します。
- ④以降は TI_{mn} 入力の有効エッジでのカウント・クロックに従い, TCR_{mn} レジスタの値をダウン・カウントします。

図6-31 動作タイミング(イベント・カウンタ・モード)

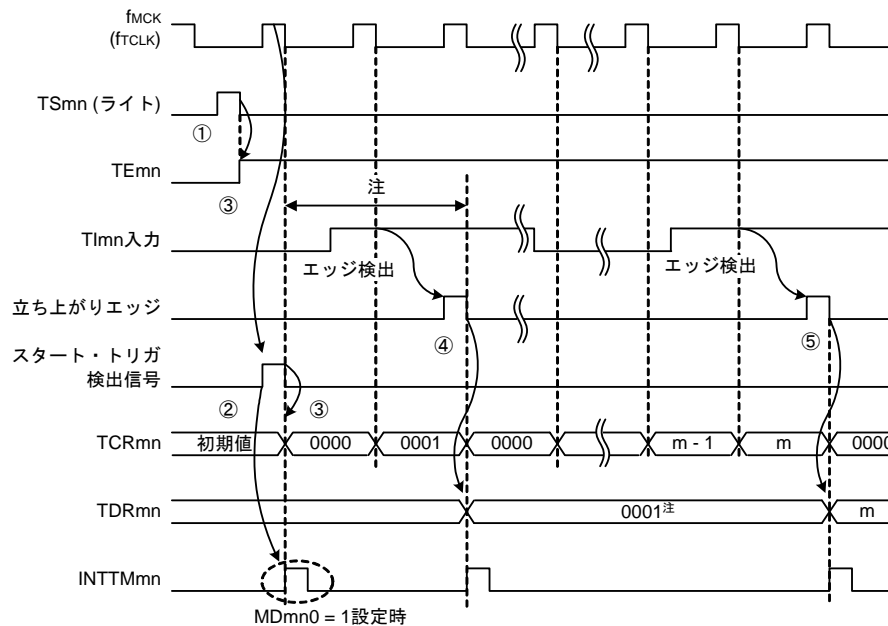


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出は TI_{mn} 入力からさらに f_{MCK} の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TI_{mn} 入力とカウント・クロック (f_{MCK}) が非同期なためです。

(3) キャプチャ・モードの動作(入力パルス間隔測定)

- ① TSmn ビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロック (fMCK)で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmn レジスタは0000Hからカウントを続けます。
- ⑤ 次のTImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図6-32 動作タイミング(キャプチャ・モード：入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている(トリガがある)場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ(④)でのキャプチャ値はパルス間隔とならない(この例では0001:2クロック分の間隔)ので、無視してください。

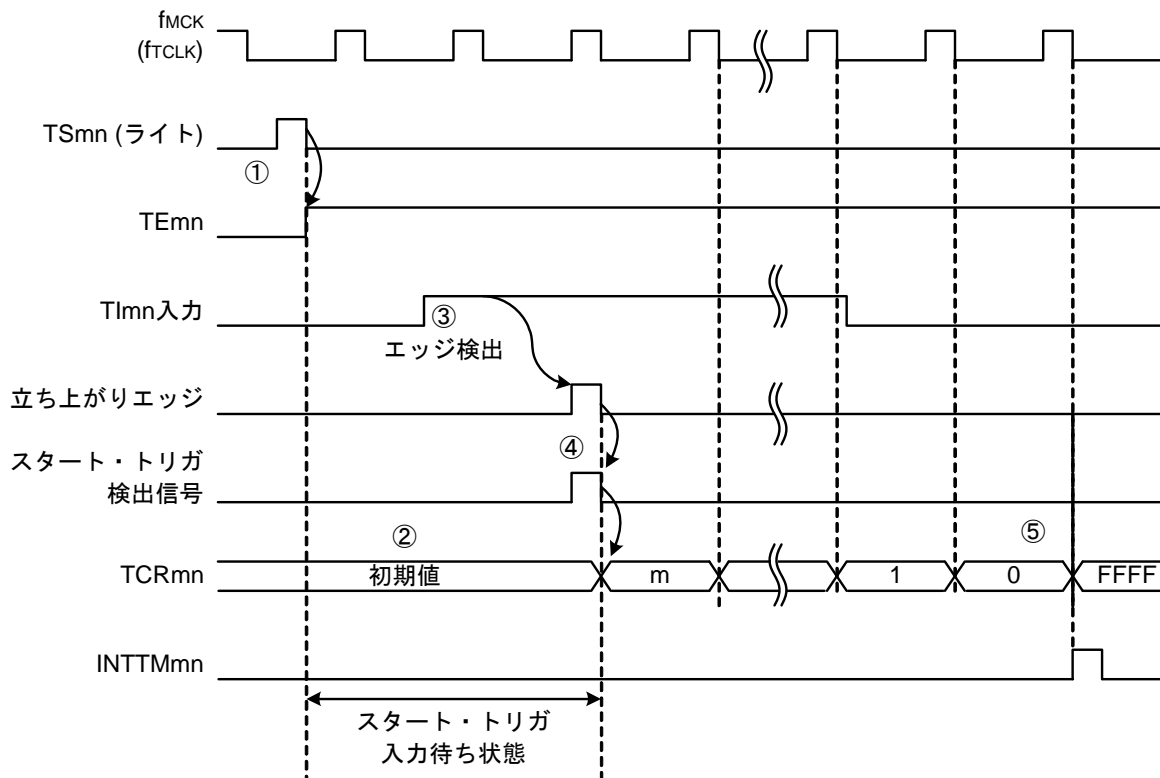
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn)は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値(m)をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図6-33 動作タイミング(ワンカウント・モード)

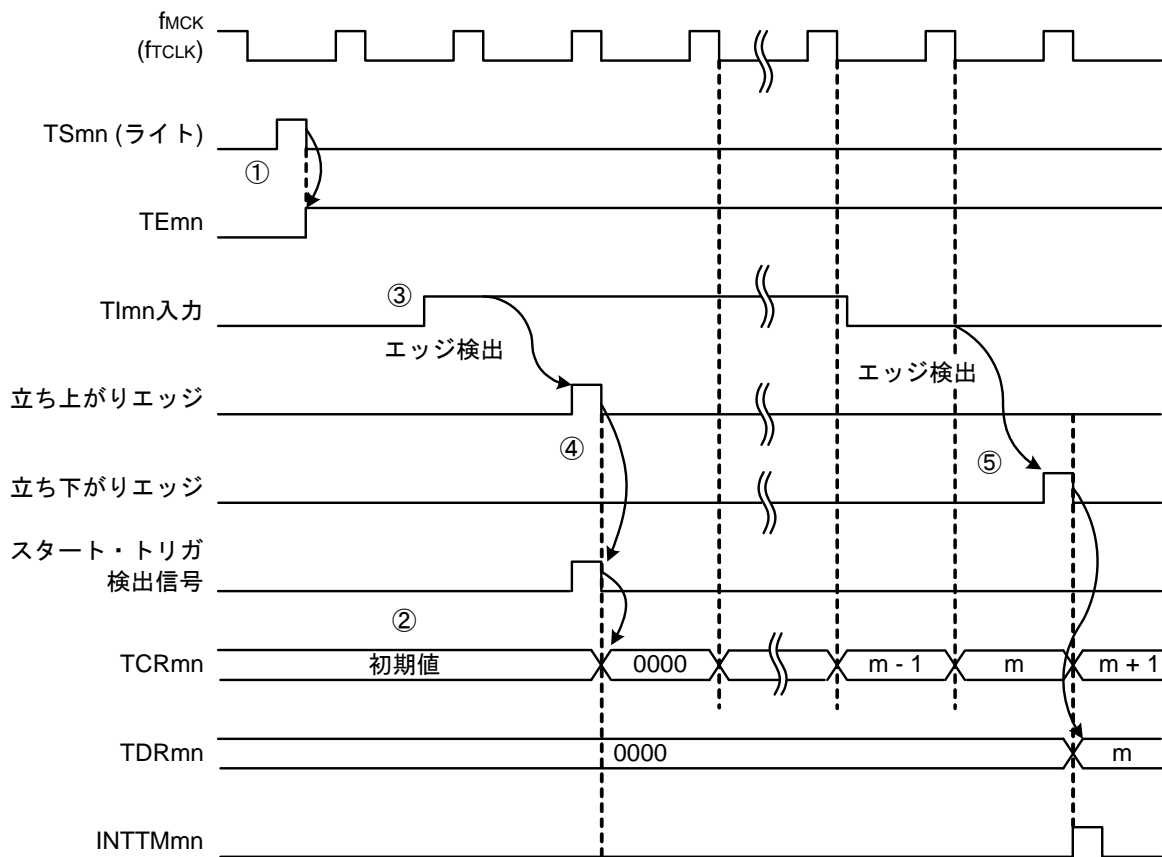


備考 このタイミングはノイズフィルタを使用しないときのタイミングです。ノイズフィルタをオンすると、エッジ検出は TImn 入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(5) キャプチャ & ワンカウント・モードの動作(ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (TSmn) の TSmn ビットに 1 を書き込むことにより、動作許可状態 (TEmn = 1) となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000H を TCRmn レジスタにロードし、カウントを開始します。
- ⑤ TImn 入力の立ち下がりエッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図6-34 動作タイミング(キャプチャ & ワンカウント・モード：ハイ・レベル幅測定)

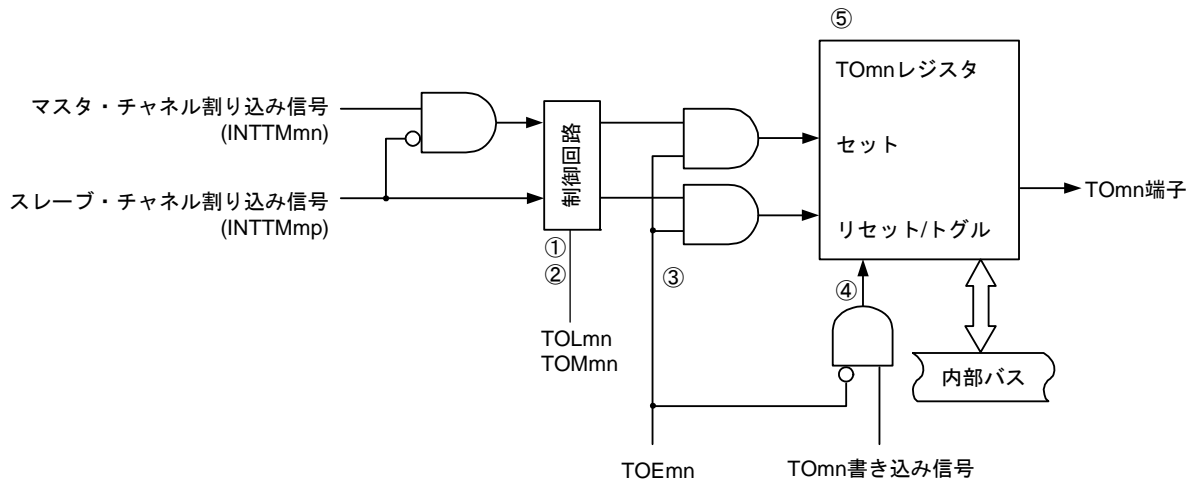


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は TImn 入力からさらに fMCK の 2 周期分 (合計で 3~4 周期分) 遅くなります。1 周期分の誤差は TImn 入力とカウント・クロック (fMCK) が非同期なためです。

6.6 チャンネル出力(TOmn端子)の制御

6.6.1 TOmn端子の出力回路の構成

図6 - 35 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

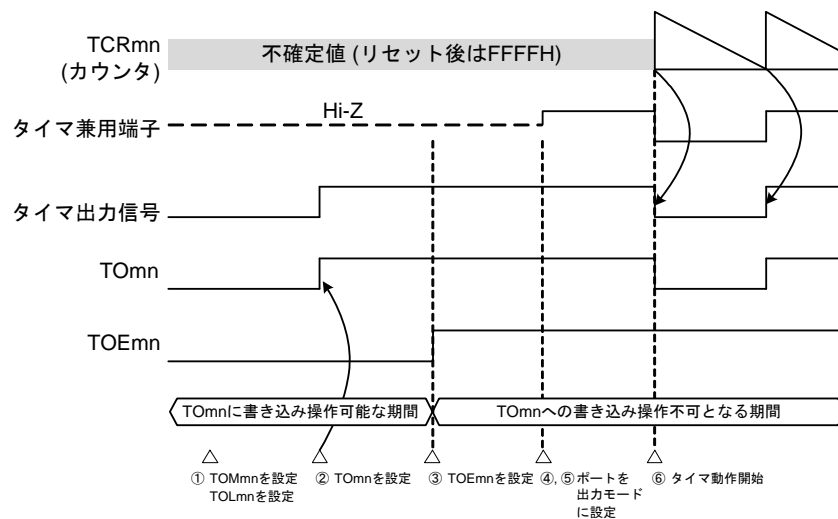
- ① $TOMmn = 0$ (マスタ・チャンネル出力モード)のときは、タイマ出力レベル・レジスタ m (TOLm)の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み)のみがタイマ出力レジスタ m (TOm)に伝えられます。
- ② $TOMmn = 1$ (スレーブ・チャンネル出力モード)のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。
このとき、TOLmレジスタが有効となり、次のように信号を制御します。
TOLmn = 0の場合 : 正論理出力 (INTTMmn → セット, INTTMmp → リセット)
TOLmn = 1の場合 : 負論理出力 (INTTMmn → リセット, INTTMmp → セット)
また、INTTMmnとINTTMmpが同時に発生した場合(PWM出力の0%出力時)は、INTTMmp (リセット信号)が優先され、INTTMmn (セット信号)はマスクされます。
- ③ タイマ出力許可状態 ($TOEmn = 1$)で、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。TOmレジスタへの書き込み (TOmnライト信号)は無効となります。
また、 $TOEmn = 1$ のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は、タイマ動作停止 ($TOEmn = 0$)に設定しTOmレジスタに値を書き込む必要があります。
- ④ タイマ出力禁止状態 ($TOEmn = 0$)で、対象チャンネルのTOmnビットへの書き込み (TOmnライト信号)が有効となります。タイマ出力禁止状態 ($TOEmn = 0$)のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)はTOmレジスタに伝えられません。
- ⑤ TOmレジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。
(備考は次ページにあります。)

- 備考 m : ユニット番号 (m = 0)
 n : チャンネル番号
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号
 n < p ≤ 7

6.6.2 TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6-36 タイマ出力設定から動作開始までの状態変化



①タイマ出力の動作モードを設定します。

- TOMmnビット(0 : マスタ・チャンネル出力モード, 1 : スレーブ・チャンネル出力モード)
- TOLmnビット(0 : 正論理出力, 1 : 負論理出力)

②タイマ出力レジスタ m (TOm)を設定することにより, タイマ出力信号が初期状態に設定されます。

③TOEmnビットに1を書き込み, タイマ出力動作を許可します (TOmレジスタへの書き込みは不可となります)。

④ポート・モード・コントロール・レジスタ (PMCxx)でポートをデジタル入出力に設定します。

⑤ポートの入出力設定を出力に設定します (6.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑥タイマを動作許可にします (TSmn = 1)。

- 備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM,TOEm,TOLmレジスタの設定値変更について

タイマ動作(タイマ・カウンタ・レジスタ mn (TCRmn), タイマ・データ・レジスタ mn (TDRmn)の動作)は, TOMn 出力回路とは独立しています。よって, タイマ出力レジスタ m (TOM), タイマ出力許可レジスタ m (TOEm), タイマ出力レベル・レジスタ m (TOLm)の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn 端子から出力するためには, 6.8, 6.9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で, TOM レジスタを除く TOEm レジスタ, TOLm レジスタの設定値変更を行うと, タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn 端子に出力される波形が異なる場合があります。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

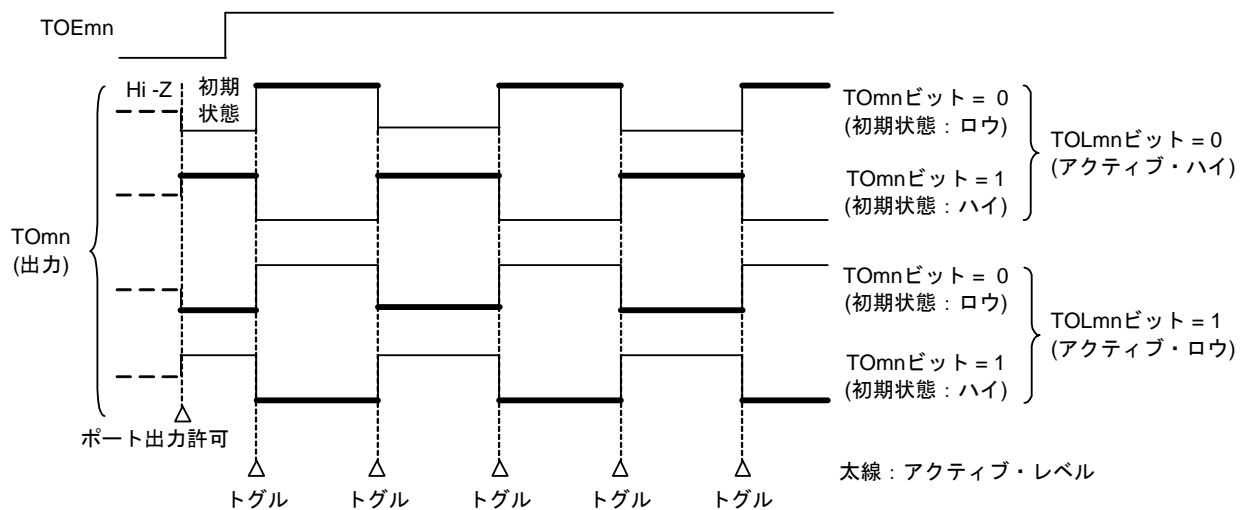
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止(TOEmn = 0)の状態ではタイマ出力レジスタ m (TOM)に書き込みを行い、初期レベル変更後、タイマ出力許可状態(TOEmn = 1)に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード(TOMmn = 0)設定で動作を開始した場合

マスタ・チャンネル出力モード(TOMmn = 0)の時、タイマ出力レベル・レジスタ m (TOLm)の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6-37 トグル出力時(TOMmn = 0)のTOmn端子出力状態

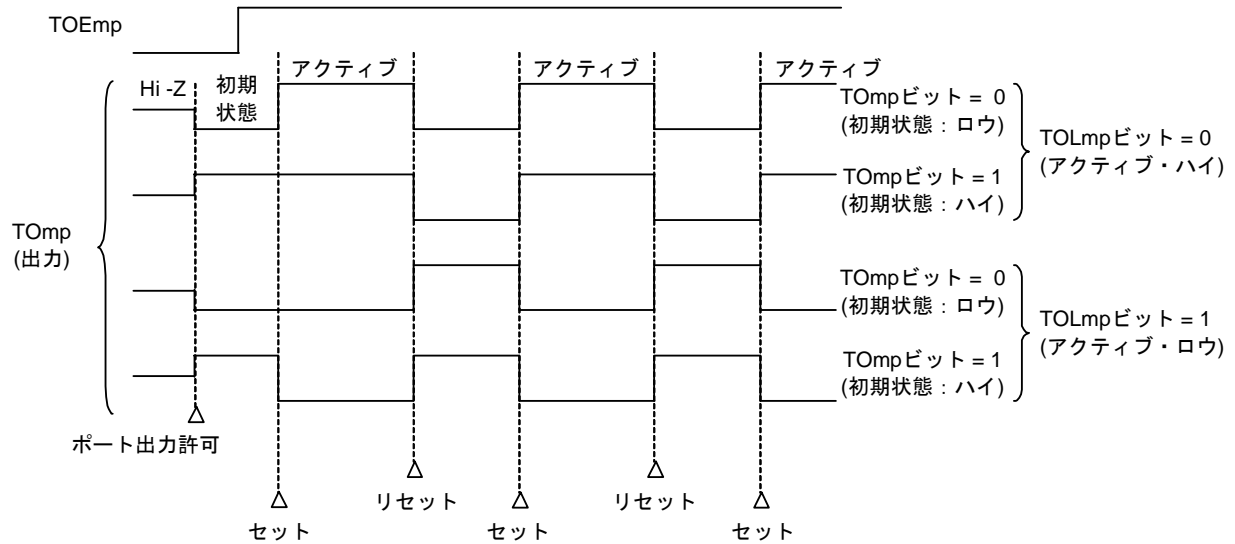


備考1. トグル: TOmn端子の出力状態を反転

備考2. m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0-7)

- (b) スレーブ・チャンネル出力モード (TOMmp = 1) 設定で動作を開始した場合 (PWM出力)
 - スレーブ・チャンネル出力モード (TOMmp = 1) の時, タイマ出力レベル・レジスタ m (TOLm) の設定によりアクティブ・レベルを決定します。

図6 - 38 PWM出力時 (TOMmp = 1) のTOmp端子出力状態



- 備考1. セット : TOmp端子の出力信号が, インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TOmp端子の出力信号が, アクティブ・レベルからインアクティブ・レベルに変化
- 備考2. m : ユニット番号 (m = 0), p : チャンネル番号 (p = 1-7)

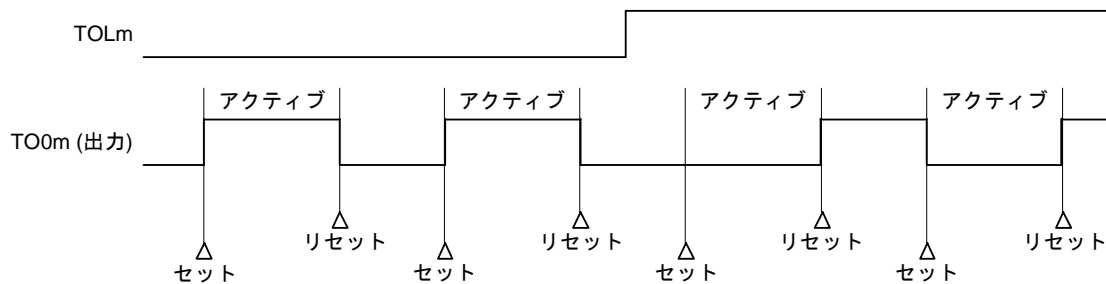
(1) TOMn端子のスレーブ・チャンネル出力モード(TOMmn = 1)での動作について

(c) タイマ動作中にタイマ出力レベル・レジスタ m (TOLm)の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOMn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOMn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中(TEmn = 1)にTOLmレジスタの値を変更した場合の動作を次に示します。

図6 - 39 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット：TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号(m = 0), n：チャンネル番号(n = 0-7)

(d) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャンネル・タイマ割り込み(INTTMmn)発生時のTOMn端子/TOMnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

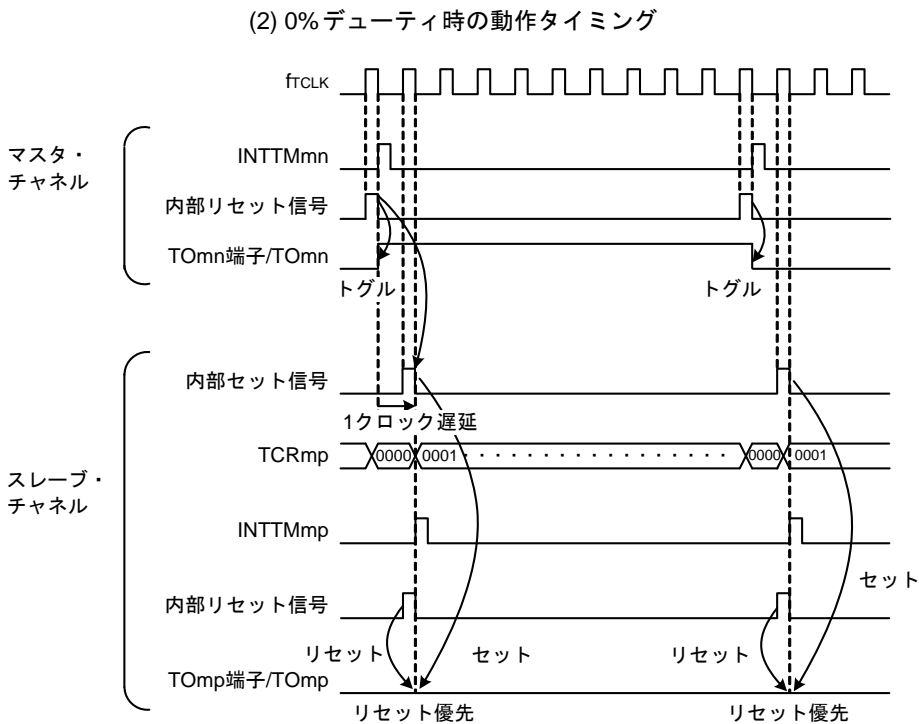
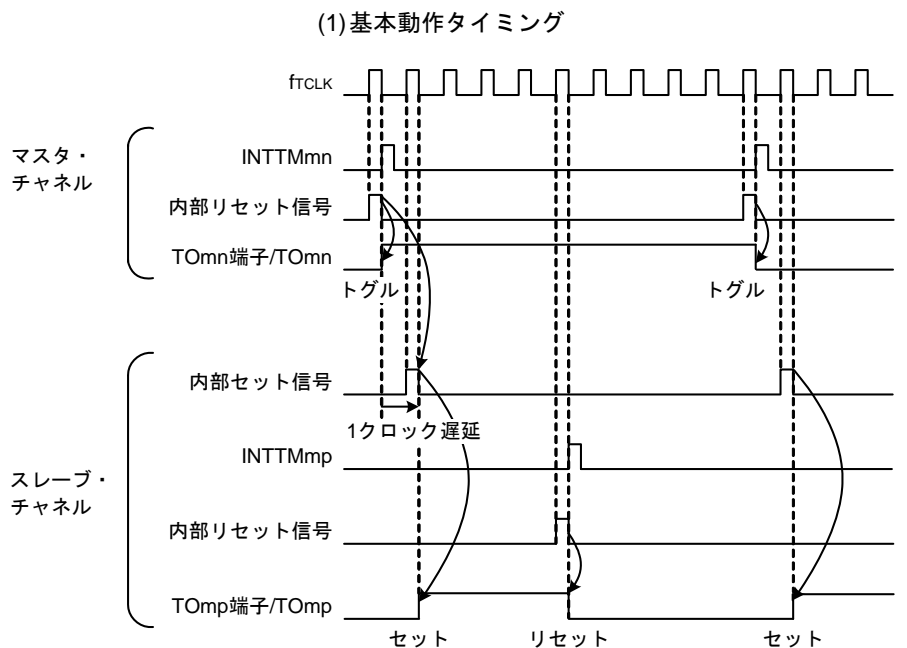
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図6 - 40に示します。

マスタ・チャンネル：TOEmn = 1, TOMmn = 0, TOLmn = 0

スレーブ・チャンネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6-40 セット/リセット・タイミング動作状態



備考1. 内部リセット信号 : TOmn端子のリセット/トグル信号

内部セット信号 : TOmn端子のセット信号

備考2. m : ユニット番号 (m = 0)

n : チャンネル番号

n = 0-7 (マスター・チャンネル時 : n = 0, 2, 4, 6)

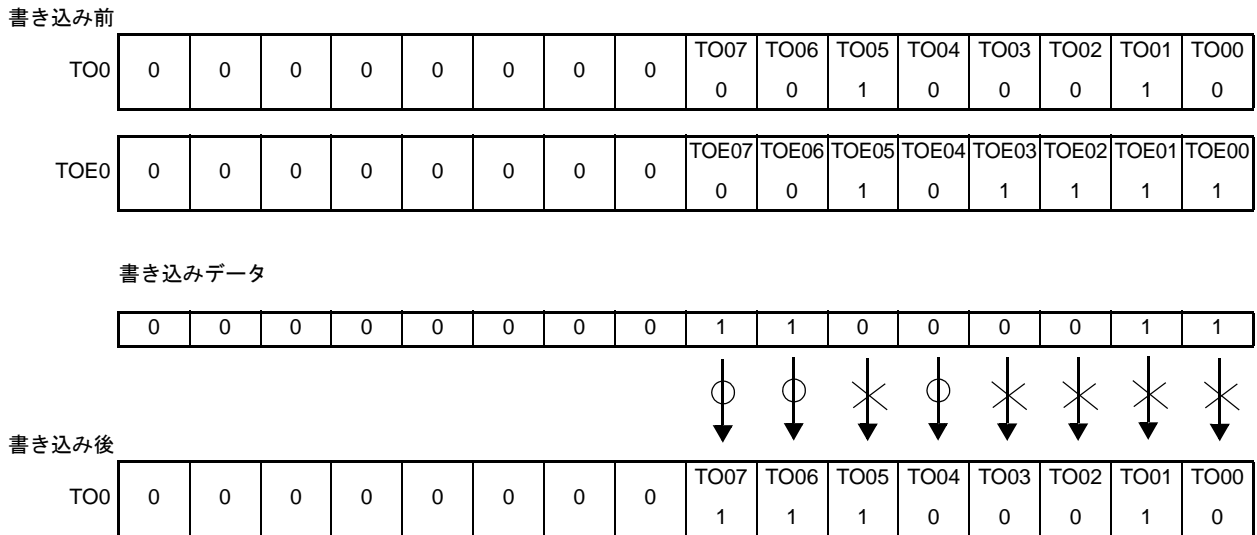
p : スレーブ・チャンネル番号

n < p ≤ 7

6.6.4 TOmnビットの一括操作

タイマ出力レジスタ m (TOm) には、タイマ・チャンネル開始レジスタ m (TSm) と同様に、1 レジスタに全チャンネル分の設定ビット (TOmn) が配置されています。よって、全チャンネルの TOmn ビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TOmn) のみ TOmn ビットへの書き込み可能 (TOEmn = 0) とすることによって任意のビットのみ操作することが可能です。

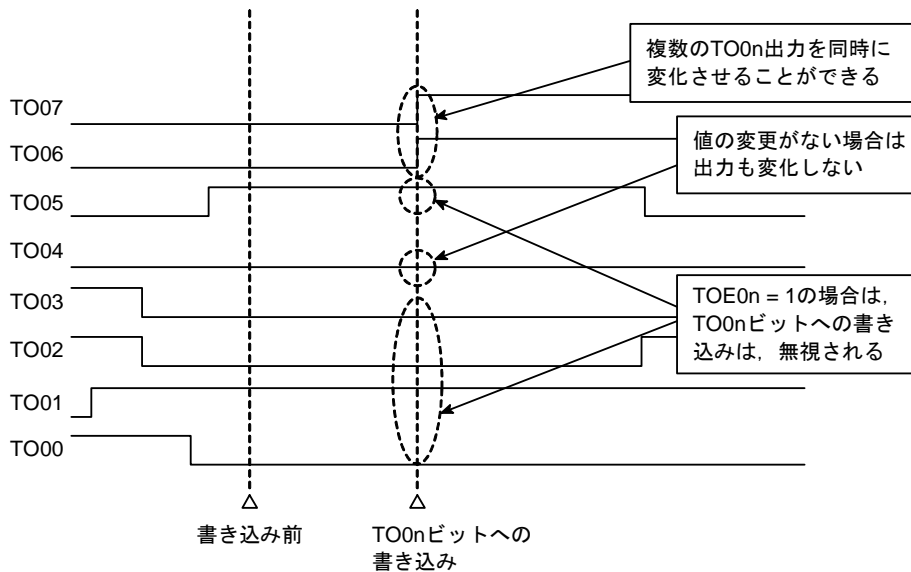
図6-41 TO0nビットの一括操作例



TOEmn = 0 の TOmn ビットのみ書き込みが行われます。TOEmn = 1 の TOmn ビットへの書き込みは無視されます。

TOEmn = 1 に設定されている TOmn (チャンネル出力) は、書き込み操作による影響は受けません。TOmn ビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6-42 TO0nビットの一括操作によるTO0nの端子状態



注意 タイマ出力許可状態 (TOEmn = 1) において、各チャンネルのタイマ割り込み (INTTMmn) による出力と TOmn ビットへの書き込みが競合しても、TOmn 端子は正常に出力動作が行われます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.6.5 カウント動作開始時のタイマ割り込みと TOmn 端子出力について

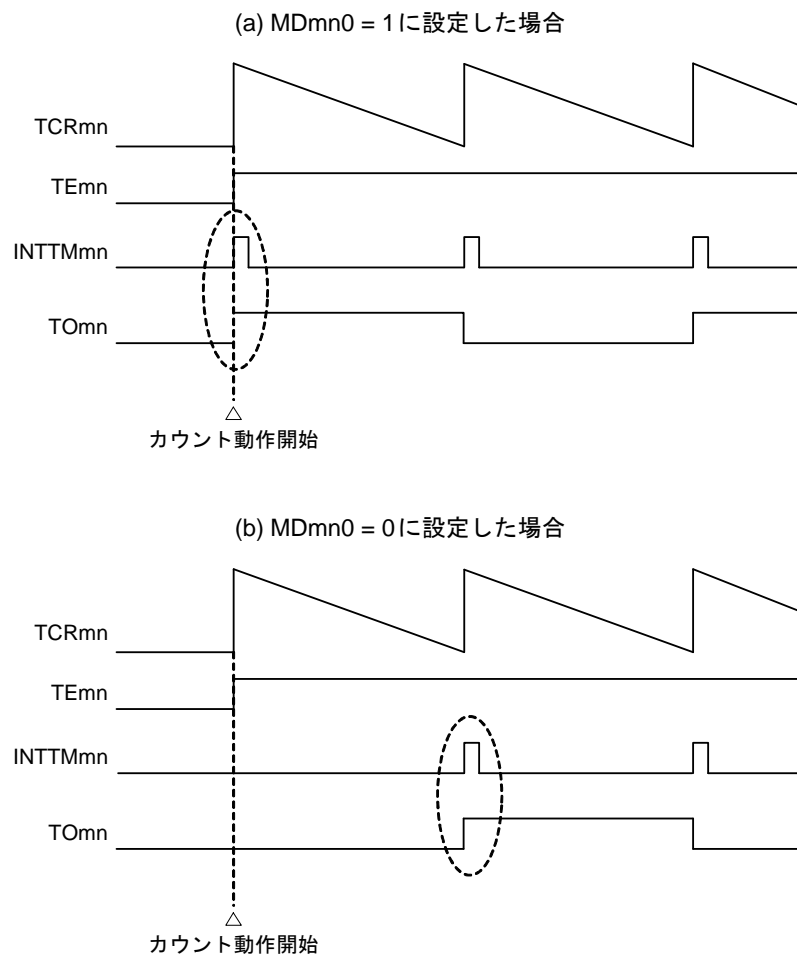
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図6-43 カウント動作開始時のタイマ割り込み、TOmn 出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOmn がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOmn も変化しません。1 周期をカウント後、INTTMmn を出力し、TOmn がトグル動作します。

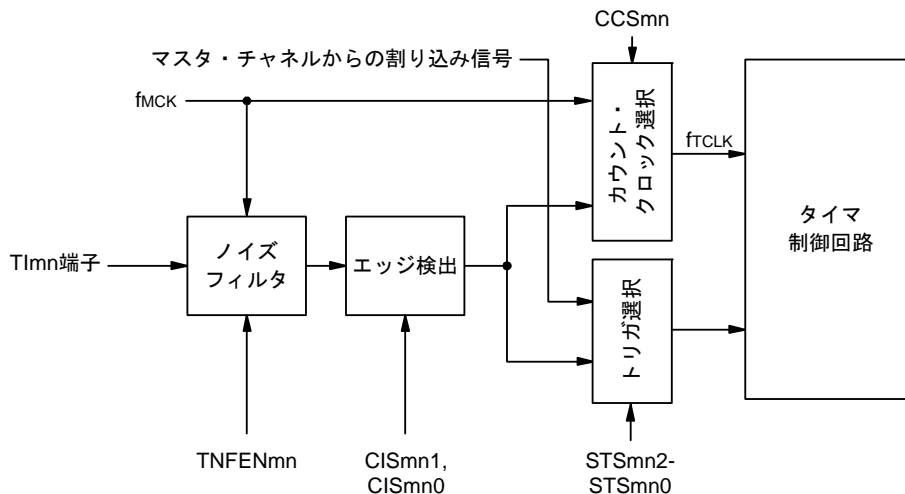
備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

6.7 タイマ入力(Tlmn)の制御

6.7.1 Tlmnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

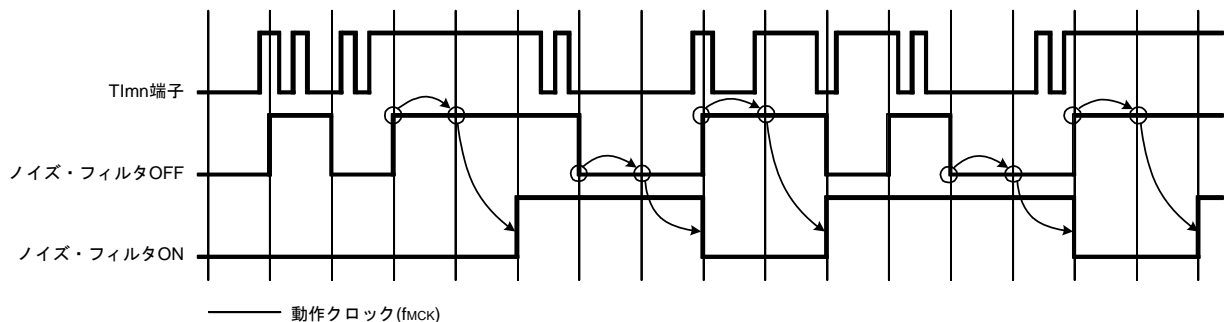
図6 - 44 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック (fMCK) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。以下に、Tlmn 入力端子に対するノイズ・フィルタ ON/OFF によるノイズ・フィルタ回路を通過後の波形を示します。

図6 - 45 Tlmn入力端子に対するノイズ・フィルタ ON/OFF によるサンプリング波形



注意 Tlmn 端子の入力波形は、ノイズ・フィルタ ON/OFF の動作を説明するためのものであり、実際は、38.4 または 39.4 AC 特性に示す Tlmn 入力ハイ・レベル幅、ロウ・レベル幅に従って入力してください。

6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFF の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSm) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ON の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSm) の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み) を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmn の設定値} + 1)$$

(2) 方形波出力としての動作

TOmn は、INTTMmn 発生と同時にトグル動作を行い、デューティ 50% の方形波を出力します。
TOmn 出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmn からの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmn の設定値} + 1) \times 2$$

$$\bullet \text{ TOmn からの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{ (\text{TDRmn の設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタ mn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSM) のチャネル・スタート・トリガ・ビット (TSMn, TSHm1, TSHm3) に 1 を設定後、最初のカウント・クロックで TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn) の MDmn0 = 0 ならば、INTTMmn を出力せず、TOmn はトグルしません。TMRmn レジスタの MDmn0 = 1 ならば、INTTMmn を出力して、TOmn をトグルします。

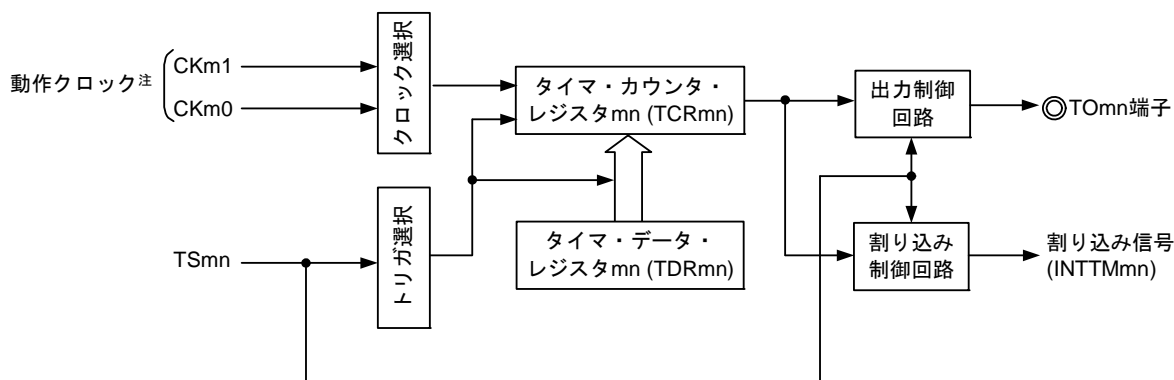
その後、TCRmn レジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000H となったら、次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また、同タイミングで再び TCRmn レジスタは TDRmn レジスタの値をロードします。以降、同様の動作を続けます。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

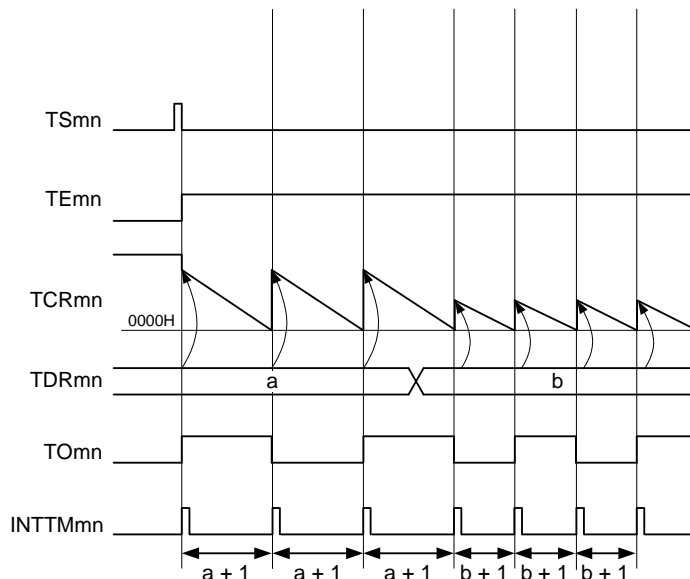
備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

図6-46 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-47 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MDmn0 = 1)



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSM) のビット n

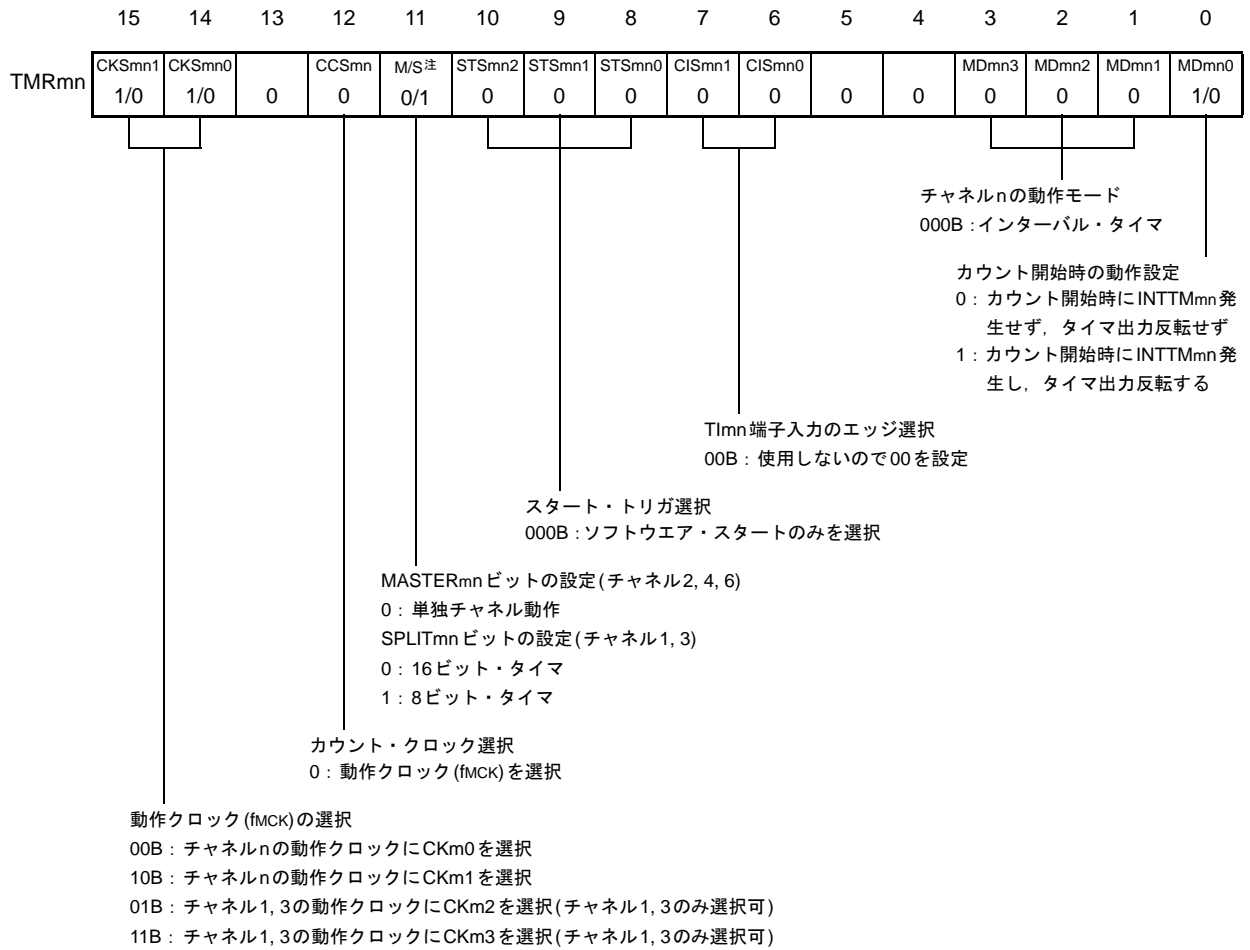
TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

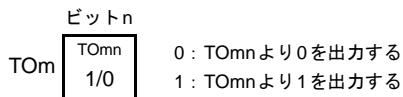
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

TOMn : TOMn 端子出力信号

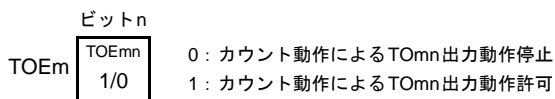
図6-48 インターバル・タイマ／方形波出力時のレジスタ設定内容例
 (a) タイマ・モード・レジスタ mn (TMRmn)



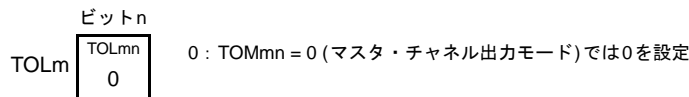
(b) タイマ出力レジスタ m (TOm)



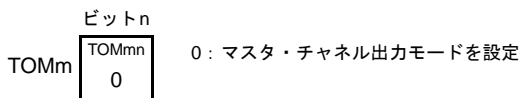
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



- 注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定
- 備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-49 インターバル・タイマ／方形波出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットに 1 を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル初期 設定	タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタ mn (TDRmn) にインターバル (周期) 値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TOmn 出力を使用する場合, タイマ出力モード・レジスタ m (TOMm) の TOMmn ビットに 0 (マスタ・チャンネル出力モード) を設定する TOLmn ビットに 0 を設定する TOmn ビットを設定し, TOmn 出力の初期レベルを確定する	TOmn 端子は Hi-Z 出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが 0 の場合は, TOmn 初期設定レベルが出力される。
	TOEmn ビットに 1 を設定し, TOmn の動作を許可 ポート・レジスタとポート・モード・レジスタに 0 を設定する	チャンネルは動作停止状態なので, TOmn は変化しない TOmn 端子は TOmn 設定レベルを出力
動作 開始	(TOmn 出力を使用する場合で, かつ動作再開時のみ TOEmn ビットに 1 を設定する) TSmn (TSHm1, TSHm3) ビットに 1 を設定する	TEmn (TEHm1, TEHm3) = 1 になり, カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードする。TMRmn レジスタの MDmn0 ビットが 1 の場合は, INTTMmn を発生し, TOmn もトグル動作する。
	TSmn (TSHm1, TSHm3) ビットはトリガ・ビットなので, 自動的に 0 に戻る	
動作中	TDRmn レジスタは, 任意に設定値変更が可能 TCRmn レジスタは, 常に読み出し可能 TSRmn レジスタは, 使用しない TOm, TOEm レジスタは, 設定値変更可能 TMRmn レジスタ, TOMmn, TOLmn ビットは, 設定値変更禁止	カウンタ (TCRmn) はダウン・カウント動作を行い, 0000H までカウントしたら, 再び TCRmn レジスタは TDRmn レジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H 検出で INTTMmn を発生し, TOmn はトグル動作する。以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1, TTHm3) ビットに 1 を設定する	TEmn (TEHm1, TEHm3) = 0 になり, カウント動作停止
	TTmn (TTHm1, TTHm3) ビットはトリガ・ビットなので, 自動的に 0 に戻る TOEmn ビットに 0 を設定し, TOmn ビットに値を設定する	TCRmn レジスタはカウント値を保持して停止 TOmn 出力は初期化されず, 状態保持 TOmn 端子は TOmn ビットに設定したレベルを出力

(備考は次ページにあります。)

図6 - 49 インターバル・タイマ／方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmn ビット に0を設定する	TOmn 端子出力レベルはポート機能により保持される。
	TOmn 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタのTAUmEN ビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.2 外部イベント・カウンタとしての動作

TImn 端子入力の有効エッジ検出(外部イベント)をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmn の設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn) はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSm) の任意のチャンネル・スタート・トリガ・ビット (TSmn, TSHm1, TSHm3) に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。

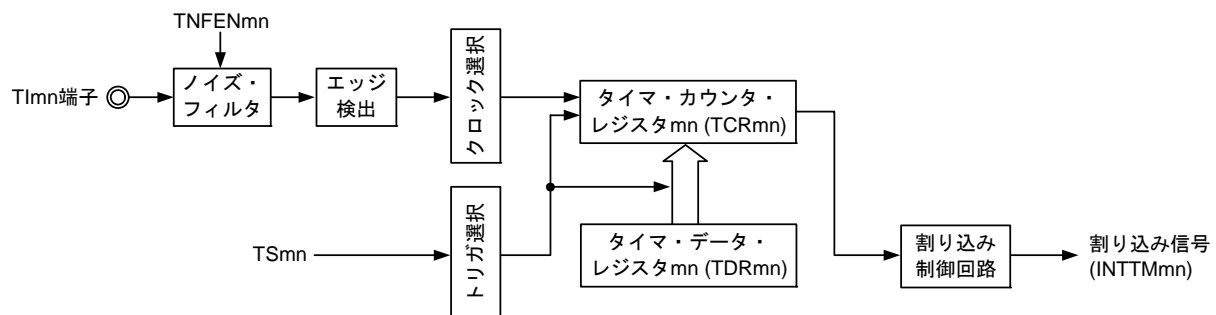
TCRmn レジスタは TImn 端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000H になったら、再び TDRmn レジスタの値をロードして、INTTMmn を出力します。

以降、同様の動作を続けます。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

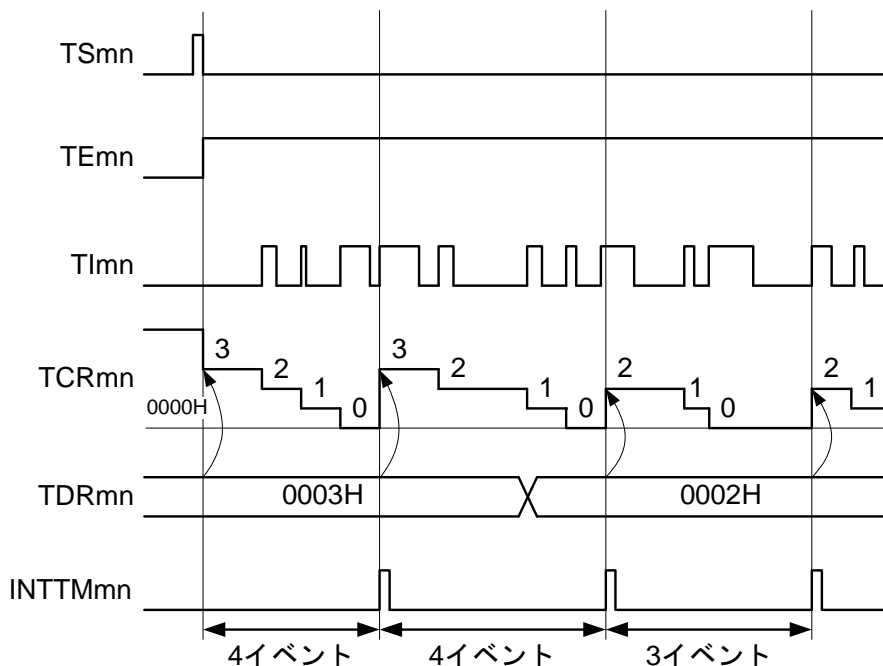
TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

図6 - 50 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-51 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

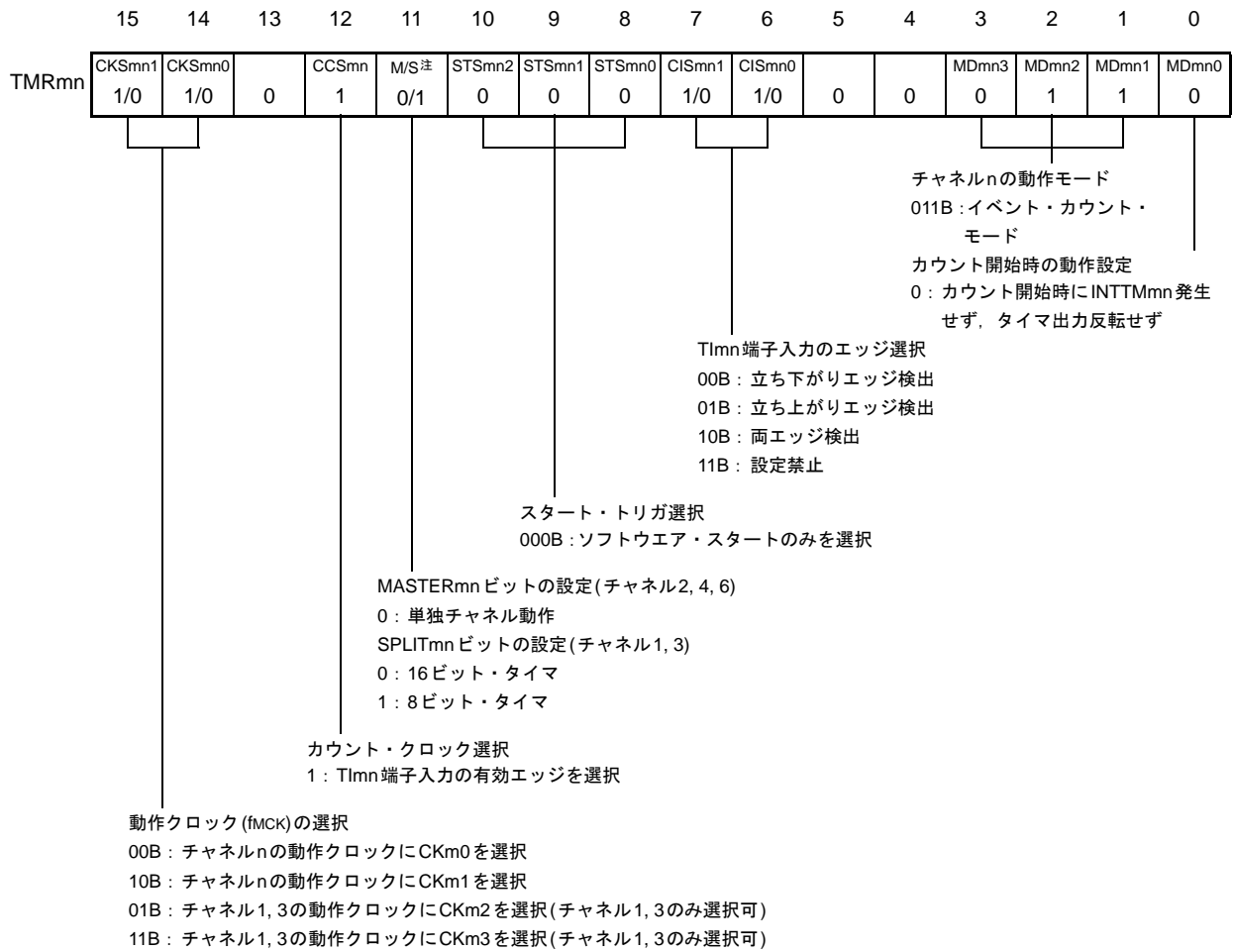
Tl mn : Tl mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

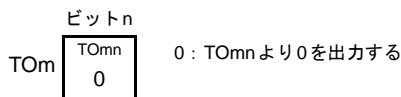
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6-52 外部イベント・カウンタ・モード時のレジスタ設定内容例

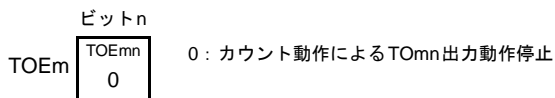
(a) タイマ・モード・レジスタ mn (TMRmn)



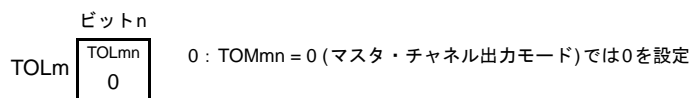
(b) タイマ出力レジスタ m (TOM)



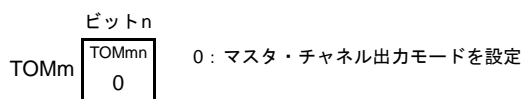
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6の場合: MASTERmnビット
TMRm1, TMRm3の場合: SPLITmnビット
TMRm0, TMRm5, TMRm7の場合: 0固定

備考 m: ユニット番号 (m = 0), n: チャンネル番号 (n = 0-7)

図6-53 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタ mn (TMRmn)を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタ mn (TDRmn)にカウント数を設定する タイマ出力許可レジスタ m (TOEm)のTOEmnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作再開	動作開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る
	動作中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止
	動作停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.3 入力パルス間隔測定としての動作

Tl_{mn} 有効エッジでカウント値をキャプチャし、Tl_{mn} 入力パルスの間隔を測定することができます。また、TE_{mn} = 1の期間中に、ソフトウェア操作(TS_{mn} = 1)をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tl}_{mn}\text{入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSR}_{mn}:\text{OVF}) + (\text{TDR}_{mn}\text{のキャプチャ値} + 1))$$

注意 Tl_{mn} 端子入力は、タイマ・モード・レジスタ mn (TMR_{mn}) のCKS_{mn} ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCR_{mn}) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}) に1を設定するとTCR_{mn} レジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

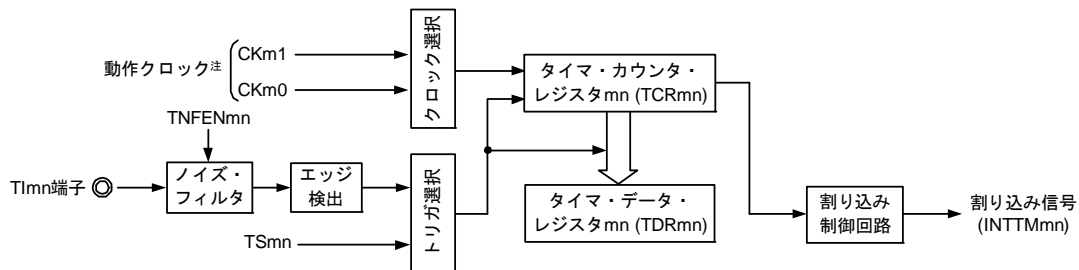
Tl_{mn} 端子入力の有効エッジを検出すると、TCR_{mn} レジスタのカウント値をタイマ・データ・レジスタ mn (TDR_{mn}) に転送(キャプチャ)すると同時に、TCR_{mn} レジスタを0000Hにクリアして、INTTM_{mn} を出力します。このとき、カウンタのオーバーフローが発生していたら、タイマ・ステータス・レジスタ mn (TSR_{mn}) のOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を継続します。

カウント値がTDR_{mn} レジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSR_{mn} レジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSR_{mn} レジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMR_{mn} レジスタのSTS_{mn}2-STS_{mn}0 = 001Bに設定して、Tl_{mn} 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

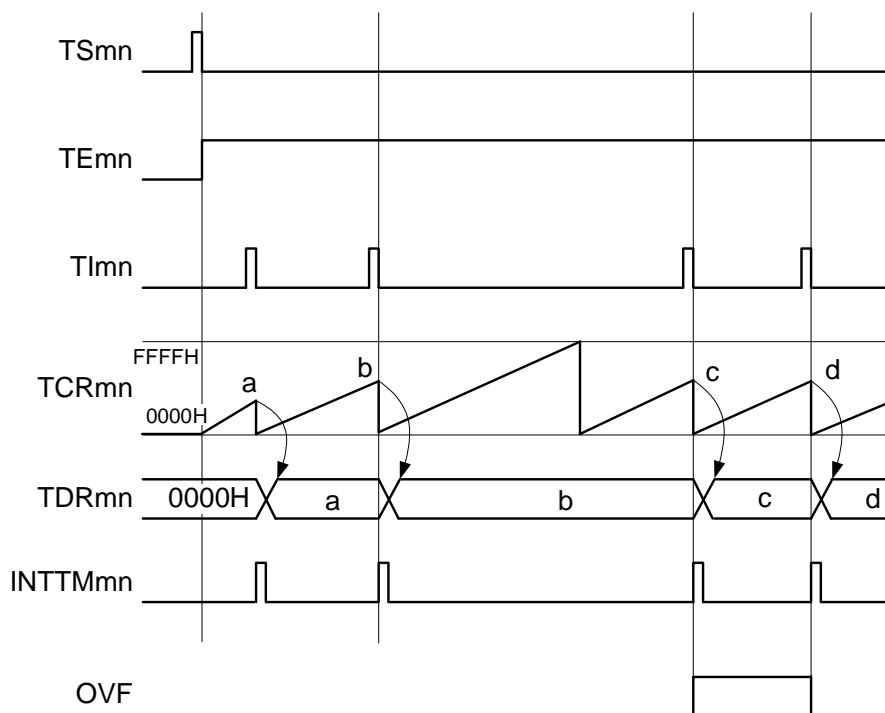
図6-54 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-55 入力パルス間隔測定としての動作の基本タイミング例(MDmn0 = 0)



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

TImn : TImn 端子入力信号

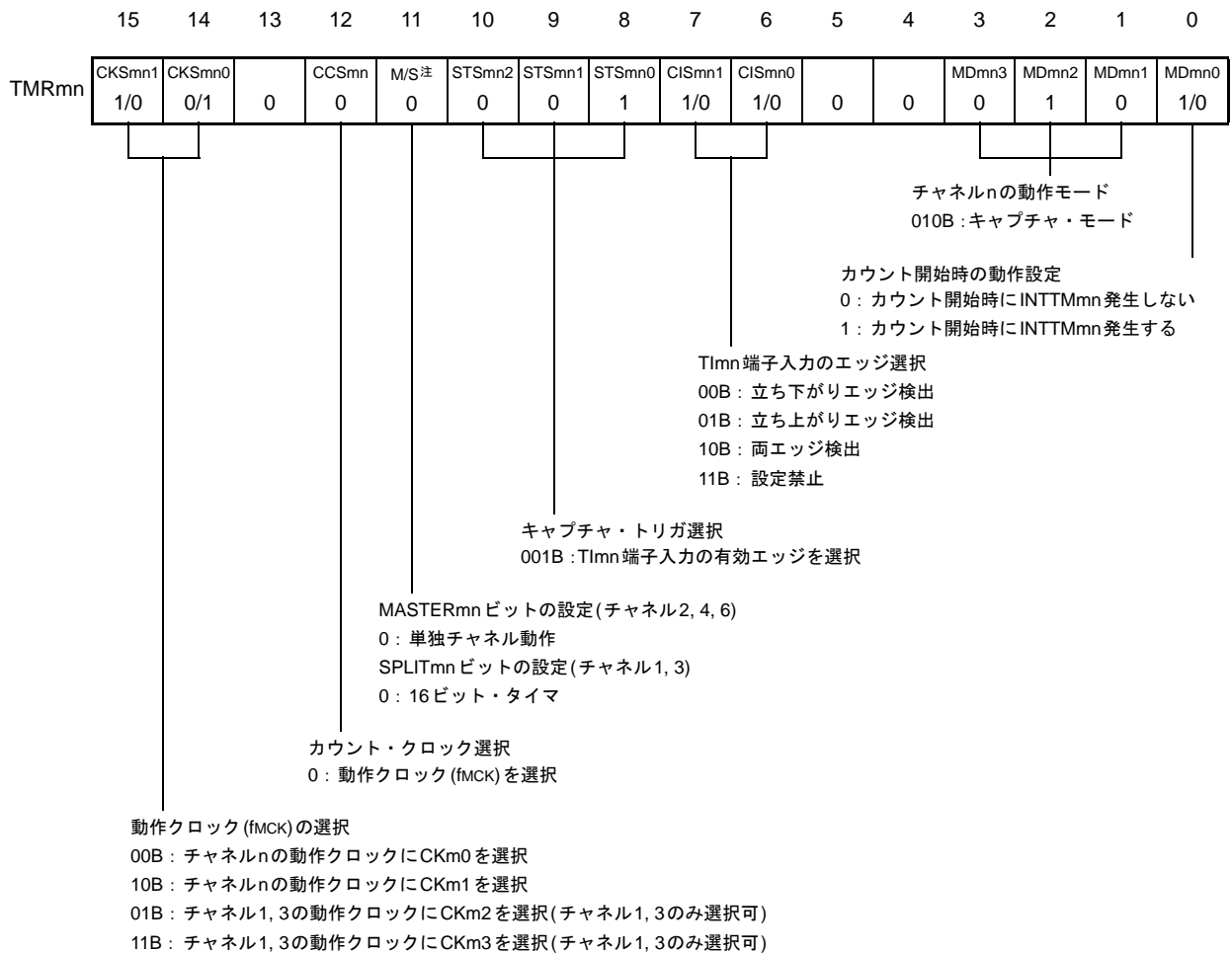
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

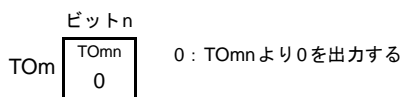
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図6-56 入力パルス間隔測定時のレジスタ設定内容例

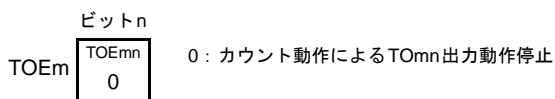
(a) タイマ・モード・レジスタ mn (TMRmn)



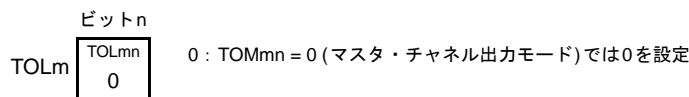
(b) タイマ出力レジスタ m (TOM)



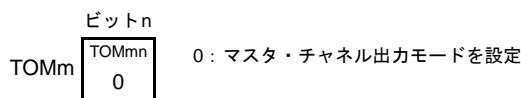
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmn ビット
TMRm1, TMRm3の場合 : SPLITmn ビット
TMRm0, TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-57 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	TSmn ビットに1を設定する TSmn ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1 になり, カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) を0000H にクリアする。TMRmn レジスタのMDmn0 ビットが1の場合は, INTTMmn を発生する。
	TMRmn レジスタは, CISmn1, CISmn0 ビットのみ設定値変更可能 TDRmn レジスタは, 常に読み出し可能 TCRmn レジスタは, 常に読み出し可能 TSRmn レジスタは, 常に読み出し可能 TOMmn, TOLmn, TOMn, TOEmn ビットは, 設定値変更禁止	カウンタ (TCRmn) は0000H からアップ・カウント動作を行い, TImn 端子入力の有効エッジの検出または, TSmn ビットに1を設定すると, カウント値をタイマ・データ・レジスタ mn (TDRmn) に転送 (キャプチャ) する。同時に, TCRmn レジスタを0000H にクリアし, INTTMmn を発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタ mn (TSRmn) のOVF ビットがセットされ, オーバフローが発生していなかったら OVF ビットがクリアされる。 以降, この動作を繰り返す。
	TTmn ビットに1を設定する TTmn ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0 になり, カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタのOVF ビットも保持
TAU 停止	PER0 レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.4 入力信号のハイ／ロウ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット1 (ISC1) を1に設定してください。また、以降の説明では「TImn」を「RxD0」と読み替えてください。

TImn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImn の信号幅 (ハイ・レベル幅／ロウ・レベル幅) を測定することができます。TImn の信号幅は次の式で求めることができます。

$$\text{TImn 入力信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn のキャプチャ値} + 1))$$

注意 TImn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ & ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に1を設定すると、TEmn = 1 となり TImn 端子のスタート・エッジ検出待ち状態となります。

TImn 端子入力のスタート・エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち上がりエッジ) を検出すると、カウント・クロックに合わせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn) に転送すると同時に INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、TImn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

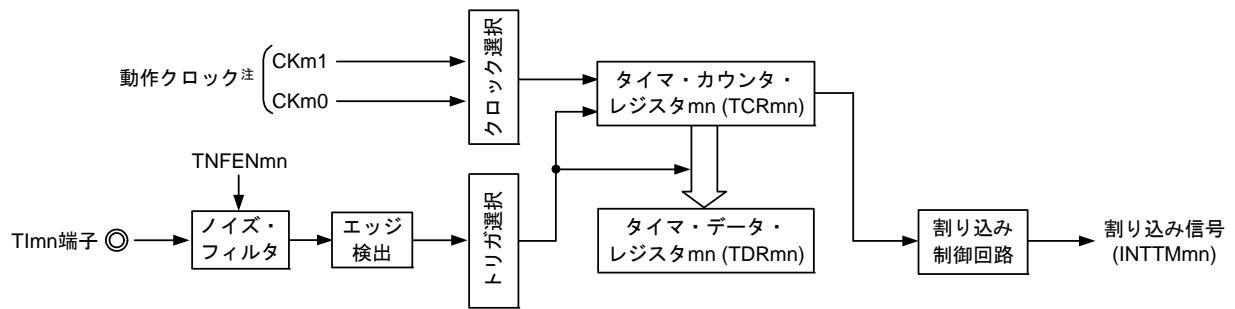
TImn 端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、TImn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSMn ビットのセット (1) は使用できません。

TMRmn レジスタの CISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

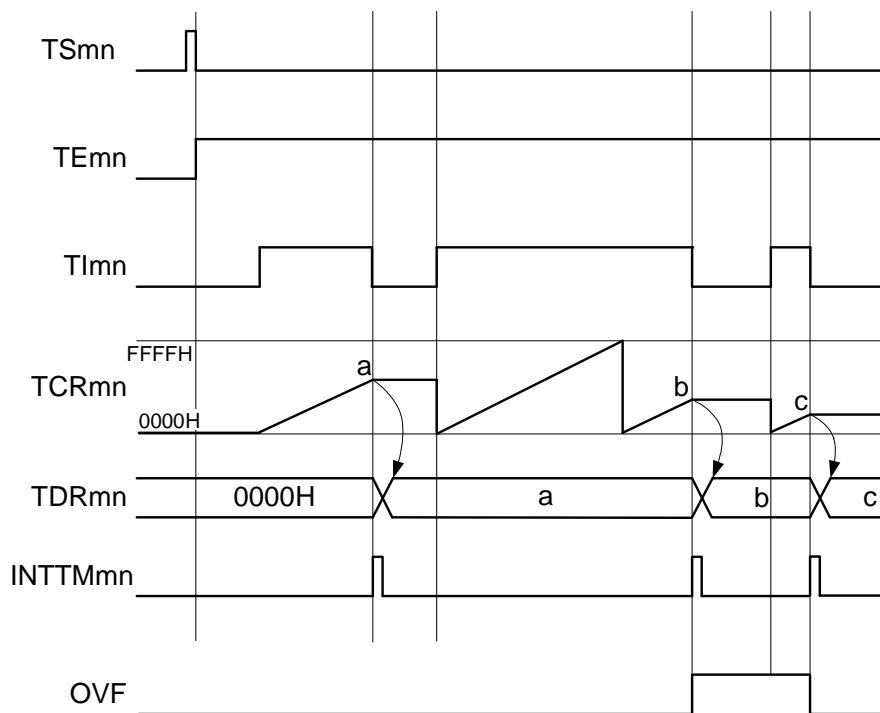
TMRmn レジスタの CISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図6-58 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-59 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TImn : TImn 端子入力信号

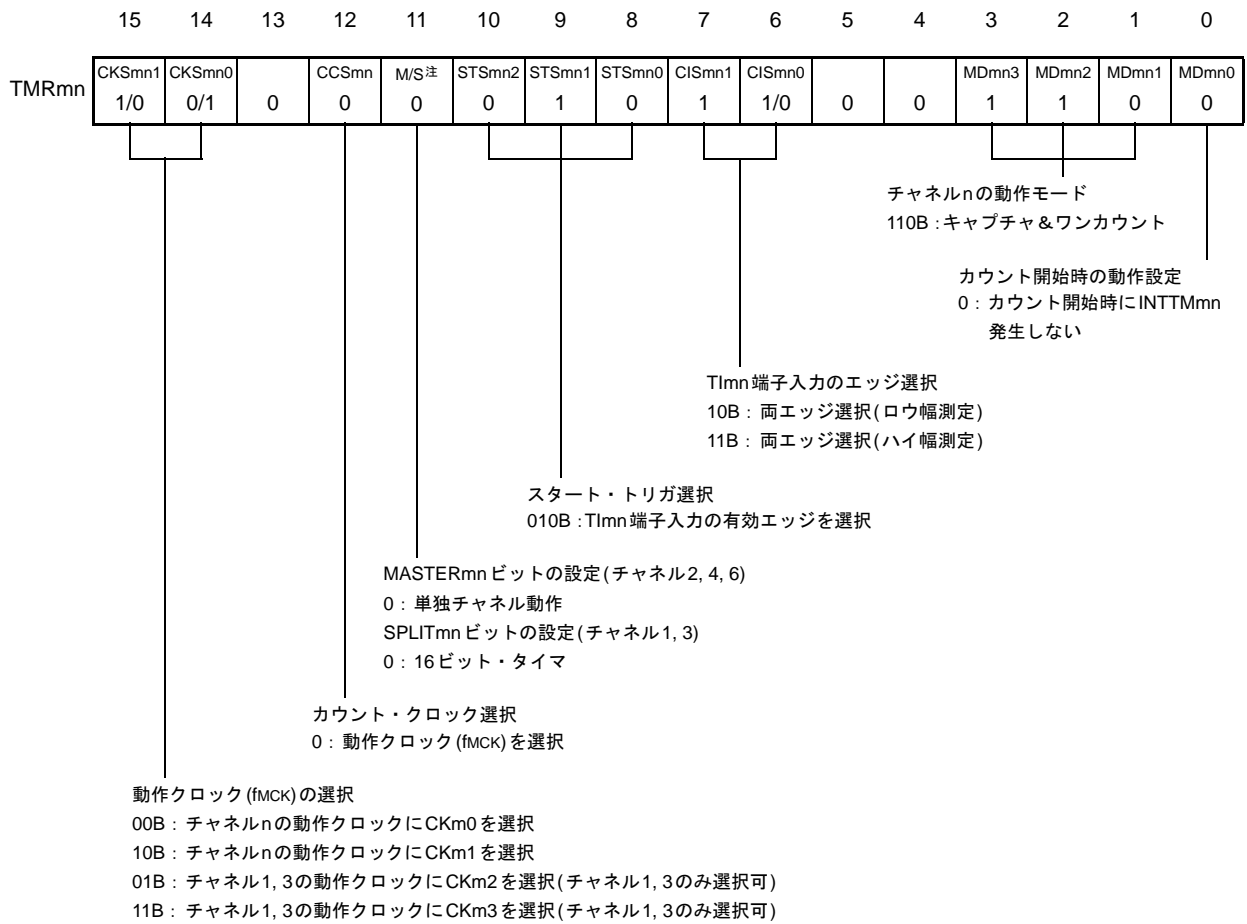
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

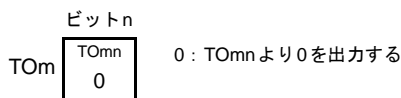
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図6-60 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

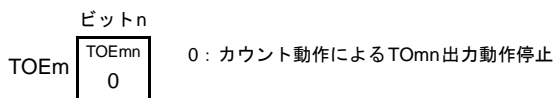
(a) タイマ・モード・レジスタ mn (TMRmn)



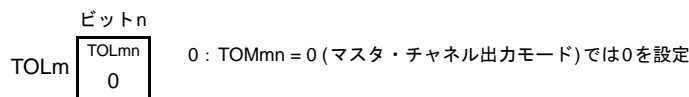
(b) タイマ出力レジスタ m (TOM)



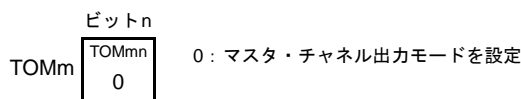
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmnビット

TMRm1, TMRm3の場合 : SPLITmnビット

TMRm0, TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-61 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタ mn (TMRmn)を設定する (チャンネルの動作モード確定) TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタ mn (TCRmn)を0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOmn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn)は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタ mn (TDRmn)に転送し, INTTmnnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタ mn (TSRmn)のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.5 デイレイ・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出 (外部イベント) でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することができます。

また、TE_{mn} = 1 の期間中に、ソフトウェア操作で TS_{mn} = 1 に設定することで、ダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

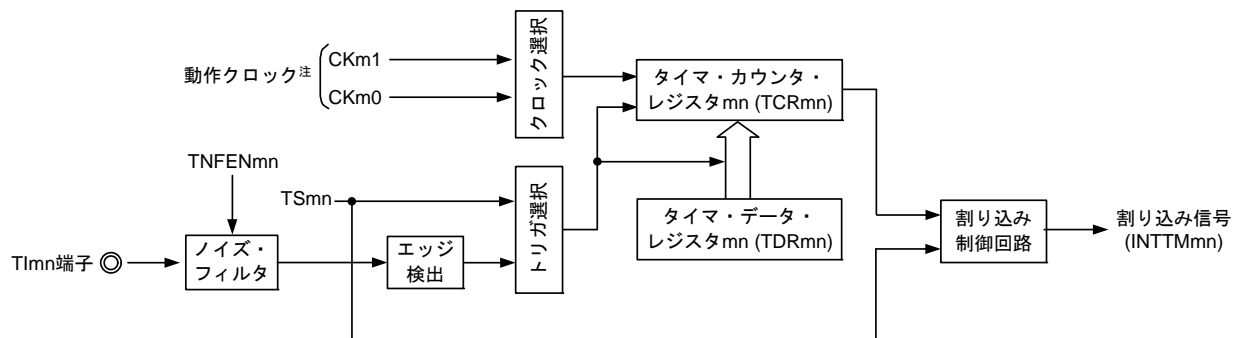
タイマ・カウンタ・レジスタ mn (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に 1 を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1 となり Tl_{mn} 端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、Tl_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ mn (TDR_{mn}) から値をロードします。TCR_{mn} レジスタはロードした TDR_{mn} レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000H となったら INTTM_{mn} を出力し、次の Tl_{mn} 端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えた TDR_{mn} レジスタの値は、次の周期から有効となります。

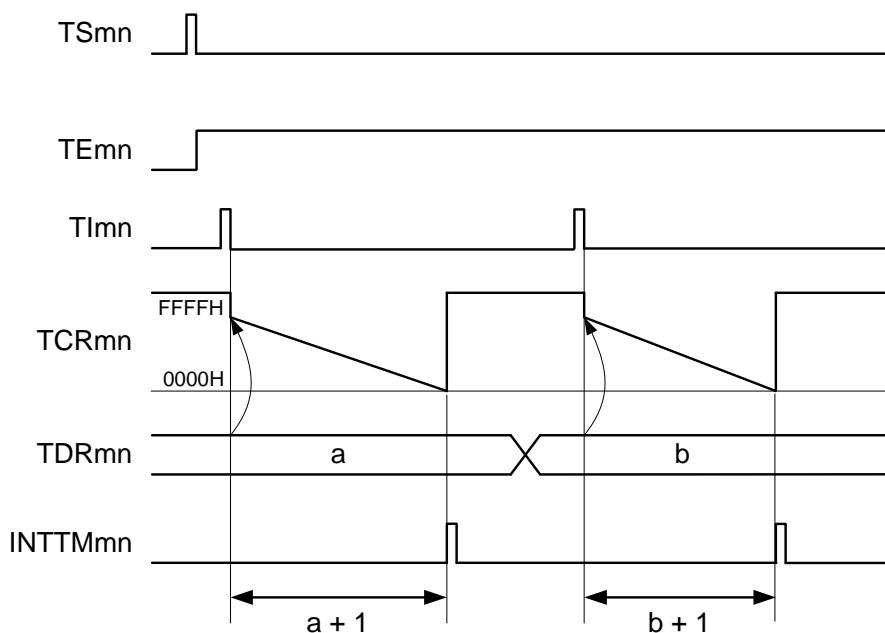
図 6-62 デイレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-63 デイレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

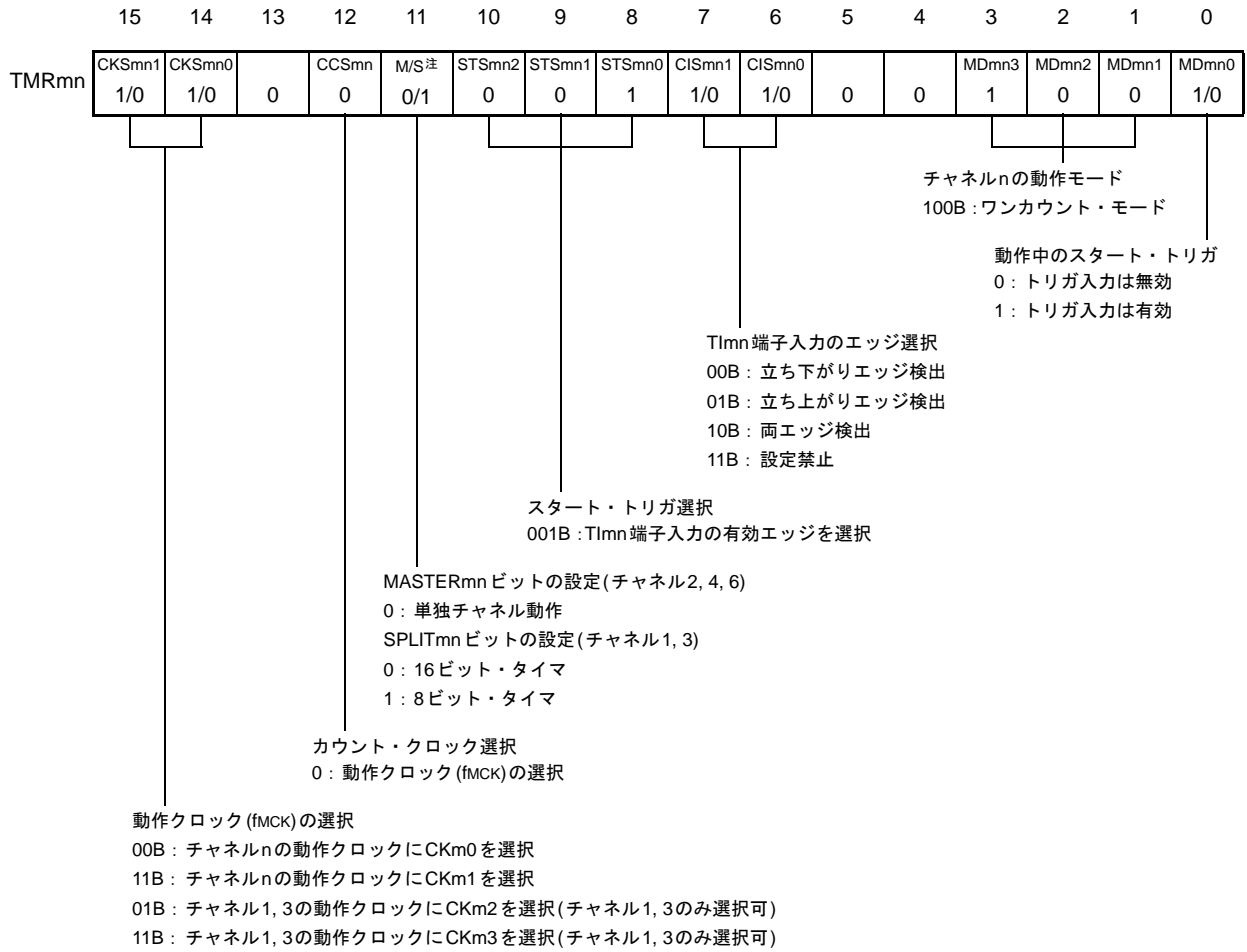
TI mn : TI mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

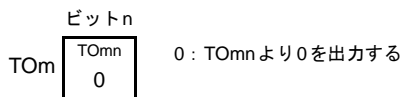
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6-64 ディレイ・カウンタ機能時のレジスタ設定内容例

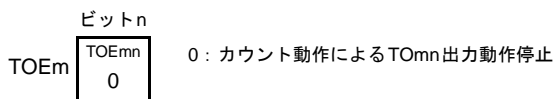
(a) タイマ・モード・レジスタ mn (TMRmn)



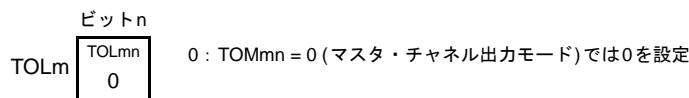
(b) タイマ出力レジスタ m (TOM)



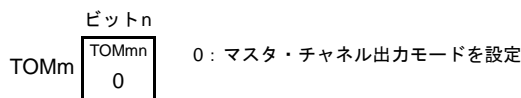
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-65 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタ mn (TMRmn)を設定する (チャンネルnの動作モード確定) タイマ・データ・レジスタ mn (TDRmn)に遅延時間を設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, スタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)待ち状態となる
	次のスタート・トリガ検出によって, ダウン・カウンタを開始します。 • TImn端子入力の有効エッジ検出 • ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタ mn (TCRmn)はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ (TCRmn)はダウン・カウント動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000H になったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

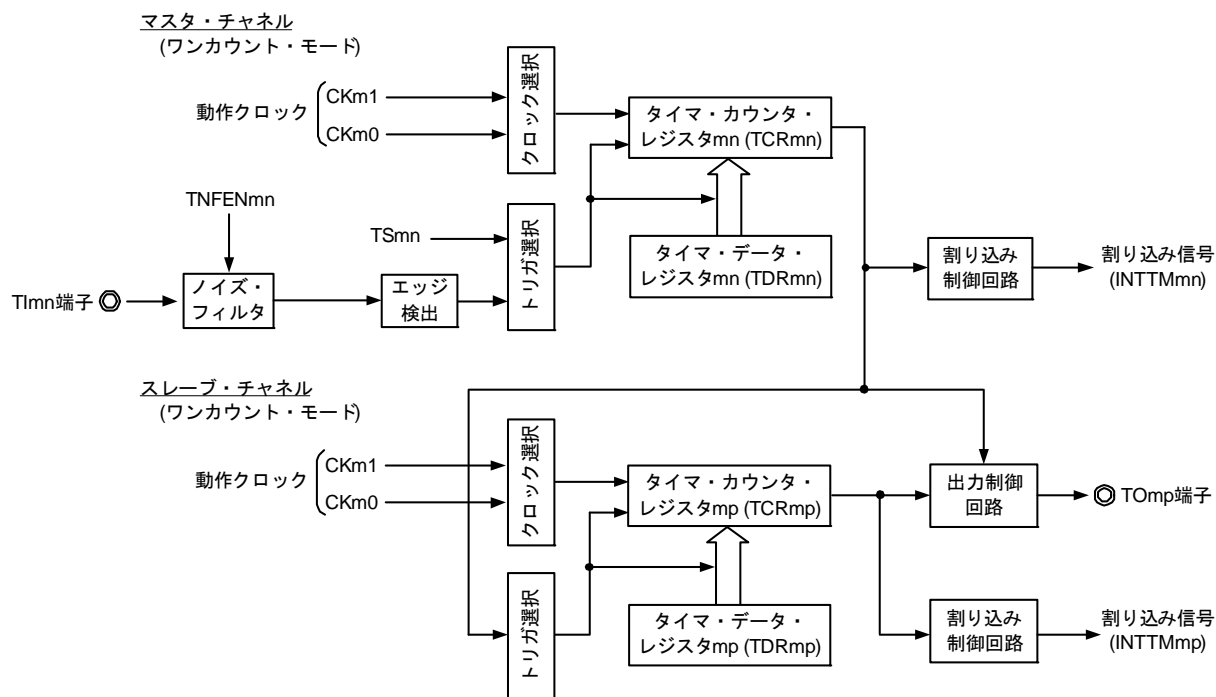
スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000H になったら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn 端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルの TDRmn レジスタとスレーブ・チャネルの TDRmp レジスタでは、ロード・タイミングが異なるため、カウント動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると、ロード・タイミングと競合して不正波形が出力される場合があります。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

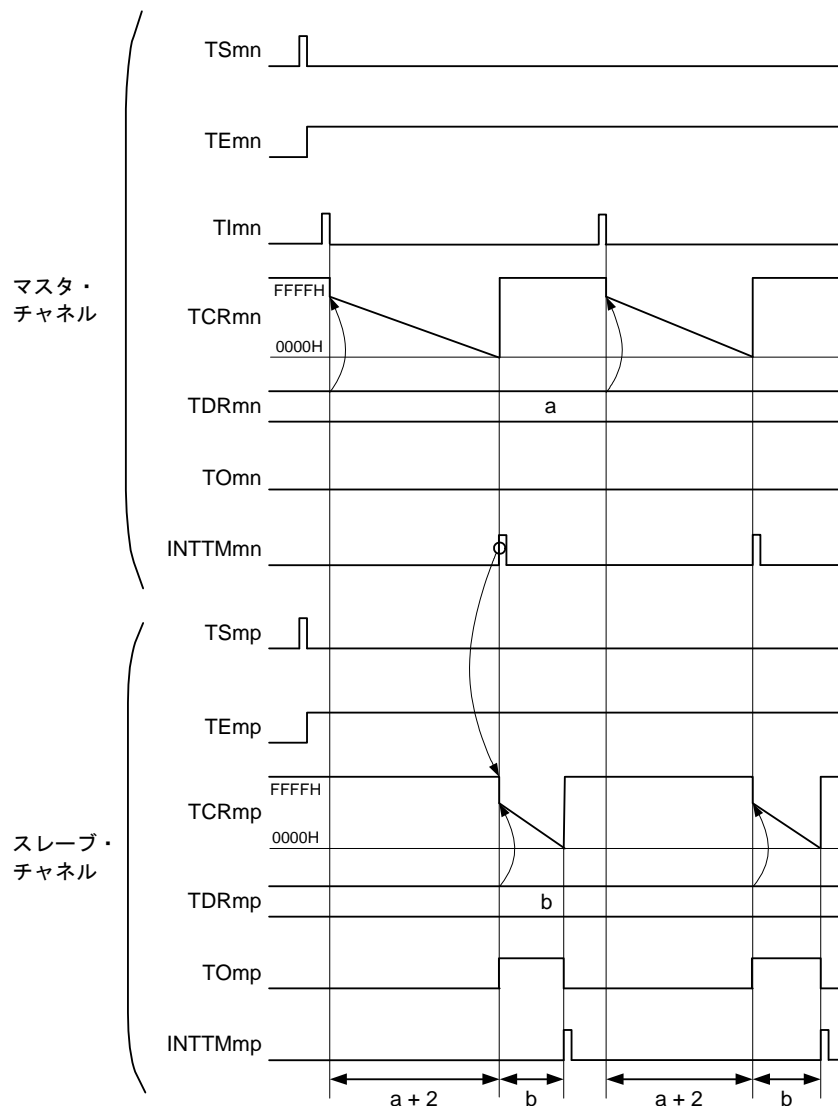
備考 m : ユニット番号 (m = 0), n : マスタ・チャネル番号 (n = 0, 2, 4, 6)
p : スレーブ・チャネル番号 (n < p ≤ 7)

図6-66 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 ($m = 0$), n : マスタ・チャンネル番号 ($n = 0, 2, 4, 6$)
 p : スレーブ・チャンネル番号 ($n < p \leq 7$)

図6-67 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSM) のビット n, p

TEmn, TEmpp : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n, p

TImn, TImp : TImn, TImp 端子入力信号

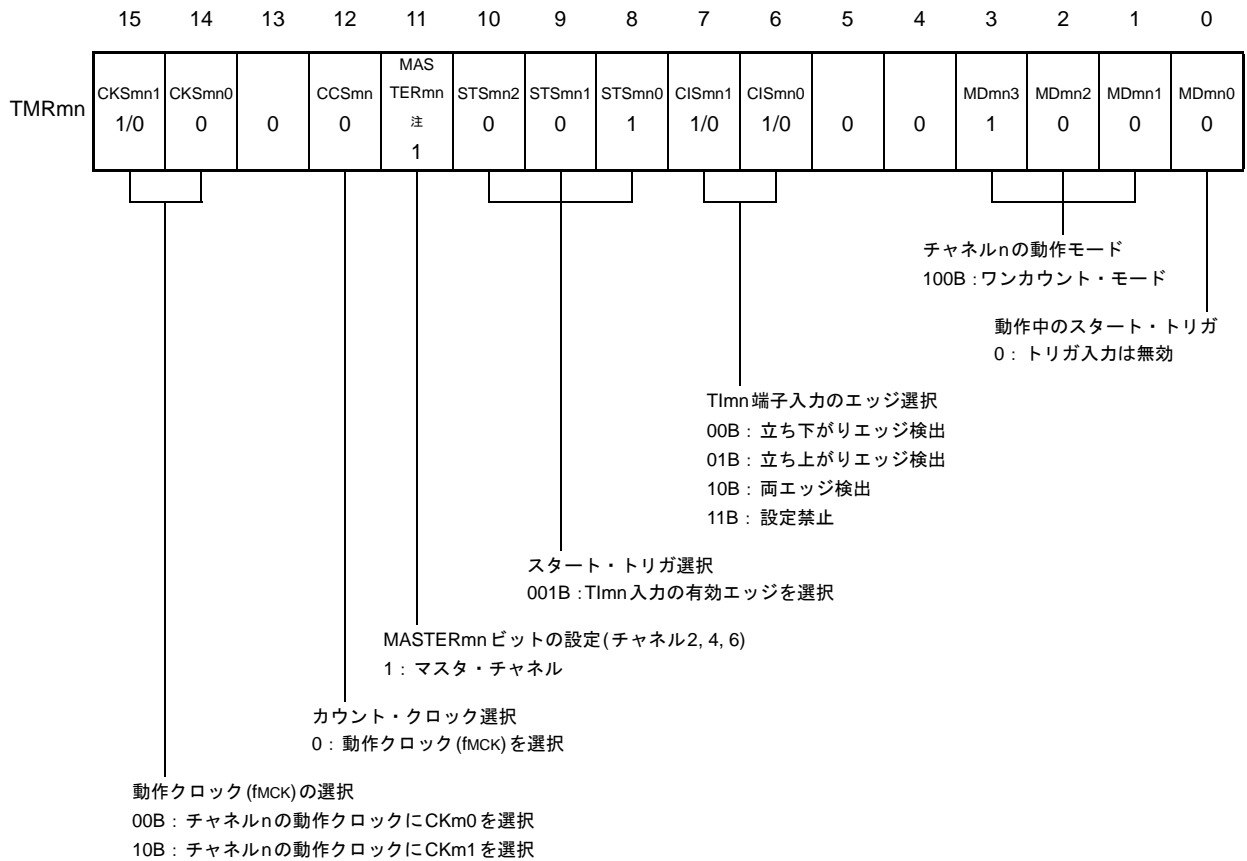
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

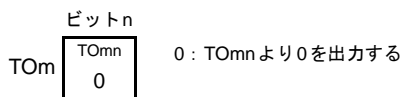
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6-68 ワンショット・パルス出力機能時(マスタ・チャンネル)のレジスタ設定内容例

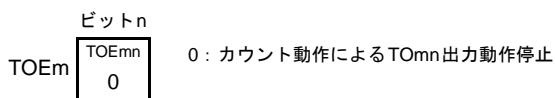
(a) タイマ・モード・レジスタ mn (TMRmn)



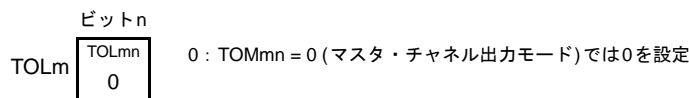
(b) タイマ出力レジスタ m (TOm)



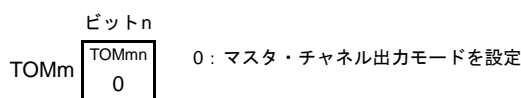
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

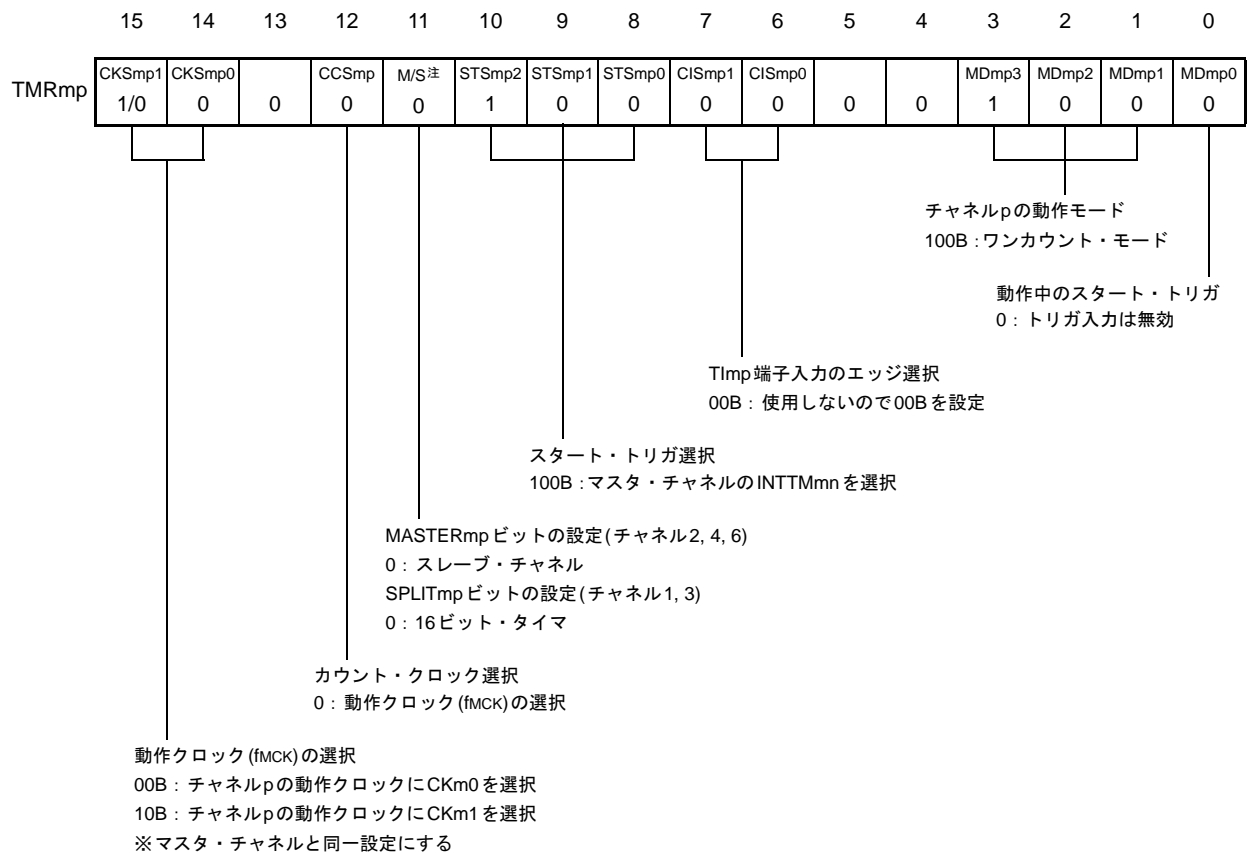


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

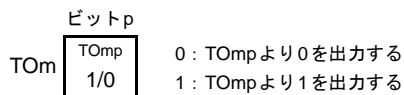
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図6-69 ワンショット・パルス出力機能時(スレーブ・チャンネル)のレジスタ設定内容例

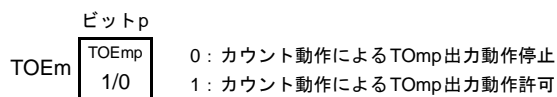
(a) タイマ・モード・レジスタ mp (TMRmp)



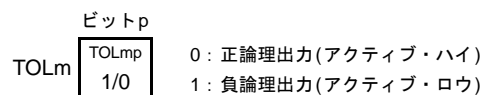
(b) タイマ出力レジスタ m (TOM)



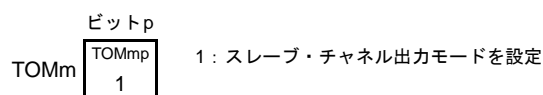
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmp ビット

TMRm1, TMRm3の場合 : SPLITmp ビット

TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-70 ワンショット・パルス出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応する ビットに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モー ド確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)に出力遅延時間, スレーブ・チャンネルの TDRmpレジスタにパルス幅を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp ビットに1(スレーブ・チャンネル出力モード)を設定 する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを 確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0 を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レ ジスタが0の場合は, TOmp初期設定レベルが出力され る。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります。)

図6-70 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開	動作開始	<p>TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ)</p> <p>タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSm_p (スレーブ)ビットに同時に1を設定する</p> <p>TSmn, TSm_pビットはトリガ・ビットなので、自動的に0に戻る</p> <p>マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。</p> <ul style="list-style-type: none"> • TImn端子入力の有効エッジ検出 • ソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定 <p>注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください</p>	<p>TEmn = 1, TEmp = 1となり、マスタ・チャンネルはスタート・トリガ検出(TImn端子入力の有効エッジの検出、または、マスタ・チャンネルの TSmn ビットに1を設定)待ち状態となる</p> <p>カウンタはまだ停止状態のまま</p> <p>マスタ・チャンネルがカウンタ動作開始</p>
	動作中	<p>TMRmnレジスタは、CISmn1, CISmn0ビットのみ設定値変更可能</p> <p>TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは、設定値変更禁止</p> <p>TCRmn, TCRmp レジスタは、常に読み出し可能</p> <p>TSRmn, TSRmp レジスタは、使用しない</p> <p>スレーブチャンネルの TOm, TOEm レジスタは、設定値変更可能</p>	<p>マスタ・チャンネルでは、スタート・トリガ検出(TImn端子入力の有効エッジの検出または、マスタ・チャンネルの TSmn ビットに1を設定)により、タイマ・カウンタ・レジスタ mn (TCRmn)は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。</p> <p>TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し、次のスタート・トリガ検出までカウンタ動作を停止する。</p> <p>スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。</p> <p>以降、この動作を繰り返す。</p>
	動作停止	<p>TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する</p> <p>TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る</p> <p>スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する</p>	<p>TEmn, TEmp = 0になり、カウンタ動作停止</p> <p>TCRmn, TCRmp レジスタはカウンタ値を保持して停止</p> <p>TOmp出力は初期化されず、状態保持</p> <p>TOmp端子はTOmp設定レベルを出力</p>
	TAU停止	<p>TOmp端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する</p> <p>TOmp端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <p>PER0レジスタのTAUmENビットに0を設定する</p>	<p>TOmp端子出力レベルはポート機能により保持される。</p> <p>パワーオフ状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)</p>

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

6.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。
出力パルスの周期、デューティは次の式で求めることができます。

<p>パルス周期 = {TDRmn (マスタ)の設定値 + 1} × カウント・クロック周期</p> <p>デューティ [%] = {TDRmp (スレーブ)の設定値} / {TDRmn (マスタ)の設定値 + 1} × 100</p> <p>0%出力 : TDRmp (スレーブ)の設定値 = 0000H</p> <p>100%出力 : TDRmp (スレーブ)の設定値 ≥ {TDRmn (マスタ)の設定値 + 1}</p>
--

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ)の設定値 + 1} の場合は、デューティ値が100%を越えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSm)のチャンネル・スタート・トリガ・ビット(TSmn)に1を設定すると、割り込み(INTTMmn)を出力して、タイマ・データ・レジスタ mn (TDRmn)に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn)にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm)のチャンネル・ストップ・トリガ・ビット(TTmn)に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ(マスタ・チャンネルからのINTTMmn)が来るまで待機します。

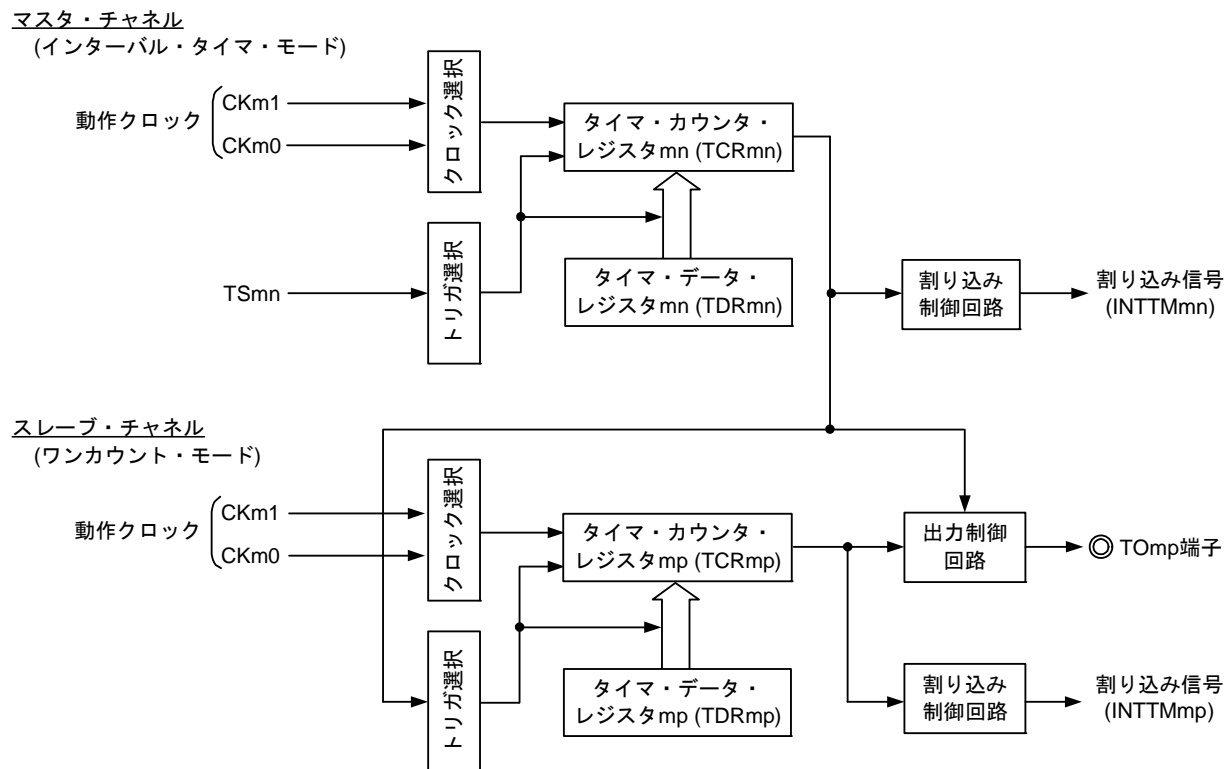
PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)のデューティとなります。

PWM出力(TOmp)は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

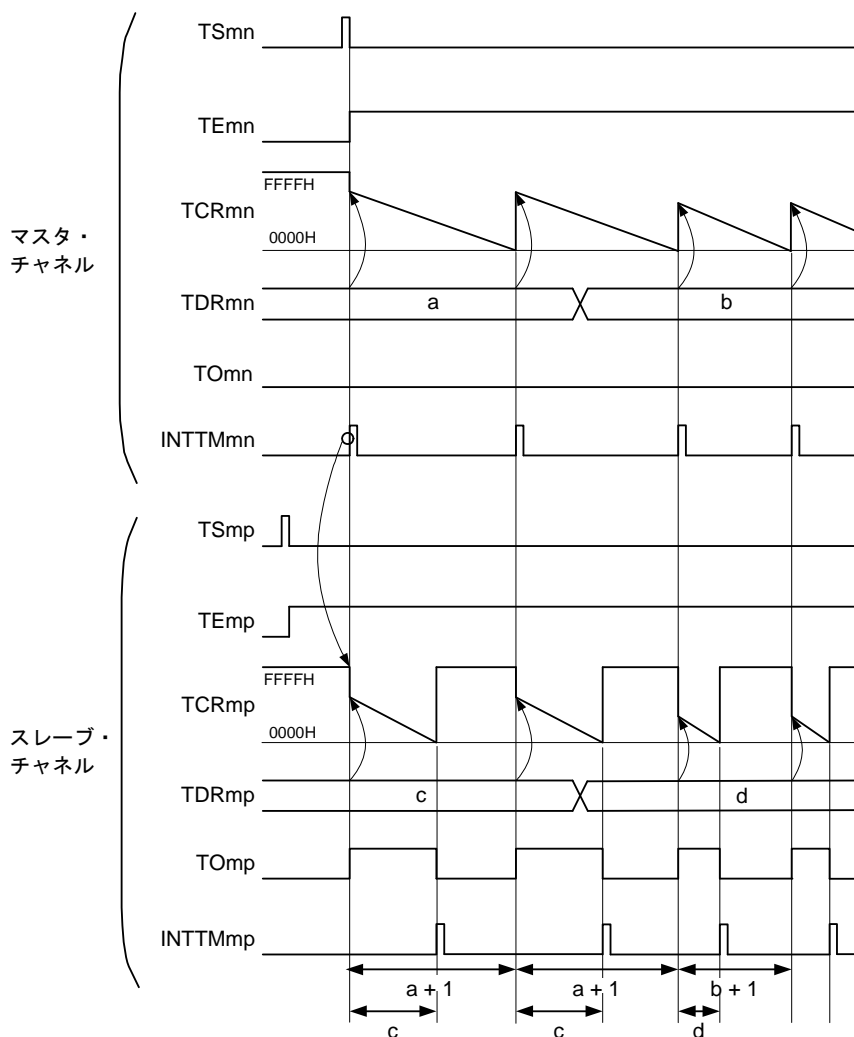
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-71 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-72 PWM機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TE mp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

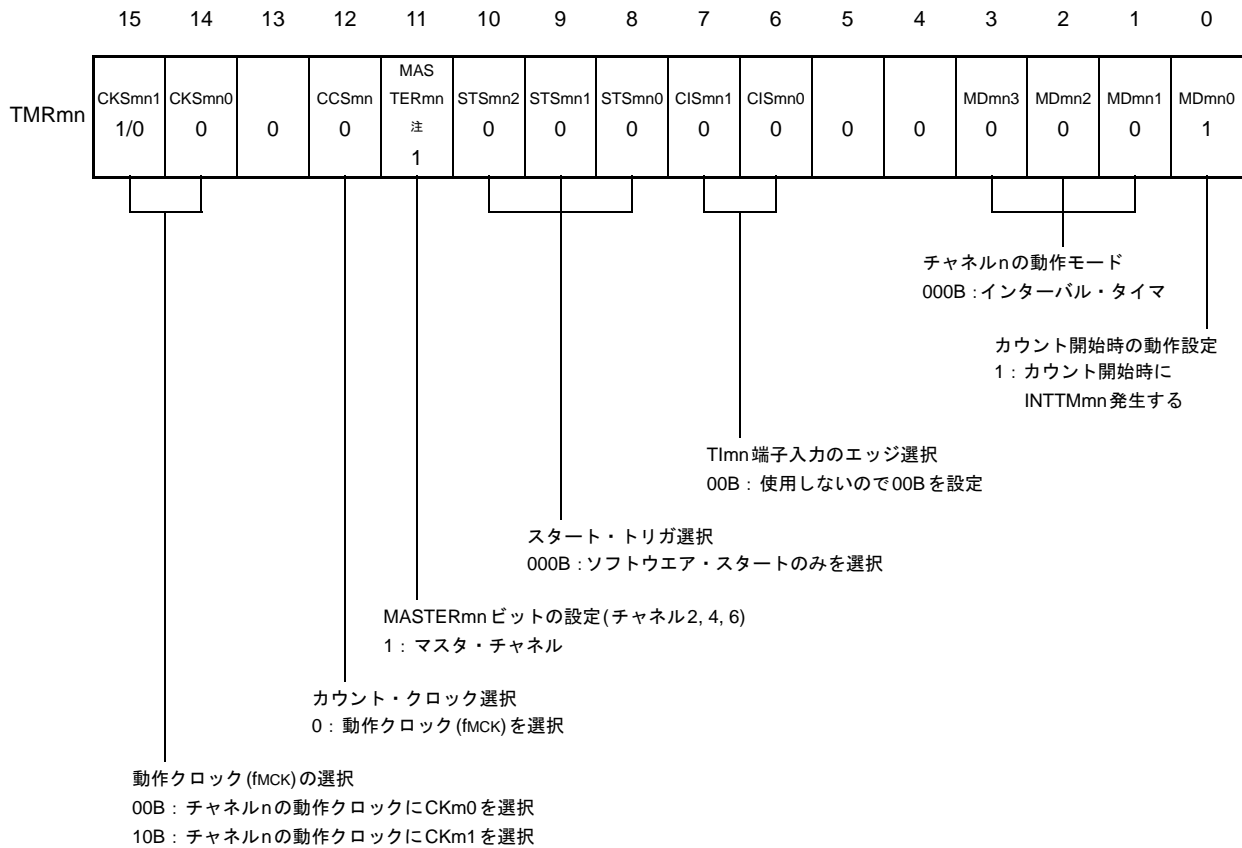
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

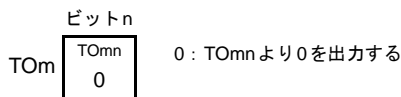
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6-73 PWM機能時(マスタ・チャンネル)のレジスタ設定内容例

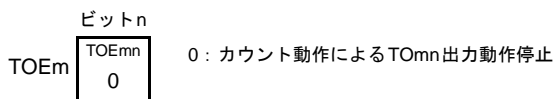
(a) タイマ・モード・レジスタ mn (TMRmn)



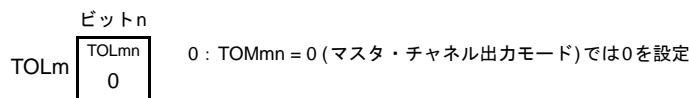
(b) タイマ出力レジスタ m (TOM)



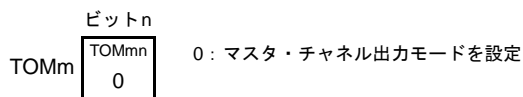
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

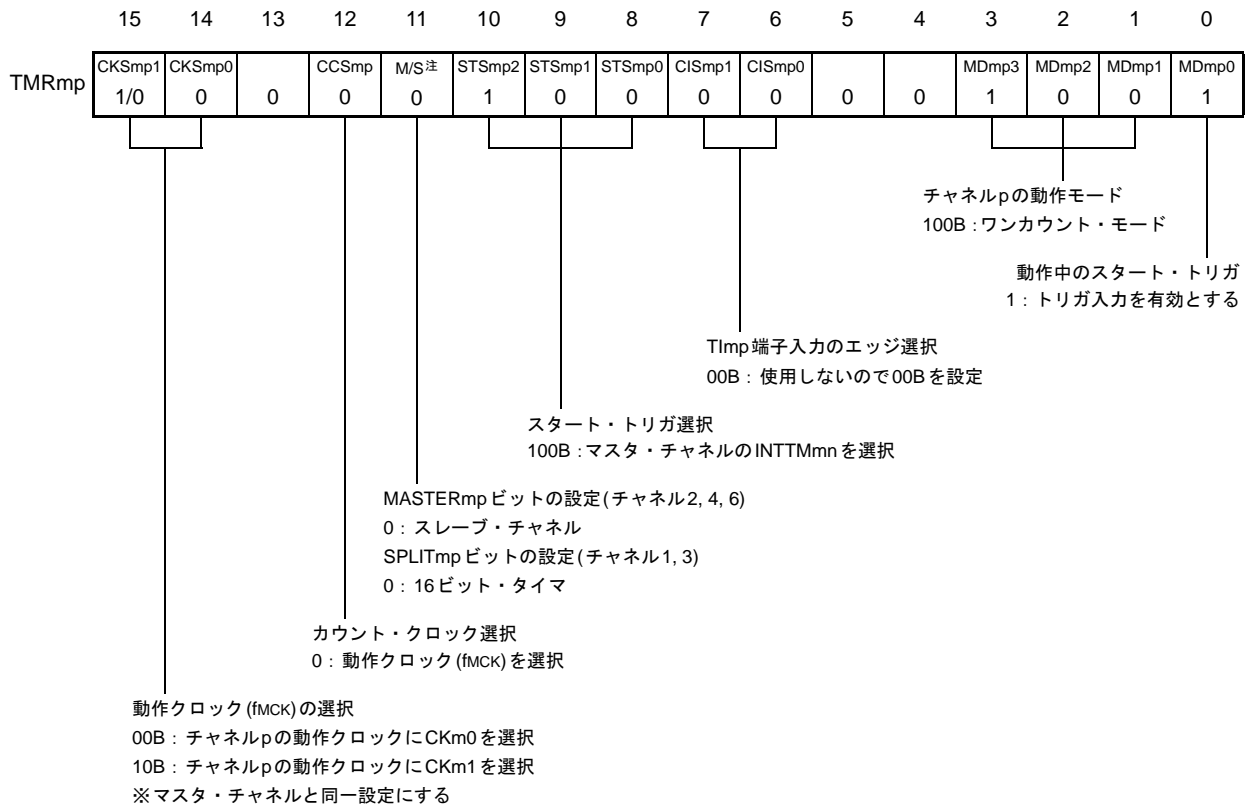


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

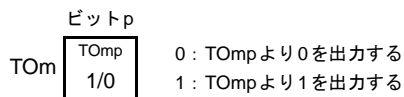
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図6 - 74 PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例

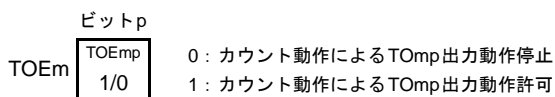
(a) タイマ・モード・レジスタ mp (TMRmp)



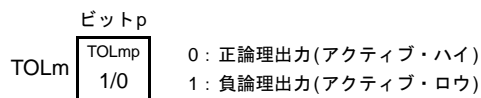
(b) タイマ出力レジスタ m (TOm)



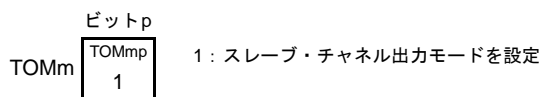
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット

TMRm1, TMRm3の場合 : SPLITmpビット

TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6 - 75 PWM機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する タイマ・クロック選択レジスタ m (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのタイマ・モード・レジスタ mn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モー ド確定) マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)にインターバル(周期)値, スレーブ・チャネ ルのTDRmpレジスタにデューティ値を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタ m (TOMm)のTOMmp ビットに1(スレーブ・チャンネル出力モード)を設定 する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを 確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を 設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レ ジスタが0の場合は, TOmp初期設定レベルが出力され る。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります。)

図6-75 PWM機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmp レジスタはTDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmp ビットに0を設定し、TOmp ビットに値を設定する	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持 TOmp端子はTOmp設定レベルを出力
	TAU停止 TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。 パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

6.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1 [\%]} &= \{\text{TDRmp (スレーブ1)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ \text{デューティ 2 [\%]} &= \{\text{TDRmq (スレーブ2)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合
または TDRmq (スレーブ2)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合は、
デューティ値が100%を越えますが、集約して100%出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000H となったら、INTTMmpを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H となったらインアクティブ・レベルとなります。

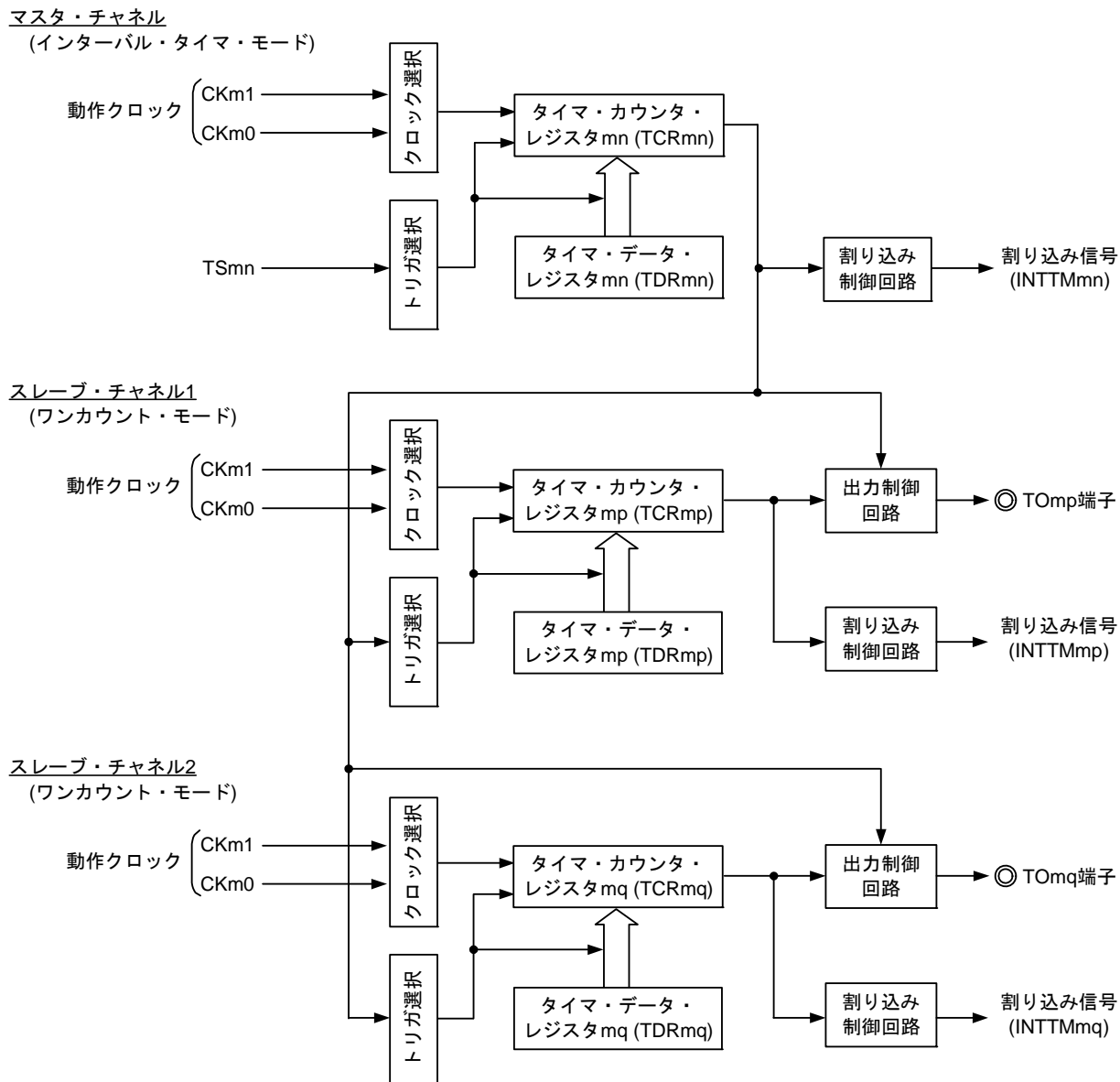
スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000H となったら、INTTMmqを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000H となったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

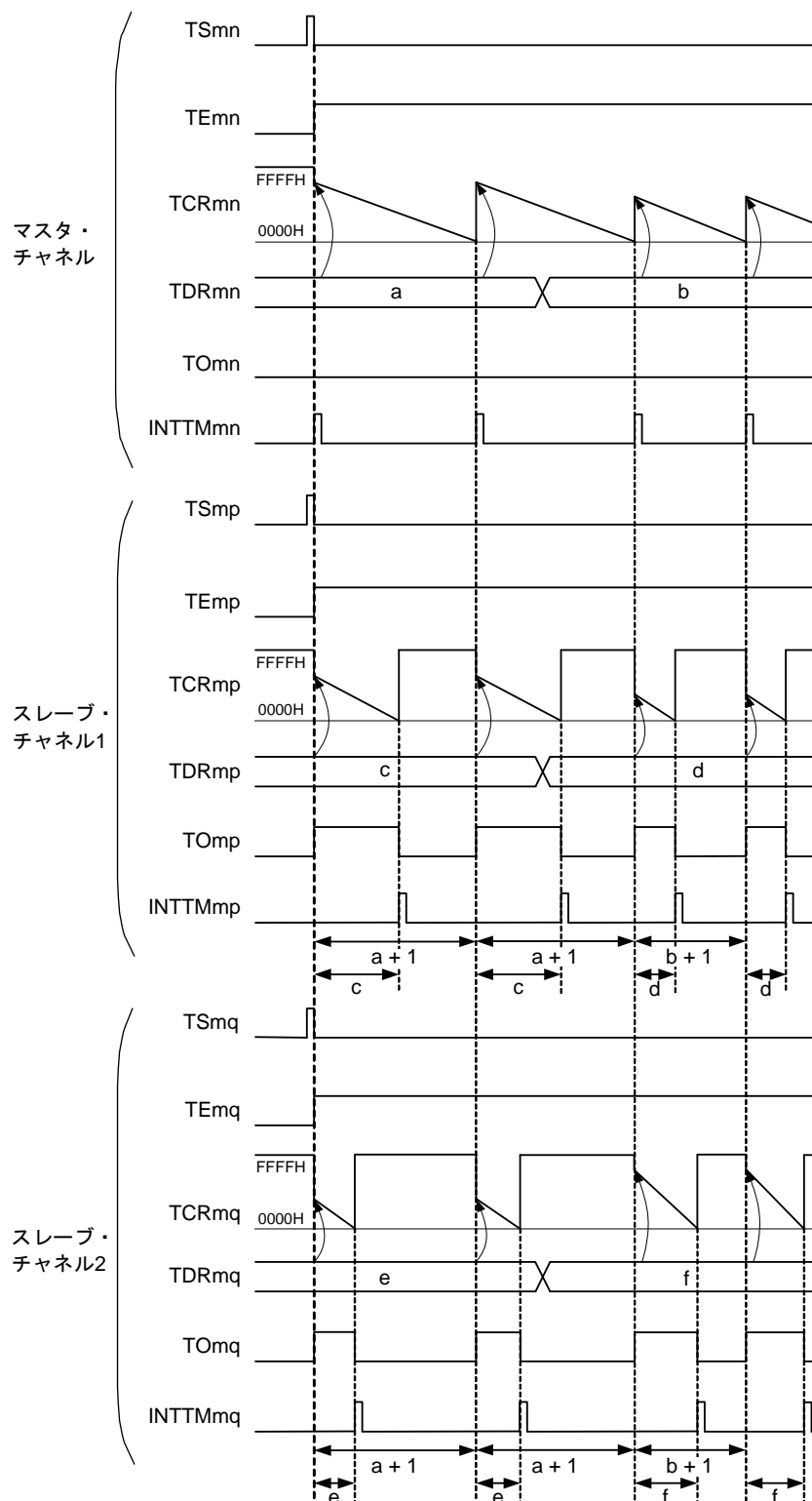
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q ≤ 7 (ただし p, q は, n 以降の整数)

図6-76 多重PWM出力機能としての動作のブロック図(2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 $n < p < q \leq 7$ (ただし p, q は, n 以降の整数)

図6-77 多重PWM出力機能としての動作の基本タイミング例(2種類のPWMを出力する場合)



(備考は次ページにあります。)

備考1. m : ユニット番号 ($m = 0$), n : マスタ・チャンネル番号 ($n = 0, 2, 4$)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 7$ (ただし p, q は, n 以降の整数)

備考2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m)のビット n, p, q

$TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m)のビット n, p, q

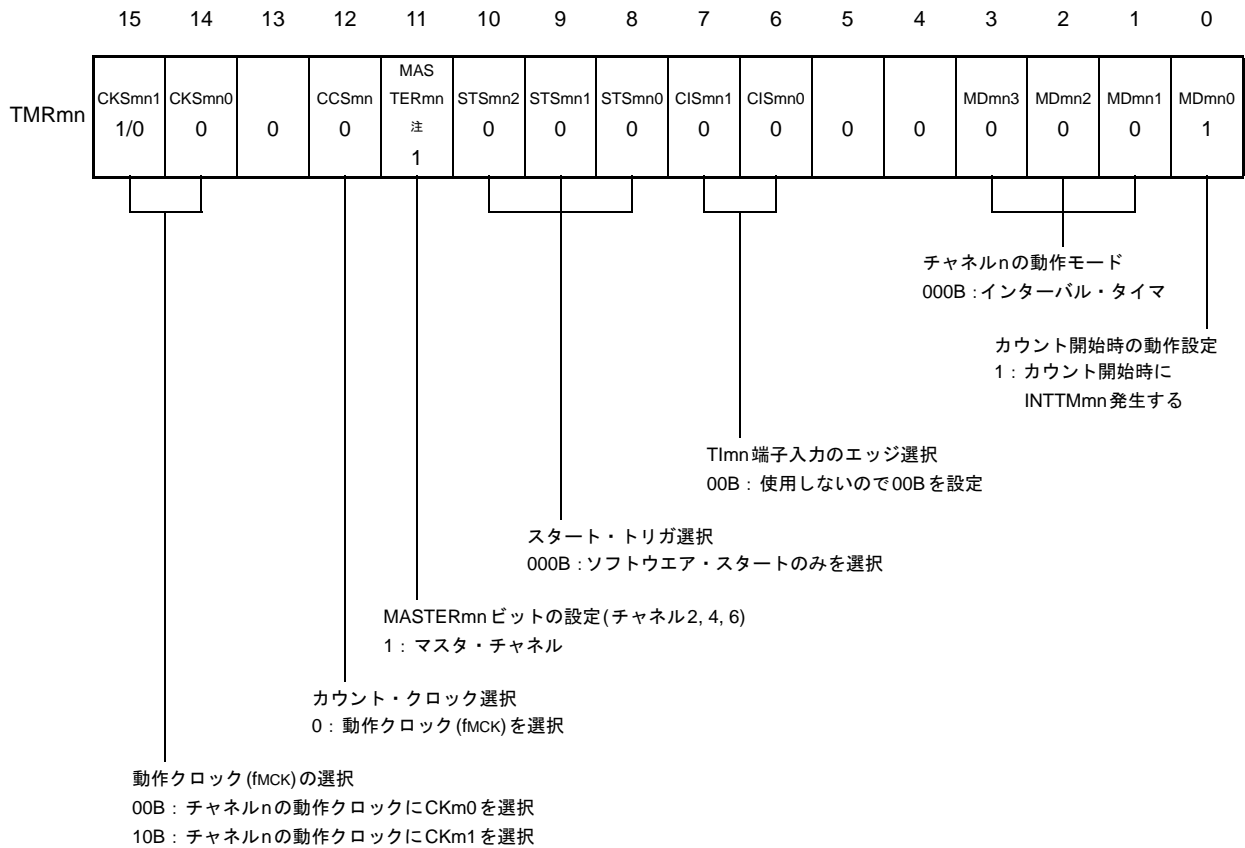
$TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)

$TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)

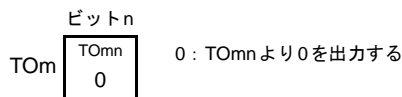
$TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図6-78 多重PWM出力機能時(マスタ・チャンネル)のレジスタ設定内容例

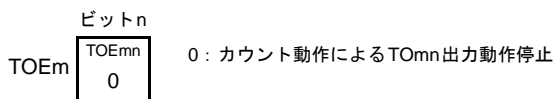
(a) タイマ・モード・レジスタ mn (TMRmn)



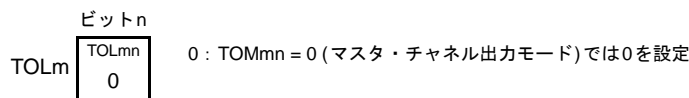
(b) タイマ出力レジスタ m (TOM)



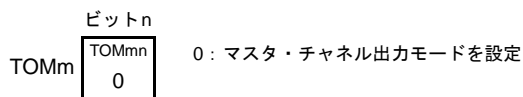
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

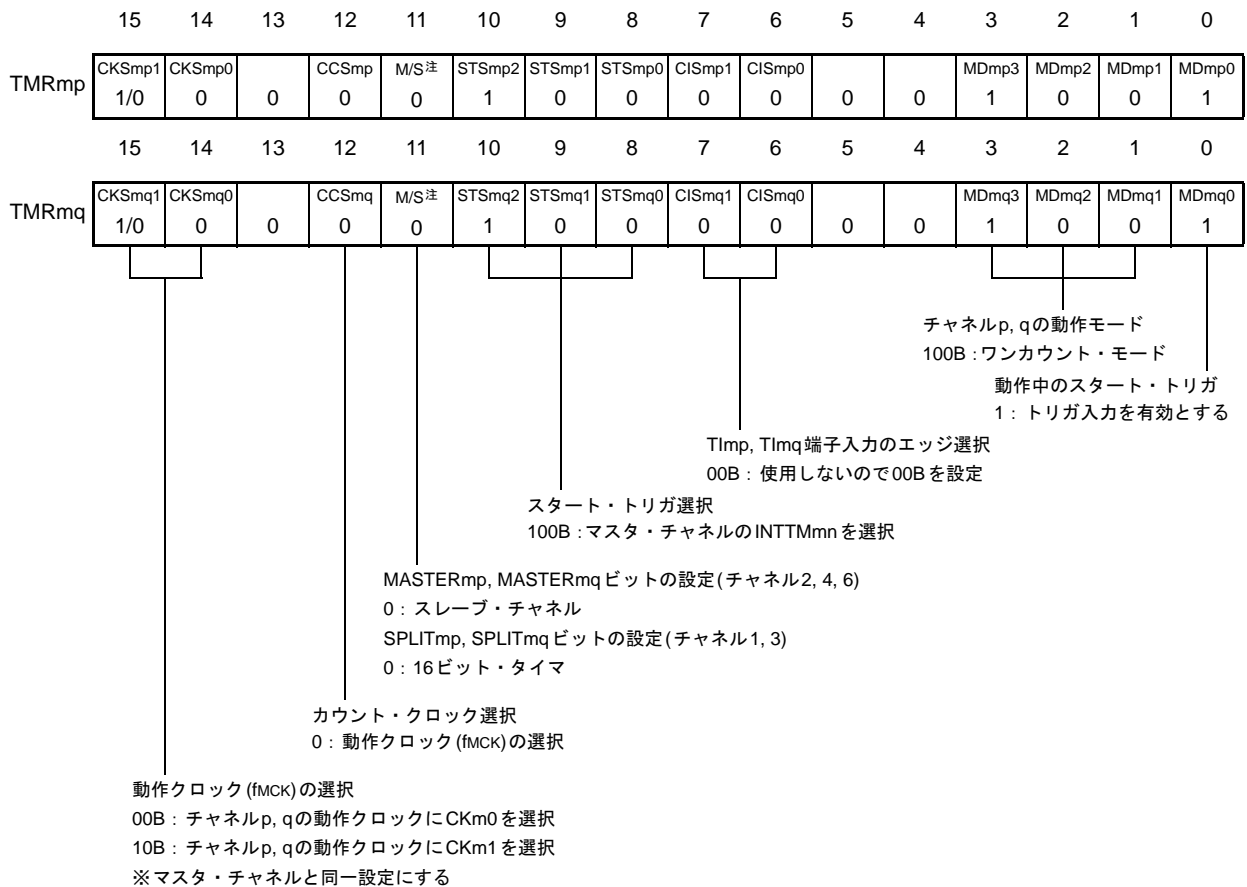


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)

図6-79 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)

(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



(b) タイマ出力レジスタ m (TOm)

ビット q ビット p

TOmq	TOmp
1/0	1/0

0 : TOmp, TOmq より 0 を出力する
1 : TOmp, TOmq より 1 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

ビット q ビット p

TOEmq	TOEmp
1/0	1/0

0 : カウント動作による TOmp, TOmq 出力動作停止
1 : カウント動作による TOmp, TOmq 出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

ビット q ビット p

TOLmq	TOLmp
1/0	1/0

0 : 正論理出力 (アクティブ・ハイ)
1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ m (TOMm)

ビット q ビット p

TOMmq	TOMmp
1	1

1 : スレーブ・チャンネル出力モードを設定

注 TMRm2, TMRm4, TMRm6 : MASTERmp, MASTERmq ビット
TMRm1, TMRm3 の場合 : SPLITmp, SPLITmq ビット
TMRm5, TMRm7 の場合 : 0 固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q ≤ 7 (ただし p, q は, n 以降の整数)

図6-80 多重PWM機能時の操作手順(2種類のPWMを出力する場合) (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq)を設定する(チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp, TOMmqビットに1(スレーブ・チャンネル出力モード)を設定する TOLmp, TOLmqビットを設定する TOmp, TOMqビットを設定し, TOmp, TOMq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOMqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmp, TOMq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOMq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmp, TOMqは変化しない TOmp, TOMq端子はTOmp, TOMq設定レベルを出力
動作 開始	(動作再開時のみTOEmp, TOEmq(スレーブ)ビットに1を設定する) タイマ・チャンネル開始レジスタm (TSm)のTSmn(マスタ), TSmp, TSmq(スレーブ)ビットに同時に1を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので, 自動的に0に戻る	TEMn = 1, TEMp, TEMq = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。

動作再開(次ページ)

(備考は次ページにあります。)

図6 - 80 多重PWM機能時の操作手順(2種類のPWMを出力する場合) (2/2)

	ソフトウェア操作	ハードウェアの状態
動作 中	TMRmn, TMRmp, TMRmq レジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmq ビットは、設定値変更禁止 TDRmn, TDRmp, TDRmq レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmq レジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmq レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
	動作 停止	TTmn (マスタ), TTmp, TTmq (スレーブ) ビットに同時に1を設定する → TTmn, TTmp, TTmq ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmp, TOEmq ビットに0を設定し、TOmp, TOMq ビットに値を設定する →
TAU 停止	TOmp, TOMq 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp, TOMq ビットに0を設定する → TOmp, TOMq 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタのTAUmEN ビットに0を設定する →	TOmp, TOMq 端子出力レベルはポート機能により保持される。 パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmp, TOMq ビットが0になり、TOmp, TOMq 端子はポート機能となる)

動作再開(前ページへ)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q ≤ 7 (ただし p, q は、n 以降の整数)

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。詳細は、4.6 兼用機能使用時のレジスタ設定を参照してください。

TAUのクロックに分周なしを選択し、且つTDR0n(n = 0~7)に0000Hを設定した場合は、TAUの割り込み信号出力がHighに固定となり、割り込み要求を検出することができません。

第7章 8ビット・インターバル・タイマ

8ビット・インターバル・タイマは8ビット・タイマを2つ(チャンネル0, チャンネル1)持ち, それぞれが独立して動作します。また, 2つの8ビット・タイマを連結動作させることで16ビット・タイマとして動作することができます。

RL78/H1Dで対応しているユニット, チャンネル数は, 製品によって異なります。

ユニット	チャンネル	R5F11N, R5F11P	R5F11R
ユニット0	チャンネル0	○	○
	チャンネル1	○	○
ユニット1	チャンネル0	—	○
	チャンネル1	—	○
ユニット2	チャンネル0	—	○
	チャンネル1	—	○

7.1 概要

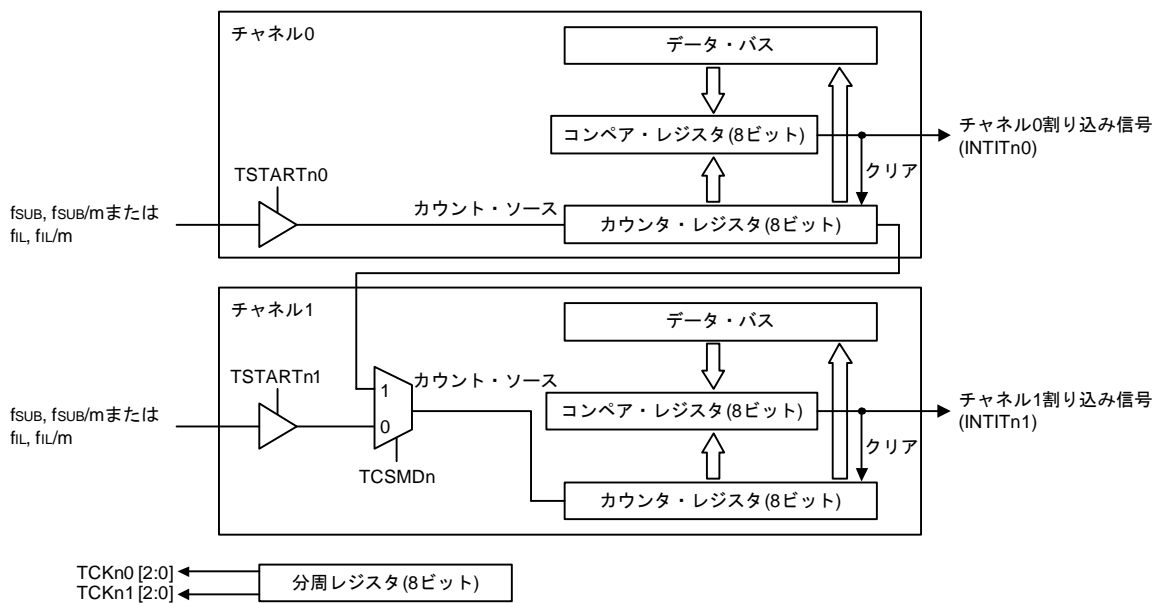
8ビット・インターバル・タイマはCPUと非同期のfsUBまたはfiLクロックで動作する8ビット・タイマです。

表7-1に8ビット・インターバル・タイマの仕様を、図7-1に8ビット・インターバル・タイマのブロック図を示します。

表7-1 8ビット・インターバル・タイマの動作仕様

項目	内容
カウント・ソース (動作クロック)	<ul style="list-style-type: none"> fsUB, fsUB/2, fsUB/4, fsUB/8, fsUB/16, fsUB/32, fsUB/64, fsUB/128 fiL, fiL/2, fiL/4, fiL/8, fiL/16, fiL/32, fiL/64, fiL/128
動作モード	<ul style="list-style-type: none"> 8ビット・カウンタ・モード チャンネル0, チャンネル1が独立した8ビット・カウンタとして動作するモード 16ビット・カウンタ・モード チャンネル0, チャンネル1を連結して16ビット・カウンタとして動作するモード
割り込み	<ul style="list-style-type: none"> カウンタがコンペア値と一致したとき出力

図7-1 8ビット・インターバル・タイマのブロック図



TSTARTni (i = 0, 1), TCSMDn, TCLKENn: TRTCRn レジスタのビット

TCKni [2:0]: TRTMDn レジスタのビット

備考 m = 2, 4, 8, 16, 32, 64, 128

n : ユニット番号 (n = 0-2)

7.2 入出力端子

8ビット・インターバル・タイマは入出力端子を持ちません。

7.3 レジスタの説明

表7-2に8ビット・インターバル・タイマのレジスタ構成を示します。

表7-2 レジスタ一覧

レジスタ名	シンボル
8ビット・インターバル・タイマ・カウンタ・レジスタ n0	TRTn0 ^{注1}
8ビット・インターバル・タイマ・カウンタ・レジスタ n1	TRTn1 ^{注1}
8ビット・インターバル・タイマ・カウンタ・レジスタ n	TRTn ^{注2}
8ビット・インターバル・タイマ・コンペア・レジスタ n0	TRTCMPn0 ^{注1}
8ビット・インターバル・タイマ・コンペア・レジスタ n1	TRTCMPn1 ^{注1}
8ビット・インターバル・タイマ・コンペア・レジスタ n	TRTCMPn ^{注2}
8ビット・インターバル・タイマ制御レジスタ n	TRTCRn
8ビット・インターバル・タイマ分周レジスタ n	TRTMDn

注1. TRTCRn レジスタの TCSMDn ビット = 0 のときのみアクセス可能です。

注2. TRTCRn レジスタの TCSMDn ビット = 1 のときのみアクセス可能です。

備考 n : ユニット番号 (n = 0-2)

7.3.1 8ビット・インターバル・タイマ・カウンタ・レジスタ ni (TRTni)

8ビット・インターバル・タイマのカウンタ・レジスタです。カウンタ・クロックによりカウンタ・アップするカウンタです。

TRTni レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 8ビット・インターバル・タイマ・カウンタ・レジスタ ni (TRTni) のフォーマット

アドレス : F0500H (TRT00), F0501H (TRT01),
F0502H (TRT10), F0503H (TRT11),
F0504H (TRT20), F0505H (TRT21)

リセット時 : 00H

R^{注1,2}

略号 7 6 5 4 3 2 1 0

TRTni

--	--	--	--	--	--	--	--	--

注1. TRTni レジスタはコンペア・レジスタ TRTCMPni に書き込みアクセス後、カウンタ・クロックで2サイクル後00Hになります。詳細は、7.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn) のモード選択ビット (TCSMDn) が0の場合のみアクセスが可能になります。

備考 n : ユニット番号 (n = 0-2), i : チャネル番号 (i = 0, 1)

7.3.2 8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn)

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合は16ビットのカウンタ・レジスタです。

TRTnレジスタは、16ビット・メモリ操作命令で設定します。

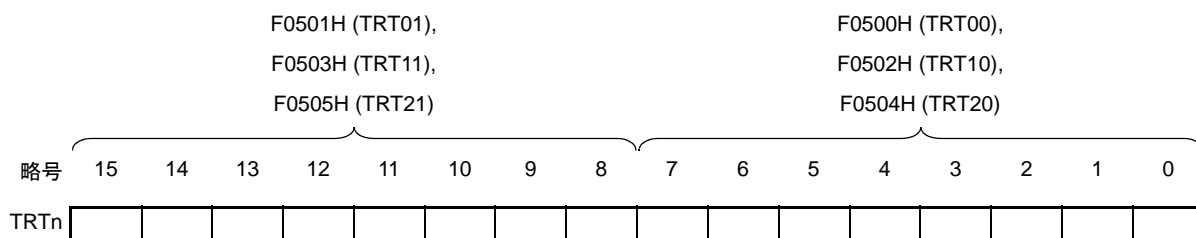
リセット信号の発生により、0000Hになります。

図7-3 8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn)のフォーマット

アドレス : F0500H (TRT0),
F0502H (TRT1),
F0504H (TRT2)

リセット時 : 0000H

R注1,2



注1. TRTnレジスタはコンペア・レジスタ TRTCMPnに書き込みアクセス後、カウンタ・クロックで2サイクル後に0000Hになります。詳細は、7.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)のモード選択ビット(TCSMDn)が1の場合のみアクセスが可能になります。

備考 n : ユニット番号 (n = 0-2)

7.3.3 8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni)

8ビット・インターバル・タイマのコンペア値レジスタです。

TRTCMPniレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

設定範囲は01H～FFH^{注1}です。

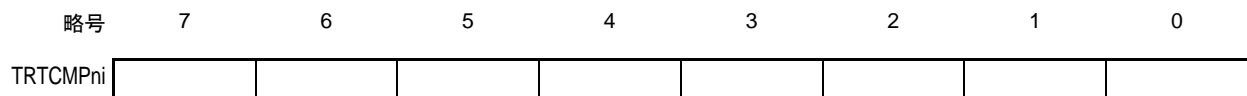
TRTn0, TRTn1レジスタ(カウンタ)との比較値を格納します。

ライト・アクセスによりカウント値(TRTn0, TRTn1)を00Hにクリアします。

コンペア値の書き換えタイミングは、7.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

図7-4 8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni)のフォーマット

アドレス : F0350H (TRTCMP00), F0351H (TRTCMP01), リセット時 : FFH R/W^{注1,2}
 F0354H (TRTCMP10), F0355H (TRTCMP11),
 F0358H (TRTCMP20), F0359H (TRTCMP21)



注1. TRTCMPniレジスタの00H設定は禁止です。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)のモード選択ビット(TCSMDn)が0の場合のみアクセスが可能になります。

備考 n : ユニット番号 (n = 0-2), i : チャネル番号 (i = 0, 1)

7.3.4 8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn)

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合のコンペア値レジスタです。

TRTCMPnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFHになります。

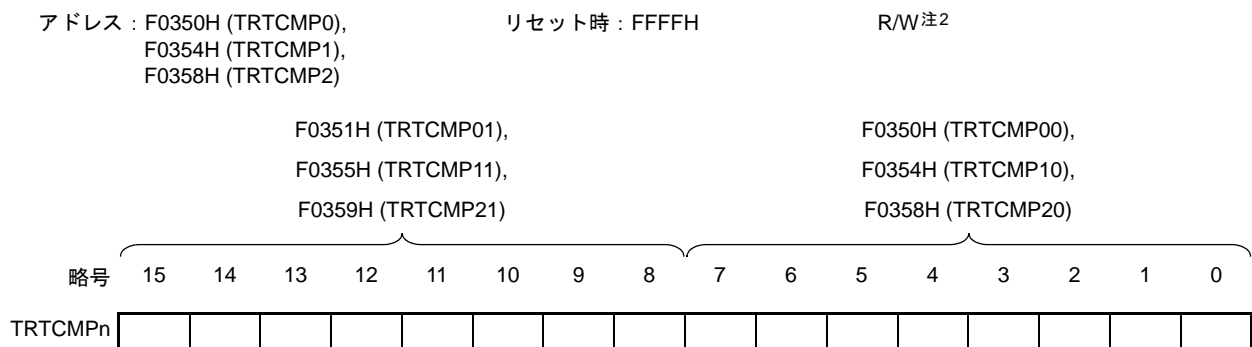
設定範囲は0001H～FFFFH^{注1}です。

TRTnレジスタ(カウンタ)との比較値を格納します。

ライト・アクセスによりカウント値(TRTn)を0000Hにクリアします。

コンペア値の書き換えタイミングは、7.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

図7-5 8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn)のフォーマット



注1. TRTCMPnレジスタの0000H設定は禁止です。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)のモード選択ビット(TCSMDn)が1の場合のみアクセスが可能になります。

備考 n : ユニット番号 (n = 0-2)

7.3.5 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)

8ビット・インターバル・タイマのカウント停止／開始の設定と8ビット・カウンタ /16ビット・カウンタ動作の切り替えを設定するレジスタです。

TRTCRnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-6 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)のフォーマット

アドレス : F0352H (TRTCR0),
F0356H (TRTCR1),
F035AH (TRTCR2)

リセット時 : 00H

R/W^{注3}

略号	7	6	5	4	3	2	1	0
TRTCRn	TCSMDn	0	0	TCLKENn	0	TSTARTn1	0	TSTARTn0

TCSMDn	モード選択
0	8ビット・カウンタとして動作
1	16ビット・カウンタとして動作(チャンネル0, チャンネル1を連結)
詳細は、7.4 動作説明を参照。	

TCLKENn	8ビット・インターバル・タイマ・クロック許可 ^{注1}
0	クロック停止
1	クロック供給

TSTARTn1	8ビット・インターバル・タイマ1カウント開始 ^{注1,2}
0	カウント停止
1	カウント開始
8ビット・インターバル・タイマ・モードでは、TSTARTn1ビットに1を書くことによりTRTn1がカウントを開始し、0を書くことによりカウントを停止します。	
16ビット・インターバル・タイマ・モードでは、未使用のため無効になります。詳細は、7.4 動作説明を参照。	

TSTARTn0	8ビット・インターバル・タイマ0カウント開始 ^{注1,2}
0	カウント停止
1	カウント開始
8ビット・インターバル・タイマ・モードでは、TSTARTn0ビットに1を書くことによりTRTn0がカウントを開始し、0を書くことによりカウントを停止します。	
16ビット・インターバル・タイマ・モードでは、TSTARTn0ビットに1を書くことによりTRTnがカウントを開始し、0を書くことによりカウントを停止します。詳細は、7.4 動作説明を参照。	

注1. 8ビット・インターバル・タイマを設定する際には、必ず最初にTCLKENnビットを1に設定してください。クロックを停止させる場合、TSTARTn0およびTSTARTn1に0を設定後、動作クロック(f_{SUB}またはf_{IL})で1サイクル以上経過後にTCLKENnビットに0を設定してください。詳細は、7.5.3 8ビット・インターバル・タイマ設定手順についてを参照してください。

注2. TSTARTn0, TSTARTn1, TCSMDnビットの使用上の注意は、7.5.1 動作モード設定変更についてを参照してください。

注3. ビット6, 5, 3, 1は、Read Onlyです。ライトする場合は、0を書き込んでください。リードする場合は、0が読み込まれます。

備考 n : ユニット番号(n = 0-2)

7.3.6 8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)

8ビット・インターバル・タイマのカウント・ソースの分周比選択を設定するレジスタです。

TRTMDnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-7 8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)のフォーマット

アドレス : F0353H (TRTMD0),
F0357H (TRTMD1),
F035BH (TRTMD2)

リセット時 : 00H

R/W注4

略号	7	6	5	4	3	2	1	0
TRTMDn	—	TCKn1			—	TCKn0		

TCKn1			8ビット・インターバル・タイマ1分周選択 注1,2,3
ビット6	ビット5	ビット4	
0	0	0	fsUBまたはfil
0	0	1	fsUB/2またはfil/2
0	1	0	fsUB/4またはfil/4
0	1	1	fsUB/8またはfil/8
1	0	0	fsUB/16またはfil/16
1	0	1	fsUB/32またはfil/32
1	1	0	fsUB/64またはfil/64
1	1	1	fsUB/128またはfil/128

8ビット・インターバル・タイマ・モードでは、TCKn1に設定したカウント・ソースによりTRTn1がカウントします。16ビット・インターバル・タイマ・モードでは、使用しないため000に設定してください。詳細は、7.4 動作説明を参照。

TCKn0			8ビット・インターバル・タイマ0分周選択 注1,2,3
ビット2	ビット1	ビット0	
0	0	0	fsUBまたはfil
0	0	1	fsUB/2またはfil/2
0	1	0	fsUB/4またはfil/4
0	1	1	fsUB/8またはfil/8
1	0	0	fsUB/16またはfil/16
1	0	1	fsUB/32またはfil/32
1	1	0	fsUB/64またはfil/64
1	1	1	fsUB/128またはfil/128

8ビット・インターバル・タイマ・モードでは、TCKn0に設定したカウント・ソースによりTRTn0がカウントします。16ビット・インターバル・タイマ・モードでは、TCKn0に設定したカウント・ソースによりTRTnがカウントします。詳細は、7.4 動作説明を参照。

注1. カウント中にカウント・ソースの切り替えをしないでください。カウント・ソースを切り替えるときは、TRTCRnレジスタのTSTARTniビットが0(カウント停止)の時に、設定してください。

注2. 未使用チャネルのTCKniは000Bに設定してください。

注3. TCKni (i = 0, 1)ビットは、必ずTRTCMPniレジスタの設定前に設定してください。

注4. ビット7, 3は、Read Onlyです。ライトする場合は、0を書き込んでください。リードする場合は、0が読み込まれます。

備考 n : ユニット番号(n = 0-2)

7.4 動作説明

7.4.1 カウンタ・モード

8ビット・カウンタ・モード/16ビット・カウンタ・モードの2種類のモードを持ちます。表7-3に8ビット・カウンタ・モード、表7-4に16ビット・カウンタ・モード時の使用レジスタと設定値を示します。

表7-3 8ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名(シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタ n0 (TRTn0)	b7～b0	チャンネル0側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・カウンタ・レジスタ n1 (TRTn1)	b7～b0	チャンネル1側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタ n0 (TRTCMPn0)	b7～b0	チャンネル0側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ・コンペア・レジスタ n1 (TRTCMPn1)	b7～b0	チャンネル1側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)	TSTARTn0	チャンネル0側のカウント開始/停止を選択してください。
	TSTARTn1	チャンネル1側のカウント開始/停止を選択してください。
	TCLKENn	1に設定してください。
	TCSMDn	0に設定してください。
8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)	TCKn0	チャンネル0側のカウント・クロックを選択してください。
	TCKn1	チャンネル1側のカウント・クロックを選択してください。

備考 n : ユニット番号(n = 0-2)

表7-4 16ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名(シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn)	b15～b0	16ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn)	b15～b0	16ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)	TSTARTn0	カウント開始/停止制御を選択してください。
	TSTARTn1	0に設定してください。
	TCLKENn	1に設定してください。
	TCSMDn	1に設定してください。
8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)	TCKn0	カウント・クロックを選択してください。
	TCKn1	000Bに設定してください。

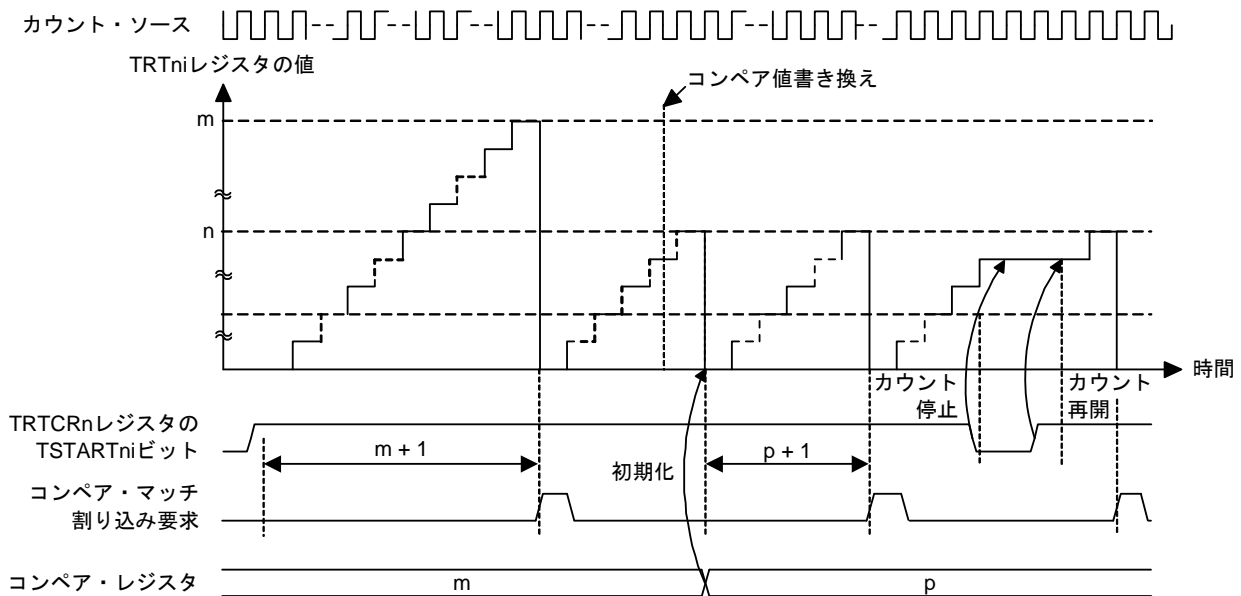
備考 n : ユニット番号(n = 0-2)

7.4.2 タイマ動作

分周レジスタ (TRTMDn) の TCKni (n = 0-2, i = 0, 1) ビットにより選択されたカウント・ソースで、アップ・カウントします。カウント・ソースが入力されるごとにカウント値が1だけ増加し、カウント値がコンペア値になった後、次のカウント・ソースが入力されるとコンペア・マッチし、割り込み要求を発生します。割り込み要求はカウント・ソース同期の1パルスで出力されます。ただし、TRTCRnレジスタのTSTARTniビットを0に設定し、カウント値が00hで停止した場合は、割り込み信号 (INTITnm) がハイ・レベルで固定されます。データ・トランスファ・コントローラのDTC 起動要因、またはイベント・リンク・コントローラのイベント発生元に使用している場合は、起動要因またはイベントが発生し続けます。

また、動作停止時には停止直前のカウンタ値を保持し続けます。カウント値をクリアする場合は、TRTCMPniレジスタのコンペア値を再設定してください。TRTCMPniレジスタに書き込み後、カウント・ソースで2サイクル後にカウント値がクリアされます。

図7-8 タイマ動作例



備考 n: ユニット番号 (n = 0-2), i: チャンネル番号 (i = 0, 1), m, p: TRTCMPniレジスタの設定値

ただし、カウント動作開始時の最初の00H カウント期間は、TRTCR レジスタのTSTARTni (i = 0, 1) ビットに1を書き込むタイミングにより、下記のように可変します。

- カウント・ソース (fSUB または fil) 選択時
 - 最大: カウント・ソースで2 サイクル
 - 最小: カウント・ソースで1 サイクル
- カウント・ソース (fSUB/2^m または fil/2^m) 選択時
 - 最大: カウント・ソース1 サイクル
 - 最小: 選択クロック (fSUB または fil) 1 サイクル

カウント値がコンペア値と一致した場合、次のカウント・ソースでカウント値はクリアされます。また、TRTCMPn_iレジスタのコンペア値を書き換えた場合も、書き込み後カウント・ソースで2サイクル後にカウント値がクリアされます。

8/16ビット・カウンタ・モード時割り込み要因を、以下の表7-5に示します。

表7-5 8/16ビット・カウンタ・モード時割り込み要因

割り込み名称	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因
INTIT _{n0}	チャンネル0コンペア・マッチ後、次のカウント・ソースの立ち上がり	コンペア・マッチ後、次のカウント・ソースの立ち上がり
INTIT _{n1}	チャンネル1コンペア・マッチ後、次のカウント・ソースの立ち上がり	未発生

備考 n : ユニット番号(n = 0-2)

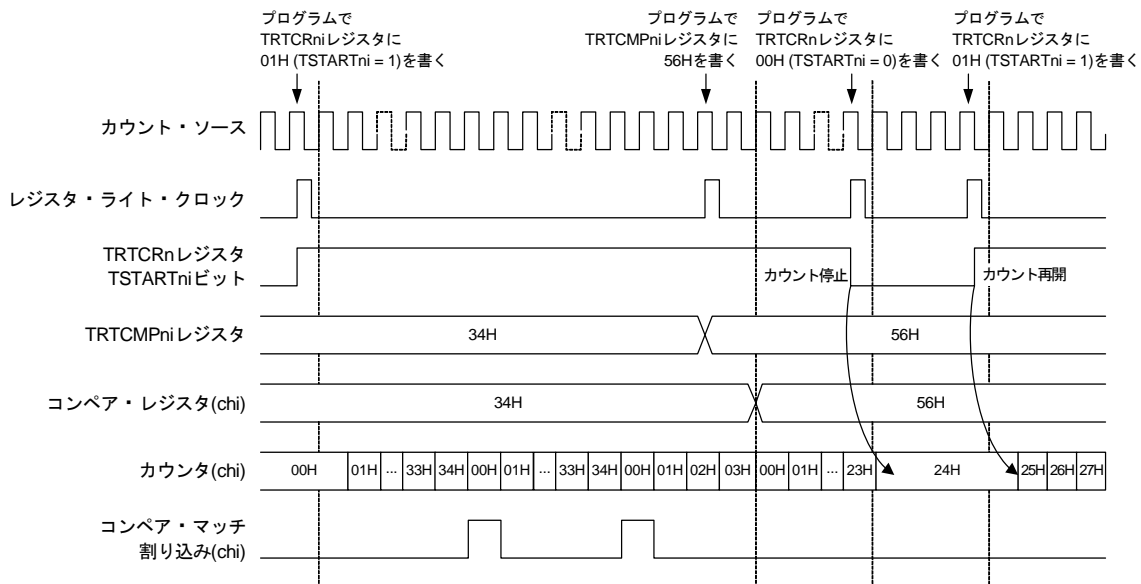
7.4.3 開始/停止タイミング

7.4.3.1 カウント・ソース (fsUB) 選択時

TRTCRnレジスタのTSTARTni (n = 0, i = 0, 1) ビットに1を書き込み後、次のサブシステム・クロック (fsUB) でカウントが開始され、その次のカウント・ソース (fsUB) でカウンタが00H から01Hにカウント・アップされます。同様に、TSTARTni ビットに0を書き込み後、サブシステム・クロック (fsUB) でカウント・アップ後にカウントが停止します。

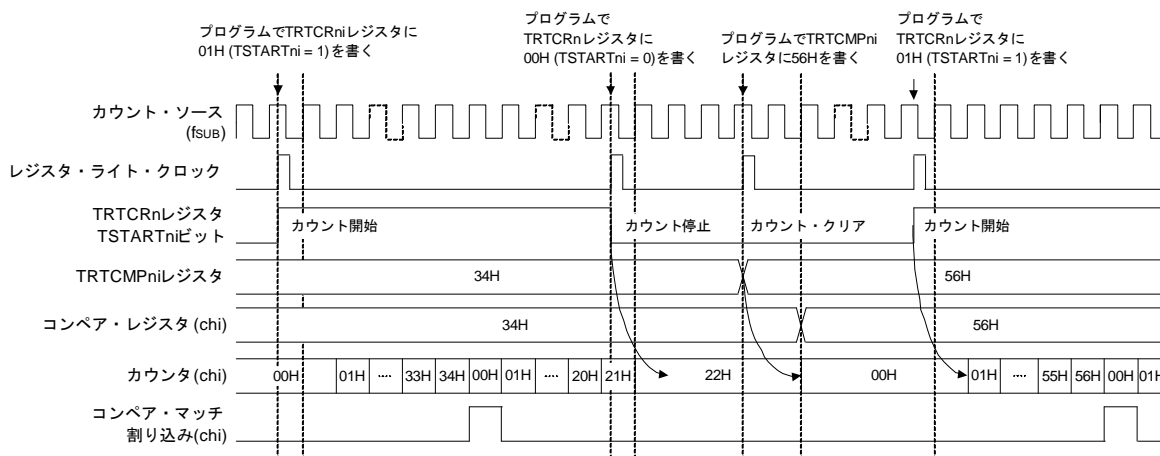
カウント動作の開始/停止タイミングを図7-9、カウント停止→コンペア設定(カウント・クリア)→カウント開始のタイミングを図7-10に示します。図7-9、図7-10は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

図7-9 カウント開始/停止動作例 (fsUB 選択時)



備考 n: ユニット番号 (n = 0-2), i: チャネル番号 (i = 0, 1)

図7-10 カウント停止→カウント・クリア→カウント開始動作例 (f_{SUB}選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n: ユニット番号 (n = 0-2), i: チャネル番号 (i = 0, 1)

7.4.3.2 カウント・ソース ($f_{SUB}/2^m$) 選択時

TRTCRnレジスタのTSTARTni ($n = 0-2, i = 0, 1$) ビットに1を書き込み後、次のサブシステム・クロック (f_{SUB}) でカウントが開始され、その次のカウント・ソース ($f_{SUB}/2^m$) でカウンタが00H から01H にカウント・アップされます。同様に、TSTARTni ビットに0を書き込み後、次のサブシステム・クロック (f_{SUB}) でカウントが停止します。

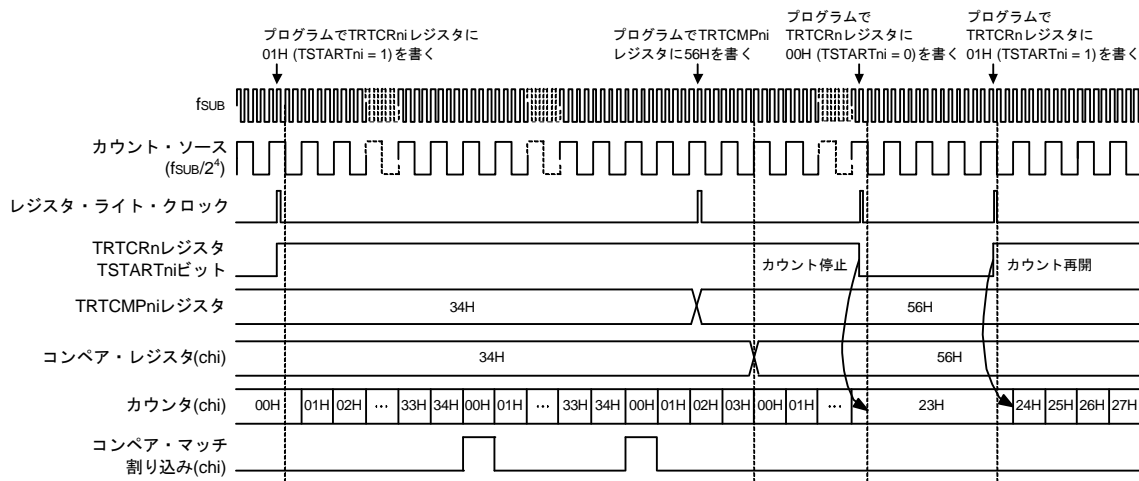
ただし、タイマカウント開始時の最初の00H カウント期間は、TSTARTni ビットの書き込みタイミングと次のカウント・ソースのタイミングによって下記のようにカウント・ソース1サイクルよりも短くなります。

最小：サブシステム・クロック (f_{SUB}) 1 サイクル

最大：カウント・ソース1 サイクル

カウント動作の開始/停止タイミングを図7-11、カウント停止→コンペア・レジスタ設定(カウント・クリア)→カウント開始のタイミングを図7-12に示します。図7-11、図7-12は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

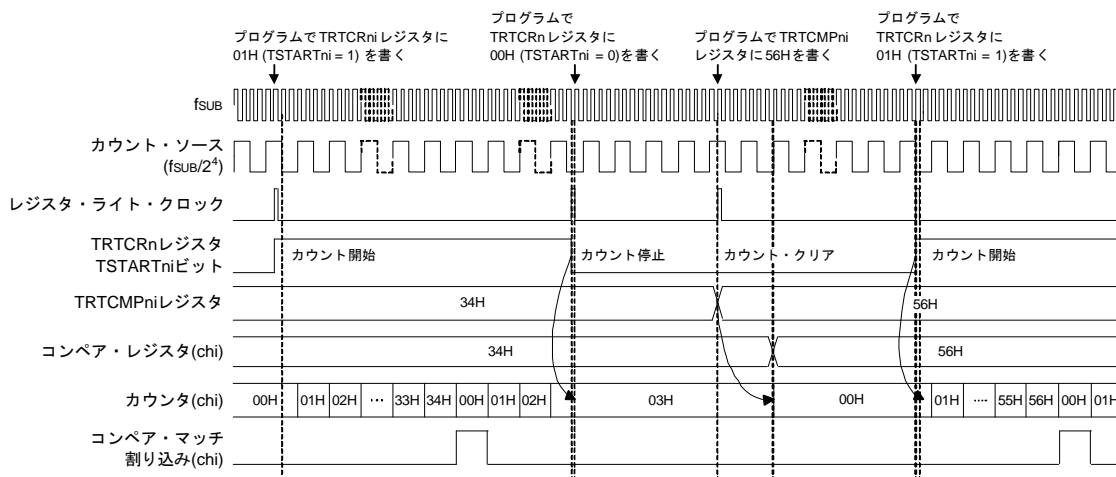
図7-11 カウント開始/停止動作例 ($f_{SUB}/2^m$ 選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n : ユニット番号 ($n = 0-2$), i : チャネル番号 ($i = 0, 1$)

図7-12 カウント停止→カウント・クリア→カウント開始動作例 (fSUB/2^m選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

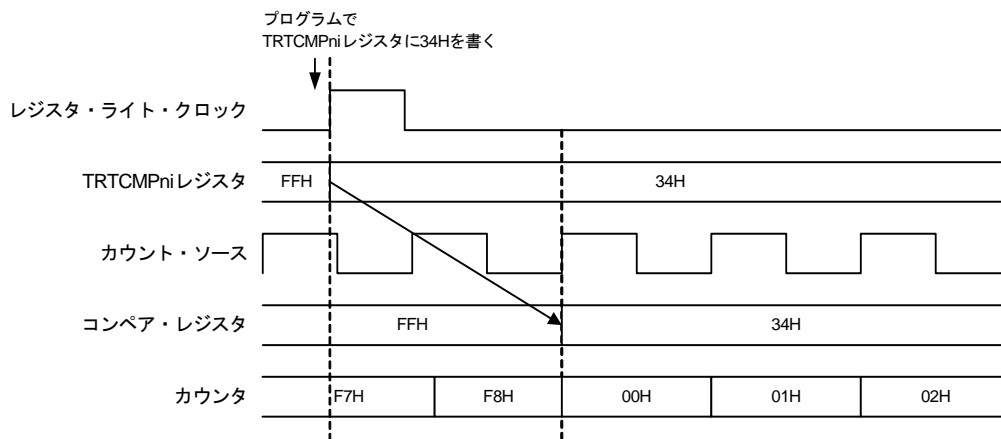
備考 n : ユニット番号 (n = 0-2), i : チャネル番号 (i = 0, 1)

7.4.4 コンペア・レジスタ値の反映タイミング

TRTCMPni ($n=0-2, i=0, 1$)レジスタの値が反映されるタイミングはTRTCRnレジスタのTSTARTniビットの値によらず、同じタイミングとなります。TRTCMPniへの書き込みアクセス後、カウント・ソースで2サイクル後にコンペア・レジスタに格納されます。コンペア・レジスタ格納時にカウント値はクリアされ(8ビット・カウンタ・モード: 00H, 16ビット・カウンタ・モード: 0000H)になります。

図7-13に書き換え動作のタイミング図を示します。図7-13は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

図7-13 コンペア値書き換え動作のタイミング図

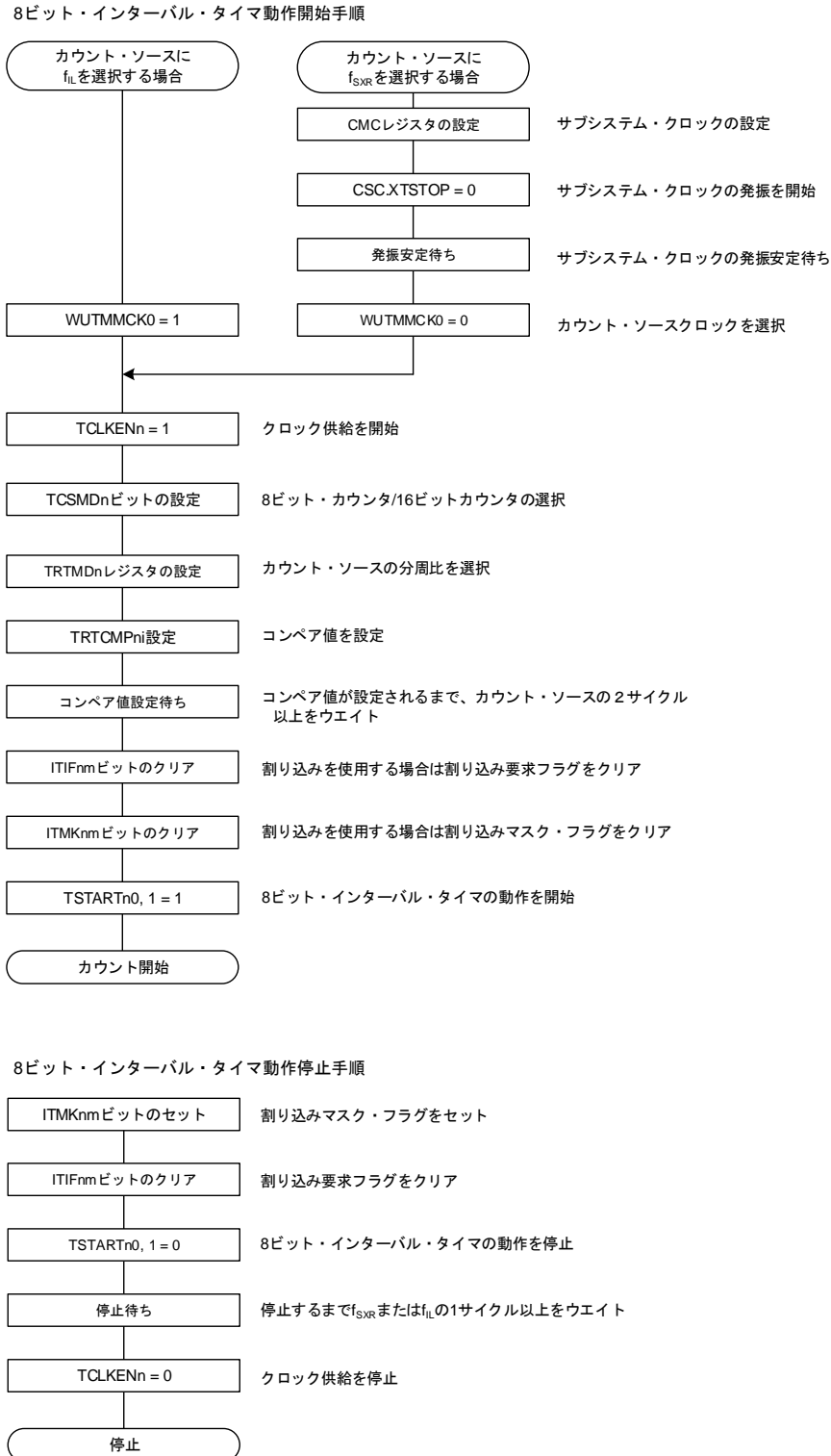


備考 n: ユニット番号 ($n=0-2$), i: チャネル番号 ($i=0, 1$)

7.4.5 8ビット・インターバル・タイマの設定手順

8ビット・インターバル・タイマの動作開始手順を以下に示します。

図7-14 8ビット・インターバル・タイマの動作開始手順フローの図



7.5 8ビット・インターバル・タイマ使用上の注意事項

7.5.1 動作モード設定変更について

TCSMDnビット, TCKni ($n = 0-2, i = 0, 1$)ビットの設定変更は, TRTCRnレジスタのTSTARTniビットが0 (カウント停止)中に設定してください。また, TSTARTniビットを1から0に書き換え後(カウント停止), 8ビット・インターバル・タイマ関連レジスタ (TRTCRn, TRTMDn)にアクセスする場合, fSUBまたはfILで1サイクル以上経過後にアクセスしてください。

7.5.2 コンペア・レジスタへのアクセスについて

同一のコンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn)に連続して書き込みしないでください。連続して書くときは, 書き込み間隔をカウント・ソースクロックの2サイクル以上空けてください。

また, コンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn) への書き込みは, 必ずカウント・ソースが発振している状態で, 8ビット・インターバル・タイマ・クロック許可ビット (TCLKENn) を1に設定した後に書き込みを実施してください。

7.5.3 8ビット・インターバル・タイマ設定手順について

クロックを供給する場合, 最初に8ビット・インターバル・タイマ制御レジスタn (TRTCRn)の8ビット・インターバル・タイマ・クロック許可ビット (TCLKENn)を1に設定した後に, TSTARTniビットを設定してください。(TCLKENn, TSTARTniビットを同時に変更しないでください。)

クロックを停止させる場合, TSTARTniを0に設定した後, fSUBまたはfILで1サイクル以上経過後にTCLKENnビットを0に設定してください。

備考 n: ユニット番号 ($n = 0-2$), i: チャネル番号 ($i = 0, 1$)

第8章 リアルタイム・クロック2

8.1 リアルタイム・クロック2の機能

リアルタイム・クロック2 (RTC2)には、次のような機能があります。

- 年, 月, 曜日, 日, 時, 分, 秒のカウンタを持ち, 最長99年までをカウント可能(うるう年補正機能あり)
- 定周期割り込み機能(周期: 0.5秒, 1秒, 1分, 1時間, 1日, 1月)
- アラーム割り込み機能(アラーム: 曜日, 時, 分)
- 1 Hzの端子出力機能

注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック ($f_{SUB} = 32.768 \text{ kHz}$) を選択時のみ, 年, 月, 曜日, 日, 時, 分, 秒のカウントができます。低速オンチップ・オシレータ・クロック ($f_{IL} = 15 \text{ kHz}$) を選択時は, 定周期割り込み機能のみ使用できます。
ただし, f_{IL} 選択時の定周期割り込み間隔は, 定周期(RTCC0レジスタで選択した値) $\times f_{SUB}/f_{IL}$ で算出される値になります。

8.2 リアルタイム・クロック2の構成

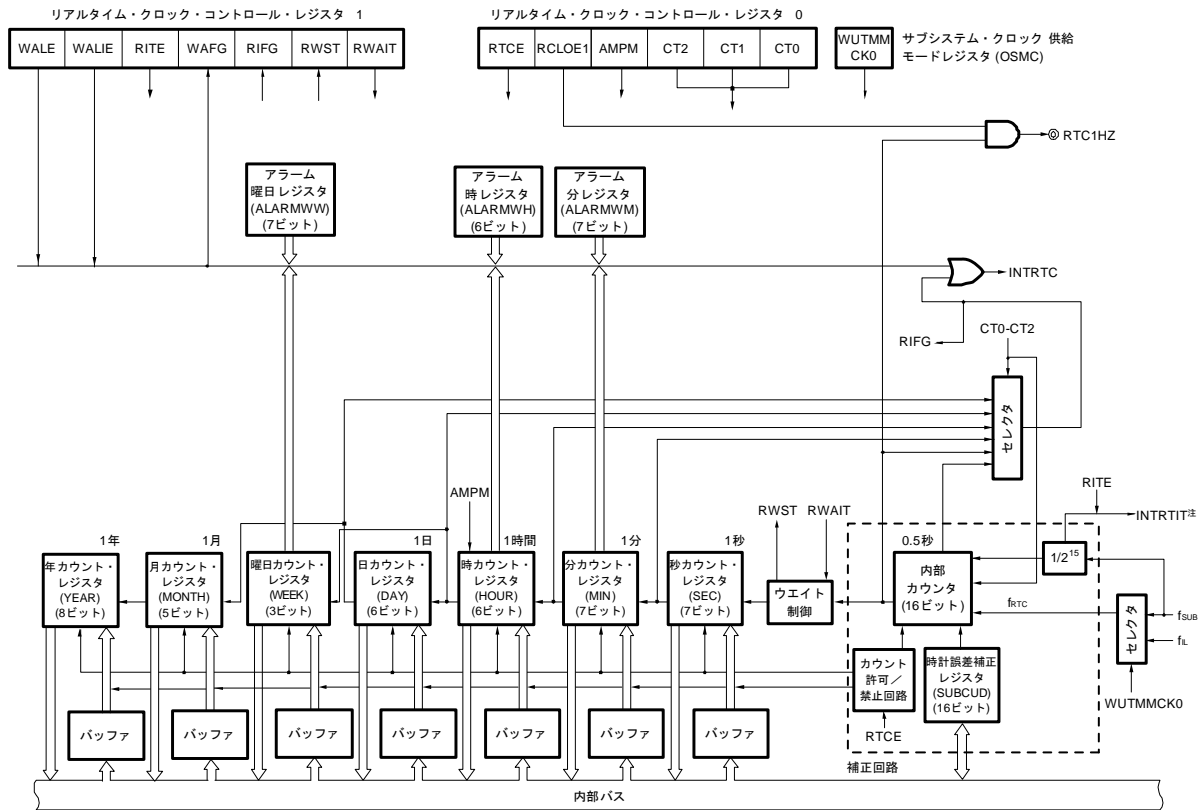
リアルタイム・クロック2は, 次のハードウェアで構成されています。

表8-1 リアルタイム・クロック2の構成

項目	構成
カウンタ	カウンタ(16ビット)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
	秒カウント・レジスタ (SEC)
	分カウント・レジスタ (MIN)
	時カウント・レジスタ (HOUR)
	日カウント・レジスタ (DAY)
	曜日カウント・レジスタ (WEEK)
	月カウント・レジスタ (MONTH)
	年カウント・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	アラーム分レジスタ (ALARMWMM)
	アラーム時レジスタ (ALARMWH)
アラーム曜日レジスタ (ALARMWW)	

図8-1にリアルタイム・クロック2のブロック図を示します。

図8-1 リアルタイム・クロック2のブロック図



注 時計誤差補正レジスタ (SUBCUD) から補正値の取り込みタイミングを示す割り込みです。取り込みタイミングは 1 秒 (fSUB ベース) 間隔になります。

注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック (fSUB = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウンタができます。低速オンチップ・オシレータ・クロック (fIL = 15 kHz) を選択時は、定周期割り込み機能のみ使用できます。
ただし、fIL 選択時の定周期割り込み間隔は、定周期 (RTCC0 レジスタで選択した値) × fSUB/fIL で算出される値になります。

8.3 リアルタイム・クロック2を制御するレジスタ

リアルタイム・クロック2は、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)

各リセット要因によるレジスタの状態を以下に示します。

リセット要因	システム系レジスタ ^{注1}	カレンダー系レジスタ ^{注2}
POR	リセット	リセットしない
外部リセット	保持	保持
WDT	保持	保持
TRAP	保持	保持
LVD	保持	保持
その他内部リセット	保持	保持

注1. RTCC0, RTCC1, SUBSUD

注2. SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWWM, ALARMWH, ALARMWW, (カウンタ)

リセット発生により、SEC, MIN, HOUR, WEEK, DAY, MONTH, YEAR, ALARMWWM, ALARMWH, ALARMWWレジスタはリセットされません。そのため、電源投入後は全てのレジスタを初期設定してください。

8.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロック2のレジスタを操作するときは、必ずビット7 (RTCWEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロック2の入カクロック供給の制御
0	入カクロック供給停止 (fCLK 供給停止) <ul style="list-style-type: none"> リアルタイム・クロック2で使用するSFRへのライト不可 リアルタイム・クロック2は動作可能
1	入カクロック供給 <ul style="list-style-type: none"> リアルタイム・クロック2で使用するSFRへのリード／ライト可 リアルタイム・クロック2は動作可能

注意1. リアルタイム・クロック2を使用する場合は、入カクロック (fRTC) が発振安定状態において、最初に RTCWEN = 1 の設定を行ってください。RTCWEN = 0 の場合は、リアルタイム・クロック2の制御レジスタへの書き込みは無視されます。

注意2. ビット1, 6には必ず0を設定してください。

8.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1 に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDコントローラ／ドライバ、シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマのカウント・クロック、クロック出力／ブザー出力、LCDコントローラ／ドライバ、タイマRJ0,1、シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタの動作クロックを選択できます。ただし、シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタの動作クロックに低速オンチップ・オシレータ・クロックを選択することはできません。シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタを使用する場合は、WUTMMCK0ビットを0に設定して、動作クロックにサブシステム・クロックを選択してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-3 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表27-1~表27-3参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力/ブザー出力、LCDコントローラ/ドライバ、シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ/ディテクタ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0 注1, 2, 3	リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDコントローラ/ドライバ、タイマRJ0, 1の動作クロックの選択	クロック出力/ブザー出力のPCLBUZn端子の出力クロックの選択
0	サブシステム・クロック (fSUB) <ul style="list-style-type: none"> リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDコントローラ/ドライバの動作クロックはサブシステム・クロックになります。 タイマRJ0,1のカウントソースに低速オンチップ・オシレータを選択することはできません。 	サブシステム・クロック (fSUB) 選択許可
1	低速オンチップ・オシレータ・クロック (fIL) <ul style="list-style-type: none"> リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDコントローラ/ドライバの動作クロックは低速オンチップ・オシレータ・クロックになります。 タイマRJ0,1のカウントソースは低速オンチップ・オシレータ、サブシステム・クロックのいずれかを選択することができます。 	サブシステム・クロック (fSUB) 選択禁止

注1. サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択(WUTMMCK0ビット=0)にしてください。fILクロックを選択(WUTMMCK0=1)する場合は、サブシステム・クロック発振動作停止(CSCレジスタのXTSTOPビット=1)時のみ可能です。

注2. WUTMMCK0を1に設定すると低速オンチップ・オシレータ・クロックが発振します。

注3. WUTMMCK0を1に設定した場合、リアルタイム・クロック2の1Hz出力機能は使用できません。

注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック (fSUB = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (fIL = 15 kHz) を選択時は、定周期割り込み機能のみ使用できます。

ただし、fIL選択時の定周期割り込み間隔は、定周期(RTCC0レジスタで選択した値) × fSUB/fILで算出される値になります。

8.3.3 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック2動作の開始/停止, RTC1HZ端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により, 00Hになります。

図8-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマット(1/2)

アドレス: FFF9DH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE ^{注1}	リアルタイム・クロック2の動作制御	
0	カウンタ動作停止	
1	カウンタ動作開始	

RCLOE1 ^{注2}	RTC1HZ端子の出力制御	
0	RTC1HZ端子の出力(1 Hz)禁止	
1	RTC1HZ端子の出力(1 Hz)許可	
RTC E = 0の時は時計カウンタが動作しないため, 1 Hz出力は出力されません。		

RTCE, RCLOE1の設定値と状態の関係

レジスタ設定値		状態	
RTCE	RCLOE1	リアルタイム・クロック2の状態	RTC1HZ端子出力
0	x	カウント停止	出力しない
1	0	カウント動作	出力しない
	1	カウント動作	1 Hz出力

注1. RTCE = 1に設定直後にSTOPモードに移行する場合は, 図8-20 RTCE = 1に設定後のHALT/STOPモードへの移行手順にしたがってSTOPモードに移行してください。

注2. 時計カウンタ動作中(RTCE = 1)にRCLOE1ビットの設定を行った場合, 1 Hz出力端子(RTC1HZ)にグリッチが出力する可能性があります。

注意 ビット4, 6には必ず0を設定してください。

図8-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマット(2/2)

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

AMPM	12時間制/24時間制の選択
0	12時間制(午前/午後を表示する)
1	24時間制

• AMPMビットの値を時計カウンタ動作中(RTCE = 1)に変更する場合は、RWAIT (RTCC1のビット0) = 1にしてから書き換え、時カウンタ(HOUR)を再設定してください。
 AMPMビットが0の場合は12時間表示、1の場合は24時間表示になります。
 • 時間桁表示を表8-2に示します。

CT2	CT1	CT0	定周期割り込み(INTRTC)の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度(秒カウントアップに同期)
0	1	0	1秒に1度(秒カウントアップと同時)
0	1	1	1分に1度(毎分00秒)
1	0	0	1時間に1度(毎時00分00秒)
1	0	1	1日に1度(毎日00時00分00秒)
1	1	x	1月に1度(毎月1日午前00時00分00秒)

カウンタ動作中(RTCE = 1)にCT2-CT0ビットの値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFGフラグ、RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注意 ビット4, 6には必ず0を設定してください。

備考 x : don't care

8.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により，00Hになります。

図8-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(1/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中(RTCE = 1)かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ(RTCC1レジスタのWALIEフラグ，アラーム分レジスタ(ALARMWM)，アラーム時レジスタ(ALARMWH)，アラーム曜日レジスタ(ALARMWW))を設定する場合，WALEビットを一致動作無効0にしてください。	

WALIE	アラーム割り込み(INTRTC)機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

注意 RTCC1に1ビット操作命令で書き込みを行うと，RIFGフラグ，WAFGフラグがクリアされることがあります。

そのため，RTCC1への書き込みは8ビット操作命令で設定してください。

書き込み時にRIFGフラグ，WAFGフラグをクリアしないようにするために，該当ビットに1(書き込みが無効)を設定してください。なお，RIFGフラグ，WAFGフラグを使用せず値が書き変わっても問題ない場合は，RTCC1に1ビット操作命令で書き込みを行っても問題ありません。

図8-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

RITE	補正タイミング信号割り込み (INTRTIT) 機能の動作制御
0	補正タイミング信号割り込みを発生しない
1	補正タイミング信号割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラーム一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、1クロック (32.768 kHz) 後に1となります。 0を書き込むことでクリアされ、1の書き込みは無効となります。(1を書き込む操作をしてもWAFGの値は書き変わりません。)	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により1となります。 0を書き込むことでクリアされ、1の書き込みは無効となります。(1を書き込む操作をしてもRIFGの値は書き変わりません。)	

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFG フラグ、WAFG フラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時に、RIFG フラグ、WAFG フラグをクリアしないようにするためには、該当ビットに1(書き込みが無効)を設定してください。なお、RIFG フラグ、WAFG フラグを使用せず値が書き換わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行ってもかまいません。

図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(3/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

RWST	リアルタイム・クロック2のウェイト状態フラグ
0	カウンタ動作
1	カウンタ値読み出し、書き込みモード中

RWAITビットの設定が有効であることを示すステータス・フラグです。
 カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとで行ってください。
 RWAITビットに0を設定しても、カウンタ書き込み動作中はRWSTビットは0になりません。書き込み動作完了後、0になります。

RWAIT	リアルタイム・クロック2のウェイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。
 カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
 アラーム割り込みを使用するときに、カウンタの読み出し/書き込みを行う場合は、RTCC0レジスタのCT2~CT0ビットを010B(1秒毎に定周期割り込み発生)にして、RWAIT=1からRWAIT=0までの処理を次の定周期割り込みが発生するまでに行ってください。
 RWAIT=1に設定後、カウンタ値の読み出し、書き込みが可能(RWST=1)となるまで最大1クロック(fRTC)の時間がかかります。(注1, 2)RWST=1になっていることを確認したあとカウンタ読み出し、書き込みを行ってください。
 カウンタ(16ビット)のオーバーフローがRWAIT=1の時に起きた場合は、オーバーフローが起きたことを保持してRWAIT=0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

注1. RTCE=1に設定した後、fRTCの1クロック時間内でRWAIT=1とした場合、RWSTビットが1になるまで動作クロック(fRTC)の2クロック時間がかかる場合があります。

注2. スタンバイ(HALTモード、STOPモード、SNOOZEモード)から復帰した後、fRTCの1クロック時間内で、RWAIT=1とした場合、RWSTビットが1になるまでに、動作クロック(fRTC)の2クロック時間がかかる場合があります。

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに1(書き込みが無効)を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行ってもかまいません。

備考1. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因(INTRTC)を使用しています。
 この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ(RIFG)とアラーム検出ステータス・フラグ(WAFG)を確認することで、どちらの割り込みが発生したかを判断することができます。

備考2. 秒カウント・レジスタ(SEC)への書き込みを行うと内部カウンタ(16ビット)はクリアされます。

8.3.5 秒カウント・レジスタ (SEC)

0-59 (10進)までの値を取り、秒のカウント値を示す8ビットのレジスタです。

カウンタ(16ビット)からのオーバーフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ、最大2クロック (fRTC)後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-8 秒カウント・レジスタ (SEC)のフォーマット

アドレス : FFF92H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 時計カウンタ動作中 (RTCE = 1) に、SEC をリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

備考 秒カウント・レジスタ (SEC) への書き込みを行うと内部カウンタ (16ビット) はクリアされます。

8.3.6 分カウント・レジスタ (MIN)

0-59 (10進)までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (f_{RTC})後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-9 分カウント・レジスタ (MIN)のフォーマット

アドレス : FFF93H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 時計カウンタ動作中 (RTCE = 1)に、MINをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.7 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進)までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (f_{RTC})後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット3 (AMPM)で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると、HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-10 時カウント・レジスタ (HOUR)のフォーマット

アドレス : FFF94H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1. HOURレジスタのビット5 (HOUR20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

注意2. 時計カウンタ動作中 (RTCE = 1)に、HOURをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

AMPMビットの設定値，および時カウント・レジスタ (HOUR) 値と時間の関係を表8-2に示します。

表8-2 時間桁表示表

24時間表示 (AMPMビット = 1)		12時間表示 (AMPMビット = 0)	
時間	HOUR レジスタ	時間	HOUR レジスタ
0時	00 H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOUR レジスタ値は，AMPMビットが0のときに12時間表示，1のときに24時間表示となります。

12時間表示の場合は，HOUR レジスタの5ビット目で午前／午後を表示し，午前 (AM) のときに0に，午後 (PM) のときに1となります。

8.3.8 日カウント・レジスタ (DAY)

1-31 (10進)までの値を取り、日のカウント値を示す8ビットのレジスタです。
時カウンタからのオーバーフローによりカウント・アップする10進カウンタです。
カウンタは、次に示すようにカウントします。

[DAYのカウント値]

- 01-31 (1, 3, 5, 7, 8, 10, 12月)
- 01-30 (4, 6, 9, 11月)
- 01-29 (2月 うるう年)
- 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大2クロック (f_{RTC})後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-11 日カウント・レジスタ (DAY)のフォーマット

アドレス : FFF96H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 時計カウンタ動作中 (RTCE = 1) に、DAYをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.9 曜日カウント・レジスタ (WEEK)

0-6 (10進)までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタへの桁上げ時にカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-12 曜日カウント・レジスタ (WEEK)のフォーマット

アドレス : FFF95H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ (WEEK)には、月カウント・レジスタ (MONTH)および日カウント・レジスタ (DAY)に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00 H
月	01 H
火	02 H
水	03 H
木	04 H
金	05 H
土	06 H

注意2. 時計カウンタ動作中 (RTCE = 1)に、WEEKをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.10 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進)までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-13 月カウント・レジスタ (MONTH)のフォーマット

アドレス : FFF97H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 時計カウンタ動作中 (RTCE = 1)に、MONTHをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.11 年カウント・レジスタ (YEAR)

0-99 (10進)までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH)からのオーバフローによりカウント・アップする10進カウンタです。

00, 04, 08, …, 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-14 年カウント・レジスタ (YEAR)のフォーマット

アドレス : FFF98H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 時計カウンタ動作中 (RTCE = 1)に、YEARをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.12 時計誤差補正レジスタ (SUBCUD)

時計誤差補正レジスタ (SUBCUD) は、カウンタの値を毎秒ごとに補正することにより、時計の進みや遅れを最小分解能0.96 ppm精度で補正することができるレジスタです。

SUBCUDレジスタは、16ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、0020Hになります。

図8-15 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス : F0310H リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUBCUD	F15	0	0	0	0	0	0	F8	F7	F6	F5	F4	F3	F2	F1	F0
	F15	時計誤差補正許可														
	0	時計誤差補正停止														
	1	時計誤差補正許可														

時計誤差補正レジスタ (SUBCUD) による水晶振動子の発振周波数偏差の補正可能範囲を表8-3に示します。

表8-3 水晶振動子の発振周波数偏差の補正可能範囲

項目	値
補正可能範囲	-274.6 ppm ~ +212.6 ppm
最大量子化誤差	±0.48 ppm
最小分解能	0.96 ppm

表8-4 時計誤差補正值

SUBCUD										ターゲット補正值	
F15	F8	F7	F6	F5	F4	F3	F2	F1	F0		
1	1	0	0	0	0	0	0	0	0	-274.6 ppm	
	1	0	0	0	0	0	0	0	1	-273.7 ppm	
	1	0	0	0	0	0	0	1	0	-272.7 ppm	

	1	1	1	1	1	1	1	1	0	1	-33.3 ppm
	1	1	1	1	1	1	1	1	1	0	-32.4 ppm
	1	1	1	1	1	1	1	1	1	1	-31.4 ppm
	0	0	0	0	0	0	0	0	0	0	-30.5 ppm
	0	0	0	0	0	0	0	0	0	1	-29.6 ppm
	0	0	0	0	0	0	0	0	1	0	-28.6 ppm

	0	0	0	0	1	1	1	1	1	1	-0.95 ppm
0	0	0	1	0	0	0	0	0	0	0 ppm	
0	0	0	1	0	0	0	0	0	1	0.95 ppm	
.	
.	
.	
0	1	1	1	1	1	1	1	0	1	210.7 ppm	
0	1	1	1	1	1	1	1	1	0	211.7 ppm	
0	1	1	1	1	1	1	1	1	1	212.6 ppm	
0	x	x	x	x	x	x	x	x	x	時計誤差補正停止	

SUBCUDレジスタのF8-F0値は、ターゲット補正值から次の計算式で算出してください。

$$\text{SUBCUD}[8:0] = \left[\frac{\text{ターゲット補正值 [ppm]} \times 2^{20}}{10^6} \right]_{2\text{進}(9\text{桁})} + 0\ 0010\ 0000\ \text{B}$$

注意 ターゲット補正值とは、水晶振動子の発振周波数偏差(単位は[ppm])を示します。ターゲット補正值の算出方法については、8.4.8 リアルタイム・クロック2の時計誤差補正例を参照してください。

例1. ターゲット補正值 = 18.3 [ppm]の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (18.3 \times 2^{20} / 10^6)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (19.1889408)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= 000010011\text{B} + 000100000\text{B} \\ &= 000110011\text{B} \end{aligned}$$

例2. ターゲット補正值 = -18.3 [ppm]の場合

$$\begin{aligned}\text{SUBCUD}[8:0] &= (-18.3 \times 2^{20} / 10^6) \text{ 2進(9桁) } + 000100000\text{B} \\ &= (-19.1889408) \text{ 2進(9桁) } + 000100000\text{B} \\ &= (000010011\text{B}) \text{ 2の補数 } + 000100000\text{B} \\ &= 111101101\text{B} + 000100000\text{B} \\ &= 000001101\text{B}\end{aligned}$$

8.3.13 アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-16 アラーム分レジスタ (ALARMWM)のフォーマット

アドレス : FFF9AH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

注意 注意設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームが検出されません。

8.3.14 アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-17 アラーム時レジスタ (ALARMWH)のフォーマット

アドレス : FFF9BH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意1. 注意設定する値は10進の00～23または01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームが検出されません。

注意2. ALARMWHレジスタのビット5 (WH20)は, AMPM = 0 (12時間制)を選択した場合, AM (0) / PM (1)を示します。

8.3.15 アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-18 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス : FFF9CH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

表8-5にアラーム時刻の設定例を示します。

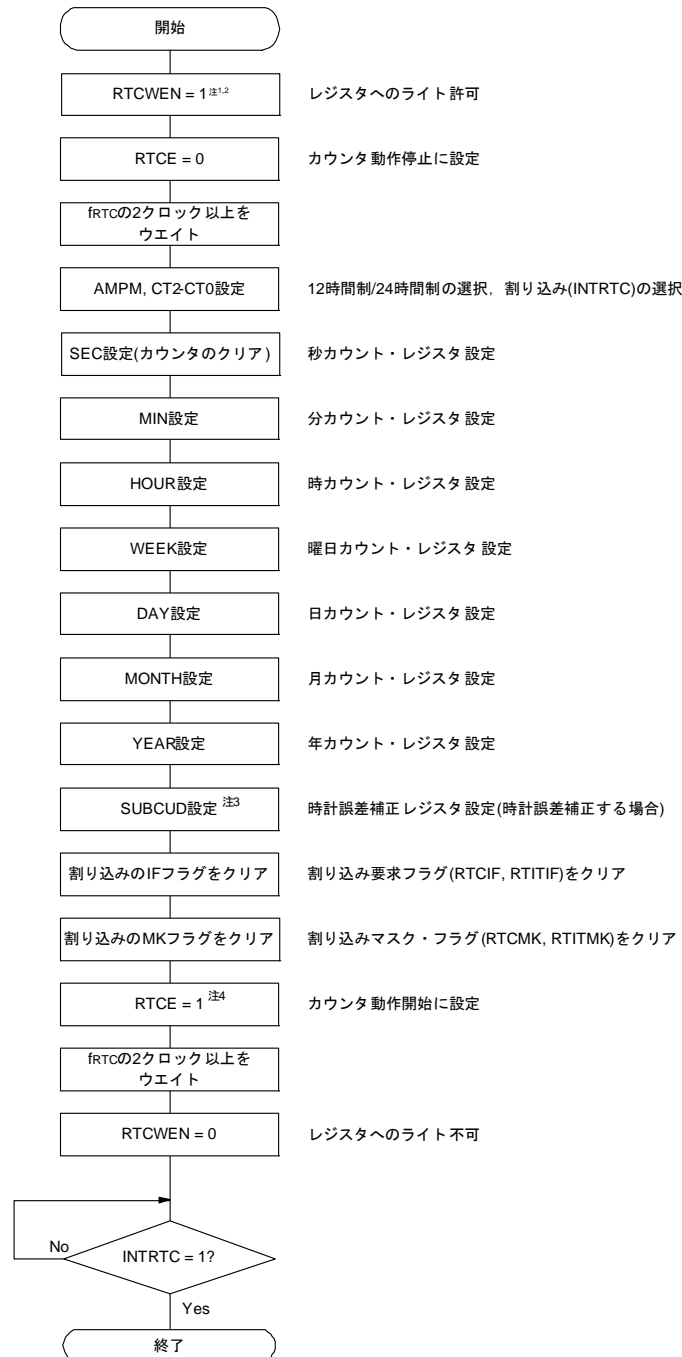
表8-5 アラーム時刻の設定例

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
0	1	2	3	4	5	6									
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

8.4 リアルタイム・クロック2の動作

8.4.1 リアルタイム・クロック2の動作開始

図8-19 リアルタイム・クロック2の動作開始手順



注1. RTCレジスタへのアクセス時以外は、RTCWEN = 0に設定してください。

注2. 入カロック (fRTC) が発振安定状態において、最初に RTCWEN = 1の設定を行ってください。

注3. 時計誤差補正する必要がある場合のみ。補正値の算出方法は、8.4.8 リアルタイム・クロック2の時計誤差補正例を参照してください。

注4. RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は、8.4.2 動作開始後のHALT/STOPモードへの移行の手順を確認してください。

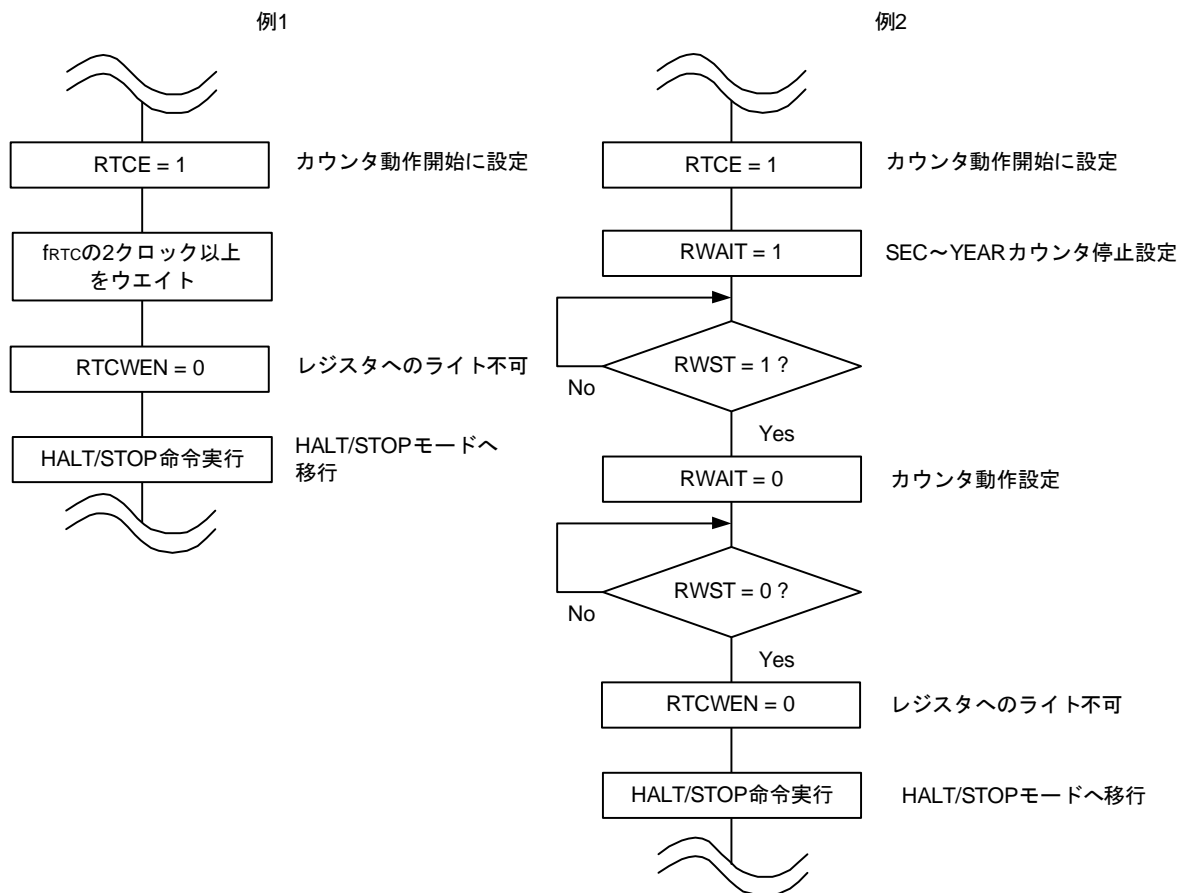
8.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目INTRTC割り込みの発生以降にHALT/STOPモードへ移行する場合は、これらの処理は必要ありません。

- (1) RTCE = 1に設定してから、入力クロック (f_{RTC})の2クロック分以上経過後にHALT/STOPモードへ移行する(図8-20 例1参照)。
- (2) RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する(図8-20 例2参照)。

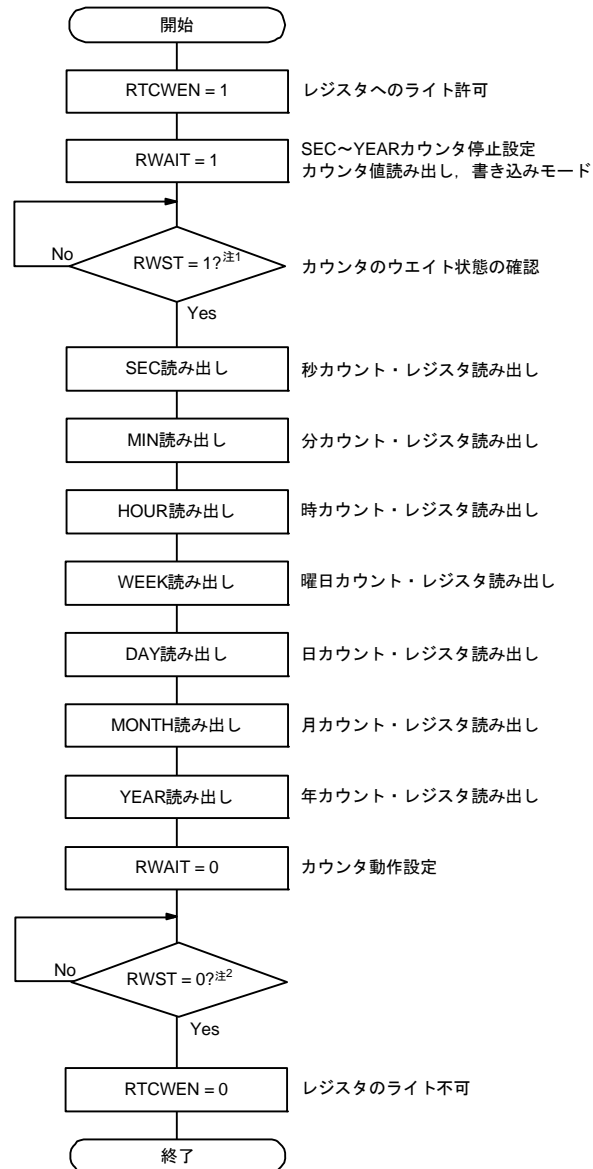
図8-20 RTCE = 1に設定後のHALT/STOPモードへの移行手順



8.4.3 リアルタイム・クロック2のカウンタ読み出し

カウンタ動作時(RTCE = 1)のカウンタの読み出しは、最初にRWAIT = 1にしてから行ってください。
カウンタの読み出し終了後は、RWAIT = 0にしてください。

図8-21 リアルタイム・クロック2の読み出し手順



注1. カウンタ停止(RTCE = 0)時はRWST = 1になりません。

注2. HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまでの処理を1秒以内で行ってください。

アラーム割り込みを使用するときに、カウンタ読み出しを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

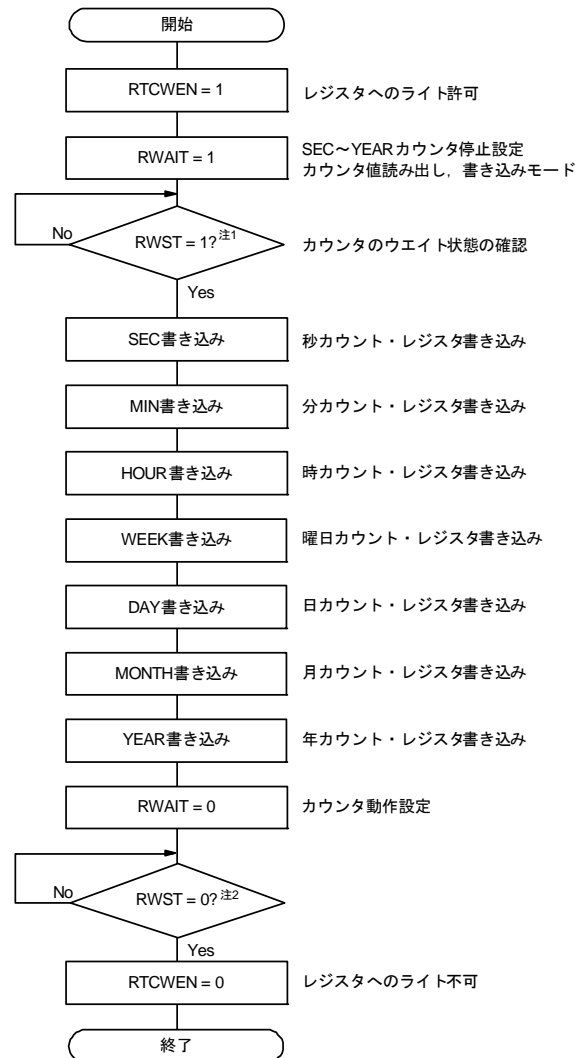
備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。

また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

8.4.4 リアルタイム・クロック2のカウンタ書き込み

カウンタ動作時(RTCE = 1)のカウンタの書き込みは、最初にRWAIT = 1にしてから行ってください。
カウンタの読み出し終了後は、RWAIT = 0にしてください。

図8-22 リアルタイム・クロック2の書き込み手順



注1. カウンタ停止(RTCE = 0)時はRWST = 1になりません。

注2. HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. RWAIT = 1からRWAIT = 0とするまでの処理を1秒以内で行ってください。

アラーム割り込みを使用するときに、カウンタ書き込みを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

注意2. カウンタ動作中(RTCE = 1)にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

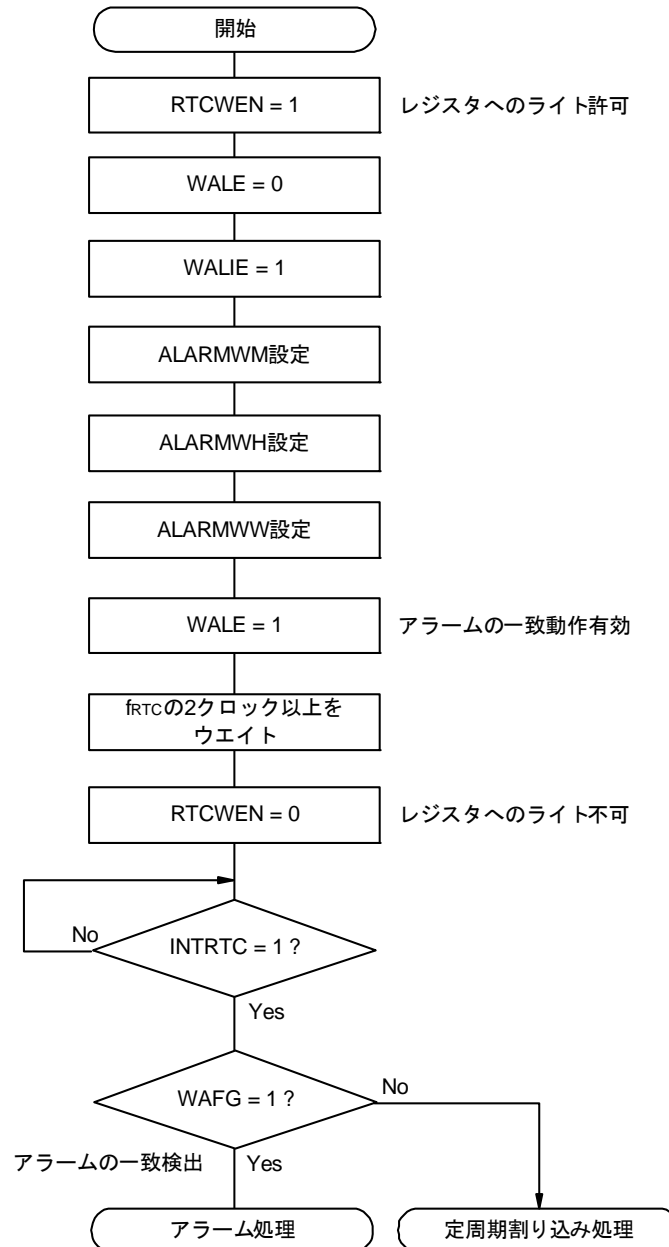
備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。

また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

8.4.5 リアルタイム・クロック2のアラーム設定

アラーム時刻設定は、最初に WALE = 0 (アラーム動作無効) にしてから行ってください。

図8-23 アラーム設定手順



備考1. ALARMWWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

備考2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因(INTRTC)を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ(RIFG)とアラーム検出ステータス・フラグ(WAFG)を確認することで、どちらの割り込みが発生したかを判断することができます。

8.4.6 リアルタイム・クロック2の1 Hz出力

図8-24 1 Hz出力の設定手順

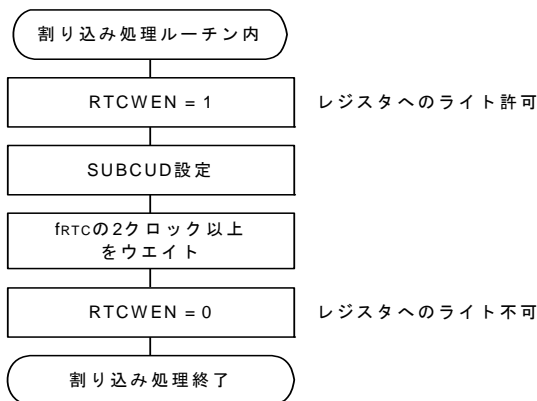


8.4.7 時計誤差補正レジスタの設定手順

時計誤差補正レジスタ (SUBCUD) を設定する場合は、補正タイミング信号割り込み (INTRTIT) の割り込み処理ルーチン内で、次の処理を行ってください。

注意 補正タイミング信号割り込み (INTRTIT) 発生から、割り込み応答および SUBCUD 設定までを1秒以内 (毎秒補正の次のタイミングまで) に完了させてください。

RTCWEN = 1 に設定後に、時計誤差補正レジスタを設定。その後、RTCWEN = 0 に設定してください。



8.4.8 リアルタイム・クロック2の時計誤差補正例

時計誤差補正レジスタ(SUBCUD)に値を設定することにより、毎秒ごとに時計の進みや遅れを最小分解能0.96 ppm精度で補正できます。

次に、ターゲット補正值の算出方法と、ターゲット補正值から時計誤差補正レジスタのF8-F0値を算出する方法を示します。

ターゲット補正值の算出方法1

(RTC1HZ端子の出力周波数を使用する場合)

【発振周波数の測定】

各製品の発振周波数^注を、時計誤差補正レジスタ(SUBCUD)のF15が1(時計誤差補正停止)のときにRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、8.4.6 リアルタイム・クロック2の1 Hz出力を参照してください。

【ターゲット補正值の算出】

(RTC1HZからの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \approx 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hzとすると、ターゲット補正值は、

$$\begin{aligned} \text{ターゲット補正值} &= \text{発振周波数} \div \text{ターゲット周波数} - 1 \\ &= 32767.4 \div 32768 - 1 \\ &\approx -18.3 \text{ ppm} \end{aligned}$$

備考1. 発振周波数とは、入力クロック(f_{RTC})の値です。時計誤差補正停止時のRTC1HZ出力周波数×32768で求めることができます。

備考2. ターゲット補正值とは、水晶振動子の発振周波数偏差(単位は[ppm])です。

備考3. ターゲット周波数とは、時計誤差補正を行った後の周波数です。

時計誤差補正レジスタ (SUBCUD) の F8-F0 値の算出方法

SUBCUD レジスタの F8-F0 値は、ターゲット補正值から次の計算式で算出できます。

$$\text{SUBCUD}[8:0] = \left[\frac{\text{ターゲット補正值 [ppm]} \times 2^{20}}{10^6} \right]_{2\text{進}(9\text{桁})} + 0\ 0010\ 0000\ \text{B}$$

例1. ターゲット補正值 = -18.3 [ppm] の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (-18.3 \times 2^{20} / 10^6)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (-19.1889408)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (000010011\text{B})_{2\text{の補数}} + 000100000\text{B} \\ &= 111101101\text{B} + 000100000\text{B} \\ &= 000001101\text{B} \end{aligned}$$

例2. ターゲット補正值 = 94.0 [ppm] の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (94.0 \times 2^{20} / 10^6)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (98.566144)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= 001100011\text{B} + 000100000\text{B} \\ &= 010000011\text{B} \end{aligned}$$

第9章 12ビット・インターバル・タイマ

9.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み (INTIT) を発生します。STOP モードからのウエイク・アップのトリガに使えます。

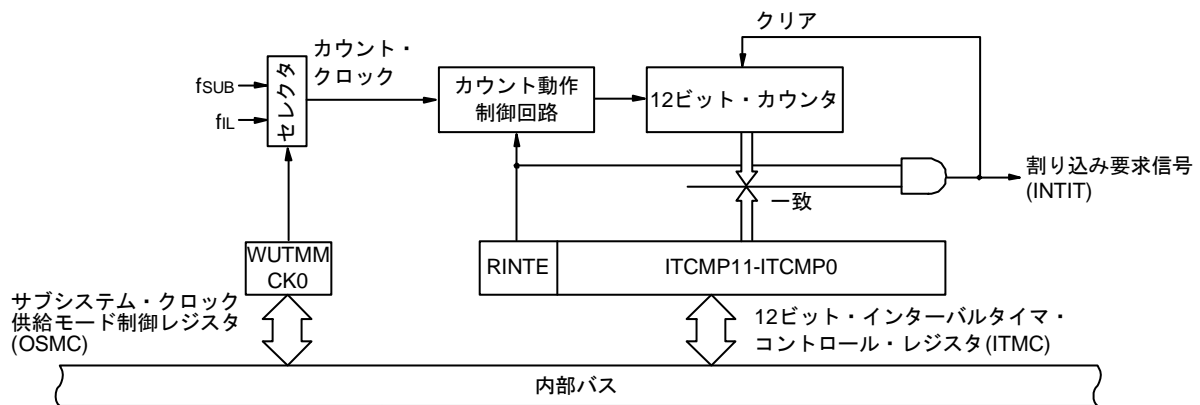
9.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表9-1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

図9-1 12ビット・インターバル・タイマのブロック図



9.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ1 (PER1)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

9.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	0	AMPEN ^注	DTCEN	PGAEN ^注	AFEEN ^注	DACEN ^注

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • 12ビット・インターバル・タイマで使用するSFRへのライト不可 • 12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> • 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注 R5F11N, R5F11Pのみ。

注意1. 12ビット・インターバル・タイマを使用する際は、カウント・クロック (f_{RTC}) が発振安定した状態で、必ず最初に TMKAEN = 1 に設定してから下記のレジスタの設定を行ってください。TMKAEN = 0 の場合は、12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され、読み出し値は初期値となります (サブシステム・クロック供給モード制御レジスタ (OSMC) は除く)。

- 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

注意2. サブシステム・クロック供給モード制御レジスタ (OSMC) の RTCLPC = 1 に設定することにより、STOPモード時およびサブシステム・クロック時 HALTモードで、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力、LCD コントローラ／ドライバ、シリアル・インターフェース UARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタ以外の周辺機能へのクロック供給を停止することが可能です。

注意3. ビット5, 6には必ず0を設定してください。

9.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマの動作クロックを選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第5章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0 注	リアルタイム・クロック2, 12ビット・インターバル・タイマn, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバ, タイマRJ0, 1の動作クロックの選択	クロック出力/ブザー出力のPCLBUZn端子の出カクロックの選択
0	サブシステム・クロック (fSUB) <ul style="list-style-type: none"> リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバの動作クロックはサブシステム・クロックになります。 タイマRJ0,1のカウントソースに低速オンチップ・オシレータを選択することはできません。 	サブシステム・クロック (fSUB)選択許可
1	低速オンチップ・オシレータ・クロック (fIL) <ul style="list-style-type: none"> リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバの動作クロックは低速オンチップ・オシレータ・クロックになります。 タイマRJ0,1のカウントソースは低速オンチップ・オシレータ, サブシステム・クロックのいずれかを選択することができます。 	サブシステム・クロック (fSUB)選択禁止

注 サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択 (WUTMMCK0ビット = 0)にしてください。

注意1. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバの全ての機能が動作停止中のみ可能です。

注意2. WUTMMCK0ビット = 1設定時にクロック出力/ブザー出力の出カクロックとしてfSUBを選択することは禁止です。

9.3.3 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図9-4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0	
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0	
	RINTE	12ビット・インターバル・タイマの動作制御				
	0	カウンタ動作停止(カウント・クリア)				
	1	カウンタ動作開始				
	ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定				
	001H	「カウント・クロック周期 × (ITCMP 設定値 + 1)」の定周期割り込みを発生します。				
	.					
	.					
	.					
	FFFH					
	000H	設定禁止				
ITCMP11-ITCMP0 = 001H, FFFH 設定時の割り込み周期例						
<ul style="list-style-type: none"> ITCMP11-ITCMP0 = 001H, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (1 + 1) = 0.06103515625 \text{ [ms]} \doteq 61.03 \text{ [}\mu\text{s]}$ ITCMP11-ITCMP0 = FFFH, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (4095 + 1) = 125 \text{ [ms]}$ 						

注意1. RINTE ビットを1→0に変更する場合は、INTIT を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0→1)する場合は、ITIF フラグをクリアしてから割り込み処理許可にしてください。

注意2. RINTE ビットのリード値は、RINTE ビット設定後、カウント・クロックの1クロック後に反映されます。

注意3. スタンバイ・モードから復帰後に RINTE ビット設定して、再度スタンバイ・モードに移行する場合は、RINTE ビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分の時間以上経過後に移行してください。

注意4. ITCMP11-ITCMP0 ビットの設定を変更する場合は、必ず RINTE = 0 のときに行ってください。

ただし、RINTE = 0→1 または 1→0 に変更するのと同時に ITCMP11-ITCMP0 ビットの設定を変更することは可能です。

9.4 12ビット・インターバル・タイマの動作

9.4.1 12ビット・インターバル・タイマの動作タイミング

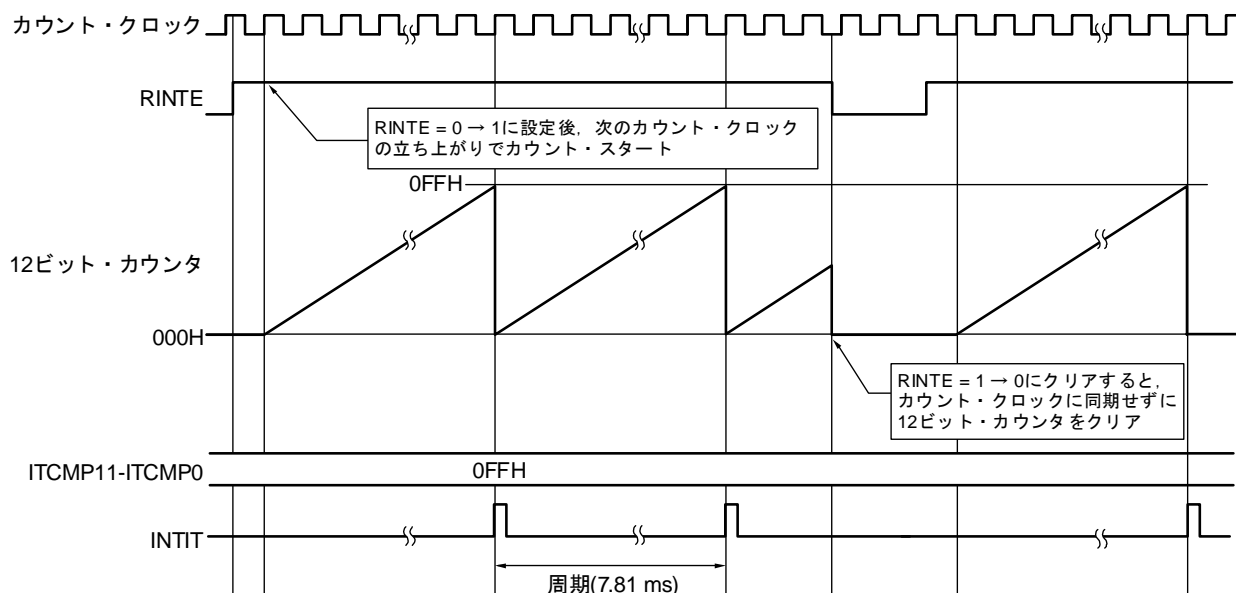
ITCMP11-ITCMP0 ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTIT) を発生する12ビット・インターバル・タイマとして動作します。

RINTE ビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0 ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号(INTIT) を発生します。

12ビット・インターバル・タイマの基本動作を図9-5に示します。

図9-5 12ビット・インターバル・タイマ動作のタイミング
(ITCMP11-ITCMP0 = 0FFH, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$)

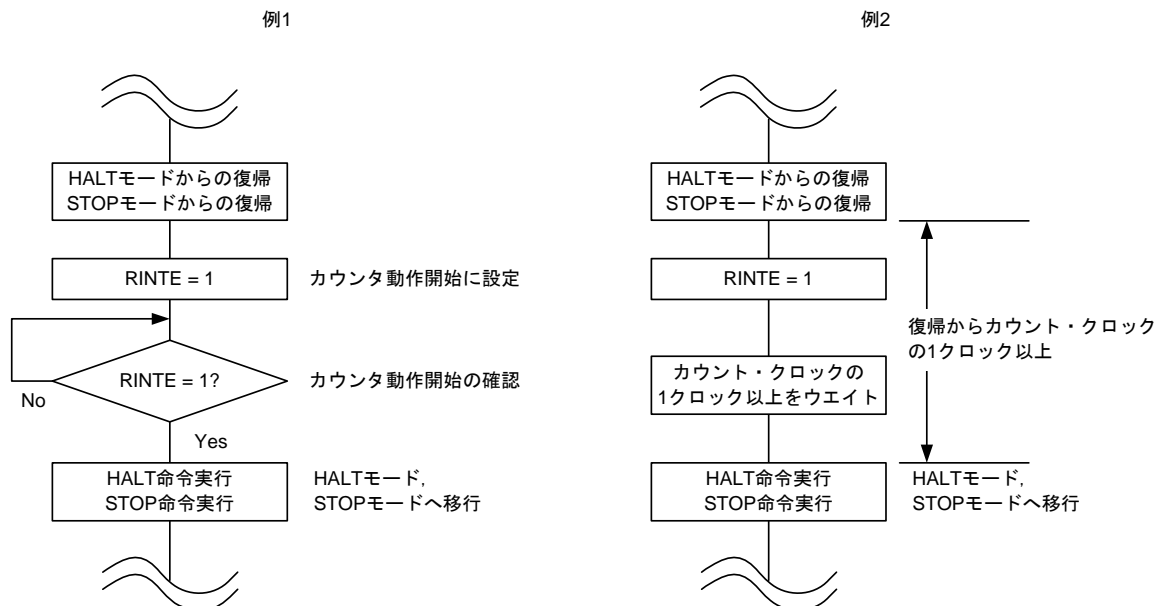


9.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウンタ・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する(図9-6 例1参照)。
- RINTE = 1に設定してから、カウンタ・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する(図9-6 例2参照)。

図9-6 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第10章 タイマRJ (R5F11Rのみ)

10.1 タイマRJnの機能

タイマRJnはパルス出力、外部入力のパルス幅／周期測定、外部イベントをカウントできる16ビットタイマです。R5F11Rでは2チャンネル搭載しています。

16ビットタイマはリロードレジスタとダウンカウンタから構成されます。リロードレジスタとダウンカウンタは同じ番地に配置されており、TRJnレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます。

表10-1にタイマRJnの仕様を、図10-1にタイマRJnのブロック図を示します。

表10-1 タイマRJnの仕様

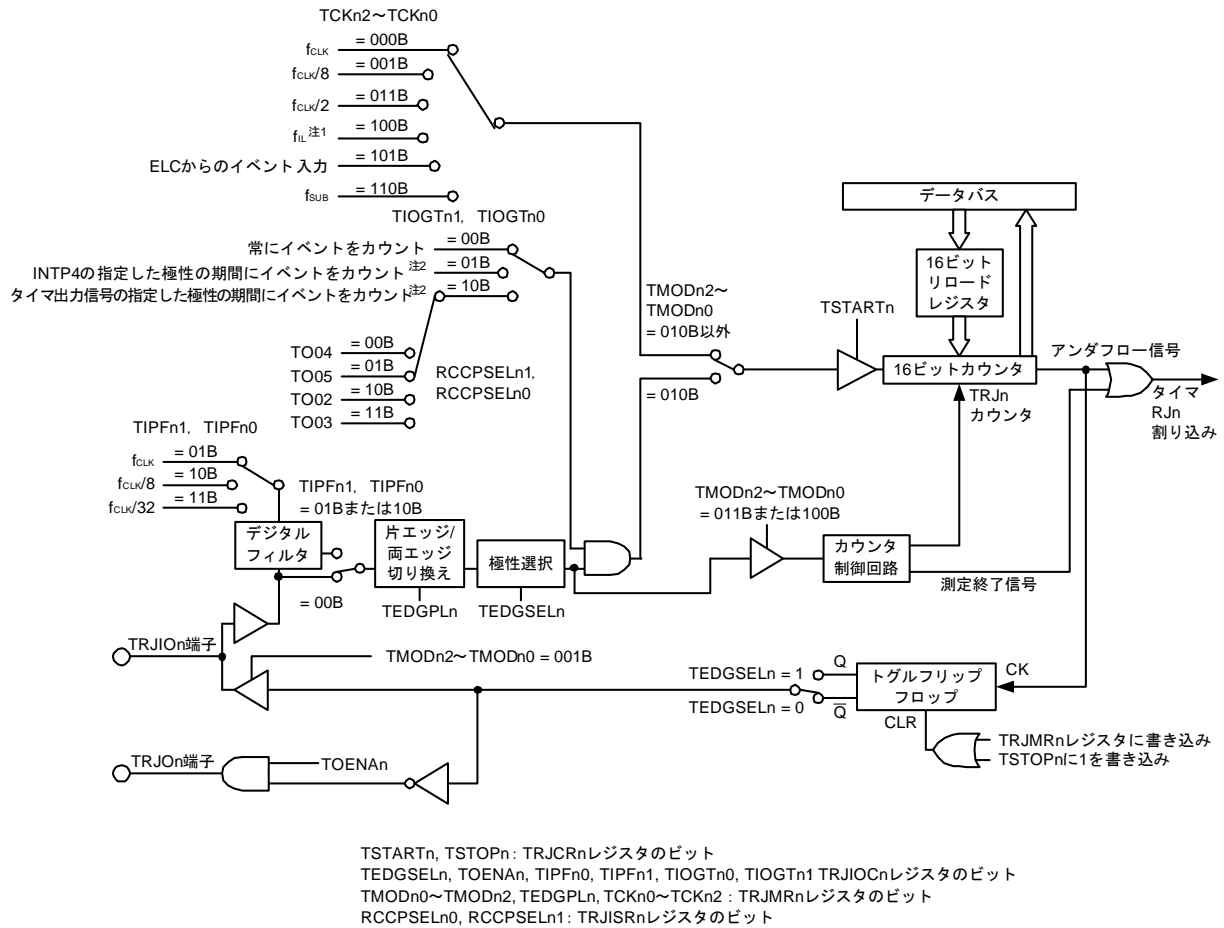
項目	内容	
動作 モード	タイマモード	カウントソースをカウントする
	パルス出力モード	カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部イベントをカウントする STOPモード時も動作可能
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース(動作クロック)	fCLK, fCLK/2, fCLK/8, fIL, fSUB, イベント・リンク・コントローラ(ELC)からのイベント入力から選択可能	
割り込み	<ul style="list-style-type: none"> カウンタがアンダフローしたとき パルス幅測定モードで、外部入力(TRJIO_n)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO_n)の設定エッジが入力されたとき 	
選択機能	<ul style="list-style-type: none"> イベント・リンク・コントローラ(ELC)との連携 カウントソースにELCからのイベント入力を選択可能 	

備考 n: チャンネル番号 (n = 0, 1)

10.2 タイマRJnの構成

図10-1にタイマRJnのブロック図を、表10-2にタイマRJnの端子構成を示します。

図10-1 タイマRJnのブロック図



- 注1. カウントソースにfilを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを1にしてください。ただし、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDコントローラ/ドライバの動作クロックにfsUBを選択している場合は、タイマRJnのカウントソースにfilを選択することができません。
- 注2. TRJISnレジスタのRCCPSELn2ビットで極性を選択できます。

表10-2 タイマRJnの端子構成

端子名	入出力	機能
INTP4	入力	タイマRJnのイベントカウンタモード制御
TRJOn	入出力	タイマRJnの外部イベント入力, パルス出力
TRJOn	出力	タイマRJnのパルス出力

備考 n: チャネル番号 (n = 0, 1)

10.3 タイマRJを制御するレジスタ

表10-3にタイマRJnを制御するレジスタを示します。

表10-3 タイマRJnを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ2	PER2
サブシステム・クロック供給モード制御レジスタ	OSMC
タイマRJカウンタレジスタn ^注	TRJn
タイマRJ制御レジスタn	TRJCRn
タイマRJ I/O制御レジスタn	TRJIOcn
タイマRJモードレジスタn	TRJMRn
タイマRJイベント端子選択レジスタn	TRJISRn
ポート・レジスタ1	P1
ポート・レジスタ8	P8
ポート・モード・レジスタ1	PM1
ポート・モード・レジスタ8	PM8

注 TRJnレジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となります。このため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります。TRJnレジスタアクセス時のウェイト・クロック数は、リード、ライトともに1クロックです。

備考 n: チャネル番号 (n = 0, 1)

10.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRJ0を使用する場合は、必ずビット0 (TRJ0EN)を1に設定してください。

タイマRJ1を使用する場合は、必ずビット1 (TRJ1EN)を1に設定してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 周辺イネーブル・レジスタ2 (PER2)のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	0	UARTMG0EN	SMOTDEN	EXSDEN	TRJ1EN	TRJ0EN

TRJnEN	タイマRJnの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • タイマRJnで使用するSFRへのライト不可 • タイマRJnはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> • タイマRJnで使用するSFRへのリード/ライト可

注意1. タイマRJnの設定をする際には、必ず最初にTRJnEN = 1の設定を行ってください。TRJnEN = 0の場合は、タイマRJnの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ただし、ポート・モード・レジスタ1, 8 (PM1, PM8)、ポート・レジスタ1, 8 (P1, P8)は除く)。

注意2. ビット5-7には必ず0を設定してください。

備考 n : チャネル番号 (n = 0, 1)

10.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットでタイマRJnの動作クロックを選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第5章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0 注	リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバ, タイマRJ0,1の動作クロックの選択	クロック出力/ブザー出力のPCLBUZn端子の出力クロックの選択
0	サブシステム・クロック (fsUB) <ul style="list-style-type: none"> リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバの動作クロックはサブシステム・クロックになります。 タイマRJ0,1のカウントソースに低速オンチップ・オシレータを選択することはできません。 	サブシステム・クロック (fsUB)選択許可
1	低速オンチップ・オシレータ・クロック (fil) <ul style="list-style-type: none"> リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバの動作クロックは低速オンチップ・オシレータ・クロックになります。 タイマRJ0,1のカウントソースは低速オンチップ・オシレータ, サブシステム・クロックのいずれかを選択することができます。 	サブシステム・クロック (fsUB)選択禁止

注 サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択 (WUTMMCK0ビット = 0)にしてください。

注意1. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバの全ての機能が動作停止中のみ可能です。

注意2. WUTMMCK0ビット = 1設定時にクロック出力/ブザー出力の出力クロックとしてfsUBを選択することは禁止です。

10.3.3 タイマRJカウンタレジスタ n (TRJn)

16ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。

なお、TRJCRnレジスタのTSTARTnビットの値により、リロードレジスタとカウンタの状態が変わります。詳細は10.4.1 リロードレジスタとカウンタの書き換え動作を参照してください。

TRJnレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJnレジスタはFFFFHになります。

図10-4 タイマRJカウンタレジスタ n (TRJn)のフォーマット

アドレス : F0508H(TRJ0), F050AH(TRJ1) リセット時 : FFFFH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRJn																
	機能															設定範囲
ビット 15~0	16ビットのカウンタです。注1,2															0000H~FFFFH

注1. TRJCRnレジスタのTSTOPnビットに1を書くと、16ビットカウンタは強制停止し、FFFFHになります。

注2. TRJMRnレジスタのTCKn2~TCKn0ビットの設定が001B (fCLK/8)または011B (fCLK/2)以外では、TRJnレジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。ただし、TRJOnおよびTRJIO出力はトグル出力されます。

また、イベントカウンタモード時はTCKn2~TCKn0ビットの値に関わらず、TRJnレジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の1回しか発生しません。さらに、カウント指定期間外でもTRJOnがトグル出力されます。

TRJnレジスタが0001H以上の場合はTRJnがアンダフローするごとに要求信号が発生します。

注意 TRJnレジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。TRJnレジスタアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

備考 n : チャネル番号 (n = 0, 1)

10.3.4 タイマRJ制御レジスタ n (TRJCRn)

TRJCRnレジスタは、タイマRJnのカウント動作・停止の制御と、タイマRJnステータスを示すレジスタです。

TRJCRnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJCRnレジスタは00Hになります。

備考 n: チャネル番号 (n = 0, 1)

図10-5 タイマRJ制御レジスタn (TRJCRn)のフォーマット

アドレス : F0240H(TRJCR0), F0244H(TRJCR1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJCRn	0	0	TUNDFn	TEDGFn	0	TSTOPn	TCSTFn	TSTARTn

TUNDFn	タイマRJnアンダフローフラグ
0	アンダフローなし
1	アンダフローあり
[0になる条件]	
<ul style="list-style-type: none"> プログラムで0を書いたとき 	
[1になる条件]	
<ul style="list-style-type: none"> カウンタがアンダフローしたとき 	

TEDGFn	有効エッジ判定フラグ
0	有効エッジなし
1	有効エッジあり
[0になる条件]	
<ul style="list-style-type: none"> プログラムで0を書いたとき 	
[1になる条件]	
<ul style="list-style-type: none"> パルス幅測定モードで、外部入力(TRJIO_n)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO_n)の設定エッジが入力されたとき 	

TSTOPn	タイマRJnカウント強制停止 ^{注1}
1を書くと、カウント強制停止。読んだ場合、その値は0。	

TCSTFn	タイマRJnカウントステータスフラグ ^{注2}
0	カウント停止
1	カウント中
[0になる条件]	
<ul style="list-style-type: none"> TSTARTnビットに0を書いたとき(カウントソースに同期して0になる) TSTOPnビットに1を書いたとき 	
[1になる条件]	
<ul style="list-style-type: none"> TSTARTnビットに1を書いたとき(カウントソースに同期して1になる) 	

TSTARTn	タイマRJnカウント開始 ^{注2}
0	カウント停止
1	カウント開始
TSTARTnビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTnビットを1(カウント開始)にすると、カウントソースに同期してTCSTFnビットが1(カウント中)になります。また、TSTARTnビットに0を書き込み後、カウントソースに同期してTCSTFnビットが0(カウント停止)になります。詳細は10.5.1 カウント動作開始、停止制御を参照してください。	

注1. TSTOPnビットに1(カウント強制停止)を書くと、同時にTSTARTn、TCSTFnビットが初期化されます。また、パルス出力レベルも初期化されます。

注2. TSTARTn、TCSTFnビットの使用上の注意は10.5.1 カウント動作開始、停止制御を参照してください。

備考 n : チャネル番号 (n = 0, 1)

10.3.5 タイマRJ I/O制御レジスタ n (TRJIOCn)

TRJIOCnレジスタは、タイマRJnの入出力を設定するレジスタです。

TRJIOCnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJIOCnレジスタは00Hになります。

備考 n: チャネル番号 (n = 0, 1)

図10-6 タイマRJ I/O制御レジスタn (TRJIOCn)のフォーマット

アドレス : F0241H(TRJIOC0), F0245H(TRJIOC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJIOCn	TIOGTn1	TIOGTn0	TIPFn1	TIPFn0	0	TOENAn	0	TEDGSELn
	TIOGTn1	TIOGTn0	TRJIONカウント制御 ^{注1,2}					
	0	0	常にイベントをカウント					
	0	1	INTP4の指定した極性の期間イベントをカウント					
	1	0	タイマ出力信号の指定した極性の期間イベントをカウント					
	上記以外		設定禁止					
	TIPFn1	TIPFn0	TRJION入力フィルタ選択					
	0	0	フィルタなし					
	0	1	フィルタあり, fCLKでサンプリング					
	1	0	フィルタあり, fCLK/8でサンプリング					
	1	1	フィルタあり, fCLK/32でサンプリング					
	TRJION入力のフィルタのサンプリング周波数を指定します。TRJION端子からの入力をサンプリングして、その値が3回連続して一致したとき、入力が確定します。							
	TOENAn	TRJON出力許可						
	0	TRJON出力禁止(ポート)						
	1	TRJON出力許可						
	TEDGSELn	入出力極性切り替え						
	動作モードによって機能が異なります(表10-4, 表10-5参照)。							

注1. INTP4またはタイマ出力信号使用時,TRJISRnレジスタのRCCPSELn2ビットでイベントをカウントする極性を
選択できます。

注2. TIOGTn0, TIOGTn1ビットはイベントカウンタモードでのみ有効です。

備考 n : チャネル番号 (n = 0, 1)

表 10 - 4 TRJOn入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない(入出力ポート)
パルス出力モード	0 : Hから出力開始(初期化レベル : H) 1 : Lから出力開始(初期化レベル : L)
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : Lレベル幅を測定 1 : Hレベル幅を測定
パルス周期測定モード	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定

備考 n : チャネル番号 (n = 0, 1)

表 10 - 5 TRJOn出力極性切り替え

動作モード	機能
全モード	0 : Lから出力開始(初期化レベル : L) 1 : Hから出力開始(初期化レベル : H)

備考 n : チャネル番号 (n = 0, 1)

10.3.6 タイマRJモードレジスタ n (TRJMRn)

TRJMRnレジスタは、タイマRJnの動作モードを設定するレジスタです。

TRJMRnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJMRnレジスタは00Hになります。

備考 n : チャネル番号 (n = 0, 1)

図10-7 タイマRJモードレジスタn (TRJMRn)のフォーマット

アドレス : F0242H(TRJMR0), F0246H(TRJMR1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJMRn	0	TCKn2	TCKn1	TCKn0	TEDGPLn	TMODn2	TMODn1	TMODn0
	TCKn2			TIMA Rn カウントソース選択注1,2				
	0	0	0	fCLK				
	0	0	1	fCLK/8				
	0	1	1	fCLK/2				
	1	0	0	fIL注3				
	1	0	1	ELCからのイベント入力				
	1	1	0	fSUB				
	上記以外			設定禁止				
	TEDGPLn		TRJOn エッジ極性選択注4					
	0		片エッジ					
	1		両エッジ					
	TMODn2			TIMA Rn 動作モード選択注5				
	0	0	0	タイマモード				
	0	0	1	パルス出力モード				
	0	1	0	イベントカウンタモード				
	0	1	1	パルス幅測定モード				
	1	0	0	パルス周期測定モード				
	上記以外			設定禁止				

注1. イベントカウンタモードを選択すると、TCKn0 ~ TCKn2 ビットの設定にかかわらず、カウントソースは外部入力 (TRJOn) が選択されます。

注2. カウント中にカウントソースを切り替えしないでください。カウントソースを切り替えるときはTRJCRn レジスタのTSTARTn ビットとTCSTFn ビットがいずれも0 (カウント停止)のときに、カウントソースを切り替えてください。

注3. カウントソースにfILを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0 ビットを1にしてください。

ただし、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCD コントローラ/ドライバの動作クロックにfSUBを選択している場合は、タイマRJnのカウントソースにfILを選択することができません。

注4. TEDGPLn ビットはイベントカウンタモード時のみ有効です。

注5. 動作モードの変更は、カウント停止時 (TRJCRn レジスタのTSTARTn ビットとTCSTFn ビットが共に0 (カウント停止))のみ可能です。カウント動作中には変更しないでください。

注意 TRJMRn レジスタへのライトアクセスにて、タイマRJnのTRJOn端子およびTRJOn端子の出力は初期化されません。

初期化時の出力レベルは図10-6 タイマRJ I/O制御レジスタn (TRJIOcn)のフォーマットの説明を参照してください。

備考 n : チャネル番号 (n = 0, 1)

10.3.7 タイマRJイベント端子選択レジスタ n (TRJISRn)

TRJISRn レジスタは、イベントカウンタモード時に、イベントカウント期間を制御するタイマを選択、および極性の設定をするレジスタです。

TRJISRn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJISRn レジスタは00Hになります。

図10-8 タイマRJイベント端子選択レジスタ n (TRJISRn)のフォーマット

アドレス : F0243H(TRJISR0), F0247H(TRJISR1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJISRn	0	0	0	0	0	RCCPSEn2注	RCCPSEn1注	RCCPSEn0注

RCCPSEn2注	タイマ出力信号およびINTP4極性選択
0	L期間にイベントをカウント
1	H期間にイベントをカウント

RCCPSEn1注	RCCPSEn0注	タイマ出力信号選択
0	0	TO04
0	1	TO05
1	0	TO02
1	1	TO03

注 RCCPSELn0～RCCPSELn2ビットはイベントカウンタモードでのみ有効です。

備考 n : チャネル番号 (n = 0, 1)

10.3.8 ポート・モード・レジスタ 1, 8 (PM1, PM8)

ポート1, 8の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート(P15/TRJIO0/SEG34, P80/(SO20/TxD2)/(TI02/TO02)/TRJ00など)をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P15/TRJIO0/SEG34をタイマ出力として使用する場合

ポート・モード・レジスタ1のPM15ビットを0に設定

ポート・レジスタ1のP15ビットを0に設定

LCDポート・ファンクション・レジスタ4のPFSEG34ビットを0に設定

タイマ入力端子を兼用するポート (P15/TRJIO0/SEG34 など) をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

(例) P15/TRJIO0/SEG34をタイマ入力として使用する場合

ポート・モード・レジスタ1のPM15ビットを1に設定

ポート・レジスタ1のP15ビットを0または1に設定

LCDポート・ファンクション・レジスタ4のPFSEG34ビットを0に設定

PM1, PM8レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考. セグメント出力と兼用になっているポートをタイマ入出力機能として使用する場合は、LCD ポート・ファンクション・レジスタ0-4(PFSEG0-PFSEG4)の対応するビットを必ず0に設定してください。

図10-9 ポート・モード・レジスタ 1, 8 (PM1, PM8) のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF28H リセット時 : FFH R/W

PM8	1	PM86	PM85	PM84	PM83	PM82	PM81	PM80
-----	---	------	------	------	------	------	------	------

PMmn	Pmn端子の入出力モードの選択 (m = 1, 8 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

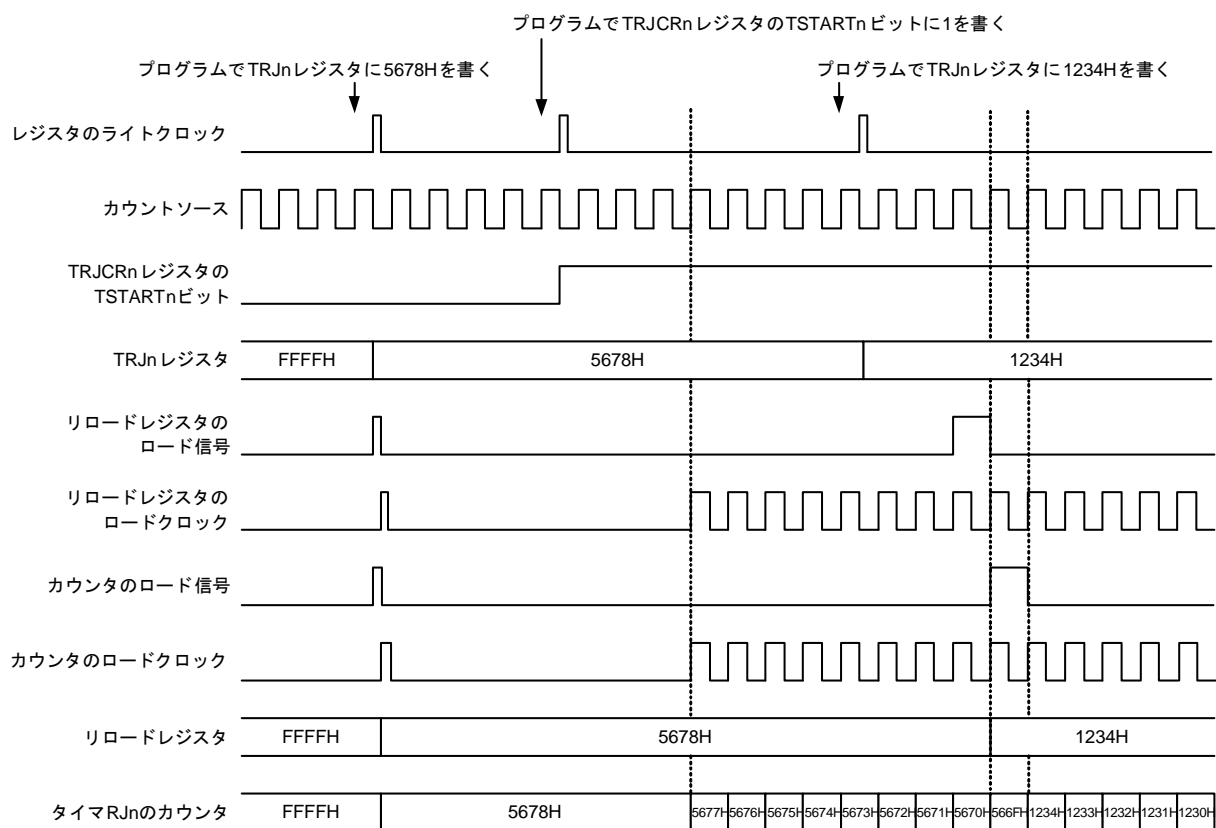
10.4 タイマRJnの動作

10.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらず TRJCRn レジスタの TSTARTn ビットの値によりタイミングが変わります。TSTARTn ビットが0 (カウント停止)のときは、直接リロードレジスタおよびカウンタに書き込まれます。TSTARTn ビットが1 (カウント開始)のときは、カウントソースに同期してリロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。

図10-10にTSTARTnビットの値による書き換え動作のタイミング図を示します。

図10-10 TSTARTnビットの値による書き換え動作のタイミング図



備考 n : チャネル番号 (n = 0, 1)

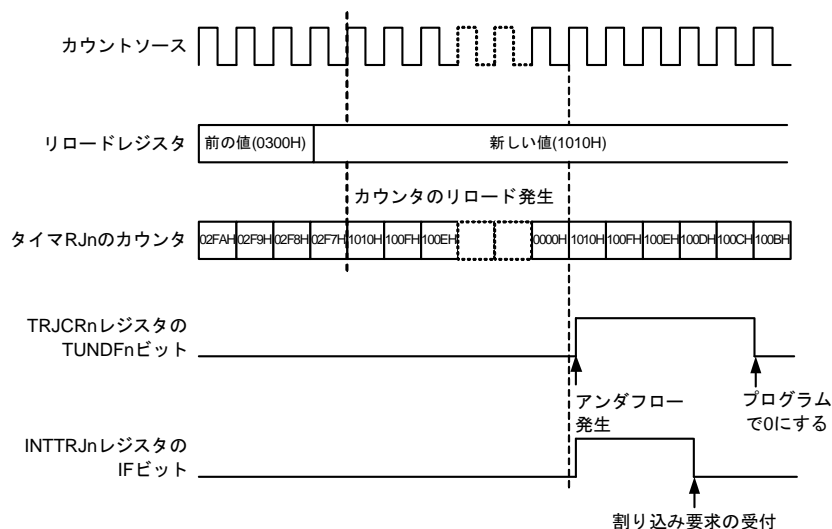
10.4.2 タイマモード

TRJMRnレジスタのTCKn0~TCKn2ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000Hになり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

図10-11にタイマモードの動作例を示します。

図10-11 タイマモードの動作例



備考 n : チャネル番号 (n = 0, 1)

10.4.3 パルス出力モード

TRJMRnレジスタのTCKn0～TCKn2ビットにより選択されたカウントソースでダウンカウントし、アンダフローするごとに、TRJIOOn端子およびTRJOn端子の出力レベルを反転出力させるモードです。

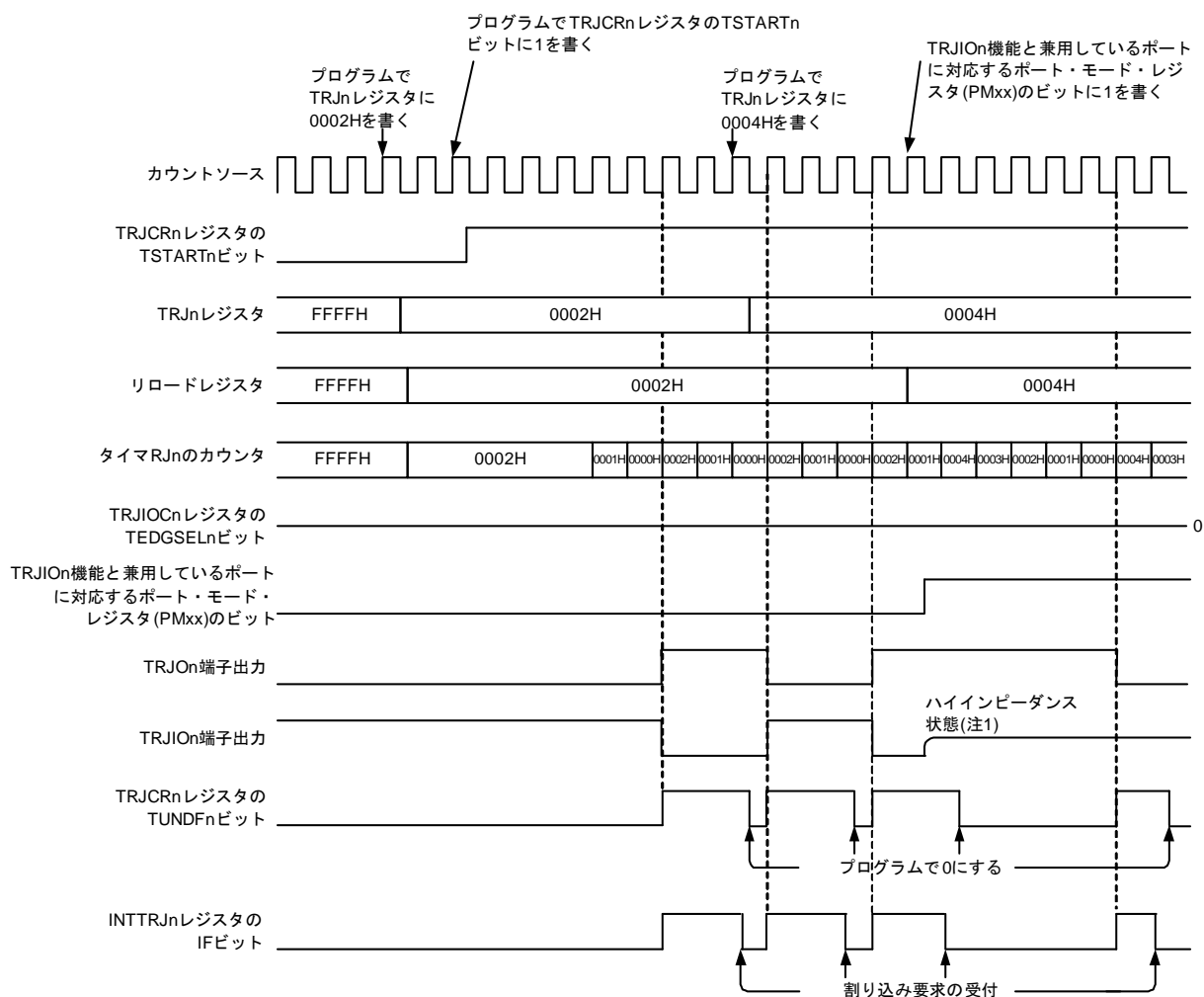
パルス出力モードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000Hになり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

また、TRJIOOn端子とTRJOn端子の2端子からパルス出力が可能で、アンダフローするごとに出力レベルを反転します。TRJOn端子については、TRJIOCnレジスタのTOENAnビットによりパルス出力を停止できます。

なお、出力レベルをTRJIOCnレジスタのTEDGSELnビットにより選択できます。

図10-12にパルス出力モードの動作例を示します。

図10-12 パルス出力モードの動作例



備考 n : チャネル番号 (n = 0, 1)

10.4.4 イベントカウンタモード

TRJIO_n端子から入力される外部イベント信号(カウントソース)でダウンカウントするモードです。

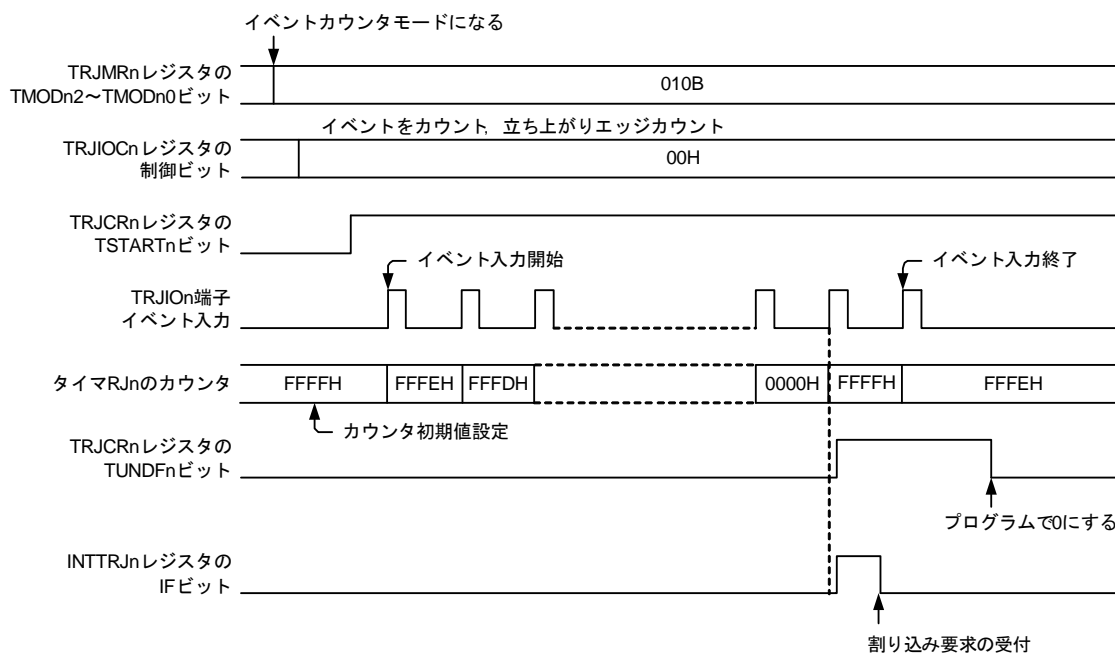
イベントカウントする期間を, TRJIO_{Cn}レジスタのTIOGT_{n0} ~ TIOGT_{n1}ビットおよびTRJISR_nレジスタにより各種設定ができます。また, TRJIO_n入力のフィルタ機能をTRJIO_{Cn}レジスタのTIPF_{n0} ~ TIPF_{n1}ビットで指定できます。

なお, イベントカウンタモードでもTRJIO_n端子からトグル出力ができます。

イベントカウンタモードを使用する場合は10.5.5 TRJOn, TRJIO_n端子の設定手順を参照してください。

図10 - 13にイベントカウンタモードの動作例1を示します。

図10 - 13 イベントカウンタモードの動作例1



備考 n : チャネル番号 (n = 0, 1)

イベントカウンタモードで指定時間カウントする場合 (TRJIOCn レジスタの TIOGTn1,0 ビットが 01B または 10B) の動作例を図 10 - 14 に示します。

図 10 - 14 イベントカウンタモードの動作例 2

動作モード設定が下記の場合のタイミング例

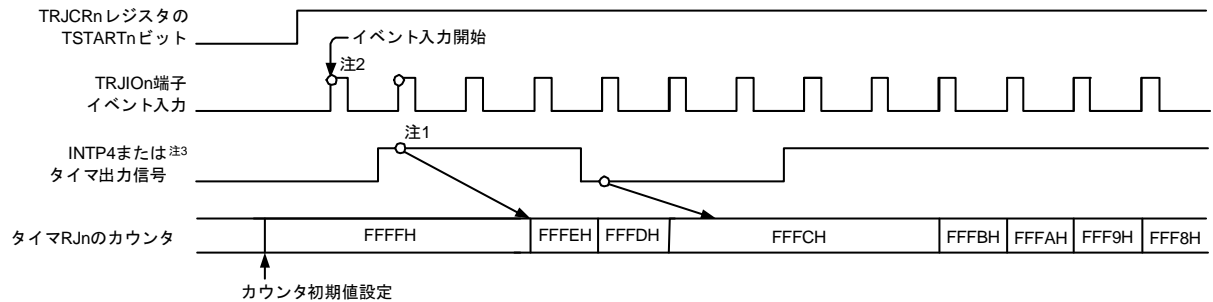
TRJMRn レジスタ: TMODn2,1,0 = 010B (イベントカウンタモード)

TRJIOCn レジスタ: TIOGTn1,0 = 01B (外部割り込み端子の指定した期間イベントカウント)

TIPFn1,0 = 00B (フィルタなし)

TEDGSELn = 0 (立ち上がりエッジでカウント)

TRJISRn レジスタ: RCCPSELn2 = 1 (H期間をカウント)



下記注意事項は、イベントカウンタモードの動作モード設定が、TRJIOCn レジスタの TIOGTn1,0 が 01B または 10B の場合に限りません。

- 注 1. 同期化制御のため、カウント動作に反映されるまで、カウントソースで 2 クロック分の遅延があります。
- 注 2. カウント開始直後のカウントソースで 2 クロック分は前回のカウント停止前の状態により、カウント動作する場合があります。
- カウント開始直後の 2 クロック分のカウントを無効にするには、TRJCRn レジスタの TSTOPn ビットに 1 をライトし、内部回路を初期化し、動作設定後カウント動作開始してください。
- 注 3. TRJISRn レジスタの RCCPSELn1, RCCPSELn0 ビットで選択したタイマ出力信号について、そのタイマ出力機能を割り当てている端子はタイマ以外の兼用機能の出力としては使用できません。

備考 n : チャネル番号 (n = 0, 1)

10.4.5 パルス幅測定モード

TRJIO_n端子から入力される外部信号のパルス幅を測定するモードです。

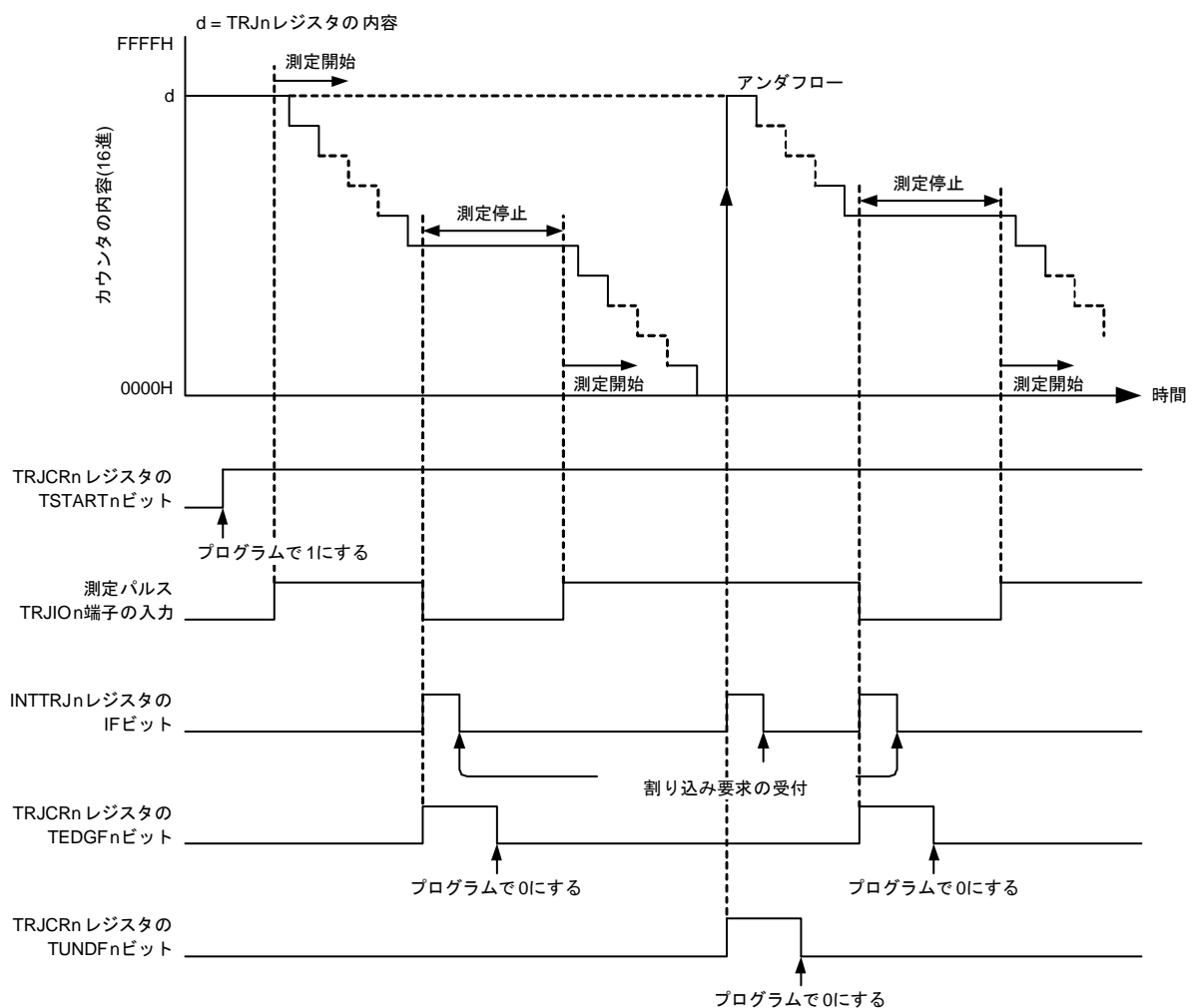
パルス幅測定モードでは、TRJIO_n端子にTRJIOC_nレジスタのTEDGSEL_nビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO_n端子の指定したレベルが終了するとカウンタは停止し、TRJCR_nレジスタのTEDGF_nビットが1 (有効エッジあり)になり、割り込み要求が発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCR_nレジスタのTUNDF_nビットが1 (アンダフローあり)になり、割り込み要求が発生します。

図10-15にパルス幅測定モードの動作例を示します。

TRJCR_nレジスタのTEDGF_n、TUNDF_nビットをアクセスする場合は10.5.2 フラグへのアクセス(TRJCR_nレジスタのTEDGF_n、TUNDF_nビット)を参照してください。

図10-15 パルス幅測定モードの動作例

測定パルスのHレベル幅を測定した場合(TRJIOC_nレジスタのTEDGSEL_nビット = 1)



備考 n: チャネル番号 (n = 0, 1)

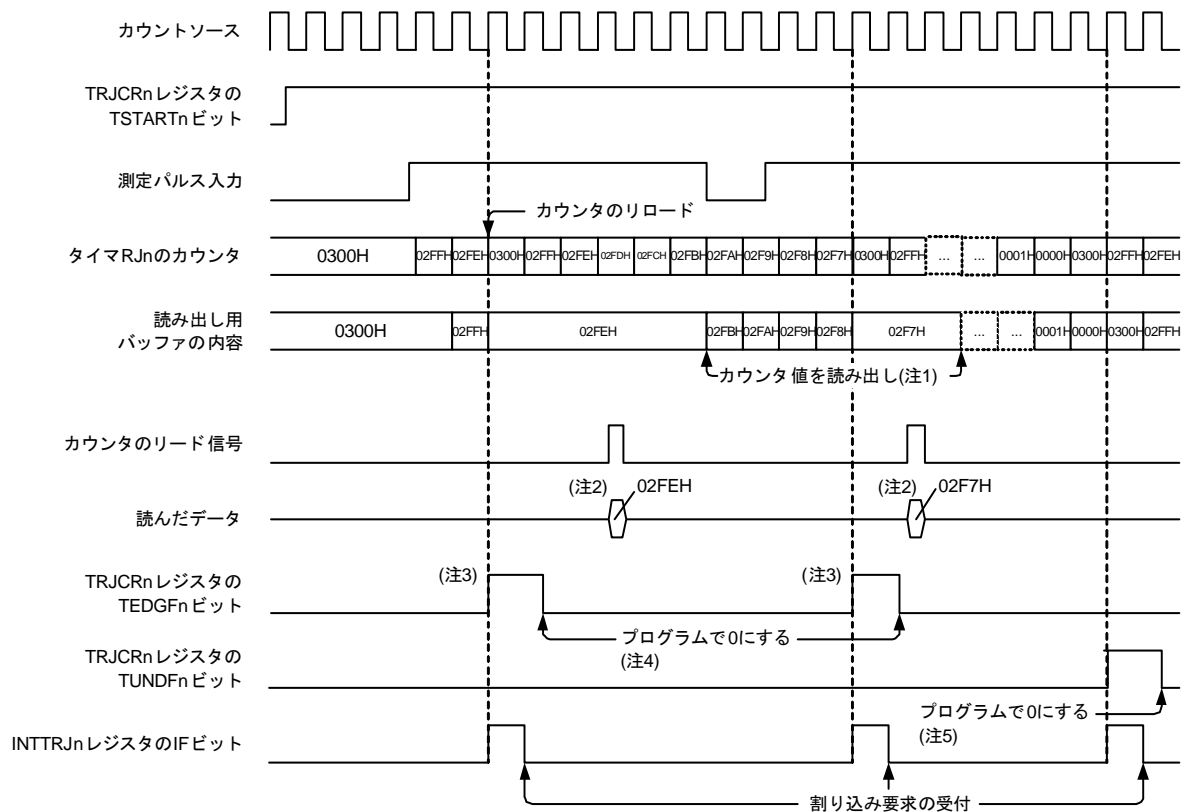
10.4.6 パルス周期測定モード

TRJIO_n端子から入力する外部信号のパルス周期を測定するモードです。

TRJMR_nレジスタのTCK_{n0}~TCK_{n2}ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO_n端子にTRJIO_{Cn}レジスタのTEDGSEL_nビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時にTRJCR_nレジスタのTEDGF_nビットが1(有効エッジあり)になり、割り込み要求が発生します。このときに読み出し用バッファ(TRJ_nレジスタ)を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCR_nレジスタのTUNDF_nビットが1(アンダフローあり)になり、割り込み要求が発生します。図10-16にパルス周期測定モードの動作例を示します。

カウントソースより2倍長い周期のパルスを入力してください。また、L幅とH幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

図10-16 パルス周期測定モードの動作例



TRJnレジスタの初期値を0300Hとし、TRJIOCnレジスタのTEDGSELnビットを0にし、測定パルスの立ち上がりまで測定した場合です。

- 注1. TRJnレジスタの読み出しは、TEDGFnビットが1 (有効エッジあり) になってから、次の有効エッジが入力されるまでの期間で行ってください。読み出し用のバッファの内容は、TRJnレジスタを読み出すまで保持されます。従って、有効エッジが入力されるまでに読み出さない場合は、前の周期の測定結果を保持します。
- 注2. パルス周期測定モードでTRJnレジスタを読み出すと、読み出し用バッファの内容が読めます。
- 注3. 測定パルスの有効エッジ入力後に、外部パルス入力の設定エッジが入力されたとき、TRJCRnレジスタのTEDGFnビットが1 (有効エッジあり) になります。
- 注4. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCRnレジスタのTEDGFnビットに0を書いてください。
- 注5. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCRnレジスタのTUNDFnビットに0を書いてください。

備考 n: チャネル番号 (n = 0, 1)

10.4.7 イベント・リンク・コントローラ(ELC)との連携による動作

ELCとの連携により、カウントソースにELCからのイベント入力を設定することができます。

TRJMRnレジスタのTCKn0～TCKn2ビットにて、ELCからのイベント入力の立ち上がりでカウントします。

ただし、イベントカウンタモードでは、ELC入力は機能しません。

ELC設定手順を以下に示します。

•動作開始手順

- (1) ELCのイベント出力先選択レジスタ(ELSELRn)を設定する。
- (2) イベント発生元の動作モードを設定する。
- (3) タイマRJnのモードを設定する。
- (4) タイマRJnのカウント動作を開始する。
- (5) イベント発生元の動作を開始する。

•動作停止手順

- (1) イベント発生元の動作を停止させる。
- (1) タイマRJnのモードのカウント動作を停止させる。
- (2) ELCのイベント出力先選択レジスタ(ELSELRn)を0に設定する。

備考. n: チャネル番号 (n = 0, 1) ただし、ELSELRnは n = 00～25。

10.4.8 各モード出力設定

表10-6, 表10-7に各モード時のTRJOn, TRJIO端子状態を示します。

表10-6 TRJOn端子設定

動作モード	TRJIOcnレジスタ		TRJOn端子出力
	TOENAnビット	TEDGSELnビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

表10-7 TRJIO端子設定

動作モード	TRJIOcnレジスタ		TRJIO端子入出力
	PMXXビット注	TEDGSELnビット	
タイマモード	0または1	0または1	入力(使用しない)
パルス出力モード	1	0または1	出力禁止(Hi-z出力)
		1	正転出力
	0	0	反転出力
イベントカウンタモード	1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

注 TRJIO機能と兼用しているポートに対応するポート・モード・レジスタ(PMxx)のビット

備考 n: チャネル番号 (n = 0, 1)

10.5 タイマRJn使用上の注意事項

10.5.1 カウント動作開始, 停止制御

- イベントカウントモードまたはカウントソースをELC以外に設定したとき

カウント停止中にTRJCRnレジスタのTSTARTnビットに1(カウント開始)を書いた後は、カウントソースの3サイクルの間、TRJCRnレジスタのTCSTFnビットは0(カウント停止)になっています。TCSTFnビットが1(カウント中)になるまで、TCSTFnビットを除くタイマRJn関連レジスタ注をアクセスしないでください。

カウント中にTSTARTnビットに0(カウント停止)を書いた後は、カウントソースの3サイクルの間、TCSTFnビットは1になっています。TCSTFnビットが0になったとき、カウントを停止します。TCSTFnビットが0になるまで、TCSTFnビットを除くタイマRJn関連レジスタ注をアクセスしないでください。

また、TSTARTnビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第26章 割り込み機能を参照してください。

注 タイマRJn関連レジスタ : TRJn, TRJCRn, TRJIOCn, TRJMRn, TRJISRn

- イベントカウントモードまたはカウントソースをELC設定したとき

カウント停止中にTRJCRnレジスタのTSTARTnビットに1(カウント開始)を書いた後は、CPUクロックの2サイクルの間、TRJCRnレジスタのTCSTFnビットは0(カウント停止)になっています。TCSTFnビットが1(カウント中)になるまで、TCSTFnビットを除くタイマRJn関連レジスタ注をアクセスしないでください。

カウント中にTSTARTnビットに0(カウント停止)を書いた後は、CPUクロックの2サイクルの間、TCSTFnビットは1になっています。TCSTFnビットが0になったとき、カウントを停止します。TCSTFnビットが0になるまで、TCSTFnビットを除くタイマRJn関連レジスタ注をアクセスしないでください。

また、TSTARTnビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第26章 割り込み機能を参照してください。

注 タイマRJn関連レジスタ : TRJn, TRJCRn, TRJIOCn, TRJMRn, TRJISRn

10.5.2 フラグへのアクセス(TRJCRnレジスタのTEDGFn, TUNDFnビット)

TRJCRnレジスタのTEDGFn, TUNDFnビットは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCRnレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFnビットが1(有効エッジあり), TUNDFnビットが1(アンダフローあり)になっても、タイミングによってTEDGFn, TUNDFnビットを誤って0にする場合があります。TRJCRnレジスタへのアクセスは、8ビット・メモリ操作命令を使用してください。

10.5.3 カウンタレジスタへのアクセス

TRJCRnレジスタのTSTARTnビットとTCSTFnビットが共に1(カウント動作中)の場合、TRJnレジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。

備考. n : チャネル番号 (n = 0, 1)

10.5.4 モード変更時

タイマRJnの動作モード関連レジスタ (TRJIOCn, TRJMRn, TRJISRn)の変更は、カウント停止時 (TRJCRnレジスタのTSTARTnビットとTCSTFnビットが共に0 (カウント停止))のみ可能です。カウント動作中には変更しないでください。

タイマRJnの動作モード関連レジスタを変更したとき、TEDGFnビットとTUNDFnビットは不定です。TEDGFnビットに0 (有効エッジなし)、TUNDFnビットに0 (アンダフローなし)を書いてから、カウントを開始してください。

10.5.5 TRJOn, TRJIO端子の設定手順

リセット後、TRJOn, TRJIO端子と共用しているI/Oポートは入力ポートとして機能します。TRJOn, TRJIO端子から出力する場合は、以下の手順で設定してください。

変更手順

- (1) モード設定をする
- (2) 初期値設定／出力許可設定をする。
- (3) TRJOn, TRJIO端子に対応するポート・レジスタのビットを0にする。
- (4) TRJOn, TRJIO端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
(TRJOn, TRJIO端子端子から出力開始)
- (5) カウントを開始する (TRJCRnレジスタのTSTARTn = 1)。

TRJIO端子から入力する場合は、以下の手順で設定してください。

- (1) モード設定をする
- (2) 初期値設定／エッジ選択設定をする。
- (3) TRJIO端子に対応するポート・モード・レジスタのビットを入力モードに設定する。
(TRJIO端子から入力開始)
- (4) カウントを開始する (TRJMRnレジスタのTSTARTn = 1)。
- (5) TRJCRnレジスタのTCSTFnビットが1 (カウント中)になるまで待つ。
(イベントカウンタモード時のみ)
- (6) TRJIO端子から外部イベントを入力する。
- (7) 最初の測定完了による処理は無効としてください (2回目以降から測定値有効)。
(パルス幅測定モード、パルス周期測定モードのみ)

10.5.6 タイマRJn未使用時

タイマRJnを使用しない場合、TRJMRnレジスタのTMODn2 ~ TMODn0ビットを000B (タイマモード)、TRJIOCnレジスタのTOENAnビットを0 (TRJOn出力禁止)にしてください。

備考 n: チャネル番号 (n = 0, 1)

10.5.7 タイマRJn動作クロック停止時

PER2レジスタのTRJnENビットでタイマRJnのクロック供給/停止制御が可能です。ただし、タイマRJnのクロック停止時は下記SFRへのアクセスができません。アクセスする場合にはタイマRJnのクロックを供給した状態で行ってください。

TRJnレジスタ, TRJCRnレジスタ, TRJMRnレジスタ, TRJIOCnレジスタ, TRJISRnレジスタ

10.5.8 STOPモード(イベントカウンタモード)の設定手順

STOPモード中にイベントカウンタモードの動作をさせる場合、タイマRJnのクロックを供給した後、以下の手順でSTOPモードへ移行してください。

設定手順

- (1) 動作モード設定
- (2) カウントを開始する(TSTARTn = 1, TCSTFn = 1)
- (3) タイマRJnのクロック供給停止

また、STOPモード中にイベントカウンタモードの動作を停止させる場合、以下の手順で動作停止処理を行ってください。

- (1) タイマRJnのクロック供給
- (2) カウントを停止する(TSTARTn = 0, TCSTFn = 0)

10.5.9 STOPモード(イベントカウンタモードのみ)での機能制限

STOPモード中にイベントカウンタモードの動作をさせる場合、デジタルフィルタ機能は使用できません。

10.5.10 TSTOPnビットによる強制カウント停止時

TRJCRnレジスタのTSTOPnビットによるカウンタ強制停止後、カウントソースで1サイクルの間、下記SFRへのアクセスはしないでください。

TRJnレジスタ, TRJCRnレジスタ, TRJMRnレジスタ

10.5.11 デジタルフィルタ

デジタルフィルタを使用する場合はTRJIOCnレジスタのTIPFn1,0ビット設定後、デジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

また、デジタルフィルタを使用している状態で、TRJIOCnレジスタのTEDGSELnビットを変更した場合も同様にデジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

10.5.12 カウントソースにfILを選択する場合

カウントソースにfILを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを1にしてください。ただし、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDコントローラ/ドライバの動作クロックのカウントソースにfSUBを選択している場合は、タイマRJnのカウントソースにfILを選択することができません。

備考 n: チャネル番号 (n = 0, 1)

第11章 サンプリング出力タイマ/ディテクタ (R5F11Rのみ)

11.1 サンプリング出力タイマ/ディテクタの機能

サンプリング出力タイマ/ディテクタ (SMOTD : Sampling Output Timer Detector) は、サンプリング・クロック出力機能と、サンプリング・ディテクタ機能を持ちます。

サンプリング・クロック出力機能は、定期的に SMOM 端子 ($m = 0-2$) からサンプリング・クロックを出力する機能です。

サンプリング・ディテクタ機能は、サンプリング・クロックの立ち下がりタイミングで、SMP0-SMP5 端子の入力レベルを検出し、アクティブ・レベルの場合に割り込み信号 (INTSMP0-INTSMP5) を出力します。

サンプリング出力タイマ/ディテクタは下記の機能を持ちます。

表 11 - 1 サンプリング出力タイマ/ディテクタの機能

項 目	内 容	
PWM 性能	ハイ・パルス幅	MIN. $1/f_{SUB}$ MAX. $2^8 \times 2^6 / f_{SUB}$ 注
	PWM 波形周期	MIN. $2/f_{SUB}$ MAX. $2^8 \times 2^{14} / f_{SUB}$
機能	<ul style="list-style-type: none"> サンプリング・クロック出力機能 サンプリング・ディテクタ機能 	
割り込み出力	<ul style="list-style-type: none"> サンプリング出力タイマインターバル割り込み (INTSMOTA) サンプリング出力タイマコンペア一致割り込み (INTSMOTB) サンプリング・ディテクタ検出割り込み (INTSMPn) ($n = 0-5$) 	

注 ハイ・パルス幅を PWM 波形周期より長い間隔に設定することは禁止です。ハイ・パルス幅は必ず PWM 波形周期より短くなるように設定してください。

11.2 サンプリング出力タイマ/ディテクタの構成

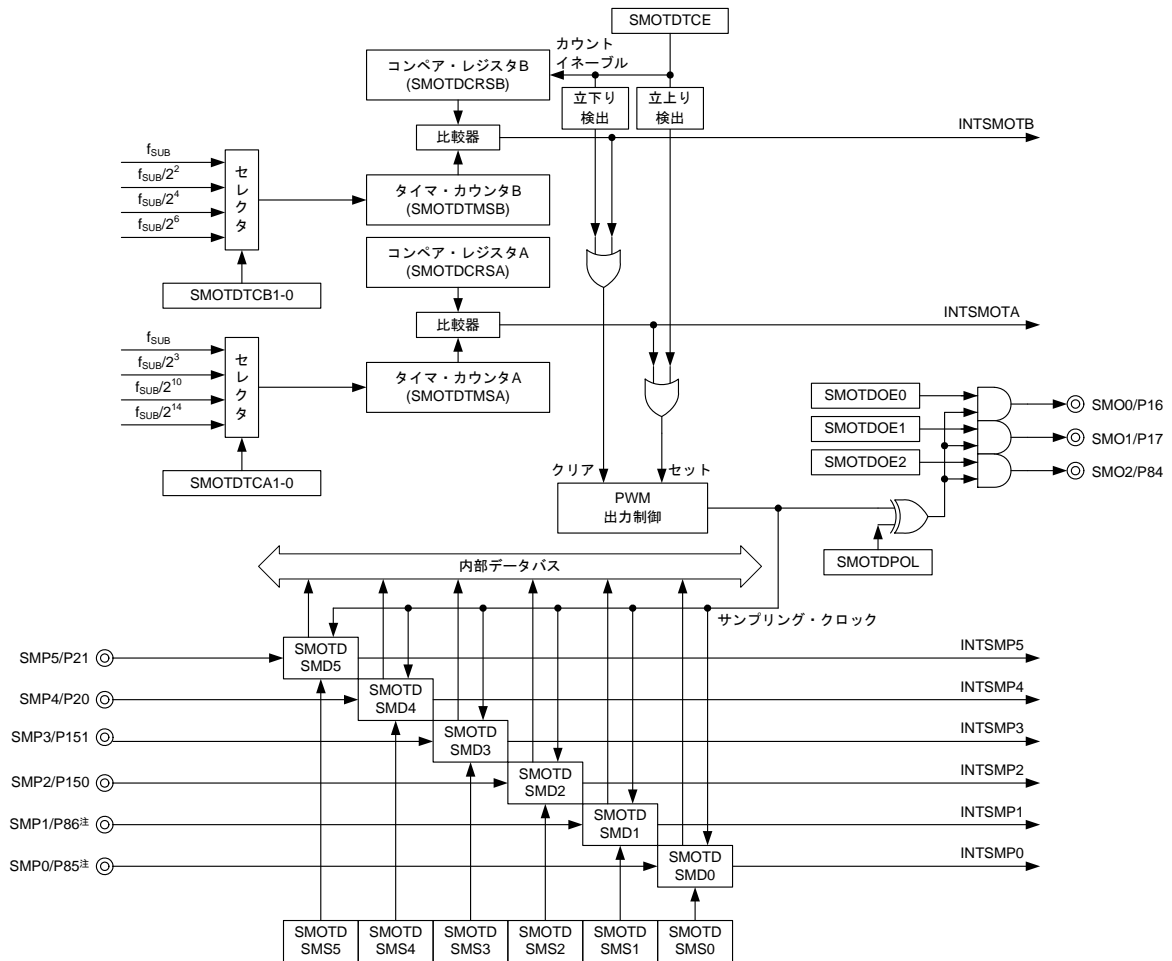
サンプリング出力タイマ/ディテクタは、次のハードウェアで構成されています。

表 11 - 2 サンプリング出力タイマ/ディテクタの構成

項 目	構 成
サンプリング出力タイマの入カロック	fSUB 及び fSUB の分周
サンプリング出力タイマの出力	SMO0-2 の出力信号 (PWM 出力)
サンプリング入力	SMP0-SMP5
制御レジスタ	周辺イネーブル・レジスタ 2 (PER2) SMOTD タイマ・カウンタ A (SMOTDTMSA) SMOTD タイマ・カウンタ B (SMOTDTMSB) SMOTD コンペア・レジスタ A (SMOTDCRSA) SMOTD コンペア・レジスタ B (SMOTDCRSB) SMOTD クロック選択レジスタ (SMOTDTCS) SMOTD コントロール・レジスタ (SMOTDCR) SMOTD サンプリング・レベル設定レジスタ (SMOTDSMS) SMOTD サンプリング・端子状態レジスタ (SMOTDSMD) SMOTD 出力制御レジスタ (SMOTDOE) ポート・モード・レジスタ 1, 2, 4, 8, 15 (PM1, PM2, PM4, PM8, PM15) ポート・レジスタ 1, 2, 4, 8, 15 (P1, P2, P4, P8, P15)

図11-1にサンプリング出カタイマ/ディテクタのブロック図を示します。

図11-1 サンプリング出カタイマ/ディテクタのブロック図



注 SMP0,SMP1端子の割り当てを、PIOR0レジスタのPIOR04ビットで選択できます。詳細は第4章 ポート機能を参照してください。

注意 サンプリング出カタイマ/ディテクタを使用する場合は、必ずサブシステム・クロックを選択(WUTMMCK0ビット=0)してください。

11.3 サンプリング出力タイマ/ディテクタを制御するレジスタ

サンプリング出力タイマ/ディテクタを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- SMOTDタイマ・カウンタA (SMOTDTMSA)
- SMOTDタイマ・カウンタB (SMOTDTMSB)
- SMOTDコンペア・レジスタA (SMOTDCRSA)
- SMOTDコンペア・レジスタB (SMOTDCRSB)
- SMOTDクロック選択レジスタ (SMOTDTCS)
- SMOTDコントロール・レジスタ (SMOTDCR)
- SMOTDサンプリング・レベル設定レジスタ (SMOTDSMS)
- SMOTDサンプリング端子状態レジスタ (SMOTDSMD)
- SMOTD出力制御レジスタ (SMOTDOE)
- ポート・モード・レジスタ1,2,4,8,15 (PM1,PM2,PM4,PM8,PM15)
- ポート・レジスタ1, 2, 4, 8, 15 (P1, P2, P4, P8, P15)

(1) 周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは、各周辺ハードウェアのクロック供給/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

サンプリング出力タイマ/ディテクタを使用するときは、必ずビット3(SMOTDEN)を1に設定してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	0	UARTMG0EN	SMOTDEN	EXSDEN	TRJ1EN	TRJ0EN

SMOTDEN	サンプリング出力タイマ/ディテクタの入カクロック供給の制御
0	入カクロック供給停止 ・サンプリング出力タイマ/ディテクタで使用するSFRへのライト不可 ・サンプリング出力タイマ/ディテクタはリセット状態
1	入カクロック供給 ・サンプリング出力タイマ/ディテクタで使用するSFRへのリード/ライト可

注意 サンプリング出力タイマ/ディテクタの設定をする際には、必ず最初にSMOTDEN = 1の設定を行ってください。
 SMOTDEN = 0の場合は、サンプリング出力タイマ/ディテクタの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ただし、ポート・モード・レジスタ1, 2, 4, 8, 15 (PM1, PM2, PM4, PM8, PM15), ポート・レジスタ1, 2, 4, 8, 15 (P1, P2, P4, P8, P15) は除く)。

(2) SMOTDタイマ・カウンタ A(SMOTDTMSA)

SMOTDTMSA カウンタは、SMOm 端子から出力するサンプリング・クロックの PWM 波形の周期をカウントする8ビットのカウンタです。

SMOTDTMSA カウンタは、プログラムで直接操作することはできません。(リード/ライト不可)

次の場合、カウント値は00Hになります。

- ①リセット信号の発生
- ②SMOTDTCE をクリア (1から0に書き換えた場合)
- ③SMOTDTMSA と SMOTDCRSA の一致

図 11 - 3 SMOTDタイマ・カウンタ A(SMOTDTMSA)のフォーマット

アドレス：ー リセット時：00H R/W不可

略号	7	6	5	4	3	2	1	0
SMOTD TMSA	SMOTDTMSA[7:0]							
SMOTD TMSA[7:0]	SMOTDタイマ・カウンタ A							
00H - FFH	カウント開始条件： SMOTDTCE をセット (0から1に変更した場合) カウント条件： SMOTDTCE = 1の時、SMOTDTCA1-0ビットで選択したクロックに同期してインクリメントします。 カウントクリア条件： <ul style="list-style-type: none"> • リセット信号の発生 • SMOTDTCE をクリア (1から0に変更した場合) • SMOTDTCA と SMOTDCRSA の一致 							

注意 カウント条件とカウンタクリア条件が同時に発生した場合、カウンタクリアが優先されます。

(3) SMOTDタイマ・カウンタB(SMOTDTMSB)

SMOTDTMSB カウンタは、SMOm 端子から出力するサンプリング・クロックのPWM 波形のハイ・パルス幅をカウントする8ビットのカウンタです。

SMOTDTMSB カウンタは、プログラムで直接操作することはできません。(リード/ライト不可)

次の場合、カウント値は00Hになります。

- ①リセット信号の発生
- ②SMOTDTCE をクリア(1から0に書き換えた場合)
- ③SMOTDTMSB と SMOTDCRSB の一致

図11 - 4 SMOTDタイマ・カウンタB(SMOTDTMSB)のフォーマット

アドレス：ー リセット時：00H R/W不可

略号 7 6 5 4 3 2 1 0

SMOTD TMSB	SMOTDTMSB[7:0]
---------------	----------------

SMOTD TMSB[7:0]	SMOTDタイマ・カウンタB
00H - FFH	<p>カウント開始条件： SMOTDTCE をセット(0から1に変更した場合)</p> <p>カウント条件： SMOTDTCE = 1の時、SMOTDTCB ビットで選択したクロックに同期してインクリメントします。</p> <ul style="list-style-type: none"> • カウントクリア条件： • リセット信号の発生 • SMOTDTCE をクリア(1から0に変更した場合) • SMOTDTMSB と SMOTDCRSB の一致

注意 カウント条件とカウンタクリア条件が同時に発生した場合、カウンタクリアが優先されます。

(4) SMOTDコンペア・レジスタ A(SMOTDCRSA)

SMOTDCRSA レジスタは、SMOm 端子から出力するサンプリング・クロックの PWM 波形の周期を設定するレジスタです。

SMOTDCRSA レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 11 - 5 SMOTDコンペア・レジスタ A(SMOTDCRSA)のフォーマット

アドレス : F0270H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SMOTD CRSA	SMOTDCRSA[7:0]							
SMOTD CRSA[7:0]	サンプリング・クロック出力周期生成用コンペア値設定							
00H(初期値)	設定禁止							
01H	周期「 $(1/f_{SUB}) \times (SMOTDCRSA+1)$ 」の PWM 波形を SMOm 端子から出力します。(m = 0-2)							
•	設定例 :							
•	SMOTDCRSA = 01H							
•	$(1/f_{SUB}) \times (1+1) = 52 \mu s @ 38.4 \text{ kHz}$							
FFH	SMOTDCRSA = 57H (2^3 分周の場合)							
	$(2^3/f_{SUB}) \times (87+1) = 18.33 \text{ ms} @ 38.4 \text{ kHz}$							

注 タイマ・カウンタ A のクロックは SMOTDTCA1-0 ビットで設定します。

注意 1. カウンタ動作中 (SMOTDTCE = 1) は、SMOTDCRSA レジスタの設定値を変更しないでください。

注意 2. 本レジスタを初期値 (00H) のまま使用 (SMOTDTCE = 1) する事は禁止です。00H 以外の任意の値を設定してください。

(5) SMOTDコンペア・レジスタB(SMOTDCRSB)

SMOTDCRSBレジスタは、SMOm端子から出力するサンプルング・クロックのPWM出力波形のハイ・パルス幅を設定するレジスタです。

SMOTDCRSBレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-6 SMOTDコンペア・レジスタB(SMOTDCRSB)のフォーマット

アドレス : F0271H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SMOTDCRSB	SMOTDCRSB[7:0]							
SMOTDCRSB[7:0]	サンプルング・クロック出力ハイ幅生成用コンペア値設定							
00H(初期値)	ハイ・パルス幅「 $1/f_{SUB} \times (SMOTDCRSB+1)$ 」のPWM波形をSMOm端子から出力します。(m = 0-2) 設定例 : <ul style="list-style-type: none"> • SMOTDCRSB = 00H • $(1/f_{SUB}) \times (0+1) = 26 \mu s @ 38.4 \text{ kHz}$ • SMOTDCRSB = 01H 							
FFH	$(1/f_{SUB}) \times (1+1) = 52 \mu s @ 38.4 \text{ kHz}$ SMOTDCRSB = 99H $(1/f_{SUB}) \times (153+1) = 4.01 \text{ ms} @ 38.4 \text{ kHz}$							

注 タイマ・カウンタBのクロックはSMOTDTCB1-0ビットで設定します。

注意1. カウンタ動作中(SMOTDTCE = 1)は、SMOTDCRSBレジスタの設定値を変更しないでください。

注意2. SMOTDCRSA > SMOTDCRSBとなるよう設定してください。

(6) SMOTDクロック選択レジスタ (SMOTDTCS)

SMOTDTCS レジスタは、SMOTD タイマ・カウンタ A(SMOTDTMSA) と SMOTD タイマ・カウンタ B(SMOTDTMSB)のカウンタ・クロックを選択するレジスタです。

SMOTDTCS レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 11 - 7 SMOTDクロック選択レジスタ (SMOTDTCS)のフォーマット

アドレス : F0272H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SMOTD TCS	0	0	SMOTDTCB1	SMOTDTCB0	0	0	SMOTDTCA1	SMOTDTCA0

SMOTD TCB1-0	SMOTDタイマ・カウンタ B(SMOTDTMSB)のクロック選択ビット
00B (初期値)	f_{SUB} (30.5 μ s/26 μ s)
01B	$f_{SUB} / 2^2$ (122 μ s/104 μ s)
10B	$f_{SUB} / 2^4$ (488 μ s/416.7 μ s)
11B	$f_{SUB} / 2^6$ (1.95 ms/1.67 ms)

SMOTD TCA1-0	SMOTDタイマ・カウンタ A(SMOTDTMSA)のクロック選択ビット
00B (初期値)	f_{SUB} (30.5 μ s/26 μ s)
01B	$f_{SUB} / 2^3$ (244 μ s/208 μ s)
10B	$f_{SUB} / 2^{10}$ (31.3 ms/26.7 ms)
11B	$f_{SUB} / 2^{14}$ (500 ms/426.7 ms)

注意 1. ビット 7, 6, 3, 2 には、初期値を設定してください。

注意 2. カウンタのカウンタ動作を停止 (SMOTDTCE = 0) させてから設定してください。

備考 ()内は、 $f_{SUB} = 32.768$ kHz動作時/38.4 kHz動作時 (f_{SUB} : サブシステム・クロックの周波数)

(7) SMOTDコントロール・レジスタ (SMOTDCR)

SMOTDCR レジスタは、SMOm 端子から出力するサンプリング・クロックの極性選択、サンプリング出力タイマのカウント動作許可を行うレジスタです。

SMOTDCR レジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-8 SMOTDコントロール・レジスタ (SMOTDCR) のフォーマット

アドレス : F0273H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SMOTDCR	0	0	0	SMOTDPOL	0	0	0	SMOTDTCE

SMOTDPOL	SMOm 端子 (m = 0-2) の極性選択ビット
0(初期値)	ハイ・アクティブ(デフォルト ロウ・レベル出力)
1	ロウ・アクティブ(デフォルト ハイ・レベル出力)

注意1. 本ビットはSMO0-SMO2端子から出力するサンプリング・クロックに共通の設定です。

注意2. カウント動作停止中(SMOTDTCE = 0)かつサンプリング出力禁止中(SMOTDOE2-0 = 000B)に本ビットを設定してください。

SMOTDTCE	タイマ・カウント動作許可
0(初期値)	カウント動作停止
1	カウント動作許可

注意1. SMOTDCRSA、SMOTDCRSB、SMOTDTCS、SMOTDSMS、SMOTDSMDレジスタおよびSMOTDPOLビットを設定した後にSMOTDTCE = 1に設定してください。

注意2. SMOTDTCEビットを設定した後に設定を変更する場合は、サブシステム・クロックの3サイクル以上空けてください。

(8) SMOTDサンプリング・レベル設定レジスタ (SMOTDSMS)

SMOTDSMSレジスタは、サンプリング・ディテクタ検出割り込み(INTSMP0-INTSMP5)の発生条件を設定するレジスタです。

SMP0-SMP5端子へのサンプリング入力レベルとSMOTDSMSの設定によるアクティブ・レベルが一致すると、サンプリング・ディテクタ検出割り込み(INTSMP0-INTSMP5)を発生させる事ができます。

また、SMP0-SMP5端子のサンプリングは、サンプリング・クロックの立ち下がりで行われます。

SMOTDSMSレジスタは、1ビット・メモリ操作および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-9 SMOTDサンプリング・レベル設定レジスタ (SMOTDSMS)のフォーマット

アドレス : F0274H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SMOTD SMS	0	0	SMOTDSMS5	SMOTDSMS4	SMOTDSMS3	SMOTDSMS2	SMOTDSMS1	SMOTDSMS0
SMOTDSMSn	サンプリング信号アクティブ・レベル設定ビット(n = 0-5)							
0(初期値)	サンプリング・クロックの立ち下がりでSMPnのロウ・レベルを検出すると割り込み要求を発生							
1	サンプリング・クロックの立ち下がりでSMPnのハイ・レベルを検出すると割り込み要求を発生							

注意1. カウンタ動作中(SMOTDTCE = 1)は、SMOTDSMSレジスタの設定値を変更しないでください。

注意2. ビット7, 6には、初期値を設定してください。

(9) SMOTDサンプリング・端子状態レジスタ (SMOTDSMD)

SMOTDSMDレジスタは、サンプリング・クロック (SMOm) に出力する PWM 出力波形の立ち下がりタイミングで検出した SMP0-SMP5 端子の状態を検出するレジスタです。

SMOTDSMDレジスタは、1ビット・メモリ操作および8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

図11 - 10 SMOTDサンプリング・端子状態レジスタ (SMOTDSMD)のフォーマット

アドレス : F0275H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
SMOTD SMD	0	0	SMOTDSMD5	SMOTDSMD4	SMOTDSMD3	SMOTDSMD2	SMOTDSMD1	SMOTDSMD0
SMOTDSMDn	SMPn端子の状態 (n = 0-5)							
0(初期値)	ロウ・レベル							
1	ハイ・レベル							

注意 SMOTDSMDレジスタはINTSMPn割り込み発生後に読み出してください。(n = 0-5)

(10) SMOTD出力制御レジスタ (SMOTDOE)

SMOTDOEレジスタは、SMOm端子から出力するサンプリング・クロックの出力禁止/許可を設定するレジスタです。

SMOTDOEレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 11 - 11 SMOTD出力制御レジスタ (SMOTDOE)のフォーマット

アドレス : F0276H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SMOTDOE	0	0	0	0	0	SMOTDOE2	SMOTDOE1	SMOTDOE0

SMOTDOEm	SMOm端子の出力制御ビット (m = 0-2)
0(初期値)	出力禁止(ポート・モード)
1	出力許可(サンプリング・モード)

注意1. カウンタ動作中(SMOTDTCE = 1)は、SMOTDOEレジスタの設定値を変更しないでください。

注意2. ビット7-3には、初期値を設定してください。

(11) ポート・モード・レジスタ 1, 2, 4, 8, 15 (PM1, PM2, PM4, PM8, PM15)

ポート1,2,4,8,15の入力/出力を1ビット単位で設定するレジスタです。

サンプルング入力端子を兼用するポート (P85/SMP0/EXSDI0, P86/SMP1/EXSDI1 など) をサンプルング入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

(例) P85/SMP0/EXSDI0をサンプルング入力として使用する場合

ポート・モード・レジスタ8のPM85ビットを1に設定

ポート・レジスタ8のP85ビットを0または1に設定

サンプルング出力端子を兼用するポート (P16/SMO0/SEG35, P17/SMO1 など) をサンプルング出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P16/SMO0/SEG35をサンプルング出力として使用する場合

ポート・モード・レジスタ1のPM16ビットを0に設定

ポート・レジスタ1のP16ビットを0に設定

LCDポート・ファンクション・レジスタ4のPFSEG35ビットを0に設定

PM1, PM2, PM4, PM8, PM15は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図11 - 12 ポート・モード・レジスタ (PM1, PM2, PM4, PM8, PM15) のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
-----	------	------	------	------	------	------	------	------

アドレス : FFF22H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20
-----	------	------	------	------	------	------	------	------

アドレス : FFF24H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PM4	1	1	1	PM44	PM43	1	1	PM40
-----	---	---	---	------	------	---	---	------

アドレス : FFF28H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PM8	1	PM86	PM85	PM84	PM83	PM82	PM81	PM80
-----	---	------	------	------	------	------	------	------

アドレス : FFF2FH リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PM15	1	1	1	1	1	1	PM151	PM150
------	---	---	---	---	---	---	-------	-------

PMmn	Pmn端子の入出力モードの選択 (m = 1, 2, 4, 8, 15; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

11.4 サンプリング出力タイマ/ディテクタの動作

図11-13にサンプリング・クロックの出力タイミングを、図11-14にサンプリング検出のタイミング図を示します。

図11-13 SMO0-SMO2出力タイミング図

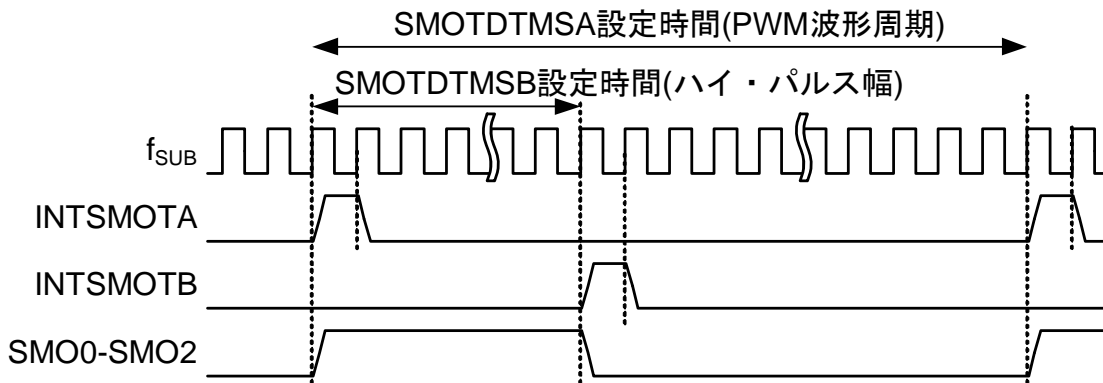
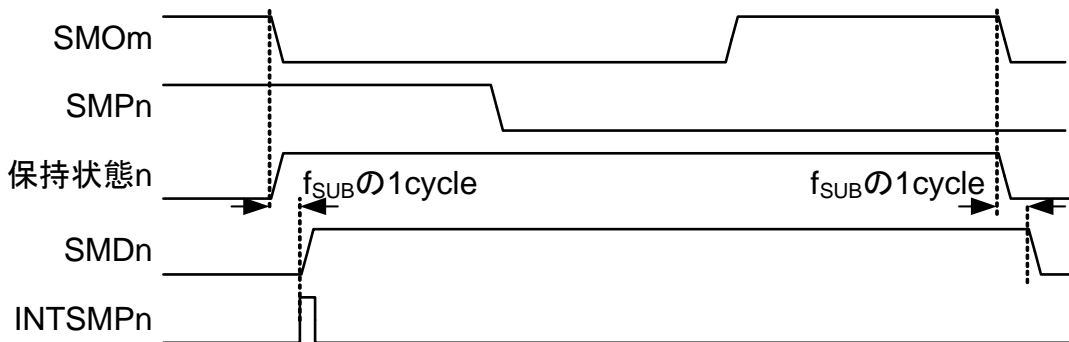
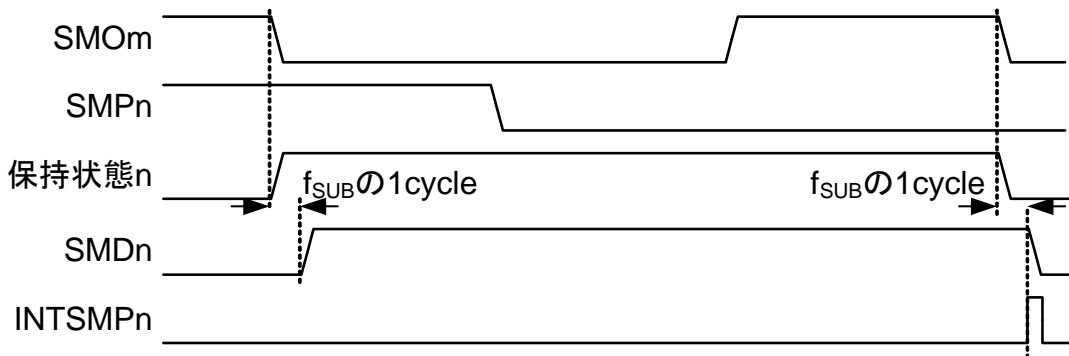


図11-14 サンプリング検出のタイミング図

<ハイ・レベル検出設定 SMOTDSMSn = 1 (n = 0-5)>



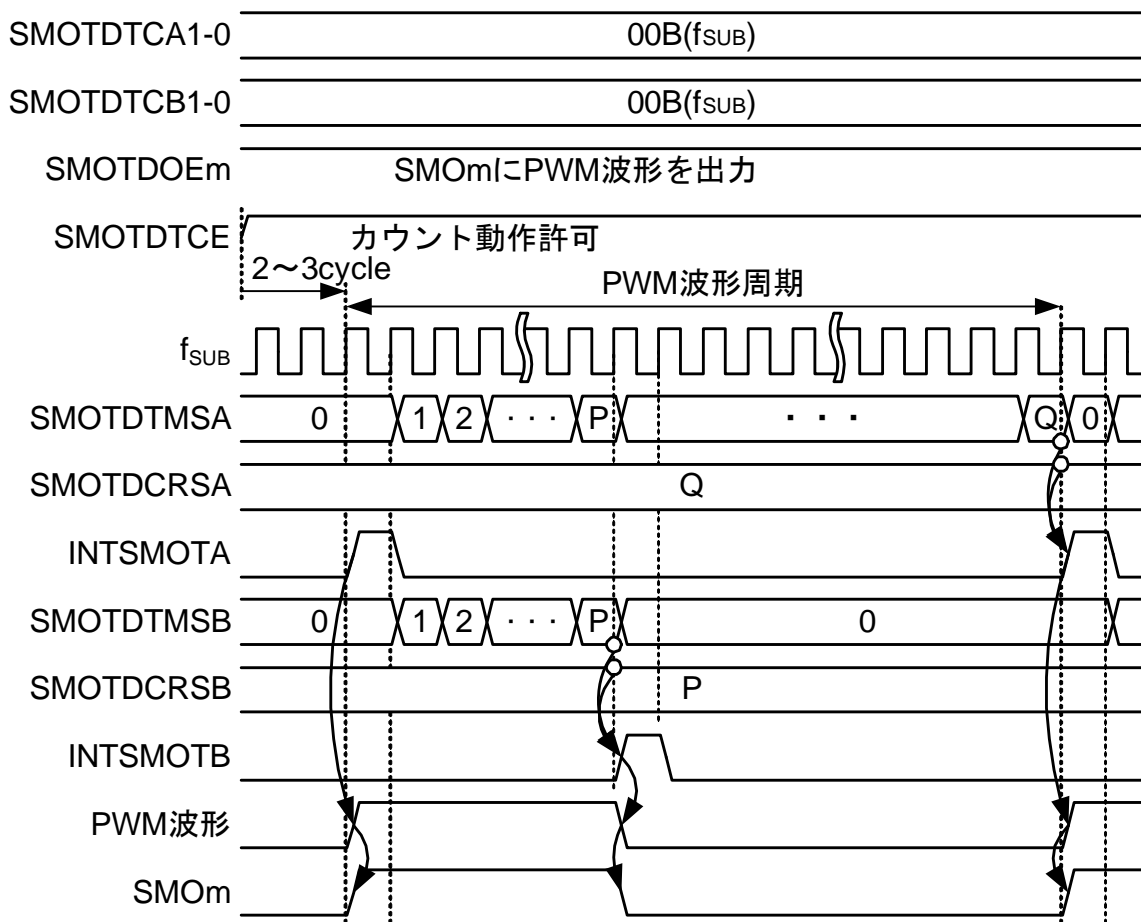
<ロウ・レベル検出設定 SMOTDSMSn = 0 (n = 0-5)>



11.4.1 サンプリング・クロック出力機能

サンプリング・クロック出力機能は、PWM波形を出力する機能です。PWM波形は周期とハイ・パルス幅を設定することで生成されます。PWM波形の周期はSMOTDTCA1-0ビットとSMOTDCRSAレジスタで設定します。PWM波形のハイ・パルス幅はSMOTDTCB1-0ビットとSMOTDCRSBレジスタで設定します。生成したPWM波形は、PWM波形の出力設定(SMOTDOEmビット)に応じてSMO0-2端子へ出力します。PWM波形の立ち下りのタイミングでサンプリング出力タイマコンペア一致割り込み(INTSMOTB)を出力します。PWM波形の立ち上がりのタイミングでサンプリング出力タイマインターバル割り込み(INTSMOTA)を出力します。SMOTDPOLビットでSMO2-SMO0に出力する値の極性を設定することが可能です。図11-15にサンプリング・クロック出力(分周なし)のタイミング図を示します。

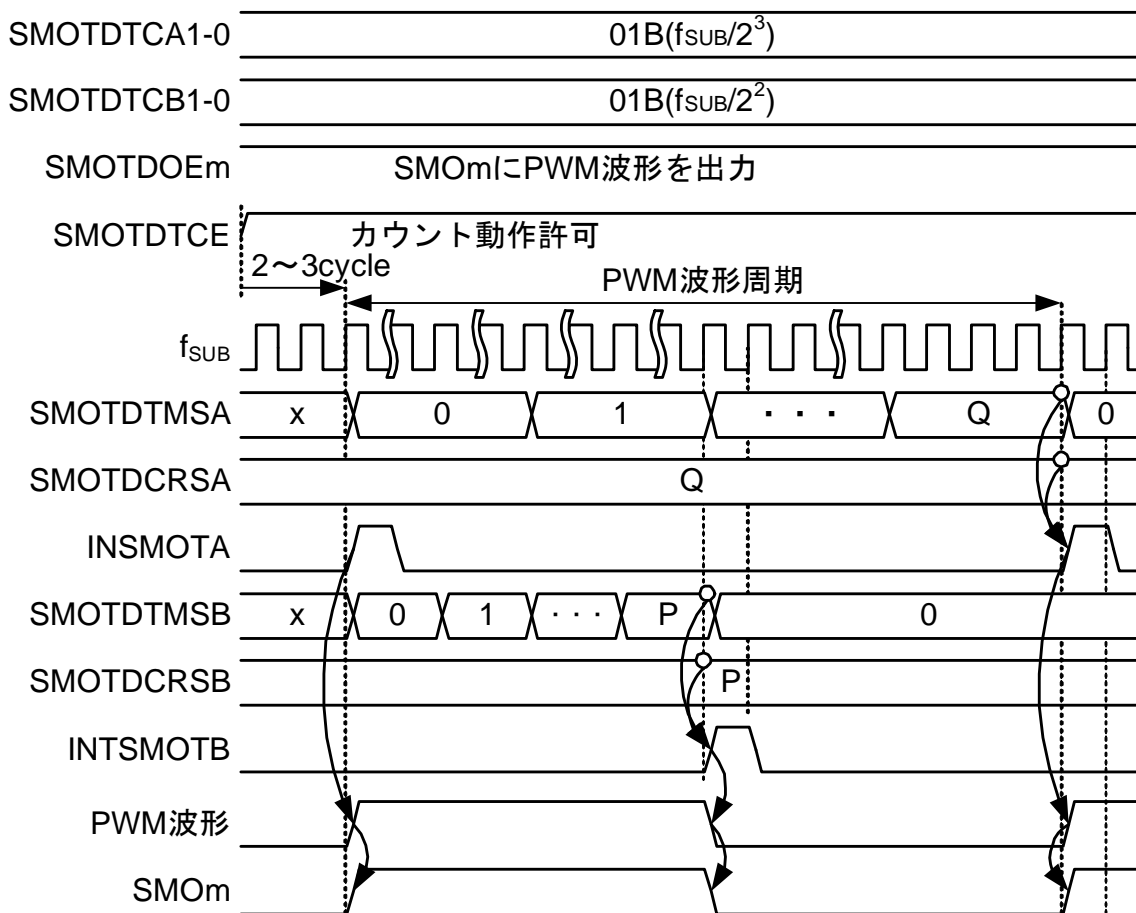
図11-15 サンプリング・クロック出力(分周なし)



備考 SMOTDPOL = 0(ハイ・アクティブ)の場合

サンプルング出力タイマ/ディテクタは、PWM波形の分周機能を持ちます。図11-16にサンプルング・クロック出力(分周あり)のタイミング図を示します。

図11-16 サンプルング・クロック出力(分周あり)



備考 SMOTDPOL = 0(ハイ・アクティブ)の場合

表 11 - 3 サンプルング・クロック出力のPWM波形 ($f_{SUB} = 38.4\text{kHz}$)

SMOTD TCA1	SMOTD TCA0	SMOTD TCB1	SMOTD TCB0	ハイ・パルス幅		PWM 波形周期	
0	0	0	0	$(b+1)(1/f_{SUB})$	26.0 μs ~ 6.7 ms	$(a+1)(1/f_{SUB})$	52.0 μs ~ 6.7 ms
0	1	0	0	$(b+1)(1/f_{SUB})$	26.0 μs ~ 6.7 ms	$(a+1)(2^3/f_{SUB})$	416.7 μs ~ 53.3 ms
		0	1	$(b+1)(2^2/f_{SUB})$	104.2 μs ~ 26.7 ms		
1	0	0	0	$(b+1)(1/f_{SUB})$	26.0 μs ~ 6.7 ms	$(a+1)(2^{10}/f_{SUB})$	53.3 ms ~ 6.8 s
		0	1	$(b+1)(2^2/f_{SUB})$	104.2 μs ~ 26.7 ms		
		1	0	$(b+1)(2^4/f_{SUB})$	416.7 μs ~ 106.7 ms		
		1	1	$(b+1)(2^6/f_{SUB})$	1.7 ms ~ 426.7 ms		
1	1	0	0	$(b+1)(1/f_{SUB})$	26.0 μs ~ 6.7 ms	$(a+1)(2^{14}/f_{SUB})$	853.3 ms ~ 109.2 s
		0	1	$(b+1)(2^2/f_{SUB})$	104.2 μs ~ 26.7 ms		
		1	0	$(b+1)(2^4/f_{SUB})$	416.7 μs ~ 106.7 ms		
		1	1	$(b+1)(2^6/f_{SUB})$	1.7 ms ~ 426.7 ms		

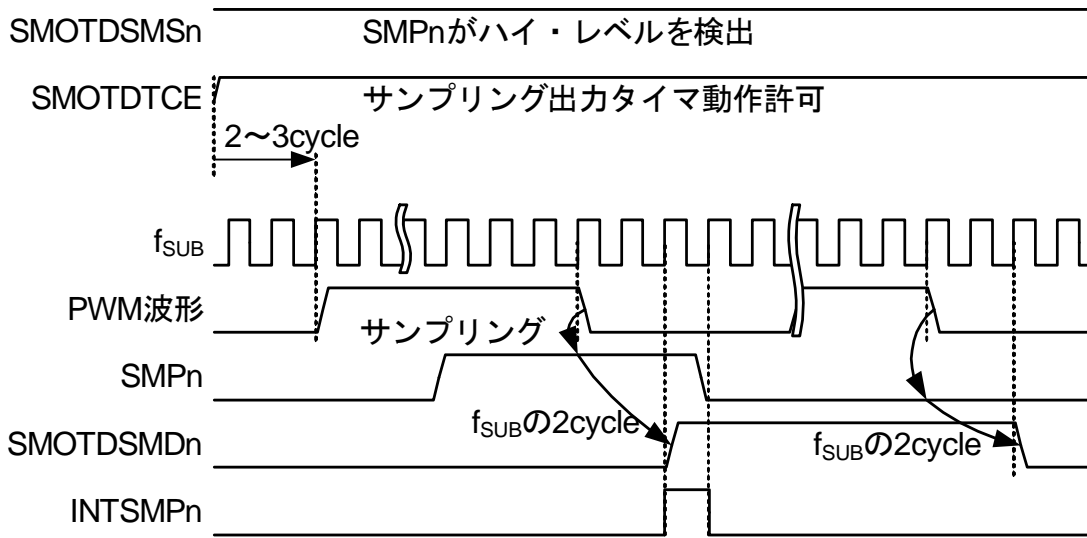
注意 1. aはSMOTDCRSA[7:0]、bはSMOTDCRSB[7:0]の値です。

注意 2. 上記以外のSMOTDTCA1-0とSMOTDTCB1-0の組み合わせは設定禁止です。PWM周期>ハイ・パルス幅となるように設定してください。

11.4.2 サンプルング・ディテクタ機能

サンプルング・ディテクタ機能は、サンプルング・クロック出力機能のPWM波形の立ち下がりタイミングで、サンプルング信号(SMPn)をSMOTDSMDnビットへ格納します。この時、PWM波形の立ち下がりから f_{SUB} の2サイクル分の遅延が発生します。サンプルング信号(SMPn)がSMOTDSMSnビットで設定した条件と一致した場合、SMOTDSMDnビットへの格納と同じタイミングでサンプルング・ディテクタ検出割り込み(INTSMPn)を出力します。

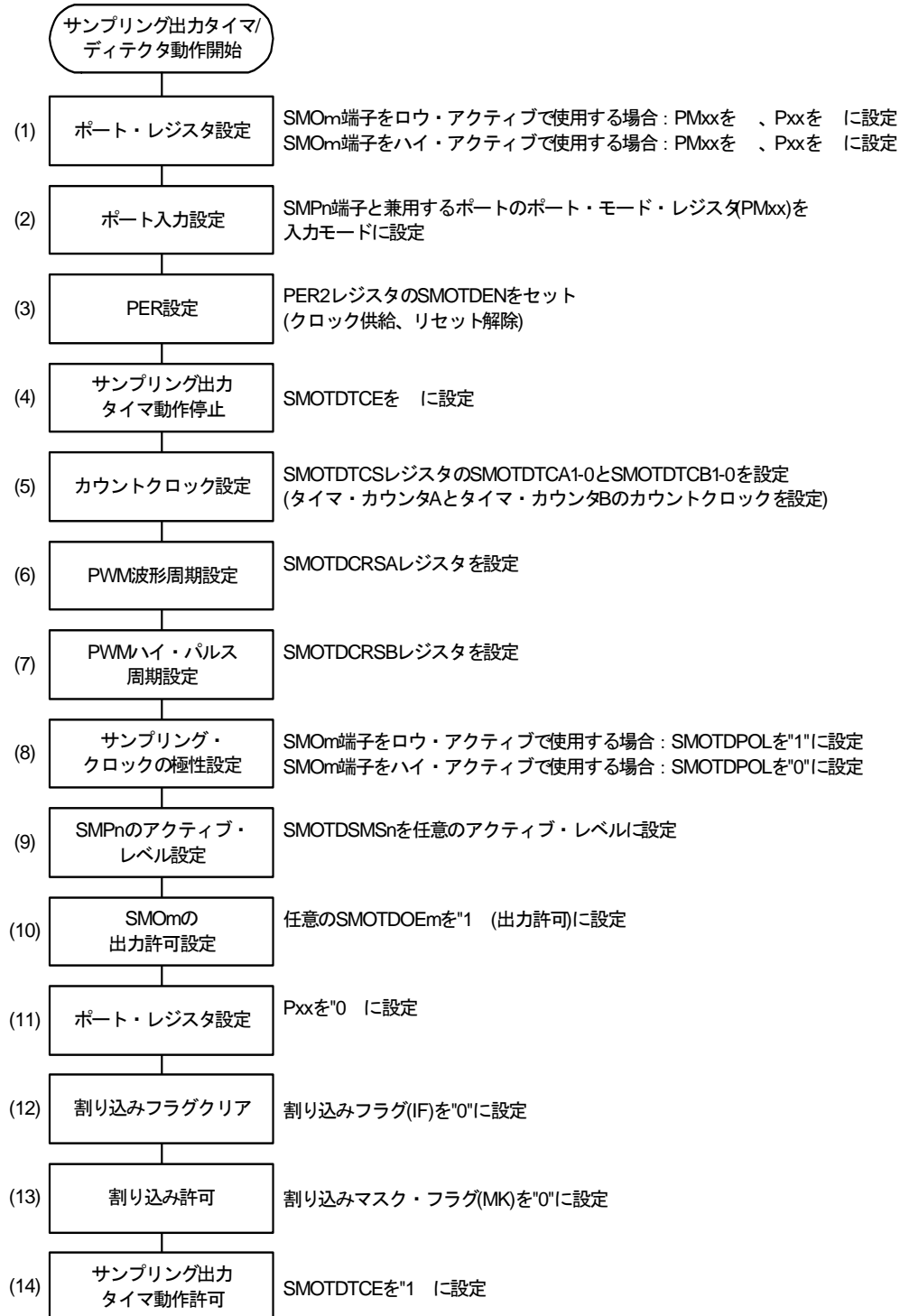
図11-17 サンプルング・クロック出力機能



11.4.3 サンプリング出力タイマ/ディテクタ機能の動作設定

図11-18にサンプリング出力タイマ/ディテクタの動作開始手順を示します。

図11-18 動作開始手順



注意 Pxx,PMxx レジスタの設定については、11.3 サンプリング出力タイマ/ディテクタを制御するレジスタの(11)を参照してください。

図11 - 19, 図11 - 20にSMOm端子をハイ・アクティブとロウ・アクティブで使用する場合のSMOmのタイミングチャートを示します。

図11 - 19 SMOm端子をハイ・アクティブで使用時の動作開始 (SMOTDPOL = 0の場合)

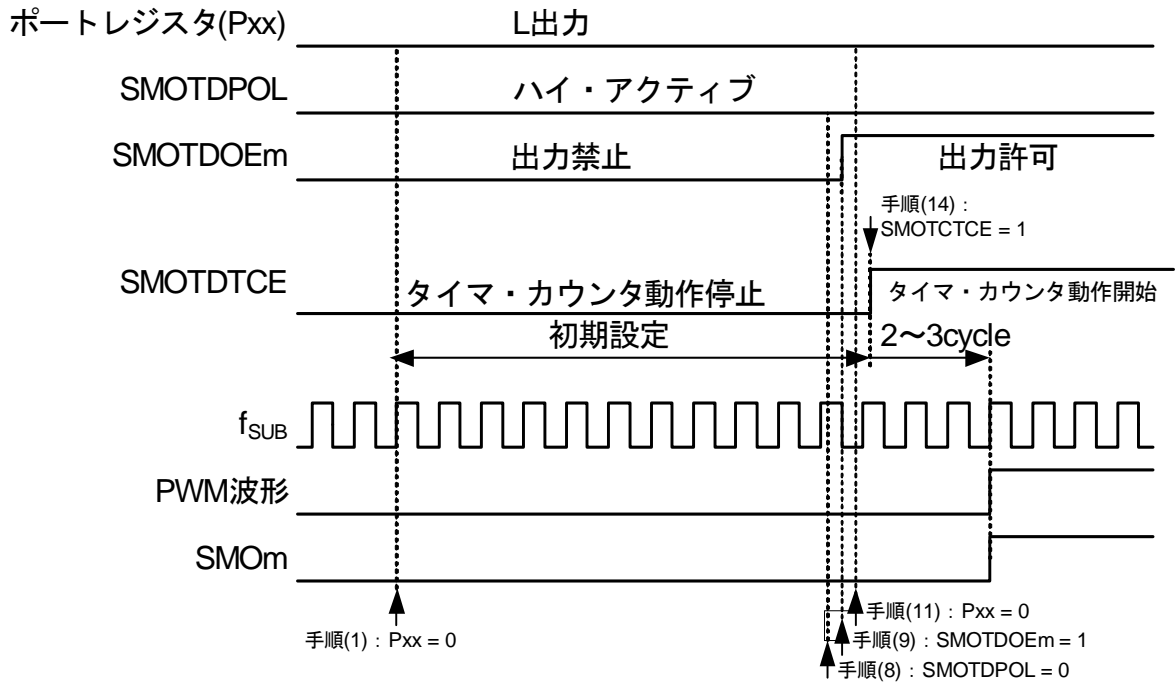


図11 - 20 SMOm端子をロウ・アクティブで使用時の動作開始 (SMOTDPOL = 1の場合)

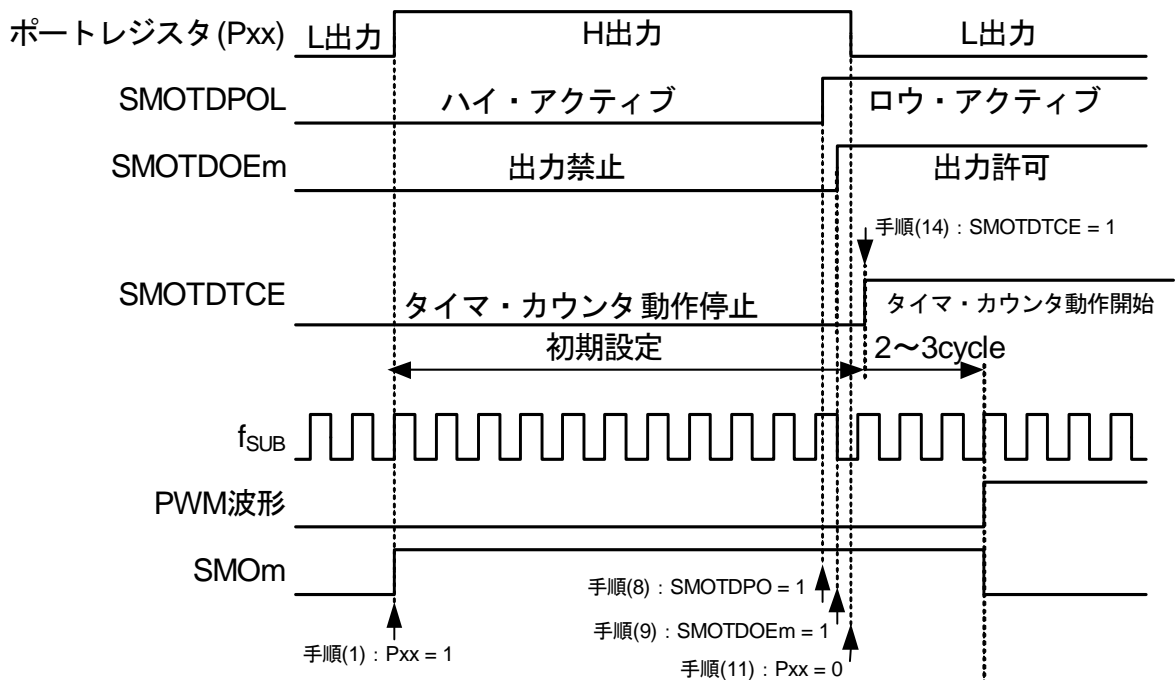
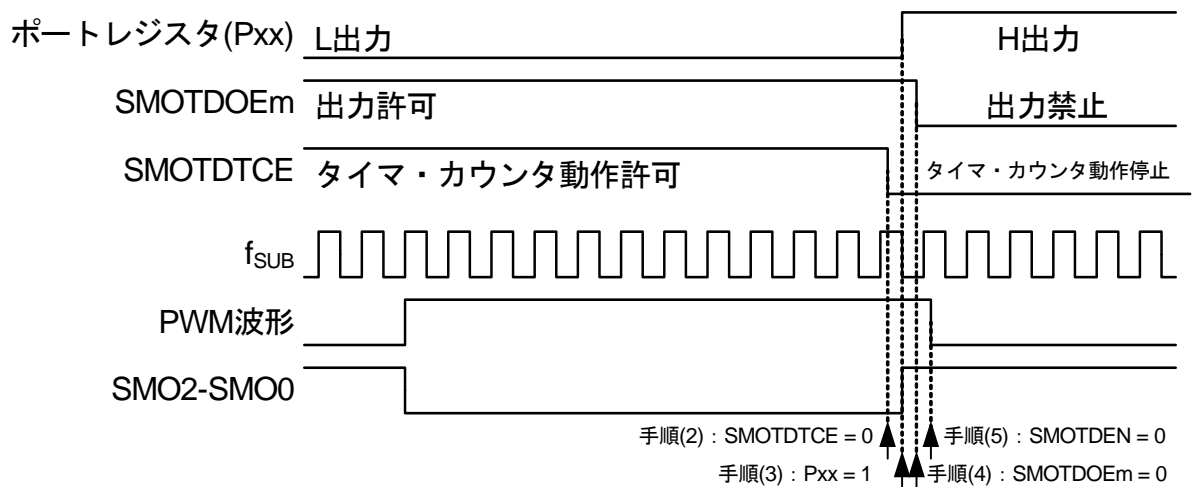


図11 - 23 SMOm端子をロウ・アクティブで使用時の動作停止タイミング(SMOTDPOL = 1の場合)



第12章 外部サンプリング(R5F11Rのみ)

12.1 外部サンプリングの機能

外部サンプリングには、次のような機能があります。

- 8ビット・インターバル・タイマ00割り込み信号(INTIT00)の発生タイミングからサンプリング・クロックを生成し、EXSDO0, EXSDO1端子から出力します。
- EXSDI0, EXSDI1端子への入力信号のレベルを、生成したサンプリング・クロックの立ち下がりタイミングでラッチし、入力波形を整形します。また、整形した入力波形の位相を検出します。
- 整形したEXSDI1端子の入力波形の立ち下がり立ち上がりタイミングで、割り込み信号(INTEXSD)を発生します。

12.2 外部サンプリングの構成

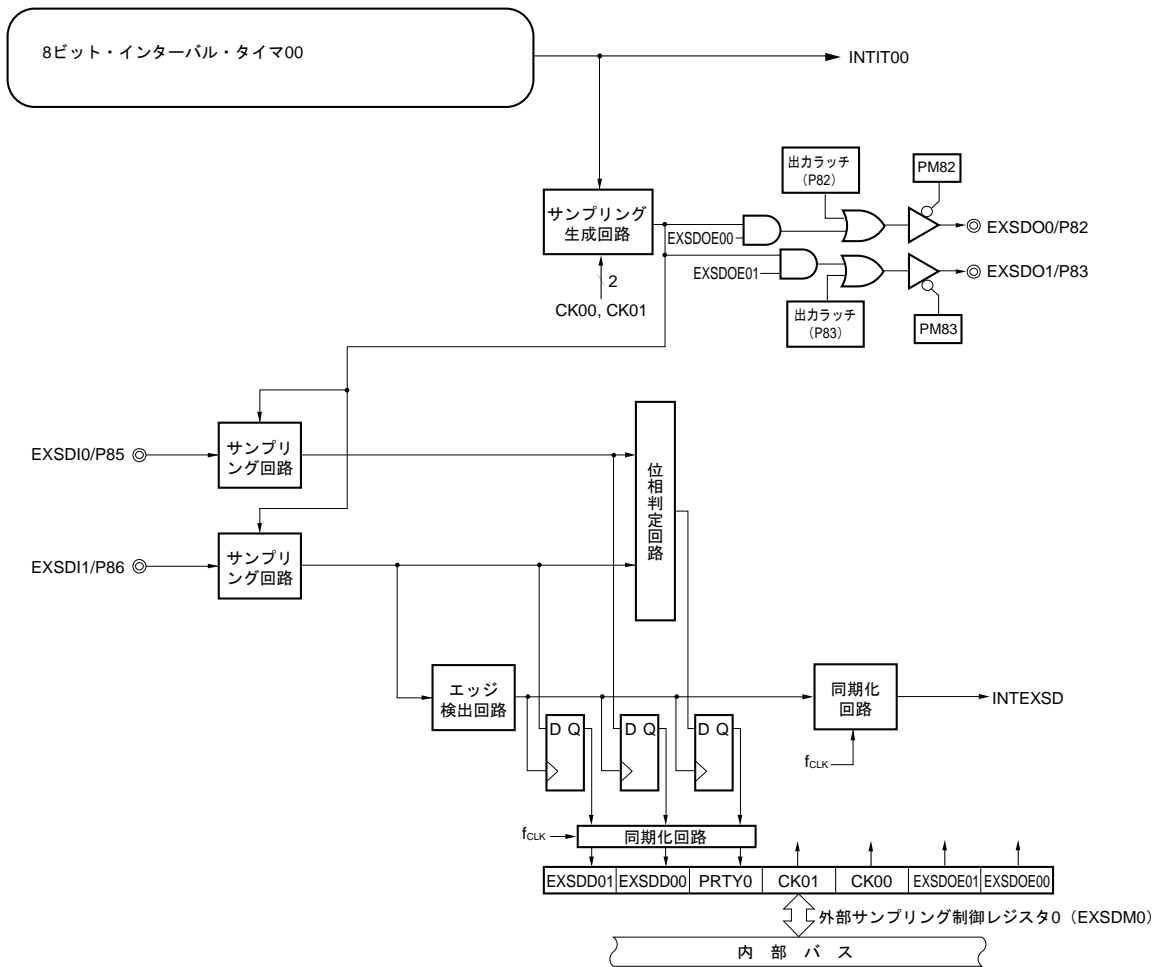
外部サンプリングは、次のハードウェアで構成されています。

表12-1 外部サンプリングの構成

項目	構成
制御レジスタ	周辺イネーブル・レジスタ2 (PER2) 外部サンプリング制御レジスタ0 (EXSDM0) ポート・モード・レジスタ8 (PM8) ポート・レジスタ8 (P8)

図12-1に外部サンプリングのブロック図を示します。

図12-1 外部サンプリングのブロック図



備考 fCLK:CPU/周辺ハードウェア・クロック

12.3 外部サンプリングを制御するレジスタ

外部サンプリングを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 外部サンプリング制御レジスタ0 (EXSDM0)
- ポート・モード・レジスタ8 (PM8)
- ポート・レジスタ8 (P8)

(1) 周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは、各周辺ハードウェアのクロック供給/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

外部サンプリングを使用するときは、ビット2 (EXSDEN) を必ず1に設定してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	0	UARTMG0EN	SMOTDEN	EXSDEN	TRJ1EN	TRJ0EN

EXSDEN	外部サンプリングの入カクロック供給の制御
0	入カクロック供給停止 ・外部サンプリングで使用するSFRへのライト不可 ・外部サンプリングはリセット状態
1	入カクロック供給 ・外部サンプリングで使用するSFRへのリード/ライト可

注意1. 外部サンプリングの設定をする際には、必ず最初にEXSDEN = 1の設定を行ってください。EXSDEN = 0の場合は、外部サンプリングの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ただし、ポート・モード・レジスタ8(PM8)、ポート・レジスタ8(P8)は除く)。

注意2. ビット7-5には必ず0を設定してください。

(2) 外部サンプリング制御レジスタ0 (EXSDM0)

EXSDM0は、サンプリング状態の表示、およびEXSDO0, EXSDO1, EXSDI0, EXSDI1の動作制御を設定するレジスタです。

EXSDM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 外部サンプリング制御レジスタ0 (EXSDM0) のフォーマット

アドレス : F026BH リセット時 : 00H R/W注

略号	7	6	5	4	3	2	1	0
EXSDM0	EXSDD01	EXSDD00	PRTY0	0	CK01	CK00	EXSDOE01	EXSDOE00
EXSDD01	EXSDI1内部整形波形レベル・ステータス・フラグ							
0	ロウ・レベル							
1	ハイ・レベル							
EXSDD00	EXSDI1内部整形波形の立ち上がり時のEXSDI0内部整形波形レベル・ステータス・フラグ							
0	EXSDI0の内部整形波形がロウ・レベル							
1	EXSDI0の内部整形波形がハイ・レベル							
PRTY0	EXSDI1内部整形波形の立ち上がり／立ち下がり時のEXSDI0の内部整形波形状態のステータス・フラグ							
0	EXSDI1の内部整形波形の立ち上がり時にEXSDI0の内部整形波形がハイ・レベル、またはEXSDI1の内部整形波形の立ち下がり時にEXSDI0の内部整形波形がロウ・レベル							
1	EXSDI1の内部整形波形の立ち上がり時にEXSDI0の内部整形波形がロウ・レベル、またはEXSDI1の内部整形波形の立ち下がり時にEXSDI0の内部整形波形がハイ・レベル							
CK01	CK00	EXSDO1, EXSDO0端子出カクロック・パルス幅の設定						
0	0	1/2f _{SUB} (15 μs)						
0	1	1/f _{SUB} (30.5 μs)						
1	0	2/f _{SUB} (61 μs)						
1	1	2 ⁵ /f _{SUB} (977 μs)						
EXSDOE01	EXSDO1端子の出力制御フラグ							
0	出力禁止							
1	出力許可							
EXSDOE00	EXSDO0端子の出力制御フラグ							
0	出力禁止							
1	出力許可							

注 ビット5-7はRead Onlyです。

備考 () 内は、f_{SUB} = 32.768 kHz動作時

(3) ポート・モード・レジスタ8 (PM8)

ポート8の入力／出力を1ビット単位で設定するレジスタです。

P82/EXSDO0, P83/EXSDO1 端子を外部サンプリング・クロック出力として使用するとき、PM82, PM83およびP82, P83の出力ラッチに0を設定してください。

P85/EXSDI0, P86/EXSDI1 端子を外部サンプリングの位相検出力として使用するとき、PM85, PM86に1を設定してください。このときP85, P86の出力ラッチは、0または1のどちらでもかまいません。

PM8レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図12-4 ポート・モード・レジスタ8 (PM8) のフォーマット

アドレス : FFF28H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	1	PM86	PM85	PM84	PM83	PM82	PM81	PM80
PM8n	PM8n端子の入出力モードの選択 (n = 0-6)							
0	出力モード (出力バッファ・オン)							
1	入力モード (出力バッファ・オフ)							

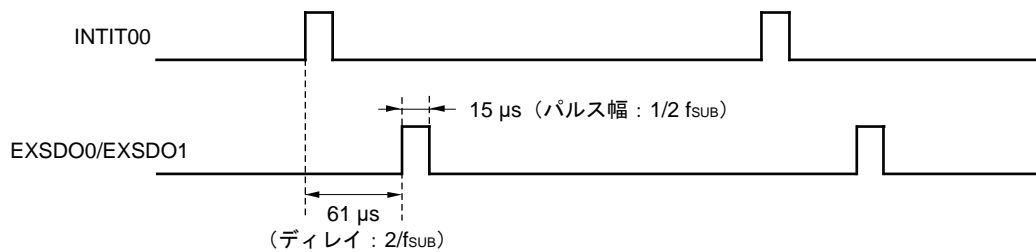
12.4 サンプリング・クロック出力の動作

EXSDO0/EXSDO1端子の出力周期は、8ビット・インターバル・タイマ00割り込み信号(INTIT00)の発生周期によって設定します。パルス幅は、外部サンプリング制御レジスタ0 (EXSDM0) のビット2, 3 (CK00, CK01) によって設定します。

図12-5にEXSDO0/EXSDO1出力の波形例を示します。

図12-5 EXSDO0/EXSDO1出力の波形例

・ CK01, CK00 = 00Bのとき



注意1. INTIT00信号発生の間隔時間は4/fs_{UB}以上になるように、TRTCMP00レジスタを設定してください。

(8ビット・インターバル・タイマ00の分周選択がfs_{UB}の場合はTRTCMP00 ≥ 0002H, fs_{UB}/2の場合はTRTCMP00 ≥ 0001H, それ以外の場合はTRTCMP00 ≥ 0000H)。

注意2. EXSDO0, EXSDO1端子のパルス幅は、デューティ 1/2以下となるように設定してください。

注意3. 外部サンプリングを使用する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを0に設定し、動作クロックにサブシステム・クロックを選択してください。

備考 fs_{UB} = 32.768 kHz動作時

12.5 外部サンプリングの動作

(1) 初期設定

以下に外部サンプリングの初期設定手順を示します。

- ポート・モード・レジスタ 8 (PM8) のビット 2, 3 (PM82, PM83) を出力モードに設定し、P82, P83 の出力ラッチに 0 を設定する。ポート・モード・レジスタ 8 (PM8) のビット 5, 6 (PM85, PM86) を入力モードに設定する。
- 外部サンプリングエッジ検出割り込み (INTEXSD) の割り込みマスク・フラグ (EXSDMK) に 0 を設定する (割り込み処理を許可)。
- 8ビット・インターバル・タイマ 00 のカウント動作を停止する。
- 8ビット・インターバル・タイマ 00 に任意のカウント値を設定する。
- 周辺イネーブル・レジスタ 2 (PER2) のビット 2 (EXSDEN) に 1 を設定する。
- 外部サンプリング制御レジスタ 0 (EXSDM0) のビット 2, 3 (CK00, CK01) で、EXSD00, EXSD01 端子から出力するサンプリング・クロックのパルス幅を設定する。

(2) 外部サンプリングの動作開始

以下に外部サンプリングの動作開始手順を示します。

- EXSDM0 レジスタのビット 0, 1 (EXSDOE00, EXSDOE01) で、EXSD00, EXSD01 端子の出力を許可する。
- 8ビット・インターバル・タイマ 00 の ch0 のカウント動作を開始する。
- EXSD00, EXSD01 端子から出力するサンプリング・クロックの立ち下がり、EXSDI0, EXSDI1 端子の入力レベルをラッチし、入力信号の波形が整形される。
- 内部で波形整形された EXSDI1 信号の立ち上がり／立ち下がりの両エッジにより、割り込み信号 (INTEXSD) が発生する。INTEXSD の発生タイミングは、波形整形された EXSDI1 信号に対し、 $1/2f_{SUB}+1/f_{CLK}$ または $1/2f_{SUB}+2/f_{CLK}$ の遅延が発生する。
- INTEXSD の発生タイミングで、内部で波形整形された EXSDI1 信号のレベルがラッチされ、EXSDM0 レジスタのビット 7 (EXSDD01) に転送される。EXSDI1 信号がハイ・レベルのときはセット (1) され、ロウ・レベルのときはクリア (0) される。
- 内部で波形整形された EXSDI1 信号の立ち下がり／立ち上がりの両エッジで、内部で波形整形された EXSDI0 信号のレベルがラッチされ、INTEXSD の発生タイミングで EXSDM0 レジスタのビット 6 (EXSDD00) に転送される。EXSDI0 信号がハイ・レベルのときはセット (1) され、ロウ・レベルのときはクリア (0) される。
- 波形整形された EXSDI1 信号の立ち上がり時に、波形整形された EXSDI0 信号がハイ・レベルのとき、または EXSDI1 信号の立ち下がり時に、EXSDI0 信号がロウ・レベルのとき、EXSDM0 レジスタのビット 5 (PRTY0) はクリア (0) される。波形整形された EXSDI1 信号の立ち上がり時に、波形整形された EXSDI0 信号がロウ・レベルのとき、または EXSDI1 信号の立ち下がり時に、EXSDI0 信号がハイ・レベルのとき、PRTY0 フラグはセット (1) される。

(3) 外部サンプリングの動作停止

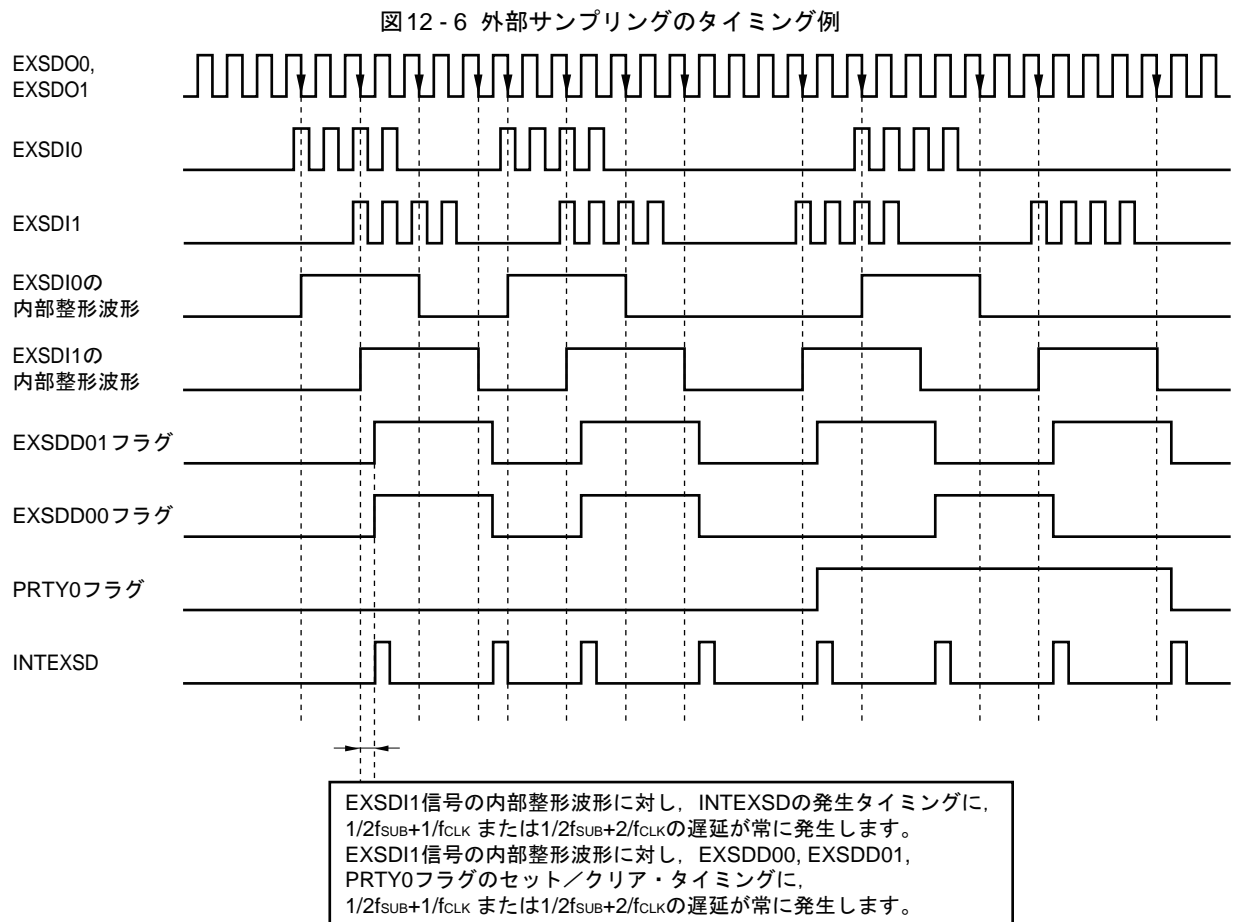
以下に外部サンプリングの動作停止手順を示します。

- 外部サンプリングエッジ検出割り込み (INTEXSD) の割り込みマスク・フラグ (EXSDMK) に 1 を設定する。(割り込み処理を禁止)
- 8ビット・インターバル・タイマ 00 のカウント動作を停止する。
- EXSDM0 レジスタのビット 0, 1 (EXSDOE00, EXSDOE01) で, EXSDO0, EXSDO1 端子の出力を禁止する。

注意1. EXSDI1 信号の内部整形波形に対し, INTEXSD の発生タイミングに, $1/2f_{SUB}+1/f_{CLK}$ または $1/2f_{SUB}+2/f_{CLK}$ の遅延が常に発生します。

注意2. EXSDI1 信号の内部整形波形に対し, EXSDD00, EXSDD01, PRTY0 フラグのセット/クリア・タイミングに, $1/2f_{SUB}+1/f_{CLK}$ または $1/2f_{SUB}+2/f_{CLK}$ の遅延が常に発生します。

図12-6に外部サンプリングのタイミング例を示します。



12.6 注意事項

- (1) EXSDI0信号とEXSDI1信号のエッジが重なった場合、EXSDI0信号の内部整形波形のレベル・ステータス・フラグの値は、不定となります。
- (2) 割り込み信号(INTEXSD)と各ステータス・フラグ (EXSDD00, EXSDD01, PRTY0) は同タイミングで変化します。
- (3) 8ビット・インターバル・タイマ00の動作停止時に、EXSDM0レジスタの設定をしてください。
- (4) 8ビット・インターバル・タイマ00割り込み信号(INTIT00)発生のインターバルが $4/f_{SUB}$ 以上になるように、TRTCMP00レジスタを設定してください (8ビット・インターバル・タイマ00の分周選択が f_{SUB} の場合は $TRTCMP00 \geq 0002H$, $f_{SUB}/2$ の場合は $TRTCMP00 \geq 0001H$, 他の場合は $TRTCMP00 \geq 0000H$)。
- (5) EXSD00, EXSD01のパルス幅は、デューティ 1/2以下となるように設定してください。
- (6) STOPモード時は、CPU/周辺ハードウェア・クロック (fCLK)が停止する為、下記の機能は使用できません。
 - 外部サンプリングエッジ検出割り込み信号(INTEXSD)が発生しません。
 - 外部サンプリング制御レジスタ0(EXSDM0)のEXSDD01, EXSDD00, PRTY0ビットは更新されません。

第13章 クロック出力／ブザー出力制御回路

RL78/H1Dで対応しているクロック出力／ブザー出力の端子数は製品によって異なります。

クロック出力／ ブザー出力端子	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
PCLBUZ0	○	—	○	○
PCLBUZ1	○	○	○	○

注意 この章では、以降の主な説明をR5F11NMの構成で説明しています。

13.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

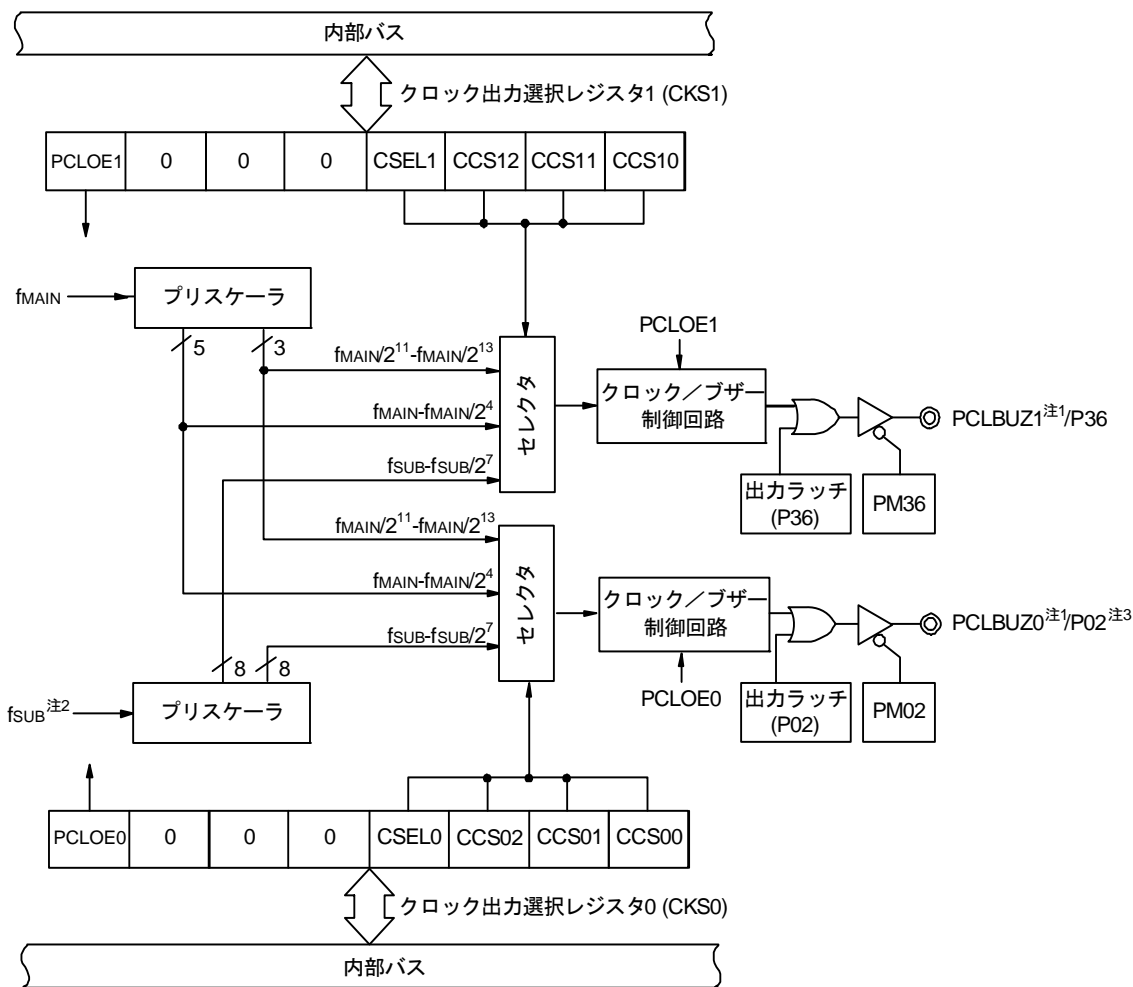
1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は、クロック出力選択レジスタn (CKSn)で選択したクロックを出力します。

図13-1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考 n = 0, 1

図13-1 クロック出力／ブザー出力制御回路のブロック図



- 注1. PCLBUZ0, PCLBUZ1端子から出力可能な周波数は、38.4または39.4 AC特性を参照してください。
- 注2. OSMCレジスタのWUTMMCK0 = 1設定時に、クロック出力／ブザー出力の出力クロックとしてfSUBを選択することは禁止です。
- 注3. R5F11NM, R5F11PL, R5F11NG, R5F11RMのみ。

備考 この図のクロック出力／ブザー出力端子は、PIOR03 = 0の場合です。

13.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表13-1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ n (CKSn) ポート・モード・レジスタ 0, 3, 8 (PM0, PM3, PM8) ポート・レジスタ 0, 3, 8 (P0, P3, P8)

13.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次のレジスタで制御します。

- クロック出力選択レジスタ n (CKSn)
- ポート・モード・レジスタ 0, 3, 8 (PM0, PM3, PM8)
- ポート・レジスタ 0, 3, 8 (P0, P3, P8)

13.3.1 クロック出力選択レジスタ n (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSn レジスタで、PCLBUZn 端子の出力するクロックを選択します。

CKSn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-2 クロック出力選択レジスタn (CKSn)のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1) リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0
------	--------	---	---	---	-------	-------	-------	-------

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止(デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
				fMAIN = 5 MHz	fMAIN = 10 MHz	fMAIN = 20 MHz	fMAIN = 24 MHz	
0	0	0	0	fMAIN	5 MHz	10 MHz	設定禁止 注1	設定禁止 注1
0	0	0	1	fMAIN/2	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	fMAIN/2 ²	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fMAIN/2 ³	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fMAIN/2 ⁴	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fMAIN/2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
0	1	1	0	fMAIN/2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
0	1	1	1	fMAIN/2 ¹³	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	0	0	0	fSUB注2	32.768 kHz/38.4 kHz注3			
1	0	0	1	fSUB/2注2	16.384 kHz/19.2 kHz注3			
1	0	1	0	fSUB/2 ² 注2	8.192 kHz/9.6 kHz注3			
1	0	1	1	fSUB/2 ³ 注2	4.096 kHz/4.8 kHz注3			
1	1	0	0	fSUB/2 ⁴ 注2	2.048 kHz/2.4 kHz注3			
1	1	0	1	fSUB/2 ⁵ 注2	1.024 kHz/1.2 kHz注3			
1	1	1	0	fSUB/2 ⁶ 注2	512 Hz/600 Hz注3			
1	1	1	1	fSUB/2 ⁷ 注2	256 Hz/300 Hz注3			

注1. 出力クロックは、12 MHz 以内の範囲で使用してください。詳しくは、38.4 または 39.4 AC 特性を参照してください。

注2. OSMC レジスタの WUTMMCK0 = 1 設定時に、クロック出力／ブザー出力の出力クロックとして fSUB を選択することは禁止です。

注3. fSUB=38.4 kHz は、R5F11RM のみ対応しています。

注意1. 出力クロックの切り替えは、出力禁止(PCLOEn = 0) にしてから行ってください。

注意2. メイン・システム・クロック選択時(CSELn = 0) に STOP モードに移行する場合は、STOP 命令前に PCLOEn = 0 にしてください。

注意3. R5F11NL の CKS0 レジスタは設定禁止です。

備考1. n = 0, 1

備考2. fMAIN : メイン・システム・クロック周波数

fSUB : サブシステム・クロック周波数

13.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx))を設定してください。詳細は、4.4.1 ポート・モード・レジスタ (PMxx), 4.4.2 ポート・レジスタ (Pxx)を参照してください。

クロック出力／ブザー出力端子を兼用するポート(P02/(SO10/TxD1)/PCLBUZ0/SEG23, P36/SI00/RxD0/TOOLRxD/SDA00/PCLBUZ1/SEG20など)をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx)のビットに0を設定してください。

(例) P02/(SO10/TxD1)/PCLBUZ0/SEG23をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ1のPM02ビットを0に設定

ポート・レジスタ1のP02ビットを0に設定

LCDポート・ファンクション・レジスタ2のPFSEG23ビットを0に設定

備考 セグメント出力と兼用になっているポートをクロック出力／ブザー出力機能として使用する場合は、LCDポート・ファンクション・レジスタ0-4(PFSEG0-PFSEG4)の対応するビットを必ず0に設定してください。

13.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0)で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1)で選択したクロック／ブザーを出力します。

13.4.1 出力端子の動作

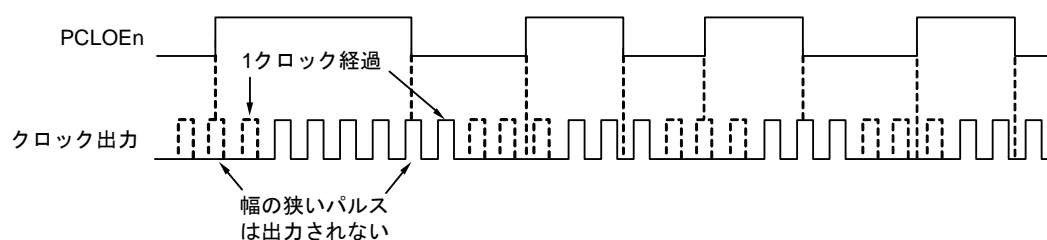
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ (PMxx) およびポート・レジスタ (Pxx)のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ (CKSn)のビット0-3 (CCSn0-CCSn2, CSELn)で出力周波数を選択する(出力は禁止の状態)。
- ③ CKSnレジスタのビット7 (PCLOEn)に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止(PCLOEnビット)を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図13-3に示します。

備考2. n = 0, 1

図13-3 PCLBUZn端子からのクロック出力のタイミング



13.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択(CSELn = 0)している場合は、出力停止設定(PCLOEn = 0)にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOP／HALTモードへ移行すると、PCLBUZnの出力幅が短くなります。

第14章 ウォッチドッグ・タイマ

14.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト(000C0H)でカウント動作を設定します。

ウォッチドッグ・タイマは、低速オンチップ・オシレータ・クロック (f_{IL})で動作します。

ウォッチドッグ・タイマは、プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に1ビット操作命令を使用した場合
- WDTEレジスタにACH以外のデータを書き込んだ場合
- ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF)のビット4 (WDTRF)がセット(1)されます。RESFレジスタの詳細については第28章 リセット機能を参照してください。

また、オーバフロー時間の75% + 1/2f_{IL}到達時にインターバル割り込みを発生することもできます。

14.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表 14-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

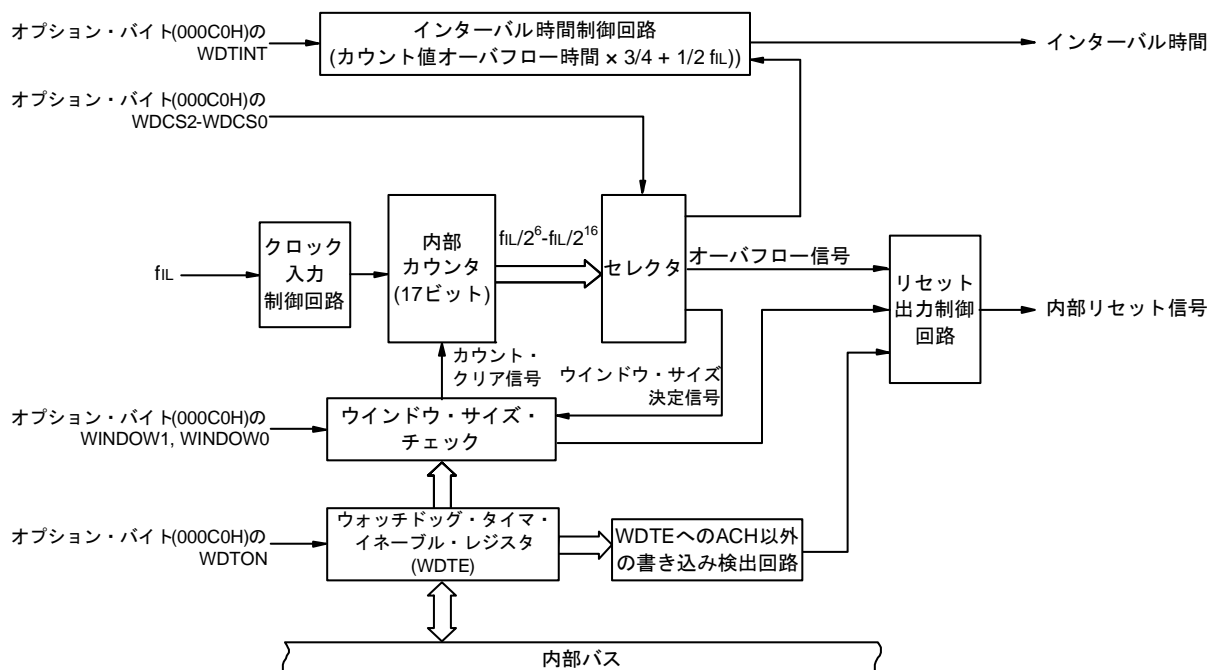
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表 14-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第33章 オプション・バイトを参照してください。

図 14-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速オンチップ・オシレータ・クロック

14.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)で制御します。

14.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH注になります。

図14-2 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット

アドレス : FFFABH	リセット時 : 9AH/1AH注	R/W						
略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は、オプション・バイト(000C0H)のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1. WDTEレジスタにACH以外の値を書き込んだ場合、内部リセット信号を発生します。

注意2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

注意3. WDTEレジスタのリード値は、9AH/1AH(書き込んだ値(ACH)とは異なる値)になります。

14.4 ウォッチドッグ・タイマの動作

14.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト(000C0H)で次の内容を設定します。

- オプション・バイト(000C0H)のビット4(WDTON)を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可(リセット解除後、カウンタは動作開始)にしてください(詳細は、第33章 オプション・バイトを参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止(リセット解除後、カウンタ停止)
1	カウンタ動作許可(リセット解除後、カウンタ開始)

- オプション・バイト(000C0H)のビット3-1(WDCS2-WDCS0)で、オーバフロー時間を設定してください(詳細は、14.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定および第33章 オプション・バイトを参照)。
 - オプション・バイト(000C0H)のビット6, 5(WINDOW1, WINDOW0)で、ウインドウ・オープン期間を設定してください(詳細は、14.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定および第33章 オプション・バイトを参照)。
2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
 3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)にACHを書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
 4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
 5. WDTEレジスタにACHを書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタにACH以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

注意2. WDTEレジスタにACHを書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大filの2クロックの誤差が生じる場合があります。

注意3. ウォッチドッグ・タイマのクリアは、カウント値がオーバーフローする直前まで有効です。

注意4. オプション・バイト(000C0H)のビット0(WDSTBYON)の設定値により、ウォッチドッグ・タイマのHALT、STOP、およびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

14.4.2 ウォッチドッグ・タイマのオーバーフロー時間の設定

ウォッチドッグ・タイマのオーバーフロー時間は、オプション・バイト(000C0H)のビット3-1 (WDCS2-WDCS0)で設定します。

オーバーフロー時は、内部リセット信号を発生します。オーバーフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)にACHを書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバーフロー時間を次に示します。

表14-3 ウォッチドッグ・タイマのオーバーフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバーフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)
0	0	0	2 ⁶ /f _{IL} (3.71 ms)
0	0	1	2 ⁷ /f _{IL} (7.42 ms)
0	1	0	2 ⁸ /f _{IL} (14.84 ms)
0	1	1	2 ⁹ /f _{IL} (29.68 ms)
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)
1	0	1	2 ¹³ /f _{IL} (474.89 ms)
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)

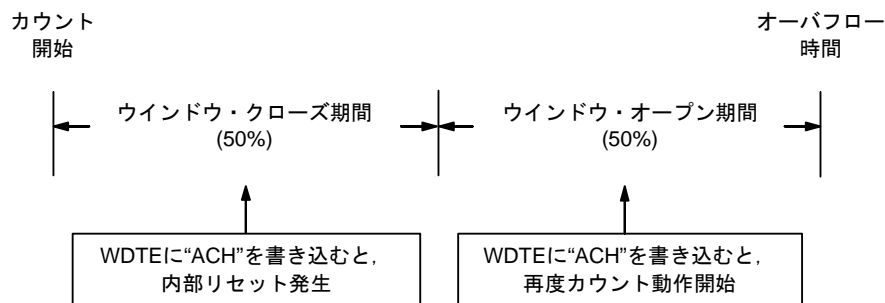
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

14.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト(000C0H)のビット6, 5 (WINDOW1, WINDOW0)で設定します。ウインドウの概要は次のとおりです。

- ウインドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に ACH を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ウインドウ・クローズ期間中は、WDTE レジスタに ACH を書き込んでも、異常検出され、内部リセットが発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表 14 - 4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	1	50%
1	1	100%
上記以外		設定禁止

注意 オプション・バイト(000C0H)のビット0(WDSTBYON) = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^9/f_{IL}$ に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定	
	50%	100%
ウィンドウ・クローズ時間	0 ~ 20.08 ms	なし
ウィンドウ・オープン時間	20.08 ~ 29.68 ms	0 ~ 29.68 ms

<ウィンドウ・オープン期間50%のとき>

- オーバフロー時間 :
 $2^9/f_{IL} \text{ (MAX.)} = 2^9 / 17.25 \text{ kHz} = 29.68 \text{ ms}$
- ウィンドウ・クローズ時間 :
 $0 \sim 2^9/f_{IL} \text{ (MIN.)} \times (1 - 0.5) = 0 \sim 2^9/12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$
- ウィンドウ・オープン時間 :
 $2^9/f_{IL} \text{ (MIN.)} \times (1 - 0.5) \sim 2^9/f_{IL} \text{ (MAX.)} = 2^9/12.75 \text{ kHz} \times 0.5 \sim 2^9 / 17.25 \text{ kHz} = 20.08 \sim 29.68 \text{ ms}$

14.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト(00C0H)のビット7 (WDTINT)の設定により、オーバフロー時間の75% + 1/2f_{IL}到達時にインターバル割り込み (INTWDTI) を発生することができます。

表 14-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2f _{IL} 到達時にインターバル割り込みを発生する注

注 ウォッチドッグ・タイマのインターバル割り込みを使用する場合は、ウォッチドッグ・タイマのカウントクリア時に、14.4.5の注意事項で示す手順に従ってください。

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。
そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。
よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も(ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)にACHを書き込むまで)カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

14.4.5 ウォッチドッグ・タイマの注意事項

ウォッチドッグ・タイマのインターバル割り込みを使用する場合は、ウォッチドッグ・タイマのカウントクリア時に、下記の(1)～(5)の手順を実行してください。

- (1) ウォッチドッグ・タイマのカウントクリア前に割り込みマスク・フラグ・レジスタ0 (MKOL) のWDTIMKビットを1にする
- (2) ウォッチドッグ・タイマのカウントをクリアする
- (3) 80 μs 以上ウエイト
- (4) 割り込み要求フラグ・レジスタ0 (IFOL) のWDTIIFビットを0にする
- (5) 割り込みマスク・フラグ・レジスタ0 (MKOL) のWDTIMKビットを0にする

第15章 アナログ・フロントエンド電源回路 (R5F11N, R5F11Pのみ)

15.1 アナログ・フロントエンド電源回路の機能

アナログ・フロントエンド (AFE) 電源回路は、AFE 基準電源回路 (ABGR) と内部回路電力供給用 LDO (REGA)、外部デバイスとしてセンサ用途を想定したセンサ電力供給用 LDO (SBIAS) で構成されています。

機能ごとの電源を制御する PON 信号、および AFE 全体の基準電源を制御する AFEPON 信号をレジスタで設定することで各動作状態を選択します。すべての PON 信号は、周辺イネーブル・レジスタ 1 (PER1) で AFEEN = 0 とすることで初期化されます。

アナログ・フロントエンド電源検出レジスタ (AFEPWD) の AFESTAT ビットを読み出すことで、ABGR の起動状態を確認できます。AFEPWD レジスタの PGASTAT ビットを読み出すことで、REGA および SBIAS の起動状態を確認できます。

表 15 - 1 アナログ・フロントエンド (AFE) の電源制御

機能ブロック	AFE の電源を制御するレジスタ								
	AFE PON	PGA PON	AMP PON	AMP E0	AMP E1	AMP E2	AMP E3	DAC0 PON	DAC1 PON
PGA0 + 24 ビット $\Delta\Sigma$ /D コンバータ	○	○	—	—	—	—	—	—	—
アンプ・ユニット 0 (PGA1)	○	—	○	○	—	—	—	—	○
アンプ・ユニット 1 (AMP0)	○	—	○	—	○	—	—	注1	—
アンプ・ユニット 2 (AMP1)	○	注2	○	—	—	○	—	—	注1
アンプ・ユニット 3 (AMP2)	○	注2	○	—	—	—	○	—	注1
8 ビット D/A コンバータ (DAC0)	○	○	—	—	—	—	—	○	—
12 ビット D/A コンバータ (DAC1)	基準電圧に AVDD 選択時	○	—	—	—	—	—	—	○
	基準電圧に SBIAS 選択時	○	○	—	—	—	—	—	○

注1. アンプ・ユニットの + 入力に D/A コンバータを選択する場合はパワーオンに設定してください。

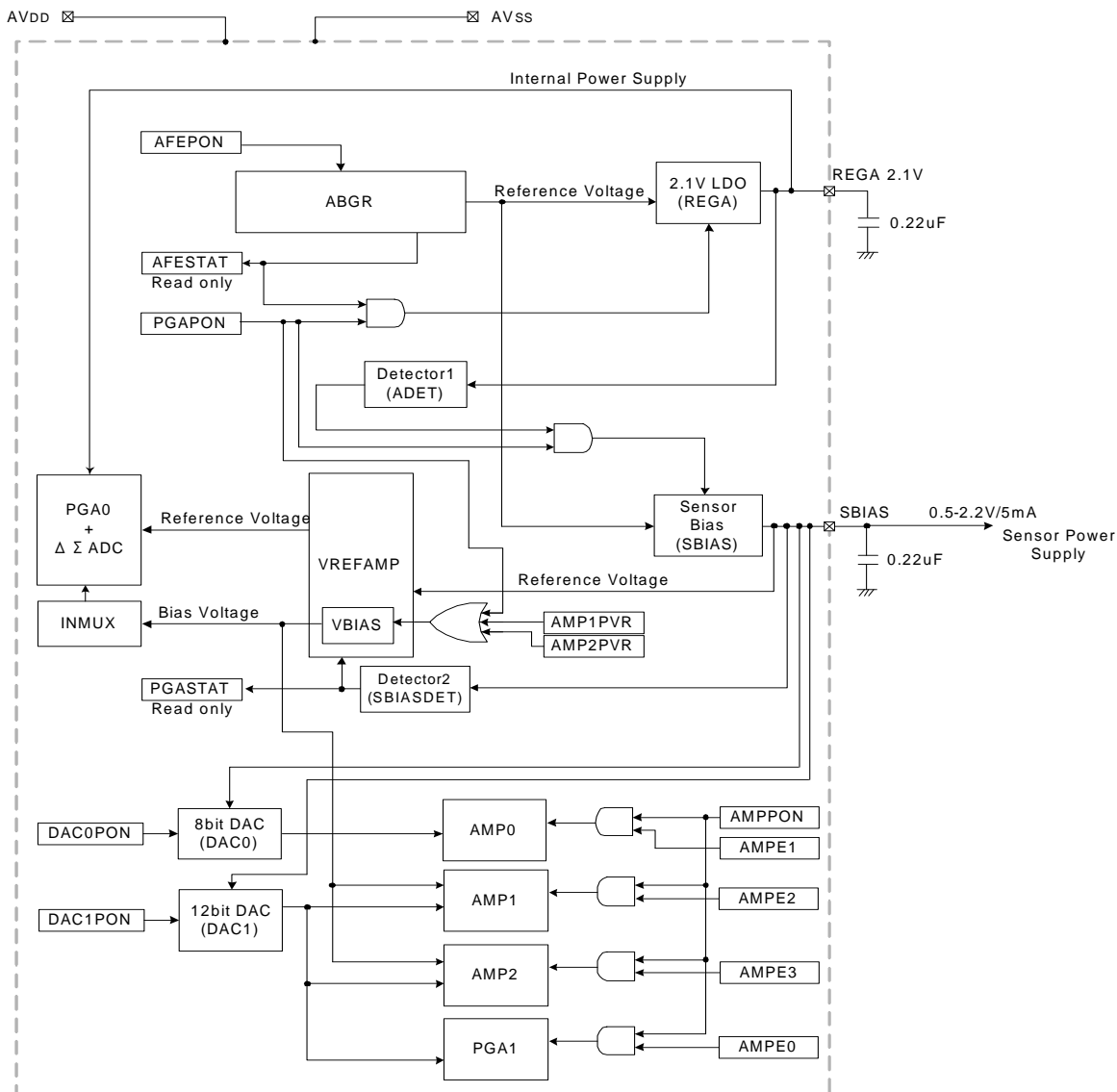
注2. アンプ・ユニットの + 入力に内部バイアス電圧 (VBIAS) を選択する場合はパワーオンに設定してください。

備考 アナログ・フロントエンド電源回路は、アナログ・フロントエンド電源選択レジスタ (AFEPWS)、およびアンプ・ユニットのアンプ制御レジスタ (AMPC) の各ビットを用いて設定します。

15.2 アナログ・フロントエンド電源回路の構成

アナログ・フロントエンド電源回路のブロック図を図15-1に示します。

図15-1 アナログ・フロントエンド電源回路のブロック図



15.3 アナログ・フロントエンド電源回路を制御するレジスタ

アナログ・フロントエンド電源回路を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- アナログ・フロントエンド電源選択レジスタ (AFEPWS)
- アナログ・フロントエンド電源検出レジスタ (AFEPWD)
- センサ用基準電圧設定レジスタ (VSBIAS)

15.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	0	AMPEN ^注	DTCEN	PGAEN ^注	AFEEN ^注	DACEN ^注

AFEEN ^注	AFE電源・クロック制御部入力クロック供給の制御
0	クロック供給停止 • AFE電源・クロック制御部で使用するSFRへのライト不可 • AFE電源・クロック制御部はリセット状態
1	入力クロック供給 • AFE電源・クロック制御部で使用するSFRへのリード/ライト可

注 R5F11N, R5F11Pのみ。

注意1. アナログ・フロントエンド電源回路の設定をする際には、必ず最初にAFEEN = 1の設定を行ってください。

AFEEN = 0の場合は、アナログ・フロントエンド電源回路の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

注意2. 次のビットには必ず0を設定してください。

R5F11N, R5F11P : ビット5, 6

R5F11R : ビット0-2, 4-6

15.3.2 アナログ・フロントエンド電源選択レジスタ (AFEPWS)

機能ごとの電源を制御するPON信号、およびAFE全体の基準電源を制御するAFEPON信号を、AFEPWSレジスタで設定することにより各動作状態を選択します。

AFEPWSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-3 アナログ・フロントエンド電源選択レジスタ (AFEPWS) のフォーマット

アドレス : F0440H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AFEPWS	DAC1PON	DAC0PON	0	AMPPON	0	PGAPON	0	AFEPON
DAC1PON	12ビットD/Aコンバータ (DAC1) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
DAC0PON	8ビットD/Aコンバータ (DAC0) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
AMPPON	アンプ・ユニット部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
PGAPON	プログラマブル・ゲイン計装アンプ (PGA0) 部, およびセンサ用基準電圧源 (SBIAS) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
AFEPON	AFE基準電源 (ABGR) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							

注意 ビット1, 3, 5には必ず0を設定してください。

15.3.3 アナログ・フロントエンド電源検出レジスタ (AFEPWD)

アナログ・フロントエンド電源検出レジスタ (AFEPWD) の AFESTAT ビットを読み出すことで、AFE 基準電源 (ABGR) の起動状態を確認できます。

AFEPWD レジスタの PGASTAT ビットを読み出すことで、REGA および SBIAS の起動状態を確認できます。

AFEPWD レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00H になります。

図15-4 アナログ・フロントエンド電源検出レジスタ (AFEPWD) のフォーマット

アドレス : F0441H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
AFEPWD	0	0	0	0	0	PGASTAT	0	AFESTAT
PGASTAT	プログラマブル・ゲイン計装アンプ (PGA0) 部, およびセンサ用基準電圧源 (SBIAS) 部の電源状態							
0	停止または起動途中							
1	起動完了							
AFESTAT	AFE 基準電源 (ABGR) 部の電源状態							
0	停止または起動途中							
1	起動完了							

15.3.4 センサ用基準電圧設定レジスタ (VSBIAS)

センサ用基準電圧源 (SBIAS) の出力電圧値を設定します。

VSBIASレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、19Hになります。

図15-5 センサ用基準電圧設定レジスタ (VSBIAS) のフォーマット

アドレス : F0443H リセット時 : 19H R/W

略号	7	6	5	4	3	2	1	0
VSBIAS	0	0	0	VSBIAS4	VSBIAS3	VSBIAS2	VSBIAS1	VSBIAS0

VSBIAS4	VSBIAS3	VSBIAS2	VSBIAS1	VSBIAS0	SBIASの出力電圧(V)
0	1	0	0	1	0.5
0	1	0	1	0	0.6
0	1	0	1	1	0.7
0	1	1	0	0	0.8
0	1	1	0	1	0.9
0	1	1	1	0	1.0
0	1	1	1	1	1.1
1	0	0	0	0	1.2
1	0	0	0	1	1.3
1	0	0	1	0	1.4
1	0	0	1	1	1.5
1	0	1	0	0	1.6
1	0	1	0	1	1.7
1	0	1	1	0	1.8
1	0	1	1	1	1.9
1	1	0	0	0	2.0
1	1	0	0	1	2.1 (初期値)
1	1	0	1	0	2.2
上記以外					設定禁止

注意1. ビット5-7には必ず0を設定してください。

注意2. 8ビットD/Aコンバータ (DAC0) を使用する場合は、1.8V以上に設定してください。

注意3. 12ビットD/Aコンバータ (DAC1) の基準電圧にSBIASを選択する場合は、1.5V以上に設定してください。

15.4 AFE用内部基準電圧生成回路

15.4.1 AFE用内部基準電圧生成回路の概要

AFE用内部基準電圧生成回路は、AFE基準電源回路(ABGR)とアナログ回路用基準電圧生成回路(VREFAMP)から構成されています。

ABGRから出力されたVREF基準電圧は、REGA回路、SBIAS回路に供給されます。

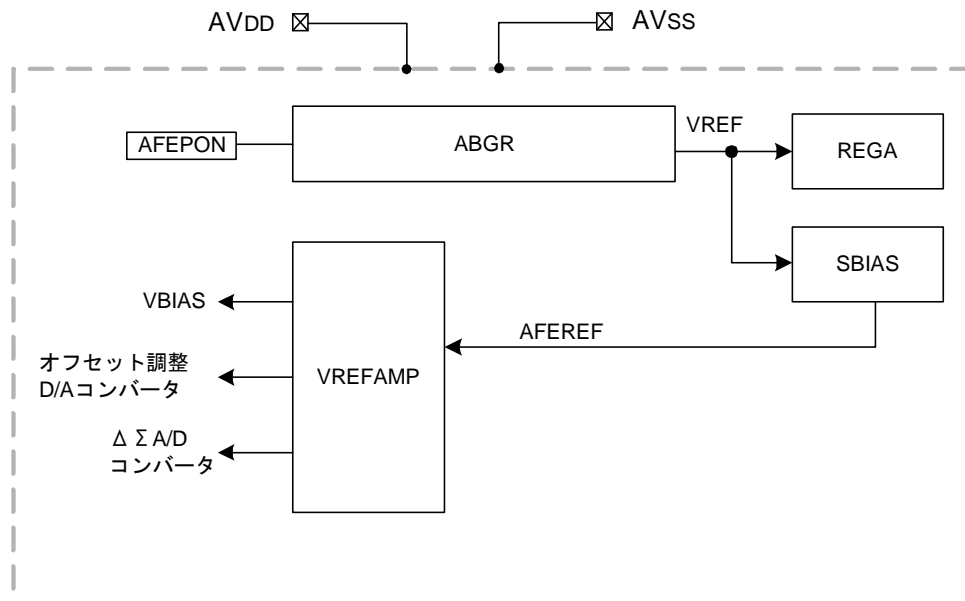
また、ABGRから出力されたVREF基準電圧は、SBIAS回路を経由してVREFAMP回路から、 $\Delta\Sigma$ /Dコンバータの基準電圧、オフセット調整D/Aコンバータの基準電圧、さらに入力マルチプレクサに接続する内部バイアス電圧(VBIAS)となります。

ABGRは、出力電圧の温度依存性が低く、高い出力電圧精度が期待できます。

15.4.2 AFE用内部基準電圧生成回路の構成

AFE用内部基準電圧生成回路のブロック図を図15-6に示します。

図15-6 AFE用内部基準電圧生成回路のブロック図



15.4.3 AFE用内部基準電圧生成回路の動作

AFEPWSレジスタのAFEPONビットは、ABGRのパワーオン/パワーオフを制御します。ABGRのパワーオフ(AFEPON=0)は、プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータ、アンプ・ユニット、8ビットD/Aコンバータ、12ビットD/Aコンバータの電源を立ち下げ後に行うことを推奨します。

15.5 センサ用電源回路 (SBIAS)

15.5.1 センサ用電源回路 (SBIAS) の概要

SBIASはセンサ用の電源です。ABGRから出力されたVREF基準電圧が入力されます。出力電圧は0.5～2.2Vの範囲で可変であり、0.1V単位で設定可能です。出力電流は最大5mAです。SBIAS端子には0.22 μ F(推奨値)の外付けコンデンサが必要です。

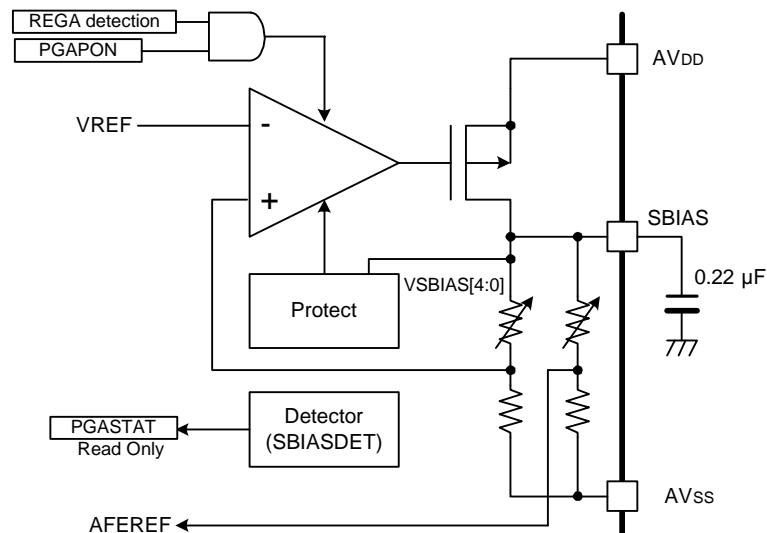
SBIASは、過電流(上限値を超える電流)からの保護回路を搭載しており、過電流状態が発生すると、保護回路が内部回路を保護します。また、SBIAS自身の出力電圧を監視、検出する回路(SBIASDET)を備えています。

ABGRから出力されたVREF基準電圧は、SBIASを経由し、 $\Delta\Sigma$ /Dコンバータの基準電圧、オフセット調整D/Aコンバータの基準電圧、さらに入力マルチプレクサに接続する内部バイアス電圧(VBIAS)となります。

15.5.2 センサ用電源回路 (SBIAS) の構成

センサ用電源回路 (SBIAS) のブロック図を図15-7に示します。

図15-7 センサ用電源回路 (SBIAS) のブロック図



15.5.3 センサ用電源回路 (SBIAS) の動作

SBIASはセンサへ電力を供給するとともに、 $\Delta\Sigma/D$ コンバータの基準電圧、オフセット調整D/A コンバータの基準電圧、さらに入力マルチプレクサに接続する内部バイアス電圧 (VBIAS) を生成します。

SBIAS は、SBIAS 自身の出力電圧を監視、検出する回路 (SBIASDET) 備えており、VREFAMP、プログラマブル・ゲイン計装アンプ (PGA0)、 $\Delta\Sigma/D$ コンバータなどのアナログ回路の起動を制御します。SBIAS の出力電圧が確認できるとSBIASDET が解除され、アナログ回路の起動が許可されます。一方、SBIAS の出力電圧が正常に立ち上がってないことをSBIASDET が検知すると、アナログ回路の動作が停止します。

アナログ・フロントエンド電源選択レジスタ (AFEPWS) のAFEPONビットに0が書き込まれると、SBIASDET が検知し、VREFAMP、PGA0、 $\Delta\Sigma/D$ コンバータ、SBIASの動作が停止します。VREFAMPが動作停止した場合、 $\Delta\Sigma/D$ コンバータの基準電圧、オフセット調整D/A コンバータの基準電圧、さらに入力マルチプレクサに接続する内部バイアス電圧 (VBIAS) は生成されません。

15.6 PGA0, $\Delta\Sigma$ A/Dコンバータの内部電源回路 (REGA)

15.6.1 内部電源回路 (REGA) の概要

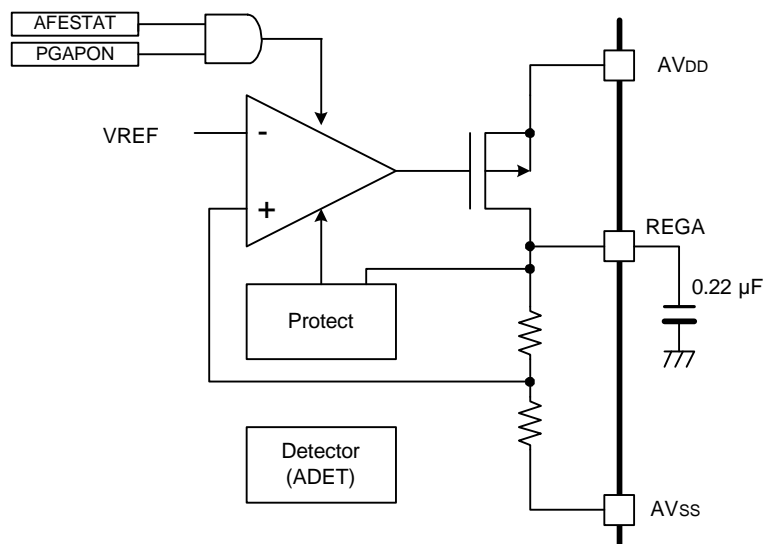
REGAは、ABGRの出力電圧を基準としてPGA0, $\Delta\Sigma$ A/Dコンバータへ電力を供給します。出力電圧は2.1 V (TYP.)です。REGAの出力端子には0.22 μ F (推奨値)の外付けコンデンサが必要です。

REGAは過電流保護回路と低電圧検出回路 (ADET) を備えています。

15.6.2 内部電源回路 (REGA) の構成

内部電源回路 (REGA) のブロック図を図15-8に示します。

図15-8 内部電源回路 (REGA) のブロック図



15.7 アナログ・フロントエンド電源制御フロー

アナログ・フロントエンド電源起動および停止のフロー・チャートを図15-9、図15-10に示します。また、電源起動シーケンスのタイミング・チャートを図15-11に示します。

図15-9 アナログ・フロントエンド (AFE) 電源の起動フロー

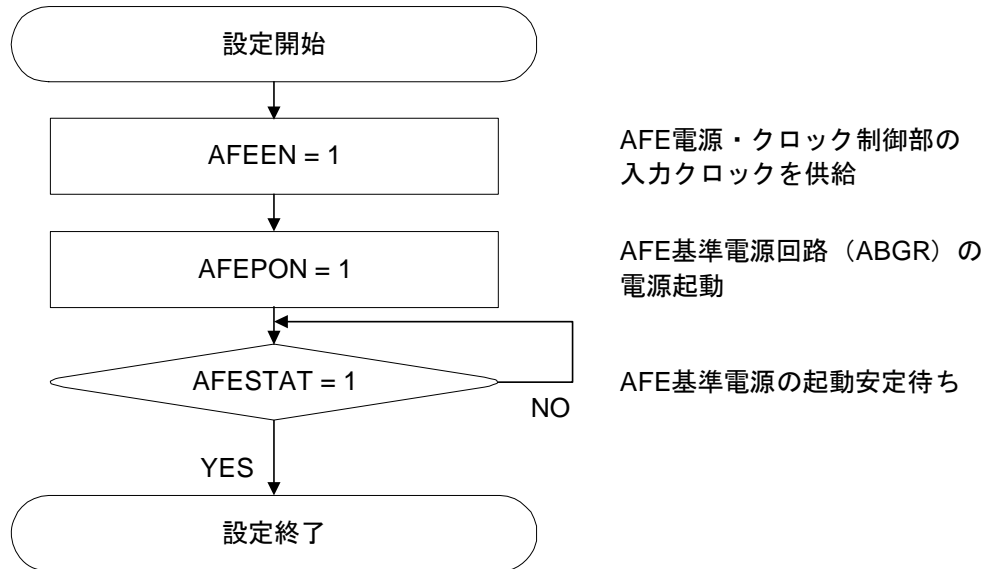


図15-10 アナログ・フロントエンド (AFE) 電源の停止フロー

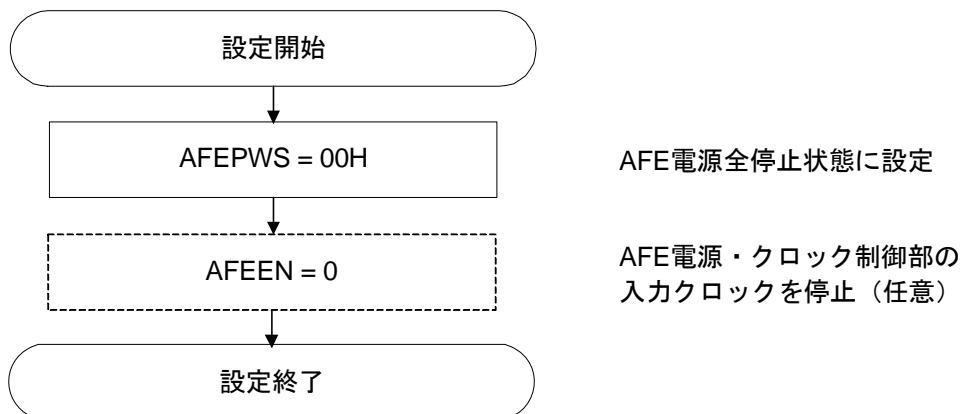
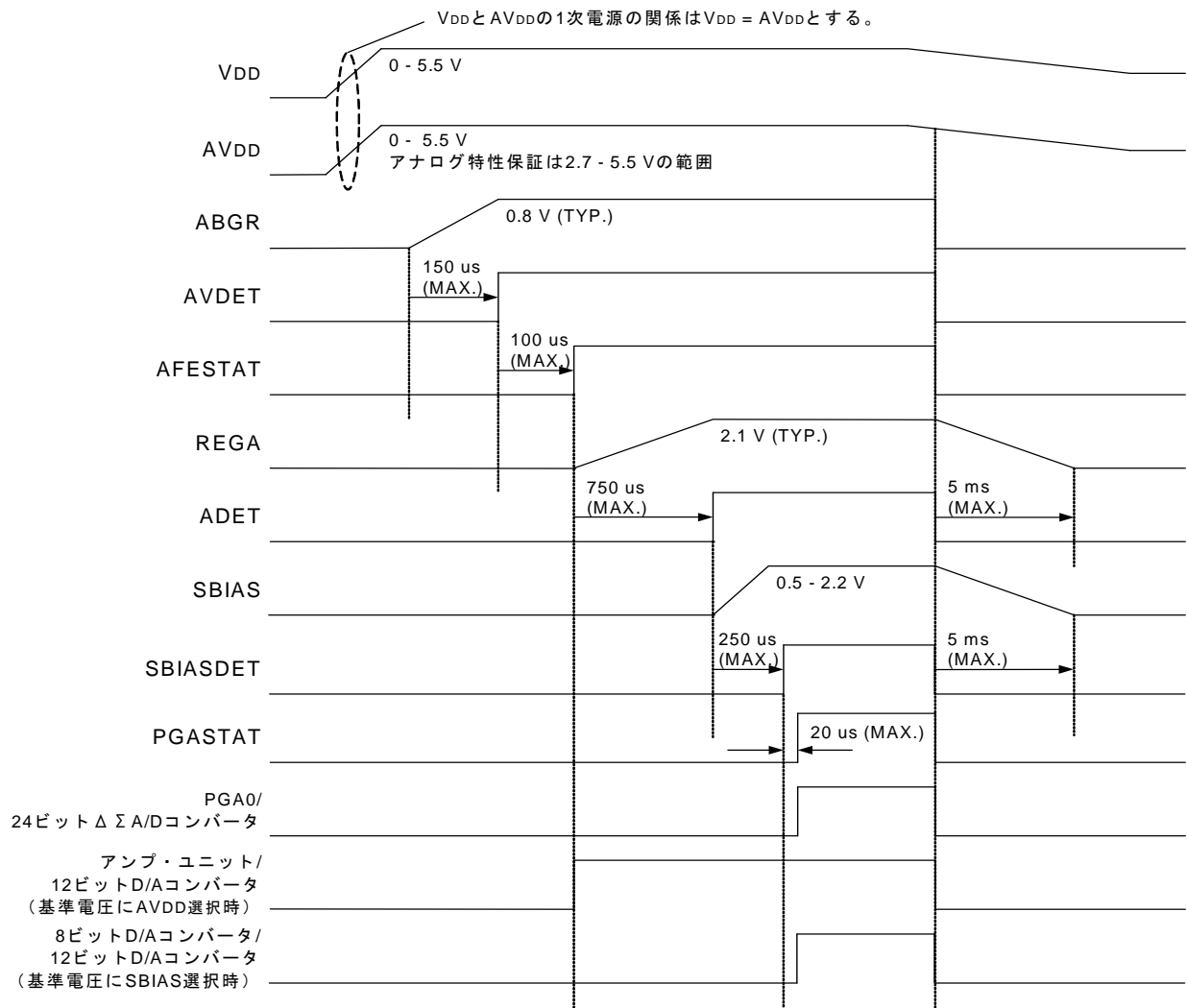


図15-11 電源起動シーケンスのタイミング・チャート



備考 AVDETは、AFE基準電源回路（ABGR）の出力電圧の低電圧検出回路です。

第16章 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータ (R5F11N, R5F11Pのみ)

16.1 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータ の機能

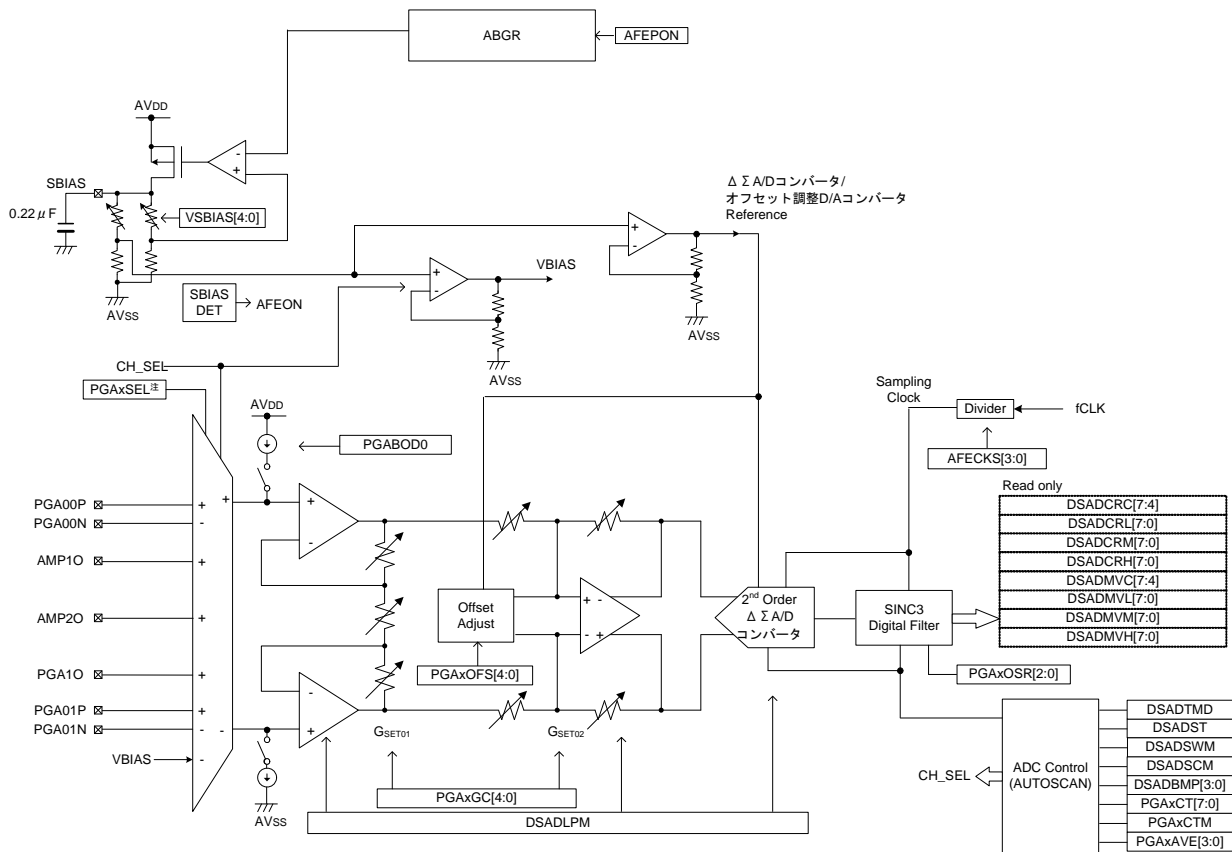
プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ A/Dコンバータを内蔵しています。入力マルチプレクサ（5チャンネル）からの信号は、プログラマブル・ゲイン計装アンプ（PGA0）を經由し、24ビット $\Delta\Sigma$ A/Dコンバータに入力されます。A/D変換結果は、SINC3デジタル・フィルタにてフィルタリングされた後、出力レジスタに格納されます。

A/D変換は、高速オンチップ・オシレータ（高速OCO）からのクロックによって実行されます（サンプリング周波数は1 MHz（TYP.））。また、高速システム・クロックを使用することもできます。A/D変換は、AUTOSCANと呼ばれる内蔵シーケンサに基づいて行われ、チャンネルごとにデータ・レート（A/D変換結果の出力頻度）を設定することが可能です。

16.2 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ /Dコンバータの構成

図16-1にプログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ /Dコンバータのブロック図を示します。

図16-1 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ /Dコンバータのブロック図



注 入力マルチプレクサ0の場合です。入力マルチプレクサ3の場合は、PGA3SEL0, PGA3SEL1ビットで設定します。詳細は、16.3.3 入力マルチプレクサを制御するレジスタを参照してください。

16.3 入力マルチプレクサ

16.3.1 入力マルチプレクサの概要

入力マルチプレクサは5本のアナログ入力チャンネルを持ちます。うち2本（入力マルチプレクサ0, 3）は外部からの信号入力が可能であり、残り3本（入力マルチプレクサ1～3）は内部のアンプ・ユニット出力と接続されています。入力マルチプレクサ3は外部入力と内部接続で兼用（排他使用）になります。外部入力可能な2本（入力マルチプレクサ0, 3）のチャンネルは、チャンネルごとに差動入力、またはシングルエンド入力の入力設定を選択できます。その他のチャンネルは、シングルエンド入力固定です。シングルエンド入力を設定した場合、内部バイアス電圧（VBIAS）がプログラマブル・ゲイン計装アンプ（PGA0）の－入りに接続されます。

入力マルチプレクサのアナログ入力チャンネル数は、製品によって異なります。

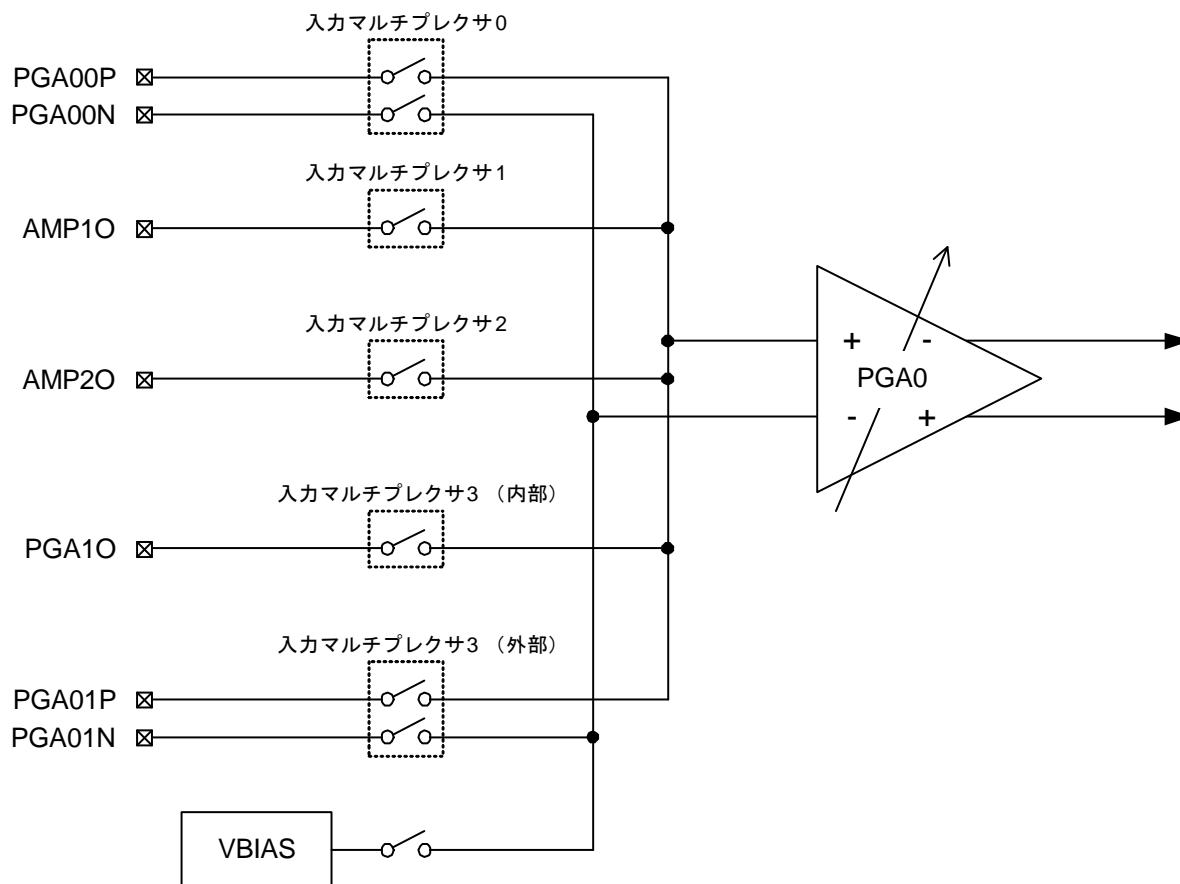
表 16 - 1 入力マルチプレクサ

入力マルチプレクサ	R5F11NM	R5F11NL	R5F11PL, R5F11NG
入力マルチプレクサ0	○	○	○
入力マルチプレクサ1	—	○	○
入力マルチプレクサ2	—	○	○
入力マルチプレクサ3	内部	○	○
	外部	—	○
有効チャンネル数	1 ch	4 ch	5 ch

16.3.2 入力マルチプレクサの構成

図16-2に入力マルチプレクサのブロック図を示します。

図16-2 入力マルチプレクサのブロック図



16.3.3 入力マルチプレクサを制御するレジスタ

入力マルチプレクサでは、次のレジスタを使用します。

(1) 入力マルチプレクサ0設定レジスタ1 (PGA0CTL1)

入力マルチプレクサ0の入力設定を選択できます。

PGA0CTL1レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

図16-3 入力マルチプレクサ0設定レジスタ1(PGA0CTL1)のフォーマット

アドレス : F045BH (PGA0CTL1) リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
PGA0CTL1	PGA0SEL	0	0	PGA0OFS4注	PGA0OFS3注	PGA0OFS2注	PGA0OFS1注	PGA0OFS0注
PGA0SEL	入力マルチプレクサ0の制御							
0	差動入力							
1	シングルエンド入力							

注 PGA0OFS0-PGA0OFS4ビットについては、16.4.6 (2) 入力マルチプレクサx (x = 0~3) 設定レジスタ1 (PGAxCTL1) を参照してください。

注意 ビット5-6には必ず0を設定してください。

(2) 入力マルチプレクサ3設定レジスタ1 (PGA3CTL1)

入力マルチプレクサ3の入力設定を選択できます。

PGA3CTL1レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

図16-4 入力マルチプレクサ3設定レジスタ1(PGA3CTL1)のフォーマット

アドレス : F0467H (PGA3CTL1) リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
PGA3CTL1	PGA3SEL1	PGA3SELO	0	PGA3OFS4注	PGA3OFS3注	PGA3OFS2注	PGA3OFS1注	PGA3OFS0注
PGA3SEL1	PGA3SELO	入力マルチプレクサ3の制御						
0	0	シングルエンド入力 (PGA10出力の内部接続)						
1	0	シングルエンド入力 (PGA10出力の内部接続)						
0	1	差動入力 (PGA01P/PGA01N端子からの外部入力)						
1	1	シングルエンド入力 (PGA01P端子からの外部入力)						

注 PGA3OFS0-PGA3OFS4ビットについては、16.4.6 (2) 入力マルチプレクサx (x = 0~3) 設定レジスタ1 (PGAxCTL1) を参照してください。

注意 ビット5には必ず0を設定してください。

16.4 プログラマブル・ゲイン計装アンプ (PGA0)

16.4.1 プログラマブル・ゲイン計装アンプ (PGA0) の概要

プログラマブル・ゲイン計装アンプ (PGA0) は、低オフセット電圧、低 1/f ノイズ、高入力インピーダンスを特長とするアンプです。入力マルチプレクサの設定により、差動入力モード、シングルエンド入力モードの2つのモードになります。

差動入力モードおよびシングルエンド入力モードでは、計装アンプの1st アンプのゲイン (GSET01) と2nd アンプのゲイン (GSET02) の組み合わせにより、1~64 倍までのゲイン (GTOTAL0) を設定できます。

また、2nd アンプには、オフセット電圧調整用の D/A コンバータが接続されています。差動入力モード、シングルエンド入力モードでは、この D/A コンバータによるオフセット電圧調整 (-164 mV ~ +164 mV, 31 階調: 5 ビット) ができます。

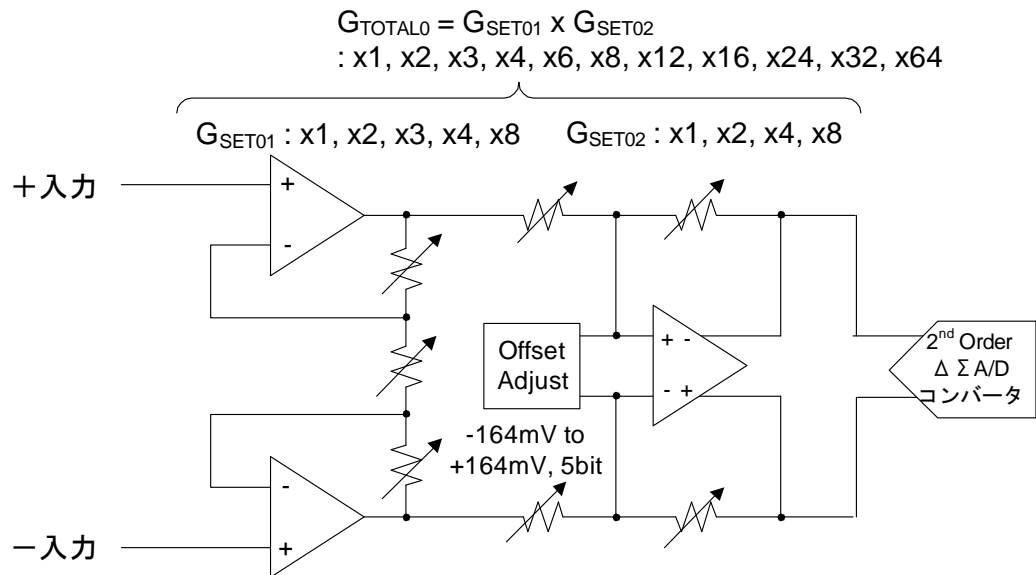
センサと PGA0 入力の断線検知機能として、PGA0 入力に電流源負荷を内部接続できます。

16.4.2 プログラマブル・ゲイン計装アンプ (PGA0) の構成

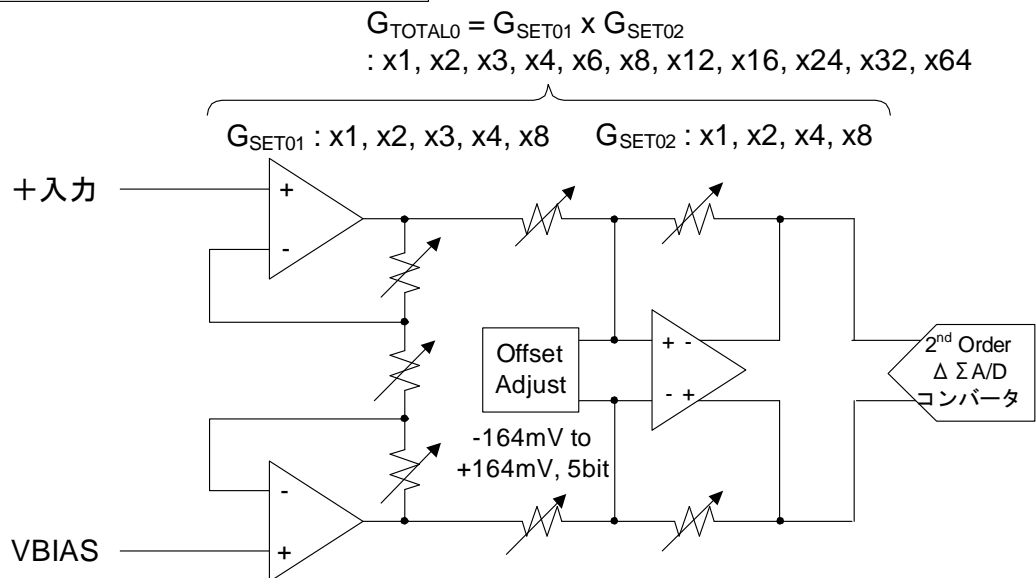
図16-5にプログラマブル・ゲイン計装アンプ (PGA0) のブロック図を示します。

図16-5 プログラマブル・ゲイン計装アンプ (PGA0) のブロック図

差動入力モード時



シングルエンド入力モード時



16.4.3 入力電圧範囲

プログラマブル・ゲイン計装アンプ (PGA0) の入力電圧範囲について説明します。図 16 - 6 および図 16 - 8 に、差動入力モードとシングルエンド入力モードの入力電圧範囲を示します。

16.4.4 差動入力モードでの入力電圧範囲

V_{SIG}は入力信号の差動電圧振幅, V_{COM}は同相入力電圧, dOFRはオフセット電圧調整用D/Aコンバータの出力電圧を入力換算した値とします。アンプ1段の入力電圧範囲は0.2~1.8 Vです。したがって、計装アンプの1stアンプを通り、2ndアンプに入力される信号は式1の条件を満たす必要があります。

また最終的には、計装アンプの1stアンプを通り2ndアンプから出力される信号は、式2の条件を満たす必要があります。

式1

$$0.2\text{ V} + \frac{|V_{\text{SIG}} \times G_{\text{SET01}}|}{2} \leq V_{\text{COM}} \leq 1.8\text{ V} - \frac{|V_{\text{SIG}} \times G_{\text{SET01}}|}{2}$$

式2

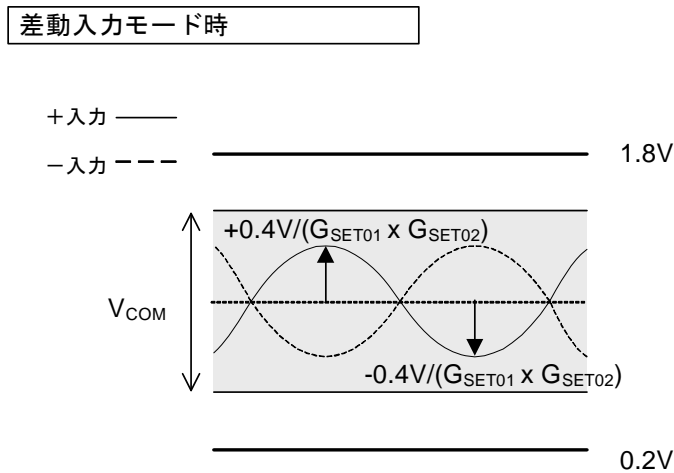
$$-0.8\text{ V} \leq (V_{\text{SIG}} + \text{dOFR}) \times G_{\text{TOTAL0}} \leq 0.8\text{ V}$$

dOFR = 0 mVの時、入力信号は差動入力電圧をフルスケールで取ることができます。V_{SIG} = V_{ID} (フルスケール差動入力電圧) とすると、V_{COM}は下記の式3で表すことができます。

式3

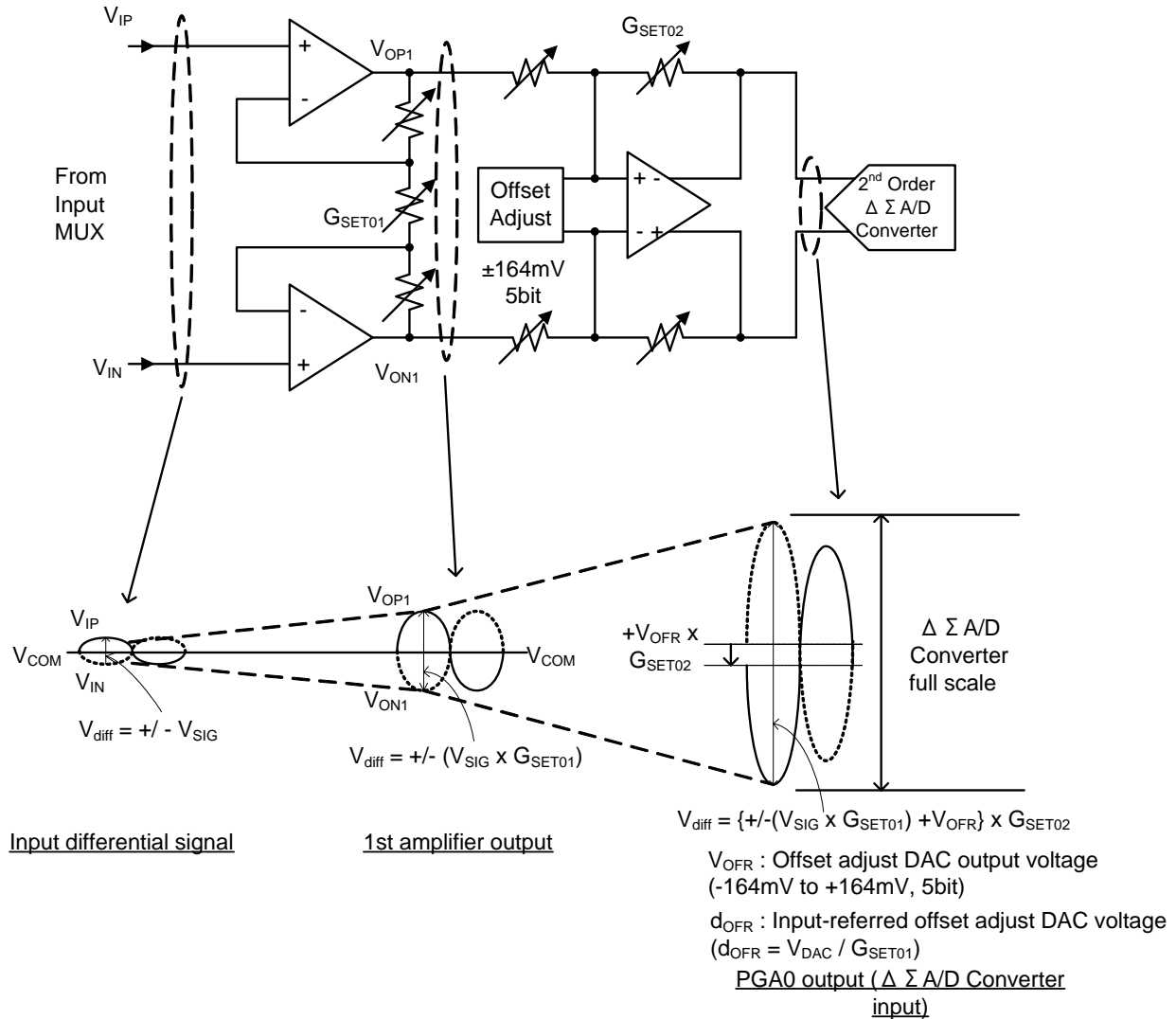
$$0.2\text{ V} + \frac{|V_{\text{ID}} \times G_{\text{SET01}}|}{2} \leq V_{\text{COM}} \leq 1.8\text{ V} - \frac{|V_{\text{ID}} \times G_{\text{SET01}}|}{2}$$

図 16 - 6 差動入力モードの入力電圧範囲



プログラマブル・ゲイン計装アンプ (PGA0) の差動入力電圧の振幅の推移について、図16-7に示します。

図16-7 プログラマブル・ゲイン計装アンプ (PGA0) の差動入力電圧の振幅の推移



16.4.5 シングルエンド入力モードでの入力電圧範囲

シングルエンド入力モードでは、入力マルチプレクサ x ($x=0\sim 3$) からの信号は、プログラマブル・ゲイン計装アンプ (PGA0) の +入力に接続します。一方、内部バイアス電圧 ($V_{BIAS} = 1.0\text{ V}$ (TYP.)) を基準電圧として使用し、プログラマブル・ゲイン計装アンプ (PGA0) の -入力に接続します。基準電圧を中心として $0.2\sim 1.8\text{ V}$ の範囲の差動信号を出力します。

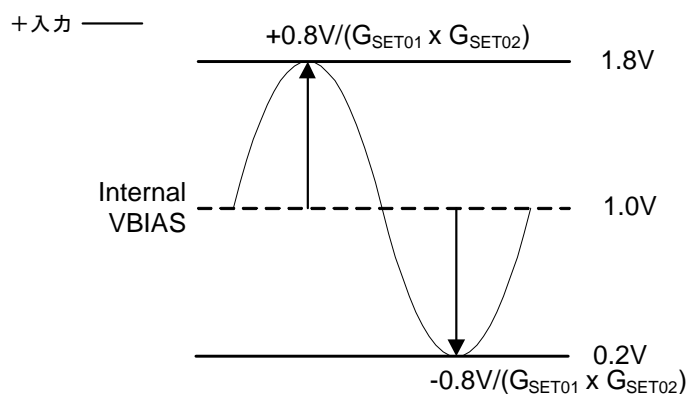
入力電圧範囲 (V_i) は、以下の式を満たす必要があります。

$$\text{式1 : } 0.2\text{ V} \leq V_i \leq 1.8\text{ V}$$

$$\text{式2 : } -0.8\text{ V} \leq (V_i - 1.0\text{ V} + \text{dOFR}) \times G_{\text{TOTAL}0} \leq +0.8\text{ V}$$

図16-8 シングルエンド入力モードの入力電圧範囲

シングルエンド入力モード時



16.4.6 プログラマブル・ゲイン計装アンプ (PGA0) を制御するレジスタ

プログラマブル・ゲイン計装アンプ (PGA0) では、次のレジスタを使用します。

- 入力マルチプレクサ x (x = 0~3) 設定レジスタ 0 (PGAxCTL0)
- 入力マルチプレクサ x (x = 0~3) 設定レジスタ 1 (PGAxCTL1)
- 断線検知設定レジスタ (PGABOD)

(1) 入力マルチプレクサx (x = 0~3) 設定レジスタ0 (PGAxCTL0)

入力マルチプレクサのチャンネル毎 (入力マルチプレクサx : x = 0~3) に、プログラマブル・ゲイン計装アンプのゲインを設定できます。

PGAxCTL0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、40Hになります。

図16-9 入力マルチプレクサx (x = 0~3) 設定レジスタ0(PGAxCTL0)のフォーマット

アドレス : F045AH (PGA0CTL0), F045EH (PGA1CTL0), リセット時 : 40H R/W

F0462H (PGA2CTL0), F0466H (PGA3CTL0)

略号	7	6	5	4	3	2	1	0
PGAxCTL0	PGAxOSR2 ^注	PGAxOSR1 ^注	PGAxOSR0 ^注	PGAxGC4	PGAxGC3	PGAxGC2	PGAxGC1	PGAxGC0
	PGAxGC4	PGAxGC3	PGAxGC2	PGAxGC1	PGAxGC0	ゲイン設定		
						GSET01	GSET02	GTOTAL0
	0	0	0	0	0	1	1	1
	0	0	1	0	0	2	1	2
	0	1	0	0	0	3	1	3
	0	1	1	0	0	4	1	4
	1	0	0	0	0	8	1	8
	0	0	0	0	1	1	2	2
	0	0	1	0	1	2	2	4
	0	1	0	0	1	3	2	6
	0	1	1	0	1	4	2	8
	1	0	0	0	1	8	2	16
	0	0	0	1	0	1	4	4
	0	0	1	1	0	2	4	8
	0	1	0	1	0	3	4	12
	0	1	1	1	0	4	4	16
	1	0	0	1	0	8	4	32
	0	0	0	1	1	1	8	8
	0	0	1	1	1	2	8	16
	0	1	0	1	1	3	8	24
	0	1	1	1	1	4	8	32
	1	0	0	1	1	8	8	64
	上記以外					設定禁止		

注 PGAxOSR2-PGAxOSR0ビットについては、16.5.4 (7) 入力マルチプレクサx (x = 0~3) 設定レジスタ0 (PGAxCTL0) を参照してください。

(2) 入力マルチプレクサx (x = 0~3) 設定レジスタ1 (PGAxCTL1)

入力マルチプレクサのチャンネルごとに、オフセット電圧を調整できます。

オフセット電圧dOFR (オフセット電圧調整用D/Aコンバータの出力電圧を入力換算した値) は以下の式で計算されます。

$$dOFR \text{ (mV)} = (-175 + 350 / 32 \times m) / GSET01$$

(m = 1~31 : PGAxCTL1レジスタに設定した値)

PGAxCTL1レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

図16 - 10 入力マルチプレクサx (x = 0~3) 設定レジスタ1(PGAxCTL1)のフォーマット

アドレス : F045BH (PGA0CTL1), F045FH (PGA1CTL1), リセット時 : 10H R/W
F0463H (PGA2CTL1)

略号	7	6	5	4	3	2	1	0
PGAxCTL1	PGAxSEL注	0	0	PGAxOFS4	PGAxOFS3	PGAxOFS2	PGAxOFS1	PGAxOFS0

アドレス : F0467H (PGA3CTL1) リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
PGA3CTL1	PGA3SEL1注	PGA3SEL0注	0	PGA3OFS4	PGA3OFS3	PGA3OFS2	PGA3OFS1	PGA3OFS0

PGAxOFS4	PGAxOFS3	PGAxOFS2	PGAxOFS1	PGAxOFS0	dOFR
0	0	0	0	0	設定禁止
0	0	0	0	1	-164.06/GSET01
0	0	0	1	0	-153.13/GSET01
.
.
.
1	0	0	0	0	0
.
.
.
1	1	1	0	1	+142.19/GSET01
1	1	1	1	0	+153.13/GSET01
1	1	1	1	1	+164.06/GSET01

注 PGAxSELビットについては、16.3.3 (1) 入力マルチプレクサ0設定レジスタ1 (PGA0CTL1) および(2) 入力マルチプレクサ3設定レジスタ1 (PGA3CTL1) を参照してください。

注意 PGAxCTL1レジスタ (x = 3を除く) のビット5, 6には必ず0を設定してください。

PGA3CTL1レジスタのビット5には必ず0を設定してください。

(3) 断線検知設定レジスタ (PGABOD)

PGA0xP およびPGA0xN (x = 0, 3) に接続された信号線の断線を検出できます。

PGABODレジスタを断線検知動作状態に設定すると、PGA0の入力に電流DACが1 μA (TYP.) で接続されます。断線時、又は入力の電流供給能力が1 μA (TYP.) に満たない場合は、A/D変換結果にクリッピングが発生します。

PGABODレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 11 断線検知設定レジスタ (PGABOD) のフォーマット

アドレス : F046EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PGABOD	0	0	0	0	0	0	0	PGABOD0
PGABOD0	断線検知の制御							
0	通常動作状態							
1	断線検知動作状態							

注意 ビット1-7には必ず0を設定してください。

16.5 24ビット $\Delta\Sigma$ /Dコンバータ

16.5.1 24ビット $\Delta\Sigma$ /Dコンバータの概要

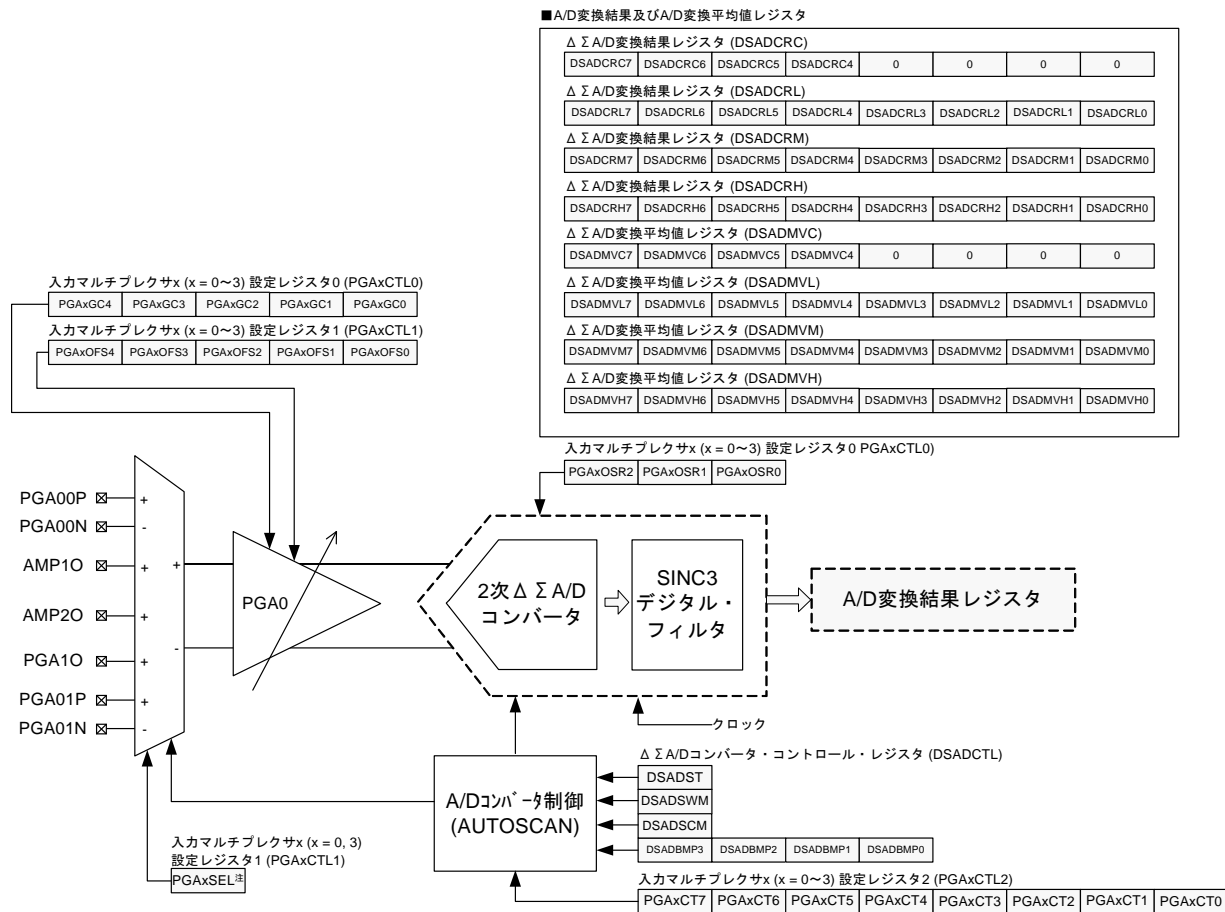
24ビット $\Delta\Sigma$ /Dコンバータを内蔵しています。入力マルチプレクサ（5チャンネル）からの信号は、プログラマブル・ゲイン計装アンプ（PGA0）を經由し、24ビット $\Delta\Sigma$ /Dコンバータへ入力されます。A/D変換結果は、SINC3デジタル・フィルタにてフィルタリングされた後、出力レジスタに格納されます。

A/D変換は、高速オンチップ・オシレータ（高速OCO）からのクロックによって実行されます（サンプリング周波数は1MHz(TYP.))。また、高速システム・クロックを使用することもできます。A/D変換は、AUTOSCANと呼ばれる内蔵シーケンサに基づいて行われ、チャンネル毎にデータ・レート（A/D変換結果の出力頻度）を設定することが可能です。

16.5.2 24ビット $\Delta\Sigma$ /Dコンバータの構成

図16-12に24ビット $\Delta\Sigma$ /Dコンバータのブロック図を示します。

図16-12 24ビット $\Delta\Sigma$ /Dコンバータのブロック図



注 入力マルチプレクサ0の場合です。入力マルチプレクサ3の場合は、PGA3SEL0, PGA3SEL1ビットで設定します。

16.5.3 24ビット $\Delta\Sigma$ /Dコンバータへの入力電圧と A/D 変換結果

24ビット $\Delta\Sigma$ /Dコンバータへの入力電圧とA/D変換結果について説明します。A/Dコンバータへの入力電圧範囲をフルスケールとした場合の、A/D変換結果を下記に示します。

図16-13 24ビット $\Delta\Sigma$ /Dコンバータへの入力電圧とA/D変換結果

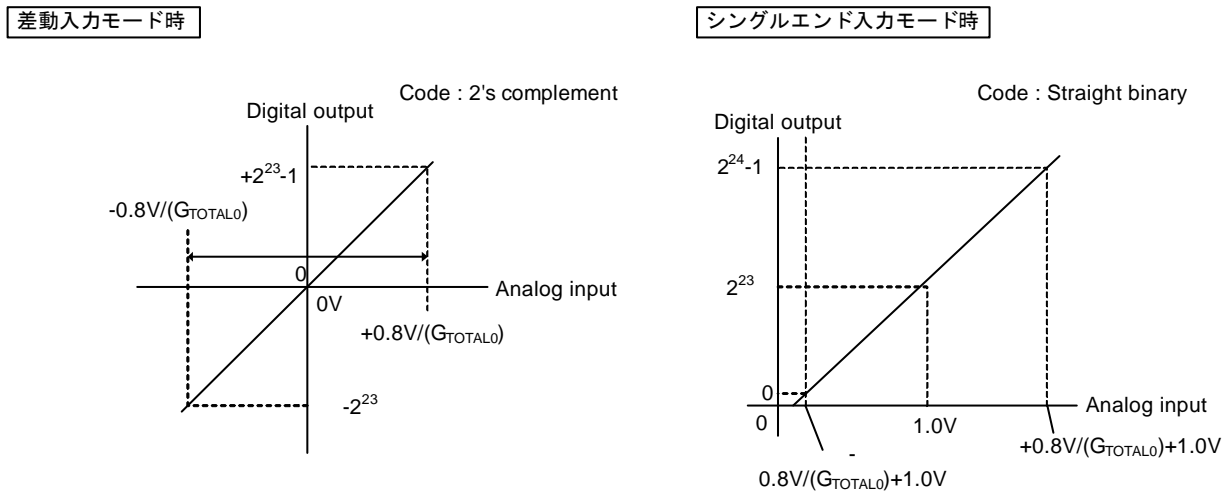


表16-2 24ビット $\Delta\Sigma$ /Dコンバータへの入力電圧とA/D変換結果

差動入力モード		シングルエンド入力モード	
$\Delta\Sigma$ /Dコンバータへの入力電圧	A/D変換結果 (2の補数表記)	$\Delta\Sigma$ /Dコンバータへの入力電圧	A/D変換結果 (ストレート・バイナリ)
$+0.8V / (G_{TOTAL0})$	$2^{23}-1$	$+0.8V / (G_{TOTAL0}) + 1.0V$	$2^{24}-1$
$0V$	0	$1.0V$	2^{23}
$-0.8V / (G_{TOTAL0})$	-2^{23}	$-0.8V / (G_{TOTAL0}) + 1.0V$	0

表16-2に示した結果は、下記の式を用いて算出することができます。

• 差動入力モードの場合

$$\Delta\Sigma/D \text{コンバータへの入力電圧} = (1.6V / G_{TOTAL0}) \times (ADC_{DATA1} / 2^{24})$$

ADC_{DATA1}: 24ビットA/D変換結果 (上位8ビットDSADCRH, 中位8ビットDSADCRM, 下位8ビットDSADCRL)の2の補数値

• シングルエンド入力モードの場合

$$\Delta\Sigma/D \text{コンバータへの入力電圧} = (1.6V / G_{TOTAL0}) \times (ADC_{DATA2} / 2^{24} - 0.5) + 1.0V$$

ADC_{DATA2}: 24ビットA/D変換結果 (上位8ビットDSADCRH, 中位8ビットDSADCRM, 下位8ビットDSADCRL)のストレート・バイナリ値

16.5.4 24ビット $\Delta\Sigma$ /Dコンバータを制御するレジスタ

24ビット $\Delta\Sigma$ /Dコンバータでは、次のレジスタを使用します。

- ・ 周辺イネーブル・レジスタ 1 (PER1)
- ・ アナログ・フロントエンド電源選択レジスタ (AFEPWS)
- ・ アナログ・フロントエンド電源検出レジスタ (AFEPWD)
- ・ アナログ・フロントエンド・クロック選択レジスタ (AFECKS)
- ・ $\Delta\Sigma$ /Dコンバータ・モード・レジスタ (DSADMR)
- ・ $\Delta\Sigma$ /Dコンバータ・コントロール・レジスタ (DSADCTL)
- ・ 入力マルチプレクサx(x = 0~3)設定レジスタ 0 (PGAxCTL0)
- ・ 入力マルチプレクサx(x = 0~3)設定レジスタ 2 (PGAxCTL2)
- ・ 入力マルチプレクサx(x = 0~3)設定レジスタ 3 (PGAxCTL3)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ C (DSADCRC)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ L (DSADCRL)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ M (DSADCRM)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ H (DSADCRH)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ C (DSADMVC)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ L (DSADMVL)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ M (DSADMVM)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ H (DSADMVH)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ 0 (DSADCR0)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ 1 (DSADCR1)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ 0 (DSADMV0)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ 1 (DSADMV1)

(1) 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-14 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	0	AMPEN ^注	DTCEN	PGAEN ^注	AFEEN ^注	DACEN ^注

PGAEN ^注	PGA0および24ビット $\Delta\Sigma$ /Dコンバータの入カクック供給の制御
0	入カクック供給停止 ・PGA0および24ビット $\Delta\Sigma$ /Dコンバータで使用するSFRへのライト不可 ・PGA0および24ビット $\Delta\Sigma$ /Dコンバータはリセット状態
1	入カクック供給 ・PGA0および24ビット $\Delta\Sigma$ /Dコンバータで使用するSFRへのリード/ライト可

注 R5F11N, R5F11Pのみ。

注意 次のビットには必ず0を設定してください。

R5F11N, R5F11P : ビット5, 6

R5F11R : ビット0-2, 4-6

(2) アナログ・フロントエンド電源選択レジスタ (AFEPWS)

AFEPWSレジスタは、プログラマブル・ゲイン計装アンプ (PGA0) 部、およびセンサ用基準電圧源 (SBIAS) 部の電源制御とAFE基準電源 (ABGR) 部の電源制御を設定するレジスタです。

AFEPWSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-15 アナログ・フロントエンド電源選択レジスタ (AFEPWS) のフォーマット

アドレス : F0440H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AFEPWS	DAC1PON	DAC0PON	0	AMPPON	0	PGAPON	0	AFEPON
PGAPON	プログラマブル・ゲイン計装アンプ (PGA0) 部、およびセンサ用基準電圧源 (SBIAS) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
AFEPON	AFE基準電源 (ABGR) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							

注意 ビット1, 3, 5には必ず0を設定してください。

ビット4, 6, 7は 15.3.2アナログ・フロントエンド電源選択レジスタ (AFEPWS) を参照してください。

(3) アナログ・フロントエンド電源検出レジスタ (AFEPWD)

AFEPWD レジスタは、プログラマブル・ゲイン計装アンプ (PGA0) 部、およびセンサ用基準電圧源 (SBIAS) 部の電源状態とAFE基準電源 (ABGR) 部の電源状態を確認する為のステータス・レジスタです。

AFEPWD レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。リセット信号の発生により、00Hになります。

図16 - 16 アナログ・フロントエンド電源検出レジスタ (AFEPWD) のフォーマット

アドレス : F0441H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
AFEPWD	0	0	0	0	0	PGASTAT	0	AFESTAT

PGASTAT	プログラマブル・ゲイン計装アンプ (PGA0) 部、およびセンサ用基準電圧源 (SBIAS) 部の電源状態
0	停止または起動途中
1	起動完了

AFESTAT	AFE基準電源 (ABGR) 部の電源状態
0	停止または起動途中
1	起動完了

(4) アナログ・フロントエンド・クロック選択レジスタ (AFECKS)

CPU/周辺ハードウェア・クロック (fCLK) からAFEの動作クロック (fDSADCK) ($\Delta\Sigma$ /Dコンバータでのみ使用) を生成します。基本クロックの周波数設定に応じて、AFE動作クロック (fDSADCK) 出力が4 MHzになる設定をAFECKS3-AFECKS0ビットで選択する必要があります。 $\Delta\Sigma$ /Dコンバータのロウ・パワー・モードでは、一律でAFE動作クロック (fDSADCK) をさらに内部の分周回路で8分周する機能を持っています。

AFECKSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-17 アナログ・フロントエンド・クロック選択レジスタ (AFECKS)のフォーマット

アドレス : F0442H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AFECKS	0	0	0	0	AFECKS3	AFECKS2	AFECKS1	AFECKS0

AFECKS3	AFECKS2	AFECKS1	AFECKS0	AFE動作クロック (fDSADCK) の選択
0	x	x	x	クロック出力停止 (初期値)
1	0	0	0	fCLK (分周なし)
1	0	0	1	fCLK/2 (2分周)
1	0	1	0	fCLK/3 (3分周)
1	0	1	1	fCLK/4 (4分周)
1	1	0	0	fCLK/5 (5分周)
1	1	0	1	fCLK/6 (6分周)
1	1	1	x	fCLK/8 (8分周)

注意 ビット4-7には必ず0を設定してください。

備考 x : Don't care

(5) $\Delta\Sigma$ /Dコンバータ・モード・レジスタ (DSADMR)

$\Delta\Sigma$ /D変換開始信号の選択と $\Delta\Sigma$ /D動作モードの選択を行うレジスタです。

DSADMRレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-18 $\Delta\Sigma$ /Dコンバータ・モード・レジスタ (DSADMR)のフォーマット

アドレス : F0458H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSADMR	DSADTMD	DSADLPM	0	0	0	0	0	0
DSADTMD	A/D変換開始信号選択							
0	ソフトウェア・トリガ (SFRへの書き込みで変換開始) (初期値)							
1	ハードウェア・トリガ (ELCで選択されたイベント信号に同期して変換開始)							
DSADLPM	A/D変換動作モード選択							
0	ノーマル・モード AFE動作クロック周波数 (fDSADCK) : 4 MHz (初期値)							
1	ロウ・パワー・モード AFE動作クロック周波数 (fDSADCK) / 8 : 500 kHz (ノーマル・モード時の8分周)							

注意1. あらかじめAFECKS3-AFECKS0ビットでAFE動作クロック周波数 (fDSADCK) が4 MHzになるように設定する必要があります。詳細は(4) アナログ・フロントエンド・クロック選択レジスタ (AFECKS) を参照してください。

注意2. ビット0-5には必ず0を設定してください。

(6) $\Delta\Sigma$ /Dコンバータ・コントロール・レジスタ (DSADCTL)

$\Delta\Sigma$ /Dコンバータの変換動作開始/停止を制御します。また、入力マルチプレクサのチャンネルごとに、入力信号に対するA/D変換動作の許可/禁止を制御することができます。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図16-19 $\Delta\Sigma$ /Dコンバータ・コントロール・レジスタ (DSADCTL)のフォーマット

アドレス : F0459H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSADCTL	DSADST	DSADSWM	DSADSCM	0	DSADBMP3	DSADBMP2	DSADBMP1	DSADBMP0
DSADST	A/D変換 (AUTOSCAN) の制御							
0	停止							
1	開始							
DSADSWM	起動/チャンネル切り替え安定待ち時間の選択 $T = M/\text{fin} = \text{OSR}/\text{fin} = \text{OSR}$ [usec]							
0	128 usec + 3T							
1	4T (OSR = 128 / 256 / 512 / 1024 / 2048) or 5T (OSR = 64)							
DSADSCM	オートスキャンのモード選択							
0	連続スキャン・モード							
1	シングル・スキャン・モード							
DSADBMPn	入力マルチプレクサnからの信号 (n = 0~3)							
0	A/D変換を許可							
1	A/D変換を禁止 (チャンネルをスキップ)							

注意1. 起動時 (DSADST = 1に設定した直後) は、DSADSWMビットで選択した安定待ち時間 (Settling time) に加えて最大1usecが必要です。

注意2. DSADMRレジスタのDSADTMDビットでハードウェア・トリガを選択した場合、DSADSCMビットの設定は無視され、シングル・スキャン・モードに固定されます。

注意3. 入力マルチプレクサ0からの信号のA/D変換を許可 (DSADBMP0 = 0) に設定する場合、アンプ・ユニットのPGA1S, AMP1S, AMP2Sレジスタで、必ずPGA1CS0, AMP1PS2, AMP2PS2ビットを0に設定してください。

注意4. 入力マルチプレクサ3 (外部) からの信号のA/D変換を許可 (DSADBMP3 = 0, PGA3SEL0 = 1) に設定する場合、アンプ・ユニットのPGA1Sレジスタで、必ずPGA1CS1ビットを0に設定してください。

注意5. ビット4には必ず0を設定してください。

(7) 入力マルチプレクサx (x = 0~3) 設定レジスタ0 (PGAxCTL0)

入力マルチプレクサのチャンネルごと (入力マルチプレクサx : x = 0~3) に、データ・レート (A/D変換結果の出力頻度) を設定することができます。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

PGAxCTL0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、40Hになります。

図16-20 入力マルチプレクサx (x = 0~3) 設定レジスタ0(PGAxCTL0)のフォーマット

アドレス : F045AH (PGA0CTL0), F045EH (PGA1CTL0), リセット時 : 40H R/W

F0462H (PGA2CTL0), F0466H (PGA3CTL0)

略号	7	6	5	4	3	2	1	0
PGAxCTL0	PGAxOSR2	PGAxOSR1	PGAxOSR0	PGAxGC4注	PGAxGC3注	PGAxGC2注	PGAxGC1注	PGAxGC0注
	PGAxOSR2	PGAxOSR1	PGAxOSR0	OSR (オーバ・サンプリング比)				
	0	0	0	64				
	0	0	1	128				
	0	1	0	256				
	0	1	1	512				
	1	0	0	1024				
	1	0	1	2048				
	上記以外			設定禁止				

注 PGAxCTL0レジスタのPGAxGC4-PGAxGC0ビットについては、16.4.6 (1) 入力マルチプレクサx (x = 0~3) 設定レジスタ0 (PGAxCTL0) を参照してください (x = 0~3)。

(8) 入力マルチプレクサx (x = 0~3) 設定レジスタ2 (PGAxCTL2)

入力マルチプレクサのチャンネルごと (入力マルチプレクサx : x = 0~3) に, AUTOSCANの1サイクルにおけるA/D変換回数を設定することができます。変換回数Nは, 以下の式で表します。詳細は, 16.5.5 ΔΣA/Dコンバータの制御 (AUTOSCAN) を参照してください。

PGAxCTL2レジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

$$\text{PGAxCTM} = 0 \text{ の時, } N = 32 \times (2^n - 1) + m \times 2^n$$

$$\text{PGAxCTM} = 1 \text{ の時, } N = 32 \times n + m$$

(m, nは, PGAxCTL2レジスタに設定した値です。)

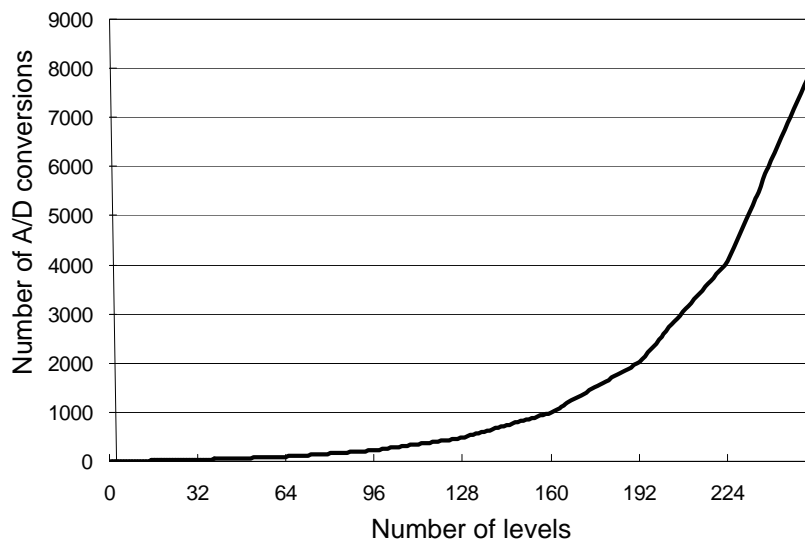
図16-21 入力マルチプレクサx (x = 0~3) 設定レジスタ2(PGAxCTL2)のフォーマット

アドレス : F045CH (PGA0CTL2), F0460H (PGA1CTL2), リセット時 : 01H R/W
F0464H (PGA2CTL2), F0468H (PGA3CTL2)

略号	7	6	5	4	3	2	1	0
PGAxCTL2	PGAxCT7	PGAxCT6	PGAxCT5	PGAxCT4	PGAxCT3	PGAxCT2	PGAxCT1	PGAxCT0
	PGAxCT4	PGAxCT3	PGAxCT2	PGAxCT1	PGAxCT0	m		
	0	0	0	0	0	0		
	0	0	0	0	1	1		
	0	0	0	1	0	2		
		
		
		
	1	0	0	0	0	16		
		
		
		
	1	1	1	0	1	29		
	1	1	1	1	0	30		
	1	1	1	1	1	31		
	PGAxCT7	PGAxCT6	PGAxCT5	n				
	0	0	0	0				
	0	0	1	1				
	0	1	0	2				
	0	1	1	3				
	1	0	0	4				
	1	0	1	5				
	1	1	0	6				
	1	1	1	7				

m, nの組み合わせにより, 256階調のA/D変換回数を選択することができます。以下に, 階調数 (レジスタ値) とA/D変換回数の相関について示します。

図16-22 階調数 (レジスタ値) とA/D変換回数の相関



(9) 入力マルチプレクサx (x = 0~3) 設定レジスタ3 (PGAxCTL3)

入力マルチプレクサのチャンネルごと (入力マルチプレクサx : x = 0~3) に, AUTOSCANの1サイクルにおけるA/D変換回数を1~8032回または1~255回の選択と, A/D変換結果の平均化処理の動作選択を設定できます。

PGAxCTL3レジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図16-23 入力マルチプレクサx (x = 0~3) 設定レジスタ3(PGAxCTL3)のフォーマット

アドレス : F045DH (PGA0CTL3), F0461H (PGA1CTL3), リセット時 : 00H R/W

F0465H (PGA2CTL3), F0469H (PGA3CTL3)

略号	7	6	5	4	3	2	1	0
PGAxCTL3	PGAxCTM	0	0	0	PGAxAVE3	PGAxAVE2	PGAxAVE1	PGAxAVE0
PGAxCTM	A/D変換回数指定モード選択							
0	PGAxCTL2レジスタの設定値で1~8032回を指定 (初期値)							
1	PGAxCTL2レジスタの設定値で1~255回をリニアに指定							
PGAxAVE3	PGAxAVE2	平均化処理の動作選択						
0	0	平均化処理を行わない (初期値)						
0	1							
1	0	平均化処理を行い, INTDSADを1回のA/D変換ごとに発生する						
1	1	平均化処理を行い, INTDSADを平均値出力 (N回のA/D変換) ごとに発生する						
PGAxAVE1	PGAxAVE0	平均するデータ数Nの選択						
0	0	8						
0	1	16						
1	0	32						
1	1	64						

注意 ビット4-6には必ず0を設定してください。

(10) $\Delta\Sigma$ /Dコンバータ変換結果レジスタC (DSADCRC)

A/D変換結果に対応するチャンネル番号を確認する読み出し専用のレジスタです。A/D変換結果のステータス、変換結果に対応する入力マルチプレクサのチャンネル番号を確認できます。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADCRCレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図16-24 $\Delta\Sigma$ /Dコンバータ変換結果レジスタC(DSADCRC)のフォーマット

アドレス : F0450H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADCRC	DSADCRC7	DSADCRC6	DSADCRC5	DSADCRC4	0	0	0	0
DSADCRC7	DSADCRC6	DSADCRC5	A/D変換結果に対応するチャンネル番号の表示					
0	0	0	無効					
0	0	1	入力マルチプレクサ0 (PGA00P /PGA00N)					
0	1	0	入力マルチプレクサ1 (AMP1O)					
0	1	1	入力マルチプレクサ2 (AMP2O)					
1	0	0	入力マルチプレクサ3 (PGA1O or PGA01P /PGA01N)					
1	0	1	無効					
1	1	0	無効					
1	1	1	無効					
DSADCRC4	A/D変換結果に対するステータスの表示							
0	正常状態 (範囲内)							
1	クリッピングが発生注							

注 A/D変換結果が表16-2に示す範囲にクリップされます。

(11) $\Delta\Sigma$ /Dコンバータ変換結果レジスタL (DSADCRL)

A/D変換結果を確認する読み出し専用のレジスタです。24ビットのA/D変換結果の下位8ビットの値を表示します。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADCRLレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図 16 - 25 $\Delta\Sigma$ /Dコンバータ変換結果レジスタL(DSADCRL)のフォーマット

アドレス : F0451H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADCRL	DSADCRL7	DSADCRL6	DSADCRL5	DSADCRL4	DSADCRL3	DSADCRL2	DSADCRL1	DSADCRL0

(12) $\Delta\Sigma$ /Dコンバータ変換結果レジスタM (DSADCRM)

A/D変換結果を確認する読み出し専用のレジスタです。24ビットのA/D変換結果の中位8ビットの値を表示します。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADCRMレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図 16 - 26 $\Delta\Sigma$ /Dコンバータ変換結果レジスタM(DSADCRM)のフォーマット

アドレス : F0452H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADCRM	DSADCRM7	DSADCRM6	DSADCRM5	DSADCRM4	DSADCRM3	DSADCRM2	DSADCRM1	DSADCRM0

(13) $\Delta\Sigma$ /Dコンバータ変換結果レジスタH (DSADCRH)

A/D変換結果を確認する読み出し専用のレジスタです。24ビットのA/D変換結果の上位8ビットの値を表示します。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図 16 - 27 $\Delta\Sigma$ /Dコンバータ変換結果レジスタH(DSADCRH)のフォーマット

アドレス : F0453H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADCRH	DSADCRH7	DSADCRH6	DSADCRH5	DSADCRH4	DSADCRH3	DSADCRH2	DSADCRH1	DSADCRH0

(14) $\Delta\Sigma$ /Dコンバータ平均値レジスタC (DSADMVC)

平均値に対応するチャンネル番号を確認する読み出し専用のレジスタです。平均値のステータス、平均値に対応する入力マルチプレクサのチャンネル番号を確認できます。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADMVCレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図16-28 $\Delta\Sigma$ /Dコンバータ平均値レジスタC(DSADMVC)のフォーマット

アドレス : F0454H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADMVC	DSADMVC7	DSADMVC6	DSADMVC5	DSADMVC4	0	0	0	0
DSADMVC7	DSADMVC6	DSADMVC5	平均値に対応するチャンネル番号の表示					
0	0	0	無効					
0	0	1	入力マルチプレクサ0 (PGA00P /PGA00N)					
0	1	0	入力マルチプレクサ1 (AMP1O)					
0	1	1	入力マルチプレクサ2 (AMP2O)					
1	0	0	入力マルチプレクサ3 (PGA1O or PGA01P /PGA01N)					
1	0	1	無効					
1	1	0	無効					
1	1	1	無効					
DSADMVC4	平均値に対するステータスの表示							
0	正常状態 (範囲内)							
1	クリッピングが発生注							

注 平均化処理に用いた少なくとも1つのA/D変換結果が表16-2に示す範囲にクリップされたことを示します。平均値が最大値または最小値になるとは限りません。

(15) $\Delta\Sigma$ /Dコンバータ平均値レジスタL (DSADMVL)

平均値を確認する読み出し専用のレジスタです。24ビットの平均値の下位8ビットの値を表示します。
 詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。
 DSADMVLレジスタは、8ビット・メモリ操作命令で読み出せます。
 リセット信号の発生により、00Hになります。

図16-29 $\Delta\Sigma$ /Dコンバータ平均値レジスタL(DSADMVL)のフォーマット

アドレス : F0455H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADMVL	DSADMVL7	DSADMVL6	DSADMVL5	DSADMVL4	DSADMVL3	DSADMVL2	DSADMVL1	DSADMVL0

(16) $\Delta\Sigma$ /Dコンバータ平均値レジスタM (DSADMVM)

平均値を確認する読み出し専用のレジスタです。24ビットの平均値の中位8ビットの値を表示します。
 詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。
 DSADMVMレジスタは、8ビット・メモリ操作命令で読み出せます。
 リセット信号の発生により、00Hになります。

図16-30 $\Delta\Sigma$ /Dコンバータ平均値レジスタM(DSADMVM)のフォーマット

アドレス : F0456H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADMVM	DSADMVM7	DSADMVM6	DSADMVM5	DSADMVM4	DSADMVM3	DSADMVM2	DSADMVM1	DSADMVM0

(17) $\Delta\Sigma$ /Dコンバータ平均値レジスタH (DSADMVH)

平均値を確認する読み出し専用のレジスタです。24ビットの平均値の上位8ビットの値を表示します。
 詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。
 DSADMVHレジスタは、8ビット・メモリ操作命令で読み出せます。
 リセット信号の発生により、00Hになります。

図16-31 $\Delta\Sigma$ /Dコンバータ平均値レジスタH(DSADMVH)のフォーマット

アドレス : F0457H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADMVH	DSADMVH7	DSADMVH6	DSADMVH5	DSADMVH4	DSADMVH3	DSADMVH2	DSADMVH1	DSADMVH0

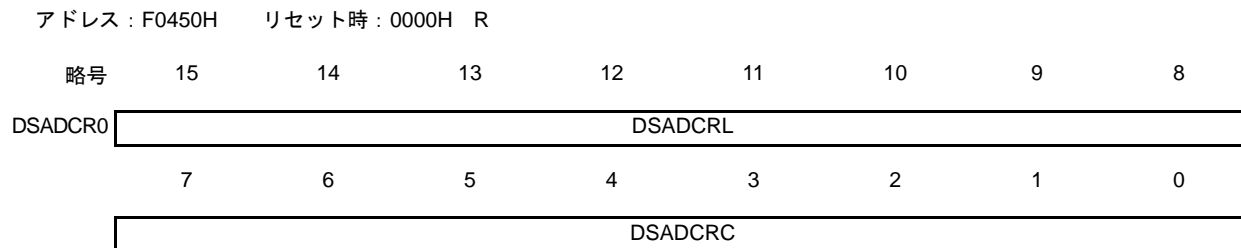
(18) $\Delta\Sigma$ /Dコンバータ変換結果レジスタ0 (DSADCR0)

A/D変換結果を確認する読み出し専用のレジスタです。DSADCRCレジスタとDSADCRLレジスタをまとめて16ビット・メモリ操作命令で読み出せます。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御(AUTOSCAN)を参照してください。

DSADCR0レジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図16-32 $\Delta\Sigma$ /Dコンバータ変換結果レジスタ0(DSADCR0)のフォーマット



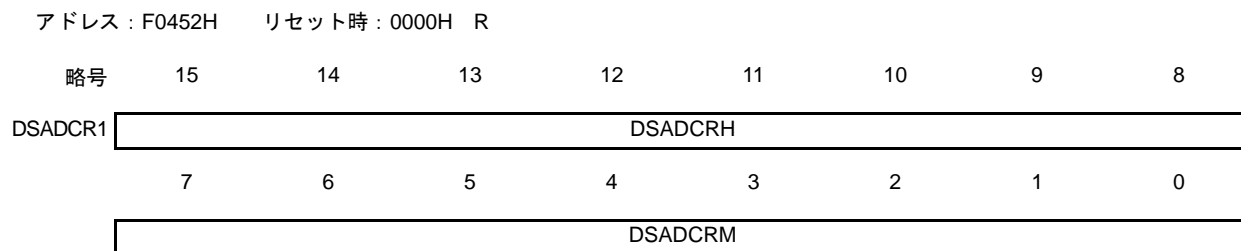
(19) $\Delta\Sigma$ /Dコンバータ変換結果レジスタ1 (DSADCR1)

A/D変換結果を確認する読み出し専用のレジスタです。DSADCRMレジスタとDSADCRHレジスタをまとめて16ビット・メモリ操作命令で読み出せます。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御(AUTOSCAN)を参照してください。

DSADCR1レジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図16-33 $\Delta\Sigma$ /Dコンバータ変換結果レジスタ1(DSADCR1)のフォーマット

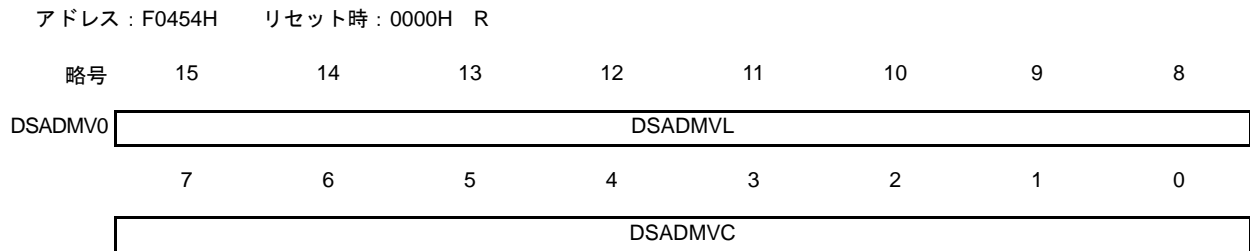


(20) $\Delta\Sigma$ /Dコンバータ平均値レジスタ0 (DSADMV0)

平均値を確認する読み出し専用のレジスタです。DSADMVCレジスタとDSADMVLレジスタをまとめて16ビット・メモリ操作命令で読み出せます。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADMV0レジスタは、16ビット・メモリ操作命令で読み出せます。

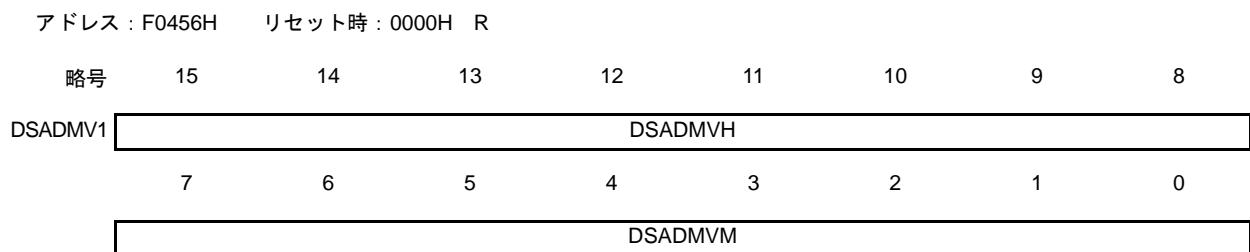
リセット信号の発生により、0000Hになります。

図16-34 $\Delta\Sigma$ /Dコンバータ平均値レジスタ0(DSADMV0)のフォーマット(21) $\Delta\Sigma$ /Dコンバータ平均値レジスタ1 (DSADMV1)

平均値を確認する読み出し専用のレジスタです。DSADMVMレジスタとDSADMVHレジスタをまとめて16ビット・メモリ操作命令で読み出せます。詳細は、16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADMV1レジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図16-35 $\Delta\Sigma$ /Dコンバータ平均値レジスタ1(DSADMV1)のフォーマット

16.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN)

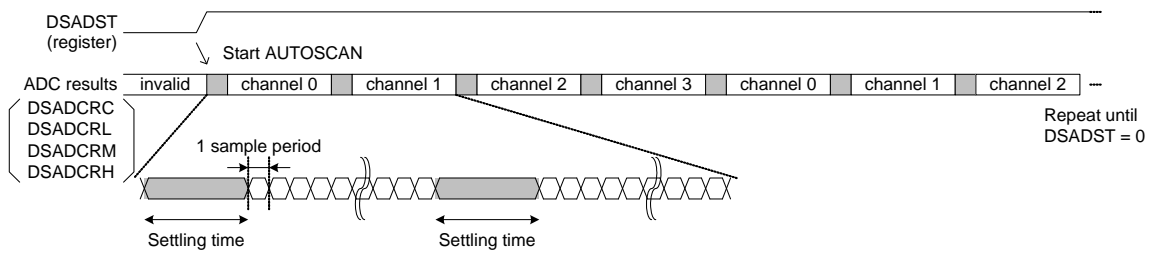
A/D変換の制御はすべて、AUTOSCANと呼ばれる内蔵シーケンサに基づいて行われます。DSADCTLレジスタのDSADSTビットに1を書き込みAUTOSCANの動作を許可すると、各入力チャンネルのA/D変換はラウンドロビン方式で実行されます。DSADCTLレジスタのDSADBMPnビット ($n=0\sim3$) の設定により、特定のチャンネルのA/D変換をスキップできます。

PGAxCTL2レジスタのPGAxCTyビット ($x=0\sim3, y=0\sim7$) は変換実行チャンネルにおいて、次のチャンネルに移動する前のA/D変換の回数を示します。PGAxCTy = 00Hは、1回A/D変換を終了するごとに動作が停止するワンショット動作であることを示します。その他のA/D変換の設定項目 (PGA0のゲイン、オーバ・サンプリング比) も、チャンネルごとに設定可能です。

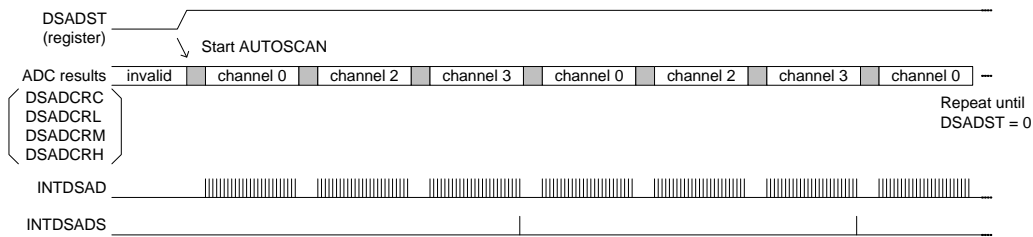
A/D変換の結果は、DSADCRC, DSADCRH, DSADCRM, DSADCRLレジスタに格納されます。

A/D変換を1回終了するたびに、割り込み要求 (INTDSAD) が発生します。PGAxCTL3レジスタの設定で、A/D変換結果の平均化処理を有効にした場合、割り込み要求 (INTDSAD) の発生タイミングを1回のA/D変換ごとか平均値更新ごとで選択できます。AUTOSCANをチャンネル0からチャンネル3まで1巡するたびに、割り込み要求 (INTDSADS) を発生します。

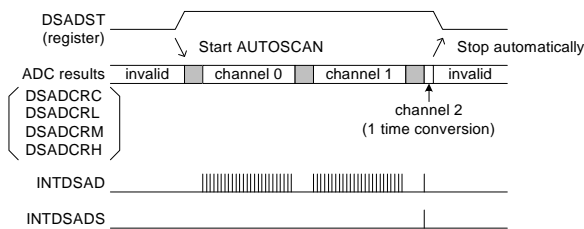
図 16 - 36 AUTOSCANシーケンス



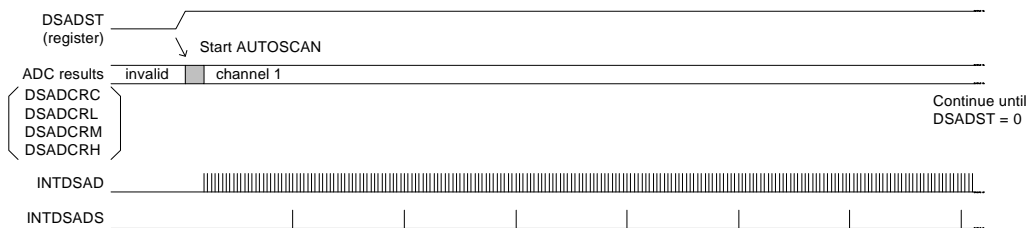
例 1 変換チャネルのスキップ→DSADBMP3-DSADBMP0 = 0010B, PGAxCTy (x = 0, 2, 3) > 0, DSADSCM = 0



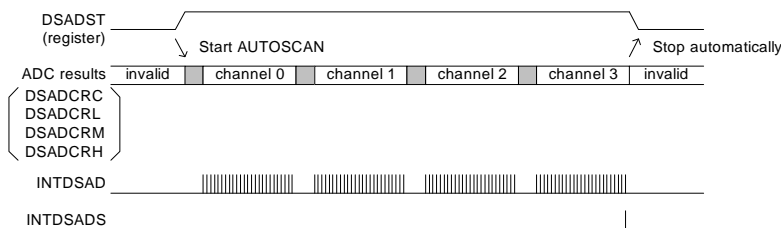
例 2 ワンショット動作→DSADBMP3-DSADBMP0 = 1000B, PGAxCTy (x = 0, 1) > 0, PGA2CTy = 0, DSADSCM = 0



例 3 単一チャネルで連続変換→DSADBMP3-DSADBMP0 = 1101B, PGA1CTy > 0, DSADSCM = 0



例 4 シングル・スキャン動作→DSADBMP3-DSADBMP0 = 0000B, DSADSCM = 1



備考 連続変換の場合でも、PGAxCTL2レジスタで設定したA/D変換回数ごとに、割り込み要求 (INTDSADS) を発生します。

16.5.6 デジタル・フィルタの概要

A/D 変換結果のダウン・サンプリングは、SINC3 デジタル・フィルタによって行われます。デジタル・フィルタの伝達関数は、以下の式で表されます。伝達関数の式に含まれる M の値は、デジタル・フィルタの間引き率であり、PGAxCTL0レジスタのPGAxOSRnビット (x = 0~3, n = 0~2) レジスタによって設定される OSR (オーバ・サンプリング比) によって決められます。

$$H(z) = \left[\frac{1}{M} \cdot \frac{1 - z^{-M}}{1 - z^{-1}} \right]^3$$

16.5.7 デジタル・フィルタの構成

図16-37にデジタル・フィルタのブロック図を示します。3段の積算器と3段の微分器をカスケード接続します。A/Dコンバータの安定時間、デジタル・フィルタの入力段でのクロック同期、微分器3段分の遅延を考慮すると、セトリング時間(Settling time)としてサンプリング期間の3倍の時間(= 3x1/fout)+128μsを必要とします。

備考 セトリング時間は、内蔵シーケンサであるAUTOSCANにて自動的に生成されます。

図16-37 デジタル・フィルタのブロック図

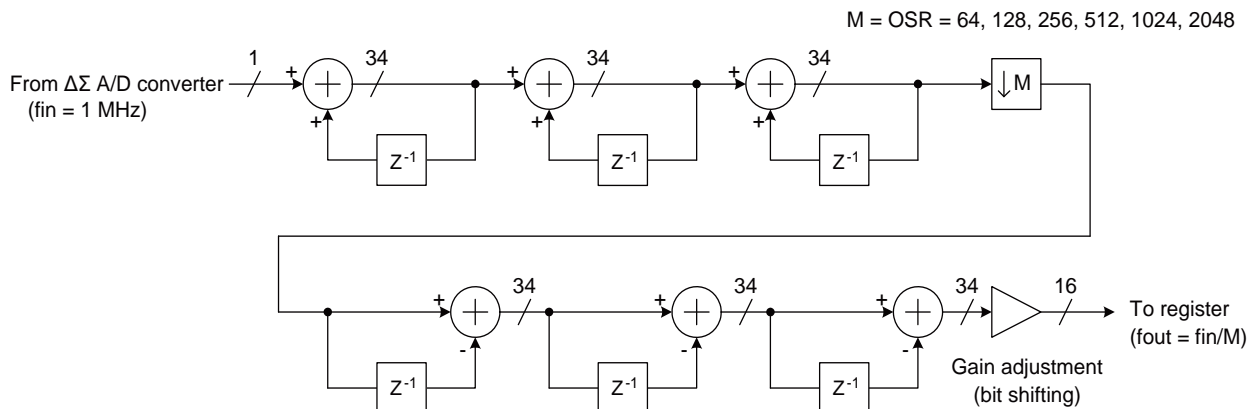
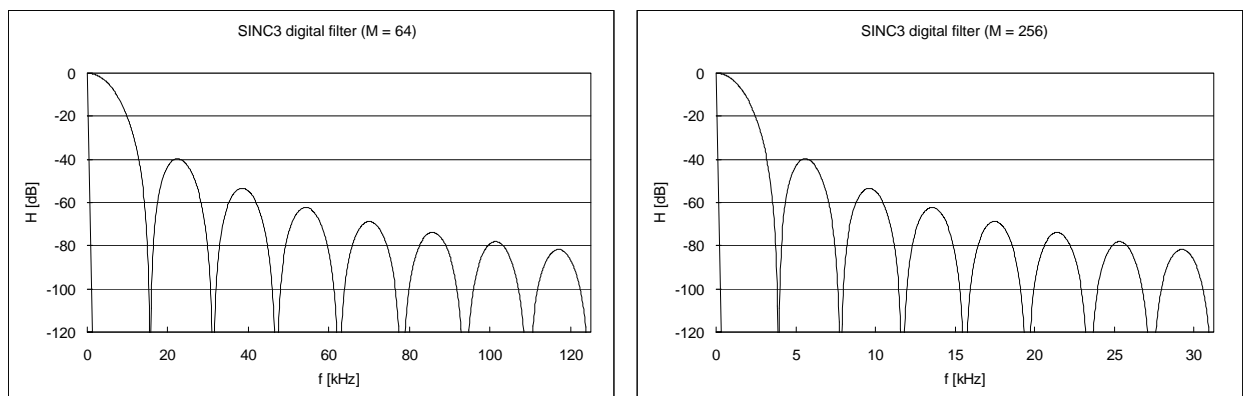


図16-38にSINC3フィルタの周波数応答を示します。

図16-38 SINC3フィルタの周波数応答



16.6 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータ 制御フロー

プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータの起動フロー、A/D変換フロー、停止フローを図16-39～図16-41に示します。

図16-39 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータの起動フロー

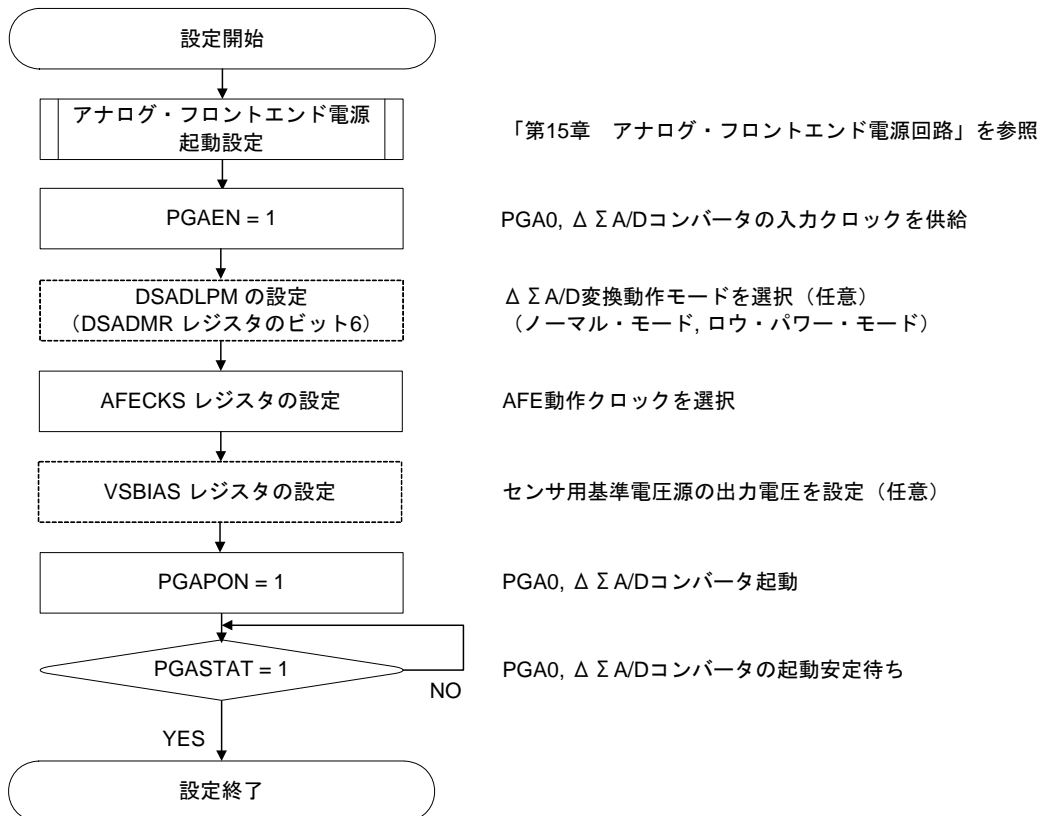
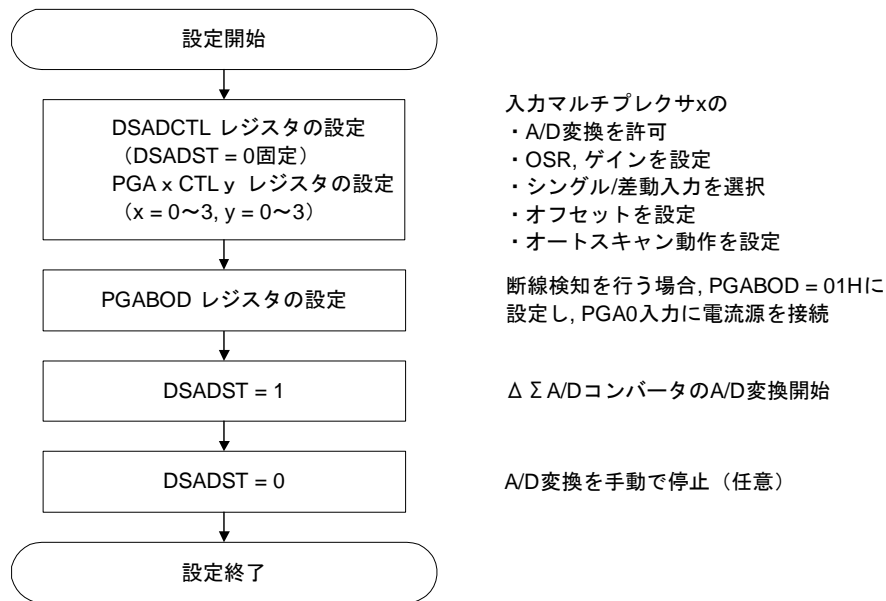
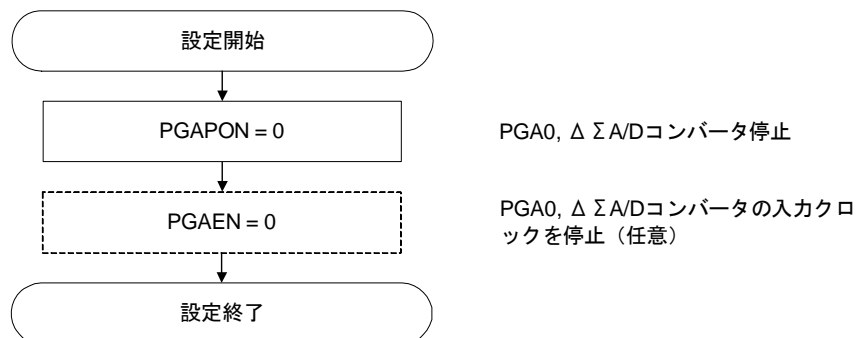


図16-40 プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ A/DコンバータのA/D変換フロー図16-41 プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ A/Dコンバータの停止フロー

16.7 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータの注意事項

ロウ・パワー・モード設定 (DSADLPMビット設定) と分周比設定 (AFECKSビット設定) は、プログラマブル・ゲイン計装アンプ (PGA0) 部、およびセンサ用基準電圧 (SBIAS) 部の電源起動前 (PGAPON = 0) の状態で変更することを推奨します。

第17章 アンプ・ユニット (R5F11N, R5F11Pのみ)

アンプ・ユニットの入力端子, 出力端子数は, 製品によって異なります。表17-1にアンプ・ユニットの端子一覧を示します。

表17-1 アンプ・ユニットの端子一覧

ユニット	入出力端子	R5F11NM	R5F11NL	R5F11PL	R5F11NG
アンプ・ユニット0 (計装アンプ1: PGA1)	PGA10P, PGA10N (入力)	—	○	○	○
	PGA11P, PGA11N (入力)	—	—	○	○
	PGA10 (出力)	—	○	○	○
アンプ・ユニット1 (オペアンプ0: AMP0)	AMP0P (入力)	○	○	○	○
	AMP0N (入力)	○	○	○	○
	AMP0O (出力)	○	○	○	○
アンプ・ユニット2 (オペアンプ1: AMP1)	AMP1P (入力)	—	○	○	○
	AMP1N (入力)	—	○	○	○
	AMP1O (出力)	—	○	○	○
アンプ・ユニット3 (オペアンプ2: AMP2)	AMP2P (入力)	—	○	○	○
	AMP2N (入力)	—	○	○	○
	AMP2O (出力)	—	○	○	○

各アンプ・ユニットの入力は、表17-2に示すAFE兼用入力0-7から選択して接続します。

AFE兼用入力は、レジスタ設定により入力マルチプレクサを切り替えることで、接続先のアンプ・ユニットを変更可能なアナログ入力端子です。

表17-2 AFE兼用入力設定一覧

端子名	選択可能な入力	選択時の設定注	ピン番号			
			80ピン LFQFP (R5F11NM)	64ピン LFQFP (R5F11NL)	64ピン TFBGA (R5F11PL)	48ピン LFQFP (R5F11NG)
AFE兼用入力0	PGA10P	PGA1CS0 = 1, DSADBMP0 = 1, AMP1PS2 = 0	—	62	F1	47
	PGA00P	PGA1CS0 = 0, DSADBMP0 = 0, AMP1PS2 = 0	78			
	AMP1P	PGA1CS0 = 0, DSADBMP0 = 1, AMP1PS2 = 1	—			
AFE兼用入力1	PGA10N	PGA1CS0 = 1, DSADBMP0 = 1, AMP2PS2 = 0	—	63	G1	48
	PGA00N	PGA1CS0 = 0, DSADBMP0 = 0, AMP2PS2 = 0	79			
	AMP2P	PGA1CS0 = 0, DSADBMP0 = 1, AMP2PS2 = 1	—			
AFE兼用入力2	PGA11P	PGA1CS1 = 1, DSADBMP3 = 1	—	—	C2	43
	PGA01P	PGA1CS1 = 0, DSADBMP3 = 0				
AFE兼用入力3	PGA11N	PGA1CS1 = 1, DSADBMP3 = 1	—	—	D2	44
	PGA01N	PGA1CS1 = 0, DSADBMP3 = 0				
AFE兼用入力4	AMP0N	AMP0NS0 = 1, AMP0PS0 = 0	76	61	E2	46
	AMP0P	AMP0NS0 = 0, AMP0PS0 = 1				
AFE兼用入力5	AMP1N	AMP1NS0 = 1, AMP1PS0 = 0, AMP0PS1 = 0	—	57	B2	40
	AMP1P	AMP1NS0 = 0, AMP1PS0 = 1, AMP0PS1 = 0				
	AMP0P	AMP1NS0 = 0, AMP1PS0 = 0, AMP0PS1 = 1				
AFE兼用入力6	AMP2N	AMP2NS0 = 1, AMP2PS0 = 0, AMP1PS1 = 0	—	55	B1	38
	AMP2P	AMP2NS0 = 0, AMP2PS0 = 1, AMP1PS1 = 0				
	AMP1P	AMP2NS0 = 0, AMP2PS0 = 0, AMP1PS1 = 1				
AFE兼用入力7	AMP0P	AMP0NS0 = 0, AMP0PS0 = 0	77	—	—	—

注 表記の組み合わせ以外は設定しないでください。

備考 各アンプ・ユニットの入力の選択は、アンプ・ユニットのPGA1S, AMP0S, AMP1S, AMP2Sレジスタ、およびプログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma/A/D$ コンバータのDSADCTLレジスタの各ビットを用いて設定します。

17.1 アンプ・ユニットの機能

アンプ・ユニットは、微小なアナログ入力電圧を増幅して出力することができます。本製品では、計装アンプを1ユニット、差動オペアンプを3ユニット内蔵しています。

アンプ・ユニットには以下の機能があります。

- PGA1の基準電圧は、12ビットD/Aコンバータの出力信号で制御されます。
- AMP0は、入力マルチプレクサを切り替えることで+入力信号として、8ビットD/Aコンバータの出力信号を選択できます。
- AMP1, 2は、入力マルチプレクサを切り替えることで+入力信号として、12ビットD/Aコンバータの出力信号を選択できます。
- PGA1, AMP1, AMP2の出力信号をプログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータの入力信号とすることができます。
- ハイスピード・モード、ロウ・パワー・モードの二つのモードを持ち、反応スピードと消費電流のトレードオフを考慮してモード選択をすることができます。
- ELC各トリガによって動作を開始することができ、さらにSTOPモードにおいてもELCトリガによる動作を開始できます。
- 24ビット $\Delta\Sigma$ /Dスキャン完了トリガによって動作を停止することができます。

17.2 アンプ・ユニットの構成

図17-1~図17-5にアンプ・ユニットのブロック図を示します。

図17-1 アンプ・ユニットのブロック図

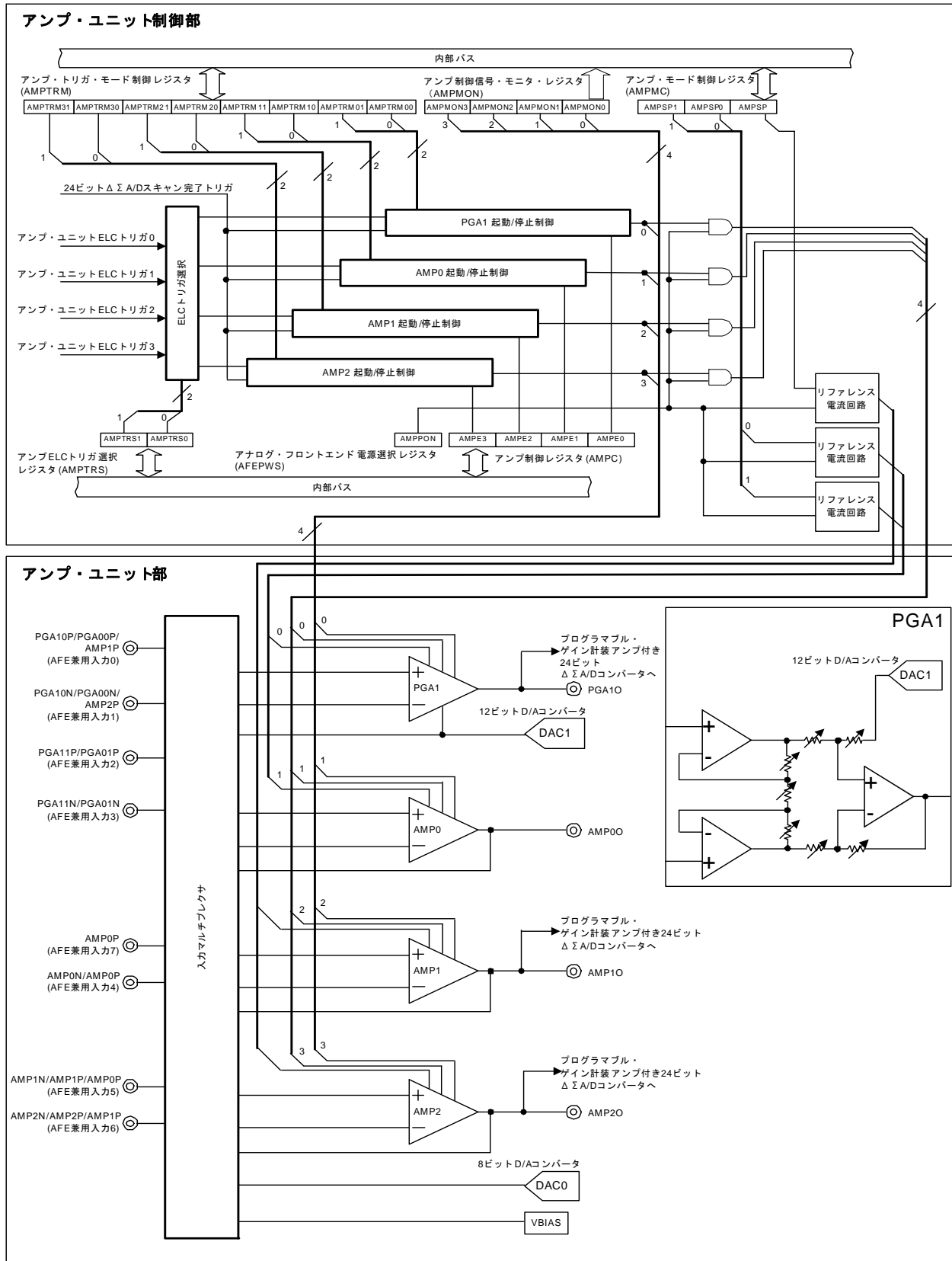


図17-2 PGA1のブロック図と周辺回路図

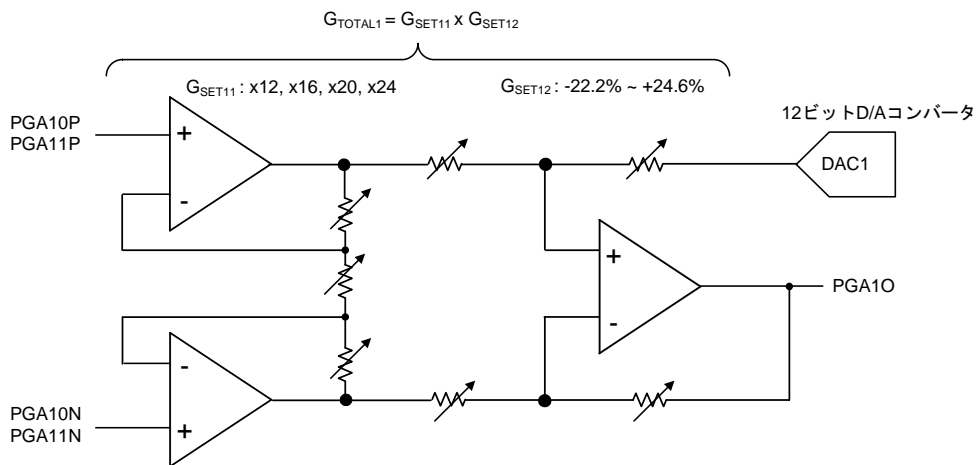
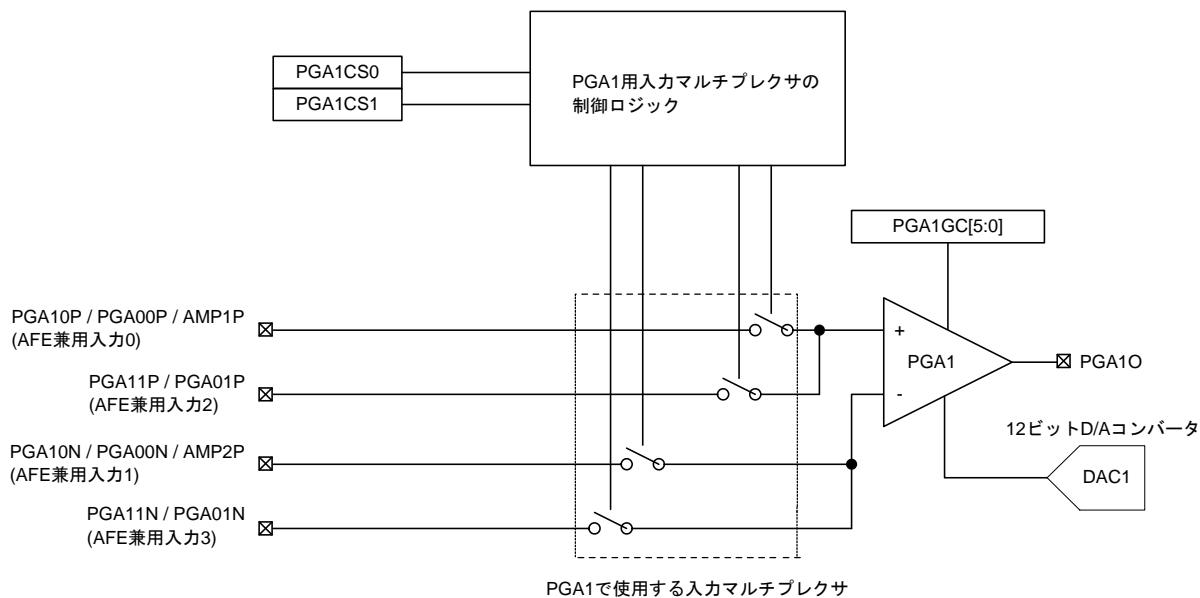


図 17 - 3 AMP0のブロック図と周辺回路図

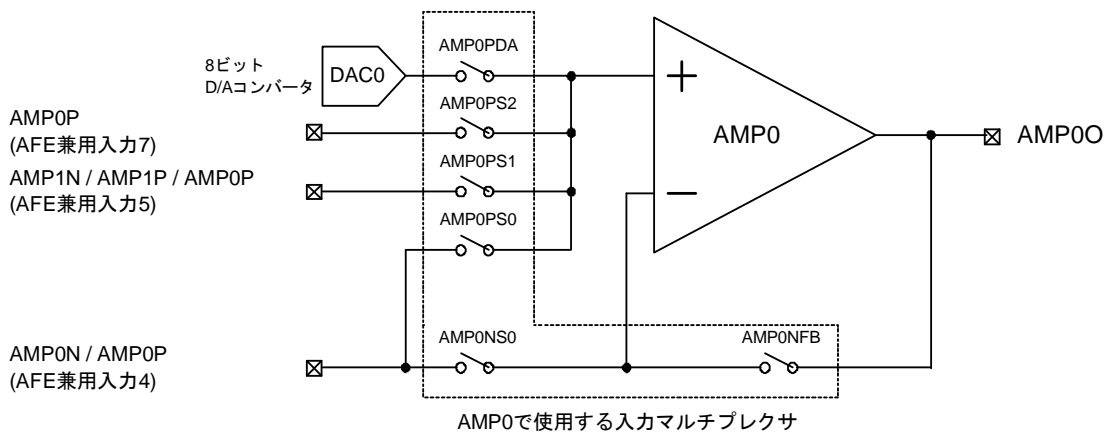


図 17 - 4 AMP1のブロック図と周辺回路図

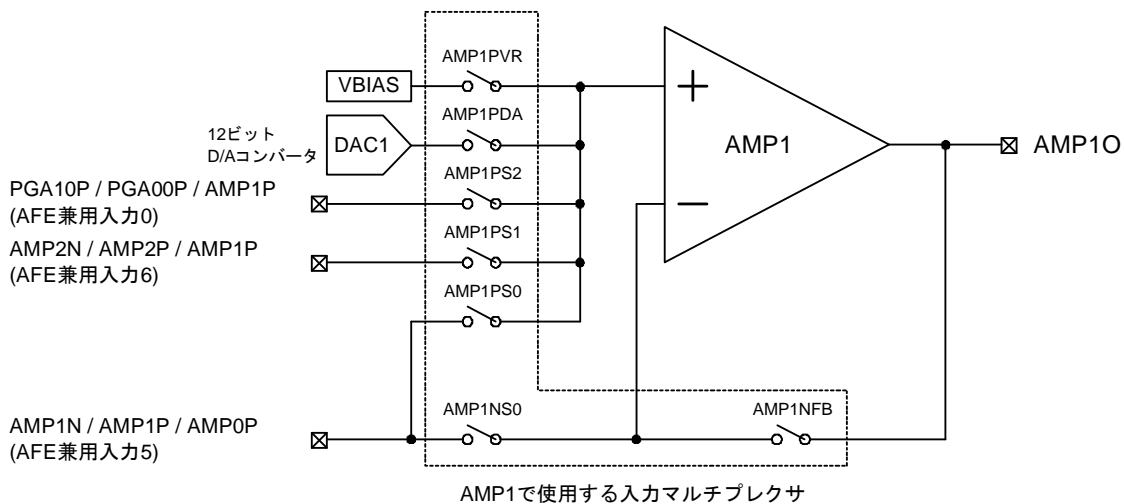
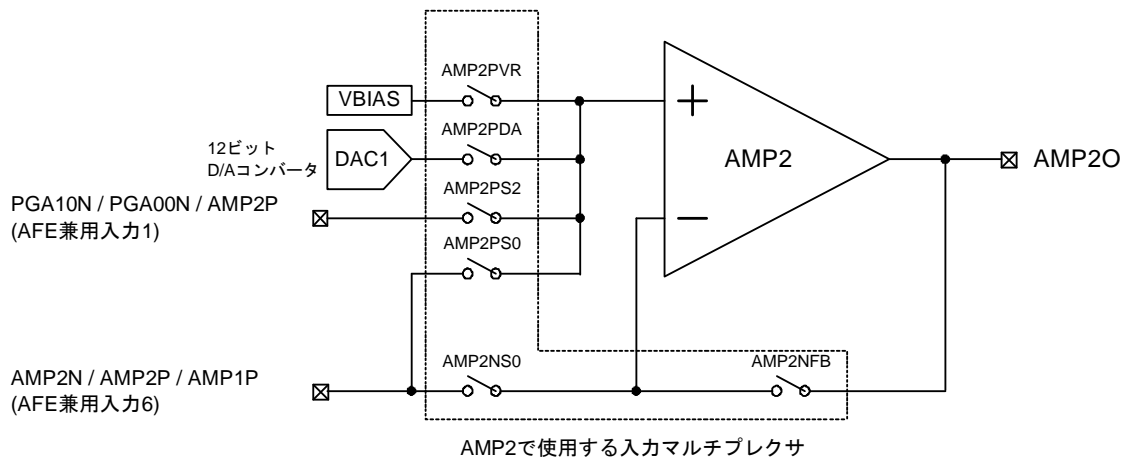


図 17 - 5 AMP2のブロック図と周辺回路図



17.3 アンプ・ユニットを制御するレジスタ

表17-3にアンプ・ユニットを制御するレジスタ一覧を示します。

表17-3 アンプ・ユニットを制御するレジスタ一覧

項目	構成
制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
	アナログ・フロントエンド電源選択レジスタ (AFEPWS)
	アンプ・モード制御レジスタ (AMPMC)
	アンプ・トリガ・モード制御レジスタ (AMPTRM)
	アンプELCトリガ選択レジスタ (AMPTRS)
	アンプ制御レジスタ (AMPC)
	アンプ制御信号モニタ・レジスタ (AMPMON)
	アンプ・ユニット0 ゲイン設定レジスタ (PGA1GC)
	アンプ・ユニット0 入力選択レジスタ (PGA1S)
	アンプ・ユニット1 入力選択レジスタ (AMP0S)
	アンプ・ユニット2 入力選択レジスタ (AMP1S)
	アンプ・ユニット3 入力選択レジスタ (AMP2S)

17.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 17-6 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	0	AMPEN ^注	DTCEN	PGAEN ^注	AFEEN ^注	DACEN ^注

AMPEN ^注	アンプ・ユニットの入カロック供給の制御
0	入カロック供給停止 ・アンプ・ユニットで使用するSFRへのライト不可 ・アンプ・ユニットはリセット状態
1	入カロック供給 ・アンプ・ユニットで使用するSFRへのリード／ライト可

注 R5F11N, R5F11Pのみ

注意1. アンプ・ユニットの設定をする際には、必ず最初にAMPEN = 1の設定を行ってください。AMPEN = 0の場合は、アンプ・ユニットの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

注意2. 次のビットには必ず0を設定してください。

R5F11N, R5F11P : ビット5, 6

R5F11R : ビット0-2, 4-6

17.3.2 アナログ・フロントエンド電源選択レジスタ (AFEPWS)

アンプ・ユニット部の電源の制御を設定するレジスタです。

AFEPWSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-7 アナログ・フロントエンド電源選択レジスタ (AFEPWS)のフォーマット

アドレス : F0440H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AFEPWS	DAC1PON	DAC0PON	0	AMPPON	0	PGAPON	0	AFEPON

AMPPON	アンプ・ユニット部の電源制御
0	パワーオフ (初期値)
1	パワーオン

注意 ビット1, 3, 5は必ず0を設定してください。

17.3.3 アンプ・モード制御レジスタ (AMPMC)

アンプ・ユニットの動作モードを選択するレジスタです。

AMPMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-8 アンプ・モード制御レジスタ (AMPMC)のフォーマット

アドレス : F0470H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPMC	AMPSP	0	AMPSP1	AMPSP0	0	0	0	0
AMPSP	アンプ・ユニット2 (AMP1) およびアンプ・ユニット3 (AMP2) の動作モード設定							
0	ロウ・パワー・モード							
1	ハイスピード・モード							
AMPSP1	アンプ・ユニット1 (AMP0) の動作モード設定							
0	ロウ・パワー・モード							
1	ハイスピード・モード							
AMPSP0	アンプ・ユニット0 (PGA1) の動作モード設定							
0	ロウ・パワー・モード							
1	ハイスピード・モード							

17.3.4 アンプ・トリガ・モード制御レジスタ (AMPTRM)

アンプ・ユニットの起動/停止信号を選択するレジスタです。

AMPTRMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-9 アンプ・トリガ・モード制御レジスタ (AMPTRM)のフォーマット

アドレス : F0471H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPTRM	AMPTRM31	AMPTRM30	AMPTRM21	AMPTRM20	AMPTRM11	AMPTRM10	AMPTRM01	AMPTRM00
AMPTRMn1	AMPTRMn0	アンプ・ユニットnの起動/停止トリガ制御 ^{注3}						
0	0	ソフトウェア・トリガ・モード <ul style="list-style-type: none"> • AMPCレジスタ設定によるアンプ・ユニットの起動/停止制御が可能 • ELCトリガによるアンプ・ユニットの起動は不可 • 24ビット$\Delta\Sigma$A/Dスキャン完了トリガによるアンプ・ユニット制御は不可 						
0	1	ELCトリガ・モード <ul style="list-style-type: none"> • AMPCレジスタ設定によるアンプ・ユニットのELCトリガ待機設定/停止制御が可能 • ELCトリガによるアンプ・ユニットの起動が可能^{注1} • 24ビット$\Delta\Sigma$A/Dスキャン完了トリガによるアンプ・ユニット制御は不可 						
1	0	設定禁止						
1	1	ELCおよびA/Dトリガ・モード <ul style="list-style-type: none"> • AMPCレジスタ設定によるアンプ・ユニットのELCトリガ待機設定/停止制御が可能 • ELCトリガによるアンプ・ユニットの起動が可能^{注1} • 24ビット$\Delta\Sigma$A/Dスキャン完了トリガによるアンプ・ユニットの停止が可能^{注2} 						

注1. ELC トリガによってアンプ・ユニットを起動する場合は、あらかじめ第 25 章 イベントリンクコントローラ (ELC) に関わる各種設定および AMPTRS レジスタを設定の上、AMPC レジスタにて起動対象となるアンプ・ユニットの動作制御ビットを1 (アンプ・ユニット待機許可) に設定してください。

注2. 24ビット $\Delta\Sigma$ A/Dスキャン完了トリガはA/D変換終了時に必ず発生します。

注3. AMPTRMn1, AMPTRMn0の設定値を変更する場合は、AMPCレジスタのAMPEnビットが0 (アンプ・ユニット停止) の状態で行ってください。

備考 n : ユニット番号 (n = 0-3)

17.3.5 アンプELCトリガ選択レジスタ (AMPTRS)

アンプ・ユニットのELCトリガを選択するレジスタです。

AMPTRSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-10 アンプELCトリガ選択レジスタ (AMPTRS)のフォーマット

アドレス : F0472H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPTRS	0	0	0	0	0	0	AMPTRS1	AMPTRS0

AMPTRS1	AMPTRS0	ELCトリガ選択注
0	0	アンプ・ユニット0 : アンプELCトリガ0 アンプ・ユニット1 : アンプELCトリガ1 アンプ・ユニット2 : アンプELCトリガ2 アンプ・ユニット3 : アンプELCトリガ3
0	1	アンプ・ユニット0 : アンプELCトリガ0 アンプ・ユニット1 : アンプELCトリガ0 アンプ・ユニット2 : アンプELCトリガ1 アンプ・ユニット3 : アンプELCトリガ1
1	0	設定禁止
1	1	アンプ・ユニット0 : アンプELCトリガ0 アンプ・ユニット1 : アンプELCトリガ0 アンプ・ユニット2 : アンプELCトリガ0 アンプ・ユニット3 : アンプELCトリガ0

注 AMPTRMレジスタの設定後は、AMPTRSレジスタの値を変更しないでください。

注意 ビット2-7には必ず0を設定してください。

17.3.6 アンプ制御レジスタ (AMPC)

アンプ・ユニットの動作を制御するレジスタです。

AMPCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-11 アンプ制御レジスタ (AMPC) のフォーマット

アドレス : F0473H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPC	0	0	0	0	AMPE3	AMPE2	AMPE1	AMPE0

AMPE _n	アンプ・ユニットnの動作制御
0	アンプ・ユニットn停止
1	ソフトウェア・トリガ・モード : アンプ・ユニットn動作許可 ELCトリガ・モードまたは、ELCおよびA/Dトリガ・モード : ELC待機許可

注意 ビット4-7には必ず0を設定してください。

備考 n : ユニット番号 (n = 0-3)

17.3.7 アンプ制御信号モニタ・レジスタ (AMPMON)

アンプ・ユニットの動作状態を確認するレジスタです。

AMPMONレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図17-12 アンプ制御信号モニタ・レジスタ (AMPMON) のフォーマット

アドレス : F0474H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
AMPMON	0	0	0	0	AMPMON3	AMPMON2	AMPMON1	AMPMON0

AMPMONn	アンプ・ユニットnの状態
0	アンプ・ユニットn停止
1	アンプ・ユニットn動作

注意 本レジスタは各アンプ・ユニットの動作/停止状態を非同期で反映するため、アンプ・ユニットの状態判定を実施する場合は、連続して本レジスタをリードし、ビット状態の変化が確認されてから再度確認のためのリードを実施した上でアンプ・ユニットの状態変化の判定用として使用してください。

また、アンプ・ユニット制御としてクロック同期したELCトリガや24ビット $\Delta\Sigma$ A/Dスキャン完了トリガ、その他割り込みルーチン内のソフトウェア・トリガを使用するなど、アンプ・ユニットが動作/停止するタイミングを予測できる場合(正常動作の確認用など)は、アンプ・ユニットの状態に影響する各種トリガや割り込みの発生からCPU/周辺クロック1サイクル以降のタイミングで本レジスタをリードしてください。

備考 n : ユニット番号 (n = 0-3)

17.3.8 アンプ・ユニット0 ゲイン設定レジスタ (PGA1GC)

アンプ・ユニット0のゲインを設定するレジスタです。

PGA1GCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-13 アンプ・ユニット0 ゲイン設定レジスタ (PGA1GC)のフォーマット

アドレス : F0476H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PGA1GC	0	0	PGA1GC5	PGA1GC4	PGA1GC3	PGA1GC2	PGA1GC1	PGA1GC0
PGA1GC5	PGA1GC4	PGA1 1st アンプのゲイン設定 (GSET11)						
0	0	GSET11 = 12						
0	1	GSET11 = 16						
1	0	GSET11 = 20						
1	1	GSET11 = 24						
PGA1GC3	PGA1GC2	PGA1GC1	PGA1GC0	PGA1 2nd アンプのゲイン設定 (GSET12)				
0	1	1	1	GSET12 = 1.246 (+24.6%)				
0	1	1	0	GSET12 = 1.207 (+20.7%)				
0	1	0	1	GSET12 = 1.169 (+16.9%)				
0	1	0	0	GSET12 = 1.133 (+13.3%)				
0	0	1	1	GSET12 = 1.098 (+9.8%)				
0	0	1	0	GSET12 = 1.065 (+6.5%)				
0	0	0	1	GSET12 = 1.032 (+3.2%)				
0	0	0	0	GSET12 = 1.000 (0.0%)				
1	1	1	1	GSET12 = 0.969 (-3.1%)				
1	1	1	0	GSET12 = 0.939 (-6.1%)				
1	1	0	1	GSET12 = 0.910 (-9.0%)				
1	1	0	0	GSET12 = 0.882 (-11.8%)				
1	0	1	1	GSET12 = 0.855 (-14.5%)				
1	0	1	0	GSET12 = 0.829 (-17.1%)				
1	0	0	1	GSET12 = 0.803 (-19.7%)				
1	0	0	0	GSET12 = 0.778 (-22.2%)				

注意 ビット6,7には必ず0を設定してください。

17.3.9 アンプ・ユニット0 入力選択レジスタ (PGA1S)

PGA1の入力端子の接続先を選択するレジスタです。

PGA1Sレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-14 アンプ・ユニット0 入力選択レジスタ (PGA1S)のフォーマット

アドレス : F0477H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PGA1S	0	0	0	0	0	0	PGA1CS1	PGA1CS0

PGA1CS1	PGA1CS0	PGA1 入力端子の選択
0	0	接続なし注
0	1	PGA1の +入力にPGA10P端子, -入力にPGA10N端子を接続
1	0	PGA1の +入力にPGA11P端子, -入力にPGA11N端子を接続
1	1	設定禁止

注 入力端子が接続なしの場合、PGA1はAMPCレジスタのAMPE0ビットの設定に依らず停止します。

注意 ビット2-7には必ず0を設定してください。

17.3.10 アンプ・ユニット1 入力選択レジスタ (AMP0S)

AMP0の入力端子の接続先を選択するレジスタです。

AMP0Sレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-15 アンプ・ユニット1 入力選択レジスタ (AMP0S)のフォーマット

アドレス : F0478H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMP0S	AMP0NFB	AMP0NS0	0	AMP0PDA	0	AMP0PS2	AMP0PS1	AMP0PS0
	AMP0NFB	AMP0NS0	AMP0 - 入力端子の選択					
	0	0	接続なし注					
	0	1	AMP0の - 入力にAMP0N端子 (AFE 兼用入力4) を接続					
	1	0	AMP0の - 入力にAMP0の出力をフィードバック					
	1	1	設定禁止					
	AMP0PDA	AMP0PS2	AMP0PS1	AMP0PS0	AMP0 + 入力端子の選択			
	0	0	0	0	接続なし注			
	0	0	0	1	AMP0の + 入力にAMP0P端子 (AFE 兼用入力4) を接続			
	0	0	1	0	AMP0の + 入力にAMP0P端子 (AFE 兼用入力5) を接続			
	0	1	0	0	AMP0の + 入力にAMP0P端子 (AFE 兼用入力7) を接続			
	1	0	0	0	AMP0の + 入力に8ビットD/Aコンバータ (DAC0) を接続			
	上記以外				設定禁止			

注 入力端子が接続なしの場合、AMP0はAMPCレジスタのAMPE1ビットの設定に依らず停止します。

注意 ビット3, 5には必ず0を設定してください。

17.3.11 アンプ・ユニット2 入力選択レジスタ (AMP1S)

AMP1の入力端子の接続先を選択するレジスタです。

AMP1Sレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-16 アンプ・ユニット2 入力選択レジスタ (AMP1S)のフォーマット

アドレス : F0479H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMP1S	AMP1NFB	AMP1NS0	AMP1PVR	AMP1PDA	0	AMP1PS2	AMP1PS1	AMP1PS0
	AMP1NFB	AMP1NS0	AMP1 - 入力端子の選択					
	0	0	接続なし注					
	0	1	AMP1の - 入力にAMP1N端子 (AFE 兼用入力5) を接続					
	1	0	AMP1の - 入力にAMP1の出力をフィードバック					
	1	1	設定禁止					
	AMP1PVR	AMP1PDA	AMP1PS2	AMP1PS1	AMP1PS0	AMP1 + 入力端子の選択		
	0	0	0	0	0	接続なし注		
	0	0	0	0	1	AMP1の + 入力にAMP1P端子 (AFE 兼用入力5) を接続		
	0	0	0	1	0	AMP1の + 入力にAMP1P端子 (AFE 兼用入力6) を接続		
	0	0	1	0	0	AMP1の + 入力にAMP1P端子 (AFE 兼用入力0) を接続		
	0	1	0	0	0	AMP1の + 入力に12ビットD/Aコンバータ (DAC1) を接続		
	1	0	0	0	0	AMP1の + 入力に内部バイアス電圧 (VBIAS) を接続		
	上記以外					設定禁止		

注 入力端子が接続なしの場合、AMP1はAMPCレジスタのAMPE2ビットの設定に依らず停止します。

注意 ビット3には必ず0を設定してください。

17.3.12 アンプ・ユニット3 入力選択レジスタ (AMP2S)

AMP2の入力端子の接続先を選択するレジスタです。

AMP2Sレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-17 アンプ・ユニット3 入力選択レジスタ (AMP2S)のフォーマット

アドレス : F047AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMP2S	AMP2NFB	AMP2NS0	AMP2PVR	AMP2PDA	0	AMP2PS2	0	AMP2PS0
	AMP2NFB	AMP2NS0	AMP2 - 入力端子の選択					
	0	0	接続なし注					
	0	1	AMP2の - 入力にAMP2N端子 (AFE 兼用入力6) を接続					
	1	0	AMP2の - 入力にAMP2の出力をフィードバック					
	1	1	設定禁止					
	AMP2PVR	AMP2PDA	AMP2PS2	AMP2PS0	AMP2 + 入力端子の選択			
	0	0	0	0	接続なし注			
	0	0	0	1	AMP2の + 入力にAMP2P端子 (AFE 兼用入力6) を接続			
	0	0	1	0	AMP2の + 入力にAMP2P端子 (AFE 兼用入力1) を接続			
	0	1	0	0	AMP2の + 入力に12ビットD/Aコンバータ (DAC1) を接続			
	1	0	0	0	AMP2の + 入力に内部バイアス電圧 (VBIAS) を接続			
	上記以外				設定禁止			

注 入力端子が接続なしの場合、AMP2はAMPCレジスタのAMPE3ビットの設定に依らず停止します。

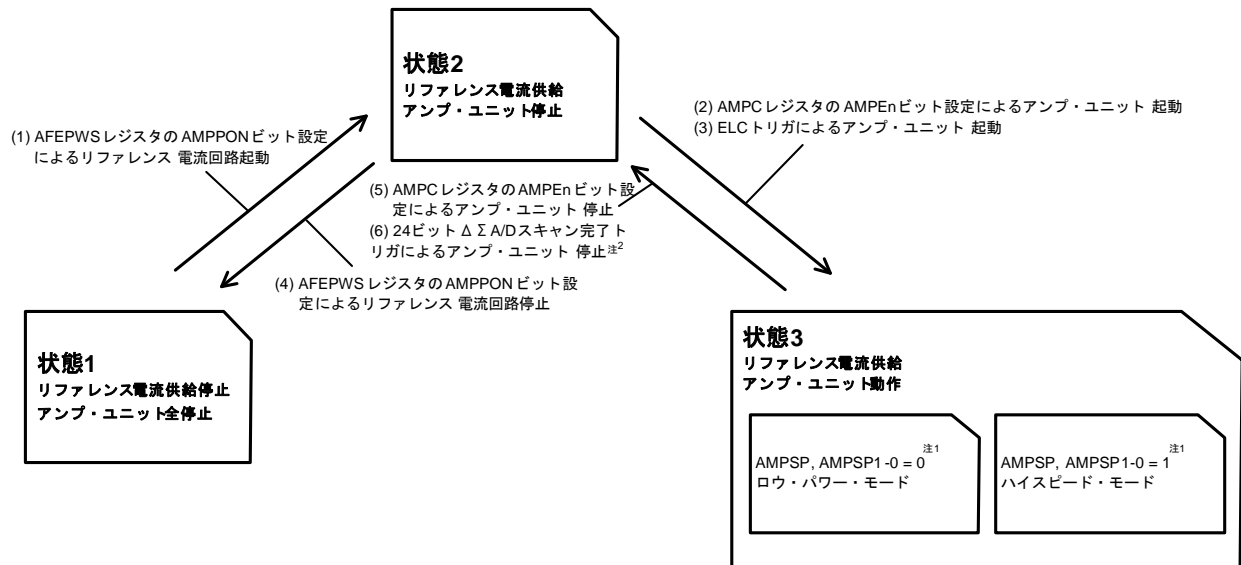
注意 ビット1, 3には必ず0を設定してください。

17.4 動作説明

17.4.1 状態遷移図

図17-18にアンプ・ユニット制御回路によるアンプ・ユニット、リファレンス電流回路の起動、停止の状態遷移図を示します。

図17-18 アンプ・ユニット状態遷移図



注1. AMPMCレジスタのAMPSP, AMPSP1-0ビット, AMPTRS, AMPTRMの各レジスタは状態1で設定してください。

注2. 24ビット $\Delta\Sigma$ A/Dスキャン完了時にアンプ・ユニットのみを停止させる場合、AFEPWSレジスタのAMPPONビットによって、あらかじめリファレンス電流回路を動作許可に設定しておく(状態2を経由してアンプ・ユニットを動作させる)必要があります。

備考1. リファレンス電流供給やアンプ・ユニット動作を設定してから実際それぞれが動作するには、安定待ち時間が必要です。安定待ち時間の詳細は、第38章 電気的特性を参照してください。

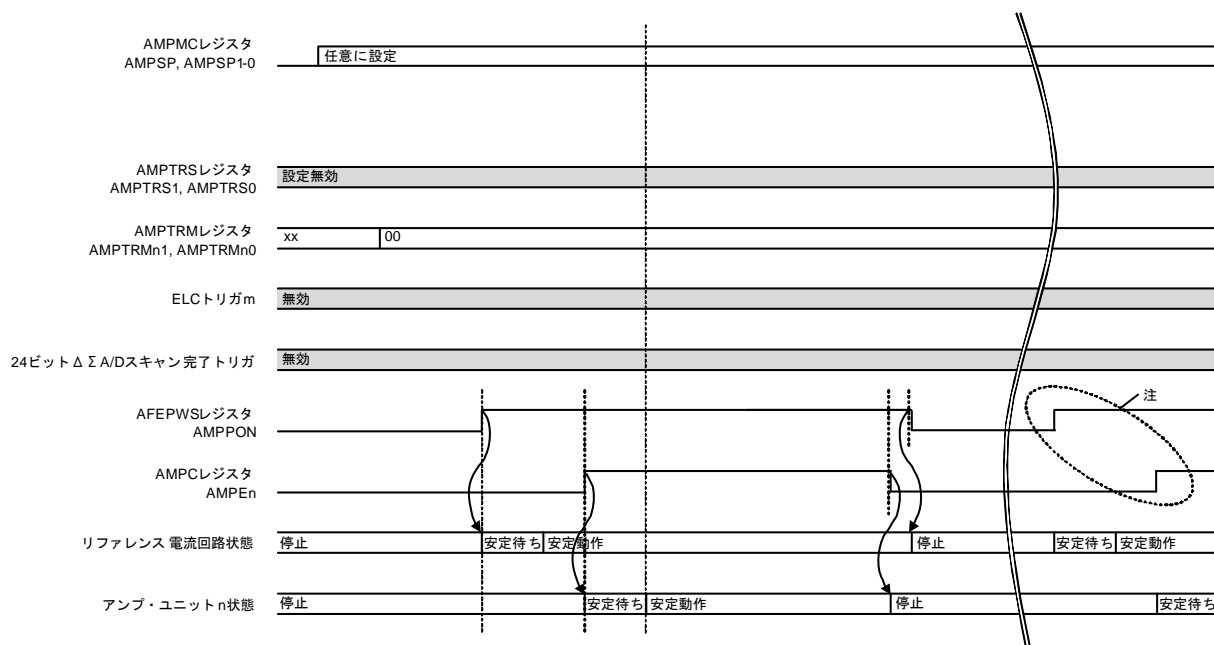
備考2. アンプ・ユニット起動/停止に関わる連続動作として、(2)⇒(6)が動作不可能です。

備考3. ELCトリガや24ビット $\Delta\Sigma$ A/Dスキャン完了トリガによるアンプ・ユニットの起動/停止はそれぞれAMPTRMレジスタによってあらかじめ使用設定されたアンプ・ユニットでのみ利用可能です。

17.4.2 アンプ・ユニット制御動作

図17-19～図17-22にアンプ・ユニット制御動作を示します。

図17-19 アンプ・ユニット制御動作(ソフトウェア・トリガ・モードによる制御)
(ソフトウェア・トリガ・モードによってリファレンス電流回路とアンプ・ユニットを起動/停止させる場合)

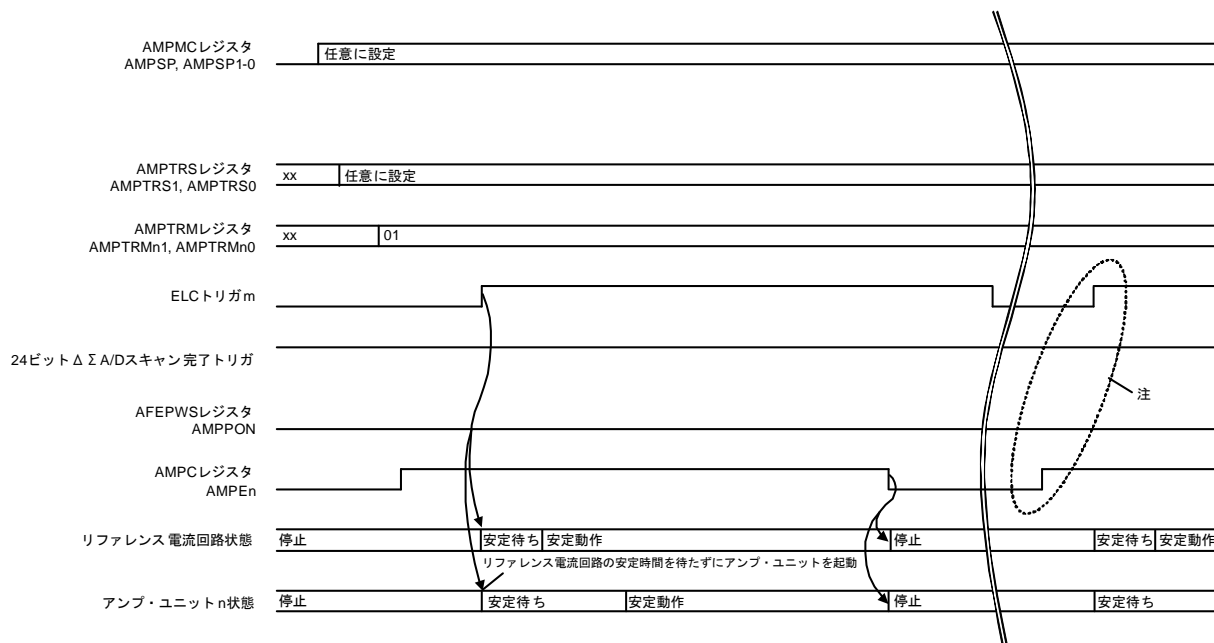


注 アンプ・ユニットの動作/停止を連続させる場合は、アンプ・ユニット停止後、初回と同様に再度AMPPONビット、AMPEnビットの設定を実施してください。

備考 n : ユニット番号 (n = 0-3)

m : AMPTRSレジスタによって選択されたアンプ・ユニットnの制御で使用するELCトリガ。

図17-20 アンプ・ユニット制御動作(ELCトリガ・モードによる起動)
 (ELCトリガによってリファレンス電流回路とアンプ・ユニットを起動し、SFR設定によって停止させる場合)



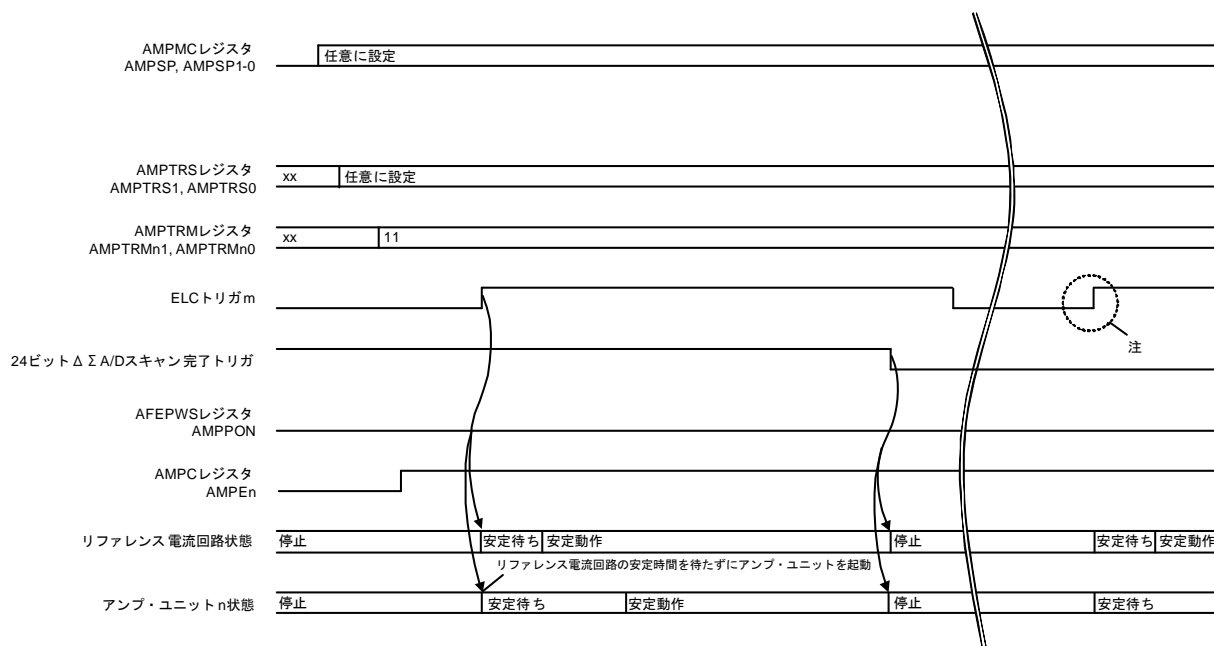
注 アンプ・ユニットの動作/停止を連続させる場合はアンプ・ユニット停止後、初回と同様に再度AMPEnビットによってELCトリガ待機状態に設定してください。

備考 n : ユニット番号 (n = 0-3)

m : AMPTRSレジスタによって選択されたアンプ・ユニットnの制御で使用するELCトリガ。

あらかじめELCイベント発生元となる機能の設定、およびリンク先周辺機能の設定(ELSELRレジスタ設定)を実施してください。

図17-21 アンプ・ユニット制御動作(ELCおよびA/Dトリガ・モード その1)
 (ELCトリガによってリファレンス電流回路とアンプ・ユニットを起動し、24ビットΔΣA/Dスキャン完了トリガによって停止させる場合)



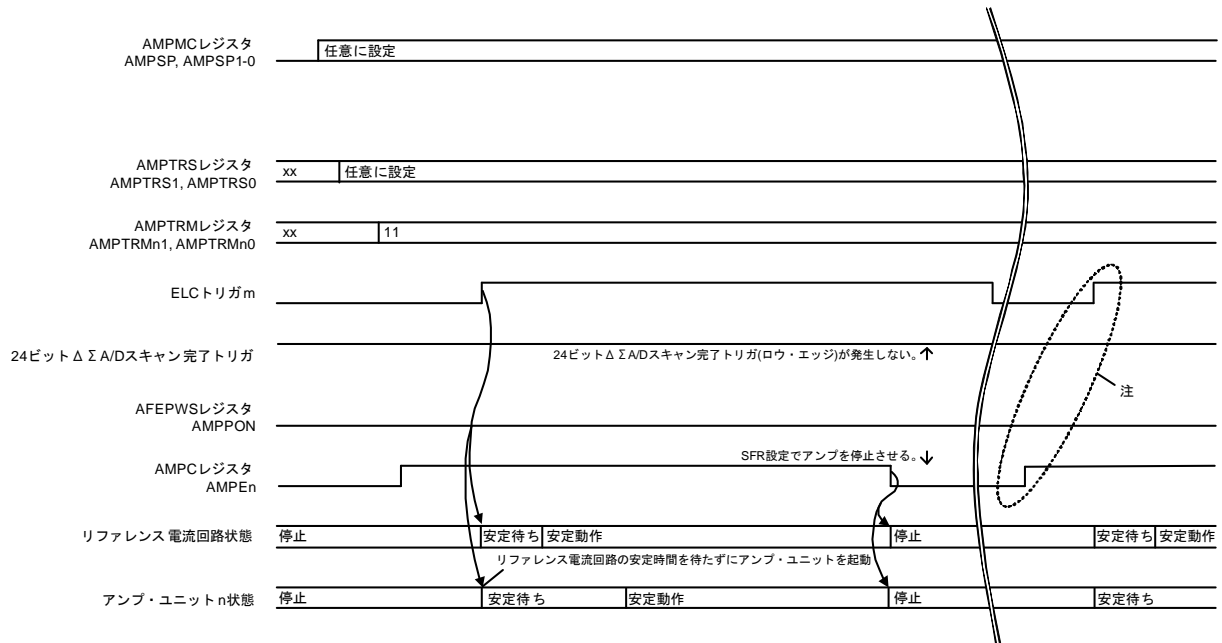
注 アンプ・ユニットの動作/停止を連続させる場合、アンプ・ユニット停止後はELCトリガ待機状態となるためレジスタの再設定は不要です。

備考 n : ユニット番号 (n = 0-3)

m : AMPTRSレジスタによって選択されたアンプ・ユニットnの制御で使用するELCトリガ。

あらかじめELCイベント発生元となる機能の設定、およびリンク先周辺機能の設定(ELSELRレジスタ設定)を実施してください。

図17-22 アンプ・ユニット制御動作(ELCおよびA/Dトリガ・モード その2)
 (ELCトリガによってリファレンス電流回路とアンプ・ユニットを起動し、
 24ビットΔΣA/Dスキャン完了トリガによって停止できる設定において、SFRで停止させる場合)



注 アンプ・ユニットの動作/停止を連続させる場合はアンプ・ユニット停止後、初回と同様に再度AMPEnビットによってELCトリガ待機状態に設定してください。

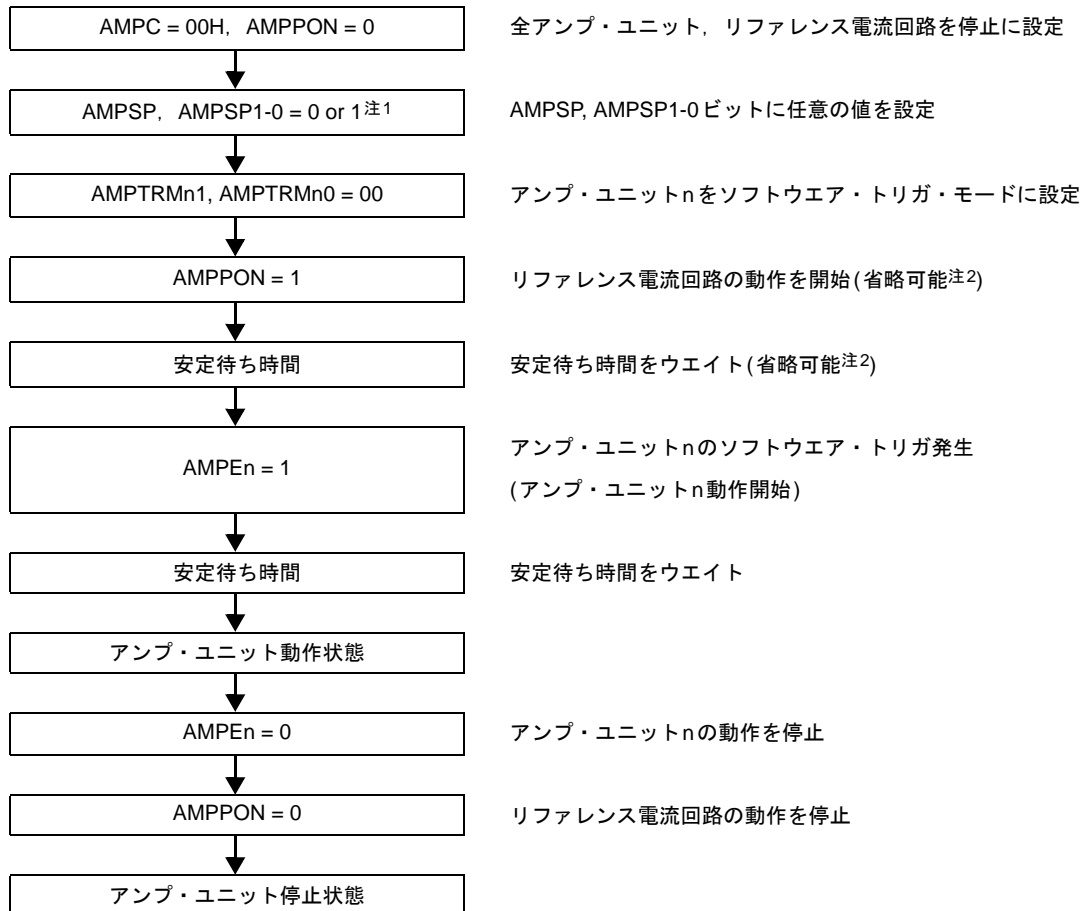
備考 n : ユニット番号 (n = 0-3)

m : AMPTRSレジスタによって選択されたアンプ・ユニットnの制御で使用するELCトリガ。

あらかじめELCイベント発生元となる機能の設定、およびリンク先周辺機能の設定(ELSELRレジスタ設定)を実施してください。

17.4.3 ソフトウェア・トリガ・モード

ソフトウェア・トリガでアンプ・ユニットを動作, 停止させる手順を示します。各レジスタの設定例のフロー・チャートを以下に示します。



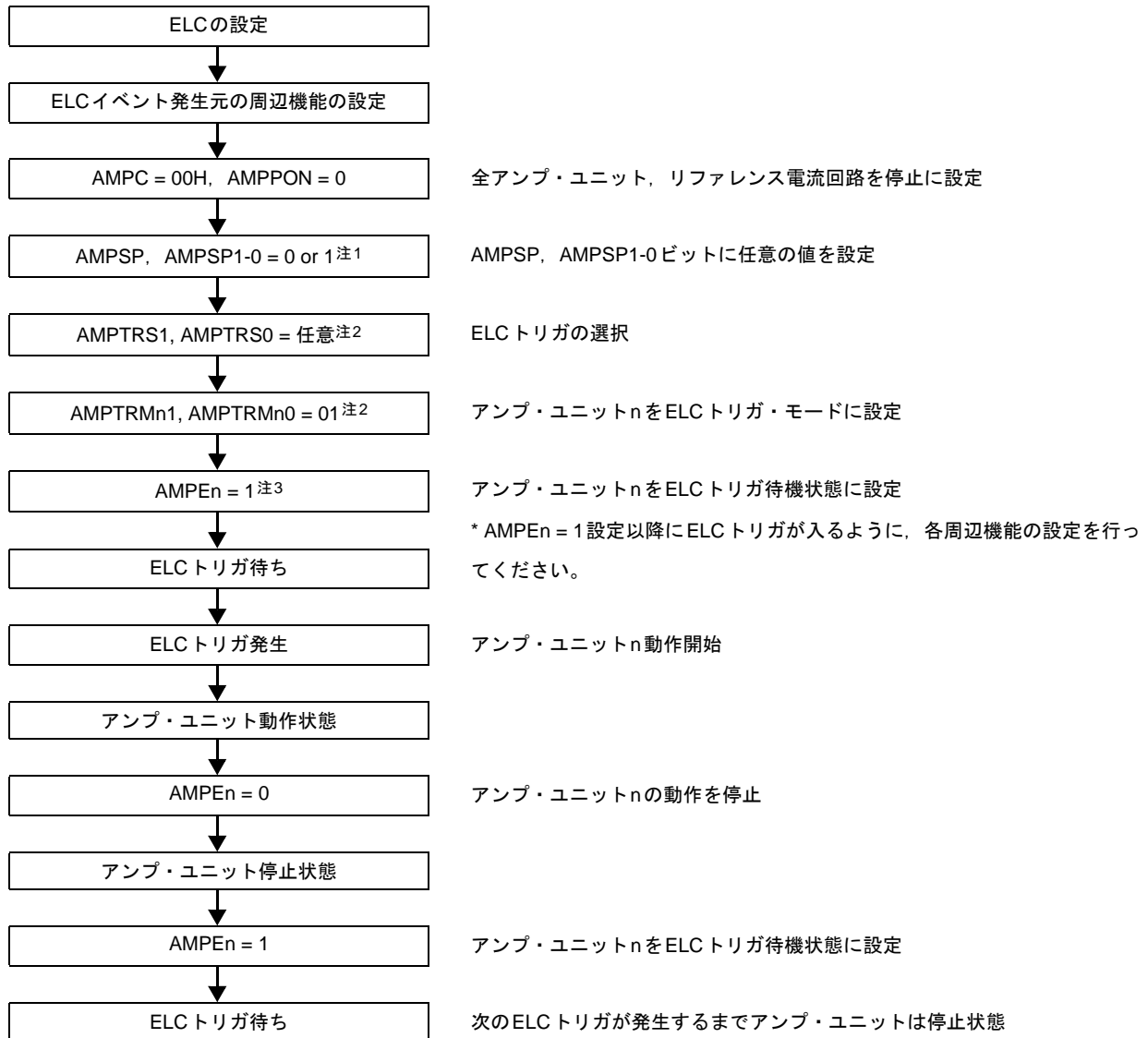
注1. AMPSP, AMPSP1-0ビットの設定は, AMPCレジスタの値が00H(アンプ・ユニットが停止), AFEPWSレジスタのAMPPONビットの値が0の状態で行ってください。

注2. AMPPON = 1の設定, および安定待ち時間を省略した場合, AMPEn = 1設定後の安定待ち時間が長くなります。

注意 安定待ち時間の詳細は, 第38章 電気的特性 (R5F11N, R5F11P) (A: TA = -40 ~ +85°C)を参照してください。

17.4.4 ELCトリガ・モード

ELCトリガでアンプ・ユニットを動作させる設定手順を示します。各レジスタの設定例のフロー・チャートを以下に示します。アンプ・ユニットをELCトリガで起動させ、ソフトウェアで停止させる処理を繰り返す場合の例です。



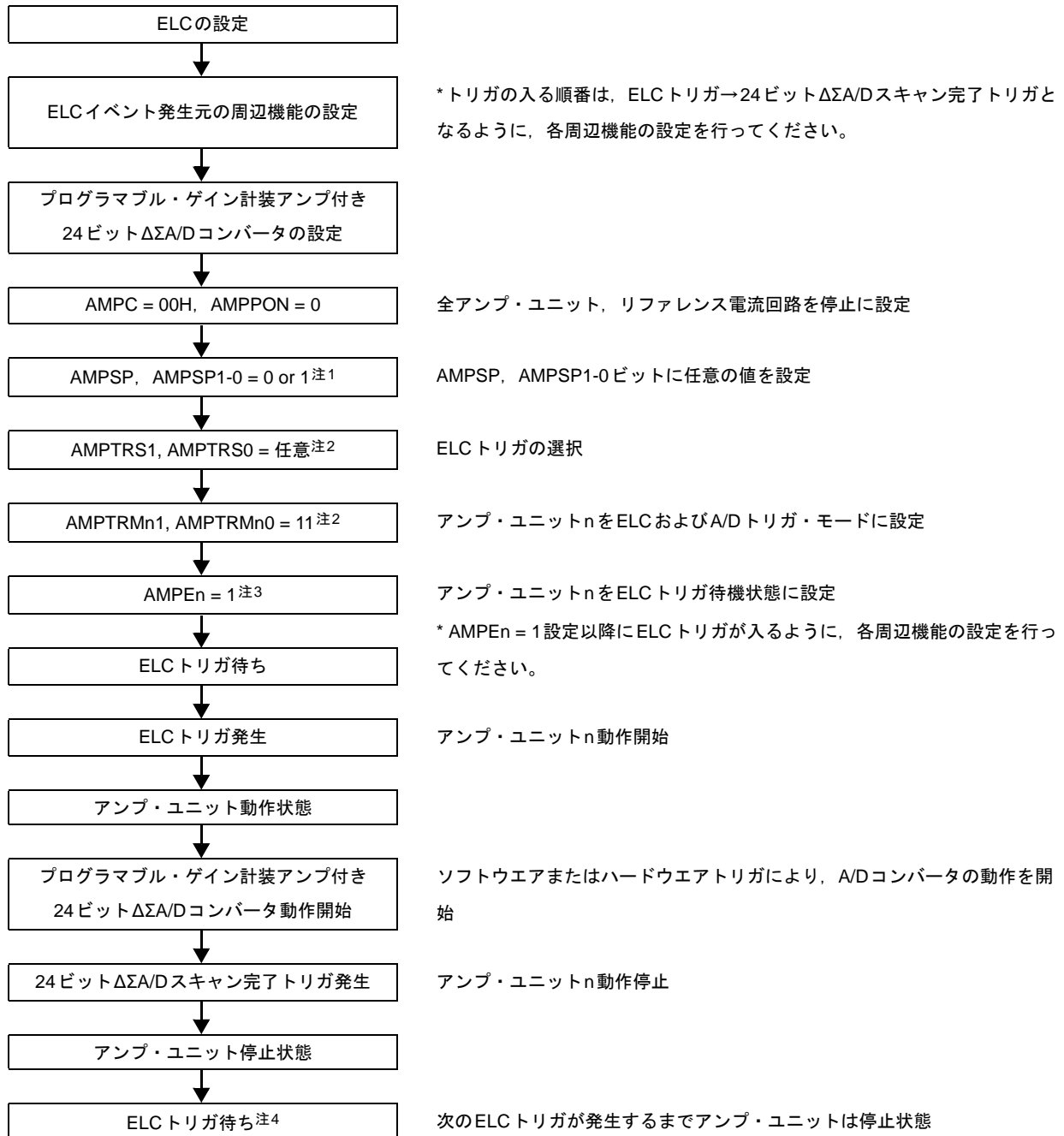
注1. AMPSP, AMPSP1-0ビットの設定は, AMPCレジスタの値が00H (アンプ・ユニットが停止), AFEPWSレジスタのAMPPONビットの値が0の状態で行ってください。

注2. AMPCレジスタのAMPEnビットが0の状態を設定してください。

注3. リファレンス電流回路を常時動作させる場合は, このタイミングでAFEPWSレジスタのAMPPONビットを1に設定してください。

17.4.5 ELCおよびA/Dトリガ・モード

ELCトリガでアンプ・ユニットを起動し、24ビット $\Delta\Sigma$ /Dスキャン完了トリガでアンプ・ユニットを停止する設定手順を示します。各レジスタの設定例のフロー・チャートを以下に示します。アンプ・ユニットをELCトリガで起動させ、24ビット $\Delta\Sigma$ /Dスキャン完了トリガで停止させる処理を繰り返す場合の例です。



注1. AMPSP, AMPSP1-0ビットの設定は、AMPCレジスタの値が00H (アンプ・ユニットが停止)、AFEPWSレジスタのAMPPONビットが0の状態で行ってください。

注2. AMPCレジスタのAMPEnビットが0の状態を設定してください。

注3. ELCトリガイベント発生元の周辺機能および24ビット $\Delta\Sigma$ /Dコンバータが停止している状態で設定してください。また、リファレンス電流回路を常時動作させる場合は、このタイミングでAFEPWSレジスタのAMPPONビットを1に設定してください。

(注は次ページに続きます。)

注4. トリガ待機動作を終了させる場合はAMPCレジスタのAMPEnビットを0に設定してください。また、ELCトリガによりアンプ・ユニット起動後、強制停止させたい場合もAMPCレジスタのAMPEnビットを0に設定してください。

17.5 アンプ・ユニットの注意事項

- (1) アンプ・ユニット機能の電源端子である AVDD/AVSS 端子にバイパスコンデンサを付加する際はできるだけチップの近く(配線が短くなるよう)に配置し、デバイス、基板、周辺部品を含めたノイズ耐性を考慮してください。
- (2) アンプ・ユニット機能はSFR設定以外にELCトリガによる起動制御および24ビット $\Delta\Sigma$ /Dスキャン完了トリガによる停止制御が可能です。
このため、これらの非同期トリガによる起動/停止制御の競合(背反制御)が発生しないよう、動作フローを遵守したアプリケーション(回路、プログラム)を設計してください。

第18章 D/Aコンバータ (R5F11N, R5F11Pのみ)

18.1 D/Aコンバータの機能

D/Aコンバータは、デジタル入力をアナログ信号に変換する8ビット分解能および12ビット分解能のコンバータです。

D/Aコンバータには、次のような機能があります。

○8ビット分解能 × 1ch, 12ビット分解能 × 1ch

○R-2R ラダー方式

○アナログ出力電圧

• 8ビット分解能 : $SBIAS$ 出力電圧 $\times m8/256$ ($m8$: DAC0DR レジスタに設定した値)

• 12ビット分解能 : $AVDD$ (または $SBIAS$ 出力電圧) $\times m12/4096$ ($m12$: DAC1DR レジスタに設定した値)

○動作モード

• 通常モード

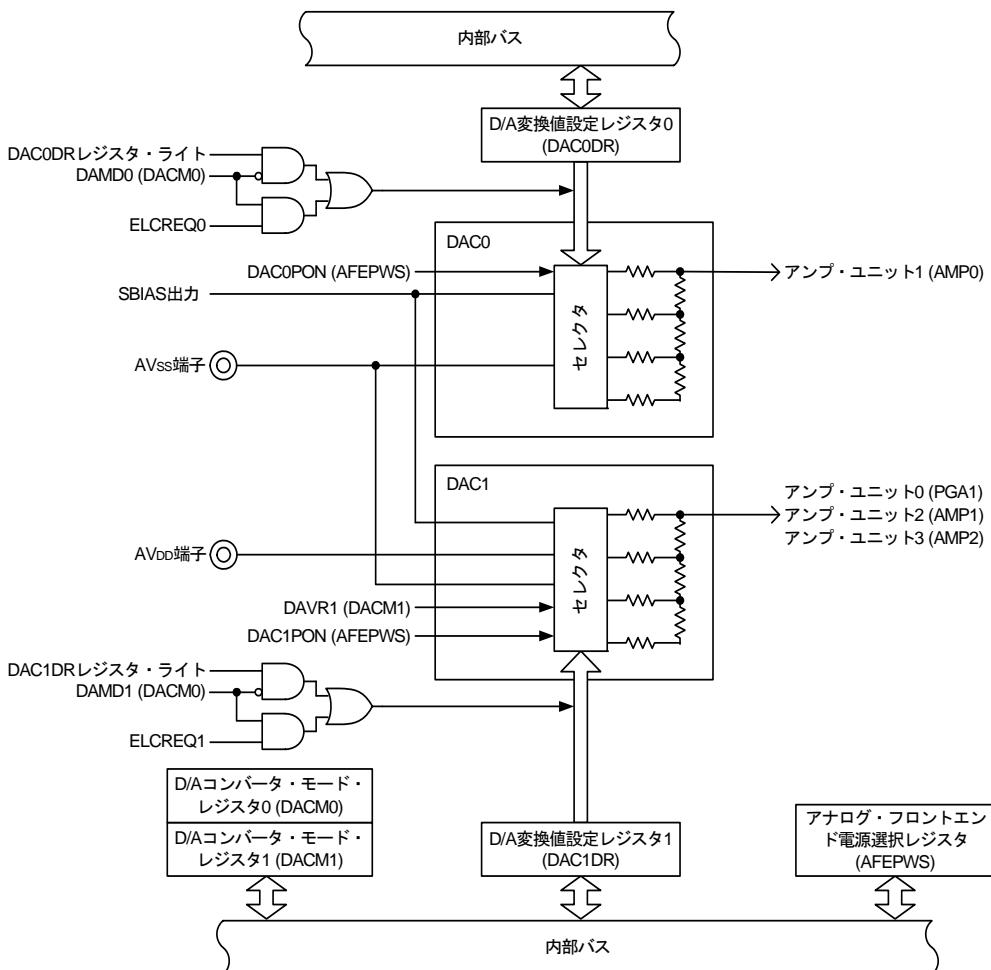
• リアルタイム出力モード

注意 専用の出力端子を持たないため、外部へはアンプ・ユニットを介して出力する必要があります。

18.2 D/Aコンバータの構成

図18-1にD/Aコンバータのブロック図を示します。DAC0が8ビット分解能、DAC1が12ビット分解能のD/Aコンバータを表しています。

図18-1 D/Aコンバータのブロック図



備考 ELCREQ0, ELCREQ1は、リアルタイム出力モードに使用するトリガ信号(ELCからのイベント信号)です。

18.3 D/Aコンバータを制御するレジスタ

D/Aコンバータは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ1 (PER1)
- アナログ・フロントエンド電源選択レジスタ (AFEPWS)
- D/Aコンバータ・モード・レジスタ0, 1 (DACM0, DACM1)
- D/A変換値設定レジスタ0, 1 (DAC0DR, DAC1DR)
- イベント出力先選択レジスタn (ELSELRn), n = 00~25

18.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

D/Aコンバータを使用する場合は、必ずビット0 (DACEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	0	AMPEN ^注	DTCEN	PGAEN ^注	AFEEN ^注	DACEN ^注

DACEN ^注	D/Aコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータはリセット状態
1	入カクロック供給 ・D/Aコンバータで使用するSFRへのリード／ライト可

注 R5F11N, R5F11Pのみ。

注意1. D/Aコンバータの設定をする際には、必ず最初にDACEN = 1の設定を行ってください。

DACEN = 0の場合は、D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

注意2. 次のビットには必ず0を設定してください。

R5F11N, R5F11P : ビット5, 6

R5F11R : ビット0-2, 4-6

18.3.2 アナログ・フロントエンド電源選択レジスタ (AFEPWS)

D/Aコンバータの電源制御を設定するレジスタです。

AFEPWSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-3 アナログ・フロントエンド電源選択レジスタ (AFEPWS)のフォーマット

アドレス : F0440H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AFEPWS	DAC1PON	DAC0PON	0	AMPPON	0	PGAPON	0	AFEPON
	DAC1PON	12ビットD/Aコンバータ (DAC1)部の電源制御						
	0	パワーオフ (初期値)						
	1	パワーオン						
	DAC0PON	8ビットD/Aコンバータ (DAC0)部の電源制御						
	0	パワーオフ (初期値)						
	1	パワーオン						

注意 ビット1, 3, 5には必ず0を設定してください。

18.3.3 D/Aコンバータ・モード・レジスタ0 (DACM0)

D/Aコンバータの動作を制御するレジスタです。

DACM0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-4 D/Aコンバータ・モード・レジスタ0(DACM0)のフォーマット

アドレス : F0484H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DACM0	DPSEL	0	0	0	0	0	DAMD1	DAMD0
DPSEL	D/A変換データ・フォーマット選択							
0	D/A変換値設定レジスタ1 (DAC1DR) は右詰め							
1	D/A変換値設定レジスタ1 (DAC1DR) は左詰め							
DAMDi	D/Aコンバータ (DACi)の動作モードの選択							
0	通常モード							
1	リアルタイム出力モード							

注意 ビット2-6には必ず0を設定してください。

備考 i = 0, 1

18.3.4 D/Aコンバータ・モード・レジスタ1 (DACM1)

D/Aコンバータの動作を制御するレジスタです。

DACM1レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-5 D/Aコンバータ・モード・レジスタ1(DACM1)のフォーマット

アドレス : F0485H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DACM1	0	0	0	0	0	0	DAVR1	0

DAVR1	D/Aコンバータ (DAC1)の基準電圧選択	
0	AVDD	
1	SBIAS出力	

注意1. DAC1のD/A変換動作中に基準電圧を切り替えることは禁止です。必ずD/A変換停止中に設定してください。

注意2. ビット0, 2-7には必ず0を設定してください。

18.3.5 D/A変換値設定レジスタ0 (DAC0DR)

8ビットD/Aコンバータを使用する場合に、出力するアナログ電圧値を設定するレジスタです。

DAC0DRレジスタは、8ビット・メモリ操作命令で設定します。

リセットにより、00Hになります。

図18-6 D/A変換値設定レジスタ0 (DAC0DR)のフォーマット

アドレス : F0480H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DAC0DR	DAC0DR7	DAC0DR6	DAC0DR5	DAC0DR4	DAC0DR3	DAC0DR2	DAC0DR1	DAC0DR0

備考 8ビットD/Aコンバータのアナログ出力電圧は、次のようになります。

$$\text{DAC0出力電圧} = \text{SBIAS出力電圧} \times (\text{DAC0DR})/256$$

8ビットD/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAC0PONビットを0 (パワーオフ)にし、DAC0DRレジスタを00Hにして、R-2Rの抵抗に電流が流れないようにしてください。

18.3.6 D/A変換値設定レジスタ1 (DAC1DR)

12ビットD/Aコンバータを使用する場合に、出力するアナログ電圧値を設定するレジスタです。

DAC1DRレジスタは、16ビット・メモリ操作命令で設定します。

リセットにより、0000Hになります。

図18-7 D/A変換値設定レジスタ1 (DAC1DR)のフォーマット

アドレス : F0482H リセット時 : 0000H R/W

右詰めフォーマット選択時 (DPSEL = 0)

略号	15	14	13	12	11	10	9	8
DAC1DR	0	0	0	0	DAC1DR11	DAC1DR10	DAC1DR9	DAC1DR8
略号	7	6	5	4	3	2	1	0
	DAC1DR7	DAC1DR6	DAC1DR5	DAC1DR4	DAC1DR3	DAC1DR2	DAC1DR1	DAC1DR0

左詰めフォーマット選択時 (DPSEL = 1)

略号	15	14	13	12	11	10	9	8
DAC1DR	DAC1DR11	DAC1DR10	DAC1DR9	DAC1DR8	DAC1DR7	DAC1DR6	DAC1DR5	DAC1DR4
略号	7	6	5	4	3	2	1	0
	DAC1DR3	DAC1DR2	DAC1DR1	DAC1DR0	0	0	0	0

備考 12ビットD/Aコンバータのアナログ出力電圧は、次のようになります。

DAVR1 = 0の時 : DAC1出力電圧 = AV_{DD}電圧 × (DAC1DR)/4096

DAVR1 = 1の時 : DAC1出力電圧 = SBIAS出力電圧 × (DAC1DR)/4096

12ビットD/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDAC1PONビットを0 (パワーオフ)にし、DAC1DRレジスタを0000Hにして、R-2Rの抵抗に電流が流れないようにしてください。

18.3.7 イベント出力先選択レジスタ n (ELSELRn), n = 00 ~ 25

D/Aコンバータのリアルタイム出力モードを使用する場合、イベント・リンク・コントローラからのイベント信号を起動トリガとして、D/A変換を行います。詳細は、25.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 25) を参照してください。

18.4 D/Aコンバータの動作

18.4.1 通常モード時の動作

DACiDRレジスタへのライト動作を起動トリガとして、D/A変換を行います。

以下にその設定動作を示します。

- ①AFE基準電源回路(ABGR)およびセンサ用基準電圧源(SBIAS)^注の起動設定を行います。
- ②PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ③DACM0レジスタ(D/Aコンバータ・モード・レジスタ0)のDAMD_iビットを0(通常モード)に設定します。
- ④DACiDRレジスタ(D/A変換値設定レジスタ_i)に、出力するアナログ電圧値を設定します。

以上①~④を初期設定として行います。

- ⑤AFEPWSレジスタのDACiPONビットを1(パワーオン)に設定します。
これによりD/A変換を開始し、セトリング・タイム経過後、④にて設定したアナログ電圧を出力します。
- ⑥以降、D/A変換を行う場合は、DACiDRレジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

また、AFEPWSレジスタのDACiPONビット=0(パワーオフ)に設定すると、D/A変換を停止します。

注 DAC1をAV_{DD}基準で使用する場合はセンサ用基準電圧源(SBIAS)の起動は不要です。

注意1. DACiPONビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、DACiDRレジスタにて設定したアナログ電圧を出力します。

注意2. セトリング・タイム中にDACiDRレジスタを書き換えた場合、変換を中断し、書き換えた値で変換を再開します。

備考. $i = 0, 1$

18.4.2 リアルタイム出力モード時の動作

D/Aコンバータの各チャンネルはELCからのイベント信号を起動トリガとして、D/A変換を行います。以下に、その設定方法を示します。

- ① AFE基準電源回路(ABGR)およびセンサ用基準電圧源(SBIAS)^注の起動設定を行います。
- ② PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ③ DACM0レジスタ(D/Aコンバータ・モード・レジスタ0)のDAMD_iビットを0(通常モード)に設定します。
- ④ DAC_iDRレジスタ(D/A変換値設定レジスタ_i)に、出力するアナログ電圧値を設定します。
- ⑤ AFEPWSレジスタのDAC_iPONビットを1(パワーオン)に設定します。
これによりD/A変換を開始し、セトリング・タイム経過後、④にて設定したアナログ電圧を出力します。
- ⑥ イベント出力先選択レジスタ_n(ELSELR_n, n = 00~25)で、リアルタイム出力モードに使用するトリガ信号を設定します。
- ⑦ DACM0レジスタのDAMD_iビットを1(リアルタイム出力モード)に設定します。
- ⑧ イベント発生元の動作を開始します。

以上①~⑧を初期設定として行います。

- ⑨以降、リアルタイム出力モードに使用するトリガ信号の発生により、D/A変換を開始し、セトリング・タイム経過後、④にて設定したアナログ電圧を出力します。

なお、次のD/A変換を行う(リアルタイム出力モードに使用するトリガ信号の発生)前までに、DAC_iDRレジスタに、出力するアナログ電圧値を設定してください。

また、AFEPWSレジスタのDAC_iPONビット=0(パワーオフ)に設定すると、D/A変換を停止します。

注 DAC1をAV_{DD}基準で使用する場合はセンサ用基準電圧源(SBIAS)の起動は不要です。

注意1. DAC_iPONビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、DAC_iDRレジスタにて設定したアナログ電圧を出力します。

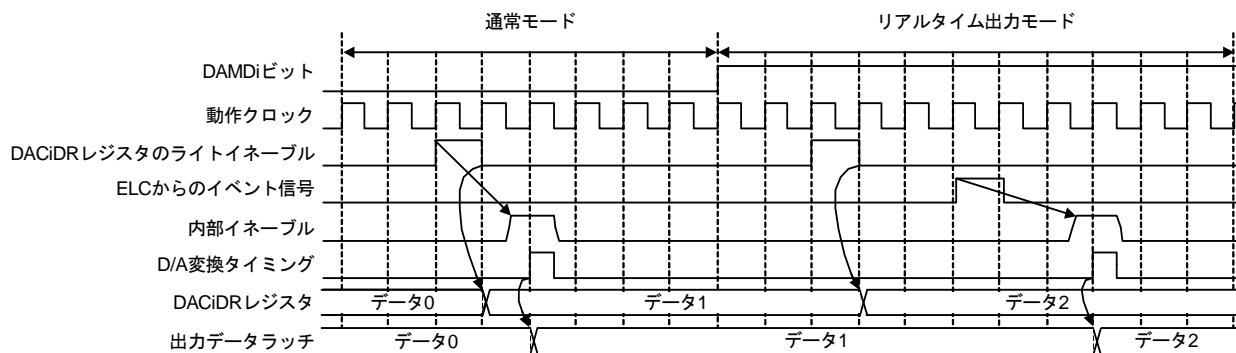
注意2. 同一チャンネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、セトリング・タイムよりも長くしてください。セトリング・タイム中にリアルタイム出力モードに使用するトリガ信号が発生した場合、D/A変換を中断し、再変換を開始します。

注意3. 同一チャンネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、fCLKの3クロックより長くしてください。fCLKの3クロック以下の間隔で連続して起動トリガを発生させると、最初のトリガでのみD/A変換をします。

18.4.3 D/A変換値の出力タイミング

図18-8にD/A変換値の出力タイミングを示します。

図18-8 D/A変換値の出力タイミング



備考 $i = 0, 1$

- 通常モード

DACiDRレジスタへのライトの1周期後(動作クロック)にデータラッチへライト(アンプ・ユニットへ出力)

- リアルタイム出力モード(変換動作許可時)

ELCからのイベント信号の受け付けから2~3周期後(動作クロック)にデータラッチへライト(アンプ・ユニットへ出力)

18.5 D/Aコンバータ使用上の注意事項

D/Aコンバータを使用する際の注意事項を以下に示します。

- (1) HALTモード時とSTOPモード時に、D/Aコンバータの動作は継続します。消費電力を低減させるためには、DACiPONビットを0にクリアし、D/A変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

備考 $i = 0, 1$

- (2) リアルタイム出力モードを停止する場合 (通常モードへ変更する場合を含む) には以下のいずれかの手順で行う必要があります。
 - トリガ出力元を停止させてから3クロック以上待ってからDACiPONビットおよびDAMDiビットを0にする。
 - DACiPONビットおよびDAMDiビットを0にした後、PER1レジスタのDACENビットを0にする(DAC停止)。なお、DACENビットを0にした場合、DAC内部の全レジスタがクリアされるため再度動作させる場合は各SFRの設定が必要となります。
- (3) リアルタイム出力モード時は、リアルタイム出力モードに使用するトリガ信号が発生する前までにDACiDRレジスタ値を設定するようにしてください。またトリガ信号が出ている間にDACiDRレジスタの設定値を変更しないでください。
- (4) リアルタイム出力モード有効時にSTOPモードに入る場合は、STOPモードに入る前にELCのイベントリンクを禁止にしてください。

第19章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
アナログ入力チャンネル	3 ch (ANI12-ANI14)	3 ch (ANI8, ANI10, ANI11)	3 ch (ANI8-ANI10)	3 ch (ANI8-ANI10)

19.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大7チャンネルのA/Dコンバータ・アナログ入力(ANI8-ANI14)を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2 (ADM2)のADTYPビットにより、10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

- 10ビット/8ビット分解能A/D変換

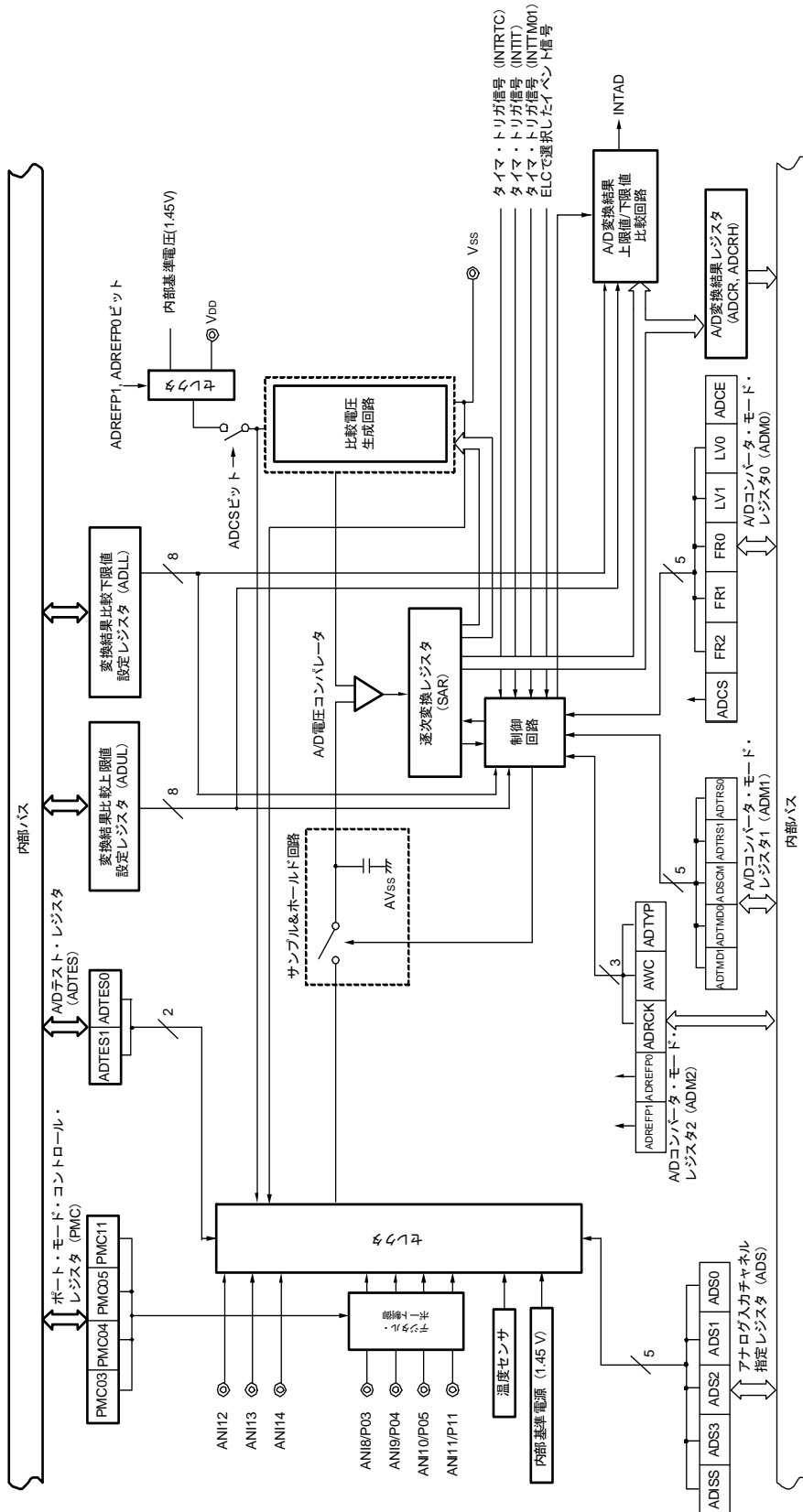
ANI8-ANI14からアナログ入力を1チャンネル選択し、10ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求(INTAD)が発生します。

下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ ノーウエイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ ウエイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は、ハードウェア・トリガ・ウエイト・モードを選択してください。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。
動作電圧モード	標準1／標準2モード	2.7 V \leq V _{DD} \leq 5.5 Vの動作電圧範囲で変換動作する時に選択します。
	低電圧1／低電圧2モード	1.8 V ^注 \leq V _{DD} \leq 5.5 Vの動作電圧範囲で変換動作が可能です。低電圧時に変換動作する時に選択します。低電圧動作のため、変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数： 7 f _{AD}	標準1モード／低電圧1モードのサンプリング時間は、変換クロック (f _{AD})の7クロックです。アナログ入力源の出カインピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数： 5 f _{AD}	標準2モード／低電圧2モードのサンプリング時間は、変換クロック (f _{AD})の5クロックです。アナログ入力源の出カインピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

注 R5F11Rの場合。R5F11N, R5F11Pは2.4 V。

図19-1 A/Dコンバータのブロック図



備考 この図は、RL78/H1Dの全ての製品に搭載されるアナログ入力端子を包括して示したものです。各製品で対応するアナログ入力端子およびポート機能以外の兼用端子については、第2章 端子機能を参照してください。

19.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI8-ANI14

A/Dコンバータの7チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ANI8-ANI11は、アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧(1/2 AVREF)より大きい場合には、逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットします。アナログ入力電圧がリファレンス電圧(1/2 AVREF)より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます

ビット9 = 0 : (1/4 AVREF)

ビット9 = 1 : (3/4 AVREF)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット8 = 1

アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

備考 AVREF : A/Dコンバータの+側基準電圧。内部基準電圧(1.45 V)、VDDから選択可能です。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット(MSB)から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット(LSB)まで設定すると(A/D変換終了)、そのSARレジスタの内容(変換結果)は、A/D変換結果レジスタ(ADCR)に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号(INTAD)が発生します。

(6) 10ビットA/D変換結果レジスタ(ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します(下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ(ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADが発生します。

19.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 10ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャンネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)
- ポート・モード・レジスタ0, 1 (PM0, PM1)

19.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
ADCEN	A/Dコンバータの入カクロックの制御							
0	入力クロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態							
1	入力クロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可							

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態で行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます(ただし、ポート・モード・レジスタ0, 1 (PM0, PM1)、ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

注意2. ビット1, 6には必ず0を設定してください。

19.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-3 A/Dコンバータ・モード・レジスタ0 (ADM0)のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	0	FR2注1	FR1注1	FR0注1	LV1注1	LV0注1	ADCE
ADCS	A/D変換動作の制御							
0	変換動作停止 [リード時] 変換動作停止/待機状態							
1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時：変換動作状態 ハードウェア・トリガ・ウェイト・モード時：A/D電源安定待ち状態 + 変換動作状態							
ADCE	A/D電圧コンパレータの動作制御注2							
0	A/D電圧コンパレータの動作停止							
1	A/D電圧コンパレータの動作許可							

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は表19-3 A/D変換時間の選択を参照してください。

注2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1μsかかります。このため、ADCEビットに1を設定してから1μs以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。1μs以上ウェイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. FR2-FR0, LV1, LV0ビットの変更は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意2. ADCS = 1, ADCE = 0の設定は禁止です。

注意3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず19.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

注意4. ビット6には必ず0を設定してください。

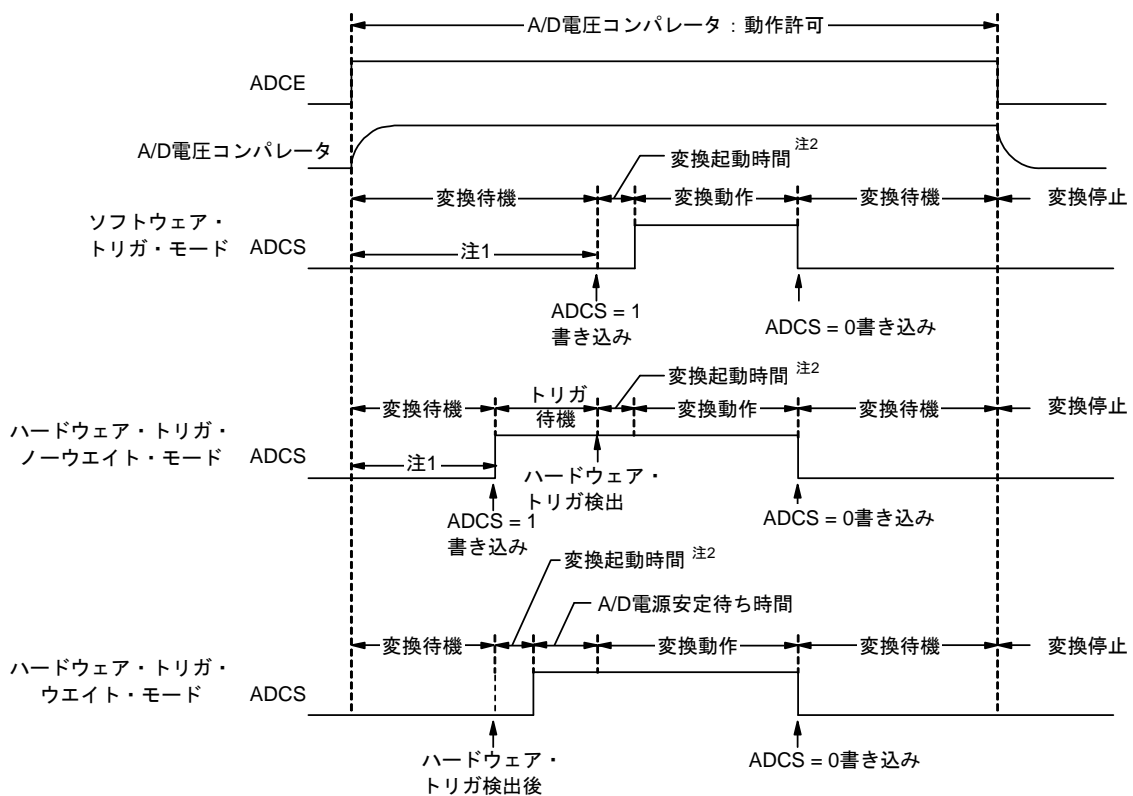
表19-1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表19-2 ADCSビットのセット/クリア条件

A/D変換モード		セット条件	クリア条件
ソフトウェア・トリガ	連続変換モード	ADCS = 1 ライトした場合	ADCS = 0 ライトした場合
	ワンショット変換モード		ADCS = 0 ライトした場合 A/D変換終了時に自動的に0にクリア
ハードウェア・トリガ・ ノーウェイト・モード	連続変換モード	ハードウェア・ トリガが入力された場合	ADCS = 0 ライトした場合
	ワンショット変換モード		ADCS = 0 ライトした場合 A/D変換終了時に自動的に0にクリア

図19-4 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、1 μs以上必要です。

注2. 変換起動には、最大で次の時間がかかります。

ADM0			変換クロック (fAD)	変換起動時間 (fCLKクロック数)	
FR2	FR1	FR0		ソフトウェア・トリガ・モード/ ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガ・ウエイト・モード
0	0	0	fCLK/64	63	1
0	0	1	fCLK/32	31	
0	1	0	fCLK/16	15	
0	1	1	fCLK/8	7	
1	0	0	fCLK/6	5	
1	0	1	fCLK/5	4	
1	1	0	fCLK/4	3	
1	1	1	fCLK/2	1	

ただし、連続変換モードの2回目以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です(ハードウェア・トリガ信号検出時に、自動的に1に切り替わります)。ただし、AD変換待機状態にするために、ADCSビットに0を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、AD変換終了時にADCSフラグは、自動的に0にクリアされません。1のまま保持されます。

注意3. ADCEビットの書き換えは、ADCS = 0 (変換停止/変換待機状態)のときに行ってください。

注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 19 - 3 A/D変換時間の選択(1/4)

(1) A/D電源安定待ち時間なし 標準モード1, 2
(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数注	変換時間	10ビット分解能時の変換時間					
FR2	FR1	FR0	LV1	LV0					2.7 V ≤ VDD ≤ 5.5 V					
									fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz	
0	0	0	0	0	標準1	fCLK/64	19 fAD (サンプリング・クロック数 : 7 fAD)	1216/fCLK	設定禁止	設定禁止	76 μs	50.667 μs		
0	0	1				608/fCLK		76 μs			38 μs	25.333 μs		
0	1	0				fCLK/16		304/fCLK		76 μs	38 μs	19 μs	12.667 μs	
0	1	1				fCLK/8		152/fCLK		38 μs	19 μs	9.5 μs	6.333 μs	
1	0	0				fCLK/6		114/fCLK		28.5 μs	14.25 μs	7.125 μs	4.75 μs	
1	0	1				fCLK/5		95/fCLK		95 μs	23.75 μs	11.875 μs	5.938 μs	3.958 μs
1	1	0				fCLK/4		76/fCLK		76 μs	19 μs	9.5 μs	4.75 μs	3.167 μs
1	1	1				fCLK/2		38/fCLK		38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	fCLK/64	17 fAD (サンプリング・クロック数 : 5 fAD)	1088/fCLK	設定禁止	設定禁止	68 μs	45.333 μs		
0	0	1				544/fCLK		68 μs			34 μs	22.667 μs		
0	1	0				fCLK/16		272/fCLK		68 μs	34 μs	17 μs	11.333 μs	
0	1	1				fCLK/8		136/fCLK		34 μs	17 μs	8.5 μs	5.667 μs	
1	0	0				fCLK/6		102/fCLK		25.5 μs	12.75 μs	6.375 μs	4.25 μs	
1	0	1				fCLK/5		85/fCLK		85 μs	21.25 μs	10.625 μs	5.3125 μs	3.542 μs
1	1	0				fCLK/4		68/fCLK		68 μs	17 μs	8.5 μs	4.25 μs	2.833 μs
1	1	1				fCLK/2		34/fCLK		34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(fAD)の2クロック分短くなります。

注意1. A/D変換時間は、38.6.1または39.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 19 - 3 A/D変換時間の選択(2/4)

(2) A/D電源安定待ち時間なし 低電圧モード1, 2
(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数 注4	変換時間	10ビット分解能時の変換時間						
FR2	FR1	FR0	LV1	LV0					1.8 注1 V ≤ VDD ≤ 5.5 V			注2	注3		
									fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz		
0	0	0	1	0	低電圧1	fCLK/64	19 fAD (サンプリング・クロック数 : 7 fAD)	1216/fCLK	設定禁止	設定禁止	76 μs	50.667 μs			
0	0	1				fCLK/32		608/fCLK			76 μs	38 μs	25.333 μs		
0	1	0				fCLK/16		304/fCLK			76 μs	38 μs	19 μs	12.667 μs	
0	1	1				fCLK/8		152/fCLK			38 μs	19 μs	9.5 μs	6.333 μs	
1	0	0				fCLK/6		114/fCLK			28.5 μs	14.25 μs	7.125 μs	4.75 μs	
1	0	1				fCLK/5		95/fCLK			95 μs	23.75 μs	11.875 μs	5.938 μs	3.958 μs
1	1	0				fCLK/4		76/fCLK			76 μs	19 μs	9.5 μs	4.75 μs	3.167 μs
1	1	1				fCLK/2		38/fCLK			38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	1	1	低電圧2	fCLK/64	17 fAD (サンプリング・クロック数 : 5 fAD)	1088/fCLK	設定禁止	設定禁止	68 μs	45.333 μs			
0	0	1				fCLK/32		544/fCLK			68 μs	34 μs	22.667 μs		
0	1	0				fCLK/16		272/fCLK			68 μs	34 μs	17 μs	11.333 μs	
0	1	1				fCLK/8		136/fCLK			34 μs	17 μs	8.5 μs	5.667 μs	
1	0	0				fCLK/6		102/fCLK			25.5 μs	12.75 μs	6.375 μs	4.25 μs	
1	0	1				fCLK/5		85/fCLK			85 μs	21.25 μs	10.625 μs	5.3125 μs	3.542 μs
1	1	0				fCLK/4		68/fCLK			68 μs	17 μs	8.5 μs	4.25 μs	2.833 μs
1	1	1				fCLK/2		34/fCLK			34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注1. R5F11Rの場合。R5F11N, R5F11Pは2.4 V。

注2. 2.4 V ≤ VDD ≤ 5.5 V

注3. 2.7 V ≤ VDD ≤ 5.5 V

注4. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (fAD)の2クロック分短くなります。

注意1. A/D変換時間は、38.6.1または39.6.1 A/Dコンバータ特性に示す変換時間 (tCONV)の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 19 - 3 A/D変換時間の選択(3/4)

(3) A/D 電源安定待ち時間あり 標準モード1, 2
(ハードウェア・トリガ・ウェイト・モード注¹)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数注 ²	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 10ビット分解能時の変換時間						
FR2	FR1	FR0	LV1	LV0						2.7 V ≤ VDD ≤ 5.5 V						
										fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz		
0	0	0	0	0	標準1	fCLK/64	8 fAD	19 fAD (サンプリング・クロック数 : 7 fAD)	1728/fCLK	設定禁止	設定禁止	108 μs	72 μs			
0	0	1				fCLK/32			864/fCLK			108 μs	54 μs	36 μs		
0	1	0				fCLK/16			432/fCLK			108 μs	54 μs	27 μs	18 μs	
0	1	1				fCLK/8			216/fCLK			54 μs	27 μs	13.5 μs	9 μs	
1	0	0				fCLK/6			162/fCLK			40.5 μs	20.25 μs	10.125 μs	6.75 μs	
1	0	1				fCLK/5			135/fCLK			135 μs	33.75 μs	16.875 μs	8.4375 μs	5.625 μs
1	1	0				fCLK/4			108/fCLK			108 μs	27 μs	13.5 μs	6.75 μs	4.5 μs
1	1	1				fCLK/2			54/fCLK			54 μs	13.5 μs	6.75 μs	3.375 μs	2.25 μs
0	0	0	0	1	標準2	fCLK/64	8 fAD	17 fAD (サンプリング・クロック数 : 5 fAD)	1600/fCLK	設定禁止	設定禁止	100 μs	66.667 μs			
0	0	1				fCLK/32			800/fCLK			100 μs	50 μs	33.333 μs		
0	1	0				fCLK/16			400/fCLK			100 μs	50 μs	25 μs	16.667 μs	
0	1	1				fCLK/8			200/fCLK			50 μs	25 μs	12.5 μs	8.333 μs	
1	0	0				fCLK/6			150/fCLK			37.5 μs	18.75 μs	9.375 μs	6.25 μs	
1	0	1				fCLK/5			125/fCLK			125 μs	31.25 μs	15.625 μs	7.8125 μs	5.208 μs
1	1	0				fCLK/4			100/fCLK			100 μs	25 μs	12.5 μs	6.25 μs	4.167 μs
1	1	1				fCLK/2			50/fCLK			50 μs	12.5 μs	6.25 μs	3.125 μs	2.083 μs

注1. 連続変換モードの2回目以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表19-3参照)。

注2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(fAD)の2クロック分短くなります。

注意1. A/D変換時間は、38.6.1または39.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 19 - 3 A/D変換時間の選択(4/4)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2
(ハードウェア・トリガ・ウエイト・モード^{注1})

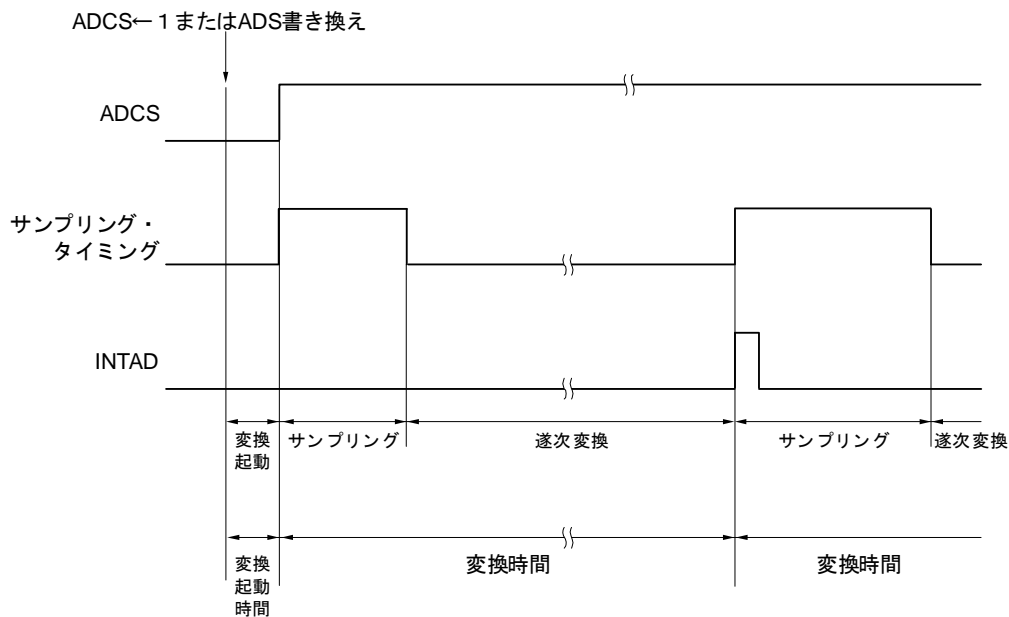
A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数 ^{注5}	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 10ビット分解能時の変換時間								
FR2	FR1	FR0	LV1	LV0						1.8 V ^{注2} ≤ VDD ≤ 5.5 V								
										fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz				
0	0	0	1	0	低電圧1	fCLK/64	8 fAD	19 fAD (サンプリング・クロック数 : 7 fAD)	1344/fCLK	設定禁止	設定禁止	84 μs	56 μs					
0	0	1				fCLK/32			672/fCLK					設定禁止	84 μs	42 μs	28 μs	
0	1	0				fCLK/16			336/fCLK					84 μs	42 μs	21 μs	14 μs	
0	1	1				fCLK/8			168/fCLK					42 μs	21 μs	10.5 μs	7 μs	
1	0	0				fCLK/6			126/fCLK					31.25 μs	15.75 μs	7.875 μs	5.25 μs	
1	0	1				fCLK/5			105/fCLK					105 μs	26.25 μs	13.125 μs	6.5625 μs	4.375 μs
1	1	0				fCLK/4			84/fCLK					84 μs	21 μs	10.5 μs	5.25 μs	3.5 μs
1	1	1				fCLK/2			42/fCLK					42 μs	10.5 μs	5.25 μs	2.625 μs	1.75 μs
0	0	0	1	1	低電圧2	fCLK/64	8 fAD	17 fAD (サンプリング・クロック数 : 5 fAD)	1216/fCLK	設定禁止	設定禁止	76 μs	50.667 μs					
0	0	1				fCLK/32			608/fCLK					76 μs	38 μs	25.333 μs		
0	1	0				fCLK/16			304/fCLK					76 μs	38 μs	19 μs	12.667 μs	
0	1	1				fCLK/8			152/fCLK					38 μs	19 μs	9.5 μs	6.333 μs	
1	0	0				fCLK/6			114/fCLK					28.5 μs	14.25 μs	7.125 μs	4.75 μs	
1	0	1				fCLK/5			95/fCLK					96 μs	23.75 μs	11.875 μs	5.938 μs	3.958 μs
1	1	0				fCLK/4			76/fCLK					76 μs	19 μs	9.5 μs	4.75 μs	3.167 μs
1	1	1				fCLK/2			38/fCLK					38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止

- 注1. 連続変換モードの2回目以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表19-3参照)。
- 注2. R5F11Rの場合。R5F11N, R5F11Pは2.4 V。
- 注3. 2.4 V ≤ VDD ≤ 5.5 V
- 注4. 2.7 V ≤ VDD ≤ 5.5 V
- 注5. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(fAD)の2クロック分短くなります。

- 注意1. A/D変換時間は、38.6.1または39.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。
なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。
- 注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

図19-5 A/DコンバータのサンプリングとA/D変換のタイミング(例 ソフトウェア・トリガ・モードの場合)



19.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-6 A/Dコンバータ・モード・レジスタ1 (ADM1)のフォーマット

アドレス：FFF32H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0						
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0						
	ADTMD1	ADTMD0	A/D変換トリガ・モードの選択											
	0	0	ソフトウェア・トリガ・モード											
	0	1												
	1	0							ハードウェア・トリガ・ノーウエイト・モード					
	1	1							ハードウェア・トリガ・ウエイト・モード					
	ADSCM	A/D変換動作モードの設定												
	0	連続変換モード												
	1	ワンショット変換モード												
	ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択											
	0	0	タイマ・チャンネル1のカウンタ完了またはキャプチャ完了割り込み信号 (INTTM01)											
	0	1	ELCで選択されたイベント信号											
	1	0	リアルタイム・クロック2割り込み信号 (INTRTC)											
	1	1	12ビット・インターバル・タイマ割り込み信号 (INTIT)											

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZE機能以外のモードにおいて、INTRTC, INTIT入力後最大fCLKの4クロック間は、次のINTRTC, INTIT入力がトリガとして有効になりません。

備考 fCLK：CPU/周辺ハードウェア・クロック周波数

19.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧の選択, A/D変換結果の上限値/下限値のチェック, 分解能の選択, および SNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により, 00Hになります。

図19-7 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(1/2)

アドレス: F0010H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	0	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	VDDから供給
0	1	設定禁止
1	0	内部基準電圧(1.45 V)から供給 注
1	1	設定禁止

• ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 基準電圧安定待ち時間ウエイト(A)
- ④ ADCE = 1に設定
- ⑤ 基準電圧安定待ち時間ウエイト(B)

ADREFP1, ADREFP0 = 1, 0に変更する場合: A = 5 μs, B = 1 μs

ADREFP1, ADREFP0 = 0, 0に変更する場合: Aはウエイト不要, B = 1 μs

⑤のウエイトのあとに, A/D変換開始してください。

• ADREFP1, ADREFP0 = 1, 0に設定した場合, 温度センサ出力電圧と内部基準電圧をA/D変換することはできません。必ずADISS = 0としてA/D変換を行なってください。

注 HS (高速メイン)モードでのみ動作可能です。

注意1. ADM2レジスタを書き換える場合は, 必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は, ADREFP1 = 1に設定しないでください。内部基準電圧(ADREFP1, ADREFP0 = 1, 0)選択時は, 38.3.2または39.3.2 電源電流特性に示すA/Dコンバータ内部基準電圧電流(IADREF)の電流値が加算されます。

注意3. ビット5には必ず0を設定してください。

備考 A/Dコンバータの-側の基準電圧は, VSSから供給します。

図19-7 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(2/2)

アドレス : F0010H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

ADM2	ADREFP1	ADREFP0	0	0	ADRCK	AWC	0	ADTYP
------	---------	---------	---	---	-------	-----	---	-------

ADRCK	変換結果上限/下限値チェック
0	ADLLレジスタ ≤ ADCRレジスタ ≤ ADULレジスタ (AREA1)のとき割り込み信号 (INTAD)が発生。
1	ADCRレジスタ < ADLLレジスタ (AREA2), ADULレジスタ < ADCRレジスタ (AREA3)のとき割り込み信号 (INTAD)が発生。
AREA1 ~ AREA3の割り込み信号 (INTAD)発生範囲を図19-8に示します。	

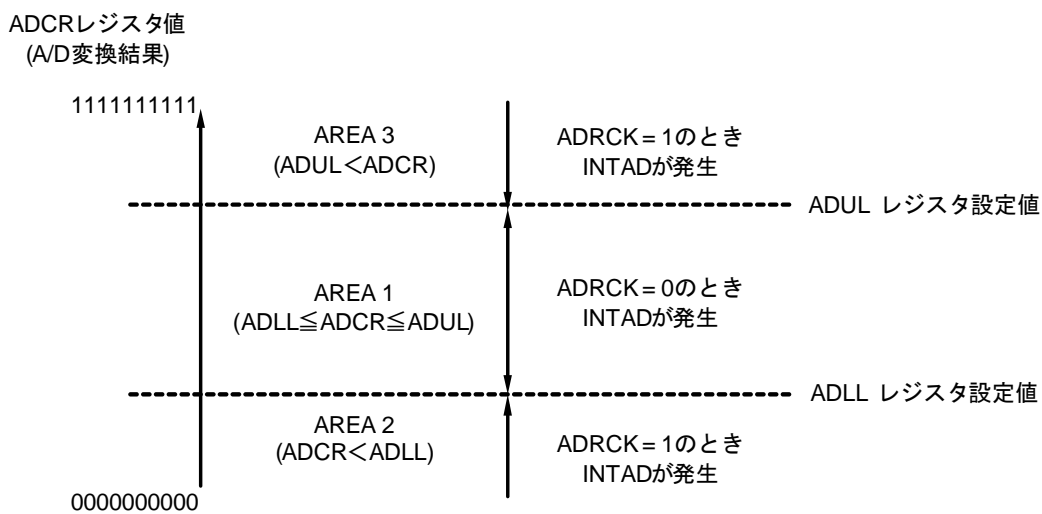
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
<p>STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います (SNOOZEモード)。</p> <ul style="list-style-type: none"> • SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウェイト・モードでのSNOOZEモード機能は使用禁止です。 • 連続変換モードでのSNOOZEモード機能は使用禁止です。 • SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間注 + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + fCLKの2クロック」以上の間隔を空けて設定してください。 • SNOOZE機能を使用する場合でも、通常動作時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。 <p>またSTOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。</p> <p>AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。</p>	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注 27.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0)のときに行ってください。

図19-8 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR、ADCRHレジスタに格納されません。

19.3.5 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは0固定です。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます注。

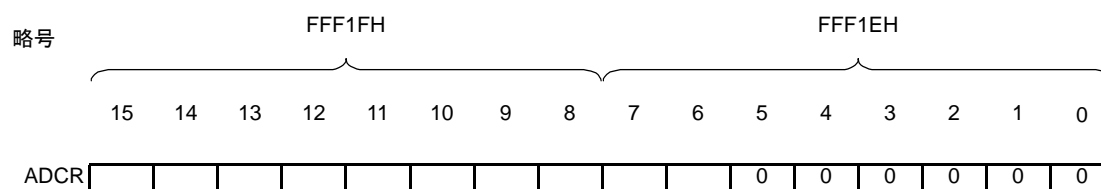
ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定(図19-8参照))で設定した値の範囲外の場合は格納されません。

図19-9 10ビットA/D変換結果レジスタ(ADCR)のフォーマット

アドレス : FFF1FH, FFF1EH リセット時 : 0000H R



注意1. 8ビット分解能A/D変換を選択時(A/Dコンバータ・モード・レジスタ2(ADM2)のADTYP = 1)にADCRレジスタをリードした場合、下位2ビット(ADCRレジスタのビット7, ビット6)は、0が読み出されます。

注意2. ADCRレジスタへ16ビット・アクセスした場合、変換結果10ビットがビット15から順に読み出せます。

19.3.6 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

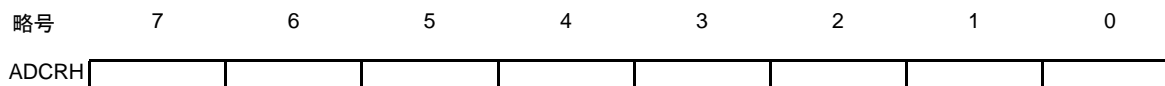
ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます注。

リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタ(図19-8参照))で設定した値の範囲外の場合は格納されません。

図19-10 8ビットA/D変換結果レジスタ(ADCRH)のフォーマット

アドレス : FFF1FH リセット時 : 00H R



注意 A/Dコンバータ・モード・レジスタ0(ADM0), アナログ入力チャネル指定レジスタ(ADS)に対して書き込み動作を行ったとき、ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

19.3.7 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-11 アナログ入力チャネル指定レジスタ (ADS)のフォーマット

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0	
ADS	ADISS	0	0	0	ADS3	ADS2	ADS1	ADS0	
	ADISS	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース		
	0	1	0	0	0	ANI8	P03/ANI8 端子注1		
	0	1	0	0	1	ANI9	P04/ANI9 端子注2		
	0	1	0	1	0	ANI10	P05/ANI10 端子注1		
	0	1	0	1	1	ANI11	P11/ANI11 端子注3		
	0	1	1	0	0	ANI12	ANI12 端子注4		
	0	1	1	0	1	ANI13	ANI13 端子注4		
	0	1	1	1	0	ANI14	ANI14 端子注4		
	1	0	0	0	0	—	温度センサ出力電圧注5		
	1	0	0	0	1	—	内部基準電圧(1.45 V)注5		
	上記以外					設定禁止			

注1. R5F11NL, R5F11PL, R5F11NG, R5F11RMの場合です。

注2. R5F11PL, R5F11NG, R5F11RMの場合です。

注3. R5F11NLの場合です。

注4. R5F11NMの場合です。

注5. HS (高速メイン)モードでのみ動作可能です。

注意1. ビット4-6には必ず0を設定してください。

注意2. ポート・モード・コントロール・レジスタ0, 1(PMC0, PMC1)でアナログ入力に設定したポートは、ポート・モード・レジスタ0, 1(PM0, PM1)で入力モードを選択してください。

注意3. PMC0, PMC1レジスタでデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意5. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧(1.45 V)は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、19.7.4 温度センサ出力電圧/内部基準電圧(1.45V)を選択時の設定を参照してください。

注意6. STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、38.3.2または39.3.2 電源電流特性に示すA/Dコンバータ内部基準電圧電流(IADREF)の電流値が加算されます。

19.3.8 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果対し、上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図19-8参照)で割り込み信号(INTAD)の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

図19-12 変換結果比較上限値設定レジスタ (ADUL)のフォーマット

アドレス : F0011H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

19.3.9 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図19-8参照)で割り込み信号(INTAD)の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-13 変換結果比較下限値設定レジスタ (ADLL)のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

19.3.10 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル (ANlxx)、温度センサ出力電圧、A/Dコンバータ用内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択
- フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19 - 14 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx/温度センサ出力電圧注/内部基準電圧(1.45 V)注 アナログ入力チャネル指定レジスタ (ADS) で設定
1	0	-側基準電圧 (Vss)
1	1	+側基準電圧 (A/Dコンバータ・モード・レジスタ2 (ADM2)のADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 温度センサ出力電圧、内部基準電圧(1.45 V)は、HS (高速メイン)モードでのみ選択可能です。

注意 ビット2-7には、必ず0を設定してください。

19.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・モード・コントロール・レジスタ (PMCxx)) を設定してください。詳細は、4.4.1 ポート・モード・レジスタ (PMxx) , 4.4.6 ポート・モード・コントロール・レジスタ (PMCxx) (R5F11NL, R5F11NG, R5F11PL,R5F11RMのみ) を参照してください。

ANI8-ANI11 端子をA/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロール・レジスタ (PMCxx) のビットに1を設定してください。

19.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット 9 をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2)AV_{REF}$ にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし、アナログ入力電圧が $(1/2)AV_{REF}$ よりも大きければ、SAR レジスタのMSBビットをセットしたままです。また、 $(1/2)AV_{REF}$ よりも小さければ、MSBビットはリセットします。
- ⑤ 次に SAR レジスタのビット 8 が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
 - ビット9 = 1 : $(3/4) AV_{REF}$
 - ビット9 = 0 : $(1/4) AV_{REF}$この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。
 - サンプリングされた電圧 \geq 電圧タップ : ビット8 = 1
 - サンプリングされた電圧 $<$ 電圧タップ : ビット8 = 0
- ⑥ このような比較を SAR レジスタのビット0まで続けます。
- ⑦ 10ビットの比較が終了したとき、SAR レジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします注1。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。
- ⑧ 以降①から⑦までの動作を $ADCS = 0$ になるまで繰り返します注2。

A/Dコンバータを停止する場合は、 $ADCS = 0$ にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図19-8参照)) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD) は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。

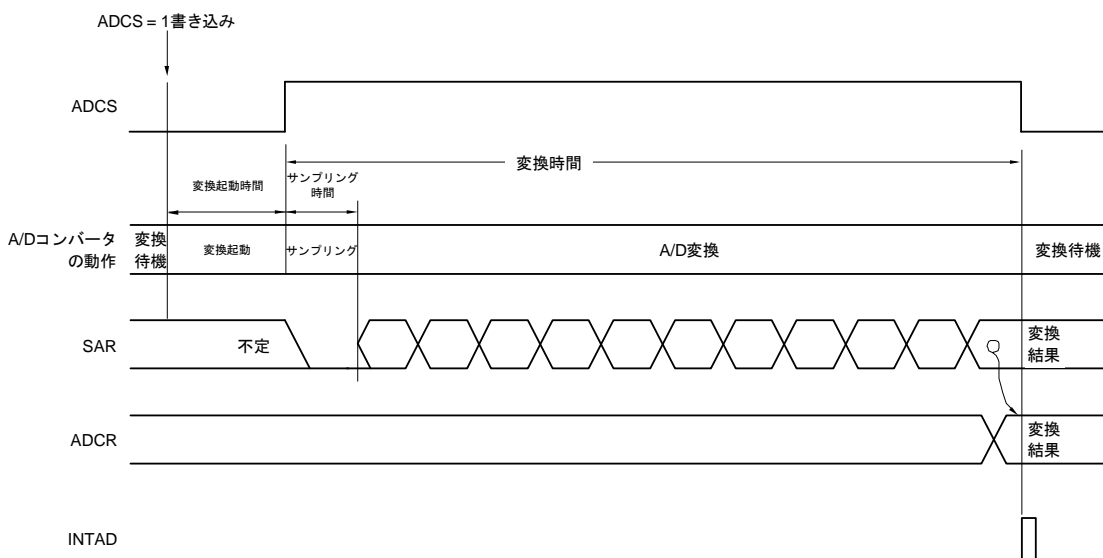
注2. 連続変換モード時は、ADCSフラグは自動的に0にクリアされません。また、ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に0にクリアされません。1のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ADCRレジスタ (16ビット): 10ビットのA/D変換値を格納します。
- ADCRHレジスタ (8ビット): 8ビットのA/D変換値を格納します。

備考2. AV_{REF} : A/Dコンバータの+側基準電圧。内部基準電圧 (1.45 V), V_{DD} から選択可能です。

図19-15 A/Dコンバータの変換動作(ソフトウェア・トリガ・モードの場合)



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア(0)されます。

連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)をクリア(0)するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ(ADS)に対して書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ(ADCR, ADCRH)は、リセット信号の発生により0000Hまた00Hとなります。

19.5 入力電圧と変換結果

アナログ入力端子 (ANI8-ANI14) に入力されたアナログ入力電圧と理論上の A/D 変換結果 (10 ビット A/D 変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または,

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} \leq V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

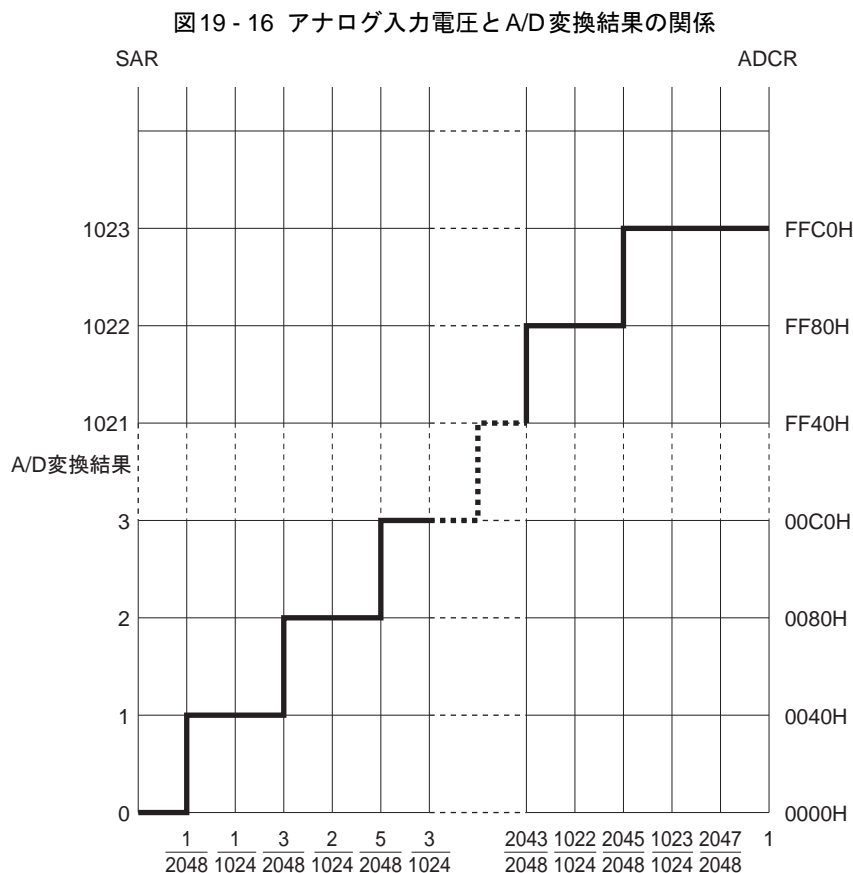
V_AIN : アナログ入力電圧

V_{REF} : AV_{REF} 端子電圧

ADCR : A/D 変換結果レジスタ (ADCR) の値

SAR : 逐次変換レジスタ

図 19 - 16 にアナログ入力電圧と A/D 変換結果の関係を示します。



備考 AV_{REF} : A/D コンバータの + 側基準電圧。内部基準電圧 (1.45 V)、V_{DD} から選択可能です。

19.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を19.7 A/Dコンバータの設定フロー・チャートに示します。

19.6.1 ソフトウェア・トリガ・モード(連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

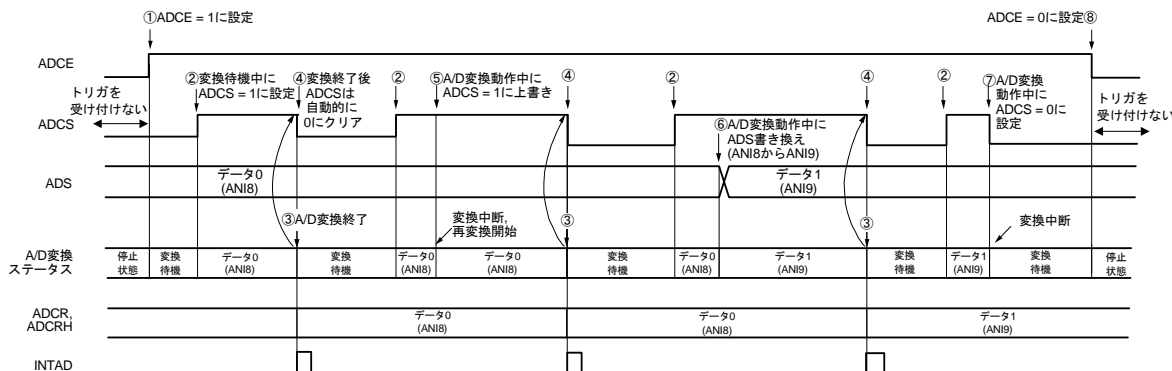
図19-17 ソフトウェア・トリガ・モード(連続変換モード)動作タイミング例



19.6.2 ソフトウェア・トリガ・モード(ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

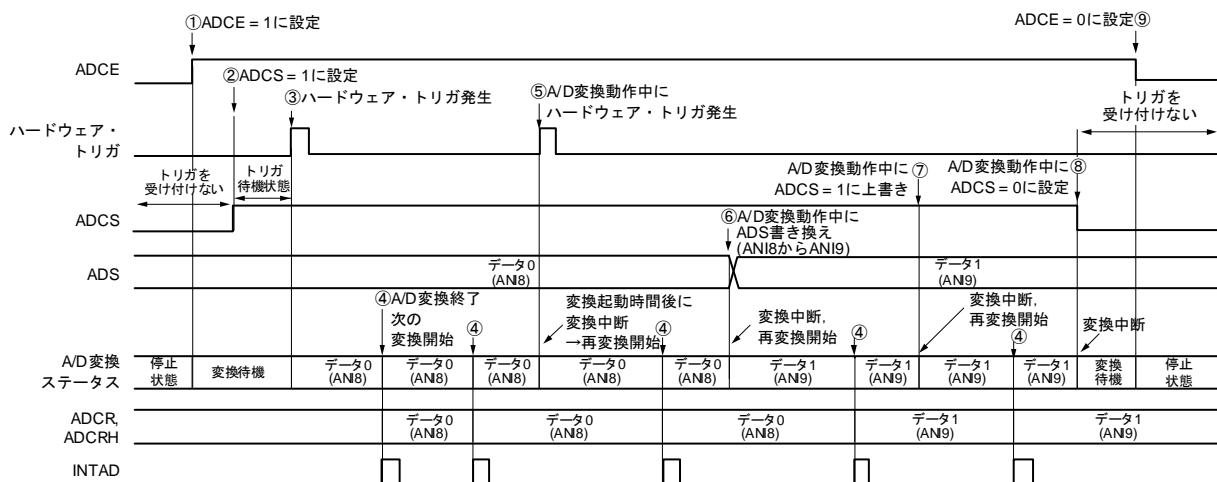
図19-18 ソフトウェア・トリガ・モード(ワンショット変換モード)動作タイミング例



19.6.3 ハードウェア・トリガ・ノーウエイト・モード(連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

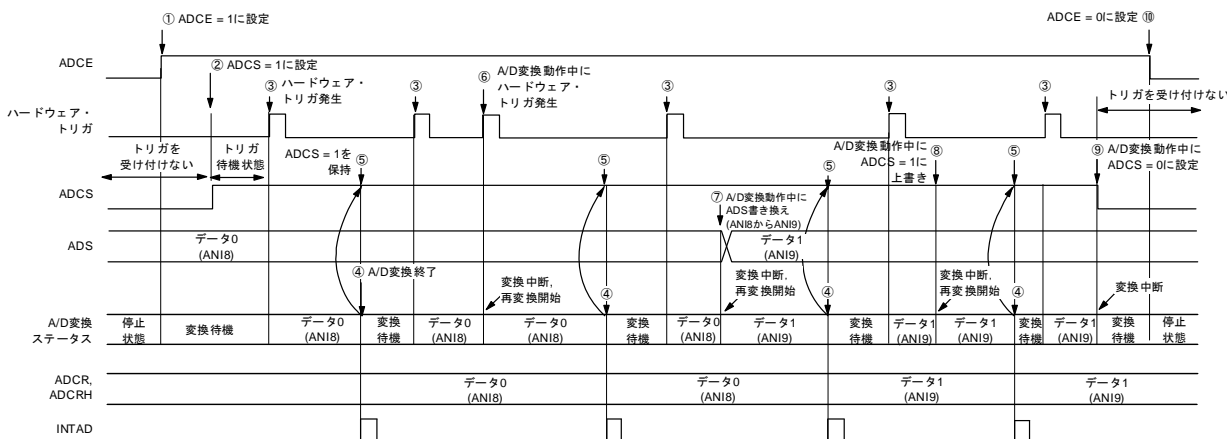
図19-19 ハードウェア・トリガ・ノーウエイト・モード(連続変換モード)動作タイミング例



19.6.4 ハードウェア・トリガ・ノーウエイト・モード(ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

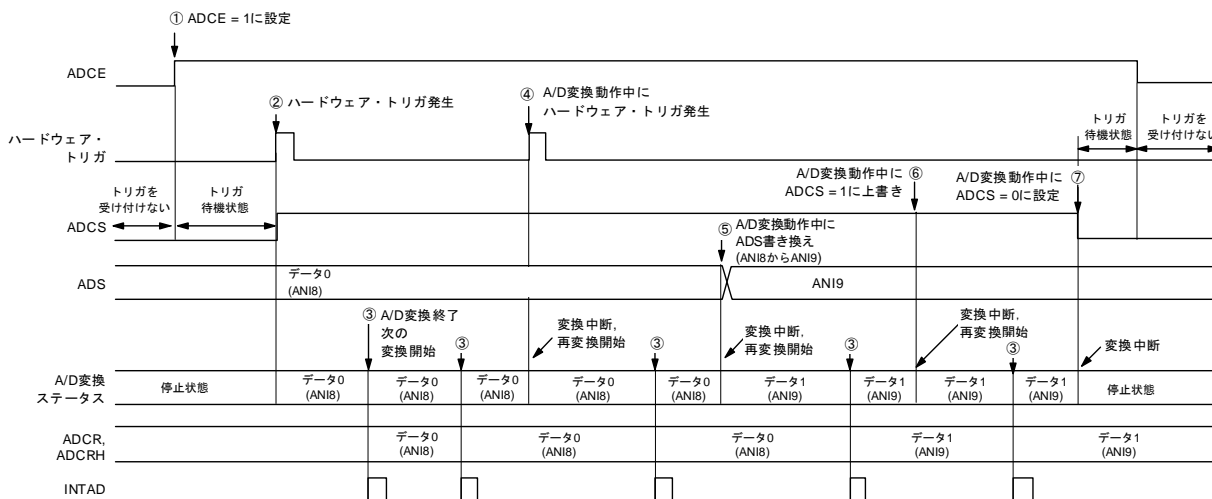
図19-20 ハードウェア・トリガ・ノーウエイト・モード(ワンショット変換モード)動作タイミング例



19.6.5 ハードウェア・トリガ・ウェイト・モード(連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します(このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

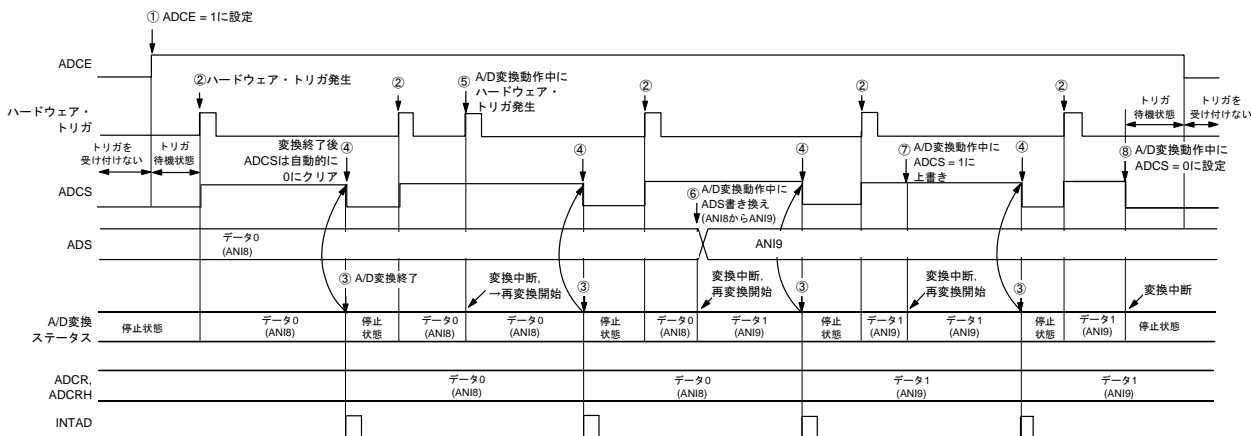
図19-21 ハードウェア・トリガ・ウェイト・モード(連続変換モード)動作タイミング例



19.6.6 ハードウェア・トリガ・ウェイト・モード(ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図19-22 ハードウェア・トリガ・ウェイト・モード(ワンショット変換モード)動作タイミング例

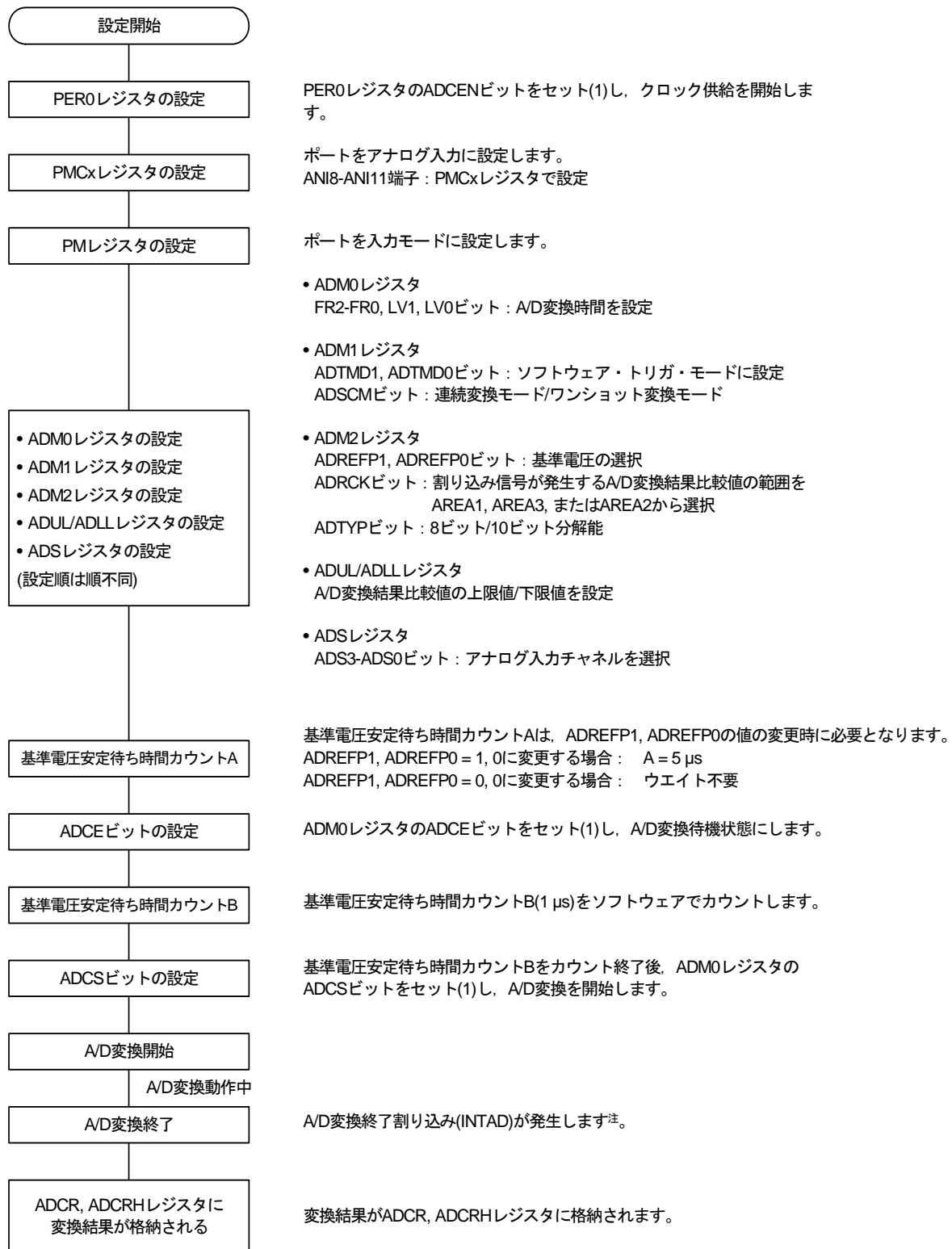


19.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

19.7.1 ソフトウェア・トリガ・モード設定

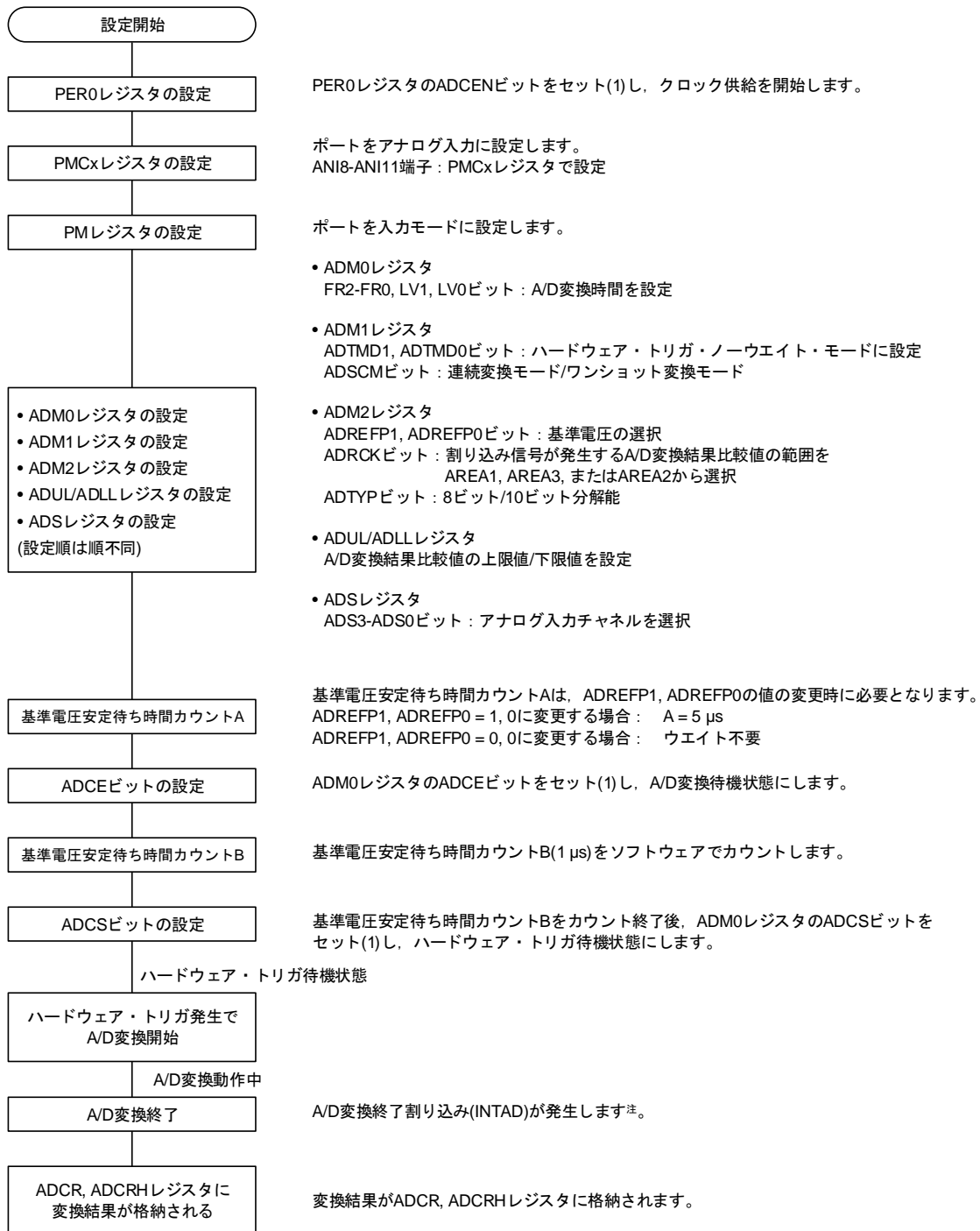
図19-23 ソフトウェア・トリガ・モード設定



注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

19.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

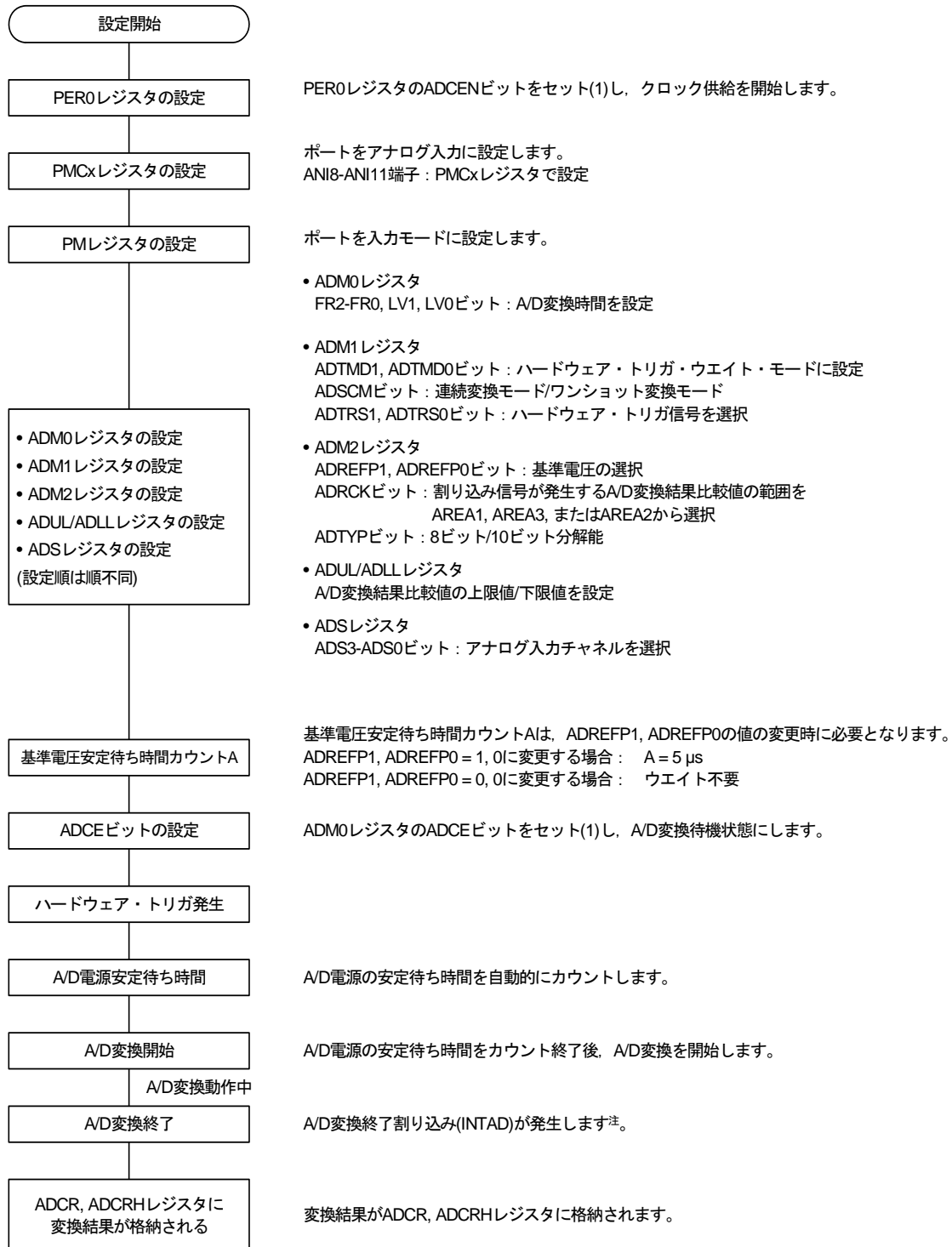
図19-24 ハードウェア・トリガ・ノーウエイト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により, 割り込み信号が発生しない場合があります。この場合, ADCR, ADCRHレジスタに結果は格納されません。

19.7.3 ハードウェア・トリガ・ウエイト・モード設定

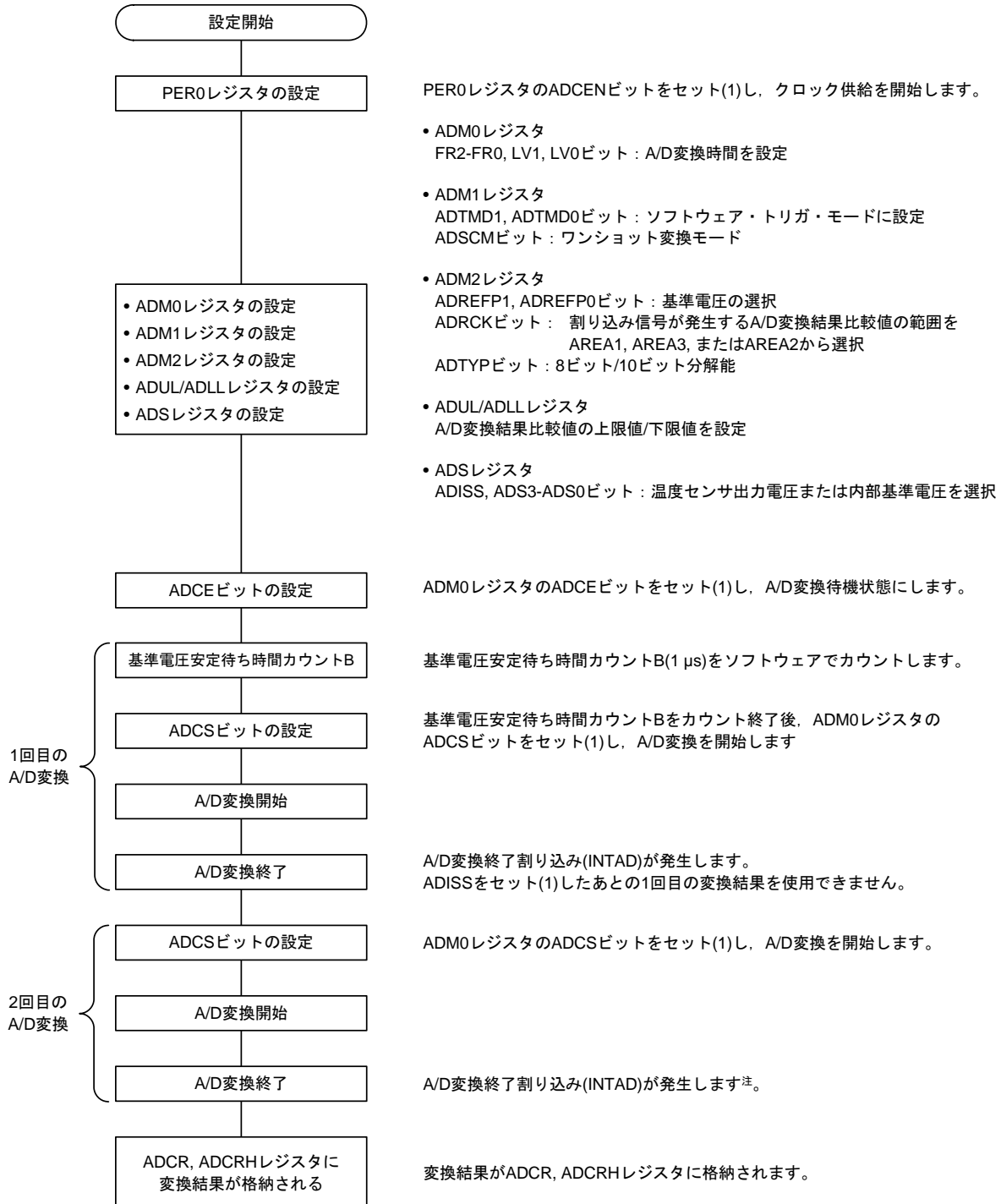
図19-25 ハードウェア・トリガ・ウエイト・モード設定



注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

19.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図 19 - 26 温度センサ出力電圧/内部基準電圧を選択時の設定

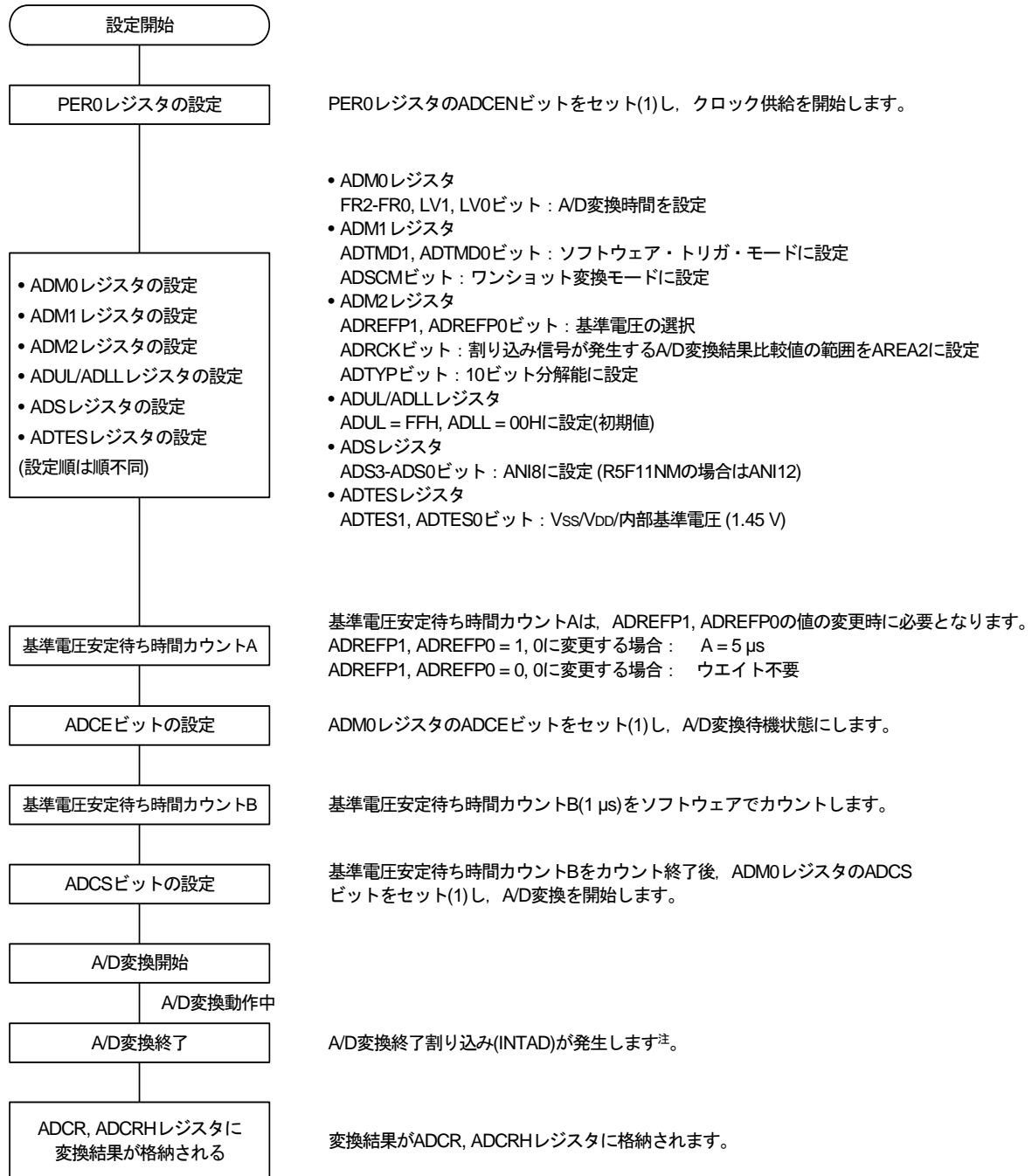


注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 HS (高速メイン)モードでのみ選択可能です。

19.7.5 テスト・モード設定

図19-27 テスト・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、31.3.8 A/Dテスト機能を参照してください。

19.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが、このモードを使うことで、ハードウェア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

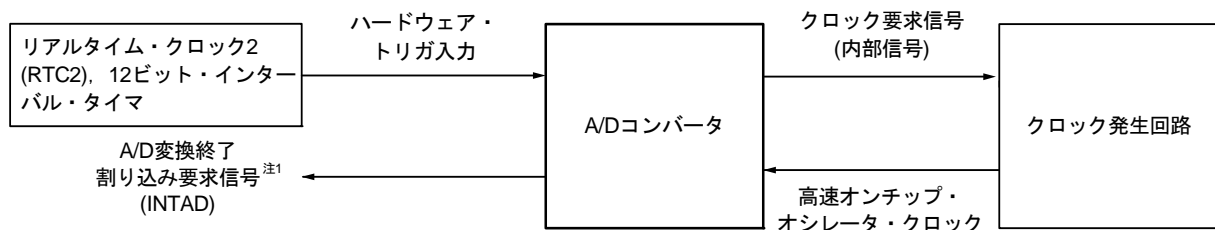
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、以下の変換モードのみ使用可能です。

- ハードウェア・トリガ・ウェイト・モード(ワンショット変換モード)

注意 SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図19-28 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定ハードウェア・トリガ・ウェイト・モード設定を行います(19.7.3 ハードウェア・トリガ・ウェイト・モード設定を参照注2)。このとき、A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2 (AWC)に1を設定しておきます。初期設定完了後、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット0 (ADCE)に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります注1。

注1. A/D変換結果比較機能の設定(ADRCKビット, ADUL/ADLLレジスタ)により、割り込み信号が発生しない場合があります。

注2. ADM1レジスタは必ずE1H, E2HまたはE3Hに設定してください。

備考 ハードウェア・トリガは、ELCで選択されたイベント, INTRTCまたはINTITです。

ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1 (ADM1)で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲内の場合, A/D変換終了割り込み要求信号(INTAD)は発生します。

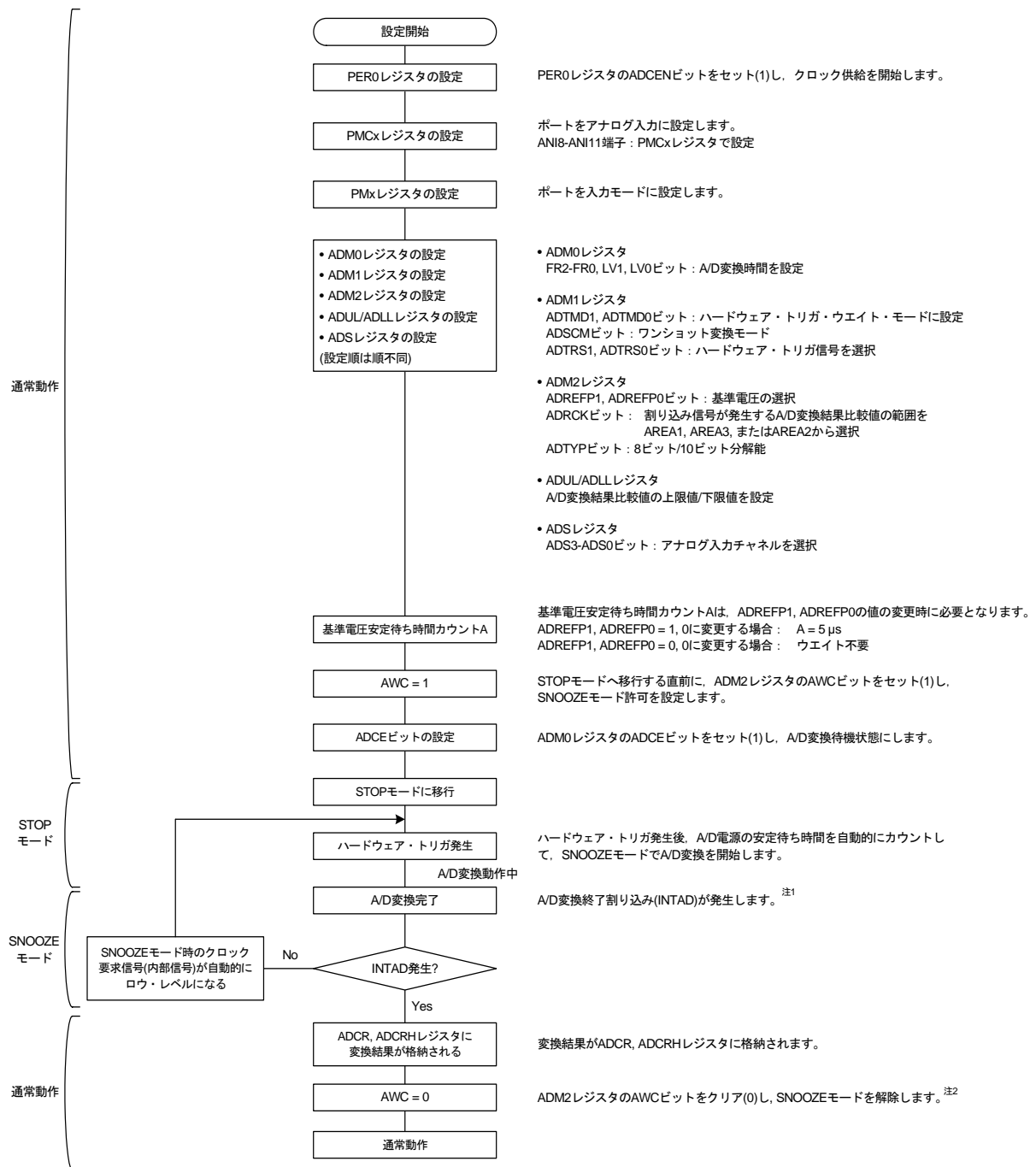
A/D変換が終了してA/D変換終了割り込み要求信号(INTAD)が発生すると, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2(ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲外の場合, A/D変換終了割り込み要求信号(INTAD)は発生しません。

A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, A/D変換終了後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

図 19 - 29 SNOOZE モード設定のフロー・チャート



注1. ADRCKビット、ADUL/ADLLレジスタの設定により、A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合、ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

19.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図19-30 総合誤差

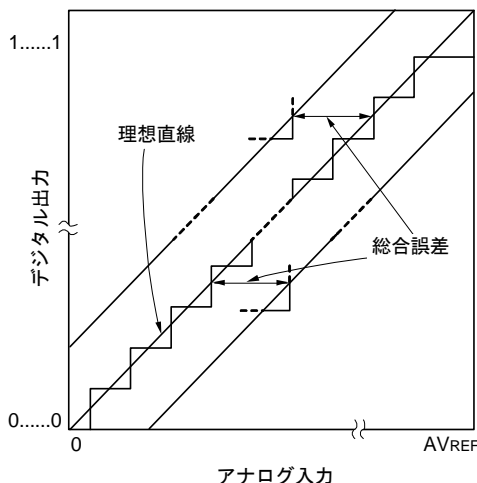
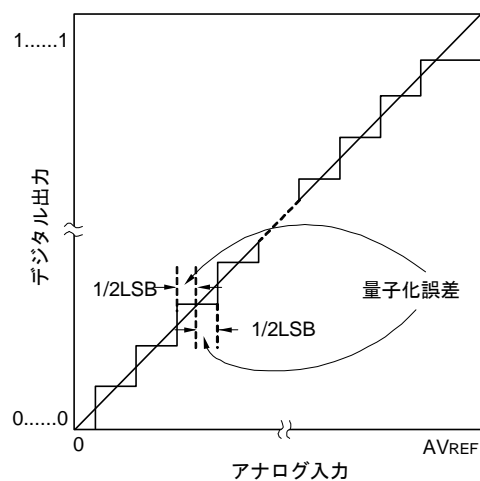


図19-31 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール-3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図19-32 ゼロスケール誤差

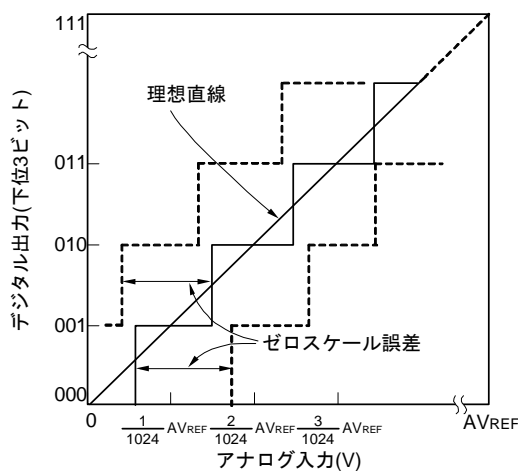


図19-33 フルスケール誤差

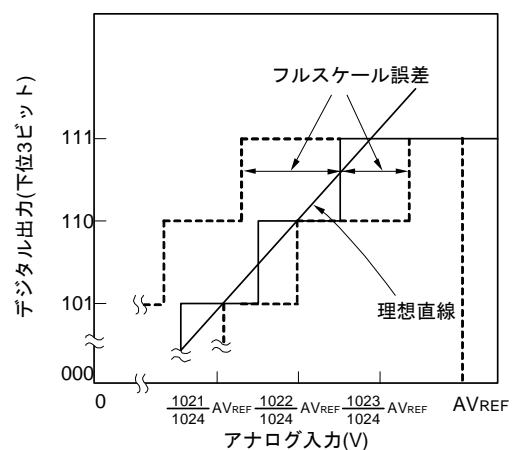


図 19 - 34 積分直線性誤差

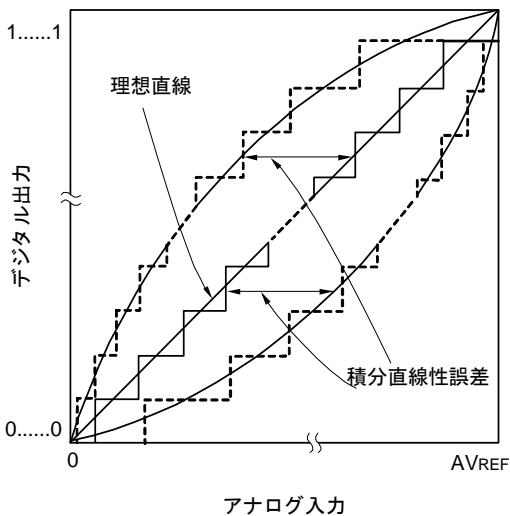
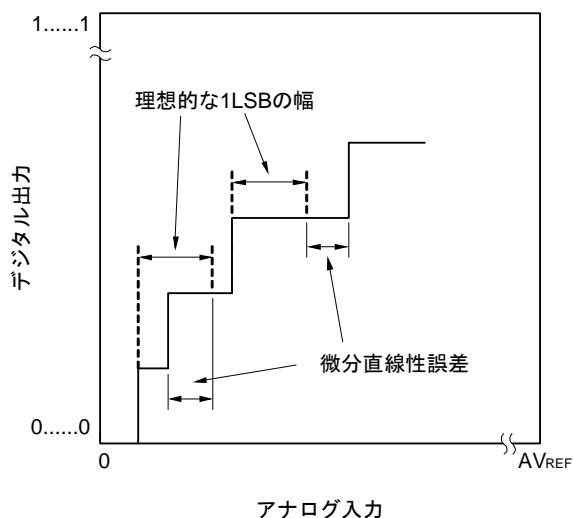


図 19 - 35 微分直線性誤差

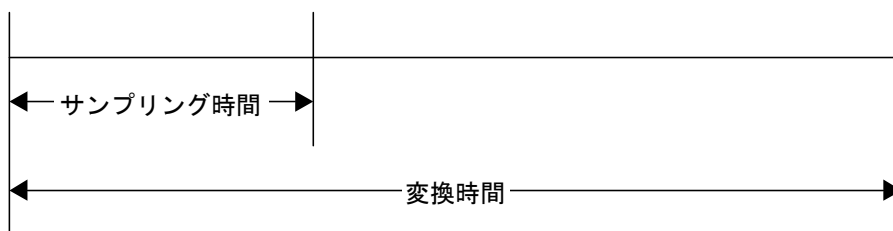


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



19.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止(A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)を0)させてから移行してください。このときADM0レジスタのビット0 (ADCE)も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H (IF1H)のビット2 (ADIF)をクリア(0)してから、動作開始してください。

(2) ANI8-ANI14端子入力範囲について

ANI8-ANI14端子入力電圧は規格の範囲内でご使用ください。特にV_{DD}を超える電圧、V_{SS}未満(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

A/Dコンバータ用内部基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧を超える電圧になっていても問題ありません。

注意 内蔵基準電圧(1.45 V)は、HS (高速メイン)モードでのみ選択可能です。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ(ADCR, ADCRH)へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0 (ADM0)へのライト、アナログ入力チャンネル指定レジスタ(ADS)へのライトの競合

ADM0, ADSレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号(INTAD)も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、V_{DD}, ANI8-ANI14端子へのノイズに注意する必要があります。

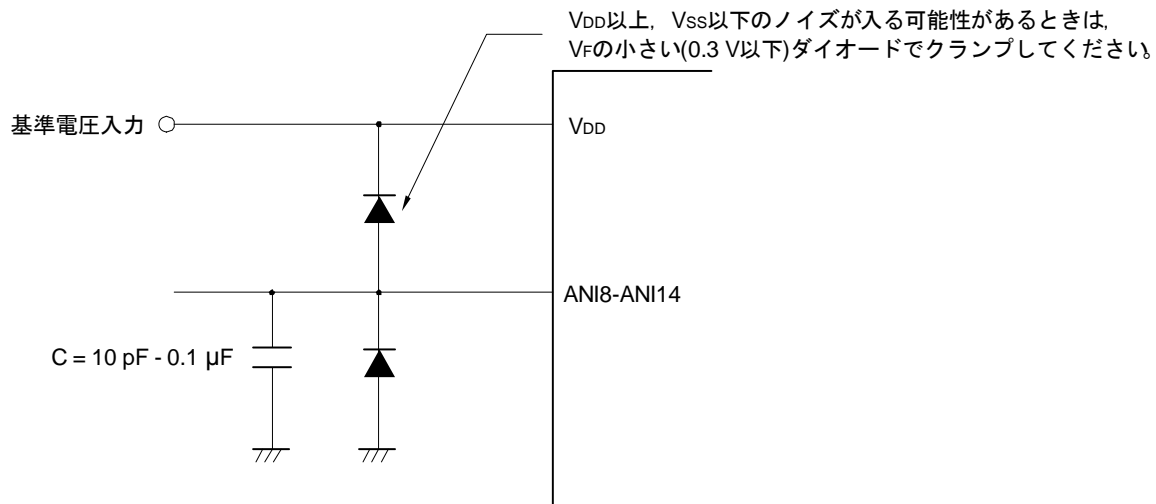
① 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図19-36のようにコンデンサを外付けすることを推奨します。

③ 変換中においては、他の端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図19-36 アナログ入力端子の処理



(5) アナログ入力 (ANIn) 端子

- ① アナログ入力 (ANI8-ANI11) 端子は入力ポート (P03-P05, P11) 端子と兼用になっています。

ANI8-ANI11 端子のいずれかを選択して A/D 変換をする場合、変換中に P03-P05, P11 に対して出力値を変更しないでください。変換精度が低下することがあります。

- ② A/D 変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによって A/D 変換値が期待値と異なることがあります。このようなパルスが入出力されないようにしてください。

(6) アナログ入力 (ANIn) 端子の入カインピーダンスについて

この A/D コンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入カインピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出カインピーダンスを 1 kΩ 以下にしてください。出カインピーダンスが 1 kΩ 以下にできないときはサンプリング時間を長く設定するか ANI8-ANI14 端子に 0.1 μF 程度のコンデンサを付けることを推奨します (図19-36 アナログ入力端子の処理参照)。また、変換動作中に ADCS = 0 に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0 を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出カインピーダンスを低くするか十分なサンプリング時間を確保してください。

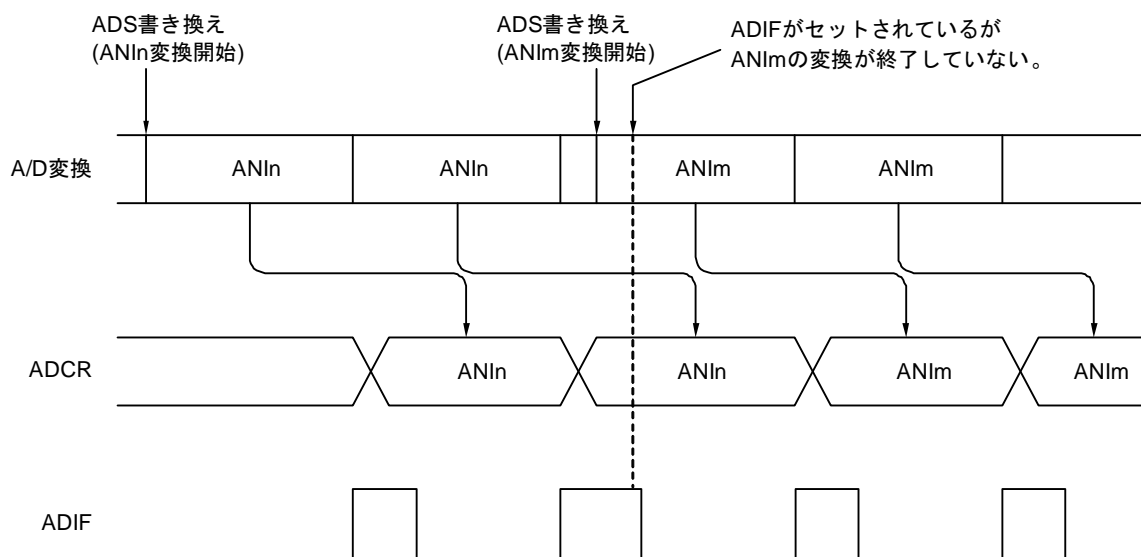
(7) 割り込み要求フラグ(ADIF)について

アナログ入力チャネル指定レジスタ(ADS)を変更しても割り込み要求フラグ(ADIF)はクリア(0)されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア(0)してください。

図19-37 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウェイト・モードでADCEビット=1にしてから、1 μ s以内にADCSビット=1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ(ADCR, ADCRH)の読み出しについて

A/Dコンバータ・モード・レジスタ0(ADM0)、アナログ入力チャネル指定レジスタ(ADS)、ポート・モード・コントロール・レジスタ(PMCxx)に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図19-38 ANIn端子内部等価回路

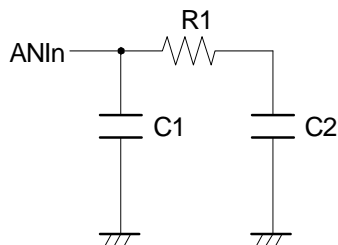


表19-4 等価回路の各抵抗と容量値(参考値)

VDD	ANIn 端子	R1 [kΩ]	C1 [pF]	C2 [pF]
$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	ANI8-ANI14	18	8	7.0
$2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$	ANI8-ANI14	53	8	7.0
$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	ANI8-ANI14	321	8	7.0

備考 表19-4の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、VDDの電圧が安定してから開始してください。

第20章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに最大4つのシリアル・チャンネルを持ちます。各チャンネルは簡易SPI(CSI注)、UART、簡易I²Cの通信機能を実現できます。

RL78/H1Dで対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やIIC00を使用することはできませんが、チャンネル2, 3のCSI10やUART1やIIC10は使用することができます。

20.1 シリアル・アレイ・ユニットの機能

RL78/H1Dで対応している各シリアル・インタフェースの特徴を示します。

20.1.1 簡易SPI (CSI00, CSI10, CSI20)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信／受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、20.5 簡易SPI(CSI) (CSI00, CSI10, CSI20)通信の動作を参照してください。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2 (CSI00のみ)

Max. fCLK/4

スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また、CSI00, CSI20は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している、CSI00, CSI20のみ設定可能です。

CSI00はスレーブ選択機能に対応しています。

注 SCKサイクル・タイム(tKCY)の特性を満たす範囲内で使用してください。詳細は、第38章 または第39章 電気的特性を参照してください。

20.1.2 UART (UART0-UART2)

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ポー・レートを使用して)データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み(INTP0)を組み合わせるとLIN-busにも対応可能です。

具体的な設定例は、20.7 UART (UART0-UART2)通信の動作を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長注
- MSB/LSBファーストの選択
- 送受信データのレベル設定, 反転の選択
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART0, UART2受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0, UART2のみ設定可能です。

UART0 (ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|--|---|---|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド(BF)検出 • シンク・フィールド測定, ポー・レート算出 | } | <p>外部割り込み(INTP0),
タイマ・アレイ・ユニットを使用</p> |
|--|---|---|

注 9ビット・データ長は、UART0のみ対応しています。

20.1.3 簡易 I²C (IIC00, IIC10, IIC20)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「20.9 簡易 I²C (IIC00, IIC10, IIC20) 通信の動作」を参照して下さい。

[データ送受信]

- マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK 出力機能^注, ACK 検出機能
- 8ビットのデータ長

(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)

- スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACKエラー, オーバラン・エラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信, スレーブ受信
- アービトレーション負け検出機能
- ウェイト検出機能

注 最終データの受信時は、SOEmnビット(シリアル出力許可レジスタ m (SOEm))ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、20.9.3 (2) 処理フローを参照してください。

備考1. フル機能の I²C バスをご使用の場合は、第21章 シリアル・インタフェース IICA を参照してください。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10

20.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表 20 - 1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット注1
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn) の下位8ビットまたは9ビット注1,2
シリアル・クロック入出力	SCK00, SCK10, SCK20 端子 (簡易SPI用), SCL00, SCL10, SCL20 端子 (簡易I ² C用)
シリアル・データ入力	SI00, SI10, SI20 端子 (簡易SPI用), RxD1, RxD2 端子 (UART用), RxD0 (LIN-bus対応UART用)
シリアル・データ出力	SO00, SO10, SO20 端子 (簡易SPI用), TxD1, TxD2 端子 (UART用), TxD0 (LIN-bus対応UART用)
シリアル・データ入出力	SDA00, SDA10, SDA20 端子 (簡易I ² C用)
スレーブ選択入力	SSI00 端子 (スレーブセレクト入力機能用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> • 周辺イネーブル・レジスタ 0 (PER0) • シリアル・クロック選択レジスタ m (SPSm) • シリアル・チャネル許可ステータス・レジスタ m (SEm) • シリアル・チャネル開始レジスタ m (SSm) • シリアル・チャネル停止レジスタ m (STm) • シリアル出力許可レジスタ m (SOEm) • シリアル出力レジスタ m (SOM) • シリアル出力レベル・レジスタ m (SOLm) • シリアル・スタンバイ・コントロール・レジスタ m (SSCm) • 入力切り替え制御レジスタ (ISC) • ノイズ・フィルタ許可レジスタ 0 (NFEN0) <p><各チャネル部のレジスタ></p> <ul style="list-style-type: none"> • シリアル・データ・レジスタ mn (SDRmn) • シリアル・モード・レジスタ mn (SMRmn) • シリアル通信動作設定レジスタ mn (SCRmn) • シリアル・ステータス・レジスタ mn (SSRmn) • シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) <ul style="list-style-type: none"> • ポート入力モード・レジスタ 0, 1, 3, 4, 5, 8 (PIM0, PIM1, PIM3, PIM4, PIM5, PIM8) • ポート出力モード・レジスタ 0, 1, 3, 4, 5, 8 (POM0, POM1, POM3, POM4, POM5, POM8) • ポート・モード・コントロール・レジスタ 0 (PMC0) • ポート・モード・レジスタ 0, 1, 3, 4, 5, 8 (PM0, PM1, PM3, PM4, PM5, PM8) • ポート・レジスタ 0, 1, 3, 4, 5, 8 (P0, P1, P3, P4, P5, P8)

(注. 備考は次ページにあります。)

- 注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。
- ・ mn = 00, 01 の場合 : 下位9ビット
 - ・ 上記以外の場合 : 下位8ビット
- 注2. シリアル・データ・レジスタ mn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。
- CSIp通信時 SIOp (CSIpデータ・レジスタ)
 - UARTq受信時 RXDq (UARTq受信データ・レジスタ)
 - UARTq送信時 TXDq (UARTq送信データ・レジスタ)
 - IICr通信時 SIOr (IICrデータ・レジスタ)
- 備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20)
q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 10, 20)

図20-1にシリアル・アレイ・ユニット0のブロック図を示します。

図20-1 シリアル・アレイ・ユニット0のブロック図

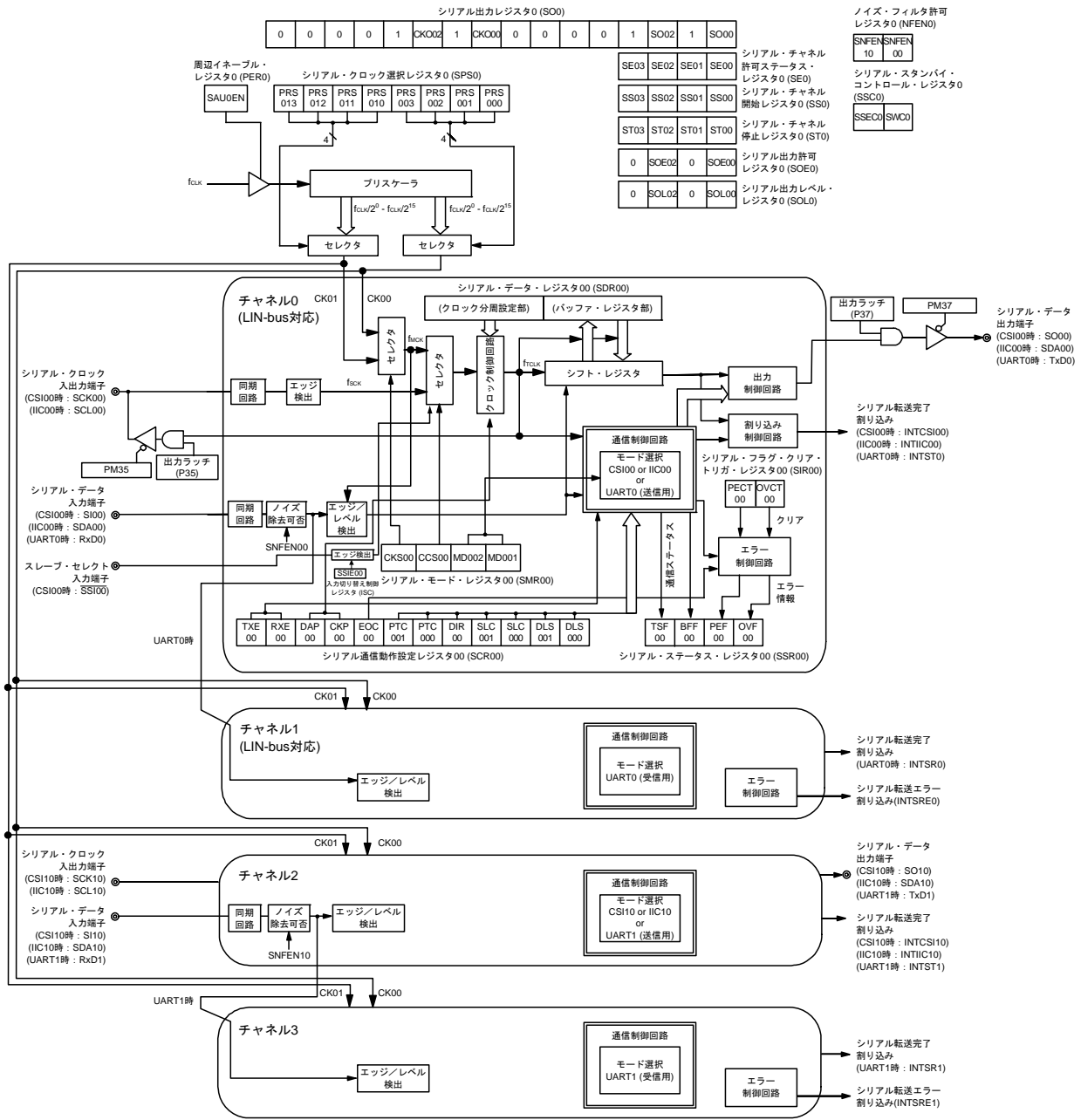
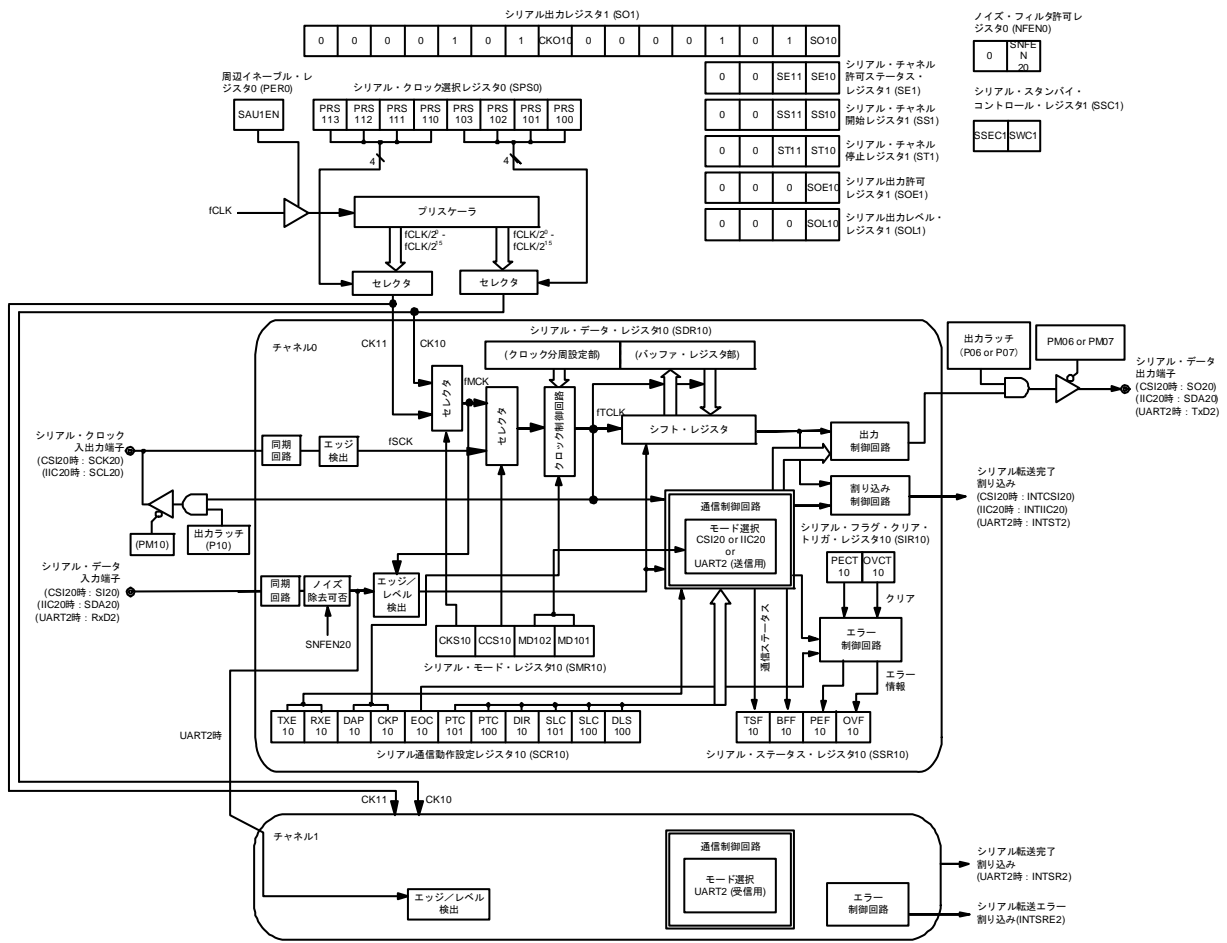


図20-2にシリアル・アレイ・ユニット1のブロック図を示します。

図20-2 シリアル・アレイ・ユニット1のブロック図



20.2.1 シフト・レジスタ

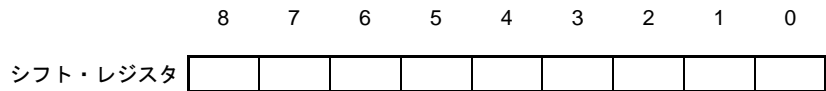
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット(ビット0~8)を使用します注。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビットを使用します。



注 9ビット・データ長は、UART0のみ対応しています。

20.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

ビット8-0(下位9ビット)注1、またはビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック(fMCK)の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタ mn (SCRmn) のビット0, 1 (DLSmn0, DLSmn1) の設定によって、次のようになります。

- 7ビット・データ長(SDRmnレジスタのビット0-6に格納)
- 8ビット・データ長(SDRmnレジスタのビット0-7に格納)
- 9ビット・データ長(SDRmnレジスタのビット0-8に格納)注1

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能注2です。

- CSIp通信時 SIOp (CSIpデータ・レジスタ)
- UARTq受信時 RXDq (UARTq受信データ・レジスタ)
- UARTq送信時 TXDq (UARTq送信データ・レジスタ)
- IICr通信時 SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDRmnレジスタは0000Hになります。

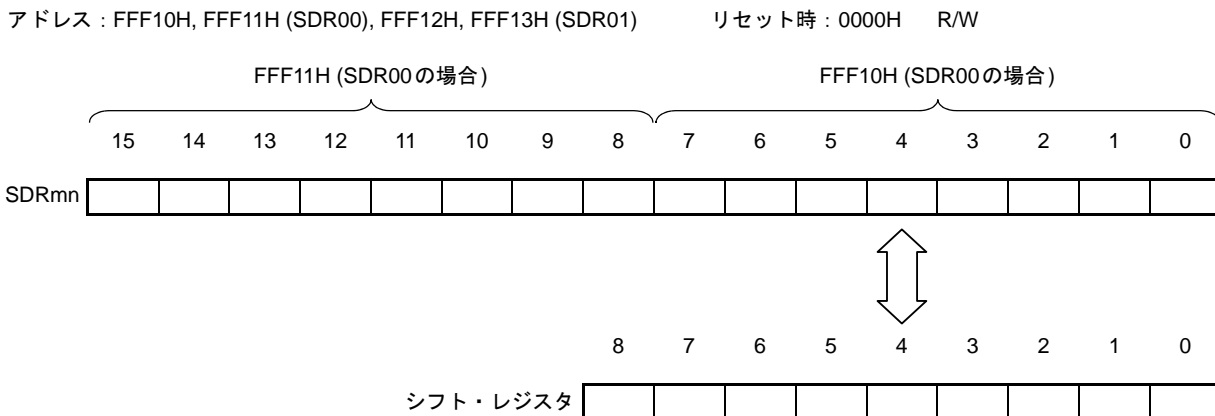
注1. 9ビット・データ長は、UART0のみ対応しています。

注2. ただし動作停止(SEmn = 0)時は、8ビット単位のライト禁止。

備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、0が格納されます。

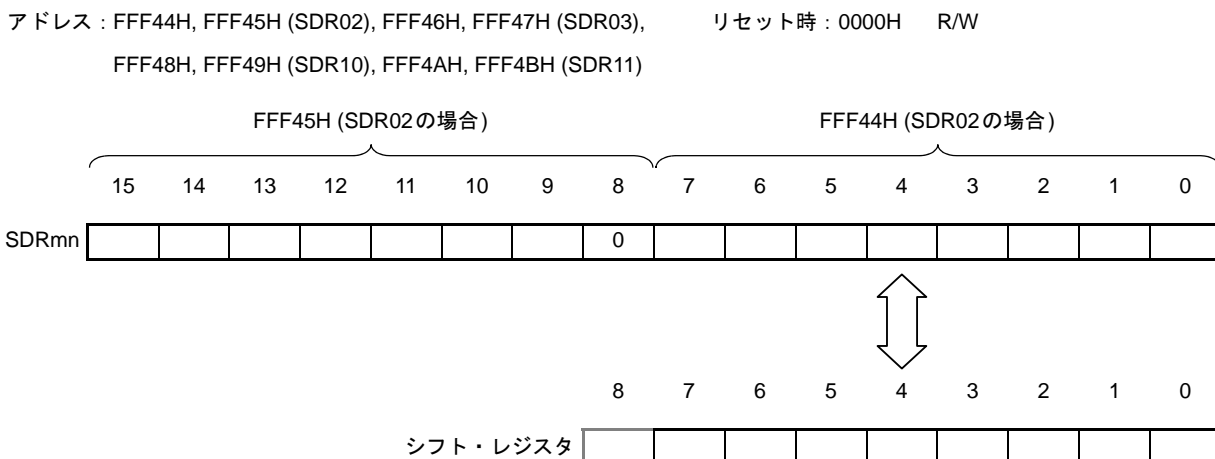
備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 10, 20)
 q : UART番号(q = 0-2) r : IIC番号(r = 00, 10, 20)

図20-3 シリアル・データ・レジスタ mn (SDRmn) (mn = 00, 01)のフォーマット



備考 SDRmnレジスタの上位7ビットの機能については、20.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図20-4 シリアル・データ・レジスタ mn (SDRmn) (mn = 02, 03, 10, 11)のフォーマット



注意 ビット8は、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、20.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

20.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- シリアル・クロック選択レジスタ m (SPSm)
- シリアル・モード・レジスタ mn (SMRmn)
- シリアル通信動作設定レジスタ mn (SCRmn)
- シリアル・データ・レジスタ mn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- シリアル・ステータス・レジスタ mn (SSRmn)
- シリアル・チャンネル開始レジスタ m (SSm)
- シリアル・チャンネル停止レジスタ m (STm)
- シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- シリアル出力許可レジスタ m (SOEm)
- シリアル出力レベル・レジスタ m (SOLm)
- シリアル出力レジスタ m (SOM)
- シリアル・スタンバイ・コントロール・レジスタ m (SSCm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 0 (NFEN0)
- ポート入力モード・レジスタ 0, 1, 3, 4, 5, 8 (PIM0, PIM1, PIM3, PIM4, PIM5, PIM8)
- ポート出力モード・レジスタ 0, 1, 3, 4, 5, 8 (POM0, POM1, POM3, POM4, POM5, POM8)
- ポート・モード・コントロール・レジスタ 0 (PMC0)
- ポート・モード・レジスタ 0, 1, 3, 4, 5, 8 (PM0, PM1, PM3, PM4, PM5, PM8)
- ポート・レジスタ 0, 1, 3, 4, 5, 8 (P0, P1, P3, P4, P5, P8)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

20.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN)に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN)に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図20 - 5 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入カクロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態です。下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタは初期値となり、書き込みは無視されます (ただし、入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ 0 (NFEN0)、ポート入力モード・レジスタ 0, 1, 3, 4, 5, 8 (PIM0, PIM1, PIM3, PIM4, PIM5, PIM8)、ポート出力モード・レジスタ 0, 1, 3, 4, 5, 8 (POM0, POM1, POM3, POM4, POM5, POM8)、ポート・モード・コントロール・レジスタ 0 (PMC0)、ポート・モード・レジスタ 0, 1, 3, 4, 5, 8 (PM0, PM1, PM3, PM4, PM5, PM8)、ポート・レジスタ 0, 1, 3, 4, 5, 8 (P0, P1, P3, P4, P5, P8)は除く)。

- ・シリアル・クロック選択レジスタ m (SPSm)
- ・シリアル・モード・レジスタ mn (SMRmn)
- ・シリアル通信動作設定レジスタ mn (SCRmn)
- ・シリアル・データ・レジスタ mn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- ・シリアル・ステータス・レジスタ mn (SSRmn)
- ・シリアル・チャンネル開始レジスタ m (SSm)
- ・シリアル・チャンネル停止レジスタ m (STm)
- ・シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- ・シリアル出力許可レジスタ m (SOEm)
- ・シリアル出力レベル・レジスタ m (SOLm)
- ・シリアル出力レジスタ m (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

注意2. ビット1, 6には必ず0を設定してください。

20.3.2 シリアル・クロック選択レジスタ m (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図20 - 6 シリアル・クロック選択レジスタ m (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0), F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRSmk3	PRSmk2	PRSmk1	PRSmk0		動作クロック (CKmk) の選択 ^注				
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中に fCLK に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAU の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

注意 ビット15-8には、必ず0を設定してください。

備考1. fCLK : CPU / 周辺ハードウェア・クロック周波数

備考2. m : ユニット番号 (m = 0, 1)

備考3. k = 0, 1

20.3.3 シリアル・モード・レジスタ mn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fmck) の選択、シリアル・クロック (fsck) 入力の使用可否、スタート・トリガ設定、動作モード (簡易SPI(CSI), UART, 簡易I²C) 設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図20-7 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (fmck) の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック (fmck) は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (ftCLK) を生成します。	

CCS mn	チャンネルnの転送クロック (ftCLK) の選択
0	CKSmnビットで指定した動作クロックfmckの分周クロック
1	SCKp端子からの入力クロックfsck (簡易SPI(CSI) モードのスレーブ転送)
転送クロックftCLKは、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (fmck) の分周設定を行います。	

STS mn注	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (簡易SPI(CSI), UART送信, 簡易I ² C時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。	

注 SMR01, SMR03, SMR11レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20)
 q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 10, 20)

図20-7 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0 注	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がリエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネルnの動作モードの設定
0	0	簡易SPI(CSI)モード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 SMR01, SMR03, SMR11 レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10 レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20,)
 q : UART番号 (q = 0-2) r : IIC番号 (r = 00, 10, 20)

20.3.4 シリアル通信動作設定レジスタ mn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

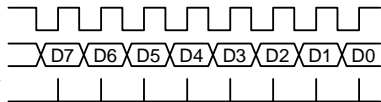
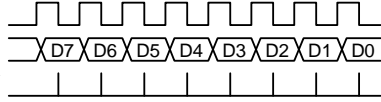
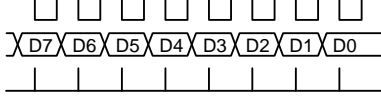
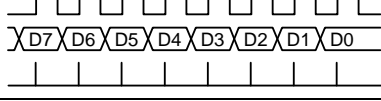
リセット信号の発生により、SCRmnレジスタは0087Hになります。

図20 - 8 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
 F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	簡易SPI(CSI)モードでのデータとクロックの位相選択	タイプ
0	0	SCKp 	1
0	1	SCKp 	2
1	0	SCKp 	3
1	1	SCKp 	4

UARTモード, 簡易I²Cモード時には, 必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号(INTSREx (x = 0-3))のマスク制御
0	エラー割り込みINTSRExの発生を禁止する(INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する(エラー発生時, INTSRxは発生しない)

簡易SPI(CSI)モード, 簡易I²Cモード, UART送信時には, EOCmn = 0に設定してください注3。

- 注1. SCR00, SCR02, SCR10レジスタのみ。
- 注2. SCR00, SCR01レジスタのみ。その他は1固定になります。
- 注3. CSImnをEOCmn = 0で使用しない場合, エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には, 必ず0を設定してください(SCR01, SCR03, SCR11レジスタはビット5も0に設定してください。ビット2には, 必ず1を設定してください。SCR02, SCR03, SCR10, SCR11レジスタはビット1も1に設定してください。)

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0-3) p : CSI番号(p = 00, 10, 20)

図20 - 8 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
 F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0

PTC	PTC	UARTモードでのパリティ・ビットの設定				
mn1	mn0	送信動作			受信動作	
0	0	パリティを出力しない			パリティなしで受信	
0	1	パリティを出力注3			パリティ判定を行わない	
1	0	偶数パリティを出力			偶数パリティとして判定を行う	
1	1	奇数パリティを出力			奇数パリティとして判定を行う	
簡易SPI(CSI)モード, 簡易I ² Cモード時には, 必ずPTCmn1, PTCmn0 = 0, 0に設定してください。						

DIR	簡易SPI(CSI), UARTモードでのデータ転送順序の選択	
mn		
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	
簡易I ² Cモード時には, 必ずDIRmn = 0に設定してください。		

SLCm	SLC	UARTモードでのストップ・ビットの設定	
n1注1	mn0		
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10のみ)	
1	1	設定禁止	
転送完了割り込みを選択している場合は, 全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時, 簡易I ² Cモード時には, 1ビット (SLCmn1, SLCmn0 = 0, 1)に設定してください。 簡易SPI(CSI)モード時には, ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0)に設定してください。 UART送信時は, 1ビット (SLCmn1, SLCmn0 = 0, 1)又は2ビット (SLCmn1, SLCmn0 = 1, 0)に設定してください。			

DLSm	DLS	簡易SPI(CSI), UARTモードでのデータ長の設定	
n1注2	mn0		
0	1	9ビット・データ長 (SDRmnレジスタのビット0-8に格納) (UARTモード時のみ選択可)	
1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他		設定禁止	
簡易I ² Cモード時には, 必ずDLSmn1, DLSmn0 = 1, 1に設定してください。			

注1. SCR00, SCR02, SCR10レジスタのみ。

注2. SCR00, SCR01レジスタのみ。その他は1固定になります。

注3. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には, 必ず0を設定してください(SCR01, SCR03, SCR11レジスタはビット5も0に設定してください。ビット2には, 必ず1を設定してください。SCR02, SCR03, SCR10, SCR11レジスタはビット1も1に設定してください。)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20)

20.3.5 シリアル・データ・レジスタ mn (SDRmn)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

SDR00, SDR01のビット8-0(下位9ビット), またはSDR02, SDR03, SDR10, SDR11のビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9(上位7ビット)の部分は動作クロック(fMCK)の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9(上位7ビット)で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00, SDR01のビット15-9(上位7ビット)に0000000Bを設定してください。SCKp端子からの入力クロック f_{SCK} (簡易SPI(CSI)モードのスレーブ転送)が転送クロックとなります。

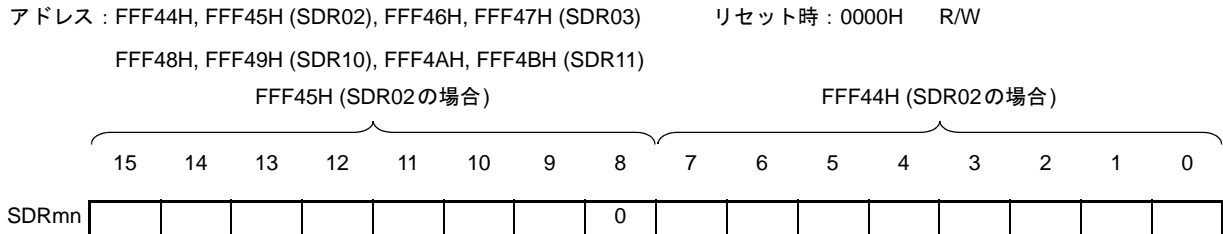
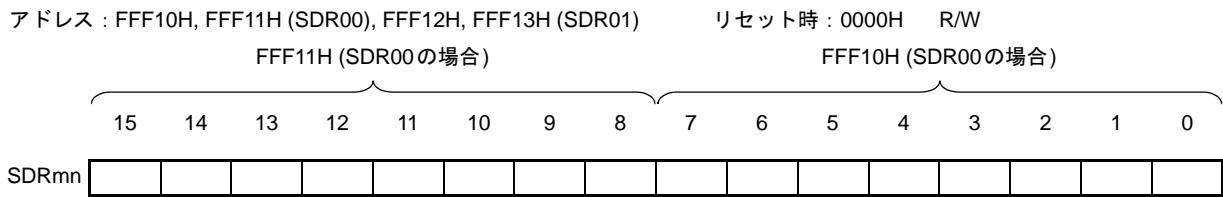
SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態(SEmn = 0)のときのみ有効です。動作中(SEmn = 1)にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

図20-9 シリアル・データ・レジスタ mn (SDRmn)のフォーマット



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	f _{MCK} /2
0	0	0	0	0	0	1	f _{MCK} /4
0	0	0	0	0	1	0	f _{MCK} /6
0	0	0	0	0	1	1	f _{MCK} /8
.
.
.
1	1	1	1	1	1	0	f _{MCK} /254
1	1	1	1	1	1	1	f _{MCK} /256

- 注意1. SDR02, SDR03レジスタのビット8は、必ず0を設定してください。
- 注意2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。
- 注意3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
- 注意4. 動作停止状態(SEmn = 0)のときに、下位8ビットへ8ビット書き込みは行わないでください(上位7ビットが0にクリアされます)。

備考1. SDRmnレジスタの下位8/9ビットの機能については、20.2 シリアル・アレイ・ユニットの構成を参照してください。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

20.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット(FECTmn, PECTmn, OVCTmn)を1にセットすると、シリアル・ステータス・レジスタ mn (SSRmn)の対応ビット(FEFmn, PEFmn, OVFMn)が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので、SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは、16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmnレジスタは0000Hになります。

図20-10 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03), リセット時 : 0000H R/W
 F0148H, F0149H (SIR10), F014AH, F014BH (SIR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn注	PEC Tmn	OVC Tmn
FEC Tmn 注	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのFEFmnビットを0にクリアする															
PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのPEFmnビットを0にクリアする															
OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのOVFMnビットを0にクリアする															

注 SIR01, SIR03, SIR11レジスタのみ。

注意 ビット15-3 (SIR00, SIR02, SIR10レジスタの場合は、ビット15-2)には、必ず0を設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. SIRmnレジスタの読み出し値は常に0000Hとなります。

20.3.7 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図20 - 11 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット(1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R

F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn ^{注1}	BFF mn ^{注1}	0	0	FEF mn ^{注2}	PEF mn	OVF mn

TSF mn ^{注1}	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件> • STmレジスタのSTmnビットに1を設定時(通信停止状態), もしくはSSmレジスタのSSmnビットに1を設定時(通信待機状態) • 通信動作が終了時 <セット条件> 通信動作を開始時	

BFF mn ^{注1}	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件> • 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき • 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき • STmレジスタのSTmnビットに1を設定時(通信停止状態), SSmレジスタのSSmnビットに1を設定時(通信許可状態)。 <セット条件> • SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信, 送受信モード時)の状態 でSDRmnレジスタに送信データを書き込んだとき • SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態 でSDRmnレジスタに受信データが格納されたとき • 受信エラー時	

注1. SSR00, SSR02, SSR10レジスタのみ。

注2. SSR01, SSR03, SSR11レジスタのみ。

注意 SNOOZEモード(SWCm = 1)で簡易SPI(CSI)受信する場合、BFFmnフラグは動作しません。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

図20-11 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット(2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R
 F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SSRmn	0	0	0	0	0	0	0	0	0	0	TSF mn注1	BFF mn注1	0	0	FEF mn注2	PEF mn	OVF mn

FEF mn注2	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時)
<クリア条件> ・SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ/ACKエラー検出フラグ
0	エラーなし
1	パリティエラー発生(UART受信時), またはACK未検出発生(I ² C送信時)
<クリア条件> ・SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき(パリティ・エラー) ・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき(ACK未検出)	

OVF mn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・簡易SPI(CSI)モードのスレーブ送信/送受信で、送信データが準備できていないとき	

注1. SSR00, SSR02, SSR10レジスタのみ。

注2. SSR01, SSR03, SSR11レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー(OVEmn = 1)と検出されます。

注意2. SNOOZEモード(SWCm = 1)で簡易SPI(CSI)受信する場合、OVFmnフラグは動作しません。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

20.3.8 シリアル・チャンネル開始レジスタ m (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が1にセット (動作許可状態) されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図20 - 12 シリアル・チャンネル開始レジスタ m (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0	SS0	SS0	SS0
													3	2	1	0

アドレス : F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS1	SS1
															1	0

SSm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に遷移する注

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1. SS0レジスタのビット15-4, SS1レジスタのビット15-2には、必ず0を設定してください。

注意2. UART受信の場合は、SCRmnレジスタのRXEmnビットを1に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

20.3.9 シリアル・チャンネル停止レジスタ m (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に 1 を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が 0 にクリア (動作停止状態) されます。STmn ビットはトリガ・ビットなので、SEmn = 0 になるとすぐ STmn ビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図20 - 13 シリアル・チャンネル停止レジスタ m (STm) のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0 3	ST0 2	ST0 1	ST0 0

アドレス : F0164H, F0165H (ST1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST1 1	ST1 0

STm n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する注

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFmn フラグは状態を保持します。

注意 ST0レジスタのビット15-4, ST1レジスタのビット15-2には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

備考2. STmレジスタの読み出し値は常に0000Hとなります。

20.3.10 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm)の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ m (STm)の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のCKOmnビット(チャンネルnのシリアル・クロック出力)の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000Hになります。

図 20 - 14 シリアル・チャンネル許可ステータス・レジスタ m (SEm)のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3	SE0 2	SE0 1	SE0 0

アドレス : F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE1 1	SE1 0

SEm n	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

20.3.11 シリアル出力許可レジスタ m (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図20 - 15 シリアル出力許可レジスタ m (SOEm)のフォーマット

アドレス : F012AH, F012BH (SOE0) リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 02	0	SOE 00
------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	-----------	---	-----------

アドレス : F016AH, F016BH (SOE1) リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 10
------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	-----------

SOE mn	チャンネルnのシリアル出力許可/停止														
0	シリアル通信動作による出力停止														
1	シリアル通信動作による出力許可														

注意 SOEmレジスタのビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2)

20.3.12 シリアル出力レジスタ m (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止(SOEmn = 0)時のみ可能です。シリアル出力許可(SOEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止(SEmn = 0)時のみ可能です。チャンネル動作許可(SEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに1を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SO0レジスタは0F0FH、SO1レジスタは0303Hになります。

図20 - 16 シリアル出力レジスタ m (SOm)のフォーマット

アドレス : F0128H, F0129H (SO0) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO 02	1	CKO 00	0	0	0	0	1	SO 02	1	SO 00

アドレス : F0168H, F0169H (SO1) リセット時 : 0303H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	0	0	1	CKO 10	0	0	0	0	0	0	1	SO 10

CKO mn	チャンネルnのシリアル・クロック出力														
0	シリアル・クロック出力値が0														
1	シリアル・クロック出力値が1														

SO mn	チャンネルnのシリアル・データ出力														
0	シリアル・データ出力値が0														
1	シリアル・データ出力値が1														

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。また、ビット11, 9, 3, 1には必ず1を設定してください。

SO1レジスタのビット15-10, 7-2には、必ず0を設定してください。また、ビット9, 1には、必ず1を設定してください

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2)

20.3.13 シリアル出力レベル・レジスタ m (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI(CSI)モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可(SOEmn = 1)時のみ端子出力に反映されます。シリアル出力禁止(SOEmn = 0)時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000Hになります。

図20 - 17 シリアル出力レベル・レジスタ m (SOLm)のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL02	0	SOL00

アドレス : F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL10

SOLmn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 SOL0レジスタのビット15-3, 1には、必ず0を設定してください。

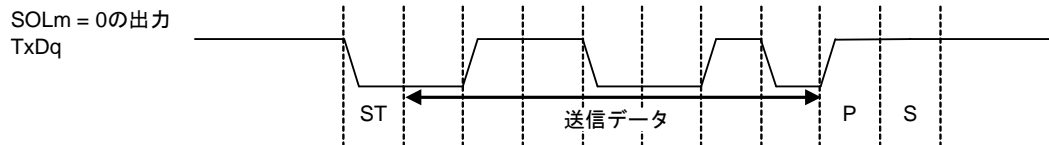
SOL1レジスタのビット15-1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2)

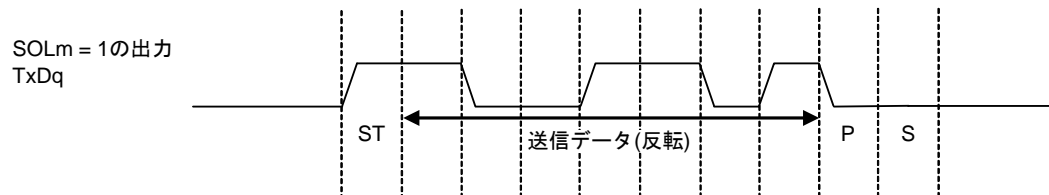
UART送信時、送信データのレベル反転例を図20-18に示します。

図20-18 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2)

20.3.14 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

SSC0 レジスタは、CSI00, UART0 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZE モード) を制御するレジスタです。

SSC1 レジスタは、CSI20, UART2 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZE モード) を制御するレジスタです。

SSCm レジスタは、16 ビット・メモリ操作命令で設定します。

また SSCm レジスタの下位 8 ビットは、SSCmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSCm レジスタは 0000H になります。

注意 SNOOZE モード時の最大転送レートは、次のようになります。

- CSI00, CSI20 の場合 : ~1 Mbps
- UART0, UART2 の場合 : 4800 bps のみ

図 20 - 19 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) のフォーマット

アドレス : F0138H (SSC0), F0178H (SSC1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZE モード時の通信エラー割り込み発生許可/停止の選択
0	• エラー割り込み (INTSRE0/INTSRE2) 発生許可。
1	• エラー割り込み (INTSRE0/INTSRE2) 発生停止。

• SNOOZE モード時の UART 受信で、SWCm = 1 かつ EOCmn = 1 のときのみ、SSECm ビットを 1/0 に設定することができます。その他の場合は、SSECm ビットを 0 に設定してください。

• SSECm, SWCm = 1, 0 は設定禁止です。

SWCm	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

• STOP モード中のハードウェア・トリガ信号で、STOP モードを解除し、CPU を動作させることなく、簡易 SPI(CSI)/UART の受信動作を行います (SNOOZE モード)。

• SNOOZE モード機能は、CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

• SNOOZE モードを使用する場合でも、通常動作モード時は SWC を 0 に設定し、STOP モードへ移行する直前に SWC を 1 に変更してください。

また STOP モードから通常動作モードへ復帰後、必ず SWC を 0 に変更してください。

注意 SSECm, SWCm = 1, 0 は設定禁止です。

図20 - 20 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

20.3.15 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは, UART0でLIN-bus通信動作を実現するとき, 外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると, シリアル・データ入力(RxD0)端子の入力信号が外部割り込み入力(INTP0)として選択されます。これによって, ウェイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると, シリアル・データ入力(RxD0)端子の入力信号がタイマ入力として選択されます。これによって, ウェイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

SSIE00ビットは, CSI00通信かつスレーブ・モード時にチャンネル0のSSI00端子入力を制御するビットです。SSI00端子にハイ・レベルが入力されている期間は, シリアル・クロックが入力されても送受信動作を行いません。SSI00端子にロウ・レベルが入力されている期間は, シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, ISCレジスタは00Hになります。

図20 - 21 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0

SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0のSSI00入力の設定
0	SSI00端子入力の無効
1	SSI00端子入力の有効

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする(通常動作)
1	RxD0端子の入力信号をタイマ入力とする(ウェイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)。

ISC0	外部割り込み(INTP0)の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする(ウェイクアップ信号検出)

注意 ビット6-2に必ず0を設定してください。

20.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI(CSI), 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけを行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図20-22 ノイズ・フィルタ許可レジスタ0 (NFEN0)のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。	
RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7-5, 3, 1には、必ず0を設定してください。

20.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ(ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx), ポート入力モード・レジスタ (PIMxx), ポート出力モード・レジスタ (POMxx), ポート・モード・コントロール・レジスタ (PMCxx))を設定してください。

詳細は、4.4.1 ポート・モード・レジスタ (PMxx), 4.4.2 ポート・レジスタ (Pxx), 4.4.4 ポート入力モード・レジスタ (PIMxx), 4.4.5 ポート出力モード・レジスタ (POMxx), 4.4.6 ポート・モード・コントロール・レジスタ (PMCxx) (R5F11NL, R5F11NG, R5F11PL, R5F11RMのみ)を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート (P06/SO20/TxD2/TI00/SEG27 など)をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するLCDポート・ファンクション・レジスタ (PFSEGx)のビット、ポート・モード・コントロール・レジスタ (PMCxx)のビットおよびポート・モード・レジスタ (PMxx)のビットに0を、ポート・レジスタ (Pxx)のビットに1を設定してください。

なお、N-chオープン・ドレイン出力(V_{DD}耐圧)モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ (POMxx)のビットに1を設定してください。異電位(1.8 V系^注, 2.5 V系, 3 V系)で動作している外部デバイスと接続する場合は、4.5.4 入出力バッファによる異電位(1.8 V系^{注1}, 2.5 V系, 3 V系)対応を参照してください。

例) P06/SO20/TxD2/TI00/SEG27をシリアル・データ出力として使用する場合
LCDポート・ファンクション・レジスタ4のPFSEG27ビットを0に設定
ポート・モード・レジスタ0のPM06ビットを0に設定
ポート・レジスタ0のP06ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート (P07/SI20/RxD2/SDA20/TI05/TO05/SEG28など)をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するLCDポート・ファンクション・レジスタ (PFSEGx)のビット、ポート・モード・コントロール・レジスタ (PMCxx)のビットに0を、ポート・モード・レジスタ (PMxx)のビットに1を設定してください。このときポート・レジスタ (Pxx)のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ (PIMxx)のビットに1を設定してください。異電位(1.8 V系^注, 2.5 V系, 3 V系)で動作している外部デバイスと接続する場合は、4.5.4 入出力バッファによる異電位(1.8 V系^{注1}, 2.5 V系, 3 V系)対応を参照してください。

例) P07/SI20/RxD2/SDA20/TI05/TO05/SEG28をシリアル・データ入力として使用する場合
LCDポート・ファンクション・レジスタ4のPFSEG28ビットを0に設定
ポート・モード・レジスタ0のPM07ビットを1に設定
ポート・レジスタ0のP07ビットを0または1に設定

注 R5F11Rのみ。

20.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。
 動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。
 また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

20.4.1 ユニット単位で動作停止とする場合

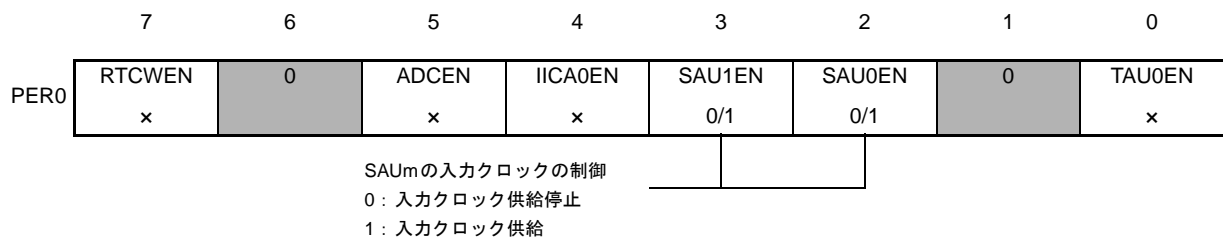
ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN)に0を設定してください。シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN)に0を設定してください。

図20-23 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0)の設定

(a)周辺イネーブル・レジスタ0 (PER0) 停止するSAUmのビットのみ0に設定する



注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ0, 1, 3, 4, 5, 8 (PIM0, PIM1, PIM3, PIM4, PIM5, PIM8)
- ポート出力モード・レジスタ0, 1, 3, 4, 5, 8 (POM0, POM1, POM3, POM4, POM5, POM8)
- ポート・モード・レジスタ0, 1, 3, 4, 5, 8 (PM0, PM1, PM3, PM4, PM5, PM8)
- ポート・レジスタ0, 1, 3, 4, 5, 8 (P0, P1, P3, P4, P5, P8)

注意2. ビット1, 6には必ず0にしてください。

備考 x : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

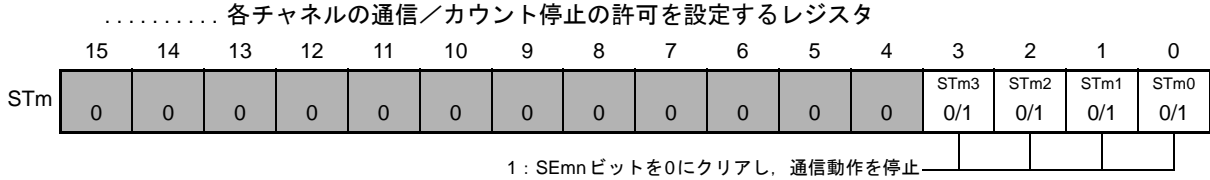
0/1 : ユーザの用途に応じて0または1に設定

20.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

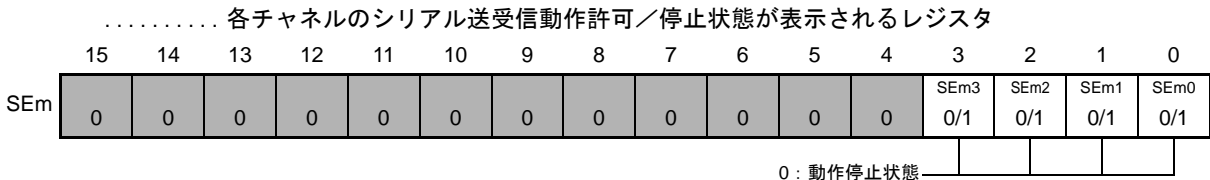
図20-24 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタ m (STm)



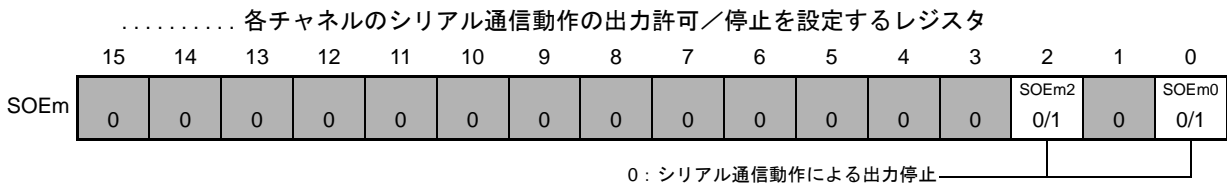
※ STmn ビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmn ビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタ m (SEm)



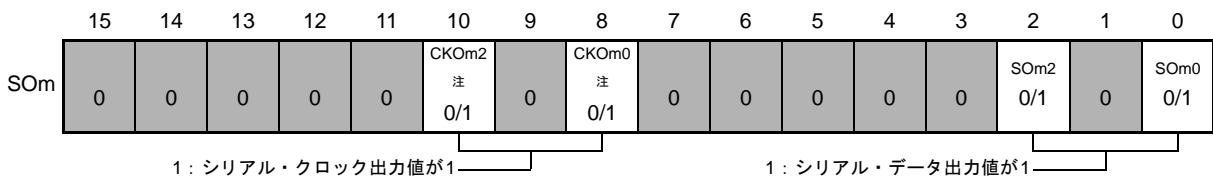
※SEm レジスタは Read Only のステータス・レジスタであり、STm レジスタにて動作停止にします。
動作を停止したチャンネルは、SOm レジスタのCKOmn ビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ m (SOEm)



※ シリアル出力を停止したチャンネルは、SOm レジスタのSOmn ビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ m (SOm) 各チャンネルのシリアル出力のバッファ・レジスタ



※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmn ビットに1を設定してください。

注 シリアル・アレイ・ユニット0のみ。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

備考2. : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

20.5 簡易SPI(CSI) (CSI00, CSI10, CSI20)通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ/スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2 (CSI00のみ)

Max. fCLK/4

スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また、CSI00, CSI20は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

CSI00はスレーブ選択機能に対応しています。詳細は、20.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作を参照してください。

注 SCKサイクル・タイム (t_{KCY}) の特性を満たす範囲内で使用してください。詳細は、第38章 または第39章 電気的特性を参照してください。

簡易SPI (CSI00, CSI10, CSI20)に対応しているチャンネルは, SAU0のチャンネル0, 2とSAU1のチャンネル0, 2です。

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—

簡易SPI (CSI00, CSI10, CSI20)の通信動作は, 以下の7種類があります。

- マスタ送信 (20.5.1項を参照)
- マスタ受信 (20.5.2項を参照)
- マスタ送受信 (20.5.3項を参照)
- スレーブ送信 (20.5.4項を参照)
- スレーブ受信 (20.5.5項を参照)
- スレーブ送受信 (20.5.6項を参照)
- SNOOZE モード機能 (20.5.7項を参照)

20.5.1 マスタ送信

マスタ送信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SO00	SCK10, SO10	SCK20, SO20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビット		
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/ (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始 		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転 		
データ方向	MSBファーストまたはLSBファースト		

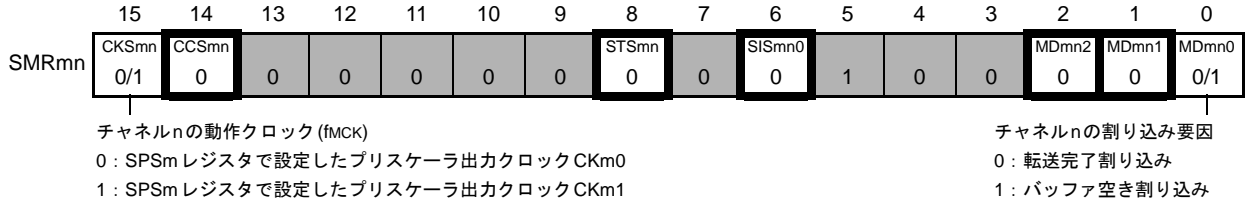
注 この条件を満たし、かつ電氣的特性の周辺機能特性(第38章 または第39章 電氣的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10

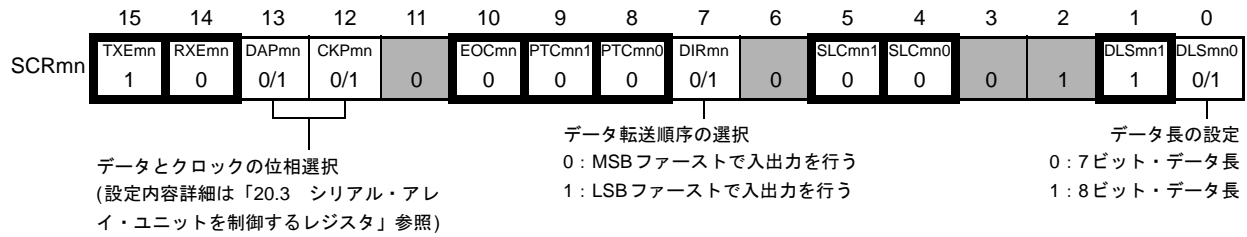
(1) レジスタ設定

図20 - 25 簡易SPI (CSI00, CSI10, CSI20)のマスタ送信時のレジスタ設定内容例

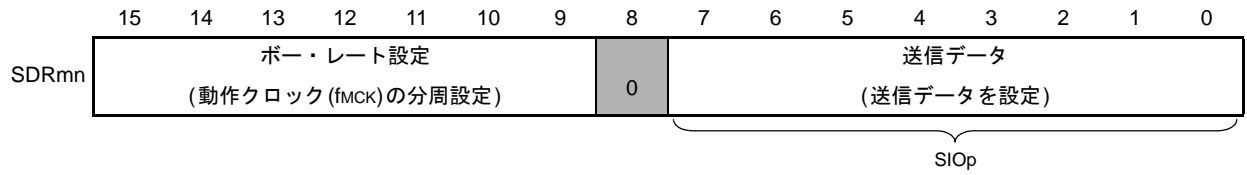
(a) シリアル・モード・レジスタ mn (SMRmn)



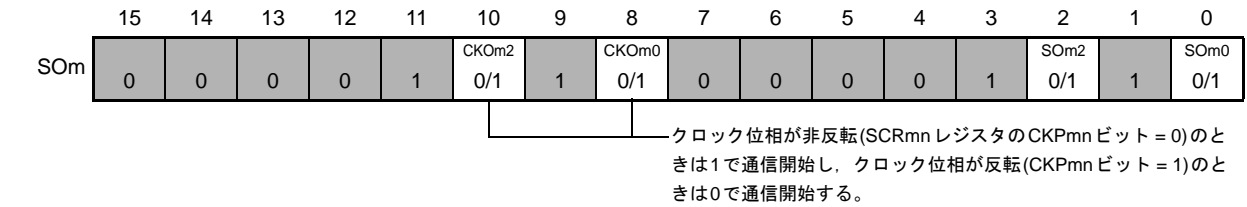
(b) シリアル通信動作設定レジスタ mn (SCRmn)



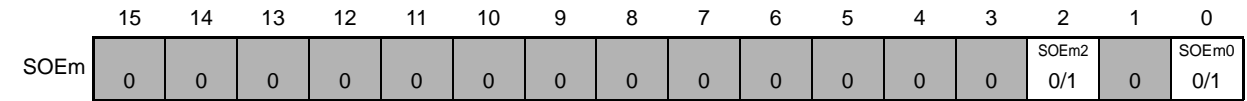
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



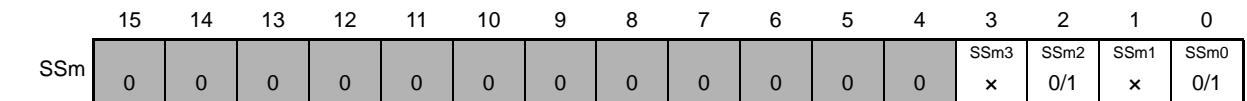
(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

備考2. : 簡易SPI(CSI) マスタ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 20 - 26 マスタ送信の初期設定手順

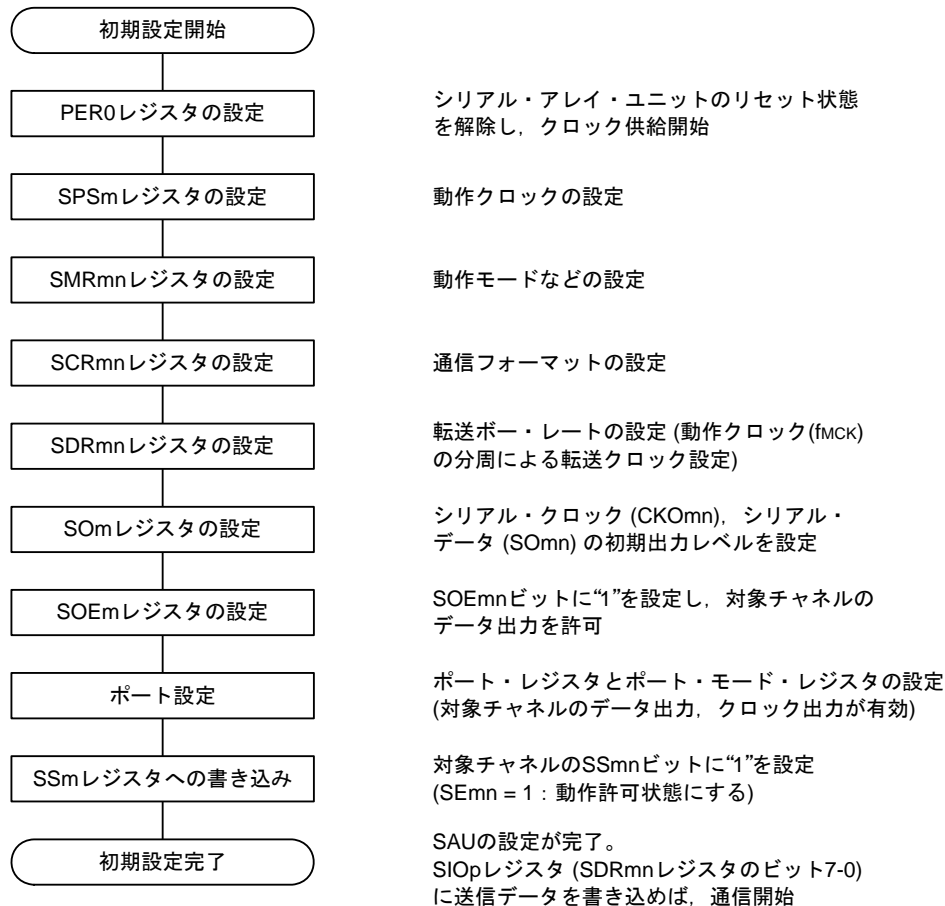


図 20 - 27 マスタ送信の中断手順

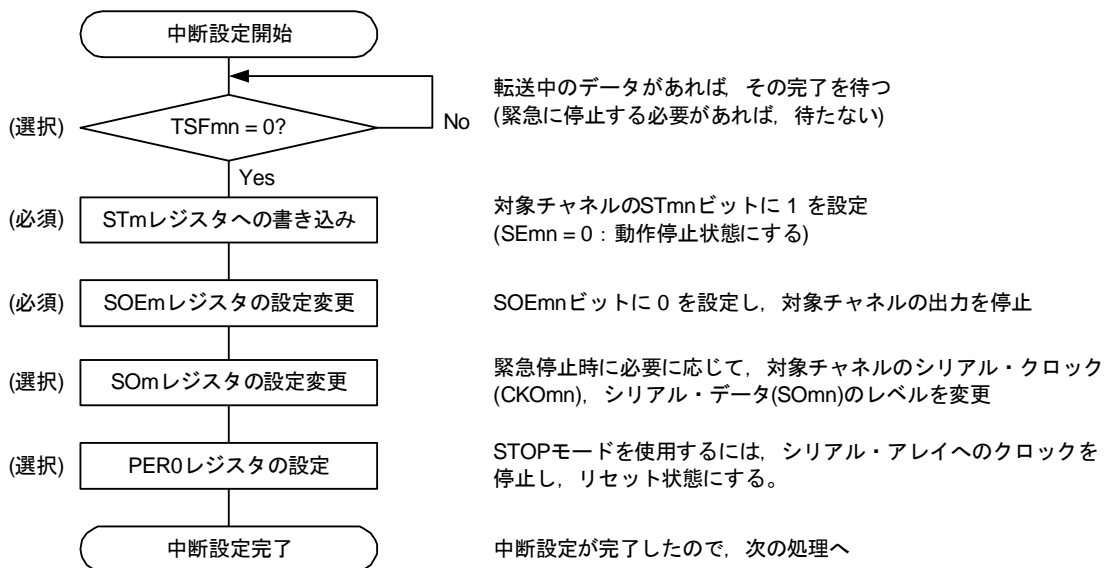
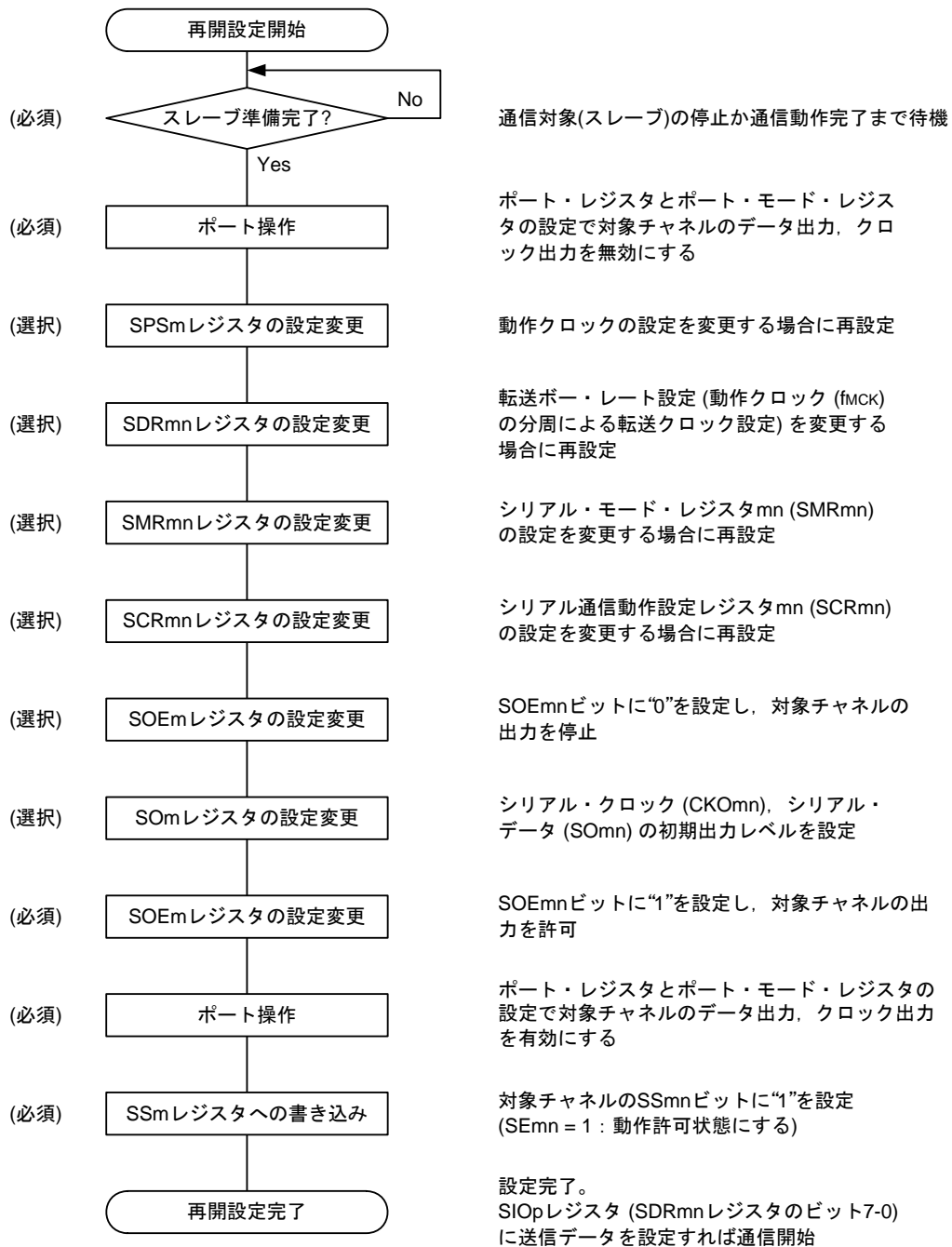


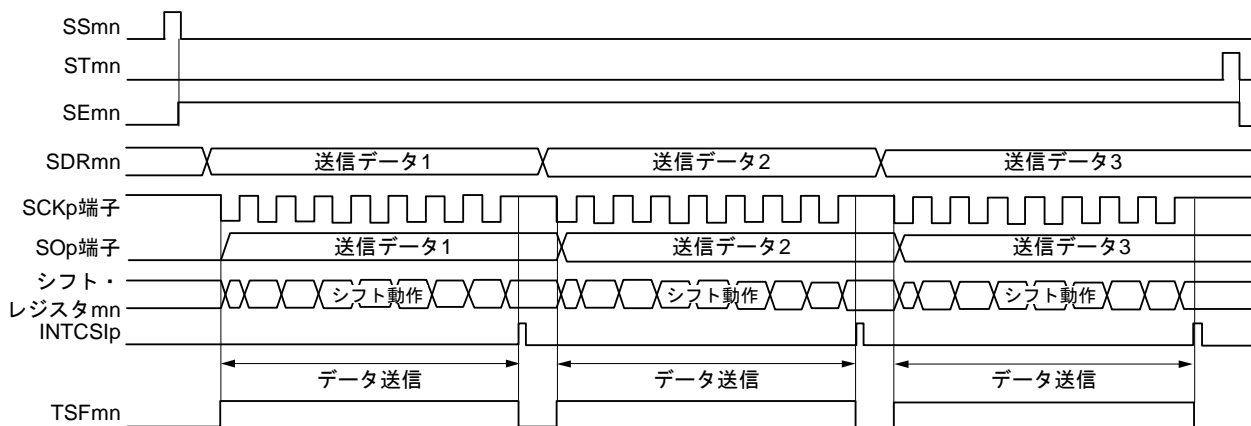
図 20 - 28 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

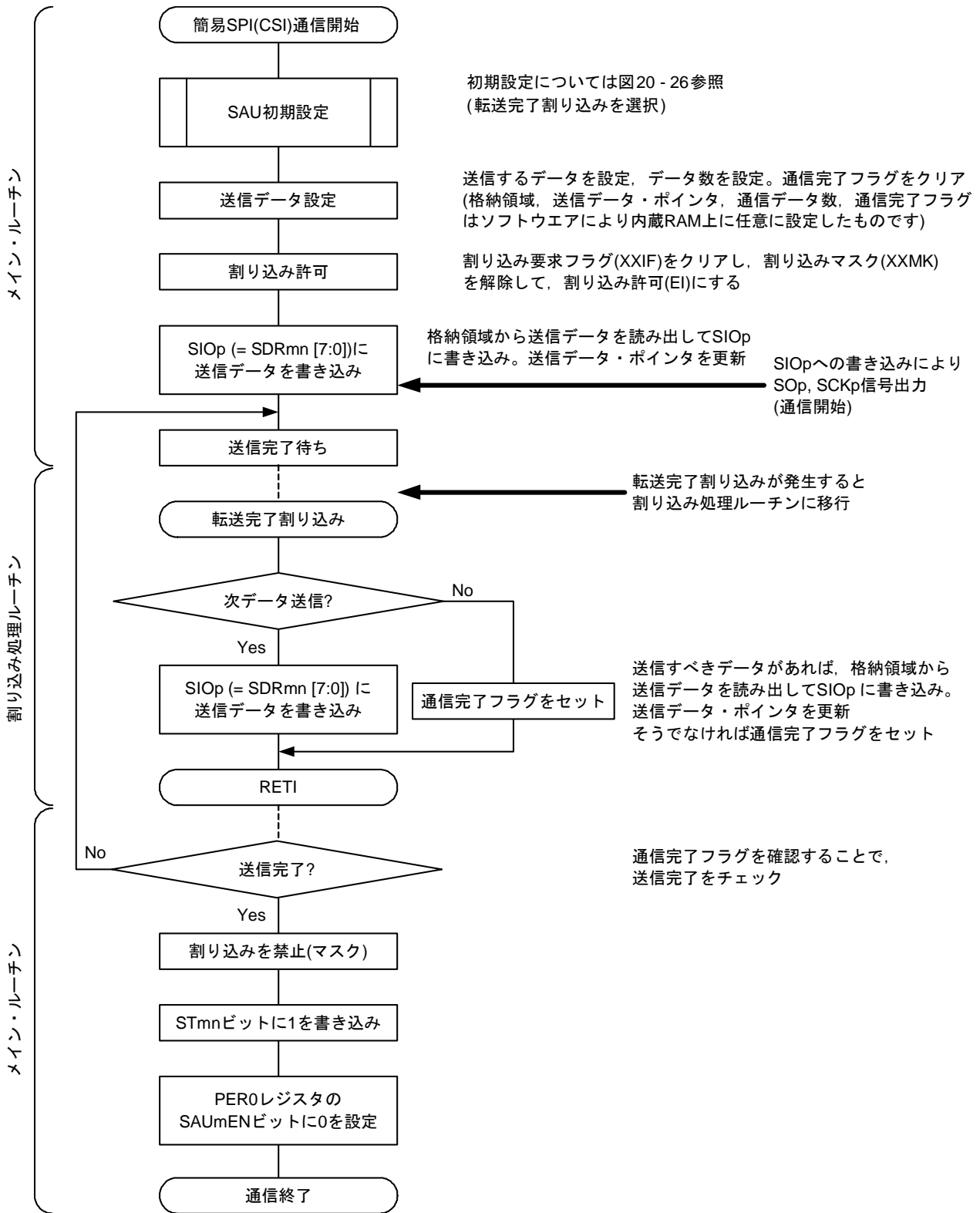
(3) 処理フロー (シングル送信モード時)

図20 - 29 マスタ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



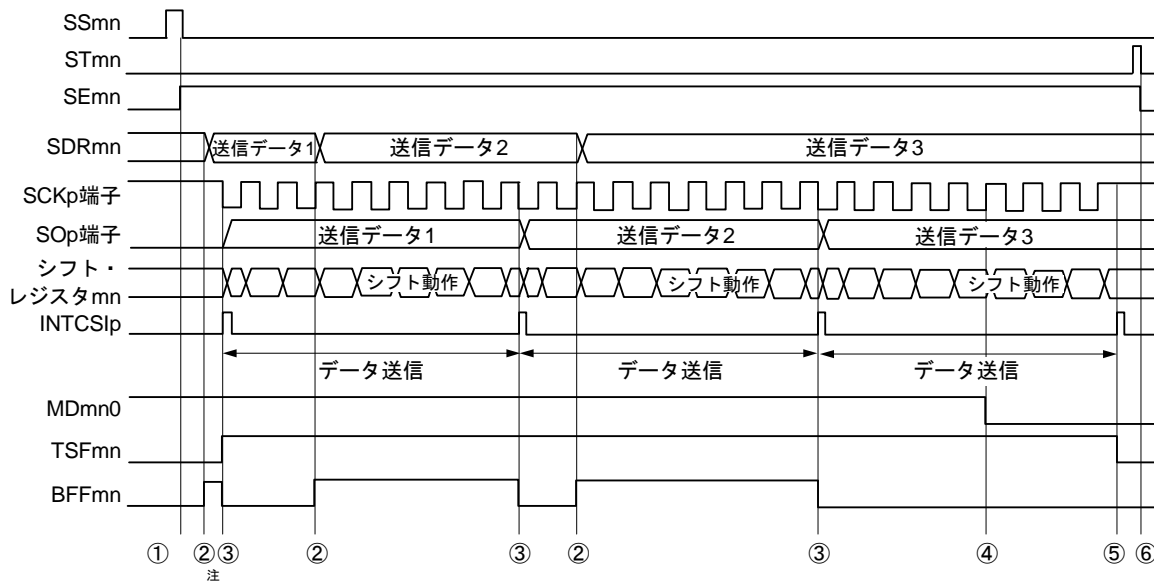
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

図20 - 30 マスタ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図20 - 31 マスタ送信 (連続送信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

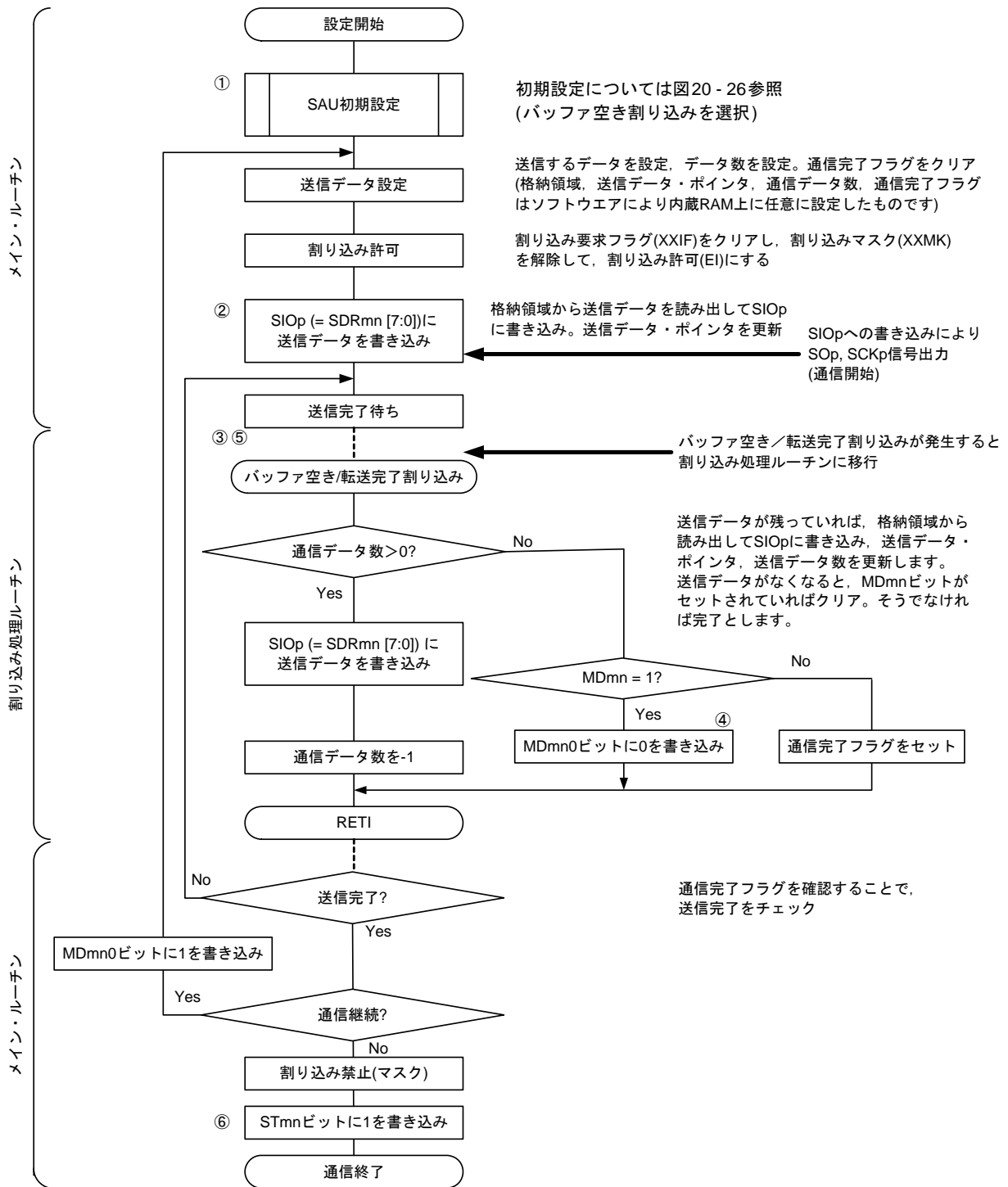


注 シリアル・ステータス・レジスタ mn (SSRmn)のBFFmnビットが1の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されているとき)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn)のMDmn0ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

図20 - 32 マスタ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は, 図20 - 31 マスタ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

20.5.2 マスタ受信

マスタ受信とは、このRL78マイクロコントローラが転送クロックを出力し、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SI00	SCK10, SI10	SCK20, SI20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ		
転送データ長	7ビットまたは8ビット		
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/ (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ入力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転		
データ方向	MSBファーストまたはLSBファースト		

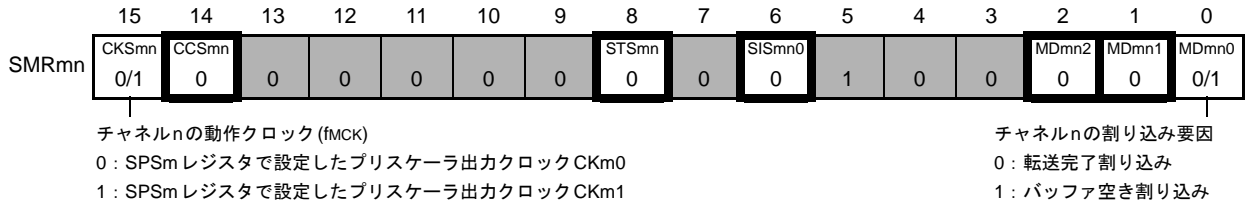
注 この条件を満たし、かつ電氣的特性の周辺機能特性(第38章 または第39章 電氣的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10

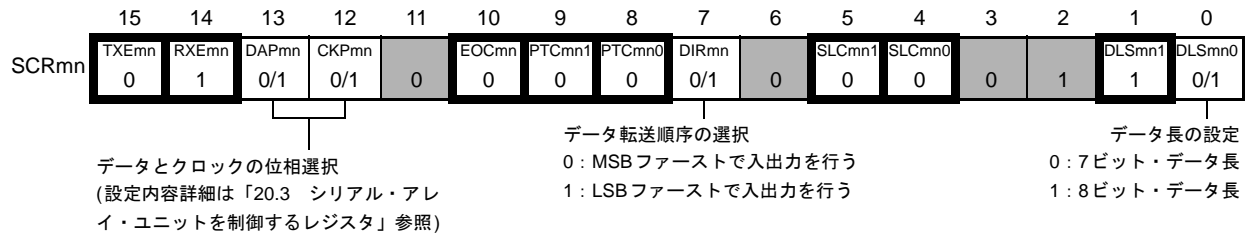
(1) レジスタ設定

図20 - 33 簡易SPI (CSI00, CSI10, CSI20)のマスタ受信時のレジスタ設定内容例

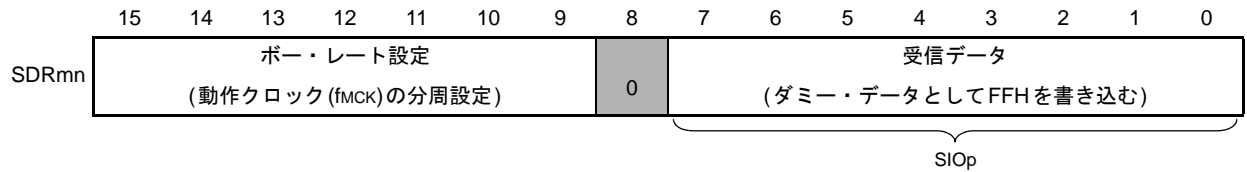
(a) シリアル・モード・レジスタ mn (SMRmn)



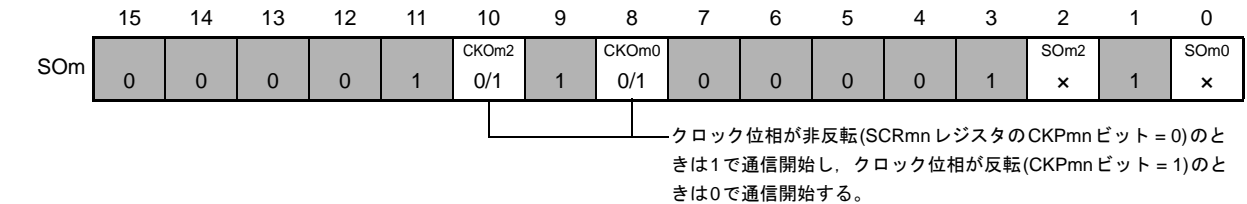
(b) シリアル通信動作設定レジスタ mn (SCRmn)



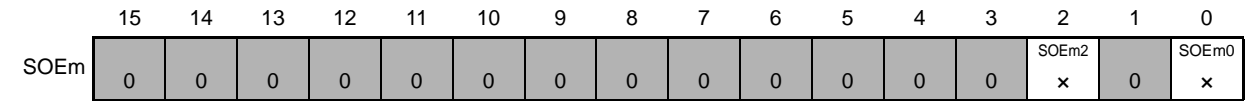
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



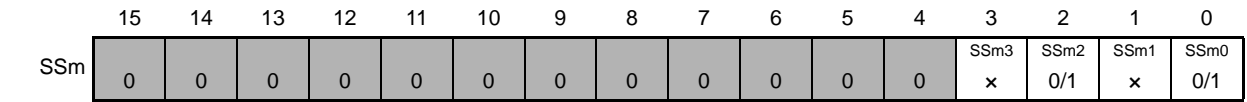
(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

備考2. : 簡易SPI(CSI)マスタ受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 20 - 34 マスタ受信の初期設定手順

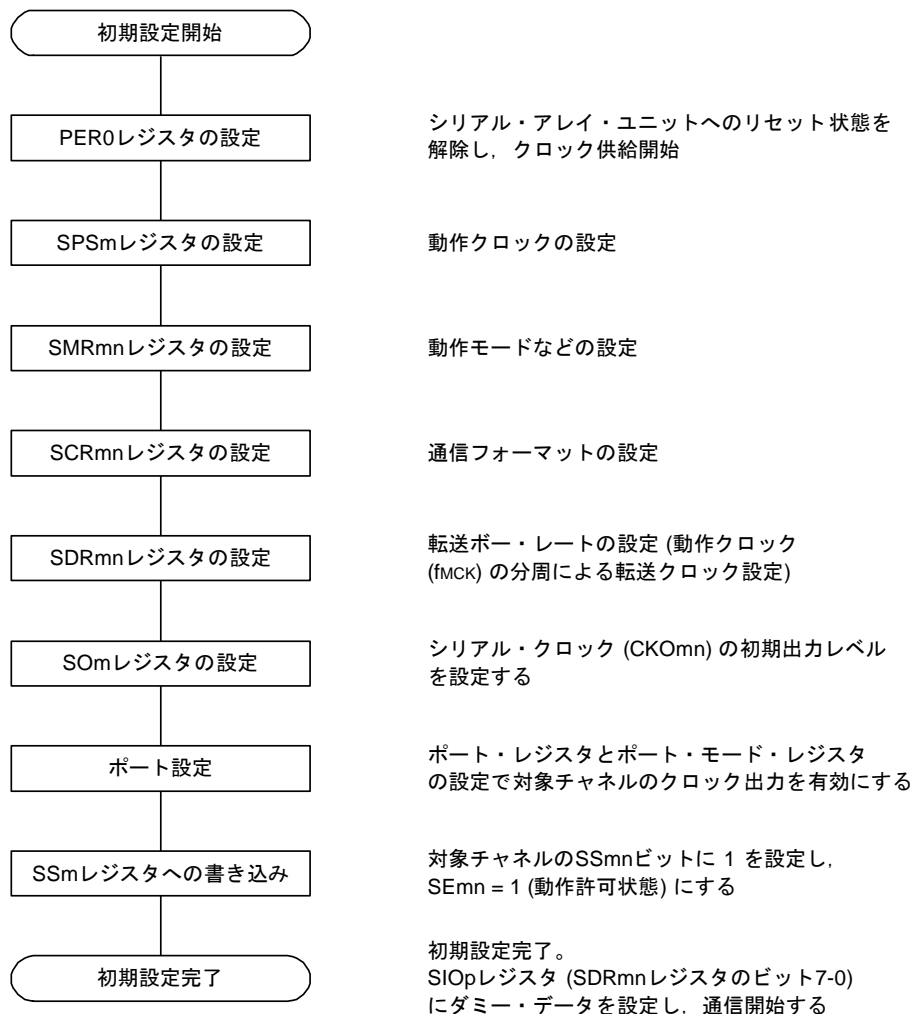


図 20 - 35 マスタ受信の中断手順

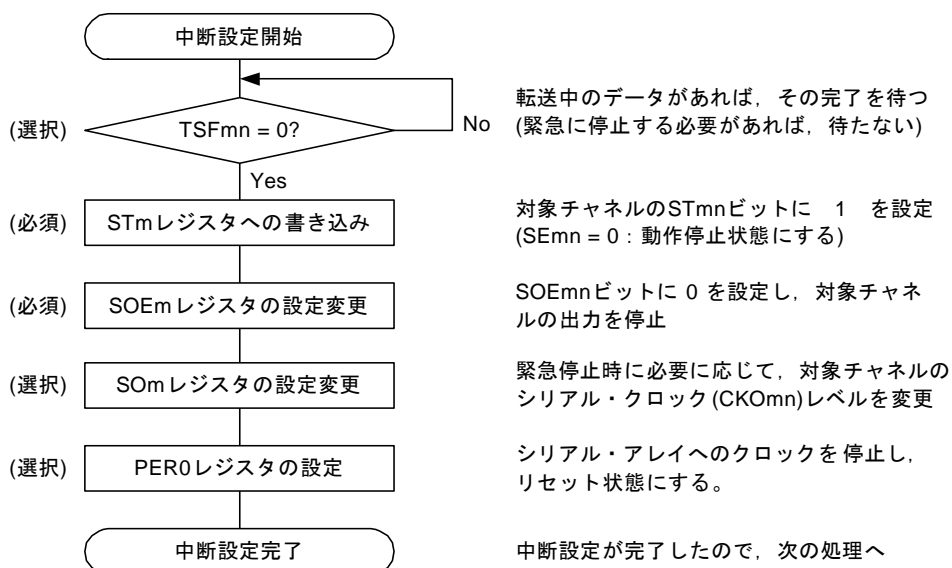
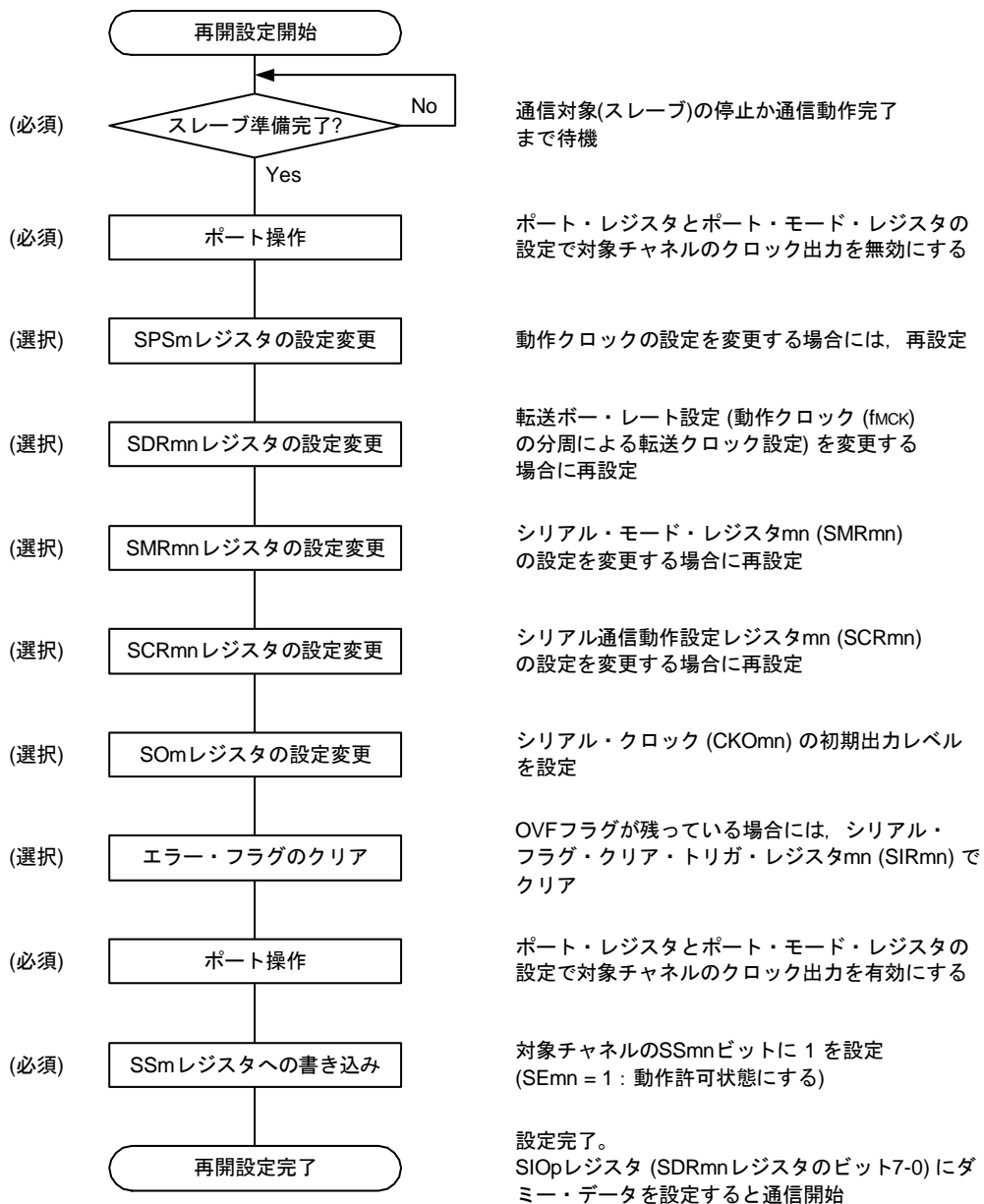


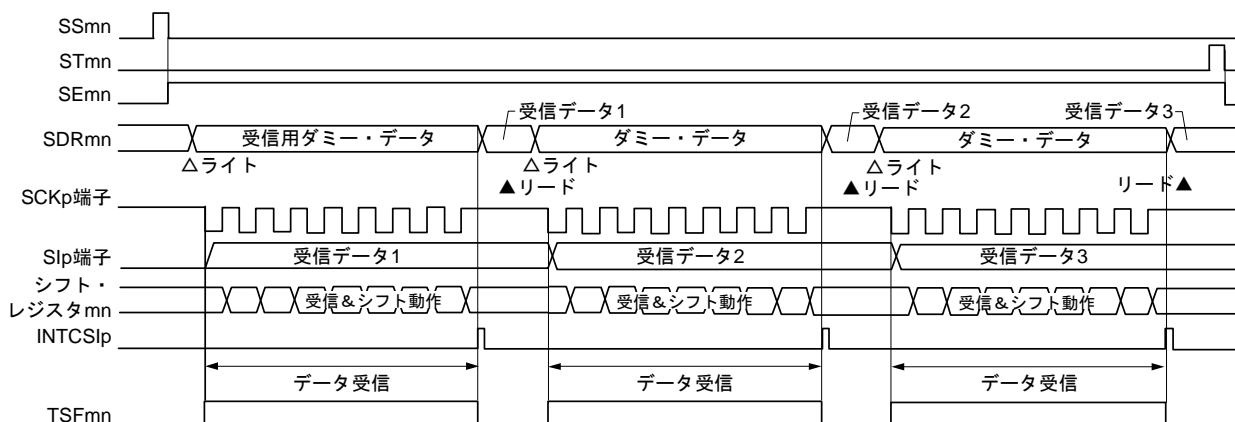
図 20 - 36 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

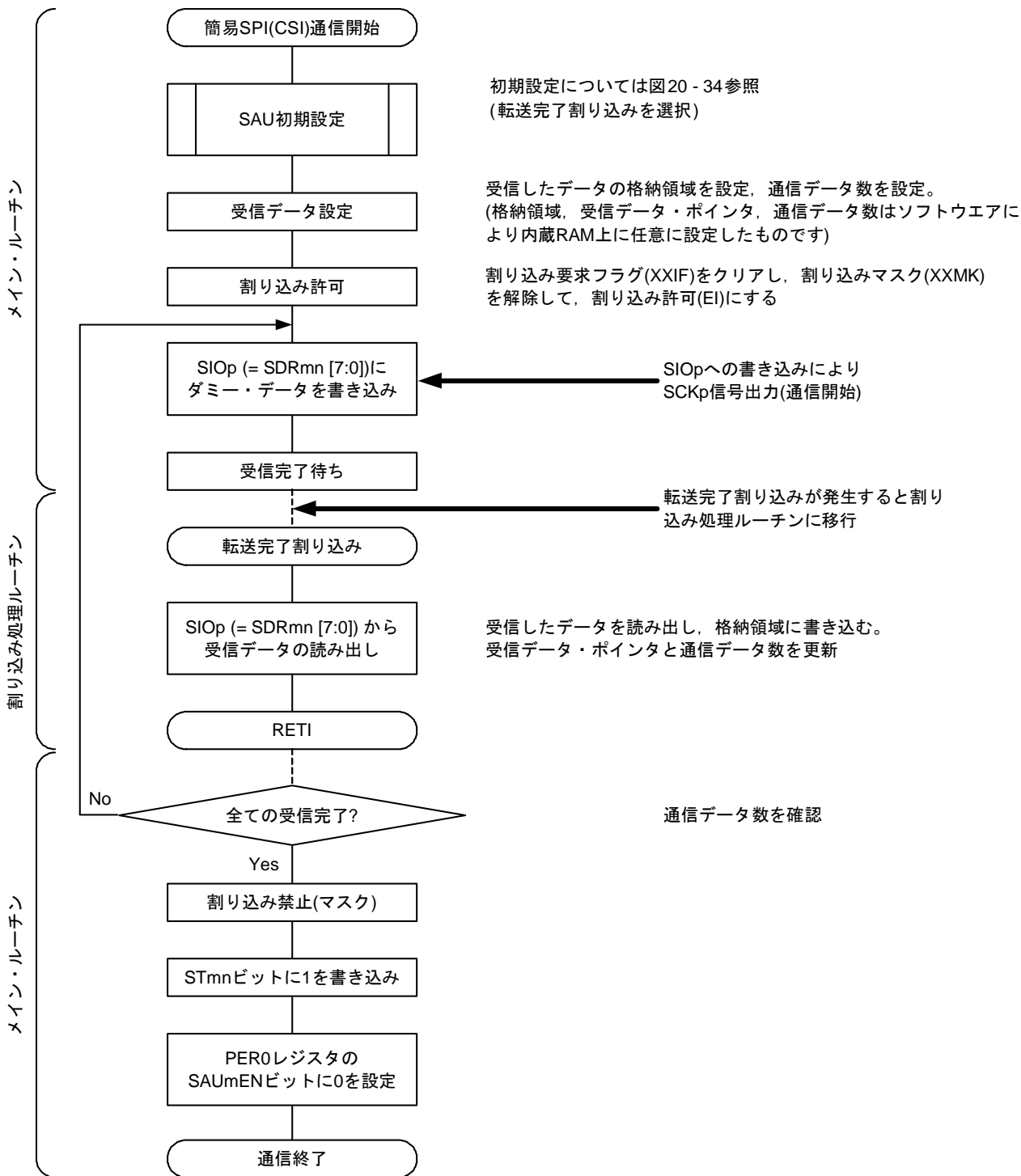
(3) 処理フロー (シングル受信モード時)

図20 - 37 マスタ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



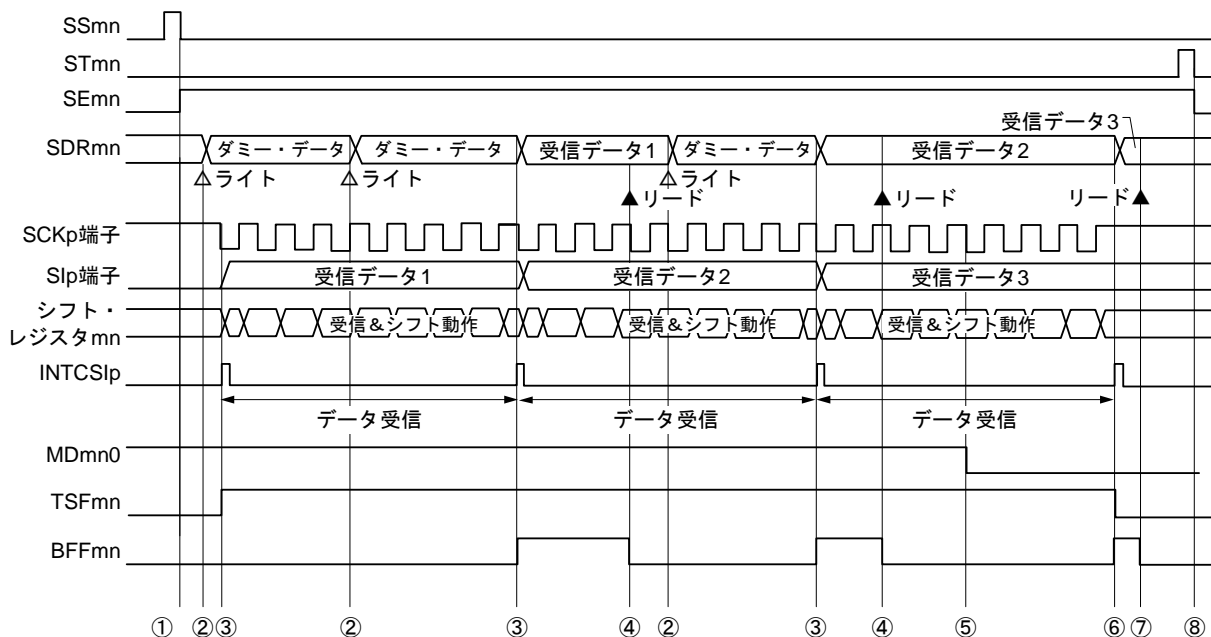
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

図20 - 38 マスタ受信(シングル受信モード時)のフロー・チャート



(4) 処理フロー (連続受信モード時)

図20 - 39 マスタ受信 (連続受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



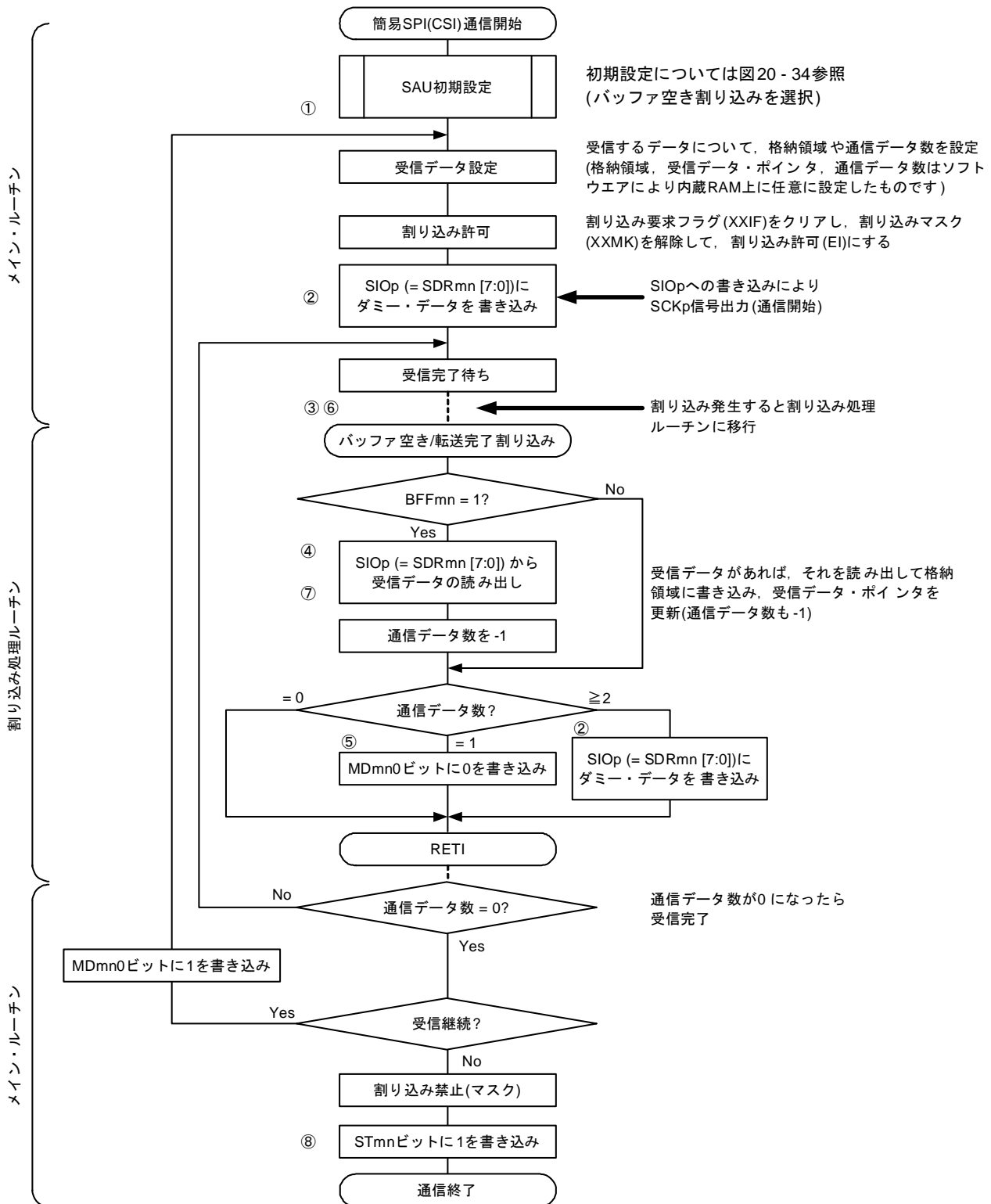
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、図20 - 40 マスタ受信 (連続受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

図20 - 40 マスタ受信(連続受信モード時)のフロー・チャート



備考 図中の①～⑧は、図20 - 39 マスタ受信(連続受信モード時)のタイミング・チャートの①～⑧に対応しています。

20.5.3 マスタ送受信

マスタ送受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK20, SI20, SO20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ		
転送データ長	7ビットまたは8ビット		
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/ (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ入出力を開始		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転		
データ方向	MSBファーストまたはLSBファースト		

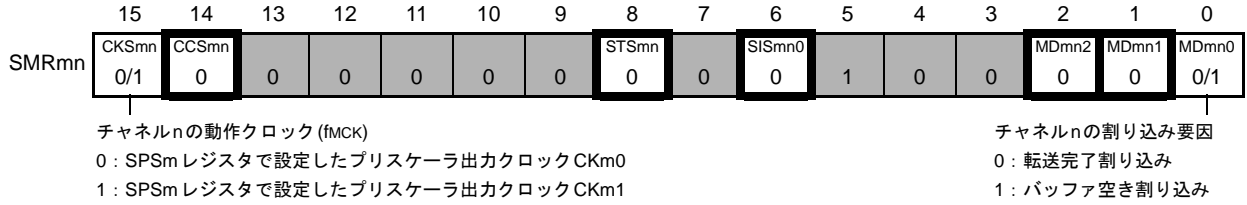
注 この条件を満たし、かつ電气的特性の周辺機能特性(第38章 または第39章 電气的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20) mn = 00, 02, 10

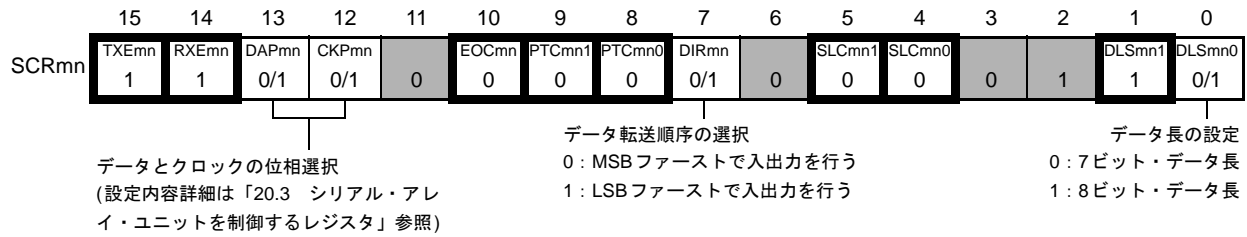
(1) レジスタ設定

図20 - 41 簡易SPI (CSI00, CSI10, CSI20)のマスタ送受信時のレジスタ設定内容例

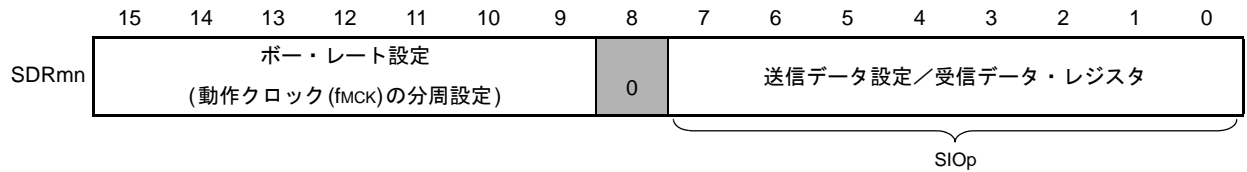
(a) シリアル・モード・レジスタ mn (SMRmn)



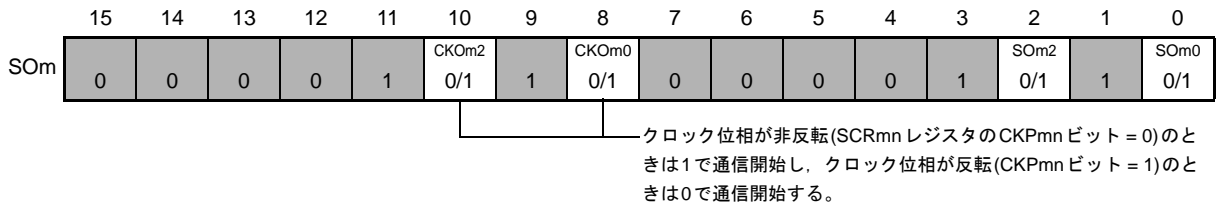
(b) シリアル通信動作設定レジスタ mn (SCRmn)



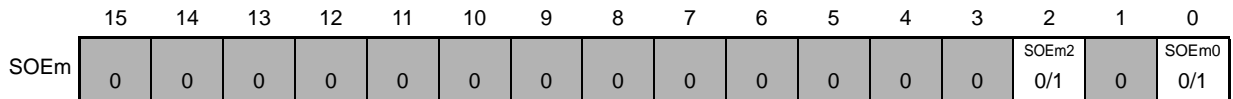
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



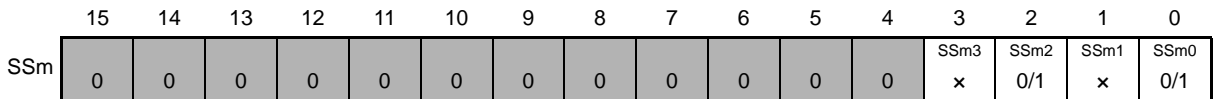
(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

備考2. : 簡易SPI(CSI)マスタ送受信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図20 - 42 マスタ送受信の初期設定手順

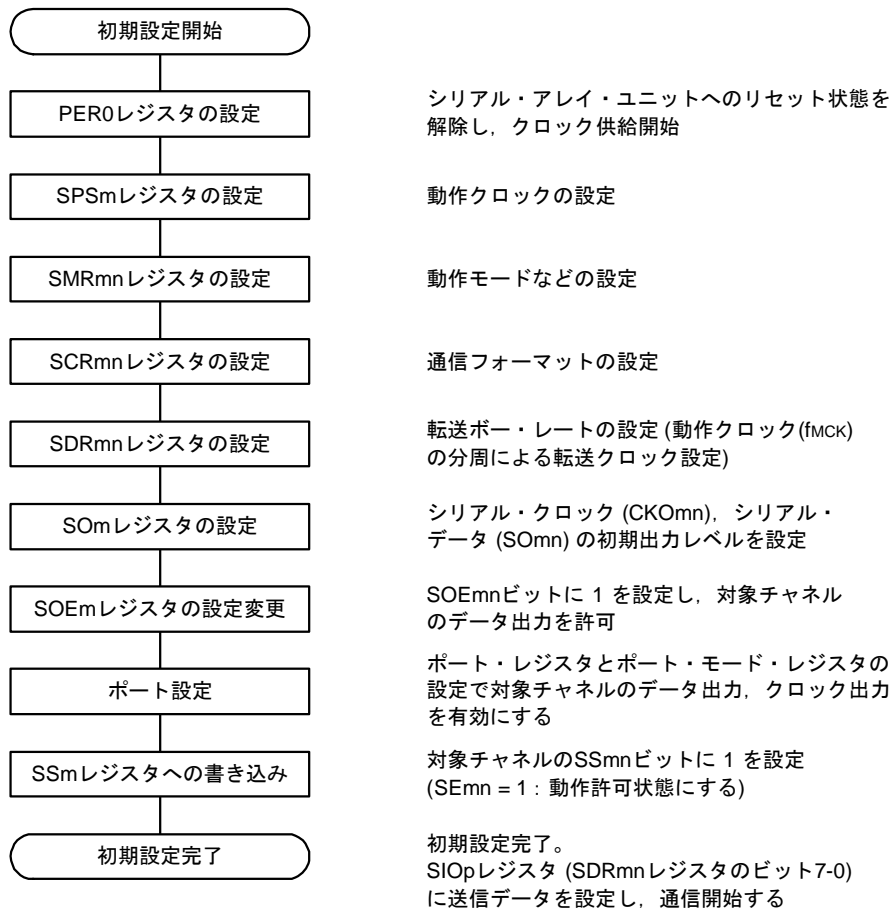


図20 - 43 マスタ送受信の中断手順

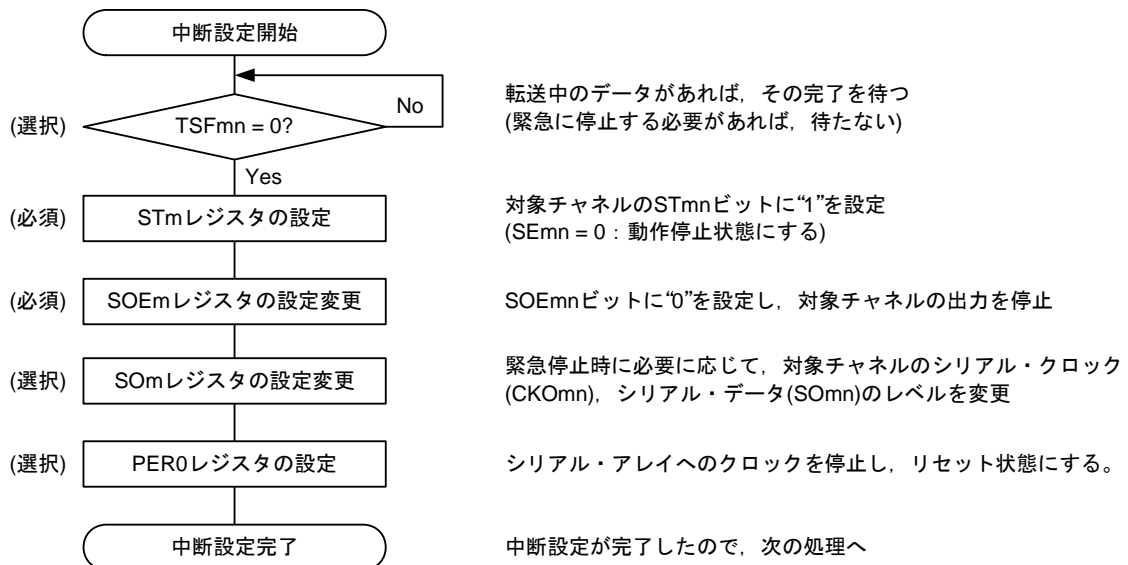
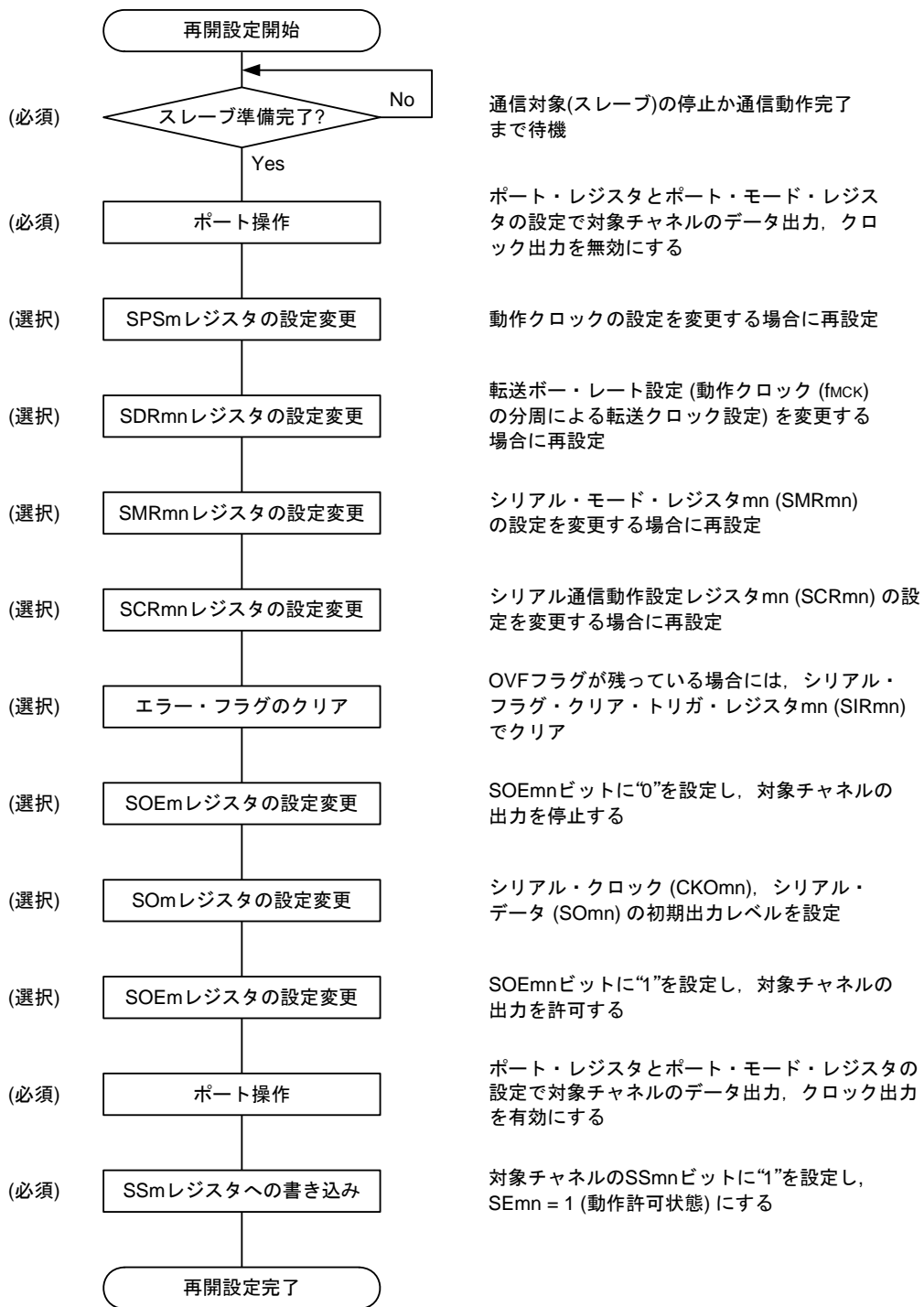
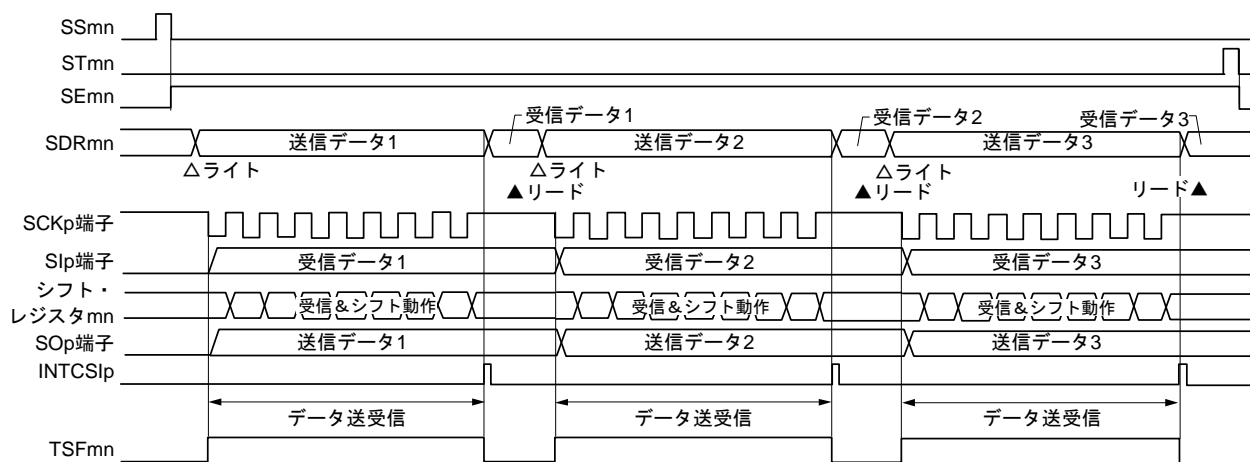


図20 - 44 マスタ送受信の再開設定手順



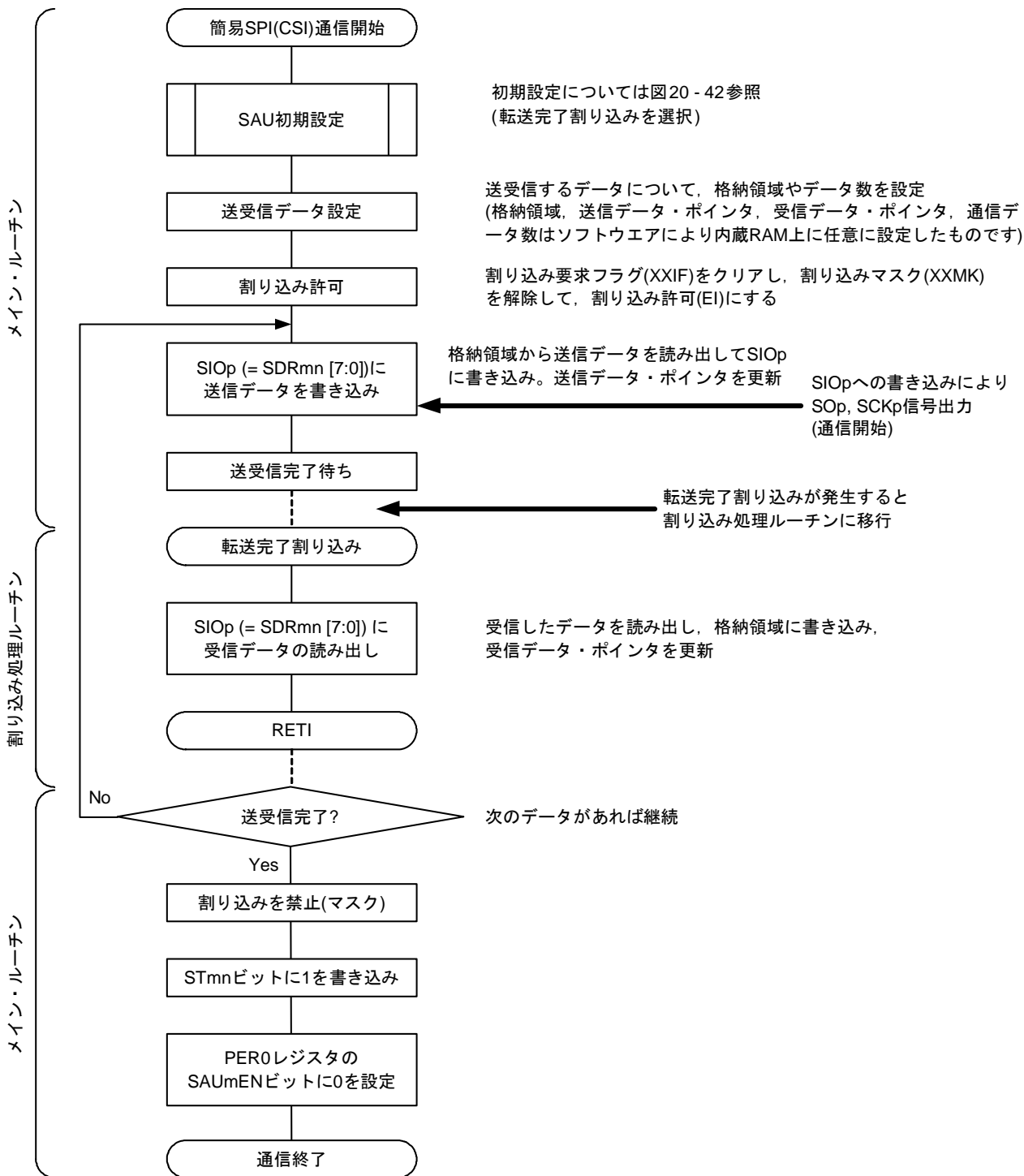
(3) 処理フロー (シングル送受信モード時)

図20 - 45 マスタ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



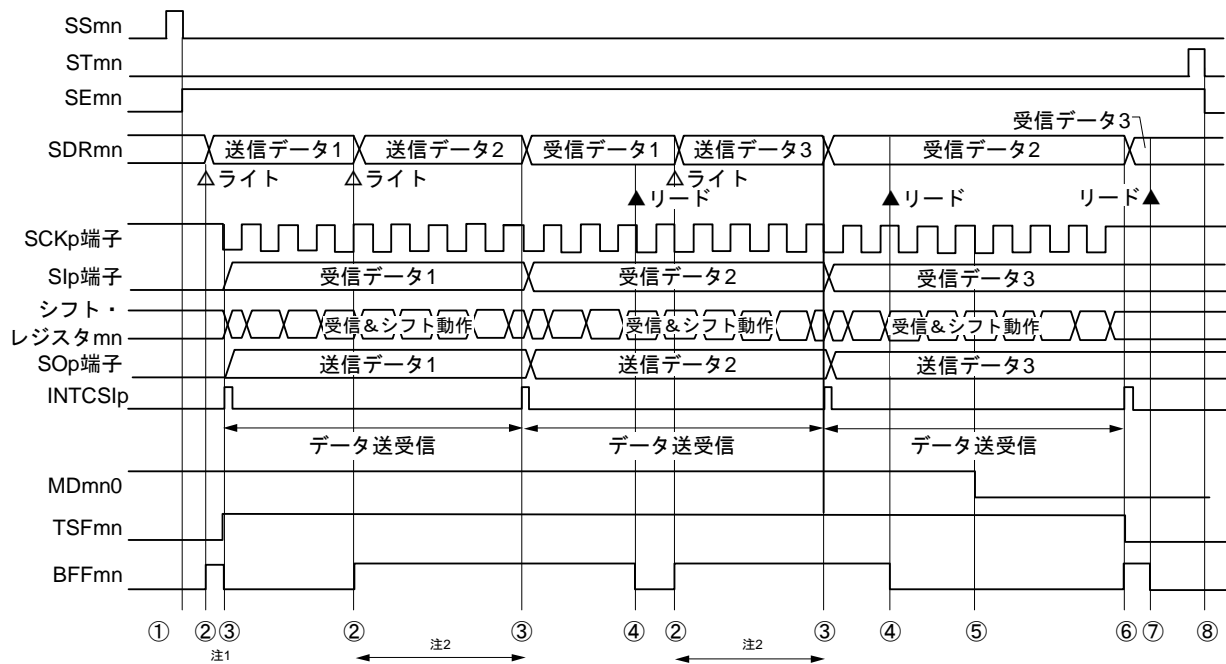
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

図20 - 46 マスタ送受信(シングル送受信モード時)のフロー・チャート



(4) 処理フロー (連続送受信モード時)

図20 - 47 マスタ送受信 (連続送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



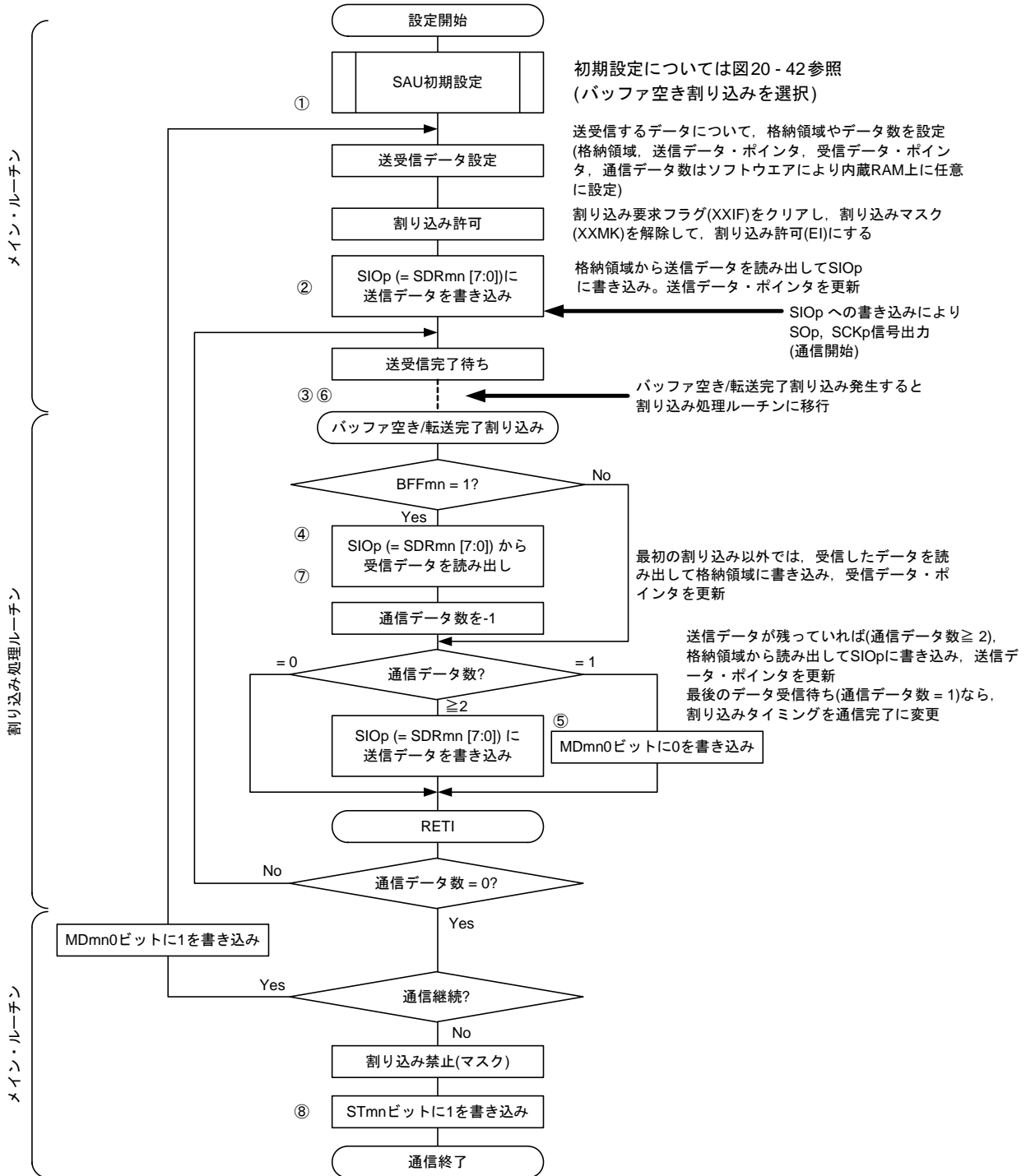
- 注1. シリアル・ステータス・レジスタ mn (SSRmn)のBFFmnビットが1の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されている時)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
- 注2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn)のMDmn0ビットは、動作中でも書き換えることができます。
 ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図20 - 48 マスタ送受信 (連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

図20 - 48 マスタ送受信(連続送受信モード時)のフロー・チャート



備考 図中の①～⑧は、図20 - 47 マスタ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

20.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスヘータを送信する動作です。

簡易SPI	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SO00	SCK10, SO10	SCK20, SO20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{mck}/6$ [Hz]注1, 2		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

注1. SCK00, SCK10, SCK20 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{mck}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{mck} : 対象チャンネルの動作クロック周波数

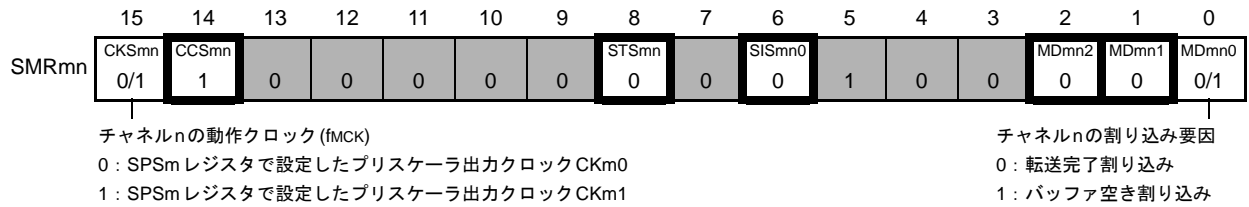
f_{sck} : シリアル・クロック周波数

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10

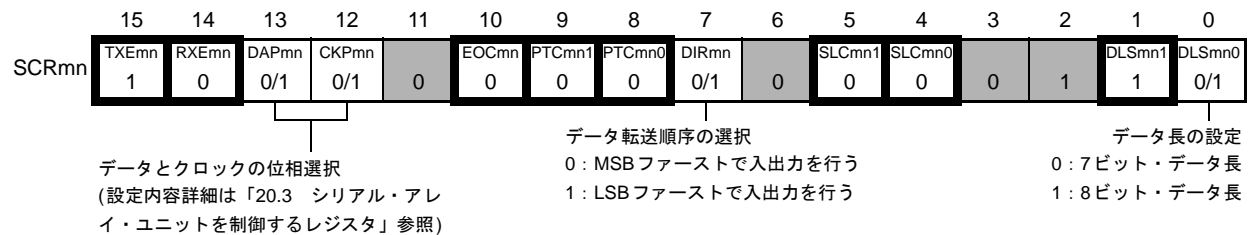
(1) レジスタ設定

図20 - 49 簡易SPI (CSI00, CSI10, CSI20)のスレーブ送信時のレジスタ設定内容例

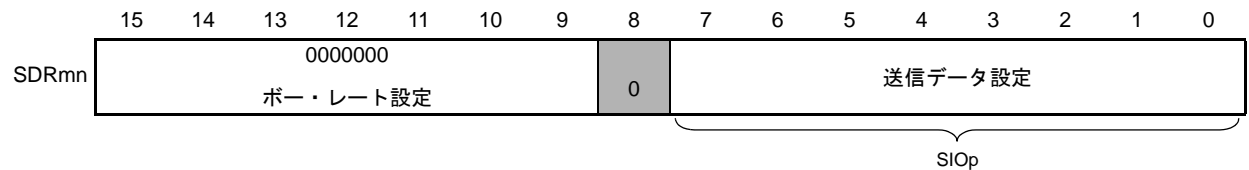
(a) シリアル・モード・レジスタ mn (SMRmn)



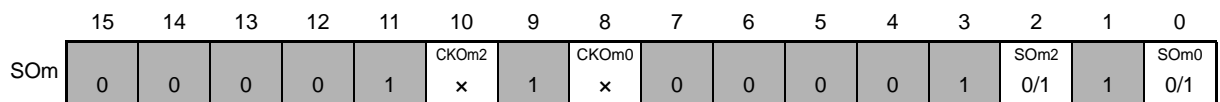
(b) シリアル通信動作設定レジスタ mn (SCRmn)



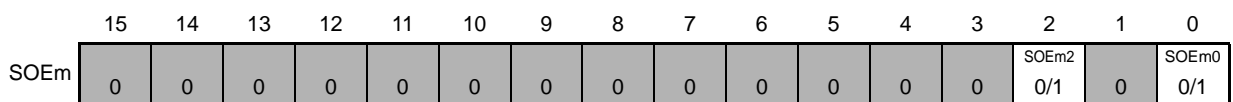
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



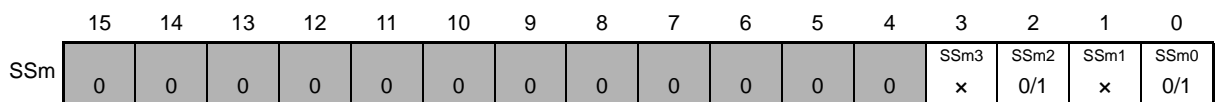
(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

備考2. : 簡易SPI(CSI)スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図20 - 50 スレーブ送信の初期設定手順

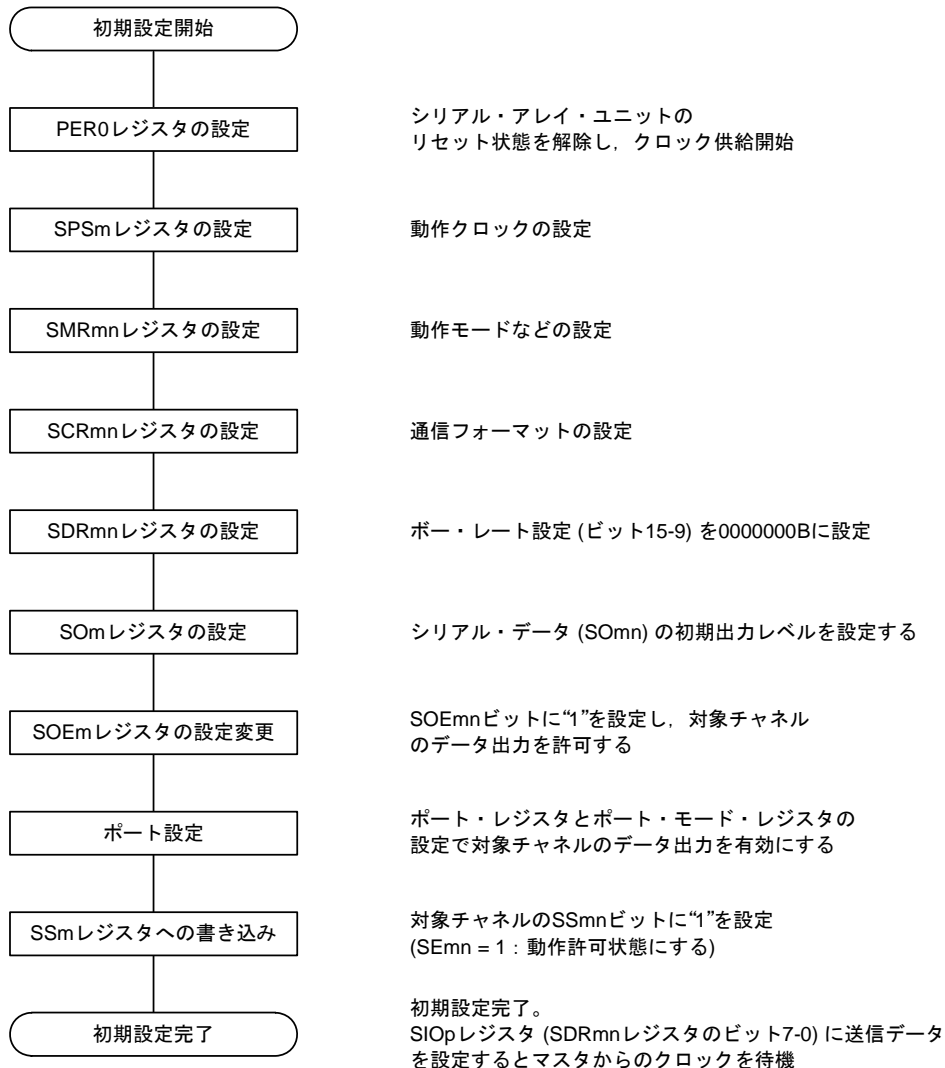


図20 - 51 スレーブ送信の中断手順

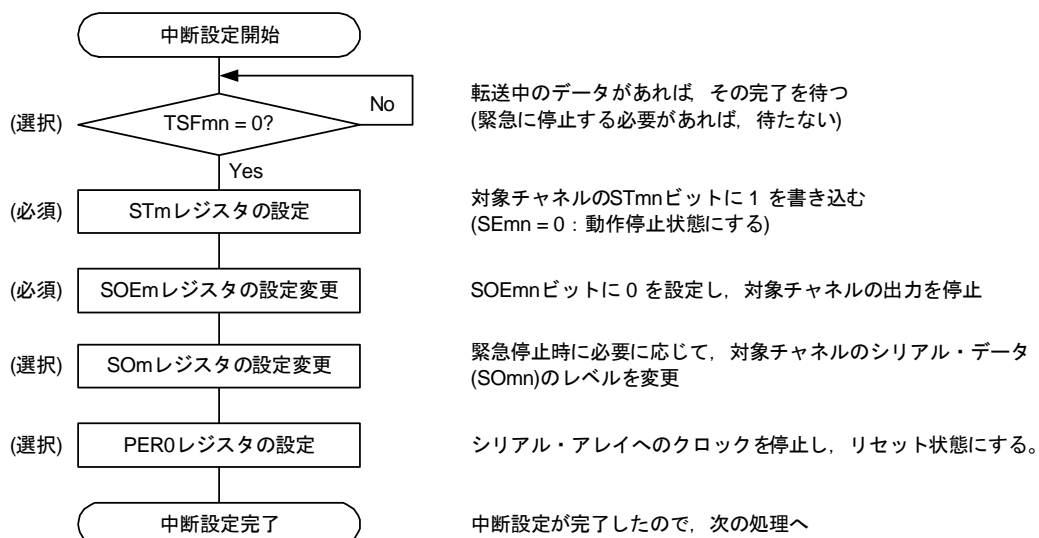
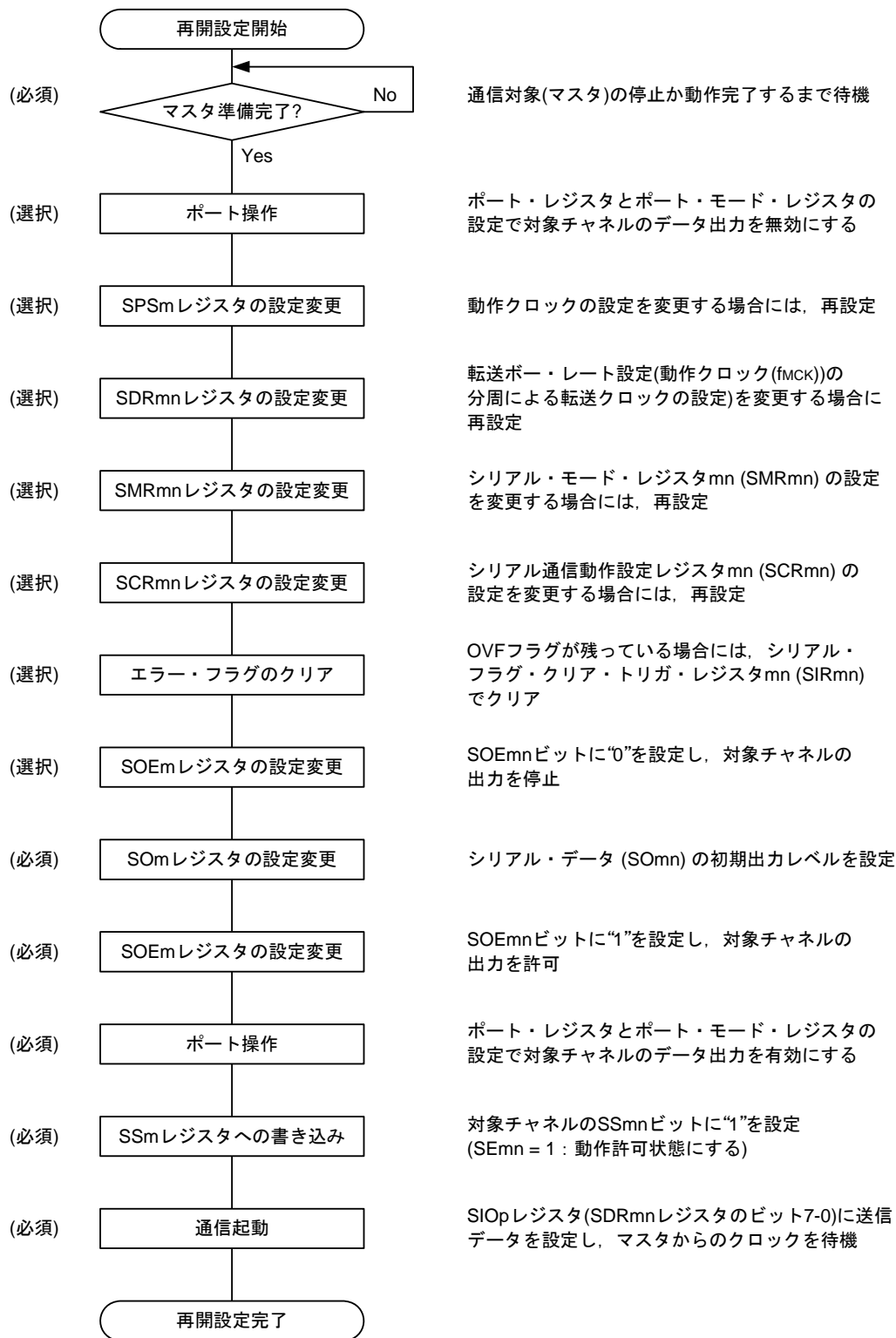


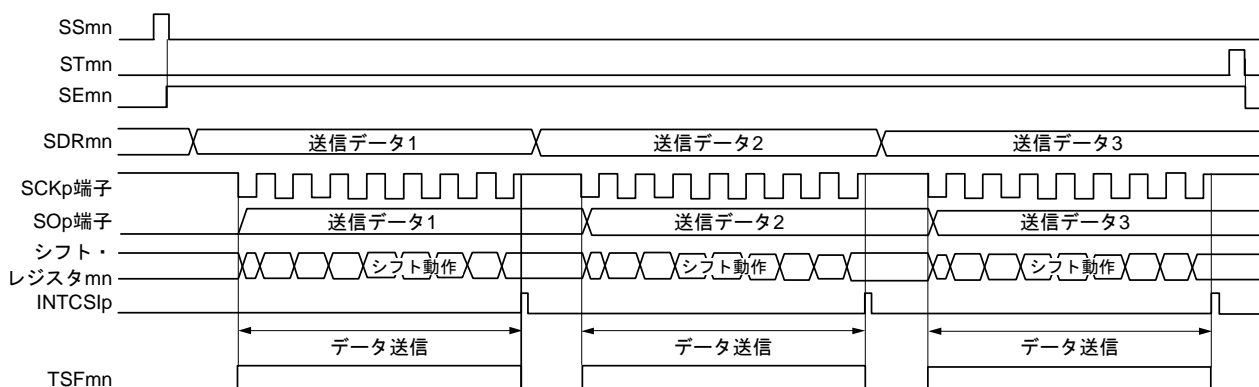
図20 - 52 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

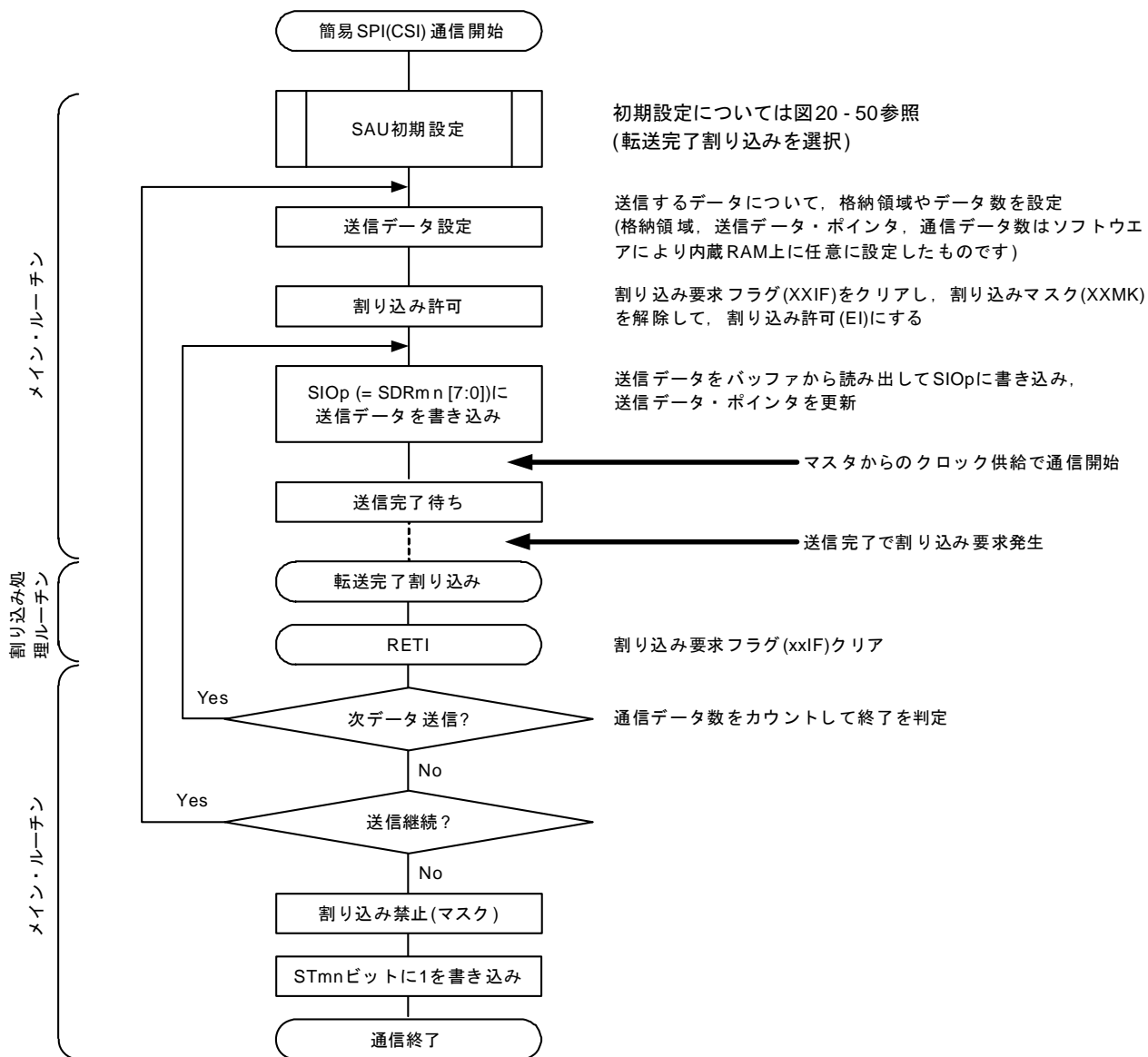
(3) 処理フロー (シングル送信モード時)

図20 - 53 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



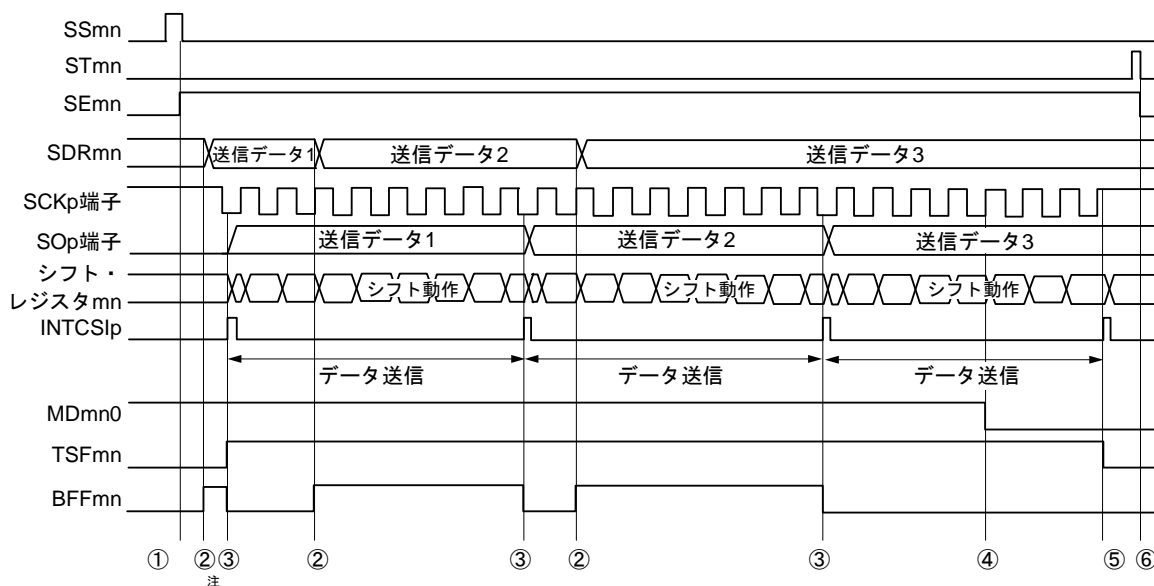
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

図20 - 54 スレーブ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図20 - 55 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

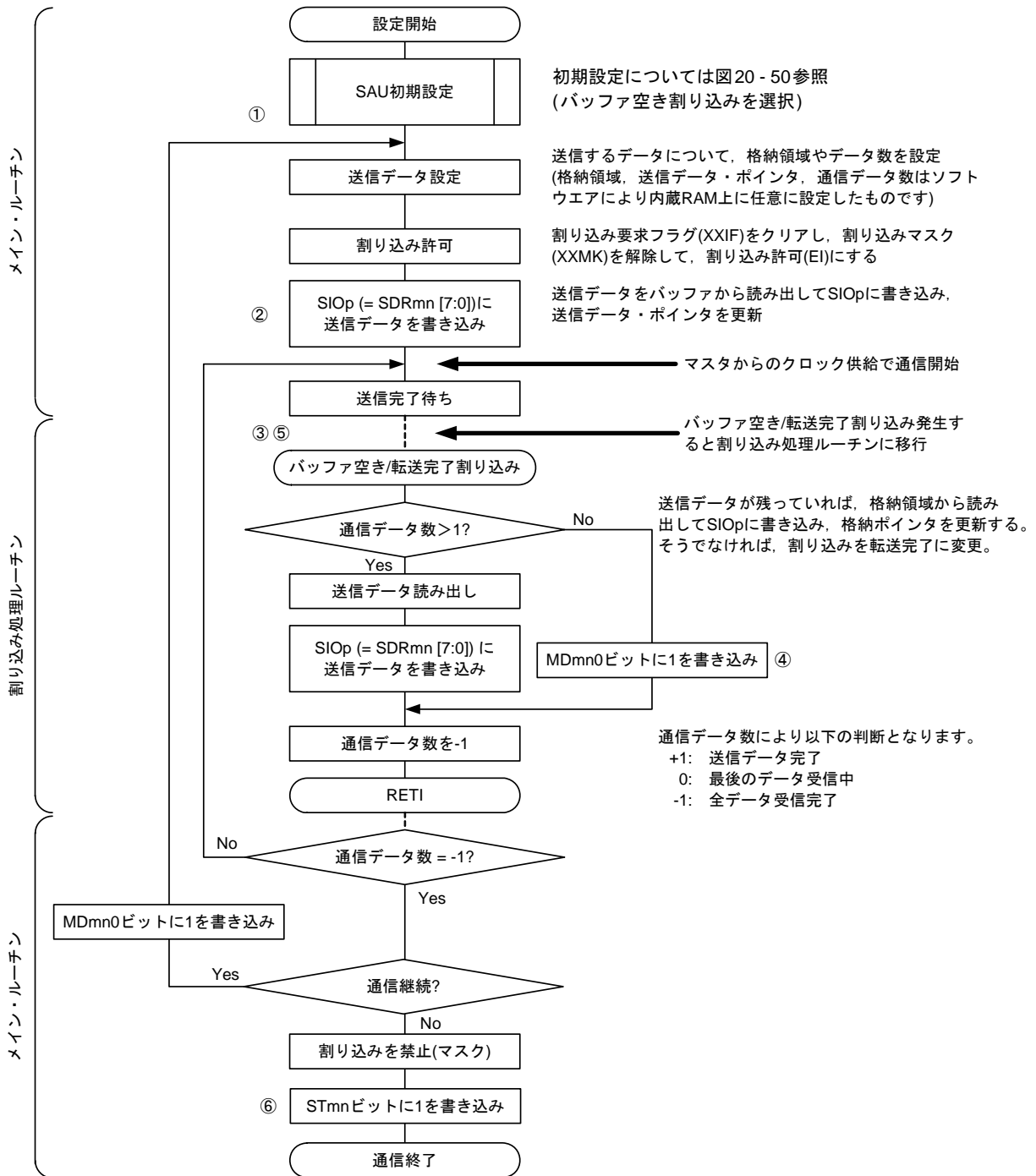


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI 番号 (p = 00, 10, 20) mn = 00, 02, 10

図20 - 56 スレーブ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は、図20 - 55 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

20.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SI00	SCK10, SI10	SCK20, SI20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)		
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 		
データ方向	MSB ファーストまたはLSB ファースト		

注1. SCK00, SCK10端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

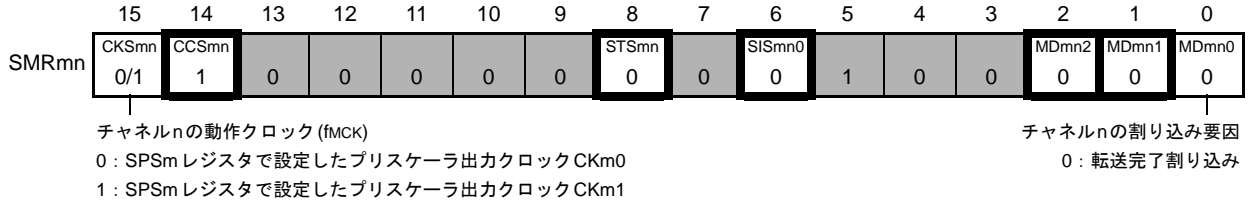
f_{SCK} : シリアル・クロック周波数

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10

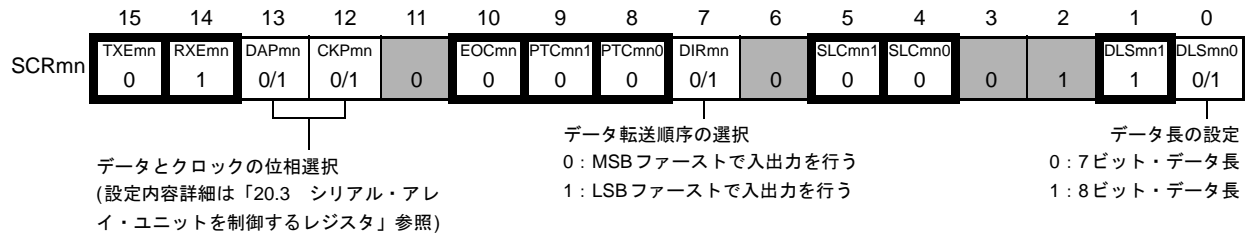
(1) レジスタ設定

図20 - 57 簡易SPI (CSI00, CSI10, CSI20)のスレーブ受信時のレジスタ設定内容例

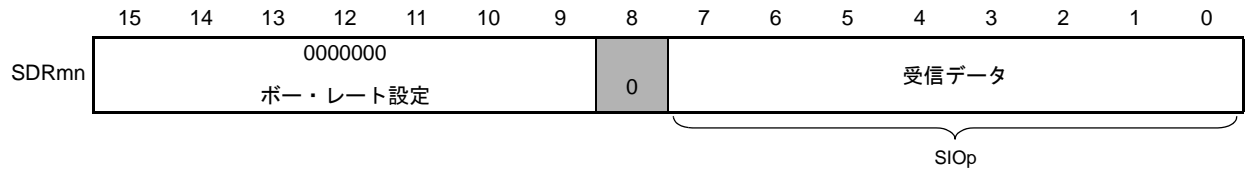
(a) シリアル・モード・レジスタ mn (SMRmn)



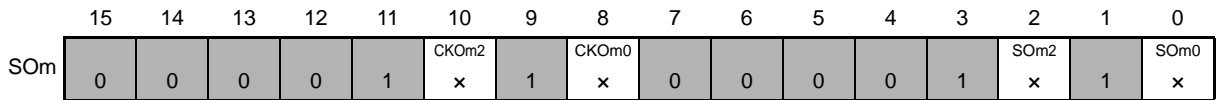
(b) シリアル通信動作設定レジスタ mn (SCRmn)



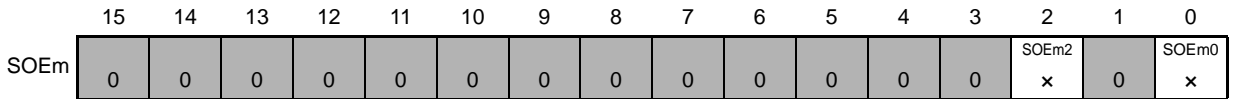
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



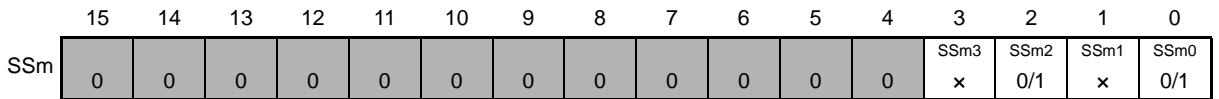
(d) シリアル出力レジスタ m (SOm) このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

備考2. : 簡易SPI(CSI)スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図20 - 58 スレーブ受信の初期設定手順

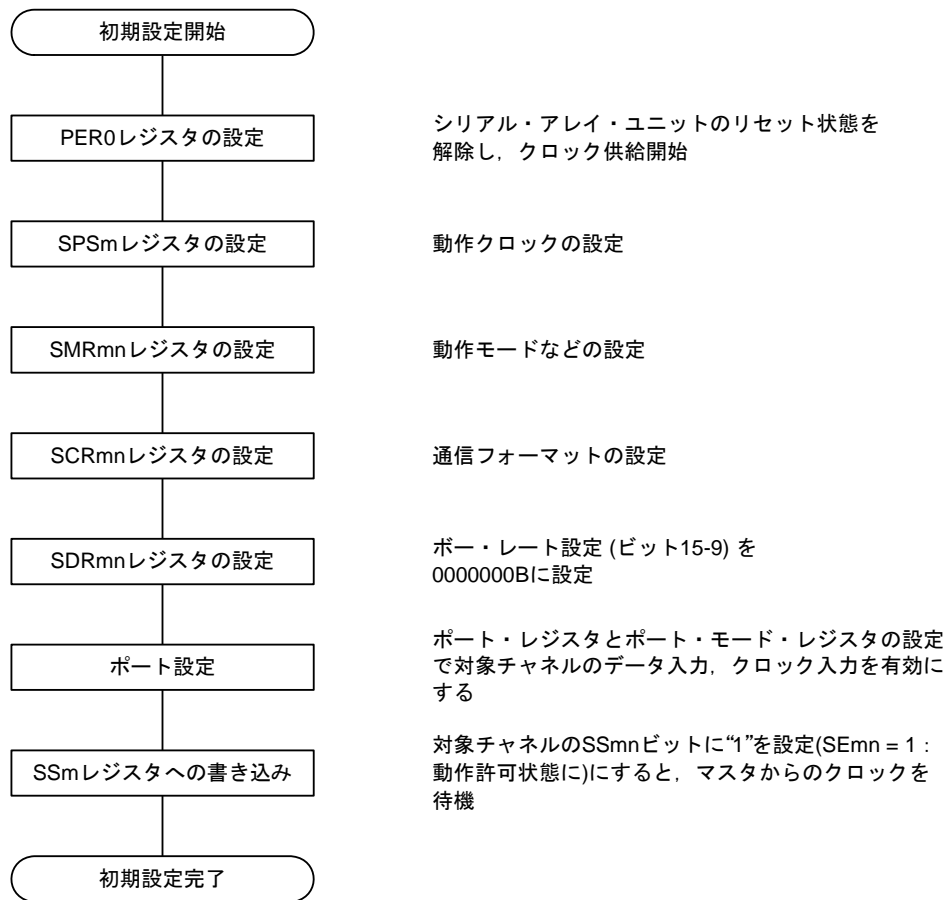


図20 - 59 スレーブ受信の中断手順

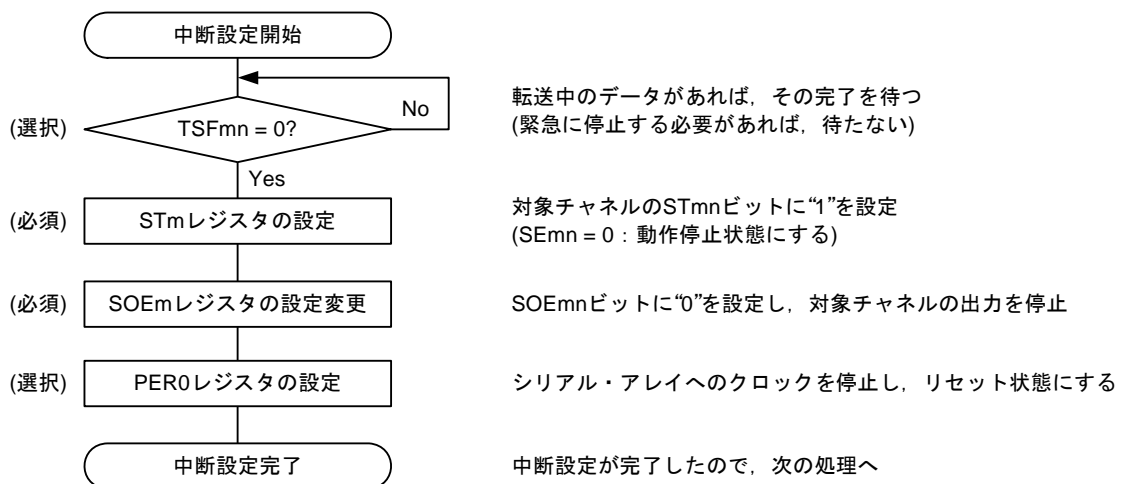
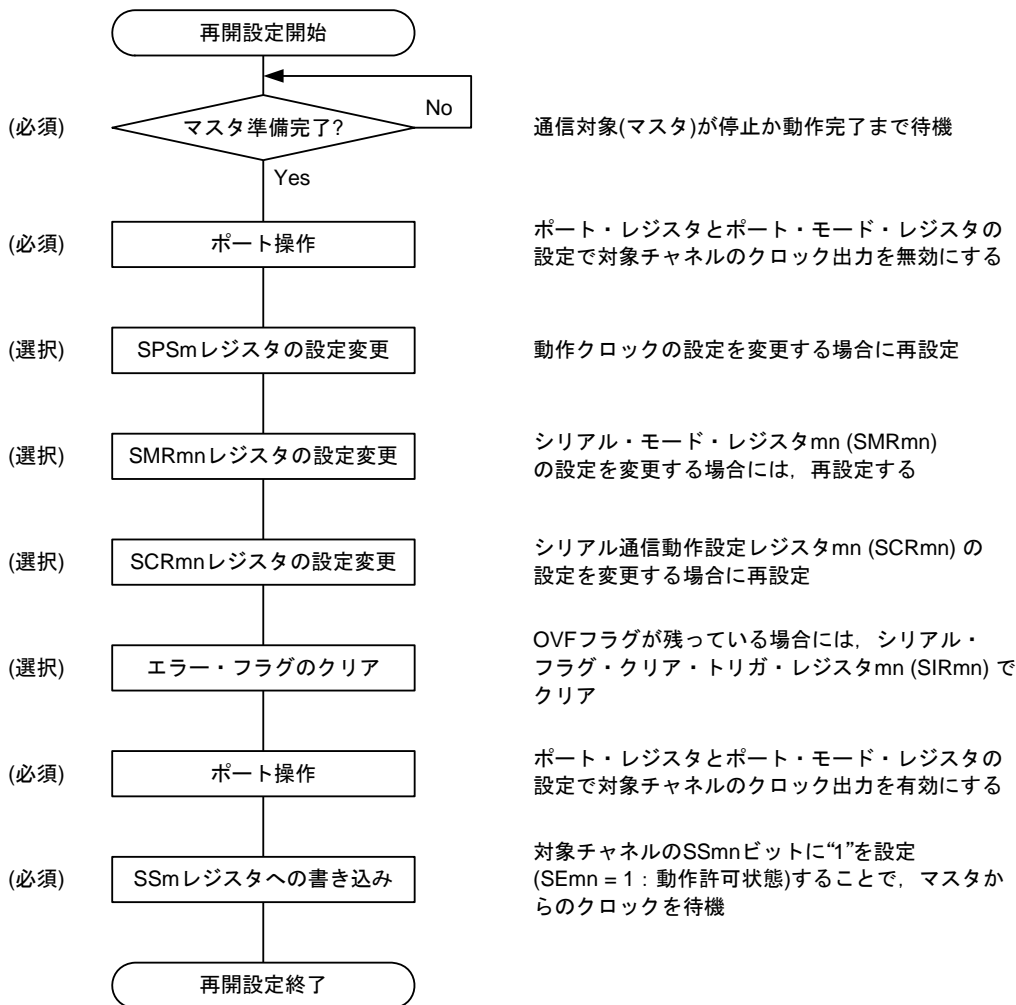


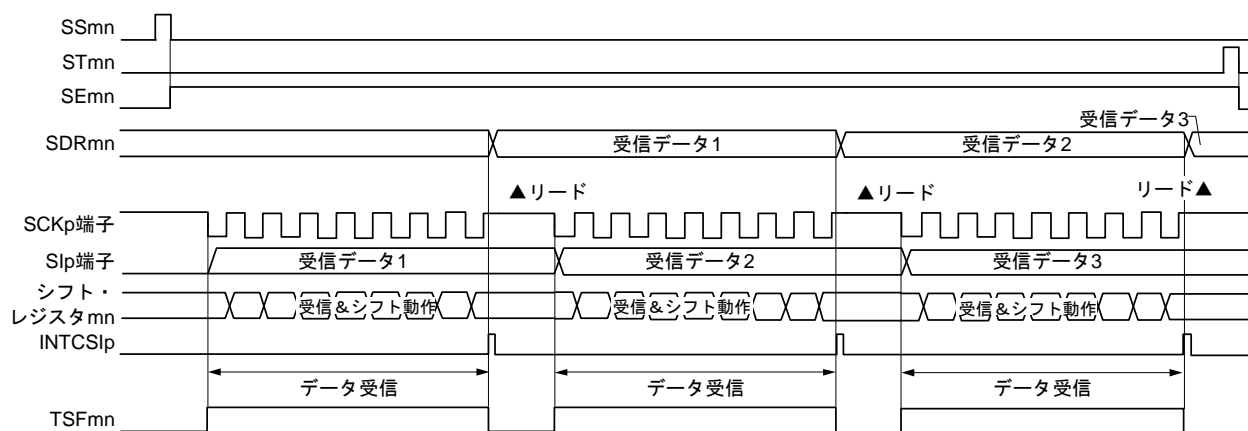
図20 - 60 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

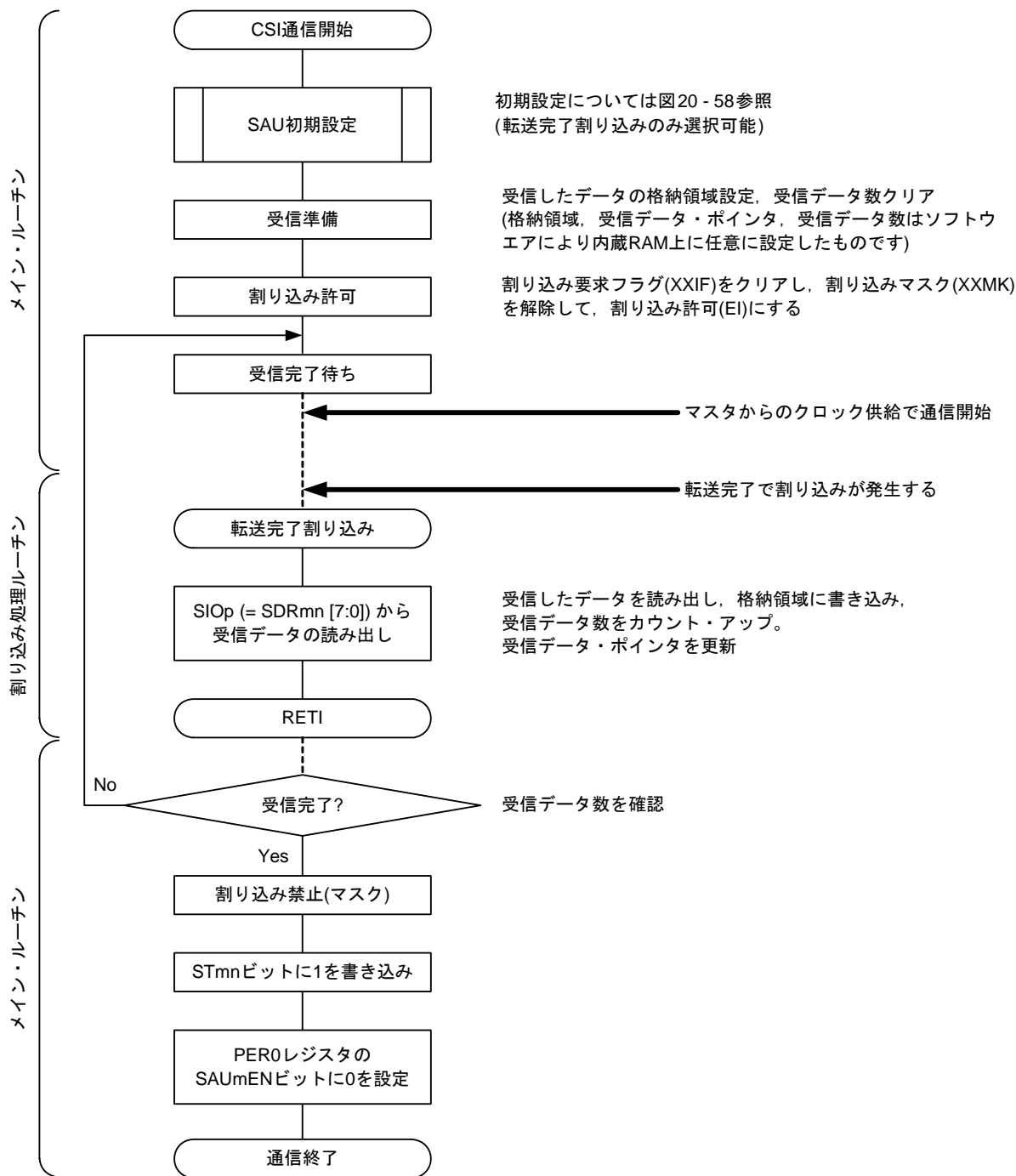
(3) 処理フロー (シングル受信モード時)

図20 - 61 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

図20 - 62 スレーブ受信(シングル受信モード時)のフロー・チャート



20.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK20, SI20, SO20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2		
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 		
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

注1. SCK00, SCK10, SCK20 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

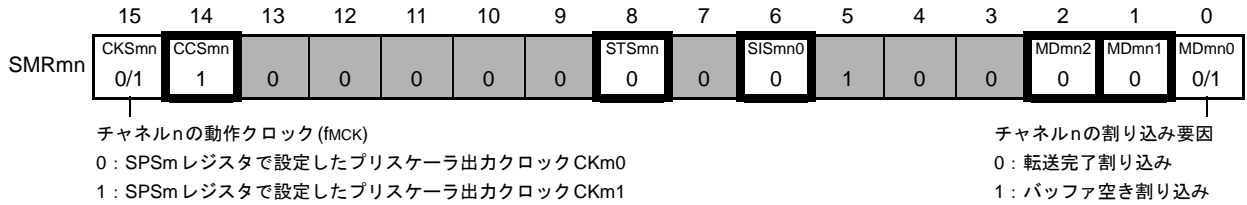
f_{SCK} ：シリアル・クロック周波数

備考2. m：ユニット番号(m = 0, 1) n：チャンネル番号(n = 0, 2) mn = 00, 02, 10

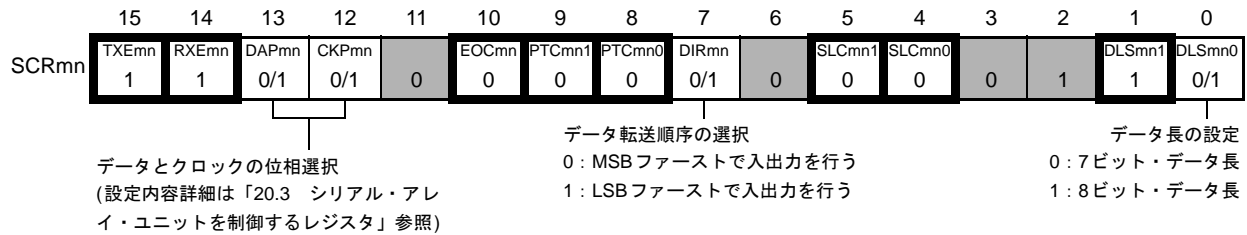
(1) レジスタ設定

図20 - 63 簡易SPI (CSI00, CSI10, CSI20)のスレーブ送受信時のレジスタ設定内容例

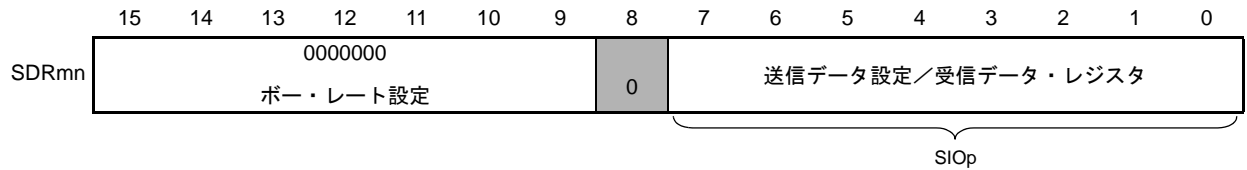
(a) シリアル・モード・レジスタ mn (SMRmn)



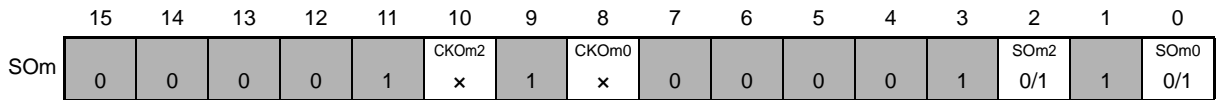
(b) シリアル通信動作設定レジスタ mn (SCRmn)



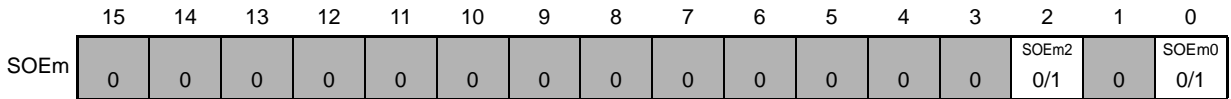
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



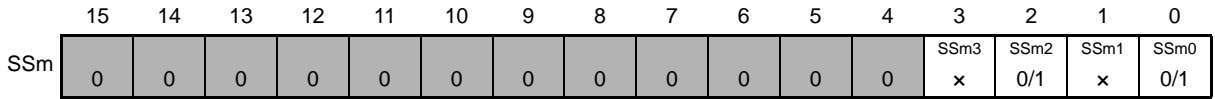
(d) シリアル出力レジスタ m (SOM) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) p: CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

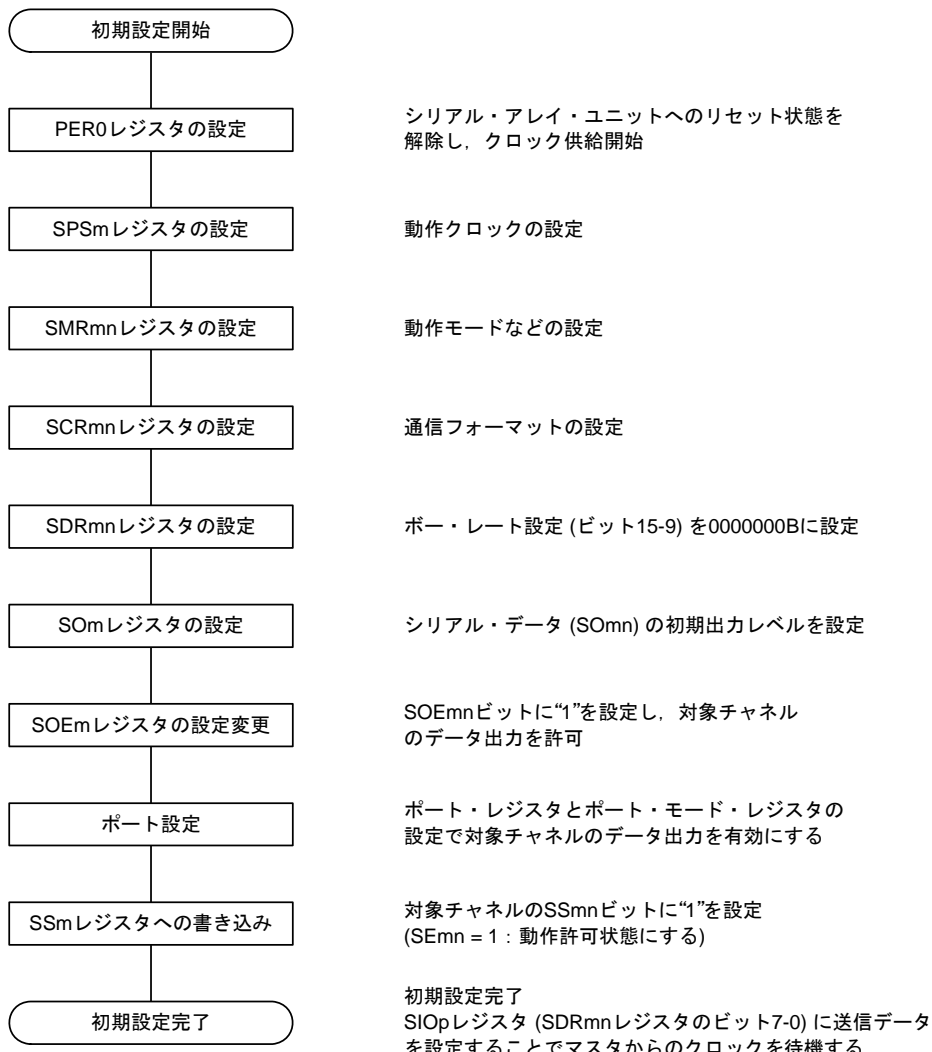
備考2. : 簡易SPI(CSI)スレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図 20 - 64 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図 20 - 65 スレーブ送受信の中断手順

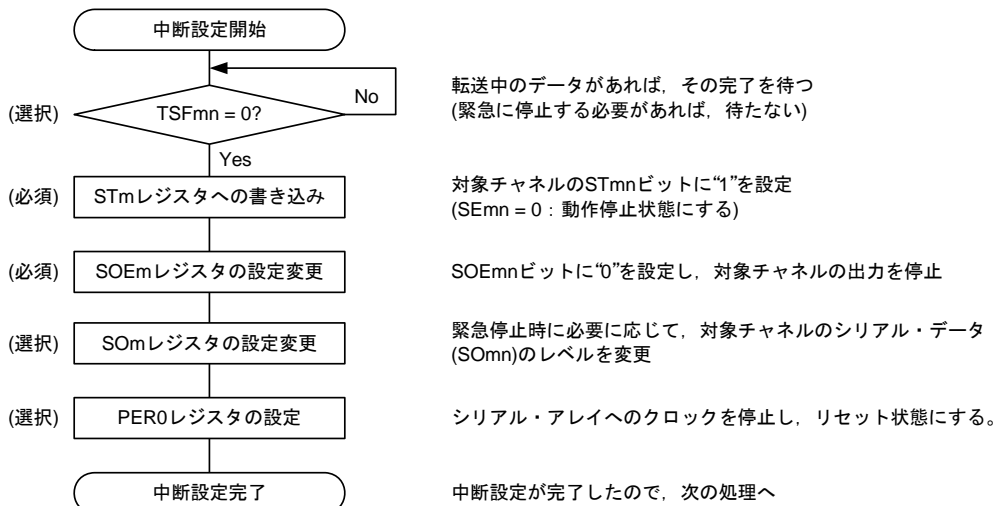
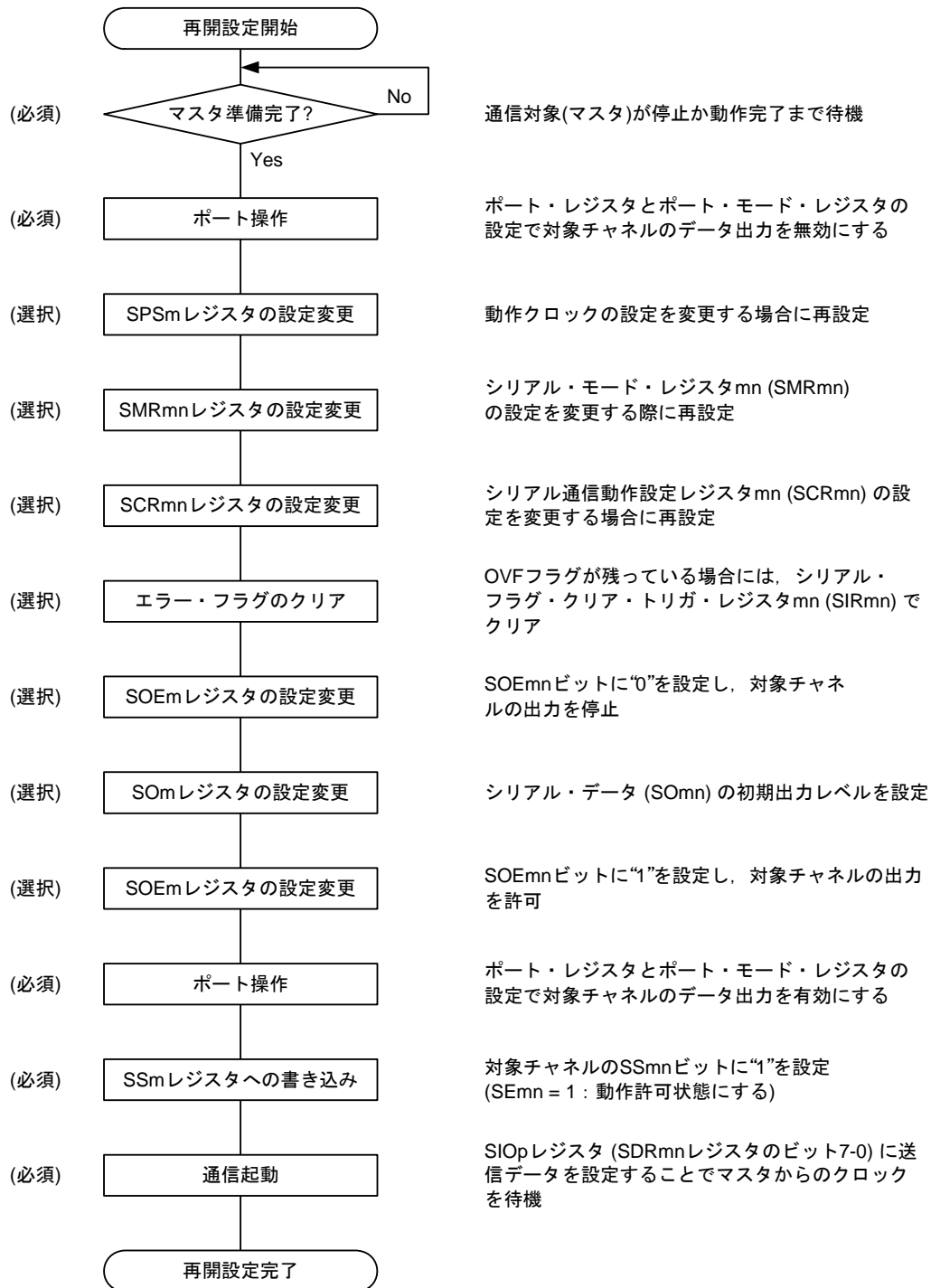


図 20 - 66 スレーブ送受信の再開設定手順

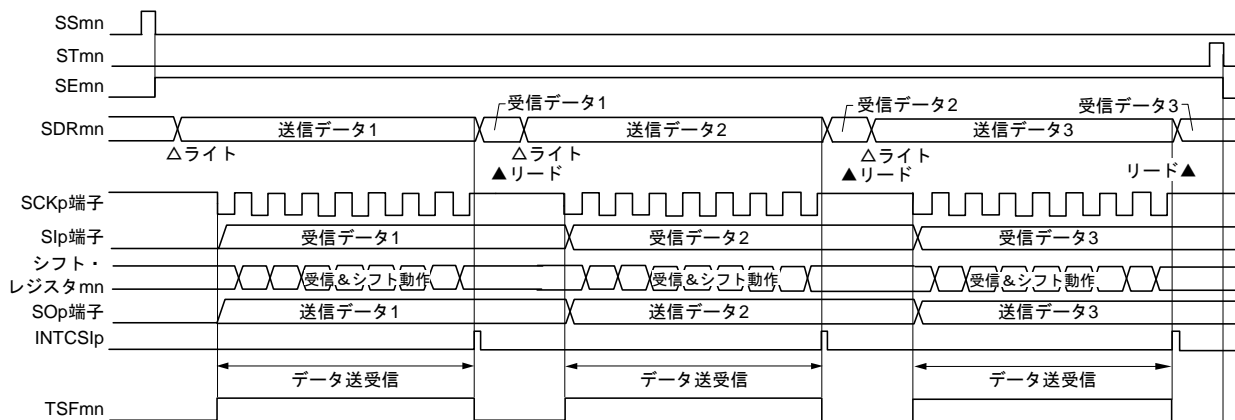


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

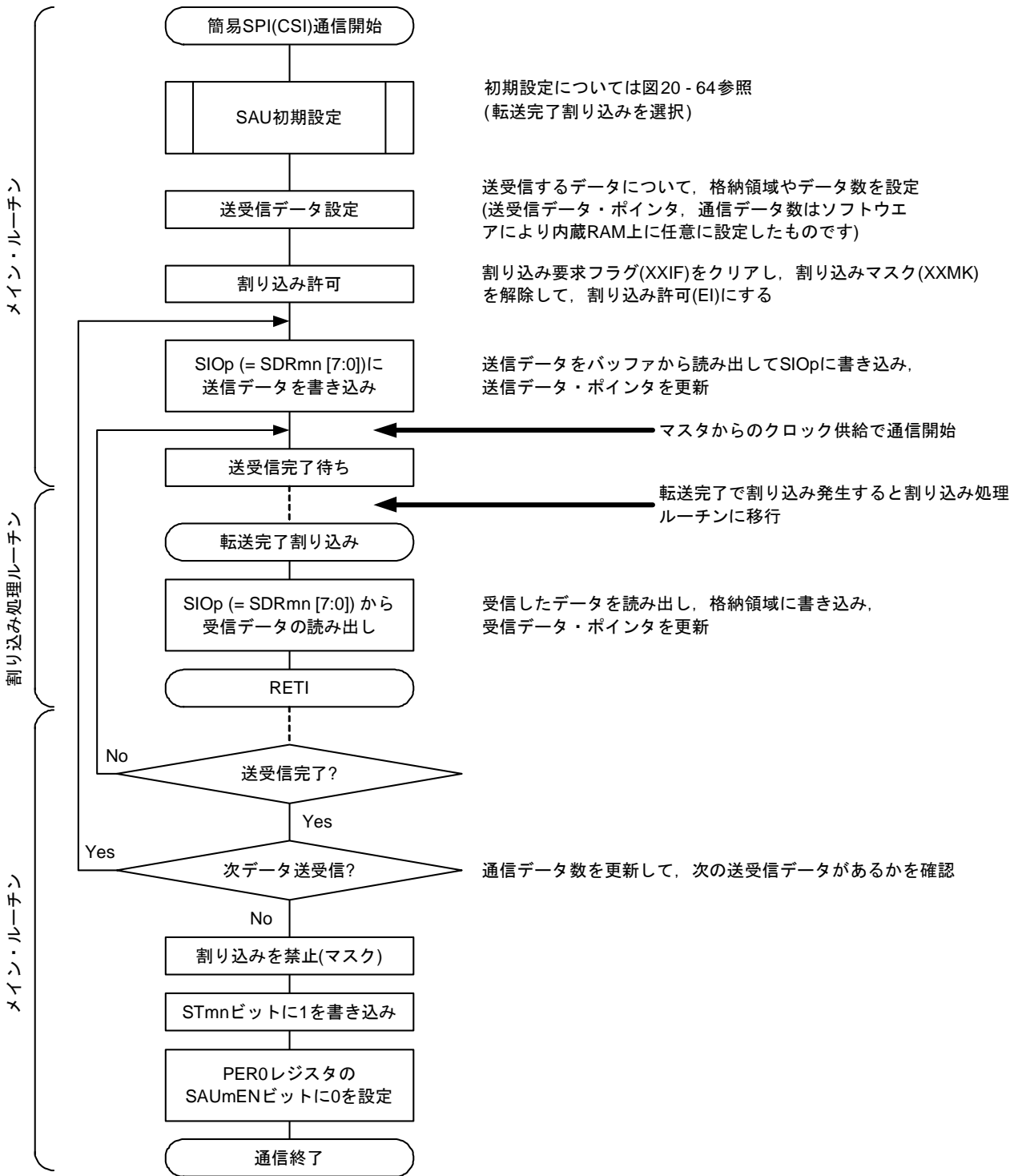
(3) 処理フロー (シングル送受信モード時)

図20 - 67 スレーブ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20) mn = 00, 02, 10

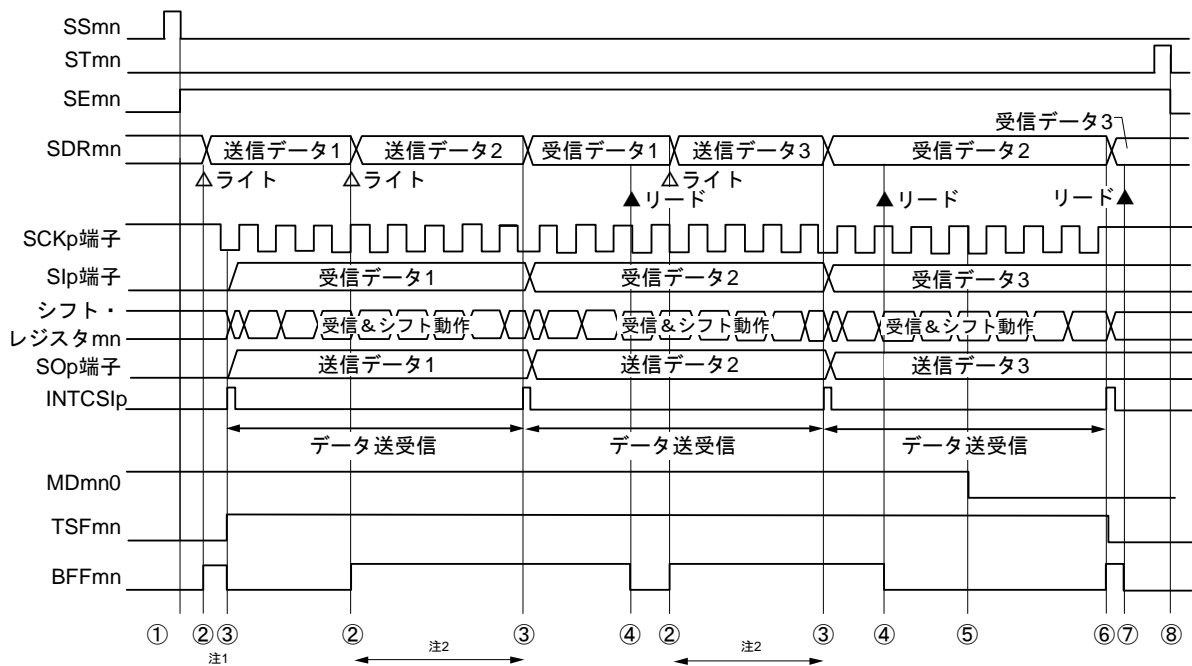
図20 - 68 スレーブ送受信(シングル送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図20 - 69 スレーブ送受信(連続送受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



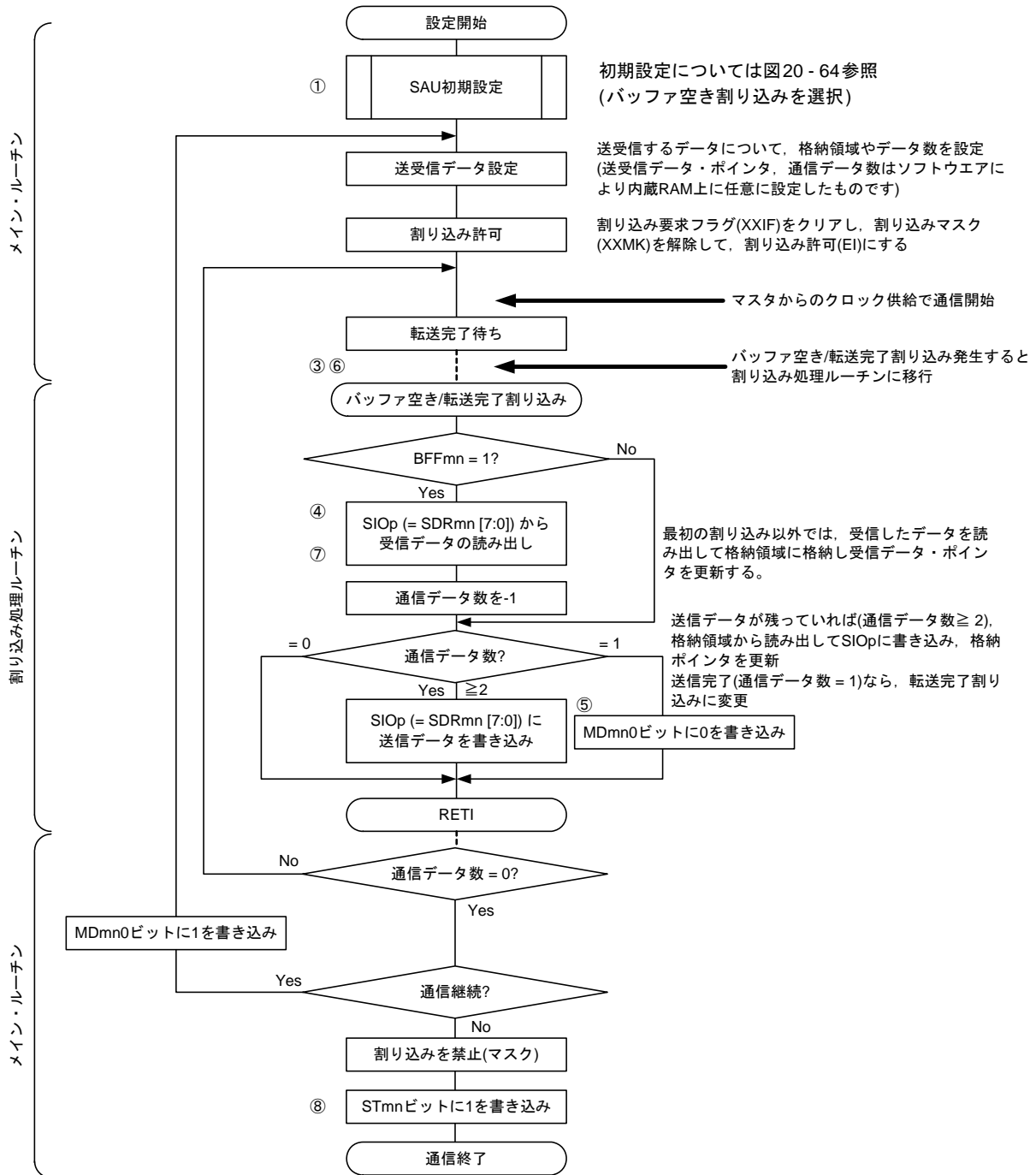
- 注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。
- 注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。
 ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図20 - 70 スレーブ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI 番号 (p = 00, 10, 20) mn = 00, 02, 10

図20 - 70 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①～⑧は、図20 - 69 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

20.5.7 SNOOZE モード機能

STOPモード時にSCKp端子入力の検出により簡易SPI(CSI)の受信動作をさせるモードです。通常STOP時に簡易SPI(CSI)は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI(CSI)の受信動作を行うことができます。SNOOZEモードは、CSI00, CSI20のみ設定可能です。

簡易SPI(CSI)をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います(図20-72, 図20-74 SNOOZEモード動作時のフローチャートを参照)。

- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm1ビットをセット(1)します。

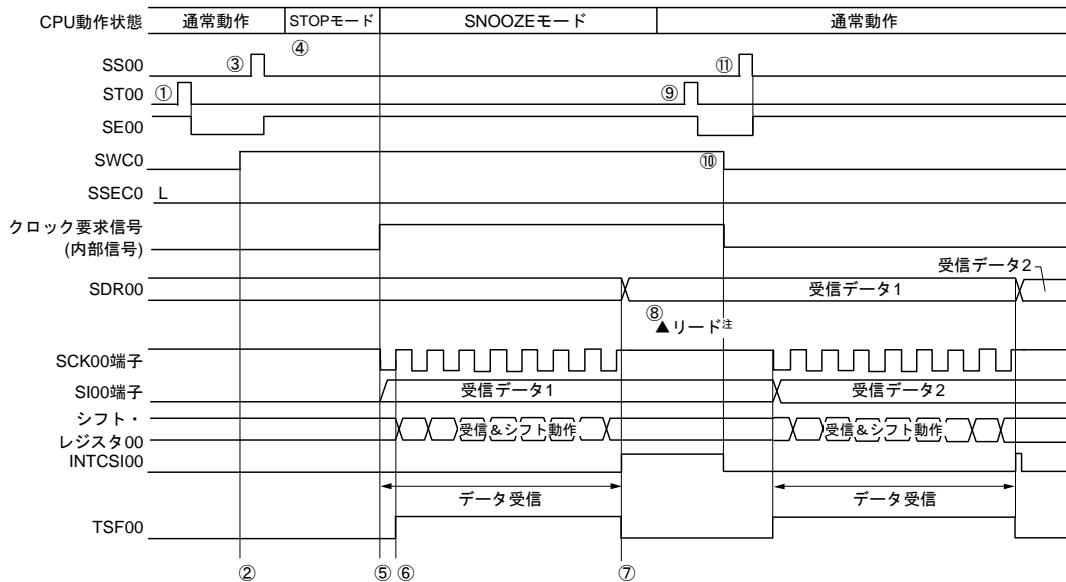
STOPモードに移行後、SCKp端子のエッジを検出すると、簡易SPI(CSI)受信を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作(1回起動)

図20-71 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子のエッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

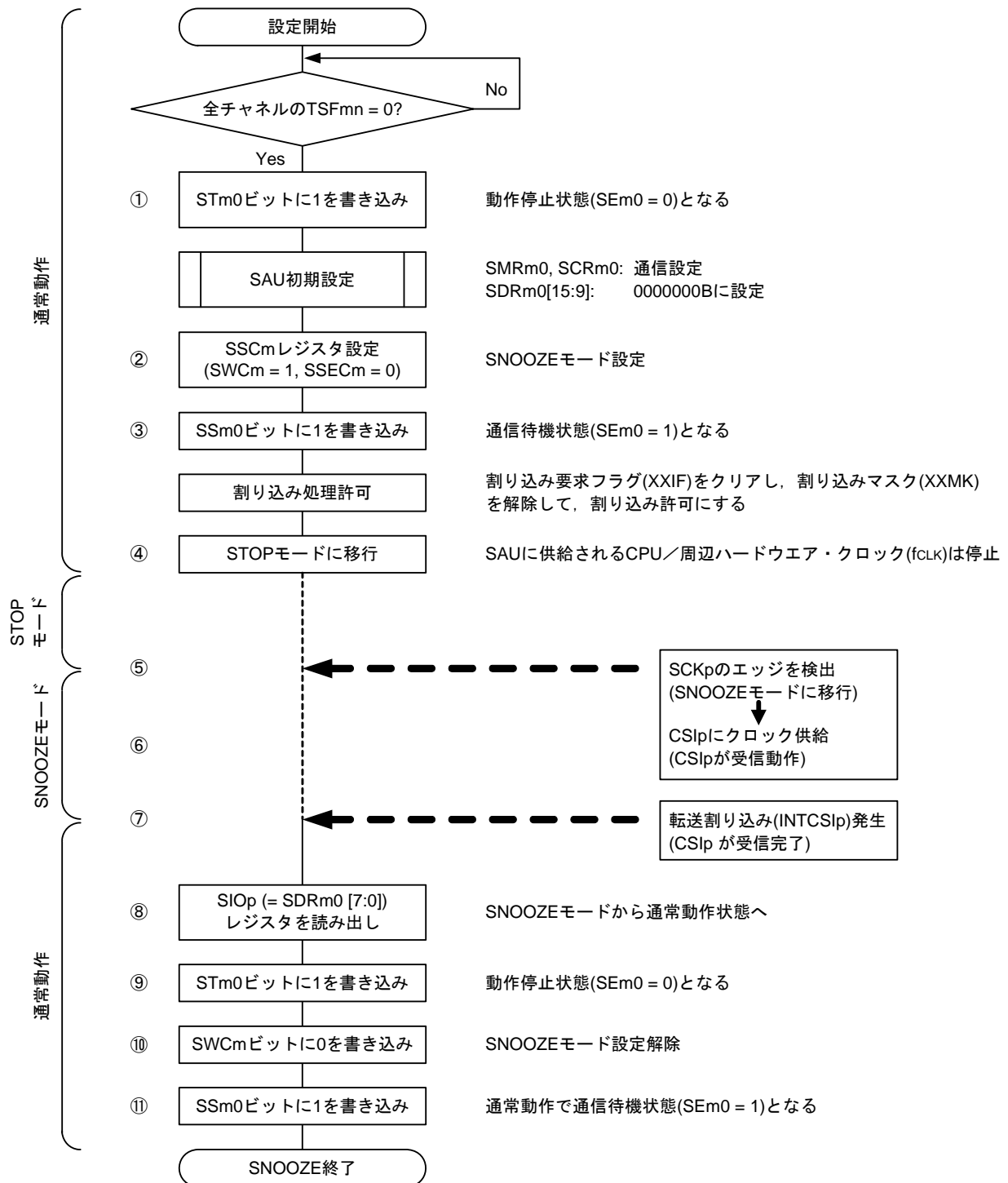
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1, OVfM1フラグは動作しません。

備考1. 図中の①～⑪は、図20-72 SNOOZEモード動作(1回起動)時のフロー・チャートの①～⑪に対応しています。

備考2. m : ユニット番号 (m = 0, 1) p : CSI番号 (p = 00, 20)

図20 - 72 SNOOZEモード動作(1回起動)時のフロー・チャート

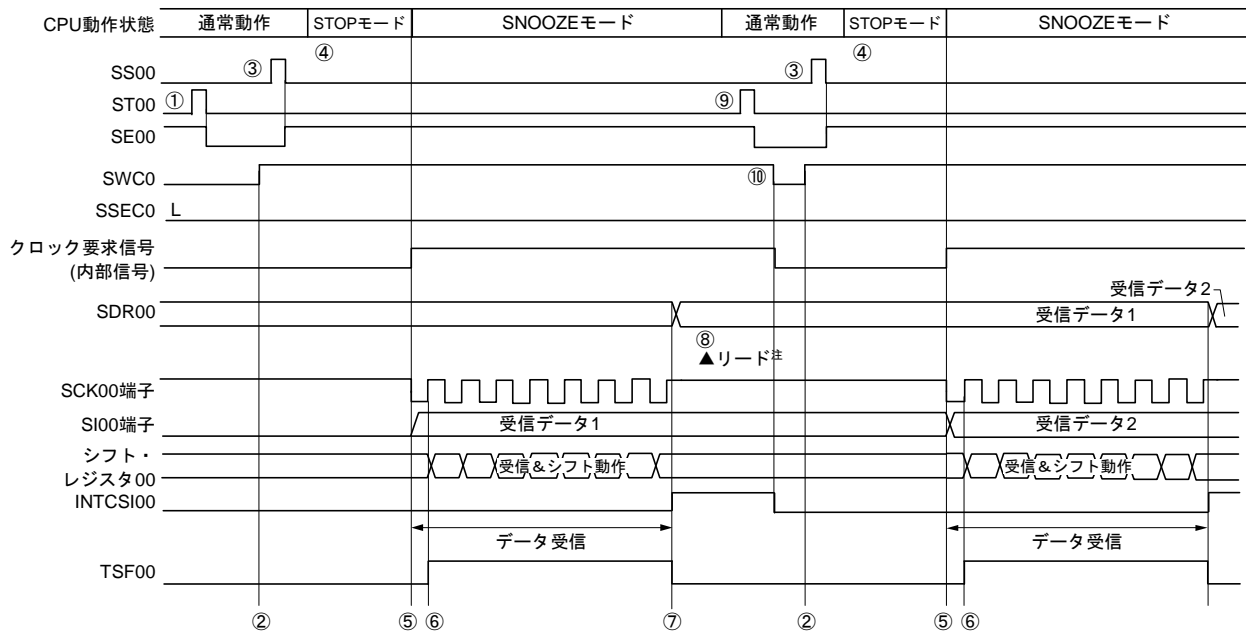


備考1. 図中の①~⑪は、図20 - 71 SNOOZEモード動作(1回起動)時のタイミング・チャートの①~⑪に対応しています。

備考2. m : ユニット番号 (m = 0, 1) p : CSI番号 (p = 00, 20)

(2) SNOOZEモード動作(連続起動)

図20 - 73 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子のエッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

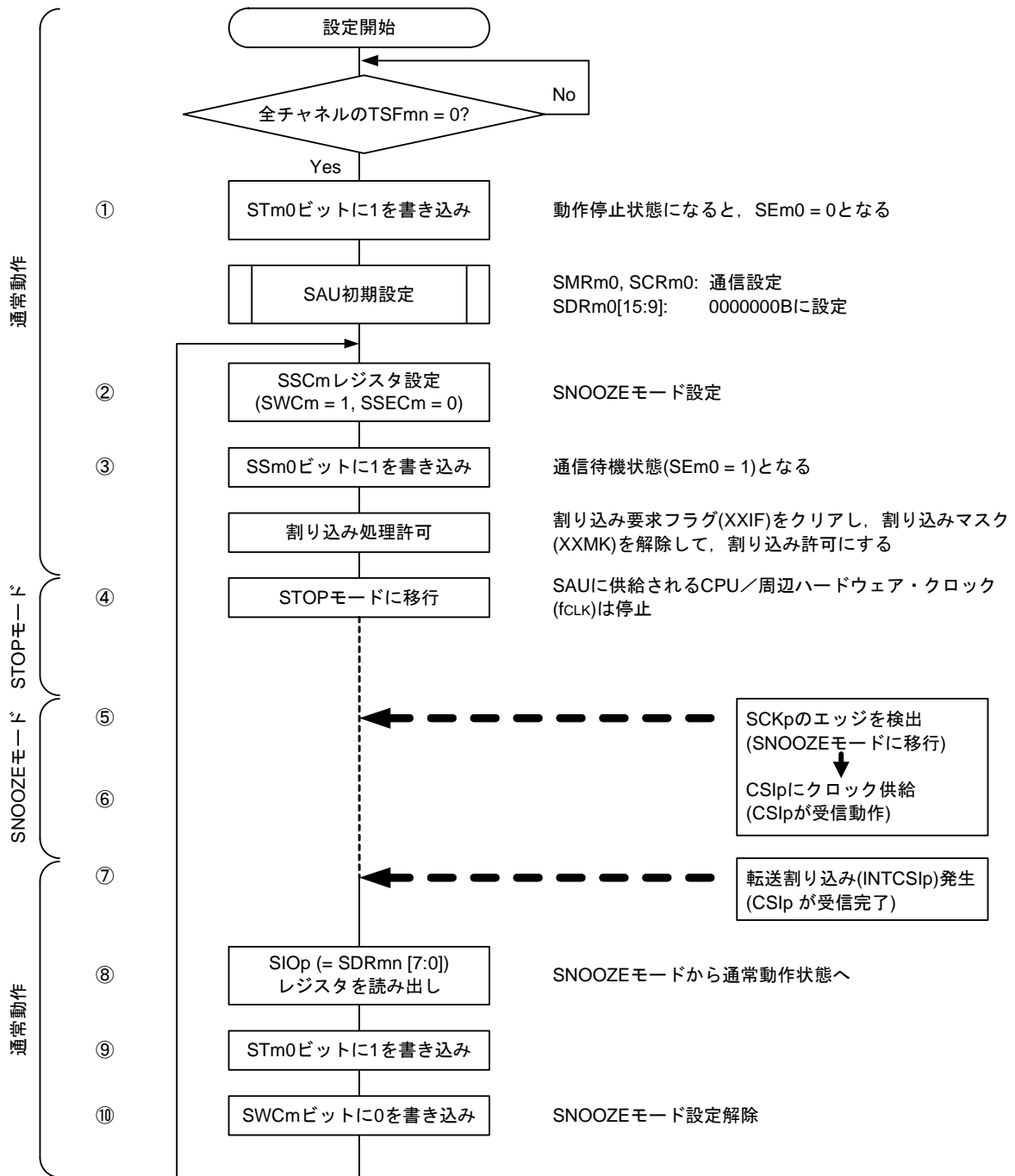
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1、OVFm1フラグは動作しません。

備考1. 図中の①～⑩は、図20 - 74 SNOOZEモード動作(連続起動)時のフロー・チャートの①～⑩に対応しています。

備考2. m : ユニット番号(m = 0, 1) p : CSI番号(p = 00, 20)

図 20 - 74 SNOOZE モード動作 (連続起動) 時のフロー・チャート



備考1. 図中の①~⑩は, 図 20 - 73 SNOOZE モード動作 (連続起動) 時のタイミング・チャートの①~⑩に対応しています。

備考2. m : ユニット番号 (m = 0, 1) p : CSI番号 (p = 00, 20)

20.5.8 転送クロック周波数の算出

簡易SPI (CSI00, CSI10)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数はfMCK/6となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000000B-1111111B)なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmn)で決まります。

表 20 - 2 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時	
0		X	X	X	X	0	0	0	0	fCLK	24 MHz
		X	X	X	X	0	0	0	1	fCLK /2	12 MHz
		X	X	X	X	0	0	1	0	fCLK /2 ²	6 MHz
		X	X	X	X	0	0	1	1	fCLK /2 ³	3 MHz
		X	X	X	X	0	1	0	0	fCLK /2 ⁴	1.5 MHz
		X	X	X	X	0	1	0	1	fCLK /2 ⁵	750 kHz
		X	X	X	X	0	1	1	0	fCLK /2 ⁶	375 kHz
		X	X	X	X	0	1	1	1	fCLK /2 ⁷	187.5 kHz
		X	X	X	X	1	0	0	0	fCLK /2 ⁸	93.8 kHz
		X	X	X	X	1	0	0	1	fCLK /2 ⁹	46.9 kHz
		X	X	X	X	1	0	1	0	fCLK /2 ¹⁰	23.4 kHz
		X	X	X	X	1	0	1	1	fCLK /2 ¹¹	11.7 kHz
		X	X	X	X	1	1	0	0	fCLK /2 ¹²	5.86 kHz
		X	X	X	X	1	1	0	1	fCLK /2 ¹³	2.93 kHz
		X	X	X	X	1	1	1	0	fCLK /2 ¹⁴	1.46 kHz
		X	X	X	X	1	1	1	1	fCLK /2 ¹⁵	732 Hz
1		0	0	0	0	X	X	X	X	fCLK	24 MHz
		0	0	0	1	X	X	X	X	fCLK /2	12 MHz
		0	0	1	0	X	X	X	X	fCLK /2 ²	6 MHz
		0	0	1	1	X	X	X	X	fCLK /2 ³	3 MHz
		0	1	0	0	X	X	X	X	fCLK /2 ⁴	1.5 MHz
		0	1	0	1	X	X	X	X	fCLK /2 ⁵	750 kHz
		0	1	1	0	X	X	X	X	fCLK /2 ⁶	375 kHz
		0	1	1	1	X	X	X	X	fCLK /2 ⁷	187.5 kHz
		1	0	0	0	X	X	X	X	fCLK /2 ⁸	93.8 kHz
		1	0	0	1	X	X	X	X	fCLK /2 ⁹	46.9 kHz
		1	0	1	0	X	X	X	X	fCLK /2 ¹⁰	23.4 kHz
		1	0	1	1	X	X	X	X	fCLK /2 ¹¹	11.7 kHz
		1	1	0	0	X	X	X	X	fCLK /2 ¹²	5.86 kHz
		1	1	0	1	X	X	X	X	fCLK /2 ¹³	2.93 kHz
		1	1	1	0	X	X	X	X	fCLK /2 ¹⁴	1.46 kHz
		1	1	1	1	X	X	X	X	fCLK /2 ¹⁵	732 Hz

注 fCLK に選択しているクロックを変更(システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10

20.5.9 簡易SPI (CSI00, CSI10, CSI20)通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI10, CSI20)通信時にエラーが発生した場合の処理手順を図20 - 75に示します。

図20 - 75 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に1をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10

20.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作

スレーブセレクト入力機能付クロック同期シリアル通信に対応しているチャンネルは、SAU0のチャンネル0です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択
- 送受信データのレベル設定

[クロック制御]

- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

注 SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は、第38章 または第39章 電気的特性を参照してください。

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—

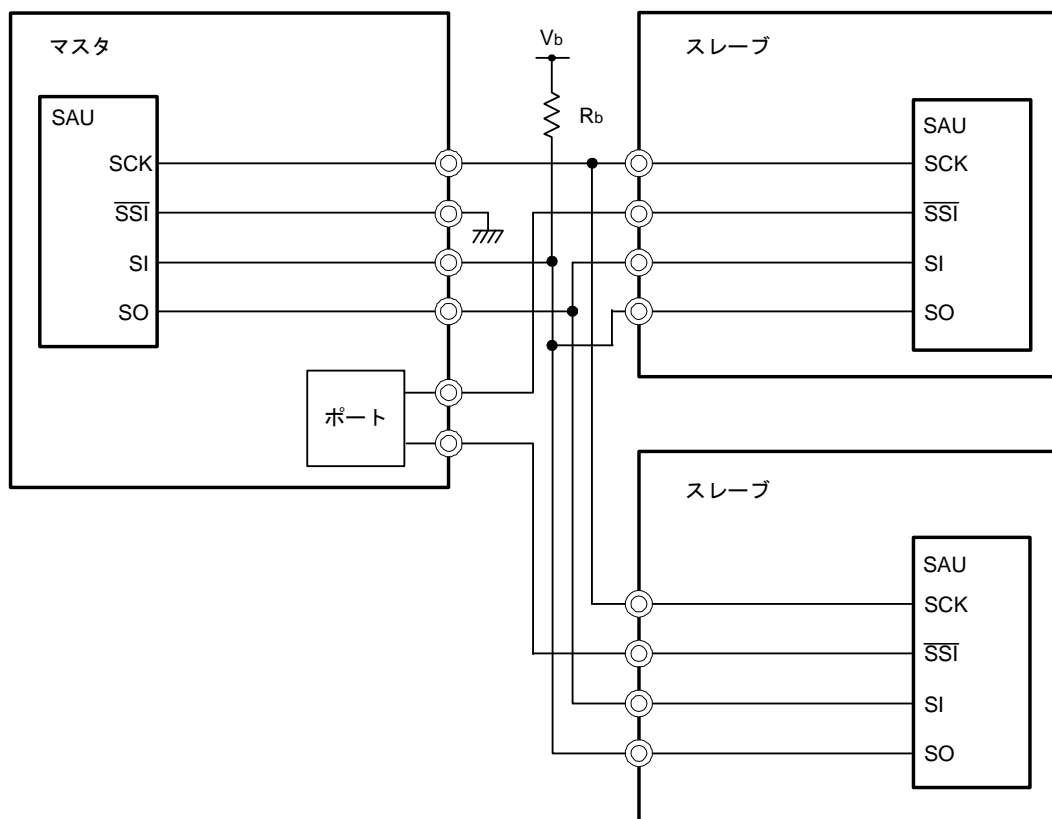
スレーブセレクト入力機能の通信動作は、以下の3種類があります。

- スレーブ送信(20.6.1項を参照)
- スレーブ受信(20.6.2項を参照)
- スレーブ送受信(20.6.3項を参照)

スレーブセレクト入力機能を使うことで、マスタ1つに対し複数のスレーブを接続し、通信を行うことができます。マスタは通信相手となるスレーブ(1つ)に対しスレーブ選択信号を出力し、各スレーブは通信相手として自分が選択されたかを判断し、SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子はマスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には、SO端子はハイ・レベル出力となるため、複数のスレーブが接続される環境では、SO端子はNch-O.Dの設定にし、そのノードはプルアップする必要があります。また、スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意 スレーブ選択信号の出力はポート操作により行ってください。

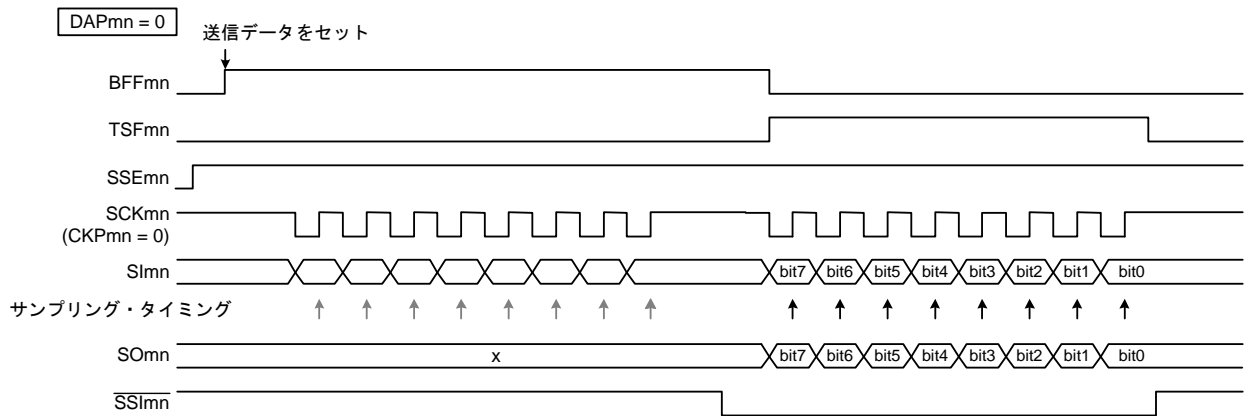
図20-76 スレーブセレクト入力機能の構成例



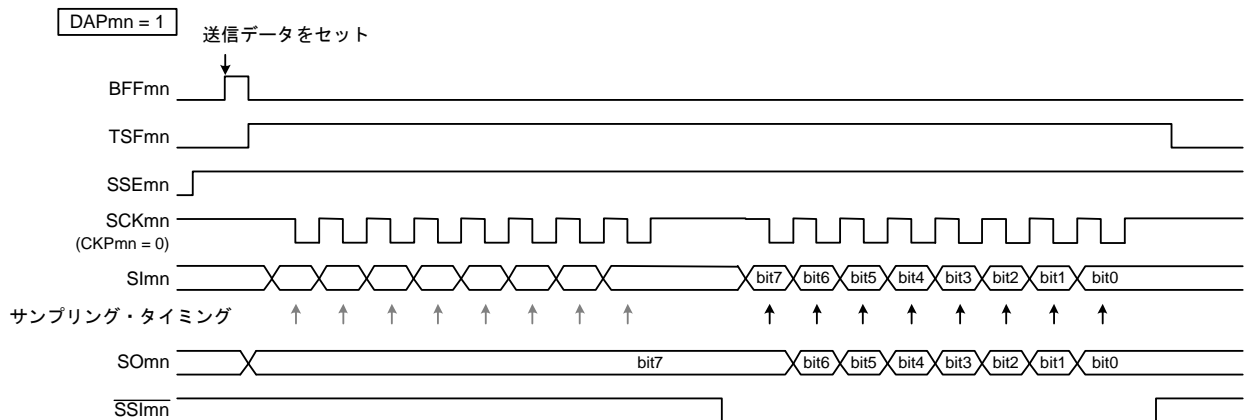
注意 $EVDD0 \geq Vb$ で使用してください。

SO00端子はN-chオープン・ドレイン出力(EVDD耐圧)モードを選択。

図 20 - 77 スレーブセレクト入力機能のタイミング図



SSI \bar{m} nがハイ期間ではSCKmn (シリアル・クロック) の立ち下がりエッジが来ても送信を行いません。
 また、立ち上がりエッジに同期して受信データのサンプリングも行いません。
 SSI \bar{m} nがロウとなった際、シリアル・クロックの立ち下がりエッジに同期してデータを出力 (シフト) し、立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1の場合、SSI \bar{m} nがハイ期間に送信データがセットされると、データ出力に最初のデータ (bit7) を出力します。しかし、SCKmn (シリアル・クロック) の立ち上がりエッジが来てもシフト動作を行わず、立ち下がりエッジに同期して受信データのサンプリングも行いません。SSI \bar{m} nがロウになると、次の立ち上がりエッジに同期してデータを出力 (シフト) し、立ち下がりエッジに同期して受信動作を行います。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

20.6.1 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1,2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブ・セレクト機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性を参照)を満たす範囲内で使用してください。

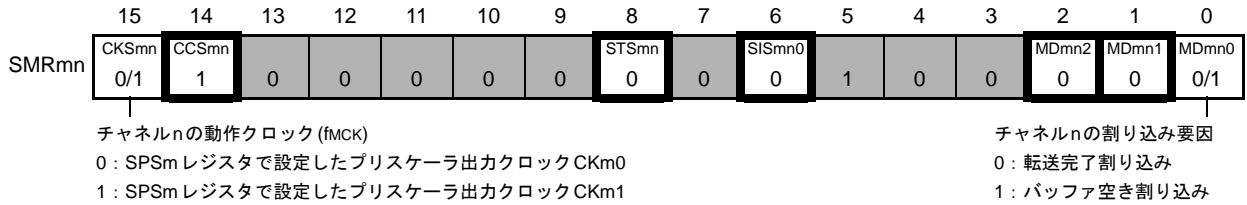
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0)

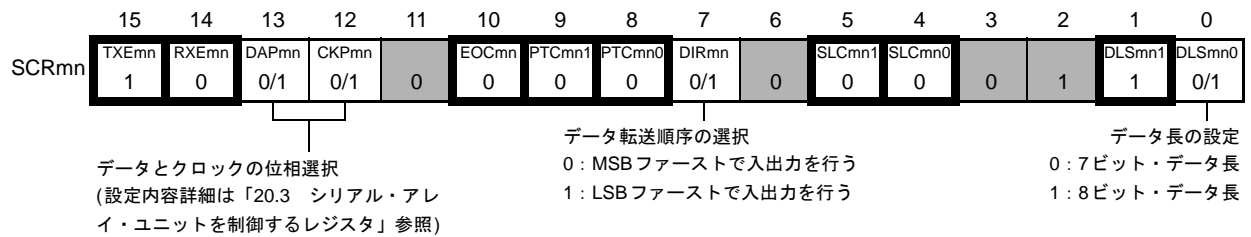
(1) レジスタ設定

図20 - 78 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(1/2)

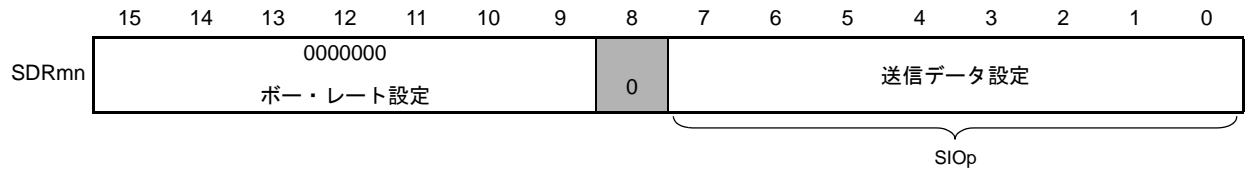
(a) シリアル・モード・レジスタ mn (SMRmn)



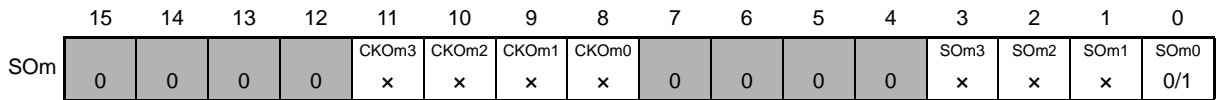
(b) シリアル通信動作設定レジスタ mn (SCRmn)



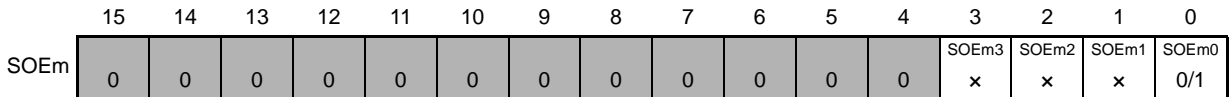
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI(CSI)スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図20 - 78 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													x	x	x	0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)の $\overline{\text{SSI00}}$ 端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00						ISC1	ISC0
	0/1	0	0	0	0	0	0/1	0/1

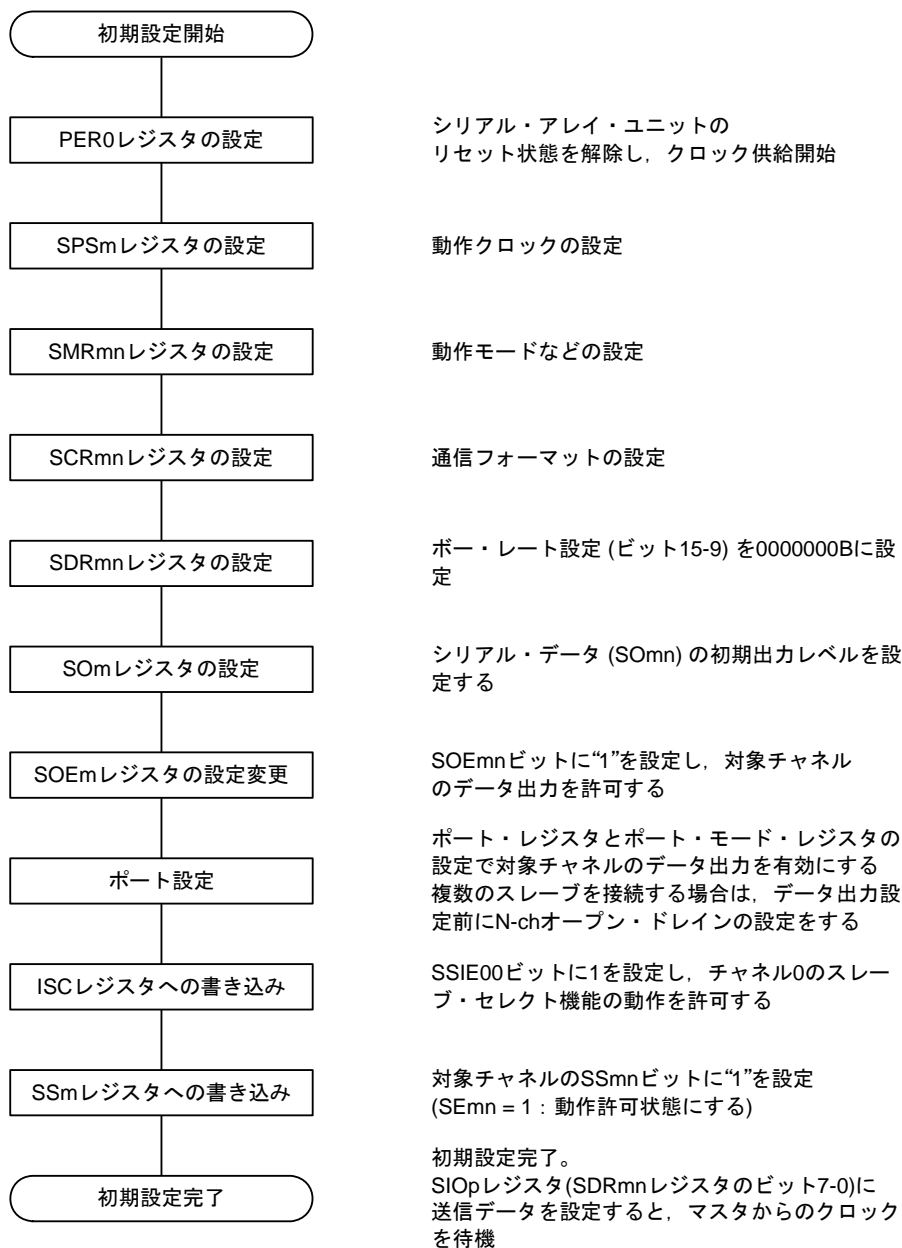
0 : $\overline{\text{SSI00}}$ 端子の入力値を無効
 1 : $\overline{\text{SSI00}}$ 端子の入力値を有効

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI(CSI)スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

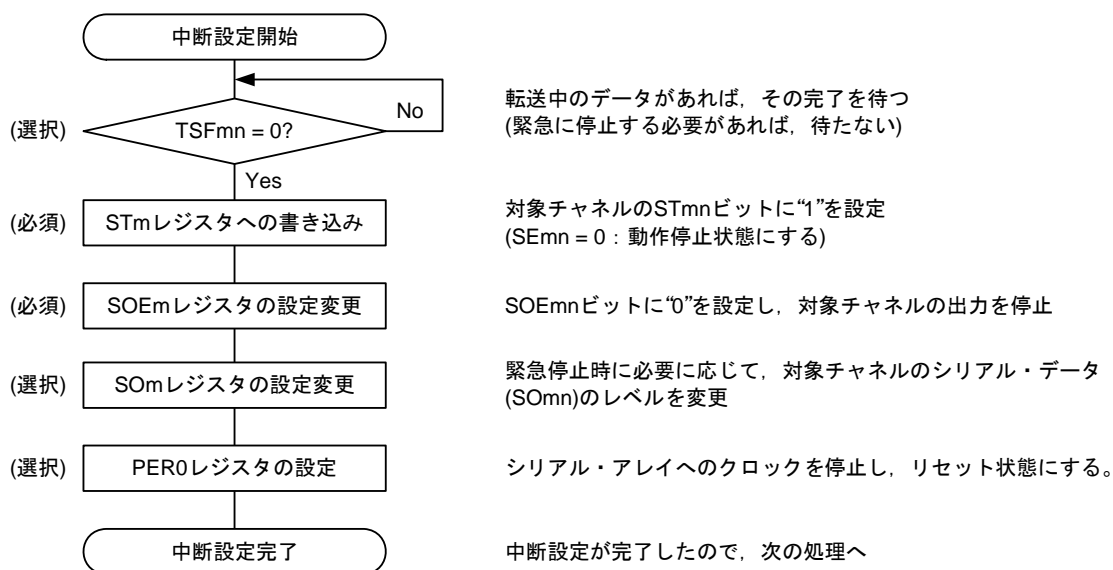
(2) 操作手順

図20 - 79 スレーブ送信の初期設定手順



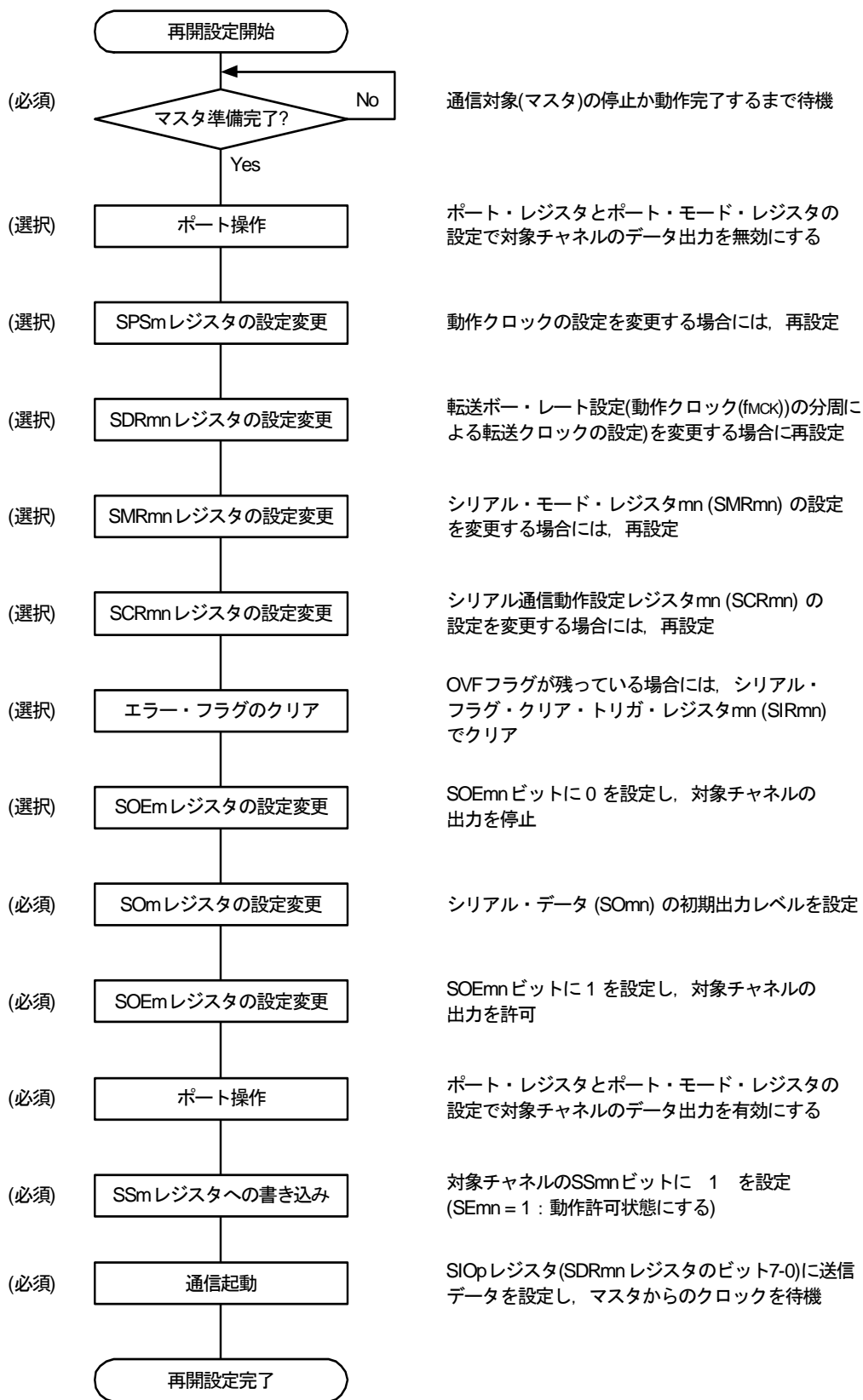
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 20 - 80 スレーブ送信の中断手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

図20 - 81 スレーブ送信の再開設定手順

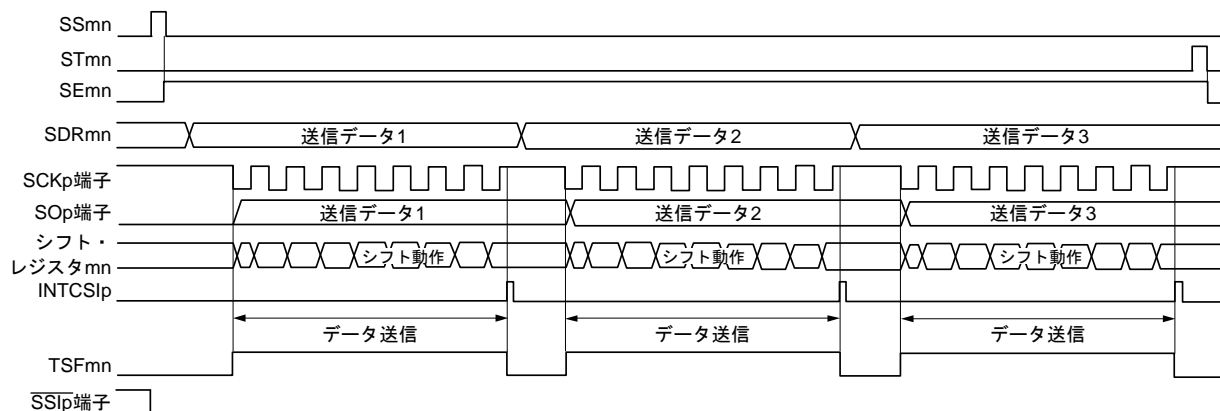


備考1. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

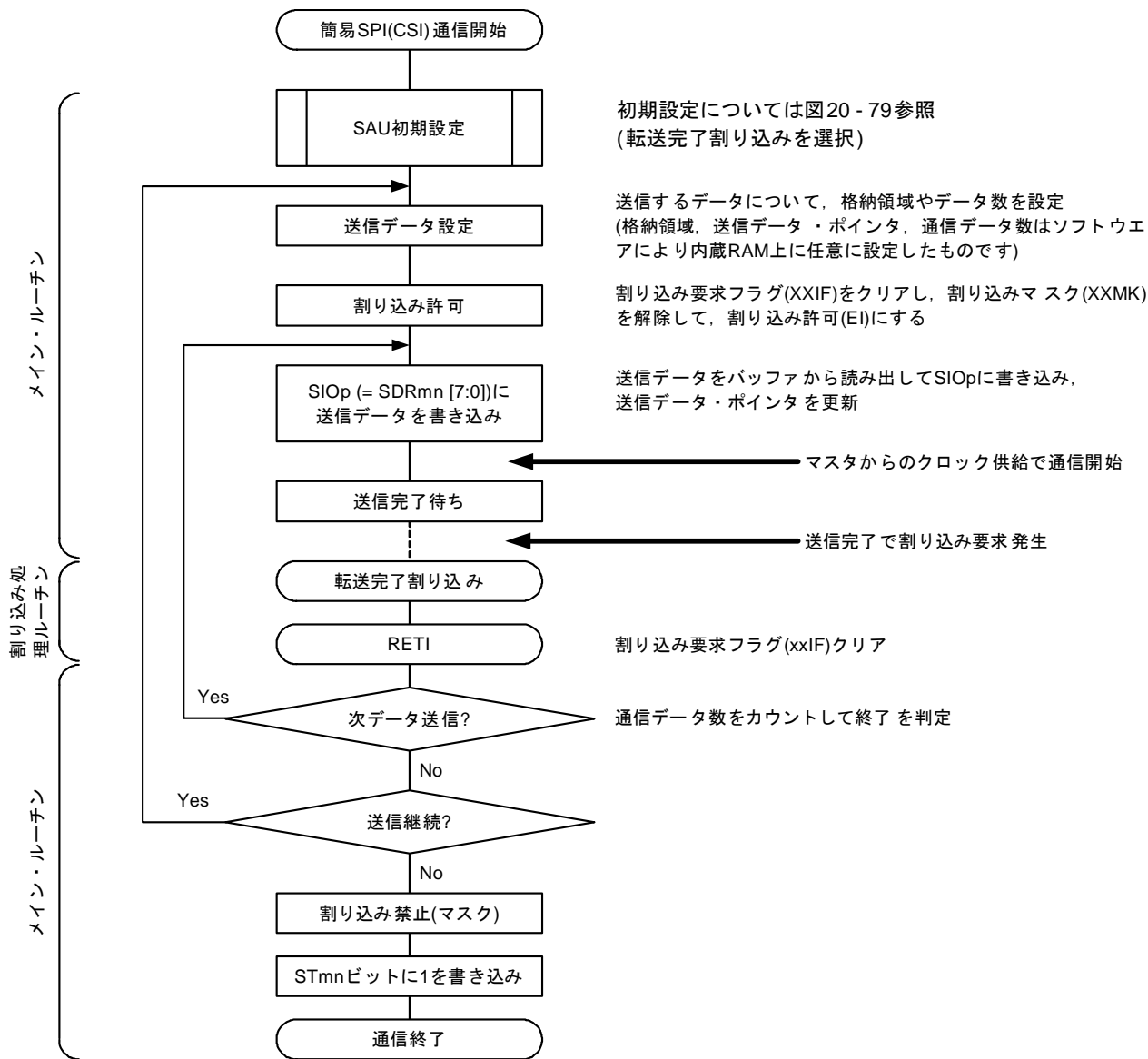
(3) 処理フロー (シングル送信モード時)

図20 - 82 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

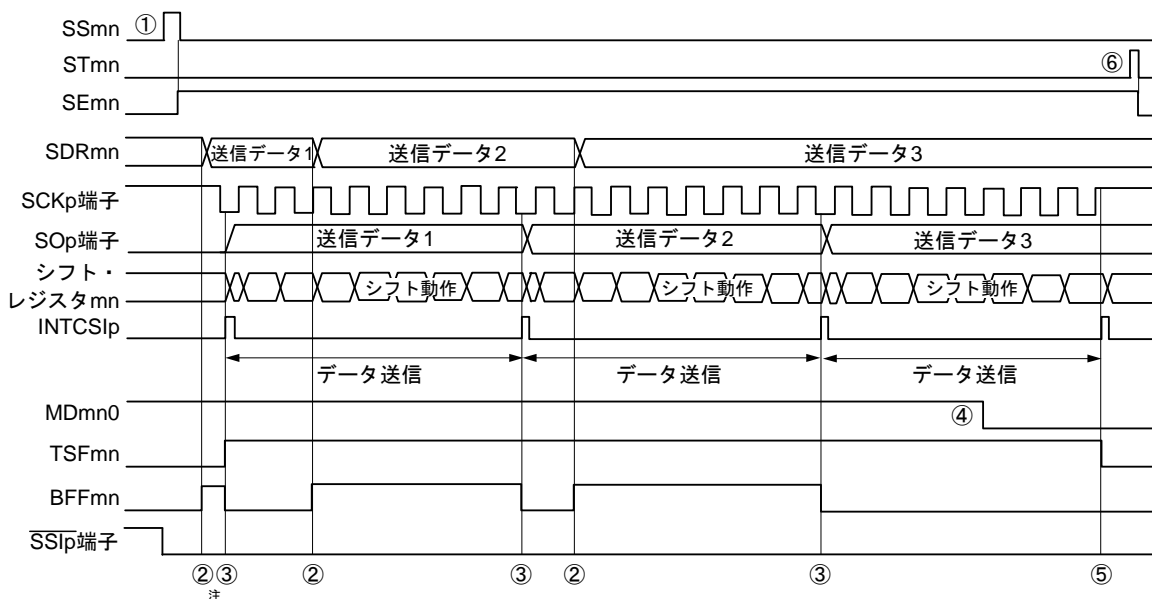
図20 - 83 スレーブ送信(シングル送信モード時)のフロー・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

(4) 処理フロー (連続送信モード時)

図20 - 84 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

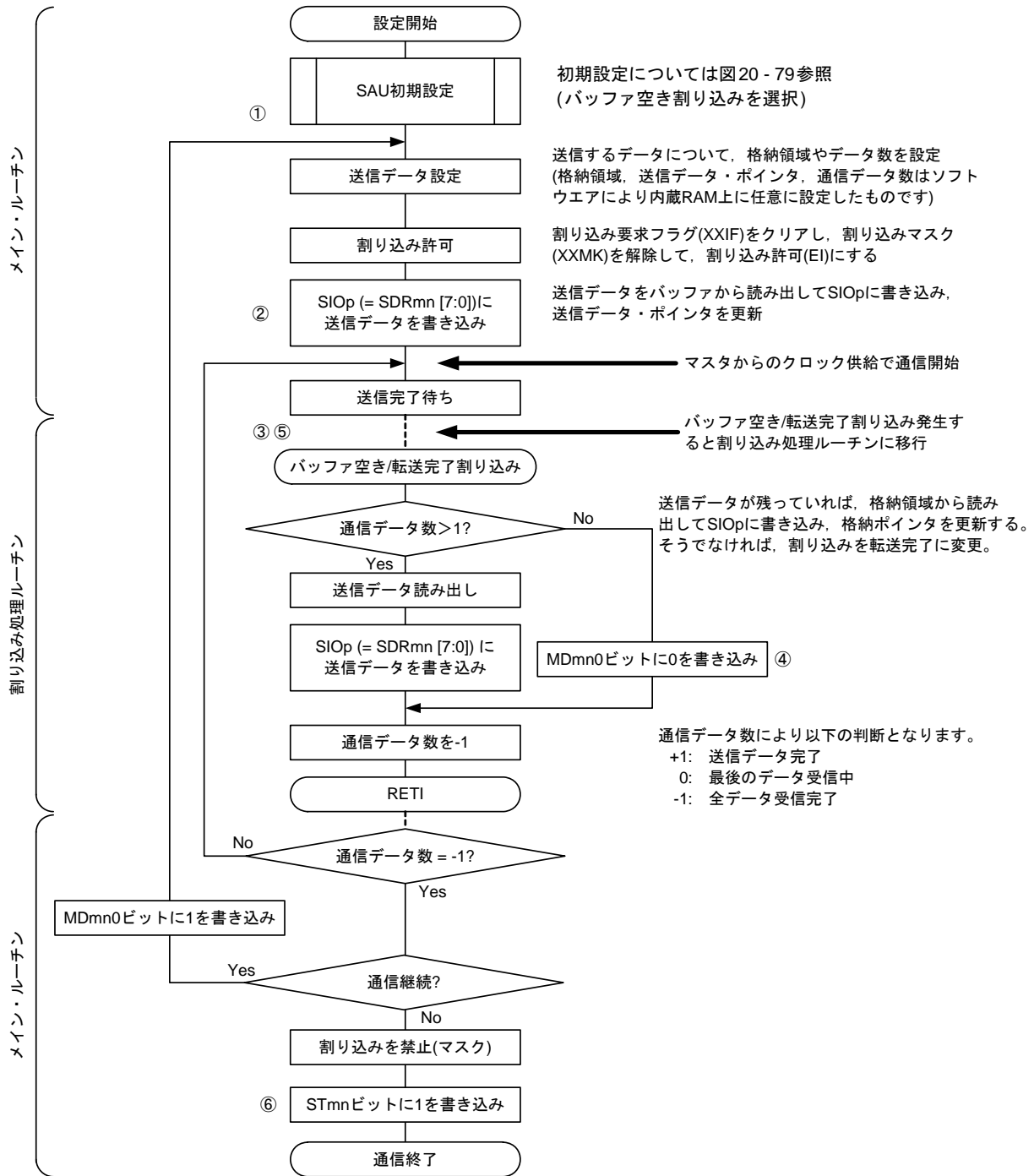


注 シリアル・ステータス・レジスタ mn (SSRmn)のBFFmnビットが1の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されているとき)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn)のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図20 - 85 スレーブ送信(連続送信モード時)のフロー・チャート



備考1. 図中の①～⑥は、図20 - 84 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

20.6.2 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込みのみ(バッファ空き割り込みは設定禁止)
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1,2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

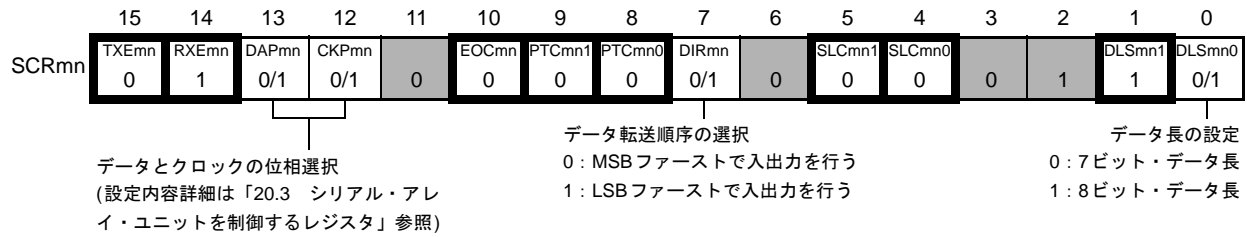
(1) レジスタ設定

図20 - 86 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(1/2)

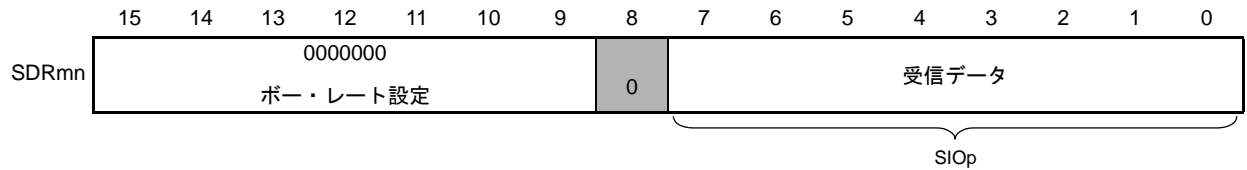
(a) シリアル・モード・レジスタ mn (SMRmn)



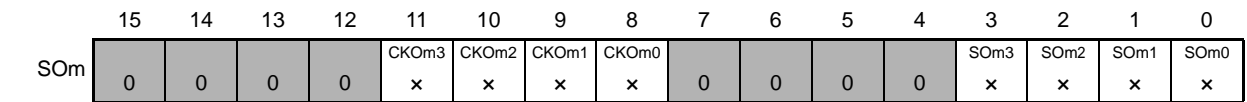
(b) シリアル通信動作設定レジスタ mn (SCRmn)



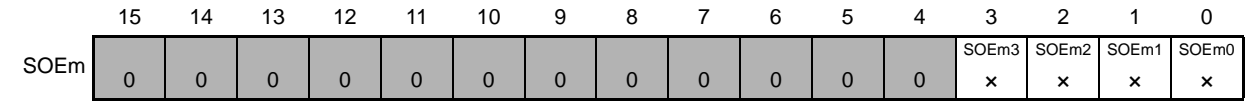
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット: SIOp)



(d) シリアル出力レジスタ m (SOm) このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI(CSI)スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図20 - 86 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 x	SSm2 x	SSm1 x	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)の $\overline{\text{SSI00}}$ 端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0 : $\overline{\text{SSI00}}$ 端子の入力値を無効
 1 : $\overline{\text{SSI00}}$ 端子の入力値を有効

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI(CSI)スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図20 - 87 スレーブ受信の初期設定手順

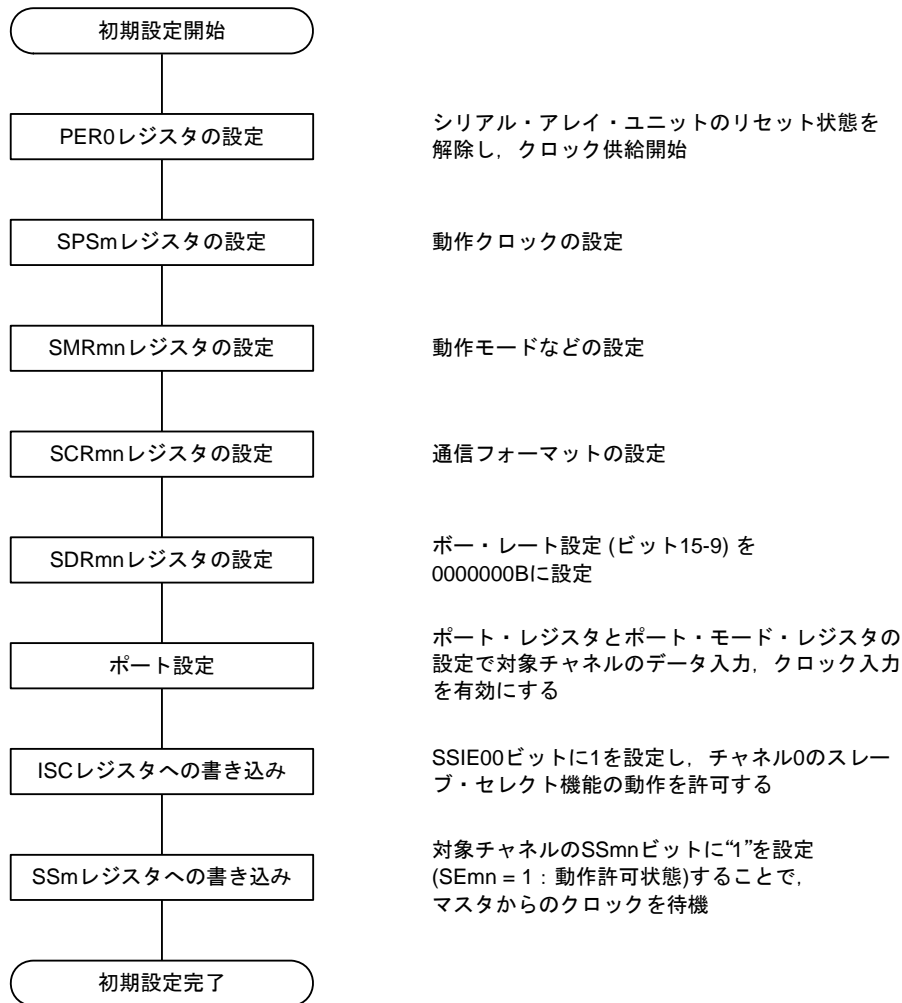
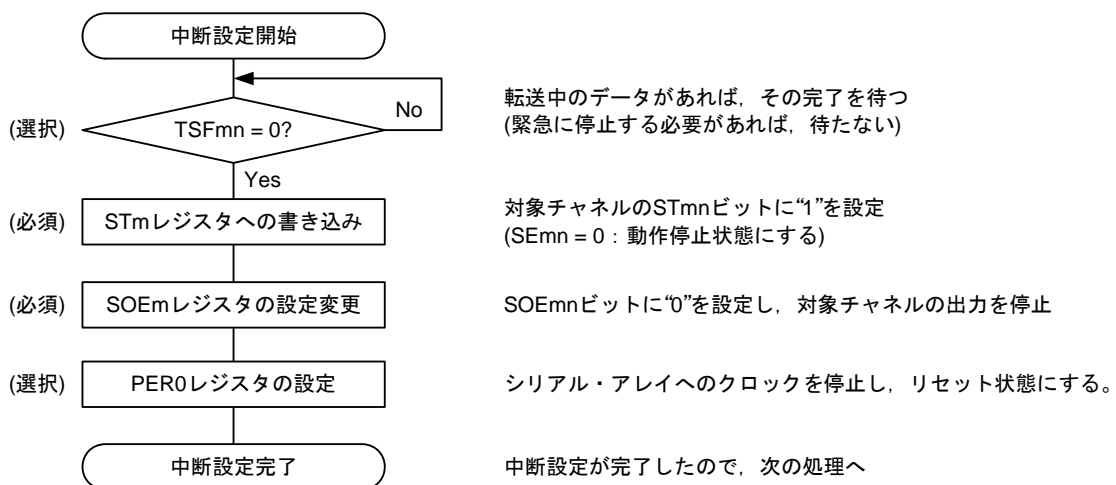
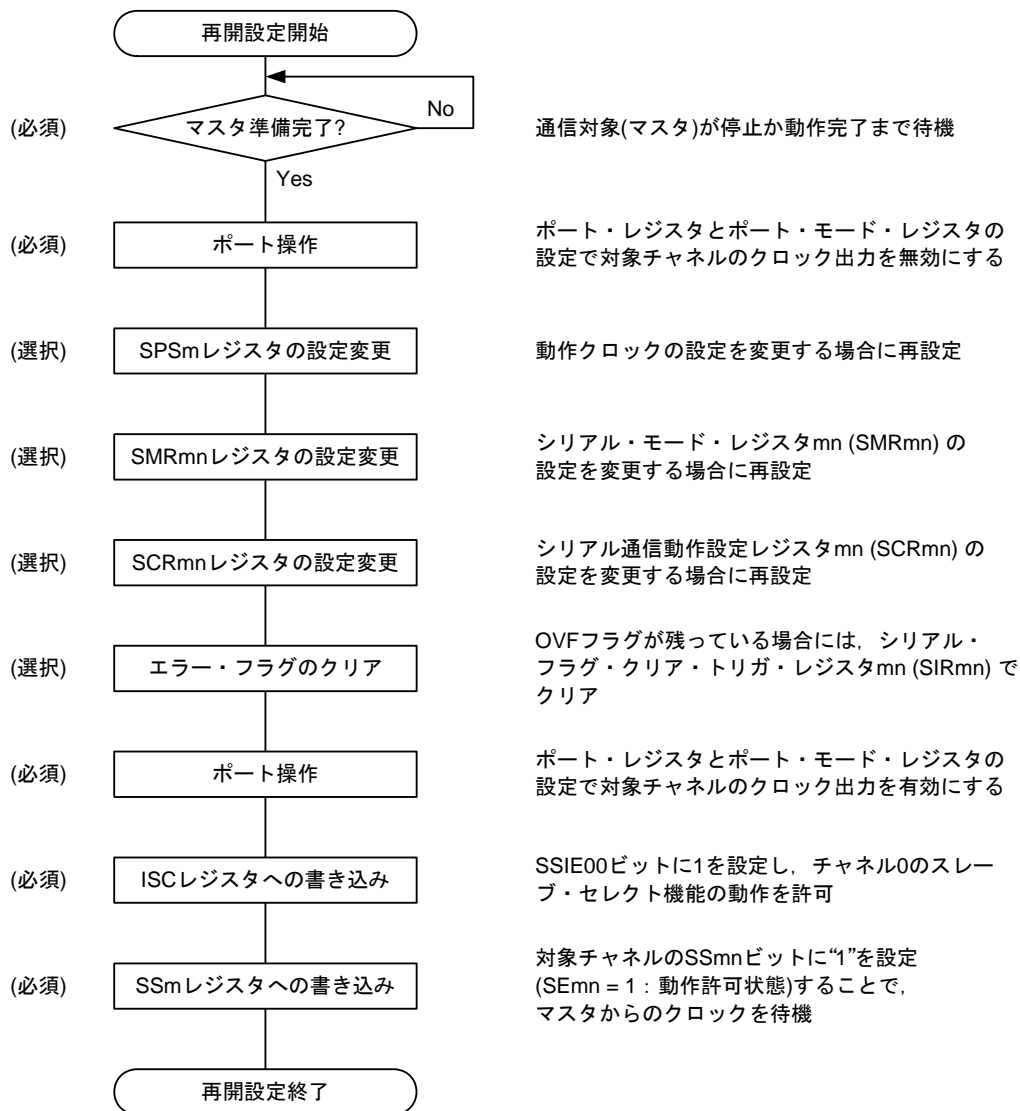


図20 - 88 スレーブ受信の中断手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

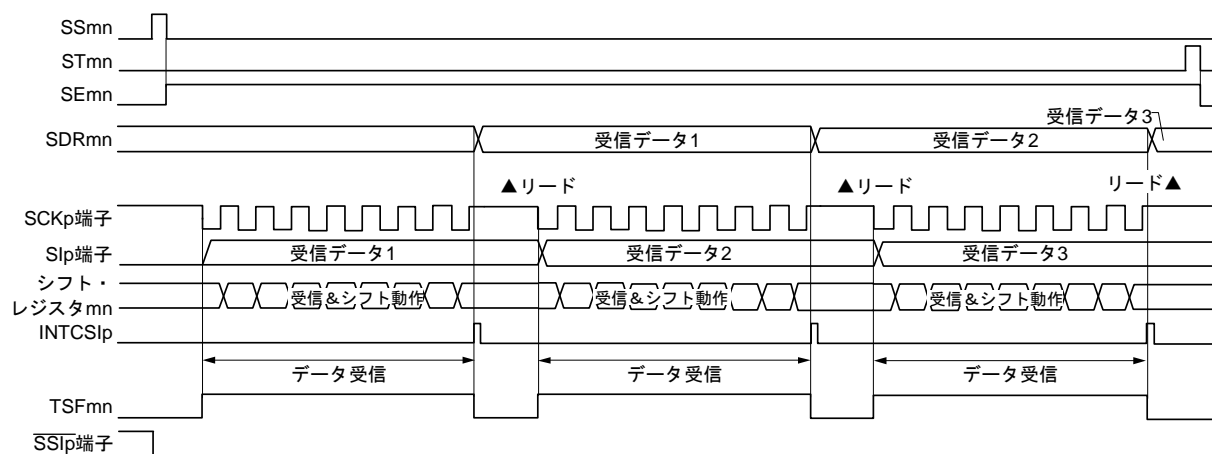
図20 - 89 スレーブ受信の再開設定手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

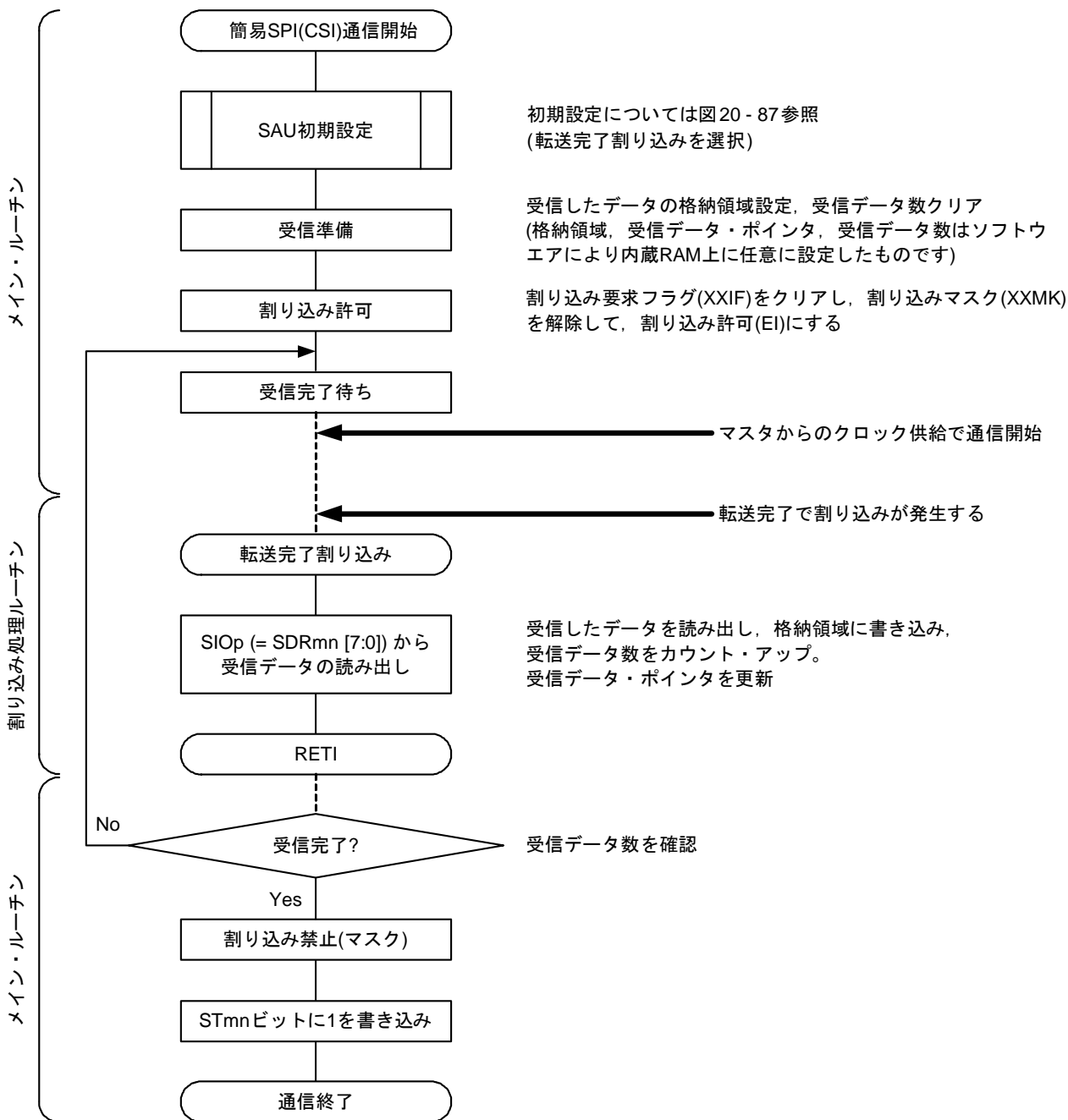
(3) 処理フロー (シングル受信モード時)

図20 - 90 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

図20 - 91 スレーブ受信(シングル受信モード時)のフロー・チャート



20.6.3 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1,2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性を参照)を満たす範囲内で使用してください。

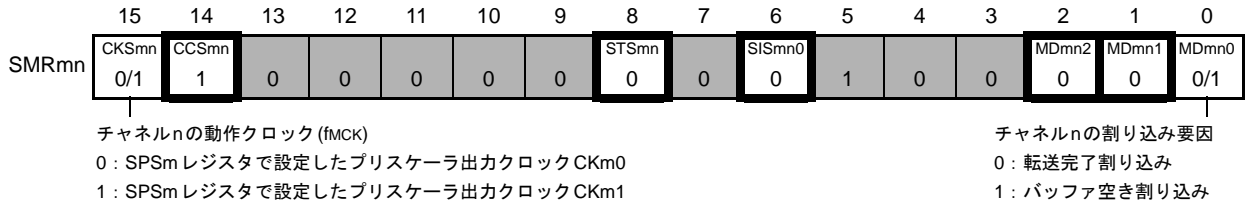
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

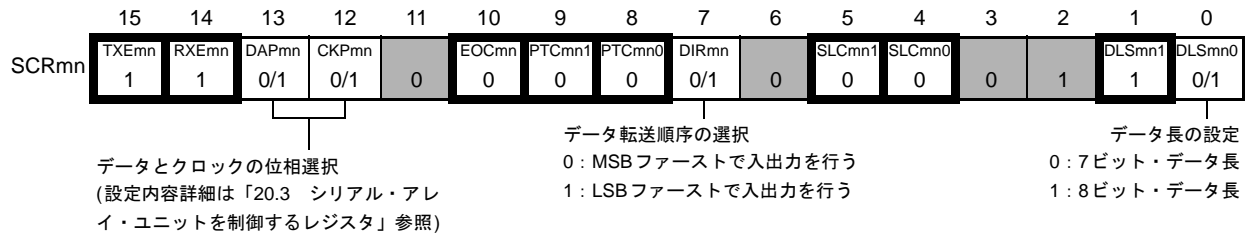
(1) レジスタ設定

図20 - 92 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(1/2)

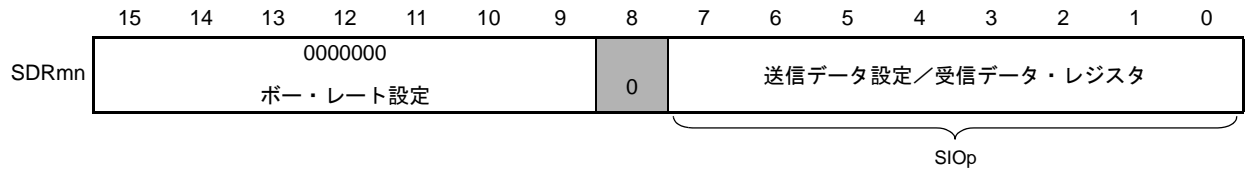
(a) シリアル・モード・レジスタ mn (SMRmn)



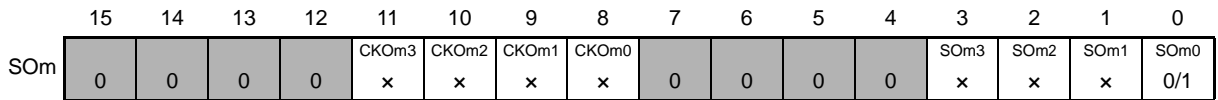
(b) シリアル通信動作設定レジスタ mn (SCRmn)



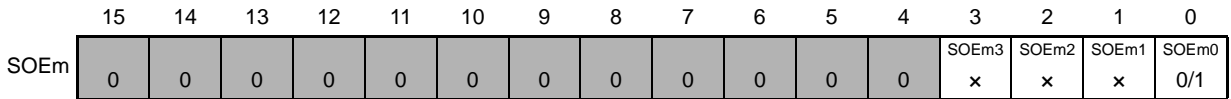
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット: SIOp)



(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI(CSI)スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図20 - 92 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 x	SSm2 x	SSm1 x	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)の $\overline{\text{SSI00}}$ 端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0 : $\overline{\text{SSI00}}$ 端子の入力値を無効
 1 : $\overline{\text{SSI00}}$ 端子の入力値を有効

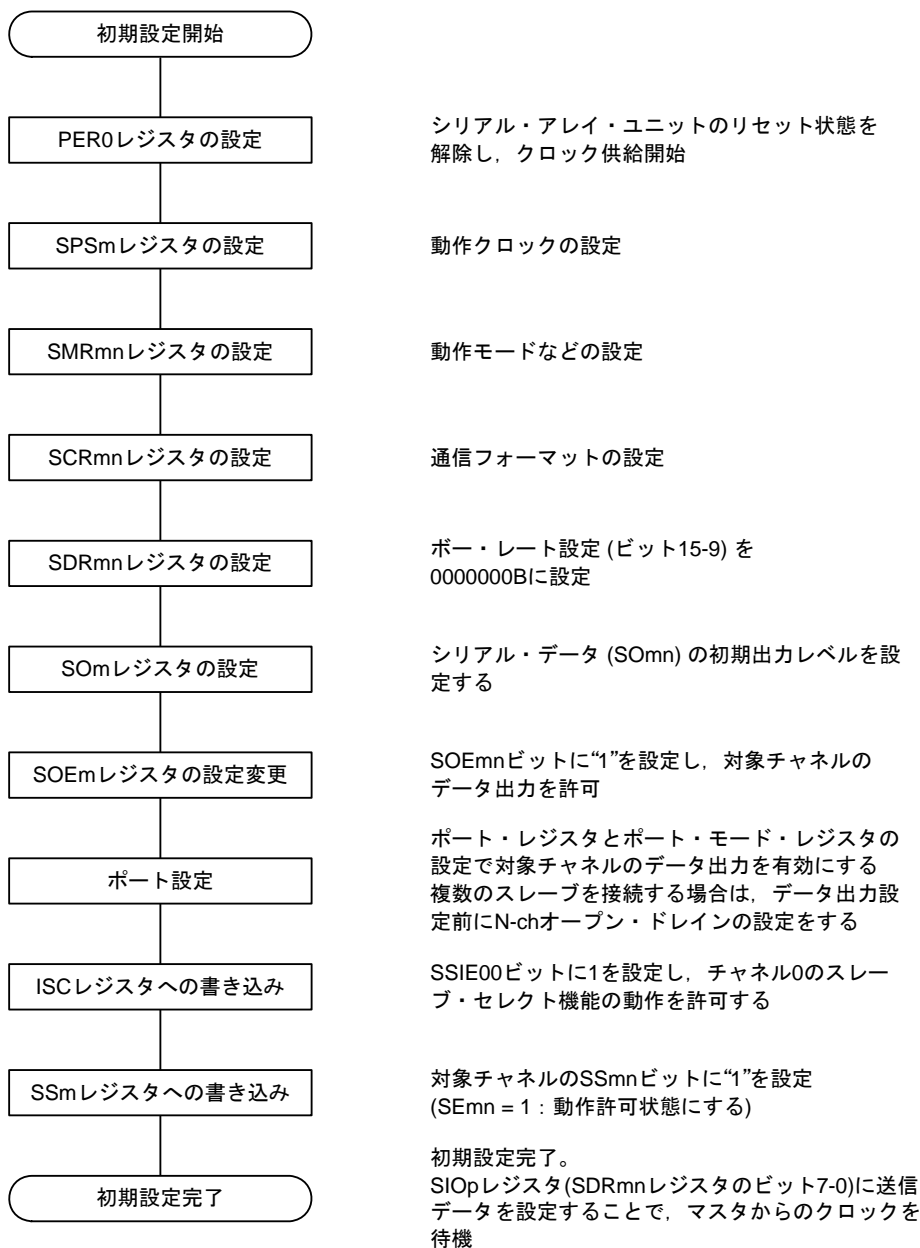
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号 (m = 0)n : チャンネル番号 (n = 0)p : CSI番号 (p = 00)

備考2. : 簡易SPI(CSI)スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

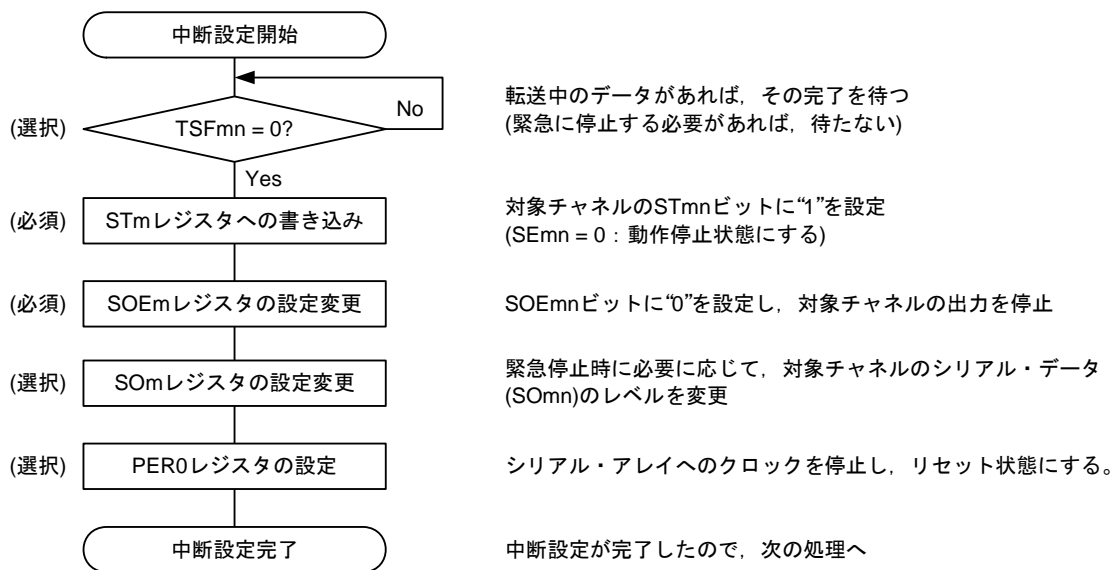
図 20 - 93 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

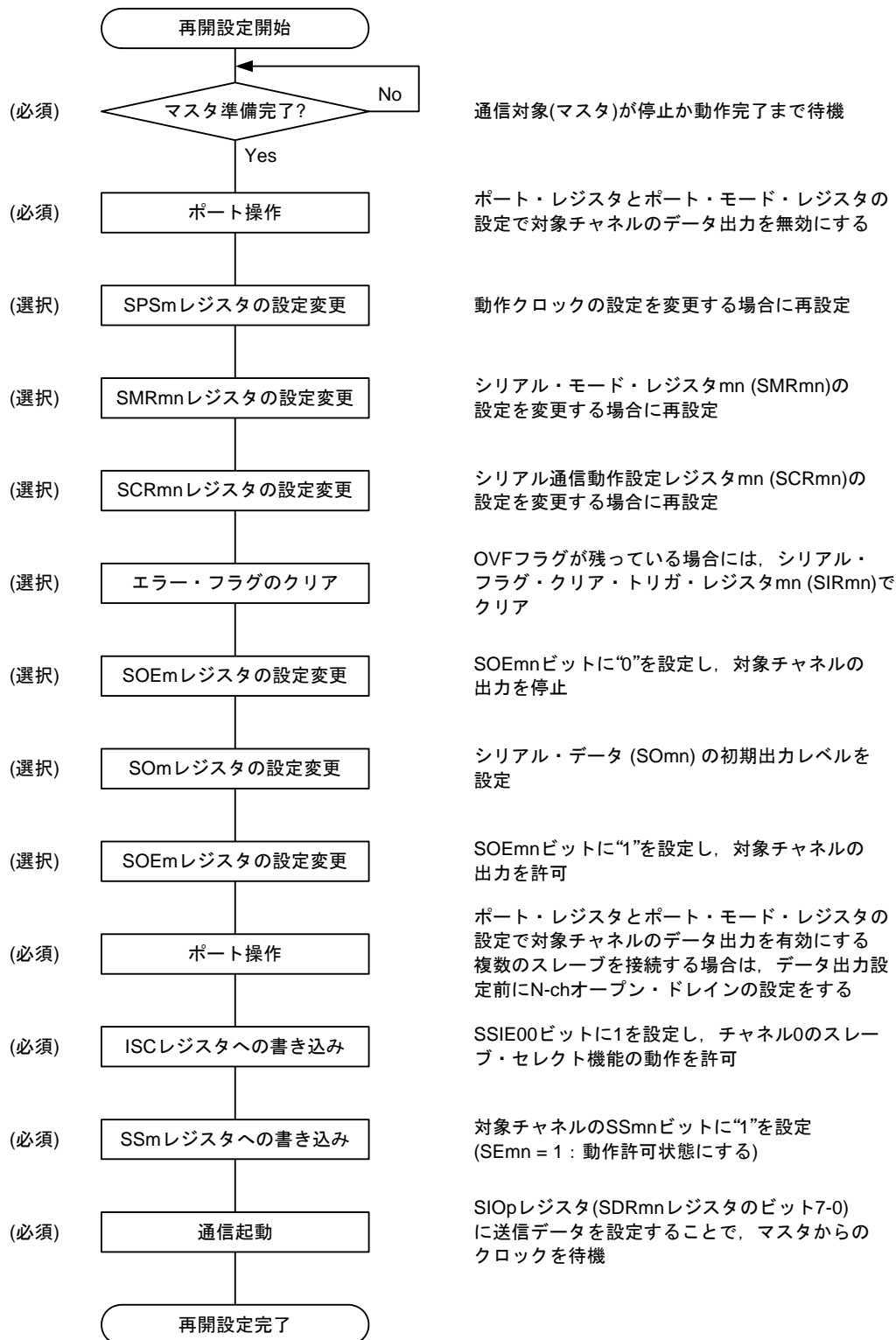
備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

図20 - 94 スレーブ送受信の中断手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

図 20 - 95 スレーブ送受信の再開設定手順

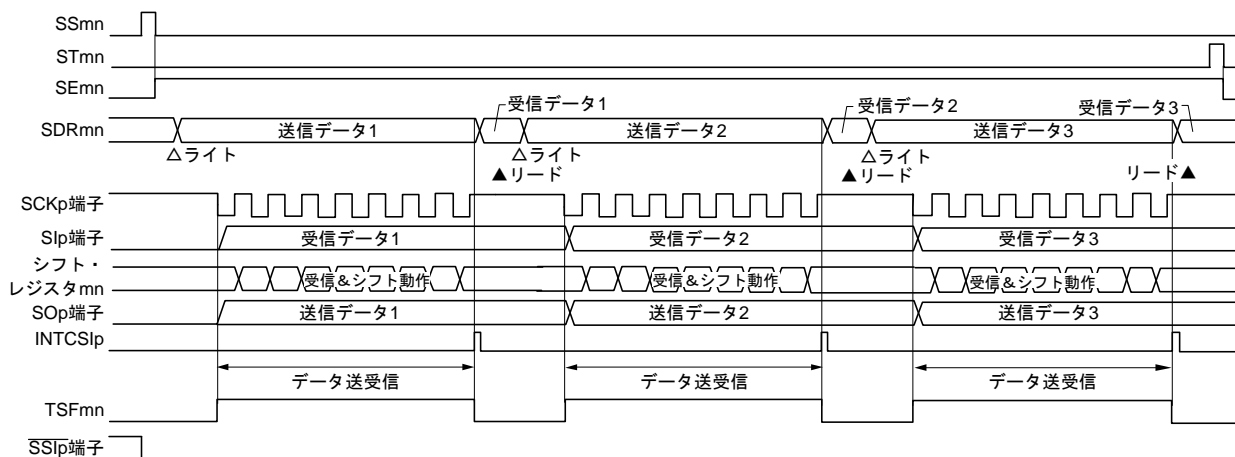


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

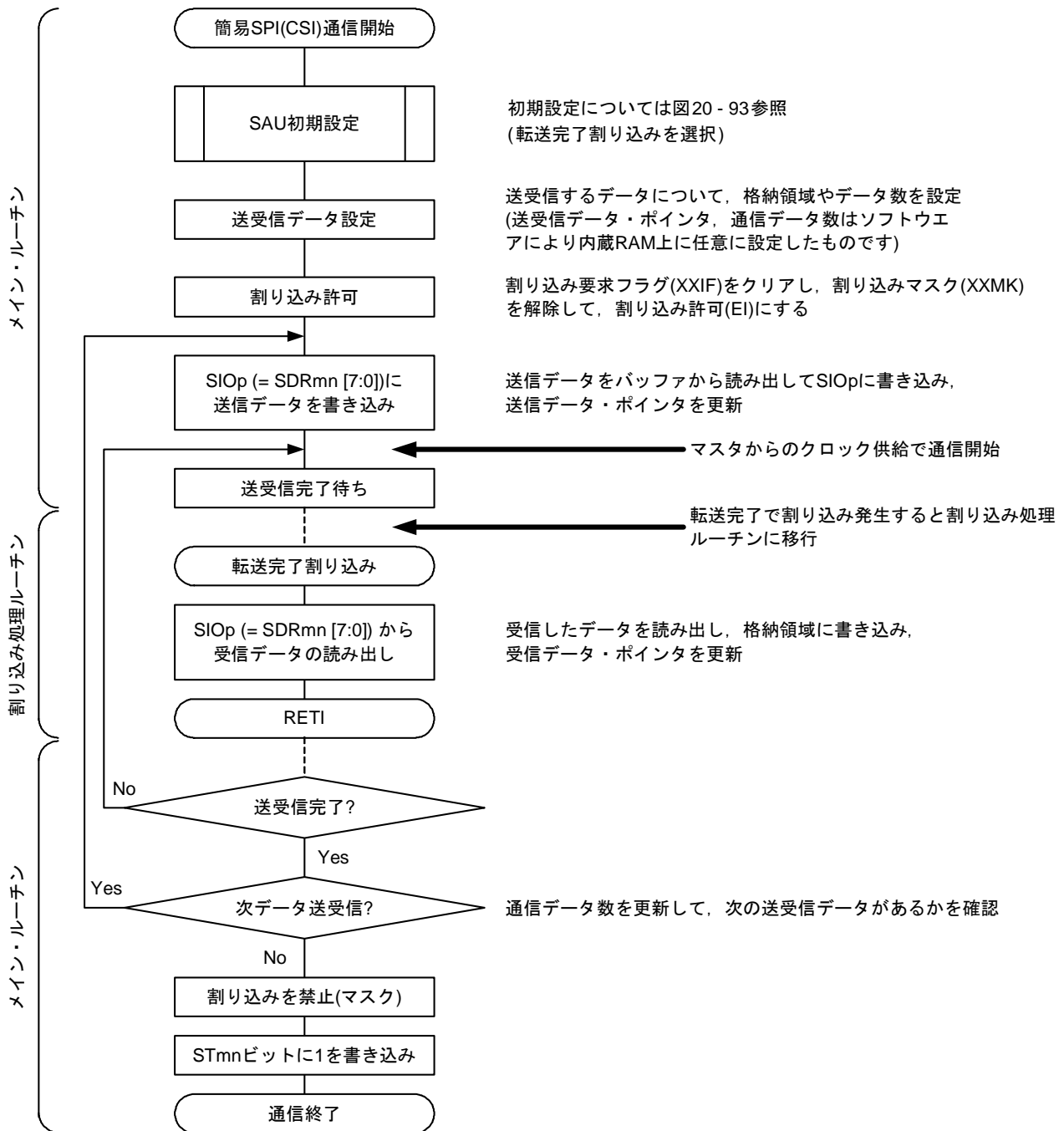
(3) 処理フロー (シングル送受信モード時)

図20 - 96 スレーブ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

図20 - 97 スレーブ送受信(シングル送受信モード時)のフロー・チャート

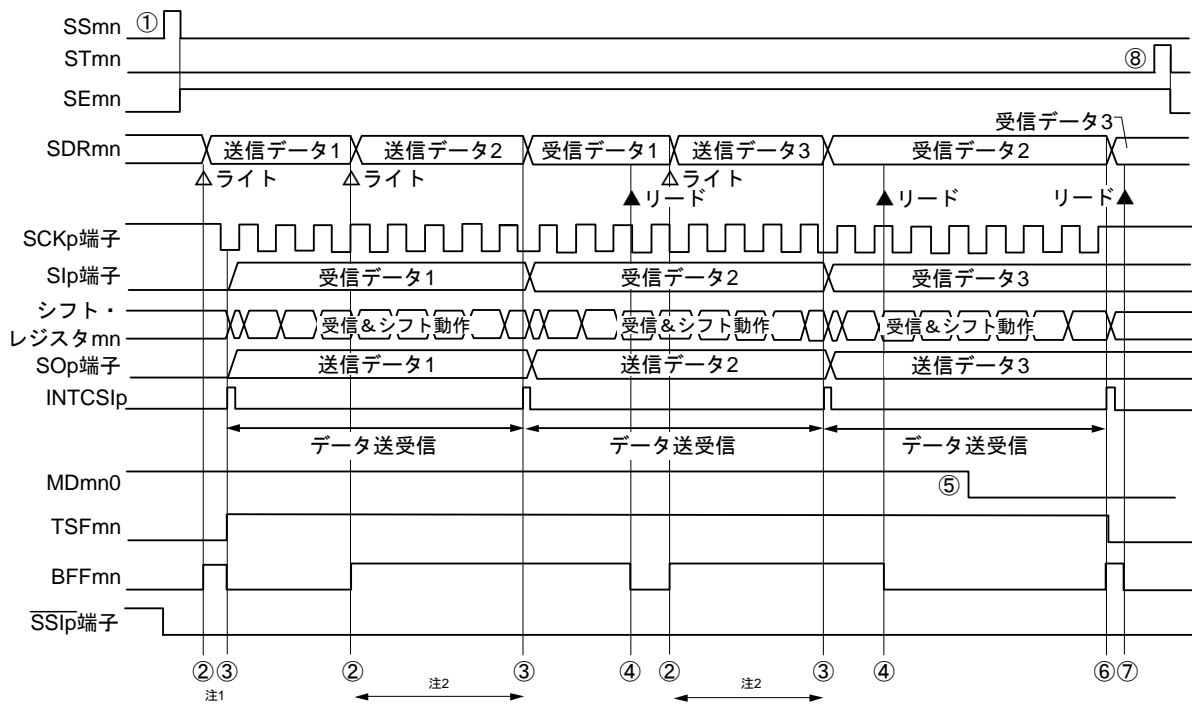


注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

(4) 処理フロー (連続送受信モード時)

図20 - 98 スレーブ送受信(連続送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

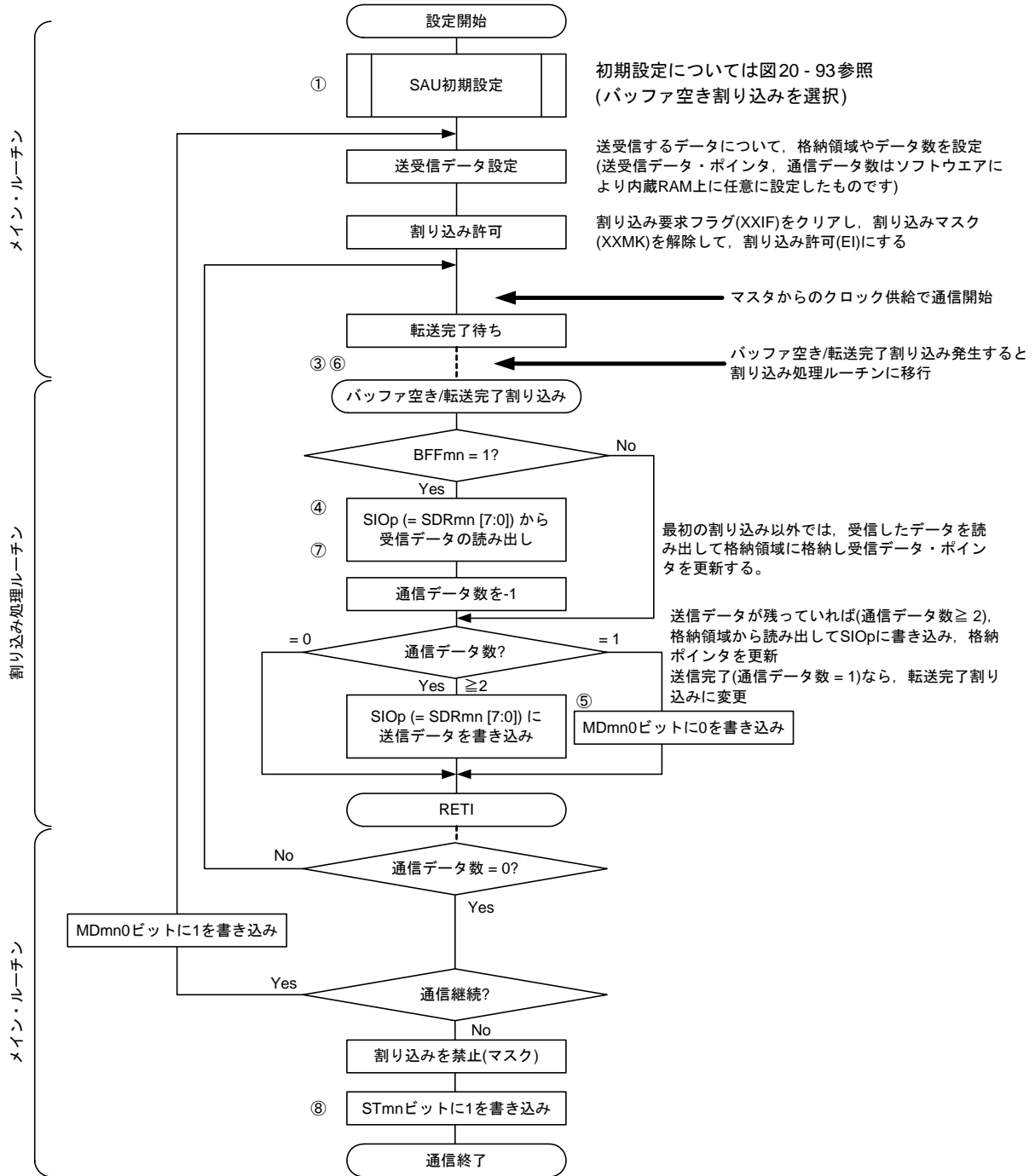
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図20 - 99 スレーブ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI 番号 (p = 00)

図20 - 99 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. 図中の①～⑧は、図20 - 98 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

20.6.4 転送クロック周波数の算出

スレーブセレクト入力機能(CSI00)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) スレーブの場合

$$\text{(転送クロック周波数)} = \{\text{マスタが供給するシリアル・クロック (SCK) 周波数}\} \text{ 注 [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

表20-3 スレーブセレクト入力機能動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時	
0	X	X	X	X	0	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	1	fCLK /2	12 MHz
	X	X	X	X	0	0	1	0	0	fCLK /2 ²	6 MHz
	X	X	X	X	0	0	1	1	1	fCLK /2 ³	3 MHz
	X	X	X	X	0	1	0	0	0	fCLK /2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	1	fCLK /2 ⁵	750 kHz
	X	X	X	X	0	1	1	1	0	fCLK /2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	1	fCLK /2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	0	fCLK /2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	1	fCLK /2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	0	fCLK /2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	1	fCLK /2 ¹¹	11.7 kHz
	X	X	X	X	1	1	0	0	0	fCLK /2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	1	fCLK /2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	1	0	fCLK /2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	1	fCLK /2 ¹⁵	732 Hz	

注 fCLK に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

20.6.5 スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

スレーブセレクト入力機能付クロック同期シリアル通信時にエラーが発生した場合の処理手順を図 20 - 100 に示します。

図20 - 100 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが 0 となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に 1 をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

20.7 UART (UART0-UART2)通信の動作

シリアル／データ送信(TxD)とシリアル／データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ポー・レートを使用して)、データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。また、UART0とタイマ・アレイ・ユニット0(チャンネル7)と外部割り込み(INTP0)を組み合わせるとLIN-busにも対応可能です。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定(レベルを、反転するかどうかの選択)
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART0, UART2 受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0, UART2のみ設定可能です。

UART0 (ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus 機能]

- | | | |
|--|---|--|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド(BF)検出 • シンク・フィールド測定, ポー・レート算出 | } | <p>外部割り込み(INTP0),
タイマ・アレイ・ユニット0(チャンネル7)を使用</p> |
|--|---|--|

注 9ビット・データ長は、UART0のみ対応しています。

UART0では、SAU0のチャンネル0, 1を使用します。

UART1では、SAU0のチャンネル2, 3を使用します。

UART2では、SAU1のチャンネル0, 1を使用します。

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をCSI10やUART1やIIC10で使用することはできます。

注意 UARTとして使用する場合は、送信側(偶数チャンネル)と受信側(奇数チャンネル)のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART送信(20.7.1項を参照)
- UART受信(20.7.2項を参照)
- LIN送信(UART0のみ)(20.8.1項を参照)
- LIN受信(UART0のみ)(20.8.2項を参照)

20.7.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期(調歩同期)でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	TxD0	TxD1	TxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビットまたは9ビット注1		
転送レート注2	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加 		
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • 1ビット付加 • 2ビット付加 		
データ方向	MSBファーストまたはLSBファースト		

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0, 1$) n : チャンネル番号($n = 0, 2$) $mn = 00, 02, 10$

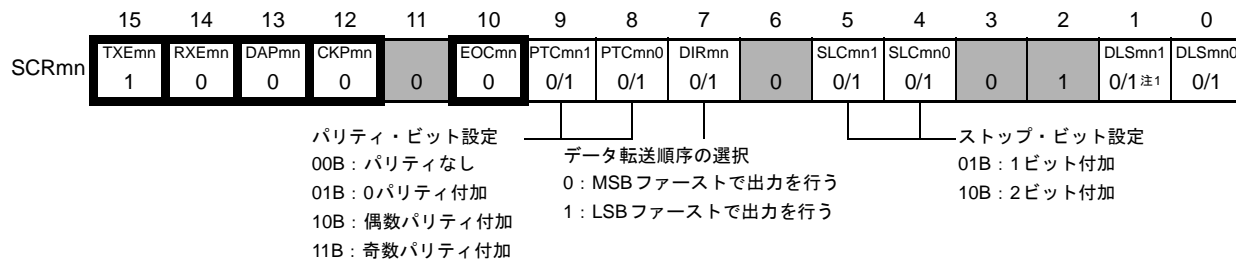
(1) レジスタ設定

図20 - 101 UART (UART0-UART2)のUART送信時のレジスタ設定内容例 (1/2)

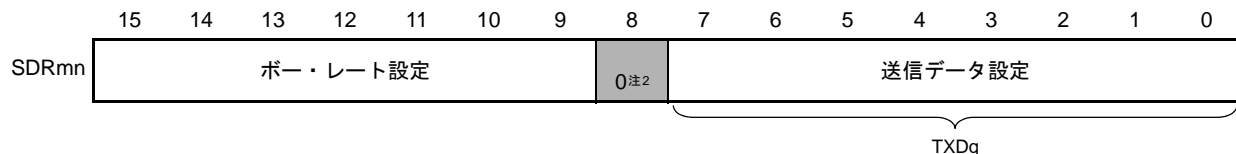
(a) シリアル・モード・レジスタ mn (SMRmn)



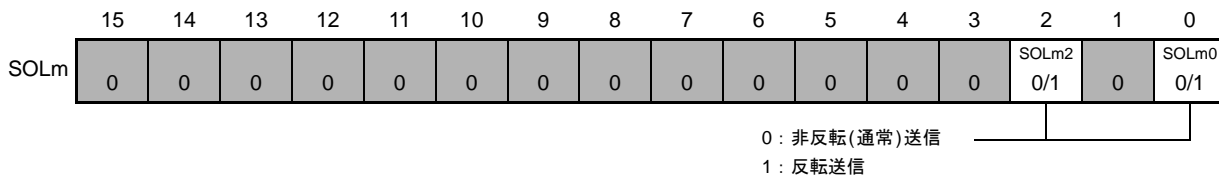
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: TXDq)



(d) シリアル出力レベル・レジスタ m (SOLm) 対象チャンネルのビットのみ設定する



- 注1. SCR00, SCR01レジスタのみ。その他は1固定になります。
- 注2. 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは、UART0のみです。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) q : UART 番号 (q = 0-2),
mn = 00, 02, 10

備考2. : UART送信モードでは設定固定 : 設定不可(初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

図20 - 101 UART (UART0-UART2)のUART送信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 注2 x	1	CKOm0 注2 x	0	0	0	0	1	SOm2 0/1注1	1	SOm0 0/1注1

0 : シリアル・データ出力値が0
1 : シリアル・データ出力値が1

(f) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	0	SOEm0 0/1

(g) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 x	SSm2 0/1	SSm1 x	SSm0 0/1

注1. 該当するチャンネルのSOLmnビットに0を設定している場合は1に, SOLmnビットに1を設定している場合は0を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

注2. シリアル・アレイ・ユニット0のみ。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2),
mn = 00, 02, 10

備考2. : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図20 - 102 UART送信の初期設定手順

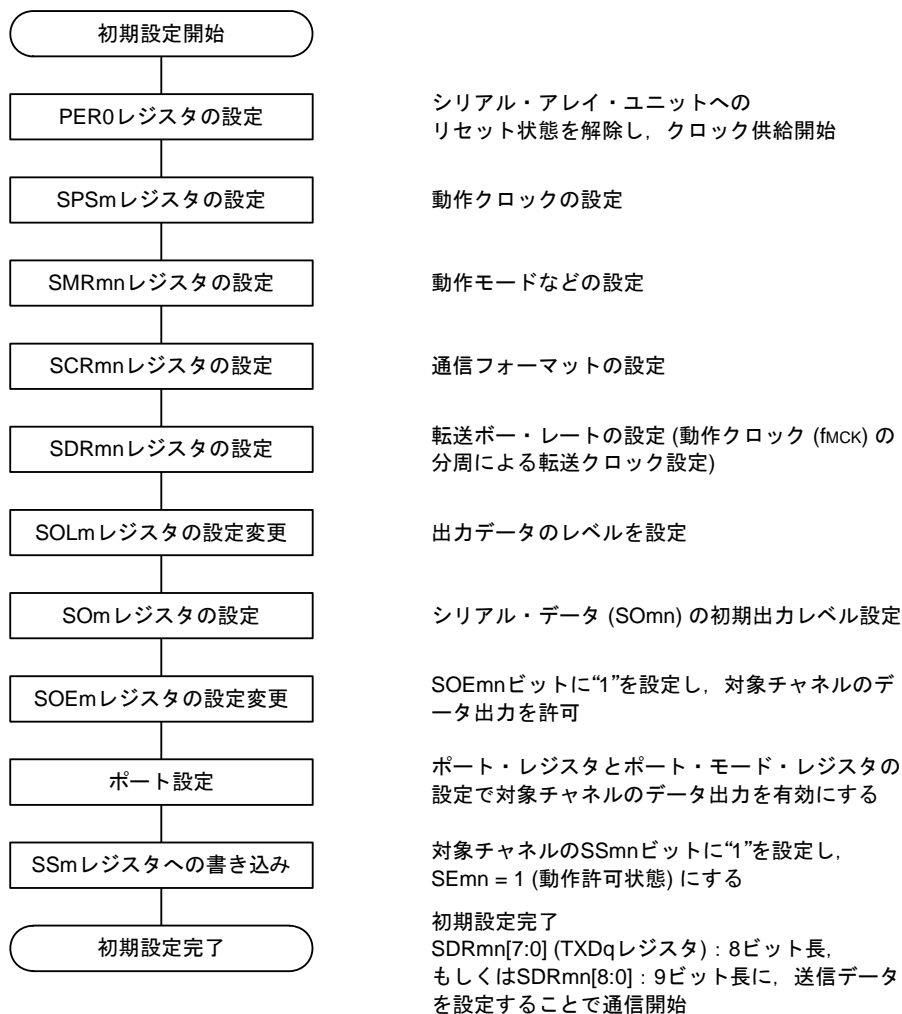


図20 - 103 UART送信の中断手順

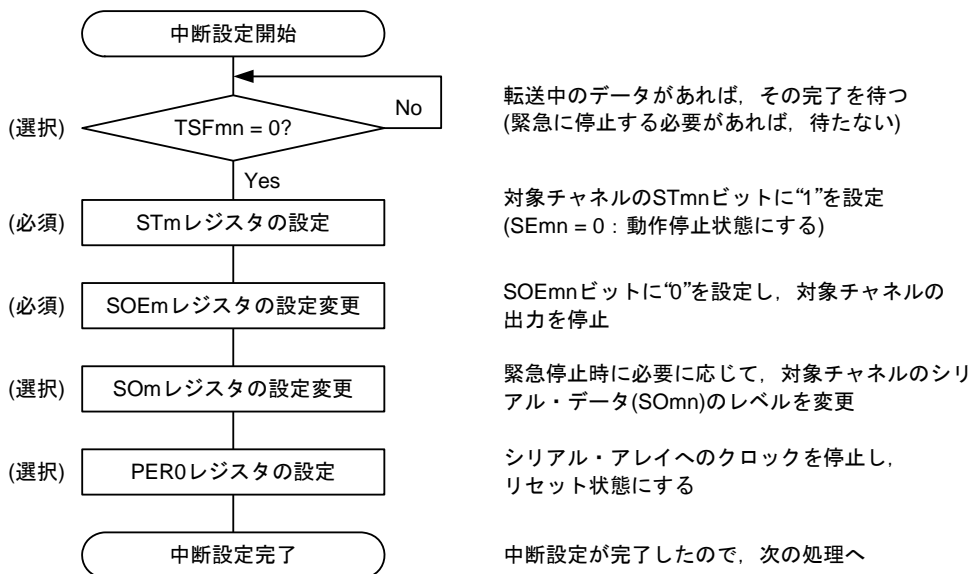
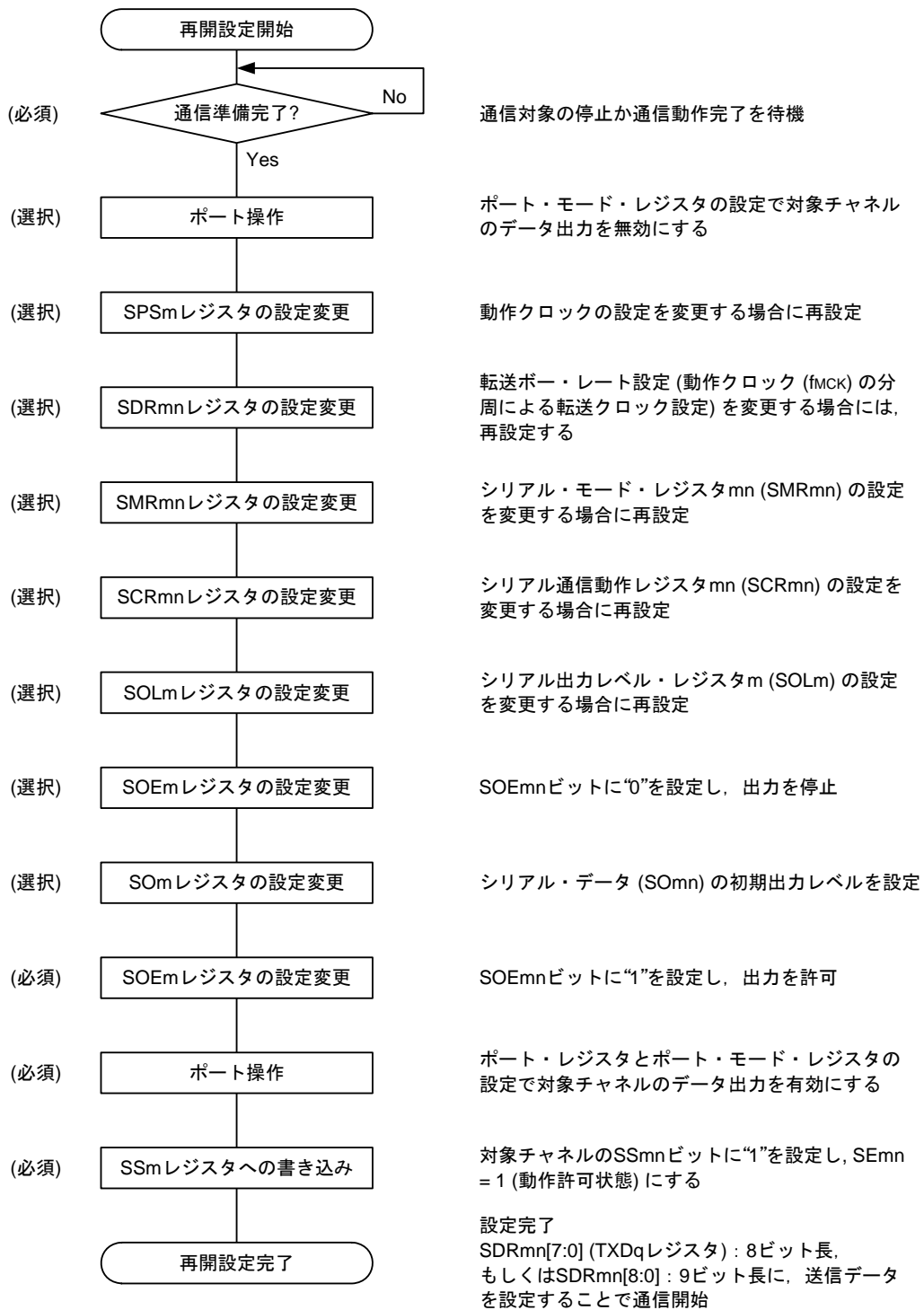


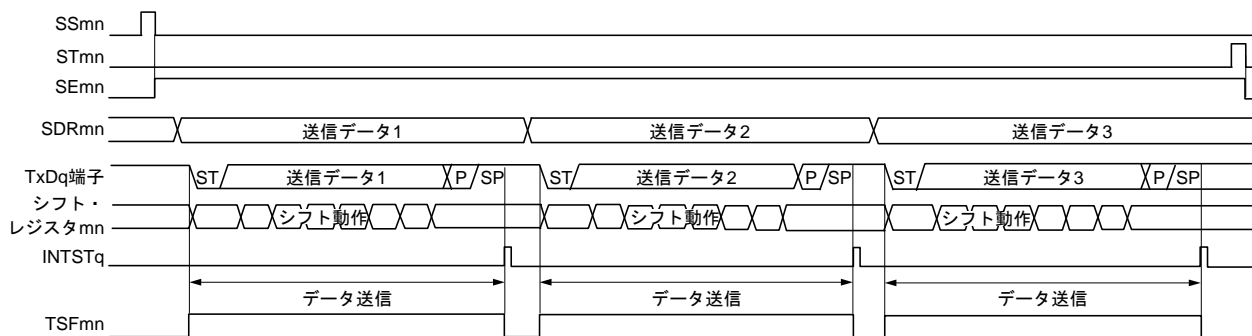
図20 - 104 UART送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

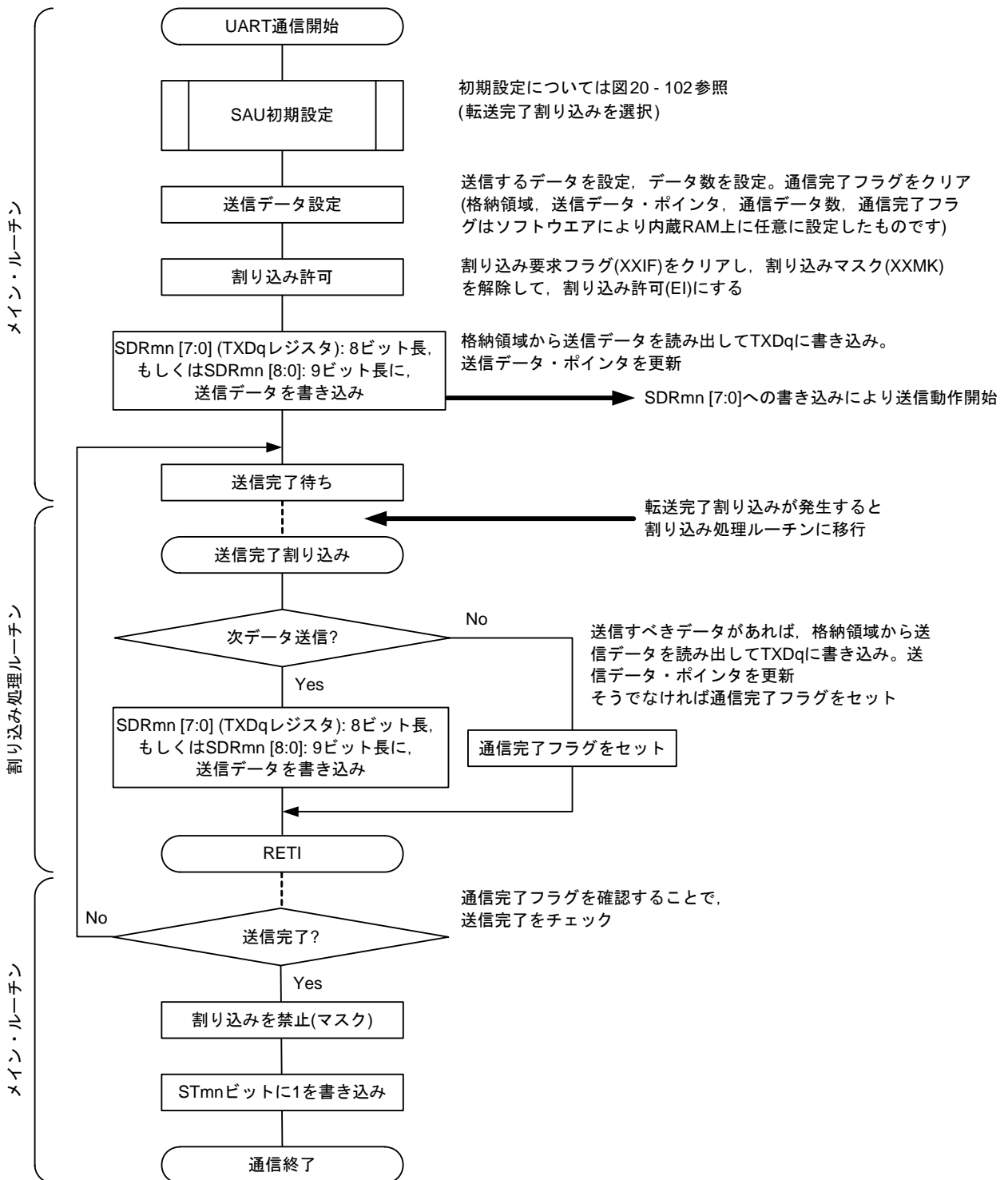
(3) 処理フロー (シングル送信モード時)

図 20 - 105 UART 送信 (シングル送信モード時) のタイミング・チャート



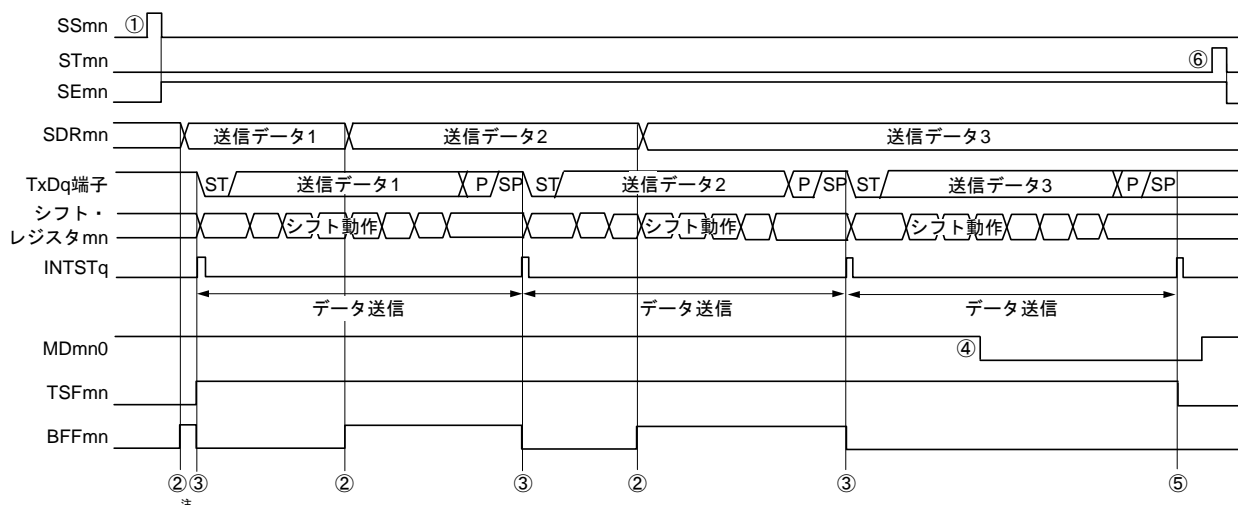
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-2)
 mn = 00, 02, 10

図20 - 106 UART送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図20 - 107 UART 送信 (連続送信モード時) のタイミング・チャート

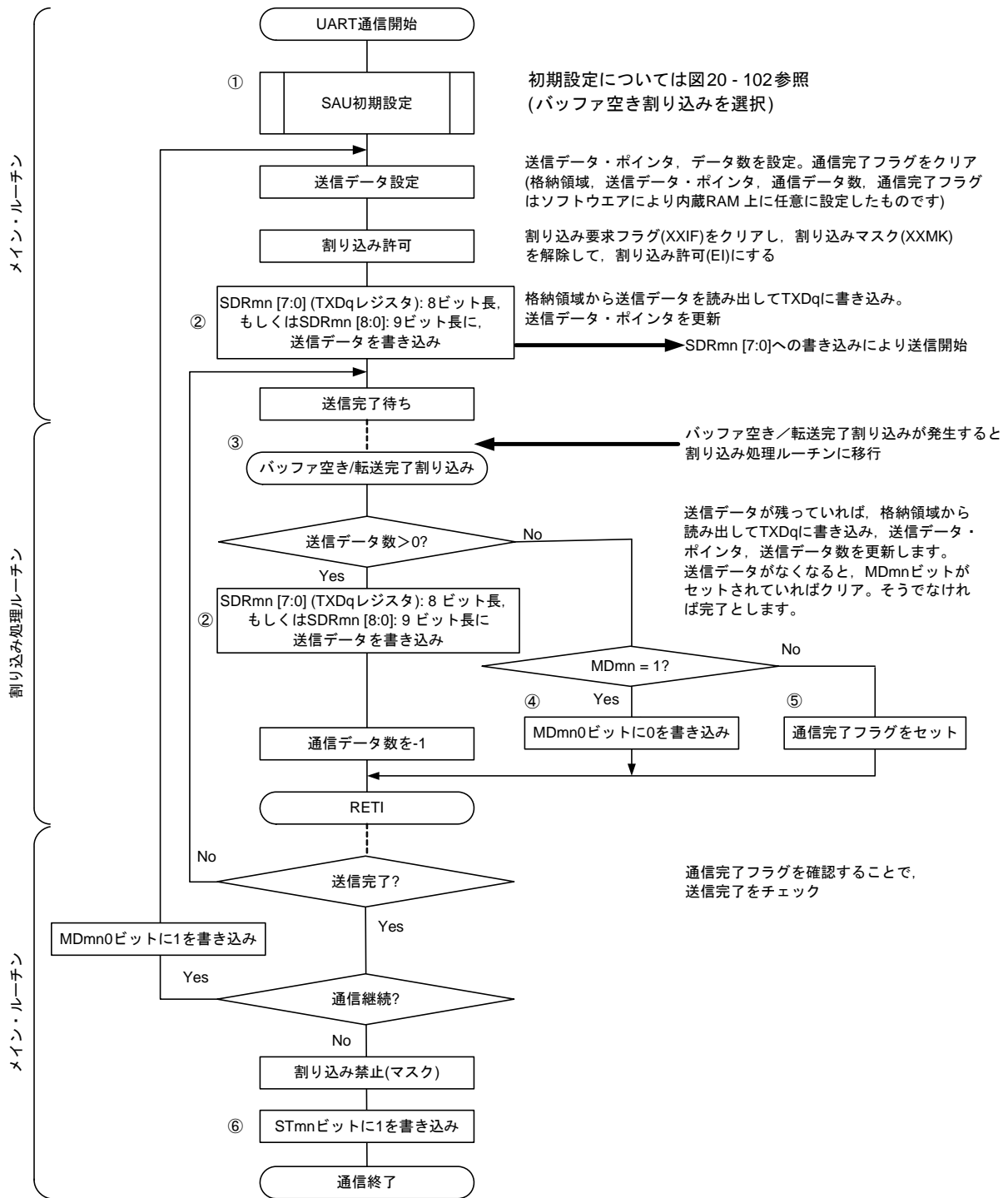


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-2)
mn = 00, 02, 10

図20 - 108 UART送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は, 図20 - 107 UART送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

20.7.2 UART 受信

UART 受信は、他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART 受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1
使用端子	RxD0	RxD1	RxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)		
エラー割り込み	INTSRE0	INTSRE1	INTSRE2
エラー検出フラグ	<ul style="list-style-type: none"> • フレーミング・エラー検出フラグ(FEFmn) • パリティ・エラー検出フラグ(PEFmn) • オーバラン・エラー検出フラグ(OVFmn) 		
転送データ長	7ビットまたは8ビットまたは9ビット注1		
転送レート注2	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし(パリティ・チェックなし) • パリティ判定なし(0パリティ) • 偶数パリティ・チェック • 奇数パリティ・チェック 		
ストップ・ビット	1ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性参照)を満たす範囲内で使用してください。

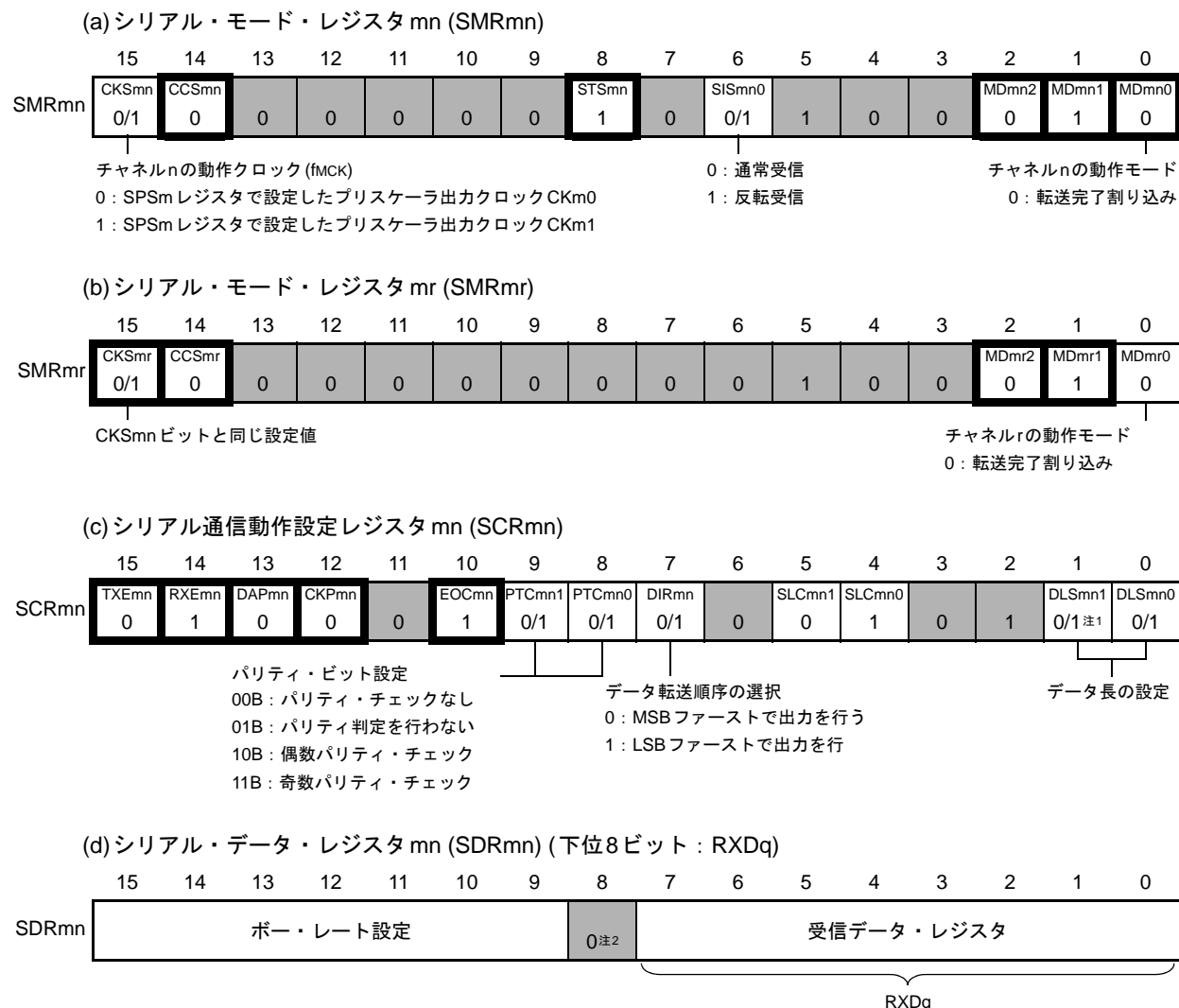
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0, 1$) n : チャンネル番号($n = 1, 3$) $mn = 01, 03, 11$

(1) レジスタ設定

図20 - 109 UART (UART0-UART2)のUART受信時のレジスタ設定内容例 (1/2)



注1. SCR00, SCR01レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。9ビット・データ長での通信が行えるのは、UART0のみです。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 1, 3) mn = 01, 03, 11

r: チャンネル番号(r = n - 1) q: UART番号(q = 0-2)

備考2. : UART受信モードでは設定固定 : 設定不可(初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図20 - 109 UART (UART0-UART2)のUART受信時のレジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ m (SOm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 注 ×	1	CKOm0 注 ×	0	0	0	0	1	SOm2 ×	1	SOm0 ×

(f) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 ×	0	SOEm0 ×

(g) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

注 シリアル・アレイ・ユニット0のみ

備考1. m : ユニット番号 (m = 0, 1)

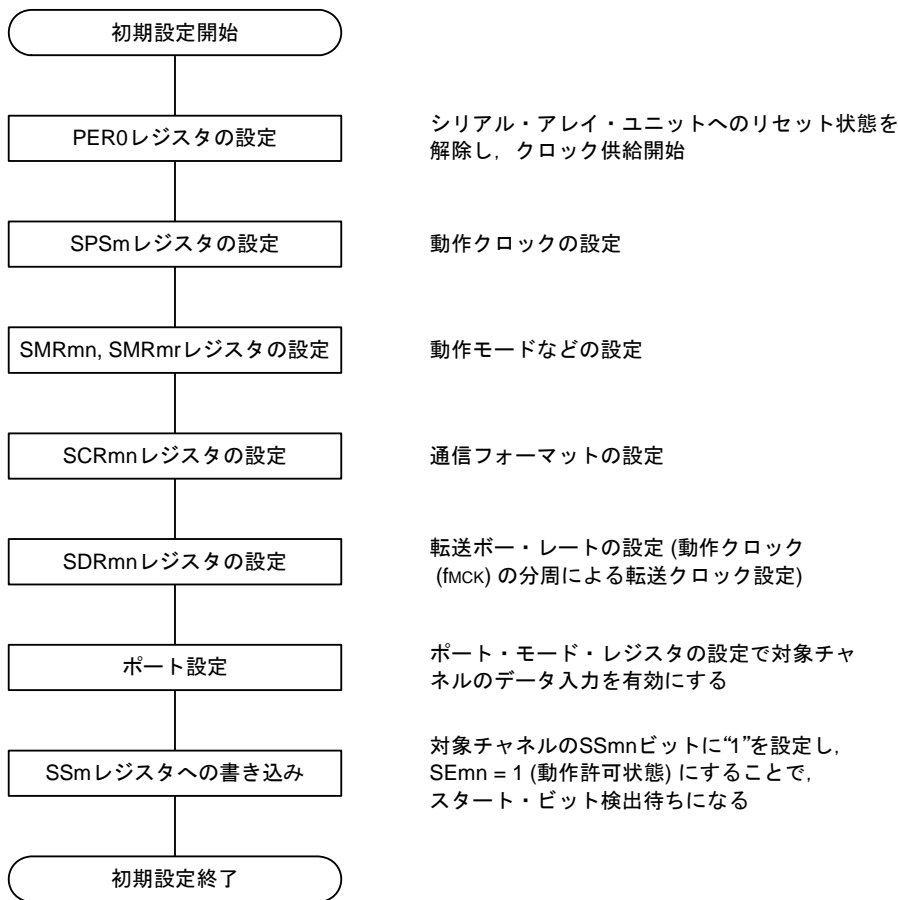
備考2. ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図20 - 110 UART受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを1に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図20 - 111 UART受信の中断手順

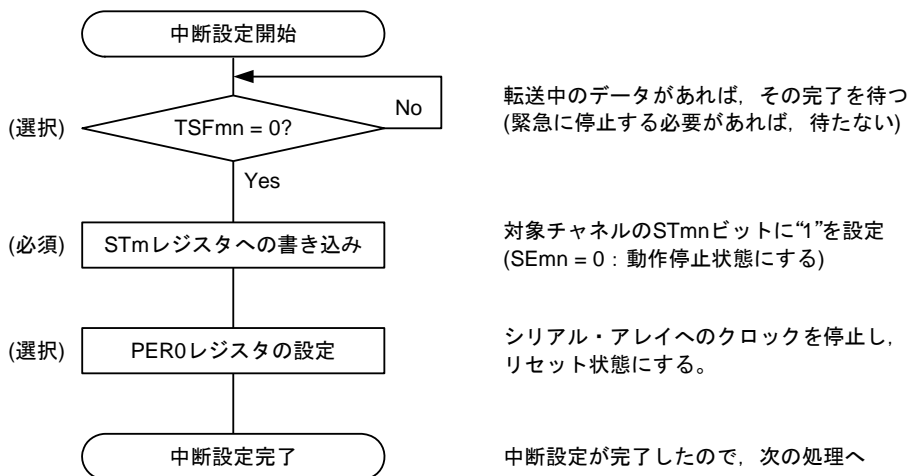
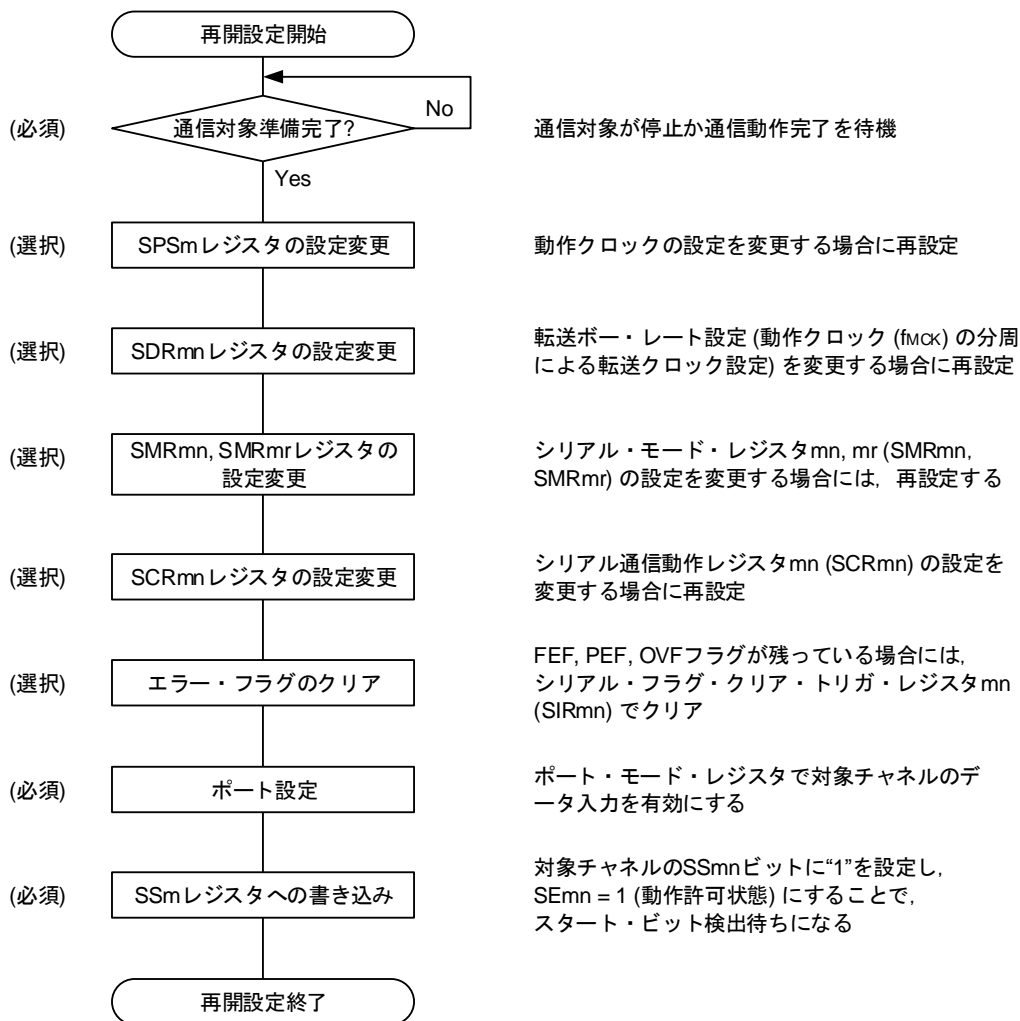


図20 - 112 UART受信の再開設定手順

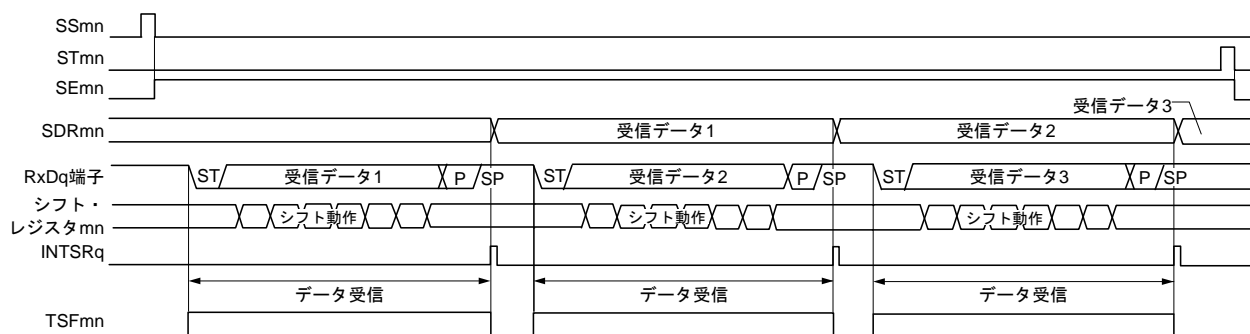


注意 SCRmnレジスタのRXEmnビットを1に設定後に、f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

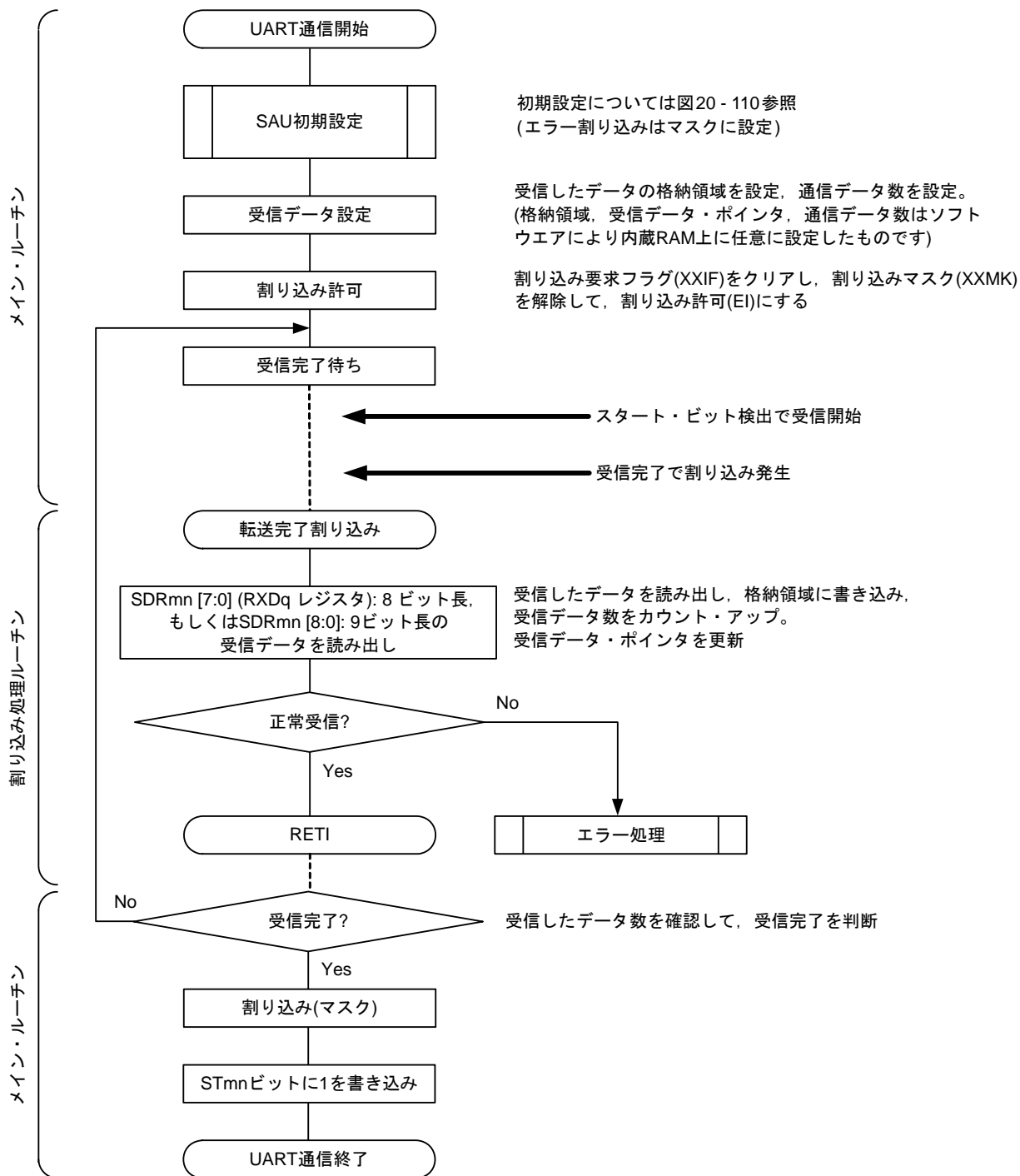
(3) 処理フロー

図 20 - 113 UART 受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11
 r : チャネル番号 (r = n - 1) q : UART 番号 (q = 0-2)

図20 - 114 UART受信のフロー・チャート



20.7.3 SNOOZE モード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。SNOOZEモードは、UART0, UART2のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図20-117, 図20-119 SNOOZEモード動作時のフローチャートを参照)

- SNOOZEモード時は、UART受信ポー・レートの設定を通常動作時とは異なる値に変更する必要があります。表20-4を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm1ビットをセット(1)します。

STOPモードに移行後、RxDqのエッジを検出(スタート・ビット入力)すると、UART受信を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH)を選択している場合のみ使用できます。

注意2. SNOOZEモードでの転送レートは4800 bpsのみです。

注意3. SWCm = 1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- SWCm = 1に設定後、STOPモードに移行する前に受信開始した場合
- 他のSNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後、SWCm = 0に戻す前に受信開始した場合

注意4. SSECm = 1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVFmn フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときは、SWC0 = 1に設定する前にPEFmn, FEFmn, OVFmn フラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。

注意5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表 20 - 4 SNOOZE モード時の UART 受信ボー・レート設定

高速オンチップ・ オシレータ (fIH)	SNOOZE モード時の UART 受信ボー・レート			
	ボー・レート 4800 bps			
	動作クロック (fMCK)	SDRmn [15:9]	最大許容値	最小許容値
24 MHz ± 1.0%注	fCLK /2 ⁵	79	1.60%	-2.18%
16 MHz ± 1.0%注	fCLK /2 ⁴	105	2.27%	-1.53%
12 MHz ± 1.0%注	fCLK /2 ⁴	79	1.60%	-2.19%
8 MHz ± 1.0%注	fCLK /2 ³	105	2.27%	-1.53%
6 MHz ± 1.0%注	fCLK /2 ³	79	1.60%	-2.19%
4 MHz ± 1.0%注	fCLK /2 ²	105	2.27%	-1.53%
3 MHz ± 1.0%注	fCLK /2 ²	79	1.60%	-2.19%
2 MHz ± 1.0%注	fCLK /2	105	2.27%	-1.54%
1 MHz ± 1.0%注	fCLK	105	2.27%	-1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

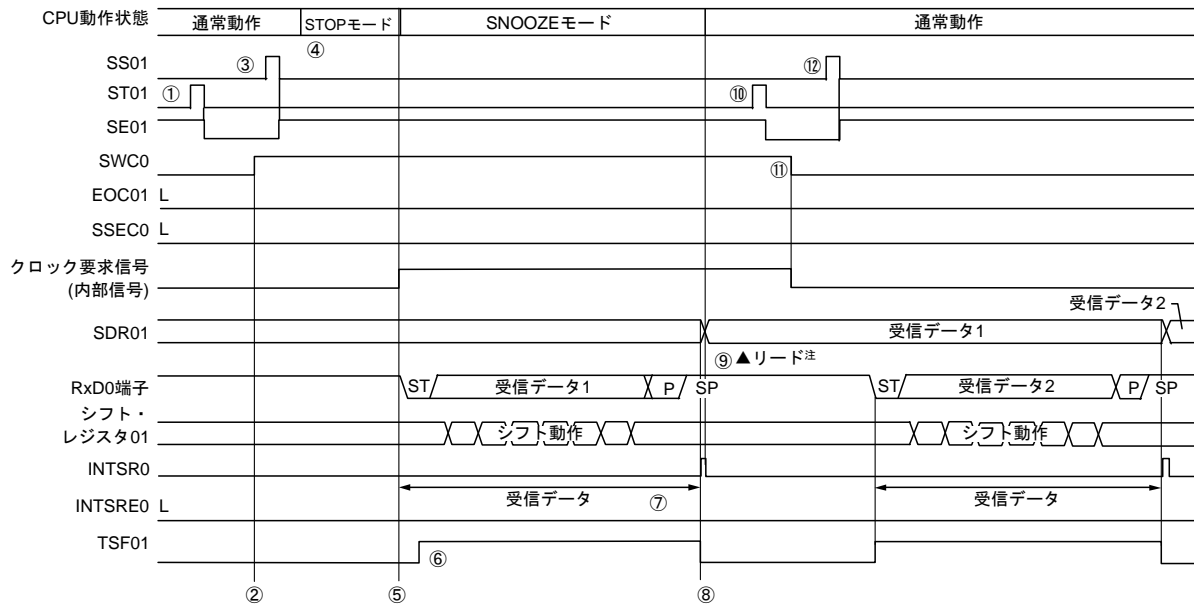
- fIH ± 1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- fIH ± 2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

備考 最大許容値、最小許容値は、UART 受信時のボー・レート許容値です。
この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1)

EOCm1 = 0 のため SSECM ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSRReq) は発生しません。転送完了割り込み (INTSRq) は発生します。

図20 - 115 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1)時のタイミング・チャート



注 SWCm = 1 の状態で、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

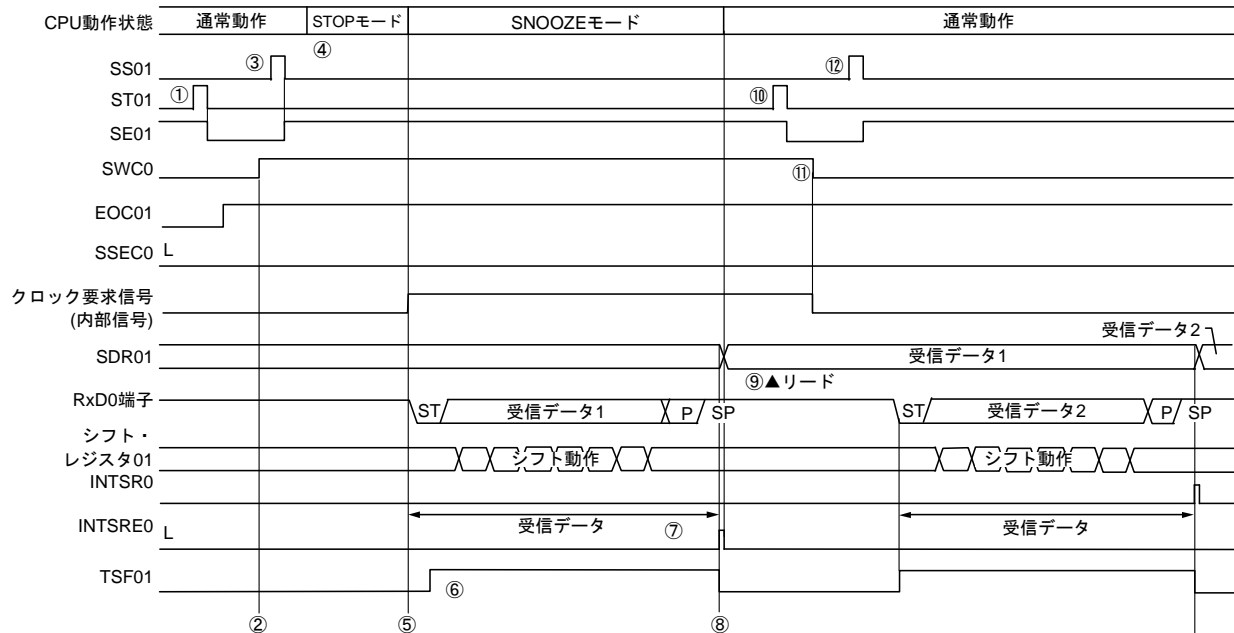
備考1. 図中の①~⑫は、図20 - 117 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1もしくはEOCm1 = 1, SSECM = 0)時のフロー・チャートの①~⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

(2) SNOOZEモード動作(EOCm1 = 1, SSECM = 0 : エラー割り込み(INTSREq)発生許可)

EOCm1 = 1, SSECM = 0のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生します。

図20 - 116 SNOOZEモード動作(EOCm1 = 1, SSECM = 0)時のタイミング・チャート



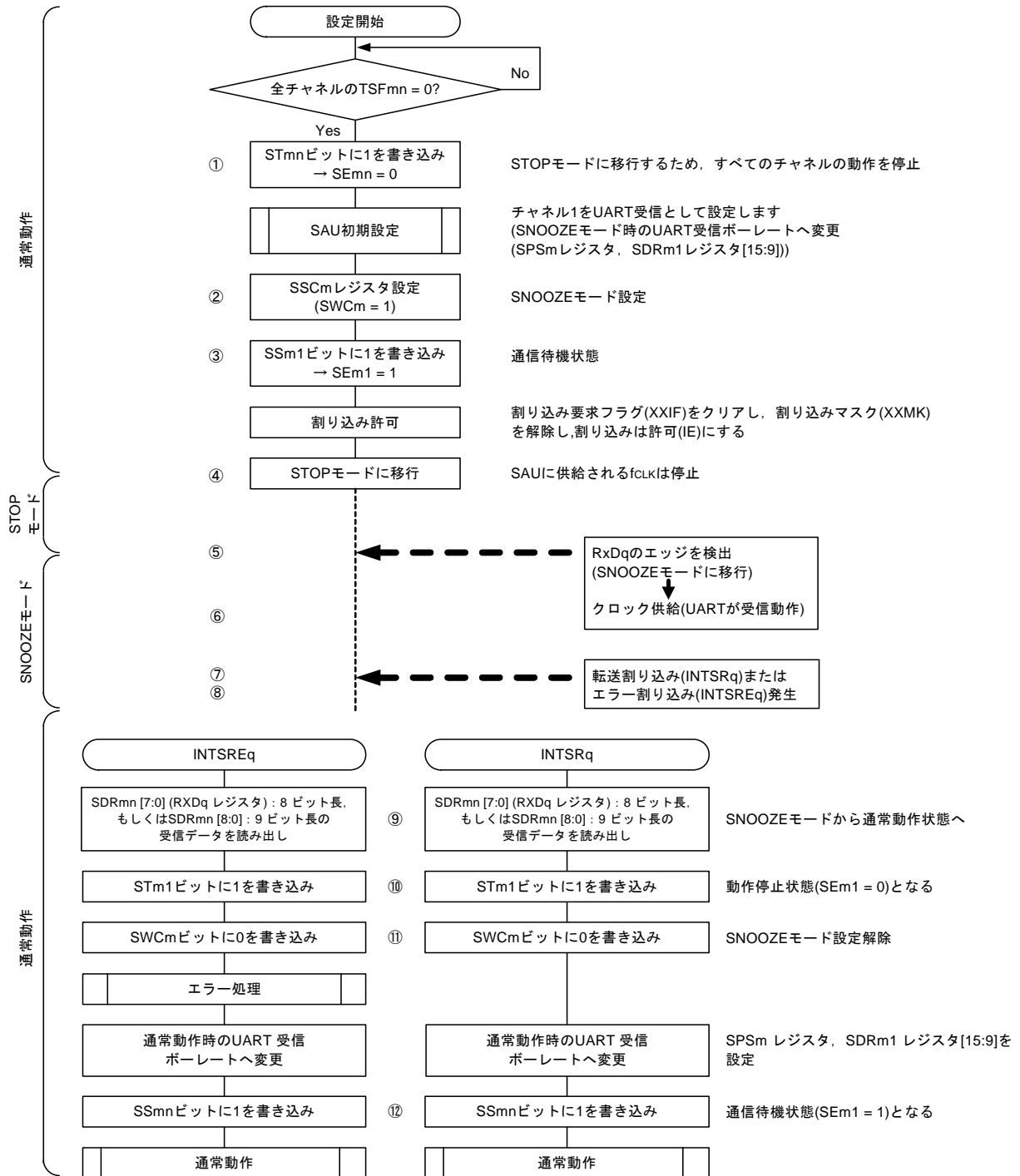
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

備考1. 図中の①~⑫は、図20 - 117 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1もしくはEOCm1 = 1, SSECM = 0)時のフロー・チャートの①~⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

図20 - 117 SNOOZEモード動作(EOCm1 = 0, SSEcM = 0/1 もしくはEOCm1 = 1, SSEcM = 0)時のフロー・チャート



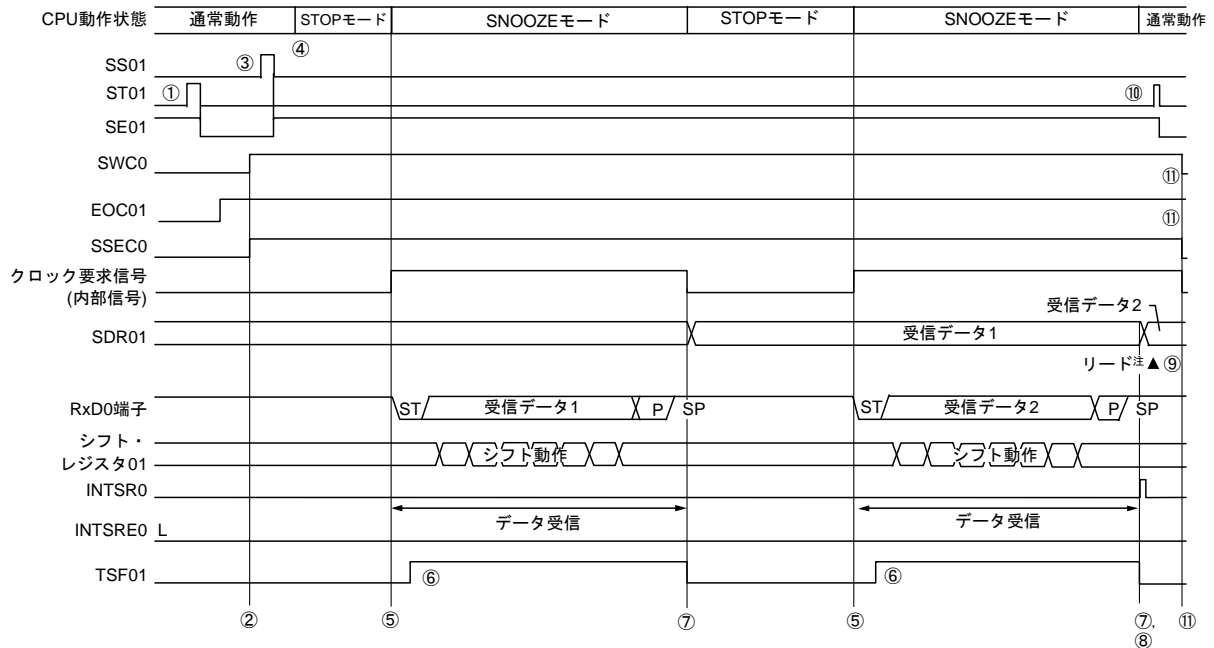
備考1. 図中の①~⑫は、図20 - 115 SNOOZEモード動作(EOCm1 = 0, SSEcM = 0/1)時のタイミング・チャート、図20 - 116 SNOOZEモード動作(EOCm1 = 1, SSEcM = 0)時のタイミング・チャートの①~⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

(3) SNOOZEモード動作(EOCm1 = 1, SSECm = 1 : エラー割り込み(INTSREq)発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生しません。

図20 - 118 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

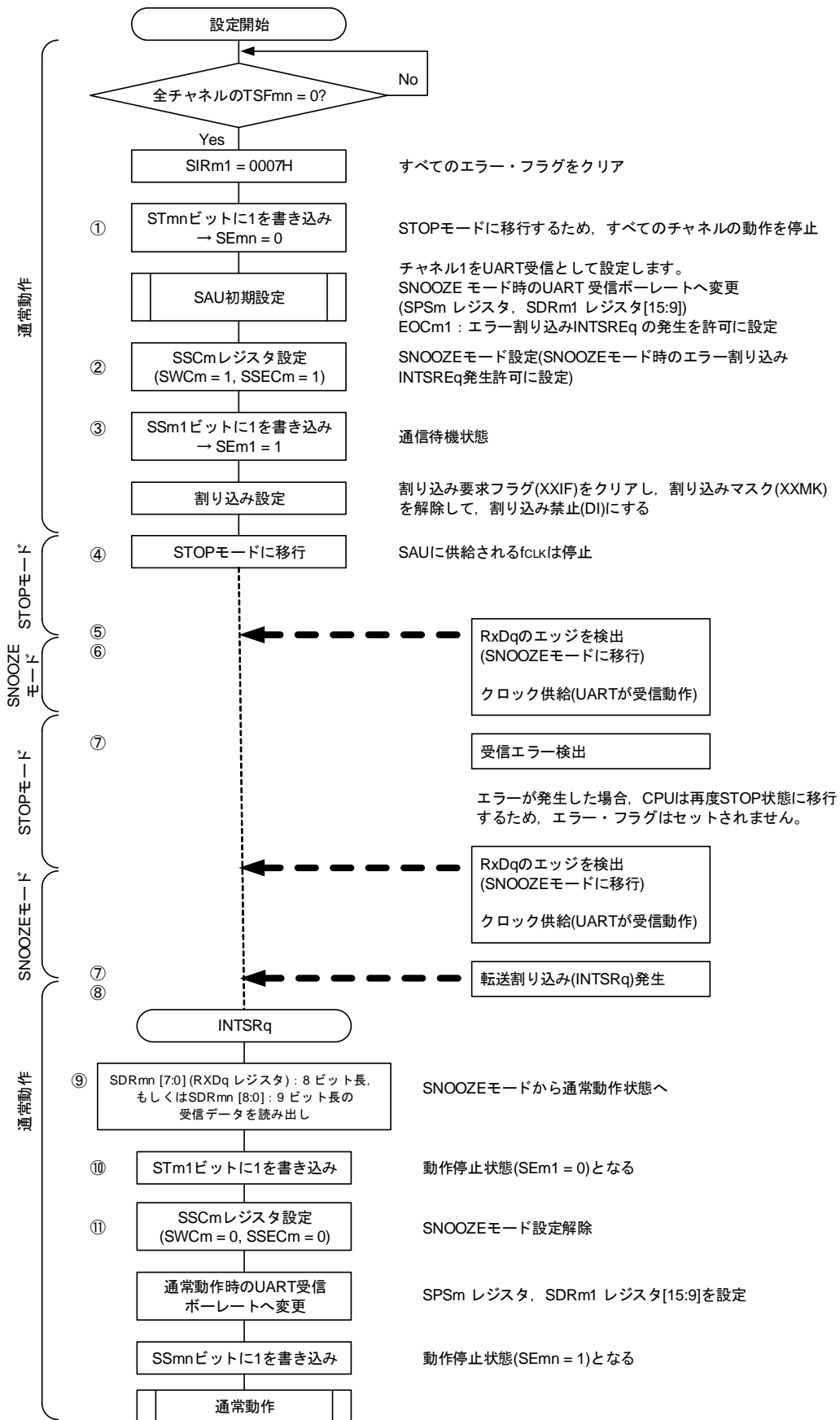
また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときには、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出してください。

備考1. 図中の①～⑪は、図20 - 119 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャートの①～⑪に対応しています。

備考2. m = 0, 1; q = 0, 2

図20 - 119 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャート



(注意、備考は次ページにあります。)

注意 SSECm = 1 のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFm1, FEFm1, OVFM1 フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1 で使用するときには、SWC0 = 1 に設定する前に PEFm1, FEFm1, OVFM1 フラグをクリアし、また、SDRm1 [7:0] (RXDq レジスタ) : 8 ビット長、もしくは SDRm1 [8:0] : 9 ビット長を読み出してください。

備考1. 図中の①~⑩は、図 20 - 118 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①~⑩に対応しています。

備考2. m = 0, 1; q = 0, 2

20.7.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART2)通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタ mn (SDRmn)SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので、2-127になります。

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 20 - 5 UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz
	1	1	0	0	X	X	X	X	fCLK/2 ¹²	5.86 kHz
	1	1	0	1	X	X	X	X	fCLK/2 ¹³	2.93 kHz
	1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.46 kHz
1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタm(STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) mn = 00-03, 10, 11

(2) 送信時のボー・レート誤差

UART (UART0-UART2)通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

fCLK = 24 MHzの場合のUARTボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	fCLK = 24 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート差	目標ボー・レートとの誤差
300 bps	fCLK/2 ⁹	77	300.48 bps	+0.16%
600 bps	fCLK/2 ⁸	77	600.96 bps	+0.16%
1200 bps	fCLK/2 ⁷	77	1201.92 bps	+0.16%
2400 bps	fCLK/2 ⁶	77	2403.85 bps	+0.16%
4800 bps	fCLK/2 ⁵	77	4807.69 bps	+0.16%
9600 bps	fCLK/2 ⁴	77	9615.38 bps	+0.16%
19200 bps	fCLK/2 ³	77	19230.8 bps	+0.16%
31250 bps	fCLK/2 ³	47	31250.0 bps	±0.0%
38400 bps	fCLK/2 ²	77	38461.5 bps	+0.16%
76800 bps	fCLK/2	77	76923.1 bps	+0.16%
153600 bps	fCLK	77	153846 bps	+0.16%
312500 bps	fCLK	37	315789 bps	+1.05%

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10

(3) 受信時のポー・レート許容範囲

UART (UART0-UART2) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$\text{(受信可能な最大ポー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ポー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値(20.7.4 (1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 1, 3) mn = 01, 03, 11

図20 - 120 受信時の許容ポー・レート範囲(1データ・フレーム長 = 11ビットの場合)

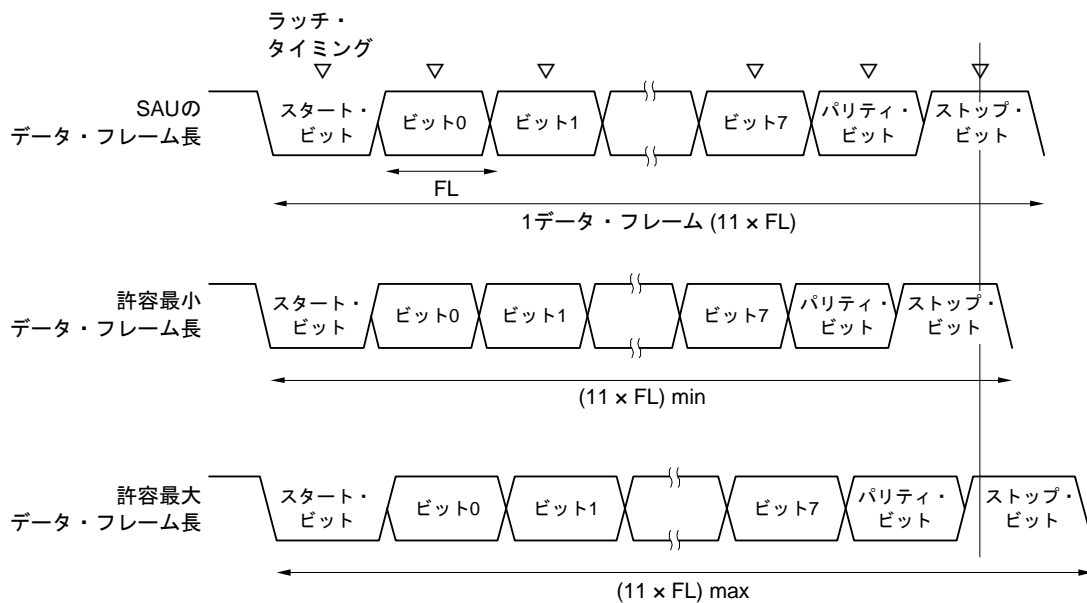


図20 - 120に示すように、スタート・ビット検出後はシリアル・データ・レジスタ mn (SDRmn)のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

20.7.5 UART (UART0-UART2)通信時におけるエラー発生時の処理手順

UART (UART0-UART2)通信時にエラーが発生した場合の処理手順を図20 - 121, 図20 - 122に示します。

図20 - 121 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に1をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図20 - 122 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに1を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが0となり、チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに1を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが1となり、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10, 11

20.8 LIN通信の動作

20.8.1 LIN送信

UART送信のうち、UART0はLIN通信に対応しています。

LIN送信では、ユニット0のチャンネル0を使用します。

UART	UART0	UART1	UART2
LIN通信対応	可	不可	不可
対象チャンネル	SAU0のチャンネル0	—	—
使用端子	TxD0	—	—
割り込み	INTST0	—	—
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能		
エラー検出フラグ	なし		
転送データ長	8ビット		
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR00[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロー・レベル)		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加		
データ方向	LSBファースト		

注 この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性参照)を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1~20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

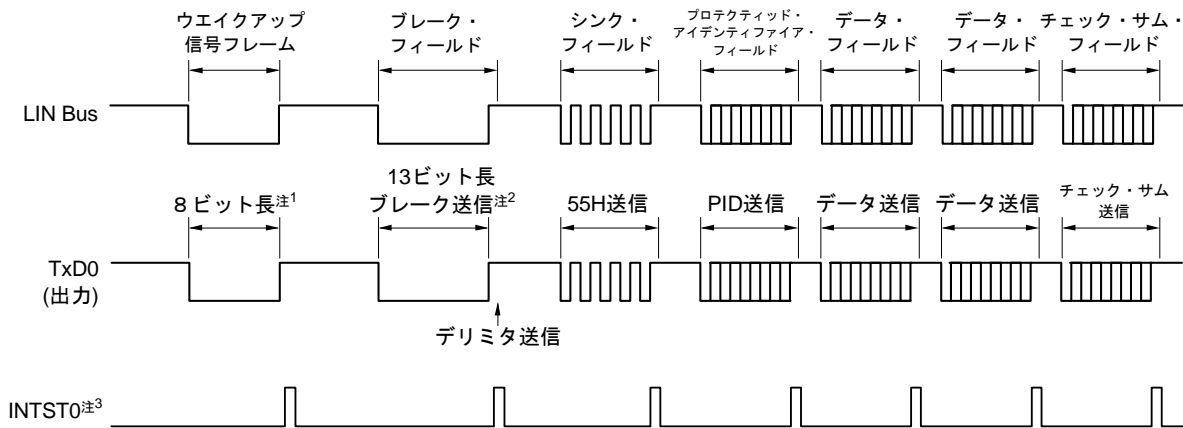
LINのマスタは通常、CAN (Controller Area Network)などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINの Protokolでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が±15%以下であれば、通信可能です。

LINの送信操作の概略を、図20 - 123に示します。

図20 - 123 LINの送信操作



- 注1. ウェイクアップ信号の規定を満たせるようにポー・レートを設定し、80Hのデータ送信をすることで対応します。
- 注2. シンク・ブレイク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートをN [bps]とすると、ブレイク・フィールドで使用するポー・レートは次のようになります。

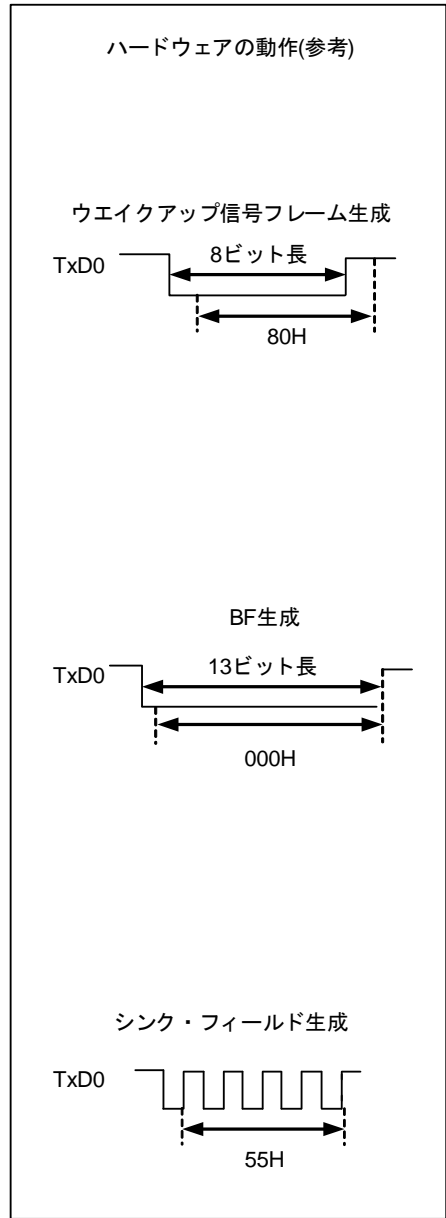
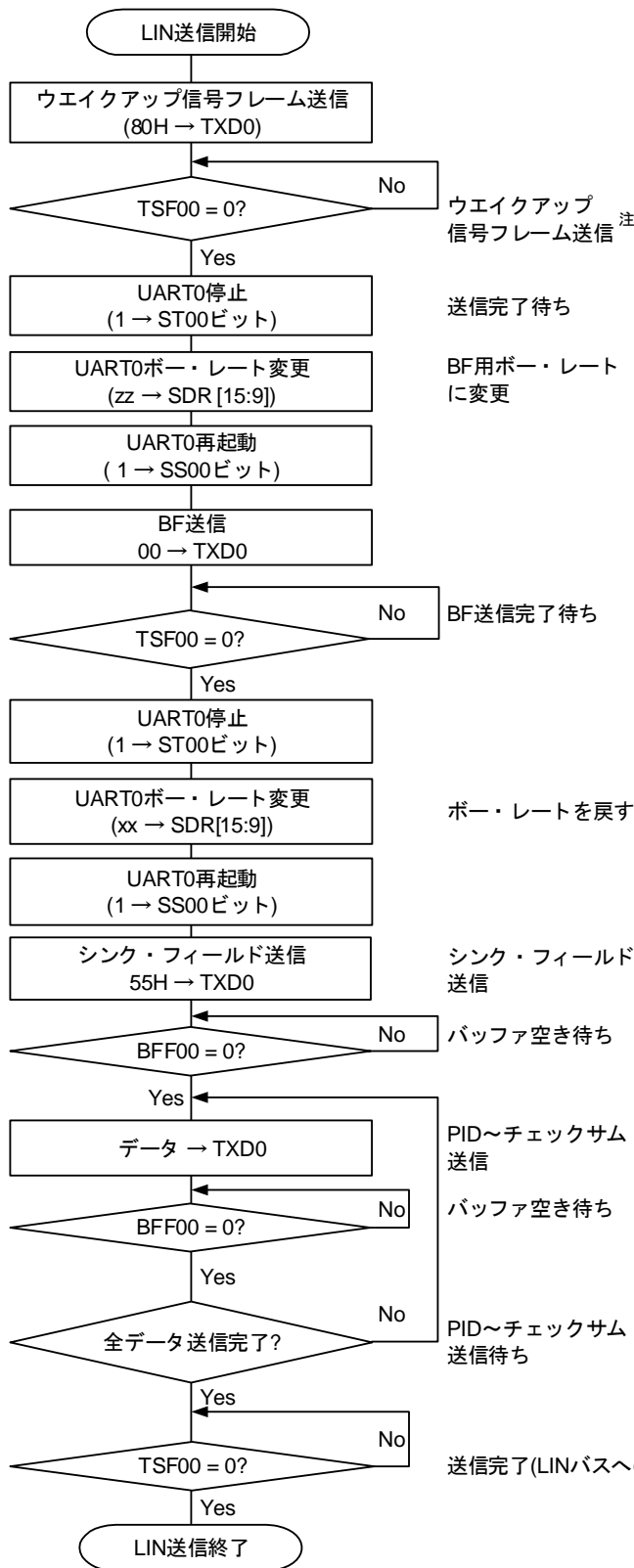
$$(ブレイク・フィールド時のポー・レート) = 9/13 \times N$$

このポー・レートで00Hのデータ送信をすることでブレイク・フィールドを生成します。

- 注3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図20 - 124 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ。

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

20.8.2 LIN受信

UART受信のうち、UART0はLIN通信に対応しています。

LIN受信では、ユニット1のチャンネル1を使用します。

UART	UART0	UART1	UART2
LIN通信対応	可	不可	不可
対象チャンネル	SAU0のチャンネル1	—	—
使用端子	RxD0	—	—
割り込み	INTSR0	—	—
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)		
エラー割り込み	INTSRE0	—	—
エラー検出フラグ	<ul style="list-style-type: none"> • フレーミング・エラー検出フラグ(FEF01) • オーバラン・エラー検出フラグ(OVF01) 		
転送データ長	8ビット		
転送レート注	Max. $f_{MCK}/6$ [bps] ($SDR01[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)		
パリティ・ビット	パリティ・ビットなし(パリティ・チェックしない)		
ストップ・ビット	1ビット付加		
データ方向	LSBファースト		

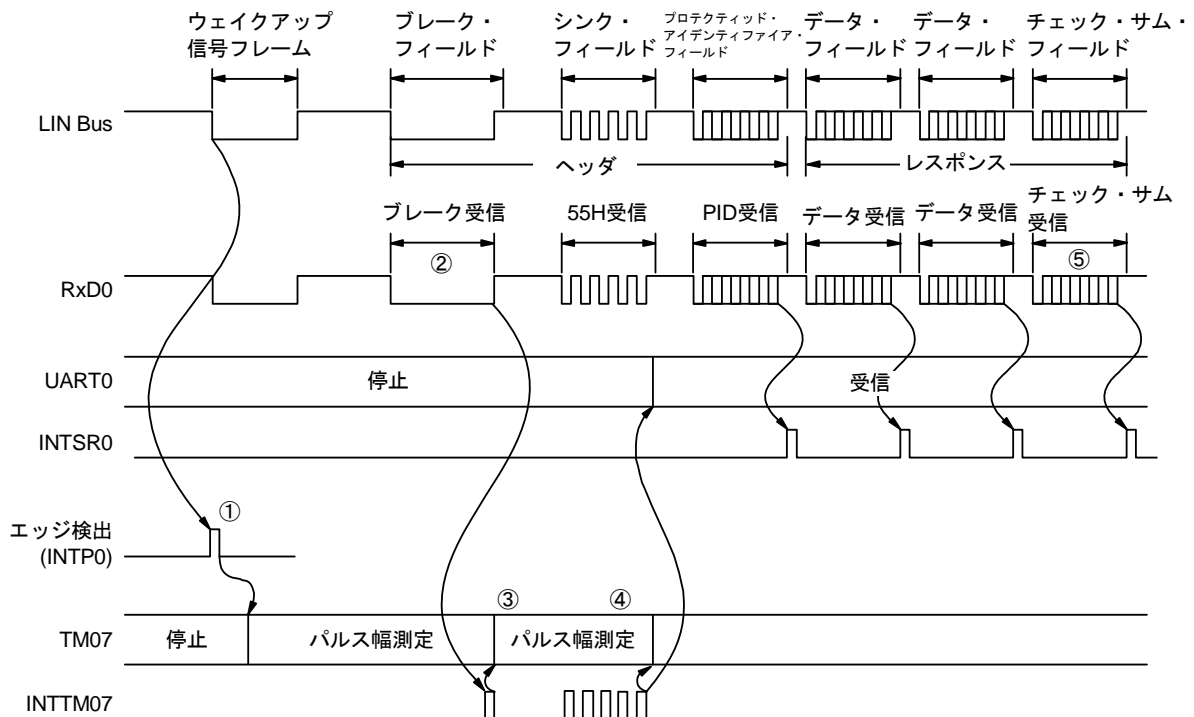
注 この条件を満たし、かつ電氣的特性の周辺機能特性(第38章 または第39章 電氣的特性参照)を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINの受信操作の概略を、図20 - 125に示します。

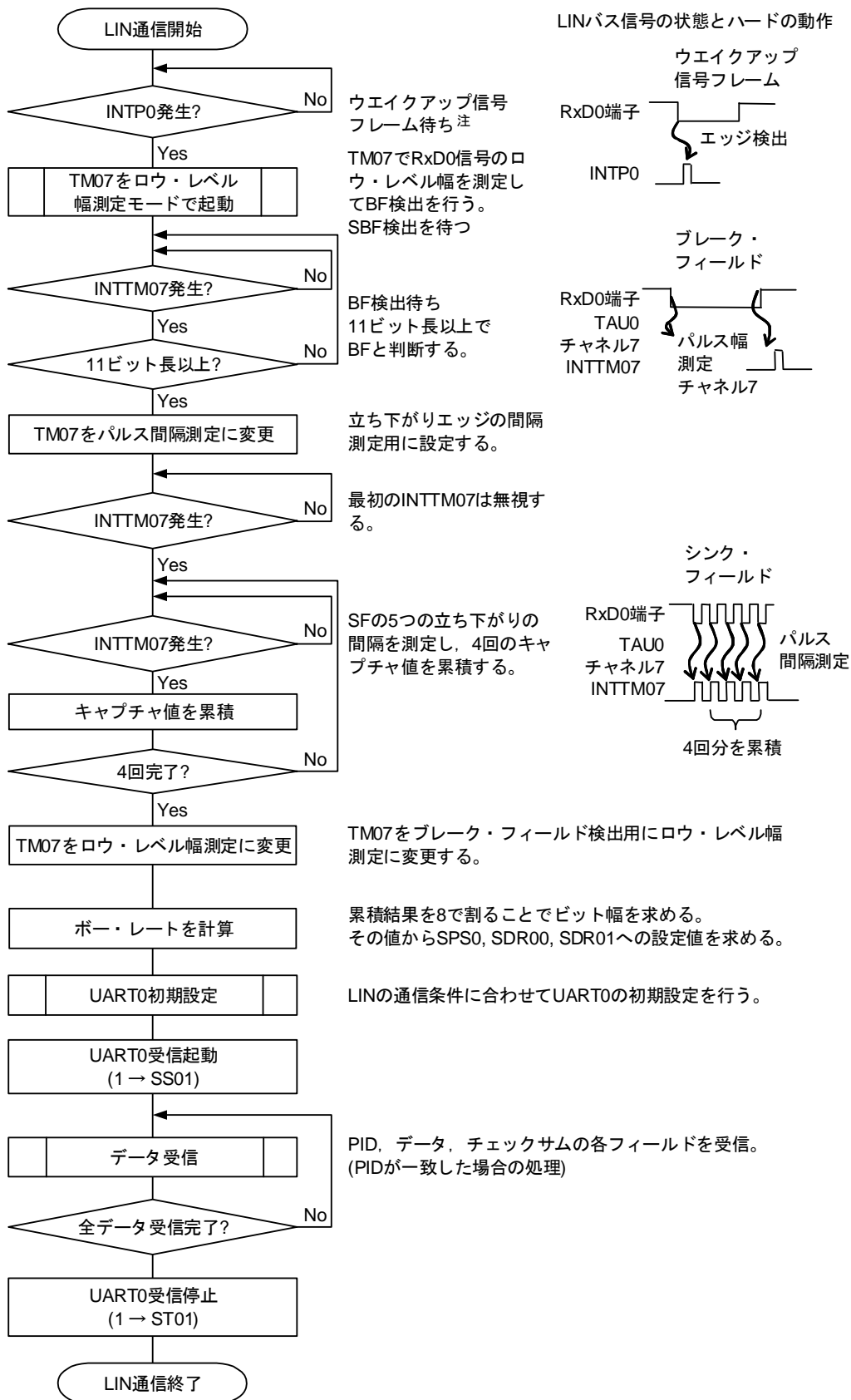
図20 - 125 LINの受信操作



受信処理の流れを次に示します。

- ① ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTP0) で行います。ウェイクアップ信号を検出したら、TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して、BF受信待ち状態にします。
- ② BFの立ち下がりを検出したら、TM07はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。
- ③ BF受信を正常終了した場合、TM07をパルス間隔測定に設定し、シンク・フィールドのRxD0信号の立ち下がり間隔を4回測定してください(6.8.3 入力パルス間隔測定としての動作を参照)。
- ④ シンク・フィールド(SF)のビット間隔からボー・レート誤差を算出します。そして、いったんUART0を動作停止にしてからボー・レートを調整(再設定)してください。
- ⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し、再びBF受信待ちに設定する処理もソフトウェアにて行ってください。

図20 - 126 LIN受信のフロー・チャート



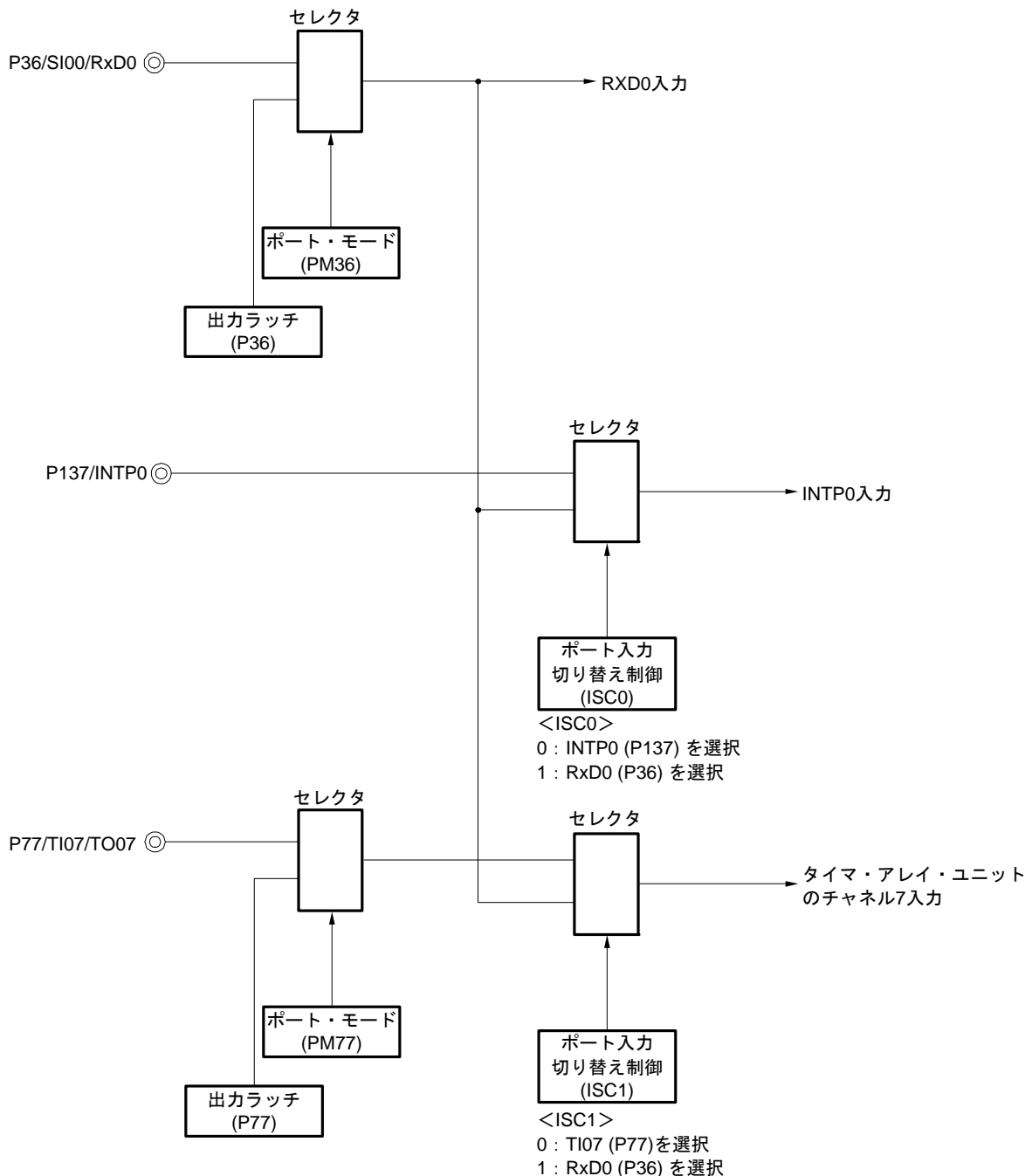
注 スリープ状態でのみ必要となります。

図20 - 127はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部で結線をせずに、受信用ポート入力(RxD0)の入力ソースを外部割り込み(INTP0)およびタイマ・アレイ・ユニットへ入力することができます。

図20 - 127 LINの受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図20 - 21 参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- 外部割り込み(INTP0) ; ウェイクアップ信号検出

用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出

- タイマ・アレイ・ユニットのチャンネル7 ; ボー・レート誤差検出、ブレーク・フィールド(BF)検出

用途 : シンク・フィールド(SF)の長さを検出し、ビット数で割ることでボー・レート誤差を検出(RxD0)

入力エッジの間隔をキャプチャ・モードで測定

ロウ・レベル幅を測定し、ブレーク・フィールド(BF)かを判定

- シリアル・アレイ・ユニット0 (SAU0)のチャンネル0, 1 (UART0)

20.9 簡易I²C (IIC00, IIC10, IIC20)通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²Cバスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- マスタ送信, マスタ受信(シングル・マスタでのマスタ機能のみ)
- ACK出力機能^注, ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

※ [簡易I²Cでサポートしていない機能]

- スレーブ送信, スレーブ受信
- マルチ・マスタ機能(アービトレーション負け検出機能)
- ウェイト検出機能

注 最終データの受信時は、SOEmn (SOEmレジスタ)ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、20.9.3 (2) 処理フローを参照してください。

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0, 2) mn = 00, 02, 10

簡易I²C (IIC00, IIC10, IIC20)に対応しているチャンネルは、SAU0のチャンネル0, 2とSAU1のチャンネル0, 2です。

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—

簡易I²C (IIC00, IIC10, IIC20)の通信動作は、以下の4種類があります。

- アドレス・フィールド送信 (20.9.1項を参照)
- データ送信 (20.9.2項を参照)
- データ受信 (20.9.3項を参照)
- ストップ・コンディション発生 (20.9.4項を参照)

20.9.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易I ² C	IIC00	IIC10	IIC20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}	SCL20, SDA20 ^{注1}
割り込み	INTIIC00	INTIIC10	INTIIC20
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)		
エラー検出フラグ	ACKエラー検出フラグ(PEFmn)		
転送データ長	8ビット(上位7ビットをアドレス、下位1ビットをR/W制御として送信)		
転送レート ^{注2}	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz(ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 		
データ・レベル	非反転出力(デフォルト:ハイ・レベル)		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加(ACK受信タイミング用)		
データ方向	MSBファースト		

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.4 ポート機能を制御するレジスタ、4.6 兼用機能使用時のレジスタ設定を参照してください。

IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

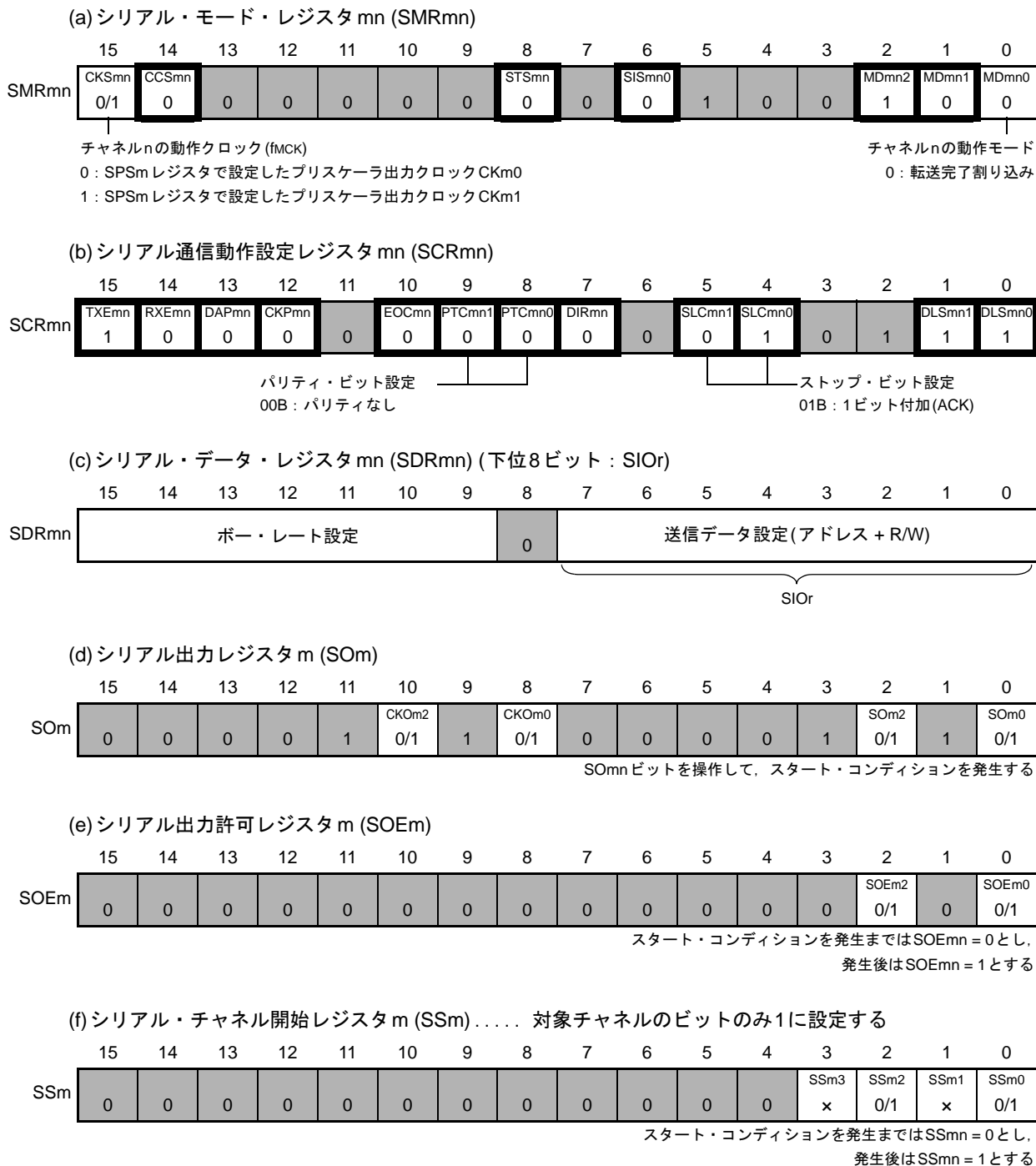
詳細は、4.5.4 入出力バッファによる異電位(1.8 V系^{注1}, 2.5 V系, 3 V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10

(1) レジスタ設定

図20 - 128 簡易I²C (IIC00, IIC10, IIC20)のアドレス・フィールド送信時のレジスタ設定内容例



備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 20) mn = 00, 02, 10

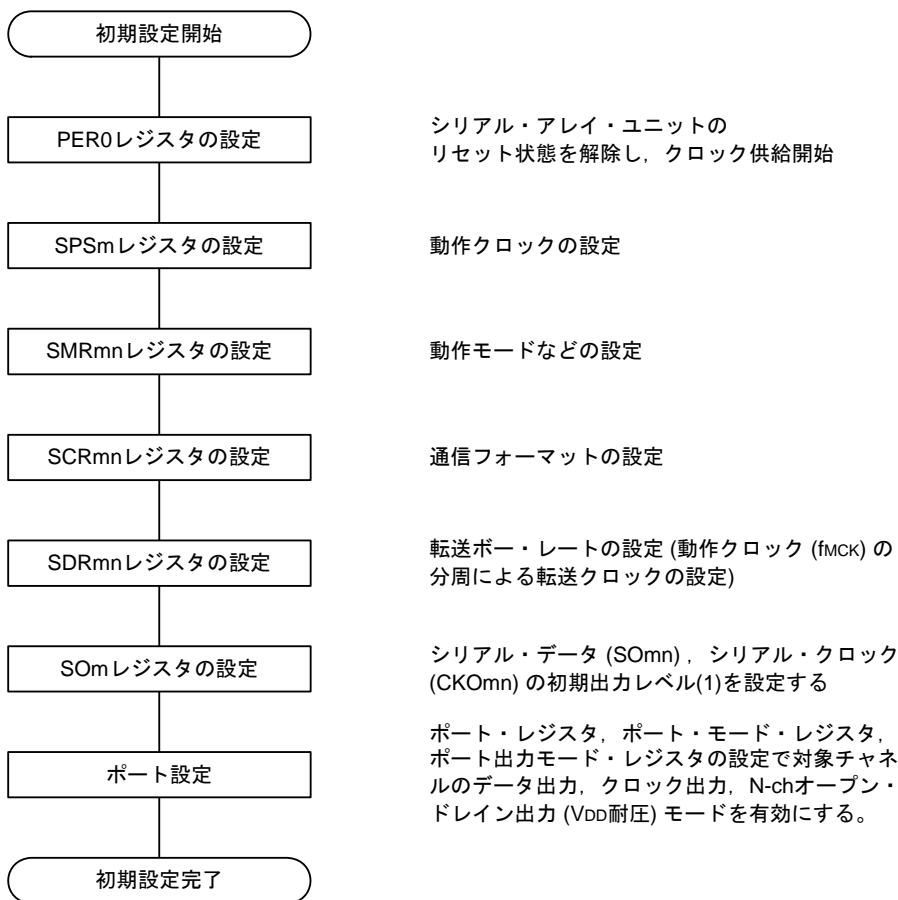
備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

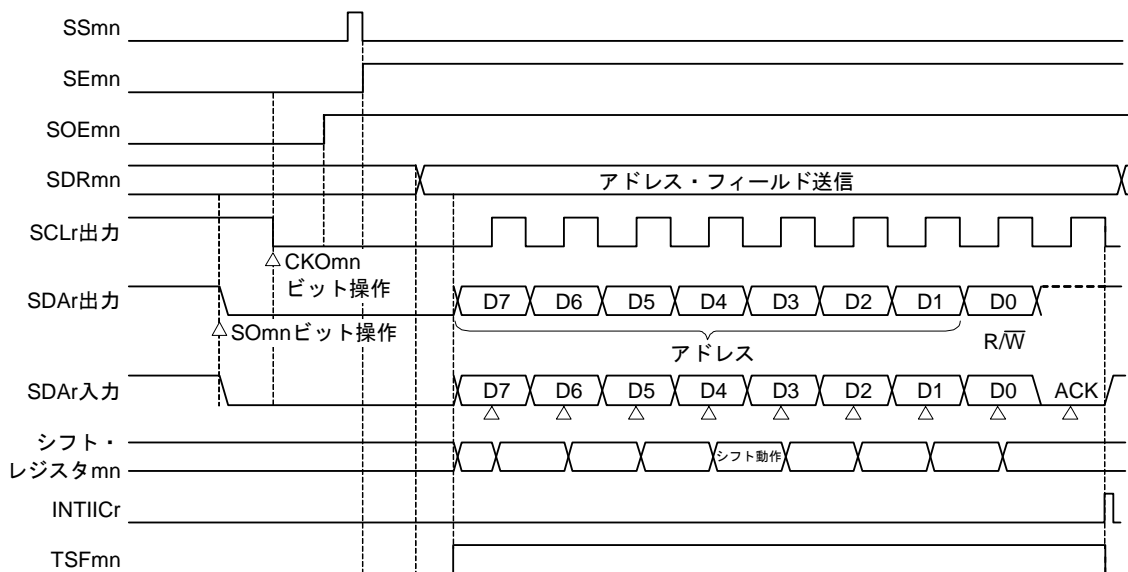
(2) 操作手順

図20 - 129 簡易アドレス・フィールド送信の初期設定手順



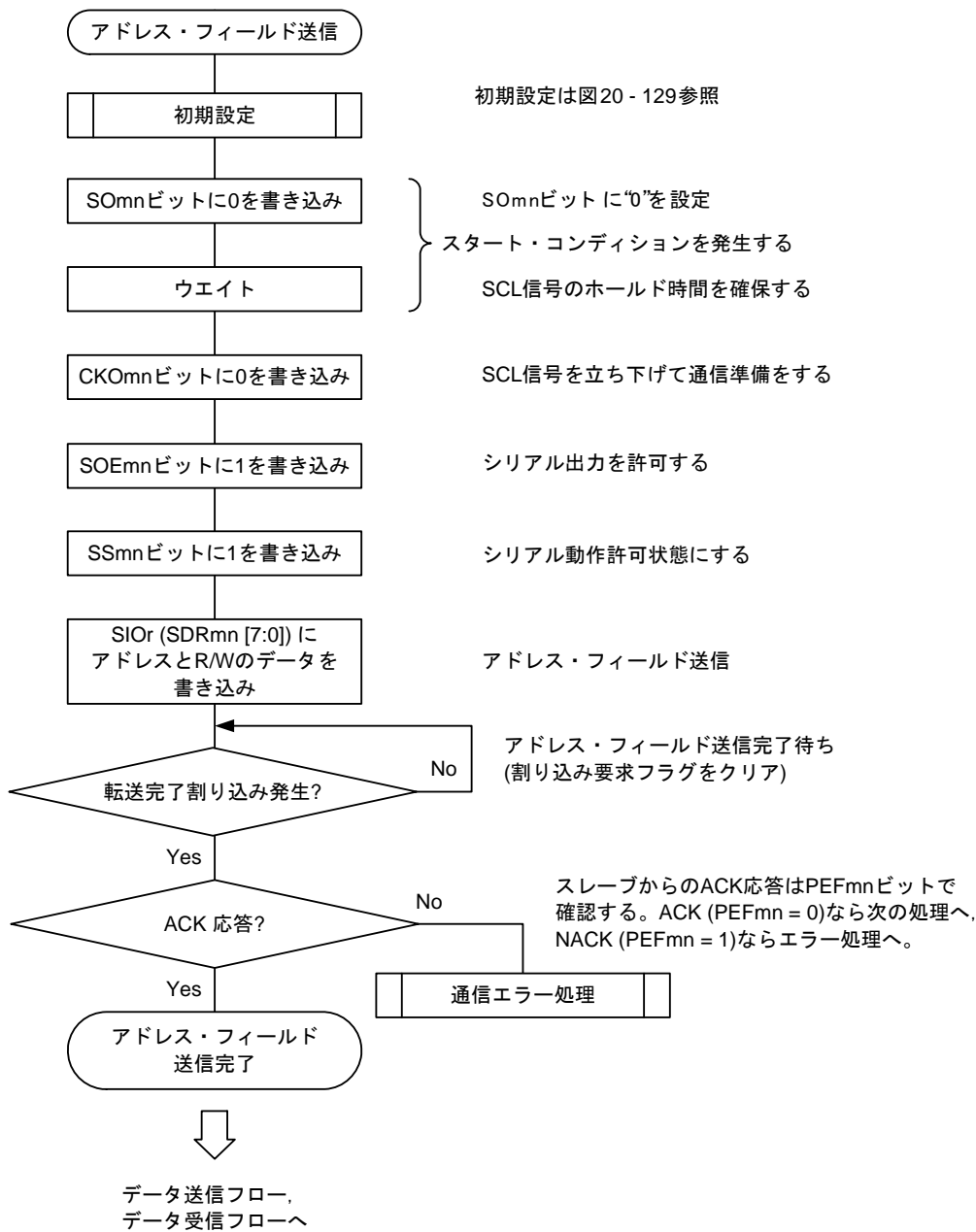
(3) 処理フロー

図20 - 130 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 20) mn = 00, 02, 10

図20 - 131 アドレス・フィールド送信のフロー・チャート



20.9.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 I ² C	IIC00	IIC10	IIC20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL00, SDA00注1	SCL10, SDA10注1	SCL20, SDA20注1
割り込み	INTIIC00	INTIIC10	INTIIC20
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)		
エラー検出フラグ	ACKエラー・フラグ(PEFmn)		
転送データ長	8ビット		
転送レート注2	Max.fmck/4 [Hz] (SDRmn[15:9] = 1以上) fmck : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 		
データ・レベル	非反転出力(デフォルト:ハイ・レベル)		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加(ACK受信タイミング用)		
データ方向	MSBファースト		

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.4 ポート機能を制御するレジスタ、4.6 兼用機能使用時のレジスタ設定を参照してください。

IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.5.4 入出力バッファによる異電位(1.8 V系注1, 2.5 V系, 3 V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10

(1) レジスタ設定

図20 - 132 簡易I²C (IIC00, IIC10, IIC20)のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r)

..... データ送受信中は下位8ビット(SIO_r)のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定 ^{注1}							0	送信データ設定								
										SIO _r							

(d) シリアル出力レジスタ m (SOm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1 ^{注2}	1	0/1 ^{注2}	0	0	0	0	1	0/1 ^{注2}	1	0/1 ^{注2}

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

(f) シリアル・チャンネル開始レジスタ m (SSm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SSm														SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

注1. アドレス・フィールド送信で設定済みなので、設定不要です。

注2. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) r : IIC番号(r = 00, 10, 20) mn = 00, 02, 10

備考2. : IICモードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図20 - 133 データ送信のタイミング・チャート

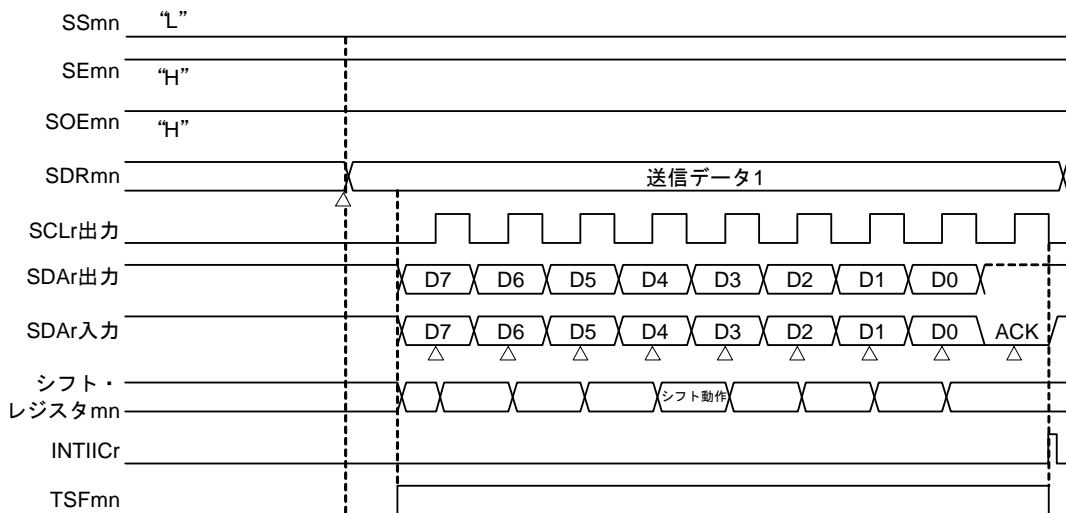
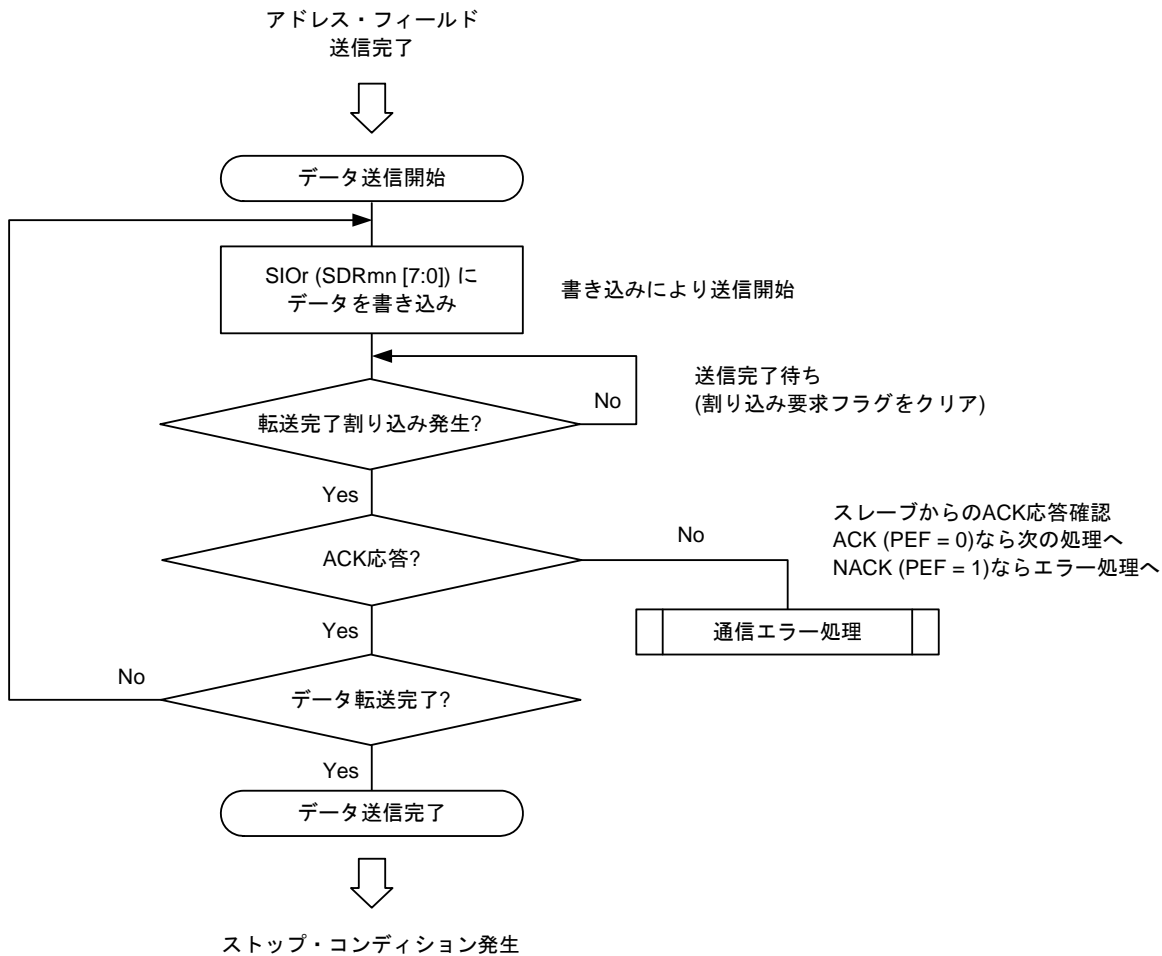


図20 - 134 簡易I²Cデータ送信のフロー・チャート



20.9.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象(スレーブ)からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 I ² C	IIC00	IIC10	IIC20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL00, SDA00注 ¹	SCL10, SDA10注 ¹	SCL20, SDA20注 ¹
割り込み	INTIIC00	INTIIC10	INTIIC20
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)		
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ		
転送データ長	8ビット		
転送レート注 ²	Max.fmck/4 [Hz] (SDRmn[15:9] = 1以上) fmck : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 		
データ・レベル	非反転出力(デフォルト:ハイ・レベル)		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加(ACK送信)		
データ方向	MSBファースト		

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.4 ポート機能を制御するレジスタ、4.6 兼用機能使用時のレジスタ設定を参照してください。

IIC00, IIC10, IIC20を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.5.4 入出力バッファによる異電位(1.8 V系注¹, 2.5 V系, 3 V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第38章 または第39章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10

(1) レジスタ設定

図20 - 135 簡易I²C (IIC00, IIC10, IIC20)のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定 ^{注1}							0	ダミー送信データ設定 (FFH)								
										SIO _r							

(d) シリアル出力レジスタ m (SOm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1 ^{注2}	1	0/1 ^{注2}	0	0	0	0	1	0/1 ^{注2}	1	0/1 ^{注2}

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

注1. アドレス・フィールド送信で設定済みなので、設定不要です。

注2. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 20) mn = 00, 02, 10

備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図20 - 136 データ受信のタイミング・チャート

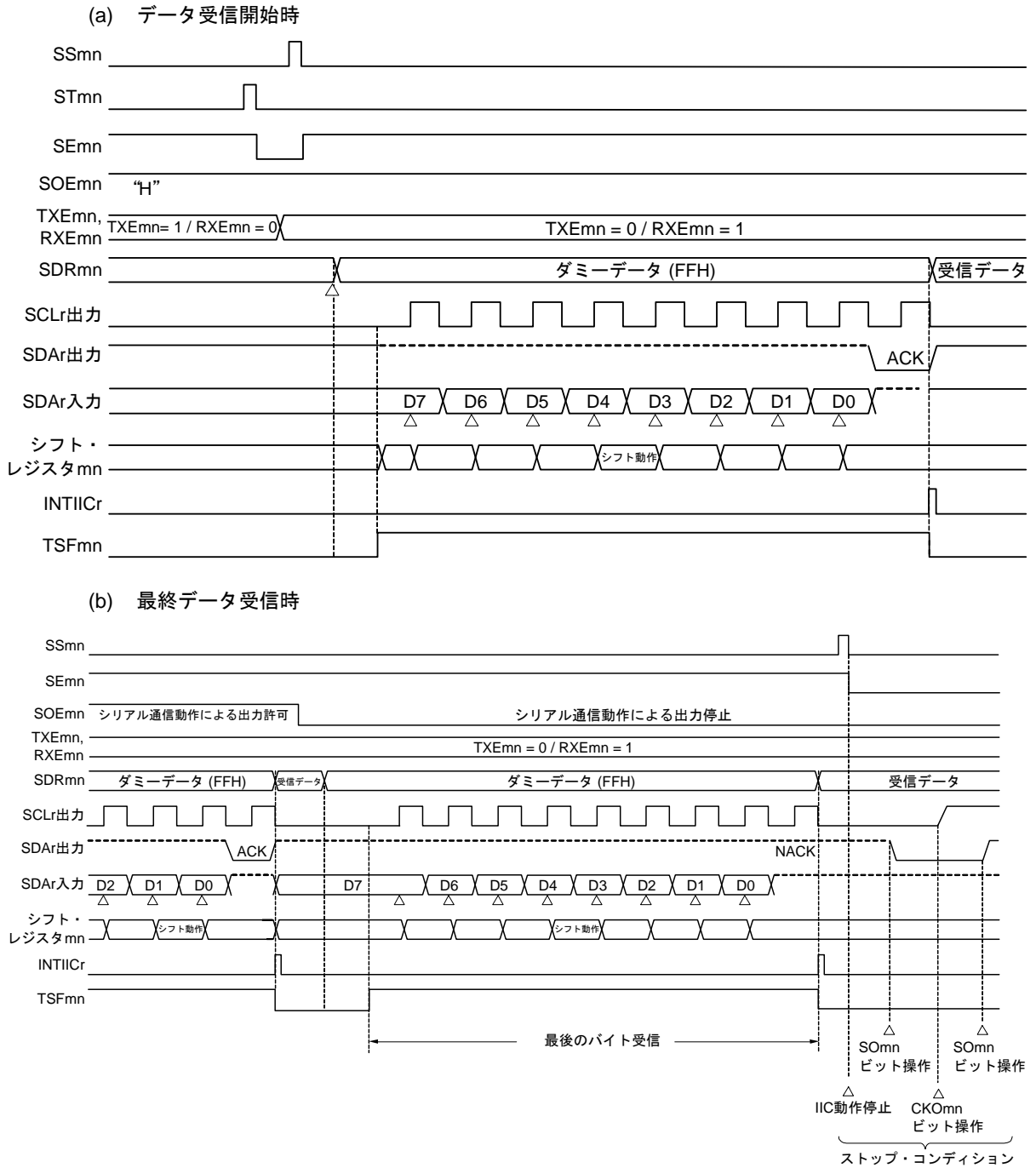
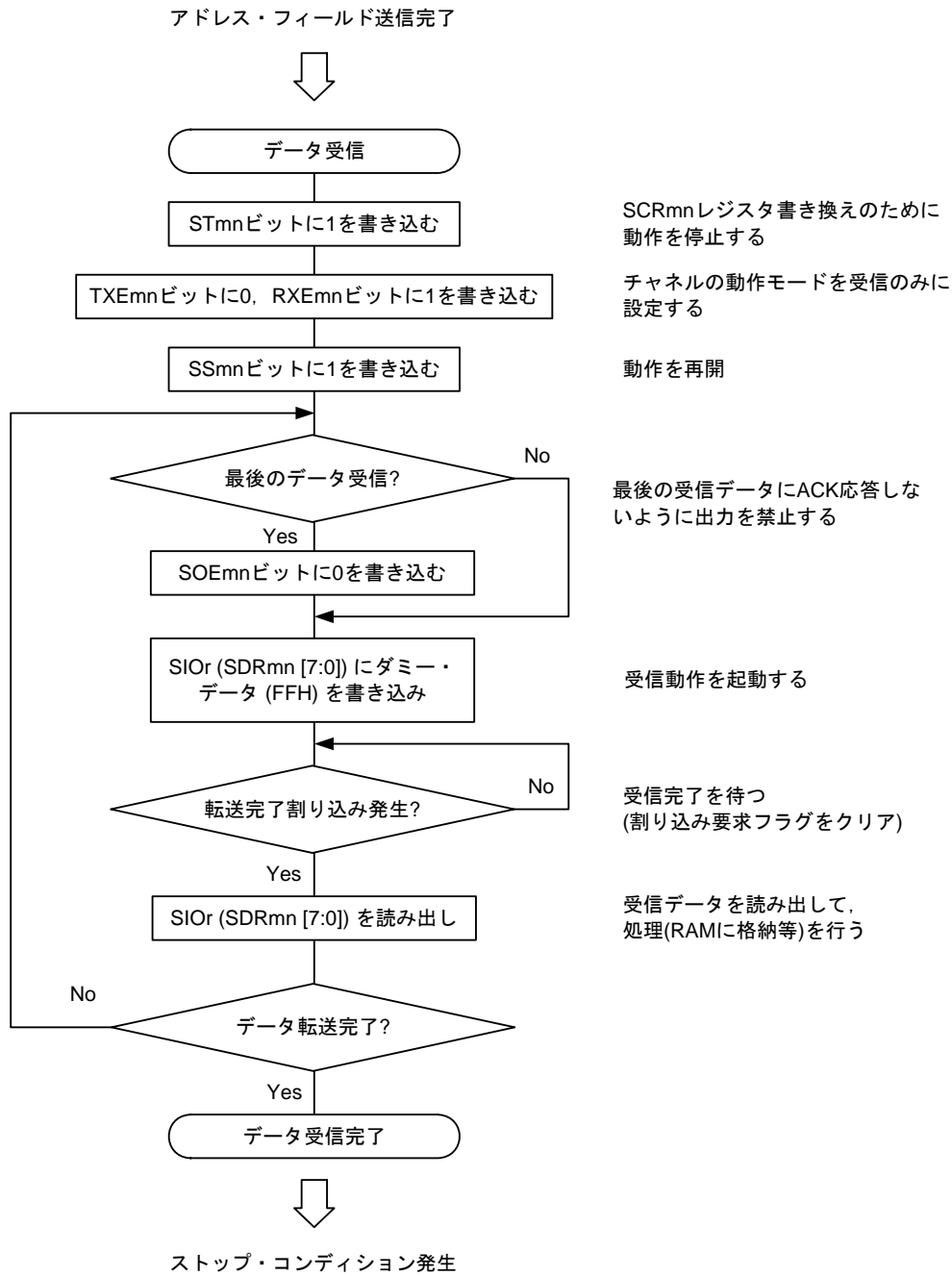


図20 - 137 データ受信のフロー・チャート



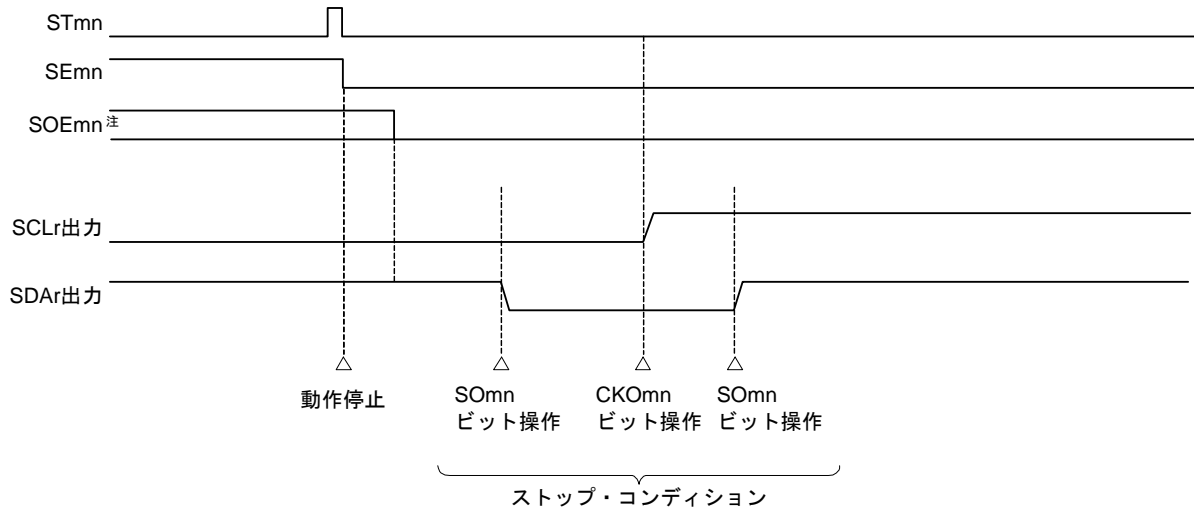
注意 最終データの受信時はACKを出力しません(NACK)。その後、シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに 1 を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

20.9.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

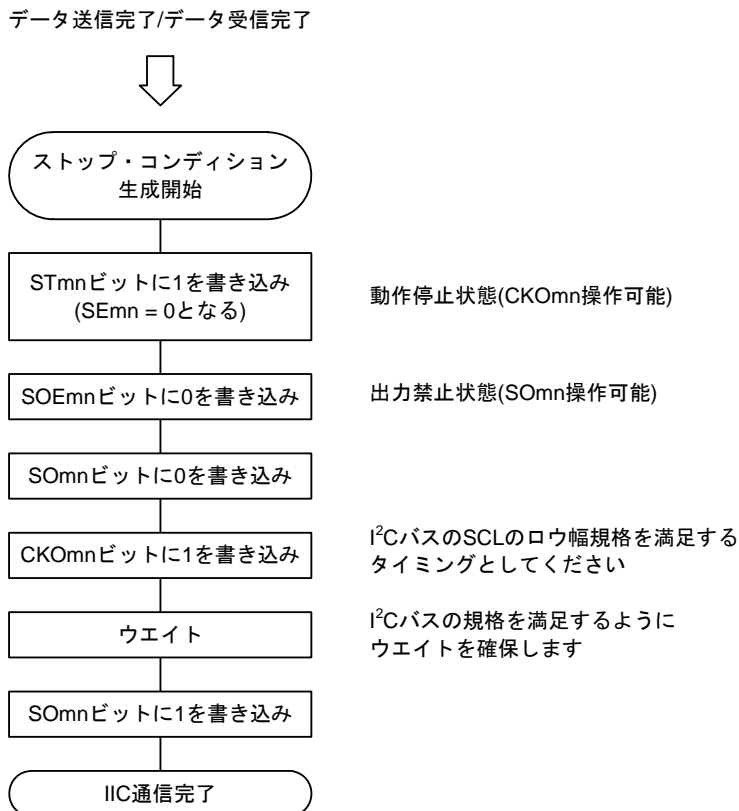
(1) 処理フロー

図20 - 138 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタ m (SOEm) の SOEmn ビットを 0 に設定しています。

図20 - 139 ストップ・コンディション発生のフロー・チャート



20.9.5 転送レートの算出

簡易I²C (IIC00, IIC10)通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考1. (SDRmn[15:9])は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000001B-1111111B)なので、1-127になります。

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 20 - 6 簡易 I2C 動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
1	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz	
1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz	
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ (CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10

fMCK = fCLK = 24 MHz の場合の I2C 転送レート設定例を示します。

I2C 転送モード (希望転送レート)	fCLK = 24 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	59	100 kHz	0.0%
400 kHz	fCLK	31	375 kHz	6.25%注
1 MHz	fCLK	14	0.80 MHz	20.0%注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

20.9.6 簡易 I²C (IIC00, IIC10, IIC20) 通信時におけるエラー発生時の処理手順

簡易 I²C (IIC00, IIC10, IIC20) 通信時にエラーが発生した場合の処理手順を図20 - 140, 図20 - 141に示します。

図20 - 140 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	→ SSRmn レジスタの BFFmn ビットが0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に1をライトする	→ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図20 - 141 簡易 I²C モード時の ACK エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	→ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに1を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが0となり、チャンネルnは動作停止状態になる	ACKが返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに1を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが1となり、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC 番号 (r = 00, 10, 20) mn = 00, 02, 10

第21章 シリアル・インタフェース IICA

21.1 シリアル・インタフェース IICAの機能

シリアル・インタフェース IICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード(マルチマスタ対応)

シリアル・クロック (SCLAn) とシリアル・データ・バス (SDAAn) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上にスタート・コンディション、アドレス、転送方向指定、データおよびストップ・コンディションを生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェース IICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ n1 (IICCTLn1) のWUPnビットにより設定します。

図21-1にシリアル・インタフェース IICAのブロック図を示します。

備考 n = 0

図 21 - 1 シリアル・インタフェースIICAのブロック図

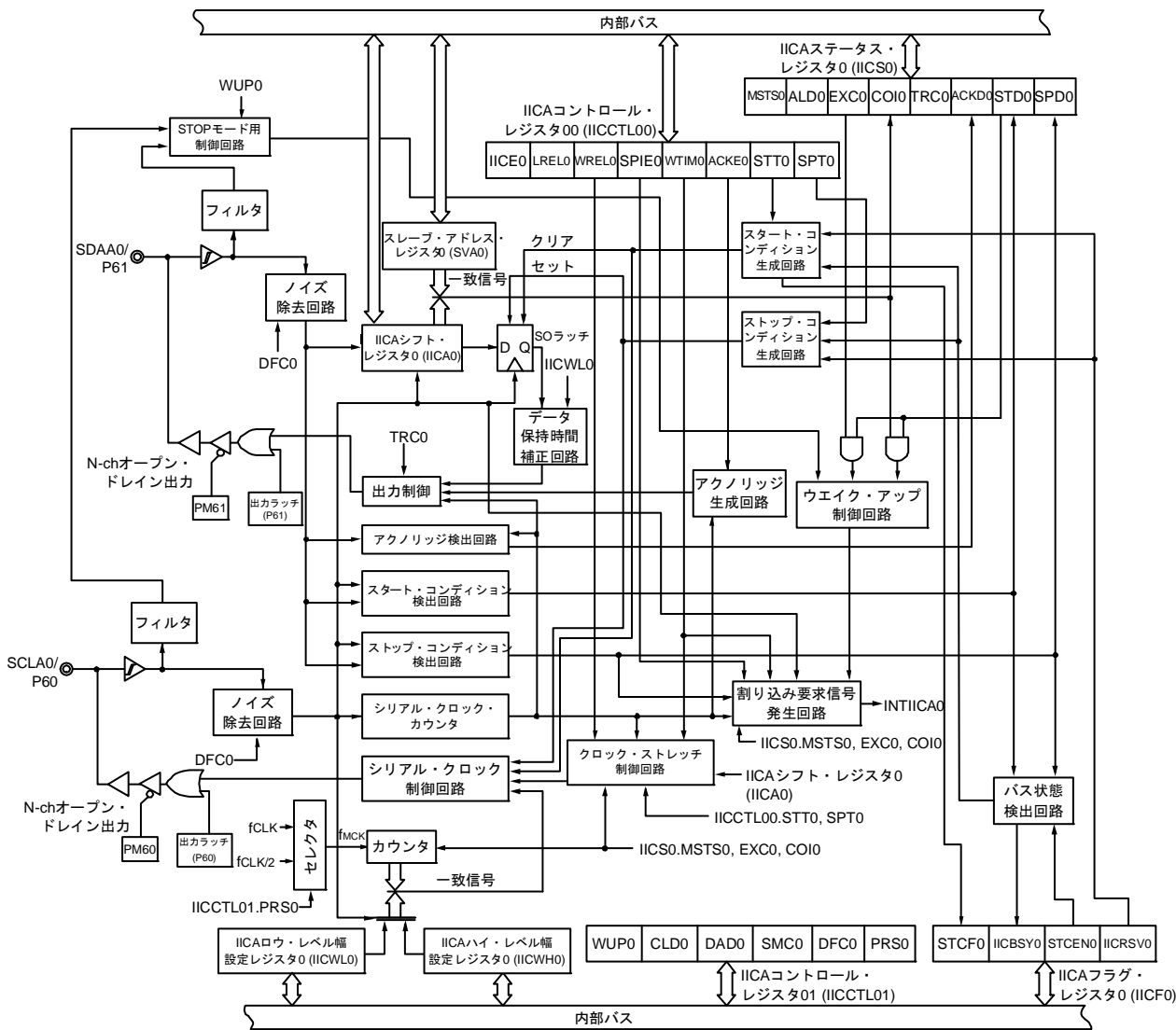
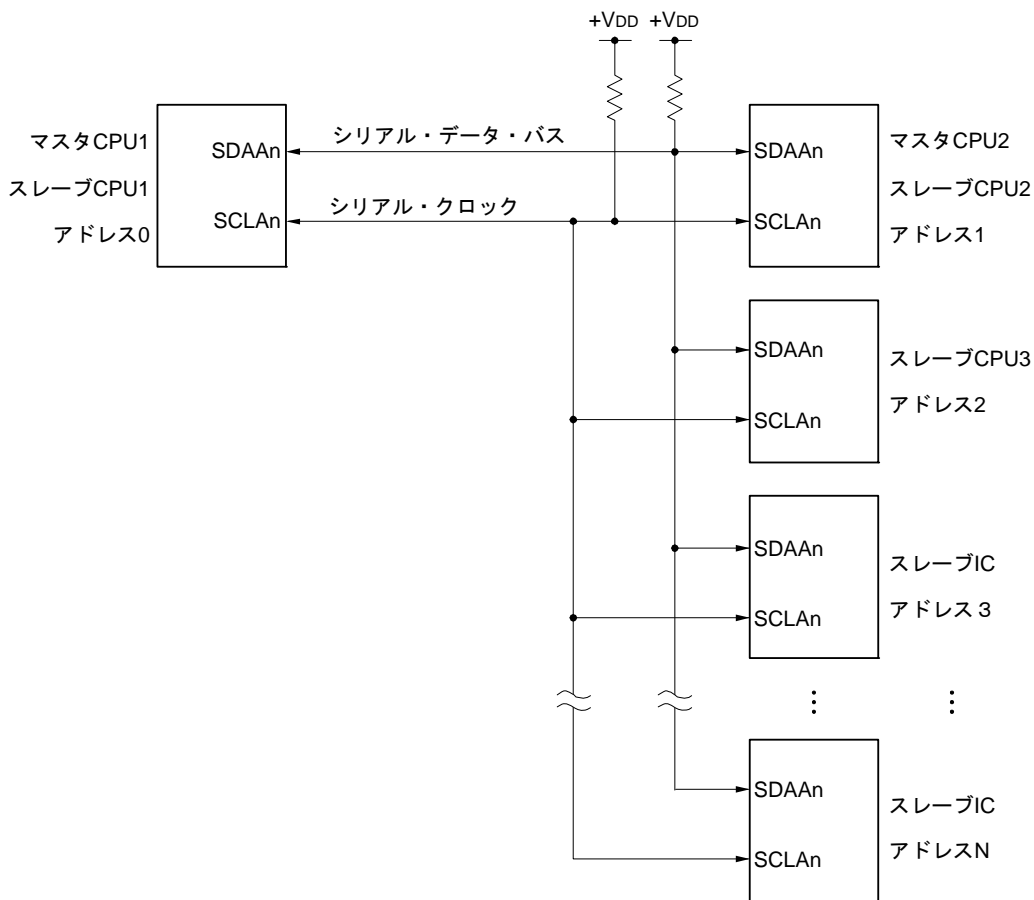


図21 - 2にシリアル・バス構成例を示します。

図21 - 2 I²Cバスによるシリアル・バス構成例



備考 n = 0

21.2 シリアル・インタフェース IICA の構成

シリアル・インタフェース IICA は、次のハードウェアで構成されています。

表 21-1 シリアル・インタフェース IICA の構成

項目	構成
レジスタ	IICA シフト・レジスタ n (IICAn) スレーブ・アドレス・レジスタ n (SVAn)
制御レジスタ	周辺イネーブル・レジスタ 0 (PER0) IICA コントロール・レジスタ n0 (IICCTLn0) IICA ステータス・レジスタ n (IICSn) IICA フラグ・レジスタ n (IICFn) IICA コントロール・レジスタ n1 (IICCTLn1) IICA ロウ・レベル幅設定レジスタ n (IICWLn) IICA ハイ・レベル幅設定レジスタ n (IICWHn) ポート・モード・レジスタ 6 (PM6) ポート・レジスタ 6 (P6)

備考 n = 0

(1) IICA シフト・レジスタ n (IICAn)

IICAn レジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAn レジスタは送信および受信の両方に使用されます。

IICAn レジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

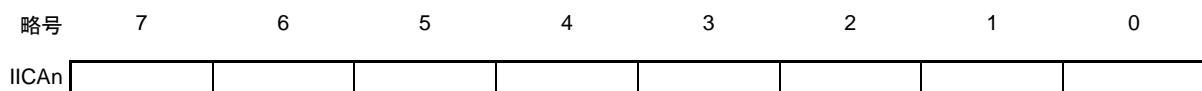
クロック・ストレッチ期間中の IICAn レジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAn レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 21-3 IICA シフト・レジスタ n (IICAn) のフォーマット

アドレス : FFF50H リセット時 : 00H R/W



注意 1. データ転送中は IICAn レジスタにデータを書き込まないでください。

注意 2. IICAn レジスタには、クロック・ストレッチ期間中にだけ、書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態での IICAn レジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STTn) をセット (1) したあと、1 回書き込みできます。

注意 3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとに IICAn レジスタにデータを書き込んでください。

備考 n = 0

(2) スレーブ・アドレス・レジスタ n (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1 (スタート・コンディション検出)のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図21-4 スレーブ・アドレス・レジスタ n (SVAn)のフォーマット

アドレス : F0234H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ n (SVAn)に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICAn) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn)の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMnビットで設定)
- ストップ・コンディション検出による割り込み要求発生 (SPIEnビットで設定)

備考 WTIMnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット3

 SPIEnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

備考 n = 0

- (9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

- (10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

- (11) スタート・コンディション生成回路

STTnビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICRSVnビット = 1) で、かつバスが解放されていない (IICBSYnビット = 1) 場合には、スタート・コンディション要求は無視し、STCFnビットをセット(1)します。

- (12) ストップ・コンディション生成回路

SPTnビットがセット(1)されるとストップ・コンディションを生成します。

- (13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENnビットにより、バス状態検出回路の初期状態を設定してください。

備考1. STTnビット : IICAコントロール・レジスタ n0 (IICCTLn0) のビット1

SPTnビット : IICAコントロール・レジスタ n0 (IICCTLn0) のビット0

IICRSVnビット : IICAフラグ・レジスタ n (IICFn) のビット0

IICBSYnビット : IICAフラグ・レジスタ n (IICFn) のビット6

STCFnビット : IICAフラグ・レジスタ n (IICFn) のビット7

STCENnビット : IICAフラグ・レジスタ n (IICFn) のビット1

備考2. n = 0

21.3 シリアル・インタフェース IICA を制御するレジスタ

シリアル・インタフェース IICA は、次のレジスタで制御します。

- 周辺イネーブル・レジスタ 0 (PER0)
- IICA コントロール・レジスタ n0 (IICCTLn0)
- IICA フラグ・レジスタ n (IICFn)
- IICA ステータス・レジスタ n (IICSn)
- IICA コントロール・レジスタ n1 (IICCTLn1)
- IICA ロウ・レベル幅設定レジスタ n (IICWLn)
- IICA ハイ・レベル幅設定レジスタ n (IICWHn)
- ポート・モード・レジスタ 6 (PM6)
- ポート・レジスタ 6 (P6)

備考 n = 0

21.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース IICAn を使用するときは、必ずビット 4 (IICAnEN) を 1 に設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 21-5 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICAnEN	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェース IICAn の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェース IICAn で使用する SFR へのライト不可 ・シリアル・インタフェース IICAn はリセット状態
1	入力クロック供給許可 ・シリアル・インタフェース IICAn で使用する SFR へのリード／ライト可

注意 1. シリアル・インタフェース IICAn の設定をする際には、必ず最初に IICAnEN = 1 の状態で、下記のレジスタの設定を行ってください。IICAnEN = 0 の場合は、シリアル・インタフェース IICA の制御レジスタは初期値となり、書き込みは無視されます(ただし、ポート・モード・レジスタ 6 (PM6)、ポート・レジスタ 6 (P6) は除く)。

- ・ IICA コントロール・レジスタ n0 (IICCTLn0)
- ・ IICA フラグ・レジスタ n (IICFn)
- ・ IICA ステータス・レジスタ n (IICSn)
- ・ IICA コントロール・レジスタ n1 (IICCTLn1)
- ・ IICA ロウ・レベル幅設定レジスタ n (IICWLn)
- ・ IICA ハイ・レベル幅設定レジスタ n (IICWHn)

注意 2. ビット 1, 6 には必ず 0 を設定してください。

備考 n = 0

21.3.2 IICA コントロール・レジスタ n0 (IICCTLn0)

I²C の動作許可／停止、クロック・ストレッチ・タイミングの設定、その他 I²C の動作を設定するレジスタです。

IICCTLn0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEn ビットは、IICEn = 0 のとき、またはクロック・ストレッチ期間中に設定してください。また IICEn ビットを 0 から 1 に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00H になります。

備考 n = 0

図 21 - 6 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(1/4)

アドレス : F0230H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn
IICEn	I ² Cの動作許可							
0	動作停止。IICAステータス・レジスタ n (IICSn)をリセット ^{注1} 。内部動作も停止。							
1	動作許可。							
このビットのセット(1)は、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。								
クリアされる条件(IICEn = 0)					セットされる条件(IICEn = 1)			
<ul style="list-style-type: none"> 命令によるクリア リセット時 					<ul style="list-style-type: none"> 命令によるセット 			
LRELn 注2, 3	通信退避							
0	通常動作。							
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ n0 (IICCTLn0), IICAステータス・レジスタ n (IICSn)のうち、次のフラグがクリア(0)される。 ・STTn ・SPTn ・MSTSn ・EXCn ・COIn ・TRCn ・ACKDn ・STDn							
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。								
<ul style="list-style-type: none"> ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信 								
クリアされる条件(LRELn = 0)					セットされる条件(LRELn = 1)			
<ul style="list-style-type: none"> 実行後、自動的にクリア リセット時 					<ul style="list-style-type: none"> 命令によるセット 			
WRELn 注2, 注3	クロック・ストレッチ解除							
0	クロック・ストレッチを解除しない。							
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。							
送信状態(TRCn = 1)で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット(クロック・ストレッチを解除)した場合、SDAAnラインをハイ・インピーダンス(TRCn = 0)にします。								
クリアされる条件(WRELn = 0)					セットされる条件(WRELn = 1)			
<ul style="list-style-type: none"> 実行後、自動的にクリア リセット時 					<ul style="list-style-type: none"> 命令によるセット 			

注1. リセットされるのは、IICAシフト・レジスタ n (IICAn), IICAフラグ・レジスタ n (IICFn)のSTCFn, IICBSYnビット、IICAコントロール・レジスタ n1 (IICCTLn1)レジスタのCLDn, DADnビットです。

注2. IICEn = 0の状態では、このビットの信号は無効になります。

注3. LRELn, WRELnビットの読み出し値は常に0になります。

注意 SCLAnラインがハイ・レベル、SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン(IICCTLn1レジスタのDFCn = 1)のときにI²Cを動作許可(IICEn = 1)した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可(IICEn = 1)したあと、連続して1ビット・メモリ操作命令により、LRELnビットをセット(1)してください。

備考 n = 0

図21-7 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(2/4)

SPIEn 注1	ストップ・コンディション検出による割り込み要求発生の許可／禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタ n1 (IICCTLn1)のWUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件(SPIEn = 0)		セットされる条件(SPIEn = 1)
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

WTIMn 注1	クロック・ストレッチおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ(ACK)発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでクロック・ストレッチに入ります。		
クリアされる条件(WTIMn = 0)		セットされる条件(WTIMn = 1)
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

ACKEn 注1,2	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件(ACKEn = 0)		セットされる条件(ACKEn = 1)
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

注1. IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 n = 0

図21 - 8 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(3/4)

STTn 注1,2	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	バスが解放されているとき(待機状態, IICBSYnが0のとき) : セット(1)すると, スタート・コンディションを生成する(マスタとしての起動)。 第三者が通信中のとき : • 通信予約機能許可の場合 (IICRSVn = 0) スタート・コンディション予約フラグとして機能する。セット(1)すると, バスが解放されたあと自動的にスタート・コンディションを生成する。 • 通信予約機能禁止の場合 (IICRSVn = 1) セット(1)してもSTTnビットはクリアされ, STTnクリア・フラグ(STCFn)がセット(1)される。スタート・コンディションは生成しない。 クロック・ストレッチ状態(マスタ時) : クロック・ストレッチを解除してリスタート・コンディションを生成する。	
セット・タイミングに関する注意 • マスタ受信の場合 : 転送中のセット(1)は禁止です。ACKEn = 0に設定し, 受信の最後であることをスレーブに伝えたとあとのクロック・ストレッチ期間中にだけセット(1)可能です。 • マスタ送信の場合 : アクノリッジ期間中は, 正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット(1)してください。 • ストップ・コンディション・トリガ(SPTn)と同時セット(1)することは禁止です。 • STTnビットをセット(1)後, クリア条件になる前に再度セット(1)することは禁止です。		
クリアされる条件(STTn = 0)		セットされる条件(STTn = 1)
<ul style="list-style-type: none"> • 通信予約禁止状態でのSTTnビットのセット(1) • アービトレーションに負けたとき • マスタでのスタート・コンディション生成 • LRELn = 1 (通信退避)によるクリア • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • 命令によるセット

注1. IICEn = 0の状態では, このビットの信号は無効になります。

注2. STTnビットの読み出し値は, 常に0になります。

備考1. IICRSVn : IICAフラグ・レジスタ n (IICFn)のビット0

STCFn : IICAフラグ・レジスタ n (IICFn)のビット7

備考2. n = 0

図21-9 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(4/4)

SPTn注	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する(マスタとしての転送終了)。	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット(1)は禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット(1)可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。 スタート・コンディション・トリガ(STTn)と同時にセット(1)することは禁止です。 SPTnビットのセット(1)は、マスタのときのみ行ってください。 WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)すると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)してください。 SPTnビットをセット(1)後、クリア条件になる前に、再度セット(1)することは禁止です。 		
クリアされる条件(SPTn = 0)		セットされる条件(SPTn = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LRELn = 1 (通信退避)によるクリア IICEn = 0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 命令によるセット

注 SPTnビットの読み出し値は、常に0になります。

注意 IICAステータス・レジスタ n (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき、9クロック目にIICCTLn0レジスタのビット5 (WRELn)をセット(1)してクロック・ストレッチ解除すると、TRCnビットをクリア(受信状態)してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は、IICAシフト・レジスタ nへの書き込みで行ってください。

備考1. ビット0 (SPTn)は、データ設定後に読み出すと0になっています。

備考2. n = 0

21.3.3 IICAステータス・レジスタ n (IICSn)

I²Cのステータスを表すレジスタです。

IICSnレジスタは、STTn = 1およびクロック・ストレッチ期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUPn = 1) 状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求と関係なくWUPnビットを1→0 (ウエイク・アップ動作停止)に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIEn = 1)して割り込み検出後にIICSnレジスタを読み出してください。

備考 STTn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

WUPn: IICAコントロール・レジスタ n1 (IICCTLn1)のビット7

図21-10 IICAステータス・レジスタ n (IICSn)のフォーマット(1/3)

アドレス: FFF51H リセット時: 00H R

略号	7	6	5	4	3	2	1	0
IICSn	MSTSn	ALDn	EXCn	COLn	TRCn	ACKDn	STDn	SPDn

MSTSn	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTSn = 0)	セットされる条件 (MSTSn = 1)
<ul style="list-style-type: none"> ストップ・コンディション検出時 ALDn = 1 (アービトレーション負け)のとき LRELn = 1 (通信退避)によるクリア IICEn = 1→0 (動作停止)のとき リセット時 	<ul style="list-style-type: none"> スタート・コンディション生成時

ALDn	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTSnビットがクリアされる。
クリアされる条件 (ALDn = 0)	セットされる条件 (ALDn = 1)
<ul style="list-style-type: none"> IICSnレジスタ読み出し後、自動的にクリア注 IICEn = 1→0 (動作停止)のとき リセット時 	<ul style="list-style-type: none"> アービトレーションに負けたとき

注 IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考1. LRELn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

図21 - 11 IICAステータス・レジスタ n (IICSn)のフォーマット(2/3)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXCn = 0)		セットされる条件 (EXCn = 1)
<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 LRELn = 1 (通信退避)によるクリア IICEn = 1 → 0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが0000または1111のとき(8クロック目の立ち上がりでセット)
COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 LRELn = 1 (通信退避)によるクリア IICEn = 1 → 0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 受信アドレスが自局アドレス(スレーブ・アドレス・レジスタ n (SVAn))と一致したとき(8クロック目の立ち上がりでセット)
TRCn	送信/受信状態検出	
0	受信状態(送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする(1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<p><マスタ, スレーブ共通></p> <ul style="list-style-type: none"> ストップ・コンディション検出時 LRELn = 1 (通信退避)によるクリア IICEn = 1 → 0 (動作停止)のとき WRELn = 1 (クロック・ストレッチ解除)によるクリア注 ALDn = 0 → 1 (アービトラージン負け)のとき リセット時 通信不参加の場合 (MSTSn, EXCn, COIn = 0) <p><マスタの場合></p> <ul style="list-style-type: none"> 1バイト目のLSB (転送方向指定ビット)に1を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> スタート・コンディション検出時 1バイト目のLSB (転送方向指定ビット)に0を入力したとき 		<p><マスタの場合></p> <ul style="list-style-type: none"> スタート・コンディション生成時 1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に0 (マスタ送信)を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> マスタからの1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に1 (スレーブ送信)が入力されたとき

注 IICAステータス・レジスタ n (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき、9クロック目にIICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)をセット(1)してクロック・ストレッチを解除すると、TRCnビットをクリア(受信状態)してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は、IICAシフト・レジスタ nへの書き込みで行ってください。

備考1. LRELn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

図21-12 IICAステータス・レジスタ n (IICSn)のフォーマット(3/3)

ACKDn	アクノリッジ(ACK)検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件(ACKDn = 0)		セットされる条件(ACKDn = 1)
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • 次のバイトの1クロック目の立ち上がり時 • LRELn = 1 (通信退避)によるクリア • IICEn = 1→0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき
STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件(STDn = 0)		セットされる条件(STDn = 1)
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • アドレス転送後の次のバイトの1クロック目の立ち上がり時 • LRELn = 1 (通信退避)によるクリア • IICEn = 1→0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • スタート・コンディション検出時
SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件(SPDn = 0)		セットされる条件(SPDn = 1)
<ul style="list-style-type: none"> • このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 • WUPn = 1→0のとき • IICEn = 1→0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • ストップ・コンディション検出時

備考1. LRELn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

21.3.4 IICAフラグ・レジスタ n (IICFn)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTnクリア・フラグ(STCFn)、I²Cバス状態フラグ(IICBSYn)は読み出しのみ可能です。

IICRSVnビットにより、通信予約機能の禁止/許可を設定します。

またSTCENnビットにより、IICBSYnビットの初期値を設定します。

IICRSVn、STCENnビットはI²Cが動作禁止(IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn) = n)のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図21 - 13 IICAフラグ・レジスタ n (IICFn)のフォーマット

アドレス : FFF52H リセット時 : 00H R/W注

略号 7 6 5 4 3 2 1 0

IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn
-------	-------	---------	---	---	---	---	--------	---------

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STTnフラグ・クリア。
クリアされる条件(STCFn = 0)	
セットされる条件(STCFn = 1)	
<ul style="list-style-type: none"> • STTn = 1によるクリア • IICEn = 0 (動作停止)のとき • リセット時 	<ul style="list-style-type: none"> • 通信予約禁止(IICRSVn = 1)設定時にスタート・コンディション発行できず、STTnビットがクリア(0)されたとき

IICBSYn	I ² Cバス状態フラグ
0	バス解放状態(STCENn = 1時の通信初期状態)。
1	バス通信状態(STCENn = 0時の通信初期状態)。
クリアされる条件(IICBSYn = 0)	
セットされる条件(IICBSYn = 1)	
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • IICEn = 0 (動作停止)のとき • リセット時 	<ul style="list-style-type: none"> • スタート・コンディション検出時 • STCENn = 0時のIICEnビットのセット

STCENn	初期スタート許可トリガ
0	動作許可(IICEn = 1)後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可(IICEn = 1)後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。
クリアされる条件(STCENn = 0)	
セットされる条件(STCENn = 1)	
<ul style="list-style-type: none"> • 命令によるクリア • スタート・コンディション検出時 • リセット時 	<ul style="list-style-type: none"> • 命令によるセット

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件(IICRSVn = 0)	
セットされる条件(IICRSVn = 1)	
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 	<ul style="list-style-type: none"> • 命令によるセット

注 ビット6, 7はRead onlyです。

注意1. STCENnビットへの書き込みは動作停止(IICEn = 0)時のみ行ってください。

注意2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態(IICBSYn = 0)と認識しますので、1回目のスタート・コンディションを発行(STTn = 1)する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意3. IICRSVnへの書き込みは動作停止(IICEn = 0)時のみ行ってください。

備考1. STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

備考2. IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

21.3.5 IICAコントロール・レジスタ n1 (IICCTLn1)

I²Cの動作モードの設定やSCLAn, SDAAAn端子状態を検出するためのレジスタです。

IICCTLn1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLDn, DADnビットは読み出しのみ可能です。

IICCTLn1レジスタは、WUPnビットを除きI²Cが動作禁止(IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn) = 0)のときに設定してください。

リセット信号の発生により、00Hになります。

図21 - 14 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマット(1/2)

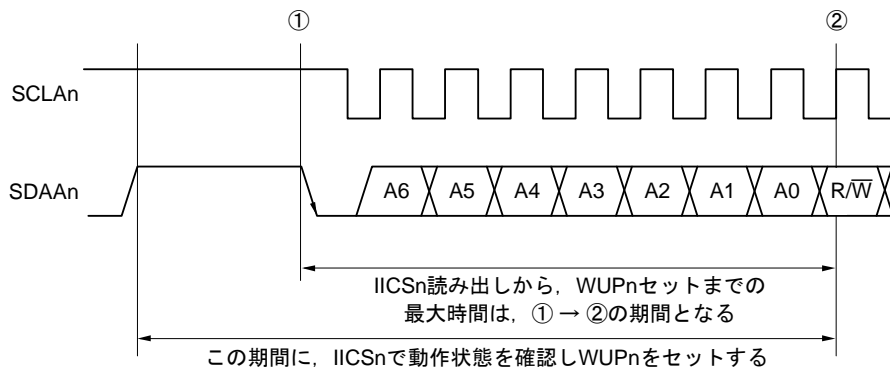
アドレス : F0231H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn

WUPn	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
<p>WUPn = 1でSTOPモードに移行する場合は、WUPnビットをセット(1)して3クロック以上経過後にSTOP命令を実行してください(図21 - 27 WUPn = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPnビットをクリア(0)してください。WUPnビットをクリア(0)することで、その後の通信に参加する事ができます(クロック・ストレッチ解除および送信データ書き込みは、WUPnビットをクリア(0)したあとに行う必要があります)。</p> <p>WUPn = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです(クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。</p>	
クリアされる条件(WUPn = 0)	セットされる条件(WUPn = 1)
<ul style="list-style-type: none"> • 命令によるクリア(アドレス一致もしくは拡張コード受信後) 	<ul style="list-style-type: none"> • 命令によるセット(MSTSn, EXCn, COIn = 0であり、STDn = 0 (通信に不参加である事)のとき)^{注2}

注1. ビット4, 5はRead Onlyです。

注2. 次に示す期間に、IICAステータス・レジスタ n (IICSn)の状態を確認しセットする必要があります。



備考 n = 0

図21 - 14 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマット(2/2)

CLDn	SCLAn端子のレベル検出(IICEn = 1のときのみ有効)	
0	SCLAn端子がロウ・レベルであることを検出	
1	SCLAn端子がハイ・レベルであることを検出	
クリアされる条件(CLDn = 0)		セットされる条件(CLDn = 1)
<ul style="list-style-type: none"> • SCLAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出(IICEn = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件(DADn = 0)		セットされる条件(DADn = 1)
<ul style="list-style-type: none"> • SDAAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え
0	標準モードで動作(最大転送レート: 100 kbps)
1	ファースト・モード(最大転送レート: 400 kbps)またはファースト・モード・プラス(最大転送レート: 1 Mbps)で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。 デジタル・フィルタは、ノイズ除去のために使用します。 DFCnビットのセット(1)/クリア(0)により、転送クロックが変化することはありません。	

PRSn	IICA動作クロック (fMCK) の制御
0	fCLKを選択 (1 MHz ≤ fCLK ≤ 20 MHz)
1	fCLK/2を選択 (20MHz < fCLK)

注意1. IICA動作クロック (fMCK) の最高動作周波数は20 MHz (Max.) です。

fCLKが20 MHzを越える場合のみ、IICAコントロール・レジスタ n1 (IICCTLn1) のビット0 (PRSn) に1を設定してください。

注意2. 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってfCLKの最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

備考1. IICEn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

21.3.6 IICA ロウ・レベル幅設定レジスタ n (IICWLn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のロウ・レベル幅 (tLow) と SDAAn 端子信号を制御するレジスタです。

IICWLn レジスタは、8ビット・メモリ操作命令で設定します。

IICWLn レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

IICWLn の設定方法については、21.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法を参照してください。

図 21 - 15 IICA ロウ・レベル幅設定レジスタ n (IICWLn) のフォーマット

アドレス : F0232H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IICWLn								

21.3.7 IICA ハイ・レベル幅設定レジスタ n (IICWHn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のハイ・レベル幅と SDAAn 端子信号を制御するレジスタです。

IICWHn レジスタは、8ビット・メモリ操作命令で設定します。

IICWHn レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

図 21 - 16 IICA ハイ・レベル幅設定レジスタ n (IICWHn) のフォーマット

アドレス : F0233H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IICWHn								

備考1. マスタ側の転送クロックの設定方法は21.4.2 (1) を、スレーブ側の IICWLn, IICWHn レジスタによる転送クロックの設定方法は21.4.2 (2) を参照してください。

備考2. n = 0

21.3.8 ポート・モード・レジスタ 6 (PM6)

ポート6の入力/出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力、P61/SDAA0端子をシリアル・データ入出力として使用するとき、PM60、PM61およびP60、P61の出カラッチに0を設定してください。

IICEn (IICAコントロール・レジスタ n0 (IICCTLn0)のビット7)が0の場合、P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力(固定)となるため、出力モードへの切り替えは、IICEnビットに1を設定してから、行ってください。

PM6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図21-17 ポート・モード・レジスタ 6 (PM6)のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60
PM6n	P6n端子の入出力モードの選択 (n = 0, 1)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

21.4 I²Cバス・モードの機能

21.4.1 端子構成

シリアル・クロック端子(SCLAn)と、シリアル・データ・バス端子(SDAAn)の構成は、次のようになっています。

- (1) SCLAn... シリアル・クロックを入出力するための端子。

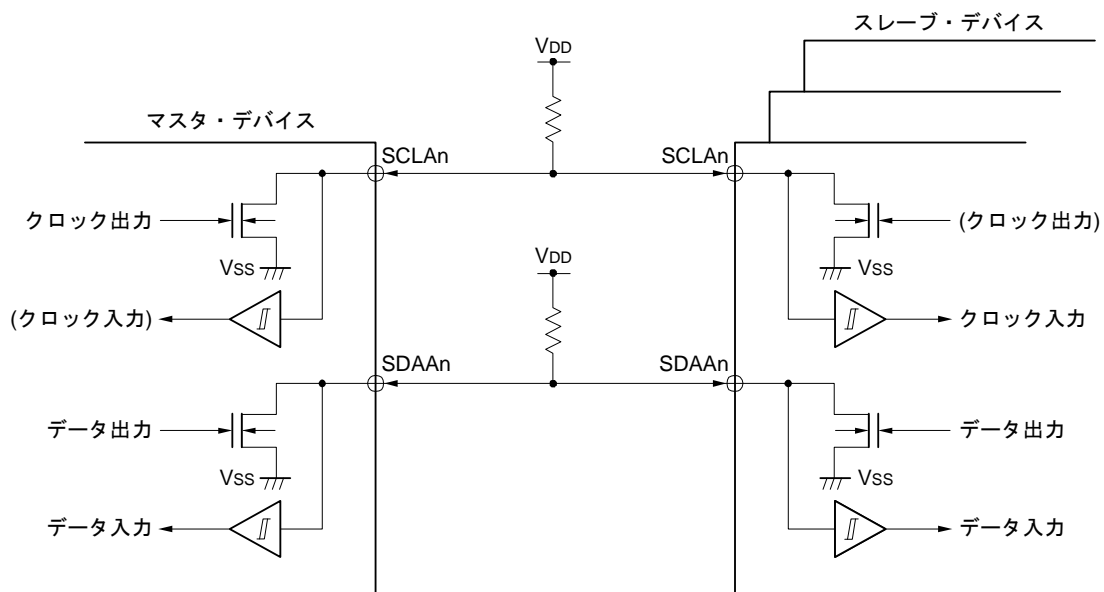
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

- (2) SDAAn... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図21 - 18 端子構成図



備考 n = 0

21.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{fMCK}{IICWL + IICWH + fMCK (tR + tF)}$$

このとき、最適な IICWLn レジスタと IICWHn レジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times fMCK$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - tR - tF \right) \times fMCK$$

・標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times fMCK$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - tR - tF \right) \times fMCK$$

・ファースト・モード・プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times fMCK$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - tR - tF \right) \times fMCK$$

(2) スレーブ側の IICWLn, IICWHn レジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$IICWLn = 1.3 \mu\text{s} \times fMCK$$

$$IICWHn = (1.2 \mu\text{s} - tR - tF) \times fMCK$$

・標準モード時

$$IICWLn = 4.7 \mu\text{s} \times fMCK$$

$$IICWHn = (5.3 \mu\text{s} - tR - tF) \times fMCK$$

・ファースト・モード・プラス時

$$IICWLn = 0.50 \mu\text{s} \times fMCK$$

$$IICWHn = (0.50 \mu\text{s} - tR - tF) \times fMCK$$

(注意、備考は、次ページにあります。)

注意1. IICA 動作クロック (fMCK) の最高動作周波数は20 MHz (Max.) です。fCLK が20 MHz を越える場合のみ、IICA コントロール・レジスタ n1 (IICCTLn1) のビット0 (PRSn) に1を設定してください。

注意2. 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。シリアル・インタフェース IICA はモードによって fCLK の最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

備考1. SDAAn, SCLAn 信号の立ち上がり時間 (tR) と立ち下がり時間 (tF) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

備考2. IICWLn: IICA ロウ・レベル幅設定レジスタ n

IICWHn: IICA ハイ・レベル幅設定レジスタ n

tF : SDAAn, SCLAn 信号の立ち下がり時間

tR : SDAAn, SCLAn 信号の立ち上がり時間

fMCK : CPU / 周辺ハードウェア・クロック周波数

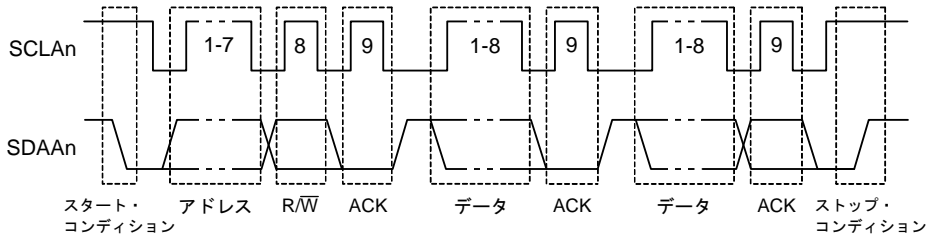
備考3. n = 0

21.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されているスタート・コンディション、アドレス、データおよびストップ・コンディションの各転送タイミングを図21-19に示します。

図21-19 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

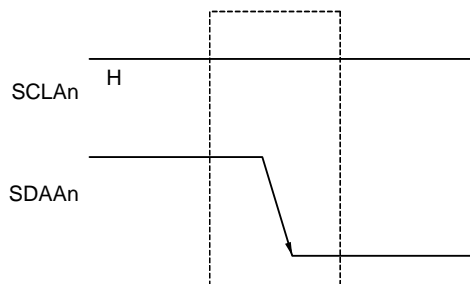
アックノリッジ(ACK)は、マスタ、スレーブのどちらでも生成できます(通常、8ビット・データの受信側が出力します)。

シリアル・クロック(SCLAn)は、マスタが出力し続けます。ただし、スレーブはSCLAn端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

21.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子、SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できません。

図21-20 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態(SPDn : IICAステータス・レジスタ n (IICSn)のビット0 = 1)のときにIICAコントロール・レジスタ n0 (IICCTLn0)のビット1 (STTn)をセット(1)すると出力されます。また、スタート・コンディションを検出すると、IICSnレジスタのビット1 (STDn)がセット(1)されます。

備考 n = 0

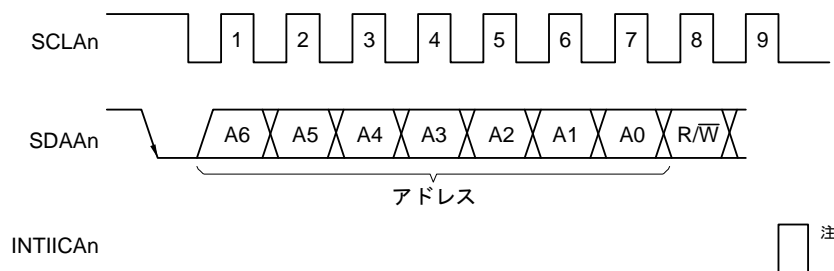
21.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7ビット・データと SVAn レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図21-21 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと21.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAnシフト・レジスタ n (IICAn) に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれません。

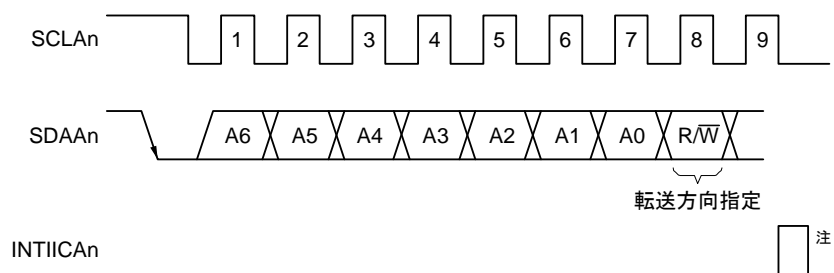
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

21.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図21-22 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 $n = 0$

21.5.4 アクノリッジ(ACK)

アクノリッジ(ACK)によって、送信側と受信側におけるシリアル・データの状態を確認することができます。受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ n (IICSn)のビット2 (ACKDn)で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

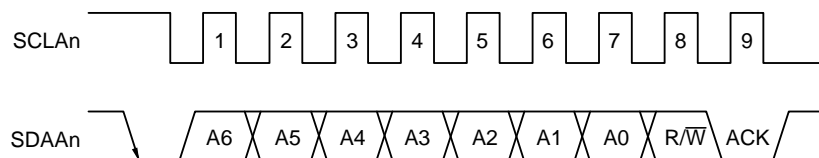
アクノリッジ生成は、受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ n0 (IICCTLn0)のビット2 (ACKEn)をセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3 (TRCn)が設定されます。受信 (TRCn = 0) の場合は、通常、ACKEnビットをセット(1)してください。

スレーブ受信動作時 (TRCn = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRCn = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図21-23 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- ・ 8クロック・クロック・ストレッチ選択時(IICCTLn0レジスタのビット3 (WTIMn) = 0) :
クロック・ストレッチ解除を行う前にACKEnビットをセット(1)することによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・ 9クロック・クロック・ストレッチ選択時(IICCTLn0レジスタのビット3 (WTIMn) = 1) :
あらかじめACKEnビットをセット(1)することによって、アクノリッジを生成します。

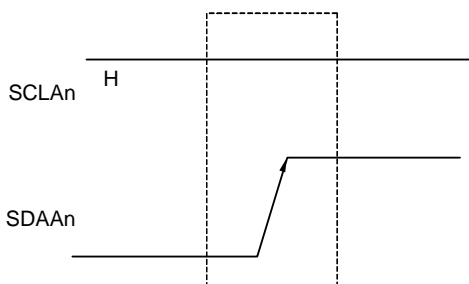
備考 n = 0

21.5.5 ストップ・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図21-24 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ n0 (IICCTLn0) のビット 0 (SPTn) をセット (1) すると発生します。また、ストップ・コンディションを検出すると IICAステータス・レジスタ n (IICSn) のビット 0 (SPDn) がセット (1) され、IICCTLn0 レジスタのビット 4 (SPIEn) がセット (1) されている場合には INTIICAn が発生します。

備考 n = 0

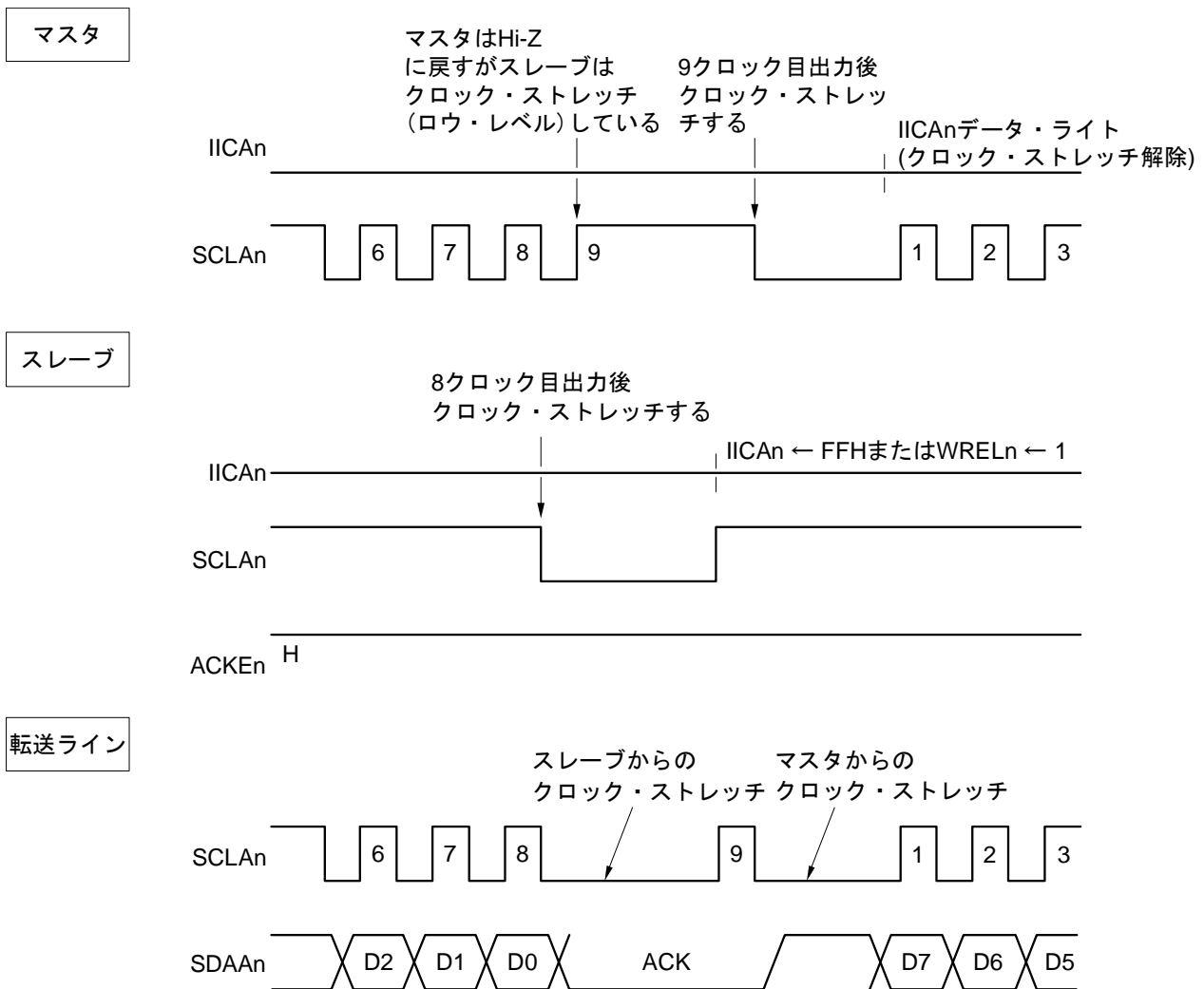
21.5.6 クロック・ストレッチ

クロック・ストレッチによっては、マスタまたはスレーブがデータの送受信のための準備中(クロック・ストレッチ状態)であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図21-25 クロック・ストレッチ(1/2)

- (1) マスタは9クロック・クロック・ストレッチ，スレーブは8クロック・クロック・ストレッチ時
(マスタ：送信，スレーブ：受信，ACKEn = 1)

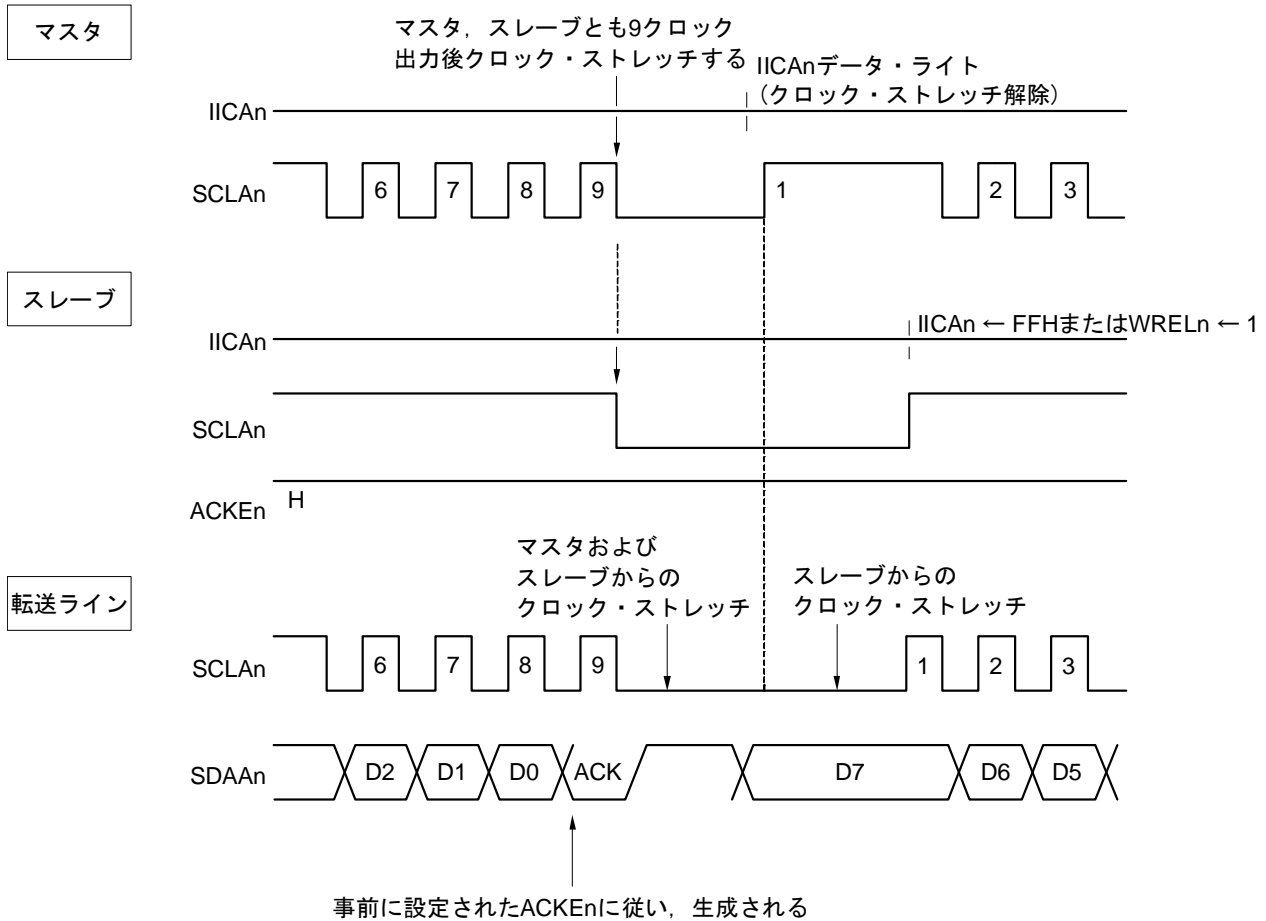


備考 n = 0

図21-25 クロック・ストレッチ(2/2)

(2) マスタ、スレーブとも9クロック・クロック・ストレッチ時

(マスタ：送信，スレーブ：受信，ACKEn = 1)



備考 ACKEn： IICAコントロール・レジスタ n0 (IICCTLn0)のビット2
 WRELn： IICAコントロール・レジスタ n0 (IICCTLn0)のビット5

クロック・ストレッチは、IICAコントロール・レジスタ n0 (IICCTLn0)のビット3 (WTIMn)の設定により自動的に発生します。

通常、受信側はIICCTLn0レジスタのビット5 (WRELnビット) = 1またはIICAシフト・レジスタ n (IICAn)にFFHを書き込むとクロック・ストレッチを解除し、送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- ・ IICCTLn0レジスタのビット1 (STTn) = 1
- ・ IICCTLn0レジスタのビット0 (SPTn) = 1

備考 n = 0

21.5.7 クロック・ストレッチ解除方法

I²Cでは、通常、次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタ n (IICAn)へのデータ書き込み
- IICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)^注
- IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)^注

注 マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合、I²Cはクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ(アドレスを含む)を送信する場合には、IICAnレジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0レジスタのビット5 (WRELn)をセット(1)してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0レジスタのビット1 (STTn)をセット(1)してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0レジスタのビット0 (SPTn)をセット(1)してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットにセット(1)によるクロック・ストレッチ解除後、IICAnレジスタへのデータ書き込みを実施した場合には、SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により、SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEnビットをクリア(0)すると通信を停止するので、クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0レジスタのビット6 (LRELn)をセット(1)すると通信から退避するので、クロック・ストレッチを解除できます。

注意 WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

備考 n = 0

21.5.8 割り込み要求 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0 (IICCTLn0) のビット 3 (WTIMn) の設定で、表 21 - 2 に示すタイミングで INTIICAn が発生し、また、クロック・ストレッチ制御を行います。

表 21 - 2 INTIICAn 発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1,2	8注2	8注2	9	8	8
1	9注1,2	9注2	9注2	9	9	9

注1. スレーブの INTIICAn 信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタ n (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICCTLn0 レジスタのビット 2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりで INTIICAn を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりで INTIICAn を発生しますが、クロック・ストレッチは発生しません。

注2. スレーブ・アドレス・レジスタ n (SVAn) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAn もクロック・ストレッチも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・ スレーブ動作時: WTIMn ビットにかかわらず、上記の注 1, 2 の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- ・ マスタ動作時 : WTIMn ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・ マスタ/スレーブ動作時: WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- ・ マスタ/スレーブ動作時: WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

備考 n = 0

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ n (IICAn)へのデータ書き込み
- ・ IICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- ・ IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)^注
- ・ IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・クロック・ストレッチ選択 (WTIMn = 0) 時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

21.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n (SVAn)に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICAn割り込み要求が発生します。

21.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAAn)の状態が、送信しているデバイスのIICAシフト・レジスタ n (IICAn)にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 n = 0

21.5.11 拡張コード

- (1) 受信アドレスの上位 4 ビットが 0000 と 1111 のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセット(1)し、8クロック目の立ち下がりで割り込み要求 (INTIICAn) を発生します。スレーブ・アドレス・レジスタ n (SVAn) に格納された自局アドレスは影響しません。
- (2) SVAn レジスタに 11110xx0 を設定されているときに、10 ビット・アドレス転送でマスタから 11110xx0 が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICAn) は、8クロック目の立ち下がりで発生します。

- ・ 上位4ビット・データ的一致 : EXCn = 1
- ・ 7ビット・データ的一致 : COIn = 1

備考 EXCn : IICAステータス・レジスタ n (IICSn) のビット5
 COIn : IICAステータス・レジスタ n (IICSn) のビット4

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ n0 (IICCTLn0) のビット6 (LRELn) = 1 に設定してください。次の通信待機状態にします。

表 21 - 3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考 1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

備考 2. n = 0

21.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合($STDn = 1$ になる前に $STTn = 1$ にしたとき)、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

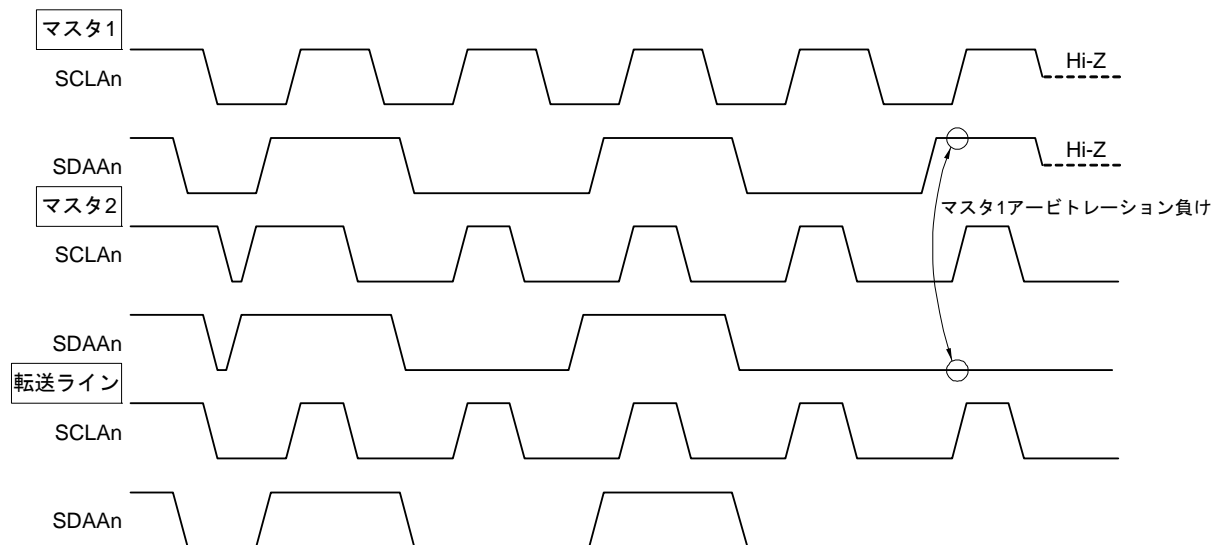
アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICAステータス・レジスタ n (IICSn)のアービトレーション負けフラグ(ALDn)をセット(1)し、SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング(8または9クロック目、ストップ・コンディション検出など)で、ソフトウェアでALDn = 1になっていることで検出します。

割り込み要求発生タイミングについては、21.5.8 割り込み要求(INTIICAn)発生タイミングおよびクロック・ストレッチ制御を参照してください。

備考 STDn: IICAステータス・レジスタ n (IICSn)のビット1
STTn: IICAコントロール・レジスタ $n0$ (IICCTLn0)のビット1

図21-26 アービトレーション・タイミング例



備考 $n = 0$

表21-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. WTIMnビット(IICAコントロール・レジスタ n0 (IICCTLn0)のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIMn = 0 および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求が発生します。

注2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

備考1. SPIEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット 4

備考2. n = 0

21.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生する機能です。

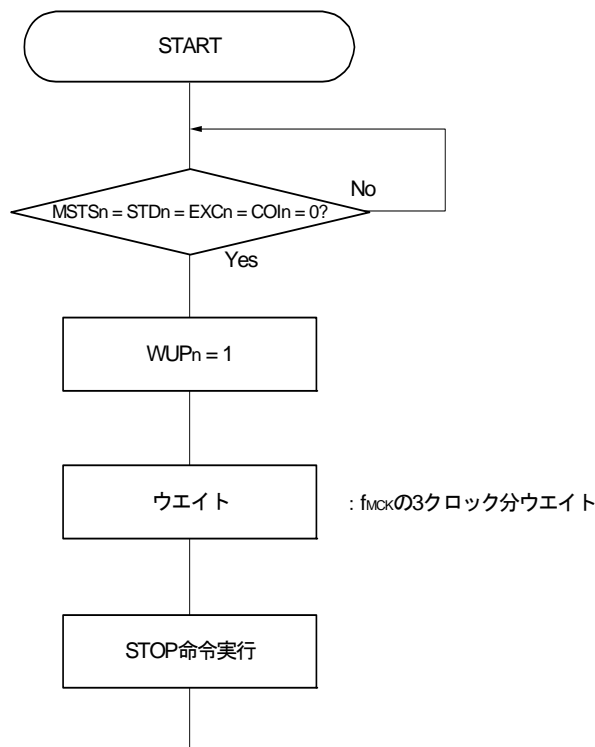
アドレスが一致しないときは不要なINTIICAn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ(スタート・コンディションを生成した場合)でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生します。この割り込み発生後に命令でWUPnビットをクリア(0)することで通常動作に戻ります。

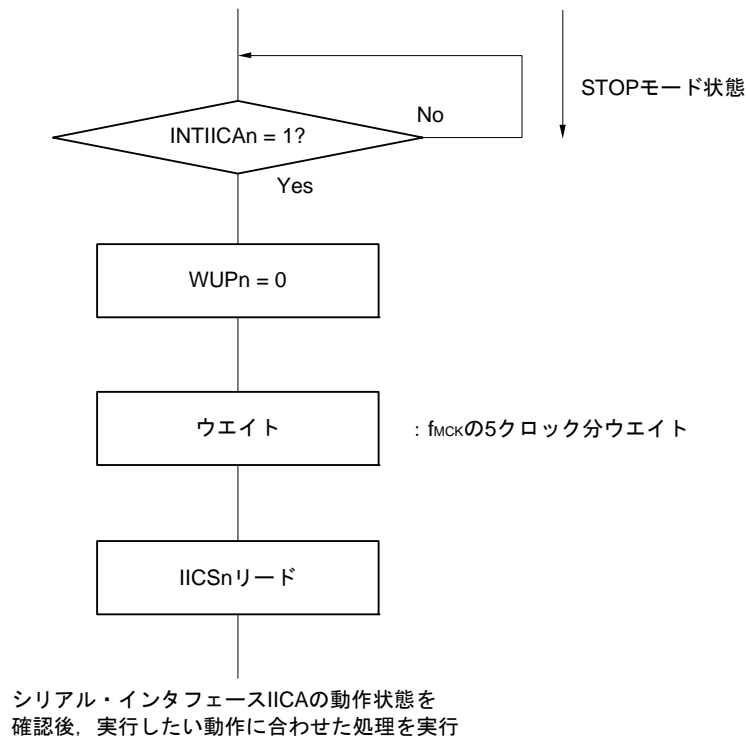
WUPn = 1に設定する場合のフローを図21 - 27に、アドレス一致によりWUPn = 0に設定する場合のフローを図21 - 28に示します。

図21 - 27 WUPn = 1を設定する場合のフロー



備考 n = 0

図21 - 28 アドレス一致により WUPn = 0 に設定する場合のフロー (拡張コード受信含む)

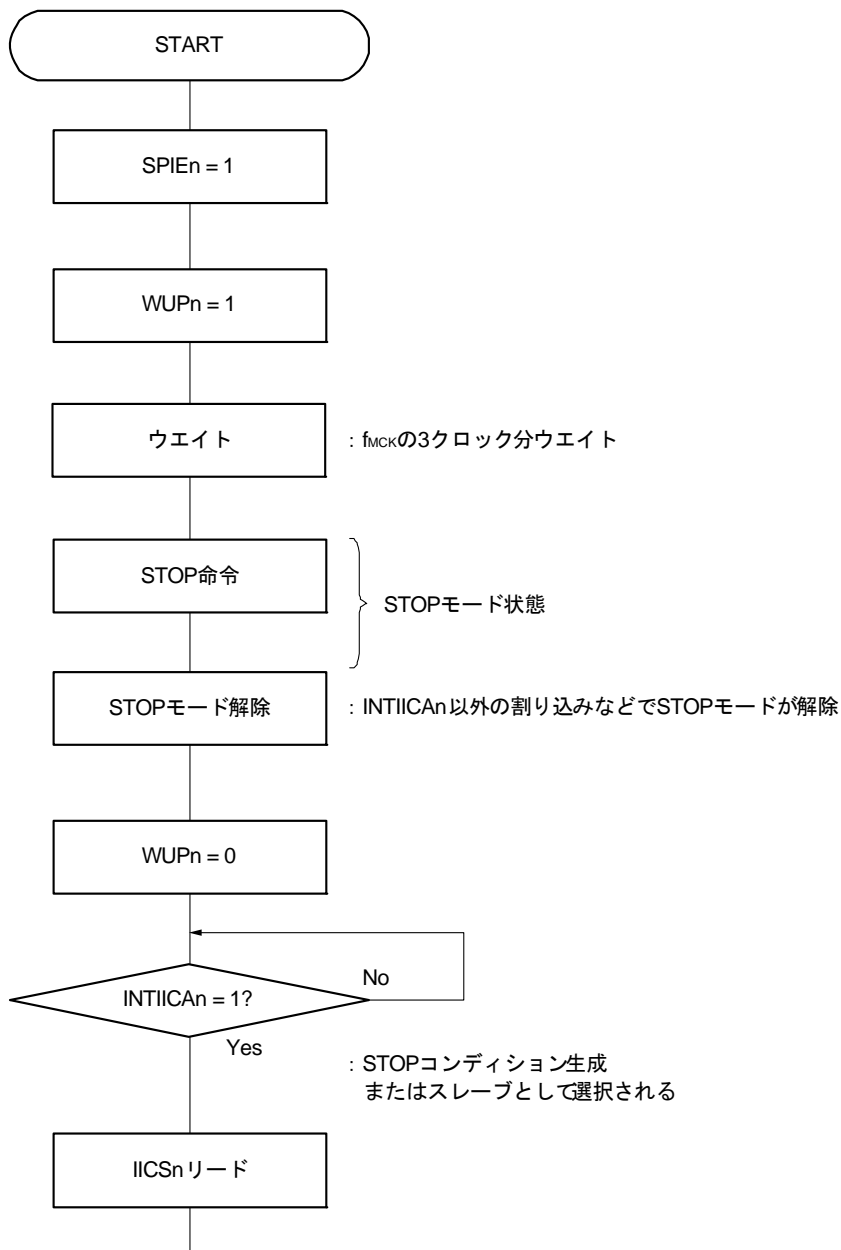


また、シリアル・インタフェース IICA からの割り込み要求 (INTIICAn) 以外で STOP モードを解除する場合の処理は次のフローを行ってください。

- 次の IIC 通信をマスタとして動作させる場合 : 図21 - 29のフロー
- 次の IIC 通信をスレーブとして動作させる場合 :
 - INTIICAn 割り込みで復帰した場合 : 図21 - 28のフローと同じになります。
 - INTIICAn 割り込み以外の割り込みで復帰した場合 : INTIICAn 割り込みが発生するまで WUPn = 1 のまま動作を継続してください。

備考 n = 0

図 21 - 29 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

備考 n = 0

21.5.14 通信予約

(1) 通信予約機能許可の場合(IICAフラグ・レジスタ n (IICFn)のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・ アービトレーションでマスタにもスレーブにもなれなかった場合
- ・ 拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICAコントロール・レジスタ n0 (IICCTLn0)のビット6 (LRELn) = 1で通信退避してバスを解放した)とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn)をセット(1)すると、バスが解放されたあと(ストップ・コンディション検出時)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn)をセット(1)し、割り込み要求信号(INTIICAn)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IICAシフト・レジスタ n (IICAn)にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット(1)したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・ バスが解放されているとき スタート・コンディション生成
- ・ バスが解放されていないとき(待機状態) 通信予約

通信予約として動作するかどうかは、STTnビットをセット(1)し、ウェイト時間をとったあと、MSTSnビット(IICAステータス・レジスタ n (IICSn)のビット7)で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

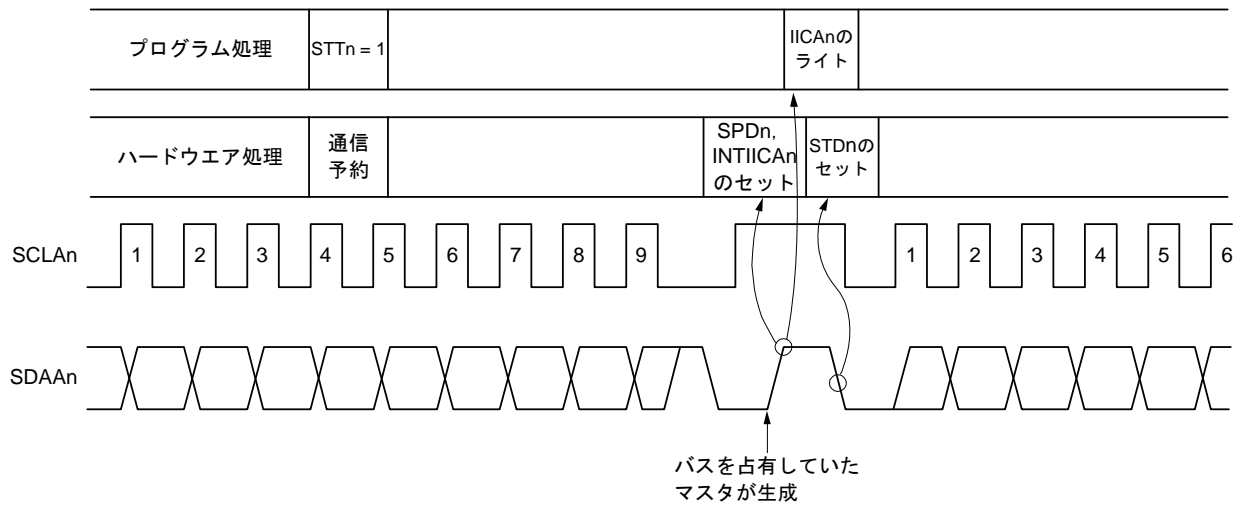
$\text{STTn} = 1 \text{ から MSTSn フラグ 確認 までの ウェイト 時間 :}$ $(\text{IICWLn の 設定 値} + \text{IICWHn の 設定 値} + 4) / \text{fMCK} + \text{tf} \times 2$
--

- 備考1. IICWLn : IICA ロウ・レベル幅設定レジスタ n
 IICWHn : IICA ハイ・レベル幅設定レジスタ n
 tf : SDAAn, SCLAn 信号の立ち下がり時間
 fMCK : IICA 動作クロック周波数

備考2. n = 0

通信予約のタイミングを図21 - 30に示します。

図21 - 30 通信予約のタイミング



- 備考 IICAn : IICAシフト・レジスタ n
 STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1
 STDn : IICAステータス・レジスタ n (IICSn)のビット1
 SPDn : IICAステータス・レジスタ n (IICSn)のビット0

通信予約は図21 - 31に示すタイミングで受け付けられます。IICAステータス・レジスタ n (IICSn)のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ n0 (IICCTLn0)のビット1 (STTn) = 1で通信予約をします。

図21 - 31 通信予約受け付けタイミング

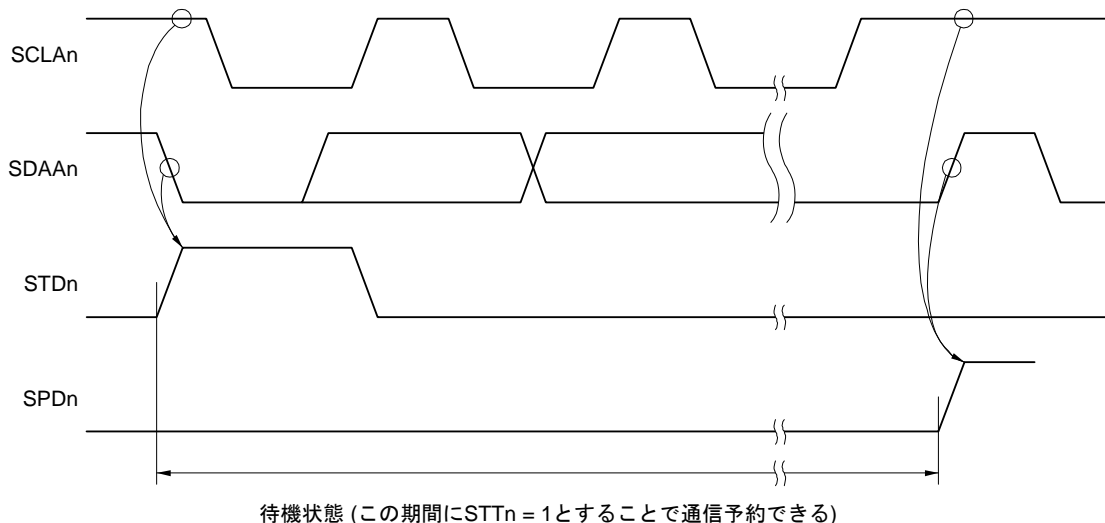
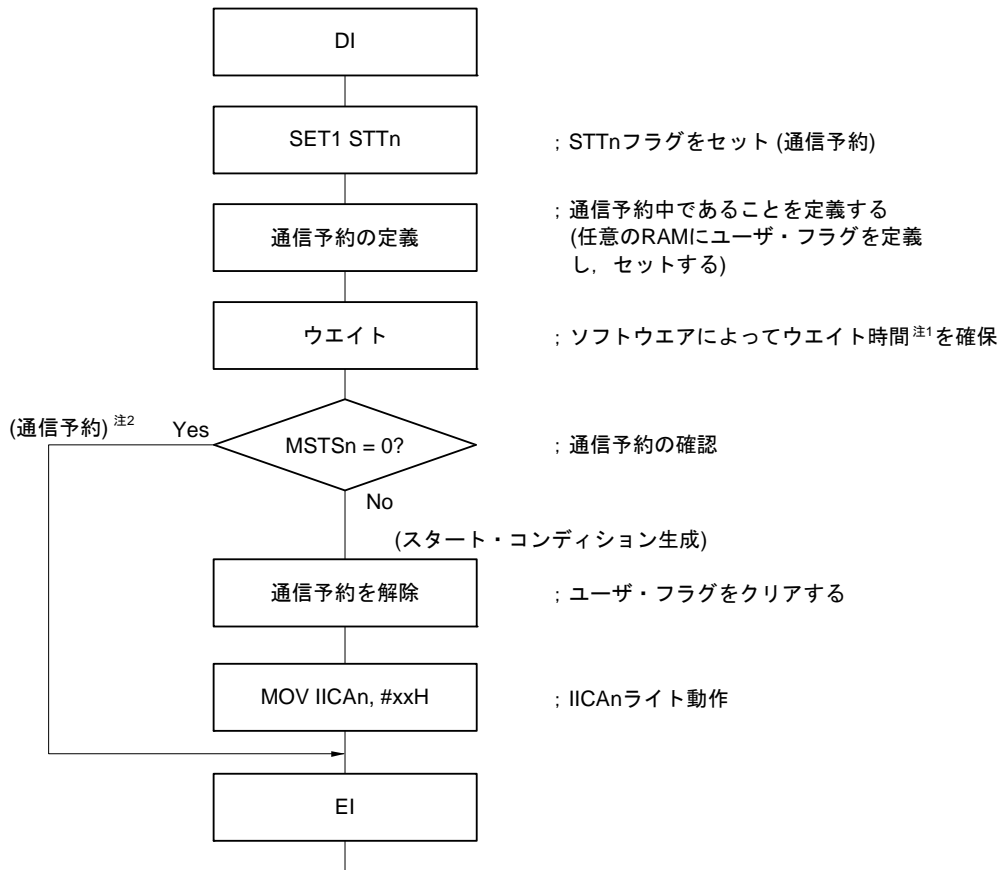


図21 - 32に通信予約の手順を示します。

- 備考 n = 0

図 21 - 32 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWLnの設定値 + IICWHnの設定値 + 4) / fMCK + tF \times 2$$

注2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ n (IICAn)への書き込みを実行します。

備考1. STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

MSTSn : IICAステータス・レジスタ n (IICSn)のビット7

IICAn : IICAシフト・レジスタ n

IICWLn : IICAロウ・レベル幅設定レジスタ n

IICWHn : IICAハイ・レベル幅設定レジスタ n

tF : SDAAn, SCLAn信号の立ち下がり時間

fMCK : IICA動作クロック周波数

備考2. n = 0

(2) 通信予約機能禁止の場合 (IICA フラグ・レジスタ n (IICFn) のビット 0 (IICRSVn) = 1)

バスが通信中で、この通信に不参加の状態 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 1 (STTn) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・ アービトレーションでマスタにもスレーブにもなれなかった場合
- ・ 拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTLn0 レジスタのビット 6 (LRELn) = 1 で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFn (IICFn レジスタのビット 7) で確認できます。STTn = 1 としてから STCFn がセット (1) されるまで fmck の 5 クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0

21.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可(IICEn = 1)直後、実際のバス状態にかかわらず通信状態(IICBSYn = 1)と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない(ストップ・コンディションを検出していない)状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタ n1 (IICCTLn1)を設定する
- ② IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn)をセット(1)する
- ③ IICCTLn0レジスタのビット0 (SPTn)をセット(1)する

(2) STCENn = 1の場合

I²C動作許可(IICEn = 1)直後、実際のバス状態にかかわらず解放状態(IICBSYn = 0)と認識しますので、1回目のスタート・コンディションを生成(STTn = 1)する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識(スタート・コンディション検出)します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

- ① IICCTLn0レジスタのビット4 (SPIEn)をクリア(0)し、ストップ・コンディション検出による割り込み要求信号(INTIICAn)発生を禁止する
- ② IICCTLn0レジスタのビット7 (IICEn)をセット(1)し、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで(IICEnビットをセット(1)してから、4~72クロック中)に、IICCTLn0レジスタのビット6 (LRELn)をセット(1)にし、強制的に検出を無効とする

(4) STTn, SPTnビット(IICCTLn0レジスタのビット1, 0)をセットしたあと、クリア(0)される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット(IICCTLn0レジスタのビット4)をセット(1)してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ n (IICAn)に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTSnビット(IICAステータス・レジスタ n (IICSn)のビット7)を検出する場合には、SPIEnビットをセット(1)する必要はありません。

備考 n = 0

21.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

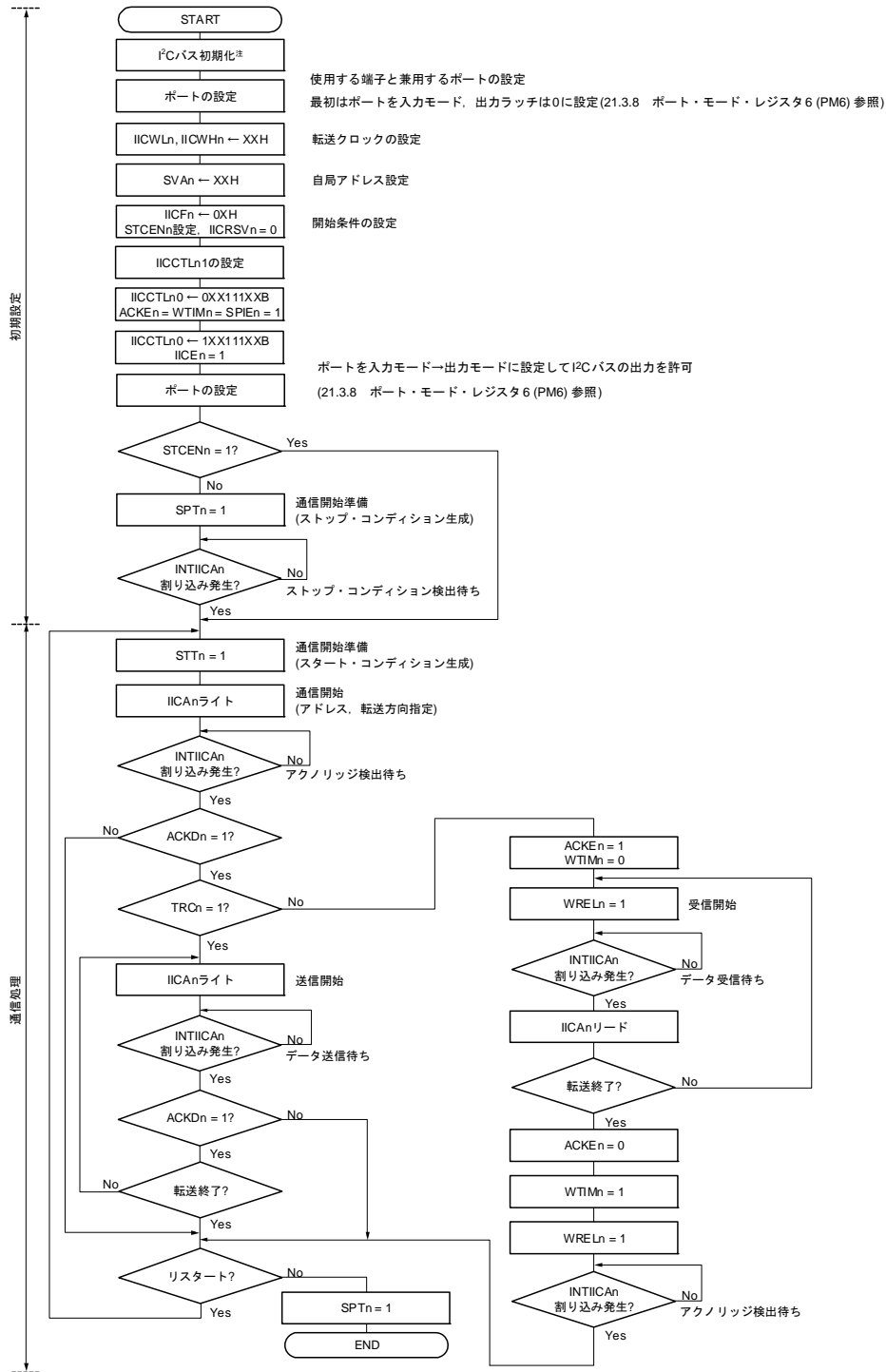
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0

(1) シングルマスタ・システムでのマスタ動作

図 21-33 シングルマスタ・システムでのマスタ動作



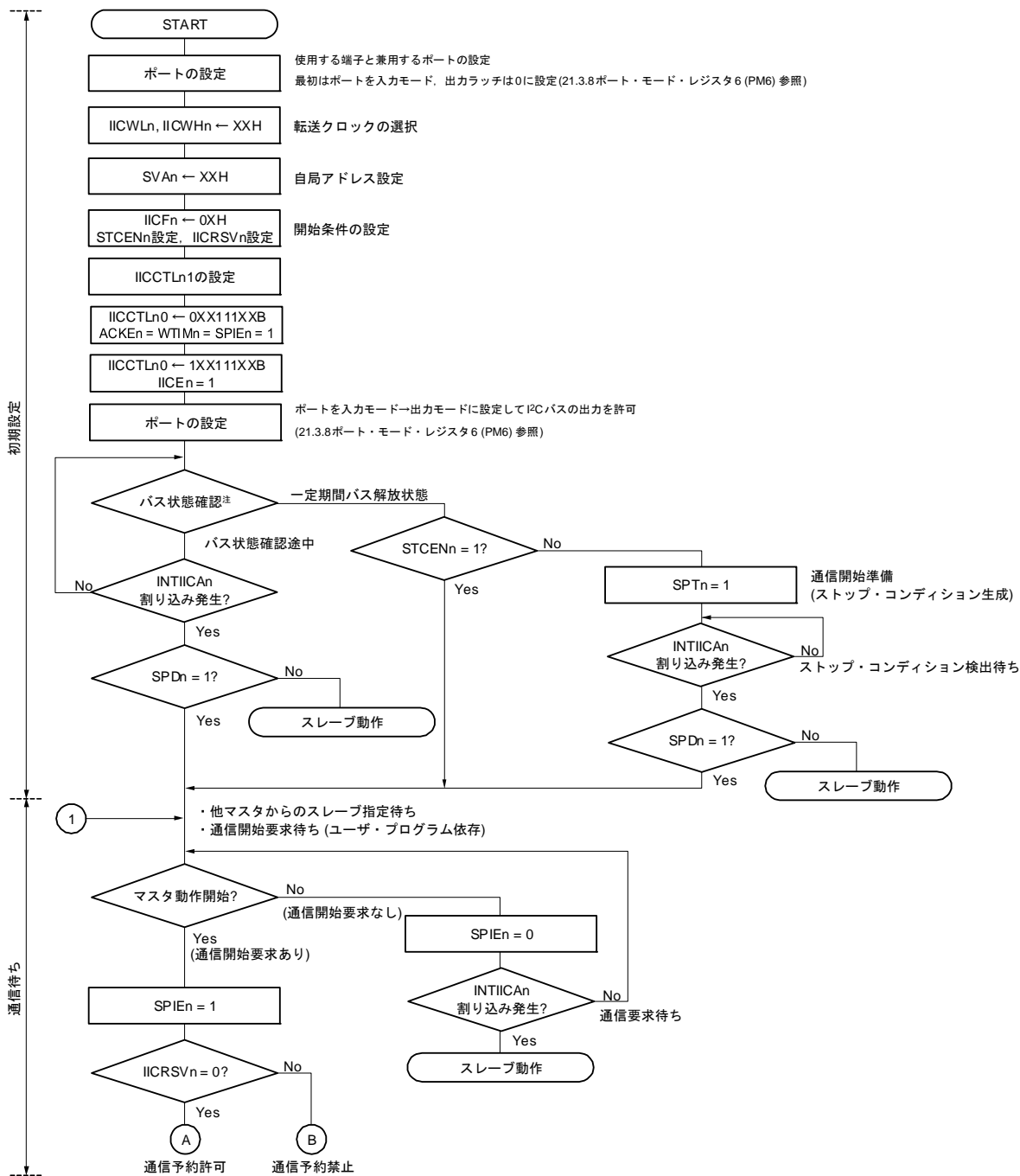
注 通信している製品の仕様に基づき、I²Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは、通信している製品の仕様に基づきしてください。

備考2. n = 0

(2) マルチマスタ・システムでのマスタ動作

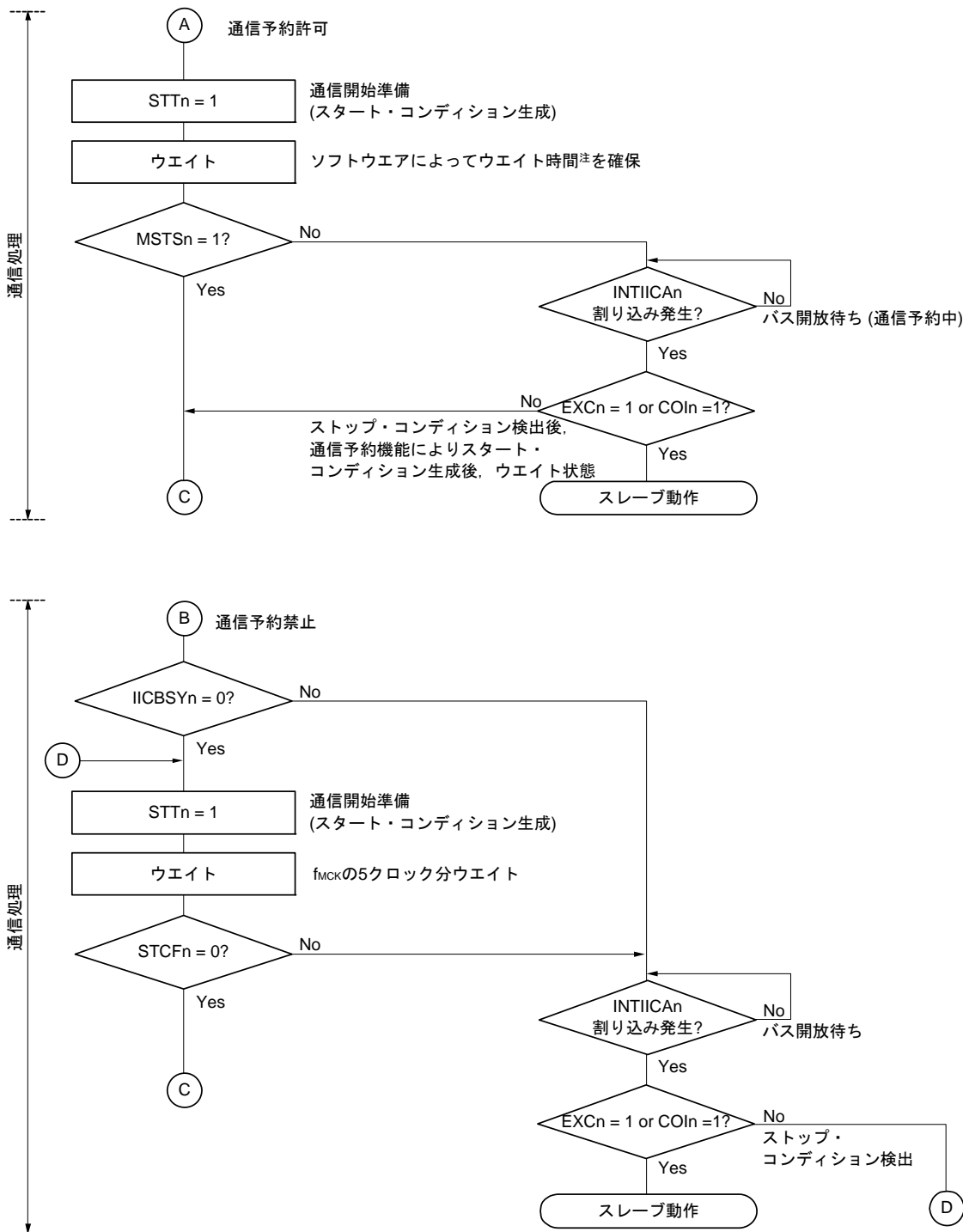
図21-34 マルチマスタ・システムでのマスタ動作(1/3)



注 一定期間(たとえば1フレーム分), バス解放状態(CLDnビット = 1, DADnビット = 1)であることを確認してください。定期的にSDAAn端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)するか判断してください。

備考 n = 0

図21 - 35 マルチマスタ・システムでのマスタ動作 (2/3)

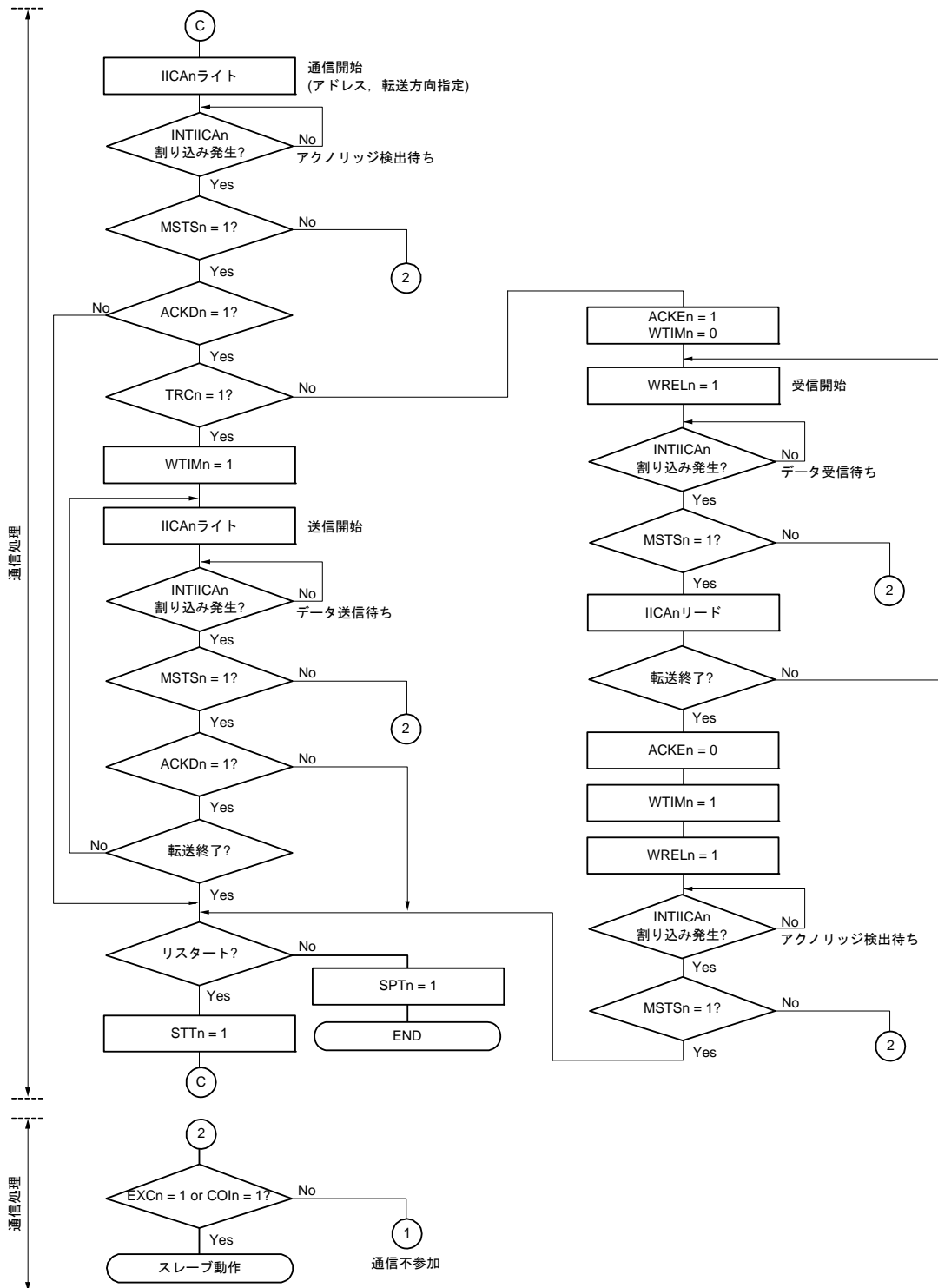


注 ウェイト時間は次のようになります。
 $(IICWL_n \text{ の設定値} + IICWH_n \text{ の設定値} + 4) / f_{MCK} + t_F \times 2$

- 備考1. IICWL_n : IICA ロウ・レベル幅設定レジスタ n
- IICWH_n : IICA ハイ・レベル幅設定レジスタ n
- t_F : SDA_n, SCL_n 信号の立ち下がり時間
- f_{MCK} : IICA 動作クロック周波数

備考2. n = 0

図21 - 36 マルチマスタ・システムでのマスタ動作(3/3)



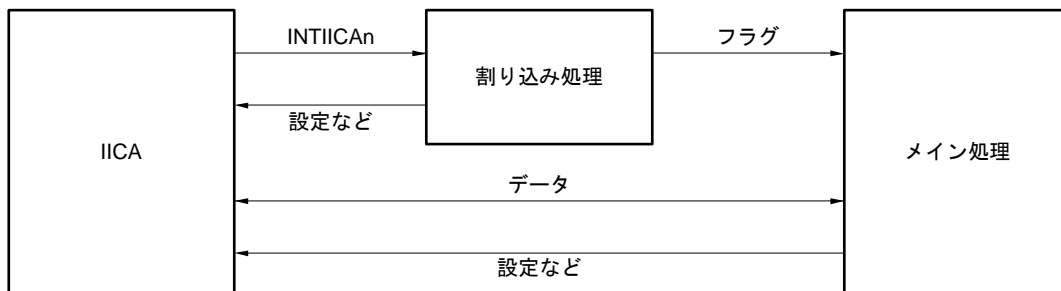
- 備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
- 備考2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。
- 備考3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn 割り込み発生ごとに IICA ステータス・レジスタ n (IICSn), IICA フラグ・レジスタ n (IICFn) でステータスを確認して次に行う処理を決定してください。
- 備考4. n = 0

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンの動作となります。このため INTIICAn 割り込みによる処理(通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理)が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。また INTIICAn 割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これを INTIICAn の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード : データ通信を行っていない状態
- ・通信モード : データ通信を行っている状態(有効アドレス検出～ストップ・コンディション検出, マスタからのアクノリッジ未検出, アドレス不一致)

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信では INTIICAn 割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります(アドレス一致自体が次のデータの要求と解釈します)。

③ 通信方向フラグ

通信の方向を示します。TRCn ビットの値と同じです。

備考 n = 0

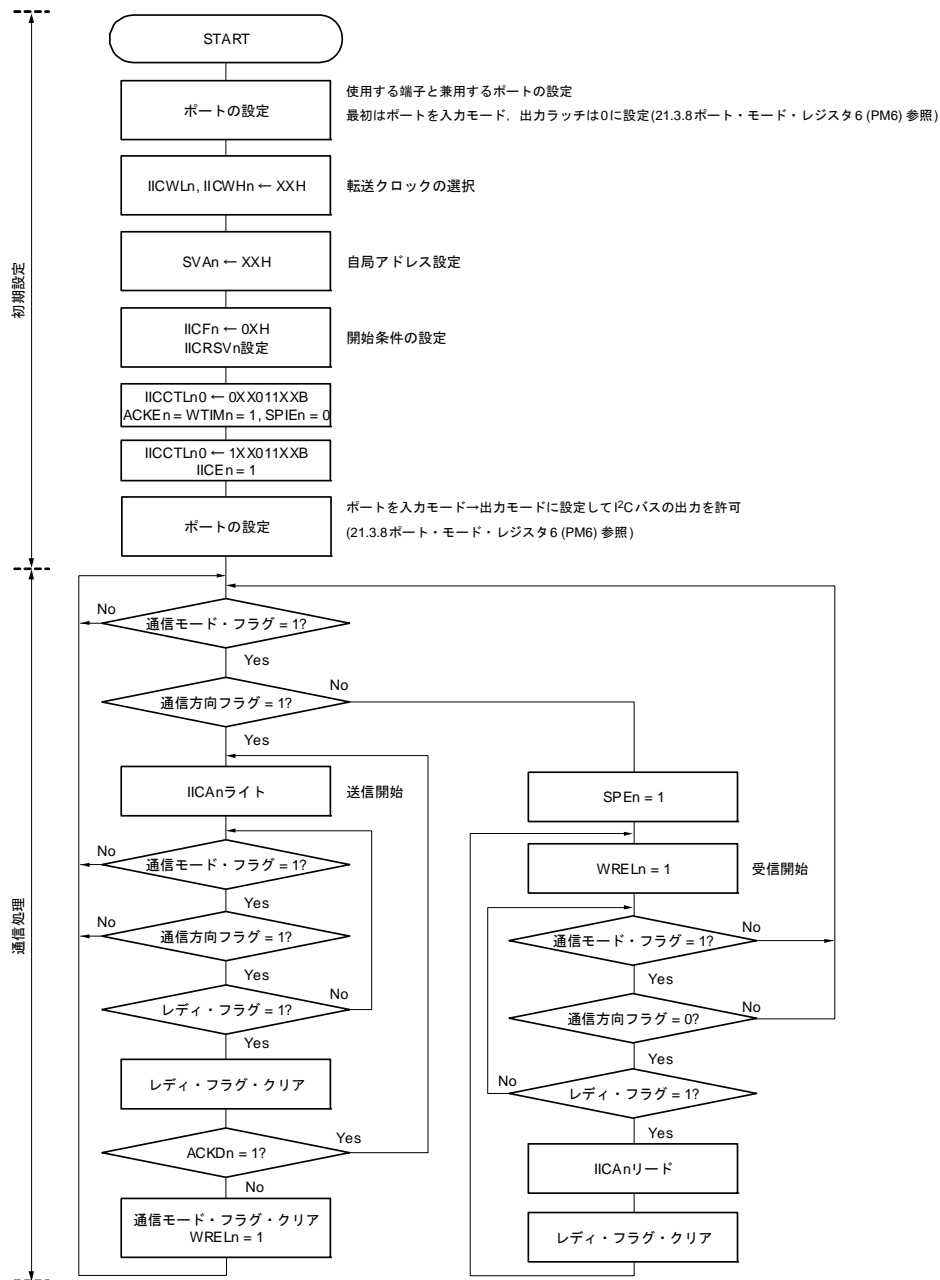
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェース IICA を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います (ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します)。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図21 - 37 スレーブ動作手順(1)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

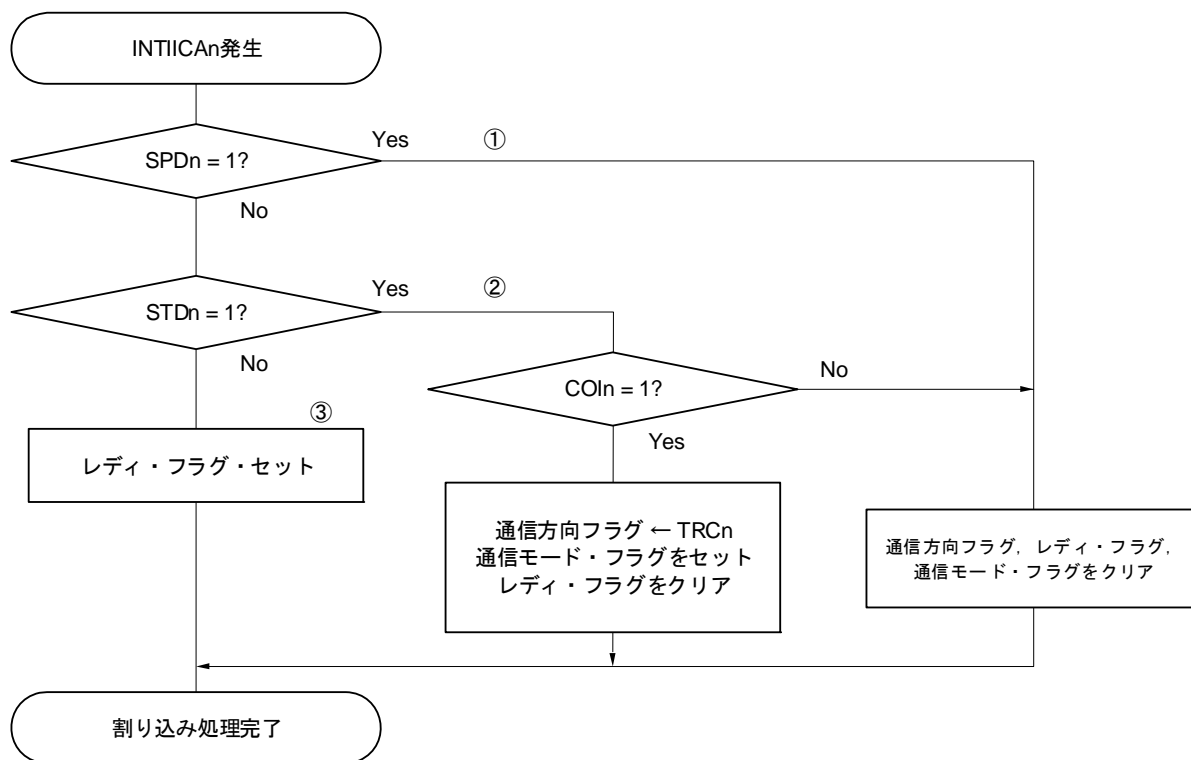
備考2. n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図21-38 スレーブ動作手順(2)の①～③と対応しています。

図21-38 スレーブ動作手順(2)



備考 n = 0

21.5.17 I²C 割り込み要求 (INTIICAn) の発生タイミング

次に、データの送受信、INTIICAn 割り込み要求信号発生タイミングと、INTIICAn 信号タイミングでの IICA ステータス・レジスタ n (IICSn) の値を示します。

備考 1. ST : スタート・コンディション

AD6-AD0 : アドレス

$\overline{R/W}$: 転送方向指定

ACK : アクノリッジ

D7-D0 : データ

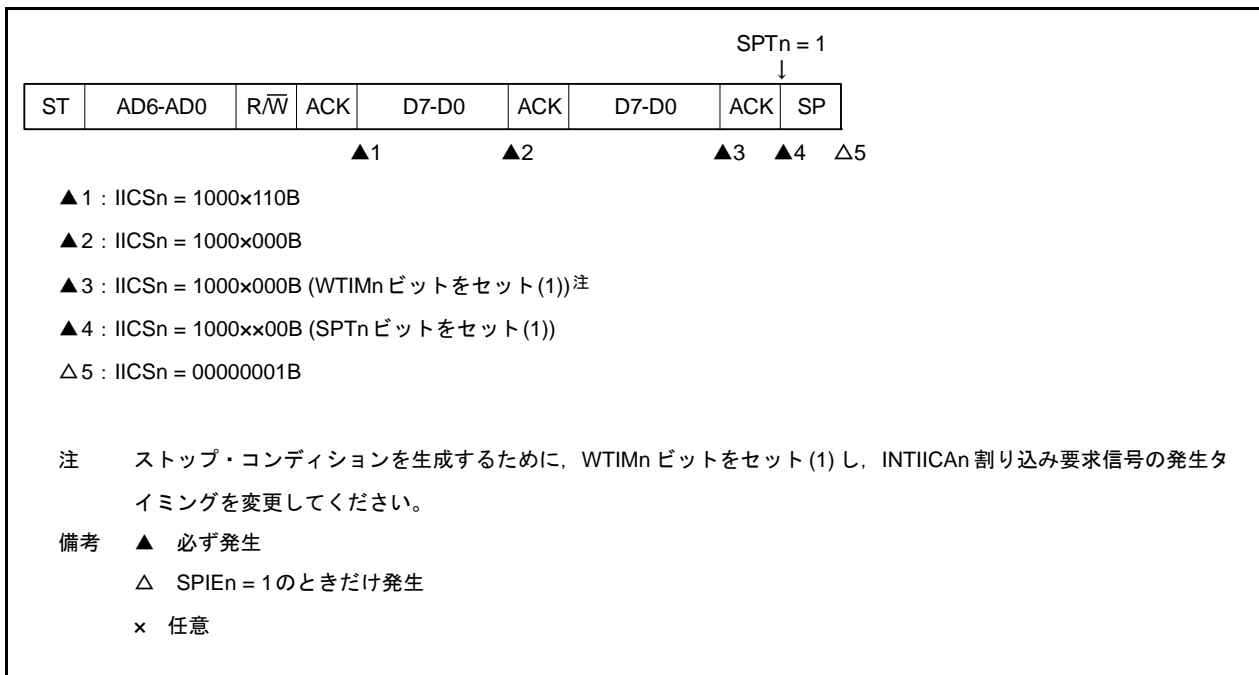
SP : ストップ・コンディション

備考 2. n = 0

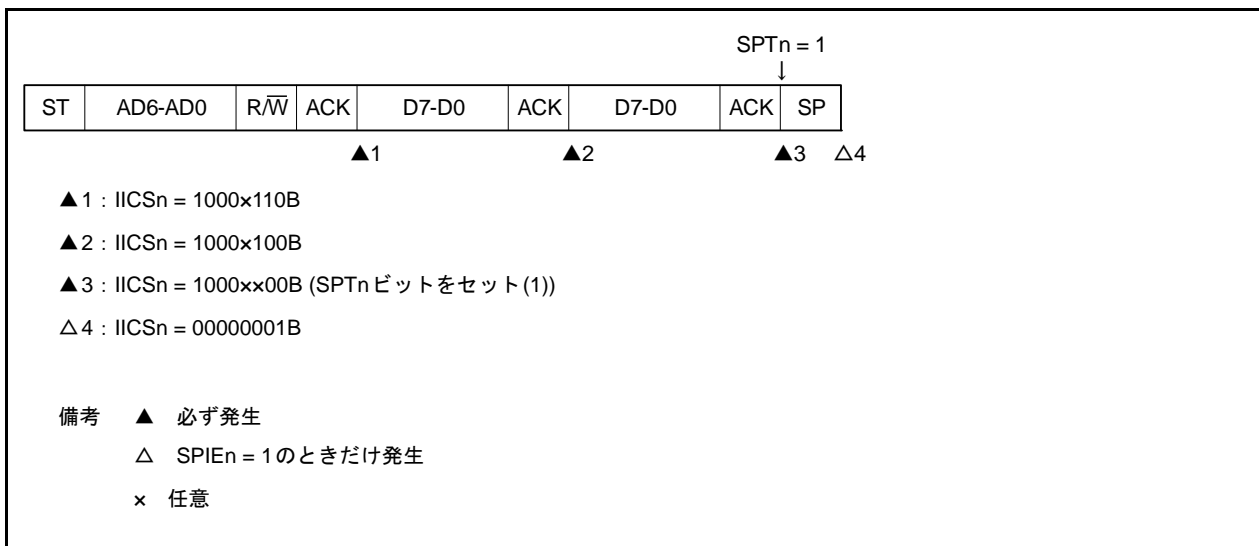
(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIMn = 0 のとき



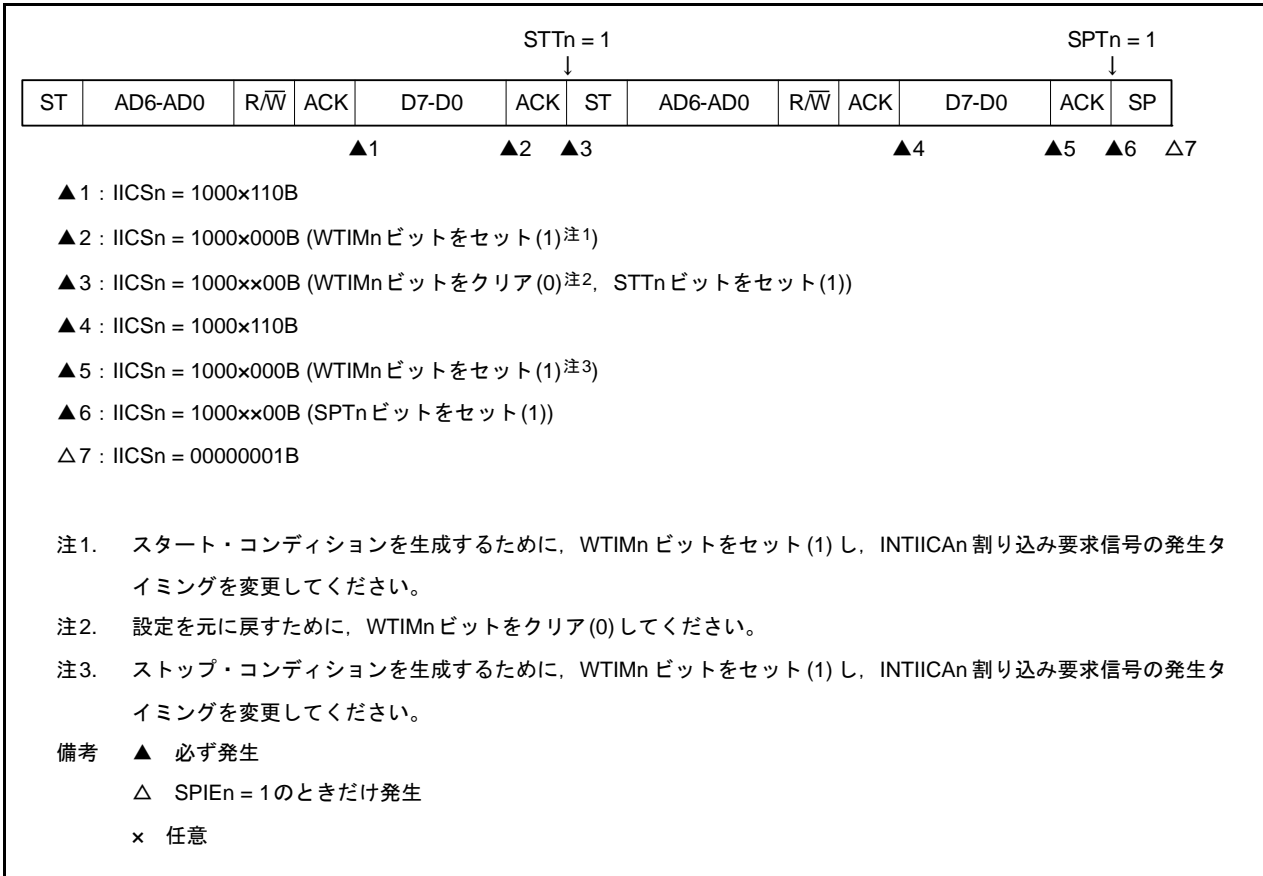
(ii) WTIMn = 1 のとき



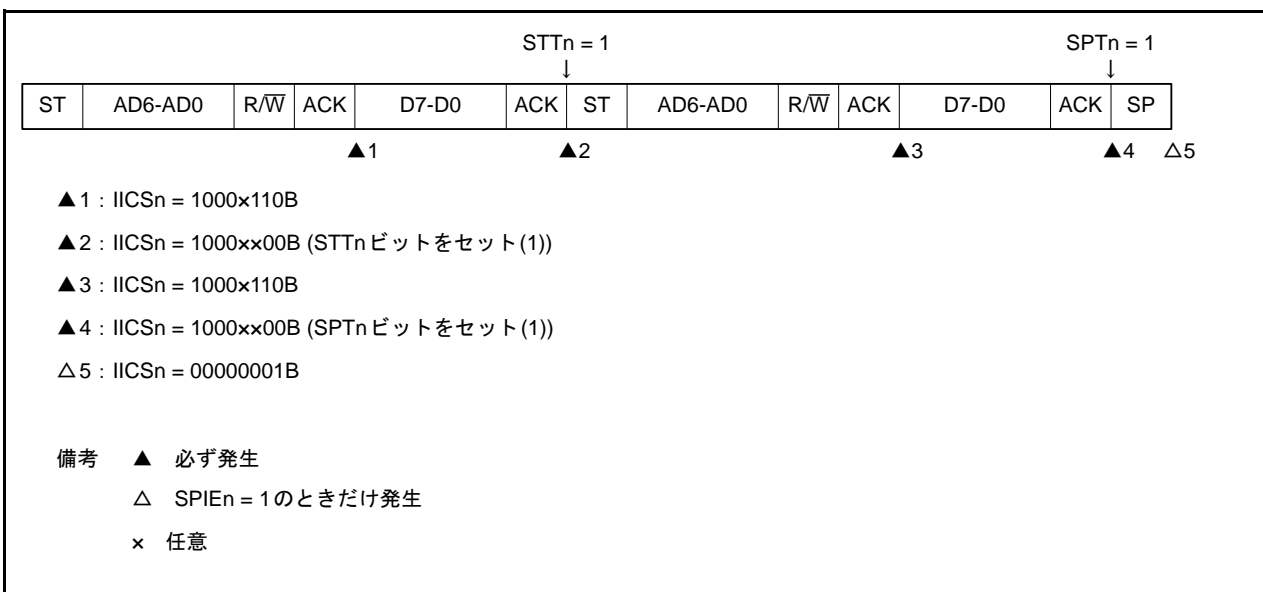
備考 n = 0

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIMn = 0 のとき



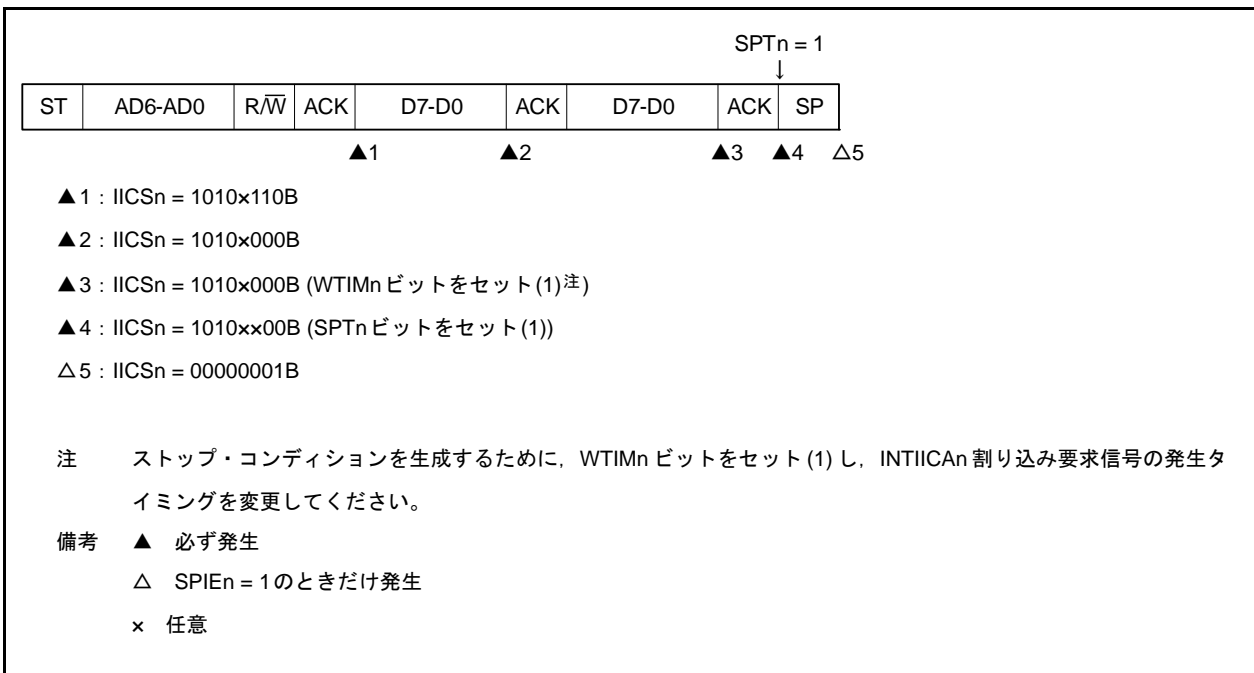
(ii) WTIMn = 1 のとき



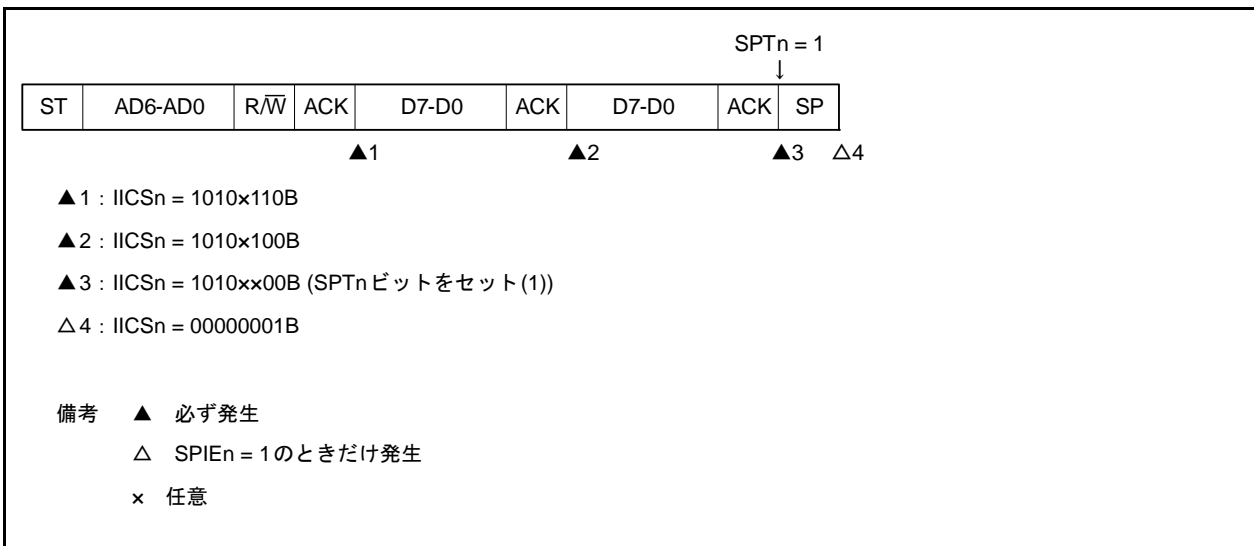
備考 n = 0

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき

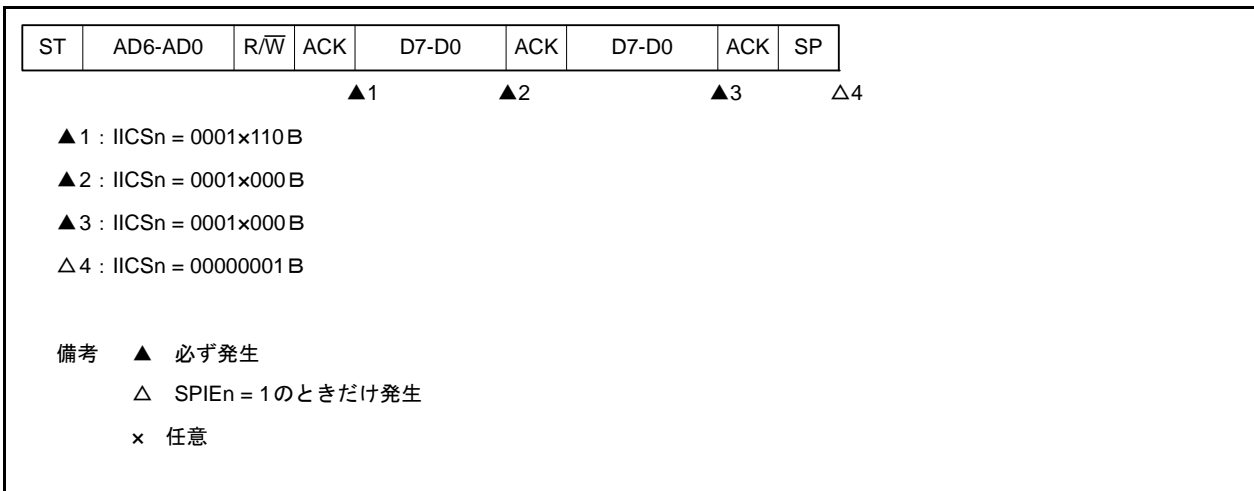


備考 n = 0

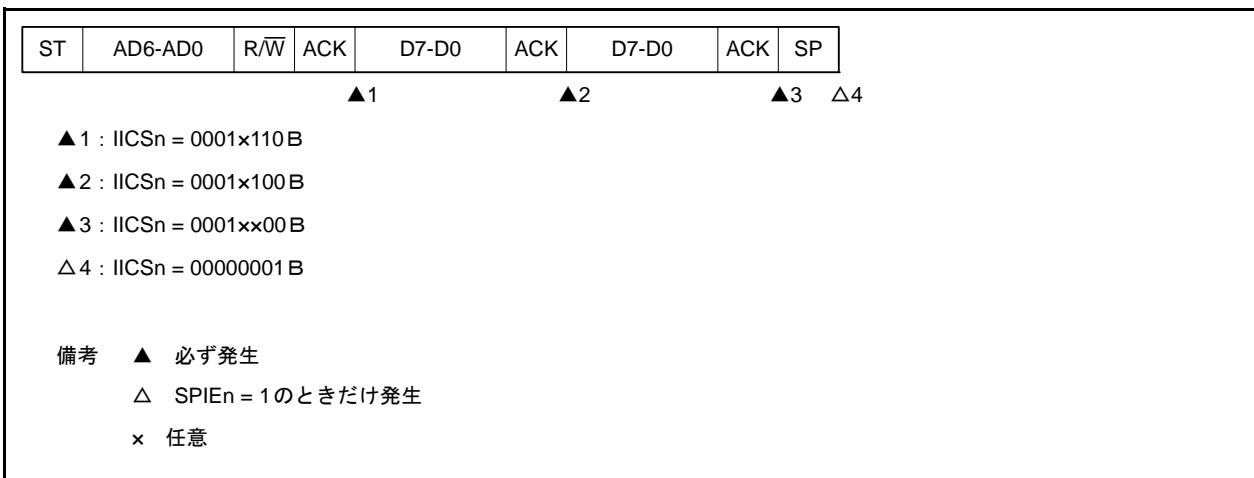
(2) スレーブ動作(スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



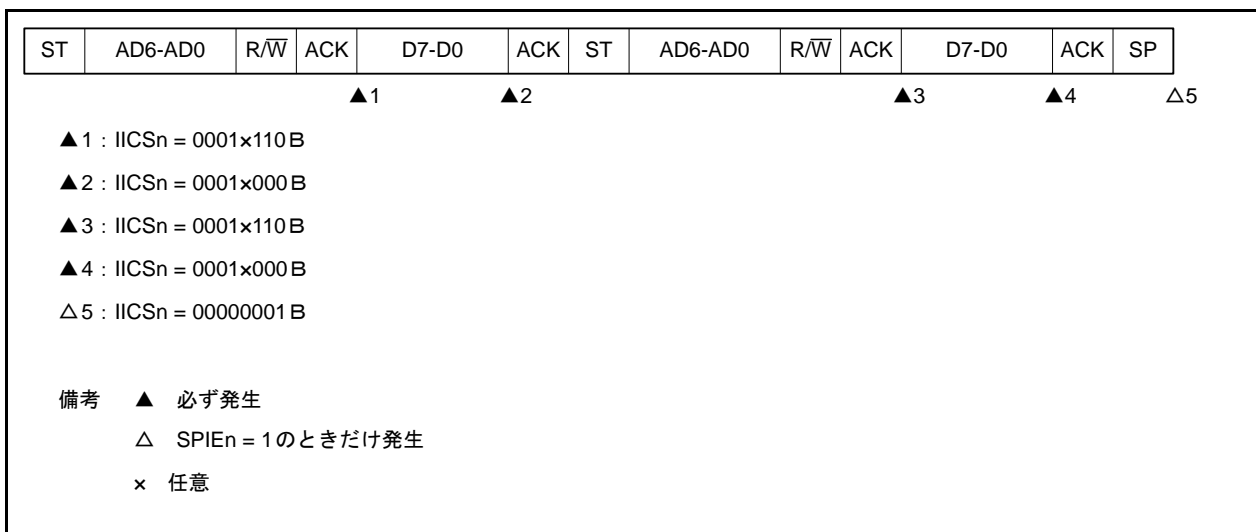
(ii) WTIMn = 1 のとき



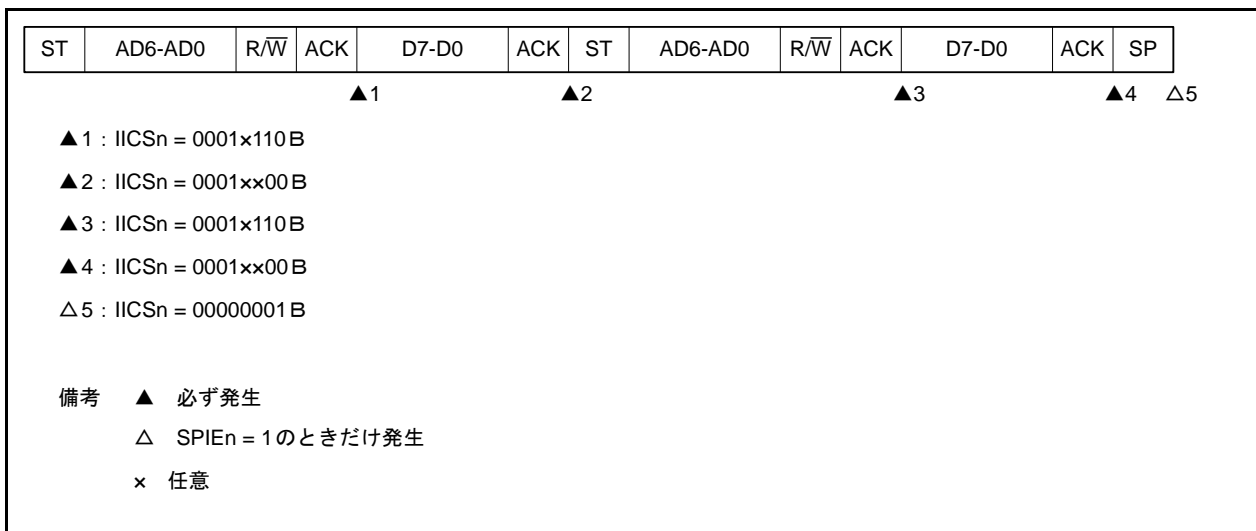
備考 n = 0

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn 一致)



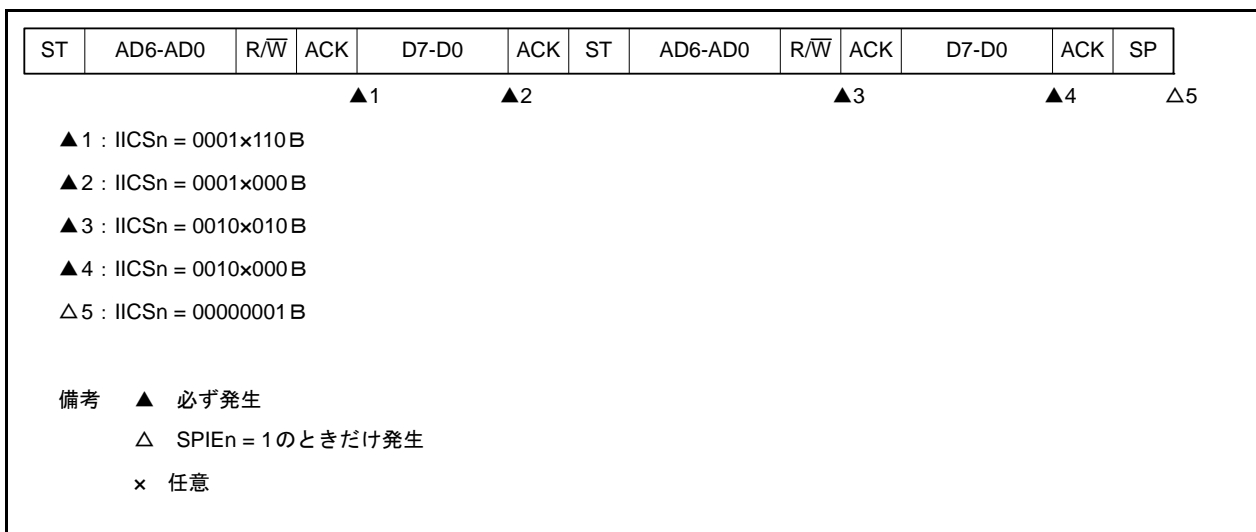
(ii) WTIMn = 1 のとき (リスタート後, SVAn 一致)



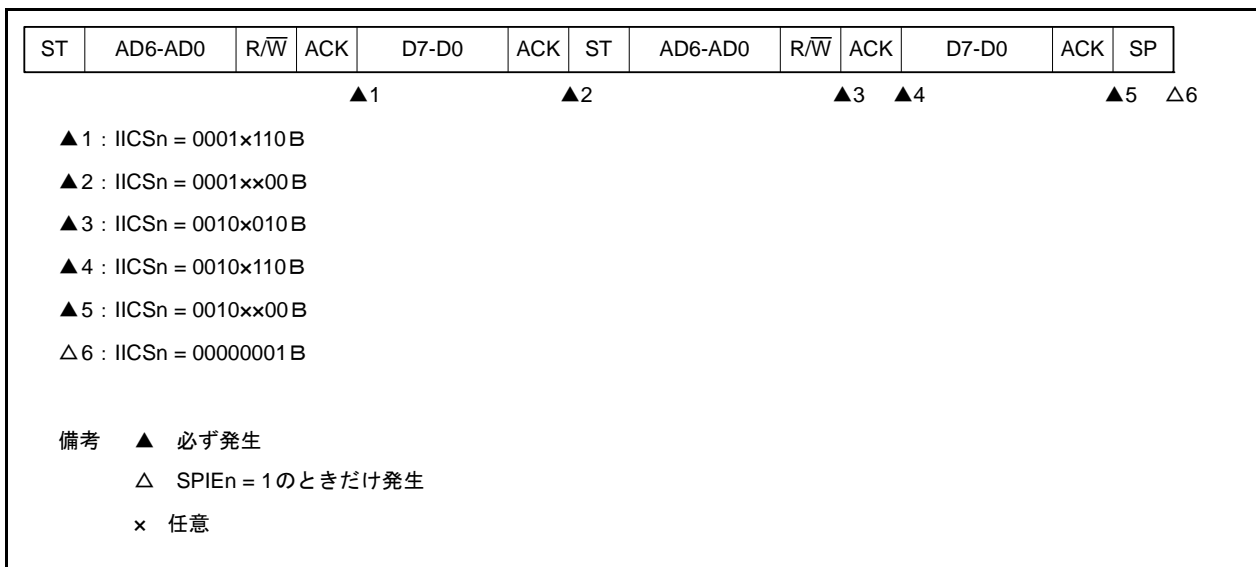
備考 n = 0

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード))



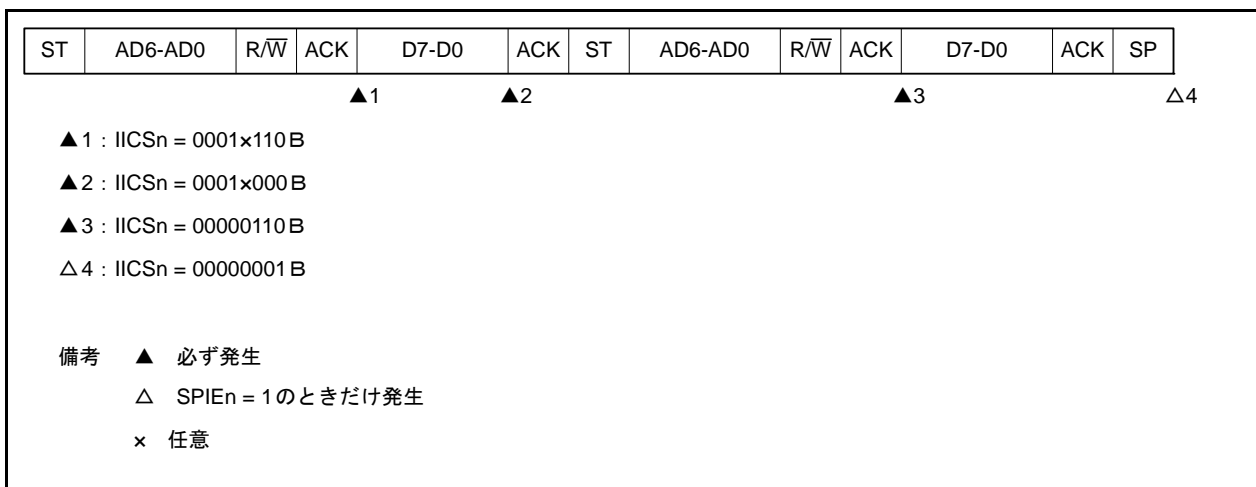
(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード))



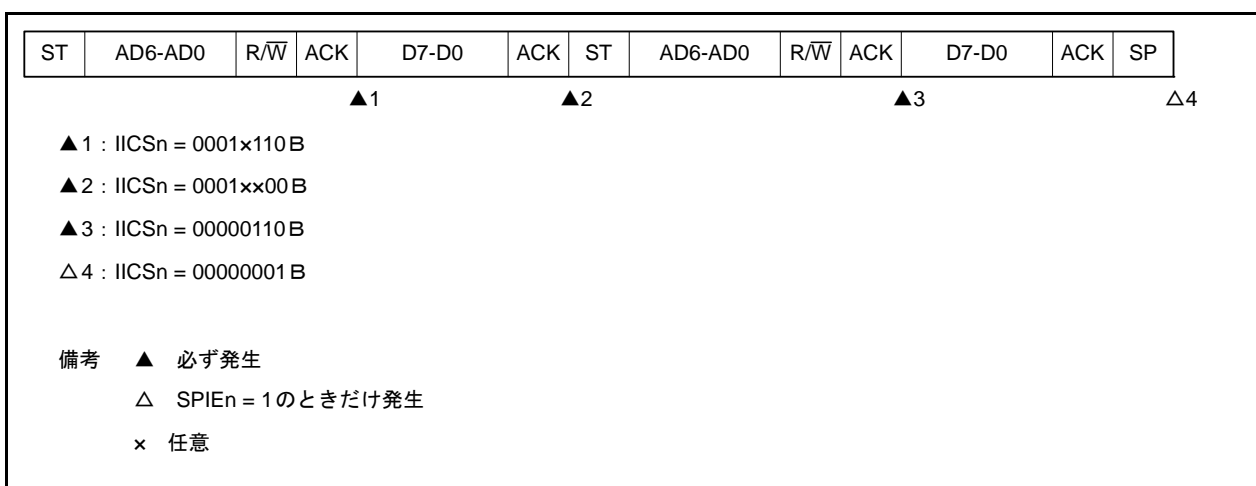
備考 n = 0

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



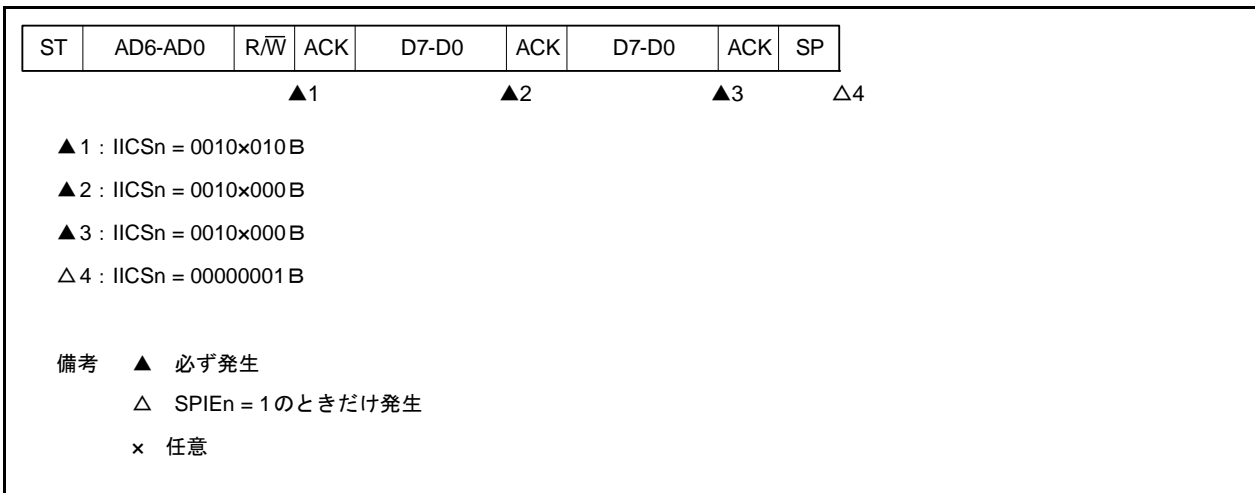
備考 n = 0

(3) スレーブ動作(拡張コード受信時)

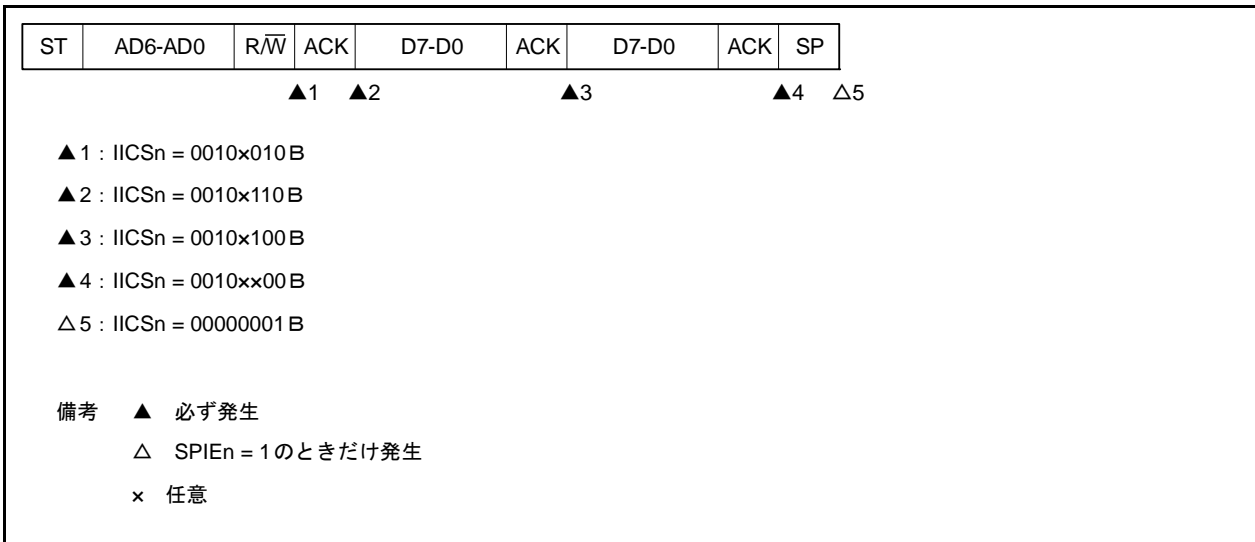
拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



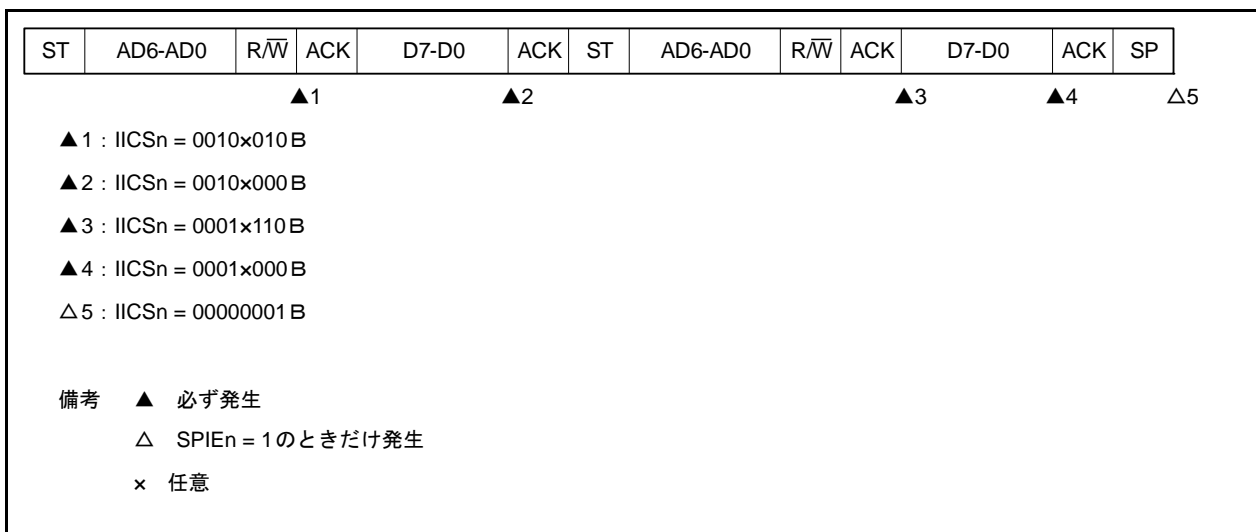
(ii) WTIMn = 1 のとき



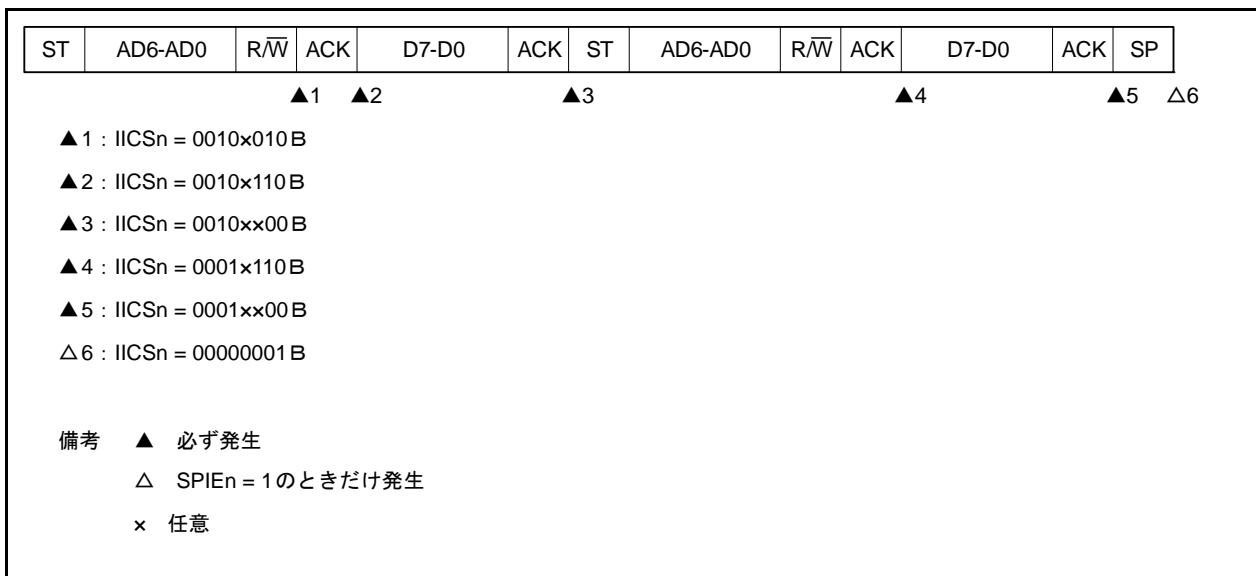
備考 n = 0

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn 一致)



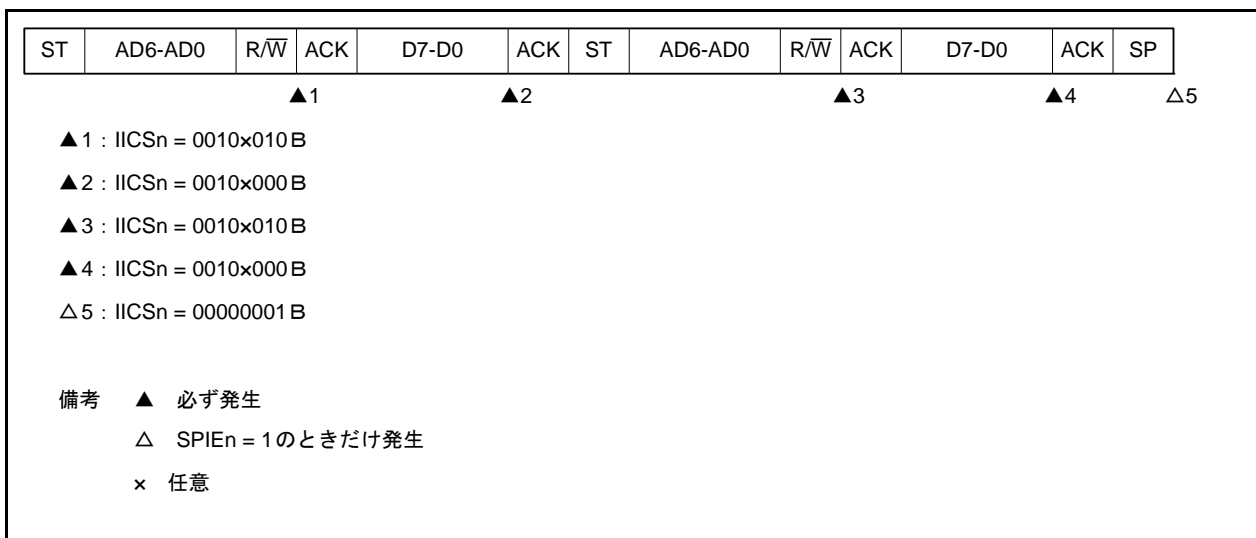
(ii) WTIMn = 1 のとき (リスタート後, SVAn 一致)



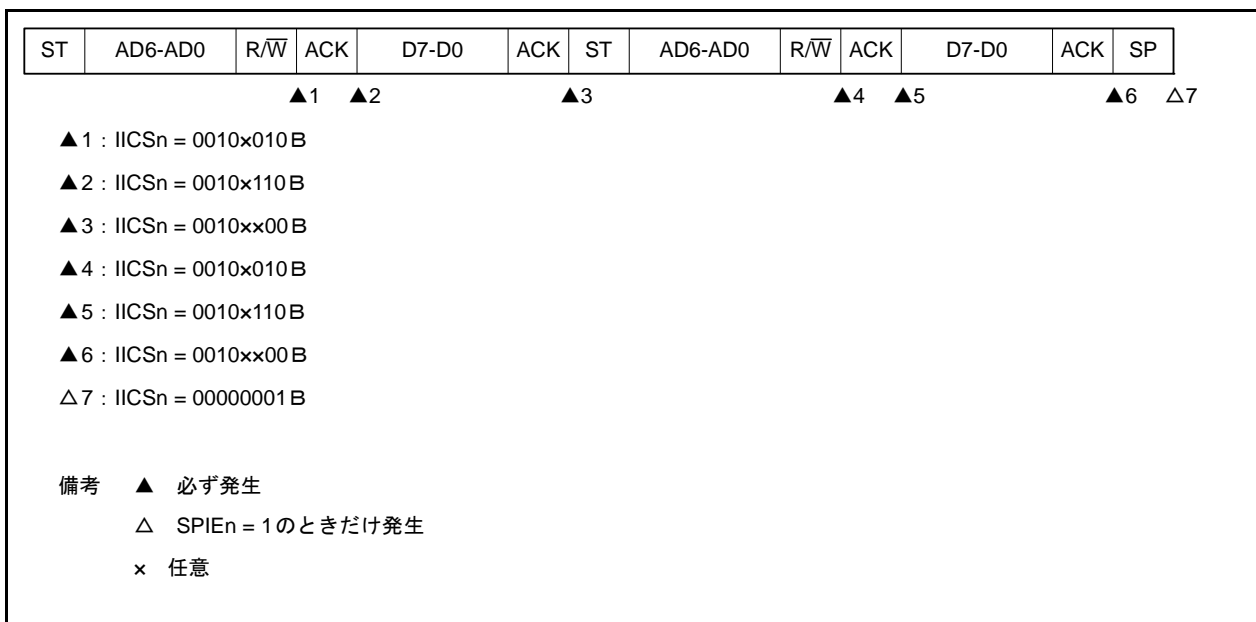
備考 n = 0

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, 拡張コード受信)



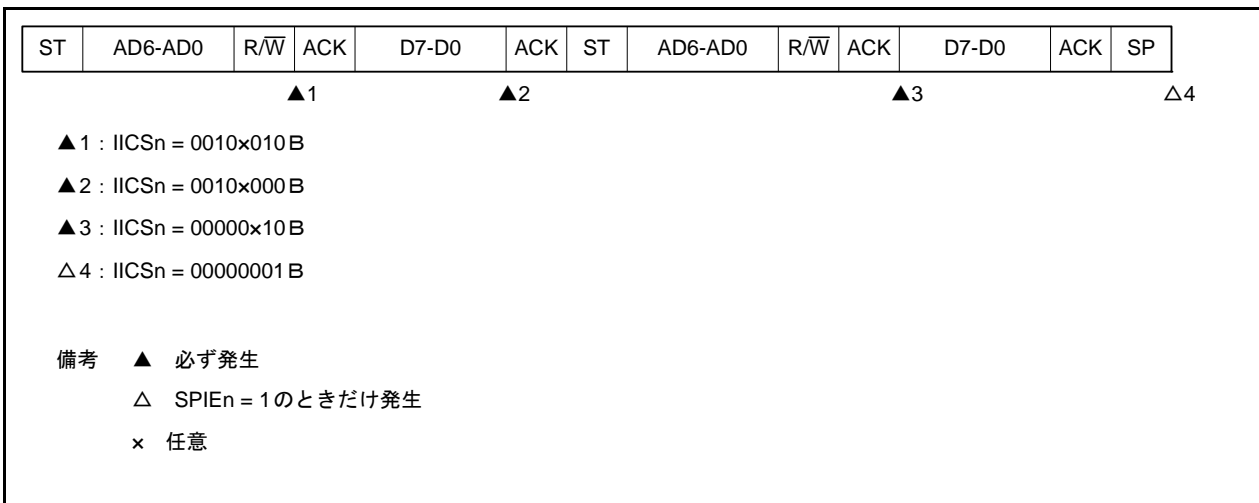
(ii) WTIMn = 1 のとき (リスタート後, 拡張コード受信)



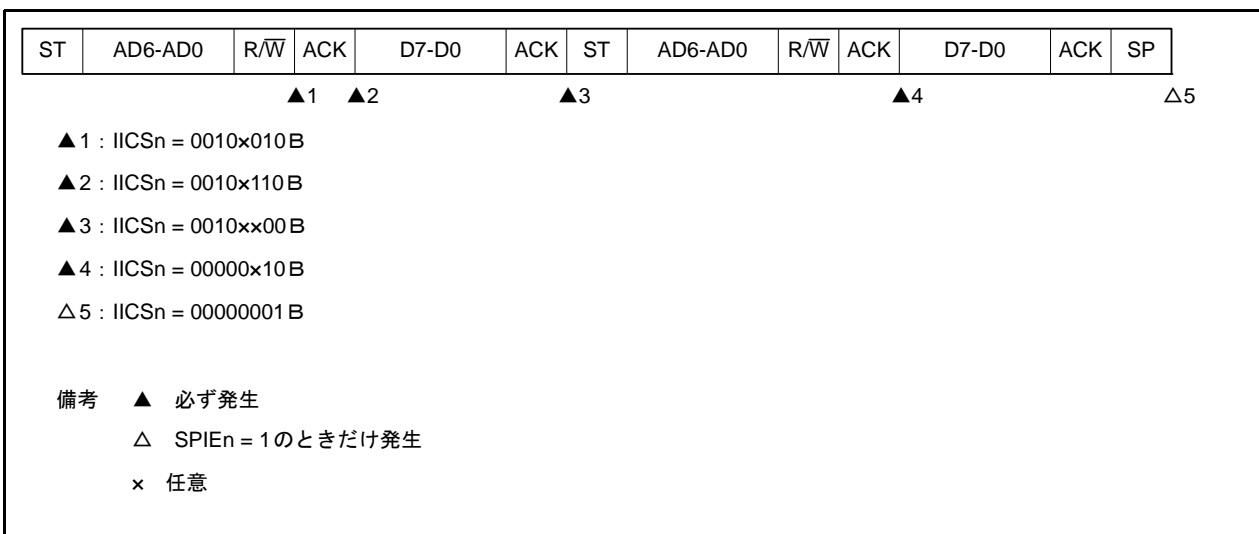
備考 n = 0

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



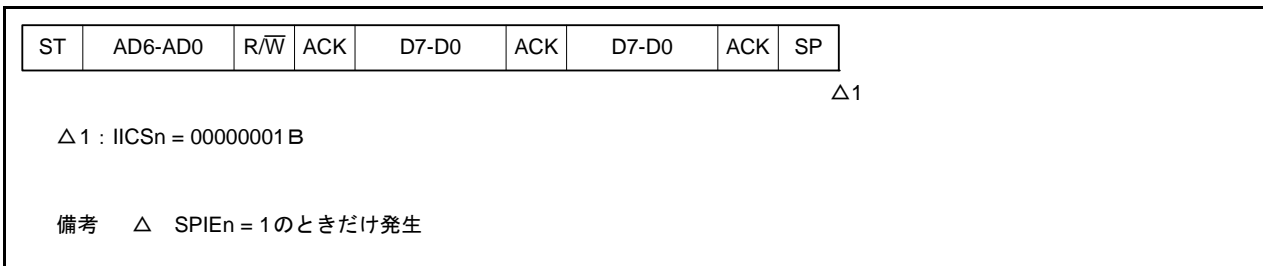
(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



備考 n = 0

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

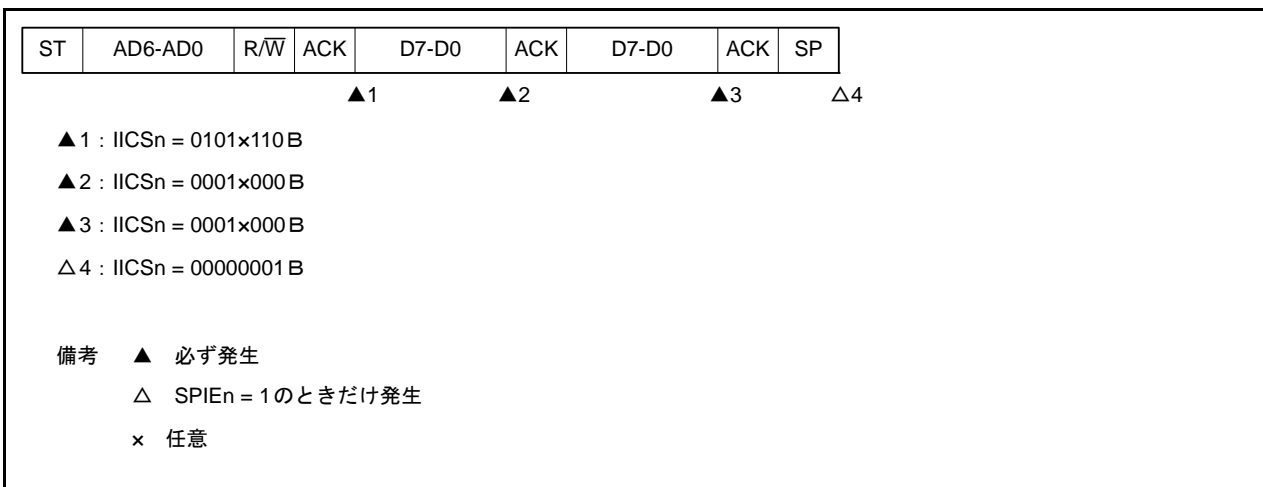


(5) アービトレーション負けの動作(アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

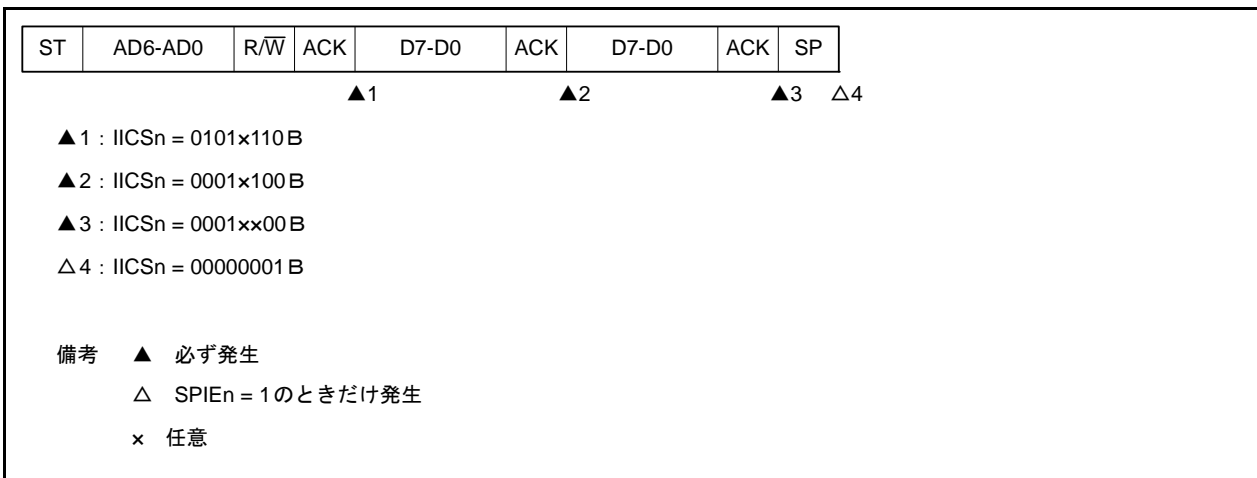
(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



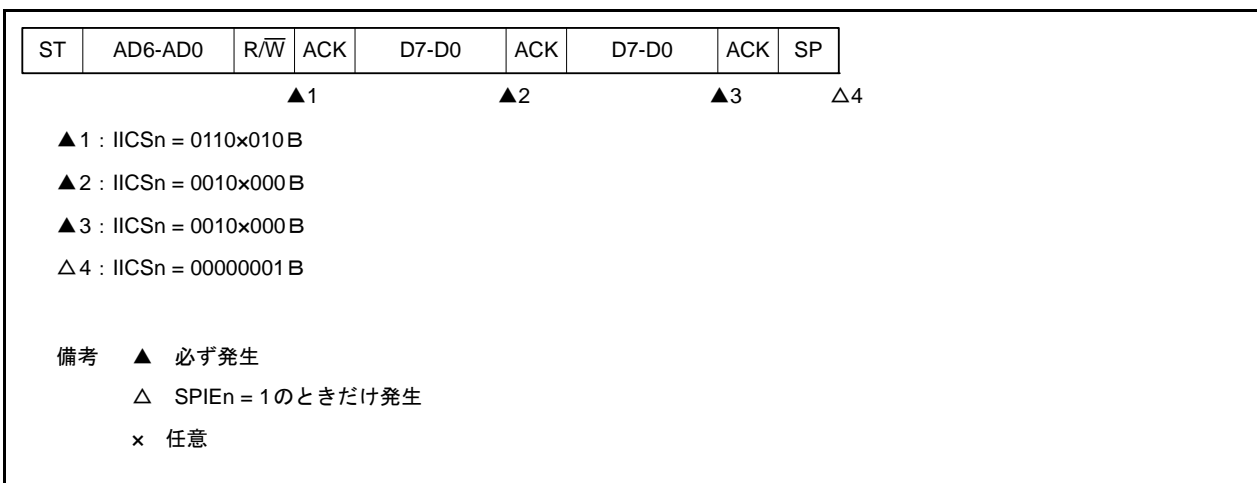
備考 n = 0

(ii) WTIMn = 1 のとき



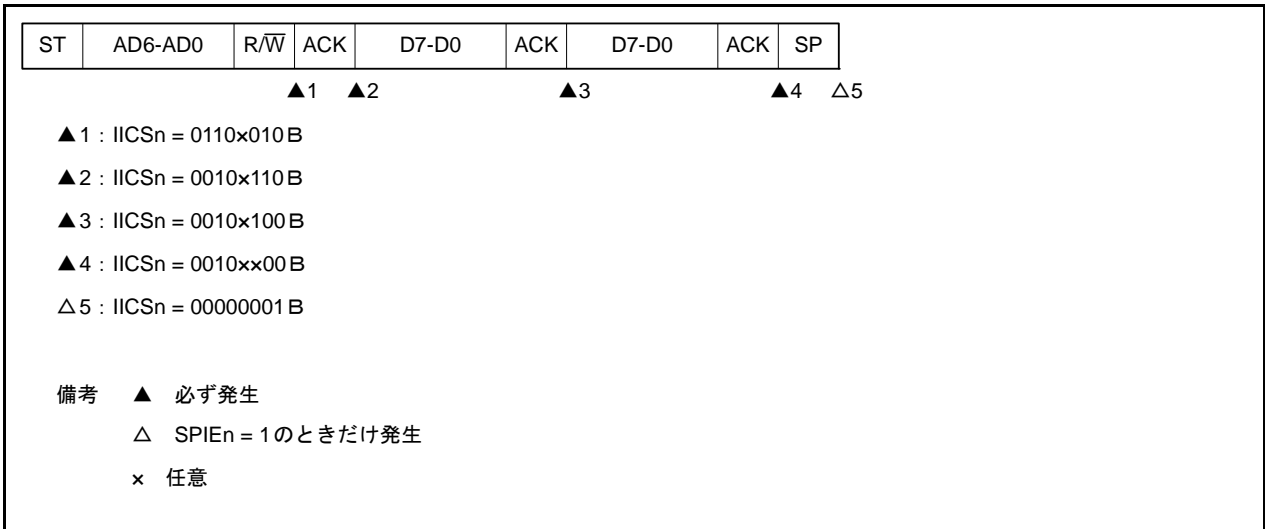
(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



備考 n = 0

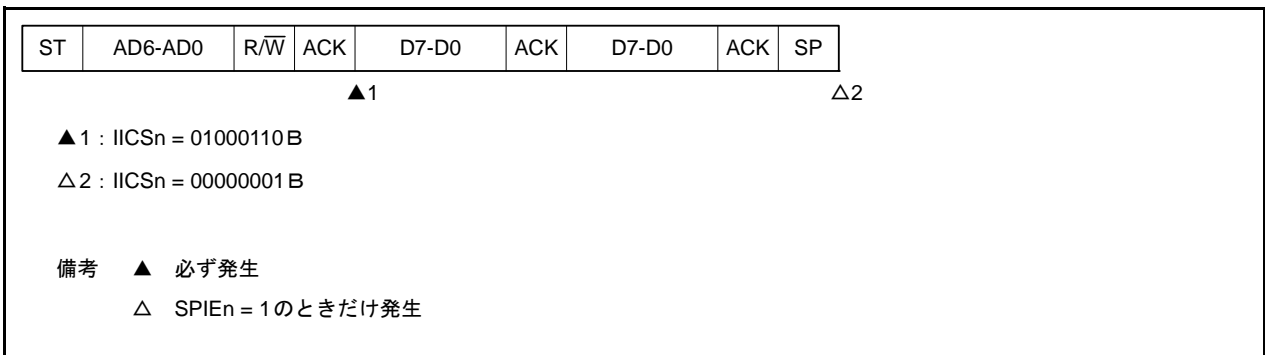
(ii) WTIMn = 1 のとき



(6) アービトレーション負けの動作(アービトレーション負けのあと、不参加)

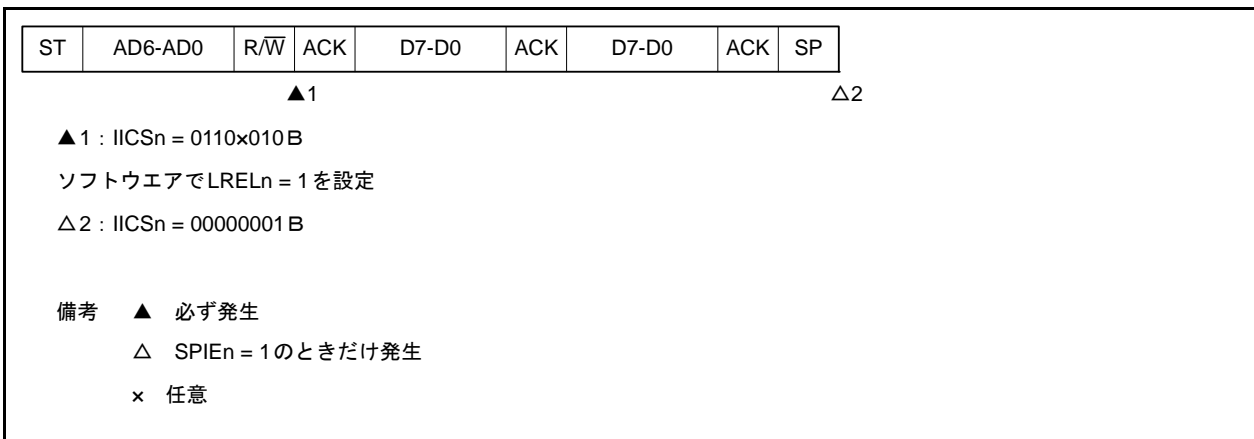
マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIMn = 1 のとき)



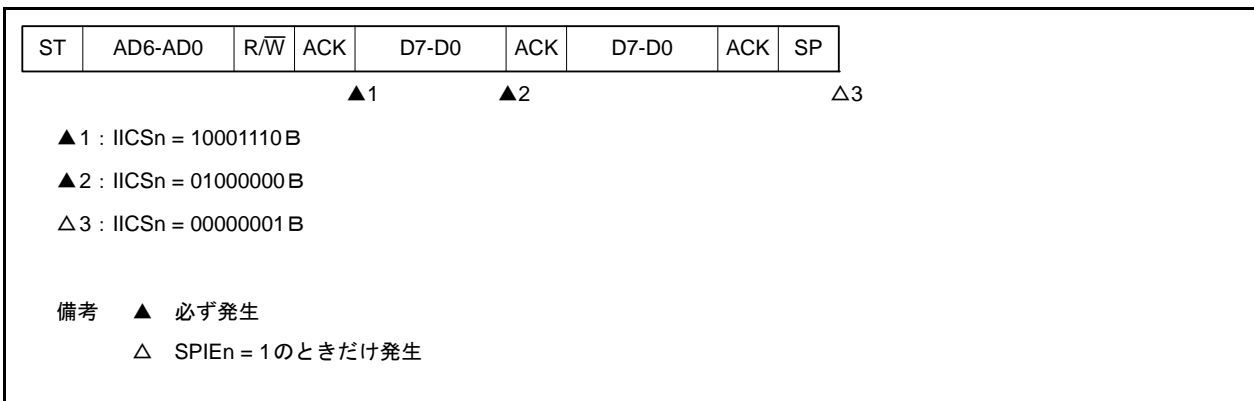
備考 n = 0

(b) 拡張コード送信中にアービトレーションに負けた場合



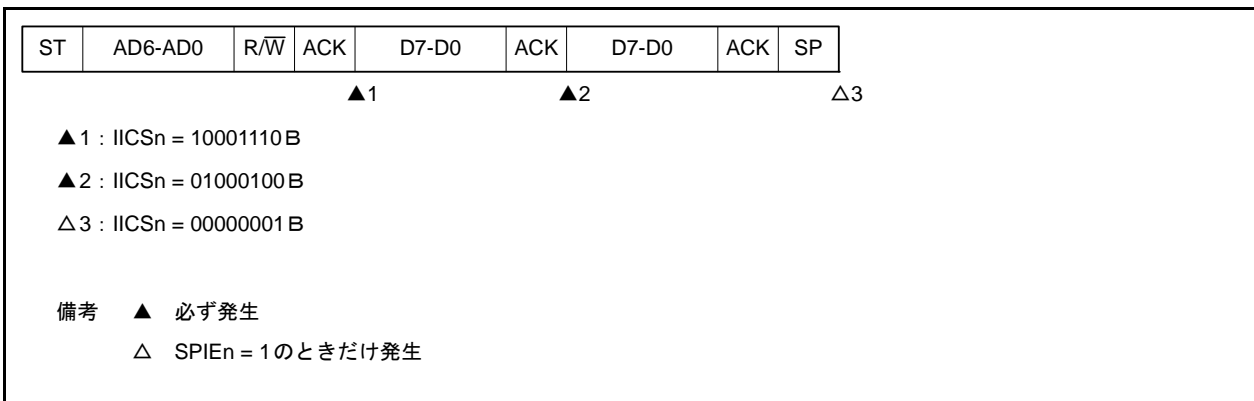
(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



備考 n = 0

(ii) WTIMn = 1 のとき



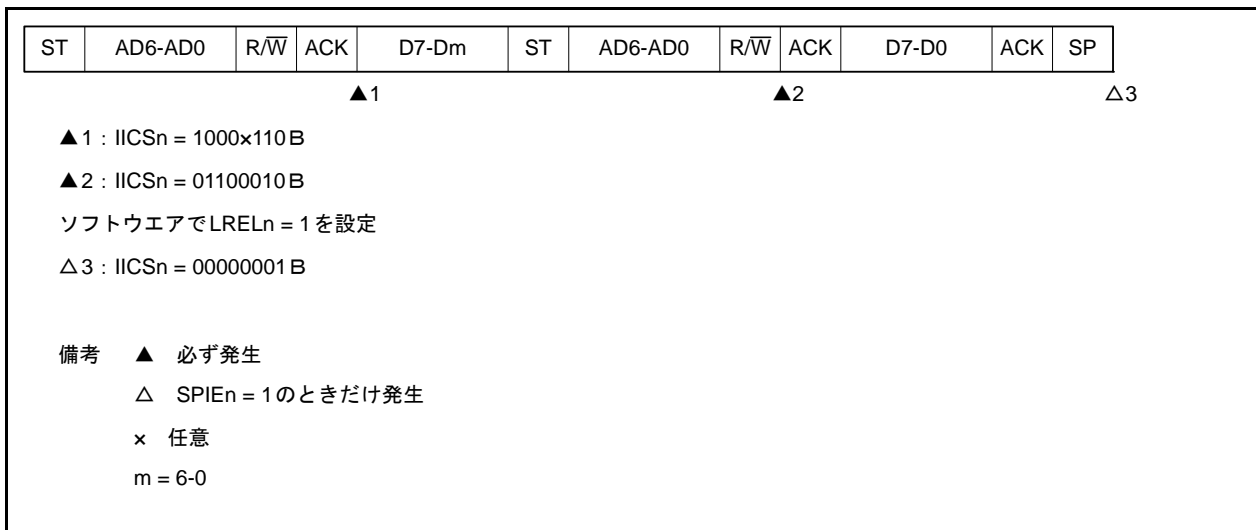
(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外(例 SVAn 不一致)

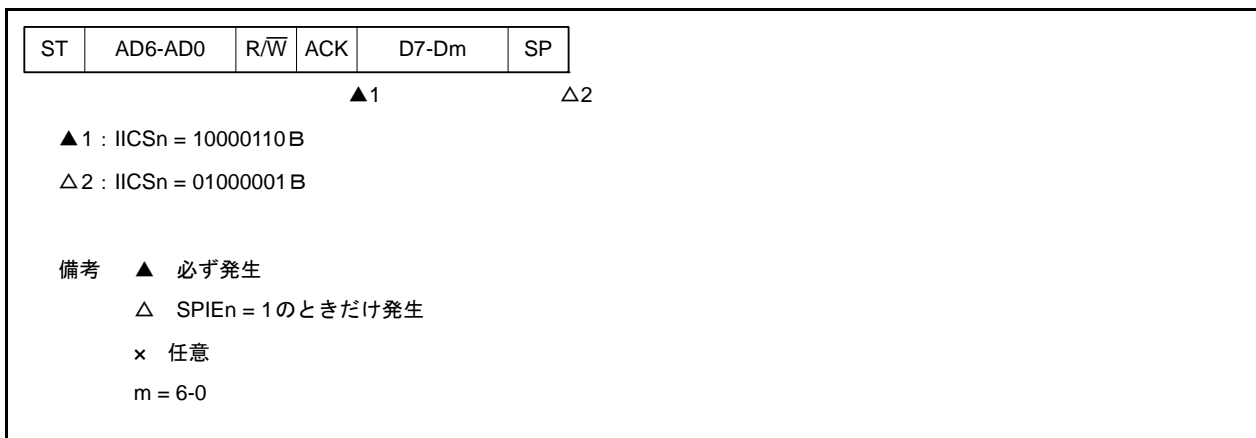


備考 n = 0

(ii) 拡張コード



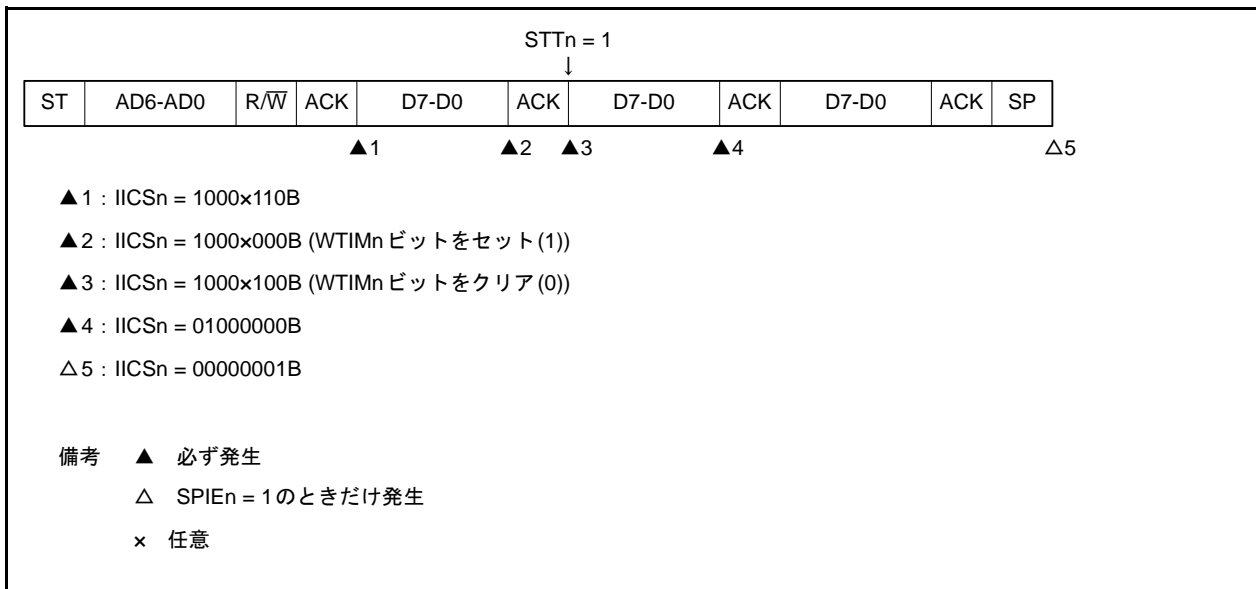
(e) データ転送時にストップ・コンディションで負けた場合



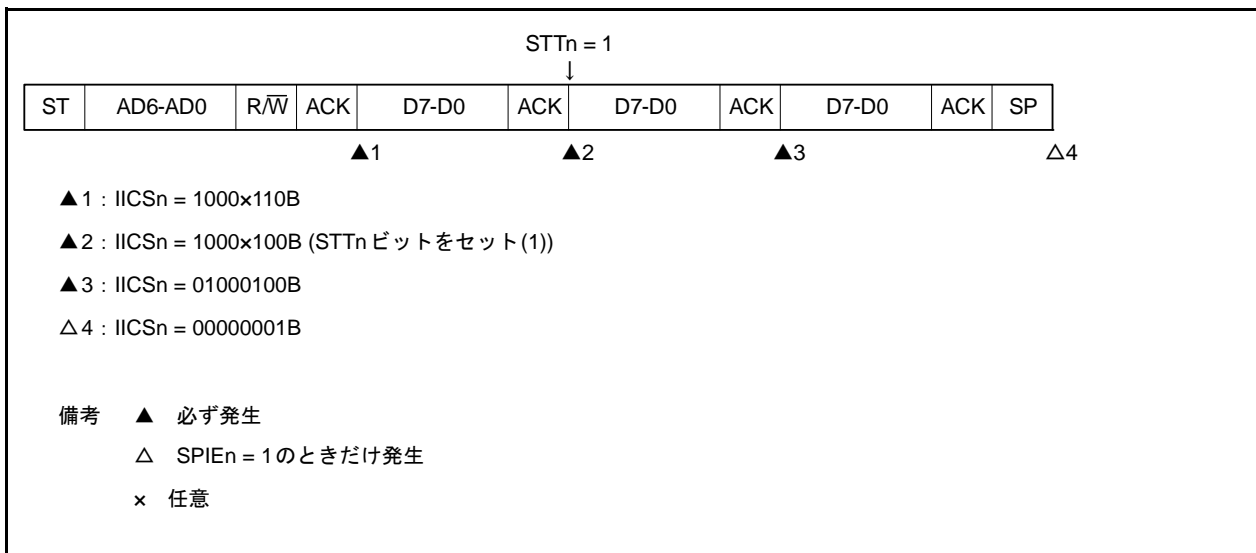
備考 n = 0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



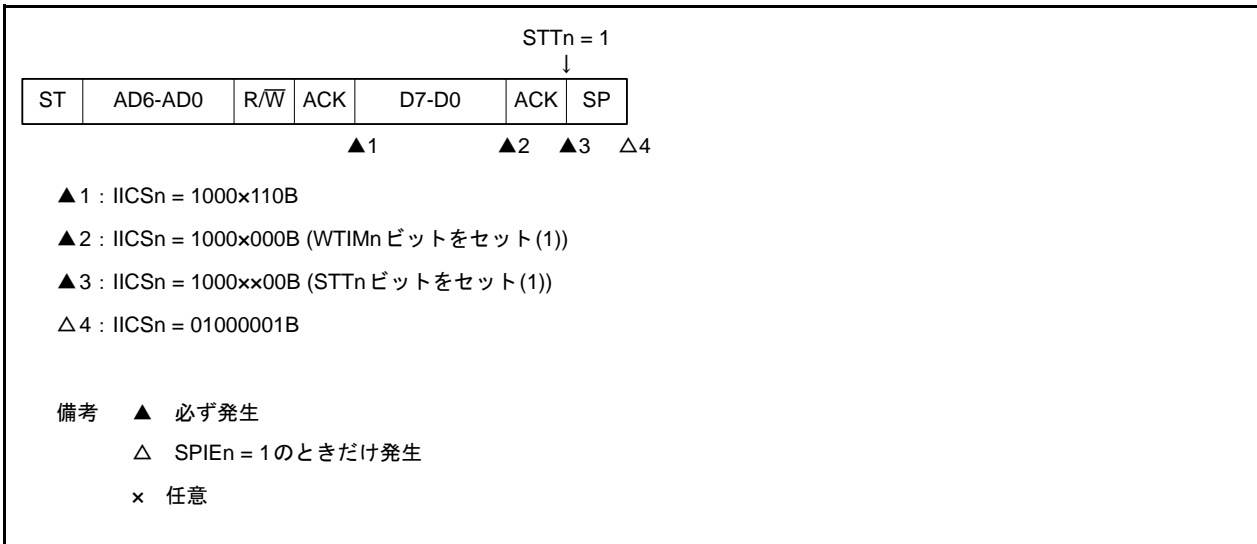
(ii) WTIMn = 1 のとき



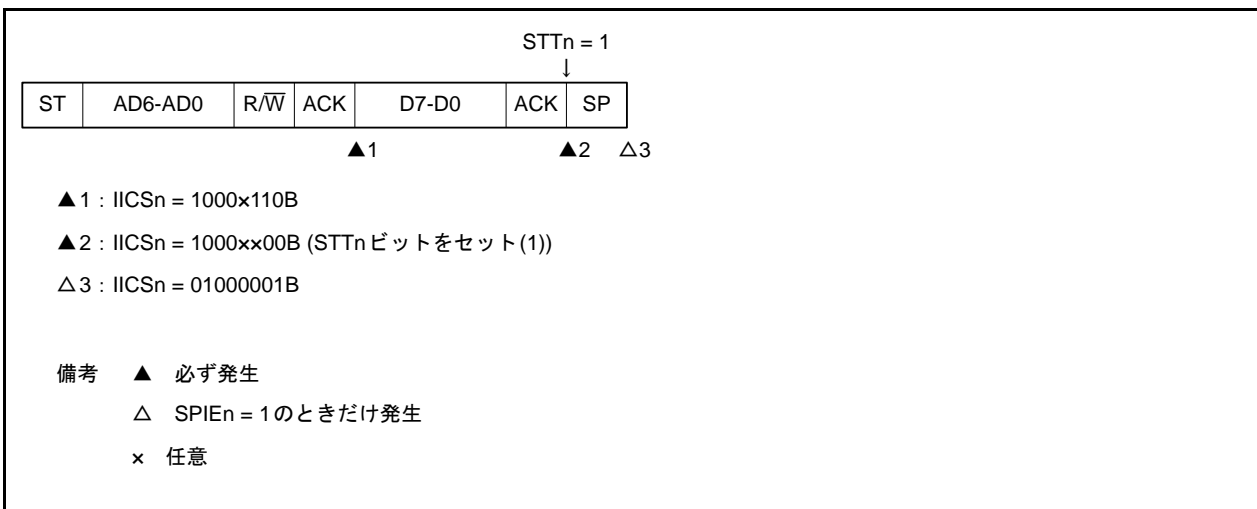
備考 n = 0

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



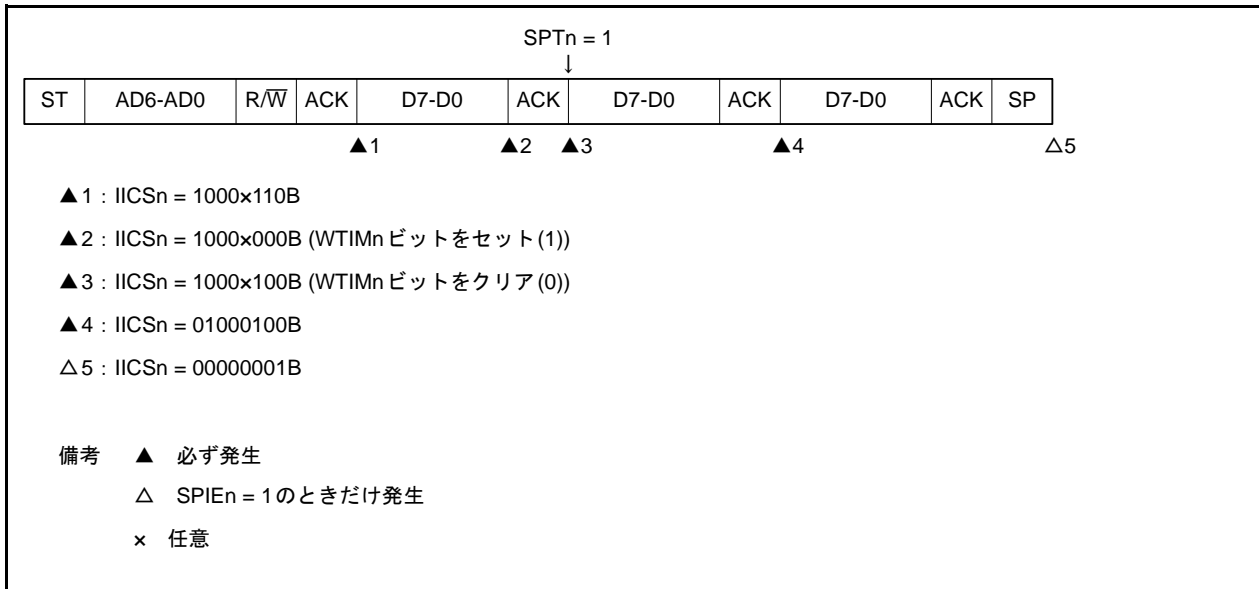
(ii) WTIMn = 1 のとき



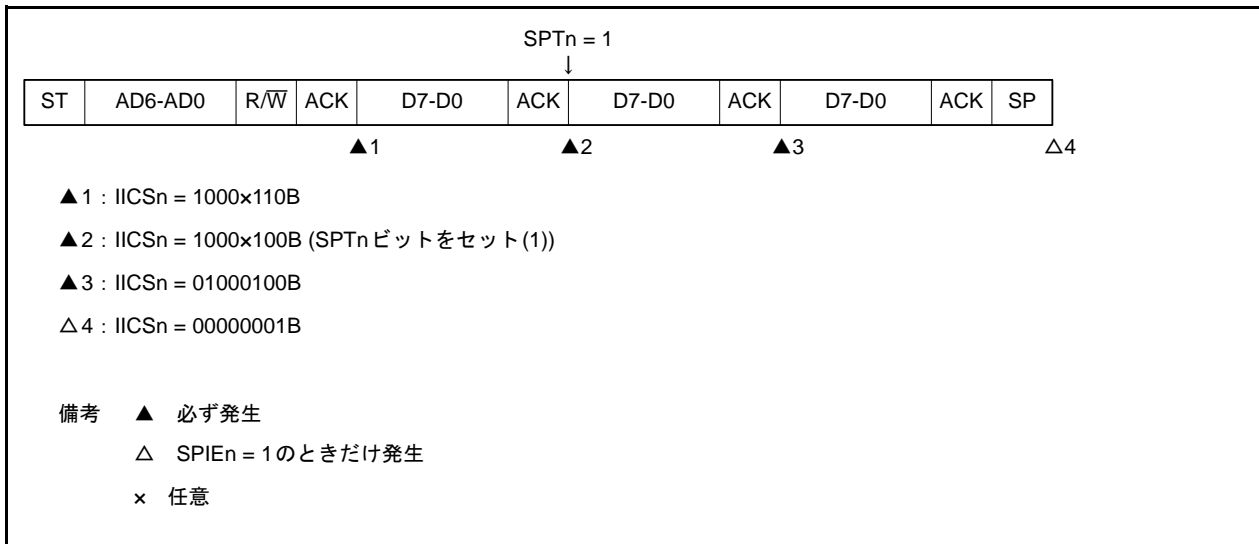
備考 n = 0

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき



備考 n = 0

21.6 タイミング・チャート

I²C バス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示す TRCn ビット (IICA ステータス・レジスタ n (IICSn) のビット 3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図 21 - 39 ~ 図 21 - 45 に示します。

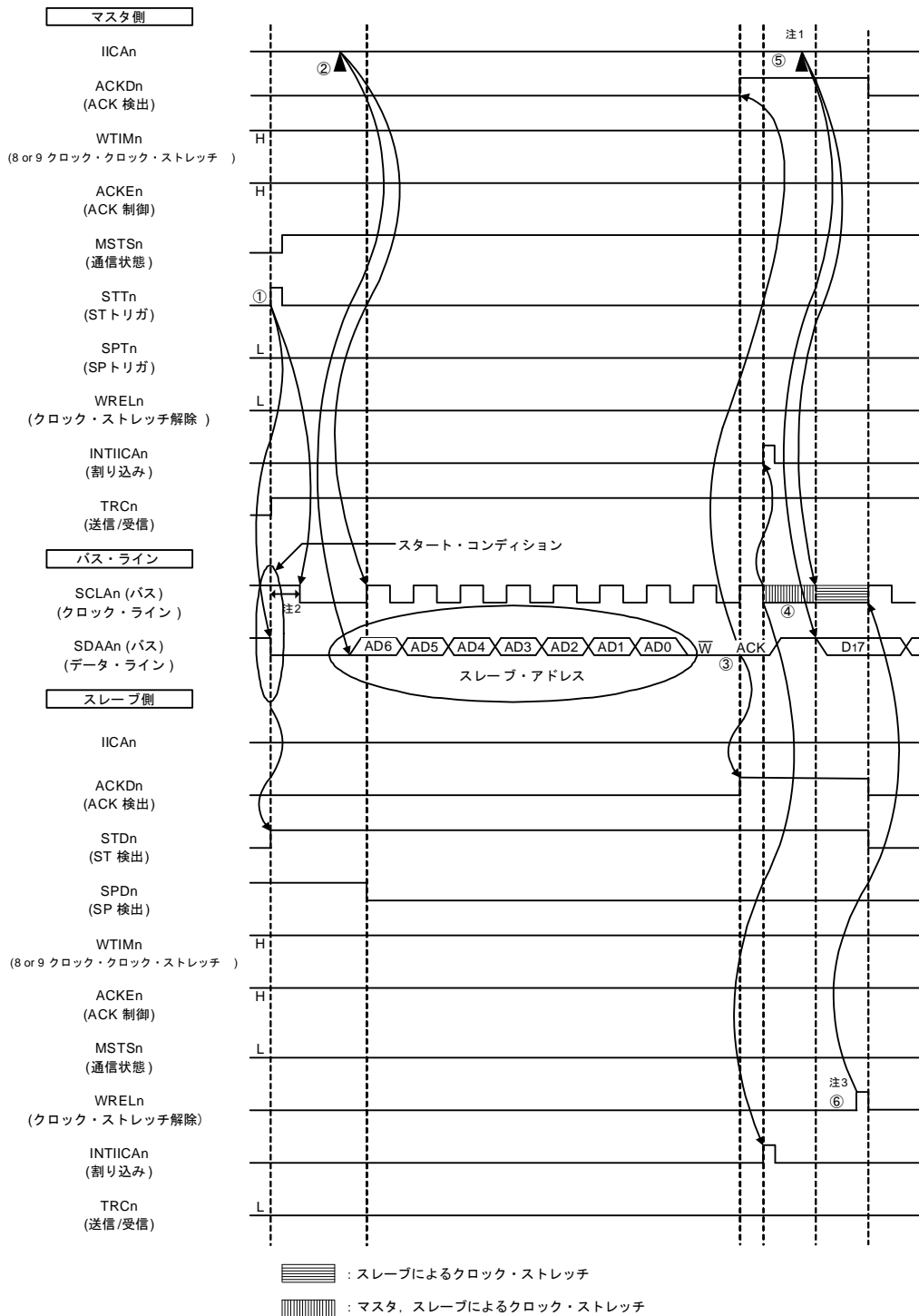
シリアル・クロック (SCLAn) の立ち下がりに同期して IICA シフト・レジスタ n (IICAn) のシフト動作が行われ、送信データが SO ラッチに転送され、SDAAn 端子から MSB ファーストで出力されます。

また、SCLAn の立ち上がりで SDAAn 端子に入力されたデータが IICAn に取り込まれます。

備考 n = 0

図21 - 39 マスタ→スレーブ通信例(マスタ : 9クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (1/4)

(1) スタート・コンディション～アドレス～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図21 - 39 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTS_n = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側で IICA シフト・レジスタ n ($IICAn$) にアドレス + W (送信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス ($SVAn$ の値) が一致した場合注、ハードウェアにより ACK がマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側で ACK が検出 ($ACKDn = 1$) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します注。
- ⑤ マスタ側が $IICAn$ レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 ($WRELn = 1$) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しませんが ($NACK$: $SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

備考1. 図21 - 39～図21 - 41の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図21 - 39 (1) スタート・コンディション～アドレス～データでは手順①～⑥

図21 - 40 (2) アドレス～データ～データでは手順③～⑩

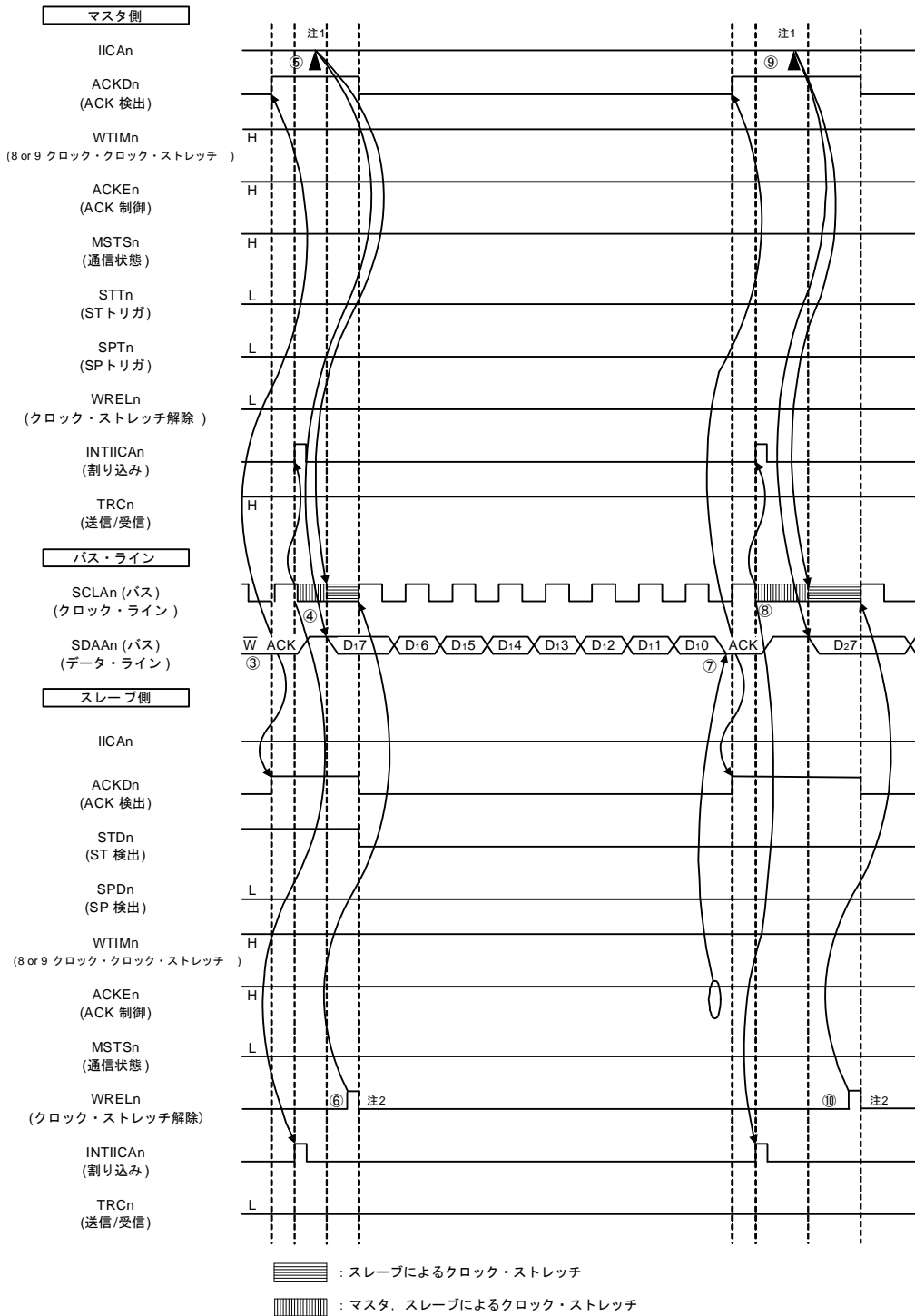
図21 - 41 (3) データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. $n = 0$

図21 - 40 マスタ→スレーブ通信例(マスタ : 9クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (2/4)

(2) アドレス～データ～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図21 - 40 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス(SVAnの値)が一致した場合注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み(INTIICAn : アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn : アドレス一致割り込み)が発生します注。
- ⑤ マスタ側がIICAnシフト・レジスタn(IICAn)に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑨ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK : SDAAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図21 - 39～図21 - 41の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図21 - 39 (1)スタート・コンディション～アドレス～データでは手順①～⑥

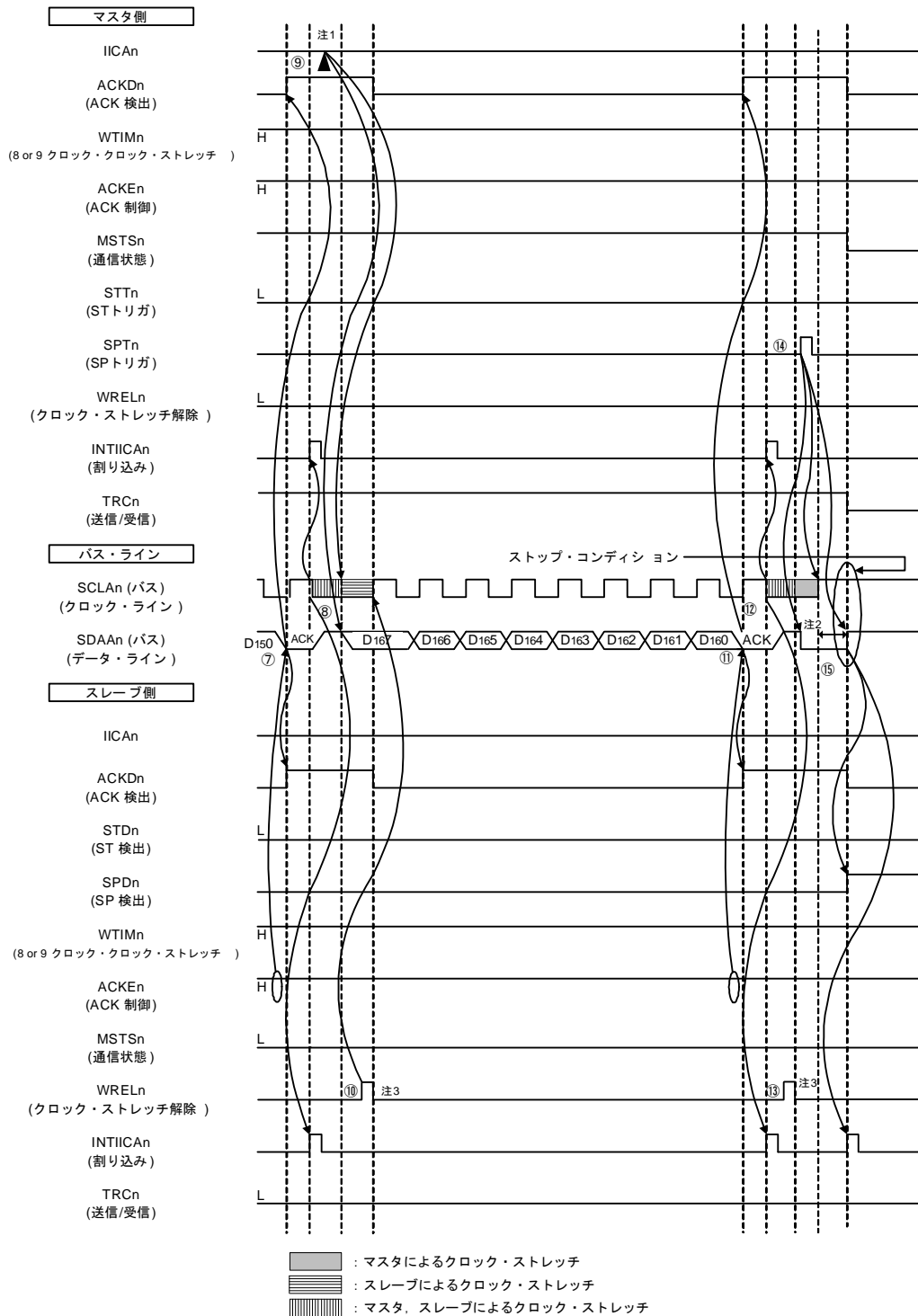
図21 - 40 (2)アドレス～データ～データでは手順③～⑩

図21 - 41 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0

図21 - 41 マスタ→スレーブ通信例(マスタ : 9クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (3/4)
 (3) データ～データ～ストップ・コンディション



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図21 - 41 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑨ マスタ側がIICAシフト・レジスタn(IICAn)に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側(ACKEn = 1)のハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑫ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除(WRELn = 1)します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット(SPTn = 1)すると、バス・データ・ラインがクリア(SDAAn = 0)され、バス・クロック・ラインがセット(SCLAn = 1)され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット(SDAAn = 1)されることでストップ・コンディション(SCLAn = 1でSDAAn = 0→1)が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み(INTIICAn : ストップ・コンディション割り込み)が発生します。

備考1. 図21 - 39～図21 - 41の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図21 - 39 (1)スタート・コンディション～アドレス～データでは手順①～⑥

図21 - 40 (2)アドレス～データ～データでは手順③～⑩

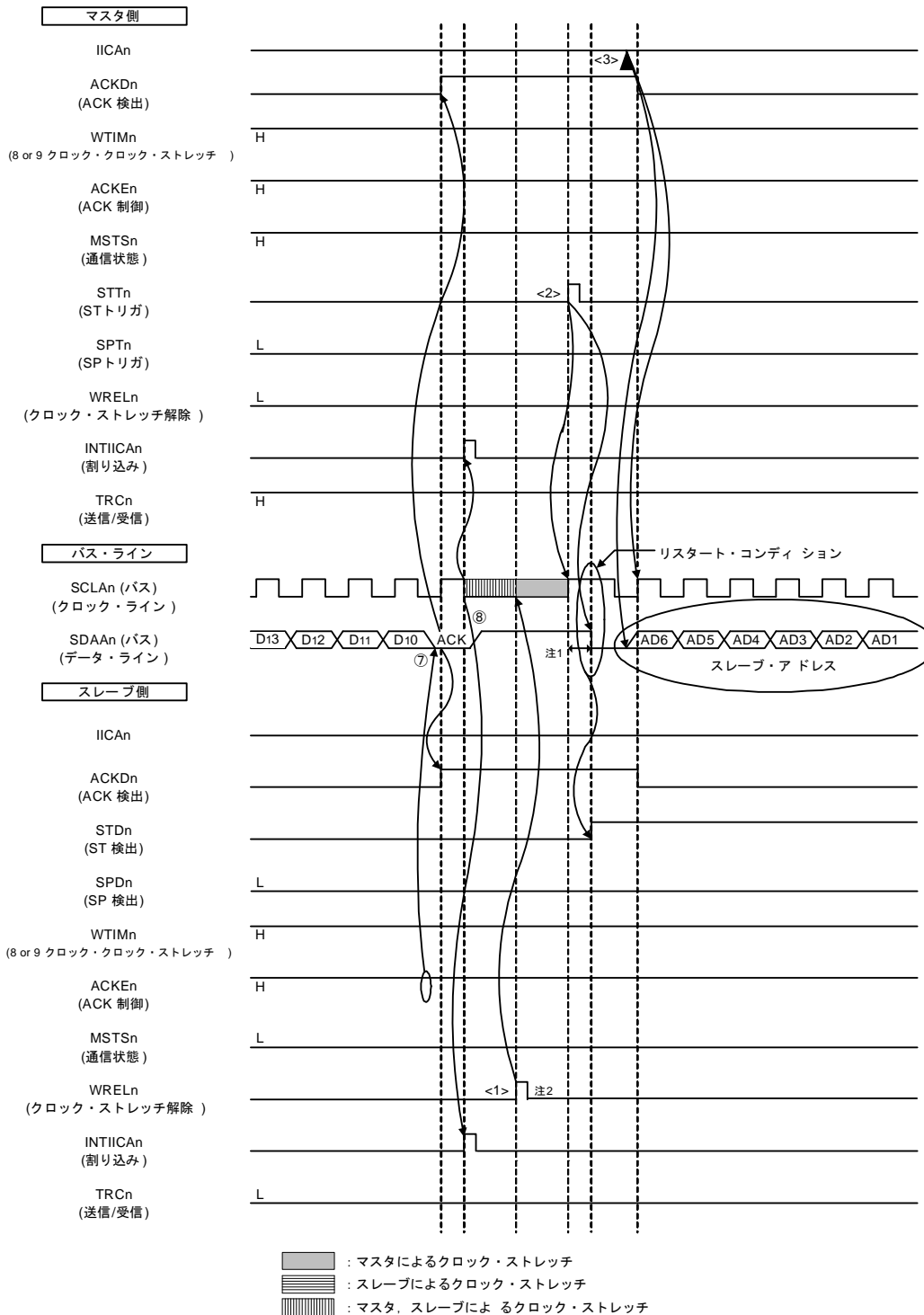
図21 - 41 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0

図21 - 42 マスタ→スレーブ通信例(マスタ : 9クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (4/4)

(4) データ～リスタート・コンディション～アドレス



注1. リスタート・コンディションの発行後、SCLAn 端子信号が立ち上がってからスタート・コンディションが生成される時間は、標準モード設定時は4.7 μs以上、ファースト・モード設定時は0.6 μs以上です。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

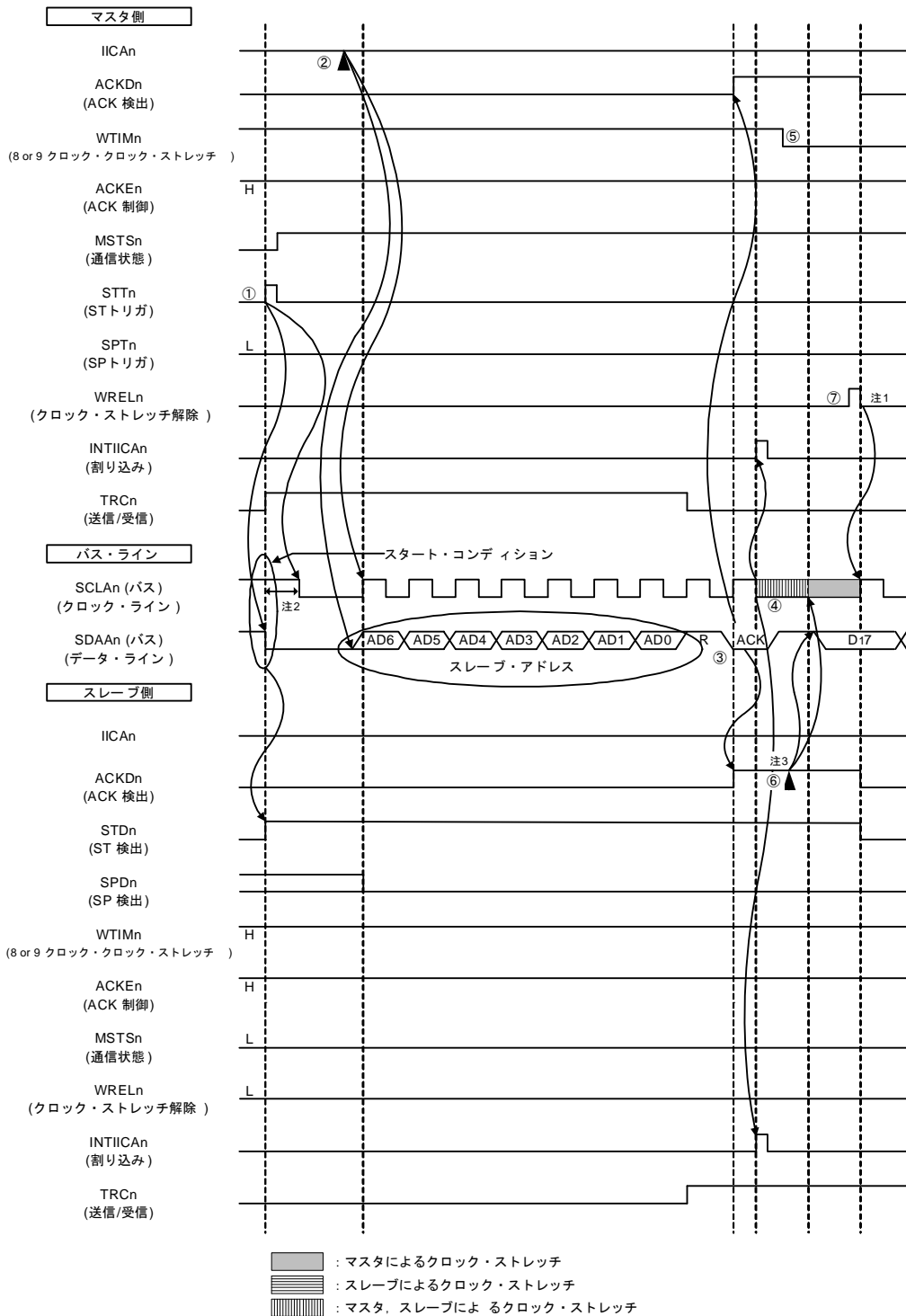
備考 n = 0

図 21 - 42 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦, ⑧の動作後, <1>～<3>の動作を行います。それにより, 手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後, スレーブ側は $ACKEn = 1$ なのでハードウェアにより ACK がマスタ側へ送信され, 9 クロック目の立ち上がり時に, マスタ側で ACK が検出 ($ACKDn = 1$) されます。
- ⑧ 9 クロック目の立ち下がり時, マスタ側とスレーブ側によるクロック・ストレッチ ($SCLAn = 0$) がかかり, マスタ側, スレーブ側で割り込み (INTIICAn: 転送完了割り込み) が発生します。
 - <1> スレーブ側が受信データを読み出して, クロック・ストレッチを解除 ($WRELn = 1$) します。
 - <2> マスタ側で再度スタート・コンディション・トリガがセット ($STTn = 1$) されると, バス・クロック・ラインが立ち上がり ($SCLAn = 1$), リスタート・コンディション・セットアップ時間後バス・データ・ライン ($SDAAn = 0$) が立ち下がり, スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり ($SCLAn = 0$), 通信準備が完了となります。
 - <3> マスタ側が IICA シフト・レジスタ n (IICAn) にアドレス + R/W (送信) を書き込むと, スレーブ・アドレスが送信されます。

備考 n = 0

図21 - 43 スレーブ→マスタ通信例(マスタ : 8クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (1/3)
 (1) スタート・コンディション~アドレス~データ



- 注1. マスタ側での受信時クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図21 - 43 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTS_n = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$) にアドレス + R (受信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA_n の値) が一致した場合注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 ($ACKDn = 1$) されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します注。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に ($WTIMn = 0$) に変更します。
- ⑥ スレーブ側が $IICAn$ レジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 ($WRELn = 1$) して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが ($NACK$: $SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

備考1. 図21 - 43～図21 - 45の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図21 - 43 (1) スタート・コンディション～アドレス～データでは手順①～⑦

図21 - 44 (2) アドレス～データ～データでは手順③～⑫

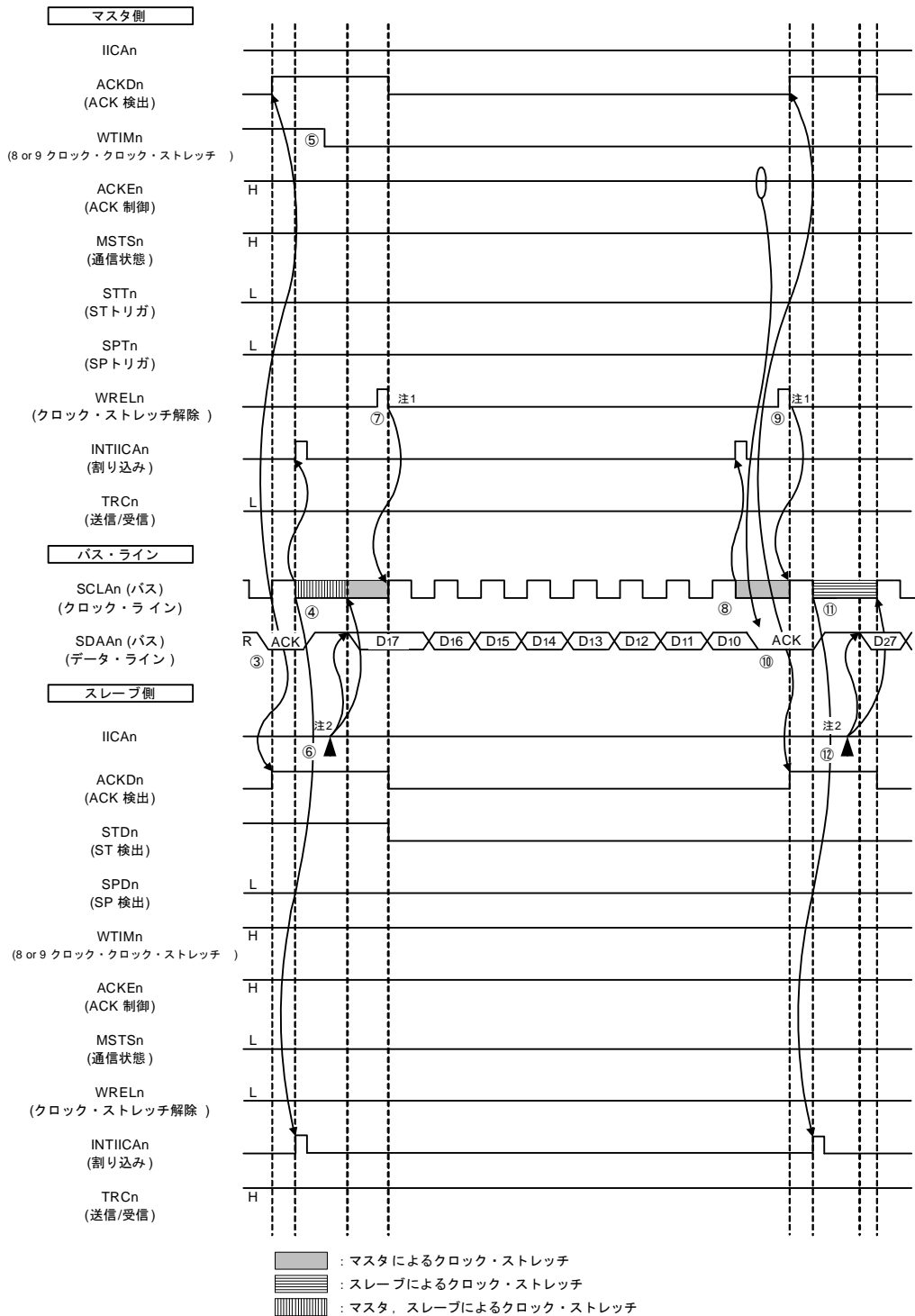
図21 - 45 (3) データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

備考2. $n = 0$

図21 - 44 スレーブ→マスタ通信例(マスタ : 8クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (2/3)

(2) アドレス~データ~データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図21 - 44 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がりで、マスタ側の割り込み(INTIICAn : アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn : アドレス一致割り込み)が発生します注。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目に(WTIMn = 0)に変更します。
- ⑥ スレーブ側がIICAシフト・レジスタn(IICAn)に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除(WRELn = 1)して、スレーブからのデータ転送を開始します。
- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側の割り込み(INTIICAn : 転送完了割り込み)が発生し、マスタ側ACKEn = 1なのでハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除(WRELn = 1)します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出(ACKDn = 1)されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、スレーブ側は割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑫ スレーブ側がIICAnレジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK : SDAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図21 - 43～図21 - 45の①～⑫は、I²Cバスによるデータ通信の一連の操作手順です。

図21 - 43 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図21 - 44 (2)アドレス～データ～データでは手順③～⑫

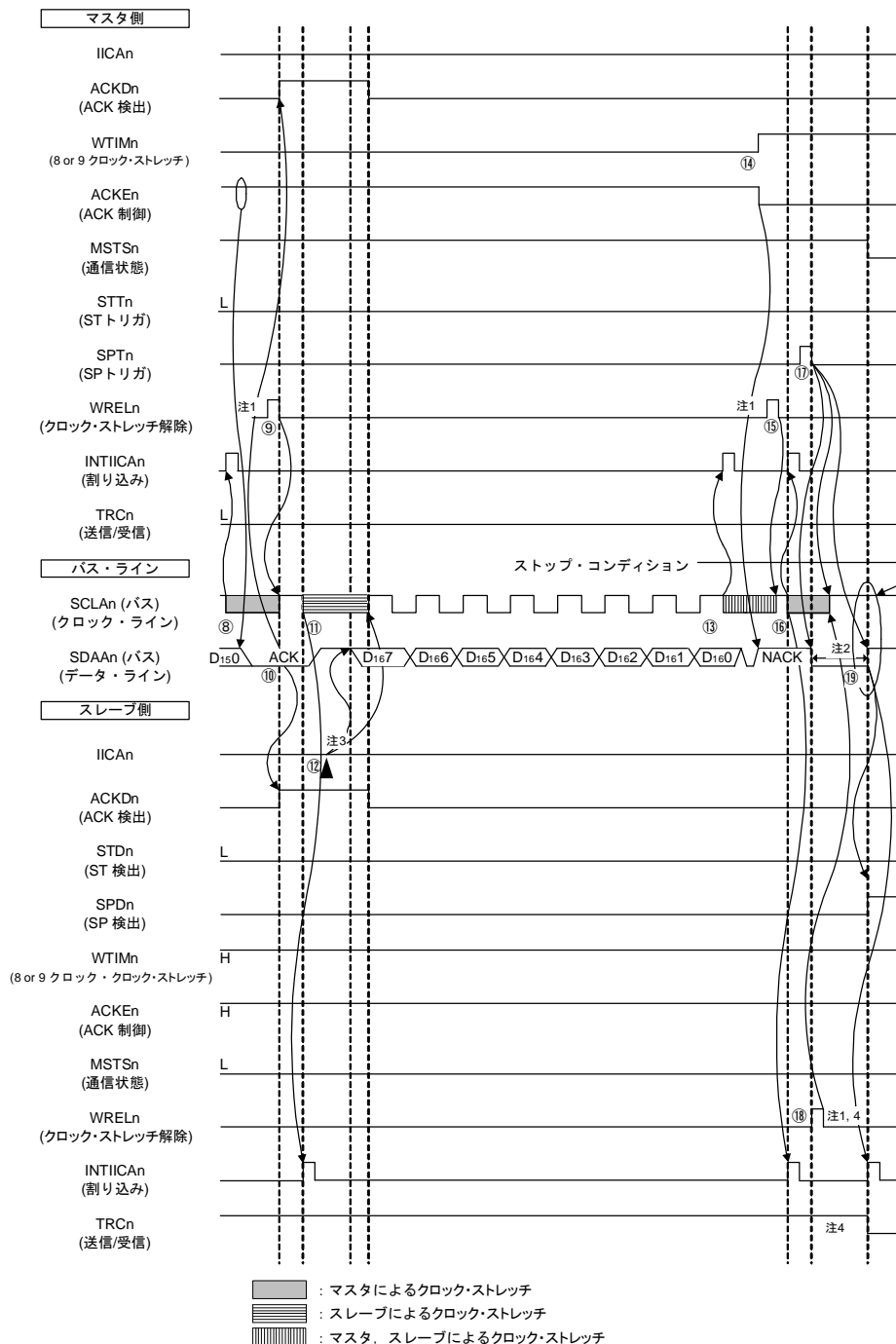
図21 - 45 (3)データ～データ～ストップ・コンディションでは手順⑧～⑫

について説明しています。

備考2. n = 0

図21 - 45 スレーブ→マスタ通信例(マスタ : 8→9クロック, スレーブ : 9クロックでクロック・ストレッチ選択時)
(3/3)

(3) データ~データ~ストップ・コンディション



- 注1. クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
 - 注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
 - 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
 - 注4. スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnビットはクリアされます。
- 備考 n = 0

図21 - 45 (3) データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側の割り込み(INTIICAn : 転送完了割り込み)が発生し、マスタ側はACKEn = 0なので、ハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除(WRELn = 1)します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出(ACKDn = 1)されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、スレーブ側は割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑫ スレーブ側がIICAシフト・レジスタn (IICAn)に送信データを書き込むと、スレーブ側によるウェイトが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み(INTIICAn : 転送完了割り込み)が発生し、マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかります。ACK制御(ACKEn = 1)されているので、この段階でのバス・データ・ラインはロウ・レベル(SDAAn = 0)となります。
- ⑭ マスタ側はNACK応答に設定(ACKEn = 0)し、クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ(WTIMn = 1)に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除(WRELn = 1)すると、スレーブ側は9クロック目の立ち上がりでNACKを検出(ACKDn = 0)します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑰ マスタ側でストップ・コンディション発行(SPTn = 1)すると、バス・データ・ラインがクリア(SDAAn = 0)され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット(SCLAn = 1)されるまで待機します。
- ⑱ スレーブ側はNACKを確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除(WRELn = 1)します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット(SCLAn = 1)されます。
- ⑲ マスタ側はバス・クロック・ラインがセット(SCLAn = 1)されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット(SDAAn = 1)してストップ・コンディション(SCLAn = 1でSDAAn = 0→1)を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み(INTIICAn : ストップ・コンディション割り込み)が発生します。

備考1. 図21 - 43～図21 - 45の①～⑲は、I²Cバスによるデータ通信の一連の操作手順です。

図21 - 43 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図21 - 44 (2)アドレス～データ～データでは手順③～⑫

図21 - 45 (3)データ～データ～ストップ・コンディションでは手順⑧～⑲

について説明しています。

備考2. n = 0

第22章 シリアル・インタフェースUARTMG (R5F11Rのみ)

22.1 概要

シリアル・インタフェース (UARTMG n , $n=0$) には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

(2) UARTモード

連続送信機能対応のUARTモードです。機能の概要を次に示します。

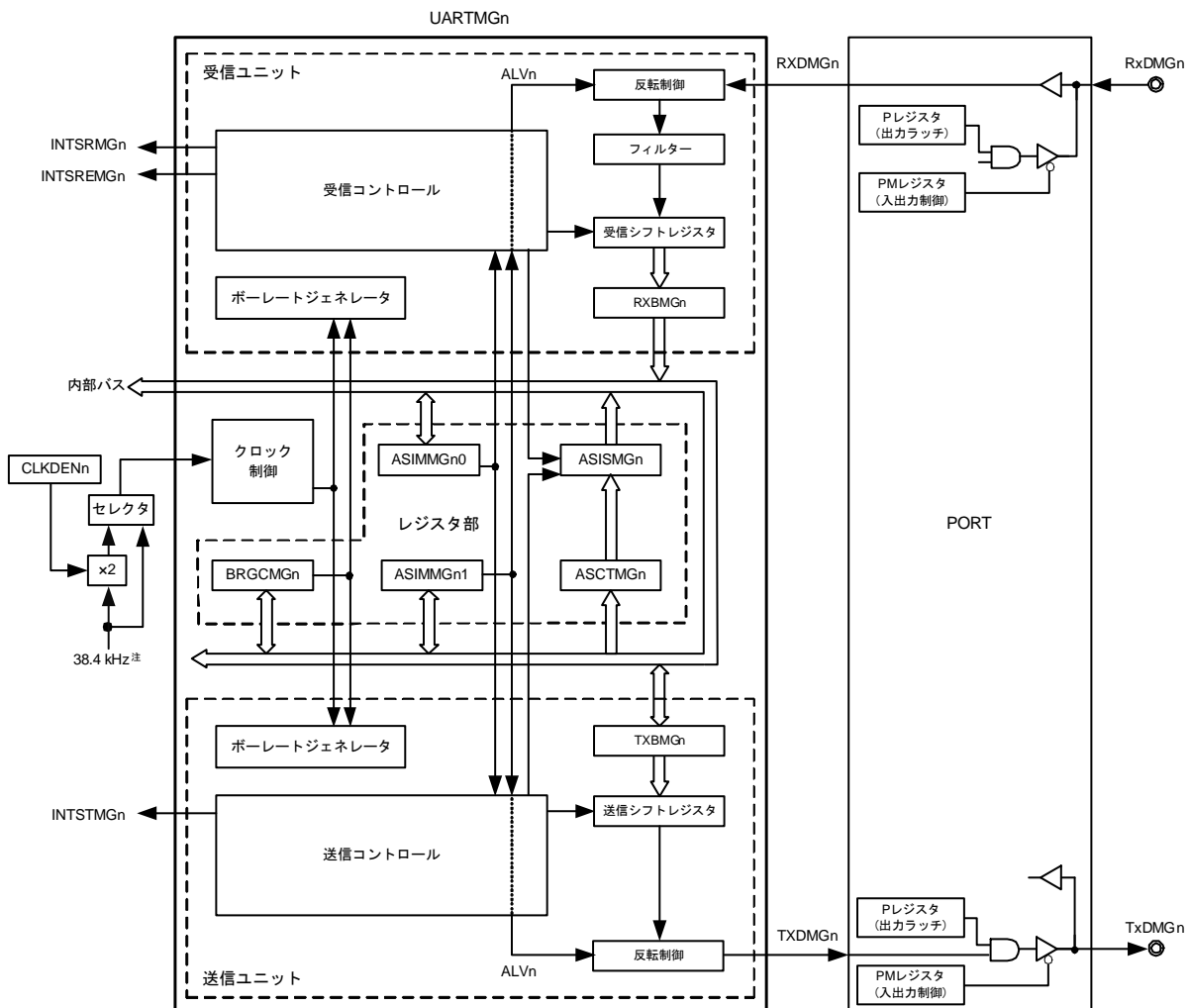
UARTMG n は非同期通信です。以下に機能概要を示します。

- 最大転送速度：9600 bps (クロックダブラ使用時最大19200 bps)
- 送受信は2端子構成
 - TxDMG n ：送信データ出力端子
 - RxDMG n ：受信データ入力端子
- 転送データのキャラクタ長は、5ビット/7ビット/8ビット可変
- 専用の8ビット・ポー・レート・ジェネレータ内蔵で任意のポー・レートの設定が可能
- 送信動作と受信動作は独立して動作可能 (全二重動作)
- MSB/LSB ファースト転送選択可能
- 通信論理レベル反転制御が可能

備考 n ：ユニット番号 ($n=0$)

図22 - 1にUARTMGnのブロック図を、表22 - 1にUARTMGnの端子構成を示します。

図22 - 1 UARTMGnのブロック図



注 必ずサブシステム・クロックを選択(WUTMMCK0ビット=0)してください。

表22 - 1 UARTMGnの端子構成 (n = 0)

端子名	入出力	機能
RxDMGn	入力	シリアル・データ入力信号
TxDMGn	出力	シリアル・データ出力信号

22.2 レジスタの説明

表22-2にUARTMGnで使用するレジスタ一覧を示します。

表22-2 レジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセス・サイズ
周辺イネーブル・レジスタ2	PER2	00H	F00FDH	8
クロックダブラ制御レジスタ	CLKDCTL	00H	F02CCH	8
送信バッファレジスタ0	TXBMG0	FFH	F0280H	8
受信バッファレジスタ0	RXBMG0	FFH	F0281H	8
動作モード設定レジスタ00	ASIMMG00	01H	F0282H	8
動作モード設定レジスタ01	ASIMMG01	1AH	F0283H	8
ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGCMG0	FFH	F0284H	8
ステータス・レジスタ0	ASISMG0	00H	F0285H	8
ステータス・クリア・トリガ・レジスタ0	ASCTMG0	00H	F0286H	8

備考 UARTMGnでは上記のレジスタのほか、次のレジスタを使用します。

- ポート・モード・レジスタ (PM1) (第4章 ポート機能参照)
- ポート・レジスタ (P1) (第4章 ポート機能参照)

22.2.1 周辺イネーブル・レジスタ2 (PER2)

PER2は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

UARTMG0を使用するときは、必ずビット4 (UARTMG0EN) を1に設定してください。

PER2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	0	UARTMG0EN	SMOTDEN	EXSDEN	TRJ1EN	TRJ0EN

UARTMGnEN	シリアル・インタフェースUARTMGn (n = 0) の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースUARTMGnで使用するSFRへのライト不可 ・シリアル・インタフェースUARTMGnは動作不可
1	入カクロック供給 ・シリアル・インタフェースUARTMGnで使用するSFRへのリード/ライト可 ・シリアル・インタフェースUARTMGnは動作可

注意1. UARTMG0の設定をする際には、必ず最初にUARTMG0EN = 1の設定を行ってください。UARTMG0EN = 0の場合は、UARTMG0の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ただし、ポート・モード・レジスタ1 (PM1)、ポート・レジスタ1 (P1)は除く)。

注意2. ビット5-7には必ず0を設定してください。

22.2.2 クロックダブラ制御レジスタ (CLKDCTL)

シリアル・インタフェースUARTMGnの動作クロックの倍速クロックを設定するレジスタです。
 CLKDCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図22-3 クロックダブラ制御レジスタ (CLKDCTL) のフォーマット

アドレス : F02CCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CLKDCTL	0	0	0	0	0	0	0	CLKDEN0
CLKDENn	シリアル・インタフェースUARTMGnの動作クロック選択							
0	fsUB							
1	fsUB x2							

注意1. CLKDENn (n = 0) が1の場合にクロックダブラは動作開始します。

注意2. UARTMGn動作中にCLKDENnビットの操作を禁止します。必ずUARTMGn通信開始前にCLKDENnビットに1を設定してください。

22.2.3 送信バッファレジスタ (TXBMGn) (n = 0)

TXBMGnは8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

図22-4 送信バッファレジスタ (TXBMGn) のフォーマット

アドレス : F0280H(TXBMG0) リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
TXBMGn	—	—	—	—	—	—	—	—
ビット7~0	機能							
—	<p>送信データを設定するバッファレジスタです。 TXBMGnへ送信データを書き込むことにより、送信動作が開始されます。</p> <p>キャラクタ長を8ビット指定した場合 :</p> <ul style="list-style-type: none"> 送信データはTXBMGnのビット7~0が転送されます。 <p>キャラクタ長を7ビット指定した場合 :</p> <ul style="list-style-type: none"> MSB/LSB ファーストどちらの設定でも送信データはTXBMGnのビット6~0が転送され、ビット7は無効になります。 <p>キャラクタ長を5ビット指定した場合 :</p> <ul style="list-style-type: none"> MSB/LSB ファーストどちらの設定でも送信データはTXBMGnのビット4~0が転送され、ビット7~5は無効になります。 							

注意1. ASISMGn レジスタのTXBFMGn = 1のとき、TXBMGnへの書き込みは禁止です。

注意2. TXEMGn = 1に設定したあと、基本クロック (fSUB) の1クロック以上待つてから、TXBMGnに最初の送信データを設定してください。基本クロック1クロック経過前にTXBMGnに最初の送信データを設定した場合でも、正常に送信データの設定は行われますが、送信動作の開始が遅れます。

備考 送信シフト・レジスタ

TXBMGnから転送されたデータをシリアル・データとしてTXDMGn端子から送信します。TXBMGnからのデータ転送は、最初の送信時ではTXBMGnの書き込み直後、連続送信時では1フレーム送信後の送信完了割り込み発生直前のタイミングで転送されます。

送信シフト・レジスタはプログラムで直接操作できません。

22.2.4 受信バッファレジスタ (RXBMGn) (n = 0)

RXBMGnは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

図22-5 受信バッファレジスタ (RXBMGn) のフォーマット

アドレス : F0281H(RXBMG0) リセット時 : FFH R

略号	7	6	5	4	3	2	1	0
RXBMGn	—	—	—	—	—	—	—	—

ビット7~0	機能
—	受信シフト・レジスタで変換したパラレルデータを格納するためのレジスタです。データを1バイト受信することに受信シフト・レジスタから新たな受信データが転送されます。 キャラクタ長を8ビット指定した場合 : ・受信データは本レジスタのビット7~0に転送されます。 キャラクタ長を7ビット指定した場合 : ・MSB/LSBファーストどちらの設定でも受信データは本レジスタのビット6~0に転送され、ビット7は必ず0になります。 キャラクタ長を5ビット指定した場合 : ・MSB/LSBファーストどちらの設定でも受信データは本レジスタのビット4~0に転送され、ビット7~5は必ず0になります。

注 RXDMGn 端子に入力されたシリアル・データをパラレルデータに変換するレジスタです。受信シフト・レジスタはプログラムで直接操作できません。

注意 オーバランエラー (OVEMGn) が発生した場合は、その時の受信データはRXBMGnには格納されません。

22.2.5 動作モード設定レジスタ0 (ASIMMGn0) (n = 0)

シリアル・インタフェースUARTMGnのシリアル通信動作を制御する8ビット・レジスタです。

ASIMMGn0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図22-6 動作モード設定レジスタ0 (ASIMMGn0) のフォーマット

アドレス : F0282H(ASIMMG00) リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
ASIMMGn0	POWERMGn	TXEMGn	RXEMGn	—	—	—	ISSMMGn	ISRMGn
POWERMGn	UART動作許可							
注1								
0	UART動作クロック動作禁止 (ロウ・レベル固定) 内部回路を非同期リセット注2							
1	UART動作クロック動作許可							
TXEMGn	送信許可							
0	送信動作禁止 (送信回路を同期リセットする)							
1	送信動作許可							
RXEMGn	受信許可							
0	受信動作禁止 (受信回路を同期リセットする)							
1	受信動作許可							
ISSMMGn	送信割り込みモード選択							
0	送信転送完了時、INTSTMgn割り込みを発生							
1	送信バッファ空き時にINTSTMgn割り込みを発生 (連続送信用)							
ISRMGn	受信割り込みモード選択							
0	受信エラー発生時、INTSRMGn割り込みを発生 (INTSRMGnは発生しない)							
1	受信エラー発生時、INTSRMGn割り込みを発生 (INTSRMGnは発生しない)							

注1. POWERMGn = 0 にすると、ALVn ビットの値によって TXDMGn 端子の出力レベル、RXDMGn 端子からの入力レベルは、次のようになります。

- ALVn = 0時は、TXDMGn端子の出力はハイ・レベルとなり、RXDMGn端子からの入力はハイ・レベルに固定されます。
- ALVn = 1時は、TXDMGn端子の出力はロウ・レベルとなり、RXDMGn端子からの入力はロウ・レベルに固定されます。

注2. POWERMGn = 0でリセットされるレジスタはASISMGnレジスタ、RXBMGnレジスタです。

(注意は次ページにあります。)

- 注意1. 送信開始するときはPOWERMGn = 1にしてから、TXEMGn = 1としてください。送信停止するときはTXEMGn = 0にしてからPOWERMGn = 0にしてください。
- 注意2. 受信開始するときはPOWERMGn = 1にしてから、RXEMGn = 1としてください。受信停止するときはRXEMGn = 0にしてからPOWERMGn = 0にしてください。
- 注意3. POWERMGn = 1 → RXEMGn = 1を設定する場合、次のようにしてください。
- ALVn = 0時は、RXDMGn端子にHレベルが入力された状態で実施してください。Lレベル状態でPOWERMGn = 1 → RXEMGn = 1と設定すると、その時点より受信が開始します。
 - ALVn = 1時は、RXDMGn端子にLレベルが入力された状態で実施してください。Hレベル状態でPOWERMGn = 1 → RXEMGn = 1と設定すると、その時点より受信が開始します。
- 注意4. TXEMGnとRXEMGnは、サブシステムクロック (fSUB) により同期化されています。再度送信動作、または受信動作を許可する場合はTXEMGn = 0またはRXEMGn = 0に設定してからサブシステムクロックの2クロック以降にTXEMGn = 1またはRXEMGn = 1を設定してください。サブシステムクロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
- 注意5. TXEMGn = 1に設定後、サブシステムクロック (fSUB) 1クロック以上まってから、TXBMGnに送信データを設定してください。
- 注意6. ISRMMGnビットを書き換えるときは、RXEMGn = 0にしてから行ってください。
- 注意7. ビット2, 3, 4には必ず0を設定してください。

22.2.6 動作モード設定レジスタ1 (ASIMMGn1) (n = 0)

シリアル・インタフェースUARTMGnのシリアル通信動作を制御する8ビット・レジスタです。

ASIMMGn1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ASIMMGn1はTXEMGn = 0かつRXEMGn = 0の状態書き換えてください。

リセット信号の発生により、1AHになります。

図22-7 動作モード設定レジスタ1 (ASIMMGn1) のフォーマット

アドレス : F0283H(ASIMMG01) リセット時 : 1AH R/W

略号	7	6	5	4	3	2	1	0
ASIMMGn1	—	PSn1	PSn0	CLn1	CLn0	SLn	DIRn	ALVn
PSn1 ^{注1}	PSn0 ^{注1}	送受信パリティビット指定1, 送受信パリティビット指定0						
		送信動作			受信動作			
0	0	パリティを出力しない			パリティなしで受信			
0	1	0パリティを出力			0パリティとして受信 ^{注4}			
1	0	奇数パリティを出力			奇数パリティとして判定			
1	1	偶数パリティを出力			偶数パリティとして判定			
CLn1 ^{注3}	CLn0 ^{注3}	送受信キャラクタ長指定1, 送受信キャラクタ長指定0						
0	0	データのキャラクタ長 = 5ビット						
0	1	データのキャラクタ長 = 5ビット						
1	0	データのキャラクタ長 = 7ビット						
1	1	データのキャラクタ長 = 8ビット						
SLn ^{注2}	送信ストップビット長指定							
0	ストップビット長 = 1ビット							
1	ストップビット長 = 2ビット							
DIRn ^{注1}	送受信転送順序指定							
0	MSBファースト転送							
1	LSBファースト転送							
ALVn ^{注1}	送受信レベル指定 ^{注5}							
0	正論理 (待機時 = ハイ・レベル, スタートビット = ロウ・レベル, ストップビット = ハイ・レベル)							
1	負論理 (待機時 = ロウ・レベル, スタートビット = ハイ・レベル, ストップビット = ロウ・レベル)							

(注, 注意は次ページにあります。)

- 注1. ALVnビット, DIRnビットおよびPSn0, PSn1ビットはTXEMGn = 0, RXEMGn = 0時 (送受信動作停止時) に書き換えてください。
- 注2. SLnビットはTXEMGn = 0時 (送信動作停止時) に書き換えてください。
- 注3. CLn0ビット/CLn1ビットはTXEMGn = 0, RXEMGn = 0 (送受信動作停止時) に書き換えてください。TXEMGn = 1またはRXEMGn = 1の時に書き換えた場合, 通信データのキャラクタ長は保証できません。
- 注4. 「0パリティとして受信」を設定した場合, パリティ判定を行いません。したがって, PEMGn (ASISMGn レジスタ) はセットされないため, エラー割り込みも発生しません。
- 注5. レベルの反転制御は, 図22 - 1 UARTMGnのブロック図の「反転制御」の部分で行います。
- 注意1. ASIMMGn1レジスタを書き換えるときは, TXEMGnとRXEMGnを両方ともクリア(0)してから行ってください。
- 注意2. 受信は常にストップビット長 = 1として動作するのでSLnビットの設定値の影響は受けません。
- 注意3. ビット7には必ず0を設定してください。

22.2.7 ボー・レート・ジェネレータコントロールレジスタ (BRGCMGn) (n = 0)

シリアル・インタフェースUARTMGnの8ビット・カウンタの分周値を設定するレジスタです。

BRGCMGnは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図22-8 ボー・レート・ジェネレータコントロールレジスタ (BRGCMGn) のフォーマット

アドレス : F0284H(BRGCMG0) リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
BRGCMGn	—	—	—	—	—	—	—	—
ビット7~0	機能							
—	UARTのボー・レート（シリアル転送スピード）を制御する。 設定値の詳細は表22-3を参照							

注意 BRGCMGnはTXEMGn = 0, RXEMGn = 0時（送受信動作停止時）に書き換えてください。

表22-3 BRGCMGnの設定値

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	k	8bitカウンタ出カクロック選択
0	0	0	0	0	0	0	X	X	設定禁止
0	0	0	0	0	0	1	0	2	fsUB/2
0	0	0	0	0	0	1	1	3	fsUB/3
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	fsUB/252
1	1	1	1	1	1	0	1	253	fsUB/253
1	1	1	1	1	1	1	0	254	fsUB/254
1	1	1	1	1	1	1	1	255	fsUB/255

注意 8ビット・カウンタの出カクロックをさらに1/2分周したものが、ボー・レート値になります。

備考1. k : BRGCMGnで設定した値 (k = 2, 3, 4, 5, 6, ..., 255)

備考2. X : 任意

ボー・レートの設定例については22.3.4 (3) (c) ボー・レート設定例を参照ください。

22.2.8 ステータス・レジスタ (ASISMGn) (n = 0)

シリアル・インタフェースUARTMGnの受信終了時のエラー・ステータスおよび送信ステータスを示すレジスタです。3ビットのエラー・フラグ (PEMGn, FEMGn, OVEMGn) と2ビットの送信ステータス・フラグ (TXBFMGn, TXSFMGn) で構成されています。

ASISMGnは、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生により、00Hになります。PEMGn, FEMGn, OVEMGnは、POWERMGn = 0 または RXEMGn = 0により、初期値になります。また、ASCTMGnレジスタへの書き込みによって、それぞれ対応するフラグは初期値になります。TXBFMGn, TXSFMGnはPOWERMGn = 0またはTXEMGn = 0により、初期値になります。

図22-9 ステータス・レジスタ (ASISMGn) のフォーマット

アドレス : F0285H(ASISMG0) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASISMGn	—	—	TXBFMGn	TXSFMGn	—	PEMGn	FEMGn	OVEMGn
TXBFMGn	送信バッファデータフラグ							
—	[1になる条件] ・ TXBMGnにデータを書いたとき (TXBMGnにデータが存在するとき) [0になる条件] ・ POWERMGn = 0またはTXEMGn = 0にしたとき ・ 送信シフト・レジスタにデータを転送したとき							
TXSFMGn	送信シフト・レジスタデータフラグ							
—	[1になる条件] ・ TXBMGnよりデータが転送されたとき (データ送信中のとき) [0になる条件] ・ POWERMGn = 0またはTXEMGn = 0にしたとき ・ 転送完了後に TXBMGnより次のデータ転送がなかったとき							
PEMGn	パリティエラーフラグ							
—	[1になる条件] ・ 受信時にデータのパリティとパリティビットが一致しないとき [0になる条件] ・ POWERMGn = 0またはRXEMGn = 0にしたとき ・ PECTMGnビットへ1を書いたとき							
FEMGn	フレーミングエラーフラグ							
—	[1になる条件] ・ 受信時にストップビットが検出されないとき [0になる条件] ・ POWERMGn = 0またはRXEMGn = 0にしたとき ・ FECTMGnビットへ1を書いたとき							
OVEMGn	オーバランエラーフラグ							
—	[1になる条件] ・ RXBMGn レジスタにセットされた受信データを読み出す前に次の受信動作が完了したとき [0になる条件] ・ POWERMGn = 0またはRXEMGn = 0にしたとき ・ OVECTMGn ビットへ1を書いたとき							

(注意は次ページにあります。)

- 注意1. 連続送信を行う場合は、最初の送信データ（1バイト目）をTXBMGnレジスタに書き込んだあと、必ずTXBFMGnフラグが0であることを確認してから次の送信データ（2バイト目）をTXBMGnレジスタに書き込んでください。TXBFMGnフラグが1のときにTXBMGnレジスタにデータを書き込んだ場合の送信データは保証できません。但し、ISSMMGn = 1に設定し、送信バッファ空き割り込みを使用して連続送信を行う場合は、TXBFMGnフラグの確認は不要です。
- 注意2. 連続送信完了時に送信ユニットを初期化(TXEMGn = 0)する場合は、送信完了割り込み発生後に、必ずTXSFMGnフラグが0であることを確認してから初期化を実行してください。TXSFMGnフラグが1のときに初期化を実行した場合の送信データは保証できません。
- 注意3. PEMGnビットの発生条件は、ASIMMGn1レジスタのPSn1、PSn0ビットの設定値により異なります。
- 注意4. 受信データのストップビットはストップビット長に関係なく最初の1ビットだけをチェックします。
- 注意5. オーバーランエラーが発生した場合、次の受信データはRXBMGnには書き込まれず、データは破棄されます。
- 注意6. ビット7, 6, 3には必ず0を設定してください。

22.2.9 ステータス・クリア・トリガ・レジスタ (ASCTMGn) (n = 0)

シリアル・インタフェースUARTMGnの受信終了時のエラー・ステータスをクリアするトリガを設定するレジスタです。3ビットのエラー・クリア・トリガ・フラグ (PECTMGn, FECTMGn, OVECTMGn) で構成されています。

ASCTMGnは、8ビット・メモリ操作命令または1ビット・メモリ操作命令で書き込みが可能です。

ASISMGnを読み出した場合は、常に全ビット0が読み出されます。

リセット信号の発生により、00Hになります。PECTMGn, FECTMGn, OVECTMGnへ1を書き込むことにより、ASISMGnレジスタのPEMGn, FEMGn, OVEMGnビットがクリアされます。0を書き込んだビットに対応するエラー・フラグはクリアされません。

図22 - 10 ステータス・クリア・トリガ・レジスタ (ASCTMGn) のフォーマット

アドレス : F0286H(ASCTMG0) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ASCTMGn	—	—	—	—	—	PECTMGn	FECTMGn	OVECTMGn
PECTMGn	パリティエラーフラグクリアトリガ							
0	PEMGnフラグをクリアしない (保持)							
1	PEMGnフラグをクリア							
FECTMGn	フレーミングエラーフラグクリアトリガ							
0	FEMGnフラグをクリアしない (保持)							
1	FEMGnフラグをクリア							
OVECTMGn	オーバランエラーフラグクリアトリガ							
0	OVEMGnフラグをクリアしない (保持)							
1	OVEMGnフラグをクリア							

注意1. ASCTMGnをリードしたときは、0がリードされます。

注意2. エラー・フラグのクリア動作は、トリガ・ビットへ1を書き込み後、次の動作クロック (fSUB) の立ち上がりで行われます。したがって、トリガ・ビットへ1を書き込み後すぐにASISMGnレジスタを読み出した場合、対応するエラー・フラグがクリアされていない場合があります。

22.3 動作説明

UARTMGnは、次の2種類のモードがあります。

- 動作停止モード
- UARTモード

22.3.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIMMGn0のビット7, 6, 5 (POWERMGn, TXEMGn, RXEMGn) に0を設定してください。

上記設定ではバス・クロックが停止しません。完全に停止させるためには上記設定後PER2レジスタのUARTMGnENビットに0を設定してください。

備考 n: ユニット番号 (n = 0)

22.3.2 UARTモード

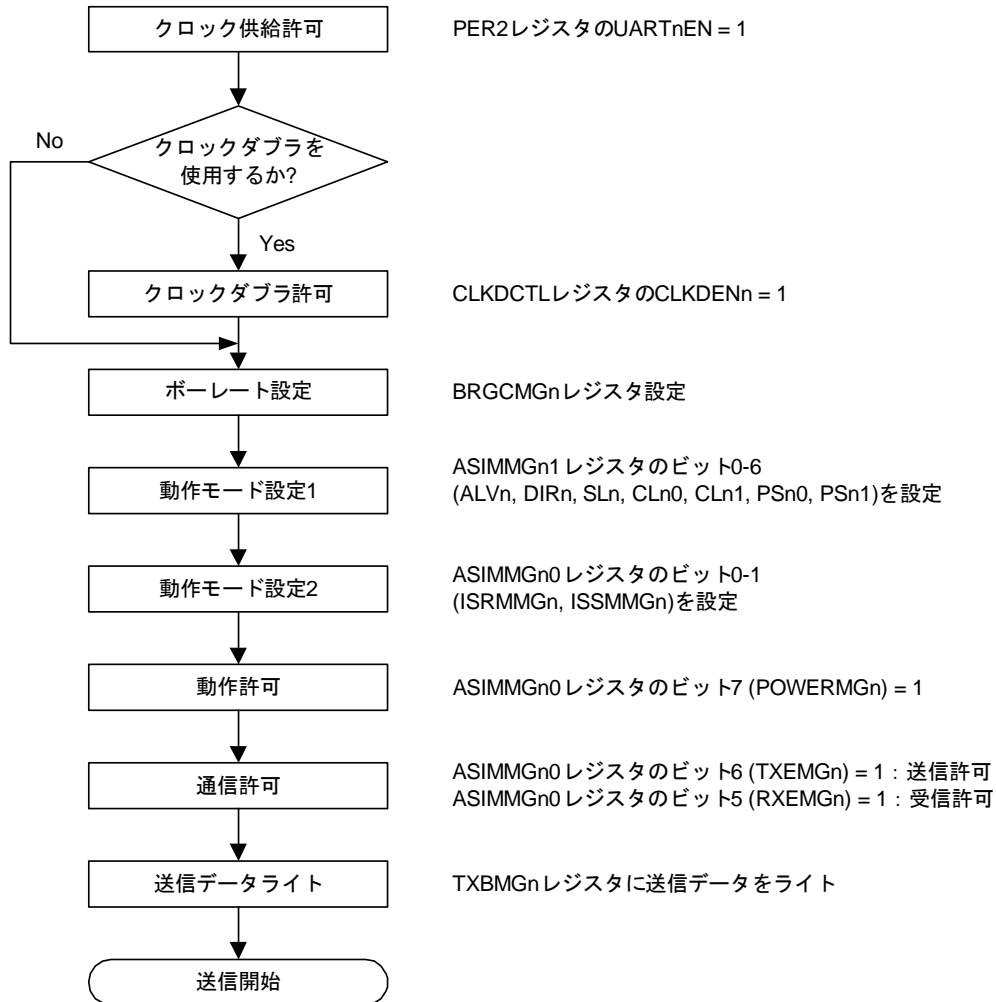
スタートビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 通信手順

図22 - 11に通信手順フローを示します。

図22 - 11 通信手順フロー



注意 受信機能を使用する場合はポート・モード・レジスタを入力にしてください。
送信機能を使用する場合はポート・モード・レジスタを出力、ポート・レジスタをHにしてください。
CLKDCTL設定から実際に倍速クロックが供給されるまでにサブシステム・クロック (f_{SUB}) 1周期分遅れます。

備考 n : ユニット番号 (n = 0)

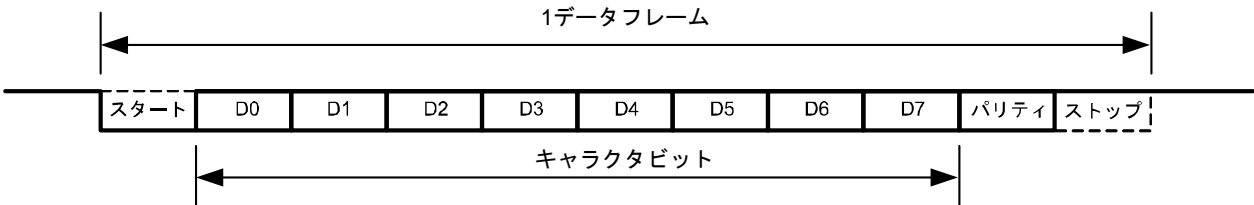
(2) 送信/受信データフォーマットと波形例

UARTMGnの通信データフォーマットについて以下に説明します。

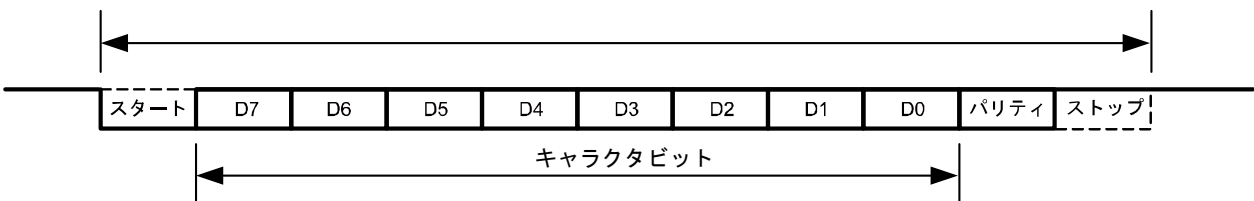
図22 - 12にデータフォーマットを示します。

図22 - 12 送受信データフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データフレームは次に示すビットで構成されています。

- スタートビット 1ビット
- キャラクタ長 5ビット/7ビット/8ビット
- パリティビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ストップビット 1ビット/2ビット

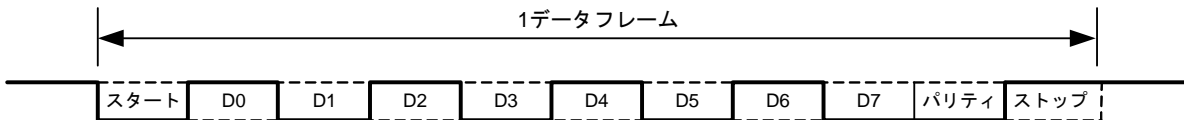
1データフレーム内のキャラクタビット長の指定, パリティ選択, ストップビット長の指定, 転送方向 (LSB/MSB) の指定, TXDMGn端子の通常出力/反転出力の指定はASIMMGn1レジスタによって行います。

備考 n : ユニット番号 (n = 0)

図22 - 13に送受信データの波形例を示します。

図22 - 13 送受信データの波形例

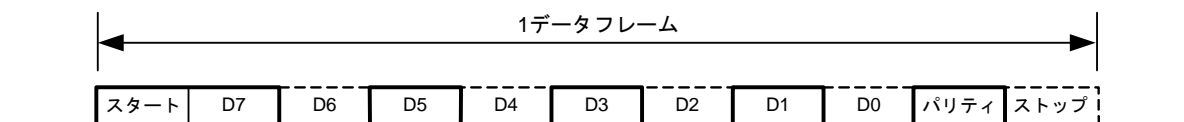
キャラクタ長：8ビット，LSBファースト，偶数パリティ，ストップビット：1ビット，転送データ55H



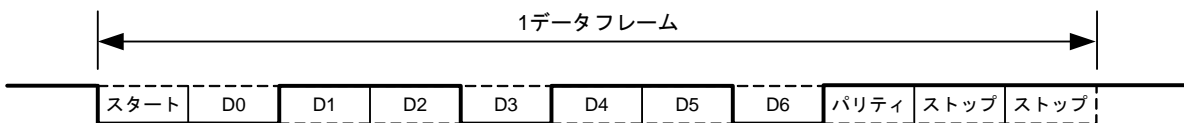
キャラクタ長：8ビット，MSBファースト，偶数パリティ，ストップビット：1ビット，転送データ55H



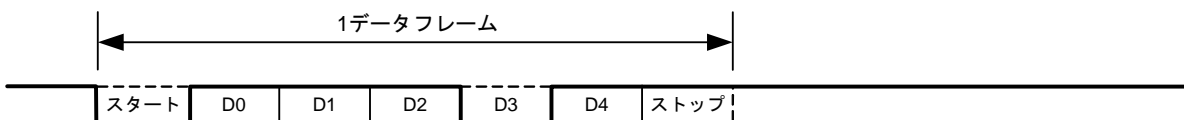
キャラクタ長：8ビット，MSBファースト，偶数パリティ，ストップビット：1ビット，転送データ55H，送受信レベル反転



キャラクタ長：7ビット，LSBファースト，奇数パリティ，ストップビット：2ビット，転送データ36H



キャラクタ長：5ビット，LSBファースト，パリティなし，ストップビット：1ビット，転送データ17H



(3) パリティの種類と動作

パリティビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(a) 偶数パリティ

• 送信時

パリティビットを含めた送信データ中の、値が1のビット数を偶数個にするように制御します。パリティビットの値は次のようになります。

送信データ中に、値が1のビット数が奇数個：1

送信データ中に、値が1のビット数が偶数個：0

• 受信時

パリティビットを含めた受信データ中の、値が1のビット数をカウントし、奇数個であった場合にパリティエラーを発生します。

(b) 奇数パリティ

• 送信時

偶数パリティとは逆に、パリティビットを含めた送信データ中の値に含まれる1のビット数を奇数個になるように制御します。

送信データ中に、値が1のビット数が奇数個：0

送信データ中に、値が1のビット数が偶数個：1

• 受信時

パリティビットを含めた受信データ中の、値が1のビット数をカウントし、偶数個であった場合にパリティエラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティビットを0にします。

受信時にはパリティビットの検出を行いません。したがって、パリティビットが0でも1でもパリティエラーを発生しません。

(d) パリティなし

送信データにパリティビットを付加しません。

受信時にもパリティビットがないものとして受信動作を行います。パリティビットがないため、パリティエラーを発生しません。

(4) 通常送信

動作モードレジスタ0 (ASIMMGn0) のビット7 (POWERMGn) をセット (1) し、次にASIMMGn0のビット6 (TXEMGn) をセット (1) すると送信許可状態になり、送信バッファレジスタ (TXBMGn) に送信データを書き込むことによって送信動作は起動します。スタートビット、パリティビット、ストップビットは自動的に付加されます。

送信動作の開始により、TXBMGn内のデータは送信シフト・レジスタに転送されます。その後、送信データが送信シフト・レジスタより転送方向指定に従って順次、TXDMGn端子に出力されます。送信が完了すると、ASIMMGn0で設定したパリティビット、ストップビットが付加され、送信完了割り込み要求 (INTSTMGn) が発生します。

次に送信するデータをTXBMGnに書き込むまで、送信動作は中断します。

割り込み要求 (INTSTMGn) のタイミングを図 22 - 14 に示します。INTSTMGnは以下のタイミングで出力されます。

(a) ISSMMGn = 0 (INTSTMGnは送信完了割り込み) の場合

INTSTMGn は最後のストップビット出力後に出力されます。

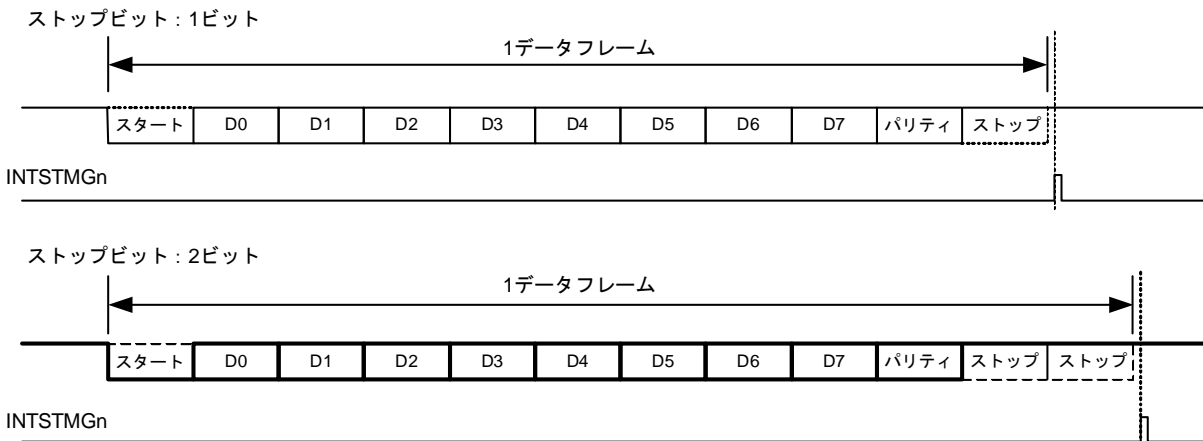
(b) ISSMMGn = 1 (INTSTMGnは送信バッファ空き割り込み) の場合

スタートビット出力時に出力されます。

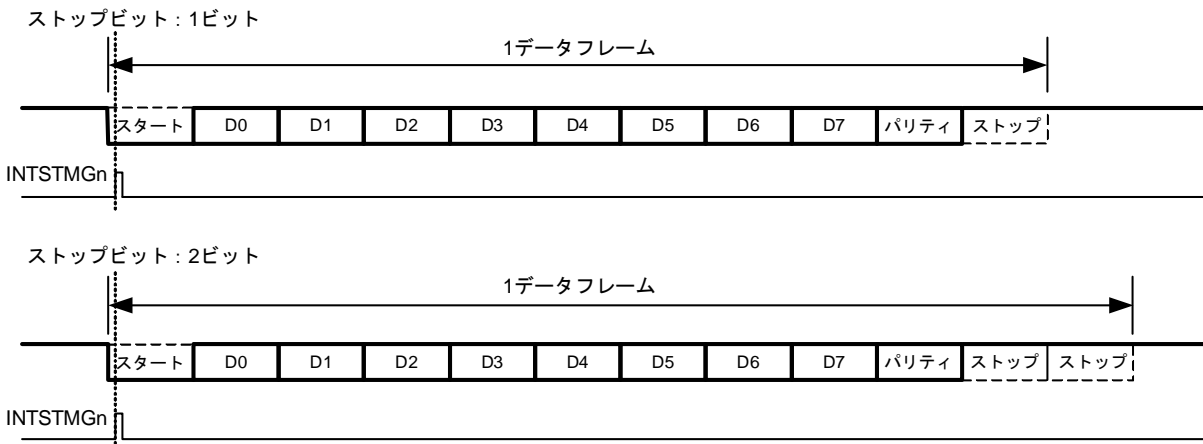
備考 n : ユニット番号 (n = 0)

図22 - 14 割り込み出カタイミング

(1) ISSMMGn = 0の場合 (送信完了割り込み)



(2) ISSMMGn = 1の場合 (送信バッファ空き割り込み)



備考 n : ユニット番号 (n = 0)

(5) 連続送信

UARTMGnでは連続送信を実現するために送信バッファレジスタ (TXBMGn) と送信シフト・レジスタを分離しています。

送信シフト・レジスタがシフト動作を開始した時点で、次の送信データを送信バッファレジスタ (TXBMGn) へ書き込むことができます。これにより、連続送信することができ、効率的な通信レートを実現できます。

連続送信手順には以下にあげる2つの方法があります。

(a) ポーリングによる連続転送

ステータス・レジスタ (ASISMGn) のビット5 (TXBFMGn) である送信バッファデータフラグとビット4 (TXSFMGn) である送信シフト・レジスタデータフラグのポーリングにより、連続送信を実現する方法です。

また、本方法で実現する場合、動作モード設定レジスタ0 (ASIMMGn0) のビット1 (ISSMMGn) は、0に設定してください。

• 連続送信開始時

連続送信を開始する際に、最初 (1バイト目) のデータをTXBMGnに書き込んだ後、送信バッファデータフラグが、0であることを確認して、次 (2バイト目) のデータをTXBMGnに書き込んでください。

TXBFMGn	連続送信開始時のTXBMGnへの書き込み可否判断用フラグ
0	書き込み可
1	書き込み不可

注意 連続送信開始時は、本フラグのみで判断してください。TXSFMGnフラグと組み合わせで判断しないでください。
TXSFMGnフラグは、「0」→「1」と変化してしまいます。

• 連続送信実行中

連続送信実行中は、送信完了割り込み後に送信シフト・レジスタデータフラグの値を確認することで、以降のTXBMGnへの書き込み処理を判断することが出来ます。

1の場合 : 連続送信中です。1バイトのデータを書き込むことができます。

0の場合 : 連続送信が完了しています。2バイトのデータを書き込むことができますが、その際は連続送信開始時の方法に従ってください。

TXSFMGn	連続送信実行中の書き込み処理判断用フラグ
0	2バイトの書き込み、または送信終了処理を許可する
1	1バイトの書き込みを許可する

注意1. 連続送信実行中は、送信完了割り込み後に本フラグが0であることを確認して初期化を実行してください。

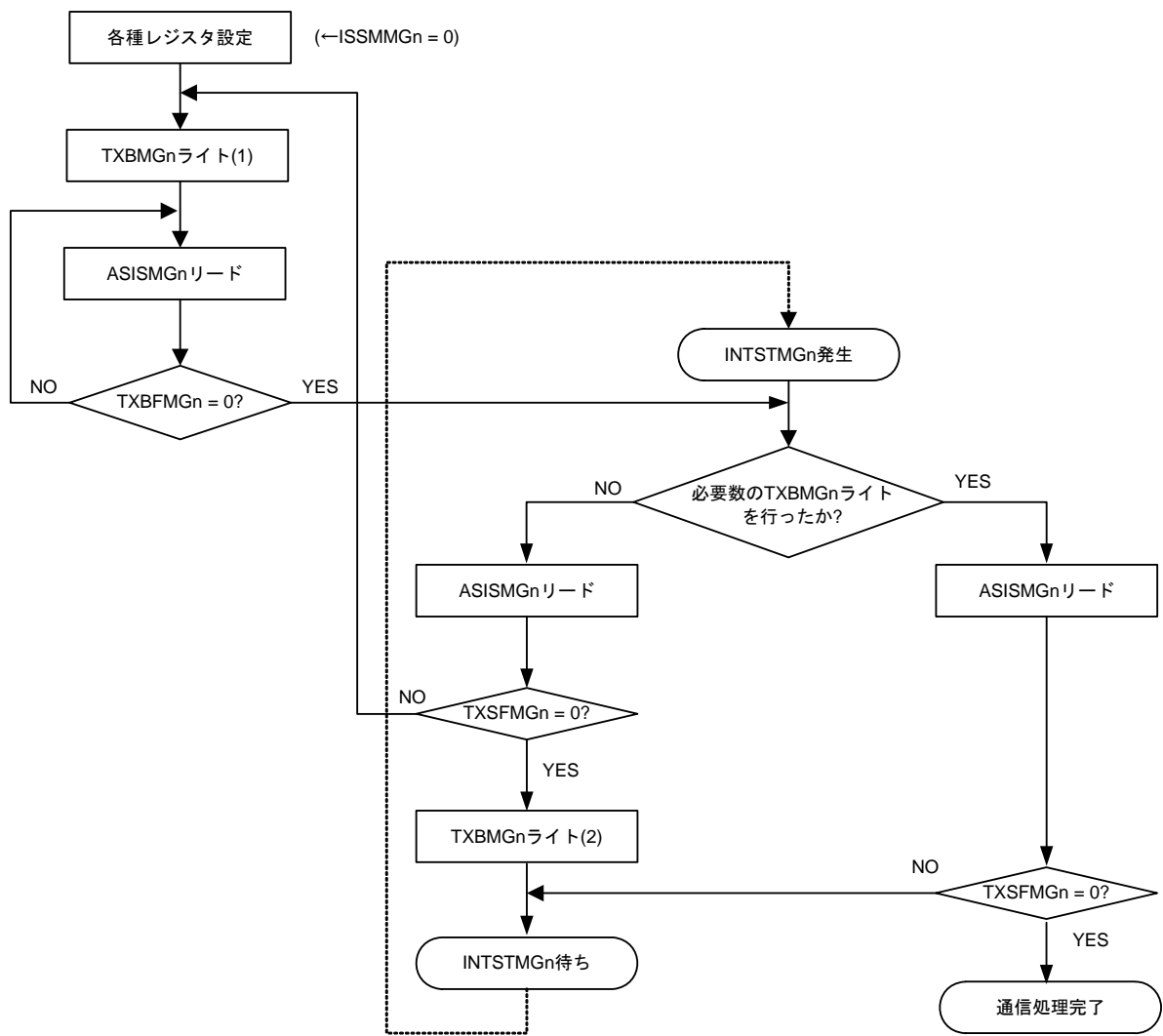
本フラグが1の時に初期化を実行した場合は、送信データの保証ができません

注意2. 連続送信は、1データフレーム送信後のINTSTMgn割り込み処理を実行する前に次の送信が完了してしまう可能性があります (オーバーラン)。対策としては、送信データ数をカウントできるプログラムを組み込むこと、TXSFMGnフラグを参照することでオーバーランを検出できます。

備考 n : ユニット番号 (n = 0)

図22 - 15にポーリングによる連続送信処理フロー例を示します。

図22 - 15 ポーリングによる連続送信処理フロー例



TXBFMGn
 0 : TXBMGnへの書き込み可
 1 : TXBMGnへの書き込み不可

TXSFMgn
 0 : 2バイトの書き込み可または送信終了処理許可
 1 : 1バイトの書き込みを許可

備考 n : ユニット番号 (n = 0)

(b) 割り込みによる連続転送

割り込み (INTSTMn) を使用して、連続送信を実現する方法です。

動作モード設定レジスタ0 (ASIMMGn0) のビット1 (ISSMMGn) を1に設定することにより、転送完了割り込みから送信バッファ (TXBMGn) レジスタ空き割り込みとすることができます。

これにより、INTSTMn 割り込みの発生で、TXBMGn レジスタヘータを書き込むことができ、連続送信が可能となります。

また、連続送信終了時は、最後の送信データをTXBMGnにライトした後に、ISSMMGnビットを0に設定することにより、転送完了割り込みを発生させることが可能です。

なお、送信バッファ (TXBMGn) レジスタ空き割り込みが発生してから、TXBMGn レジスタヘータを書き込みの際に、以下で定義する最大クロック数以内に書き込みが完了していないと連続送信にはなりません。

最大クロック数 = 転送長 × 2K - (2K + 3)

K : BRGCMGn で設定した値 (k = 2, 3, 4, 5, 6, ..., 255)

以下に最大クロック数の算出例を示します。

BRGCMGn レジスタに 02H (K = 2)

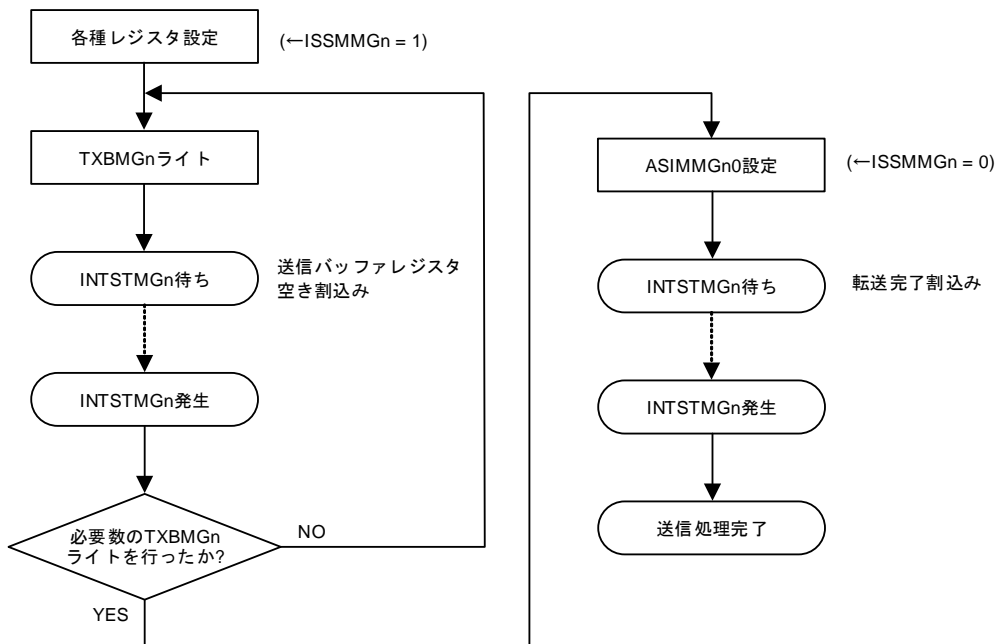
スタートビット 1bit, キャラクタ長 8bit, パリティ有り, ストップビット 1bit の場合

最大クロック数 = 転送長 × 2K - (2K + 3) = 11 × 2 × 2 - (2 × 2 + 3) = 37

(37クロック以内の書き込み完了が必要)

図22 - 16に割り込みによる連続送信処理フロー例を示します。

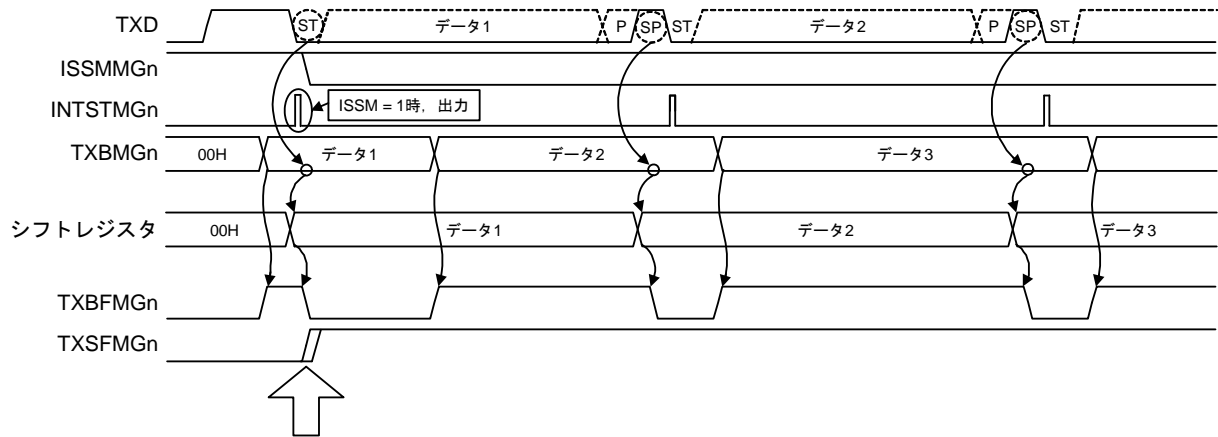
図22 - 16 割り込みによる連続送信処理フロー例



備考 n : ユニット番号 (n = 0)

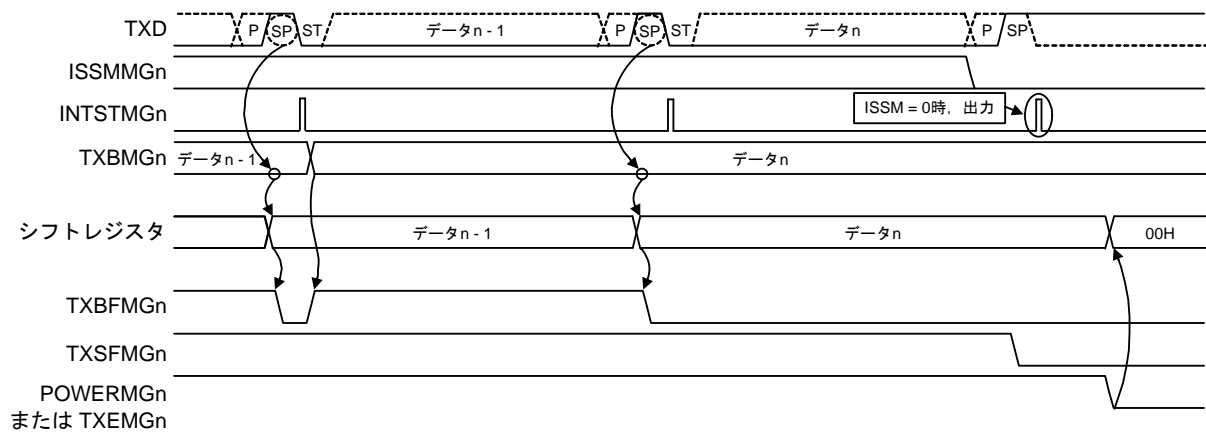
連続送信を開始する際のタイミングを図22 - 17に、連続送信を終了する際のタイミングを図22 - 18に示します。

図22 - 17 連続送信開始タイミング



注意 ASISMGnをリードした場合、TXBFMgn, TXSFMgn = 11の期間が存在します。したがって、書き込み可否の判断はTXBFMgnの1ビットのみで行ってください。

図22 - 18 連続送信終了タイミング



備考 n : ユニット番号 (n = 0)

(6) 通常受信

動作モードレジスタ0 (ASIMMGn0) のビット7 (POWERMGn) をセット (1) し、次にASIMMGn0のビット5 (RXEMGn) をセット (1) すると受信許可状態となり、RXDMGn端子入力のサンプリングを行います。

ALVn = 0の場合、RXDMGn端子入力の立ち下がりを検出すると、ポー・レート・ジェネレータの8ビットカウンタがカウントを開始し、ポー・レート・ジェネレータコントロールレジスタ (BRGCMGn) の設定値をカウントした時点で、再度RXDMGn端子入力をサンプリング (図22 - 19の▽印に相当) した結果、RXDMGn端子がLレベルであれば、スタートビットと認識します。

また、ALVn = 1の場合、RXDMGn端子入力の立ち上がりを検出すると、ポー・レート・ジェネレータの8ビットカウンタがカウントを開始し、ポー・レート・ジェネレータコントロールレジスタ (BRGCMGn) の設定値をカウントした時点で、再度RXDMGn端子入力をサンプリング (図22 - 19の▽印に相当) した結果、RXDMGn端子がHレベルであれば、スタートビットと認識します。

図22 - 19に受信動作のタイミング図を示します。

スタートビットを検出したら、受信動作を開始し、設定されたポー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタに格納していきます。ストップビットを受信したら、受信完了割り込み (INTSRMGn) を発生すると同時に、受信シフト・レジスタのデータは受信バッファレジスタ (RXBMGn) に書き込まれます。

ただし、オーバランエラー (OVEMGn) が発生した場合、発生時の受信データはRXBMGnに書き込まれません。

受信途中に、パリティエラー (PEMGn)、フレーミングエラー (FEMGn) が発生しても、ストップビットの受信位置までは受信を継続し、受信完了後に ISRMMGn で設定した受信エラー割り込み (INTSRMGn/INTSREMGn) を発生します。

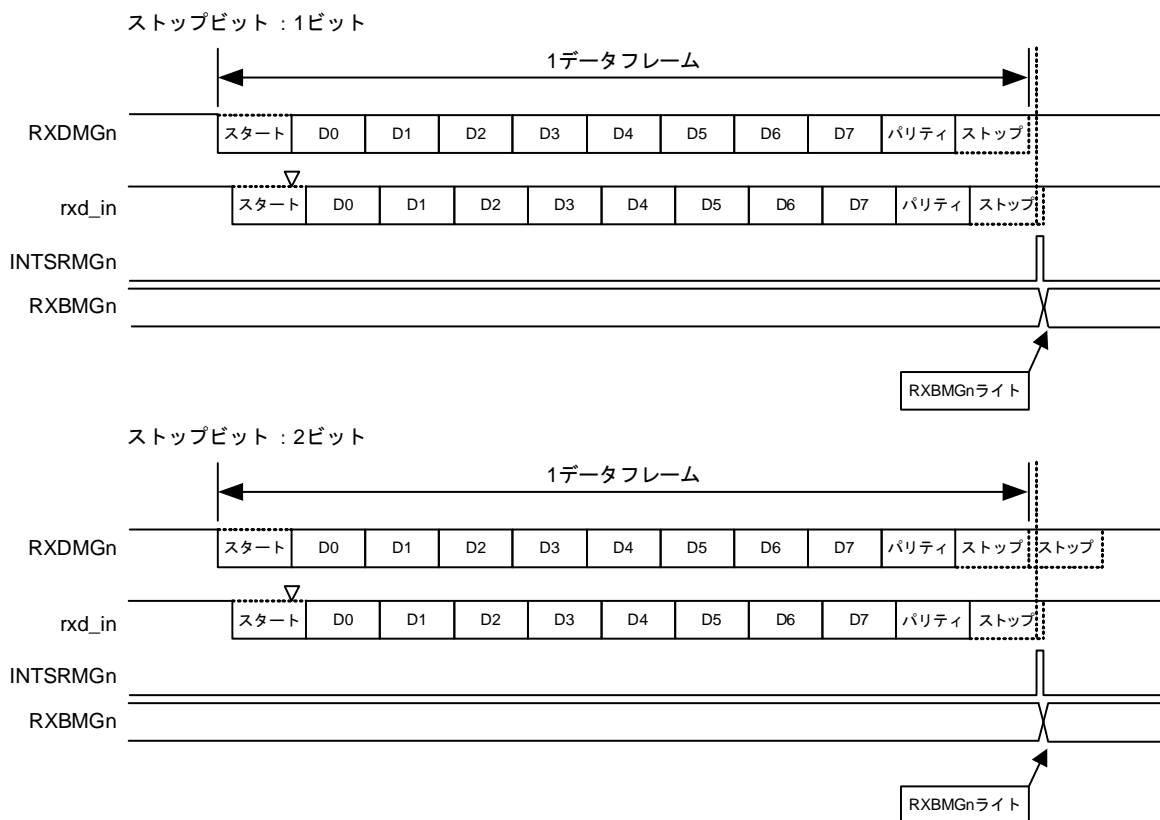
受信エラーが発生した場合はステータス・レジスタ (ASISMGn) を読み出したあと、受信バッファレジスタ (RXBMGn) を読み出し、エラー・フラグをクリアしてください。

受信バッファレジスタ (RXBMGn) を読み出さないと次のデータ受信時にオーバランエラーが発生し、いつまでも受信エラーの状態が継続します。

受信は常にストップビット長 = 1として動作します。そのため2ビット目のストップビットは無視されます。

備考 n : ユニット番号 (n = 0)

図22 - 19 UART受信動作タイミング



- 備考1. rxd_inは、ノイズフィルタによりRXDMGnをラッチした内部信号。(RXDMGnよりUART動作クロックで最大3クロック遅延する。)
- 備考2. 図のINTSRMGnの出力タイミングは一例。BRGCMGnレジスタの設定によりRXDMGnとの相対的なタイミングは変化する。
- 備考3. n : ユニット番号 (n = 0)

(7) 受信エラー

受信動作時のエラーには、パリティエラー、フレーミングエラー、オーバランエラーの3種類があります。エラー発生時にはステータス・レジスタ (ASISMGn) にエラー・フラグがセットされ、受信エラー割り込み (INTSRMGnまたはINTSREMGn) を発生します。

受信エラー割り込み処理ルーチンでステータスレジスタ (ASISMGn) の内容を読み出すことで、エラー・フラグの判別を行うことが可能です。

ステータス・クリア・トリガ・レジスタ (ASCTMGn) へ1を設定することによりステータス・レジスタ (ASISMGn) の内容はクリア (0) されます。

表22-4に受信エラー要因を示します。

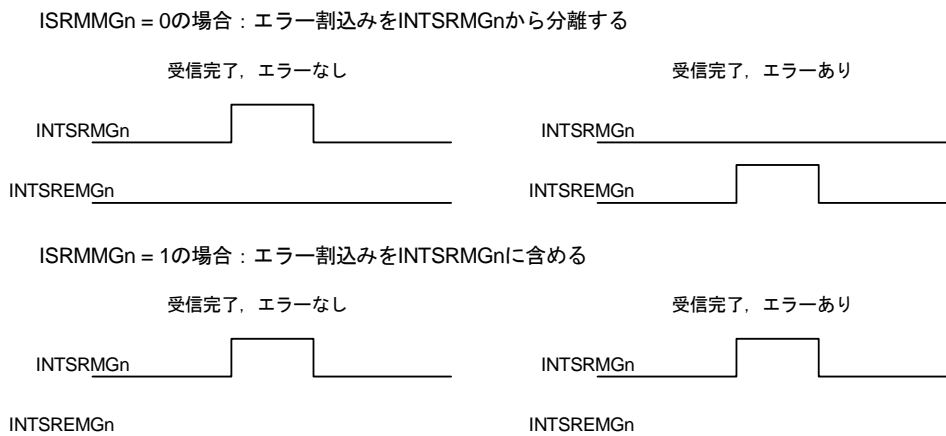
表22-4 受信エラー要因

エラー・フラグ	受信エラー	要因
PEMGn	パリティエラー	受信データと受信パリティが一致しない
FEMGn	フレーミングエラー	ストップビットが検出されない
OVEMGn	オーバランエラー	受信バッファからデータを読み出す前に次のデータ受信が完了した

動作モードレジスタ0 (ASIMMGn0) のビット0 (ISRMMGn) に0を設定することにより、受信エラー割り込みを受信完了割り込み (INTSRMGn) と分離し、エラー割り込み (INTSREMGn) として発生させることができます。

図22-20にISRMMGnによる割り込み出力波形を図示します。

図22-20 ISRMMGnによる割り込み出力波形



備考 n : ユニット番号 (n = 0)

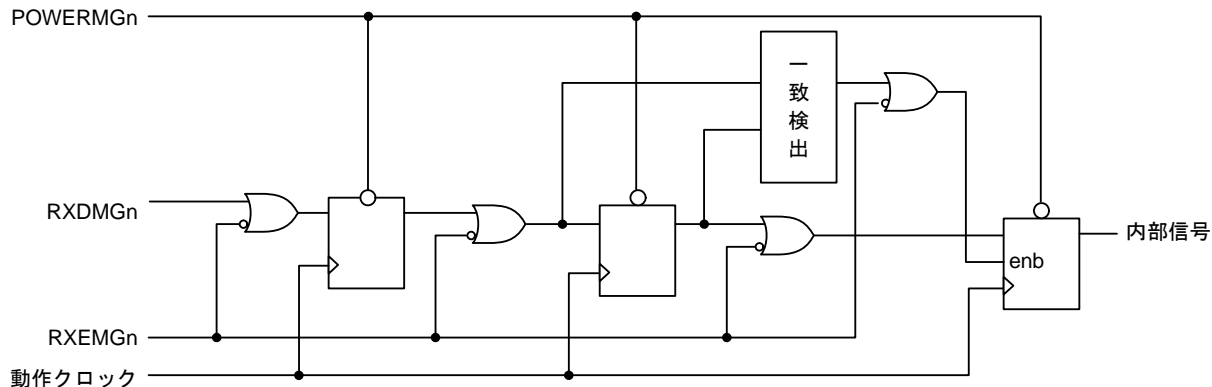
22.3.3 受信データのノイズフィルタ

受信データ (RXDMGn) をサンプリングし、2回一致したらレベルが確定したとみなします。

回路構成上、受信データは最大3動作クロック遅れます。

図22 - 21 ノイズフィルタ回路を示します。

図22 - 21 ノイズフィルタ



注意1. ALVn = 0 (待機時 = Hレベル, スタートビット = Lレベル) の場合、受信データ (RXDMGn) の初期値をHレベルとする必要があります。

注意2. ALVn = 1 (待機時 = Lレベル, スタートビット = Hレベル) の場合、受信データ (RXDMGn) の初期値をLレベルとする必要があります。

備考 n : ユニット番号 (n = 0)

22.3.4 ボー・レート・ジェネレータ

ボー・レート・ジェネレータは、8ビットのプログラマブルカウンタにより構成され、UARTMGnにおける送受信時のシリアルクロックを生成します。

なお、8ビットカウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

(a) 基本クロック

動作モードレジスタ0 (ASIMMGn0) のビット7 (POWERMGn) = 1 のとき、UARTMGnの動作クロック (f_{SUB} または f_{SUB}×2) を各モジュールに供給します。このクロックを基本クロックと呼びます。POWERMGn = 0 のときは、基本クロックはLレベルに固定となります。

(b) 送信用カウンタ

動作モードレジスタ0 (ASIMMGn0) のビット7 (POWERMGn) = 0 またはビット6 (TXEMGn) = 0 のときはクリア (0) の状態で動作を停止します。POWERMGn = 1 かつ TXEMGn = 1 でカウントをスタートします。

最初の送信では送信バッファレジスタ (TXBMGn) への書き込みでカウンタをクリア (0) します。連続送信の場合は1フレームデータの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWERMGn または TXEMGn がクリア (0) されるまでカウント動作をそのまま続けます。ASIMMGn0のPOWERMGn = 0 または TXEMGn = 0 のときは00Hの状態では動作を停止します。

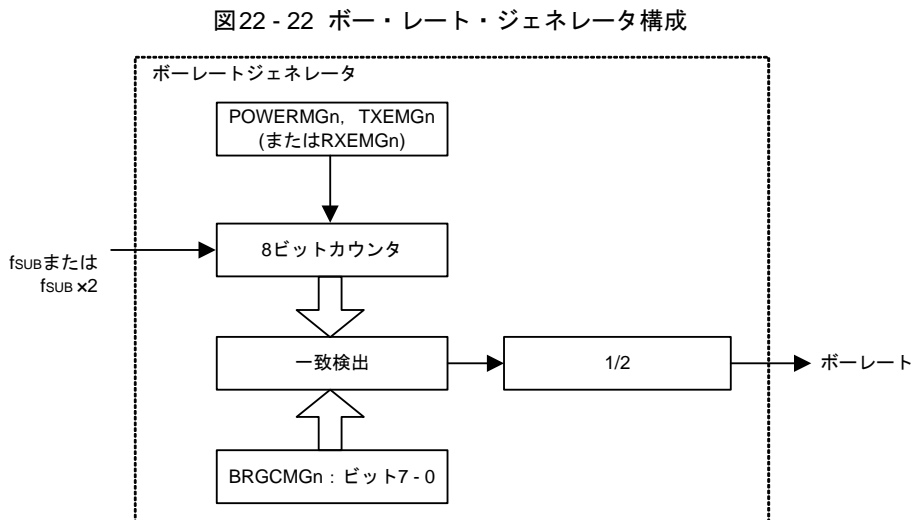
(c) 受信用カウンタ

動作モードレジスタ0 (ASIMMGn0) のビット7 (POWERMGn) = 0 またはビット5 (RXEMGn) = 0 のときはクリア (0) の状態で動作を停止します。スタートビット検出によりカウントをスタートします。

1フレーム受信後は次のスタートビット検出まで動作を停止します。ASIMMGn0のPOWERMGn = 0 または RXEMGn = 0 のときは00Hの状態では動作を停止します。

図22-22にポー・レート・ジェネレータ構成を示します。

備考 n : ユニット番号 (n = 0)



備考 n : ユニット番号 (n = 0)

(2) シリアルクロックの生成

ポー・レート・ジェネレータコントロールレジスタ (BRGCMGn) の設定により、生成するシリアルクロックを設定できます。

BRGCMGnのビット7-0により、8ビットカウンタの分周値 ($f_{SUB}/2-f_{SUB}/255$) を設定できます。

(3) ボー・レートの算出

(a) ボー・レート計算式

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = f_{\text{SUB}} \div (2 \times k) \text{ [bps]}$$

f_{SUB} : 動作クロックの周波数

k : BRGCMGnレジスタのビット7-0で設定した値 ($k = 2, 3, 4, \dots, 255$)

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差} = \left[\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right] \times 100 \text{ [%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内に設定すること。

注意2. 受信時のボー・レート誤差は、受信時の許容ボー・レート誤差範囲を満たすように設定すること。受信時の許容ボー・レート誤差については22.3.4 (2) (d) 受信時の許容ボー・レート範囲で説明します。

備考 n : ユニット番号 ($n = 0$)

(c) ボー・レート設定例

表22-5 ボー・レート・ジェネレータ設定データ

目標 ボー・レート	fSUB = 38.4 kHz動作時				fSUB = 32.768 kHz動作時	
	CLKDENn = 0		CLKDENn = 1		CLKDENn = 0	
	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差
200 bps	96	±0.00%	192	±0.00%	82	-0.10%
300 bps	64	±0.00%	128	±0.00%	55	-0.70%
1200 bps	16	±0.00%	32	±0.00%	14	-2.48%
2400 bps	8	±0.00%	16	±0.00%	7	-2.48%
4800 bps	4	±0.00%	8	±0.00%	使用不可	
9600 bps	2	±0.00%	4	±0.00%	使用不可	
19200 bps	使用不可		2	±0.00%	使用不可	

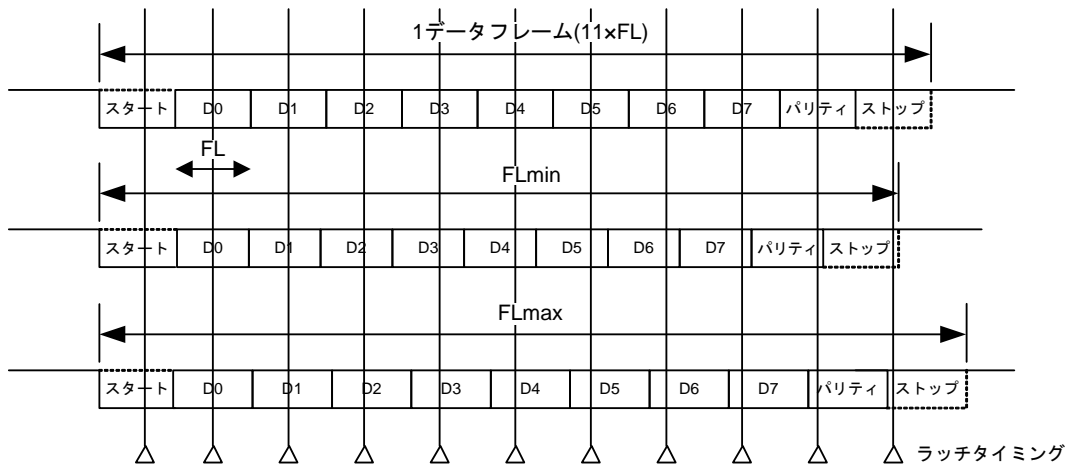
備考 k: ボー・レート・ジェネレータ・コントロール・レジスタ (BRGCMGn) のビット7-0で設定した値 (k = 2, 3, 4, ..., 255)

(d) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを図22-23に示します。

図22-23 受信時の許容ボー・レート範囲

データ長: 8ビット, パリティあり, ストップビット: 1ビット



注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定が必要です。

スタートビット検出後はボー・レート・ジェネレータ・コントロール・レジスタ (BRGCMGn) で設定したカウンタにより、受信データのラッチタイミングが決定されます。このラッチタイミングに最終データ (ストップビット) までが間に合えば正常に受信できます。これを11ビット受信に当てはめると理論上、次のようになります。

備考 n: ユニット番号 (n = 0)

- 1ビットデータ長とボー・レートの関係

$$FL = (\text{Brate})^{-1}$$

Brate: UARTのボー・レート

K: BRGCMGnの設定値

FL: 1ビットデータ長

ラッチタイミングの-marginは1クロック

- 許容最小データフレーム長 (FLmin)

$$FL_{\min} = 11 \times FL - \frac{k-1}{2k} \times FL = \frac{21k+1}{2k} FL$$

- 受信可能な送信先の最大ボー・レート (BRmax)

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+1} \text{ Brate}$$

- 許容最大データフレーム長 (FLmax)

$$FL_{\max} = \frac{21k+1}{20k} FL \times 11$$

- 受信可能な送信先の最小ボー・レート (BRmin)

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-1} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から求めたUARTと送信先とのボー・レートの許容誤差を表22-6に示します。

表22-6 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
2	+2.32%	-2.43%
4	+3.52%	-3.61%
8	+4.14%	-4.19%
20	+4.51%	-4.53%
50	+4.66%	-4.67%
100	+4.71%	-4.71%
255	+4.74%	-4.74%

備考1. 受信の許容誤差は、1フレームビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなる。

備考2. k: BRGCMGnの設定値

備考3. n: ユニット番号 (n=0)

22.4 使用上の注意事項

22.4.1 RXDMGn端子のPORT設定手順

ALVn = 0 (待機時 = Hレベル, スタートビット = Lレベル) の場合は, 受信データ (RXDMGn) の初期値は Hレベルとする必要があります。

また, ALVn = 1 (待機時 = Lレベル, スタートビット = Hレベル) の場合は, 受信データ (RXDMGn) の初期値はLレベルとする必要があります。

そのためPOWERMGnを1にする前にPORTの設定を行う必要があります。

備考 n : ユニット番号 (n = 0)

第23章 LCDコントローラ／ドライバ (R5F11NM, R5F11NL, R5F11RMのみ)

RL78/H1DのLCD表示機能端子は製品ごとに搭載する数が異なります。次の表に製品ごとのLCD表示機能端子数を示します。

表 23 - 1 製品ごとのLCD表示機能端子

項目		RL78/H1D																																		
		R5F11NM								R5F11NL								R5F11RM																		
LCD出力端子数		セグメント信号出力：36 (32) 注 コモン信号出力：8								セグメント信号出力27 (23) 注 コモン信号出力：8								セグメント信号出力：36 (32) 注 コモン信号出力：8																		
兼用I/Oポート		bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0			
セグメント	P0	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24	SEG 23	SEG 22	—	SEG 28	SEG 27	SEG 26	—	SEG 24	—	—	—	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24	SEG 23	SEG 22	—	SEG 28	SEG 27	SEG 26	SEG 25	SEG 24	SEG 23	SEG 22	—			
	P1	—	SEG 35	SEG 34	SEG 33	SEG 32	SEG 31	SEG 30	SEG 29	—	—	SEG 34	SEG 33	SEG 32	SEG 31	SEG 30	SEG 29	—	—	SEG 35	SEG 34	SEG 33	SEG 32	SEG 31	SEG 30	SEG 29	—	—	—	—	—	—	—	—		
	P3	SEG 21	SEG 20	SEG 19	—	—	SEG 18	SEG 17	SEG 16	SEG 15	SEG 21	SEG 20	SEG 19	—	—	SEG 18	SEG 17	SEG 16	SEG 15	SEG 14	SEG 13	SEG 12	SEG 11	SEG 10	SEG 9	SEG 8	SEG 21	SEG 20	SEG 19	—	—	SEG 18	SEG 17	SEG 16		
	P5	—	—	—	—	SEG 4	SEG 5	SEG 6	SEG 7	—	—	—	—	—	—	SEG 5	SEG 6	SEG 7	—	—	—	—	—	—	—	—	SEG 4	SEG 5	SEG 6	SEG 7	—	—	—	—	—	—
	P7	SEG 15	SEG 14	SEG 13	SEG 12	SEG 11	SEG 10	SEG 9	SEG 8	SEG 15	SEG 14	—	—	—	—	SEG 9	SEG 8	SEG 15	SEG 14	SEG 13	SEG 12	SEG 11	SEG 10	SEG 9	SEG 8	SEG 15	SEG 14	SEG 13	SEG 12	SEG 11	SEG 10	SEG 9	SEG 8			
COM信号出力端子とI/Oポートの兼用関係		—								—								—																		
COM信号出力端子と他のLCD表示機能端子の兼用関係	COM4	SEG0								SEG0								SEG0																		
	COM5	SEG1								SEG1								SEG1																		
	COM6	SEG2								SEG2								SEG2																		
	COM7	SEG3								SEG3								SEG3																		

注 () 内は8 com使用時の信号出力本数です。

23.1 LCDコントローラ／ドライバの機能

RL78/H1Dに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) A波形, B波形の選択が可能
- (2) LCD駆動電圧生成回路は, 内部昇圧／容量分割／外部抵抗分割の切り替えが可能
- (3) 表示データ・レジスタの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (4) 昇圧回路動作時に生成する基準電圧を16段階から選択可能 (コントラスト調整)
- (5) LCD点滅が可能

各表示モードにおける表示可能な最大画素数を表23-2、表23-3、表23-4に示します。

表23-2 最大表示画素数 (R5F11NM)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数		
A波形	外部抵抗分割	—	スタティック	36 (36セグメント×1コモン)		
		1/2	2	72 (36セグメント×2コモン)		
			3	108 (36セグメント×3コモン)		
		1/3	3	144 (36セグメント×4コモン)		
			4	204 (34セグメント×6コモン)		
			6	256 (32セグメント×8コモン)		
			8			
		1/4	8			
	内部昇圧	1/3	3	108 (36セグメント×3コモン)		
			4	144 (36セグメント×4コモン)		
			6	204 (34セグメント×6コモン)		
			8	256 (32セグメント×8コモン)		
		1/4	6	204 (34セグメント×6コモン)		
			8	256 (32セグメント×8コモン)		
			容量分割	1/3	3	108 (36セグメント×3コモン)
				4	144 (36セグメント×4コモン)	
	6	204 (34セグメント×6コモン)				
	8	256 (32セグメント×8コモン)				
	B波形	外部抵抗分割, 内部昇圧	1/3	3	108 (36セグメント×3コモン)	
				4	144 (36セグメント×4コモン)	
6				204 (34セグメント×6コモン)		
8				256 (32セグメント×8コモン)		
1/4			8			
容量分割		1/3	3	108 (36セグメント×3コモン)		
			4	144 (36セグメント×4コモン)		
			6	204 (34セグメント×6コモン)		
			8	256 (32セグメント×8コモン)		

表23-3 最大表示画素数 (R5F11NL)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割	—	スタティック	27 (27セグメント×1コモン)
		1/2	2	54 (27セグメント×2コモン)
			3	81 (27セグメント×3コモン)
			3	
		1/3	4	108 (27セグメント×4コモン)
			6	150 (25セグメント×6コモン)
			8	184 (23セグメント×8コモン)
			8	
		1/4	8	
	内部昇圧	1/3	3	81 (27セグメント×3コモン)
			4	108 (27セグメント×4コモン)
			6	150 (25セグメント×6コモン)
			8	184 (23セグメント×8コモン)
		1/4	6	150 (25セグメント×6コモン)
			8	184 (23セグメント×8コモン)
	容量分割	1/3	3	81 (27セグメント×3コモン)
4			108 (27セグメント×4コモン)	
6			150 (25セグメント×6コモン)	
8			184 (23セグメント×8コモン)	
B波形	外部抵抗分割, 内部昇圧	1/3	3	81 (27セグメント×3コモン)
			4	108 (27セグメント×4コモン)
			6	150 (25セグメント×6コモン)
			8	184 (23セグメント×8コモン)
		1/4	8	
		容量分割	1/3	3
	4			108 (27セグメント×4コモン)
	6			150 (25セグメント×6コモン)
	8			184 (23セグメント×8コモン)

表 23 - 4 最大表示画素数 (R5F11RM)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数	
A波形	外部抵抗分割	—	スタティック	36 (36セグメント×1コモン)	
		1/2	2	72 (36セグメント×2コモン)	
			3	108 (36セグメント×3コモン)	
			3	144 (36セグメント×4コモン)	
		1/3	4	204 (34セグメント×6コモン)	
			6	256 (32セグメント×8コモン)	
			8		
		1/4	8		
		内部昇圧	1/3	3	108 (36セグメント×3コモン)
	4			144 (36セグメント×4コモン)	
	6			204 (34セグメント×6コモン)	
	8			256 (32セグメント×8コモン)	
	1/4		6	204 (34セグメント×6コモン)	
			8	256 (32セグメント×8コモン)	
	容量分割		1/3	3	108 (36セグメント×3コモン)
				4	144 (36セグメント×4コモン)
		6		204 (34セグメント×6コモン)	
		8		256 (32セグメント×8コモン)	
B波形	外部抵抗分割, 内部昇圧	1/3	3	108 (36セグメント×3コモン)	
			4	144 (36セグメント×4コモン)	
			6	204 (34セグメント×6コモン)	
			8	256 (32セグメント×8コモン)	
		1/4	8		
		容量分割	1/3	3	108 (36セグメント×3コモン)
	4			144 (36セグメント×4コモン)	
	6			204 (34セグメント×6コモン)	
	8			256 (32セグメント×8コモン)	

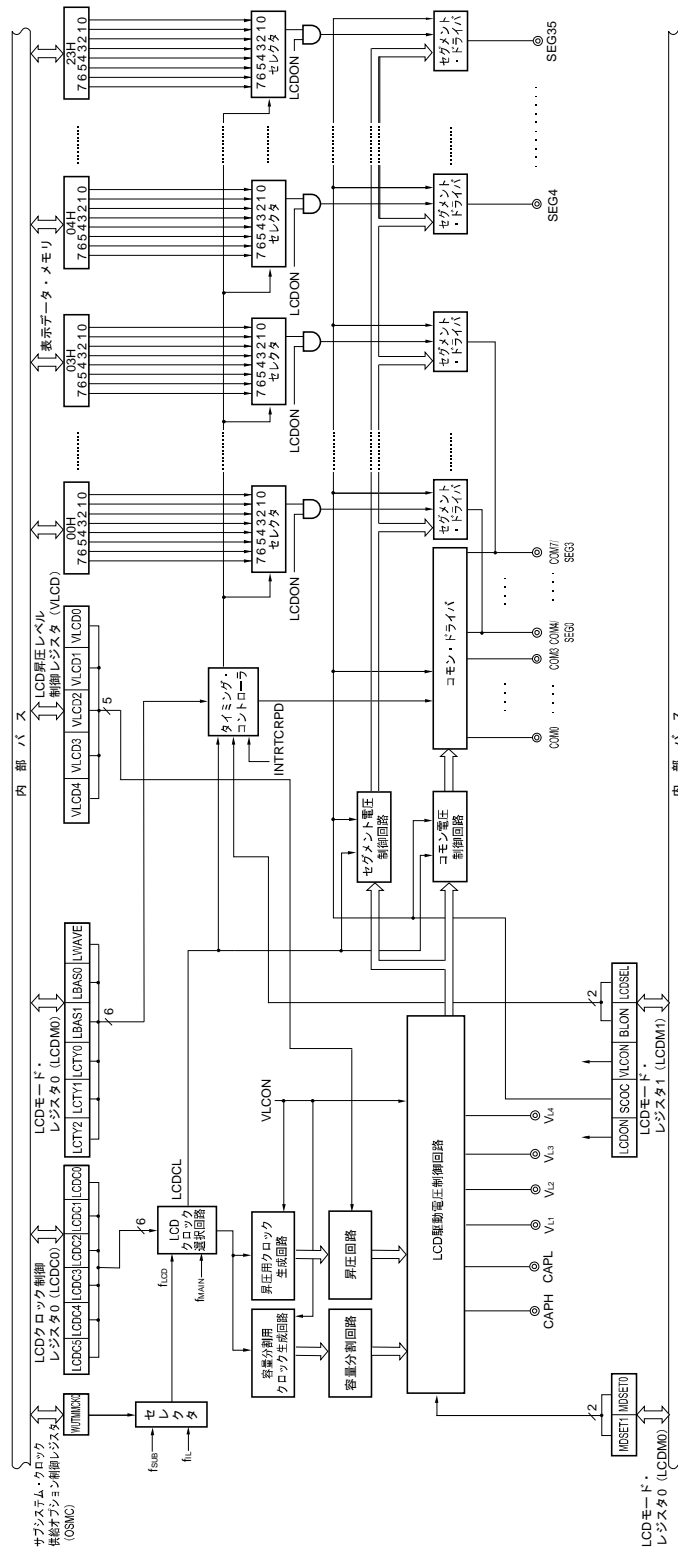
23.2 LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表23 - 5 LCDコントローラ／ドライバの構成

項目	構成
制御レジスタ	LCDモード・レジスタ0 (LCDM0) LCDモード・レジスタ1 (LCDM1) サブシステム・クロック供給オプション制御レジスタ (OSMC) LCDクロック制御レジスタ0 (LCDC0) LCD昇圧レベル制御レジスタ (VLCD) LCD入力切り替え制御レジスタ (ISCLCD) LCDポート・ファンクション・レジスタ0-4 (PFSEG0-PFSEG4) ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7) ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)

図23-1 LCDコントローラ／ドライバのブロック図



23.3 LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバは、次の9種類のレジスタで制御します。

- LCDモード・レジスタ0 (LCDM0)
- LCDモード・レジスタ1 (LCDM1)
- サブシステム・クロック供給オプション制御レジスタ (OSMC)
- LCDクロック制御レジスタ0 (LCDC0)
- LCD昇圧レベル制御レジスタ (VLCD)
- LCD入力切り替え制御レジスタ (ISCLCD)
- LCDポート・ファンクション・レジスタ0-4 (PFSEG0-PFSEG4)
- ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7)
- ポート・モード・コントロール・レジスタ0, 1 (PMC0, PMC1)

23.3.1 LCDモード・レジスタ0 (LCDM0)

LCDの動作を設定するレジスタです。

LCDM0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-2 LCDモード・レジスタ0 (LCDM0) のフォーマット

アドレス：FFF40H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0
	MDSET1	MDSET0	LCD駆動電圧生成回路の選択					
	0	0	外部抵抗分割方式					
	0	1	内部昇圧方式					
	1	0	容量分割方式					
	1	1	設定禁止					
	LWAVE	LCD表示波形の選択						
	0	A波形						
	1	B波形						
	LDTY2	LDTY1	LDTY0	LCD表示の時分割数選択				
	0	0	0	スタティック				
	0	0	1	2時分割				
	0	1	0	3時分割				
	0	1	1	4時分割				
	1	0	0	6時分割				
	1	0	1	8時分割				
	上記以外			設定禁止				
	LBAS1	LBAS0	LCD表示のバイアス法選択					
	0	0	1/2バイアス法					
	0	1	1/3バイアス法					
	1	0	1/4バイアス法					
	1	1	設定禁止					

注意1. LCDM1のSCOC = 1のときに、LCDM0の値を書き換えないでください。

注意2. スタティックを選択した場合 (LDTY2-LDTY0ビット = 000B)、LBAS1、LBAS0ビットの設定は必ず初期値 (00B) にしてください。初期値以外の値を設定した場合の動作は保証しません。

注意3. 表示波形、時分割数、バイアス法の設定は表23-6に示す組み合わせのみサポートします。表23-6で示す組み合わせ以外は設定禁止です。

表23-6 表示波形／時分割数／バイアス法とフレーム周波数の組み合わせ

表示モード			設定値						駆動電圧生成方式		
表示波形	時分割数	バイアス法	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0	外部抵抗分割	内部昇圧	容量分割
A波形	8	1/4	0	1	0	1	1	0	○ (24～128 Hz)	○ (24～64 Hz)	×
A波形	6	1/4	0	1	0	0	1	0	×	○ (32～86 Hz)	×
A波形	8	1/3	0	1	0	1	0	1	○ (32～128 Hz)	○ (32～64 Hz)	○ (32～128 Hz)
A波形	6	1/3	0	1	0	0	0	1	○ (32～128 Hz)	○ (32～86 Hz)	○ (32～128 Hz)
A波形	4	1/3	0	0	1	1	0	1	○ (24～128 Hz)	○ (24～128 Hz)	○ (24～128 Hz)
A波形	3	1/3	0	0	1	0	0	1	○ (32～128 Hz)	○ (32～128 Hz)	○ (32～128 Hz)
A波形	3	1/2	0	0	1	0	0	0	○ (32～128 Hz)	×	×
A波形	2	1/2	0	0	0	1	0	0	○ (24～128 Hz)	×	×
A波形	スタティック		0	0	0	0	0	0	○ (24～128 Hz)	×	×
B波形	8	1/4	1	1	0	1	1	0	○ (24～128 Hz)	○ (24～64 Hz)	×
B波形	8	1/3	1	1	0	1	0	1	○ (32～128 Hz)	○ (32～64 Hz)	○ (32～128 Hz)
B波形	6	1/3	1	1	0	0	0	1	○ (32～128 Hz)	○ (32～86 Hz)	○ (32～128 Hz)
B波形	4	1/3	1	0	1	1	0	1	○ (24～128 Hz)	○ (24～128 Hz)	○ (24～128 Hz)
B波形	3	1/3	1	0	1	0	0	1	○ (32～128 Hz)	○ (32～128 Hz)	○ (32～128 Hz)

備考 ○：対応，×：非対応

23.3.2 LCDモード・レジスタ1 (LCDM1)

表示動作の許可／禁止、昇圧回路もしくは容量分割回路の動作許可／停止、表示データ領域、低電圧モードを設定するレジスタです。

LCDM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-3 LCDモード・レジスタ1 (LCDM1) のフォーマット (1/2)

アドレス：FFF41H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM
	SCOC	LCDON	LCD表示の許可／禁止					
	0	0	セグメント端子／コモン端子にグラウンド・レベルを出力					
	0	1						
	1	0	表示オフ（セグメント出力はすべて非選択信号出力）					
	1	1	表示オン					
	VLCON ^{注1}	昇圧回路もしくは容量分割回路の動作許可／停止						
	0	昇圧回路もしくは容量分割回路の動作停止						
	1	昇圧回路もしくは容量分割回路の動作許可						
	BLON ^{注2}	LCDSEL	表示データ領域の制御					
	0	0	Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータを表示					
	0	1	Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータを表示					
	1	0	Aパターン領域とBパターン領域のデータを交互に表示（リアルタイム・クロック2					
	1	1	（RTC2）の定周期割り込み（INTRTC）タイミングに対応した点滅表示					

注1. 外部抵抗分割モード時には設定禁止。

注2. LCDソース・クロック（fLCD）としてfILを選択する場合は、必ずBLONビット＝0にしてください。

図 23 - 3 LCD モード・レジスタ 1 (LCDM1) のフォーマット (2/2)

アドレス : FFF41H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM
LCDVLM注	昇圧端子の初期値の切り替え制御							
0	VDD 電圧 ≥ 2.7 V の場合							
1	VDD 電圧 ≤ 4.2 V の場合							

注 昇圧回路使用時に、VLx端子の初期状態を設定して昇圧安定時間を短くするための機能です。昇圧開始時のVDD電圧が2.7V以上の場合にはLCDVLMビット = 0、VDD電圧が4.2V以下の場合にはLCDVLMビット = 1としてください。ただし、 $2.7V \leq VDD \leq 4.2V$ では、LCDVLMビット = 0、LCDVLMビット = 1のいずれでも動作可能です。

- 注意1. 昇圧回路使用時にLCD表示を行わないときに消費電力を削減したい場合は、SCOC = 0、VLCON = 0を設定し、さらにMDSET1、MDSET0 = 00を設定してください。MDSET1、MDSET0 = 01の場合、内部の基準電圧生成部が動作するため電力を消費します。
- 注意2. 外部抵抗分割方式設定時 (LCDM0のMDSET1、MDSET0ビット = 00B) または容量分割方式設定時 (MDSET1、MDSET0ビット = 10B) は、LCDVLMに0を設定してください。
- 注意3. SCOC = 1のときVLCON、LCDVLMを書き換えしないでください。
- 注意4. 表示モードに8時分割数を選択した場合、BLONとLCDSELに0を設定してください。
- 注意5. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0レジスタのMDSET1、MDSET0ビット = 01B) にしてから)、基準電圧セットアップ時間 (5 ms (MIN.)) をウエイトしたあとに、VLCONに1を設定してください。

23.3.3 サブシステム・クロック供給オプション制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDコントローラ／ドライバ、シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2と12ビット・インターバル・タイマ、8ビット・インターバル・タイマのカウント・クロック、クロック出力／ブザー出力、LCDコントローラ／ドライバ、シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタ、タイマRJ0,1の動作クロックを選択できます。

ただし、シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタの動作クロックに低速オンチップ・オシレータ・クロックを選択することはできません。シリアル・インターフェースUARTMG0、外部サンプリング、サンプリング出力タイマ／ディテクタを使用する場合は、WUTMMCK0ビットを0に設定して、動作クロックにサブシステム・クロックを選択してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-4 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0
RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定							
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表27-1～表27-2参照)							
1	リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力／ブザー出力, LCDコントローラ／ドライバ, シリアル・インターフェースUARTMG0, 外部サンプリング, サンプリング出力タイマ/ディテクタ以外の周辺機能へのサブシステム・クロック供給停止							
WUTMMCK0 注	リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ／ドライバ, タイマRJ0, 1の動作クロックの選択				クロック出力／ブザー出力のPCLBUZn端子の出力クロックの選択			
0	サブシステム・クロック (fSUB) <ul style="list-style-type: none"> リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ／ドライバの動作クロックはサブシステム・クロックになります。 タイマRJ0,1のカウントソースに低速オンチップ・オシレータを選択することはできません。 				サブシステム・クロック (fSUB) 選択許可			
1	低速オンチップ・オシレータ・クロック (fIL) <ul style="list-style-type: none"> リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ／ドライバの動作クロックは低速オンチップ・オシレータ・クロックになります。 タイマRJ0, 1のカウントソースは低速オンチップ・オシレータ, サブシステム・クロックのいずれかを選択することができます。 				サブシステム・クロック (fSUB) 選択禁止			

注 サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択(WUTMMCK0ビット=0)にしてください。

注意 WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ／ドライバの全ての機能が動作停止中のみ可能です。

23.3.4 LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック，LCDクロックを設定するレジスタです。

LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23-5 LCDクロック制御レジスタ (LCDC0) のフォーマット

アドレス：FFF42H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	0	LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00

LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00	LCDクロック (LCDCL)
0	0	0	1	0	0	$f_{SUB}/2^5$ or $f_{IL}/2^5$
0	0	0	1	0	1	$f_{SUB}/2^6$ or $f_{IL}/2^6$
0	0	0	1	1	0	$f_{SUB}/2^7$ or $f_{IL}/2^7$
0	0	0	1	1	1	$f_{SUB}/2^8$ or $f_{IL}/2^8$
0	0	1	0	0	0	$f_{SUB}/2^9$ or $f_{IL}/2^9$
0	0	1	0	0	1	$f_{SUB}/2^{10}$
0	1	0	0	0	1	$f_{MAIN}/2^8$
0	1	0	0	1	0	$f_{MAIN}/2^9$
0	1	0	0	1	1	$f_{MAIN}/2^{10}$
0	1	0	1	0	0	$f_{MAIN}/2^{11}$
0	1	0	1	0	1	$f_{MAIN}/2^{12}$
0	1	0	1	1	0	$f_{MAIN}/2^{13}$
0	1	0	1	1	1	$f_{MAIN}/2^{14}$
0	1	1	0	0	0	$f_{MAIN}/2^{15}$
0	1	1	0	0	1	$f_{MAIN}/2^{16}$
0	1	1	0	1	0	$f_{MAIN}/2^{17}$
0	1	1	0	1	1	$f_{MAIN}/2^{18}$
1	0	1	0	1	1	$f_{MAIN}/2^{19}$
上記以外						設定禁止

注意1. LCDM1レジスタのSCOCビット=1のときLCDC0を設定しないでください。

注意2. ビット6,7には，必ず0を設定してください。

注意3. 内部昇圧方式，容量分割方式に設定した場合，LCDクロック (LCDCL)は次のように設定してください。

- f_{SUB} 選択時512 Hz以下

- f_{IL} 選択時235 Hz以下

詳細は，表23-6 表示波形／時分割数／バイアス法とフレーム周波数の組み合わせを参照してください。

備考 f_{MAIN} ：メイン・システム・クロック周波数

f_{SUB} ：サブシステム・クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

23.3.5 LCD昇圧レベル制御レジスタ (VLCD)

昇圧回路動作時に生成する基準電圧を選択（コントラスト調整）するレジスタです。基準電圧は、16段階から選択することができます。

VLCDは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、04Hになります。

図23-6 LCD昇圧レベル制御レジスタ (VLCD) のフォーマット

アドレス：FFF43H リセット時：04H R/W

略号	7	6	5	4	3	2	1	0
VLCD	0	0	0	VLCD4	VLCD3	VLCD2	VLCD1	VLCD0

VLCD4	VLCD3	VLCD2	VLCD1	VLCD0	基準電圧選択 (コントラスト調整)	VL4電圧	
						1/3バイアス法時	1/4バイアス法時
0	0	1	0	0	1.00 V	3.00 V	4.00 V
0	0	1	0	1	1.05 V	3.15 V	4.20 V
0	0	1	1	0	1.10 V	3.30 V	4.40 V
0	0	1	1	1	1.15 V	3.45 V	4.60 V
0	1	0	0	0	1.20 V	3.60 V	4.80 V
0	1	0	0	1	1.25 V	3.75 V	5.00 V
0	1	0	1	0	1.30 V	3.90 V	5.20 V
0	1	0	1	1	1.35 V	4.05 V	設定禁止
0	1	1	0	0	1.40 V	4.20 V	設定禁止
0	1	1	0	1	1.45 V	4.35 V	設定禁止
0	1	1	1	0	1.50 V	4.50 V	設定禁止
0	1	1	1	1	1.55 V	4.65 V	設定禁止
1	0	0	0	0	1.60 V	4.80 V	設定禁止
1	0	0	0	1	1.65 V	4.95 V	設定禁止
1	0	0	1	0	1.70 V	5.10 V	設定禁止
1	0	0	1	1	1.75 V	5.25 V	設定禁止
上記以外					設定禁止		

注意1. VLCDレジスタの設定は、昇圧回路動作時のみ有効です。

注意2. ビット5-7には、必ず0を設定してください。

注意3. VLCDレジスタの値を変更する場合は、必ず昇圧回路の動作を停止 (VLCON = 0) してから行ってください。

注意4. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0レジスタのMDSET1, MDSET0ビット = 01B) にしてから）、基準電圧セットアップ時間 (5 ms (MIN.)) をウエイトしたあとに、VLCONに1を設定してください。

注意5. 外部抵抗分割方式または容量分割方式では、VLCDレジスタは初期値 (04H) で使用してください。

23.3.6 LCD入力切り替え制御レジスタ (ISCLCD)

CAPL/P126, CAPH/P127, VL3/P125端子をLCD機能として動作するように設定を行うまでの期間、貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCDレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-7 LCD入力切り替え制御レジスタ (ISCLCD)

アドレス : F0308H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	VL3/P125端子のシュミット・トリガ・バッファの制御	
0	入力無効	
1	入力有効	

ISCCAP	CAPL/ P126, CAPH/P127端子のシュミット・トリガ・バッファの制御	
0	入力無効	
1	入力有効	

注意1. ISCVL3ビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

注意2. ISCCAPビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0

(1) VL3, CAPL, CAPH端子兼用ポートの動作

VL3/P125, CAPL/P126, CAPH/P127端子の機能は、LCD入力切り替え制御レジスタ (ISCLCD)、LCDモード・レジスタ0 (LCDM0)、ポート・モード・レジスタ12 (PM12) の設定で決定します。

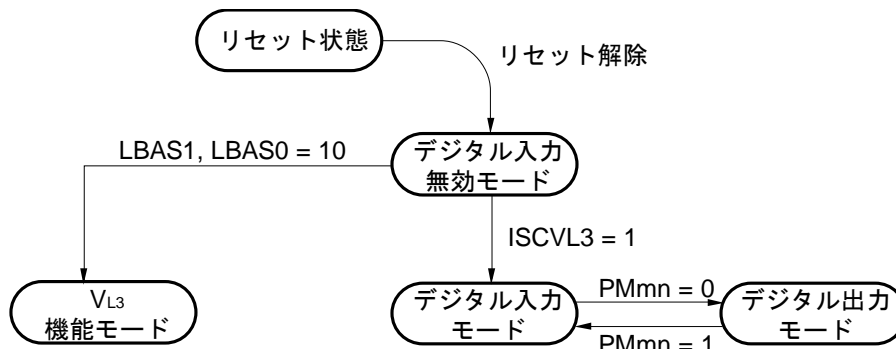
- VL3/P125

表23-7 VL3/P125端子機能の設定

バイアス法設定 (LCDM0レジスタのLBAS1, LBAS0ビットで設定)	ISCLCDレジスタの ISCVL3ビット	PM12レジスタの PM125ビット	端子機能	初期状態
1/4バイアス法以外 (LBAS1, LBAS0 = 00または01)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
1/4バイアス法 (LBAS1, LBAS0 = 10)	0	1	VL3機能モード	—
上記以外			設定禁止	

VL3/P125端子機能の状態遷移を次に示します。

図23-8 VL3/P125端子機能の状態遷移図



注意 VL3機能モードに設定する場合は、セグメント出力開始前 (LCDモード・レジスタ1 (LCDM1) のSCOCビット = 0の期間) に設定してください。

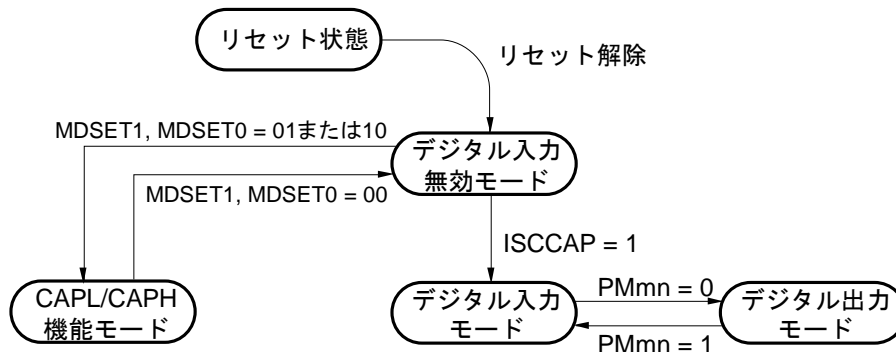
- CAPL/P126, CAPH/P127

表23-8 CAPL/P126, CAPH/P127端子機能の設定

LCD駆動電圧生成 (LCDM0レジスタのMDSET1, MDSET0ビット)	ISCLCDレジスタの ISCCAPビット	PM12レジスタの PM126, PM127ビット	端子機能	初期状態
外部抵抗分割 (MDSET1, MDSET0 = 00)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01または10)	0	1	CAPL/CAPH機能モード	—
上記以外			設定禁止	

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図23-9 CAPL/P126, CAPH/P127端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前 (LCDモード・レジスタ1 (LCDM1) のSCOCビット = 0の期間) に設定してください。

23.3.7 LCDポート・ファンクション・レジスタ0-4 (PFSEG0-PFSEG4)

P01-P07, P10-P16, P30-P32, P35-P37, P50-P53, P70-P77端子をポート(セグメント出力以外)／セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG4レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります(PFSEG0はF0H, PFSEG4は0FH)。

備考 セグメント出力端子(SEGxx)とPFSEGレジスタ(PFSEGxxビット)の対応と、製品によるSEGxx端子の有無を表23-9 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)に示します。

図23-10 LCDポート・ファンクション・レジスタのフォーマット(R5F11NM)

アドレス : F0300H		リセット時 : F0H		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0
アドレス : F0301H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08
アドレス : F0302H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16
アドレス : F0303H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24
アドレス : F0304H		リセット時 : 0FH		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG4	0	0	0	0	PFSEG35	PFSEG34	PFSEG33	PFSEG32
PFSEGxx (xx = 04-35)	Pmn端子のポート(セグメント出力以外)／セグメント出力の指定 (mn = 01-07, 10-16, 30-32, 35-37, 50-53, 70-77)							
0	ポート(セグメント出力以外)として使用							
1	セグメント出力として使用							

注意 セグメント出力として使用する(PFSEGxx = 1)場合には必ずPUMレジスタのPUMnビット = 0, POMレジスタのPOMnビット = 0, PIMレジスタのPIMnビット = 0に設定してください。

表23-9 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ (PFSEGビット)

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	R5F11NM	R5F11NL	R5F11RM
PFSEG04	SEG4	P53	○	—	○
PFSEG05	SEG5	P52	○	○	○
PFSEG06	SEG6	P51	○	○	○
PFSEG07	SEG7	P50	○	○	○
PFSEG08	SEG8	P70	○	○	○
PFSEG09	SEG9	P71	○	○	○
PFSEG10	SEG10	P72	○	—	○
PFSEG11	SEG11	P73	○	—	○
PFSEG12	SEG12	P74	○	—	○
PFSEG13	SEG13	P75	○	—	○
PFSEG14	SEG14	P76	○	○	○
PFSEG15	SEG15	P77	○	○	○
PFSEG16	SEG16	P30	○	○	○
PFSEG17	SEG17	P31	○	○	○
PFSEG18	SEG18	P32	○	○	○
PFSEG19	SEG19	P35	○	○	○
PFSEG20	SEG20	P36	○	○	○
PFSEG21	SEG21	P37	○	○	○
PFSEG22	SEG22	P01	○	—	○
PFSEG23	SEG23	P02	○	—	○
PFSEG24	SEG24	P03	○	○	○
PFSEG25	SEG25	P04	○	—	○
PFSEG26	SEG26	P05	○	○	○
PFSEG27	SEG27	P06	○	○	○
PFSEG28	SEG28	P07	○	○	○
PFSEG29	SEG29	P10	○	○	○
PFSEG30	SEG30	P11	○	○	○
PFSEG31	SEG31	P12	○	○	○
PFSEG32	SEG32	P13	○	○	○
PFSEG33	SEG33	P14	○	○	○
PFSEG34	SEG34	P15	○	○	○
PFSEG35	SEG35	P16	○	—	○

(1) SEGxx端子兼用ポートの動作

セグメント出力端子 (SEGxx) の機能は、ポート・モード・コントロール・レジスタ (PMCxx), LCDポート・ファンクション・レジスタ0-4 (PFSEG0-PFSEG4) の設定で決定します。

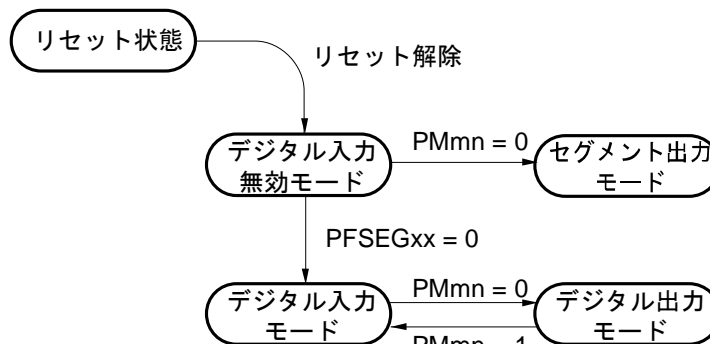
- P01-P07, P10-P16, P30-P32, P35-P37, P50-P53, P70 -P77
(アナログ入力端子 (ANlxx) を兼用していないポート)

表23 - 10 SEGxx/ポート端子機能の設定

PFSEG0-PFSEG4レジスタの PFSEGxxビット	PMxxレジスタのPMxx ビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	—
0	1	デジタル入力モード	—
1	0	セグメント出力モード	—

SEGxx/Pxx端子機能の状態遷移を次に示します。

図23 - 11 SEGxx/Pxx端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前 (LCDモード・レジスタ1 (LCDM1) のSCOCビット = 0の期間) に設定してください。

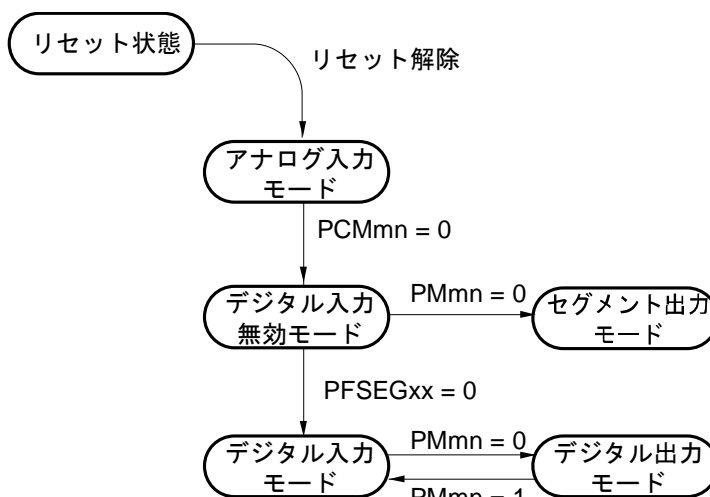
- P03-P05, P11 (アナログ入力端子 (ANlxx) を兼用するポート)

表 23 - 11 ANlxx/SEGxx/ポート端子機能の設定

PMCxxレジスタの PMCxxビット	PFSEG3レジスタの PFSEGxxビット	PMxxレジスタの PMxxビット	端子機能	初期状態
1	1	1	アナログ入力モード	○
0	0	0	デジタル出力モード	—
0	0	1	デジタル入力モード	—
0	1	0	セグメント出力モード	—
0	1	1	デジタル入力無効モード	—
上記以外			設定禁止	

ANlxx/SEGxx/Pxx端子機能の状態遷移を次に示します。

図 23 - 12 ANlxx/SEGxx/Pxx端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前 (LCDモード・レジスタ1 (LCDM1) のSCOCビット=0の期間) に設定してください。

23.3.8 セグメント出力端子のポート機能を制御するレジスタ

セグメント出力使用時は、対象チャネルと兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx), ポート・モード・コントロール・レジスタ (PMCxx)) を設定してください。詳細は、4.4.1 ポート・モード・レジスタ (PMxx), 4.4.2 ポート・レジスタ (Pxx), 4.4.6 ポート・モード・コントロール・レジスタ (PMCxx) (R5F11NL, R5F11NG, R5F11PL, R5F11RMのみ) を参照してください。

また、製品によって設定するポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx), ポート・モード・コントロール・レジスタ (PMCxx) が異なります。詳細は、4.6 兼用機能使用時のレジスタ設定の設定を参照してください。

アナログ入力端子 (ANixx) を兼用しないで、セグメント出力端子を兼用するポート (P01/(INTP5)/SEG22など) をセグメント出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

例) P01/(INTP5)/SEG22をセグメント出力として使用する場合

ポート・モード・レジスタ0のPM01ビットを0に設定

ポート・レジスタ0のP01ビットを0に設定

アナログ入力端子 (ANixx) /セグメント出力端子を兼用するポート (P03/ANI8/TO00/SEG24など) をセグメント出力として使用するとき、各ポートに対応するポート・モード・コントロール・レジスタ (PMCxx) のビット, ポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

例) P03/ANI8/TO00/SEG24をセグメント出力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC03ビットを0に設定

ポート・モード・レジスタ0のPM03ビットを0に設定

ポート・レジスタ0のP03ビットを0に設定

23.4 LCD表示データ・レジスタ

LCD表示データ・レジスタは、表23-12のようにマッピングしています。LCD表示データ・レジスタの内容を変更することでLCD表示内容を変更できます。

表23-12 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (1/2)

(a) 6時分割, 8時分割以外 (スタティック, 2時分割, 3時分割, 4時分割)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	R5F11	R5F11	R5F11
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0	NM	NL	RM
SEG0	F0400H	SEG0 (Bパターン領域)				SEG0 (Aパターン領域)				○	○	○
SEG1	F0401H	SEG1 (Bパターン領域)				SEG1 (Aパターン領域)				○	○	○
SEG2	F0402H	SEG2 (Bパターン領域)				SEG2 (Aパターン領域)				○	○	○
SEG3	F0403H	SEG3 (Bパターン領域)				SEG3 (Aパターン領域)				○	○	○
SEG4	F0404H	SEG4 (Bパターン領域)				SEG4 (Aパターン領域)				○	—	○
SEG5	F0405H	SEG5 (Bパターン領域)				SEG5 (Aパターン領域)				○	○	○
SEG6	F0406H	SEG6 (Bパターン領域)				SEG6 (Aパターン領域)				○	○	○
SEG7	F0407H	SEG7 (Bパターン領域)				SEG7 (Aパターン領域)				○	○	○
SEG8	F0408H	SEG8 (Bパターン領域)				SEG8 (Aパターン領域)				○	○	○
SEG9	F0409H	SEG9 (Bパターン領域)				SEG9 (Aパターン領域)				○	○	○
SEG10	F040AH	SEG10 (Bパターン領域)				SEG10 (Aパターン領域)				○	—	○
SEG11	F040BH	SEG11 (Bパターン領域)				SEG11 (Aパターン領域)				○	—	○
SEG12	F040CH	SEG12 (Bパターン領域)				SEG12 (Aパターン領域)				○	—	○
SEG13	F040DH	SEG13 (Bパターン領域)				SEG13 (Aパターン領域)				○	—	○
SEG14	F040EH	SEG14 (Bパターン領域)				SEG14 (Aパターン領域)				○	○	○
SEG15	F040FH	SEG15 (Bパターン領域)				SEG15 (Aパターン領域)				○	○	○
SEG16	F0410H	SEG16 (Bパターン領域)				SEG16 (Aパターン領域)				○	○	○
SEG17	F0411H	SEG17 (Bパターン領域)				SEG17 (Aパターン領域)				○	○	○
SEG18	F0412H	SEG18 (Bパターン領域)				SEG18 (Aパターン領域)				○	○	○
SEG19	F0413H	SEG19 (Bパターン領域)				SEG19 (Aパターン領域)				○	○	○
SEG20	F0414H	SEG20 (Bパターン領域)				SEG20 (Aパターン領域)				○	○	○
SEG21	F0415H	SEG21 (Bパターン領域)				SEG21 (Aパターン領域)				○	○	○
SEG22	F0416H	SEG22 (Bパターン領域)				SEG22 (Aパターン領域)				○	—	○
SEG23	F0417H	SEG23 (Bパターン領域)				SEG23 (Aパターン領域)				○	—	○
SEG24	F0418H	SEG24 (Bパターン領域)				SEG24 (Aパターン領域)				○	○	○
SEG25	F0419H	SEG25 (Bパターン領域)				SEG25 (Aパターン領域)				○	—	○
SEG26	F041AH	SEG26 (Bパターン領域)				SEG26 (Aパターン領域)				○	○	○
SEG27	F041BH	SEG27 (Bパターン領域)				SEG27 (Aパターン領域)				○	○	○
SEG28	F041CH	SEG28 (Bパターン領域)				SEG28 (Aパターン領域)				○	○	○
SEG29	F041DH	SEG29 (Bパターン領域)				SEG29 (Aパターン領域)				○	○	○
SEG30	F041EH	SEG30 (Bパターン領域)				SEG30 (Aパターン領域)				○	○	○
SEG31	F041FH	SEG31 (Bパターン領域)				SEG31 (Aパターン領域)				○	○	○
SEG32	F0420H	SEG32 (Bパターン領域)				SEG32 (Aパターン領域)				○	○	○
SEG33	F0421H	SEG33 (Bパターン領域)				SEG33 (Aパターン領域)				○	○	○
SEG34	F0422H	SEG34 (Bパターン領域)				SEG34 (Aパターン領域)				○	○	○
SEG35	F0423H	SEG35 (Bパターン領域)				SEG35 (Aパターン領域)				○	—	○

備考 ○ : サポートする, — : サポートしない

表23-12 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (2/2)

(b) 6時分割, 8時分割

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	R5F11	R5F11	R5F11
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0	NM	NL	RM
SEG0	F0400H	SEG0注								○	○	○
SEG1	F0401H	SEG1注								○	○	○
SEG2	F0402H	SEG2注								○	○	○
SEG3	F0403H	SEG3注								○	○	○
SEG4	F0404H	SEG4								○	—	○
SEG5	F0405H	SEG5								○	○	○
SEG6	F0406H	SEG6								○	○	○
SEG7	F0407H	SEG7								○	○	○
SEG8	F0408H	SEG8								○	○	○
SEG9	F0409H	SEG9								○	○	○
SEG10	F040AH	SEG10								○	—	○
SEG11	F040BH	SEG11								○	—	○
SEG12	F040CH	SEG12								○	—	○
SEG13	F040DH	SEG13								○	—	○
SEG14	F040EH	SEG14								○	○	○
SEG15	F040FH	SEG15								○	○	○
SEG16	F0410H	SEG16								○	○	○
SEG17	F0411H	SEG17								○	○	○
SEG18	F0412H	SEG18								○	○	○
SEG19	F0413H	SEG19								○	○	○
SEG20	F0414H	SEG20								○	○	○
SEG21	F0415H	SEG21								○	○	○
SEG22	F0416H	SEG22								○	—	○
SEG23	F0417H	SEG23								○	—	○
SEG24	F0418H	SEG24								○	○	○
SEG25	F0419H	SEG25								○	—	○
SEG26	F041AH	SEG26								○	○	○
SEG27	F041BH	SEG27								○	○	○
SEG28	F041CH	SEG28								○	○	○
SEG29	F041DH	SEG29								○	○	○
SEG30	F041EH	SEG30								○	○	○
SEG31	F041FH	SEG31								○	○	○
SEG32	F0420H	SEG32								○	○	○
SEG33	F0421H	SEG33								○	○	○
SEG34	F0422H	SEG34								○	○	○
SEG35	F0423H	SEG35								○	—	○

注 COM4-COM7端子とSEG0-SEG3端子は兼用しています。

備考 ○ : サポートする — : サポートしない

スタティック、2時分割、3時分割、または4時分割で使用する場合、LCD表示データ・レジスタの各アドレスの下位4ビットはAパターン領域、上位4ビットはBパターン領域となります。

Aパターン領域のデータとCOM信号の対応は、ビット0⇔COM0、ビット1⇔COM1、ビット2⇔COM2、ビット3⇔COM3となります。

Bパターン領域のデータとCOM信号の対応は、ビット4⇔COM0、ビット5⇔COM1、ビット6⇔COM2、ビット7⇔COM3となります。

BLON = LCDSEL = 0選択時にはAパターン領域のデータを、BLON = 0, LCDSEL=1選択時には、Bパターン領域のデータを、LCDパネルに表示します。

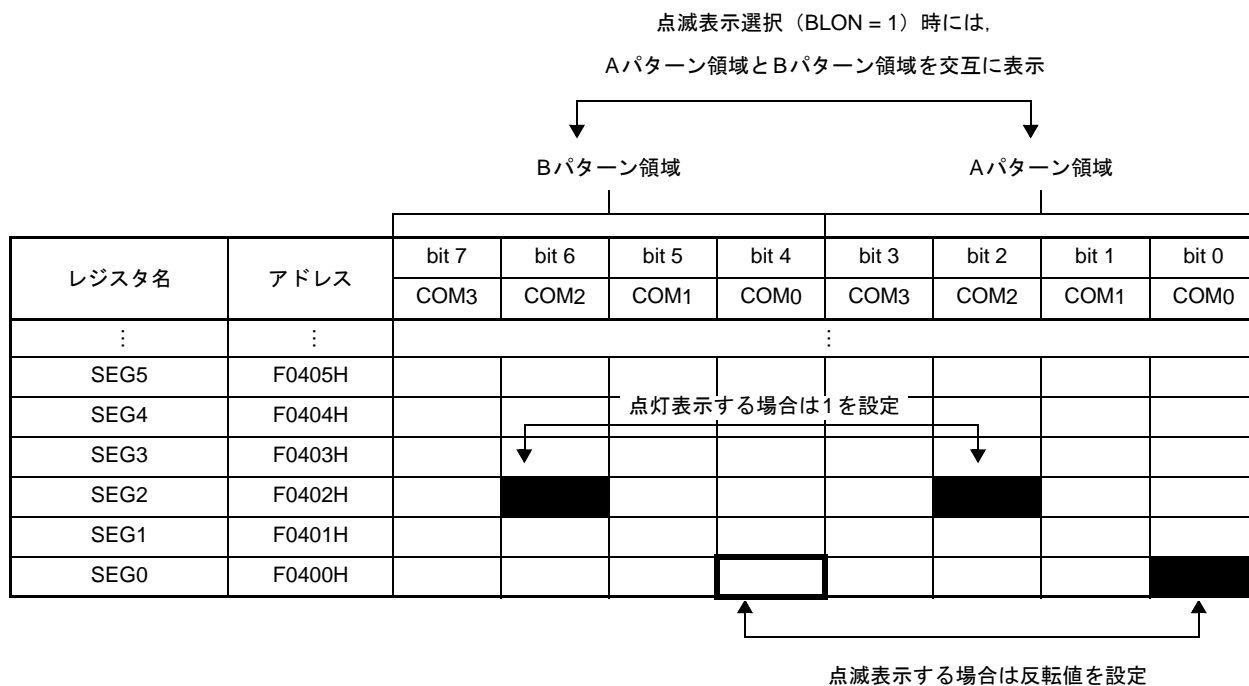
23.5 LCD表示レジスタの選択

RL78/H1Dでは、スタティック、2時分割、3時分割、または4時分割で使用する場合、BLONビットとLCDSELビットの設定により、LCD表示データ・レジスタを次の3種類から選択することができます。

- Aパターン領域 (LCD表示データ・レジスタの下位4ビット) のデータ表示
- Bパターン領域 (LCD表示データ・レジスタの上位4ビット) のデータ表示
- Aパターン領域とBパターン領域のデータを交互に表示 (リアルタイム・クロック2 (RTC2)の定周期割り込みタイミングに対応した点滅表示)

注意 6時分割または8時分割使用時は、LCD表示データ・レジスタ (Aパターン、Bパターンまたは点滅表示) を選択することはできません。

図23-13 パターン切り替え表示時のLCD表示レジスタの設定例



23.5.1 Aパターン領域、Bパターン領域のデータ表示

BLON = LCDSEL = 0設定時では、Aパターン領域 (LCD表示データ・レジスタの下位4ビット) のデータがLCD表示レジスタとして出力されます。

BLON = 0, LCDSEL = 1設定時では、Bパターン領域 (LCD表示データ・レジスタの上位4ビット) のデータがLCD表示レジスタとして出力されます。

表示領域については、23.4 LCD表示データ・レジスタを参照してください。

23.5.2 点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)

BLON = 1 設定時では、リアルタイム・クロック2 (RTC2)の定周期割り込み(INTRTC)タイミングに対応して、Aパターン領域とBパターン領域のデータを交互に表示します。RTC2の定周期割り込み(INTRTC, 0.5 s設定のみ)タイミングの設定については、第8章 リアルタイム・クロック2を参照してください。

LCDを点滅表示する場合、Aパターン領域のビットに対応するBパターン領域のビットに反転値を設定してください(ex. F0400Hのビット0に1を設定し、点滅表示する場合は、F0400Hのビット4に0を設定)。また、LCDを点滅表示しない場合は、同値を設定してください(ex. F0402Hのビット2に1を設定し、点灯表示する場合は、F0402Hのビット6に1を設定)。

表示領域については、23.4 LCD表示データ・レジスタを参照してください。

次に、表示切り替えのタイミング動作を示します。

図23-14 Aパターン表示から点滅表示への切り替え動作

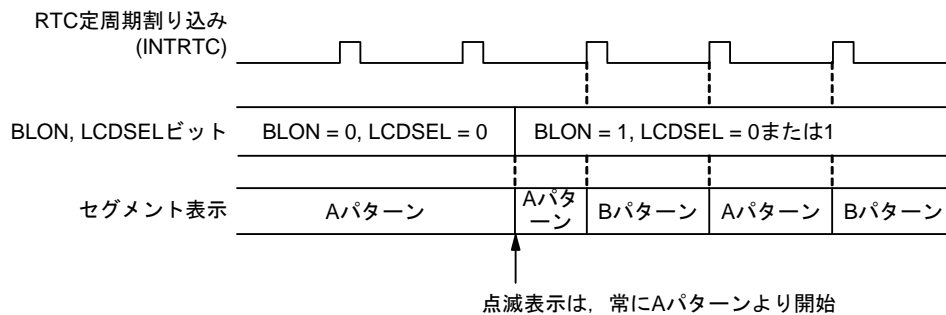
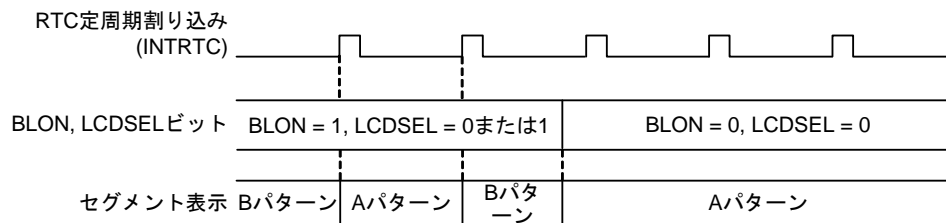


図23-15 点滅表示からAパターン表示への切り替え動作



23.6 LCDコントローラ／ドライバの設定

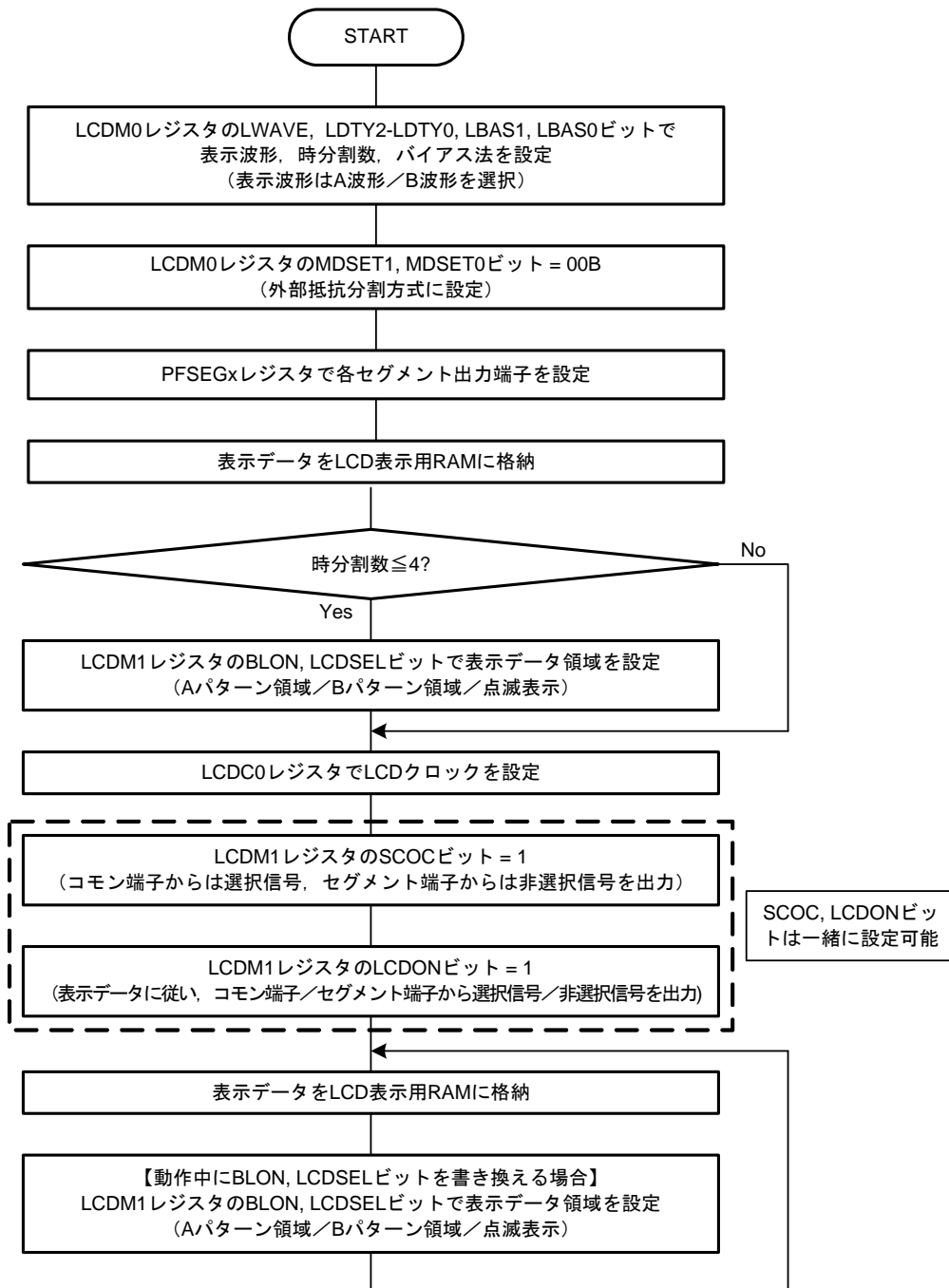
LCDコントローラ／ドライバの設定は、次のように行ってください。

注意1. LCDコントローラ／ドライバを動作させる場合は、必ず(1) - (3)の設定手順に従って動作させてください。設定手順を守らない場合の動作は保証しません。

注意2. (1) - (3)の設定手順は全てCPUの処理となっています。

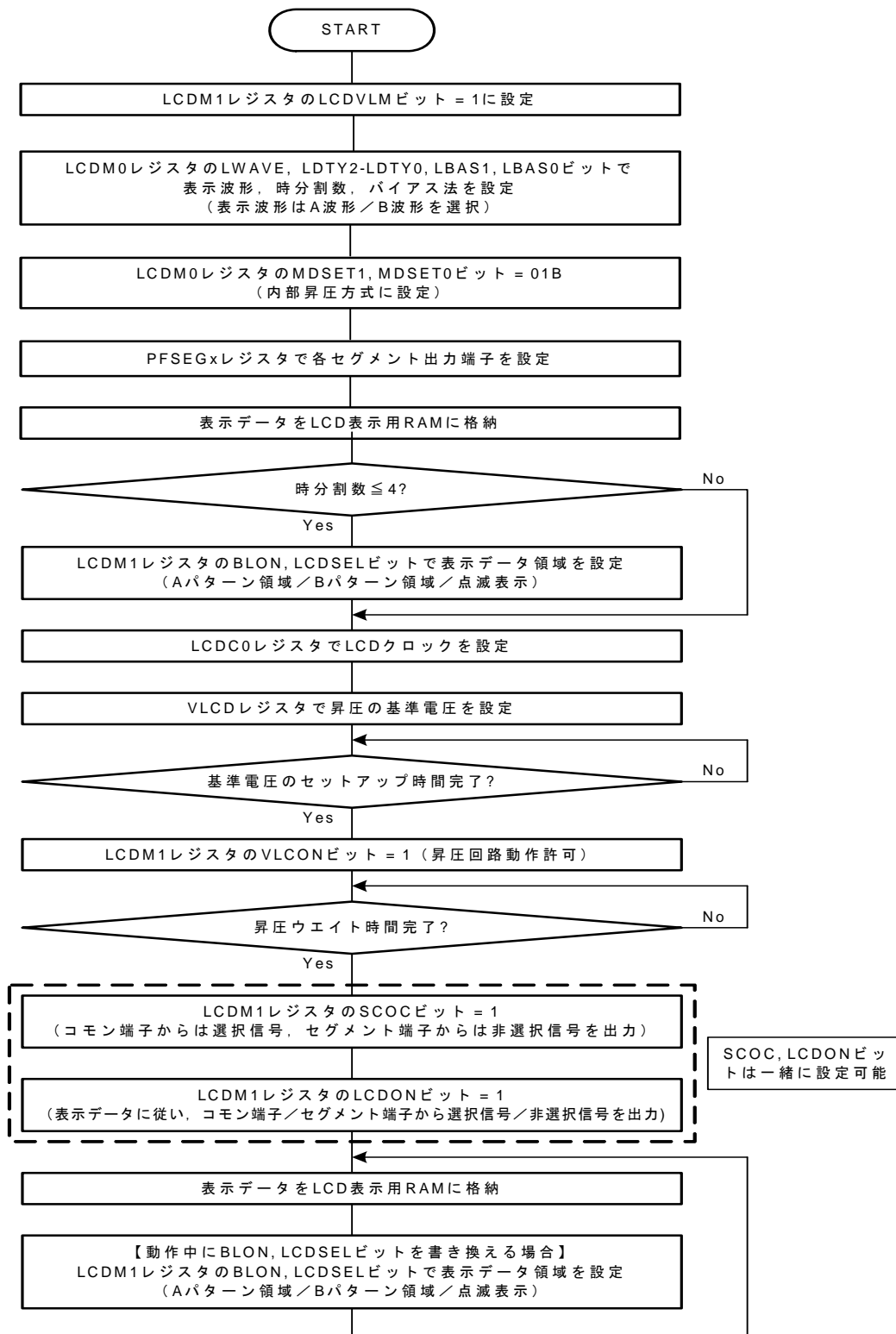
(1) 外部抵抗分割方式

図23-16 外部抵抗分割方式の設定手順



(2) 内部昇圧方式

図23-17 内部昇圧方式の設定手順

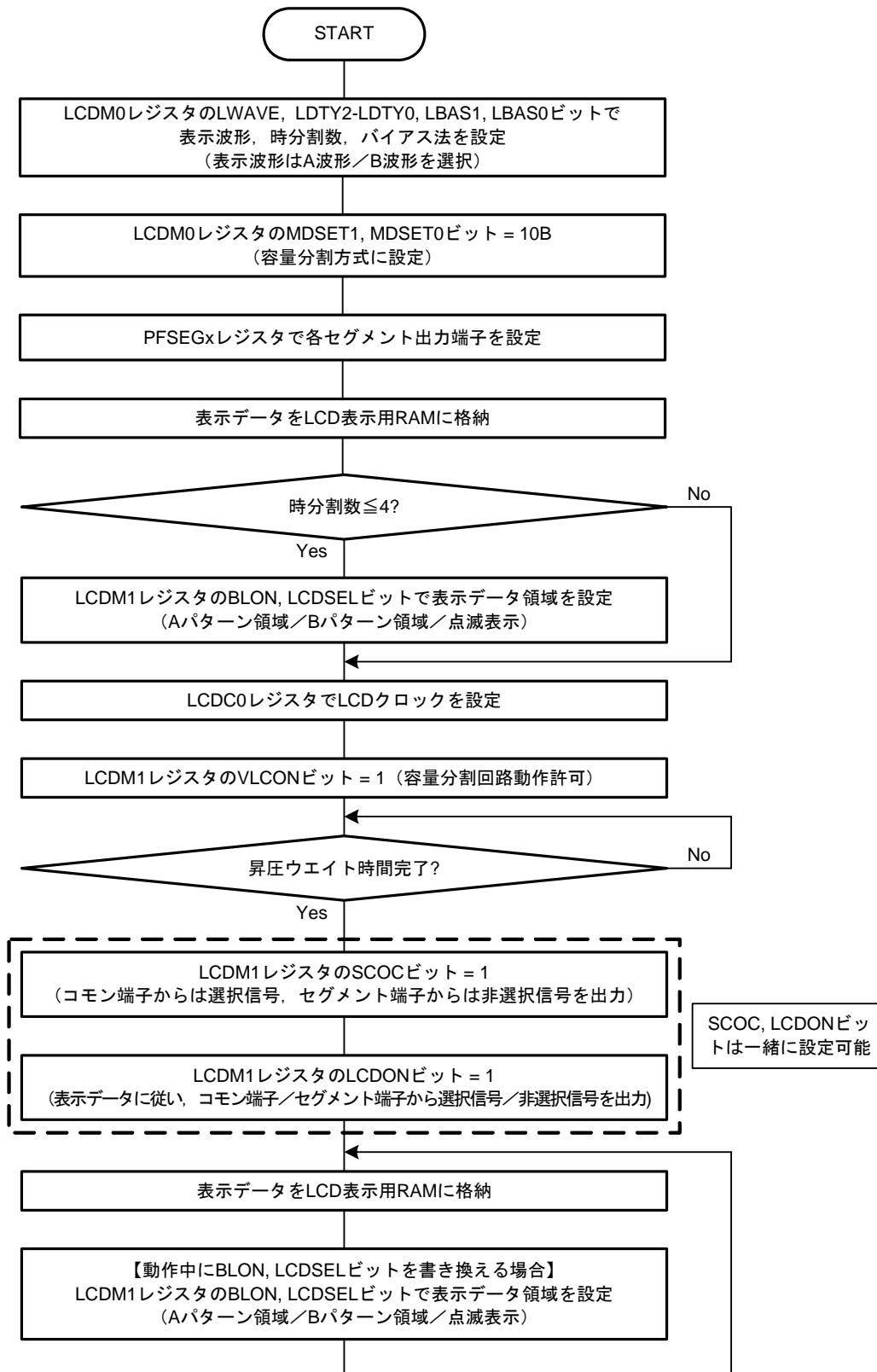


注意1. VLCDレジスタを変更しない場合でもセットアップ時間完了まで待ってください。

注意2. 基準電圧セットアップ時間, および昇圧ウェイト時間のスペックについては, 第38章 または第39章 電気的特性を参照してください。

(3) 容量分割方式

図23-18 容量分割方式の設定手順



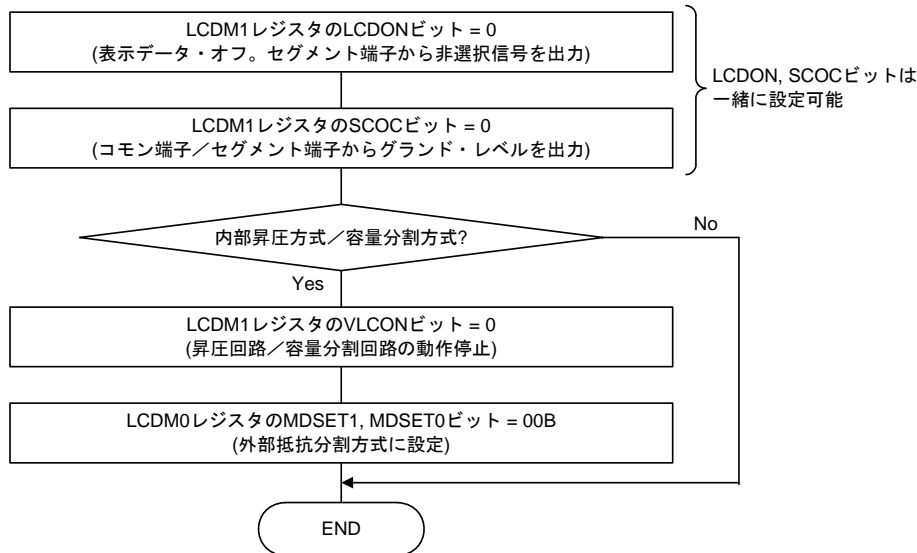
注意 昇圧ウエイト時間のスペックについては、第38章 または第39章 電気的特性を参照してください。

23.7 動作停止手順

LCDパネル表示中に動作を停止させたい場合は、次に示すフロー・チャートの設定で行ってください。

LCDM1レジスタのLCDONビット=0かつLCDM1レジスタのSCOCビット=0に設定することで、LCDの動作は停止します。

図23-19 動作停止手順



注意 表示オン状態（LCDM1レジスタのSCOC, LCDONビット=11B）で、昇圧/容量分割回路を停止すること（LCDM1レジスタのVLCONビット=0）は禁止です。設定した場合の動作は保証しません。必ず表示オフ（LCDM1レジスタのSCOC, LCDONビット=00B）にしてから昇圧/容量分割回路を停止（LCDM1レジスタのVLCONビット=0）してください。

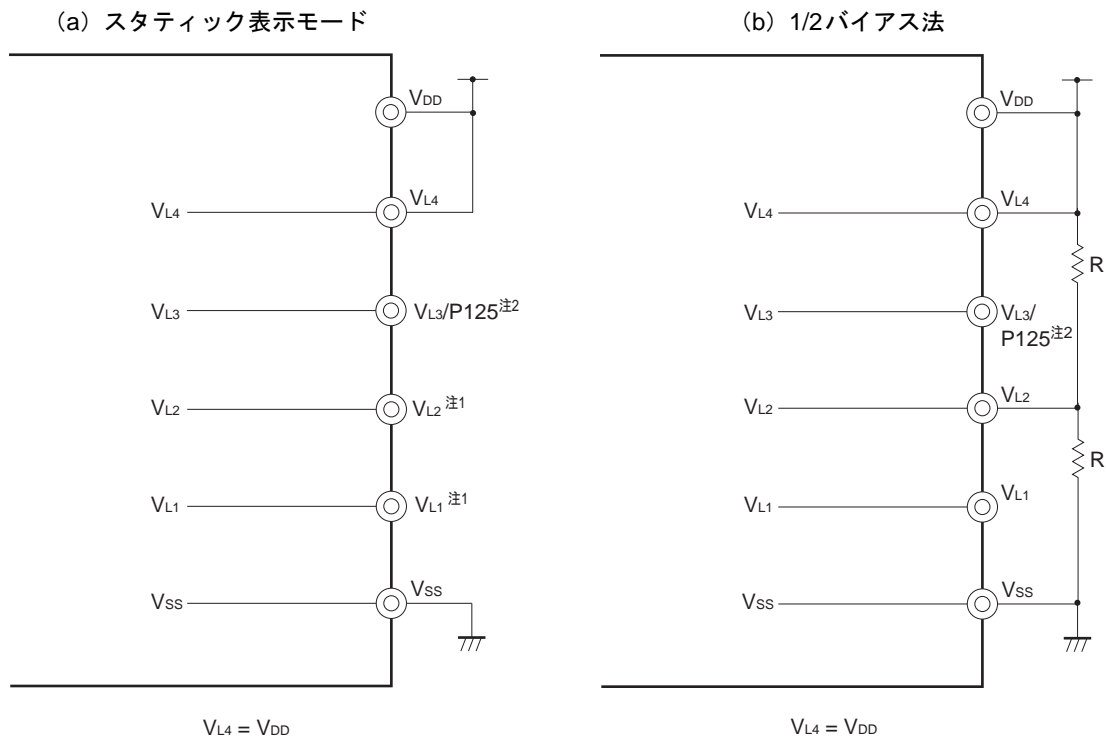
23.8 LCD駆動電圧 V_{L1} , V_{L2} , V_{L3} , V_{L4} の供給

LCD駆動用電源の生成方法として、外部抵抗分割方式、内部昇圧方式、容量分割方式の3種類を選択できます。

23.8.1 外部抵抗分割方式

図23 - 20に各バイアス法に応じたLCD駆動電圧の接続例を示します。

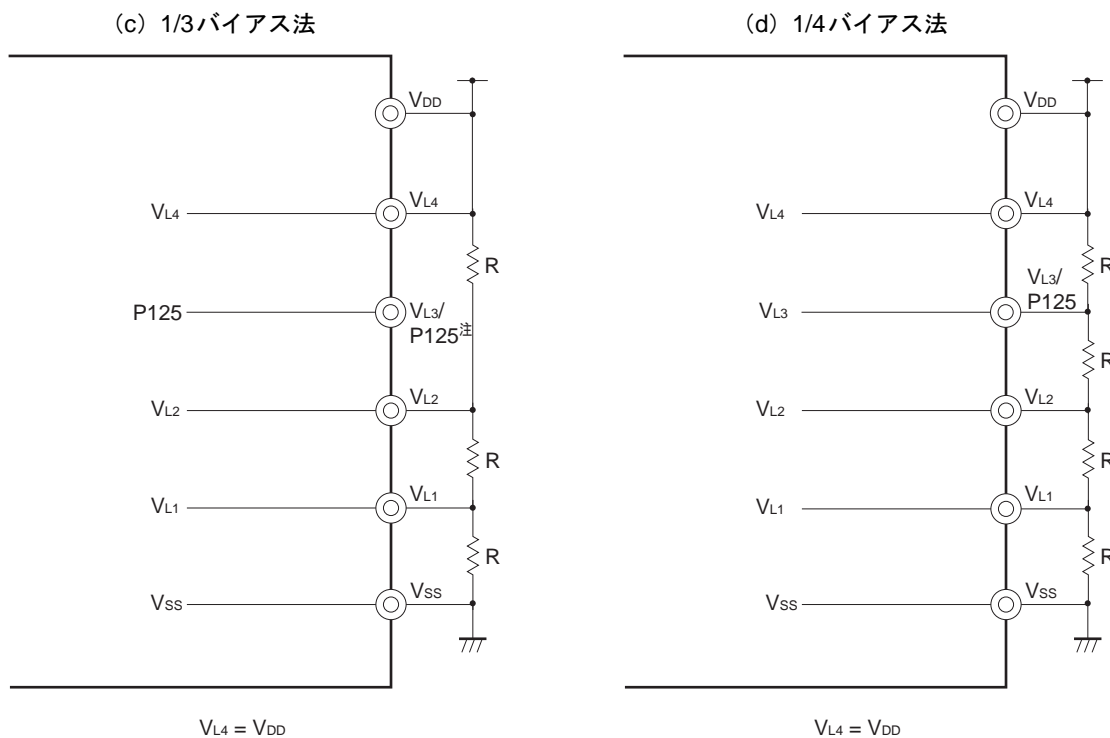
図23 - 20 LCD駆動用電源の接続例（外部抵抗分割方式）（1/2）



注1. V_{L1} , V_{L2} は、GNDもしくはオープンにしてください。

注2. V_{L3} は、ポート (P125) として使用できます。

図23 - 20 LCD駆動用電源の接続例（外部抵抗分割方式）（2/2）



注 VL3は、ポート（P125）として使用できます。

注意 外部抵抗分割用抵抗 R の参考値は、10 kΩ ~ 1 MΩ です。また、VL1-VL4 端子の電位を安定させる場合には、必要に応じて、VL1-VL4 端子-GND 間にコンデンサを接続してください。これらの参考値は、0.47 μF 程度です。使用する LCD パネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分に行った上で、値を調整して決定してください。

23.8.2 内部昇圧方式

RL78/H1Dは、LCD駆動電源用に内部昇圧回路を内蔵しています。内部昇圧回路と外付けのコンデンサ（0.47 $\mu\text{F} \pm 30\%$ ）により、LCD駆動電圧を生成します。内部昇圧方式は、1/3バイアス法または1/4バイアス法のみ使用できます。

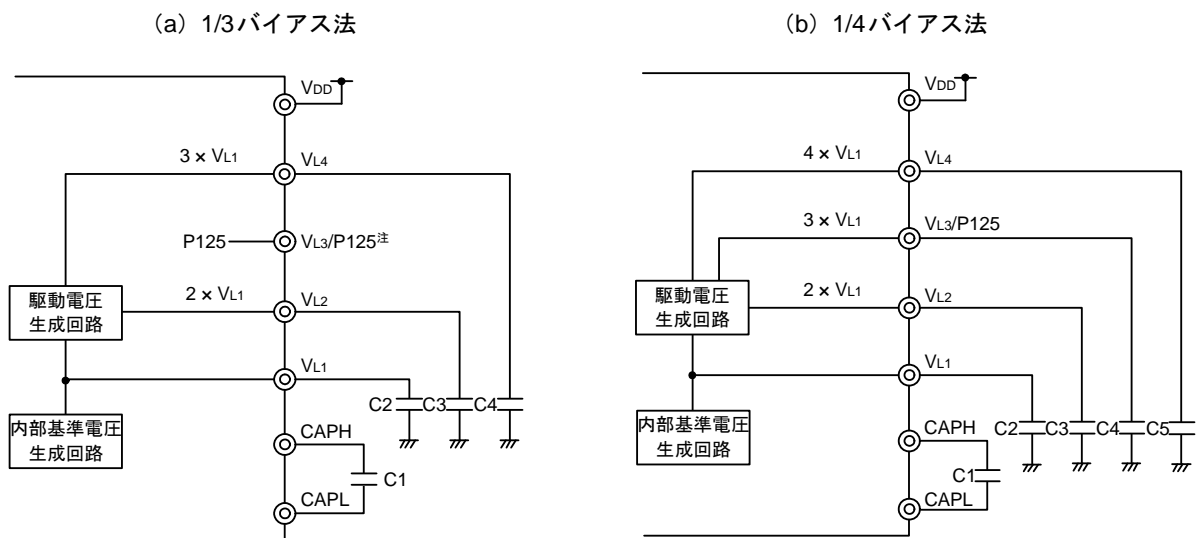
内部昇圧方式のLCD駆動電圧は、本体とは別の電源なので、VDDの変化に関わらず、一定の電圧を供給できます。

また、LCD昇圧制御レジスタ（VLCD）の設定により、コントラストを調整することができます。

表 23 - 13 LCD駆動電圧（内部昇圧方式）

表示モード	1/3バイアス法	1/4バイアス法
LCD駆動用電源端子		
VL4	$3 \times V_{L1}$	$4 \times V_{L1}$
VL3	—	$3 \times V_{L1}$
VL2	$2 \times V_{L1}$	$2 \times V_{L1}$
VL1	LCD基準電圧	LCD基準電圧

図 23 - 21 LCD駆動用電源の接続例（内部昇圧方式）



注 VL3は、ポート（P125）として使用できます。

備考 なるべくリークが少ないコンデンサをご使用ください。
 なお、C1は無極性コンデンサにしてください。

23.8.3 容量分割方式

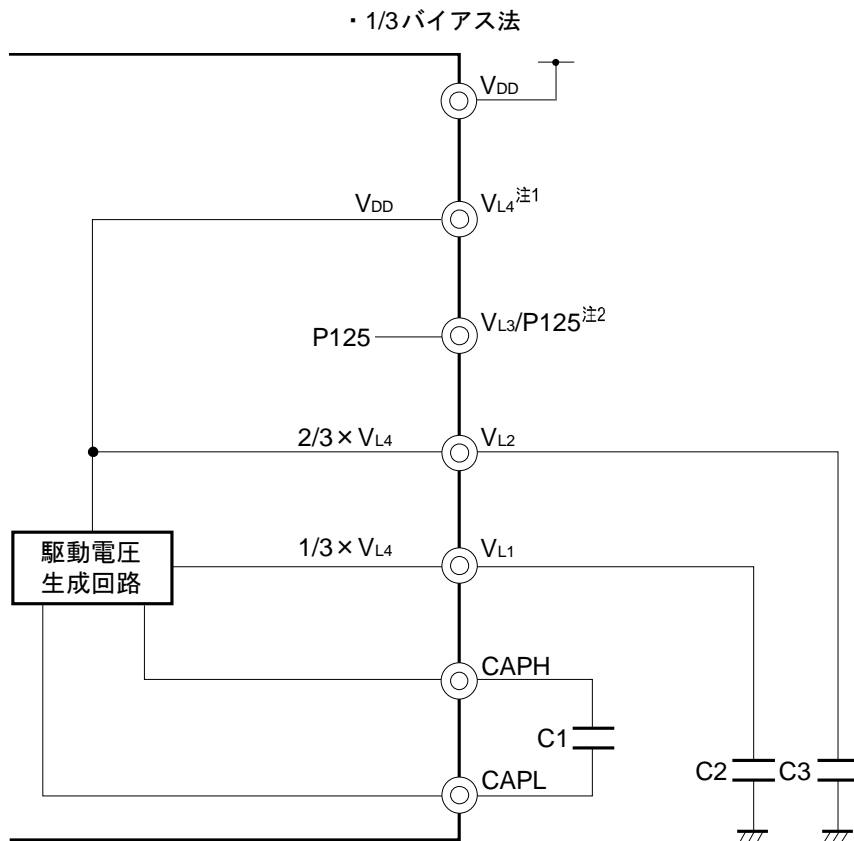
RL78/H1Dは、LCD駆動電源用に容量分割回路を内蔵しています。容量分割回路と外付けのコンデンサ（ $0.47\ \mu\text{F}\pm 30\%$ ）により、LCD駆動電圧を生成します。容量分割方式は、1/3バイアス法のみ使用できます。

外部抵抗分割方式とは異なり、容量分割方式では常時電流が流れないため、消費電流を低減することができます。

表23 - 14 LCD駆動電圧（容量分割方式）

LCD駆動用電源端子	表示モード	1/3バイアス法
V _{L4}	V _{DD}	
V _{L3}	—	
V _{L2}	$2/3 \times V_{L4}$	
V _{L1}	$1/3 \times V_{L4}$	

図23 - 22 LCD駆動用電源の接続例（容量分割方式）



注1. 内部昇圧方式に切り替えて使用する場合は、図23 - 21 LCD駆動用電源の接続例（内部昇圧方式）のようにコンデンサC4を接続してください。

注2. VL3は、ポート（P125）として使用できます。

備考 なるべくリークの少ないコンデンサをご使用ください。
なお、C1は無極性コンデンサにしてください。

23.9 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧VLCD）以上になると点灯します。VLCD以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお、2時分割の場合のCOM2, COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

また、6時分割、8時分割以外の場合のCOM4-COM7端子および6時分割の場合のCOM6, COM7端子は、オープンまたはセグメント端子として使用してください。

表23 - 15 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック	→	→	→	→	注	注	注	注
2時分割	→	→	オープン	オープン	注	注	注	注
3時分割	→	→	→	オープン	注	注	注	注
4時分割	→	→	→	→	注	注	注	注
6時分割	→	→	→	→	→	→	注	注
8時分割	→	→	→	→	→	→	→	→

注 オープン、またはセグメント端子として使用してください。

(2) セグメント信号

セグメント信号は、LCD表示データ・レジスタ (23.4 LCD表示データ・レジスタ参照) に対応しています。

8時分割方式で使用する場合、各表示データ・レジスタのビット0からビット7が、COM0からCOM7に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子 (SEG4-SEG35) に出力されます。

8時分割方式以外で使用する場合、Aパターン領域では、各表示データ・レジスタのビット0からビット3がCOM0からCOM3に、Bパターン領域では、各表示データ・レジスタのビット4からビット7がCOM0からCOM3に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子 (SEG0-SEG35) に出力されます。

以上のことから、LCD表示データ・レジスタには使用するLCDパネルの前面電極 (セグメント信号に対応) と背面電極 (コモン信号に対応) がどのような組み合わせで表示パターンを形成するのかを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

備考 搭載するセグメント端子は、製品により異なります。

- R5F11NM, R5F11RM : SEG0-SEG35
- R5F11NL : SEG0-SEG3, SEG5-SEG9, SEG14-SEG21, SEG24, SEG26-SEG34

(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表23-16に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表23-16 LCD駆動電圧

(a) スタティック表示モード

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
V_{L4}/V_{SS}		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2バイアス法

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	V_{L2}	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$	$+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$

(c) 1/3バイアス法 (A波形, B波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}/V_{L1}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$
非選択信号レベル	V_{L1}/V_{L2}	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$+\frac{1}{3}V_{LCD}/-\frac{1}{3}V_{LCD}$

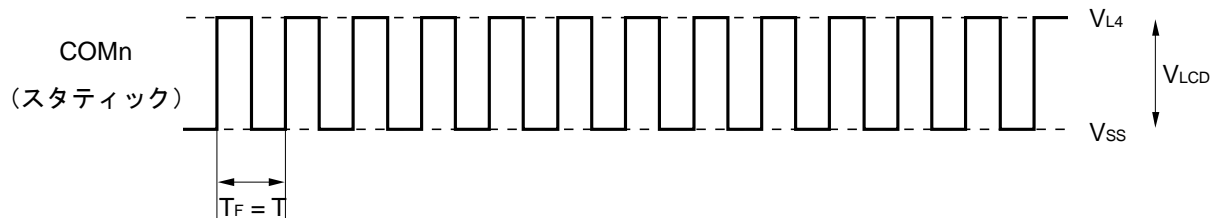
(d) 1/4バイアス法 (A波形, B波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$
非選択信号レベル	V_{L1}/V_{L3}	$-\frac{1}{4}V_{LCD}/+\frac{1}{4}V_{LCD}$	$+\frac{1}{4}V_{LCD}/-\frac{1}{4}V_{LCD}$

図23-23にコモン信号波形を、図23-24にコモン信号とセグメント信号の電圧と位相を示します。

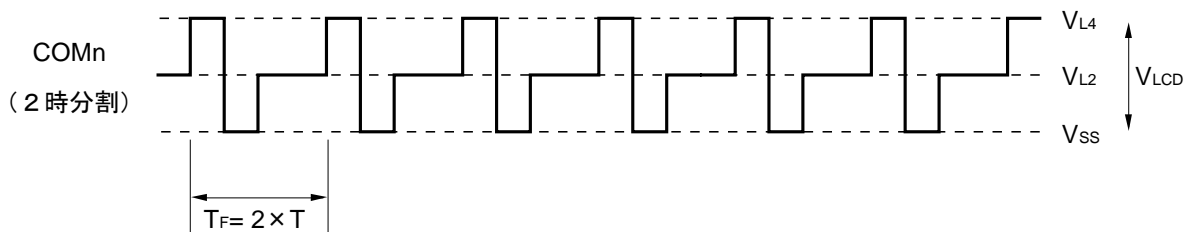
図23-23 コモン信号波形 (1/3)

(a) スタティック表示モード



T: LCDクロックの1周期分 T_F : フレーム周波数

(b) 1/2バイアス法



T: LCDクロックの1周期分 T_F : フレーム周波数

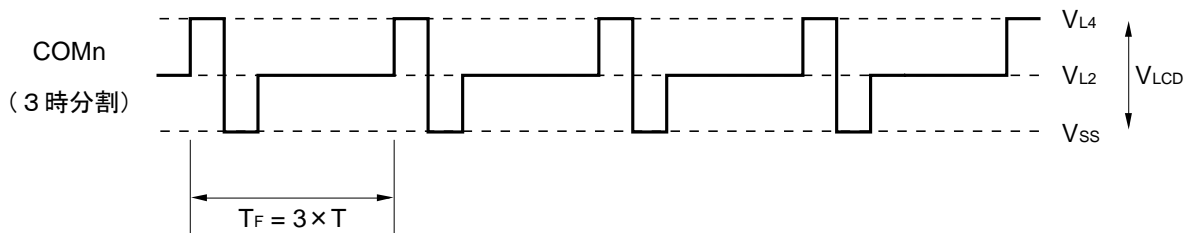
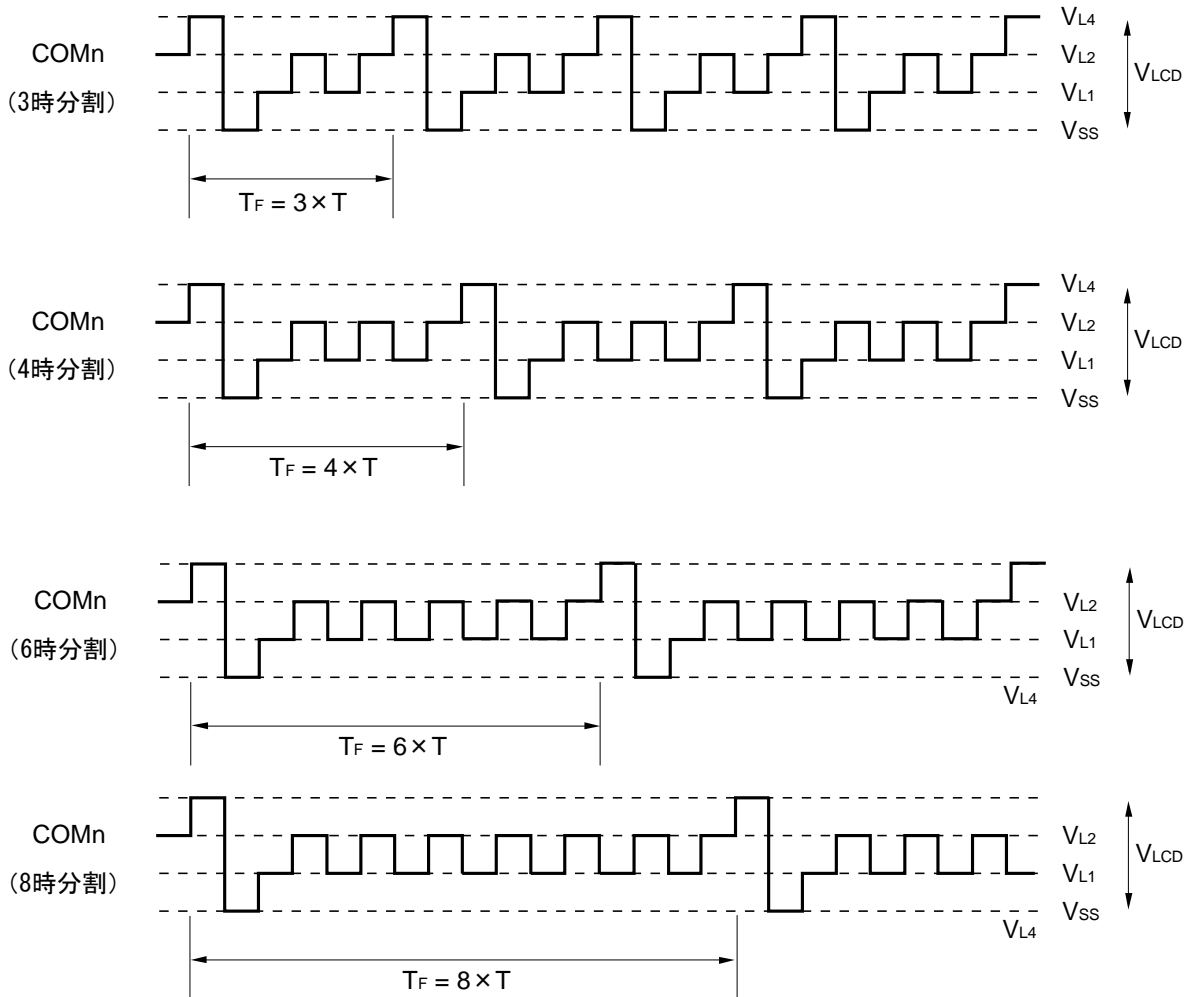


図23-23 コモン信号波形 (2/3)

(c) 1/3バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

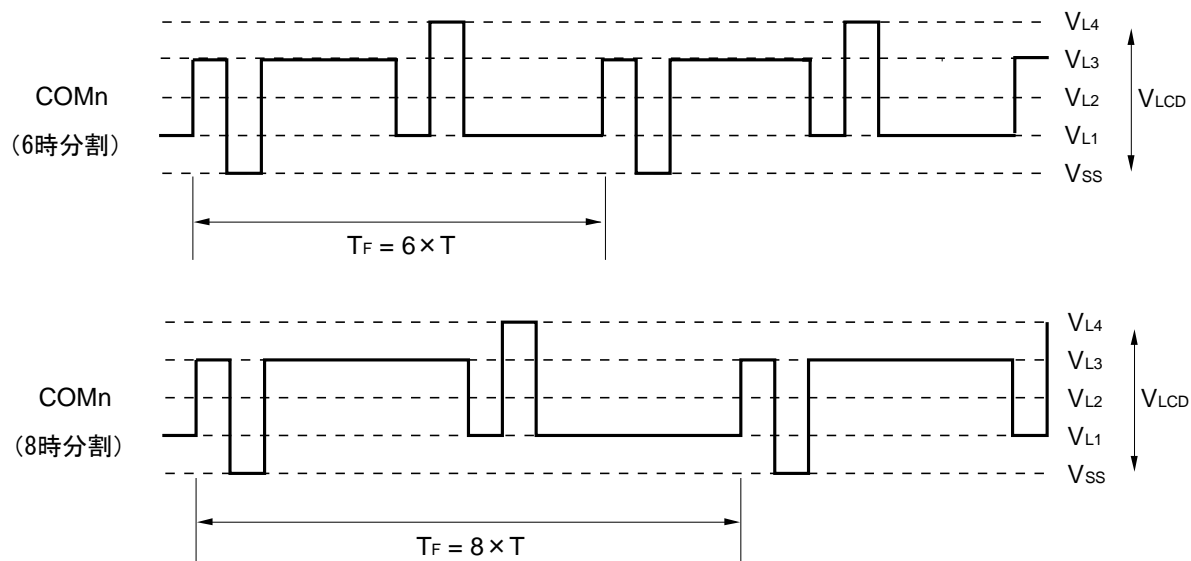
< LCDフレーム周波数の算出例 (4時分割使用時) >

LCDクロック : $32768/2^7 = 256 \text{ Hz}$ (LCDC0 = 06H設定時)

LCDフレーム周波数 : 64 Hz

図23 - 23 コモン信号波形 (3/3)

(d) 1/4バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

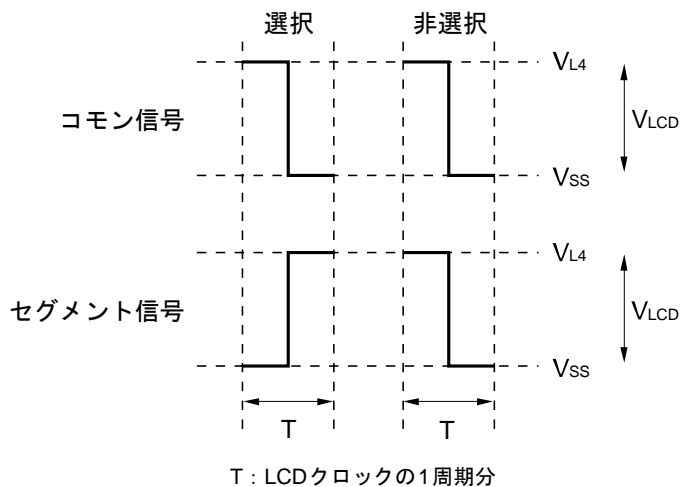
< LCDフレーム周波数の算出例 (8時分割使用時) >

LCDクロック : $32768/2^7 = 256 \text{ Hz}$ (LCDC0 = 06H設定時)

LCDフレーム周波数 : 32 Hz

図23-24 コモン信号とセグメント信号の電圧と位相 (1/3)

(a) スタティック表示モード (A波形)



(b) 1/2バイアス法 (A波形)

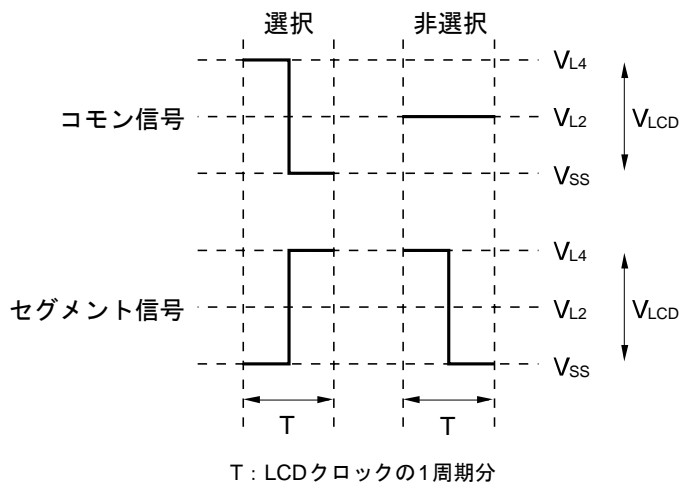


図23-24 コモン信号とセグメント信号の電圧と位相 (2/3)

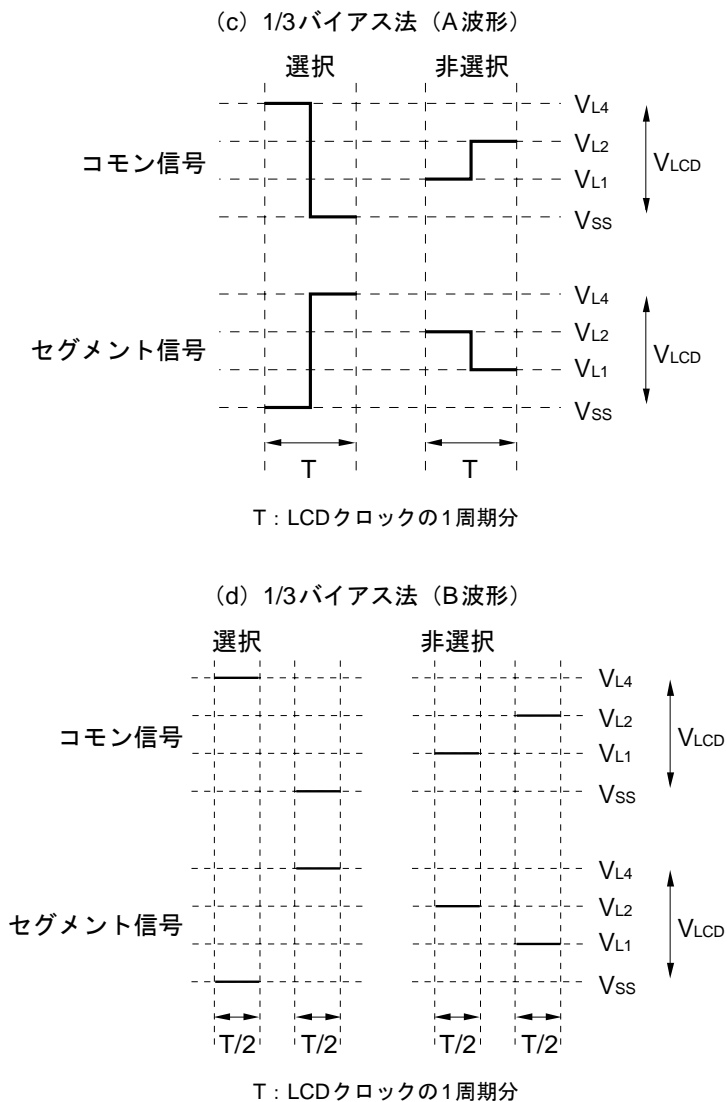
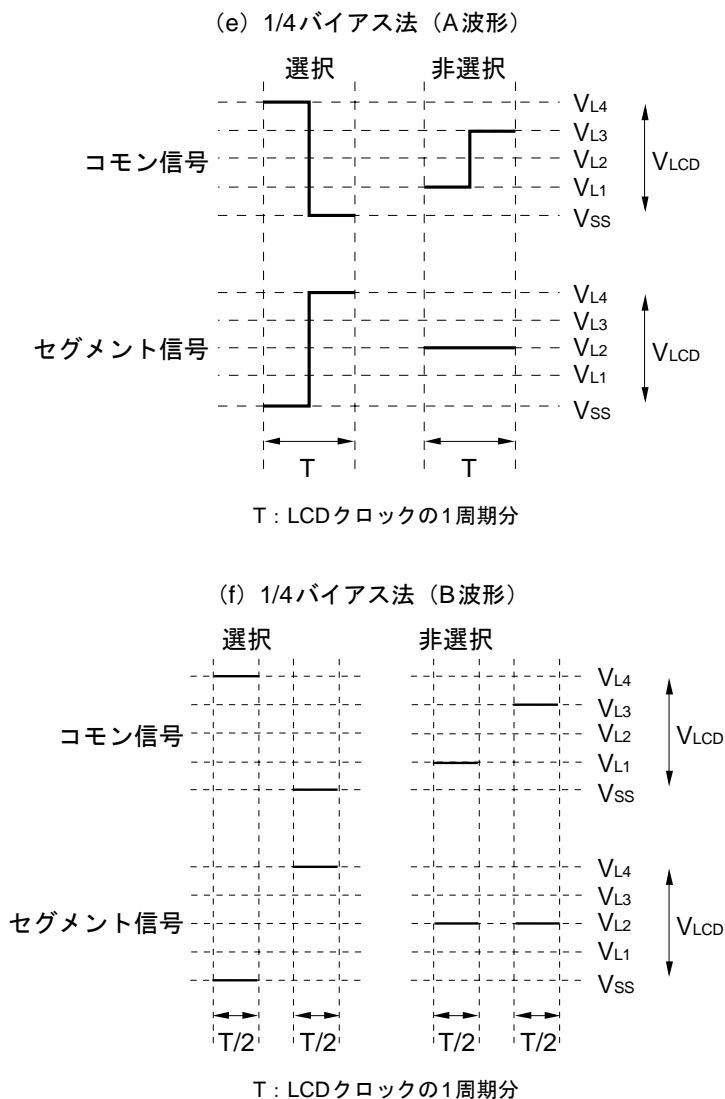


図23-24 コモン信号とセグメント信号の電圧と位相 (3/3)



23.10 表示モード

23.10.1 スタティック表示例

図23 - 26は、図23 - 25の表示パターンを持つスタティック方式の3桁のLCDパネルとセグメント信号(SEG0-SEG23) およびコモン信号 (COM0) との接続を示します。表示例は12.3で、表示データ・レジスタ (F0400H-F0417H) の内容はこれに対応しています。

ここでは2桁目の2. (2) を例にとって説明します。図23 - 25の表示パターンに従って、COM0のコモン信号のタイミングで表23 - 17に示すような選択、非選択電圧をSEG8-SEG15端子に出力する必要があります。

表23 - 17 選択、非選択電圧 (COM0)

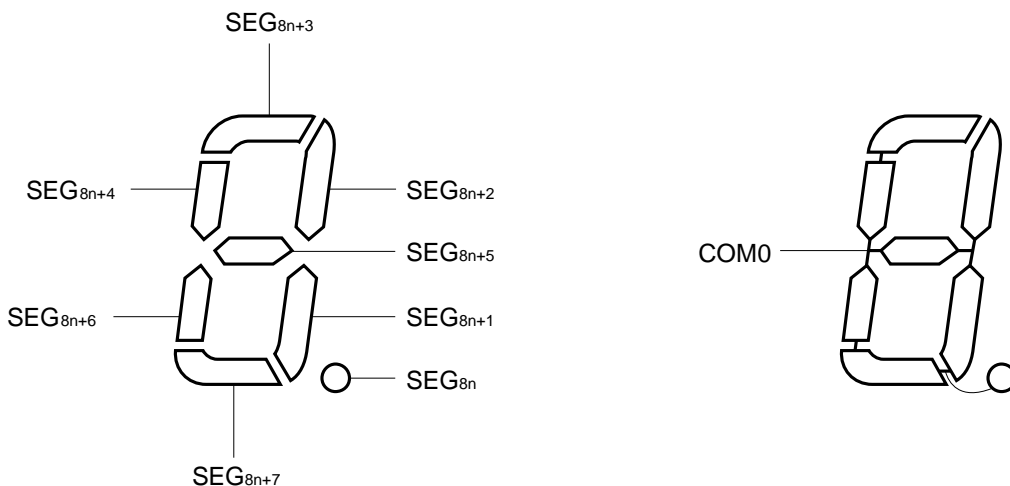
セグメント コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これによりSEG8-SEG15に対応する表示データ・レジスタ (F0408H-F040FH) のビット0には、10110111を用意すればよいことが分かります。

SEG11, SEG12とCOM0とのLCD駆動波形を図23 - 27に示します。COM0との選択タイミングでSEG11が選択電圧になるときに、LCD点灯レベルである+VLCD/-VLCDの交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図23 - 25 スタティックLCDの表示パターンと電極結線



備考 R5F11NM : n = 0-3

図23-26 スタティックLCDパネルの結線例

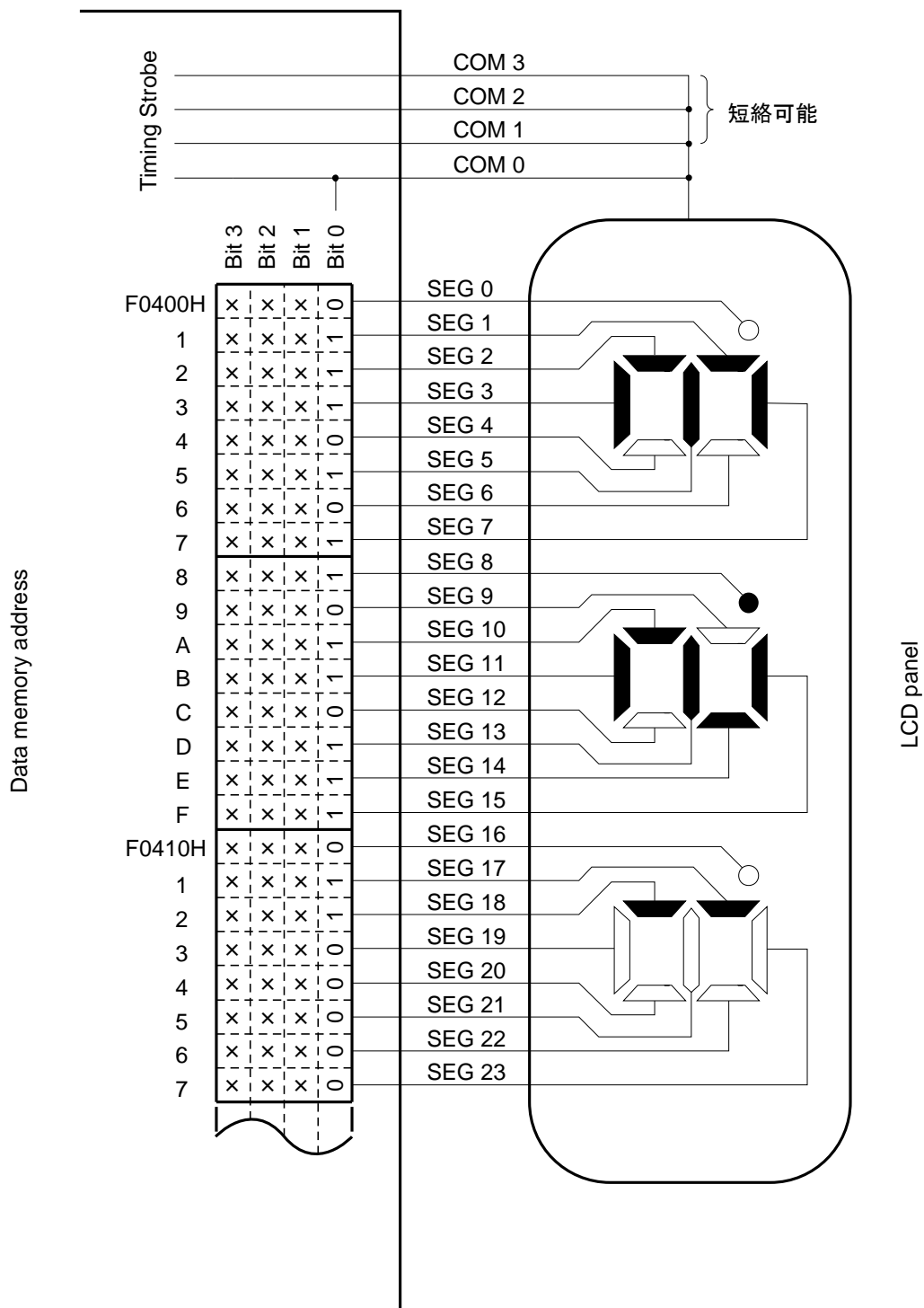
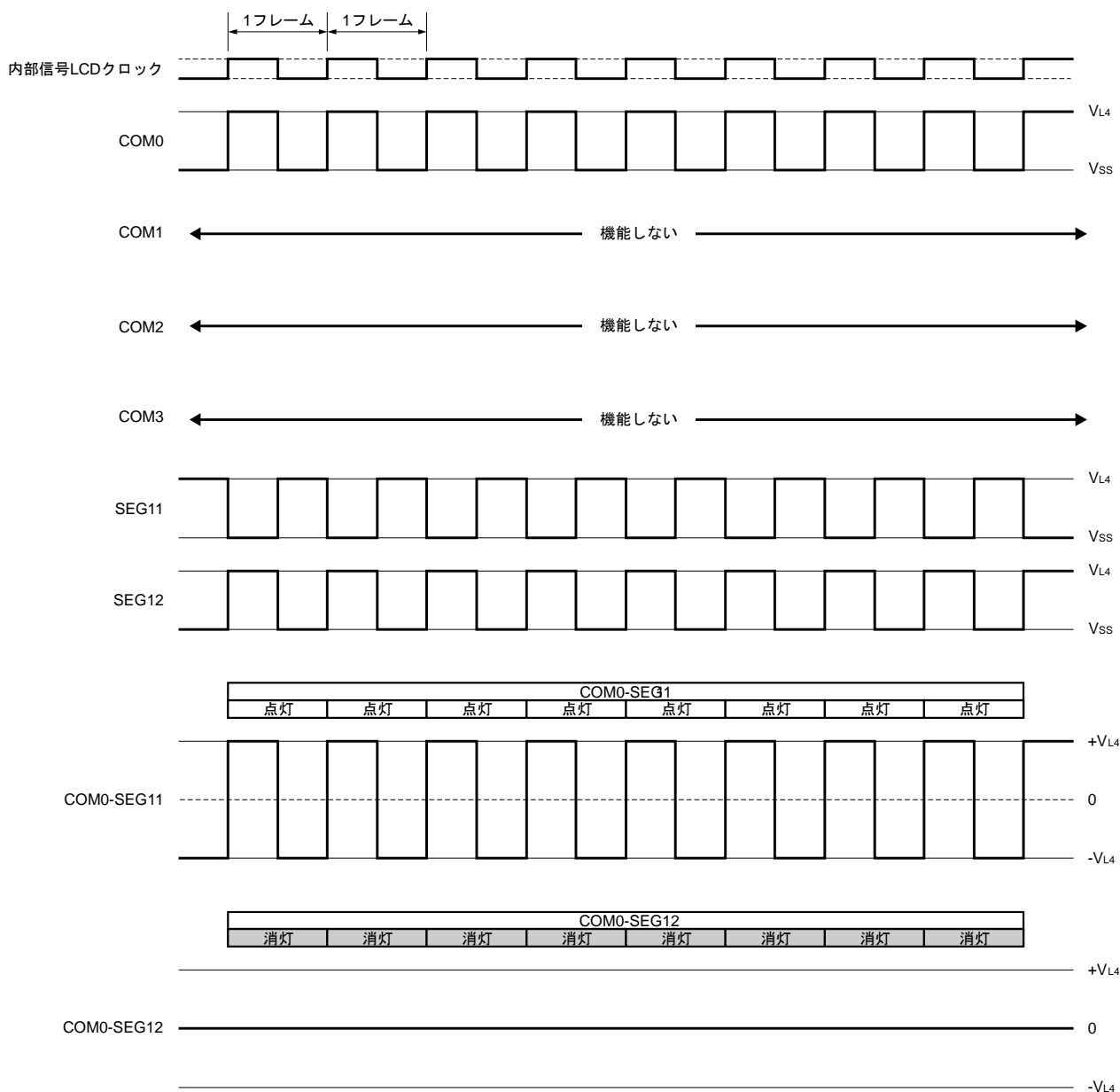


図23-27 SEG11, SEG12とCOM0とのスタティックLCD駆動波形例



23.10.2 2時分割表示例

図23 - 29は、図23 - 28の表示パターンを持つ2時分割方式の6桁LCDパネルとセグメント信号(SEG0-SEG23)およびコモン信号 (COM0, COM1) との接続を示します。表示例は12345.6で、表示データ・レジスタ (F0400H-F0417H) の内容はそれらに対応しています。

ここでは4桁目の3 (3) を例にとって説明します。図23 - 28の表示パターンに従って、COM0, COM1の各コモン信号のタイミングで表23 - 18に示すような選択、非選択電圧をSEG12-SEG15端子に出力する必要があります。

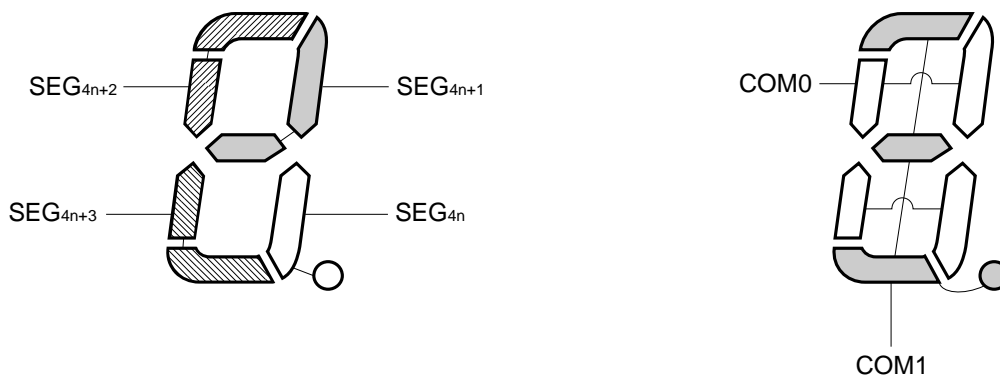
表23 - 18 選択、非選択電圧 (COM0, COM1)

セグメント コモン	SEG12	SEG13	SEG14	SEG15
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえばSEG15に対応する表示データ・レジスタ (F040FH番地) には、 $\times 10$ を用意すればよいことが分かります。

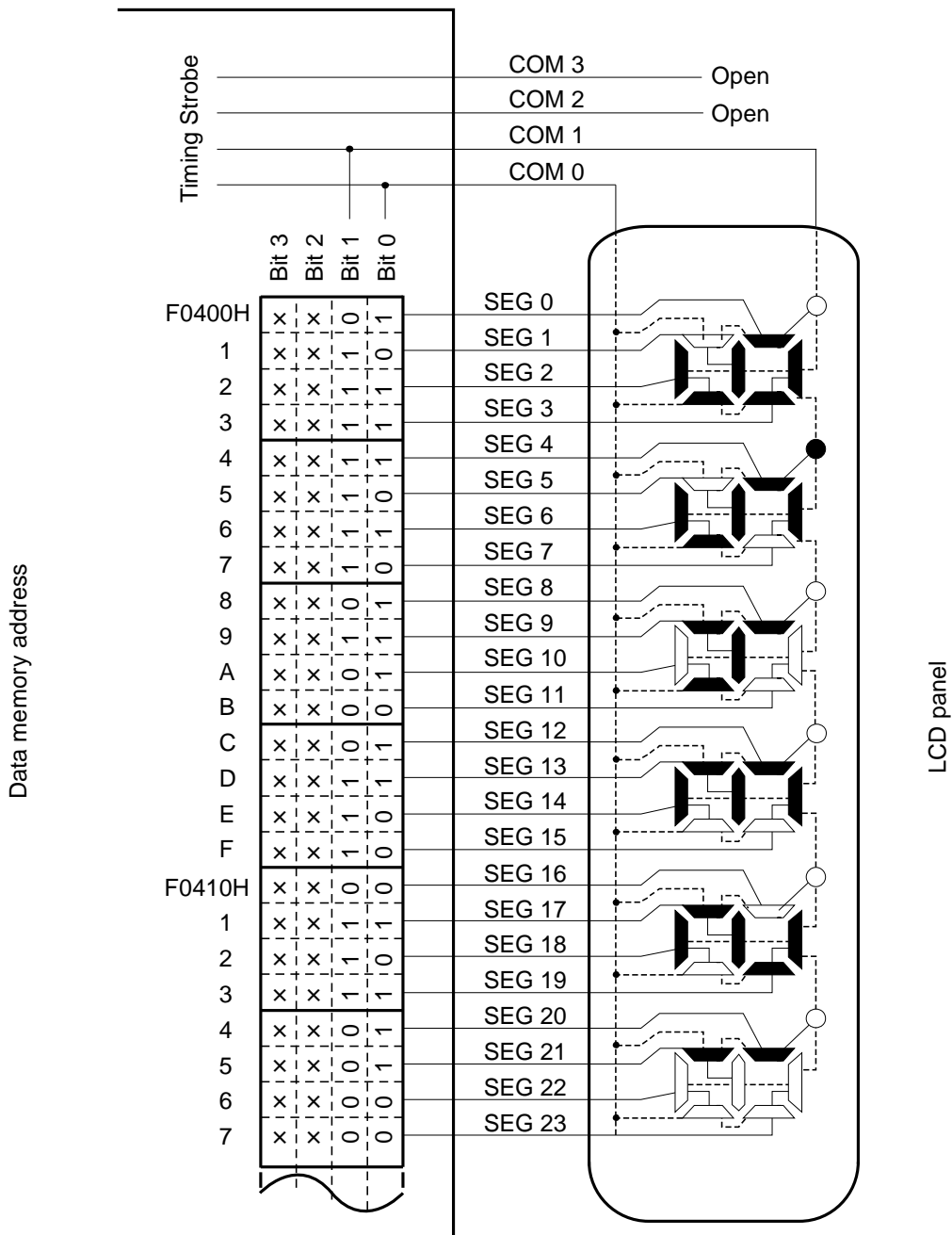
SEG15と各コモン信号間のLCD駆動波形例を図23 - 30に示します。COM1の選択タイミングでSEG15が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図23 - 28 2時分割LCD表示パターンと電極結線



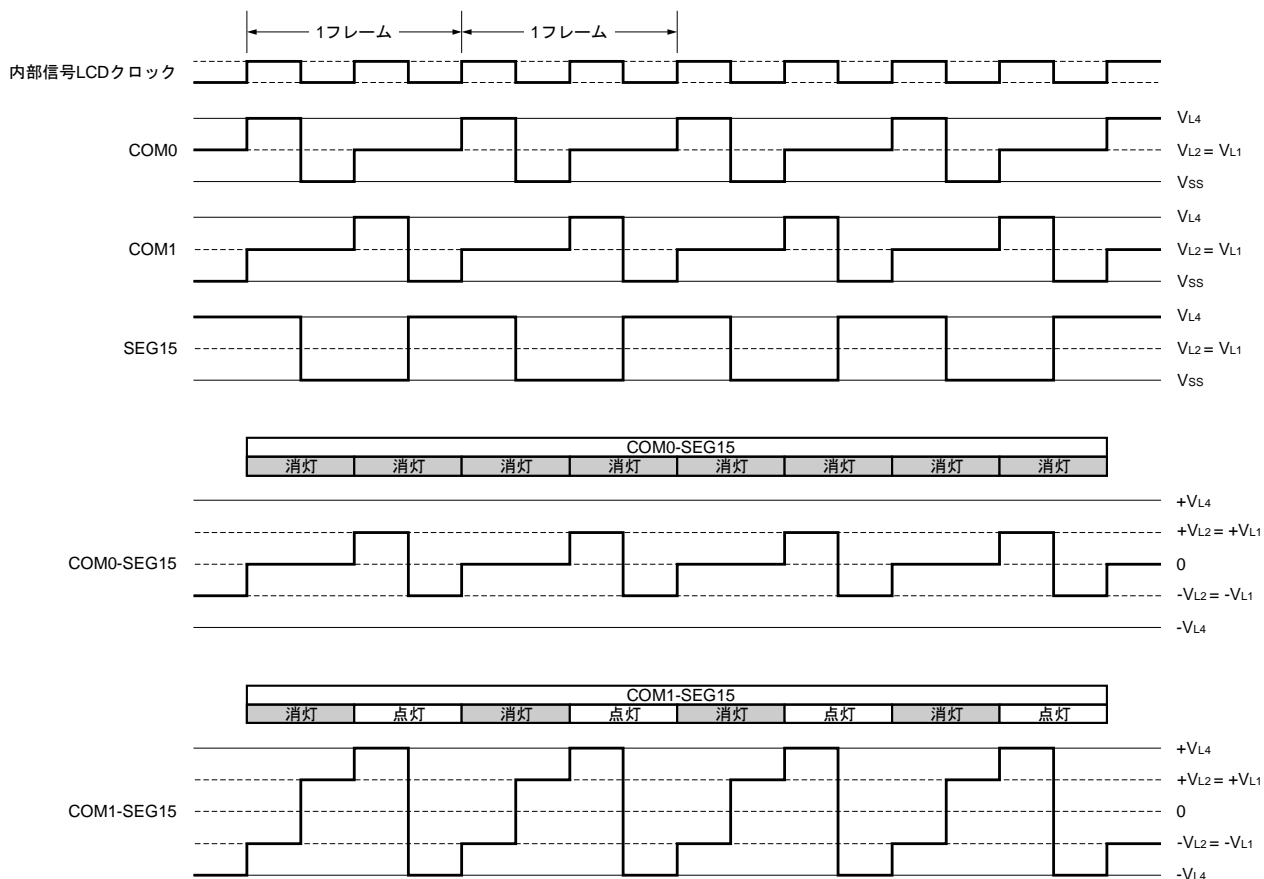
備考 R5F11NM : n = 0-8

図23 - 29 2時分割LCDパネルの結線例



x : 2時分割表示のため、常に任意のデータをストア可能です。

図23 - 30 SEG15と各コモン信号間の2時分割LCD駆動波形例 (1/2バイアス法)



23.10.3 3時分割表示例

図23 - 32は、図23 - 31の表示パターンを持つ3時分割方式の8桁LCDパネルとセグメント信号(SEG0-SEG23)およびコモン信号(COM0-COM2)との接続を示します。表示例は123456.78で、表示データ・レジスタ(F0400H-F0417H)の内容はこれに対応しています。

ここでは3桁目の6.($\underline{6}$)を例にとって説明します。図23 - 31の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表23 - 19に示すような選択、非選択電圧をSEG6-SEG8端子に出力する必要があります。

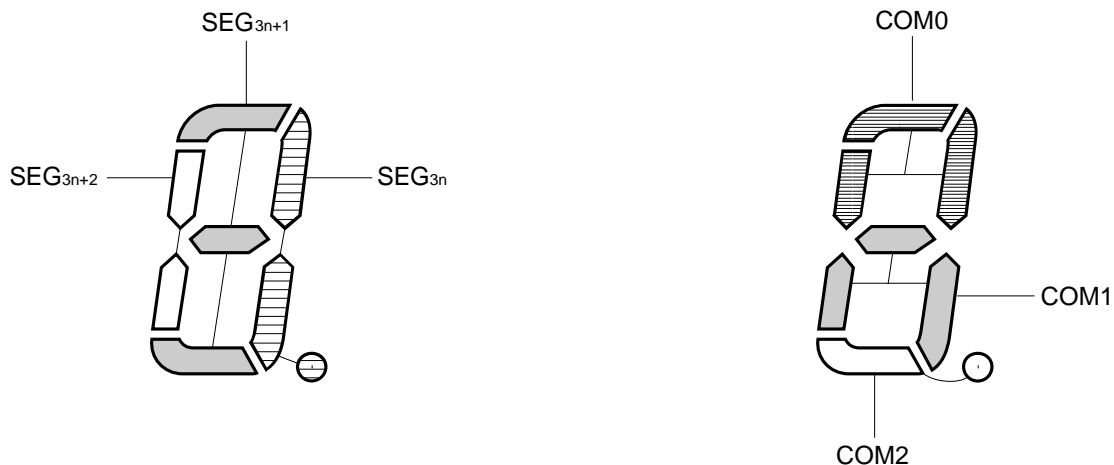
表23 - 19 選択、非選択電圧 (COM0-COM2)

セグメント コモン	SEG6	SEG7	SEG8
COM0	非	選	選
COM1	選	選	選
COM2	選	選	—

これによりSEG6に対応する表示データ・レジスタ(F0406H番地)には、x110を用意すればよいことが分かります。

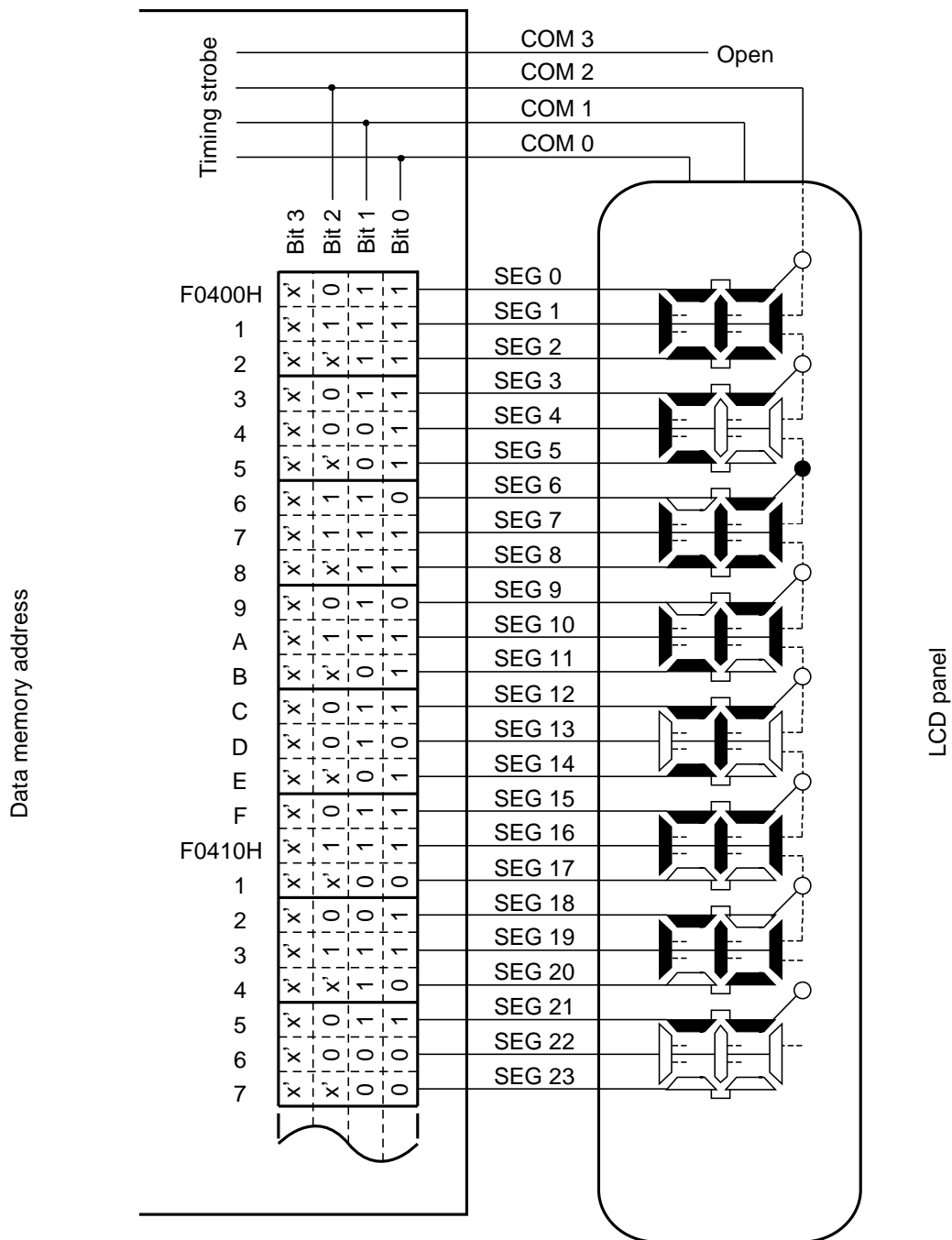
SEG6と各コモン信号間のLCD駆動波形例を図23 - 33 (1/2バイアス法)、図23 - 34 (1/3バイアス法)に示します。COM1の選択タイミングでSEG6が選択電圧のとき、およびCOM2の選択タイミングでSEG6が選択電圧のときに、LCD点灯レベルである+VLCD/-VLCDの交流矩形波が発生することが分かります。

図23 - 31 3時分割LCD表示パターンと電極結線



備考 R5F11NM : n = 0-11

図23 - 32 3時分割LCDパネルの結線例



X' : LCDパネルに対応セグメントがないため任意のデータをストア可能です。

x : 3時分割表示のため、常に任意のデータをストア可能です。

図23 - 33 SEG6と各コモン信号間の3時分割LCD駆動波形例 (1/2バイアス法)

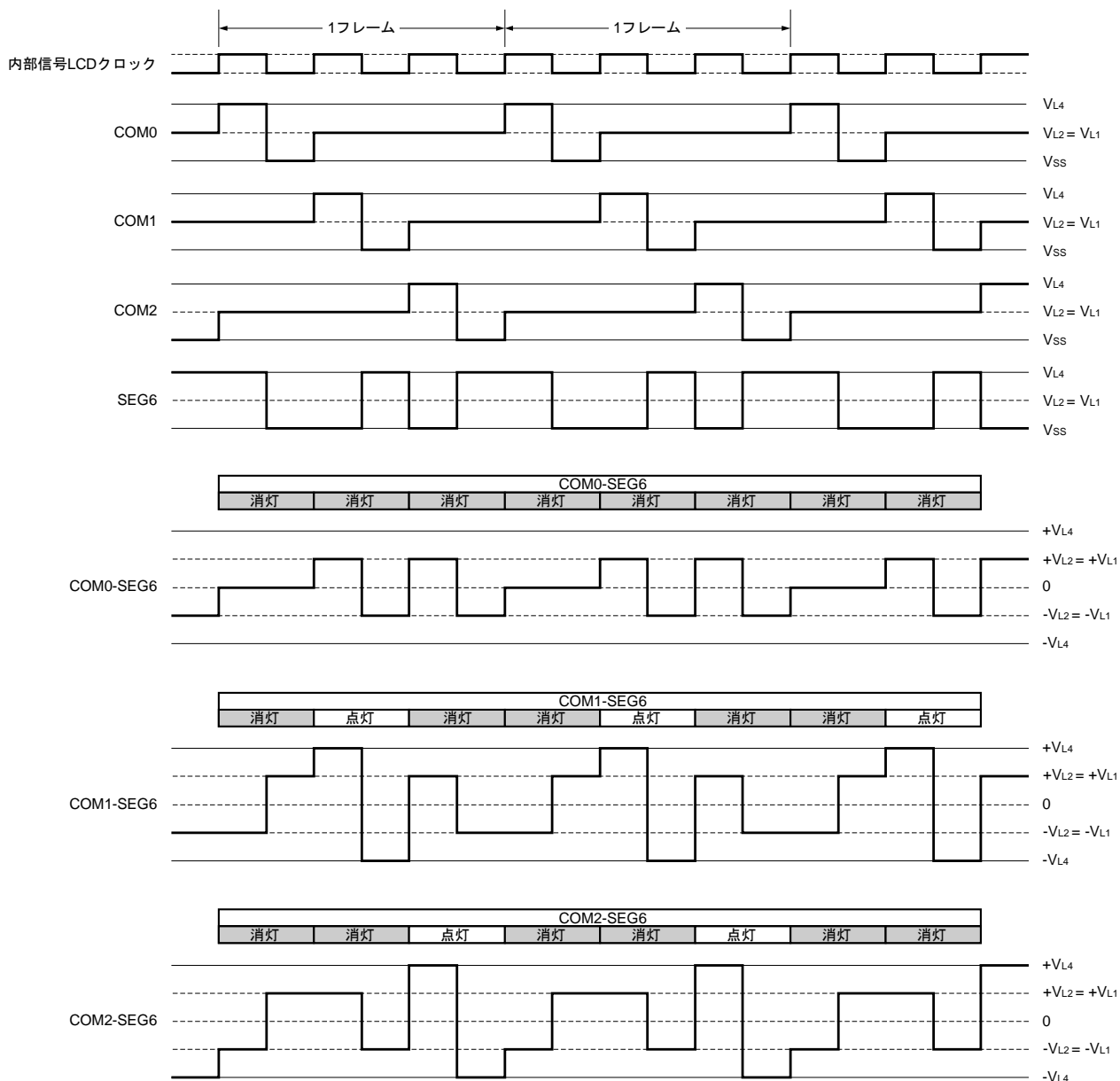
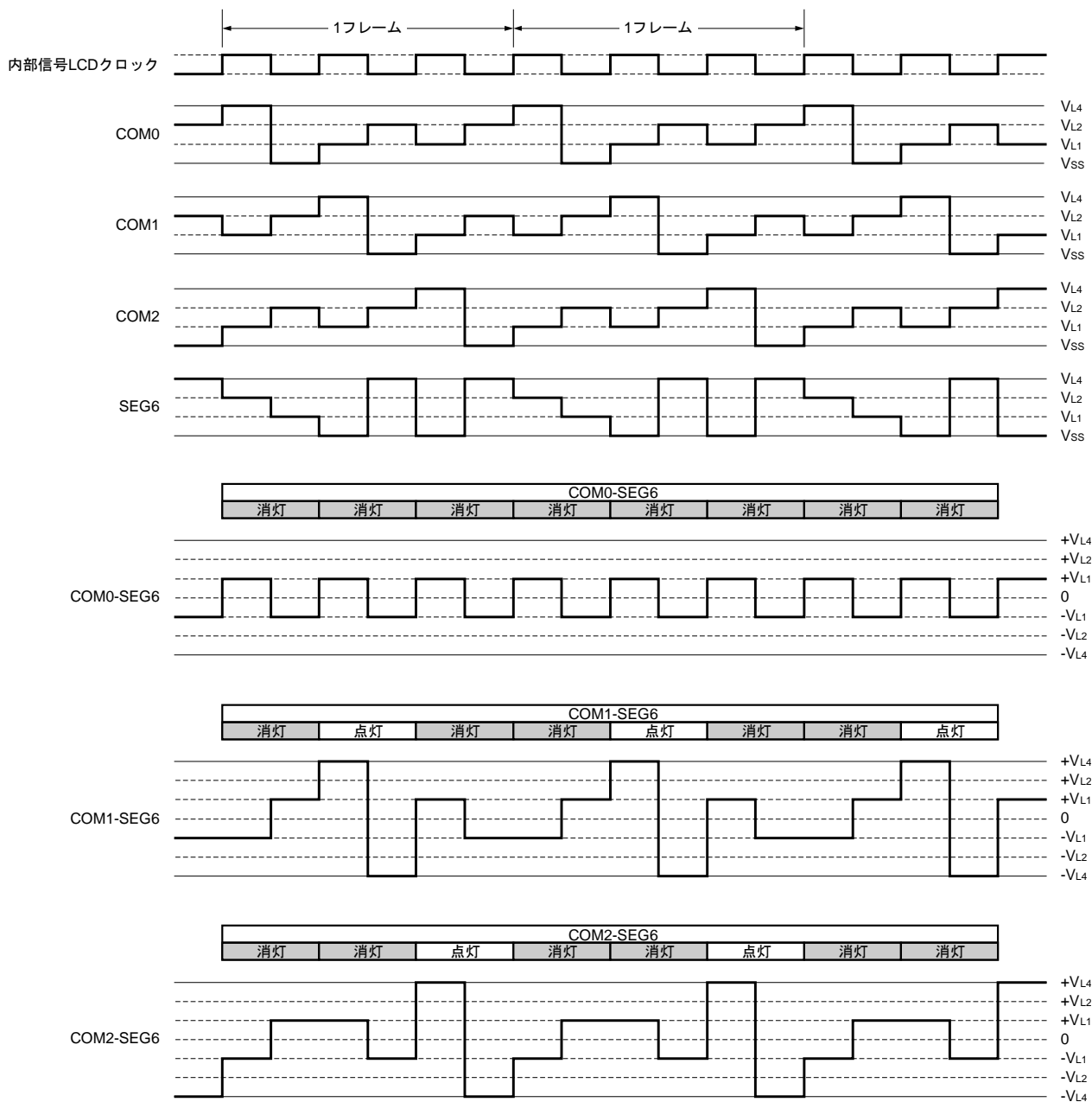


図23-34 SEG6と各コモン信号間の3時分割LCD駆動波形例 (1/3バイアス法)



23.10.4 4時分割表示例

図23-36は、図23-35の表示パターンを持つ4時分割方式の12桁LCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0-COM3）との接続を示します。表示例は123456.789012で、表示データ・レジスタ（F0400H-F0417H番地）の内容はこれに対応しています。

ここでは7桁目の6.（ $\bar{6}$ ）を例にとって説明します。図23-35の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表23-20に示すような選択、非選択電圧をSEG12, SEG13端子に出力する必要があります。

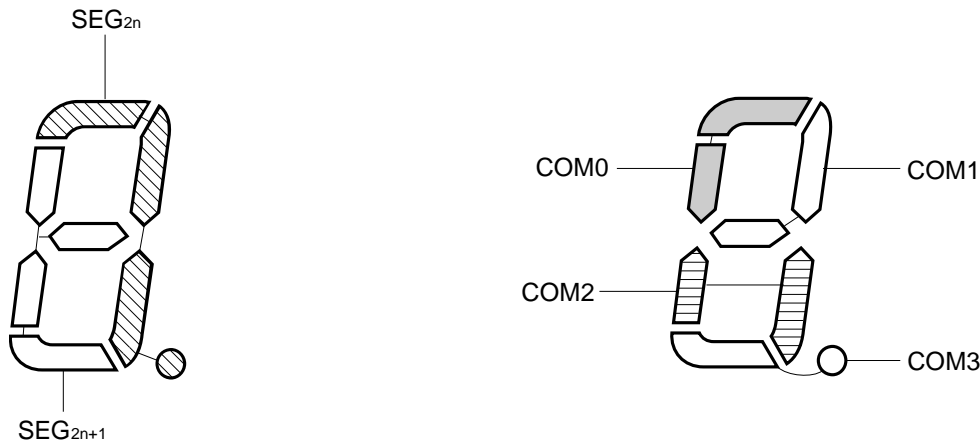
表23-20 選択、非選択電圧（COM0-COM3）

セグメント コモン	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりSEG12に対応する表示データ・レジスタ（F040CH番地）には、1101を用意すればよいことが分かります。

SEG12と各コモン信号間のLCD駆動波形例を図23-37に示します。COM0の選択タイミングでSEG12が選択電圧になるときに、LCD点灯レベルである+VLCD/-VLCDの交流矩形波が発生することが分かります。

図23-35 4時分割LCD表示パターンと電極結線



備考 R5F11NM : n = 0-17

図23 - 36 4時分割LCDパネルの結線例

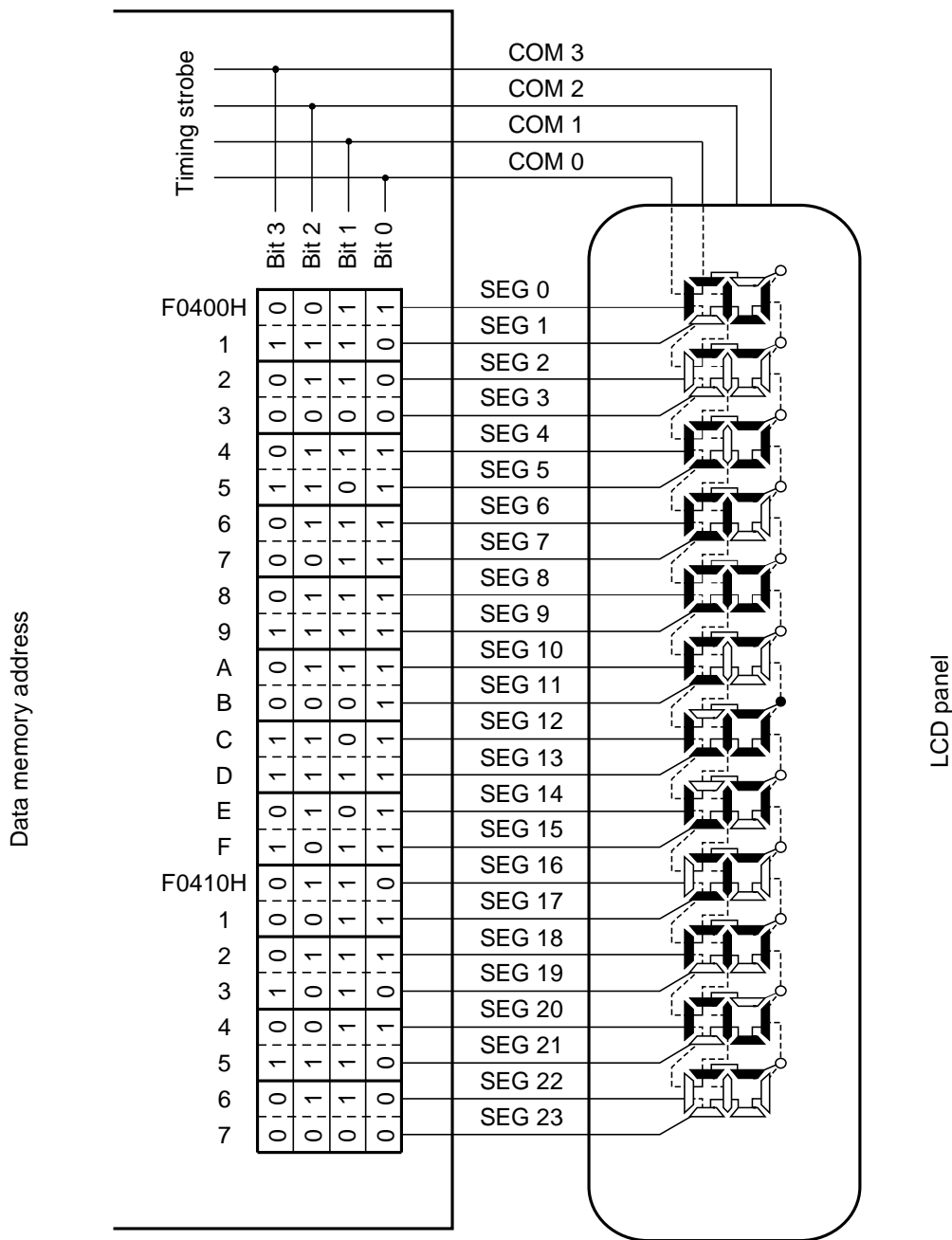


図23 - 37 SEG12と各コモン信号間の4時分割LCD駆動波形例 (1/3バイアス法) (1/2)

(a) A波形の場合

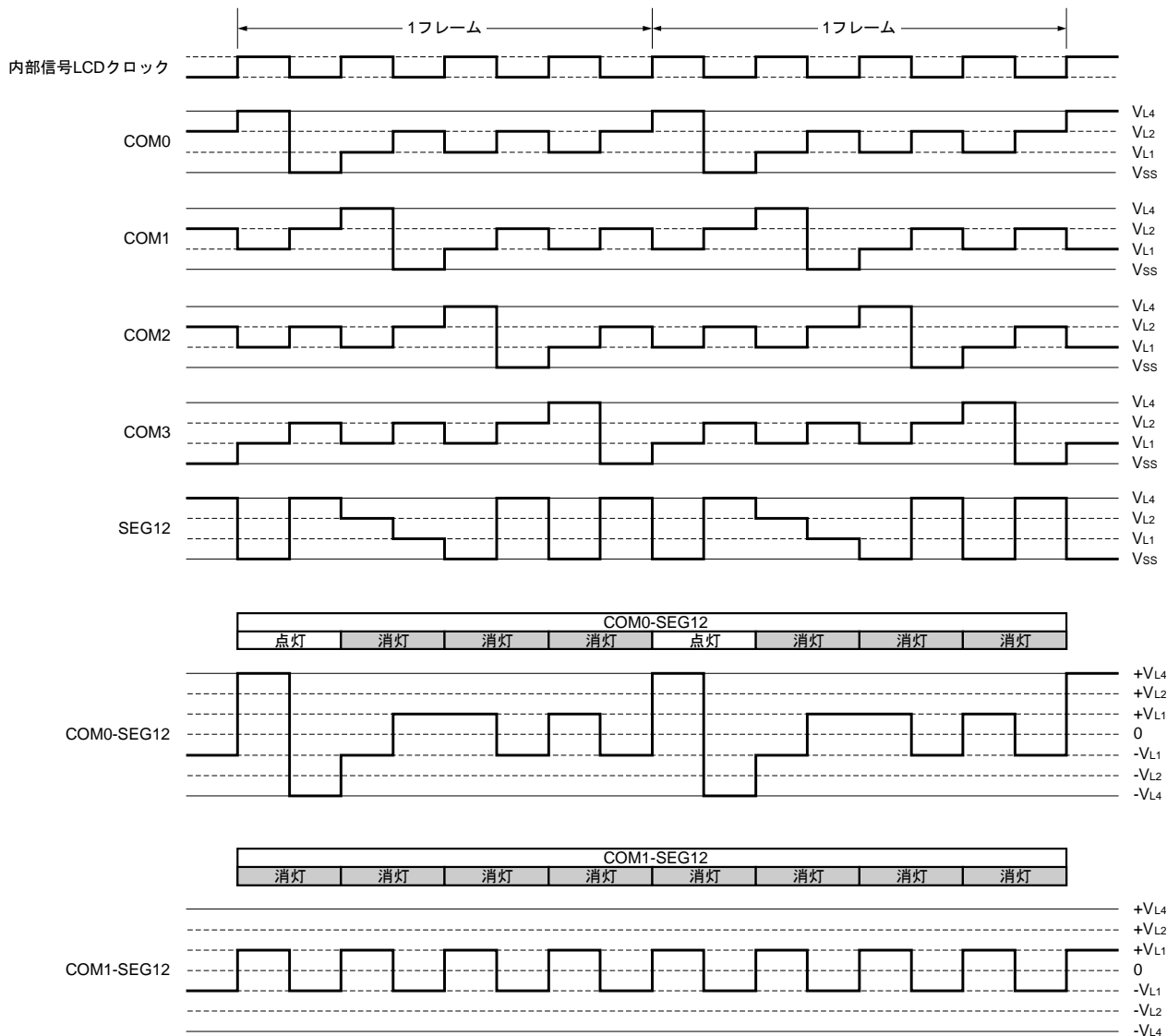
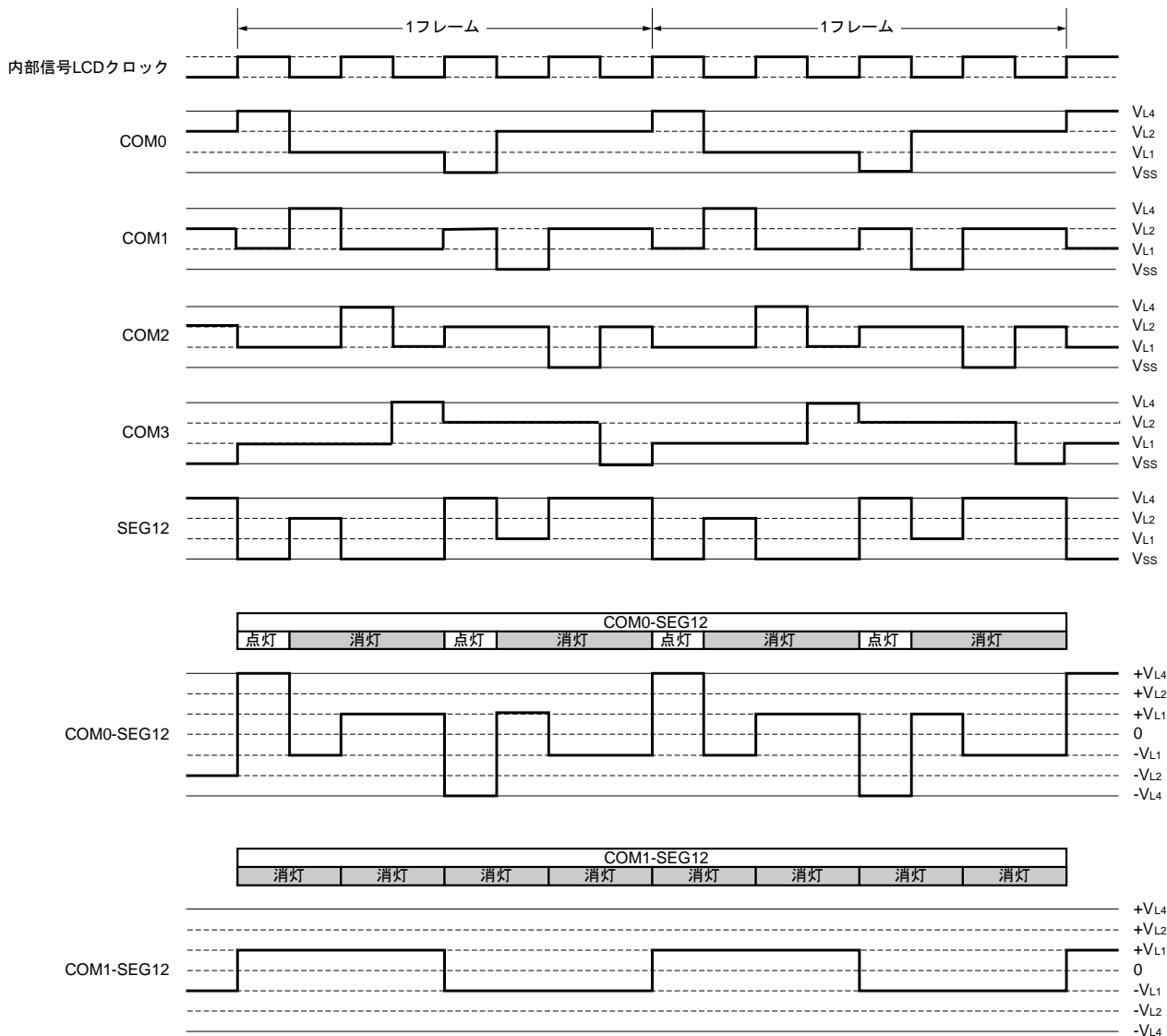


図23 - 37 SEG12と各コモン信号間の4時分割LCD駆動波形例 (1/3バイアス法) (2/2)

(b) B波形の場合



23.10.5 6時分割表示例

図23-39は、図23-38の表示パターンを持つ6時分割方式の15x6のドットLCDパネルとセグメント信号 (SEG2-SEG16) およびコモン信号 (COM0-COM5) との接続を示します。表示例は123で、表示データ・レジスタ (F0402H-F0410H番地) の内容はこれに対応しています。

ここでは1桁目の3 (3) を例にとって説明します。図23-38の表示パターンに従って、COM0-COM5の各コモン信号のタイミングで表23-21に示すような選択、非選択電圧をSEG2-SEG6端子に出力する必要があります。

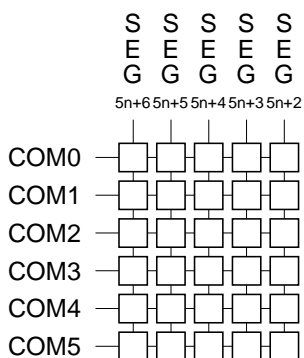
表23-21 選択、非選択電圧 (COM0-COM5)

セグメント コモン	SEG2	SEG3	SEG4	SEG5	SEG6
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	選
COM5	非	選	選	選	非

これによりSEG2に対応する表示データ・レジスタ (F0402H番地) には、010001を用意すればよいことが分かります。

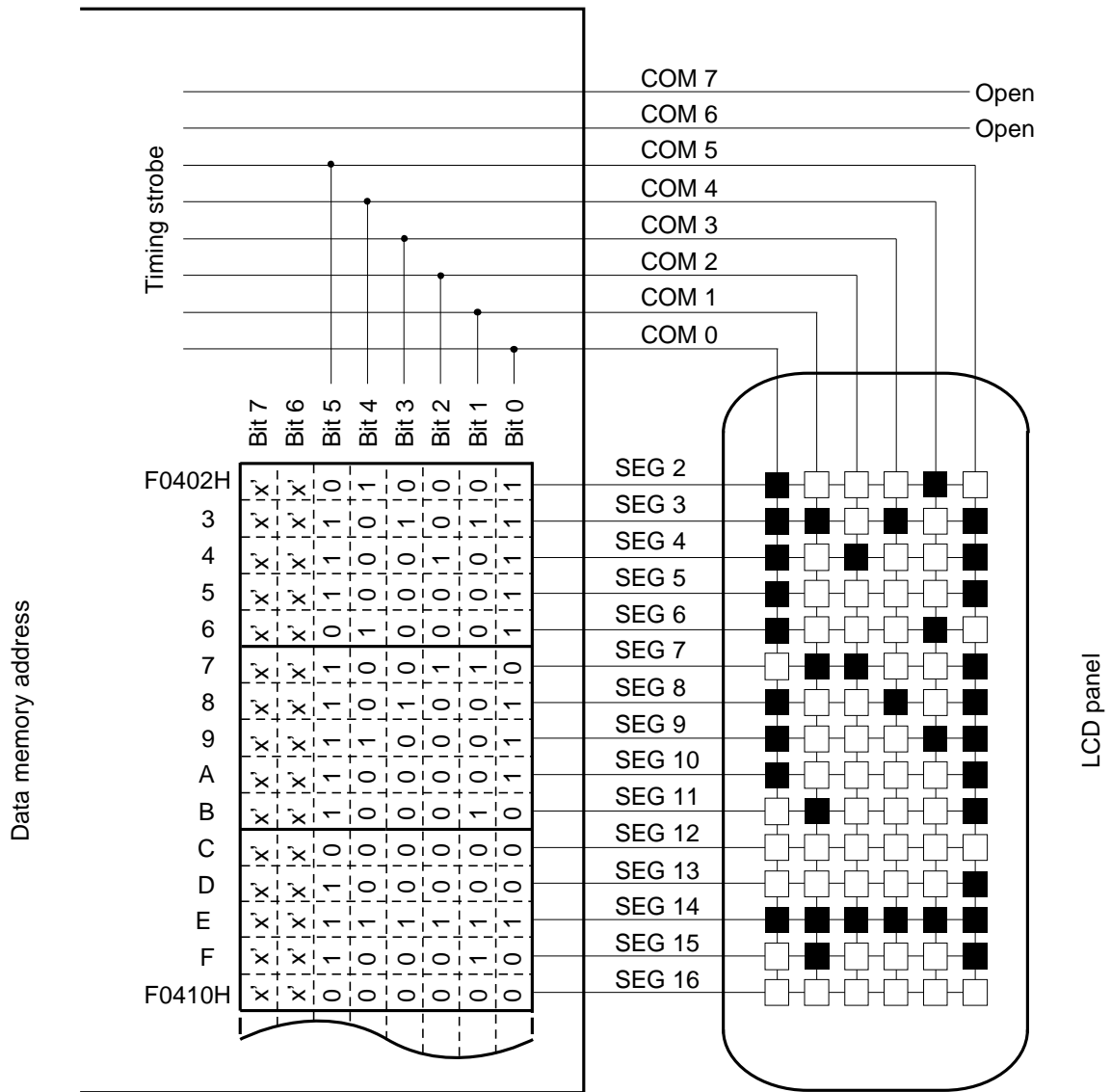
SEG2と各コモン信号間のLCD駆動波形例を図23-40に示します。COM0の選択タイミングでSEG2が選択電圧になるときに、LCD点灯レベルの波形が発生することが分かります。

図23-38 6時分割LCD表示パターンと電極結線



備考 R5F11NM : n = 0-5

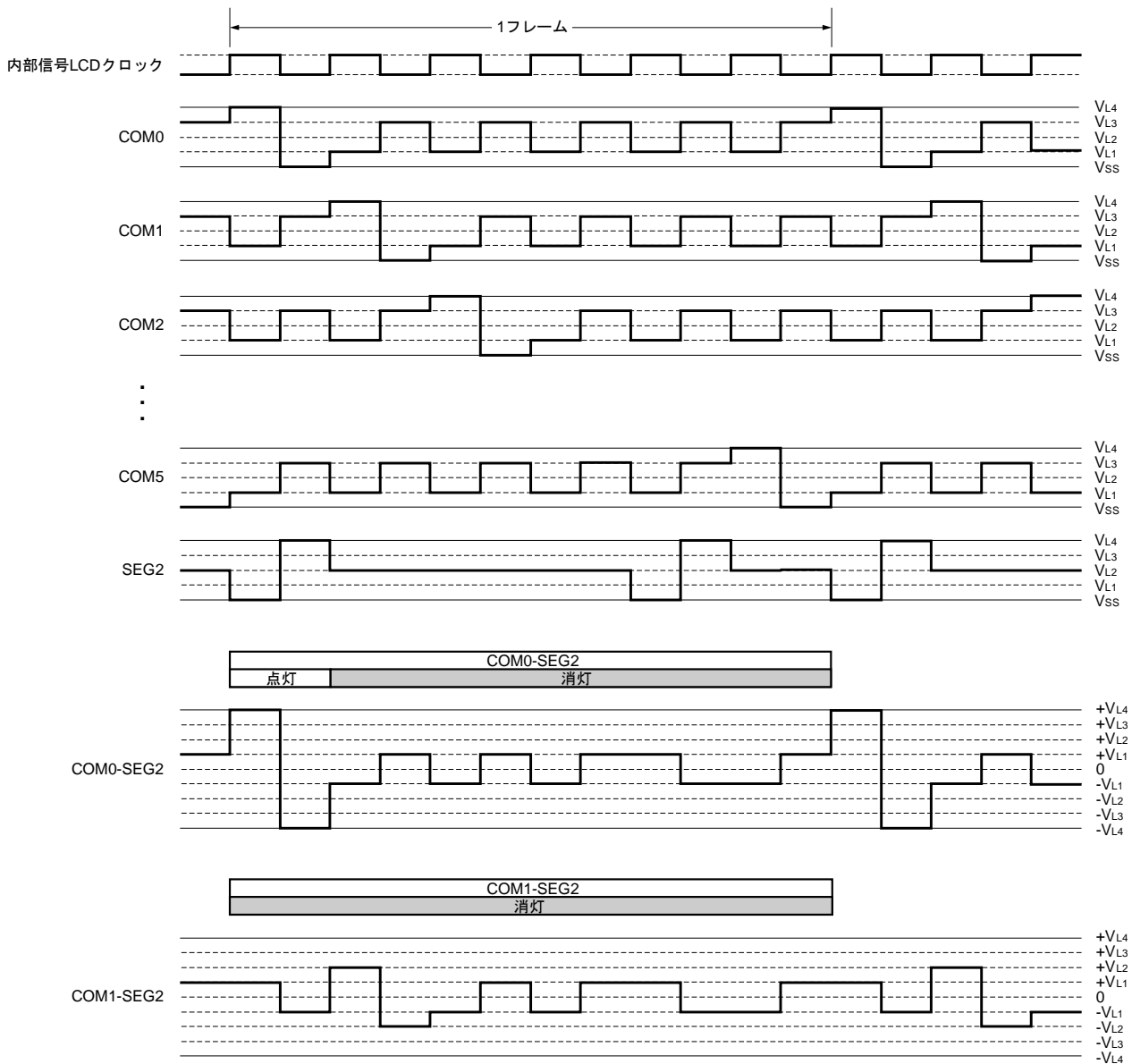
図23 - 39 6時分割LCDパネルの結線例



x' : 6時分割表示のため、常に任意のデータをストア可能です。

図23 - 40 SEG2と各コモン信号間の6時分割LCD駆動波形例 (1/4バイアス法)

(a) A波形の場合



23.10.6 8時分割表示例

図23-42は、図23-41の表示パターンを持つ8時分割方式の15x8のドットLCDパネルとセグメント信号 (SEG4-SEG18) およびコモン信号 (COM0-COM7) との接続を示します。表示例は123で、表示データ・レジスタ (F0404H-F0412H番地) の内容はこれに対応しています。

ここでは1桁目の3 (3) を例にとって説明します。図23-41の表示パターンに従って、COM0-COM7の各コモン信号のタイミングで表23-22に示すような選択、非選択電圧をSEG4-SEG8端子に出力する必要があります。

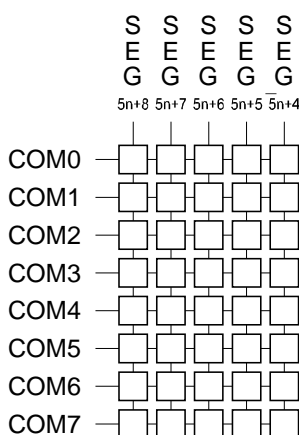
表23-22 選択、非選択電圧 (COM0-COM7)

セグメント コモン	SEG4	SEG5	SEG6	SEG7	SEG8
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	非
COM5	選	非	非	非	選
COM6	非	選	選	選	非
COM7	非	非	非	非	非

これによりSEG4に対応する表示データ・レジスタ (F0404H番地) には、00110001を用意すればよいことが分かります。

SEG4と各コモン信号間のLCD駆動波形例を図23-43と図23-43に示します。COM0の選択タイミングでSEG4が選択電圧になるときに、LCD点灯レベルの波形が発生することが分かります。

図23-41 8時分割LCD表示パターンと電極結線



備考 R5F11NM : n = 0-5

図23 - 42 8時分割LCDパネルの結線例

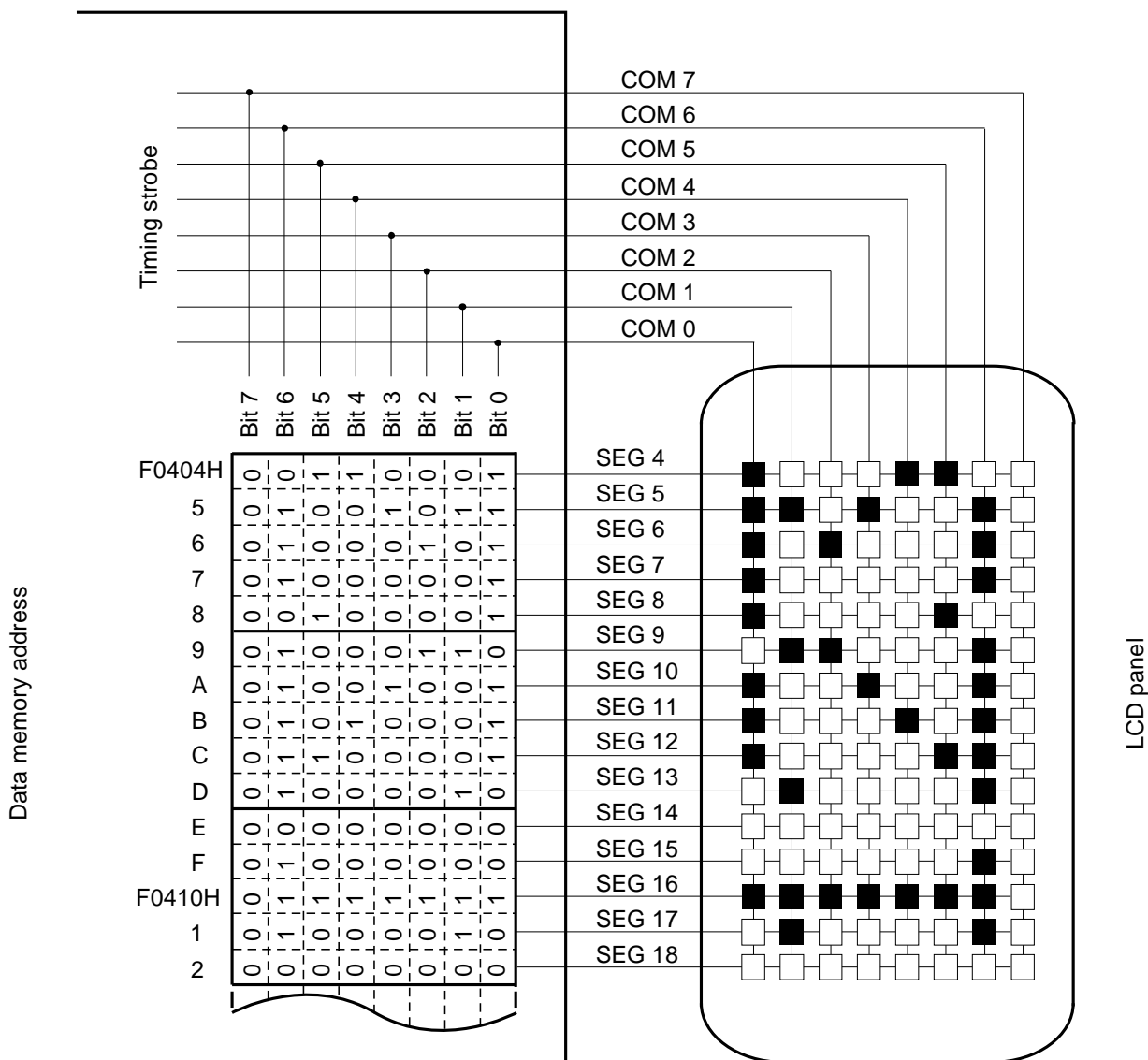


図23 - 43 SEG4と各コモン信号間の8時分割LCD駆動波形例 (1/4バイアス法) (1/2)

(a) A波形の場合

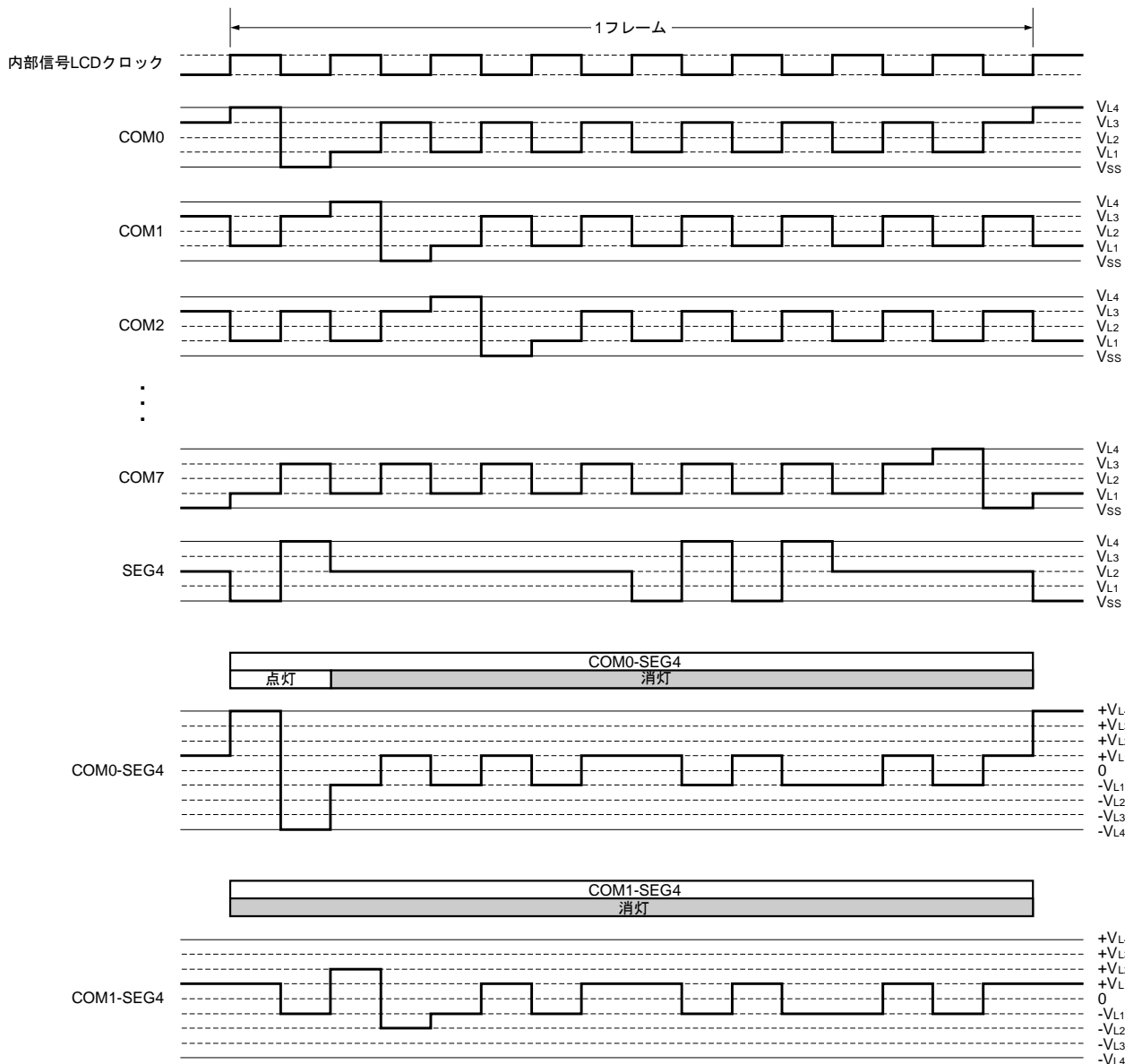
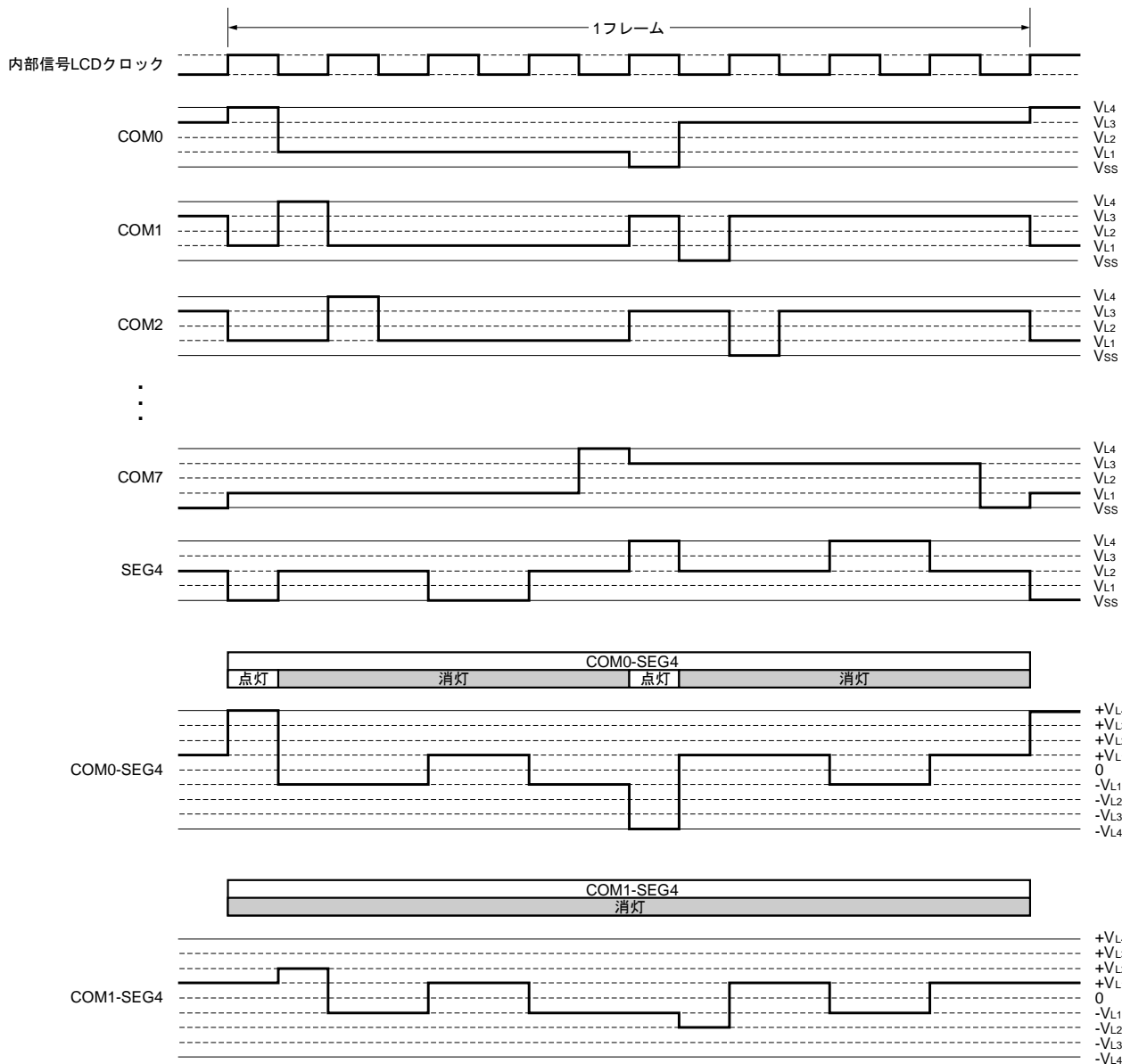


図 23 - 43 SEG4 と各コモン信号間の8時分割LCD駆動波形例 (1/4 バイアス法) (2/2)

(b) B波形の場合



24.1 DTCの機能

データ・トランスファ・コントローラ (DTC) は、CPU を使わずにメモリとメモリの間でデータを転送する機能です。

DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

表24 - 1にDTCの仕様を示します。

表24 - 1 DTCの仕様

項目		仕様
起動要因		35要因
配置可能なコントロールデータ		24通り
転送可能な アドレス空間	アドレス空間	64 Kバイト空間(F0000H~FFFFFH)ただし、汎用レジスタを除く
	ソース	1st SFR 領域, RAM領域(汎用レジスタを除く), ミラー領域 ^注 , データ・フラッシュ・メモリ領域 ^注 , 2nd SFR 領域
	デスティネーション	1st SFR 領域, RAM領域(汎用レジスタを除く), 2nd SFR 領域
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送 ブロックサイズ	ノーマルモード(8ビット転送)	256バイト
	ノーマルモード(16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		表24 - 5 DTC起動要因とベクタアドレス参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0~DTCENi7ビットを1(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	<ul style="list-style-type: none"> • DTCENi0~DTCENi7ビットを0(起動禁止)にする • DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	<ul style="list-style-type: none"> • DTCENi0~DTCENi7ビットを0(起動禁止)にする • RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき
スタンバイ モード時の動作	HALT 状態	DTC動作
	SNOOZE 状態	DTC動作
	STOP 状態	DTC停止

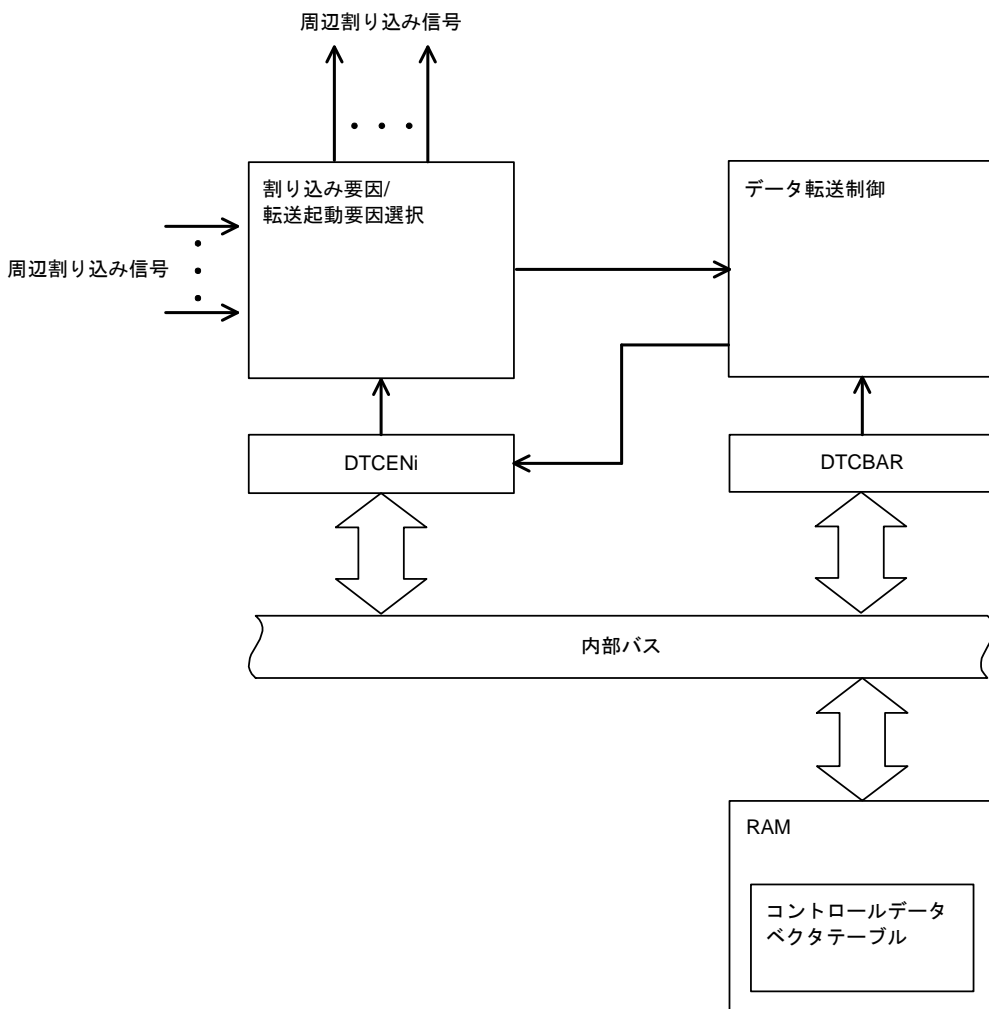
注 HALTモード、SNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0~4, j = 0~23

24.2 DTCの構成

図24 - 1にDTCのブロック図を示します。

図24 - 1 DTCのブロック図



24.3 DTCを制御するレジスタ

表24-2にDTCを制御するレジスタを示します。

表24-2 DTCを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTC起動許可レジスタ3	DTCEN3
DTC起動許可レジスタ4注	DTCEN4注
DTCベースアドレスレジスタ	DTCBAR

注 R5F11Rのみ

表24-3にDTCのコントロールデータを示します。

DTCのコントロールデータはRAMのDTCコントロールデータ領域に配置されます。

DTCBARレジスタでDTCコントロールデータ領域と、コントロールデータの先頭番地を格納するDTCベクタテーブル領域を含めた256バイトの領域を設定します。

表24-3 DTCのコントロールデータ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロックサイズレジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロードレジスタj	DTRLDj
DTCソースアドレスレジスタj	DTSARj
DTCデスティネーションアドレスレジスタj	DTDARj

備考 j=0~23

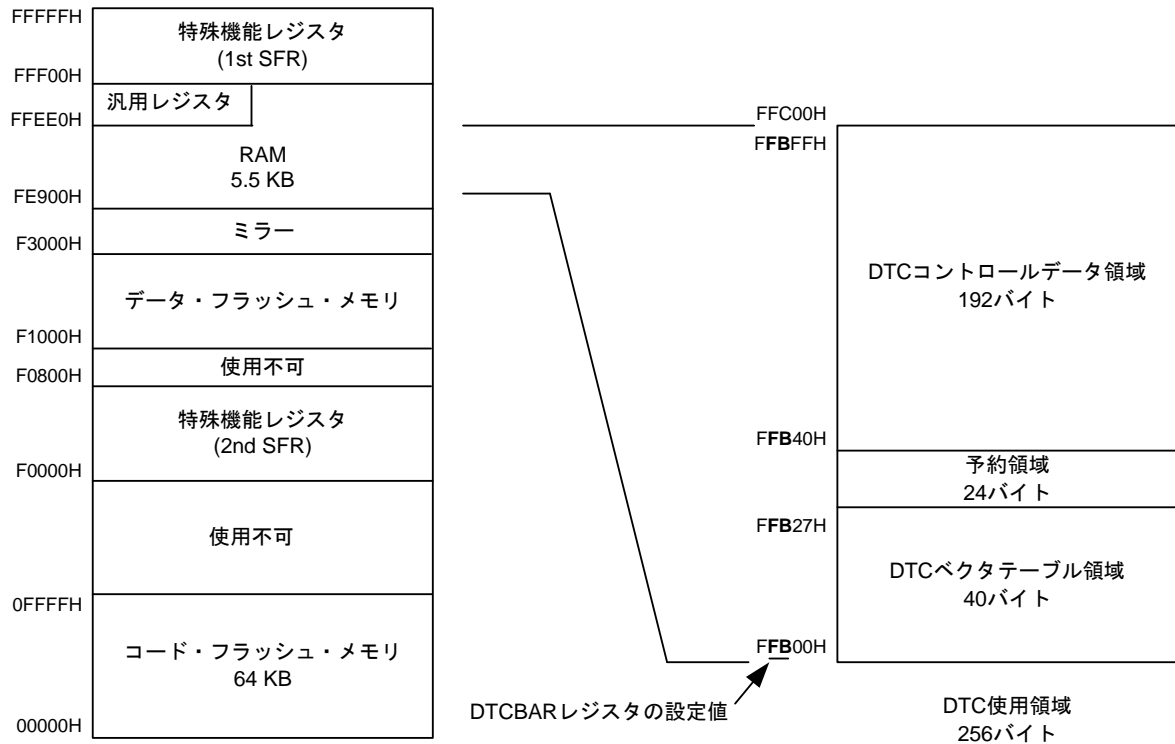
24.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCBARレジスタで、DTCのコントロールデータとベクタテーブルを配置する256バイトの領域をRAM領域内に設定します。

図24-2にDTCBARレジスタにFBHを設定したときのメモリマップ例を示します。

DTCコントロールデータ領域192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図24-2 DTCBARレジスタにFBHを設定したときのメモリマップ例



DTCコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

注意1. 汎用レジスタ (FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。

注意2. スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。

注意3. 次に示す製品の内部RAM領域は、セルフ・プログラミング機能及びデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

R5F11RMG : FDF00H-FE309H

注意4. 次に示す製品の内部RAM領域は、オンチップ・デバッグのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

R5F11RMG : FE300H-FE6FFH

24.3.2 コントロールデータの配置

コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0 ~ 23) レジスタの順に配置します。

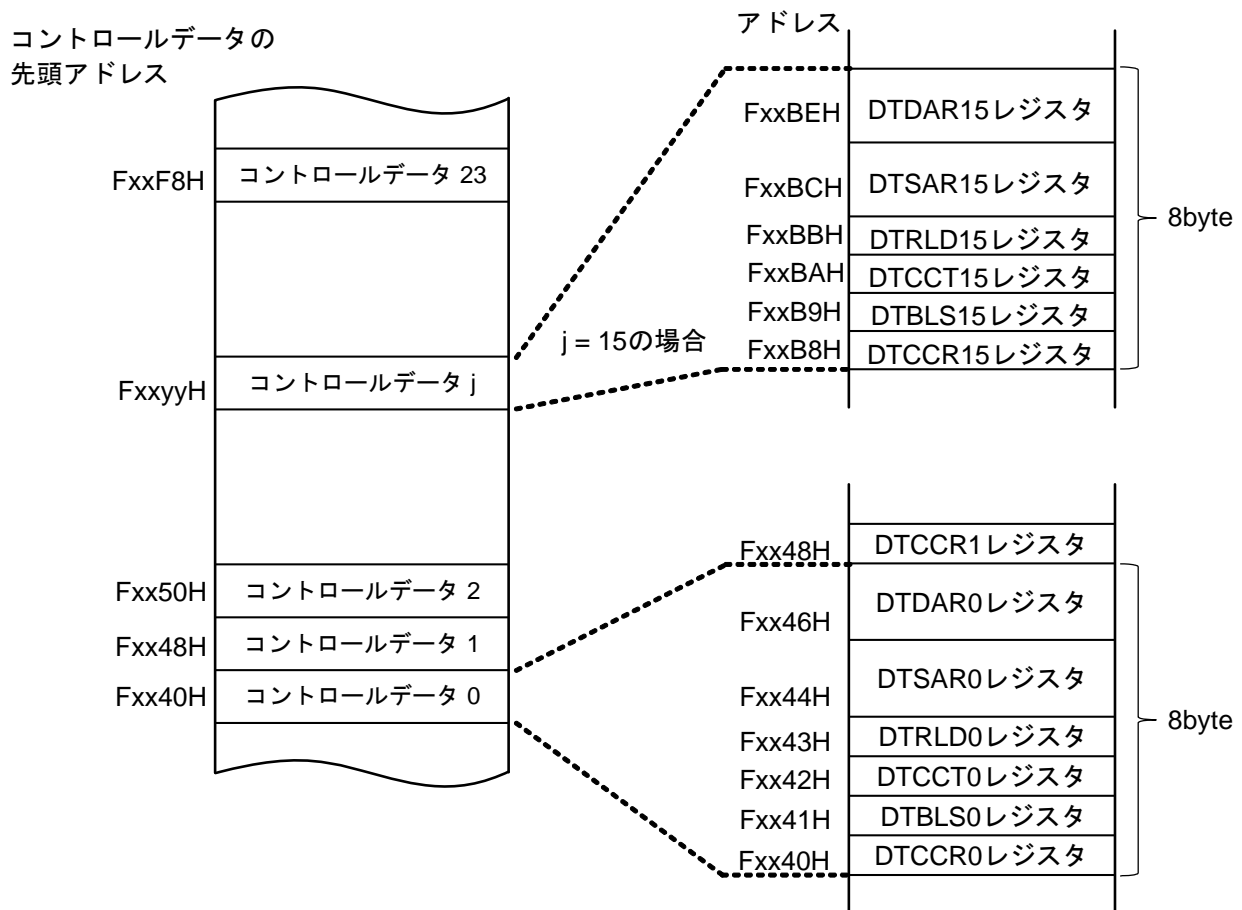
先頭アドレス0 ~ 23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図24-3にコントロールデータの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0 ~ 4)のDTCENi0 ~ DTCENi7ビットが0 (DTC起動禁止)のときに変更してください。

注意2. DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図24-3 コントロールデータの配置



備考 xx : DTCBARレジスタの設定値

表24-4 コントロールデータの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	FxxF8H
10	Fxx90H	22	FxxF0H
9	Fxx88H	21	FxxE8H
8	Fxx80H	20	FxxE0H
7	Fxx78H	19	FxxD8H
6	Fxx70H	18	FxxD0H
5	Fxx68H	17	FxxC8H
4	Fxx60H	16	FxxC0H
3	Fxx58H	15	FxxB8H
2	Fxx50H	14	FxxB0H
1	Fxx48H	13	FxxA8H
0	Fxx40H	12	FxxA0H

備考 xx : DTCBARレジスタの設定値

24.3.3 ベクタテーブル

DTCが起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表24-5にDTC起動要因とベクタアドレスを示します。起動要因ごとにDTCベクタテーブルが1バイトあり、40HからF8Hのデータを格納し、24組のコントロールデータから1つを選択します。DTCベクタアドレスの上位8ビットはDTCBARレジスタで設定し、下位8ビットはDTC起動要因に対応して00Hから1EHまでが割り当てられます。

注意 ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0~4) レジスタのDTCENi0~DTCENi7ビットが0(起動禁止)のときに変更してください。

表24-5 DTC起動要因とベクタアドレス

DTC起動要因(割り込み要因発生元)	要因番号	DTCベクタアドレス	優先順位
予約	0	DTCBARレジスタの設定アドレス+00H	高
INTP0	1	DTCBARレジスタの設定アドレス+01H	▲
INTP1	2	DTCBARレジスタの設定アドレス+02H	
INTP2	3	DTCBARレジスタの設定アドレス+03H	
INTP3	4	DTCBARレジスタの設定アドレス+04H	
INTP4	5	DTCBARレジスタの設定アドレス+05H	
INTP5	6	DTCBARレジスタの設定アドレス+06H	
INTP6 注1	7	DTCBARレジスタの設定アドレス+07H	
INTP7 注2	8	DTCBARレジスタの設定アドレス+08H	
予約	9	DTCBARレジスタの設定アドレス+09H	
10ビットA/D変換終了	10	DTCBARレジスタの設定アドレス+0AH	
UART0受信の転送完了	11	DTCBARレジスタの設定アドレス+0BH	
UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	12	DTCBARレジスタの設定アドレス+0CH	
UART1受信の転送完了	13	DTCBARレジスタの設定アドレス+0DH	
UART1送信の転送完了/CSI10の転送完了またはバッファ空き/IIC10の転送完了	14	DTCBARレジスタの設定アドレス+0EH	
UART2受信の転送完了	15	DTCBARレジスタの設定アドレス+0FH	
UART2送信の転送完了/CSI20の転送完了またはバッファ空き/IIC20の転送完了	16	DTCBARレジスタの設定アドレス+10H	
UARTMG0受信の転送完了 注3	17	DTCBARレジスタの設定アドレス+11H	
UARTMG0送信の転送完了or バッファ空き 注3	18	DTCBARレジスタの設定アドレス+12H	
タイマ・アレイ・ユニット0のチャンネル0のカウント完了またはキャプチャ完了	19	DTCBARレジスタの設定アドレス+13H	
タイマ・アレイ・ユニット0のチャンネル1のカウント完了またはキャプチャ完了	20	DTCBARレジスタの設定アドレス+14H	
タイマ・アレイ・ユニット0のチャンネル2のカウント完了またはキャプチャ完了	21	DTCBARレジスタの設定アドレス+15H	
タイマ・アレイ・ユニット0のチャンネル3のカウント完了またはキャプチャ完了	22	DTCBARレジスタの設定アドレス+16H	
タイマ・アレイ・ユニット0のチャンネル4のカウント完了またはキャプチャ完了	23	DTCBARレジスタの設定アドレス+17H	
タイマ・アレイ・ユニット0のチャンネル5のカウント完了またはキャプチャ完了	24	DTCBARレジスタの設定アドレス+18H	
タイマ・アレイ・ユニット0のチャンネル6のカウント完了またはキャプチャ完了	25	DTCBARレジスタの設定アドレス+19H	
タイマ・アレイ・ユニット0のチャンネル7のカウント完了またはキャプチャ完了	26	DTCBARレジスタの設定アドレス+1AH	
12ビット・インターバル・タイマのコンペア一致	27	DTCBARレジスタの設定アドレス+1BH	
8ビット・インターバル・タイマ・チャンネル00のコンペア一致(8ビット/16ビット・タイマ動作時)	28	DTCBARレジスタの設定アドレス+1CH	
8ビット・インターバル・タイマ・チャンネル01のコンペア一致	29	DTCBARレジスタの設定アドレス+1DH	
8ビット・インターバル・タイマ・チャンネル10のコンペア一致(8ビット/16ビット・タイマ動作時) 注3	30	DTCBARレジスタの設定アドレス+1EH	
8ビット・インターバル・タイマ・チャンネル11のコンペア一致 注3	31	DTCBARレジスタの設定アドレス+1FH	
8ビット・インターバル・タイマ・チャンネル20のコンペア一致(8ビット/16ビット・タイマ動作時) 注3	32	DTCBARレジスタの設定アドレス+20H	
8ビット・インターバル・タイマ・チャンネル21のコンペア一致 注3	33	DTCBARレジスタの設定アドレス+21H	
タイマRJ0アンダーフロー 注3	34	DTCBARレジスタの設定アドレス+22H	
タイマRJ1アンダーフロー 注3	35	DTCBARレジスタの設定アドレス+23H	▼
外部サンプリングエッジ検出 注3	36	DTCBARレジスタの設定アドレス+24H	低

注1. R5F11NM, R5F11PL, R5F11NG, R5F11RMのみ

注2. R5F11NM, R5F11RMのみ

注3. R5F11RMのみ

24.3.4 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

DTCを使用する場合は、必ずビット3 (DTCEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24-4 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	0	AMPEN 注	DTCEN	PGAEN 注	AFEEN 注	DACEN 注

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 • DTCは動作不可
1	入カクロック供給 • DTCは動作可

注 R5F11N, R5F11Pのみ

注意 次のビットには必ず0を設定してください。

R5F11N, R5F11P : ビット5, 6

R5F11R : ビット0-2, 4-6

24.3.5 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)

DTCCRjレジスタは、DTCの動作モードを制御します。

図24-5 DTC制御レジスタj (DTCCRj)のフォーマット

アドレス : 24.3.2 コントロールデータの配置参照

リセット時 : 不定

R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
SZ		データサイズを選択						
	0	8ビット						
	1	16ビット						
RPTINT		リピートモード割り込みの許可・禁止						
	0	割り込み発生禁止						
	1	割り込み発生許可						
MODEビットが0 (ノーマルモード) のときRPTINTビットの設定は無効です。								
CHNE		チェイン転送の許可・禁止						
	0	チェイン転送禁止						
	1	チェイン転送許可						
DTCCR23レジスタのCHNEビットは0 (チェイン転送禁止) にしてください。								
DAMOD		転送先アドレスの制御						
	0	固定						
	1	加算						
MODEビットが1 (リピートモード) でRPTSELビットが0 (転送先がリピートエリア) のときDAMODビットの設定は無効です。								
SAMOD		転送元アドレスの制御						
	0	固定						
	1	加算						
MODEビットが1 (リピートモード) でRPTSELビットが1 (転送元がリピートエリア) のときSAMODビットの設定は無効です。								
RPTSEL		リピートエリアの選択						
	0	転送先がリピートエリア						
	1	転送元がリピートエリア						
MODEビットが0 (ノーマルモード) のときRPTSELビットの設定は無効です。								
MODE		転送モードの選択						
	0	ノーマルモード						
	1	リピートモード						

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

24.3.6 DTCブロックサイズレジスタj (DTBLSj) (j = 0~23)

1回の起動で転送されるデータのブロックサイズを設定します。

図24-6 DTCブロックサイズレジスタj (DTBLSj)のフォーマット

アドレス : 24.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロックサイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
.	.	.
.	.	.
.	.	.
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

24.3.7 DTC 転送回数レジスタ j (DTCCTj) (j = 0 ~ 23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図24-7 DTC 転送回数レジスタ j (DTCCTj) のフォーマット

アドレス : 24.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
.	.
.	.
.	.
FDH	253回
FEH	254回
FFH	255回

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

24.3.8 DTC 転送回数リロードレジスタ j (DTRLDj) (j = 0 ~ 23)

リピートモードで転送回数レジスタの初期値を設定します。リピートモード時は、本レジスタの値がDTCCTレジスタにリロードされますので、DTCCTレジスタの初期値と同じ値を設定してください。

図24-8 DTC 転送回数リロードレジスタ j (DTRLDj) のフォーマット

アドレス : 24.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

24.3.9 DTC ソースアドレスレジスタ j (DTSARj) (j = 0 ~ 23)

データ転送時の転送元アドレスを指定します。

DTCARjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図24 - 9 DTCソースアドレスレジスタ j (DTSARj)のフォーマット

アドレス : 24.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS ARj15	DTS ARj14	DTS ARj13	DTS ARj12	DTS ARj11	DTS ARj10	DTS ARj9	DTS ARj8	DTS ARj7	DTS ARj6	DTS ARj5	DTS ARj4	DTS ARj3	DTS ARj2	DTS ARj1	DTS ARj0

注意1. 転送元アドレスに汎用レジスタ (FFEE0H ~ FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

24.3.10 DTC デスティネーションアドレスレジスタ j (DTDARj) (j = 0 ~ 23)

データ転送時の転送先アドレスを指定します。

DTCARjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図24 - 10 DTCデスティネーションアドレスレジスタ j (DTDARj)のフォーマット

アドレス : 24.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD ARj15	DTD ARj14	DTD ARj13	DTD ARj12	DTD ARj11	DTD ARj10	DTD ARj9	DTD ARj8	DTD ARj7	DTD ARj6	DTD ARj5	DTD ARj4	DTD ARj3	DTD ARj2	DTD ARj1	DTD ARj0

注意1. 転送先アドレスに汎用レジスタ (FFEE0H ~ FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTDARjレジスタをアクセスしないでください。

24.3.11 DTC 起動許可レジスタ i (DTCENi) (i = 0 ~ 4)

各割り込み要因によるDTC起動の許可または禁止を制御する8ビットレジスタです。表24 - 6に割り込み要因とDTCENi0 ~ DTCENi7ビットの対応を示します。

DTCENiレジスタは8ビット・メモリ操作命令、および1ビット・メモリ操作命令で設定できます。

注意1. DTCENi0 ~ DTCENi7ビットは、そのビットに対応する起動要因が発生しない箇所を変更してください。

注意2. DTC転送でDTCENiレジスタをアクセスしないでください。

図24 - 11 DTC起動許可レジスタ*i* (DTCENi) (*i* = 0~4)のフォーマット

アドレス : F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), リセット時 : 00H R/W
 F02EBH (DTCEN3), F02ECH(DTCEN4) 注

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0

DTCENi7	DTC起動許可i7
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi7ビットは0(起動禁止)になります。	

DTCENi6	DTC起動許可i6
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi6ビットは0(起動禁止)になります。	

DTCENi5	DTC起動許可i5
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi5ビットは0(起動禁止)になります。	

DTCENi4	DTC起動許可i4
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi4ビットは0(起動禁止)になります。	

DTCENi3	DTC起動許可i3
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi3ビットは0(起動禁止)になります。	

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0(起動禁止)になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0(起動禁止)になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0(起動禁止)になります。	

注 R5F11Rのみ

表 24 - 6 割り込み要因と DTCENi0 ~ DTCENi7 ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6 注1
DTCEN1	INTP7 注2	予約	10ビットA/D 変換終了	UART0受信の 転送完了	UART0送信の 転送完了/ CSI00の転送 完了または バッファ空き/ IIC00の転送 完了	UART1受信の 転送完了	UART1送信の 転送完了/ CSI10の転送 完了または バッファ空き/ IIC10の転送 完了	UART2受信の 転送完了
DTCEN2	UART2送信の 転送完了/ CSI20の転送 完了または バッファ空き/ IIC20の転送 完了	UARTMG0受 信の転送完了 注3	UARTMG0送 信の転送完了 or バッファ空 き 注3	タイマ・アレ イ・ユニット 0のチャネル0 のカウンタ完 了またはキャ プチャ完了	タイマ・アレ イ・ユニット 0のチャネル1 のカウンタ完 了またはキャ プチャ完了	タイマ・アレ イ・ユニット 0のチャネル2 のカウンタ完 了またはキャ プチャ完了	タイマ・アレ イ・ユニット 0のチャネル3 のカウンタ完 了またはキャ プチャ完了	タイマ・アレ イ・ユニット 0のチャネル4 のカウンタ完 了またはキャ プチャ完了
DTCEN3	タイマ・アレ イ・ユニット 0のチャネル5 のカウンタ完 了またはキャ プチャ完了	タイマ・アレ イ・ユニット 0のチャネル6 のカウンタ完 了またはキャ プチャ完了	タイマ・アレ イ・ユニット 0のチャネル7 のカウンタ完 了またはキャ プチャ完了	12ビット・イ ンターバル・ タイマのコン ペア一致	8ビット・イ ンターバル・ タイマ・チャ ネル00のコン ペア一致(8 ビット/16ビッ ト・タイマ動 作時)	8ビット・イ ンターバル・ タイマ・チャ ネル01のコン ペア一致	8ビット・イ ンターバル・ タイマ・チャ ネル10のコン ペア一致(8 ビット/16ビッ ト・タイマ動 作時) 注3	8ビット・イ ンターバル・ タイマ・チャ ネル11のコン ペア一致 注3
DTCEN4	8ビット・イ ンターバル・ タイマ・チャ ネル20のコン ペア一致(8 ビット/16ビッ ト・タイマ動 作時) 注3	8ビット・イ ンターバル・ タイマ・チャ ネル21のコン ペア一致 注3	タイマRJ0ア ンダーフロー 注3	タイマRJ1ア ンダーフロー 注3	外部サンプリ ングエッジ検 出 注3	予約	予約	予約

注1. R5F11NM, R5F11PL, R5F11NG, R5F11RMのみ

注2. R5F11NM, R5F11RMのみ

注3. R5F11RMのみ

備考 i = 0 ~ 4

24.3.12 DTCベースアドレスレジスタ(DTCBAR)

DTCコントロールデータ領域の先頭番地を格納するベクタアドレスと、DTCコントロールデータ領域のアドレスを設定する8ビットレジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

- 注意1. DTCBARレジスタは、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- 注意2. DTCBARレジスタを2回以上書き換えしないでください。
- 注意3. DTC転送でDTCBARレジスタをアクセスしないでください。
- 注意4. DTCコントロールデータ領域とDTCベクタテーブル領域の配置については、24.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意を参照してください。

図24-12 DTCベースアドレスレジスタ(DTCBAR)のフォーマット

アドレス : F02E0H リセット時 : FDH R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

24.4 DTCの動作

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロール領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあり、転送サイズは8ビット転送と16ビット転送があります。また、DTCCTj (j = 0 ~ 23) レジスタのCHNEビットが1 (チェイン転送許可) のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って加算されるか固定されます。

24.4.1 起動要因

DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENi (i = 0 ~ 4) レジスタで選択します。

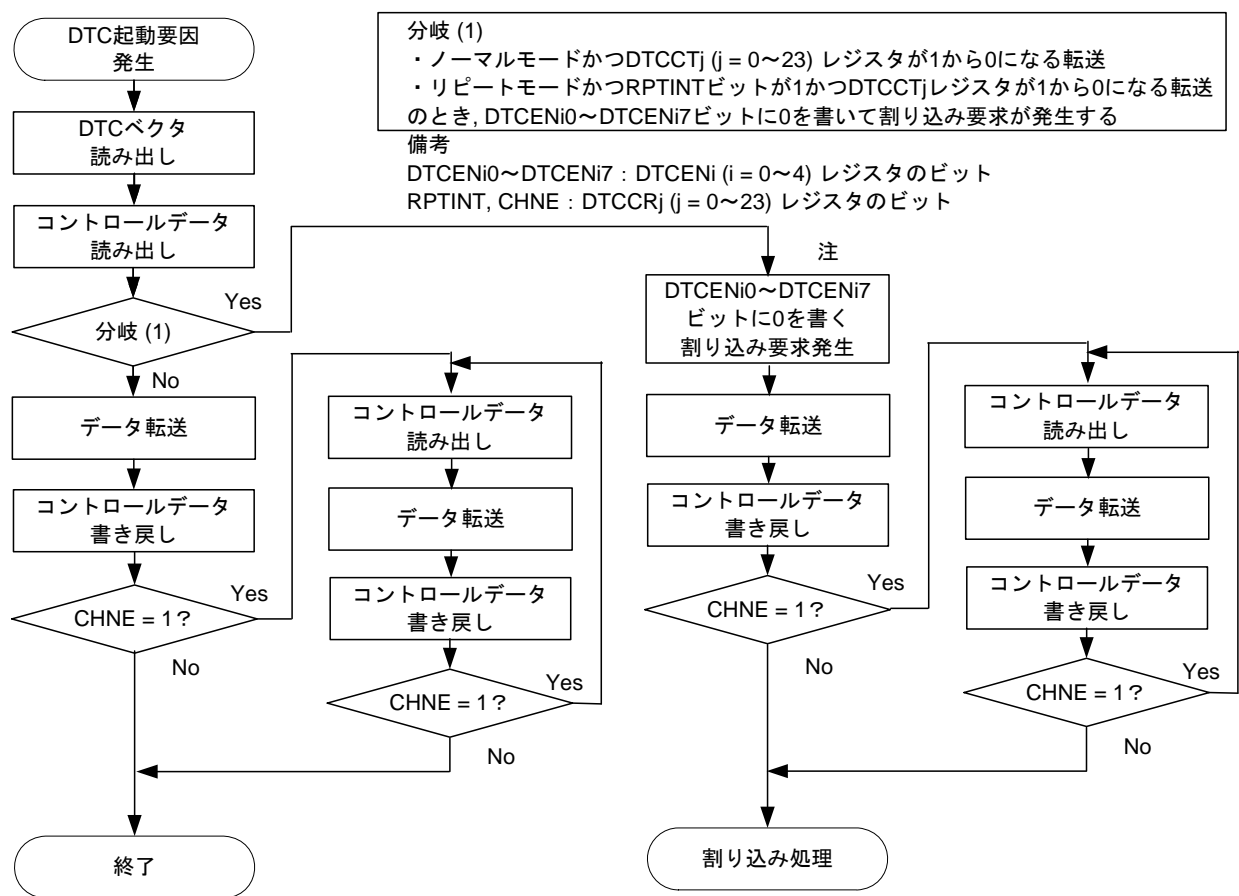
データ転送(チェーン転送の場合、連続して行う最初の転送)の設定が、

- ・ノーマルモードでDTCCTj (j = 0 ~ 23) レジスタが0になる転送
- ・リピートモードでDTCCRj レジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTj レジスタが0になる転送

のとき、DTCは動作中にDTCENi レジスタの対応するDTCENi0 ~ DTCENi7 ビットを0(起動禁止)にします。

図24 - 13にDTC内部動作フローチャートを示します。

図24 - 13 DTC内部動作フローチャート



注 チェーン転送の許可(CHNEビットが1)の設定により起動されたデータ転送では、DTCENi0 ~ DTCENi7 ビットに0を書きません。また、割り込み要求は発生しません。

24.4.2 ノーマルモード

1回の起動で、8ビット転送の場合1~256バイト、16ビット転送の場合2~512バイトをデータ転送します。転送回数は1~256回です。DTCCTj (j = 0~23) レジスタが0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0~4) レジスタの対応するDTCENi0~DTCENi7ビットを0(起動禁止)にします。

表24-7にノーマルモードでのレジスタ機能を示します。図24-14にノーマルモードでのデータ転送を示します。

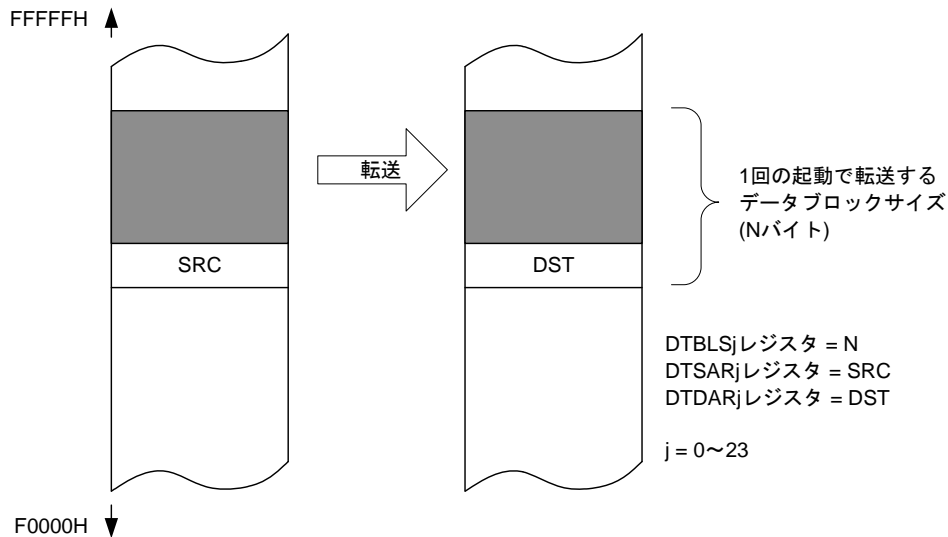
表24-7 ノーマルモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRL Dj	使用しません注
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、初期化(00H)してください。

備考 j = 0~23

図24-14 ノーマルモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC + N	DST
1	0	X	0	固定	加算	SRC	DST + N
1	1	X	0	加算	加算	SRC + N	DST + N

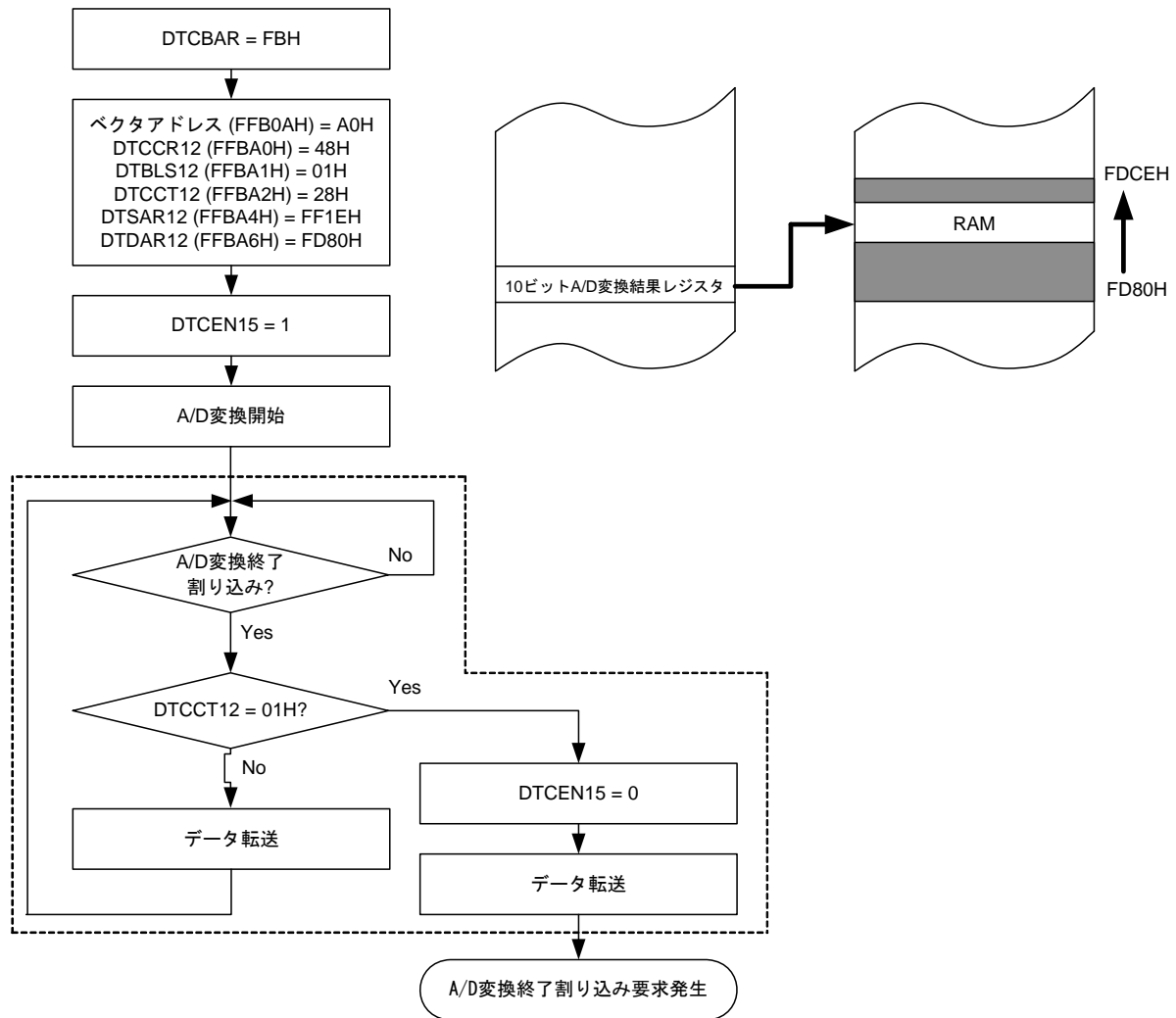
X : 0または1

(1) ノーマルモードの使用例1：10ビットA/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、10ビットA/D変換結果レジスタの値をRAMに転送します。

- ベクタアドレスはFFB0AH, コントロールデータはFFBA0H～FFBA7Hに配置
- 10ビットA/D変換結果レジスタ(FFF1EH, FFF1FH)に変更の2バイトデータをRAMのFFD80H～FFDCFHの80バイトへ転送

図24-15 ノーマルモードの使用例1：10ビットA/D変換結果の連続取り込み



〔 〕内の処理はDTCが自動で実行します。

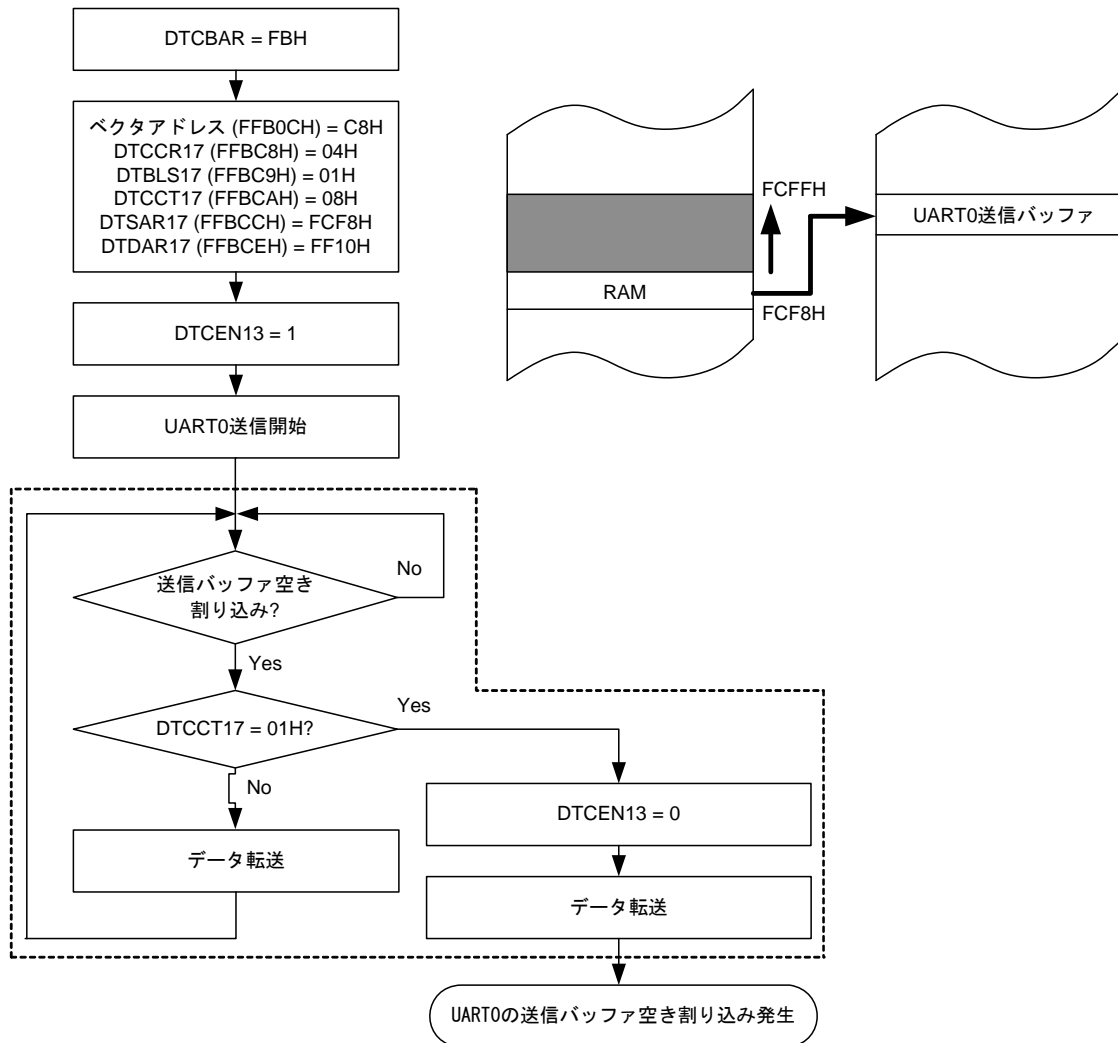
ノーマルモードのため、DTRLD12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRLD12レジスタを初期化(00H)してください。

(2) ノーマルモードの使用例2 : UART連続送信

UART0の送信バッファ空き割り込みでDTCを起動し、RAMの値をUART0の送信バッファに転送します。

- ベクタアドレスはFFB0CH, コントロールデータはFFBC8H~FFBCFHに配置
- RAMのFFCF8H~FFCFFHの8バイトをUART0の送信バッファ (FFF10H)へ転送

図24 - 16 ノーマルモードの使用例2 : UART0連続送信



【---】内の処理はDTCが自動で実行します。

ノーマルモードのため、DTRLD17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRLD17レジスタを初期化(00H)してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

24.4.3 リピートモード

1回の起動で、1～255バイトを転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j = 0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)でDTCCTjレジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0～4)レジスタの対応するDTCENi0～DTCENi7ビットを0(起動禁止)にします。DTCCRjレジスタのRPTINTビットが0(割り込み発生禁止)の場合は、DTCCTjレジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi0～DTCENi7ビットは0になりません。

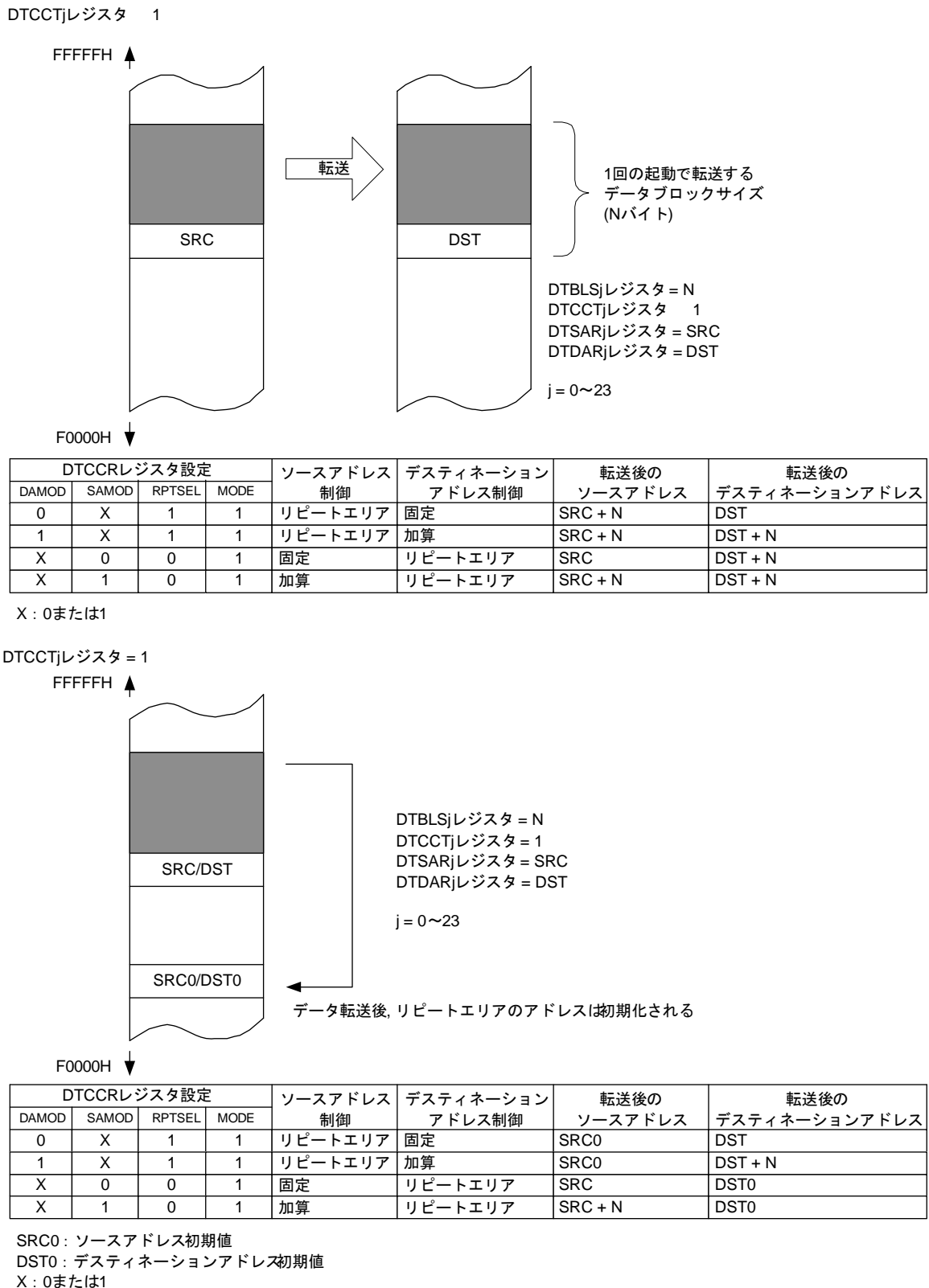
表24-8にリピートモードでのレジスタ機能を示します。図24-17にリピートモードでのデータ転送を示します。

表24-8 リピートモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLDj	このレジスタの値をDTCCTレジスタへリロード(データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

備考 j = 0～23

図24 - 17 リpeatモードでのデータ転送

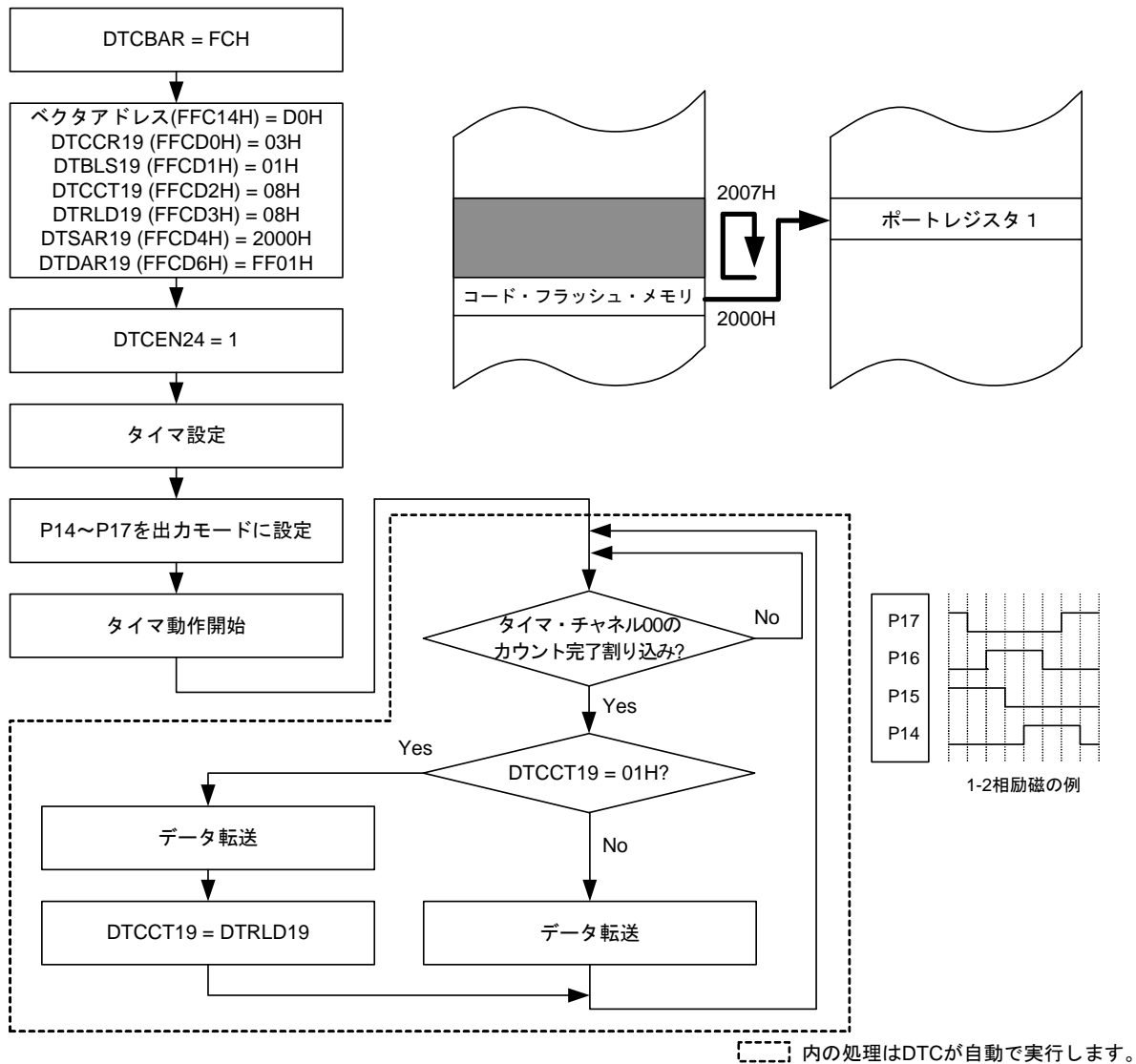


注意1. リpeatモード使用時は、リピートエリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

注意2. リpeatモード使用時は、リピートエリアのデータサイズを255バイト以内 to してください。

- (1) リpeatモードの使用例1：ポートを使ったステッピングモータ制御パルス出力
- タイマ・アレイ・ユニット0のチャンネル0のインターバルタイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。
- ベクタアドレスはFFC14H, コントロールデータはFFCD0H~FFCD7Hに配置
 - コード・フラッシュ・メモリの02000H~02007Hの8バイトデータをミラー空間F2000H~F2007Hからポートレジスタ1(FFF01H)へ転送
 - リpeatモード割り込みは禁止

図24-18 リpeatモードの使用例1：ポートを使ったステッピングモータ制御パルス出力



出力を停止する場合は、タイマを停止してから、DTCEN24をクリアしてください。

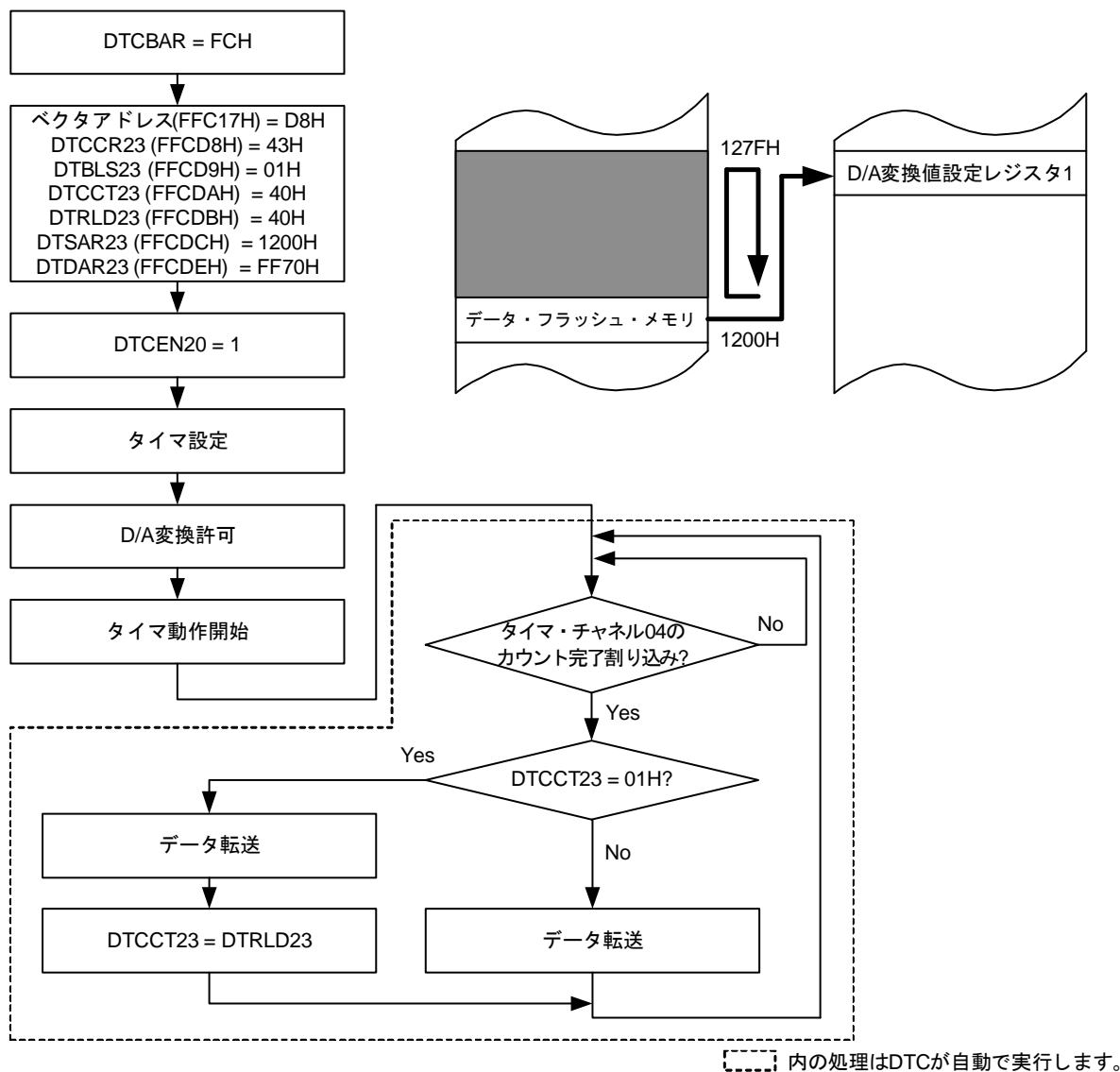
(2) リピートモードの使用例2：12ビットD/Aコンバータを使ったサイン波出力

タイマ・アレイ・ユニット0のチャンネル4のインターバルタイマの割り込みでDTCを起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルをD/A変換値設定レジスタ1(F0482H)に転送します。

タイマのインターバル時間は、D/Aの出力セットアップ時間を設定します。

- ベクタアドレスはFFC17H, コントロールデータはFFCD8H~FFCDFHに配置
- データ・フラッシュ・メモリのF1200H~F127FHの128バイトデータをD/A変換値設定レジスタ1(F0482H)へ転送
- リピートモード割り込みは禁止

図24-19 リピートモードの使用例2：12ビットD/Aコンバータを使ったサイン波出力



出力を停止する場合は、タイマを停止してから、DTCEN20をクリアしてください。

24.4.4 チェイン転送

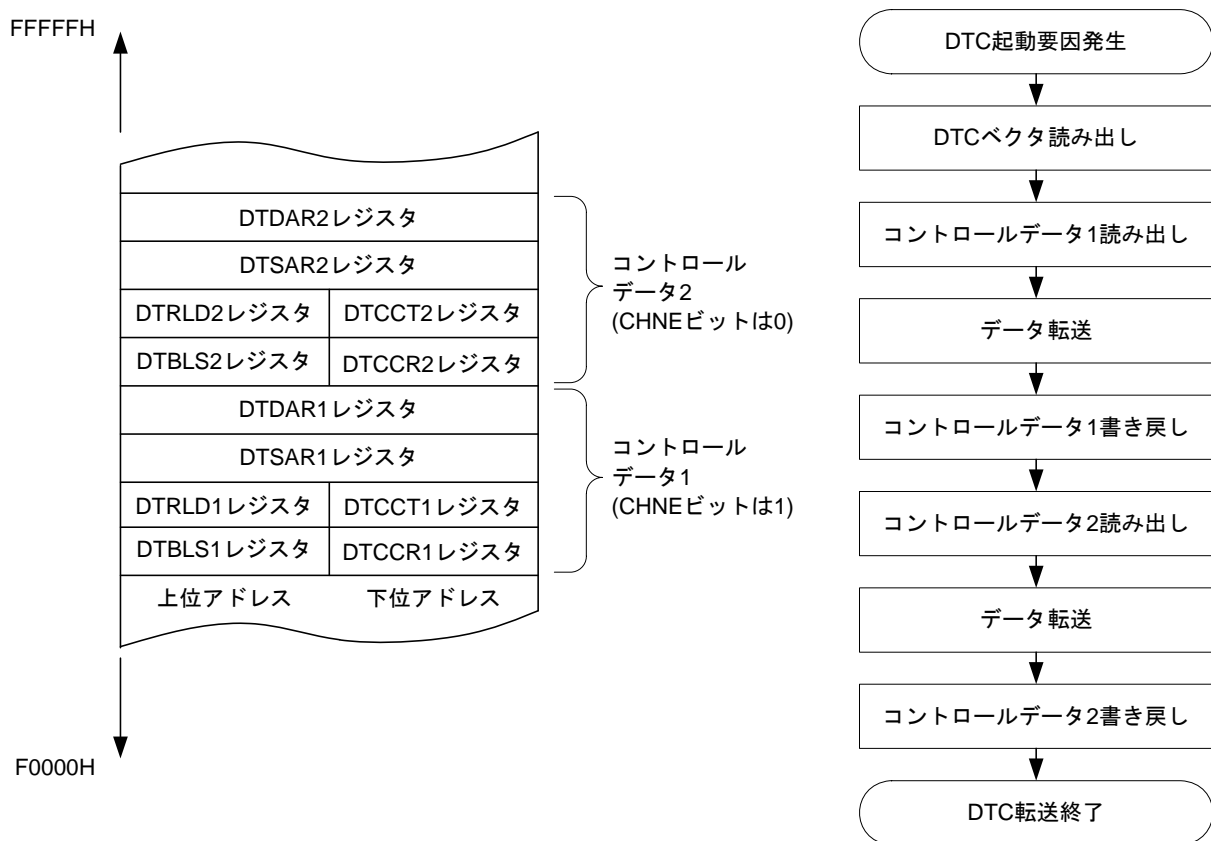
DTCCRj (j = 0~22)レジスタのCHNEビットが1 (チェイン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると、起動要因に対応したベクタアドレスから読み出されたデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1 (チェイン転送許可)であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0 (チェイン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェイン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番目以降に処理されるコントロールデータの転送回数は無効となります。

図24 - 20にチェイン転送でのデータ転送を示します。

図24 - 20 チェイン転送でのデータ転送

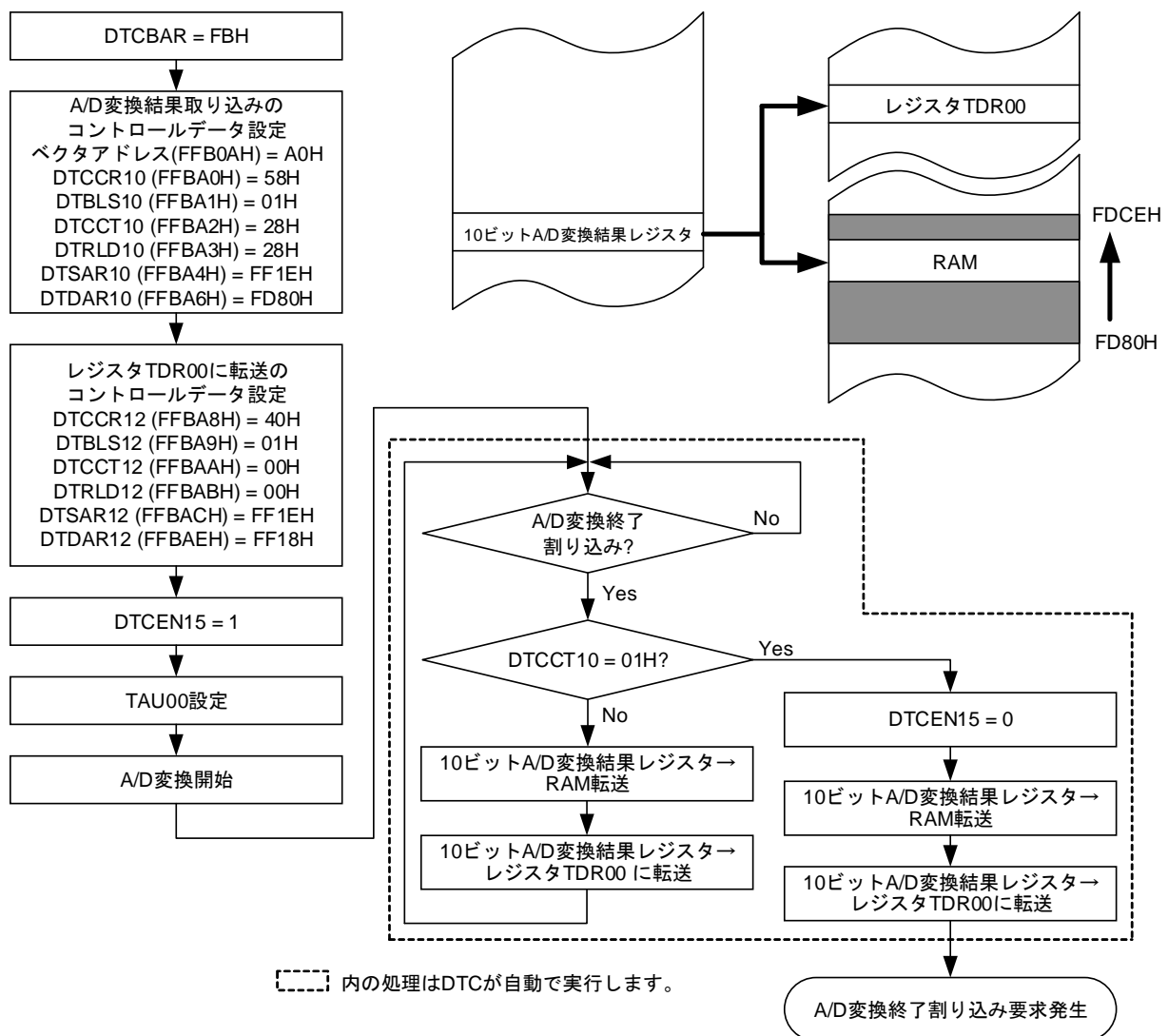


注意1. DTCCR23レジスタのCHNEビットは0 (チェイン転送禁止)にしてください。

注意2. チェイン転送の場合、2回目以降のデータ転送では、DTCENi (i = 0~4)レジスタのDTCENi0~DTCENi7ビットは0 (起動禁止)になりません。また、割り込み要求は発生しません。

- (1) チェイン転送の使用例：10ビットA/D変換結果の連続取り込みとタイマ・データ・レジスタ00 (TDR00) に転送
- A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、レジスタTDR00に転送します。
- ベクタアドレスはFFB0AH
 - A/D変換結果取り込みのコントロールデータはFFBA0H～FFBA7Hに配置
 - レジスタTDR00に転送のコントロールデータはFFBA8H～FFBAFHに配置
 - 10ビットA/D変換結果レジスタ(FFF1EH, FFF1FH)の2バイトデータをRAMのFFD80H～FFDCFHに転送し、10ビットA/D変換結果レジスタ(FFF1EH, FFF1FH)をレジスタTDR00(FFF18H, FFF19H)へ転送

図24-21 チェイン転送の使用例：10ビットA/D変換結果の連続取り込みとTDR00に転送



24.5 DTC使用上の注意事項

24.5.1 DTCレジスタおよびベクタテーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ(2nd SFR)およびDTCコントロールデータ領域、DTCベクタテーブル領域、汎用レジスタ(FFEE0H-FFEFFH)空間をアクセスしないでください。
- DTCベースアドレスレジスタ(DTCBAR)は、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- DTCベースアドレスレジスタ(DTCBAR)を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは対応するDTCENi (i = 0-4) レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0-4) レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、DTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に設定しないでください。

24.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCコントロールデータとベクタテーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ(FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、ノーマルモード使用時においてもDTRLDレジスタを初期化(00H)してください。
- 次に示す製品の内部RAM領域は、セルフ・プログラミング機能及びデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

R5F11RMG : FDF00H-FE309H

- 次に示す製品の内部RAM領域は、オンチップ・デバッグのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

R5F11RMG : FE300H-FE6FFH

24.5.3 DTC 保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コールリターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和演算(MULU命令を除く)

注意1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、全ての割り込み要求が保留されます。

注意2. DTC 保留命令によるDTC 保留中は、全ての割り込み要求が保留されます。

24.5.4 データ・フラッシュ空間にアクセスする場合の動作

データ・フラッシュ空間にアクセスするとDTCのデータ転送が保留されます。またDTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合、間の命令に3クロック分のウェイトが入ります。

命令1

DTCのデータ転送

命令2 ← 3クロック分のウェイト発生

MOV A, ! DataFlash空間

24.5.5 DTC実行クロック数

表24-9にDTC起動時の実行状況と必要なクロック数を示します。

表24-9 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロールデータの書き戻しに必要なクロック数は、表24-10 コントロールデータの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し/書き込みに必要なクロック数は、表24-11 1データの読み出し/書き込みに必要なクロック数を参照してください。

表24-10 コントロールデータの書き戻しに必要なクロック数

DTC CR レジスタ設定				アドレス設定		書き戻すコントロールレジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRL Dj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算		書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0 ~ 23, X: 0 または 1

表24-11 1データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	特殊機能レジスタ(SFR)	拡張特殊機能レジスタ(2nd SFR)	
					ウェイトなし	ウェイトあり
データ読み出し	1	2	4	1	1	1+ウェイト数注
データ書き込み	1	—	—	1	1	1+ウェイト数注

注 ウェイト数はアクセスする拡張特殊機能レジスタ(2nd SFR)に配置されたレジスタの仕様によって異なります。

24.5.6 DTC 応答時間

表 24 - 12にDTCにおける応答時間を示します。DTC 応答時間とはDTC 起動要因の検出からDTC 転送開始までの時間です。DTC 応答時間にDTC 実行クロック数は含まれません。

表 24 - 12 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合には更にDTCの応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合

最大応答時間：20クロック

- DTC 保留命令実行の場合(24.5.3 DTC 保留命令を参照)

最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック

- ウェイトが発生する8ビット・インターバル・タイマ・カウンタ・レジスタn(TRTn)をアクセスした場合

最大応答時間：各条件時の最大応答時間 + 1クロック

備考 1クロック：1/fCLK (fCLK：CPU/周辺ハードウェアクロック)

24.5.7 DTC起動要因

- DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- DTC起動要因が発生する箇所で、その起動要因に対応したDTC起動許可ビットを操作しないでください。
- DTC起動要因に8ビット・インターバル・タイマ, 12ビット・インターバルタイマを選択し、DTC転送完了後に再転送する場合は、各タイマ動作クロックの1クロック後に対応するDTCENi (i = 0 ~ 4) レジスタのDTCENi0~DTCENi7ビットを1(起動許可)にしてください。
- DTC起動要因が競合した場合は、CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は24.3.3 ベクタテーブルを参照してください。

24.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能(低消費RTCモード時は動作禁止)
STOPモード	DTC起動要因受付可能 ^{注2}
SNOOZEモード	動作可能 ^{注1, 3, 4, 5}

- 注1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
- 注2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元(ソース)にすることはできません。
- 注3. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定(STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み)をDTC転送で行ってください。
- 注4. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定(STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み)を行ってください。
- 注5. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、A/DコンバータのSNOOZEモード機能の再設定(AWCビットに0を書き込み、AWCビットに1を書き込む)を行ってください。

備考 p = 00, 20; q = 0, 2; m = 0, 1

第25章 イベントリンクコントローラ(ELC)

25.1 ELCの機能

イベントリンクコントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

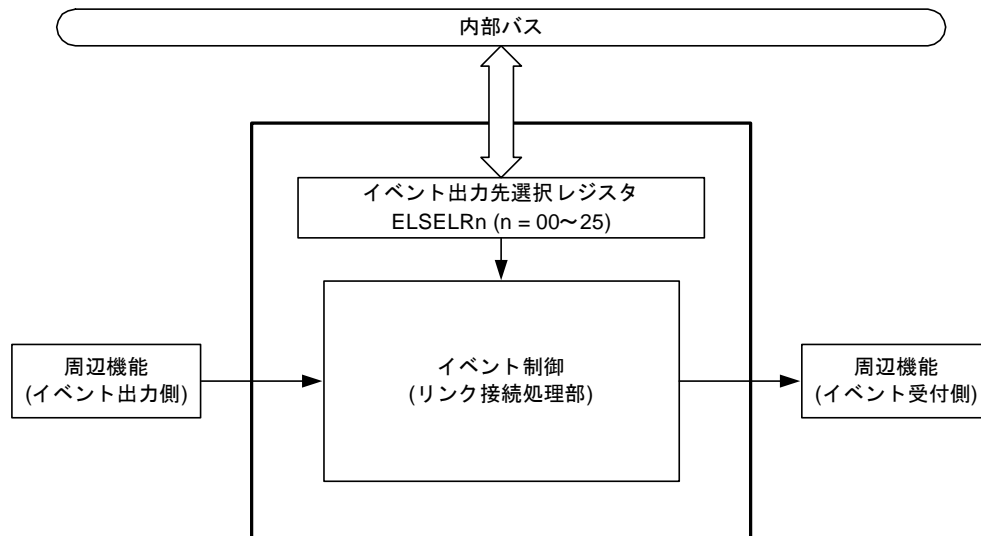
ELCには次の機能があります。

- 製品によって18~26種類の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 製品によって5~10種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

25.2 ELCの構成

図25-1にELCのブロック図を示します。

図25-1 ELCのブロック図



25.3 ELCを制御するレジスタ

表25 - 1にELCを制御するレジスタを示します。

表25 - 1 ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ 00	ELSELR00
イベント出力先選択レジスタ 01	ELSELR01
イベント出力先選択レジスタ 02	ELSELR02
イベント出力先選択レジスタ 03	ELSELR03
イベント出力先選択レジスタ 04	ELSELR04
イベント出力先選択レジスタ 05	ELSELR05
イベント出力先選択レジスタ 06 注1	ELSELR06
イベント出力先選択レジスタ 07 注2	ELSELR07
イベント出力先選択レジスタ 08	ELSELR08
イベント出力先選択レジスタ 09	ELSELR09
イベント出力先選択レジスタ 10	ELSELR10
イベント出力先選択レジスタ 11	ELSELR11
イベント出力先選択レジスタ 12 注3	ELSELR12
イベント出力先選択レジスタ 13 注3	ELSELR13
イベント出力先選択レジスタ 14 注3	ELSELR14
イベント出力先選択レジスタ 15 注3	ELSELR15
イベント出力先選択レジスタ 16 注3	ELSELR16
イベント出力先選択レジスタ 17 注3	ELSELR17
イベント出力先選択レジスタ 18	ELSELR18
イベント出力先選択レジスタ 19	ELSELR19
イベント出力先選択レジスタ 20	ELSELR20
イベント出力先選択レジスタ 21	ELSELR21
イベント出力先選択レジスタ 22	ELSELR22
イベント出力先選択レジスタ 23	ELSELR23
イベント出力先選択レジスタ 24	ELSELR24
イベント出力先選択レジスタ 25	ELSELR25

注1. R5F11NM, R5F11PL, R5F11NG, R5F11RMのみ

注2. R5F11NM, R5F11RMのみ

注3. R5F11RMのみ

25.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 25)

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間かつイベント出力先(イベント受付側)の機能が停止している期間に、ELSELRnレジスタを設定してください。

表25-2にELSELRnレジスタ(n = 00 ~ 25)と周辺機能の対応を、表25-3にELSELRnレジスタ(n = 00 ~ 25)に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図25-2 イベント出力先選択レジスタ n (ELSELRn)のフォーマット

アドレス : F01C0H (ELSELR00) ~ F01D9H (ELSELR25) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	ELSELn3	ELSELn2	ELSELn1	ELSELn0

ELSELn3	ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択
0	0	0	0	イベントリンク禁止
0	0	0	1	リンクする周辺機能1の動作を選択注1
0	0	1	0	リンクする周辺機能2の動作を選択注1
0	0	1	1	リンクする周辺機能3の動作を選択注1
0	1	0	0	リンクする周辺機能4の動作を選択注1,2
0	1	0	1	リンクする周辺機能5の動作を選択注1,2
0	1	1	0	リンクする周辺機能6の動作を選択注1,3
0	1	1	1	リンクする周辺機能7の動作を選択注1,2
1	0	0	0	リンクする周辺機能8の動作を選択注1,3
1	0	0	1	リンクする周辺機能9の動作を選択注1,2
1	0	1	0	リンクする周辺機能10の動作を選択注1,4
1	0	1	1	リンクする周辺機能11の動作を選択注1,4
1	1	0	0	リンクする周辺機能12の動作を選択注1,3
上記以外				設定禁止

注1. 表25-3 ELSELRnレジスタ(n = 00 ~ 25)に設定する値とリンク先周辺機能の受付時の動作の対応に設定する値とリンク先周辺機能の受付時の動作の対応参照。

注2. R5F11NM, R5F11NL, R5F11PL, R5F11NGのみ

注3. R5F11NL, R5F11PL, R5F11NGのみ

注4. R5F11RMのみ

表 25 - 2 ELSELRn レジスタ (n = 00 ~ 25) と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06	外部割り込みエッジ検出6 注1	INTP6
ELSELR07	外部割り込みエッジ検出7 注2	INTP7
ELSELR08	RTC定周期信号/アラーム一致検出	INTRTC
ELSELR09	12ビット・インターバル・タイマのコンペアー一致	INTIT
ELSELR10	8ビット・インターバル・タイマ・チャンネル00のコンペアー一致(8ビット/16ビット・タイマ動作時)	INTIT00
ELSELR11	8ビット・インターバル・タイマ・チャンネル01のコンペアー一致	INTIT01
ELSELR12	8ビット・インターバル・タイマ・チャンネル10のコンペアー一致(8ビット/16ビット・タイマ動作時)注3	INTIT10
ELSELR13	8ビット・インターバル・タイマ・チャンネル11のコンペアー一致注3	INTIT11
ELSELR14	8ビット・インターバル・タイマ・チャンネル20のコンペアー一致(8ビット/16ビット・タイマ動作時)注3	INTIT20
ELSELR15	8ビット・インターバル・タイマ・チャンネル21のコンペアー一致注3	INTIT21
ELSELR16	タイマRJ0アンダーフロー注3	INTTRJ0
ELSELR17	タイマRJ1アンダーフロー注3	INTTRJ1
ELSELR18	TAUチャンネル00カウント完了/キャプチャ完了	INTTM00
ELSELR19	TAUチャンネル01カウント完了/キャプチャ完了	INTTM01
ELSELR20	TAUチャンネル02カウント完了/キャプチャ完了	INTTM02
ELSELR21	TAUチャンネル03カウント完了/キャプチャ完了	INTTM03
ELSELR22	TAUチャンネル04カウント完了/キャプチャ完了	INTTM04
ELSELR23	TAUチャンネル05カウント完了/キャプチャ完了	INTTM05
ELSELR24	TAUチャンネル06カウント完了/キャプチャ完了	INTTM06
ELSELR25	TAUチャンネル07カウント完了/キャプチャ完了	INTTM07

注1. R5F11NM, R5F11PL, R5F11NG, R5F11RMのみ

注2. R5F11NM, R5F11RMのみ

注3. R5F11RMのみ

表 25 - 3 ELSELnレジスタ (n = 00~25)に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELnレジスタの ELSELn3~ELSELn0ビット	リンク先 の番号	リンク先周辺機能	イベント受付時の動作
0000B	—	イベントリンク禁止	—
0001B	1	10ビットA/Dコンバータ	A/D変換開始
0010B	2	タイマ・アレイ・ユニット0チャンネル0 の入カソース注1	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
0011B	3	タイマ・アレイ・ユニット0チャンネル1 の入カソース注2	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
0100B	4	アンプELCトリガ0注4	動作開始
0101B	5	アンプELCトリガ1注4	動作開始
0110B	6	アンプELCトリガ2注5	動作開始
0111B	7	DA0注3, 4	リアルタイム出力開始
1000B	8	DA1注3, 5	リアルタイム出力開始
1001B	9	24ビット $\Delta\Sigma$ A/Dコンバータ注4	A/D変換開始
1010B	10	タイマRJ0注6	カウントソース
1011B	11	タイマRJ1注6	カウントソース
1100B	12	アンプELCトリガ3注5	動作開始
上記以外	—	設定禁止	—

注1. リンク先周辺機能にタイマ・アレイ・ユニット0チャンネル0のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル0の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI00端子のノイズフィルタをOFF (TNFEN00 = 0)に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注2. リンク先周辺機能にタイマ・アレイ・ユニット0チャンネル1のタイマ入力を選択する場合、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル1の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI01端子のノイズフィルタをOFF (TNFEN01 = 0)に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注3. D/A変換のリアルタイム出力モード有効時にSTOP状態に入る場合は、STOPに入る前にELCのイベントリンクを禁止にしてください。

注4. R5F11NM, R5F11NL, R5F11PL, R5F11NGのみ

注5. R5F11NL, R5F11PL, R5F11NGのみ

注6. R5F11RMのみ

25.4 ELCの動作

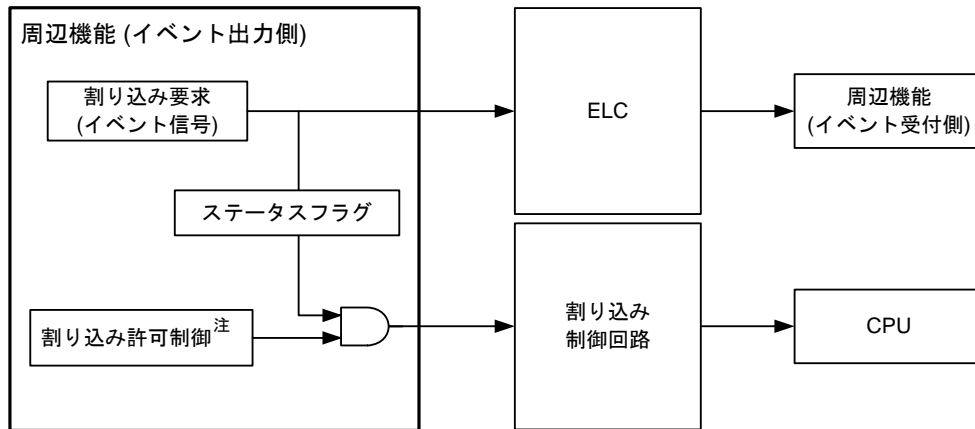
各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

また、イベントリンク動作はCPUクロックの供給の有無に、影響されずに行うことができます。ただし、周辺機能の動作クロックが供給されて、動作できる状態にしてください。

図25-3に割り込み処理とELCの関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします。

図25-3 割り込み処理とELCの関係



注 周辺機能によっては、搭載していません。

表25-4にイベントを受け付ける周辺機能の応答性を示します。

表25-4 イベントを受け付ける周辺機能の応答性

イベント 受取先 No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	10ビットA/Dコンバータ	A/D変換動作	ELCからのイベントが直接、A/D変換のハードウェア・トリガになります。
2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定	ELCのイベント発生からfCLKの3、4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力	外部イベント・カウンタ	
4	アンプELCトリガ0注1	アンプ・ユニット起動	ELCのイベントが直接、アンプ・ユニットの起動トリガになります。
5	アンプELCトリガ1注1	アンプ・ユニット起動	ELCのイベントが直接、アンプ・ユニットの起動トリガになります。
6	アンプELCトリガ2注2	アンプ・ユニット起動	ELCのイベントが直接、アンプ・ユニットの起動トリガになります。
7	D/Aコンバータのチャンネル0注1	リアルタイム出力(チャンネル0)	ELCのイベントが直接、チャンネル0のD/A変換トリガになります。
8	D/Aコンバータのチャンネル1注2	リアルタイム出力(チャンネル1)	ELCのイベントが直接、チャンネル1のD/A変換トリガになります。
9	24ビット $\Delta\Sigma$ A/Dコンバータ注1	A/D変換動作	ELCのイベント発生からfDSADCKの2、3サイクル後にA/D変換のハードウェア・トリガになります。
10	タイマRJ0注3	カウントソース	ELCからのイベントが直接、タイマRJ0のカウントソースになります
11	タイマRJ1注3	カウントソース	ELCからのイベントが直接、タイマRJ1のカウントソースになります
12	アンプELCトリガ3注2	アンプ・ユニット起動	ELCのイベントが直接、アンプ・ユニットの起動トリガになります。

注1. R5F11NM, R5F11NL, R5F11PL, R5F11NGのみ

注2. R5F11NL, R5F11PL, R5F11NGのみ

注3. R5F11RMのみ

第26章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
マスカブル割り込み	外部	8	6	7	8
	内部	29	29	29	43

26.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表26-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

26.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計5要因あります(表26-1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64Kアドレスとなります。

表26-1 割り込み要因一覧(1/4)

割り込みの 処理	デフォルト・ プライオリ ティ ^{注1}	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}	R5F11NM	R5F11NL	R5F11PL	R5F11NG	R5F11RM
		名称	トリガ								
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバーフロー時間の75% + 1/2fIL)	内部	00004H	(A)	○	○	○	○	
	1	INTLVI	電圧検出 ^{注4}		00006H		○	○	○	○	
	2	INTP0	端子入力エッジ検出	外部	00008H	(B)	○	○	○	○	
	3	INTP1			0000AH		○	○	○	○	
	4	INTP2			0000CH		○	○	○	○	
	5	INTP3			0000EH		○	○	○	○	
	6	INTP4			00010H		○	○	○	○	
	7	INTP5			00012H		○	○	○	○	
	8	INTST2/ INTCSI20/ INTIIC20			UART2送信の転送完了、バッファ空き割り込み/ CSI20の転送完了、バッファ空き割り込み/ IIC20の転送完了		内部	00014H	(A)	○	○
	9	INTSR2	UART2受信の転送完了	00016H	○	○		○		○	
	10	INTSRE2	UART2受信の通信エラー発生	00018H	○	○		○		○	
	11	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了、バッファ空き割り込み/ CSI00の転送完了、バッファ空き割り込み/ IIC00の転送完了	0001EH	○	○		○		○	
	12	INTTM00	タイマ・チャンネル0のカウント完了または キャプチャ完了	00020H	○	○		○		○	
13	INTSR0	UART0受信の転送完了	00022H	○	○	○		○			

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、50が最低順位です。

注2. 基本構成タイプの(A)-(C)は、それぞれ図26-1の(A)-(C)に対応しています。

注3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。

注4. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 0選択時。

表 26 - 1 割り込み要因一覧 (2/4)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM	
		名称	トリガ								
マスクابل	14	INTSRE0	UART0受信の通信エラー発生	内部	00024H	(A)	○	○	○	○	
		INTTM01H	タイマ・チャンネル1のカウンタ完了またはキャプチャ完了(上位8ビット・タイマ動作時)				○	○	○	○	
	15	INTST1/ INTCSI10/ INTIIC10	UART1送信の転送完了, パッファ空き割り込み/ CSI10の転送完了, パッファ空き割り込み/ IIC10の転送完了		00026H		○	○	○	○	
		16	INTSR1		UART1受信の転送完了		00028H	○	○	○	○
		17	INTSRE1		UART1受信の通信エラー発生		0002AH	○	○	○	○
	INTTM03H		タイマ・チャンネル03のカウンタ完了またはキャプチャ完了(上位8ビット・タイマ動作時)		○			○	○	○	
	18	INTIICA0	IICA0通信完了		0002CH		○	○	○	○	
	19	INTRTIT	RTC補正タイミング		0002EH		○	○	○	○	
		INTSMP0	サンプリング・ディテクタ検出0				—	—	—	○	
	20	INTTM01	タイマ・チャンネル01のカウンタ完了またはキャプチャ完了		00032H		○	○	○	○	
	21	INTTM02	タイマ・チャンネル02のカウンタ完了またはキャプチャ完了		00034H		○	○	○	○	
	22	INTTM03	タイマ・チャンネル03のカウンタ完了またはキャプチャ完了		00036H		○	○	○	○	
	23	INTAD	10ビットA/D変換終了		00038H		○	○	○	○	
	24	INTRTC	リアルタイム・クロック2の定周期信号/ アラーム一致検出		0003AH		○	○	○	○	
		INTSMP1	サンプリング・ディテクタ検出1				—	—	—	○	
25	INTIT	12ビット・インターバル・タイマのコンペアー一致	0003CH	○	○	○	○				
26	INTTRJ0	タイマRJ0割り込み	0003EH	—	—	—	○				
27	INTTRJ1	タイマRJ1割り込み	00040H	—	—	—	○				

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。

0が最高順位, 50が最低順位です。

注2. 基本構成タイプの(A) - (C)は、それぞれ図26 - 1の(A) - (C)に対応しています。

表 26 - 1 割り込み要因一覧 (3/4)

割り込みの 処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}	R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM		
		名称	トリガ									
マスクابل	28	INTTM04	タイマ・チャンネル04のカウンタ完了またはキャプチャ完了	内部	00042H	(A)	○	○	○	○		
	29	INTTM05	タイマ・チャンネル05のカウンタ完了またはキャプチャ完了		00044H		○	○	○	○		
	30	INTP6	端子入力エッジ検出	外部	00046H	(B)	○	—	○	○		
	31	INTP7			00048H		○	—	—	○		
	32	INTTM06	タイマ・チャンネル06のカウンタ完了またはキャプチャ完了	内部	0004CH	(A)	○	○	○	○		
	33	INTTM07	タイマ・チャンネル07のカウンタ完了またはキャプチャ完了		0004EH		○	○	○	○		
	34	INTIT00	8ビット・インターバル・タイマ00のコンペア一致 (8ビット/16ビット・タイマ動作時)		00050H		○	○	○	○		
	35	INTIT01	8ビット・インターバル・タイマ01のコンペア一致		00052H		○	○	○	○		
	36	INTIT10	8ビット・インターバル・タイマ10のコンペア一致 (8ビット/16ビット・タイマ動作時)		00054H		—	—	—	○		
	37	INTIT11	8ビット・インターバル・タイマ11のコンペア一致		00056H		—	—	—	○		
	38	INTIT20	8ビット・インターバル・タイマ20のコンペア一致 (8ビット/16ビット・タイマ動作時)		00058H		—	—	—	○		
	39	INTIT21	8ビット・インターバル・タイマ21のコンペア一致		0005AH		—	—	—	○		
	40	INTDSAD	24ビット $\Delta\Sigma$ A/D変換終了		外部		0005CH	(A)	○	○	○	—
		INTEXSD	外部サンプリングエッジ検出						—	—	—	○
	41	INTDSADS	24ビット $\Delta\Sigma$ A/Dスキャン完了		内部		00060H	(A)	○	○	○	—
		INTSMP2	サンプリング・ディテクタ検出2						—	—	—	○
	42	INTFL	予約		外部		00062H	(A)	○	○	○	○
	43	INTSMP3	サンプリング・ディテクタ検出3	内部	00064H	(A)	—	—	—	○		
	44	INTSMP4	サンプリング・ディテクタ検出4	内部	00066H	(A)	—	—	—	○		
	45	INTSMP5	サンプリング・ディテクタ検出5	内部	00068H	(A)	—	—	—	○		
	46	INTSMOTA	サンプリング出力タイマインターバル割り込み	内部	0006AH	(A)	—	—	—	○		
	47	INTSMOTB	サンプリング出力タイマコンペア一致割り込み	内部	0006CH	(A)	—	—	—	○		
	48	INTSTMGO	UARTMG0送信の転送完了,バッファ空き割り込み	内部	0006EH	(A)	—	—	—	○		
	49	INTSRMG0	UARTMG0受信の転送完了	内部	00070H	(A)	—	—	—	○		
	50	INTSREMG0	UARTMG0受信の転送完了通信エラー発生	内部	00072H	(A)	—	—	—	○		

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。

0が最高順位、50が最低順位です。

注2. 基本構成タイプの(A) - (C)は、それぞれ図26-1の(A) - (C)に対応しています。

表 26 - 1 割り込み要因一覧 (4/4)

割り込みの 処理	デフォルト・ プライオリ ティ注1	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ注2	R5F11NM	R5F11NL	R5F11PL R5F11NG	R5F11RM
		名称	トリガ							
ソフト ウェア	—	BRK	BRK命令の実行	—	0007EH	(C)	○	○	○	○
リセット	—	RESET	RESET端子入力	—	00000H	—	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○
		LVD	電圧検出注3				○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○
		TRAP	不正命令の実行注4				○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、50が最低順位です。

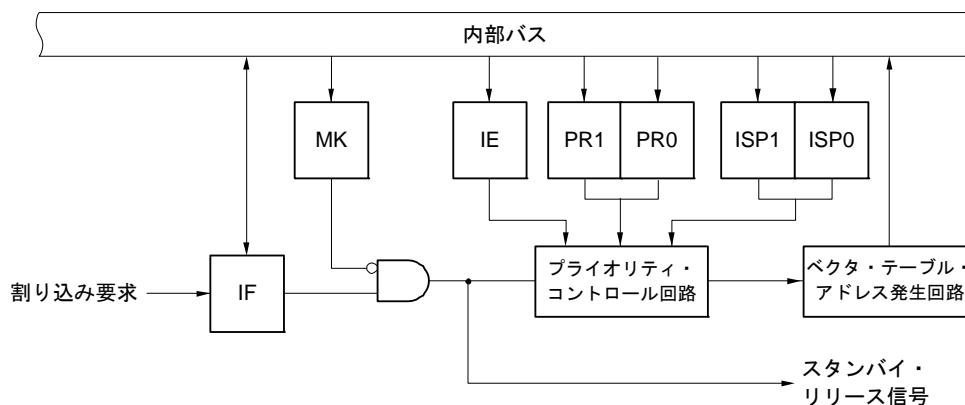
注2. 基本構成タイプの(A) - (C)は、それぞれ図26 - 1の(A) - (C)に対応しています。

注3. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 1選択時。

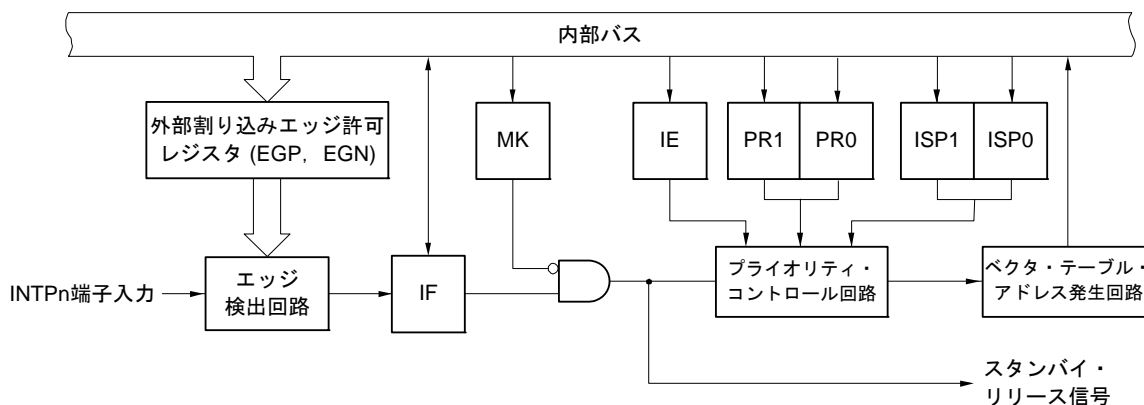
注4. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図26-1 割り込み機能の基本構成

(A) 内部マスカブル割り込み



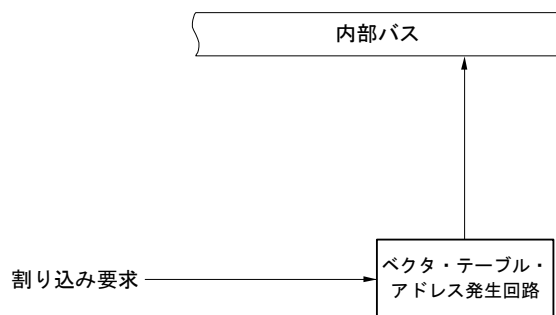
(B) 外部マスカブル割り込み (INTPn)



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 n = 0-7

(C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサース・プライオリティ・フラグ0
- ISP1 : インサース・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

26.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表26-2に示します。

表26-2 割り込み要求ソースに対応する各種フラグ(1/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		R5F11NM	R5F11NL	R5F11PL	R5F11NG	R5F11RM
	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ					
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1		○	○	○	○	
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	

表26-2 割り込み要求ソースに対応する各種フラグ(2/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		R5F11NM	R5F11NL	R5F11PL R5F11NG	R5F11RM
		レジスタ		レジスタ		レジスタ				
INTST2 ^{注1}	STIF2 ^{注1}	IF0H	STMK2 ^{注1}	MK0H	STPR02, STPR12 ^{注1}	PR00H, PR10H	○	○	○	○
INTCSI20 ^{注1}	CSIIF20 ^{注1}		CSIMK20 ^{注1}		CSIPR020, CSIPR120 ^{注1}		○	○	○	○
INTIIC20 ^{注1}	IICIF20 ^{注1}		IICMK20 ^{注1}		IICPR020, IICPR120 ^{注1}		○	○	○	○
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12		○	○	○	○
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12		○	○	○	○
INTST0 ^{注2}	STIF0 ^{注2}		STMK0 ^{注2}		STPR00, STPR10 ^{注2}		○	○	○	○
INTCSI00 ^{注2}	CSIIF00 ^{注2}		CSIMK00 ^{注2}		CSIPR000, CSIPR100 ^{注2}		○	○	○	○
INTIIC00 ^{注2}	IICIF00 ^{注2}		IICMK00 ^{注2}		IICPR000, IICPR100 ^{注2}		○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10		○	○	○	○

注1. 割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF0Hレジスタのビット0はセット(1)されます。
また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。

注2. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット(1)されます。
また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。

表26-2 割り込み要求ソースに対応する各種フラグ(3/4)

割り込み要因	割り込み要求 フラグ		割り込みマスク・ フラグ		優先順位指定フラグ		R5F11NM	R5F11NL	R5F11PL, R5F11NG	R5F11RM
	レジスタ		レジスタ		レジスタ					
INTSRE0注1	SREIF0注1	IF1L	SREMK0注1	MK1L	SREPR00, SREPR10注1	PR01L, PR11L	○	○	○	○
INTTM01H注1	TMIF01H注1		TMMK01H注1		TMPR001H, TMPR101H注1					
INTCSI10注2	CSIF10注2		CSIMK10注2		CSIPR010, CSIPR110注2					
INTIIC10注2	IICIF10注2		IICMK10注2		IICPR010, IICPR110注2					
INTST1注2	STIF1注2		STMK1注2		STPR01, STPR11注2					
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11					
INTSRE1注3	SREIF1注3		SREMK1注3		SREPR01, SREPR11注3					
INTTM03H注3	TMIF03H注3		TMMK03H注3		TMPR003H, TMPR103H注3					
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10					
INTRTIT注4	RTITIF		RTITMK		RTITPR0, RTITPR1					
INTSMP0注4	SMPIF0		SMPMK0		SMPPR00, SMPPR10					
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101					
INTTM02	TMIF02	IF1H	TMMK02	MK1H	TMPR002, TMPR102	PR01H, PR11H	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103					
INTAD	ADIF		ADMK		ADPR0, ADPR1					
INTRTC注5	RTCIF		RTCMK		RTCPR0, RTCPR1					
INTSMP1注5	SMPIF1		SMPMK1		SMPPR01, SMPPR11					
INTIT	TMKAIF		TMKAMK		TMKAPR0, TMKAPR1					
INTTRJ0	TRJIF0		TRJMK0		TRJPR00, TRJPR10					
INTTRJ1	TRJIF1		TRJMK1		TRJPR01, TRJPR11					
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104					

- 注1. UART0受信のエラー割り込み, TAU0のチャンネル1(上位8ビット・タイマ動作時)の割り込みは, 割り込み要求ソースに対する各種フラグを兼用しているため, 同時に使用しないでください。UART0受信のエラー割り込みを使用しない(EOC01 = 0)場合は, UART0, TAU0のチャンネル1(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち, どちらかが発生したら, IF1Lレジスタのビット0はセット(1)されます。また, MK1L, PR01L, PR11Lレジスタのビット0は, 両方の割り込み要因に対応しています。
- 注2. 割り込み要因INTST1, INTCSI10, INTIIC10のうち, いずれかが発生したら, IF1Lレジスタのビット1はセット(1)されます。また, MK1L, PR01L, PR11Lレジスタのビット1は, 3つすべての割り込み要因に対応しています。
- 注3. UART1受信のエラー割り込み, TAU0のチャンネル3(上位8ビット・タイマ動作時)の割り込みは, 割り込み要求ソースに対する各種フラグを兼用しているため, 同時に使用しないでください。UART1受信のエラー割り込みを使用しない(EOC03 = 0)場合は, UART1, TAU0のチャンネル3(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち, どちらかが発生したら, IF1Lレジスタのビット3はセット(1)されます。また, MK1L, PR01L, PR11Lレジスタのビット3は, 両方の割り込み要因に対応しています。
- 注4. RTC補正タイミング割り込み(INTRTIT), サンプリング・ディテクタ検出0割り込み(INTSMP0)は, 割り込み要求ソースに対する各種フラグを兼用しているため, 同時に使用しないでください。
- 注5. リアルタイム・クロック2の定周期信号/アラーム一致検出割り込み(INTRTC), サンプリング・ディテクタ検出1割り込み(INTSMP1)は, 割り込み要求ソースに対する各種フラグを兼用しているため, 同時に使用しないでください。

表 26 - 2 割り込み要求ソースに対応する各種フラグ(4/4)

割り込み要因	割り込み要求 フラグ		割り込みマスク・ フラグ		優先順位指定フラグ		R5F11NM	R5F11NL	R5F11PL; R5F11NG	R5F11RM
		レジスタ		レジスタ		レジスタ				
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L	○	○	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	—	○	○
INTP7	PIF7		PMK7		PPR07, PPR17		○	—	—	○
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106		○	○	○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○	○	○
INTIT00	ITIF00		ITMK00		ITPR000, ITPR100		○	○	○	○
INTIT01	ITIF01		ITMK01		ITPR001, ITPR101		○	○	○	○
INTIT10	ITIF10		IF2H		ITMK10		MK2H	ITPR010, ITPR110	PR02H, PR12H	—
INTIT11	ITIF11	ITMK11		ITPR011, ITPR111	—	—		—		○
INTIT20	ITIF20	ITMK20		ITPR020, ITPR120	—	—		—		○
INTIT21	ITIF21	ITMK21		ITPR021, ITPR121	—	—		—		○
INTDSAD	DSADIF	DSADMK		DSADPR0, DSADPR1	○	○		○		—
INTEXSD	EXSDIF	EXSDMK		EXSDPR0, EXSDPR1	—	—		—		○
INTDSADS	DSADSIF	DSADSMK		DSADSPR0, DSADSPR1	○	○		○		—
INTSMP2	SMPIF2	SMPMK2		SMPPR02, SMPPR12	—	—		—		○
INTFL	FLIF	FLMK		FLPR0, FLPR1	○	○		○		○
INTSMP3	SMPIF3	IF3L		SMPMK3	MK3L	SMPPR03, SMPPR13		PR03L, PR13L		—
INTSMP4	SMPIF4		SMPMK4	SMPPR04, SMPPR14		—	—		—	○
INTSMP5	SMPIF5		SMPMK5	SMPPR05, SMPPR15		—	—		—	○
INTSMOTA	SMOTAIF		SMOTAMK	SMOTAPR0, SMOTAPR1		—	—		—	○
INTSMOTB	SMOTBIF		SMOTBMK	SMOTBPR0, SMOTBPR1		—	—		—	○
INTSTMG0	STMGIF0		STMGMK0	STMGPR00, STMGPR10		—	—		—	○
INTSRMG0	SRMGIF0		SRMGMK0	SRMGPR00, SRMGPR10		—	—		—	○
INTSREMG0	SREMGIF0		SREMGMK0	SREMGPR00, SREMGPR10		—	—		—	○

26.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図26-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)のフォーマット(1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SRIF0	TMIF00	STIF0 CSIF00 IICIF00	0	0	SREIF2	SRIF2	STIF2 CSIF20 IICIF20

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF01	0	RTITIF SMPIF0	IICAIF0	SREIF1 TMIF03H	SRIF1	CSIF10 IICIF10 STIF1	SREIF0 TMIF01H

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	TRJIF1	TRJIF0	TMKAIF	RTCIF SMPIF1	ADIF	TMIF03	TMIF02

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	ITIF01	ITIF00	TMIF07	TMIF06	0	PIF7	PIF6	TMIF05

図26-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L) のフォーマット (2/2)

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	DSADSIF SMPIF2	0	DSADIF EXSDIF	ITIF21	ITIF20	ITIF11	ITIF10

アドレス : FFFD2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF3L	SREMGIF0	SRMGIF0	STMGIF0	SMOTBIF	SMOTAIF	SMPIF5	SMPIF4	SMPIF3

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表26-2を参照してください。また、搭載していないビットには、必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L.0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

26.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ、MK1LレジスタとMK1Hレジスタ、MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図26-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)のフォーマット(1/2)

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SRMK0	TMMK00	STMK0 CSIMK00 IICMK00	1	1	SREMK2	SRMK2	STMK2 CSIMK20 IICMK20

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK01	1	RTITMK SMPMK0	IICAMK0	SREMK1 TMMK03H	SRMK1	CSIMK10 IICMK10 STMK1	SREMK0 TMMK01H

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	TRJMK1	TRJMK0	TMKAMK	RTCMK SMPMK1	ADMK	TMMK03	TMMK02

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	ITMK01	ITMK00	TMMK07	TMMK06	1	PMK7	PMK6	TMMK05

図26-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)のフォーマット(2/2)

アドレス : FFFD5H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

MK2H	FLMK	DSADSMK SMPMK2	1	DSADMK EXSDMK	ITMK21	ITMK20	ITMK11	ITMK10
------	------	-------------------	---	------------------	--------	--------	--------	--------

アドレス : FFFD6H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

MK3L	SREMGMK0	SRMGMK0	STMGMK0	SMOTBMK	SMOTAMK	SMPMK5	SMPMK4	SMPMK3
------	----------	---------	---------	---------	---------	--------	--------	--------

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表26-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

26.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ, PR01LレジスタとPR01Hレジスタ, PR02LレジスタとPR02Hレジスタ, PR10LレジスタとPR10Hレジスタ, PR11LレジスタとPR11Hレジスタ, PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図26-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)のフォーマット(1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SRPR00	TMPR000	STPR00 CSIPR000 IICPR000	1	1	SREPR02	SRPR02	STPR02 CSIPR020 IICPR020

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SRPR10	TMPR100	STPR10 CSIPR100 IICPR100	1	1	SREPR12	SRPR12	STPR12 CSIPR120 IICPR120

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR001	1	RTITPR0 SMPPR00	IICAPR00	SREPR01 TMPR003H	SRPR01	CSIPR010 IICPR010 STPR01	SREPR00 TMPR001H

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR101	1	RTITPR1 SMPPR10	IICAPR10	SREPR11 TMPR103H	SRPR11	CSIPR110 IICPR110 STPR11	SREPR10 TMPR101H

アドレス : FFFEBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	TMPR004	TRJRP01	TRJRP00	TMKAPR0	RTCPR0 SMPPR01	ADPR0	TMPR003	TMPR002

アドレス : FFFEFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	TMPR104	TRJRP11	TRJRP10	TMKAPR1	RTCPR1 SMPPR11	ADPR1	TMPR103	TMPR102

図26-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)のフォーマット(2/2)

アドレス : FFFD8H リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR02L	ITPR001	ITPR000	TMPR007	TMPR006	1	PPR07	PPR06	TMPR005

アドレス : FFFDCH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR12L	ITPR101	ITPR100	TMPR107	TMPR106	1	PPR17	PPR16	TMPR105

アドレス : FFFD9H リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR02H	FLPR0	DSADSPR0 SMPPR02	1	DSADPR0 EXSDPR0	ITPR021	ITPR020	ITPR011	ITPR010

アドレス : FFFDDH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR12H	FLPR1	DSADSPR1 SMPPR12	1	DSADPR1 EXSDPR1	ITPR121	ITPR120	ITPR111	ITPR110

アドレス : FFFDAH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR03L	SREMGPR00	SRMGPR00	STMGPR00	SMOTBPR0	SMOTAPR0	SMPPR05	SMPPR04	SMPPR03

アドレス : FFFDEH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR13L	SREMGPR10	SRMGPR10	STMGPR10	SMOTBPR1	SMOTAPR1	SMPPR15	SMPPR14	SMPPR13

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定(高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定(低優先順位)

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表26-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

26.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP7の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図26 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnビットとEGNnビットに対応する割り込み要求信号を表26-3に示します。

表26-3 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号
EGP0	EGN0	INTP0
EGP1	EGN1	INTP1
EGP2	EGN2	INTP2
EGP3	EGN3	INTP3
EGP4	EGN4	INTP4
EGP5	EGN5	INTP5
EGP6	EGN6	INTP6
EGP7	EGN7	INTP7

注意 外部割り込み機能で使用している入力ポートを出力モード機能に切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止(EGPn, EGNn=0)にしてからポート・モード・レジスタ(PMxx)を0に設定してください。

備考1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

備考2. n=0-7

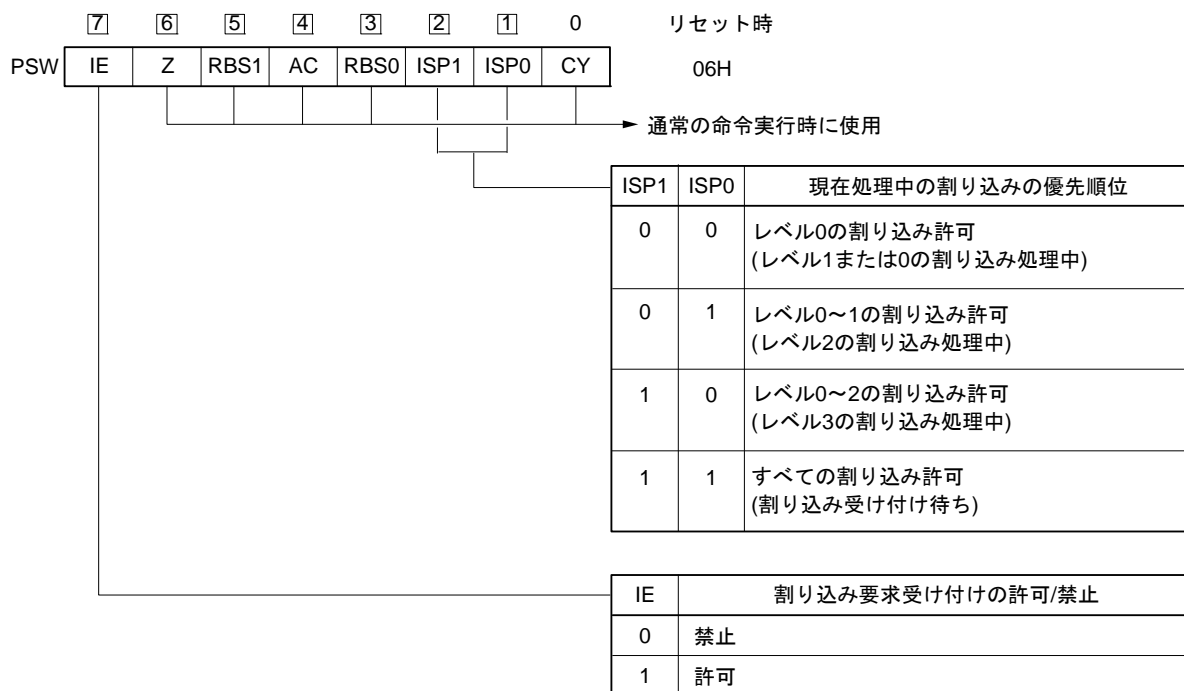
26.3.5 プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、-1された値がISP0, ISP1フラグに転送されます。PUSH PSW 命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW 命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図26-6 プログラム・ステータス・ワードの構成



26.4 割り込み処理動作

26.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表 26 - 4 のようになります。

割り込み要求の受け付けタイミングについては、図 26 - 8, 図 26 - 9 を参照してください。

表 26 - 4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間注
処理時間	9クロック	16クロック

注 内部RAM領域からの命令実行時は除きます。

備考 1クロック : 1/fCLK (fCLK : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

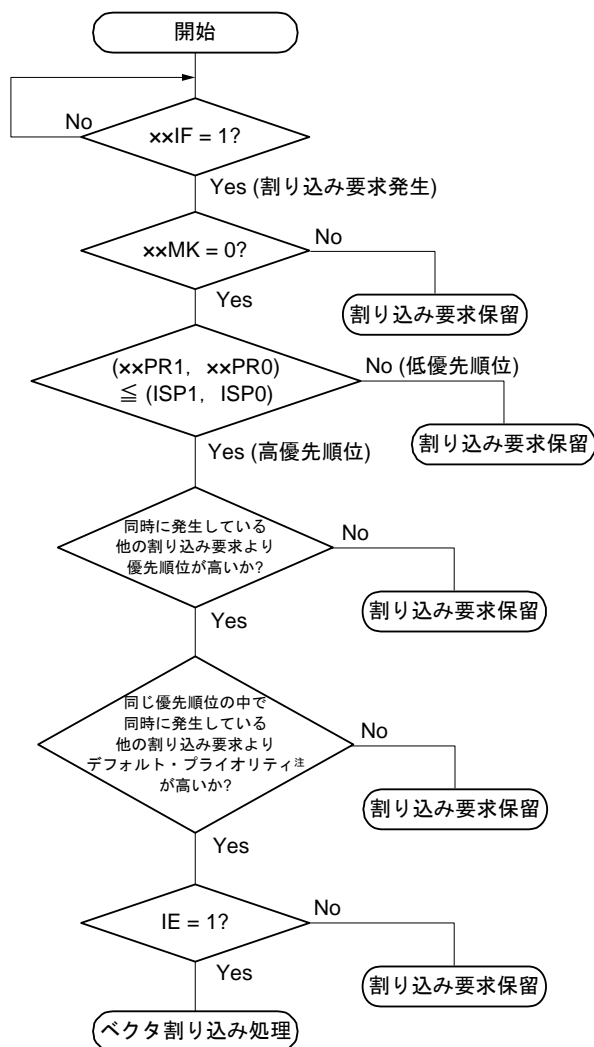
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図 26 - 7 に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図26-7 割り込み要求受け付け処理アルゴリズム



xxIF : 割り込み要求フラグ

xxMK : 割り込みマスク・フラグ

xxPR0 : 優先順位指定フラグ0

xxPR1 : 優先順位指定フラグ1

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

ISP0, ISP1: 現在処理中の割り込みの優先順位を示すフラグ(図26-6参照)

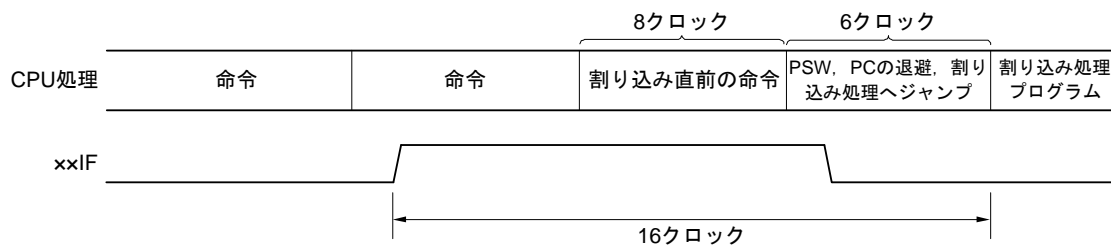
注 デフォルト・プライオリティは、表26-1 割り込み要因一覧を参照してください。

図26 - 8 割り込み要求の受け付けタイミング(最小時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

図26 - 9 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

26.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

26.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態(IE = 0)になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット(1)して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット(1)した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表 26 - 5に割り込み処理中に多重割り込み可能な割り込み要求の関係を、図 26 - 10に多重割り込みの例を示します。

表 26 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

備考2. × : 多重割り込み不可能。

備考3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち(すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタに含まれるフラグです。

PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定(高優先順位)

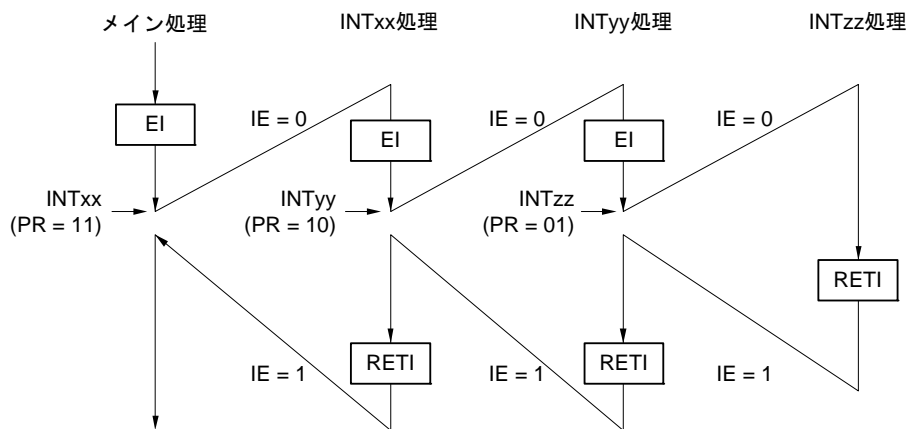
PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定

PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定

PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定(低優先順位)

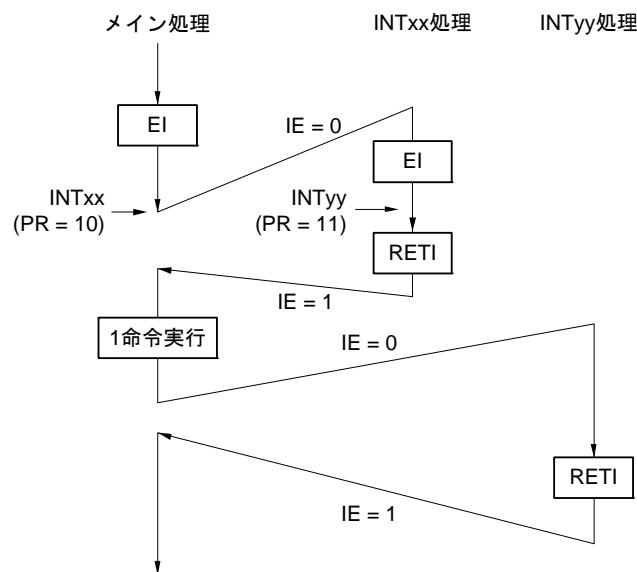
図26 - 10 多重割り込みの例(1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : xxPR1x= 0, xxPR0x= 0でレベル0を指定(高優先順位)

PR = 01 : xxPR1x= 0, xxPR0x= 1でレベル1を指定

PR = 10 : xxPR1x= 1, xxPR0x= 0でレベル2を指定

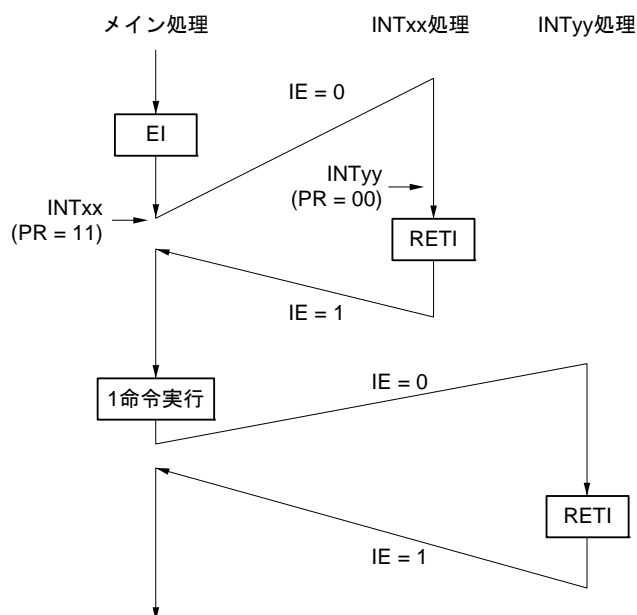
PR = 11 : xxPR1x= 1, xxPR0x= 1でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図26 - 10 多重割り込みの例(2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : xxPR1x= 0, xxPR0x= 0でレベル0を指定(高優先順位)

PR = 01 : xxPR1x= 0, xxPR0x= 1でレベル1を指定

PR = 10 : xxPR1x= 1, xxPR0x= 0でレベル2を指定

PR = 11 : xxPR1x= 1, xxPR0x= 1でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

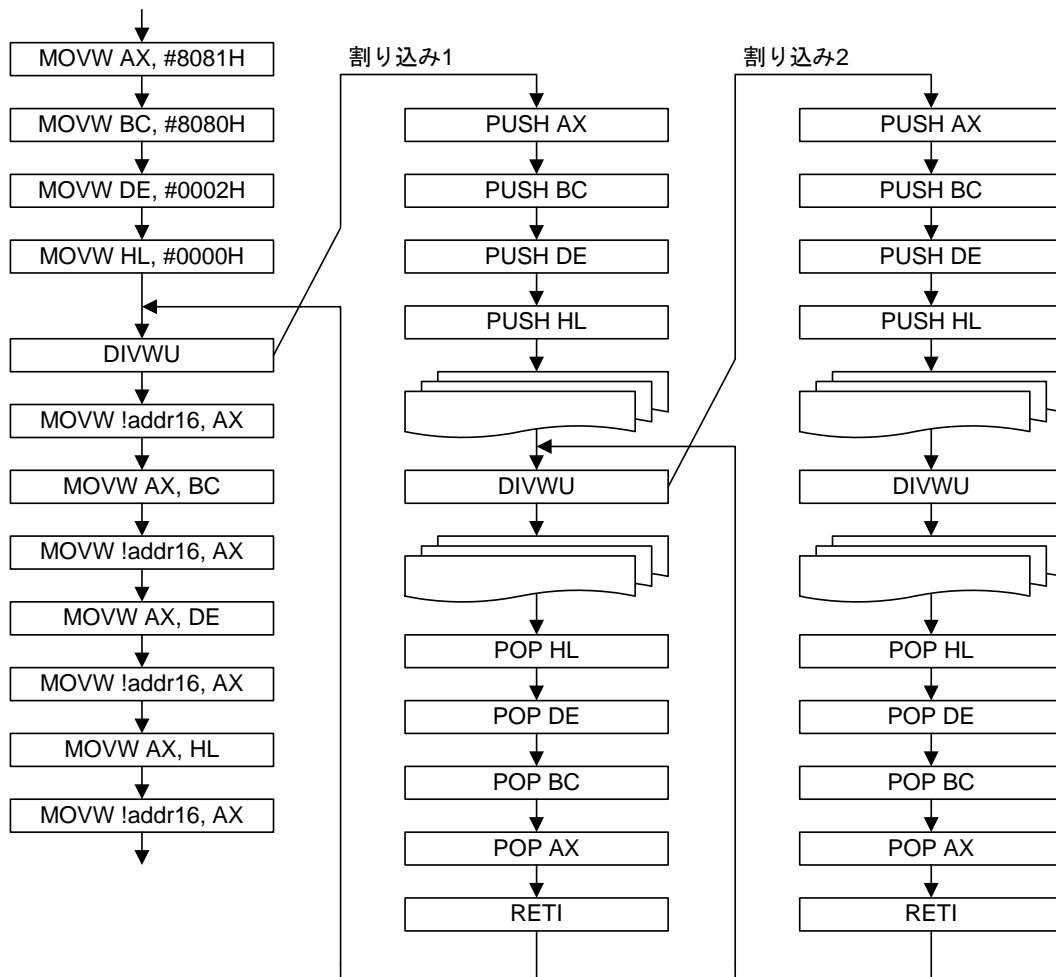
26.4.4 除算命令中の割り込み処理

RL78/H1Dは、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は、DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために、PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)s	(SP-2) ← (PC-3)s
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCs ← 0000	PCs ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



- 注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。
- ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。
- 下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。
- ・ CA78K0R (ルネサス エレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
 - ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.3以降のC言語ソース
 - ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

26.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, # byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L
レジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図26 - 11に示します。

図26 - 11 割り込み要求の保留



備考1. 命令N : 割り込み要求の保留命令

備考2. 命令M : 割り込み要求の保留命令以外の命令

第27章 スタンバイ機能

27.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSIp, UARTqのデータ受信、タイマ・トリガ信号(割り込み要求信号(INTRTC/INTIT)またはELCイベント入力)による10ビットA/Dの変換要求、DTC起動要因により、STOPモードを解除し、CPUを動作させることなくCSIp, UARTqのデータ受信、10ビットA/Dの変換、DTC動作を行います。CPU/周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- 注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください(SNOOZEモード設定ユニットを除く)。
- 注意3. CSIp, UARTq, 10ビットA/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm), A/Dコンバータ・モード・レジスタ2 (ADM2) をSTOPモードに移行前に設定してください。詳細は、20.3 シリアル・アレイ・ユニットを制御するレジスタ, 19.3 A/Dコンバータを制御するレジスタを参照してください。
- 注意4. 10ビットA/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)とビット0 (ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
- 注意5. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第33章 オプション・バイトを参照してください。

備考. m : ユニット番号 (m = 0, 1) p : CSI番号 (p = 00, 20) q : UART番号 (q = 0, 2)

27.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)

備考 上記レジスタの詳細は、第5章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第20章 シリアル・アレイ・ユニットを参照してください。

27.3 スタンバイ機能の動作

27.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが0(割り込み処理許可)で且つ割り込み要求フラグが1(割り込み要求信号が発生)の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表 27 - 1 HALTモード時の動作状態 (1/2)

HALTモードの設定		メイン・システム・クロックでCPU動作中のHALT命令実行時		
項目	高速オンチップ・オシレータ・クロック (fIH)でCPU動作時		X1クロック (fX)でCPU動作時	外部メイン・システム・クロック (fEX)でCPU動作時
	システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	fIH	動作継続(停止不可)	動作禁止	
	fX	動作禁止	動作継続(停止不可)	動作不可
	fEX		動作不可	動作継続(停止不可)
サブシステム・クロック	fXT	HALTモード設定前の状態を継続		
	fEXT			
fil		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止		
データ・フラッシュ・メモリ				
RAM		動作停止(DTC実行時は動作可能)		
ポート(ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット		動作可能		
8ビット・インターバル・タイマ				
リアルタイム・クロック2				
12ビット・インターバル・タイマ				
サンプリング出カタイマ/ディテクタ ^{注1}		動作可能		
外部サンプリング ^{注1}		サブシステム・クロック動作時のみ動作可能		
タイマRJ ^{注1}		動作可能		
ウォッチドッグ・タイマ		第14章 ウォッチドッグ・タイマ参照		
クロック出力/ブザー出力		動作可能		
10ビットA/Dコンバータ				
アナログ・フロントエンド電源回路 ^{注2}				
プログラマブル・ゲイン計装アンプ付き24ビットΔΣA/Dコンバータ ^{注2}				
D/Aコンバータ		8ビット ^{注2}		
		12ビット ^{注3}		
アンプ・ユニット ^{注2}				
シリアル・アレイ・ユニット(SAU)				
シリアル・インタフェース(IICA)				
シリアル・インタフェースUARTMG ^{注1}				
LCDコントローラ/ドライバ		動作可能(ただし, LCDソース・クロックとして選択したクロックの状態に従う(選択クロックが動作中なら動作可能, 停止中なら動作停止))		
DTC		動作可能		
ELC		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
CRC演算機能		高速CRC		
		汎用CRC		
RAMパリティ・エラー検出機能		動作停止(DTC実行時は動作可能)		
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

(注, 備考は次ページにあります。)

- 注1. R5F11RMのみ
注2. R5F11NM, R5F11NL, R5F11PL, R5F11NGのみ
注3. R5F11NL, R5F11PL, R5F11NGのみ

備考	動作停止	: HALTモード移行時に自動的に動作停止	fx	: X1クロック
	動作禁止	: HALTモード移行前に動作を停止させる	fEX	: 外部メイン・システム・クロック
	fhH	: 高速オンチップ・オシレータ・クロック	fXT	: XT1クロック
	fhL	: 低速オンチップ・オシレータ・クロック	fEXT	: 外部サブシステム・クロック

表 27 - 1 HALT モード時の動作状態 (2/2)

項目		HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
				XT1クロック (fXT) でCPU動作時	外部サブシステム・クロック (fEXT) でCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	fIH	動作禁止			
	fX				
	fEX				
サブシステム・クロック	fXT	動作継続 (停止不可)	動作不可		
	fEXT	動作不可	動作継続 (停止不可)		
fil		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU		動作停止			
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM		動作停止 (DTC実行時は動作可能)			
ポート (ラッチ)		HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット		動作可能 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1)は、動作禁止)			
8ビット・インターバル・タイマ		動作可能			
リアルタイム・クロック2					
12ビット・インターバル・タイマ					
サンプリング出力タイマ/ディテクタ ^{注1}		動作可能			
外部サンプリング ^{注1}		動作可能			
タイマRJ ^{注1}		動作可能 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1)は、動作禁止)			
ウォッチドッグ・タイマ		第14章 ウォッチドッグ・タイマ参照			
クロック出力/ブザー出力		動作可能 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1)は、動作禁止)			
10ビットA/Dコンバータ		動作禁止			
アナログ・フロントエンド電源回路 ^{注2}		HALTモード設定前の状態を保持			
プログラマブル・ゲイン計装アンプ付き24ビットΔΣA/Dコンバータ ^{注2}		動作可能 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1)は、動作禁止)			
D/Aコンバータ	8ビット ^{注2}				
	12ビット ^{注3}				
アンプ・ユニット ^{注2}					
シリアル・アレイ・ユニット (SAU)					
シリアル・インタフェース (IICA)		動作禁止			
シリアル・インタフェースUARTMG ^{注1}		動作可能			
LCDコントローラ/ドライバ		動作可能 (ただし、LCDソース・クロックとして選択したクロックの状態に従う (選択クロックが動作中なら動作可能、停止中なら動作停止))			
DTC		動作可能 (低消費RTCモード時 (OSMCレジスタのRTCLPC = 1)は、動作禁止)			
ELC		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
CRC演算機能	高速CRC	動作禁止			
	汎用CRC	動作停止 (RAM領域の演算で、DTC実行時は動作可能)			
RAMパリティ・エラー検出機能		動作停止 (DTC実行時は動作可能)			
RAMガード機能					
SFRガード機能					
不正メモリ・アクセス検出機能					

(注、備考は次ページにあります。)

- 注1. R5F11RMのみ
注2. R5F11NM, R5F11NL, R5F11PL, R5F11NGのみ
注3. R5F11NL, R5F11PL, R5F11NGのみ

備考	動作停止	: HALTモード移行時に自動的に動作停止	fx	: X1クロック
	動作禁止	: HALTモード移行前に動作を停止させる	fEX	: 外部メイン・システム・クロック
	fiH	: 高速オンチップ・オシレータ・クロック	fXT	: XT1クロック
	fiL	: 低速オンチップ・オシレータ・クロック	fEXT	: 外部サブシステム・クロック

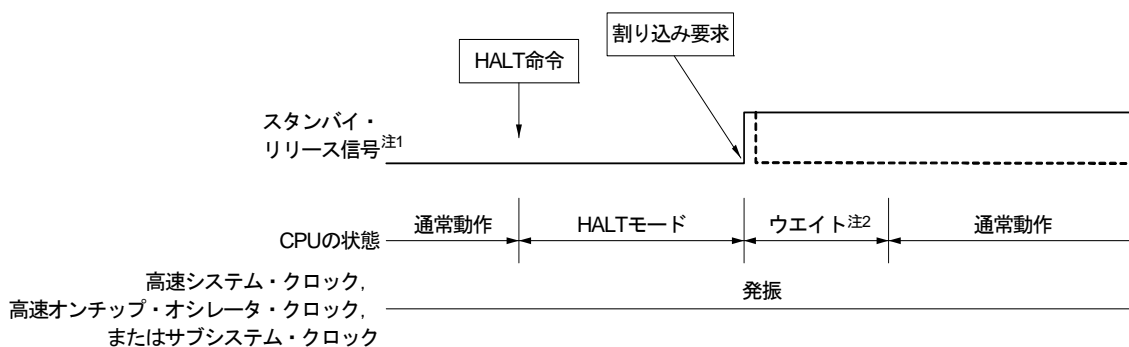
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図27-1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図26-1を参照してください。

注2. HALTモード解除のウエイト時間

- ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時 : 15~16クロック
 - サブシステム・クロック時(RTCLPC = 0) : 10~11クロック
 - サブシステム・クロック時(RTCLPC = 1) : 11~12クロック
- ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時 : 9~10クロック
 - サブシステム・クロック時(RTCLPC = 0) : 4~5クロック
 - サブシステム・クロック時(RTCLPC = 1) : 5~6クロック

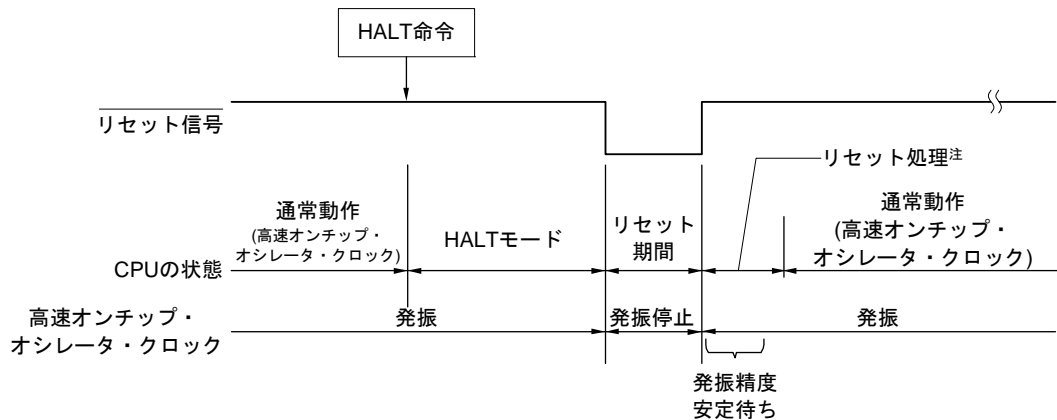
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

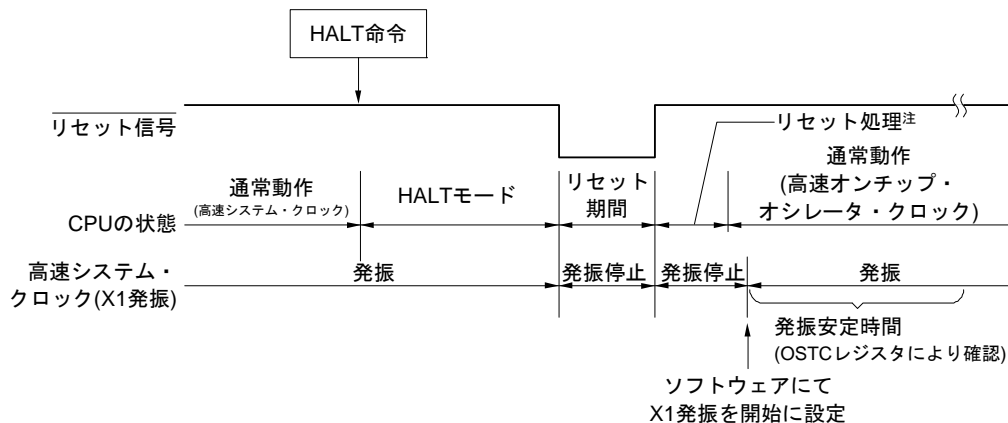
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図27-2 HALTモードのリセットによる解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



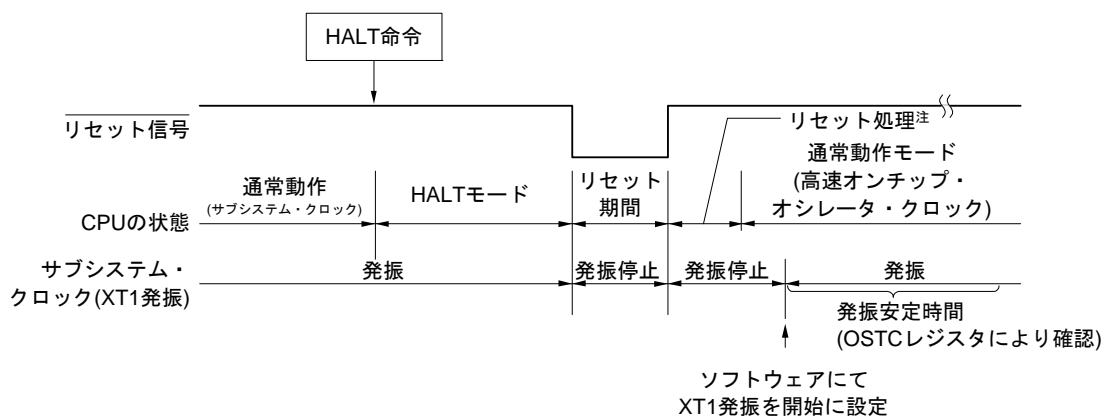
(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第28章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第29章 パワーオン・リセット回路を参照してください。

図27-2 HALTモードのリセットによる解除(2/2)

(3) CPUクロックがサブシステム・クロックの場合



注 リセット処理時間は、第28章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第29章 パワーオン・リセット回路を参照してください。

27.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込みマスク・フラグが0 (割り込み処理許可) で且つ割り込み要求フラグが1 (割り込み要求信号が発生) の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入っただちに解除されます。

したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表 27 - 2 STOPモード時の動作状態

STOPモードの設定		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
項目		高速オンチップ・オシレータ・クロック (fIH) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	fIH	停止		
	fx			
	fEX			
サブシステム・クロック	fXT	STOPモード設定前の状態を継続		
	fEXT			
fil		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 <ul style="list-style-type: none"> • WUTMMCK0 = 1 : 発振 • WUTMMCK0 = 0かつWDTON = 0 : 停止 • WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 • WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止 		
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止		
データ・フラッシュ・メモリ		動作停止		
RAM		動作停止		
ポート(ラッチ)		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
8ビット・インターバル・タイマ		動作可能		
リアルタイム・クロック2				
12ビット・インターバル・タイマ				
サンプリング出力タイム/ディテクト注1		動作可能		
外部サンプリング注1		動作可能(ただし、外部サンプリングエッジ検出割り込み信号(INTEXSD)は発生しません。また、外部サンプリング制御レジスタ0(EXSDM0)のEXSDD01, EXSDD00, PRTY0ビットは更新されません。)		
タイマRJ注1		<ul style="list-style-type: none"> • TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 • カウントソースにサブシステム・クロック選択時でかつOSMCレジスタのRTCLPC = 0は動作可能 • カウントソースに低速オンチップ・オシレータ選択時は動作可能 • 上記以外は動作禁止 		
ウォッチドッグ・タイマ		第14章 ウォッチドッグ・タイマ参照		
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)		
10ビットA/Dコンバータ		ウエイク・アップ動作可能(SNOOZEモードへ移行)		
アナログ・フロントエンド電源回路注2		動作可能		
プログラマブル・ゲイン計装アンプ付き24ビットΔΣA/Dコンバータ注2		動作禁止		
D/Aコンバータ	8ビット注2	動作可能(STOPモード設定前の状態を継続)		
	12ビット注3			
アンプ・ユニット注2		動作禁止		
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみウエイク・アップ動作可能(SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止		
シリアル・インタフェース(IICA)		アドレス一致によるウエイク・アップ動作可能		
シリアル・インタフェースUARTMG注1		動作可能		
LCDコントローラ/ドライバ		動作可能(ただし、LCDソース・クロックとして選択したクロックの状態に従う(選択クロックが動作中なら動作可能、停止中なら動作停止))		
DTC		DTC起動要因受付動作可能(SNOOZEモードに遷移)		
ELC		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				

表 27 - 2 STOPモード時の動作状態

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ・クロック (fiH) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時
CRC演算機能	高速CRC	動作停止		
	汎用CRC			
RAMパリティ・エラー検出機能				
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

注1. R5F11RMのみ

注2. R5F11NM, R5F11NL, R5F11PL, R5F11NGのみ

注3. R5F11NL, R5F11PL, R5F11NGのみ

注意 STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。

備考1. 動作停止	: STOPモード移行時に自動的に動作停止	fx	: X1クロック
動作禁止	: STOPモード移行前に動作を停止させる	fiL	: 低速オンチップ・オシレータ・クロック
fiH	: 高速オンチップ・オシレータ・クロック	fEX	: 外部メイン・システム・クロック
fxT	: XT1クロック	fEXT	: 外部サブシステム・クロック

備考2. p = 00, 20; q = 0, 2

(2) STOPモードの解除

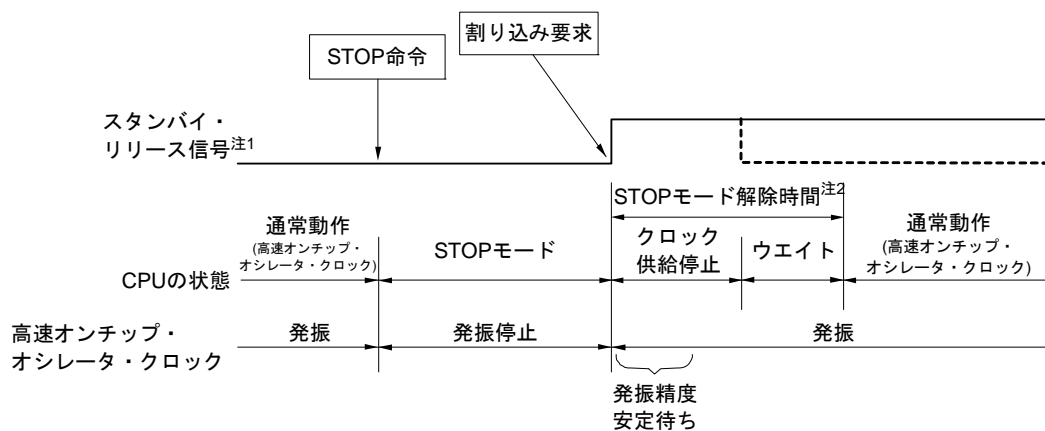
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図27-3 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関する詳細は、図26-1を参照してください。

注2. STOPモード解除時間

クロック供給停止：18 μ s ~ 65 μ s

ウェイト：

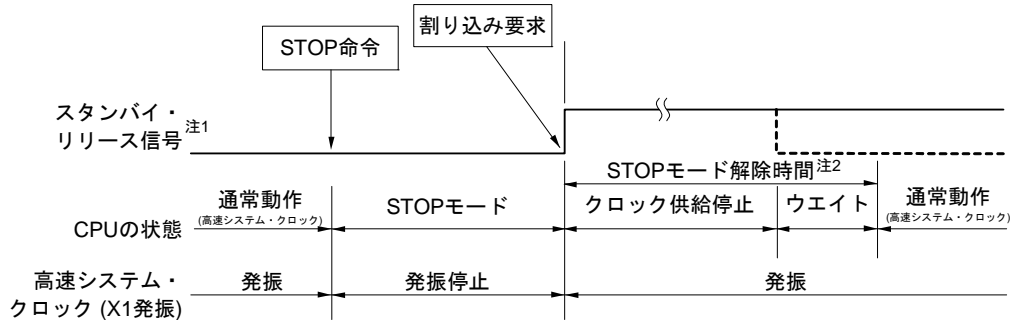
- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図27-3 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(X1発振)の場合



注1. スタンバイ・リリース信号に関する詳細は、図26-1を参照してください。

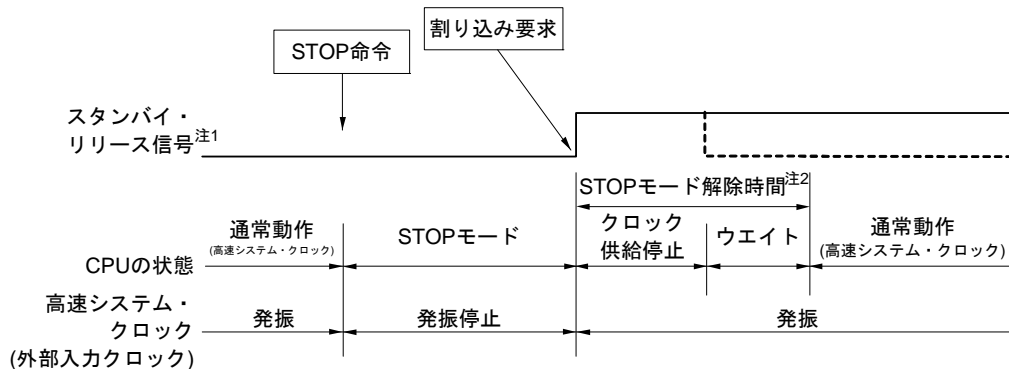
注2. STOPモード解除時間

クロック供給停止：18 μ s ~ 65 μ s または発振安定時間(OSTSで設定)の長い方

ウエイト：

- ベクタ割り込み処理を行う場合：10~11クロック
- ベクタ割り込み処理を行わない場合：4~5クロック

(3) CPUクロックが高速システム・クロック(外部クロック入力)の場合



注1. スタンバイ・リリース信号に関する詳細は、図26-1を参照してください。

注2. STOPモード解除時間

クロック供給停止：18 μ s ~ 65 μ s

ウエイト：

- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

注意 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

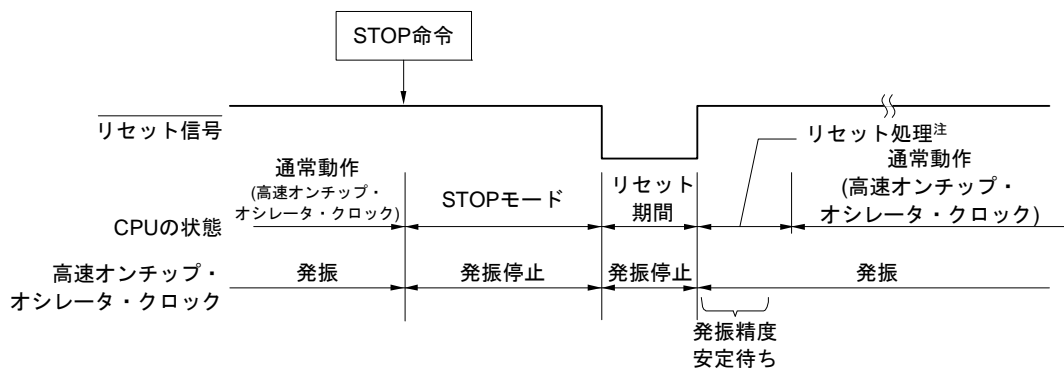
備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

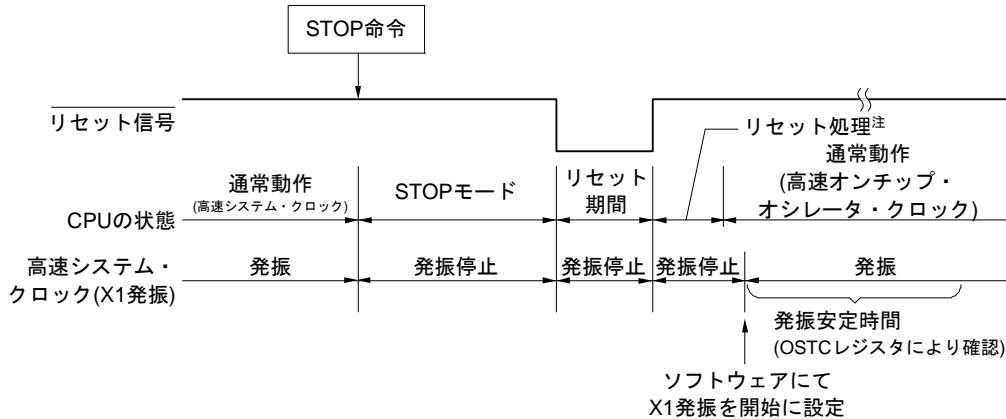
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図27-4 STOPモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第28章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第29章 パワーオン・リセット回路を参照してください。

27.3.3 SNOOZE モード

(1) SNOOZE モードの設定および動作状態

CSIp, UARTq または, A/D コンバータまたは, DTC の機能において SNOOZE モードの設定が可能です。また, 設定前の CPU クロックが, 高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSIp, UARTq を SNOOZE モードで使用する場合は, シリアル・スタンバイ・コントロール・レジスタ m (SSCm) を STOP モードに移行前に設定してください。詳細は, 20.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/D コンバータを SNOOZE モードで使用する場合は, A/D コンバータ・モード・レジスタ 2 (ADM2) を STOP モードに移行前に設定してください。詳細は, 19.3 A/D コンバータを制御するレジスタを参照してください。

DTC 転送を SNOOZE モードで使用する場合は, STOP モードに移行する前に, 使用する DTC 起動要因を許可してください。STOP モード中に, 許可した DTC 起動要因を検出すると自動的に SNOOZE モードに遷移します。詳細は, 24.3 DTC を制御するレジスタを参照してください。

備考 m : ユニット番号 (m = 0, 1) p : CSI 番号 (p = 00, 20) q : UART 番号 (q = 0, 2)

SNOOZE モードの移行では, 次の時間だけウエイト状態になります。

STOP モード → SNOOZE モードの遷移時間 : 18 μ s ~ 65 μ s

備考 STOP モード → SNOOZE モードの遷移時間は, 温度条件と STOP モード期間によって変化します。

SNOOZE モード → 通常動作の遷移時間 :

- ベクタ割り込み処理を行う場合

HS (高速メイン) モード : 4.99 ~ 9.44 μ s + 7 クロック

LS (低速メイン) モード : 1.10 ~ 5.08 μ s + 7 クロック

- ベクタ割り込み処理を行わない場合

HS (高速メイン) モード : 4.99 ~ 9.44 μ s + 1 クロック

LS (低速メイン) モード : 1.10 ~ 5.08 μ s + 1 クロック

次に SNOOZE モード時の動作状態を示します。

表 27 - 3 SNOOZE モード時の動作状態

STOPモードの設定		STOPモード中にCSIp, UARTqのデータ受信信号, A/Dコンバータのタイマ・トリガ信号入力, DTC起動要因発生時
項目		高速オンチップ・オシレータ・クロック (fIH) でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	fIH	動作開始
	fX	停止
サブシステム・クロック	fXT	STOPモード中の状態を継続
	fEXT	
fil		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 <ul style="list-style-type: none"> • WUTMMCK0 = 1 : 発振 • WUTMMCK0 = 0かつWDTON = 0 : 停止 • WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 • WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		動作停止(DTC実行時は動作可能)
ポート(ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
8ビット・インターバル・タイマ		動作可能
リアルタイム・クロック2		
12ビット・インターバル・タイマ		
サンプリング出力タイマ/ディテクタ ^{注1}		カウントソースにサブシステム・クロック選択時でかつOSMCレジスタのRTCLPC = 0は動作可能
外部サンプリング ^{注1}		
タイマRJ ^{注1}		<ul style="list-style-type: none"> • TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 • カウントソースにサブシステム・クロック選択時でかつOSMCレジスタのRTCLPC = 0は動作可能 • カウントソースに低速オンチップ・オシレータ選択時は動作可能 • 上記以外は動作禁止
ウォッチドッグ・タイマ		第14章 ウォッチドッグ・タイマ参照
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)
10ビットA/Dコンバータ		動作可能
アナログ・フロントエンド電源回路 ^{注2}		動作可能
プログラマブル・ゲイン計装アンプ付き24ビットΔΣA/Dコンバータ ^{注2}		動作禁止
D/Aコンバータ	8ビット ^{注2}	動作可能(SNOOZEモード設定前の状態を保持)
	12ビット ^{注3}	
アンプ・ユニット ^{注2}		動作禁止
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみ動作可能 CSIp, UARTq以外は動作禁止
シリアル・インタフェース(IICA)		動作禁止
シリアル・インタフェースUARTMG ^{注1}		動作可能
LCDコントローラ/ドライバ		動作可能(ただし、LCDソース・クロックとして選択したクロックの状態に従う(選択クロックが動作中なら動作可能、停止中なら動作停止))
DTC		動作可能
ELC		動作可能な機能ブロック間のリンクが可能
パワーオン・リセット機能		動作可能
電圧検出機能		
外部割り込み		
CRC演算機能	高速CRC	動作停止
	汎用CRC	動作禁止
RAMパリティ・エラー検出機能		DTC実行時は動作可能
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

(注, 備考は次ページにあります。)

注1. R5F11RMのみ

注2. R5F11NM, R5F11NL, R5F11PL, R5F11NGのみ

注3. R5F11NL, R5F11PL, R5F11NGのみ

備考1. 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

f_H : 高速オンチップ・オシレータ・クロック

f_{XT} : XT1クロック

f_X : X1クロック

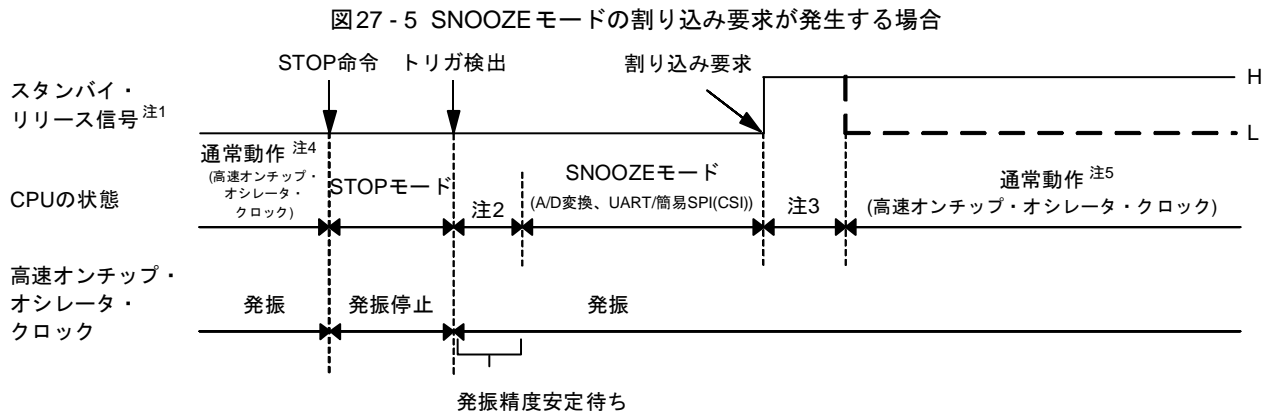
f_{IL} : 低速オンチップ・オシレータ・クロック

f_{EX} : 外部メイン・システム・クロック

f_{EXT} : 外部サブシステム・クロック

備考2. p : CSI番号(p = 00, 20) q : UART番号(q = 0, 2)

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図



注1. スタンバイ・リリース信号に関する詳細は、図26-1を参照してください。

注2. STOPモード→SNOOZEモードの遷移時間

注3. SNOOZEモード→通常動作の遷移時間

注4. STOPモードへ移行する直前に、SNOOZEモード許可(SWC = 1)に設定してください。

注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除(SWC = 0)に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図



注1. スタンバイ・リリース信号に関する詳細は、図26-1を参照してください。

注2. STOPモード→SNOOZEモードの遷移時間

注3. STOPモードへ移行する直前に、SNOOZEモード許可(SWC = 1)に設定してください。

備考 SNOOZEモード機能の詳細は、第19章 A/Dコンバータ、第20章 シリアル・アレイ・ユニットを参照してください。

第28章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット(POR)回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路(LVD)の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H、00001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表28-1に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し38.4または39.4 AC特性に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

注意2. リセット信号発生中では、X1クロック、XT1クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。

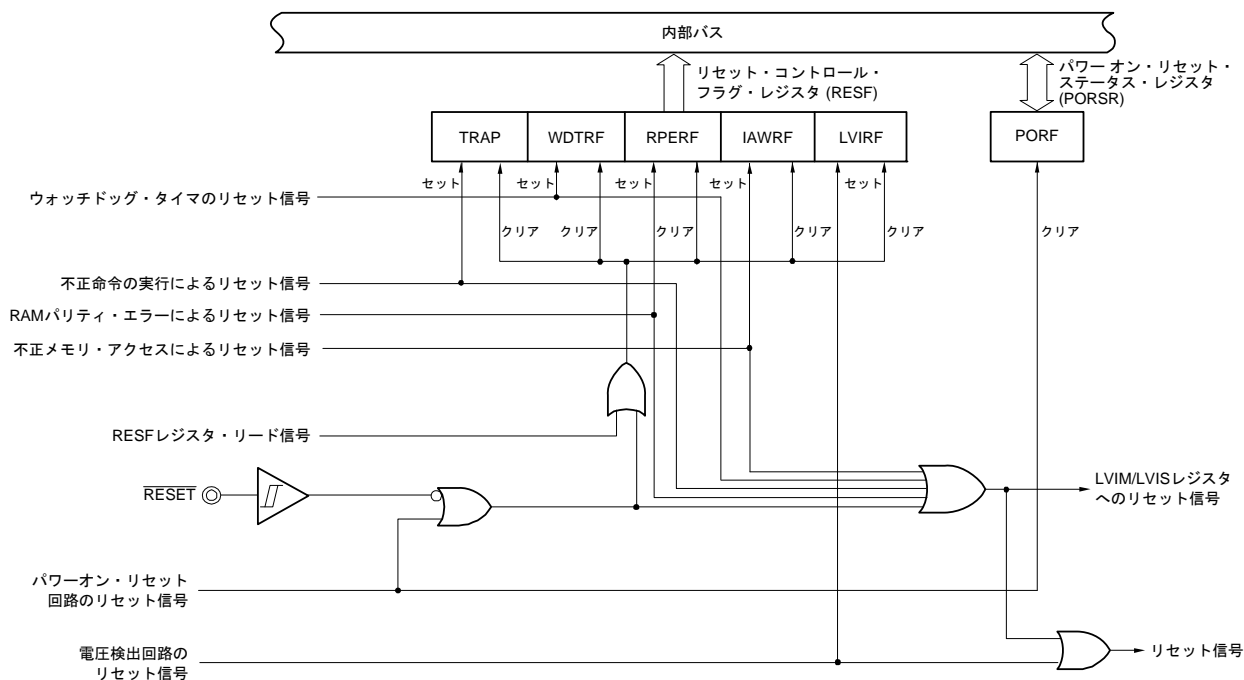
注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内部プルアップ抵抗接続)
- P40以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考 VPOR：POR電源立ち上がり検出電圧

VLVD：LVD検出電圧

図28-1 リセット機能のブロック図



注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

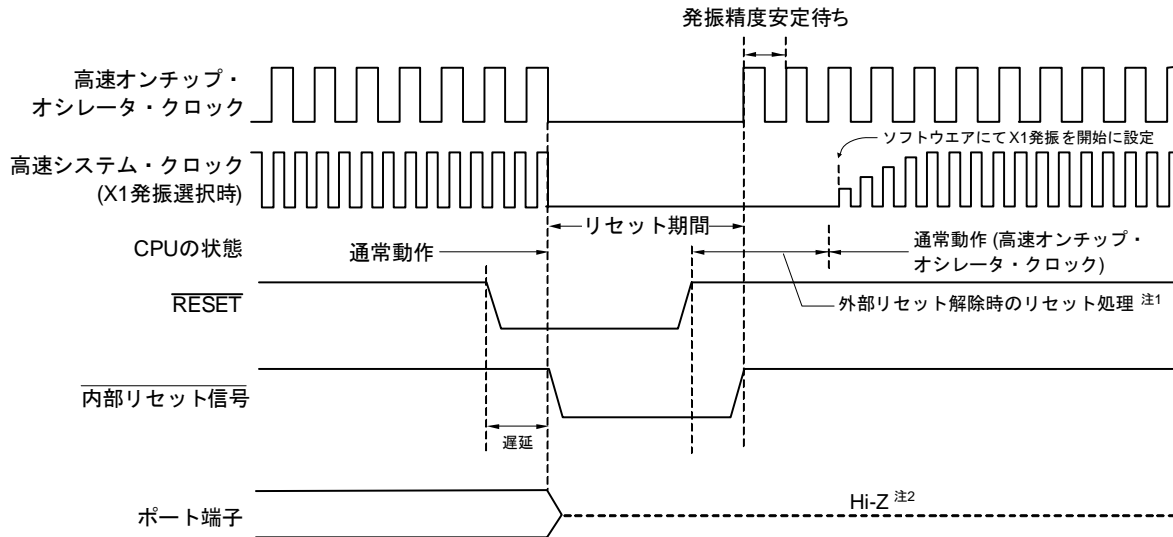
備考1. LVIM : 電圧検出レジスタ

備考2. LVIS : 電圧検出レベル・レジスタ

28.1 リセット動作のタイミング

RESET 端子にロウ・レベルが入力されて、リセットがかかり、RESET 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

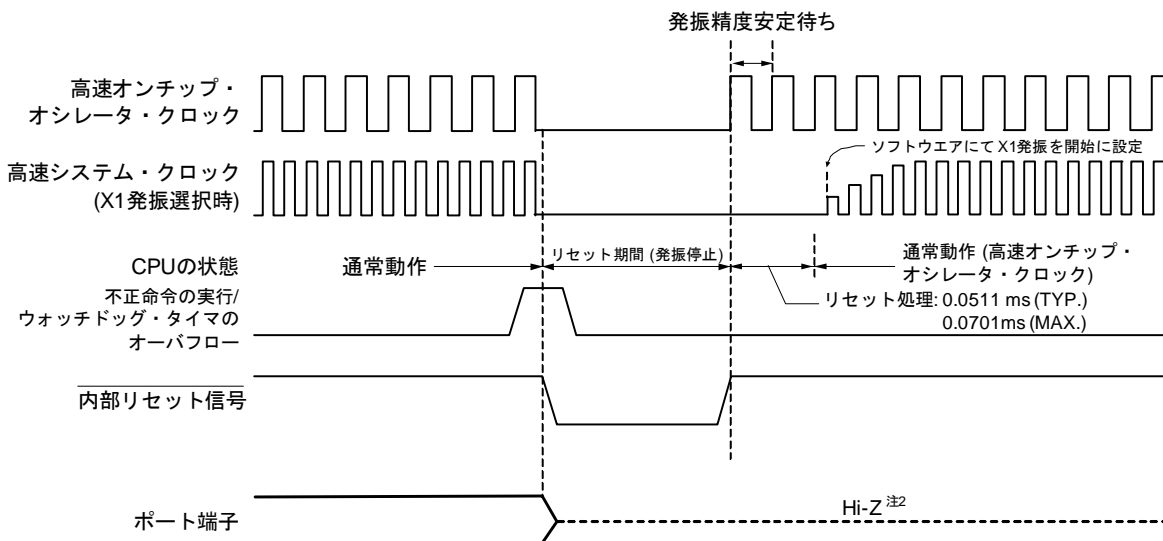
図28-2 RESET入力によるリセット・タイミング



(注、注意は、次ページにあります。)

ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図28-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注、注意は、次ページにあります。)

注1. 外部リセット解除時のリセット時間：

POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) が
かかります。

注2. ポート端子P40は次の状態になります。

- 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内部プルアップ抵抗接続)になります。

POR回路、LVD回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときに
リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。
詳細は、第29章 パワーオン・リセット回路または第30章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

28.2 リセット期間中の動作状態

表28-1にリセット期間中の動作状態を、表28-2にリセット受け付け後の各ハードウェアの状態を示します。

表28-1 リセット期間中の動作状態

項目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	fIH	動作停止
	fX	動作停止(X1, X2端子は入力ポート・モード)
	fEX	クロックの入力無効(端子は入力ポート・モード)
サブシステム・クロック	fXT	PORリセット以外：動作可能 PORリセット：動作停止(XT1, XT2端子は入力ポート・モード)
	fEXT	PORリセット以外：動作可能
		PORリセット：クロック入力無効(端子は入力ポート・モード)
fIL	動作停止	
CPU	動作停止	
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート(ラッチ)	ハイ・インピーダンス ¹	
タイマ・アレイ・ユニット	動作停止	
8ビット・インターバル・タイマ		
リアルタイム・クロック ²	PORリセット以外：動作可能 PORリセット：カレンダー動作可能, RTCC0, RTCC1, SUBCUDレジスタは動作停止	
12ビット・インターバル・タイマ	動作停止	
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
サンプリング出力タイマ/ディテクタ ²		
外部サンプリング ²		
タイマRJ ²		
10ビットA/Dコンバータ		
アナログ・フロントエンド電源回路 ³		
プログラマブル・ゲイン計装アンプ付き24ビットΔΣA/Dコンバータ ³		
D/Aコンバータ	8ビット ³	
	12ビット ⁴	
アンプ・ユニット ³		
シリアル・アレイ・ユニット(SAU)		
シリアル・インタフェース(IICA)		
シリアル・インタフェースUARTMG ²		
LCDコントローラ/ドライバ	動作停止 (COM専用端子, COM/SEG兼用端子：GND出力, SEG/汎用ポート兼用端子：ハイ・インピーダンス出力, VL1-VL4端子：ハイ・インピーダンス出力, CAPH/P127端子, CAPL/P126端子：ハイ・インピーダンス出力)	
DTC	動作停止	
ELC		
パワーオン・リセット機能	検出動作可能	
電圧検出機能	LVDリセット時は動作可能。それ以外のリセット時は動作停止。	
外部割り込み	動作停止	
CRC演算機能	高速CRC	
	汎用CRC	
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

(注, 備考は, 次ページにあります。)

注1. ポート端子P40は次の状態になります。

- P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル (内部プルアップ抵抗接続)

注2. R5F11Rのみ

注3. R5F11NM, R5F11NL, R5F11PL, R5F11NGのみ

注4. R5F11NL, R5F11PL, R5F11NGのみ

備考 fIH : 高速オンチップ・オシレータ・クロック
 fX : X1 発振クロック
 fEX : 外部メイン・システム・クロック
 fXT : XT1 発振クロック
 fEXT : 外部サブシステム・クロック周波数
 fIL : 低速オンチップ・オシレータ・クロック

表28-2 リセット受け付け後の各ハードウェアの状態

ハードウェア		リセット受け付け後の状態 ^注
プログラム・カウンタ(PC)		リセット・ベクタ・テーブル(00000H, 00001H)の内容がセットされる。
スタック・ポインタ(SP)		不定
プログラム・ステータス・ワード(PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) のリセット受付後の状態は、3.2.4 特殊機能レジスタ (SFR : Special Function Register) 領域、3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域を参照してください。

28.3 リセット要因を確認するレジスタ

28.3.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESF レジスタは、8ビット・メモリ操作命令で、読み出すことができます。

RESET 入力、パワーオン・リセット (POR) 回路によるリセットおよび RESF レジスタのデータを読み出すことにより、TRAP、WDTRF、RPERF、IAWRF、LVIRF フラグはクリアされます。

図28-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 不定^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP	不正命令の実行による内部リセット要求 ^{注2}							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
WDTRF	ウォッチドッグ・タイマ(WDT)による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
RPERF	RAMパリティ・エラーによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
IAWRF	不正メモリ・アクセスによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
LVIRF	電圧検出(LVD)回路による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							

注1. リセット要因により異なります。表28-3を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMフェッチ中の命令コードは、パリティ・エラー検出対象外です。ただし、RAMの命令フェッチによるRAMデータ読み出しは、パリティ・エラー検出を行います。

注意3. RL78はパイプ・ライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

リセット要求時のRESFレジスタの状態を表28-3に示します。

表28-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAM パリティ・ エラーによる リセット	不正メモリ・ アクセスに よるリセット	LVDによる リセット
TRAP	クリア(0)	クリア(0)	セット(1)	保持	保持	保持	保持
WDTRF			保持	セット(1)			
RPERF			保持	セット(1)			
IAWRF			保持	セット(1)			
LVIRF			保持	セット(1)			

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。

28.3.2 パワーオン・リセット・ステータス・レジスタ (PORSR)

PORSRレジスタは、パワーオン・リセットの発生を確認するレジスタです。

PORSRレジスタのビット0 (PORF)は1書き込み有効であり、0書き込みは無効です。

パワーオン・リセット発生の有無を確認するときは、あらかじめPORFビットに1を書き込んでおいてください。

PORSRレジスタは、8ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により、00Hになります。

注意1. PORSRレジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します)。

注意2. PORFが1のとき、パワーオン・リセットが発生していないことは保証されますが、RAMの値が保持されていることを保証するものではありません。

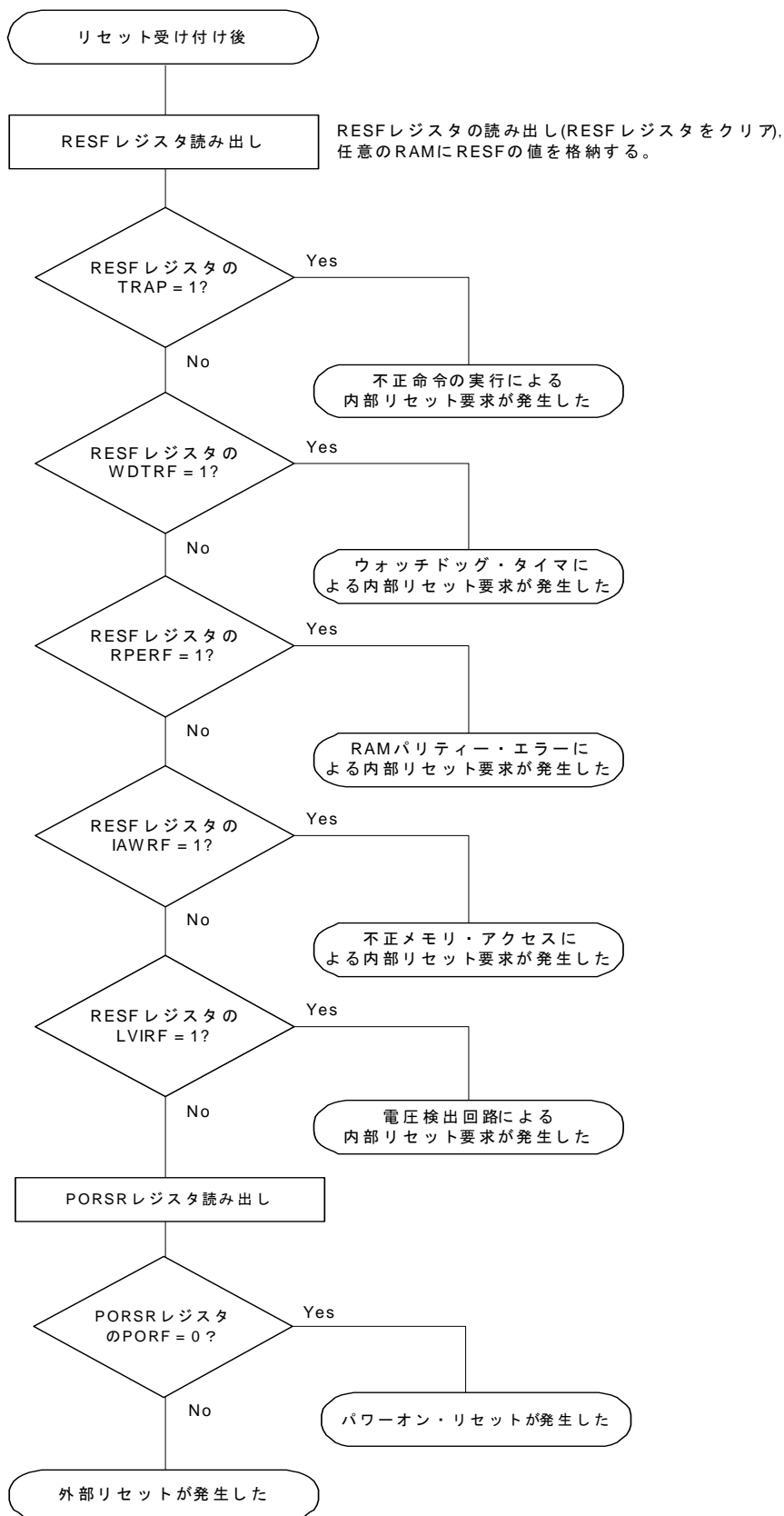
図28-5 パワーオン・リセット・ステータス・レジスタ (PORSR)のフォーマット

アドレス : F00F9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PORSR	0	0	0	0	0	0	0	PORF
PORF	パワーオン・リセット発生確認							
0	1書き込みが行われていない、またはパワーオン・リセットが発生							
1	パワーオン・リセットは発生していない							

リセット要因の確認手順を図28-6に示します。

図28-6 リセット要因の確認手順例



注意 リセット受け付け前に、PORSRレジスタのビット0 (PORF) に1を書き込んでください。

第29章 パワーオン・リセット回路

29.1 パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。

電源電圧(VDD)が検出電圧(VPOR)を越えた場合に、リセットを解除します。ただし、38.4または39.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- 電源電圧(VDD)と検出電圧(VPDR)を比較し、 $VDD < VPDR$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、38.4または39.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)およびパワーオン・リセット・ステータス・レジスタ(PORSR)がクリア(00H)されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。

ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については、第28章 リセット機能を参照してください。

備考2. パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ(PORSR)で確認することができます。PORSRレジスタの詳細については、第28章 リセット機能を参照してください。

備考3. VPOR : POR電源立ち上がり検出電圧

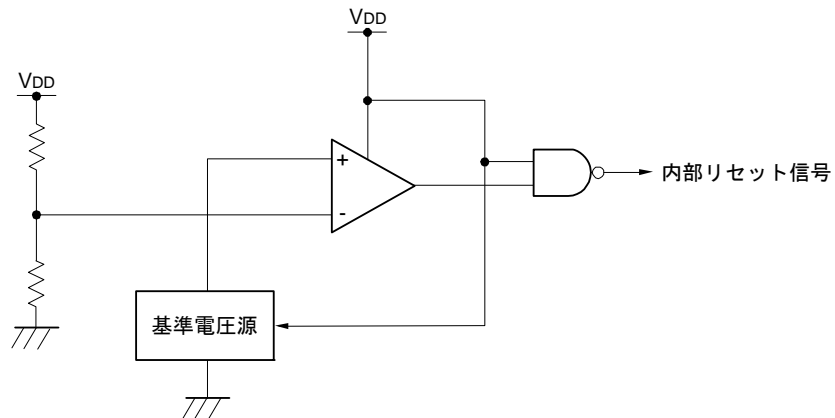
VPDR : POR電源立ち下がり検出電圧

詳細は、38.6.3または39.6.3 POR回路特性を参照してください。

29.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図29-1に示します。

図29-1 パワーオン・リセット回路のブロック図

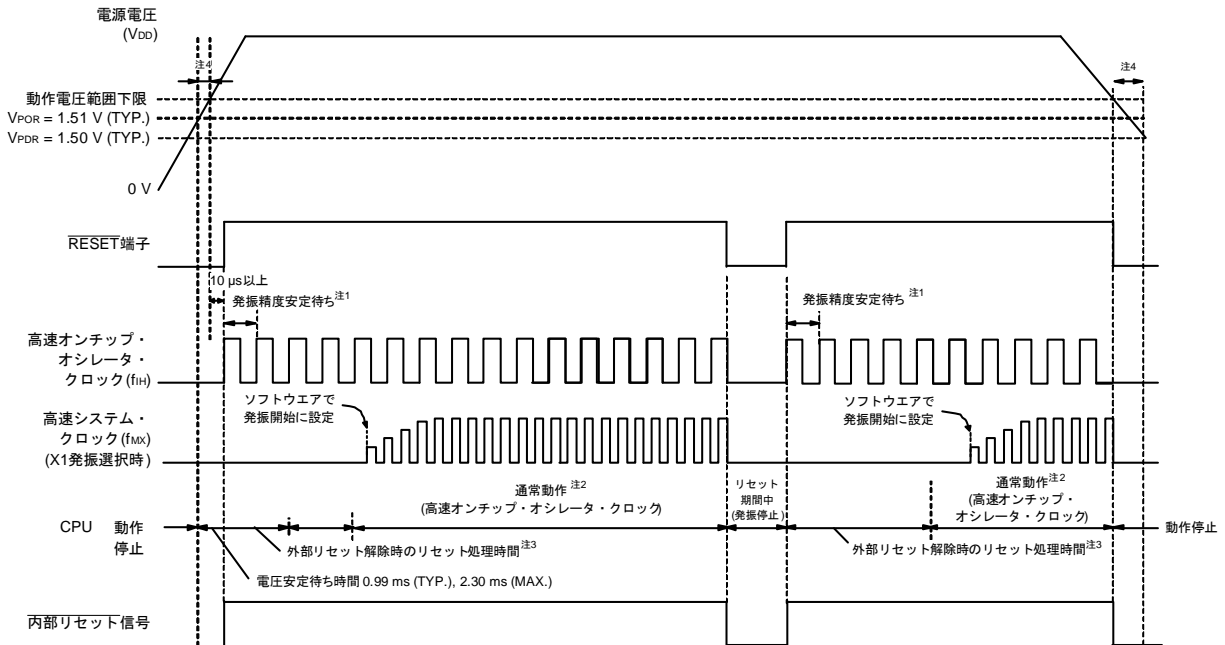


29.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図29-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(1/3)

(1) $\overline{\text{RESET}}$ 端子による外部リセット使用時



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、VPOR (1.51 V (TYP.))に達してからの電圧安定待ち時間に加えて、 $\overline{\text{RESET}}$ 信号をハイ・レベル(1)にしてから次の外部リセット解除時のリセット処理時間(POR解除後1回目)が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目 : 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
 0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降 : 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
 0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

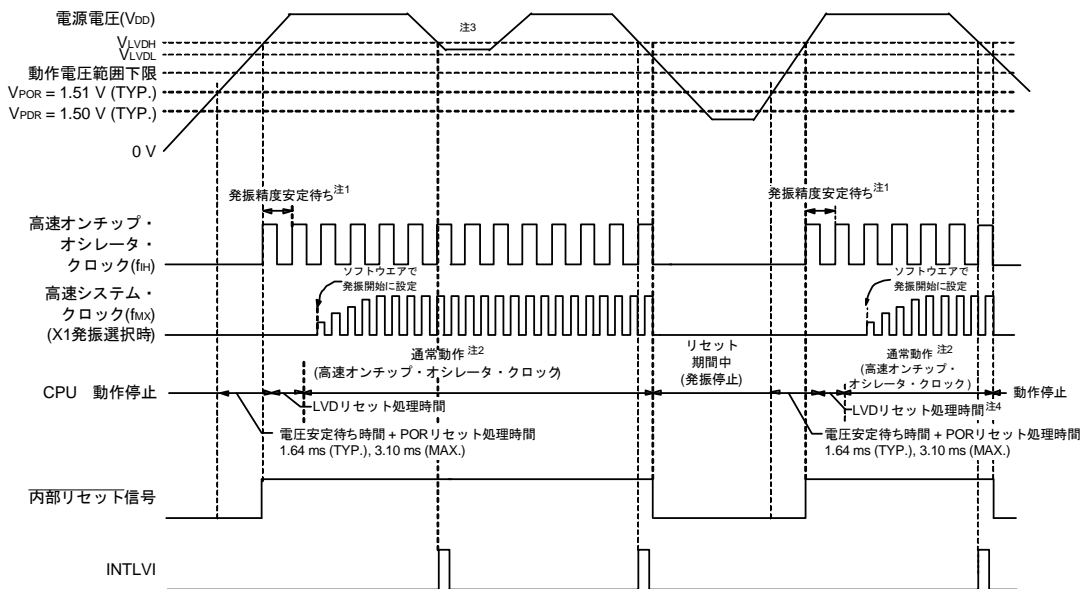
- 注4. 電源立ち上がり時は、38.4または39.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

注意 LVDオフ時は必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。詳細は、第30章 電圧検出回路を参照してください。

備考 VPOR : POR電源立ち上がり検出電圧
 VPDR : POR電源立ち下がり検出電圧

図29-3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング(2/3)

(2) LVD割り込み&リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)

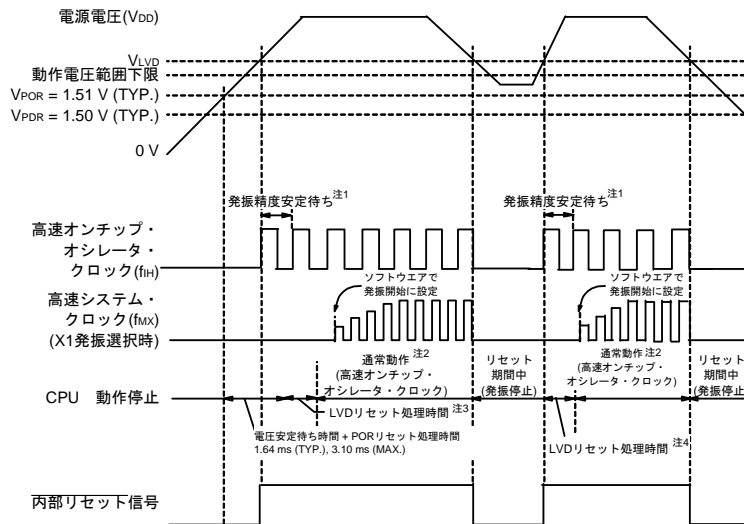


- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 割り込み要求信号(INTLVI)が発生したあと、電圧検出レベル・レジスタ(LVIS)のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧(VLVDL)を下回らずに、高電圧検出電圧(VLVDH)以上に復帰する場合は考慮して、INTLVI発生後は、図30-7 動作電圧確認/リセットの設定手順と図30-8 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。
- 注4. 通常動作が開始されるまでの時間は、VPOR (1.51V(TYP.))に到達してからの電圧安定待ち+PORリセット処理時間に加えて、LVD検出レベル(VLVDH)に達してから次のLVDリセット処理時間が掛かります。
リセット処理時間 : 0 ms ~ 0.0701 ms (MAX.)

備考 VLVDH, VLVDL : LVD検出電圧
VPOR : POR電源立ち上がり検出電圧
VPDR : POR電源立ち下がり検出電圧

図29-4 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(3/3)

(3) LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、V_{POR} (1.51V(TYP.))に到達してからの電圧安定待ち+ POR リセット処理時間に加えて、LVD 検出レベル(V_{LVD})に達してから次のLVD リセット処理時間が掛かります。
LVD リセット処理時間 : 0 ms ~ 0.0701 ms (MAX.)
- 注4. 電源電圧降下時、電圧検出回路(LVD)による内部リセットのみ発生後に電源電圧が復帰した場合、LVD 検出レベル(V_{LVD})に達してから次のLVD リセット処理時間が掛かります。
LVD リセット処理時間 : 0.0511 ms (TYP.) ~ 0.0701 ms (MAX.)

- 備考1. V_{LVDH}, V_{LVDL} : LVD 検出電圧
V_{POR} : POR 電源立ち上がり検出電圧
V_{PDR} : POR 電源立ち下がり検出電圧

備考2. LVD 割り込みモード (オプション・バイト000C1H のLVIMD1, LVIMD0 = 0,1) を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図29-4 (3) LVD リセット・モード時の"注3"の時間と同じです。

第30章 電圧検出回路

30.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト(000C1H)で動作モードと検出電圧(VLVDH, VLVDL, VLVD)を設定します。

電圧検出(LVD)回路は、次のような機能を持ちます。

- 電源電圧(VDD)と検出電圧(VLVDH, VLVDL, VLVD)を比較し、内部リセットまたは割り込み要求信号を発生します。
- 電源電圧の検出電圧(VLVDH, VLVDL)は、オプション・バイトにて検出レベルを9段階^{注1}より選択できます。
電源電圧の検出電圧(VLVD)は、オプション・バイトにて検出レベルを12段階^{注2}より選択できます。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、38.4 または 39.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
- 動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

(a) 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧(VLVDH, VLVDL)を選択します。高電圧検出レベル(VLVDH)はリセット解除用/割り込み発生用として使用します。低電圧検出レベル(VLVDL)はリセット発生用として使用します。

(b) リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット発生/解除用として使用します。

(c) 割り込みモード(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット解除用/割り込み発生用として使用します。

注1. R5F11Rの場合です。R5F11N, R5F11Pは、6段階になります。

注2. R5F11Rの場合です。R5F11N, R5F11Pは、9段階になります。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して割り込み要求信号を発生し、 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して内部リセットを発生。	POR解除後1回目の動作電圧立ち上げ時に $V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 POR解除後2回目以降は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号を発生。

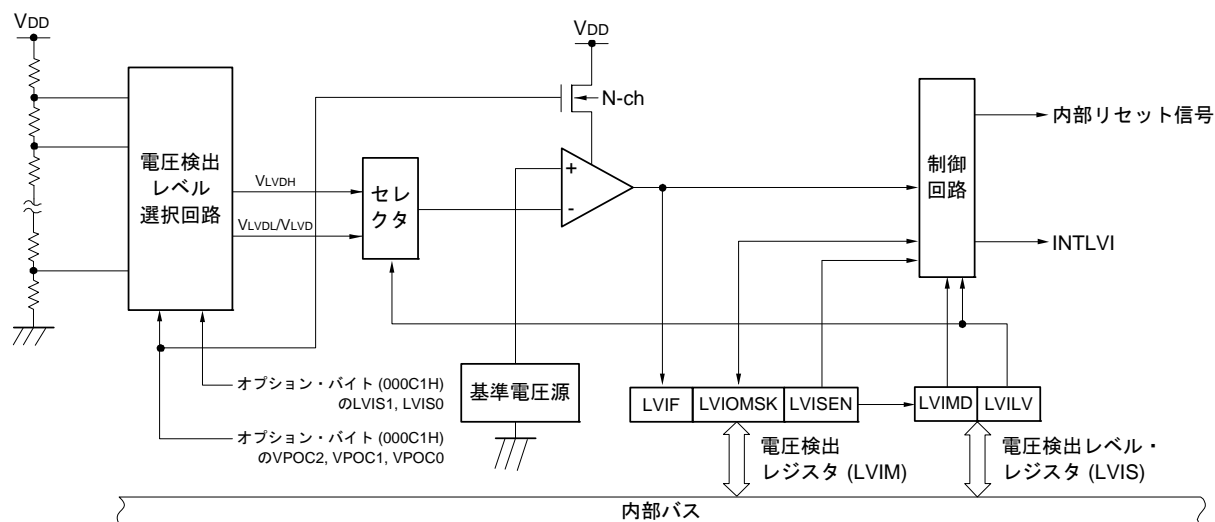
電圧検出回路動作時では、電圧検出フラグ (LVIF : 電圧検出レジスタ (LVIM) のビット 0) を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット 0 (LVIRF) がセット (1) されます。RESF レジスタについての詳細は、第 28 章 リセット機能を参照してください。

30.2 電圧検出回路の構成

電圧検出回路のブロック図を図 30 - 1 に示します。

図 30 - 1 電圧検出回路のブロック図



30.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ (LVIM)
- 電圧検出レベル・レジスタ (LVIS)

30.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD出力のマスキング状態を確認するレジスタです。

LVIMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFFA9H リセット時：00H^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN ^{注3}	0	0	0	0	0	LVIOMSK	LVIF
LVISEN ^{注3}	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定							
0	LVISレジスタの書き換え禁止 (LVIOMSK = 0 (LVD出力マスク無効)になる)							
1	LVISレジスタの書き換え許可 (LVIOMSK = 1 (LVD出力マスク有効)になる)							
LVIOMSK	LVD出力マスク状態フラグ							
0	LVD出力マスク無効							
1	LVD出力マスク有効 ^{注4}							
LVIF	電圧検出フラグ							
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVD})、またはLVDオフ時							
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVD})							

注1. リセット値は、リセット要因により変化します。

LVDによるリセットのときには、LVIMレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、00Hにクリアされます。

注2. ビット0, 1は、Read Onlyです。

注3. 割り込み&リセット・モード(オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0)選択時のみ設定できます。その他のモードでは初期値から変更しないでください。

注4. 割り込み&リセット・モード(オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0)選択時のみ、LVIOMSKビットは以下の期間に自動で1となり、LVDによるリセットまたは割り込み発生がマスクされます。

- ・ LVISEN = 1の期間
- ・ LVD割り込み発生から、LVD検出電圧が安定するまでの待ち時間
- ・ LVILVビットの値変更から、LVD検出電圧が安定するまでの待ち時間

30.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図30-3 電圧検出レベル・レジスタ (LVIS)のフォーマット

アドレス : FFFAAH リセット時 : 00H/01H/81H^{注1} R/W

略号	<input type="checkbox"/> 7	6	5	4	3	2	1	<input type="checkbox"/> 0
LVIS	LVIMD ^{注2}	0	0	0	0	0	0	LVILV ^{注2}
LVIMD ^{注2}	電圧検出の動作モード							
0	割り込みモード							
1	リセット・モード							
LVILV ^{注2}	LVD検出レベル							
0	高電圧検出レベル(VLVDH)							
1	低電圧検出レベル(VLVDLまたはVLVD)							

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア(00H)されません。

LVD以外のリセット時は、次のようになります。

- オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

注2. 割り込み&リセット・モード(オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0)選択時に0書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、図30-6、図30-7の手順で行ってください。

注意2. LVDの動作モードと各モードの検出電圧(VLVDH, VLVDL, VLVD)は、オプション・バイト(000C1H)で選択します。ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを表30-1に示します。オプション・バイトの詳細は第33章 オプション・バイトを参照してください。

表 30 - 1 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス : 000C1H/010C1H^{注1}

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

•LVDの設定(割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V ^{注2}	1.94 V ^{注2}	1.84 V ^{注2}	0	0	1	1	0	1	0
2.09 V ^{注2}	2.04 V ^{注2}					0	1		
3.13 V ^{注2}	3.06 V ^{注2}					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V			0		1			
3.75 V	3.67 V			0		0			
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V			0		1			
4.06 V	3.98 V			0		0			
—			上記以外は設定禁止						

•LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値									
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定				
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0			
1.88 V ^{注2}	1.84 V ^{注2}	0	0	1	1	1	1	1			
1.98 V ^{注2}	1.94 V ^{注2}		0	1	1	0					
2.09 V ^{注2}	2.04 V ^{注2}		0	1	0	1					
2.50 V	2.45 V		1	0	1	1					
2.61 V	2.55 V		1	0	1	0					
2.71 V	2.65 V		1	0	0	1					
2.81 V	2.75 V		1	1	1	1					
2.92 V	2.86 V		1	1	1	0					
3.02 V	2.96 V		1	1	0	1					
3.13 V	3.06 V		0	1	0	0					
3.75 V	3.67 V		1	0	0	0					
4.06 V	3.98 V		1	1	0	0					
—			上記以外は設定禁止								

注1. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注2. R5F11Rのみ。R5F11N, R5F11Pは設定禁止です。

備考 検出電圧はTYP.値です。詳細は、38.6.4または39.6.4 LVD回路特性を参照してください。

(注意は、次ページにあります。)

表30-1 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス : 000C1H/010C1H^{注1}

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値									
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定				
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0			
1.88 V ^{注2}	1.84 V ^{注2}	0	0	1	1	1	0	1			
1.98 V ^{注2}	1.94 V ^{注2}		0	1	1	0					
2.09 V ^{注2}	2.04 V ^{注2}		0	1	0	1					
2.50 V	2.45 V		1	0	1	1					
2.61 V	2.55 V		1	0	1	0					
2.71 V	2.65 V		1	0	0	1					
2.81 V	2.75 V		1	1	1	1					
2.92 V	2.86 V		1	1	1	0					
3.02 V	2.96 V		1	1	0	1					
3.13 V	3.06 V		0	1	0	0					
3.75 V	3.67 V		1	0	0	0					
4.06 V	3.98 V		1	1	0	0					
—	—		上記以外は設定禁止								

• LVDオフ(RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	x	x	x	x	x	1
—	—	上記以外は設定禁止						

注1. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注2. R5F11Rのみ。R5F11N, R5F11Pは設定禁止です。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、38.4または39.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. x : don't care

備考2. 検出電圧はTYP.値です。詳細は、38.6.4または39.6.4 LVD回路特性を参照してください。

30.4 電圧検出回路の動作

30.4.1 リセット・モードとして使用する場合の設定

動作モード(リセット・モード(LVIMDS1, LVIMDS0 = 1, 1))と検出電圧(VLVD)の設定は、オプション・バイト 000C1Hで設定します。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、0(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。

- 電圧検出レベル・レジスタ(LVIS)の初期値は、81Hに設定されます。

ビット7(LVIMD)は1(リセット・モード)

ビット0(LVILV)は1(電圧検出レベル: VLVD)

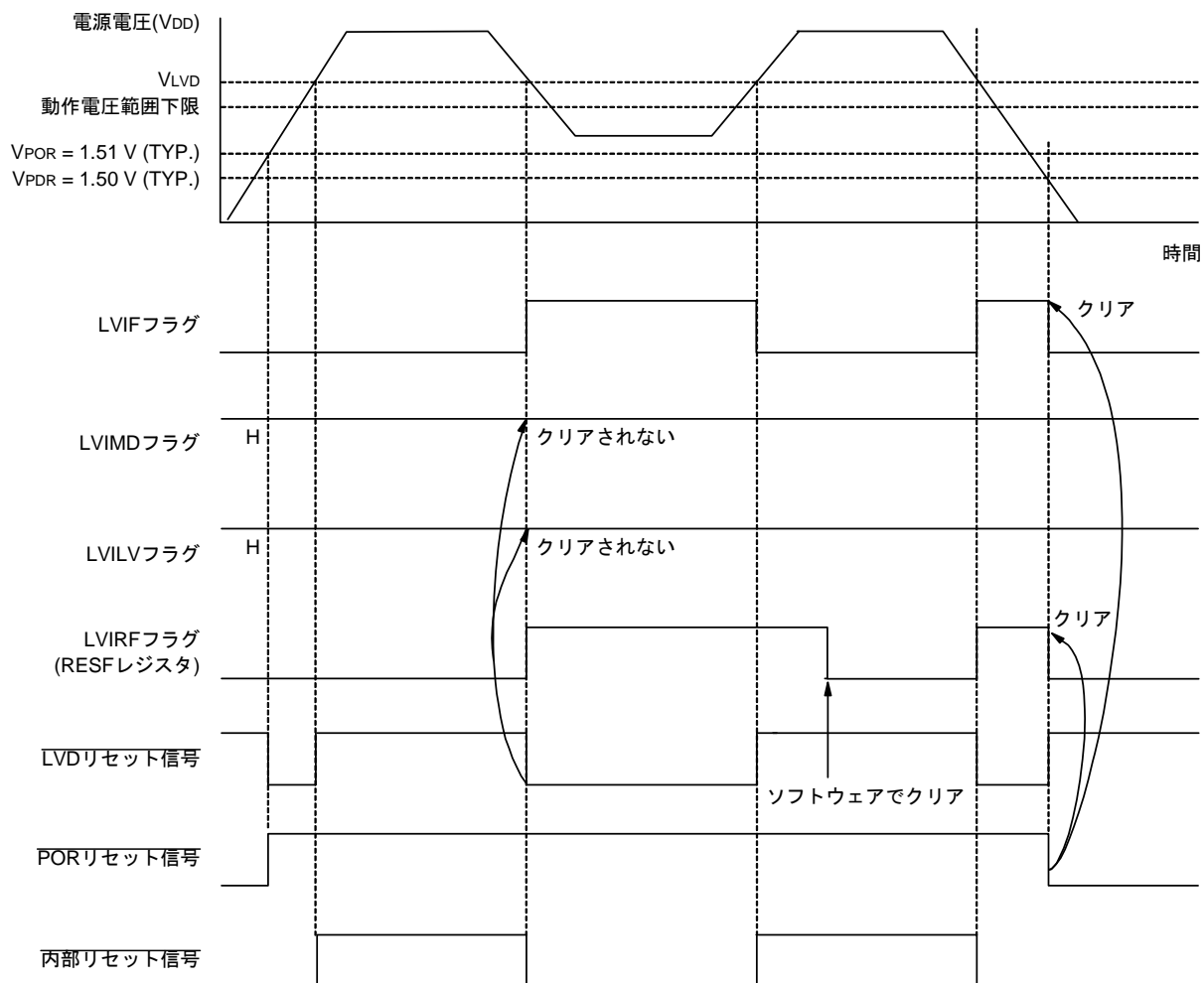
●LVDリセット・モードの動作

リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)は、電源投入時、電源電圧(V_{DD})が電圧検出レベル(VLVD)を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(V_{DD})が電圧検出レベル(VLVD)を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(V_{DD})が電圧検出レベル(VLVD)を下回るとLVDによる内部リセットが発生します。

図30-4に、LVDリセット・モードの内部リセット信号発生タイミングを示します。

図30-4 内部リセット信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)



備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

30.4.2 割り込みモードとして使用する場合の設定

動作モード (割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)) と検出電圧 (VLVD) の設定は、オプション・バイト 000C1H で設定します。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット7 (LVISEN) は、0 (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、01H に設定されます。
ビット7 (LVIMD) は0 (割り込みモード)
ビット0 (LVILV) は1 (電圧検出レベル : VLVD)

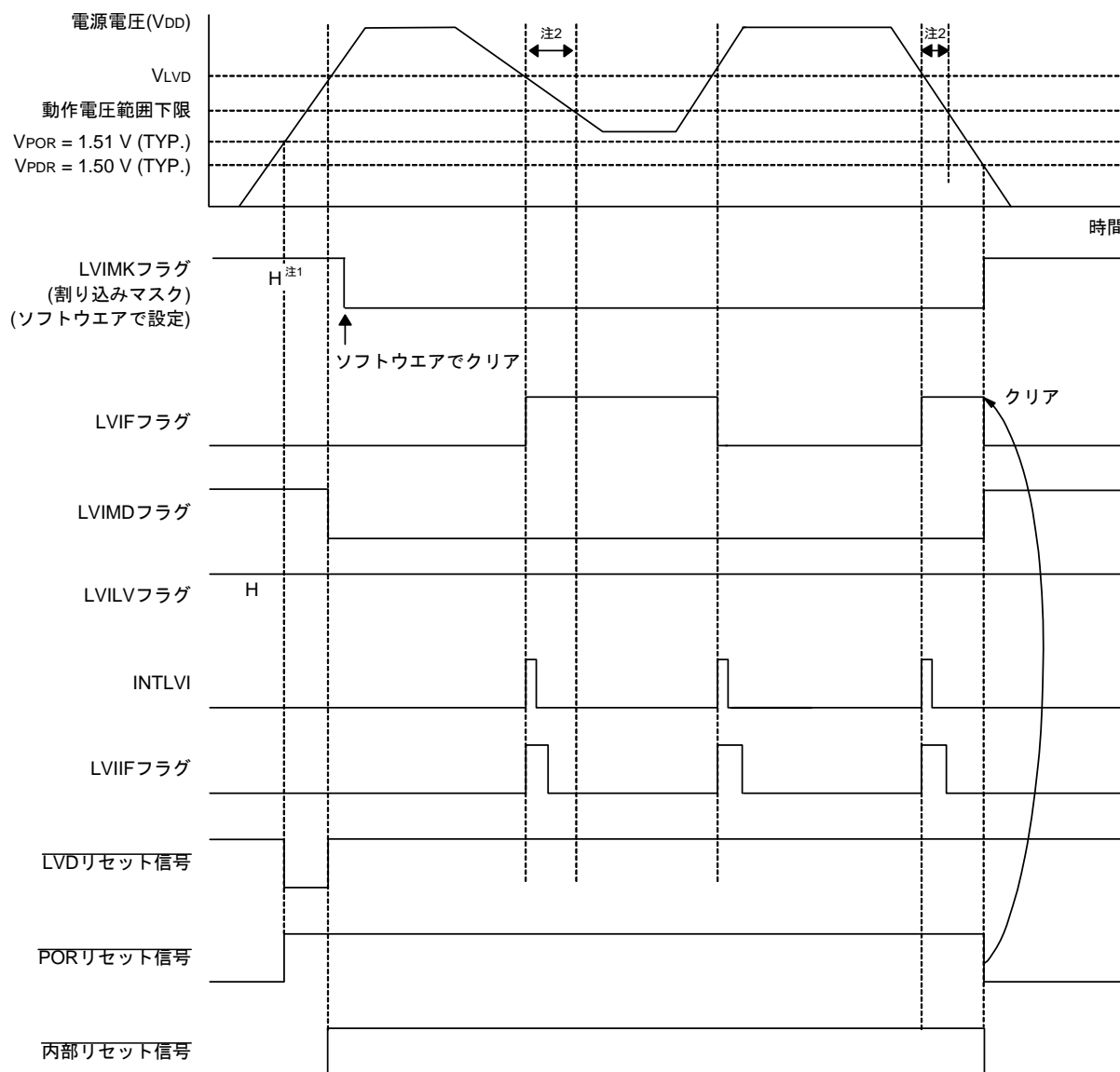
● LVD 割り込みモードの動作

割り込みモード (オプション・バイトの LVIMDS1, LVIMDS0 = 0, 1) は、電源投入時 (POR 解除後 1 回目)、電源電圧 (VDD) が電圧検出レベル (VLVD) を超えるまでは LVD による内部リセット状態を保ちます。動作電圧 (VDD) が電圧検出レベル (VLVD) を超えると内部リセットを解除します。

動作電圧降下時に電源電圧 (VDD) が電圧検出レベル (VLVD) を下回る、または POR 解除後 2 回目以降に電源電圧 (VDD) が電圧検出レベル (VLVD) を超えると LVD による割り込み要求信号 (INTLVI) が発生します。動作電圧降下時は、38.4 または 39.4 AC 特性に示す動作電圧範囲を下回る前に、STOP モードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図 30 - 5 に、LVD 割り込みモードの割り込み要求信号発生のタイミングを示します。

図30-5 割り込み要求信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により、1になっています。

注2. 動作電圧降下時は、38.4または39.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

30.4.3 割り込み&リセット・モードとして使用する場合の設定

動作モード (割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)) と検出電圧 (VLVDH, VLVDL) の設定は、オプション・バイト000C1Hで設定します。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット7 (LVISEN) は、0 (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、00Hに設定されます。
ビット7 (LVIMD) は0 (割り込みモード)
ビット0 (LVILV) は0 (高電圧検出レベル : VLVDH)

●LVD割り込み&リセット・モードの動作

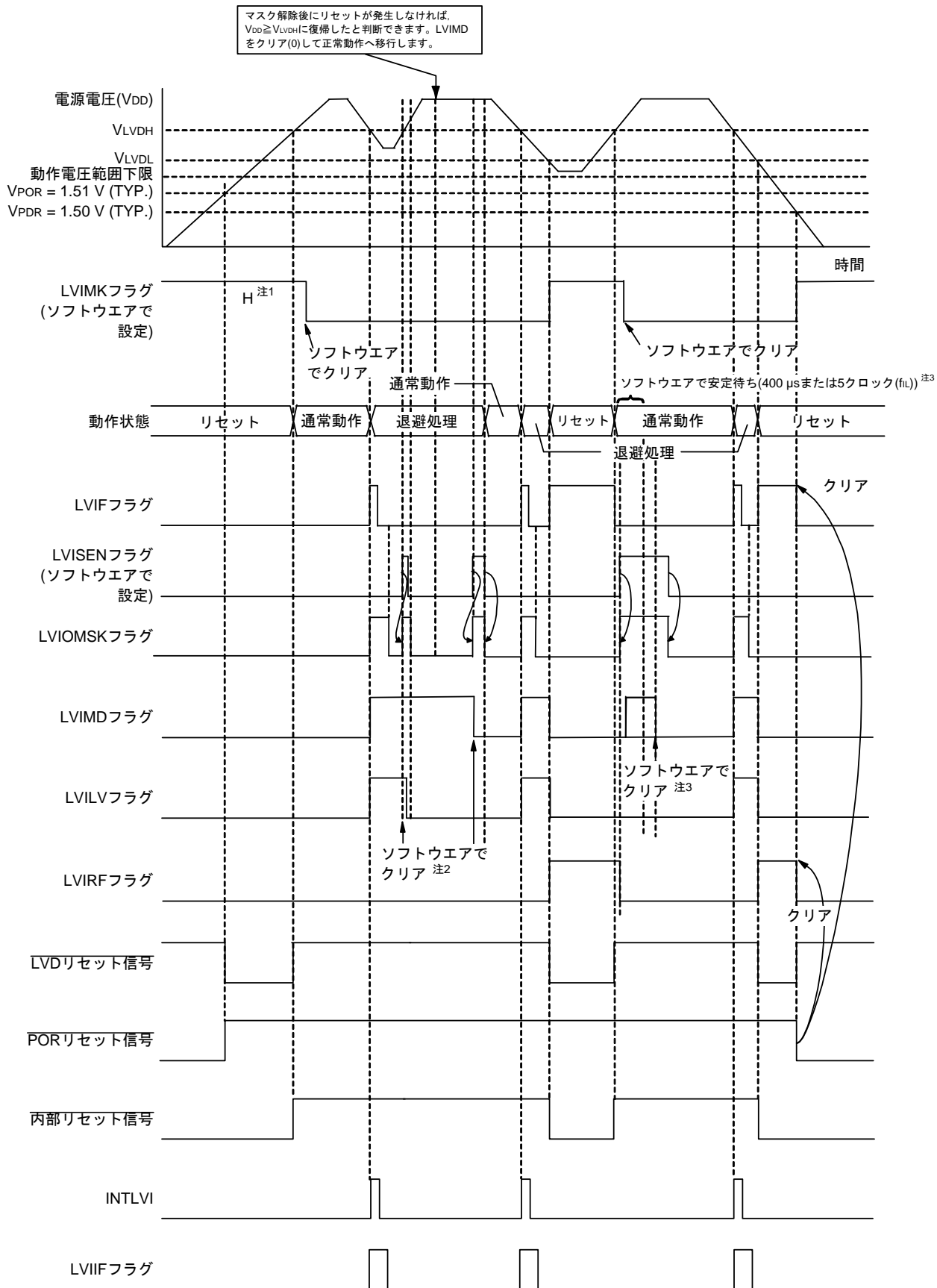
割り込み&リセット・モード (オプション・バイトの LVIMDS1, LVIMDS0 = 1, 0) は、電源投入時、電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えるまではLVDによる内部リセット状態を保ちます。電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えると内部リセットを解除します。

動作電圧降下時は電源電圧 (VDD) が高電圧検出レベル (VLVDH) を下回ると LVD による割り込み要求信号 (INTLVI) が発生し、任意の退避処理を行うことができます。その後、電源電圧 (VDD) が低電圧検出レベル (VLVDL) を下回ると LVD による内部リセットが発生します。ただし、INTLVI 発生後、電源電圧 (VDD) が低電圧検出電圧 (VLVDL) を下回らずに高電圧検出電圧 (VLVDH) 以上に復帰しても割り込み要求信号は発生しません。

LVD 割り込み&リセット・モードとして使用する場合は、図 30 - 7 動作電圧確認/リセットの設定手順と、図 30 - 8 割り込み&リセット・モードの初期設定の設定手順に示すフローチャートの手順に従って実施してください。

図 30 - 6に、LVD 割り込み&リセット・モードの内部リセット信号と割り込み信号発生のタイミングを示します。

図30-6 内部リセット信号と割り込み信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (1/2)



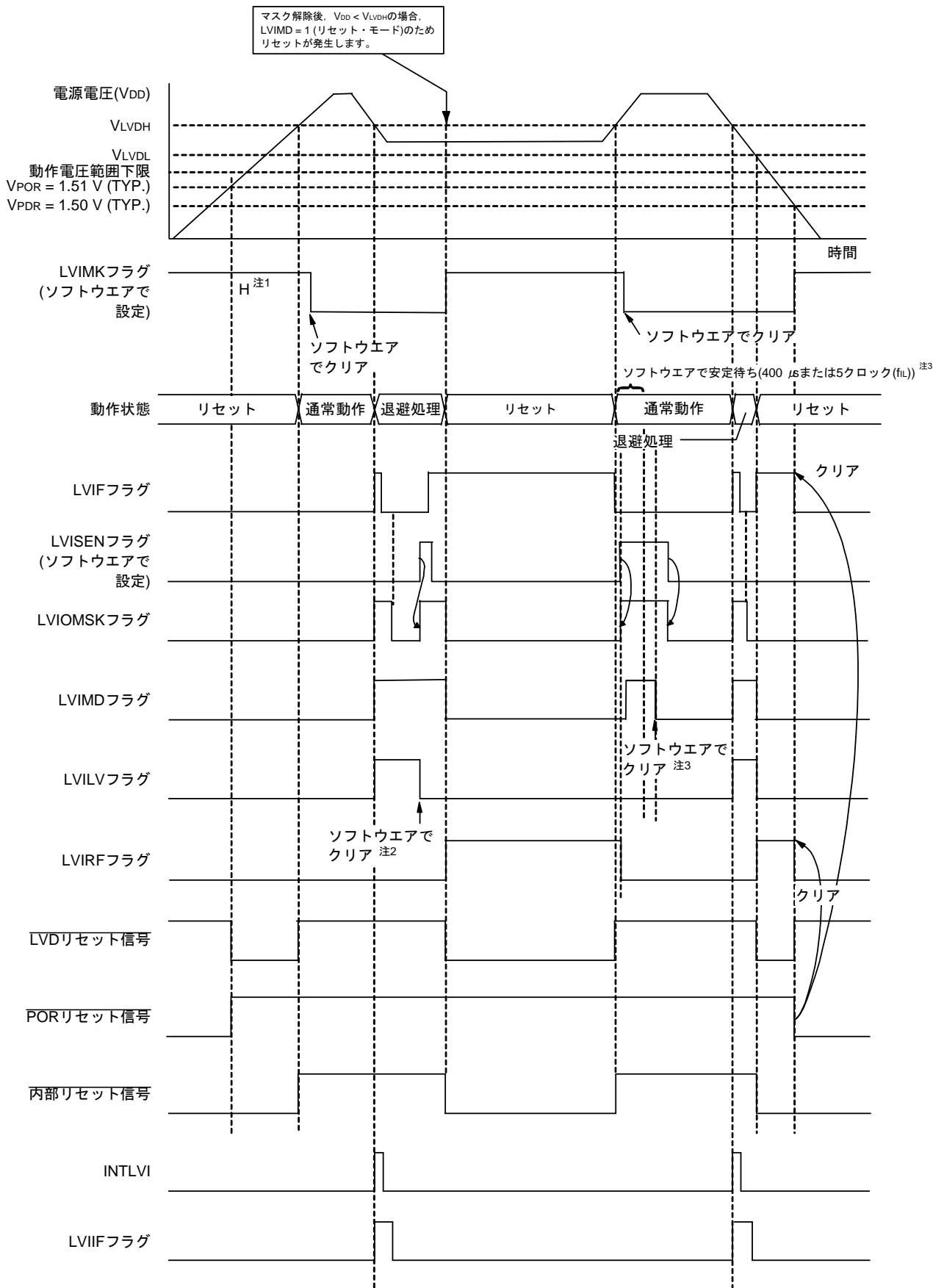
(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、1になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図30-7 動作電圧確認/リセットの設定手順に従って設定をしてください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図30-8 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

図30-6 内部リセット信号と割り込み信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (2/2)

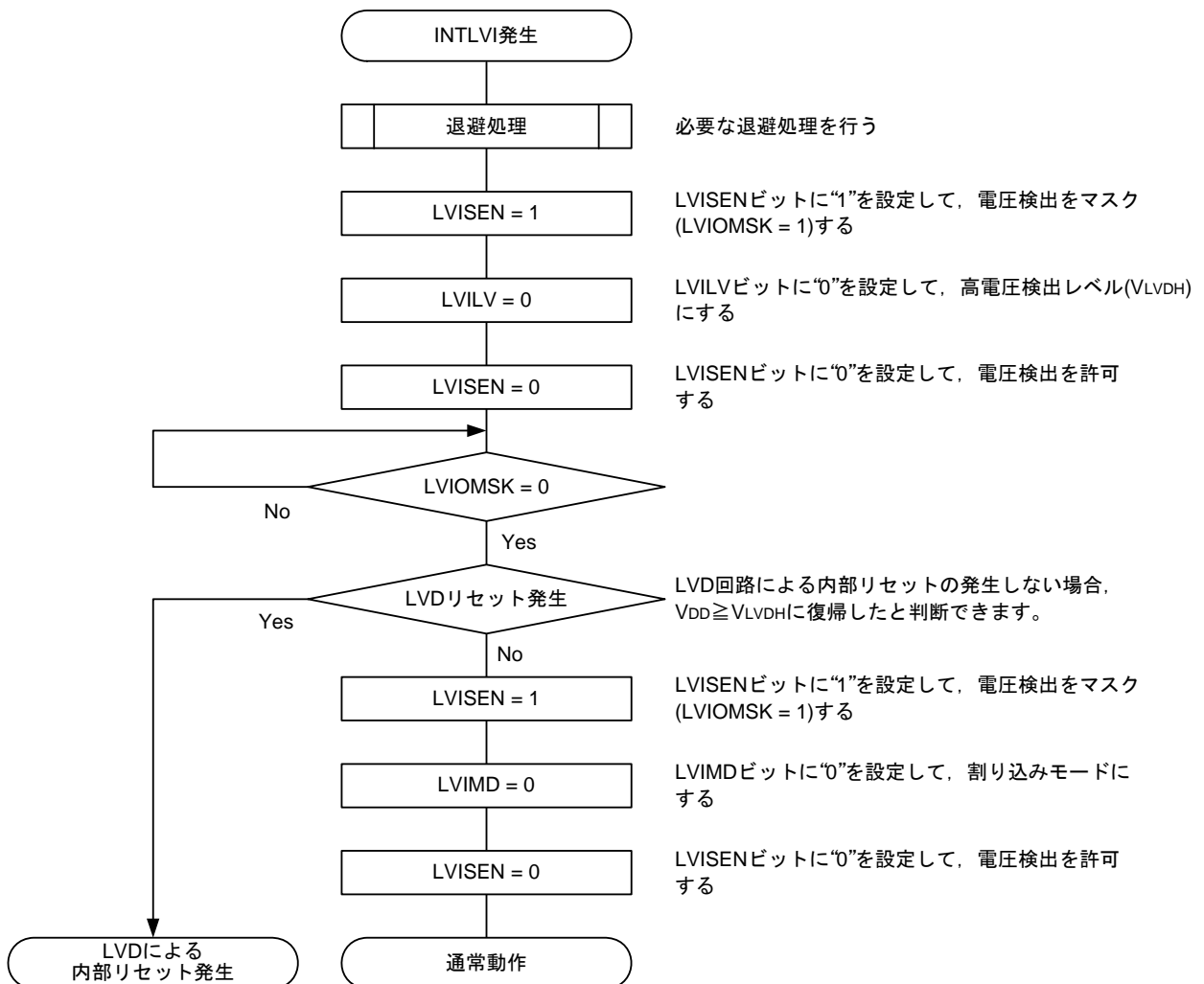


(注, 備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、1になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図30-7 動作電圧確認/リセットの設定手順に従って設定をしてください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図30-8 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

備考 VPOR : POR電源立ち上がり検出電圧
VPDR : POR電源立ち下がり検出電圧

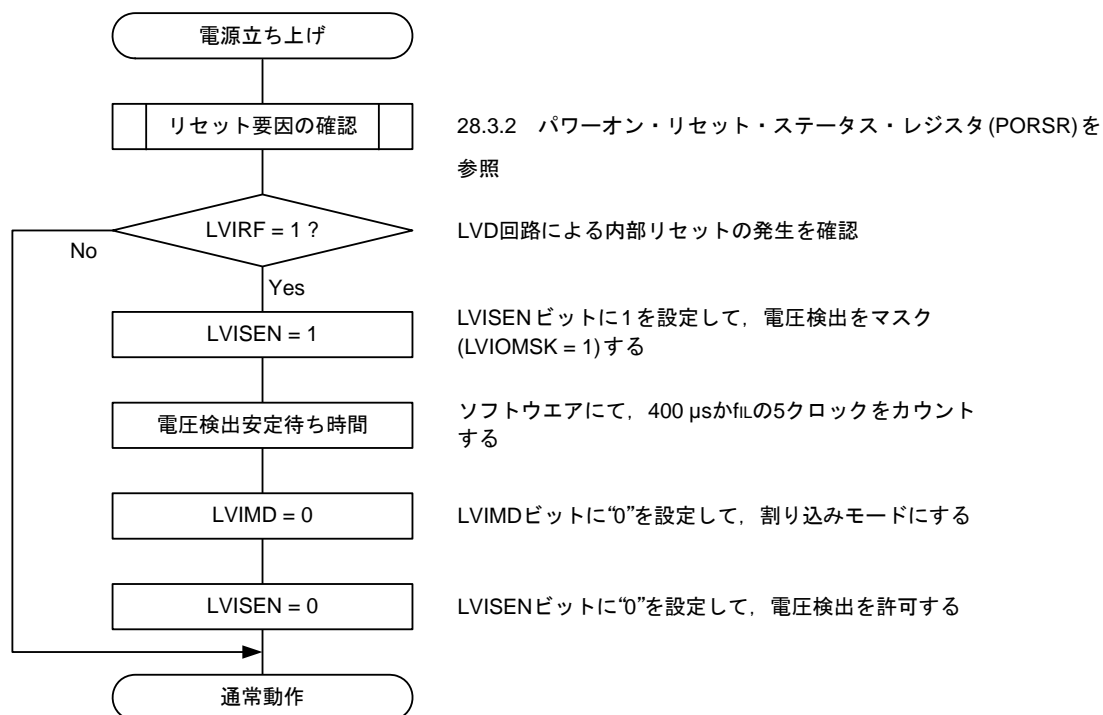
図30-7 動作電圧確認/リセットの設定手順



割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0) を設定した場合、LVD リセット解除後 (LVIRF = 1) から $400\ \mu\text{s}$ か f_{IL} の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後、LVIMD ビットをクリア (0) して初期化してください。電圧検出安定待ち時間のカウント中および LVIMD ビットの書き換え時は、LVISEN = 1 に設定して LVD によるリセットまたは割り込み発生をマスクしてください。

図30-8に割り込み&リセット・モードの初期設定の設定手順を示します。

図30-8 割り込み&リセット・モードの初期設定の設定手順



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

30.5 電圧検出回路の注意事項

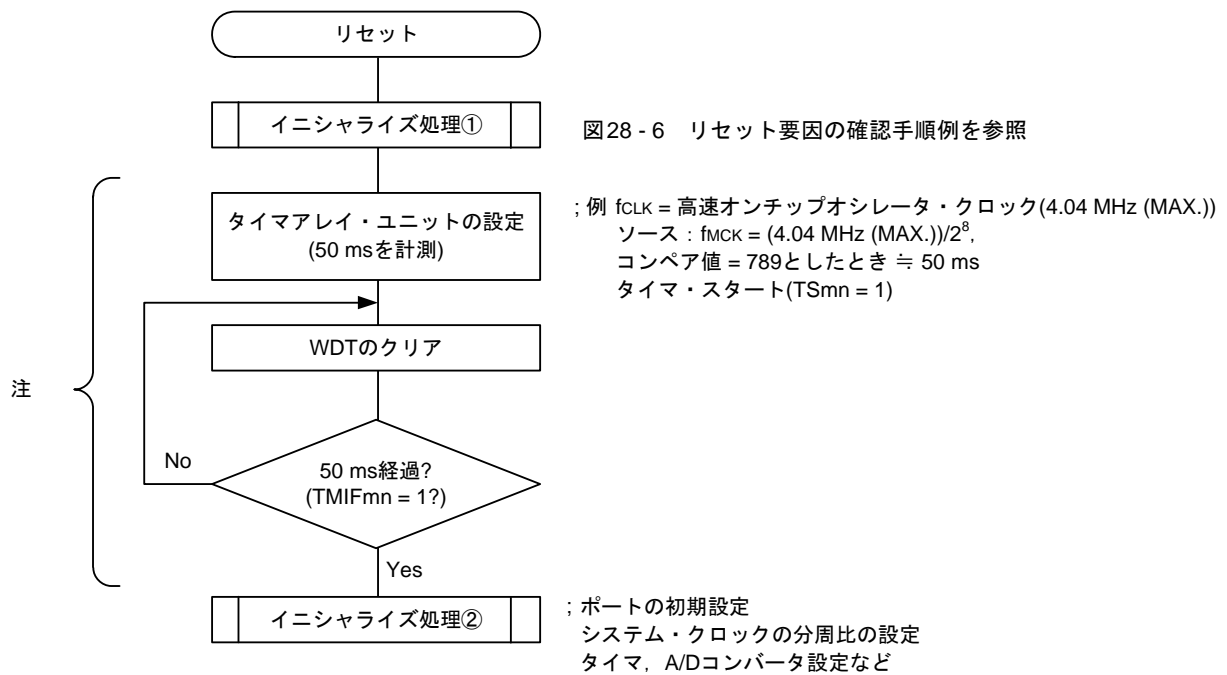
(1) 電源投入時の電圧変動について

電源電圧 (VDD) が LVD 検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図30 - 9 LVD 検出電圧付近での電源電圧変動が 50 ms 以下の場合のソフト処理例



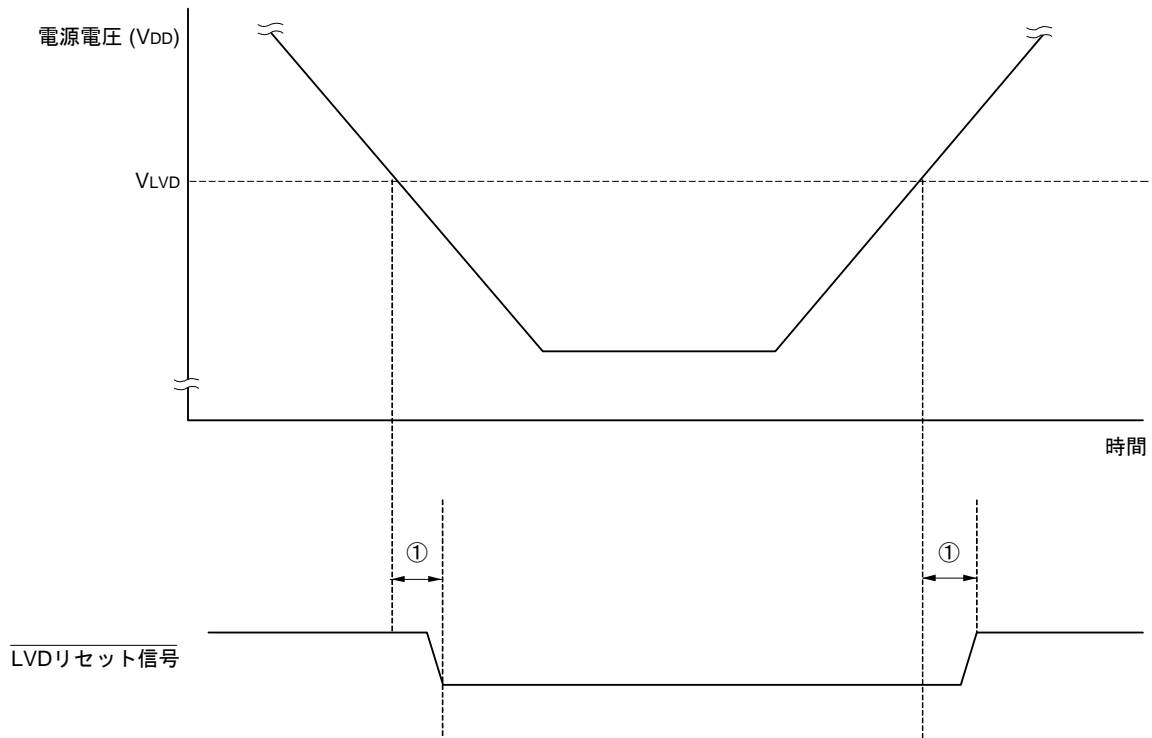
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません

備考 m = 0 n = 0-7

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧(V_{DD}) < LVD検出電圧(V_{LVD})になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧(V_{LVD}) \leq 電源電圧(V_{DD})になってから、LVDリセットが解除されるまでにも遅延が生じます(図30-10参照)。

図30-10 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延(300 μ s (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、38.4または39.4 AC特性に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、38.4または39.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

第31章 安全機能

31.1 安全機能の概要

- ★ 安全規格 IEC60730 に対応するため、RL78/H1D では以下の安全機能を搭載しています。
- この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。
- (1) フラッシュ・メモリ CRC 演算機能 (高速 CRC, 汎用 CRC)
CRC 演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて、以下の2つの CRC を使い分けていただくことができます。
 - 「高速 CRC」... 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
 - 「汎用 CRC」... CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。
 - (2) RAM パリティ・エラー検出機能
RAM をデータとして読み出すとき、パリティ・エラーを検出します。
 - (3) RAM ガード機能
CPU の暴走による RAM データの書き換えを防止します。
 - (4) SFR ガード機能
CPU の暴走による SFR の書き換えを防止します。
 - (5) 不正メモリ・アクセス検出機能
不正メモリ領域 (メモリが存在しない、アクセスが制限されている領域) への不正なアクセスを検出します。
 - (6) 周波数検出機能
タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。
 - (7) A/D テスト機能
A/D コンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル (ANI)、温度センサ出力および内部基準電圧を A/D 変換することにより、A/D コンバータの自己チェックができます。
 - (8) 入出力端子のデジタル出力信号レベル検出機能
入出力端子が出力モード (ポート・モード・レジスタ (PMm) の PMmn ビットが 0) 時に、端子の出力レベルをリードすることができます。

備考 1. $m = 0-8, 12, 15$ $n = 0-7$

備考 2. 安全規格 IEC60730 に対応する安全機能の使用例は、RL78 MCU シリーズの IEC60730/60335 セルフテスト・ライブラリアプリケーション・ノート (R01AN1062, R01AN1296) をご参照ください。

31.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
<ul style="list-style-type: none"> フラッシュ・メモリCRC制御レジスタ (CRC0CTL) フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) 	フラッシュ・メモリCRC演算機能 (高速CRC)
<ul style="list-style-type: none"> CRC入力レジスタ (CRCIN) CRCデータ・レジスタ (CRCD) 	CRC演算機能 (汎用CRC)
<ul style="list-style-type: none"> RAMパリティ・エラー制御レジスタ (RPECTL) 	RAMパリティ・エラー検出機能
<ul style="list-style-type: none"> 不正メモリ・アクセス検出制御レジスタ (IAWCTL) 	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
<ul style="list-style-type: none"> タイマ入力選択レジスタ0 (TIS0) 	周波数検出機能
<ul style="list-style-type: none"> A/Dテスト・レジスタ (ADTES) 	A/Dテスト機能
<ul style="list-style-type: none"> ポート・モード選択レジスタ (PMS) 	入出力ポートのデジタル出力信号レベル検出機能

各レジスタの内容については、31.3 安全機能の動作の中で説明します。

31.3 安全機能の動作

31.3.1 フラッシュ・メモリCRC演算機能 (高速CRC)

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定(イニシャライズ)ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です(例 フラッシュ・メモリ32KB: 341 μs@24MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

31.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	0	0	0	FEA2	FEA1	FEA0
CRC0EN	高速CRC演算器の動作制御							
0	動作停止							
1	HALT命令実行により演算開始							
FEA2	FEA1	FEA0	高速CRC演算範囲					
0	0	0	00000H-03FFBH (16K-4バイト)					
0	0	1	00000H-07FFBH (32K-4バイト)					
0	1	0	00000H-0BFFBH (48K-4バイト)					
0	1	1	00000H-0FFFBH (64K-4バイト)					
1	0	0	00000H-13FFBH (80K-4バイト)注1					
1	0	1	00000H-17FFBH (96K-4バイト)注1					
1	1	0	00000H-1BFFBH (112K-4バイト)注2					
1	1	1	00000H-1FFFBH (128K-4バイト)注2					
上記以外			設定禁止					

注1. R5F11RMG, R5F11xG(x = NG, NL, NM, PL), R5F11xF (x = NG, NL, NM, PL)のみ。

注2. R5F11RMG, R5F11xG(x = NG, NL, NM, PL)のみ。

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

31.3.1.2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図31-2 フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

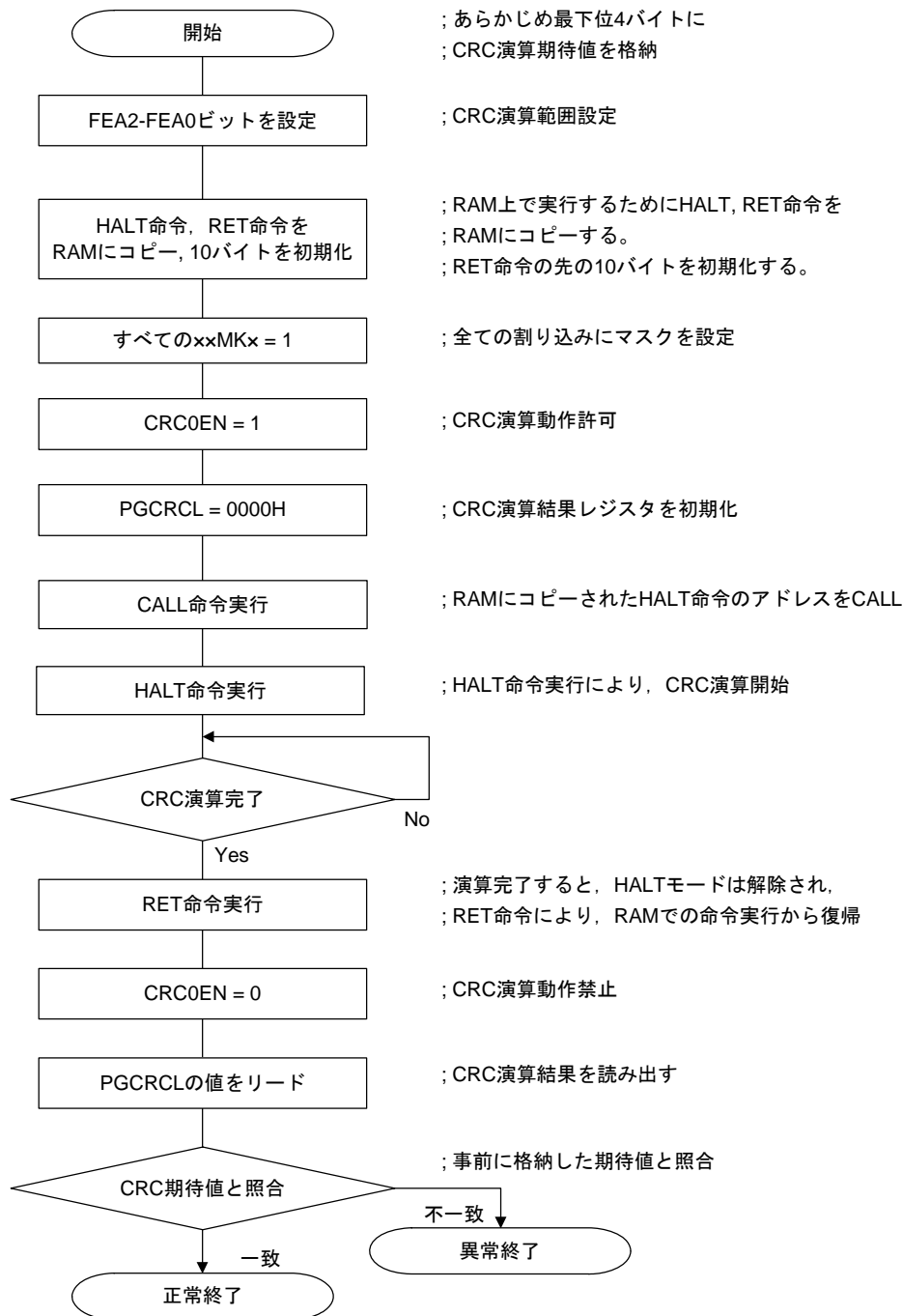
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-0	高速CRC演算結果						
	0000H-FFFFH	高速CRC演算結果を格納						

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを図31-3に示します。

<動作フロー>

図31-3 フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャート



注意1. CRC演算の対象は、コード・フラッシュのみです。

注意2. CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。

注意3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

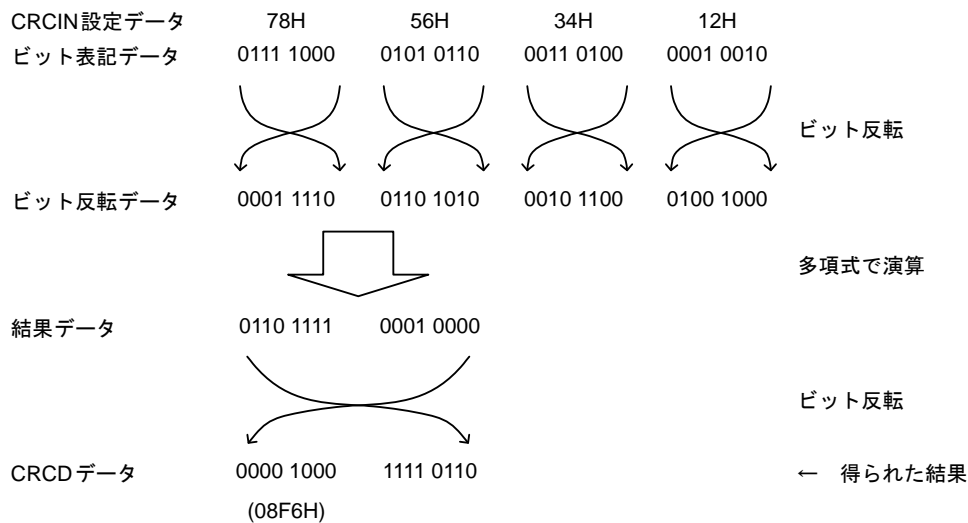
CRC演算の期待値は、総合開発環境CS+を使用して算出することができます。詳細は、CS+統合開発環境ユーザーズマニュアルを参照してください。

31.3.2 CRC演算機能(汎用CRC)

★ この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア(ユーザ・プログラム)で指定します。HALTモード時のCRC演算機能は、DTC転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

31.3.2.1 CRC入力レジスタ(CRCIN)

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31-4 CRC入力レジスタ(CRCIN)のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

CRCIN							
	ビット7-0			機能			
	00H-FFH			データ入力			

31.3.2.2 CRCデータ・レジスタ (CRCD)

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

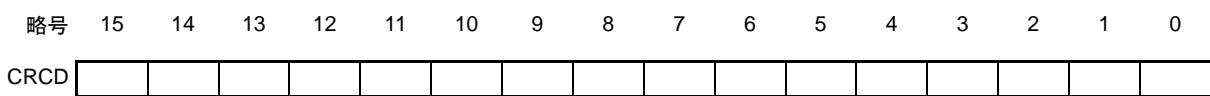
CRCINレジスタ書き込みから、CPU／周辺ハードウェア・クロック (fCLK)の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図31-5 CRCデータ・レジスタ (CRCD)のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

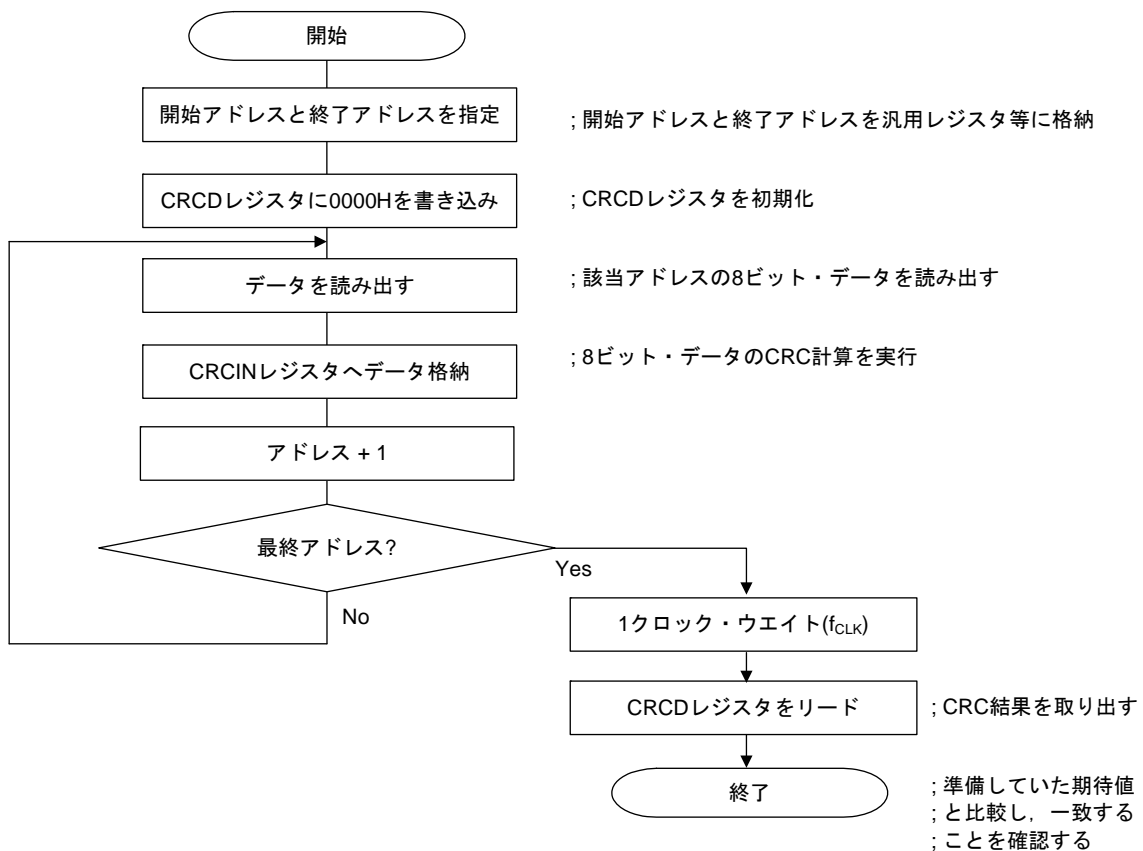


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図31-6 CRC演算機能 (汎用CRC)のフロー・チャート



31.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/H1DのRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットが発生することもできます。

31.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31-7 RAMパリティ・エラー制御レジスタ (RPECTL)のフォーマット

アドレス : F00F5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。

そのため、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。

また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

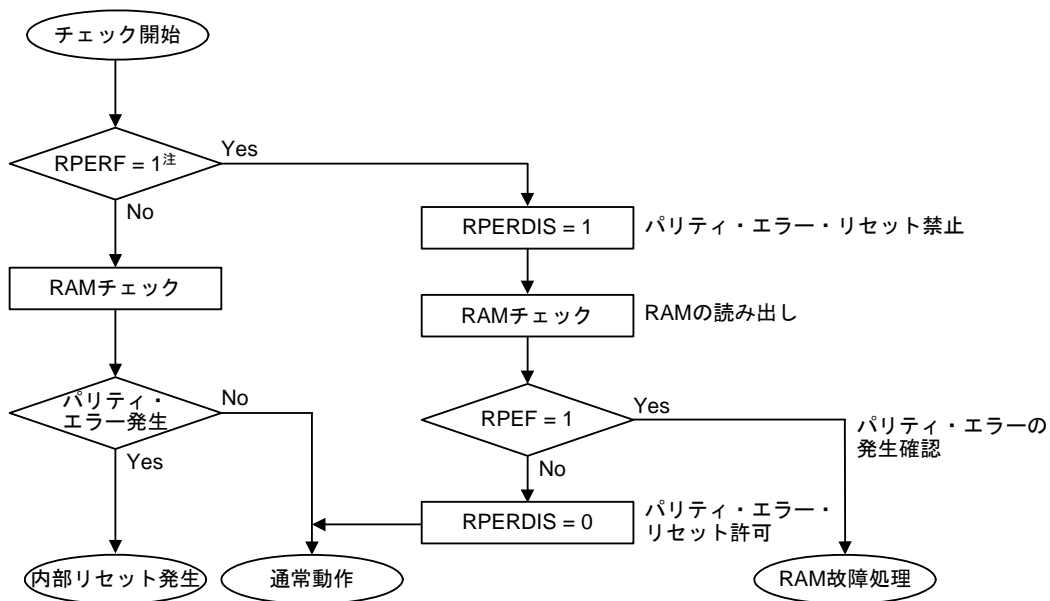
備考1. 初期状態では、パリティ・エラー・リセットは発生許可(RPERDIS = 0)になっています。

備考2. パリティ・エラー・リセット発生禁止(RPERDIS = 1)を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット(1)されます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可(RPERDIS = 0)に設定すると、RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。

備考3. RPECTLレジスタのRPEFフラグは、パリティ・エラー発生時にセット(1)され、0の書き込み、またはすべてのリセット要因によりクリア(0)されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

備考4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図31 - 8 RAMパリティ・チェックのフローチャート



注 RAMパリティ・エラーによる内部リセットの確認は、第28章 リセット機能を参照してください。

31.3.4 RAMガード機能

- ★ このRAMガード機能は、指定した空間のデータを保護するための機能です。
RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

31.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	GRAM1	GRAM0	RAMガード空間注					
	0	0	無効。RAMへのライト可能					
	0	1	RAM先頭アドレスから128バイト					
	1	0	RAM先頭アドレスから256バイト					
	1	1	RAM先頭アドレスから512バイト					

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

31.3.5 SFR ガード機能

- ★ SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

31.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31-10 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
GPORT		ポート機能の制御レジスタのガード						
0		無効。ポート機能の制御レジスタのリード/ライト可能。						
1		有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, PIORx, PFSEGxx, ISCLCD 注						
GINT		割り込み機能のレジスタのガード						
0		無効。割り込み機能の制御レジスタのリード/ライト可能。						
1		有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx						
GCSC		クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード						
0		無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。						
1		有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTS, CKC, PERx, OSMC, CLKDCTL, LVIM, LVIS, RPECTL						

注 Pxx (ポート・レジスタ)はガードされません。

31.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図31-11で「NG」と記載した範囲になります。

図31-11 不正アクセス検出空間

アドレス	機能	アクセス可否		
		読み出し	書き込み	命令フェッチ (実行)
FFFFFH	特殊機能レジスタ (SFR) 256 バイト	OK	OK	NG
FFF00H				命令フェッチ (実行)
FFEFFH	汎用レジスタ 32バイト	OK	OK	OK
FFEE0H				命令フェッチ (実行)
FFEDFH	RAM ^注	OK	OK	OK
zzzzzH				命令フェッチ (実行)
zzzzzH	Mirror	OK	NG	NG
F1000H	データ・フラッシュ・メモリ	OK	NG	NG
F0FFFH	使用不可			命令フェッチ (実行)
F0800H	特殊機能レジスタ (2nd SFR) 2 K バイト	OK	OK	OK
F07FFH				命令フェッチ (実行)
F0000H	使用不可	NG	NG	OK
EFFFH				命令フェッチ (実行)
EF000H	使用不可	NG	NG	NG
EEFFFH				命令フェッチ (実行)
yyyyyH	コード・フラッシュ・メモリ ^注	OK	OK	OK
xxxxxH				命令フェッチ (実行)
00000H	コード・フラッシュ・メモリ ^注	OK	OK	OK

注 各製品のコード・フラッシュ・メモリ、RAM、検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し/命令フェッチ (実行) 時 の検出最下位アドレス (yyyyyH)
R5F11RMG	131072 × 8 ビット (00000H-1FFFFH)	8192 × 8 ビット (FDF00H-FFEFFH)	20000H
R5F11xG (x = NG, NL, NM, PL)	131072 × 8 ビット (00000H-1FFFFH)	5632 × 8 ビット (FE900H-FFEFFH)	20000H
R5F11xF (x = NG, NL, NM, PL)	98304 × 8 ビット (00000H-17FFFH)	5632 × 8 ビット (FE900H-FFEFFH)	20000H
R5F11NME	65536 × 8 ビット (00000H-0FFFFH)	5632 × 8 ビット (FE900H-FFEFFH)	10000H

31.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図31-12 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
IAWEN ^注	不正メモリ・アクセスの検出制御							
0	不正メモリ・アクセスの検出無効							
1	不正メモリ・アクセスの検出有効							

注 IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイト(000C0H)のWDTON = 1 (ウォッチドッグ・タイマ動作許可)のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

31.3.7 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能では、CPU/周辺ハードウェア・クロック周波数(f_{CLK})を使用して、タイマ・アレイ・ユニット(TAU)のチャンネル1の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

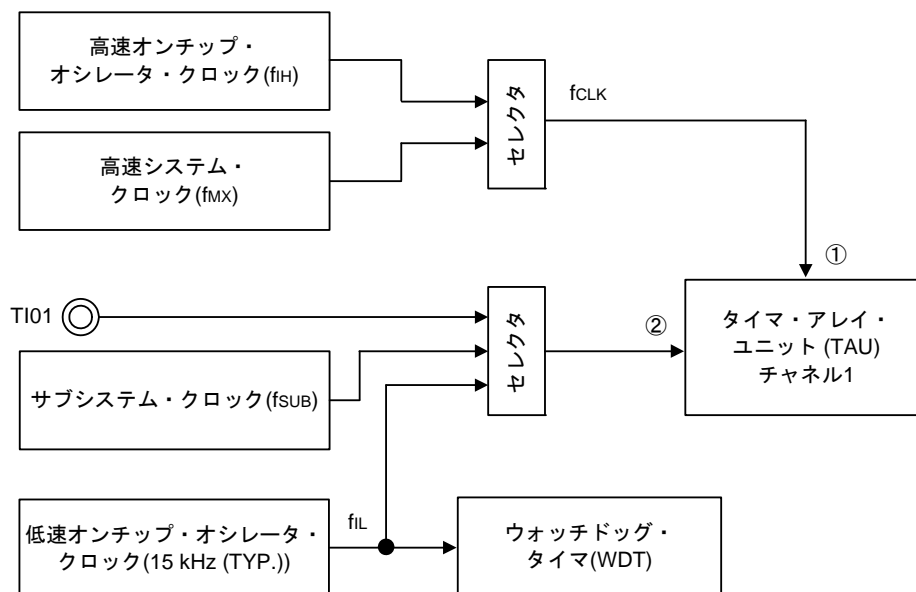
①CPU/周辺ハードウェア・クロック周波数(f_{CLK}):

- 高速オンチップ・オシレータ・クロック(f_{IH})
- 高速システム・クロック(f_{MX})

②タイマ・アレイ・ユニットのチャンネル1入力:

- チャンネル1のタイマ入力(TI01)
- 低速オンチップ・オシレータ・クロック(f_{IL} : 15 kHz (TYP.))
- サブシステム・クロック(f_{SUB})

図31 - 13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、6.8.3 入力パルス間隔測定としての動作を参照してください。

31.3.7.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット0 (TAU0)のチャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31 - 14 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00
TIS04	チャンネル0で使用するタイマ入力の選択							
0	タイマ入力端子 (TI00) の入力信号							
1	ELCからのイベント入力信号							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子 (TI01) の入力信号					
0	1	0						
0	1	1						
0	0	1	ELCからのイベント入力信号					
1	0	0	低速オンチップ・オシレータ・クロック (fil)					
1	0	1	サブシステム・クロック (fsUB)					
上記以外			設定禁止					

31.3.8 A/Dテスト機能

IEC60730 ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル(ANI)、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、安全機能(A/Dテスト)アプリケーションノート(R01AN0955)を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

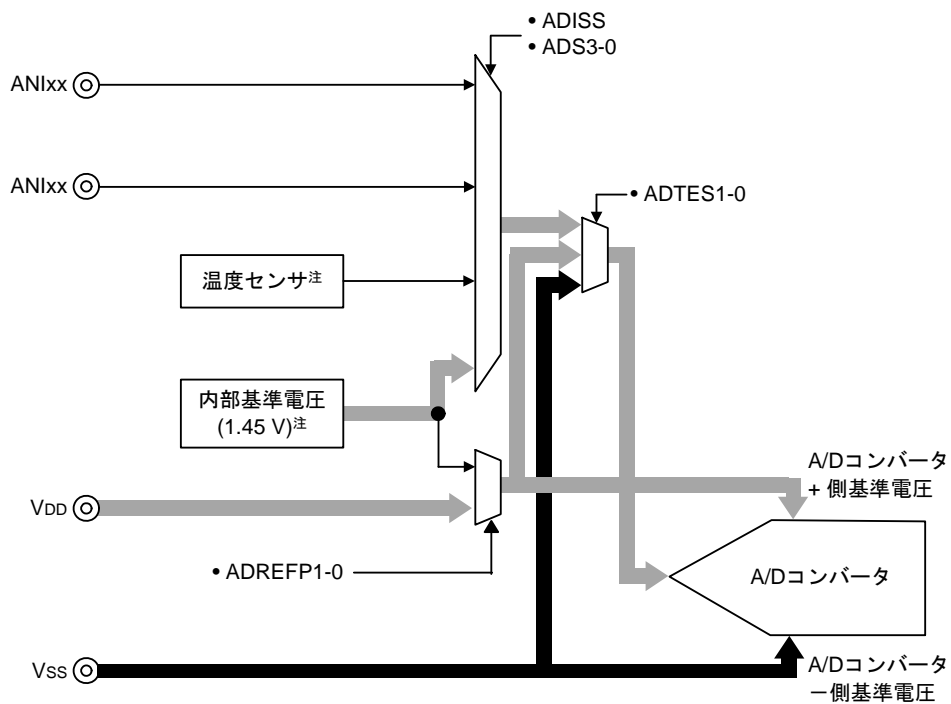
- ① ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ② ANix端子のA/D変換を行う(変換結果1-1)。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択(ADTES1, ADTES0 = 1, 0)
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う(変換結果2-1)
- ⑤ ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑥ ANix端子のA/D変換を行う(変換結果1-2)
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択(ADTES1, ADTES0 = 1, 1)
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う(変換結果2-2)
- ⑨ ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑩ ANix端子のA/D変換を行う(変換結果1-3)
- ⑪ 「変換結果1-1」=「変換結果1-2」=「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0、「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①~⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

備考2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図31 - 15 A/Dテスト機能の構成



注 HS (高速メイン)モードでのみ選択可能です。

31.3.8.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANlxx)、温度センサ出力電圧、内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31 - 16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	アナログ入力チャネル指定レジスタ (ADS) で設定
0	1	設定禁止
1	0	-側の基準電圧 (Vss)
1	1	+側の基準電圧 (A/Dコンバータ・モード・レジスタ2 (ADM2)のADREFP1, ADREFP0ビットで選択)

注意 ビット2-7には、必ず0を設定してください。

31.3.8.2 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能で ANI_{xx}/温度センサ出力電圧/内部基準電圧(1.45V)を測定するときは、A/Dテスト・レジスタ (ADTES) を 00H に設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31 - 17 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	0	ADS3	ADS2	ADS1	ADS0

ADISS	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	1	0	0	0	ANI8	P03/ANI8 端子注1
0	1	0	0	1	ANI9	P04/ANI9 端子注2
0	1	0	1	0	ANI10	P05/ANI10 端子注1
0	1	0	1	1	ANI11	P11/ANI11 端子注3
0	1	1	0	0	ANI12	ANI12 端子注4
0	1	1	0	1	ANI13	ANI13 端子注4
0	1	1	1	0	ANI14	ANI14 端子注4
1	0	0	0	0	—	温度センサ出力電圧注5
1	0	0	0	1	—	内部基準電圧(1.45 V)注5
上記以外					設定禁止	

注1. R5F11NL, R5F11PL, R5F11NG, R5F11RMの場合です。

注2. R5F11PL, R5F11NG, R5F11RMの場合です。

注3. R5F11NLの場合です。

注4. R5F11NMの場合です。

注5. HS (高速メイン)モードでのみ動作可能です。

注意1. ビット4-6には必ず0を設定してください。

注意2. ポート・モード・コントロール・レジスタ0, 1(PMC0, PMC1)でアナログ入力に設定したポートは、ポート・モード・レジスタ0, 1(PM0, PM1)で入力モードを選択してください。

注意3. PMC0, PMC1 レジスタでデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意5. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧(1.45 V)は使用できません。

また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、19.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード、ワンショット変換モード時)を参照してください。

注意6. STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、38.3.2または39.3.2 電源電流特性に示すA/Dコンバータ内部基準電圧電流(IADREF)の電流値が加算されます。

31.3.9 入出力端子のデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、端子のデジタル出力レベルをリードすることができます。

31.3.9.1 ポート・モード選択レジスタ (PMS)

端子が出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31-18 ポート・モード選択レジスタ(PMS)のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0
PMS0	端子が出力モード時(PMmn = 0)にリードするデータの選択							
0	Pmnレジスタの値を読み出す							
1	端子のデジタル出力レベルを読み出す							

注意1. PMS0ビットを1に設定してポート・レジスタ(Pmレジスタ)を書き換える場合は、8ビット・メモリ操作命令のみ使用してください。

注意2. P60, P61を汎用ポートとして使用する場合、PMS0による端子の出力レベルのリードはできません(ただし、P60, P61はPER0レジスタのIICA0ENビットを1にした場合にのみ、PMS0ビットによる端子のデジタル出力レベルのリードが可能です)。

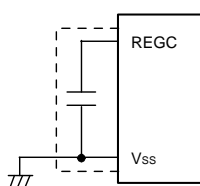
備考 m = 0-8, 12, 15
 n = 0-7

第32章 レギュレータ

32.1 レギュレータの概要

RL78/H1Dは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μ F)を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、表32-1のようになります。



注意 上図の破線部分の配線を極力短くしてください。

表32-1 レギュレータ出力電圧条件

モード	出力電圧	条件
LS (低速メイン)モード注1	1.8 V	—
HS (高速メイン)モード	1.8 V	STOPモード時
		サブシステム・クロック (f _{SUB})でCPU動作中で、高速システム・クロック (f _{MX})と高速オンチップ・オシレータ・クロック (f _{IH})が共に停止
	サブシステム・クロック (f _{SUB})でCPU動作設定時のHALTモード中で、高速システム・クロック (f _{MX})と高速オンチップ・オシレータ・クロック (f _{IH})が共に停止	
	2.1 V	上記以外(オンチップ・デバッグ中を含む)注2

注1. R5F11Rのみ。

注2. オンチップ・デバッグ中に、サブシステム・クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します(1.8 Vにはなりません)。

第33章 オプション・バイト

33.1 オプション・バイトの機能

RL78/H1Dのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト(000C0H-000C2H)とオンチップ・デバッグ・オプション・バイト(000C3H)で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

33.1.1 ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

- ウォッチドッグ・タイマの動作
 - カウンタの動作許可/禁止
 - HALT/STOPモード時のカウンタの動作可能/停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - インターバル割り込みを使用する/使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

○ LVDの動作モード設定

- 割り込み&リセット・モード
- リセット・モード
- 割り込みモード
- LVDオフ(RESET端子による外部リセットを使用)

○ LVD検出レベル(VLVDH, VLVDL, VLVD)の設定

注意1. 電源立ち上がり時は、38.4 または 39.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H /010C2H)の設定により変わります。

注意2. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/010C2H

○ フラッシュの動作モード設定

- LS (低速メイン)モード
- HS (高速メイン)モード

○ 高速オンチップ・オシレータの周波数設定

- 24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz(TYP.)から選択

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

33.1.2 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)

○ オンチップ・デバッグ動作制御

- オンチップ・デバッグ動作禁止／許可

○ セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理

- オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

33.2 ユーザ・オプション・バイトのフォーマット

図33-1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット

アドレス : 000C0H/010C0H^{注1}

略号	7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDSC2	WDSC1	WDSC0	WDSTBYON	
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用							
0	インターバル割り込みを使用しない							
1	オーバフロー時間の75% + 1/2f _{IL} 到達時にインターバル割り込みを発生する ^{注3}							
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間 ^{注2}						
0	1	50%						
1	1	100%						
上記以外		設定禁止						
WDTON	ウォッチドッグ・タイマのカウンタの動作制御							
0	カウンタ動作禁止(リセット解除後, カウント停止)							
1	カウンタ動作許可(リセット解除後, カウント開始)							
WDSC2	WDSC1	WDSC0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)					
0	0	0	2 ⁶ /f _{IL} (3.71 ms)					
0	0	1	2 ⁷ /f _{IL} (7.42 ms)					
0	1	0	2 ⁸ /f _{IL} (14.84 ms)					
0	1	1	2 ⁹ /f _{IL} (29.68 ms)					
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)					
1	0	1	2 ¹³ /f _{IL} (474.89 ms)					
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)					
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)					
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOPモード時)							
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}							
1	HALT/STOPモード時, カウンタ動作許可							

注1. ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

注2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

注3. ウォッチドッグ・タイマのインターバル割り込みを使用する場合は、ウォッチドッグ・タイマのカウントクリア時に、14.4.5の注意事項で示す手順に従ってください。

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図33-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス : 000C1H/010C1H注1

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

• LVDの設定(割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V注2	1.94 V注2	1.84 V注2	0	0	1	1	0	1	0
2.09 V注2	2.04 V注2					0	1		
3.13 V注2	3.06 V注2					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V			0	1				
3.75 V	3.67 V			0	0				
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V			0	1				
4.06 V	3.98 V			0	0				
—			上記以外は設定禁止						

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.88 V注2	1.84 V注2	0	0	1	1	1	1	1
1.98 V注2	1.94 V注2				1	0		
2.09 V注2	2.04 V注2				0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0				
2.71 V	2.65 V		0	1				
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	0				
3.02 V	2.96 V		0	1				
3.13 V	3.06 V	0	1	0	0			
3.75 V	3.67 V	1	0	0	0			
4.06 V	3.98 V	1	1	0	0			
—		上記以外は設定禁止						

注1. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注2. R5F11Rのみ。R5F11N, R5F11Pは設定禁止です。

備考1. LVD回路の詳細は、第30章 電圧検出回路を参照してください。

備考2. 検出検圧はTYP.値です。詳細は、38.6.4または39.6.4 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図33-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス : 000C1H/010C1H^{注1}

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.88 V ^{注2}	1.84 V ^{注2}	0	0	1	1	1	0	1
1.98 V ^{注2}	1.94 V ^{注2}				1	0		
2.09 V ^{注2}	2.04 V ^{注2}				0	1		
2.50 V	2.45 V	1	0	0	1	1	0	1
2.61 V	2.55 V				1	0		
2.71 V	2.65 V				0	1		
2.81 V	2.75 V	1	1	0	1	1	0	1
2.92 V	2.86 V				1	0		
3.02 V	2.96 V				0	1		
3.13 V	3.06 V	0	1	0	0	0	0	1
3.75 V	3.67 V				1	0		
4.06 V	3.98 V				1	1		
—		上記以外は設定禁止						

• LVDオフ(RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	x	x	x	x	x	1
—		上記以外は設定禁止						

注1. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注2. R5F11Rのみ。R5F11N, R5F11Pは設定禁止です。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、38.4または39.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立下り時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. x : don't care

備考2. LVD回路の詳細は、第30章 電圧検出回路を参照してください。

備考3. 検出電圧TYP.値です。詳細は、38.6.4または39.4 AC特性を参照してください。

図33-3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス : 000C2H/010C2H^{注1}

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
CMODE1	CMODE0	フラッシュの動作モード設定					
		動作周波数範囲 (fMAIN)			動作電圧範囲 (VDD)		
1	0	LS (低速メイン)モード ^{注2}			1 MHz~8 MHz		1.8 V~5.5 V
1	1	HS (高速メイン)モード			1 MHz~16 MHz		2.4 V~5.5 V
					1 MHz~24 MHz		2.7 V~5.5 V
上記以外		設定禁止					
FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロックの周波数 (fIH)			
0	0	0	0	24 MHz			
1	0	0	1	16 MHz			
0	0	0	1	12 MHz			
1	0	1	0	8 MHz			
0	0	1	0	6 MHz			
1	0	1	1	4 MHz			
0	0	1	1	3 MHz			
1	1	0	0	2 MHz			
1	1	0	1	1 MHz			
上記以外				設定禁止			

注1. ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

注2. R5F11Rのみ

注意1. ビット5, 4には、必ず10Bを書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、38.4または39.4 AC特性を参照してください。

33.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図33-4 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)のフォーマット

アドレス : 000C3H/010C3H注

略号	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD
OCDENSET	OCDERSD	オンチップ・デバッグ動作制御						
0	0	オンチップ・デバッグ動作禁止						
0	1	設定禁止						
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去する						
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去しない						

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD)のみ、値を指定できます。
ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値(0, 1, 0)を設定してください。

33.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	5AH	;VLVDLに2.45 Vを選択 ;VLVDHに立ち上がり2.61 V, 立ち下がり2.55 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB	ADH	;フラッシュの動作モードにLS (低速メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB	85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		5AH	;VLVDLに2.45 Vを選択 ;VLVDHに立ち上がり2.61 V, 立ち下がり2.55 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB		ADH	;フラッシュの動作モードにLS (低速メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB		85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第34章 フラッシュ・メモリ

RL78マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能なコード・フラッシュとデータ格納領域のデータ・フラッシュがあります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス (UART 通信) によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング (34.4 参照)

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みできます。

- 外部デバイス (UART 通信) によるシリアル・プログラミング (34.2 参照)

外部デバイス (マイコンや ASIC) との UART 通信を使用してオンボードで書き込みができます。

- セルフ・プログラミング (34.6 参照)

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリを自己書き換えができます。

データ・フラッシュ・メモリは、データ・フラッシュ・ライブラリを利用して、ユーザ・プログラム実行中に書き換えることができます (バックグラント・オペレーション)。データ・フラッシュへのアクセスや書き込みについては、34.8 データ・フラッシュを参照してください。

34.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6, FL-PR6
- E1, E2, E2 Lite, E20 オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装する前に専用プログラム・アダプタ (FA シリーズ) などでフラッシュ・メモリに書き込みます。

備考 FL-PR6, FA シリーズは、(株)内藤電誠町田製作所の製品です。

表 34 - 1 RL78/H1Dと専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号				
					48ピン		64ピン		80ピン
信号名		入出力	端子機能		LFQFP (7×7)	TFBGA (4×4)	LFQFP (10×10)	LFQFP (12×12)	
PG-FP6, FL-PR6	E1, E2, E2 Lite, E20 オンチップデバッグ ゲミュレータ			R5F11NG	R5F11PL	R5F11NL	R5F11NM	R5F11RM	
—	TOOL0	入出力	送受信信号	TOOL0/ P40	4	F5	5	9	
SI/RxD	—	入出力	送受信信号						
—	RESET	出力	リセット信号	RESET	5	F6	6	10	
/RESET	—	出力							
VDD		入出力	VDD電圧生成/ 電源監視	VDD	13	G8	14	18	
GND		—	グラウンド	VSS	12	H8	13	17	
				REGC注	11	G6	12	16	
FLMD1	EMVDD	—	TOOL0端子駆 動電源	VDD	13	G8	14	18	

注 REGC端子はコンデンサ(0.47~1 μF)を介してグラウンドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

34.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図34-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

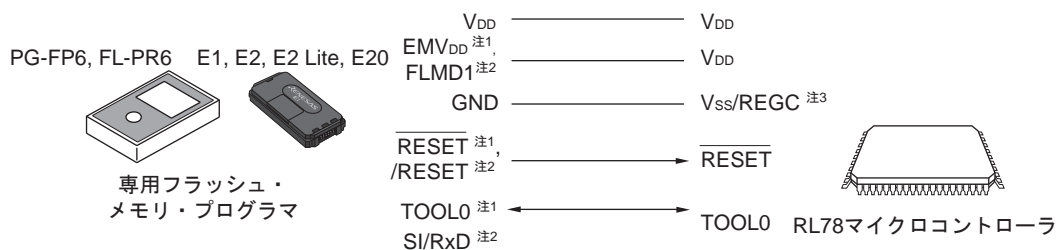
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。

34.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図34-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1, E2, E2 Lite, E20オンチップデバッグエミュレータ使用時。

注2. PG-FP6, FL-PR6使用時。

注3. REGC端子はコンデンサ(0.47~1 μF)を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP6, FL-PR6またはE1, E2, E2 Lite, E20 オンチップデバッグエミュレータの各マニュアルを参照してください。

表34-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78マイクロコントローラ		
信号名		入出力	端子機能	端子名注2
PG-FP6, FL-PR6	E1, E2, E2 Lite, E20 オンチップデバッグ エミュレータ			
VDD		入出力	VDD電圧生成／電圧監視	VDD
GND		—	グランド	Vss, REGC注1
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD
/RESET	—	出力	リセット信号	$\overline{\text{RESET}}$
—	$\overline{\text{RESET}}$	出力		$\overline{\text{RESET}}$
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. REGC端子はコンデンサ(0.47～1 μF)を介してグランドに接続してください。

注2. 接続先端子は、製品によって異なります。詳細は、表34-1を参照してください。

34.2 外部デバイス(UART内蔵)によるシリアル・プログラミング

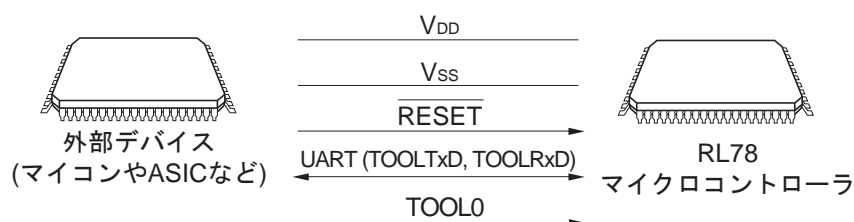
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス(マイコンやASIC)を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラムの開発については、RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

34.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図34-3 フラッシュ・メモリにプログラムを書き込むための環境



外部デバイスからRL78マイクロコントローラに書き込み/消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

34.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps



注 REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表34-3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD電圧生成／電圧監視	VDD
GND	—	グラウンド	Vss, REGC注
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注 REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

34.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、34.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

34.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 k Ω の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合は、以下の方法で使用してください。

入力時： 外部リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

出力時： プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

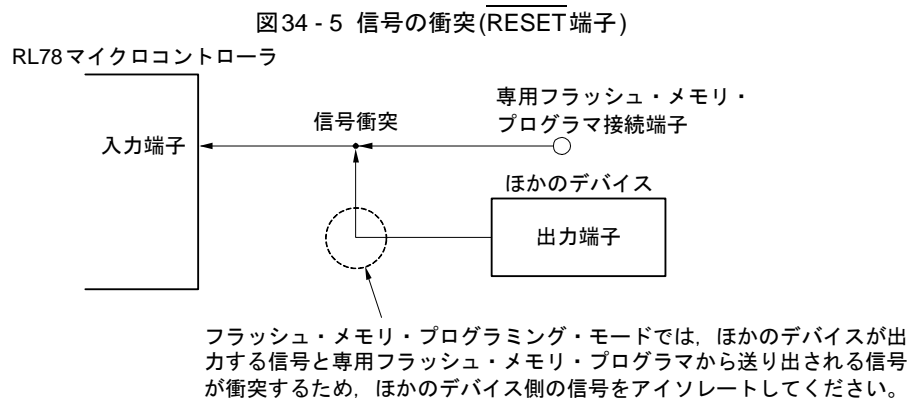
備考1. t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。38.12または39.12 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

備考2. RL78 マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線 UART (TOOL0端子)を使用するので、SAUやIICAの端子は使用しません。

34.3.2 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。



34.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してVDDに接続するか、もしくは抵抗を介してVSSに接続するなどの端子処理が必要です。

34.3.4 REGC 端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ(0.47~1 μF)を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

34.3.5 X1, X2 端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック (fIH) を使用します。

34.3.6 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、VDD 端子はフラッシュ・メモリ・プログラムのVDDに、VSS端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

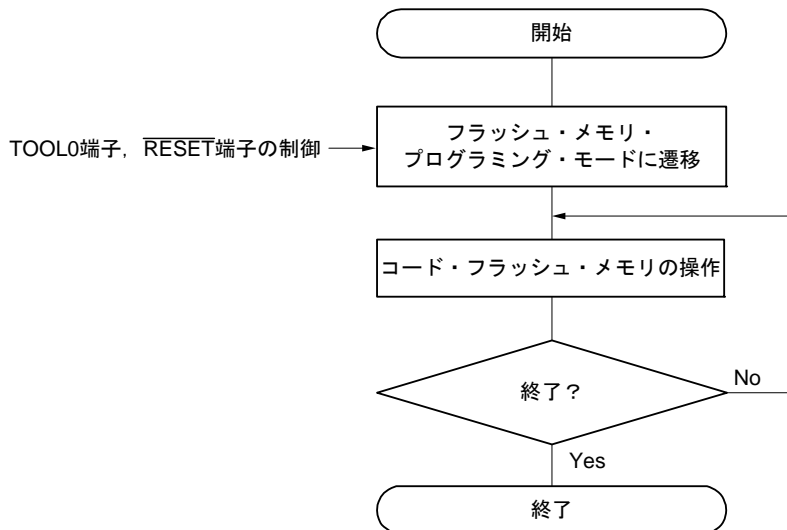
ただしフラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、VDD, VSS端子はフラッシュ・メモリ・プログラマのVDD, GNDと必ず接続してください。

34.4 シリアル・プログラミング方法

34.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図34-6 コード・フラッシュ・メモリの操作手順



34.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78 マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

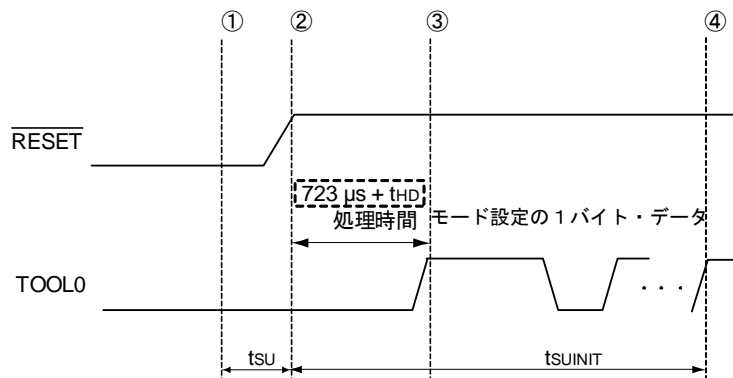
<外部デバイス(UART通信)を使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します(表34-4参照)。その後、図34-7に示す①~④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78 マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表34-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図34-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットは解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT : この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。
 tsu : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
 tHD : 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)

詳細は、38.12 または 39.12 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコン供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラミングを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表 34 - 5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

電源電圧(VDD)	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ・書き換えモード
	フラッシュ動作モード	動作周波数	
$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	ブランク状態		フルスピード・モード
	HS(高速メイン)モード	1 MHz ~ 24 MHz	フルスピード・モード
	LS(低速メイン)モード注	1 MHz ~ 8 MHz	ワイド・ボルテージ・モード
$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	ブランク状態		フルスピード・モード
	HS(高速メイン)モード	1 MHz ~ 16 MHz	フルスピード・モード
	LS(低速メイン)モード注	1 MHz ~ 8 MHz	ワイド・ボルテージ・モード
$1.8\text{ V} \leq V_{DD} < 2.4\text{ V}$ 注	ブランク状態		ワイド・ボルテージ・モード
	LS(低速メイン)モード注	1 MHz ~ 8 MHz	ワイド・ボルテージ・モード

注 R5F11Rのみ。

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

備考2. 通信コマンドの詳細は、34.4.4 通信コマンドを参照してください。

34.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表 34 - 6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・ プログラマ使用時, また は外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

34.4.4 通信コマンド

RL78マイクロコントローラは、表34-7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、RL78マイクロコントローラ (RL78プロトコルA) プラグラマ編アプリケーション・ノート (R01AN0815) を参照してください。

表34-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Silicon Signature	RL78マイクロコントローラ情報(品名, フラッシュ・メモリ構成, プログラミング用ファームウェア・バージョンなど)を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注意 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

備考 Silicon Signatureコマンドが実行されると、情報(品名, ファームウェア・バージョン)を取得することができます。

表34-8 シグネチャ・データ一覧, 表34-9 シグネチャ・データ例を示します。

表34-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名(ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-0FFFFH (64 KB) → FFH, FFH, 00H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F1FFFH (4 KB) → FFH, 1FH, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表34-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ(16進数)
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F11NME	10バイト	52 = "R" 35 = "5" 46 = "F" 31 = "1" 31 = "1" 4E = "N" 4D = "M" 45 = "E" 20 = " " 20 = " "
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-FFFFH (64 KB)	3バイト	FF FF 00
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F1FFFH (4 KB)	3バイト	FF 1F 00
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

34.5 PG-FP6使用時の各コマンド処理時間(参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP6を使用した場合の各コマンド処理時間(参考値)を次に示します。

表 34 - 10 PG-FP6使用時の各コマンド処理時間(参考値)

PG-FP6のコマンド	コード・フラッシュ		
	64 Kバイト	96 Kバイト	128 Kバイト
消去	1.5 s	1.5 s	2 s
書き込み	2.3 s	2.7 s	3.2 s
ベリファイ	2 s	3 s	3.5 s
消去後、書き込み	3 s	4 s	4.5 s

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port: TOOL0 (単線UART)

Speed: 1,000,000 bps

Mode: フルスピード・モード(フラッシュ動作モード: HS(高速メイン)モード)

34.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI 命令によりIEフラグがクリア(0)されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、セルフ・プログラミング・ライブラリを実行してください。

注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作(HIOSTOP=0)させ、30 μ s経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考1. セルフ・プログラミング機能の詳細は、RL78 マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル(R01US0050)を参照してください。

備考2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト 000C2H の CMODE1, CMODE0 設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS(高速メイン)モード設定時はフルスピード・モードに、LS(低速メイン)モード設定時はワイド・ボルテージ・モードに設定してください。

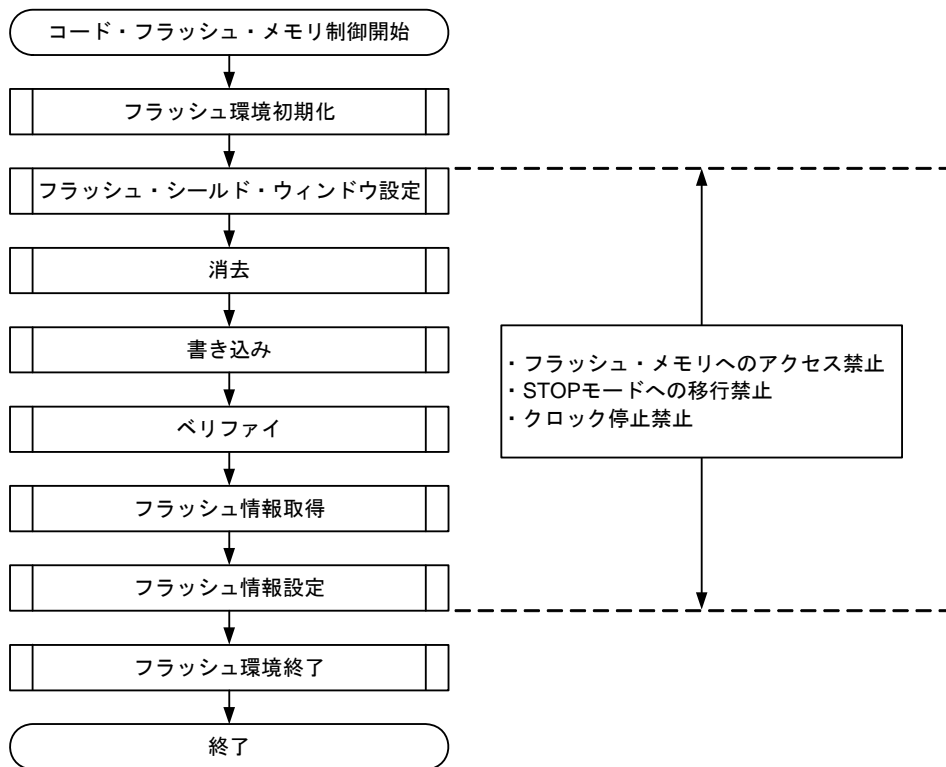
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数 FSL_Init 実行時に、引数である fsl_flash_voltage_u08 が 00H であればフルスピード・モードに、00H 以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行う上で制限事項はありません。

34.6.1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図34-8 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れ



34.6.2 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

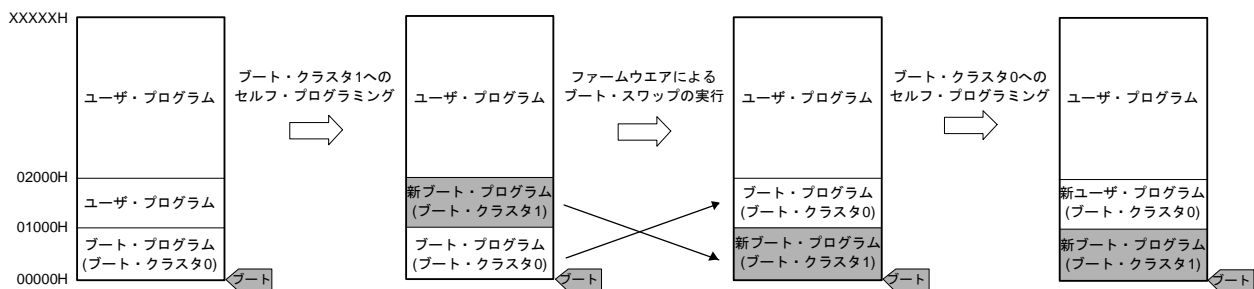
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート領域であるブート・クラスタ0^注の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、RL78マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4 Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図34-9 ブート・スワップ機能

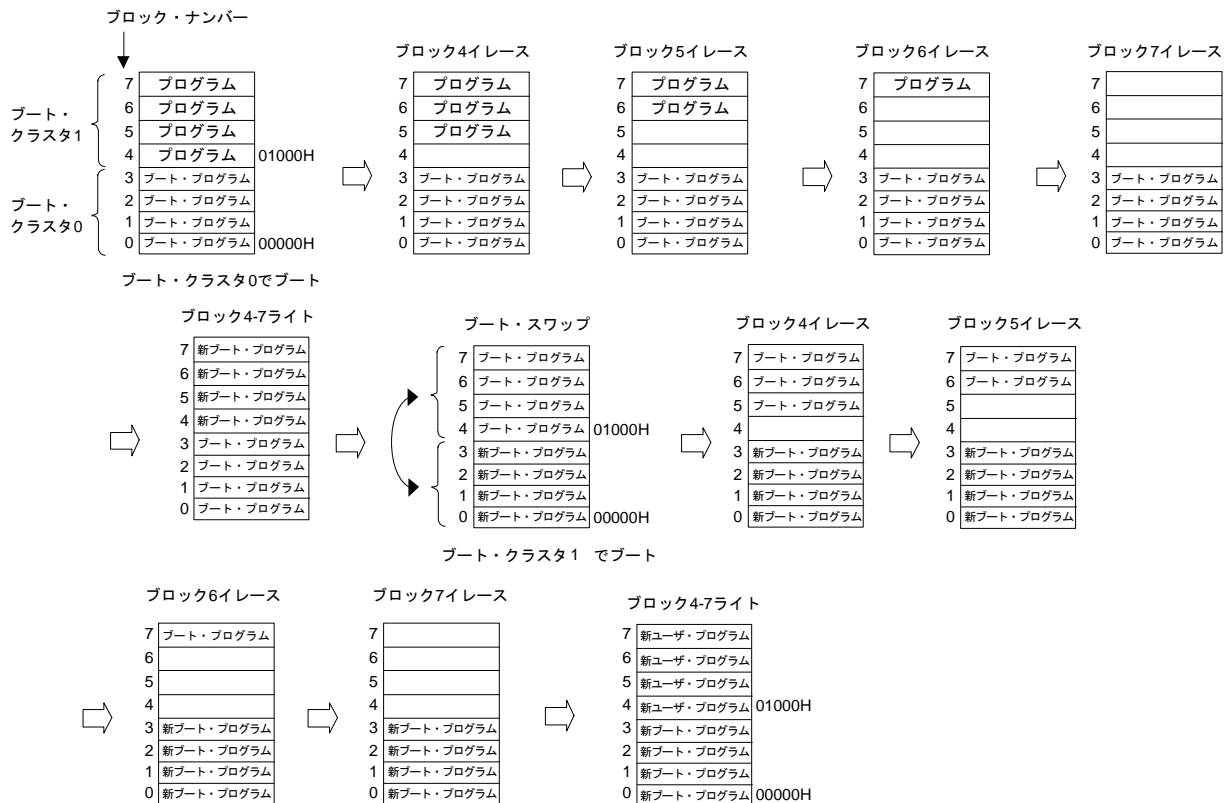


この図の例では、次のようになっています。

ブート・クラスタ0：ブート・スワップ前のブート領域です。

ブート・クラスタ1：ブート・スワップ後のブート領域です。

図34-10 ブート・スワップの実行例



34.6.3 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図34-11 フラッシュ・シールド・ウインドウの設定例
(対象デバイス：R5F11NME，スタート・ブロック：04H，エンド・ブロック：06Hの場合)



注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表34-11 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 シリアル・プログラミング時の書き込み/消去を禁止したい場合には、34.7 セキュリティ設定を参照してください。

34.7 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Set コマンドを使用することにより、次の操作をすることができます。

- ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

シリアル・プログラミング時に、コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止に設定後、Security Release コマンドによる解除はリセットで有効になります。

- ブート・クラスタ0の書き換え禁止

コード・フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 34-12 に示します。

注意 ただし、専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は34.6.3を参照)。

表34 - 12 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います (詳細は34.6.3を参照)。

表34 - 13 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 書き込み禁止設定の解除は、ブロック消去禁止、ブート・クラスタ0の書き換え禁止に設定されていない状態で、かつコード・フラッシュ領域およびデータ・フラッシュ領域がブランクの場合のみ可能です。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない(シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラマのGUI上などで設定する)
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

34.8 データ・フラッシュ

34.8.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、RL78ファミリ データ・フラッシュ・ライブラリ ユーザーズ・マニュアルを参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは、8ビット単位でのみアクセス可能
- データ・フラッシュは、CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行が可能
(バックグラウンド・オペレーション(BGO)対応)
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中(セルフ・プログラミング時)に、データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ(DFLCTL)を必ず設定してください。

注意2. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

備考 ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては、34.6 セルフ・プログラミングを参照してください。

34.8.2 データ・フラッシュを制御するレジスタ

34.8.2.1 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図34-12 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

34.8.3 データ・フラッシュへのアクセス手順

リセット解除後、データ・フラッシュは停止状態であり、そのままではアクセス(リードおよびプログラミング)はできません。データ・フラッシュへアクセスするには、以下の手順で初期設定を行う必要があります。

初期設定後は、CPU 命令による読み出し、またはデータ・フラッシュ・ライブラリによる読み出し/書き換えが可能です。

- ①データ・フラッシュ・コントロール・レジスタ (DFLCTL)のビット0 (DFLEN)に1を書き込む。
- ②ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。
<各フラッシュの動作モードでのセットアップ時間>
 - HS (高速メイン)モード時： 5 μ s
 - LS (低速メイン)モード時： 720 ns
- ③セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は、データ・フラッシュへのアクセス禁止です。

注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

注意3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

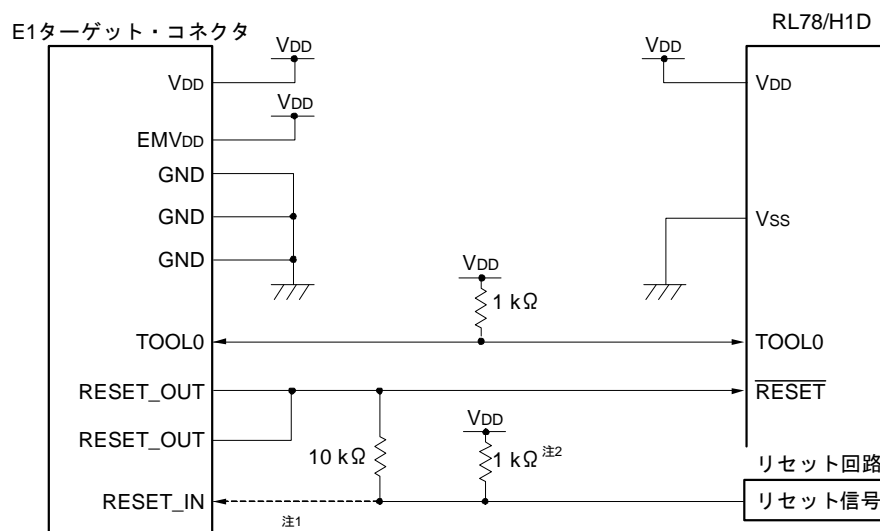
第35章 オンチップ・デバッグ機能

35.1 E1オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、 \overline{RESET} 、 $TOOL0$ 、 V_{SS} 端子を使用します。シリアル通信としては、 $TOOL0$ 端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超過してしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図35-1 E1オンチップデバッグエミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

35.2 オンチップ・デバッグ・セキュリティ ID

RL78 マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第33章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと010C3H、010C4H-010CDHが切り替わるので、あらかじめ010C3H、010C4H-010CDHにも同じ値を設定してください。

表35-1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード注 (ALL FFHを除く)
010C4H-010CDH	

注 “FFFFFFFFFFFFFFFFFFFFH”は設定できません。

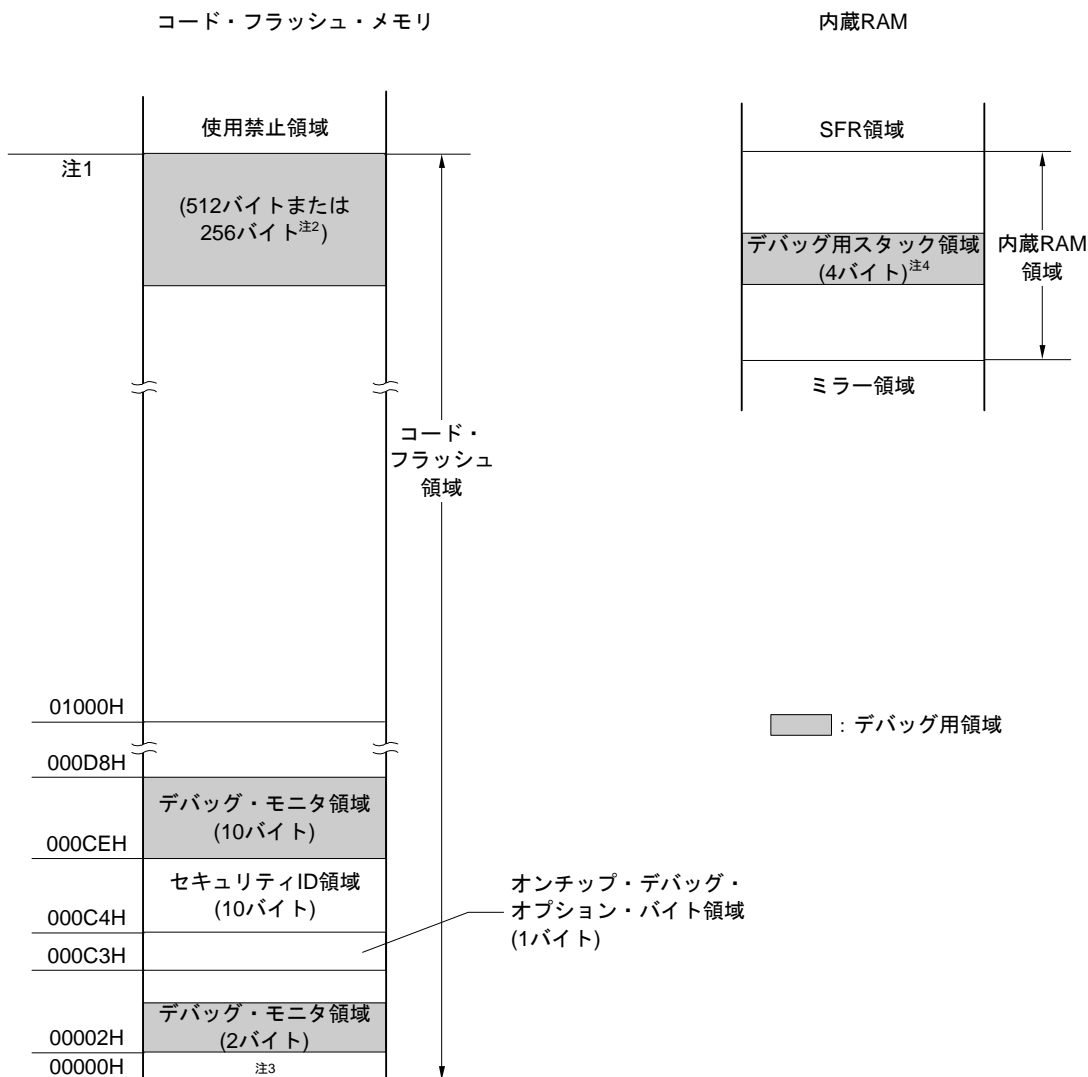
35.3 ユーザ資源の確保

RL78 マイクロコントローラとE1オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図35-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図 35 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名 (コード・フラッシュ・メモリ容量)	注1のアドレス
R5F11NME	0FFFFH
R5F11xF (x = NG, NL, NM, PL)	17FFFH
R5F11xG (x = NG, NL, NM, PL), R5F11RMG	1FFFFH

注2. リアルタイムRAMモニタ (RRM)機能, Dynamic Memory Modification (DMM)機能を使用しない場合は256バイトになります。

注3. デバッグ時, リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため, スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し, 4バイト余分に消費します。

セルフプログラミングを行う場合は, 12バイト余分に消費します。

第36章 10進補正(BCD)回路

36.1 10進補正回路の機能

BCDコード(2進化10進数)とBCDコード(2進化10進数)の加減算結果を、BCDコード(2進化10進数)で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ(BCDADJ)を加減算することで10進補正演算結果が求められます。

36.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- BCD補正結果レジスタ(BCDADJ)

36.2.1 BCD補正結果レジスタ(BCDADJ)

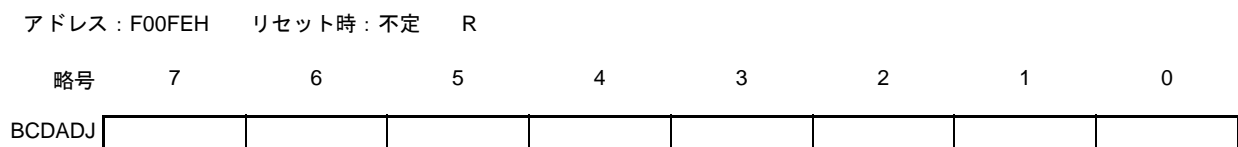
BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図36-1 BCD補正結果レジスタ(BCDADJ)のフォーマット



36.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

- (1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める
- ①加算したいBCDコード値(被加算値)をAレジスタに格納する。
 - ②Aレジスタと第2オペランドの値(もう1つの加算したいBCDコード値, 加算値)を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ(BCDADJ)に格納される。
 - ③Aレジスタ(2進数での加算結果)とBCDADJレジスタの値(補正値)を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ;①	99H	—	—	—
ADD A, #89H ;②	22H	1	1	66H
ADD A, !BCDADJ ;③	88H	1	0	—

例2 $85 + 15 = 100$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ;①	85H	—	—	—
ADD A, #15H ;②	9AH	0	0	66H
ADD A, !BCDADJ ;③	00H	1	1	—

例3 $80 + 80 = 160$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ;①	80H	—	—	—
ADD A, #80H ;②	00H	1	0	60H
ADD A, !BCDADJ ;③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ①減算されるBCDコード値(被減算値)をAレジスタに格納する。
- ②Aレジスタから第2オペランドの値(減算するBCDコード値, 減算値)を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での減算結果)からBCDADJレジスタの値(補正值)を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW(CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令		Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #91H ;①	91H	—	—	—
SUB	A, #52H ;②	3FH	0	1	06H
SUB	A, !BCDADJ ;③	39H	0	0	—

第37章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、RL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015)を参照してください。

37.1 凡例

37.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様によります)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [,], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- #: イミーディエト・データ指定
- !: 16ビット絶対アドレス指定
- !!: 20ビット絶対アドレス指定
- \$: 8ビット相対アドレス指定
- \$!: 16ビット相対アドレス指定
- []: 間接アドレス指定
- ES: 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [,], ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称(X, A, Cなど)、絶対名称(表37-1中のカッコ内の名称, R0, R1, R2など)のいずれの形式でも記述可能です。

表 37 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号(SFR略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号(16ビット操作可能なSFR略号。偶数アドレスのみ注) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル(偶数アドレスのみ注)
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル(16ビット・データ時は偶数アドレスのみ注)
addr5	0080H-00BFH イミーディエト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が0になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-6 拡張SFR (2nd SFR)一覧を参照してください。

37.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表37-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
XH, XL	16ビット・レジスタの場合はXH=上位8ビット, XL=下位8ビット
Xs, XH, XL	20ビット・レジスタの場合はXs (ビット19-16), XH (ビット15-8), XL (ビット7-0)
\wedge	論理積 (AND)
\vee	論理和 (OR)
∇	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

37.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表37-3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

37.1.4 PREFIX 命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F000H-FFFFFH の 64 Kバイト空間から、ES レジスタの値を付加した 00000H-FFFFFH の 1 Mバイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表 37 - 4 PREFIX 命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A など事前に設定しておいてください。

37.2 オペレーション一覧

表37-5 オペレーション一覧(1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	x	x	x
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte			
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte			
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte			
		word[B], #byte	4	1	—	(B + word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte			
		word[C], #byte	4	1	—	(C + word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte			
		word[BC], #byte	4	1	—	(BC + word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte			
		A, r 注3	1	1	—	A ← r			
		r, A 注3	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	x	x	x
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	—	(addr16) ← A			
ES:!addr16, A	4	2	—	(ES, addr16) ← A					
A, saddr	2	1	—	A ← (saddr)					
saddr, A	2	1	—	(saddr) ← A					

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。
- 注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。
- 注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表37-5 オペレーション一覧(2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	—	A ← sfr			
		sfr, A	2	1	—	sfr ← A			
		A, [DE]	1	1	4	A ← (DE)			
		[DE], A	1	1	—	(DE) ← A			
		A, ES:[DE]	2	2	5	A ← (ES, DE)			
		ES:[DE], A	2	2	—	(ES, DE) ← A			
		A, [HL]	1	1	4	A ← (HL)			
		[HL], A	1	1	—	(HL) ← A			
		A, ES:[HL]	2	2	5	A ← (ES, HL)			
		ES:[HL], A	2	2	—	(ES, HL) ← A			
		A, [DE+byte]	2	1	4	A ← (DE + byte)			
		[DE+byte], A	2	1	—	(DE + byte) ← A			
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	—	((ES, DE) + byte) ← A			
		A, [HL+byte]	2	1	4	A ← (HL + byte)			
		[HL+byte], A	2	1	—	(HL + byte) ← A			
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	—	((ES, HL) + byte) ← A			
		A, [SP+byte]	2	1	—	A ← (SP + byte)			
		[SP+byte], A	2	1	—	(SP + byte) ← A			
		A, word[B]	3	1	4	A ← (B + word)			
		word[B], A	3	1	—	(B + word) ← A			
		A, ES:word[B]	4	2	5	A ← ((ES, B) + word)			
		ES:word[B], A	4	2	—	((ES, B) + word) ← A			
		A, word[C]	3	1	4	A ← (C + word)			
		word[C], A	3	1	—	(C + word) ← A			
		A, ES:word[C]	4	2	5	A ← ((ES, C) + word)			
		ES:word[C], A	4	2	—	((ES, C) + word) ← A			
		A, word[BC]	3	1	4	A ← (BC + word)			
		word[BC], A	3	1	—	(BC + word) ← A			
A, ES:word[BC]	4	2	5	A ← ((ES, BC) + word)					
ES:word[BC], A	4	2	—	((ES, BC) + word) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 37 - 5 オペレーション一覧 (3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$				
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$				
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$				
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$				
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$				
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$				
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$				
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$				
		X, !addr16	3	1	4	$X \leftarrow (addr16)$				
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$				
		X, saddr	2	1	—	$X \leftarrow (saddr)$				
		B, !addr16	3	1	4	$B \leftarrow (addr16)$				
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$				
		B, saddr	2	1	—	$B \leftarrow (saddr)$				
		C, !addr16	3	1	4	$C \leftarrow (addr16)$				
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$				
		C, saddr	2	1	—	$C \leftarrow (saddr)$				
		ES, saddr	3	1	—	$ES \leftarrow (saddr)$				
	XCH	A, r	注3	1 (r = X) 2 (r = X以外)	1	—	$A \leftrightarrow r$			
			A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
A, ES:!addr16			5	3	—	$A \leftrightarrow (ES, addr16)$				
A, saddr			3	2	—	$A \leftrightarrow (saddr)$				
A, sfr			3	2	—	$A \leftrightarrow sfr$				
A, [DE]			2	2	—	$A \leftrightarrow (DE)$				
A, ES:[DE]			3	3	—	$A \leftrightarrow (ES, DE)$				
A, [HL]			2	2	—	$A \leftrightarrow (HL)$				
A, ES:[HL]			3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]			3	2	—	$A \leftrightarrow (DE + byte)$				
A, ES:[DE+byte]			4	3	—	$A \leftrightarrow ((ES, DE) + byte)$				
A, [HL+byte]			3	2	—	$A \leftrightarrow (HL + byte)$				
A, ES:[HL+byte]	4	3	—	$A \leftrightarrow ((ES, HL) + byte)$						

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表37-5 オペレーション一覧(4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	XCH	A, [HL+B]	2	2	—	$A \leftrightarrow (HL + B)$			
		A, ES:[HL+B]	3	3	—	$A \leftrightarrow ((ES, HL) + B)$			
		A, [HL+C]	2	2	—	$A \leftrightarrow (HL + C)$			
		A, ES:[HL+C]	3	3	—	$A \leftrightarrow ((ES, HL) + C)$			
	ONEB	A	1	1	—	$A \leftarrow 01H$			
		X	1	1	—	$X \leftarrow 01H$			
		B	1	1	—	$B \leftarrow 01H$			
		C	1	1	—	$C \leftarrow 01H$			
		!addr16	3	1	—	$(addr16) \leftarrow 01H$			
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 01H$			
		saddr	2	1	—	$(saddr) \leftarrow 01H$			
	CLRB	A	1	1	—	$A \leftarrow 00H$			
		X	1	1	—	$X \leftarrow 00H$			
		B	1	1	—	$B \leftarrow 00H$			
		C	1	1	—	$C \leftarrow 00H$			
		!addr16	3	1	—	$(addr16) \leftarrow 00H$			
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 00H$			
		saddr	2	1	—	$(saddr) \leftarrow 00H$			
	MOVS	[HL+byte], X	3	1	—	$(HL + byte) \leftarrow X$	×		×
		ES:[HL+byte], X	4	2	—	$(ES, HL + byte) \leftarrow X$	×		×
16 ビット ・ デー タ 転 送	MOVW	rp, #word	3	1	—	$rp \leftarrow word$			
		saddrp, #word	4	1	—	$(saddrp) \leftarrow word$			
		sfrp, #word	4	1	—	$sfrp \leftarrow word$			
		AX, rp 注3	1	1	—	$AX \leftarrow rp$			
		rp, AX 注3	1	1	—	$rp \leftarrow AX$			
		AX, !addr16	3	1	4	$AX \leftarrow (addr16)$			
		!addr16, AX	3	1	—	$(addr16) \leftarrow AX$			
		AX, ES:!addr16	4	2	5	$AX \leftarrow (ES, addr16)$			
		ES:!addr16, AX	4	2	—	$(ES, addr16) \leftarrow AX$			
		AX, saddrp	2	1	—	$AX \leftarrow (saddrp)$			
		saddrp, AX	2	1	—	$(saddrp) \leftarrow AX$			
		AX, sfrp	2	1	—	$AX \leftarrow sfrp$			
		sfrp, AX	2	1	—	$sfrp \leftarrow AX$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。
CPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表37-5 オペレーション一覧(5/18)

命令群	二モニク	オペラント	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ デー タ 転 送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)			
		ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表37-5 オペレーション一覧(6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
BC		1	1	—	BC ← 0000H				
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	×	×	×
		A, r 注4	2	1	—	A, CY ← A + r	×	×	×
		r, A	2	1	—	r, CY ← r + A	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A + (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL)	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	×	×	×
A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	×	×	×		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

注4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表37-5 オペレーション一覧(7/18)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	x	x	x
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	x	x	x
A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	x	x	x		
A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	x	x	x		
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表37-5 オペレーション一覧(8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	A, CY ← A - byte - CY	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) - byte - CY	x	x	x
		A, r 注3	2	1	—	A, CY ← A - r - CY	x	x	x
		r, A	2	1	—	r, CY ← r - A - CY	x	x	x
		A, laddr16	3	1	4	A, CY ← A - (addr16) - CY	x	x	x
		A, ES:laddr16	4	2	5	A, CY ← A - (ES, addr16) - CY	x	x	x
		A, saddr	2	1	—	A, CY ← A - (saddr) - CY	x	x	x
		A, [HL]	1	1	4	A, CY ← A - (HL) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A - (ES, HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A - (HL + byte) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A - ((ES, HL) + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A - (HL + B) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A - ((ES, HL) + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A - (HL + C) - CY	x	x	x
		A, ES:[HL+C]	3	2	5	A, CY ← A - ((ES:HL) + C) - CY	x	x	x
	AND	A, #byte	2	1	—	A ← A ∧ byte	x		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∧ byte	x		
		A, r 注3	2	1	—	A ← A ∧ r	x		
		r, A	2	1	—	r ← r ∧ A	x		
		A, laddr16	3	1	4	A ← A ∧ (addr16)	x		
		A, ES:laddr16	4	2	5	A ← A ∧ (ES:addr16)	x		
		A, saddr	2	1	—	A ← A ∧ (saddr)	x		
		A, [HL]	1	1	4	A ← A ∧ (HL)	x		
		A, ES:[HL]	2	2	5	A ← A ∧ (ES:HL)	x		
		A, [HL+byte]	2	1	4	A ← A ∧ (HL + byte)	x		
		A, ES:[HL+byte]	3	2	5	A ← A ∧ ((ES:HL) + byte)	x		
A, [HL+B]	2	1	4	A ← A ∧ (HL + B)	x				
A, ES:[HL+B]	3	2	5	A ← A ∧ ((ES:HL) + B)	x				
A, [HL+C]	2	1	4	A ← A ∧ (HL + C)	x				
A, ES:[HL+C]	3	2	5	A ← A ∧ ((ES:HL) + C)	x				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = A を除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表37-5 オペレーション一覧(9/18)

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	x		
		A, r 注3	2	1	—	$A \leftarrow A \vee r$	x		
		r, A	2	1	—	$r \leftarrow r \vee A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	x		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	x		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	x		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	x		
	A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	x			
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	x		
		A, r 注3	2	1	—	$A \leftarrow A \nabla r$	x		
		r, A	2	1	—	$r \leftarrow r \nabla A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$	x		
A, [HL+B]		2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$	x			
A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$	x				
A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$	x				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$	x				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表 37 - 5 オペレーション一覧(10/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	CMP	A, #byte	2	1	—	A - byte	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x
		saddr, #byte	3	1	—	(saddr) - byte	x	x	x
		A, r 注3	2	1	—	A - r	x	x	x
		r, A	2	1	—	r - A	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, saddr	2	1	—	A - (saddr)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
	A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x	
	CMP0	A	1	1	—	A - 00H	x	0	0
		X	1	1	—	X - 00H	x	0	0
		B	1	1	—	B - 00H	x	0	0
		C	1	1	—	C - 00H	x	0	0
		!addr16	3	1	4	(addr16) - 00H	x	0	0
		ES:!addr16	4	2	5	(ES:addr16) - 00H	x	0	0
		saddr	2	1	—	(saddr) - 00H	x	0	0
	CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x
		X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = A を除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 37 - 5 オペレーション一覧 (11/18)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	x	x	x
		AX, AX	1	1	—	AX, CY ← AX + AX	x	x	x
		AX, BC	1	1	—	AX, CY ← AX + BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX + DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX + HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	x	x	x
	AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	x	x	x	
	SUBW	AX, #word	3	1	—	AX, CY ← AX - word	x	x	x
		AX, BC	1	1	—	AX, CY ← AX - BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX - DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX - HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX - (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX - (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX - (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX - (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX - ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	—	AX - word	x	x	x
		AX, BC	1	1	—	AX - BC	x	x	x
		AX, DE	1	1	—	AX - DE	x	x	x
		AX, HL	1	1	—	AX - HL	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX - (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 37 - 5 オペレーション一覧(12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)		×	×
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)		×	×

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合, 割り込み禁止状態(DI)で実行してください。

ただし, RAM領域での命令実行を除き, アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は, 割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。

下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合, その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサス エレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

備考2. MACR : 積和演算累計レジスタ (MACRH, MACRL)

表 37-5 オペレーション一覧(13/18)

命令群	ニモニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r + 1$	x	x	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	x	x	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	x	x	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	x	x	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$	x	x	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	x	x	
	DEC	r	1	1	—	$r \leftarrow r - 1$	x	x	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	x	x	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	x	x	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	x	x	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$	x	x	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	x	x	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
DECW	rp	1	1	—	$rp \leftarrow rp - 1$				
	!addr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$				
	ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$				
	saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$				
	[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$				
	ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$				
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			x
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			x
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			x
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			x
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			x
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			x
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			x
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			x
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

備考2. cntはビット・シフト数です。

表 37-5 オペレーション一覧(14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A7 \leftarrow A0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A0 \leftarrow A7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A0, A7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A7, A0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX,1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
		BC,1	2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY,[HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	CY, ES:[HL].bit	3	2	5	$CY \leftarrow (ES, HL).bit$			×	
	ES:[HL].bit, CY	3	3	—	$(ES, HL).bit \leftarrow CY$				
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY,[HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
CY, saddr.bit		3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×	
CY, sfr.bit		3	1	—	$CY \leftarrow CY \vee sfr.bit$			×	
CY, [HL].bit		2	1	4	$CY \leftarrow CY \vee (HL).bit$			×	
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 37 - 5 オペレーション一覧(15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			x
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			x
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			x
SET1	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
CLR1	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$			
SET1	SET1	CY	2	1	—	$CY \leftarrow 1$			1
CLR1	CLR1	CY	2	1	—	$CY \leftarrow 0$			0
NOT1	NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 37 - 5 オペレーション一覧(16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP - 2) ← (PC + 2)s, (SP - 3) ← (PC + 2)H, (SP - 4) ← (PC + 2)L, PC ← CS, rp, SP ← SP - 4			
		\$!addr20	3	3	—	(SP - 2) ← (PC + 3)s, (SP - 3) ← (PC + 3)H, (SP - 4) ← (PC + 3)L, PC ← PC + 3 + jdisp16, SP ← SP - 4			
		!addr16	3	3	—	(SP - 2) ← (PC + 3)s, (SP - 3) ← (PC + 3)H, (SP - 4) ← (PC + 3)L, PC ← 0000, addr16, SP ← SP - 4			
		!!addr20	4	3	—	(SP - 2) ← (PC + 4)s, (SP - 3) ← (PC + 4)H, (SP - 4) ← (PC + 4)L, PC ← addr20, SP ← SP - 4			
	CALLT	[addr5]	2	5	—	(SP - 2) ← (PC + 2)s, (SP - 3) ← (PC + 2)H, (SP - 4) ← (PC + 2)L, PCs ← 0000, PCH ← (0000, addr5 + 1), PCL ← (0000, addr5), SP ← SP - 4			
	BRK	—	2	5	—	(SP - 1) ← PSW, (SP - 2) ← (PC + 2)s, (SP - 3) ← (PC + 2)H, (SP - 4) ← (PC + 2)L, PCs ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP - 4, IE ← 0			
	RET	—	1	6	—	PCL ← (SP), PCH ← (SP + 1), PCs ← (SP + 2), SP ← SP + 4			
	RETI	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PCs ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R
	RETB	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PCs ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 37 - 5 オペレーション一覧(17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP - 1) ← PSW, (SP - 2) ← 00H, SP ← SP - 2			
		rp	1	1	—	(SP - 1) ← rpH, (SP - 2) ← rpL, SP ← SP - 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP + byte				
SUBW	SP, #byte	2	1	—	SP ← SP - byte				
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 0			
	BNH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 1			
	BT	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は条件不成立時/条件成立時を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 37 - 5 オペレーション一覧(18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z V CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z V CY) = 1			
CPU制御	SEL注4	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は条件不成立時/条件成立時を表しています。

注4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

第38章 電気的特性 (R5F11N, R5F11P) (A: $T_A = -40 \sim +85^\circ\text{C}$)

この章では、A：民生用途($T_A = -40 \sim +85^\circ\text{C}$)の電気的特性を示します。

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. 製品により搭載している端子が異なります。2.1 ポート機能～2.2 ポート以外の機能を参照してください。

38.1 絶対最大定格

絶対最大定格

(1/3)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	AVDD	AVDD = VDD	-0.5 ~ +6.5	V
	AVSS	AVSS = VSS	-0.5 ~ +0.3	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD+0.3 ^{注1}	V
REGA端子入力電圧	VIREGA	REGA	-0.3 ~ +2.8 かつ -0.3 ~ AVDD+0.3 ^{注2}	V
入力電圧	Vi1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P121-P124, P125-P127, P137, EXCLK, EXCLKS, RESET	-0.3 ~ VDD+0.3 ^{注3}	V
	Vi2	P60, P61 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
出力電圧	VO1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P60, P61, P70-P77, P80-P86, P125-P127	-0.3 ~ VDD+0.3 ^{注3}	V
アナログ入力電圧	VAi1	ANI8-ANI11	-0.3 ~ VDD+0.3 ^{注3}	V
	VAi2	ANI12-ANI14 PGA00P, PGA01P, PGA10P, PGA11P, PGA00N, PGA01N, PGA10N, PGA11N, AMP0P-AMP2P, AMP0N-AMP2N	-0.3 ~ AVDD+0.3 ^{注3}	V
アナログ出力電圧	VOA	SBIAS, PGA10, AMP00-AMP20	-0.3 ~ AVDD+0.3 ^{注3}	V

注1. REGC端子にはコンデンサ(0.47 ~ 1 μF)を介してVssに接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. REGA端子にはコンデンサ(0.22 μF)を介してAVssに接続してください。この値は、REGA端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注3. 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がない限り、兼用端子の特性はポート端子の特性と同じです。

備考2. VSS (VDD系) = AVSS(AVDD系)を基準電圧とする。

絶対最大定格

(2/3)

項目	略号	条件	定格	単位	
LCD 電圧	VL11	VL1 入力電圧 ^{注1}	-0.3 ~ +2.8	V	
	VL12	VL2 入力電圧 ^{注1}	-0.3 ~ +6.5	V	
	VL13	VL3 入力電圧 ^{注1}	-0.3 ~ +6.5	V	
	VL14	VL4 入力電圧 ^{注1}	-0.3 ~ +6.5	V	
	VL15	CAPL, CAPH 入力電圧 ^{注1}	-0.3 ~ +6.5	V	
	VLO1	VL1 出力電圧	-0.3 ~ +2.8	V	
	VLO2	VL2 出力電圧	-0.3 ~ +6.5	V	
	VLO3	VL3 出力電圧	-0.3 ~ +6.5	V	
	VLO4	VL4 出力電圧	-0.3 ~ +6.5	V	
	VLO5	CAPL, CAPH 出力電圧	-0.3 ~ +6.5	V	
	VLO6	COM0-COM7 SEG0-SEG35 出力電圧	外部抵抗分割方式	-0.3 ~ VDD+0.3 ^{注2}	V
			容量分割方式	-0.3 ~ VDD+0.3 ^{注2}	V
内部昇圧方式			-0.3 ~ VL14+0.3 ^{注2}	V	

注1. この値は、VL1, VL2, VL3, VL4 端子への電圧印加する場合の絶対最大定格を規定するものであり、電圧印加して使用することを推奨しているわけではありません。内部昇圧方式、容量分割方式の場合、VL1, VL2, VL3, VL4 端子にはコンデンサ (0.47 $\mu\text{F} \pm 30\%$) を介して VSS に接続し、CAPL 端子、CAPH 端子間にもコンデンサ (0.47 $\mu\text{F} \pm 30\%$) を接続してください。

注2. 6.5 V 以下であること。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

絶対最大定格

(3/3)

項目	略号	条件	定格	単位	
ハイ・レベル出力電流	IOH1	1端子	-40	mA	
		端子合計 -170 mA	P40, P43, P44, P80-P83	-70	mA
			P01-P07, P10-P17, P30-P32, P35-P37, P50-P53, P70-P77, P84-P86, P125-P127	-100	mA
ロウ・レベル出力電流	IOL1	1端子	40	mA	
		端子合計 170 mA	P40, P43, P44, P80-P83	70	mA
			P01-P07, P10-P17, P30-P32, P35-P37, P50-P53, P60, P61, P70-P77, P84-P86, P125-P127	100	mA
動作周囲温度	TA	通常動作時	-40 ~ +85	°C	
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg		-65 ~ +150	°C	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

38.2 発振回路特性

38.2.1 X1, XT1 発振回路特性

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (fx) ^注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	
XT1クロック発振周波数 (fxT) ^注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS)の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

38.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1,2	f _H	2.7 V ≤ VDD ≤ 5.5 V	1		24	MHz
		2.4 V ≤ VDD < 2.7 V	1		16	MHz
高速オンチップ・オシレータ・クロック周波数精度	f _H	-20 ~ +85°C 2.4 V ≤ VDD ≤ 5.5 V	-1.0		+1.0	%
		-40 ~ -20°C 2.4 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
低速オンチップ・オシレータ・クロック周波数	f _L			15		kHz
低速オンチップ・オシレータ・クロック周波数精度	f _L		-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/010C2H) のビット 0-4 および HOCODIV レジスタのビット 0-2 によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

38.3 DC特性

38.3.1 端子特性

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127 1端子			-10.0 ^{注2}	mA	
		P40, P43, P44, P80-P83	4.0 V ≤ VDD ≤ 5.5 V		-55	mA	
		合計	2.7 V ≤ VDD < 4.0 V		-10	mA	
		(デューティ ≤ 70%時 ^{注3})	2.4 V ≤ VDD < 2.7 V		-5	mA	
		P01-P07, P10-P17, P30-P32, P35-P37, P50-P53, P70-P77, P84-P86, P125-P127	4.0 V ≤ VDD ≤ 5.5 V		-69	mA	
			2.7 V ≤ VDD < 4.0 V		-23	mA	
			2.4 V ≤ VDD < 2.7 V		-12	mA	
		合計					
		(デューティ ≤ 70%時 ^{注3})					
		合計	2.4 V ≤ VDD ≤ 5.5 V			-124	mA
(デューティ ≤ 70%時 ^{注3})							

注1. VDD端子(IOH1)から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. ただし、合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

• 端子合計の出力電流 = (IOH × 0.7)/(n × 0.01)

<計算例> IOH = -10.0 mAの場合、n = 80%

端子合計の出力電流 = (-10.0 × 0.7)/(80 × 0.01) ≒ -8.7 mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P02-P04, P06, P07, P10, P35-P37, P40, P43, P44, P50-P52, P80-P82は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127 1端子			20.0 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
		P40, P43, P44, P80-P83 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			70	mA
			2.7 V ≤ VDD < 4.0 V			15	mA
			2.4 V ≤ VDD < 2.7 V			9	mA
		P01-P07, P10-P17, P30-P32, P35-P37, P50-P53, P60, P61, P70-P77, P84-P86, P125-P127 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			90	mA
			2.7 V ≤ VDD < 4.0 V			35	mA
			2.4 V ≤ VDD < 2.7 V			20	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})				160	mA

注1. 出力端子からVSS端子(IOL1)に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\bullet \text{ 端子合計の出力電流} = (IOL \times 0.7) / (n \times 0.01)$$

<計算例> IOL = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127	通常入力バッファ	0.8 VDD		VDD	V
	VIH2	TTLモード対応ポート	TTL入力バッファ 4.0 V ≤ VDD ≤ 5.5 V	2.2		VDD	V
			TTL入力バッファ 3.3 V ≤ VDD < 4.0 V	2.0		VDD	V
			TTL入力バッファ 2.4 V ≤ VDD < 3.3 V	1.50		VDD	V
	VIH4	P60, P61		0.7 VDD		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P60, P61, P70-P77, P80-P86, P125-P127	通常入力バッファ	0		0.2 VDD	V
	VIL2	TTLモード対応ポート	TTL入力バッファ 4.0 V ≤ VDD ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ VDD < 4.0 V	0		0.5	V
			TTL入力バッファ 2.4 V ≤ VDD < 3.3 V	0		0.32	V
	VIL4	P60, P61		0		0.3 VDD	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0		0.2 VDD	V

注意 P02-P04, P06, P07, P10, P35-P37, P40, P43, P44, P50-P52, P80-P82は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127	4.0 V ≤ VDD ≤ 5.5 V, IOH = -10.0 mA	VDD - 1.5			V
			4.0 V ≤ VDD ≤ 5.5 V, IOH = -3.0 mA	VDD - 0.7			V
			2.7 V ≤ VDD ≤ 5.5 V, IOH = -2.0 mA	VDD - 0.6			V
			2.4 V ≤ VDD ≤ 5.5 V, IOH = -1.5 mA	VDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127	4.0 V ≤ VDD ≤ 5.5 V, IOL = 20.0 mA			1.3	V
			4.0 V ≤ VDD ≤ 5.5 V, IOL = 8.5 mA			0.7	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL = 3.0 mA			0.6	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL = 1.5 mA			0.4	V
			2.4 V ≤ VDD ≤ 5.5 V, IOL = 0.6 mA			0.4	V
			2.4 V ≤ VDD ≤ 5.5 V, IOL = 0.6 mA			0.4	V
	VOL3	P60, P61	4.0 V ≤ VDD ≤ 5.5 V, IOL = 15.0 mA			2.0	V
			4.0 V ≤ VDD ≤ 5.5 V, IOL = 5.0 mA			0.4	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL = 3.0 mA			0.4	V
			2.4 V ≤ VDD ≤ 5.5 V, IOL = 2.0 mA			0.4	V
			2.4 V ≤ VDD ≤ 5.5 V, IOL = 2.0 mA			0.4	V
			2.4 V ≤ VDD ≤ 5.5 V, IOL = 2.0 mA			0.4	V

注意 P02-P04, P06, P07, P10, P35-P37, P40, P43, P44, P50-P52, P80-P82は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 入力リーク電流	ILIH1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P60, P61, P70-P77, P80-P86, P125-P127, P137, RESET	Vi = VDD		1	μA		
	ILIH3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VDD		1	μA		
			入力ポート時, 外部クロック入力時 発振子接続時		10	μA		
ロウ・レベル 入力リーク電流	ILIL1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P60, P61, P70-P77, P80-P86, P125-P127, P137, RESET	Vi = VSS		-1	μA		
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VSS		-1	μA		
			入力ポート時, 外部クロック入力時 発振子接続時		-10	μA		
内蔵プルアップ抵抗	RU1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127	Vi = VSS, 入力ポート時		10	20	100	kΩ

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

38.3.2 電源電流特性

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 注1, 注6	IDD1	動作 モード	HS(高速メイン) モード注5	fIH = 24 MHz注3	基本動作	VDD = 5.0 V		1.7		mA
						VDD = 3.0 V		1.7		
				通常動作	VDD = 5.0 V		3.7	6.2		
					VDD = 3.0 V		3.7	6.2		
				fIH = 16 MHz注3	通常動作	VDD = 5.0 V		2.8	4.8	
						VDD = 3.0 V		2.8	4.8	
			HS(高速メイン) モード注5	fMX = 20 MHz注2, VDD = 5.0 V	通常動作	方形波入力		3.1	5.2	mA
						発振子接続		3.3	5.3	
				fMX = 20 MHz注2, VDD = 3.0 V	通常動作	方形波入力		3.0	5.2	
						発振子接続		3.3	5.3	
				fMX = 16 MHz注2, VDD = 5.0 V	通常動作	方形波入力		2.6	4.5	
						発振子接続		2.8	4.6	
		fMX = 16 MHz注2, VDD = 3.0 V		通常動作	方形波入力		2.6	4.5		
					発振子接続		2.8	4.6		
		fMX = 10 MHz注2, VDD = 5.0 V		通常動作	方形波入力		1.9	3.0		
					発振子接続		1.9	3.0		
		fMX = 10 MHz注2, VDD = 3.0 V		通常動作	方形波入力		1.9	3.0		
					発振子接続		1.9	3.0		
		サブシステム・ クロック動作	fSUB = 32.768 kHz注4 TA = -40°C	通常動作	方形波入力		4.3	5.8	μA	
					発振子接続		4.6	5.8		
			fSUB = 32.768 kHz注4 TA = +25°C	通常動作	方形波入力		4.3	5.8		
	発振子接続				4.6	5.8				
fSUB = 32.768 kHz注4 TA = +50°C	通常動作		方形波入力		4.5	7.6				
			発振子接続		4.5	7.6				
fSUB = 32.768 kHz注4 TA = +70°C	通常動作		方形波入力		4.7	9.2				
			発振子接続		5.1	9.2				
fSUB = 32.768 kHz注4 TA = +85°C	通常動作		方形波入力		5.2	12.6				
			発振子接続		5.7	12.6				

(注, 備考は次ページにあります。)

- 注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、LCDコントローラ/ドライバ、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。AFEに流れる電流は含みません。サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。
- 注2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注3. 高速システム・クロック、サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。
- 注5. 動作モード、動作電圧範囲、CPU動作周波数の関係を次に示します。
- HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5$ @ 1 MHz ~ 24 MHz
 $2.4\text{ V} \leq V_{DD} \leq 5.5$ @ 1 MHz ~ 16 MHz
- 注6. IDD1はAFEに流れる電流は含みません。動作モードまたはHALTモードまたはSTOPモード時にAFE動作中の場合、IDD1またはIDD2またはIDD3にAFE電流 (AVDD系) を加算した値が、RL78マイクロコントロールの電流値です。

備考1. fMX : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIH : 高速オンチップ・オシレータ・クロック周波数

備考3. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

備考4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25°Cです。

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 注1, 注8	IDD2注2	HALTモード	HS(高速メイン)モード注6	fIH = 24 MHz注4	VDD = 5.0 V		0.42	1.83	mA
					VDD = 3.0 V		0.42	1.83	
				fIH = 16 MHz注4	VDD = 5.0 V		0.39	1.38	
					VDD = 3.0 V		0.39	1.38	
			HS(高速メイン)モード注6	fMX = 20 MHz注3, VDD = 5.0 V	方形波入力		0.26	1.55	
					発振子接続		0.40	1.68	
				fMX = 20 MHz注3, VDD = 3.0 V	方形波入力		0.25	1.55	
					発振子接続		0.40	1.68	
				fMX = 16 MHz注3, VDD = 5.0 V	方形波入力		0.23	1.22	
					発振子接続		0.36	1.39	
			fMX = 16 MHz注3, VDD = 3.0 V	方形波入力		0.22	1.22		
				発振子接続		0.35	1.39		
			サブシステム・クロック動作	fSUB = 32.768 kHz注5 TA = -40°C	方形波入力		0.32	0.69	
					発振子接続		0.51	0.89	
	fSUB = 32.768 kHz注5 TA = +25°C	方形波入力			0.41	0.82			
		発振子接続			0.62	1.00			
	fSUB = 32.768 kHz注5 TA = +50°C	方形波入力			0.52	1.40			
		発振子接続			0.75	1.60			
	fSUB = 32.768 kHz注5 TA = +70°C	方形波入力		0.82	2.70				
		発振子接続		1.08	2.90				
fSUB = 32.768 kHz注5 TA = +85°C	方形波入力		1.38	4.95					
	発振子接続		1.62	5.15					
IDD3	STOPモード注7	TA = -40°C			0.20	0.59	μA		
		TA = +25°C			0.26	0.72			
		TA = +50°C			0.33	1.30			
		TA = +70°C			0.53	2.60			
		TA = +85°C			0.93	4.85			

(注, 備考は次ページにあります。)

- 注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、LCDコントローラ/ドライバ、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。AFEに流れる電流は含みません。サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。STOPモード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速システム・クロック、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。RTCLPC = 1、かつ超低消費発振 (AMPHS1 = 1) 設定時。
- 注6. 動作モード、動作電圧範囲、CPU動作周波数の関係を次に示します。
- HS (高速メイン)モード : $2.7\text{ V} \leq \text{VDD} \leq 5.5 @ 1\text{ MHz} \sim 24\text{ MHz}$
 $2.4\text{ V} \leq \text{VDD} \leq 5.5 @ 1\text{ MHz} \sim 16\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 注8. IDD2, 3はAFEに流れる電流は含みません。動作モードまたはHALTモードまたはSTOPモード時にAFE動作中の場合、IDD1またはIDD2またはIDD3にAFE電流 (AVDD系) を加算した値が、RL78マイクロコントロールの電流値です。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIH : 高速オンチップ・オシレータ・クロック周波数

備考3. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25°Cです。

周辺機能

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件				MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1						0.20		μA
RTC2動作電流	IRTC注1, 3	fSUB = 32.768kHz					0.02		μA
12ビット・インターバル・タイマ動作電流	ITMKA注1, 2, 4	fSUB = 32.768kHz, fMAIN停止					0.02		μA
8ビット・インターバル・タイマ動作電流	ITMRT注1, 14	fSUB = 32.768kHz fMAIN停止, 1ユニットあたり	8ビット・カウンタ・モード × 2ch 動作			0.12		μA	
			16ビット・カウンタ・モード動作			0.10		μA	
ウォッチドッグ・タイマ動作電流	IWDT注1, 5	fil = 15 kHz					0.22		μA
A/Dコンバータ動作電流	IADC注1, 6	最高速変換時	標準モード, VDD = 5.0 V			1.3	1.7	mA	
			低電圧モード, VDD = 3.0 V			0.5	0.7	mA	
内部基準電圧 (1.45V) 電流	IADREF注1, 7						85		μA
温度センサ動作電流	ITMPS注1						85		μA
LVD動作電流	ILVI注1, 8						0.06		μA
セルフ・プログラミング動作電流	IFSP注1, 9						2.0	12.2	mA
BGO動作電流	IBGO注1, 10						2.0	12.2	mA
SNOOZE動作電流	ISNOZ注1, 11	ADC動作	モード遷移中			0.50	0.60	mA	
			変換動作中、低電圧モード、VDD = 3.0 V			1.20	1.44	mA	
		簡易SPI(CSI)/UART動作			0.70	0.84			
		DTC動作			3.1			mA	
LCD動作電流	ILCD1注12, 13	外部抵抗分割方式	fLCD = fSUB	1/3バイアス	VDD = 5.0 V,	0.04	0.20	μA	
			LCDクロック = 128 Hz	4時分割	VL4 = 5.0 V				
	ILCD2注12	内部昇圧方式	fLCD = fSUB	1/3バイアス	VDD = 3.0 V,	0.85	2.20	μA	
			LCDクロック = 128 Hz	4時分割	VL4 = 3.0 V (VLCD = 04H)				
ILCD3注12	容量分割方式	fLCD = fSUB	1/3バイアス	VDD = 5.0 V,	1.55	3.70	μA		
		LCDクロック = 128 Hz	4時分割	VL4 = 5.1 V (VLCD = 12H)					
			fLCD = fSUB	1/3バイアス	VDD = 3.0 V,	0.20	0.50	μA	
			LCDクロック = 128 Hz	4時分割	VL4 = 3.0 V				

(注, 備考は次ページにあります。)

- 注1. VDDに流れる電流です。
- 注2. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- 注3. リアルタイム・クロック2にのみ流れる電流です(低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロック2の動作時は, IDD1またはIDD2にIRTCを加算した値がRL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロック2の動作電流が含まれています。
- 注4. 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマが動作時は, IDD1またはIDD2にITMKAを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作には12ビット・インターバル・タイマの動作電流が含まれています。
- 注5. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。STOPモード時にウォッチドッグ・タイマが動作中の場合, IDD1またはIDD2またはIDD3にIWDTを加算した値が, RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータ動作時は, IDD1またはIDD2にIADC, IADREFを加算した値が, RL78マイクロコントローラの電流値となります。
- 注7. 内部基準電圧の動作電流です。
- 注8. LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合, IDD1またはIDD2またはIDD3にILVIを加算した値が, RL78マイクロコントローラの電流値となります。
- 注9. セルフ・プログラミング動作に流れる電流です。
- 注10. データ・フラッシュ書き換え動作に流れる電流です。
- 注11. SNOOZEモードへの遷移時間は, 27.3.3 SNOOZEモードを参照してください。
- 注12. LCDコントローラ/ドライバ(VDD端子)にのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ/ドライバが動作中の場合, 電源電流(IDD1またはIDD2)にLCD動作電流(ILCD1またはILCD2またはILCD3)を加算した値が, RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。
- 注13. 外部分割抵抗に流れる電流は含みません。
- 注14. 8ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの8ビット・インターバル・タイマの動作時は, IDD1またはIDD2にIITを加算した値が, RL78マイクロコントローラの電流値です。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。

備考1. fIL: 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB: サブシステム・クロック周波数(XT1クロック発振周波数)

備考3. fCLK: CPU/周辺ハードウェア・クロック周波数

備考4. TYP.値の温度条件は, TA = 25°Cです。

AFE機能

(TA = -40 ~ +85°C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
24ビットΔΣA/D コンバータ動作電 流	IDSAD	ノーマル・モード注1,2 動作回路: ABGR + REGA + SBIAS + VREFAMP+PGA0 +24ビットΔΣA/Dコンバータ+デジタル・フィルタ 差動入力, OSR = 256, SBIASのIOUT = 0 mA		0.94	1.46	mA
		ロウ・パワー・モード注1,2 動作回路: ABGR + REGA + SBIAS + VREFAMP + PGA0 +24ビットΔΣA/Dコンバータ+デジタル・フィルタ 差動入力, OSR = 256, SBIASのIOUT = 0 mA		0.60	0.91	mA
アンプ動作電流	IPGA1	ロウ・パワー・モード注1,2 動作回路: ABGR + PGA1 + DAC1, IL = 0 mA		0.60	1.10	mA
		ハイスピード・モード注1,2 動作回路: ABGR + PGA1 + DAC1, IL = 0 mA		1.10	1.80	mA
	IAMP0	ロウ・パワー・モード注1,2 動作回路: ABGR + AMP0, IL = 0 mA		0.10	0.15	mA
		ハイスピード・モード注1,2 動作回路: ABGR + AMP0, IL = 0 mA		0.30	0.48	mA
	IAMP1, IAMP2	ロウ・パワー・モード注1,2 動作回路: ABGR + AMP1 or AMP2, IL = 0 mA		0.10	0.14	mA
		ハイスピード・モード注1,2 動作回路: ABGR + AMP1 or AMP2, IL = 0 mA		0.23	0.35	mA
8ビットD/Aコン バータ動作電流	IDAC0	SBIASのノーマル・モード注1,2 動作回路: ABGR + REGA + SBIAS + DAC0注3 IL = 0 mA, SBIASのIOUT = 0 mA		1.00	1.50	mA
		SBIASのロウ・パワー・モード注1,2 動作回路: ABGR + REGA + SBIAS + DAC0注3 IL = 0 mA, SBIASのIOUT = 0 mA		0.85	1.30	mA
12ビットD/Aコ ンバータ動作電流	IDAC1	基準電圧にAVDD選択時注1,2 動作回路: ABGR + DAC1, IL = 0 mA		0.61	0.97	mA
		基準電圧にSBIAS (ノーマル・モード)選択時注1,2 動作回路: ABGR + REGA + SBIAS + DAC1注3 IL = 0 mA, SBIASのIOUT = 0 mA		1.06	1.62	mA
		基準電圧にSBIAS (ロウ・パワー・モード)選択時注1,2 動作回路: ABGR + REGA + SBIAS + DAC1注3 IL = 0 mA, SBIASのIOUT = 0 mA		0.91	1.42	mA

注1. AVDDに流れる電流です。TYP.条件は、TA = 25°C, AVDD = 3.3 Vでの結果です。

注2. 条件欄に示す動作回路のみに流れる電流です。

注3. VREFAMP, PGA0, 24ビットΔΣA/Dコンバータの静止電流を含みます。

備考 () で示した数値は設計目標値 (保証外) であり, 出荷テストは行いません。

38.4 AC特性

38.4.1 基本動作

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN)動作	HS(高速メイン)モード	2.7 V ≤ VDD ≤ 5.5 V	0.0417	1	μs	
				2.4 V ≤ VDD < 2.7 V	0.0625	1	μs	
		サブシステム・クロック (fSUB) 動作	fXT = 32.768 kHz	2.4 V ≤ VDD ≤ 5.5 V	28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS(高速メイン)モード	2.7 V ≤ VDD ≤ 5.5 V	0.0417	1	μs	
			2.4 V ≤ VDD < 2.7 V	0.0625	1	μs		
外部メイン・システム・クロック 周波数	fEX	EXCLK		2.7 V ≤ VDD ≤ 5.5 V	1.0	20.0	MHz	
				2.4 V ≤ VDD < 2.7 V	1.0	16.0	MHz	
	fEXT	EXCLKS			32	35	kHz	
外部メイン・システム・クロック 入力ハイ、ロウ・レベル幅	tEXH,	EXCLK		2.7 V ≤ VDD ≤ 5.5 V	24		ns	
	tEXL			2.4 V ≤ VDD < 2.7 V	30		ns	
	tEXHS,	EXCLKS			13.7		μs	
	tEXLS							
タイマ入力 ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL	TI00-TI07			1/fMCK + 10		ns	
タイマ出力周波数	fTO	TO00-TO07	HS(高速メイン)モード	4.0 V ≤ VDD ≤ 5.5 V		12	MHz	
				2.7 V ≤ VDD < 4.0 V		8	MHz	
				2.4 V ≤ VDD < 2.7 V		4	MHz	
ブザー出力周波数	fPCL	PCLBUZ0, PCLBUZ1	HS(高速メイン)モード	4.0 V ≤ VDD ≤ 5.5 V		12	MHz	
				2.7 V ≤ VDD < 4.0 V		8	MHz	
				2.4 V ≤ VDD < 2.7 V		4	MHz	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0-INTP7		2.4 V ≤ VDD ≤ 5.5 V	1		μs	
RESETロウ・レベル幅	tRSL				10		μs	

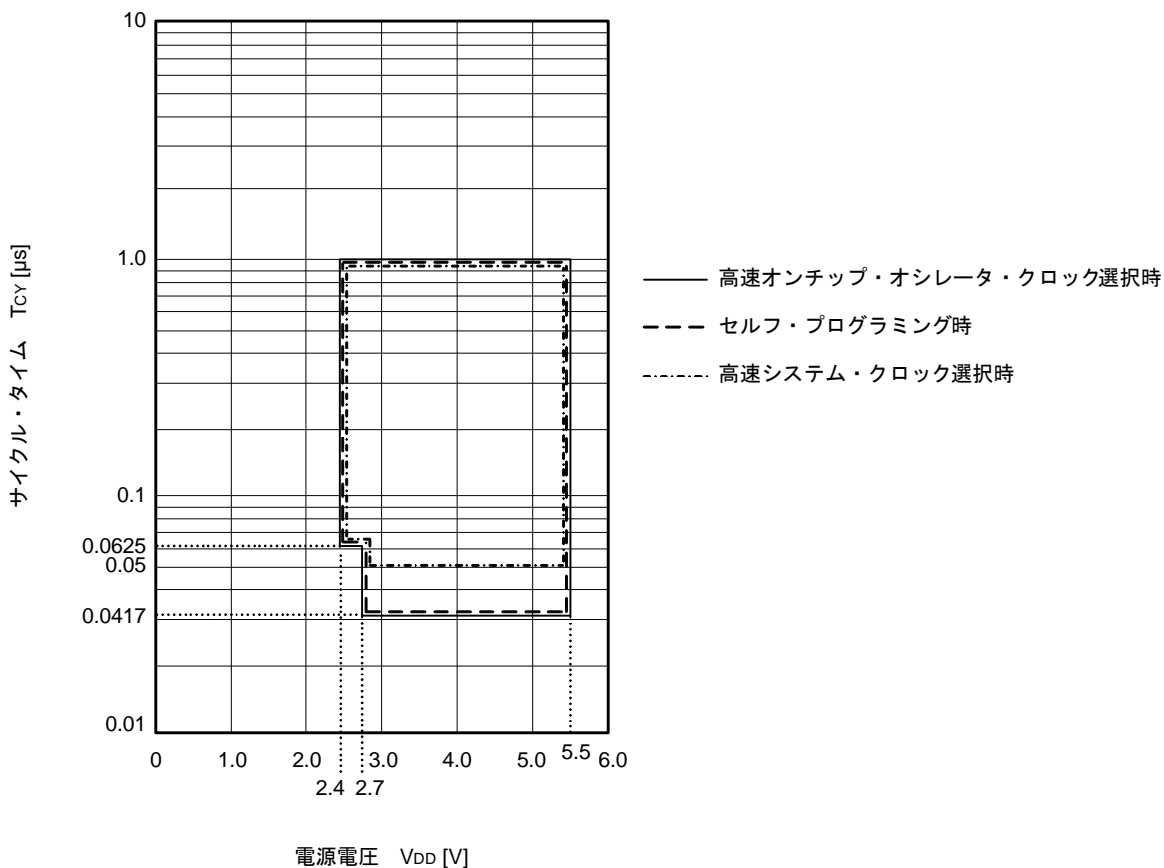
備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0),

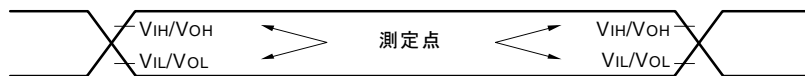
n : チャンネル番号 (n = 0-7))

メイン・システム・クロック動作時の最小命令実行時間

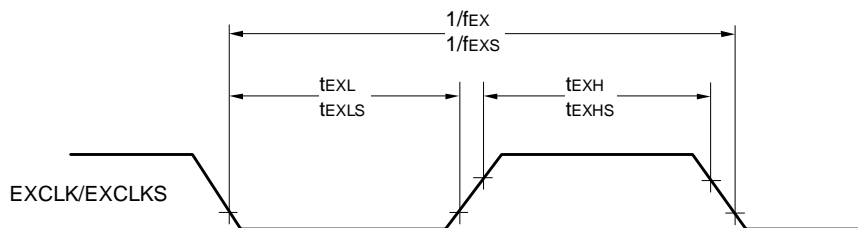
Tcy vs VDD (HS (高速メイン)モード)



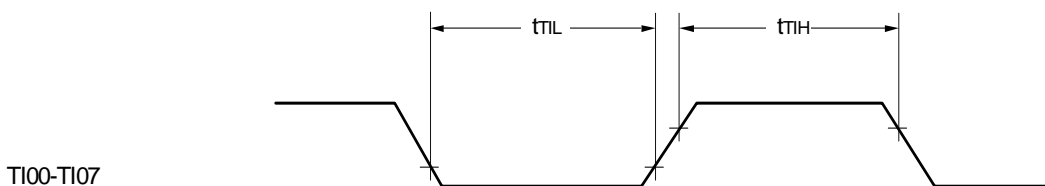
AC タイミング測定点



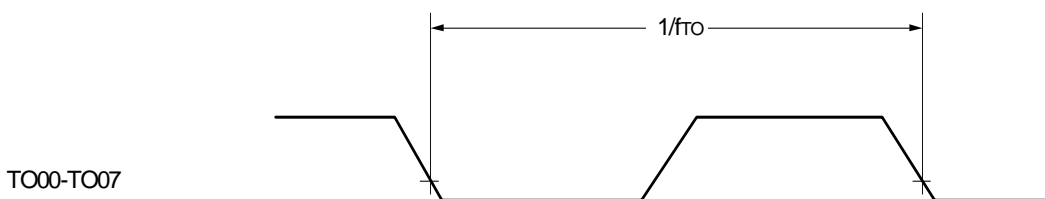
外部システム・クロック・タイミング



TI/TO タイミング

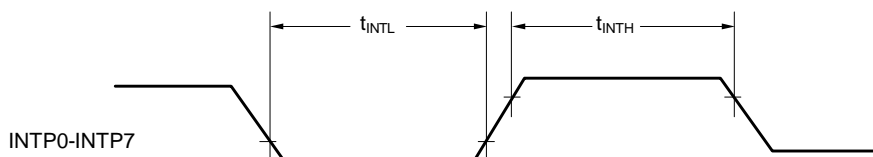


TI00-TI07



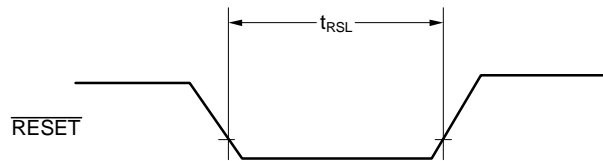
TO00-TO07

割り込み要求入力タイミング



INTP0-INTP7

$\overline{\text{RESET}}$ 入力タイミング



38.5 周辺機能特性

38.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート注1		2.4 V ≤ VDD ≤ 5.5 V		fMCK/6注2	bps
		最大転送レート理論値 fMCK = fCLK注3		4.0	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. 低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ VDD < 2.7 V : MAX. 2.6 Mbps

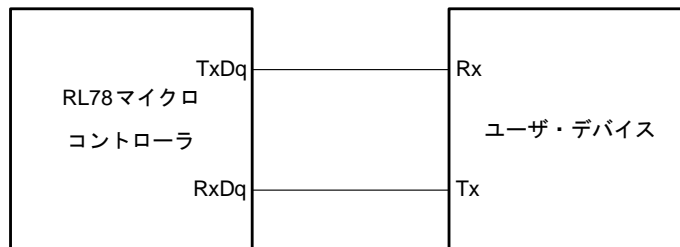
注3. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン)モード : 24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

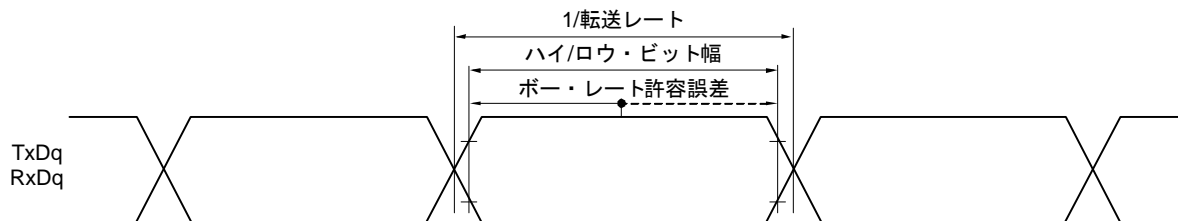
16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時) (参考)



備考1. q : UART 番号 (q = 0-2), g : PIM, POM 番号 (g = 0, 1, 3, 4, 5, 8)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03, 10, 11))

(2) 同電位通信時(簡易SPI(CSI)モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ fCLK/4	2.7 V ≤ VDD ≤ 5.5 V	167		ns
			2.4 V ≤ VDD ≤ 5.5 V	250		ns
SCKpハイ, ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 12			ns
		2.7 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 18			ns
		2.4 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 38			ns
Slpセットアップ時間(対SCKp↑)注1	tsIK1	4.0 V ≤ VDD ≤ 5.5 V	44			ns
		2.7 V ≤ VDD ≤ 5.5 V	44			ns
		2.4 V ≤ VDD ≤ 5.5 V	75			ns
Slpホールド時間(対SCKp↑)注2	tkSH1	2.4 V ≤ VDD ≤ 5.5 V	19			ns
SCKp↓→SOp出力遅延時間注3	tkSO1	C = 20 pF注4	2.7 V ≤ VDD ≤ 5.5 V		25	ns
			2.4 V ≤ VDD ≤ 5.5 V		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpセットアップ時間が対SCKp↓となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpホールド時間が対SCKp↓となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは対SCKp↑となります。

注4. Cは, SCKp, SOp出カラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp端子は通常入力バッファを選択し, SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p: CSI番号(p = 00, 10, 20), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0, 2), g: PIM, POM番号(g = 0, 1, 3, 4, 5, 8)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00, 02, 10))

(3) 同電位通信時(簡易SPI(CSI)モード)(スレーブ・モード, SCKp...外部クロック出力) (1/2)

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム ^{注5}	tkCY2	4.0 V ≤ VDD ≤ 5.5 V	20 MHz < fMCK	8/fMCK		ns
			fMCK ≤ 20 MHz	8/fMCK		ns
		2.7 V ≤ VDD ≤ 5.5 V	fMCK > 16 MHz	8/fMCK		ns
			fMCK ≤ 16 MHz	6/fMCK		
		2.4 V ≤ VDD ≤ 5.5 V		6/fMCK かつ500		ns
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ VDD ≤ 5.5 V		tkCY1/2 - 7		ns
		2.7 V ≤ VDD ≤ 5.5 V		tkCY1/2 - 8		ns
		2.4 V ≤ VDD ≤ 5.5 V		tkCY1/2 - 18		ns
Slpセットアップ時間(対SCKp↑) ^{注1}	tSIK2	2.7 V ≤ VDD ≤ 5.5 V		1/fMCK + 20		ns
		2.4 V ≤ VDD ≤ 5.5 V		1/fMCK + 30		ns
Slpホールド時間(対SCKp↑) ^{注2}	tKSI2	2.4 V ≤ VDD ≤ 5.5 V		1/fMCK + 31		ns
SCKp↓→SOp出力遅延時間 ^{注3}	tkSO2	C = 30 pF ^{注4}	2.7 V ≤ VDD ≤ 5.5 V		2/fMCK + 44	ns
			2.4 V ≤ VDD ≤ 5.5 V		2/fMCK + 75	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpセットアップ時間が対SCKp↓となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpホールド時間が対SCKp↓となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは対SCKp↑となります。

注4. Cは、SCKp, SOp出カラインの負荷容量です。

注5. SNOOZEモードでの転送レートは、MAX.: 1 Mbpsです。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p: CSI番号(p = 00, 10, 20), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-2),

g: PIM, POM番号(g = 0, 1, 3, 4, 5, 8)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00, 02, 10))

(3) 同電位通信時(簡易SPI(CSI)モード)(スレーブ・モード, SCKp...外部クロック出力) (2/2)

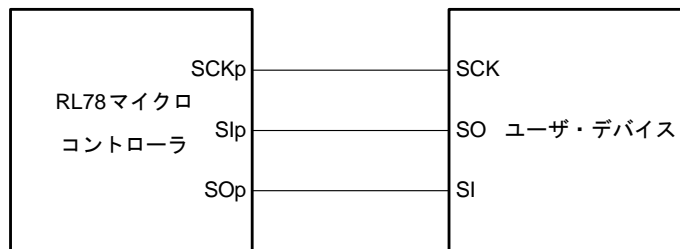
(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
SSI00セットアップ時間	tSSIK	DAPmn = 0	2.7 V ≤ VDD ≤ 5.5 V	120		ns
			2.4 V ≤ VDD ≤ 5.5 V	200		ns
		DAPm n = 1	2.7 V ≤ VDD ≤ 5.5 V	1/fMCK + 120		ns
			2.4 V ≤ VDD ≤ 5.5 V	1/fMCK + 200		ns
SSI00ホールド時間	tkSSI	DAPmn = 0	2.7 V ≤ VDD ≤ 5.5 V	1/fMCK + 120		ns
			2.4 V ≤ VDD ≤ 5.5 V	1/fMCK + 200		ns
		DAPm n = 1	2.7 V ≤ VDD ≤ 5.5 V	120		ns
			2.4 V ≤ VDD ≤ 5.5 V	200		ns

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は通常入力バッファ、SOp 端子は通常出力モードを選択します。

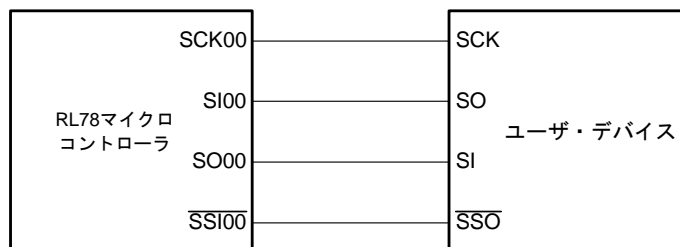
備考 p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM, POM番号(g = 3, 4)

簡易SPI(CSI)モード接続図(同電位通信時)



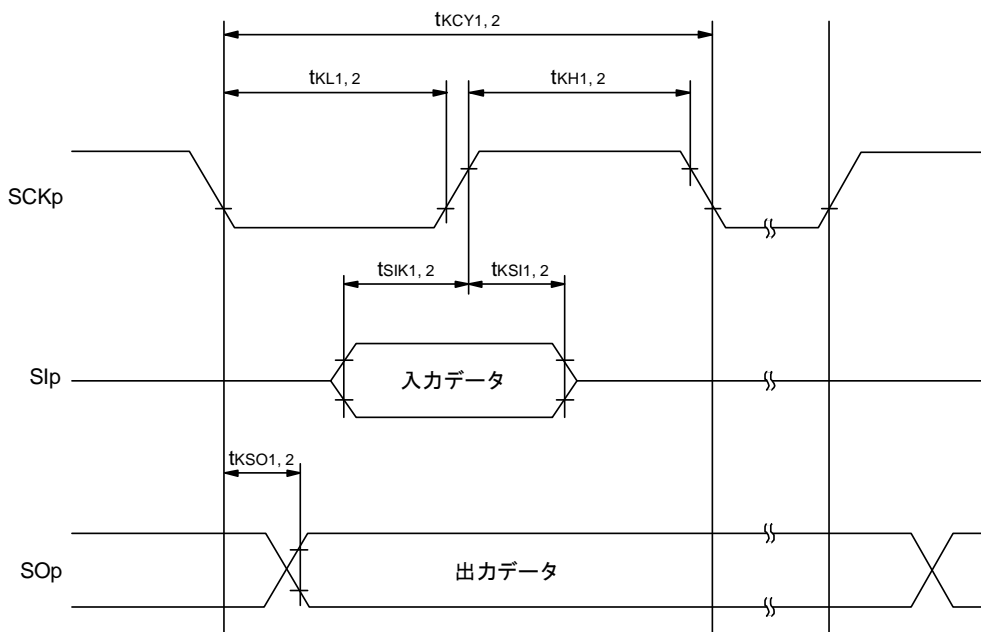
簡易SPI(CSI)モード接続図(同電位通信時)

(スレーブセレクト入力機能 (CSI00) のスレーブ送信時)

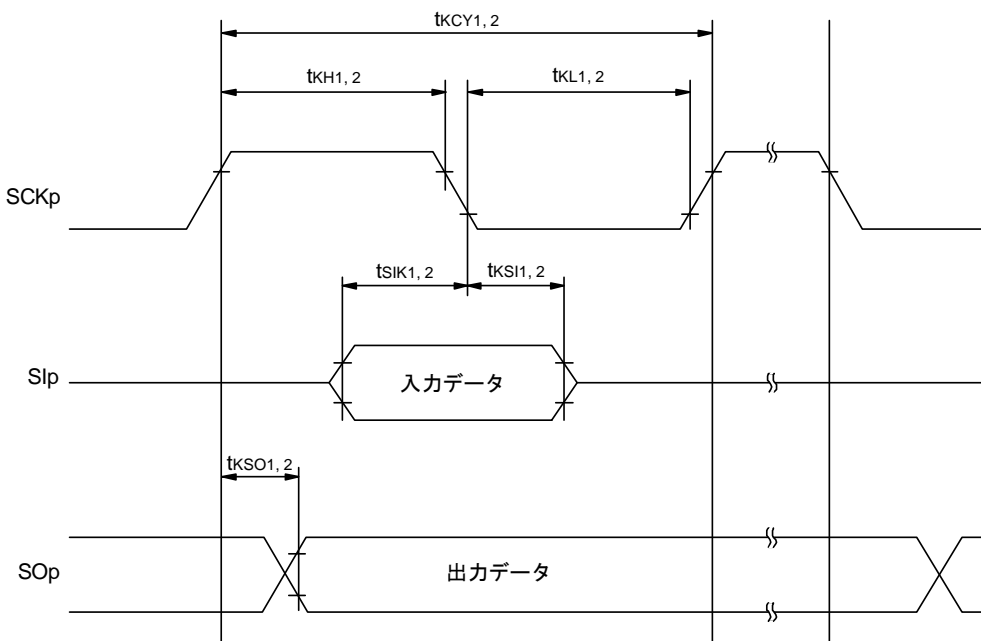


備考 p : CSI番号(p = 00, 10, 20), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2)

簡易SPI(CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI(CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 p : CSI番号(p = 00, 10, 20), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2)

(4) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

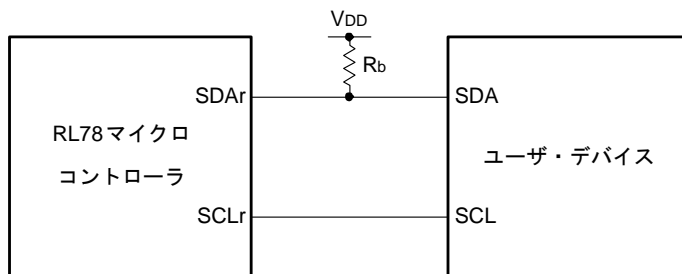
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLrクロック周波数	fSCL	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000注1	kHz
		2.4 V ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400注1	kHz
		2.4 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300注1	kHz
SCLr = "L" のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		ns
		2.4 V ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		ns
		2.4 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		ns
SCLr = "H" のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		ns
		2.4 V ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		ns
		2.4 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		ns
データ・セットアップ時間(受信時)	tSU: DAT	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 85 注2		ns
		2.4 V ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/fMCK + 145 注2		ns
		2.4 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK + 230 注2		ns
データ・ホールド時間(送信時)	tHD: DAT	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	ns
		2.4 V ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	ns
		2.4 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	ns

注1. fMCK/4以下に設定してください。

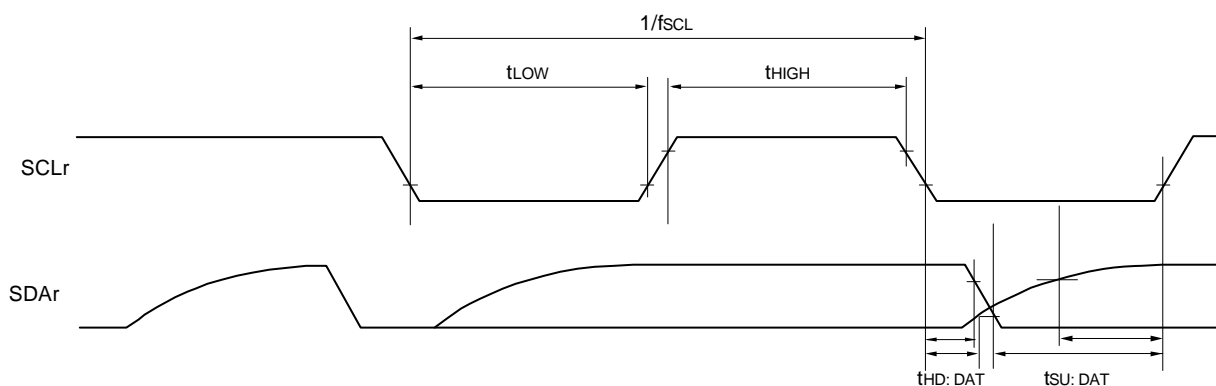
注2. fMCK値は、SCLr = "L" と SCLr = "H" のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(VDD耐圧)モードを選択し、SCLrは通常出力モードを選択します。

簡易I²Cモード接続図(同電位通信時)



簡易I²Cモード・シリアル転送タイミング(同電位通信時)



備考1. Rb [Q] : 通信ライン(SDAr)プルアップ抵抗値, Cb [F] : 通信ライン(SCLr, SDAr)負荷容量値

備考2. r : IIC番号 (r = 00, 10, 20), g : PIM番号 (g = 0, 1, 3, 4, 5, 8),

備考3. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 2), mn = 00, 02, 10)

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (1/2)

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位	
			MIN.	MAX.		
転送レート		受信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/6 注1	bps
			最大転送レート理論値 fMCK = fCLK 注4		4.0	Mbps
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6 注1	bps	
			最大転送レート理論値 fMCK = fCLK 注4		4.0	Mbps
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1, 2, 3	bps	
			最大転送レート理論値 fMCK = fCLK 注4		4.0	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. VDD ≥ Vbで使用してください。

注3. 低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ VDD < 2.7 V: MAX. 2.6 Mbps

注4. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン) モード: 24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (VDD耐圧) モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号 (q = 0-2), g: PIM, POM番号 (g = 0, 1, 3, 4, 5, 8)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号 (mn = 00-03, 10-11))

(5) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード) (2/2)

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
転送レート		送信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8注2	Mbps
			2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4	Mbps
			2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5, 6	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注7	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. VDD ≥ Vbで使用してください。

注6. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

$2.4\text{ V} \leq V_{DD} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

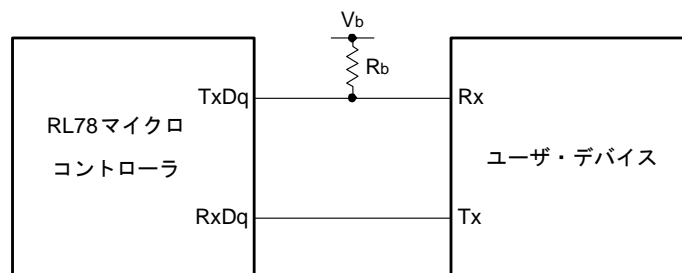
$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

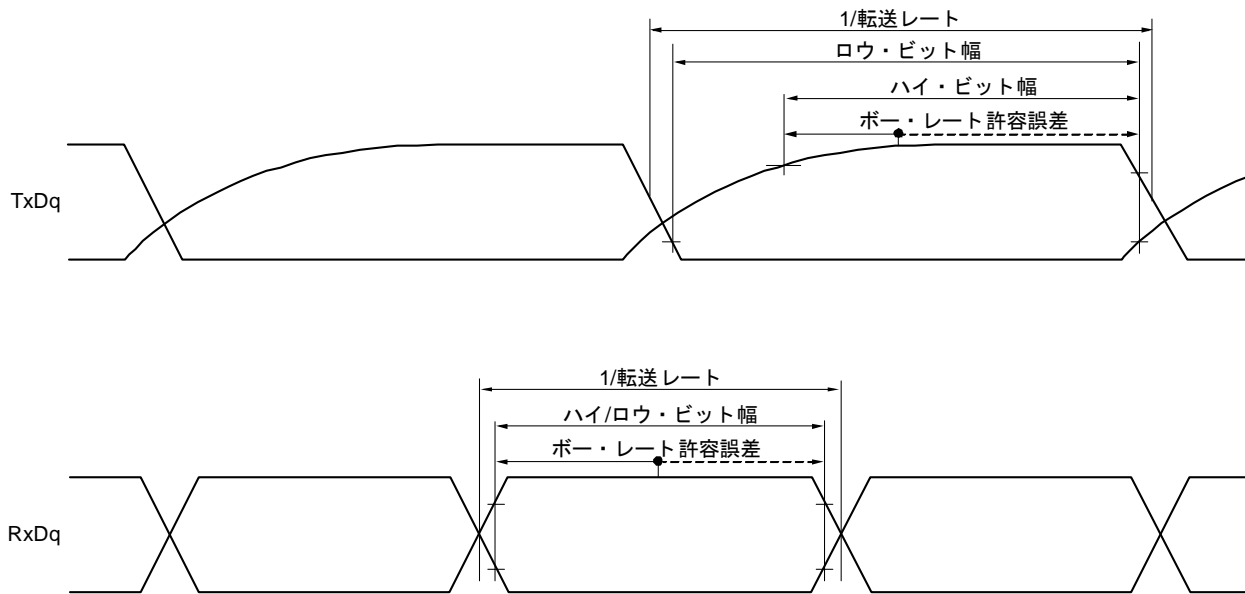
注7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、RxDq 端子は TTL 入力バッファを選択し、TxDq 端子は N-ch オープン・ドレイン出力 (VDD 耐圧) モードを選択します。なお V_{IH} , V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

UART モード接続図 (異電位通信時)



UARTモードのビット幅(異電位通信時) (参考)



備考1. R_b [Ω] : 通信ライン(TxDq)プルアップ抵抗値, C_b [F] : 通信ライン(TxDq)負荷容量値, V_b [V] : 通信ライン電圧

備考2. q : UART番号 (q = 0-2), g : PIM, POM番号 (g = 0, 1, 3, 4, 5, 8)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03, 10, 11))

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易SPI(CSI)モード) (マスタ・モード, SCKp...内部クロック出力) (1/2)
(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		単位
				MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	300		ns
			2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500 注		ns
			2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	1150 注		ns
SCKp ハイ・レベル幅	tkH1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 75		ns	
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 170		ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 458		ns	
SCKp ロウ・レベル幅	tkL1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 12		ns	
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 18		ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 50		ns	

注 VDD ≥ Vb で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧) モードを選択します。なお VIH, VIL は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易SPI(CSI)モード) (マスタ・モード, SCKp...内部クロック出力) (2/2)
(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
Slp セットアップ時間 (対SCKp ↑)注1	tSIK1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	479		ns
Slp ホールド時間 (対SCKp ↑)注1	tKS11	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	19		ns
SCKp ↓ → SOp 出力遅延時間注1	tKS01	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195	ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		483	ns
Slp セットアップ時間 (対SCKp ↓)注2	tSIK1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	110		ns
Slp ホールド時間 (対SCKp ↓)注2	tKS11	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	19		ns
SCKp ↑ → SOp出力遅延時間注2	tKS01	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25	ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		25	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

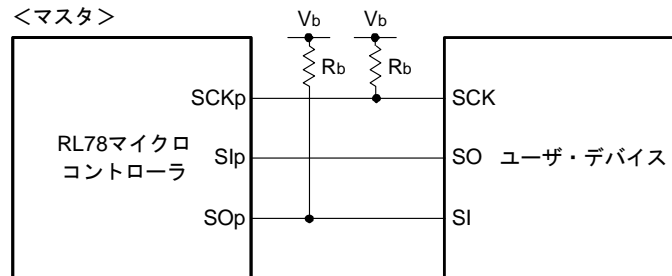
注2. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注3. VDD ≥ Vb で使用してください。

(注意, 備考は次ページにあります。)

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH} 、 V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

簡易 SPI(CSI) モード接続図 (異電位通信時)



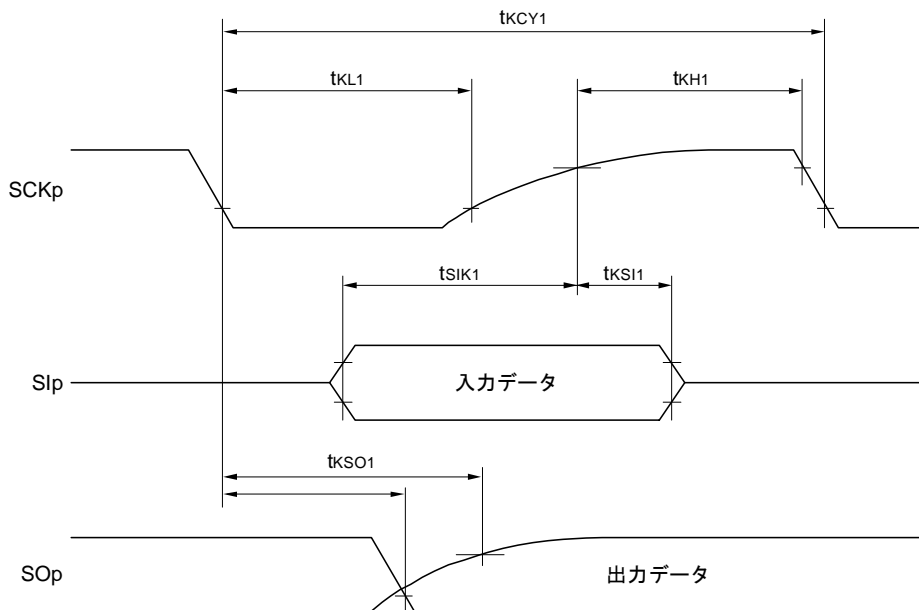
備考1. R_b [Q]: 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SCKp, SOp) 負荷容量値, V_b [V]: 通信ライン電圧

備考2. p: CSI 番号 (p = 00, 10, 20), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0, 2), g: PIM, POM 番号 (g = 0, 1, 3, 4, 5, 8)

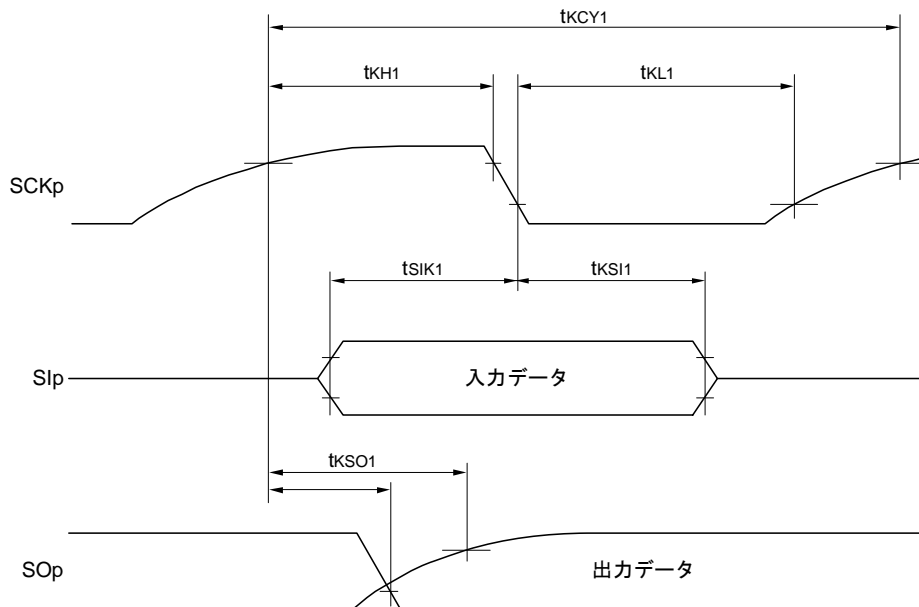
備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号,
n: チャネル番号 (mn = 00, 02, 10))

簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 p : CSI番号 (p = 00, 10, 20), m : ユニット番号 (m = 0, 1),
 n : チャネル番号 (n = 0, 2), g : PIM, POM番号 (g = 0, 1, 3, 4, 5, 8)

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易SPI(CSI)モード) (スレーブ・モード, SCKp...外部クロック入力)
(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位	
			MIN.	MAX.		
SCKp サイクル・タイム注1	tkCY2	4.0 V ≤ VDD ≤ 5.5 V, 20 MHz < fMCK	12/fMCK		ns	
		2.7 V ≤ Vb ≤ 4.0V	8 MHz < fMCK ≤ 20 MHz	10/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	8/fMCK		ns
			fMCK ≤ 4 MHz	6/fMCK		ns
	2.7 V ≤ VDD < 4.0V, 2.3 V ≤ Vb ≤ 2.7 V	20 MHz < fMCK	16/fMCK		ns	
		16 MHz < fMCK ≤ 20 MHz	14/fMCK		ns	
		8 MHz < fMCK ≤ 16 MHz	12/fMCK		ns	
		4 MHz < fMCK ≤ 8 MHz	8/fMCK		ns	
	2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2	20 MHz < fMCK	36/fMCK		ns	
		16 MHz < fMCK ≤ 20 MHz	32/fMCK		ns	
		8 MHz < fMCK ≤ 16 MHz	26/fMCK		ns	
		4 MHz < fMCK ≤ 8 MHz	16/fMCK		ns	
		fMCK ≤ 4 MHz	10/fMCK		ns	
SCKpハイ, ロウ・レベル幅	tkH2,	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0V	tkCY2/2 - 12		ns	
	tkL2	2.7 V ≤ VDD < 4.0V, 2.3 V ≤ Vb ≤ 2.7 V	tkCY2/2 - 18		ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2	tkCY2/2 - 50		ns	
Slp セットアップ時間 (対SCKp ↑)注3	tSIK2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0V	1/fMCK + 20		ns	
		2.7 V ≤ VDD < 4.0V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK + 20		ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2	1/fMCK + 30		ns	
Slp ホールド時間 (対SCKp ↑)注4	tkSI2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0V	1/fMCK + 31		ns	
		2.7 V ≤ VDD < 4.0V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK + 31		ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2	1/fMCK + 31		ns	
SCKp ↓ → SOp 出力遅延時間注5	tkSO2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0V Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK + 120	ns	
		2.7 V ≤ VDD < 4.0V, 2.3 V ≤ Vb ≤ 2.7 V Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK + 214	ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2 Cb = 30 pF, Rb = 5.5 kΩ		2/fMCK + 573	ns	

注1. SNOOZEモードでの転送レートは, MAX.: 1 Mbps

注2. VDD ≥ Vb で使用してください。

注3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは, Slp セットアップ時間が対SCKp ↓ となります。

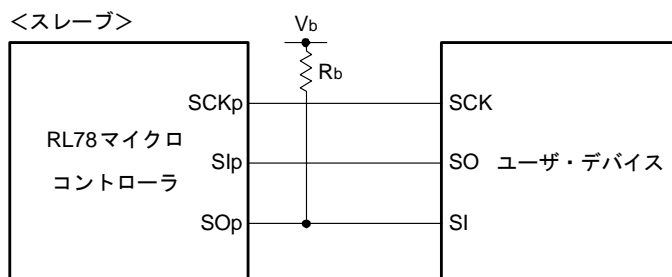
注4. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは, Slp ホールド時間が“対SCKp ↓”となります。

注5. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

(注意, 備考は次ページにあります。)

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH} 、 V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

簡易 SPI(CSI) モード接続図 (異電位通信時)



備考1. R_b [Ω]: 通信ライン (SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SOp) 負荷容量値,

V_b [V]: 通信ライン電圧

備考2. p: CSI 番号 ($p = 00, 10, 20$), m: ユニット番号 ($m = 0, 2$), n: チャネル番号 ($n = 0, 2$),

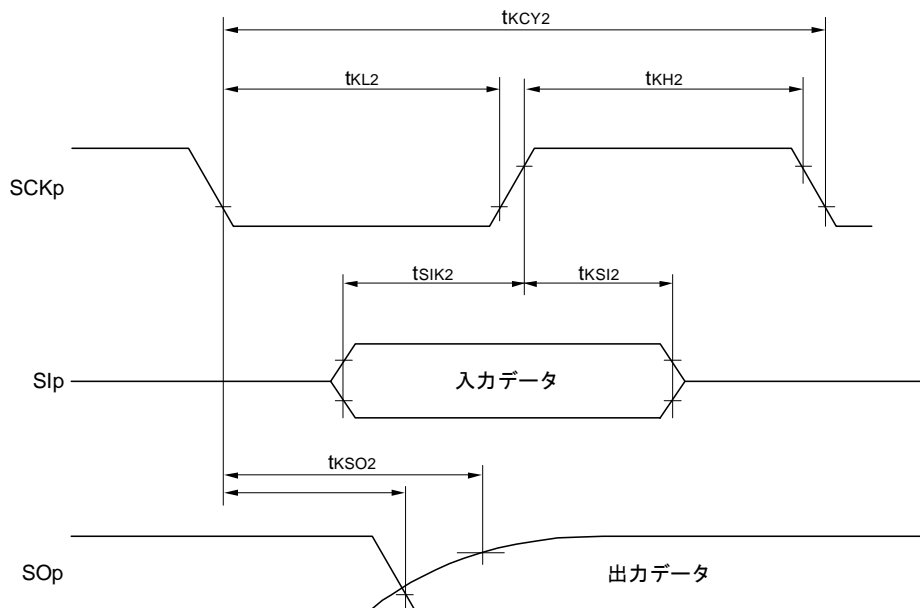
g: PIM, POM 番号 ($g = 0, 1, 3, 4, 5, 8$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

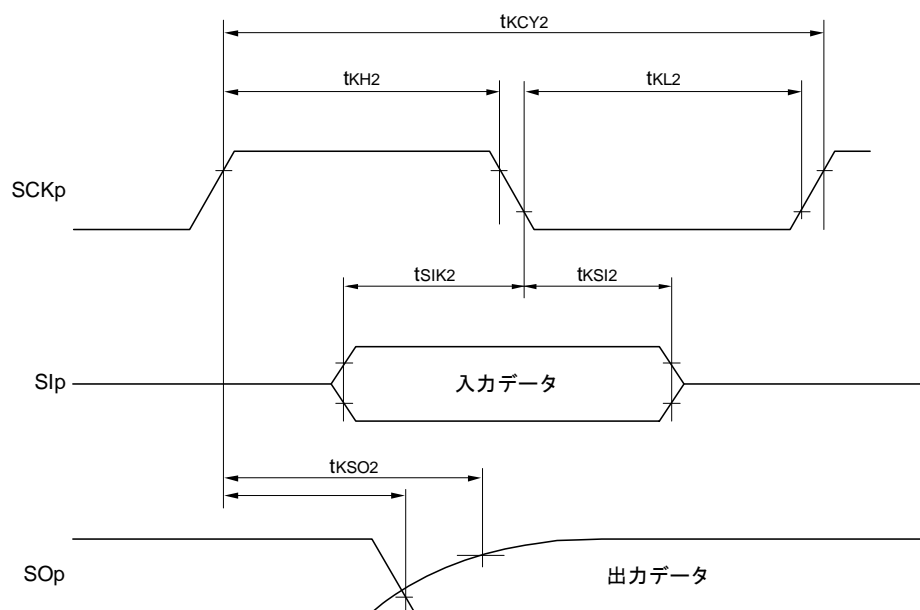
(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号 ($mn = 00, 02, 10$))

簡易SPI(CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI(CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号 (p = 00, 10, 20), m : ユニット番号 (m = 0, 1),
n : チャネル番号 (n = 0, 2), g : PIM, POM番号 (g = 0, 1, 3, 4, 5, 8)

(8) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード) (1/2)

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLrクロック周波数	fSCL	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 注1	kHz
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 注1	kHz
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 注1	kHz
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 注1	kHz
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 100 pF, Rb = 5.5 kΩ		400 注1	kHz
SCLr = "L" のホールド・タイム	tLOW	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 100 pF, Rb = 5.5 kΩ	1550		ns
SCLr = "H" のホールド・タイム	tHIGH	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 100 pF, Rb = 5.5 kΩ	610		ns

注1. fMCK/4以下に設定してください。

注2. VDD ≥ Vbで使用してください。

注3. fMCK値は、SCLr = "L" と SCLr = "H" のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (VDD耐圧) モードを選択し、SCLrはN-chオープン・ドレイン出力 (VDD耐圧) モードを選択します。なお VIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード) (2/2)

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
データ・セット アップ時間 (受信時)	tsu : DAT	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135注3		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135注3		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK + 190注3		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK + 190注3		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK + 190注3		ns
データ・ホールド 時間 (送信時)	tHD : DAT	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	0	405	ns

注1. fMCK/4以下に設定してください。

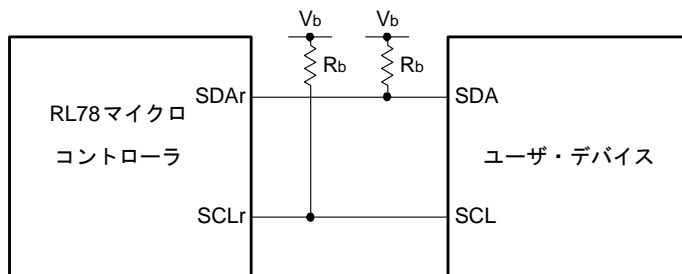
注2. VDD ≥ Vbで使用してください。

注3. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

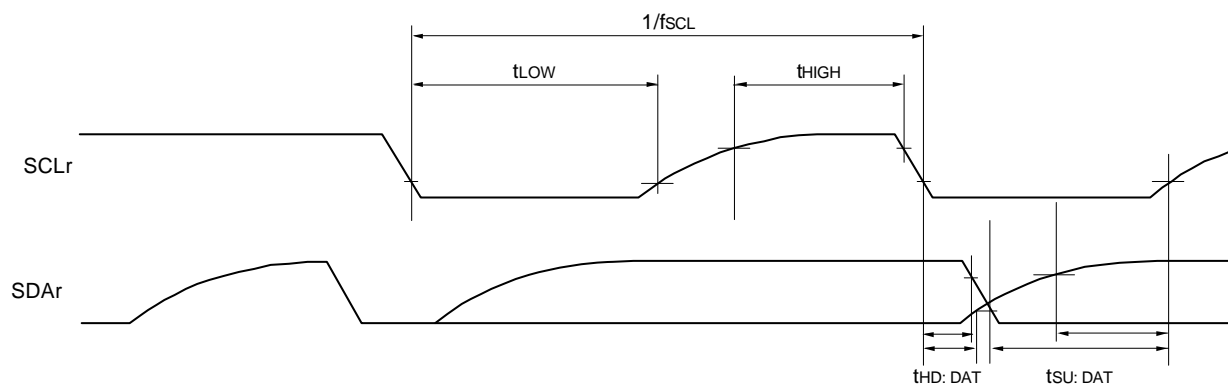
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (VDD耐圧)モードを選択し、SCLrはN-chオープン・ドレイン出力 (VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)



簡易I²Cモード・シリアル転送タイミング(異電位通信時)



備考1. Rb [Ω] : 通信ライン(SDAr, SCLr)プルアップ抵抗値, Cb [F] : 通信ライン(SDAr, SCLr)負荷容量値,

Vb [V] : 通信ライン電圧

備考2. r : IIC番号(r = 00, 10, 20), g : PIM, POM番号(g = 0, 1, 3, 4, 5, 8)

備考3. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2),

mn = 00, 02, 10)

38.5.2 シリアル・インタフェース IICA

(1) I²C 標準モード

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位	
			MIN.	MAX.		
SCLA0クロック周波数	fSCL	標準モード: fCLK ≥ 1 MHz	2.7 V ≤ VDD ≤ 5.5 V	0	100	kHz
		2.4 V ≤ VDD ≤ 5.5 V	0	100	kHz	
リスタート・コンディションのセットアップ時間	tSU : STA	2.7 V ≤ VDD ≤ 5.5 V	4.7		μs	
		2.4 V ≤ VDD ≤ 5.5 V	4.7		μs	
ホールド時間 ^{注1}	tHD : STA	2.7 V ≤ VDD ≤ 5.5 V	4.0		μs	
		2.4 V ≤ VDD ≤ 5.5 V	4.0		μs	
SCLA0 = "L" のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 5.5 V	4.7		μs	
		2.4 V ≤ VDD ≤ 5.5 V	4.7		μs	
SCLA0 = "H" のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 5.5 V	4.0		μs	
		2.4 V ≤ VDD ≤ 5.5 V	4.0		μs	
データ・セットアップ時間(受信時)	tSU : DAT	2.7 V ≤ VDD ≤ 5.5 V	250		ns	
		2.4 V ≤ VDD ≤ 5.5 V	250		ns	
データ・ホールド時間(送信時) ^{注2}	tHD : DAT	2.7 V ≤ VDD ≤ 5.5 V	0	3.45	μs	
		2.4 V ≤ VDD ≤ 5.5 V	0		μs	
ストップ・コンディションの セットアップ時間	tSU : STO	2.7 V ≤ VDD ≤ 5.5 V	4.0		μs	
		2.4 V ≤ VDD ≤ 5.5 V	4.0		μs	
バス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 5.5 V	4.7		μs	
		2.4 V ≤ VDD ≤ 5.5 V	4.7		μs	

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
- 注2. tHD : DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は, 次のとおりです。
標準モード : Cb = 400 pF, Rb = 2.7 kΩ

(2) I²Cファースト・モード

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz	2.7 V ≤ VDD ≤ 5.5 V	0	400	kHz
		2.4 V ≤ VDD ≤ 5.5 V	0	400	kHz	
リスタート・コンディションのセットアップ時間	tSU: STA	2.7 V ≤ VDD ≤ 5.5 V	0.6		μs	
		2.4 V ≤ VDD ≤ 5.5 V	0.6		μs	
ホールド時間注1	tHD: STA	2.7 V ≤ VDD ≤ 5.5 V	0.6		μs	
		2.4 V ≤ VDD ≤ 5.5 V	0.6		μs	
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 5.5 V	1.3		μs	
		2.4 V ≤ VDD ≤ 5.5 V	1.3		μs	
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 5.5 V	0.6		μs	
		2.4 V ≤ VDD ≤ 5.5 V	0.6		μs	
データ・セットアップ時間 (受信時)	tSU: DAT	2.7 V ≤ VDD ≤ 5.5 V	100		ns	
		2.4 V ≤ VDD ≤ 5.5 V	100		ns	
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ VDD ≤ 5.5 V	0	0.9	μs	
		2.4 V ≤ VDD ≤ 5.5 V	0		μs	
ストップ・コンディションのセットアップ時間	tSU: STO	2.7 V ≤ VDD ≤ 5.5 V	0.6		μs	
		2.4 V ≤ VDD ≤ 5.5 V	0.6		μs	
パス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 5.5 V	1.3		μs	
		2.4 V ≤ VDD ≤ 5.5 V	1.3		μs	

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
- 注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。
ファースト・モード : Cb = 320 pF, Rb = 1.1 kΩ

(3) I²C ファースト・モード・プラス

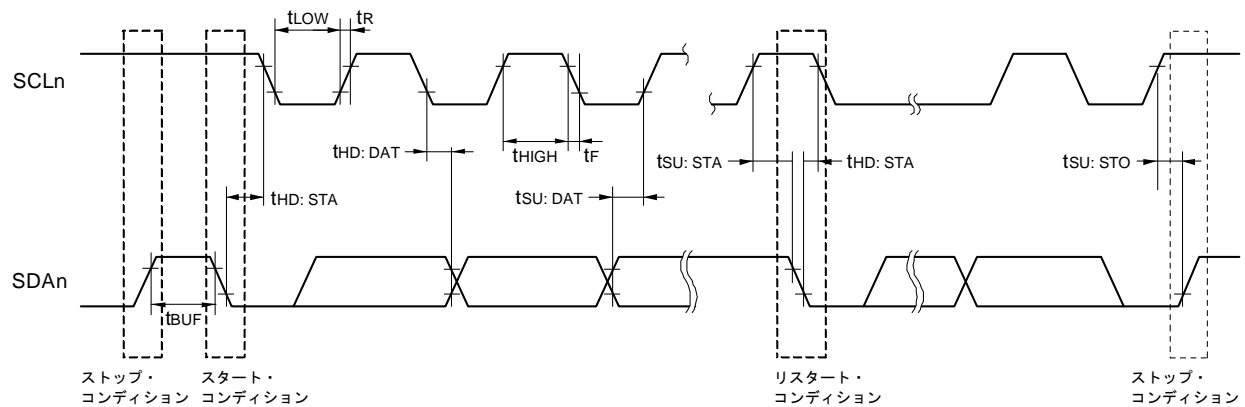
(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード・プラス : fCLK ≥ 10 MHz 2.7 V ≤ VDD ≤ 5.5 V	0	1000	kHz
リスタート・コンディションのセットアップ時間	tSU: STA	2.7 V ≤ VDD ≤ 5.5 V	0.26		μs
ホールド時間注1	tHD: STA	2.7 V ≤ VDD ≤ 5.5 V	0.26		μs
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 5.5 V	0.5		μs
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 5.5 V	0.26		μs
データ・セットアップ時間(受信時)	tSU: DAT	2.7 V ≤ VDD ≤ 5.5 V	50		ns
データ・ホールド時間(送信時)注2	tHD: DAT	2.7 V ≤ VDD ≤ 5.5 V	0	0.45	μs
ストップ・コンディションのセットアップ時間	tSU: STO	2.7 V ≤ VDD ≤ 5.5 V	0.26		μs
バス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 5.5 V	0.5		μs

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
 注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。
 ファースト・モード・プラス : Cb = 120 pF, Rb = 1.1 kΩ

I²C シリアル転送タイミング



38.6 アナログ特性

38.6.1 A/Dコンバータ特性

(1) 基準電圧(+) = VDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = VSS (ADREFM = 0) 選択時,

変換対象 : ANI8-ANI14, 内部基準電圧、温度センサ出力電圧

(TA = -40 ~ +85°C, 2.4V ≤ AVDD = VDD ≤ 5.5V, AVSS = VSS = 0V, 基準電圧(+) = VDD, 基準電圧(-) = VSS)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 注1	AINL	10ビット分解能	2.4 V ≤ VDD ≤ 5.5 V		1.2	±7.0	LSB
変換時間	tonv	10ビット分解能 変換対象 : ANI8-ANI14	3.6 V ≤ VDD ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875		39	μs
			2.4 V ≤ VDD ≤ 5.5 V	17		39	μs
		10ビット分解能 変換対象 : 内部基準電圧、 温度センサ出力電圧 (HS(高速メイン)モード)	3.6 V ≤ VDD ≤ 5.5 V	2.375		39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.5626		39	μs
			2.4 V ≤ VDD ≤ 5.5 V	17		39	μs
ゼロスケール誤差 注1,2	EZS	10ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±0.60	%FSR
フルスケール誤差 注1,2	EFS	10ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±0.60	%FSR
積分直線性誤差 注1	ILE	10ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±4.0	LSB
微分直線性誤差 注1	DLE	10ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±2.0	LSB
アナログ入力電圧	VAIN	ANI8-ANI11		0		VDD	V
		ANI12-ANI14		0		AVDD	V
		内部基準電圧 (2.4 V ≤ VDD ≤ 5.5 V, HS(高速メイン)モード)		VBGR 注3			V
		温度センサ出力電圧 (2.4 V ≤ VDD ≤ 5.5 V, HS(高速メイン)モード)		VTMPS25 注3			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 38.6.2 温度センサ/内部基準電圧出力特性を参照してください。

(2) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = Vss (ADREFM = 0) 選択時,

変換対象 : ANI8-ANI11, ANI12-ANI14

(TA = -40 ~ +85°C, 2.4V ≤ AVDD = VDD ≤ 5.5V, AVSS = VSS = 0V, 基準電圧 (+) = VBGR^{注3}, 基準電圧 (-) = VSS = 0V, HS (高速メイン) モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tconv	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±(0.60+0.35)	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±(2.0+0.5)	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±(1.0+0.2)	LSB
アナログ入力電圧	VAIN			0		VBGR ^{注3}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 38.6.2 温度センサ/内部基準電圧出力特性を参照してください。

38.6.2 温度センサ/内部基準電圧出力特性

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, HS(高速メイン)モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	VTMPS25	TA = +25°C		1.05		V
内部基準電圧	VBGR		1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ出力電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	tAMP	2.4 V ≤ VDD ≤ 5.5 V	5			μs

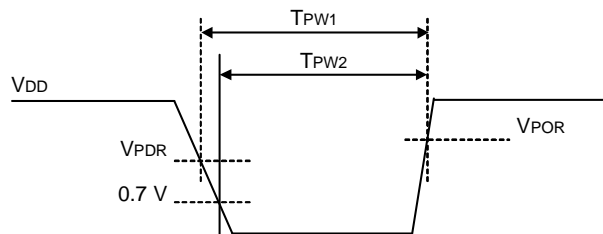
38.6.3 POR回路特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.47	1.51	1.55	V
	VPDR	電源立ち下がり時 ^{注1}	1.46	1.50	1.54	V
最小パルス幅 ^{注2}	TPW1	STOP/SUB HALT/SUB RUN以外	300			μs
	TPW2	STOP/SUB HALT/SUB RUNの時	300			μs

注1. ただし、LVDオフの条件で動作電圧降下時は、38.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行、または電圧検出機能か外部リセット端子で、リセット状態にしてください。

注2. VDDがVPDRを下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)とビット7(MSTOP)の設定によりメイン・システム・クロック(fMAIN)を停止時は、VDDが0.7Vを下回ってから、VPORを上回るまでのPORによるリセット動作に必要な時間です。



38.6.4 LVD回路特性

(1) リセット・モード／割り込みモードのLVD検出電圧

(TA = -40 ~ +85°C, VPDR ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.98	4.06	4.14	V
			電源立ち下がり時	3.90	3.98	4.06	V
		VLVD1	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
			電源立ち下がり時	2.90	2.96	3.02	V
		VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
			電源立ち下がり時	2.80	2.86	2.91	V
		VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
		VLVD6	電源立ち上がり時	2.66	2.71	2.76	V
			電源立ち下がり時	2.60	2.65	2.70	V
		VLVD7	電源立ち上がり時	2.56	2.61	2.66	V
			電源立ち下がり時	2.50	2.55	2.60	V
		VLVD8	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
最小パルス幅	tlw		300			μs	
検出遅延					300	μs	

注意 検出電圧(VLVD)は、動作電圧範囲内になるように設定してください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定で決まります。動作電圧範囲は以下の通りです。

HS (高速メイン)モード : VDD = 2.7 ~ 5.5 V @ 1 MHz ~ 24 MHz

VDD = 2.4 ~ 5.5 V @ 1 MHz ~ 16 MHz

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +85°C, VPDR ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDC0	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧 : 2.4 V	2.40	2.45	2.50	V	
	VLVDC1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がり割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がり割り込み電圧	2.60	2.65	2.70	V
	VLVDC3	LVIS0, LVIS1 = 0, 0	立ち上がりリセット解除電圧	3.68	3.76	3.82	V
			立ち下がり割り込み電圧	3.60	3.67	3.74	V
	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧 : 2.7 V	2.70	2.75	2.81	V	
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V
			立ち下がり割り込み電圧	2.90	2.96	3.02	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.14	V
			立ち下がり割り込み電圧	3.90	3.98	4.06	V

38.6.5 プログラマブル・ゲイン計装アンプ, 24ビット $\Delta\Sigma$ /Dコンバータ

(1) アナログ入力 (差動入力モード)

(TA = -40 ~ +85°C, 2.7 V \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V, ノーマル・モード: fs1 = 1 MHz, FDATA1 = 3.90625 ksp/s, ロウ・パワー・モード: fs2 = 0.125 MHz, FDATA2 = 488.28125 sp/s, SBIAS = 2.1 V, dOFR = 0 mV, VCOM = 1.0 V, 外部クロック入力時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
フルスケール差動入力電圧範囲	VID	VID = (PGA0xP - PGA0xN) (x = 0, 1)	—	± 800 /GTOTAL0	—	mV
入力電圧範囲	VI		0.2	—	1.8	V
同相入力電圧範囲	VCOM	dOFR = 0 mV	$0.2 + (VID \times GSET01) / 2$	—	$1.8 - (VID \times GSET01) / 2$	V
入力バイアス電流	IIN	VI = 1.0 V			± 50	nA
入力オフセット電流	IINO	VI = 1.0 V			± 20	nA

(2) アナログ入力 (シングルエンド入力モード)

(TA = -40 ~ +85°C, 2.7 V \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V, ノーマル・モード: fs1 = 1 MHz, FDATA1 = 3.90625 ksp/s, ロウ・パワー・モード: fs2 = 0.125 MHz, FDATA2 = 488.28125 sp/s, SBIAS = 2.1 V, dOFR = 0 mV, VCOM = 1.0 V, 外部クロック入力時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	VI		0.2	—	1.8	V
入力バイアス電流	IIN	VI = 1.0 V			± 50	nA

(3) プログラマブル・ゲイン計装アンプ, 24ビットbit $\Delta\Sigma$ /Dコンバータ

(TA = -40 ~ +85°C, 2.7 V \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V, ノーマル・モード: fs1 = 1 MHz, FDATA1 = 3.90625 ksp/s, ロウ・パワー・モード: fs2 = 0.125 MHz, FDATA2 = 488.28125 sp/s, SBIAS = 2.1 V, doFR = 0 mV, VCOM = 1.0 V, 外部クロック入力時, 差動入力モード時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				24	bit
サンプリング周波数	fs1	ノーマル・モード		1		MHz
	fs2	ロウ・パワー・モード		0.125		MHz
出力データ・レート	fDATA1	ノーマル・モード	0.488		15.625	ksp/s
	fDATA2	ロウ・パワー・モード	61.035		1953.125	sps
ゲイン設定範囲	GTOTAL0	GTOTAL0 = GSET01 \times GSET02	1		64	V/V
第一ゲイン設定範囲	GSET01			1, 2, 3, 4, 8		V/V
第二ゲイン設定範囲	GSET02			1, 2, 4, 8		V/V
オフセット調整ビット範囲	dOFFB			5		bit
オフセット調整範囲	doFR	入力換算	-164/GSET01		+164/GSET01	mV
オフセット調整ステップ	doFS	入力換算		11/GSET01		mV
ゲイン誤差	EG0	TA = 25°C GSET01 = 1, GSET02 = 1 SBIAS 誤差を除く		\pm 0.2	\pm 2.7	%
		TA = 25°C GSET01 = 8, GSET02 = 4 SBIAS 誤差を除く		\pm 0.1		%
ゲイン・ドリフト注	dEG0	GSET01 = 1, GSET02 = 1 SBIAS ドリフトを除く		(5.6)	(22.0)	ppm/°C
		GSET01 = 8, GSET02 = 4 SBIAS ドリフトを除く		(9.1)		ppm/°C
オフセット誤差	EOS0	TA = 25°C GSET01 = 1, GSET02 = 1 入力換算		\pm 0.32	\pm 2.90	mV
		TA = 25°C GSET01 = 8, GSET02 = 4 入力換算		\pm 0.03		mV
オフセット・ドリフト注	dEOS	GSET01 = 1, GSET02 = 1 入力換算		(\pm 0.02)	(\pm 6.00)	μ V/°C
		GSET01 = 8, GSET02 = 4 入力換算		(\pm 0.02)		μ V/°C
SND比	SNDR	GSET01 = 1, GSET02 = 1, fin = 50 Hz ノーマル・モード, Pin = -1 dBFS	(82)	(85)		dB
		GSET01 = 8, GSET02 = 4, fin = 50 Hz ノーマル・モード, Pin = -1 dBFS	(73)	(80)		dB
ノイズ	Vn	GSET01 = 1, GSET02 = 1, OSR = 2048		(13)		μ VRms
		GSET01 = 8, GSET02 = 4, OSR = 2048		(0.6)		μ VRms
積分非直線性誤差	INL	GSET01 = 1, GSET02 = 1, OSR = 2048		(\pm 10)		ppmFS
同相信号除去比	CMRR0	VCOM = 1.0 \pm 0.8 V, fin = 50 Hz, GSET01 = 1, GSET02 = 1	(72)	(90)		dB
電源電圧変動除去比	PSRR0	AVDD = 2.7 ~ 5.5 V, GSET01 = 1, GSET02 = 1	(60)	(85)		dB
$\Delta\Sigma$ /Dコンバータ入力 ロック周波数	fADC		3.8	4.0	4.2	MHz

注 以下の式で、ゲイン・ドリフト、オフセット・ドリフトを算出します (TA = 85°C品の場合)。

ゲイン・ドリフトの算出式 : $(\text{MAX}(\text{EG}(\text{T}(-40) \sim \text{T}(85))) - \text{MIN}(\text{EG}(\text{T}(-40) \sim \text{T}(85)))) / (85^\circ\text{C} - (-40^\circ\text{C}))$

オフセット・ドリフトの算出式 : $(\text{MAX}(\text{EOS}(\text{T}(-40) \sim \text{T}(85))) - \text{MIN}(\text{EOS}(\text{T}(-40) \sim \text{T}(85)))) / (85^\circ\text{C} - (-40^\circ\text{C}))$

MAX(EG(T(-40) ~ T(85))) : -40°Cから85°Cの温度範囲におけるゲイン誤差の最大値

MIN(EG(T(-40) ~ T(85))) : -40°Cから85°Cの温度範囲におけるゲイン誤差の最小値

MAX(EOS(T(-40) ~ T(85))) : -40°Cから85°Cの温度範囲におけるオフセット誤差の最大値

MIN(EOS(T(-40) ~ T(85))) : -40°Cから85°Cの温度範囲におけるオフセット誤差の最小値

備考1. () で示した数値は設計目標値 (保証外) であり, 出荷テストは行いません。

備考2. TYP.条件は, TA = 25°C, AVDD = 3.3 Vでの結果です。

38.6.6 センサ用電源 (SBIAS)

(TA = -40 ~ +85°C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, COUT = 0.22 μF, VOUT = 1.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧範囲	VOUT		0.5		2.2	V
出力電圧調整ステップ	VSTEP			0.1		V
出力電圧精度	VA	IOUT = 1 mA	(-3)		(+3)	%
最大出力電流	IOUT		5			mA
短絡電流	ISHORT	VOUT = 0 V		40	65	mA
負荷変動	LR	1 mA ≤ IOUT ≤ 5 mA			(15)	mV
電源電圧変動除去比	PSRR	AVDD = 5.0 V + 0.1 Vpp ripple f = 100 Hz, IOUT = 2.5 mA, VOUT = 2.1 V	(45)	(70)		dB

備考1. () で示した数値は設計目標値 (保証外) であり, 出荷テストは行いません。

備考2. TYP.条件は, TA = 25°C, AVDD = 3.3 Vでの結果です。

38.6.7 内部バイアス電源

(TA = -40 ~ +85°C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧	VBIAS		0.95	1.00	1.05	V

備考 TYP.条件は, TA = 25°C, AVDD = 3.3 Vでの結果です。

38.6.8 計装アンプ (PGA1)

(TA = -40 ~ +85°C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
差動入力電圧範囲	VID	VID = (PGA1xP - PGA1xN) (x = 0, 1)		±800 /GTOTAL1		mV
入力電圧範囲	VIN		0.3		AVDD-0.6	V
同相入力電圧範囲	VCOM		0.3+(VID + EOS)× GSET11)/2		AVDD-0.6+ ((VID + EOS) ×GSET11)/2	V
出力電圧範囲	VOUT		0.1		AVDD - 0.1	V
最大出力電流	IOUT		-0.1		+0.1	mA
入力バイアス電流	IIN				±50	nA
入力バイアスオフセット電流	IOS				±20	nA
ゲイン設定範囲	GTOTAL1			GSET11 × GSET12		V/V
第一ゲイン設定値	GSET11			12, 16, 20, 24		V/V
第二ゲイン設定値	GSET12			注		V/V
ゲイン誤差	EG1	TA = 25°C GSET11 = 24, GSET12 = 1			±2.7	%
ゲイン・ドリフト	dEG1	GSET11 = 24, GSET12 = 1		(5.6)	(22.0)	ppm/°C
オフセット誤差	EOS1	TA = 25°C GSET11 = 24, GSET12 = 1 入力換算	-10		+10	mV
帯域幅	BW11	ロウ・パワー・モード GSET11 = 24, GSET12 = 1		(1.5)		kHz
	BW12	ハイスピード・モード GSET11 = 24, GSET12 = 1		(67)		kHz
スルー・レート	SR11	ロウ・パワー・モード		(6)		mV/μs
	SR12	ハイスピード・モード		(220)		mV/μs
低帯域換算ノイズ	Enb11	0.1 ~ 10 Hz ロウ・パワー・モード		(3.0)		μVrms
	Enb12	0.1 ~ 10 Hz ハイスピード・モード		(2.6)		μVrms

注 PGA1GC3-0ビットの設定を参照してください。

(TA = -40 ~ +85°C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力換算ノイズ	En11	f = 1 kHz ロウ・パワー・モード		(210)		nV/ √ Hz
	En12	f = 1 kHz ハイスピード・モード		(110)		nV/ √ Hz
	En13	f = 10 Hz ロウ・パワー・モード		(460)		nV/ √ Hz
	En14	f = 10 Hz ハイスピード・モード		(410)		nV/ √ Hz
同相信号除去比	CMRR1	GSET11 = 24, GSET12 = 1 f = 50Hz		(100)		dB
電源電圧変動除去比	PSRR1	2.7 V ≤ AVDD ≤ 5.5 V, f = 50Hz 12ビットD/Aコンバータの基準電圧に SBIAS選択時		(80)		dB

備考1. ()で示した数値は設計目標値（保証外）であり，出荷テストは行いません。

備考2. TYP.条件は， $T_A = 25^\circ\text{C}$ ， $AV_{DD} = 3.3\text{ V}$ での結果です。

備考3. 条件に記載が無い場合は，ハイスピード・モードです。

38.6.9 オペアンプ0 (AMP0)

(TA = -40 ~ +85°C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
同相入力電圧範囲	VCM		0.1		AVDD - 0.1	V
出力電圧範囲	VOU	IOUT = ±1 mA	0.07		AVDD - 0.15	V
最大出力電流	IOUT		(-2)		(+2)	mA
入力バイアス電流	IIN				±50	nA
入力オフセット電圧	VOS1	ロウ・パワー・モード	-10		+10	mV
	VOS2	ハイスピード・モード	-7		+7	mV
スルー・レート	SR1	ロウ・パワー・モード		(0.04)		V/μs
	SR2	ハイスピード・モード		(0.7)		V/μs
利得帯域幅	GBW1	ロウ・パワー・モード		(0.06)		MHz
	GBW2	ハイスピード・モード		(1)		MHz
位相余裕	PM1	ロウ・パワー・モード		(70)		deg
	PM2	ハイスピード・モード		(60)		deg
セトリング時間	Tset1	ロウ・パワー・モード CL = 50 pF, RL = 10 kΩ			(300)	μs
	Tset2	ハイスピード・モード CL = 50 pF, RL = 10 kΩ			(14)	μs
安定待ち時間	Tstaw1	AMPEn = 0→1, ロウ・パワー・モード CL = 50 pF, RL = 10 kΩ			(300)	μs
	Tstaw2	AMPEn = 0→1, ハイスピード・モード CL = 50 pF, RL = 10 kΩ			(14)	μs
入力換算ノイズ	En1	f = 1 kHz ロウ・パワー・モード		(200)		nV/ √Hz
	En2	f = 1 kHz ハイスピード・モード		(80)		nV/ √Hz
同相信号除去比	CMRR	DC		(70)		dB
電源電圧変動除去比	PSRR	DC		(90)		dB

備考1. () で示した数値は設計目標値（保証外）であり，出荷テストは行いません。

備考2. TYP.条件は，TA = 25°C, AVDD = 3.3 Vでの結果です。

備考3. 条件に記載が無い場合は，ハイスピード・モードです。

38.6.10 オペアンプ1, 2 (AMP1, AMP2)

(TA = -40 ~ +85°C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
同相入力電圧範囲	VCM1	ロウ・パワー・モード	0.2		AVDD - 0.5	V
	VCM2	ハイスピード・モード	0.3		AVDD - 0.6	V
出力電圧範囲	VOUT		0.1		AVDD - 0.1	V
最大出力電流	IOUT	2.7 V ≤ AVDD ≤ 5.5 V	-100		+100	μA
入力バイアス電流	IIN				±50	nA
入力オフセット電圧	VOS1	ロウ・パワー・モード	-10		+10	mV
	VOS2	ハイスピード・モード	-10		+10	mV
スルー・レート	SR1	ロウ・パワー・モード		(0.02)		V/μs
	SR2	ハイスピード・モード		(1.1)		V/μs
利得帯域幅	GBW1	ロウ・パワー・モード		(0.04)		MHz
	GBW2	ハイスピード・モード		(1.7)		MHz
位相余裕	PM1	ロウ・パワー・モード		(70)		deg
	PM2	ハイスピード・モード		(60)		deg
セトリング時間	Tset1	ロウ・パワー・モード CL = 50 pF, RL = 10 kΩ			(750)	μs
	Tset2	ハイスピード・モード CL = 50 pF, RL = 10 kΩ			(13)	μs
安定待ち時間	Tstaw1	AMPEn = 0→1, ロウ・パワー・モード CL = 50 pF, RL = 10 kΩ			(800)	μs
	Tstaw2	AMPEn = 0→1, ハイスピード・モード CL = 50 pF, RL = 10 kΩ			(13)	μs
入力換算ノイズ	En1	f = 1 kHz ロウ・パワー・モード		(230)		nV/ √Hz
	En2	f = 1 kHz ハイスピード・モード		(90)		nV/ √Hz
同相信号除去比	CMRR	DC		(90)		dB
電源電圧変動除去比	PSRR	DC		(90)		dB

備考1. () で示した数値は設計目標値 (保証外) であり, 出荷テストは行いません。

備考2. TYP.条件は, TA = 25°C, AVDD = 3.3 Vでの結果です。

備考3. 条件に記載が無い場合は, ハイスピード・モードです。

38.6.11 8ビット D/Aコンバータ (DAC0)

(TA = -40 ~ +85°C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = 2.1V (SBIAS))

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	DARES0				8	bit
絶対精度	LE	注			±2.5	LSB
微分非直線性誤差	DADLE0				±2.0	LSB
セトリング時間	DAtset0	CL = 50 pF, RL = 10 kΩ			(6)	μs

注 SBIAS出力電圧の誤差は含みません。

備考1. () で示した数値は設計目標値 (保証外) であり, 出荷テストは行いません。

備考2. 8ビットD/Aコンバータの特性は, アンプ・ユニットを通した特性です。

38.6.12 12ビット D/Aコンバータ (DAC1)

(1) 基準電圧(+) = 2.1V (SBIAS)選択時

(TA = -40 ~ +85°C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = 2.1 V (SBIAS))

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	DARES1	12ビット分解能			(12)	bit
出力電圧範囲	DAOUT	12ビット分解能	0.35		SBIAS	V
積分非直線性誤差	DAILE	12ビット分解能			±4.0	LSB
微分非直線性誤差	DADLE1	12ビット分解能			±1.0	LSB
オフセット誤差	DAErr	12ビット分解能			±30	mV
ゲイン誤差	DAEG	12ビット分解能 注			±20	mV
セトリング時間	DAtset1	12ビット分解能 CL = 50 pF, RL = 10 kΩ			(60)	μs

注 SBIAS出力電圧の誤差は含みません。

備考1. () で示した数値は設計目標値 (保証外) であり, 出荷テストは行いません。

備考2. 12ビットD/Aコンバータの特性は, アンプ・ユニットを通した特性です。

(2) 基準電圧(+) = AVDD選択時

(TA = -40 ~ +85°C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = AVDD)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	DARES1	12ビット分解能			(12)	bit
出力電圧範囲	DAOUT	12ビット分解能	0.35		AVDD - 0.47	V
積分非直線性誤差	DAILE	12ビット分解能			±4.0	LSB
微分非直線性誤差	DADLE1	12ビット分解能			±1.0	LSB
オフセット誤差	DAErr	12ビット分解能			±30	mV
ゲイン誤差	DAEG	12ビット分解能			±20	mV
セトリング時間	DAtset1	12ビット分解能 CL = 50 pF, RL = 10 kΩ			(60)	μs

備考1. () で示した数値は設計目標値 (保証外) であり, 出荷テストは行いません。

備考2. 12ビットD/Aコンバータの特性は, アンプ・ユニットを通した特性です。

38.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD			54	V/ms

注意 VDDが38.4 AC特性に示す動作電圧範囲内に達するまで, LVD回路か外部リセットで内部リセット状態を保ってください。

38.8 LCD特性

38.8.1 外部抵抗分割方式

(1) スタティック・モード

(TA = -40 ~ +85°C, VL4 (MIN.) ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.0		VDD	V

(2) 1/2バイアス, 1/4バイアス

(TA = -40 ~ +85°C, VL4 (MIN.) ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.7		VDD	V

(3) 1/3バイアス

(TA = -40 ~ +85°C, VL4 (MIN.) ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.5		VDD	V

38.8.2 内部昇圧方式

(1) 1/3バイアス

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4 ^{注1} = 0.47 μF ^{注2}	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H	1.65	1.75	1.83	V			
ダブル出力電圧	VL2	C1-C4 ^{注1} = 0.47 μF	2 VL1 - 0.1	2 VL1	2 VL1	V	
トリプル出力電圧	VL4	C1-C4 ^{注1} = 0.47 μF	3 VL1 - 0.15	3 VL1	3 VL1	V	
基準電圧セットアップ時間 ^{注2}	tVWAIT1		5			ms	
昇圧ウェイト時間 ^{注3}	tVWAIT2	C1-C4 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ± 30%

注2. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注3. 昇圧を開始してから(VLCON = 1), 表示が可能になる(LCDON = 1)までのウェイト時間です。

(2) 1/4バイアス

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C5注1 = 0.47 μF注2	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
ダブル出力電圧	VL2	C1-C5注1 = 0.47 μF	2 VL1 - 0.08	2 VL1	2 VL1	V	
トリプル出力電圧	VL3	C1-C5注1 = 0.47 μF	3 VL1 - 0.12	3 VL1	3 VL1	V	
クアドラプル出力電圧	VL4	C1-C5注1 = 0.47 μF	4 VL1 - 0.16	4 VL1	4 VL1	V	
基準電圧セットアップ時間注2	tVWAIT1		5			ms	
昇圧ウェイト時間注3	tVWAIT2	C1-C5注1 = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL3-GND間に接続するコンデンサです。

C5 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = C5 = 0.47 μF ± 30%

注2. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注3. 昇圧を開始してから(VLCON = 1), 表示が可能になる(LCDON = 1)までのウェイト時間です。

38.8.3 容量分割方式

(1) 1/3バイアス

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
VL4電圧	VL4	C1-C4 = 0.47 μF注2		VDD		V
VL2電圧	VL2	C1-C4 = 0.47 μF注2	2/3 VL4 - 0.1	2/3 VL4	2/3 VL4 + 0.1	V
VL1電圧	VL1	C1-C4 = 0.47 μF注2	1/3 VL4 - 0.1	1/3 VL4	1/3 VL4 + 0.1	V
容量分割ウェイト時間注1	tVWAIT		100			ms

注1. 降圧を開始してから (VLCON = 1), 表示が可能になる (LCDON = 1) までのウェイト時間です。

注2. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

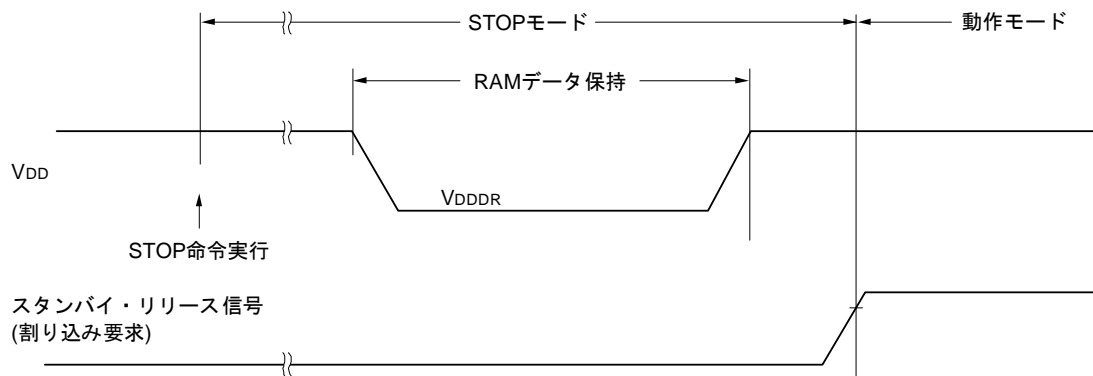
C1 = C2 = C3 = C4 = 0.47 μF ± 30%

38.9 RAMデータ保持特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



38.10 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V ≤ VDD ≤ 5.5 V	1		24	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	Cerwr	保持年数: 20年 TA = 85°C	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数: 1年 TA = 25°C		1,000,000		
		保持年数: 5年 TA = 85°C	100,000			
		保持年数: 20年 TA = 85°C	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

38.11 専用フラッシュ・メモリ・プログラマ通信(UART)

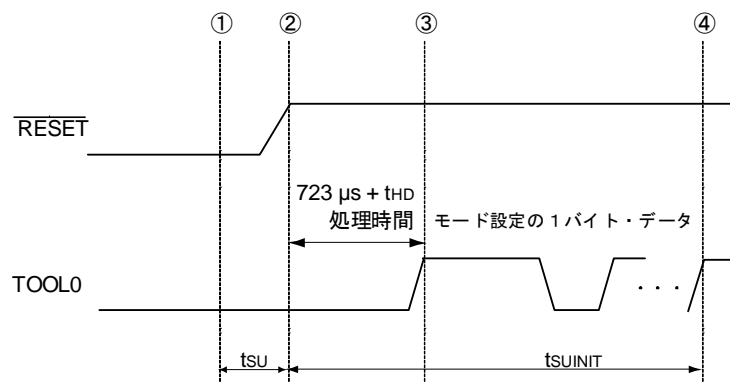
(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

38.12 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tSUINI T	外部リセット解除前にPOR, LVD リセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tSU	外部リセット解除前にPOR, LVD リセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前にPOR, LVD リセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットが解除(外部リセット解除前にPOR, LVDリセットは解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるモード引きこみ, ボー・レート設定完了

備考 tSUINIT : この区間では, リセット解除から100 ms以内に初期設定通信を完了してください。

tsu : TOOL0端子をロウ・レベルにしてから, 外部リセットを解除するまでの時間

tHD : 外部リセット解除から, TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)

第39章 電気的特性 (R5F11R) (D: TA = -40 ~ +85°C)

この章では、D：産業用途 (TA = -40 ~ +85°C) の電気的特性を示します。

注意1. RL78 マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. 製品に搭載している端子機能は 2.1 ポート機能 ~ 2.2 ポート以外の機能を参照してください。

39.1 絶対最大定格

絶対最大定格

(1/3)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	AVDD	AVDD = VDD	-0.5 ~ +6.5	V
	AVSS	AVSS = VSS	-0.5 ~ +0.3	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD+0.3注1	V
入力電圧	Vi1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P121-P124, P125-P127, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$	-0.3 ~ VDD+0.3注2	V
	Vi2	P60, P61 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	P20-P27, P150, P151	-0.3 ~ AVDD+0.3注2	V
出力電圧	VO1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P60, P61, P70-P77, P80-P86, P125-P127	-0.3 ~ VDD+0.3注2	V
	VO2	P20-P27, P150, P151	-0.3 ~ AVDD+0.3注2	V
アナログ入力電圧	VAI1	ANI8-ANI10	-0.3 ~ VDD+0.3注2	V

注1. REGC端子にはコンデンサ(0.47 ~ 1 μF)を介してVssに接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. VSS (VDD系) = AVSS(AVDD系)を基準電圧とする。

絶対最大定格

(2/3)

項目	略号	条件	定格	単位	
LCD 電圧	VL11	VL1 入力電圧 ^{注1}	-0.3 ~ +2.8	V	
	VL12	VL2 入力電圧 ^{注1}	-0.3 ~ +6.5	V	
	VL13	VL3 入力電圧 ^{注1}	-0.3 ~ +6.5	V	
	VL14	VL4 入力電圧 ^{注1}	-0.3 ~ +6.5	V	
	VL15	CAPL, CAPH 入力電圧 ^{注1}	-0.3 ~ +6.5	V	
	VLO1	VL1 出力電圧	-0.3 ~ +2.8	V	
	VLO2	VL2 出力電圧	-0.3 ~ +6.5	V	
	VLO3	VL3 出力電圧	-0.3 ~ +6.5	V	
	VLO4	VL4 出力電圧	-0.3 ~ +6.5	V	
	VLO5	CAPL, CAPH 出力電圧	-0.3 ~ +6.5	V	
	VLO6	COM0-COM7 SEG0-SEG35 出力電圧	外部抵抗分割方式	-0.3 ~ VDD+0.3 ^{注2}	V
			容量分割方式	-0.3 ~ VDD+0.3 ^{注2}	V
内部昇圧方式			-0.3 ~ VL14+0.3 ^{注2}	V	

注1. この値は、VL1, VL2, VL3, VL4 端子への電圧印加する場合の絶対最大定格を規定するものであり、電圧印加して使用することを推奨しているわけではありません。内部昇圧方式、容量分割方式の場合、VL1, VL2, VL3, VL4 端子にはコンデンサ (0.47 $\mu\text{F} \pm 30\%$) を介して VSS に接続し、CAPL 端子、CAPH 端子間にもコンデンサ (0.47 $\mu\text{F} \pm 30\%$) を接続してください。

注2. 6.5 V 以下であること。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

絶対最大定格

(3/3)

項目	略号	条件	定格	単位	
ハイ・レベル出力電流	IOH1	1 端子	-40	mA	
		端子合計 -170 mA	P40, P43, P44, P80-P83	-70	mA
			P01-P07, P10-P17, P30-P32, P35-P37, P50-P53, P70-P77, P84-P86, P125-P127	-100	mA
	IOH2	1 端子	-40	mA	
		端子合計 -140 mA	P21-P27	-70	mA
			P20, P150, P151	-70	mA
ロウ・レベル出力電流	IOL1	1 端子	40	mA	
		端子合計 170 mA	P40, P43, P44, P80-P83	70	mA
			P01-P07, P10-P17, P30-P32, P35-P37, P50-P53, P60, P61, P70-P77, P84-P86, P125-P127	100	mA
	IOL2	1 端子	40	mA	
		端子合計 140 mA	P21-P27	70	mA
			P20, P150, P151	70	mA
動作周囲温度	TA	通常動作時	-40 ~ +85	°C	
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg		-65 ~ +150	°C	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

39.2 発振回路特性

39.2.1 X1, XT1 特性

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1 クロック発振周波数 (fx) 注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	
		1.8 V ≤ VDD < 2.4 V	1.0		8.0	
XT1 クロック発振周波数 (fxT) 注	水晶振動子		32	32.768	35	kHz
			31	38.4	39	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

39.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位	
高速オンチップ・オシレータ・クロック周波数注1,2	fiH	2.7 V ≤ VDD ≤ 5.5 V	1		24	MHz	
		2.4 V ≤ VDD < 2.7 V	1		16	MHz	
		1.8 V ≤ VDD < 2.4 V	1		8	MHz	
高速オンチップ・オシレータ・クロック周波数精度		-20 ~ +85°C	1.8 V ≤ VDD ≤ 5.5 V	-1.0		+1.0	%
		-40 ~ -20°C	1.8 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
低速オンチップ・オシレータ・クロック周波数	fiL			15		kHz	
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%	

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/010C2H) のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

39.3 DC特性

39.3.1 端子特性

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流注1	IOH1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127 1端子			-10.0注2	mA	
		P40, P43, P44, P80-P83	4.0 V ≤ VDD ≤ 5.5 V		-55	mA	
		合計	2.7 V ≤ VDD < 4.0 V		-10	mA	
		(デューティ ≤ 70%時注3)	1.8 V ≤ VDD < 2.7 V		-5	mA	
		P01-P07, P10-P17, P30-P32, P35-P37, P50-P53, P70-P77, P84-P86, P125-P127	4.0 V ≤ VDD ≤ 5.5 V		-69	mA	
		合計	2.7 V ≤ VDD < 4.0 V		-23	mA	
			1.8 V ≤ VDD < 2.7 V		-12	mA	
		合計					
		(デューティ ≤ 70%時注3)					
		全端子合計	1.8 V ≤ VDD ≤ 5.5 V		-124	mA	
		(デューティ ≤ 70%時注3)					
	IOH2	P20-P27, P150, P151 1端子	1.8 V ≤ AVDD ≤ 5.5 V			-10.0注2	mA
		P21-P27	4.0 V ≤ AVDD ≤ 5.5 V			-50	mA
		合計	2.7 V ≤ AVDD < 4.0 V			-10	mA
(デューティ ≤ 70%時注3)		1.8 V ≤ AVDD < 2.7 V			-5	mA	
P20, P150, P151		4.0 V ≤ AVDD ≤ 5.5 V			-21	mA	
合計		2.7 V ≤ AVDD < 4.0 V			-5	mA	
(デューティ ≤ 70%時注3)		1.8 V ≤ AVDD < 2.7 V			-3	mA	
全端子合計		1.8 V ≤ AVDD ≤ 5.5 V			-71	mA	
	(デューティ ≤ 70%時注3)						

(注 備考は次ページにあります。)

- 注1. VDD端子 (IOH1), AVDD端子 (IOH2)から出力端子に流れ出しても、デバイスの動作を保証する電流値です。
- 注2. ただし、合計の電流値を越えないでください。
- 注3. デューティ $\leq 70\%$ の条件での出力電流の値です。
デューティ $> 70\%$ に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。
- 端子合計の出力電流 = $(IOH \times 0.7)/(n \times 0.01)$
- <計算例> IOH = -10.0 mAの場合, n = 80%
- $$\text{端子合計の出力電流} = (-10.0 \times 0.7)/(80 \times 0.01) \approx -8.7 \text{ mA}$$
- ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。
- 注意 P02-P04, P06, P07, P10, P12, P35-P37, P40, P43, P44, P50-P52, P80-P82は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。
- 備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P121-P127 1端子			20.0 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
		P40, P43, P44, P80-P83 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			70	mA
			2.7 V ≤ VDD < 4.0 V			15	mA
			1.8 V ≤ VDD < 2.7 V			9	mA
		P01-P07, P10-P17, P30-P32, P35-P37, P50-P53, P60, P61, P70-P77, P84-P86, P125-P127 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			90	mA
			2.7 V ≤ VDD < 4.0 V			35	mA
			1.8 V ≤ VDD < 2.7 V			20	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})	1.8 V ≤ VDD ≤ 5.5 V			160	mA
		IOL2	P20-P27, P150, P151 1端子	1.8 V ≤ AVDD ≤ 5.5 V			20
	P21-P27 合計 (デューティ ≤ 70%時 ^{注3})		4.0 V ≤ AVDD ≤ 5.5 V			60	mA
			2.7 V ≤ AVDD < 4.0 V			10	mA
			1.8 V ≤ AVDD < 2.7 V			5	mA
	P20, P150, P151 合計 (デューティ ≤ 70%時 ^{注3})		4.0 V ≤ AVDD ≤ 5.5 V			25	mA
			2.7 V ≤ AVDD < 4.0 V			8	mA
			1.8 V ≤ AVDD < 2.7 V			5	mA
全端子合計 (デューティ ≤ 70%時 ^{注3})	1.8 V ≤ AVDD ≤ 5.5 V				85	mA	

注1. 出力端子からVSS端子(IOL1), AVSS端子(IOL2)に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

• 端子合計の出力電流 = (IOL × 0.7)/(n × 0.01)

<計算例> IOL = 10.0 mAの場合, n = 80%

端子合計の出力電流 = (10.0 × 0.7)/(80 × 0.01) ≒ 8.7 mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127	通常入力バッファ	0.8 VDD		VDD	V
	VIH2	TTLモード対応ポート	TTL入力バッファ 4.0 V ≤ VDD ≤ 5.5 V	2.2		VDD	V
			TTL入力バッファ 3.3 V ≤ VDD < 4.0 V	2.0		VDD	V
			TTL入力バッファ 1.8 V ≤ VDD < 3.3 V	1.50		VDD	V
	VIH3	P20-P27, P150, P151		0.8 AVDD		AVDD	V
	VIH4	P60, P61		0.7 VDD		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127	通常入力バッファ	0		0.2 VDD	V
	VIL2	TTLモード対応ポート	TTL入力バッファ 4.0 V ≤ VDD ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ VDD < 4.0 V	0		0.5	V
			TTL入力バッファ 1.8 V ≤ VDD < 3.3 V	0		0.32	V
	VIL3	P20-P27, P150, P151		0		0.2 AVDD	V
	VIL4	P60, P61		0		0.3 VDD	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET		0		0.2 VDD	V

注意 P02-P04, P06, P07, P10, P12, P35-P37, P40, P43, P44, P50-P52, P80-P82は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127	4.0 V ≤ VDD ≤ 5.5 V, IOH = -10.0 mA	VDD - 1.5			V
			4.0 V ≤ VDD ≤ 5.5 V, IOH = -3.0 mA	VDD - 0.7			V
			2.7 V ≤ VDD ≤ 5.5 V, IOH = -2.0 mA	VDD - 0.6			V
			1.8 V ≤ VDD ≤ 5.5 V, IOH = -1.5 mA	VDD - 0.5			V
	VOH2	P20-P27, P150, P151	4.0 V ≤ AVDD ≤ 5.5 V, IOH = -10.0 mA	AVDD - 1.5			V
			4.0 V ≤ AVDD ≤ 5.5 V, IOH = -3.0 mA	AVDD - 0.7			V
			2.7 V ≤ AVDD ≤ 5.5 V, IOH = -2.0 mA	AVDD - 0.6			V
			1.8 V ≤ AVDD ≤ 5.5 V, IOH = -1.5 mA	AVDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P70-P77, P80-P86, P125-P127	4.0 V ≤ VDD ≤ 5.5 V, IOL = 20.0 mA			1.3	V
			4.0 V ≤ VDD ≤ 5.5 V, IOL = 8.5 mA			0.7	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL = 3.0 mA			0.6	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL = 1.5 mA			0.4	V
			1.8 V ≤ VDD ≤ 5.5 V, IOL = 0.6 mA			0.4	V
	VOL2	P20-P27, P150, P151	4.0 V ≤ AVDD ≤ 5.5 V, IOL = 20.0 mA			1.3	V
			4.0 V ≤ AVDD ≤ 5.5 V, IOL = 8.5 mA			0.7	V
			2.7 V ≤ AVDD ≤ 5.5 V, IOL = 3.0 mA			0.6	V
			2.7 V ≤ AVDD ≤ 5.5 V, IOL = 1.5 mA			0.4	V
			1.8 V ≤ AVDD ≤ 5.5 V, IOL = 0.6 mA			0.4	V
	VOL3	P60, P61	4.0 V ≤ VDD ≤ 5.5 V, IOL = 15.0 mA			2.0	V
			4.0 V ≤ VDD ≤ 5.5 V, IOL = 5.0 mA			0.4	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL = 3.0 mA			0.4	V
			1.8 V ≤ VDD ≤ 5.5 V, IOL = 2.0 mA			0.4	V

注意 P02-P04, P06, P07, P10, P12, P35-P37, P40, P43, P44, P50-P52, P80-P82 は、N-ch オープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル 入力リーク電流	ILIH1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P60, P61, P70-P77, P80-P86, P125-P127, P137, RESET	VI = VDD			1	μA	
	ILIH2	P20-P27, P150, P151	VI = AVDD			1	μA	
	ILIH3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	VI = VDD	入力ポート時, 外部 クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル 入力リーク電流	ILIL1	P01-P07, P10-P17, P30-P32, P35-P37, P40, P43, P44, P50-P53, P60, P61, P70-P77, P80-P86, P125-P127, P137, RESET	VI = VSS			-1	μA	
	ILIL2	P20-P27, P150, P151	VI = AVSS			-1	μA	
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	VI = VSS	入力ポート時, 外部 クロック入力時			-1	μA
				発振子接続時			-10	μA
内蔵プルアップ抵抗	RU1	P01-P07, P10-P16, P30-P32, P35-P37, P50-P53, P70-P77, P125-P127	VI = VSS,	2.4 V ≤ VDD ≤ 5.5 V	10	20	100	kΩ
			入力ポート時	1.8 V ≤ VDD < 2.4 V	10	30	100	kΩ
	RU2	P17, P40, P43, P44, P80-P86,	VI = VSS, 入力ポート時		10	20	100	kΩ
	RU3	P20-P27, P150, P151	VI = AVSS, 入力ポート時		10	20	100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

39.3.2 電源電流特性

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位				
電源電流 ^{注1}	IDD1	動作モード	HS(高速メイン)モード ^{注5}	f _H = 24 MHz ^{注3}	基本動作	VDD = 5.0 V		1.7		mA	
						VDD = 3.0 V		1.7			
				通常動作	VDD = 5.0 V		3.7	6.4			
					VDD = 3.0 V		3.7	6.4			
				f _H = 16 MHz ^{注3}	通常動作	VDD = 5.0 V		2.8	5.0		
						VDD = 3.0 V		2.8	5.0		
			LS(低速メイン)モード ^{注5}	f _H = 8 MHz ^{注3}	通常動作	VDD = 3.0 V		1.2	2.1		mA
						VDD = 2.0 V		1.2	2.1		
			HS(高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		3.1	5.4		mA
							発振子接続		3.3		
					通常動作	方形波入力		3.0	5.4		
						発振子接続		3.3	5.5		
		f _{MX} = 16 MHz ^{注2} , VDD = 5.0 V			通常動作	方形波入力		2.6	4.7		
						発振子接続		2.8	4.8		
		f _{MX} = 16 MHz ^{注2} , VDD = 3.0 V		通常動作	方形波入力		2.6	4.7			
					発振子接続		2.8	4.8			
		f _{MX} = 10 MHz ^{注2} , VDD = 5.0 V		通常動作	方形波入力		1.9	3.1			
					発振子接続		1.9	3.1			
		f _{MX} = 10 MHz ^{注2} , VDD = 3.0 V		通常動作	方形波入力		1.9	3.1			
					発振子接続		1.9	3.1			
		LS(低速メイン)モード ^{注5}	f _{MX} = 8 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		1.1	2.1	mA		
						発振子接続		1.1		2.1	
			f _{MX} = 8 MHz ^{注2} , VDD = 2.0 V	通常動作	方形波入力		1.1	2.1			
					発振子接続		1.1	2.1			
		サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注4} , TA = -40°C	通常動作	方形波入力		4.3	5.8	μA		
						発振子接続		4.6		5.8	
			f _{SUB} = 32.768 kHz ^{注4} , TA = +25°C	通常動作	方形波入力		4.3	5.8			
					発振子接続		4.6	5.8			
			f _{SUB} = 32.768 kHz ^{注4} , TA = +50°C	通常動作	方形波入力		4.5	7.6			
					発振子接続		4.5	7.6			
f _{SUB} = 32.768 kHz ^{注4} , TA = +70°C	通常動作		方形波入力		4.7	9.2					
			発振子接続		5.1	9.2					
f _{SUB} = 32.768 kHz ^{注4} , TA = +85°C	通常動作		方形波入力		5.2	12.6					
			発振子接続		5.7	12.6					
f _{SUB} = 38.4 kHz ^{注4} , TA = -40°C	通常動作		方形波入力		5.0	6.8	μA				
				発振子接続		5.4		6.8			
f _{SUB} = 38.4 kHz ^{注4} , TA = +25°C	通常動作		方形波入力		5.0	6.8					
			発振子接続		5.4	6.8					
f _{SUB} = 38.4 kHz ^{注4} , TA = +50°C	通常動作	方形波入力		5.3	8.9						
		発振子接続		5.3	8.9						
f _{SUB} = 38.4 kHz ^{注4} , TA = +70°C	通常動作	方形波入力		5.5	10.8						
		発振子接続		6.0	10.8						
f _{SUB} = 38.4 kHz ^{注4} , TA = +85°C	通常動作	方形波入力		6.1	14.8						
		発振子接続		6.7	14.8						

(注, 備考は次ページにあります。)

- 注1. VDD, AVDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS (高速メイン) モード, LS (低速メイン) モード時, 電源電流のTYP. 値は周辺動作電流を含みません。MAX. 値は周辺動作電流を含みます。ただし, LCDコントローラ/ドライバ, A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。サブシステム・クロック動作時, 電源電流のTYP. 値とMAX. 値は周辺動作電流を含みません。ただし, HALTモード時はリアルタイム・クロック2に流れる電流を含みます。
- 注2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
- 注3. 高速システム・クロック, サブシステム・クロックは停止時。
- 注4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。

- 注5. 動作モード, 動作電圧範囲, CPU動作周波数の関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5$ @ 1 MHz ~ 24 MHz

$2.4\text{ V} \leq V_{DD} \leq 5.5$ @ 1 MHz ~ 16 MHz

LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5$ @ 1 MHz ~ 8 MHz

備考1. fMX : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIH : 高速オンチップ・オシレータ・クロック周波数

備考3. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

備考4. 「サブシステム・クロック動作」以外のTYP. 値の温度条件は, TA = 25°Cです。

(TA = -40 ~ +85°C, 1.8 V ≦ AVDD = VDD ≦ 5.5 V, AVSS = VSS = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS(高速メイン)モード ^{注6}	fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.42	2.03	mA
					VDD = 3.0 V		0.42	2.03	
				fIH = 16 MHz ^{注4}	VDD = 5.0 V		0.39	1.58	
					VDD = 3.0 V		0.39	1.58	
			LS(低速メイン)モード ^{注6}	fIH = 8 MHz ^{注4}	VDD = 3.0 V		0.25	0.81	
					VDD = 2.0 V		0.25	0.81	
			HS(高速メイン)モード ^{注6}	fMX = 20 MHz ^{注3} , VDD = 5.0 V	方形波入力		0.26	1.75	
					発振子接続		0.40	1.88	
				fMX = 20 MHz ^{注3} , VDD = 3.0 V	方形波入力		0.25	1.75	
					発振子接続		0.40	1.88	
				fMX = 16 MHz ^{注3} , VDD = 5.0 V	方形波入力		0.23	1.42	
					発振子接続		0.36	1.59	
				fMX = 16 MHz ^{注3} , VDD = 3.0 V	方形波入力		0.22	1.42	
					発振子接続		0.35	1.59	
			fMX = 10 MHz ^{注3} , VDD = 5.0 V	方形波入力		0.19	0.92		
				発振子接続		0.29	1.00		
		fMX = 10 MHz ^{注3} , VDD = 3.0 V	方形波入力		0.18	0.92			
			発振子接続		0.28	1.00			
		LS(低速メイン)モード ^{注6}	fMX = 8 MHz ^{注3} , VDD = 3.0 V	方形波入力		0.09	0.61		
				発振子接続		0.15	0.66		
			fMX = 8 MHz ^{注3} , VDD = 2.0 V	方形波入力		0.10	0.62		
				発振子接続		0.15	0.67		
		サブシステム・クロック動作	fsUB = 32.768 kHz ^{注5} TA = -40°C	方形波入力		0.32	0.69		
				発振子接続		0.51	0.89		
				fsUB = 32.768 kHz ^{注5} TA = +25°C	方形波入力		0.41	0.82	
					発振子接続		0.62	1.00	
				fsUB = 32.768 kHz ^{注5} TA = +50°C	方形波入力		0.52	1.40	
					発振子接続		0.75	1.60	
				fsUB = 32.768 kHz ^{注5} TA = +70°C	方形波入力		0.82	2.70	
					発振子接続		1.08	2.90	
			fsUB = 32.768 kHz ^{注5} TA = +85°C	方形波入力		1.38	4.95		
				発振子接続		1.62	5.15		
fsUB = 38.4 kHz ^{注5}	TA = -40°C		方形波入力		0.38	0.81			
			発振子接続		0.60	1.04			
	TA = +25°C		方形波入力		0.48	0.96			
			発振子接続		0.73	1.17			
	TA = +50°C		方形波入力		0.61	1.64			
			発振子接続		0.88	1.88			
	TA = +70°C	方形波入力		0.96	3.16				
		発振子接続		1.27	3.40				
TA = +85°C	方形波入力		1.62	5.80					
発振子接続		1.90	6.04						
IDD3	STOPモード ^{注7}	TA = -40°C		0.20	0.59				
		TA = +25°C		0.26	0.72				
		TA = +50°C		0.33	1.30				
		TA = +70°C		0.53	2.60				
		TA = +85°C		0.93	4.85				

(注, 備考は次ページにあります。)

- 注1. VDD, AVDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS (高速メイン) モード, LS (低速メイン) モード時, 電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし, LCDコントローラ/ドライバ, A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。サブシステム・クロック動作時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし, HALTモード時はリアルタイム・クロック2に流れる電流を含みます。STOPモード時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
- 注4. 高速システム・クロック, サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。
- 注6. 動作モード, 動作電圧範囲, CPU動作周波数の関係を次に示します。
- HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5$ @ 1 MHz ~ 24 MHz
 $2.4\text{ V} \leq V_{DD} \leq 5.5$ @ 1 MHz ~ 16 MHz
- LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5$ @ 1 MHz ~ 8 MHz
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は, HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. fMX : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIH : 高速オンチップ・オシレータ・クロック周波数

備考3. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

備考4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, TA = 25°Cです。

周辺機能

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1				0.20		μA
RTC2動作電流	IRTC注1,3	fSUB = 32.768kHz			0.02		μA
12ビット・インターバル・タイマ動作電流	ITMKA注1,2,4	fSUB = 38.4 kHz, fMAIN停止			0.02		μA
		fSUB = 32.768 kHz, fMAIN停止			0.02		μA
8ビット・インターバル・タイマ動作電流	ITMRT注1,14	fSUB = 38.4kHz fMAIN停止, 1ユニットあたり	8ビット・カウンタ・モード × 2ch 動作		0.14		μA
			16ビット・カウンタ・モード動作		0.12		μA
		fSUB = 32.768kHz fMAIN停止, 1ユニットあたり	8ビット・カウンタ・モード × 2ch 動作		0.12		μA
			16ビット・カウンタ・モード動作		0.10		μA
ウォッチドッグ・タイマ動作電流	IWDT注1,5	fIL = 15 kHz			0.22		μA
10ビットA/Dコンバータ動作電流	IADC注1,6	最高速変換時	標準モード, VDD = 5.0 V		1.3	1.7	mA
			低電圧モード, VDD = 3.0 V		0.5	0.7	mA
内部基準電圧 (1.45V) 電流	IADREF注1,7				85		μA
温度センサ動作電流	ITMPS注1				85		μA
LVD動作電流	ILVI注1,8				0.06		μA
セルフ・プログラミング動作電流	IFSP注1,9				2.0	12.2	mA
BGO動作電流	IBGO注1,10				2.0	12.2	mA
SNOOZE動作電流	ISNOZ注1,11	ADC動作	モード遷移中		0.50	0.60	mA
			変換動作中、低電圧モード、VDD = 3.0 V		1.20	1.44	mA
		簡易SPI(CSI)/UART動作			0.70	0.84	
		DTC動作			3.1		mA

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
LCD動作電流	ILCD1 注12, 13	外部抵抗分割方式	fLCD = fSUB (32.768 kHz)	1/3バイアス 4時分割	VDD = 5.0 V, VL4 = 5.0 V		0.04	0.20	μA
			LCDクロック = 128 Hz				0.08	0.40	
			fLCD = fSUB (38.4 kHz)						
	ILCD2 注12	内部昇圧方式	fLCD = fSUB (32.768 kHz)	1/3バイアス 4時分割	VDD = 3.0 V, VL4 = 3.0 V (VLCD = 04H)		0.85	2.20	μA
			LCDクロック = 128 Hz				0.50	2.20	
			fLCD = fSUB (38.4 kHz)						
			LCDクロック = 75 Hz						
			fLCD = fSUB (32.768 kHz)				1.55	3.70	μA
			LCDクロック = 128 Hz				0.91	3.70	
	ILCD3 注12	容量分割方式	fLCD = fSUB (32.768 kHz)	1/3バイアス 4時分割	VDD = 3.0 V, VL4 = 3.0 V		0.20	0.50	μA
			LCDクロック = 128 Hz				0.13	0.50	
			fLCD = fSUB (38.4 kHz)						
Meter専用 マクロ動作電流	ITMRJ 注15	fSUB = 38.4 kHz, fMAIN 停止, 1 ユニットあたり					0.10		μA
	IUARTMG 注15	fSUB = 38.4 kHz, fMAIN 停止					0.12		μA
	ISMOTD 注15	fSUB = 38.4 kHz, fMAIN 停止					0.10		μA
	IEXSD 注15	fSUB = 38.4 kHz, fMAIN 停止					0.02		μA

注1. VDDに流れる電流です。

注2. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。

注3. リアルタイム・クロック2にのみ流れる電流です(低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロック2の動作時は, IDD1またはIDD2にIRTCを加算した値がRL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。
IDD2のサブシステム・クロック動作にはリアルタイム・クロック2の動作電流が含まれています。

注4. 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマが動作時は, IDD1またはIDD2にITMKAを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作には12ビット・インターバル・タイマの動作電流が含まれています。

注5. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。STOPモード時にウォッチドッグ・タイマが動作中の場合, IDD1またはIDD2またはIDD3にIWDTを加算した値が, RL78マイクロコントローラの電流値となります。

注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータ動作時は, IDD1またはIDD2にIADC, IADREFを加算した値が, RL78マイクロコントローラの電流値となります。

注7. 内部基準電圧の動作電流です。

注8. LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合, IDD1またはIDD2またはIDD3にILVIを加算した値が, RL78マイクロコントローラの電流値となります。

注9. セルフ・プログラミング動作に流れる電流です。

注10. データ・フラッシュ書き換え動作に流れる電流です。

注11. SNOOZEモードへの遷移時間は, 27.3.3 SNOOZEモードを参照してください。

- 注12. LCDコントローラ／ドライバ(VDD端子)にのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ／ドライバが動作中の場合、電源電流(IDD1またはIDD2)にLCD動作電流(ILCD1またはILCD2またはILCD3)を加算した値が、RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。
- 注13. 外部分割抵抗に流れる電流は含みません。
- 注14. 8ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの8ビット・インターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値です。また、低速オンチップ・オシレータ選択時はIFILを加算してください。
- 注15. サブ・HALTモード及びSTOPモード時に各マクロ動作中の場合、IDD2またはIDD3にITMRJ、IUARTMG、ISMOTDやIEXSDを加算した値が、RL78マイクロコントローラの電流値となります。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考3. fCLK : CPU/周辺ハードウェア・クロック周波数

備考4. TYP.値の温度条件は、TA = 25°Cです。

39.4 AC特性

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN) 動作	HS(高速メイン)モード	2.7 V ≤ VDD ≤ 5.5 V	0.0417	1	μs	
				2.4 V ≤ VDD < 2.7 V	0.0625	1	μs	
		サブシステム・クロック (fSUB) 動作	LS(低速メイン)モード		1.8 V ≤ VDD ≤ 5.5 V	0.125	1	μs
			fXT = 38.4 kHz	1.8 V ≤ VDD ≤ 5.5 V		26.04		μs
		fXT = 32.768 kHz	1.8 V ≤ VDD ≤ 5.5 V	28.5	30.5	31.3	μs	
		セルフ・プログラミング時	HS(高速メイン)モード		2.7 V ≤ VDD ≤ 5.5 V	0.0417	1	μs
			2.4 V ≤ VDD < 2.7 V	0.0625	1	μs		
LS(低速メイン)モード			1.8 V ≤ VDD ≤ 5.5 V	0.125	1	μs		
外部メイン・システム・クロック周波数	fEX	EXCLK		2.7 V ≤ VDD ≤ 5.5 V	1.0	20.0	MHz	
				2.4 V ≤ VDD < 2.7 V	1.0	16.0	MHz	
				1.8 V ≤ VDD < 2.4 V	1.0	8.0	MHz	
	fEXT	EXCLKS			32	35	kHz	
外部メイン・システム・クロック入力ハイ、ロウ・レベル幅	tEXH, tEXL	EXCLK		2.7 V ≤ VDD ≤ 5.5 V	24		ns	
				2.4 V ≤ VDD < 2.7 V	30		ns	
				1.8 V ≤ VDD < 2.4 V	60		ns	
	tEXHS, tEXLS	EXCLKS			13.7		μs	
タイマ入力ハイ・レベル幅、ロウ・レベル幅	tTIH, tTIL	TI00-TI07		1/fMCK + 10			ns	
タイマRJ入力サイクル	tc	TRJIO0-TRJIO1		2.7 V ≤ VDD ≤ 5.5 V	100		ns	
				1.8 V ≤ VDD < 2.7 V	300		ns	
タイマRJ入力ハイ・レベル幅、ロウ・レベル幅	tTJIH, tTJIL	TRJIO0-TRJIO1		2.7 V ≤ VDD ≤ 5.5 V	40		ns	
				1.8 V ≤ VDD < 2.7 V	120		ns	
タイマ出力周波数	fTO	TO00-TO07, TRJIO0- TRJIO1, TRJO0- TRJO1	HS(高速メイン)モード	4.0 V ≤ VDD ≤ 5.5 V		12	MHz	
				2.7 V ≤ VDD < 4.0 V		8	MHz	
				2.4 V ≤ VDD < 2.7 V		4	MHz	
		LS(低速メイン)モード		1.8 V ≤ VDD ≤ 5.5 V		4	MHz	
ブザー出力周波数	fPCL	PCLBUZ0, PCLBUZ1	HS(高速メイン)モード	4.0 V ≤ VDD ≤ 5.5 V		12	MHz	
				2.7 V ≤ VDD < 4.0 V		8	MHz	
				2.4 V ≤ VDD < 2.7 V		4	MHz	
				LS(低速メイン)モード		1.8 V ≤ VDD ≤ 5.5 V		4
割り込み入力ハイ・レベル幅、ロウ・レベル幅	tINTH, tINTL	INTP0-INTP7 (P27-P22以外兼用時)		1.8 V ≤ VDD ≤ 5.5 V	1		μs	
		INTP2-INTP7 (P27-P22兼用時)		1.8 V ≤ AVDD ≤ 5.5 V	1		μs	
RESETロウ・レベル幅	tRSL				10		μs	

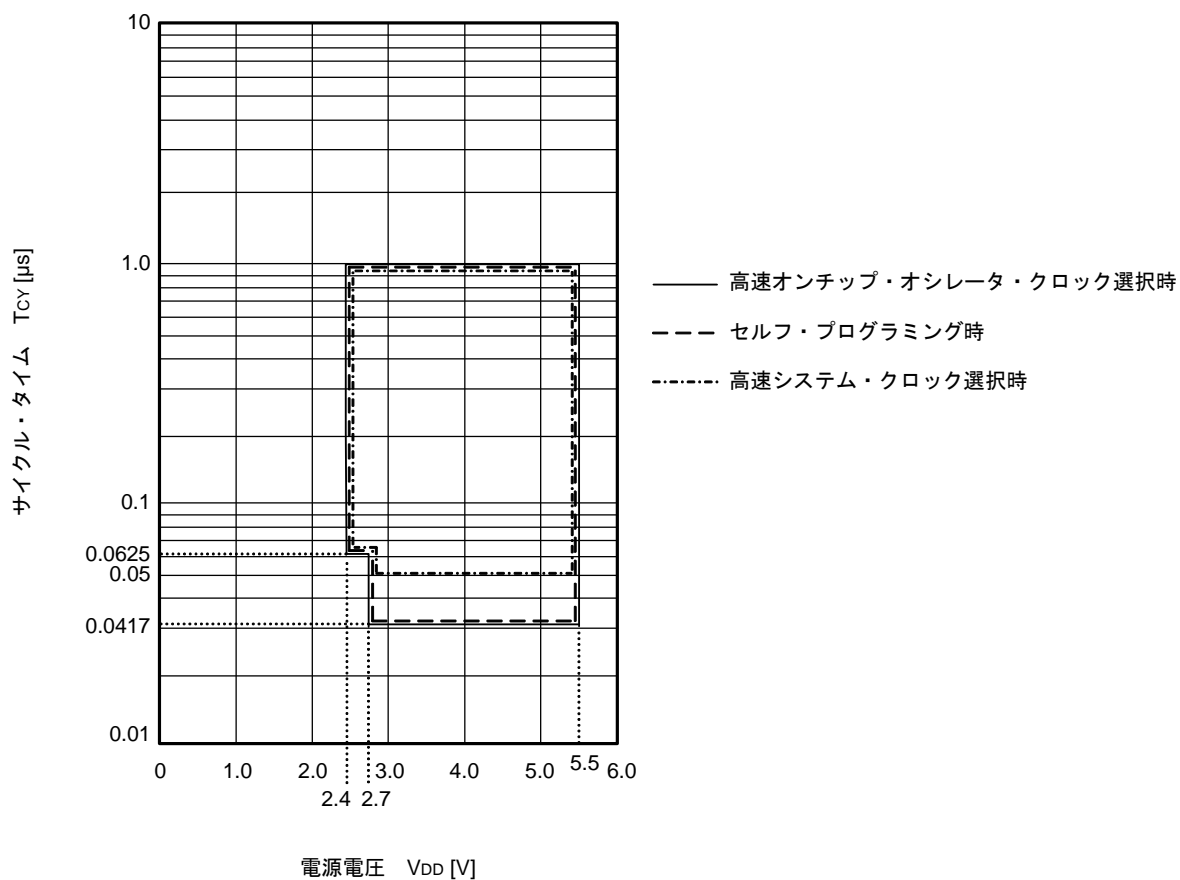
備考 fMCK: タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタmn (TMRmn)のCKSmnビットで設定する動作クロック。

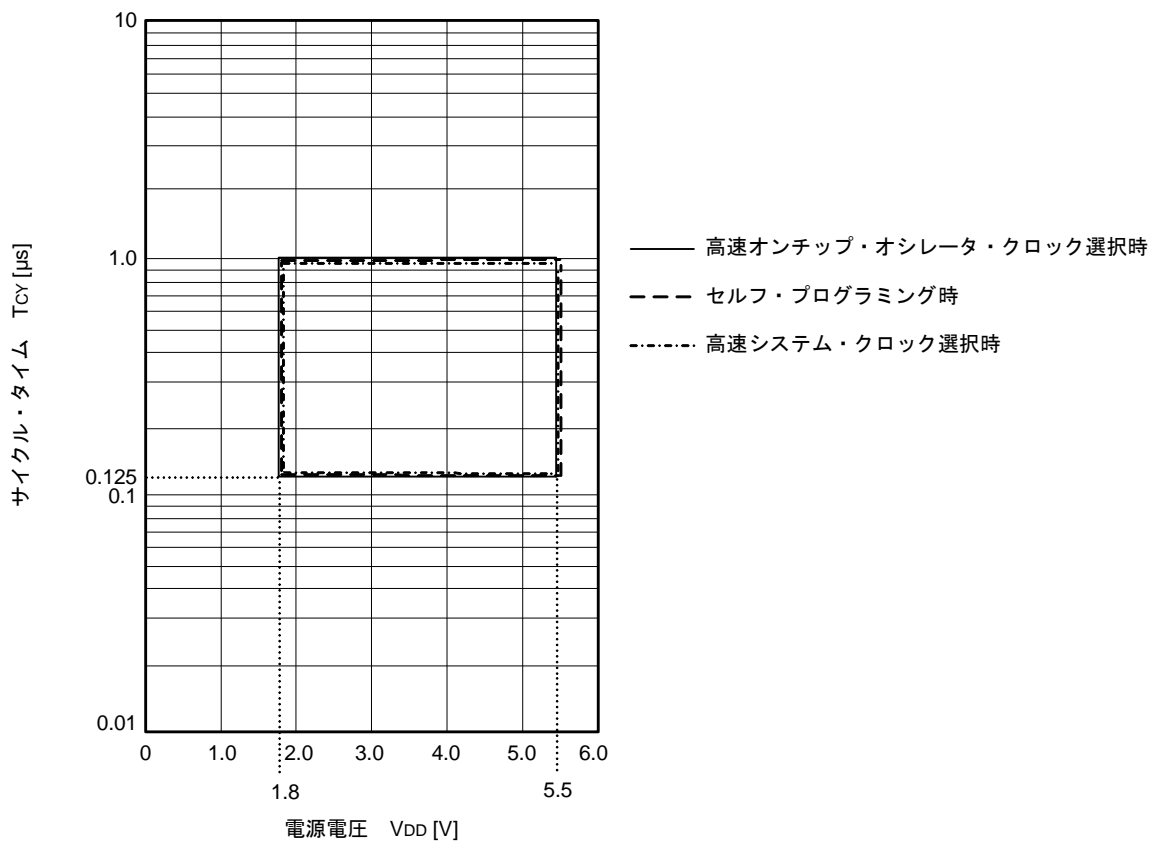
m: ユニット番号 (m = 0), n: チャネル番号 (n = 0-7))

メイン・システム・クロック動作時の最小命令実行時間

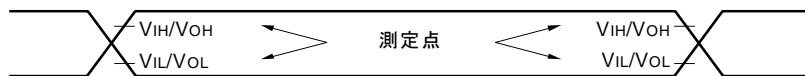
TCY vs VDD (HS (高速メイン)モード)



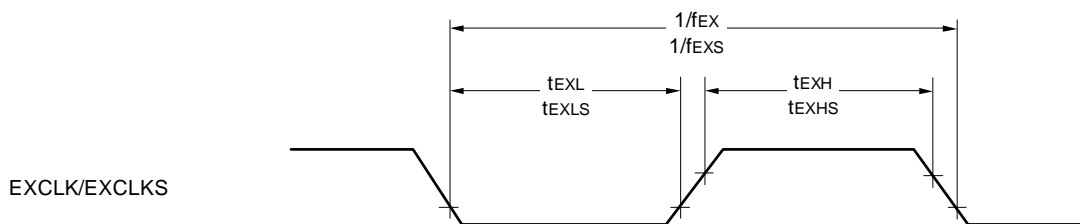
TCY vs VDD (LS (低速メイン)モード)



ACタイミング測定点



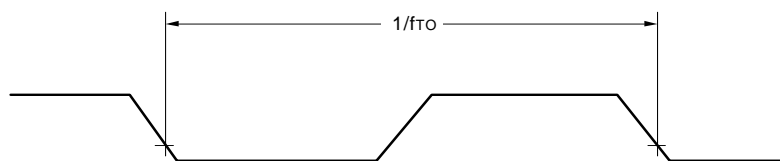
外部システム・クロック・タイミング



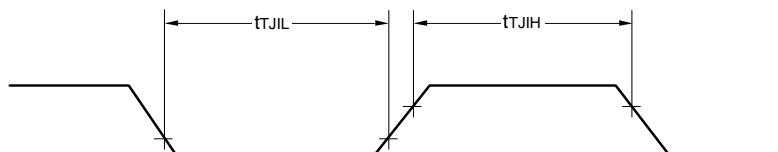
TI/TOタイミング



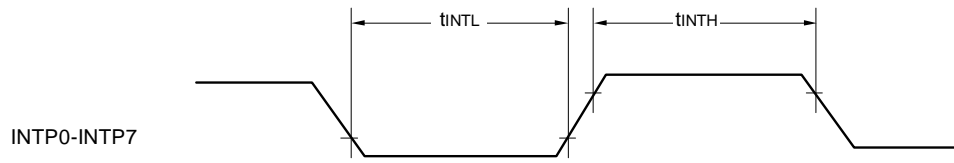
TO00-TO07
TRJIO0-TRJIO1,
TRJO0-TRJO1



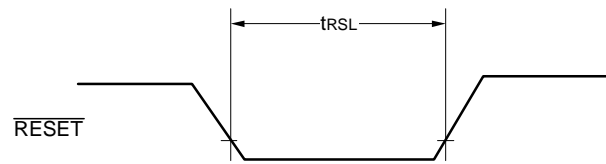
TRJIO0, TRJIO1



割り込み要求入カタイミング



$\overline{\text{RESET}}$ 入カタイミング



39.5 周辺機能特性

39.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート注1		2.4 V ≤ VDD ≤ 5.5 V		fMCK/6注2		fMCK/6注2	bps
		最大転送レート理論値 fMCK = fCLK注3		4.0		1.3	Mbps
		1.8 V ≤ VDD ≤ 5.5 V		—		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		—		1.3	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. 低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ VDD < 2.7 V : MAX. 2.6 Mbps

1.8 V ≤ VDD < 2.4 V : MAX. 1.3 Mbps

注3. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

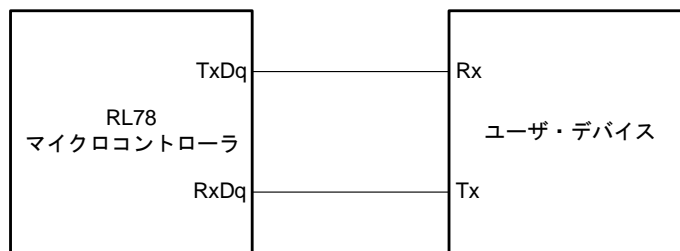
HS (高速メイン)モード : 24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

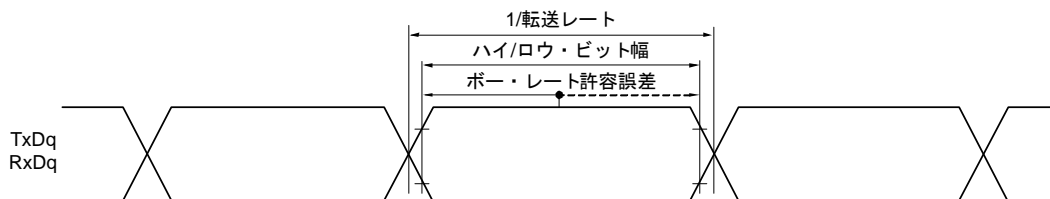
LS (低速メイン)モード : 8 MHz (1.8 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q : UART番号 (q = 0-2), g : PIM, POM番号 (g = 0, 1, 3, 4, 5, 8)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03, 10-11))

(2) 同電位通信時(簡易SPI(CSI)モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK	2.7 V ≤ VDD ≤ 5.5 V	167		500		ns
			2.4 V ≤ VDD ≤ 5.5 V	250		500		ns
			1.8 V ≤ VDD ≤ 5.5 V	—		500		ns
SCKpハイ、ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 12		tkCY1/2 - 50		ns	
		2.7 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 18		tkCY1/2 - 50		ns	
		2.4 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 38		tkCY1/2 - 50		ns	
		1.8 V ≤ VDD ≤ 5.5 V	—		tkCY1/2 - 50		ns	
Slpセットアップ時間 (対SCKp ↑) 注1	tSIK1	4.0 V ≤ VDD ≤ 5.5 V	44		110		ns	
		2.7 V ≤ VDD ≤ 5.5 V	44		110		ns	
		2.4 V ≤ VDD ≤ 5.5 V	75		110		ns	
		1.8 V ≤ VDD ≤ 5.5 V	—		110		ns	
Slpホールド時間 (対SCKp ↑) 注2	tkSI1	2.4 V ≤ VDD ≤ 5.5 V	19		19		ns	
		1.8 V ≤ VDD ≤ 5.5 V	—		19		ns	
SCKp ↓ → SOp出力 遅延時間注3	tkSO1	C = 30 pF注4	2.7 V ≤ VDD ≤ 5.5 V		25		50	ns
			2.4 V ≤ VDD ≤ 5.5 V		25		50	ns
			1.8 V ≤ VDD ≤ 5.5 V		—		50	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpセットアップ時間が“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpホールド時間が“対SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注4. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号(p = 00, 10, 20), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2), g : PIM番号(g = 0, 1, 3, 4, 5, 8)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。

m : ユニット番号, n : チャネル番号(mn = 00, 02, 10))

(3) 同電位通信時(簡易SPI(CSI)モード)(スレーブ・モード, SCKp...外部クロック入力)(1/2)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム注5	tkCY2	4.0 V ≤ VDD ≤ 5.5 V	20 MHz < fmCK	8/fmCK		—		ns
			fmCK ≤ 20 MHz	8/fmCK		6/fmCK		ns
		2.7 V ≤ VDD ≤ 5.5 V	16 MHz > fmCK	8/fmCK		—		ns
			fmCK ≤ 16 MHz	6/fmCK		6/fmCK		ns
		2.4 V ≤ VDD ≤ 5.5 V	6/fmCKかつ500			6/fmCKかつ500		ns
1.8 V ≤ VDD ≤ 5.5 V	—			6/fmCKかつ750		ns		
SCKpハイ、ロウ・ レベル幅	tkH2, tkL2	4.0 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 7		tkCY2/2 - 7		ns
		2.7 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 8		tkCY2/2 - 8		ns
		2.4 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 18		tkCY2/2 - 18		ns
		1.8 V ≤ VDD ≤ 5.5 V		—		tkCY2/2 - 18		ns
Slpセットアップ 時間(対SCKp↑)注1	tsIK2	2.7 V ≤ VDD ≤ 5.5 V		1/fmCK + 20		1/fmCK + 30		ns
		2.4 V ≤ VDD ≤ 5.5 V		1/fmCK + 30		1/fmCK + 30		ns
		1.8 V ≤ VDD ≤ 5.5 V		—		1/fmCK + 30		ns
Slpホールド時間 (対SCKp↑)注2	tkSI2	2.4 V ≤ VDD ≤ 5.5 V		1/fmCK + 31		1/fmCK + 31		ns
		1.8 V ≤ VDD ≤ 5.5 V		—		1/fmCK + 31		ns
SCKp↓→SOp出力 遅延時間注3	tkSO2	C = 30 pF注4	2.7 V ≤ VDD ≤ 5.5 V		2/fmCK + 44		2/fmCK + 110	ns
			2.4 V ≤ VDD ≤ 5.5 V		2/fmCK + 75		2/fmCK + 110	ns
			1.8 V ≤ VDD ≤ 5.5 V		—		2/fmCK + 110	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpセットアップ時間が“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpホールド時間が“対SCKp↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注4. Cは、SCKp, SOp出力ラインの負荷容量です。

注5. SNOOZEモードでの転送レートは、MAX.: 1 Mbpsです。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

備考1. p: CSI番号(p = 00, 10, 20), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0, 2), g: PIM番号(g = 0, 1, 3, 4, 5, 8)

備考2. fmCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号(mn = 00, 02, 10))

(3) 同電位通信時(簡易SPI(CSI)モード)(スレーブ・モード, SCKp...外部クロック入力)(2/2)

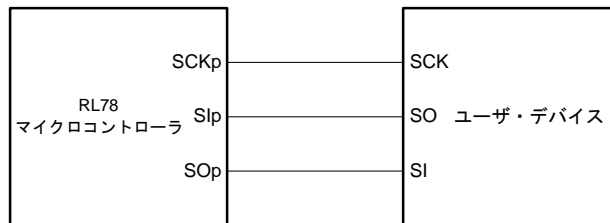
(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	
SSI00 セットアップ 時間	tSSIK	DAPmn = 0	2.7 V ≤ VDD ≤ 5.5 V	120		120		ns
			2.4 V ≤ VDD ≤ 5.5 V	200		200		ns
			1.8 V ≤ VDD ≤ 5.5 V	—		200		ns
		DAPmn = 1	2.7 V ≤ VDD ≤ 5.5 V	1/fMCK + 120		1/fMCK + 120		ns
			2.4 V ≤ VDD ≤ 5.5 V	1/fMCK + 200		1/fMCK + 200		ns
			1.8 V ≤ VDD ≤ 5.5 V	—		1/fMCK + 200		ns
SSI00 ホールド時間	tKSSI	DAPmn = 0	2.7 V ≤ VDD ≤ 5.5 V	1/fMCK + 120		1/fMCK + 120		ns
			2.4 V ≤ VDD ≤ 5.5 V	1/fMCK + 200		1/fMCK + 200		ns
			1.8 V ≤ VDD ≤ 5.5 V	—		1/fMCK + 200		ns
		DAPmn = 1	2.7 V ≤ VDD ≤ 5.5 V	120		120		ns
			2.4 V ≤ VDD ≤ 5.5 V	200		200		ns
			1.8 V ≤ VDD ≤ 5.5 V	—		200		ns

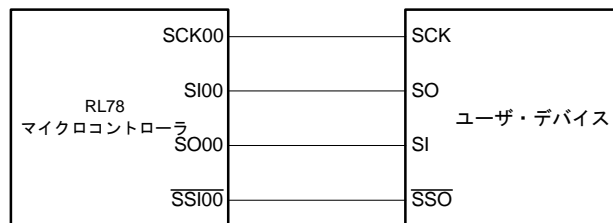
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考 p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM番号(g = 3, 4)

簡易SPI(CSI)モード接続図(同電位通信時)

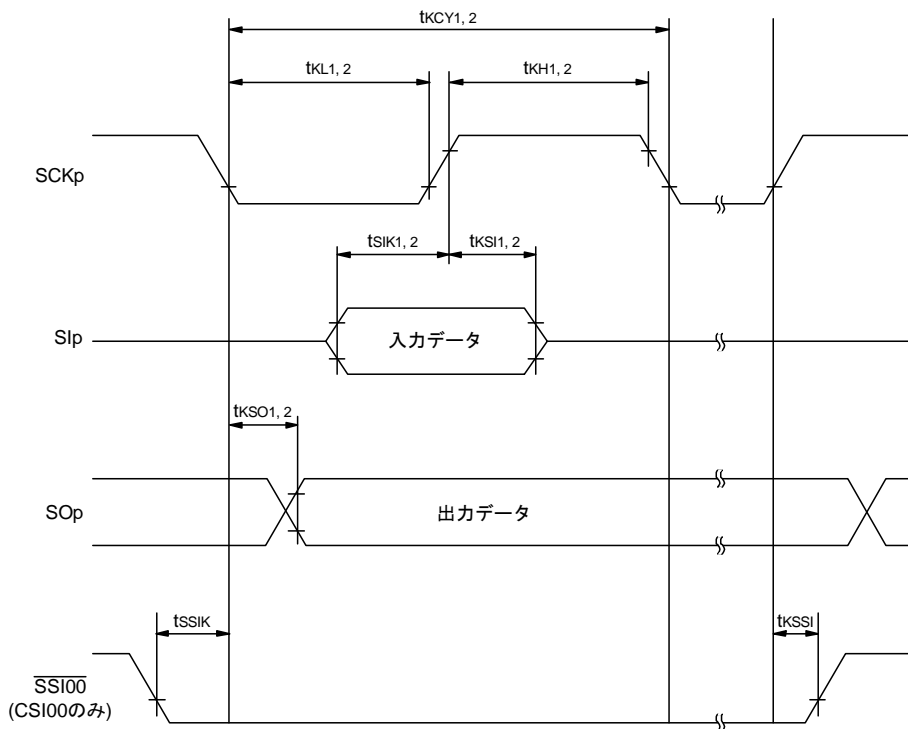


簡易SPI(CSI)モード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)

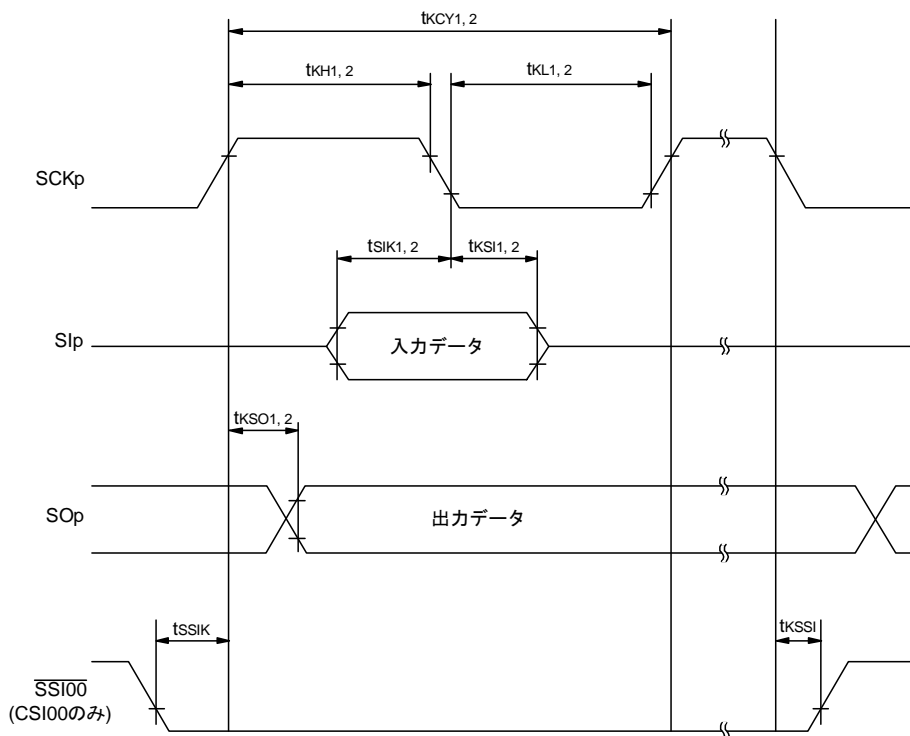


備考 p : CSI番号(p = 00, 10, 20), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2)

簡易SPI(CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI(CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 p : CSI番号(p = 00, 10, 20), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2)

(4) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	fSCL	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		400 ^{注1}	kHz
		1.8 V (2.4 V ^{注3}) ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400 ^{注1}		400 ^{注1}	kHz
		1.8 V (2.4 V ^{注3}) ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L"のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		ns
		1.8 V (2.4 V ^{注3}) ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		ns
		1.8 V (2.4 V ^{注3}) ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		ns
SCLr = "H"のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		ns
		1.8 V (2.4 V ^{注3}) ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		ns
		1.8 V (2.4 V ^{注3}) ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		ns
データ・セットアップ時間 (受信時)	tSU: DAT	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 85 注2		1/fMCK + 145 注2		ns
		1.8 V (2.4 V ^{注3}) ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/fMCK + 145 注2		1/fMCK + 145 注2		ns
		1.8 V (2.4 V ^{注3}) ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK + 230 注2		1/fMCK + 230 注2		ns
データ・ホールド時間(送信時)	tHD: DAT	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	ns
		1.8 V (2.4 V ^{注3}) ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	ns
		1.8 V (2.4 V ^{注3}) ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	ns

注1. fMCK/4以下に設定してください。

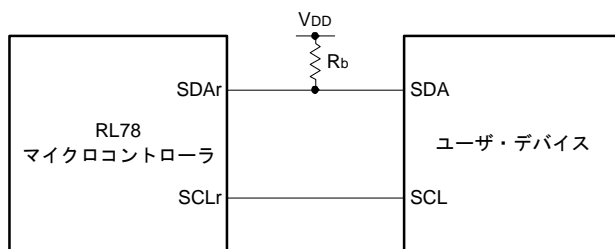
注2. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注3. HS (高速メイン)モード時の条件です。

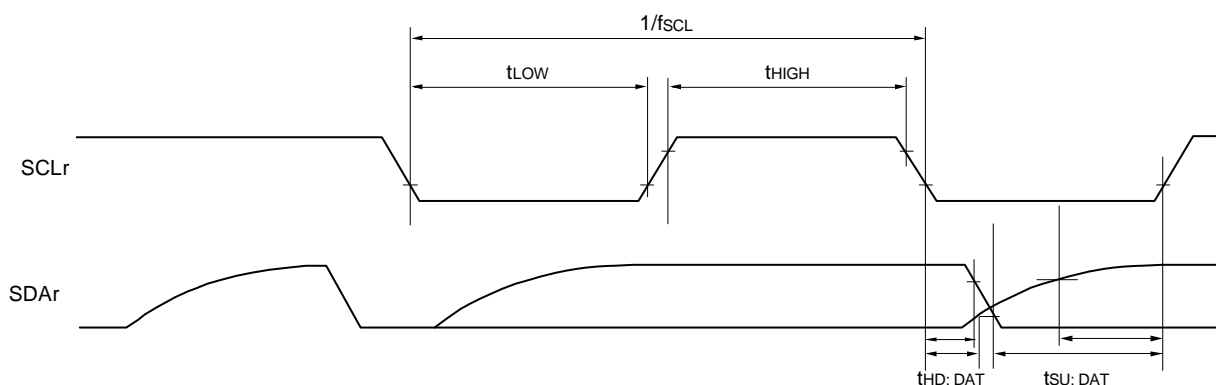
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(VDD耐圧)モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易I²Cモード接続図(同電位通信時)



簡易I²Cモード・シリアル転送タイミング(同電位通信時)



備考1. R_b [Ω] : 通信ライン(SDAr)プルアップ抵抗値, C_b [F] : 通信ライン(SCLr, SDAr)負荷容量値

備考2. r : IIC番号($r = 00, 10, 20$), g : PIM番号($g = 0, 1, 3, 4, 5, 8$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0, 2$), $mn = 00, 02, 10$)

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位	
			MIN.	MAX.	MIN.	MAX.		
転送レート		受信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/6注1		fMCK/6注1	bps
			最大転送レート理論値 fMCK = fCLK注4		4.0		1.3	Mbps
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6注1		fMCK/6注1	bps	
			最大転送レート理論値 fMCK = fCLK注4		4.0		1.3	Mbps
		1.8 V (2.4 V注5) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1, 2, 3		fMCK/6 注1, 2, 3	bps	
			最大転送レート理論値 fMCK = fCLK注4		4.0		1.3	Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

注2. VDD ≥ Vb で使用してください。

注3. 低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ VDD < 2.7 V: MAX. 2.6 Mbps

1.8 V ≤ VDD < 2.4 V: MAX. 1.3 Mbps

注4. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン)モード: 24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

LS (低速メイン)モード: 8 MHz (1.8 V ≤ VDD ≤ 5.5 V)

注5. HS (高速メイン) モード時の条件です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (VDD耐圧) モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号 (q = 0-2), g: PIM, POM番号 (g = 0, 1, 3, 4, 5, 8)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号 (mn = 00-03, 10, 11))

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート	送信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8注2		2.8注2	Mbps
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3		注3	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4		1.2注4	Mbps
		1.8 V (2.4 V注8) V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5, 6		注5, 6	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注7		0.43注7	Mbps

注1. fmCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fmCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. VDD ≥ Vbで使用してください。

注6. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

$1.8\text{ V} \leq V_{DD} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

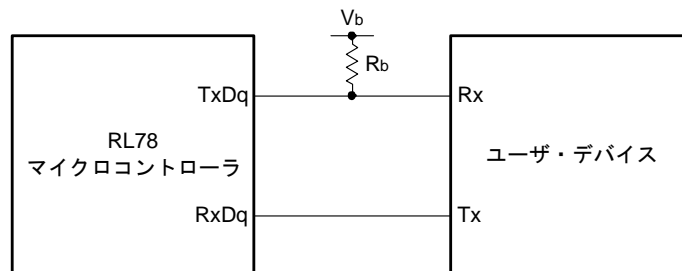
注7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注8. HS (高速メイン) モード時の条件です。

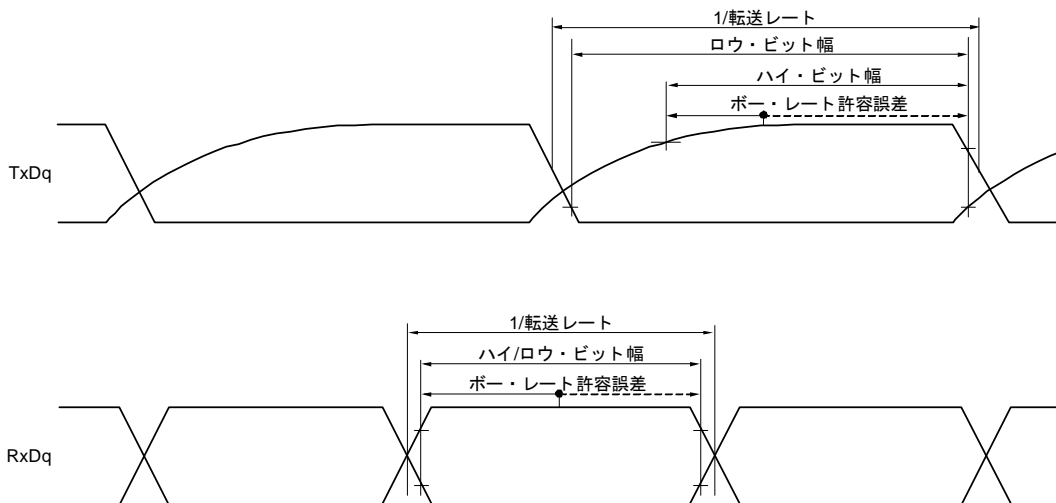
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、RxDq 端子は TTL 入力バッファを選択し、TxDq 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH} , V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

UART モード接続図 (異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω] : 通信ライン(TxDq)プルアップ抵抗値, C_b [F] : 通信ライン(TxDq)負荷容量値, V_b [V] : 通信ライン電圧

備考2. q : UART番号 ($q = 0-2$), g : PIM, POM番号 ($g = 0, 1, 3, 4, 5, 8$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMR mn)のCKSM n ビットで設定する動作クロック。 m : ユニット番号,

n : チャンネル番号 ($mn = 00-03, 10-11$))

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易SPI(CSI)モード) (マスタ・モード, SCKp... 内部クロック出力)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	300		1150		ns
			2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500注1		1150		ns
			1.8 V (2.4 V注2) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	1150注1		1150		ns
SCKp ハイ・レベル幅	tkH1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 75		tkCY1/2 - 75		ns	
			2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 170		tkCY1/2 - 170		ns
			1.8 V (2.4 V注2) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 458		tkCY1/2 - 458		ns
SCKp ロウ・レベル幅	tkL1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 12		tkCY1/2 - 50		ns	
			2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 18		tkCY1/2 - 50		ns
			1.8 V (2.4 V注2) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 50		tkCY1/2 - 50		ns

注1. VDD ≥ Vb で使用してください。

注2. HS (高速メイン) モード時の条件です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧) モードを選択します。なお VIH, VIL は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易SPI(CSI)モード) (マスタ・モード, SCKp... 内部クロック出力)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↓)注1	tSIK1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		479		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		ns
		1.8 V (2.4 V注4) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	479		479		ns
Slpホールド時間 (対SCKp ↓)注1	tKS1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		ns
		1.8 V (2.4 V注4) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	19		19		ns
SCKp ↑ → SOp 出力遅延時間注1	tkSO1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195	ns
		1.8 V (2.4 V注4) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		483		483	ns
Slpセットアップ時間 (対SCKp ↓)注2	tSIK1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		110		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		ns
		1.8 V (2.4 V注4) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	110		110		ns
Slpホールド時間 (対SCKp ↓)注2	tKS1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		ns
		1.8 V (2.4 V注4) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	19		19		ns
SCKp ↑ → SOp 出力遅延時間注2	tkSO1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25	ns
		1.8 V (2.4 V注4) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		25		25	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注2. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

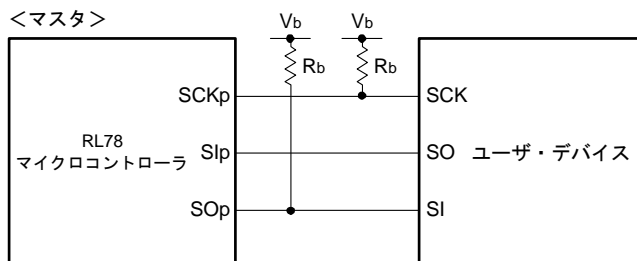
注3. VDD ≥ Vb で使用してください。

注4. HS (高速メイン) モード時の条件です。

(注意, 備考は次ページにあります。)

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SO_p 端子と SCK_p 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH}, V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

簡易 SPI(CSI) モード接続図 (異電位通信時)



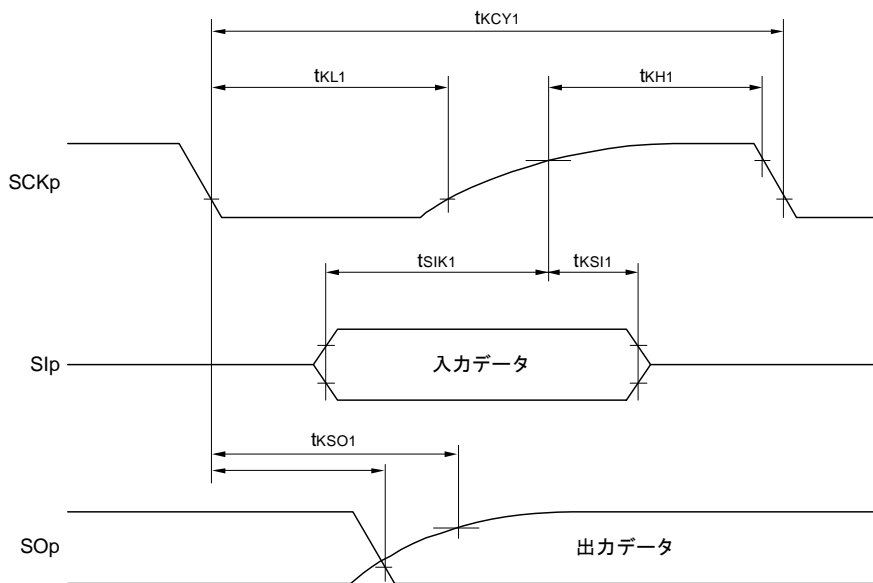
備考1. R_b [Ω] : 通信ライン(SCK_p, SO_p)プルアップ抵抗値, C_b [F] : 通信ライン(SCK_p, SO_p)負荷容量値, V_b [V] : 通信ライン電圧

備考2. p : CSI 番号 (p = 00, 10, 20), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 2), g : PIM, POM 番号 (g = 0, 1, 3, 4, 5, 8)

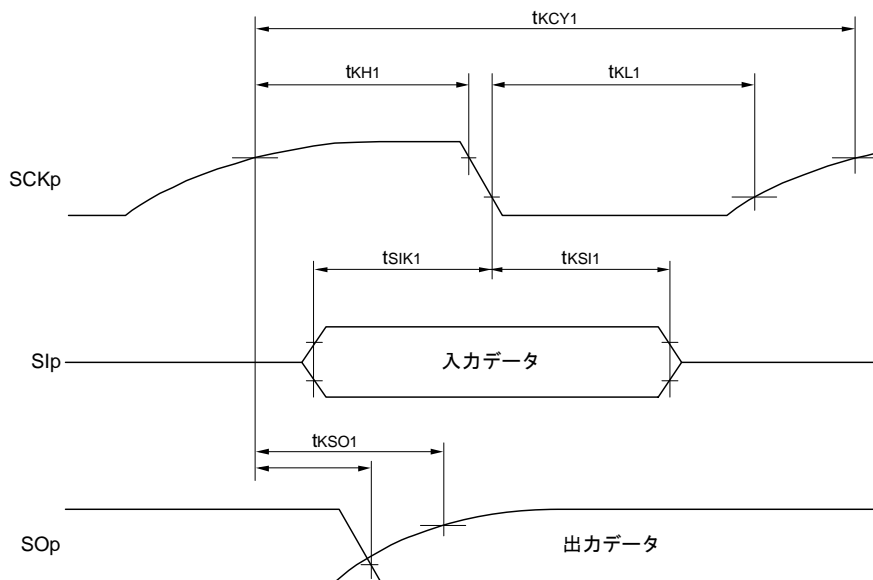
備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

シリアル・モード・レジスタ mn (SMR_{mn}) の CKS_{mn} ビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号 (mn = 00, 02, 10))

簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00, 10, 20), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2), g : PIM, POM番号(g = 0, 1, 3, 4, 5, 8)

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易SPI(CSI)モード) (スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

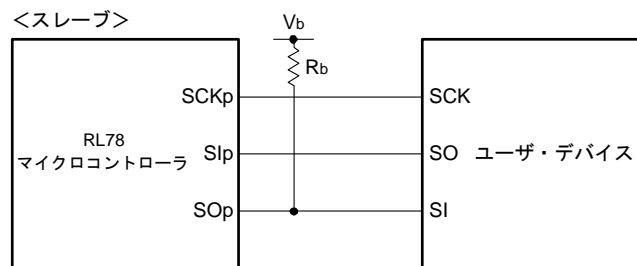
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム注1	tkCY2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	20 MHz < fMCK	12/fMCK		—	ns
			8 MHz < fMCK ≤ 20 MHz	10/fMCK		—	ns
			4 MHz < fMCK ≤ 8 MHz	8/fMCK		—	ns
			fMCK ≤ 4 MHz	6/fMCK		—	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	20 MHz < fMCK	16/fMCK		—	ns
			16 MHz < fMCK ≤ 20 MHz	14/fMCK		—	ns
			8 MHz < fMCK ≤ 16 MHz	12/fMCK		—	ns
			4 MHz < fMCK ≤ 8 MHz	8/fMCK	16/fMCK		ns
		1.8 V (2.4 V注6) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2	fMCK ≤ 4 MHz	6/fMCK	10/fMCK		ns
			20 MHz < fMCK	36/fMCK		—	ns
			16 MHz < fMCK ≤ 20 MHz	32/fMCK		—	ns
			8 MHz < fMCK ≤ 16 MHz	26/fMCK		—	ns
	4 MHz < fMCK ≤ 8 MHz	16/fMCK	16/fMCK		ns		
	fMCK ≤ 4 MHz	10/fMCK	10/fMCK		ns		
	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	tkCY2/2 - 12		tkCY2/2 - 50		ns	
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	tkCY2/2 - 18		tkCY2/2 - 50	ns	
1.8 V (2.4 V注6) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2		tkCY2/2 - 50		tkCY2/2 - 50	ns		
Slp セットアップ時間 (対 SCKp ↑)注3	tsIK2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	1/fMCK + 20		1/fMCK + 30	ns	
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK + 20		1/fMCK + 30	ns	
		1.8 V (2.4 V注6) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	1/fMCK + 30		1/fMCK + 30	ns	
Slp ホールド時間 (対 SCKp ↑)注4	tkSI2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	1/fMCK + 31		1/fMCK + 31	ns	
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK + 31		1/fMCK + 31	ns	
		1.8 V (2.4 V注6) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	1/fMCK + 31		1/fMCK + 31	ns	
SCKp ↓ → SOp 出力 遅延時間注5	tkSO2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK + 120		2/fMCK + 573	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK + 214		2/fMCK + 573	ns
		1.8 V (2.4 V注6) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rv = 5.5 kΩ		2/fMCK + 573		2/fMCK + 573	ns

(注, 注意, 備考は次ページにあります。)

- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. $V_{DD} \geq V_b$ で使用してください。
- 注3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときはSlpセットアップ時間が対SCKp ↓ となります。
- 注4. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは、Slpホールド時間が“対SCKp ↓”となります。
- 注5. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは対SCKp ↑ となります。
- 注6. HS (高速メイン) モード時の条件です。

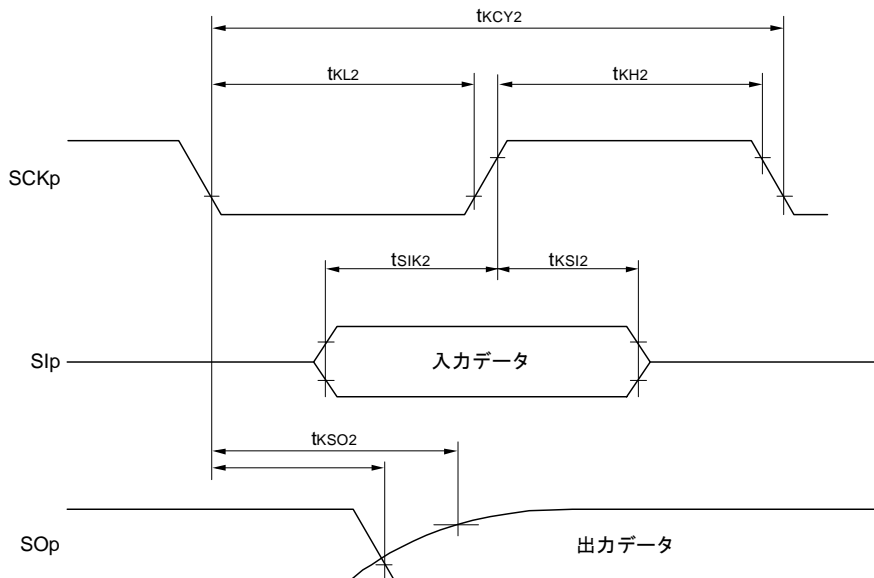
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH} , V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

簡易 SPI(CSI) モード接続図 (異電位通信時)

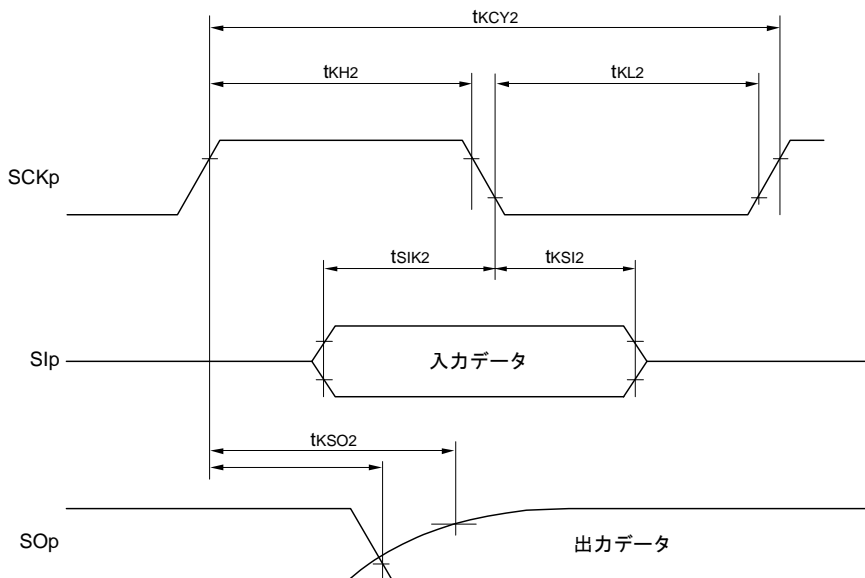


- 備考1. R_b [Q]: 通信ライン(SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SOp)負荷容量値, V_b [V]: 通信ライン電圧
- 備考2. p: CSI番号(p = 00, 10, 20), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0, 2), g: PIM, POM番号(g = 0, 1, 3, 4, 5, 8)
- 備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,
n: チャネル番号(mn = 00, 02, 10))

簡易SPI(CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI(CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00, 10, 20), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2), g : PIM, POM番号(g = 0, 1, 3, 4, 5, 8)

(8) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	fSCL	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		300 ^{注1}	kHz
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 ^{注1}		300 ^{注1}	kHz
		1.8 V (2.4 V ^{注4}) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ		400 ^{注1}		300 ^{注1}	kHz
SCLr = "L"のホールド・タイム	tLOW	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		ns
		1.8 V (2.4 V ^{注4}) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		ns
SCLr = "H"のホールド・タイム	tHIGH	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		610		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		610		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		610		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		610		ns
		1.8 V (2.4 V ^{注4}) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	610		610		ns

(8) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)(2/2)

項目	略号	条件	HS (高速メイン)モード		HS (高速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間(受信時)	tsu: DAT	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135注3		1/fMCK + 190注2		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135注3		1/fMCK + 190注2		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK + 190注3		1/fMCK + 190注3		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK + 190注3		1/fMCK + 190注3		ns
		1.8 V (2.4 V注4) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK + 190注3		1/fMCK + 190注3		ns
データ・ホールド時間(送信時)	tHD: DAT	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	ns
		1.8 V (2.4 V注4) ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	ns

注1. fMCK/4以下に設定してください。

注2. VDD ≥ Vbで使用してください。

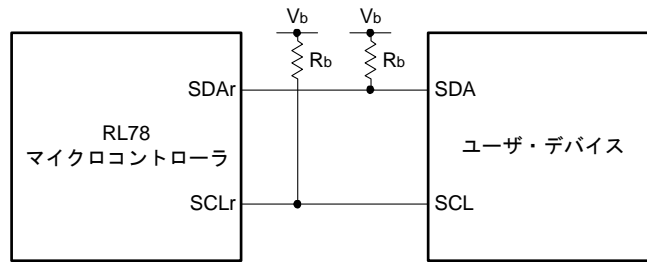
注3. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注4. HS (高速メイン) モード時の条件です。

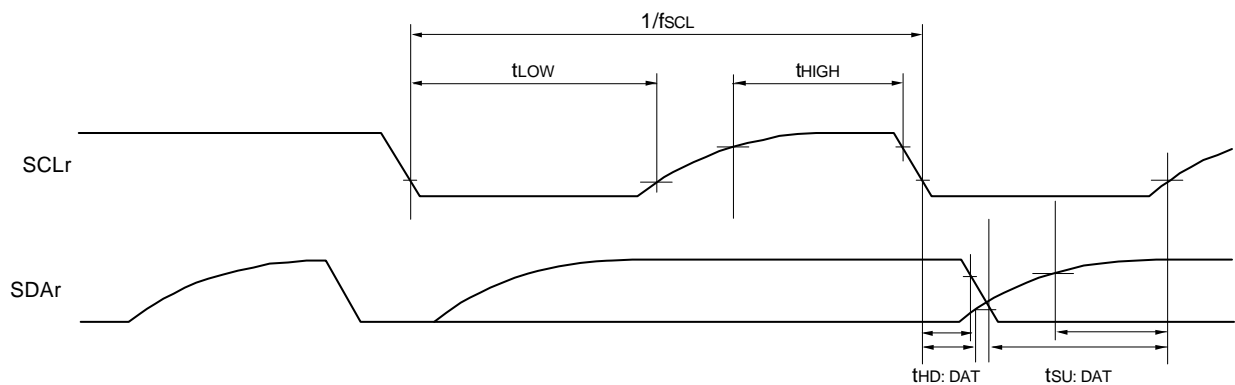
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力(VDD耐圧)モードを選択し、SCLrはN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)



簡易I²Cモード・シリアル転送タイミング(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F] : 通信ライン(SDAr, SCLr)負荷容量値, V_b [V] : 通信ライン電圧

備考2. r : IIC番号(r = 00, 10, 20), g : PIM, POM番号(g = 0, 1, 3, 4, 5, 8)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR_{mn}レジスタのCKSm_nビットで設定する動作クロック。m : ユニット番号(m = 0), n : チャネル番号(n = 0, 2), mn = 00, 02, 10)

39.5.2 シリアル・インタフェース UARTMG

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		f _{SUB} = 38.4 kHz	200		9600	bps
		f _{SUB} = 38.4 kHz (クロックダブラ使用時)	200		19200	bps

39.5.3 シリアル・インタフェース IICA

(1) I²C 標準モード

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCLA0クロック周波数	fSCL	標準モード: fCLK ≥ 1 MHz	2.7 V ≤ VDD ≤ 5.5 V	0	100	0	100	kHz
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	0	100	0	100	kHz	
リスタート・コンディションのセットアップ時間	tsu : STA	2.7 V ≤ VDD ≤ 5.5 V	4.7		4.7		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	4.7		4.7		μs	
ホールド時間注1	tHD : STA	2.7 V ≤ VDD ≤ 5.5 V	4.0		4.0		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	4.0		4.0		μs	
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 5.5 V	4.7		4.7		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	4.7		4.7		μs	
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 5.5 V	4.0		4.0		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	4.0		4.0		μs	
データ・セットアップ時間(受信時)	tsu : DAT	2.7 V ≤ VDD ≤ 5.5 V	250		250		ns	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	250		250		ns	
データ・ホールド時間(送信時)注2	tHD : DAT	2.7 V ≤ VDD ≤ 5.5 V	0	3.45	0	3.45	μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	0		0	3.45	μs	
ストップ・コンディションのセットアップ時間	tsu : STO	2.7 V ≤ VDD ≤ 5.5 V	4.0		4.0		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	4.0		4.0		μs	
バス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 5.5 V	4.7		4.7		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	4.7		4.7		μs	

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
- 注2. tHD : DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。
- 注3. HS (高速メイン)モード時の条件です。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は, 次のとおりです。
標準モード : Cb = 400 pF, Rb = 2.7 kΩ

(2) I²Cファースト・モード

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz	2.7 V ≤ VDD ≤ 5.5 V	0	400	0	400	kHz
			1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	0	400	0	400	kHz
リスタート・コンディションのセットアップ時間	tSU: STA	2.7 V ≤ VDD ≤ 5.5 V	0.6		0.6		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	0.6		0.6		μs	
ホールド時間注1	tHD: STA	2.7 V ≤ VDD ≤ 5.5 V	0.6		0.6		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	0.6		0.6		μs	
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 5.5 V	1.3		1.3		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	1.3		1.3		μs	
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 5.5 V	0.6		0.6		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	0.6		0.6		μs	
データ・セットアップ時間 (受信時)	tSU: DAT	2.7 V ≤ VDD ≤ 5.5 V	100		100		ns	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	100		100		ns	
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ VDD ≤ 5.5 V	0	0.9	0	0.9	μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	0		0	0.9	μs	
ストップ・コンディションのセットアップ時間	tSU: STO	2.7 V ≤ VDD ≤ 5.5 V	0.6		0.6		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	0.6		0.6		μs	
パス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 5.5 V	1.3		1.3		μs	
		1.8 V (2.4 V注3) ≤ VDD ≤ 5.5 V	1.3		1.3		μs	

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
- 注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。
- 注3. HS (高速メイン) モード時の条件です。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。
ファースト・モード : Cb = 320 pF, Rb = 1.1 kΩ

(3) I²C ファースト・モード・プラス

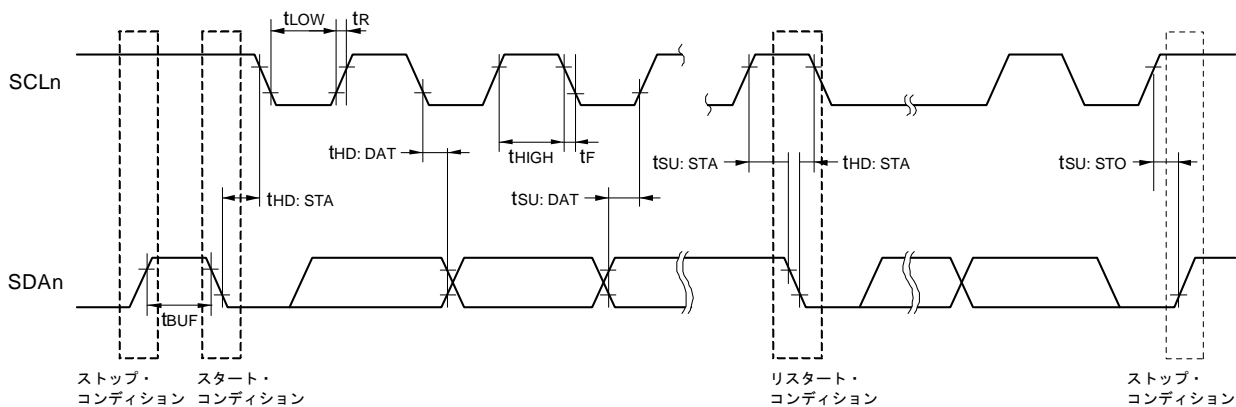
(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
			SCLA0クロック周波数	fSCL	ファースト・モード・プラス : fCLK ≥ 10 MHz 2.7 V ≤ VDD ≤ 5.5 V	0	
リスタート・コンディションのセットアップ時間	tSU: STA	2.7 V ≤ VDD ≤ 5.5 V	0.26	—	—	—	μs
ホールド時間注1	tHD: STA	2.7 V ≤ VDD ≤ 5.5 V	0.26	—	—	—	μs
SCLA0 = "L" のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 5.5 V	0.5	—	—	—	μs
SCLA0 = "H" のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 5.5 V	0.26	—	—	—	μs
データ・セットアップ時間 (受信時)	tSU: DAT	2.7 V ≤ VDD ≤ 5.5 V	50	—	—	—	ns
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ VDD ≤ 5.5 V	0	0.45	—	—	μs
ストップ・コンディションのセットアップ時間	tSU: STO	2.7 V ≤ VDD ≤ 5.5 V	0.26	—	—	—	μs
バス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 5.5 V	0.5	—	—	—	μs

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
 注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。
 ファースト・モード・プラス : Cb = 120 pF, Rb = 1.1 kΩ

I²C シリアル転送タイミング



39.6 アナログ特性

39.6.1 A/Dコンバータ特性

(1) 基準電圧(+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = V_{SS} (ADREFM = 0) 選択時,

変換対象 : ANI8-ANI10, 内部基準電圧、温度センサ出力電圧

(TA = -40 ~ +85°C, 1.8 V ≤ AV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = 0 V, 基準電圧(+) = V_{DD}, 基準電圧(-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V		1.2	±7.0	LSB
変換時間	tCONV	10ビット分解能 変換対象 : ANI8-ANI10	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875		39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
		10ビット分解能 変換対象 : 内部基準電圧、 温度センサ出力電圧 (HS(高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5626		39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
ゼロスケール誤差注1,2	EZS	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
フルスケール誤差注1,2	EFS	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±2.0	LSB
アナログ入力電圧	VAIN	ANI8-ANI10		0		V _{DD}	V
		内部基準電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS(高速メイン)モード)		V _{BGR} 注3			V
		温度センサ出力電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS(高速メイン)モード)		VTMPS25注3			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 39.6.2 温度センサ/内部基準電圧出力特性を参照してください。

(2) 基準電圧(+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧(-) = Vss (ADREFM = 0) 選択時,

変換対象 : ANI8-ANI10

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V,

基準電圧(+) = VBGR^{注3}, 基準電圧(-) = VSS = 0 V, HS (高速メイン)モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tCONV	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±(0.60+0.35)	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±(2.0+0.5)	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±(1.0+0.2)	LSB
アナログ入力電圧	VAIN			0		VBGR ^{注3}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 39.6.2 温度センサ/内部基準電圧出力特性を参照してください。

39.6.2 温度センサ/内部基準電圧出力特性

(TA = -40 ~ +85°C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, HS(高速メイン)モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	VTMPS25	TA = +25°C		1.05		V
内部基準電圧	VBGR		1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ出力電圧の温度依存		-3.6		mv/°C
動作安定待ち時間	tAMP	2.4 V ≤ VDD ≤ 5.5 V	5			μs

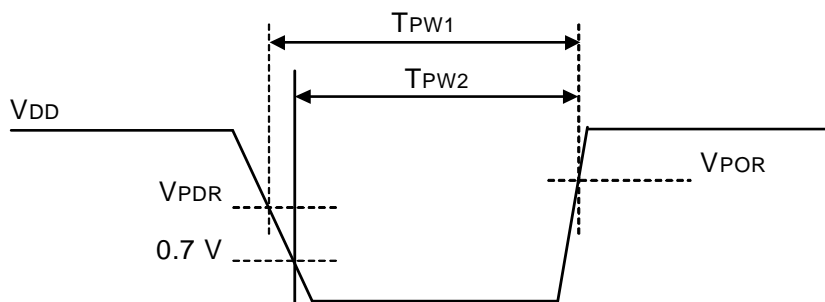
39.6.3 POR回路特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.47	1.51	1.55	V
	VPDR	電源立ち下がり時注1	1.46	1.50	1.54	V
最小パルス幅注2	TPW1	STOP/SUB HALT/SUB RUN以外	300			μs
	TPW2	STOP/SUB HALT/SUB RUNの時	300			μs

注1. ただし、LVDオフの条件で動作電圧降下時は、39.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行、または電圧検出機能か外部リセット端子で、リセット状態にしてください。

注2. VDDがVPDRを下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC)のビット0 (HIOSTOP)とビット7 (MSTOP)の設定によりメイン・システム・クロック (fMAIN)を停止時は、VDDが0.7 Vを下回ってから、VPORを上回るまでのPORによるリセット動作に必要な時間です。



39.6.4 LVD回路特性

(1) リセット・モード, 割り込みモードのLVD検出電圧

(TA = -40 ~ +85°C, VPDR ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.98	4.06	4.14	V
			電源立ち下がり時	3.90	3.98	4.06	V
		VLVD1	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
			電源立ち下がり時	2.90	2.96	3.02	V
		VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
			電源立ち下がり時	2.80	2.86	2.91	V
		VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
		VLVD6	電源立ち上がり時	2.66	2.71	2.76	V
			電源立ち下がり時	2.60	2.65	2.70	V
		VLVD7	電源立ち上がり時	2.56	2.61	2.66	V
			電源立ち下がり時	2.50	2.55	2.60	V
		VLVD8	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		VLVD9	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		VLVD10	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
VLVD11	電源立ち上がり時	1.84	1.88	1.91	V		
	電源立ち下がり時	1.80	1.84	1.87	V		
最小パルス幅	tlw		300			μs	
検出遅延					300	μs	

注意 検出電圧 (VLVD) は、動作電圧範囲内になるように設定してください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H) の設定で決まります。動作電圧範囲は以下の通りです。

HS (高速メイン) モード : VDD = 2.7 ~ 5.5 V @ 1 MHz ~ 24 MHz

VDD = 2.4 ~ 5.5 V @ 1 MHz ~ 16 MHz

LS (低速メイン) モード : VDD = 1.8 ~ 5.5 V @ 1 MHz ~ 8 MHz

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +85°C, VPDR ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDB0	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がりリセット電圧: 1.8 V	1.80	1.84	1.87	V	
	VLVDB1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がり割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がり割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がり割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧: 2.4 V	2.40	2.45	2.50	V	
	VLVDC1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がり割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がり割り込み電圧	2.60	2.65	2.70	V
	VLVDC3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.82	V
			立ち下がり割り込み電圧	3.60	3.67	3.74	V
	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧: 2.7 V	2.70	2.75	2.81	V	
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
立ち下がり割り込み電圧			2.80	2.86	2.91	V	
VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V	
		立ち下がり割り込み電圧	2.90	2.96	3.02	V	
VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.14	V	
		立ち下がり割り込み電圧	3.90	3.98	4.06	V	

39.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

注意 VDDが39.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

39.8 LCD特性

39.8.1 外部抵抗分割方式

(1) スタティック・モード

(TA = -40 ~ +85°C, VL4 (MIN.) \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.0		VDD	V

(2) 1/2バイアス, 1/4バイアス

(TA = -40 ~ +85°C, VL4 (MIN.) \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.7		VDD	V

(3) 1/3バイアス

(TA = -40 ~ +85°C, VL4 (MIN.) \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.5		VDD	V

39.8.2 内部昇圧方式

(1) 1/3バイアス

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4注1 = 0.47 μF注2	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H	1.65	1.75	1.83	V			
ダブラ出力電圧	VL2	C1-C4注1 = 0.47 μF	2 VL1 - 0.1	2 VL1	2 VL1	V	
トリプラ出力電圧	VL4	C1-C4注1 = 0.47 μF	3 VL1 - 0.15	3 VL1	3 VL1	V	
基準電圧セットアップ時間 注2	tVWAIT1		5			ms	
昇圧ウエイト時間注3	tVWAIT2	C1-C4注1 = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ± 30%

注2. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから), 昇圧を開始する(VLCON = 1)までに必要なウエイト時間です。

注3. 昇圧を開始してから(VLCON = 1), 表示が可能になる(LCDON = 1)までのウエイト時間です。

(2) 1/4バイアス

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C5 ^{注1} = 0.47 μF ^{注2}	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
ダブル出力電圧	VL2	C1-C5 ^{注1} = 0.47 μF	2 VL1 - 0.08	2 VL1	2 VL1	V	
トリブラ出力電圧	VL3	C1-C5 ^{注1} = 0.47 μF	3 VL1 - 0.12	3 VL1	3 VL1	V	
クアドラプラ出力電圧	VL4	C1-C5 ^{注1} = 0.47 μF	4 VL1 - 0.16	4 VL1	4 VL1		
基準電圧セットアップ時間 ^{注2}	tVWAIT1		5			ms	
昇圧ウェイト時間 ^{注3}	tVWAIT2	C1-C5 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL3-GND間に接続するコンデンサです。

C5 : VL4-GND間に接続するコンデンサです

C1 = C2 = C3 = C4 = C5 = 0.47 μF±30%

注2. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注3. 昇圧を開始してから(VLCON = 1), 表示が可能になる(LCDON = 1)までのウェイト時間です。

39.8.3 容量分割方式

(1) 1/3バイアス

(TA = -40 ~ +85°C, 2.2 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
VL4電圧	VL4	C1-C4注2 = 0.47 μF		VDD		V
VL2電圧	VL2	C1-C4注2 = 0.47 μF	2/3 VL4 - 0.1	2/3 VL4	2/3 VL4 + 0.1	V
VL1電圧	VL1	C1-C4注2 = 0.47 μF	1/3 VL4 - 0.1	1/3 VL4	1/3 VL4 + 0.1	V
容量分割ウェイト時間注1	tVWAIT		100			ms

注1. 降圧を開始してから (VLCON = 1), 表示が可能になる (LCDON = 1) までのウェイト時間です。

注2. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

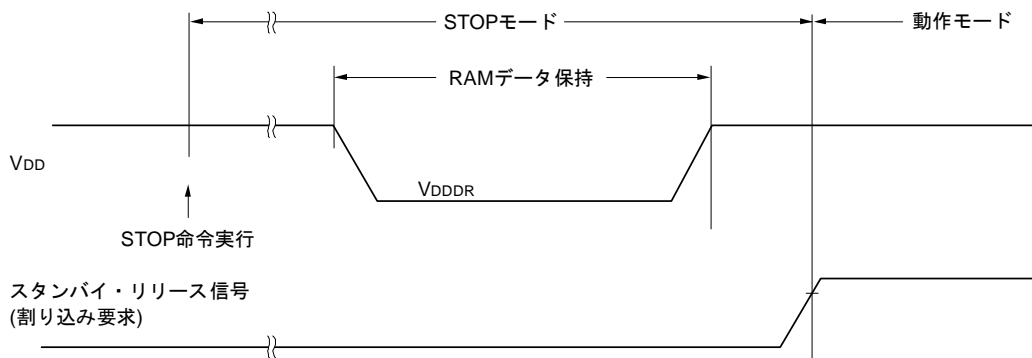
C1 = C2 = C3 = C4 = 0.47 μF ± 30%

39.9 RAMデータ保持特性

(TA = -40 ~ +85°C, VSS = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



39.10 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	1.8 V ≤ VDD ≤ 5.5 V	1		24	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	Cerwr	保持年数 : 20年 TA = 85°C	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数 : 1年 TA = 25°C		1,000,000		
		保持年数 : 5年 TA = 85°C	100,000			
		保持年数 : 20年 TA = 85°C	10,000			

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

39.11 専用フラッシュ・メモリ・プログラマ通信 (UART)

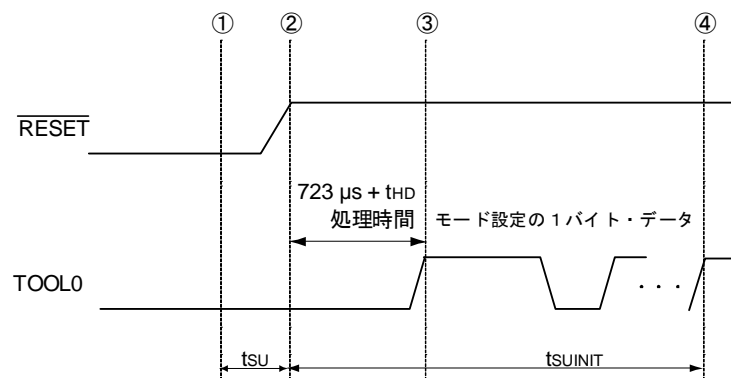
(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

39.12 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsuINIT	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

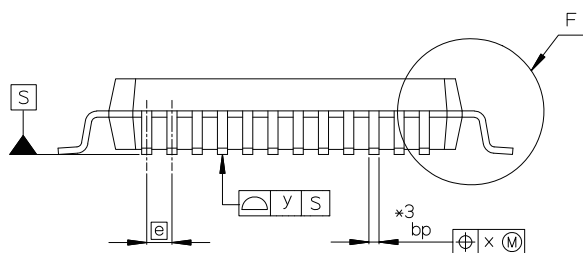
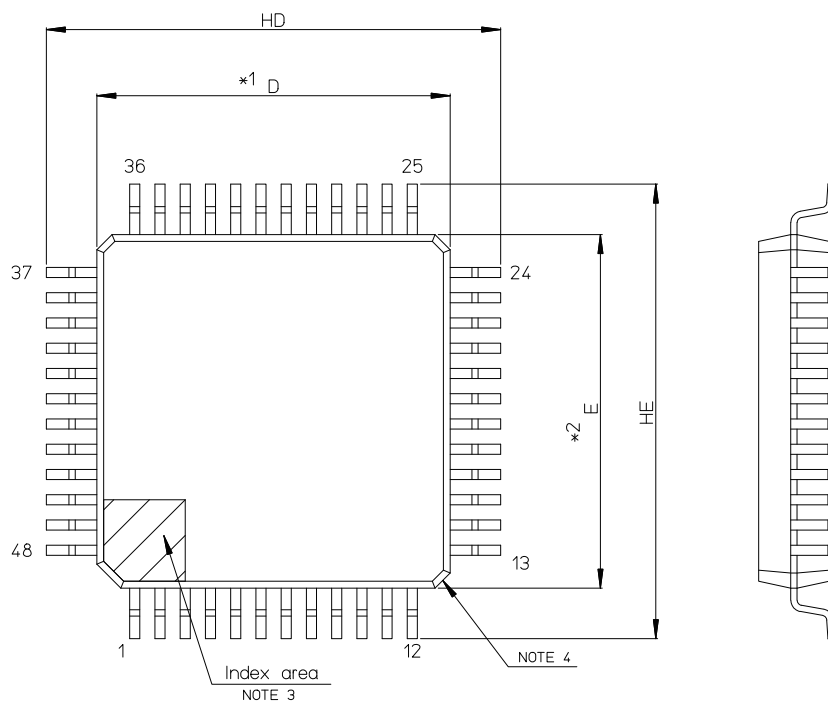
tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第40章 外形図

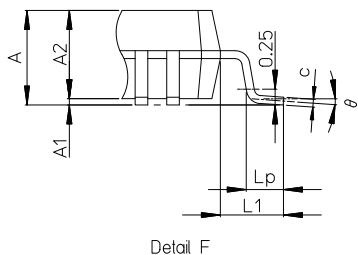
40.1 48ピン製品

R5F11NGGAFB, R5F11NGFAFB

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2g



- NOTE)
1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.

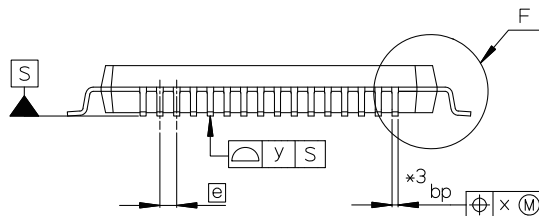
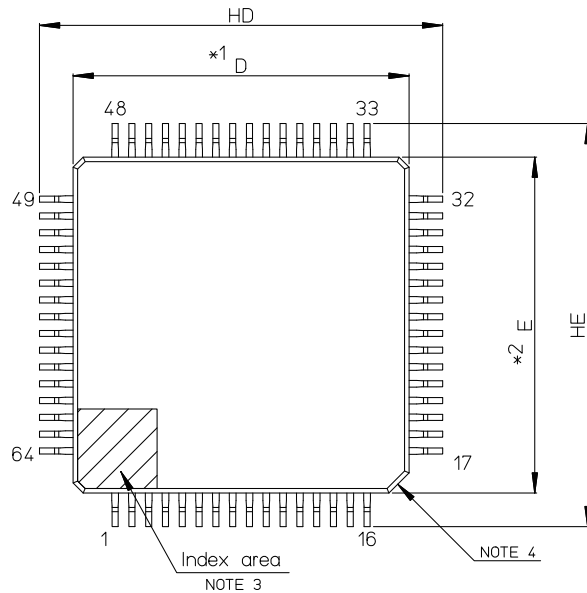


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A2	—	1.4	—
HD	8.8	9.0	9.2
HE	8.8	9.0	9.2
A	—	—	1.7
A1	0.05	—	0.15
bp	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Lp	0.45	0.6	0.75
L1	—	1.0	—

40.2 64ピン製品

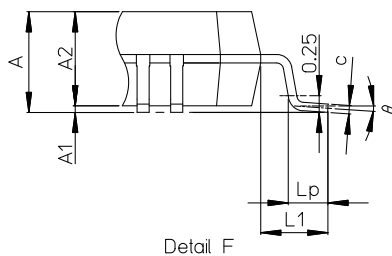
R5F11NLGAFB, R5F11NLFAFB

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3g



NOTE)

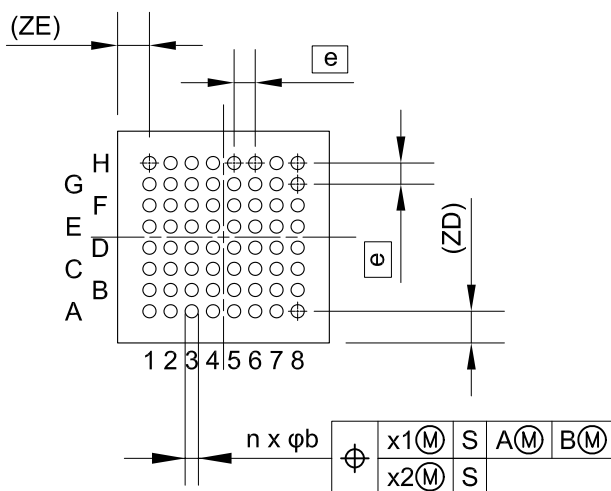
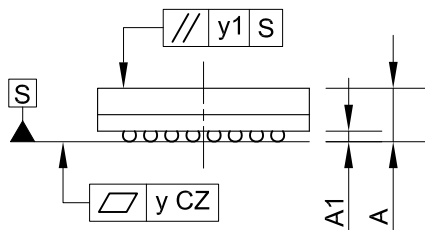
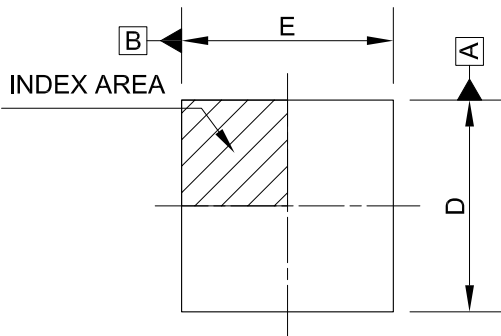
1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A2	—	1.4	—
HD	11.8	12.0	12.2
HE	11.8	12.0	12.2
A	—	—	1.7
A1	0.05	—	0.15
bp	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Lp	0.45	0.6	0.75
L1	—	1.0	—

R5F11PLGABG, R5F11PLFABG

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-TFBGA64-4x4-0.40	PTBG0064LA-A	0.03

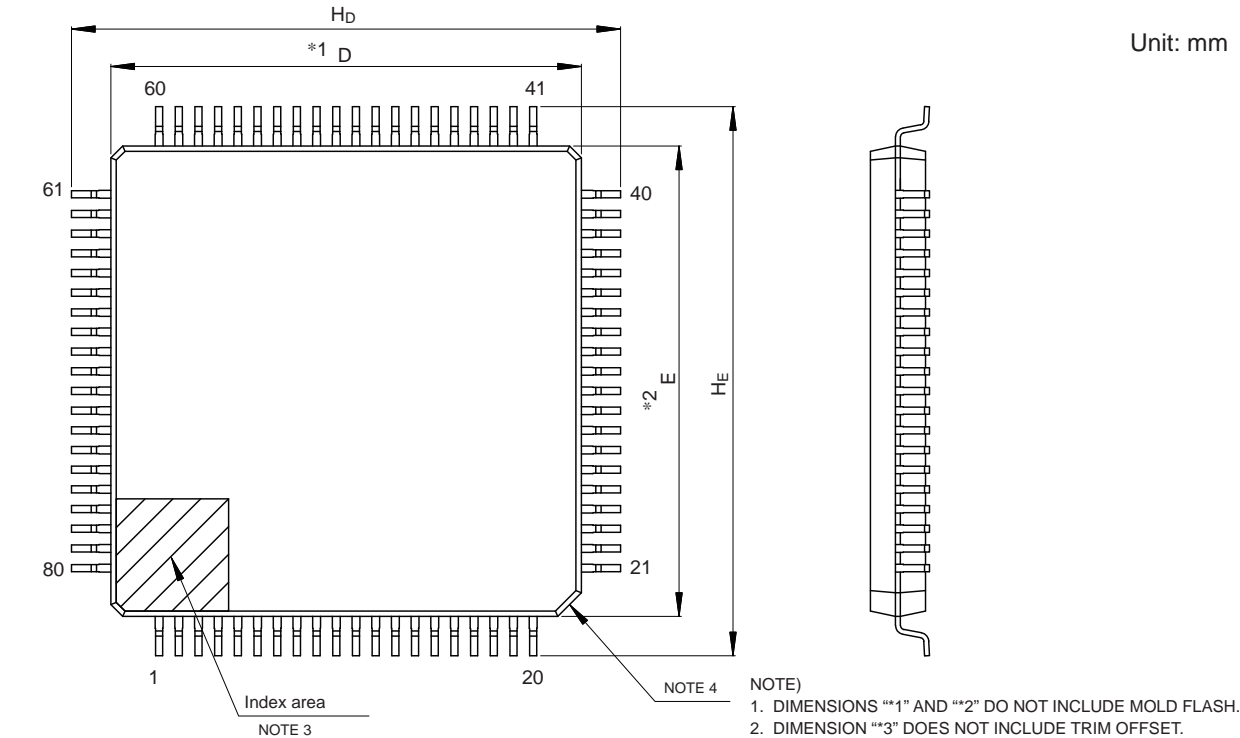


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	3.9	4.0	4.1
E	3.9	4.0	4.1
A	—	—	1.10
A1	0.15	0.20	0.25
b	0.20	0.25	0.30
⓪	—	0.40	—
x1	—	—	0.15
x2	—	—	0.05
y	—	—	0.08
y1	—	—	0.20
n	—	64	—
ZD	—	0.60	—
ZE	—	0.60	—

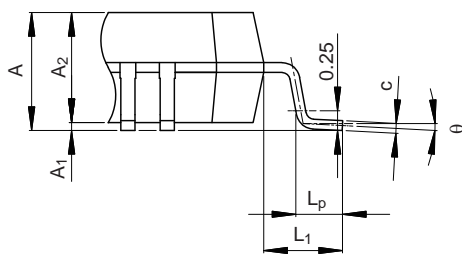
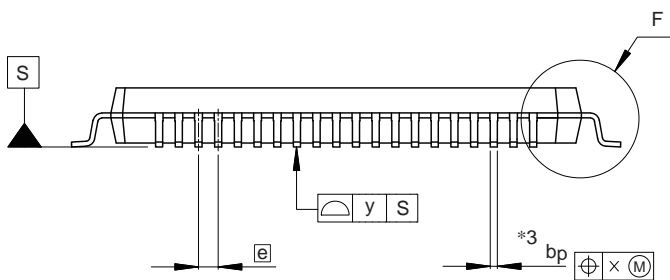
40.3 80ピン製品

R5F11NMGAFB, R5F11NMFafb, R5F11NMEAFB
R5F11RMGDFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

付録A 改版履歴

A.1 本版で改訂された主な箇所

(1/1)

箇所	内容	分類
第1章 概説		
p.6	1.2 型名一覧を変更	(d)
p.7	図1-1 RL78/H1Dの型名とメモリ・サイズ・パッケージを変更	(d)
第31章 安全機能		
p.1106	31.1 安全機能の概要 説明文を変更	(c)
p.1111	31.3.2 CRC演算機能(汎用CRC) 説明文を変更	(c)
p.1115	31.3.4 RAMガード機能 説明文を変更	(c)
p.1116	31.3.5 SFRガード機能 説明文を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
(d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/4)

版数	内容	適用箇所
Rev. 0.50	初版発行	全般
Rev. 0.80	PG-FP5をPG-FP6に,FL-PR5をFL-PR6に変更、E2, E2 Lite, E20を追加	全般
	図3-1 メモリ・マップ(R5F11NME) 注1を変更	第3章 CPUアーキテクチャ
	図3-2 メモリ・マップ(R5F11xF(x = NG,NL,NM,PL)) 注1を変更	
	図3-3 メモリ・マップ(R5F11xG(x = NG,NL,NM,PL)) 注1を変更	
	図3-4 メモリ・マップ(R5F11RMG) 注1を変更	
	5.4.4 低速オンチップ・オシレータ 説明文を変更	第5章 クロック発生回路
	図6-41 TO0nビットの一括操作例を変更	第6章 タイマ・アレイ・ユニット
	表14-5 ウォッチドッグ・タイマのインターバル割り込みの設定 注を追加	第14章 ウォッチドッグ・タイマ
	14.4.5 ウォッチドッグ・タイマの注意事項を追加	
	15.1 アナログ・フロントエンド電源回路の機能 説明文を変更	第15章 アナログ・フロントエンド電源回路 (R5F11N, R5F11Pのみ)
	15.4.1 AFE用内部基準電圧生成回路の概要 説明文を変更	
	図16-1 プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータのブロック図 図および注を変更	第16章 プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータ (R5F11N, R5F11Pのみ)
	16.4.1 プログラマブル・ゲイン計装アンプ (PGA0) の概要 説明文を変更	
	16.4.4 差動入力モードでの入力電圧範囲 説明文を変更	
	図16-7 プログラマブル・ゲイン計装アンプ (PGA0) の各チャンネルにおける差動入力電圧の振幅の推移 を変更	
	図16-19 $\Delta\Sigma$ /Dコンバータ・コントロール・レジスタ (DSADCTL) のフォーマット 説明文を変更, 注意2を追加	
	17.3.4 アンプ・トリガ・モード制御レジスタ (AMPTRM) 説明文を追加	
	図17-13 アンプ・ユニット0 ゲイン設定レジスタ (PGA1GC) のフォーマットを変更	第17章 アンプ・ユニット (R5F11N, R5F11Pのみ)
	17.4.3 ソフトウェア・トリガ・モードを変更, 注2を変更	
	17.4.5 ELCおよびA/Dトリガ・モード 注3を変更	
	17.5 アンプ・ユニットの注意事項を変更	
	図20-123 LINの送信操作を変更	
	図20-124 LIN送信のフロー・チャートを変更	第20章 シリアル・アレイ・ユニット
	図20-125 LINの受信操作を変更	
	図20-126 LIN受信のフロー・チャートを変更	
	22.3.4 (2) シリアルクロックの生成 説明文を変更	第22章 シリアル・インタフェースUARTMG (R5F11Rのみ)
	図23-3 LCDモード・レジスタ1 (LCDM1) のフォーマット (2/2) 図および注を変更	第23章 LCDコントローラ/ドライバ (R5F11NM, R5F11NL, R5F11RMのみ)
	図23-20 LCD駆動用電源の接続例 (外部抵抗分割方式) (1/2) を変更	

(2/4)

版数	内容	適用箇所
Rev. 0.80	図26-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)のフォーマット(1/2)を変更	第26章 割り込み機能
	30.1 電圧検出回路の機能 説明文および注1, 2を変更	第30章 電圧検出回路
	図31-3 フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを変更	第31章 安全機能
	図33-1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット 注3を追加	第33章 オプション・バイト
	図34-7 フラッシュ・メモリ・プログラミング・モードへの引き込みを変更	第34章 フラッシュ・メモリ
	38.3.1 端子特性を変更, 注3を変更	第38章 電気的特性 (R5F11N, R5F11P) (A: TA = -40 ~ +85°C)
	38.3.2 電源電流特性を変更	
	38.3.2 電源電流特性 注1を変更	
	38.5.1 (3) 同電位通信時(CSIモード)(スレーブ・モード, SCKp...外部クロック出力)(2/2) 備考1を変更,備考2を削除	
	38.5.1 (5) 異電位(1.8V系, 2.5V系, 3V系)通信時(UARTモード)(2/2) 注1, 3を変更	
	38.6.4 LVD回路特性を変更	
	38.6.5 (3) プログラマブル・ゲイン計装アンプ, 24ビットbitΔΣA/Dコンバータを変更	
	38.6.5 (3) プログラマブル・ゲイン計装アンプ, 24ビットbitΔΣA/Dコンバータ 備考2を追加	
	38.6.6 センサ用電源 (SBIAS) を変更 表を変更 および 備考2を追加	
	38.6.7 内部バイアス電源) 表を変更 および 備考2を追加	
	38.6.8 計装アンプ (PGA1) を変更	
	38.6.9 オペアンプ0 (AMP0) を変更	
	38.6.10 オペアンプ1, 2 (AMP1, AMP2) を変更	
	38.6.11 8ビット D/A コンバータ (DAC0) を変更	
	38.6.12 12ビット D/A コンバータ (DAC1) を変更	
	38.12 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを変更	
	39.1 絶対最大定格を変更	第39章 電気的特性 (R5F11R) (D: TA = -40 ~ +85°C)
	39.3.1 端子特性を変更	
	39.3.1 端子特性 注3を変更	
	39.3.2 電源電流特性を変更	
	39.3.2 電源電流特性 注1を変更	
	39.5.1(3) 同電位通信時(CSIモード)(スレーブ・モード, SCKp...外部クロック入力)(2/2) 備考1を変更,備考2を削除	
	39.5.1 (5) 異電位(1.8V系, 2.5V系, 3V系)通信時(UARTモード)を変更	
	39.5.1(7) 異電位(1.8V系, 2.5V系, 3V系)通信時(CSIモード)(スレーブ・モード, SCKp...外部クロック入力)を変更	
	39.6.2 温度センサ/内部基準電圧出力特性を変更	
	39.12 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを変更	
	40.2 64ピン製品 図を追加	

版数	内容	適用箇所
Rev. 1.00	パッケージ名を変更 VFBGA → TFBGA	全般
	3.4.4 レジスタ・インダイレクト・アドレッシング タイトルと説明文を変更	第3章 CPUアーキテクチャ
	図3-17 レジスタ・ダイレクト・アドレッシングの概略 タイトルを変更	
	図3-37 CALL, CALLTの例を変更	
	7.4.2 タイマ動作 説明文を変更	第7章 8ビット・インターバル・タイマ
	7.4.5 8ビット・インターバル・タイマの設定手順を追加	
	図12-1 外部サンプリングのブロック図 図を変更 及び備考を追加	第12章 外部サンプリング (R5F11Rのみ)
	12.6 注意事項 (6)を追加	
	図13-2 クロック出力選択レジスタ n (CKSn)のフォーマット 図および注1を変更	第13章 クロック出力/ブザー出力制御回路
	図20-109 UART (UART0-UART2)のUART受信時のレジスタ設定内容例 (1/2) 注2を変更	第20章 シリアル・アレイ・ユニット
	21.5.17 I ² C割り込み要求 (INTIICAn)の発生タイミング (1) マスタ動作 (c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信) (ii) WTIMn = 1のときを変更	第21章 シリアル・インタフェース IICA
	24.5.7 DTC起動要因 説明文を追加	第24章 データ・トランスファ・コントローラ (DTC)
	25.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 25) 説明文を変更	第25章 イベントリンクコントローラ (ELC)
	表27-2 STOPモード時の動作状態 を変更	第27章 スタンバイ機能
	図27-5 SNOOZEモードの割り込み要求が発生する場合を変更	
図27-6 SNOOZEモードの割り込み要求が発生しない場合を変更		
40.2 64ピン製品 図を変更	第40章 外形図	
Rev. 1.10	3線シリアルI/O、3線シリアルを簡易SPIに変更	全般
	CSIを簡易SPIに変更	
	IICAのウエイトをクロック・ストレッチに変更	
	1.1 特徴 注3を追加	第1章 概説
	1.2 型名一覧 を変更	
	図1-1 RL78/H1Dの型名とメモリ・サイズ・パッケージを変更	
	4.5.4 入出力バッファによる異電位 (1.8V系, 2.5V系, 3V系)対応 注を注1に変更	第4章 ポート機能
	4.5.4 入出力バッファによる異電位 (1.8V系, 2.5V系, 3V系)対応 注2を変更	
	図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット (3/3)を変更	第8章 リアルタイム・クロック2
	図8-21 リアルタイム・クロック2の読み出し手順 注2を変更	
	図8-21 リアルタイム・クロック2の読み出し手順 注意を変更	
	図8-22 リアルタイム・クロック2の書き込み手順 注2を変更	
	図8-22 リアルタイム・クロック2の書き込み手順 注意2を変更	
	第20章 シリアル・アレイ・ユニット 注を追加	第20章 シリアル・アレイ・ユニット
	38.3.2 電源電流特性 注1、注4を変更	第38章 電氣的特性 (R5F11N, R5F11P) (A: TA = -40 ~ +85°C)
	38.3.2 電源電流特性 注1、注5を変更、注6を削除	

(4/4)

版数	内容	適用箇所
Rev. 1.10	39.3.2 電源電流特性 注1、注4を変更	第39章 電気的特性 (R5F11R) (D: TA = -40 ~ +85°C)
	39.3.2 電源電流特性 注1、注5を変更、注6を削除	
	パッケージ図をPLQP0048KB-AからPLQP0048KB-Bに変更	第40章 外形図
	パッケージ図をPLQP0064KB-AからPLQP0064KB-Cに変更	
	パッケージ図をPLQP0080KB-AからPLQP0080KB-Bに変更	

RL78/H1D ユーザーズマニュアル
ハードウェア編

発行年月日 2017年4月27日 Rev.0.50
2024年3月22日 Rev.1.11

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RL78/H1D